

RL78/I1E

ユーザーズマニユアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

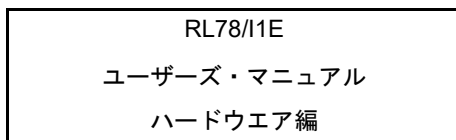
型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

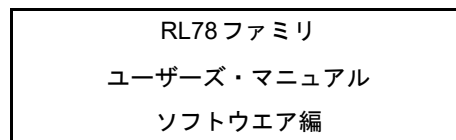
対象者 このマニュアルはRL78/I1Eの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/I1Eのマニュアルは、このマニュアルとソフトウェア編(RL78ファミリ共通)の2冊に分かれています。



- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性



- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr 指令で、sfr変数として定義されているものです。

□ RL78/I1Eマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015J)を参照してください。

凡例	データ表記の重み：	左が上位桁，右が下位桁
	アクティブ・ロウの表記：	<u>xxx</u> (端子，信号名称に上線)
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文の補足説明
	数の表記：	2進数...xxxxまたはxxxxB
		10進数...xxxx
		16進数...xxxxH

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/I1E ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0524E
RL78ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル	—	—
RL78, 78K, V850, RX100, RX200, RX600 (RX64x除く), R8C, SH編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78 ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	注	
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注 「半導体デバイス実装マニュアル」のホーム・ページ参照
和文： <http://japan.renesas.com/products/package/index.jsp>
英文： <http://www.renesas.com/products/package/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

目次

1.	概説	1
1.1	特徴	1
1.2	型名一覧	4
1.3	端子接続図(Top View)	6
1.3.1	32ピン製品	6
1.3.2	36ピン製品	7
1.4	端子名称	8
1.5	ブロック図	9
1.5.1	32ピン製品	9
1.5.2	36ピン製品	10
1.6	機能概要	11
2.	端子機能	13
2.1	ポート機能	13
2.1.1	32ピン	13
2.1.2	36ピン	14
2.2	ポート以外の機能	15
2.2.1	AFE以外の兼用機能	15
2.2.2	AFE端子の機能	17
2.3	未使用端子の処理	18
2.4	端子ブロック図	19
3.	CPUアーキテクチャ	24
3.1	メモリ空間	24
3.1.1	内部プログラム・メモリ空間	27
3.1.2	ミラー領域	30
3.1.3	内部データ・メモリ空間	32
3.1.4	特殊機能レジスタ(SFR : Special Function Register)領域	33
3.1.5	拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)領域	33
3.1.6	データ・メモリ・アドレッシング	34
3.2	プロセッサ・レジスタ	35
3.2.1	制御レジスタ	35
3.2.2	汎用レジスタ	38
3.2.3	ES, CSレジスタ	39
3.2.4	特殊機能レジスタ(SFR : Special Function Register)	40
3.2.5	拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)	44
4.	ポート機能	53
4.1	ポートの機能	53
4.2	ポートの構成	54
4.2.1	ポート1	54
4.2.2	ポート4	55
4.2.3	ポート12	55
4.2.4	ポート13	55
4.3	ポート機能を制御するレジスタ	56

4.3.1	ポート・モード・レジスタ (PMxx).....	57
4.3.2	ポート・レジスタ (Pxx).....	58
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx).....	59
4.3.4	ポート入力モード・レジスタ (PIMxx).....	59
4.3.5	ポート出力モード・レジスタ (POMxx).....	60
4.3.6	ポート・モード・コントロール・レジスタ (PMCxx).....	60
4.4	ポート機能の動作.....	61
4.4.1	入出力ポートへの書き込み.....	61
4.4.2	入出力ポートからの読み出し.....	61
4.4.3	入出力ポートでの演算.....	61
4.4.4	入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応.....	62
4.5	兼用機能使用時のレジスタの設定.....	64
4.5.1	兼用機能使用時の基本的な考え方.....	64
4.5.2	出力機能を使用しない兼用機能のレジスタ設定.....	66
4.5.3	使用するポート機能および兼用機能のレジスタ設定例.....	67
4.6	ポート機能使用時の注意事項.....	71
4.6.1	ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項.....	71
4.6.2	端子設定に関する注意事項.....	72
5.	クロック発生回路.....	73
5.1	クロック発生回路の機能.....	73
5.2	クロック発生回路の構成.....	76
5.3	クロック発生回路を制御するレジスタ.....	78
5.3.1	クロック動作モード制御レジスタ (CMC).....	78
5.3.2	システム・クロック制御レジスタ (CKC).....	80
5.3.3	クロック動作ステータス制御レジスタ (CSC).....	81
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC).....	82
5.3.5	発振安定時間選択レジスタ (OSTS).....	84
5.3.6	周辺イネーブル・レジスタ 0, 1 (PER0, PER1).....	86
5.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC).....	90
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV).....	91
5.3.9	PLL制御レジスタ (DSCCTL).....	92
5.3.10	メイン・クロック制御レジスタ (MCKC).....	94
5.3.11	周辺クロック制御レジスタ (PCKC).....	95
5.4	システム・クロック発振回路.....	96
5.4.1	X1 発振回路.....	96
5.4.2	高速オンチップ・オシレータ.....	99
5.4.3	低速オンチップ・オシレータ.....	99
5.4.4	PLL (Phase Locked Loop).....	99
5.5	クロック発生回路の動作.....	100
5.6	クロックの制御.....	102
5.6.1	高速オンチップ・オシレータの設定例.....	102
5.6.2	X1 発振回路の設定例.....	104
5.6.3	CPUクロック状態移行図.....	106
5.6.4	CPUクロックの移行前の条件と移行後の処理.....	112
5.6.5	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間.....	114
5.6.6	クロック発振停止前の条件.....	114

6.	タイマ・アレイ・ユニット	115
6.1	タイマ・アレイ・ユニットの機能	116
6.1.1	単独チャンネル動作機能	116
6.1.2	複数チャンネル連動動作機能	117
6.1.3	8ビット・タイマ動作機能(ユニット0のチャンネル1, 3のみ)	118
6.1.4	LIN-bus対応機能(ユニット0のチャンネル3のみ)	119
6.2	タイマ・アレイ・ユニットの構成	120
6.2.1	タイマ・カウンタ・レジスタ mn (TCRmn)	126
6.2.2	タイマ・データ・レジスタ mn (TDRmn)	128
6.3	タイマ・アレイ・ユニットを制御するレジスタ	129
6.3.1	周辺イネーブル・レジスタ 0 (PER0)	130
6.3.2	タイマ・クロック選択レジスタ m (TPSm)	131
6.3.3	タイマ・モード・レジスタ mn (TMRmn)	134
6.3.4	タイマ・ステータス・レジスタ mn (TSRmn)	139
6.3.5	タイマ・チャンネル許可ステータス・レジスタ m (TEm)	140
6.3.6	タイマ・チャンネル開始レジスタ m (TSm)	141
6.3.7	タイマ・チャンネル停止レジスタ m (TTm)	143
6.3.8	タイマ入力選択レジスタ 0 (TIS0)	144
6.3.9	タイマ出力許可レジスタ m (TOEm)	145
6.3.10	タイマ出力レジスタ m (TOm)	146
6.3.11	タイマ出力レベル・レジスタ m (TOLm)	147
6.3.12	タイマ出力モード・レジスタ m (TOMm)	148
6.3.13	入力切り替え制御レジスタ (ISC)	149
6.3.14	ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2)	150
6.3.15	タイマ入出力端子のポート機能を制御するレジスタ	152
6.4	タイマ・アレイ・ユニットの基本ルール	153
6.4.1	複数チャンネル連動動作機能の基本ルール	153
6.4.2	8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)	155
6.5	カウンタの動作	156
6.5.1	カウント・クロック (fCLK)	156
6.5.2	カウンタのスタート・タイミング	158
6.5.3	カウンタの動作	159
6.6	チャンネル出力(TOmn端子)の制御	164
6.6.1	TOmn端子の出力回路の構成	164
6.6.2	TOmn端子の出力設定	165
6.6.3	チャンネル出力操作時の注意事項	166
6.6.4	TOmnビットの一括操作	171
6.6.5	カウント動作開始時のタイマ割り込みと TOmn端子出力について	172
6.7	タイマ入力(TImn)の制御	173
6.7.1	TImnの入力回路構成	173
6.7.2	ノイズ・フィルタ	173
6.7.3	チャンネル入力操作時の注意事項	174
6.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	175
6.8.1	インターバル・タイマ/方形波出力としての動作	175
6.8.2	外部イベント・カウンタとしての動作	180
6.8.3	入力パルス間隔測定としての動作	184
6.8.4	入力信号のハイ/ロウ・レベル幅測定としての動作	188
6.8.5	ディレイ・カウンタとしての動作	192
6.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	196

6.9.1	ワンショット・パルス出力機能としての動作	196
6.9.2	PWM機能としての動作	203
6.9.3	多重PWM出力機能としての動作	210
6.10	タイマ・アレイ・ユニット使用時の注意事項	218
6.10.1	タイマ出力使用時の注意事項	218
7.	タイマRJ	219
7.1	タイマRJの機能	219
7.2	タイマRJの構成	220
7.3	タイマRJを制御するレジスタ	221
7.3.1	周辺イネーブル・レジスタ1 (PER1)	222
7.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	223
7.3.3	タイマRJカウンタレジスタ0 (TRJ0)	224
7.3.4	タイマRJ制御レジスタ0 (TRJCR0)	225
7.3.5	タイマRJ I/O制御レジスタ0 (TRJIOC0)	227
7.3.6	タイマRJモードレジスタ0 (TRJMR0)	229
7.3.7	タイマRJイベント端子選択レジスタ0 (TRJISR0)	230
7.3.8	ポート・モード・レジスタ1 (PM1)	231
7.4	タイマRJの動作	232
7.4.1	リロードレジスタとカウンタの書き換え動作	232
7.4.2	タイマモード	233
7.4.3	パルス出力モード	234
7.4.4	イベントカウンタモード	235
7.4.5	パルス幅測定モード	237
7.4.6	パルス周期測定モード	238
7.4.7	イベント・リンク・コントローラ (ELC) との連携による動作	239
7.4.8	各モード出力設定	239
7.5	タイマRJ使用上の注意事項	240
7.5.1	カウント動作開始, 停止制御	240
7.5.2	フラグへのアクセス (TRJCR0 レジスタの TEDGF, TUNDF ビット)	240
7.5.3	カウンタレジスタへのアクセス	240
7.5.4	モード変更時	240
7.5.5	TRJ00, TRJIO0 端子の設定手順	241
7.5.6	タイマRJ未使用時	241
7.5.7	タイマRJ動作クロック停止時	241
7.5.8	STOPモード(イベントカウンタモード)の設定手順	242
7.5.9	STOPモード(イベントカウンタモードのみ)での機能制限	242
7.5.10	TSTOPビットによる強制カウント停止時	242
7.5.11	デジタルフィルタ	242
7.5.12	カウントソースに fIL を選択する場合	242
8.	タイマRG	243
8.1	タイマRGの機能	243
8.2	タイマRGの構成	244
8.3	タイマRGを制御するレジスタ	245
8.3.1	周辺イネーブル・レジスタ1 (PER1)	246
8.3.2	タイマRGモードレジスタ (TRGMR)	247
8.3.3	タイマRGカウント制御レジスタ (TRGCNTC)	248
8.3.4	タイマRG制御レジスタ (TRGCR)	249

8.3.5	タイマRG割り込み許可レジスタ (TRGIER).....	250
8.3.6	タイマRGステータスレジスタ (TRGSR).....	251
8.3.7	タイマRG I/O制御レジスタ (TRGIOR).....	253
8.3.8	タイマRGカウンタ (TRG).....	255
8.3.9	タイマRGジェネラルレジスタ A, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD).....	256
8.3.10	ポート・モード・レジスタ 1 (PM1).....	258
8.4	タイマRGの動作.....	259
8.4.1	複数モード, 機能に関わる共通事項.....	259
8.4.2	タイマモード(インプットキャプチャ機能).....	264
8.4.3	タイマモード(アウトプットコンペア機能).....	267
8.4.4	PWMモード.....	271
8.4.5	位相計数モード.....	275
8.5	タイマRG 割り込み.....	277
8.6	タイマRG使用上の注意事項.....	279
8.6.1	位相計数モード時の位相差, オーバラップ, およびパルス幅.....	279
8.6.2	モード切り替え.....	279
8.6.3	カウントソース切り替え.....	279
8.6.4	TRGIOA, TRGIOB 端子の設定手順.....	280
8.6.5	外部クロック TRGCLKA, TRGCLKB.....	280
8.6.6	SFR リード/ライトアクセス.....	281
8.6.7	カウント停止時のインプットキャプチャ動作.....	281
9.	リアルタイム・クロック.....	282
9.1	リアルタイム・クロックの機能.....	282
9.2	リアルタイム・クロックの構成.....	283
9.3	リアルタイム・クロックを制御するレジスタ.....	285
9.3.1	周辺イネーブル・レジスタ 0 (PER0).....	286
9.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC).....	287
9.3.3	RTCクロック選択レジスタ (RTCCL).....	288
9.3.4	リアルタイム・クロック・コントロール・レジスタ 0 (RTCC0).....	289
9.3.5	リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1).....	290
9.3.6	秒カウント・レジスタ (SEC).....	292
9.3.7	分カウント・レジスタ (MIN).....	292
9.3.8	時カウント・レジスタ (HOUR).....	293
9.3.9	日カウント・レジスタ (DAY).....	295
9.3.10	曜日カウント・レジスタ (WEEK).....	296
9.3.11	月カウント・レジスタ (MONTH).....	297
9.3.12	年カウント・レジスタ (YEAR).....	297
9.3.13	時計誤差補正レジスタ (SUBCUD).....	298
9.3.14	16ビット時計誤差補正レジスタ (SUBCUDW).....	299
9.3.15	アラーム分レジスタ (ALARMWM).....	300
9.3.16	アラーム時レジスタ (ALARMWH).....	300
9.3.17	アラーム曜日レジスタ (ALARMWW).....	300
9.3.18	ポート・モード・レジスタ 1 (PM1).....	301
9.3.19	ポート・レジスタ 1 (P1).....	301
9.4	リアルタイム・クロックの動作.....	302
9.4.1	リアルタイム・クロックの動作開始.....	302
9.4.2	動作開始後のHALT/STOPモードへの移行.....	303
9.4.3	リアルタイム・クロックのカウンタ読み出し/書き込み.....	304

9.4.4	リアルタイム・クロックのアラーム設定	306
9.4.5	リアルタイム・クロックの1 Hz出力	307
9.4.6	リアルタイム・クロックの時計誤差補正例	308
10.	インターバル・タイマ	311
10.1	インターバル・タイマの機能	311
10.2	インターバル・タイマの構成	311
10.3	インターバル・タイマを制御するレジスタ	312
10.3.1	周辺イネーブル・レジスタ0 (PER0)	312
10.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	313
10.3.3	RTCクロック選択レジスタ (RTCCL)	314
10.3.4	インターバル・タイマ・コントロール・レジスタ (ITMC)	315
10.4	インターバル・タイマの動作	316
10.4.1	インターバル・タイマの動作タイミング	316
10.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、 再度HALT/STOPモードへの移行	317
11.	クロック出力／ブザー出力制御回路	318
11.1	クロック出力／ブザー出力制御回路の機能	318
11.2	クロック出力／ブザー出力制御回路の構成	319
11.3	クロック出力／ブザー出力制御回路を制御するレジスタ	319
11.3.1	クロック出力選択レジスタ0 (CKS0)	319
11.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	320
11.4	クロック出力／ブザー出力制御回路の動作	321
11.4.1	出力端子の動作	321
11.5	クロック出力／ブザー出力制御回路の注意事項	321
12.	ウォッチドッグ・タイマ	322
12.1	ウォッチドッグ・タイマの機能	322
12.2	ウォッチドッグ・タイマの構成	323
12.3	ウォッチドッグ・タイマを制御するレジスタ	324
12.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	324
12.4	ウォッチドッグ・タイマの動作	325
12.4.1	ウォッチドッグ・タイマの動作制御	325
12.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	326
12.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	327
12.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	329
13.	アナログ・フロントエンド電源回路	330
13.1	アナログ・フロントエンド電源回路の機能	330
13.2	アナログ・フロントエンド電源回路の構成	331
13.3	アナログ・フロントエンド電源回路を制御するレジスタ	332
13.3.1	周辺イネーブル・レジスタ1 (PER1)	332
13.3.2	アナログ・フロントエンド電源選択レジスタ (AFEPWS)	333
13.3.3	アナログ・フロントエンド電源検出レジスタ (AFEPWD)	334
13.3.4	センサ用基準電圧設定レジスタ (VSBIAS)	335
13.4	AFE用内部基準電圧生成回路	336
13.4.1	AFE用内部基準電圧生成回路の概要	336
13.4.2	AFE用内部基準電圧生成回路の構成	336

13.4.3	AFE用内部基準電圧生成回路の動作	336
13.5	センサ用電源回路 (SBIAS)	337
13.5.1	センサ用電源回路 (SBIAS) の概要	337
13.5.2	センサ用電源回路 (SBIAS) の構成	337
13.5.3	センサ用電源回路 (SBIAS) の動作	338
13.6	PGA, $\Delta\Sigma/A/D$ コンバータへの内部電源供給回路 (REGA)	339
13.6.1	内部電源供給回路 (REGA) の概要	339
13.6.2	内部電源供給回路 (REGA) の構成	339
13.7	12ビットD/A コンバータ用基準電圧 (VREFDA)	339
13.7.1	12ビットD/A コンバータ用基準電圧 (VREFDA) の概要	339
13.8	アナログ・フロントエンド電源制御フロー	340
14.	プログラマブル・ゲイン計装アンプ付き24ビット$\Delta\Sigma/A/D$コンバータ	342
14.1	プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma/A/D$ コンバータの機能	342
14.2	プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma/A/D$ コンバータの構成	343
14.3	入力マルチプレクサ	344
14.3.1	入力マルチプレクサの概要	344
14.3.2	入力マルチプレクサの構成	344
14.3.3	入力マルチプレクサを制御するレジスタ	345
14.4	プログラマブル・ゲイン計装アンプ (PGA)	346
14.4.1	プログラマブル・ゲイン計装アンプ (PGA) の概要	346
14.4.2	プログラマブル・ゲイン計装アンプ (PGA) の構成	347
14.4.3	入力電圧範囲	348
14.4.4	差動入力モードでの入力電圧範囲	348
14.4.5	シングルエンド入力モードでの入力電圧範囲	350
14.4.6	プログラマブル・ゲイン計装アンプ (PGA) を制御するレジスタ	351
14.5	24ビット $\Delta\Sigma/A/D$ コンバータ	356
14.5.1	24ビット $\Delta\Sigma/A/D$ コンバータの概要	356
14.5.2	24ビット $\Delta\Sigma/A/D$ コンバータの構成	356
14.5.3	24ビット $\Delta\Sigma/A/D$ コンバータへの入力電圧とA/D変換結果	357
14.5.4	24ビット $\Delta\Sigma/A/D$ コンバータを制御するレジスタ	358
14.5.5	$\Delta\Sigma/A/D$ コンバータの制御 (AUTOSCAN)	374
14.5.6	デジタル・フィルタの概要	376
14.5.7	デジタル・フィルタの構成	376
14.6	プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma/A/D$ コンバータ制御フロー	377
14.7	プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma/A/D$ コンバータの注意事項	379
15.	温度センサ	380
15.1	温度センサの機能	380
15.2	温度センサの構成	380
15.3	温度センサを制御するレジスタ	381
16.	A/Dコンバータ	382
16.1	A/Dコンバータの機能	382
16.2	A/Dコンバータの構成	385
16.3	A/Dコンバータを制御するレジスタ	387
16.3.1	周辺イネーブル・レジスタ0 (PER0)	388
16.3.2	A/Dコンバータ・モード・レジスタ0 (ADM0)	389
16.3.3	A/Dコンバータ・モード・レジスタ1 (ADM1)	395

16.3.4	A/Dコンバータ・モード・レジスタ2 (ADM2).....	396
16.3.5	10ビットA/D変換結果レジスタ (ADCR).....	399
16.3.6	8ビットA/D変換結果レジスタ (ADCRH).....	399
16.3.7	アナログ入力チャンネル指定レジスタ (ADS).....	400
16.3.8	変換結果比較上限値設定レジスタ (ADUL).....	402
16.3.9	変換結果比較下限値設定レジスタ (ADLL).....	402
16.3.10	A/Dテスト・レジスタ (ADTES).....	403
16.3.11	アナログ入力端子のポート機能を制御するレジスタ	403
16.4	A/Dコンバータの変換動作.....	404
16.5	入力電圧と変換結果.....	406
16.6	A/Dコンバータの動作モード.....	407
16.6.1	ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード).....	407
16.6.2	ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード).....	408
16.6.3	ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード).....	409
16.6.4	ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード).....	410
16.6.5	ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)....	411
16.6.6	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, ワンショット変換モード).....	412
16.6.7	ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)....	413
16.6.8	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード, ワンショット変換モード).....	414
16.6.9	ハードウェア・トリガ・ウエイト・モード(セレクト・モード, 連続変換モード).....	415
16.6.10	ハードウェア・トリガ・ウエイト・モード (セレクト・モード, ワンショット変換モード).....	416
16.6.11	ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード).....	417
16.6.12	ハードウェア・トリガ・ウエイト・モード (スキャン・モード, ワンショット変換モード).....	418
16.7	A/Dコンバータの設定フロー・チャート.....	419
16.7.1	ソフトウェア・トリガ・モード設定	420
16.7.2	ハードウェア・トリガ・ノーウエイト・モード設定	421
16.7.3	ハードウェア・トリガ・ウエイト・モード設定	422
16.7.4	A/Dコンバータ用内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時).....	423
16.7.5	テスト・モード設定	424
16.8	SNOOZEモード機能.....	425
16.9	A/Dコンバータ特性表の読み方.....	429
16.10	A/Dコンバータの注意事項.....	432
17.	コンフィギュラブル・アンプ.....	436
17.1	コンフィギュラブル・アンプの機能.....	436
17.1.1	汎用オペアンプとして使用	436
17.1.2	コンフィギュラブル・アンプとして使用	437
17.1.3	12ビットD/Aコンバータの出力アンプとして使用	440
17.1.4	オフセット・キャリブレーション機能	440
17.2	コンフィギュラブル・アンプの構成.....	441
17.3	コンフィギュラブル・アンプを制御するレジスタ	444
17.3.1	周辺イネーブル・レジスタ1 (PER1).....	445
17.3.2	アナログ・フロントエンド電源選択レジスタ (AFEPWS).....	446
17.3.3	コンフィギュラブル・アンプ _n モード・レジスタ (AMP _n MR).....	447
17.3.4	コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0).....	447

17.3.5	コンフィギュラブル・アンプ1出力選択レジスタ (AMP1S0).....	448
17.3.6	コンフィギュラブル・アンプ2出力選択レジスタ (AMP2S0).....	448
17.3.7	コンフィギュラブル・アンプ0マイナス入力選択レジスタ (AMP0S1).....	449
17.3.8	コンフィギュラブル・アンプ1マイナス入力選択レジスタ (AMP1S1).....	449
17.3.9	コンフィギュラブル・アンプ2マイナス入力選択レジスタ (AMP2S1).....	451
17.3.10	コンフィギュラブル・アンプ0プラス入力選択レジスタ (AMP0S2).....	452
17.3.11	コンフィギュラブル・アンプ1プラス入力選択レジスタ (AMP1S2).....	452
17.3.12	コンフィギュラブル・アンプ2プラス入力選択レジスタ (AMP2S2).....	453
17.3.13	コンフィギュラブル・アンプnトリミング・レジスタ (AMPnCAL).....	454
17.3.14	コンフィギュラブル・アンプnトリミング・コード・レジスタ (AMPnTRM).....	454
17.4	動作説明.....	455
17.4.1	コンフィギュラブル・アンプ制御動作.....	455
17.4.2	コンフィギュラブル・アンプ制御フロー.....	456
17.4.3	スイッチを使用したコンフィギュラブル・アンプの回路構成変更.....	457
17.4.4	コンフィギュラブル・アンプの動作モード変更.....	457
17.4.5	オフセット・トリミング.....	458
17.4.6	オフセット・トリミング実行フロー.....	459
17.4.7	アナログ/デジタル兼用端子.....	461
17.5	コンフィギュラブル・アンプの注意事項.....	462
18.	12ビットD/Aコンバータ.....	463
18.1	12ビットD/Aコンバータの機能.....	463
18.2	12ビットD/Aコンバータを制御するレジスタ.....	465
18.2.1	周辺イネーブル・レジスタ1 (PER1).....	465
18.2.2	アナログ・フロントエンド電源選択レジスタ (AFEPWS).....	466
18.2.3	D/Aコンバータ・モード・レジスタ0 (DACM0).....	467
18.2.4	D/Aコンバータ・モード・レジスタ1 (DACM1).....	467
18.2.5	D/Aコンバータ・データ・レジスタ (DACD, DACDL).....	468
18.3	動作説明.....	469
18.3.1	通常動作 (ソフトウェア・トリガ・モード).....	469
18.3.2	イベント信号受信による動作 (ハードウェア・トリガ・モード).....	471
18.3.3	12ビットD/Aコンバータ制御フロー.....	472
18.3.4	12ビットD/Aコンバータの基準電圧源変更.....	473
18.4	12ビットD/Aコンバータの注意事項.....	473
18.4.1	CPUスタンバイ状態の12ビットD/Aコンバータの動作.....	473
18.4.2	AFE電源オフ時の12ビットD/Aコンバータの状態.....	473
19.	シリアル・アレイ・ユニット.....	474
19.1	シリアル・アレイ・ユニットの機能.....	475
19.1.1	簡易SPI (CSI00, CSI01).....	475
19.1.2	UART (UART0, UART1).....	476
19.1.3	簡易I ² C (IIC00, IIC01).....	477
19.2	シリアル・アレイ・ユニットの構成.....	478
19.2.1	シフト・レジスタ.....	481
19.2.2	シリアル・データ・レジスタmn (SDRmn)の下位8/9ビット.....	481
19.3	シリアル・アレイ・ユニットを制御するレジスタ.....	483
19.3.1	周辺イネーブル・レジスタ0 (PER0).....	484
19.3.2	シリアル・クロック選択レジスタm (SPSm).....	485
19.3.3	シリアル・モード・レジスタmn (SMRmn).....	487

19.3.4	シリアル通信動作設定レジスタ mn (SCRmn).....	488
19.3.5	シリアル・データ・レジスタ mn (SDRmn)	491
19.3.6	シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn).....	493
19.3.7	シリアル・ステータス・レジスタ mn (SSRmn).....	494
19.3.8	シリアル・チャンネル開始レジスタ m (SSm).....	496
19.3.9	シリアル・チャンネル停止レジスタ m (STm)	497
19.3.10	シリアル・チャンネル許可ステータス・レジスタ m (SEm)	498
19.3.11	シリアル出力許可レジスタ m (SOEm).....	499
19.3.12	シリアル出力レジスタ m (SOm).....	500
19.3.13	シリアル出力レベル・レジスタ m (SOLm).....	501
19.3.14	シリアル・スタンバイ・コントロール・レジスタ m (SSCm).....	503
19.3.15	入力切り替え制御レジスタ (ISC).....	504
19.3.16	ノイズ・フィルタ許可レジスタ 0 (NFEN0).....	505
19.3.17	シリアル入出力端子のポート機能を制御するレジスタ	506
19.4	動作停止モード	507
19.4.1	ユニット単位で動作停止とする場合	507
19.4.2	チャンネルごとに動作停止とする場合	508
19.5	簡易SPI (CSI00, CSI01)通信の動作	509
19.5.1	マスタ送信	511
19.5.2	マスタ受信	519
19.5.3	マスタ送受信	527
19.5.4	スレーブ送信	535
19.5.5	スレーブ受信	543
19.5.6	スレーブ送受信	549
19.5.7	SNOOZEモード機能	557
19.5.8	転送クロック周波数の算出	561
19.5.9	簡易SPI (CSI00, CSI01)通信時におけるエラー発生時の処理手順.....	563
19.6	スレーブセレクト入力機能付クロック同期シリアル通信の動作.....	564
19.6.1	スレーブ送信	567
19.6.2	スレーブ受信	577
19.6.3	スレーブ送受信	584
19.6.4	転送クロック周波数の算出	594
19.6.5	スレーブセレクト入力機能付クロック同期シリアル通信時における エラー発生時の処理手順	596
19.7	UART (UART0, UART1)通信の動作.....	597
19.7.1	UART送信	599
19.7.2	UART受信	608
19.7.3	SNOOZEモード機能	615
19.7.4	ボー・レートの算出	623
19.7.5	UART (UART0, UART1)通信時におけるエラー発生時の処理手順	627
19.8	LIN通信の動作.....	628
19.8.1	LIN送信	628
19.8.2	LIN受信	631
19.9	簡易I ² C (IIC00, IIC01)通信の動作	636
19.9.1	アドレス・フィールド送信	638
19.9.2	データ送信	643
19.9.3	データ受信	646
19.9.4	ストップ・コンディション発生	650
19.9.5	転送レートの算出	651

19.9.6	簡易 I ² C (IIC00, IIC01)通信時におけるエラー発生時の処理手順.....	654
20.	データ・トランスファ・コントローラ(DTC)	655
20.1	DTCの機能.....	656
20.2	DTCの構成.....	657
20.3	DTCを制御するレジスタ.....	658
20.3.1	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	659
20.3.2	コントロールデータの配置	660
20.3.3	ベクタテーブル	662
20.3.4	周辺イネーブル・レジスタ1 (PER1).....	664
20.3.5	DTC制御レジスタj (DTCCRj) (j = 0~23).....	665
20.3.6	DTCブロックサイズレジスタj (DTBLSj) (j = 0~23).....	666
20.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0~23).....	666
20.3.8	DTC転送回数リロードレジスタj (DTRLDj) (j = 0~23).....	667
20.3.9	DTCソースアドレスレジスタj (DTSARj) (j = 0~23).....	667
20.3.10	DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0~23)	667
20.3.11	DTC起動許可レジスタi (DTCENi) (i = 0~2).....	668
20.3.12	DTCベースアドレスレジスタ (DTCBAR).....	671
20.4	DTCの動作.....	671
20.4.1	起動要因	672
20.4.2	ノーマルモード	673
20.4.3	リピートモード	676
20.4.4	チェイン転送	680
20.5	DTC使用上の注意事項.....	682
20.5.1	DTCのコントロールデータおよびベクタテーブルの設定	682
20.5.2	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	682
20.5.3	DTC保留命令	683
20.5.4	データ・フラッシュ空間にアクセスする場合の動作	683
20.5.5	DTC実行クロック数.....	684
20.5.6	DTC応答時間	685
20.5.7	DTC起動要因	685
20.5.8	スタンバイ・モード時の動作	686
21.	イベント・リンク・コントローラ(ELC).....	687
21.1	ELCの機能.....	687
21.2	ELCの構成.....	687
21.3	ELCを制御するレジスタ	688
21.3.1	イベント出力先選択レジスタn (ELSELRn) (n = 00~15).....	689
21.4	ELCの動作.....	691
22.	割り込み機能	693
22.1	割り込み機能の種類.....	693
22.2	割り込み要因と構成.....	693
22.3	割り込み機能を制御するレジスタ	698
22.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H).....	701
22.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H).....	703
22.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)	705

22.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	707
22.3.5	プログラム・ステータス・ワード (PSW)	708
22.4	割り込み処理動作	709
22.4.1	マスカブル割り込み要求の受け付け動作	709
22.4.2	ソフトウェア割り込み要求の受け付け動作	712
22.4.3	多重割り込み処理	712
22.4.4	除算命令中の割り込み処理	716
22.4.5	割り込み要求の保留	718
23.	スタンバイ機能	719
23.1	スタンバイ機能	719
23.2	スタンバイ機能を制御するレジスタ	720
23.3	スタンバイ機能の動作	721
23.3.1	HALTモード	721
23.3.2	STOPモード	725
23.3.3	SNOOZEモード	730
24.	リセット機能	734
24.1	リセット動作のタイミング	736
24.2	リセット要因を確認するレジスタ	740
24.2.1	リセット・コントロール・フラグ・レジスタ (RESF)	740
25.	パワーオン・リセット回路	743
25.1	パワーオン・リセット回路の機能	743
25.2	パワーオン・リセット回路の構成	744
25.3	パワーオン・リセット回路の動作	745
26.	電圧検出回路	748
26.1	電圧検出回路の機能	748
26.2	電圧検出回路の構成	749
26.3	電圧検出回路を制御するレジスタ	749
26.3.1	電圧検出レジスタ (LVIM)	750
26.3.2	電圧検出レベル・レジスタ (LVIS)	751
26.4	電圧検出回路の動作	754
26.4.1	リセット・モードとして使用する場合の設定	754
26.4.2	割り込みモードとして使用する場合の設定	756
26.4.3	割り込み&リセット・モードとして使用時の設定	758
26.5	電圧検出回路の注意事項	764
27.	安全機能	766
27.1	安全機能の概要	766
27.2	安全機能で使用するレジスタ	767
27.3	安全機能の動作	767
27.3.1	フラッシュ・メモリ CRC 演算機能 (高速 CRC)	767
27.3.2	CRC 演算機能 (汎用 CRC)	771
27.3.3	RAM パリティ・エラー検出機能	774
27.3.4	RAM ガード機能	776
27.3.5	SFR ガード機能	777

27.3.6	不正メモリ・アクセス検出機能	778
27.3.7	周波数検出機能	780
27.3.8	A/Dテスト機能	782
27.3.9	入出力端子のデジタル出力信号レベル検出機能	786
28.	レギュレータ	787
28.1	レギュレータの概要	787
29.	オプション・バイト	788
29.1	オプション・バイトの機能	788
29.1.1	ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)	788
29.1.2	オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)	789
29.2	ユーザ・オプション・バイトのフォーマット	790
29.3	オンチップ・デバッグ・オプション・バイトのフォーマット	796
29.4	オプション・バイトの設定	797
30.	フラッシュ・メモリ	798
30.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	799
30.1.1	プログラミング環境	801
30.1.2	通信方式	801
30.2	外部デバイス(UART内蔵)によるシリアル・プログラミング	802
30.2.1	プログラミング環境	802
30.2.2	通信方式	803
30.3	オンボード上の端子処理	804
30.3.1	P40/TOOL0端子	804
30.3.2	RESET端子	804
30.3.3	ポート端子	805
30.3.4	REGC端子	805
30.3.5	X1, X2端子	805
30.3.6	電源	805
30.4	プログラミング方法	806
30.4.1	シリアル・プログラミング手順	806
30.4.2	フラッシュ・メモリ・プログラミング・モード	807
30.4.3	通信方式	809
30.4.4	通信コマンド	810
30.5	PG-FP5使用時の各コマンド処理時間(参考値)	812
30.6	セルフ・プログラミング	813
30.6.1	セルフ・プログラミング手順	814
30.6.2	ブート・スワップ機能	815
30.6.3	フラッシュ・シールド・ウインドウ機能	817
30.7	セキュリティ設定	818
30.8	データ・フラッシュ	820
30.8.1	データ・フラッシュの概要	820
30.8.2	データ・フラッシュを制御するレジスタ	821
30.8.3	データ・フラッシュへのアクセス手順	822
31.	オンチップ・デバッグ機能	823
31.1	E1オンチップデバッグエミュレータとの接続	823
31.2	オンチップ・デバッグ・セキュリティID	824

31.3	ユーザ資源の確保	824
32.	10進補正(BCD)回路	826
32.1	10進補正回路の機能	826
32.2	10進補正回路で使用するレジスタ	826
32.2.1	BCD補正結果レジスタ(BCDADJ)	826
32.3	10進補正回路の動作	827
33.	電気的特性(G: TA = -40 ~ +105 °C)	829
33.1	絶対最大定格	830
33.2	発振回路特性	832
33.2.1	X1特性	832
33.2.2	オンチップ・オシレータ特性	832
33.2.3	PLL発振回路特性	833
33.3	DC特性	834
33.3.1	端子特性	834
33.3.2	電源電流特性	837
33.4	AC特性	841
33.5	周辺機能特性	845
33.5.1	シリアル・アレイ・ユニット	845
33.6	アナログ特性	867
33.6.1	プログラマブル・ゲイン計装アンプ, 24ビット $\Delta\Sigma$ A/Dコンバータ	867
33.6.2	センサ用電源回路(SBIAS)	870
33.6.3	温度センサ	870
33.6.4	A/Dコンバータ特性	871
33.6.5	12ビットD/Aコンバータ	872
33.6.6	コンフィギュラブル・アンプ	873
33.6.7	POR回路特性	874
33.6.8	LVD回路特性	875
33.6.9	電源電圧立ち上がり傾き特性	876
33.7	RAMデータ保持特性	877
33.8	フラッシュ・メモリ・プログラミング特性	877
33.9	専用フラッシュ・メモリ・プログラマ通信(UART)	878
33.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	878
34.	電気的特性(M: TA = -40 ~ +125 °C)	879
34.1	絶対最大定格	880
34.2	発振回路特性	882
34.2.1	X1特性	882
34.2.2	オンチップ・オシレータ特性	882
34.2.3	PLL発振回路特性	883
34.3	DC特性	884
34.3.1	端子特性	884
34.3.2	電源電流特性	887
34.4	AC特性	891
34.5	周辺機能特性	895
34.5.1	シリアル・アレイ・ユニット	895
34.6	アナログ特性	917
34.6.1	プログラマブル・ゲイン計装アンプ, 24ビット $\Delta\Sigma$ A/Dコンバータ	917

34.6.2	センサ用電源回路 (SBIAS)	920
34.6.3	温度センサ	920
34.6.4	A/Dコンバータ特性	921
34.6.5	12ビットD/Aコンバータ	922
34.6.6	コンフィギュラブル・アンプ	923
34.6.7	POR回路特性	924
34.6.8	LVD回路特性	925
34.6.9	電源電圧立ち上がり傾き特性	926
34.7	RAMデータ保持特性	927
34.8	フラッシュ・メモリ・プログラミング特性	927
34.9	専用フラッシュ・メモリ・プログラマ通信 (UART)	928
34.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	929
35.	外形図	930
35.1	32ピン製品	930
35.2	36ピン製品	931
付録A	改版履歴	932
A.1	本版で改訂された主な箇所	932
A.2	前版までの改版履歴	933

第1章 概説

1.1 特徴

超低消費電力テクノロジー

- $V_{DD} = 2.4 \sim 5.5 \text{ V}$
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速(0.03125 μs ：高速オンチップ・オシレータ・クロックまたはPLLクロック32 MHz動作時)注から超低速(1 μs ：高速オンチップ・オシレータ・クロックまたはPLLクロック1 MHz動作時)までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ $\times 8 \times 4$ バンク
- 内蔵RAM：8 KB

注 用途区分M(産業用途, $T_A = -40 \sim +125^\circ\text{C}$)の製品は, 0.04167 μs ：高速オンチップ・オシレータ・クロックまたはPLLクロック24 MHz時

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：32 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止, 書き換え禁止(セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング; ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：4 KB
- バックグラウンド・オペレーション(BGO); データ・フラッシュ書き換え中に, プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回(TYP.)
- 書き換え電圧： $V_{DD} = 2.4 \sim 5.5 \text{ V}$

高速オンチップ・オシレータ

- 32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHzから選択
- 高精度 $\pm 2.0\%$ ($V_{DD} = 2.4 \sim 5.5 \text{ V}$, $T_A = -40 \sim +105^\circ\text{C}$)
 $\pm 3.0\%$ ($V_{DD} = 2.4 \sim 5.5 \text{ V}$, $T_A = -40 \sim +125^\circ\text{C}$)

動作周囲温度

- TA = -40 ~ +105 °C (G : 産業用途)
- TA = -40 ~ +125 °C (M : 産業用途)

電源管理とリセット機能

- パワーオン・リセット(POR)回路内蔵
- 電圧検出(LVD)回路内蔵(割り込み, リセットを7段階で選択)

データ・トランスファ・コントローラ(DTC)

- 転送モード : ノーマル転送モード, リピート転送モード, ブロック転送モード
- 起動要因 : 割り込み要因により起動
- チェーン転送機能あり

イベント・リンク・コントローラ(ELC)

- 16種類のイベント信号を特定の周辺機能へリンク可能

シリアル・インタフェース

- 簡易SPI(CSI注) : 2チャンネル
- UART : 2チャンネル(Lin-bus対応 : 1チャンネル)
- 簡易I²C : 2チャンネル

タイマ

- 16ビット・タイマ : 8チャンネル
(タイマ・アレイ・ユニット(TAU) : 6チャンネル, タイマRJ : 1チャンネル, タイマRG : 1チャンネル)
- インターバル・タイマ : 1チャンネル
- リアルタイム・クロック : 1チャンネル(99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ : 1チャンネル(専用の低速オンチップ・オシレータ・クロックで動作可能)

アナログ・フロントエンド(AFE)専用電源回路

- センサ用電源出力(SBIAS) : 0.5 ~ 2.2 V

プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータ

- 24ビット分解能2次 $\Delta\Sigma$ /Dコンバータ(AV_{DD} = 2.7 ~ 5.5 V)
- SNDR : 85 dB (TYP.)
- 出力データ・レート : 488 sps ~ 15.625 ksps @通常モード
61 sps ~ 1.953 ksps @ローパワーモード
- プログラマブル・ゲイン計装アンプ入力 : 3 ~ 4チャンネル(差動入力, シングルエンド入力)
- オフセット調整用D/Aコンバータ搭載
- 可変ゲイン : x1 ~ x64
- 温度センサ内蔵

10ビットA/Dコンバータ

- 8/10ビット分解能逐次比較方式A/Dコンバータ(AV_{DD} = 2.7 ~ 5.5 V)
- アナログ入力 : 8 ~ 10チャンネル+センサ用電源(SBIAS) + 内部基準電圧
- 内部基準電圧(1.45 V)

コンフィギュラブル・アンプ

- オペアンプ3ch+コンフィギュラブル・スイッチ・マトリクス構成 (AVDD = 2.7~5.5 V)
- 汎用オペアンプ2~3チャンネルとして使用可能
- オペアンプ出力：3チャンネル
- アナログ汎用入出力ポート：5~6チャンネル
- オフセット・キャリブレーション機能

D/Aコンバータ

- 12ビット分解能 R-2Rラダー抵抗方式D/Aコンバータ (AVDD = 2.7~5.5 V)
- アナログ出力：1チャンネル (コンフィギュラブル・アンプ経由)

入出力ポート

- I/Oポート：10~14本 (N-chオープン・ドレイン入出力[V_{DD}耐圧]:6本, CMOS入出力:7~11本, CMOS入力:3本)
- TTL入力バッファ, 内蔵プルアップの切り替え可能
- 異電位 (2.5/3 V系) 動作デバイスと接続可能
- クロック出力/ブザー出力制御回路内蔵

その他

- 10進補正 (BCD) 回路内蔵

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

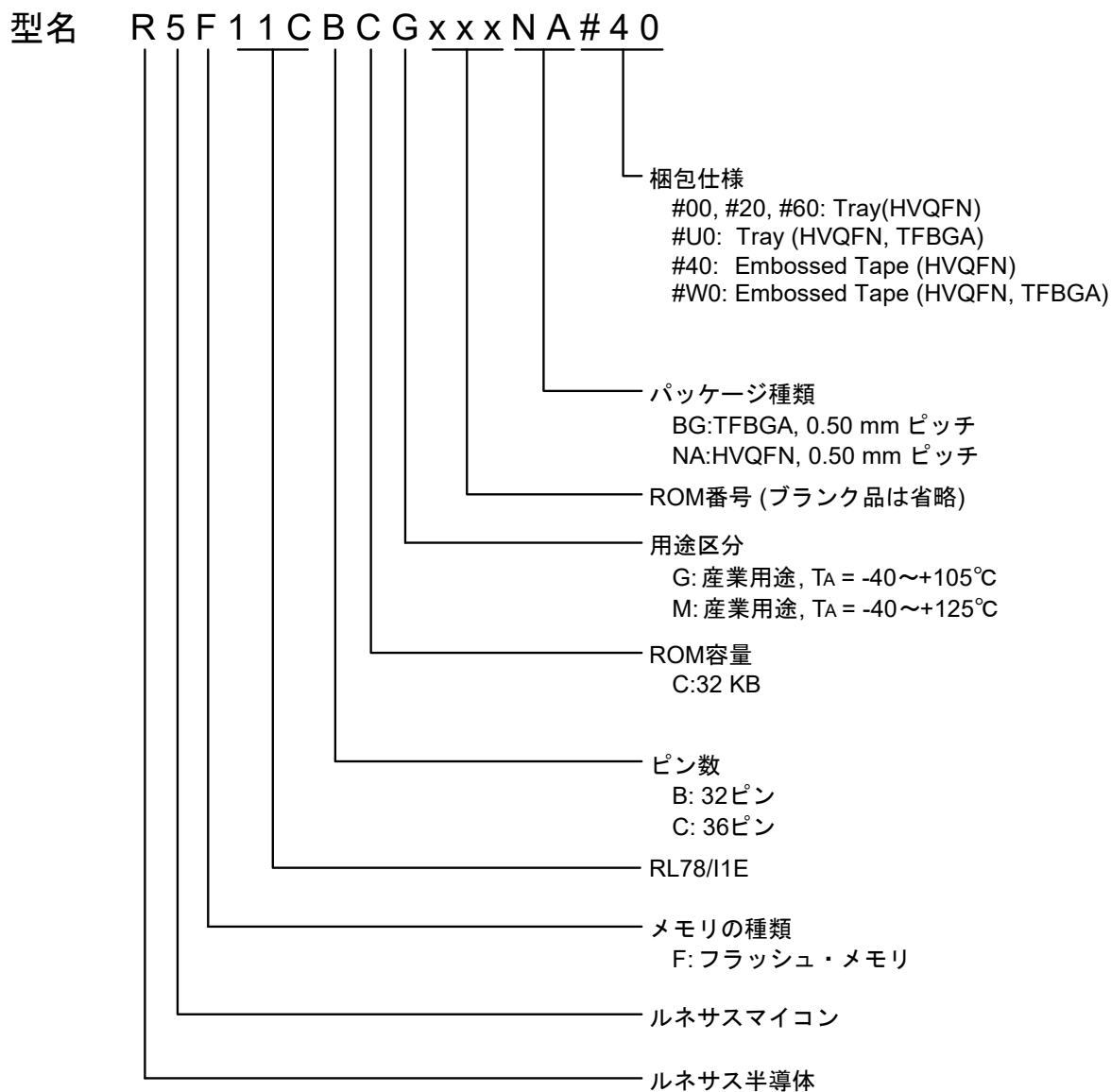
○ROM, RAM容量

フラッシュ ROM	データ・フラッシュ	RAM	RL78/I1E	
			32ピン	36ピン
32 KB	4 KB	8 KB	R5F11CBC	R5F11CCC

1.2 型名一覧

★

図1 - 1 RL78/I1Eの型名とメモリサイズ・パッケージ



ピン数	パッケージ	用途 区分注	発注型名
32ピン	32ピン・プラスチックHVQFN (5 × 5 mm, 0.5 mmピッチ)	G	R5F11CBCGNA#20 R5F11CBCGNA#40 R5F11CBCGNA#00 R5F11CBCGNA#60
		M	R5F11CBCMNA#U0 R5F11CBCMNA#W0
36ピン	36ピン・プラスチックTFBGA (4 × 4 mm, 0.5 mmピッチ)	G	R5F11CCCGBG#U0 R5F11CCCGBG#W0
		M	R5F11CCCMBG#U0 R5F11CCCMBG#W0

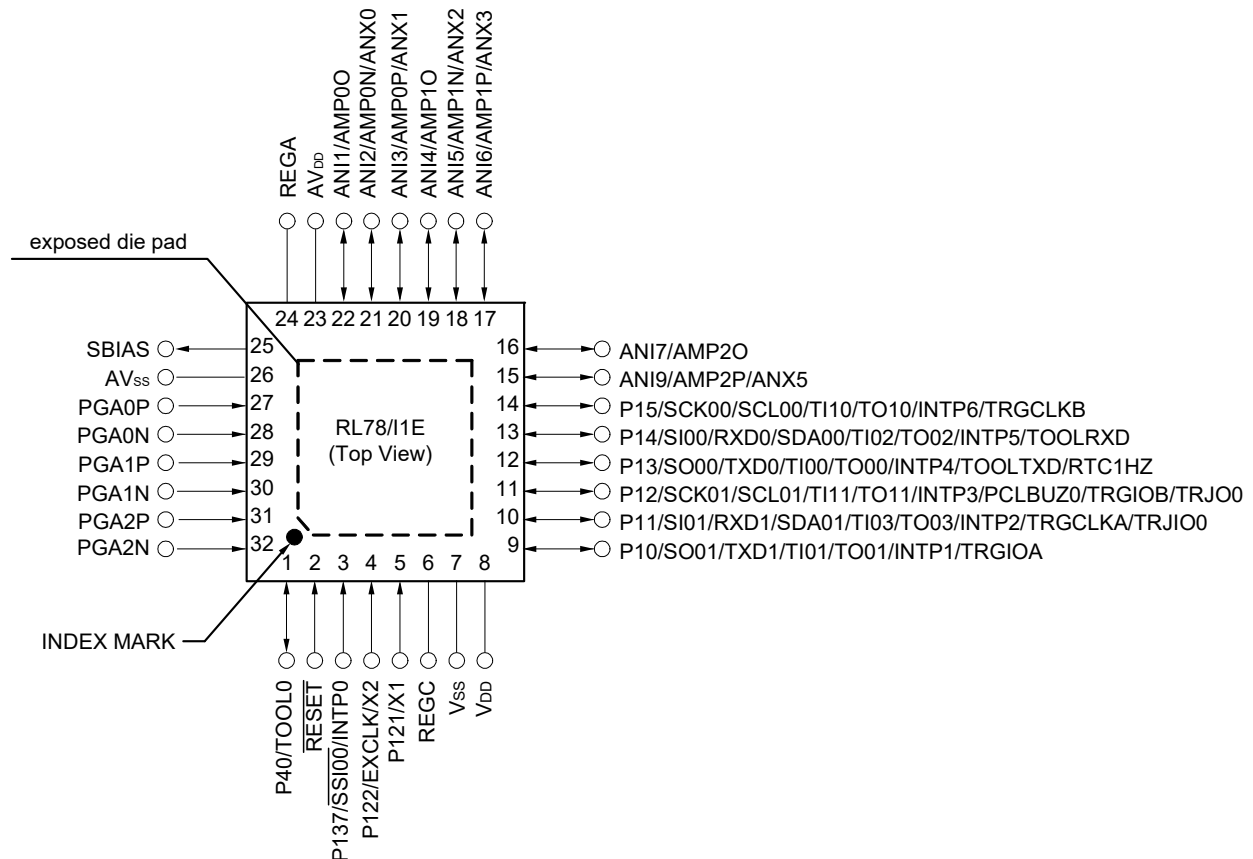
注 用途区分は、図1-1 RL78/I1Eの型名とメモリサイズ・パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

1.3 端子接続図 (Top View)

1.3.1 32ピン製品

• 32ピン・プラスチックHVQFN (5×5 mm, 0.5 mmピッチ)



注意1. REGC端子はコンデンサ(0.47~1 μF)を介し、Vss端子に接続してください。

注意2. REGA端子はコンデンサ(0.22 μF)を介し、AVss端子に接続してください。

注意3. AVss端子はVss端子と同電位にしてください。

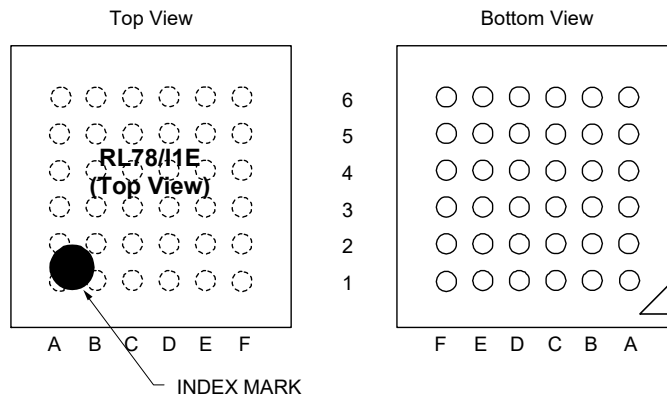
注意4. AVDD端子はVDD端子と同電位にしてください。

注意5. SBIAS端子はコンデンサ(0.22 μF)を介し、AVss端子に接続してください。

備考 exposed die padは、Vssに接続することを推奨します。

1.3.2 36ピン製品

・36ピン・プラスチックTFBGA (4 × 4 mm, 0.5 mm ピッチ)



	A	B	C	D	E	F	
6	PGA2P	PGA1N	PGA1P	PGA0P	PGA3P	AVss	6
5	PGA2N	P40/TOOL0	PGA0N	PGA3N	REGA	SBIAS	5
4	RESET	P137/SSI00/ INTP0	P11/SI01/RxD1/ SDA01/TI03/ TO03/INTP2/ TRGCLKA/ TRJIO0	P12/SCK01/ SCL01/TI11/ TO11/INTP3/ PCLBUZ0/ TRGIOB/TRJO0	ANI0	AVDD	4
3	P122/X2/EXCLK	P15/SCK00/ SCL00/TI10/ TO10/INTP6/ TRGCLKB	P10/SO01/TxD1/ TI01/TO01/ INTP1/TRGIOA	ANI3/AMP0P/ ANX1	ANI2/AMP0N/ ANX0	ANI1/AMP0O	3
2	P121/X1	REGC	P14/SI00/RxD0/ SDA00/TI02/ TO02/INTP5/ TOOLRxD	P41/ANI6/ AMP1P/ANX3	P42/ANI5/ AMP1N/ANX2	ANI4/AMP1O	2
1	VDD	Vss	P13/SO00/TxD0/ TI00/TO00/ INTP4/TOOLTxD/ RTC1HZ	P16/INTP7/ANI9/ AMP2P/ANX5	P17/ANI8/ AMP2N/ANX4	ANI7/AMP2O	1
	A	B	C	D	E	F	

注意1. REGC端子はコンデンサ(0.47～1 μF)を介し、Vss端子に接続してください。

注意2. REGA端子はコンデンサ(0.22 μF)を介し、AVss端子に接続してください。

注意3. AVss端子はVss端子と同電位にしてください。

注意4. AVDD端子はVDD端子と同電位にしてください。

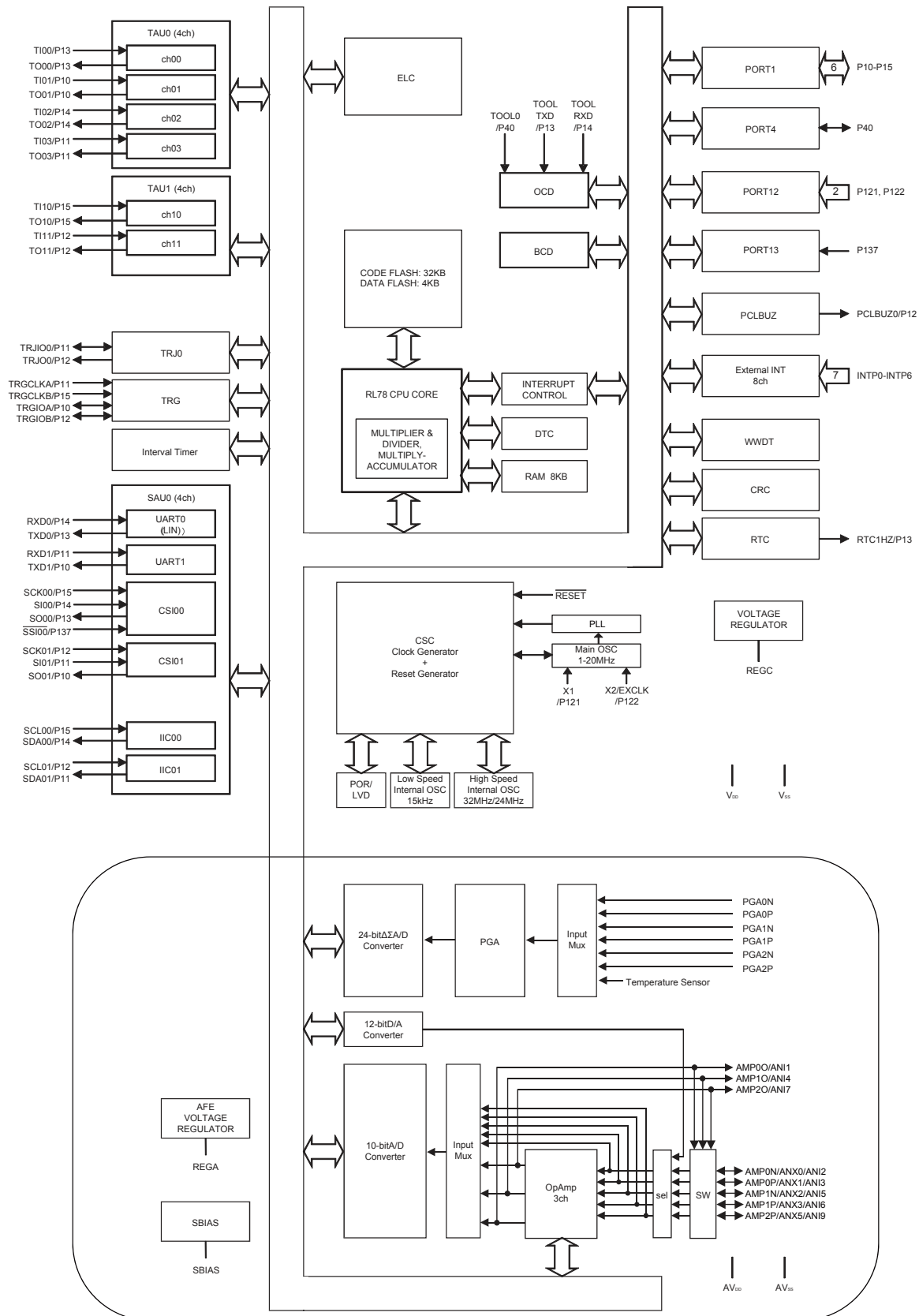
注意5. SBIAS端子はコンデンサ(0.22 μF)を介し、AVss端子に接続してください。

1.4 端子名称

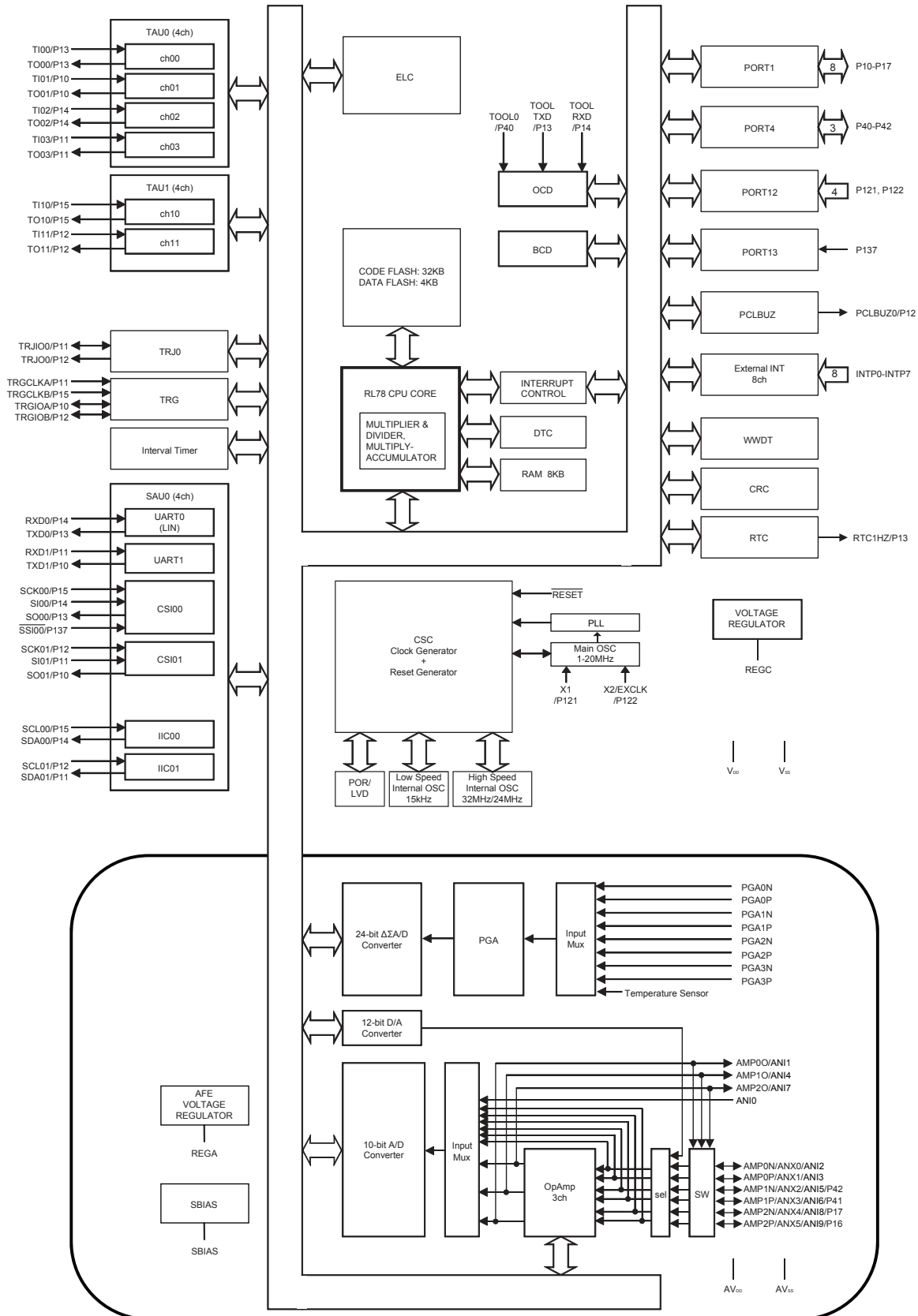
ANI0-ANI9	: Analog Input	RESET	: Reset
AMP0P-AMP2P	: Operational Amplifier Positive Input	REGA REGC	: Regulator Capacitance for Analog : Regulator Capacitance
AMP0N-AMP2N	: Operational Amplifier Negative Input	RTC1HZ RxD0, RxD1	: Real-time Clock Correction : Receive Data
AMP0O-AMP2O	: Operational Amplifier Output	SBIAS	: Bias Output for MEMS Sensor
ANX0-ANX5	: General-purpose Analog Port for Operational Amplifier	SCK00, SCK01 SCL00, SCL01	: Serial Clock Input/Output : Serial Clock Output
AVDD	: Power Supply for Analog	SI00, SI01	: Serial Data Input
AVSS	: Ground for Analog	SO00, SO01	: Serial Data Output
EXCLK	: External Clock Input (Main System Clock)	TI00-TI03, TI10, TI11 TO00-TO03, TO10, TO11,	: Timer Input : Timer Output
INTP0-INTP7	: External Interrupt Input	TRJ00	
P10-P17	: Port 1	TOOL0	: Data Input/Output for Tool
P40-P42	: Port 4	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
P121, P122	: Port 12	TRGCLKA, TRGCLKB	: Timer External Clock Input
P137	: Port 13	TRGIOA, TRGIOB, TRJIO0	: Timer Input/Output
PCLBUZ0	: Programmable Clock Output/ Buzzer Output	TxD0, TxD1 VDD	: Transmit Data : Power Supply
PGA0N-PGA3N	: PGA Negative Analog Input	VSS	: Ground
PGA0P-PGA3P	: PGA Positive Analog Input	X1, X2	: Crystal Oscillator (Main System Clock)

1.5 ブロック図

1.5.1 32ピン製品



1.5.2 36ピン製品



1.6 機能概要

【32ピン, 36ピン製品】

(1/2)

項目	32ピン		36ピン
	R5F11CBC		R5F11CCC
コード・フラッシュ・メモリ	32 KB		
データ・フラッシュ・メモリ	4 KB		
RAM	8 KB		
アドレス空間	1 Mバイト		
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力 (EXCLK) 1~20 MHz : V _{DD} = 2.7~5.5 V, 1~16 MHz : V _{DD} = 2.4~2.7 V	
	高速オンチップ・オシレータ・クロック (f _{IH})	1~32 MHz (V _{DD} = 2.7~5.5 V)注1, 1~16 MHz (V _{DD} = 2.4~5.5 V)	
	PLLクロック (f _{PLL} の2/4/8分周)	3~32 MHz (V _{DD} = 2.7~5.5 V)注2, 3~16 MHz (V _{DD} = 2.4~5.5 V)	
汎用レジスタ	8ビット×32レジスタ (8ビット×8レジスタ×4バンク)		
最小命令実行時間	0.03125 μs (高速オンチップ・オシレータ・クロック : f _{IH} = 32 MHz動作時)注3		
	0.03125 μs (PLLクロック : f _{PLL} = 64 MHz, f _{IH} = 32 MHz動作時)注4		
	0.05 μs (高速システム・クロック : f _{MX} = 20 MHz動作時)		
命令セット	<ul style="list-style-type: none"> データ転送(8/16ビット) 加減/論理演算(8/16ビット) 乗算(8×8ビット, 16×16ビット), 除算(16÷16ビット, 32÷32ビット) 積和演算(16×16+32ビット) ローテート, パレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など 		
I/Oポート	合計	10	14
	CMOS入出力	7	11
	CMOS入力	3	3
タイマ	16ビット・タイマ	8チャンネル (TAU : 6チャンネル, タイマRJ : 1チャンネル, タイマRG : 1チャンネル)	
	ウォッチドッグ・タイマ	1チャンネル	
	リアルタイム・クロック (RTC)	1チャンネル	
	インターバル・タイマ	1チャンネル	
	タイマ出力	タイマ出力 : 10本 PWM出力 : 9本	
	RTC出力	1本	
クロック出力/ブザー出力	1本		
	<ul style="list-style-type: none"> 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : f_{MAIN} = 20 MHz動作時) 		
8/10ビット分解能A/Dコンバータ	8チャンネル	10チャンネル	
シリアル・インタフェース	<ul style="list-style-type: none"> 簡易SPI(CSI) : 2チャンネル/UART : 2チャンネル(Lin-bus対応 : 1チャンネル)/簡易I²C : 2チャンネル 		

注1. 用途区分M (産業用途, T_A = -40~+125°C) の製品は, 1~24 MHz(V_{DD} = 2.7~5.5 V)注2. 用途区分M (産業用途, T_A = -40~+125°C) の製品は, 3~24 MHz(V_{DD} = 2.7~5.5 V)注3. 用途区分M (産業用途, T_A = -40~+125°C) の製品は, 0.04167 μs (高速オンチップ・オシレータ・クロック : f_{IH} = 24 MHz動作時)注4. 用途区分M (産業用途, T_A = -40~+125°C) の製品は, 0.04167 μs (PLLクロック : f_{PLL} = 64 MHz, f_{IH} = 24 MHz動作時)

(2/2)

項目	32ピン		36ピン	
	R5F11CBC		R5F11CCC	
データ・トランスファ・コントローラ(DTC)	22要因			
イベント・リンク・コントローラ(ELC)	イベント入力：16, イベントトリガ出力：7			
ベクタ割り込み要因	内部	23	23	
	外部	7	8	
$\Delta\Sigma$ /Dコンバータ	24ビット	3チャンネル	4チャンネル	
	AFE 温度センサ	1チャンネル		
オペアンプ	3端子	3チャンネル注 ¹	3チャンネル	
	汎用ポート	5チャンネル	6チャンネル	
D/Aコンバータ	12ビット	1チャンネル		
リセット	<ul style="list-style-type: none"> • RESET端子によるリセット • ウォッチドッグ・タイマによる内部リセット • パワーオン・リセットによる内部リセット • 電圧検出回路による内部リセット • 不正命令の実行による内部リセット注² • RAMパリティ・エラーによる内部リセット • 不正メモリ・アクセスによる内部リセット 			
パワーオン・リセット回路	<ul style="list-style-type: none"> • パワーオン・リセット：1.56 ± 0.03 V • パワーダウン・リセット：1.55 ± 0.03 V 			
電圧検出回路	立ち下がり：2.55 V～4.64 V (7段階) 立ち上がり：2.61 V～4.74 V (7段階)			
オンチップ・デバッグ機能	あり			
電源電圧	V _{DD} = 2.4～5.5 V			
動作周囲温度	T _A = -40～+105 °C (G：産業用途), T _A = -40～+125 °C (M：産業用途)			

注1. 3チャンネル全てを独立したアンプとして使用する場合、少なくとも1チャンネルはボルテージ・フォロワ回路の構成にする必要があります。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

(1) 32ピン, 36ピン製品

電源	対応する端子
V _{DD}	すべてのポート端子
AV _{DD}	AFEの端子

各ポートで設定した入出力やバッファ, プルアップ抵抗は, 兼用機能に対しても有効です。

2.1.1 32ピン

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P10	7-1-4	入出力	入力ポート	SO01/TxD1/TI01/TO01/INTP1/TRGIOA	ポート1。
P11	8-1-4			SI01/RxD1/SDA01/TI03/TO03/INTP2/TRGCKA/TRJIO0	6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。
P12	8-1-4			SCK01/SCL01/TI11/TO11/INTP3/PCLBUZ0/TRGIOB/TRJO0	入力ポートでは, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。
P13	7-1-4			SO00/TxD0/TI00/TO00/INTP4/TOOLTxD/RTC1HZ	P11, P12, P14, P15の入力はTTL入力バッファに設定可能。
P14	8-1-4			SI00/RxD0/SDA00/TI02/TO02/INTP5/TOOLRxD	P10-P15の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P15	8-1-4			SCK00/SCL00/TI10/TO10/INTP6/TRGCKB	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 入力ポートでは, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力	入力ポート	X1	ポート12。
P122				EXCLK/X2	2ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	SSI00/INTP0	ポート13。 1ビット入力専用ポート。

2.1.2 36ピン

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P10	7-1-4	入出力	入力ポート	SO01/TxD1/TI01/TO01/INTP1/TRGIOA	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P11, P12, P14, P15の入力はTTL入力バッファに設定可能。 P10-P15の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P16, P17は、アナログ入力またはアナログ出力に設定可能 ^注 。
P11	8-1-4			SI01/RxD1/SDA01/TI03/TO03/INTP2/TRGCLKA/TRJIO0	
P12	8-1-4			SCK01/SCL01/TI11/TO11/INTP3/PCLBUZ0/TRGIOB/TRJO0	
P13	7-1-4			SO00/TxD0/TI00/TO00/INTP4/TOOLTxD/RTC1HZ	
P14	8-1-4			SI00/RxD0/SDA00/TI02/TO02/INTP5/TOOLRxD	
P15	8-1-4			SCK00/SCL00/TI10/TO10/INTP6/TRGCLKB	
P16	6-3-2			アナログ機能	
P17	6-3-2	ANI8/AMP2N/ANX4			
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P40は、入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41, P42は、アナログ入力またはアナログ出力に設定可能 ^注 。
P41	6-3-2			ANI6/AMP1P/ANX3	
P42	6-3-2			ANI5/AMP1N/ANX2	
P121	2-2-1	入力	入力ポート	X1	ポート12。 2ビット入力専用ポート。
P122				EXCLK/X2	
P137	2-1-2	入力	入力ポート	SSI00/INTP0	ポート13。 1ビット入力専用ポート。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

2.2 ポート以外の機能

2.2.1 AFE 以外の兼用機能

(1/2)

機能名称	入出力	機能	ピン数	
			32ピン	36ピン
INTP0	入力	外部割り込み要求入力	○	○
INTP1	入力		○	○
INTP2	入力		○	○
INTP3	入力		○	○
INTP4	入力		○	○
INTP5	入力		○	○
INTP6	入力		○	○
INTP7	入力		—	○
TI00	入力	16ビット・タイマ00への外部カウント・クロック／キャプチャ・トリガ入力	○	○
TI01	入力	16ビット・タイマ01への外部カウント・クロック／キャプチャ・トリガ入力 (8ビット・タイマとして使用可能)	○	○
TI02	入力	16ビット・タイマ02への外部カウント・クロック／キャプチャ・トリガ入力	○	○
TI03	入力	16ビット・タイマ03への外部カウント・クロック／キャプチャ・トリガ入力 (8ビット・タイマとして使用可能)	○	○
TI10	入力	16ビット・タイマ10への外部カウント・クロック／キャプチャ・トリガ入力	○	○
TI11	入力	16ビット・タイマ11への外部カウント・クロック／キャプチャ・トリガ入力	○	○
TO00	出力	16ビット・タイマ00のタイマ出力	○	○
TO01	出力	16ビット・タイマ01のタイマ出力 (8ビット・タイマとして使用可能)	○	○
TO02	出力	16ビット・タイマ02のタイマ出力	○	○
TO03	出力	16ビット・タイマ03のタイマ出力 (8ビット・タイマとして使用可能)	○	○
TO10	出力	16ビット・タイマ10のタイマ出力	○	○
TO11	出力	16ビット・タイマ11のタイマ出力	○	○
SI00	入力	シリアル・インタフェースCSI00のシリアル・データ入力	○	○
SI01	入力	シリアル・インタフェースCSI01のシリアル・データ入力	○	○
SO00	出力	シリアル・インタフェースCSI00のシリアル・データ出力	○	○
SO01	出力	シリアル・インタフェースCSI01のシリアル・データ出力	○	○
SCK00	入出力	シリアル・インタフェースCSI00のクロック入出力	○	○
SCK01	入出力	シリアル・インタフェースCSI01のクロック入出力	○	○
SSi00	入力	シリアル・インタフェースCSI00のチップ・セレクト入力	○	○
TxD0	出力	シリアル・インタフェースUART0のシリアル・データ出力	○	○
TxD1	出力	シリアル・インタフェースUART1のシリアル・データ出力	○	○
RxD0	入力	シリアル・インタフェースUART0のシリアル・データ入力	○	○
RxD1	入力	シリアル・インタフェースUART1のシリアル・データ入力	○	○
SCL00	出力	シリアル・インタフェースIIC00のクロック出力	○	○
SCL01	出力	シリアル・インタフェースIIC01のクロック出力	○	○

(2/2)

機能名称	入出力	機能	ピン数	
			32ピン	36ピン
SDA00	入出力	シリアル・インタフェースIIC00のシリアル・データ入出力	○	○
SDA01	入出力	シリアル・インタフェースIIC01のシリアル・データ入出力	○	○
PCLBUZ0	出力	クロック出力/ブザー出力	○	○
RTC1HZ	出力	リアルタイム・クロック補正クロック(1 Hz)出力	○	○
TRGIOA	入出力	タイマRG入出力	○	○
TRGCLKA	入力	タイマRG外部クロック入力	○	○
TRGIOB	入出力	タイマRG入出力	○	○
TRGCLKB	入力	タイマRG外部クロック入力	○	○
TRJIO0	入出力	タイマRJ入出力	○	○
TRJO0	出力	タイマRJ出力	○	○
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○
X1	—	メイン・システム・クロック用発振子接続	○	○
X2	—		○	○
$\overline{\text{RESET}}$	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。	○	○
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μF)を介し、V _{SS} に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。	○	○
V _{DD}	—	アナログ端子以外のすべての端子の正電源	○	○
V _{SS}	—	アナログ端子以外のすべての端子のグラウンド電位	○	○
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信	○	○
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力	○	○

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、30.4 プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、V_{DD}-V_{SS}ライン間へのバイパスコンデンサ(0.1 μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2.2.2 AFE 端子の機能

(1/2)

機能名称	入出力	機能	ピン数	
			32ピン	36ピン
ANI0	入力	10ビットA/Dコンバータのアナログ入力0	—	○
ANI1	入力	10ビットA/Dコンバータのアナログ入力1	○	○
ANI2	入力	10ビットA/Dコンバータのアナログ入力2	○	○
ANI3	入力	10ビットA/Dコンバータのアナログ入力3	○	○
ANI4	入力	10ビットA/Dコンバータのアナログ入力4	○	○
ANI5	入力	10ビットA/Dコンバータのアナログ入力5	○	○
ANI6	入力	10ビットA/Dコンバータのアナログ入力6	○	○
ANI7	入力	10ビットA/Dコンバータのアナログ入力7	○	○
ANI8	入力	10ビットA/Dコンバータのアナログ入力8	—	○
ANI9	入力	10ビットA/Dコンバータのアナログ入力9	○	○
AMP0P	入力	オペアンプ0プラス入力	○	○
AMP1P	入力	オペアンプ1プラス入力	○	○
AMP2P	入力	オペアンプ2プラス入力	○	○
AMP0N	入力	オペアンプ0マイナス入力	○	○
AMP1N	入力	オペアンプ1マイナス入力	○	○
AMP2N	入力	オペアンプ2マイナス入力	—	○
AMP0O	出力	オペアンプ0出力	○	○
AMP1O	出力	オペアンプ1出力	○	○
AMP2O	出力	オペアンプ2出力	○	○
ANX0	入出力	オペアンプ0, 1, 2の汎用アナログ入出力ポート0	○	○
ANX1	入出力	オペアンプ0, 1, 2の汎用アナログ入出力ポート1	○	○
ANX2	入出力	オペアンプ1, 2の汎用アナログ入出力ポート2	○	○
ANX3	入出力	オペアンプ1, 2の汎用アナログ入出力ポート3	○	○
ANX4	入出力	オペアンプ2の汎用アナログ入出力ポート4	—	○
ANX5	入出力	オペアンプ2の汎用アナログ入出力ポート5	○	○
PGA0P	入力	PGAポジティブ・アナログ入力0	○	○
PGA1P	入力	PGAポジティブ・アナログ入力1	○	○
PGA2P	入力	PGAポジティブ・アナログ入力2	○	○
PGA3P	入力	PGAポジティブ・アナログ入力3	—	○
PGA0N	入力	PGAネガティブ・アナログ入力0	○	○
PGA1N	入力	PGAネガティブ・アナログ入力1	○	○
PGA2N	入力	PGAネガティブ・アナログ入力2	○	○
PGA3N	入力	PGAネガティブ・アナログ入力3	—	○
SBIAS	出力	センサ用基準電圧出力	○	○
REGA	—	内部動作用レギュレータ出力安定容量接続（アナログ電源）	○	○
AVDD	—	アナログ正電源	○	○
AVSS	—	アナログ・グランド電位	○	○

2.3 未使用端子の処理

表2-3に各端子の未使用端子処理を示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図(Top View)、2.1 ポート機能を参照してください。

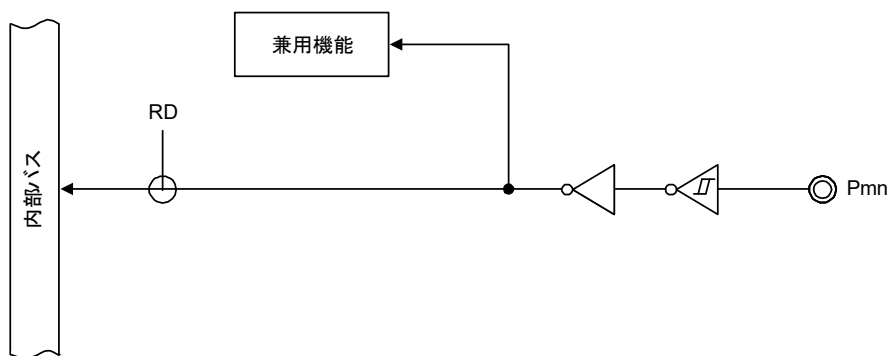
表2-3 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P10-P15	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P16/INTP7/ANI9/AMP2P/ANX5, P17/ANI8/AMP2N/ANX4		アナログ入出力 (PMCxx = 1) に設定して、オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、V _{DD} に接続またはオープンにしてください。 出力時：オープンにしてください。
P41/ANI6/AMP1P/ANX3, P42/ANI5/AMP1N/ANX2		アナログ入出力 (PMCxx = 1) に設定して、オープンにしてください。
P121, P122	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P137	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
RESET	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ(0.47~1 μF)を介して、V _{SS} に接続してください。
ANI0	入力	AV _{SS} に接続してください。
ANI1/AMP00, ANI2/AMP0N/ANX0, ANI3/AMP0P/ANX1, ANI4/AMP10, ANI7/AMP20	入出力	オープンにしてください。
PGA0N-PGA3N	入力	AV _{SS} に接続してください。
PGA0P-PGA3P	入力	AV _{SS} に接続してください。
REGA	—	コンデンサ(0.22 μF)を介して、AV _{SS} に接続してください。
SBIAS	出力	コンデンサ(0.22 μF)を介して、AV _{SS} に接続してください。

2.4 端子ブロック図

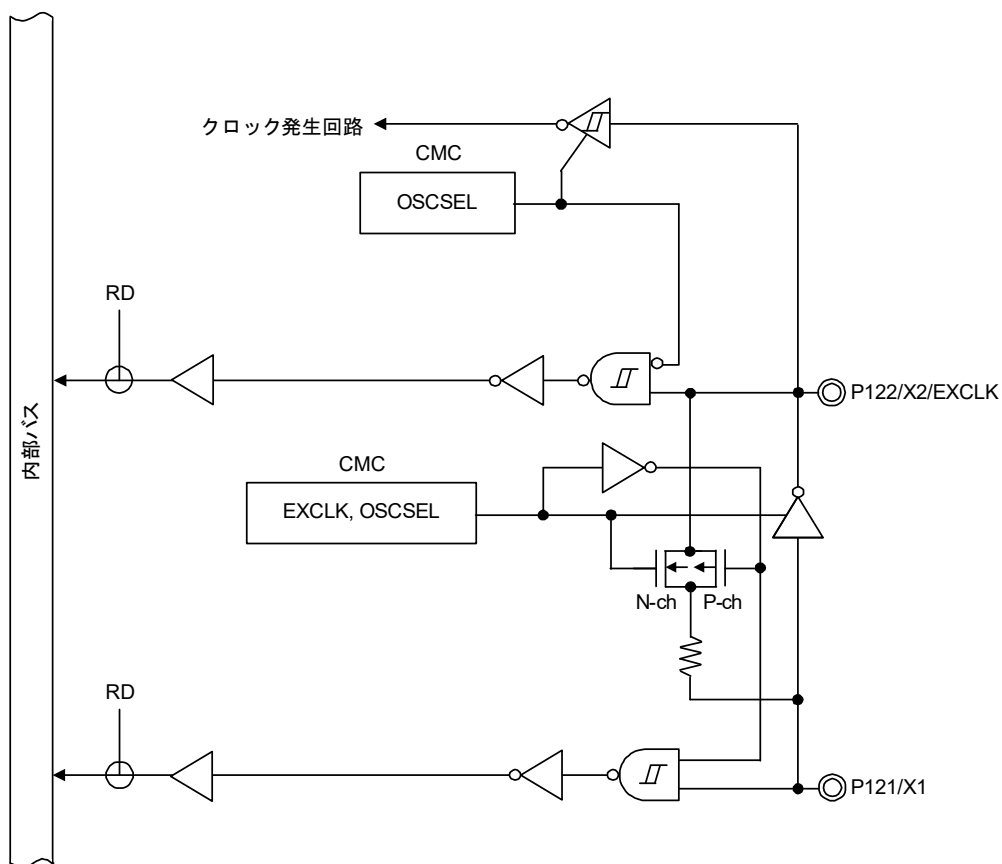
2.1.1 32ピン、2.1.2 36ピンに記載した端子タイプについて、端子ブロック図を図2-1～図2-6に示します。

図2-1 端子タイプ 2-1-2 の端子ブロック図



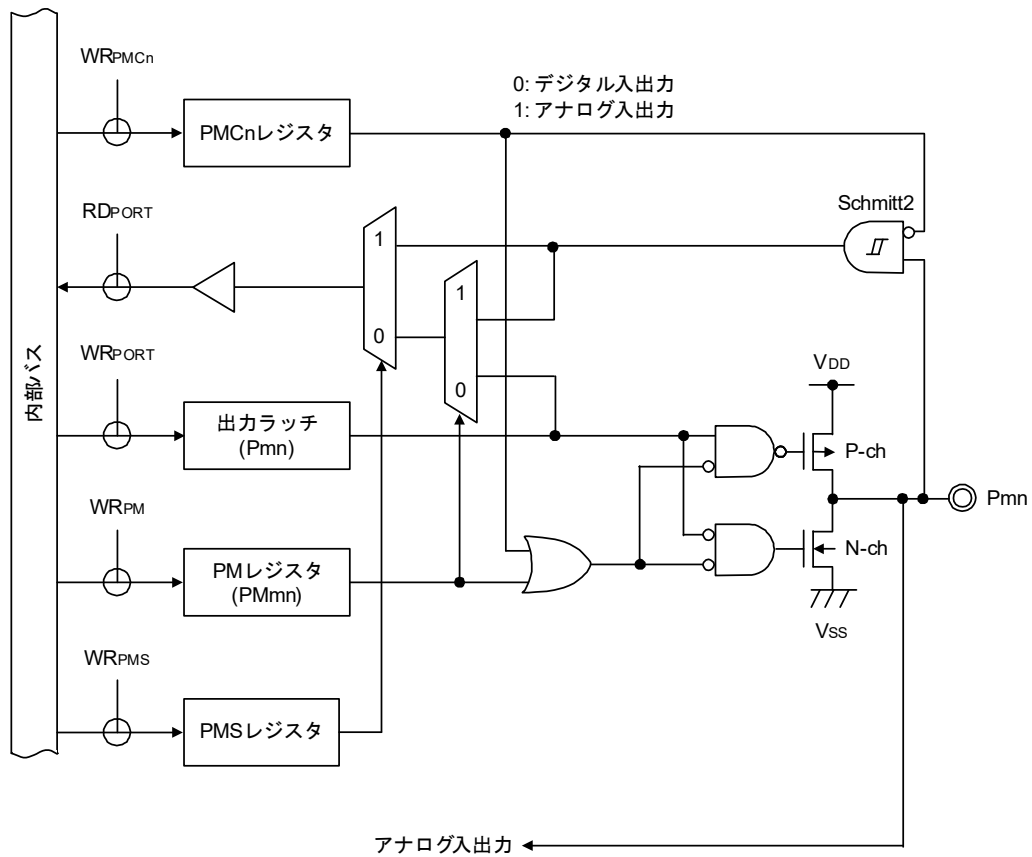
備考 兼用機能は、2.1 ポート機能を参照してください。

図2-2 端子タイプ 2-2-1 の端子ブロック図



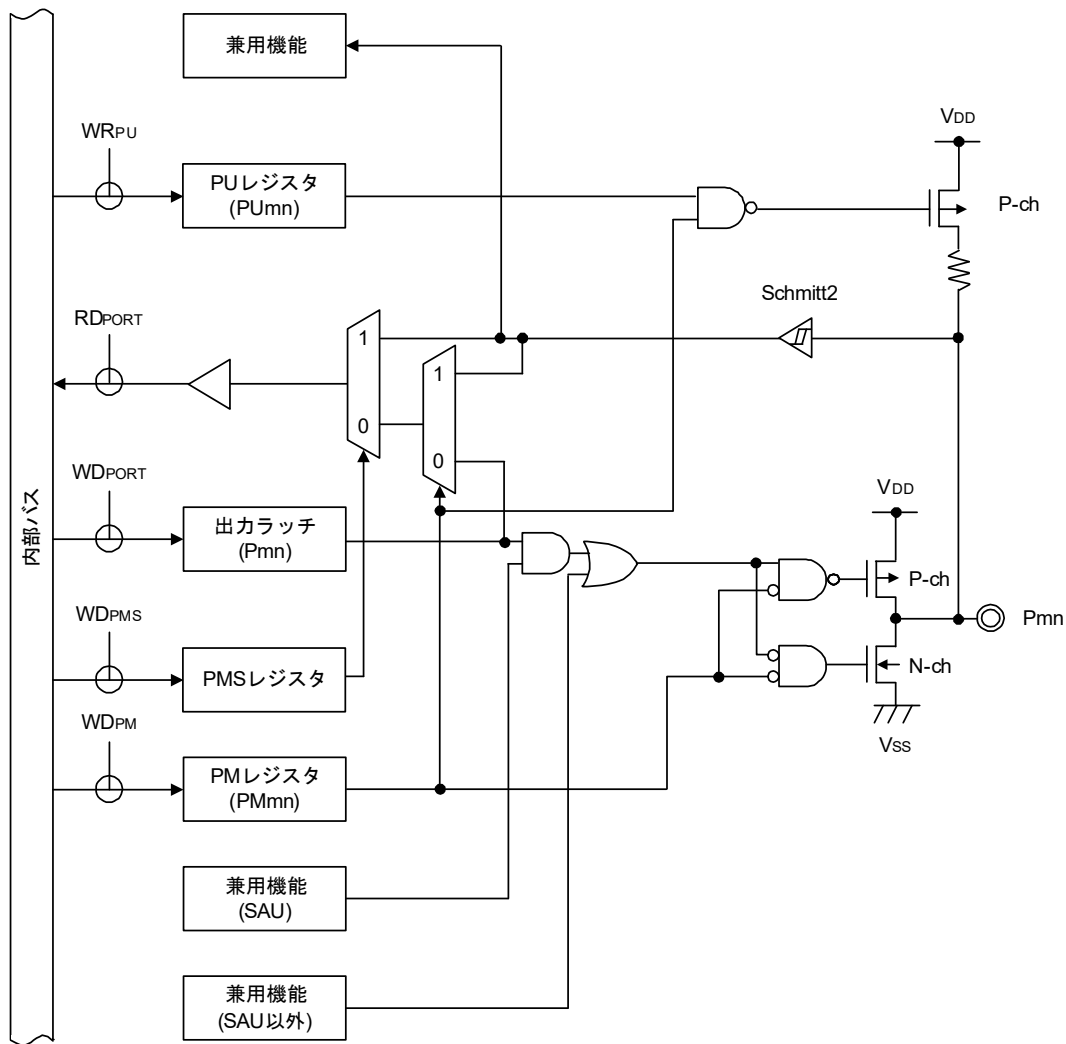
備考 兼用機能は、2.1 ポート機能を参照してください。

図2-3 端子タイプ 6-3-2の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

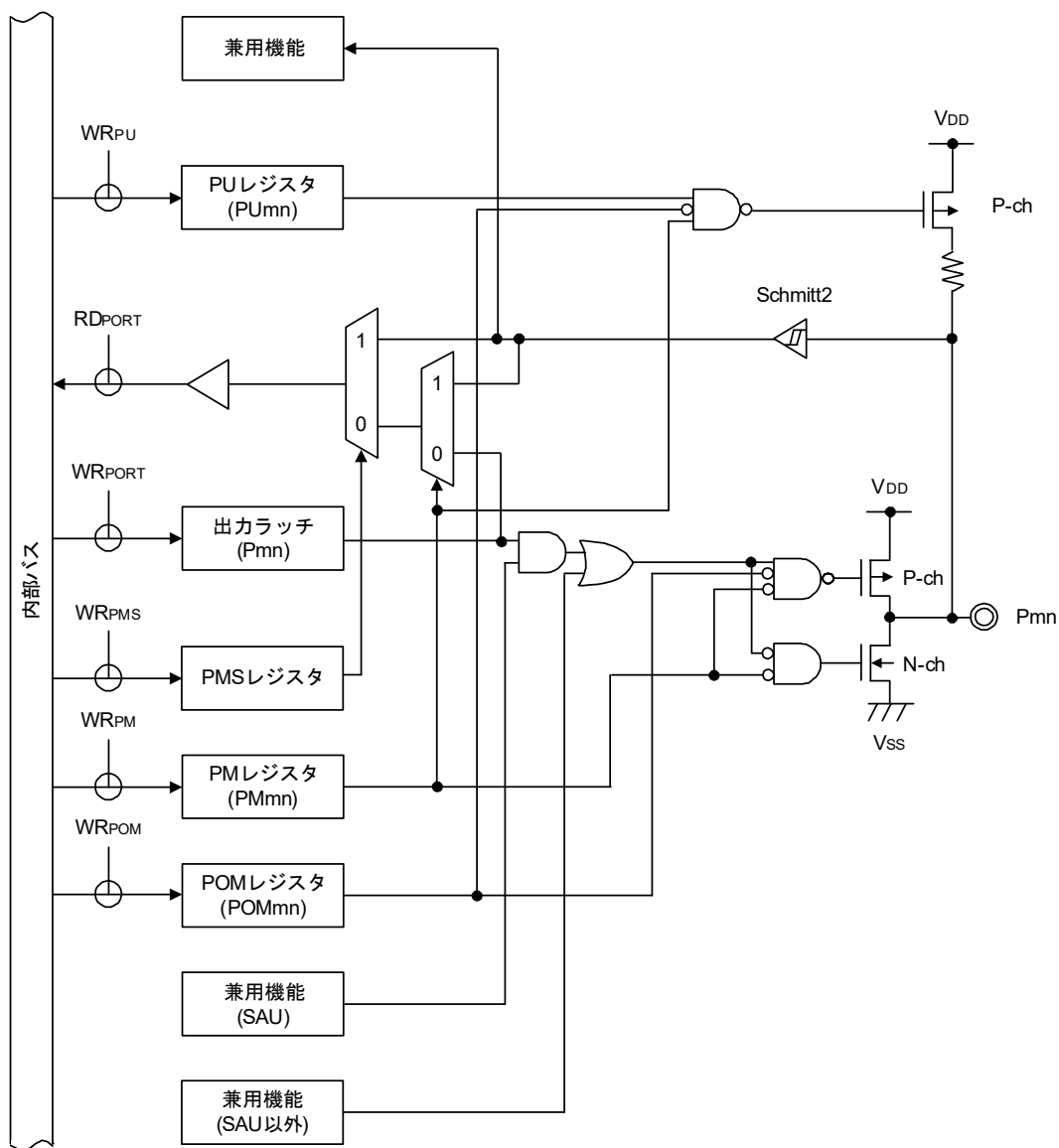
図2-4 端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-5 端子タイプ7-1-4の端子ブロック図

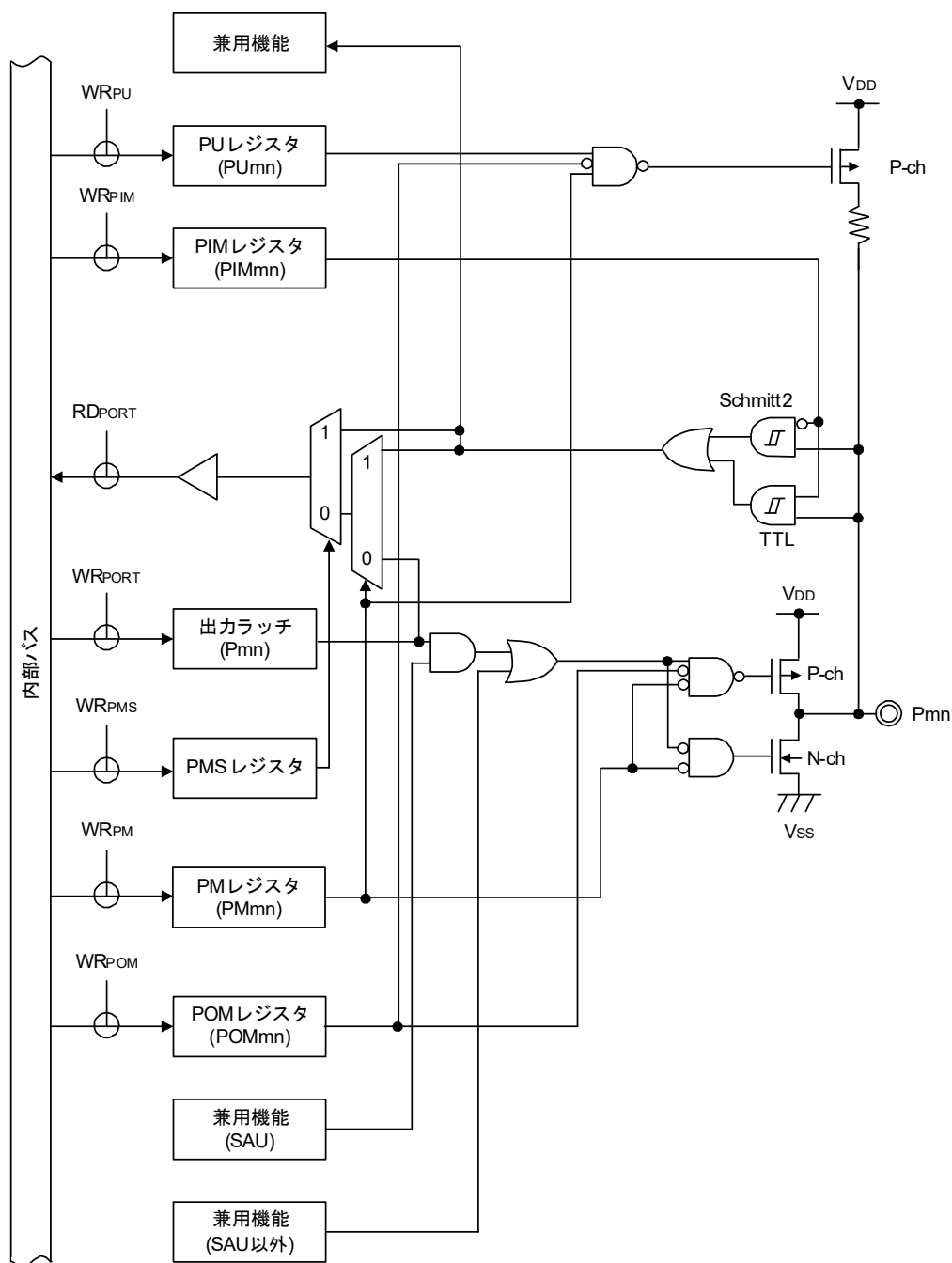


注意 ポート出力モード・レジスタ (POMx) でN-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-6 端子タイプ8-1-4の端子ブロック図



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

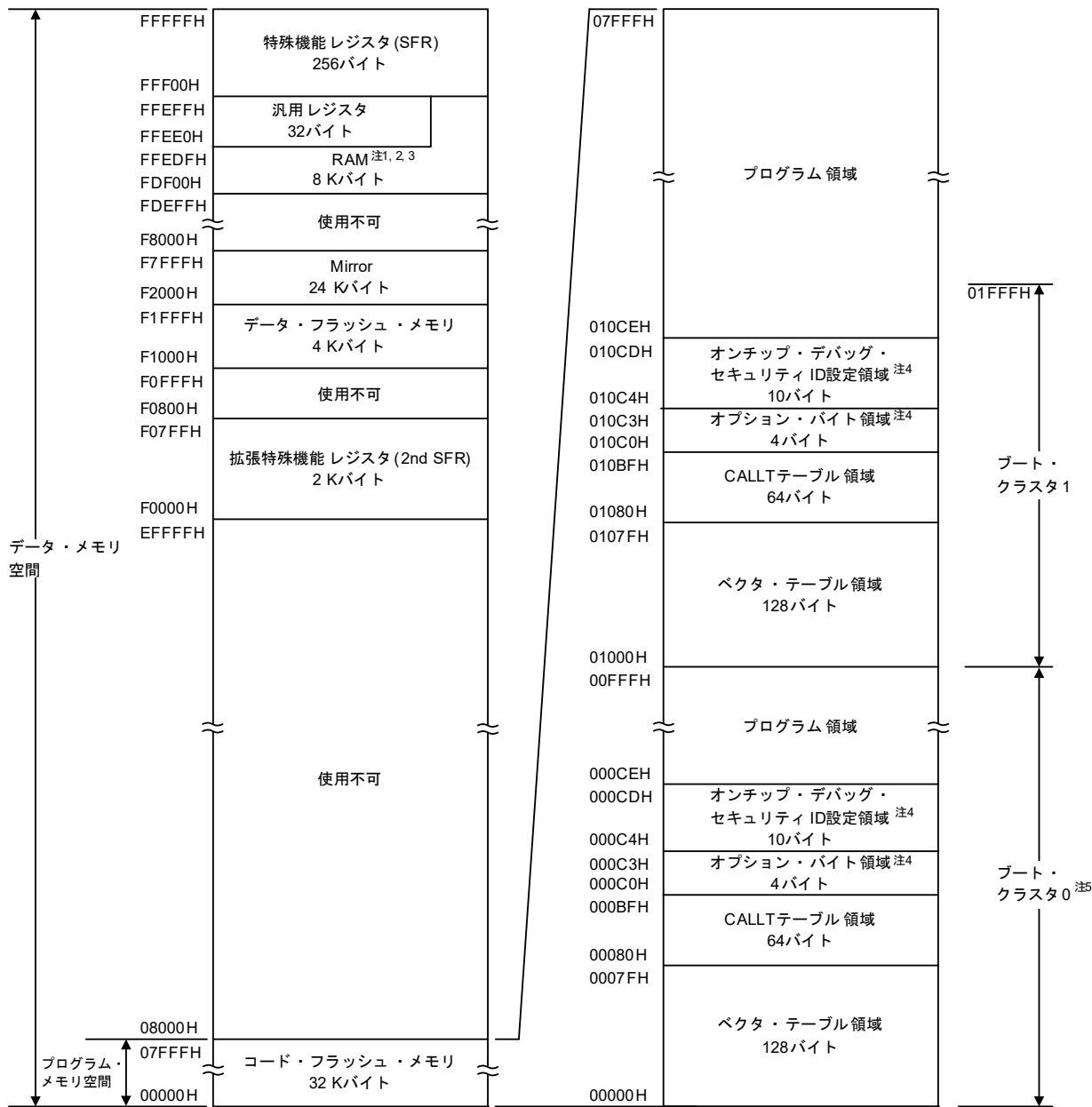
備考2. SAU : シリアル・アレイ・ユニット

第3章 CPUアーキテクチャ

3.1 メモリ空間

RL78/I1Eは、1 Mバイトのアドレス空間をアクセスできます。図3 - 1に、メモリ・マップを示します。

図3-1 メモリ・マップ(R5F11Cx(x = B, C))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
また、フラッシュ・ライブラリがFDF00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリ セルフ・プログラミング・ライブラリ セルフRAMリスト (R20UT2943) を参照してください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

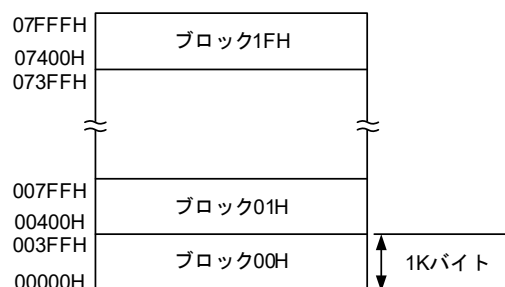
注3. オンチップ・デバッグのトレース機能使用時はFE300H - FE6FFHの領域が使用禁止になります。

注4. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ IDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティ ID設定

注5. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-1にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(R5F11CxC (x = B, C) の場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	04000H-043FFH	10H
00400H-007FFH	01H	04400H-047FFH	11H
00800H-00BFFH	02H	04800H-04BFFH	12H
00C00H-00FFFH	03H	04C00H-04FFFH	13H
01000H-013FFH	04H	05000H-053FFH	14H
01400H-017FFH	05H	05400H-057FFH	15H
01800H-01BFFH	06H	05800H-05BFFH	16H
01C00H-01FFFH	07H	05C00H-05FFFH	17H
02000H-023FFH	08H	06000H-063FFH	18H
02400H-027FFH	09H	06400H-067FFH	19H
02800H-02BFFH	0AH	06800H-06BFFH	1AH
02C00H-02FFFH	0BH	06C00H-06FFFH	1BH
03000H-033FFH	0CH	07000H-073FFH	1CH
03400H-037FFH	0DH	07400H-077FFH	1DH
03800H-03BFFH	0EH	07800H-07BFFH	1EH
03C00H-03FFFH	0FH	07C00H-07FFFH	1FH

備考 R5F11CxC (x = B, C) : ブロック番号00H-1FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/I1Eは、次に示す内部ROM (フラッシュ・メモリ)を内蔵しています。

表3-2 内部ROM容量

製品	内部ROM	
	構造	容量
R5F11Cx C (x = B, C)	フラッシュ・メモリ	32768 × 8ビット (00000H-07FFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表3-3にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。—はサポートしない割り込み要因であることを示します。

表3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	32ピン	36ピン
0000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○
0004H	INTWDTI	○	○
0006H	INTLVI	○	○
0008H	INTP0	○	○
000AH	INTP1	○	○
000CH	INTP2	○	○
000EH	INTP3	○	○
0010H	INTP4	○	○
0012H	INTP5	○	○
001EH	INTST0/INTCSI00/INTIIC00	○	○
0020H	INTSR0/INTCSI01/INTIIC01	○	○
0022H	INTSRE0	○	○
	INTTM01H	○	○
0024H	INTST1	○	○
0026H	INTSR1	○	○
0028H	INTSRE1	○	○
	INTTM03H	○	○
002CH	INTTM00	○	○
002EH	INTTM01	○	○
0030H	INTTM02	○	○
0032H	INTTM03	○	○
0034H	INTAD	○	○
0036H	INTRTC	○	○
0038H	INTIT	○	○
0040H	INTTRJ0	○	○
0042H	INTTM10	○	○
0044H	INTTM11	○	○
004AH	INTP6	○	○
004CH	INTP7	—	○
004EH	INTDSAD	○	○
0050H	INTDSADS	○	○
005AH	INTTRG	○	○
0062H	INTFL	○	○
007EH	BRK	○	○

(2) CALLT 命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エン트리・アドレスを格納することができます。サブルーチン・エン트리・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第29章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は第31章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

RL78/I1Eでは、00000H-0FFFFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています。

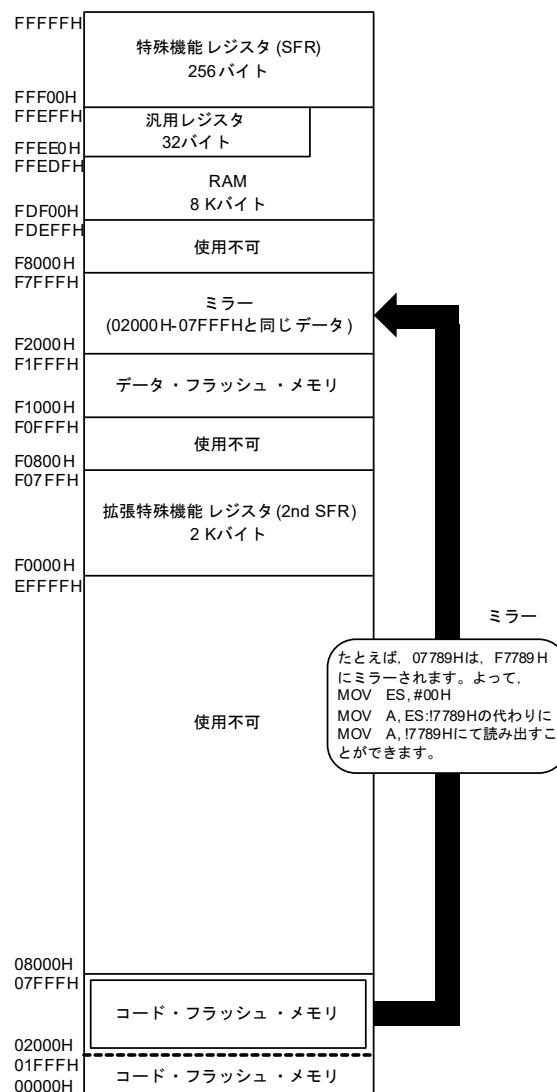
ミラー先のF0000H-FFFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、特殊機能レジスタ(SFR)、拡張特殊機能レジスタ(2nd SFR)、RAM領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F11CxC (x = B, C)の場合



次に、PMCレジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-2 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA
MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定							
0	00000H-07FFFHをF0000H-F7FFFHへミラー							
1	設定禁止							

注意 PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/I1Eは、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製品	内部RAM
R5F11Cx C (x = B, C)	8192 × 8ビット (FDF00H-FFEFFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を実行することができます (汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうち FFEE0H-FFEFFFH の32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFFH) は、命令フェッチやスタックの領域に使用できません。
- 注意2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスを FFE20H-FFEDFH の領域に配置しないでください。
- 注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時、内部RAM領域のうち FDF00H- FE309H は各ライブラリで使用するため使用禁止になります。
- 注意4. 内部RAM領域のうち FE300H-FE6FFFH は、オンチップ・デバッグのトレース機能使用時にスタック・メモリとして使用できません。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています(3.2.4 特殊機能レジスタ (SFR : Special Function Register)の表3 - 5～表3 - 7参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています(3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register)の表3 - 8～表3 - 15参照)。

注意1. 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

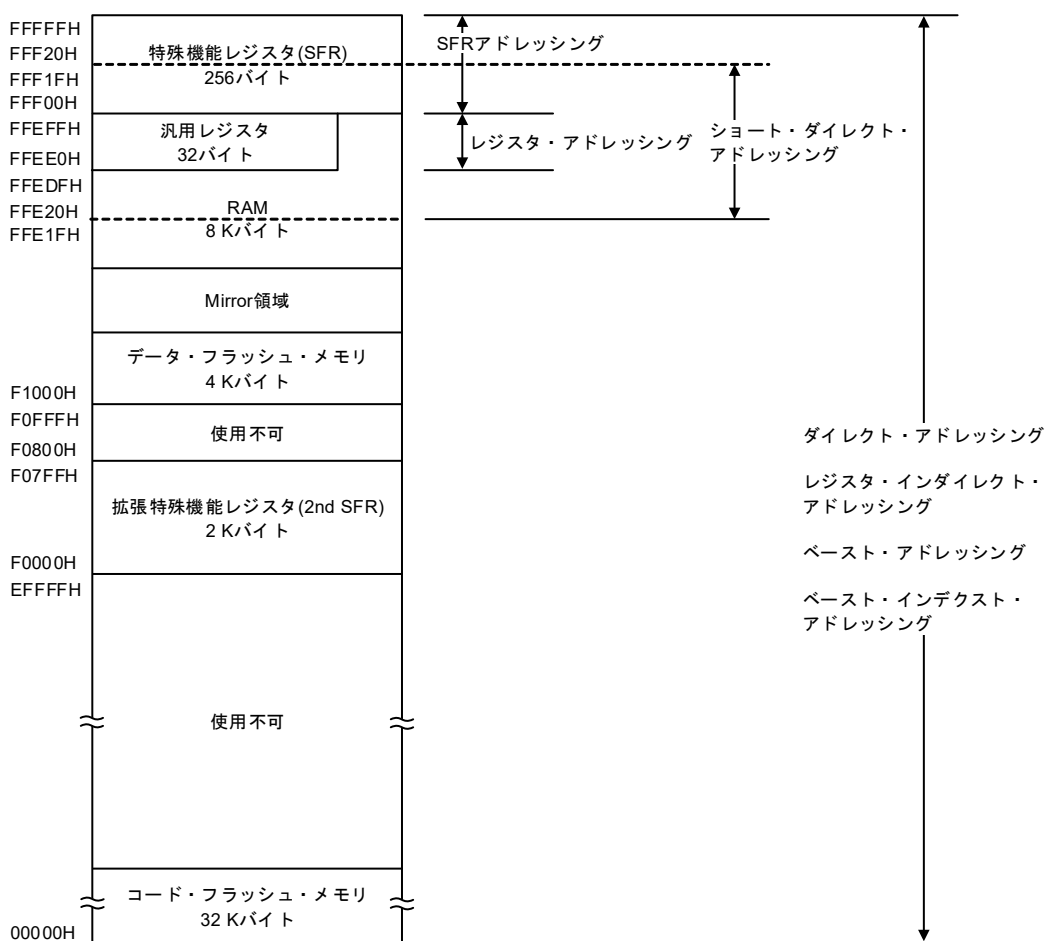
注意2. 拡張SFR (2nd SFR)の一部の領域F0500Hに配置しているタイマRJカウンタレジスタ0 (TRJ0)へのアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。タイマRJカウンタレジスタ0 (TRJ0)アクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/I1Eでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-3にデータ・メモリとアドレッシングの対応を示します。

図3-3 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/I1Eは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP)があります。

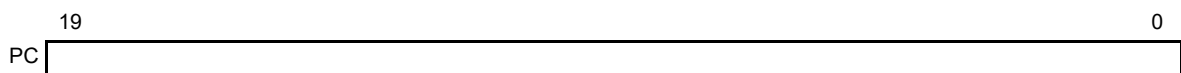
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-4 プログラム・カウンタの構成



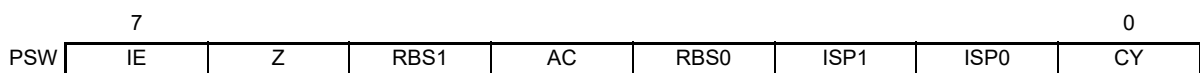
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時および PUSH PSW 命令の実行時にスタック領域に格納され、RETB, RETI 命令および POP PSW 命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-5 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときマスカブル割り込み要求の受け付けは、インサース・プライオリティ・フラグ (ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロまたは等しいときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL Rn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサース・プライオリティ・フラグ(ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (22.3.3参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

備考n = 0, 1

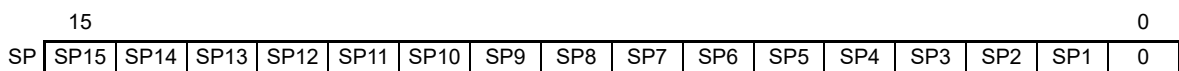
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-6 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 注意2. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFH)は、命令フェッチやスタックの領域に使用できません。
- 注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注意4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時、内部RAM領域のうち FDF00H- FE309Hは各ライブラリで使用するため使用禁止になります。
- 注意5. 内部RAM領域のうちFE300H-FE6FFHは、オンチップ・デバッグのトレース機能使用時にスタック・メモリとして使用できません。

3.2.2 汎用レジスタ

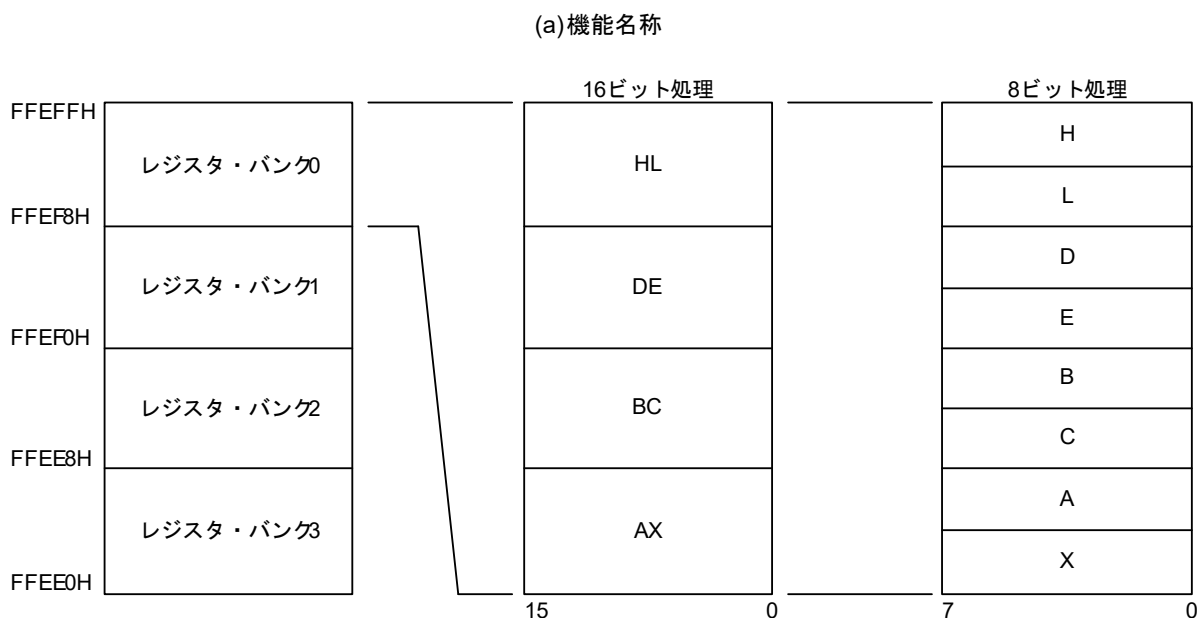
汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンク切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

図3-7 汎用レジスタの構成

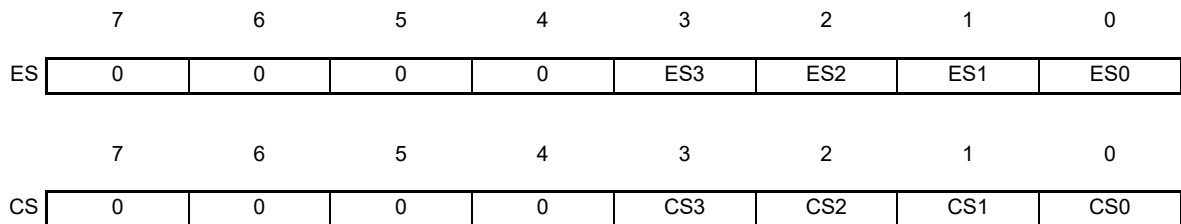


3.2.3 ES, CS レジスタ

ESレジスタでデータ・アクセス、CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

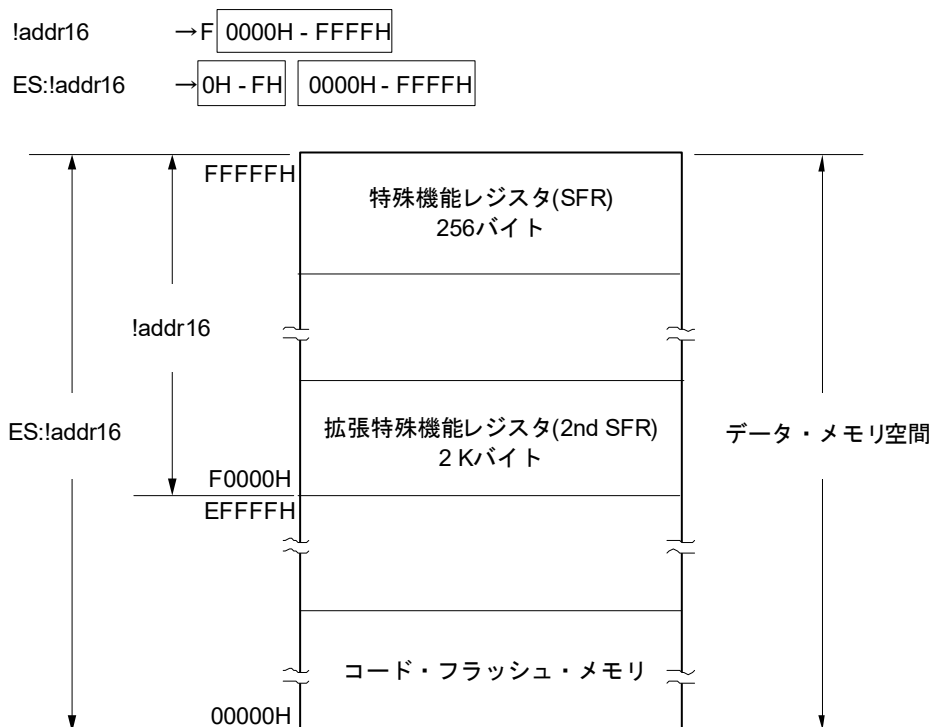
ESレジスタのリセット後の初期値は0FH、CSレジスタのリセット後の初期値は00Hです。

図3-8 ES/CSレジスタの構成



16ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFFHの64 Kバイト空間ですが、ES: を付加すると00000H-FFFFFFHの1 Mバイト空間に拡張できます。

図3-9 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表3-5~表3-7にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr 命令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR)については、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)を参照してください。

表 3-5 特殊機能レジスタ (SFR) 一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF01H	ポート・レジスタ 1	P1		R/W	○	○	—	00H
FFF04H	ポート・レジスタ 4	P4		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ 12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ 13	P13		R/W	○	○	—	不定
FFF10H	シリアル・データ・レジスタ 00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ 01	RXD0/ SIO01	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF18H	タイマ・データ・レジスタ 00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ 01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF21H	ポート・モード・レジスタ 1	PM1		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ 4	PM4		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ 0	ADM0		R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ 1	ADM1		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可 レジスタ 0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可 レジスタ 0	EGN0		R/W	○	○	—	00H
FFF44H	シリアル・データ・レジスタ 02	TXD1	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		
FFF46H	シリアル・データ・レジスタ 03	RXD1	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF54H	時計誤差補正 16ビット・レジスタ	SUBCUDW		R/W	—	—	○	0000H
FFF55H								
FFF60H	タイマRGジェネラルレジスタ C	TRGGRC		R/W	—	—	○	FFFFH
FFF61H								
FFF62H	タイマRGジェネラルレジスタ D	TRGGRD		R/W	—	—	○	FFFFH
FFF63H								
FFF64H	タイマ・データ・レジスタ 02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ 03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○	00H	
FFF70H	タイマ・データ・レジスタ 10	TDR10		R/W	—	—	○	0000H
FFF71H								

表 3 - 6 特殊機能レジスタ (SFR) 一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF72H	タイマ・データ・レジスタ 11	TDR11L	TDR11	R/W	—	○	○	00H
FFF73H		TDR11H			—	○	00H	
FFF90H	インターバル・タイマ・コントロール・レジスタ	ITMC		R/W	—	—	○	7FFFH
FFF91H								
FFF92H	秒カウント・レジスタ	SEC		R/W	—	○	—	00H
FFF93H	分カウント・レジスタ	MIN		R/W	—	○	—	00H
FFF94H	時カウント・レジスタ	HOUR		R/W	—	○	—	12H注1
FFF95H	曜日カウント・レジスタ	WEEK		R/W	—	○	—	00H
FFF96H	日カウント・レジスタ	DAY		R/W	—	○	—	01H
FFF97H	月カウント・レジスタ	MONTH		R/W	—	○	—	01H
FFF98H	年カウント・レジスタ	YEAR		R/W	—	○	—	00H
FFF99H	時計誤差補正レジスタ	SUBCUD		R/W	—	○	—	00H
FFF9AH	アラーム分レジスタ	ALARMWWM		R/W	—	○	—	00H
FFF9BH	アラーム時レジスタ	ALARMWH		R/W	—	○	—	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW		R/W	—	○	—	00H
FFF9DH	リアルタイム・クロック・コントロール・レジスタ 0	RTCC0		R/W	○	○	—	00H
FFF9EH	リアルタイム・クロック・コントロール・レジスタ 1	RTCC1		R/W	○	○	—	00H
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ 0	CKS0		R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	—	○	—	不定注2
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	—	00H注2
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	—	00H/01H/ 81H注2
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—	○	—	9AH/1AH注3
FFFACH	CRC入力レジスタ	CRCIN		R/W	—	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ 2L	IF2L	IF2	R/W	○	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ 2H	IF2H		R/W	○	○	00H	
FFFD4H	割り込みマスク・フラグ・レジスタ 2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ 2H	MK2H		R/W	○	○	FFH	
FFFD8H	優先順位指定フラグ・レジスタ 02L	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ 02H	PR02H		R/W	○	○	FFH	

表 3 - 7 特殊機能レジスタ (SFR) 一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFDCH	優先順位指定フラグ・レジスタ 12L	PR12L	PR12	R/W	○	○	○	FFH
FFFDH	優先順位指定フラグ・レジスタ 12H	PR12H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ 0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ 0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ 1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ 1H	IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ 0L	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H	割り込みマスク・フラグ・レジスタ 0H	MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ 1L	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H	割り込みマスク・フラグ・レジスタ 1H	MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ 00L	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H	優先順位指定フラグ・レジスタ 00H	PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ 01L	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH	優先順位指定フラグ・レジスタ 01H	PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ 10L	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH	優先順位指定フラグ・レジスタ 10H	PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ 11L	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH	優先順位指定フラグ・レジスタ 11H	PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ (L)	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ (H)	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

注1. リセット後に、AMPMビット(リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット3)に1をセットした場合は00Hとなります。

注2. リセット要因により、次のように異なります。

リセット要因		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット	
RESF	TRAP	クリア(0)		セット(1)	保持			保持	
	WDTRF			保持	セット(1)				保持
	RPERF			保持	セット(1)				保持
	IAWRF			保持	セット(1)				
	LVIRF			保持					
LVIM	LVISEN	クリア(0)						保持	
	LVIOMSK	保持							
	LVIF								
LVIS		クリア(00H/01H/81H)							

注3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 拡張SFR (2nd SFR)については、表3-8~表3-15 拡張SFR (2nd SFR)一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR)は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(!addr16.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-8～表3-15に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-8 拡張特殊機能レジスタ(2nd SFR)一覧(1/8)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0061H	ポート・モード・コントロール・レジスタ1	PMC1	R/W	○	○	—	FFH
F0064H	ポート・モード・コントロール・レジスタ4	PMC4	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0072H	ノイズ・フィルタ許可レジスタ2	NFEN2	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F007AH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定 ^注
F00ACH	AFEオペアンプ0用トリミング・キャパチャ・レジスタ	AMP0TRM	R	—	○	—	00H
F00ADH	AFEオペアンプ1用トリミング・キャパチャ・レジスタ	AMP1TRM	R	—	○	—	00H
F00AEH	AFEオペアンプ2用トリミング・キャパチャ・レジスタ	AMP2TRM	R	—	○	—	00H
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	—	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定

注 オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。

表3-9 拡張特殊機能レジスタ(2nd SFR)一覧(2/8)

アドレス	拡張特殊機能レジスタ(2nd SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	○	0000H
F0101H		—			—			
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	○	0000H
F0103H		—			—			
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	○	0000H
F0105H		—			—			
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	○	0000H
F0107H		—			—			
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	○	0000H
F0109H		—			—			
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	○	0000H
F010BH		—			—			
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	○	0000H
F010DH		—			—			
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—			
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	—	—	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	—	—	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	—	—	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	—	—	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	—	—	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	—	—	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—			
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—			
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—			
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—			

表3 - 10 拡張特殊機能レジスタ (2nd SFR) 一覧 (3/8)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0128H	シリアル出力レジスタ 0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ 0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ 0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロール・レジスタ 0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H								
F0190H	タイマ・モード・レジスタ 00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ 01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ 02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ 03	TMR03		R/W	—	—	○	0000H
F0197H								
F01A0H	タイマ・ステータス・レジスタ 00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	タイマ・ステータス・レジスタ 01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	タイマ・ステータス・レジスタ 02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ 03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01B0H	タイマ・チャンネル許可ステータス・レジスタ 0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	タイマ・チャンネル開始レジスタ 0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャンネル停止レジスタ 0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ 0	TPS0		R/W	—	—	○	0000H
F01B7H								

表3 - 11 拡張特殊機能レジスタ (2nd SFR) 一覧 (4/8)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F01C0H	タイマ・カウンタ・レジスタ10	TCR10		R	—	—	○	FFFFH
F01C1H								
F01C2H	タイマ・カウンタ・レジスタ11	TCR11		R	—	—	○	FFFFH
F01C3H								
F01D0H	タイマ・モード・レジスタ10	TMR10		R/W	—	—	○	0000H
F01D1H								
F01D2H	タイマ・モード・レジスタ11	TMR11		R/W	—	—	○	0000H
F01D3H								
F01E0H	タイマ・ステータス・レジスタ10	TSR10L	TSR10	R	—	○	○	0000H
F01E1H		—			—			
F01E2H	タイマ・ステータス・レジスタ11	TSR11L	TSR11	R	—	○	○	0000H
F01E3H		—			—			
F01F0H	タイマ・チャンネル許可ステータス・レジスタ1	TE1L	TE1	R	○	○	○	0000H
F01F1H		—			—			
F01F2H	タイマ・チャンネル開始レジスタ1	TS1L	TS1	R/W	○	○	○	0000H
F01F3H		—			—			
F01F4H	タイマ・チャンネル停止レジスタ1	TT1L	TT1	R/W	○	○	○	0000H
F01F5H		—			—			
F01F6H	タイマ・クロック選択レジスタ1	TPS1		R/W	—	—	○	0000H
F01F7H								
F01F8H	タイマ出力レジスタ1	TO1L	TO1	R/W	—	○	○	0000H
F01F9H		—			—			
F01FAH	タイマ出力許可レジスタ1	TOE1L	TOE1	R/W	○	○	○	0000H
F01FBH		—			—			
F01FCH	タイマ出力レベル・レジスタ1	TOL1L	TOL1	R/W	—	○	○	0000H
F01FDH		—			—			
F01FEH	タイマ出力モード・レジスタ1	TOM1L	TOM1	R/W	—	○	○	0000H
F01FFH		—			—			

表3 - 12 拡張特殊機能レジスタ (2nd SFR) 一覧 (5/8)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0240H	タイマRJ制御レジスタ0	TRJCR0	R/W	—	○	—	00H
F0241H	タイマRJ I/O制御レジスタ0	TRJIOC0	R/W	○	○	—	00H
F0242H	タイマRJモードレジスタ0	TRJMR0	R/W	○	○	—	00H
F0243H	タイマRJイベント端子選択レジスタ0	TRJISR0	R/W	○	○	—	00H
F0250H	タイマRGモードレジスタ	TRGMR	R/W	○	○	—	00H
F0251H	タイマRGカウント制御レジスタ	TRGCNTC	R/W	○	○	—	00H
F0252H	タイマRG制御レジスタ	TRGCR	R/W	○	○	—	00H
F0253H	タイマRG割り込み許可レジスタ	TRGIER	R/W	○	○	—	00H
F0254H	タイマRGステータスレジスタ	TRGSR	R/W	○	○	—	00H
F0255H	タイマRG I/O制御レジスタ	TRGIOR	R/W	○	○	—	00H
F0256H	タイマRGカウンタ	TRG	R/W	—	—	○	0000H
F0257H							
F0258H	タイマRGジェネラルレジスタA	TRGGRA	R/W	—	—	○	FFFFH
F0259H							
F025AH	タイマRGジェネラルレジスタB	TRGGRB	R/W	—	—	○	FFFFH
F025BH							
F02D8H	RTCクロック選択レジスタ	RTCCL	R/W	○	○	—	00H
F02DEH	周辺クロック制御レジスタ	PCKC	R/W	○	○	—	00H
F02E0H	DTCベースアドレスレジスタ	DTCBAR	R/W	○	○	—	FDH
F02E5H	PLL制御レジスタ	DSCCTL	R/W	○	○	—	00H
F02E6H	メイン・クロック制御レジスタ	MCKC	R/W	○	○	—	00H
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H
F0300H	イベント出力先選択レジスタ00	ELSELR00	R/W	—	○	—	00H
F0301H	イベント出力先選択レジスタ01	ELSELR01	R/W	—	○	—	00H
F0302H	イベント出力先選択レジスタ02	ELSELR02	R/W	—	○	—	00H
F0303H	イベント出力先選択レジスタ03	ELSELR03	R/W	—	○	—	00H
F0304H	イベント出力先選択レジスタ04	ELSELR04	R/W	—	○	—	00H
F0305H	イベント出力先選択レジスタ05	ELSELR05	R/W	—	○	—	00H
F0306H	イベント出力先選択レジスタ06	ELSELR06	R/W	—	○	—	00H
F0307H	イベント出力先選択レジスタ07	ELSELR07	R/W	—	○	—	00H
F0308H	イベント出力先選択レジスタ08	ELSELR08	R/W	—	○	—	00H

表3 - 13 拡張特殊機能レジスタ (2nd SFR) 一覧 (6/8)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0309H	イベント出力先選択レジスタ 09	ELSELR09		R/W	—	○	—	00H
F030AH	イベント出力先選択レジスタ 10	ELSELR10		R/W	—	○	—	00H
F030BH	イベント出力先選択レジスタ 11	ELSELR11		R/W	—	○	—	00H
F030CH	イベント出力先選択レジスタ 12	ELSELR12		R/W	—	○	—	00H
F030DH	イベント出力先選択レジスタ 13	ELSELR13		R/W	—	○	—	00H
F030EH	イベント出力先選択レジスタ 14	ELSELR14		R/W	—	○	—	00H
F030FH	イベント出力先選択レジスタ 15	ELSELR15		R/W	—	○	—	00H
F0440H	アナログ・フロントエンド電源選択 レジスタ	AFEPWS		R/W	○	○	—	00H
F0441H	アナログ・フロントエンド電源検出 レジスタ	AFEPWD		R	○	○	—	00H
F0442H	アナログ・フロントエンド・クロック 選択レジスタ	AFECKS		R/W	—	○	—	00H
F0443H	センサ用基準電圧設定レジスタ	VSBIAS		R/W	—	○	—	10H
F0450H	ΔΣA/Dコンバータ変換結果レジスタ C	DSAD CRC	DSAD CR0	R	—	○	○	0000H
F0451H	ΔΣA/Dコンバータ変換結果レジスタ L	DSAD CRL		R	—	○		
F0452H	ΔΣA/Dコンバータ変換結果レジスタ M	DSAD CRM	DSAD CR1	R	—	○	○	0000H
F0453H	ΔΣA/Dコンバータ変換結果レジスタ H	DSAD CRH		R	—	○		
F0454H	ΔΣA/Dコンバータ平均値レジスタC	DSAD MVC	DSAD MV0	R	—	○	○	0000H
F0455H	ΔΣA/Dコンバータ平均値レジスタL	DSAD MVL		R	—	○		
F0456H	ΔΣA/Dコンバータ平均値レジスタM	DSAD MVM	DSAD MV1	R	—	○	○	0000H
F0457H	ΔΣA/Dコンバータ平均値レジスタH	DSAD MVH		R	—	○		
F0458H	ΔΣA/Dコンバータ・モード・レジスタ	DSADMR		R/W	—	○	—	00H
F0459H	ΔΣA/Dコンバータ・コントロール・ レジスタ	DSADCTL		R/W	○	○	—	00H
F045AH	入力マルチプレクサ0設定レジスタ0	PGA0CTL0		R/W	—	○	—	40H
F045BH	入力マルチプレクサ0設定レジスタ1	PGA0CTL1		R/W	—	○	—	10H
F045CH	入力マルチプレクサ0設定レジスタ2	PGA0CTL2		R/W	—	○	—	01H
F045DH	入力マルチプレクサ0設定レジスタ3	PGA0CTL3		R/W	—	○	—	00H

表3 - 14 拡張特殊機能レジスタ (2nd SFR) 一覧 (7/8)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F045EH	入カマルチプレクサ1設定レジスタ0	PGA1CTL0	R/W	—	○	—	40H
F045FH	入カマルチプレクサ1設定レジスタ1	PGA1CTL1	R/W	—	○	—	10H
F0460H	入カマルチプレクサ1設定レジスタ2	PGA1CTL2	R/W	—	○	—	01H
F0461H	入カマルチプレクサ1設定レジスタ3	PGA1CTL3	R/W	—	○	—	00H
F0462H	入カマルチプレクサ2設定レジスタ0	PGA2CTL0	R/W	—	○	—	40H
F0463H	入カマルチプレクサ2設定レジスタ1	PGA2CTL1	R/W	—	○	—	10H
F0464H	入カマルチプレクサ2設定レジスタ2	PGA2CTL2	R/W	—	○	—	01H
F0465H	入カマルチプレクサ2設定レジスタ3	PGA2CTL3	R/W	—	○	—	00H
F0466H	入カマルチプレクサ3設定レジスタ0	PGA3CTL0	R/W	—	○	—	40H
F0467H	入カマルチプレクサ3設定レジスタ1	PGA3CTL1	R/W	—	○	—	10H
F0468H	入カマルチプレクサ3設定レジスタ2	PGA3CTL2	R/W	—	○	—	01H
F0469H	入カマルチプレクサ3設定レジスタ3	PGA3CTL3	R/W	—	○	—	00H
F046AH	入カマルチプレクサ4設定レジスタ0	PGA4CTL0	R/W	—	○	—	40H
F046BH	入カマルチプレクサ4設定レジスタ1	PGA4CTL1	R/W	—	○	—	00H
F046CH	入カマルチプレクサ4設定レジスタ2	PGA4CTL2	R/W	—	○	—	01H
F046DH	入カマルチプレクサ4設定レジスタ3	PGA4CTL3	R/W	—	○	—	00H
F046EH	断線検出用電流DAC選択レジスタ	PGABOD	R/W	—	○	—	00H
F0470H	コンフィギュラブル・アンプ0出力 選択レジスタ	AMP0S0	R/W	—	○	—	00H
F0471H	コンフィギュラブル・アンプ0マイ ナス入力選択レジスタ	AMP0S1	R/W	○	○	—	01H
F0472H	コンフィギュラブル・アンプ0プラ ス入力選択レジスタ	AMP0S2	R/W	○	○	—	02H
F0473H	コンフィギュラブル・アンプ0モー ド・レジスタ	AMP0MR	R/W	—	○	—	00H
F0474H	コンフィギュラブル・アンプ1出力 選択レジスタ	AMP1S0	R/W	—	○	—	00H
F0475H	コンフィギュラブル・アンプ1マイ ナス入力選択レジスタ	AMP1S1	R/W	○	○	—	04H
F0476H	コンフィギュラブル・アンプ1プラ ス入力選択レジスタ	AMP1S2	R/W	○	○	—	08H
F0477H	コンフィギュラブル・アンプ1モー ド・レジスタ	AMP1MR	R/W	—	○	—	00H

表3 - 15 拡張特殊機能レジスタ (2nd SFR)一覧 (8/8)

アドレス	拡張特殊機能レジスタ (2nd SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0478H	コンフィギュラブル・アンプ2出力選択レジスタ	AMP2S0		R/W	—	○	—	00H
F0479H	コンフィギュラブル・アンプ2マイナス入力選択レジスタ	AMP2S1		R/W	○	○	—	10H
F047AH	コンフィギュラブル・アンプ2プラス入力選択レジスタ	AMP2S2		R/W	○	○	—	20H
F047BH	コンフィギュラブル・アンプ2モード・レジスタ	AMP2MR		R/W	—	○	—	00H
F047CH	コンフィギュラブル・アンプ0トリミング・レジスタ	AMP0CAL		R/W	—	○	—	00H
F047DH	コンフィギュラブル・アンプ1トリミング・レジスタ	AMP1CAL		R/W	—	○	—	00H
F047EH	コンフィギュラブル・アンプ2トリミング・レジスタ	AMP2CAL		R/W	—	○	—	00H
F0480H	D/Aコンバータ・モード・レジスタ0	DACM0		R/W	—	○	—	00H
F0481H	D/Aコンバータ・モード・レジスタ1	DACM1		R/W	—	○	—	00H
F0482H	D/Aコンバータ・データ・レジスタ	DACDL	DACD	R/W	—	○	○	0000H
F0483H		—			—	—		
F0500H	タイマRJカウンタレジスタ0	TRJ0		R/W	—	—	○	FFFFH

備考 SFR領域のSFRについては、表3-5～表3-7 SFR一覧を参照してください。

第4章 ポート機能

4.1 ポートの機能

RL78/I1Eは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM1, PM4) ポート・レジスタ (P1, P4, P12, P13) プルアップ抵抗オプション・レジスタ (PU1, PU4) ポート入力モード・レジスタ (PIM1) ポート出力モード・レジスタ (POM1) ポート・モード・コントロール・レジスタ (PMC1, PMC4)
ポート	<ul style="list-style-type: none"> • 32ピン製品 : 合計 : 10本 (CMOS入出力 : 7本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 6本), CMOS入力 : 3本) • 36ピン製品 : 合計 : 14本 (CMOS入出力 : 11本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 6本), CMOS入力 : 3本)
プルアップ抵抗	<ul style="list-style-type: none"> • 32ピン製品 : 合計 : 7本 • 36ピン製品 : 合計 : 7本

4.2.1 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1)により1ビット単位で入力モード/出力モードの指定ができます。P10-P15端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P11, P12, P14, P15端子の入力は、ポート入力モード・レジスタ1 (PIM1)の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P10-P15端子の出力は、ポート出力モード・レジスタ1 (POM1)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧)に設定可能です。

P16, P17端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ1 (PMC1)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、デジタル兼用機能としてタイマの入出力、シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力、プログラミングUARTの送受信があり、アナログ兼用機能としてA/Dコンバータのアナログ入力、コンフィギュラブル・アンプのアナログ入出力があります。

P16, P17端子をアナログ入出力として使用する場合、ポート・モード・コントロール・レジスタ1 (PMC1)で“アナログ入出力”を設定してください(1ビット単位で設定可能)。

リセット信号の発生により、P10-P15は入力ポートになり、P16, P17はアナログ機能になります。

4.2.2 ポート4

出力ラッチ付き入力ポートです。ポート・モード・レジスタ4 (PM4)により1ビット単位で入力モード/出力モードの指定ができます。P40端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P41, P42 端子をデジタル入出力ポートとして使用する場合は、ポート・モード・コントロール・レジスタ4 (PMC4)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、デジタル兼用機能としてフラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力があり、アナログ兼用機能としてA/Dコンバータのアナログ入力、コンフィギュラブル・アンプのアナログ入出力があります。

P41, P42 端子をアナログ入出力として使用する場合は、ポート・モード・コントロール・レジスタ4 (PMC4)で“アナログ入出力”を設定してください(1ビット単位で設定可能)。

リセット信号の発生により、P40は入力ポートになり、P41, P42はアナログ機能になります。

4.2.3 ポート12

P121-P122は2ビットの入力専用ポートです。

また兼用機能としてメイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

4.2.4 ポート13

P137は1ビット入力専用ポートです。

また兼用機能として外部割り込み要求入力、シリアル・インタフェースのチップ・セレクト入力があります。

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMx)
- ポート出力モード・レジスタ (POMx)
- ポート・モード・コントロール・レジスタ (PMCxx)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-2を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット

ポート		ビット名						32ピン	36ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ		
ポート1	0	PM10	P10	PU10	—	POM10	—	○	○
	1	PM11	P11	PU11	PIM11	POM11	—	○	○
	2	PM12	P12	PU12	PIM12	POM12	—	○	○
	3	PM13	P13	PU13	—	POM13	—	○	○
	4	PM14	P14	PU14	PIM14	POM14	—	○	○
	5	PM15	P15	PU15	PIM15	POM15	—	○	○
	6	PM16	P16	—	—	—	PMC16	—	○
	7	PM17	P17	—	—	—	PMC17	—	○
ポート4	0	PM40	P40	PU40	—	—	—	○	○
	1	PM41	P41	—	—	—	PMC41	—	○
	2	PM42	P42	—	—	—	PMC42	—	○
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
ポート12	0	—	—	—	—	—	—	—	—
	1	—	P121	—	—	—	—	○	○
	2	—	P122	—	—	—	—	○	○
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
ポート13	0	—	—	—	—	—	—	—	—
	1	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のレジスタの設定を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM4	1	1	1	1	1	PM42	PM41	PM40	FFF24H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1, 4 ; n = 0-7)
0	出力モード(出力ポートとして機能(出力バッファ・オン))
1	入力モード(入力ポートとして機能(出力バッファ・オフ))

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラムの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラムの値が読み出されます注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P16, P17, P41, P42 をアナログ機能として設定した場合に、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラム)	R/W
P4	0	0	0	0	0	P42	P41	P40	FFF04H	00H (出カラム)	R/W
P12	0	0	0	0	0	P122	P121	0	FFF0CH	不定	R/W注
P13	P137	0	0	0	0	0	0	0	FFF0DH	不定	R/W注

Pmn	m = 1, 4, 12, 13 ; n = 0-7	
	出カデータの制御(出力モード時)	入カデータの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121, P122, P137はRead Onlyです。

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、POMmn = 0で入力モード(PMmn = 1)に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ機能に設定している場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H)になります。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	0	0	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40	F0034H	01H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 1, 4 ; n = 0-5)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット(100ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM1	0	0	PIM15	PIM14	0	PIM12	PIM11	0	F0041H	00H	R/W

PIM1n	P1n端子の入力バッファの選択 (n = 1, 2, 4, 5)
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA00, SDA01端子にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択できます。

また、POMxxレジスタはPUxxレジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 N-chオープン・ドレイン出力(V_{DD}耐圧)モード(POM1n = 1)を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM1	0	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W

POM1n	P1n端子の出力モードの選択(n = 0-5)
0	通常出力モード
1	N-chオープン・ドレイン出力(V _{DD} 耐圧)モード

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

P16, P17, P41, P42のデジタル入出力/アナログ入出力を1ビット単位で設定するレジスタです。

PMC1, PMC4レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-6 ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC1	PMC17	PMC16	1	1	1	1	1	1	F0061H	FFH	R/W
PMC4	1	1	1	1	1	PMC42	PMC41	1	F0064H	FFH	R/W

PMCmn	Pmn端子のデジタル入出力/アナログ入出力の選択(mn = 16, 17, 41, 42)
0	デジタル入出力(アナログ入出力以外の兼用機能)
1	アナログ入出力

注意 搭載していないビットには必ず初期値を設定してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応

ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx)で入出力バッファを切り換えることにより、異電位(1.8 V系, 2.5 V系, 3 V系)で動作している外部デバイスとの接続が可能になります。

異電位(1.8 V系, 2.5 V系, 3 V系)の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ1(PIM1)をビットごとに設定して、通常入力(CMOS)/TTL入力バッファを切り換えます。

異電位(1.8 V系, 2.5 V系, 3 V系)の外部デバイスへ出力する場合、ポート出力モード・レジスタ1(POM1)をビットごとに設定して、通常出力(CMOS)/N-chオープン・ドレイン(V_{DD} 耐圧)を切り換えます。

以下、シリアル・インタフェースでの接続について説明します。

(1) UART0, UART1, CSI00, CSI01機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合 :	P14
UART1の場合 :	P11
CSI00の場合 :	P14, P15
CSI01の場合 :	P11, P12

- ①使用する入力端子は、外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②PIM1レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、 V_{IH} 、 V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。
- ③シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI(CSI注)モードに設定します。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

- (2) UART0, UART1, CSI00, CSI01 機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 : P13

UART1の場合 : P10

CSI00の場合 : P13

CSI01の場合 : P10

- ①使用する入力端子は、外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
 - ②リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
 - ③該当するポートの出カラッチに1を設定します。
 - ④POM1レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
 - ⑤シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI(CSI)モードに設定します。
 - ⑥PM1レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。
- (3) IIC00, IIC01 機能の入出力ポートを、異電位(1.8 V系, 2.5 V系, 3 V系)で使用する場合の設定手順

簡易IIC00の場合 : P14, P15

簡易IIC01の場合 : P11, P12

- ①使用する入力端子は、外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
- ③該当するポートの出カラッチに1を設定します。
- ④POM1レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
- ⑤PIM1レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、V_{IH}、V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ⑥シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。
- ⑦PM1レジスタの該当ビットを出力モードに設定します(出力モードのままデータ入出力可能)。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

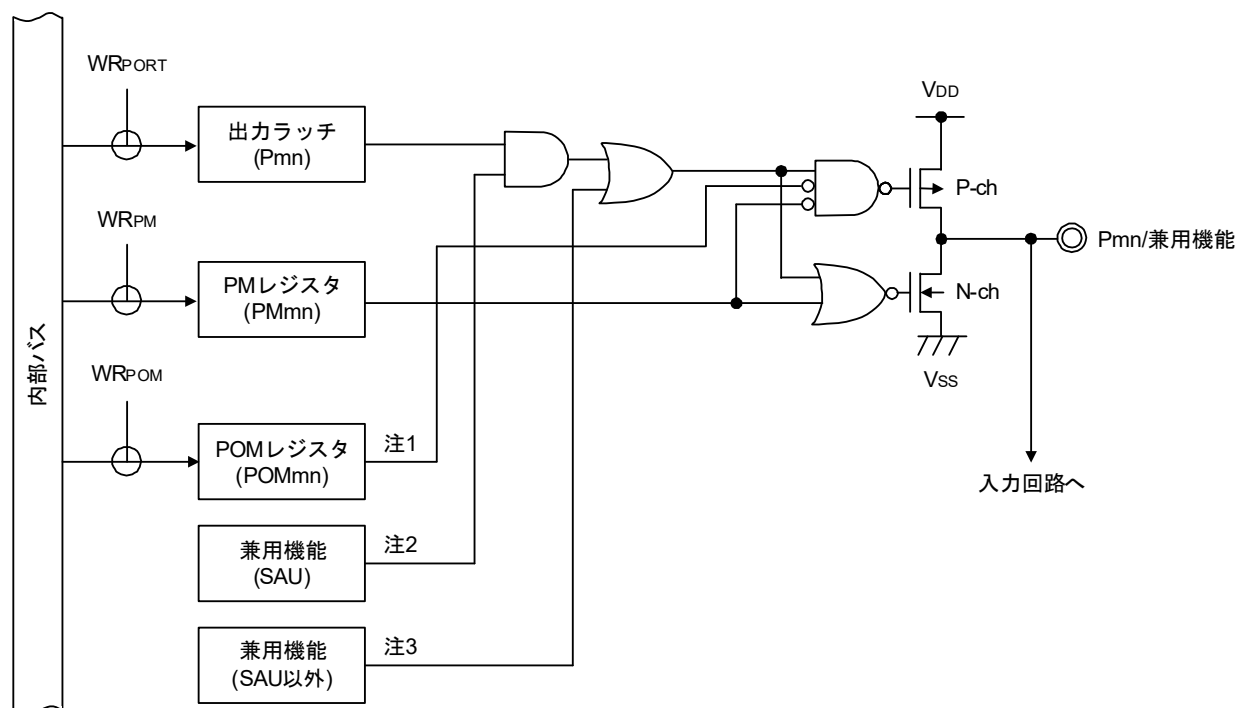
4.5 兼用機能使用時のレジスタの設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ機能と兼用している端子については、アナログ機能で使用するかデジタル入出力で使用するかをポート・モード・コントロール・レジスタ (PMCxx) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-7に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能(タイマ, RTC, クロック/ブザー出力等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-3に示します。

図4-7 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow (0)と考慮してください。

注2. 兼用機能がない場合には、この信号はHigh (1)と考慮してください。

注3. 兼用機能がない場合には、この信号はLow (0)と考慮してください。

表4-3 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) ^注

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0)にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。

- (1) $SOp = 1/TxDq = 1$ (SAUのシリアル出力(SOp/TxDq)を使用しない場合の設定)
SAUをシリアル入力のみで使用するなど、シリアル出力(SOp/TxDq)を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ m (SOEm)のビットを0(出力禁止)に設定し、シリアル出力レジスタ m (SOm)のSOmnビットを1(High)に設定してください。これは初期状態と同じ設定です。
- (2) $SCKp = 1/SDAr = 1/SCLr = 1$ (SAUのチャンネル n を使用しない場合の設定)
SAUを使用しない場合は、シリアル・チャンネル許可ステータス・レジスタ m (SEm)のビット n (SEmn)を0(動作停止状態)に設定し、使用しない出力に対応したシリアル出力許可レジスタ m (SOEm)のビットを0(出力禁止)に設定し、シリアル出力レジスタ m (SOm)のSOmnビットとCKOmnビットを1(High)に設定してください。これは初期状態と同じ設定です。
- (3) $TOmn = 0$ (TAUのチャンネル n の出力を使用しない場合の設定)
TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ 0 (TOE0)のビットを0(出力禁止)、タイマ出力レジスタ 0 (TO0)のビットを0(Low)に設定してください。これは初期状態と同じ設定です。
- (4) $PCLBUZn = 0$ (クロック出力/ブザー出力を使用しない場合の設定)
クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ n (CKSn)のPCLOEnビットを0(出力禁止)にしてください。これは初期状態と同じ設定です。
- (5) $TRJIO0 = 0/TRJO0 = 0$ (タイマRJ出力を使用しない場合の設定)
タイマRJのパルス出力機能をTRJO0端子で使用しない場合は、タイマRJ I/O制御レジスタ (TRJIOC0)のビット2 (TOENA)を0 (TRJO出力禁止)にしてください。これは初期値と同じ設定です。
タイマRJのTRJIO0端子を出力機能として使用しない場合は、タイマRJモードレジスタ 0 (TRJMR0)のビット2~0 (TMOD2~0)を001b (パルス出力モード)以外に設定してください。初期値は000bのタイマモードになっています。
- (6) $TRGIOA = 0/TRGIOB = 0$ (タイマRG出力を使用しない場合の設定)
タイマRGの出力機能を使用しない場合は、タイマRG I/O制御レジスタ (TRGIOR)でタイマRG出力機能を使用しない端子を「コンペアー一致による端子出力禁止」に設定してください。これは初期値と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4-4, 表4-5に示します。ポート機能を制御するレジスタを表4-4, 表4-5のように設定してください。なお, 表4-4, 表4-5の表記については次の備考を参照してください。

備考	—	対象外
	×	Don't care
POMxx	:	ポート出力モード・レジスタ
PMCxx	:	ポート・モード・コントロール・レジスタ
PMxx	:	ポート・モード・レジスタ
Pxx	:	ポートの出カラッチ

表4 - 4 P10-P17, P40-P42, P137 端子機能使用時のレジスタの設定例 (1/2)

端子 名称	使用機能		POMxx	PMCxx	PMxx	Pxx	兼用機能出力		32ピン	36ピン
	機能名称	入出力					SAUの出力機能	SAU以外		
P10	P10	入力	x	—	1	x	—	—	○	○
		出力	0	—	0	0/1	SO01 = 1, TxD1 = 1	TO01 = 0, TRGIOA = 0		
		Nch-OD出力	1	—	0	0/1				
	SO01	出力	0/1	—	0	1	TxD1 = 1		○	○
	TxD1	出力	0/1	—	0	1	SO01 = 1		○	○
	TI01	入力	x	—	1	x	—	—	○	○
	TO01	出力	0	—	0	0	SO01 = 1, TxD1 = 1	TRGIOA = 0	○	○
	INTP1	入力	x	—	1	x	—	—	○	○
	TRGIOA	入力	x	—	1	x	—	—	○	○
		出力	0	—	0	0	SO01 = 1, TxD1 = 1	TO01 = 0	○	○
P11	P11	入力	x	—	1	x	—	—	○	○
		出力	0	—	0	0/1	SDA01 = 1	TO03 = 0, TRJIO0 = 0		
		Nch-OD出力	1	—	0	0/1				
	SI01	入力	x	—	1	x	—	—	○	○
	RxD1	入力	x	—	1	x	—	—	○	○
	SDA01	入出力	1	—	0	1	—	TO03 = 0, TRJIO0 = 0	○	○
	TI03	入力	x	—	1	x	—	—	○	○
	TO03	出力	0	—	0	0	SDA01 = 1	TRJIO0 = 0	○	○
	INTP2	入力	x	—	1	x	—	—	○	○
	TRGCLKA	入力	x	—	1	x	—	—	○	○
TRJIO0	入力	x	—	1	x	—	—	○	○	
		出力	0	—	0	0	SDA01 = 1	TO03 = 0	○	○
P12	P12	入力	x	—	1	x	—	—	○	○
		出力	0	—	0	0/1	SCK01 = 1, SCL01 = 1	TO11 = 0, PCLBUZ0 = 0, TRJO0 = 0		
		Nch-OD出力	1	—	0	0/1				
	SCK01	入力	x	—	1	x	—	—	○	○
		出力	0/1	—	0	1	—	TO11 = 0, PCLBUZ0 = 0, TRJO0 = 0	○	○
	SCL01	出力	0/1	—	0	1	—	—	○	○
	TI11	入力	x	—	1	x	—	—	○	○
	TO11	出力	0	—	0	0	SCK01 = 1, SCL01 = 1	PCLBUZ0 = 0, TRJO0 = 0	○	○
	INTP3	入力	x	—	1	x	—	—	○	○
	PCLBUZ0	出力	0	—	0	0	SCK01 = 1, SCL01 = 1	TO11 = 0, TRJO0 = 0	○	○
	TRGIOB	入力	x	—	1	x	—	—	○	○
	出力	0	—	0	0	SCK01 = 1, SCL01 = 1	TO11 = 0, PCLBUZ0 = 0	○	○	
TRJO0	出力	0	—	0	0	—	—	○	○	
P13	P13	入力	x	—	1	x	—	—	○	○
		出力	0	—	0	0/1	SO00 = 1, TxD0 = 1	TO00 = 0, RTC1HZ = 0		
		Nch-OD出力	1	—	0	0/1				
	SO00	出力	0/1	—	0	1	—	—	○	○
	TxD0	出力	0/1	—	0	1	—	—	○	○
	TI00	入力	x	—	1	x	—	—	○	○
	TO00	出力	0	—	0	0	SO00 = 1, TxD0 = 1	RTC1HZ = 0	○	○
	INTP4	入力	x	—	1	x	—	—	○	○
RTC1HZ	出力	0	—	0	0	SO00 = 1, TxD0 = 1	TO00 = 0	○	○	

表4 - 4 P10-P17, P40-P42, P137 端子機能使用時のレジスタの設定例 (2/2)

端子 名称	使用機能		POMxx	PMCxx	PMxx	Pxx	兼用機能出力		32ピン	36ピン
	機能名称	入出力					SAUの出力機能	SAU以外		
P14	P14	入力	x	—	1	x	—	—	○	○
		出力	0	—	0	0/1	SDA00 = 1	TO02 = 0		
		Nch-OD出力	1	—	0	0/1				
	SI00	入力	x	—	1	x	—	—	○	○
	RxD0	入力	x	—	1	x	—	—	○	○
	SDA00	入出力	1	—	0	1	—	TO02 = 0	○	○
	TI02	入力	x	—	1	x	—	—	○	○
	TO02	出力	0	—	0	0	SDA00 = 1	—	○	○
INTP5	入力	x	—	1	x	—	—	○	○	
P15	P15	入力	x	—	1	x	—	—	○	○
		出力	0	—	0	0/1	SCK00 = 1, SCL00 = 1	TO10 = 0		
		Nch-OD出力	1	—	0	0/1				
	SCK00	入力	x	—	1	x	—	—	○	○
		出力	0/1	—	0	1	—	TO10 = 0	○	○
	SCL00	出力	0/1	—	0	1	—	—	○	○
	TI10	入力	x	—	1	x	—	—	○	○
	TO10	出力	0	—	0	0	SCK00 = 1, SCL00 = 1	—	○	○
INTP6	入力	x	—	1	x	—	—	○	○	
TRGCLKB	入力	x	—	1	x	—	—	○	○	
P16	P16	入力	—	0	1	x	—	—	—	○
		出力	—	0	0	0/1	—	—		
	INTP7	入力	—	0	1	x	—	—	—	○
	ANI9	アナログ入力	—	1	1	x	—	—	—注	○
	AMP2P	アナログ入力	—	1	1	x	—	—	—注	○
	ANX5	アナログ入出力	—	1	1	x	—	—	—注	○
P17	P17	入力	—	0	1	x	—	—	—	○
		出力	—	0	0	0/1	—	—		
	ANI8	アナログ入力	—	1	1	x	—	—	—	○
	AMP2N	アナログ入力	—	1	1	x	—	—	—	○
	ANX4	アナログ入出力	—	1	1	x	—	—	—	○
P40	P40	入力	x	—	1	x	—	—	○	○
		出力	0	—	0	0/1	—	—		
P41	P41	入力	—	0	1	x	—	—	—	○
		出力	—	0	0	0/1	—	—		
	ANI6	アナログ入力	—	1	1	x	—	—	—注	○
	AMP1P	アナログ入力	—	1	1	x	—	—	—注	○
	ANX3	アナログ入出力	—	1	1	x	—	—	—注	○
P42	P42	入力	—	0	1	x	—	—	—	○
		出力	—	0	0	0/1	—	—		
	ANI5	アナログ入力	—	1	1	x	—	—	—注	○
	AMP1N	アナログ入力	—	1	1	x	—	—	—注	○
	ANX2	アナログ入出力	—	1	1	x	—	—	—注	○
P137	P137	入力	—	—	—	x	—	—	○	○
	SSI00	入力	—	—	—	x	—	—	○	○
	INTP0	入力	—	—	—	x	—	—	○	○

注 32ピンではポートと兼用にならず、アナログのみの端子になります。

表4-5 P121, P122端子機能使用時のレジスタの設定例

端子名称	使用機能		CMC	Pxx	32ピン	36ピン
	機能名称	入出力	(EXCLK, OSCSEL)			
P121	P121	入力	00/10/11	×	○	○
	X1	—	01	—		
P122	P122	入力	00/10/11	×	○	○
	EXCLK	入力	11	—		
	X2	—	01	—		

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/I1E内部で、次の順序で行われます。

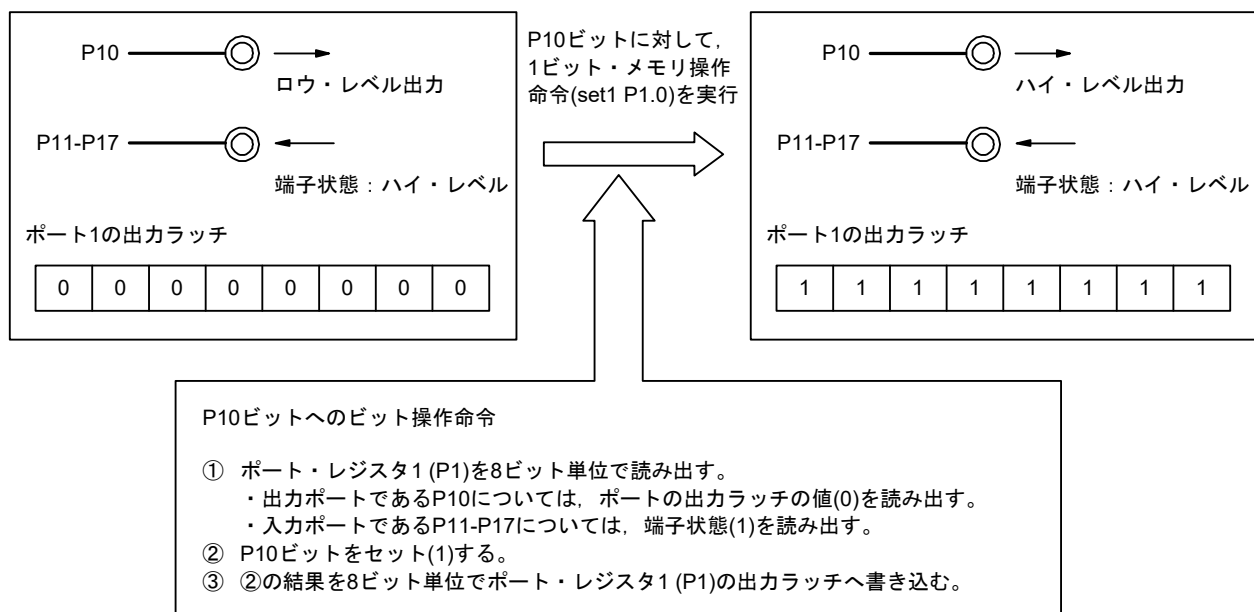
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-8 1ビット・メモリ操作命令(P10の場合)



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります(出力の衝突を回避)。周辺I/Oリダイレクション・レジスタ0,1 (PIOR0, 1)の設定により、割り当てられた機能も同様です。兼用出力については、4.5 兼用機能使用時のレジスタの設定を参照してください。

入力として使用する端子では、兼用機能の出力が無効(バッファ出力がHi-Z)となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子、X2端子に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により、発振を停止することができます。

② 高速オンチップ・オシレータ(高速OCO)

オプションバイト(000C2H)により、 $f_{HOCO} = 32$ MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz (TYP.) から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は、図5-11 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧	発振周波数(MHz)									
	1	2	3	4	6	8	12	16	24	32
$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	○	○
$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	—	—

③ PLLクロック

X1発振回路を4, 8 MHzに発振させ、PLLで3, 4, 6, 8逡倍することにより、 $f_{PLL} = 24, 32, 48, 64$ MHzのクロックを発振させることができます。また、CKSELRビットを“1”に設定すると、周波数 f_{PLL} をRDIV0, RDIV1ビットの設定によって、2, 4, 8分周したクロックがメイン・システム・クロック・ソース(f_{IH})として選択されます。

DSCONビット(DSCCTLレジスタのビット0)の設定により、PLLを動作、停止させることができます。

24ビット $\Delta\Sigma$ /DコンバータのクロックとしてX1発振回路を使用する場合でCPU/周辺ハードウェア・クロック(f_{CLK})に20MHzよりも早いクロックを選択したい場合はPLLクロックを使用してください。PLLの設定の詳細に関しては図5-12 PLL制御レジスタ(DSCCTL)のフォーマット、24ビット $\Delta\Sigma$ /Dコンバータクロックとの関係に関しては図5-13 PLLと $\Delta\Sigma$ /Dコンバータの関係を参照してください。

備考 PLLの入力クロック周波数は、4, 8 MHzが入力可能です。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック($f_{EX} = 1 \sim 20$ MHz)を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット(システム・クロック制御レジスタ(CKC)のビット4)の設定により、高速システム・クロック(X1クロックまたは外部メイン・システム・クロック)と高速オンチップ・オンレータ・クロックを切り替えられます。

(2) 低速オンチップ・オシレータ・クロック (低速OCO)

$f_{IL} = 15 \text{ kHz}$ (TYP.)のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ・ウォッチドッグ・タイマ
- ・タイマRJ
- ・インターバル・タイマ

注 リアルタイム・クロックを使用時は、インターバル・タイマのカウント・クロックに低速オンチップ・オシレータ・クロック (f_{IL}) を選択する事はできません。

オプション・バイト (000C0H) のビット4 (WDTON) または、サブシステム・クロック供給モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) のどちらか、または両方が1のときに動作します。

ただし、WDTON = 1, WUTMMCK0 = 0かつオプション・バイト (000C0H) のビット0 (WDSTBYON) が0の場合、HALT命令またはSTOP命令を実行したときに低速オンチップ・オシレータは発振を停止します。

注意 リアルタイム・クロックのカウント・クロックに低速オンチップ・オシレータ・クロック (f_{IL}) を選択できるのは、定周期割り込み機能使用時のみです。

- 備考
- f_X : X1クロック発振周波数
 - f_{IH} : 高速オンチップ・オシレータ・クロック (f_{HOCO}) または
PLLクロック (f_{PLL}) の2/4/8分周を選択したメイン・システム・クロック・ソースの周波数
 - f_{EX} : 外部メイン・システム・クロック周波数
 - f_{PLL} : PLL発振周波数
 - f_{IL} : 低速オンチップ・オシレータ・クロック周波数

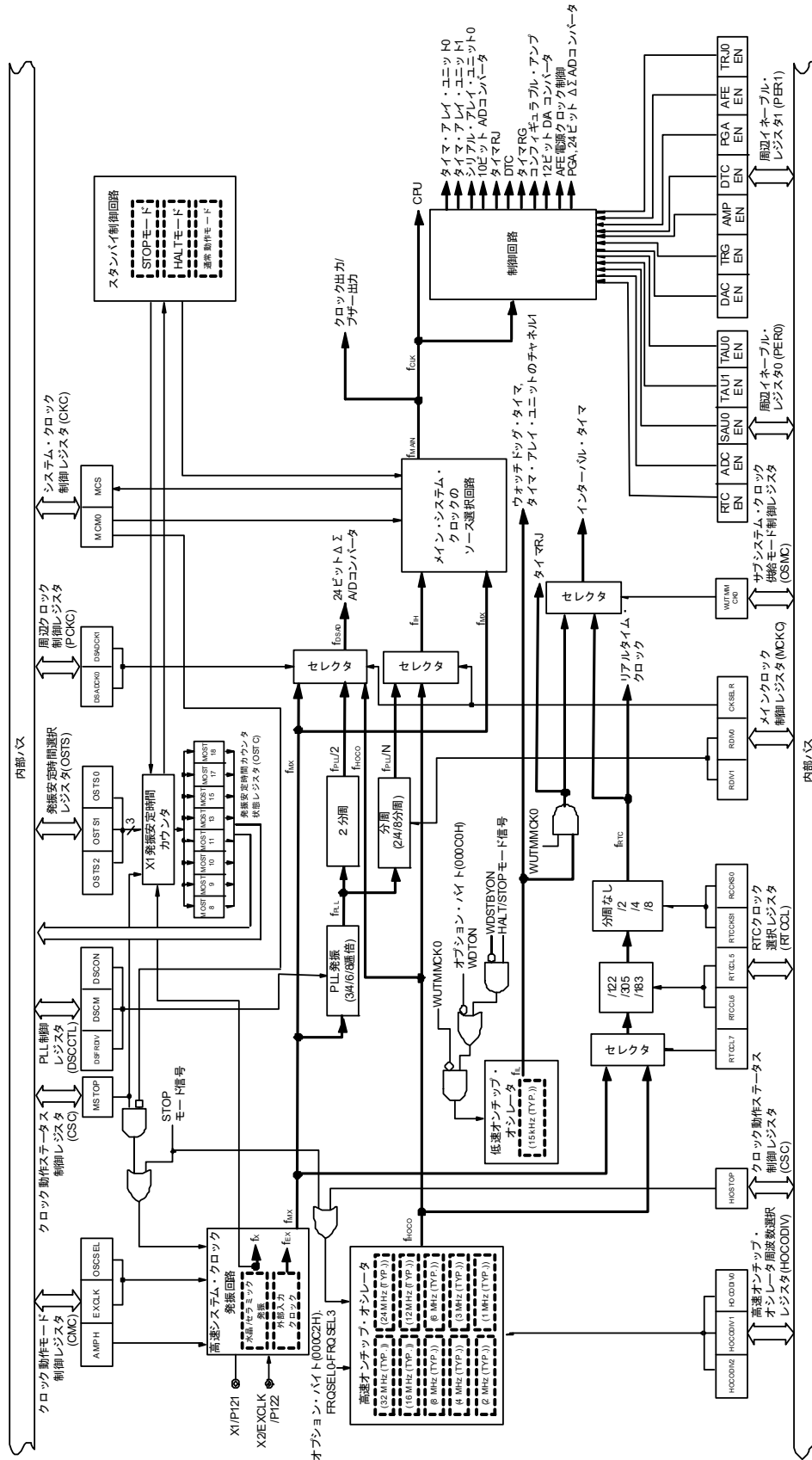
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ 0, 1 (PER0, PER1) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) PLL 制御レジスタ (DSCCTL) メイン・クロック制御レジスタ (MCKC) 周辺クロック制御レジスタ (PCKC)
発振回路	X1 発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ PLL 発振回路

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考	f _X :	X1クロック発振周波数
	f _{HOCO} :	高速オンチップ・オシレータ・クロック周波数
	f _{IH} :	高速オンチップ・オシレータ・クロック (f _{HOCO}) もしくは PLLクロック (f _{PLL}) の2/4/8分周を選択したメイン・システム・クロック・ソースの周波数
	f _{PLL} :	PLLクロック周波数
	f _{RTC} :	RTCクロック周波数
	f _{DSAD} :	24ビットΔΣA/Dコンバータ用クロック周波数
	f _{EX} :	外部メイン・システム・クロック周波数
	f _{MX} :	高速システム・クロック周波数
	f _{MAIN} :	メイン・システム・クロック周波数
	f _{CLK} :	CPU/周辺ハードウェア・クロック周波数
	f _{IL} :	低速オンチップ・オシレータ・クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- PLL制御レジスタ (DSCCTL)
- メイン・クロック制御レジスタ (MCKC)
- 周辺クロック制御レジスタ (PCKC)

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, EXCLK/X2/P122端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード制御レジスタ (CMC)のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	0	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	X1/P121 端子	X2/EXCLK/P122 端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶/セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	X1クロック発振周波数の制御
0	$1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$
1	$10 \text{ MHz} < f_x \leq 20 \text{ MHz}$

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値(00H)のまま使用する場合、暴走時の誤動作(00H以外の誤書き込みで復帰不可)を防止するために、リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後、クロック動作ステータス制御レジスタ(CSC)の設定でX1発振を開始する前に、CMCレジスタを設定してください。

注意3. X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHビットに1を設定してください。

注意4. AMPHビットは、リセット解除後fCLKにfIHを選択した状態(fCLKをfMXに切り替える前の状態)で設定してください。

注意5. システム・クロックの周波数上限は32 MHzですが、X1発振回路の周波数上限は20 MHzになります。

備考 fx : X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
CKC	0	0	MCS	MCM0	0	0	0	0

MCS	メイン・システム・クロック (fMAIN) のステータス
0	高速オンチップ・オシレータ・クロック (fIH)
1	高速システム・クロック (fMX)

MCM0	メイン・システム・クロック (fMAIN) の動作制御
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロック (fIH) を選択
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択

注 ビット5は、Read Onlyです。

備考 fHOCO : 高速オンチップ・オシレータ・クロック周波数
 fIH : 高速オンチップ・オシレータ・クロック (fHOCO) もしくは
 PLLクロック (fPLL) の2/4/8分周を選択したメイン・システム・クロック・ソースの周波数
 fMX : 高速システム・クロック周波数
 fMAIN : メイン・システム・クロック周波数

注意 ビット0-3, 6, 7には、必ず0を設定してください。

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロックの動作を制御するレジスタです(低速オンチップ・オシレータ・クロックは除く)。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

図5-4 クロック動作ステータス制御レジスタ (CSC)のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	1	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意1. リセット解除後は、クロック動作モード制御レジスタ(CMC)を設定してからCSCレジスタを設定してください。

注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ(OSTS)を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。

注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注意4. CPU/周辺ハードウェア・クロック(fCLK)に選択しているクロックは、CSCレジスタで停止させないでください。

注意5. クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-2 クロック停止方法

クロック	クロック停止(外部クロック入力無効)前条件	CSCレジスタのフラグ設定
X1クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作(MCS = 0)	MSTOP = 1
外部メイン・システム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作(MCS = 1)	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次の場合に、X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始したとき
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したとき

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時(EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ (OSTC)のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
------	-------	-------	--------	--------	--------	--------	--------	--------

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁸ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

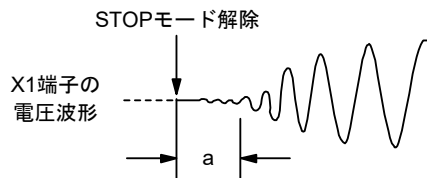
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていく、そのまま“1”を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次の場合には、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始したいとき
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したいとき
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作(MSTOP = 0)後、OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックを高速オンチップ・オシレータ・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-6 発振安定時間選択レジスタ (OSTS)のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 μ s	12.8 μ s
0	0	1	$2^9/fx$	51.2 μ s	25.6 μ s
0	1	0	$2^{10}/fx$	102 μ s	51.2 μ s
0	1	1	$2^{11}/fx$	204 μ s	102 μ s
1	0	0	$2^{13}/fx$	819 μ s	409 μ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

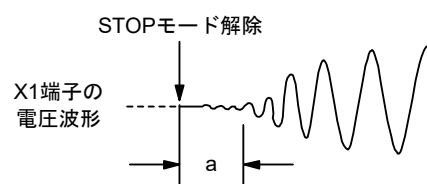
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC)のMSTOPビットを0に設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次の場合には、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックの発振を開始したいとき
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したいとき
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- リアルタイム・クロック, インターバル・タイマ
- A/Dコンバータ
- シリアル・アレイ・ユニット0
- タイマ・アレイ・ユニット1
- タイマ・アレイ・ユニット0
- 12ビットD/Aコンバータ
- タイマRG
- コンフィギュラブル・アンプ
- DTC
- PGA
- 24ビット $\Delta\Sigma$ A/Dコンバータ
- タイマRJ

PER0, PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-7 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	<input type="checkbox"/> 7	6	<input type="checkbox"/> 5	4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	TAU1EN	TAU0EN

RTCEN	リアルタイム・クロック (RTC), インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・リアルタイム・クロック (RTC), インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), インターバル・タイマはリセット状態
1	入カクロック供給 ・リアルタイム・クロック (RTC), インターバル・タイマで使用するSFRへのリード/ライト可

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入カクロック供給 ・A/Dコンバータで使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU1EN	タイマ・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

注意 ビット3, 4, 6には必ず"0"を設定してください。

図5-8 周辺イネーブル・レジスタ1 (PER1)のフォーマット(1/2)

アドレス : F007AH リセット時 : 00H R/W

略号

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

PER1

DACEN	TRGEN	AMPEN	0	DTCEN	PGAEN	AFEEN	TRJ0EN
-------	-------	-------	---	-------	-------	-------	--------

DACEN	12ビットD/Aコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・12ビットD/Aコンバータで使用するSFRへのライト不可 ・12ビットD/Aコンバータはリセット状態
1	入カクロック供給 ・12ビットD/Aコンバータで使用するSFRへのリード/ライト可

TRGEN	タイマRGの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRGで使用するSFRへのライト不可 ・タイマRGはリセット状態
1	入カクロック供給 ・タイマRGで使用するSFRへのリード/ライト可

AMPEN	コンフィギュラブル・アンプの入カクロック供給の制御
0	入カクロック供給停止 ・コンフィギュラブル・アンプで使用するSFRへのライト不可 ・コンフィギュラブル・アンプはリセット状態
1	入カクロック供給 ・コンフィギュラブル・アンプで使用するSFRへのリード/ライト可

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・DTCは動作不可
1	入カクロック供給 ・DTCは動作可

PGAEN	PGAおよび24ビット $\Delta\Sigma$ A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・PGAおよび24ビット $\Delta\Sigma$ A/Dコンバータで使用するSFRへのライト不可 ・PGAおよび24ビット $\Delta\Sigma$ A/Dコンバータはリセット状態
1	入カクロック供給 ・PGAおよび24ビット $\Delta\Sigma$ A/Dコンバータで使用するSFRへのリード/ライト可

AFEEN	AFE電源・クロック制御部入カクロック供給の制御
0	クロック供給停止 ・AFE電源・クロック制御部で使用するSFRへのライト不可 ・AFE電源・クロック制御部はリセット状態
1	入カクロック供給 ・AFE電源・クロック制御部で使用するSFRへのリード/ライト可

図5-9 周辺イネーブル・レジスタ1 (PER1)のフォーマット(2/2)

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	AMPEN	0	DTCEN	PGAEN	AFEEN	TRJ0EN

TRJ0EN	タイマRJ0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態
1	入カクロック供給 ・タイマRJ0で使用するSFRへのリード/ライト可

注意 ビット4には必ず“0”を設定してください。

5.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで、リアルタイム・クロック、インターバル・タイマ、タイマRJの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 10 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック、インターバル・タイマ、タイマRJの動作クロックの選択
0	RTCクロック選択レジスタ (RTCCL) で設定したRTC動作クロック (f _{RTC}) ・リアルタイム・クロック、インターバル・タイマのカウント・クロックはRTC動作クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータを選択できません。
1	・インターバル・タイマの動作クロックは低速オンチップ・オシレータ・クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータを選択できます。

注意 リアルタイム・クロックを使用する場合は、必ずWUTMMCK0 = 0で使用してください。

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト(000C2H)で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト(000C2H)のFRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図5-11 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			24 MHz ベース FRQSEL3 = 0	32 MHz ベース FRQSEL3 = 1
0	0	0	f _{ih} = 24 MHz	f _{ih} = 32 MHz
0	0	1	f _{ih} = 12 MHz	f _{ih} = 16 MHz
0	1	0	f _{ih} = 6 MHz	f _{ih} = 8 MHz
0	1	1	f _{ih} = 3 MHz	f _{ih} = 4 MHz
1	0	0	設定禁止	f _{ih} = 2 MHz
1	0	1	設定禁止	f _{ih} = 1 MHz
上記以外			設定禁止	

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともに動作可能な電圧範囲で行ってください。

動作周波数範囲	動作電圧範囲
1 ~ 16 MHz	2.4 ~ 5.5 V
1 ~ 32 MHz	2.7 ~ 5.5 V

注意2. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック (f_{ih})をCPU/周辺ハードウェア・クロック (f_{clk})に選択している状態で行ってください。

注意3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- 変更前の周波数で最大3クロック動作
- 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウエイト

注意4. システム・クロックにPLLクロックを選択しているときに高速オンチップ・オシレータ周波数を変更する場合は、システム・クロックに高速オンチップ・オシレータ・クロックを選択して変更してください。

5.3.9 PLL制御レジスタ (DSCCTL)

PLL発振回路の動作を制御するレジスタです。

DSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-12 PLL制御レジスタ (DSCCTL)のフォーマット

アドレス : F02E5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV	DSCM	DSCON

DSFRDIV	PLLリファレンス・クロック分周制御注1
0	分周なし (f _{MX})
1	2分周 (f _{MX} /2)

DSCM	PLL 逡倍選択注2
0	12逡倍 (6倍)
1	16逡倍 (8倍)

DSCON	PLL発振, 出力制御
0	停止
1	発振, 出力

注1. PLLリファレンス・クロックは、高速システム・クロック (f_{MX})です。

注2. PLL発振回路の最終段にて2分周されるため、()内の逡数となります。

注意1. DSFRDIVとDSCMを変更する場合は、DSCON=0にしてください。

注意2. システム・クロックにPLLクロックを選択している場合は、DSCON=0にしないでください。

注意3. ビット3-7には必ず“0”を設定してください。

PLL使用時に選択できる組み合わせを以下に示します。

図5 - 13 PLLとΔΣA/Dコンバータの関係

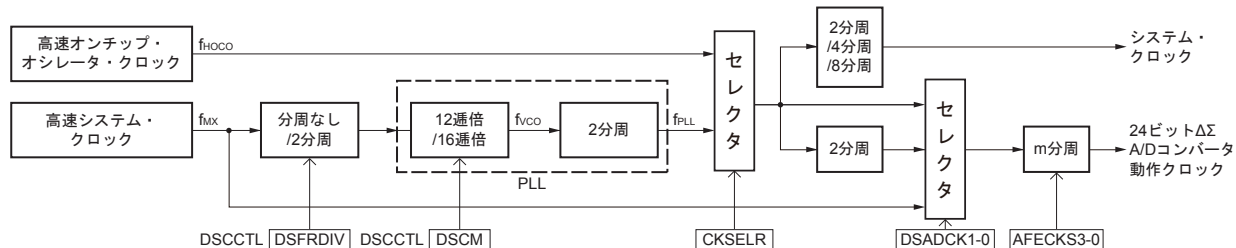


表5 - 3 PLLクロックの周波数設定

高速システム・クロック (fMX)	k分周	n逓倍	n逓倍後の周波数 (fVCO)	PLLクロック (fPLL)
	DSFRDIV	DSCM		
8 MHz	分周なし	12 逓倍	96 MHz	48 MHz
	分周なし	16 逓倍	128 MHz	64 MHz
	2分周	12 逓倍	48 MHz	24 MHz
	2分周	16 逓倍	64 MHz	32 MHz
4 MHz	分周なし	12 逓倍	48 MHz	24 MHz
	分周なし	16 逓倍	64 MHz	32 MHz
上記以外			設定禁止	

注意 24ビットΔΣA/Dコンバータを使用する場合は、動作クロックが4 MHzになるようにfPLLを分周してください。

5.3.10 メイン・クロック制御レジスタ (MCKC)

メイン・クロックの動作を制御するレジスタです。

MCKCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-14 メイン・クロック制御レジスタ (MCKC)のフォーマット

アドレス : F02E6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1	RDIV0	CKSELR

RDIV1	RDIV0	PLLクロック分周比選択
0	0	2分周
0	1	4分周
1	0	8分周
1	1	

CKSELR	高速オンチップ・オシレータ・クロック/PLLクロックの選択
0	高速オンチップ・オシレータ・クロック (f _{HOCO})
1	PLLクロック (f _{PLL})

注意1. PLLクロック (f_{PLL}) と高速オンチップ・オシレータ・クロック (f_{HOCO}) を切り替えるときは、両方のクロックが発振している必要があります。

注意2. ビット3-7には必ず“0”を設定してください。

備考 MCM0ビットが0のときにこのビットで選択したクロックが、メイン・クロックになります。

5.3.11 周辺クロック制御レジスタ (PCKC)

24ビット $\Delta\Sigma$ A/Dコンバータの動作クロック (f_{DSAD}) を選択するレジスタです。

PCKCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-15 周辺クロック制御レジスタ (PCKC)のフォーマット

アドレス : F02DEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PCKC	0	0	0	0	0	0	DSADCK1	DSADCK0
DSADCK1	DSADCK0	24ビット $\Delta\Sigma$ A/Dコンバータの動作クロック (f_{DSAD}) 選択						
0	0	高速オンチップ・オシレータ・クロック (f_{HOCO}) 供給注1						
0	1	PLLクロック (f_{PLL}) の2分周クロック供給注2						
1	0	高速システム・クロック (f_{MX}) 供給						
1	1	設定禁止						

注1. MCKCレジスタのCKSELRに0を設定してください。

注2. MCKCレジスタのCKSELRに1を設定してください。

注意 ビット2-7には必ず“0”を設定してください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~20 MHz)によって発振します。また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。X1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット7, 6 (EXCLK, OSCSEL)を次のように設定してください。

- 水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-16に X1発振回路の外付け回路例を示します。

図5-16 X1発振回路の外付け回路例

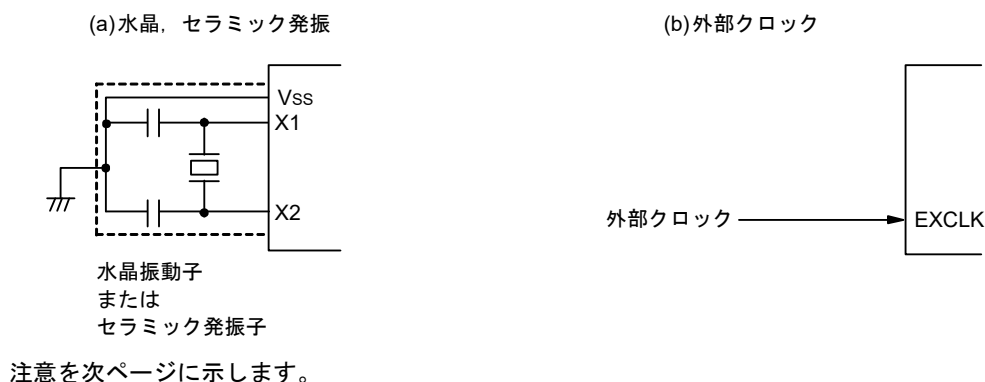
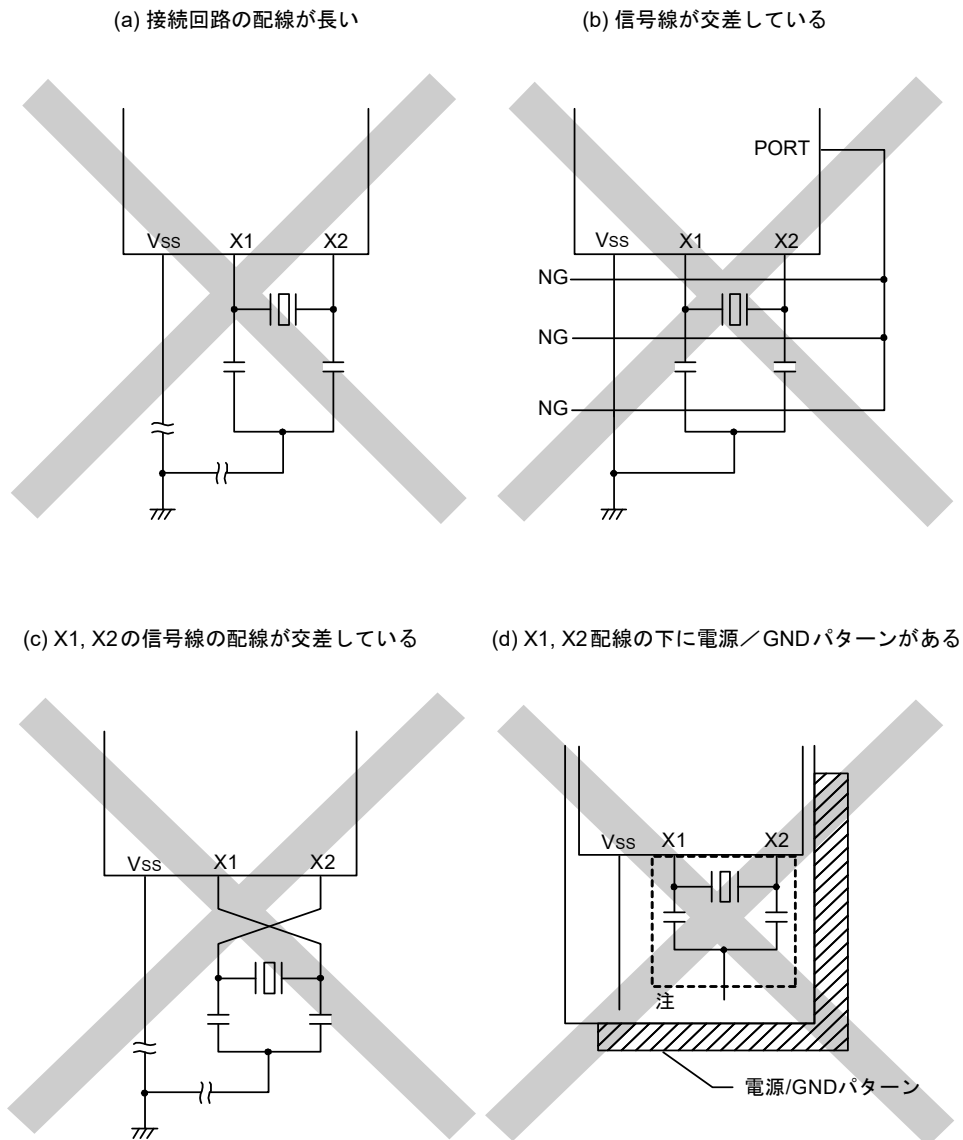


図5 - 17に発振子の接続の悪い例を示します。

図5 - 17 発振子の接続の悪い例(1/2)

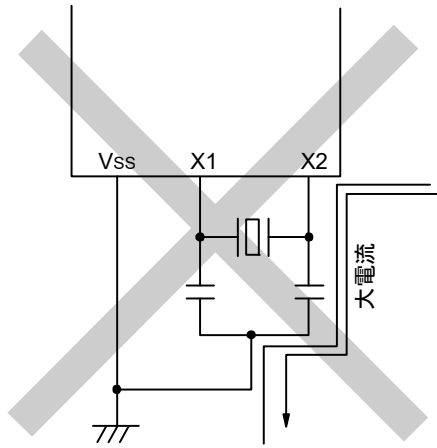


注 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。

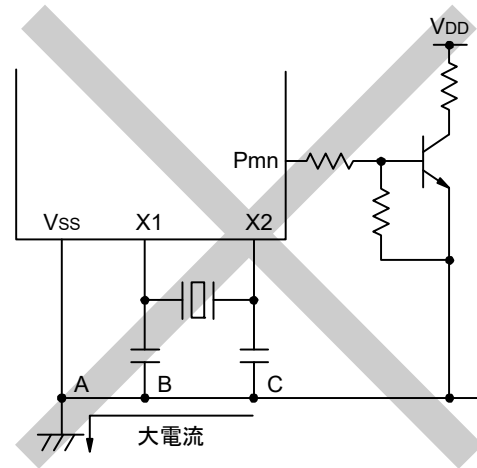
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

図5-18 発振子の接続の悪い例(2/2)

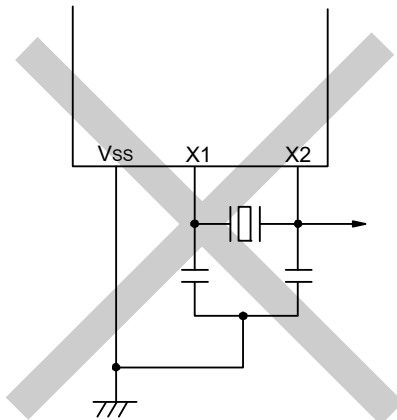
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



5.4.2 高速オンチップ・オシレータ

RL78/I1Eは、高速オンチップ・オシレータを内蔵しています。オプションバイト(000C2H)により32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.3 低速オンチップ・オシレータ

RL78/I1Eは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、インターバル・タイマ、タイマRJのクロックとして使用します。CPUクロックとして使用できません。

オプション・バイト(000C0H)のビット4(WDTON)または、サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4(WUTMMCK0)のどちらか、または両方が1のときに動作します。

ウォッチドッグ・タイマ停止時で、WUTMMCK0 = 0以外では、低速オンチップ・オシレータの発振は継続します。ただし、ウォッチドッグ・タイマ動作時でWUTMMCK0 = 0の場合のみ、WDSTBYON = 0かつHALTおよびSTOP、SNOOZEモードの状態では低速オンチップ・オシレータの発振が停止します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速オンチップ・オシレータ・クロックが停止することはありません。

5.4.4 PLL (Phase Locked Loop)

RL78/I1Eは、PLL回路を内蔵しています。

PLLによって、高速システム・クロックを逡倍することができます。

PLL制御レジスタ(DSCCTL)のビット0(DSCON)にて動作を制御できます。

注意 PLLモードから、高速オンチップ・オシレータ・クロック、高速システム・クロックに移行する場合は、PLL出力クロック(fPLL)が供給される機能(24ビット $\Delta\Sigma$ /Dコンバータ)を停止させてください。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します(図5-1を参照)。

○メイン・システム・クロック f_{MAIN}

・高速システム・クロック f_{MX}

X1クロック f_X

外部メイン・システム・クロック f_{EX}

・高速オンチップ・オシレータ・クロック f_{IH} ($= f_{HOCO}/n$; $n = 2, 4, 8$)

・PLLクロック f_{IH} ($= f_{PLL}/n$; $n = 2, 4, 8$)

○低速オンチップ・オシレータ・クロック f_{IL}

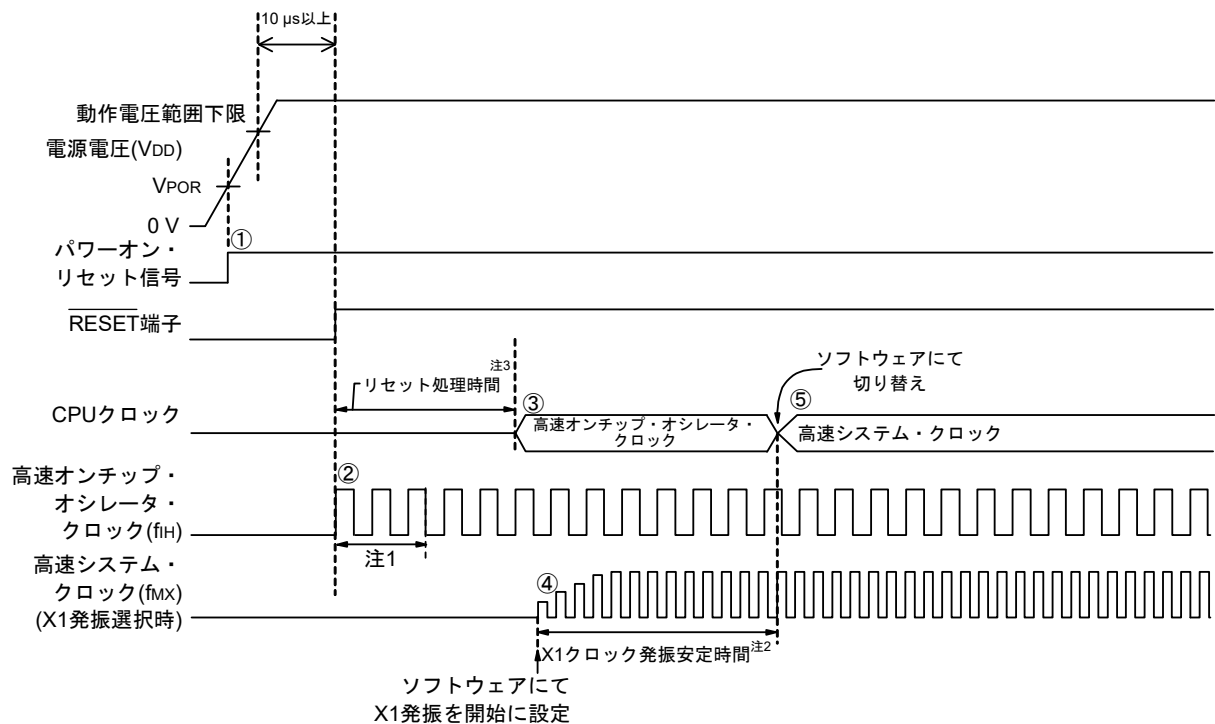
○CPU/周辺ハードウェア・クロック f_{CLK}

注 f_{IH} は、高速オンチップ・オシレータ・クロックもしくはPLLクロックを選択して2/4/8分周したメイン・システム・クロック・ソースの周波数です。

RL78/I1Eでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を、図5-19に示します。

図5-19 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット(POR)回路による内部リセット信号が発生します。
ただし、33.4または34.4 AC特性に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます(上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックは、ソフトウェアにて発振開始を設定してください(5.6.2 X1発振回路の設定例を参照)。
- ⑤ CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.2 X1発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注3. リセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL3 により、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・	7	6	5	4	3	2	1	0
バイト (000C2H)	1	1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			24 MHzベース	32 MHzベース
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _H = 24 MHz	f _H = 32 MHz
0	0	1	f _H = 12 MHz	f _H = 16 MHz
0	1	0	f _H = 6 MHz	f _H = 8 MHz
0	1	1	f _H = 3 MHz	f _H = 4 MHz
1	0	0	設定禁止	f _H = 2 MHz
1	0	1	設定禁止	f _H = 1 MHz
上記以外			設定禁止	

5.6.2 X1発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをfCLKに設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット(1)、 $f_x > 10$ MHz以上の場合はAMPHビットをセット(1)してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL						AMPH
	0	1	0	0	0	0	0	0/1

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。

例) 10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア(0)してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP							HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例) 10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC			MCS	MCM0				
	0	0	0	1	0	0	0	0

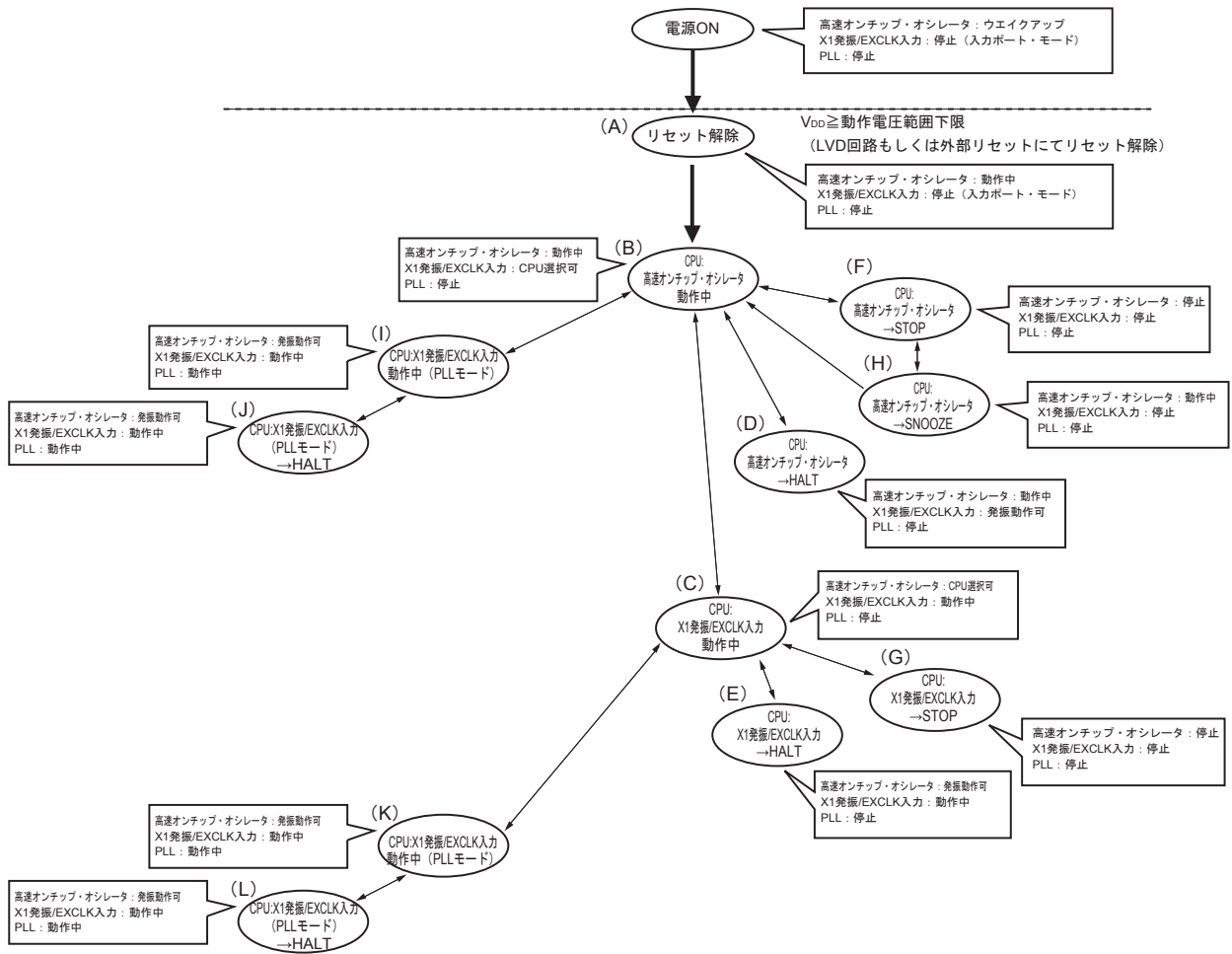
注意 HOCODIVレジスタの設定は、周波数の変更前、変更後ともに動作可能な電圧範囲で行ってください。

動作周波数範囲	動作電圧範囲
1 ~ 16 MHz	2.4 ~ 5.5 V
1 ~ 32 MHz	2.7 ~ 5.5 V

5.6.3 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-20に示します。

図5-20 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-4～表5-8に示します。

表5-4 CPUクロックの移行とSFRレジスタの設定例(1/5)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要(リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) (X1クロック : $1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$)	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : $10 \text{ MHz} < f_x \leq 20 \text{ MHz}$)	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第33章 または第34章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

備考1. × : Don't care

備考2. 表5-4～表5-8の(A)～(L)は、図5-20の(A)～(L)と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例(2/5)

(3) CPUを高速オンチップ・オシレータ・クロック動作(B)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C) (X1クロック : 1 MHz ≤ f _x ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(B) → (C) (X1クロック : 10 MHz < f _x ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第33章 または第34章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(4) CPUを高速システム・クロック動作(C)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	18 ~ 65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考1. × : Don't care

備考2. 表5-4~表5-8の(A)-(L)は、図5-20の(A)-(L)と対応しています。

備考3. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5-6 CPUクロックの移行とSFRレジスタの設定例(3/5)

(5) ・CPUを高速オンチップ・オシレータ・クロック動作(B)から、高速システム・クロック(PLLモード)動作(I)へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 状態遷移	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	DSCCTL レジスタ		MCKC レジスタ		DSCCTL レジスタ	発振安定 待ち	MCKC レジスタ
	EXCLK	OSCSEL	AMPH				DSFRDIV V	DSCM	RDIV1	RDIV0			
				MSTOP	CKSELR								
(B) → (I) 2分周	0/1	1	0	注2	0	確認必要	0/1	0/1	0	0	1	40 μs	1
(B) → (I) 4分周	0/1	1	0	注2	0	確認必要	0/1	0/1	0	1	1		1
(B) → (I) 8分周	0/1	1	0	注2	0	確認必要	0/1	0/1	1	0	1		1

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTCレジスタで設定する発振安定時間

注意 CKSELR=1に設定後、クロックの切り替えが完了するには最大25クロックかかります。切り替えが完了するまで高速・オンチップ・オシレータは停止しないでください。

備考 表5-4~表5-8の(A)-(L)は、図5-20の(A)-(L)と対応しています。

(6) ・CPUを高速システム・クロック(PLLモード)動作(I)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 状態遷移	MCKCレジスタ	クロック切り替え待ち	DSCCTLレジスタ
	CKSELR		DSCON
(I) → (B)	0	256クロック	0

(7) ・CPUを高速システム・クロック動作(C)から、高速システム・クロック(PLLモード)動作(K)へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ 状態遷移	CSC レジスタ	DSCCTLレジスタ		MCKCレジスタ		DSCCTL レジスタ	MCKC レジスタ	発振安定 待ち	CSC レジスタ	CKC レジスタ
	HIOSTOP	DSFRDIV	DSCM	RDIV1	RDIV0	DSCON	CKSELR		HIOSTOP	MCM0
(C) → (K) 2分周	0 ^{注1}	0/1	0/1	0	0	1	1 ^{注1}	65 μs ^{注2}	1 ^{注1}	0
(C) → (K) 4分周	0 ^{注1}	0/1	0/1	0	1	1	1 ^{注1}		1 ^{注1}	0
(C) → (K) 8分周	0 ^{注1}	0/1	0/1	1	0	1	1 ^{注1}		1 ^{注1}	0

注1. CKSELR=1の状態PLLに切り替えるときには設定不要です。

CKSELR=1に変更するときは、必ず高速オンチップ・オシレータを動作させてください。

注2. HIOSTOP=0の設定を行わない場合は、40μsの発振安定待ちとなります。

備考 表5-4~表5-8の(A)-(L)は、図5-20の(A)-(L)と対応しています。

表5-7 CPUクロックの移行とSFRレジスタの設定例(4/5)

(8) CPUを高速システム・クロック(PLLモード)動作(K)から、高速システム・クロック動作(C)へ移行

状態遷移	SFRレジスタの設定フラグ	CKCレジスタ	クロック切り替え待ち	DSCCTLレジスタ
		MCM0		DSCON
(K) → (C) 2分周(RDIV1,0 = 00) 高速システム・クロック (fMX) = 8MHz		1	8クロック	0
(K) → (C) 2分周(RDIV1,0 = 00) 高速システム・クロック (fMX) = 4MHz			8クロック	
(K) → (C) 4分周(RDIV1,0 = 01) 高速システム・クロック (fMX) = 8MHz			4クロック	
(K) → (C) 4分周(RDIV1,0 = 01) 高速システム・クロック (fMX) = 4MHz			4クロック	
(K) → (C) 8分周(RDIV1,0 = 10) 高速システム・クロック (fMX) = 8MHz			2クロック	
(K) → (C) 8分周(RDIV1,0 = 10) 高速システム・クロック (fMX) = 4MHz			2クロック	

備考 表5-4～表5-8の(A)～(L)は、図5-20の(A)～(L)と対応しています。

- (9) ・CPUが高速オンチップ・オシレータ・クロック動作中(B)にHALTモード(D)へ移行
 ・CPUが高速システム・クロック動作中(C)にHALTモード(E)へ移行
 ・CPUが高速システム・クロック(PLLモード)動作中(I)にHALTモード(J)へ移行
 ・CPUが高速システム・クロック(PLLモード)動作中(K)にHALTモード(L)へ移行

状態遷移	設定内容
(B) → (D) (C) → (E) (I) → (J) (K) → (L)	HALT命令を実行する

備考 表5-4～表5-8の(A)～(L)は、図5-20の(A)～(L)と対応しています。

表5-8 CPUクロックの移行とSFRレジスタの設定例(5/5)

- (10) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード(F)へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード(G)へ移行

(設定順序) →

状態遷移		設定内容		
(B) → (F)		STOPモード中に動作でき	—	STOP命令を実行する
(C) → (G)	X1発振	ない周辺機能を停止する	OSTSレジスタを設定する	
	外部クロック		—	

- (11) STOPモード (F) からSNOOZEモード(H)へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、16.8 SNOOZEモード機能、19.5.7 SNOOZEモード機能、19.7.3 SNOOZEモード機能を参照してください。

- (12) ・CPUを高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード (F) へ移行
 ・CPUが高速システム・クロック (PLLモード) 動作中 (I) にSTOPモード (F) へ移行
 ・CPUが高速システム・クロック (PLLモード) 動作中 (K) にSTOPモード (G) へ移行

PLLモード動作から、高速オンチップ・オシレータ・クロック (表5-6 (6) 参照)、高速システム・クロック動作に移行 (表5-7 (8) 参照) し、PLLを停止後 (DSCON = 0)、STOP命令を実行してください。

備考 表5-4～表5-8の(A)～(L)は、図5-20の(A)～(L)と対応しています。

5.6.4 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-9 CPUクロックの移行について (1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止(HIOSTOP=1)すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力に有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	PLLクロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 または、EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 PLLが発振していること ・ DSCON = 1	—
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP=1)
	外部メイン・システム・クロック	移行不可	—
	PLLクロック	PLLが発振していること ・ DSCON = 1 高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	—
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能(MSTOP=1)
	X1クロック	移行不可	—
	PLLクロック	PLLが発振していること ・ DSCON = 1 高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	—

表5 - 10 CPUクロックの移行について(2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
PLLクロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振していること • HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、PLLを停止(DSCON=0)すると動作電流を低減可能
	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0	

5.6.5 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット4 (MCM0) の設定により、メイン・システム・クロックの切り替え (高速オンチップ・オシレータ・クロック→高速システム・クロック) をすることができます。

実際の切り替え動作は、CKCレジスタを書き換えた直後ではなく、CKCレジスタを変更したのち、数クロックは切り替え前のクロックで動作します (表5-11、表5-12参照)。

メイン・システム・クロックが高速システム・クロックで動作しているか、高速オンチップ・オシレータ・クロックで動作しているかは、CKCレジスタのビット5 (MCS) で判定できます。

CPUクロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表5-11 メイン・システム・クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	備考
f _{IH}	↔	f _{MX}	表5-12参照

表5-12 f_{IH}⇔f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} ≥ f _{IH}		2クロック
	f _{MX} < f _{IH}		2 f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} ≥ f _{IH}	2 f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	2クロック	

備考1. 表5-12のクロック数は、切り替え前のCPUクロックのクロック数です。

備考2. 表5-12のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合 (f_{IH} = 8 MHz, f_{MX} = 10 MHz 発振時)

$$2 f_{MX}/f_{IH} = 2 (10/8) = 2.5 \rightarrow 3 \text{クロック}$$

5.6.6 クロック発振停止前の条件

クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

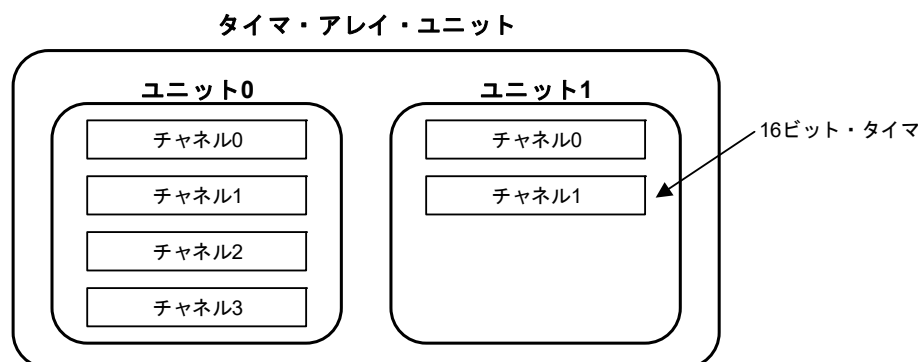
表5-13 クロック発振停止前の条件とフラグ設定

クロック	クロック停止 (外部クロック入力無効) 前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	

第6章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは4個および2個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照ください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> ・ インターバル・タイマ ・ 方形波出力 ・ 外部イベント・カウンタ ・ 入力パルス間隔測定 ・ 入力信号のハイ/ロウ・レベル幅測定 ・ デイレイ・カウンタ 	<ul style="list-style-type: none"> ・ ワンショット・パルス出力 ・ PWM出力 ・ 多重PWM出力

ユニット0のチャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ(上位/下位)として使用することもできます。ユニット0のチャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- ・ インターバル・タイマ(上位/下位 8ビット・タイマ)/方形波出力(下位 8ビット・タイマのみ)
- ・ 外部イベント・カウンタ(下位 8ビット・タイマのみ)
- ・ デイレイ・カウンタ(下位 8ビット・タイマのみ)

また、ユニット0のチャンネル3は、シリアル・アレイ・ユニットのUART0と連携し、LIN-bus通信動作を実現することができます。

6.1 タイマ・アレイ・ユニットの機能

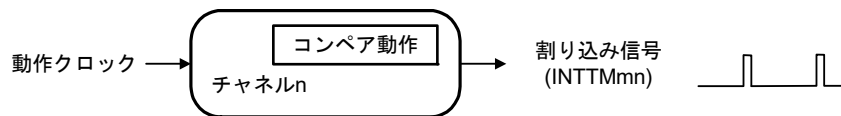
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャネル動作機能

単独チャネル動作機能は、他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

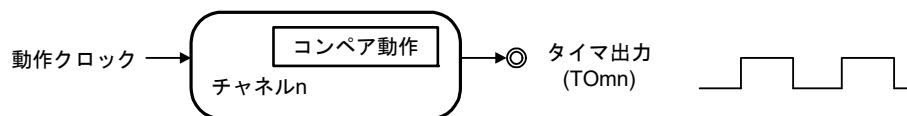
(1) インターバル・タイマ

一定間隔で割り込み(INTTMmn)を発生する基準タイマとして利用できます。



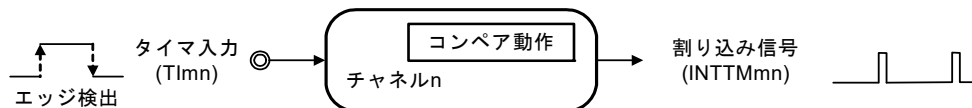
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子 (TOmn)より出力します。



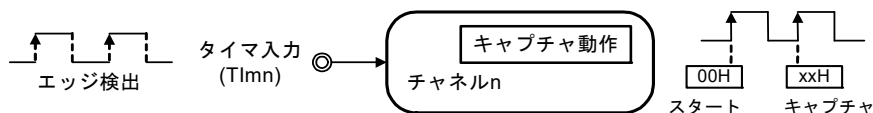
(3) 外部イベント・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



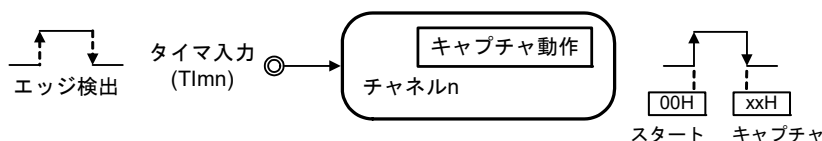
(4) 入力パルス間隔測定

タイマ入力端子(TImn)に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



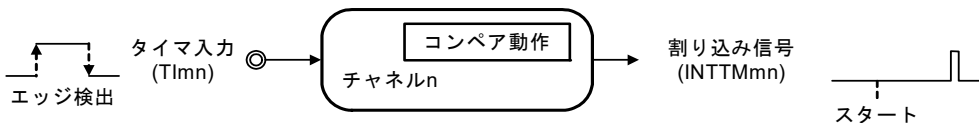
(5) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子(TImn)に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(6) デイレイ・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考1. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

備考2. チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

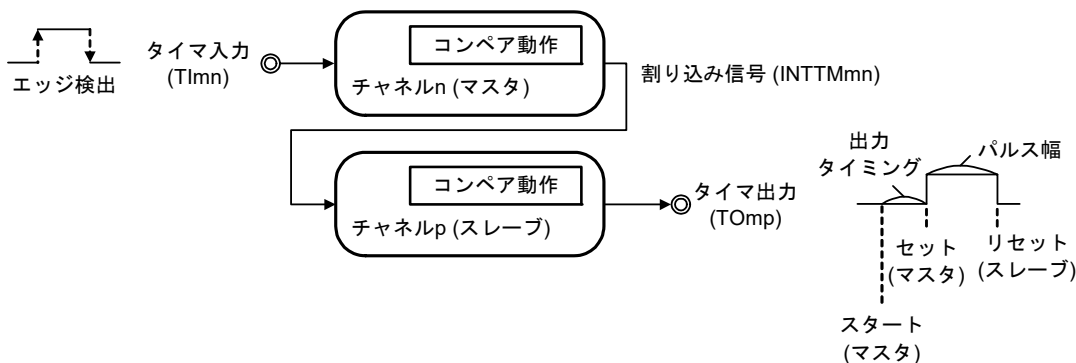
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期を制御する基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

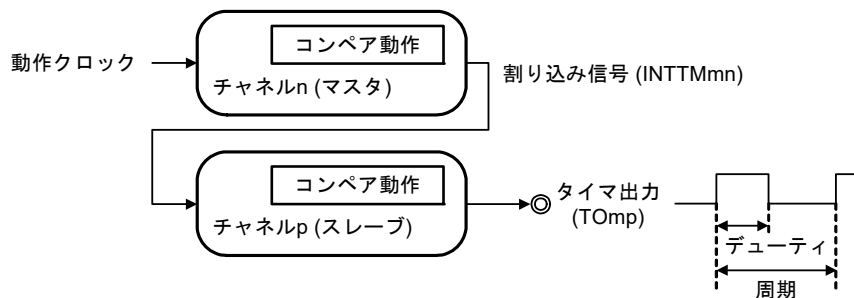
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



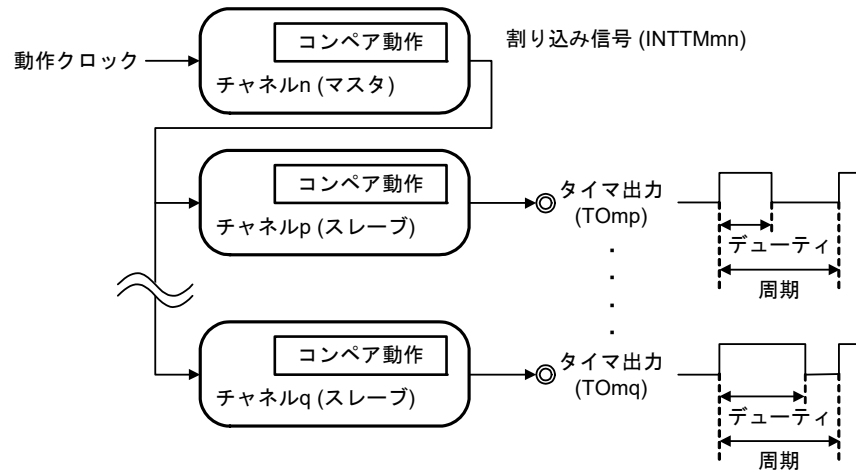
(2) PWM (Pulse Width Modulation)出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation)出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-3),
p, q : スレーブ・チャンネル番号 (n < p < q ≤ 3)

6.1.3 8ビット・タイマ動作機能(ユニット0のチャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。ユニット0のチャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)を参照してください。

6.1.4 LIN-bus 対応機能(ユニット0のチャンネル3のみ)

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus 対応機能の動作設定については、6.3.13 入力切り替え制御レジスタ (ISC)、6.8.4 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI03, TI10-TI11, RxD0端子(LIN-bus用)
タイマ出力	TO00-TO03, TO10-TO11, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ 0 (PER0) ・タイマ・クロック選択レジスタ m (TPSm) ・タイマ・チャンネル許可ステータス・レジスタ m (TEm) ・タイマ・チャンネル開始レジスタ m (TSM) ・タイマ・チャンネル停止レジスタ m (TTm) ・タイマ入力選択レジスタ 0 (TIS0) ・タイマ出力許可レジスタ m (TOEm) ・タイマ出力レジスタ m (TOM) ・タイマ出力レベル・レジスタ m (TOLm) ・タイマ出力モード・レジスタ m (TOMm) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタ mn (TMRmn) ・タイマ・ステータス・レジスタ mn (TSRmn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2) ・ポート・モード・レジスタ 1 (PM1) ・ポート・レジスタ 1 (P1)

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

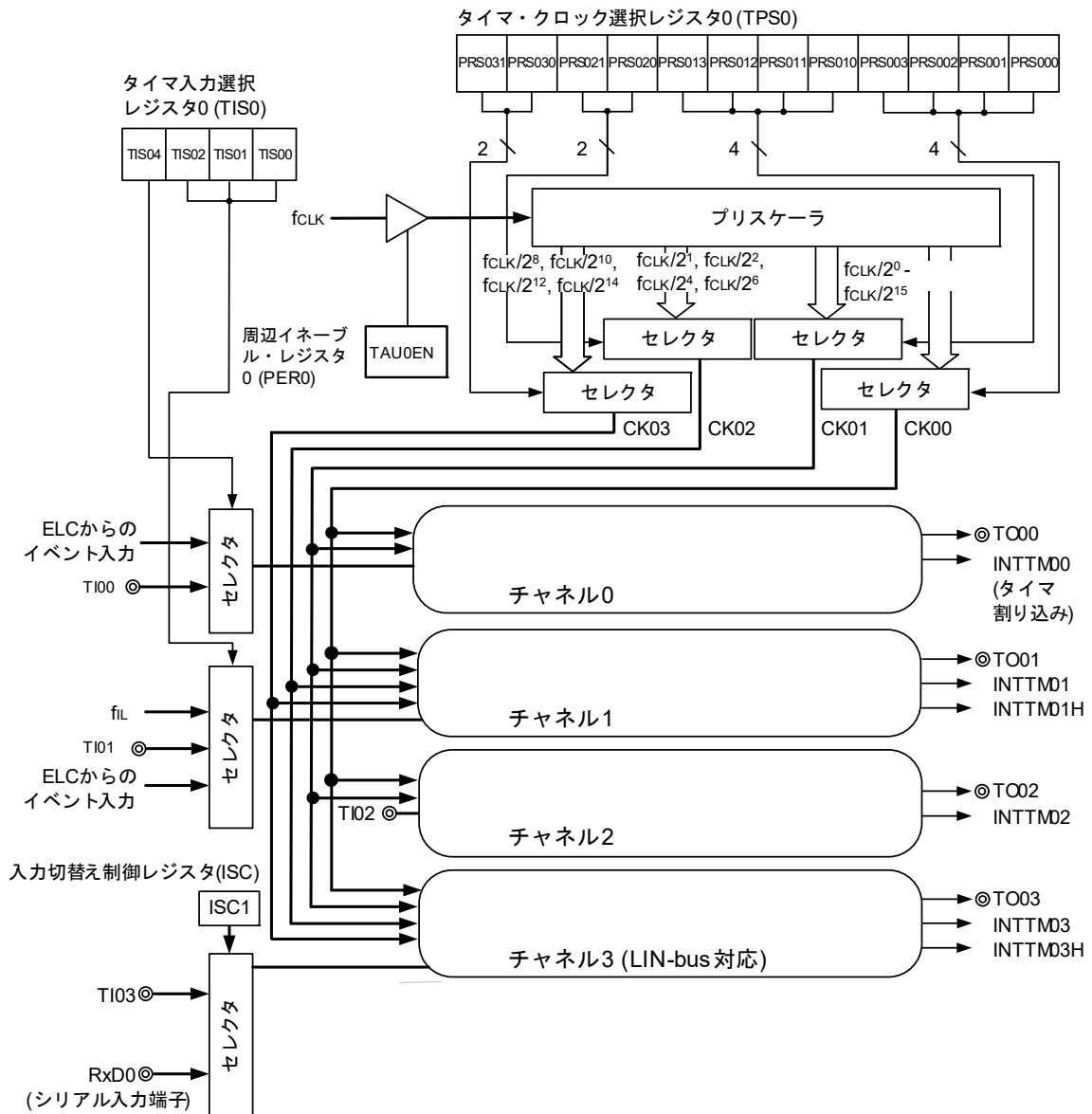
表6-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャンネル	各製品の入出力端子の有無 (32, 36ピン)	
ユニット0	チャンネル0	TI00/TO00
	チャンネル1	TI01/TO01
	チャンネル2	TI02/TO02
	チャンネル3	TI03/TO03
ユニット1	チャンネル0	TI10/TO10
	チャンネル1	TI11/TO11

備考 タイマ入力とタイマ出力が同一端子で兼用されているので、タイマ入力かタイマ出力のどちらかのみ使用可能です。

図6-1～図6-8にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニット0の全体ブロック図



備考 fil : 低速オンチップ・オシレータ・クロック周波数

図6-2 タイマ・アレイ・ユニット0のチャンネル0内部ブロック図

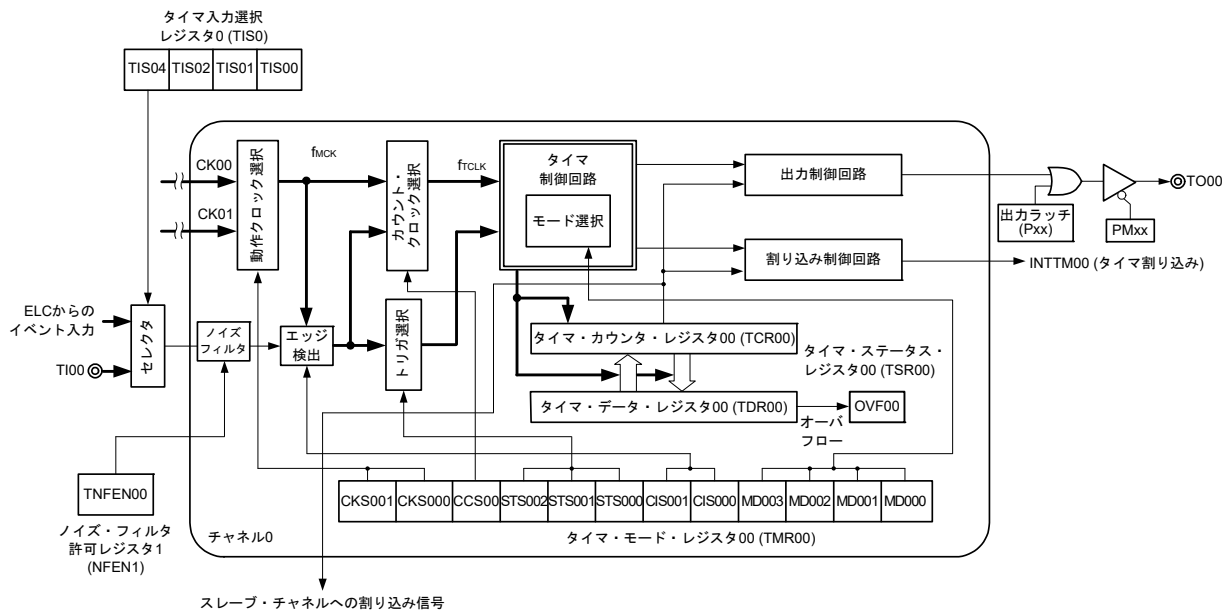


図6-3 タイマ・アレイ・ユニット0のチャンネル1内部ブロック図

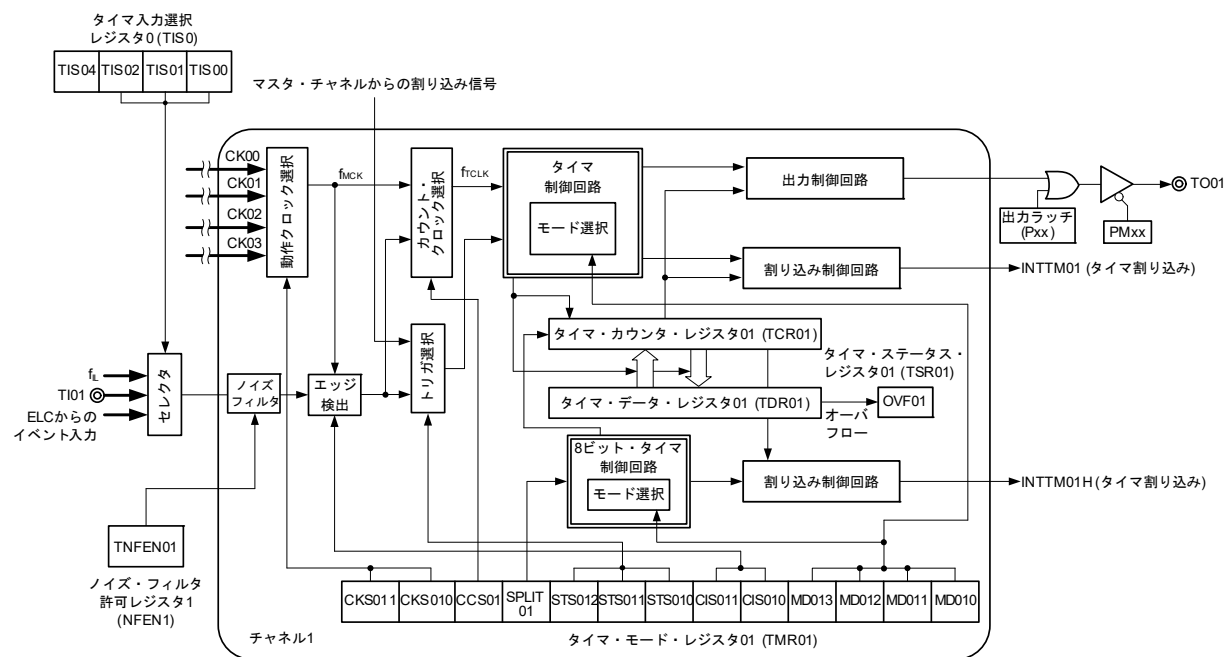


図6-4 タイマ・アレイ・ユニット0のチャンネル2内部ブロック図

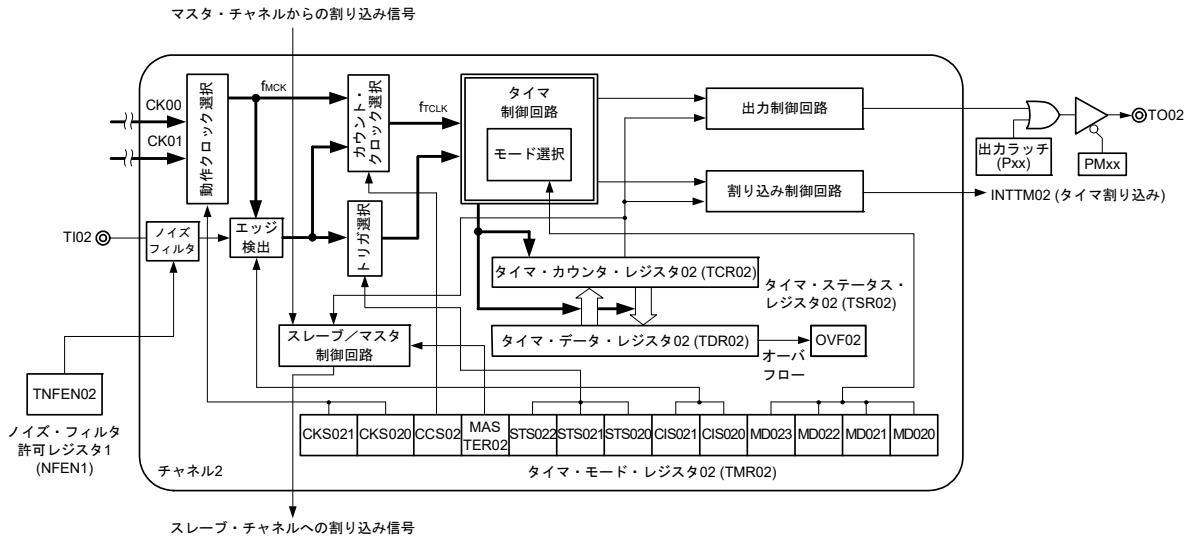


図6-5 タイマ・アレイ・ユニット0のチャンネル3内部ブロック図

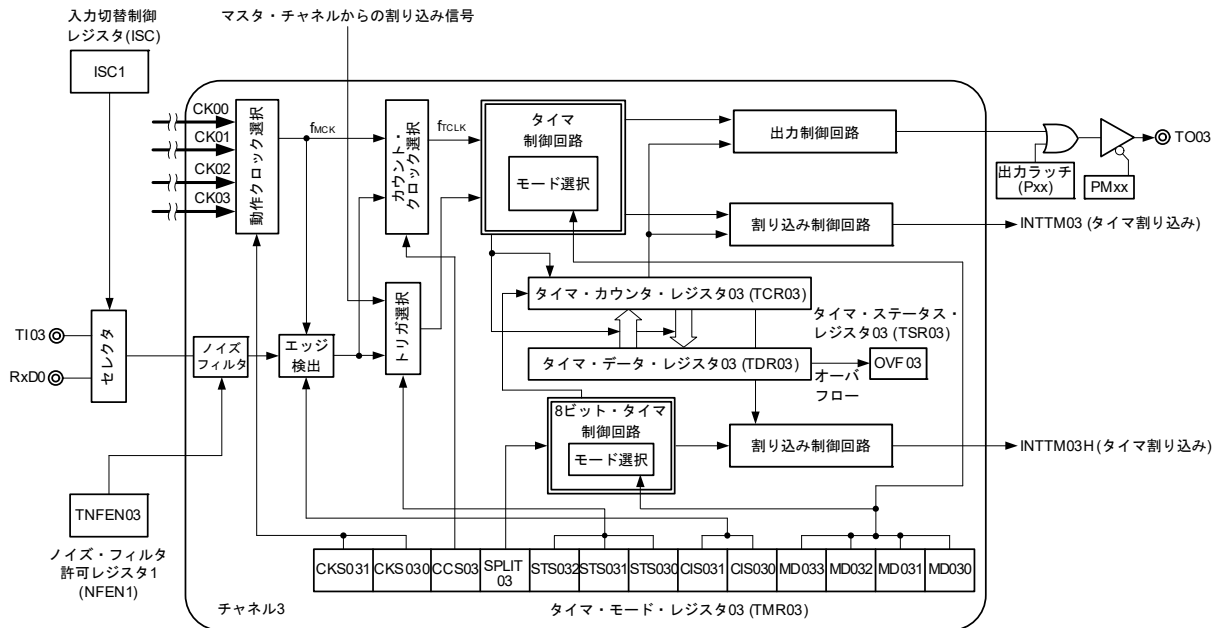


図6-6 タイマ・アレイ・ユニット1の全体ブロック図

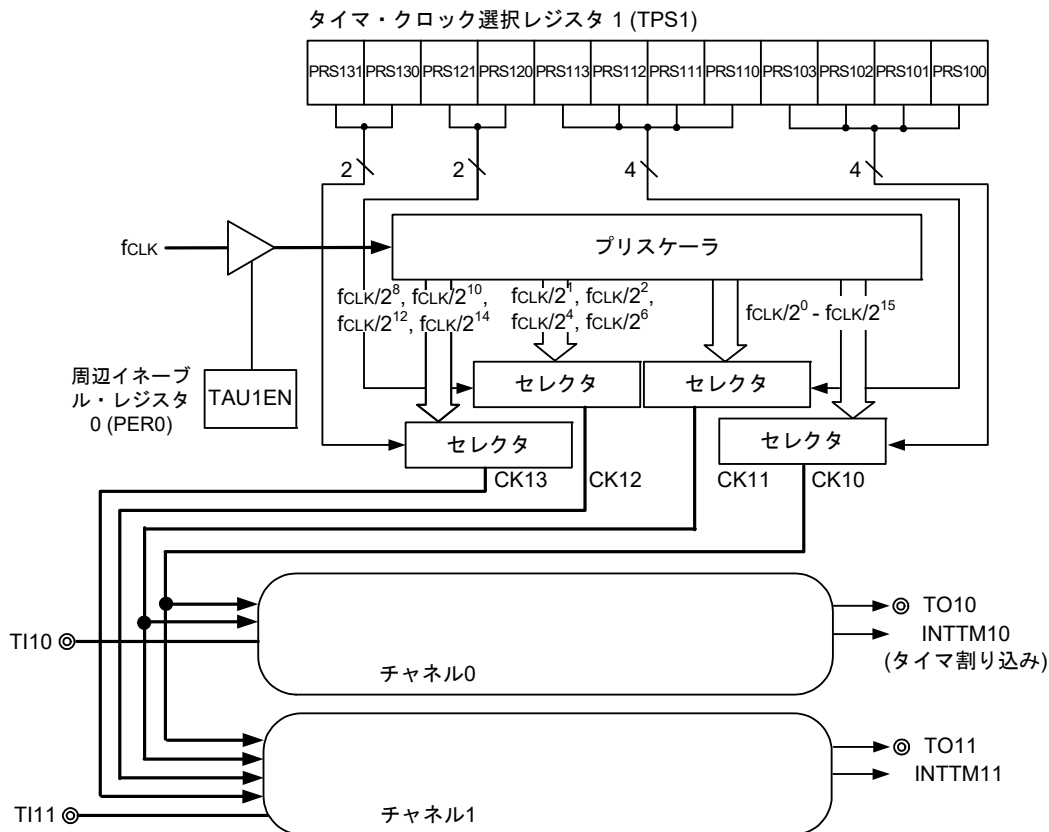


図6-7 タイマ・アレイ・ユニット1のチャンネル0内部ブロック図

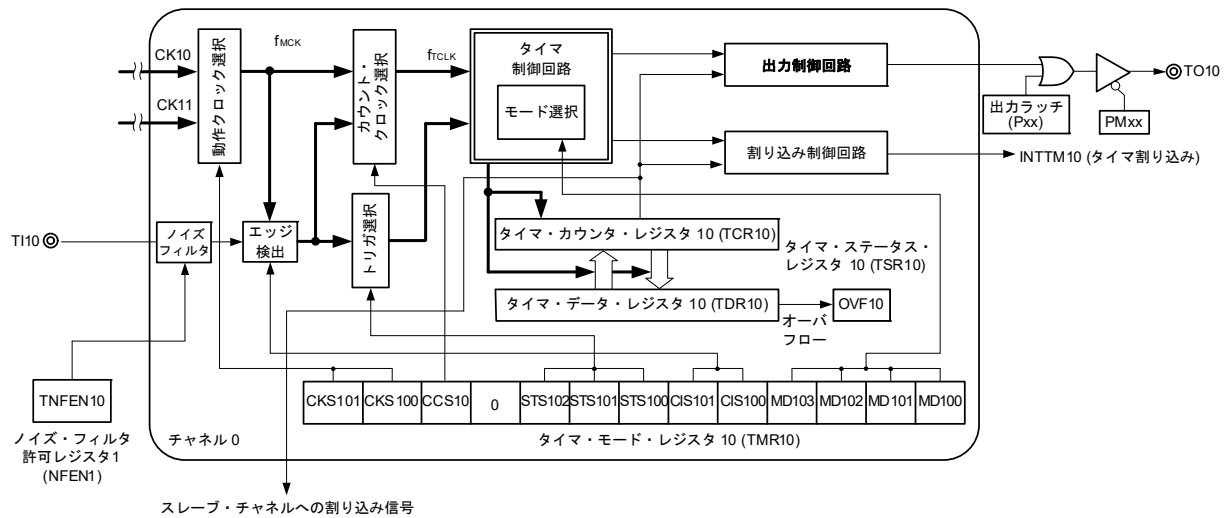
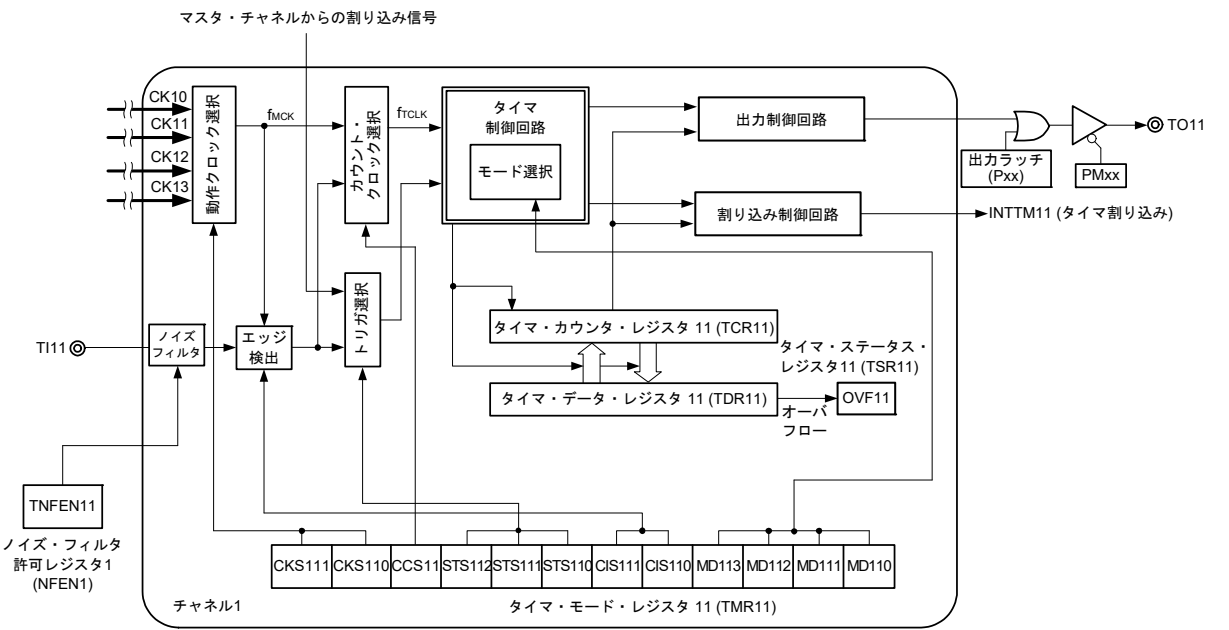


図6-8 タイマ・アレイ・ユニット1のチャンネル1内部ブロック図

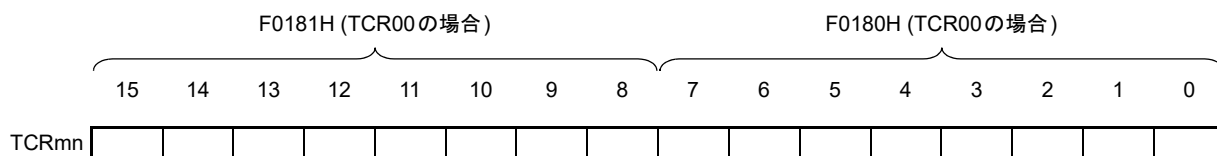


6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります(6.3.3 タイマ・モード・レジスタ mn (TMRmn)参照)。

図6-9 タイマ・カウンタ・レジスタ mn (TCRmn)のフォーマット

アドレス : F0180H, F0181H (TCR00) - F0186H, F0187H (TCR03), リセット時 : FFFFH R
 F01C0H, F01C1H (TCR10), F01C2H, F01C3H (TCR11)



備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

タイマ・カウンタ・レジスタ mn (TCRmn) をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ディレイ・カウンタ・モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn) にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-3 各動作モード時のタイマ・カウンタ・レジスタ mn (TCRmn)読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ & ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値 + 1

注 チャンネル n がタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値が TCRmn レジスタに保持されます。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

6.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDR01, TDR03レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタ01, 03 (TMR01, TMR03)のSPLIT01, SPLIT03ビットが1)に、上位8ビットをTDR01H, TDR03H, 下位8ビットをTDR01L, TDR03Lとして、8ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図6-10 タイマ・データ・レジスタ mn (TDRmn)(n = 0, 2)のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), リセット時 : 0000H R/W
FFF70H, FFF71H (TDR10)

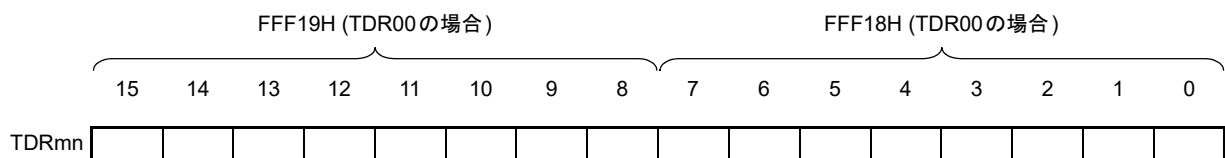
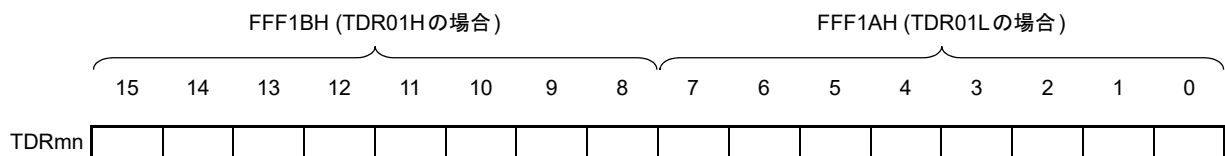


図6-11 タイマ・データ・レジスタ mn (TDRmn)(n = 1, 3)のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03), リセット時 : 0000H R/W
FFF72H, FFF73H (TDR11)



(i) タイマ・データ・レジスタ mn (TDRmn)をコンペア・レジスタとして使用する場合

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号(INTTMmn)を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ mn (TDRmn)をキャプチャ・レジスタとして使用する場合

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn)のカウンタ値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn)で設定します。

備考 m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3), mn = 00-03, 10, 11

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- タイマ・チャンネル開始レジスタ m (TSm)
- タイマ・チャンネル停止レジスタ m (TTm)
- タイマ入力選択レジスタ 0 (TIS0)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2)
- ポート・モード・レジスタ 1 (PM1)
- ポート・レジスタ 1 (P1)

注意 搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

6.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ずビット0 (TAU0EN)を1に設定してください。

タイマ・アレイ・ユニット1を使用する場合は、必ずビット1 (TAU1EN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図6-12 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	TAU1EN	TAU0EN

TAU1EN	タイマ・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初に TAUmEN = 1 の状態で、下記のレジスタの設定を行ってください。TAUmEN = 0 の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます(タイマ入力選択レジスタ0 (TIS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2), ポート・モード・レジスタ1 (PM1), ポート・レジスタ1 (P1)は除く)。

- ・タイマ・ステータス・レジスタ mn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- ・タイマ・チャンネル開始レジスタ m (TSm)
- ・タイマ・チャンネル停止レジスタ m (TTm)
- ・タイマ出力許可レジスタ m (TOEm)
- ・タイマ出力レジスタ m (TOM)
- ・タイマ出力レベル・レジスタ m (TOLm)
- ・タイマ出力モード・レジスタ m (TOMm)

注意2. ビット3, 4, 6には必ず"0"を設定してください。

6.3.2 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で、CKm1はTPSmレジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で、CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm0を選択(CKSmn1, CKSmn0 = 0, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm2を選択(CKSmn1, CKSmn0 = 0, 1)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択(CKSmn1, CKSmn0 = 1, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択(CKSmn1, CKSmn0 = 1, 1)しているチャンネルがすべて停止状態(TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図6-13 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)

アドレス : F01B6H, F01B7H (TPS0), F01F6H, F01F7H (TPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk)の選択 ^注 (k = 0, 1)					
				fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 20 MHz	fCLK = 32 MHz	
0	0	0	0	fCLK	2 MHz	4 MHz	8 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2 MHz	4 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1 MHz	2 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 ³	250 kHz	500 kHz	1 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	250 kHz	500 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	125 kHz	250 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	62.5 kHz	125 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	31.3 kHz	62.5 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	7.81 kHz	15.6 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	19.5 kHz	31.25 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	1.95 kHz	3.91 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	977 Hz	1.95 kHz	4.88 kHz	7.81 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	488 Hz	977 Hz	2.44 kHz	3.91 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	244 Hz	488 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 ¹⁵	61.0 Hz	122 Hz	244 Hz	610 Hz	977 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。

動作クロック (fMCK), TImn 端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット 15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック (CKmk)にfCLK (分周なし)を選択し、TDRnm = 0000H (n = 0, 1, m = 0-3)を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するクロックの波形は、立ち上がりからfCLKの1周期分だけハイ・レベルになります (m = 1-15)。詳しくは、6.5.1 カウント・クロック (fCLK)を参照してください。

図6-14 タイマ・クロック選択レジスタm (TPSm)のフォーマット(2/2)

アドレス : F01B6H, F01B7H (TPS0), F01F6H, F01F7H (TPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2)の選択注					
		fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 20 MHz	fCLK = 32 MHz	
0	0	fCLK/2	1 MHz	2 MHz	4 MHz	10 MHz	16 MHz
0	1	fCLK/2 ²	500 kHz	1 MHz	2 MHz	5 MHz	8 MHz
1	0	fCLK/2 ⁴	125 kHz	250 kHz	500 kHz	1.25 MHz	2 MHz
1	1	fCLK/2 ⁶	31.3 kHz	62.5 kHz	125 kHz	313 kHz	500 kHz

PRS m31	PRS m30	動作クロック (CKm3)の選択注					
		fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 20 MHz	fCLK = 32 MHz	
0	0	fCLK/2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	78.1 kHz	125 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	19.5 kHz	31.3 kHz
1	0	fCLK/2 ¹²	488 Hz	977 kHz	1.95 kHz	4.88 kHz	7.81 kHz
1	1	fCLK/2 ¹⁴	122 Hz	244 Hz	488 Hz	1.22 kHz	1.95 kHz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。

動作クロック(fmck)、Tlmm端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表6-4に示すインターバル時間を実現することが可能です。

表6-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注(fCLK = 32 MHz)			
		10 μs	100 μs	1 ms	10 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 ²	○	—	—	—
	fCLK/2 ⁴	○	○	—	—
	fCLK/2 ⁶	○	○	—	—
CKm3	fCLK/2 ⁸	—	○	○	—
	fCLK/2 ¹⁰	—	○	○	—
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2ⁿの詳細は、6.5.1 カウント・クロック(fCLK)を参照してください。

6.3.3 タイマ・モード・レジスタ mn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fMCK)の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード(インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント)設定を行います。

TMRmnレジスタは、動作中(TEmn = 1のとき)の書き換えは禁止です。ただし、ビット7, 6 (CISmn1, CISmn0)は、一部の機能で動作中(TEmn = 1のとき)の書き換えが可能です(詳細は6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2:	MASTERmnビット(n = 2)
TMR01, TMR03:	SPLIT0nビット(n = 1, 3)
TMR11:	0 固定
TMRm0:	0 固定

図6-15 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W
 F01D0H, F01D1H (TMR10) , F01D2H, F01D3H (TMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=1,3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR11	CKS 111	CKS 110	0	CCS 11	0	STS 112	STS 111	STS 110	CIS 111	CIS 110	0	0	MD 113	MD 112	MD 111	MD 110
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fmck)の選択
0	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm3
動作クロック (fmck)は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (fclk)を生成します。		
動作クロック CKm2, CKm3は、チャンネル1, 3のみ選択可能です。		

CCSmn	チャンネルnのカウント・クロック (fclk)の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (fmck)
1	ユニット0の場合 : チャンネル0では、TIS0レジスタで選択した入力信号の有効エッジ チャンネル1では、TIS0レジスタで選択した入力信号の有効エッジ チャンネル3では、ISCレジスタで選択した入力信号の有効エッジ
カウント・クロック (fclk)は、カウンタ、出力制御回路、割り込み制御回路に使用されます。	

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

- 注意1. 機能が割り当てられていないビットには、必ず0を設定してください。
- 注意2. カウント・クロック (fclk)にCKSmn0, CKSmn1ビットで指定した動作クロック (fmck), TImn端子からの入力信号の有効エッジのどれを選択していても、fclkに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH)させてください。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

図6-16 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(2/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W
 F01D0H, F01D1H (TMR10) , F01D2H, F01D3H (TMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=1,3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR11	CKS 111	CKS 110	0	CCS 11	0	STS 112	STS 111	STS 110	CIS 111	CIS 110	0	0	MD 113	MD 112	MD 111	MD 110
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn(n=2)のビット11)

MASTERmn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作(スレーブ／マスタ)の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2のみマスタ・チャンネル(MASTERmn = 1)に設定できます。 チャンネル0は0固定となります(チャンネル0は最上位チャンネルのため, このビットの設定によらずマスタとして動作します)。 また, 単独チャンネル動作機能として使用するチャンネルは, MASTERmn = 0にします。	

(TMR0n (n = 1, 3)のビット11)

SPLIT0n	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効(他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用(複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注 ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

図6-17 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(3/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

F01D0H, F01D1H (TMR10) , F01D2H, F01D3H (TMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=1,3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR11	CKS 111	CKS 110	0	CCS 11	0	STS 112	STS 111	STS 110	CIS 111	CIS 110	0	0	MD 113	MD 112	MD 111	MD 110
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	TImn 端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISmn1-CISmn0ビット = 10Bに設定してください。		

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

備考 m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3), mn = 00-03, 10, 11

図6-18 タイマ・モード・レジスタ mn (TMRmn)のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時 : 0000H R/W

F01D0H, F01D1H (TMR10), F01D2H, F01D3H (TMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n (n=1,3)	CKS 0n1	CKS 0n0	0	CCS 0n	SPLIT 0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR11	CKS 111	CKS 110	0	CCS 11	0	STS 112	STS 111	STS 110	CIS 111	CIS 110	0	0	MD 113	MD 112	MD 111	MD 110
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/方形波出力/分周器機能/ PWM出力(マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ワンショット・パルス出力/ PWM出力(スレーブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・ モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウンタ
上記以外			設定禁止		
各モードの動作は、MDmn0ビットによって変わります(下表を参照)。					

動作モード(MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード(0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ワンカウント・モード注2 (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
・キャプチャ&ワンカウント・ モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。

- 注1. ビット11はRead onlyの0固定で、書き込みは無視されます。
- 注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力(INTTMmn), T0mn出力は制御しません。
- 注3. 動作中にスタート・トリガ(TSmn = 1)がかかると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

6.3.4 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B)のみ有効です。各動作モードにおけるOVFビットの動作とセット/クリア条件は表6-5を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図6-19 タイマ・ステータス・レジスタ mn (TSRmn)のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01A6H, F01A7H (TSR03) リセット時 : 0000H R
 F01E0H, F01E1H (TSR10), F01E2H, F01E3H (TSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア(OVF = 0)されます。	

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

表6-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm) の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図6-20 タイマ・チャンネル許可ステータス・レジスタ m (TEm) のフォーマット

アドレス : F01B0H, F01B1H (TE0), F01F0H, F01F1H (TE1)

リセット時 : 0000H R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	0	0	0	0	TEm3	TEm2	TEm1	TEm0
-----	---	---	---	---	-----------	---	-----------	---	---	---	---	---	------	------	------	------

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEm n	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
ユニット0のチャンネル1, 3が8ビット・タイマ・モード時は、TE01, TE03で下位側8ビット・タイマの動作許可／停止状態を表示します。	

注意 TE1レジスタのTEH13, TEH11, TE13, TE12ビットは、常に初期値が読み出されます。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

6.3.6 タイマ・チャンネル開始レジスタ m (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタ mn (TCRmn)を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが1にセットされます。Tsmn, TSH01, TSH03ビットはトリガ・ビットなので、動作許可状態(TEmn, TEH01, TEH03 = 1)になるとすぐTsmn, TSH01, TSH03ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TsmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図6-21 タイマ・チャンネル開始レジスタ m (TSm)のフォーマット

アドレス : F01B2H, F01B3H (TS0), F01F2H, F01F3H (TS1)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	0	0	0	0	TSm3	TSm2	TSm1	TSm0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSm n	チャンネルnの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。 ユニット0のチャンネル1, 3が8ビット・タイマ・モード時は、Tsm1, Tsm3が下位側8ビット・タイマの動作許可(スタート)トリガになります。

(注意、備考は次ページにあります。)

注意1. ビット15-12, 10, 8-4には必ず0を設定してください。

注意2. TImn 端子入力を使用しない機能から、TImn 端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ mn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn 端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn 端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

注意3. TS1 レジスタの TSH13, TSH11, TS13, TS12 ビットには初期値以外を設定しないでください。

備考1. TSm レジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

6.3.7 タイマ・チャンネル停止レジスタ m (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが0にクリアされます。TTmn, TTH01, TTH03 ビットはトリガ・ビットなので、動作停止状態 (TEmn, TEH01, TEH03 = 0)になるとすぐTTmn, TTH01, TTH03 ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図6-22 タイマ・チャンネル停止レジスタ m (TTm)のフォーマット

アドレス : F01B4H, F01B5H (TT0), F01F4H, F01F5H (TT1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TTm	0	0	0	0	TTH m3	0	TTH m1	0	0	0	0	0	0	TTm3	TTm2	TTm1	TTm0

TTH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTm n	チャンネルnの動作停止トリガ
0	TEmnビットを0にクリアし、カウント動作停止状態になる。
1	動作停止(停止トリガ発生) ユニット0のチャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意1. ビット15-12, 10, 8-4には必ず0を設定してください。

注意2. TT1レジスタのTTH13, TTH11, TT13, TT12ビットには初期値以外を設定しないでください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

6.3.8 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、ユニット0のチャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図6-23 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00

TIS04	チャンネル0で使用するタイマ入力の選択
0	タイマ入力端子(TI00)の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子(TI01)の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子(TI01)の入力信号
0	1	1	タイマ入力端子(TI01)の入力信号
1	0	0	低速オンチップ・オシレータ・クロック (fil)
上記以外			設定禁止

注意1. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK} + 10$ ns以上必要となります。

注意2. タイマ入力選択レジスタ0 (TIS0)で、ELCからのイベント入力信号を選択する場合、タイマ・クロック選択レジスタ0 (TPS0)はfCLKを選択してください。

6.3.9 タイマ出力許可レジスタ m (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えることができなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図6-24 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0), F01FAH, F01FBH (TOE1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	0	0	0	0	TOE m3	TOE m2	TOE m1	TOE m0

TOE mn	チャンネル n のタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視されます。

注意1. ビット 15-4 には必ず 0 を設定してください。

注意2. TOE1 レジスタの TOE13, TOE12 ビットには初期値以外を設定しないでください。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

6.3.10 タイマ出力レジスタ m (TOm)

TOmレジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子(TOmn)から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時(TOEmn = 0)のみ可能です。タイマ出力許可時(TOEmn = 1)は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、TI00/TO00, TI01/TO01, TI02/TO02, TI03/TO03, TI10/TO10, TI11/TO11をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000Hになります。

図6-25 タイマ出力レジスタ m (TOm)のフォーマット

アドレス : F01B8H, F01B9H (TO0), F01F8H, F01F9H (TO1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	0	0	0	0	TOm3	TOm2	TOm1	TOm0

TOm n	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意1. ビット15-4には必ず0を設定してください。

注意2. TO1レジスタのTO13, TO12ビットには初期値以外を設定しないでください。

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

6.3.11 タイマ出力レベル・レジスタ m (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図6 - 26 タイマ出力レベル・レジスタ m (TOLm)のフォーマット

アドレス : F01BCH, F01BDH (TOL0), F01FCH, F01FDH (TOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	0	0	0	0	TOLm 3	TOLm 2	TOLm 1	0

TOLmn	チャンネルnのタイマ出力レベルの制御														
0	正論理出力(アクティブ・ハイ)														
1	反転出力(アクティブ・ロウ)														

注意1. ビット15-4, 0には必ず0を設定してください。

注意2. TOL1レジスタのTOL13, TOL12ビットには初期値以外を設定しないでください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

6.3.12 タイマ出力モード・レジスタ m (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能(PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可(TOEmn = 1)時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図6-27 タイマ出力モード・レジスタ m (TOMm)のフォーマット

アドレス : F01BEH, F01BFH (TOM0), F01FEH, F01FFH (TOM1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	0	0	0	0	TOM m3	TOM m2	TOM m1	0
TOM mn	チャンネルnのタイマ出力モードの制御															
0	マスタ・チャンネル出力モード(タイマ割り込み要求信号(INTTMmn)によりトグル出力を行う)															
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号(INTTMmn)で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号(INTTMmp)で出力がリセットされる)															

注意1. ビット15-4, 0には必ず0を設定してください。

注意2. TOM1レジスタのTOM13, TOM12ビットには初期値以外を設定しないでください。

備考 m : ユニット番号(m = 0, 1)

n : チャンネル番号(n = 0-3)

(マスタ・チャンネル時 : mn = 00, 02, 10)

p : スレーブ・チャンネル番号(p = 1-3)

ユニット0 : n = 0のとき, mp = 01-03

n = 2のとき, mp = 03

ユニット1 : n = 0のとき, mp = 11

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。)

6.3.13 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、チャンネル3をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。ISC1ビットに1を設定すると、シリアル・データ入力端子(RxD0)の入力信号がタイマ入力として選択されます。

SSIE00ビットの設定については、19.3.15 入力切り替え制御レジスタ (ISC)を参照してください。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図6 - 28 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0

SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0の $\overline{\text{SSI00}}$ 入力の設定
0	$\overline{\text{SSI00}}$ 端子入力の無効
1	$\overline{\text{SSI00}}$ 端子入力の有効

ISC1	タイマ・アレイ・ユニット0のチャンネル3の入力切り替え
0	TI03端子の入力信号をタイマ入力とする(通常動作)
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。

ISC0	外部割り込み(INTP0)の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)

注意 ビット6-2に必ず0を設定してください。

備考 LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

6.3.14 ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2)

NFEN1, NFEN2 レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います注。

NFEN1, NFEN2 レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1, NFEN2 レジスタは00Hになります。

注 詳細は、6.5.1 (2) TImn 端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、6.5.2 カウンタのスタート・タイミング、6.7 タイマ入力 (TImn) の制御を参照してください。

図6-29 ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

アドレス : F0072H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	0	0	0	TNFEN11	TNFEN10

TNFEN03	TI03端子またはRxD0端子の入力信号のノイズ・フィルタ使用可否注
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN11	TI11端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN10	TI10端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

注 入力切り替え制御レジスタ (ISC)のISC1ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0に設定 : TI03端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定 : RxD0端子のノイズ・フィルタ使用可否選択が可能

6.3.15 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ1(PM1)、ポート・レジスタ1(P1))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ(PMxx)、4.3.2 ポート・レジスタ(Pxx)を参照してください。

タイマ出力端子を兼用するポート(P10/TO01、P11/TO03など)をタイマ出力として使用するときは、各ポートに対応するポート・モード・レジスタ1(PM1)のビットおよびポート・レジスタ1(P1)のビットに0を設定してください。

- (例) P10/TO01をタイマ出力として使用する場合
- ポート・モード・レジスタ1のPM10ビットを0に設定
 - ポート・レジスタ1のP10ビットを0に設定

タイマ入力端子を兼用するポート(P10/TI01、P11/TI03など)をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ1(PM1)のビットに1を設定してください。このときポート・レジスタ1(P1)のビットは、0または1のどちらでもかまいません。

- (例) P10/TI01をタイマ入力として使用する場合
- ポート・モード・レジスタ1のPM10ビットを1に設定
 - ポート・レジスタ1のP10ビットを0または1に設定

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期をカウントする基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本的なルールを示します。

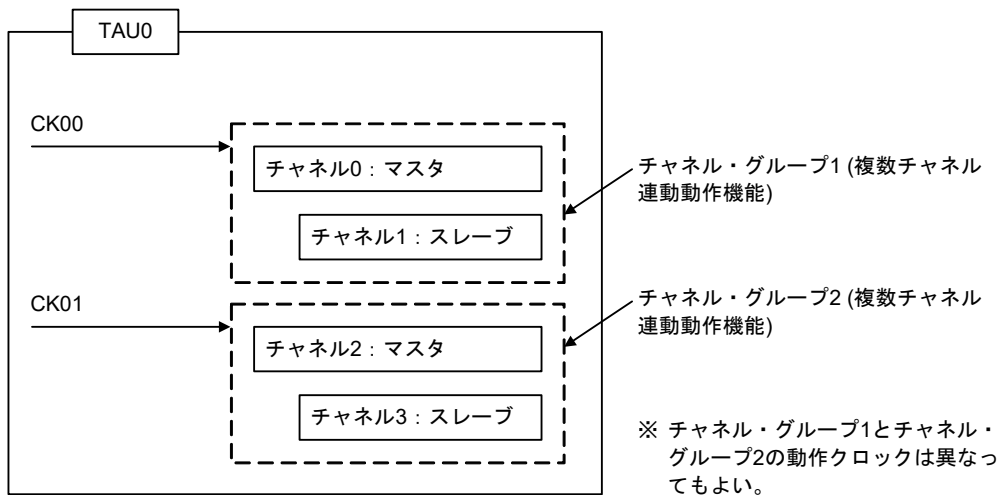
- (1) マスタ・チャンネルには、偶数チャンネル(チャンネル0, チャンネル2)のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル0をマスタ・チャンネルにした場合、チャンネル1以降(チャンネル1, チャンネル2, チャンネル3)をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル2をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1をスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル3をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット(タイマ・モード・レジスタmn (TMRmn)のビット15, 14)が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット(TSmn)を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット(TTmn)を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0)は、マスタ・ビットがなく、“0”に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ(1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

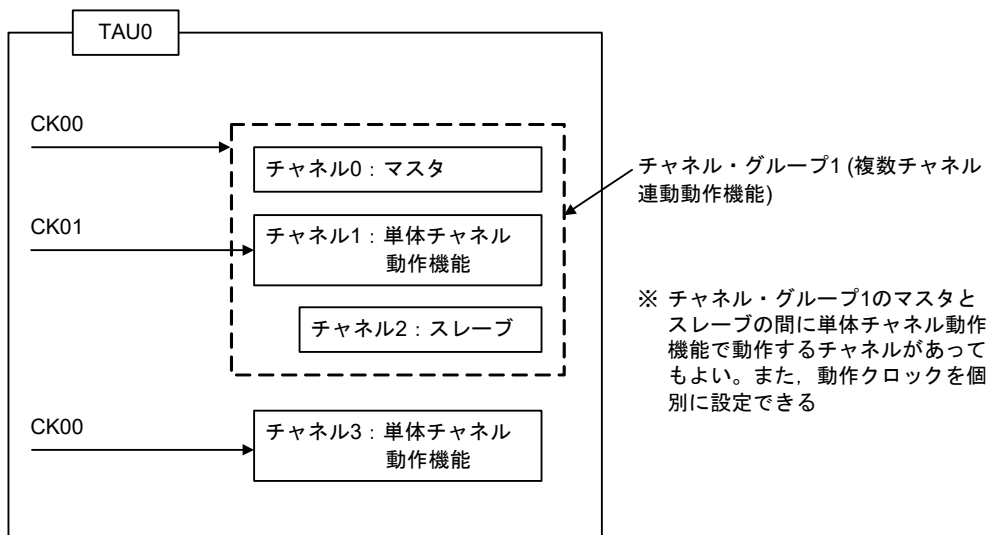
それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

例1



例2



6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビット・タイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、ユニット0のチャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn (TMRmn) の SPLITmn ビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に INTTm1H/INTTm3H (割り込み) を出力します (MDmn0 =1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットの TMRmn レジスタの CKSmn1, CKSmn0 ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3 ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3 ビットで確認できます。
- (7) 下位8ビットは、TMRmn レジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の4機能です。
 - ・インターバル・タイマ機能
 - ・方形波出力機能
 - ・外部イベント・カウンタ機能
 - ・ディレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3 ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3 ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3 ビットを操作することでチャンネル1, 3が動作します。TEHm3 ビットと TEHm1 ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能(ワンショット・パルス, PWM, 多重PWM)を使用することはできません。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 1, 3), mn = 01, 03

6.5 カウンタの動作

6.5.1 カウント・クロック (fTCLK)

タイマ・アレイ・ユニットのカウント・クロック (fTCLK) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

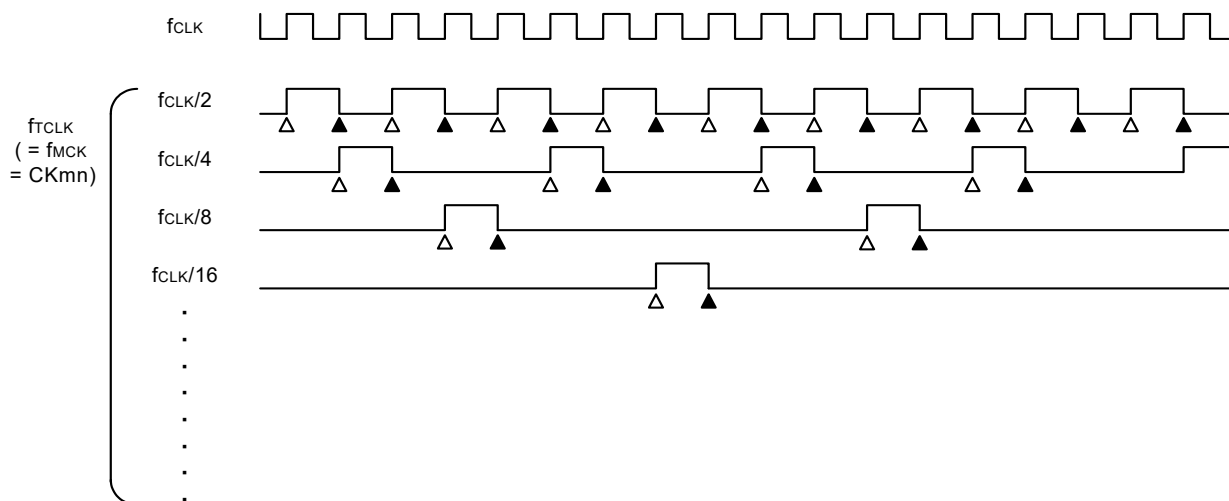
タイマ・アレイ・ユニットは、fCLK との同期をとって動作するように設計されているため、カウント・クロック (fTCLK) のタイミングは次のようになります。

- (1) CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (fTCLK) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、fCLK ~ fCLK/2¹⁵ となります。ただし、fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の 1 周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6-30 fCLK とカウント・クロック (fTCLK) のタイミング (CCSmn = 0 時)



備考1. ▲ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

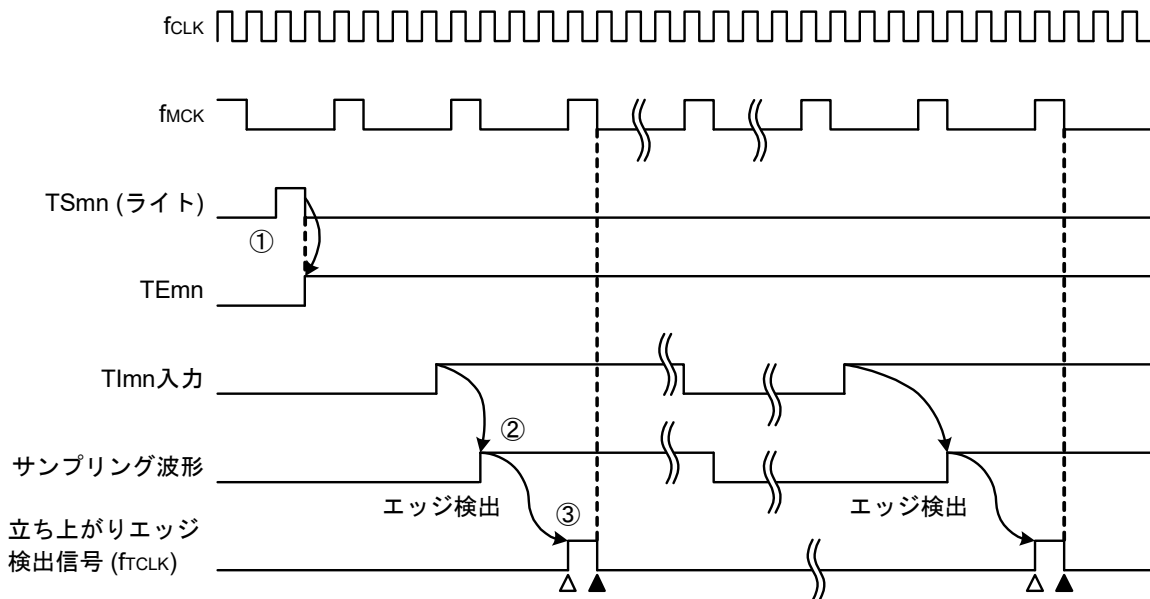
備考2. fCLK : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (fCLK) は、TImn 端子からの入力信号の有効エッジを検出し、次の fMCK の立ち上がり同期した信号になります。これは、実際の TImn 端子からの入力信号より fMCK の 1~2 クロック分遅れた信号になります (ノイズ・フィルタ使用時は、fMCK の 3~4 クロック分遅れます)。

また、タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるためにカウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上 “TImn 端子からの入力信号の有効エッジでカウントする” と表現します。

図6-31 カウント・クロック (fCLK) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)



- ① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。
- ② TImn 入力の立ち上がりが fMCK でサンプリングされます。
- ③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

備考2. fCLK : CPU / 周辺ハードウェア・クロック

fMCK : チャンネル n の動作クロック

備考3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能の TImn 入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn)は、タイマ・チャンネル開始レジスタ m (TSMn)の TSMn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn)のカウント・スタートまでの動作を、表 6-6 に示します。

表 6-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn)のカウント・スタートまでの動作

タイマの動作モード	TSMn = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出(TSMn = 1)後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSMn ビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.5.3 (3) キャプチャ・モードの動作(入力パルス間隔測定)参照)。
ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態、TSMn ビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態、TSMn ビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.5.3 (5) キャプチャ&ワンカウント・モードの動作(ハイ・レベル幅測定)参照)。

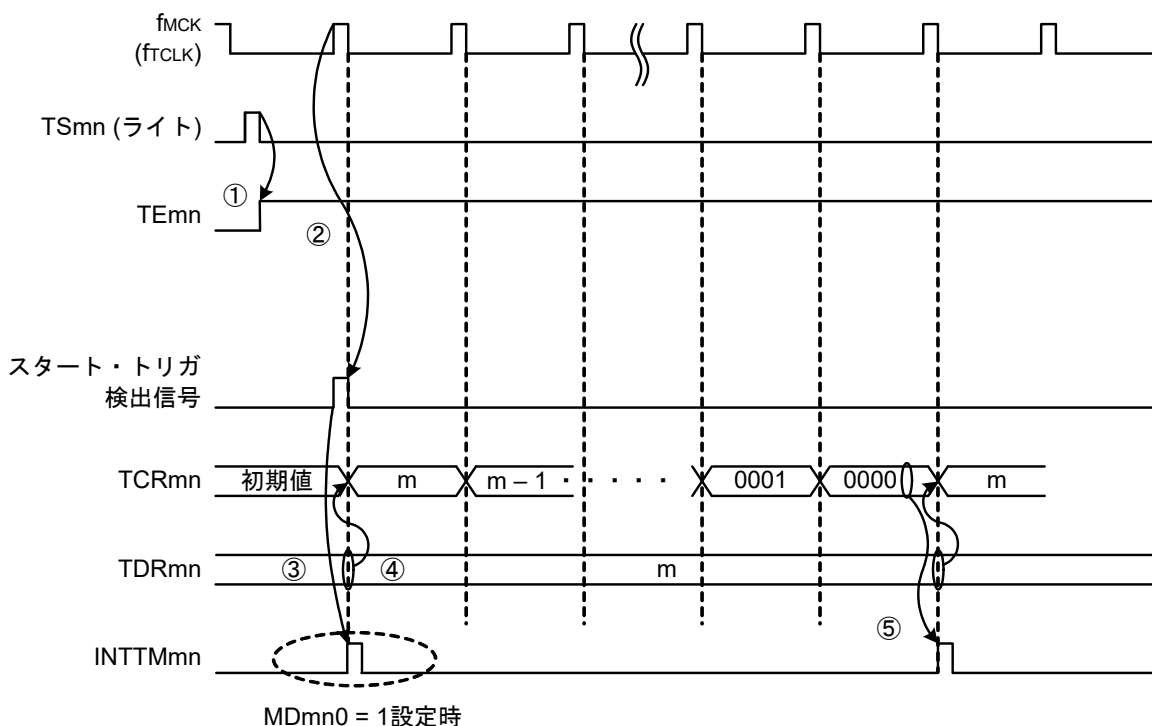
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmn ビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。タイマ・カウンタ・レジスタ mn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック ($fMCK$) で、スタート・トリガが発生します。
- ③ MDmn0 ビットが1に設定されている場合には、スタート・トリガにより、INTTMmn が発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmn レジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック ($fMCK$) で INTTMmn を発生し、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードしてカウントを継続します。

図6-32 動作タイミング(インターバル・タイマ・モード)



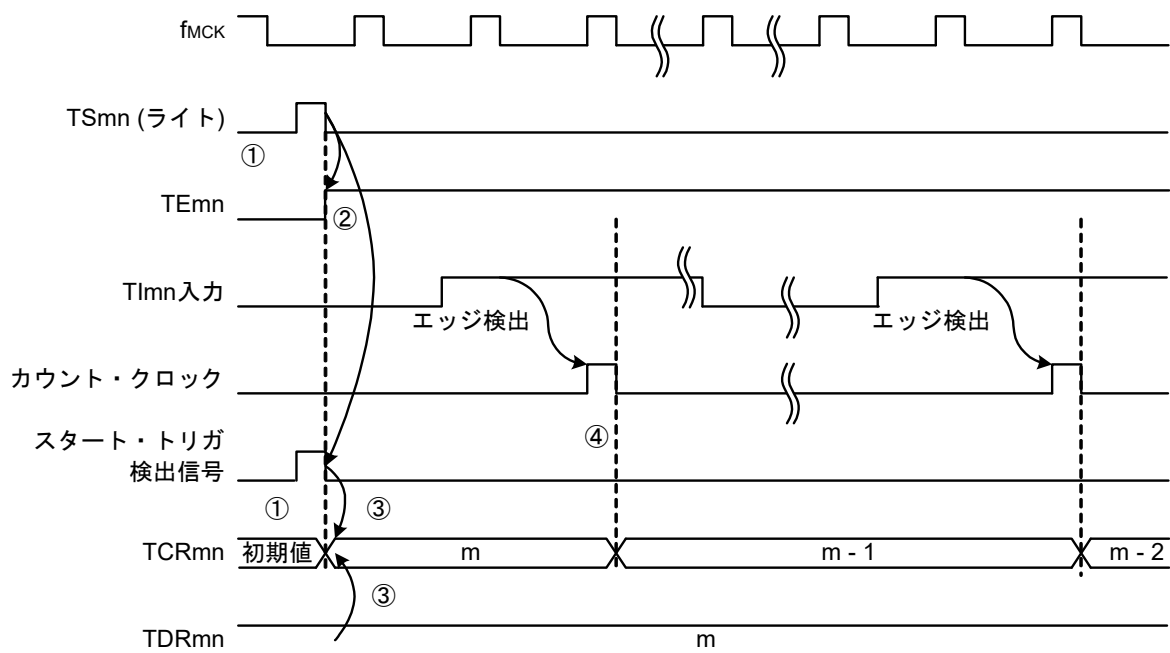
注意 カウント・クロックの1周期目の動作は TSmn ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 fMCK、スタート・トリガ検出信号、INTTMmn は、fCLKに同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ①動作停止状態($TE_{mn} = 0$)の期間, タイマ・カウンタ・レジスタ mn (TCR_{mn})は, 初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより, 動作許可状態($TE_{mn} = 1$)となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に, TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn})の値をロードし, カウントを開始します。
- ④以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い, TCR_{mn} レジスタの値をダウン・カウントします。

図6-33 動作タイミング(イベント・カウンタ・モード)

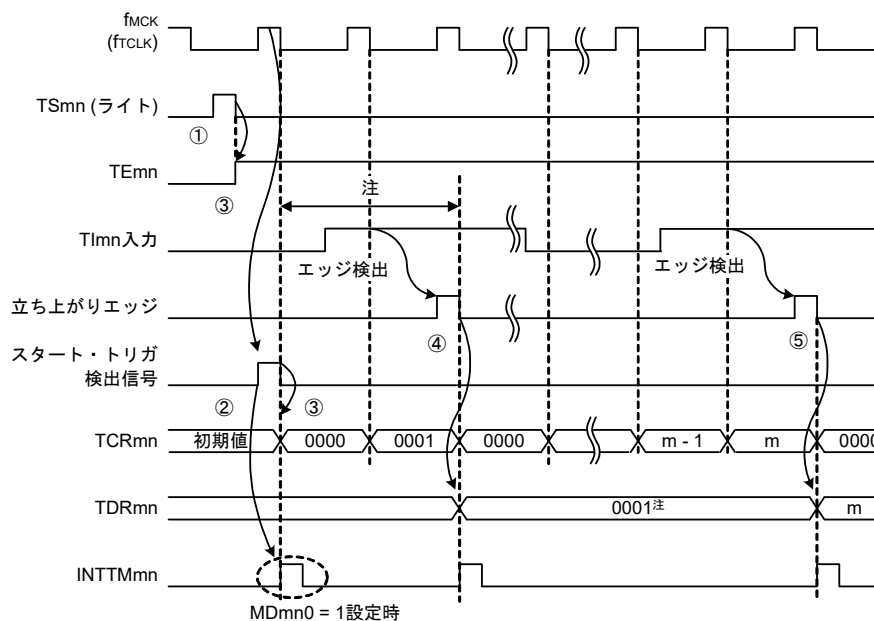


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は TI_{mn} 入力からさらに f_{MCK} の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック (f_{MCK})が非同期なためです。

(3) キャプチャ・モードの動作(入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック (fMCK)で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmn レジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図6-34 動作タイミング(キャプチャ・モード：入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている(トリガがある)場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ(④)でのキャプチャ値はパルス間隔とならない(この例では0001:2クロック分の間隔)ので、無視してください。

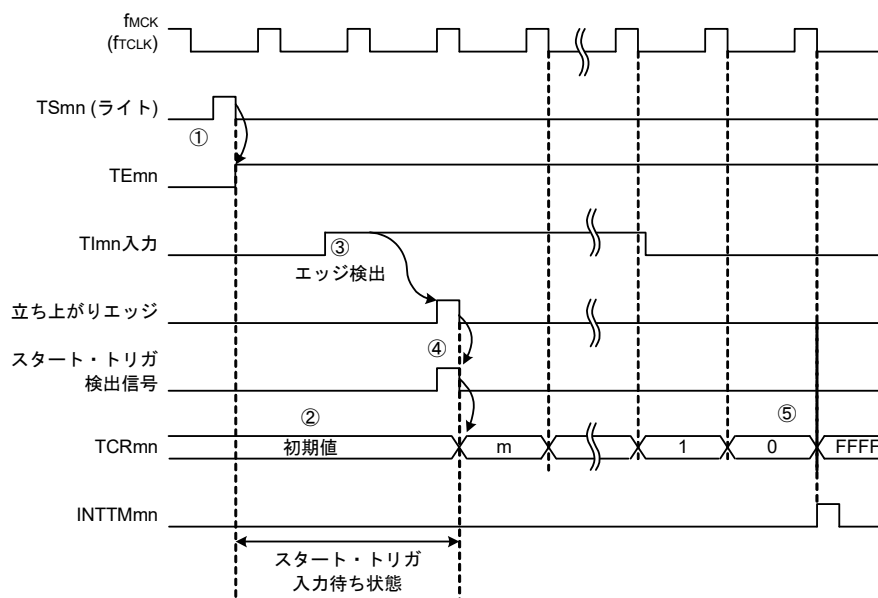
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn)は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値(m)をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図6 - 35 動作タイミング(ワンカウント・モード)

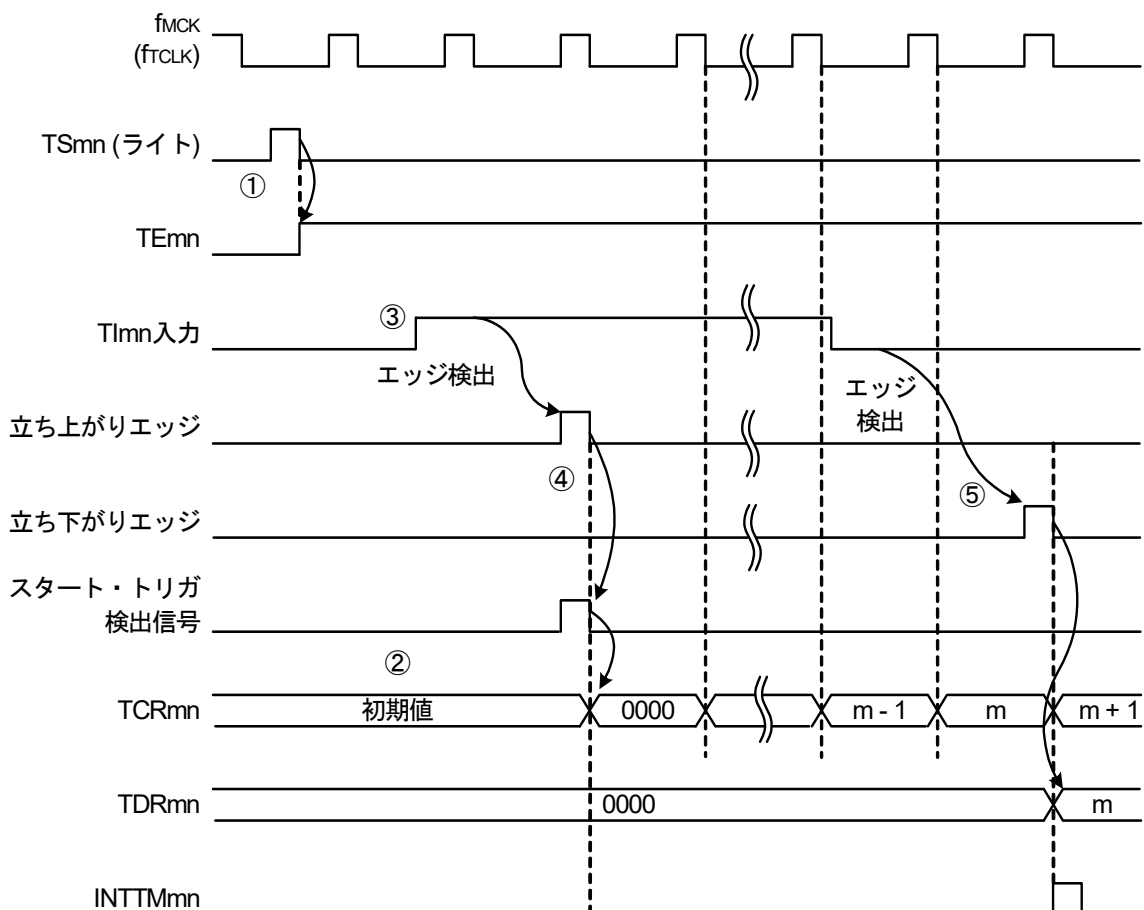


備考 このタイミングはノイズフィルタを使用しないときのタイミングです。ノイズフィルタをオンすると、エッジ検出は TImn 入力からさらに fMCK の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TImn 入力とカウント・クロック (fMCK) が非同期なためです。

(5) キャプチャ & ワンカウント・モードの動作(ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (TS m)のTS m nビットに1を書き込むことにより、動作許可状態 (TE m n = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCR mn)は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCR mn レジスタにロードし、カウントを開始します。
- ⑤ TImn入力の立ち下がりエッジを検出すると、TCR mn レジスタの値をTDR mn レジスタにキャプチャし、INTTM mn 割り込みが発生します。

図6-36 動作タイミング(キャプチャ & ワンカウント・モード: ハイ・レベル幅測定)

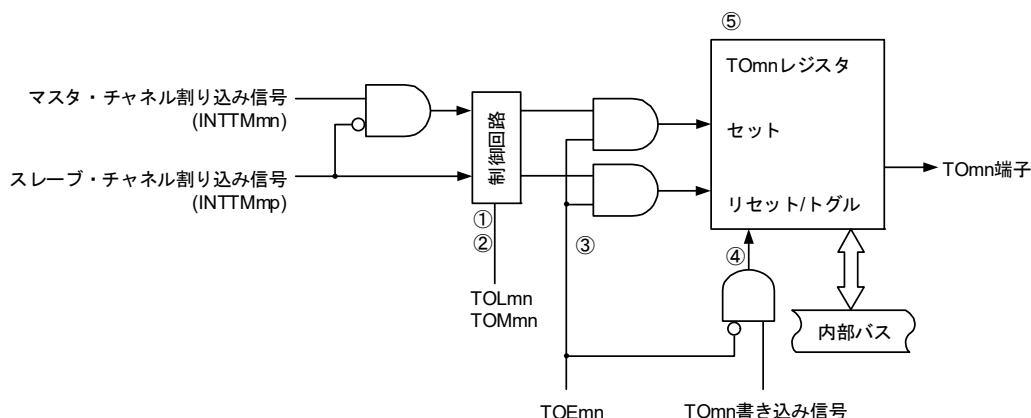


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

6.6 チャンネル出力(TOmn端子)の制御

6.6.1 TOmn端子の出力回路の構成

図6-37 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

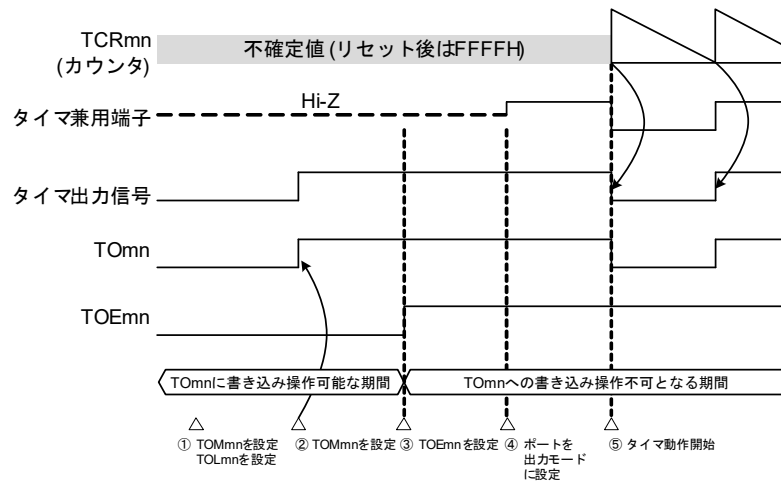
- ①TOMmn = 0 (マスタ・チャンネル出力モード)のときは、タイマ出力レベル・レジスタm (TOLm)の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み)のみがタイマ出力レジスタm (TOm)に伝えられます。
- ②TOMmn = 1 (スレーブ・チャンネル出力モード)のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。
このとき、TOLmレジスタが有効となり、次のように信号を制御します。
TOLmn = 0の場合 : 正転動作 (INTTMmn→セット, INTTMmp→リセット)
TOLmn = 1の場合 : 反転動作 (INTTMmn→リセット, INTTMmp→セット)
また、INTTMmnとINTTMmpが同時に発生した場合(PWM出力の0%出力時)は、INTTMmp (リセット信号)が優先され、INTTMmn (セット信号)はマスクされます。
- ③タイマ出力許可状態(TOE mn = 1)で、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。TOmレジスタへの書き込み(TOmnライト信号)は無効となります。
また、TOE mn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は、タイマ動作停止(TOE mn = 0)に設定しTOmレジスタに値を書き込む必要があります。
- ④タイマ出力禁止状態(TOE mn = 0)で、対象チャンネルのTOmnビットへの書き込み(TOmnライト信号)が有効となります。タイマ出力禁止状態(TOE mn = 0)のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)はTOmレジスタに伝えられません。
- ⑤TOmレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3)
(マスタ・チャンネル時 : mn = 00, 02, 10)
p : スレーブ・チャンネル番号(p = 1-3)
ユニット0 : n = 0のとき, mp = 01-03
 n = 2のとき, mp = 03
ユニット1 : n = 0のとき, mp = 11

6.6.2 TOmn 端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6 - 38 タイマ出力設定から動作開始までの状態変化



①タイマ出力の動作モードを設定します。

- TOMmnビット(0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- TOLmnビット(0 : 正論理出力, 1 : 負論理出力)

②タイマ出力レジスタ m (TOm)を設定することにより, タイマ出力信号が初期状態に設定されます。

③TOEmn ビットに1を書き込み, タイマ出力動作を許可します (TOm レジスタへの書き込みは不可となります)。

④ポートの入出力設定を出力に設定します(6.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑤タイマを動作許可にします(TSmn = 1)。

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

6.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLm,TOMmレジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタ mn (TCRmn), タイマ・データ・レジスタ mn (TDRmn)の動作)は, TOMn 出力回路とは独立しています。よって, タイマ出力レジスタ m (TOM), タイマ出力許可レジスタ m (TOEm), タイマ出力レベル・レジスタ m (TOLm)の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn 端子から出力するためには, 6.8, 6.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み(INTTMmn)近辺で, TOMレジスタを除く TOEmレジスタ, TOLmレジスタの設定値変更を行うと, タイマ割り込み(INTTMmn)信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み(INTTMmn)信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn 端子に出力される波形が異なる場合があります。

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

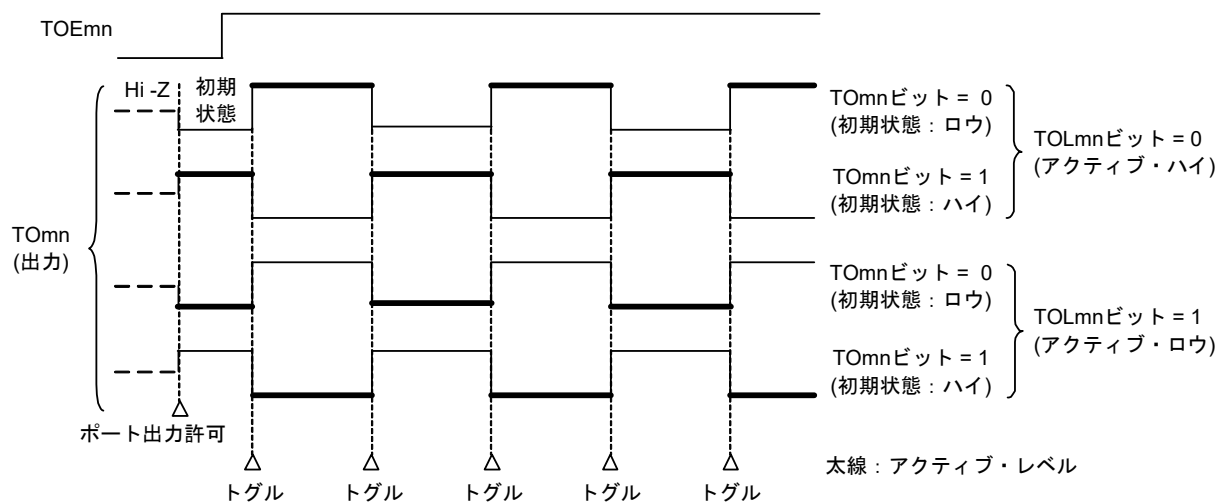
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止(TOEmn = 0)の状態ではタイマ出力レジスタ m (TOM)に書き込みを行い、初期レベル変更後、タイマ出力許可状態(TOEmn = 1)に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード(TOMmn = 0)設定で動作を開始した場合

マスタ・チャンネル出力モード(TOMmn = 0)の時、タイマ出力レベル・レジスタ m (TOLm)の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6 - 39 トグル出力時(TOMmn = 0)のTOmn端子出力状態



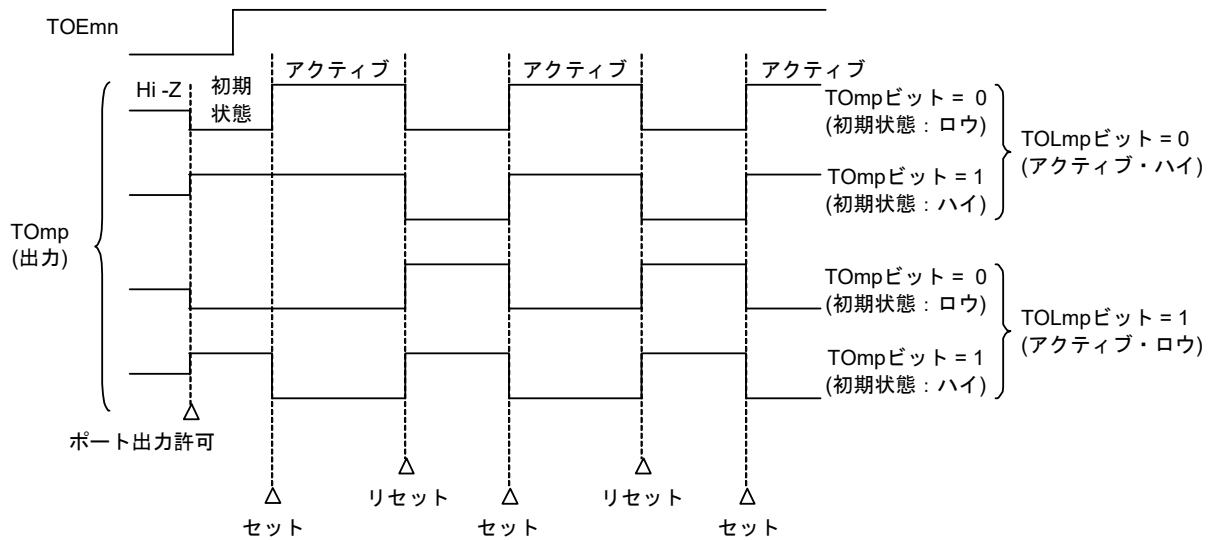
備考1. トグル：TOmn端子の出力状態を反転

備考2. m：ユニット番号(m = 0, 1), n：チャンネル番号(n = 0-3), mn = 00-03, 10, 11

(b) スレーブ・チャンネル出力モード (TOMmn = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOMmn = 1) の時、タイマ出力レベル・レジスタ m (TOLmn) の設定によりアクティブ・レベルを決定します。

図6 - 40 PWM出力時 (TOMmn = 1) の TOmn 端子出力状態



備考1. セット : TOmp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOmp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (p = 1-3), p : スレーブ・チャンネル番号 (p = 1-3),

mn = 01-03, 10, 11, mp = 01-03, 11

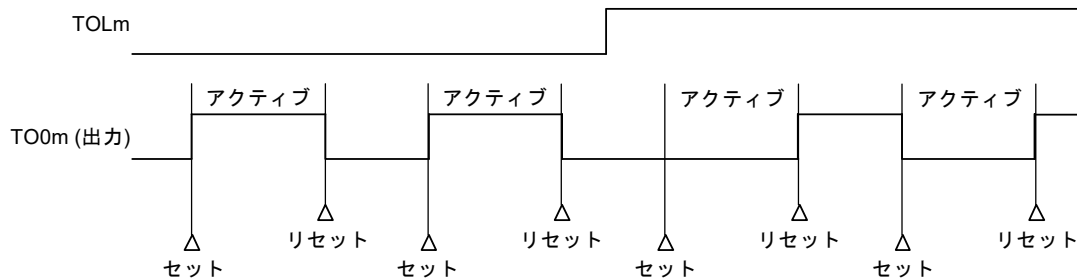
(3) TOMn端子のスレーブ・チャンネル出力モード(TOMmn = 1)での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm (TOLm)の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOMn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOMn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中(TEmn = 1)にTOLmレジスタの値を変更した場合の動作を次に示します。

図6 - 41 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット：TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0, 1), n：チャンネル番号(n = 0-3), mn = 00-03, 10, 11

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み(INTTMmn)発生時のTOMn端子/TOMnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

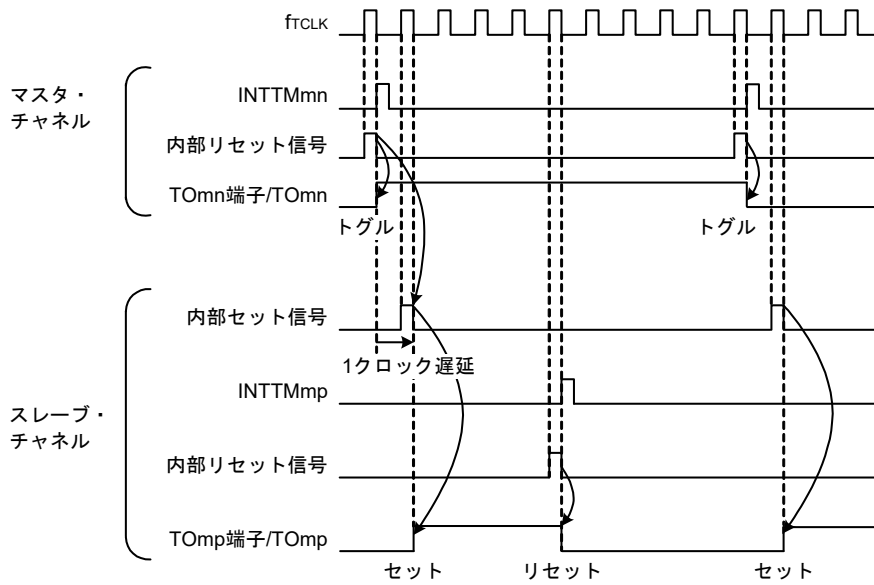
マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図6 - 42に示します。

マスタ・チャンネル：TOEmn = 1, TOMmn = 0, TOLmn = 0

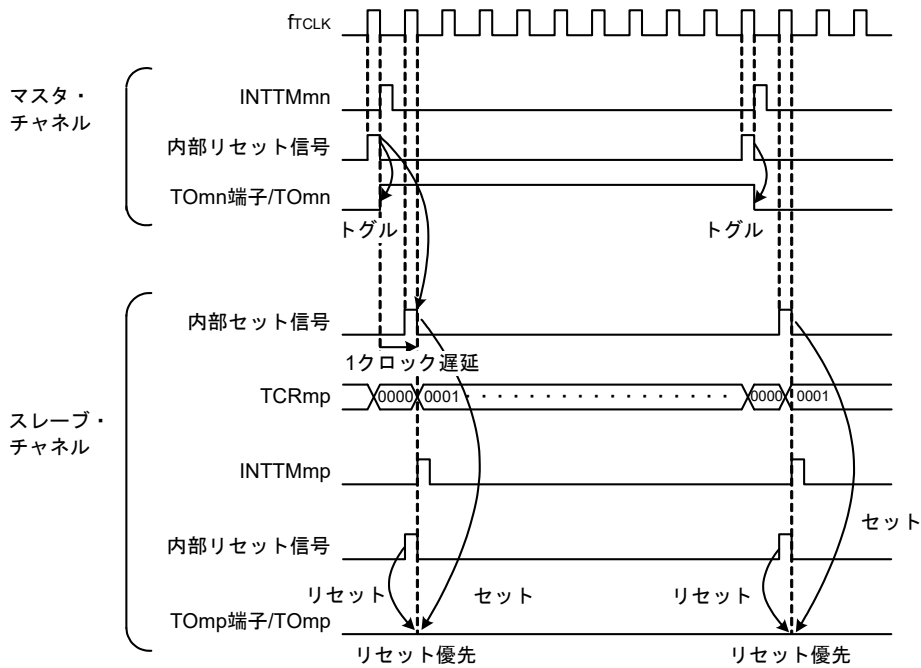
スレーブ・チャンネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6-42 セット/リセット・タイミング動作状態

(1)基本動作タイミング



(2) 0%デューティ時の動作タイミング



備考1. 内部リセット信号 : TO_{mn} 端子のリセット/トグル信号

内部セット信号 : TO_{mn} 端子のセット信号

備考2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

(マスタ・チャンネル時 : mn = 00, 02, 10)

p : スレーブ・チャンネル番号

ユニット0 : n = 0のとき, mp = 01-03

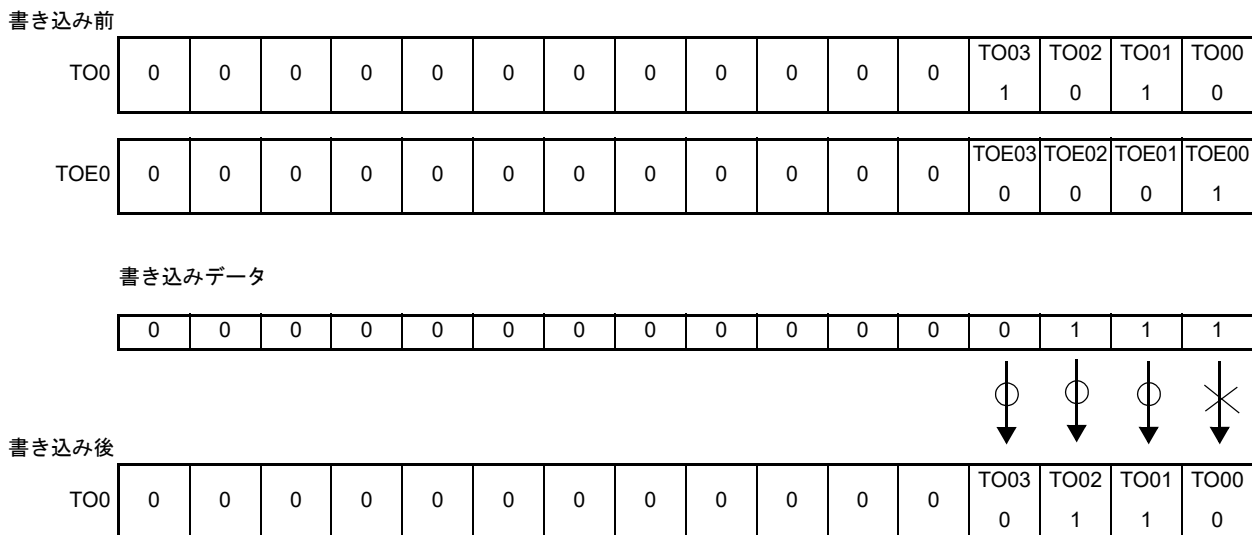
n = 2のとき, mp = 03

ユニット1 : n = 0のとき, mp = 11

6.6.4 TOmnビットの一括操作

タイマ出力レジスタ m (TOm)には、タイマ・チャンネル開始レジスタ m (TSm)と同様に、1レジスタに全チャンネル分の設定ビット(TOmn)が配置されています。よって、全チャンネルのTOmnビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力(TOmn)のみTOmnビットへの書き込み可能(TOEmn = 0)とすることによって任意のビットのみ操作することが可能です。

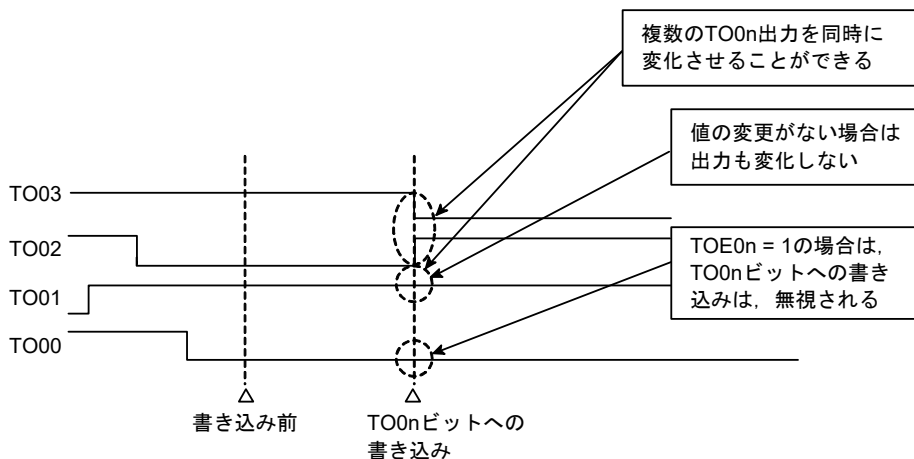
図6 - 43 TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャンネル出力)は、書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6 - 44 TO0nビットの一括操作によるTO0nの端子状態



備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3), mn = 00-03, 10, 11

6.6.5 カウント動作開始時のタイマ割り込みと T0mn 端子出力について

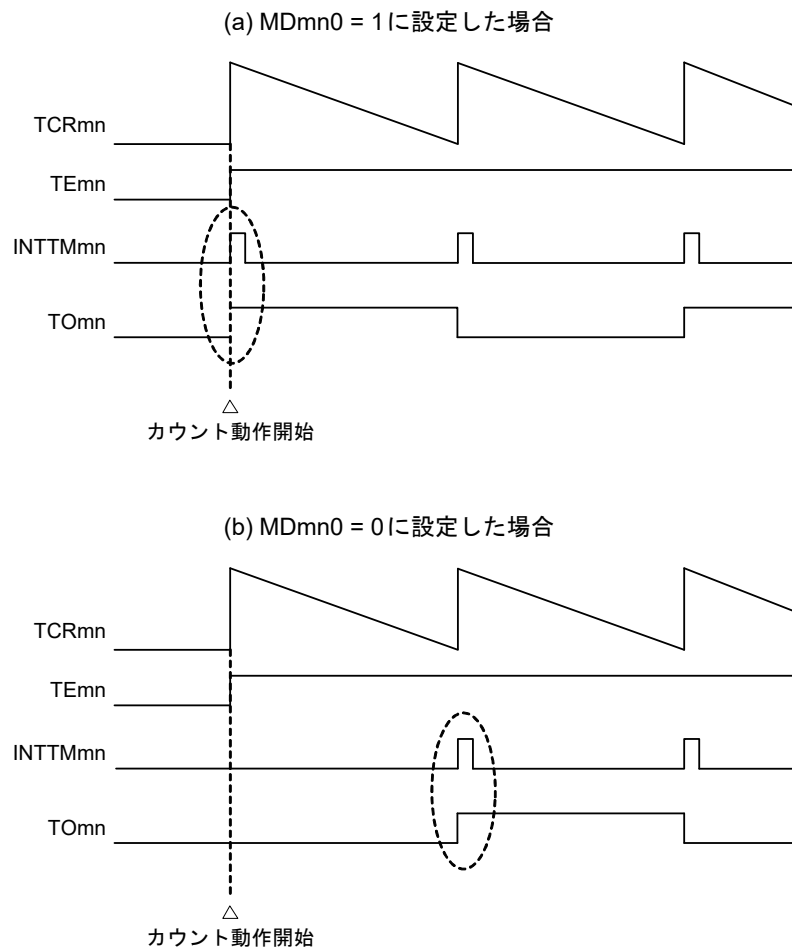
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、T0mn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6-45 カウント動作開始時のタイマ割り込み、T0mn 出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、T0mn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。T0mn も変化しません。1周期をカウント後、INTTMmn を出力し、T0mn がトグル動作します。

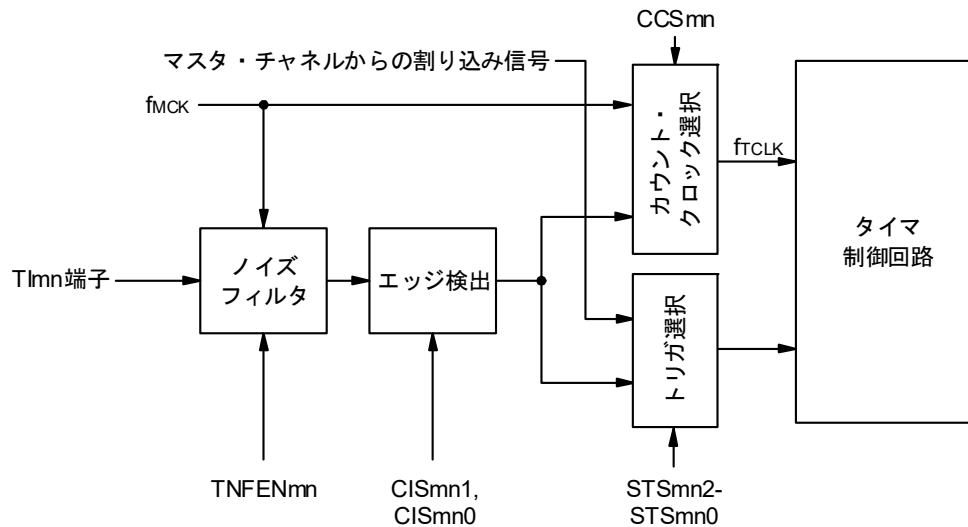
備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

6.7 タイマ入力(Tlmn)の制御

6.7.1 Tlmnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

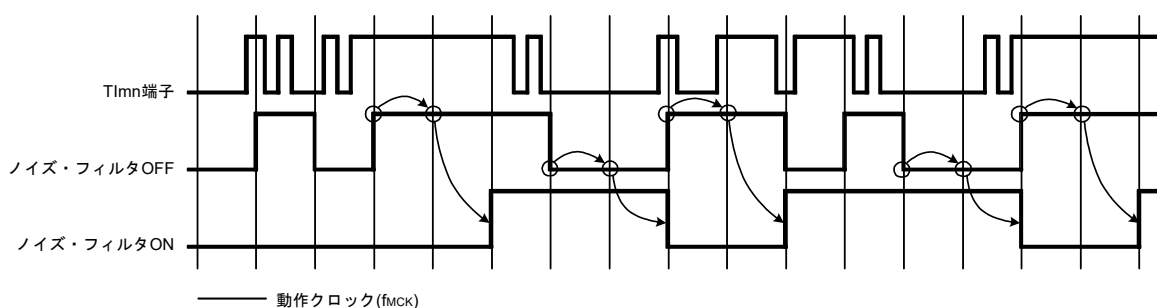
図6 - 46 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (fmCK) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (fmCK) で同期化のあと、2クロックの一致検出を行います。以下に、Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6 - 47 Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるサンプリング波形



注意 Tlmn端子の入力波形は、ノイズ・フィルタ ON/OFFの動作を説明するためのものであり、実際は、33.4または34.4 AC特性に示すTlmn入力ハイ・レベル幅、ロウ・レベル幅に従って入力してください。

6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モードレジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モードレジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み)を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み)の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\bullet \text{ TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{(\text{TDRmnの設定値} + 1) \times 2\}$$

タイマ・カウンタ・レジスタ mn (TCRmn)はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSM)のチャネル・スタート・トリガ・ビット (TSMn, TSHm1注, TSHm3注)に1を設定後、最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn)のMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

その後、TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

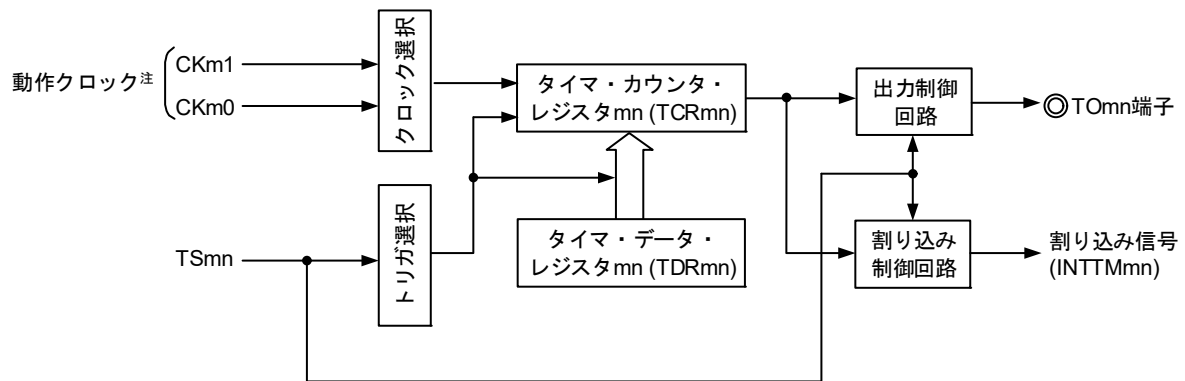
TCRmn = 0000H になったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降、同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は、次の周期から有効となります。

注 TSH11とTSH13ビットは初期値に設定してください。

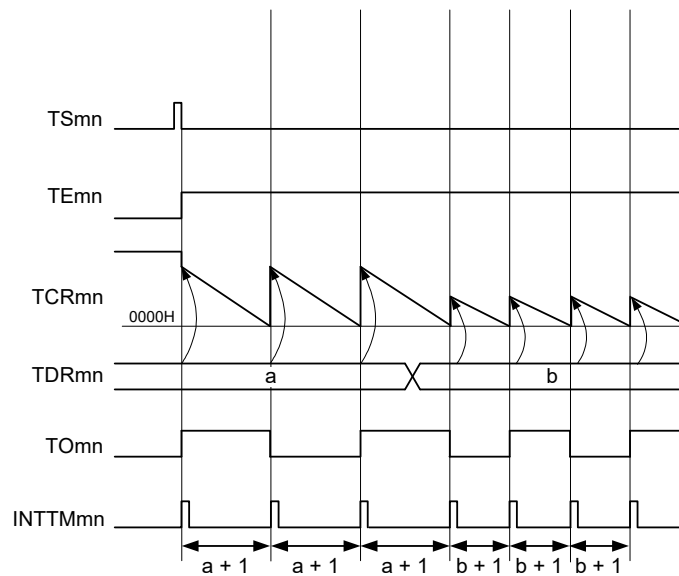
備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

図6-48 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-49 インターバル・タイマ／方形波出力としての動作の基本タイミング例(MDmn0 = 1)



備考1. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

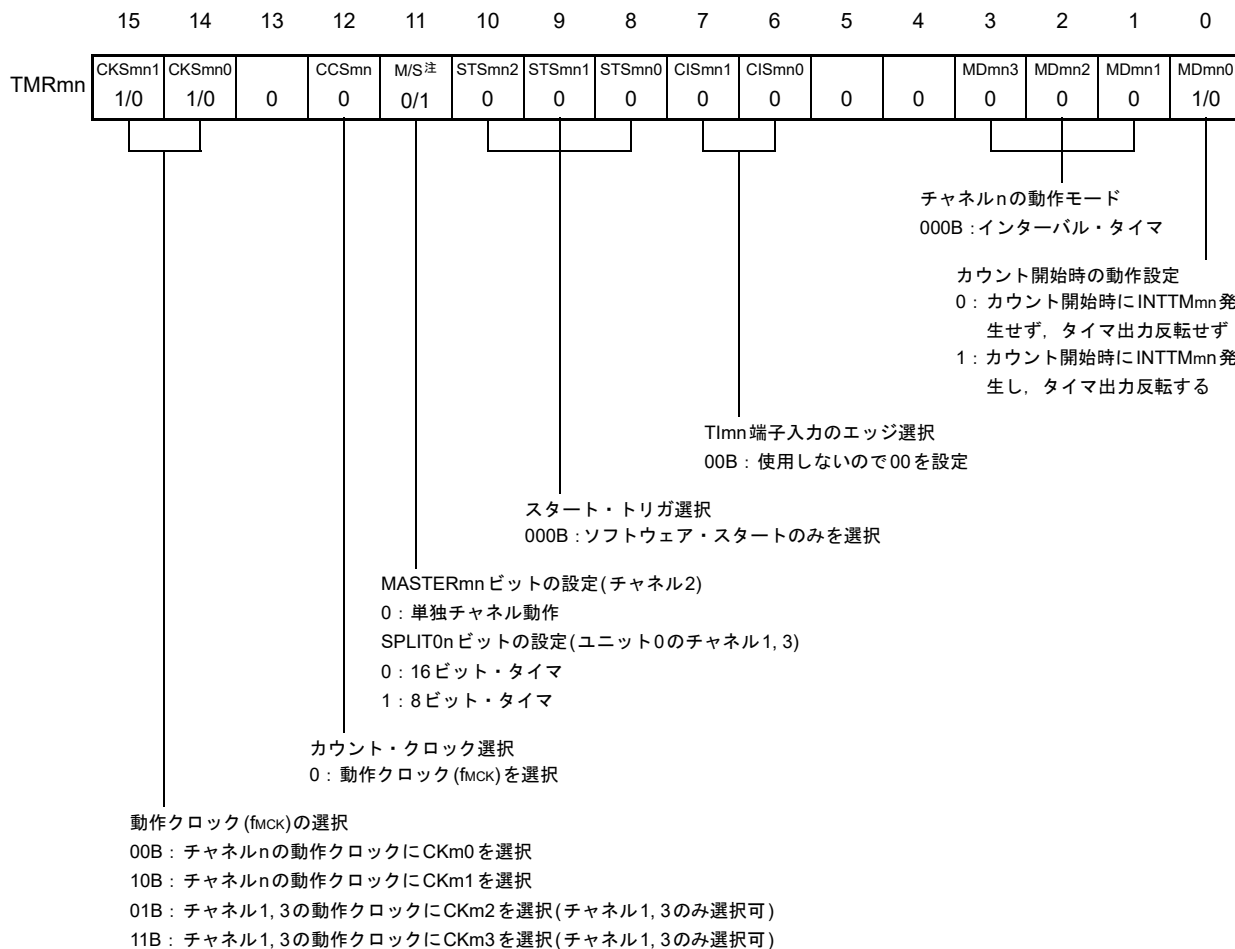
TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

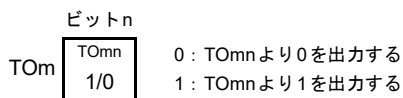
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

TOmn : TOmn 端子出力信号

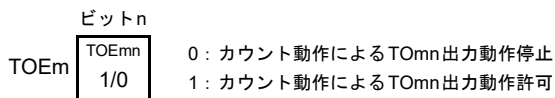
図6 - 50 インターバル・タイマ/方形波出力時のレジスタ設定内容例
(a) タイマ・モード・レジスタ mn (TMRmn)



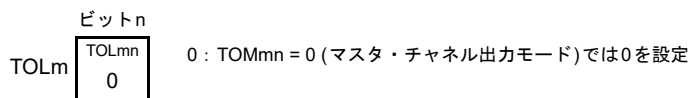
(b) タイマ出力レジスタ m (TOM)



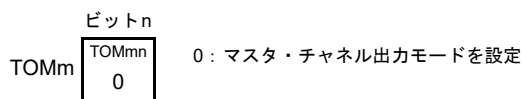
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット
TMR01, TMR03の場合 : SPLIT0n ビット
TMR11の場合 : 0固定
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

図6-51 インターバル・タイマ／方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル 初期 設定	タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm)のTOMmnビットに0 (マスタ・チャネル出力モード)を設定する TOLmnビットに0を設定する TOMnビットを設定し, TOmn出力の初期レベルを確定する TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 再開	動作開始 (TOmn出力を使用する場合で, かつ動作再開時のみTOEmnビットに1を設定する) TSmn (TSHm1 ^{注1} , TSHm3 ^{注1})ビットに1を設定する TSmn (TSHm1 ^{注1} , TSHm3 ^{注1})ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
	動作中 TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOm, TOEmレジスタは, 設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止	カウンタ (TCRmn)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1 ^{注2} , TTHm3 ^{注2})ビットに1を設定する TTmn (TTHm1 ^{注2} , TTHm3 ^{注2})ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持
	TOEmnビットに0を設定し, TOmnビットに値を設定する	TOmn端子はTOmnビットに設定したレベルを出力

(備考は次ページにあります。)

図6-52 インターバル・タイマ／方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	<p>TOmn 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmn ビットに0を設定する</p> <p>TOmn 端子の出力レベルを保持不要の場合 設定不要</p> <p>PER0 レジスタの TAUmEN ビットに0を設定する</p>	<p>TOmn 端子出力レベルはポート機能により保持される。</p> <p>タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)</p>

注1. TSH11とTSH13ビットは初期値に設定してください。

注2. TTH11とTTH13ビットは初期値に設定してください。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

6.8.2 外部イベント・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出(外部イベント)をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn)はイベント・カウンタ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ m (T_{Sm})の任意のチャンネル・スタート・トリガ・ビット T_{Smn}に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。

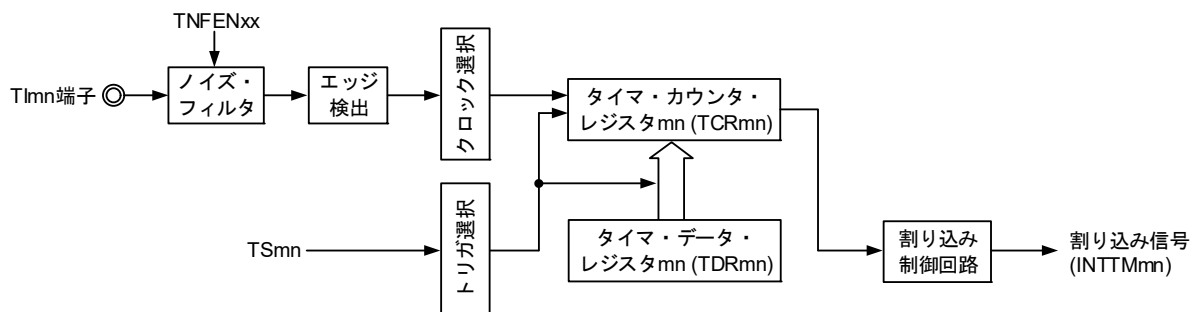
TCRmnレジスタはTl_{mn}端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000H になったら、再びTDRmnレジスタの値をロードして、INTTM_{mn}を出力します。

以降、同様の動作を続けます。

TO_{mn} 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm)のTOEm_nビットに0を設定して出力動作を停止するようにしてください。

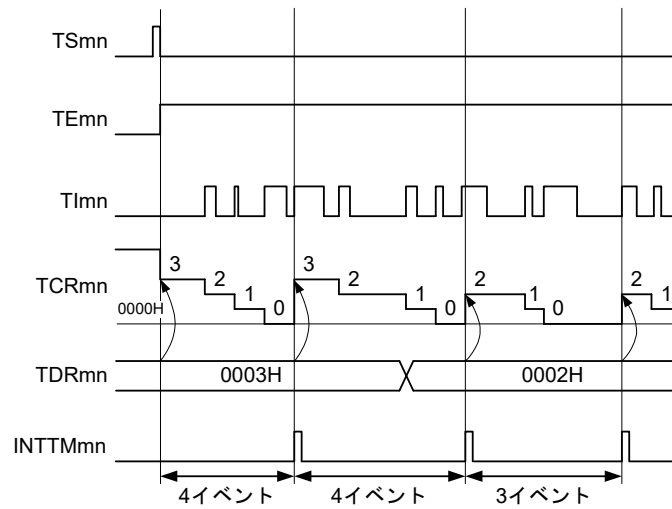
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図6 - 53 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

図6 - 54 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

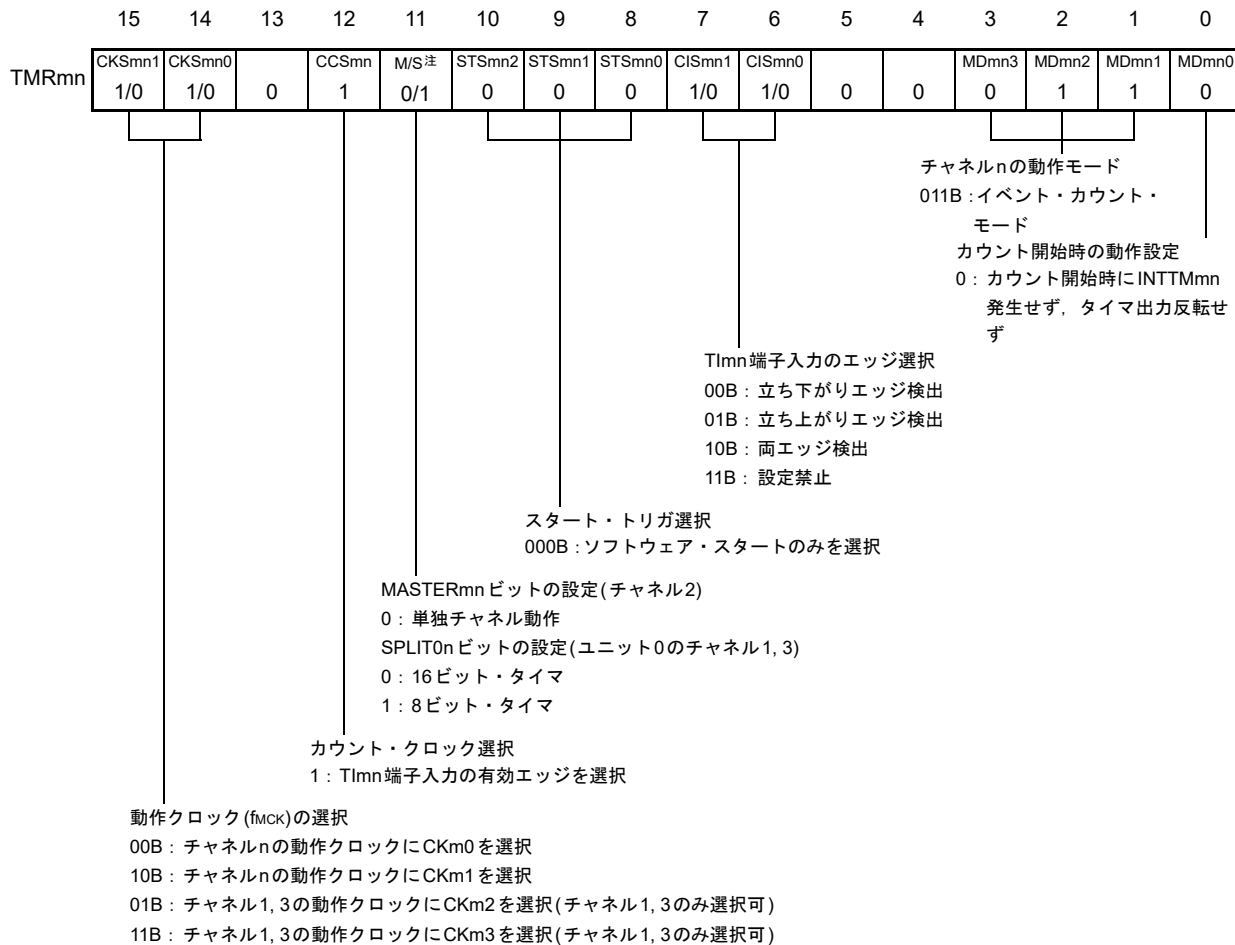
TImn : TImn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

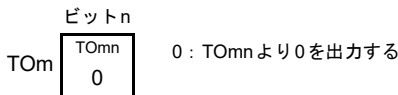
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6 - 55 外部イベント・カウンタ・モード時のレジスタ設定内容例

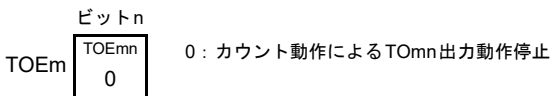
(a) タイマ・モード・レジスタ mn (TMRmn)



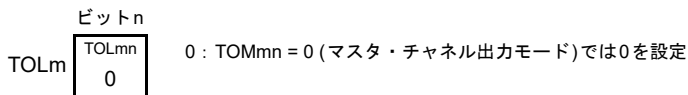
(b) タイマ出力レジスタ m (TOM)



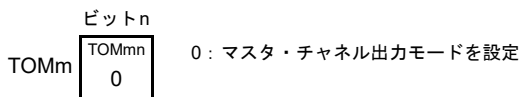
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmnビット
 TMR01, TMR03の場合 : SPLIT0nビット
 TMR11の場合 : 0固定
 TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

図6 - 56 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定	周辺イネーブル・レジスタ 0 (PER0)の TAUmEN ビットに 1 を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	タイマ・アレイ・ユニット m の入力クロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2) の対応するビットに 0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタ mn (TDRmn) にカウント数を設定する タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので, 自動的に 0 に戻る	TEmn = 1 になり, カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし, TImn 端子入力のエッジ検出待ち状態になる
	動作 中	TDRmn レジスタは, 任意に設定値変更が可能 TCRmn レジスタは, 常に読み出し可能 TSRmn レジスタは, 使用しない TMRmn レジスタ, TOMmn, TOLmn, TOMn, TOEmn ビットは, 設定値変更禁止	TImn 端子入力のエッジが検出されるごとに, カウンタ (TCRmn) はダウン・カウント動作を行う。0000H までカウントしたら, 再び TCRmn レジスタは TDRmn レジスタの値をロードし, カウント動作を継続する。 TCRmn = 0000H 検出で INTTMmn 出力を発生する。以降, この動作を繰り返す。
	動作 停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので, 自動的に 0 に戻る	TEmn = 0 になり, カウント動作停止 TCRmn レジスタはカウント値を保持して停止
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され, 各チャンネルの SFR も初期化される	

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

6.8.3 入力パルス間隔測定としての動作

Tlmn 有効エッジでカウント値をキャプチャし、Tlmn 入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作(TSmn = 1)をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn 入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn)はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM)のチャンネル・スタート・トリガ・ビット (TSMn)に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

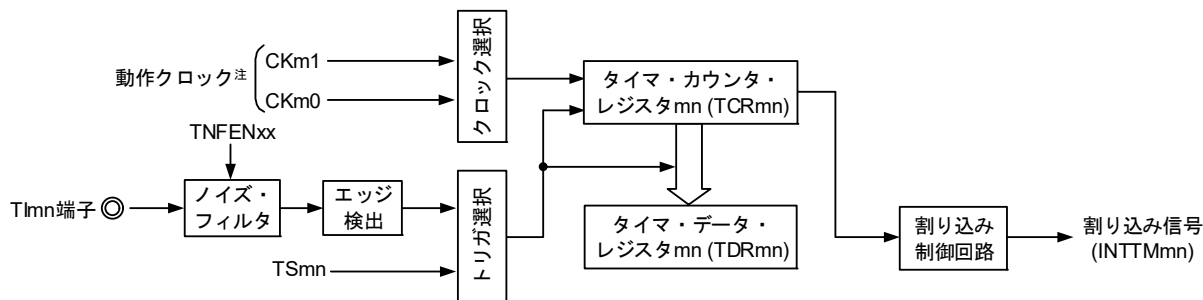
Tlmn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn (TDRmn)に転送(キャプチャ)すると同時に、TCRmn レジスタを0000Hにクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットが1にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

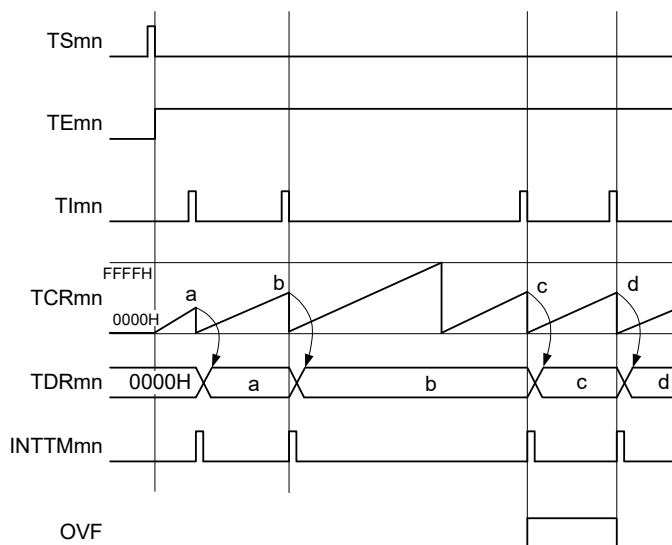
図6-57 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

図6-58 入力パルス間隔測定としての動作の基本タイミング例(MDmn0 = 0)



備考1. m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TI mn : TI mn 端子入力信号

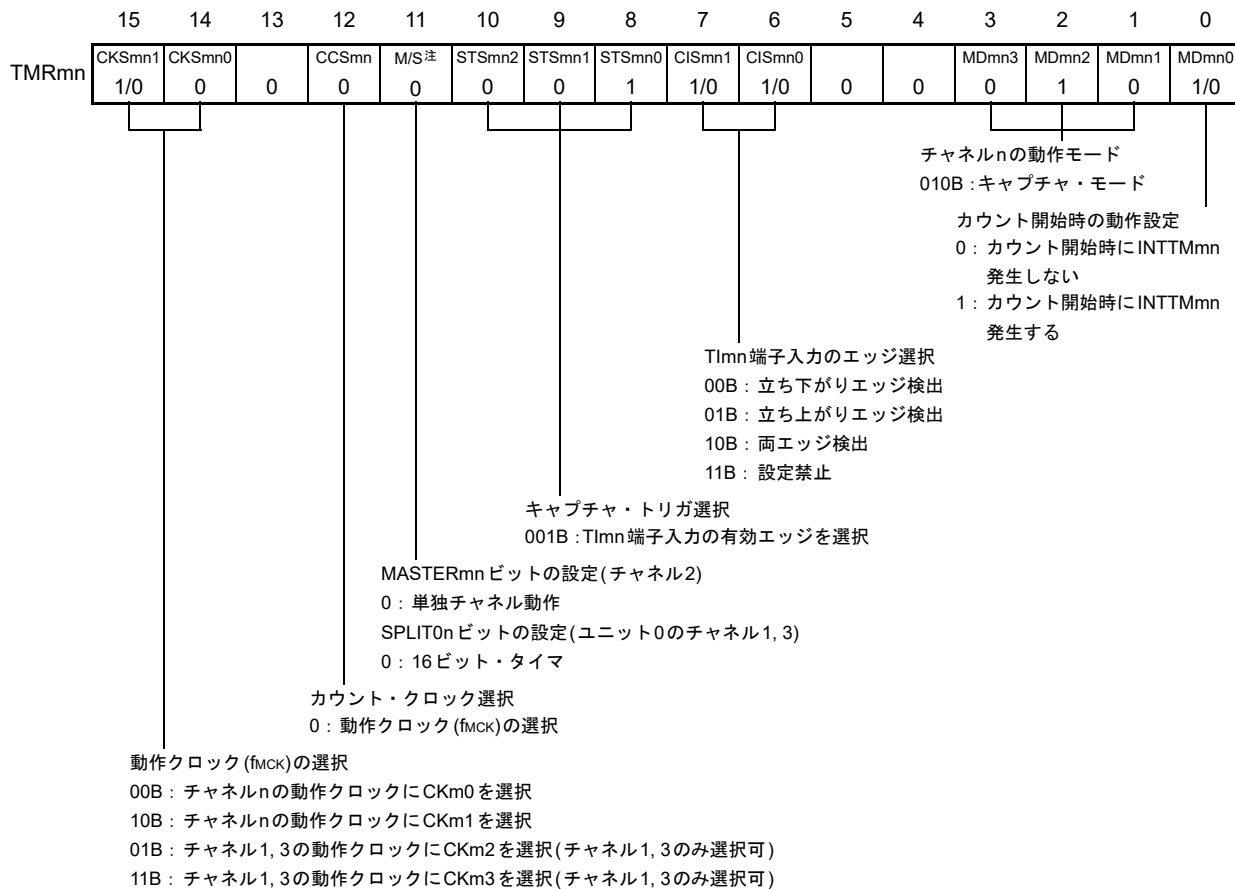
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

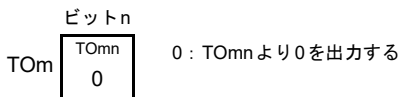
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図6 - 59 入力パルス間隔測定時のレジスタ設定内容例

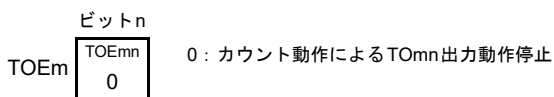
(a) タイマ・モード・レジスタ mn (TMRmn)



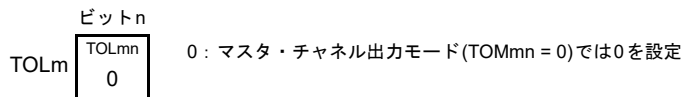
(b) タイマ出力レジスタ m (TOm)



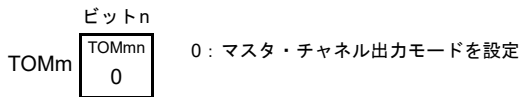
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット
 TMR01, TMR03の場合 : SPLIT0n ビット
 TMR11の場合 : 0固定
 TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

図6-60 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ m の TAUmEN ビットに 1 を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	タイマ・アレイ・ユニット m の入力クロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2) の対応するビットに 0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので, 自動的に 0 に戻る
	動作 中	TEmn = 1 になり, カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) を 0000H にクリアする。TMRmn レジスタの MDmn0 ビットが 1 の場合は, INTTMmn を発生する。
	動作 停止	カウンタ (TCRmn) は 0000H からアップ・カウント動作を行い, TImn 端子入力の有効エッジが検出または, TSmn ビットに 1 を設定すると, カウント値をタイマ・データ・レジスタ mn (TDRmn) に転送 (キャプチャ) する。同時に, TCRmn レジスタを 0000H にクリアし, INTTMmn を発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ, オーバフローが発生していなかったら OVF ビットがクリアされる。 以降, この動作を繰り返す。
動作 停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので, 自動的に 0 に戻る	TEmn = 0 になり, カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され, 各チャンネルの SFR も初期化される

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

6.8.4 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus 対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット 1 (ISC1) を 1 に設定してください。また、以降の説明では「TImn」を「RxD0」と読み替えてください。

TImn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImn の信号幅 (ハイ・レベル幅／ロウ・レベル幅) を測定することができます。TImn の信号幅は次の式で求めることができます。

$$\text{TImn 入力信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1))$$

注意 TImn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの 1 クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ & ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に 1 を設定すると、TEmn = 1 となり TImn 端子のスタート・エッジ検出待ち状態となります。

TImn 端子入力のスタート・エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、TImn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

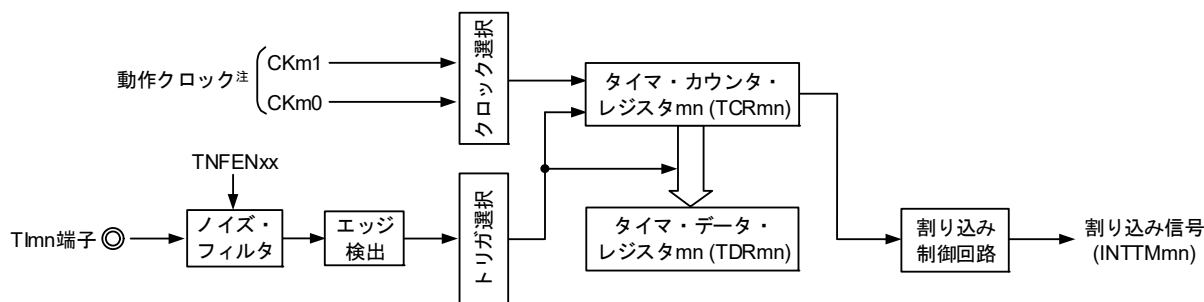
TImn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、TImn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSMn ビットのセット (1) は使用できません。

TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

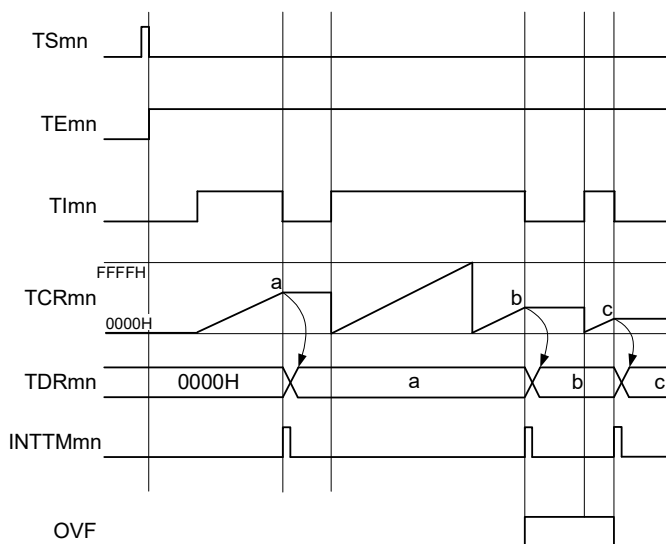
TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図6-61 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-62 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm)のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TE m)のビット n

TImn : TImn 端子入力信号

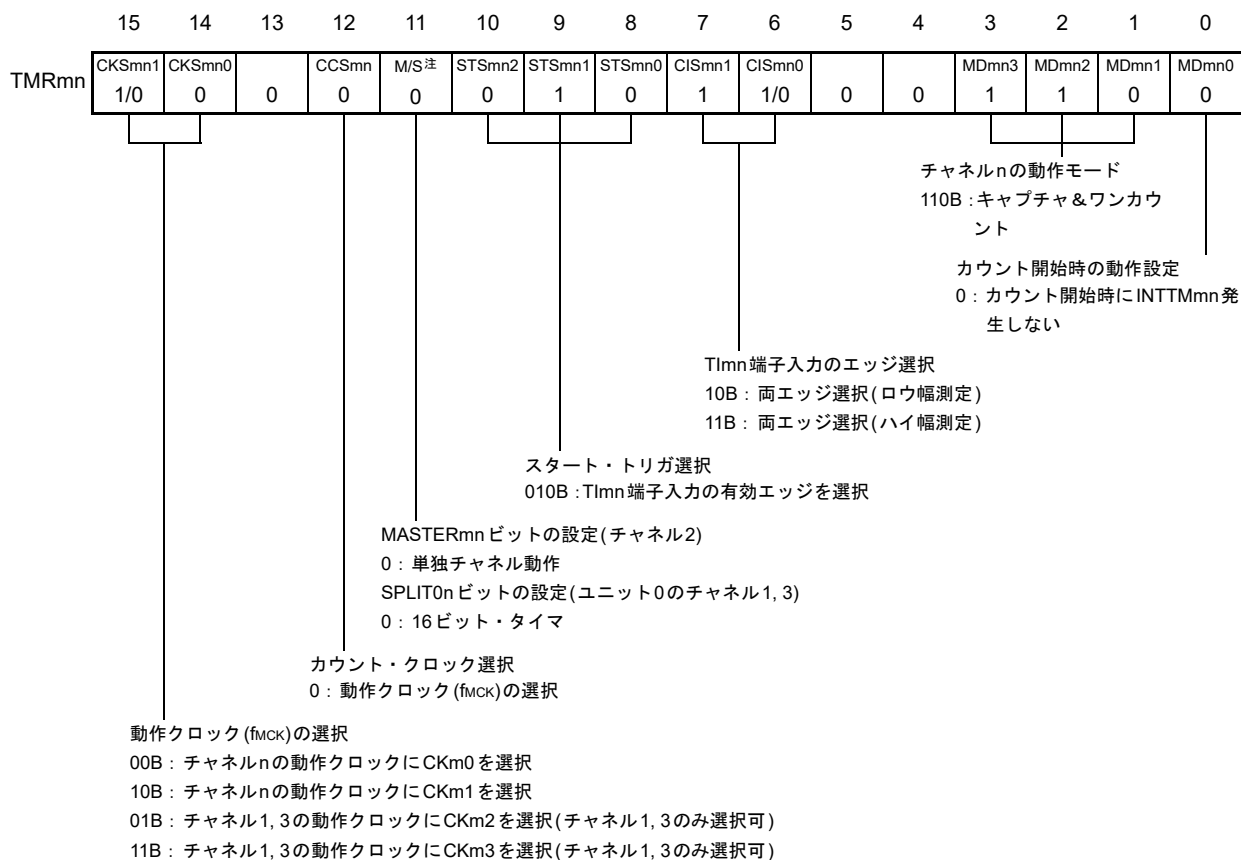
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

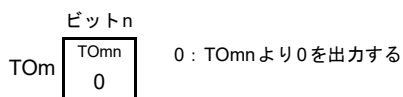
OVF : タイマ・ステータス・レジスタ mn (TSRmn)のビット 0

図6 - 63 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

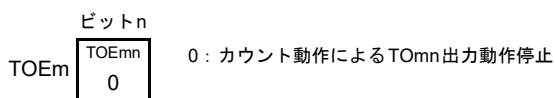
(a) タイマ・モード・レジスタ mn (TMRmn)



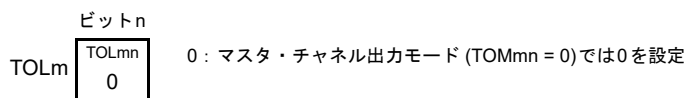
(b) タイマ出力レジスタ m (TOM)



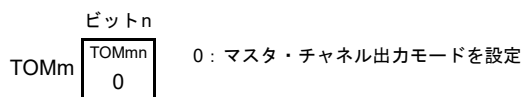
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



- 注 TMRm2の場合 : MASTERmn ビット
- TMR01, TMR03の場合 : SPLIT0n ビット
- TMR11の場合 : 0固定
- TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

図6-64 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する(チャンネルの動作モード確定) TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn)を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn)は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn)に転送し, INTTMmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m: ユニット番号(m = 0, 1), n: チャンネル番号(n = 0-3), mn = 00-03, 10, 11

6.8.5 デイレイ・カウンタとしての動作

TI_{mn} 端子入力の有効エッジ検出(外部イベント)でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み)を発生することができます。

また、TE_{mn} = 1の期間中に、ソフトウェアで TS_{mn} = 1に設定してダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み)を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み)の発生周期} = \text{カウント・クロックの周期} \times (\text{TDR}_{mn} \text{の設定値} + 1)$$

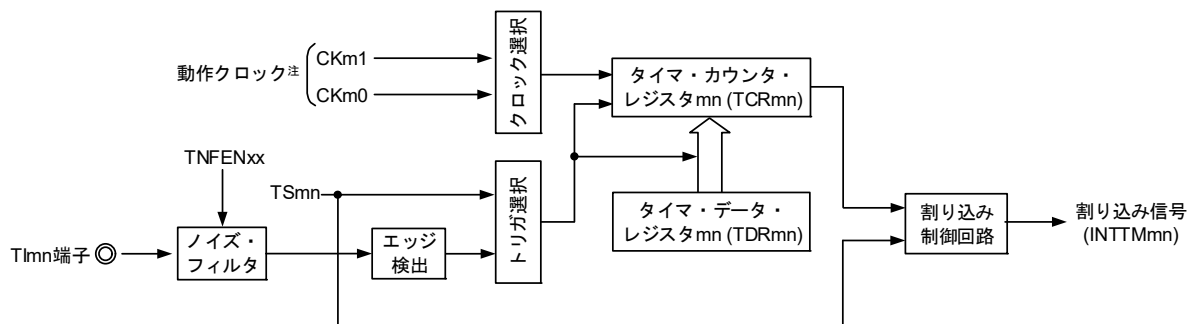
タイマ・カウンタ・レジスタ_{mn} (TCR_{mn})はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ_m (TS_m)のチャネル・スタート・トリガ・ビット(TS_{mn})に1を設定すると、TE_{mn} = 1となりTI_{mn}端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、TI_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ_{mn} (TDR_{mn})から値をロードします。TCR_{mn} レジスタはロードしたTDR_{mn} レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000HとなったらINTTM_{mn}を出力し、次のTI_{mn}端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えたTDR_{mn} レジスタの値は、次の周期から有効となります。

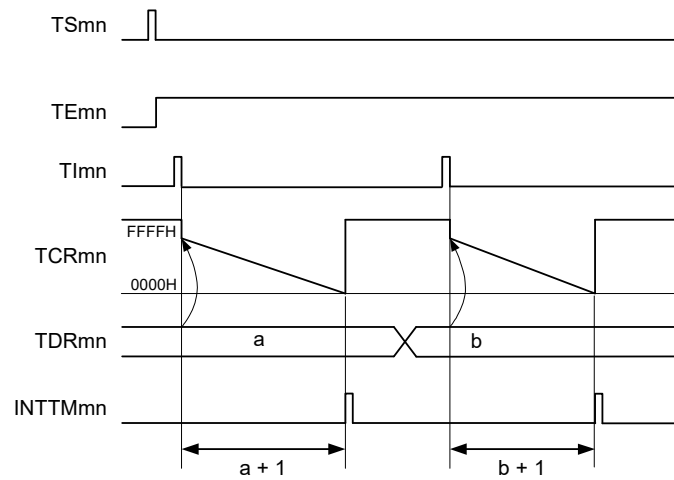
図6-65 デイレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3), mn = 00-03, 10, 11

図6-66 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0-3$), $mn = 00-03, 10, 11$

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSM) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEM) のビット n

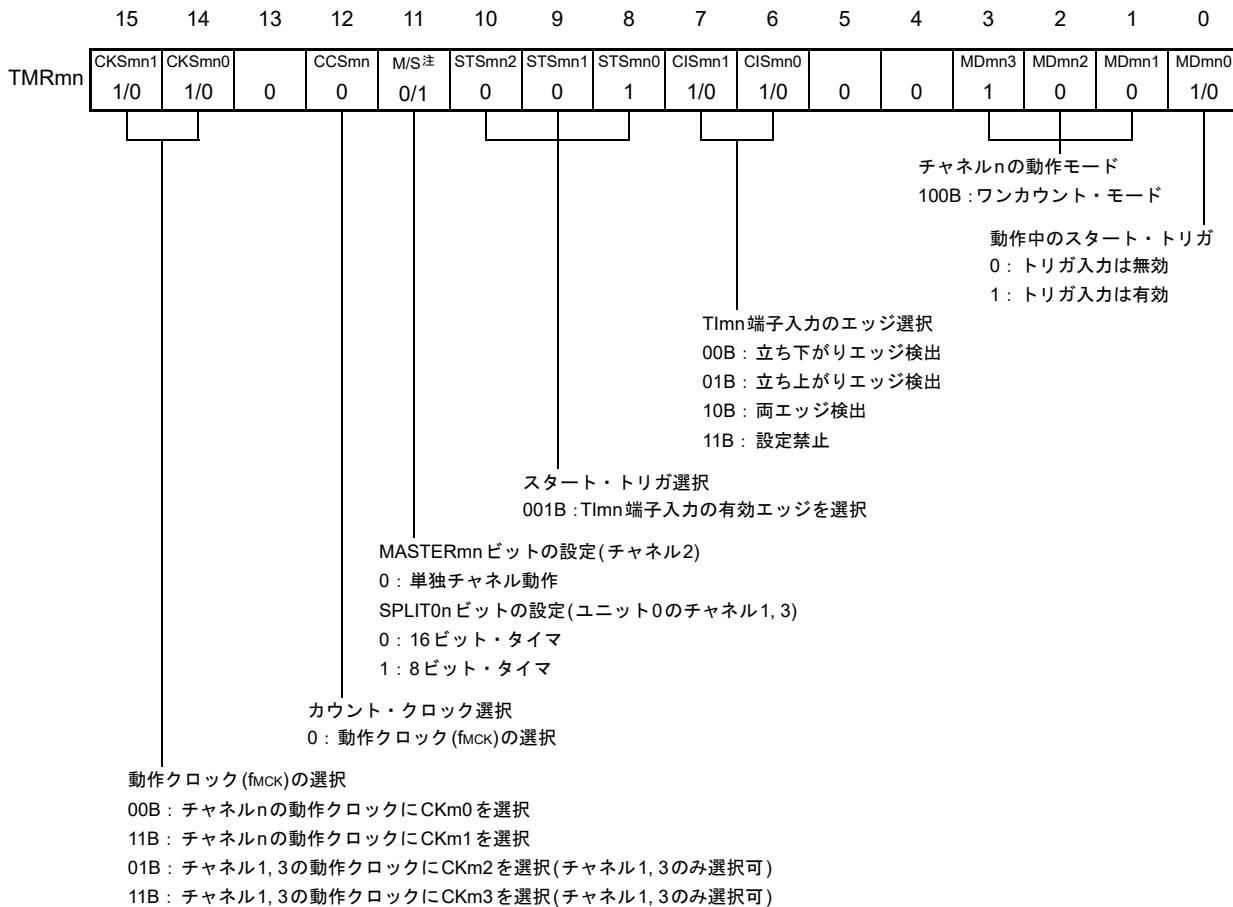
Tl mn : Tl mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

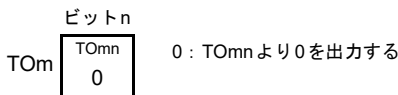
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6-67 ディレイ・カウンタ機能時のレジスタ設定内容例

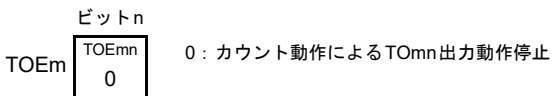
(a) タイマ・モード・レジスタ mn (TMRmn)



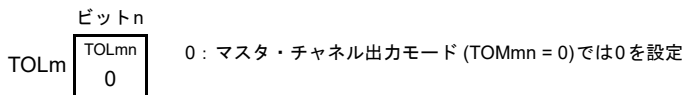
(b) タイマ出力レジスタ m (TOM)



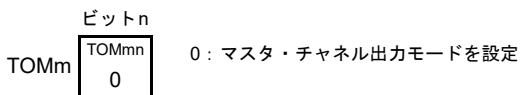
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット
 TMR01, TMR03の場合 : SPLIT0n ビット
 TMR11の場合 : 0固定
 TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

図6-68 デイレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する(チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn)に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する	TEmn = 1になり, スタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)待ち状態となる
	TSmnビットはトリガ・ビットなので, 自動的に0に戻る 次のスタート・トリガ検出によって, ダウン・カウンタを開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ(TCRmn)はダウン・カウンタ動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウンタ動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3), mn = 00-03, 10, 11

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\text{ディレイ} = \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期}$ $\text{パルス幅} = \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期}$
--

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルの TDRmn レジスタとスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、カウント動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると、ロード・タイミングと競合して不正波形が出力される場合があります。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャネル番号 (n = 0, 2), mn = 00, 02, 10

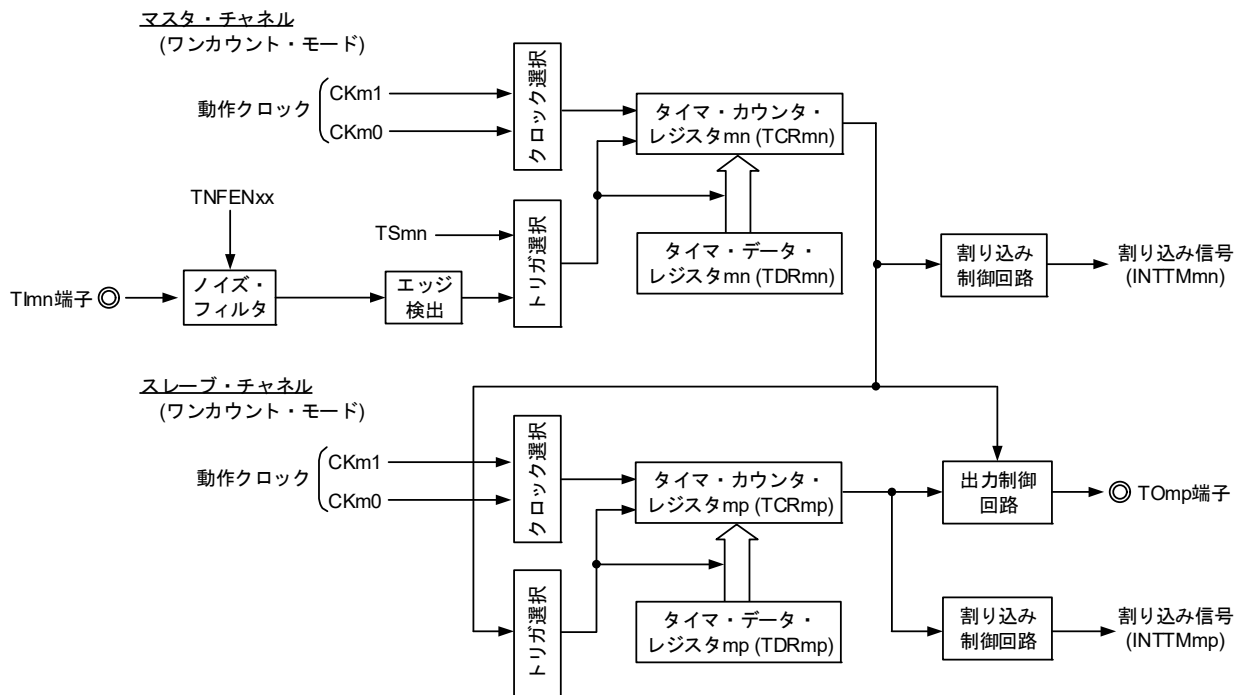
p : スレーブ・チャネル番号 (p = 1-3)

ユニット 0 : n = 0 のとき, mp = 01-03

n = 2 のとき, mp = 03

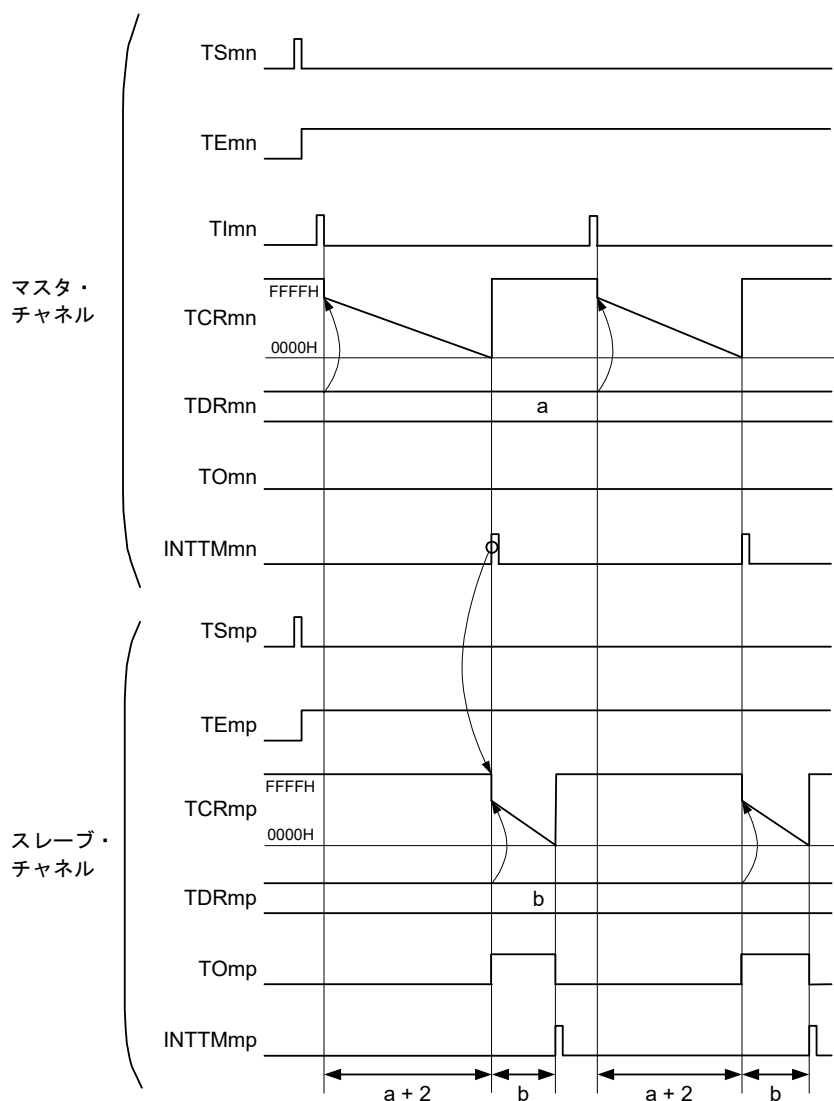
ユニット 1 : n = 0 のとき, mp = 11

図6 - 69 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10
 p : スレーブ・チャンネル番号 (p = 1-3)
 ユニット0 : n = 0 のとき, mp = 01-03
 n = 2 のとき, mp = 03
 ユニット1 : n = 0 のとき, mp = 11

図6-70 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10

p : スレーブ・チャンネル番号 (p = 1-3)

ユニット0 : n = 0 のとき, mp = 01-03

n = 2 のとき, mp = 03

ユニット1 : n = 0 のとき, mp = 11

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TEm : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

TImn, TImp : TImn, TImp 端子入力信号

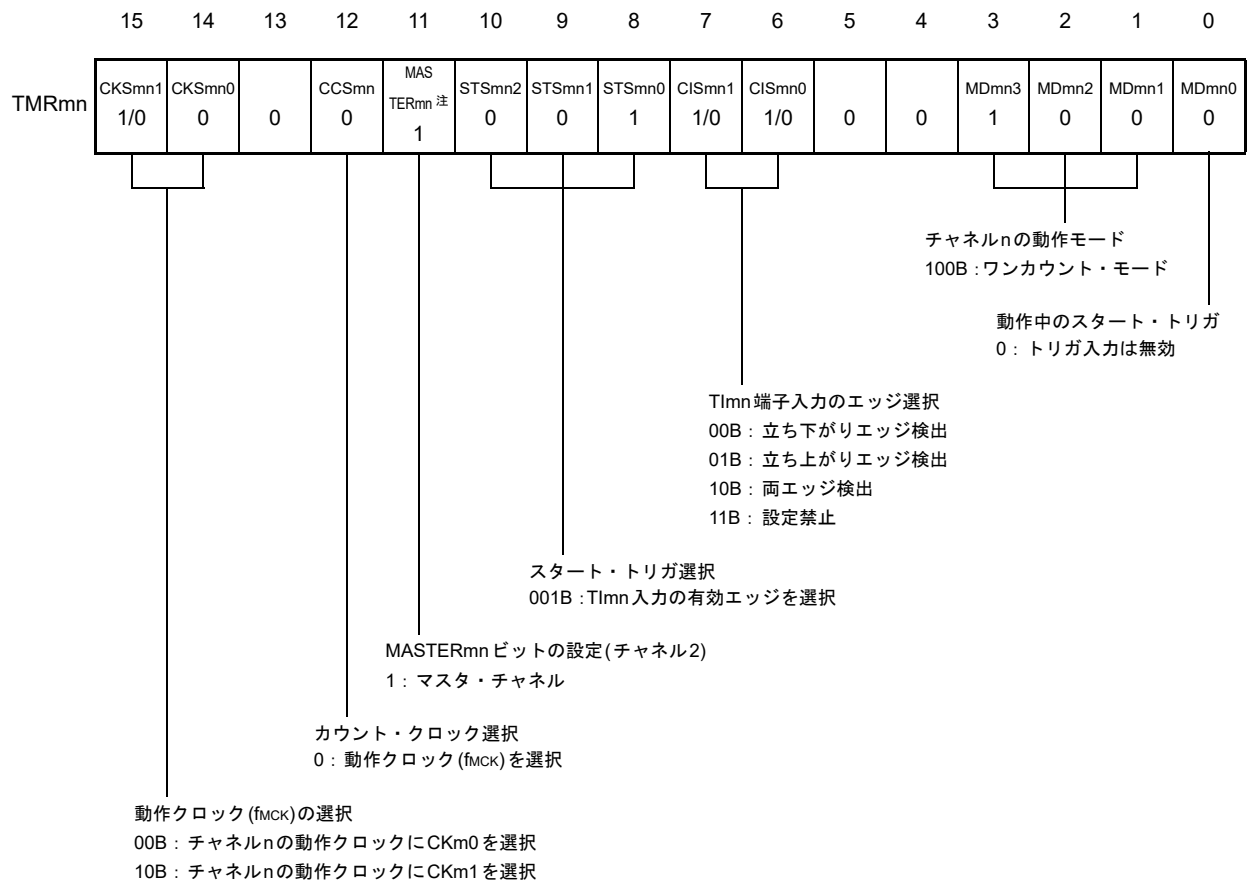
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

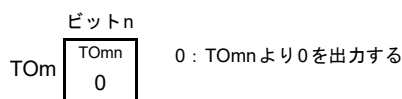
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6-71 ワンショット・パルス出力機能時(マスタ・チャンネル)のレジスタ設定内容例

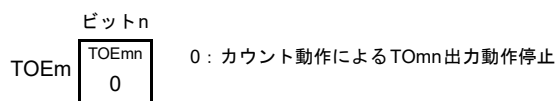
(a) タイマ・モード・レジスタ mn (TMRmn)



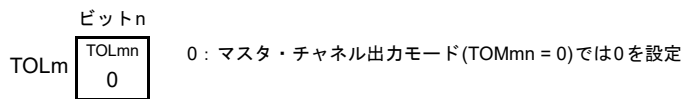
(b) タイマ出力レジスタ m (TOM)



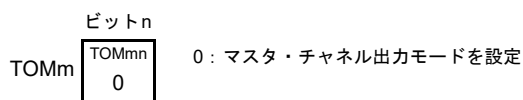
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

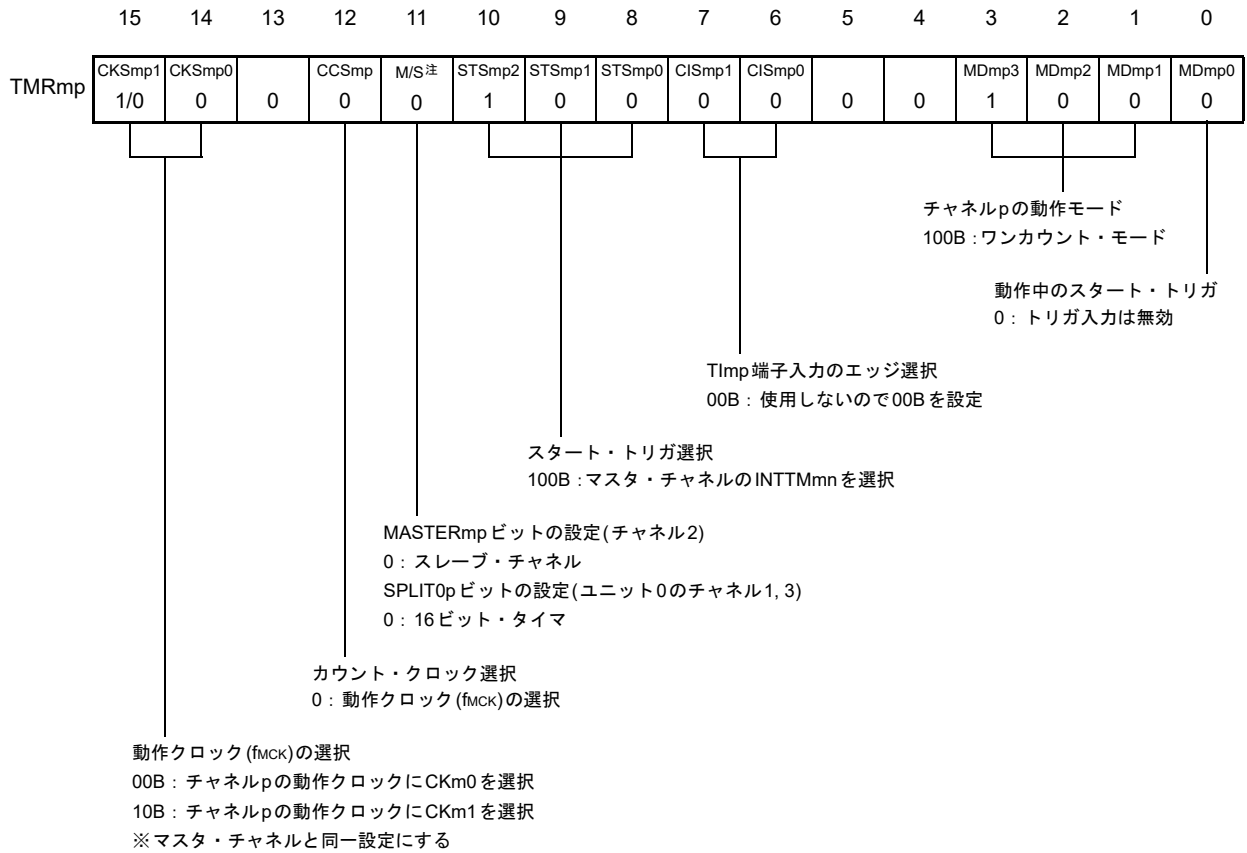


注 TMRm2の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

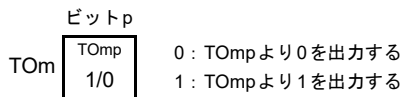
備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10

図6-72 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例

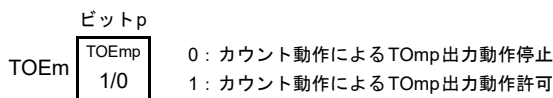
(a) タイマ・モード・レジスタ mp (TMRmp)



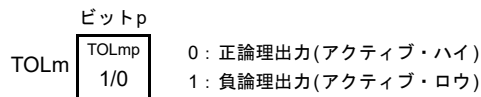
(b) タイマ出力レジスタ m (TOm)



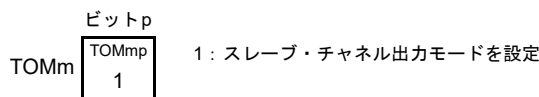
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmpビット
TMR01, TMR03の場合 : SPLIT0pビット
TMR11の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10
p : スレーブ・チャンネル番号 (p = 1-3), ユニット0 : n = 0のとき, mp = 01-03, n = 2のとき, mp = 03
ユニット1 : n = 0のとき, mp = 11

図6-73 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止 状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1,2 (NFEN1, NFEN2) の対応するビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モード 確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)に出力遅延時間, スレーブ・チャンネルの TDRmpレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp ビットに1(スレーブ・チャンネル出力モード)を設定 する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを 確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を 設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp初期設定レベルが出力され る。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(注, 備考は次ページにあります。)

図6-74 ワンショット・パルス出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。 ・ TImn端子入力の有効エッジ検出 ・ ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定注	TEMn = 1, TEm = 1となり、マスタ・チャンネルはスタート・トリガ検出(TImn端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに1を設定)待ち状態となる カウンタはまだ停止状態のまま マスタ・チャンネルがカウンタ動作開始
	動作中 TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない スレーブ・チャンネルの TOM, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、スタート・トリガ検出(TImn端子入力の有効エッジの検出または、マスタ・チャンネルの TSmn ビットに1を設定)により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。 TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し、次の TImn端子入力までカウンタ動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEMn, TEm = 0 になり、カウンタ動作停止 TCRmn, TCRmp レジスタはカウンタ値を保持して停止 TOmp 出力は初期化されず、状態保持 TOmp 端子は TOmp 設定レベルを出力
	TAU 停止 TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する	TOmp 端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmp ビットが0になり、TOmp 端子はポート機能となる)

注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください。

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10

p : スレーブ・チャンネル番号 (p = 1-3)

ユニット0 : n = 0 のとき, mp = 01-03

n = 2 のとき, mp = 03

ユニット1 : n = 0 のとき, mp = 11

6.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDRmp (スレーブ)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ 0\% \text{出力} &: \text{TDRmp (スレーブ)の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDRmp (スレーブ)の設定値} \geq \{\text{TDRmn (マスタ)の設定値} + 1\} \end{aligned}$$

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ)の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSm)のチャンネル・スタート・トリガ・ビット(TSmn)に1を設定すると、割り込み(INTTMmn)を出力して、タイマ・データ・レジスタ mn (TDRmn)に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn)にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm)のチャンネル・ストップ・トリガ・ビット(TTmn)に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ(マスタ・チャンネルからのINTTMmn)が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)のデューティとなります。

PWM出力(TOmp)は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

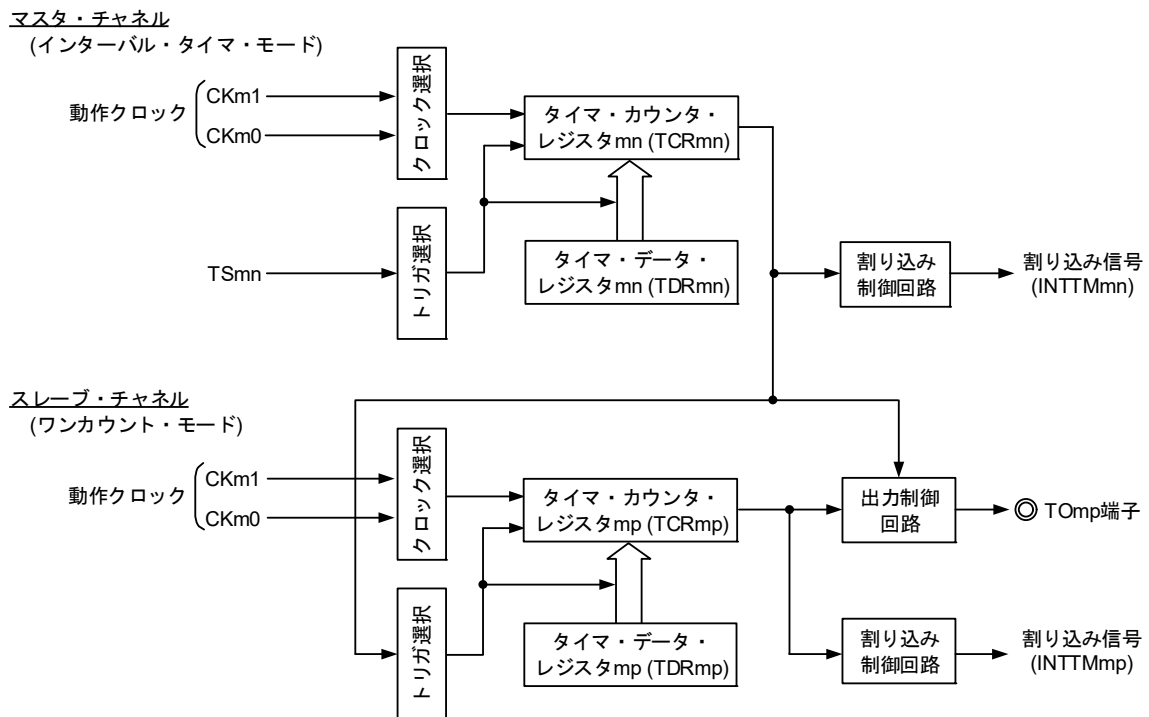
注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号(m = 0, 1), n : マスタ・チャンネル番号(n = 0, 2), mn = 00, 02, 10

p : スレーブ・チャンネル番号(p = 1-3), ユニット0 : n = 0のとき, mp = 01-03, n = 2のとき, mp = 03

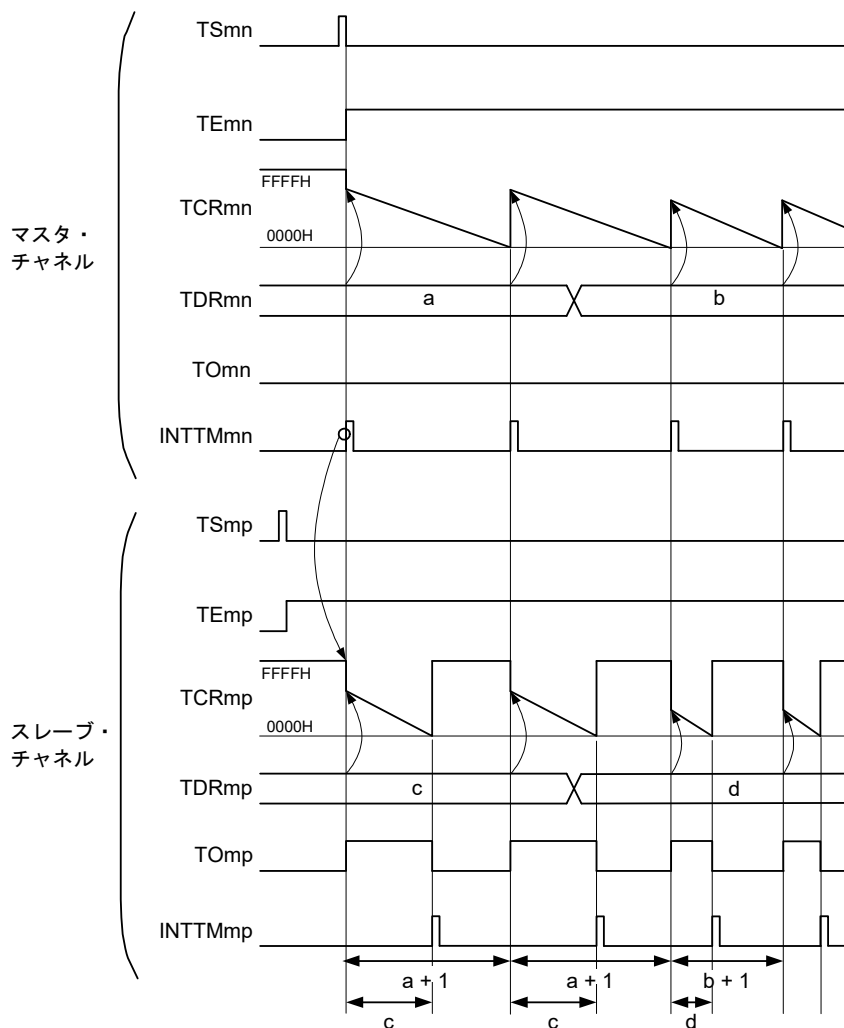
ユニット1 : n = 0のとき, mp = 11

図6 - 75 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10
 p : スレーブ・チャンネル番号 (p = 1-3)
 ユニット0 : n = 0 のとき, mp = 01-03
 n = 2 のとき, mp = 03
 ユニット1 : n = 0 のとき, mp = 11

図6-76 PWM機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10

p : スレーブ・チャンネル番号 (p = 1-3)

ユニット0 : n = 0 のとき, mp = 01-03

n = 2 のとき, mp = 03

ユニット1 : n = 0 のとき, mp = 11

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

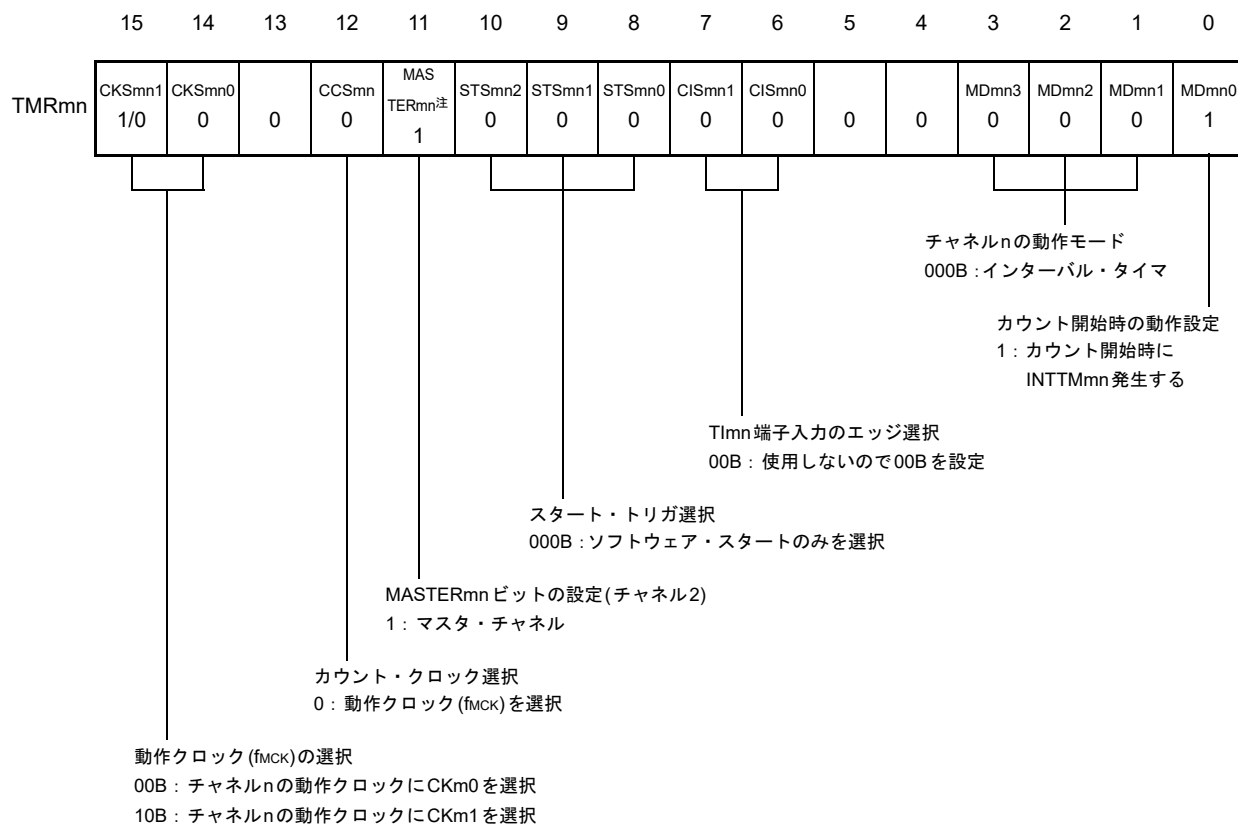
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

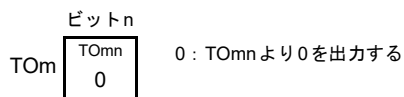
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6 - 77 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

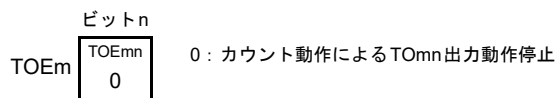
(a) タイマ・モード・レジスタ mn (TMRmn)



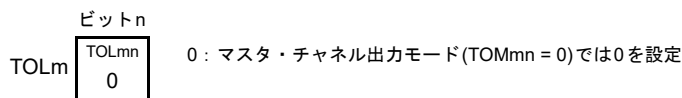
(b) タイマ出力レジスタ m (TOM)



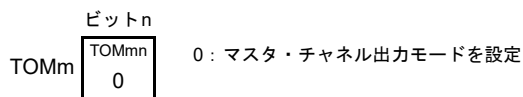
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



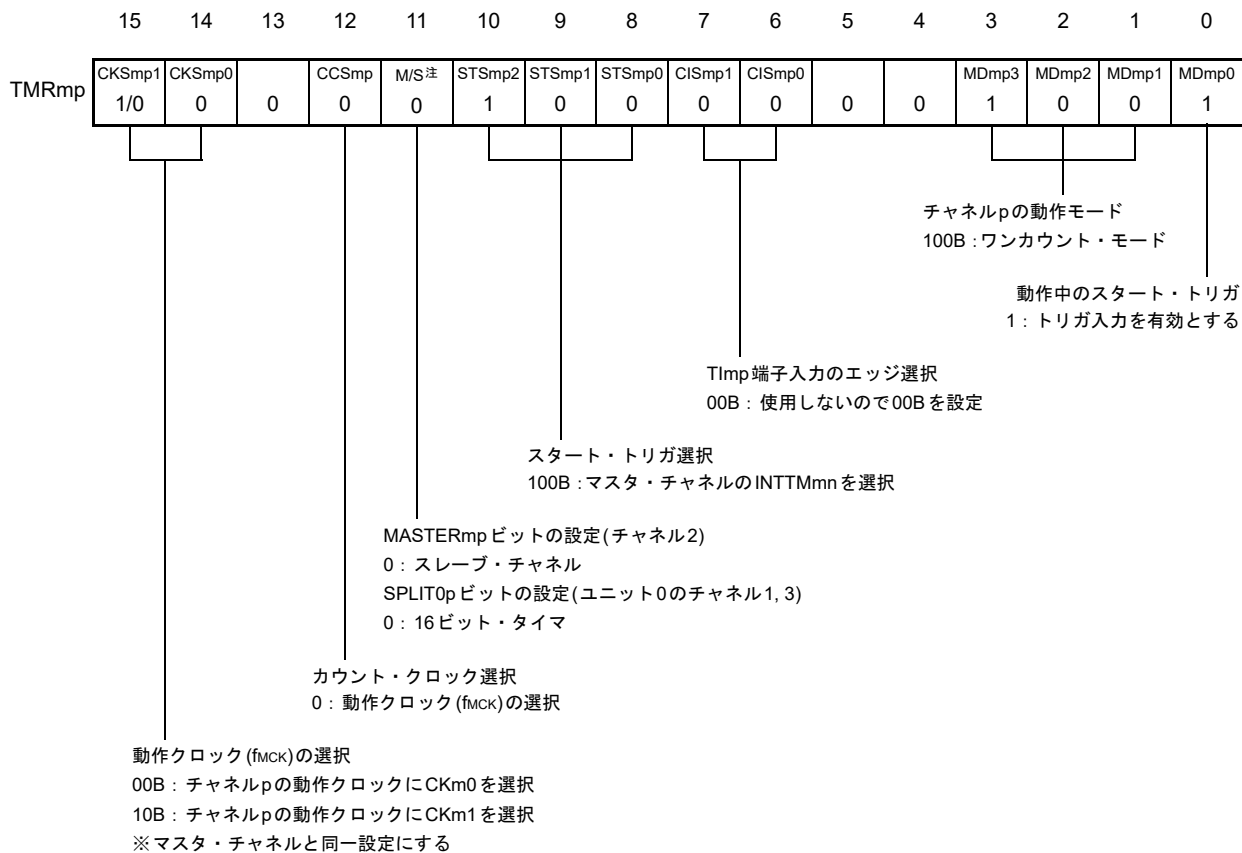
注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

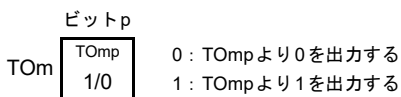
備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10

図6 - 78 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例

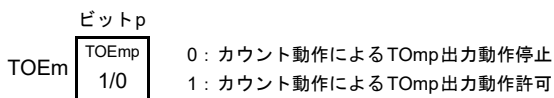
(a) タイマ・モード・レジスタ mp (TMRmp)



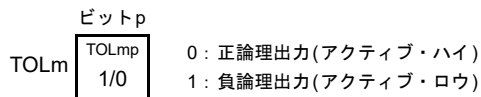
(b) タイマ出力レジスタ m (TOm)



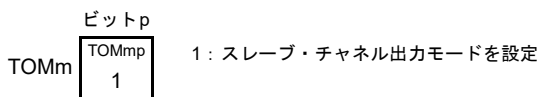
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmpビット
TMR01, TMR03の場合 : SPLIT0pビット
TMR11の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10
p : スレーブ・チャンネル番号 (p = 1-3), ユニット0 : n = 0のとき, mp = 01-03, n = 2のとき, mp = 03
ユニット1 : n = 0のとき, mp = 11

図6 - 79 PWM機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	<p>周辺インネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する</p> <p>タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する</p>	<p>タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)</p> <p>タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)</p>
チャ ネル 初期 設定	<p>使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モード確定)</p> <p>マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する</p> <p>スレーブ・チャンネルの設定</p> <p>タイマ出力モード・レジスタm (TOMm)のTOMmpビットに1(スレーブ・チャンネル出力モード)を設定する</p> <p>TOLmpビットを設定する</p> <p>TOmpビットを設定し, TOmp出力の初期レベルを確定する</p> <p>TOEmpビットに1を設定し, TOmpの動作を許可</p> <p>ポート・レジスタとポート・モード・レジスタに0を設定する</p>	<p>チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)</p> <p>TOmp端子はHi-Z出力状態</p> <p>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。</p> <p>チャンネルは動作停止状態なので, TOmpは変化しない</p> <p>TOmp端子はTOmp設定レベルを出力</p>

(備考は次ページにあります。)

図6 - 80 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSR0p レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタはTDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止 TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニットmの入クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2), mn = 00, 02, 10
 p : スレーブ・チャンネル番号 (p = 1-3), ユニット0 : n = 0のとき, mp = 01-03, n = 2のとき, mp = 03
 ユニット1 : n = 0のとき, mp = 11

6.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ1)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ2)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合
または TDRmq (スレーブ2)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合は、
デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp)の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

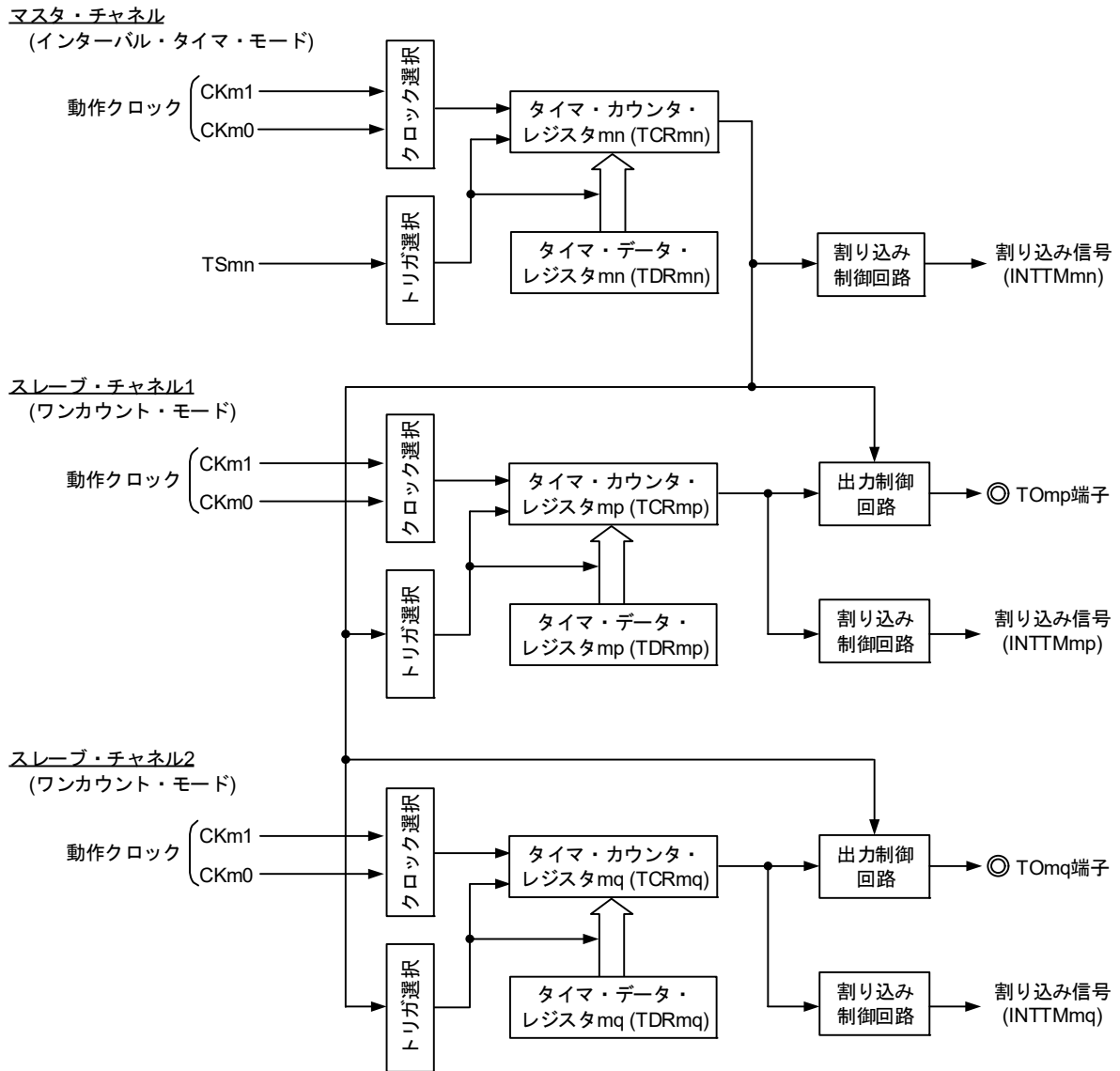
スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大3種のPWMを同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

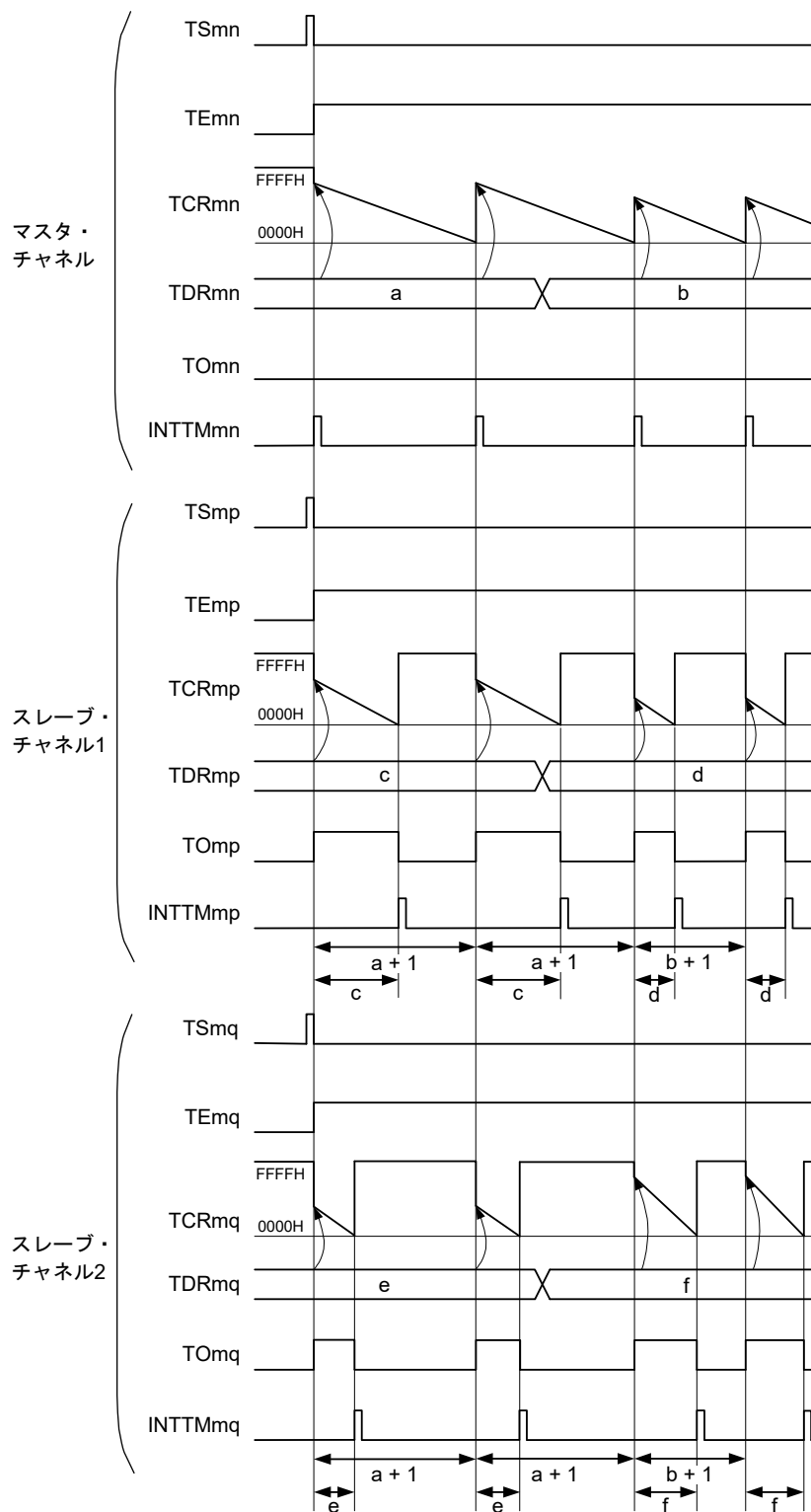
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
n < p < q ≤ 3 (ただし p, q は, n以降の整数)

図6 - 81 多重PWM出力機能としての動作のブロック図(2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 3 (ただし p, q は, n 以降の整数)

図6 - 82 多重PWM出力機能としての動作の基本タイミング例(2種類のPWMを出力する場合)



(備考は次ページにあります。)

備考1. m : ユニット番号 ($m = 0$), n : マスタ・チャンネル番号 ($n = 0$)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (ただし p, q は, n 以降の整数)

備考2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m)のビット n, p, q

$TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m)のビット n, p, q

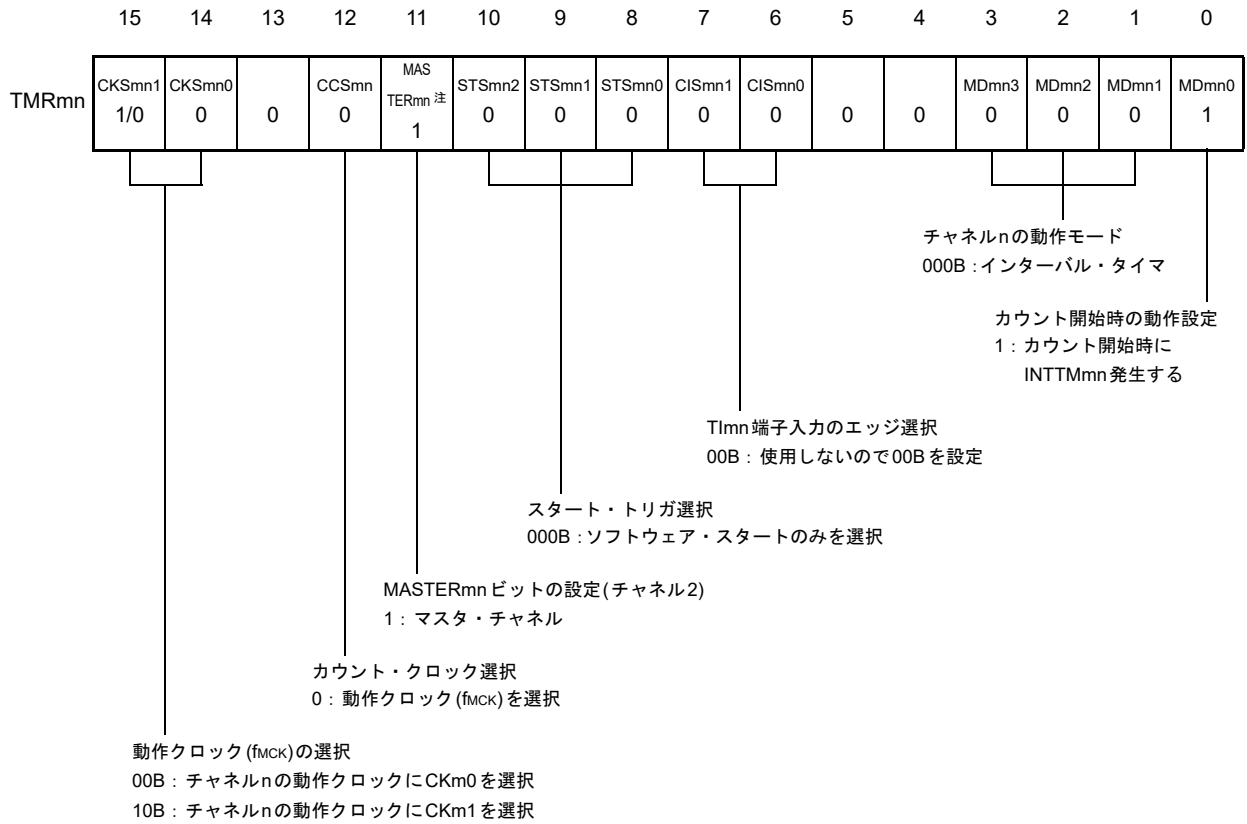
$TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)

$TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)

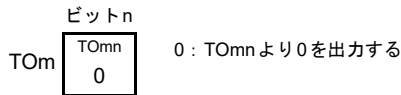
$TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図6 - 83 多重PWM出力機能時(マスタ・チャンネル)のレジスタ設定内容例

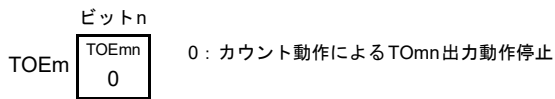
(a) タイマ・モード・レジスタ mn (TMRmn)



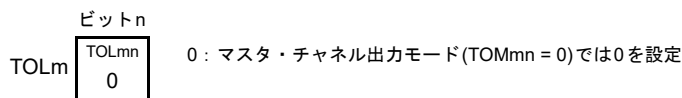
(b) タイマ出力レジスタ m (TOM)



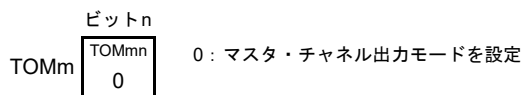
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



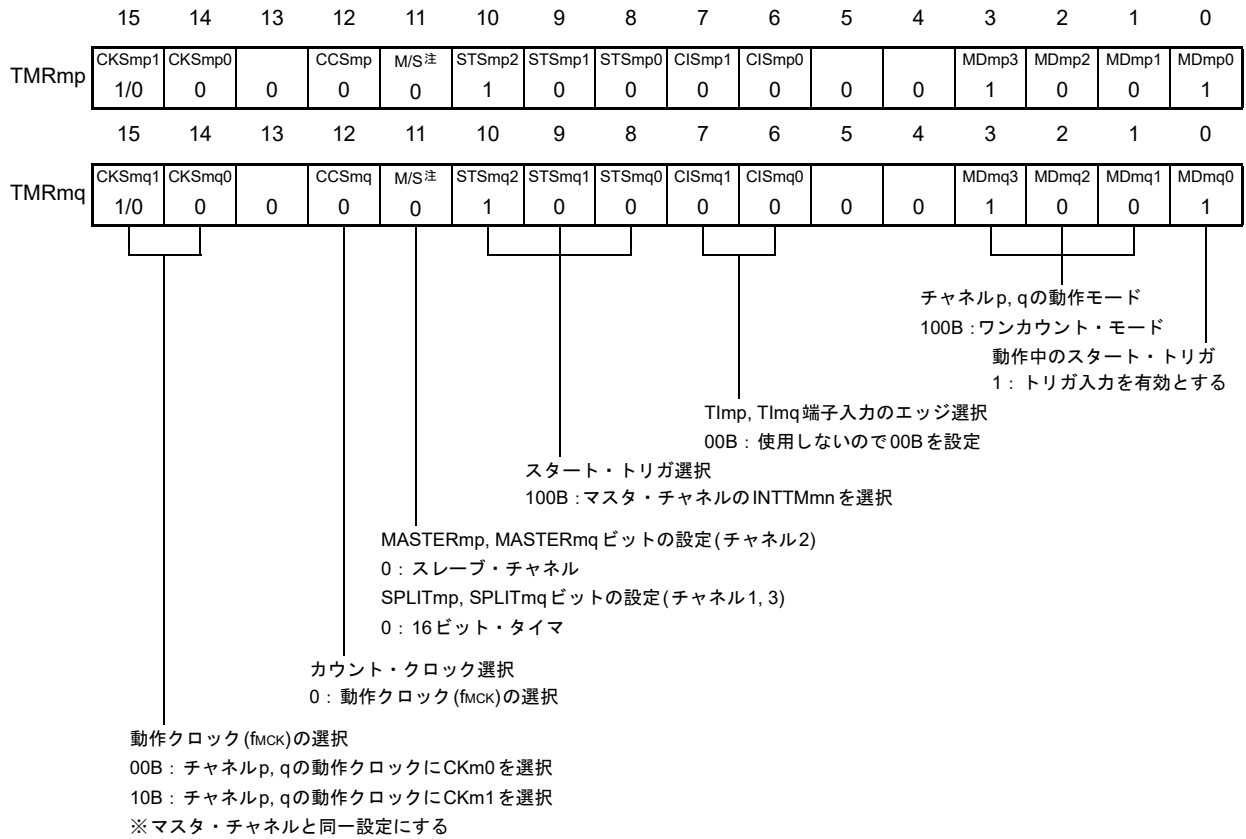
注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

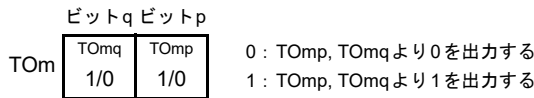
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)

図6 - 84 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)

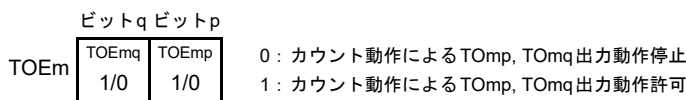
(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



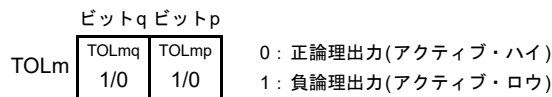
(b) タイマ出力レジスタ m (TOM)



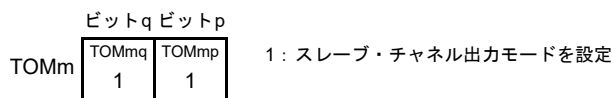
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2 の場合 : MASTERmp, MASTERmq ビット

TMRm1, TMRm3 の場合 : SPLITmp, SPLITmq ビット

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

n < p < q ≤ 3 (ただし p, q は, n 以降の整数)

図6 - 85 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq)を設定する(チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp, TOMmqビットに1(スレーブ・チャンネル出力モード)を設定する TOLmp, TOLmqビットに0を設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq(スレーブ)ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSm)のTSmn(マスタ), TSmp, TSmq(スレーブ)ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmq, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTmnnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

(備考は次ページにあります。)

動作再開(次ページへ)

図6 - 86 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開(前ページへ)	動作中	<p>TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止</p> <p>TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能</p> <p>TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能</p> <p>TSRmn, TSRmp, TSRmqレジスタは、使用しない</p>	<p>マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。</p> <p>スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。</p>
	動作停止	<p>TTmn (マスタ), TTmp, TTmq (スレーブ)ビットに同時に1を設定する →</p> <p>TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る</p> <hr/> <p>スレーブ・チャンネルのTOEmp, TOEmqビットに0を設定し、TOmp, TOmqビットに値を設定する →</p>	<p>TEmn, TEmp, TEmq = 0になり、カウント動作停止</p> <p>TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止</p> <p>TOmp, TOmq出力は初期化されず、状態保持</p> <hr/> <p>TOmp, TOmq端子はTOmp, TOmq設定レベルを出力</p>
TAU停止	<p>TOmp, TOmq端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOmp, TOmqビットに0を設定する →</p> <p>TOmp, TOmq端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <hr/> <p>PER0レジスタのTAUmENビットに0を設定する →</p>	<p>TOmp, TOmq端子出力レベルはポート機能により保持される。</p> <hr/> <p>タイマ・アレイ・ユニットmの入力クロック供給停止状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される</p> <p>(TOmp, TOmqビットが0になり、TOmp, TOmq端子はポート機能となる)</p>	

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 3 (ただし p, q は, n以降の整数)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

第7章 タイマRJ

7.1 タイマRJの機能

タイマRJはパルス出力、外部入力のパルス幅/周期測定、外部イベントをカウントできる16ビット・タイマです。16ビット・タイマはリロードレジスタとダウンカウンタから構成されます。リロードレジスタとダウンカウンタは同じ番地に配置されており、TRJ0レジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます。表7-1にタイマRJの仕様を、図7-1にタイマRJのブロック図を示します。

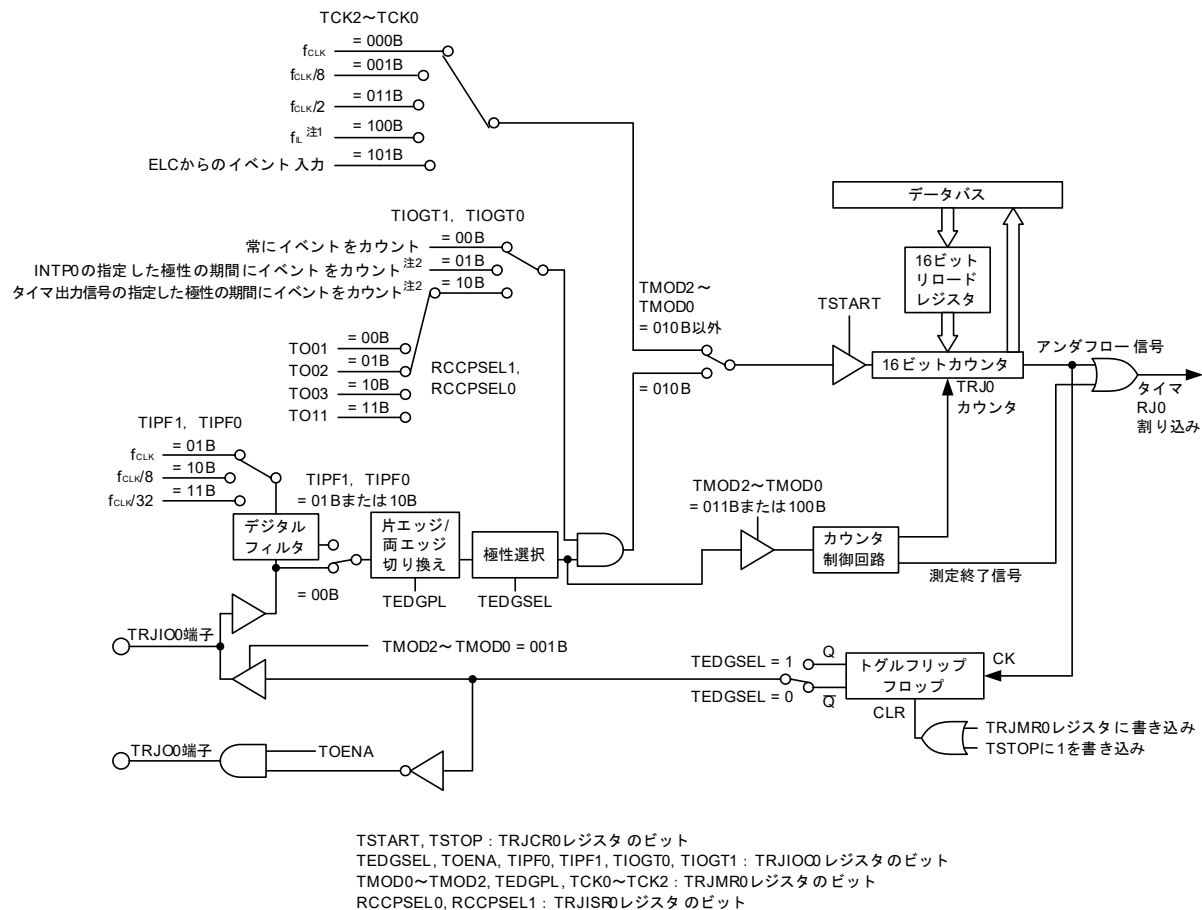
表7-1 タイマRJの仕様

項目		内容
動作 モード	タイマモード	カウントソースをカウントする
	パルス出力モード	カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース(動作クロック)		fCLK, fCLK/2, fCLK/8, fIL, イベント・リンク・コントローラ(ELC)からのイベント入力から選択可能
割り込み		<ul style="list-style-type: none"> カウンタがアンダフローしたとき パルス幅測定モードで、外部入力(TRJIO0)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO0)の設定エッジが入力されたとき
選択機能		<ul style="list-style-type: none"> イベント・リンク・コントローラ(ELC)との連携 カウントソースにELCからのイベント入力を選択可能

7.2 タイマRJの構成

図7-1にタイマRJのブロック図を、表7-2にタイマRJの端子構成を示します。

図7-1 タイマRJのブロック図



注1. カウントソースにfilを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを“1”にしてください。

ただし、リアルタイム・クロックまたはインターバル・タイマのカウントソースにRTCクロック選択レジスタ(RTCCL)で設定した動作クロック(frTC)を選択している場合は、タイマRJのカウントソースにfilを選択することができません。

注2. TRJISR0レジスタのRCCPSEL2ビットで極性を選択できます。

表7-2 タイマRJの端子構成

端子名	入出力	機能
INTP0	入力	タイマRJのイベントカウンタモード制御
TRJIO0	入出力	タイマRJの外部イベント入力, パルス出力
TRJO0	出力	タイマRJのパルス出力

7.3 タイマRJを制御するレジスタ

表7-3にタイマRJを制御するレジスタを示します。

表7-3 タイマRJを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
サブシステム・クロック供給モード制御レジスタ	OSMC
タイマRJカウンタレジスタ0 ^注	TRJ0
タイマRJ制御レジスタ0	TRJCR0
タイマRJ I/O制御レジスタ0	TRJIOC0
タイマRJモードレジスタ0	TRJMR0
タイマRJイベント端子選択レジスタ0	TRJISR0
ポート・レジスタ1	P1
ポート・モード・レジスタ1	PM1

注 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJ0レジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

7.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRJを使用する場合は、必ずビット0 (TRJ0EN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	AMPEN	0	DTCEN	PGAEN	AFEEN	TRJ0EN

TRJ0EN	タイマRJ0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態
1	入カクロック供給 ・タイマRJ0で使用するSFRへのリード／ライト可

注意1. タイマRJの設定をする際には、必ず最初にTRJ0EN = 1の設定を行ってください。TRJ0EN = 0の場合は、タイマRJの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ1 (PM1)、ポート・レジスタ1 (P1)は除く)。

注意2. ビット4には必ず"0"を設定してください。

7.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで、リアルタイム・クロック、インターバル・タイマ、タイマRJの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック、インターバル・タイマ、タイマRJの動作クロックの選択
0	RTCクロック選択レジスタ (RTCCL) で設定したRTC動作クロック (f _{RTC}) ・リアルタイム・クロック、インターバル・タイマのカウンタ・クロックはRTC動作クロックになります。 ・タイマRJのカウンタソースに低速オンチップ・オシレータ・クロックを選択できません。
1	・インターバル・タイマのカウンタ・クロックは低速オンチップ・オシレータ・クロックになります。 ・タイマRJのカウンタソースに低速オンチップ・オシレータ・クロックを選択できます。

注意 リアルタイム・クロックを使用する時には、WUTMMCK0ビットは必ず0を設定してください。

7.3.3 タイマRJカウンタレジスタ0 (TRJ0)

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJCR0レジスタのTSTARTビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は7.4.1 リロードレジスタとカウンタの書き換え動作を参照してください。

TRJ0レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJ0レジスタはFFFFHになります。

図7-4 タイマRJカウンタレジスタ0 (TRJ0)のフォーマット

アドレス : F0500H リセット時 : FFFFH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJ0																
—	機能															設定範囲
ビット 15~0	16ビットのカウンタです。注1,2															0000H~FFFFH

注1. TRJCR0レジスタのTSTOPビットに1を書くと、16ビットカウンタは強制停止し、FFFFHになります。

注2. TRJMR0レジスタのTCK2~TCK0ビットの設定が001B (fclk/8)または011B (fclk/2)以外では、TRJ0レジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。ただし、TRJ0およびTRJIO0出力はトグル出力されます。

また、イベントカウンタモード時はTCK2~TCK0ビットの値に関わらず、TRJ0レジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の1回しか発生しません。さらに、カウント指定期間外でもTRJ00がトグル出力されます。

TRJ0レジスタが0001H以上の場合はTRJがアンダフローするごとに要求信号が発生します。

注意 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJ0レジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

7.3.4 タイマRJ制御レジスタ0 (TRJCR0)

TRJCR0レジスタは、タイマRJのカウンタ動作・停止の制御と、タイマRJステータスを示すレジスタです。

TRJCR0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJCR0レジスタは00Hになります。

図7-5 タイマRJ制御レジスタ0 (TRJCR0)のフォーマット

アドレス : F0240H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJCR0	0	0	TUNDF	TEDGF	0	TSTOP	TCSTF	TSTART

TUNDF	タイマRJアンダフローフラグ
0	アンダフローなし
1	アンダフローあり
[0になる条件]	
<ul style="list-style-type: none"> プログラムで0を書いたとき 	
[1になる条件]	
<ul style="list-style-type: none"> カウンタがアンダフローしたとき 	

TEDGF	有効エッジ判定フラグ
0	有効エッジなし
1	有効エッジあり
[0になる条件]	
<ul style="list-style-type: none"> プログラムで0を書いたとき 	
[1になる条件]	
<ul style="list-style-type: none"> パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき 	

TSTOP	タイマRJカウント強制停止 ^{注1}
1を書くと、カウント強制停止。読んだ場合、その値は0。	

TCSTF	タイマRJカウントステータスフラグ ^{注2}
0	カウント停止
1	カウント中
[0になる条件]	
<ul style="list-style-type: none"> TSTARTビットに0を書いたとき(カウントソースに同期して0になる) TSTOPビットに1を書いたとき 	
[1になる条件]	
<ul style="list-style-type: none"> TSTARTビットに1を書いたとき(カウントソースに同期して1になる) 	

TSTART	タイマRJカウント開始 ^{注2}
0	カウント停止
1	カウント開始
TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。詳細は7.5.1 カウント動作開始、停止制御を参照してください。	

注1. TSTOPビットに1(カウント強制停止)を書くと、同時にTSTART、TCSTFビットが初期化されます。また、パルス出力レベルも初期化されます。

注2. TSTART、TCSTFビットの使用上の注意は7.5.1 カウント動作開始、停止制御を参照してください。

7.3.5 タイマRJ I/O制御レジスタ0 (TRJIOC0)

TRJIOC0レジスタは、タイマRJの入出力を設定するレジスタです。

TRJIOC0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJIOC0レジスタは00Hになります。

図7-6 タイマRJ I/O制御レジスタ0 (TRJIOC0)のフォーマット

アドレス : F0241H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJIOC0	TIOGT1	TIOGT0	TIPF1	TIPF0	0	TOENA	0	TEDGSEL
	TIOGT1	TIOGT0	TRJIOカウント制御 ^{注1,2}					
	0	0	常にイベントをカウント					
	0	1	INTP0の指定した極性の期間イベントをカウント					
	1	0	タイマ出力信号の指定した極性の期間イベントをカウント					
	上記以外		設定禁止					
	TIPF1	TIPF0	TRJIO入力フィルタ選択					
	0	0	フィルタなし					
	0	1	フィルタあり, fCLKでサンプリング					
	1	0	フィルタあり, fCLK/8でサンプリング					
	1	1	フィルタあり, fCLK/32でサンプリング					
	TRJIO入力のフィルタのサンプリング周波数を指定します。TRJIO0端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。							
	TOENA	TRJO出力許可						
	0	TRJO出力禁止(ポート)						
	1	TRJO出力許可						
	TEDGSEL	入出力極性切り替え						
	動作モードによって機能が異なります(表7-4, 表7-5参照)。							

注1. INTP0またはタイマ出力信号使用時, TRJISR0レジスタのRCCPSEL2ビットでイベントをカウントする極性を選択できます。

注2. TIOGT0, TIOGT1ビットはイベントカウンタモードでのみ有効です。

表7-4 TRJIO入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない(入出力ポート)
パルス出力モード	0: Hから出力開始(初期化レベル: H) 1: Lから出力開始(初期化レベル: L)
イベントカウンタモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Lレベル幅を測定 1: Hレベル幅を測定
パルス周期測定モード	0: 測定パルスの立ち上がりから立ち上がり間測定 1: 測定パルスの立ち下がりから立ち下がり間測定

表7-5 TRJO出力極性切り替え

動作モード	機能
全モード	0: Lから出力開始(初期化レベル: L) 1: Hから出力開始(初期化レベル: H)

7.3.6 タイマRJモードレジスタ0 (TRJMR0)

TRJMR0レジスタは、タイマRJの動作モードを設定するレジスタです。

TRJMR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJMR0レジスタは00Hになります。

図7-7 タイマRJモードレジスタ0 (TRJMR0)のフォーマット

アドレス : F0242H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJMR0	0	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
	TCK2	TCK1	TCK0	タイマRJカウントソース選択 ^{注1,2}				
	0	0	0	fCLK				
	0	0	1	fCLK/8				
	0	1	1	fCLK/2				
	1	0	0	fil ^{注4}				
	1	0	1	ELCからのイベント入力				
	上記以外			設定禁止				
	TEDGPL	TRJIOエッジ極性選択 ^{注5}						
	0	片エッジ						
	1	両エッジ						
	TMOD2	TMOD1	TMOD0	タイマRJ動作モード選択 ^{注3}				
	0	0	0	タイマモード				
	0	0	1	パルス出力モード				
	0	1	0	イベントカウンタモード				
	0	1	1	パルス幅測定モード				
	1	0	0	パルス周期測定モード				
	上記以外			設定禁止				

注1. イベントカウンタモードを選択すると、TCK0 ~ TCK2 ビットの設定にかかわらず、カウントソースは外部入力 (TRJIO)が選択されます。

注2. カウント中にカウントソースを切り替えないでください。カウントソースを切り替えるときはTRJCR0レジスタのTSTARTビットとTCSTFビットがいずれも0 (カウント停止)のときに、カウントソースを切り替えてください。

注3. 動作モードの変更は、カウント停止時 (TRJCR0レジスタのTSTARTビットとTCSTFビットが共に0 (カウント停止))のみ可能です。カウント動作中には変更しないでください。

注4. カウントソースにfilを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを"1"にしてください。

注5. TEDGPLビットはイベントカウンタモード時のみ有効です。

注6. TRJMR0レジスタへのライトアクセスにて、タイマRJのTRJIO0端子およびTRJIO0端子の出力は初期化されます。初期化時の出力レベルは図7-6 タイマRJ I/O制御レジスタ0 (TRJIOC0)のフォーマットの説明を参照してください。

7.3.7 タイマRJイベント端子選択レジスタ0 (TRJISR0)

TRJISR0 レジスタは、イベントカウンタモード時に、イベントカウント期間を制御するタイマを選択、および極性の設定をするレジスタです。

TRJISR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJISR0 レジスタは00Hになります。

図7-8 タイマRJイベント端子選択レジスタ0 (TRJISR0)のフォーマット

アドレス : F0243H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJISR0	0	0	0	0	0	RCCPSEL2 ^注	RCCPSEL1 ^注	RCCPSEL0 ^注

RCCPSEL2 ^注	タイマ出力信号およびINTP0極性選択
0	L期間にイベントをカウント
1	H期間にイベントをカウント

RCCPSEL1 ^注	RCCPSEL0 ^注	タイマ出力信号選択
0	0	TO01
0	1	TO02
1	0	TO03
1	1	TO11

注 RCCPSEL0～RCCPSEL2ビットはイベントカウンタモードでのみ有効です。

7.3.8 ポート・モード・レジスタ 1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P11/TRJIO0, P12/TRJO0 など) をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ 1 (PM1) のビットおよびポート・レジスタ 1 (P1) のビットに0を設定してください。

(例) P11/TRJIO0 をタイマ出力として使用する場合

ポート・モード・レジスタ 1 の PM11 ビットを 0 に設定

ポート・レジスタ 1 の P11 ビットを 0 に設定

タイマ入力端子を兼用するポート (P11/TRJIO0 など) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ 1 (PM1) のビットに1を設定してください。このときポート・レジスタ 1 (P1) のビットは、0または1のどちらでもかまいません。

(例) P11/TRJIO0 をタイマ入力として使用する場合

ポート・モード・レジスタ 1 の PM11 ビットを 1 に設定

ポート・レジスタ 1 の P11 ビットを 0 または 1 に設定

PM1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図7-9 ポート・モード・レジスタ 1 (PM1) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
PM1n	P1n 端子の入出力モードの選択 (n = 0-7)							
0	出力モード (出力バッファ・オン)							
1	入力モード (出力バッファ・オフ)							

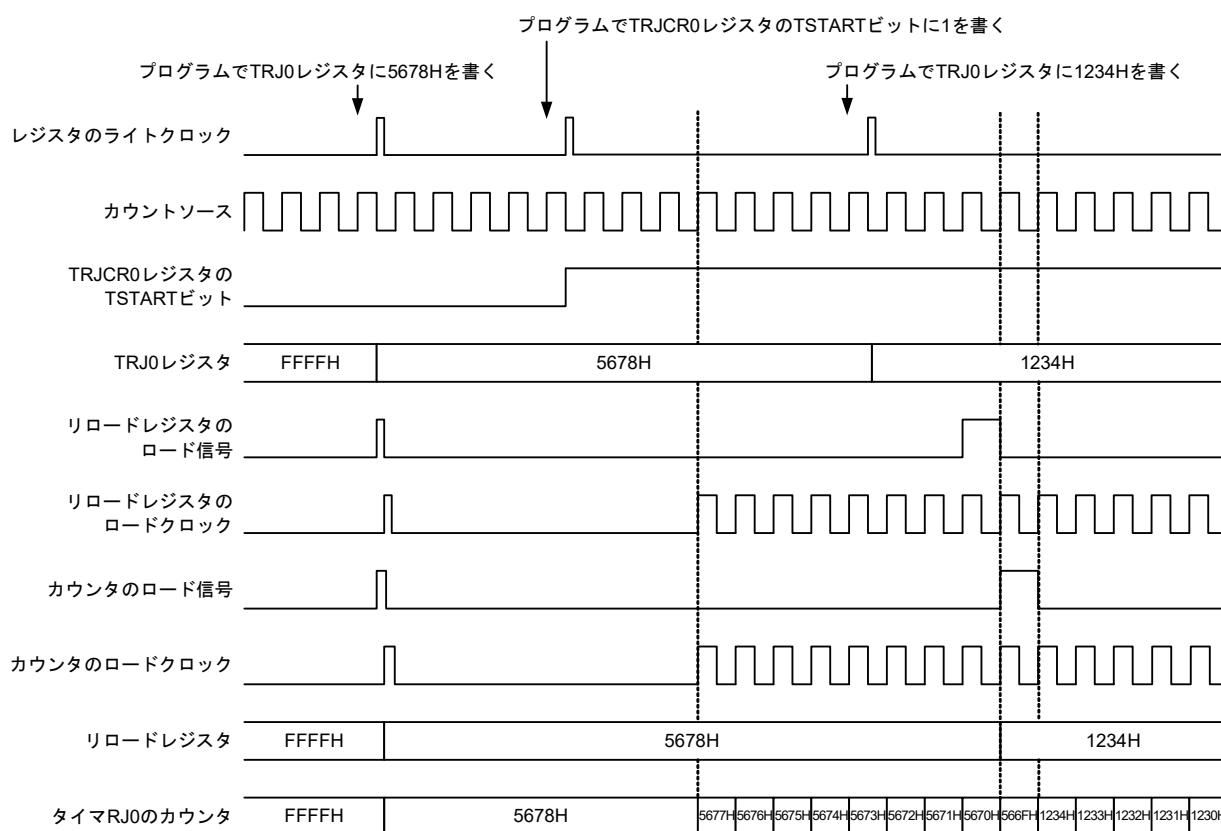
7.4 タイマRJの動作

7.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらずTRJCR0レジスタのTSTARTビットの値によりタイミングが変わります。TSTARTビットが0（カウント停止）のときは、直接リロードレジスタおよびカウンタに書き込まれます。TSTARTビットが1（カウント開始）のときは、カウントソースに同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図7-10にTSTARTビットの値による書き換え動作のタイミング図を示します。

図7-10 TSTARTビットの値による書き換え動作のタイミング図



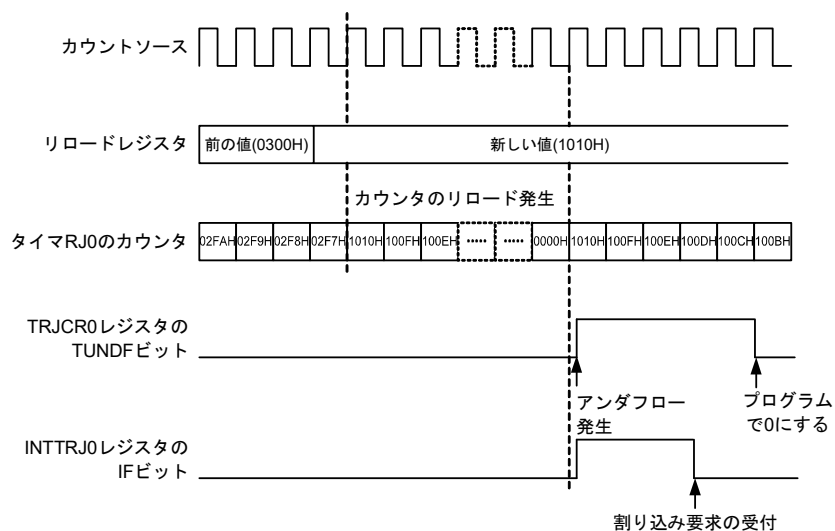
7.4.2 タイマモード

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

図7-11にタイマモードの動作例を示します。

図7-11 タイマモードの動作例



7.4.3 パルス出力モード

TRJMR0 レジスタの TCK0 ~ TCK2 ビットにより選択されたカウントソースでダウンカウントし、アンダフローするごとに、TRJIO 端子および TRJO 端子の出力レベルを反転出力させるモードです。

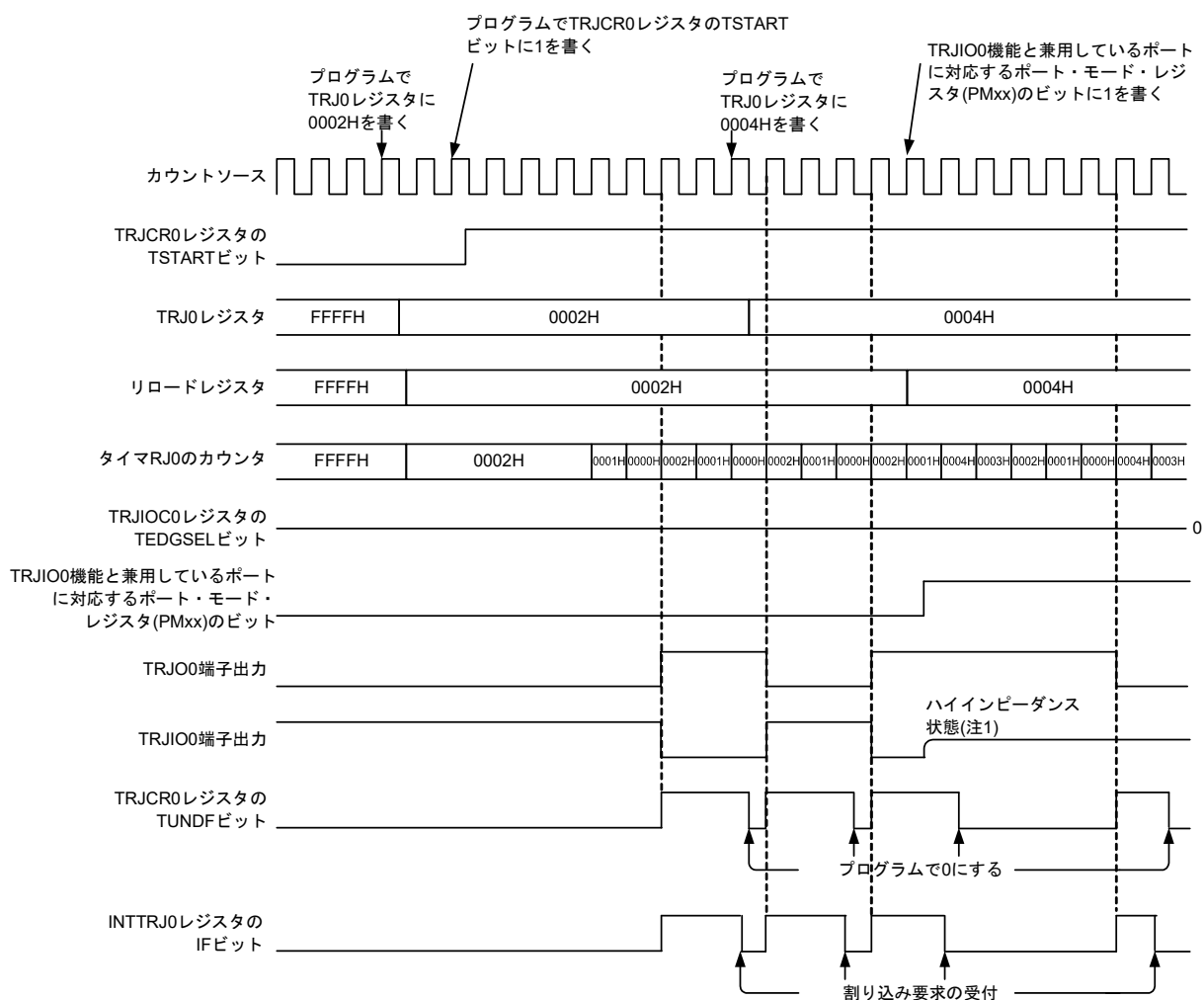
パルス出力モードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000H になり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

また、TRJIO0 端子と TRJO0 端子の2 端子からパルス出力が可能で、アンダフローするごとに出力レベルを反転します。TRJO0 端子については、TRJIOC0 レジスタの TOENA ビットによりパルス出力を停止できます。

なお、出力レベルを TRJIOC0 レジスタの TEDGSEL ビットにより選択できます。

図7-12にパルス出力モードの動作例を示します。

図7-12 パルス出力モードの動作例



注1. TRJIO0機能として選択したポートの出力許可制御によって、ハイインピーダンス状態となります。

7.4.4 イベントカウンタモード

TRJIO0端子から入力される外部イベント信号(カウントソース)でダウンカウントするモードです。

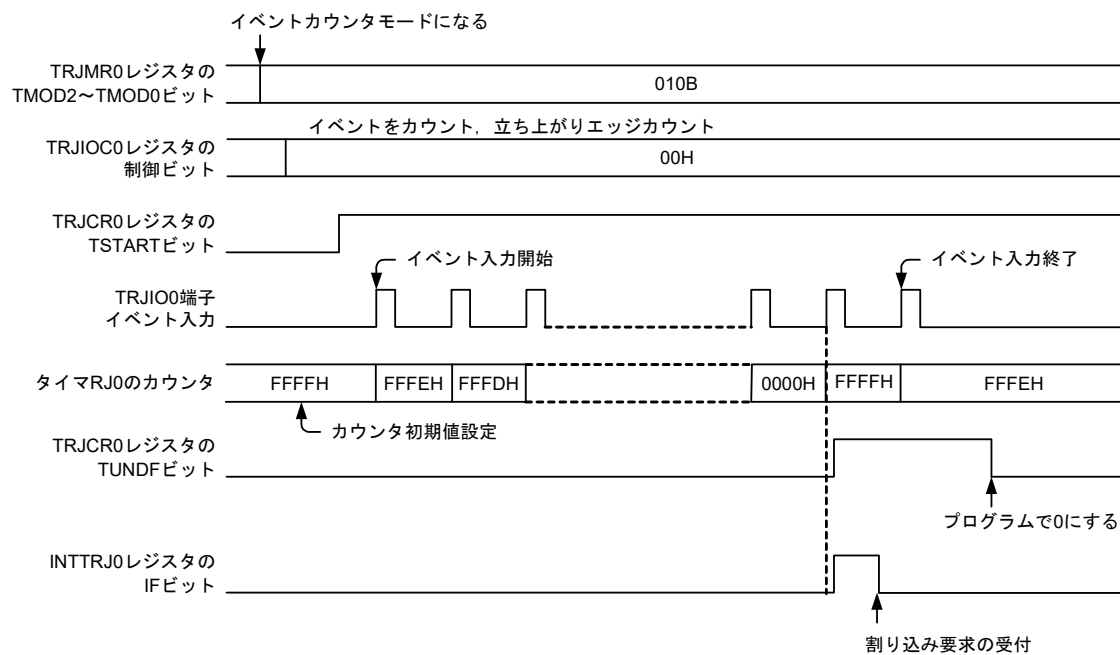
イベントカウントする期間を, TRJIOC0レジスタのTIOGT0~TIOGT1ビットおよびTRJISR0レジスタにより各種設定ができます。また, TRJIO0入力のフィルタ機能をTRJIOC0レジスタのTIPF0~TIPF1ビットで指定できます。

なお, イベントカウンタモードでもTRJO0端子からトグル出力ができます。

イベントカウンタモードを使用する場合は7.5.5 TRJO0, TRJIO0端子の設定手順を参照してください。

図7-13にイベントカウンタモードの動作例1を示します。

図7-13 イベントカウンタモードの動作例1

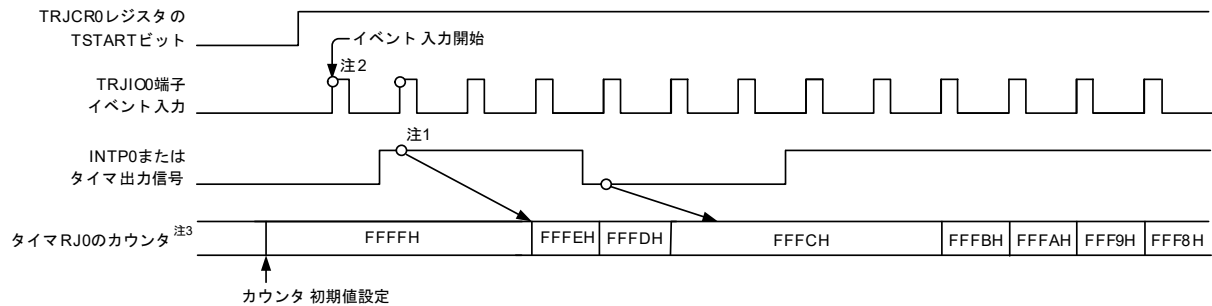


イベントカウンタモードで指定時間カウントする場合 (TRJIOC0レジスタのTIOGT1, TIOGT0ビットが01Bまたは10B)の動作例を図7-14に示します。

図7-14 イベントカウンタモードの動作例2

■動作モード設定が下記の場合のタイミング例

- TRJMR0レジスタ: TMOD2,1,0 = 010B (イベントカウンタモード)
- TRJIOC0レジスタ: TIOGT1,0 = 01B (外部割り込み端子の指定した期間イベントカウント)
- TIPF1,0 = 00B (フィルタなし)
- TEDGSEL = 0 (立ち上がりエッジでカウント)
- TRJISR0レジスタ: RCCPSEL2 = 1 (H期間をカウント)



下記注意事項は、イベントカウンタモードの動作モード設定が、TRJIOC0レジスタのTIOGT1, TIOGT0ビットが01Bまたは10Bの場合に限ります。

- 注1. 同期化制御のため、カウント動作に反映されるまで、カウントソースで2クロック分の遅延があります。
- 注2. カウント開始直後のカウントソースで2クロック分は前回のカウント停止前の状態により、カウント動作する場合があります。
- 注3. TRJISR0レジスタのRCCPSEL1, RCCPSEL0ビットで選択したタイマ出力信号について、そのタイマ出力機能を割り当てている端子はタイマ以外の兼用機能の出力としては使用できません。

7.4.5 パルス幅測定モード

TRJIO0端子から入力される外部信号のパルス幅を測定するモードです。

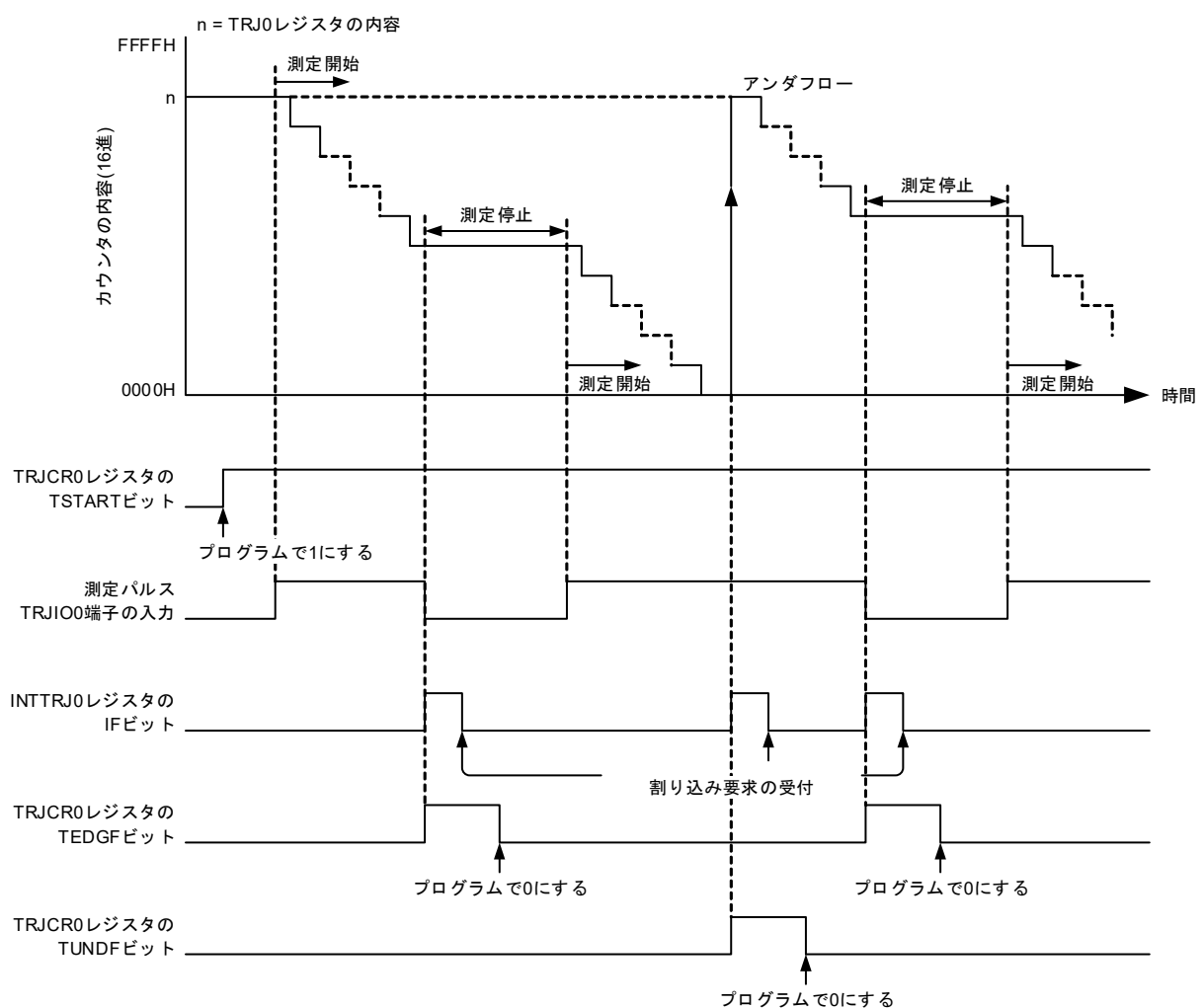
パルス幅測定モードでは、TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO0端子の指定したレベルが終了するとカウンタは停止し、TRJCR0レジスタのTEDGFビットが1（有効エッジあり）になり、割り込み要求が発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCR0レジスタのTUNDFビットが1（アンダフローあり）になり、割り込み要求が発生します。

図7-15にパルス幅測定モードの動作例を示します。

TRJCR0レジスタのTEDGF、TUNDFビットをアクセスする場合は7.5.2 フラグへのアクセス (TRJCR0レジスタのTEDGF、TUNDFビット)を参照してください。

図7-15 パルス幅測定モードの動作例

測定パルスのHレベル幅を測定した場合 (TRJIOC0レジスタのTEDGSELビット = 1)



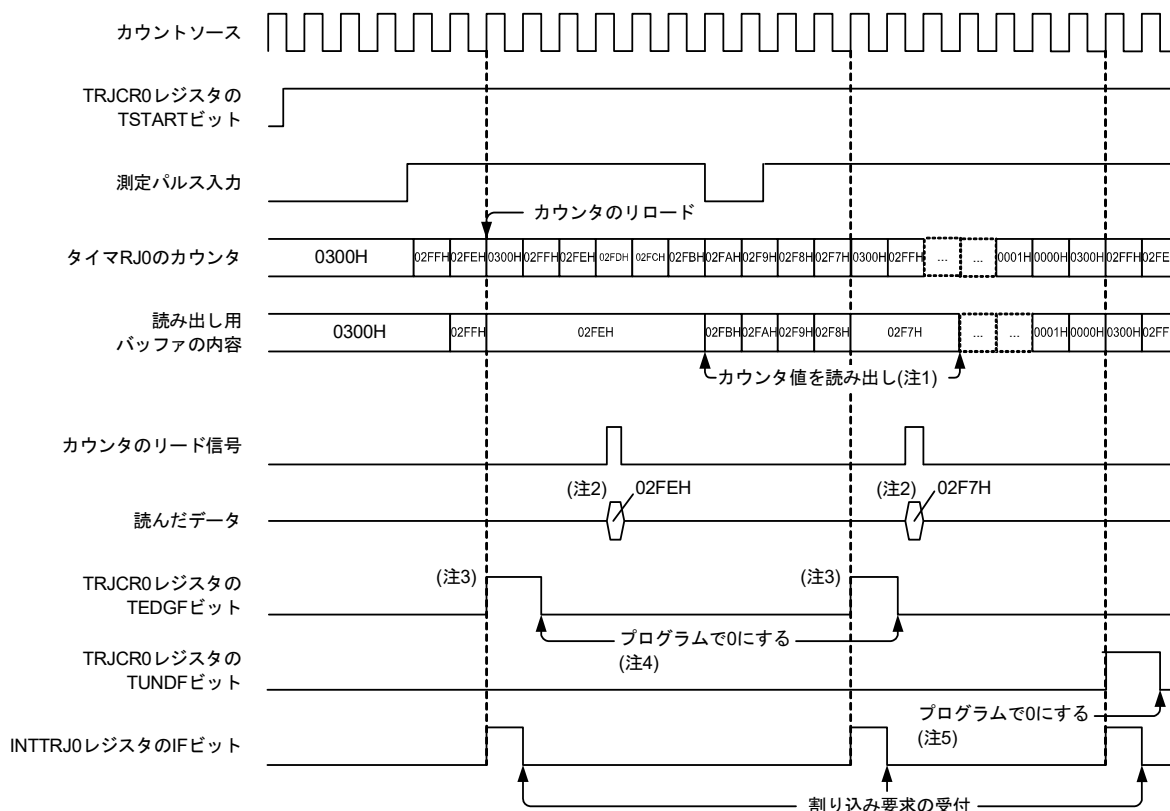
7.4.6 パルス周期測定モード

TRJIO0端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時にTRJCR0レジスタのTEDGFビットが1(有効エッジあり)になり、割り込み要求が発生します。このときに読み出し用バッファ(TRJ0レジスタ)を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCR0レジスタのTUNDFビットが1(アンダフローあり)になり、割り込み要求が発生します。図7-16にパルス周期測定モードの動作例を示します。

カウントソースより2倍長い周期のパルスを入力してください。また、L幅とH幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

図7-16 パルス周期測定モードの動作例



TRJ0レジスタの初期値を0300Hとし、TRJIOC0レジスタのTEDGSELビットを0にし、測定パルスの立ち上がりまで測定した場合です。

- 注1. TRJ0レジスタの読み出しは、TEDGFビットが1(有効エッジあり)になってから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用バッファの内容は、TRJ0レジスタを読み出すまで保持されます。従って、有効エッジが入力されるまでに読み出さない場合は、前の周期の測定結果を保持します。
- 注2. パルス周期測定モードでTRJ0レジスタを読み出すと、読み出し用バッファの内容が読めます。
- 注3. 測定パルスの有効エッジ入力後に、外部パルス入力の設定エッジが入力されたとき、TRJCR0レジスタのTEDGFビットが1(有効エッジあり)になります。
- 注4. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0レジスタのTEDGFビットに0を書き込んでください。
- 注5. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0レジスタのTUNDFビットに0を書き込んでください。

7.4.7 イベント・リンク・コントローラ(ELC)との連携による動作

ELCとの連携により、カウントソースにELCからのイベント入力を設定することができます。

TRJMR0レジスタのTCK0～TCK2ビットにて、ELCからのイベント入力の立ち上がりでカウントします。ただし、イベントカウンタモードでは、ELC入力は機能しません。

ELC設定手順を以下に示します。

•動作開始手順

- (1) ELCのイベント出力先選択レジスタ(ELSELRn)を設定する。
- (2) イベント発生元の動作モードを設定する。
- (3) タイマRJのモードを設定する。
- (4) タイマRJのカウント動作を開始する。
- (5) イベント発生元の動作を開始する。

•動作停止手順

- (1) イベント発生元の動作を停止させる。
- (2) タイマRJのモードのカウンタ動作を停止させる。
- (3) ELCのイベント出力先選択レジスタ(ELSELRn)を0に設定する。

7.4.8 各モード出力設定

表7-6, 表7-7に各モード時のTRJO0, TRJIO0端子状態を示します。

表7-6 TRJO0端子設定

動作モード	TRJIOC0レジスタ		TRJO0端子出力
	TOENAビット	TEDGSELビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

表7-7 TRJIO0端子設定

動作モード	TRJIOC0レジスタ		TRJIO0端子入出力
	PMXXビット注	TEDGSELビット	
タイマモード	0または1	0または1	入力(使用しない)
パルス出力モード	1	0または1	出力禁止(Hi-z出力)
		1	正転出力
	0	0	反転出力
イベントカウンタモード	1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注 TRJIO0機能と兼用しているポートに対応するポート・モード・レジスタ(PMXX)のビット

7.5 タイマRJ使用上の注意事項

7.5.1 カウント動作開始, 停止制御

- イベントカウントモードまたはカウントソースをELC以外に設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TRJCR0レジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また、TATARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第22章 割り込み機能を参照してください。

注 タイマRJ関連レジスタ : TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

- イベントカウントモードまたはカウントソースをELC設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCR0レジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また、TATARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第22章 割り込み機能を参照してください。

注 タイマRJ関連レジスタ : TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

7.5.2 フラグへのアクセス(TRJCR0レジスタのTEDGF, TUNDFビット)

TRJCR0レジスタのTEDGF, TUNDFビットは、プログラムで0を書くとも0になりますが、1を書いても変化しません。TRJCR0レジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF, TUNDFビットを誤って0にする場合があります。TRJCR0レジスタへのアクセスは、8ビット・メモリ操作命令を使用してください。

7.5.3 カウンタレジスタへのアクセス

TRJCR0レジスタのTSTARTビットとTCSTFビットが共に1(カウント動作中)の場合、TRJ0レジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。

7.5.4 モード変更時

タイマRJの動作モード関連レジスタ(TRJIOC0, TRJMR0, TRJISR0)の変更は、カウント停止時(TRJCR0レジスタのTSTARTビットとTCSTFビットが共に"0"(カウント停止))のみ可能です。カウント動作中には変更しないでください。

タイマRJの動作モード関連レジスタを変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットに"0"(有効エッジなし)、TUNDFビットに"0"(アンダフローなし)を書いてから、カウントを開始してください。

7.5.5 TRJO0, TRJIO0端子の設定手順

リセット後, TRJO0, TRJIO0端子と共用しているI/Oポートは入力ポートとして機能します。
TRJO0, TRJIO0端子から出力する場合は, 以下の手順で設定してください。

変更手順

- (1) モード設定をする
- (2) 初期値設定/出力許可設定をする。
- (3) TRJO0, TRJIO0端子に対応するポート・レジスタのビットを0にする。
- (4) TRJO0, TRJIO0端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRJO0, TRJIO0端子端子から出力開始)
- (5) カウントを開始する(TRJCR0レジスタのTSTART = 1)。

TRJIO0端子から入力する場合は, 以下の手順で設定してください。

- (1) モード設定をする
- (2) 初期値設定/エッジ選択設定をする。
- (3) TRJIO0端子に対応するポート・モード・レジスタのビットを入力モードに設定する。
(TRJIO0端子から入力開始)
- (4) カウントを開始する(TRJMR0レジスタのTSTART = 1)。
- (5) TRJCR0レジスタのTCSTFビットが1(カウント中)になるまで待つ。
(イベントカウンタモード時のみ)
- (6) TRJIO0端子から外部イベントを入力する。
- (7) 最初の測定完了による処理は無効としてください(2回目以降から測定値有効)。
(パルス幅測定モード, パルス周期測定モードのみ)

7.5.6 タイマRJ未使用時

タイマRJを使用しない場合, TRJMR0レジスタのTMOD2~TMOD0ビットを000B(タイマモード), TRJIOC0レジスタのTOENAビットを0(TRJO出力禁止)にしてください。

7.5.7 タイマRJ動作クロック停止時

PER1レジスタのTRJOENビットでタイマRJのクロック供給/停止制御が可能です。ただし, タイマRJのクロック停止時は下記SFRへのアクセスができません。アクセスする場合にはタイマRJのクロックを供給した状態で行ってください。

TRJOレジスタ, TRJCR0レジスタ, TRJMR0レジスタ, TRJIOC0レジスタ, TRJISR0レジスタ

7.5.8 STOPモード(イベントカウンタモード)の設定手順

STOPモード中にイベントカウンタモードの動作をさせる場合、タイマRJのクロックを供給した後、以下の手順でSTOPモードへ移行してください。

設定手順

- (1) 動作モード設定
- (2) カウントを開始する(TSTART = 1, TCSTF = 1)
- (3) タイマRJのクロック供給停止

また、STOPモード中にイベントカウンタモードの動作を停止させる場合、以下の手順で動作停止処理を行ってください。

- (1) タイマRJのクロック供給
- (2) カウントを停止する(TSTART = 0, TCSTF = 0)

7.5.9 STOPモード(イベントカウンタモードのみ)での機能制限

STOPモード中にイベントカウンタモードの動作をさせる場合、デジタルフィルタ機能は使用できません。

7.5.10 TSTOPビットによる強制カウント停止時

TRJCR0レジスタのTSTOPビットによるカウンタ強制停止後、カウントソースで1サイクルの間、下記SFRへのアクセスはしないでください。

TRJ0レジスタ, TRJCR0レジスタ, TRJMR0レジスタ

7.5.11 デジタルフィルタ

デジタルフィルタを使用する場合はTRJIOCレジスタのTIPF1, TIPF0ビット設定後、デジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

また、デジタルフィルタを使用している状態で、TRJIOCレジスタのTEDGSELビットを変更した場合も同様にデジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

7.5.12 カウントソースにfilを選択する場合

カウントソースにfilを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを“1”にしてください。

ただし、リアルタイム・クロックまたはインターバル・タイマのカウントソースにRTCクロック選択レジスタ(RTCCL)で設定した動作クロック(frTC)を選択している場合は、タイマRJのカウントソースにfilを選択することができません。

第8章 タイマRG

8.1 タイマRGの機能

タイマRGは、次の3種類のモードを持ちます。

- タイマモード：
 - インプットキャプチャ機能 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり/立ち下がりの両エッジでカウント
 - アウトプットコンペア機能 L出力/H出力/トグル出力
- PWMモード：任意デューティのPWM出力が可能
- 位相計数モード：2相エンコーダのカウント数の自動計測が可能

8.2 タイマRGの構成

図8-1にタイマRGのブロック図を、表8-1にタイマRGの端子構成を示します。

図8-1 タイマRGのブロック図

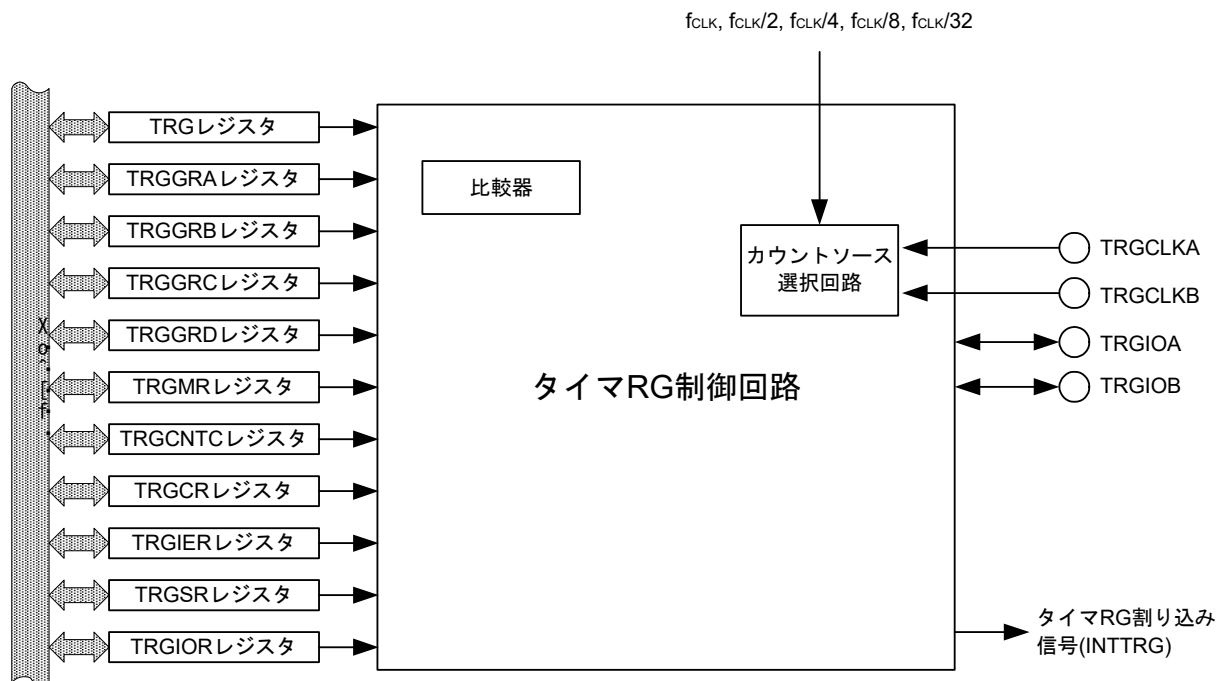


表8-1 タイマRGの端子構成

端子名	兼用しているポート名	入出力	機能
TRGCLKA	P11	入力	<ul style="list-style-type: none"> 位相計数モード時 A相入力 位相計数モード時以外 外部クロックA入力
TRGCLKB	P15	入力	<ul style="list-style-type: none"> 位相計数モード時 B相入力 位相計数モード時以外 外部クロックB入力
TRGIOA	P10	入出力	<ul style="list-style-type: none"> タイマモード(アウトプットコンペア機能)時 TRGGRAアウトプットコンペア出力 タイマモード(インプットキャプチャ機能)時 TRGGRAインプットキャプチャ入力 PWMモード時 PWM出力
TRGIOB	P12	入出力	<ul style="list-style-type: none"> タイマモード(アウトプットコンペア機能)時 TRGGRBアウトプットコンペア出力 タイマモード(インプットキャプチャ機能)時 TRGGRBインプットキャプチャ入力

8.3 タイマRGを制御するレジスタ

表8-2にタイマRGを制御するレジスタを示します。

表8-2 タイマRGを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
タイマRGモードレジスタ	TRGMR
タイマRGカウント制御レジスタ	TRGCNTC
タイマRG制御レジスタ	TRGCR
タイマRG割り込み許可レジスタ	TRGIER
タイマRGステータスレジスタ	TRGSR
タイマRG I/O制御レジスタ	TRGIOR
タイマRGカウンタ	TRG
タイマRGジェネラルレジスタA	TRGGRA
タイマRGジェネラルレジスタB	TRGGRB
タイマRGジェネラルレジスタC	TRGGRC
タイマRGジェネラルレジスタD	TRGGRD
ポート・レジスタ1	P1
ポート・モード・レジスタ1	PM1

8.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRGを使用する場合は、必ずビット6 (TRGEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	AMPEN	0	DTCEN	PGAEN	AFEEN	TRJ0EN

TRGEN	タイマRGの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRGで使用するSFRへのライト不可 ・タイマRGはリセット状態
1	入カクロック供給 ・タイマRGで使用するSFRへのリード/ライト可

注意1. タイマRGの設定をする際には、必ず最初にTRGEN = 1の設定を行ってください。TRGEN = 0の場合は、タイマRGの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ1 (PM1), ポート・レジスタ1 (P1)は除く)。

注意2. ビット4には必ず"0"を設定してください。

8.3.2 タイマRGモードレジスタ (TRGMR)

図8-3 タイマRGモードレジスタ (TRGMR)のフォーマット

アドレス : F0250H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGMR	TRGSTART	TRGELCICE	TRGDFCK1	TRGDFCK0	TRGDFOB	TRGDFA	TRGMDF	TRGPWM
TRGSTART	TRGカウント開始							
0	カウント停止, PWM出力信号 (TRGIOA端子) を初期化 (PWMモード時)							
1	カウント開始							
TRGELCICE	ELCインプットキャプチャ要求選択 ^{注1,2}							
0	外部入力信号B/デジタルフィルタ通過信号Bを選択							
1	ELCからのイベント入力(インプットキャプチャ)を選択							
TRGDFCK1	TRGDFCK0	デジタルフィルタ機能で使用するクロック選択 ^{注1}						
0	0	fCLK/32						
0	1	fCLK/8						
1	0	fCLK						
1	1	TRGCRレジスタのTRGTCK0~TRGTCK2ビットで選択したクロック						
TRGDFOB	TRGIOB端子のデジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合, 最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
TRGDFA	TRGIOA端子のデジタルフィルタ機能選択							
0	デジタルフィルタ機能なし							
1	デジタルフィルタ機能あり							
デジタルフィルタ機能ありの場合, 最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。								
TRGMDF	位相計数モード選択							
0	アップカウント							
1	位相計数モード							
TRGMDFビットが0のとき, カウンタはTRGCRレジスタのTRGTCK0~TRGTCK2ビットで設定したカウントソースをカウントします。 TRGMDFビットが1のとき, カウンタは, 表8-15 TRGレジスタの加算/減算条件に示すTRGCLKj端子(j = A, B)からの入力信号の位相をカウントします。								
TRGPWM	PWMモード選択							
0	タイマモード							
1	PWMモード							

注1. TRGSTARTビットが0(カウンタ停止)のとき, このビットを設定してください。

注2. ELCからのイベント入力(インプットキャプチャ)を有効にしたい場合は, TRGIORレジスタのTRGIOB2 = 1, TRGIOB1, TRGIOB0 = 00B(立ち上がりエッジ)に設定してください。

8.3.3 タイマRGカウント制御レジスタ (TRGCNTC)

TRGCNTCレジスタは位相計数モードで使用します。位相計数モードのカウント条件を設定します。

図8-4 タイマRGカウント制御レジスタ (TRGCNTC)のフォーマット

アドレス : F0251H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGCNTC	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
CNTEN7	カウント許可7							
0	無効							
1	アップカウント TRGCLKA入力がLレベルで、TRGCLKB入力の立ち上がりエッジのとき							
CNTEN6	カウント許可6							
0	無効							
1	アップカウント TRGCLKB入力がHレベルで、TRGCLKA入力の立ち上がりエッジのとき							
CNTEN5	カウント許可5							
0	無効							
1	アップカウント TRGCLKA入力がHレベルで、TRGCLKB入力の立ち下がりエッジのとき							
CNTEN4	カウント許可4							
0	無効							
1	アップカウント TRGCLKB入力がLレベルで、TRGCLKA入力の立ち下がりエッジのとき							
CNTEN3	カウント許可3							
0	無効							
1	ダウンカウント TRGCLKB入力がHレベルで、TRGCLKA入力の立ち下がりエッジのとき							
CNTEN2	カウント許可2							
0	無効							
1	ダウンカウント TRGCLKA入力がLレベルで、TRGCLKB入力の立ち下がりエッジのとき							
CNTEN1	カウント許可1							
0	無効							
1	ダウンカウント TRGCLKB入力がLレベルで、TRGCLKA入力の立ち上がりエッジのとき							
CNTEN0	カウント許可0							
0	無効							
1	ダウンカウント TRGCLKA入力がHレベルで、TRGCLKB入力の立ち上がりエッジのとき							

8.3.4 タイマRG制御レジスタ (TRGCR)

TRGCRレジスタに書く場合は、TRGMRレジスタのTRGSTARTビットが0 (カウント停止)の状態で行ってください。

図8-5 タイマRG制御レジスタ (TRGCR)のフォーマット

アドレス : F0252H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGCR	0	TRGCCLR1	TRGCCLR0	TRGCKEG1	TRGCKEG0	TRGTCK2	TRGTCK1	TRGTCK0
TRGCCLR1	TRGCCLR0	TRGレジスタクリア要因選択						
0	0	クリア禁止						
0	1	TRGGRAのインプットキャプチャ/コンペア一致でクリア						
1	0	TRGGRBのインプットキャプチャ/コンペア一致でクリア						
上記以外		設定禁止						
TRGCKEG1	TRGCKEG0	外部クロック有効エッジ選択 ^{注1,2}						
0	0	立ち上がりエッジでカウント						
0	1	立ち下がりエッジでカウント						
1	0	立ち上がり/立ち下がりの両エッジでカウント						
上記以外		設定禁止						
TRGTCK2	TRGTCK1	TRGTCK0	カウントソース選択 ^{注1}					
0	0	0	fCLK					
0	0	1	fCLK/2					
0	1	0	fCLK/4					
0	1	1	fCLK/8					
1	0	0	fCLK/32					
1	0	1	TRGCLKA入力					
1	1	1	TRGCLKB入力					
上記以外			設定禁止					

注1. 位相計数モードのとき、TRGTCK0～TRGTCK2ビット、およびTRGCKEG0、TRGCKEG1ビット設定は無効になり、位相計数モードの動作が優先されます。

注2. TRGCKEG0、TRGCKEG1ビットは、TRGTCK0～TRGTCK2ビットの設定が外部クロック (TRGCLKA、TRGCLKB) 時に有効です。外部クロック以外では無効です。

8.3.5 タイマRG割り込み許可レジスタ (TRGIER)

図8 - 6 タイマRG割り込み許可レジスタ (TRGIER)のフォーマット

アドレス : F0253H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGIER	0	0	0	0	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA

TRGOVIE	オーバーフロー割り込み許可
0	TRGOVF ビットによる割り込みを禁止
1	TRGOVF ビットによる割り込みを有効

TRGUDIE	アンダフロー割り込み許可
0	TRGUDF ビットによる割り込みを禁止
1	TRGUDF ビットによる割り込みを有効

TRGIMIEB	インプットキャプチャ/コンペアー致割り込み許可B
0	TRGIMFB ビットによる割り込みを禁止
1	TRGIMFB ビットによる割り込みを有効

TRGIMIEA	インプットキャプチャ/コンペアー致割り込み許可A
0	TRGIMFA ビットによる割り込みを禁止
1	TRGIMFA ビットによる割り込みを有効

備考 TRGIMFA, TRGIMFB, TRGUDF, TRGOVF : TRGSR レジスタのビット

8.3.6 タイマRGステータスレジスタ (TRGSR)

図8-7 タイマRGステータスレジスタ (TRGSR)のフォーマット

アドレス : F0254H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGSR	0	0	0	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA

TRGDIRF	カウント方向フラグ
0	TRGレジスタはダウンカウント
1	TRGレジスタはアップカウント

TRGOVF	オーパフローフラグ ^{注1}
[0になる条件]	
読んだ後, 0を書く ^{注2}	
[1になる条件]	
表8-3 各フラグが1になる条件参照	

TRGUDF	アンダフローフラグ
[0になる条件]	
読んだ後, 0を書く ^{注2}	
[1になる条件]	
表8-3 各フラグが1になる条件参照	

TRGIMFB	インプットキャプチャ/コンペアー致フラグB
[0になる条件]	
読んだ後, 0を書く ^{注2,3}	
[1になる条件]	
表8-3 各フラグが1になる条件参照	

TRGIMFA	インプットキャプチャ/コンペアー致フラグA
[0になる条件]	
読んだ後, 0を書く ^{注2,3}	
[1になる条件]	
表8-3 各フラグが1になる条件参照	

注1. TRGOVFビットは、タイマRGのカウンタ値がFFFFHから0000Hになったとき、1になります。また、TRGCRレジスタのTRGCCLR0, TRGCCLR1ビットの設定によって、動作中のインプットキャプチャ/コンペアー致により、タイマRGのカウンタ値がFFFFHから0000Hになったときにも、1になります。

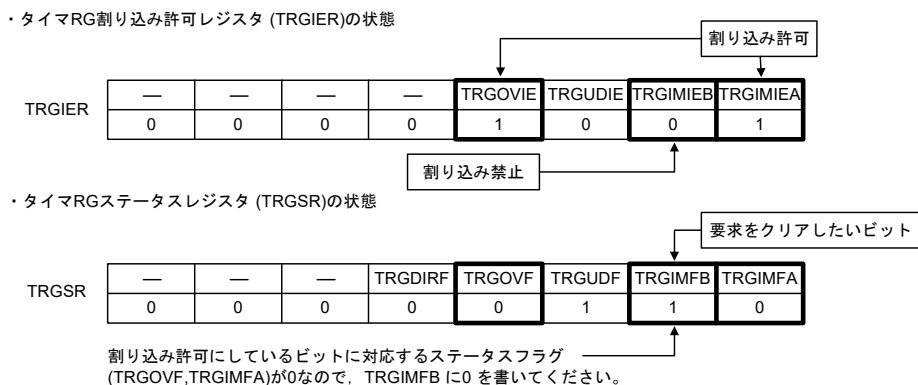
注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くと0になります。

ただし、タイマRGの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にするとき、その割り込みがタイマRG割り込み許可レジスタ (TRGIER)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

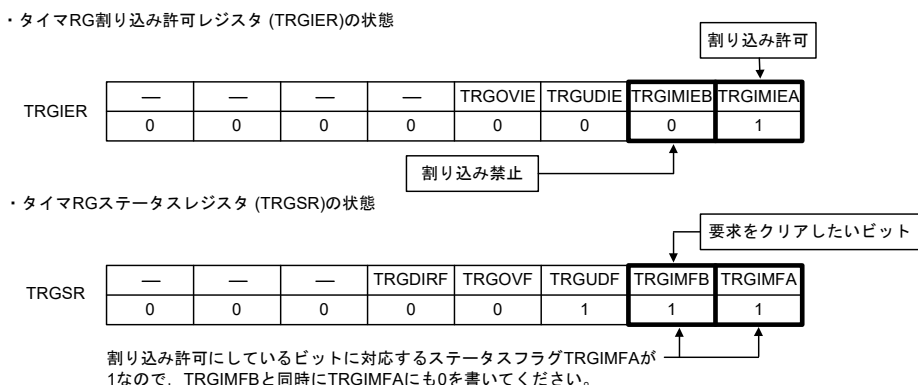
- (a) タイマRG 割り込み許可レジスタ (TRGIER) を 00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。
- (b) タイマRG 割り込み許可レジスタ (TRGIER) の中に1 (許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。

(例) TRGIMIEA, TRGOVIE が割り込み許可, TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合



- (c) タイマRG 割り込み許可レジスタ (TRGIER) の中に1 (許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) TRGIMIEA が割り込み許可, TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合



注3. DTCを使用する場合、TRGIMFA, TRGIMFBビットは、DTCの転送終了後に1になります。

表8-3 各フラグが1になる条件

ビットシンボル	タイマモード ^{注1}		PWMモード
	入力キャプチャ機能	アウトプットコンペア機能	
TRGOVIF	TRGがオーバフローしたとき		
TRGUDIF	TRGがアンダフローしたとき(位相計数モード時のみ)		
TRGIMFIB	TRGIOB端子の入カエッジ ^{注2}	TRGとTRGGRBの値が一致したとき	
TRGIMIFA	TRGIOA端子の入カエッジ ^{注2}	TRGとTRGGRAの値が一致したとき	

注1. 位相計数モードはタイマRGカウントレジスタのカウント方法であり、設定により上記のタイマモード、PWMモードを使用可能です。

注2. TRGIORレジスタのTRGIOj0, TRGIOj1ビット(j = A, B)で選択したエッジ。

8.3.7 タイマRG I/O制御レジスタ (TRGIOR)

図8-8 タイマRG I/O制御レジスタ (TRGIOR)のフォーマット

アドレス : F0255H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGIOR	TRGBUFB	TRGIOB2	TRGIOB1	TRGIOB0	TRGBUFA	TRGIOA2	TRGIOA1	TRGIOA0
TRGBUFB	TRGGRD レジスタ機能選択							
0	TRGGRB レジスタのバッファレジスタとして使用しない							
1	TRGGRB レジスタのバッファレジスタとして使用する							
TRGIOB2	TRGGRB モード選択注1,2							
0	アウトプットコンペア機能							
1	インプットキャプチャ機能							
TRGIOB1	TRGIOB0	TRGGRB制御						
0	0	コンペア一致による端子出力禁止						
0	1	L出力						
1	0	H出力						
1	1	トグル出力						
アウトプットコンペア機能では, TRG レジスタと TRGGRB レジスタのコンペア一致出力								
TRGIOB1	TRGIOB0	TRGGRB制御						
0	0	TRGIOBの立ち上がりエッジ						
0	1	TRGIOBの立ち下がりエッジ						
1	0	TRGIOBの両エッジ						
上記以外		設定禁止						
インプットキャプチャ機能では, TRG レジスタ内容を TRGGRBヘインプットキャプチャ								
TRGBUFA	TRGGRC レジスタ機能選択							
0	TRGGRA レジスタのバッファレジスタとして使用しない							
1	TRGGRA レジスタのバッファレジスタとして使用する							
TRGIOA2	TRGGRA モード選択注1,2							
0	アウトプットコンペア機能							
1	インプットキャプチャ機能							
TRGIOA1	TRGIOA0	TRGGRA制御						
0	0	コンペア一致による端子出力禁止						
0	1	L出力						
1	0	H出力						
1	1	トグル出力						
アウトプットコンペア機能では, TRG レジスタと TRGGRA レジスタのコンペア一致出力								

TRGIOA1	TRGIOA0	TRGGRA制御
0	0	TRGIOAの立ち上がりエッジ
0	1	TRGIOAの立ち下がりエッジ
1	0	TRGIOAの両エッジ
上記以外		設定禁止
インプットキャプチャ機能では、TRGレジスタ内容をTRGGRAへインプットキャプチャ		

- 注1. TRGIOj2ビット(j = A, B)が1 (インプットキャプチャ機能)のとき、TRGGRjレジスタはインプットキャプチャレジスタとして機能します。
- 注2. TRGIOj2ビット(j = A, B)が0 (アウトプットコンペア機能)のとき、TRGGRjレジスタはコンペア一致レジスタとして機能します。リセット後TRGIOj0, TRGIOj1を設定し、最初のコンペア一致が発生するまで、TRGIOj端子からは、

TRGIOj1, TRGIOj0 = 01BのときH出力

10BのときL出力

11BのときL出力

このTRGIORレジスタは、タイマモードにおいて入出力の端子制御をします。PWMモードでは無効になります。

TRGIORレジスタはカウント停止中(TRGMRレジスタのTRGSTART = 0)に設定してください。

8.3.8 タイマRGカウンタ (TRG)

TRGレジスタは、CPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGレジスタは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TRGレジスタは対応するTRGGRA、TRGGRBレジスタとのコンペア一致、またはTRGGRA、TRGGRBレジスタへのインプットキャプチャにより0000Hにクリアすることができます(カウンタクリア機能)。

TRGレジスタがオーバーフロー (FFFFH→0000H)すると、TRGSRレジスタのTRGOVFビットが1になります。アンダフロー (0000H→FFFFH)すると、TRGSRレジスタのTRGUDFビットが1になります。

図8-9 タイマRGカウンタ (TRG)のフォーマット

アドレス : F0256H リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRG

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

—	機能	設定範囲
ビット15~0	位相計数モードの場合、カウント動作はアップカウント/ダウンカウント。 それ以外の場合はアップカウント。	0000H ~ FFFFH

8.3.9 タイマRGジェネラルレジスタ A, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)

TRGGRA, TRGGRBレジスタは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TRGIORレジスタにより行います。

アウトプットコンペアレジスタとして使用しているときは、TRGGRA, TRGGRBレジスタの値とTRGレジスタの値は常に比較されています。両者の値が一致(コンペア一致)すると、TRGSRレジスタのTRGIMFA/TRGIMFBビットが1になります。TRGIORレジスタによりコンペア一致出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TRGレジスタの値を格納します。このときTRGIMFA/TRGIMFBビットが1になります。インプットキャプチャ信号の検出エッジ選択はTRGIORレジスタにより行います。

また、TRGGRCレジスタはTRGGRAレジスタのバッファレジスタとして、TRGGRDレジスタはTRGGRBレジスタのバッファレジスタとしてそれぞれ使用することもできます。この機能はTRGIORレジスタのTRGBUFA, TRGBUFBビットにより選択できます。

例えば、TRGGRAレジスタがアウトプットコンペアレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、コンペア一致Aが発生するたびにTRGGRCレジスタの値がTRGGRAレジスタに転送されます。

TRGGRAレジスタがインプットキャプチャレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRGレジスタの値がTRGGRAレジスタに、TRGGRAレジスタの値がTRGGRCレジスタに転送されます。

TRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタは16ビット単位でリード/ライト可能です。

図8 - 10 タイマRGジェネラルレジスタ A, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)のフォーマット

アドレス : F0258H (TRGGRA), F025AH (TRGGRB), FFF60H (TRGGRC), FFF62H (TRGGRD) リセット時 : FFFFH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGGR <i>i</i>																

—	機能
ビット15~0	モード, 機能によって機能が異なる。 表8 - 4にTRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタ機能を示します。

備考 i = A, B, C, D

表8 - 4 TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタ機能

モード, 機能	レジスタ	設定	機能
インプットキャプチャ	TRGGRA	TRGIOR (TRGIOA2 = 1) TRGMR (TRGPWM = 0)	インプットキャプチャレジスタ (TRGレジスタの値を格納)
	TRGGRB	TRGIOR (TRGIOB2 = 1) TRGMR (TRGPWM = 0)	インプットキャプチャレジスタ (TRGレジスタの値を格納)
アウトプットコンペア	TRGGRA	TRGIOR (TRGIOA2 = 0) TRGMR (TRGPWM = 0)	アウトプットコンペアレジスタ (TRGレジスタとのコンペア値を格納, コンペア一致で TRGIOAに設定値を出力)
	TRGGRB	TRGIOR (TRGIOB2 = 0) TRGMR (TRGPWM = 0)	アウトプットコンペアレジスタ (TRGレジスタとのコンペア値を格納, コンペア一致で TRGIOBに設定値を出力)
PWM	TRGGRA	TRGMR (TRGPWM = 1)	アウトプットコンペアレジスタ (コンペア一致でTRGIOAにH出力)
	TRGGRB		アウトプットコンペアレジスタ (コンペア一致でTRGIOAにL出力)
共通	TRGGRC	TRGIOR (TRGBUFA = 0)	使用しない
	TRGGRD	TRGIOR (TRGBUFB = 0)	使用しない
	TRGGRC	TRGIOR (TRGBUFA = 1)	TRGGRAのバッファレジスタ (TRGGRAとの転送あり) <ul style="list-style-type: none"> • TRGIOA2 = 1 の場合 インプットキャプチャ信号により, TRGGRAから前回のインプットキャプチャ値を受け取る • TRGIOA2 = 0 の場合 TRGとTRGGRAのコンペア一致により, 次のコンペア期待値をTRGGRAへ転送する
	TRGGRD	TRGIOR (TRGBUFB = 1)	TRGGRBのバッファレジスタ (TRGGRBとの転送あり) <ul style="list-style-type: none"> • TRGIOB2 = 1 の場合 インプットキャプチャ信号により, TRGGRBから前回のインプットキャプチャ値を受け取る • TRGIOB2 = 0 の場合 TRGとTRGGRBのコンペア一致により, 次のコンペア期待値をTRGGRBへ転送する

注意 TRGCRレジスタのTRGTCK2～TRGTCK0ビットの設定を000B (f_{CLK}), コンペア値を0000Hにした場合, DTCおよびELCへの要求信号はカウント開始直後の1回しか発生しません。コンペア値が0001H以上の場合はコンペア一致することに要求信号が発生します。

8.3.10 ポート・モード・レジスタ 1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P10/TRGIOA, P12/TRGIOB) をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ 1 (PM1) のビットおよびポート・レジスタ 1 (P1) のビットに0を設定してください。

(例) P10/TRGIOAをタイマ出力として使用する場合

ポート・モード・レジスタ 1 の PM10 ビットを 0 に設定

ポート・レジスタ 1 の P10 ビットを 0 に設定

タイマ入力端子を兼用するポート (P10/TRGIOA, P12/TRGIOB) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ 1 (PM1) のビットに 1 を設定してください。このときポート・レジスタ 1 (P1) のビットは、0 または 1 のどちらでもかまいません。

(例) P10/TRGIOAをタイマ入力として使用する場合

ポート・モード・レジスタ 1 の PM10 ビットを 1 に設定

ポート・レジスタ 1 の P10 ビットを 0 または 1 に設定

PM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図8-11 ポート・モード・レジスタ 1 (PM1) のフォーマット

アドレス : FFF21 リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
PM1n	P1n端子の入出力モードの選択 (n = 0-7)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

8.4 タイマRGの動作

8.4.1 複数モード, 機能に関わる共通事項

(1) カウントソース

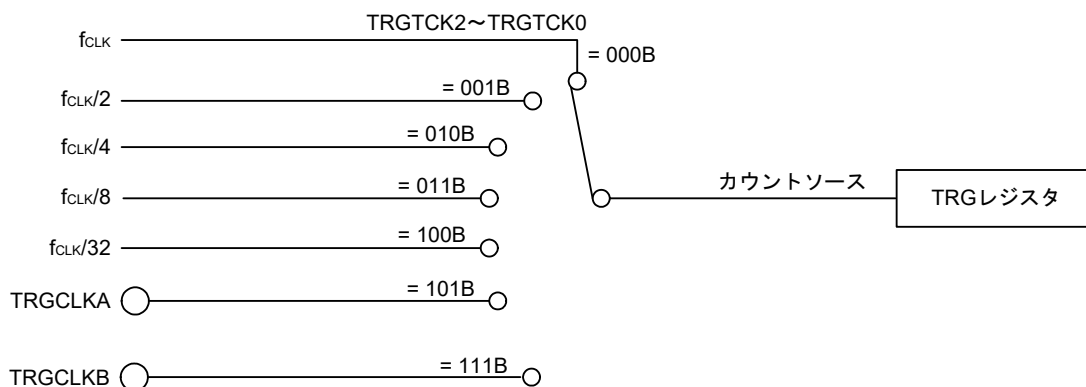
表8-5にカウントソースの選択を, 図8-12にカウントソースのブロック図を示します。

位相計数モード選択時, TRGCRレジスタのTRGTCK0 ~ TRGTCK2ビットおよびTRGCKEG0, TRGCKEG1ビットの設定は無効になります。

表8-5 カウントソースの選択

カウントソース	選択方法
fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32	TRGCRレジスタのTRGTCK0~TRGTCK2ビットでカウントソース選択
TRGCLKA, TRGCLKB端子に入力された外部信号	TRGCRレジスタのTRGTCK2~TRGTCK0ビットが101B (TRGCLKA入力)または111B (TRGCLKB入力) TRGCRレジスタのTRGCKEG0, TRGCKEG1ビットで有効エッジを選択 対応するポート・モード・レジスタのビットが1 (入力モード)

図8-12 カウントソースのブロック図



備考 TRGTCK0~TRGTCK2: TRGCRレジスタのビット

TRGCLKj端子(j = A, B)に入力する外部クロックのパルス幅は, タイマRGの動作クロック (fCLK)の3サイクル以上にしてください。

(2) バッファ動作

TRGIOR レジスタの TRGBUFA, TRGBUFB ビットで, TRGGRC, TRGGRD レジスタを TRGGRA, TRGGRB レジスタのバッファレジスタにできます。

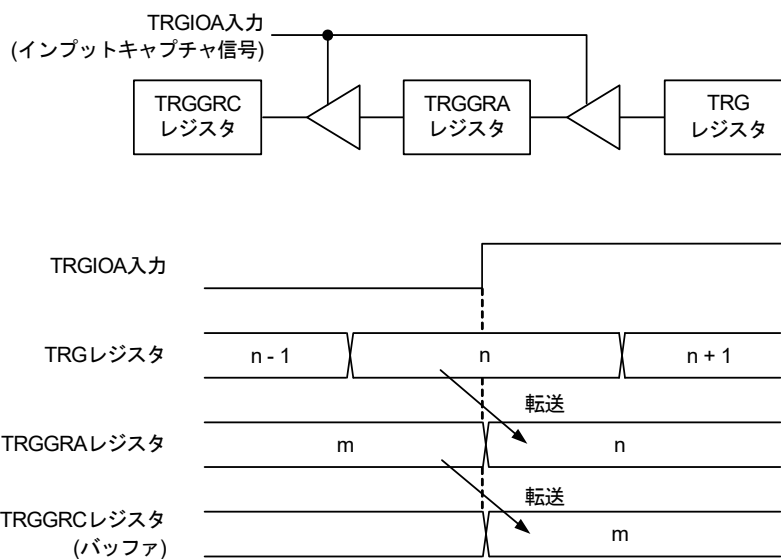
- TRGGRAのバッファレジスタ : TRGGRC レジスタ
- TRGGRBのバッファレジスタ : TRGGRD レジスタ

バッファ動作は, モードによって違います。表8-6に各モードのバッファ動作を, 図8-13にインプットキャプチャ機能のバッファ動作を, 図8-14にアウトプットコンペア機能のバッファ動作を示します。

表8-6 各モードのバッファ動作

機能, モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRGGRA (TRGGRB) レジスタの内容を バッファレジスタに転送
アウトプットコンペア機能	TRG レジスタと TRGGRA (TRGGRB) レジスタのコンペア一致	バッファレジスタの内容を TRGGRA (TRGGRB) レジスタに転送

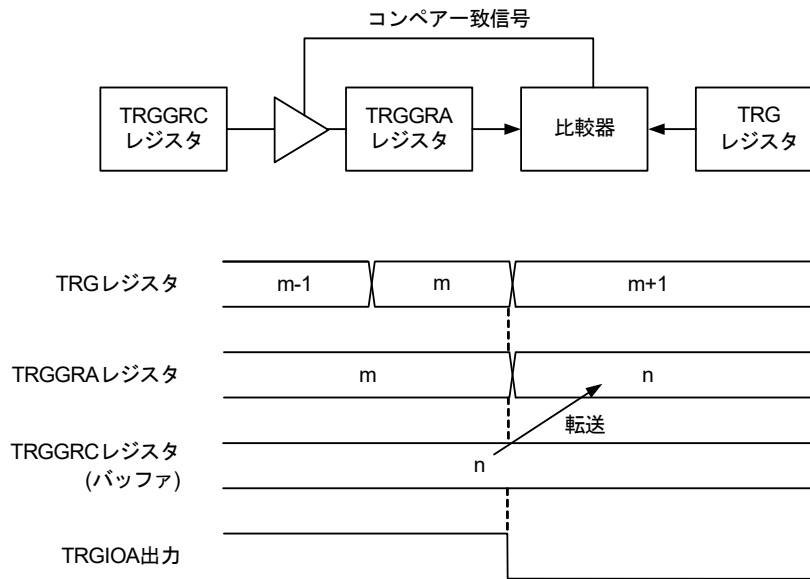
図8-13 インプットキャプチャ機能のバッファ動作



上図は次の条件の場合です。

- TRGIORレジスタのTRGBUFAビットが1 (TRGGRCレジスタはTRGGRAレジスタのバッファレジスタ)
- TRGIORレジスタのTRGIOA2~TRGIOA0ビットが100B (立ち上がりエッジでインプットキャプチャ)

図8-14 アウトプットコンペア機能のバッファ動作



上図は次の条件の場合です。

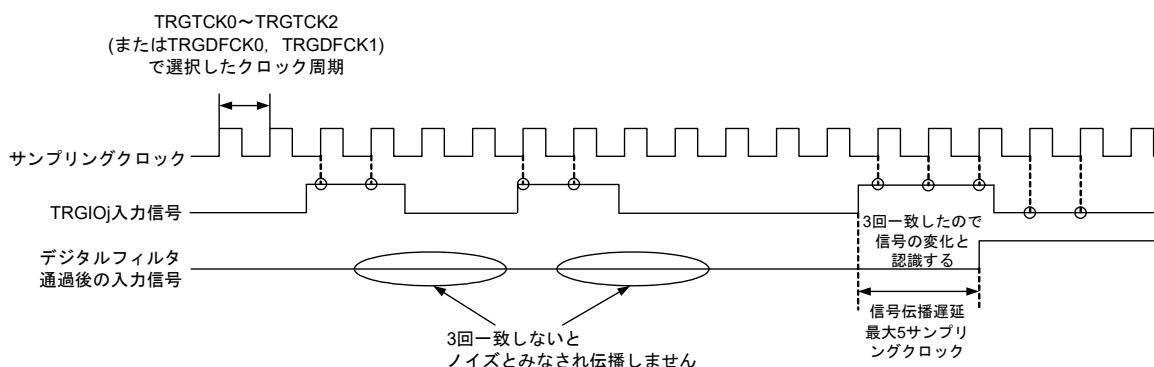
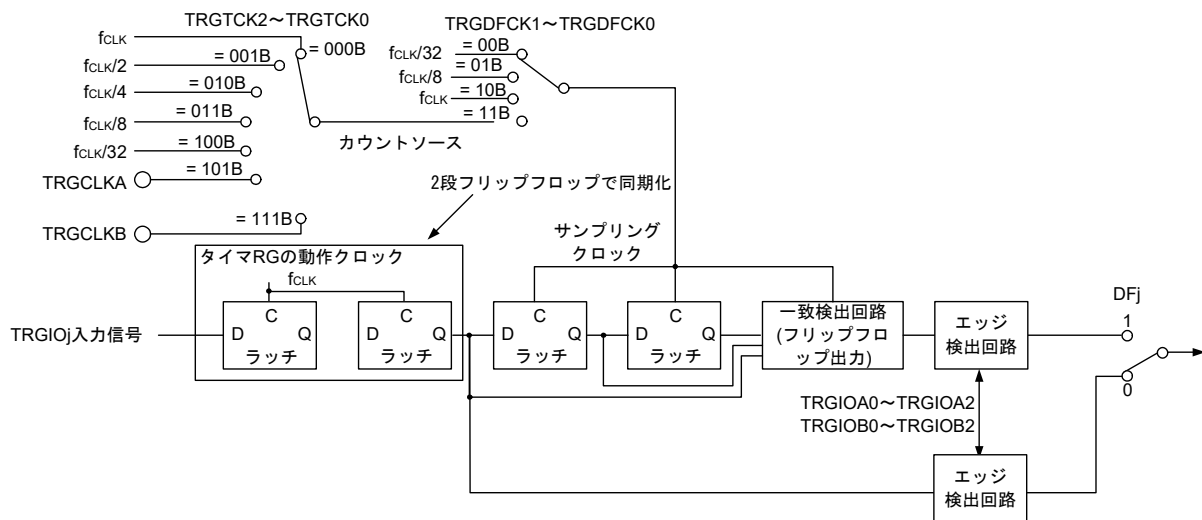
- ・ TRGIORレジスタのTRGBUFAビットが1 (TRGGRCレジスタはTRGGRAレジスタのバッファレジスタ)
- ・ TRGIORレジスタのTRGIOA2~TRGIOA0ビットが001B (コンペアー一致でL出力)

(3) デジタルフィルタ

TRGIOj 入力 (j = A, B) をサンプリングし, 3 回一致したらレベルが確定したとみなします。デジタルフィルタ機能, サンプリングクロックは TRGMR レジスタで選択してください。

図 8 - 15 にデジタルフィルタのブロック図を示します。

図 8 - 15 デジタルフィルタのブロック図



備考
j = A, B

TRGTCK0~TRGTCK2 : TRGCRレジスタのビット
TRGDFCK0, TRGDFCK1, TRGDFj : TRGMRレジスタのビット
TRGIOA0~TRGIOA2, TRGIOB0~TRGIOB2 : TRGIORのレジスタのビット

(4) イベント・リンク・コントローラ(ELC)からのイベント入力

ELCからのイベント入力によって、タイマRGはインプットキャプチャ動作Bをします。このとき、TRGSRレジスタのTRGIMFBビットが1になります。

この機能を使用する場合、タイマモード/位相計数モードのインプットキャプチャ機能を選択し、TRGMRレジスタのTRGELCICEビットを1にしてください。その他のモード(タイマモード/位相計数モードのアウトプットコンペア機能, PWMモード)では無効です。

設定手順

- (a) ELCのイベントリンク先をタイマRGに設定する。
- (b) TRGMRレジスタのTRGELCICEビットを1にする。

(5) イベント・リンク・コントローラ(ELC)へのイベント出力

表8-7にTRGIMFAビットによるELCへのイベント出力を示します。表8-8にTRGIMFBビットによるELCへのイベント出力を示します。

表8-7 TRGIMFAビットによるELCへのイベント出力

モード, 機能	ELC要因
インプットキャプチャ機能 (TRGPWM = 0, TRGIOA2 = 1)	TRGIOA0, TRGIOA1ビットで設定したTRGIOAのエッジ検出
アウトプットコンペア機能 (TRGPWM = 0, TRGIOA2 = 1)	TRGレジスタとTRGGRAレジスタのコンペア一致
PWMモード(TRGPWM = 1)	TRGレジスタとTRGGRAレジスタのコンペア一致

備考 TRGPWM : TRGMRレジスタのビット

TRGIOA0, TRGIOA1, TRGIOA2 : TRGIORレジスタのビット

表8-8 TRGIMFBビットによるELCへのイベント出力

モード, 機能	ELC要因
インプットキャプチャ機能 (TRGPWM = 0, TRGIOB2 = 1)	TRGIOB0, TRGIOB1ビットで設定したTRGIOBのエッジ検出
アウトプットコンペア機能 (TRGPWM = 0, TRGIOB2 = 1)	TRGレジスタとTRGGRBレジスタのコンペア一致
PWMモード(TRGPWM = 1)	TRGレジスタとTRGGRBレジスタのコンペア一致

備考 TRGPWM : TRGMRレジスタのビット

TRGIOB0, TRGIOB1, TRGIOB2 : TRGIORレジスタのビット

8.4.2 タイマモード(インプットキャプチャ機能)

インプットキャプチャ/アウトプットコンペア端子 (TRGIOA, TRGIOB)の入力エッジを検出して TRG レジスタの値を TRGGRA, TRGGRB レジスタに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

表8-9にインプットキャプチャ機能の仕様を示します。

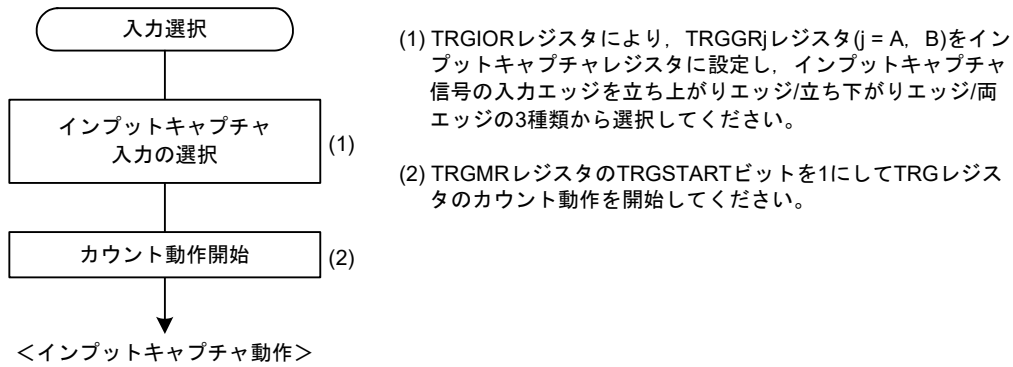
表8-9 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKA, TRGCLKB 端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 00B (フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRGMR レジスタの TRGSTART ビットへの 1 (カウント開始)書き込み
カウント停止条件	TRGMR レジスタの TRGSTART ビットへの 0 (カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ (TRGIOA, TRGIOB 端子入力の有効エッジ) TRG レジスタオーバフロー
TRGIOA, TRGIOB 端子機能	I/Oポート, またはインプットキャプチャ入力(1端子ごとに選択)
TRGCLKA, TRGCLKB 端子機能	I/Oポート, または外部クロック入力
タイマの読み出し	TRG レジスタを読むと, カウント値が読める
タイマの書き込み	TRG レジスタに書き込める
選択機能	<ul style="list-style-type: none"> インプットキャプチャ入力端子選択 TRGIOA, TRGIOB 端子のいずれか 1本または両方 インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ, 立ち下がりエッジ, または立ち上がりエッジと立ち下がりエッジの両方 TRG レジスタを 0000Hにするタイミング オーバフロー, またはインプットキャプチャ時 バッファ動作(8.4.1 (2) バッファ動作参照) デジタルフィルタ(8.4.1 (3) デジタルフィルタ参照) ELCからのイベント入力信号(インプットキャプチャ)によるインプットキャプチャ動作

(1) インพุットキャプチャ動作の設定手順例

図8-16にインพุットキャプチャ動作の設定手順例を示します。

図8-16 インพุットキャプチャ動作の設定手順例



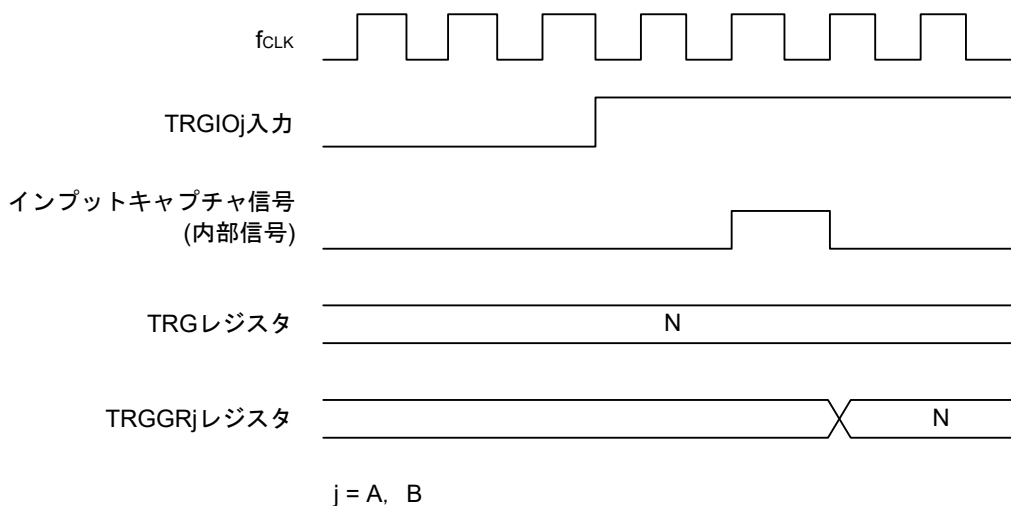
(2) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TRGIORレジスタの設定により立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。

図8-17にインพุットキャプチャ入力信号タイミングを示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5 fCLK以上、両エッジの場合は2.5 fCLK以上必要です。

図8-17 インพุットキャプチャ入力信号タイミング



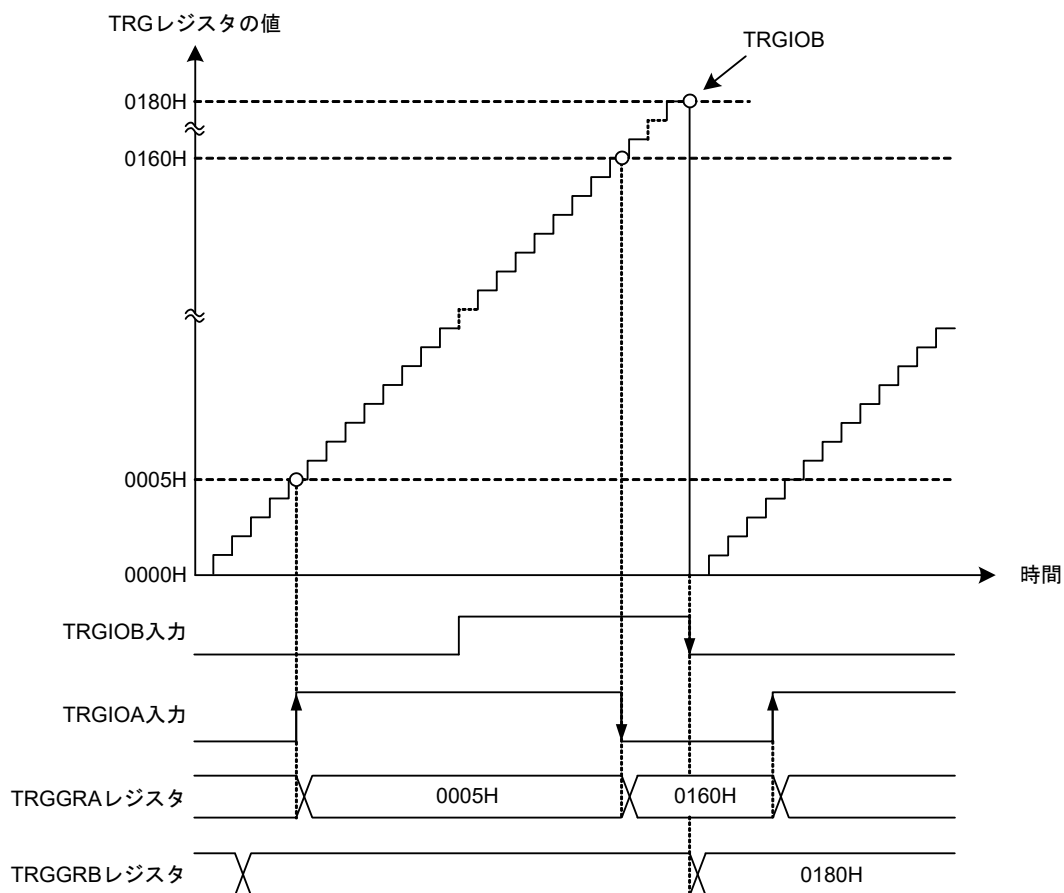
(3) 動作例

図8-18にインプットキャプチャ動作例を示します。

TRGIOA端子のインプットキャプチャ入力エッジは立ち上がり/立ち下りの両エッジ, またTRGIOB端子のインプットキャプチャ入力エッジは立ち下りエッジを選択し, TRGレジスタはTRGGRBレジスタのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

- (a) TRGIORレジスタにより, TRGGRA, TRGGRBレジスタをインプットキャプチャレジスタに設定し, インプットキャプチャ信号の入力エッジを立ち上がりエッジ/立ち下りエッジ/両エッジの3種類から選択してください。
- (b) TRGMRレジスタのTRGSTARTビットを1にしてTRGレジスタのカウンタ動作を開始してください。

図8-18 インプットキャプチャ動作例



TRGCRレジスタのTRGCCLR0, TRGCCLR1ビットの設定によって, インプットキャプチャA, インプットキャプチャBによりカウンタクリア動作させることができます。図8-18では, TRGCCLR1, TRGCCLR0ビットを10Bに設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウンタをクリアする設定をし, タイマカウンタ値がFFFFHにおいてインプットキャプチャ動作をした場合, カウンタソースとインプットキャプチャ動作のタイミングによって, 割り込みフラグであるTRGIMFA, TRGIMFBビットとTRGOVFビットが同時に1となる場合があります。

8.4.3 タイマモード(アウトプットコンペア機能)

TRGレジスタの内容と、TRGGRA, TRGGRBレジスタの内容の一致(コンペア一致)を検出するモードです。一致したとき、TRGIOA, TRGIOB端子から任意のレベルを出力します。

表8-10にアウトプットコンペア機能の仕様を示します。

表8-10 アウトプットコンペア機能の仕様

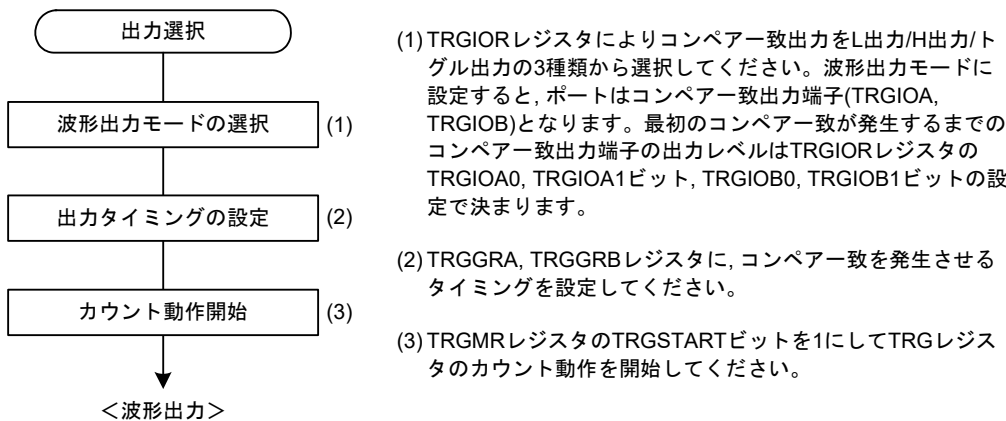
項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	<ul style="list-style-type: none"> TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが00B(フリーランニング動作)の場合 $1/fk \times 65536$ fk: カウントソースの周波数 TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが01B, 10B(TRGGRjのコンペア一致でTRGを0000Hにする)の場合 $1/fk \times (n + 1)$ n: TRGGRjレジスタの設定値
波形出力タイミング	コンペア一致(TRGレジスタ内容とTRGGRjレジスタの内容が一致)
カウント開始条件	TRGMRレジスタのTRGSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTRGSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア一致(TRGレジスタとTRGGRjレジスタの内容が一致) TRGレジスタオーバフロー
TRGIOA, TRGIOB端子機能	I/Oポート, またはアウトプットコンペア出力(1端子ごとに選択)
TRGCLKA, TRGCLKB端子機能	I/Oポート, または外部クロック入力
タイマの読み出し	TRGレジスタを読むと, カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRGIOA, TRGIOB端子のいずれか1本または両方 コンペア一致時の出力レベル選択 L出力, H出力, または出力レベル反転 TRGレジスタを0000Hにするタイミング オーバフロー, またはTRGGRjレジスタのコンペア一致 バッファ動作(8.4.1 (2) バッファ動作参照)

備考 j = A, B

(1) コンペアー一致による波形出力の設定手順例

図8-19にコンペアー一致による波形出力の設定手順を示します。

図8-19 コンペアー一致による波形出力の設定手順

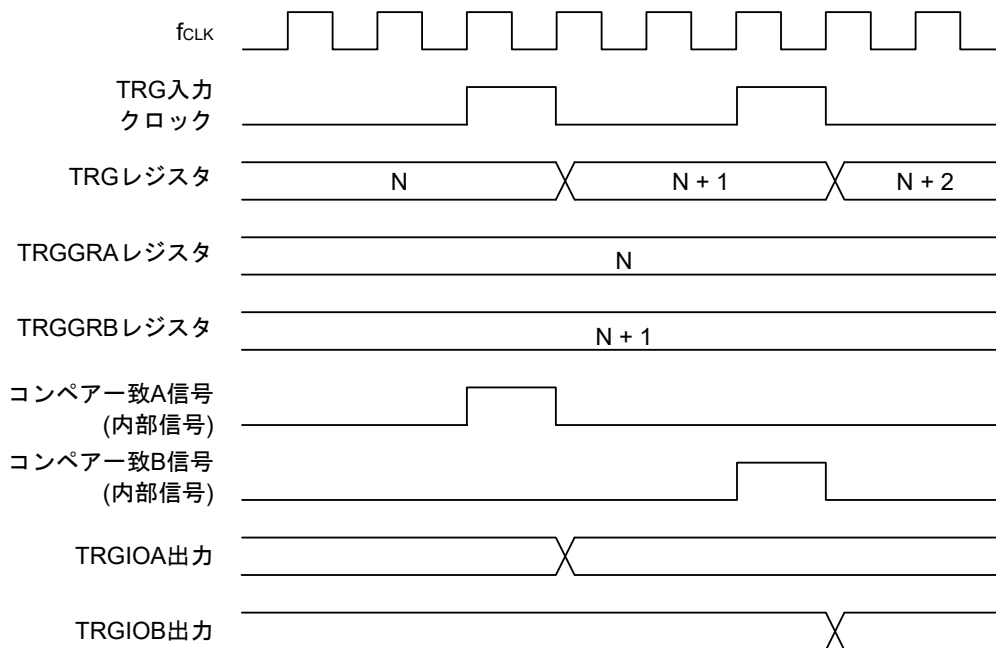


(2) アウトプットコンペアー出力タイミング

コンペアー一致信号は、TRGレジスタとTRGGRA, TRGGRBレジスタが一致した最後のステート(TRGレジスタが一致したカウンタ値を更新するタイミング)で発生します。コンペアー一致信号が発生したとき、TRGIORレジスタで設定される出力値がアウトプットコンペアー出力端子(TRGIOA, TRGIOB)に出力されます。TRGレジスタとTRGGRA, TRGGRBレジスタが一致した後、TRGレジスタ入力クロックが発生するまでコンペアー一致信号は発生しません。

図8-20にアウトプットコンペアー出力タイミングを示します。

図8-20 アウトプットコンペアー出力タイミング



(3) 動作例

図8-21にL出力, H出力の動作例を示します。

TRGレジスタをフリーランニングカウント動作, またコンペアー一致AによりL出力, コンペアー一致BによりH出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には, 端子のレベルは変化しません。

図8-21 L出力, H出力の動作例

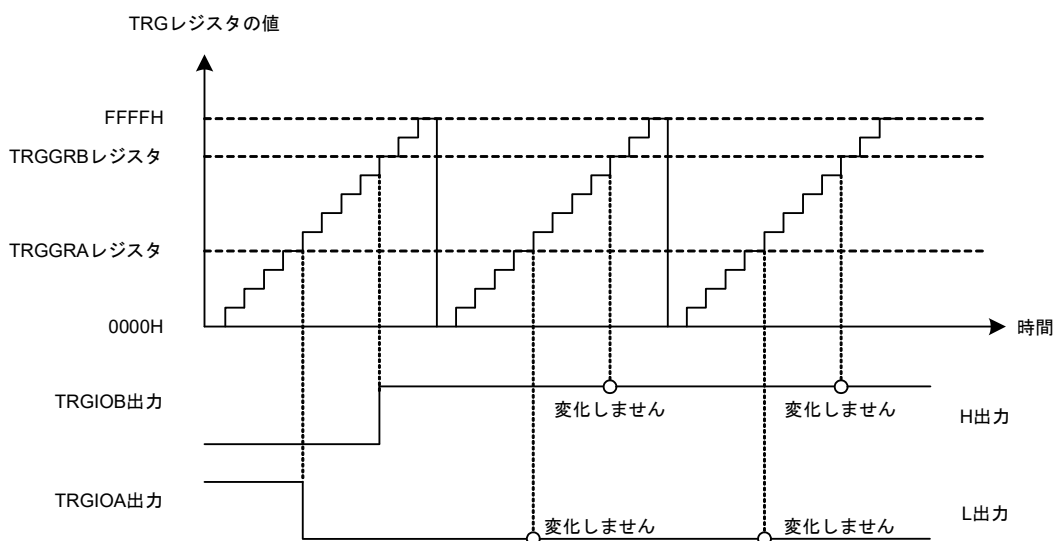
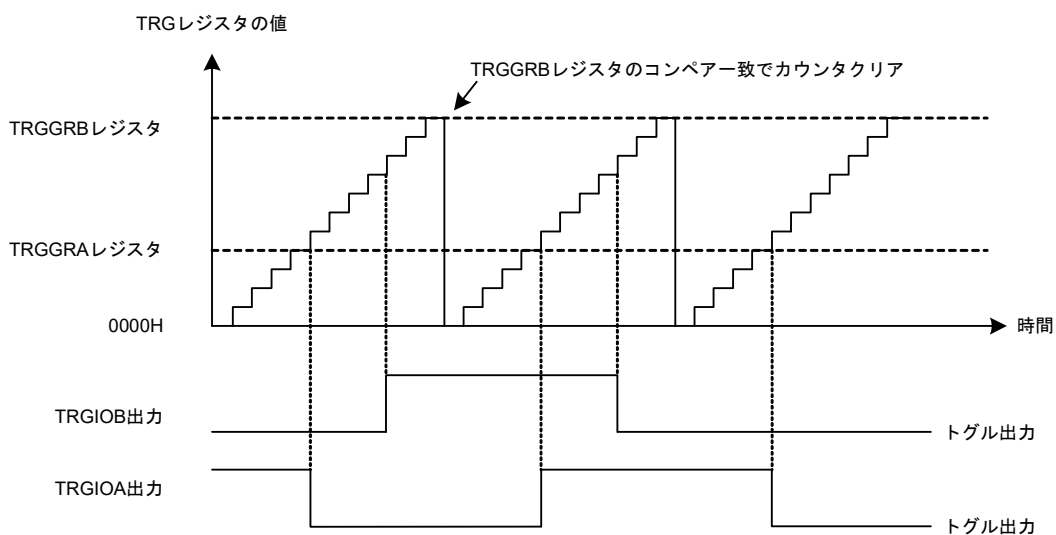


図8-22にトグル出力の動作例を示します。TRGレジスタを周期カウント動作(コンペアー一致Bでカウンタクリア)に、コンペアー一致A,Bともトグル出力となるように設定した場合の例です。

- (a) TRGIORレジスタによりコンペアー一致出力をL出力/H出力/トグル出力の3種類から選択してください。波形出力モードに設定すると、ポートはコンペアー一致出力端子(TRGIOA, TRGIOB)となります。
- (b) TRGGRA, TRGGRBレジスタに、コンペアー一致を発生させるタイミングを設定してください。
- (c) TRGMRレジスタのTRGSTARTビットを1にしてTRGレジスタのカウンタ動作を開始してください。

動作中に、TRGSTARTビットを0にしても、コンペアー一致出力端子(TRGIOA, TRGIOB)は初期化されません。初期値に戻すには、TRGIORレジスタに書き込み動作することにより出力が初期化されます(ただし、TRGIORレジスタのTRGIOA0, TRGIOA1, TRGIOB0, TRGIOB1ビットによる出力設定をL出力、もしくはH出力に設定している場合にのみ初期化されます)。TRGCRレジスタのTRGCCLR0, TRGCCLR1ビットの設定によって、インプットキャプチャ/コンペアー一致(TRGGRAレジスタ, TRGGRBレジスタとの一致)によりタイマRGのカウンタ値はリセットされます。このとき、コンペアー期待値がFFFFHの場合、オーバフロー動作と同様にFFFFHから0000Hとなり、TRGOVFビットは1となります。この動作は、タイマRGのカウンタ値とコンペアー期待値とのアウトプットコンペアー機能を使用するモードも同様となります。

図8-22 トグル出力の動作例



8.4.4 PWMモード

PWMモードはTRGGRAレジスタとTRGGRBレジスタをペアで使用し、TRGIOA出力端子よりPWM波形を出力します。PWMモードに設定された出力端子はTRGIORレジスタの出力の設定は無効となります。TRGGRAレジスタにはPWM波形のH出力タイミングを設定し、TRGGRBレジスタにはPWM波形のL出力タイミングを設定します。

TRGGRAレジスタとTRGGRBレジスタのいずれかのコンペアー一致をTRGレジスタのカウントクリア要因とすることにより、デューティ0～100%のPWM波形をTRGIOA端子より出力することができます。

表8-11にPWMモードの仕様を、表8-12にPWM出力端子とレジスタの組み合わせを示します。

TRGGRAレジスタとTRGGRBレジスタの設定値が同一の場合、コンペアー一致が発生しても出力値は変化しません。

表8-11 PWMモードの仕様

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
PWM波形	<ul style="list-style-type: none"> TRGGRAレジスタにPWM波形のH出力タイミングを設定 TRGGRBレジスタにPWM波形のL出力タイミングを設定
カウント開始条件	TRGMRレジスタのTRGSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTRGSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペアー一致(TRGレジスタとTRGGRjレジスタの内容が一致) TRGレジスタオーバフロー
TRGIOA端子機能	PWM出力
TRGIOB端子機能	I/Oポート
TRGCLKA, TRGCLKB端子機能	I/Oポート, または外部クロック入力
タイマの読み出し	TRGレジスタを読むと, カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> TRGレジスタを0000Hにするタイミング オーバフロー, またはTRGGRjレジスタのコンペアー一致 バッファ動作(8.4.1 (2) バッファ動作参照)

備考 j = A, B

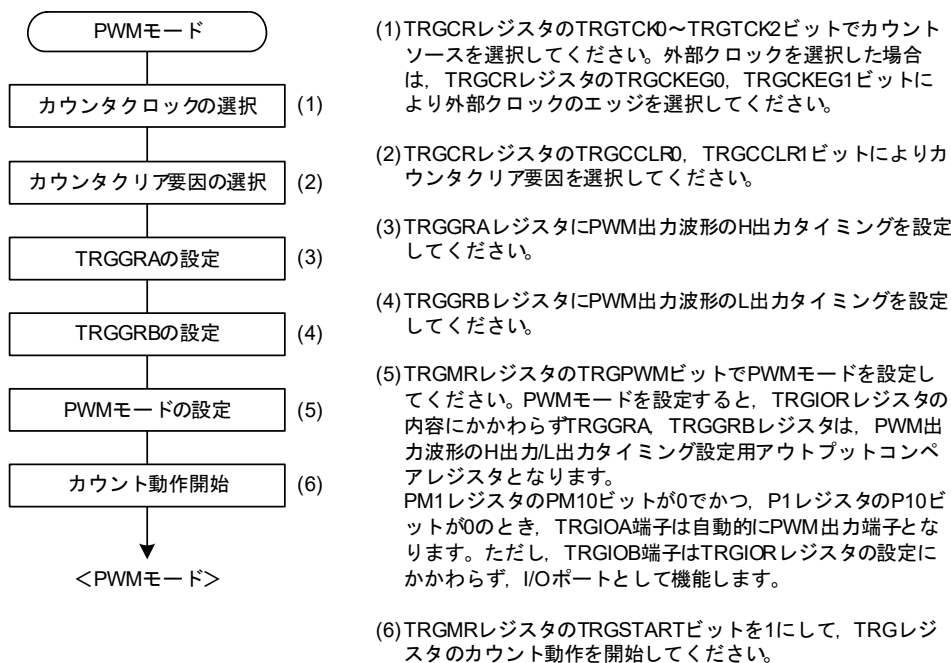
表8-12 PWM出力端子とレジスタの組み合わせ

出力端子	H出力	L出力
TRGIOA	TRGGRA	TRGGRB
TRGIOB	I/Oポートとして機能	

(1) PWMモードの設定手順例

図8-23にPWMモードの設定手順例を示します。

図8-23 PWMモードの設定手順例



(2) 動作例

図8-24にPWMモードの動作例(1)を示します。

PM1レジスタのPM10ビットが0で、かつP1レジスタのP10ビットが0のとき、PWMモードに設定するとTRGIOA端子は自動的に出力端子となり、TRGGRAレジスタのコンペアー一致でH出力、TRGGRBレジスタのコンペアー一致でL出力となります。ただし、TRGIOB端子はTRGIORレジスタの設定にかかわらず、I/Oポートとして機能します。

TRGレジスタのカウンタクリア要因をTRGGRA、TRGGRBレジスタのコンペアー一致とした場合の例です。TRGIOA端子の初期状態はカウンタクリア要因だけで決まります。この対応関係を表8-13に示します。

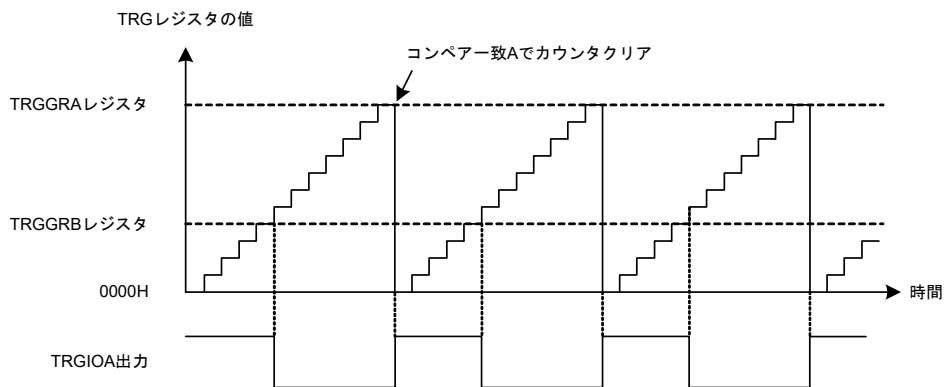
この初期化はTRGMRレジスタのTRGSTARTビットが0(カウント停止)時に行われます。

表8-13 TRGIOA端子の初期状態とカウンタクリア要因の対応関係

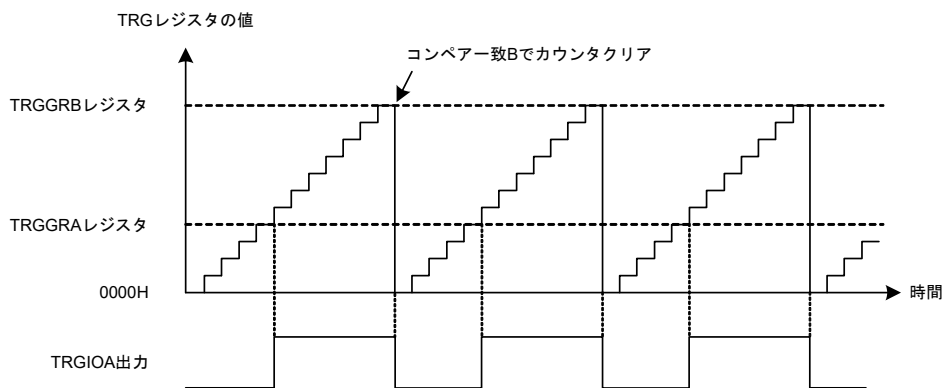
カウンタクリア要因	TRGIOA端子の初期状態
TRGGRAレジスタのコンペアー一致	H
TRGGRBレジスタのコンペアー一致	L

TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが00B(クリア禁止)の場合、TRGIOA端子の初期状態はHとなります。

図8-24 PWMモードの動作例(1)



(a) TRGGRAレジスタのコンペアー一致でカウンタクリア



(b) TRGGRBレジスタのコンペアー一致でカウンタクリア

図8-25にPWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を示します。

カウンタクリア要因をTRGGRBレジスタのコンペアー一致に設定し、

- TRGGRAレジスタの設定値 > TRGGRBレジスタの設定値

としたとき、PWM波形はデューティ0%となります。

また、カウンタクリア要因をTRGGRAレジスタのコンペアー一致に設定し、

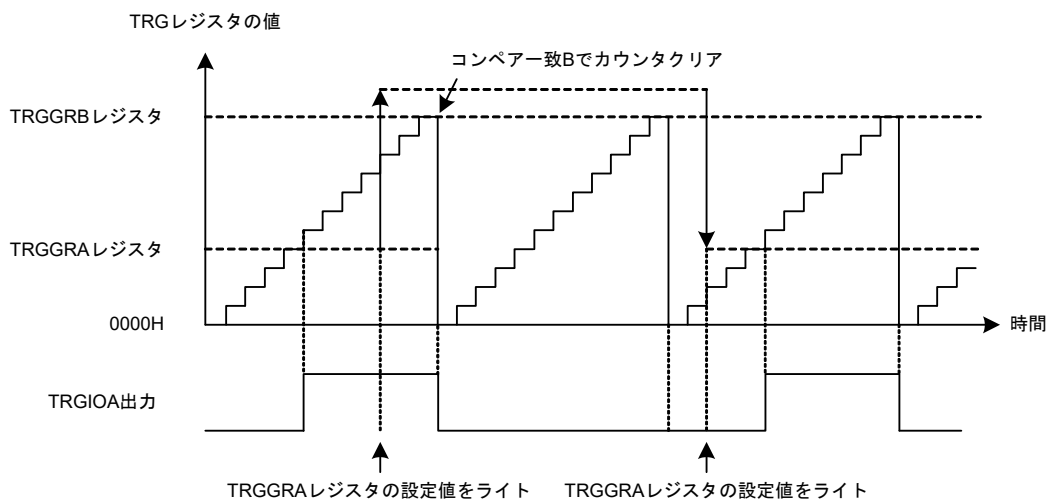
- TRGGRBレジスタの設定値 > TRGGRAレジスタの設定値

としたときPWM波形はデューティ100%となります。

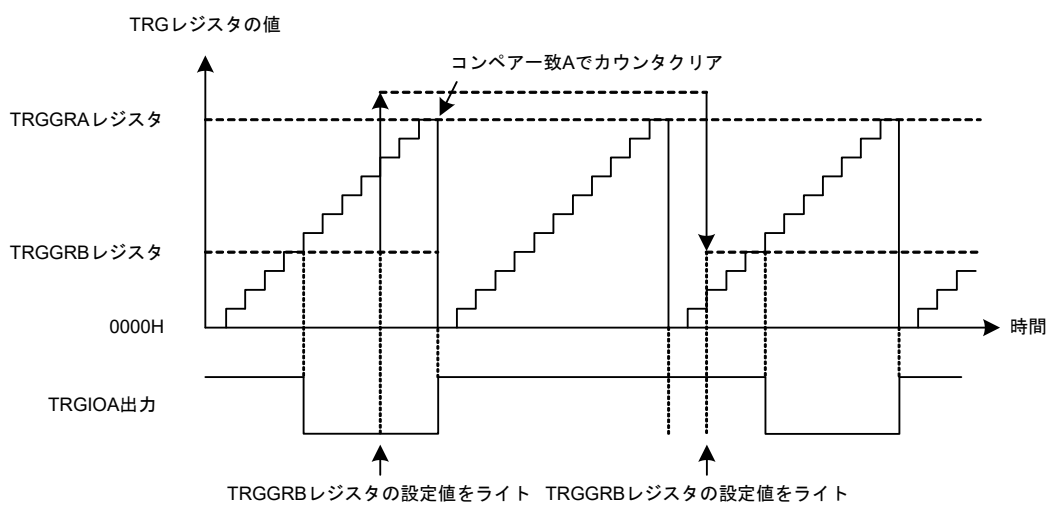
- TRGGRAレジスタの設定値 = TRGGRBレジスタの設定値

としたとき、コンペアー一致が発生しても出力値は変化しません。

図8-25 PWMモードの動作例(2)



(a) デューティ0%の場合



(b) デューティ100%の場合

8.4.5 位相計数モード

位相計数モードは、2本のTRGCLKA, TRGCLKB端子からの外部入力信号の位相差を検出し、TRGレジスタをアップ/ダウンカウントします。

PM1レジスタのPM11ビットとPM15ビットが1のとき位相計数モードに設定すると、TRGCRレジスタのTRGTCK0～TRGTCK2ビット、TRGCKEG0, TRGCKEG1ビットの設定にかかわらず、TRGCLKA, TRGCLKB端子は自動的に外部クロック入力端子として機能し、またTRGレジスタはTRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、加算/減算されます。ただし、TRGCRレジスタのTRGCCLR0, TRGCCLR1ビット、TRGIOR, TRGIER, TRGSR, TRGGRA, TRGGRBレジスタは有効ですので、インプットキャプチャ/アウトプットコンペア機能やPWM出力機能や割り込み要因を使用することができます。

TRGレジスタは、CNTEN0～CNTEN7ビットにより、TRGCLKA, TRGCLKB端子の立ち上がり/立ち下りの両エッジでカウントします。

表8-14に位相計数モードの仕様を、表8-15にTRGレジスタの加算/減算条件を示します。

表8-14 位相計数モードの仕様

項目	仕様
カウントソース	TRGCLKj端子に入力された外部信号
カウント動作	アップカウント/ダウンカウント
カウント開始条件	TRGMRレジスタのTRGSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTRGSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> インプットキャプチャ (TRGIOj入力の有効エッジ) コンペアー一致 (TRGレジスタとTRGGRjレジスタの内容が一致) TRGレジスタオーバフロー TRGレジスタアンダフロー
TRGIOA端子機能	I/Oポート、インプットキャプチャ入力、アウトプットコンペア出力、またはPWM出力
TRGIOB端子機能	I/Oポート、インプットキャプチャ入力、またはアウトプットコンペア出力
TRGCLKA, TRGCLKB端子機能	外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	<ul style="list-style-type: none"> カウンタの加算/減算条件選択 TRGCNTCレジスタのCNTEN0～CNTEN7ビットで選択 インプットキャプチャ/アウトプットコンペア機能, PWM機能を使用可

備考 j = A, B

表8-15 TRGレジスタの加算/減算条件

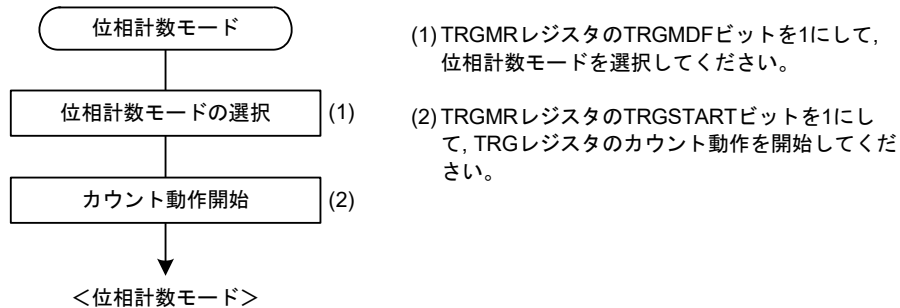
TRGCLKB端子	↑	H	↓	L	H	↓	L	↑
TRGCLKA端子	L	↑	H	↓	↓	L	↑	H
TRGCNTCレジスタの CNTEN0～CNTEN7ビット	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
カウント方向注	+1	+1	+1	+1	-1	-1	-1	-1

注 TRGCNTCレジスタの各ビットが1(ダウンカウントまたはアップカウント)のときのカウント方向を示しています。0(無効)のとき、カウントしません。

(1) 位相計数モードの設定手順例

図8-26に位相計数モードの設定手順例を示します。

図8-26 位相計数モードの設定手順例



(2) 動作例

図8-27～図8-30に位相計数モードの動作例を示します。

位相計数モードでは、TRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、TRGCLKA、TRGCLKB端子の立ち上がり(↑)/立ち下がり(↓)の両エッジで加算/減算されます。

図8-27 位相計数モードの動作例1

・TRGCNTCレジスタの値がFFHの場合

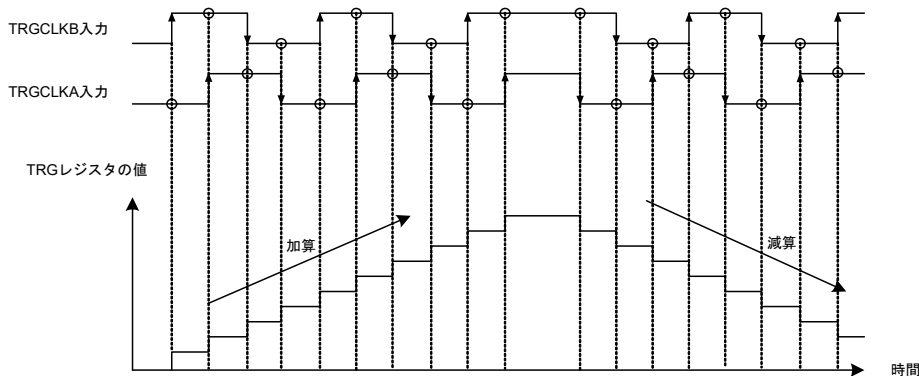


図8-28 位相計数モードの動作例2

・TRGCNTCレジスタの値が24Hの場合

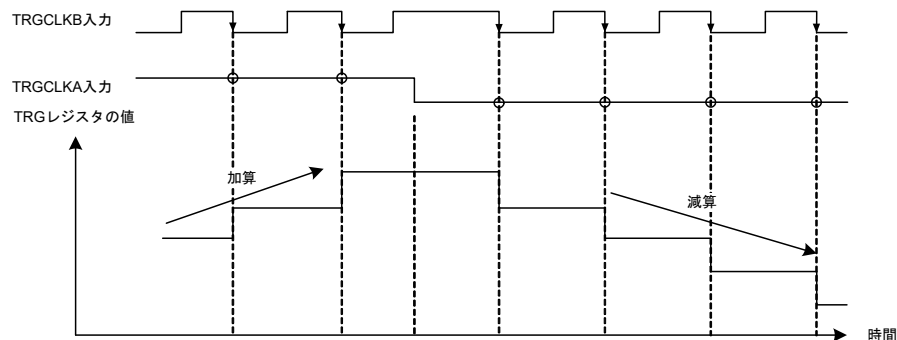


図8-29 位相計数モードの動作例3

・ TRGCNTCレジスタの値が28Hの場合

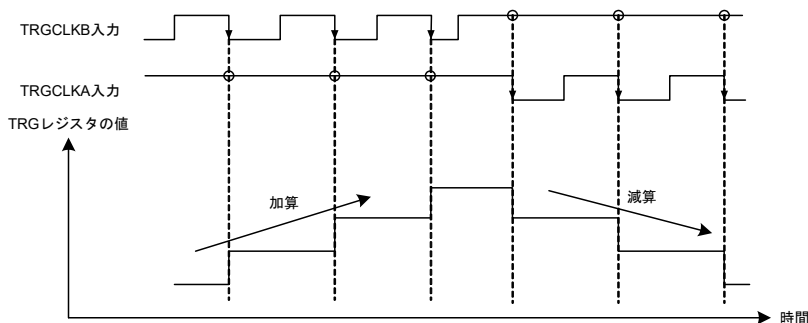
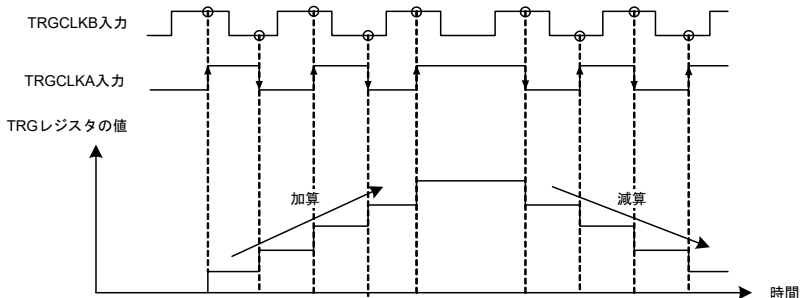


図8-30 位相計数モードの動作例4

・ TRGCNTCレジスタの値が5AHの場合



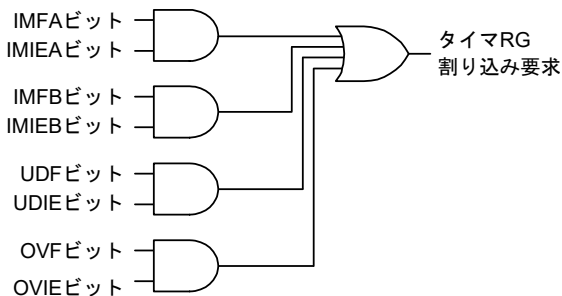
8.5 タイマRG 割り込み

タイマRGは、4つの要因からタイマRG割り込み要求を発生します。表8-16にタイマRG割り込み関連レジスタを、図8-31にタイマRG割り込みのブロック図を示します。

表8-16 タイマRG割り込み関連レジスタ

	タイマRGステータスレジスタ	タイマRG割り込み許可レジスタ	割り込み要求フラグ(レジスタ)	割り込みマスク・フラグ(レジスタ)	優先順位指定フラグ(レジスタ)
タイマRG	TRGSR	TRGIER	TRGIF (IF2H)	TRGMK (MK2H)	TRGPR0 (PR02H) TRGPR1 (PR12H)

図8-31 タイマRG割り込みのブロック図



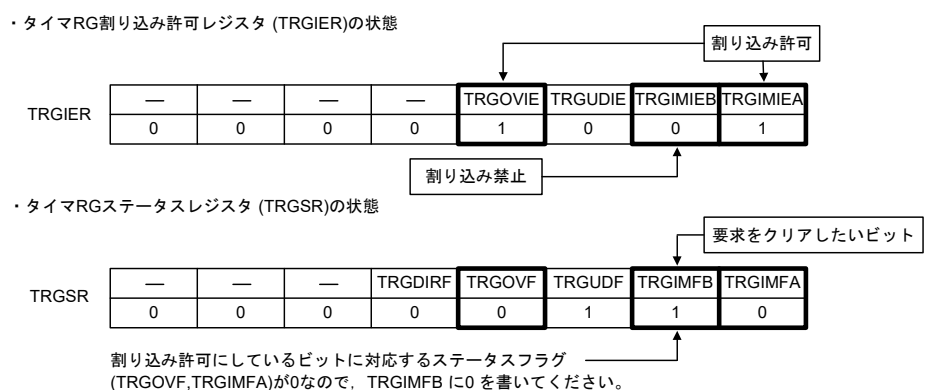
IMFA, IMFB, UDF, OVF: TRGSRレジスタのビット

IMIEA, IMIEB, UDIE, OVIE: TRGIERレジスタのビット

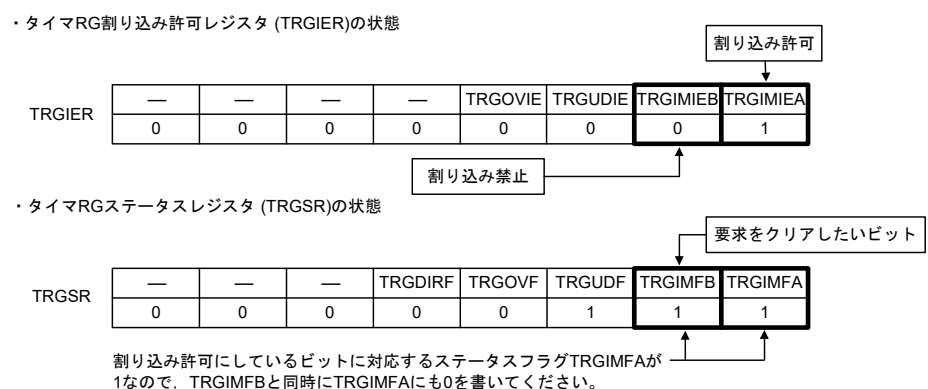
タイマRGは、複数の割り込み要求要因から1つの割り込み要因(タイマRG割り込み)を発生するため、タイマRD割り込みを除く他のマスカブル割り込みとは次のような違いがあります。

- TRGSRレジスタのビットが1で、それに対するTRGIERレジスタのビットが1(割り込み許可)の場合、IF2HレジスタのTRGIFビットが1(割り込み要求あり)になります。
- TRGIERレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRGSRレジスタで判定してください。
- TRGSRレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。
- タイマRGの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にするとき、その割り込みがタイマRG割り込み許可レジスタi(TRGIER)で割り込み禁止に設定されている場合、下記(a)~(c)のいずれかの方法で実行してください。

- (a) タイマRG割り込み許可レジスタ(TRGIER)を00H(すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。
- (b) タイマRG割り込み許可レジスタ(TRGIER)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。
- (例) TRGIMIEA, TRGOVIEが割り込み許可, TRGIMIEBが割り込み禁止の状態、TRGIMFBをクリアする場合



- (c) タイマRG割り込み許可レジスタ(TRGIER)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。
- (例) TRGIMIEAが割り込み許可, TRGIMIEBが割り込み禁止の状態、TRGIMFBをクリアする場合

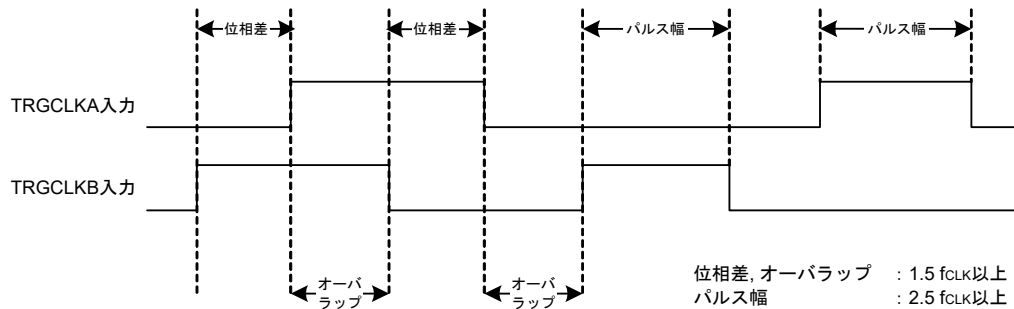


8.6 タイマRG使用上の注意事項

8.6.1 位相計数モード時の位相差, オーバラップ, およびパルス幅

TRGCLKA, TRGCLKB 端子からの外部入力信号の位相差およびオーバラップはそれぞれ1.5 fCLK以上, パルス幅は2.5 fCLK以上が必要です。図8 - 32に位相計数モード時の位相差, オーバラップ, およびパルス幅を示します。

図8 - 32 位相計数モード時の位相差, オーバラップ, およびパルス幅



8.6.2 モード切り替え

- 動作中にモードを切り替える際は, TRGMRレジスタのTRGSTARTビットを0 (カウント停止)にした後, 行ってください。
- モード切り替え後, 動作開始前にTRGIFビットを0にしてください。
詳細は, 第22章 割り込み機能を参照してください。

8.6.3 カウントソース切り替え

- カウントソースを切り替える際は, カウントを停止した後, 切り替えてください注。

変更手順

- (1) TRGMRレジスタのTRGSTARTビットを0 (カウント停止)にする。
- (2) TRGCRレジスタのTRGTCK0～TRGTCK2ビットを変更する。

注 カウント動作中に書き換え禁止のレジスタまたはビットは以下のとおりです。

- TRGMRレジスタのTRGSTARTを除くすべてのビット
- TRGCNTCレジスタ
- TRGCRレジスタ
- TRGIORレジスタ

8.6.4 TRGIOA, TRGIOB 端子の設定手順

リセット後, TRGIOA, TRGIOB 端子と共用している I/O ポートは入力ポートとして機能します。

- TRGIOA, TRGIOB 端子から出力する場合は, 以下の手順で設定してください。

変更手順

- (1) モード設定, 初期値設定/出力許可設定をする(初期値設定と許可設定を同じSFRで行うため)。
- (2) TRGIOA, TRGIOB 端子に対応するポート・レジスタのビットを0にする。
- (3) TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを出力モードに設定する (TRGIOA, TRGIOB 端子から出力開始)。
- (4) カウントを開始する (TRGMR レジスタの TRGSTART = 1)。

- TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを出力モードから入力モードに変更する場合, 以下の手順で設定してください。

変更手順

- (1) TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを入力モードに設定する (TRGIOA, TRGIOB 端子から入力開始)。
- (2) インプットキャプチャ機能に設定する。
- (3) カウントを開始する (TRGMR レジスタの TRGSTART = 1)。

- TRGIOA, TRGIOB 端子を出力モードから入力モードに切り替える場合, 端子の状態によりインプットキャプチャ動作することがあります。デジタルフィルタを使用しない場合, CPUクロックの2サイクル以上経過した後で, エッジ検出を行います。デジタルフィルタを使用する場合, 最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。

8.6.5 外部クロック TRGCLKA, TRGCLKB

TRGCLKj 端子 (j = A, B) に入力する外部クロックのパルス幅は, タイマRGの動作クロック (fCLK) の3サイクル以上にしてください。

8.6.6 SFR リード/ライトアクセス

タイマRGを設定するには、最初にPER1レジスタのTRGENビットを1にしてください。TRGENビットが0の場合は、タイマRGの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・レジスタ、ポート・モード・レジスタは除く)。

(1) TRGMRレジスタ

デジタルフィルタクロック切り替えの際、以下の設定手順を行ってください。

- (a) TRGSTARTビットが0(カウント停止)の状態において、TRGMRレジスタのTRGDFA, TRGDFBビット(TRGIOA, TRGIOB 端子のデジタルフィルタ機能選択ビット), TRGMRレジスタのTRGDFCK0, TRGDFCK1ビット(デジタルフィルタ機能で使用するクロック選択ビット)を設定する。
- (b) TRGSTARTビットを1に設定する。

ただし、デジタルフィルタを設定しない場合、リセット直後のTRGDFCK1, TRGDFCK0 = 00Bから変更しない場合は、1回で設定することが可能です。

インプットキャプチャの動作要因として、外部入力端子(TRGIOA, TRGIOB)の他に、ELCからのイベント入力を選択できます。この機能を使用したい場合はTRGMRレジスタのTRGELCICEビットを1に設定し、インプットキャプチャ機能(インプットキャプチャの有効エッジは立ち上がりエッジ(TRGIOB2 ~ TRGIOB0 = 100B))に設定してください。PWMモードやタイマモードのアウトプットコンペア機能時(TRGPWM = 1, TRGIOB2 = 0)、この機能は無効となります。

(2) TRGレジスタ

TRGMRレジスタへの書き込み動作とタイマRG動作条件によるカウンタリセット動作は、TRGMRレジスタへの書き込み動作を優先動作としています。

8.6.7 カウント停止時のインプットキャプチャ動作

インプットキャプチャモードでは、TRGMRレジスタのTRGSTARTビットが0(カウント停止)のときも、TRGIORレジスタのTRGIOj0, TRGIOj1ビットで選択したエッジがTRGIOj端子に入力されると、TRGIOj入力の有効エッジのインプットキャプチャ割り込み要求が発生します(j = A, B)。

第9章 リアルタイム・クロック

9.1 リアルタイム・クロックの機能

リアルタイム・クロックには、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- 定周期割り込み機能(周期：0.5秒、1秒、1分、1時間、1日、1月)
- アラーム割り込み機能(アラーム：曜日・時・分)
- 1 Hzの端子出力機能
- 時計誤差補正機能

注意 リアルタイム・クロックの動作クロックに高速オンチップ・オシレータ、および高速システム・クロックを選択することで、年、月、曜日、日、時、分、秒のカウントができます。

(ただし、動作クロックは $f_{RTC} \approx 32.787$ kHzとなるため、年、月、曜日、日、時、分、秒のカウント値にはクロック誤差を含みます。)

動作クロックは、RTCクロック選択レジスタ (RTCCL) でクロックおよび分周を選択してください。

また、リアルタイム・クロックの動作クロックに`fil`を選択しないでください。

`OSMC.WUTMMCK0 = 0`で使用してください。

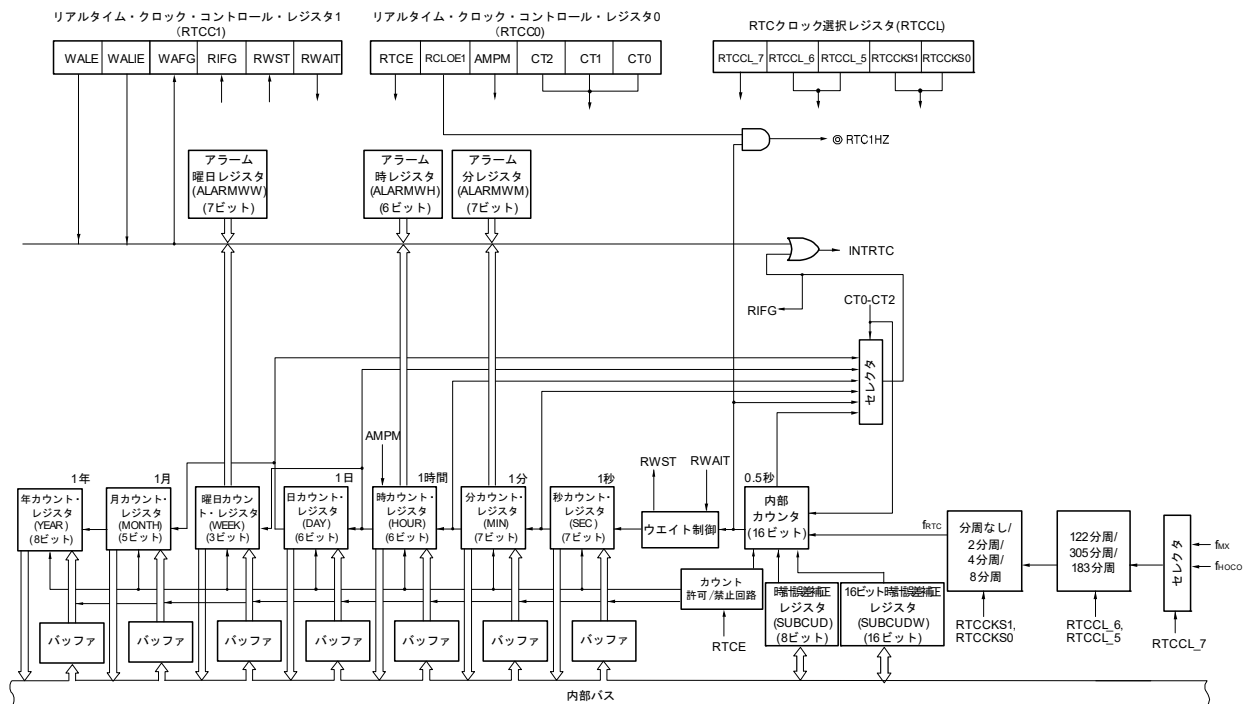
9.2 リアルタイム・クロックの構成

リアルタイム・クロックは、次のハードウェアで構成されています。

表9-1 リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ(16ビット)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	RTCクロック選択レジスタ (RTCCL)
	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	16ビット時計誤差補正レジスタ (SUBCUDW)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
アラーム曜日レジスタ (ALARMWW)	

図9-1 リアルタイム・クロックのブロック図



注意 リアルタイム・クロックの動作クロックに高速オンチップ・オシレータ，および高速システム・クロックを選択することで，年，月，曜日，日，時，分，秒のカウントができます。
 (ただし，動作クロックはf_{RTC} ≒ 32.787 kHzとなるため，年，月，曜日，日，時，分，秒のカウント値にはクロック誤差を含みます。)
 動作クロックは，RTCクロック選択レジスタ (RTCCL) でクロックおよび分周を選択してください。
 また，リアルタイム・クロックの動作クロックにf_{IL}を選択しないでください。
 OSMC.WUTMMCK0 = 0で使用してください。

9.3 リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- RTCクロック選択レジスタ (RTCCL)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- 16ビット時計誤差補正レジスタ (SUBCUDW)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)
- ポート・モード・レジスタ1 (PM1)
- ポート・レジスタ1 (P1)

9.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは、必ずビット7 (RTCEN)を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	TAU1EN	TAU0EN

RTCEN	リアルタイム・クロック (RTC), インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・リアルタイム・クロック (RTC), インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), インターバル・タイマはリセット状態
1	入カクロック供給 ・リアルタイム・クロック (RTC), インターバル・タイマで使用するSFRへのリード／ライト可

注意1. リアルタイム・クロックを使用する場合は、カウント・クロック (f_{RTC})が発振安定した状態で、必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (サブシステム・クロック供給モード制御レジスタ (OSMC), RTCクロック選択レジスタ (RTCCL), ポート・モード・レジスタ 1 (PM1), ポート・レジスタ 1 (P1)は除く)。

- ・リアルタイム・クロック・コントロール・レジスタ 0 (RTCC0)
- ・リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・16ビット時計誤差補正レジスタ (SUBCUDW)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

注意2. RTCENを1に設定する前に、RTCCLレジスタでRTC動作クロックを設定してください。

注意3. ビット3, 4, 6には必ず“0”を設定してください。

9.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで、リアルタイム・クロック、インターバル・タイマ、タイマRJの動作クロックを選択できます。

リアルタイム・クロックを使用する時には、WUTMMCK0ビットは必ず0を設定してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック、インターバル・タイマ、タイマRJの動作クロックの選択
0	RTCクロック選択レジスタ (RTCCL) で設定したRTC動作クロック (f _{RTC}) ・リアルタイム・クロック、インターバル・タイマのカウント・クロックはRTC動作クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータ・クロックを選択できません。
1	・インターバル・タイマのカウント・クロックは低速オンチップ・オシレータ・クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータ・クロックを選択できます。

注意 リアルタイム・クロックの動作クロックに高速オンチップ・オシレータ、および高速システム・クロックを選択することで、年、月、曜日、日、時、分、秒のカウントができます。

(ただし、動作クロックはf_{RTC} ≒ 32.787 kHzとなるため、年、月、曜日、日、時、分、秒のカウント値にはクロック誤差を含みます。)

動作クロックは、RTCクロック選択レジスタ (RTCCL) でクロックおよび分周を選択してください。また、リアルタイム・クロックの動作クロックにf_{IL}を選択しないでください。

OSMC.WUTMMCK0 = 0で使用してください。

9.3.3 RTCクロック選択レジスタ (RTCCL)

RTCの動作クロックを選択します。

RTCCLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-4 RTCクロック選択レジスタ (RTCCL)のフォーマット

アドレス : F02D8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCCL	RTCCL7	RTCCL6	RTCCL5	0	0	0	RTCKS1	RTCKS0
RTCCL7	RTCの動作クロック・ソース選択制御							
0	高速システム・クロック (fMX)							
1	高速オンチップ・オシレータ・クロック (fHOCO)							
RTCCL6	RTCCL5	RTCの動作クロック分周制御1						
0	0	122分周						
0	1	305分周						
1	0	183分周						
1	1	設定禁止						
RTCKS1	RTCKS0	RTCの動作クロック分周制御2						
0	0	分周なし						
0	1	2分周						
1	0	4分周						
1	1	8分周						

備考 32.768 kHz 相当のクロック (32.787 kHz) を作るための分周設定を以下に示します。RTCを動作させるときは下記設定にしてください。

RTCCL7	RTCCL6	RTCCL5	RTCKS1	RTCKS0	クロック・ソース	RTC動作クロック (f _{RTC} = 32.787 kHz)
0	0	0	0	0	f _{MX} = 4 MHz	f _{MX} /122
0	0	0	0	1	f _{MX} = 8 MHz	f _{MX} /122/2
0	1	0	0	1	f _{MX} = 12 MHz	f _{MX} /183/2
0	0	0	1	0	f _{MX} = 16 MHz	f _{MX} /122/4
0	0	1	0	1	f _{MX} = 20 MHz	f _{MX} /305/2
1	0	0	0	0	f _{HOCO} = 4 MHz	f _{HOCO} /122
1	1	0	0	0	f _{HOCO} = 6 MHz	f _{HOCO} /183
1	0	0	0	1	f _{HOCO} = 8 MHz	f _{HOCO} /122/2
1	1	0	0	1	f _{HOCO} = 12 MHz	f _{HOCO} /183/2
1	0	0	1	0	f _{HOCO} = 16 MHz	f _{HOCO} /122/4
1	1	0	1	0	f _{HOCO} = 24 MHz	f _{HOCO} /183/4
1	0	0	1	1	f _{HOCO} = 32 MHz	f _{HOCO} /122/8
上記以外					設定禁止	

9.3.4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック動作の開始/停止, RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9-5 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力(1 Hz)禁止
1	RTC1HZ端子の出力(1 Hz)許可

AMPM	12時間制/24時間制の選択
0	12時間制(午前/午後を表示)
1	24時間制
<ul style="list-style-type: none"> • AMPMビットの値を変更する場合は, RWAITビット(リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のビット0) = 1にしてから書き換えてください。AMPMレジスタの値を変更すると, 時カウント・レジスタ(HOUR)の値は設定した時間制に対応した値に変更されます。 • 時間桁表示表を表9-2に示します。 	

CT2	CT1	CT0	定周期割り込み(INTRTC)の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度(秒カウントアップに同期)
0	1	0	1秒に1度(秒カウントアップと同時)
0	1	1	1分に1度(毎分00秒)
1	0	0	1時間に1度(毎時00分00秒)
1	0	1	1日に1度(毎日00時00分00秒)
1	1	×	1月に1度(毎月1日午前00時00分00秒)

カウンタ動作中(RTCE = 1)にCT2-CT0ビットの値を変更する場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後は, RIFGフラグ, RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注意1. RTCE = 1のときにRCLOE1ビットを変更しないでください。

注意2. RTCE = 0のときに, RCCOE1 = 1に設定しても1Hz出力されません。

備考 × : Don't care

9.3.5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能、カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(1/2)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST ^注	RWAIT
WALE	アラームの動作制御							
0	一致動作無効							
1	一致動作有効							
カウンタ動作中(RTCE = 1)かつWALIE = 1の時にWALEビットへ設定する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RTCIFフラグをクリアしてください。アラームの各レジスタ(RTCC1レジスタのWALIEフラグ、アラーム分レジスタ(ALARMWM)、アラーム時レジスタ(ALARMWH)、アラーム曜日レジスタ(ALARMWW))を設定する場合、WALEビットを一致動作無効“0”にしてください。								
WALIE	アラーム割り込み(INTRTC)機能の動作制御							
0	アラームの一致による割り込みを発生しない							
1	アラームの一致による割り込みを発生する							
WAFG	アラーム検出ステータス・フラグ							
0	アラーム不一致							
1	アラームの一致検出							
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、fRTCの1クロック後に“1”となります。 “0”を書き込むことでクリアされ、“1”の書き込みは無効となります。								

注 RWSTビットは読み出しのみできます。

図9-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/2)

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RWST ^{注1}	リアルタイム・クロックのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITビットの設定が有効であることを示すステータスです。
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
内部カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
アラーム割り込みを使用するとき、カウンタの読み出し／書き込みを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B(1秒毎に定周期割り込み発生)にして、RWAIT=1からRWAIT=0までの処理を次の定周期割り込みが発生するまでに行ってください。
RWAIT=1に設定後、カウンタ値の読み出し、書き込みが可能(RWST=1)となるまで最大f_{RTC}の1クロックの時間がかかります。注2注3
内部カウンタ(16ビット)のオーバフローがRWAIT=1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT=0になったあと、カウント・アップします。
ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

注1. RWSTビットは読み出しのみできます。

注2. RTCE=1に設定した後、f_{RTC}の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック(f_{RTC})の2クロック時間がかかる場合があります。

注3. スタンバイ(HALTモード、STOPモード、SNOOZEモード)から復帰した後、f_{RTC}の1クロック時間内で、RWAIT=1とした場合、RWSTビットが“1”になるまでに、動作クロック(f_{RTC})の2クロック時間がかかる場合があります。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考1. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

備考2. 秒カウント・レジスタ(SEC)へ書き込みを行うと内部カウンタ(16ビット)はクリアされます。

9.3.6 秒カウント・レジスタ (SEC)

0-59 (10進)までの値を取り、秒のカウント値を示す8ビットのレジスタです。

内部カウンタ(16ビット)からのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大fRTCの2クロック後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-8 秒カウント・レジスタ (SEC)のフォーマット

アドレス : FFF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し/書き込みをする場合は、9.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

備考 秒カウント・レジスタ (SEC)へ書き込みを行うと内部カウンタ(16ビット)はクリアされます。

9.3.7 分カウント・レジスタ (MIN)

0-59 (10進)までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-9 分カウント・レジスタ (MIN)のフォーマット

アドレス : FFF93H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し/書き込みをする場合は、9.4.3 リアルタイム・クロックのカウンタ読み出し/書き込みに記載されている手順に従って実施してください。

9.3.8 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進)までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大FRTCの2クロック後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット3 (AMPM)で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると、HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

図9-10 時カウント・レジスタ (HOUR)のフォーマット

アドレス : FFF94H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOURレジスタのビット5 (HOUR20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

注意2. カウンタ動作中 (RTCE = 1)にこのレジスタの読み出し / 書き込みをする場合は、9.4.3 リアルタイム・クロックのカウンタ読み出し / 書き込みに記載されている手順に従って実施してください。

AMPMビットの設定値、および時カウント・レジスタ(HOUR)値と時間の関係を表9-2に示します。

表9-2 時間桁表示表

24時間表示(AMPMビット=1)		12時間表示(AMPMビット=0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00 H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は、AMPMビットが“0”のときに12時間表示、“1”のときに24時間表示となります。

12時間表示の場合は、HOURレジスタの5ビット目で午前/午後を表示し、午前(AM)のときに0に、午後(PM)のときに1となります。

9.3.9 日カウント・レジスタ (DAY)

1-31 (10進)までの値を取り、日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは、次に示すようにカウントします。

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図9-11 日カウント・レジスタ (DAY)のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 カウンタ動作中 (RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

9.3.10 曜日カウント・レジスタ (WEEK)

0-6 (10進)までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大FRTCの2クロック後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-12 曜日カウント・レジスタ (WEEK)のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK)には、月カウント・レジスタ (MONTH)および日カウント・レジスタ (DAY)に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00 H
月	01 H
火	02 H
水	03 H
木	04 H
金	05 H
土	06 H

注意2. カウンタ動作中 (RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

9.3.11 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進)までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図9-13 月カウント・レジスタ (MONTH)のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

9.3.12 年カウント・レジスタ (YEAR)

0-99 (10進)までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH)からのオーバフローによりカウント・アップします。

00, 04, 08, . . . , 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-14 年カウント・レジスタ (YEAR)のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

9.3.13 時計誤差補正レジスタ (SUBCUD)

内部カウンタ(16ビット)から秒カウンタ・レジスタ(SEC)へオーバーフローする値(基準値: 7FFFH)を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 15 時計誤差補正レジスタ (SUBCUD)のフォーマット

アドレス : FFF99H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F12	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時(20秒注ごと)に時計誤差補正
1	秒桁が00秒時のみ(60秒注ごと)に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
<ul style="list-style-type: none"> DEV = 0設定時 : SEC = 00H, 20H, 40Hの期間 DEV = 1設定時 : SEC = 00Hの期間 	

F12	時計誤差補正値の設定
0	{(F5, F4, F3, F2, F1, F0) - 1} × 2だけ増加
1	{(/F5, /F4, /F3, /F2, /F1, /F0) + 1} × 2だけ減少
(F12, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, *)のときは、時計誤差補正を行いません。	
(F12, F5, F4, F3, F2, F1, F0) = (1, 0, 0, 0, 0, *)は設定禁止です。	
補正値の範囲 : (F12 = 0のとき) 2, 4, 6, 8, . . . 120, 122, 124	
(F12 = 1のとき) -2, -4, -6, -8, . . . -120, -122, -124	

注意1. *は0または1を示します。

注意2. /はビット反転を表現しています。

次に、時計誤差補正レジスタ (SUBCUD)による補正可能範囲を示します。

項目	DEV = 0 (20秒注ごとの補正)	DEV = 1 (60秒注ごとの補正)
補正可能範囲	-189.2 ppm ~ 189.2 ppm	-63.1 ppm ~ 63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

注 選択クロックがf_{RTC} ≒ 32.787 kHzとなるため、クロック誤差を含みます。

備考 補正範囲が-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

9.3.14 16ビット時計誤差補正レジスタ (SUBCUDW)

内部カウンタ(16ビット)から秒カウンタ・レジスタ (SEC)へオーバフローする値(基準値: 7FFFH)を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDWレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図9-16 16ビット時計誤差補正レジスタ (SUBCUDW)のフォーマット

アドレス: FFF54H リセット時: 0000H R/W

略号	15	14	13	12	11	10	9	8
SUBCUDW	DEV	0	0	F12	F11	F10	F9	F8
略号	7	6	5	4	3	2	1	0
	F7	F6	F5	F4	F3	F2	F1	F0
DEV	時計誤差補正のタイミングの設定							
0	秒桁が00, 20, 40秒時(20秒注ごと)に時計誤差補正							
1	秒桁が00秒時のみ(60秒注ごと)に時計誤差補正							
次に示すタイミングでのSUBCUDWレジスタへの書き込みは禁止です。								
<ul style="list-style-type: none"> • DEV = 0設定時: SEC = 00H, 20H, 40Hの期間 • DEV = 1設定時: SEC = 00Hの期間 								
F12	時計誤差補正值の設定							
0	$\{(F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) - 1\} \times 2$ だけ増加							
1	$\{(/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0) + 1\} \times 2$ だけ減少							
(F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, *)のときは、時計誤差補正を行いません。								
補正值の範囲: (F12 = 0のとき) 2, 4, 6, 8, . . . 8184, 8186, 8188								
(F12 = 1のとき) -2, -4, -6, -8, . . . -8184, -8186, -8188								

注意1. *は0または1を示します。

注意2. /はビット反転を表現しています。

次に、16ビット時計誤差補正レジスタ (SUBCUDW)による補正可能範囲を示します。

項目	DEV = 0 (20秒注ごとの補正)	DEV = 1 (60秒注ごとの補正)
補正可能範囲	-12496.9 ppm ~ 12496.9 ppm	-4165.6 ppm ~ 4165.6 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

注 選択クロックがf_{RTC} ≒ 32.787 kHzとなるためクロック誤差を含みます。

備考 補正範囲が、-4165.6 ppm以下または4165.6 ppm以上のときは、DEV = 0を設定してください。

9.3.15 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9-17 アラーム分レジスタ (ALARMWM)のフォーマット

アドレス : FFF9AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

9.3.16 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9-18 アラーム時レジスタ (ALARMWH)のフォーマット

アドレス : FFF9BH リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHレジスタのビット5 (WH20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

9.3.17 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-19 アラーム曜日レジスタ (ALARMWW)のフォーマット

アドレス : FFF9CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

9.3.18 ポート・モード・レジスタ 1 (PM1)

PM1レジスタは、1ビット・メモリ・操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

RTC1HZ端子の1 Hz出力として使用する時は、PM13ビットに“0”を設定してください。

図9-20 ポート・モード・レジスタ 1 (PM1)のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

9.3.19 ポート・レジスタ 1 (P1)

P1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

RTC1Hz端子へ1 Hz出力として使用する時は、P13ビットに“0”を設定してください。

図9-21 ポート・レジスタ 1 (P1)のフォーマット

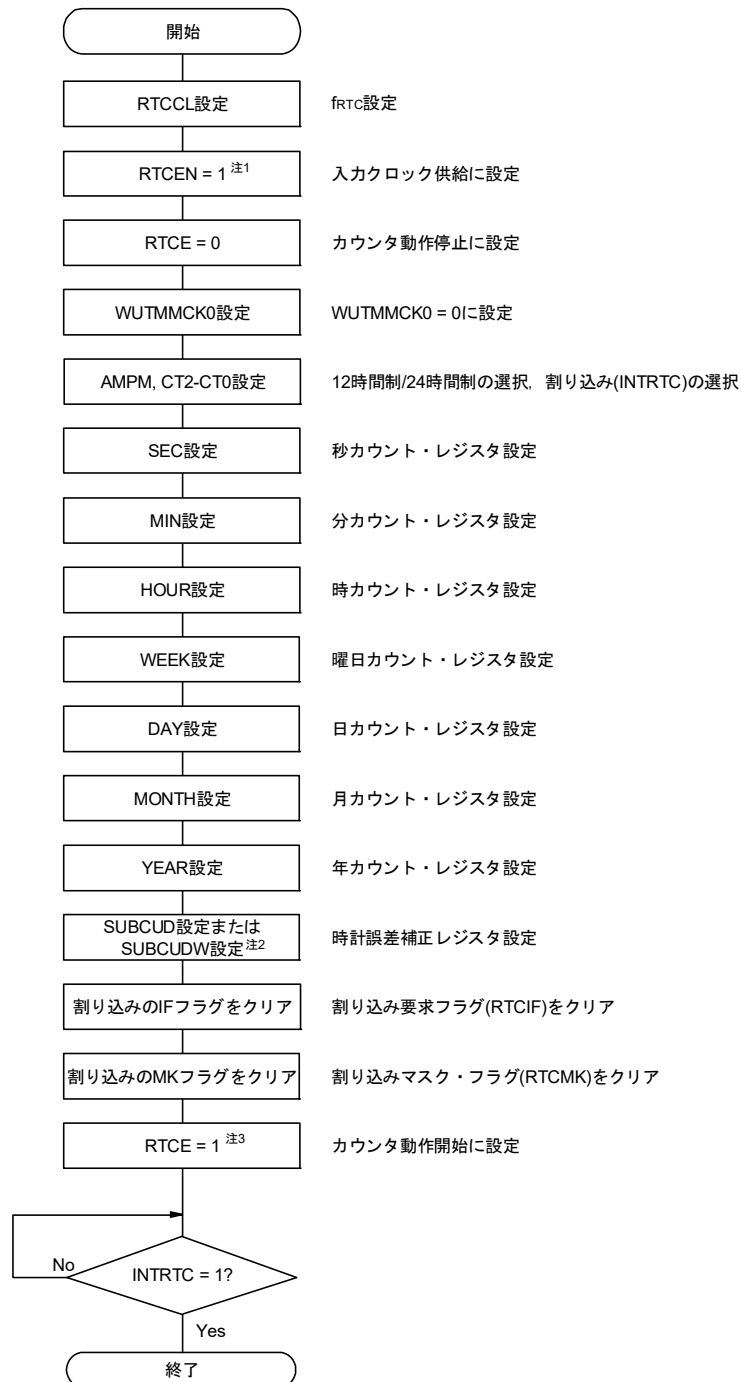
アドレス : FFF01H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
P1	P17	P16	P15	P14	P13	P12	P11	P10

9.4 リアルタイム・クロックの動作

9.4.1 リアルタイム・クロックの動作開始

図9-22 リアルタイム・クロックの動作開始手順



注1. カウント・クロック (frtc) が発振安定状態において、最初に RTCEN = 1 の設定を行ってください。

注2. 時計誤差補正する必要がある場合のみ。より高精度な補正をする必要がある場合は SUBCUDW レジスタを設定してください。補正值の算出方法は、9.4.6 リアルタイム・クロックの時計誤差補正例を参照してください。

注3. RTCE = 1 のあとに INTRTC = 1 を待たずに HALT/STOP モードへ移行する場合は、9.4.2 動作開始後の HALT/STOP モードへの移行の手順を確認してください。

9.4.2 動作開始後のHALT/STOPモードへの移行

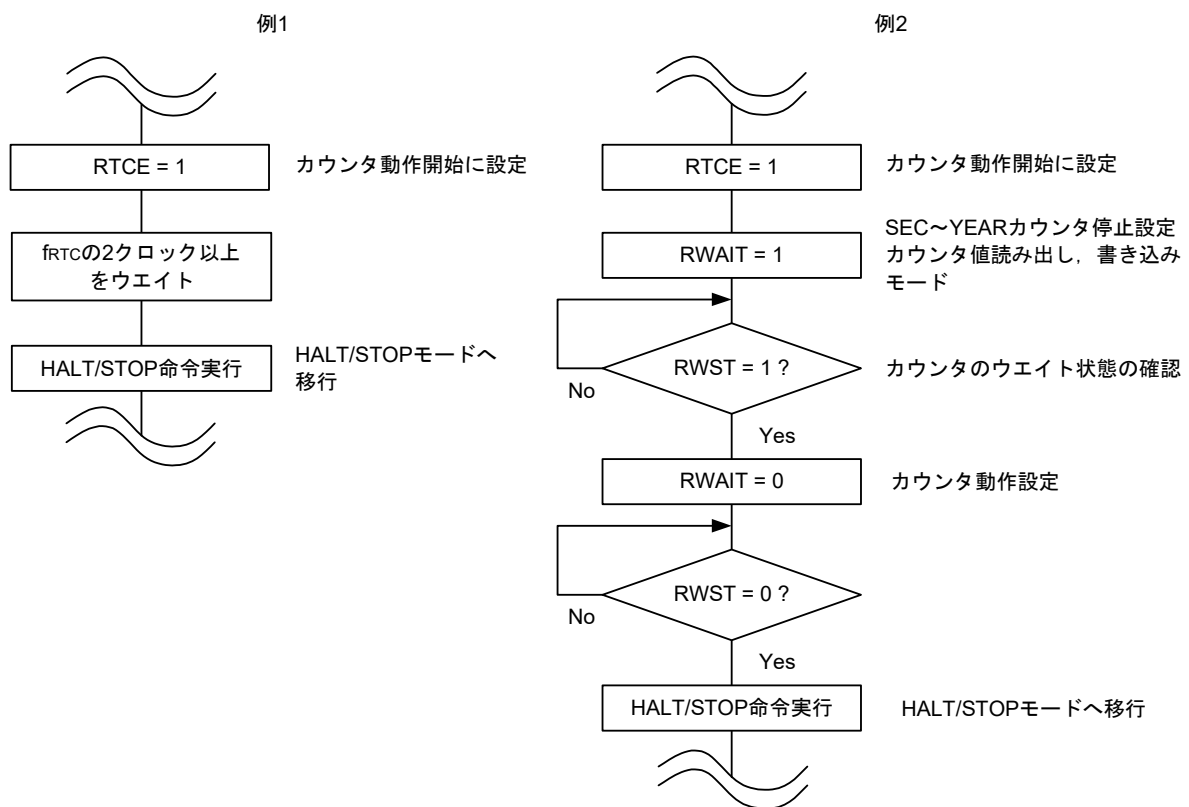
RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は、これらの処理は必要ありません。

- RTCE = 1に設定してから、カウント・クロック (fRTC)の2クロック分以上経過後にHALT/STOPモードへ移行する(図9-23 例1参照)。
- RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する(図9-23 例2参照)。

注意 STOPモード時、RTCの動作クロック (fRTC) は停止します。

図9-23 RTCE = 1に設定後のHALT/STOPモードへの移行手順

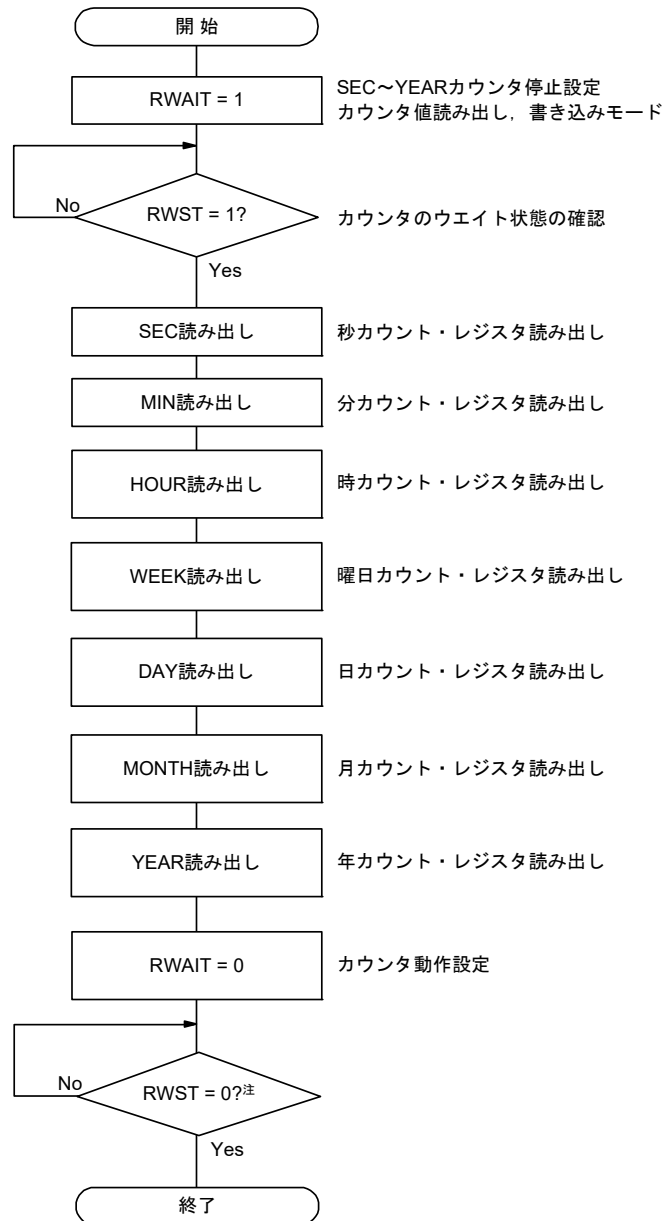


9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは、最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し／書き込み終了後は、RWAIT = 0にしてください。

図9-24 リアルタイム・クロックの読み出し手順



注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

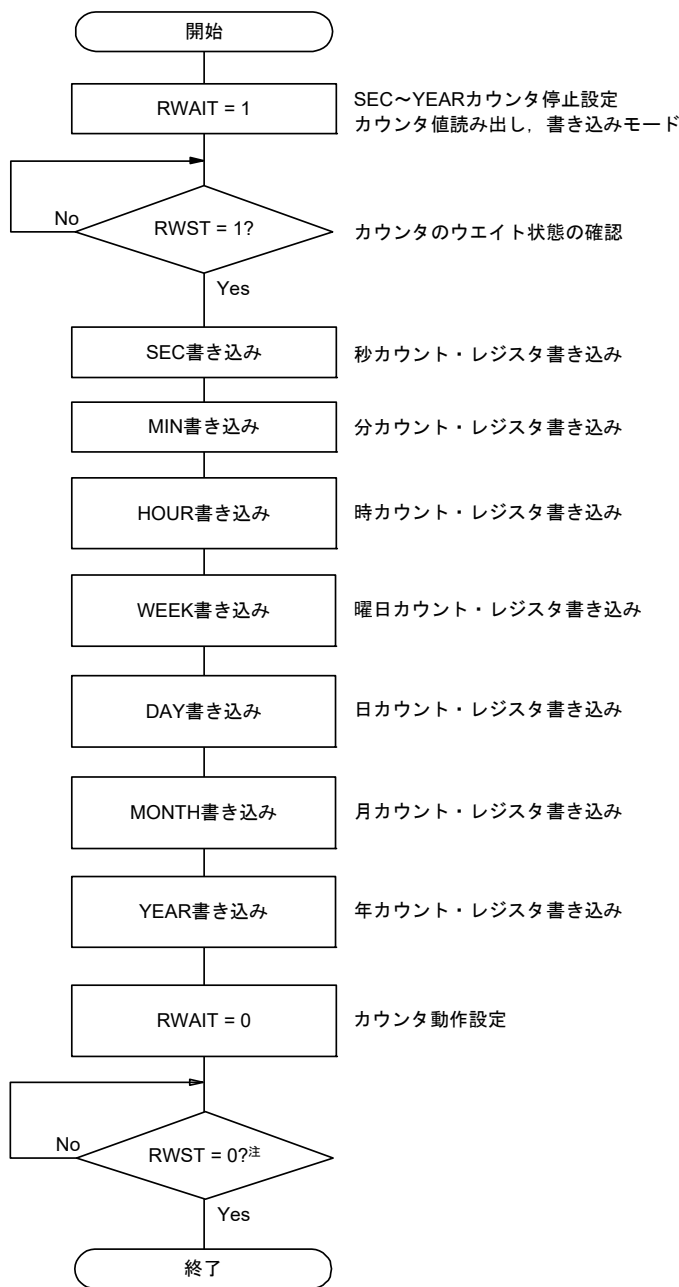
注意 RWAIT = 1 から RWAIT = 0 までの処理を1秒以内で行ってください。

アラーム割り込みを使用するとき、カウンタ読み出しを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

備考 秒カウント・レジスタ (SEC)、分カウント・レジスタ (MIN)、時カウント・レジスタ (HOUR)、曜日カウント・レジスタ (WEEK)、日カウント・レジスタ (DAY)、月カウント・レジスタ (MONTH)、年カウント・レジスタ (YEAR)の読み出しの順番に制限はありません。

また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出しても構いません。

図9-25 リアルタイム・クロックの書き込み手順



注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

アラーム割り込みを使用するときに、カウンタ書き込みを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

注意2. カウンタ動作中(RTCE = 1)にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

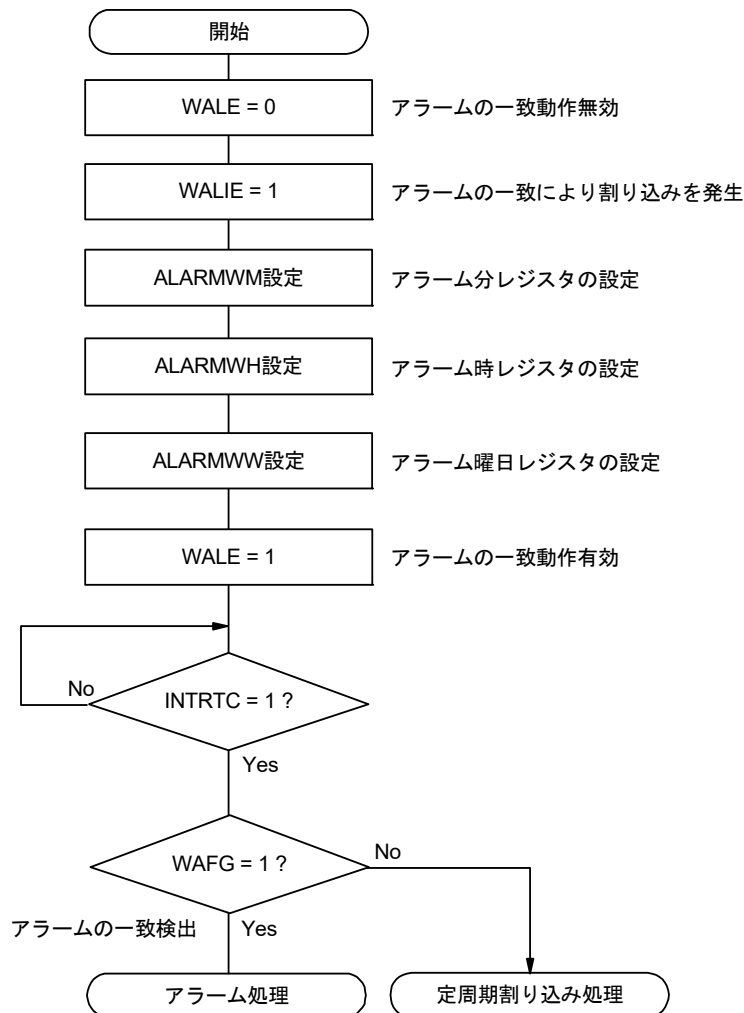
備考 秒カウント・レジスタ (SEC), 分カウント・レジスタ (MIN), 時カウント・レジスタ (HOUR), 曜日カウント・レジスタ (WEEK), 日カウント・レジスタ (DAY), 月カウント・レジスタ (MONTH), 年カウント・レジスタ (YEAR)の書き込みの順番に制限はありません。

また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

9.4.4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は、最初にWALE = 0 (アラーム動作無効)にしてから行ってください。

図9 - 26 アラーム設定手順

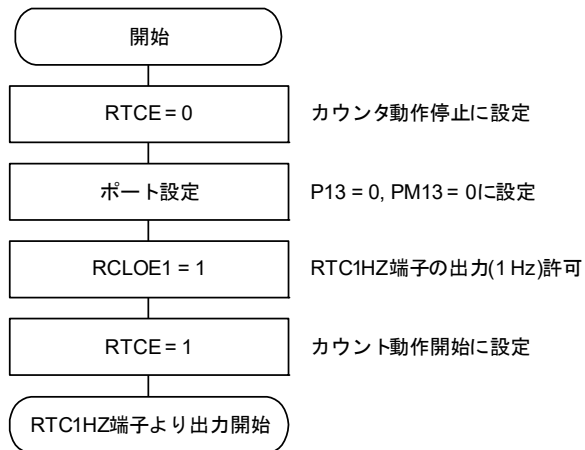


備考1. アラーム分レジスタ (ALARMWWM)、アラーム時レジスタ (ALARMWH)、アラーム曜日レジスタ (ALARMWW)の書き込みの順番に制限はありません。

備考2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

9.4.5 リアルタイム・クロックの1 Hz出力

図9-27 1 Hz出力の設定手順



注意 カウント・クロック (RTCCLレジスタで選択したクロック) が発振安定状態において、最初に RTCEN = 1 の設定を行ってください。

9.4.6 リアルタイム・クロックの時計誤差補正例

16ビット時計誤差補正レジスタ (SUBCUDW) に値を設定することにより、時計の進みや遅れをより高精度に補正できます。

注意 この補正例は、 f_{RTC} のクロック周波数に対する補正例です。

補正値の算出方法例

内部カウンタ(16ビット)のカウンタ値を補正する際の補正値は、次の式で算出できます。

補正範囲が、-4165.6 ppm以下または4165.6 ppm以上のときは、 $DEV = 0$ を設定してください。

($DEV = 0$ の場合)

補正値注 = 1分間の補正カウント数 ÷ 3 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60 ÷ 3

($DEV = 1$ の場合)

補正値注 = 1分間の補正カウント数 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60

注 補正値とは、16ビット時計誤差補正レジスタ (SUBCUDW) のビット12-0の値により求められる時計誤差補正値です。

($F12 = 0$ の場合)補正値 = $\{(F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) - 1\} \times 2$

($F12 = 1$ の場合)補正値 = $- \{(/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0) + 1\} \times 2$

($F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0$) = (*, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, *)のときは、時計誤差補正を行いません。*は0または1です。

$/F11 \sim /F0$ は、ビット反転した値(111111111100のときは000000000011)となります。

備考1. 補正値は、2, 4, 6, 8, . . . 8184, 8186, 8188, または-2, -4, -6, -8 . . . -8184, -8186, -8188です。

備考2. 発振周波数とは、カウンタ・クロック(f_{RTC})の値です。

16ビット時計誤差補正レジスタ (SUBCUDW) が初期値(0000H)時のRTC1HZ端子の出力周波数 × 32768で求めることができます。

備考3. ターゲット周波数とは、16ビット時計誤差補正レジスタ (SUBCUDW) を使用した補正後の周波数です。

補正例

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm)への補正例

【発振周波数の測定】

各製品の発振周波数注を、16ビット時計誤差補正レジスタ (SUBCUDW) が初期値 (00H) 時に RTC1HZ 端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、9.4.5 リアルタイム・クロックの1 Hz出力を参照してください。

【補正値の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \doteq 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm)とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = 1\text{分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F12~F0)への設定値の算出】

(補正値 = -36の場合)

補正値が0以下(速くする場合)では、F12 = 1とします。

(F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0)は、補正値から算出します。

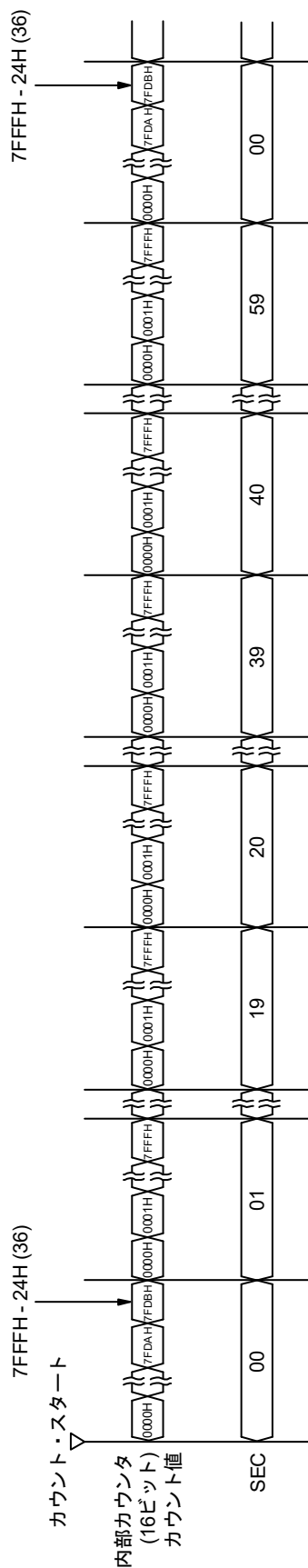
$$\begin{aligned} - \{ (/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0) &= (0, 0, 0, 0, 0, 0, 0, 1, 0, 0, 0, 1) \\ (F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) &= (1, 1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm)への補正の場合、

DEV = 1, 補正値 = -36 (SUBCUD レジスタのビット 12-0 : 111111101110)と補正レジスタを設定すると、32768 Hz (0 ppm)となります。

(DEV, F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0)の場合の動作を図9-28に示します。

図9 - 28 (DEV, F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0)の場合の動作



第10章 インターバル・タイマ

10.1 インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み(INTIT)が発生します。STOPモードからのウエイクアップや、A/DコンバータのSNOOZEモードのトリガに役立ちます。

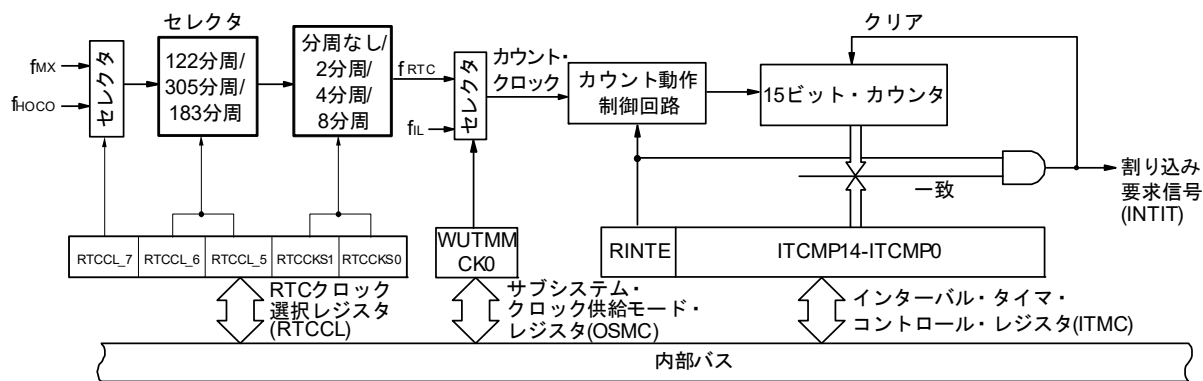
10.2 インターバル・タイマの構成

インターバル・タイマは、次のハードウェアで構成されています。

表 10 - 1 インターバル・タイマの構成

項目	構成
カウンタ	15ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	RTCクロック選択レジスタ (RTCCL)
	インターバル・タイマ・コントロール・レジスタ (ITMC)

図 10 - 1 インターバル・タイマのブロック図



10.3 インターバル・タイマを制御するレジスタ

インターバル・タイマは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ 0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- RTCクロック選択レジスタ (RTCCL)
- インターバル・タイマ・コントロール・レジスタ (ITMC)

10.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

インターバル・タイマを使用するときは、必ずビット7 (RTCEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	TAU1EN	TAU0EN

RTCEN	リアルタイム・クロック (RTC)、インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・リアルタイム・クロック (RTC)、インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC)、インターバル・タイマはリセット状態
1	入カクロック供給許可 ・リアルタイム・クロック (RTC)、インターバル・タイマで使用するSFRへのリード/ライト可

注意1. インターバル・タイマを使用する際には、カウント・クロックが発振安定した状態で、必ず最初に RTCEN = 1 に設定してから下記のレジスタの設定を行ってください。RTCEN = 0 の場合は、インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (サブシステム・クロック供給モード制御レジスタ (OSMC) および RTCクロック選択レジスタ (RTCCL) は除く)。

- インターバル・タイマ・コントロール・レジスタ (ITMC)

注意2. ビット3, 4, 6には必ず"0"を設定してください。

10.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットでインターバル・タイマ、リアルタイム・クロック、タイマRJの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック、インターバル・タイマ、タイマRJの動作クロックの選択
0	RTCクロック選択レジスタ (RTCCL) で設定したRTC動作クロック (f _{RTC}) ・リアルタイム・クロック、インターバル・タイマのカウント・クロックはRTC動作クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータ・クロックを選択できません。
1	低速オンチップ・オシレータ・クロック (f _{IL}) ・インターバル・タイマの動作クロックは低速オンチップ・オシレータ・クロックになります。 ・タイマRJのカウントソースは低速オンチップ・オシレータを選択できます。

注意 リアルタイム・クロックを使用する場合は、必ずWUTMMCK0 = 0で使用してください。

10.3.3 RTCクロック選択レジスタ (RTCCL)

RTC、インターバル・タイマの動作クロックを選択します。

RTCCLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-4 RTCクロック選択レジスタ (RTCCL)のフォーマット

アドレス : F02D8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCCL	RTCCL7	RTCCL6	RTCCL5	0	0	0	RTCKS1	RTCKS0
RTCCL7	RTC、インターバル・タイマの動作クロック・ソース選択制御							
0	高速システム・クロック (fMX)							
1	高速オンチップ・オシレータ・クロック (fHOCO)							
RTCCL6	RTCCL5	RTC、インターバル・タイマの動作クロック分周制御1						
0	0	122分周						
0	1	305分周						
1	0	183分周						
1	1	設定禁止						
RTCKS1	RTCKS0	RTC、インターバル・タイマの動作クロック分周制御2						
0	0	分周なし						
0	1	2分周						
1	0	4分周						
1	1	8分周						

備考 32.768 kHz 相当のクロック (32.787 kHz) を作るための分周設定を以下に示します。インターバル・タイマを動作させるときは下記設定にしてください。

RTCCL7	RTCCL6	RTCCL5	RTCKS1	RTCKS0	クロック・ソース	インターバル・タイマ動作クロック ($f_{RTC} = 32.787 \text{ kHz}$)
0	0	0	0	0	fMX = 4 MHz	fMX/122
0	0	0	0	1	fMX = 8 MHz	fMX/122/2
0	1	0	0	1	fMX = 12 MHz	fMX/183/2
0	0	0	1	0	fMX = 16 MHz	fMX/122/4
0	0	1	0	1	fMX = 20 MHz	fMX/305/2
1	0	0	0	0	fHOCO = 4 MHz	fHOCO/122
1	1	0	0	0	fHOCO = 6 MHz	fHOCO/183
1	0	0	0	1	fHOCO = 8 MHz	fHOCO/122/2
1	1	0	0	1	fHOCO = 12 MHz	fHOCO/183/2
1	0	0	1	0	fHOCO = 16 MHz	fHOCO/122/4
1	1	0	1	0	fHOCO = 24 MHz	fHOCO/183/4
1	0	0	1	1	fHOCO = 32 MHz	fHOCO/122/8
上記以外					設定禁止	

10.3.4 インターバル・タイマ・コントロール・レジスタ (ITMC)

インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図 10-5 インターバル・タイマ・コントロール・レジスタ (ITMC)のフォーマット

アドレス : FFF90H リセット時 : 7FFFH R/W

略号 15

14-0

ITMC	RINTE	ITCMP14-ITCMP0
	RINTE	インターバル・タイマの動作制御
	0	カウンタ動作停止(カウント・クリア)
	1	カウンタ動作開始
	ITCMP14-ITCMP0	インターバル・タイマのコンペア値設定
	0001H	「カウント・クロック周期 × (ITCMP設定値 + 1)」の定周期割り込みを発生します。
	.	
	.	
	7FFFH	設定禁止
	0000H	
ITCMP14-ITCMP0 = 0001H, 7FFFH設定時の割り込み周期例 ・ ITCMP14-ITCMP0 = 0001H, カウント・クロック : $f_{RTC} \cong 32.7869 \text{ kHz}$ 時 $1/32.7869 \text{ [kHz]} \times (1 + 1) = 0.061 \text{ [ms]} = 61 \text{ [}\mu\text{s]}$ ・ ITCMP14-ITCMP0 = 7FFFH, カウント・クロック : $f_{RTC} \cong 32.7869 \text{ kHz}$ 時 $1/32.7869 \text{ [kHz]} \times (32767 + 1) = 999.424 \text{ [ms]}$		

注意1. RINTE ビットを1→0に変更する場合は、INTIT を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0→1)する場合は、ITIFフラグをクリアしてから割り込み処理許可にしてください。

注意2. RINTE ビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。

注意3. スタンバイ・モードから復帰後に RINTE ビット設定して、再度スタンバイ・モードに移行する場合は、RINTE ビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上経過後に移行してください。

注意4. ITCMP14-ITCMP0 ビットの設定を変更する場合は、必ず RINTE = 0 のときに行ってください。

ただし、RINTE = 0→1または1→0に変更すると同時にITCMP14-ITCMP0ビットの設定を変更することは可能です。

10.4 インターバル・タイマの動作

10.4.1 インターバル・タイマの動作タイミング

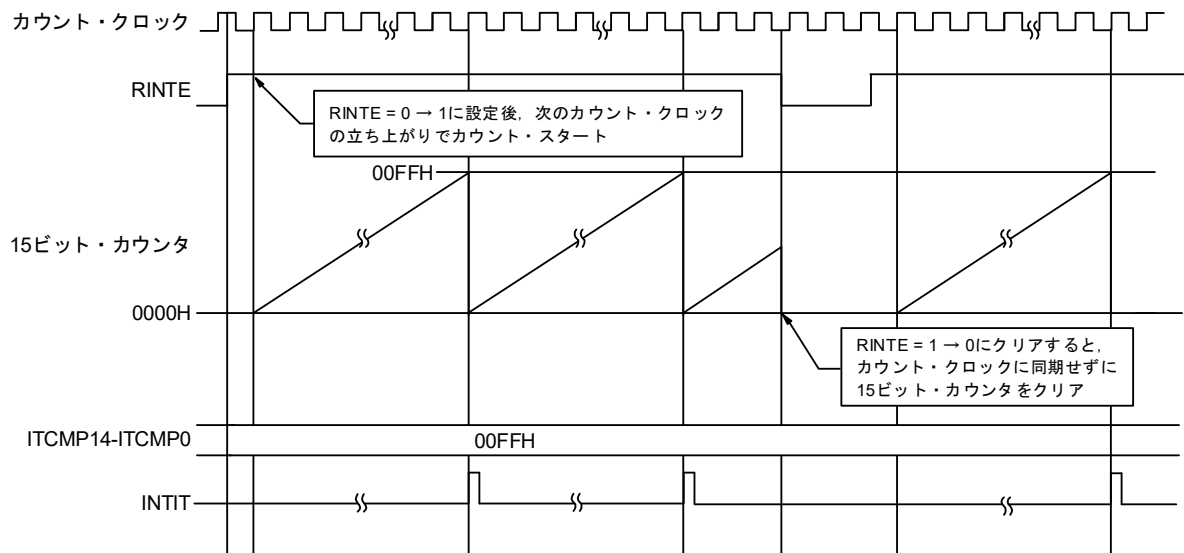
ITCMP14-ITCMP0 ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTIT) を発生するインターバル・タイマとして動作します。

RINTE ビットを1に設定すると、15ビット・カウンタがカウントを開始します。

15ビット・カウンタ値がITCMP14-ITCMP0 ビットに設定した値と一致したとき、15ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTIT) を発生します。

インターバル・タイマの基本動作を図10-6に示します。

図10-6 インターバル・タイマ動作のタイミング
(ITCMP14-ITCMP0 = 00FFH)

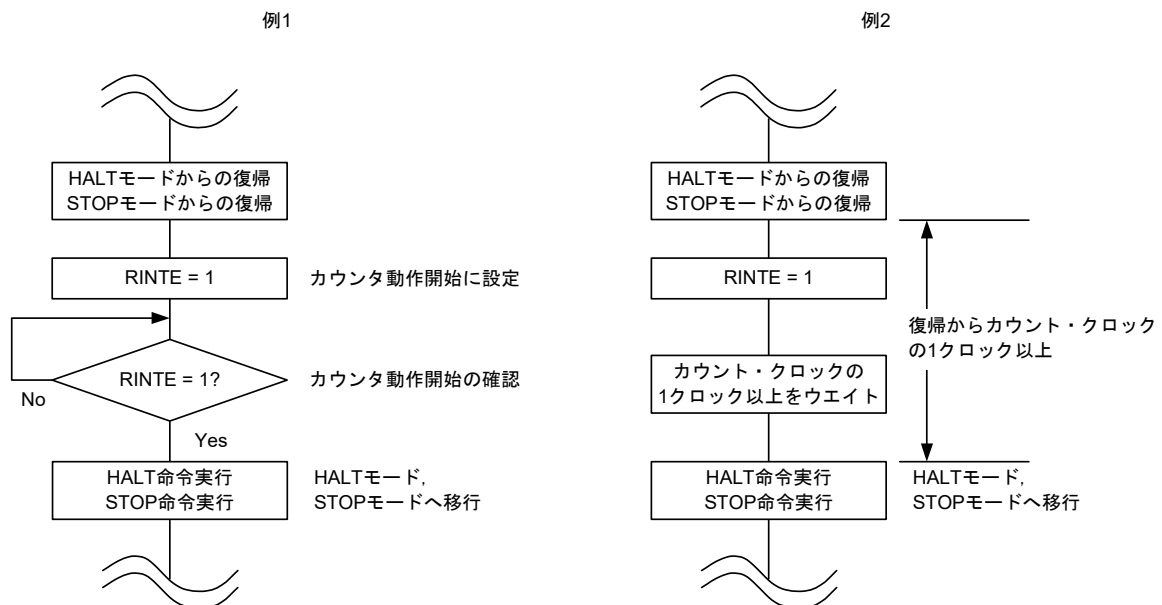


10.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウンタ・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する(図10-7 例1参照)。
- RINTE = 1に設定してから、カウンタ・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する(図10-7 例2参照)。

図10-7 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第11章 クロック出力／ブザー出力制御回路

11.1 クロック出力／ブザー出力制御回路の機能

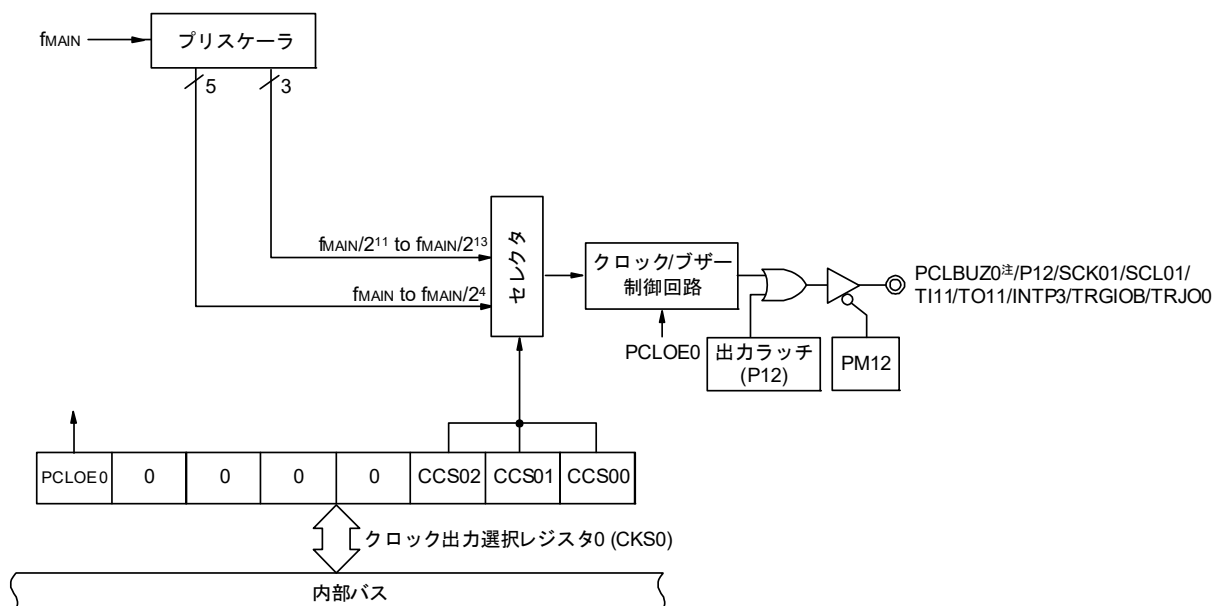
クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0)で選択したクロックを出力します。

図11-1にクロック出力／ブザー出力制御回路のブロック図を示します。

図11-1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0端子から出力可能な周波数は、33.4または34.4 AC特性を参照してください。

11.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表 11 - 1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ 0 (CKS0) ポート・モード・レジスタ 1 (PM1) ポート・レジスタ 1 (P1)

11.3 クロック出力／ブザー出力制御回路を制御するレジスタ

11.3.1 クロック出力選択レジスタ 0 (CKS0)

クロック出力またはブザー周波数出力の端子(PCLBUZ0)の出力許可／禁止、および出力クロックを設定するレジスタです。

CKS0レジスタで、PCLBUZ0端子の出力するクロックを選択します。

CKS0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11 - 2 クロック出力選択レジスタ 0 (CKS0)のフォーマット

アドレス : FFFA5H (CKS0)

リセット時 : 00H

R/W

略号	7	6	5	4	3	2	1	0
CKS0	PCLOE0	0	0	0	0	CCS02	CCS01	CCS00

PCLOE0	PCLBUZ0端子の出力許可／禁止の指定
0	出力禁止(デフォルト)
1	出力許可

CCS02	CCS01	CCS00	PCLBUZ0端子の出力クロックの選択				
			fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 32 MHz	
0	0	0	fMAIN	5 MHz	10 MHz注	設定禁止注	設定禁止注
0	0	1	fMAIN/2	2.5 MHz	5 MHz	10 MHz注	16 MHz注
0	1	0	fMAIN/2 ²	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	1	1	fMAIN/2 ³	625 kHz	1.25 MHz	2.5 MHz	4 MHz
1	0	0	fMAIN/2 ⁴	312.5 kHz	625 kHz	1.25 MHz	2 MHz
1	0	1	fMAIN/2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
1	1	0	fMAIN/2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	1	fMAIN/2 ¹³	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz

注 出力クロックは、16 MHz 以内の範囲で使用してください。詳しくは、33.4 または 34.4 AC 特性を参照してください。

注意 1. 出力クロックの切り替えは、出力禁止(PCLOE0 = 0)にしてから行ってください。

注意 2. STOPモードに移行する場合は、STOP命令前にPCLOE0 = 0にしてください。

備考 fMAIN : メイン・システム・クロック周波数

11.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ 1(PM1), ポート・レジスタ 1(P1))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx)を参照してください。

クロック出力／ブザー出力端子を兼用するポート(P12/SCK01/SCL01/TI11/TO11/INTP3/PCLBUZ0/TRGIOB/TRJO0)をクロック出力／ブザー出力として使用するときは、P12に対応するポート・モード・レジスタ 1(PM1)のPM12ビットおよびポート・レジスタ 1(P1)のP12ビットに0を設定してください。

- (例) P12/SCK01/SCL01/TI11/TO11/INTP3/PCLBUZ0/TRGIOB/TRJO0 をクロック出力／ブザー出力として使用する場合
- ポート・モード・レジスタ 1のPM12ビットを0に設定
 - ポート・レジスタ 1のP12ビットを0に設定

11.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0)で選択したクロック／ブザーを出力します。

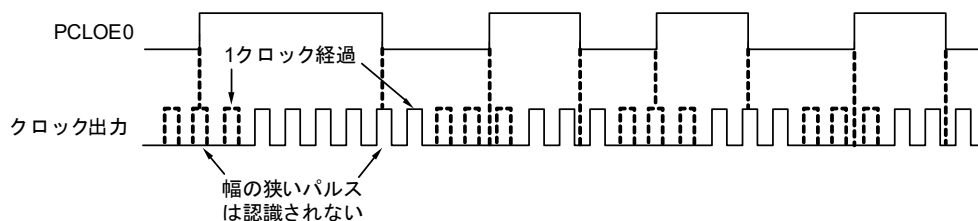
11.4.1 出力端子の動作

PCLBUZ0端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ1(PM1)およびポート・レジスタ1(P1)のビットに0を設定する。
- ② PCLBUZ0端子のクロック出力選択レジスタ0(CKS0)のビット0-3 (CCS00-CCS02)で出力周波数を選択する(出力は禁止の状態)。
- ③ CKS0レジスタのビット7 (PCLOE0)に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止(PCLOE0ビット)を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOE0ビットによる出力の許可／停止とクロック出力のタイミングを図11-3に示します。

図11-3 PCLBU0端子からのクロック出力のタイミング



11.5 クロック出力／ブザー出力制御回路の注意事項

出力停止設定 (PCLOE0 = 0) にしてから PCLBUZ0 端子の出力クロックの 1.5 クロック以内に STOP モードへ移行すると、PCLBUZ0 の出力幅が短くなります。

第12章 ウォッチドッグ・タイマ

12.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック (f_{IL})で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF)がセット(1)されます。RESFレジスタの詳細については第24章 リセット機能を参照してください。

また、オーバフロー時間の75% + 1/2 f_{IL}到達時にインターバル割り込みを発生することもできます。

12.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 12-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ(17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

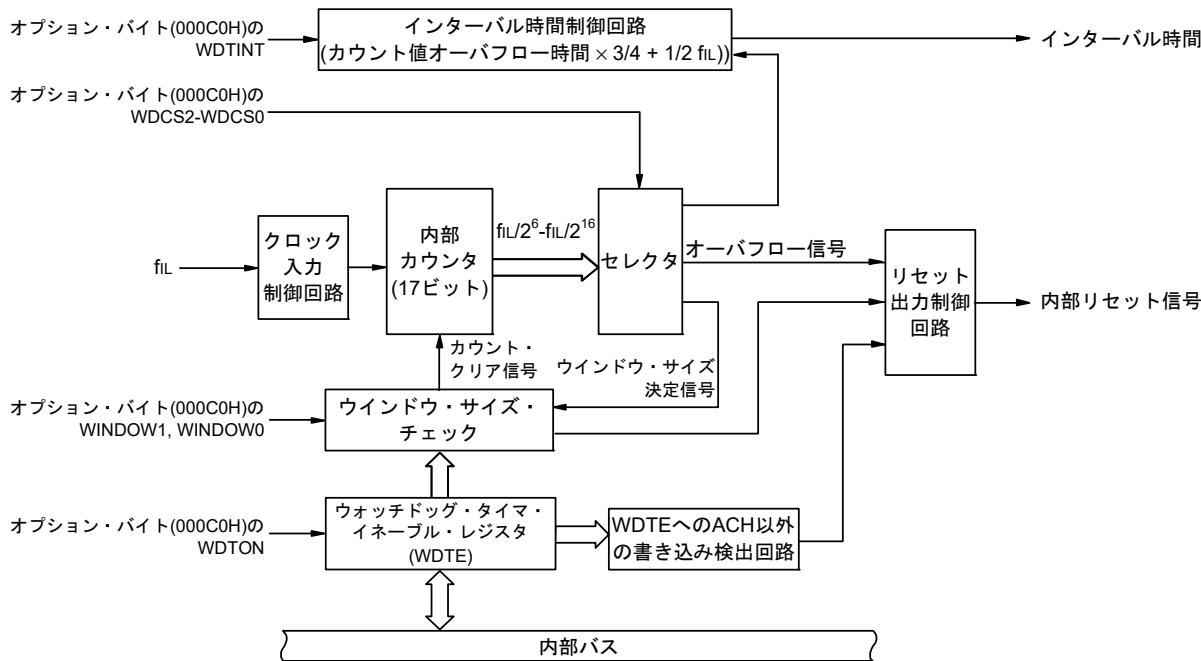
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表 12-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト(000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7(WDTINT)
ウインドウ・オープン期間設定	ビット6, 5(WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4(WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1(WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOP時)	ビット0(WDSTBYON)

備考 オプション・バイトについては、第29章 オプション・バイトを参照してください。

図 12-1 ウォッチドッグ・タイマのブロック図



備考 fil: 低速オンチップ・オシレータ・クロック周波数

12.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)で制御します。

12.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH注になります。

図12-2 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット

アドレス : FFFABH	リセット時 : 9AH/1AH注	R/W						
略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト(000C0H)のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

注意2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

注意3. WDTEレジスタのリード値は、“9AH/1AH”(書き込んだ値(“ACH”)とは異なる値)になります。

12.4 ウォッチドッグ・タイマの動作

12.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト(000C0H)で次の内容を設定します。

- オプション・バイト(000C0H)のビット4 (WDTON)を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可(リセット解除後、カウンタは動作開始)にしてください(詳細は、第29章 を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止(リセット解除後、カウンタ停止)
1	カウンタ動作許可(リセット解除後、カウンタ開始)

- オプション・バイト(000C0H)のビット3-1 (WDOS2-WDOS0)で、オーバフロー時間を設定してください(詳細は、12.4.2および第29章 を参照)。
 - オプション・バイト(000C0H)のビット6, 5 (WINDOW1, WINDOW0)で、ウインドウ・オープン期間を設定してください(詳細は、12.4.3および第29章 オプション・バイトを参照)。
2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
 3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
 4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生しません。
 5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

- 注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
- 注意2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大1μsの2クロックの誤差が生じる場合があります。
- 注意3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0 (WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

12.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表 12-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)
0	0	0	2 ⁶ /f _{IL} (3.71 ms)
0	0	1	2 ⁷ /f _{IL} (7.42 ms)
0	1	0	2 ⁸ /f _{IL} (14.84 ms)
0	1	1	2 ⁹ /f _{IL} (29.68 ms)
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)
1	0	1	2 ¹³ /f _{IL} (474.89 ms)
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)

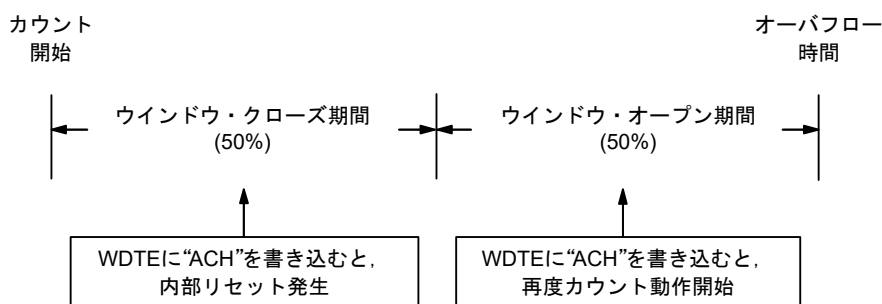
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

12.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、オプション・バイト (000C0H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウィンドウの概要は次のとおりです。

- ・ウィンドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウィンドウ・クローズ期間中は、WDTE レジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウィンドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウィンドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表 12-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75%
1	1	100%



注 ウィンドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア（WDTE へのACHの書き込み）を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (fIL = 17.25 kHz (MAX.) の場合)	ウィンドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/fIL$ (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	$2^7/fIL$ (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	$2^8/fIL$ (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	$2^9/fIL$ (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	$2^{11}/fIL$ (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	$2^{13}/fIL$ (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	$2^{14}/fIL$ (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	$2^{16}/fIL$ (3799.18 ms)	1899.59 ms ~ 2570.04 ms

注意 オプション・バイト(000C0H)のビット0 (WDSTBYON) = 0のときは、WINDOW1, WINDOW0 ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/fIL$ に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定		
	50%	75%	100%
ウィンドウ・クローズ時間	0 ~ 20.08 ms	0 ~ 10.04 ms	なし
ウィンドウ・オープン時間	20.08 ~ 29.68 ms	10.04 ~ 29.68 ms	0 ~ 29.68 ms

<ウィンドウ・オープン期間50%のとき>

- オーバフロー時間 :
 $2^9/fIL$ (MAX.) = $2^9 / 17.25 \text{ kHz (MAX.)} = 29.68 \text{ ms}$
- ウィンドウ・クローズ時間 :
 $0 \sim 2^9/fIL$ (MIN.) $\times (1 - 0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$
- ウィンドウ・オープン時間 :
 $2^9/fIL$ (MIN.) $\times (1 - 0.5) \sim 2^9/fIL$ (MAX.) = $2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9 / 17.25 \text{ kHz} = 20.08 \sim 29.68 \text{ ms}$

12.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト(000C0H)のビット7(WDTINT)の設定により、オーバフロー時間の75% + 1/2 f_{IL}到達時にインターバル割り込み(INTWDTI)を発生することができます。

表 12 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 f _{IL} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も(ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むまで)カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第13章 アナログ・フロントエンド電源回路

13.1 アナログ・フロントエンド電源回路の機能

アナログ・フロントエンド (AFE) 電源回路は、AFE 基準電源回路 (ABGR) と内部回路供給用 LDO (REGA)、外部デバイスとしてセンサ用途を想定したセンサ電源供給用 LDO (SBIAS) で構成されています。

表 13 - 1 機能と回路の組み合わせ

機能の組み合わせ				アナログ回路の組み合わせ				
PGA+ ΔΣA/Dコ ンバータ	コンフィ ギュラブル アンプn	12ビット D/Aコン バータ	10ビット A/Dコン バータ	ABGR	REGA/SBIAS/ VREFAMP/ PGA/ ΔΣA/Dコンバー タ	コンフィギュラ ブル・アンプ	12ビット D/Aコンバータ	10ビット A/D コンバータ
			動作					●
	動作			●		●		
	動作		動作	●		●		●
	動作	動作		●		●	●	
	動作	動作	動作	●		●	●	●
動作				●	●			
動作			動作	●	●			●
動作	動作			●	●	●		
動作	動作		動作	●	●	●		●
動作	動作	動作		●	●	●	●	
動作	動作	動作	動作	●	●	●	●	●
AFE 電源制御				AFEPON = 1	AFEPON = 1 & PGAPON = 1	AFEPON = 1 & AMPnPON = 1	AFEPON = 1 & DACPON = 1	N/A

機能ごとの電源を制御する PON 信号，および AFE 全体の基準電源を制御する AFEPON 信号をレジスタで設定することで各動作状態を選択します。

すべての PON 信号は，周辺イネーブル・レジスタ 1 (PER1) で AFEEN = 0 とすることで初期化され，AFE の全電源が停止します。

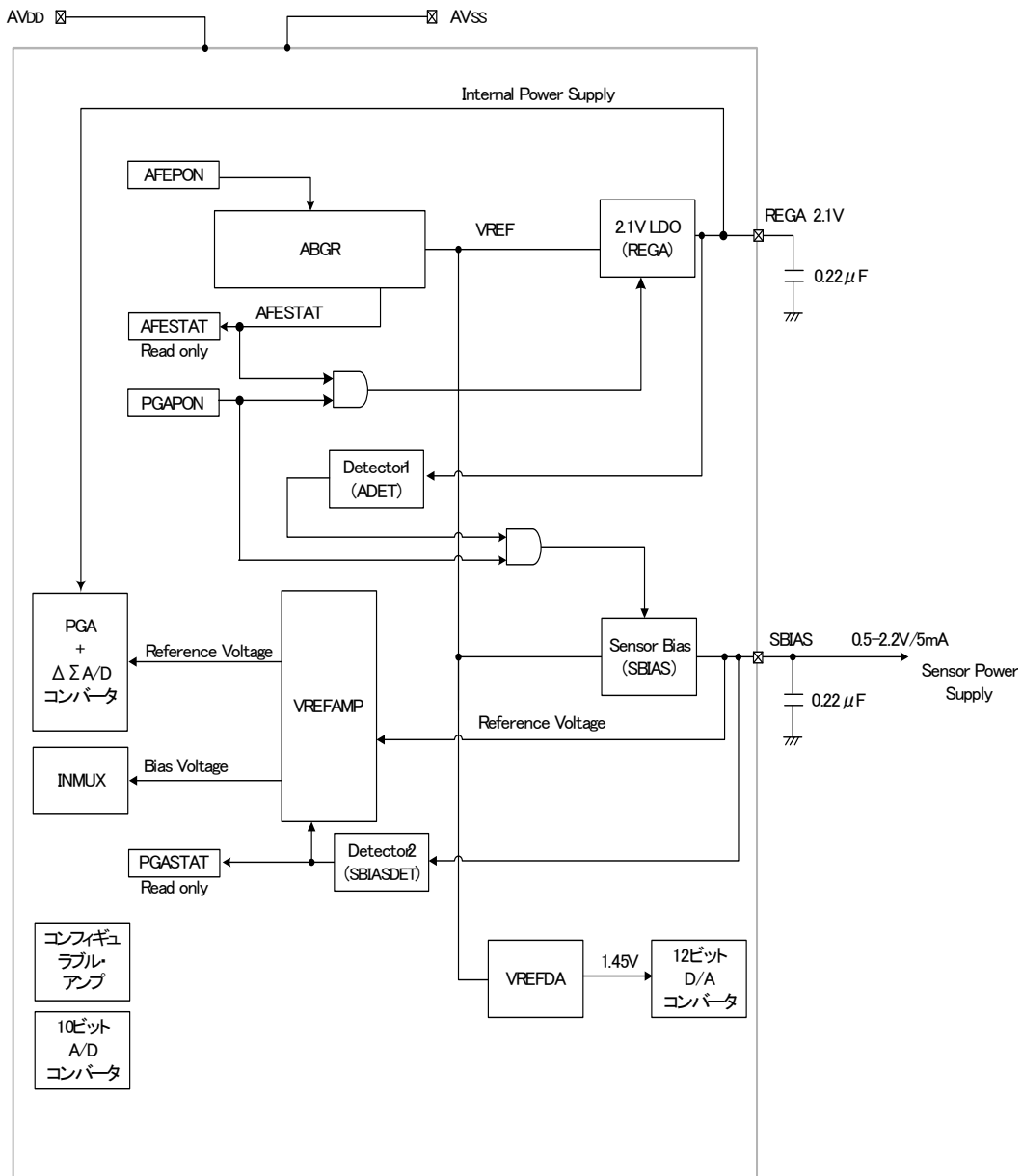
アナログ・フロントエンド電源検出レジスタ (AFEPWD) の AFESTAT ビットを読み出すことで，ABGR の起動状態を確認できます。

AFEPWD レジスタの PGASTAT ビットを読み出すことで，REGA および SBIAS の起動状態を確認できます。

13.2 アナログ・フロントエンド電源回路の構成

アナログ・フロントエンド電源回路のブロック図を図13-1に示します。

図13-1 アナログ・フロントエンド電源回路のブロック図



13.3 アナログ・フロントエンド電源回路を制御するレジスタ

アナログ・フロントエンド電源回路を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- アナログ・フロントエンド電源選択レジスタ (AFEPWS)
- アナログ・フロントエンド電源検出レジスタ (AFEPWD)
- センサ用基準電圧設定レジスタ (VSBIAS)

13.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	AMPEN	0	DTCEN	PGAEN	AFEEN	TRJ0EN

AFEEN	AFE電源・クロック制御部入力クロック供給の制御
0	クロック供給停止 ・AFE電源・クロック制御部で使用するSFRへのライト不可 ・AFE電源・クロック制御部はリセット状態
1	入力クロック供給 ・AFE電源・クロック制御部で使用するSFRへのリード/ライト可

注意 ビット4には必ず“0”を設定してください。

13.3.2 アナログ・フロントエンド電源選択レジスタ (AFEPWS)

機能ごとの電源を制御するPON信号、およびAFE全体の基準電源を制御するAFEPON信号を、AFEPWSレジスタで設定することにより各動作状態を選択します。

AFEPWSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-3 アナログ・フロントエンド電源選択レジスタ (AFEPWS)のフォーマット

アドレス : F0440H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFEPWS	DACPON	AMP2PON	AMP1PON	AMP0PON	0	PGAPON	0	AFEPON
DACPON	12ビットD/Aコンバータ部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
AMP2PON	コンフィギュラブル・アンプ2 (AMP2) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
AMP1PON	コンフィギュラブル・アンプ1 (AMP1) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
AMP0PON	コンフィギュラブル・アンプ0 (AMP0) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
PGAPON	プログラマブル・ゲイン計装アンプ (PGA) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
AFEPON	AFE基準電源 (ABGR) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							

注意 ビット1, 3には必ず“0”を設定してください。

13.3.3 アナログ・フロントエンド電源検出レジスタ (AFEPWD)

アナログ・フロントエンド電源検出レジスタ (AFEPWD) の AFESTAT ビットを読み出すことで、AFE 基準電源 (ABGR) の起動状態を確認できます。

AFEPWD レジスタの PGASTAT ビットを読み出すことで、REGA および SBIAS の起動状態を確認できます。

AFEPWD レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00H になります。

図13-4 アナログ・フロントエンド電源検出レジスタ (AFEPWD) のフォーマット

アドレス : F0441H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
AFEPWD	0	0	0	0	0	PGASTAT	0	AFESTAT
PGASTAT	プログラマブル・ゲイン計装アンプ (PGA) 部の電源状態							
0	停止または起動途中							
1	起動完了							
AFESTAT	AFE 基準電源 (ABGR) 部の電源状態							
0	停止または起動途中							
1	起動完了							

13.3.4 センサ用基準電圧設定レジスタ (VSBIAS)

センサ用基準電圧 (SBIAS) の出力電圧値を設定します。

VSBIAS レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

図13-5 センサ用基準電圧設定レジスタ (VSBIAS) のフォーマット

アドレス : F0443H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
VSBIAS	0	0	0	VSBIAS4	VSBIAS3	VSBIAS2	VSBIAS1	VSBIAS0
VSBIAS4	VSBIAS3	VSBIAS2	VSBIAS1	VSBIAS0	SBIASの出力電圧(V)			
0	1	0	0	1	0.5			
0	1	0	1	0	0.6			
0	1	0	1	1	0.7			
0	1	1	0	0	0.8			
0	1	1	0	1	0.9			
0	1	1	1	0	1.0			
0	1	1	1	1	1.1			
1	0	0	0	0	1.2 (初期値)			
1	0	0	0	1	1.3			
1	0	0	1	0	1.4			
1	0	0	1	1	1.5			
1	0	1	0	0	1.6			
1	0	1	0	1	1.7			
1	0	1	1	0	1.8			
1	0	1	1	1	1.9			
1	1	0	0	0	2.0			
1	1	0	0	1	2.1			
1	1	0	1	0	2.2			
上記以外					設定禁止			

13.4 AFE用内部基準電圧生成回路

13.4.1 AFE用内部基準電圧生成回路の概要

AFE用内部基準電圧生成回路は、AFE基準電源回路(ABGR)とアナログ回路用基準電圧生成回路(VREFAMP)から構成されています。

ABGRから出力されたVREF基準電圧は、REGA回路、SBIAS回路、VREFDA回路に供給されます。

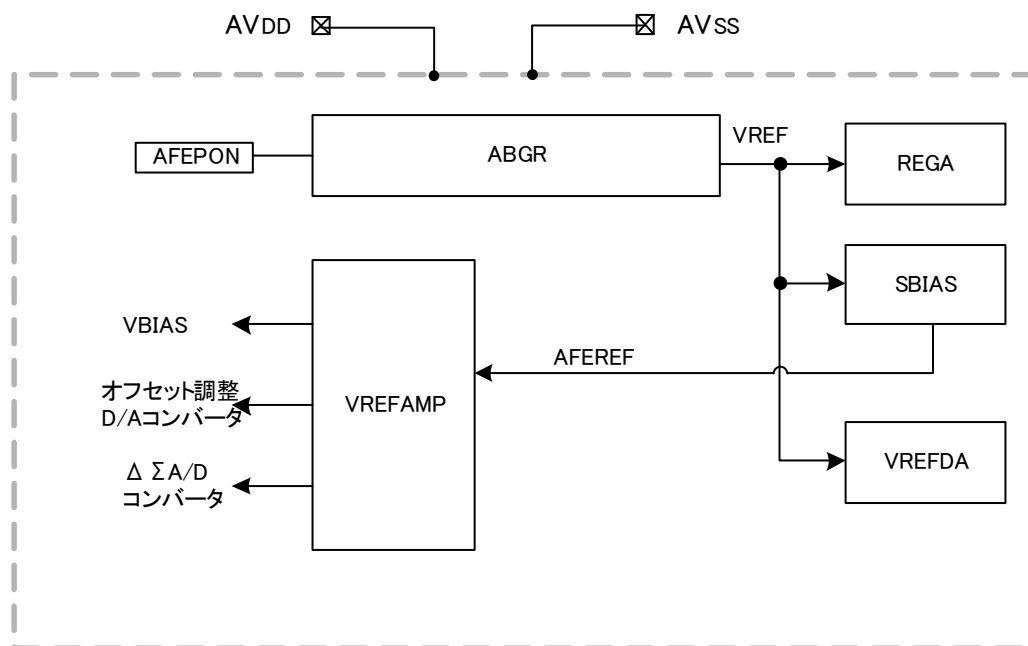
また、ABGRから出力されたVREF基準電圧は、SBIAS回路を経由してVREFAMP回路から、オフセット調整D/Aコンバータの基準電圧、さらに入力マルチプレクサに接続する内部バイアス電圧(VBIAS)となります。

ABGRは、出力電圧の温度依存性が低く、高い出力電圧精度が期待できます。

13.4.2 AFE用内部基準電圧生成回路の構成

AFE用内部基準電圧生成回路のブロック図を図13-6に示します。

図13-6 AFE用内部基準電圧生成回路のブロック図



13.4.3 AFE用内部基準電圧生成回路の動作

AFEPWSレジスタのAFEPONビットは、ABGRのON/OFFの移行を制御します。AFEパワーオフ(AFEPON=0)は、プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ A/Dコンバータ、コンフィギュラブル・アンプ、12ビットD/Aコンバータの電源を立ち下げ後に実施することを推奨しています。

13.5 センサ用電源回路 (SBIAS)

13.5.1 センサ用電源回路 (SBIAS) の概要

SBIAS はセンサ用の電源です。ABGRから出力されたVREF基準電圧が入力されます。出力電圧は0.5~2.2 Vの範囲で可変であり、0.1 V単位で設定可能です。出力電流は最大5 mAです。SBIAS 端子には0.22 μ F (推奨値)の外付けコンデンサが必要です。

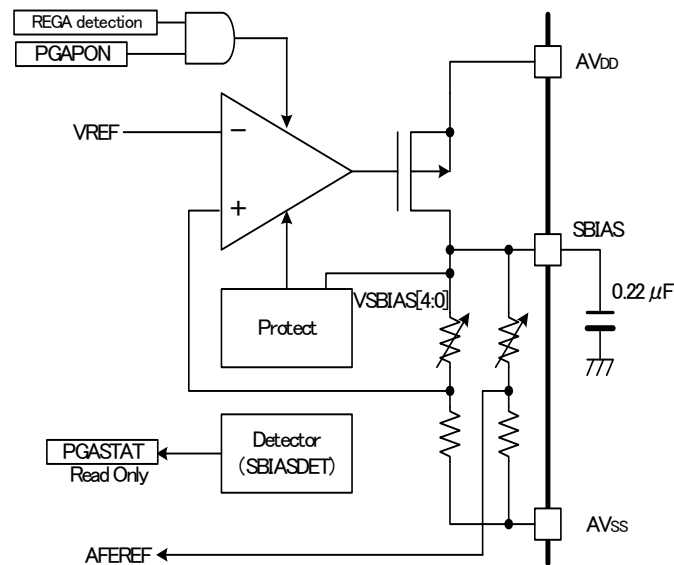
SBIAS は、過電流 (上限値を超える電流) からの保護回路を搭載しており、過電流状態が発生すると、保護回路が内部回路を保護します。また、SBIAS 自身の出力電圧を監視、検出する回路 (SBIASDET) を備えています。

ABGRから出力されたVREF基準電圧は、SBIAS を経由し、 $\Delta\Sigma$ /D コンバータの基準電圧、オフセット調整 D/A コンバータの基準電圧、さらに入力マルチプレクサに接続する内部バイアス電圧 (VBIAS) となります。

13.5.2 センサ用電源回路 (SBIAS) の構成

センサ用電源回路 (SBIAS) のブロック図を図13 - 7に示します。

図13 - 7 センサ用電源回路 (SBIAS) のブロック図



13.5.3 センサ用電源回路 (SBIAS) の動作

SBIASはセンサへ電源供給するとともに $\Delta\Sigma/A/D$ コンバータの基準電圧、オフセット調整D/Aコンバータの基準電圧、さらに入カマルチプレクサに接続する内部バイアス電圧 (VBIAS) が生成されます。

SBIAS は、SBIAS 自身の出力電圧を監視、検出する回路 (SBIASDET) 備えており、VREFAMP、プログラマブル・ゲイン計装アンプ (PGA)、 $\Delta\Sigma/A/D$ コンバータなどのアナログ回路の起動を制御します。SBIAS の出力電圧が確認できるとSBIASDET が解除され、アナログ回路の起動が許可されます。一方、SBIAS の出力電圧が正常に立ち上がってないことをSBIASDET が検知すると、アナログ回路の動作が停止します。

アナログ・フロントエンド電源選択レジスタ (AFEPWS) のAFEPONビットに0 が書き込まれると、SBIASDET が検知し、VREFAMP、PGA、 $\Delta\Sigma/A/D$ コンバータ、SBIAS の動作が停止します。VREFAMP が動作停止した場合、 $\Delta\Sigma/A/D$ コンバータの基準電圧、オフセット調整 D/Aコンバータの基準電圧、さらに入カマルチプレクサに接続する内部バイアス電圧 (VBIAS) が生成されません。

13.6 PGA, $\Delta\Sigma$ /Dコンバータへの内部電源供給回路 (REGA)

13.6.1 内部電源供給回路 (REGA) の概要

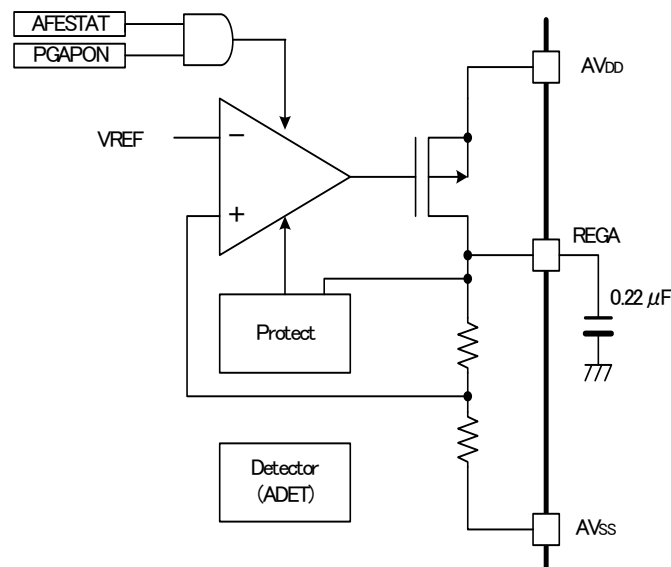
REGAは、ABGRの出力電圧を基準としてPGA, $\Delta\Sigma$ /Dコンバータへの電源供給を行います。出力電圧は2.1 V (TYP.) です。REGAの出力端子には0.22 μ F (推奨値) の外付けコンデンサが必要です。

REGAは過電流保護回路と低電圧検出回路 (ADET) を備えています。

13.6.2 内部電源供給回路 (REGA) の構成

内部電源供給回路 (REGA) のブロック図を図13-8に示します。

図13-8 内部電源供給回路 (REGA) のブロック図



13.7 12ビットD/Aコンバータ用基準電圧 (VREFDA)

13.7.1 12ビットD/Aコンバータ用基準電圧 (VREFDA) の概要

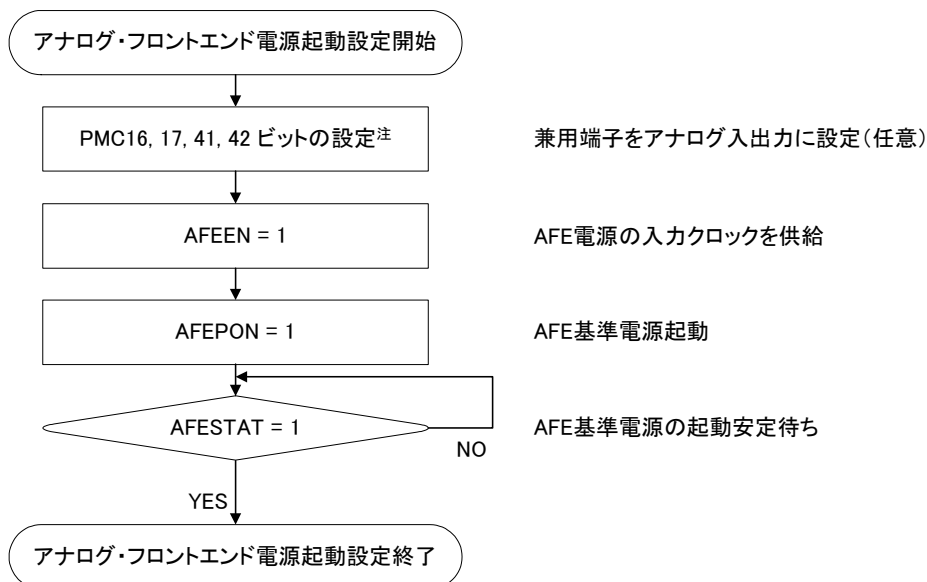
VREFDAは12ビットD/Aコンバータに内部基準電圧として1.45 Vを供給します。

VREFDAはABGRから出力されたVREF基準電圧を基に生成します。

13.8 アナログ・フロントエンド電源制御フロー

アナログ・フロントエンド電源起動および停止のフロー・チャートを図13-9、図13-10に示します。また、電源起動シーケンスのタイミング・チャートを図13-11に示します。

図13-9 アナログ・フロントエンド (AFE) 電源の起動フロー



注 リセット信号が発生すると、PMC16, PMC17, PMC41, PMC42 = 1となります。

図13-10 アナログ・フロントエンド (AFE) 電源の停止フロー

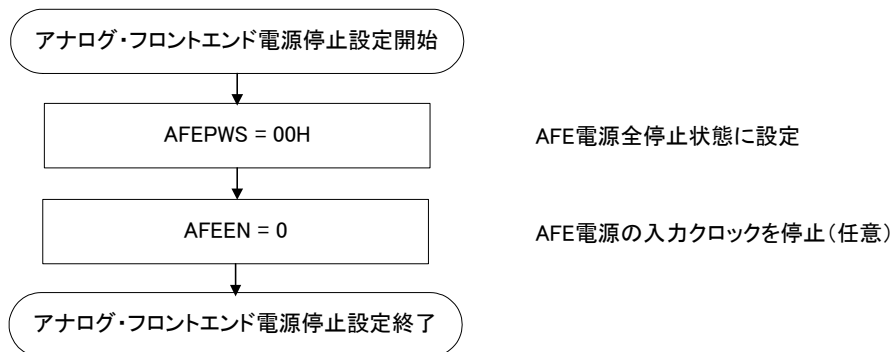
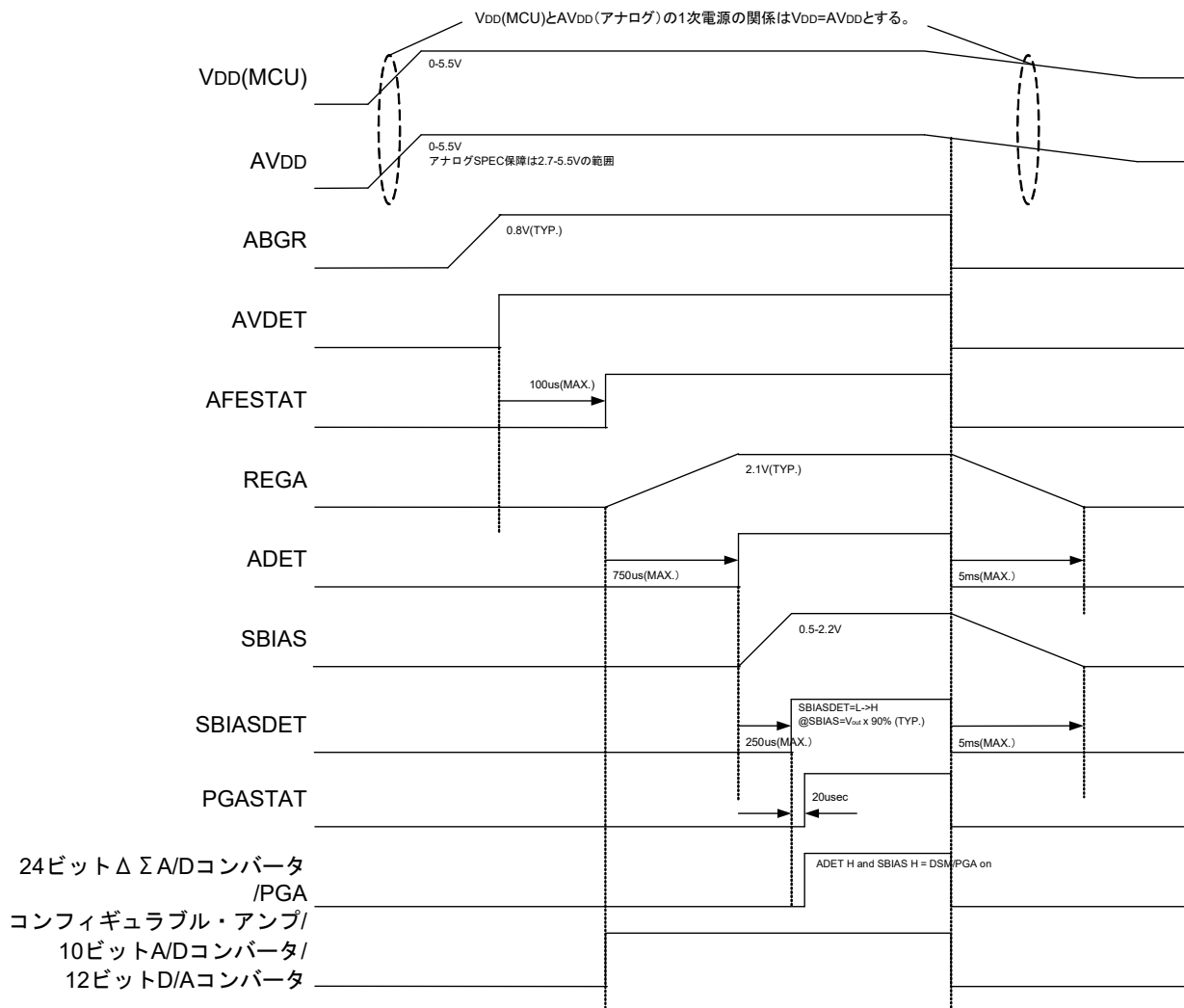


図13-11 電源起動シーケンスのタイミング・チャート



第14章 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータ

14.1 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータ の機能

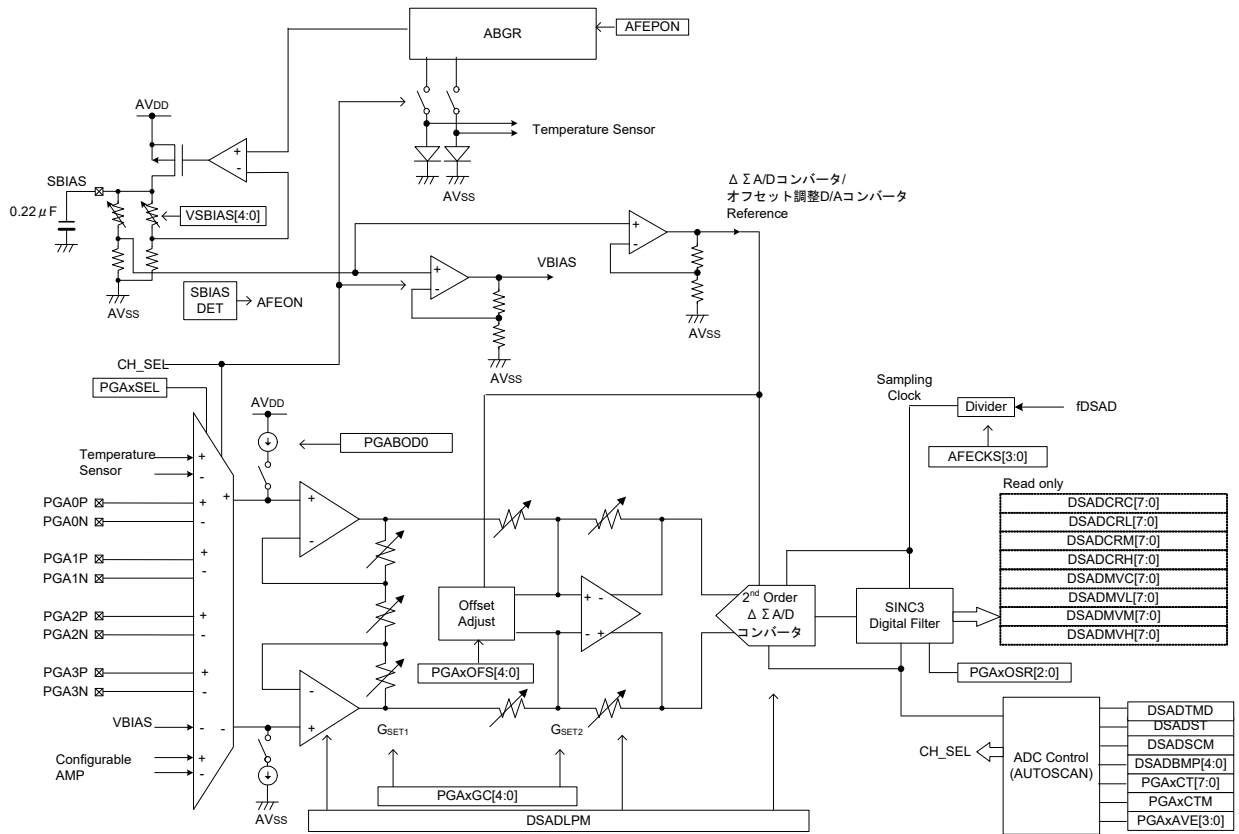
プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ A/Dコンバータを内蔵しています。入力マルチプレクサ（5チャンネル）からの信号は、プログラマブル・ゲイン計装アンプ（PGA）を経由し、24ビット $\Delta\Sigma$ A/Dコンバータに入力されます。A/D変換結果は、SINC3デジタル・フィルタにてフィルタリングされた後、出力レジスタに格納されます。

A/D変換は、高速オンチップ・オシレータ（高速OCO）からのクロックによって実行されます（サンプリング周波数は1 MHz（TYP.））。また、高速システム・クロックまたは高速システム・クロックからのPLLクロックを使用することもできます。A/D変換は、AUTOSCANと呼ばれる内蔵シーケンサに基づいて行われ、チャンネルごとにデータ・レート（A/D変換結果の出力頻度）を設定することも可能です。

14.2 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータの構成

図14-1にプログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータのブロック図を示します。

図14-1 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータのブロック図



14.3 入力マルチプレクサ

14.3.1 入力マルチプレクサの概要

入力マルチプレクサは5本のアナログ入力チャンネルを持ちます。うち4本（入力マルチプレクサ0～3）は外部からの信号入力が可能であり、残り1本（入力マルチプレクサ4）は内蔵の温度センサと接続されています。外部入力可能な4本（入力マルチプレクサ0～3）のチャンネルは、チャンネルごとに差動入力、またはシングルエンド入力の入力設定を選択できます。シングルエンド入力を設定した場合、内部バイアス電圧（VBIAS）がー側に接続されます。

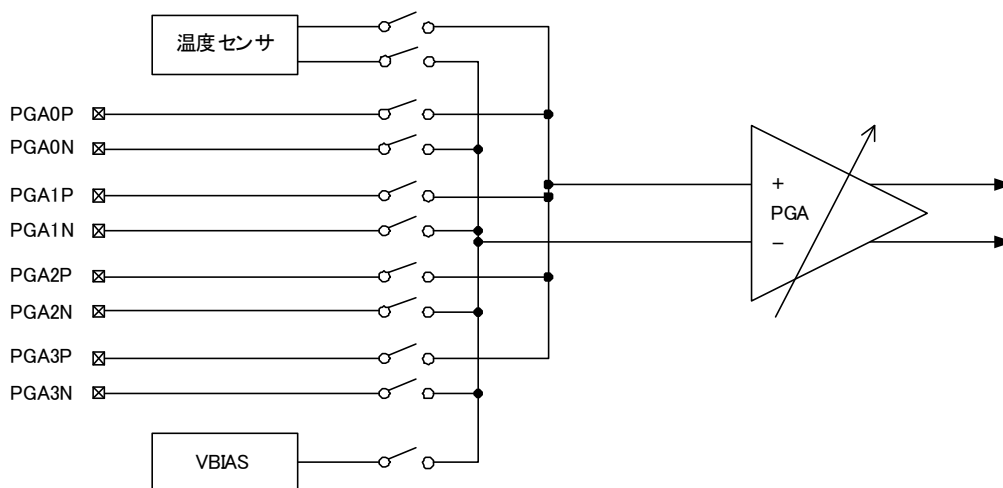
入力マルチプレクサのアナログ入力チャンネル数は、製品によって異なります。

	32ピン製品	36ピン製品
入力マルチプレクサ・チャンネル	4 ch (入力マルチプレクサ0～2および4)	5 ch (入力マルチプレクサ0～4)

14.3.2 入力マルチプレクサの構成

図14-2に入力マルチプレクサのブロック図を示します。

図14-2 入力マルチプレクサのブロック図



14.3.3 入力マルチプレクサを制御するレジスタ

入力マルチプレクサでは、次のレジスタを使用します。

(1) 入力マルチプレクサx (x = 0~3) 設定レジスタ1 (PGAxCTL1)

入力マルチプレクサのチャンネルごとに、差動入力かシングルエンド入力かを設定できます。

PGAxCTL1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

図 14 - 3 入力マルチプレクサx (x = 0~3) 設定レジスタ1(PGAxCTL1)のフォーマット

アドレス : F045BH (PGA0CTL1), F045FH (PGA1CTL1), リセット時 : 10H R/W
F0463H (PGA2CTL1), F0467H (PGA3CTL1)

略号	7	6	5	4	3	2	1	0
PGAxCTL1	PGAxSEL	PGA3TSEL ^{注1}	0	PGAxOFS4 ^{注2}	PGAxOFS3 ^{注2}	PGAxOFS2 ^{注2}	PGAxOFS1 ^{注2}	PGAxOFS0 ^{注2}
	PGAxSEL	入力マルチプレクサxの制御 (x = 0-3)						
	0	差動入力						
	1	シングルエンド入力						

注1. PGA0CTL1-PGA2CTL1レジスタのビット6は、0固定です。PGA3CTL1レジスタのPGA3TSELビットについては、14.4.6 (3) コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0)、入力マルチプレクサ3設定レジスタ1 (PGA3CTL1) を参照してください。

注2. PGAxOFS0-PGAxOFS4ビットについては、14.4.6 (2) 入力マルチプレクサx (x = 0~4) 設定レジスタ1 (PGAxCTL1) を参照してください。

14.4 プログラマブル・ゲイン計装アンプ (PGA)

14.4.1 プログラマブル・ゲイン計装アンプ (PGA) の概要

プログラマブル・ゲイン計装アンプ (PGA) は、低オフセット電圧、低 $1/f$ ノイズ、高入力インピーダンスを特長とするアンプです。入力マルチプレクサの設定により、差動入力モード、シングルエンド入力モード、内蔵温度センサ入力モードの3つのモードになります。

差動入力モードおよびシングルエンド入力モードでは、計装アンプの前段アンプのゲイン (G_{SET1}) と後段アンプのゲイン (G_{SET2}) の組み合わせにより、1～64倍までのゲイン (G_{TOTAL}) を設定できます。内蔵温度センサ入力モードでは、ゲインの設定は変更できません。 G_{SET1} と G_{SET2} は内部で固定されます ($G_{TOTAL} = 2$)。

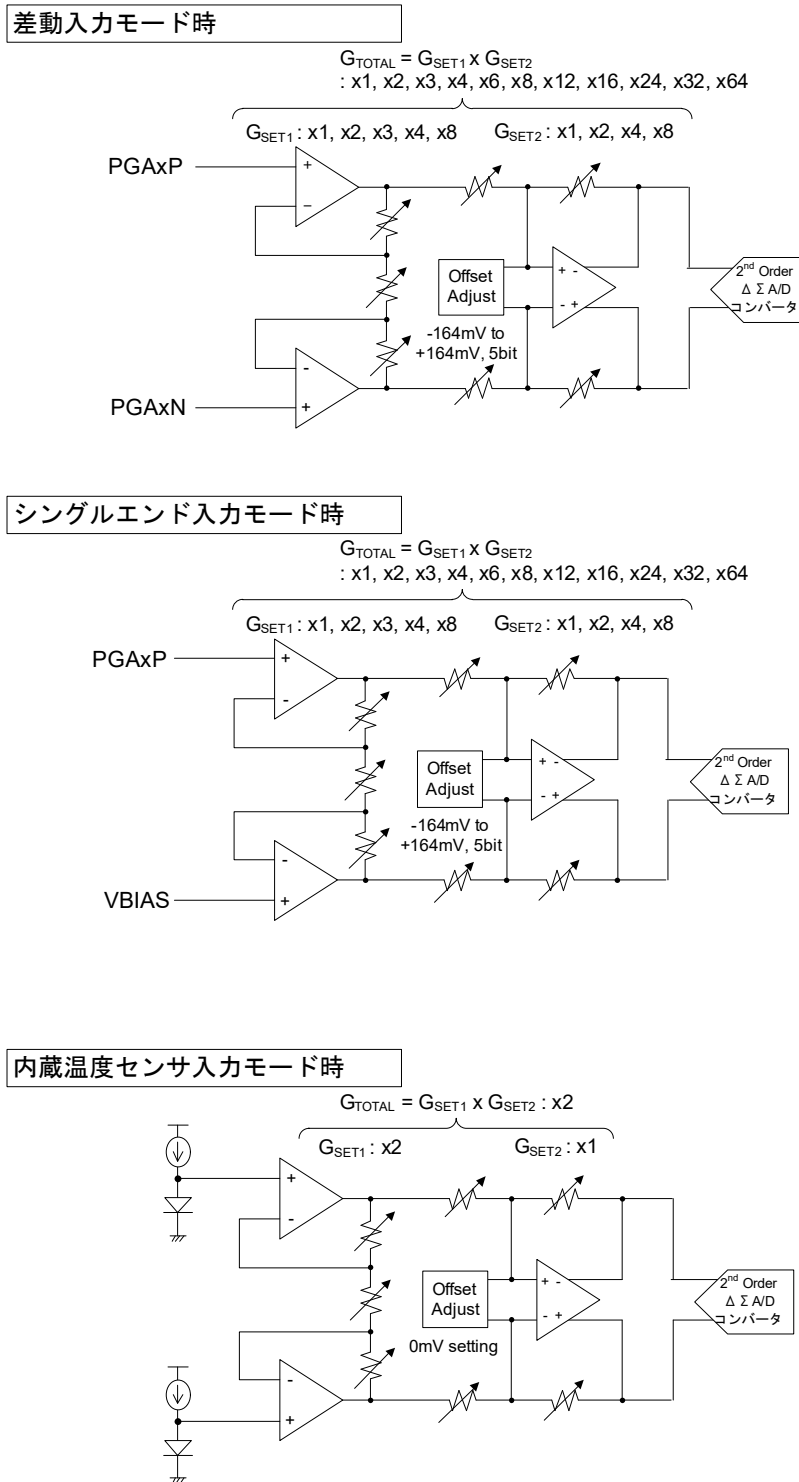
また、後段アンプには、オフセット電圧調整用の D/A コンバータが接続されています。差動入力モード、シングルエンド入力モードでは、この D/A コンバータによるオフセット電圧調整 (-164 mV～+164 mV, 31 階調: 5 ビット) ができます。一方、内蔵温度センサ入力モードでは、オフセット電圧調整ができません。D/A コンバータの出力は、内部で 0 mV に固定されます。

センサと PGA 入力の断線検知機能として、PGA 入力に電流源負荷を内部接続できます。

14.4.2 プログラマブル・ゲイン計装アンプ (PGA) の構成

図14-4にプログラマブル・ゲイン計装アンプ (PGA) のブロック図を示します。

図14-4 プログラマブル・ゲイン計装アンプ (PGA) のブロック図



14.4.3 入力電圧範囲

プログラマブル・ゲイン計装アンプ (PGA) の入力電圧範囲について説明します。図14-5および図14-7に、差動入力モードとシングルエンド入力モードおよび温度センサ入力モードの入力電圧範囲を示します。

14.4.4 差動入力モードでの入力電圧範囲

V_{SIG} は入力信号の差動電圧振幅、 V_{COM} は同相入力電圧、 d_{OFR} はオフセット電圧調整用D/Aコンバータの出力電圧を入力換算した値とします。アンプ1段の入力電圧範囲は0.2~1.8Vです。したがって、計装アンプの前段アンプを通り、後段アンプに入力される信号は式1の条件を満たす必要があります。

また最終的には、計装アンプの前段アンプを通り後段アンプから出力される信号は、式2の条件を満たす必要があります。

式1

$$0.2V + \frac{|V_{SIG}| \times G_{SET1}}{2} \leq V_{COM} \leq 1.8V - \frac{|V_{SIG}| \times G_{SET1}}{2}$$

式2

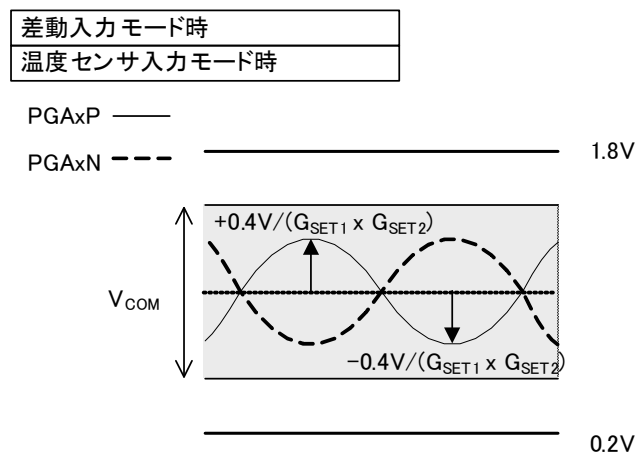
$$-0.8V \leq (V_{SIG} + d_{OFR}) \times G_{TOTAL} \leq 0.8V$$

$d_{OFR} = 0$ mVの時、入力信号は差動入力電圧をフルスケールで取ることができます。 $V_{SIG} = V_{ID}$ (フルスケール差動入力電圧) とすると、 V_{COM} は下記の式3で表すことができます。

式3

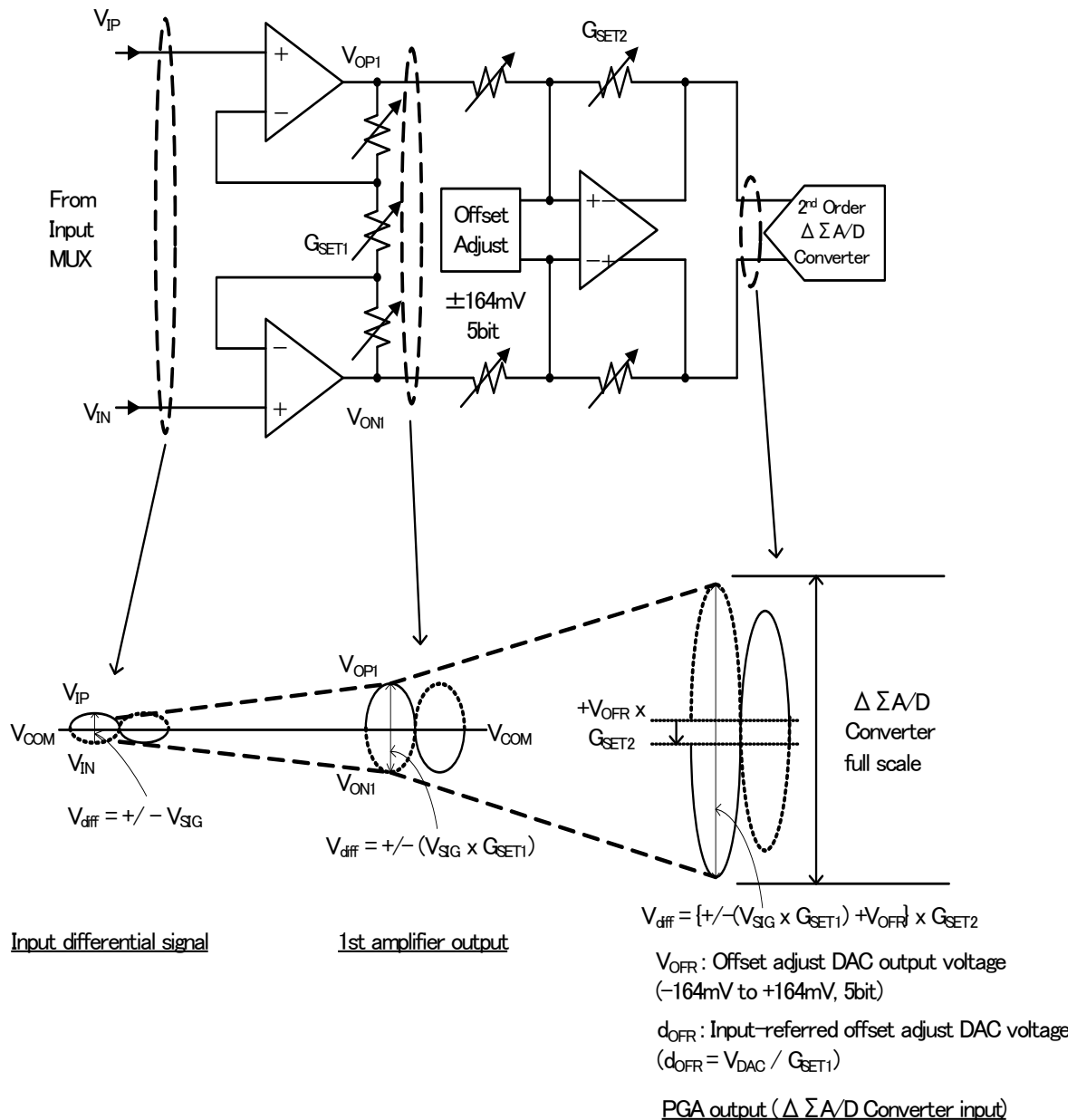
$$0.2V + \frac{|V_{ID}| \times G_{SET1}}{2} \leq V_{COM} \leq 1.8V - \frac{|V_{ID}| \times G_{SET1}}{2}$$

図14-5 差動入力モードおよび温度センサ入力モードの入力電圧範囲



プログラマブル・ゲイン計装アンプ (PGA) の各チャンネルにおける差動入力電圧の振幅の推移について、図 14-6 に示します。

図 14-6 プログラマブル・ゲイン計装アンプ (PGA) の各チャンネルにおける差動入力電圧の振幅の推移



14.4.5 シングルエンド入力モードでの入力電圧範囲

シングルエンド入力モードでは、入力マルチプレクサ x ($x = 0 \sim 3$) からの信号は、プログラマブル・ゲイン計装アンプ (PGA) の非反転入力に接続します。一方、内部バイアス電圧 (VBIAS = 1.0 V (TYP.)) を基準電圧として使用し、プログラマブル・ゲイン計装アンプ (PGA) の反転入力に接続します。基準電圧を中心として 0.2 V ~ 1.8 V の範囲の差動信号を出力します。

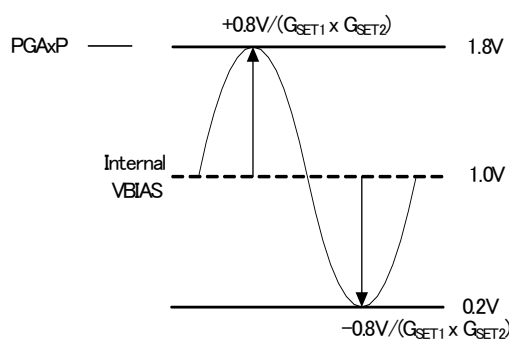
入力電圧範囲 (V_I) は、以下の式を満たす必要があります。

$$\text{式1} : 0.2 \text{ V} \leq V_I \leq 1.8 \text{ V}$$

$$\text{式2} : -0.8 \text{ V} \leq (V_I - 1.0 \text{ V} + \text{dORF}) \times G_{\text{TOTAL}} \leq +0.8 \text{ V}$$

図 14 - 7 シングルエンド入力モードの入力電圧範囲

シングルエンド入力モード時



14.4.6 プログラマブル・ゲイン計装アンプ (PGA) を制御するレジスタ

プログラマブル・ゲイン計装アンプ (PGA) では、次のレジスタを使用します。

- 入力マルチプレクサ x (x = 0~4) 設定レジスタ 0 (PGAxCTL0)
- 入力マルチプレクサ x (x = 0~4) 設定レジスタ 1 (PGAxCTL1)
- コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0)
- 断線検知設定レジスタ (PGABOD)

(1) 入力マルチプレクサx (x = 0~4) 設定レジスタ0 (PGAxCTL0)

入力マルチプレクサのチャンネル毎 (入力マルチプレクサx : x = 0~4) に、プログラマブル・ゲイン計装アンプのゲインを設定できます。

PGAxCTL0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、40Hになります。

図 14 - 8 入力マルチプレクサx (x = 0~4) 設定レジスタ0(PGAxCTL0)のフォーマット

アドレス : F045AH (PGA0CTL0), F045EH (PGA1CTL0), F0462H (PGA2CTL0), F0466H (PGA3CTL0), F046AH (PGA4CTL0) リセット時 : 40H R/W

略号	7	6	5	4	3	2	1	0
PGAxCTL0	PGAxOSR2注1	PGAxOSR1注1	PGAxOSR0注1	PGAxGC4注2	PGAxGC3注2	PGAxGC2注2	PGAxGC1注2	PGAxGC0注2

PGAxGC4	PGAxGC3	PGAxGC2	PGAxGC1	PGAxGC0	ゲイン設定		
					GSET1	GSET2	GTOTAL
0	0	0	0	0	1	1	1
0	0	1	0	0	2	1	2
0	1	0	0	0	3	1	3
0	1	1	0	0	4	1	4
1	0	0	0	0	8	1	8
0	0	0	0	1	1	2	2
0	0	1	0	1	2	2	4
0	1	0	0	1	3	2	6
0	1	1	0	1	4	2	8
1	0	0	0	1	8	2	16
0	0	0	1	0	1	4	4
0	0	1	1	0	2	4	8
0	1	0	1	0	3	4	12
0	1	1	1	0	4	4	16
1	0	0	1	0	8	4	32
0	0	0	1	1	1	8	8
0	0	1	1	1	2	8	16
0	1	0	1	1	3	8	24
0	1	1	1	1	4	8	32
1	0	0	1	1	8	8	64
上記以外					設定禁止		

注1. PGAxOSR2-PGAxOSR0ビットについては、14.5.4 (7) 入力マルチプレクサx (x = 0~4) 設定レジスタ0 (PGAxCTL0) を参照してください。

注2. PGA4CTL0レジスタのビット0-4は、0固定です。

(2) 入力マルチプレクサx (x = 0~4) 設定レジスタ1 (PGAxCTL1)

入力マルチプレクサのチャンネルごとに、オフセット電圧を調整できます。

オフセット電圧dOFR (オフセット電圧調整用D/Aコンバータの出力電圧を入力換算した値) は以下の式で計算されます。

$$dOFR \text{ (mV)} = (-175 + 350 / 32 \times m) / GSET1$$

(m = 1~31 : PGAxCTL1 レジスタに設定した値)

PGAxCTL1レジスタは、8ビット・メモリ操作命令で設定します。

ただし、PGA4CTL1レジスタへの設定は無効です。リードした場合は常に00Hが読み出せます。

リセット信号の発生により、10Hになります。

図 14 - 9 入力マルチプレクサx (x = 0~4) 設定レジスタ1(PGAxCTL1)のフォーマット

アドレス : F045BH (PGA0CTL1), F045FH (PGA1CTL1), リセット時 : 10H R/W
 F0463H (PGA2CTL1), F0467H (PGA3CTL1)
 F046BH (PGA4CTL1)^{注1}

略号	7	6	5	4	3	2	1	0
PGAxCTL1	PGAxSEL ^{注2}	PGA3TSEL ^{注3}	0	PGAxOFS4	PGAxOFS3	PGAxOFS2	PGAxOFS1	PGAxOFS0
	PGAxOFS4	PGAxOFS3	PGAxOFS2	PGAxOFS1	PGAxOFS0	dOFR		
	0	0	0	0	0	設定禁止		
	0	0	0	0	1	-164.06/GSET1		
	0	0	0	1	0	-153.13/GSET1		
		
		
		
	1	0	0	0	0	0		
		
		
		
	1	1	1	0	1	+142.19/GSET1		
	1	1	1	1	0	+153.13/GSET1		
	1	1	1	1	1	+164.06/GSET1		

注1. PGA4CTL1レジスタへの設定は無効です。リードした場合は常に00Hが読み出せます。

注2. PGAxSELビットについては、14.3.3 (1) 入力マルチプレクサx (x = 0~3) 設定レジスタ1 (PGAxCTL1) を参照してください。

注3. PGA0CTL1-PGA2CTL1レジスタのビット6は、0固定です。PGA3CTL1レジスタのPGA3TSELビットについては、(3) コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0) , 入力マルチプレクサ3設定レジスタ1 (PGA3CTL1) を参照してください。

(3) コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0),

入力マルチプレクサ3設定レジスタ1 (PGA3CTL1)

コンフィギュラブル・アンプのオフセット計測と、PGAのオフセット自己診断ができます。

AMP0S0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-10 コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0)のフォーマット

アドレス : F0470H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
AMP0S0	AMPMONI1	AMPMONIO	0	0	0	0	AMP0OX1	AMP0OX0
アドレス : F0467H	リセット時 : 10H	R/W						
略号	7	6	5	4	3	2	1	0
PGA3CTL1	PGA3SEL ^{注1}	PGA3TSEL	0	PGA3OFS4 ^{注2}	PGA3OFS3 ^{注2}	PGA3OFS2 ^{注2}	PGA3OFS1 ^{注2}	PGA3OFS0 ^{注2}
	PGA3TSEL	AMPMONI1	AMPMONIO	モード				
	0	×	×	入力マルチプレクサ3入力モード				
	1	0	0	PGAオフセット自己診断モード				
	1	0	1	AMP0オフセット計測モード				
	1	1	0	AMP1オフセット計測モード				
	1	1	1	AMP2オフセット計測モード				

注1. PGAxSEL ビットについては、14.3.3 (1) 入力マルチプレクサx (x = 0 ~ 3) 設定レジスタ1 (PGAxCTL1) を参照してください。

注2. PGA3OFS0-PGA3OFS4 ビットについては、(2) 入力マルチプレクサx (x = 0 ~ 4) 設定レジスタ1 (PGAxCTL1) を参照してください。

備考 × : Don't care

(4) 断線検知設定レジスタ (PGABOD)

PGAxP および PGAxN (x = 0 ~ 3) に接続された信号線の断線を検出できます。

PGABOD レジスタを断線検知動作状態に設定すると、PGAの入力に電流 DAC が 1 μ A (TYP.) で接続されます。断線時、又は入力の電流供給能力が 1 μ A (TYP.) に満たない場合は、A/D 変換結果にクリッピングが発生します。

PGABOD レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 14 - 11 断線検知設定レジスタ (PGABOD) のフォーマット

アドレス : F046EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PGABOD	0	0	0	0	0	0	0	PGABOD0
PGABOD0	断線検知の制御							
0	通常動作状態							
1	断線検知動作状態							

14.5 24ビットΔΣA/Dコンバータ

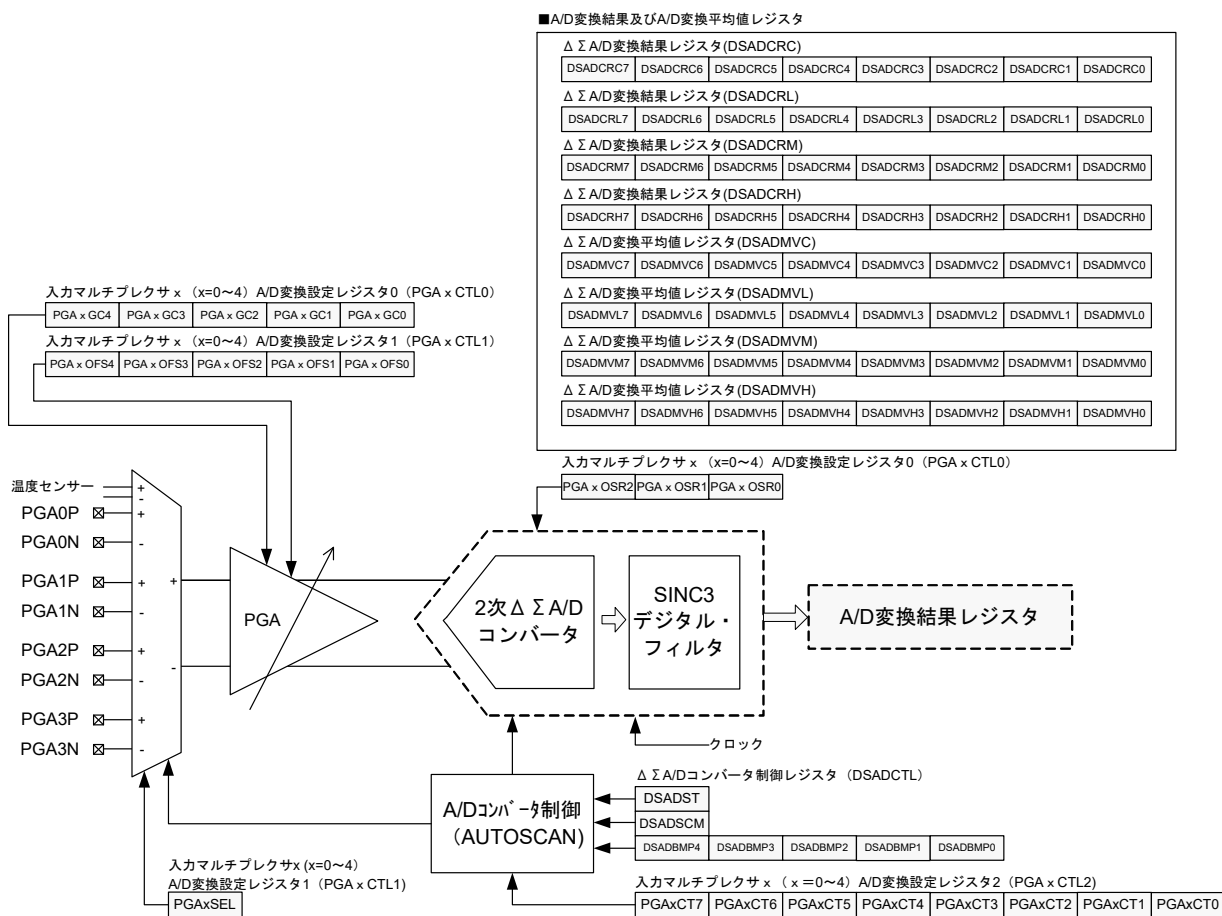
14.5.1 24ビットΔΣA/Dコンバータの概要

24ビットΔΣA/Dコンバータを内蔵しています。入力マルチプレクサ（5チャンネル）からの信号は、プログラマブル・ゲイン計装アンプ（PGA）を經由し、24ビットΔΣA/Dコンバータへ入力されます。A/D変換結果は、SINC3デジタル・フィルタにてフィルタリングされた後、出力レジスタに格納されます。A/D変換は、高速オンチップ・オシレータ（高速OCO）からのクロックによって実行されます（サンプリング周波数は1MHz（TYP.））。また、高速システム・クロックまたは高速システム・クロックからのPLLクロックを使用することも可能です。A/D変換は、AUTOSCANと呼ばれる内蔵シーケンサに基づいて行われ、チャンネル毎にデータ・レート（A/D変換結果の出力頻度）を設定することも可能です。

14.5.2 24ビットΔΣA/Dコンバータの構成

図14-12に24ビットΔΣA/Dコンバータのブロック図を示します。

図14-12 24ビットΔΣA/Dコンバータのブロック図



14.5.3 24ビットΔΣA/Dコンバータへの入力電圧と A/D 変換結果

24ビットΔΣA/Dコンバータへの入力電圧とA/D変換結果について説明します。A/Dコンバータへの入力電圧範囲をフルスケールとした場合の、A/D変換結果を下記に示します。

図14-13 24ビットΔΣA/Dコンバータへの入力電圧とA/D変換結果

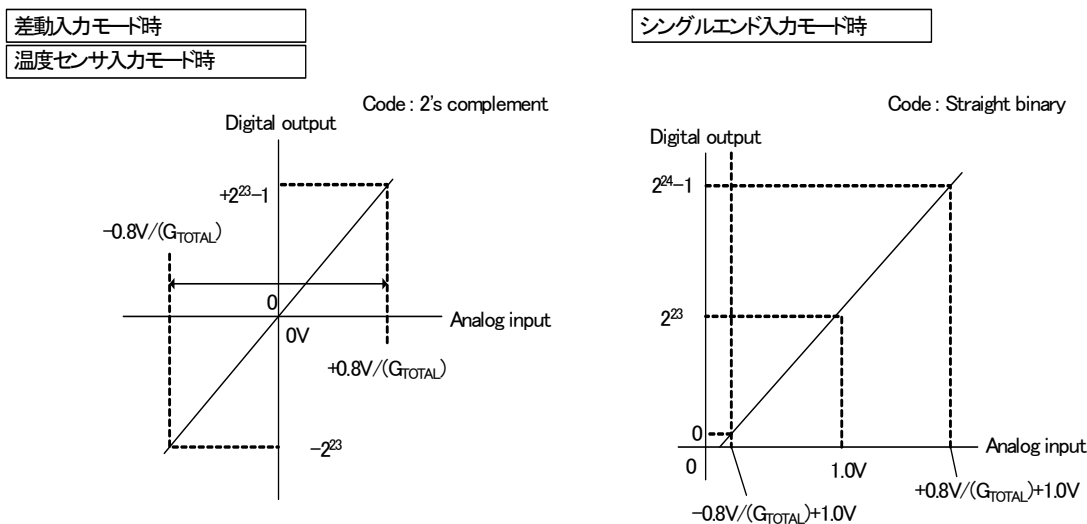


表14-1 24ビットΔΣA/Dコンバータへの入力電圧とA/D変換結果

差動入力モード		シングルエンド入力モード	
ΔΣA/Dコンバータへの入力電圧	A/D変換結果 (2の補数表記)	ΔΣA/Dコンバータへの入力電圧	A/D変換結果 (ストレート・バイナリ)
$+0.8V/(G_{TOTAL})$	$2^{23}-1$	$+0.8V/(G_{TOTAL}) + 1.0V$	$2^{24}-1$
0V	0	1.0V	2^{23}
$-0.8V/(G_{TOTAL})$	-2^{23}	$-0.8V/(G_{TOTAL}) + 1.0V$	0

表14-1に示した結果は、下記の式を用いて算出することができます。

- 差動入力モード、温度センサ入力モード ($G_{TOTAL} = 2$) の場合

$$\Delta\Sigma A/D \text{コンバータへの入力電圧} = (1.6V / G_{TOTAL}) \times (ADCDATA1 / 2^{24})$$

ADCDATA1: 24ビットA/D変換結果 (上位8ビットDSADCRH, 中位8ビットDSADCRM, 下位8ビットDSADCRL) の2の補数値

- シングルエンド入力モードの場合

$$\Delta\Sigma A/D \text{コンバータへの入力電圧} = (1.6V / G_{TOTAL}) \times (ADCDATA2 / 2^{24}) + 0.2V$$

ADCDATA2: 24ビットA/D変換結果 (上位8ビットDSADCRH, 中位8ビットDSADCRM, 下位8ビットDSADCRL) のストレート・バイナリ値

14.5.4 24ビット $\Delta\Sigma$ /Dコンバータを制御するレジスタ

24ビット $\Delta\Sigma$ /Dコンバータでは、次のレジスタを使用します。

- ・周辺イネーブル・レジスタ 1 (PER1)
- ・アナログ・フロントエンド電源選択レジスタ (AFEPWS)
- ・アナログ・フロントエンド電源検出レジスタ (AFEPWD)
- ・アナログ・フロントエンド・クロック選択レジスタ (AFECKS)
- ・ $\Delta\Sigma$ /Dコンバータ・モード・レジスタ (DSADMR)
- ・ $\Delta\Sigma$ /Dコンバータ・コントロール・レジスタ (DSADCTL)
- ・入力マルチプレクサ $x(x=0\sim4)$ 設定レジスタ 0 (PGAxCTL0)
- ・入力マルチプレクサ $x(x=0\sim4)$ 設定レジスタ 1 (PGAxCTL1)
- ・入力マルチプレクサ $x(x=0\sim4)$ 設定レジスタ 2 (PGAxCTL2)
- ・入力マルチプレクサ $x(x=0\sim4)$ 設定レジスタ 3 (PGAxCTL3)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ C (DSADCRC)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ L (DSADCRL)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ M (DSADCRM)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ H (DSADCRH)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ C (DSADMVC)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ L (DSADMVL)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ M (DSADMVM)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ H (DSADMVH)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ 0 (DSADCR0)
- ・ $\Delta\Sigma$ /Dコンバータ変換結果レジスタ 1 (DSADCR1)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ 0 (DSADMV0)
- ・ $\Delta\Sigma$ /Dコンバータ平均値レジスタ 1 (DSADMV1)
- ・断線検知設定レジスタ (PGABOD)

(1) 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-14 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	AMPEN	0	DTCEN	PGAEN	AFEEN	TRJ0EN
	PGAEN	PGAおよび24ビット $\Delta\Sigma$ /Dコンバータの入カクロック供給の制御						
	0	入カクロック供給停止 ・PGAおよび24ビット $\Delta\Sigma$ /Dコンバータで使用するSFRへのライト不可 ・PGAおよび24ビット $\Delta\Sigma$ /Dコンバータはリセット状態						
	1	入カクロック供給 ・PGAおよび24ビット $\Delta\Sigma$ /Dコンバータで使用するSFRへのリード/ライト可						

注意 ビット4には必ず“0”を設定してください。

(2) アナログ・フロントエンド電源選択レジスタ (AFEPWS)

AFEPWSレジスタは、プログラマブル・ゲイン計装アンプ (PGA) 部の電源及びAFE基準電源 (ABGR) 部の電源の制御を設定するレジスタです。

AFEPWSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-15 アナログ・フロントエンド電源選択レジスタ (AFEPWS)のフォーマット

アドレス : F0440H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFEPWS	DACPON	AMP2PON	AMP1PON	AMP0PON	0	PGAPON	0	AFEPON
	PGAPON	プログラマブル・ゲイン計装アンプ (PGA) 部の電源制御						
	0	パワーオフ (初期値)						
	1	パワーオン						
	AFEPON	AFE基準電源 (ABGR) 部の電源制御						
	0	パワーオフ (初期値)						
	1	パワーオン						

注意 ビット1, 3には必ず“0”を設定してください。

ビット4-7は 13.3.2アナログ・フロントエンド電源選択レジスタ (AFEPWS) を参照してください

(3) アナログ・フロントエンド電源検出レジスタ (AFEPWD)

AFEPWDレジスタは、プログラマブル・ゲイン計装アンプ (PGA) 部の電源状態およびプログラマブル・ゲイン計装アンプ (PGA) 部の電源状態を確認する為のステータス・レジスタです。

AFEPWDレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。リセット信号の発生により、00Hになります。

図14 - 16 アナログ・フロントエンド電源検出レジスタ (AFEPWD)のフォーマット

アドレス : F0441H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
AFEPWD	0	0	0	0	0	PGASTAT	0	AFESTAT
PGASTAT	プログラマブル・ゲイン計装アンプ (PGA) 部の電源状態							
0	停止または起動途中							
1	起動完了							
AFESTAT	AFE基準電源 (ABGR) 部の電源状態							
0	停止または起動途中							
1	起動完了							

(4) アナログ・フロントエンド・クロック選択レジスタ (AFECKS)

周辺クロック制御レジスタ (PCKC) で選択した 24 ビット $\Delta\Sigma$ /D コンバータ用クロック (f_{DSAD}) から AFE の動作クロック (f_{DSADCK}) ($\Delta\Sigma$ /D コンバータでのみ使用) を生成します。基本クロックの周波数設定に応じて、AFE 動作クロック (f_{DSADCK}) 出力が 4 MHz になる設定を AFECKS3-AFECKS0 ビットで選択する必要があります。 $\Delta\Sigma$ /D コンバータのロウ・パワー・モードでは、一律で AFE 動作クロック (f_{DSADCK}) をさらに内部の分周回路で 8 分周する機能を持っています。

AFECKS レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 14 - 17 アナログ・フロントエンド・クロック選択レジスタ (AFECKS) のフォーマット

アドレス : F0442H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFECKS	0	0	0	0	AFECKS3	AFECKS2	AFECKS1	AFECKS0

AFECKS3	AFECKS2	AFECKS1	AFECKS0	AFE 動作クロック (f_{DSADCK}) の選択
0	x	x	x	クロック出力停止 (初期値)
1	0	0	0	f_{DSAD} (分周なし)
1	0	0	1	$f_{DSAD}/2$ (2分周)
1	0	1	0	$f_{DSAD}/3$ (3分周)
1	0	1	1	$f_{DSAD}/4$ (4分周)
1	1	0	0	$f_{DSAD}/5$ (5分周)
1	1	0	1	$f_{DSAD}/6$ (6分周)
1	1	1	x	$f_{DSAD}/8$ (8分周)

備考 x : Don't care

(5) $\Delta\Sigma$ /Dコンバータ・モード・レジスタ (DSADMR)

$\Delta\Sigma$ /D変換開始信号の選択と $\Delta\Sigma$ /D動作モードの選択を行うレジスタです。

DSADMRレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 18 $\Delta\Sigma$ /Dコンバータ・モード・レジスタ (DSADMR)のフォーマット

アドレス : F0458H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSADMR	DSADTMD	DSADLPM	0	0	0	0	0	0

DSADTMD	A/D変換開始信号選択
0	ソフトウェア・トリガ (SFRへの書き込みで変換開始) (初期値)
1	ハードウェア・トリガ (ELCで選択されたイベント信号に同期して変換開始)

DSADLPM	A/D変換動作モード選択
0	通常動作, AFE動作クロック周波数 (f_{DSADCK}) : 4 MHz (初期値)
1	ロウ・パワー・モード, AFE動作クロック周波数 (f_{DSADCK}) / 8 : 500 kHz (通常動作時の8分周)

注意 あらかじめAFECKS3-AFECKS0ビットでAFE動作クロック周波数 (f_{DSADCK}) が4 MHzになるように設定する必要があります。詳細は(4) アナログ・フロントエンド・クロック選択レジスタ (AFECKS) を参照してください。

(6) $\Delta\Sigma$ /Dコンバータ・コントロール・レジスタ (DSADCTL)

$\Delta\Sigma$ /Dコンバータの変換動作開始/停止を制御します。また、入力マルチプレクサのチャンネルごとに、入力信号に対するA/D変換動作の許可/禁止を制御することができます。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図14-19 $\Delta\Sigma$ /Dコンバータ・コントロール・レジスタ (DSADCTL)のフォーマット

アドレス : F0459H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSADCTL	DSADST	0	DSADSCM	DSADBMP4	DSADBMP3	DSADBMP2	DSADBMP1	DSADBMP0
DSADST	A/D変換 (AUTOSCAN) の制御							
0	停止							
1	開始							
DSADSCM	オートスキャンのモード選択							
0	連続スキャン・モード							
1	シングル・スキャン・モード							
DSADBMP4	入力マルチプレクサ4からの信号 (温度センサ)							
0	A/D変換を許可							
1	A/D変換を停止							
DSADBMPn	入力マルチプレクサnからの信号 (n = 0-3)							
0	A/D変換を許可							
1	A/D変換を停止							

(7) 入力マルチプレクサx (x = 0~4) 設定レジスタ0 (PGAxCTL0)

入力マルチプレクサのチャンネルごと (入力マルチプレクサx : x = 0~4) に、データ・レート (A/D変換結果の出力頻度) を設定することができます。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

PGAxCTL0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、40Hになります。

図14-20 入力マルチプレクサx (x = 0~4) 設定レジスタ0(PGAxCTL0)のフォーマット

アドレス : F045AH (PGA0CTL0), F045EH (PGA1CTL0), リセット時 : 40H R/W
F0462H (PGA2CTL0), F0466H (PGA3CTL0),
F046AH (PGA4CTL0)

略号	7	6	5	4	3	2	1	0
PGAxCTL0	PGAxOSR2	PGAxOSR1	PGAxOSR0	PGAxGC4 ^注	PGAxGC3 ^注	PGAxGC2 ^注	PGAxGC1 ^注	PGAxGC0 ^注
	PGAxOSR2	PGAxOSR1	PGAxOSR0	OSR (オーバ・サンプリング比)				
	0	0	0	64				
	0	0	1	128				
	0	1	0	256				
	0	1	1	512				
	1	0	0	1024				
	1	0	1	2048				
	上記以外			設定禁止				

注 PGAxCTL0レジスタのPGAxGC4-PGAxGC0ビットについては、14.4.6 (1) 入力マルチプレクサx (x = 0~4) 設定レジスタ0 (PGAxCTL0) を参照してください (x = 0-4)。なお、PGA4CTL0レジスタには、PGA4GC4-PGA4GC0ビットはありません。

(8) 入力マルチプレクサx (x = 0~4) 設定レジスタ2 (PGAxCTL2)

入力マルチプレクサのチャンネルごと (入力マルチプレクサx : x = 0~4) に, AUTOSCANの1サイクルにおけるA/D変換回数を設定することができます。変換回数Nは, 以下の式で表します。詳細は, 14.5.5 ΔΣA/Dコンバータの制御 (AUTOSCAN) を参照してください。

PGAxCTL2レジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

$$N = 32 \times (2^n - 1) + m \times 2^n \quad (m, n \text{は, PGMxCTL2レジスタに設定した値に対応})$$

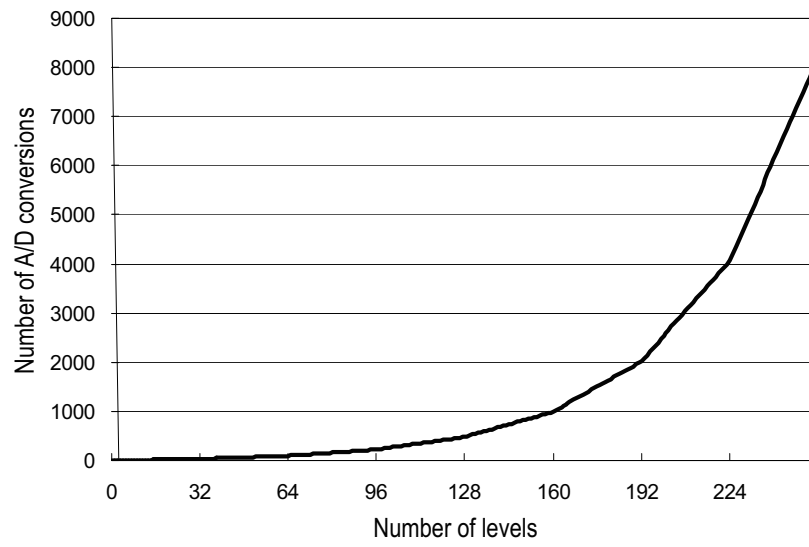
図14 - 21 入力マルチプレクサx (x = 0~4) 設定レジスタ2(PGMxCTL2)のフォーマット

アドレス : F045CH (PGA0CTL2), F0460H (PGA1CTL2), F0464H (PGA2CTL2), F0468H (PGA3CTL2), F046CH (PGA4CTL2) リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PGAxCTL2	PGAxCT7	PGAxCT6	PGAxCT5	PGAxCT4	PGAxCT3	PGAxCT2	PGAxCT1	PGAxCT0
	PGAxCT4	PGAxCT3	PGAxCT2	PGAxCT1	PGAxCT0	m		
	0	0	0	0	0	0		
	0	0	0	0	1	1		
	0	0	0	1	0	2		
		
		
		
	1	0	0	0	0	16		
		
		
		
	1	1	1	0	1	29		
	1	1	1	1	0	30		
	1	1	1	1	1	31		
	PGAxCT7	PGAxCT6	PGAxCT5	n				
	0	0	0	0				
	0	0	1	1				
	0	1	0	2				
	0	1	1	3				
	1	0	0	4				
	1	0	1	5				
	1	1	0	6				
	1	1	1	7				

m, nの組み合わせにより, 256階調のA/D変換回数を選択することができます。以下に, 階調数 (レジスタ値) とA/D変換回数の相関について示します。

図14 - 22 階調数（レジスタ値）とA/D変換回数の相関



(9) 入力マルチプレクサx (x = 0~4) 設定レジスタ3 (PGAxCTL3)

入力マルチプレクサのチャンネルごと (入力マルチプレクサx : x = 0~4) に、AUTOSCANの1サイクルにおけるA/D変換回数を1~8032回または1~255回の選択と、A/D変換結果の平均化処理の動作選択を設定できます。

PGAxCTL3レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-23 入力マルチプレクサx (x = 0~4) 設定レジスタ3(PGAxCTL3)のフォーマット

アドレス : F045DH (PGA0CTL3), F0461H (PGA1CTL3), F0465H (PGA2CTL3), F0469H (PGA3CTL3), F046DH (PGA4CTL3) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PGAxCTL3	PGAxCTM	0	0	0	PGAxAVE3	PGAxAVE2	PGAxAVE1	PGAxAVE0
PGAxCTM	A/D変換回数指定モード選択							
0	PGAxCTL2レジスタの設定値で1~8032回を指定 (初期値)							
1	PGAxCTL2レジスタの設定値で1~255回をリニアに指定							
PGAxAVE3	PGAxAVE2	平均化処理の動作選択						
0	0	平均化処理を行わない (初期値)						
0	1							
1	0	平均化処理を行い、INTDSADを1回のA/D変換ごとに発生する						
1	1	平均化処理を行い、INTDSADを平均値出力 (N回のA/D変換) ごとに発生する						
PGAxAVE1	PGAxAVE0	平均するデータ数Nの選択						
0	0	8						
0	1	16						
1	0	32						
1	1	64						

(10) $\Delta\Sigma$ /Dコンバータ変換結果レジスタC (DSADCRC)

A/D変換結果に対応するチャンネル番号を確認する読み出し専用のレジスタです。A/D変換結果のステータス、変換結果に対応する入力マルチプレクサのチャンネル番号を確認できます。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCRCレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図14 - 24 $\Delta\Sigma$ /Dコンバータ変換結果レジスタC(DSADCRC)のフォーマット

アドレス : F0450H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADCRC	DSADCRC7	DSADCRC6	DSADCRC5	DSADCRC4	0	0	0	0

DSADCRC7	DSADCRC6	DSADCRC5	A/D変換結果に対応するチャンネル番号の表示
0	0	0	無効
0	0	1	入力マルチプレクサ0 (PGA0P /PGA0N)
0	1	0	入力マルチプレクサ1 (PGA1P /PGA1N)
0	1	1	入力マルチプレクサ2 (PGA2P /PGA2N)
1	0	0	入力マルチプレクサ3 (PGA3P /PGA3N)
1	0	1	入力マルチプレクサ4 (温度センサ)
1	1	0	無効
1	1	1	無効

DSADCRC4	A/D変換結果に対するステータスの表示
0	正常状態 (範囲内)
1	クリッピングが発生注

注 A/D変換結果が表14-1に示す範囲にクリップされます。

(11) $\Delta\Sigma$ /Dコンバータ変換結果レジスタL (DSADCRL)

A/D変換結果を確認する読み出し専用のレジスタです。24ビットのA/D変換結果の下位8ビットの値を表示します。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCRLレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図14 - 25 $\Delta\Sigma$ /Dコンバータ変換結果レジスタL(DSADCRL)のフォーマット

アドレス : F0451H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADCRL	DSADCRL7	DSADCRL6	DSADCRL5	DSADCRL4	DSADCRL3	DSADCRL2	DSADCRL1	DSADCRL0

(12) $\Delta\Sigma$ /Dコンバータ変換結果レジスタM (DSADCRM)

A/D変換結果を確認する読み出し専用のレジスタです。24ビットのA/D変換結果の中位8ビットの値を表示します。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCRMレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図14 - 26 $\Delta\Sigma$ /Dコンバータ変換結果レジスタM(DSADCRM)のフォーマット

アドレス : F0452H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADCRM	DSADCRM7	DSADCRM6	DSADCRM5	DSADCRM4	DSADCRM3	DSADCRM2	DSADCRM1	DSADCRM0

(13) $\Delta\Sigma$ /Dコンバータ変換結果レジスタH (DSADCRH)

A/D変換結果を確認する読み出し専用のレジスタです。24ビットのA/D変換結果の上位8ビットの値を表示します。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図14 - 27 $\Delta\Sigma$ /Dコンバータ変換結果レジスタH(DSADCRH)のフォーマット

アドレス : F0453H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADCRH	DSADCRH7	DSADCRH6	DSADCRH5	DSADCRH4	DSADCRH3	DSADCRH2	DSADCRH1	DSADCRH0

(14) $\Delta\Sigma$ /Dコンバータ平均値レジスタC (DSADMVC)

平均値に対応するチャンネル番号を確認する読み出し専用のレジスタです。平均値のステータス、平均値に対応する入力マルチプレクサのチャンネル番号を確認できます。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADMVCレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図14 - 28 $\Delta\Sigma$ /Dコンバータ平均値レジスタC(DSADMVC)のフォーマット

アドレス : F0454H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADMVC	DSADMVC7	DSADMVC6	DSADMVC5	DSADMVC4	0	0	0	0
DSADMVC7	DSADMVC6	DSADMVC5	平均値に対応するチャンネル番号の表示					
0	0	0	無効					
0	0	1	入力マルチプレクサ0 (PGA0P /PGA0N)					
0	1	0	入力マルチプレクサ1 (PGA1P /PGA1N)					
0	1	1	入力マルチプレクサ2 (PGA2P /PGA2N)					
1	0	0	入力マルチプレクサ3 (PGA3P /PGA3N)					
1	0	1	入力マルチプレクサ4 (温度センサ)					
1	1	0	無効					
1	1	1	無効					
DSADMVC4	平均値に対するステータスの表示							
0	正常状態 (範囲内)							
1	クリッピングが発生注							

注 平均化処理に用いた少なくとも1つのA/D変換結果が表14-1に示す範囲にクリップされたことを示します。平均値が最大値または最小値になるとは限りません。

注意 PGAxAVE3ビットが0 ($x=0\sim4$) の平均化処理を行わない設定でも、A/D変換の開始によって各平均値レジスタの値が変化する場合があります。但し、DSADMVC7-DSADMVC5ビットのチャンネル番号は必ず0 (無効) を示します。

(15) $\Delta\Sigma$ /Dコンバータ平均値レジスタL (DSADMVL)

平均値を確認する読み出し専用のレジスタです。24ビットの平均値の下位8ビットの値を表示します。
詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADMVLレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図14 - 29 $\Delta\Sigma$ /Dコンバータ平均値レジスタL(DSADMVL)のフォーマット

アドレス : F0455H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADMVL	DSADMVL7	DSADMVL6	DSADMVL5	DSADMVL4	DSADMVL3	DSADMVL2	DSADMVL1	DSADMVL0

(16) $\Delta\Sigma$ /Dコンバータ平均値レジスタM (DSADMVM)

平均値を確認する読み出し専用のレジスタです。24ビットの平均値の中位8ビットの値を表示します。
詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADMVMレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図14 - 30 $\Delta\Sigma$ /Dコンバータ平均値レジスタM(DSADMVM)のフォーマット

アドレス : F0456H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DSADMVM	DSADMVM7	DSADMVM6	DSADMVM5	DSADMVM4	DSADMVM3	DSADMVM2	DSADMVM1	DSADMVM0

(17) $\Delta\Sigma$ /Dコンバータ平均値レジスタH (DSADMVH)

平均値を確認する読み出し専用のレジスタです。24ビットの平均値の上位8ビットの値を表示します。
詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADMVHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図14 - 31 $\Delta\Sigma$ /Dコンバータ平均値レジスタH(DSADMVH)のフォーマット

アドレス : F0457H リセット時 : 00H R

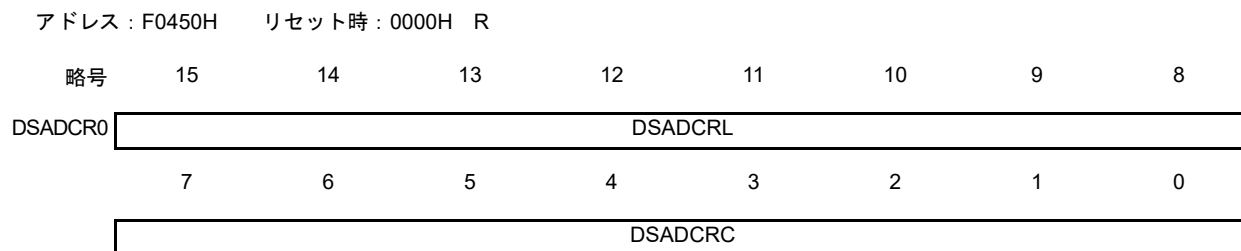
略号	7	6	5	4	3	2	1	0
DSADMVH	DSADMVH7	DSADMVH6	DSADMVH5	DSADMVH4	DSADMVH3	DSADMVH2	DSADMVH1	DSADMVH0

(18) $\Delta\Sigma$ /Dコンバータ変換結果レジスタ0 (DSADCR0)

A/D変換結果を確認する読み出し専用のレジスタです。DSADCRCレジスタとDSADCRLレジスタをまとめて16ビット・メモリ操作命令で読み出せます。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御(AUTOSCAN)を参照してください。

DSADCR0レジスタは、16ビット・メモリ操作命令で読み出せます。

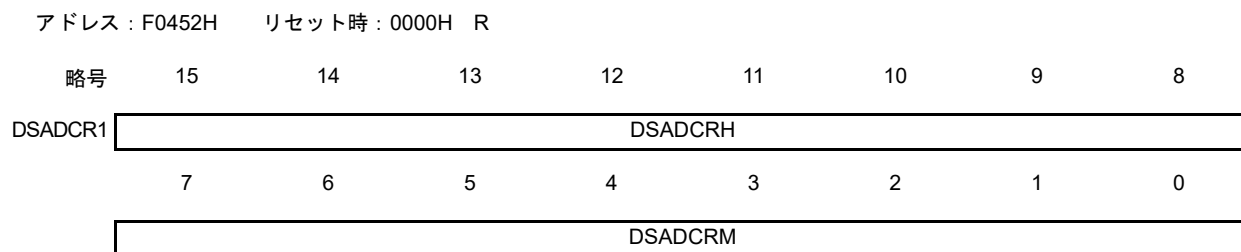
リセット信号の発生により、0000Hになります。

図14-32 $\Delta\Sigma$ /Dコンバータ変換結果レジスタ0(DSADCR0)のフォーマット(19) $\Delta\Sigma$ /Dコンバータ変換結果レジスタ1 (DSADCR1)

A/D変換結果を確認する読み出し専用のレジスタです。DSADCRMレジスタとDSADCRHレジスタをまとめて16ビット・メモリ操作命令で読み出せます。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御(AUTOSCAN)を参照してください。

DSADCR1レジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

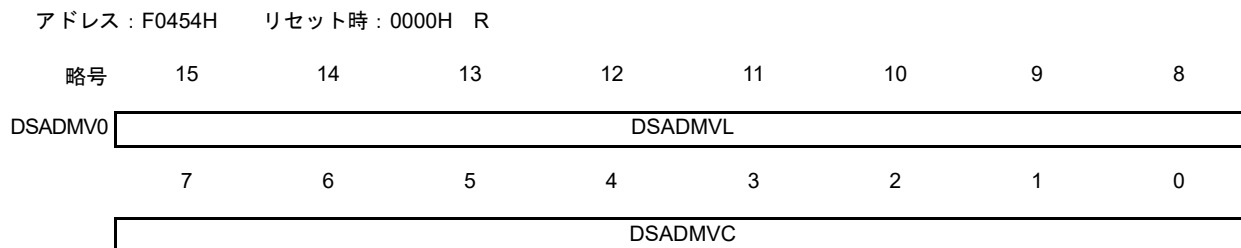
図14-33 $\Delta\Sigma$ /Dコンバータ変換結果レジスタ1(DSADCR1)のフォーマット

(20) $\Delta\Sigma$ /Dコンバータ平均値レジスタ0 (DSADMV0)

平均値を確認する読み出し専用のレジスタです。DSADMVCレジスタとDSADMVLレジスタをまとめて16ビット・メモリ操作命令で読み出せます。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADMV0レジスタは、16ビット・メモリ操作命令で読み出せます。

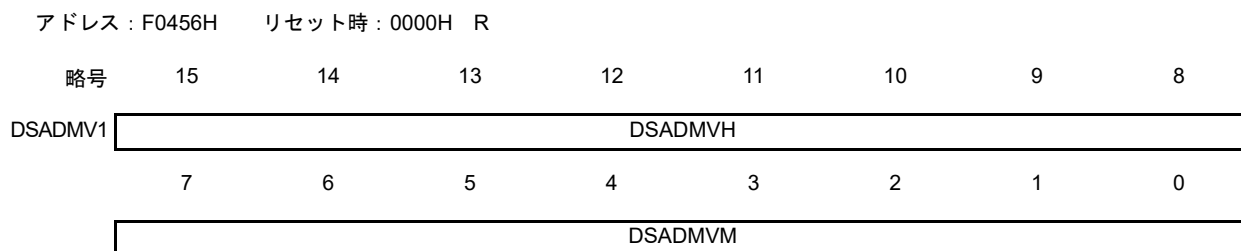
リセット信号の発生により、0000Hになります。

図14-34 $\Delta\Sigma$ /Dコンバータ平均値レジスタ0(DSADMV0)のフォーマット(21) $\Delta\Sigma$ /Dコンバータ平均値レジスタ1 (DSADMV1)

平均値を確認する読み出し専用のレジスタです。DSADMVMレジスタとDSADMVHレジスタをまとめて16ビット・メモリ操作命令で読み出せます。詳細は、14.5.5 $\Delta\Sigma$ /Dコンバータの制御 (AUTOSCAN) を参照してください。

DSADMV1レジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図14-35 $\Delta\Sigma$ /Dコンバータ平均値レジスタ1(DSADMV1)のフォーマット

14.5.5 $\Delta\Sigma$ A/Dコンバータの制御 (AUTOSCAN)

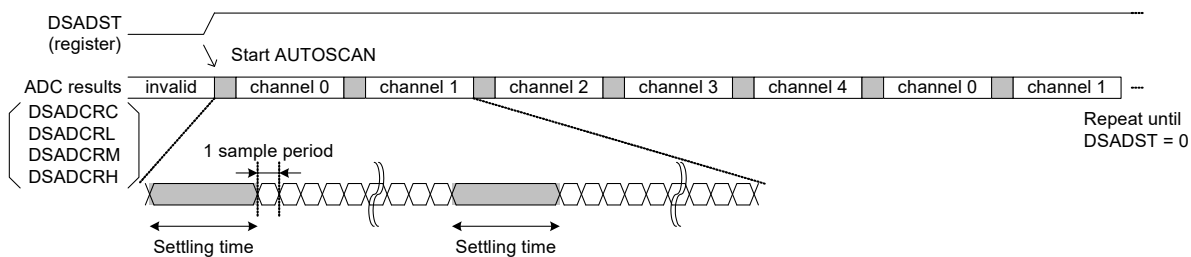
A/D変換の制御はすべて、AUTOSCANと呼ばれる内蔵シーケンサに基づいて行われます。DSADCTLレジスタのDSADSTビットに"1"を書き込みAUTOSCANの動作を許可すると、各入力チャンネルのA/D変換はラウンドロビン方式で実行されます。DSADCTLレジスタのDSADBMPnビット (n = 0-4) の設定により、特定のチャンネルのA/D変換をスキップできます。

PGAxCTL2レジスタのPGAxCTyビット (x = 0-4, y = 0-7) は変換実行チャンネルにおいて、次のチャンネルに移動する前のA/D変換の回数を示します。PGAxCTy = 00Hは、1回A/D変換を終了するごとに動作が停止するワンショット動作であることを示します。その他のA/D変換の設定項目 (PGAのゲイン、オーバ・サンプリング比) も、チャンネルごとに設定可能です。

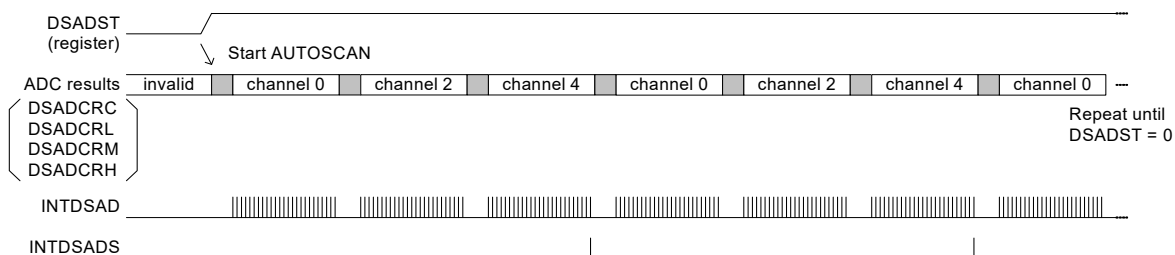
A/D変換の結果は、DSADCRC, DSADCRH, DSADCRM, DSADCRLレジスタに格納されます。

A/D変換を1回終了するたびに、割り込み要求 (INTDSAD) が発生します。PGAxCTL3レジスタの設定で、A/D変換結果の平均化処理を有効にした場合、割り込み要求 (INTDSAD) の発生タイミングを1回のA/D変換ごとか平均値更新ごとで選択できます。AUTOSCANをチャンネル0からチャンネル4まで1巡するたびに、割り込み要求 (INTDSADS) を発生します。

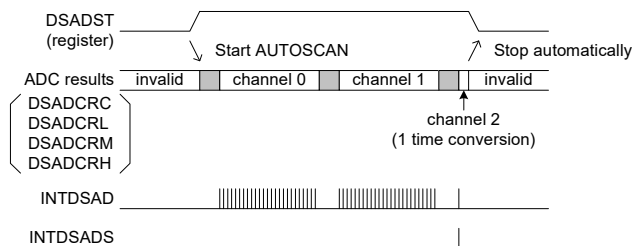
図 14 - 36 AUTOSCAN シーケンス



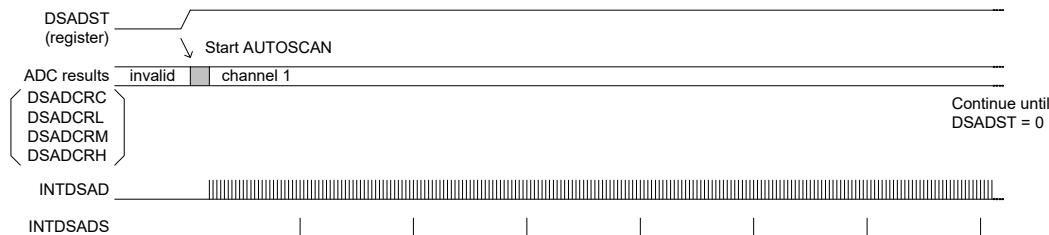
例 1 変換チャンネルのスキップ→DSADBMP4-DSADBMP0 = 01010B, PGAxCTy (x = 0, 2, 4) > 0, DSADSCM = 0



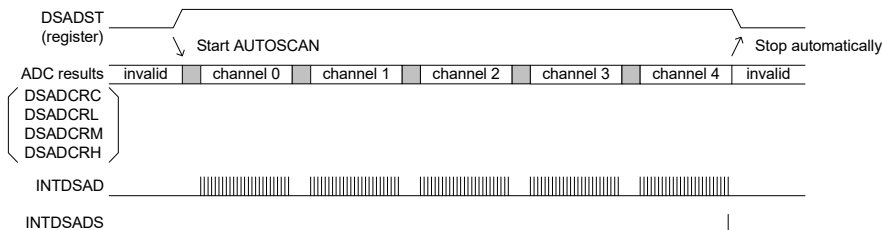
例 2 ワンショット動作→DSADBMP4-DSADBMP0 = 11000B, PGAxCTy (x = 0, 1) > 0, PGA2CTy = 0, DSADSCM = 0



例 3 単一チャンネルで連続変換→DSADBMP4-DSADBMP0 = 11101B, PGA1CTy > 0, DSADSCM = 0



例 4 シングル・スキャン動作→DSADBMP4-DSADBMP0 = 00000B, DSADSCM = 1



備考 連続変換の場合でも、PGAxCTL2レジスタで設定したA/D変換回数ごとに、割り込み要求 (INTDSADS) を発生します。

14.5.6 デジタル・フィルタの概要

A/D 変換結果のダウン・サンプリングは、SINC3 デジタル・フィルタによって行われます。デジタル・フィルタの伝達関数は、以下の式で表されます。伝達関数の式に含まれる M の値は、デジタル・フィルタの間引き率であり、PGAxCTL0 レジスタの PGAxOSRn ビット (x = 0-4, n = 0-2) レジスタによって設定される OSR (オーバー・サンプリング比) によって決められます。

$$H(z) = \left(\frac{1}{M} \cdot \frac{1 - z^{-M}}{1 - z^{-1}} \right)^3$$

14.5.7 デジタル・フィルタの構成

図14-37にデジタル・フィルタのブロック図を示します。3段の積算器と3段の微分器をカスケード接続します。A/Dコンバータの安定時間、デジタル・フィルタの入力段でのクロック同期、微分器3段分の遅延を考慮すると、セトリング時間(Settling time)としてサンプリング期間の3倍の時間(=3×1/fout)+128μsを必要とします。

備考 セトリング時間は、内蔵シーケンサであるAUTOSCANにて自動的に生成されます。

図14-37 デジタル・フィルタのブロック図

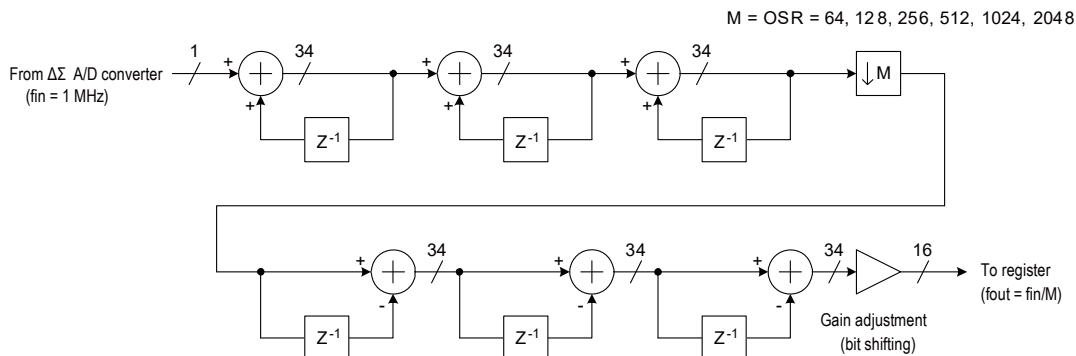
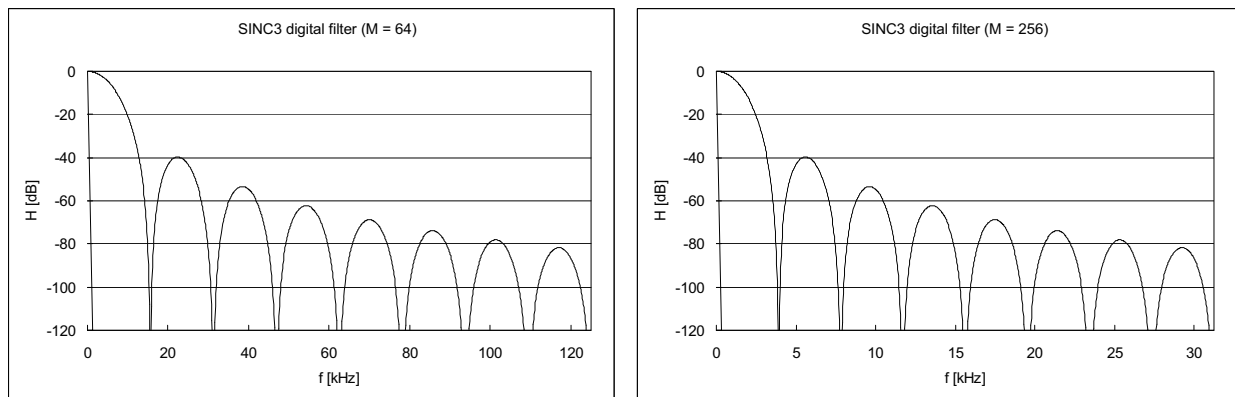


図14-38にSINC3フィルタの周波数応答を示します。

図14-38 SINC3フィルタの周波数応答



14.6 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータ 制御フロー

プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータの起動フロー、A/D変換フロー、停止フロー、温度センサ計測フローを図14 - 39～図14 - 42に示します。

図14 - 39 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータの起動フロー

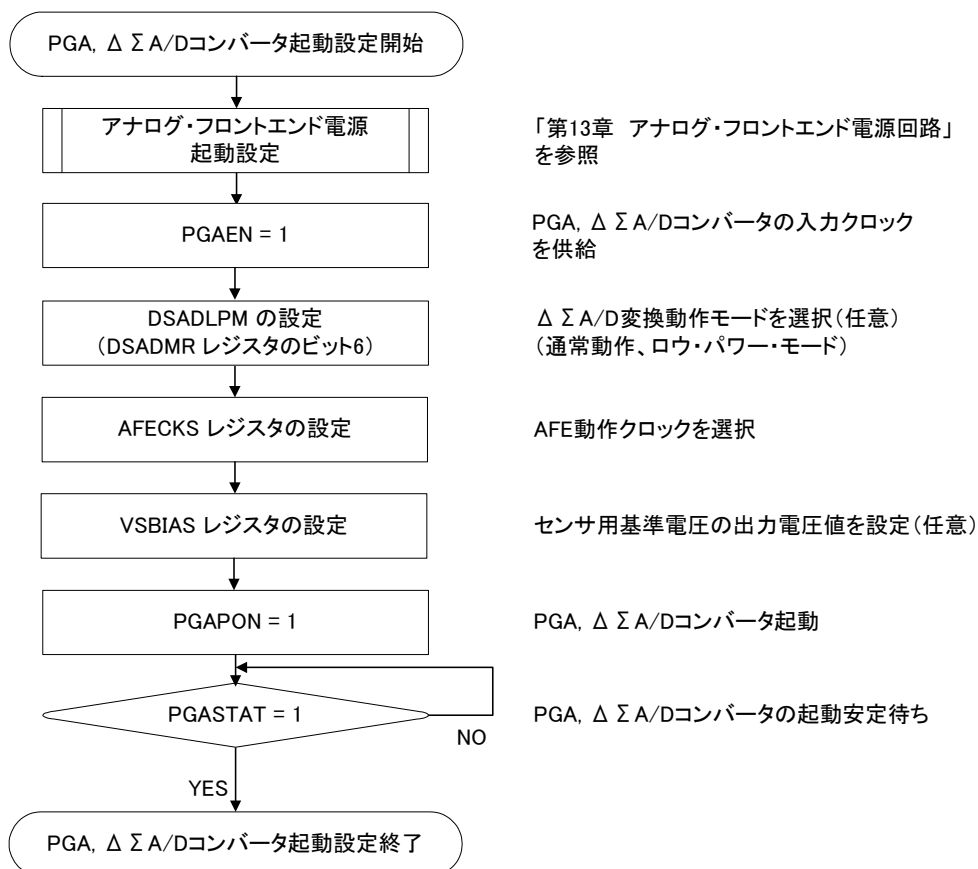


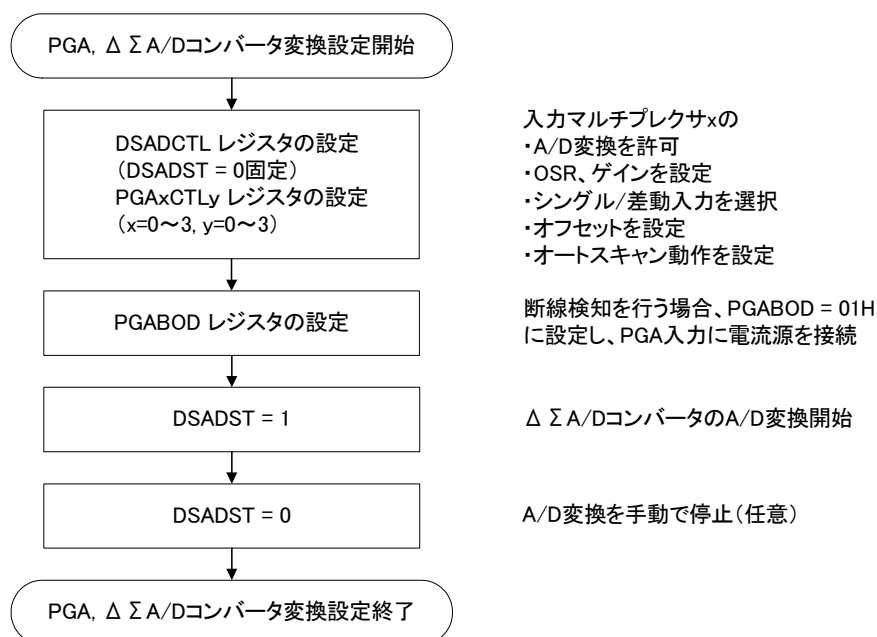
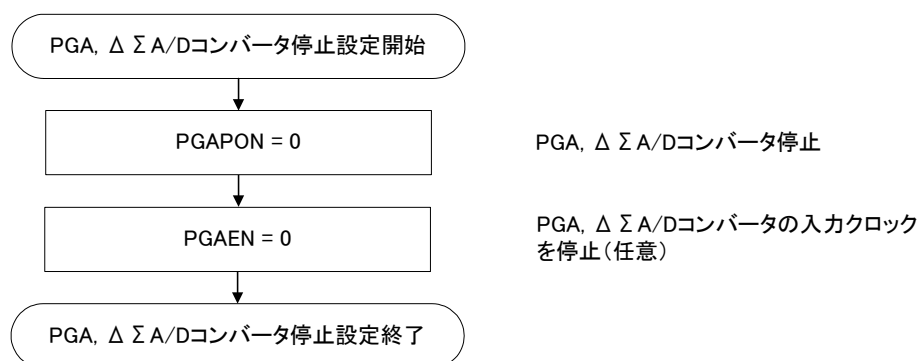
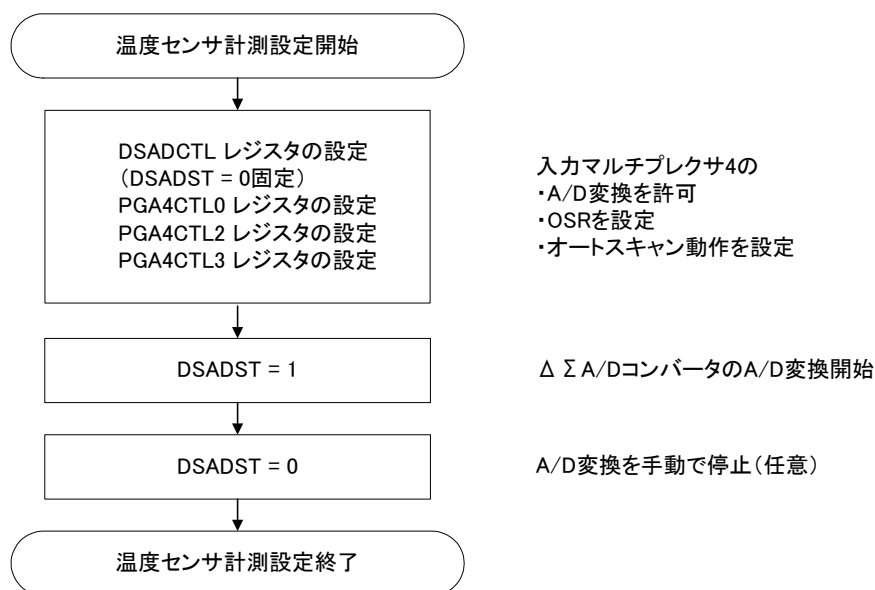
図14 - 40 プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ A/DコンバータのA/D変換フロー図14 - 41 プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ A/Dコンバータの停止フロー

図14-42 プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ A/Dコンバータの温度センサ計測フロー

14.7 プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ A/Dコンバータの注意事項

- (1) 温度センサ（入力マルチプレクサ4）を使用する場合、ゲイン設定はGSET1 : 2, GSET2 : 1および入力モード設定は差動入力モードに固定されます。
- (2) ロウ・パワーモード設定（DSADLPM ビット設定）と分周比設定（AFECKS ビット設定）は、PGA 電源起動前（PGAPON = 0）の状態を変更することを推奨します。

第15章 温度センサ

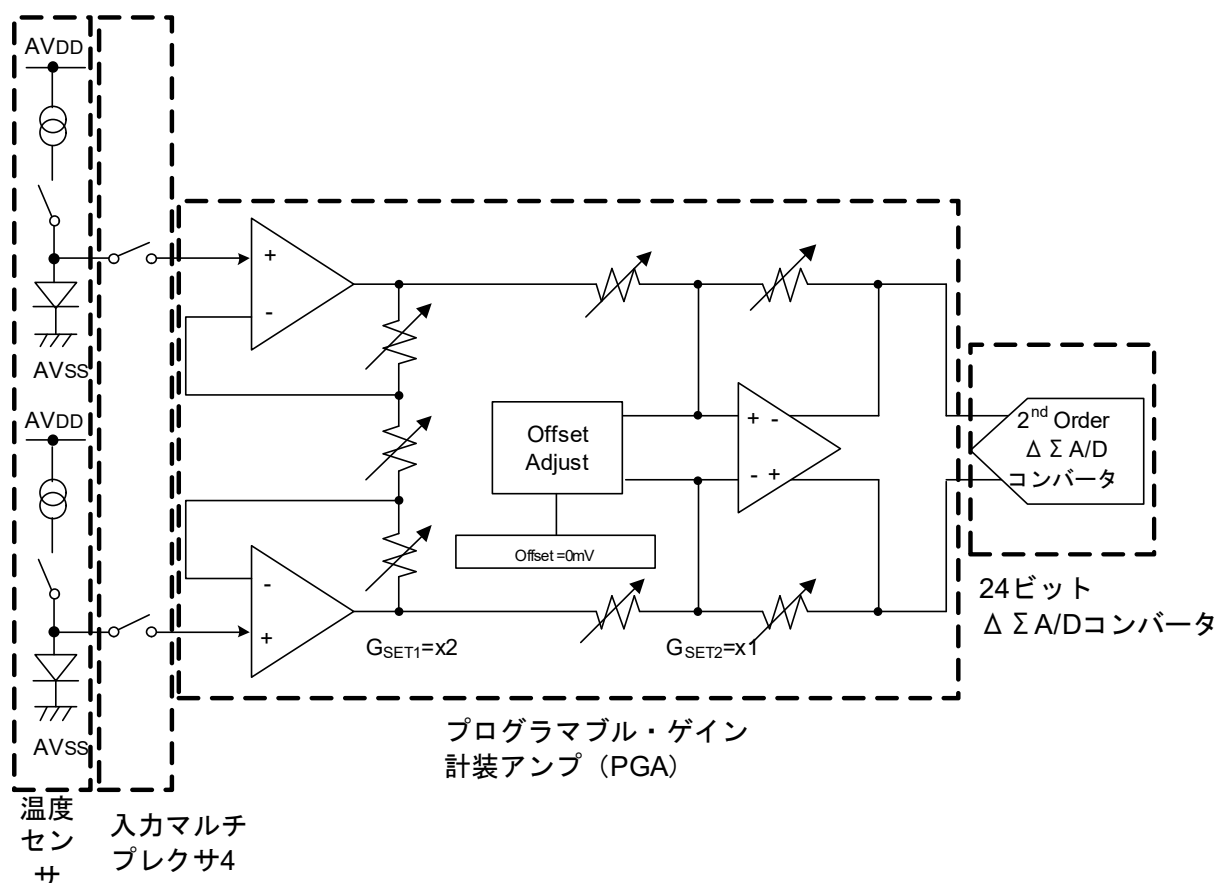
15.1 温度センサの機能

温度センサ回路を1チャンネル内蔵しています。温度センサ回路の出力は、入力マルチプレクサ4を通り、プログラマブル・ゲイン計装アンプ (PGA) を経由して、 $\Delta\Sigma$ A/Dコンバータに入力します。温度センサのゲイン設定は、 $G_{TOTAL} = 2$ で固定されており、変更はできません。また、温度依存性については、第33章 電気的特性(G: TA = -40 ~ +105 °C)または第34章 電気的特性(M: TA = -40 ~ +125 °C)を参照してください。

15.2 温度センサの構成

図15-1に温度センサのブロック図を示します。

図15-1 温度センサのブロック図



15.3 温度センサを制御するレジスタ

温度センサを制御するレジスタを次に示します。

- $\Delta\Sigma$ A/Dコンバータ・コントロール・レジスタ (DSADCTL)
- 入力マルチプレクサ4設定レジスタ0 (PGA4CTL0)
- 入力マルチプレクサ4設定レジスタ2 (PGA4CTL2)
- 入力マルチプレクサ4設定レジスタ3 (PGA4CTL3)
- $\Delta\Sigma$ A/Dコンバータ変換結果レジスタC (DSADCRC)
- $\Delta\Sigma$ A/Dコンバータ変換結果レジスタL (DSADCRL)
- $\Delta\Sigma$ A/Dコンバータ変換結果レジスタM (DSADCRM)
- $\Delta\Sigma$ A/Dコンバータ変換結果レジスタH (DSADCRH)
- $\Delta\Sigma$ A/Dコンバータ平均値レジスタC (DSADMVC)
- $\Delta\Sigma$ A/Dコンバータ平均値レジスタL (DSADMVL)
- $\Delta\Sigma$ A/Dコンバータ平均値レジスタM (DSADMVM)
- $\Delta\Sigma$ A/Dコンバータ平均値レジスタH (DSADMVH)

レジスタの詳細や、動作の詳細については、第14章 プログラマブル・ゲイン計装アンプ付き 24ビット $\Delta\Sigma$ A/Dコンバータを参照してください。

第16章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	32ピン製品	36ピン製品
アナログ入力チャンネル	8 ch (ANI1-ANI7, ANI9)	10 ch (ANI0-ANI9)

16.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大10チャンネルのA/Dコンバータ・アナログ入力(ANI0-ANI9)を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2 (ADM2)のADTYPビットにより、10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

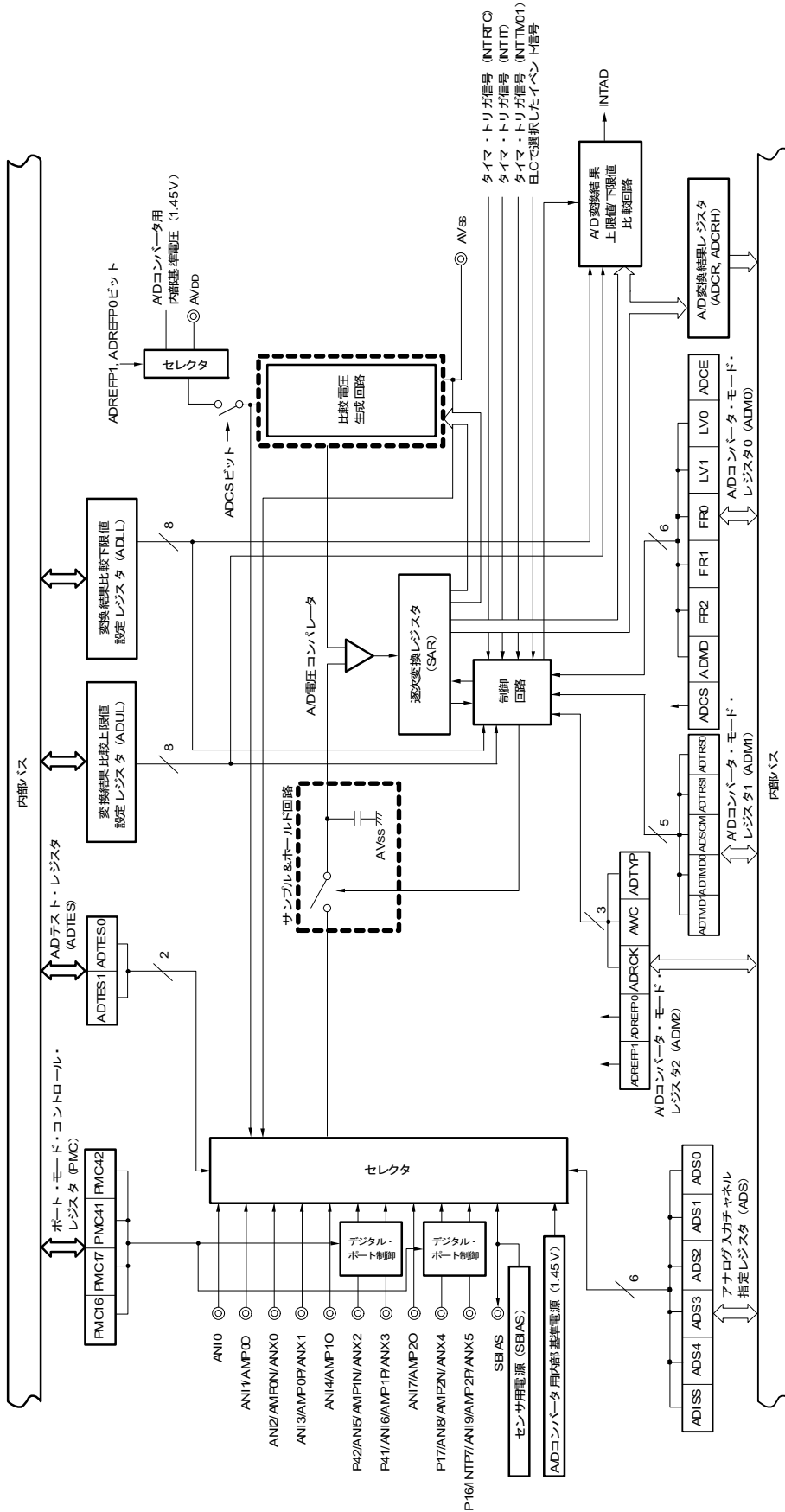
- 10ビット/8ビット分解能A/D変換

ANI0-ANI9からアナログ入力を1チャンネル選択し、10ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求(INTAD)が発生します(セレクト・モード時の場合)。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウエイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。ANI0-ANI7（36ピン製品の場合、32ピン製品ではANI1-ANI7）のうち連続した4チャンネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1/標準2モード	$2.7\text{ V} \leq \text{AVDD} \leq 5.5\text{ V}$ の動作電圧範囲で変換動作する時に選択します。
サンプリング時間の選択	サンプリング・クロック数： 7 f _{AD}	標準1モードのサンプリング時間は、変換クロック (f _{AD})の7クロックです。アナログ入力源の出カインピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数： 5 f _{AD}	標準2モードのサンプリング時間は、変換クロック (f _{AD})の5クロックです。アナログ入力源の出カインピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図16-1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、36ピン製品の場合です。

16.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI9

A/Dコンバータの10チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ANI5, ANI6, ANI8, ANI9は、アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧($1/2 AV_{REF}$)より大きい場合には、逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧($1/2 AV_{REF}$)より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます

ビット9 = 0 : ($1/4 AV_{REF}$)

ビット9 = 1 : ($3/4 AV_{REF}$)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

備考 AV_{REF} : A/Dコンバータの+側基準電圧。A/Dコンバータ用内部基準電圧(1.45 V), AV_{DD} から選択可能です。

(2) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(3) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット(MSB)から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット(LSB)まで設定すると(A/D変換終了)、そのSARレジスタの内容(変換結果)は、A/D変換結果レジスタ(ADCR)に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号(INTAD)が発生します。

(4) 10ビットA/D変換結果レジスタ(ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します(下位6ビットは0に固定)。

(5) 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(6) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

16.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 10ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャンネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- ポート・モード・コントロール・レジスタ1, 4 (PMC1, PMC4)
- ポート・モード・レジスタ1, 4 (PM1, PM4)

16.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	<input type="checkbox"/> 7	6	<input type="checkbox"/> 5	4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	TAU1EN	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態です、下記のレジスタの設定を行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます(ポート・モード・レジスタ1, 4 (PM1, PM4), ポート・モード・コントロール・レジスタ1, 4 (PMC1, PMC4), A/Dポート・コンフィギュレーション・レジスタ (ADPC)は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

注意2. ビット6, 4, 3には必ず"0"を設定してください。

16.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-3 A/Dコンバータ・モード・レジスタ0 (ADM0)のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 [リード時] 変換動作停止/待機状態
1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時：変換動作状態 ハードウェア・トリガ・ウエイト・モード時：A/D電源安定待ち状態 + 変換動作状態
ADMD	A/D変換チャンネル選択モードを設定
0	セレクト・モード
1	スキャン・モード
ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は f_{CLK} ：CPU/周辺ハードウェア・クロック周波数、表16-3～表16-4 A/D変換時間の選択を参照してください。

注2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEビットに1を設定してから1 μ s以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意2. ADCS = 1, ADCE = 0の設定は禁止です。

注意3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず16.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

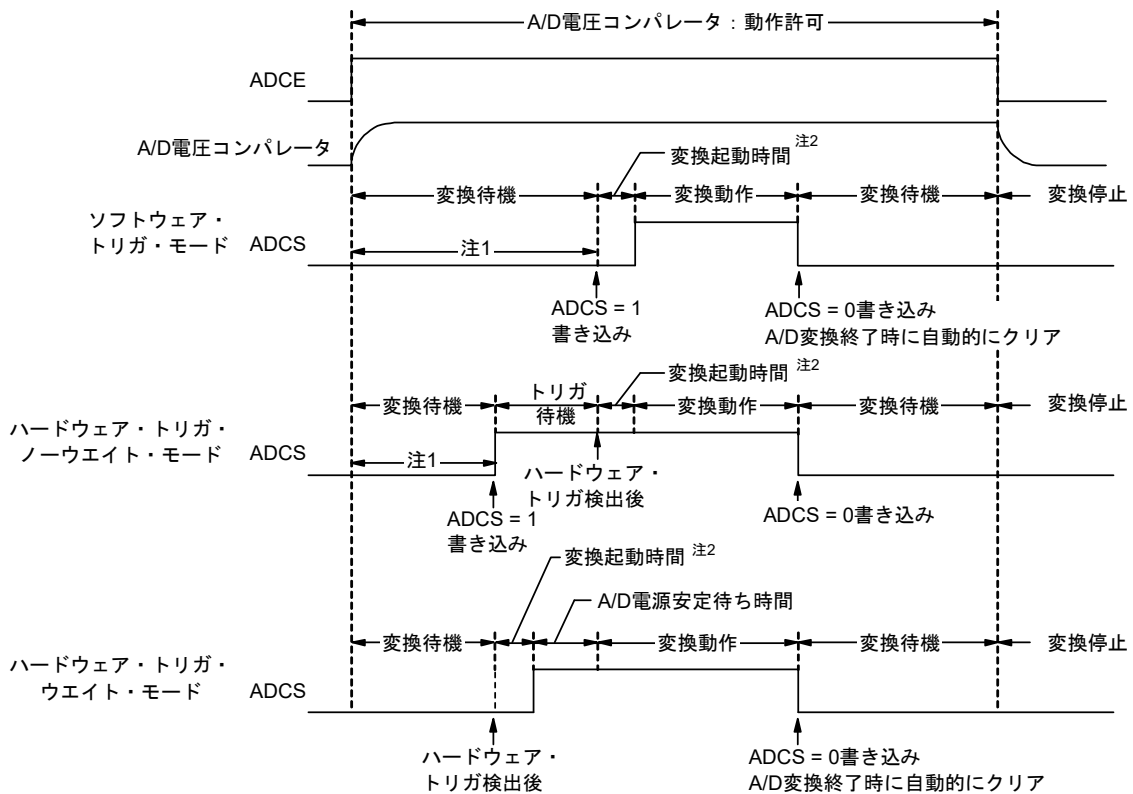
表 16 - 1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表 16 - 2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCS = 1	ADCS = 0 ライトした場合
		ワンショット変換モード	ライトした場合	ADCS = 0 ライトした場合 A/D変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウェイト・モード	セレクト・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
ハードウェア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合 A/D変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図16-4 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1 μs以上必要です。

注2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック (f _{AD})	変換起動時間 (fCLKクロック数)	
FR2	FR1	FR0		ソフトウェア・トリガ・モード/ ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガ・ウエイト・モード
0	0	0	fCLK/64	63	1
0	0	1	fCLK/32	31	
0	1	0	fCLK/16	15	
0	1	1	fCLK/8	7	
1	0	0	fCLK/6	5	
1	0	1	fCLK/5	4	
1	1	0	fCLK/4	3	
1	1	1	fCLK/2	1	

ハードウェア・トリガ・ウエイト・モードの場合、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、A/D電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です(ハードウェア・トリガ信号検出時に、自動的に1に切り替わります)。ただし、AD変換待機状態にするために、ADCSビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、AD変換終了時にADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

注意3. ADCEビットの書き換えは、ADCS = 0 (変換停止/変換待機状態)のときに行ってください。

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時: fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時: fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考 fCLK: CPU/周辺ハードウェア・クロック周波数

表 16 - 3 A/D変換時間の選択 (1/2)

(1) A/D電源安定待ち時間なし 標準モード1, 2
(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数注	変換時間	10ビット分解能時の変換時間					
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ AVDD ≤ 5.5 V					
									fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	標準1	fCLK/64	19 fAD (サンプリング・クロック数: 7 fAD)	1216/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs	38 μs
0	0	1				fCLK/32		608/fCLK			76 μs	38 μs	19 μs	
0	1	0				fCLK/16		304/fCLK		76 μs	38 μs	19 μs	9.5 μs	
0	1	1				fCLK/8		152/fCLK		38 μs	19 μs	9.5 μs	4.75 μs	
1	0	0				fCLK/6		114/fCLK		28.5 μs	14.25 μs	7.125 μs	3.5625 μs	
1	0	1				fCLK/5		95/fCLK		95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				fCLK/4		76/fCLK		76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				fCLK/2		38/fCLK		38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	fCLK/64	17 fAD (サンプリング・クロック数: 5 fAD)	1088/fCLK	設定禁止	設定禁止	設定禁止	68 μs	34 μs	34 μs
0	0	1				fCLK/32		544/fCLK			68 μs	34 μs	17 μs	
0	1	0				fCLK/16		272/fCLK		68 μs	34 μs	17 μs	8.5 μs	
0	1	1				fCLK/8		136/fCLK		34 μs	17 μs	8.5 μs	4.25 μs	
1	0	0				fCLK/6		102/fCLK		25.5 μs	12.75 μs	6.375 μs	3.1875 μs	
1	0	1				fCLK/5		85/fCLK		85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				fCLK/4		68/fCLK		68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				fCLK/2		34/fCLK		34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (fAD)の2クロック分短くなります。

注意1. A/D変換時間は、33.6.4または34.6.4 A/Dコンバータ特性に示す変換時間 (tCONV)の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考1. fCLK: CPU/周辺ハードウェア・クロック周波数

表 16 - 4 A/D変換時間の選択 (2/2)

(2) A/D 電源安定待ち時間あり 標準モード1, 2
(ハードウェア・トリガ・ウエイト・モード注1)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数注2	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0						2.7 V ≤ AVDD ≤ 5.5 V				
										fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	標準1	fCLK/64	8 fAD	19 fAD (サンプリング・クロック数 : 7 fAD)	1728/fCLK	設定禁止	設定禁止	設定禁止	108 μs	54 μs
0	0	1	fCLK/32	864/fCLK					108 μs	54 μs	27 μs			
0	1	0	fCLK/16	432/fCLK		108 μs			54 μs	27 μs	13.5 μs			
0	1	1	fCLK/8	216/fCLK		54 μs			27 μs	13.5 μs	6.75 μs			
1	0	0	fCLK/6	162/fCLK		40.5 μs			20.25 μs	10.125 μs	5.0625 μs			
1	0	1	fCLK/5	135/fCLK		135 μs			33.75 μs	16.875 μs	8.4375 μs	4.21875 μs		
1	1	0	fCLK/4	108/fCLK		108 μs			27 μs	13.5 μs	6.75 μs	3.375 μs		
1	1	1	fCLK/2	54/fCLK		54 μs			13.5 μs	6.75 μs	3.375 μs	設定禁止		
0	0	0	0	1	標準2	fCLK/64	8 fAD	17 fAD (サンプリング・クロック数 : 5 fAD)	1600/fCLK	設定禁止	設定禁止	設定禁止	100 μs	50 μs
0	0	1	fCLK/32	800/fCLK					100 μs	50 μs	25 μs			
0	1	0	fCLK/16	400/fCLK		100 μs			50 μs	25 μs	12.5 μs			
0	1	1	fCLK/8	200/fCLK		50 μs			25 μs	12.5 μs	6.25 μs			
1	0	0	fCLK/6	150/fCLK		37.5 μs			18.75 μs	9.375 μs	4.6875 μs			
1	0	1	fCLK/5	125/fCLK		125 μs			31.25 μs	15.625 μs	7.8125 μs	3.90625 μs		
1	1	0	fCLK/4	100/fCLK		100 μs			25 μs	12.5 μs	6.25 μs	3.125 μs		
1	1	1	fCLK/2	50/fCLK		50 μs			12.5 μs	6.25 μs	3.125 μs	設定禁止		

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表16-3参照)。

注2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(fAD)の2クロック分短くなります。

注意1. A/D変換時間は、33.6.4または34.6.4 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。

なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

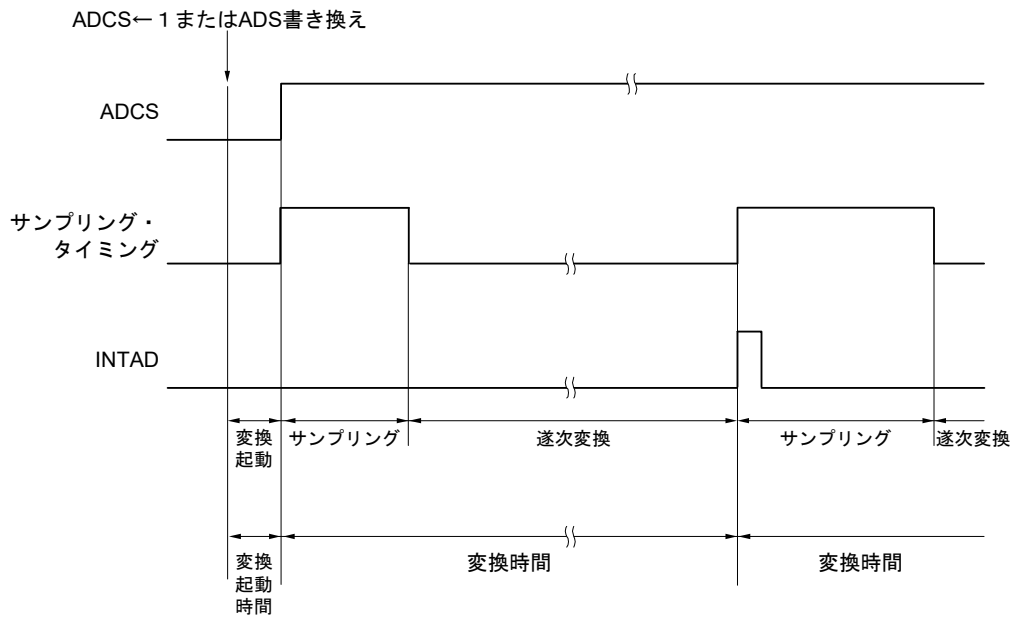
注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

図16-5 A/DコンバータのサンプリングとA/D変換のタイミング(例 ソフトウェア・トリガ・モードの場合)



16.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-6 A/Dコンバータ・モード・レジスタ1 (ADM1)のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	0	ソフトウェア・トリガ・モード
0	1	
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・チャンネル1のカウント完了またはキャプチャ完了割り込み信号(INTTM01)
0	1	ELCで選択されたイベント信号
1	0	リアルタイム・クロック割り込み信号(INTRTC)
1	1	インターバル・タイマ割り込み信号(INTIT)

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZE機能以外のモードにおいて、INTRTC, INTIT入力後最大fCLKの4クロック間は、次のINTRTC, INTIT入力がトリガとして有効になりません。

備考1. fCLK：CPU/周辺ハードウェア・クロック周波数

16.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図16-7 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(1/2)

アドレス: F0010H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	AV _{DD} から供給
0	1	設定禁止
1	0	A/Dコンバータ用内部基準電圧(1.45 V)から供給
1	1	設定禁止

• ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 基準電圧安定待ち時間ウエイト(A)
- ④ ADCE = 1に設定
- ⑤ 基準電圧安定待ち時間ウエイト(B)

ADREFP1, ADREFP0 = 1, 0に変更する場合: A = 5 μs, B = 1 μs
ADREFP1, ADREFP0 = 0, 0に変更する場合: Aはウエイト不要, B = 1 μs

⑤のウエイトのあとに, A/D変換開始してください。

• ADREFP1, ADREFP0 = 1, 0に設定した場合, A/Dコンバータ用内部基準電圧をA/D変換することはできません。必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの-側の基準電圧の選択
0	AV _{SS} から供給
1	設定禁止

注意1. ADM2レジスタを書き換える場合は, 必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. STOPモードへ移行する場合は, ADREFP1 = 1に設定しないでください。A/Dコンバータ用内部基準電圧

(ADREFP1, ADREFP0 = 1, 0)選択時は, 34.3.2または35.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流

(I_{ADREF})の電流値が加算されます。

図16-8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(2/2)

アドレス : F0010H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP
------	---------	---------	--------	---	-------	-----	---	-------

ADRCK	変換結果上限/下限値チェック
0	ADLLレジスタ ≤ ADCRレジスタ ≤ ADULレジスタ (AREA1)のとき割り込み信号(INTAD)が発生。
1	ADCRレジスタ < ADLLレジスタ (AREA2), ADULレジスタ < ADCRレジスタ (AREA3)のとき割り込み信号(INTAD)が発生。
AREA1～AREA3の割り込み信号(INTAD)発生範囲を図16-9に示します。	

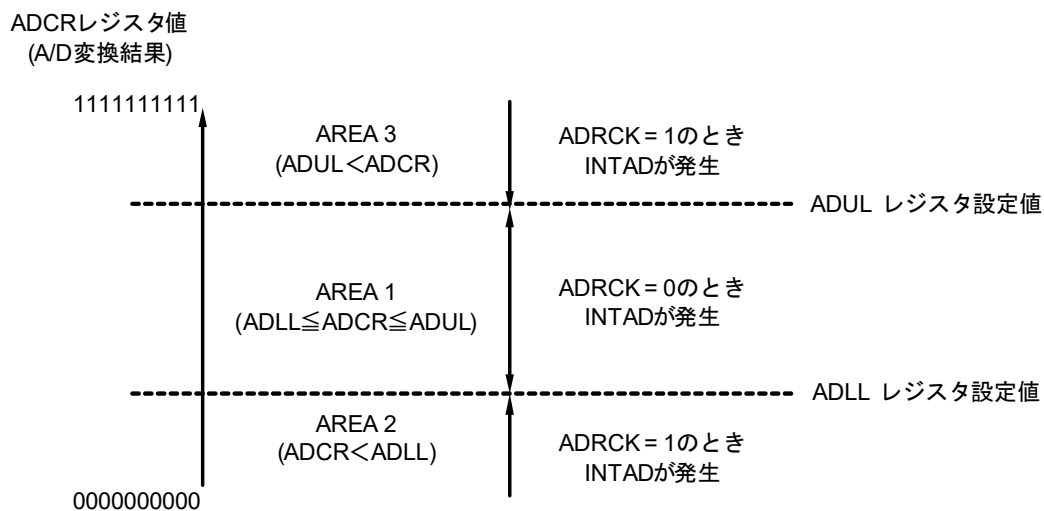
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
<p>STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います(SNOOZEモード)。</p> <ul style="list-style-type: none"> • SNOOZEモード機能は、CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。 • 連続変換モードでのSNOOZEモード機能は使用禁止です。 • SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間注 + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + fCLKの2クロック」以上の間隔を空けて設定してください。 • SNOOZE機能を使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。 <p>またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。</p> <p>AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。</p>	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 23.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

図16-9 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR、ADCRHレジスタに格納されません。

16.3.5 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます注。

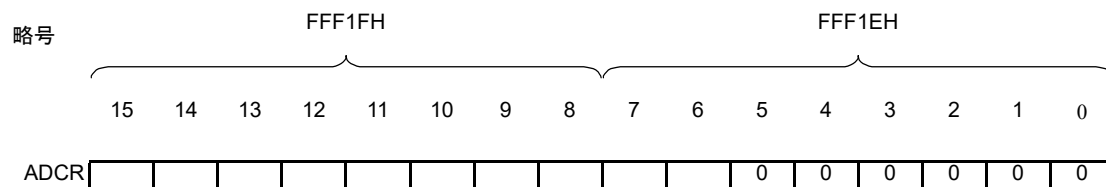
ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット、ADUL/ADLLレジスタで設定(図16-9参照))で設定した値の範囲外の場合は格納されません。

図16-10 10ビットA/D変換結果レジスタ(ADCR)のフォーマット

アドレス：FFF1FH, FFF1EHリセット時：0000H R



注意1. 8ビット分解能A/D変換を選択時(A/Dコンバータ・モード・レジスタ2(ADM2)のADTYP = 1)にADCRレジスタをリードした場合、下位2ビット(ADCRレジスタのビット7、ビット6)は、0が読み出されます。

注意2. ADCRレジスタへ16ビット・アクセスした場合、変換結果上位10ビットがビット15から順に読み出せます。

16.3.6 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

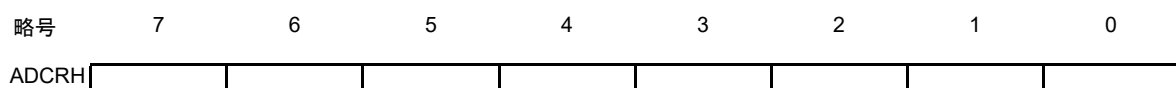
ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます注。

リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット、ADUL/ADLLレジスタ(図16-9参照))で設定した値の範囲外の場合は格納されません。

図16-11 8ビットA/D変換結果レジスタ(ADCRH)のフォーマット

アドレス：FFF1FH リセット時：00H R



注意 A/Dコンバータ・モード・レジスタ0(ADM0)、アナログ入力チャンネル指定レジスタ(ADS)に対して書き込み動作を行ったとき、ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADS、レジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

16.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-12 アナログ入力チャネル指定レジスタ (ADS)のフォーマット(1/2)

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	1	0	0	0	ANI0	ANI0端子
0	0	1	0	0	1	ANI1/AMP00	ANI1/AMP00端子
0	0	1	0	1	0	ANI2/ANX0	ANI2/AMP0N/ANX0端子
0	0	1	0	1	1	ANI3/ANX1	ANI3/AMP0P/ANX1端子
0	0	1	1	0	0	ANI4/AMP10	ANI4/AMP10端子
0	0	1	1	0	1	ANI5/ANX2	P42/ANI5/AMP1N/ANX2端子
0	0	1	1	1	0	ANI6/ANX3	P41/ANI6/AMP1P/ANX3端子
0	0	1	1	1	1	ANI7/AMP20	ANI7/AMP20端子
0	1	0	0	0	0	ANI8/ANX4	P17/ANI8/AMP2N/ANX4端子
0	1	0	0	0	1	ANI9/ANX5	P16/ANI9/AMP2P/ANX5端子
0	1	0	0	1	0	—	SBIAS
1	0	0	0	0	1	—	A/Dコンバータ用 内部基準電圧(1.45 V)
上記以外						設定禁止	

○セレクト・モード(ADMD = 0)

(注意は次ページにあります。)

図16-13 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット(2/2)

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	1	0	0	0	ANI0	ANI1/AMP0O	ANI2/ANX0	ANI3/ANX1
0	0	1	0	0	1	ANI1/AMP0O	ANI2/ANX0	ANI3/ANX1	ANI4/AMP1O
0	0	1	0	1	0	ANI2/ANX0	ANI3/ANX1	ANI4/AMP1O	ANI5/ANX2
0	0	1	0	1	1	ANI3/ANX1	ANI4/AMP1O	ANI5/ANX2	ANI6/ANX3
0	0	1	1	0	0	ANI4/AMP1O	ANI5/ANX2	ANI6/ANX3	ANI7/AMP2O
上記以外						設定禁止			

○スキャン・モード(ADMD = 1)

注意1. ビット5, 6には必ず0を設定してください。

注意2. ポート・モード・コントロール・レジスタ1, 4(PMC1, PMC4)でアナログ入力に設定したポートは、ポート・モード・レジスタ1, 4(PM1, PM4)で入力モードを選択してください。

注意3. PMC1, PMC4レジスタでデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意5. ADISS = 1を設定した場合、+側の基準電圧にA/Dコンバータ用内部基準電圧(1.45 V)は使用できません。

また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、16.7.4 A/Dコンバータ用内部基準電圧を選択時の設定(例 ソフトウェア・トリガ・モード、ワンショット変換モード時)を参照してください。

注意6. STOPモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、33.3.2または34.3.2電源電流特性に示すA/Dコンバータ基準電圧電流(IADREF)の電流値が加算されます。

注意7. 32ピン製品の場合は、ADISS, ADS4-ADS0 = 001000Bは設定しないでください。

16.3.8 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図16-9参照)で割り込み信号(INTAD)の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

図16-14 変換結果比較上限値設定レジスタ (ADUL)のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

16.3.9 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図16-9参照)で割り込み信号(INTAD)の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-15 変換結果比較下限値設定レジスタ (ADLL)のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

16.3.10 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANlxx)、A/Dコンバータ用内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択
- ・フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	アナログ入力チャネル指定レジスタ (ADS)で設定
0	1	設定禁止
1	0	-側基準電圧 (AVSS)
1	1	+側基準電圧 (A/Dコンバータ・モード・レジスタ2 (ADM2)のADREFP1, ADREFP0ビットで選択)

注意 ビット2-7には、必ず“0”を設定してください。

16.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・モード・コントロール・レジスタ (PMCxx),)を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.6 ポート・モード・コントロール・レジスタ (PMCxx) を参照してください。

ANI5, ANI6, ANI8, ANI9 端子をA/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)とポート・モード・コントロール・レジスタ (PMCxx)のビットに1を設定してください。

16.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット 9 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2)AV_{REF}$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力が $(1/2)AV_{REF}$ よりも大きければ、SAR レジスタのMSBビットをセットしたままです。また、 $(1/2)AV_{REF}$ よりも小さければ、MSBビットはリセットします。
- ⑤ 次に SAR レジスタのビット 8 が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ビット9 = 1 : $(3/4) AV_{REF}$
 - ビット9 = 0 : $(1/4) AV_{REF}$この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。
 - サンプリングされた電圧 \geq 電圧タップ : ビット8 = 1
 - サンプリングされた電圧 < 電圧タップ : ビット8 = 0
- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします注1。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。
- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します注2。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図16-9参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

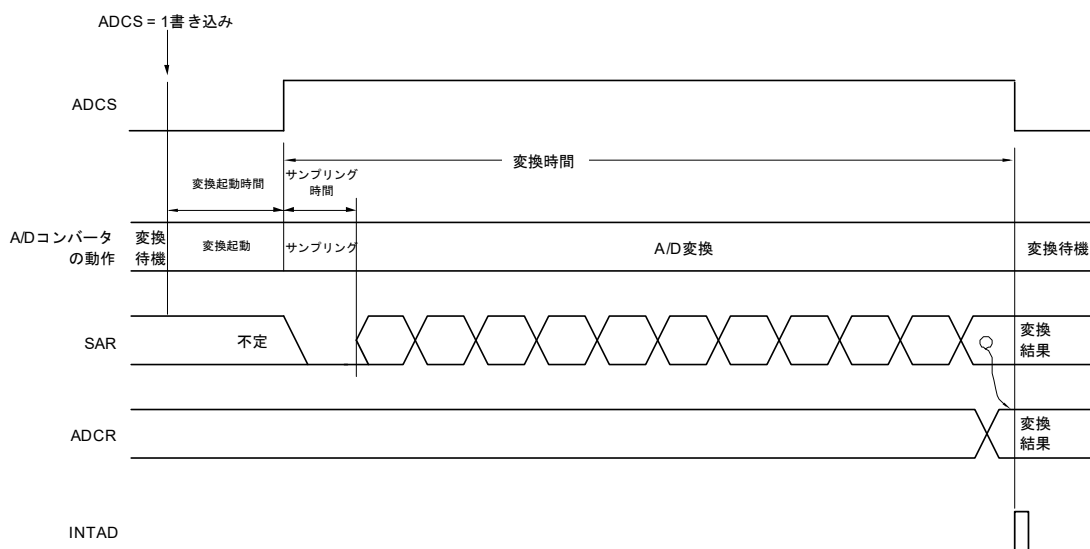
注2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ADCRレジスタ (16ビット): 10ビットのA/D変換値を格納します。
- ADCRHレジスタ (8ビット): 8ビットのA/D変換値を格納します。

備考2. AV_{REF} : A/Dコンバータの+側基準電圧。A/Dコンバータ用内部基準電圧 (1.45 V), AV_{DD} から選択可能です。

図16-17 A/Dコンバータの変換動作(ソフトウェア・トリガ・モードの場合)



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア(0)されます。

連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)をクリア(0)するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS)に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ (ADCR, ADCRH)は、リセット信号の発生により0000Hまた00Hとなります。

16.5 入力電圧と変換結果

アナログ入力端子(ANI0-ANI9)に入力されたアナログ入力電圧と理論上のA/D変換結果(10ビットA/D変換結果レジスタ(ADCR))には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または,

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT (): ()内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

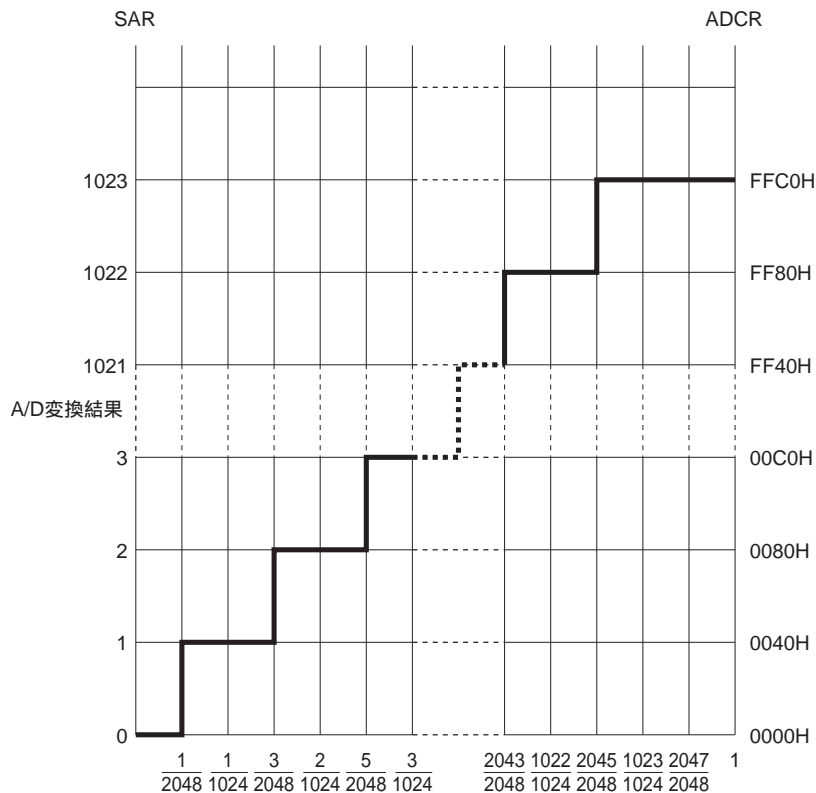
V_{REF} : V_{REF} 端子電圧

ADCR: A/D変換結果レジスタ(ADCR)の値

SAR: 逐次変換レジスタ

図16-18にアナログ入力電圧とA/D変換結果の関係を示します。

図16-18 アナログ入力電圧とA/D変換結果の関係



備考 V_{REF} : A/Dコンバータの+側基準電圧。 V_{REFP} , A/Dコンバータ用内部基準電圧(1.45 V), V_{DD} から選択可能です。

16.6 A/D コンバータの動作モード

A/D コンバータの各モードの動作を次に示します。また、各モードの設定手順を 16.7 A/D コンバータの設定フロー・チャートに示します。

16.6.1 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/D コンバータ・モード・レジスタ 0 (ADM0)のADCE = 1に設定し、A/D 変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0 レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D 変換を行います。
- ③ A/D 変換が終了すると、変換結果をA/D 変換結果レジスタ(ADCR, ADCRH)に格納し、A/D 変換終了割り込み要求信号(INTAD)を発生します。A/D 変換終了後は、すぐに次のA/D 変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D 変換は中断され、再変換を開始します。変換動作中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D 変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D 変換を行います。変換動作中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D 変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D 変換は中断され、A/D 変換待機状態となります。
- ⑧ A/D 変換待機中にADCE = 0に設定すると、A/D コンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D 変換は開始しません。

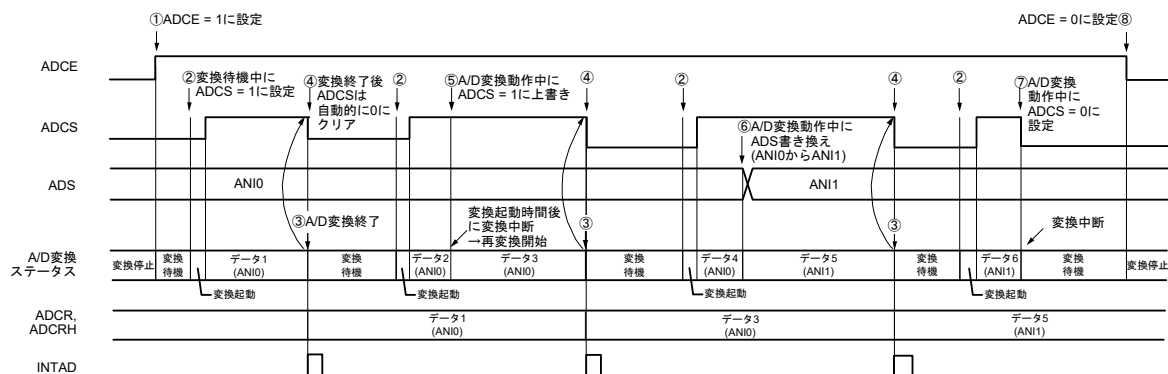
図 16 - 19 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)動作タイミング例



16.6.2 ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で, A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し, A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後, ADM0レジスタのADCS = 1に設定することで, アナログ入力チャネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると, 変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し, A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ A/D変換が終了後, ADCSビットは自動的に0にクリアされ, A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると, 現在のA/D変換は中断され, 再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると, 現在のA/D変換は中断され, ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると, 現在のA/D変換は中断され, A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると, A/Dコンバータは停止状態になります。ADCE = 0のとき, ADCS = 1に設定しても無視され, A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても, A/D変換は開始しません。

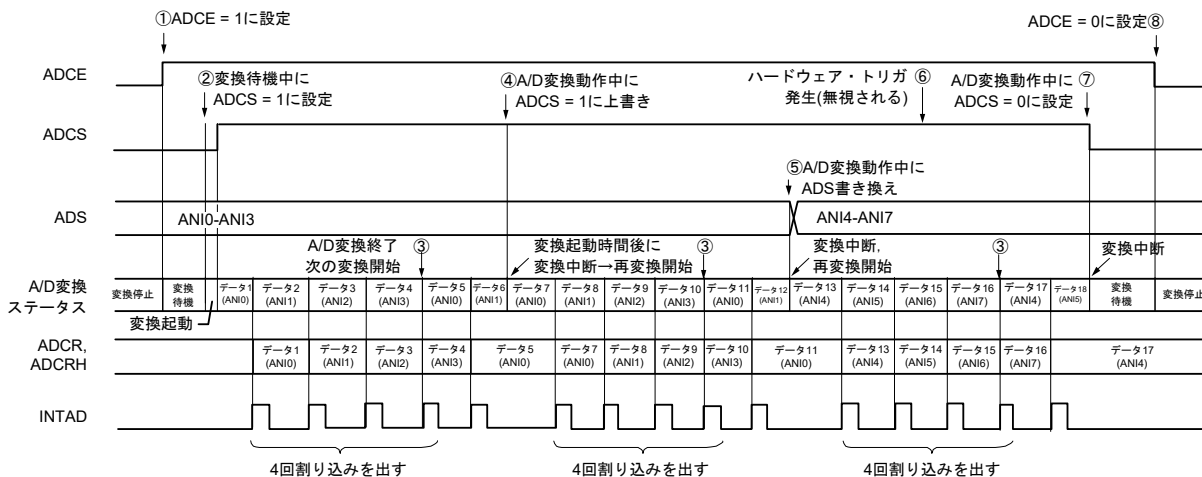
図16-20 ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



16.6.3 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます(4チャンネル分)。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

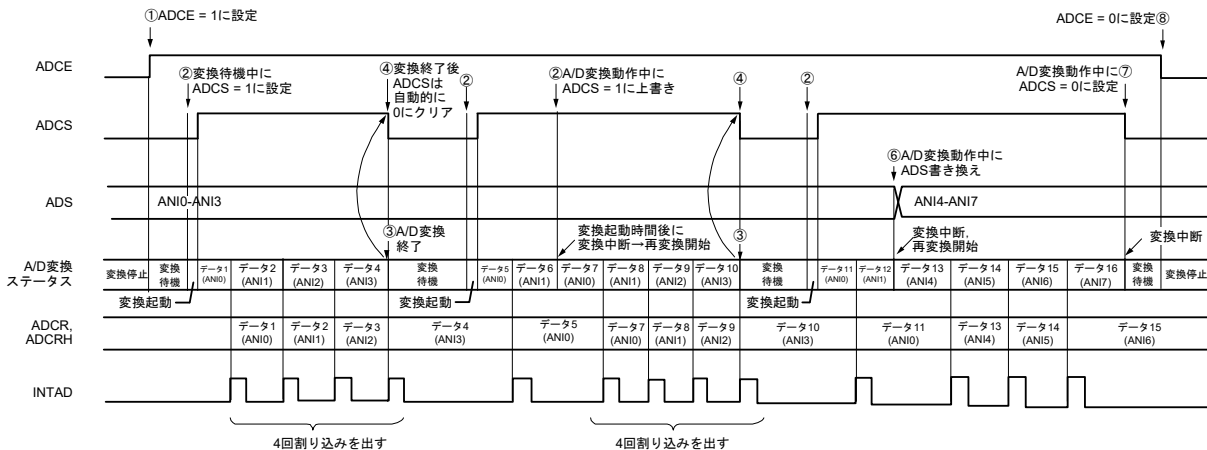
図16-21 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)動作タイミング例



16.6.4 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ 4チャンネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

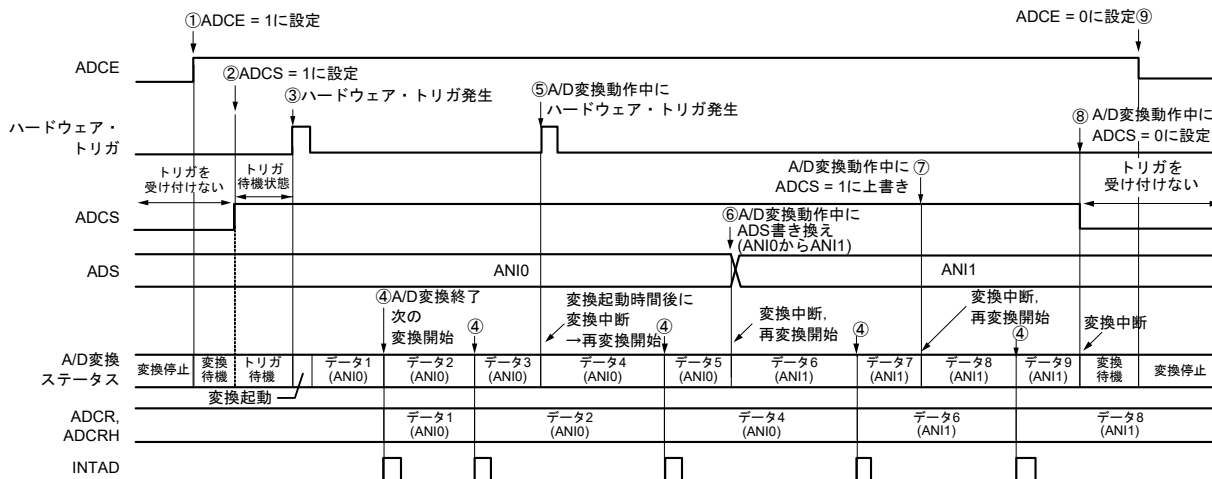
図16-22 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



16.6.5 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

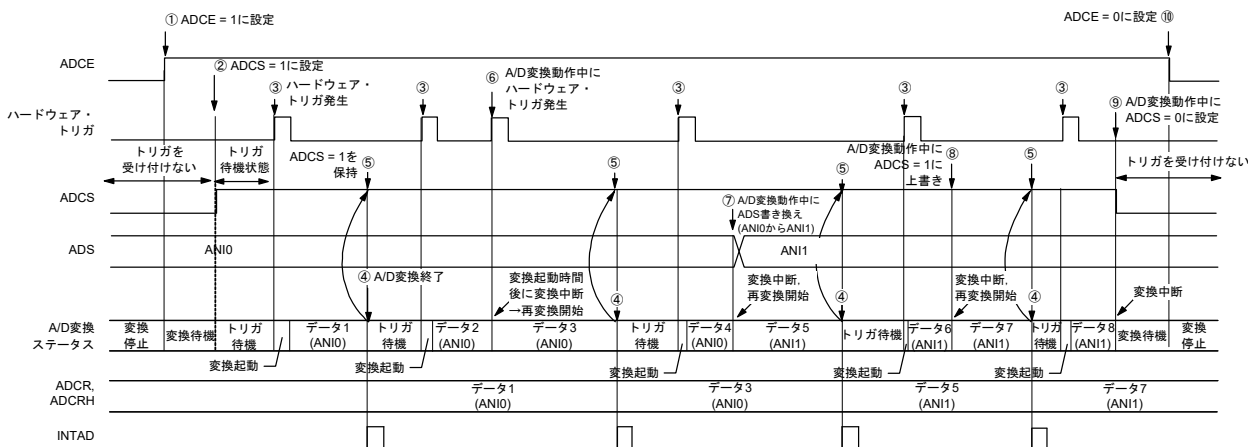
図16-23 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



16.6.6 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

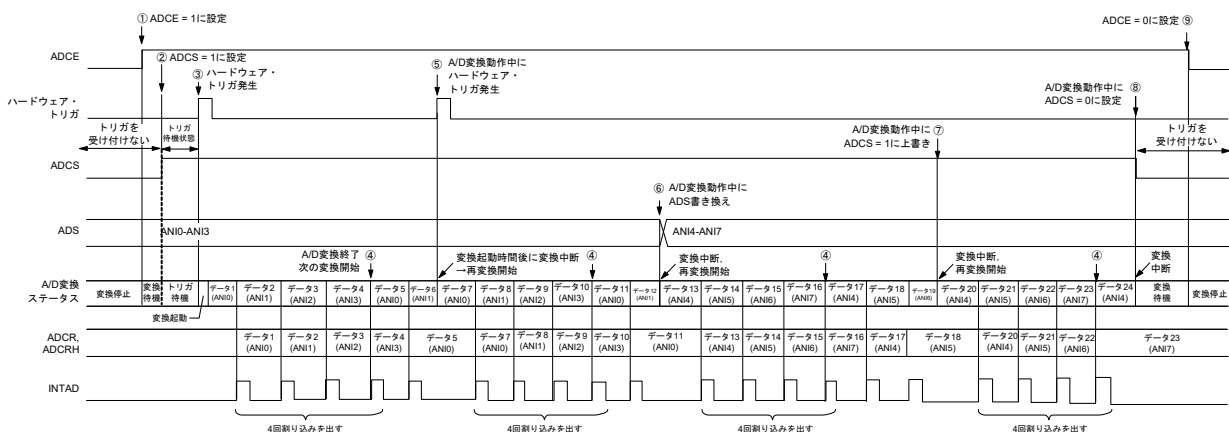
図16-24 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



16.6.7 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

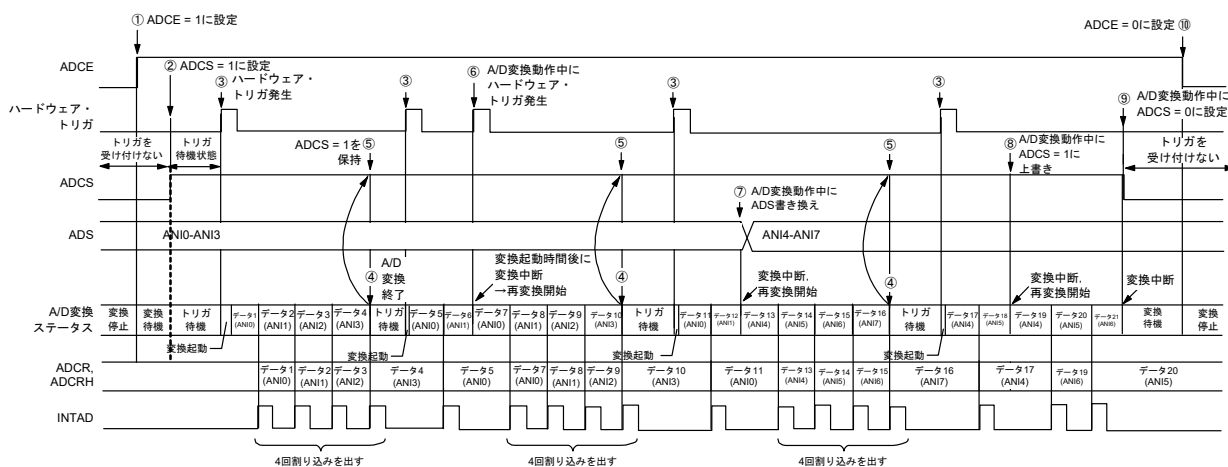
図16-25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



16.6.8 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μs)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ 4チャネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

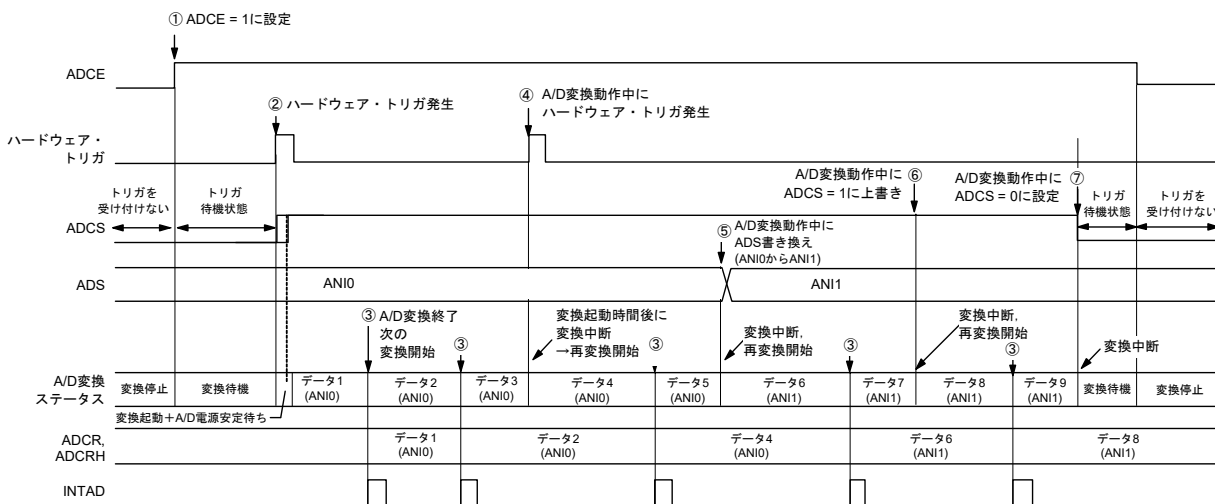
図 16-26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



16.6.9 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します(このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS= 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

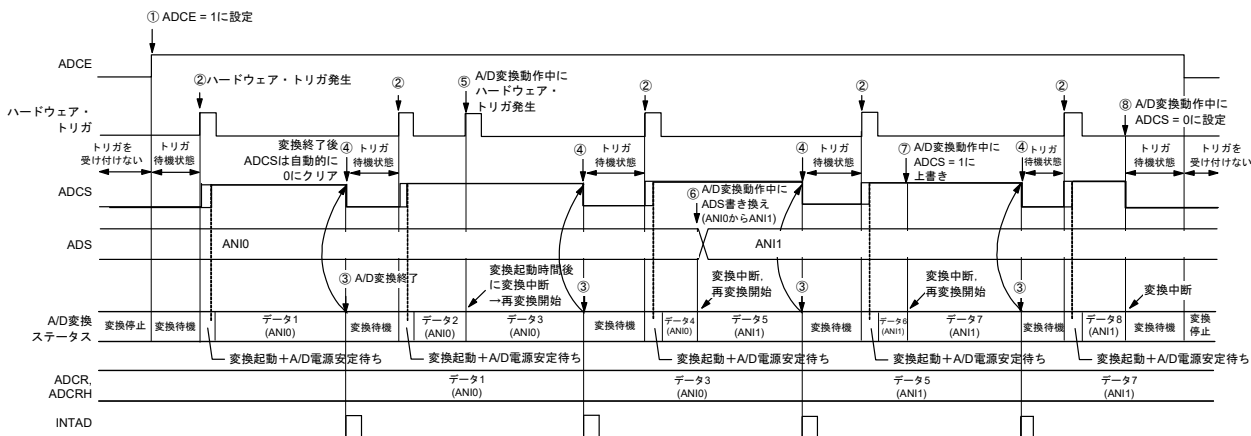
図 16 - 27 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



16.6.10 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS= 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

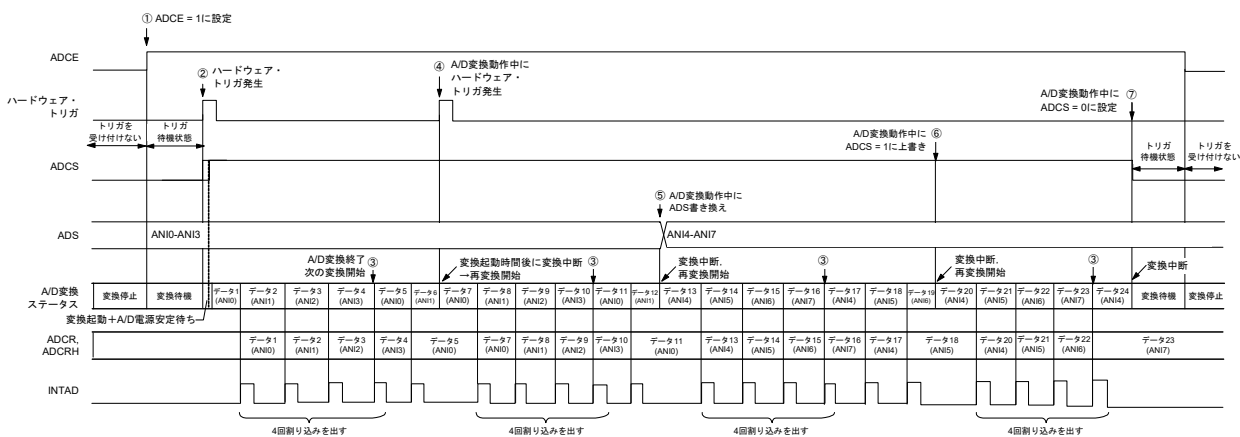
図 16 - 28 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



16.6.11 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

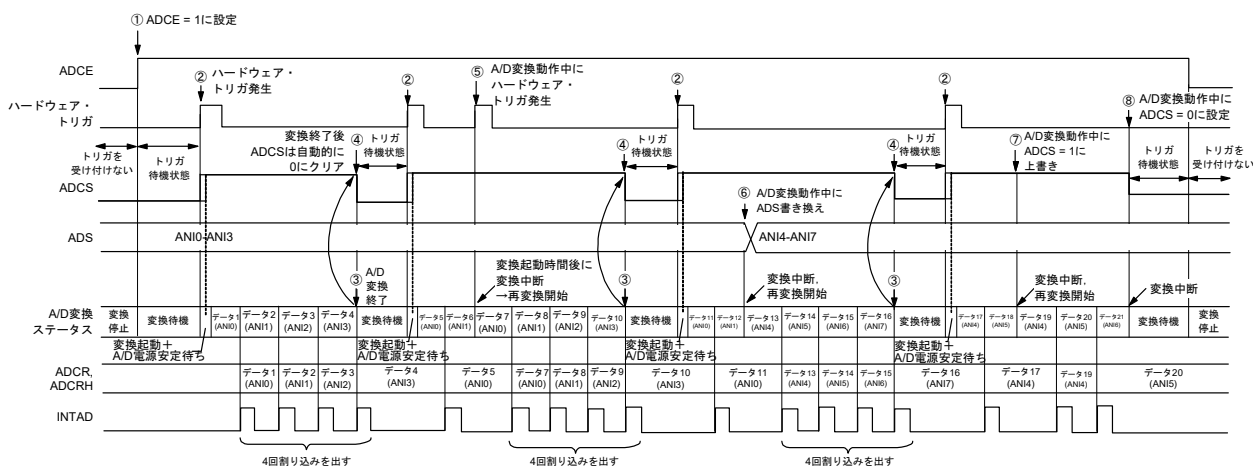
図 16 - 29 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



16.6.12 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図16-30 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例

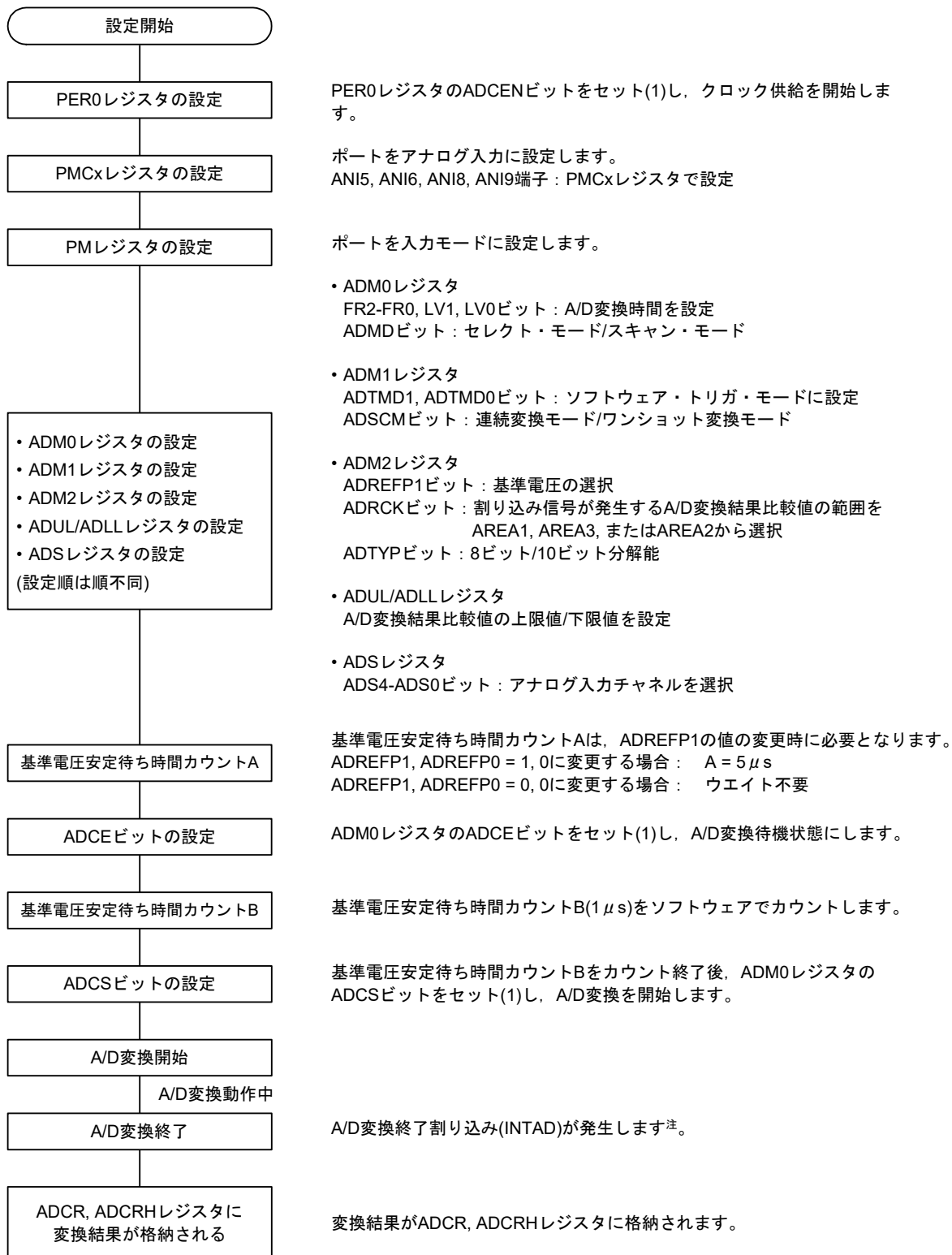


16.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

16.7.1 ソフトウェア・トリガ・モード設定

図16-31 ソフトウェア・トリガ・モード設定



注 ADCRビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

16.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

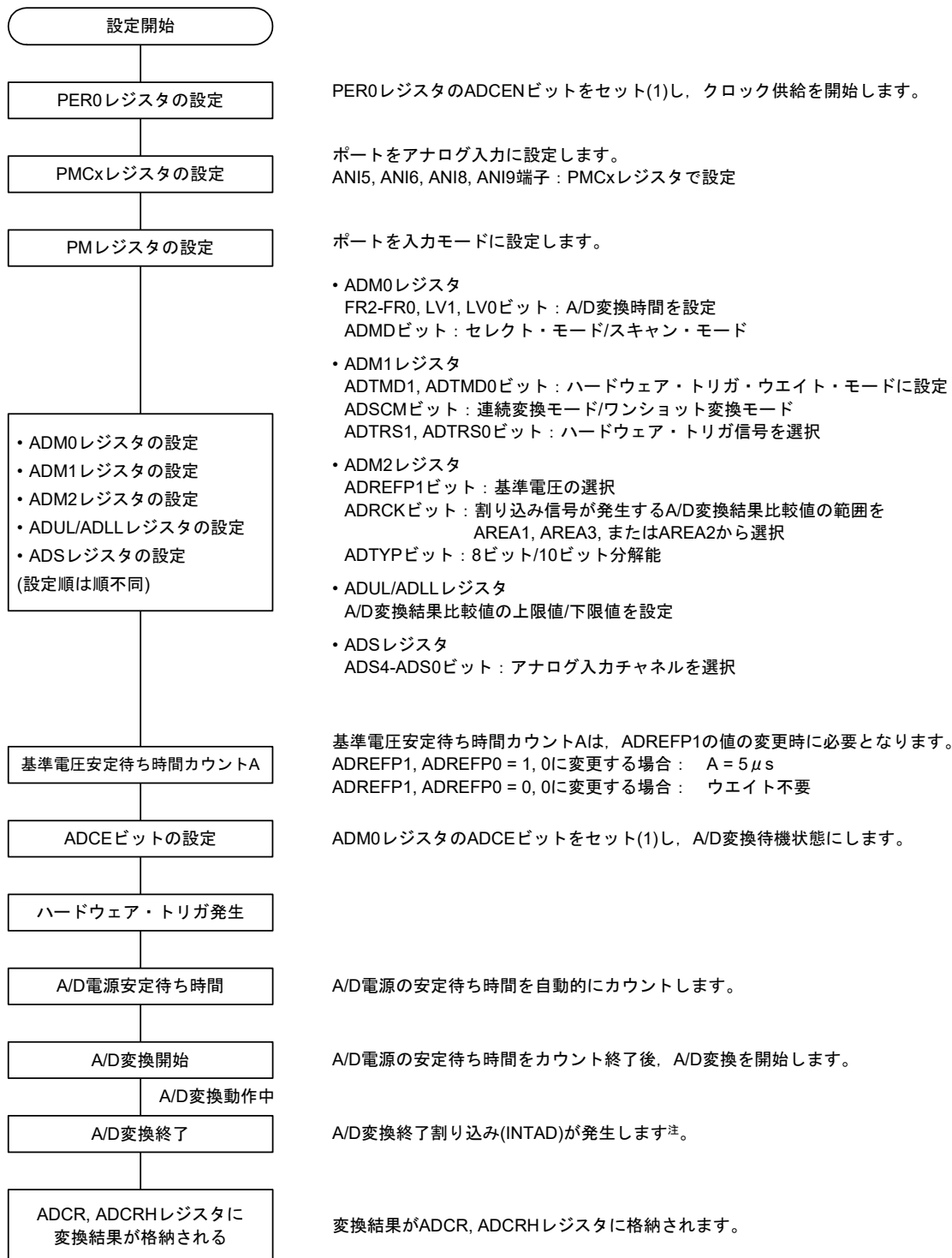
図16-32 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

16.7.3 ハードウェア・トリガ・ウェイト・モード設定

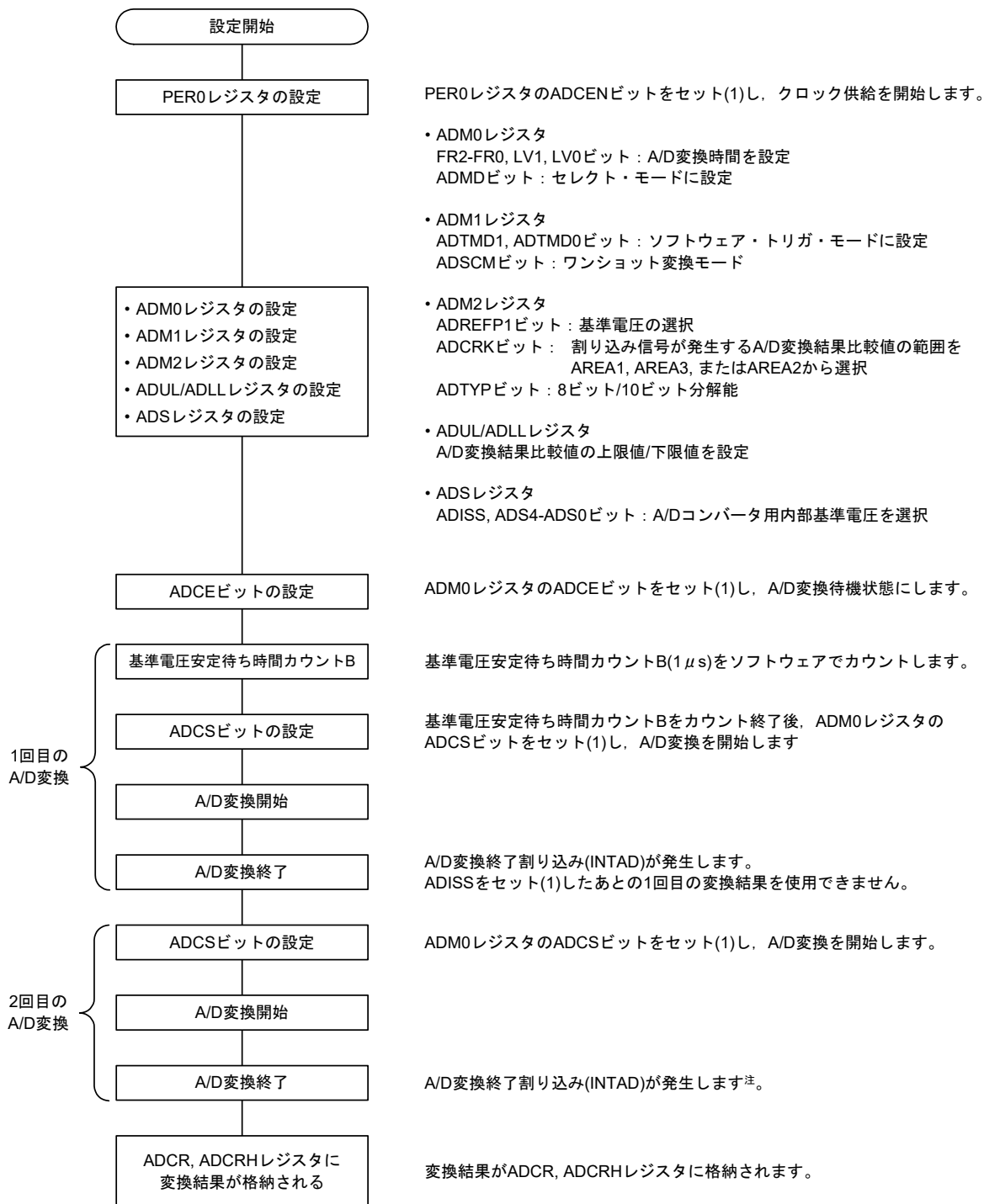
図16-33 ハードウェア・トリガ・ウェイト・モード設定



注 ADCRビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

16.7.4 A/Dコンバータ用内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

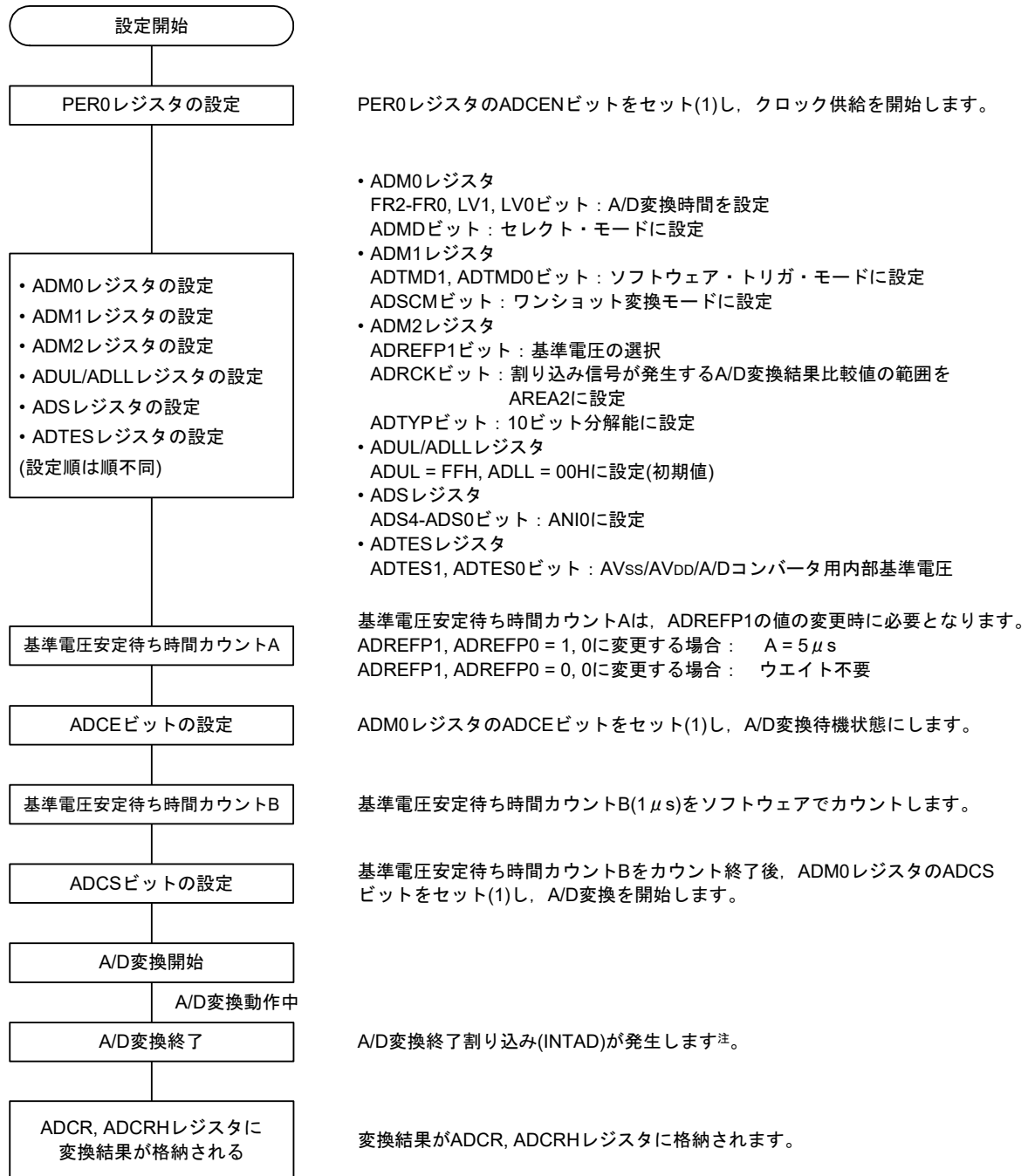
図16-34 A/Dコンバータ用内部基準電圧を選択時の設定



注 ADCRCKビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

16.7.5 テスト・モード設定

図 16 - 35 テスト・モード設定



注 ADRCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、27.3.8 A/Dテスト機能を参照してください。

16.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが、このモードを使うことで、ハードウェア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

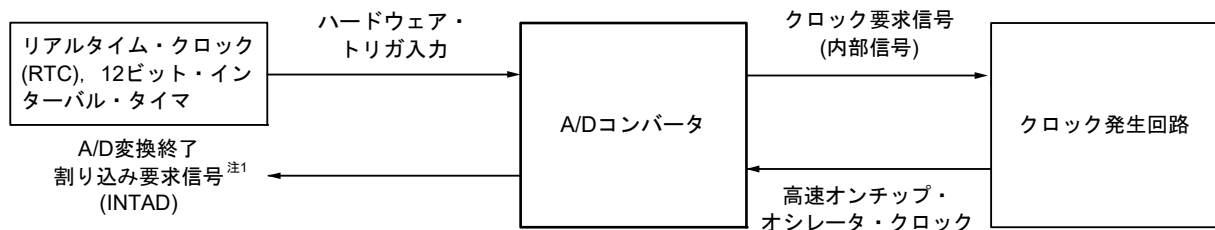
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ・ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)
- ・ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図16-36 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定ハードウェア・トリガ・ウエイト・モード設定を行います(16.7.3 ハードウェア・トリガ・ウエイト・モード設定を参照注2)。このとき、A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2 (AWC)に1を設定しておきます。初期設定完了後、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット0 (ADCE)に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります注1。

- 注1. A/D変換結果比較機能の設定(ADRCKビット, ADUL/ADLLレジスタ)により、割り込み信号が発生しない場合があります。
- 注2. ADM1レジスタは必ずE1H, E2HまたはE3Hに設定してください。

備考 ハードウェア・トリガは、ELCで選択されたイベント、INTRTCまたはINTITです。
ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1 (ADM1)で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲内の場合, A/D変換終了割り込み要求信号(INTAD)は発生します。

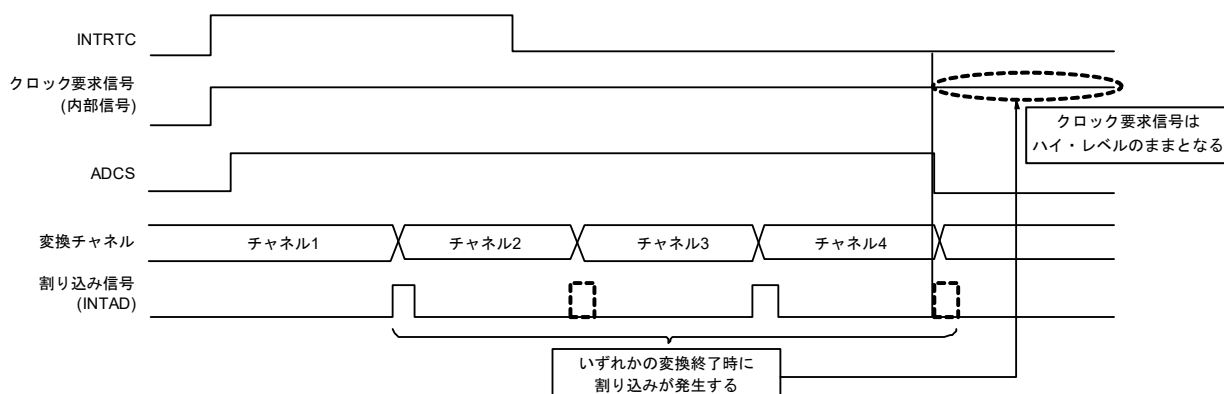
- セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号(INTAD)が発生すると, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2(ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

- スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号(INTAD)が発生した場合, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2(ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

図16-37 A/D変換終了後に割り込みが発生する場合の動作例(スキャン・モード時)



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲外の場合, A/D変換終了割り込み要求信号(INTAD)は発生しません。

- セレクト・モード時

A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, A/D変換終了後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, 4チャンネル分のA/D変換が終了した後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

図16-38 A/D変換終了後に割り込みが発生しない場合の動作例(スキャン・モード時)例

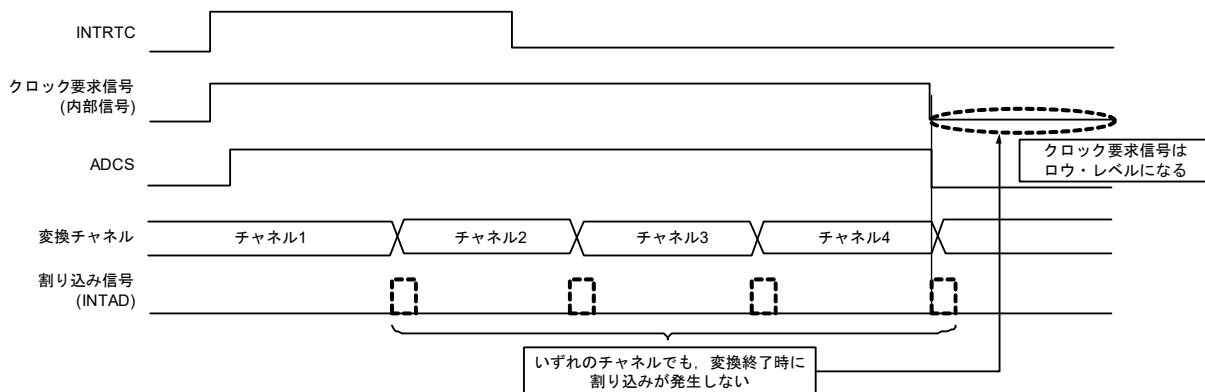
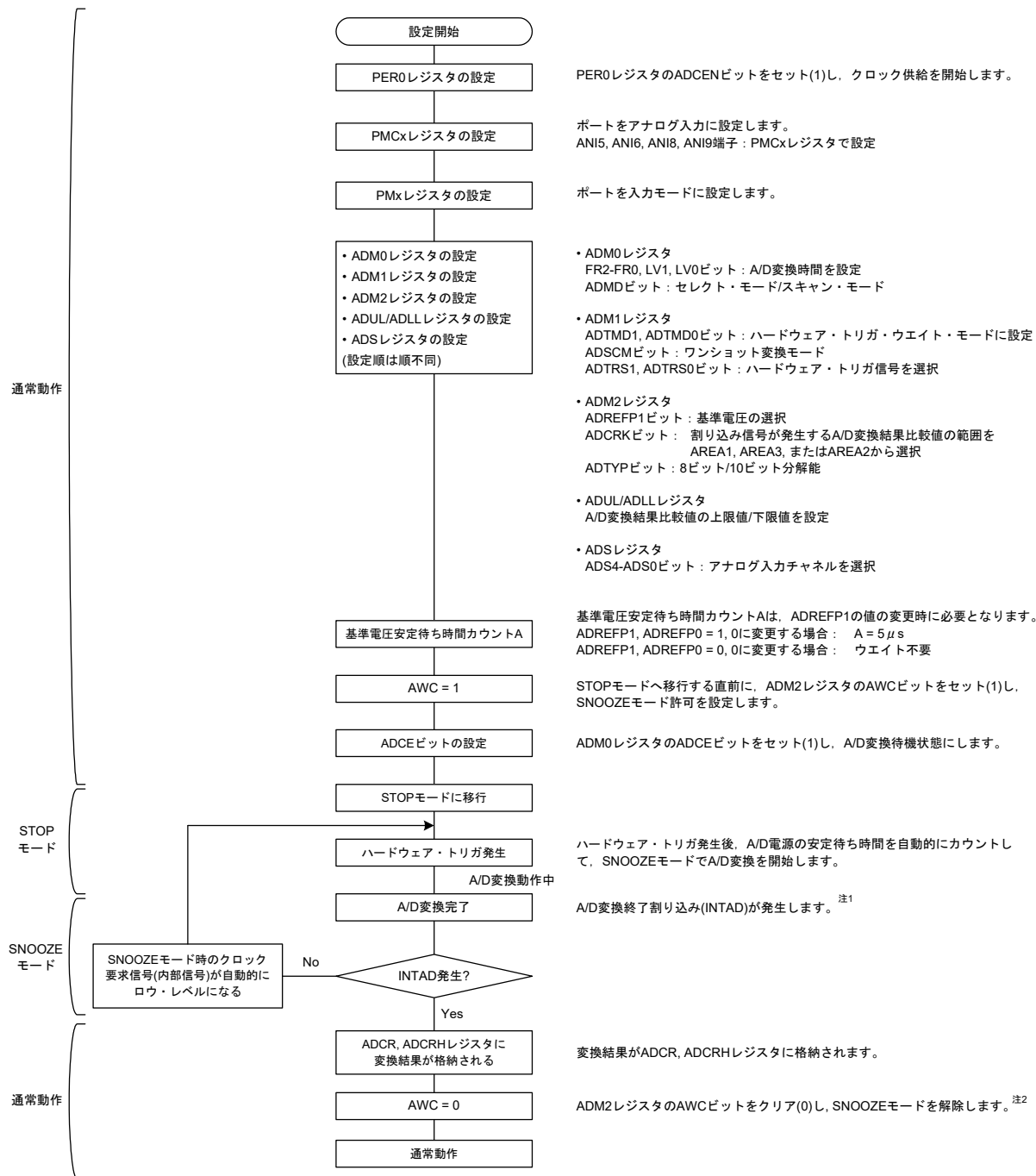


図16 - 39 SNOOZEモード設定のフロー・チャート



注1. ADRCKビット, ADUL/ADLLレジスタの設定により, A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

16.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図 16 - 40 総合誤差

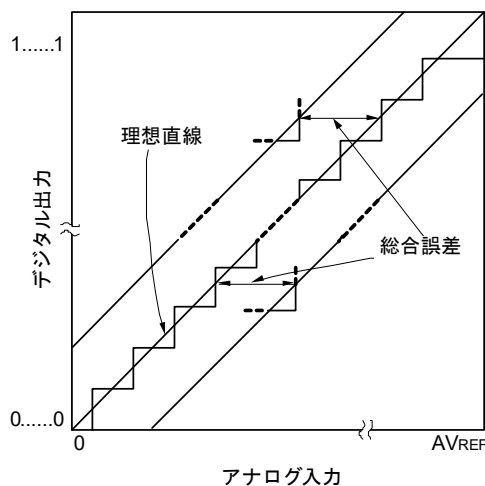
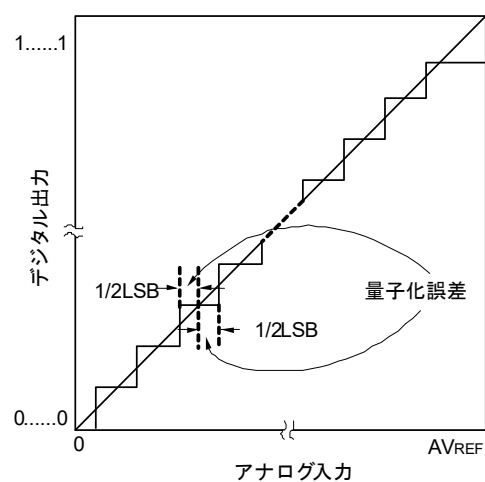


図 16 - 41 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール-3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図 16 - 42 ゼロスケール誤差

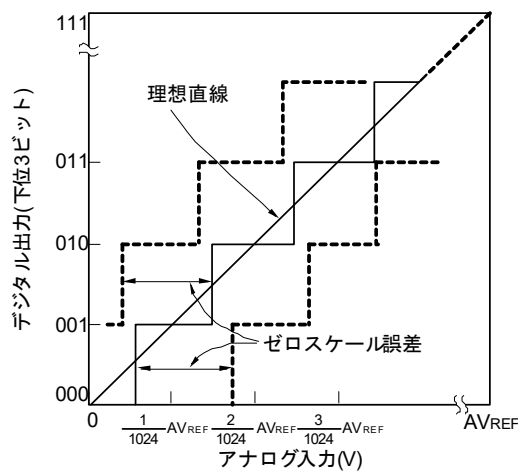


図 16 - 43 フルスケール誤差

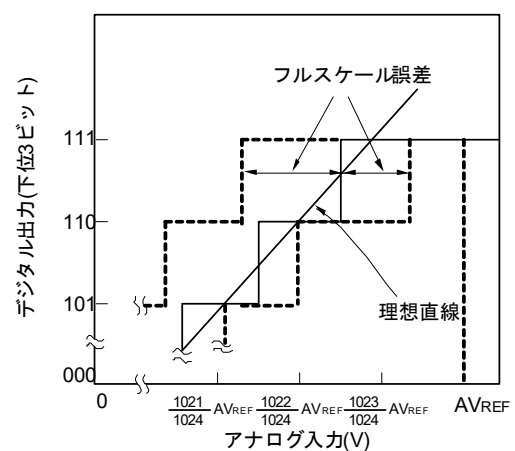


図 16 - 44 積分直線性誤差

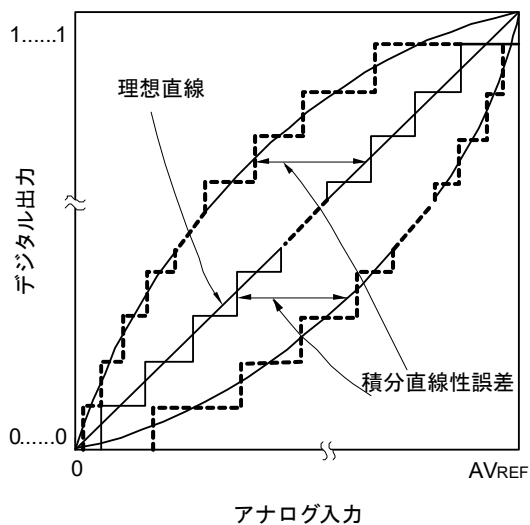
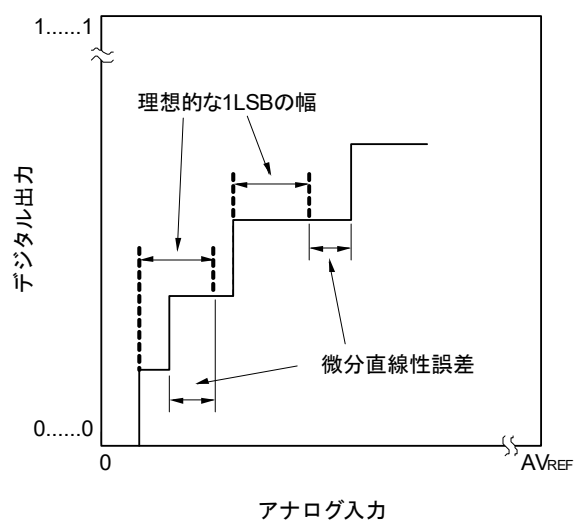


図 16 - 45 微分直線性誤差

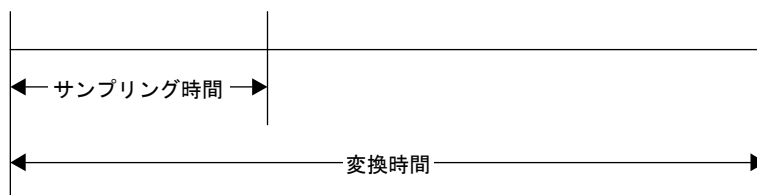


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



16.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止(A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)を0)させてから移行してください。このときADM0レジスタのビット0 (ADCE)も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H (IF1H)のビット0 (ADIF)をクリア(0)してから、動作開始してください。

(2) ANI0-ANI9端子入力範囲について

ANI0-ANI9端子入力電圧は規格の範囲内でご使用ください。特にAVDDを超える電圧、AVSS未満(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

A/Dコンバータ用内部基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧を超える電圧になっても問題ありません。

(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ(ADCR, ADCRH)へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

- ② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0 (ADM0)へのライト、アナログ入力チャンネル指定レジスタ(ADS)へのライトの競合

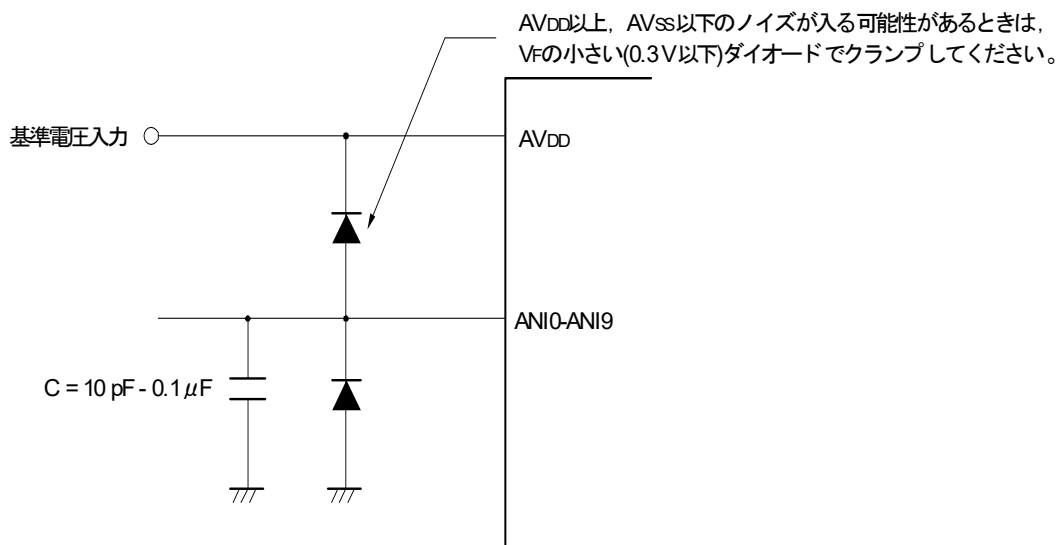
ADM0, ADS, レジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号(INTAD)も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、AVDD, ANI0-ANI9端子へのノイズに注意する必要があります。

- ① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。
- ② アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図16-46のようにコンデンサを外付けすることを推奨します。
- ③ 変換中においては、他の端子をスイッチングしないようにしてください。
- ④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図16-46 アナログ入力端子の処理



(5) アナログ入力(ANIn)端子

- ① アナログ入力 (ANI5, ANI6, ANI8, ANI9) 端子は入力ポート (P42, P41, P17, P16) 端子と兼用になっています。

ANI5, ANI6, ANI8, ANI9 端子のいずれかを選択してA/D変換をする場合、変換中にP42, P41, P17, P16に対して出力値を変更しないでください。変換精度が低下することがあります。

- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

(6) アナログ入力(ANIn)端子の入カインピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入カインピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出カインピーダンスを1 kΩ以下にしてください。出カインピーダンスが1 kΩ以下にできないときはサンプリング時間を長く設定するか ANI0-ANI9 端子に 0.1 μF 程度のコンデンサを付けることを推奨します(図16-46 アナログ入力端子の処理参照)。また、変換動作中に ADCS = 0 に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0 を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出カインピーダンスを低くするか十分なサンプリング時間を確保してください。

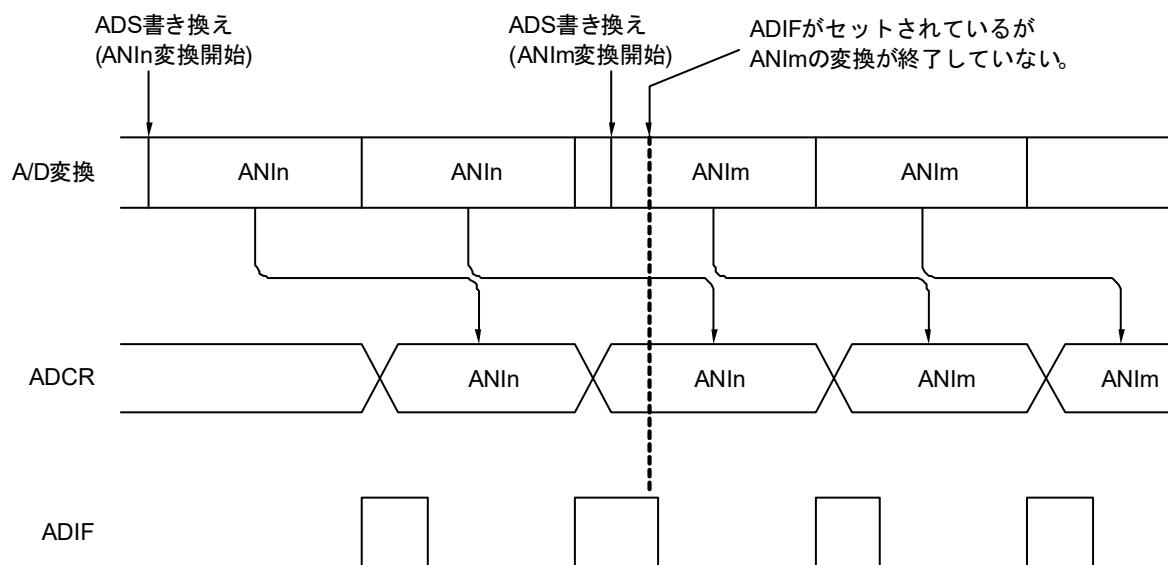
(7) 割り込み要求フラグ(ADIF)について

アナログ入力チャンネル指定レジスタ(ADS)を変更しても割り込み要求フラグ(ADIF)はクリア(0)されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア(0)してください。

図16-47 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウェイト・モードでADCEビット=1にしてから、1 μ s以内にADCSビット=1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ(ADCR, ADCRH)の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャンネル指定レジスタ(ADS), ポート・モード・コントロール・レジスタ(PMCxx)に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCレジスタに対して書き込み動作を行う前に読み出ししてください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図16 - 48 ANIn 端子内部等価回路

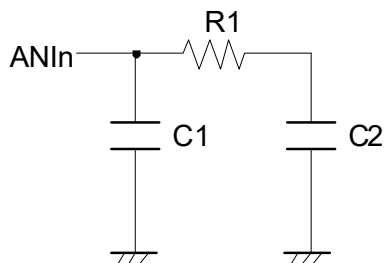


表16 - 5 等価回路の各抵抗と容量値(参考値)

V _{DD}	ANIn 端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V ≤ AV _{DD} ≤ 5.5 V	ANI0-ANI9	18	8	7.0
2.7 V ≤ AV _{DD} < 3.6 V	ANI0-ANI9	53	8	7.0

備考 表16 - 5の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AV_{DD}の電圧が安定してから開始してください。

第17章 コンフィギュラブル・アンプ

コンフィギュラブル・アンプの入力端子，出力端子数は，製品によって異なります。

ユニット	入出力端子		32ピン	36ピン
	汎用オペアンプ として使用する場合	コンフィギュラブル・アンプ として使用する場合		
オペアンプ0	AMP0O (オペアンプ0出力)	AMP0O (オペアンプ0出力)	○	○
	AMP0N (オペアンプ0マイナス入力)	ANX0/ANX1 (汎用アナログ入出力)	○	○
	AMP0P (オペアンプ0プラス入力)	ANX0/ANX1 (汎用アナログ入出力)	○	○
オペアンプ1	AMP1O (オペアンプ1出力)	AMP1O (オペアンプ1出力)	○	○
	AMP1N (オペアンプ1マイナス入力)	ANX0/ANX1/ANX2/ANX3 (汎用アナログ入出力)	○	○
	AMP1P (オペアンプ1プラス入力)	ANX0/ANX1/ANX2/ANX3 (汎用アナログ入出力)	○	○
オペアンプ2	AMP2O (オペアンプ2出力)	AMP2O (オペアンプ2出力)	○	○
	AMP2N (オペアンプ2マイナス入力)	ANX0/ANX1/ANX2/ANX3/ANX4注/ANX5 (汎用アナログ入出力)	—	○
	AMP2P (オペアンプ2プラス入力)	ANX0/ANX1/ANX2/ANX3/ANX4注/ANX5 (汎用アナログ入出力)	○	○

注 36ピン製品のみ

17.1 コンフィギュラブル・アンプの機能

コンフィギュラブル・アンプは，2入力1出力の差動オペアンプを計3ユニット内蔵しており，3チャンネルの汎用オペアンプとして使用できます。また，コンフィギュラブル・アンプは最大6本の汎用アナログ入出力ポート (ANX0-ANX5) とコンフィギュラブル・スイッチ群を内蔵しており，汎用アナログ入出力ポートとコンフィギュラブル・スイッチ群を制御することで，様々な方式のオペアンプとして回路を構成できます。

コンフィギュラブル・アンプには，次の機能があります。

17.1.1 汎用オペアンプとして使用

デフォルト設定では，2入力1出力の汎用オペアンプとして使用できます。

- オペアンプのプラス入力は，デフォルト設定ではAMP0P-AMP2P端子を使用できます。
- オペアンプのマイナス入力は，デフォルト設定ではAMP0N-AMP2N端子を使用できます。
- オペアンプ出力は，スイッチを介さずAMP0O-AMP2O端子から出力できます。
- すべてのユニットのオペアンプ入出力信号は，A/Dコンバータの入力信号とすることができます。
- 各オペアンプのプラス入力信号として，12ビットD/Aコンバータの出力信号を選択できます。
- 各オペアンプのマイナス入力信号として，自身のオペアンプ出力信号を帰還させることで，ボルテージ・フォロア回路を構成できます。
- ノーマル・モード，ハイスピード・モードの2つのモードを持ち，応答速度と消費電力のトレードオフを考慮してモード選択できます。

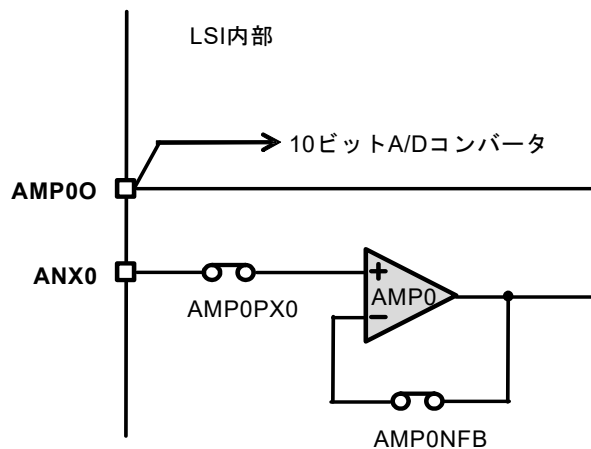
17.1.2 コンフィギュラブル・アンプとして使用

コンフィギュラブル・スイッチ群を制御することで、外部の抵抗およびコンデンサと組み合わせて様々な方式のオペアンプとして使用できます。代表例を以下に示します。

(1) ボルテージ・フォロア

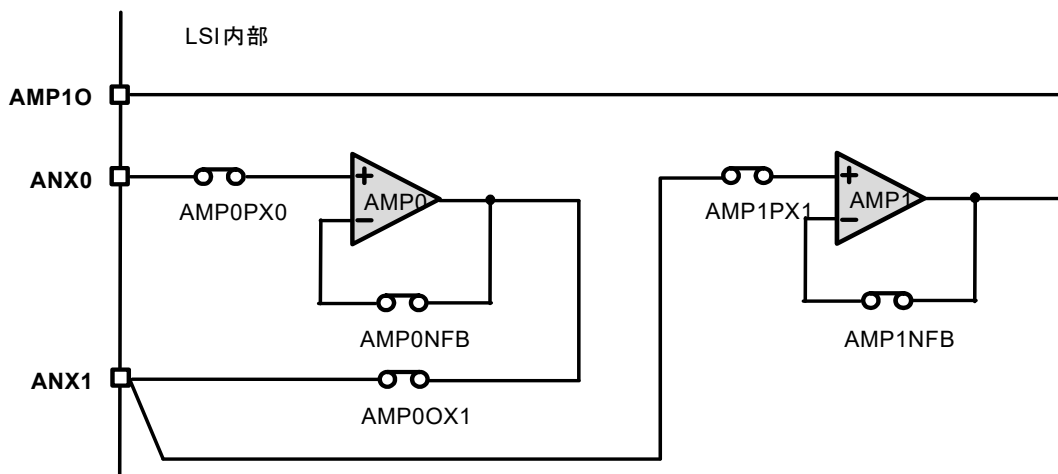
各オペアンプのマイナス入力信号として、自身のオペアンプ出力信号を帰還させることでボルテージ・フォロア回路を構成できます。帰還回路を構成するにはオペアンプn マイナス入力制御レジスタ (AMPnS1)のビット7(AMPnNFB)をセットしてください。

図 17 - 1 コンフィギュラブル・アンプの回路例(ボルテージ・フォロア)



前段のオペアンプ出力信号を後段のオペアンプ入力信号に接続する場合は、任意のアナログ汎用ポートn(ANXn)を使用します。たとえばオペアンプ0のボルテージ・フォロアの出力をオペアンプ1のプラス入力に接続する場合は、オペアンプ0出力制御レジスタ (AMP0S0)のビット1(AMP0OX1)を1に設定することで、オペアンプ0出力を汎用アナログ入出力ポートANX1に接続します。そして、オペアンプ1プラス入力制御レジスタ (AMP1S2)のビット1(AMP1X1)を1に設定することで、後段のオペアンプ1のプラス入力信号にANX1を接続できます。

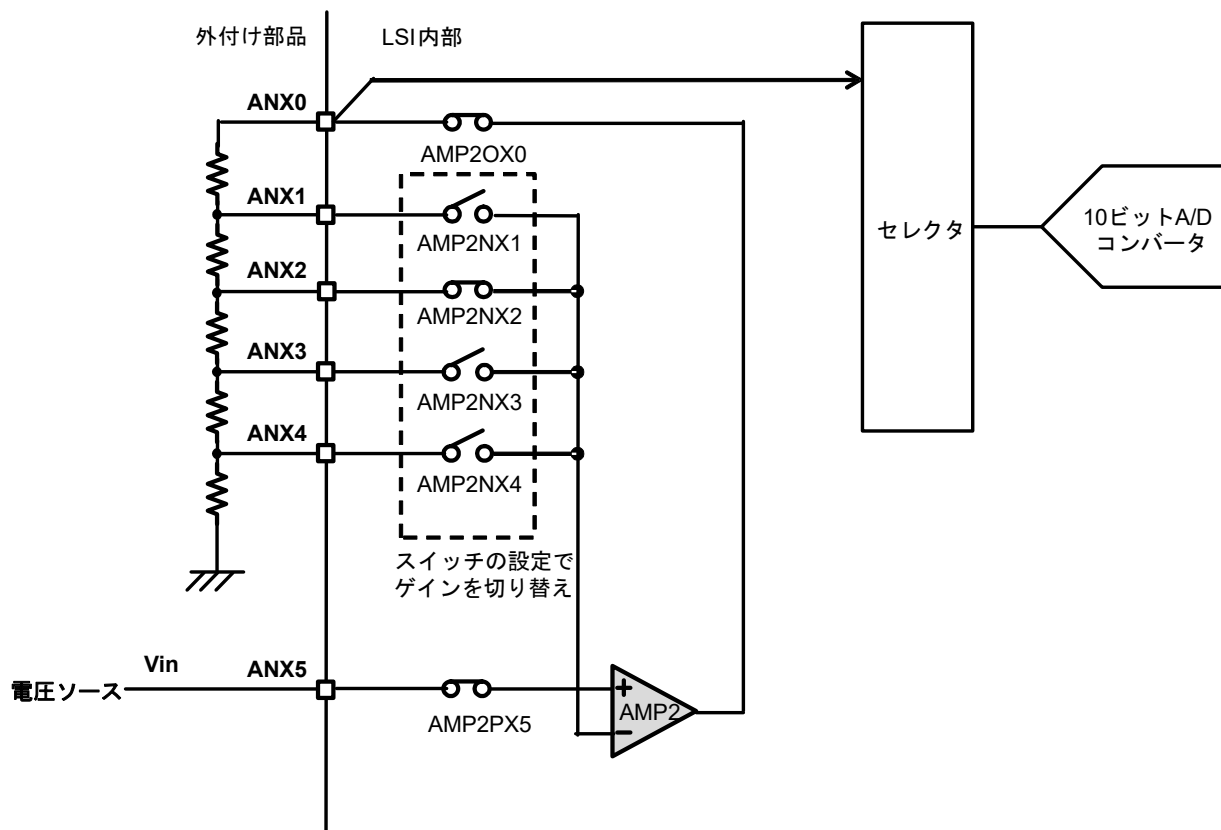
図 17 - 2 コンフィギュラブル・アンプの回路例(ボルテージ・フォロア カスケード接続)



(2) プログラマブル非反転増幅回路

コンフィギュラブル・スイッチとアナログ汎用ポートに接続した外部抵抗を組み合わせることで、プログラマブル・ゲイン・アンプを構成できます。非反転増幅回路の例を以下に示します。

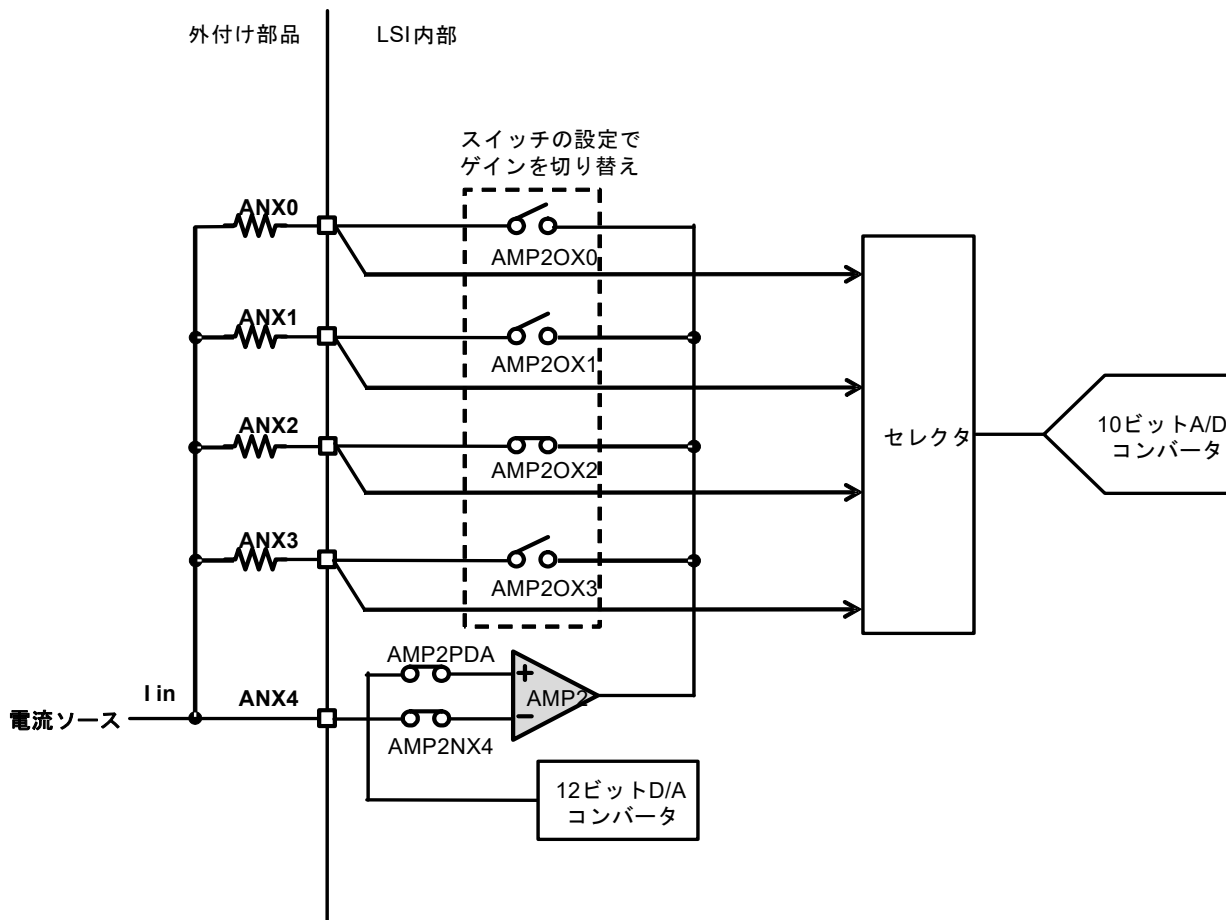
図 17-3 コンフィギュラブル・アンプの回路例(プログラマブル非反転増幅回路)



(3) プログラマブルI-Vアンプ

ソフトウェアでゲイン切り替えが可能なI-Vアンプ回路の例を以下に示します。

図17-4 コンフィギュラブル・アンプの回路例(プログラマブルI-Vアンプ)

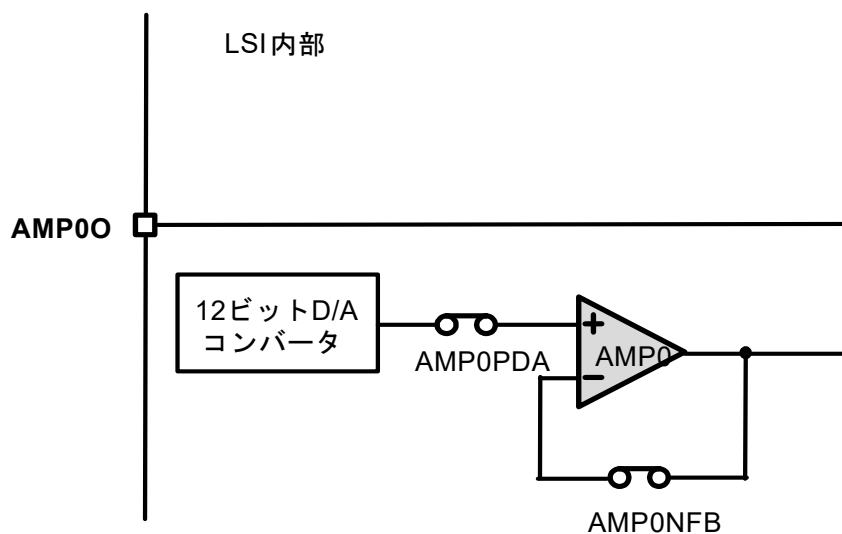


17.1.3 12ビットD/Aコンバータの出力アンプとして使用

12ビットD/Aコンバータの出力を外部に出力する場合は、コンフィギュラブル・アンプを出力アンプとして使用します。オペアンプnプラス入力制御レジスタ (AMPnS2)のビット7のAMPnPDAビットをセットすることで、オペアンプnのプラス入力端子へ12ビットD/Aコンバータ出力を入力できます。オペアンプnマイナス入力制御レジスタ (AMPnS1)のビット7のAMPnNFBビットをセットし、ボルテージ・フォロア回路を構成することで12ビットD/Aコンバータの出力をAMPnO端子から出力できます。

備考. n : ユニット番号(n=0-2)

図17 - 5 12ビットD/Aコンバータの出力アンプ



17.1.4 オフセット・キャリブレーション機能

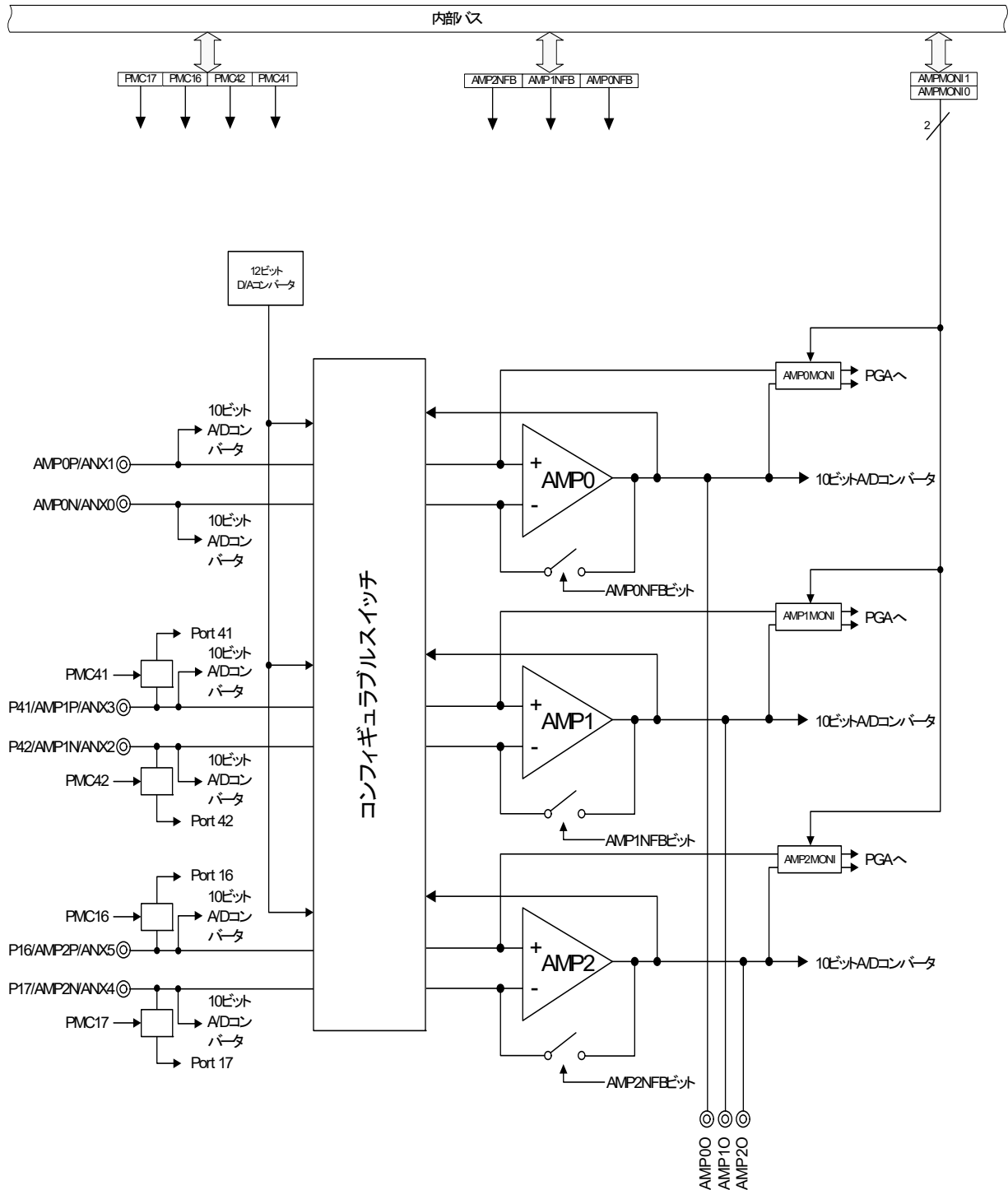
各オペアンプのプラス入力信号 (AMPnP) および出力信号 (AMPnO) を、24ビット $\Delta\Sigma$ /DコンバータのPGAの入力信号とすることで、オフセットを測定できます。24ビット $\Delta\Sigma$ /Dコンバータでオフセット値を測定し、オペアンプnトリミング・コード選択レジスタ (AMPnCAL) を使用してオペアンプの差動入力オフセットをトリミングすることで、環境変化に応じたオフセット・キャリブレーションを実施できます。

備考. n : ユニット番号(n=0-2)

17.2 コンフィギュラブル・アンプの構成

図17-6にコンフィギュラブル・アンプのブロック図を示します。

図17-6 コンフィギュラブル・アンプのブロック図



注意 32ピン製品は、P16, P17, P41, P42の汎用デジタルポート兼用機能に対応していません。

図17-7～図17-9にオペアンプ0-2のブロック図を示します。

図17-7 オペアンプ0のブロック図

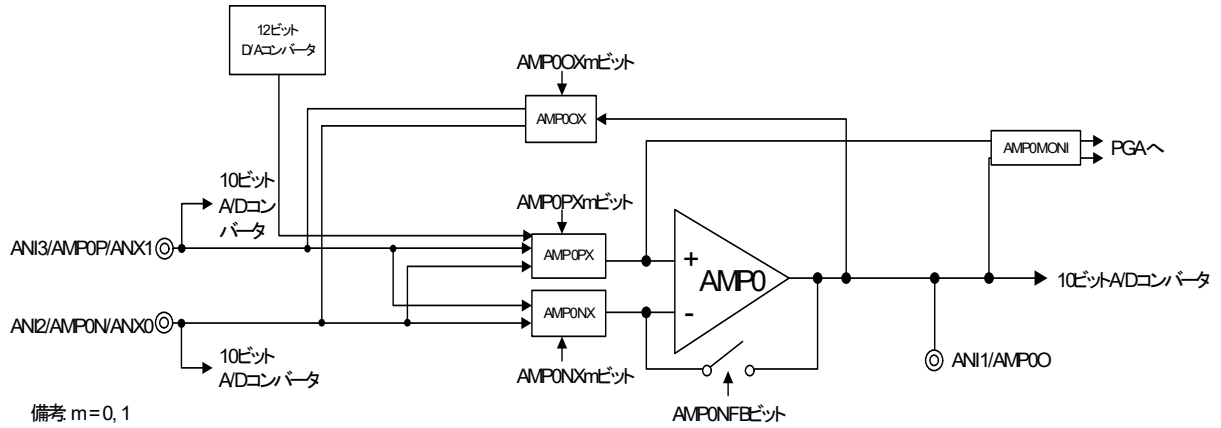


図17-8 オペアンプ1のブロック図

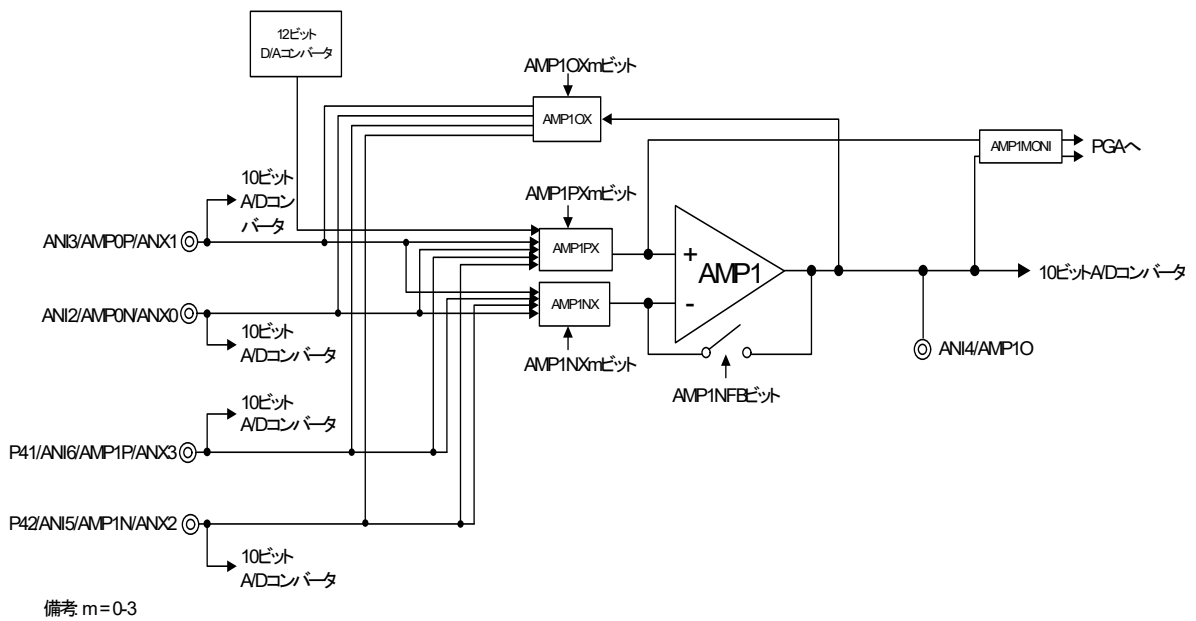
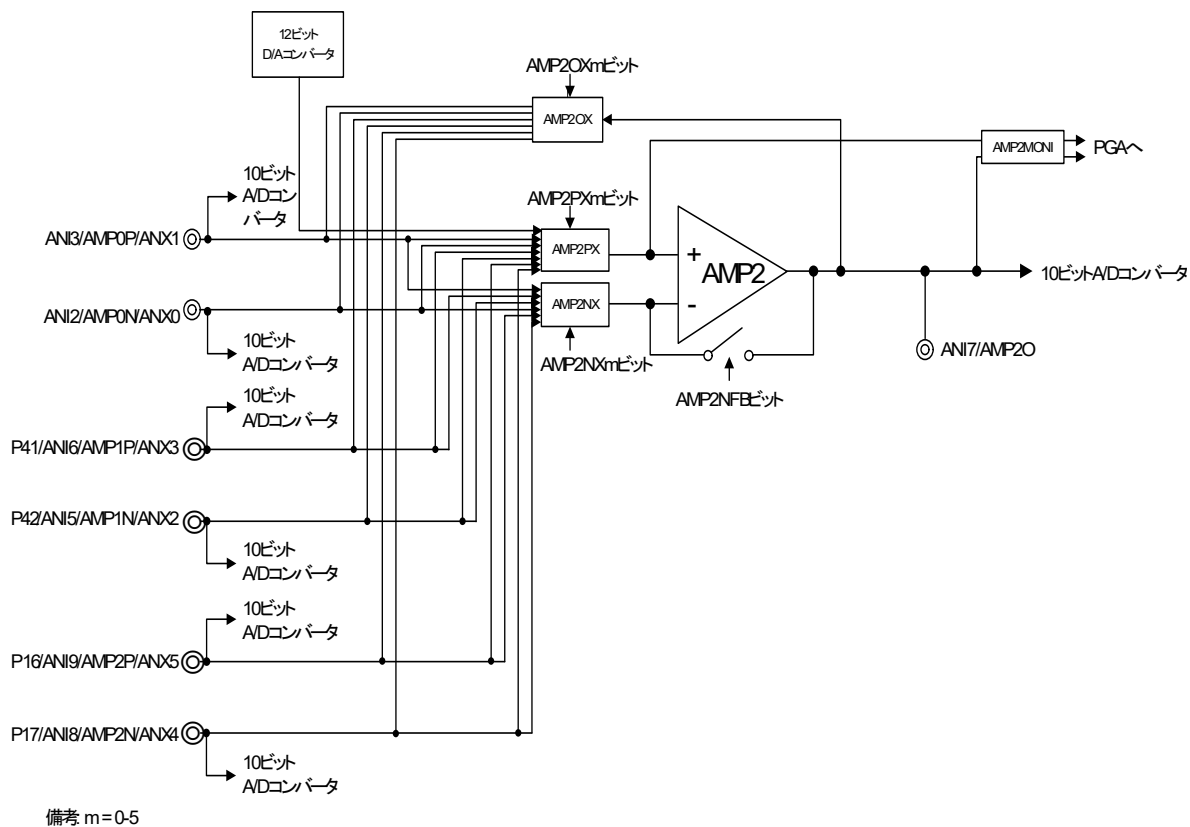


図17-9 オペアンプ2のブロック図



17.3 コンフィギュラブル・アンプを制御するレジスタ

表17-1にコンフィギュラブル・アンプを制御するレジスタ一覧を示します。

表17-1 コンフィギュラブル・アンプを制御するレジスタ一覧

項目	構成
制御レジスタ	ポート・モード・コントロール・レジスタ (PMC1, PMC4)
	周辺イネーブル・レジスタ1 (PER1)
	アナログ・フロントエンド電源選択レジスタ (AFEPWS)
	コンフィギュラブル・アンプ0モード・レジスタ (AMP0MR)
	コンフィギュラブル・アンプ1モード・レジスタ (AMP1MR)
	コンフィギュラブル・アンプ2モード・レジスタ (AMP2MR)
	コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0)
	コンフィギュラブル・アンプ1出力選択レジスタ (AMP1S0)
	コンフィギュラブル・アンプ2出力選択レジスタ (AMP2S0)
	コンフィギュラブル・アンプ0マイナス入力選択レジスタ (AMP0S1)
	コンフィギュラブル・アンプ1マイナス入力選択レジスタ (AMP1S1)
	コンフィギュラブル・アンプ2マイナス入力選択レジスタ (AMP2S1)
	コンフィギュラブル・アンプ0プラス入力選択レジスタ (AMP0S2)
	コンフィギュラブル・アンプ1プラス入力選択レジスタ (AMP1S2)
	コンフィギュラブル・アンプ2プラス入力選択レジスタ (AMP2S2)
	コンフィギュラブル・アンプ0トリミング・レジスタ (AMP0CAL)
	コンフィギュラブル・アンプ1トリミング・レジスタ (AMP1CAL)
	コンフィギュラブル・アンプ2トリミング・レジスタ (AMP2CAL)
	コンフィギュラブル・アンプ0トリミング; コード・レジスタ (AMP0TRM)
	コンフィギュラブル・アンプ1トリミング; コード・レジスタ (AMP1TRM)
コンフィギュラブル・アンプ2トリミング; コード・レジスタ (AMP2TRM)	

17.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

コンフィギュラブル・アンブを使用する場合は、必ずビット5 (AMPEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 17 - 10 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	AMPEN	0	DTCEN	PGAEN	AFEEN	TRJ0EN

AMPEN	コンフィギュラブル・アンブの入カクロック供給の制御
0	入カクロック供給停止 ・コンフィギュラブル・アンブで使用するSFRへのライト不可 ・コンフィギュラブル・アンブはリセット状態
1	入カクロック供給 ・コンフィギュラブル・アンブで使用するSFRへのリード／ライト可

注意1. コンフィギュラブル・アンブの設定をする際には、必ず最初にAMPEN = 1の設定を行ってください。AMPEN = 0の場合は、コンフィギュラブル・アンブの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

注意2. ビット4には必ず“0”を設定してください。

17.3.2 アナログ・フロントエンド電源選択レジスタ (AFEPWS)

AFEPWSレジスタは、コンフィギュラブル・アンプ部の電源の制御を設定するレジスタです。

AFEPWSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17 - 11 アナログ・フロントエンド電源選択レジスタ (AFEPWS)のフォーマット

アドレス : F0440H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFEPWS	DACPON	AMP2PON	AMP1PON	AMP0PON	0	PGAPON	0	AFEPON
AMP2PON	コンフィギュラブル・アンプ2 (AMP2) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
AMP1PON	コンフィギュラブル・アンプ1 (AMP1) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							
AMP0PON	コンフィギュラブル・アンプ0 (AMP0) 部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							

注意 ビット1, 3には必ず“0”を設定してください。

ビット0, 2, 7は13.3.2アナログ・フロントエンド電源選択レジスタ (AFEPWS) を参照してください

17.3.3 コンフィギュラブル・アンプnモード・レジスタ (AMPnMR)

オペアンプの動作モードを設定するレジスタです。

AMPnMRレジスタの書き換えは、必ずオペアンプn停止状態 (AMPnPON = 0) で行ってください。

AMPnMRレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-12 コンフィギュラブル・アンプnモード・レジスタ (AMPnMR) のフォーマット

アドレス : F0473H(AMP0MR), F0477H(AMP1MR), F047BH(AMP2MR) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPnMR	0	0	0	0	0	0	0	AMPnHSM

AMPnHSM	オペアンプnの動作モードを選択 (n = 0-2)
0	ノーマル・モード
1	ハイスピード・モード

注意 AMPnMRレジスタの書き換えは、必ずオペアンプn停止状態 (AMPnPON = 0) で行ってください。

備考 n : ユニット番号 (n = 0-2)

17.3.4 コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0)

オペアンプ0の出力端子を接続する汎用アナログ入出力ポートを選択、および入力オフセット・トリミングを実施するオペアンプを選択するレジスタです。

汎用アナログ入出力ポートは、ANX0, ANX1から選択できます。

AMP0S0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-13 コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0) のフォーマット

アドレス : F0470H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMP0S0	AMPMONI1	AMPMONI0	0	0	0	0	AMP0OX1	AMP0OX0

AMPMONI1	AMPMONI0	オフセット・トリミング・モニタの選択
0	0	接続なし
0	1	オペアンプ0のプラス入力信号と出力信号をPGAの入力信号にする
1	0	オペアンプ1のプラス入力信号と出力信号をPGAの入力信号にする
1	1	オペアンプ2のプラス入力信号と出力信号をPGAの入力信号にする

AMP0OXm	オペアンプ0出力端子を汎用アナログ入出力ポートANXmに接続 (m = 0, 1)
0	なし
1	接続

17.3.5 コンフィギュラブル・アンプ1出力選択レジスタ (AMP1S0)

オペアンプ1の出力端子を接続する汎用アナログ入出力ポートを選択するレジスタです。

汎用アナログ入出力ポートは、ANX0-ANX3から選択できます。

AMP1S0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-14 コンフィギュラブル・アンプ1出力選択レジスタ (AMP1S0) のフォーマット

アドレス : F0474H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMP1S0	0	0	0	0	AMP1OX3	AMP1OX2	AMP1OX1	AMP1OX0

AMP1OXm	オペアンプ1出力端子を汎用アナログ入出力ポート ANXmへ接続 (m = 0-3)
0	なし
1	接続

17.3.6 コンフィギュラブル・アンプ2出力選択レジスタ (AMP2S0)

オペアンプ2の出力端子を接続する汎用アナログ入出力ポートを選択するレジスタです。

汎用アナログ入出力ポートは、ANX0-ANX5から選択できます注。

AMP2S0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-15 コンフィギュラブル・アンプ2出力選択レジスタ (AMP2S0) のフォーマット

アドレス : F0478H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMP2S0	0	0	AMP2OX5	AMP2OX4注	AMP2OX3	AMP2OX2	AMP2OX1	AMP2OX0

AMP2OXm	オペアンプ2出力端子を汎用アナログ入出力ポート ANXmへ接続 (m = 0-5)
0	なし
1	接続

注 32ピン製品では、汎用アナログ入出力ポート ANX4が省略されているので、必ずAMP2OX4ビットは0を書き込んでください。

17.3.7 コンフィギュラブル・アンプ0マイナス入力選択レジスタ (AMP0S1)

オペアンプ0のマイナス入力端子を接続する汎用アナログ入出力ポートを選択、およびボルテージ・フォロア回路を構成するための帰還回路を設定するレジスタです。

汎用アナログ入出力ポートは、ANX0, ANX1から選択できます。

AMP0S1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図17-16 コンフィギュラブル・アンプ0マイナス入力選択レジスタ (AMP0S1) のフォーマット

アドレス : F0471H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
AMP0S1	AMP0NFB	0	0	0	0	0	AMP0NX1	AMP0NX0

AMP0NFB	オペアンプ0出力端子をマイナス入力端子へ接続し、帰還回路を構成
0	なし
1	接続

AMP0NXm	オペアンプ0マイナス入力端子を汎用アナログ入出力ポート ANXm へ接続 (m = 0, 1)
0	なし
1	接続

注意 AMP0NFBビットとAMP0NXmビットの同時1状態は禁止動作です。ボルテージ・フォロア回路を構成する際には、AMP0S1レジスタへ80Hを書き込んでください。(AMP0NFBビットのみ1にしてください。)

17.3.8 コンフィギュラブル・アンプ1マイナス入力選択レジスタ (AMP1S1)

オペアンプ1のマイナス入力端子を接続する汎用アナログ入出力ポートを選択、およびボルテージ・フォロア回路を構成するための帰還回路を設定するレジスタです。

汎用アナログ入出力ポートは、ANX0-ANX3から選択できます。

AMP1S1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、04Hになります。

図17-17 コンフィギュラブル・アンプ1マイナス入力選択レジスタ (AMP1S1) のフォーマット

アドレス : F0475H リセット時 : 04H RW

略号	7	6	5	4	3	2	1	0
AMP1S1	AMP1NFB	0	0	0	AMP1NX3	AMP1NX2	AMP1NX1	AMP1NX0

AMP1NFB	オペアンプ1出力端子をマイナス入力端子へ接続し、帰還回路を構成
0	なし
1	接続

AMP1NXm	オペアンプ1マイナス入力端子を汎用アナログ入出力ポート ANXmへ接続 (m = 0-3)
0	なし
1	接続

注意 AMP1NFBビットとAMP1NXmビットの同時1状態は禁止動作です。ボルテージ・フォロア回路を構成する際には、AMP1S1レジスタへ80Hを書き込んでください。(AMP1NFBビットのみ1にしてください。)

17.3.9 コンフィギュラブル・アンプ2マイナス入力選択レジスタ (AMP2S1)

オペアンプ2のマイナス入力端子を接続する汎用アナログ入出力ポートを選択、およびボルテージ・フォロア回路を構成するための帰還回路を設定するレジスタです。

汎用アナログ入出力ポートは、ANX0-ANX5から選択できます注。

AMP2S1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

図17-18 コンフィギュラブル・アンプ2マイナス入力選択レジスタ (AMP2S1) のフォーマット

アドレス : F0479H リセット時 : 10H RW

略号	7	6	5	4	3	2	1	0
AMP2S1	AMP2NFB	0	AMP2NX5	AMP2NX4注	AMP2NX3	AMP2NX2	AMP2NX1	AMP2NX0

AMP2NFB	オペアンプ2出力端子をマイナス入力端子へ接続し、帰還回路を構成
0	なし
1	接続

AMP2NXm	オペアンプ2マイナス入力端子を汎用アナログ入出力ポートANXmへ接続 (m = 0-5)
0	なし
1	接続

注 32ピン製品では、汎用アナログ入出力ポートANX4が省略されているので、必ずAMP2NX4ビットは0を書き込んでください。

注意 AMP2NFBビットとAMP2NXmビットの同時1状態は禁止動作です。ボルテージ・フォロア回路を構成する際には、AMP2S1レジスタへ80Hを書き込んでください。(AMP2NFBビットのみ1にしてください。)

17.3.10 コンフィギュラブル・アンプ0 プラス入力選択レジスタ (AMP0S2)

オペアンプ0のプラス入力端子を接続する汎用アナログ入出力ポートを選択、および12ビットD/Aコンバータの出力信号を入力として設定するレジスタです。

汎用アナログ入出力ポートは、ANX0, ANX1から選択できます。

AMP0S2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、02Hになります。

図17-19 コンフィギュラブル・アンプ0 プラス入力選択レジスタ (AMP0S2) のフォーマット

アドレス : F0472H リセット時 : 02H R/W

略号	7	6	5	4	3	2	1	0
AMP0S2	AMP0PDA	0	0	0	0	0	AMP0PX1	AMP0PX0
AMP0PDA	オペアンプ0プラス入力端子へ12ビットD/Aコンバータ出力信号を入力する							
0	なし							
1	接続							
AMP0PXm	オペアンプ0プラス入力端子を汎用アナログ入出力ポートANXmへ接続 (m = 0, 1)							
0	なし							
1	接続							

注意 汎用アナログ入出力ポートへの接続がある場合、AMP0PDA = 1でもD/Aコンバータは接続されません。

17.3.11 コンフィギュラブル・アンプ1 プラス入力選択レジスタ (AMP1S2)

オペアンプ1のプラス入力端子を接続する汎用アナログ入出力ポートを選択、および12ビットD/Aコンバータの出力信号を入力として設定するレジスタです。

汎用アナログ入出力ポートは、ANX0-ANX3から選択できます。

AMP1S2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、08Hになります。

図17-20 コンフィギュラブル・アンプ1 プラス入力選択レジスタ (AMP1S2) のフォーマット

アドレス : F0476H リセット時 : 08H R/W

略号	7	6	5	4	3	2	1	0
AMP1S2	AMP1PDA	0	0	0	AMP1PX3	AMP1PX2	AMP1PX1	AMP1PX0
AMP1PDA	オペアンプ1プラス入力端子へ12ビットD/Aコンバータ出力信号を入力する							
0	なし							
1	接続							
AMP1PXm	オペアンプ1プラス入力端子を汎用アナログ入出力ポートANXmへ接続 (m = 0-3)							
0	なし							
1	接続							

注意 汎用アナログ入出力ポートへの接続がある場合、AMP1PDA = 1でもD/Aコンバータは接続されません。

17.3.12 コンフィギュラブル・アンプ2プラス入力選択レジスタ (AMP2S2)

オペアンプ2のプラス入力端子を接続する汎用アナログ入出力ポートを選択、および12ビットD/Aコンバータの出力信号を入力として設定するレジスタです。

汎用アナログ入出力ポートは、ANX0-ANX5から選択できます注。

AMP2S2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、20Hになります。

図17-21 コンフィギュラブル・アンプ2プラス入力選択レジスタ (AMP2S2) のフォーマット

アドレス：F047AH リセット時：20H R/W

略号	7	6	5	4	3	2	1	0
AMP2S2	AMP2PDA	0	AMP2PX5	AMP2PX4注	AMP2PX3	AMP2PX2	AMP2PX1	AMP2PX0
AMP2PDA	オペアンプ2プラス入力端子へ12ビットDAコンバータ出力信号を入力する							
0	なし							
1	接続							
AMP2PXm	オペアンプ2プラス入力端子を汎用アナログ入出力ポートANXmへ接続 (m = 0-5)							
0	なし							
1	接続							

注 32ピン製品では、汎用アナログ入出力ポートANX4が省略されているので、必ずAMP2PX4ビットは0を書き込んでください。

注意 汎用アナログ入出力ポートへの接続がある場合、AMP2PDA = 1でもD/Aコンバータは接続されません。

17.3.13 コンフィギュラブル・アンプ n トリミング・レジスタ (AMPnCAL)

オペアンプのオフセット・トリミング・コードを設定するレジスタです注。

トリミングの詳細は、17.4.4 コンフィギュラブル・アンプの動作モード変更を参照してください。

AMPnCALレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-22 コンフィギュラブル・アンプ n トリミング・レジスタ (AMPnCAL) のフォーマット

アドレス : F047CH(AMP0CAL), F047DH(AMP1CAL), F047EH(AMP2CAL) リセット時 : 00H RW

略号	7	6	5	4	3	2	1	0
AMPnCAL	0	AMPnCAL6	AMPnCAL5	AMPnCAL4	AMPnCAL3	AMPnCAL2	AMPnCAL1	AMPnCAL0

注 PGAを使用したオフセット・トリミングは、必ずAMPnSmレジスタから対象のオペアンプをボルテージ・フォロア構成に設定し、AMP0S0レジスタから対象のオペアンプをPGAに接続した上で行ってください。

注意 AMPnCALレジスタの7ビットは、必ず0を書き込んでください。

備考 n : ユニット番号 (n = 0-2)

17.3.14 コンフィギュラブル・アンプ n トリミング・コード・レジスタ (AMPnTRM)

オペアンプのオフセット・トリミング・コードの工場出荷時の初期値が格納されているレジスタです。リセット解除後に、AMPnTRMレジスタの値をAMPnCALレジスタにコピーしてから、コンフィギュラブル・アンプを使用してください。

AMPnTRMレジスタは、8ビット・メモリ操作命令で読み出せます。

図17-23 コンフィギュラブル・アンプ n トリミング・コード・レジスタ (AMPnTRM) のフォーマット

アドレス : F00ACH(AMP0TRM), F00ADH(AMP1TRM), F00AEH(AMP2TRM) リセット時 : 初期トリミング・データ R

略号	7	6	5	4	3	2	1	0
AMPnTRM	0	AMPnTRM6	AMPnTRM5	AMPnTRM4	AMPnTRM3	AMPnTRM2	AMPnTRM1	AMPnTRM0

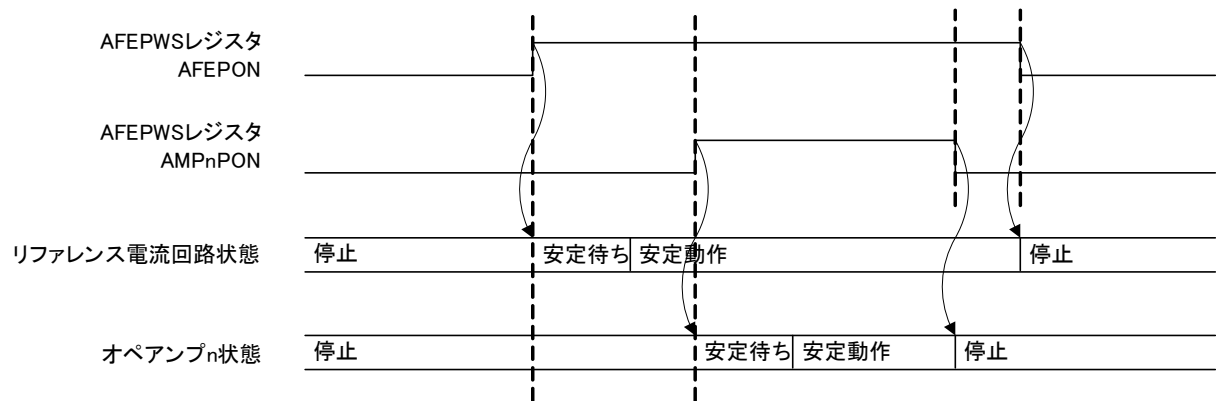
備考 n : ユニット番号 (n = 0-2)

17.4 動作説明

17.4.1 コンフィギュラブル・アンプ制御動作

図17-24にコンフィギュラブル・アンプ制御動作を示します。

図17-24 コンフィギュラブル・アンプ制御動作



備考 n : ユニット番号 (n = 0-2)

17.4.2 コンフィギュラブル・アンプ制御フロー

コンフィギュラブル・アンプを起動、停止させる制御フローを示します。各レジスタの設定例のフロー・チャートを以下に示します。

図 17 - 25 コンフィギュラブル・アンプの起動フロー

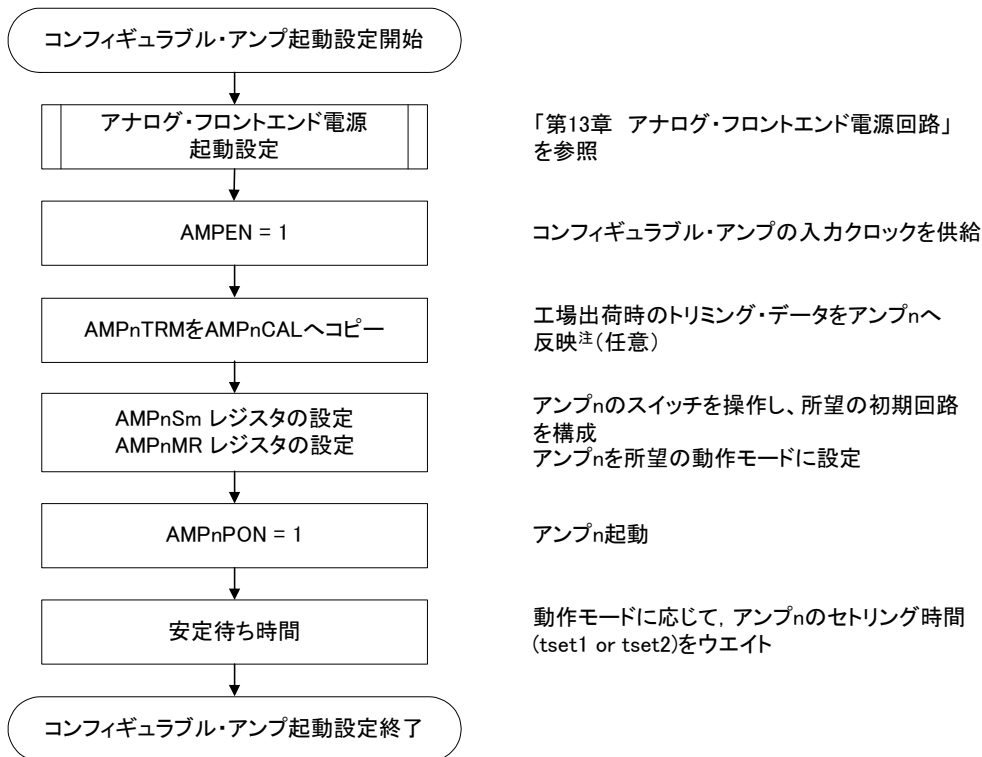
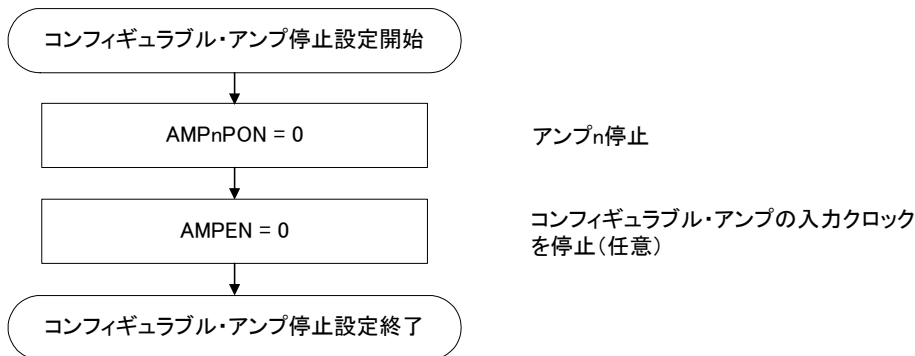


図 17 - 26 コンフィギュラブル・アンプの停止フロー



注 工場出荷時のトリミング・データは、ボルテージ・フォロア回路構成かつ無負荷条件で調整しています。

備考1. n : ユニット番号 (n = 0-2)

- m : m=0 → 出力レジスタ
- m=1 → マイナス入力レジスタ
- m=2 → プラス入力レジスタ

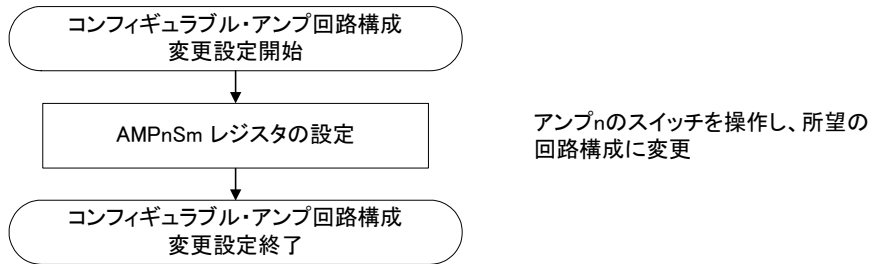
備考2. 安定待ち時間の詳細は、第33章 電気的特性(G: TA = -40 ~ +105 °C)、第34章 電気的特性(M: TA = -40 ~ +125 °C)を参照してください。

17.4.3 スイッチを使用したコンフィギュラブル・アンプの回路構成変更

コンフィギュラブル・アンプは、オペアンプを停止させることなく、初期回路構成からスイッチを切り替えることで任意の構成に回路を組み替えることができます注。設定例のフロー・チャートを以下に示します。

注 スイッチの切り替えはオペアンプ動作中（AMPnPON = 1）でもできますが、ユーザが用意する本製品周辺接続部品へ影響がないように充分考慮した上で実行してください。

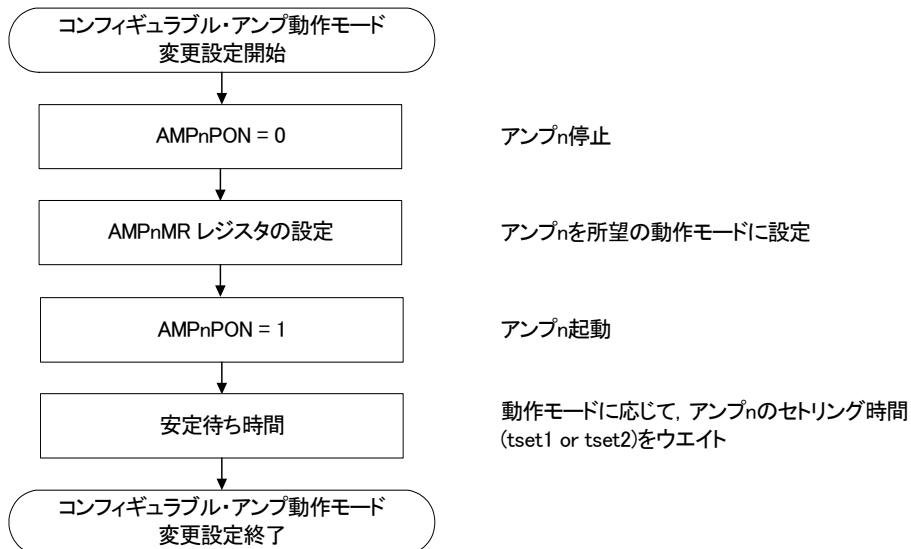
図 17-27 コンフィギュラブル・アンプの回路構成変更フロー



17.4.4 コンフィギュラブル・アンプの動作モード変更

コンフィギュラブル・アンプの動作モードを変更する場合は、必ず対象のアンプの電源を停止する必要があります。設定例のフロー・チャートを以下に示します。

図 17-28 コンフィギュラブル・アンプの動作モード変更フロー



17.4.5 オフセット・トリミング

コンフィギュラブル・アンプは、各オペアンプの入力信号のオフセットをトリミングできます。

RL78/I1Eは、工場出荷時^{注1}にコンフィギュラブル・アンプのオフセット・トリミングを行っています。トリミング・データは、AMPnTRMレジスタに格納されているので、その値をAMPnCALレジスタにコピーすることで各オペアンプのトリミングが可能^{注2}です。

また、AMPnCALレジスタのトリミング・コードをユーザの手で書き換えることで、製品使用環境に合わせたオフセット・トリミングが可能です。

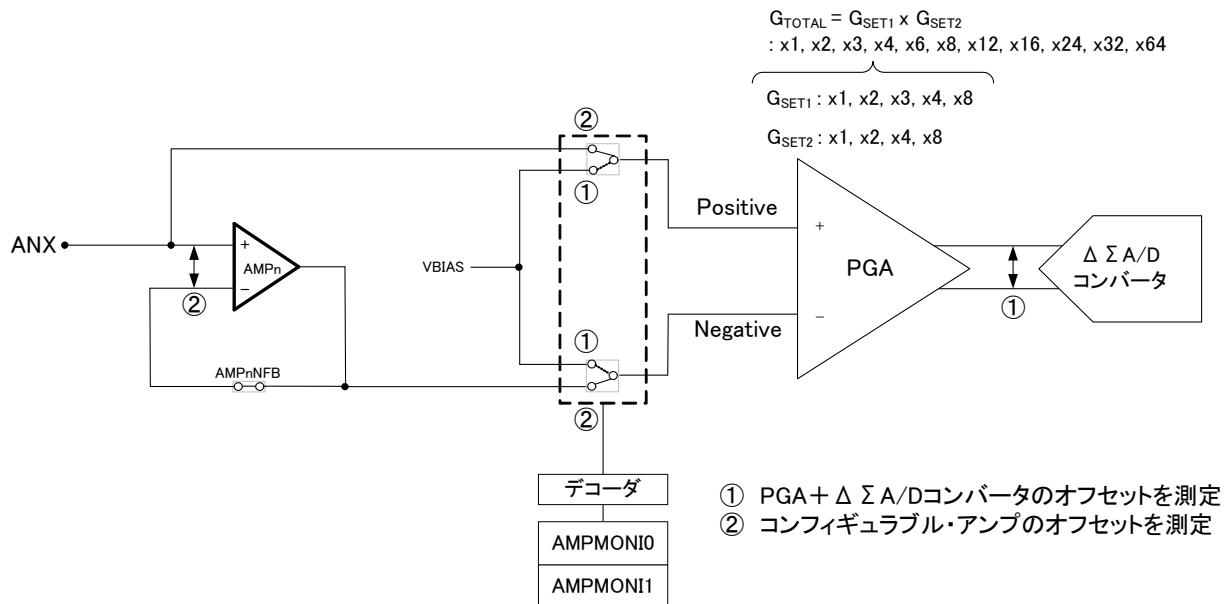
トリミング方法の一例として、図17-29にPGAと24ビットΔΣA/Dコンバータを使用した、オペアンプ入力信号のオフセット・トリミングについて示します^{注3}。

AMP0S0レジスタのAMPMONI1, AMPMONI0ビットによって、オペアンプ入力信号をPGAの入力端子へ接続します。

- 注1. 工場出荷時のトリミング・データは、ボルテージ・フォロア回路構成かつ無負荷条件で調整したものです。
- 注2. リセット信号によって、AMPnCALレジスタは00Hとなります。
- 注3. PGAと24ビットΔΣA/Dコンバータを使用してオフセット・トリミングを行う際には、オペアンプ回路をボルテージ・フォロア構成にして、AMPnS0レジスタのビット0-5には0を設定してください。

備考 n : ユニット番号 (n = 0-2)

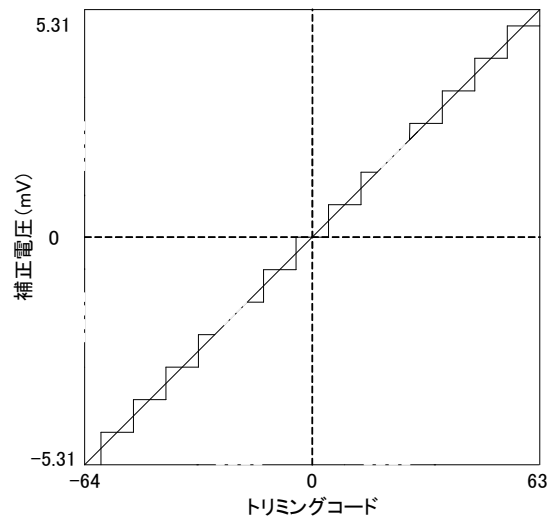
図17-29 オフセット・トリミング回路構成



各オペアンプは、128コードのオフセット・トリミング・コードを持っています。

1コードあたりの補正電圧 : $\frac{10.62[mV]}{128} = 82.97[\mu V]$ (TYP.)

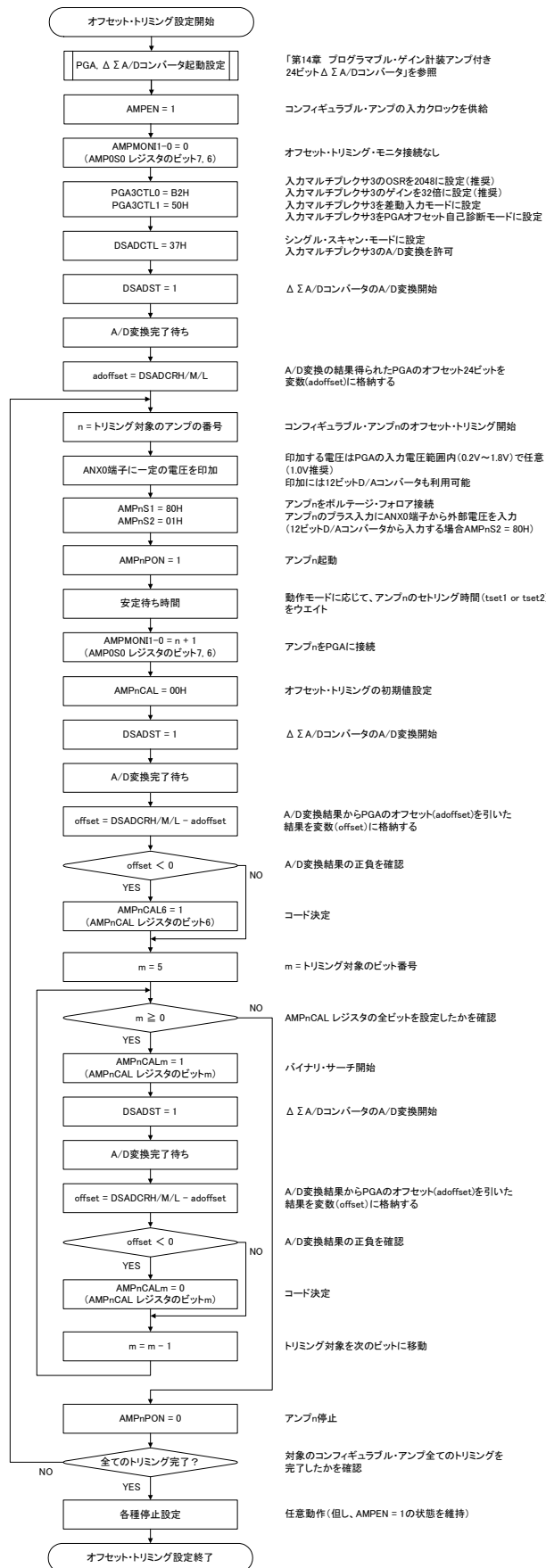
図 17 - 30 トリミングコードと補正電圧の関係



17.4.6 オフセット・トリミング実行フロー

コンフィギュラブル・アンプをプログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma$ /Dコンバータへ接続し、オフセット・トリミングを行うフローを以下に示します。

図 17-31 オフセット・トリミング設定フロー



17.4.7 アナログ／デジタル兼用端子

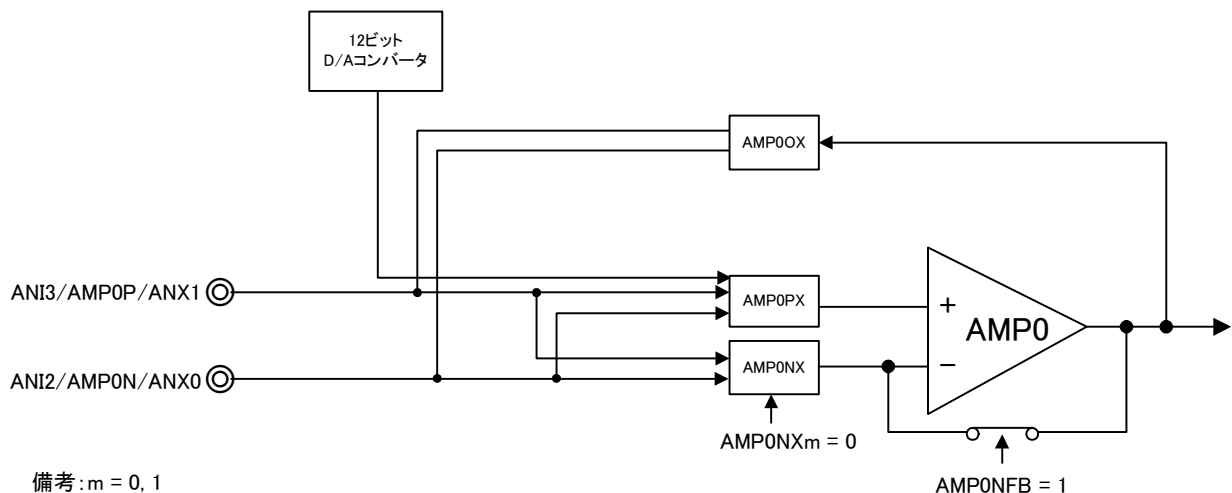
36ピン製品では、ポート・モード・コントロール・レジスタ 1, 4 (PMC1, PMC4) を制御することで、汎用アナログ入出力ポート ANX2, ANX3, ANX4, ANX5 をデジタル入出力ポート P42, P41, P17, P16 として使用できます。

注意 ポート・モード・コントロール・レジスタの設定は、オペアンプ n 停止状態 (AMPnPON = 0) で行ってください。

17.5 コンフィギュラブル・アンプの注意事項

- (1) コンフィギュラブル・アンプの電源端子であるAV_{DD}/AV_{SS}端子にバイパス・コンデンサを付加する際は、できるだけチップの近く（配線が短くなるよう）に配置し、デバイス、基板、周辺部品を含めたノイズ耐性に考慮してください。
- (2) AMPnTRMレジスタからAMPnCALレジスタへコピーした工場出荷時のトリミング・コードは、リセット信号を発生した際に00Hへ上書きされます。リセット後は、再度AMPnTRMレジスタからトリミング・コードをコピーしてください。
- (3) コンフィギュラブル・アンプでは、各オペアンプの出力が同じ汎用アナログ入出力ポートANXでショートすることを防ぐために、出力スイッチを排他接続にしています。
(AMP0 > AMP1 > AMP2の優先順位)
- (4) 同一ユニット内でのAMPnNFBビットとAMPnNX_mビットの同時1状態は禁止動作です。ボルテージ・フォロア回路を構成するには、AMPnS1レジスタへ80Hを書き込んでください（AMPnNFBビットのみ1にしてください）。

図 17 - 32 ボルテージ・フォロア回路構成



- (5) オペアンプ入力がオープンになることを防ぐために、入力スイッチがすべてオフした際はオペアンプの電源を強制的にオフします。
- (6) 12ビットD/Aコンバータをオペアンプの入力端子へ接続するためには、AFEPWSレジスタのDACPONビットを1にしてください。
- (7) デジタル入出力ポート兼用機能は、対象の端子を汎用アナログ入出力ポートANXとして使用しているときにデジタル入出力ポートへ切り替えしないでください。

第18章 12ビットD/Aコンバータ

18.1 12ビットD/Aコンバータの機能

本製品は、12ビットのD/Aコンバータを1チャンネル内蔵しています。

表18-1に12ビットD/Aコンバータの仕様を示します。図18-1に12ビットD/Aコンバータのブロック図を示します。

表18-1 12ビットD/Aコンバータの仕様

項目	内容
分解能	12ビット
出力チャンネル	1チャンネル
消費電力低減機能	モジュールストップ状態への設定が可能
イベント・リンク機能 (入力)	イベント信号入力により、D/A出力値変更が可能

図18-1 12ビットD/Aコンバータのブロック図

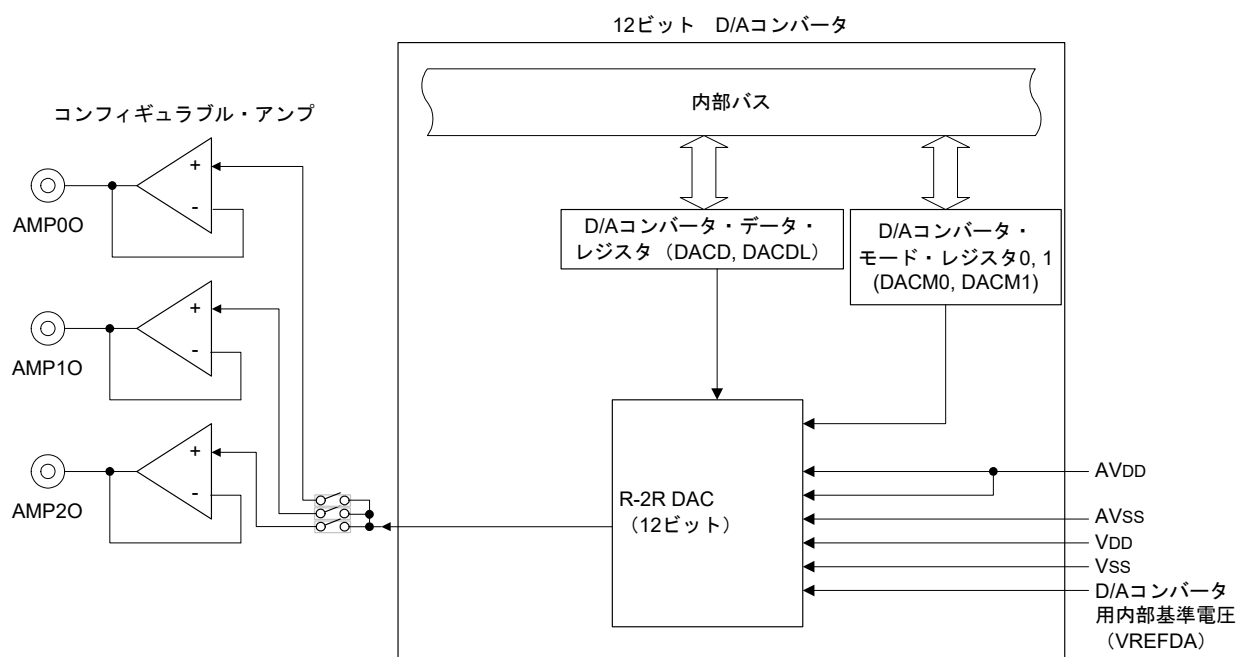


表 18 - 2に12ビットD/Aコンバータで使用する入出力端子を示します。

表 18 - 2 入出力端子

端子名	入出力	機能
V _{DD}	入力	デジタル電源端子
V _{SS}	入力	グランド端子
AV _{DD}	入力	アナログ電源端子
AV _{SS}	入力	アナログ・グランド端子
AMP _n O	出力	コンフィギュラブル・アンプのアナログ出力 (n = 0, 1, 2)
VREFDA	内部接続	D/Aコンバータ用内部基準電圧

18.2 12ビットD/Aコンバータを制御するレジスタ

表18-3に12ビットD/Aコンバータのレジスタ一覧を示します。

表18-3 12ビットD/Aコンバータのレジスタ一覧

項目	構成
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	アナログ・フロントエンド電源選択レジスタ (AFEPWS)
	D/Aコンバータ・モード・レジスタ0 (DACM0)
	D/Aコンバータ・モード・レジスタ1 (DACM1)
	D/Aコンバータ・データ・レジスタ (DACD)
	D/Aコンバータ・データ・レジスタL (DACDL)

18.2.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用する場合は、必ずビット7 (DACEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	AMPEN	0	DTCEN	PGAEN	AFEEN	TRJ0EN
DACEN	12ビットD/Aコンバータの入カクロック供給の制御							
0	入カクロック供給停止 ・12ビットD/Aコンバータで使用するSFRへのライト不可 ・12ビットD/Aコンバータはリセット状態							
1	入カクロック供給 ・12ビットD/Aコンバータで使用するSFRへのリード/ライト可							

注意1. D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。DACEN = 0の場合は、

D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

注意2. ビット4には必ず"0"を設定してください。

18.2.2 アナログ・フロントエンド電源選択レジスタ (AFEPWS)

AFEPWSレジスタは、12ビットD/Aコンバータ部の電源の制御を設定するレジスタです。

AFEPWSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-3 アナログ・フロントエンド電源選択レジスタ (AFEPWS)のフォーマット

アドレス : F0440H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AFEPWS	DACPON	AMP2PON	AMP1PON	AMP0PON	0	PGAPON	0	AFEPON
DACPON	12ビットD/Aコンバータ部の電源制御							
0	パワーオフ (初期値)							
1	パワーオン							

注意 ビット1, 3には必ず“0”を設定してください。

ビット0, 2, 4-6は13.3.2アナログ・フロントエンド電源選択レジスタ (AFEPWS) を参照してください

18.2.3 D/Aコンバータ・モード・レジスタ0 (DACM0)

D/Aコンバータの動作を制御するレジスタです。

DACM0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-4 D/Aコンバータ・モード・レジスタ0(DACM0)のフォーマット

アドレス : F0480H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DACM0	DACTMD	0	0	0	0	0	0	DACRES
DACTMD	トリガ・モードを選択							
0	ソフトウェア・トリガ・モード							
1	ハードウェア・トリガ・モード							
DACRES	D/Aコンバータの分解能を選択							
0	12ビット・モード							
1	8ビット・モード							

18.2.4 D/Aコンバータ・モード・レジスタ1 (DACM1)

D/Aコンバータの動作を制御するレジスタです。

DACM1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-5 D/Aコンバータ・モード・レジスタ1(DACM1)のフォーマット

アドレス : F0481H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DACM1	0	0	0	0	0	0	0	DACVRF
DACVRF	D/Aコンバータの基準電圧を選択							
0	AV _{DD} を選択							
1	D/Aコンバータ用内部基準電圧 (VREFDA) (1.45 V) を選択							

18.2.5 D/Aコンバータ・データ・レジスタ (DACD, DACDL)

DACDは、D/A変換データを格納する16ビットのレジスタです。DACDLは、D/A変換データを格納する8ビットのレジスタです。

12ビット・モード選択時 (DACRES = 0) は、DACDを使用します。

8ビット・モード選択時 (DACRES = 1) は、DACDLを使用します。

DACDレジスタは、16ビット・メモリ操作命令で設定します。

DACDLレジスタは、8ビット・メモリ操作命令で設定します。

リセットにより、0000H/00Hになります。

図18-6 D/Aコンバータ・データ・レジスタ (DACD, DACDL)のフォーマット

アドレス : F0482H	リセット時 : 0000H								R/W
略号	15	14	13	12	11	10	9	8	
DACD	0	0	0	0	DACDR11	DACDR10	DACDR9	DACDR8	
	7	6	5	4	3	2	1	0	
	DACDR7	DACDR6	DACDR5	DACDR4	DACDR3	DACDR2	DACDR1	DACDR0	
アドレス : F0482H	リセット時 : 00H							R/W	
略号	7	6	5	4	3	2	1	0	
DACDL	DACDR7	DACDR6	DACDR5	DACDR4	DACDR3	DACDR2	DACDR1	DACDR0	

18.3 動作説明

18.3.1 通常動作（ソフトウェア・トリガ・モード）

DACDまたはDACDLレジスタへのライト動作を起動トリガとして、D/A変換を行います。

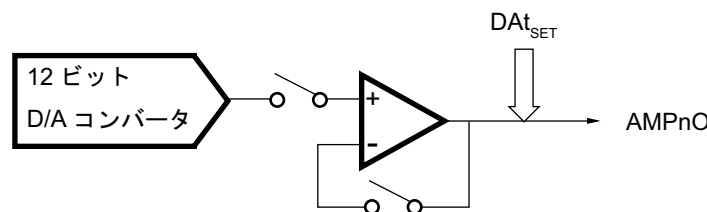
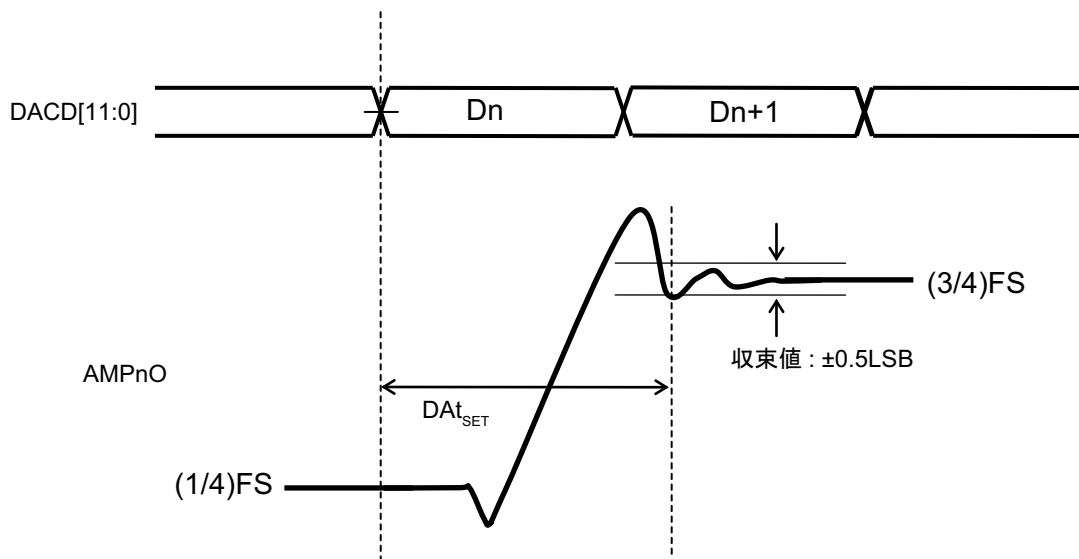
以下にその設定動作を示します。

- (1) D/A変換を行うためのデータを、DACDまたはDACDLレジスタに設定します。
- (2) D/A変換が開始されます。セトリング時間（DA_{tset}）時間経過後、変換結果がコンフィギュラブル・アンプ出力端子（AMP_{nO} (n = 0-2)) から出力されます。DACDまたはDACDLレジスタを書き換えるまで、この変換結果が出力され続けます。出力値は第33章 電気的特性(G: TA = -40～+105 °C)、第34章 電気的特性(M: TA = -40～+125 °C)を参照してください。
- (3) DACDまたはDACDLレジスタを書き換えると、ただちに変換が開始されます。DA_{tset}時間経過後、変換結果が出力されます。

図18-7にD/A変換の動作タイミングを示します。また、図18-8にデジタル入力とアナログ出力の関係を示します。

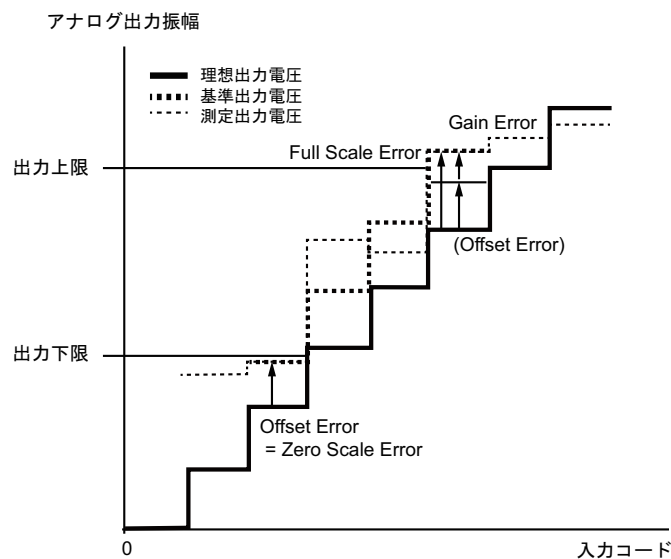
注意 セトリング時間とは、1/4フルスケール電圧から3/4フルスケール電圧へ変化させたときの安定時間です。12ビットD/Aコンバータのセトリング時間測定点は、D/Aコンバータをコンフィギュラブル・アンプのプラス入力に接続した際のコンフィギュラブル・アンプ出力端子です。無限遠時間の3/4フルスケール電圧を安定基準電圧とし、基準電圧±0.5 LSB以内に安定するまでの時間を測定しています。D/Aコンバータのセトリング時間には、コンフィギュラブル・アンプのセトリング時間を含みます。

図18-7 12ビットD/Aコンバータの動作例



備考 D/Aコンバータを12ビット・モードでソフトウェア・トリガ・モードで動作させた場合（D/Aコンバータ・モード・レジスタ0(DACM0) = 00H）です。

図18-8 デジタル入力とアナログ出力の関係



注意1. 12ビットD/Aコンバータのオフセット誤差は、出力電圧下限（ゼロスケール）の時の理想出力電圧と基準出力電圧の差を示します。

注意2. 12ビットD/Aコンバータのゲイン誤差は、出力電圧上限（フルスケール）の時の理想出力電圧と基準出力電圧の差からオフセット誤差を引いたものを示します。

18.3.2 イベント信号受信による動作（ハードウェア・トリガ・モード）

イベント・リンク・コントローラ（ELC）からのイベント信号を起動トリガとして、D/A変換を行います。以下にその設定動作を示します。

- (1) DACTMDビットに1を書き込み、ハードウェア・トリガ・モードに設定します。
- (2) DACD または DACDL レジスタにD/A変換を行うためのデータを設定します。ソフトウェア・トリガ・モードと異なり、データ設定のタイミングではD/A変換は開始されません。
- (3) ELCのELSELRnレジスタにリンクするイベント信号07Hを設定します。
- (4) イベント・リンク信号がアサートされると、D/A変換が開始され、セトリング時間（DATset）時間経過後、変換結果がコンフィギュラブル・アンプ出力端子（AMPnO (n = 0-2)）から出力されます。
- (5) 12ビットD/Aコンバータのイベント・リンク動作を停止するときは、ELSELRnレジスタに00Hを設定してください。
- (6) イベントに連動して連続的にD/A変換を行う場合は、次のイベント・リンク信号がアサートされる前に、DACDまたはDACDLレジスタに新しいデータを設定してください。

18.3.3 12ビットD/Aコンバータ制御フロー

12ビットD/Aコンバータの起動および停止のフロー・チャートを以下に示します。

図 18 - 9 12ビットD/Aコンバータの起動フロー

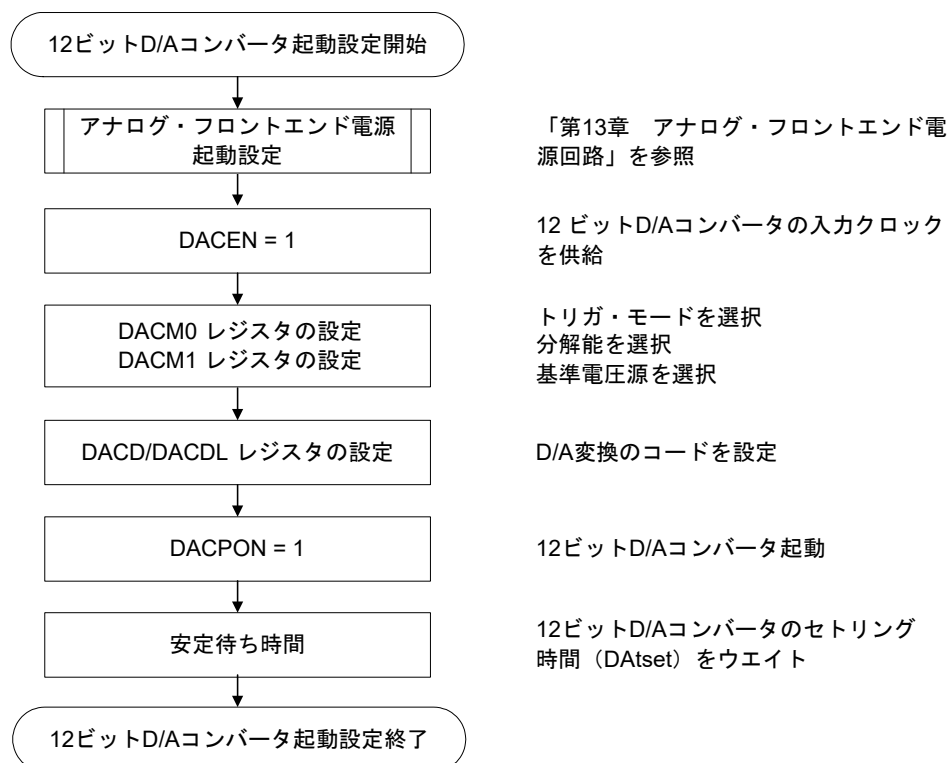
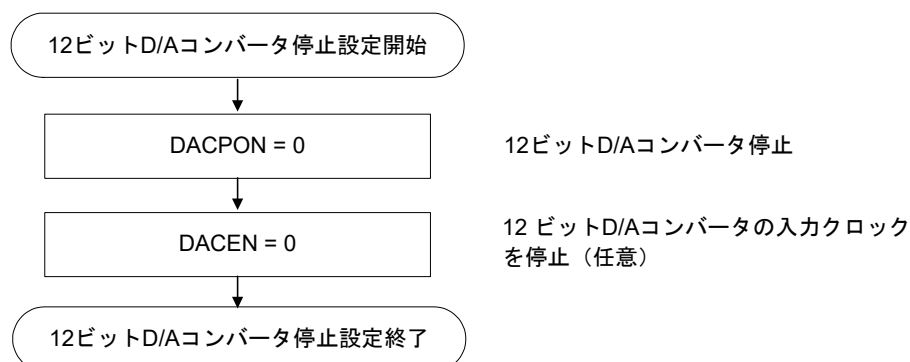


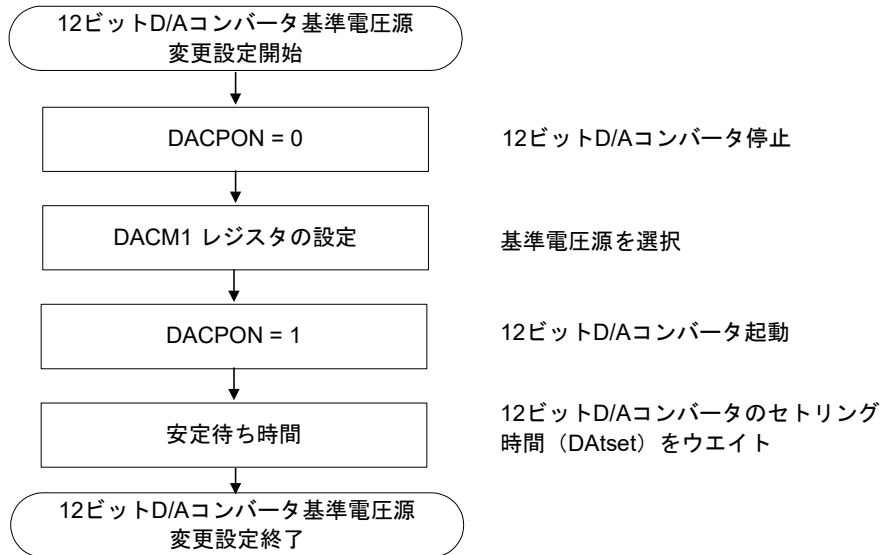
図 18 - 10 12ビットD/Aコンバータの停止フロー



18.3.4 12ビットD/Aコンバータの基準電圧源変更

12ビットD/Aコンバータの基準電圧源を変更する場合は、必ずD/Aコンバータの電源を停止する必要があります。設定例のフロー・チャートを以下に示します。

図18 - 11 12ビットD/Aコンバータの基準電圧源変更フロー



18.4 12ビットD/Aコンバータの注意事項

18.4.1 CPUスタンバイ状態の12ビットD/Aコンバータの動作

各CPUスタンバイ状態において、12ビットD/Aコンバータは動作可能です。STOPモード、SNOOZEモードでは、STOPモード設定前の状態を継続します。

18.4.2 AFE電源オフ時の12ビットD/Aコンバータの状態

AFE電源オフ状態 (AFEPON = 0) では、12ビットD/Aコンバータ出力およびコンフィギュラブル・アンプ出力はHi-Zとなります。

第19章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに4つのシリアル・チャンネルを持ちます。各チャンネルは簡易SPI(CSI注)、UART、簡易I²Cの通信機能を実現できます。

RL78/I1Eで対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応) (SNOOZE対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	—		—

チャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。

19.1.2 UART (UART0, UART1)

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボー・レートを使用して)データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み(INTPO)を組み合わせるとLIN-busにも対応可能です。

具体的な設定例は、「19.7 UART (UART0, UART1)通信の動作」を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSBファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

UART0受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

UART0(ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus機能]

- ウェイクアップ信号検出
 - ブレーク・フィールド(BF)検出
 - シンク・フィールド測定、ボー・レート算出
- } 外部割り込み(INTPO),
タイマ・アレイ・ユニットを使用

注 9ビット・データ長は、UART0のみ対応しています。

19.1.3 簡易 I²C (IIC00, IIC01)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「19.9 簡易 I²C (IIC00, IIC01) 通信の動作」を参照して下さい。

[データ送受信]

- マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能^注, ACK 検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACKエラー, オーバラン・エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- ウェイト検出機能

注 最終データの受信時は、SOEmnビット(シリアル出力許可レジスタ m (SOEm))ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、19.9.3 (2) 処理フローを参照してください。

19.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 19-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット注 ¹
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn)の低位8ビットまたは9ビット注 ^{1,2}
シリアル・クロック入出力	SCK00, SCK01 端子 (簡易SPI用), SCL00, SCL01 端子 (簡易I ² C用)
シリアル・データ入力	SI00, SI01 端子 (簡易SPI用), RxD0 (LIN-bus対応UART用), RxD1 端子 (UART用)
シリアル・データ出力	SO00, SO01 端子 (簡易SPI用), TxD0 (LIN-bus対応UART用), TxD1 端子 (UART用)
シリアル・データ入出力	SDA00, SDA01 端子 (簡易I ² C用)
スレーブ選択入力	SSI00 端子 (スレーブセレクト入力機能用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> • 周辺イネーブル・レジスタ 0 (PER0) • シリアル・クロック選択レジスタ m (SPSm) • シリアル・チャンネル許可ステータス・レジスタ m (SEm) • シリアル・チャンネル開始レジスタ m (SSm) • シリアル・チャンネル停止レジスタ m (STm) • シリアル出力許可レジスタ m (SOEm) • シリアル出力レジスタ m (SOm) • シリアル出力レベル・レジスタ m (SOLm) • シリアル・スタンバイ・コントロール・レジスタ m (SSCm) • 入力切り替え制御レジスタ (ISC) • ノイズ・フィルタ許可レジスタ 0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> • シリアル・データ・レジスタ mn (SDRmn) • シリアル・モード・レジスタ mn (SMRmn) • シリアル通信動作設定レジスタ mn (SCRmn) • シリアル・ステータス・レジスタ mn (SSRmn) • シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) <ul style="list-style-type: none"> • ポート入力モード・レジスタ 1 (PIM1) • ポート出力モード・レジスタ 1 (POM1) • ポート・モード・レジスタ 1 (PM1) • ポート・レジスタ 1 (P1)

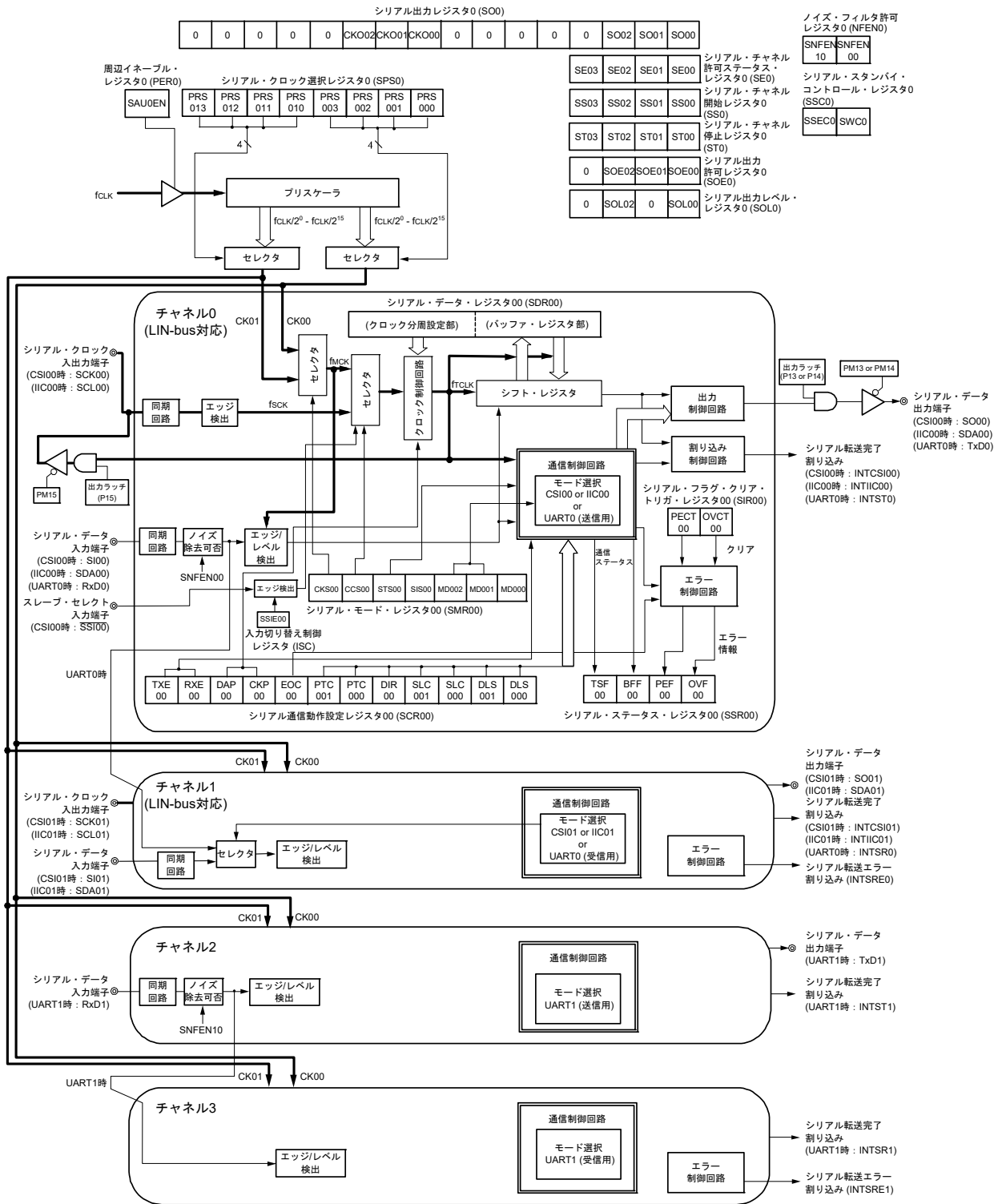
(注. 備考は次ページにあります。)

- 注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- ・チャンネル0, 1の場合 : mn = 00, 01の場合 : 下位9ビット
 - ・上記以外の場合 : 下位8ビット
- 注2. シリアル・データ・レジスタ mn (SDRmn)の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。
- ・CSIp通信時 SIOp (CSIpデータ・レジスタ)
 - ・UARTq受信時 RXDq (UARTq受信データ・レジスタ)
 - ・UARTq送信時 TXDq (UARTq送信データ・レジスタ)
 - ・IICr通信時 SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01)
q : UART番号 (q = 0, 1) r : IIC番号 (r = 00, 01)

図19-1にシリアル・アレイ・ユニット0のブロック図を示します。

図19-1 シリアル・アレイ・ユニット0のブロック図



19.2.1 シフト・レジスタ

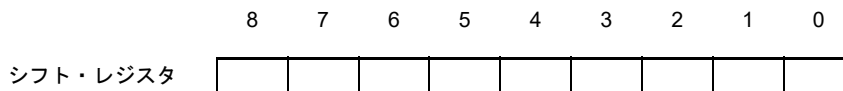
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット(ビット0~8)を使用します^注。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn (SDRmn)の下位8/9ビットを使用します。



注 9ビット・データ長は、UART0のみ対応しています。

19.2.2 シリアル・データ・レジスタmn (SDRmn)の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

ビット8-0(下位9ビット)^{注1}、またはビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック(fmck)の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタmn (SCRmn)のビット0, 1 (DLSmn0, DLSmn1)の設定によって、次のようになります。

- 7ビット・データ長(SDRmnレジスタのビット0-6に格納)
- 8ビット・データ長(SDRmnレジスタのビット0-7に格納)
- 9ビット・データ長(SDRmnレジスタのビット0-8に格納)^{注1}

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^{注2}です。

- CSIp通信時 SIOp (CSIpデータ・レジスタ)
- UARTq受信時 RXDq (UARTq受信データ・レジスタ)
- UARTq送信時 TXDq (UARTq送信データ・レジスタ)
- IICr通信時 SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmnレジスタは0000Hになります。

注1. 9ビット・データ長は、UART0のみ対応しています。

注2. 動作停止(SEmn = 0)時は、8ビット・メモリ操作命令によるSDRmn [7:0]の書き換えは禁止です(SDRmn [15:9]がすべてクリア(0)されます)。

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

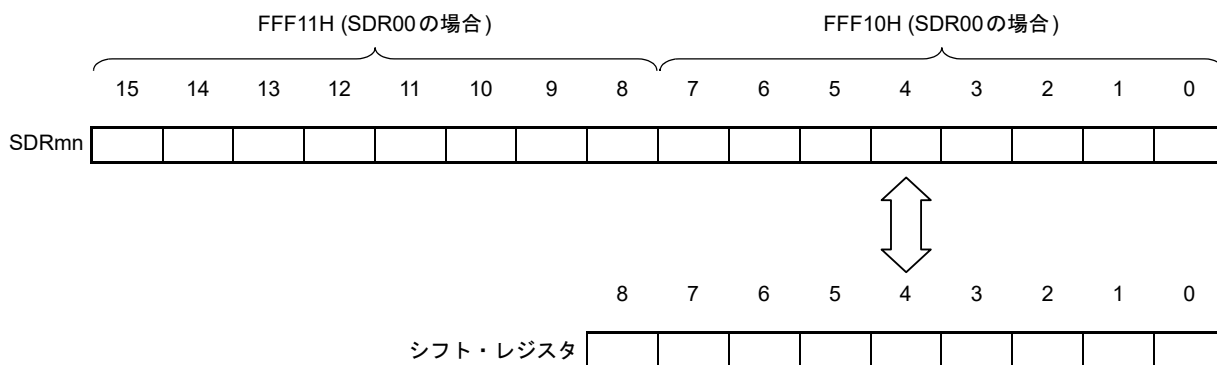
備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 01)

q : UART番号(q = 0, 1) r : IIC番号(r = 00, 01)

図 19 - 2 シリアル・データ・レジスタ mn (SDRmn)(mn = 00, 01)のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)

リセット時 : 0000H R/W

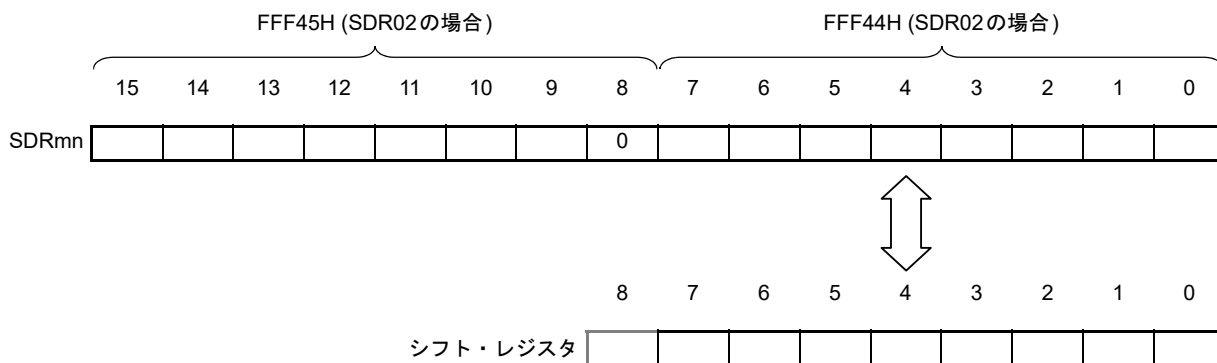


備考 SDRmnレジスタの上位7ビットの機能については、19.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図 19 - 3 シリアル・データ・レジスタ mn (SDRmn)(mn = 02, 03)のフォーマット

アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),

リセット時 : 0000H R/W



注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、19.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

19.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャンネル開始レジスタ m (SSm)
- シリアル・チャンネル停止レジスタ m (STm)
- シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOm)
- シリアル・スタンバイ・コントロール・レジスタ m (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ1 (PIM1)
- ポート出力モード・レジスタ1 (POM1)
- ポート・モード・レジスタ1 (PM1)
- ポート・レジスタ1 (P1)

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3)

19.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN)に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図19-4 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	0	0	SAU0EN	TAU1EN	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入カクロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります(入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート入力モード・レジスタ1 (PIM1)、ポート出力モード・レジスタ1 (POM1)、ポート・モード・レジスタ1 (PM1)、ポート・レジスタ1 (P1)は除く)。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

注意2. ビット3, 4, 6には必ず"0"を設定してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3)

19.3.2 シリアル・クロック選択レジスタ m (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図19-5 シリアル・クロック選択レジスタ m (SPSm)のフォーマット

アドレス : F0126H, F0127H (SPS0)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0		動作クロック (CKmk)の選択注				
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.8 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.9 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注 シリアル・アレイ・ユニット(SAU)動作中にfCLKで選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、SAUの動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. m : ユニット番号 (m = 0)

備考3. k = 0, 1

19.3.3 シリアル・モード・レジスタ mn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fmck)の選択、シリアル・クロック (fsck)入力の使用可否、スタート・トリガ設定、動作モード (簡易SPI(CSI), UART, 簡易I²C)設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。ただし MDmn0 ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図19-6 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SISmn 0注	1	0	0	MD mn2	MD mn1	MD mn0
CKS mn	チャンネルnの動作クロック (fmck)の選択															
0	SPSmレジスタで設定した動作クロックCKm0															
1	SPSmレジスタで設定した動作クロックCKm1															
動作クロック (fmck)は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (fCLK)を生成します。																
CCS mn	チャンネルnの転送クロック (fCLK)の選択															
0	CKSmnビットで指定した動作クロックfmckの分周クロック															
1	SCKp端子からの入力クロックfsck (簡易SPI(CSI)モードのスレーブ転送)															
転送クロックfCLKは、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (fmck)の分周設定を行います。																
STS mn注	スタート・トリガ要因の選択															
0	ソフトウェア・トリガのみ有効 (簡易SPI(CSI), UART送信, 簡易I ² C時に選択)															
1	RxDq端子の有効エッジ(UART受信時に選択)															
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。																

注 SMR01, SMR03レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。
ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01)
q : UART番号 (q = 0, 1) r : IIC番号 (r = 00, 01)

図19-7 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STS mn注	0	SISmn 0注	1	0	0	MD mn2	MD mn1	MD mn0
SISmn n0注	UARTモードでのチャンネルnの受信データのレベル反転の制御															
0	立ち下がリエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。															
1	立ち上がリエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。															
MD mn2	MD mn1	チャンネルnの動作モードの設定														
0	0	簡易SPI(CSI)モード														
0	1	UARTモード														
1	0	簡易I ² Cモード														
1	1	設定禁止														
MD mn0	チャンネルnの割り込み要因の選択															
0	転送完了割り込み															
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)															
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。																

注 SMR01, SMR03レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。
ビット5には、必ず1を設定してください。備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 01)
q : UART番号(q = 0, 1) r : IIC番号(r = 00, 01)

19.3.4 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmnレジスタは0087Hになります。

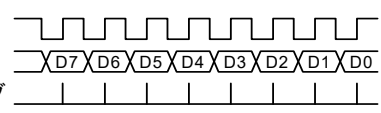
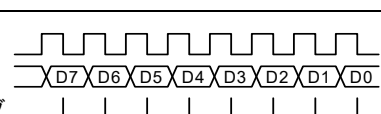
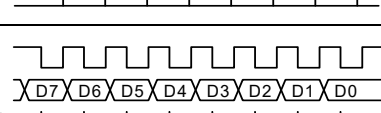
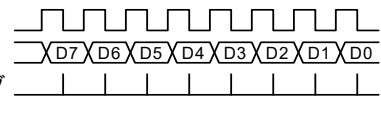
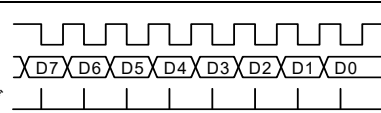
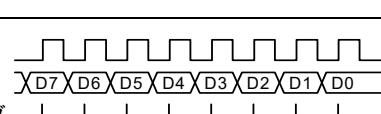
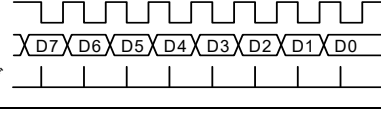
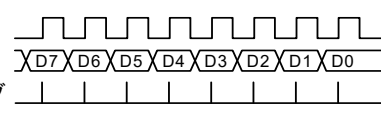
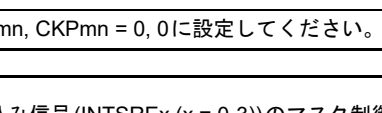
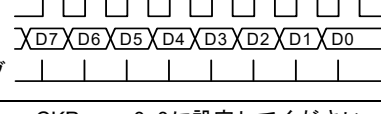
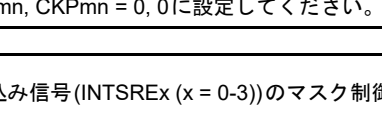
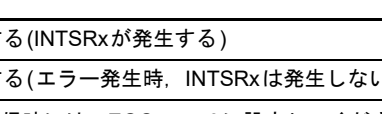
図19-8 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0
-------	-----------	-----------	-----------	-----------	---	-----------	------------	------------	-----------	---	--------------	------------	---	---	--------------	------------

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易SPI(CSI)モードでのデータとクロックの位相選択	タイプ
0	0	SCKp  SOp  SIp入カタイミング 	1
0	1	SCKp  SOp  SIp入カタイミング 	2
1	0	SCKp  SOp  SIp入カタイミング 	3
1	1	SCKp  SOp  SIp入カタイミング 	4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号(INTSREx (x = 0-3))のマスク制御
0	エラー割り込みINTSRExの発生を禁止する(INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する(エラー発生時、INTSRxは発生しない)

簡易SPI(CSI)モード、簡易I²Cモード、UART送信時には、EOCmn = 0に設定してください注3。

- 注1. SCR00, SCR02レジスタのみ。
- 注2. SCR00, SCR01レジスタのみ。その他は1固定になります。
- 注3. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください(SCR01, SCR03レジスタはビット5も0に設定してください)。
 ビット2には、必ず1を設定してください。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0-3) p : CSI番号(p = 00, 01)

図19-9 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0
-------	-----------	-----------	-----------	-----------	---	-----------	------------	------------	-----------	---	--------------	------------	---	---	--------------	------------

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI(CSI)モード, 簡易I²Cモード時には, 必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	簡易SPI(CSI), UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易I²Cモード時には, 必ずDIRmn = 0に設定してください。

SLCm n1注1	SLC mn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10, 12のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時, 簡易I²Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1)に設定してください。
 簡易SPI(CSI)モード時には, ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0)に設定してください。
 UART送信時は, 1ビット (SLCmn1, SLCmn0 = 0, 1)又は2ビット (SLCmn1, SLCmn0 = 1, 0)に設定してください。

DLSm n1注2	DLS mn0	簡易SPI(CSI), UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmn レジスタのビット0-8に格納)(UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmn レジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmn レジスタのビット0-7に格納)
その他		設定禁止

簡易I²Cモード時には, 必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

注1. SCR00, SCR02レジスタのみ。

注2. SCR00, SCR01レジスタのみ。その他は1固定になります。

注3. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には, 必ず0を設定してください (SCR01, SCR03 レジスタはビット5も0に設定してください)。
 ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01)

19.3.5 シリアル・データ・レジスタ mn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

SDR00, SDR01のビット8-0 (下位9ビット), またはSDR02, SDR03のビット7-0 (下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9 (上位7ビット)の部分は動作クロック (f_{mck}) の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9 (上位7ビット)で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00, SDR01のビット15-9 (上位7ビット)に“0000000B”を設定してください。SCKp 端子からの入力クロック f_{sck} (簡易 SPI(CSI) モードのスレーブ転送)が転送クロックとなります。

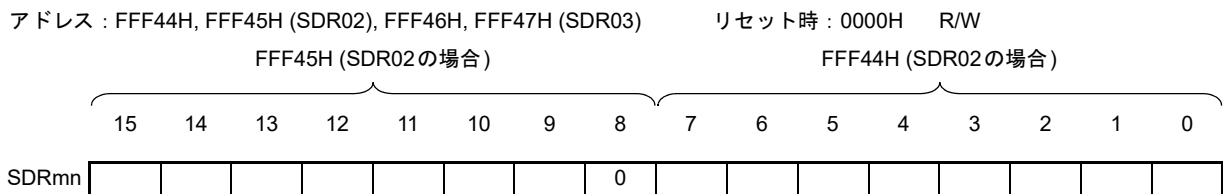
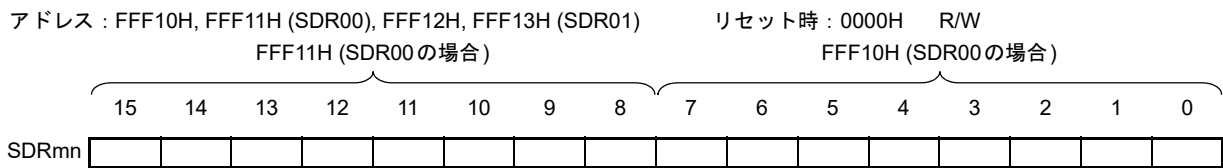
SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SEmn = 0) のときのみ有効です。動作中 (SEmn = 1)にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

図 19 - 10 シリアル・データ・レジスタ mn (SDRmn)のフォーマット



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	f _{mck} /2
0	0	0	0	0	0	1	f _{mck} /4
0	0	0	0	0	1	0	f _{mck} /6
0	0	0	0	0	1	1	f _{mck} /8
.
.
.
1	1	1	1	1	1	0	f _{mck} /254
1	1	1	1	1	1	1	f _{mck} /256

(注意. 備考は次ページにあります。)

- 注意1. SDR02, SDR03レジスタのビット8は、必ず0を設定してください。
- 注意2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。
- 注意3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
- 注意4. 動作停止(SEmn = 0)時は、8ビット・メモリ操作命令によるSDRmn [7:0]の書き換えは禁止です(SDRmn [15:9]がすべてクリア(0)されます)。
- 備考1. SDRmn レジスタの下位 8/9 ビットの機能については、19.2 シリアル・アレイ・ユニットの構成を参照してください。
- 備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0-3)

19.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット(FECTmn, PECTmn, OVCTmn)を1にセットすると、シリアル・ステータス・レジスタ mn (SSRmn)の対応ビット (FEFmn, PEFmn, OVFmn)が0にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐSIRmn レジスタもクリアされます。

SIRmn レジスタは、16ビット・メモリ操作命令で設定します。

またSIRmn レジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmn レジスタは0000Hになります。

図19-11 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03), リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECT mn注	PEC Tmn	OVC Tmn
FEC Tmn 注	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmn レジスタの FEFmn ビットを0にクリアする															
PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmn レジスタの PEFmn ビットを0にクリアする															
OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmn レジスタの OVFmn ビットを0にクリアする															

注 SIR01, SIR03 レジスタのみ。

注意 ビット 15-3 (SIR00, SIR02 レジスタの場合は、ビット 15-2)には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3)

備考2. SIRmn レジスタの読み出し値は常に0000Hとなります。

19.3.7 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図 19 - 12 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット(1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn注	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> ・ STmレジスタのSTmnビットに1を設定時(通信停止状態), もしくはSSmレジスタのSSmnビットに1を設定時(通信待機状態) ・ 通信動作が終了時	
<セット条件> 通信動作を開始時	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件> ・ 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき ・ 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき ・ STmレジスタのSTmnビットに1を設定時(通信停止状態), SSmレジスタのSSmnビットに1を設定時(通信許可状態)。	
<セット条件> ・ SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信, 送受信モード時)の状態 でSDRmnレジスタに送信データを書き込んだとき ・ SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態 でSDRmnレジスタに受信データが格納されたとき ・ 受信エラー時	

注 SSR01, SSR03レジスタのみ。

注意 SNOOZEモード(SWCm = 1)で簡易SPI(CSI)受信する場合、BFFmnフラグは動作しません。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3)

図19-13 シリアル・ステータス・レジスタmn (SSRmn)のフォーマット(2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn注	PEF mn	OVF mn
-------	---	---	---	---	---	---	---	---	---	-----------	-----------	---	---	------------	-----------	-----------

FEF mn注	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)
<クリア条件> SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時), またはACK未検出発生(I ² C送信時)
<クリア条件> SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき(パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき(ACK未検出)	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・簡易SPI(CSI)モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注 SSR01, SSR03レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー(OVEmn = 1)と検出されます。

注意2. SNOOZEモード(SWCm = 1)で簡易SPI(CSI)受信する場合、OVFmnフラグは動作しません。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3)

19.3.8 シリアル・チャンネル開始レジスタ m (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(SSmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が1にセット(動作許可状態)されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図 19 - 14 シリアル・チャンネル開始レジスタ m (SSm)のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0	SS0	SS0	SS0
													3	2	1	0

SSm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する ^注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、fmckの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3)

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

19.3.9 シリアル・チャンネル停止レジスタ m (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(STmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が0にクリア(動作停止状態)されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図 19 - 15 シリアル・チャンネル停止レジスタ m (STm)のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0 3	ST0 2	ST0 1	ST0 0

STm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意 ST0レジスタのビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3)

備考2. STmレジスタの読み出し値は常に0000Hとなります。

19.3.10 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可/停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm)の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ m (STm)の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のCKOmnビット(チャンネルnのシリアル・クロック出力)の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図19-16 シリアル・チャンネル許可ステータス・レジスタ m (SEm)のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

SEm n	チャンネルnの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-3)

19.3.11 シリアル出力許可レジスタ m (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図19-17 シリアル出力許可レジスタ m (SOEm)のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE02	SOE01	SOE00

SOE mn	チャンネルnのシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 SOE0レジスタのビット15-3には、必ず0を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-2)

19.3.12 シリアル出力レジスタ m (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止(SOEmn = 0)時のみ可能です。シリアル出力許可(SOEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止(SEmn = 0)時のみ可能です。チャンネル動作許可(SEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能等のシリアル・インタフェース機能以外として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0F0FHになります。

図 19 - 18 シリアル出力レジスタ m (SOm)のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	1	CKO 01	CKO 00	0	0	0	0	1	SO 02	SO 01	SO 00

CKO mn	チャンネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SO mn	チャンネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。また、ビット11, 10, 3には、必ず1を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0-2)

19.3.13 シリアル出力レベル・レジスタ m (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI(CSI)モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可(SOEmn = 1)時のみ端子出力に反映されます。シリアル出力禁止(SOEmn = 0)時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000Hになります。

図19-19 シリアル出力レベル・レジスタ m (SOLm)のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02	0	SOL 00

SOL mn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

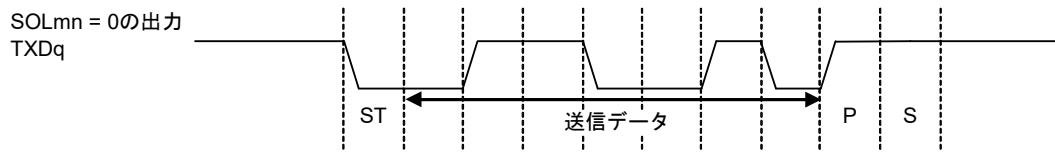
注意 SOL0レジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 2)

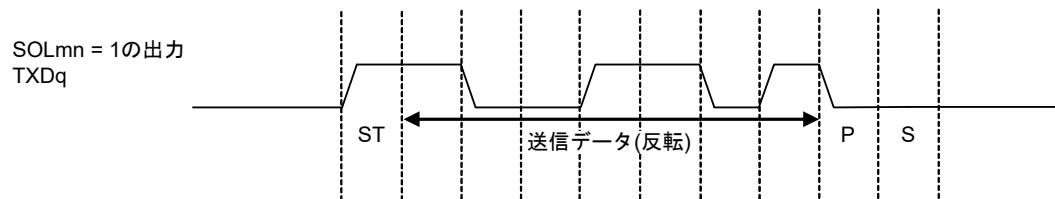
UART送信時、送信データのレベル反転例を図19-20に示します。

図 19 - 20 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2)

19.3.14 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

SSC0 レジスタは、CSI00、UART0のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZEモード)を制御するレジスタです。

SSCm レジスタは、16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは、SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSCmレジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- CSI00の場合：～1 Mbps
- UART0の場合：4800 bpsのみ

図 19 - 21 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)のフォーマット

アドレス：F0138H (SSC0)

リセット時：0000H RW

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み(INTSRE0)発生許可
1	エラー割り込み(INTSRE0)発生停止
<ul style="list-style-type: none"> • SNOOZEモード時のUART受信で、SWCm = 1かつEOCmn = 1の時のみ、SSECmビットを1/0に設定することができます。その他の場合は、SSECmビットを0に設定してください。 • SSECm, SWCm = 1, 0は設定禁止です。 	

SWCm	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
<ul style="list-style-type: none"> • STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI(CSI)/UARTの受信動作を行います(SNOOZEモード)。 • SNOOZEモード機能は、CPU／周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • SNOOZEモードを使用する場合でも、通常動作モード時はSWCmを0に設定し、STOPモードへ移行する直前にSWCmを1に変更してください。 <p>またSTOPモードから通常動作モードへ復帰後、必ずSWCmを0に変更してください。</p>	

注意 SSECm, SWCm = 1, 0は設定禁止です。

表 19 - 2 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

19.3.15 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは, UART0でLIN-bus通信動作を実現するとき, 外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると, シリアル・データ入力(RxD0)端子の入力信号が外部割り込み入力(INTP0)として選択されます。これによって, ウェイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると, シリアル・データ入力(RxD0)端子の入力信号がタイマ入力として選択されます。これによって, ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

SSIE00ビットは, CSI00通信かつスレーブ・モード時にチャンネル0のSSI00端子入力を制御するビットです。SSI00端子にハイ・レベルが入力されている期間は, シリアル・クロックが入力されても送受信動作を行いません。SSI00端子にロウ・レベルが入力されている期間は, シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, ISCレジスタは00Hになります。

図19-22 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0
SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0のSSI00入力の設定							
0	SSI00端子入力の無効							
1	SSI00端子入力の有効							
ISC1	タイマ・アレイ・ユニット0のチャンネル3の入力切り替え							
0	TI03端子の入力信号をタイマ入力とする(通常動作)							
1	RxD0端子の入力信号をタイマ入力とする(ウェイクアップ信号検出ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。							
ISC0	外部割り込み(INTP0)の入力切り替え							
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)							
1	RxD0端子の入力信号を外部割り込み入力とする(ウェイクアップ信号検出)							

注意 ビット6-2に必ず0を設定してください。

19.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI(CSI), 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック(fmck)で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック(fmck)で同期化だけを行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図19-23 ノイズ・フィルタ許可レジスタ0 (NFEN0)のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	SNFEN10	0	SNFEN00

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7-3, 1には、必ず0を設定してください。

19.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ(ポート・モード・レジスタ(PMxx)、ポート・レジスタ(Pxx)、ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx)、ポート・モード・コントロール・レジスタ(PMCxx))を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ(PMxx)、4.3.2 ポート・レジスタ(Pxx)、4.3.4 ポート入力モード・レジスタ(PIMxx)、4.3.5 ポート出力モード・レジスタ(POMxx)を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート(P10/SO01/TxD1/TI01/TO01/INTP1/TRGIOAなど)をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに0を、ポート・レジスタ(Pxx)のビットに1を設定してください。

なお、N-chオープン・ドレイン出力(V_{DD}耐圧)モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ(POMxx)のビットに1を設定してください。異電位(1.8V系、2.5V系、3V系)で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位(1.8V系、2.5V系、3V系)対応を参照してください。

(例) P10/SO01/TxD1/TI01/TO01/INTP1/TRGIOAをシリアル・データ出力として使用する場合

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート(P11/SI01/RxD1/SDA01/TI03/TO03/INTP2/TRGCLKA/TRJIO0など)をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ(PIMxx)のビットに1を設定してください。異電位(1.8V系、2.5V系、3V系)で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位(1.8V系、2.5V系、3V系)対応を参照してください。

(例) P11/SI01/RxD1/SDA01/TI03/TO03/INTP2/TRGCLKA/TRJIO0 をシリアル・データ入力として使用する

場合

ポート・モード・レジスタ1のPM11ビットを1に設定

ポート・レジスタ1のP11ビットを0または1に設定

19.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

19.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0)で行います。
PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。
シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN)に0を設定してください。

図19-24 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0)の設定

(a)周辺イネーブル・レジスタ0 (PER0) 停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	RTCEN ×	0	ADCEN ×	0	0	SAU0EN 0/1	TAU1EN ×	TAU0EN ×

SAUmの入カクロックの制御
0 : 入カクロック供給停止
1 : 入カクロック供給

注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ1 (PIM1)
- ポート出力モード・レジスタ1 (POM1)
- ポート・モード・レジスタ1 (PM1)
- ポート・レジスタ1 (P1)

注意2. ビット3, 4, 6には必ず"0"を設定してください。

備考 × : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて0または1に設定

19.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

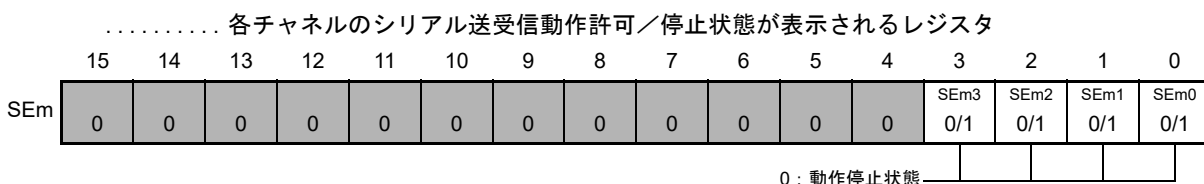
図19 - 25 チャンネルごとに動作停止とする場合の各レジスタの設定

(a)シリアル・チャンネル停止レジスタ m (STm)



※ STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

(b)シリアル・チャンネル許可ステータス・レジスタ m (SEm)



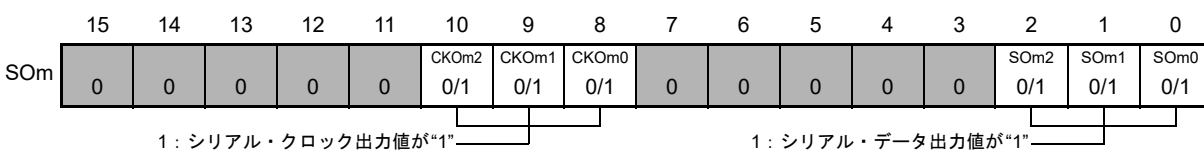
※SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。
動作を停止したチャンネルは、SOmレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c)シリアル出力許可レジスタ m (SOEm)



※ シリアル出力を停止したチャンネルは、SOmレジスタのSOmnビットの値をソフトウェアで設定できます。

(d)シリアル出力レジスタ m (SOm) 各チャンネルのシリアル出力のバッファ・レジスタ



※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに"1"を設定してください。

備考1. m : ユニット番号 (m = 0)

n : チャンネル番号 (n = 0-3)

備考2. : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

19.5 簡易SPI (CSI00, CSI01)通信の動作

シリアル・クロック(SCK)とシリアル・データ(SI, SO)の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/4
スレーブ通信時 : Max. fMCK/12

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

CSI00は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK00入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

注 SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は、第33章 または第34章 電気的特性を参照してください。

簡易SPI (CSI00, CSI01)に対応しているチャンネルは、SAU0のチャンネル0, 1です。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	—		—

簡易SPI (CSI00, CSI01)の通信動作は、以下の7種類があります。

- マスタ送信(19.5.1項を参照)
- マスタ受信(19.5.2項を参照)
- マスタ送受信(19.5.3項を参照)
- スレーブ送信(19.5.4項を参照)
- スレーブ受信(19.5.5項を参照)
- スレーブ送受信(19.5.6項を参照)
- SNOOZEモード機能(19.5.7項を参照)

19.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	なし	
転送データ長	7ビットまたは8ビット	
転送レート注	Max. fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転 	
データ方向	MSB ファーストまたはLSB ファースト	

注 この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1), mn = 00, 01

(1) レジスタ設定

図 19 - 26 簡易SPI (CSI00, CSI01)のマスタ送信時のレジスタ設定内容例

(a)シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fmck) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0 : 転送完了割り込み
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1” 1 : バッファ空き割り込み

(b)シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データ転送順序の選択 データ長の設定
 0 : MSB ファーストで入出力を行う 0 : 7ビット・データ長
 1 : LSB ファーストで入出力を行う 1 : 8ビット・データ長

データとクロックの位相選択 (設定内容詳細は「19.3 シリアル・アレイ・ユニットを制御するレジスタ」参照)

(c)シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定 (動作クロック (fmck)の分周設定)								0	送信データ (送信データを設定)							

SIOp

(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	CKOm2	CKOm1	CKOm0						SOm2	SOm1	SOm0
						x	0/1	0/1	0	0	0	0	0	x	0/1	0/1

クロック位相が“非反転”(SCRmnレジスタのCKPmnビット=0)のときは“1”で通信開始し、クロック位相が“反転”(CKPmnビット=1)のときは“0”で通信開始する。

(e)シリアル出力許可レジスタ m (SOEm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2	SOEm1	SOEm0
														x	0/1	0/1

(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													x	x	0/1	0/1

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

備考2. : 簡易SPI(CSI)マスタ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 27 マスタ送信の初期設定手順

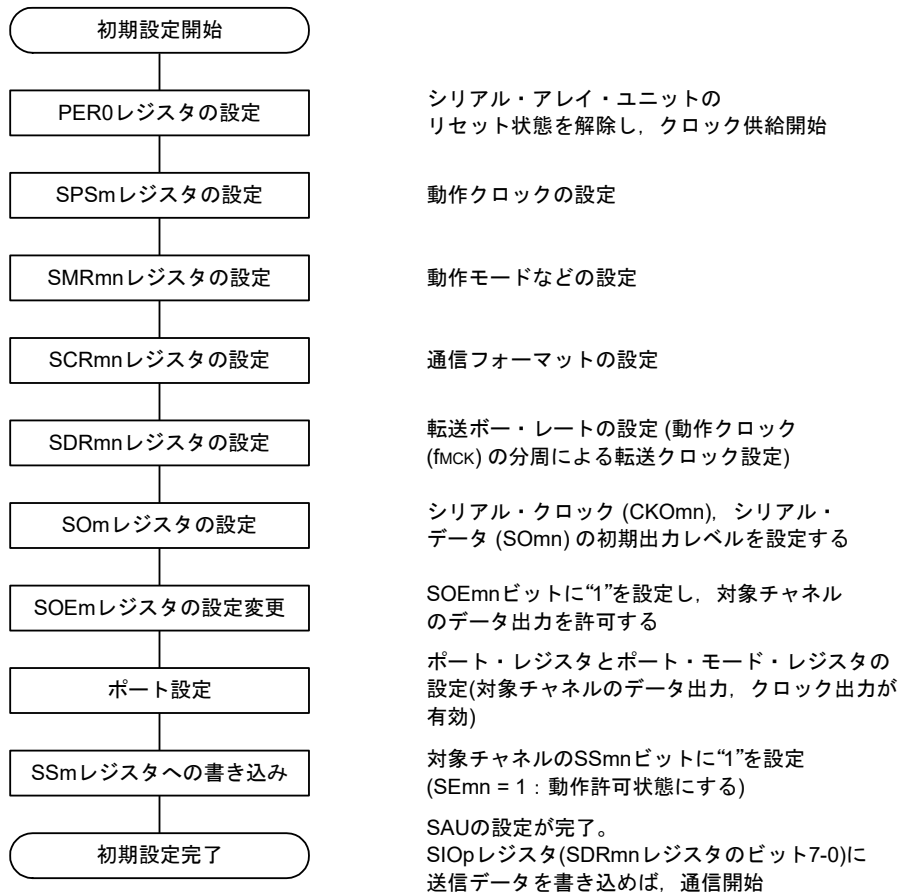


図 19 - 28 マスタ送信の中断手順

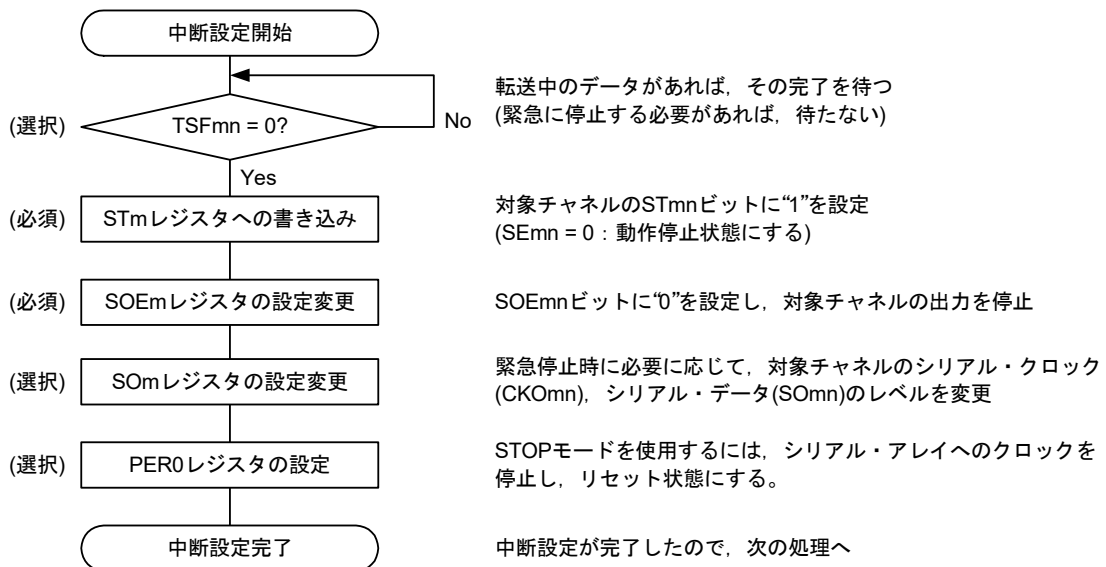
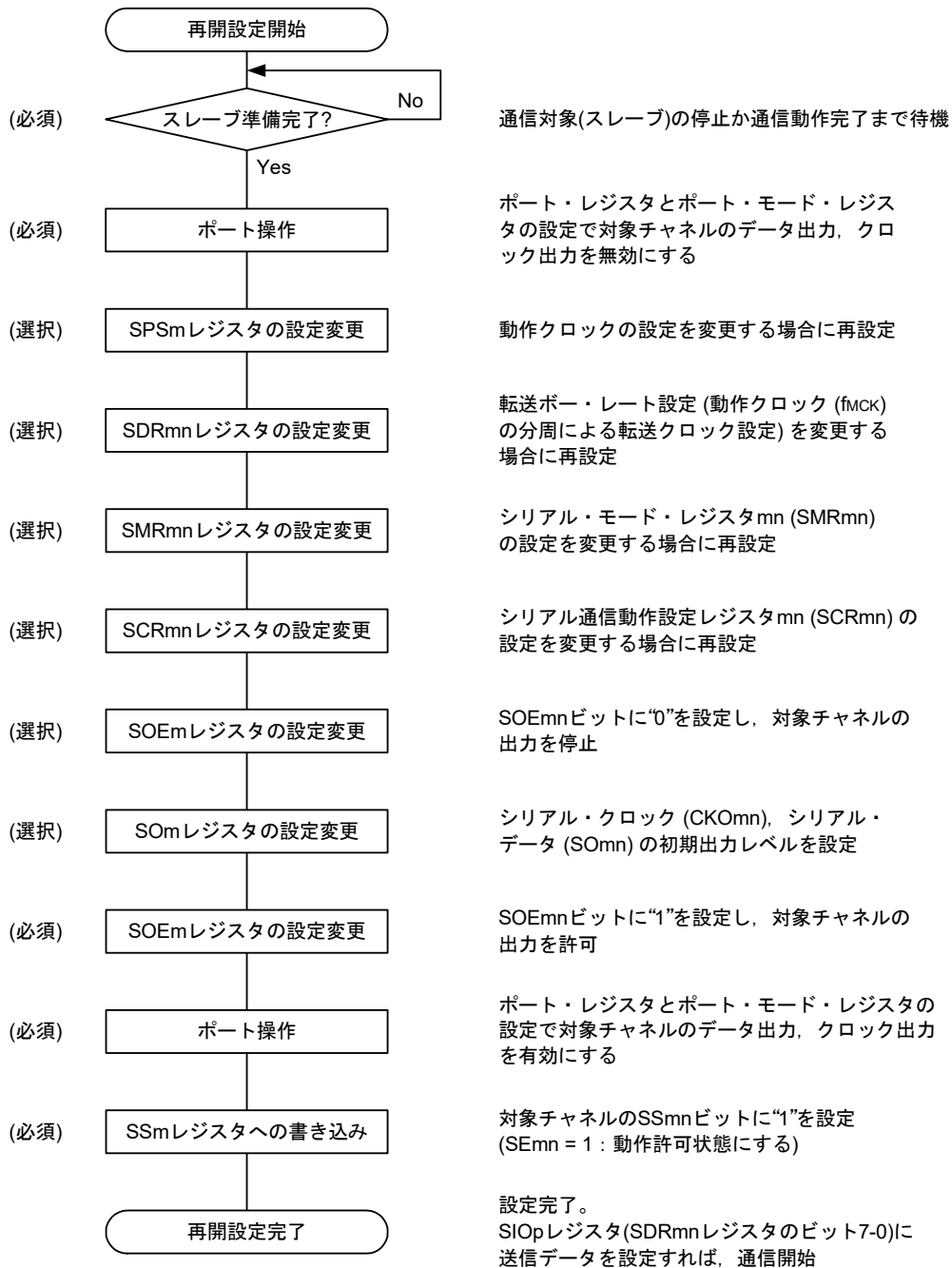


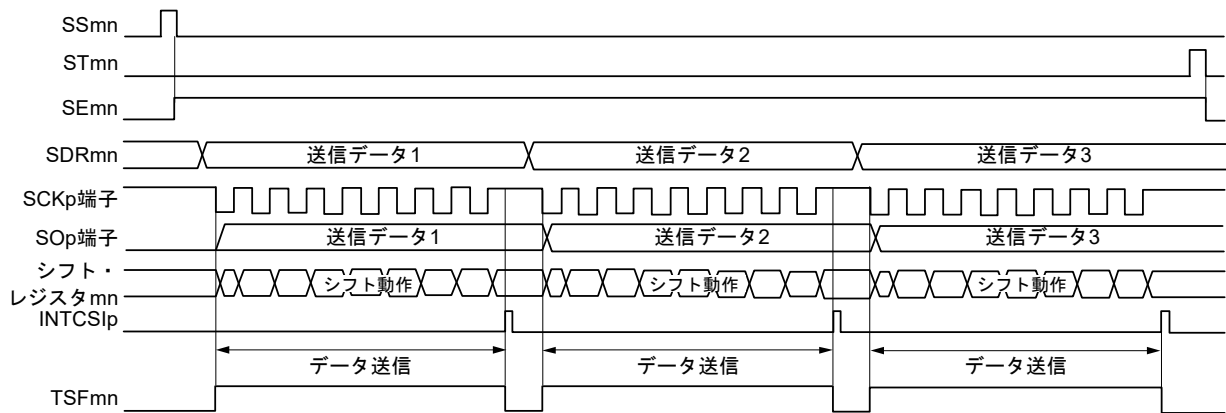
図 19 - 29 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

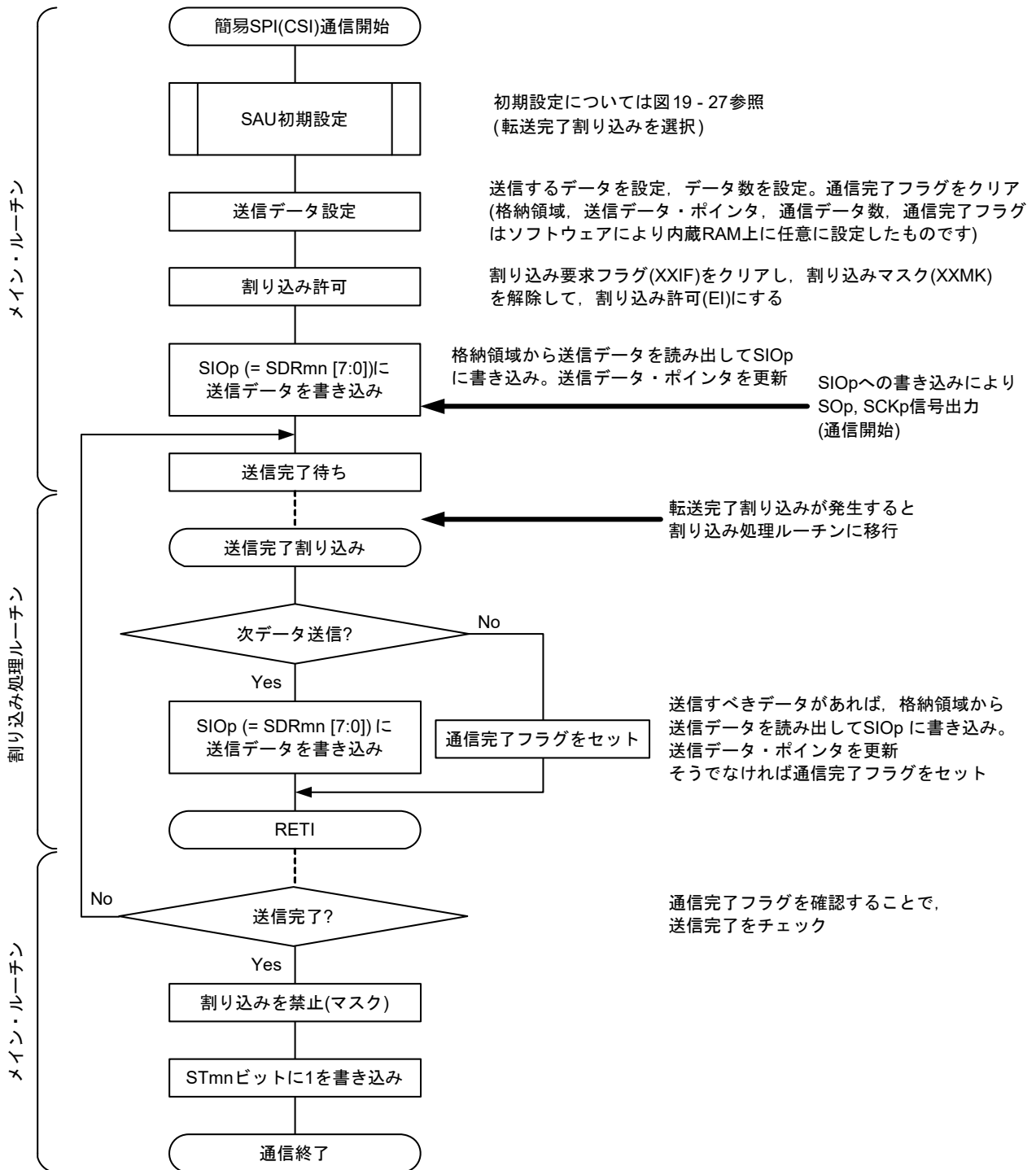
(3) 処理フロー (シングル送信モード時)

図 19 - 30 マスタ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



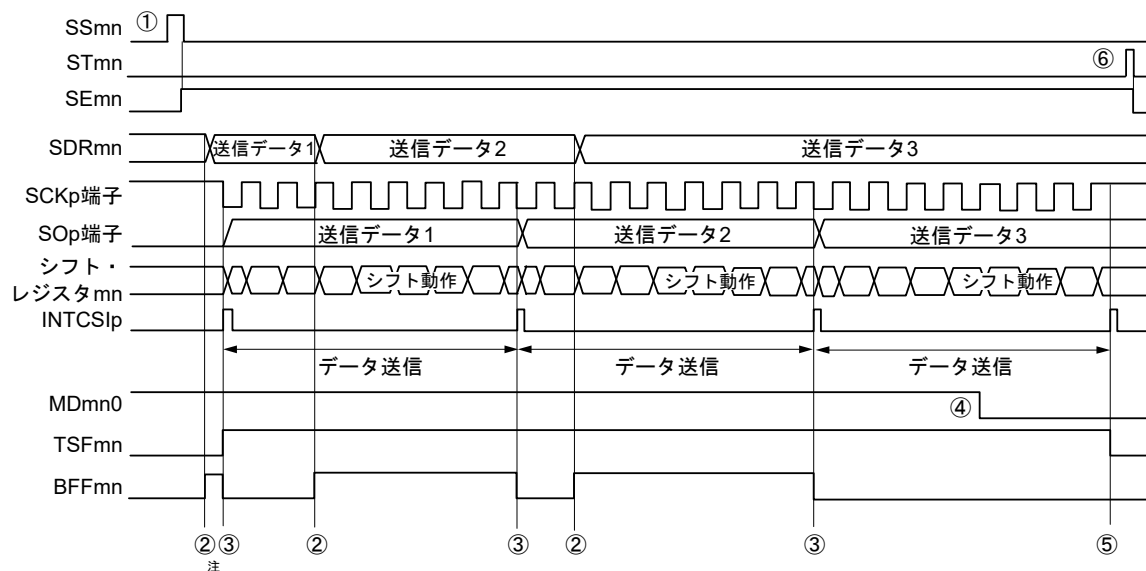
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

図19-31 マスタ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図19 - 32 マスタ送信 (連続送信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

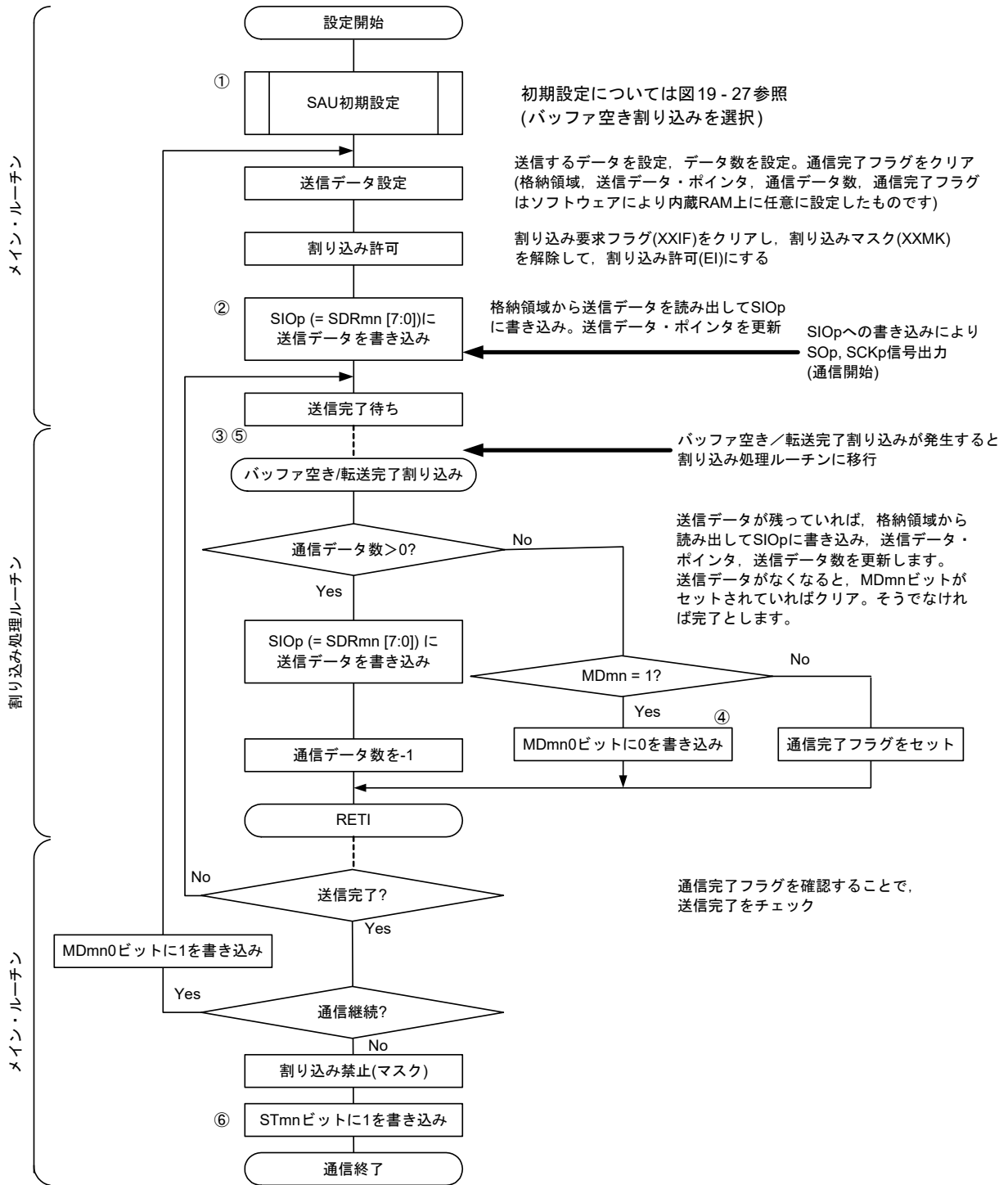


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI 番号 (p = 00, 01) mn = 00, 01

図 19 - 33 マスタ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図 19 - 32 マスタ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

19.5.2 マスタ受信

マスタ受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

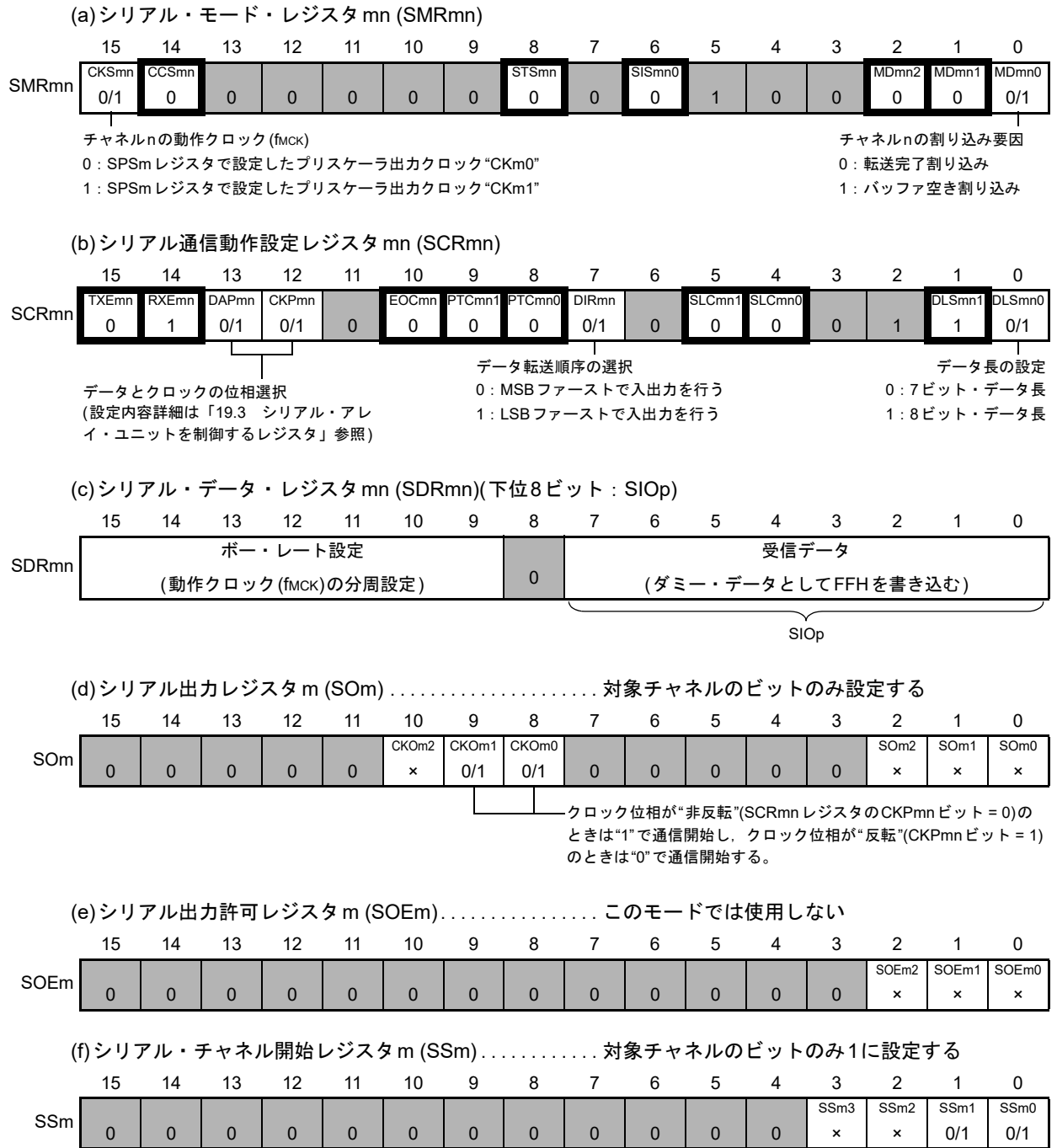
簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート注	Max. fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128) [Hz] fCLK : システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) p : CSI番号(p = 00, 01) mn = 00, 01

(1) レジスタ設定

図 19 - 34 簡易SPI (CSI00, CSI01)のマスタ受信時のレジスタ設定内容例



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

備考2. : 簡易SPI(CSI)マスタ受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 35 マスタ受信の初期設定手順

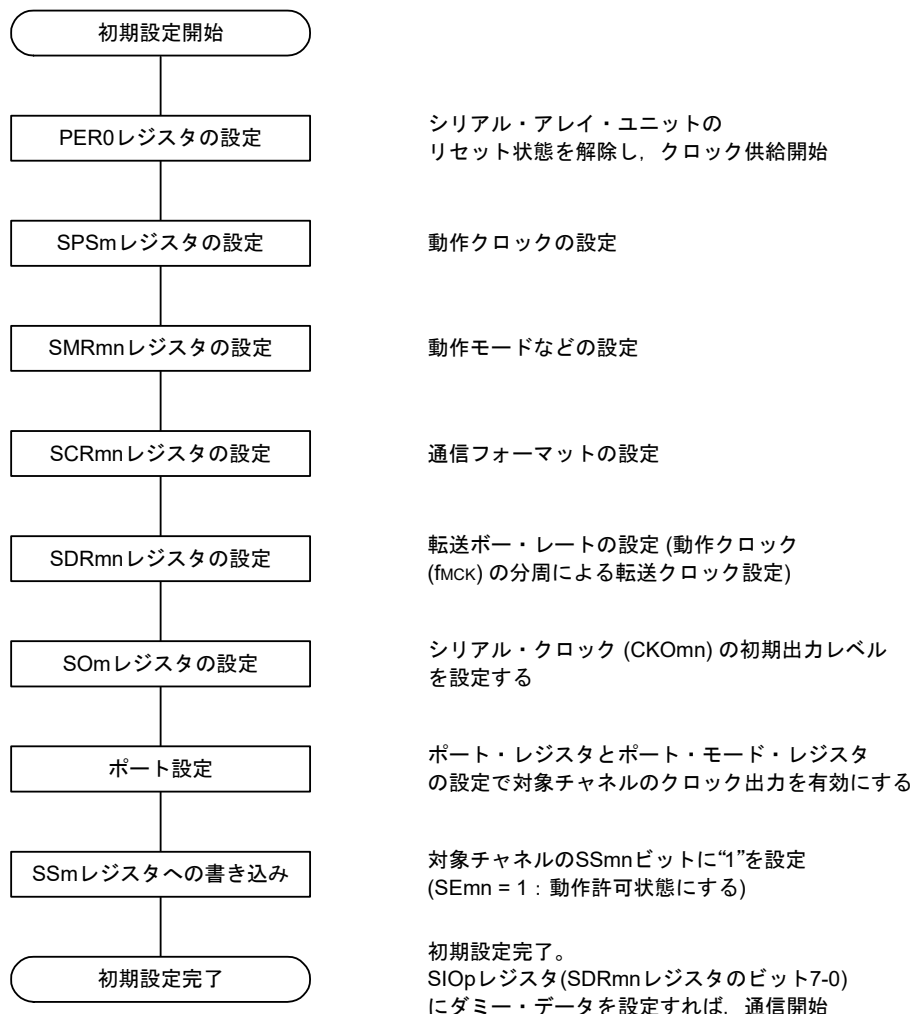


図 19 - 36 マスタ受信の中断手順

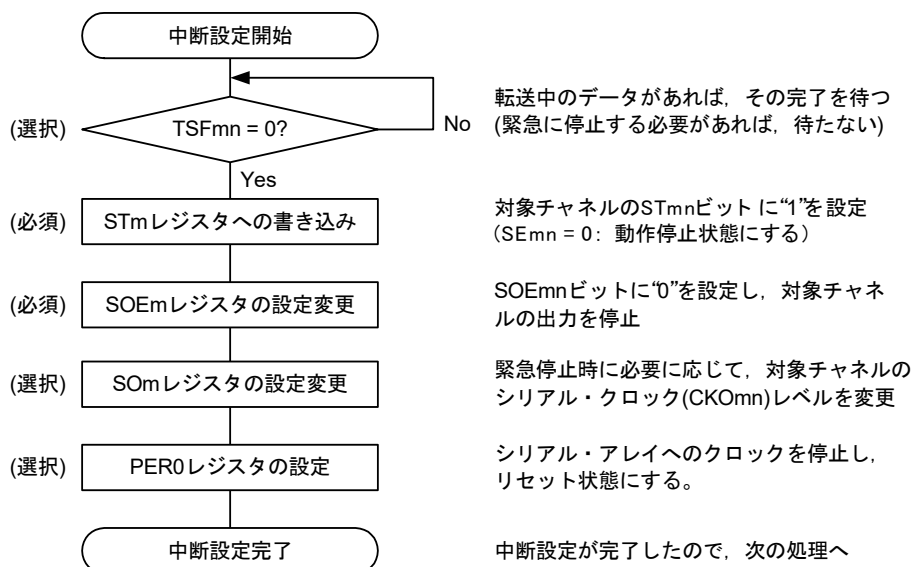
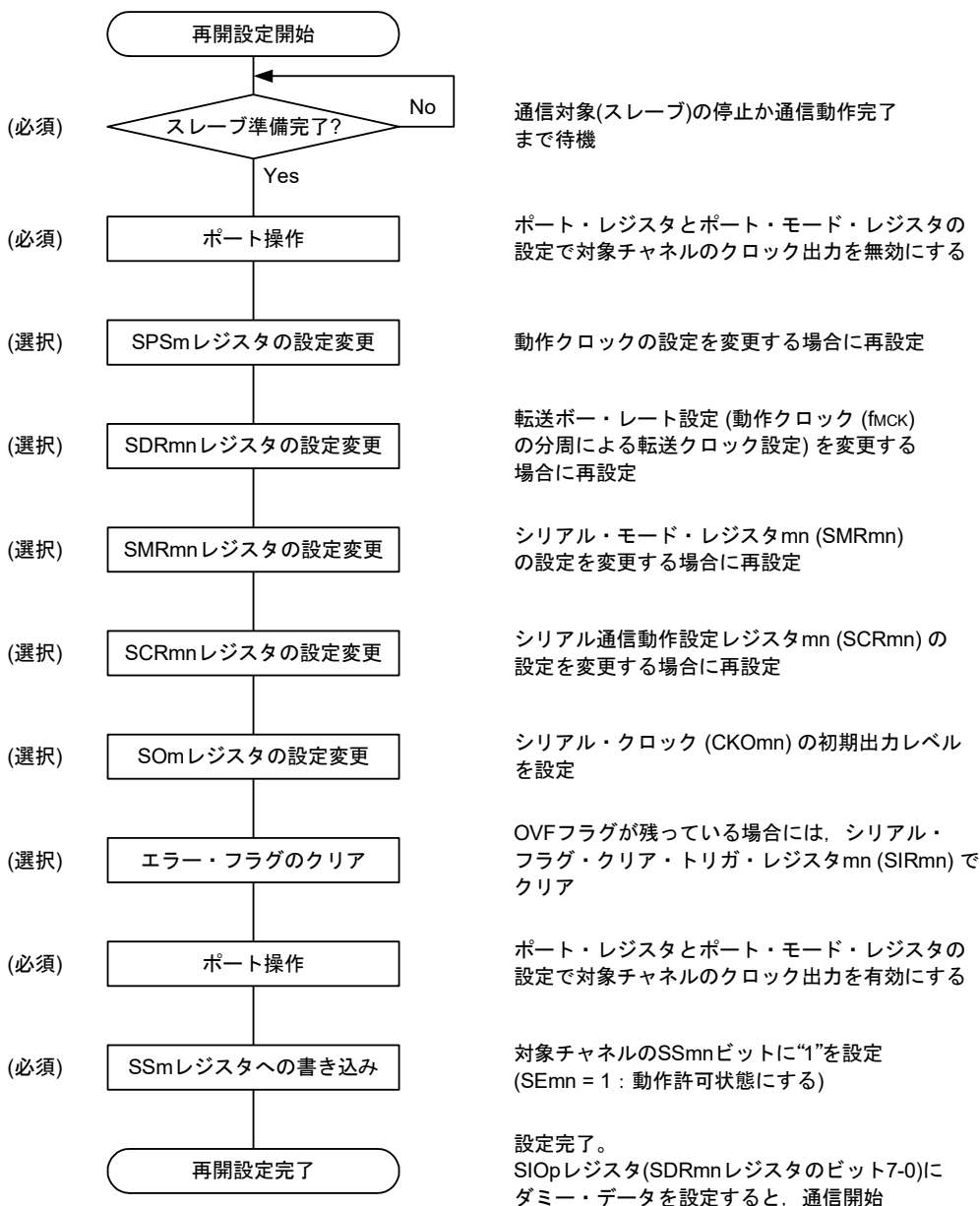


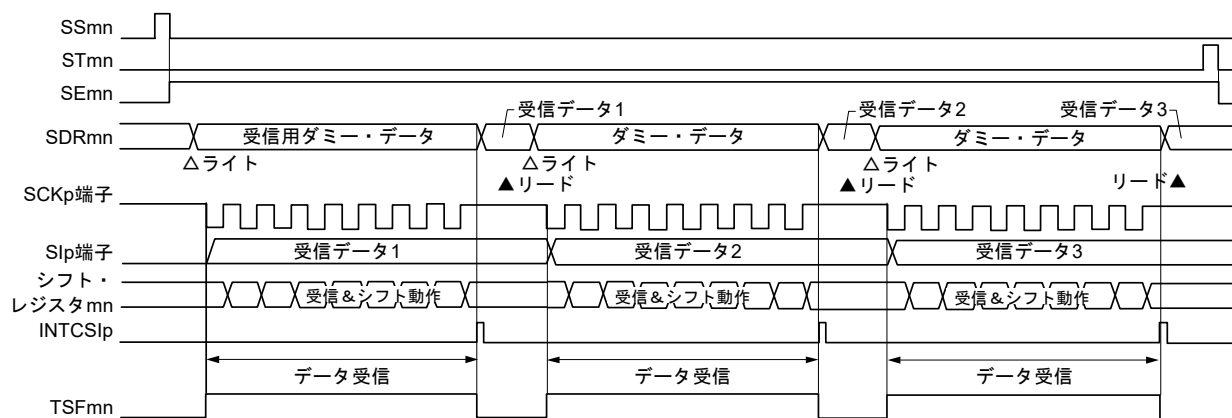
図 19 - 37 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

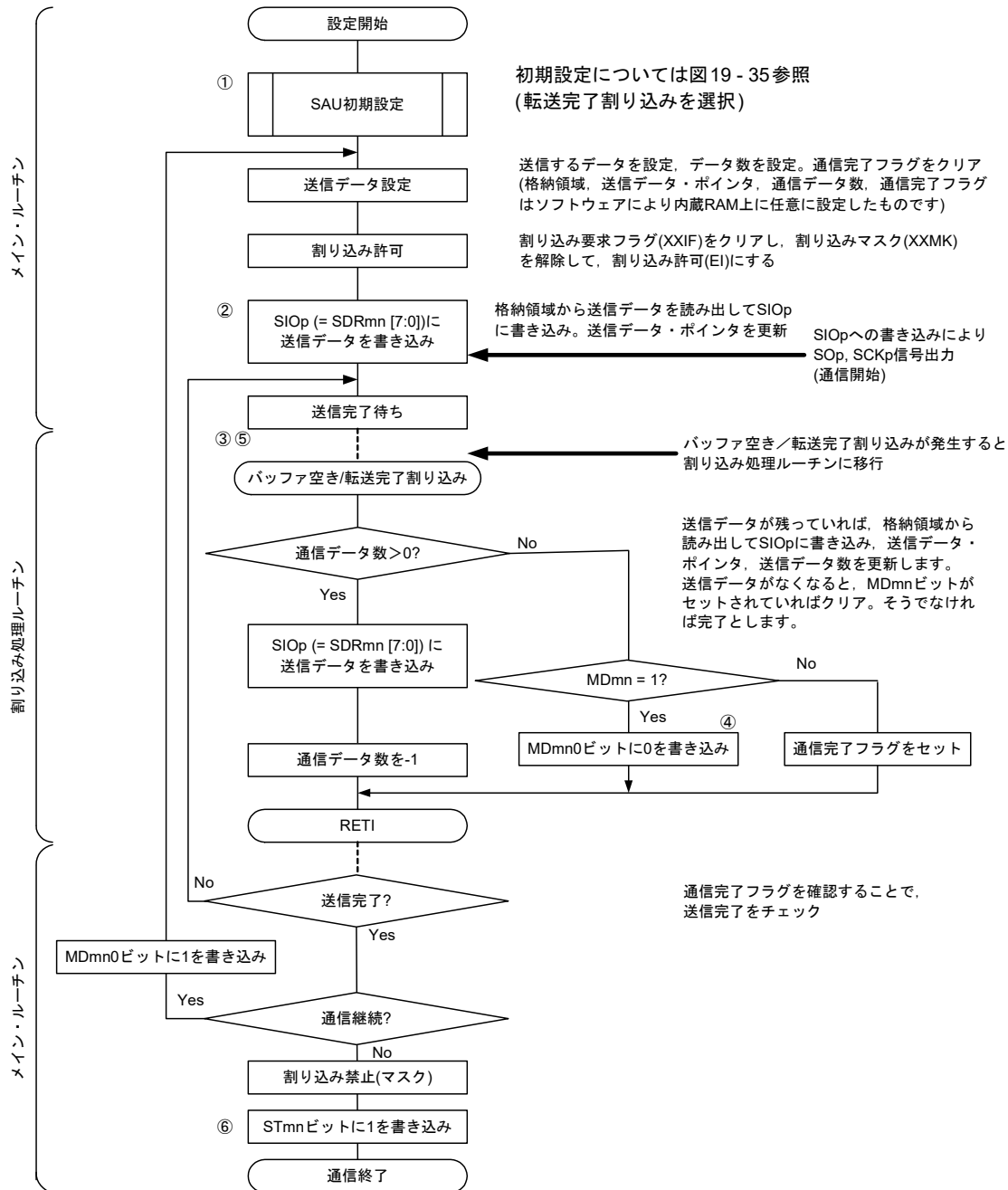
(3) 処理フロー (シングル受信モード時)

図 19 - 38 マスタ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



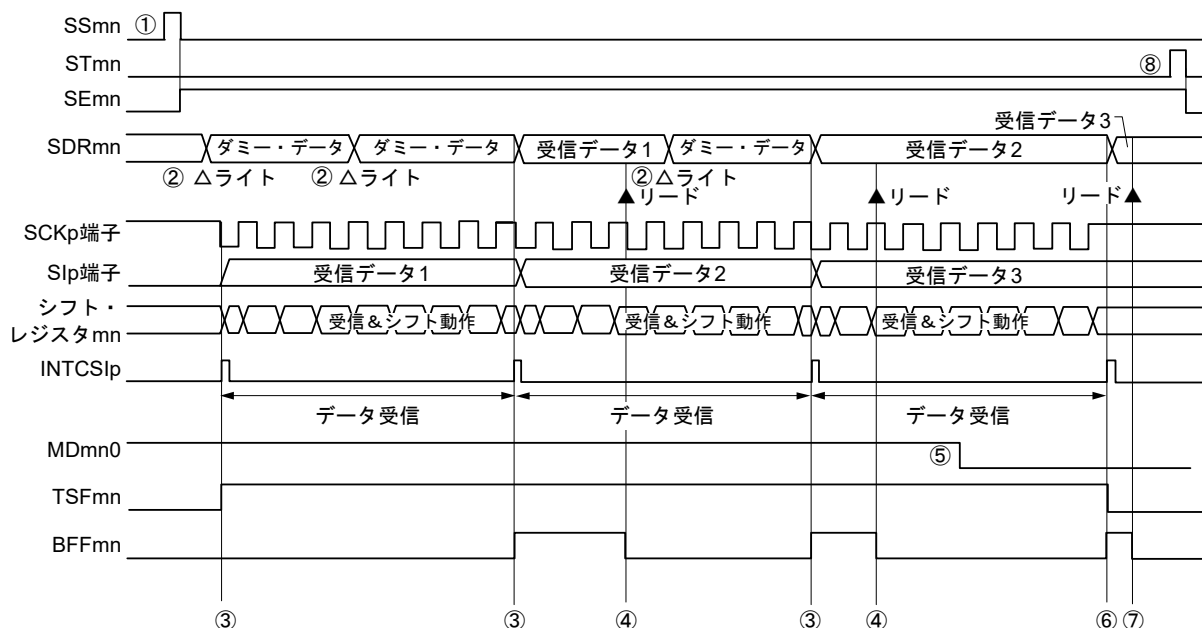
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

図19-39 マスタ受信(シングル受信モード時)のフロー・チャート



(4) 処理フロー (連続受信モード時)

図19-40 マスタ受信(連続受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



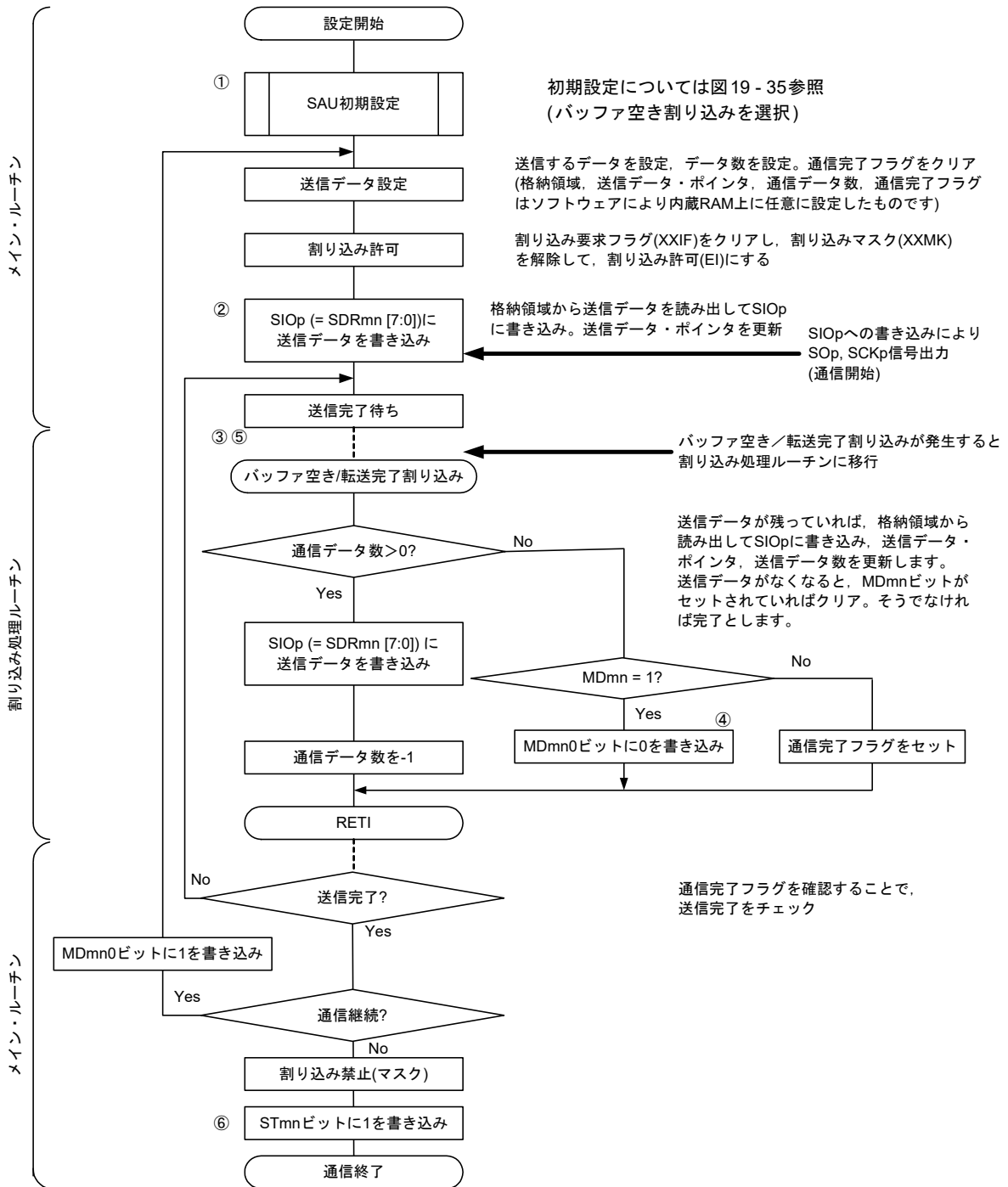
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19-41 マスタ受信(連続受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

図 19 - 41 マスタ受信(連続受信モード時)のフロー・チャート



備考 図中の①～⑧は、図 19 - 40 マスタ受信(連続受信モード時)のタイミング・チャートの①～⑧に対応しています。

19.5.3 マスタ送受信

マスタ送受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート注	Max. fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数	
データ位相	SCRmn レジスタのDAPmn ビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始	
クロック位相	SCRmn レジスタのCKPmn ビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転	
データ方向	MSB ファーストまたはLSB ファースト	

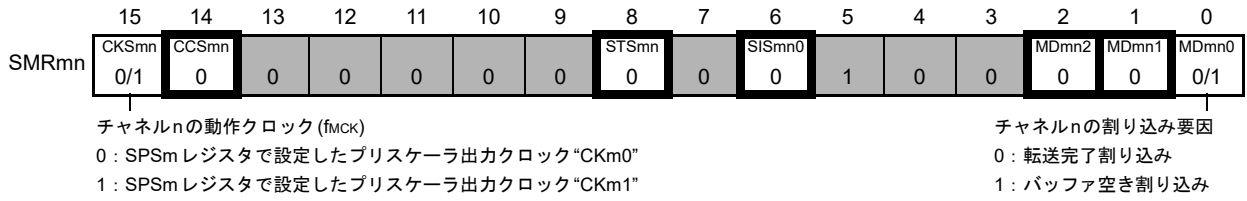
注 この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) p : CSI番号(p = 00, 01) mn = 00, 01

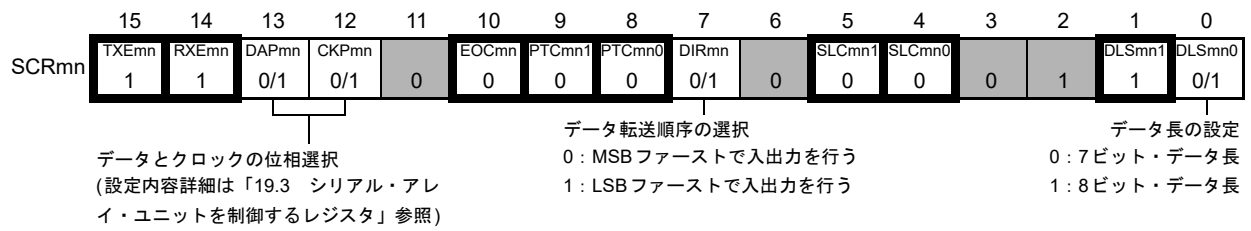
(1) レジスタ設定

図 19 - 42 簡易SPI (CSI00, CSI01)のマスタ送受信時のレジスタ設定内容例

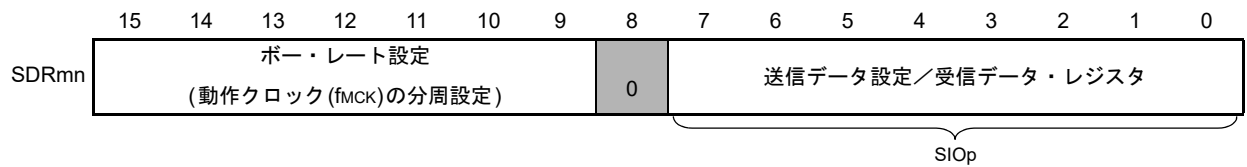
(a) シリアル・モード・レジスタ mn (SMRmn)



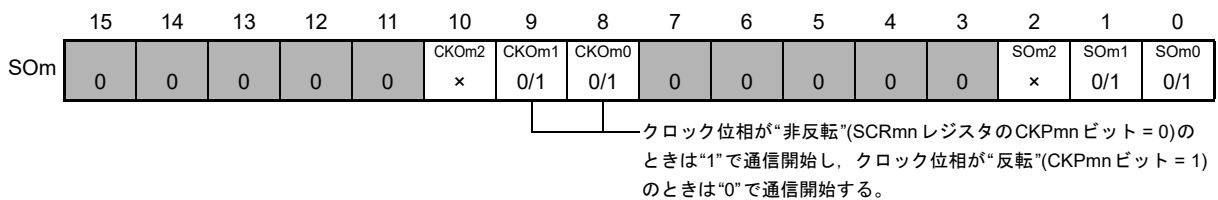
(b) シリアル通信動作設定レジスタ mn (SCRmn)



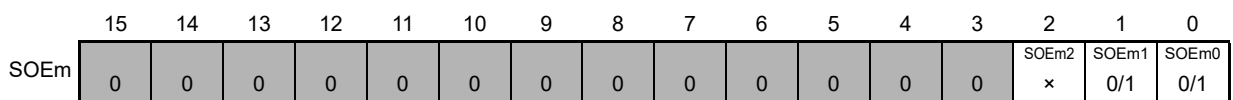
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



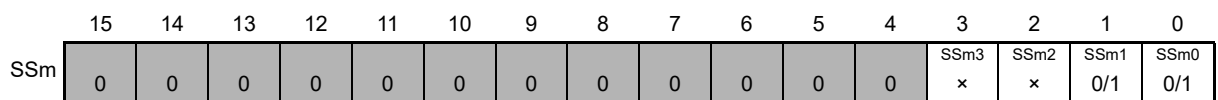
(d) シリアル出力レジスタ m (SOM) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) p : CSI番号(p = 00, 01) mn = 00, 01

備考2. : 簡易SPI(CSI)マスタ送受信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 43 マスタ送受信の初期設定手順

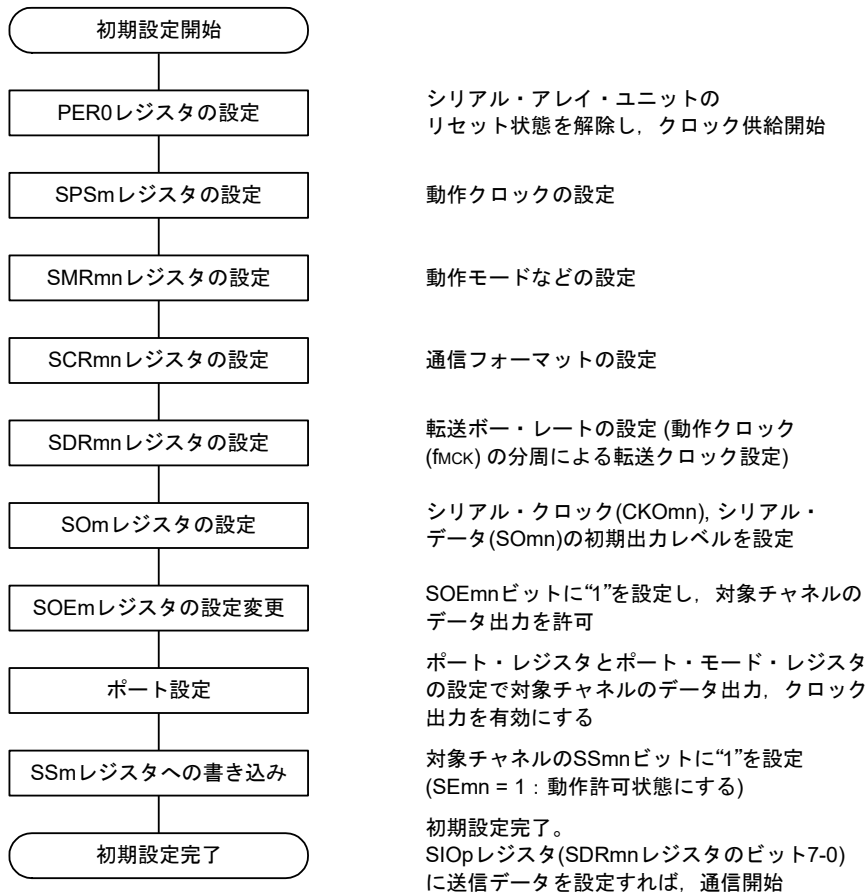


図 19 - 44 マスタ送受信の中断手順

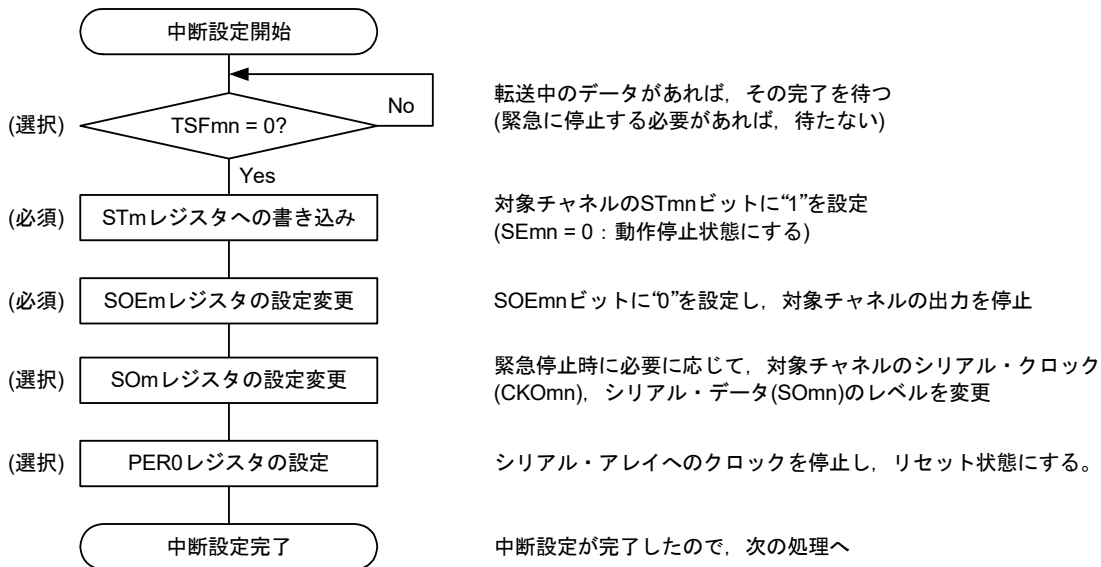
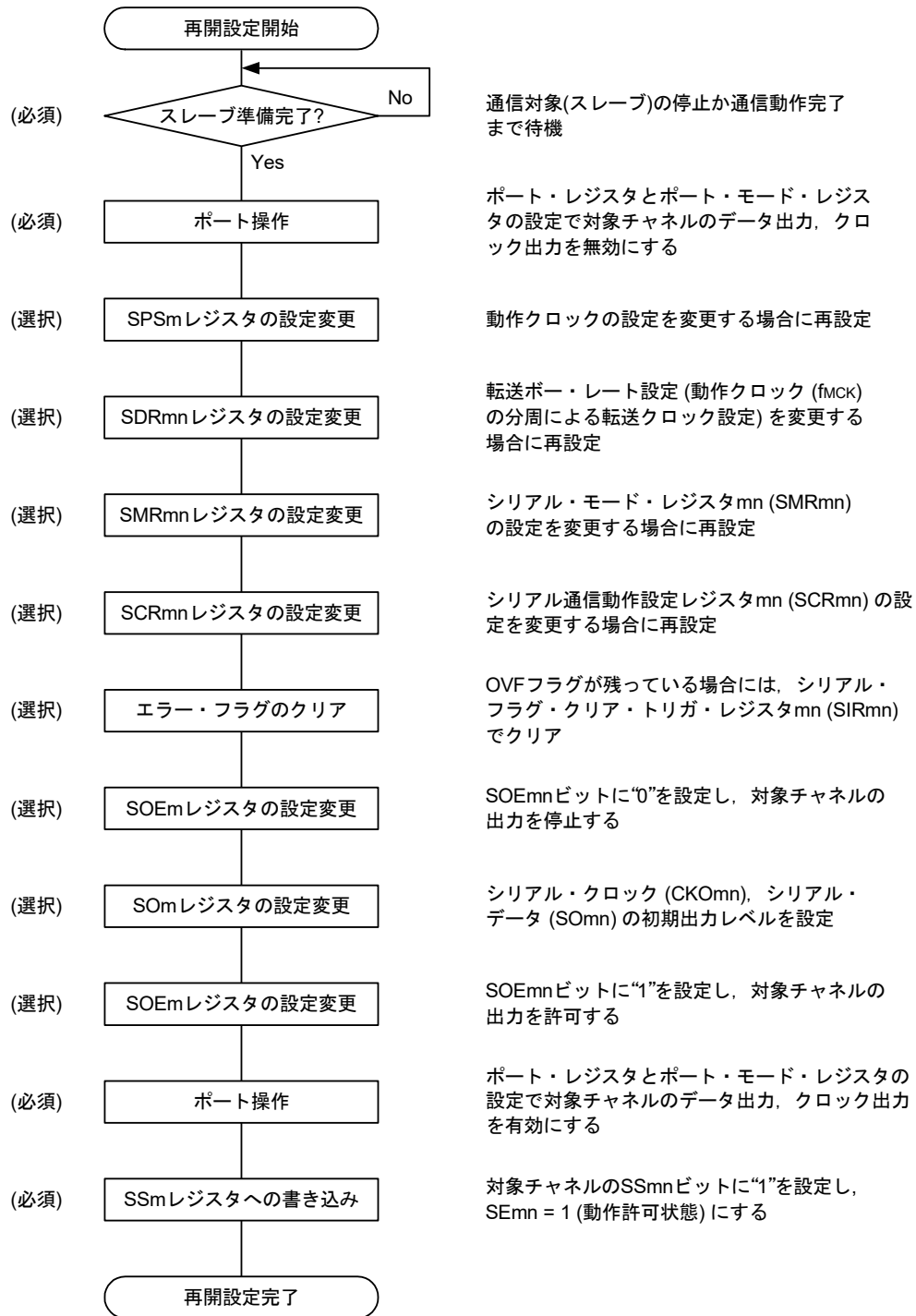
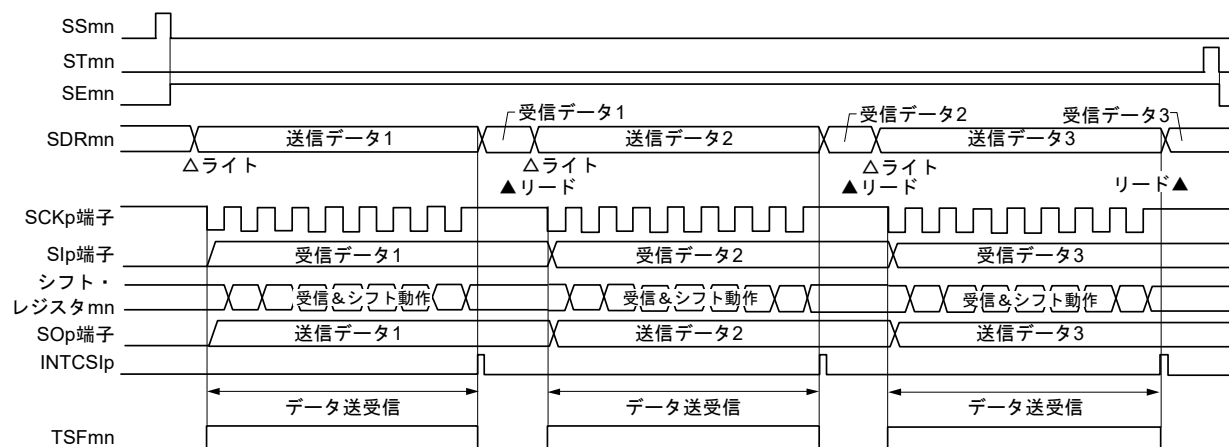


図 19 - 45 マスタ送受信の再開設定手順



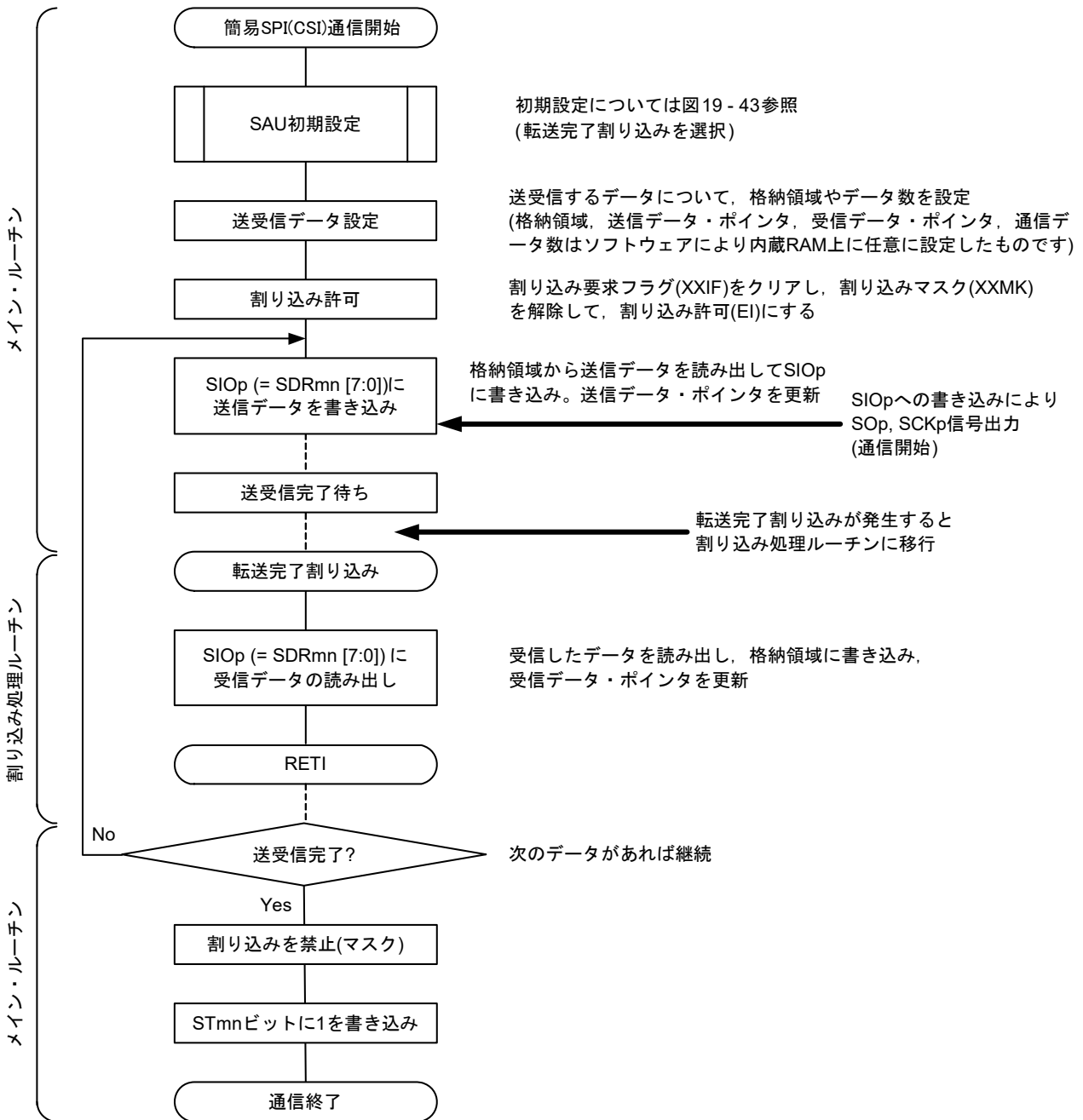
(3) 処理フロー (シングル送受信モード時)

図19-46 マスタ送受信 (シングル送受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



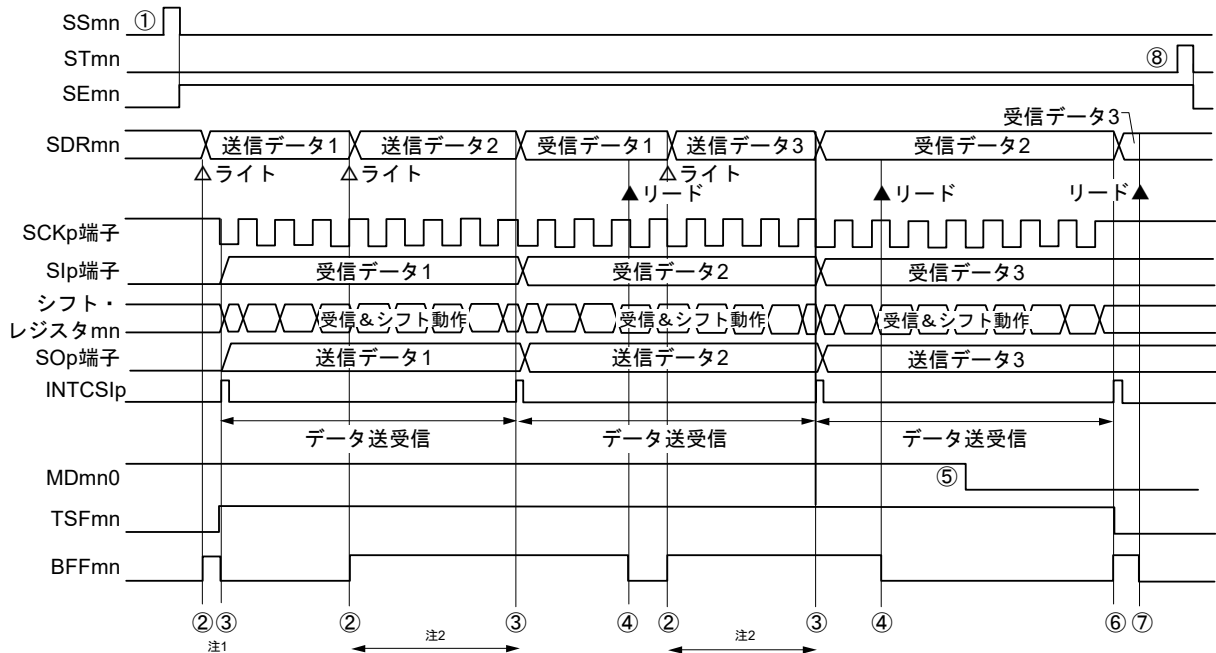
備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

図19-47 マスタ送受信(シングル送受信モード時)のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図19-48 マスタ送受信(連続送受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されている時)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

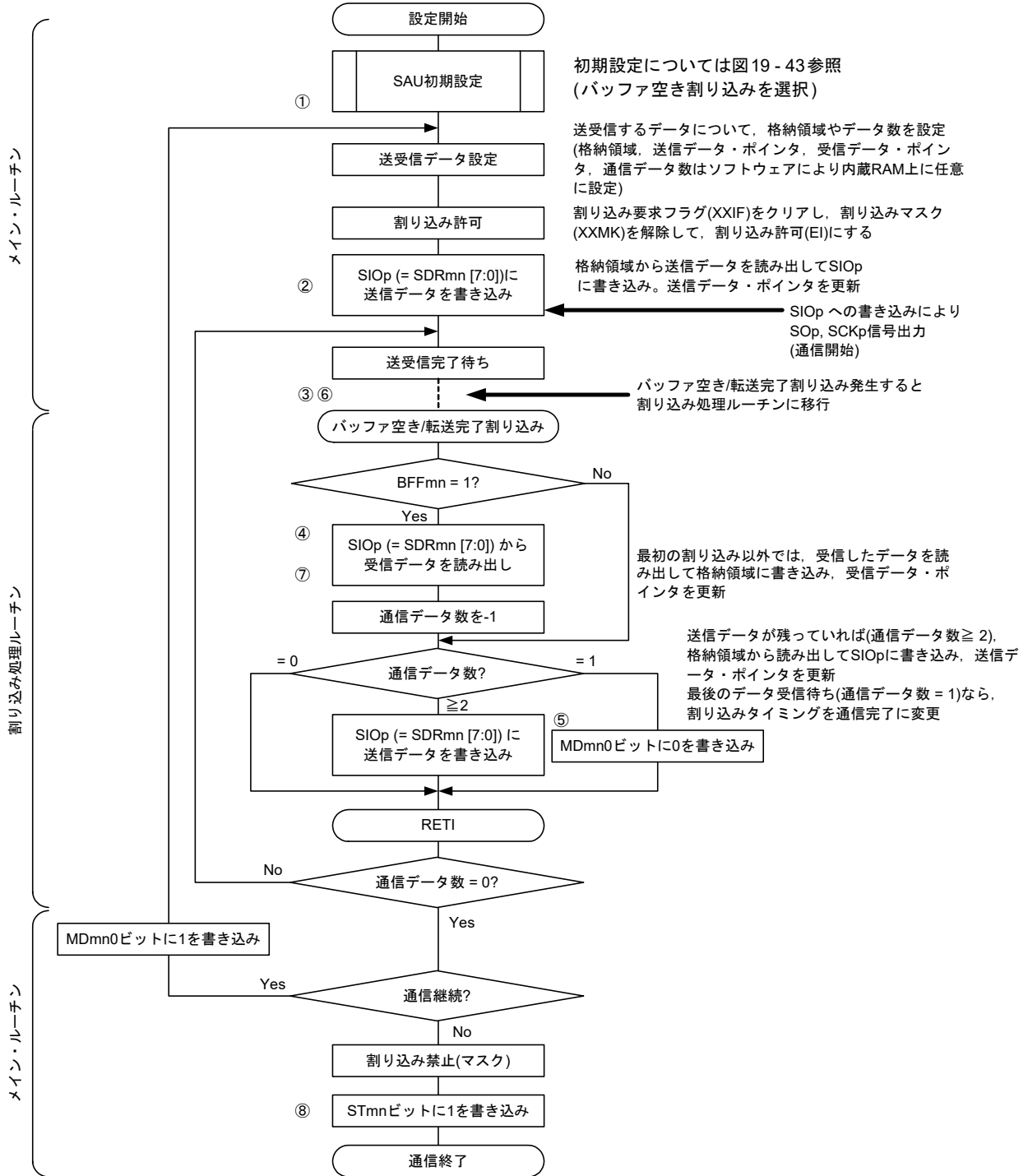
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19-49 マスタ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

図19 - 49 マスタ送受信(連続送受信モード時)のフロー・チャート



備考 図中の①～⑧は、図19 - 48 マスタ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

19.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラから他デバイスヘデータを送信する動作です。

簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. $f_{MCK}/12$ [Hz]注1, 2	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 	
データ方向	MSB ファーストまたはLSB ファースト	

注1. SCK00, SCK01端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/12$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn = 00, 01

(1) レジスタ設定

図19 - 50 簡易SPI (CSI00, CSI01)のスレーブ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (f_{MCK})
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0”
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1”

チャンネルnの割り込み要因
 0 : 転送完了割り込み
 1 : バッファ空き割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データ転送順序の選択
 0 : MSB ファーストで入出力を行う
 1 : LSB ファーストで入出力を行う

データとクロックの位相選択
 (設定内容詳細は「19.3 シリアル・アレイ・ユニットを制御するレジスタ」参照)

データ長の設定
 0 : 7ビット・データ長
 1 : 8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	00000000								0	送信データ設定							
	ボー・レート設定																

SIOp

(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2	CKOm1	CKOm0						SOm2	SOm1	SOm0
	0	0	0	0	0	x	x	x	0	0	0	0	0	x	0/1	0/1

(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0/1	0/1

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

備考2. : 簡易SPI(CSI)スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 51 スレーブ送信の初期設定手順

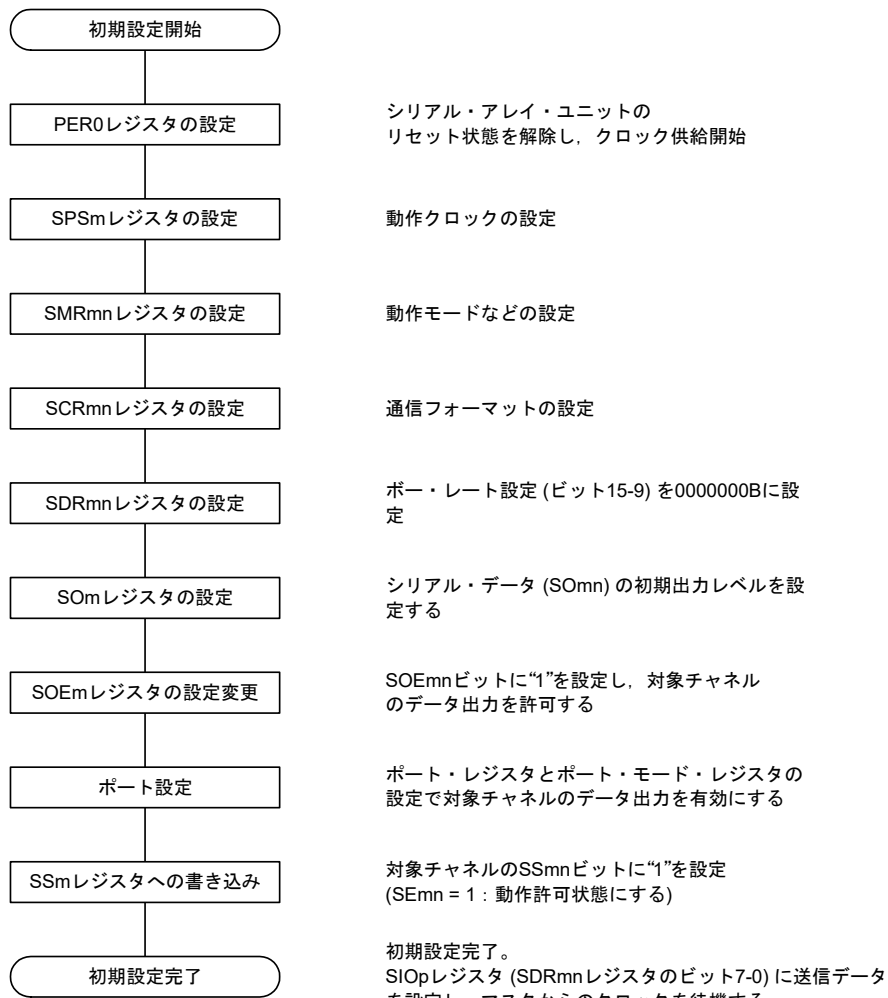


図 19 - 52 スレーブ送信の中断手順

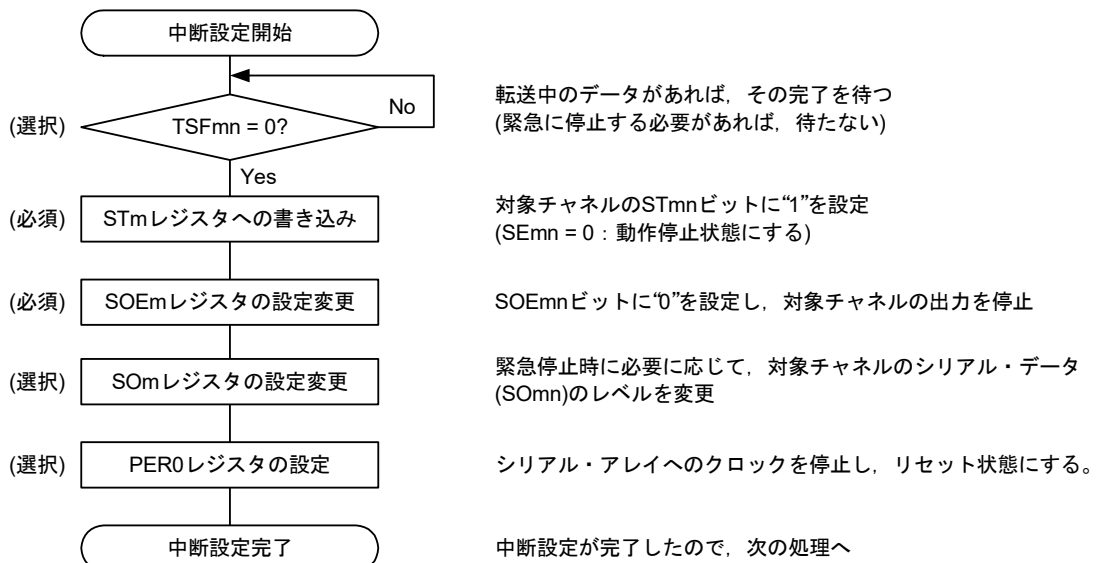
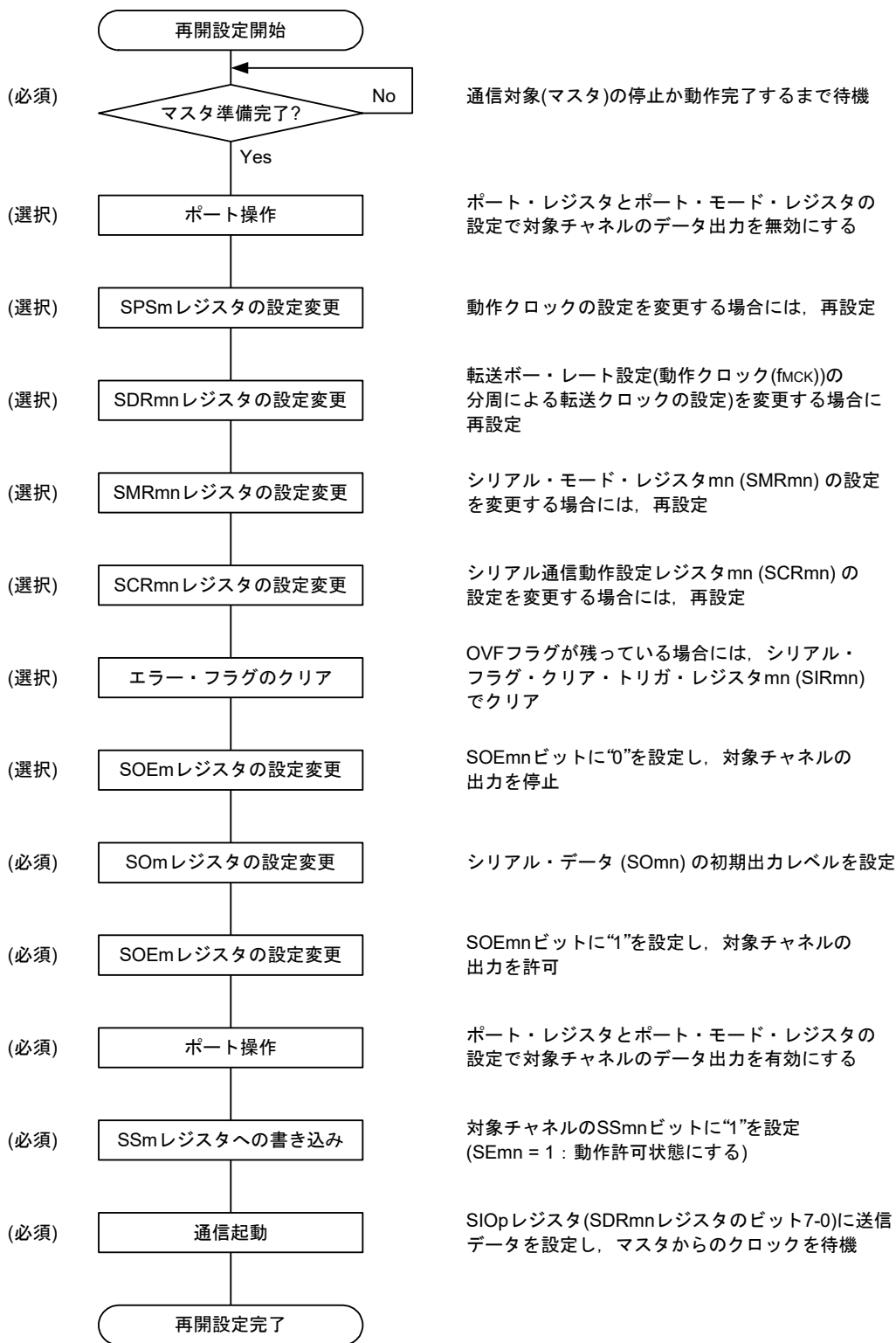


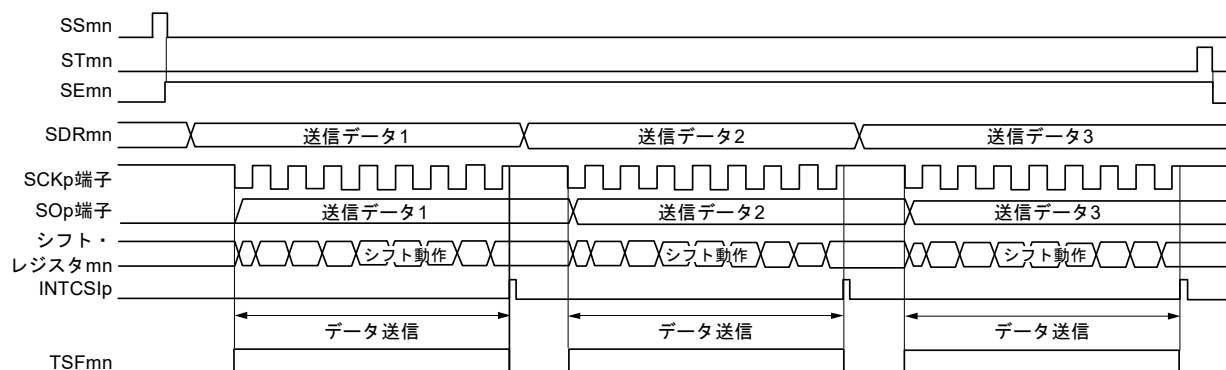
図 19 - 53 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

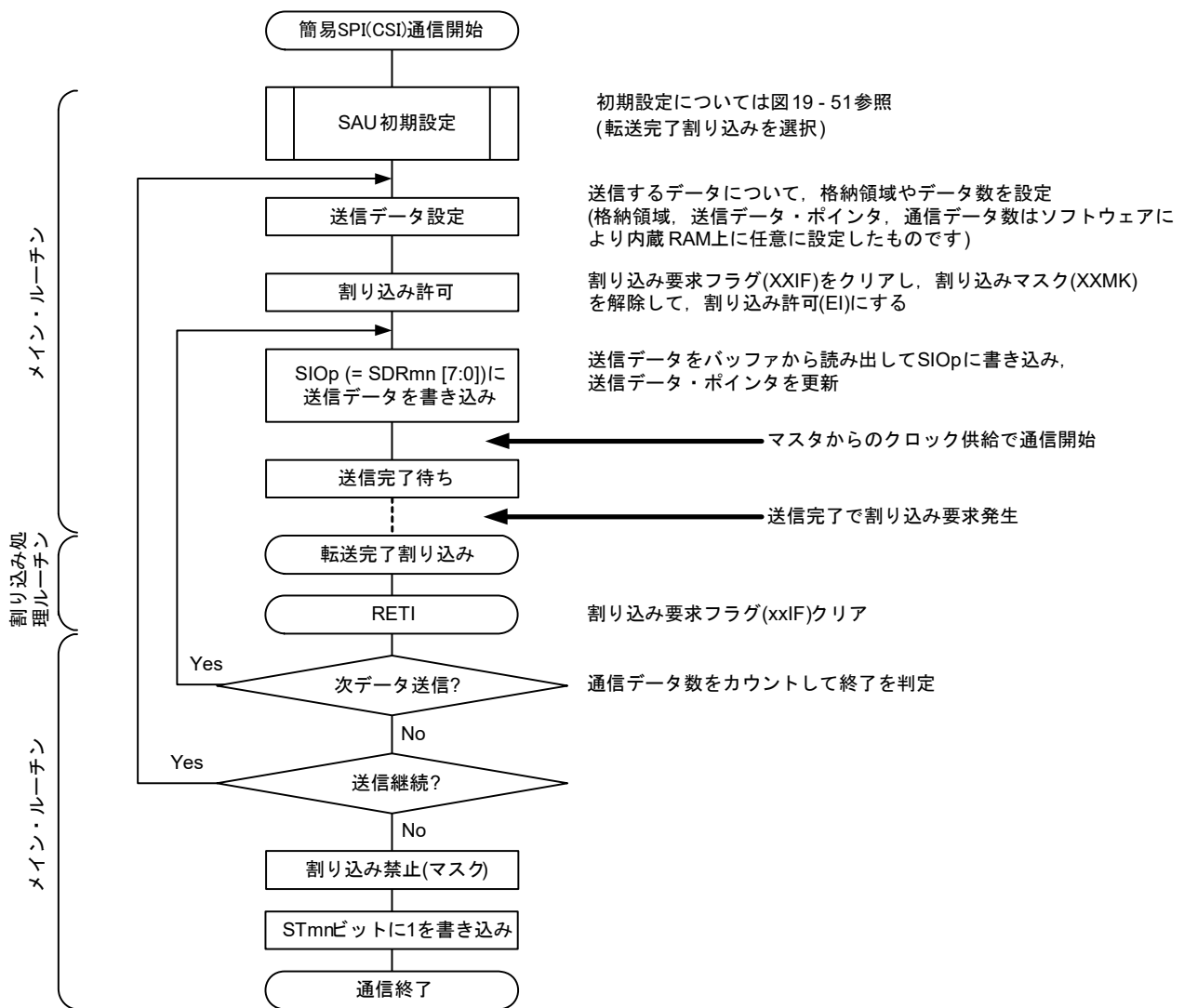
(3) 処理フロー (シングル送信モード時)

図19 - 54 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



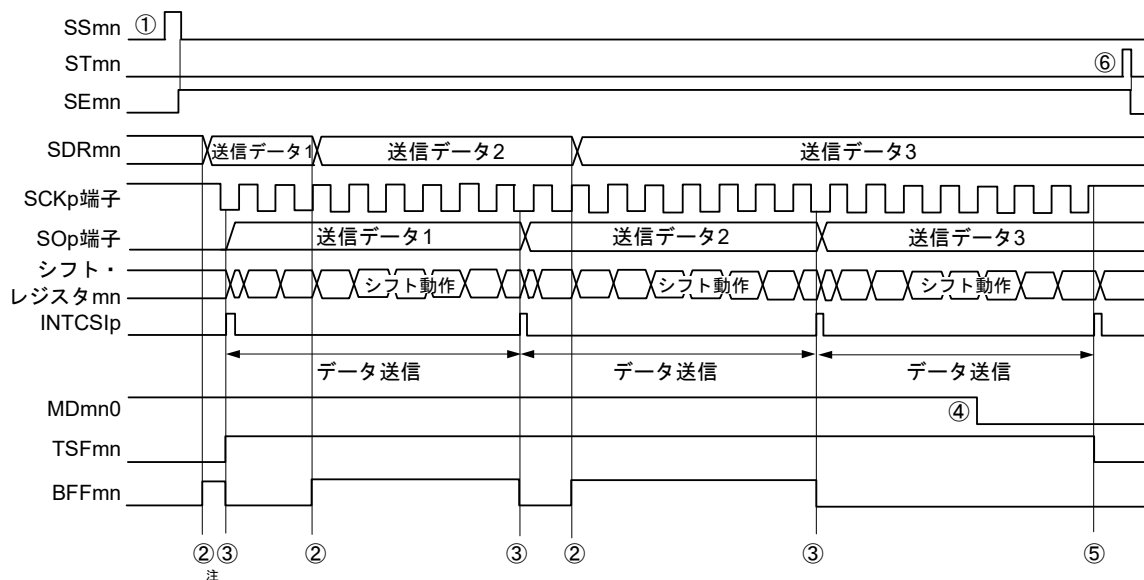
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

図 19 - 55 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図19 - 56 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

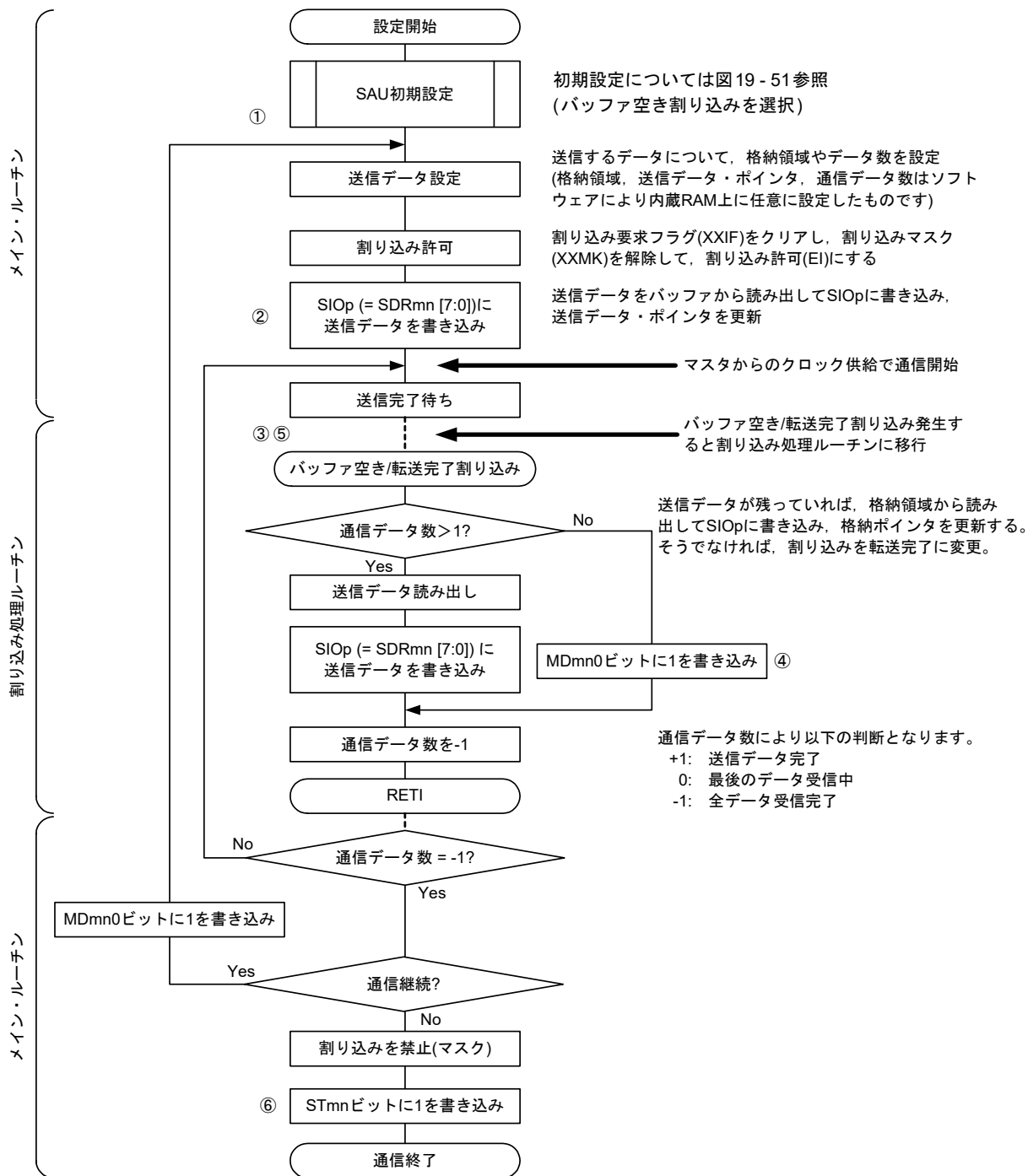


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

図 19 - 57 スレーブ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図 19 - 56 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

19.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. $f_{MCK}/12$ [Hz]注1, 2	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 	
データ方向	MSBファーストまたはLSBファースト	

注1. SCK00, SCK01端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/12$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

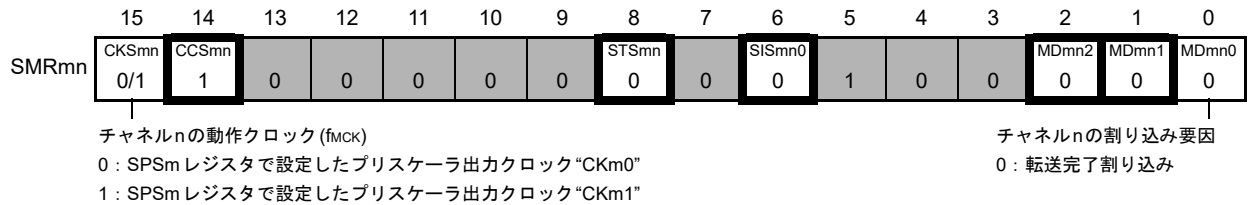
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1), mn = 00, 01

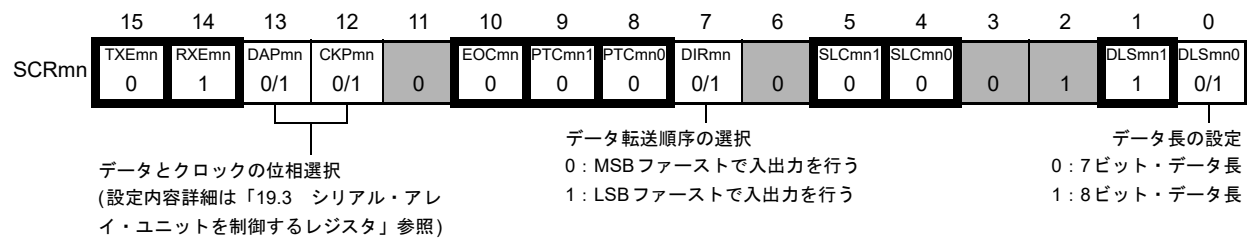
(1) レジスタ設定

図 19 - 58 簡易SPI (CSI00, CSI01)のスレーブ受信時のレジスタ設定内容例

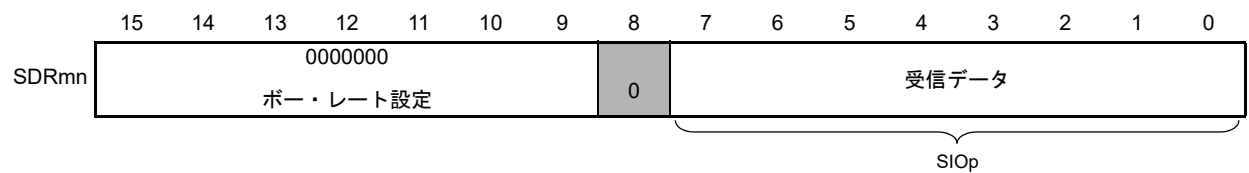
(a) シリアル・モード・レジスタ mn (SMRmn)



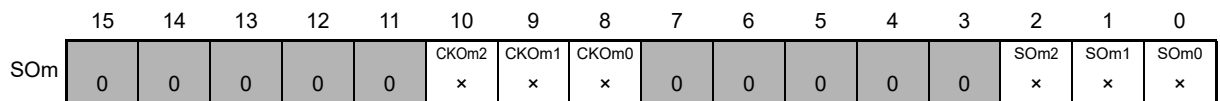
(b) シリアル通信動作設定レジスタ mn (SCRmn)



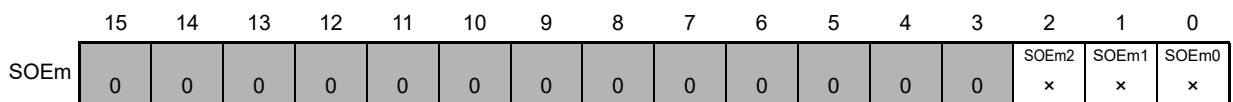
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



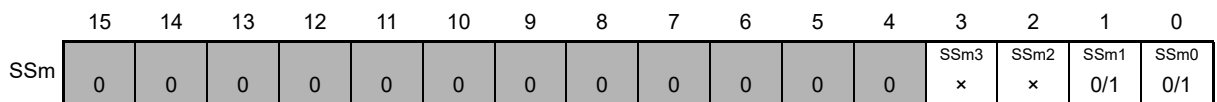
(d) シリアル出力レジスタ m (SOm) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) p : CSI番号(p = 00, 01) mn = 00, 01

備考2. : 簡易SPI(CSI)スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 59 スレーブ受信の初期設定手順

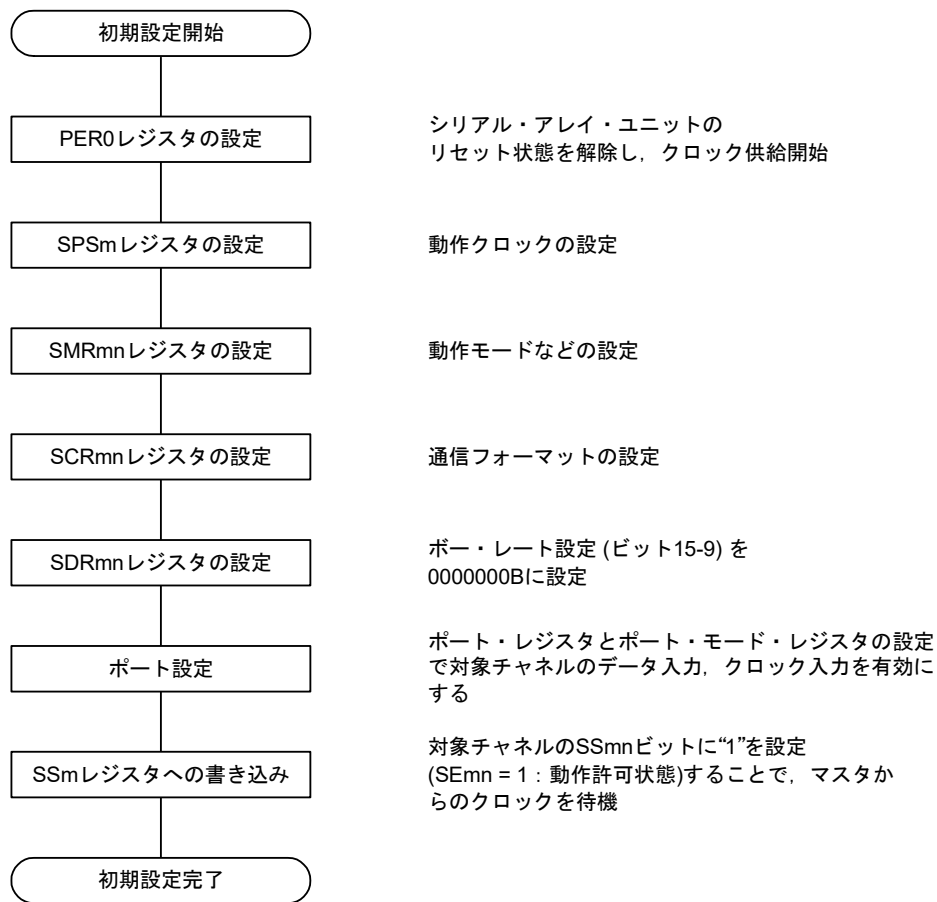


図 19 - 60 スレーブ受信の中断手順

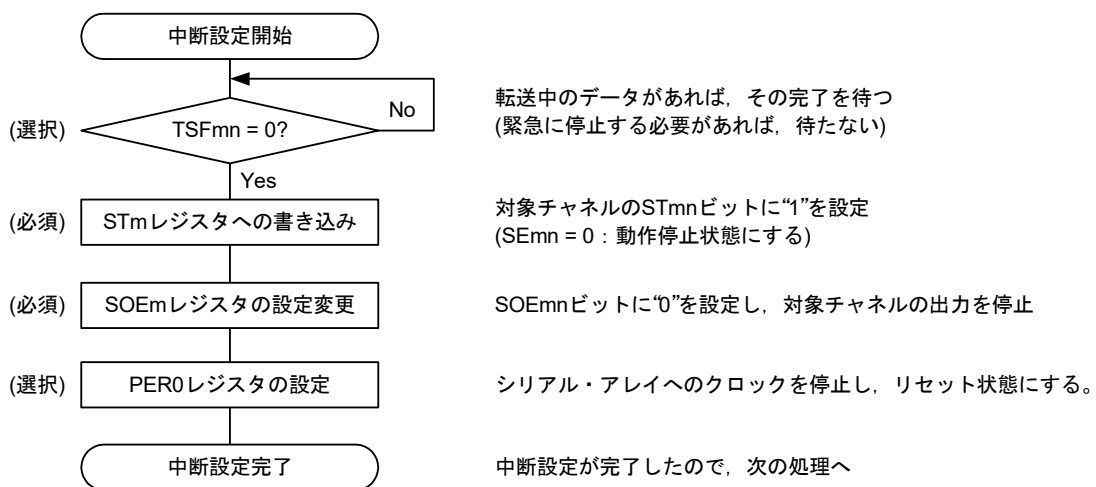
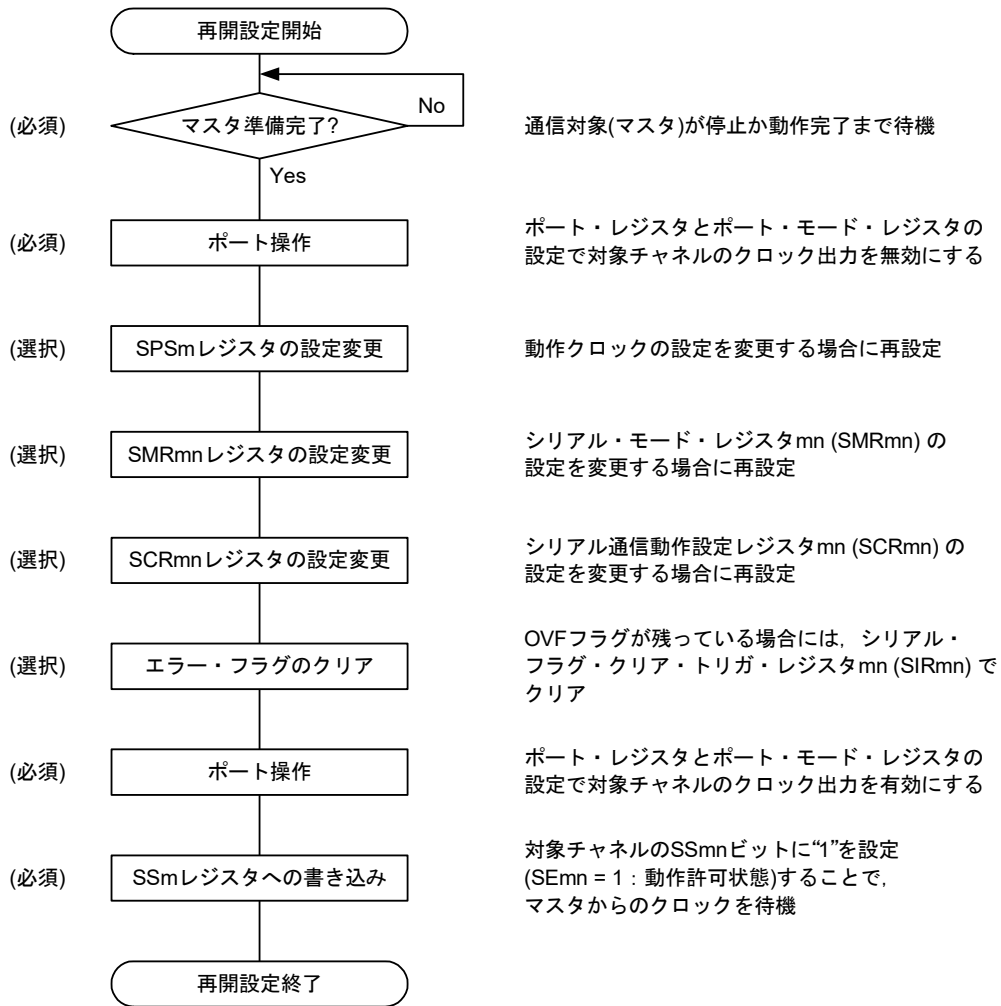


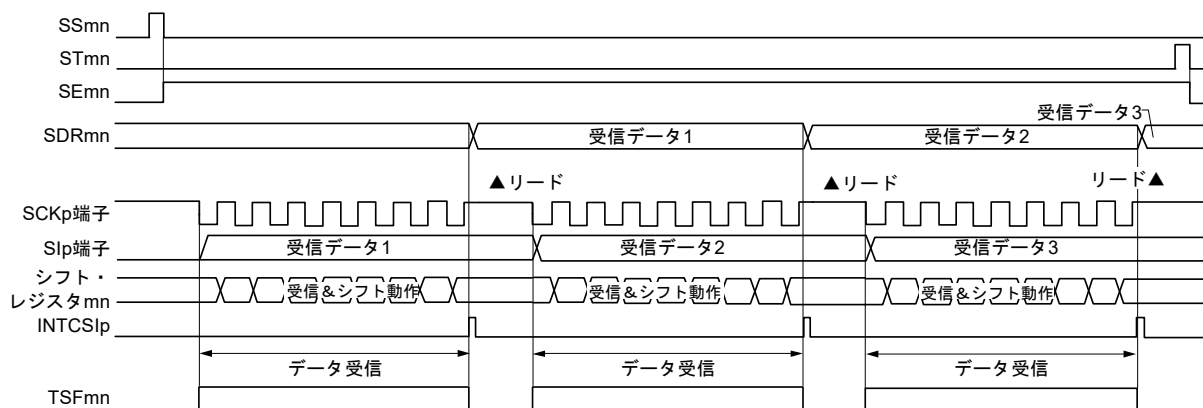
図 19 - 61 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

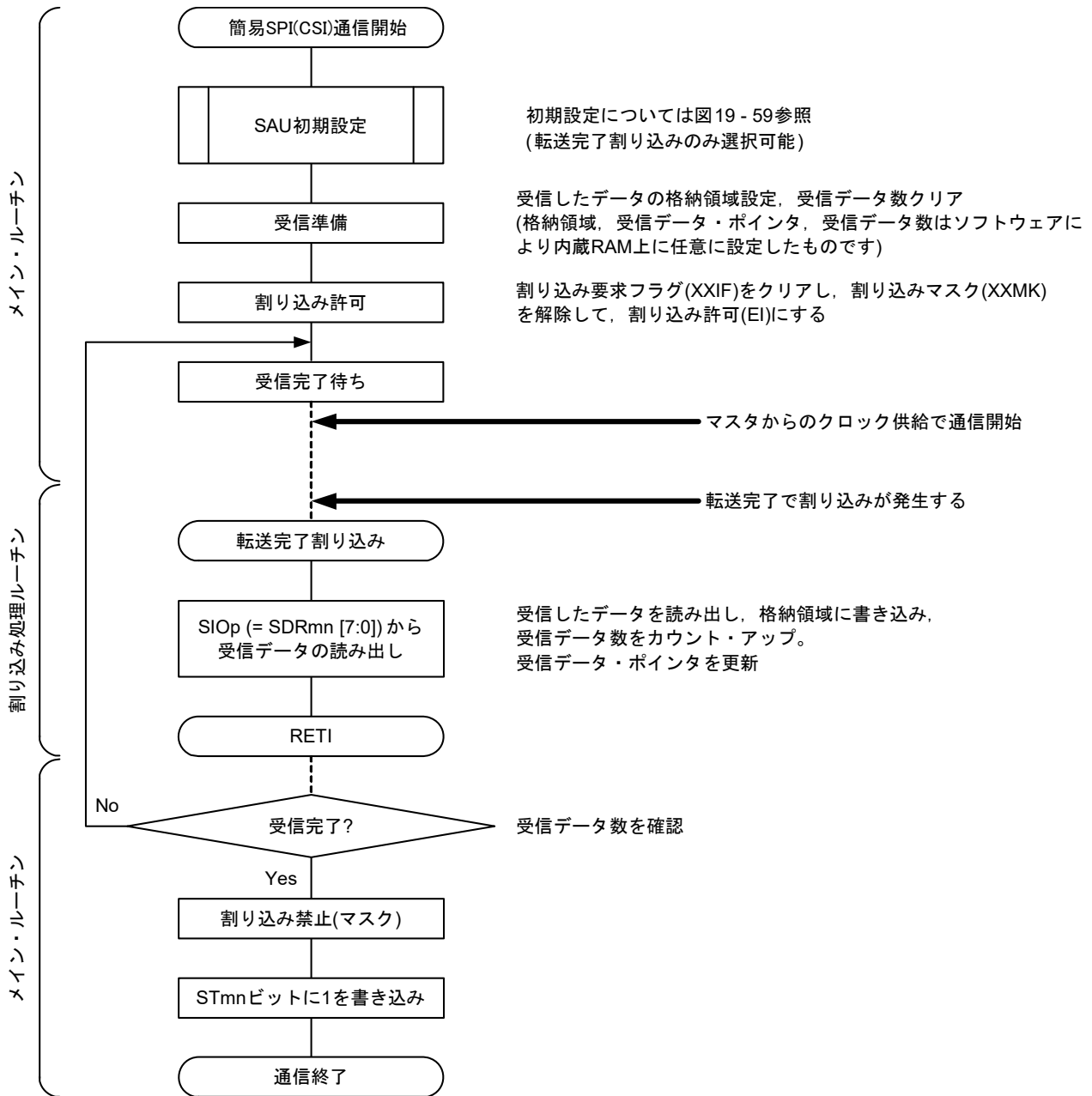
(3) 処理フロー (シングル受信モード時)

図 19 - 62 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

図19-63 スレーブ受信(シングル受信モード時)のフロー・チャート



19.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. $f_{MCK}/12$ [Hz] ^{注1, 2}	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 	
データ方向	MSBファーストまたはLSBファースト	

注1. SCK00, SCK01端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/12$ [Hz]となります。

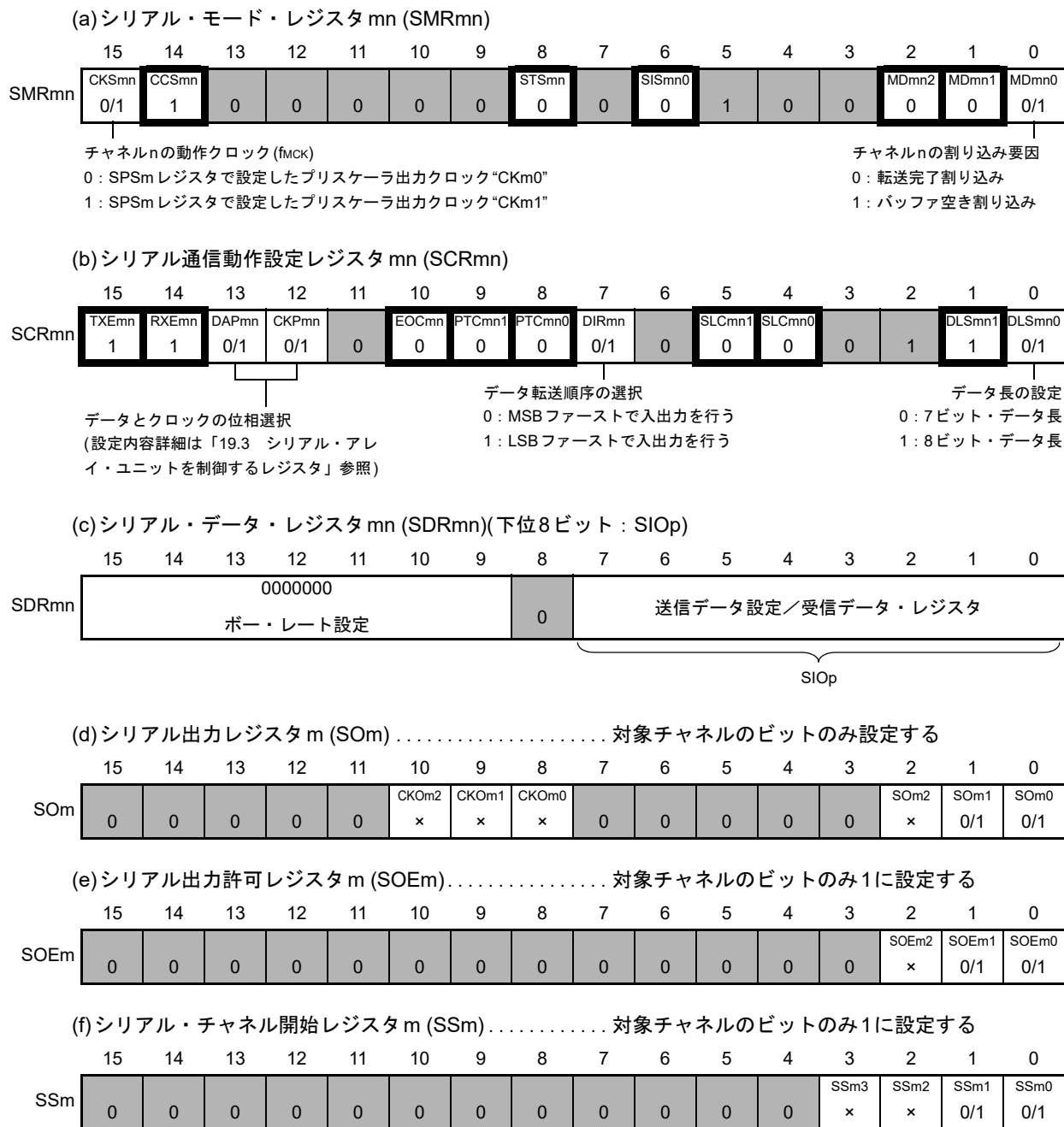
注2. この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn = 00, 01

(1) レジスタ設定

図 19 - 64 簡易SPI (CSI00, CSI01)のスレーブ送受信時のレジスタ設定内容例



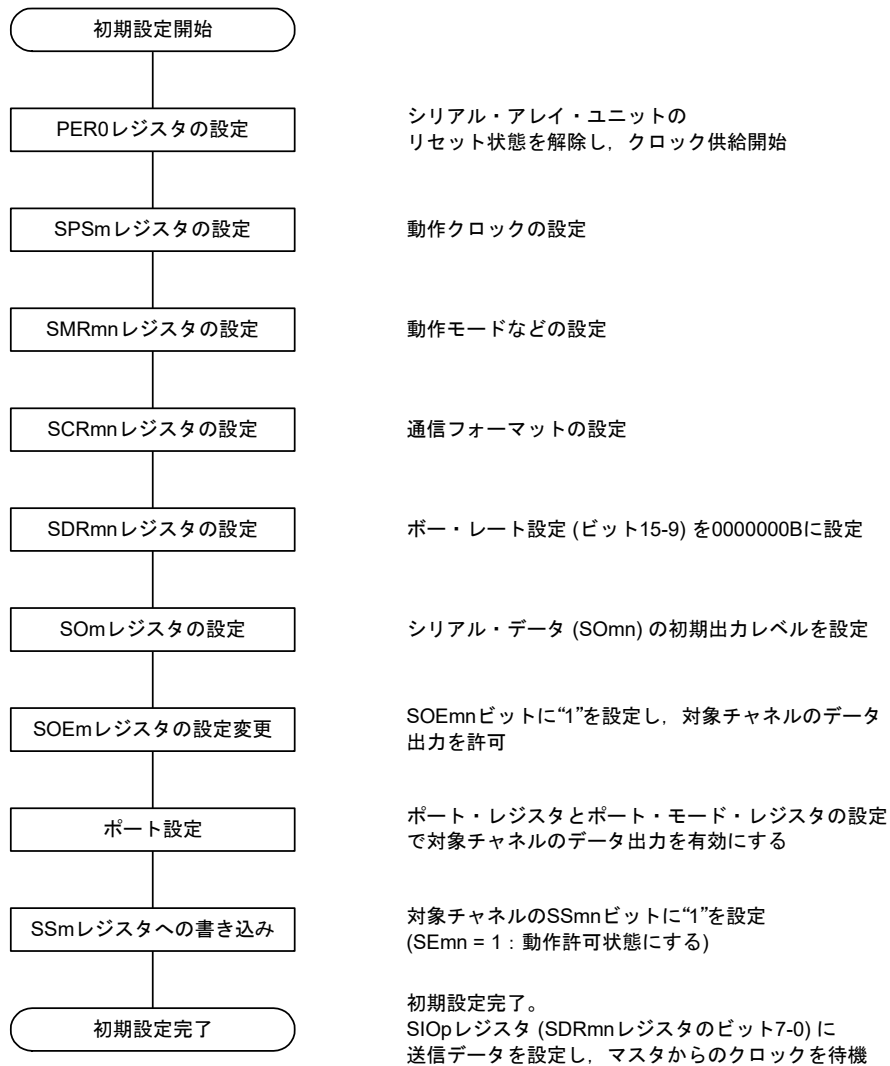
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) p : CSI番号(p = 00, 01) mn = 00, 01

備考2. : 簡易SPI(CSI)スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 65 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 19 - 66 スレーブ送受信の中断手順

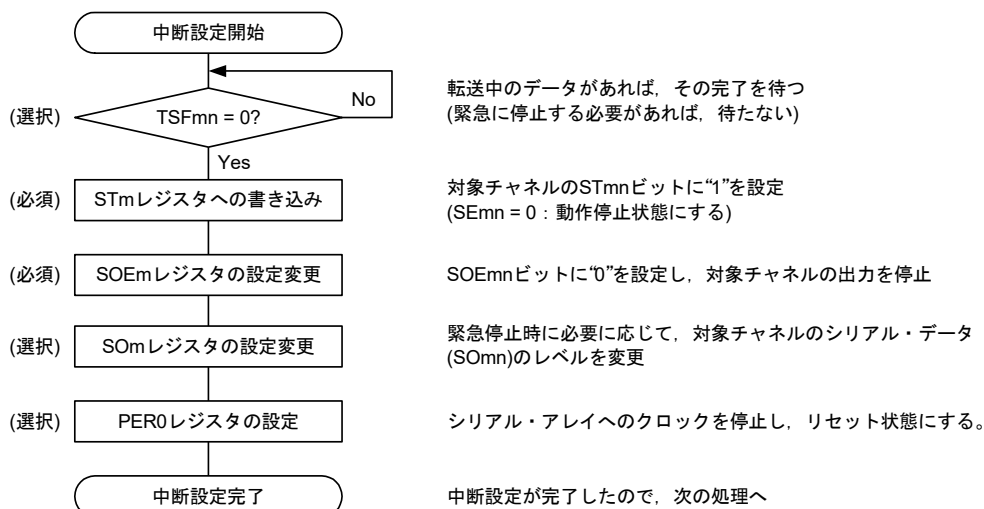
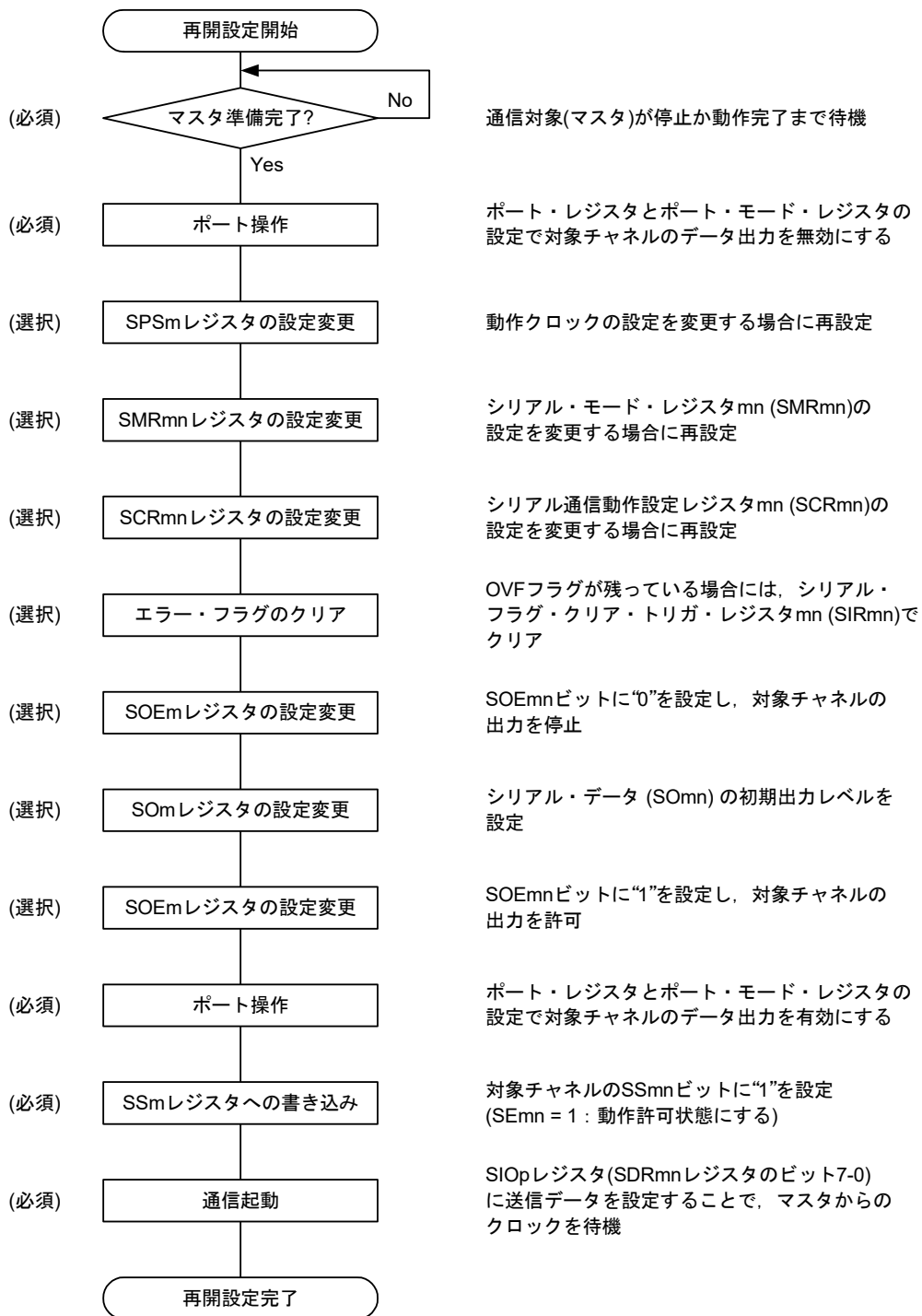


図 19 - 67 スレーブ送受信の再開設定手順

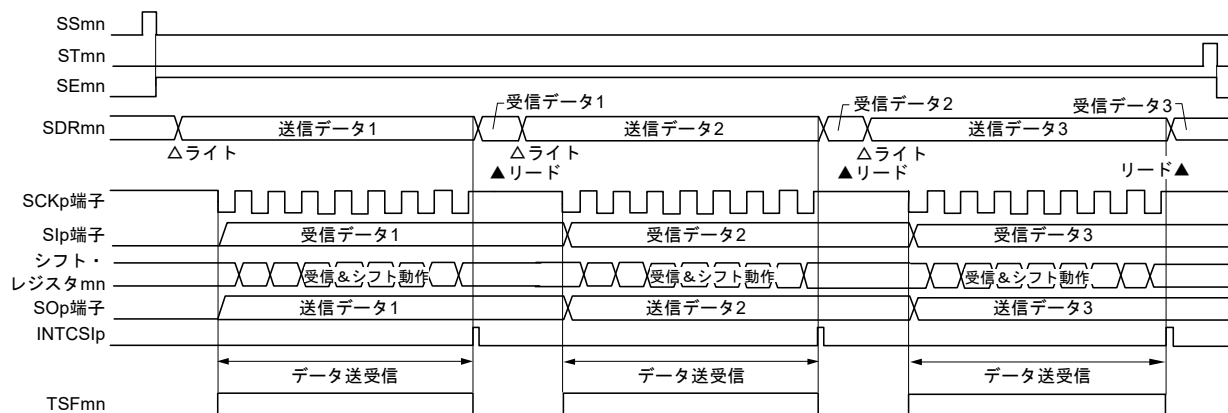


注意 1. マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

注意 2. 中断設定で PER0 を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

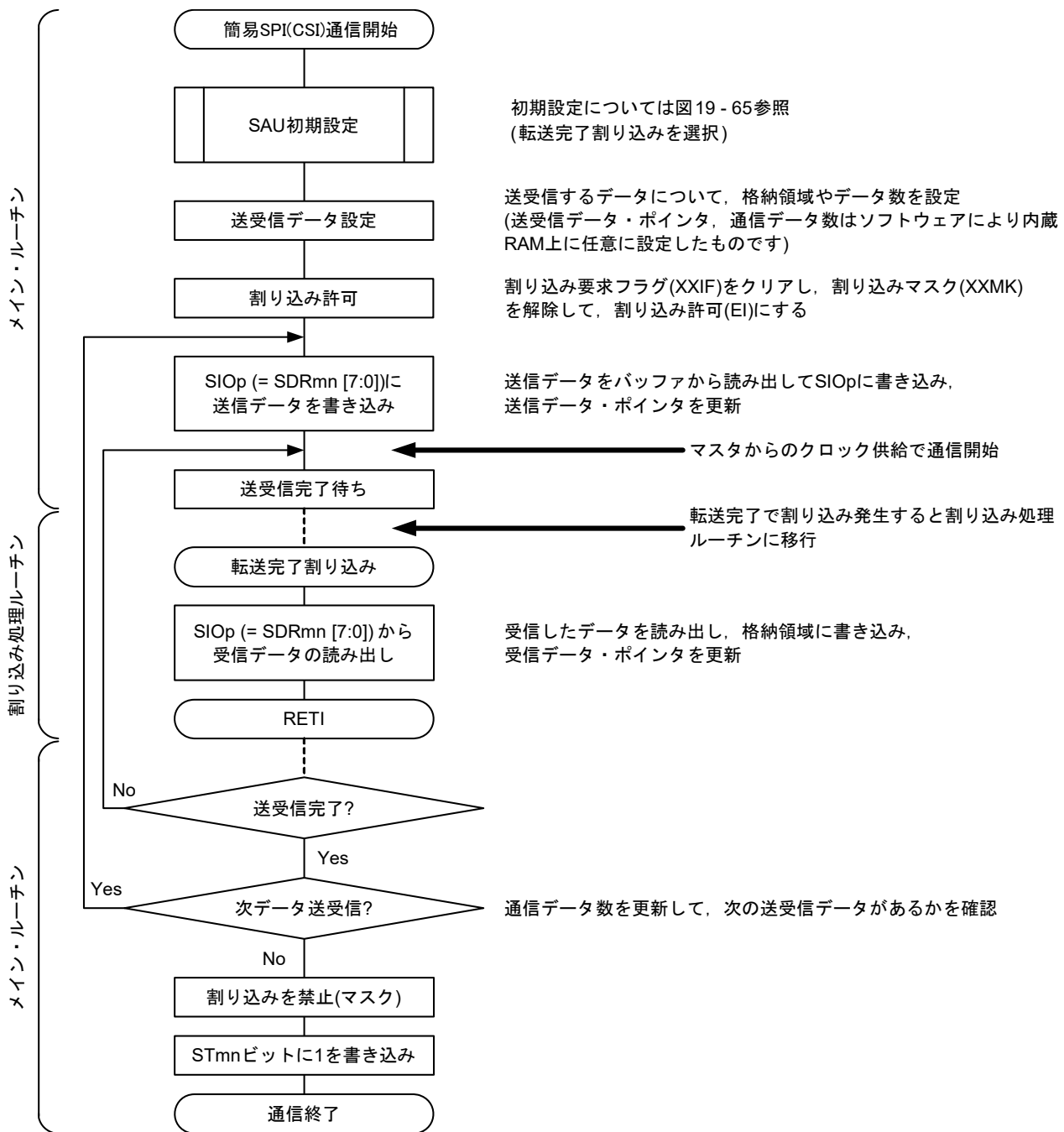
(3) 処理フロー (シングル送受信モード時)

図 19 - 68 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01) mn = 00, 01

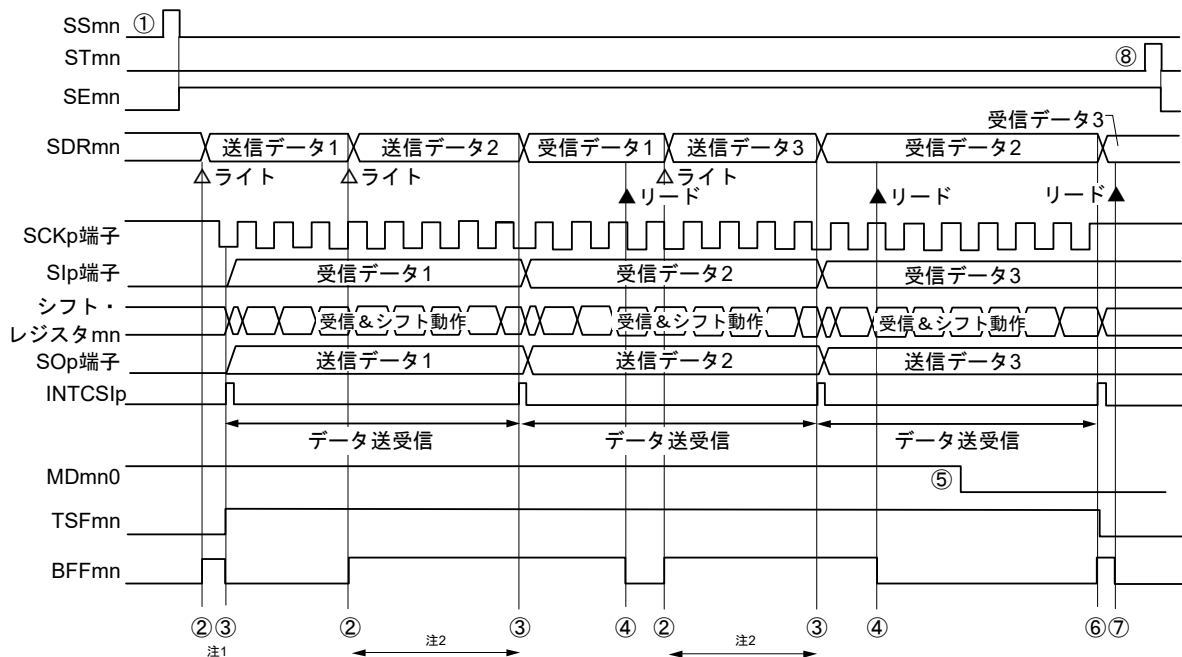
図 19 - 69 スレーブ送受信(シングル送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図19-70 スレーブ送受信(連続送受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

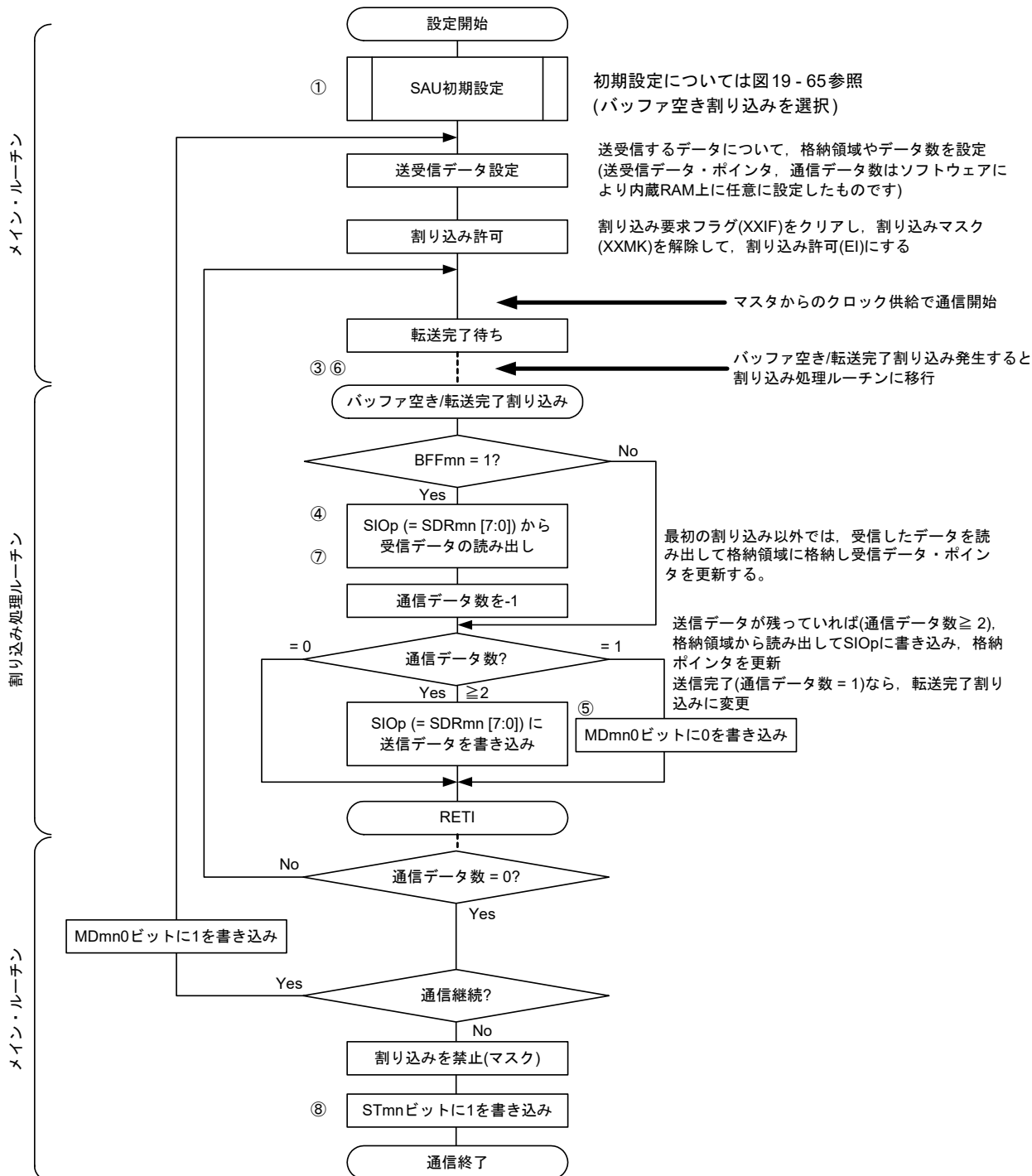
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19-71 スレーブ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m: ユニット番号(m = 0) n: チャネル番号(n = 0, 1) p: CSI番号(p = 00, 01) mn = 00, 01

図19-71 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は、図19-70 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

19.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI(CSI)の受信動作をさせるモードです。通常STOP時に簡易SPI(CSI)は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI(CSI)の受信動作を行うことができます。SNOOZEモードは、CSI00のみ設定可能です。

簡易SPI(CSI)をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います(図19-73、図19-75 SNOOZEモード動作時のフロー・チャートを参照)。

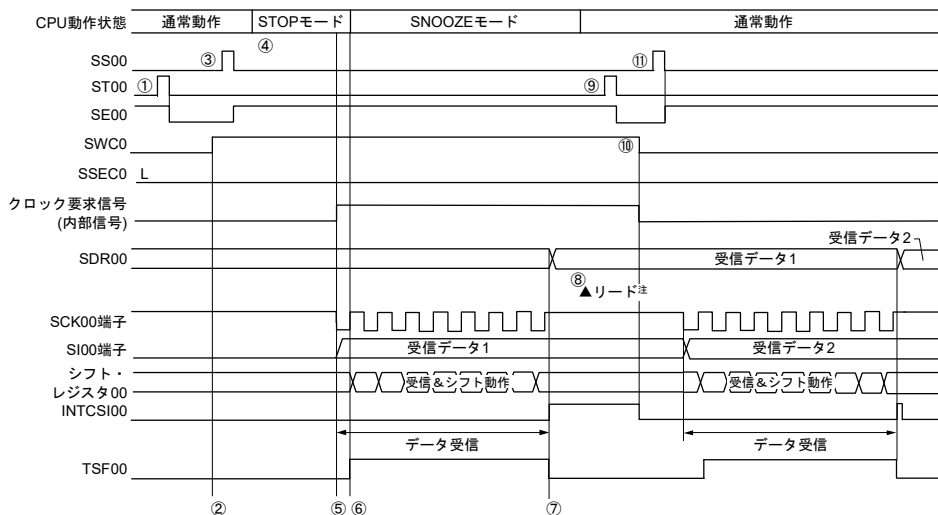
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm0ビットをセット(1)します。
- STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作(1回起動)

図19-72 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

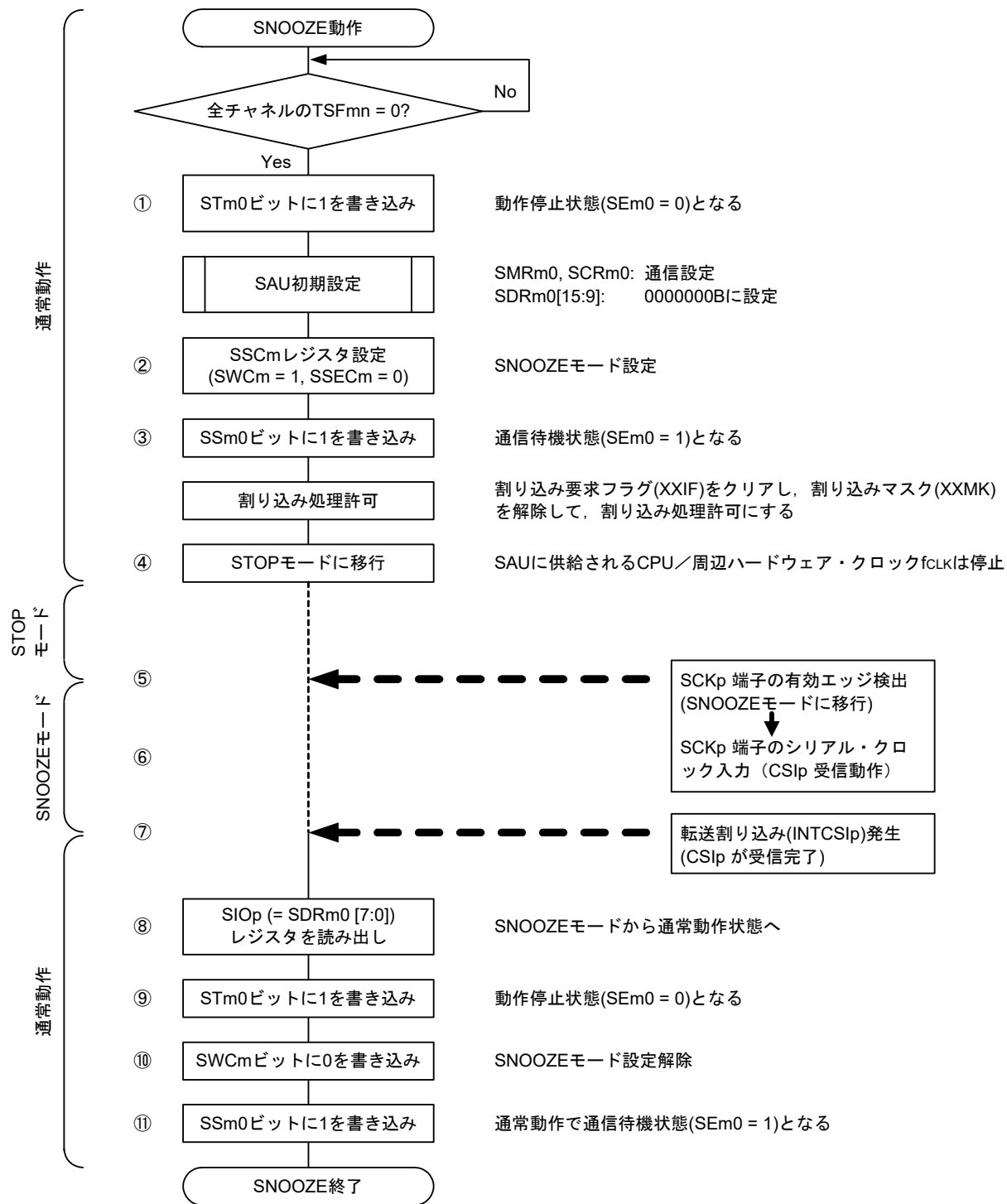
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVfM1フラグは動作しません。

備考1. 図中の①~⑪は、図19-73 SNOOZEモード動作(1回起動)時のフロー・チャートの①~⑪に対応しています。

備考2. m = 0; n = 0; p = 00

図 19 - 73 SNOOZEモード動作(1回起動)時のフロー・チャート

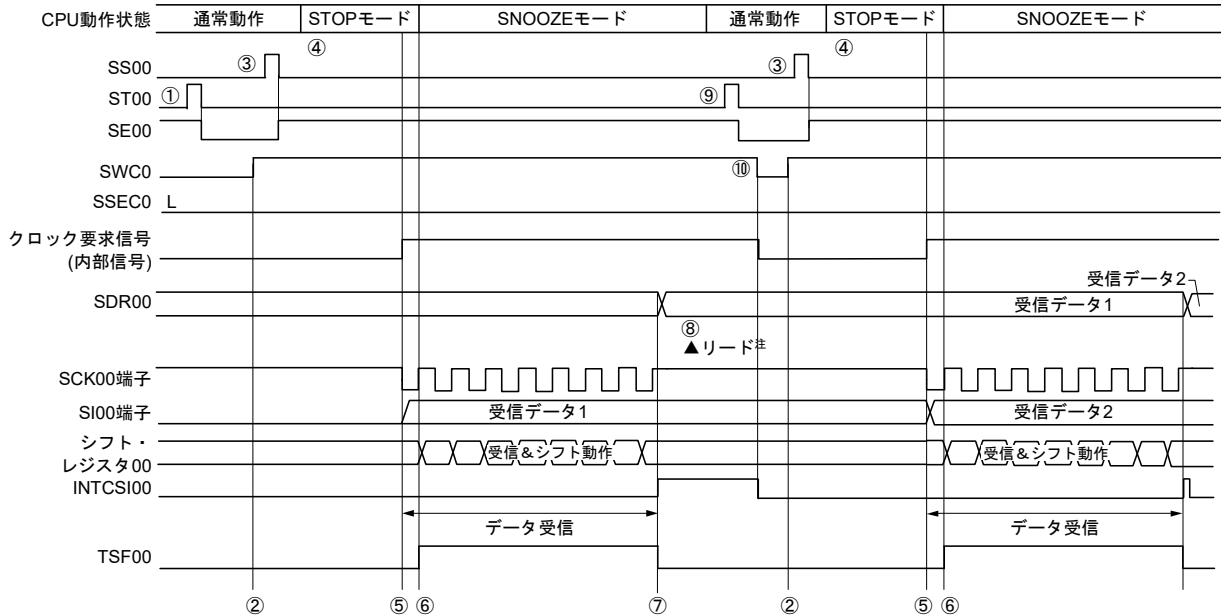


備考1. 図中の①~⑪は、図 19 - 72 SNOOZEモード動作(1回起動)時のタイミング・チャートの①~⑪に対応しています。

備考2. m = 0; p = 00

(2) SNOOZEモード動作(連続起動)

図19 - 74 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

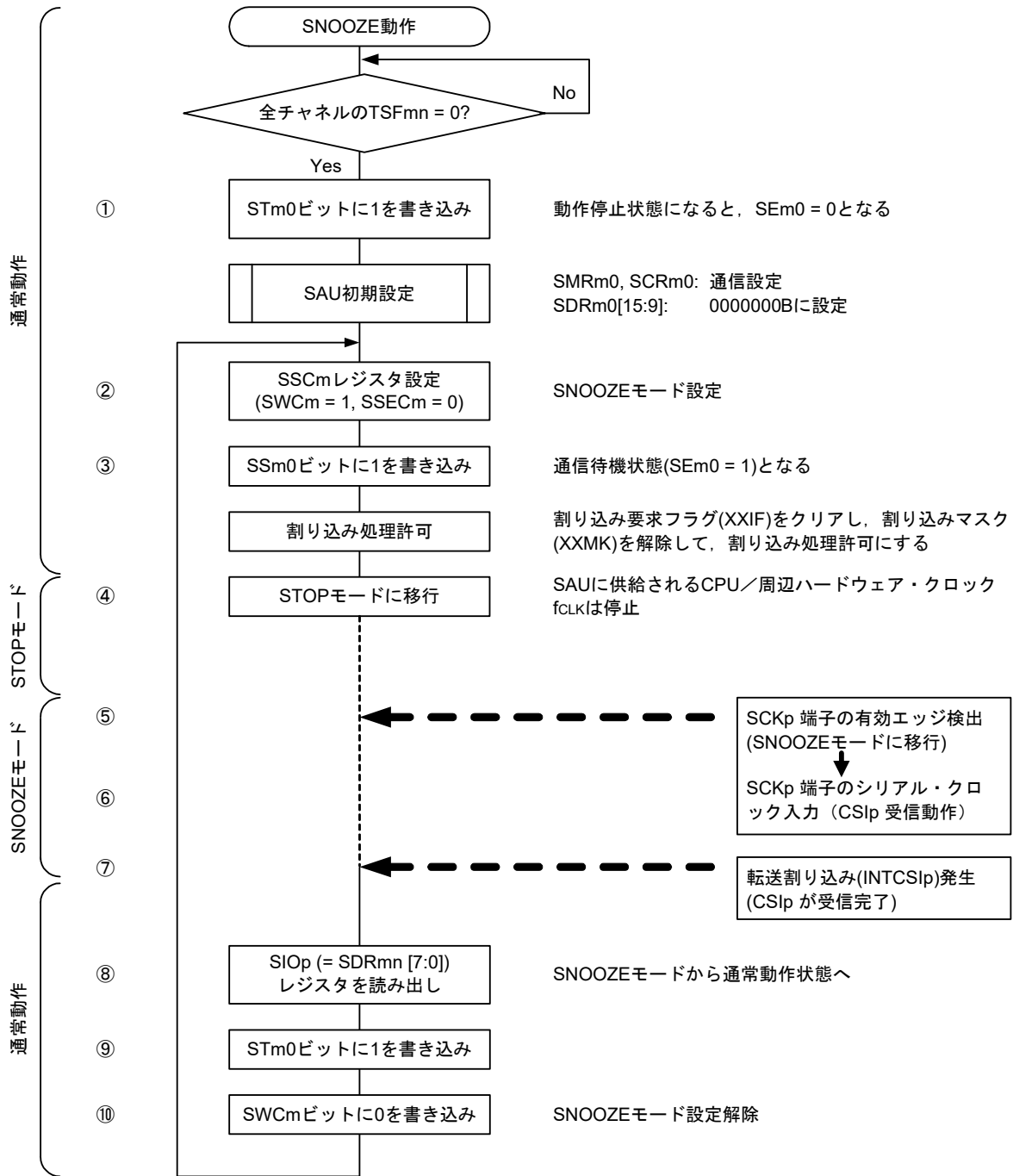
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVFm1フラグは動作しません。

備考1. 図中の①～⑩は、図19 - 75 SNOOZEモード動作(連続起動)時のフロー・チャートの①～⑩に対応しています。

備考2. m = 0; n = 0

図 19 - 75 SNOOZEモード動作(連続起動)時のフロー・チャート



備考 1. 図中の①～⑩は、図 19 - 74 SNOOZEモード動作(連続起動)時のタイミング・チャートの①～⑩に対応しています。

備考 2. m = 0; p = 00

19.5.8 転送クロック周波数の算出

簡易SPI(CSI00, CSI01)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数はfMCK/6となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000000B-1111111B)なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmn)で決まります。

表 19 - 3 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	8 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	4 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	2 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	1 MHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	500 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	250 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	125 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	x	x	x	x	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	x	x	x	x	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	x	x	x	x	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
x	x	x	x	1	1	1	1	fCLK/2 ¹⁵	977 Hz	
1	0	0	0	0	x	x	x	x	fCLK	32 MHz
	0	0	0	1	x	x	x	x	fCLK/2	16 MHz
	0	0	1	0	x	x	x	x	fCLK/2 ²	8 MHz
	0	0	1	1	x	x	x	x	fCLK/2 ³	4 MHz
	0	1	0	0	x	x	x	x	fCLK/2 ⁴	2 MHz
	0	1	0	1	x	x	x	x	fCLK/2 ⁵	1 MHz
	0	1	1	0	x	x	x	x	fCLK/2 ⁶	500 kHz
	0	1	1	1	x	x	x	x	fCLK/2 ⁷	250 kHz
	1	0	0	0	x	x	x	x	fCLK/2 ⁸	125 kHz
	1	0	0	1	x	x	x	x	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	x	x	x	x	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	x	x	x	x	fCLK/2 ¹¹	15.63 kHz
	1	1	0	0	x	x	x	x	fCLK/2 ¹²	7.81 kHz
	1	1	0	1	x	x	x	x	fCLK/2 ¹³	3.91 kHz
	1	1	1	0	x	x	x	x	fCLK/2 ¹⁴	1.95 kHz
1	1	1	1	x	x	x	x	fCLK/2 ¹⁵	977 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ (CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考 1. x : Don't care

備考 2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1), mn = 00, 01

19.5.9 簡易SPI (CSI00, CSI01)通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI01)通信時にエラーが発生した場合の処理手順を図19 - 76に示します。

図19 - 76 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn = 00, 01

19.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作

スレーブセレクト入力機能付クロック同期シリアル通信に対応しているチャンネルは、SAU0のチャンネル0です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択
- 送受信データのレベル設定

[クロック制御]

- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 スレーブ通信時 : Max. $f_{MCK}/12$

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

注 SCKサイクル・タイム(t_{CKCY})の特性を満たす範囲内で使用してください。詳細は、第33章 または第34章 電气的特性を参照してください。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	—		—

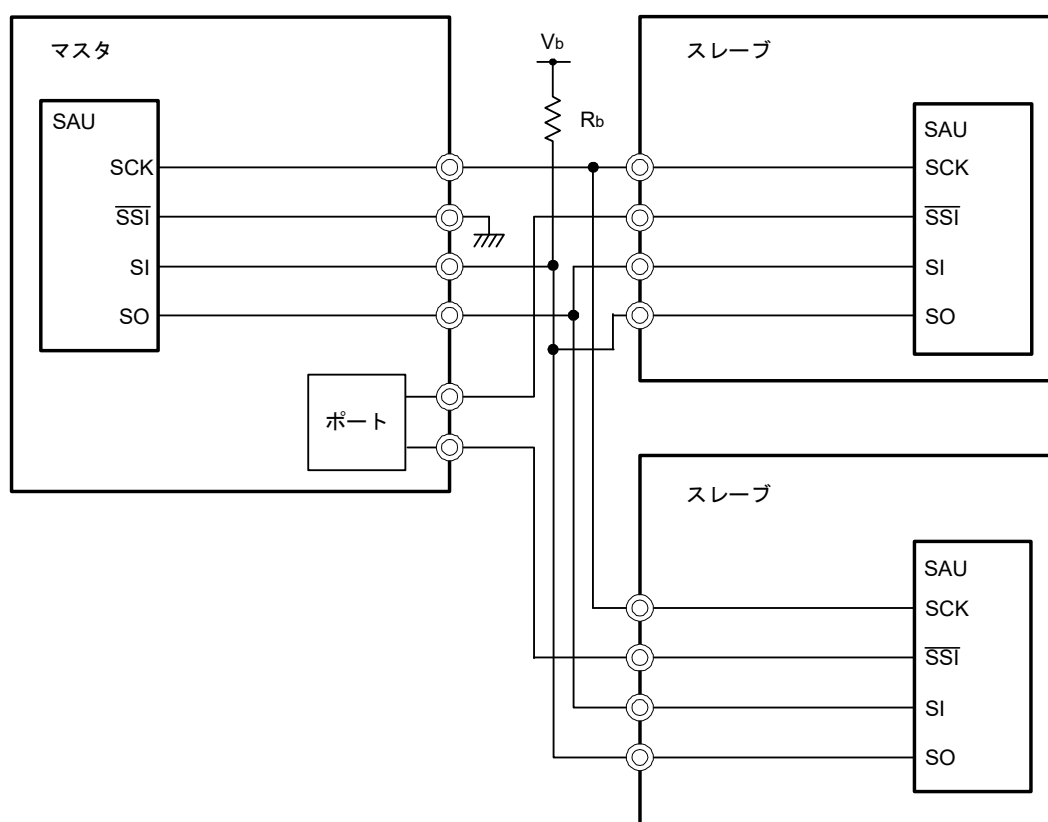
スレーブセレクト入力機能の通信動作は、以下の3種類があります。

- スレーブ送信(19.6.1項を参照)
- スレーブ受信(19.6.2項を参照)
- スレーブ送受信(19.6.3項を参照)

スレーブセレクト入力機能を使うことで、マスタ1つに対し複数のスレーブを接続し、通信を行うことができます。マスタは通信相手となるスレーブ(1つ)に対しスレーブ選択信号を出力し、各スレーブは通信相手として自分が選択されたかを判断し、SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子はマスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には、SO端子はハイ・レベル出力となるため、複数のスレーブが接続される環境では、SO端子はNch-O.Dの設定にし、そのノードはプルアップする必要があります。また、スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意 スレーブ選択信号の出力はポート操作により行ってください。

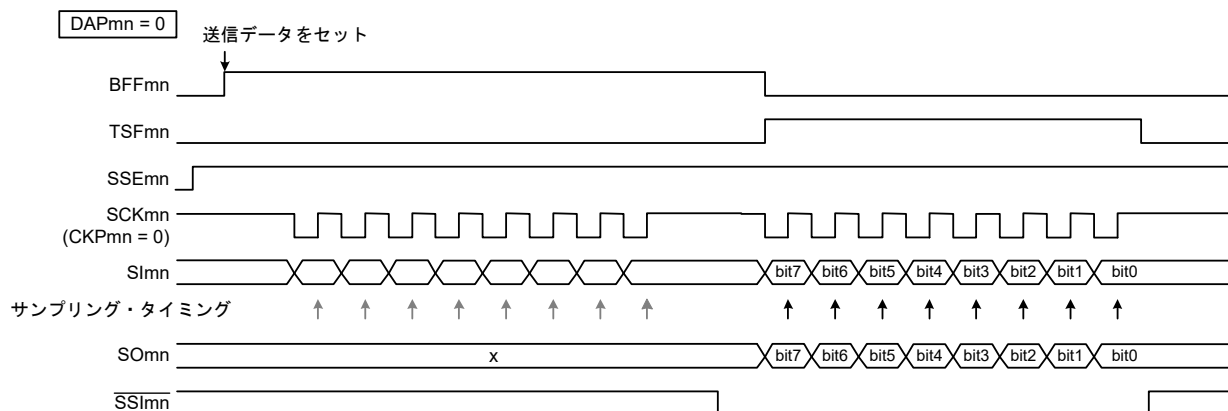
図19 - 77 スレーブセレクト入力機能の構成例



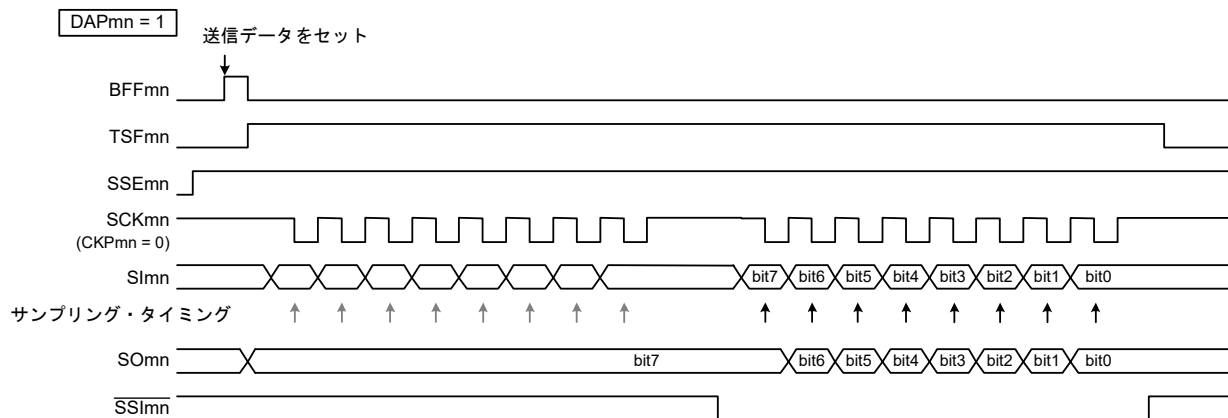
注意 $V_{DD} \geq V_b$ で使用してください。

SO00端子はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

図 19 - 78 スレーブセレクト入力機能のタイミング図



SSImnがハイ期間ではSCKmn (シリアル・クロック) の立ち下がりエッジが来ても送信を行いません。
 また、立ち上がりエッジに同期して受信データのサンプリングも行いません。
 SSImnがロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを出力 (シフト) し、
 立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1 の場合、SSImnがハイ期間に送信データがセットされると、データ出力に最初のデータ (bit7) を出力します。しかし、SCKmn (シリアル・クロック) の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると、次の立ち上がりエッジに同期してデータを出力 (シフト) し、立ち下がりエッジに同期して受信動作を行います。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

19.6.1 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスヘデータを送信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/12$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSB ファーストまたはLSB ファースト
スレーブセレクト入力機能	スレーブ・セレクト機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/12$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

(1) レジスタ設定

図 19 - 79 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(1/2)

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fmck) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0 : 転送完了割り込み
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1” 1 : バッファ空き割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択 データ転送順序の選択 データ長の設定
 (設定内容詳細は「19.3 シリアル・アレイ・ユニットを制御するレジスタ」参照) 0 : MSBファーストで入出力を行う 0 : 7ビット・データ長
1 : LSBファーストで入出力を行う 1 : 8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	00000000								0	送信データ設定							
	ボー・レート設定																

SIOp

(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2	CKOm1	CKOm0						SOm2	SOm1	SOm0
	0	0	0	0	0	x	x	x	0	0	0	0	0	x	x	0/1

(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0/1

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI(CSI)スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図19 - 80 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

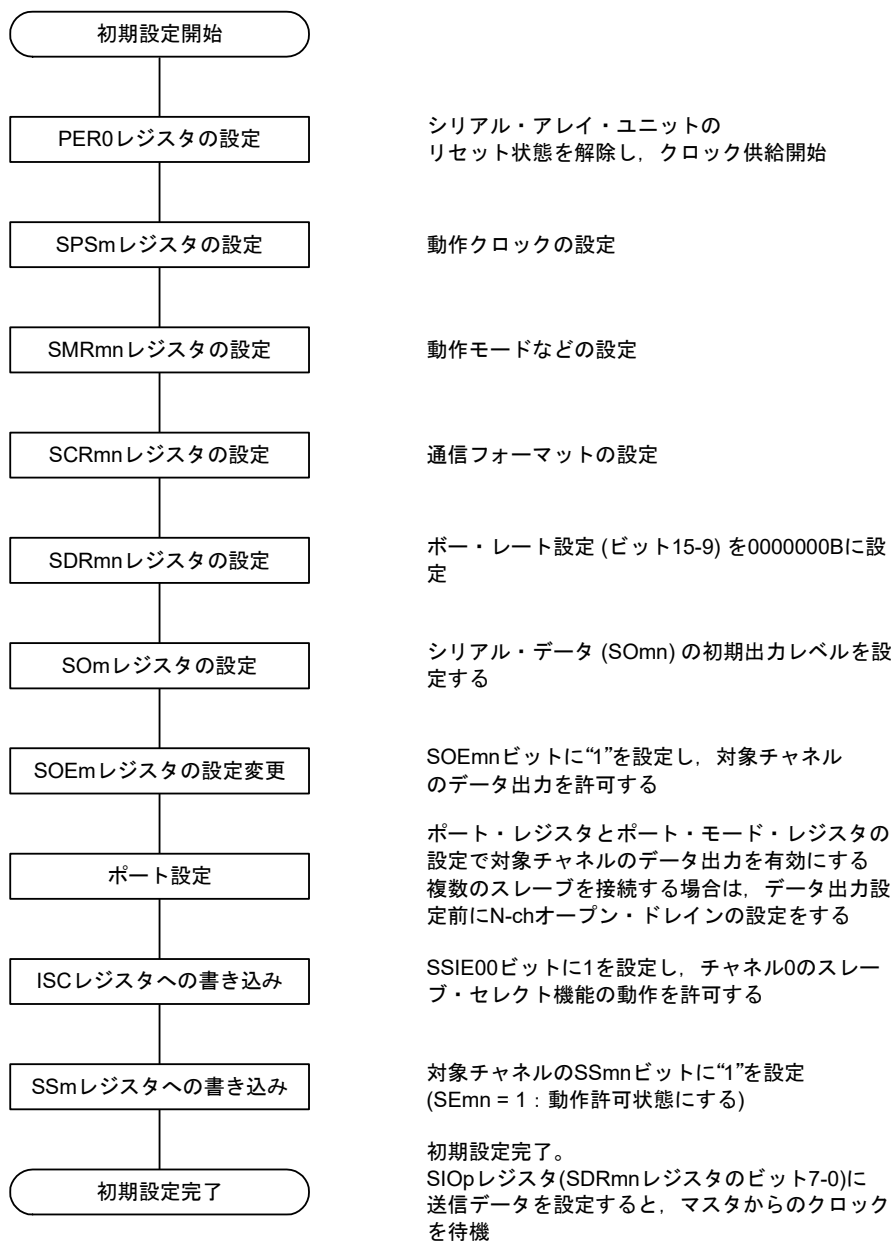
0 : SSI00端子の入力値を無効
1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI(CSI)スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

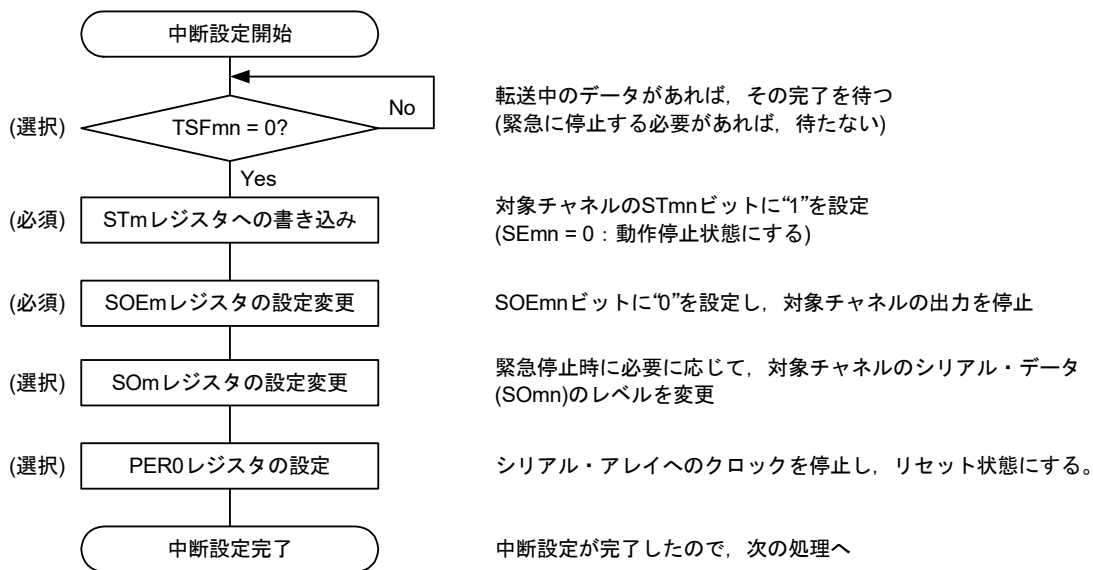
(2) 操作手順

図 19 - 81 スレーブ送信の初期設定手順



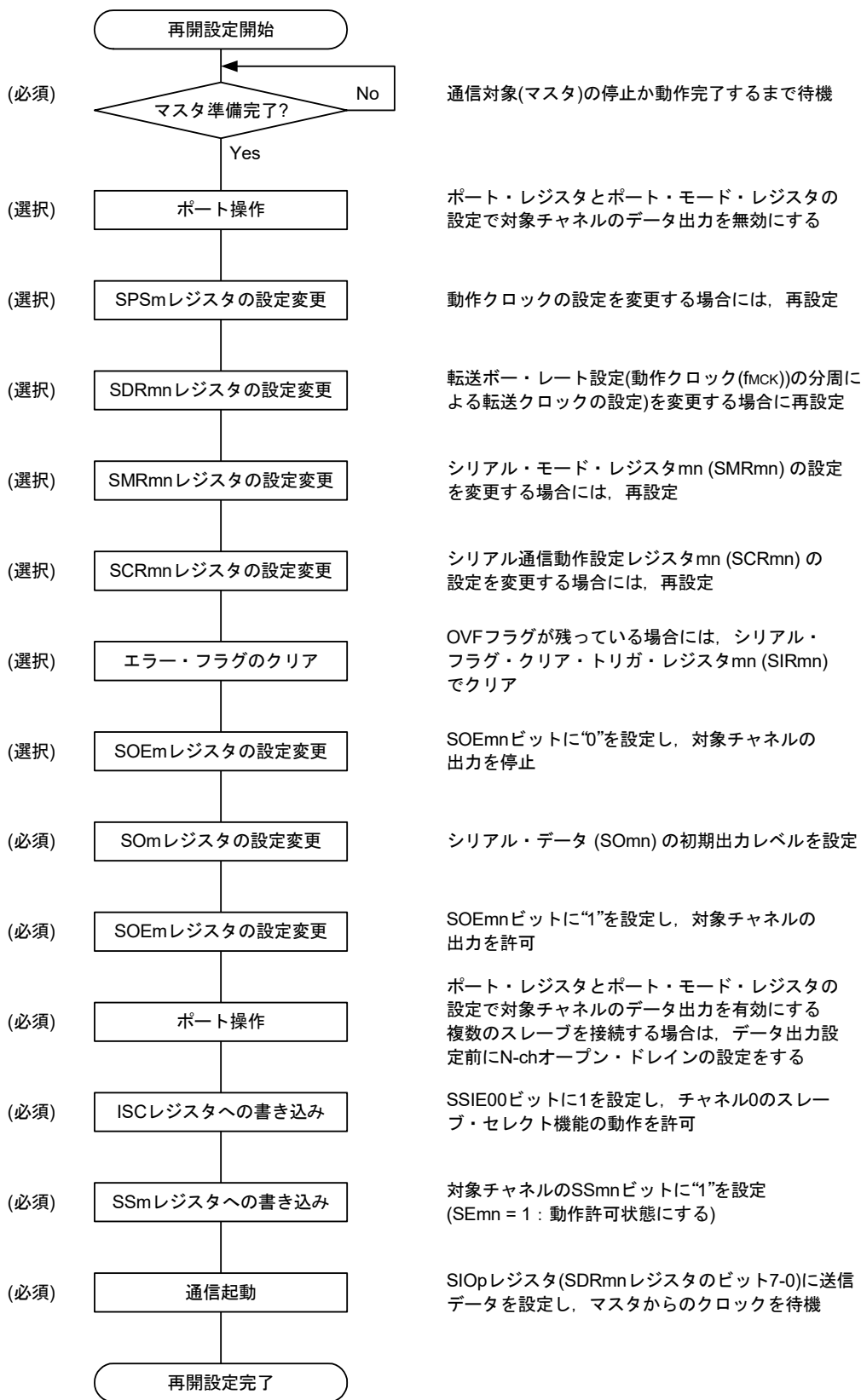
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 19 - 82 スレーブ送信の中断手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 19 - 83 スレーブ送信の再開設定手順

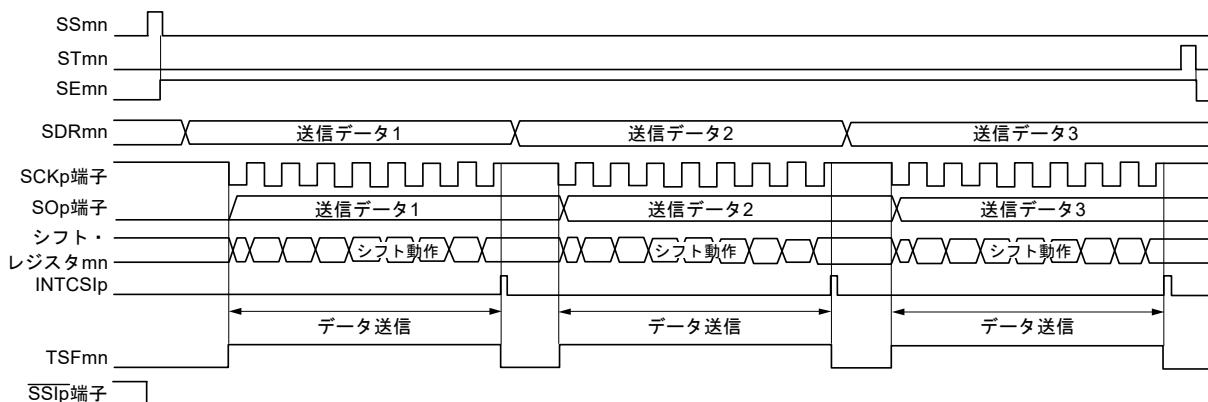


備考 1. 中断設定で PER0 を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

備考 2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

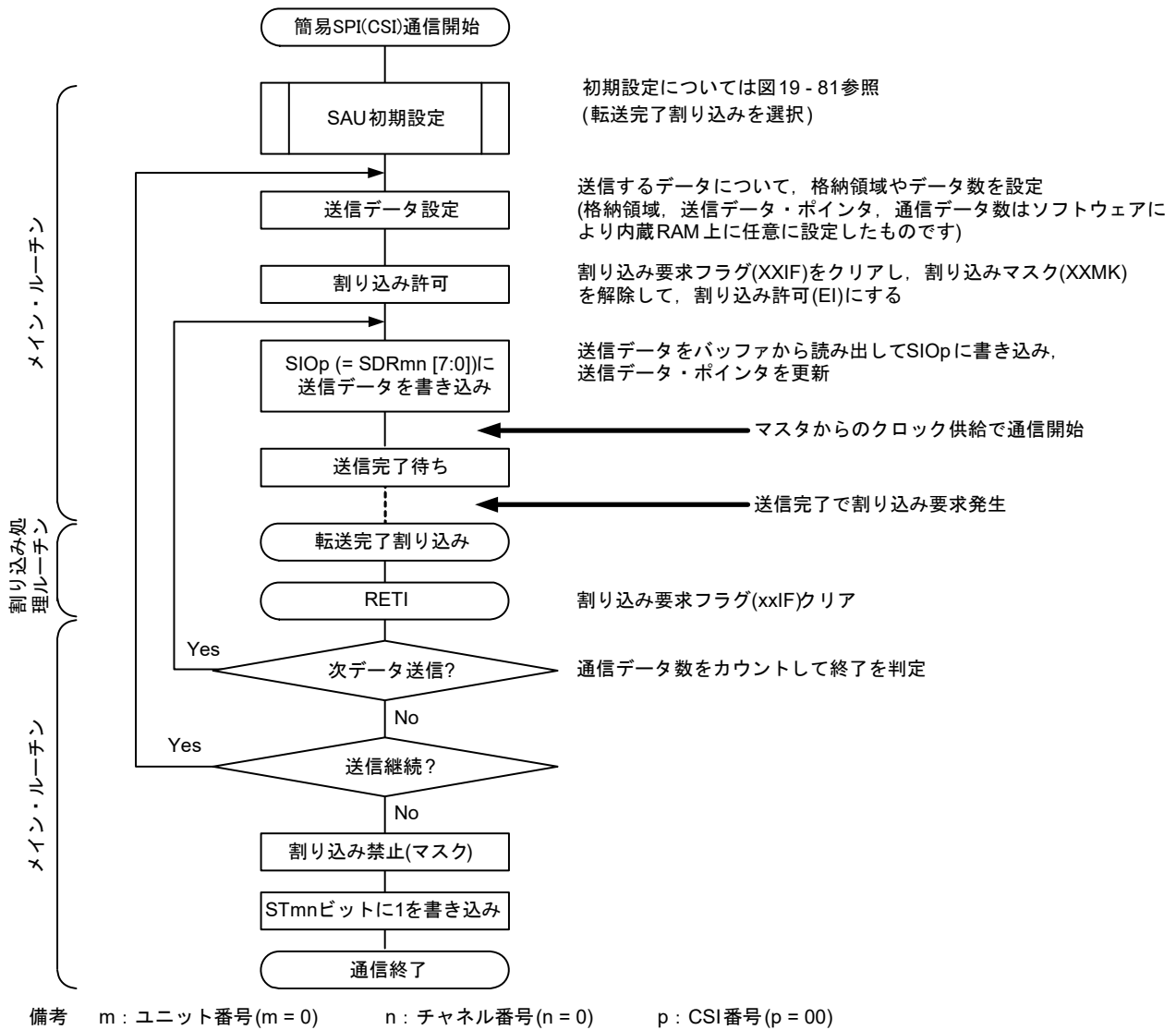
(3) 処理フロー (シングル送信モード時)

図 19 - 84 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



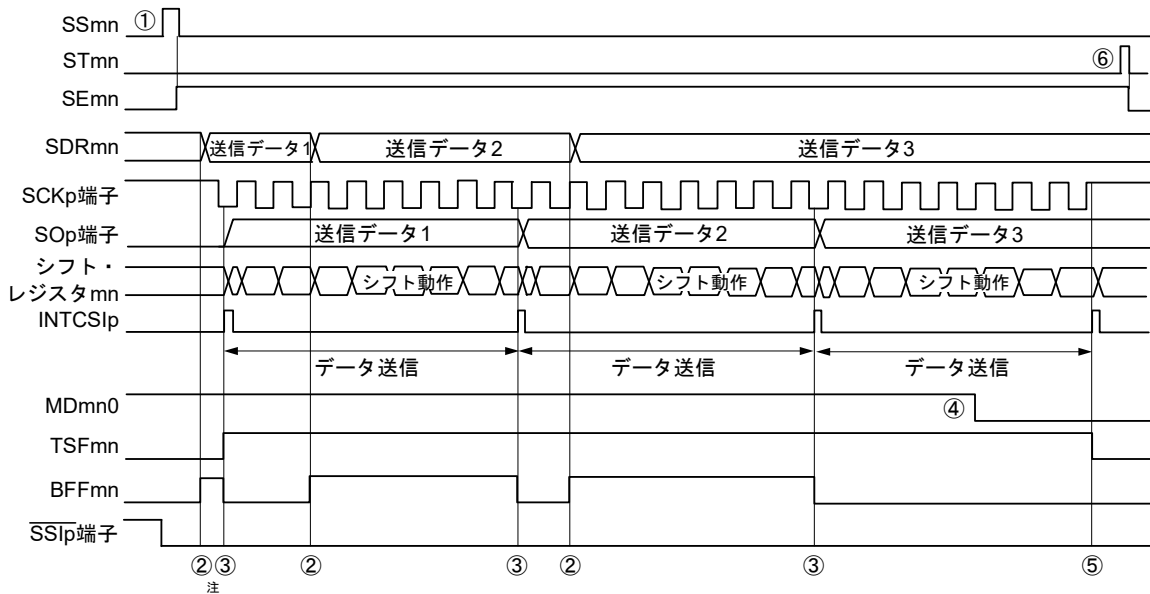
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 19 - 85 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図19 - 86 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

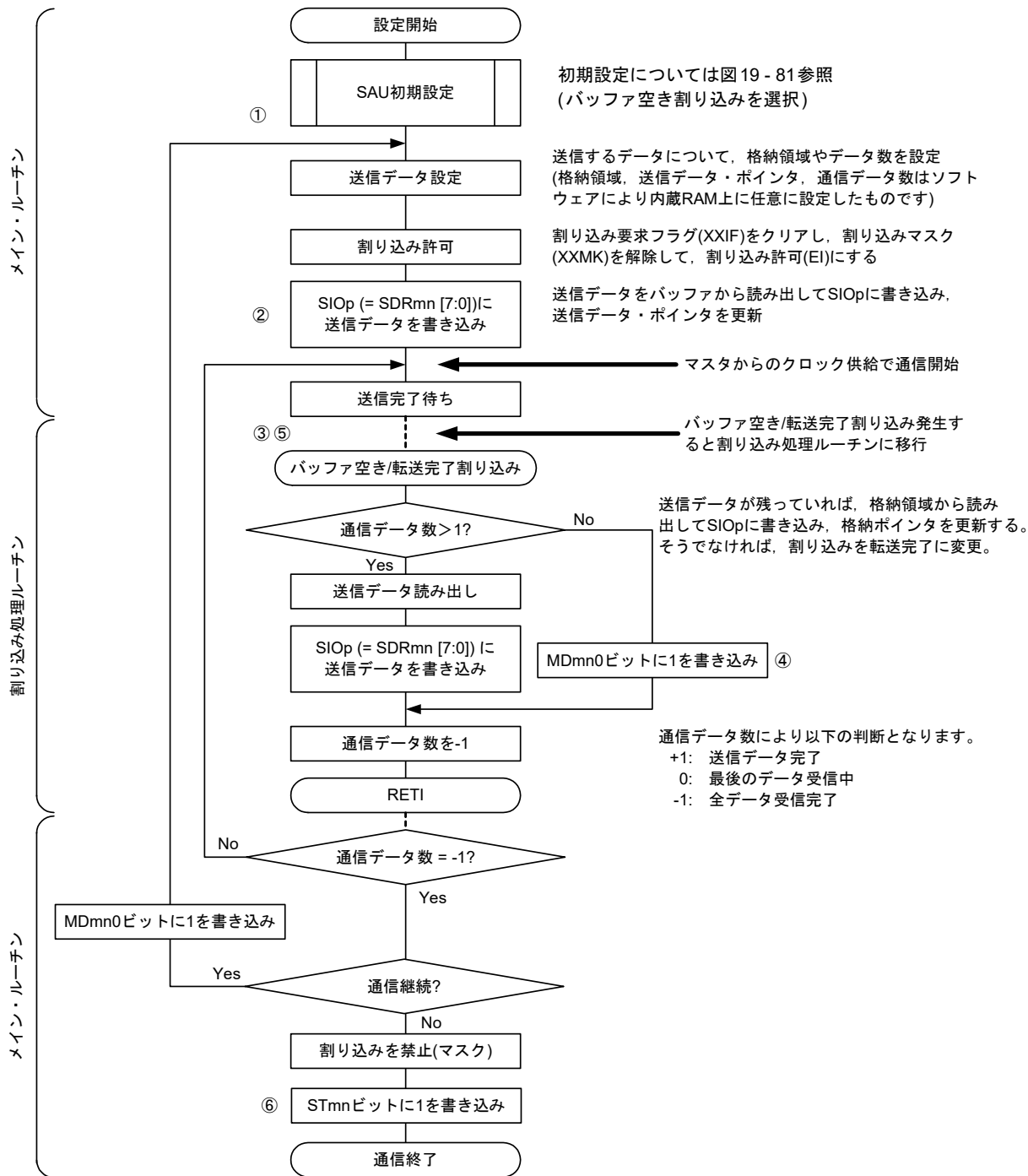


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

図19-87 スレーブ送信(連続送信モード時)のフロー・チャート



備考1. 図中の①～⑥は、図19-86 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

19.6.2 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/12$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/12$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

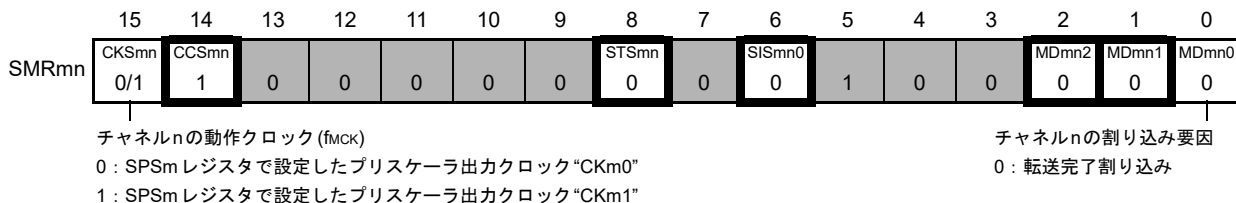
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

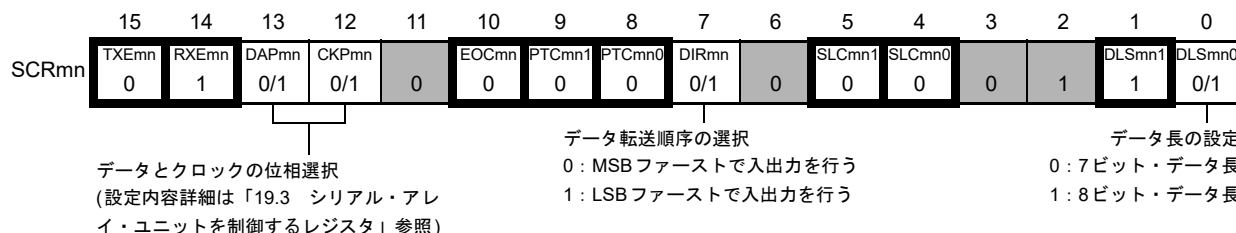
(1) レジスタ設定

図 19 - 88 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2)

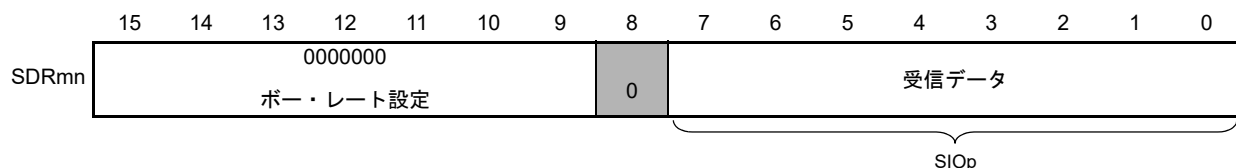
(a) シリアル・モード・レジスタ mn (SMRmn)



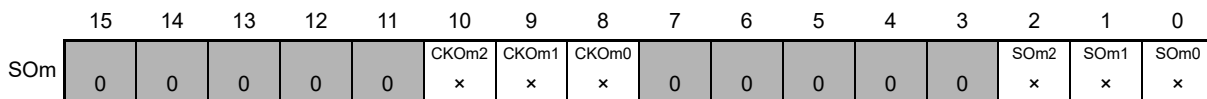
(b) シリアル通信動作設定レジスタ mn (SCRmn)



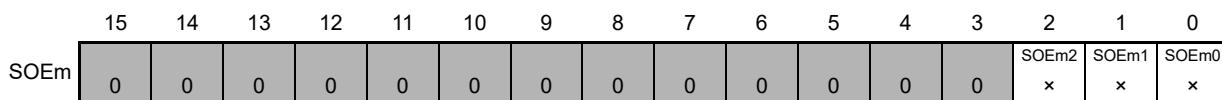
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI(CSI)スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図19 - 89 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													x	x	x	0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00						ISC1	ISC0
	0/1	0	0	0	0	0	0/1	0/1

0 : SSI00端子の入力値を無効
 1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI(CSI)スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 90 スレーブ受信の初期設定手順

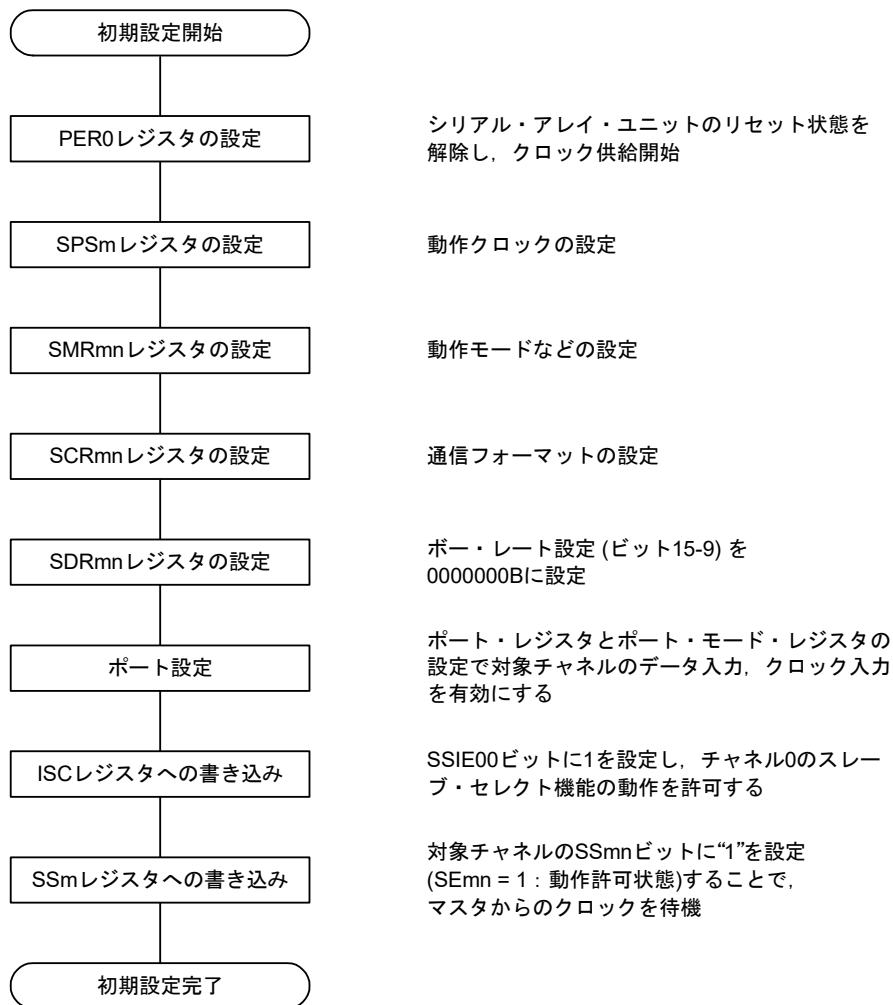
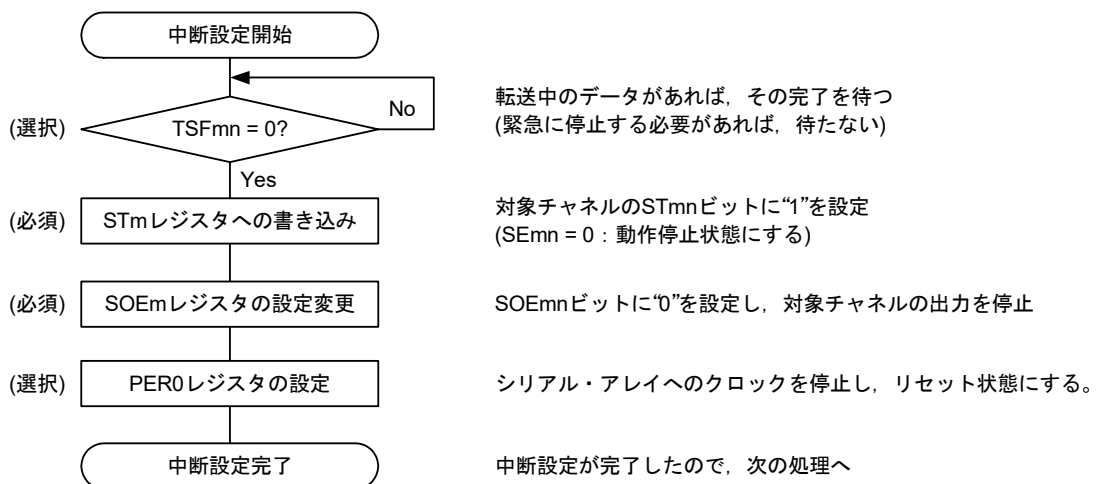
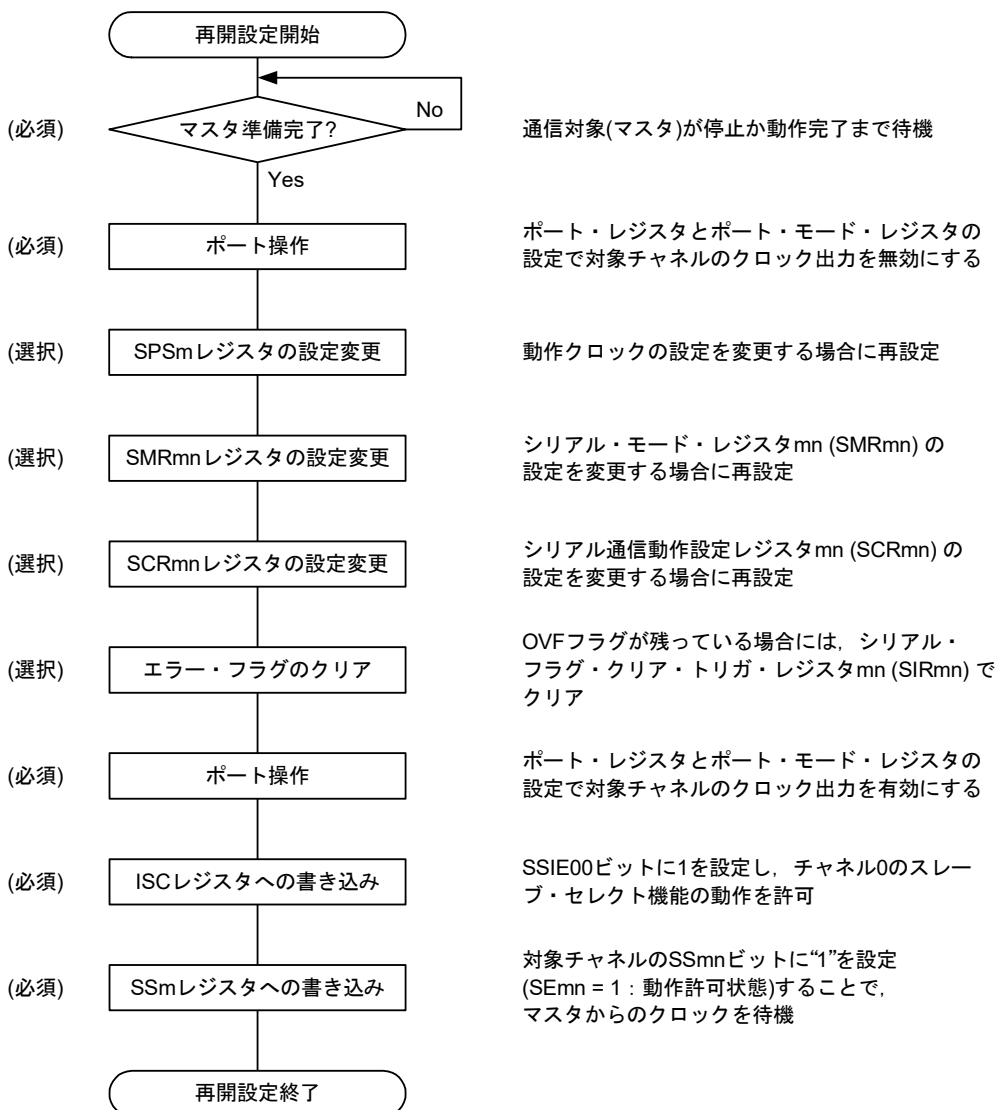


図 19 - 91 スレーブ受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

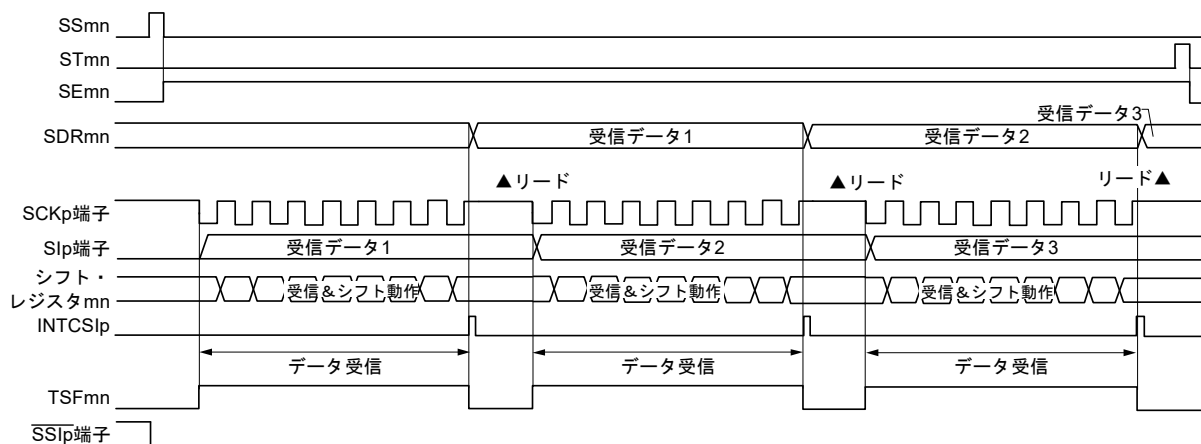
図 19 - 92 スレーブ受信の再開設定手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

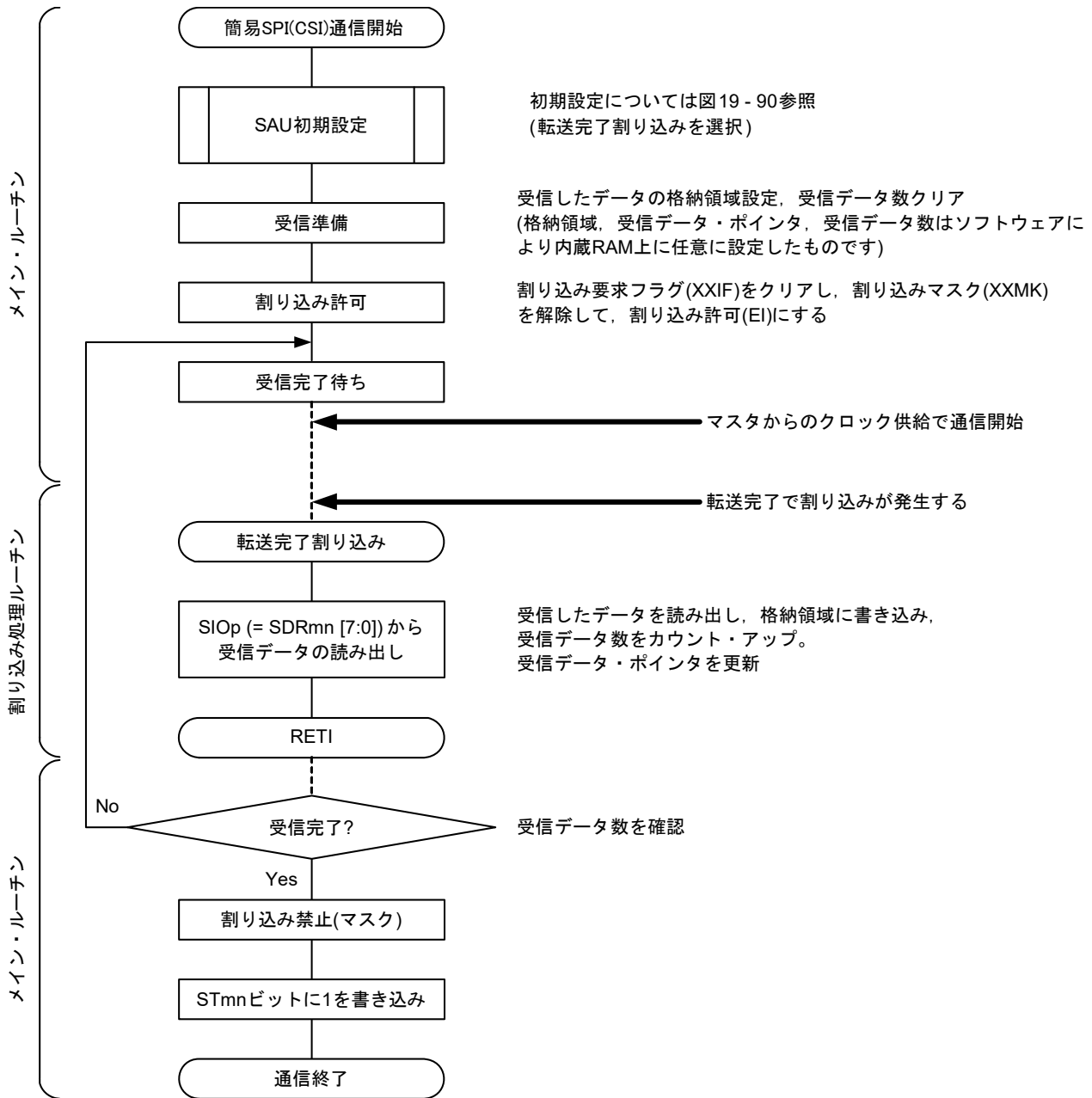
(3) 処理フロー (シングル受信モード時)

図19 - 93 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図19-94 スレーブ受信(シングル受信モード時)のフロー・チャート



19.6.3 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/12$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/12$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

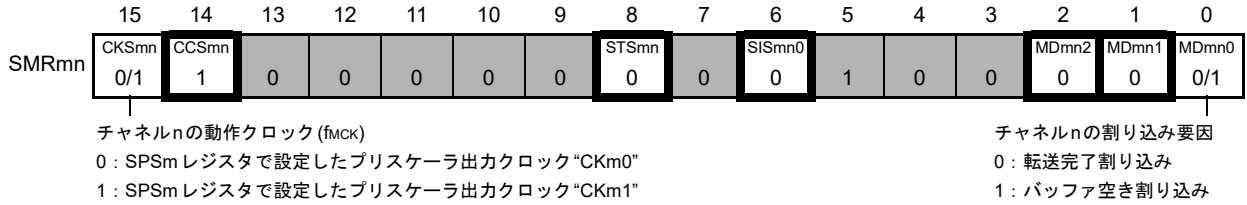
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

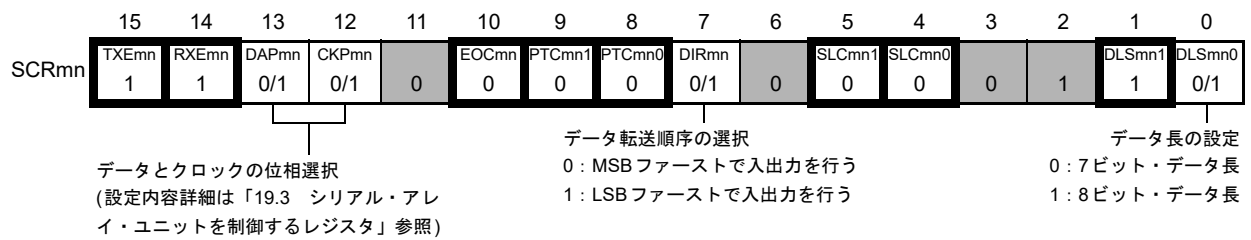
(1) レジスタ設定

図19-95 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(1/2)

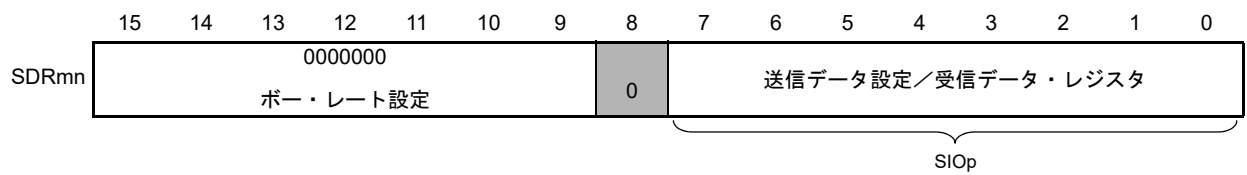
(a) シリアル・モード・レジスタ mn (SMRmn)



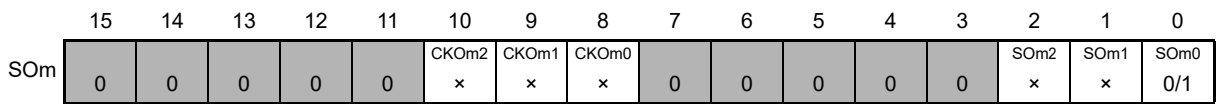
(b) シリアル通信動作設定レジスタ mn (SCRmn)



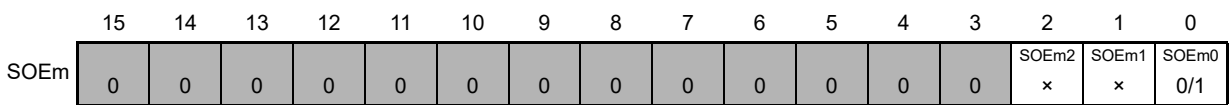
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット: SIOp)



(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI(CSI)スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図 19 - 96 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : SSI00端子の入力値を無効
1 : SSI00端子の入力値を有効

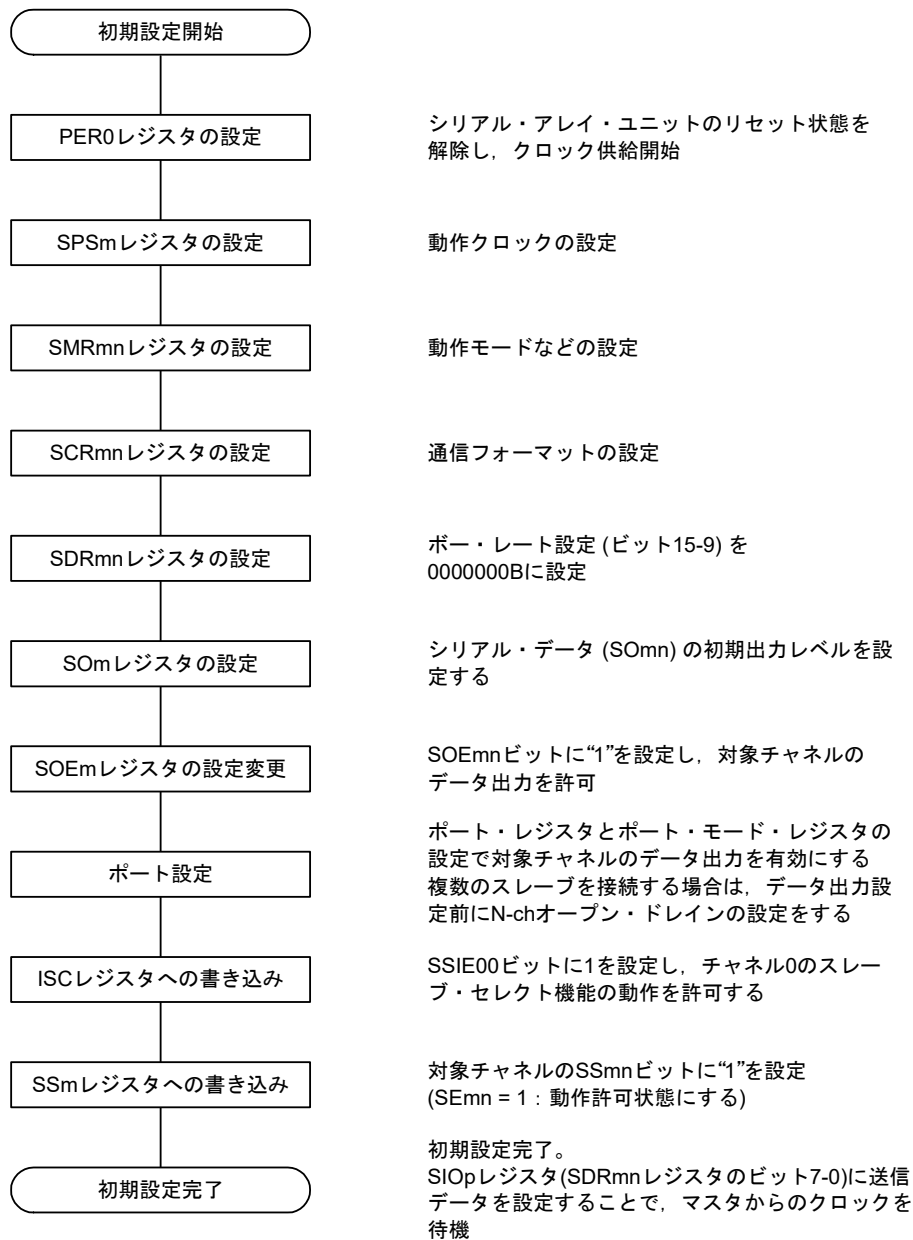
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考 1. : 簡易SPI(CSI)スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

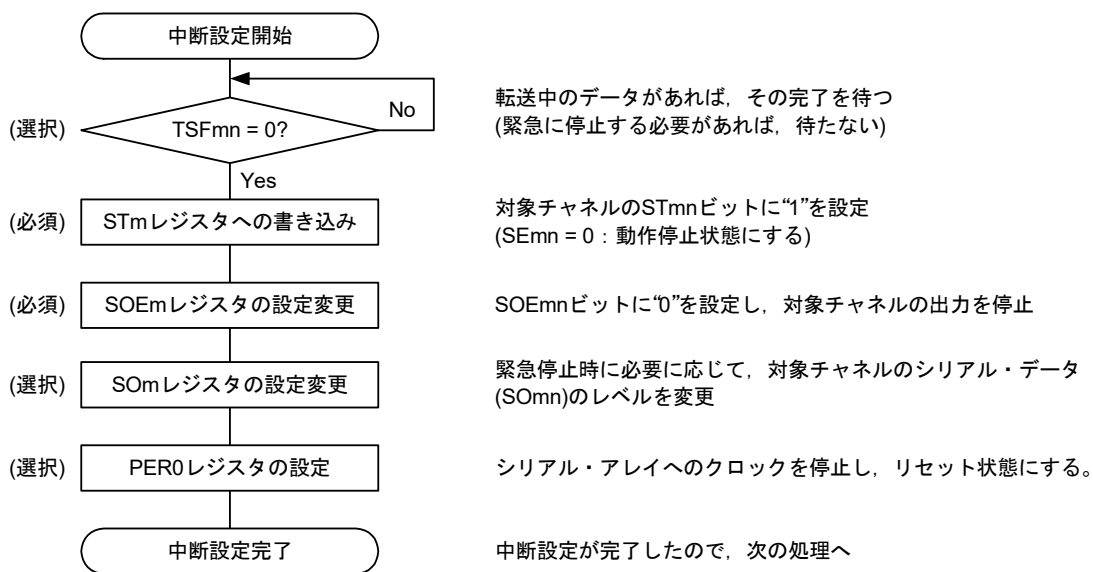
図 19 - 97 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

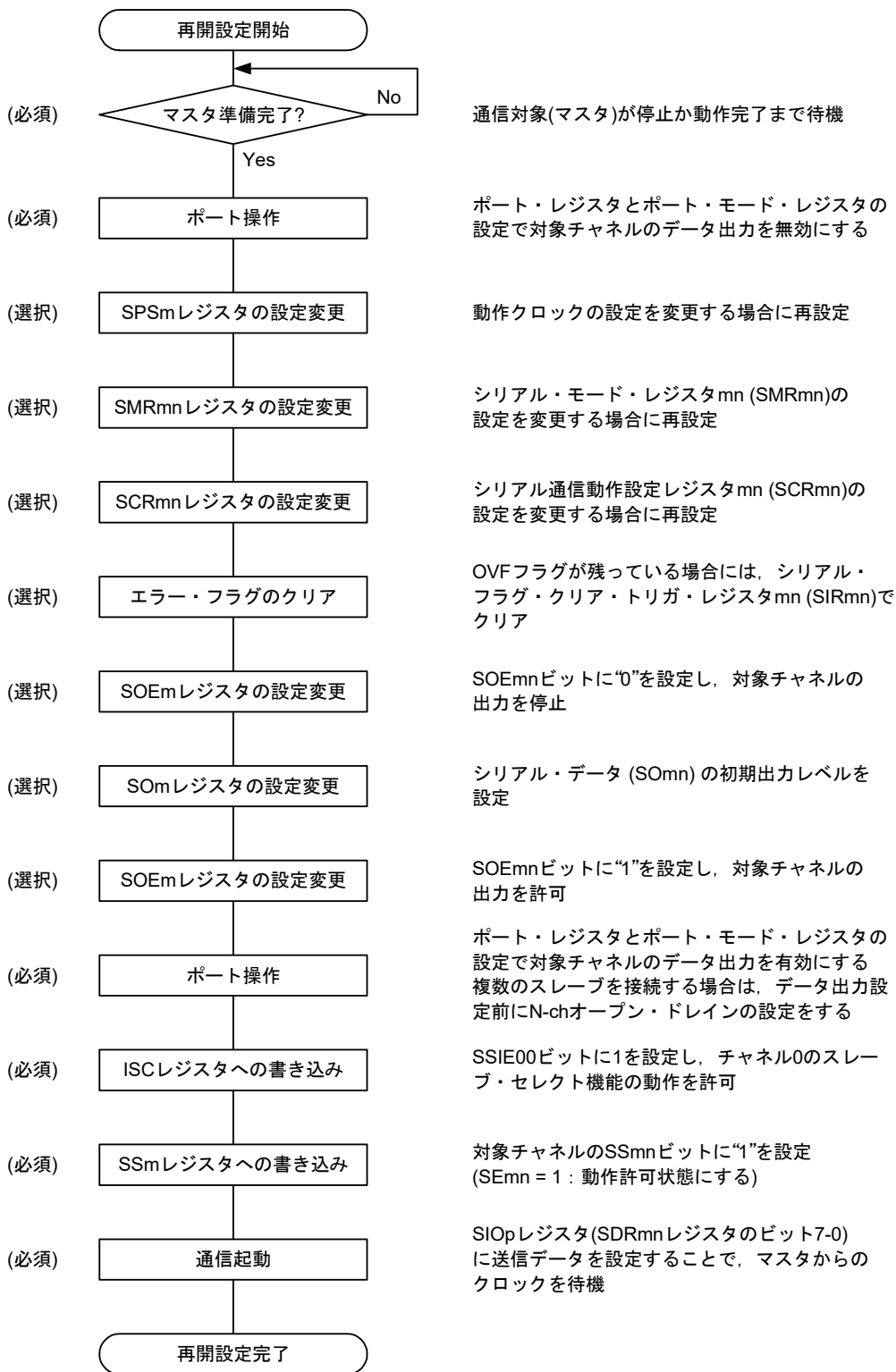
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図19-98 スレーブ送受信の中断手順



備考1. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 19 - 99 スレーブ送受信の再開設定手順

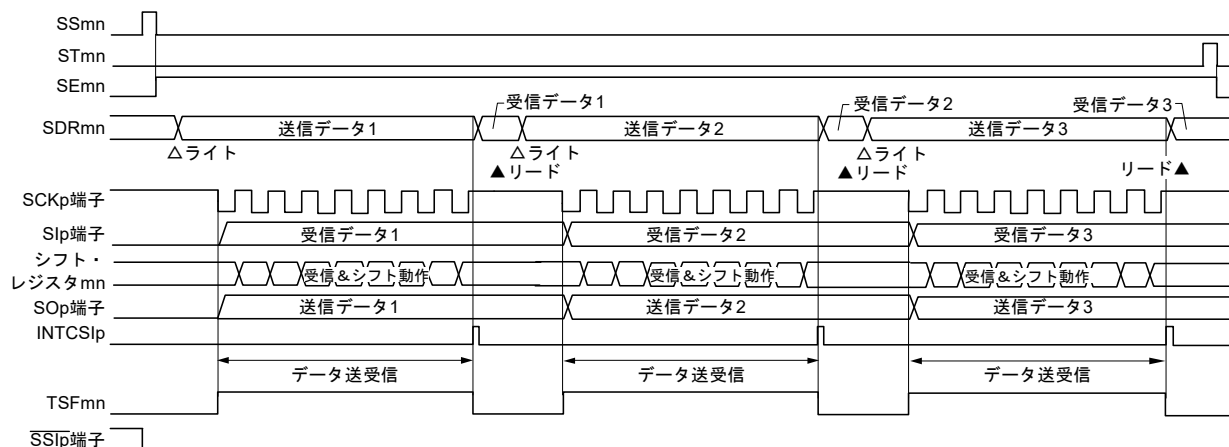


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

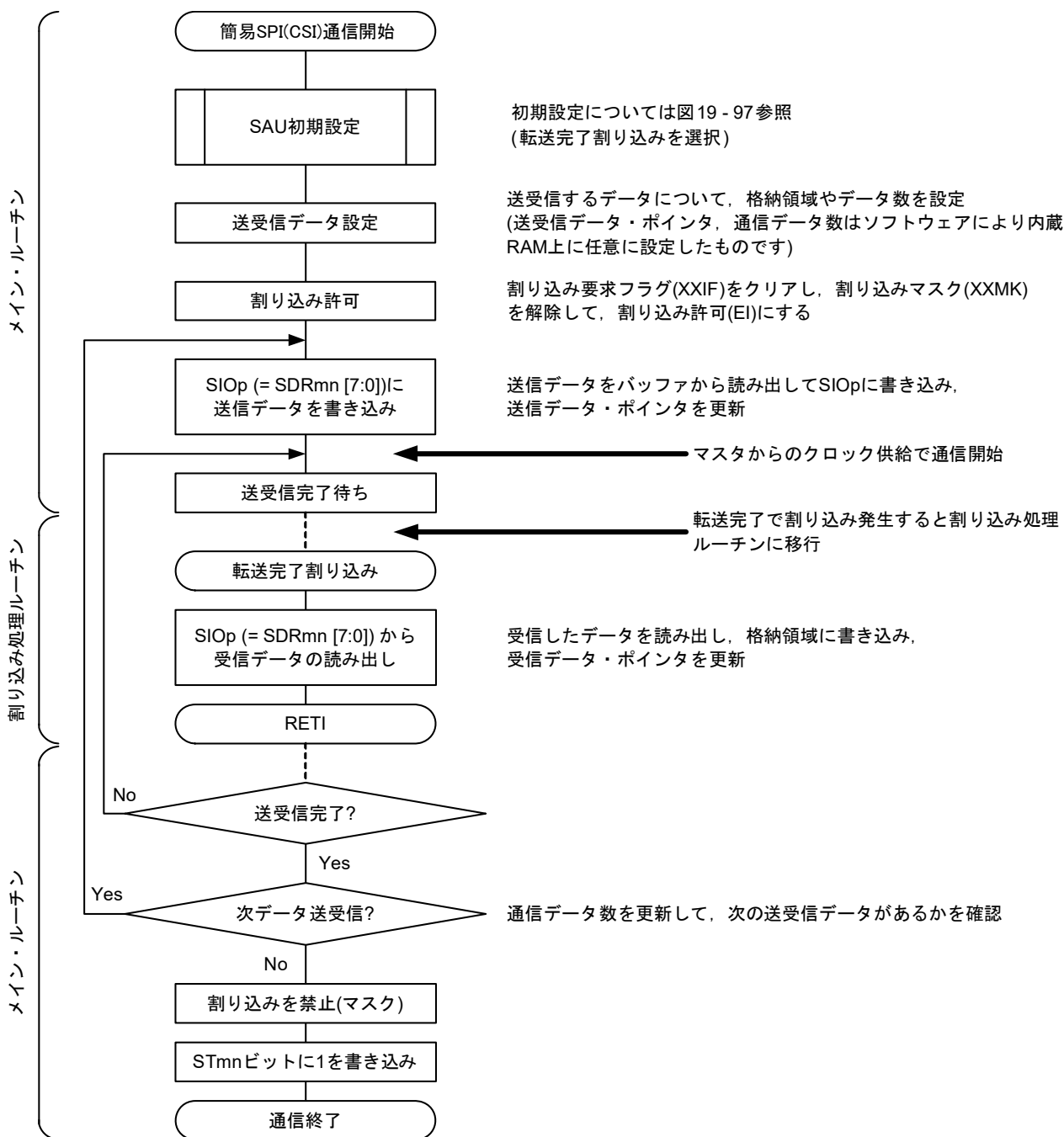
(3) 処理フロー (シングル送受信モード時)

図19 - 100 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図19 - 101 スレーブ送受信(シングル送受信モード時)のフロー・チャート

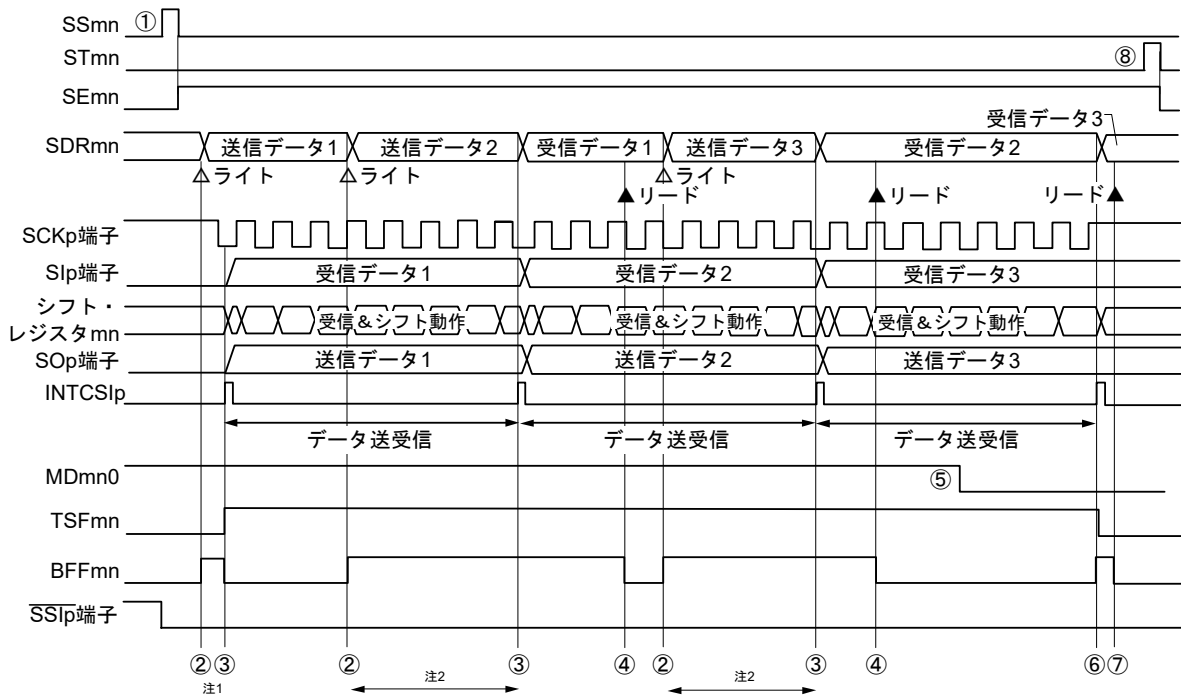


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

(4) 処理フロー (連続送受信モード時)

図19 - 102 スレーブ送受信 (連続送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn)の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されている時)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

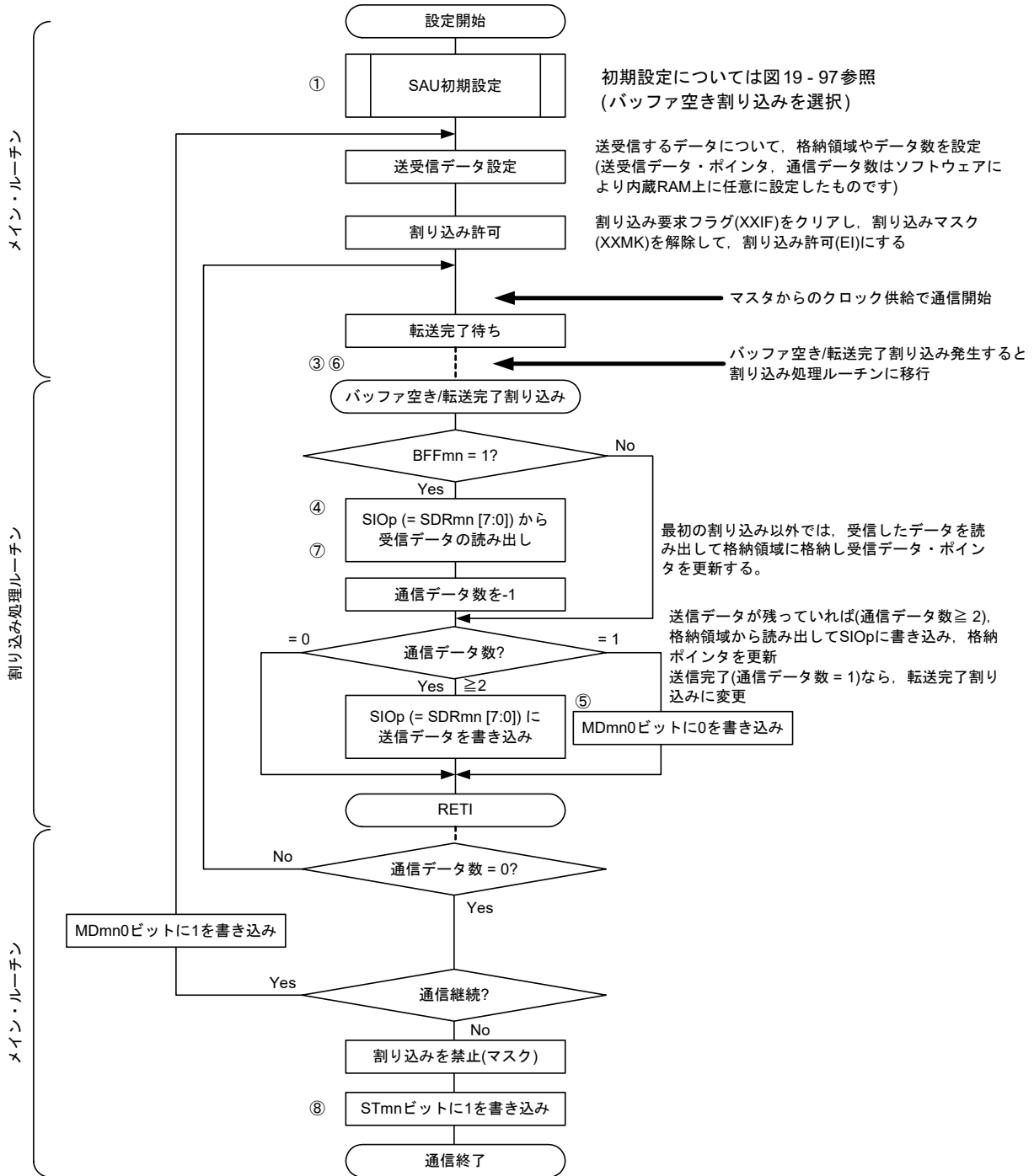
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn)の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19 - 103 スレーブ送受信 (連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 19 - 103 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. 図中の①～⑧は、図 19 - 102 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

19.6.4 転送クロック周波数の算出

スレーブセレクト入力機能(CSI00)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) スレーブの場合

$$\text{(転送クロック周波数)} = \text{[マスタが供給するシリアル・クロック (SCK)周波数]} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/12$ となります。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

表 19 - 4 スレーブセレクト入力機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		fCLK = 32 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	8 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	4 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	2 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	1 MHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	500 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	250 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	125 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	x	x	x	x	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	x	x	x	x	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	x	x	x	x	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
x	x	x	x	1	1	1	1	fCLK/2 ¹⁵	977 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. x : Don't care

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

19.6.5 スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

スレーブセレクト入力機能付クロック同期シリアル通信時にエラーが発生した場合の処理手順を図 19 - 104 に示します。

図 19 - 104 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

19.7 UART (UART0, UART1)通信の動作

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボー・レートを使用して)、データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。また、UART0とタイマ・アレイ・ユニット0(チャンネル3)と外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定(レベルを、反転するかどうかの選択)
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

UART0受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

UART0(ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|--|---|--|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド(BF)検出 • シンク・フィールド測定, ボー・レート算出 | } | <p>外部割り込み(INTP0),
タイマ・アレイ・ユニット0(チャンネル3)を使用</p> |
|--|---|--|

注 9ビット・データ長は、UART0のみ対応しています。

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	—		—

各チャンネルはどれか1つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。

注意 UARTとして使用する場合は、送信側(偶数チャンネル)と受信側(奇数チャンネル)のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信(19.7.1項を参照)
- UART受信(19.7.2項を参照)
- LIN送信(UART0のみ)(19.8.1項を参照)
- LIN受信(UART0のみ)(19.8.2項を参照)

19.7.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期(調歩同期)でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2
使用端子	TxD0	TxD1
割り込み	INTST0	INTST1
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	なし	
転送データ長	7ビットまたは8ビットまたは9ビット注1	
転送レート	Max. $f_{MCK}/12$ [bps] (SDR $m_n[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] 注2	
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加 	
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • 1ビット付加 • 2ビット付加 	
データ方向	MSBファーストまたはLSBファースト	

注1. 9ビット・データ長は、UART0のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0$) n : チャンネル番号($n = 0, 2$), $mn = 00, 02$

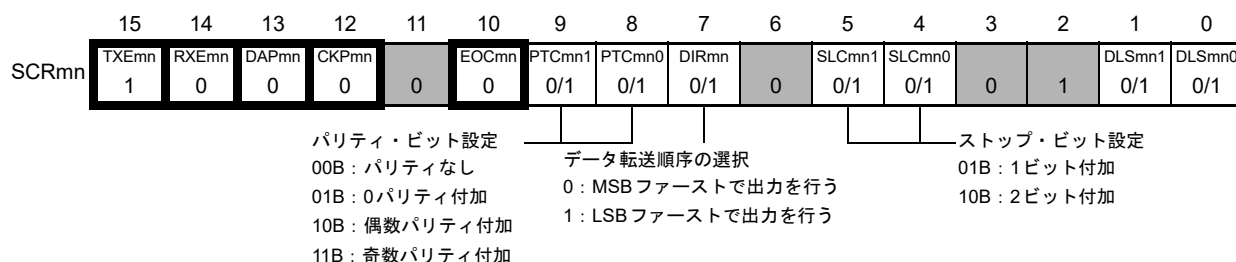
(1) レジスタ設定

図 19 - 105 UART (UART0, UART1)のUART送信時のレジスタ設定内容例(1/2)

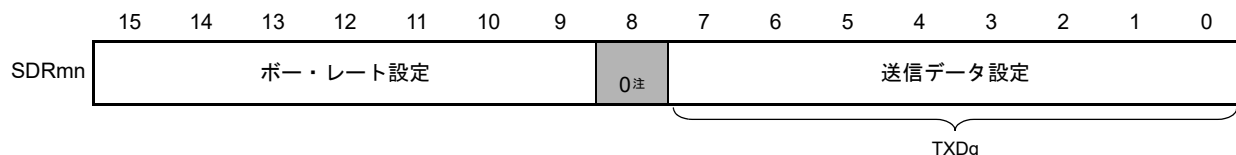
(a) シリアル・モード・レジスタ mn (SMRmn)



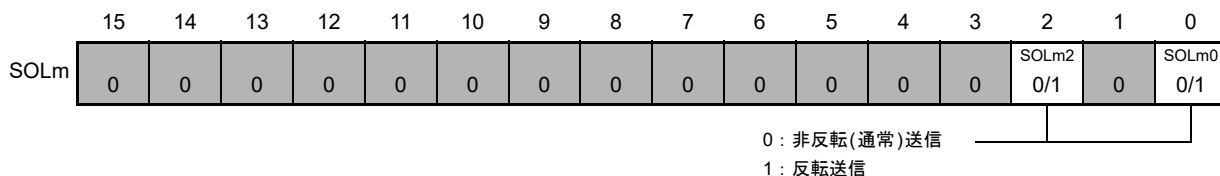
(b) シリアル通信動作設定レジスタ mn (SCRmn)



(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : TXDq)



(d) シリアル出力レベル・レジスタ m (SOLm) 対象チャンネルのビットのみ設定する



注 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。
 9ビット・データ長での通信が行えるのは、UART0のみです。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 2) q : UART 番号 (q = 0, 1), mn = 00, 02

備考2. : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図 19 - 106 UART (UART0, UART1)のUART送信時のレジスタ設定内容例(2/2)

(e) シリアル出力レジスタ m (SOm) 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	CKOm2	CKOm1	CKOm0	0	0	0	0	0	SOm2	SOm1	SOm0
						x	x	x						0/1注	x	0/1注

0 : シリアル・データ出力値が“0”
 1 : シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタ m (SOEm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2	SOEm1	SOEm0
														0/1	x	0/1

(g) シリアル・チャネル開始レジスタ m (SSm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													x	0/1	x	0/1

注 該当するチャネルの SOLmn ビットに0を設定している場合は“1”に、SOLmn ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号(m = 0) n : チャネル番号(n = 0, 2) q : UART 番号(q = 0, 1), mn = 00, 02

備考2. : UART送信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 19 - 107 UART 送信の初期設定手順

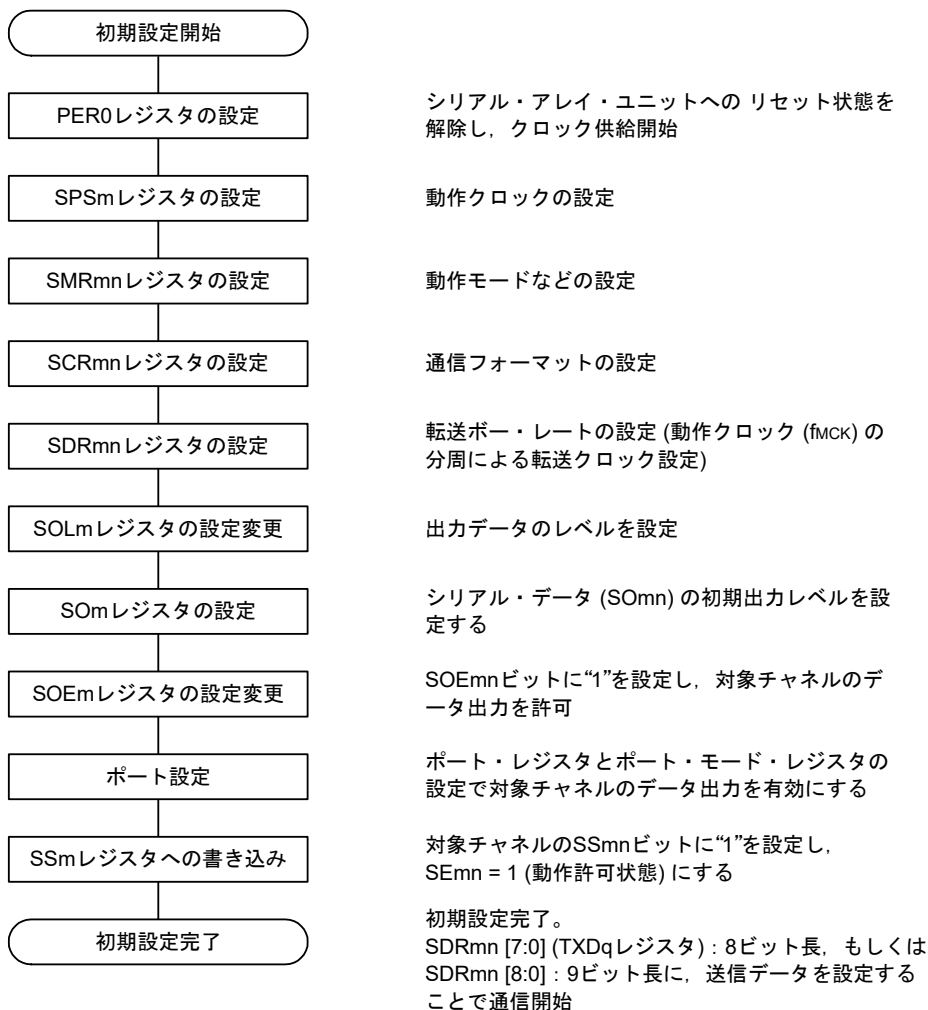


図 19 - 108 UART 送信の中断手順

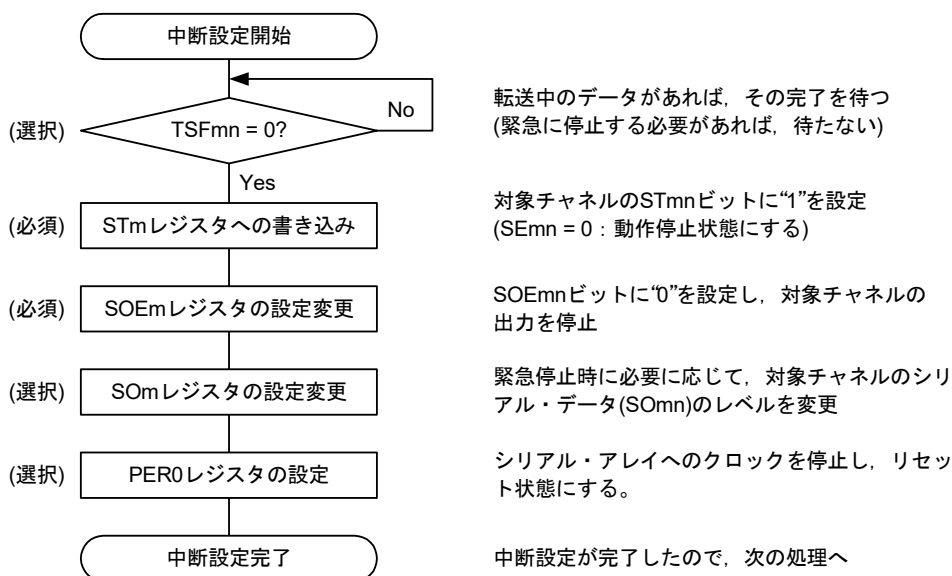
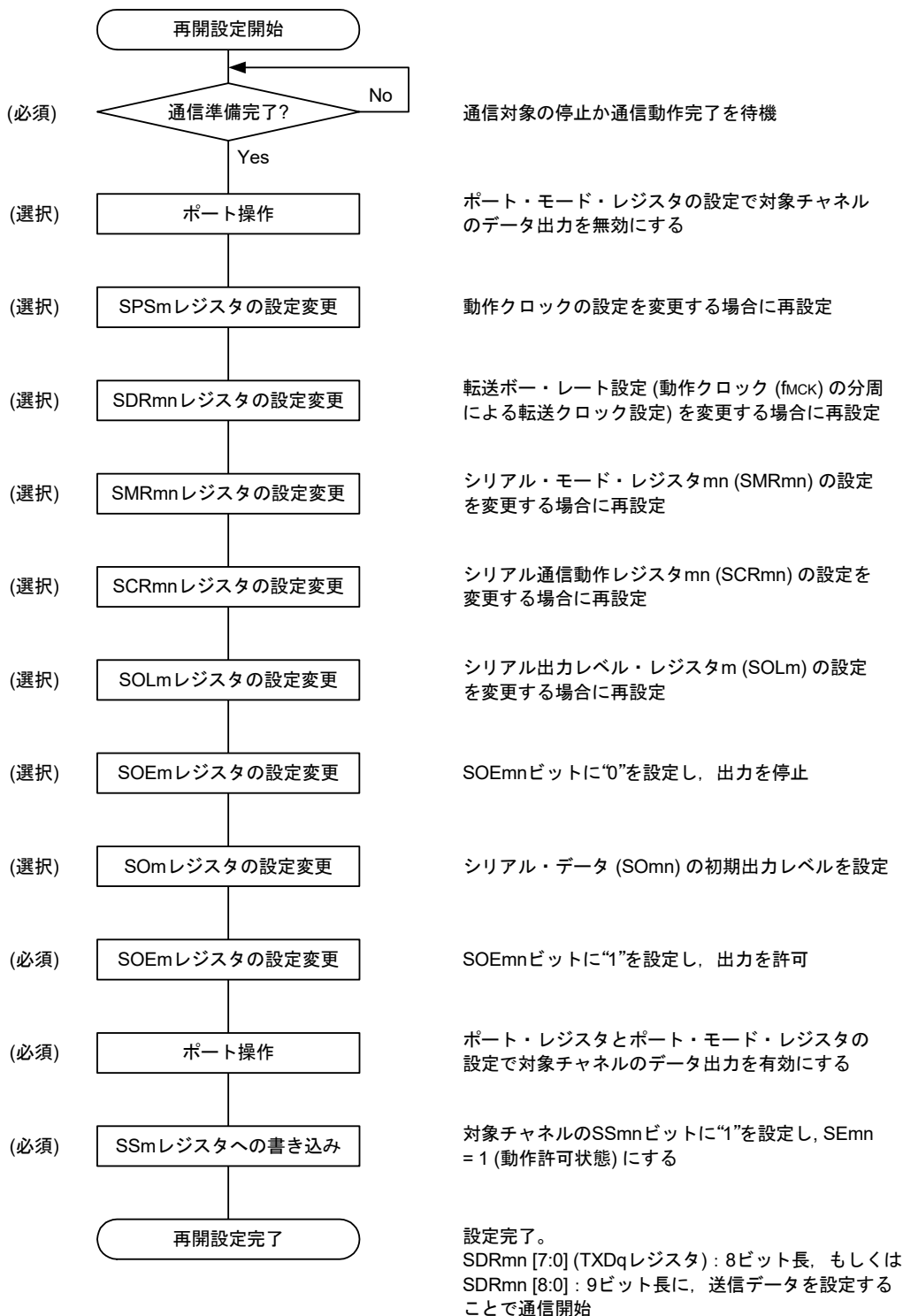


図 19 - 109 UART 送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

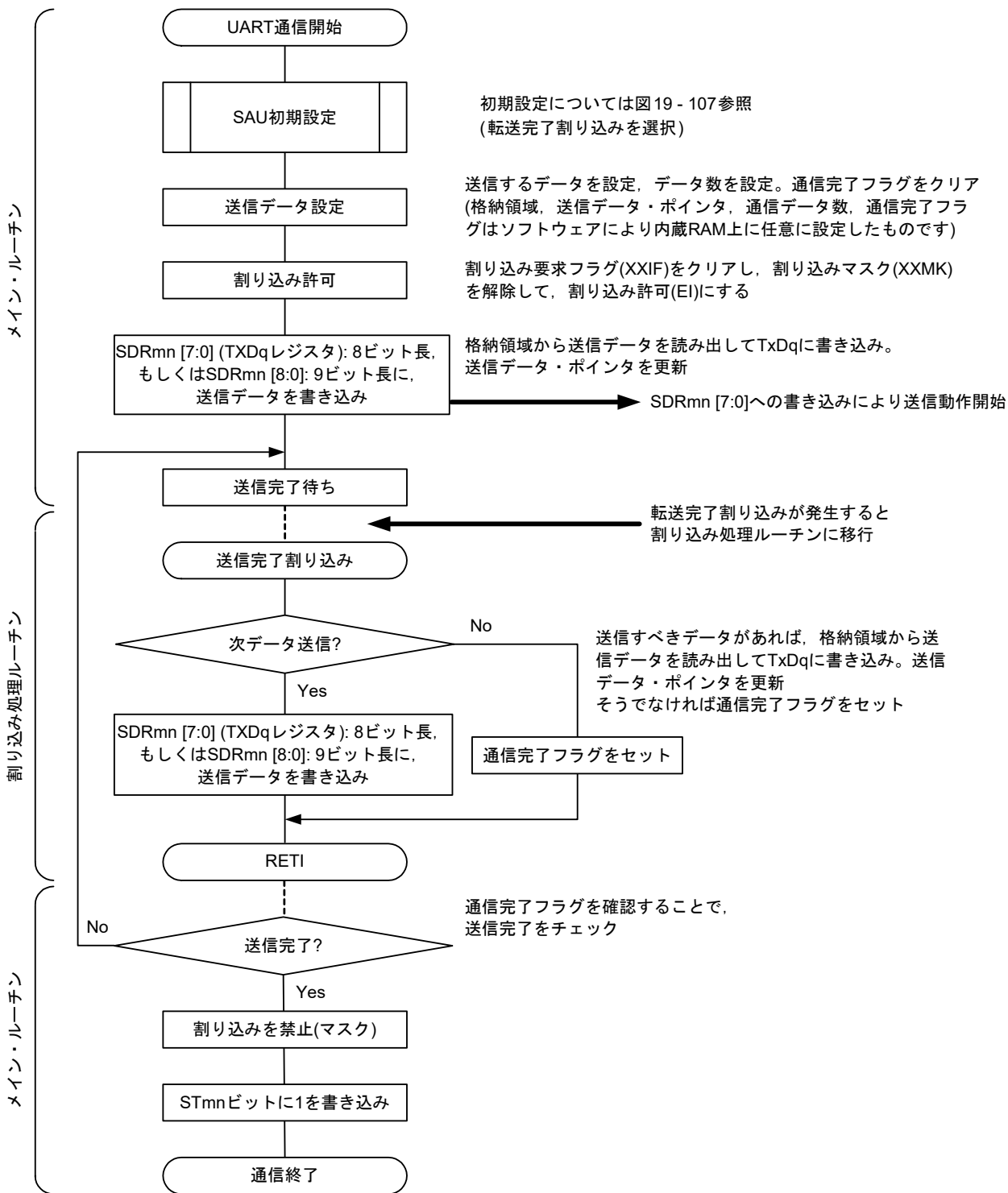
(3) 処理フロー (シングル送信モード時)

図19 - 110 UART送信(シングル送信モード時)のタイミング・チャート



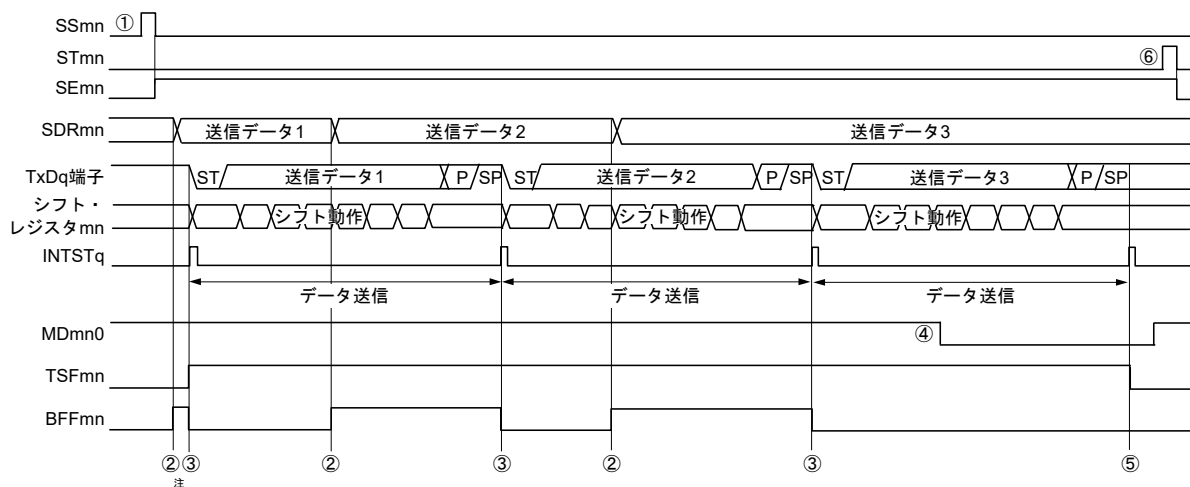
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 1) mn = 00, 02

図19 - 111 UART送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 19 - 112 UART 送信 (連続送信モード時) のタイミング・チャート

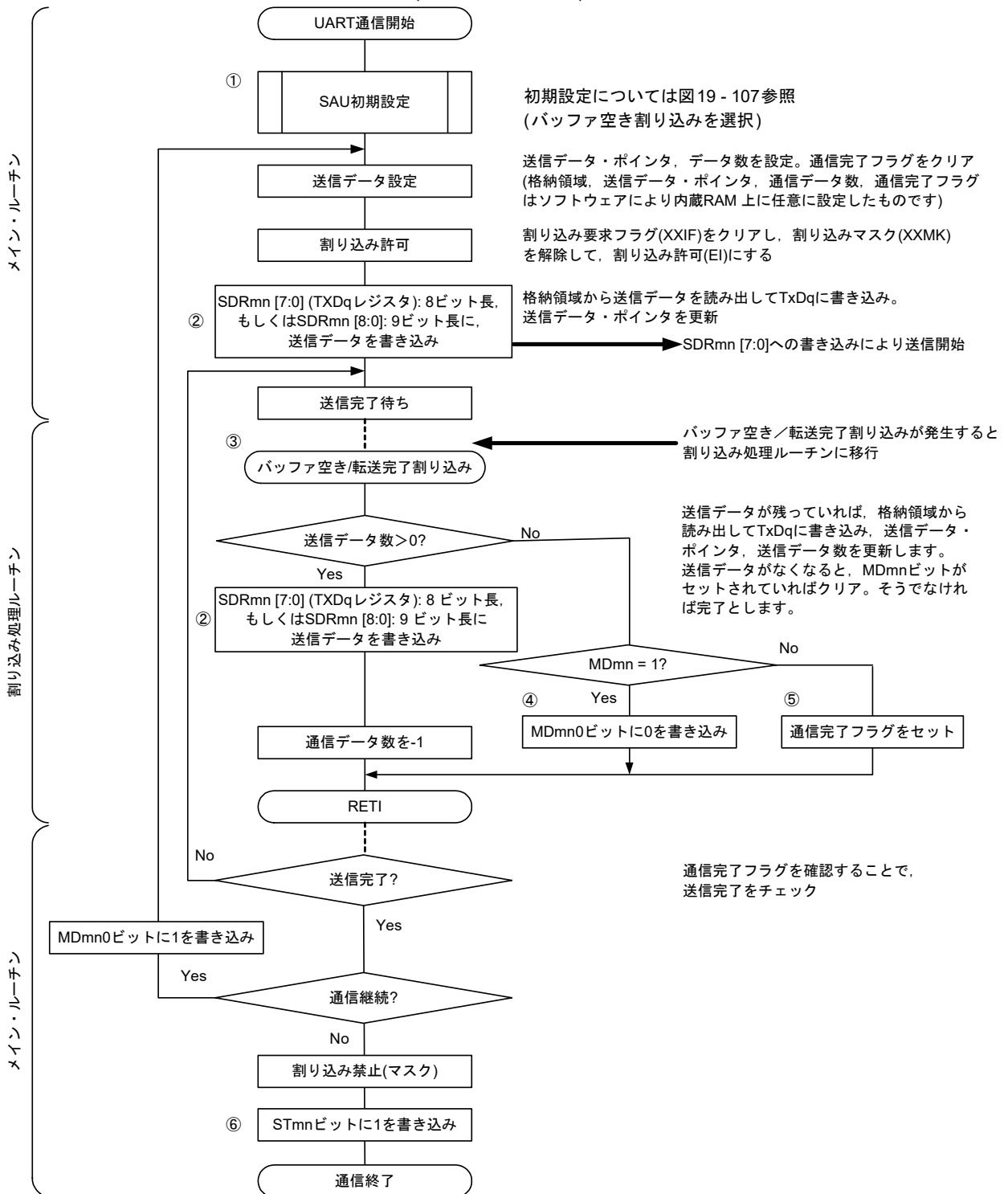


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-, 1) mn = 00, 02

図 19 - 113 UART 送信 (連続送信モード時) のフロー・チャート



備考 図中の①~⑥は, 図 19 - 112 UART送信(連続送信モード時)のタイミング・チャートの①~⑥に対応しています。

19.7.2 UART 受信

UART 受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART 受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3
使用端子	RxD0	RxD1
割り込み	INTSR0	INTSR1
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)	
エラー割り込み	INTSRE0	INTSRE1
エラー検出フラグ	<ul style="list-style-type: none"> • フレーミング・エラー検出フラグ(FFMn) • パリティ・エラー検出フラグ(PEFmn) • オーバラン・エラー検出フラグ(OVFmn) 	
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}	
転送レート ^{注2}	Max. $f_{MCK}/12$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]	
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし(パリティ・チェックなし) • 0パリティ・ビット付加(パリティ・チェックなし) • 偶数パリティ・チェック • 奇数パリティ・チェック 	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注1. 9ビット・データ長は、UART0のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

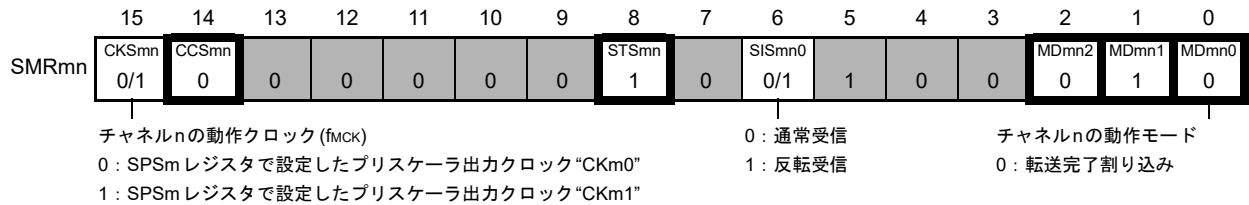
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0$) n : チャンネル番号($n = 1, 3$), $mn = 01, 03$

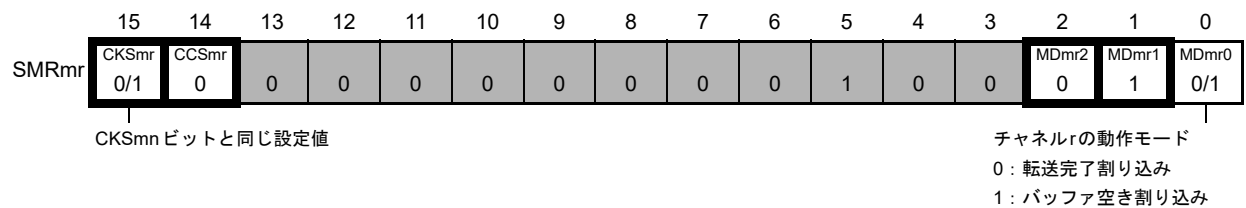
(1) レジスタ設定

図19 - 114 UART (UART0, UART1)のUART受信時のレジスタ設定内容例(1/2)

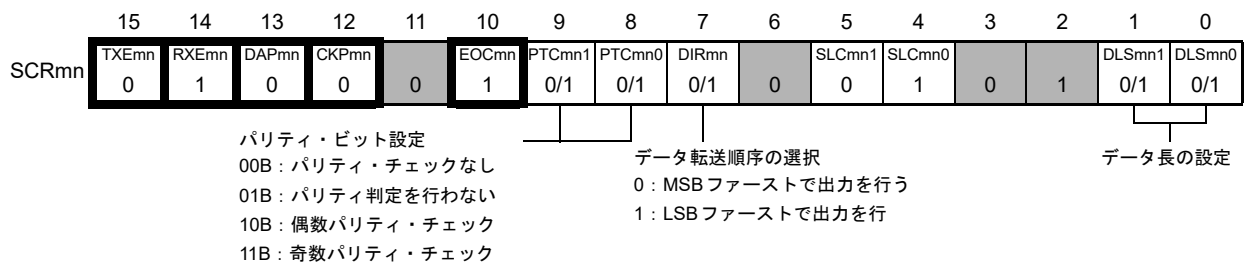
(a)シリアル・モード・レジスタ mn (SMRmn)



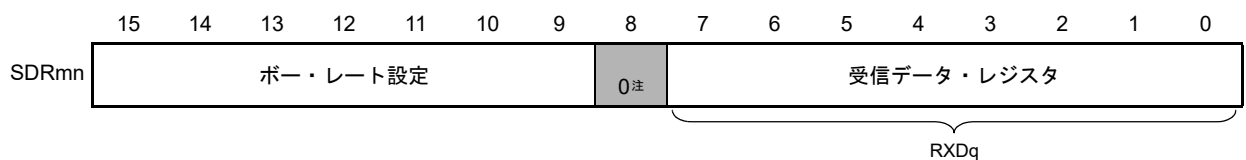
(b)シリアル・モード・レジスタ mr (SMRmr)



(c)シリアル通信動作設定レジスタ mn (SCRmn)



(d)シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : RXDq)



注 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が送信データ設定領域になります。
 9ビット・データ長での通信が行えるのは、UART0のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ず設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 1, 3), mn = 01, 03
 r : チャンネル番号(r = n - 1) q : UART番号(q = 0, 1)

備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図19 - 115 UART (UART0, UART1)のUART受信時のレジスタ設定内容例(2/2)

(e)シリアル出力レジスタ m (SOm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	CKOm2	CKOm1	CKOm0	0	0	0	0	0	SOm2	SOm1	SOm0
						x	x	x						x	x	x

(f)シリアル出力許可レジスタ m (SOEm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2	SOEm1	SOEm0
														x	x	x

(g)シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													0/1	x	0/1	x

備考1. m : ユニット番号 (m = 0)

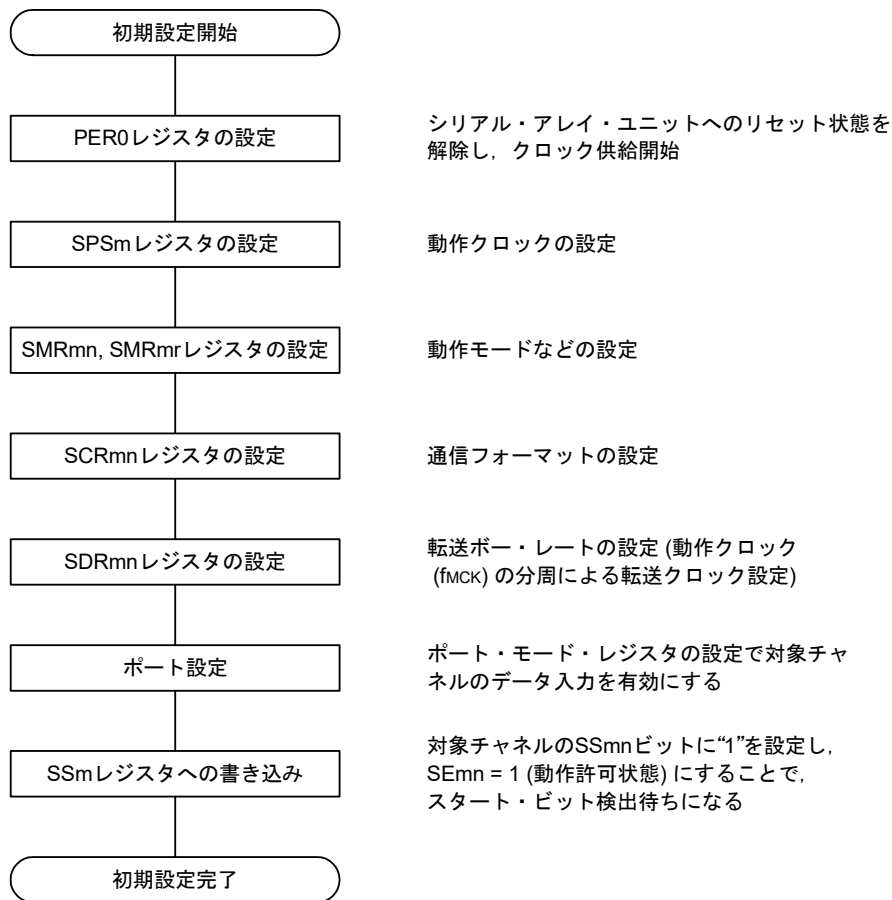
備考2. : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図19 - 116 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図19 - 117 UART受信の中断手順

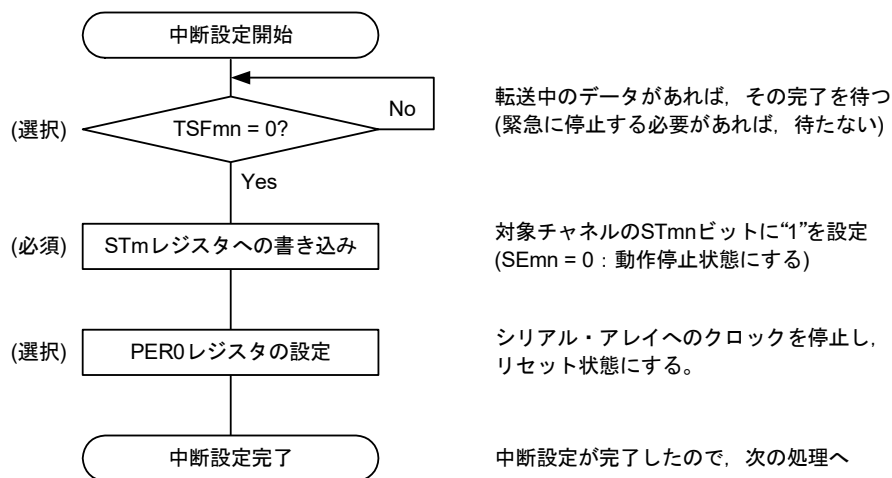
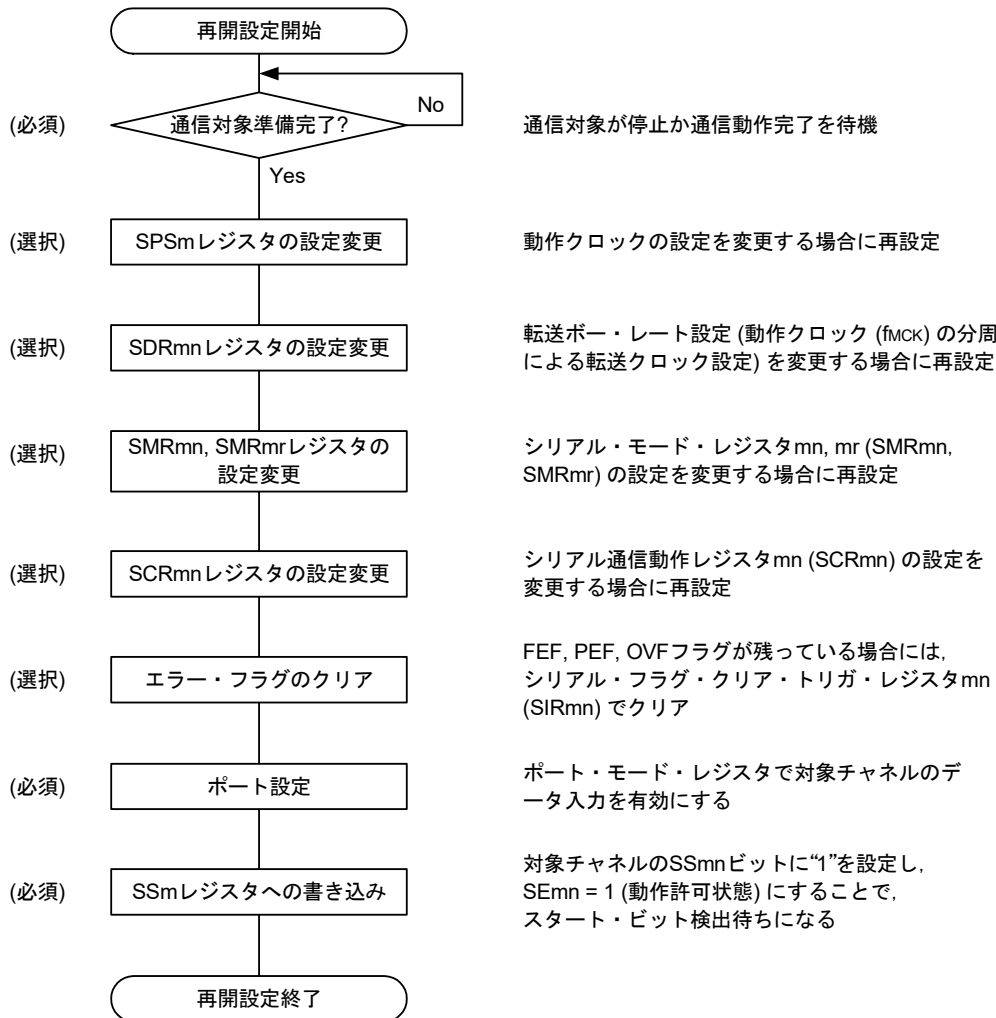


図19 - 118 UART受信の再開設定手順

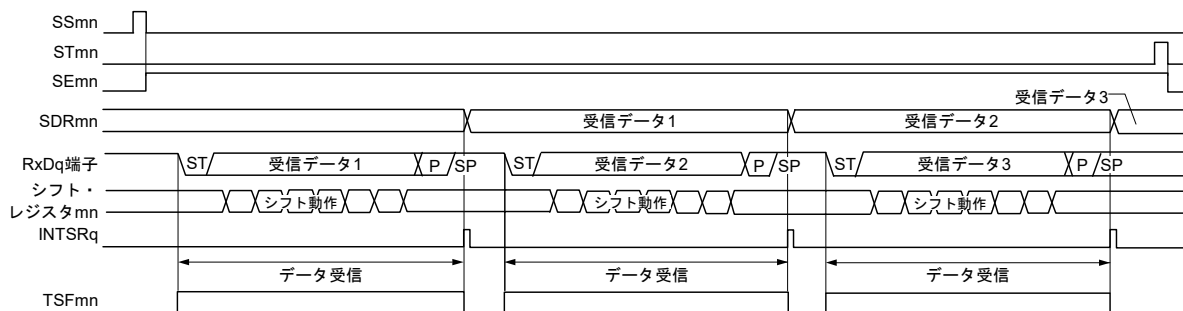


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fmckの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

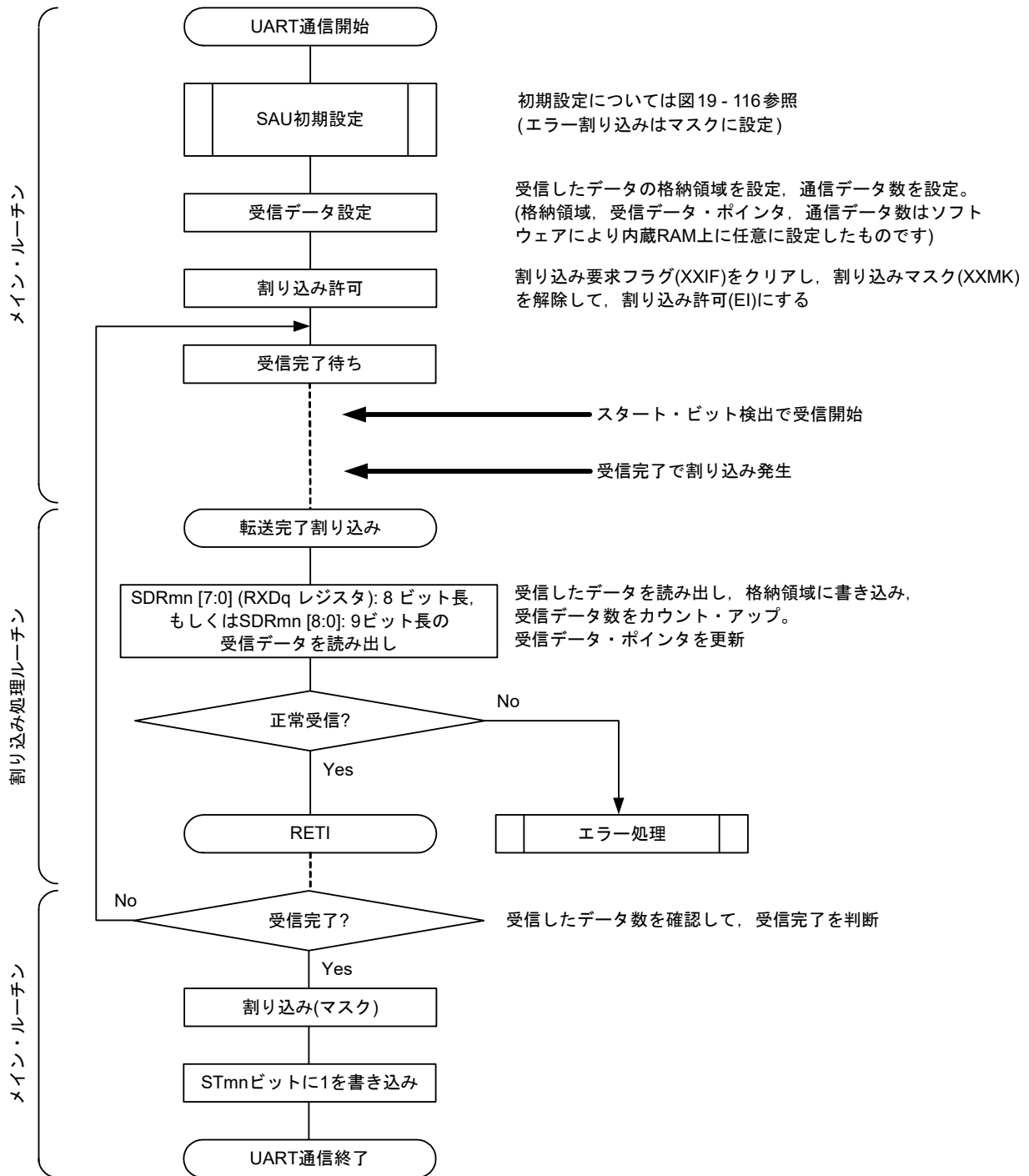
(3) 処理フロー

図19 - 119 UART 受信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 1, 3), mn = 01, 03
 r : チャネル番号 (r = n - 1) q : UART 番号 (q = 0, 1)

図19 - 120 UART受信のフロー・チャート



19.7.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図19-123、図19-125 SNOOZEモード動作時のフロー・チャートを参照)

- SNOOZEモード時は、UART受信ポーレートの設定を通常動作時とは異なる値に変更する必要があります。表19-5を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm1ビットをセット(1)します。
- STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH)を選択している場合のみ使用できます。

注意2. SNOOZEモードでの転送レートは4800bpsのみです。

注意3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
- 他のSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合

注意4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn、FEFmn、OVFmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn、FEFmn、OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表 19 - 5 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ (f _{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f _{MCK})	SDRmn [15:9]	最大許容値	最小許容値
32 MHz ± 1.0%注	f _{CLK} /2 ⁵	105	2.27%	-1.53%
24 MHz ± 1.0%注	f _{CLK} /2 ⁵	79	1.60%	-2.18%
16 MHz ± 1.0%注	f _{CLK} /2 ⁴	105	2.27%	-1.53%
12 MHz ± 1.0%注	f _{CLK} /2 ⁴	79	1.60%	-2.19%
8 MHz ± 1.0%注	f _{CLK} /2 ³	105	2.27%	-1.53%
6 MHz ± 1.0%注	f _{CLK} /2 ³	79	1.60%	-2.19%
4 MHz ± 1.0%注	f _{CLK} /2 ²	105	2.27%	-1.53%
3 MHz ± 1.0%注	f _{CLK} /2 ²	79	1.60%	-2.19%
2 MHz ± 1.0%注	f _{CLK} /2	105	2.27%	-1.54%
1 MHz ± 1.0%注	f _{CLK}	105	2.27%	-1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

- f_{IH} ± 1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- f_{IH} ± 2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

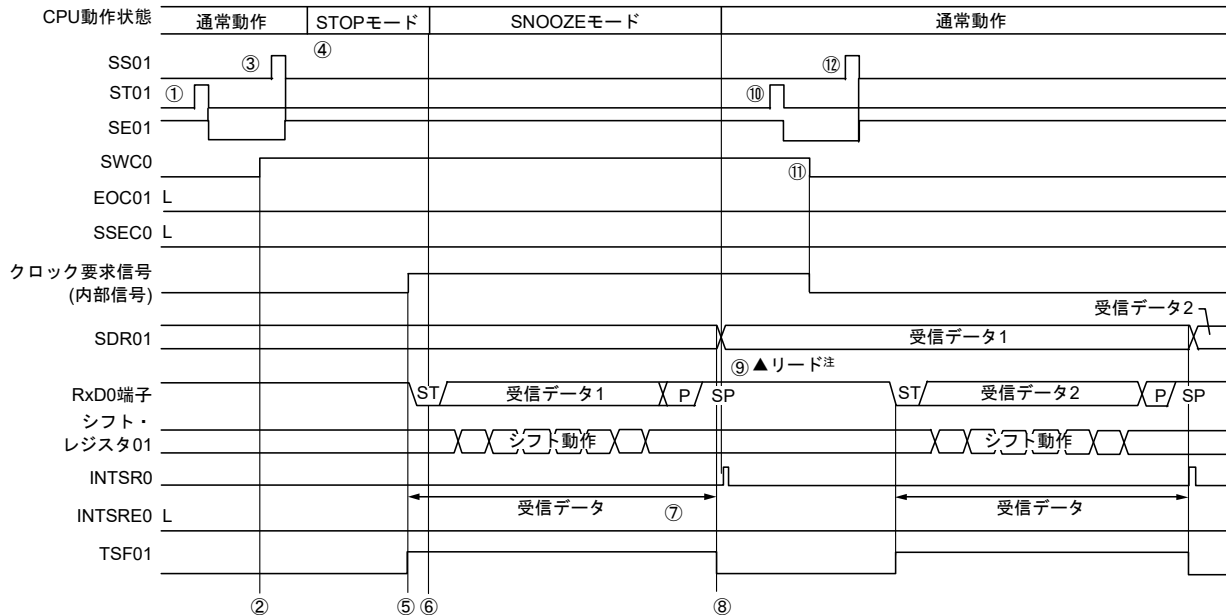
備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0 のため SSECm ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み(INTSREq)は発生しません。転送完了割り込み(INTSRq)は発生します。

図 19 - 121 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート



注 SWCm = 1 の状態で、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。
また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

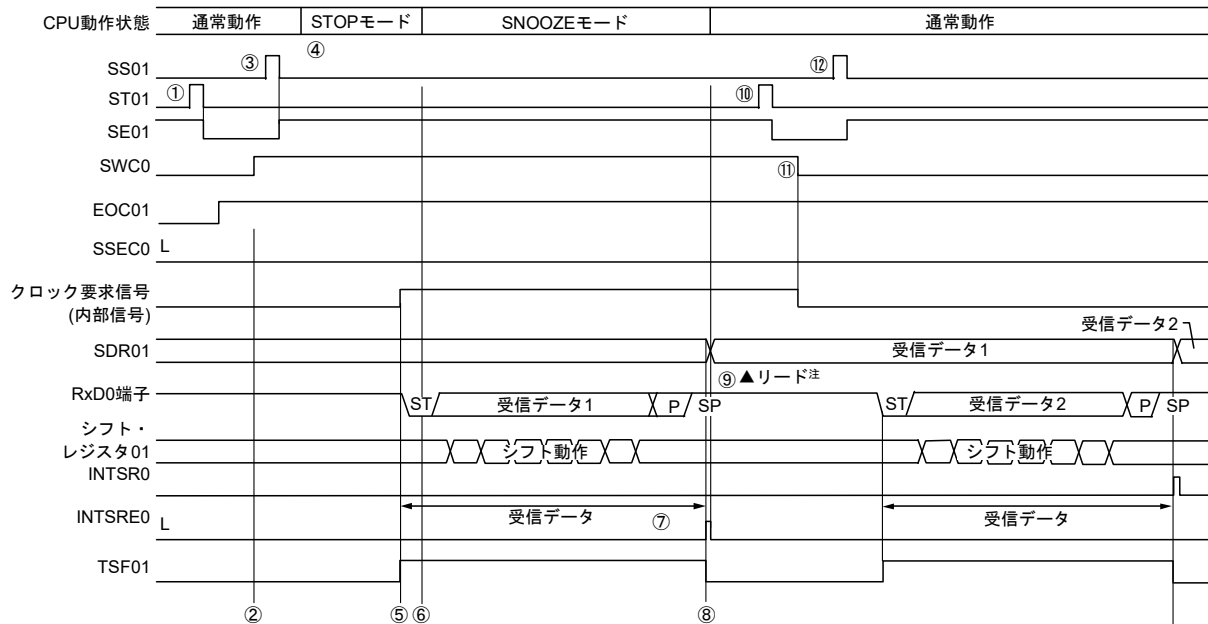
備考1. 図中の①～⑫は、図19 - 123 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0)時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0; q = 0

(2) SNOOZEモード動作(EOCm1 = 1, SSECM = 0 : エラー割り込み(INTSREq)発生許可)

EOCm1 = 1, SSECM = 0のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生します。

図 19 - 122 SNOOZEモード動作(EOCm1 = 1, SSECM = 0)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

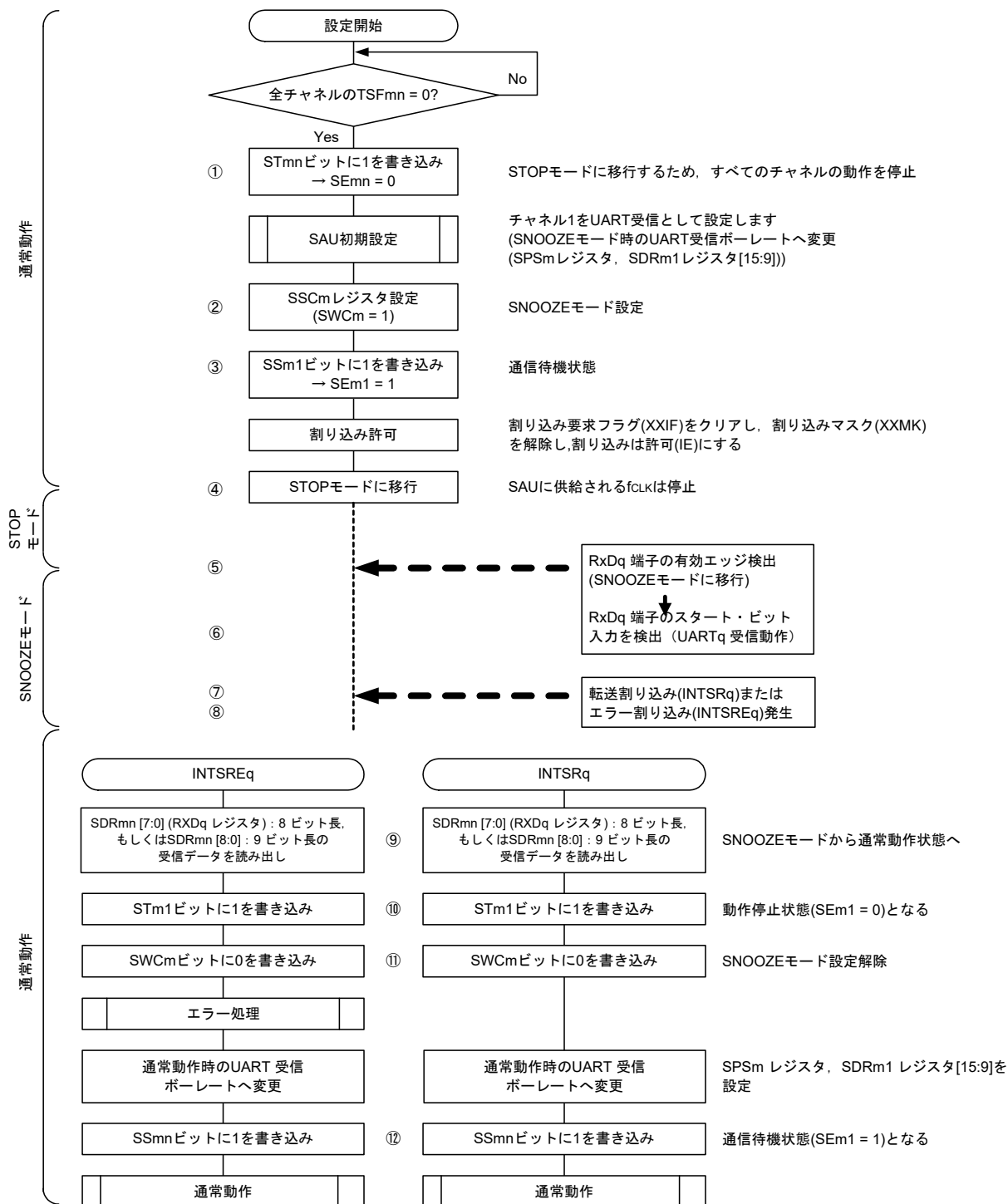
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

備考1. 図中の①～⑫は、図 19 - 123 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0; q = 0

図 19 - 123 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0) 時のフロー・チャート



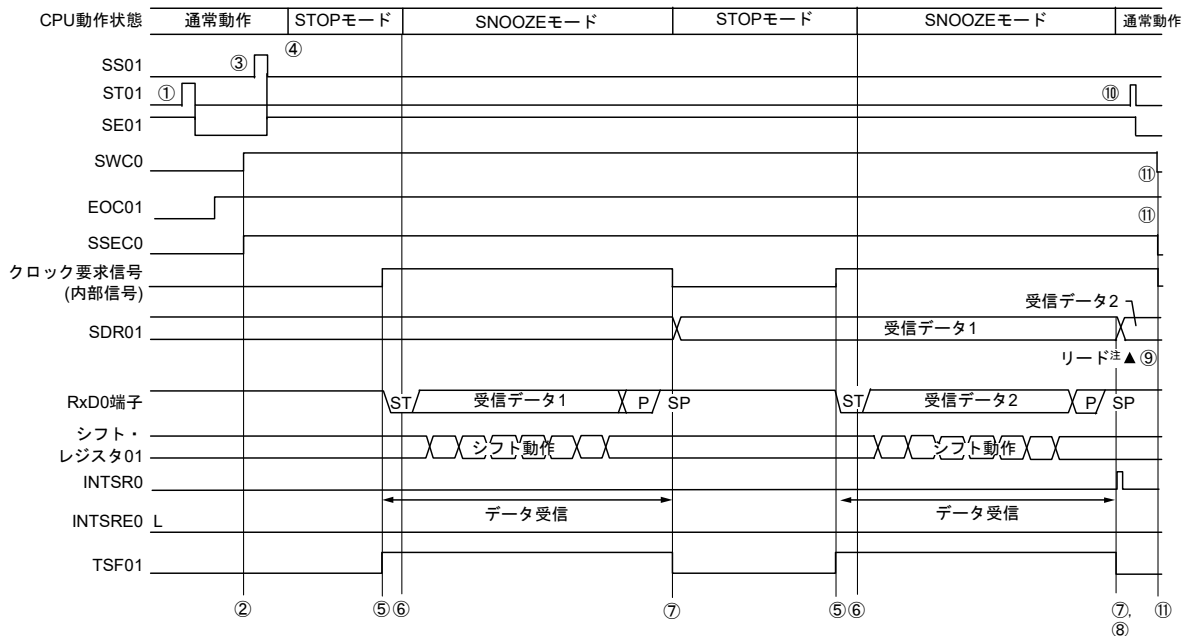
備考 1. 図中の①～⑫は、図 19 - 121 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート、図 19 - 122 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートの①～⑫に対応しています。

備考 2. m = 0; q = 0

(3) SNOOZEモード動作(EOCm1 = 1, SSECm = 1 : エラー割り込み(INTSREq)発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生しません。

図 19 - 124 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

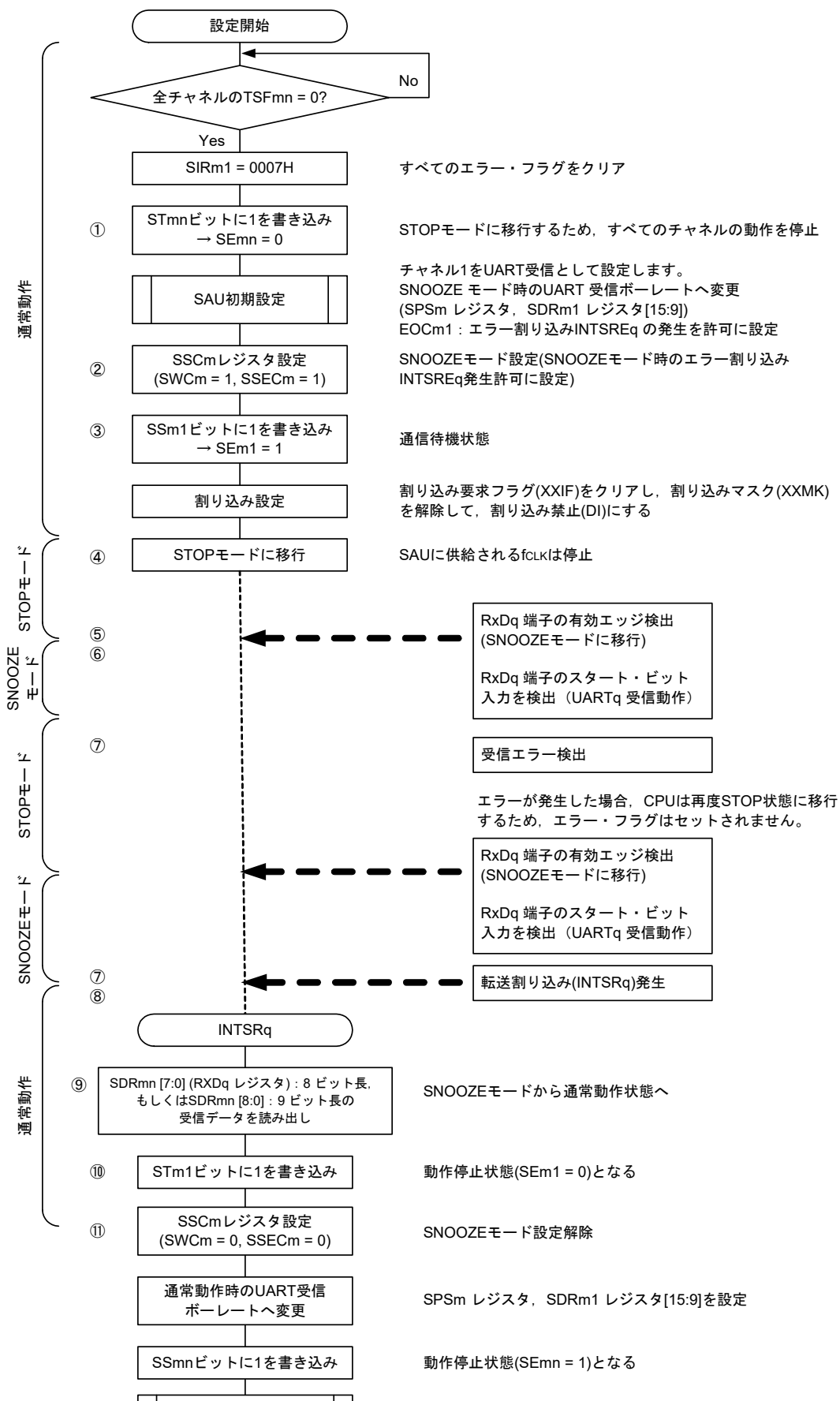
また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーパラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①～⑪は、図 19 - 125 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートの①～⑪に対応しています。

備考2. m = 0; q = 0

図 19 - 125 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート



(注意、備考は次ページにあります。)

注意 SSECm = 1 のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFm1, FEFm1, OVFM1 フラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm = 1 で使用するときは、SWC0 = 1 に設定する前に PEFm1, FEFm1, OVFM1 フラグをクリアし、また、SDRm1 [7:0] (RXDq レジスタ) : 8 ビット長、もしくは SDRm1 [8:0] : 9 ビット長を読み出してください。

備考1. 図中の①~⑩は、図 19 - 124 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①~⑩に対応しています。

備考2. m = 0; q = 0

19.7.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0, UART1)通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値(000010B-111111B)なので、2-127になります。

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0-3), mn = 00-03

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 19 - 6 UART 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	8 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	4 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	2 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	1 MHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	500 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	250 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	125 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	x	x	x	x	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	x	x	x	x	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	x	x	x	x	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
x	x	x	x	1	1	1	1	fCLK/2 ¹⁵	977 Hz	
1	0	0	0	0	x	x	x	x	fCLK	32 MHz
	0	0	0	1	x	x	x	x	fCLK/2	16 MHz
	0	0	1	0	x	x	x	x	fCLK/2 ²	8 MHz
	0	0	1	1	x	x	x	x	fCLK/2 ³	4 MHz
	0	1	0	0	x	x	x	x	fCLK/2 ⁴	2 MHz
	0	1	0	1	x	x	x	x	fCLK/2 ⁵	1 MHz
	0	1	1	0	x	x	x	x	fCLK/2 ⁶	500 kHz
	0	1	1	1	x	x	x	x	fCLK/2 ⁷	250 kHz
	1	0	0	0	x	x	x	x	fCLK/2 ⁸	125 kHz
	1	0	0	1	x	x	x	x	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	x	x	x	x	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	x	x	x	x	fCLK/2 ¹¹	15.63 kHz
	1	1	0	0	x	x	x	x	fCLK/2 ¹²	7.81 kHz
	1	1	0	1	x	x	x	x	fCLK/2 ¹³	3.91 kHz
	1	1	1	0	x	x	x	x	fCLK/2 ¹⁴	1.95 kHz
1	1	1	1	x	x	x	x	fCLK/2 ¹⁵	977 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ (CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. x : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0-3), mn = 00-03

(2) 送信時のボー・レート誤差

UART (UART0, UART1) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。
送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 32 MHzの場合のUARTボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 32 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート差	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	103	300.48 bps	+0.16 %
600 bps	fCLK/2 ⁸	103	600.96 bps	+0.16 %
1200 bps	fCLK/2 ⁷	103	1201.92 bps	+0.16 %
2400 bps	fCLK/2 ⁶	103	2403.85 bps	+0.16 %
4800 bps	fCLK/2 ⁵	103	4807.69 bps	+0.16 %
9600 bps	fCLK/2 ⁴	103	9615.38 bps	+0.16 %
19200 bps	fCLK/2 ³	103	19230.8 bps	+0.16 %
31250 bps	fCLK/2 ³	63	31250.0 bps	±0.0 %
38400 bps	fCLK/2 ²	103	38461.5 bps	+0.16 %
76800 bps	fCLK/2	103	76923.1 bps	+0.16 %
153600 bps	fCLK	103	153846 bps	+0.16 %
312500 bps	fCLK	50	312500 bps	±0.39 %

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 2), mn = 00, 02

(3) 受信時のポー・レート許容範囲

UART (UART0, UART1) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$\text{(受信可能な最大ポー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ポー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値(19.7.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 1, 3), mn = 01, 03

図19-126 受信時の許容ポー・レート範囲(1データ・フレーム長 = 11ビットの場合)

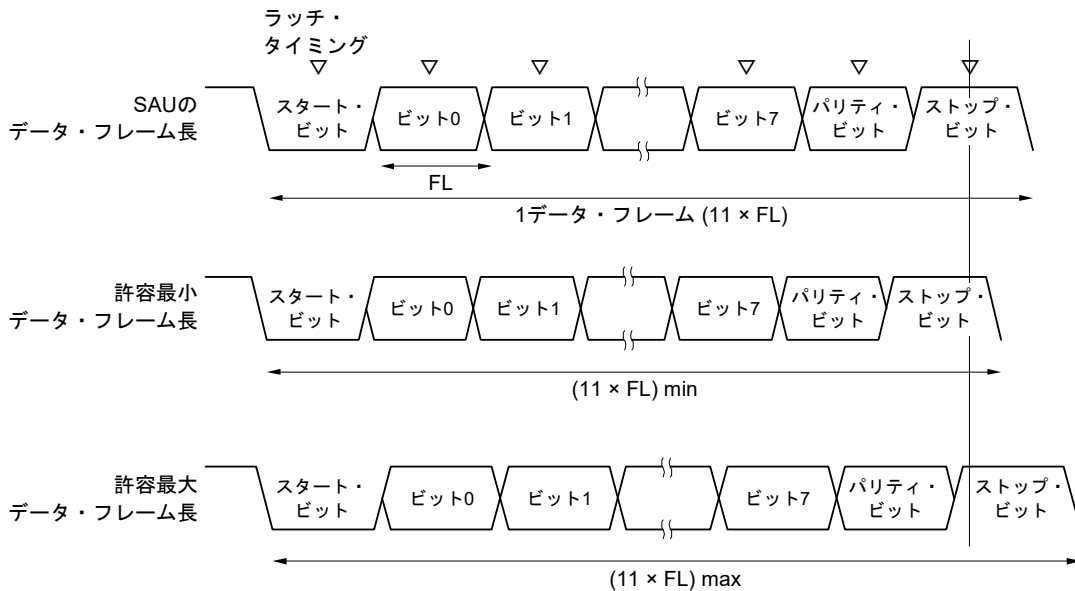


図19-126に示すように、スタート・ビット検出後はシリアル・データ・レジスタ mn (SDRmn)のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

19.7.5 UART (UART0, UART1)通信時におけるエラー発生時の処理手順

UART (UART0, UART1)通信時にエラーが発生した場合の処理手順を図19 - 127, 図19 - 128に示します。

図19 - 127 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図19 - 128 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“0”となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“1”となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0-3), mn = 00-03

19.8 LIN通信の動作

19.8.1 LIN送信

UART送信のうち、UART0はLIN通信に対応しています。

LIN送信では、ユニット0のチャンネル0を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャンネル	SAU0のチャンネル0	—
使用端子	TxD0	—
割り込み	INTST0	—
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能	
エラー検出フラグ	なし	
転送データ長	8ビット	
転送レート注	Max. $f_{MCK}/12$ [bps] (SDR00[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]	
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加	
データ方向	MSBファースト	

注 この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1~20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

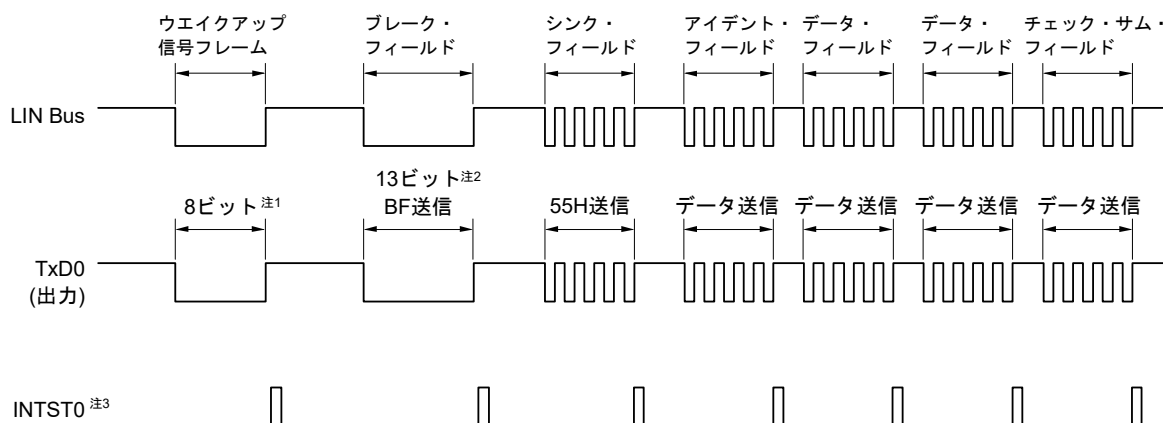
LINのマスタは通常、CAN (Controller Area Network)などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作の概略を、図19-129に示します。

図19-129 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、80Hのデータ送信をすることで対応します。

注2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、ブレーク・フィールドで使用するポー・レートは次のようになります。

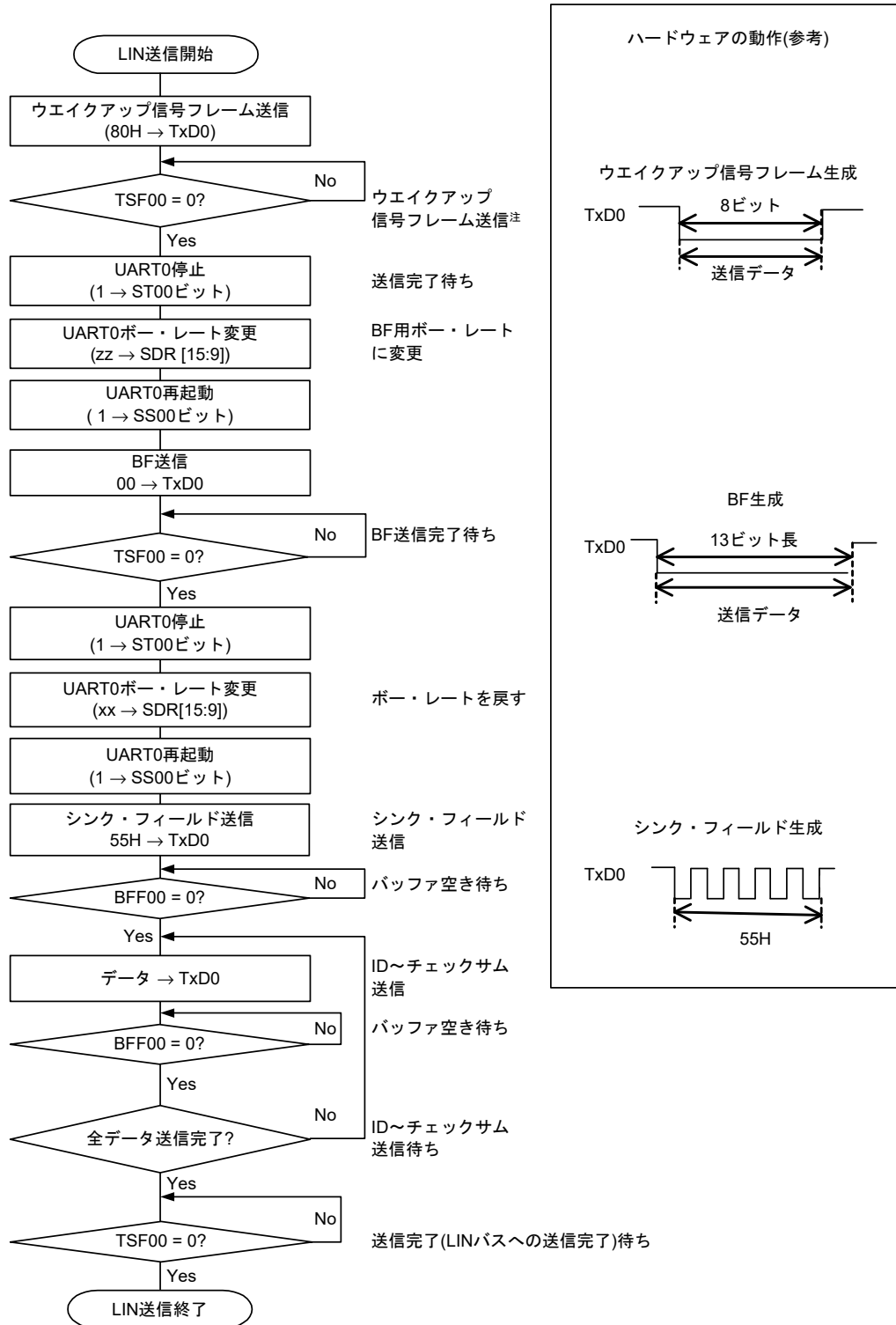
$$(\text{ブレーク・フィールド時のポー・レート}) = 9/13 \times N$$

このポー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

注3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図19 - 130 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ。

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

19.8.2 LIN受信

UART受信のうち、UART0はLIN通信に対応しています。

LIN受信では、ユニット0のチャンネル1を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャンネル	SAU0のチャンネル1	—
使用端子	RxD0	—
割り込み	INTSR0 転送完了割り込みのみ(バッファ空き割り込みは設定禁止)	—
エラー割り込み	INTSRE0	—
エラー検出フラグ	・ フレーミング・エラー検出フラグ(FEF01) ・ オーバラン・エラー検出フラグ(OVF01)	
転送データ長	8ビット	
転送レート注	Max. $f_{MCK}/12$ [bps] ($SDR01[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]	
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)	
パリティ・ビット	パリティ・ビットなし(パリティ・チェックしない)	
ストップ・ビット	1ビット付加	
データ方向	LSBファースト	

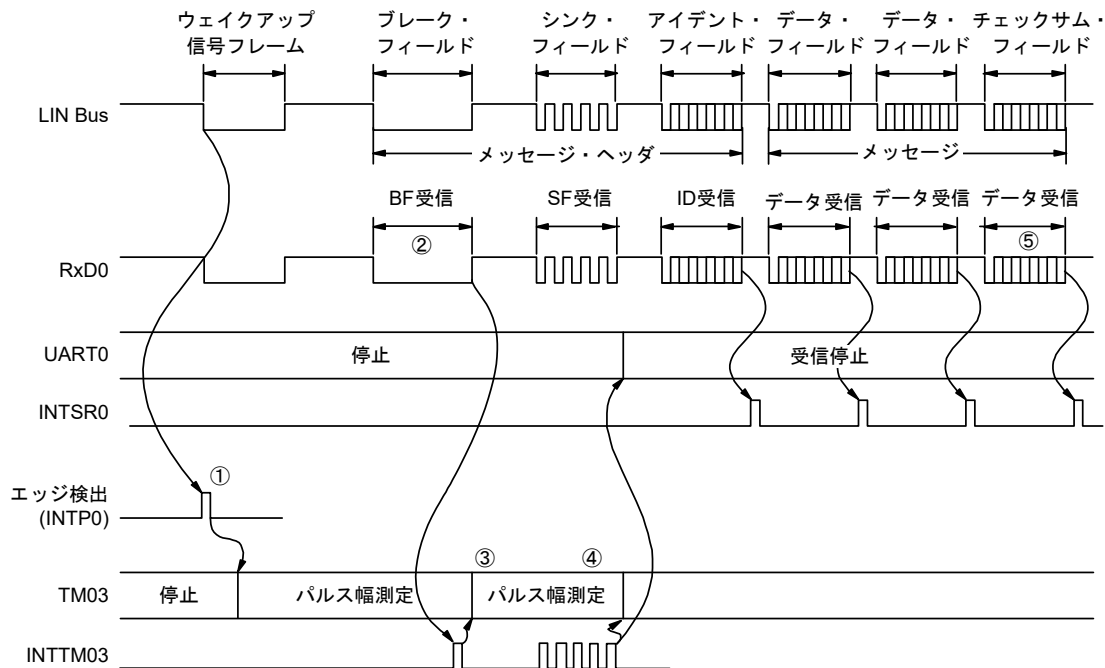
注 この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINの受信操作の概略を、図19-131に示します。

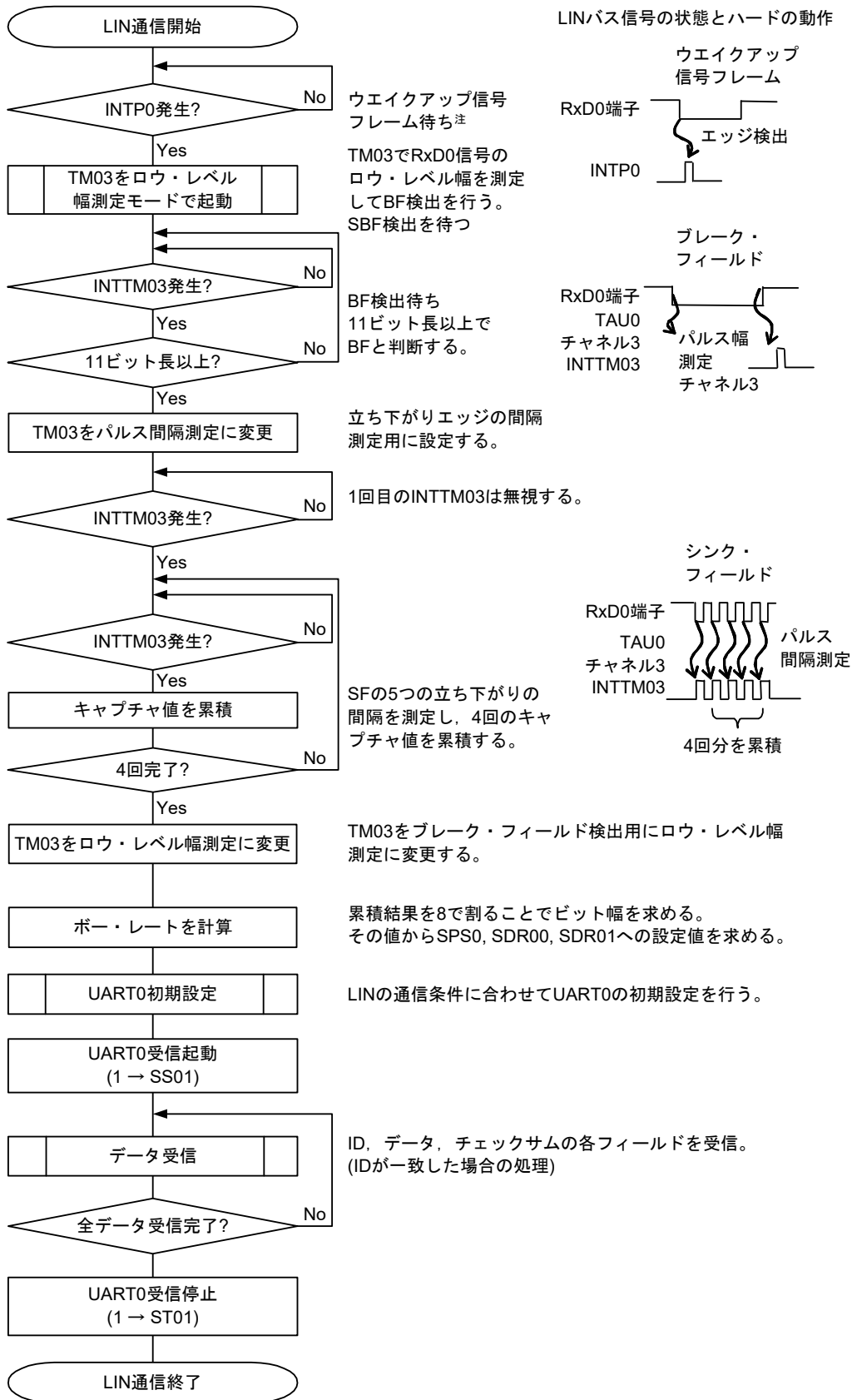
図19 - 131 LINの受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTP0) で行います。ウェイクアップ信号を検出したら、TM03をBFのロウ・レベル幅測定のためにパルス幅測定に設定して、BF受信待ち状態にします。
- ② BFの立ち下がりを検出したら、TM03はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。
- ③ BF受信を正常終了した場合、TM03をパルス間隔測定に設定し、シンク・フィールドのRxD0信号の立ち下がり間隔を4回測定してください(6.8.3 入力パルス間隔測定としての動作を参照)。
- ④ シンク・フィールド(SF)のビット間隔からボー・レート誤差を算出します。そして、いったんUART0を動作停止にしてからボー・レートを調整(再設定)してください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し、再びBF受信待ちに設定する処理もソフトウェアにて行ってください。

図19 - 132 LIN受信のフロー・チャート



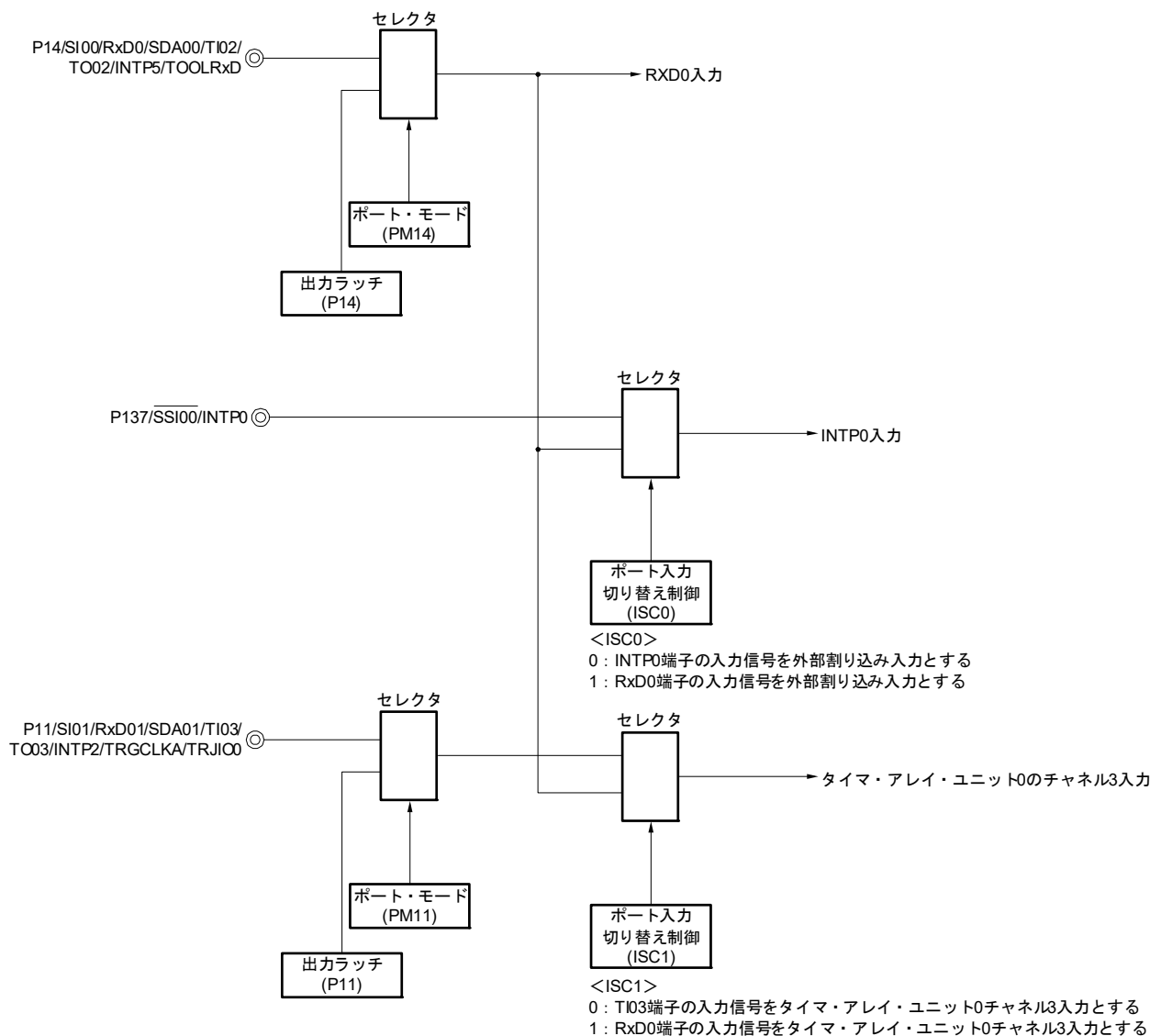
注 スリープ状態でのみ必要となります。

図19 - 133はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部で結線をせずに、受信用ポート入力(RxD0)の入力ソースを外部割り込み(INTP0)およびタイマ・アレイ・ユニットへ入力することができます。

図19 - 133 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図19 - 22参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- 外部割り込み(INTP0) ; ウェイクアップ信号検出
用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出
- タイマ・アレイ・ユニットのチャンネル3 ; ボー・レート誤差検出、ブレーク・フィールド(BF)検出
用途 : シンク・フィールド(SF)の長さを検出し、ビット数で割ることでボー・レート誤差を検出
(RxD0入力エッジの間隔をキャプチャ・モードで測定)
ロウ・レベル幅を測定し、ブレーク・フィールド(BF)かを判定
- シリアル・アレイ・ユニット0 (SAU0)のチャンネル0, 1 (UART0)

19.9 簡易I²C (IIC00, IIC01)通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- マスタ送信, マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能注, ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信, スレーブ受信
- マルチ・マスタ機能(アービトラージン負け検出機能)
- ウェイト検出機能

注 最終データの受信時は、SOEmn (SOEm レジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、19.9.3 (2) 処理フローを参照してください。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0, 1), mn = 00, 01

簡易I²C (IIC00, IIC01)に対応しているチャンネルは、SAU0のチャンネル0, 1です。

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	—		—

簡易I²C (IIC00, IIC01)の通信動作は、以下の4種類があります。

- アドレス・フィールド送信(19.9.1項を参照)
- データ送信(19.9.2項を参照)
- データ受信(19.9.3項を参照)
- ストップ・コンディション発生(19.9.4項を参照)

19.9.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I ² C	IIC00	IIC01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)	
エラー検出フラグ	ACKエラー検出フラグ(PEFmn)	
転送データ長	8ビット(上位7ビットをアドレス、下位1ビットをR/W制御として送信)	
転送レート ^{注2}	Max.f _{MCK} /4 [Hz] (SDRmn[15:9] = 1以上) f _{MCK} : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 	
データ・レベル	非反転出力(デフォルト: ハイ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加(ACK受信タイミング用)	
データ方向	MSBファースト	

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POM_{xx})にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POM_{xx} = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC01を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL01)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POM_{xx} = 1)。

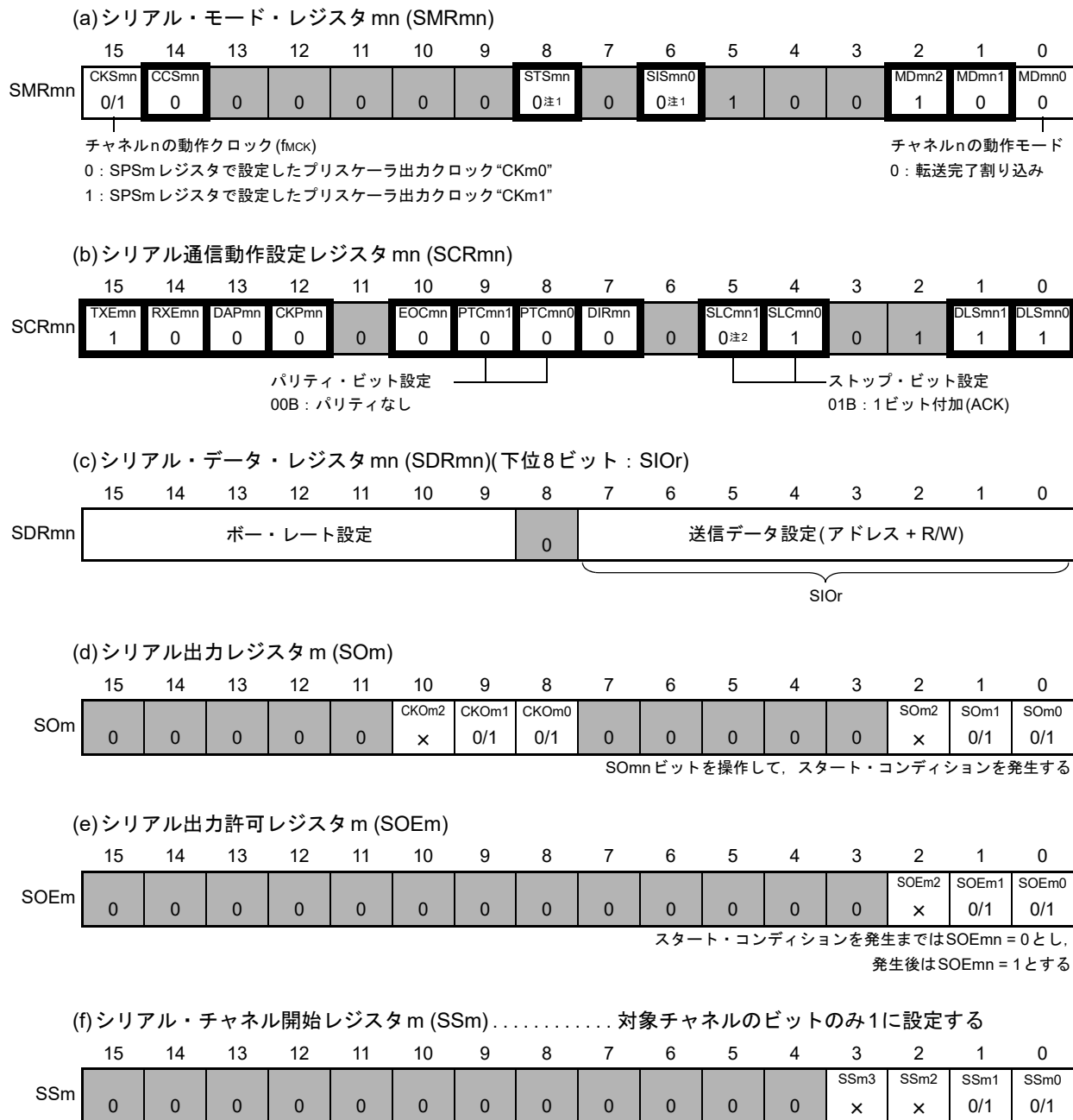
詳細は、4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第33章 または第34章 電氣的特性を参照)を満たす範囲内で使用してください。

備考 m: ユニット番号(m = 0) n: チャンネル番号(n = 0, 1), mn = 00, 01

(1) レジスタ設定

図 19 - 134 簡易 I²C (IIC00, IIC01) のアドレス・フィールド送信時のレジスタ設定内容例



注1. SMR00レジスタのみ。

注2. SCR00レジスタのみ。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) r : IIC番号 (r = 00, 01) mn = 00, 01

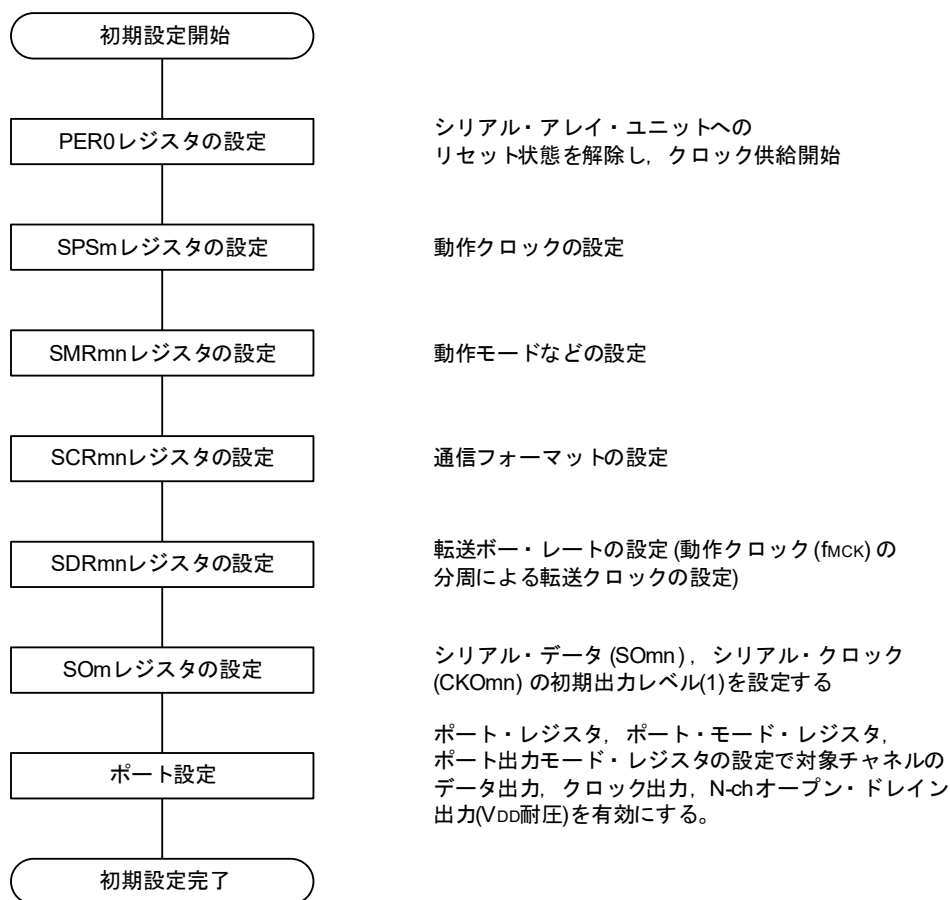
備考2. ■ : IICモードでは設定固定 □ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

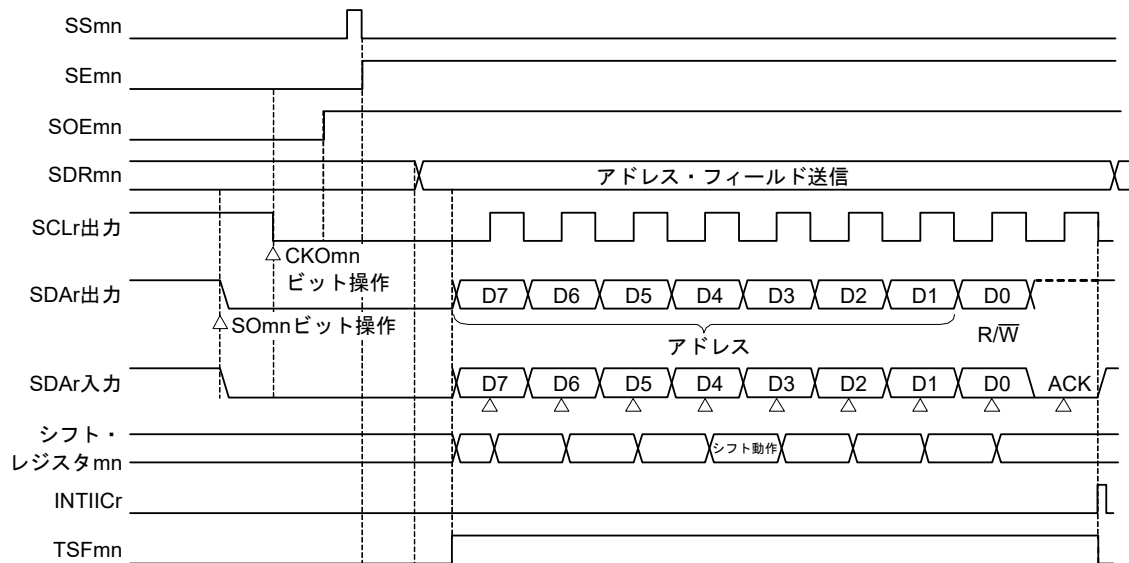
図 19 - 135 アドレス・フィールド送信の初期設定手順



備考 初期設定完了時点では、簡易I²C (IIC00, IIC01)は出力禁止、動作停止状態としておきます。

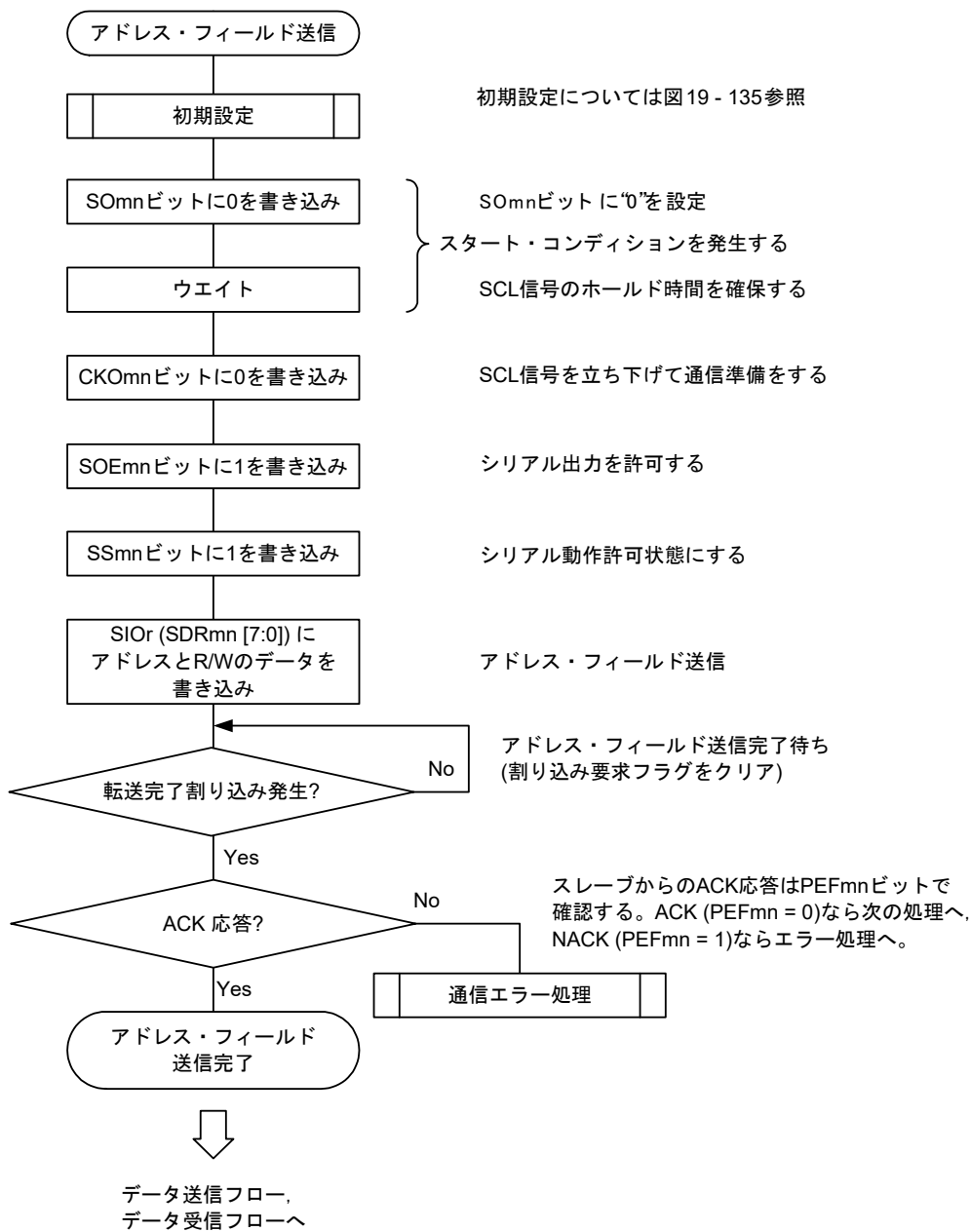
(3) 処理フロー

図19 - 136 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) r : IIC番号 (r = 00, 01) mn = 00, 01

図19-137 アドレス・フィールド送信のフロー・チャート



19.9.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)	
エラー検出フラグ	ACKエラー・フラグ(PEFmn)	
転送データ長	8ビット	
転送レート ^{注2}	Max.fmck/4 [Hz] (SDRmn[15:9] = 1以上) fmck : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 	
データ・レベル	非反転出力(デフォルト:ハイ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加(ACK受信タイミング用)	
データ方向	MSBファースト	

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC01を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL01)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1), mn = 00, 01

(1) レジスタ設定

図 19 - 138 簡易 I²C (IIC00, IIC01) のデータ送信時のレジスタ設定内容例



注1. SMR01レジスタのみ。

注2. SCR00レジスタのみ。

注3. アドレス・フィールド送信で設定済みなので、設定不要です。

注4. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) r : IIC番号(r = 00, 01) mn = 00, 01

備考2. ■ : IICモードでは設定固定 ■ : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図19 - 139 データ送信のタイミング・チャート

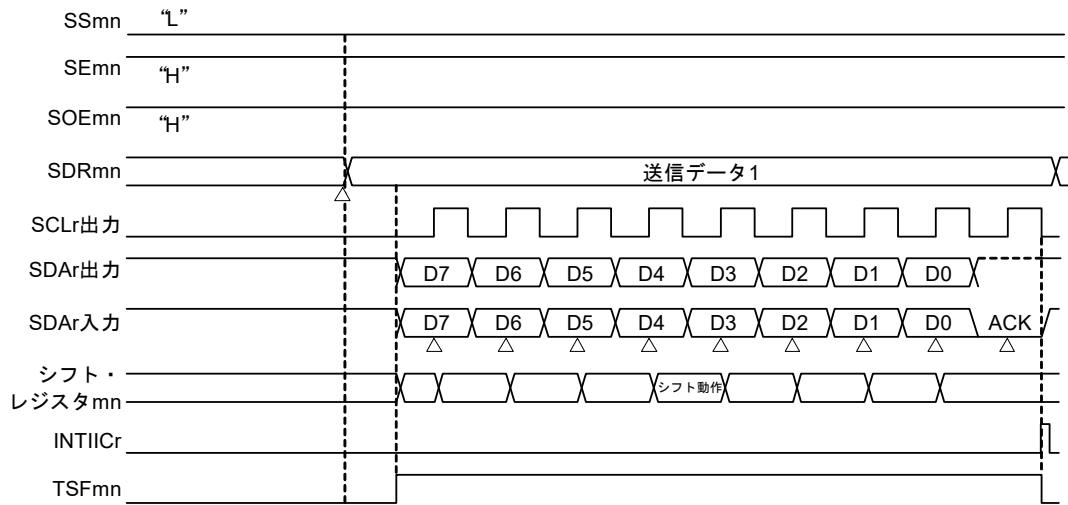
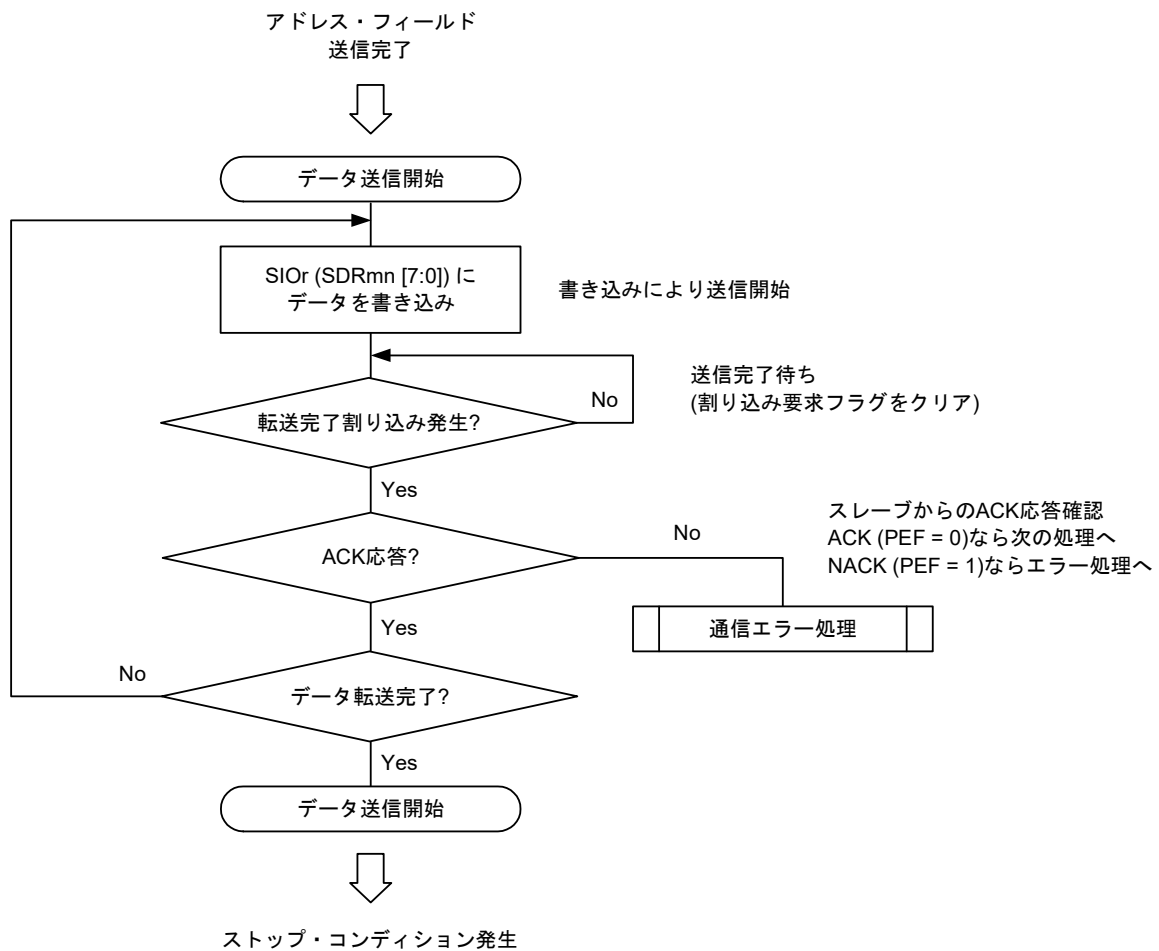


図19 - 140 データ送信のフロー・チャート



19.9.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)	
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ	
転送データ長	8ビット	
転送レート ^{注2}	Max.fmck/4 [Hz] (SDRmn[15:9] = 1以上) fmck : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 	
データ・レベル	非反転出力(デフォルト: ハイ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加(ACK送信)	
データ方向	MSBファースト	

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC01を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL01)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第33章 または第34章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1), mn = 00, 01

(1) レジスタ設定

図 19 - 141 簡易 I²C (IIC00, IIC01) のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0注1	0	0注1	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)
..... TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0注2	1	0	1	1	1

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定注3								0	ダミー送信データ設定 (FFH)							
	SIO _r																

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2	CKOm1	CKOm0						SOm2	SOm1	SOm0
	0	0	0	0	0	x	0/1注4	0/1注4	0	0	0	0	0	x	0/1注4	0/1注4

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0/1	0/1

注1. SMR01レジスタのみ。

注2. SCR00レジスタのみ。

注3. アドレス・フィールド送信で設定済みなので、設定不要です。

注4. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0, 1) r : IIC番号(r = 00, 01) mn = 00, 01

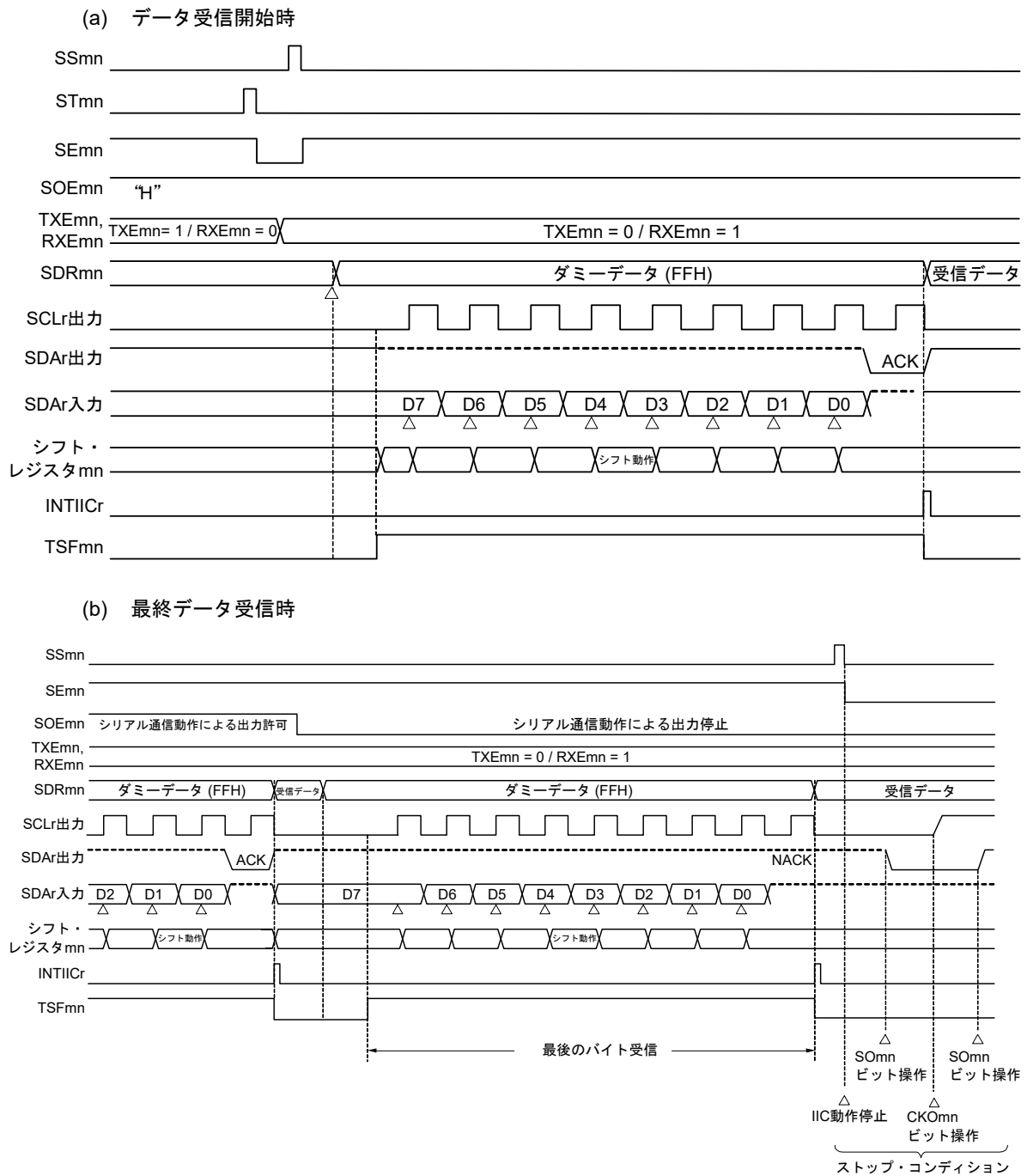
備考2. ■: IICモードでは設定固定 ■: 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

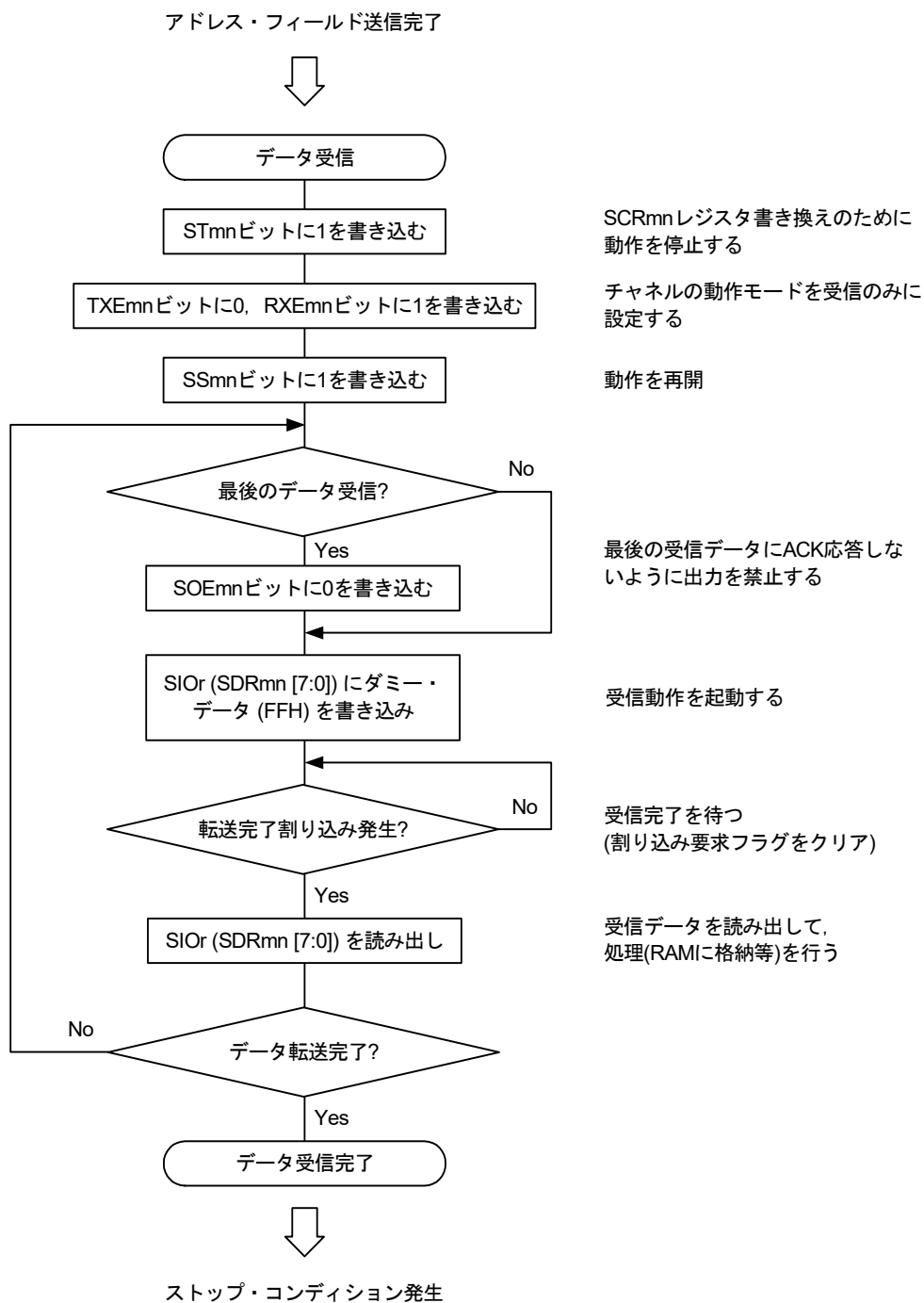
(2) 処理フロー

図19-142 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) r : IIC番号 (r = 00, 01) mn = 00, 01

図19-143 データ受信のフロー・チャート



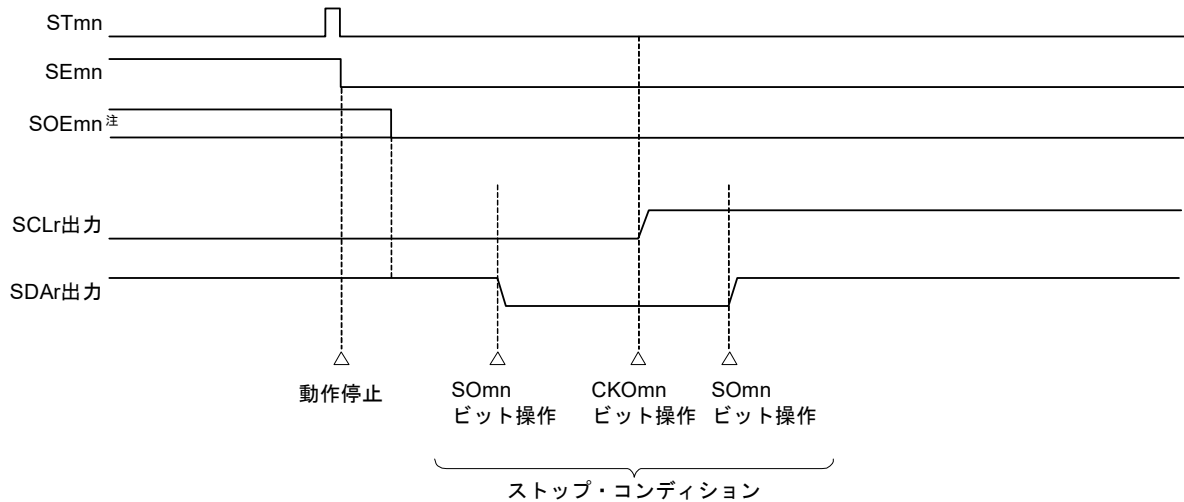
注意 最終データの受信時はACKを出しません(NACK)。その後、シリアル・チャンネル停止レジスタ m (STm)のSTmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

19.9.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

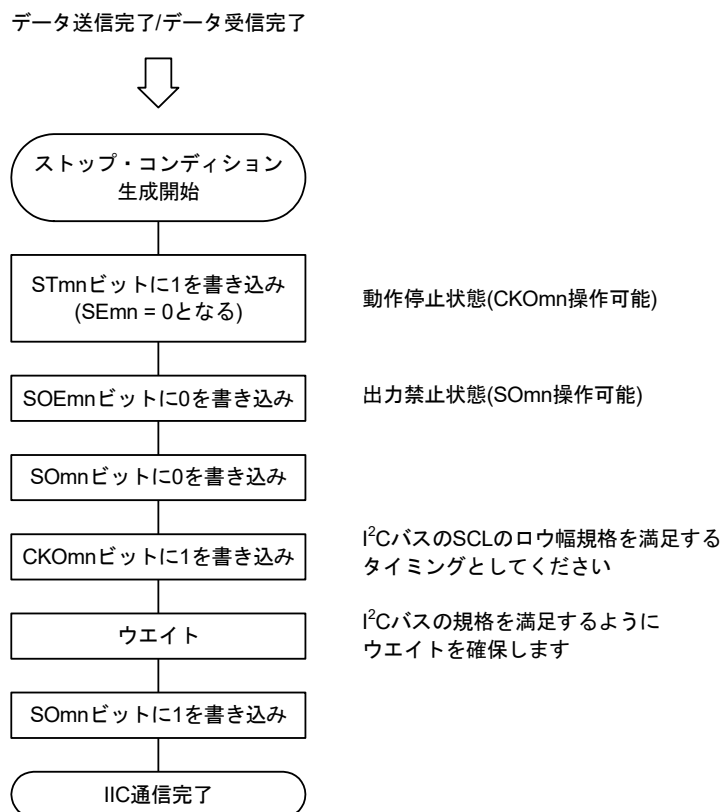
(1) 処理フロー

図19-144 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタ m (SOEm) の SOEmn ビットを“0”に設定しています。

図19-145 ストップ・コンディション発生のフロー・チャート



19.9.5 転送レートの算出

簡易I²C (IIC00, IIC01)通信での転送レートは下記の計算式にて算出できます。

$$(\text{転送レート}) = \{ \text{対象チャンネルの動作クロック (fmck) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9])は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000001B-1111111B)なので、1-127になります。

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1), mn = 00, 01

動作クロック (fmck) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 19 - 7 簡易 I²C 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 32 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	8 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	4 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	2 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	1 MHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	500 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	250 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	125 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
x	x	x	x	1	0	1	1	fCLK/2 ¹¹	15.63 kHz	
1	0	0	0	0	x	x	x	x	fCLK	32 MHz
	0	0	0	1	x	x	x	x	fCLK/2	16 MHz
	0	0	1	0	x	x	x	x	fCLK/2 ²	8 MHz
	0	0	1	1	x	x	x	x	fCLK/2 ³	4 MHz
	0	1	0	0	x	x	x	x	fCLK/2 ⁴	2 MHz
	0	1	0	1	x	x	x	x	fCLK/2 ⁵	1 MHz
	0	1	1	0	x	x	x	x	fCLK/2 ⁶	500 kHz
	0	1	1	1	x	x	x	x	fCLK/2 ⁷	250 kHz
	1	0	0	0	x	x	x	x	fCLK/2 ⁸	125 kHz
	1	0	0	1	x	x	x	x	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	x	x	x	x	fCLK/2 ¹⁰	31.25 kHz
1	0	1	1	x	x	x	x	fCLK/2 ¹¹	15.63 kHz	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. x : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1), mn = 00, 01

fMCK = fCLK = 32 MHzの場合のI²C転送レート設定例を示します。

I ² C転送モード (希望転送レート)	fCLK = 32 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	79	100 kHz	0.0%
400 kHz	fCLK	41	380 kHz	5.0%注
1 MHz	fCLK	18	0.84 MHz	16.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

19.9.6 簡易 I²C (IIC00, IIC01)通信時におけるエラー発生時の処理手順

簡易 I²C (IIC00, IIC01)通信時にエラーが発生した場合の処理手順を図 19 - 146, 図 19 - 147に示します。

図 19 - 146 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn)をリードする	→SSRmn レジスタのBFFmn ビットが“0”となり, チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)に“1”をライトする	→エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで, 読み出し時のエラーのみをクリアできる

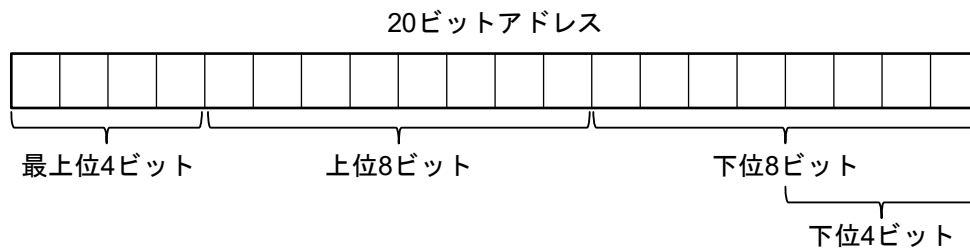
図 19 - 147 簡易 I²C モード時のACKエラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)をライトする	→エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで, 読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm)のSTmn ビットに“1”を設定する	→シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmn ビットが“0”となり, チャンネルnは動作停止状態になる	ACKが返信されていないので, スレーブの受信準備ができていない。そのため, ストップ・コンディションを作成してバスを開放し, 再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し, アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm)のSSmn ビットに“1”を設定する	→シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmn ビットが“1”となり, チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) r : IIC番号 (r = 00, 01) mn = 00, 01

第20章 データ・トランスファ・コントローラ(DTC)

本章の説明で記載されているアドレスの上位8ビットとは下記のとおり、20ビットアドレスのビット(15-8)になります。



また、本章の説明の中で、特に指定が無い場合、アドレスの最上位4ビットは全て1(FxxxH)になります。

20.1 DTCの機能

データ・トランスファ・コントローラ (DTC)は、CPUを使わずにメモリとメモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用权はCPUよりも優先されます。

表20-1にDTCの仕様を示します。

表20-1 DTCの仕様

項目		仕様
起動要因		22要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間(F0000H~FFFFFFH)ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ(SFR)、RAM領域(汎用レジスタを除く)、ミラー領域注、データ・フラッシュ・メモリ領域注、拡張特殊機能レジスタ(2nd SFR)
	デスティネーション	特殊機能レジスタ(SFR)、RAM領域(汎用レジスタを除く)、拡張特殊機能レジスタ(2nd SFR)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード(8ビット転送)	256バイト
	ノーマルモード(16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		表20-5 DTC起動要因とベクタアドレス参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0~DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> DTCENi0~DTCENi7ビットを0(起動禁止)にする DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	<ul style="list-style-type: none"> DTCENi0~DTCENi7ビットを0(起動禁止)にする RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

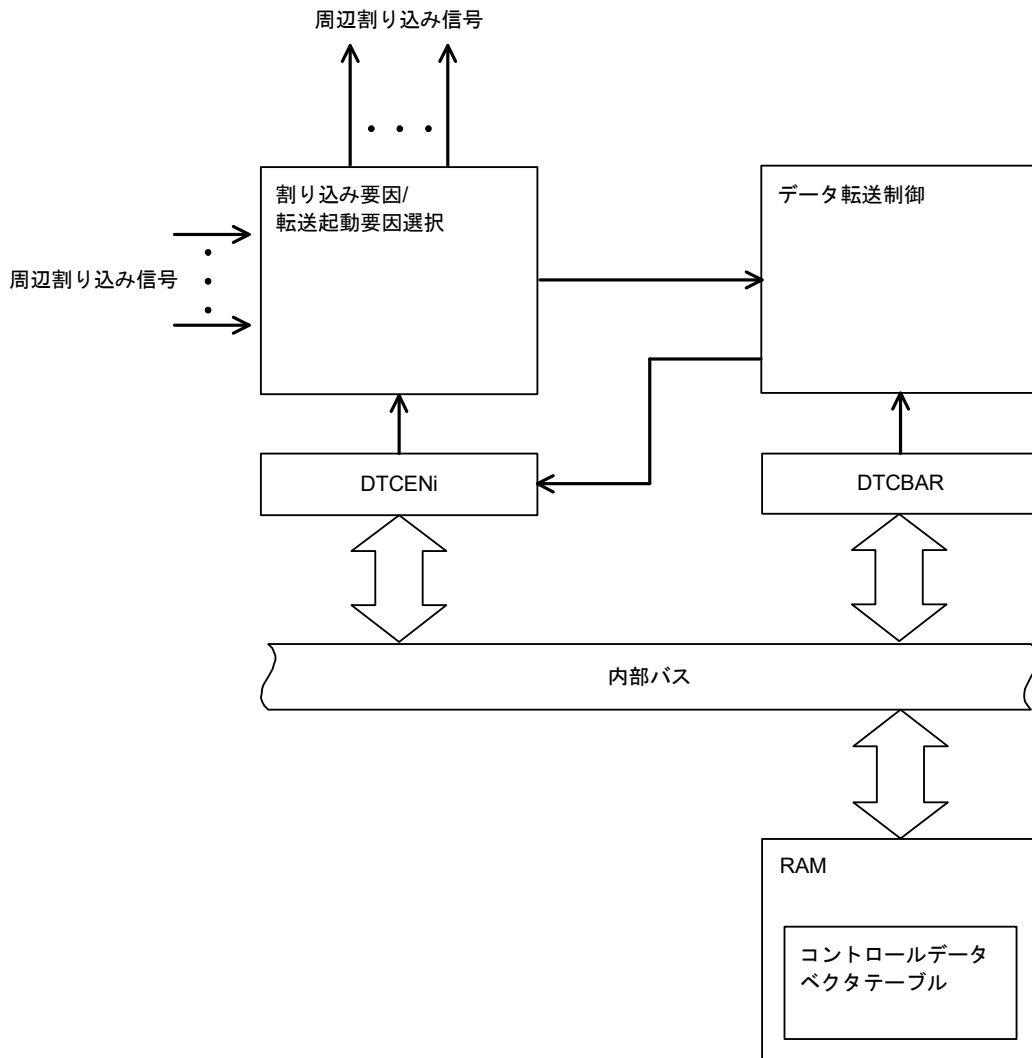
注 HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0~2, j = 0~23

20.2 DTCの構成

図20 - 1にDTCのブロック図を示します。

図20 - 1 DTCのブロック図



20.3 DTCを制御するレジスタ

表20-2にDTCを制御するレジスタを示します。

表20-2 DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTCベースアドレスレジスタ	DTCBAR

表20-3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と、コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表20-3 DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロックサイズレジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロードレジスタj	DTRL Dj
DTCソースアドレスレジスタj	DTSARj
DTCデスティネーションアドレスレジスタj	DTDARj

備考 j = 0 ~ 23

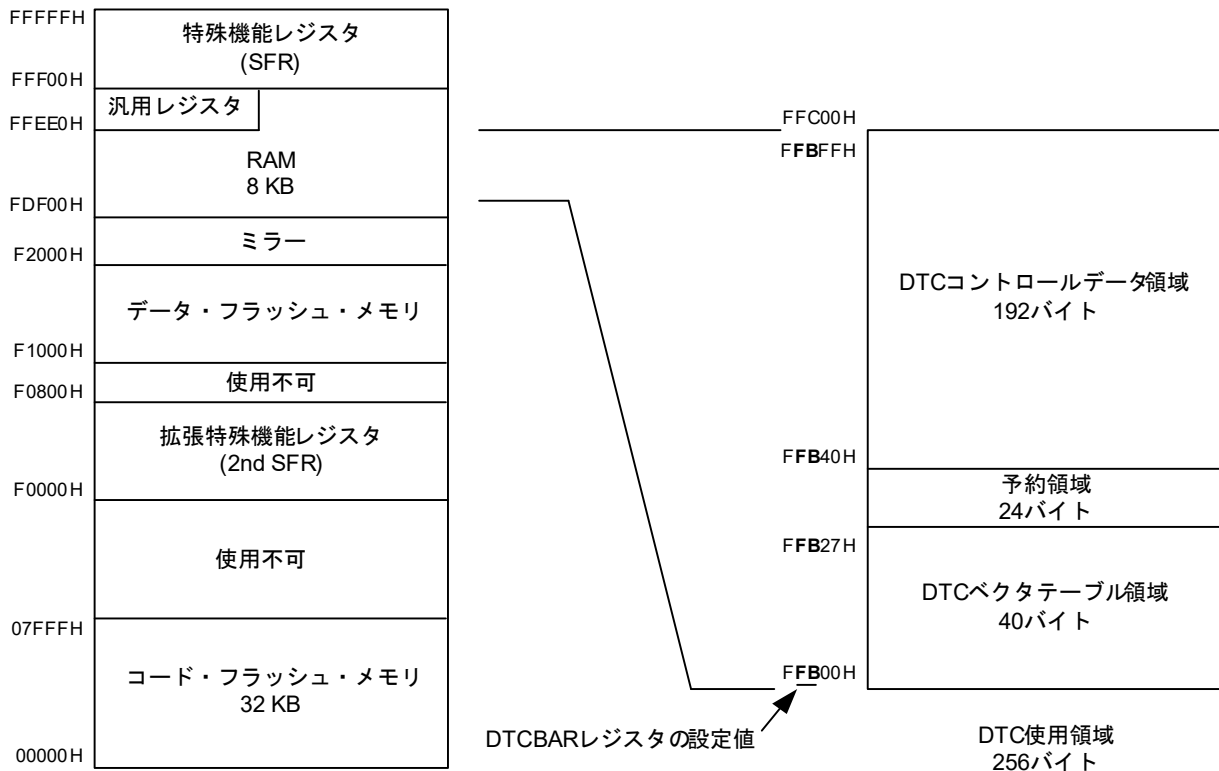
20.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで、DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図20-2にDTCBARレジスタにFBHを設定したときのメモリ・マップ例を示します。

DTCコントロールデータ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図20-2 DTCBARレジスタにFBHを設定したときのメモリ・マップ例



- 注意1. 汎用レジスタ (FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- 注意2. スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- 注意3. FDF00H-FE309Hの内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
- 注意4. FE300H-FE6FFHの内部RAM領域は、オンチップ・デバッグのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

20.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0~23) レジスタの順に配置します。

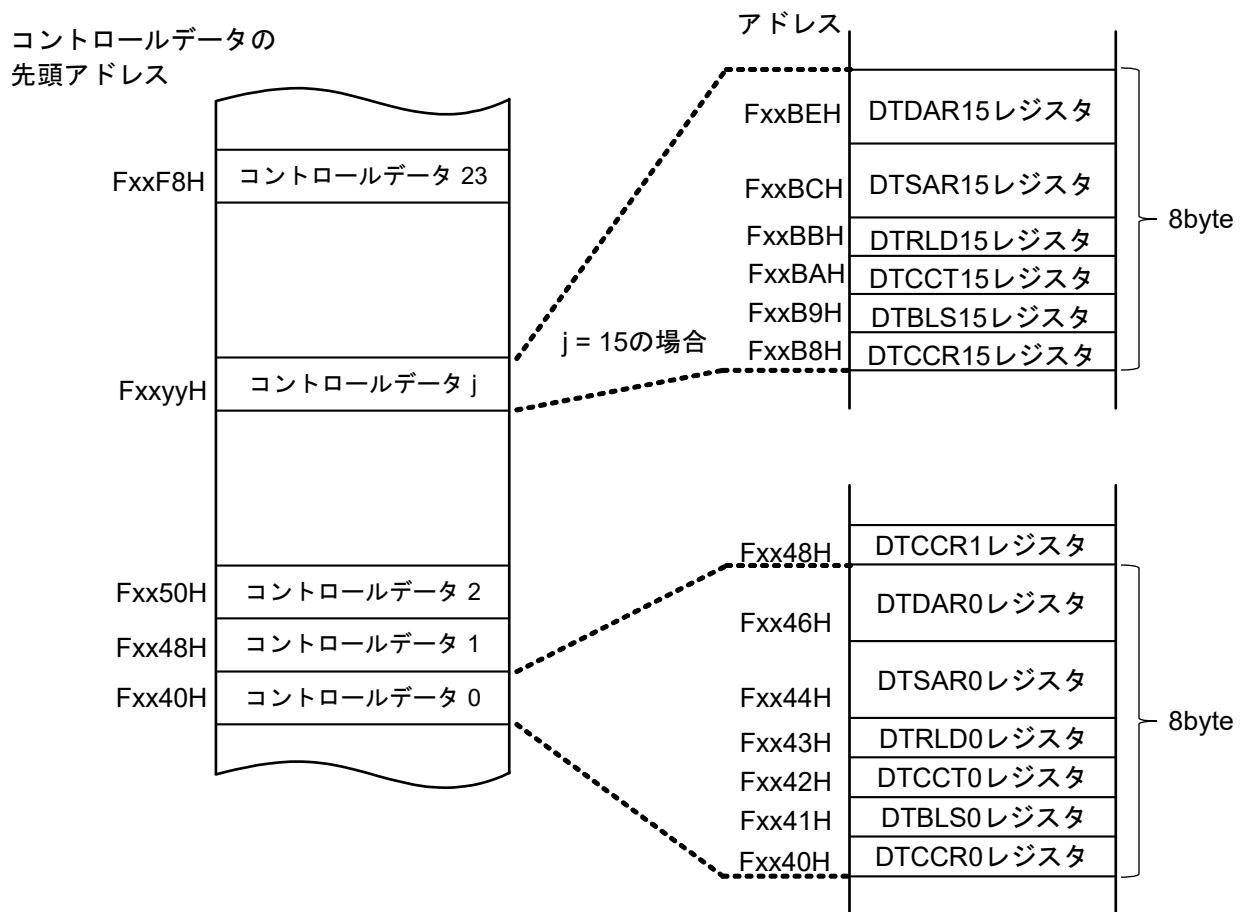
先頭アドレス0~23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図20-3にコントロールデータの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応するDTCENi (i = 0~2)のDTCENi0~DTCENi7ビットが0(起動禁止)のときに変更してください。

注意2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図20-3 コントロールデータの配置



備考 xx : DTCBARレジスタの設定値

表20 - 4 コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	FxxF8H
10	Fxx90H	22	FxxF0H
9	Fxx88H	21	FxxE8H
8	Fxx80H	20	FxxE0H
7	Fxx78H	19	FxxD8H
6	Fxx70H	18	FxxD0H
5	Fxx68H	17	FxxC8H
4	Fxx60H	16	FxxC0H
3	Fxx58H	15	FxxB8H
2	Fxx50H	14	FxxB0H
1	Fxx48H	13	FxxA8H
0	Fxx40H	12	FxxA0H

備考 xx : DTCBARレジスタの設定値

20.3.3 ベクタテーブル

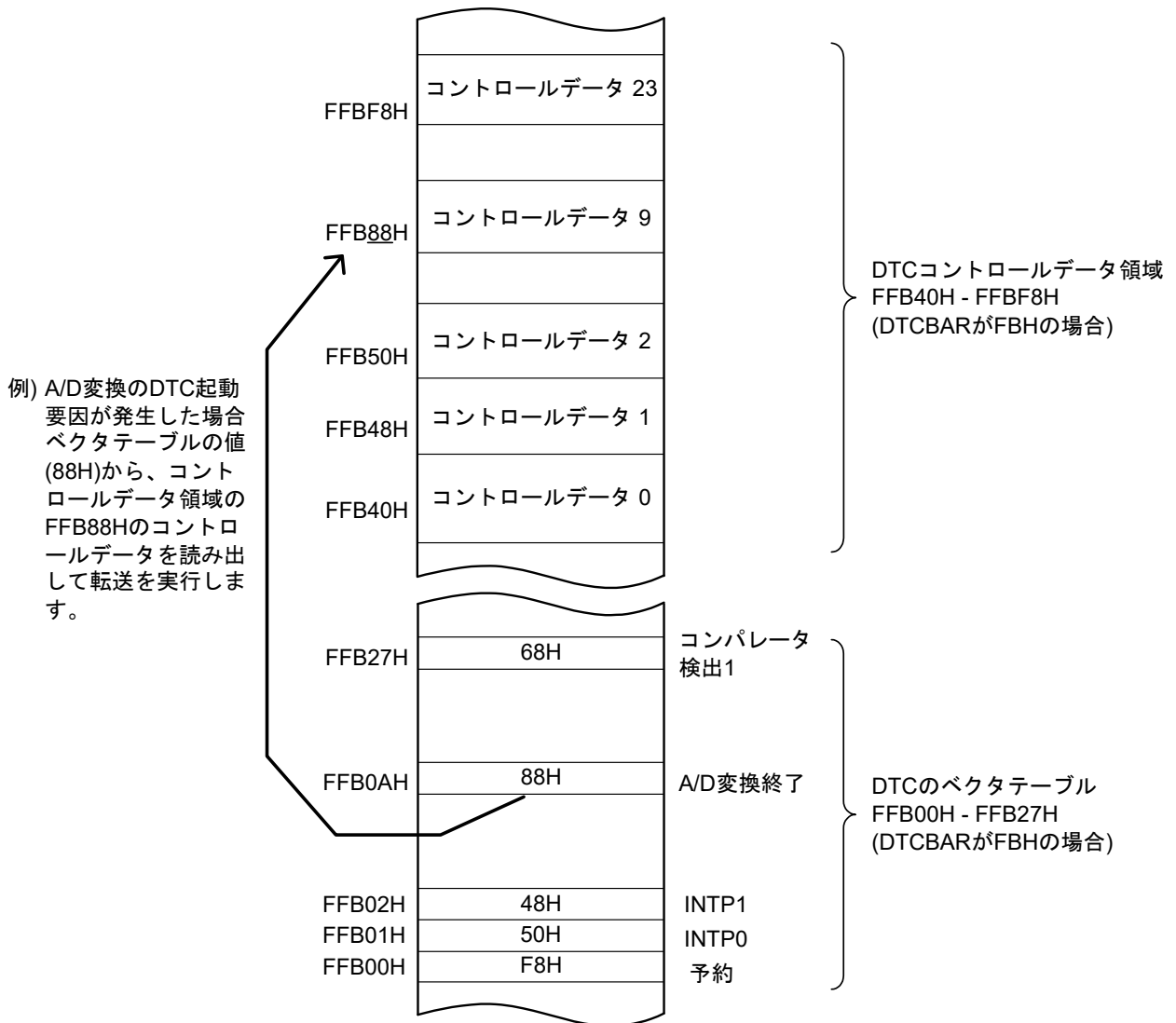
DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表20-5にDTC起動要因とベクタアドレスを示します。起動要因ごとにベクタテーブルが1バイトあり、40HからF8Hのデータを格納し、24組のコントロールデータから1つを選択します。ベクタアドレスの上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因に対応して00Hから16Hまでが割り当てられます。

注意 ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0 ~ 2) レジスタのDTCENi0 ~ DTCENi7ビットが0 (起動禁止)のときに変更してください。

図20-4 コントロールデータの先頭アドレスとベクタテーブル

DTCBARレジスタの設定値がFBHの場合(例)



20.3.4 周辺イネーブル・レジスタ 1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTCを使用する場合は、必ずビット3 (DTCEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-5 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	AMPEN	0	DTCEN	PGAEN	AFEEN	TRJ0EN

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・ DTCは動作不可
1	入カクロック供給 ・ DTCは動作可

注意 ビット4には必ず“0”を設定してください。

20.3.5 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

DTCCRjレジスタは、DTCの動作モードを制御します。

図20 - 6 DTC制御レジスタj (DTCCRj)のフォーマット

アドレス : 20.3.2 コントローラデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
SZ		転送データサイズを選択						
	0	8ビット						
	1	16ビット						
RPTINT		リピートモード割り込みの許可・禁止						
	0	割り込み発生禁止						
	1	割り込み発生許可						
MODEビットが0 (ノーマルモード)のときRPTINTビットの設定は無効です。								
CHNE		チェーン転送の許可・禁止						
	0	チェーン転送禁止						
	1	チェーン転送許可						
DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止)にしてください。								
DAMOD		転送先アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード)でRPTSELビットが0 (転送先がリピートエリア)のときDAMODビットの設定は無効です。								
SAMOD		転送元アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード)でRPTSELビットが1 (転送元がリピートエリア)のときSAMODビットの設定は無効です。								
RPTSEL		リピートエリアの選択						
	0	転送先がリピートエリア						
	1	転送元がリピートエリア						
MODEビットが0 (ノーマルモード)のときRPTSELビットの設定は無効です。								
MODE		転送モードの選択						
	0	ノーマルモード						
	1	リピートモード						

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

20.3.6 DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)

1回の起動で転送されるデータのブロックサイズを設定します。

図20 - 7 DTCブロックサイズレジスタj (DTBLSj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0
DTBLSj	転送ブロックサイズ							
	8ビット転送				16ビット転送			
00H	256バイト				512バイト			
01H	1バイト				2バイト			
02H	2バイト				4バイト			
03H	3バイト				6バイト			
.	.				.			
.	.				.			
.	.				.			
FDH	253バイト				506バイト			
FEH	254バイト				508バイト			
FFH	255バイト				510バイト			

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

20.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図20 - 8 DTC転送回数レジスタj (DTCCTj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0
DTCCTj	転送回数							
00H	256回							
01H	1回							
02H	2回							
03H	3回							
.	.							
.	.							
.	.							
FDH	253回							
FEH	254回							
FFH	255回							

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

20.3.8 DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図20-9 DTC転送回数リロードレジスタj (DTRLDj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

20.3.9 DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図20-10 DTCソースアドレスレジスタj (DTSARj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTSARj15	DTSARj14	DTSARj13	DTSARj12	DTSARj11	DTSARj10	DTSARj9	DTSARj8	DTSARj7	DTSARj6	DTSARj5	DTSARj4	DTSARj3	DTSARj2	DTSARj1	DTSARj0

注意1. 転送元アドレスに汎用レジスタ (FFEE0H ~ FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

20.3.10 DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図20-11 DTCデスティネーションアドレスレジスタj (DTDARj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTDARj15	DTDARj14	DTDARj13	DTDARj12	DTDARj11	DTDARj10	DTDARj9	DTDARj8	DTDARj7	DTDARj6	DTDARj5	DTDARj4	DTDARj3	DTDARj2	DTDARj1	DTDARj0

注意1. 転送先アドレスに汎用レジスタ (FFEE0H ~ FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

20.3.11 DTC起動許可レジスタ*i* (DTCENi) (*i* = 0 ~ 2)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビット・レジスタです。表20 - 6に割り込み要因とDTCENi0 ~ DTCENi7ビットの対応を示します。

DTCENiレジスタは8ビット・メモリ操作命令, および1ビット・メモリ操作命令で設定できます。

注意1. DTCENi0 ~ DTCENi7ビットは, そのビットに対応する起動要因が発生しない箇所を変更してください。

注意2. DTC転送でDTCENiレジスタをアクセスしないでください。

注意3. 製品によって割り当てられている機能が異なります。機能が割り当てられていないビットには必ず“0”を設定してください。

図20 - 12 DTC起動許可レジスタ*i* (DTCENi) (*i* = 0 ~ 2)のフォーマット

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
DTCENi7	DTC起動許可i7							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi7ビットは0(起動禁止)になります。								
DTCENi6	DTC起動許可i6							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi6ビットは0(起動禁止)になります。								
DTCENi5	DTC起動許可i5							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi5ビットは0(起動禁止)になります。								
DTCENi4	DTC起動許可i4							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi4ビットは0(起動禁止)になります。								
DTCENi3	DTC起動許可i3							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi3ビットは0(起動禁止)になります。								

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0(起動禁止)になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0(起動禁止)になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0(起動禁止)になります。	

表 20 - 6 割り込み要因とDTCENi0～DTCENi7ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	INTP7	A/D変換終了	UART0受信の 転送完了/ CSI01の転送 完了または バッファ空き/ IIC01の転送 完了	UART0送信の 転送完了/ CSI00の転送 完了または バッファ空き/ IIC00の転送 完了	UART1受信の 転送完了	UART1送信の 転送完了	タイマ・アレ イ・ユニット0 のチャンネル0の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル1の カウント完了 またはキャプ チャ完了
DTCEN2	タイマ・アレ イ・ユニット0 のチャンネル2の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル3の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット1 のチャンネル0の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット1 のチャンネル1の カウント完了 またはキャプ チャ完了	タイマRG コンペア一致 A	タイマRG コンペア一致 B	タイマRJ0 アンダフロー	予約

注意 機能が割り当てられていないビットには必ず“0”を設定してください。

備考 i = 0～2

20.3.12 DTCベースアドレスレジスタ(DTCBAR)

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと、DTCコントロールデータ領域のアドレスを設定する8ビット・レジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

- 注意1. DTCBARレジスタは、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- 注意2. DTCBARレジスタを2回以上書き換えしないでください。
- 注意3. DTC転送でDTCBARレジスタをアクセスしないでください。
- 注意4. DTCコントロールデータ領域とDTCベクタテーブル領域の配置については、20.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図20 - 13 DTCベースアドレスレジスタ(DTCBAR)のフォーマット

アドレス : F02E0H リセット時 : FDH R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

20.4 DTCの動作

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあり、転送サイズは8ビット転送と16ビット転送があります。また、DTCCTj(j=0~23)レジスタのCHNEビットが1(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って加算されるか固定されます。

20.4.1 起動要因

DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0 ~ 2)レジスタで選択します。

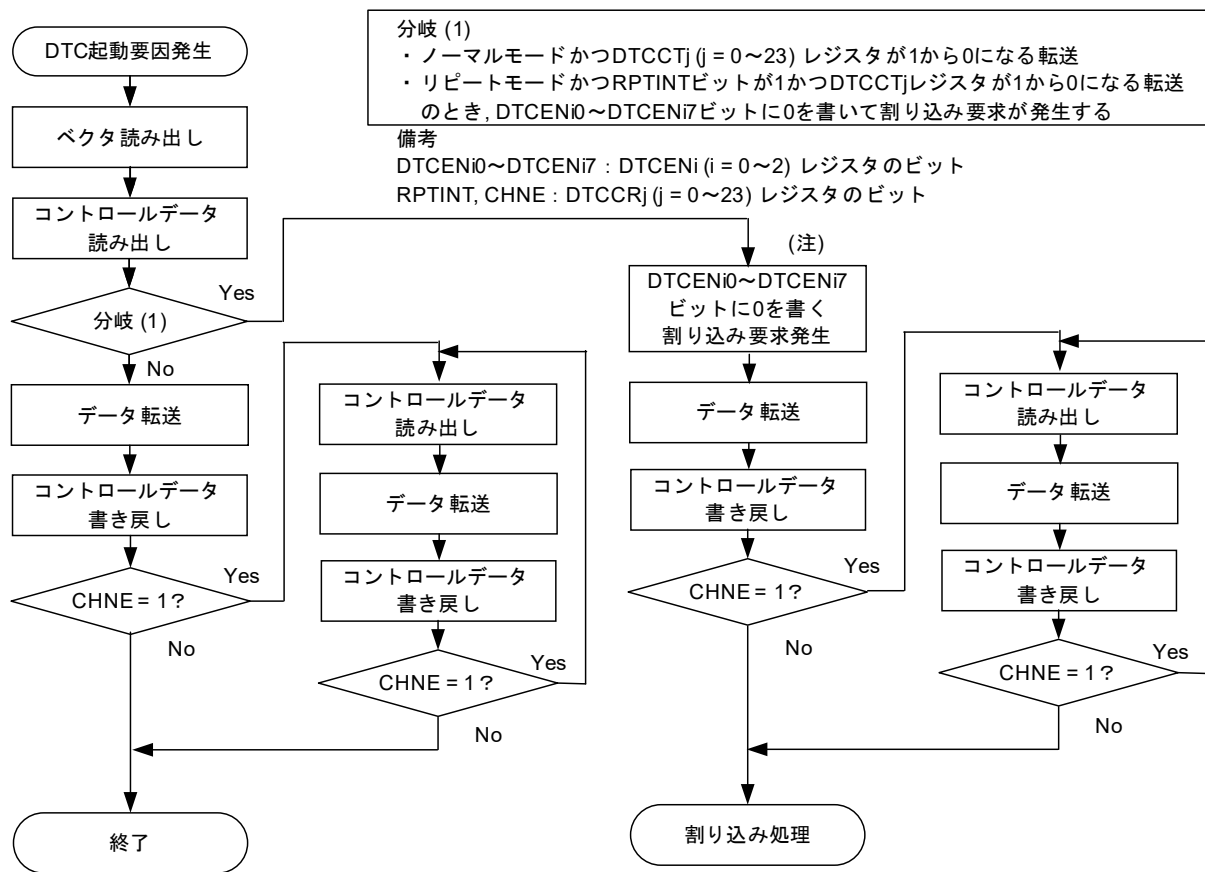
データ転送(チェーン転送の場合、連続して行う最初の転送)の設定が、

- ・ノーマルモードでDTCCTj (j = 0 ~ 23)レジスタが0になる転送
- ・リピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0 ~ DTCENi7ビットを0(起動禁止)にします。

図20-14にDTC内部動作フロー・チャートを示します。

図20-14 DTC内部動作フロー・チャート



注 チェーン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では、DTCENi0 ~ DTCENi7ビットに0を書きません。また、割り込み要求は発生しません。

20.4.2 ノーマルモード

1回の起動で、8ビット転送の場合1~256バイト、16ビット転送の場合2~512バイトをデータ転送します。転送回数は1~256回です。DTCCTj (j = 0~23)レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~2)レジスタの対応するDTCENi0~DTCENi7ビットを0(起動禁止)にします。

表20-7にノーマルモードでのレジスタ機能を示します。図20-15にノーマルモードでのデータ転送を示します。

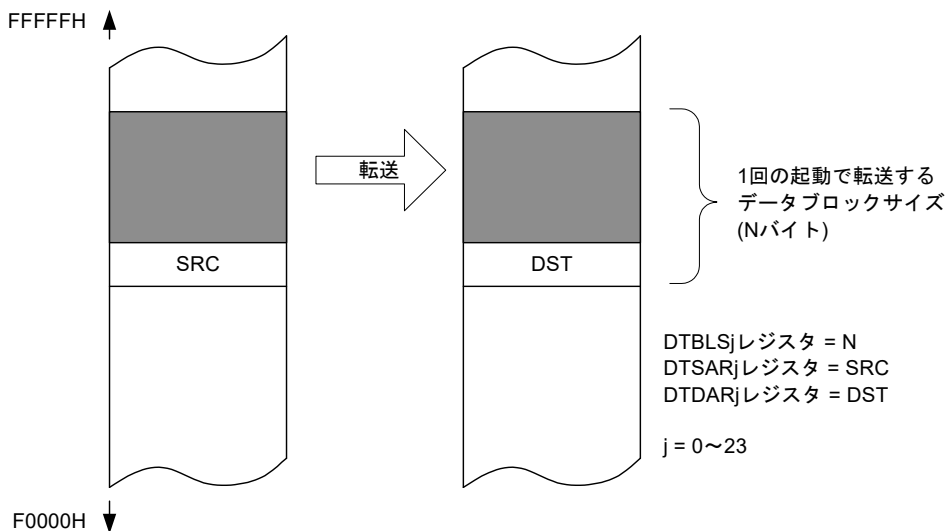
表20-7 ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	使用しません注
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、初期化(00H)してください。

備考 j = 0~23

図20-15 ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC + N	DST
1	0	X	0	固定	加算	SRC	DST + N
1	1	X	0	加算	加算	SRC + N	DST + N

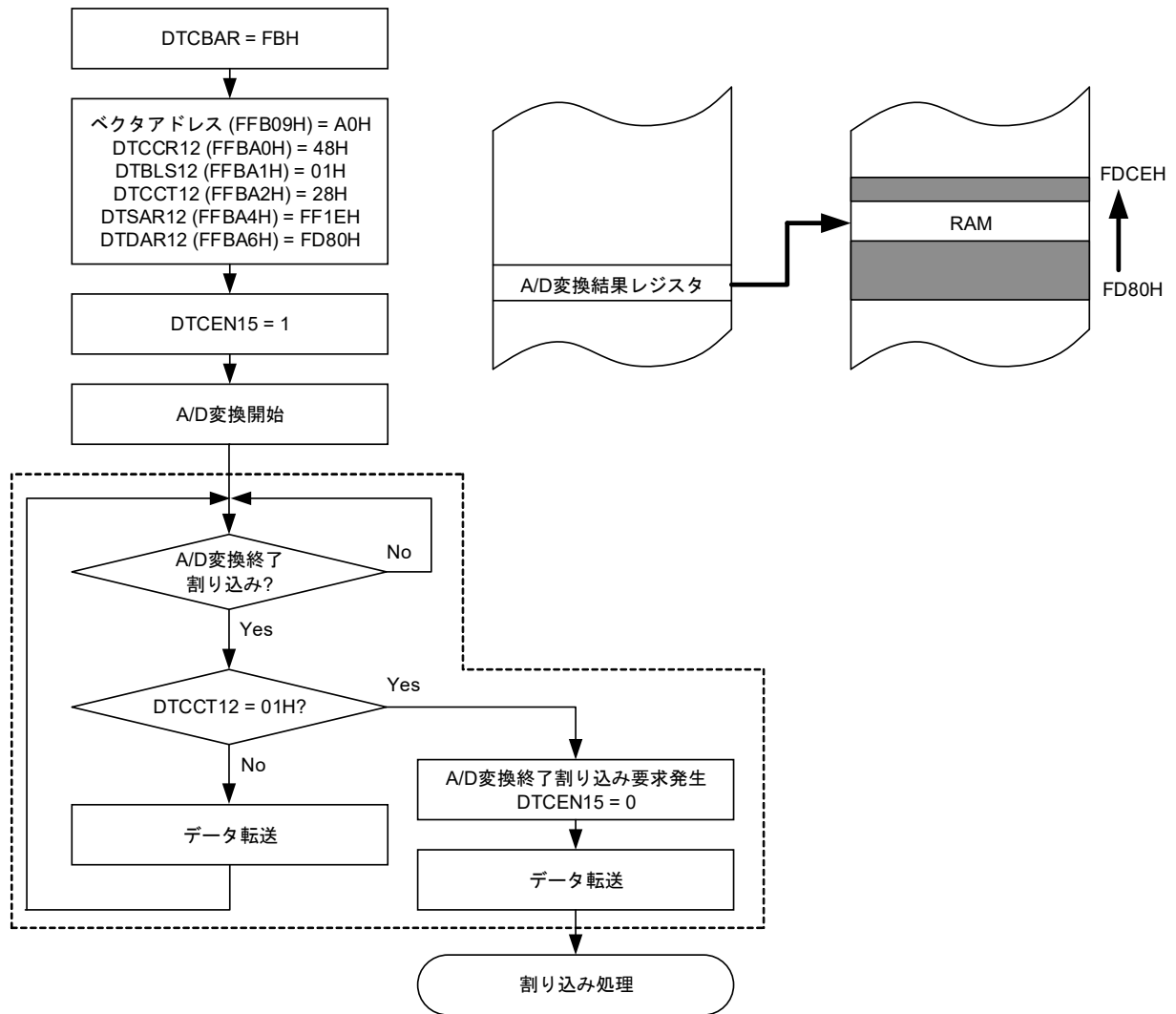
X : 0または1

(1) ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタアドレスはFFB09H, コントロールデータはFFBA0H～FFBA7Hに配置
- A/D変換結果レジスタ(FFF1EH, FFF1FH)の2バイトデータをRAMのFFD80H～FFDCFHの80バイトへ40回転送

図20-16 ノーマルモードの使用例1：A/D変換結果の連続取り込み



〔 〕内の処理はDTCが自動で実行します。

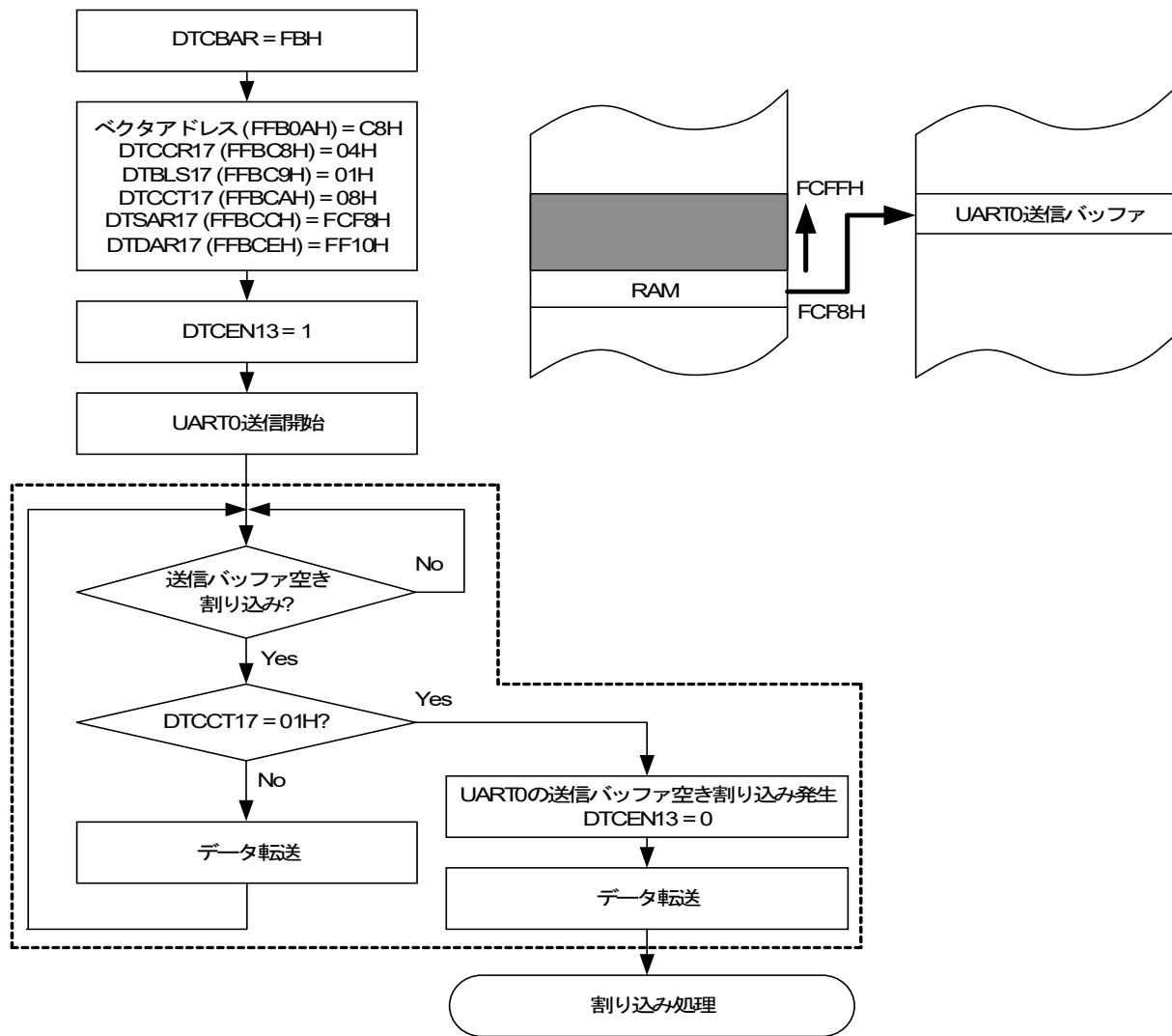
ノーマルモードのため、DTRL12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRL12レジスタを初期化(00H)してください。

(2) ノーマルモードの使用例2 : UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ベクタアドレスはFFB0AH, コントロールデータはFFBC8H~FFBCFHに配置
- RAMのFFCF8H~FFCFHHの8バイトをUART0の送信バッファ(FFF10H)へ転送

図20-17 ノーマルモードの使用例2 : UART0連続送信



┌──┐ 内の処理はDTCが自動で実行します。

ノーマルモードのため、DTRL17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRL17レジスタを初期化(00H)してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

20.4.3 リピートモード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j = 0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0～2)レジスタの対応するDTCENi0～DTCENi7ビットを0(起動禁止)にします。DTCCRjレジスタのRPTINTビットが0(割り込み発生禁止)の場合は、DTCCTjレジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0～DTCENi7ビットは0になりません。

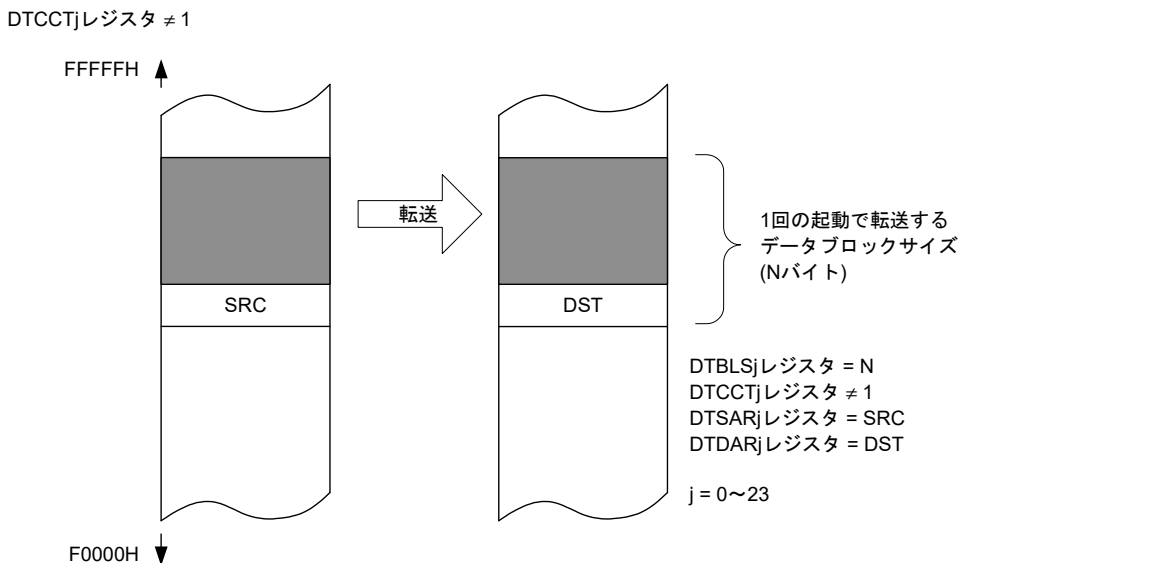
表20-8にリピートモードでのレジスタ機能を示します。図20-18にリピートモードでのデータ転送を示します。

表20-8 リピートモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

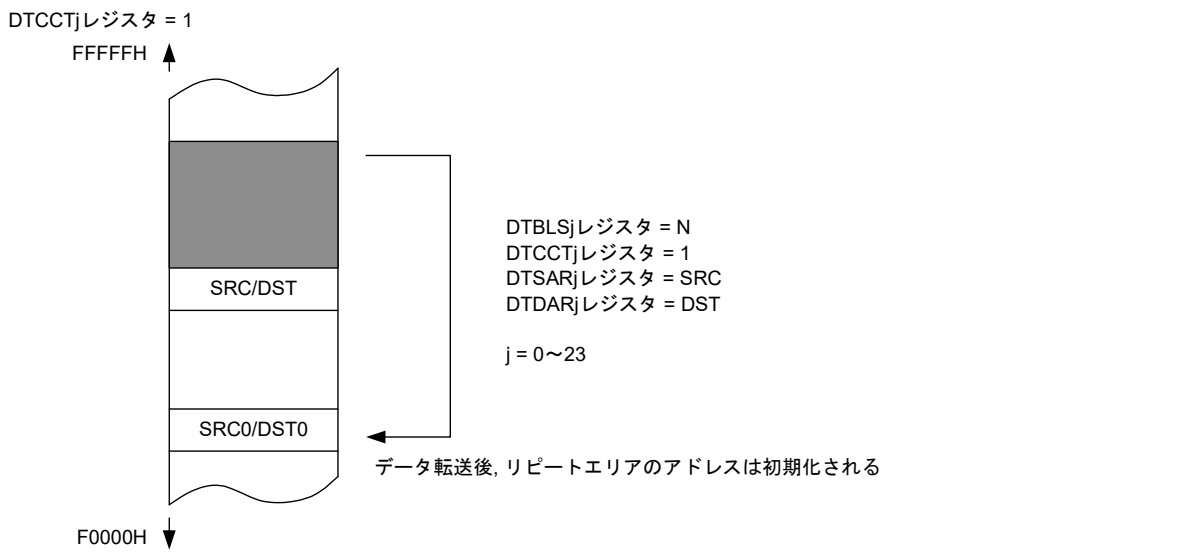
備考 j = 0～23

図20-18 リピートモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC + N	DST
1	X	1	1	リピートエリア	加算	SRC + N	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST + N
X	1	0	1	加算	リピートエリア	SRC + N	DST + N

X : 0または1



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC0	DST
1	X	1	1	リピートエリア	加算	SRC0	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST0
X	1	0	1	加算	リピートエリア	SRC + N	DST0

SRC0 : ソースアドレス初期値
DST0 : デスティネーションアドレス初期値
X : 0または1

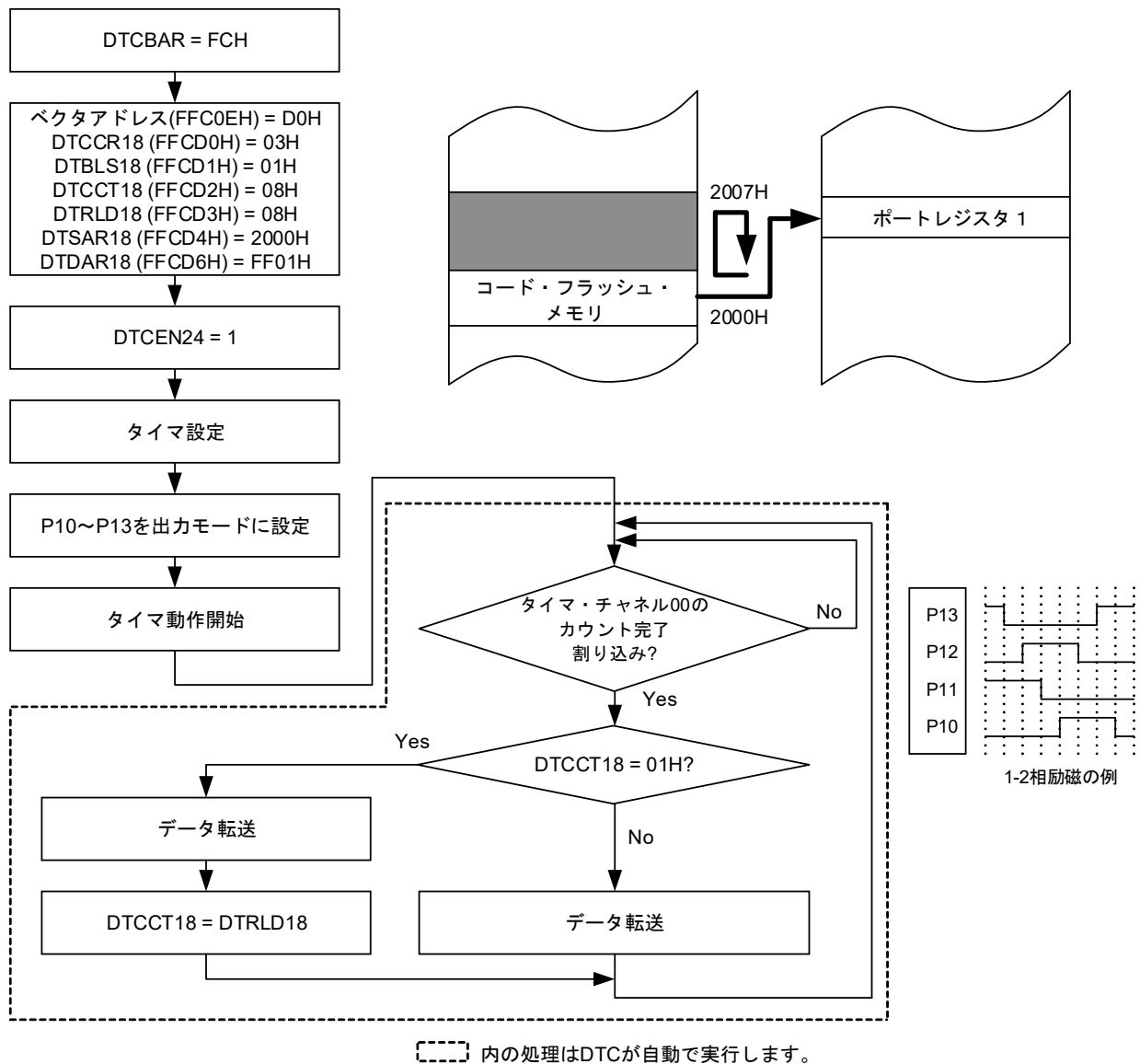
- 注意1. リピートモード使用時は、リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。
- 注意2. リピートモード使用時は、リピートエリアのデータサイズを255バイト以内にしてください。

(1) リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力

タイマ・アレイ・ユニット0のチャンネル0のインターバルタイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。

- ベクタアドレスはFFC0EH, コントロールデータはFFCD0H~FFCD7Hに配置
- コード・フラッシュ・メモリの02000H~02007Hの8バイトデータをミラー領域F2000H~F2007Hからポートレジスタ1(FFF01H)へ転送
- リピートモード割り込みは禁止

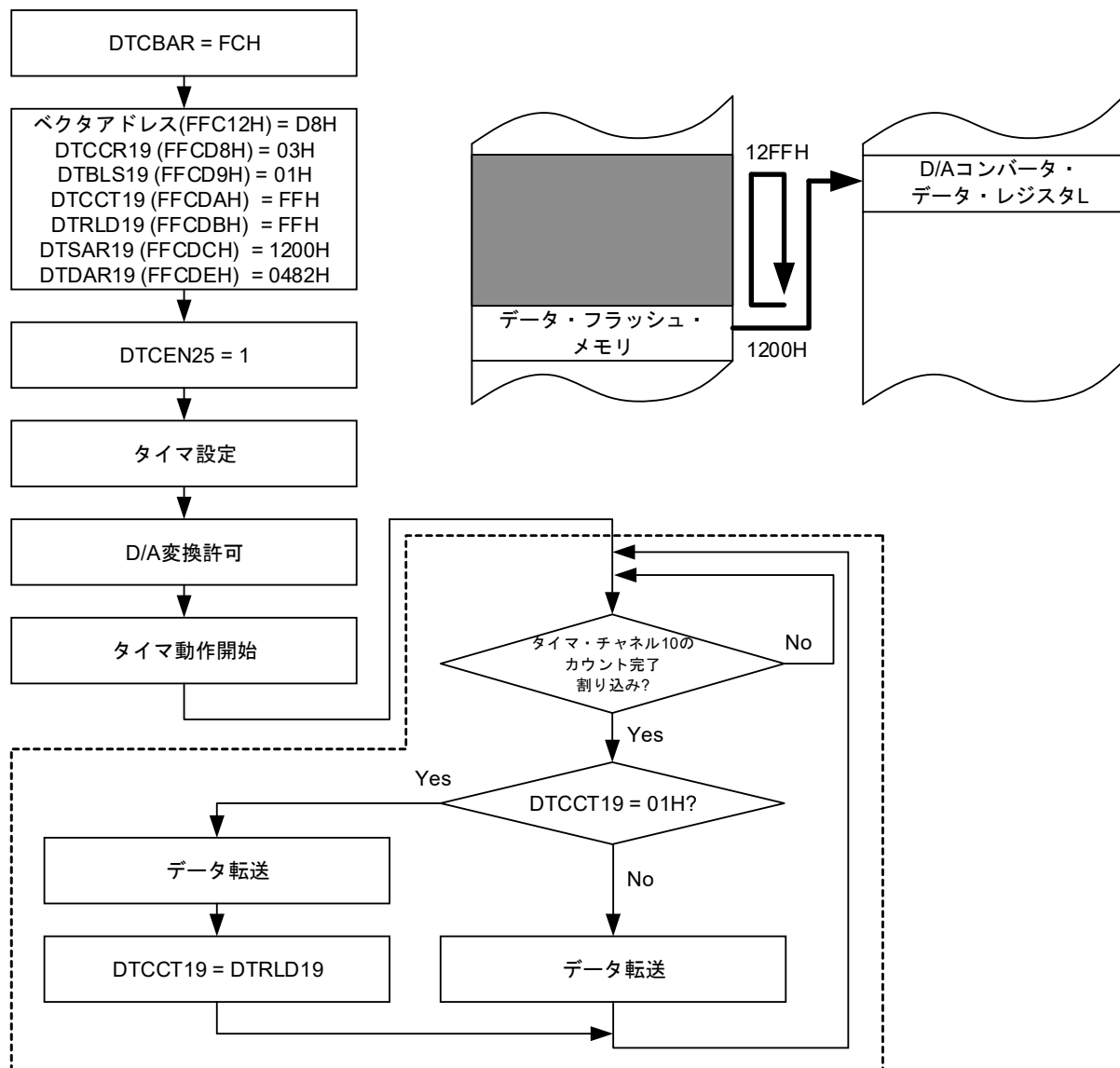
図20-19 リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN11をクリアしてください。

- (2) リピートモードの使用例2：12ビットD/Aコンバータ（8ビット・モード）を使ったサイン波出力
 タイマ・アレイ・ユニット1のチャンネル0のインターバルタイマ機能を使って割り込みでDTCを起動し、
 データ・フラッシュ・メモリに格納されたサイン波のテーブルをD/Aコンバータ・データ・レジスタL
 (DACDL)(F0482H)に転送します。
 タイマのインターバル時間は、D/Aの出力セットアップ時間を設定します。
- ベクタアドレスはFFC12H, コントロールデータはFFCD8H～FFCDFHに配置
 - データ・フラッシュ・メモリのF1200H～F12FEHの255バイトデータをD/Aコンバータ・データ・レジスタL (DACDL)(F0482H)へ転送
 - リピートモード割り込みは禁止

図20 - 20 リピートモードの使用例2：12ビットD/Aコンバータ（8ビット・モード）を使ったサイン波出力



〔 〕内の処理はDTCが自動で実行します。

出力を停止する場合は、タイマを停止してから、DTCEN25をクリアしてください。

20.4.4 チェイン転送

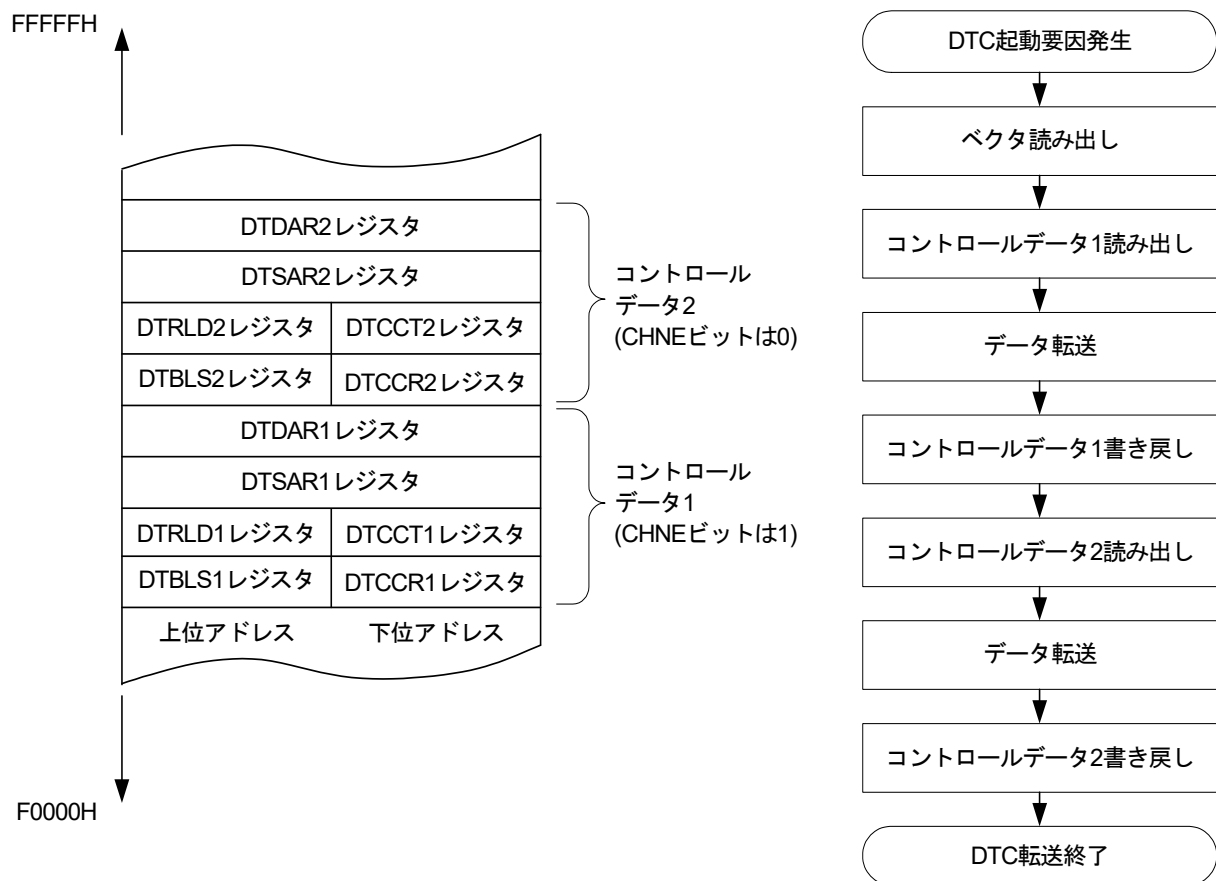
DTCCRj (j = 0 ~ 22) レジスタのCHNEビットが1 (チェーン転送許可) のとき、1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると、起動要因に対応したベクタアドレスから読み出されたデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1 (チェーン転送許可) であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0 (チェーン転送禁止) のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェーン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

図20-21にチェーン転送でのデータ転送を示します。

図20-21 チェイン転送でのデータ転送



注意1. DTCCR23 レジスタのCHNEビットは0 (チェーン転送禁止) にしてください。

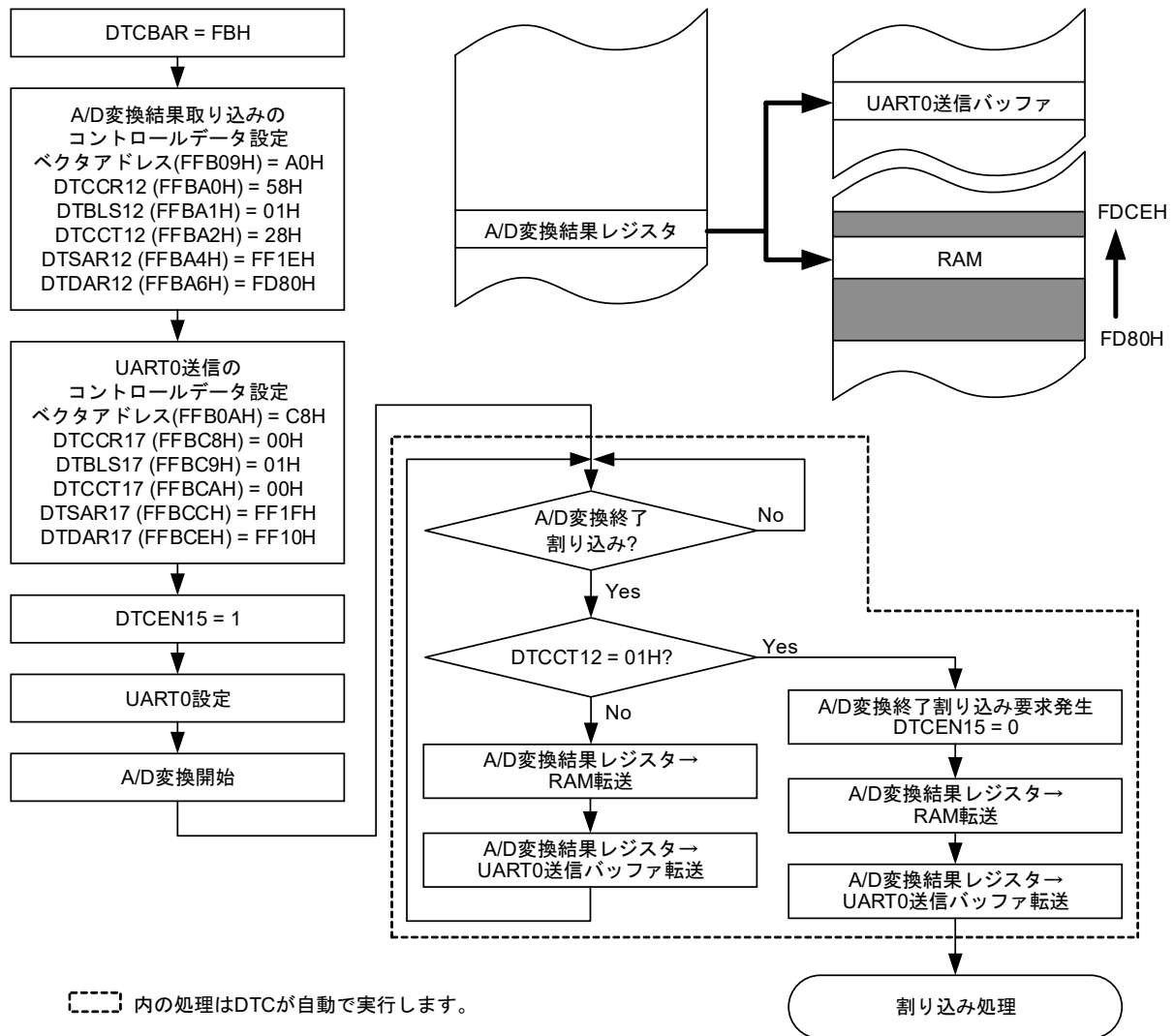
注意2. チェイン転送の場合、2回目以降のデータ転送では、DTCENi (i = 0 ~ 2) レジスタのDTCENi0 ~ DTCENi7 ビットは0 (起動禁止) になりません。また、割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UART0で送信します。

- ベクタアドレスはFFB09H
- A/D変換結果取り込みのコントロールデータはFFBA0H～FFBA7Hに配置
- UART0送信のコントロールデータはFFBA8H～FFBAFHに配置
- A/D変換結果レジスタ(FFF1FH, FFF1EH)の2バイトデータをRAMのFFD80H～FFDCFHに転送し、A/D変換結果レジスタの上位1バイト(FFF1FH)をUARTの送信バッファ(FFF10H)へ転送

図20 - 22 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



内処理はDTCが自動で実行します。

20.5 DTC使用上の注意事項

20.5.1 DTCのコントロールデータおよびベクタテーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ(2nd SFR)およびDTCコントロールデータ領域、DTCベクタテーブル領域、汎用レジスタ(FFEE0H-FFEFFH)空間をアクセスしないでください。
- DTCベースアドレスレジスタ(DTCBAR)は、全てのDTC起動要因を起動(禁止に設定した状態を変更してください)。
- DTCベースアドレスレジスタ(DTCBAR)を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応するDTCENi (i = 0-2) レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0-2) レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、DTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

20.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCのコントロールデータとベクタテーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ(FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- FFE20H-FFEDFHの内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においてもDTRLDレジスタを初期化(00H)してください。

20.5.3 DTC 保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コールリターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和算命令 (MULU 命令を除く)

注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、全ての割り込み要求が保留されます。

注意2. DTC 保留命令によるDTC 保留中は、全ての割り込み要求が保留されます。

20.5.4 データ・フラッシュ空間にアクセスする場合の動作

DTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスする場合、間の命令に3クロック分のウエイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウエイト発生

MOV A, !データ・フラッシュ空間

20.5.5 DTC実行クロック数

表20-9にDTC起動時の実行状況と必要なクロック数を示します。

表20-9 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロールデータの書き戻しに必要なクロック数は、表20-10 コントロールデータの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し/書き込みに必要なクロック数は、表20-11 1データの読み出し/書き込みに必要なクロック数を参照してください。

表20-10 コントロールデータの書き戻しに必要なクロック数

DTCCR レジスタ設定				アドレス設定		書き戻すコントロールレジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算	エリア	書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0~23, X: 0または1

表20-11 1データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・ フラッシュ・メモリ	データ・ フラッシュ・メモリ	特殊機能レジスタ (SFR)	拡張特殊機能レジスタ (2nd SFR)	
					ウエイトなし	ウエイトあり
データ読み出し	1	2	4	1	1	1+ウエイト数注
データ書き込み	1	—	—	1	1	1+ウエイト数注

注 ウエイト数はアクセスする拡張特殊機能レジスタ (2nd SFR)に配置されたレジスタの仕様によって異なります。

20.5.6 DTC 応答時間

表 20 - 12 に DTC における応答時間を示します。DTC 応答時間とは DTC 起動要因の検出から DTC 転送開始までの時間です。DTC 応答時間に DTC 実行クロック数は含まれません。

表 20 - 12 DTC における応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合には更に DTC の応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部 RAM からの命令実行の場合
最大応答時間：20クロック
- DTC 保留命令実行の場合 (20.5.3 DTC 保留命令を参照)
最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック
- ウェイトが発生する TRJ0 レジスタをアクセスした場合
最大応答時間：各条件時の最大応答時間 + 1クロック

備考 1クロック：1/fCLK (fCLK：CPU/周辺ハードウェアクロック)

20.5.7 DTC 起動要因

- DTC 起動要因を入力してから DTC 転送が完了するまでは同一起動要因を入力しないでください。
- DTC 起動要因が発生する箇所では、その起動要因に対応した DTC 起動許可ビットを操作しないでください。
- DTC 起動要因が競合した場合は、CPU が DTC 転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は 20.3.3 ベクタテーブルを参照してください。

20.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能(低消費RTCモード時は動作禁止)
STOPモード	DTC起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注1, 3, 4, 5}

- 注1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元(ソース)にすることはできません。
- 注3. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定(STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)をDTC転送で行ってください。
- 注4. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定(STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。
- 注5. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定(AWCビットに0を書き込み、AWCビットに1を書き込む)を行ってください。

備考 p = 00; q = 0; m = 0

第21章 イベント・リンク・コントローラ(ELC)

21.1 ELCの機能

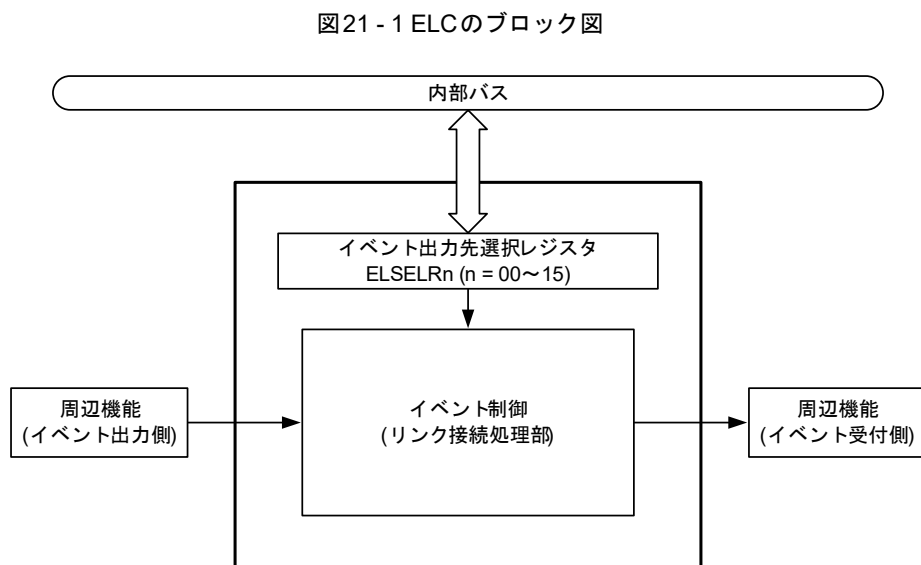
イベント・リンク・コントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

ELCには次の機能があります。

- 16種類の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 7種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

21.2 ELCの構成

図21-1にELCのブロック図を示します。



21.3 ELCを制御するレジスタ

表21-1にELCを制御するレジスタを示します。

表21-1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03	ELSELR03
イベント出力先選択レジスタ04	ELSELR04
イベント出力先選択レジスタ05	ELSELR05
イベント出力先選択レジスタ06	ELSELR06
イベント出力先選択レジスタ07	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15

21.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 15)

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRnレジスタを設定してください。

表21-2にELSELRnレジスタ(n = 00 ~ 15)と周辺機能の対応を、表21-3にELSELRnレジスタ(n = 00 ~ 15)に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図21-2 イベント出力先選択レジスタ n (ELSELRn)のフォーマット

アドレス : F0300H (ELSELR00) ~ F030FH (ELSELR15) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	0	ELSELn2	ELSELn1	ELSELn0

ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	イベントリンク禁止
0	0	1	リンクする周辺機能1の動作を選択注
0	1	0	リンクする周辺機能2の動作を選択注
0	1	1	リンクする周辺機能3の動作を選択注
1	0	0	リンクする周辺機能4の動作を選択注
1	0	1	リンクする周辺機能5の動作を選択注
1	1	0	リンクする周辺機能6の動作を選択注
1	1	1	リンクする周辺機能7の動作を選択注
上記以外			設定禁止

注 表21-3 ELSELRnレジスタ(n = 00 ~ 15)に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表 21 - 2 ELSELRn レジスタ (n = 00 ~ 15) と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	RTC 定周期信号/アラーム一致検出	INTRTC
ELSELR07	タイマRJ0 アンダフロー	INTRRJO
ELSELR08	タイマRG インพุットキャプチャ A/コンペア一致A	INTTRG
ELSELR09	タイマRG インพุットキャプチャ B/コンペア一致B	INTTRG
ELSELR10	TAUチャンネル00カウント完了/キャプチャ完了	INTTM00
ELSELR11	TAUチャンネル01カウント完了/キャプチャ完了	INTTM01
ELSELR12	TAUチャンネル02カウント完了/キャプチャ完了	INTTM02
ELSELR13	TAUチャンネル03カウント完了/キャプチャ完了	INTTM03
ELSELR14	TAUチャンネル10カウント完了/キャプチャ完了	INTTM10
ELSELR15	TAUチャンネル11カウント完了/キャプチャ完了	INTTM11

表 21 - 3 ELSELRn レジスタ (n = 00 ~ 15) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSELn2 ~ ELSELn0 ビット	リンク先の番号	リンク先周辺機能	イベント受付時の動作
001B	1	A/Dコンバータ	A/D変換開始
010B	2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
011B	3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
100B	4	タイマRJ0	カウントソース
101B	5	タイマRG	TRGIOBのインพุットキャプチャ
110B	6	24ビット $\Delta\Sigma$ A/Dコンバータ	A/D変換開始
111B	7	12ビットD/Aコンバータ注3	D/A出力値の変更

注1. リンク先周辺機能にタイマ・アレイ・ユニット0チャンネル0のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0)でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI00端子のノイズフィルタをOFFに(TNFEN0 = 0)設定し、タイマ入力選択レジスタ0 (TIS0)でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注2. リンク先周辺機能にタイマ・アレイ・ユニット0チャンネル1のタイマ入力を選択する場合、先にタイマ・クロック選択レジスタ0 (TPS0)でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI01端子のノイズフィルタをOFF (TNFEN01 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0)でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注3. D/A変換のハードウェア・トリガ・モード有効時にSTOPモードに入る場合は、STOPモードに入る前にELCのイベントリンクを禁止にしてください。

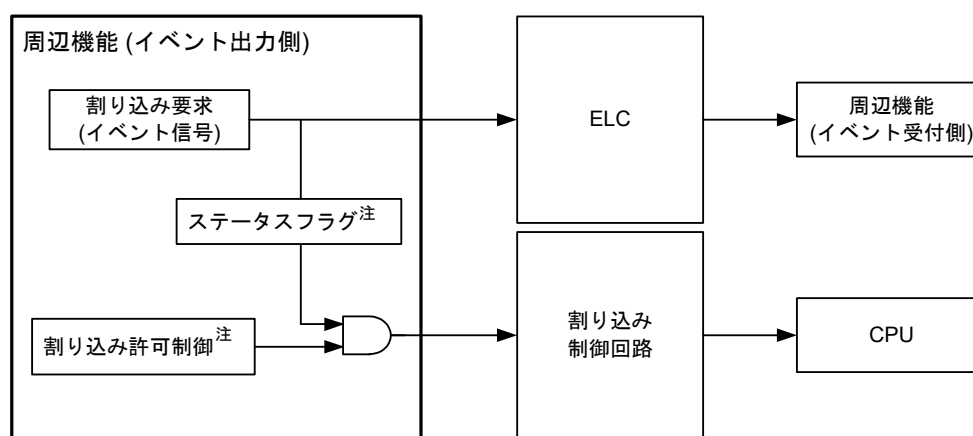
21.4 ELCの動作

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

図21-3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします(表21-3 ELSELRnレジスタ(n = 00~15)に設定する値とリンク先周辺機能の受付時の動作の対応参照)。

図21-3 割り込み処理とELCの関係



注 周辺機能によっては、搭載していません。

表21-4にイベントを受け付ける周辺機能の応答性を示します。

表21-4 イベントを受け付ける周辺機能の応答性

イベント 受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換動作	ELCからのイベントが直接、A/D変換のハードウェア・トリガになります。
2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からfCLKの3,4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からfCLKの3,4サイクル後にエッジの検出を行います。
4	タイマRJ	カウントソース	ELCからのイベントが直接、タイマRJのカウントソースになります。
5	タイマRG	TRGIOBのインプットキャプチャ	ELCのイベント発生からfCLKの2,3サイクル後にカウント開始トリガが発生します。
6	24ビット $\Delta\Sigma$ A/Dコンバータ	A/D変換動作	ELCのイベント発生からfDSADCKの2,3サイクル後にA/D変換のハードウェア・トリガになります。
7	12ビットD/Aコンバータ	D/A出力値の変更	ELCのイベント発生からfCLKの2,3サイクル後にD/A変換を開始します。

第22章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		32ピン	36ピン
マスカブル割り込み	外部	7	8
	内部	21	

22.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表22-1～図22-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

22.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります(表22-1～図22-1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表 22 - 1 割り込み要因一覧(1/2)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	36ピン	32ピン
		名称	トリガ					
マスクカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバーフロー時間の75% + 1/2 fil)	内部	0004H	(A)	○	○
	1	INTLVI	電圧検出 ^{注4}		0006H		○	○
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)	○	○
	3	INTP1			000AH		○	○
	4	INTP2			000CH		○	○
	5	INTP3			000EH		○	○
	6	INTP4			0010H		○	○
	7	INTP5			0012H		○	○
	8	INTST0/ INTCSI00/ INTIIC00			UART0送信の転送完了, バッファ空き割り込み/CSI00の転送完了, バッファ空き割り込み/IIC00の転送完了		内部	001EH
	9	INTSR0/ INTCSI01/ INTIIC01	UART0受信の転送完了/CSI01の転送完了, バッファ空き割り込み/ IIC01の転送完了	0020H	○	○		
	10	INTSRE0	UART0受信の通信エラー発生	0022H	○	○		
		INTTM01H	タイマ・チャンネル01のカウント完了またはキャプチャ完了(上位8ビット・タイマ動作時)		○	○		
	11	INTST1	UART1送信の転送完了, バッファ空き割り込み	0024H	○	○		
	12	INTSR1	UART1受信の転送完了	0026H	○	○		
	13	INTSRE1	UART1受信の通信エラー発生	0028H	○	○		
		INTTM03H	タイマ・チャンネル03のカウント完了またはキャプチャ完了(上位8ビット・タイマ動作時)		○	○		
	14	INTTM00	タイマ・チャンネル00のカウント完了またはキャプチャ完了	002CH	○	○		
	15	INTTM01	タイマ・チャンネル01のカウント完了またはキャプチャ完了	002EH	○	○		
	16	INTTM02	タイマ・チャンネル02のカウント完了またはキャプチャ完了	0030H	○	○		
	17	INTTM03	タイマ・チャンネル03のカウント完了またはキャプチャ完了	0032H	○	○		
	18	INTAD	10ビットA/D変換終了	0034H	○	○		
19	INTRTC	リアルタイム・クロックの定周期信号/アラーム一致検出	0036H	○	○			
20	INTIT	インターバル信号検出	0038H	○	○			
21	INTTRJ0	タイマRJ割り込み	0040H	○	○			

注1. デフォルト・プライオリティは、複数のマスクカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、29が最低順位です。

注2. 基本構成タイプの(A) - (C)は、それぞれ図22 - 1の(A) - (C)に対応しています。

注3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 0選択時。

表22 - 2 割り込み要因一覧(2/2)

割り込みの処理	割り込み要因			内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	36ピン	32ピン
	デフォルト・プライオリティ注1	名称	トリガ					
マスクابل	22	INTTM10	タイマ・チャンネル10のカウント完了 またはキャプチャ完了	内部	0042H	(A)	○	○
	23	INTTM11	タイマ・チャンネル11のカウント完了 またはキャプチャ完了		0044H		○	○
	24	INTP6	端子入力エッジ検出	外部	004AH	(B)	○	○
	25	INTP7			004CH		○	—
	26	INTDSAD	24ビット $\Delta\Sigma$ A/D変換終了	内部	004EH	(A)	○	○
	27	INTDSADS	24ビット $\Delta\Sigma$ A/Dスキャン完了		0050H		○	○
	28	INTTRG	タイマRGインプットキャプチャ, コンペアー一致, オーバフロー, アンダフロー割り込み		005AH		○	○
	29	INTFL	予約注3		0062H		○	○
ソフトウェア	—	BRK	BRK命令の実行	—	007EH	(C)	○	○
リセット	—	RESET	RESET端子入力	—	0000H	—	○	○
		POR	パワーオン・リセット				○	○
		LVD	電圧検出注4				○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○
		TRAP	不正命令の実行注5				○	○
		IAW	不正メモリ・アクセス				○	○
		RPE	RAMパリティ・エラー				○	○

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。

0が最高順位、29が最低順位です。

注2. 基本構成タイプの(A)-(C)は、それぞれ図22-1の(A)-(C)に対応しています。

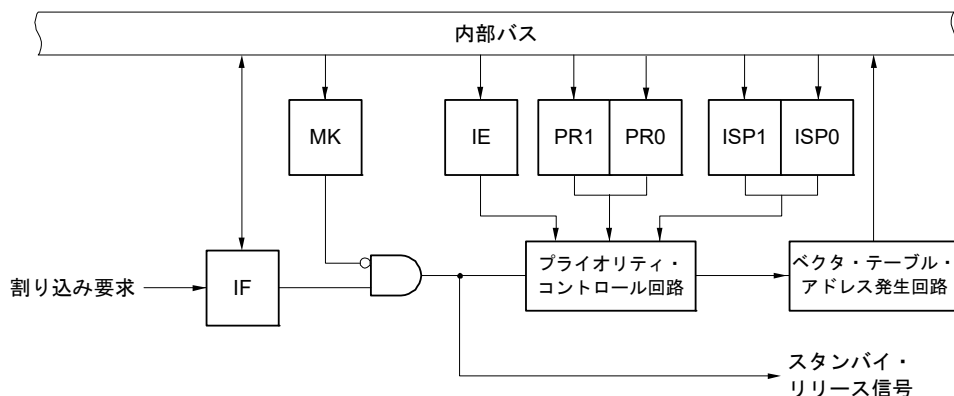
注3. フラッシュ・セルフ・プログラミング・ライブラリ, データ・フラッシュ・ライブラリで使します。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 1選択時。

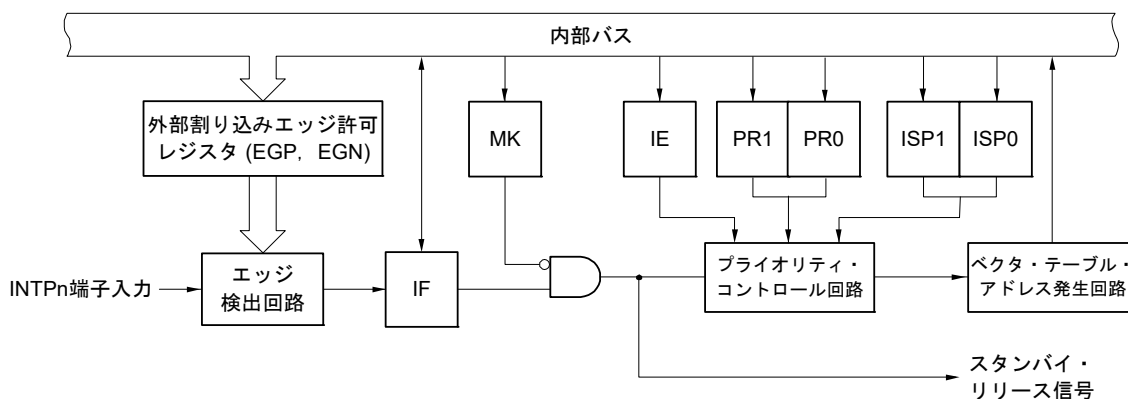
注5. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図22 - 1 割り込み機能の基本構成

(A)内部マスカブル割り込み



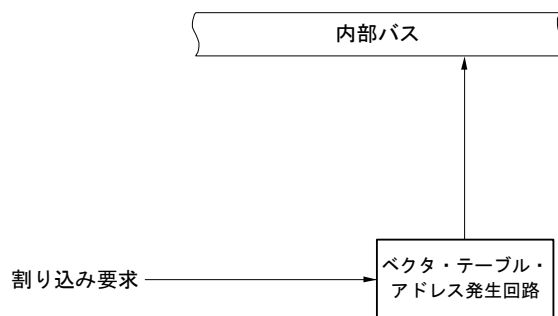
(B)外部マスカブル割り込み(INTPn)



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 32ピン : n = 0-6
36ピン : n = 0-7

(C) ソフトウェア割り込み



22.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表22-3～表22-5に示します。

表22-3 割り込み要求ソースに対応する各種フラグ (1/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		ハ ル ス	ハ ル ス
		レジスタ		レジスタ		レジスタ		
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1		○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○

表22-4 割り込み要求ソースに対応する各種フラグ(2/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		ハ ル ト	ハ ル ト			
		レジスタ		レジスタ		レジスタ					
INTST0注1	STIF0注1	IF0H	STMK0注1	MK0H	STPR00, STPR10注1	PR00H, PR10H	○	○			
INTCSI00注1	CSIF00注1		CSIMK00注1		CSIPR000, CSIPR100注1		○	○			
INTIIC00注1	IICIF00注1		IICMK00注1		IICPR000, IICPR100注1		○	○			
INTSR0注2	SRIF0注2		SRMK0注2		SRPR00, SRPR10注2		○	○			
INTCSI01注2	CSIF01注2		CSIMK01注2		CSIPR001, CSIPR101注2		○	○			
INTIIC01注2	IICIF01注2		IICMK01注2		IICPR001, IICPR101注2		○	○			
INTSRE0注3	SREIF0注3		SREMK0注3		SREPR00, SREPR10注3		○	○			
INTTM01H注3	TMIF01H注3		TMMK01H注3		TMPR001H, TMPR101H注3		○	○			
INTST1	STIF1	IF1L	STMK1	MK1L	STPR01, STPR11	PR01L, PR11L	○	○			
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11		○	○			
INTSRE1注4	SREIF1注4		SREMK1注4		SREPR01, SREPR11注4		○	○			
INTTM03H注4	TMIF03H注4		TMMK03H注4		TMPR003H, TMPR103H注4		○	○			
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○			
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○			
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○			
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○			
INTAD	ADIF		IF1H		ADMK		MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○
INTRTC	RTCIF				RTCMK			RTCPR0, RTCPR1		○	○
INTIT	ITIF	ITMK		ITPR0, ITPR1	○	○					
INTTRJ0	TRJIF0	TRJMK0		TRJPR00, TRJPR10	○	○					
INTTM10	TMIF10	TMMK10		TMPR010, TMPR110	○	○					

- 注1. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。
- 注2. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生したら、IF0Hレジスタのビット6はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット6は、3つすべての割り込み要因に対応しています。
- 注3. UART0受信のエラー割り込み、TAU0のチャンネル1(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない(EOC01 = 0)場合は、UART0, TAU0のチャンネル1(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生したら、IF0Hレジスタのビット7はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。
- 注4. UART1受信のエラー割り込み、TAU0のチャンネル3(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない(EOC03 = 0)場合は、UART1, TAU0のチャンネル3(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生したら、IF1Lレジスタのビット2はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。

表22 - 5 割り込み要求ソースに対応する各種フラグ(3/3)

割り込み要因	割り込み要求 フラグ		割り込みマスク・フラグ		優先順位指定フラグ		L S	H S
		レジスタ		レジスタ		レジスタ		
INTTM11	TMIF11	IF2L	TMMK11	MK2L	TMPR011, TMPR111	PR02L, PR12L	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○
INTP7	PIF7		PMK7		PPR07, PPR17		—	○
INTDSAD	DSADIF		DSADMK		DSADPR0, DSADPR1		○	○
INTDSADS	DSADSIF		DSADSMK		DSADSPR0, DSADSPR1		○	○
INTTRG	TRGIF	IF2H	TRGMK	MK2H	TRGPR0, TRGPR1	PR02H, PR12H	○	○
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○

22.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図22 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0 TMIF01H	SRIF0 CSIF01 IICIF01	STIF0 CSIF00 IICIF00	0	0	0	0	0

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	0	SREIF1 TMIF03H	SRIF1	STIF1

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF10	TRJIF0	0	0	0	ITIF	RTCIF	ADIF

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	0	DSADSIF	DSADIF	PIF7	PIF6	0	0	TMIF11

図22 - 3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(2/2)

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	0	0	0	TRGIF	0	0	0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表22 - 3～表22 - 5を参照してください。また、搭載していないビットには必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

22.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは、対応するマスクブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ、MK1LレジスタとMK1Hレジスタ、MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図22-4 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット(1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0 TMMK01H	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	1	1	1	1	1

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	1	SREMK1 TMMK03H	SRMK1	STMK1

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK10	TRJMK0	1	1	1	ITMK	RTCMK	ADMK

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	1	DSADSMK	DSADMK	PMK7	PMK6	1	1	TMMK11

図22 - 5 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット(2/2)

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	1	1	1	TRGMK	1	1	1
XXMKX	割り込み処理の制御							
0	割り込み処理許可							
1	割り込み処理禁止							

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表22 - 3～表22 - 5を参照してください。また、搭載していないビットには必ず初期値を設定してください。

22.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせ、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ、PR01LレジスタとPR01Hレジスタ、PR02LレジスタとPR02Hレジスタ、PR10LレジスタとPR10Hレジスタ、PR11LレジスタとPR11Hレジスタ、PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図22-6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(1/3)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00	SRPR00	STPR00	1	1	1	1	1
	TMPR001H	CSIPR001	CSIPR000					
		IICPR001	IICPR000					

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10	SRPR10	STPR10	1	1	1	1	1
	TMPR101H	CSIPR101	CSIPR100					
		IICPR101	IICPR100					

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	1	SREPR01	SRPR01	STPR01
						TMPR003H		

図22-7 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(2/3)

アドレス : FFFEEH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	1	SREPR11 TMPR103H	SRPR11	STPR11

アドレス : FFFEBH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	5	4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR01H	TMPR010	TRJPR00	1	1	1	ITPR0	RT CPR0	ADPR0

アドレス : FFFEFH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	5	4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR11H	TMPR110	TRJPR10	1	1	1	ITPR1	RT CPR1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	2	1	<input type="checkbox"/> 0
PR02L	1	DSADSPR0	DSADPR0	PPR07	PPR06	1	1	TMPR011

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	2	1	<input type="checkbox"/> 0
PR12L	1	DSADSPR1	DSADPR1	PPR17	PPR16	1	1	TMPR111

アドレス : FFFD9H リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	6	5	4	<input type="checkbox"/> 3	2	1	0
PR02H	FLPR0	1	1	1	TRGPR0	1	1	1

アドレス : FFFDDH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	6	5	4	<input type="checkbox"/> 3	2	1	0
PR12H	FLPR1	1	1	1	TRGPR1	1	1	1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表22-3~表22-5を参照してください。また、搭載していないビットには必ず初期値を設定してください。

22.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 8 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

EGPnビットとEGNnビットに対応するポートを表22 - 6に示します。

表22 - 6 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	32ピン	36ピン
EGP0	EGN0	INTP0	○	○
EGP1	EGN1	INTP1	○	○
EGP2	EGN2	INTP2	○	○
EGP3	EGN3	INTP3	○	○
EGP4	EGN4	INTP4	○	○
EGP5	EGN5	INTP5	○	○
EGP6	EGN6	INTP6	○	○
EGP7	EGN7	INTP7	—	○

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn=0, 0)にしてからポート・モード・レジスタ (PMxx)を0に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

備考2. n = 0-7

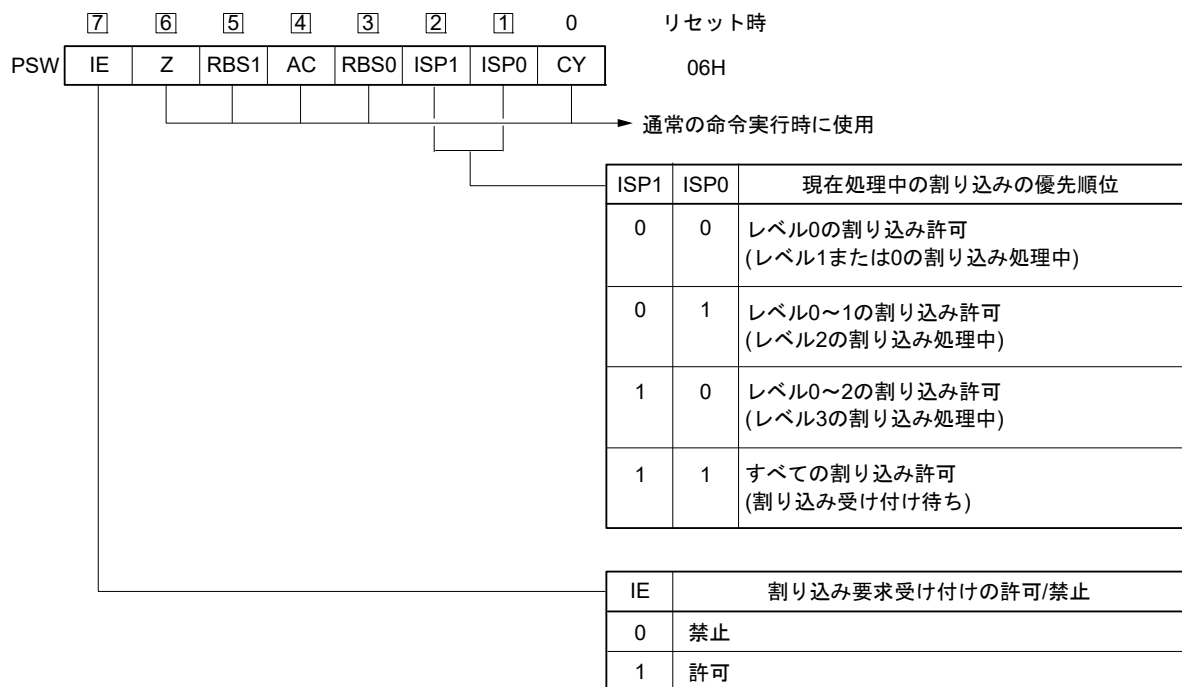
22.3.5 プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスクブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、“-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図22-9 プログラム・ステータス・ワードの構成



22.4 割り込み処理動作

22.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表 22 - 7 のようになります。

割り込み要求の受け付けタイミングについては、図22 - 11, 図22 - 12を参照してください。

表 22 - 7 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック : 1/fCLK (fCLK : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

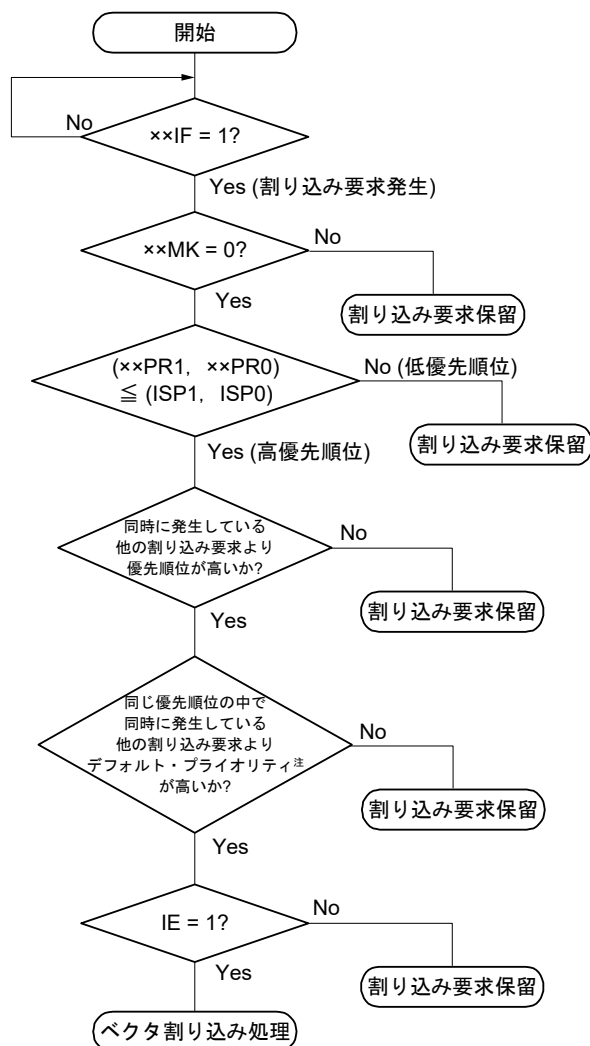
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図22 - 10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図22 - 10 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

××PR0 : 優先順位指定フラグ0

××PR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

ISP0, ISP1: 現在処理中の割り込みの優先順位を示すフラグ(図22 - 9参照)

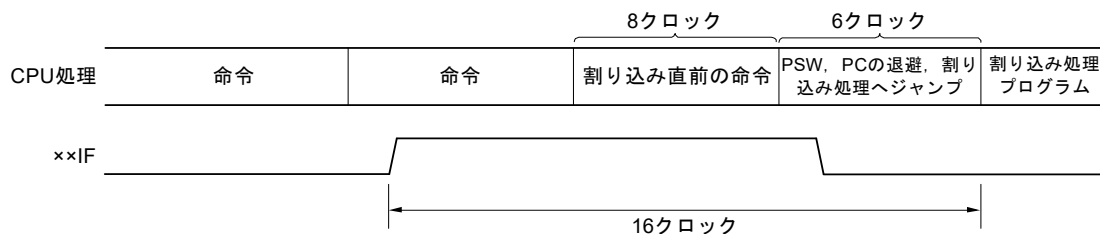
注 デフォルト・プライオリティは、表22 - 1～図22 - 1 割り込み要因一覧を参照してください。

図22 - 11 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

図22 - 12 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

22.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

22.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット(1)した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表22 - 8に割り込み処理中に多重割り込み可能な割り込み要求の関係を、図22 - 13～図22 - 14に多重割り込みの例を示します。

表22 - 8 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

備考2. × : 多重割り込み不可能。

備考3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち(すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタに含まれるフラグです。

PR = 00 : **PR1× = 0, **PR0× = 0でレベル0を指定(高優先順位)

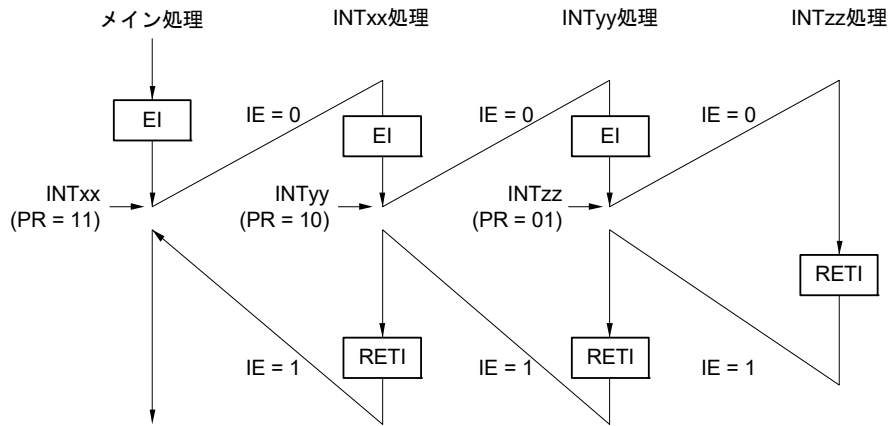
PR = 01 : **PR1× = 0, **PR0× = 1でレベル1を指定

PR = 10 : **PR1× = 1, **PR0× = 0でレベル2を指定

PR = 11 : **PR1× = 1, **PR0× = 1でレベル3を指定(低優先順位)

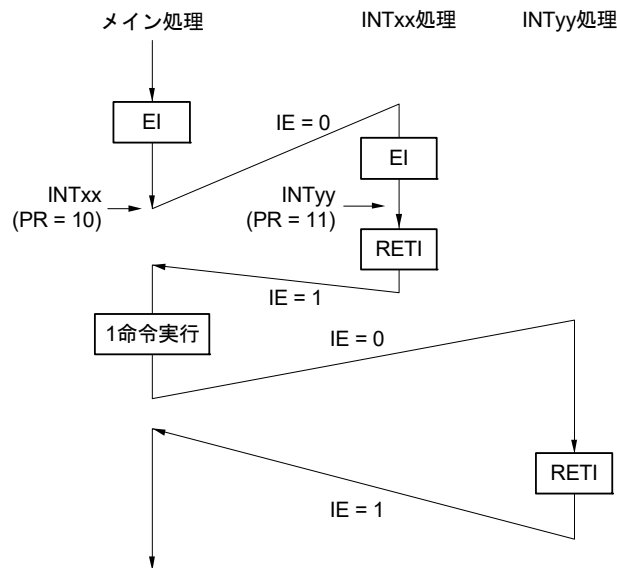
図22 - 13 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times\times PR1\times = 0, \times\times PR0\times = 0$ でレベル0を指定(高優先順位)

PR = 01 : $\times\times PR1\times = 0, \times\times PR0\times = 1$ でレベル1を指定

PR = 10 : $\times\times PR1\times = 1, \times\times PR0\times = 0$ でレベル2を指定

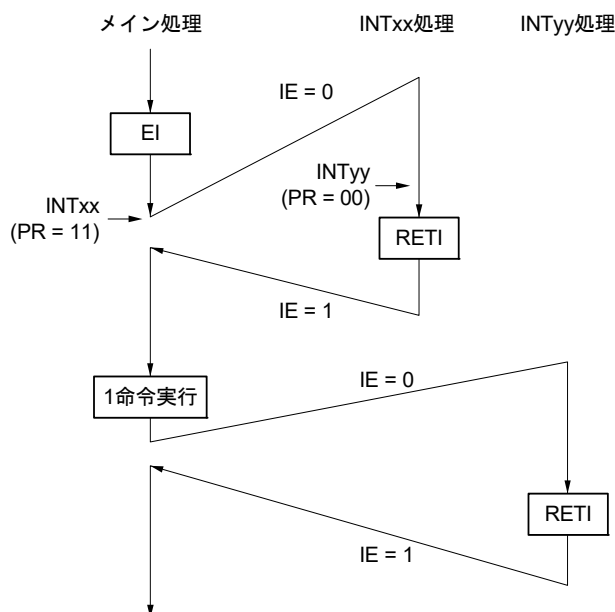
PR = 11 : $\times\times PR1\times = 1, \times\times PR0\times = 1$ でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図22 - 14 多重割り込みの例(2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : xxPR1x= 0, xxPR0x= 0でレベル0を指定(高優先順位)

PR = 01 : xxPR1x= 0, xxPR0x= 1でレベル1を指定

PR = 10 : xxPR1x= 1, xxPR0x= 0でレベル2を指定

PR = 11 : xxPR1x= 1, xxPR0x= 1でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

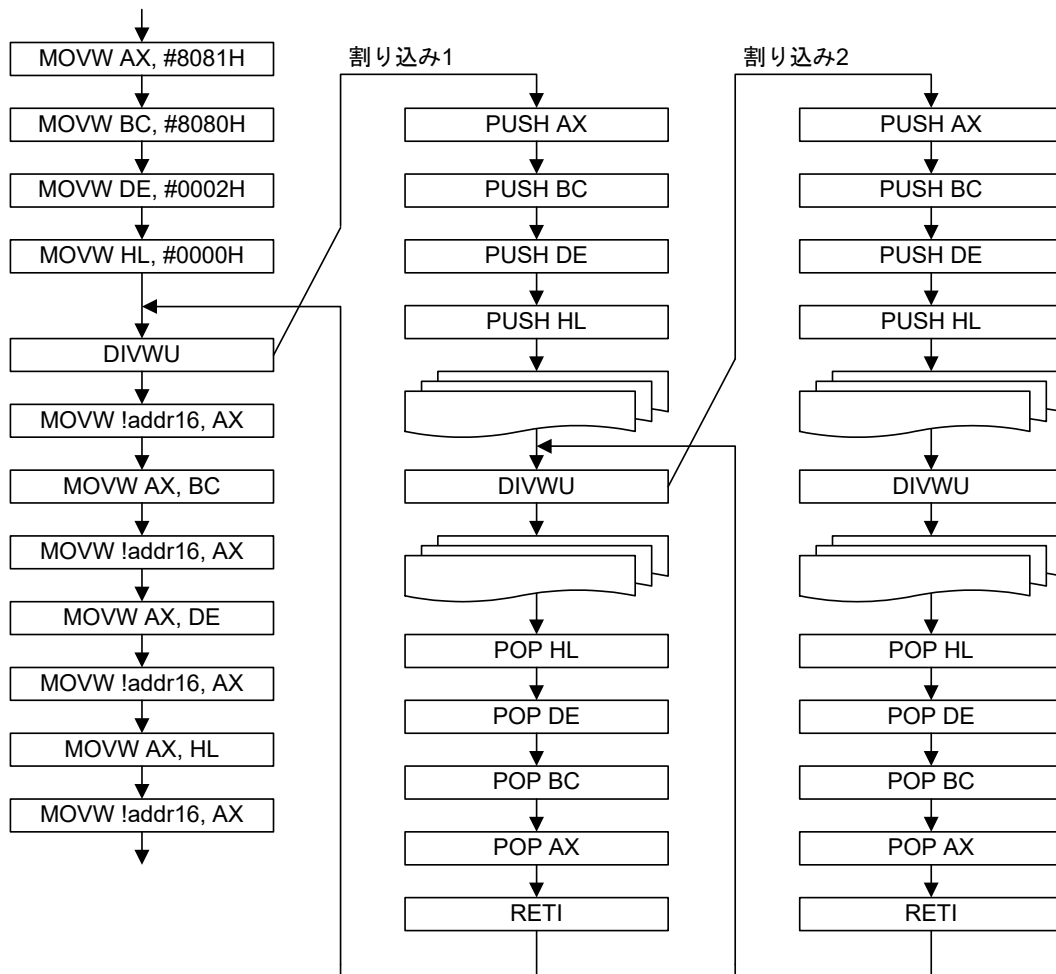
22.4.4 除算命令中の割り込み処理

RL78/I1Eは、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)s	(SP-2) ← (PC-3)s
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCs ← 0000	PCs ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社コンパイラ製品) V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社コンパイラ)のC言語ソース

22.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, # byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図22 - 15に示します。

図22 - 15 割り込み要求の保留



備考1. 命令N : 割り込み要求の保留命令

備考2. 命令M : 割り込み要求の保留命令以外の命令

第23章 スタンバイ機能

23.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータが動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSIp, UARTqのデータ受信、タイマ・トリガ信号(割り込み要求信号(INTIT)またはELCイベント入力)によるA/D変換要求、DTC起動要因により、STOPモードを解除し、CPUを動作させることなくCSIp, UARTqのデータ受信、A/D変換、DTC動作を行います。CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください(SNOOZEモード設定ユニットを除く)。
- 注意2. CSIp, UARTq, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm), A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は、19.3 シリアル・アレイ・ユニットを制御するレジスタ、16.3 A/Dコンバータを制御するレジスタを参照してください。
- 注意3. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)とビット0 (ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
- 注意4. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第29章 オプション・バイトを参照してください。

備考 $p = 00; q = 0; m = 0$

23.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は、第5章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第16章 A/Dコンバータ、第19章 シリアル・アレイ・ユニットを参照してください。

23.3 スタンバイ機能の動作

23.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0” (割り込み処理許可) で且つ割り込み要求フラグが“1” (割り込み要求信号が発生) の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表 23 - 1 HALT モード時の動作状態

項目		HALTモードの設定							
		メイン・システム・クロックでCPU動作中のHALT命令実行時							
		高速オンチップ・オシレータ・クロック (f _H) でCPU動作時	X1クロック (f _X)でCPU 動作時	外部メイン・システム・ クロック (f _{EX})でCPU動 作時	PLLクロック (f _{PLL})で CPU動作時				
システム・クロック		CPUへのクロック供給は停止							
メイン・システム・ク ロック	f _H	動作継続(停止不可)	動作禁止						
	f _X	動作禁止	動作継続(停止不可)	動作不可	PLLへのクロック供給 時は停止不可				
	f _{EX}		動作不可	動作継続(停止不可)					
	f _{PLL}	動作禁止			動作継続(停止不可)				
低速オンチップ・ オシレータ・クロック	f _L	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・ クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止							
CPU		動作停止							
コード・フラッシュ・メモリ		動作停止(DTC実行時は動作可能)							
データ・フラッシュ・メモリ									
RAM		動作停止(DTC実行時は動作可能)							
ポート(ラッチ)		HALTモード設定前の状態を保持							
タイマ・アレイ・ユニット		動作可能							
リアルタイム・クロック(RTC)		第12章 ウォッチドッグ・タイマ参照							
インターバル・タイマ									
ウォッチドッグ・タイマ		動作可能							
タイマRJ		動作可能							
タイマRG									
クロック出力/ブザー出力									
シリアル・アレイ・ユニット(SAU)									
データ・トランスファ・コントローラ(DTC)									
イベント・リンク・コントローラ(ELC)						動作可能な機能ブロック間のリンクが可能			
アナログ電源						HALTモード設定前の状態を保持			
計装アンプ						動作可能			
24ビットΔΣA/Dコンバータ									
10ビットA/Dコンバータ									
12ビットD/Aコンバータ									
コンフィギュラブル・オペアンプ		動作可能							
パワーオン・リセット機能									
電圧検出機能									
外部割り込み									
CRC演算機能	高速CRC					RAM領域の演算で、DTC実行時は動作可能			
	汎用CRC								
不正メモリ・アクセス検出機能						DTC実行時は動作可能			
RAMパリティ・エラー検出機能		動作可能							
RAMガード機能									
SFRガード機能									

備考 動作停止 : HALTモード移行時に自動的に動作停止
 動作禁止 : HALTモード移行前に動作を停止させる
 f_H : 高速オンチップ・オシレータ・クロック f_L : 低速オンチップ・オシレータ・クロック
 f_X : X1クロック f_{EX} : 外部メイン・システム・クロック
 f_{PLL} : PLLクロック

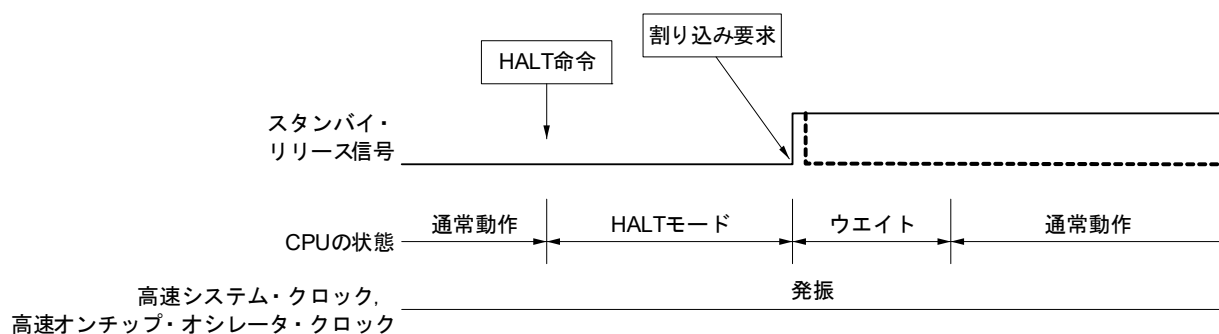
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図23-1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図22-1 割り込み機能の基本構成を参照してください。

注2. HALTモード解除のウェイト時間

- ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時: 15~16クロック
- ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時: 9~10クロック

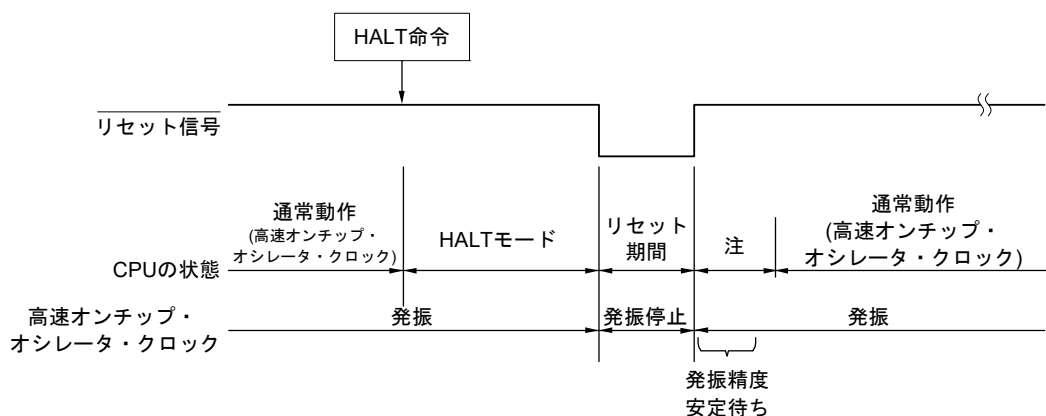
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

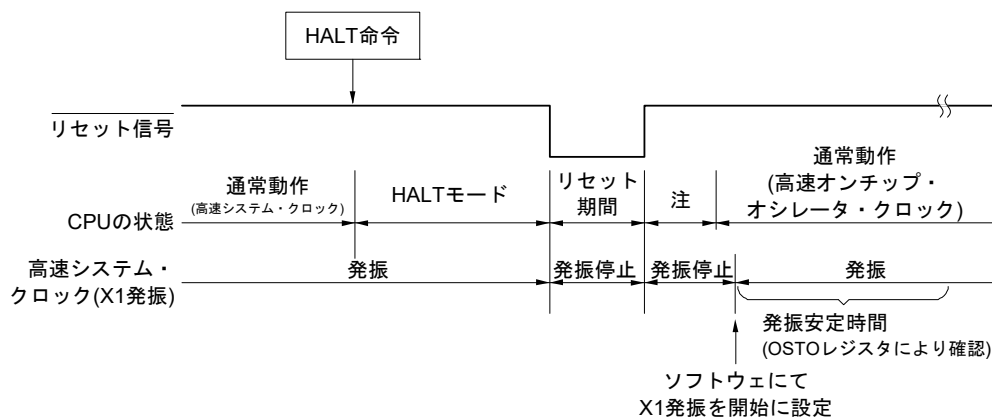
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23-2 HALTモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

23.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意1. 割り込みマスク・フラグが“0” (割り込み処理許可)かつ割り込み要求フラグが“1” (割り込み要求信号が発生)の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。

したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

注意2. STOPモードに移行するときは、DSCCTLレジスタのDSCONビットによってPLLの動作を停止させてから、STOP命令を実行してください。

備考 $p = 00; q = 0; m = 0$

次にSTOPモード時の動作状態を示します。

表 23 - 2 STOPモード時の動作状態

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・クロック (f _H)でCPU動作時	X1クロック (f _X)でCPU動作時	外部メイン・システム・クロック (f _{EX})でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _H	停止		
	f _X			
	f _{EX}			
	f _{PLL}	動作禁止		
f _{IL}		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM				
ポート(ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
リアルタイム・クロック(RTC)		動作禁止		
インターバル・タイマ		低速オンチップ・オシレータのみ動作可能		
ウォッチドッグ・タイマ		第12章 ウォッチドッグ・タイマ参照		
タイマRJ		<ul style="list-style-type: none"> ・ TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 ・ カウントソースに低速オンチップ・オシレータ選択時は動作可能 ・ 上記以外は動作禁止 		
タイマRG		動作禁止		
クロック出力/ブザー出力				
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみウエイク・アップ動作可能(SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止		
データ・トランスファ・コントローラ(DTC)		DTC起動要因受付動作可能(SNOOZEモードへ移行)		
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能		
アナログ電源		動作可能		
計装アンプ		動作禁止		
24ビットΔΣA/Dコンバータ				
10ビットA/Dコンバータ		ウエイク・アップ動作可能(SNOOZEモードへ移行)		
12ビットD/Aコンバータ		動作可能(STOPモード設定前の状態を継続)		
コンフィギュラブル・オペアンプ				
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
CRC演算機能	高速CRC	動作停止		
	汎用CRC			
不正メモリ・アクセス検出機能				
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				

(備考は次ページにあります。)

- 備考1. 動作停止 : STOPモード移行時に自動的に動作停止
 動作禁止 : STOPモード移行前に動作を停止させる
 f_H : 高速オンチップ・オシレータ・クロック f_L : 低速オンチップ・オシレータ・クロック
 f_X : X1クロック f_{EX} : 外部メイン・システム・クロック
 f_{PLL} : PLLクロック
- 備考2. p = 00; q = 0

(2) STOPモードの解除

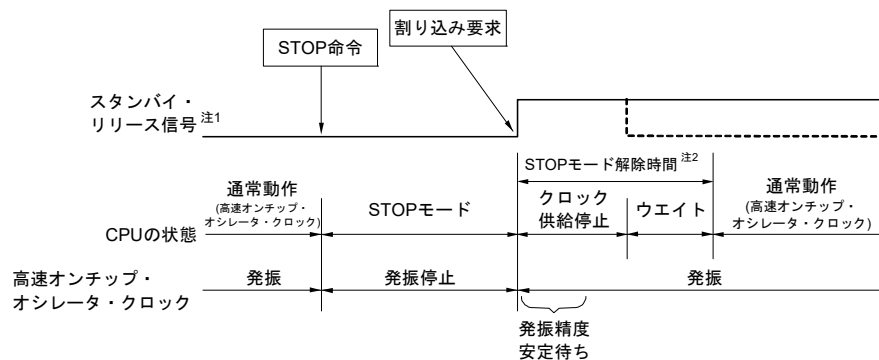
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図23-3 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関する詳細は、図22-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止 :

- 18 ~ 65 μ s

ウェイト :

- ベクタ割り込み処理を行う場合 : 7クロック
- ベクタ割り込み処理を行わない場合 : 1クロック

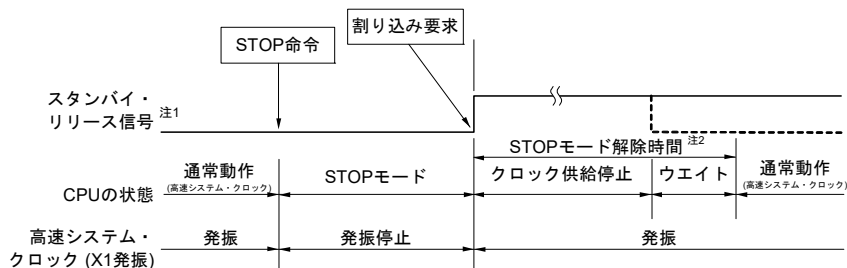
注意 高速システム・クロック (X1発振) でCPU動作している、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図23-4 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号に関する詳細は、図22-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

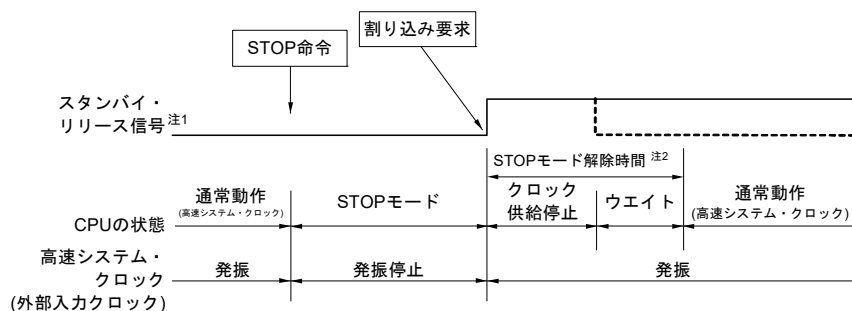
クロック供給停止：

- 18 μ s ~ “65 μ s または発振安定時間(OSTSで設定)の長い方”

ウェイト

- ベクタ割り込み処理を行う場合：10~11クロック
- ベクタ割り込み処理を行わない場合：4~5クロック

(3) CPUクロックが高速システム・クロック(外部クロック入力)の場合



注1. スタンバイ・リリース信号に関する詳細は、図22-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止：

- 18 ~ 65 μ s

ウェイト：

- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

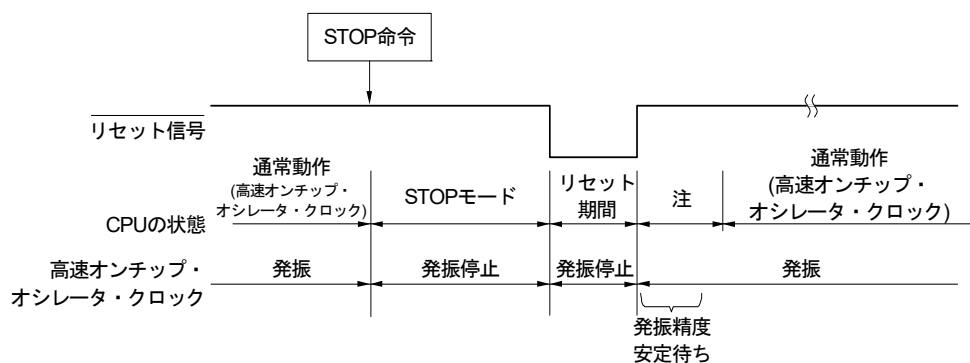
備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

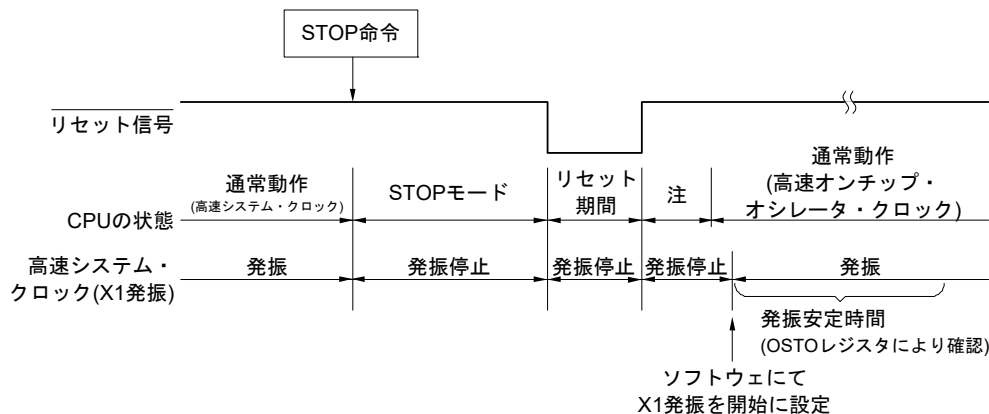
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23-5 STOPモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

23.3.3 SNOOZE モード

(1) SNOOZE モードの設定および動作状態

CSIp または、A/D コンバータ または、DTC が設定可能です。また、設定前の CPU クロックが、高速 オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSIp, UARTq を SNOOZE モードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ m (SSCm) を STOP モードに移行前に設定してください。詳細は、19.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/D コンバータを SNOOZE モードで使用する場合は、A/D コンバータ・モード・レジスタ 2 (ADM2) を STOP モードに移行前に設定してください。詳細は、16.3 A/D コンバータを制御するレジスタを参照してください。

DTC 転送を SNOOZE モードで使用する場合は、STOP モードに移行する前に、使用する DTC 起動要因を許可してください。STOP モード中に、許可した DTC 起動要因を検出すると自動的に SNOOZE モードに遷移します。詳細は、20.3 DTC を制御するレジスタを参照してください。

備考 $p = 00; q = 0; m = 0$

SNOOZE モードの移行では、次の時間だけウエイト状態になります。

STOP モード → SNOOZE モードの遷移時間

18 ~ 65 μ s

備考 STOP モード → SNOOZE モードの遷移時間は、温度条件と STOP モード期間によって変化します。

SNOOZE モード → 通常動作の遷移時間 :

- ベクタ割り込み処理を行う場合

"4.99 ~ 9.44 μ s" + 7 クロック

- ベクタ割り込み処理を行わない場合

"4.99 ~ 9.44 μ s" + 1 クロック

次に SNOOZE モード時の動作状態を示します。

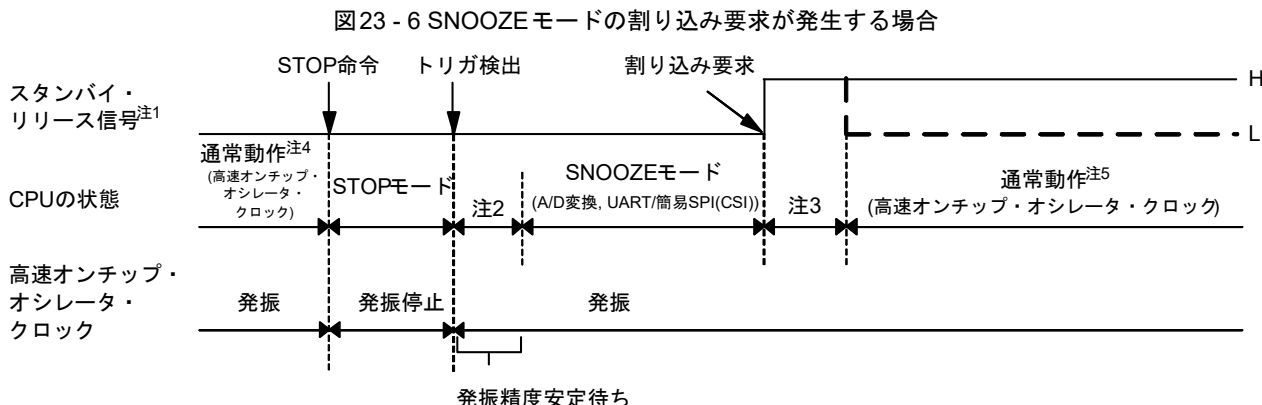
表 23 - 3 SNOOZEモード時の動作状態

STOPモードの設定		STOPモード中にCSIp, UARTqのデータ受信信号, A/Dコンバータのタイマ・トリガ信号入力, DTC起動要因発生時
項目		高速オンチップ・オシレータ・クロック (f _{IH})でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _{IH}	動作開始
	f _X	停止
	f _{EX}	
	f _{PLL}	
f _{IL}		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート(ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
リアルタイム・クロック(RTC)		動作可能
インターバル・タイマ		
ウォッチドッグ・タイマ		第12章 ウォッチドッグ・タイマ参照
タイマRJ		<ul style="list-style-type: none"> ・ TRJIO入力フィルタなし選択時のイベントカウントモードは動作可能 ・ カウントソースに低速オンチップ・オシレータ選択時は動作可能 ・ 上記以外は動作禁止
タイマRG		動作禁止
クロック出力/ブザー出力		
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみ動作可能 CSIp, UARTq以外は動作禁止
データ・トランスファ・コントローラ(DTC)		動作可能
イベント・リンク・コントローラ(ELC)		動作可能な機能ブロック間のリンクが可能
アナログ電源		動作可能
計装アンプ		動作禁止
24ビットΔΣA/Dコンバータ		
10ビットA/Dコンバータ		動作可能
12ビットD/Aコンバータ		動作可能(SNOOZEモード遷移前の状態を保持)
コンフィギュラブル・オペアンプ		
パワーオン・リセット機能		動作可能
電圧検出機能		
外部割り込み		
CRC演算機能	高速CRC	動作停止
	汎用CRC	
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

(備考は次ページにあります。)

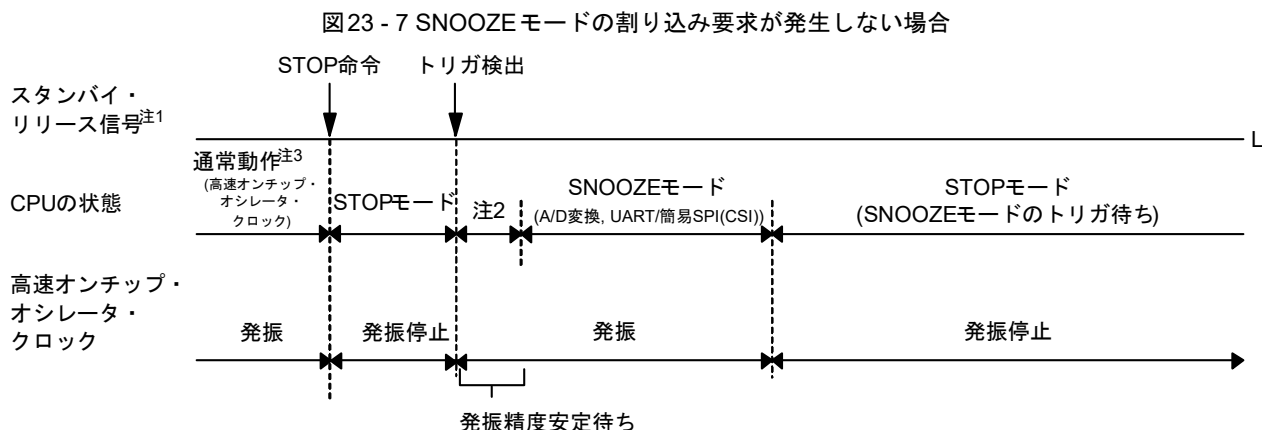
- 備考1. 動作停止 : STOPモード移行時に自動的に動作停止
- 動作禁止 : STOPモード移行前に動作を停止させる
- f_H : 高速オンチップ・オシレータ・クロック f_L : 低速オンチップ・オシレータ・クロック
- f_X : X1クロック f_{EX} : 外部メイン・システム・クロック
- f_{PLL} : PLLクロック
- 備考2. p = 00; q = 0

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図



- 注1. スタンバイ・リリース信号に関する詳細は、図22-1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. SNOOZEモード→通常動作の遷移時間
- 注4. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。
- 注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除(AWC = 0/SWC = 0)に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図



- 注1. スタンバイ・リリース信号に関する詳細は、図22-1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。

備考 SNOOZEモード機能の詳細は、第16章 A/Dコンバータ、第19章 シリアル・アレイ・ユニットを参照してください。

第24章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット(POR)回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路(LVD)の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表24-1に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

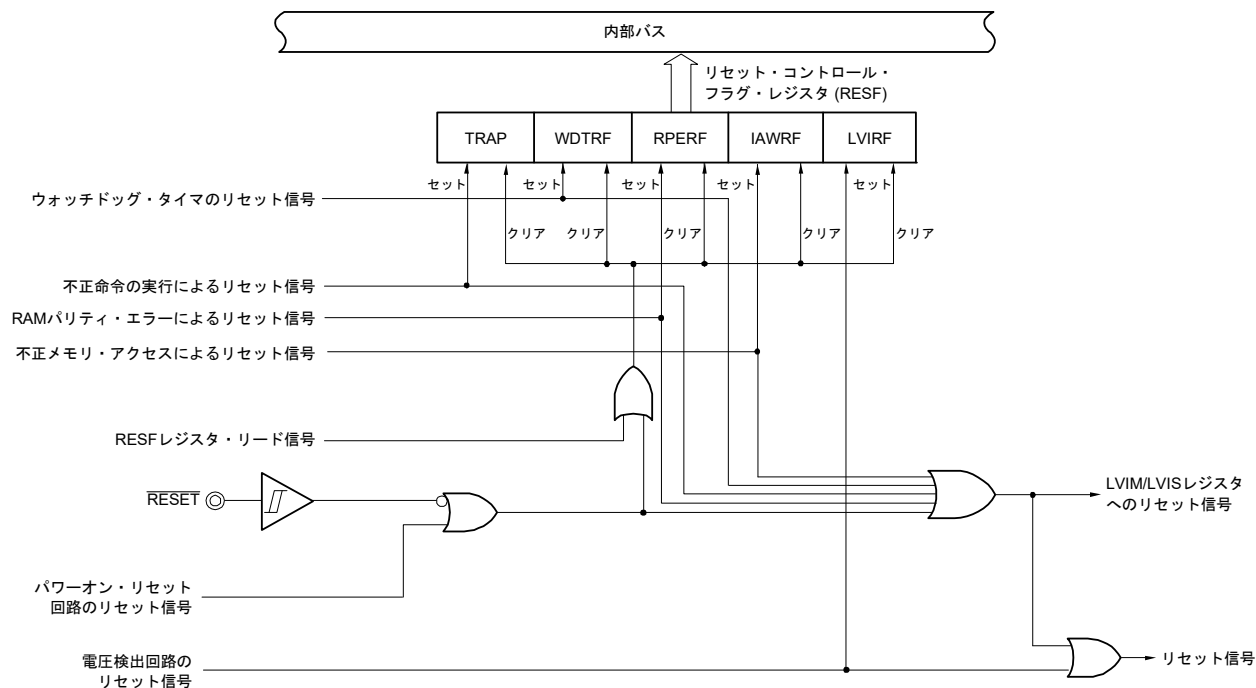
電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、33.4または34.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

注意2. リセット信号発生中では、X1 クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。

注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)
- P40以外のポート : リセット期間中およびリセット受け付け後はハイ・インピーダンス

図24-1 リセット機能のブロック図



注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

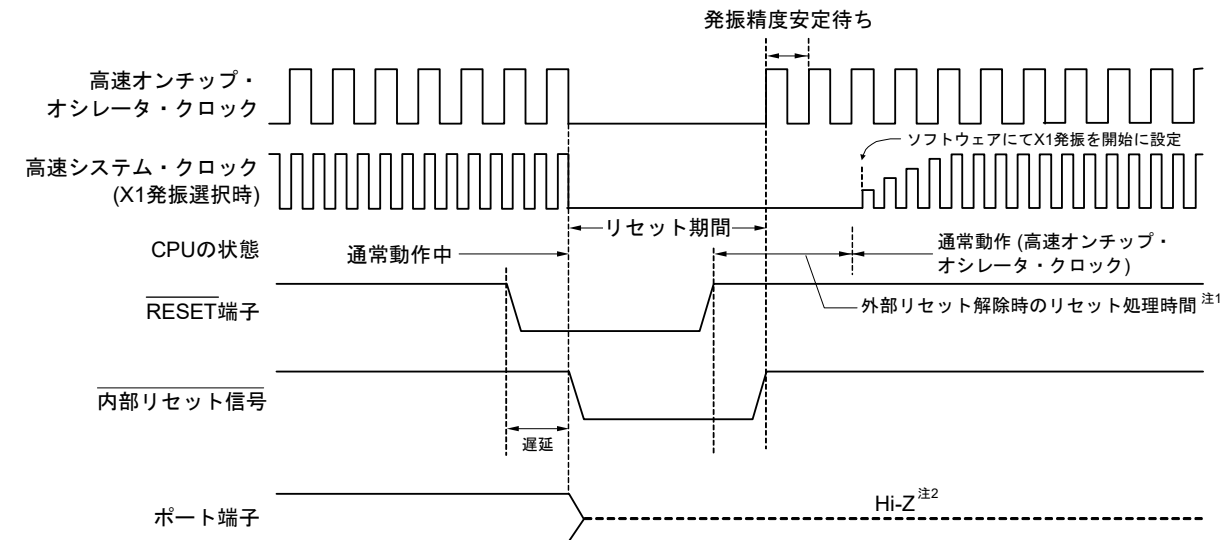
備考1. LVIM：電圧検出レジスタ

備考2. LVIS：電圧検出レベル・レジスタ

24.1 リセット動作のタイミング

RESET 端子にロウ・レベルが入力されて、リセットがかかり、RESET 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

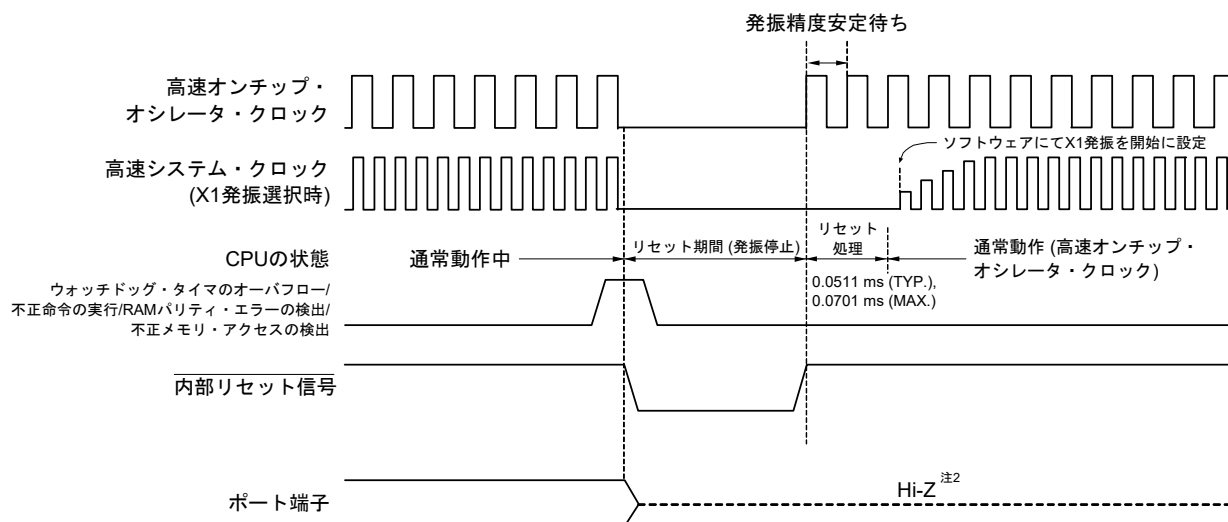
図24-2 RESET入力によるリセット・タイミング



(注は、次ページにあります。)

ウォッチドッグ・タイマのオーバフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図24-3 ウォッチドッグ・タイマのオーバフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注は、次ページにあります。)

注1. 外部リセット解除時のリセット時間：

POR解除後1回目： 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)

0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降： 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)

0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) が
かかります。

注2. ポート端子P40は次の状態になります。

- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)になります。

POR回路、LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリ
セットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。
詳細は、第25章 パワーオン・リセット回路または第26章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

表 24 - 1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}	動作停止
	f _X	動作停止(X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効(端子は入力ポート・モード)
	f _{PLL}	動作停止
f _{IL}	動作停止	
CPU	動作停止	
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート(ラッチ)	P40以外はハイ・インピーダンス P40は、外部リセットかPORによるリセット期間中はハイ・インピーダンス。 それ以外のリセット期間中はハイ・レベル(内蔵ブルアップ抵抗接続)	
タイマ・アレイ・ユニット	動作停止	
タイマRJ		
タイマRG		
リアルタイム・クロック(RTC)		
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
シリアル・アレイ・ユニット(SAU)		
データ・トランスファ・コントローラ(DTC)		
イベント・リンク・コントローラ(ELC)		
アナログ電源		
計装アンプ		
24ビットΔΣA/Dコンバータ		
10ビットA/Dコンバータ		
12ビットD/Aコンバータ		
コンフィギュラブル・オペアンプ		
パワーオン・リセット機能	検出動作可能	
電圧検出機能	LVDリセット時は動作可能。それ以外のリセット時は動作停止。	
外部割り込み	動作停止	
CRC演算機能	高速CRC	
	汎用CRC	
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

備考 f_{IH}: 高速オンチップ・オシレータ・クロック f_X: X1発振クロック
f_{EX}: 外部メイン・システム・クロック f_{IL}: 低速オンチップ・オシレータ・クロック
f_{PLL}: PLLクロック

表24-2 各ハードウェアのリセット受け付け後の状態

ハードウェア		リセット受け付け後の状態 ^注
プログラム・カウンタ(PC)		リセット・ベクタ・テーブル(0000H, 0001H)の内容がセットされる。
スタック・ポインタ(SP)		不定
プログラム・ステータス・ワード(PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 特殊機能レジスタ(SFR: Special Function Register)のリセット受け付け後の状態は、3.1.4 特殊機能レジスタ(SFR: Special Function Register)領域、3.1.5 拡張特殊機能レジスタ(2nd SFR: 2nd Special Function Register)領域を参照してください。

24.2 リセット要因を確認するレジスタ

24.2.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF)は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット(POR)回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図24-4 リセット・コントロール・フラグ・レジスタ (RESF)のフォーマット

アドレス : FFFA8H リセット時 : 不定注¹ R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP	不正命令の実行による内部リセット要求注 ²							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ(WDT)による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
RPERF	RAMパリティ・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
LVIRF	電圧検出(LVD)回路による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							

注1. リセット要因により異なります。表24-3を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を表24-3に示します。

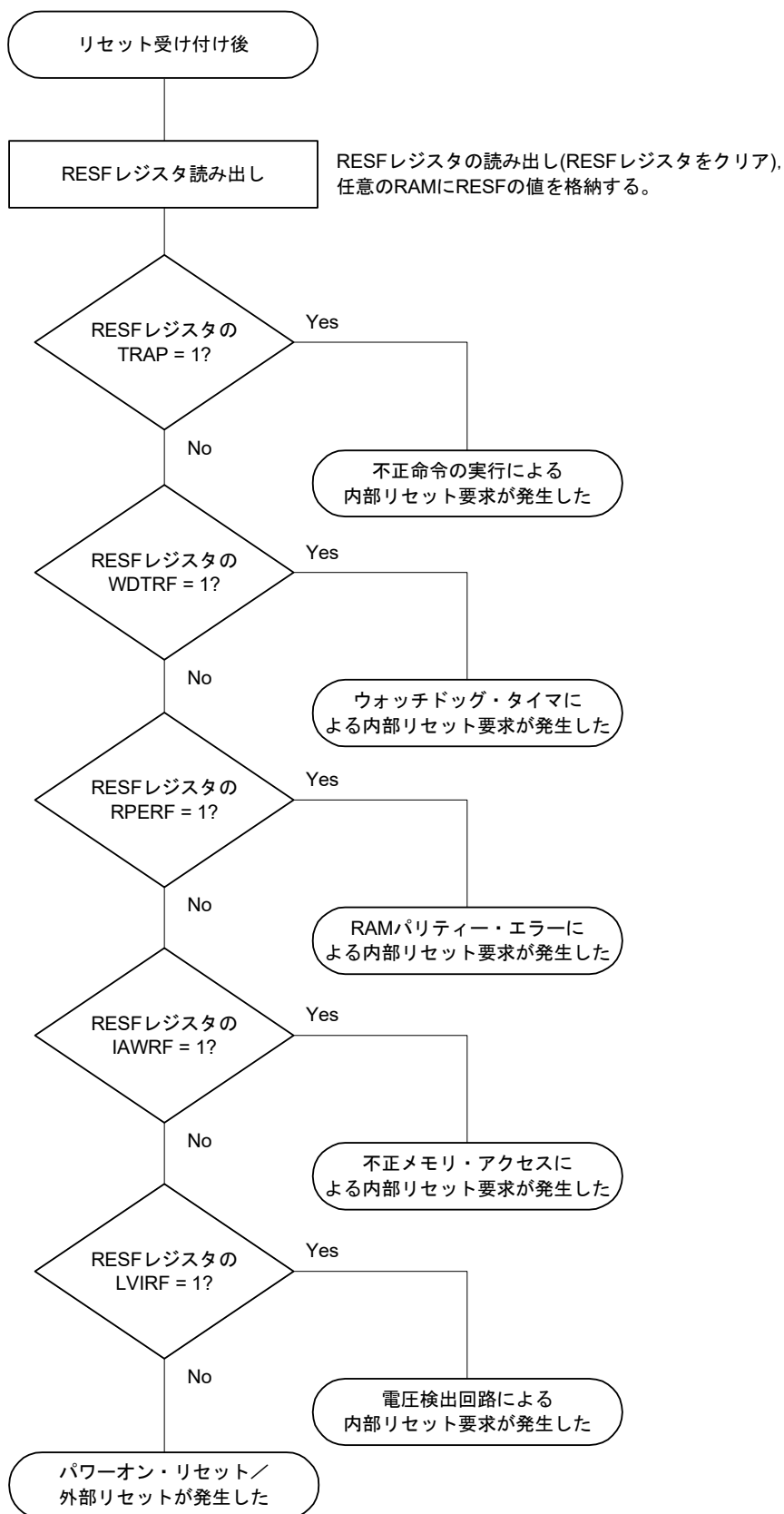
表24-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の発行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVDによる リセット		
TRAP	クリア(0)	クリア(0)	セット(1)	保持	保持	保持	保持		
WDTRF			保持	セット(1)					
RPERF				保持	セット(1)				
IAWRF					保持	セット(1)			
LVIRF								保持	セット(1)
									保持

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。

リセット要因の手順を図24-5に示します。

図24-5 リセット要因の確認手順例



第25章 パワーオン・リセット回路

25.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。

電源電圧(V_{DD})が検出電圧($V_{POR} = 1.56 \text{ V (TYP.)}$)を越えた場合に、リセットを解除します。ただし、33.4または34.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- 電源電圧(V_{DD})と検出電圧($V_{PDR} = 1.55 \text{ V (TYP.)}$)を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、33.4または34.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。

ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第24章 リセット機能を参照してください。

備考2. V_{POR} : POR電源立ち上がり検出電圧

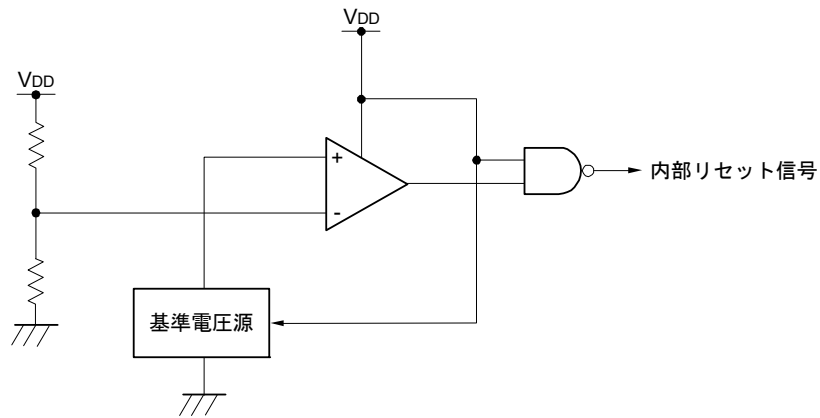
V_{PDR} : POR電源立ち下がり検出電圧

詳細は、33.6.7または34.6.7 POR回路特性を参照してください。

25.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図25 - 1に示します。

図25 - 1 パワーオン・リセット回路のブロック図

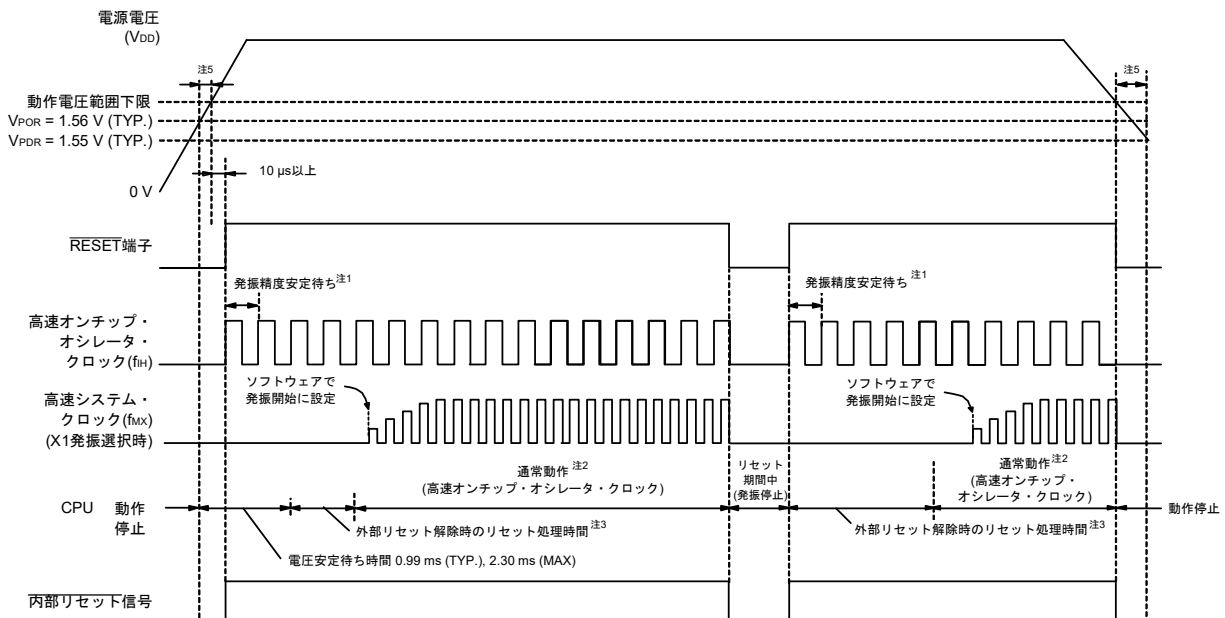


25.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(1/3)

(1) $\overline{\text{RESET}}$ 端子による外部リセット入力使用時



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。
X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC)で、発振安定時間を確認してから切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、V_{POR} (1.56 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、 $\overline{\text{RESET}}$ 信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目：	0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
	0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
- 注4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

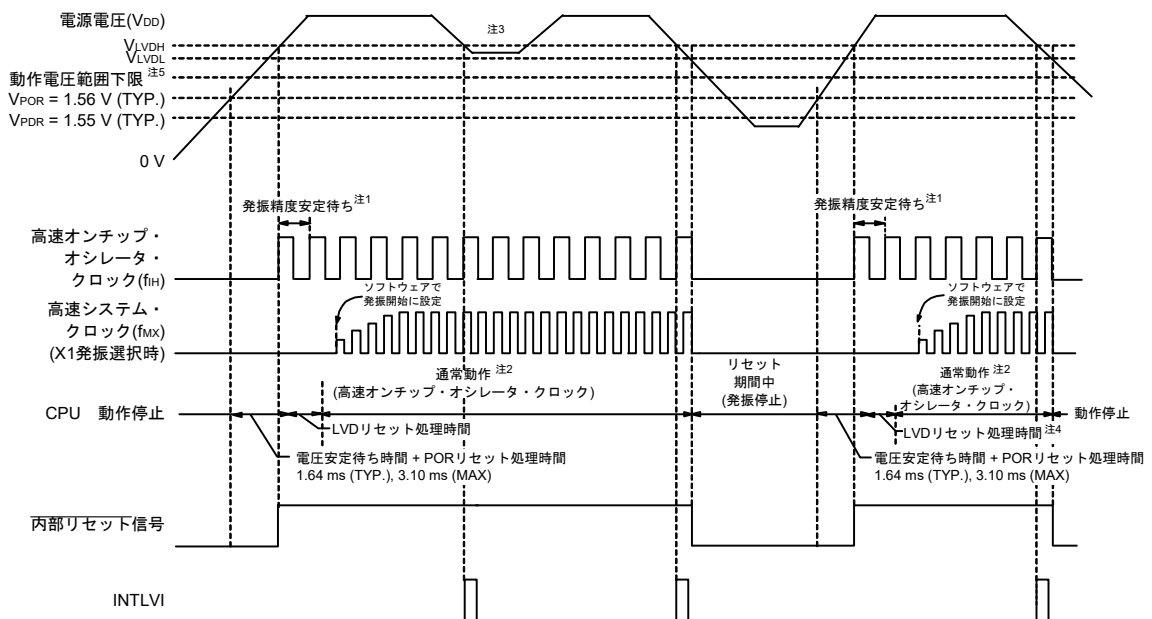
POR解除後2回目以降：	0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
	0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
- 注5. 電源立ち上がり時は、33.4または34.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

注意 LVDオフ時は必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。詳細は、第26章 電圧検出回路を参照してください。

図25-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生時のタイミング(2/3)

(2) LVD割り込み&リセットモード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)

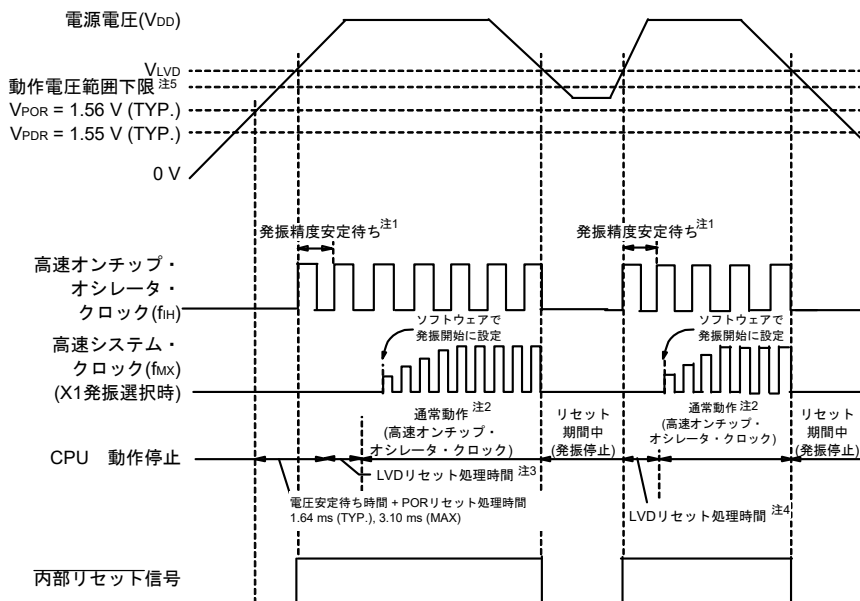


- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間を確認してから、切り替えてください。
- 注3. 割り込み要求信号(INTLVI)が発生したあと、電圧検出レベル・レジスタ(LVIS)のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧(V_{LVDL})を下回らずに、高電圧検出電圧(V_{LVDH})以上に復帰する場合は考慮して、INTLVI発生後は、“図26-10 動作電圧確認/リセットの設定手順”と、“図26-11 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。
- 注4. 通常動作が開始されるまでの時間は、V_{POR} (1.56 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD検出レベル(V_{LVDH})に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間 : 0 ms ~ 0.0701 ms (MAX.)
- 注5. 動作保証範囲は、2.4 V ≤ V_{DD} ≤ 5.5 Vです。必ず2.4 V以上になってから、通常動作を行ってください。電源立ち下がり時に2.7 V未満をリセット状態にしたい場合は、電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。

備考 V_{LVDH}, V_{LVDL} : LVD検出電圧
 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図25-4 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(3/3)

(3) LVD リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 1)



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPU クロックを高速オンチップ・オシレータ・クロックから高速システム・クロックに切り替え可能です。X1 クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから、切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、V_{POR} (1.56 V (TYP.)) に達してからの“電圧安定待ち + POR リセット処理時間”に加えて、LVD 検出レベル (V_{LVD}) に達してから次の“LVD リセット処理時間”が掛かります。
LVD リセット処理時間：0 ms ~ 0.0701 ms (MAX.)
- 注4. 電源電圧降下時、電圧検出回路 (LVD) による内部リセットのみ発生後に電源電圧が復帰した場合、LVD 検出レベル (V_{LVD}) に達してから次の“LVD リセット処理時間”が掛かります。
LVD リセット処理時間：0.0511 ms (TYP.), 0.0701 ms (MAX.)
- 注5. 動作保証範囲は、2.4 V ≤ V_{DD} ≤ 5.5 V です。必ず 2.4 V 以上になってから、通常動作を行ってください。電源立ち下がり時に 2.7 V 未満をリセット状態にしたい場合は、電圧検出回路のリセット機能を使用、または $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してください。

備考1. V_{LVDH}, V_{LVDL} : LVD 検出電圧

V_{POR} : POR 電源立ち上がり検出電圧

V_{PDR} : POR 電源立ち下がり検出電圧

備考2. LVD 割り込みモード(オプション・バイト000C1HのLVIMD1, LVIMD0 = 0, 1)を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図25-4 (3) LVD リセット・モード時の“注3”の時間と同じです。

第26章 電圧検出回路

26.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト(000C1H)で動作モードと検出電圧(VLVDH, VLVDL, VLVD)を設定します。電圧検出(LVD)回路は、次のような機能を持ちます。

- 電源電圧(VDD)と検出電圧(VLVDH, VLVDL, VLVD)を比較し、内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧(VLVDH, VLVDL)は、オプション・バイトにて検出レベルを7段階より選択できます(第29章 オプション・バイト参照)。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、33.4 または 34.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

(a) 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧(VLVDH, VLVDL)を選択します。高電圧検出レベル(VLVDH)はリセット解除用/割り込み発生用として使用します。低電圧検出レベル(VLVDL)はリセット発生用として使用します。

(b) リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット発生/解除用として使用します。

(c) 割り込みモード(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、割り込み発生/リセット解除用として使用します。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生。 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセット発生。	リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号(INTLVI)を発生します。

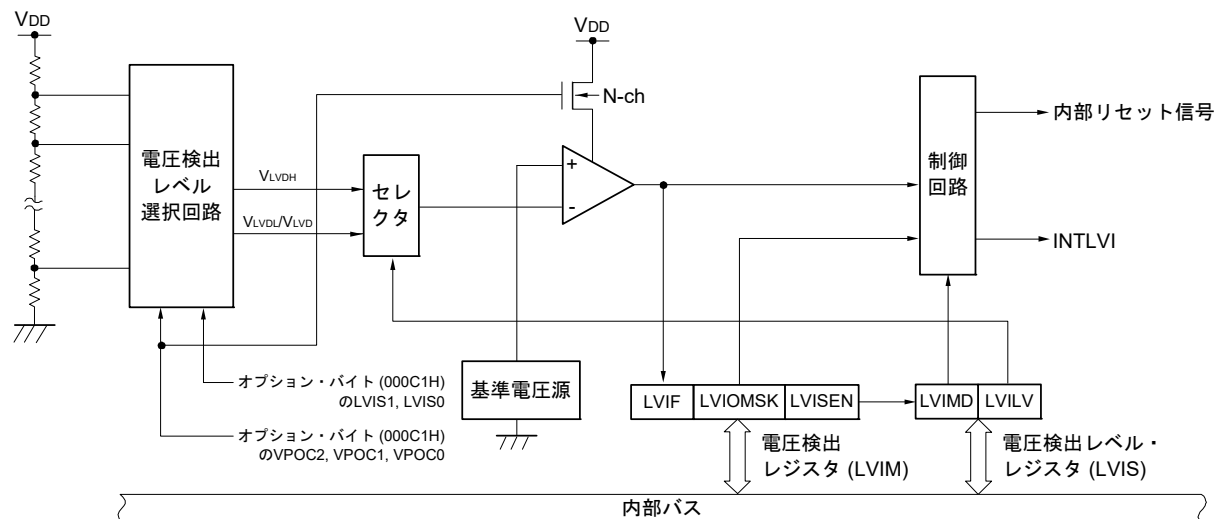
電圧検出回路動作時では、電圧検出フラグ(LVIF: 電圧検出レジスタ(LVIM)のビット0)を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ(RESF)のビット0(LVIRF)がセット(1)されません。RESFレジスタについての詳細は、第24章 リセット機能を参照してください。

26.2 電圧検出回路の構成

電圧検出回路のブロック図を図26-1に示します。

図26-1 電圧検出回路のブロック図



26.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベル・レジスタ (LVIS)

26.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図26-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFFA9H リセット時：00H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN ^{注3}	0	0	0	0	0	LVIOMSK	LVIF
LVISEN ^{注3}	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定							
0	LVISレジスタの書き換え禁止 (LVIOMSK = 0 (LVD出力マスク無効)になる)							
1	LVISレジスタの書き換え許可 (LVIOMSK = 1 (LVD出力マスク有効)になる)							
LVIOMSK	LVD出力マスク状態フラグ							
0	LVD出力マスク無効							
1	LVD出力マスク有効 ^{注4}							
LVIF	電圧検出フラグ							
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD}), またはLVDオフ時							
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})							

注1. リセット値は、リセット要因により変化します。

LVDによるリセットのときには、LVIMレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、LVISENは“0”にクリアされます。

注2. ビット0, 1は、Read Onlyです。

注3. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時のみ設定できます。その他モードでは初期値から変更しないでください。

注4. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時のみ、LVIOMSKビットは以下の期間に自動で“1”となり、LVDによるリセットまたは割り込み発生がマスクされます。

- LVISEN = 1の期間
- LVD割り込み発生から、LVD検出電圧が安定するまでの待ち時間
- LVILVビットの値変更から、LVD検出電圧が安定するまでの待ち時間

26.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図26 - 3 電圧検出レベル・レジスタ (LVIS)のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
7	6	5	4	3	2	1	0	
LVIS	LVIMD ^{注2}	0	0	0	0	0	0	LVILV ^{注2}
LVIMD ^{注2}	電圧検出の動作モード							
0	割り込みモード							
1	リセット・モード							
LVILV ^{注2}	LVD 検出レベル							
0	高電圧検出レベル(VLVDH)							
1	低電圧検出レベル(VLVDLまたはVLVD)							

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア(00H)されません。

LVD以外のリセット時は、次のようになります。

- オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

注2. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、図26 - 10、図26 - 11の手順で行ってください。

注意2. LVDの動作モードと各モードの検出電圧(VLVDH, VLVDL, VLVD)は、オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを図26 - 4に示します。オプション・バイトの詳細は第29章 オプション・バイトを参照してください。

図26-4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値							
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定		
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0	
3.02 V	2.96 V	2.55 V	0	0	0	0	1	1	0	
3.22 V	3.15 V					0	0			
4.42 V	5.32 V	0				0				
4.62 V	4.52 V	1				0				
3.32 V	3.15 V	1				1	0			1
4.74 V	4.64 V	0				0				
—			上記以外は設定禁止							

• LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.61 V	2.55 V	0	0	0	1	1	1	1
2.81 V	2.75 V		1	1	1	1		
3.02 V	2.96 V		0	0	0	1		
3.22 V	3.15 V		1	1	0	1		
4.42 V	4.32 V		0	1	0	0		
4.62 V	4.52 V		1	0	0	0		
4.74 V	4.64 V		1	1	0	0		
—			上記以外は設定禁止					

• LVDの設定 (割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.61 V	2.55 V	0	0	0	1	1	0	1
2.81 V	2.75 V		1	1	1	1		
3.02 V	2.96 V		0	0	0	1		
3.22 V	3.15 V		1	1	0	1		
4.42 V	4.32 V		0	1	0	0		
4.62 V	4.52 V		1	0	0	0		
4.74 V	4.64 V		1	1	0	0		
—			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考1. 検出電圧はTYP.値です。詳細は、33.6.8または34.6.8 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図26-5 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDオフ (RESET 端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、33.4または34.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. × : Don't care

備考2. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、33.6.8または34.6.8 LVD回路特性を参照してください。

26.4 電圧検出回路の動作

26.4.1 リセット・モードとして使用する場合の設定

動作モード(リセット・モード(LVIMDS1, LVIMDS0 = 1, 1))と検出電圧(VLVD)の設定は、オプション・バイト000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、81Hに設定されます。
ビット7(LVIMD)は“1”(リセット・モード)
ビット0(LVILV)は“1”(電圧検出レベル: VLVD)

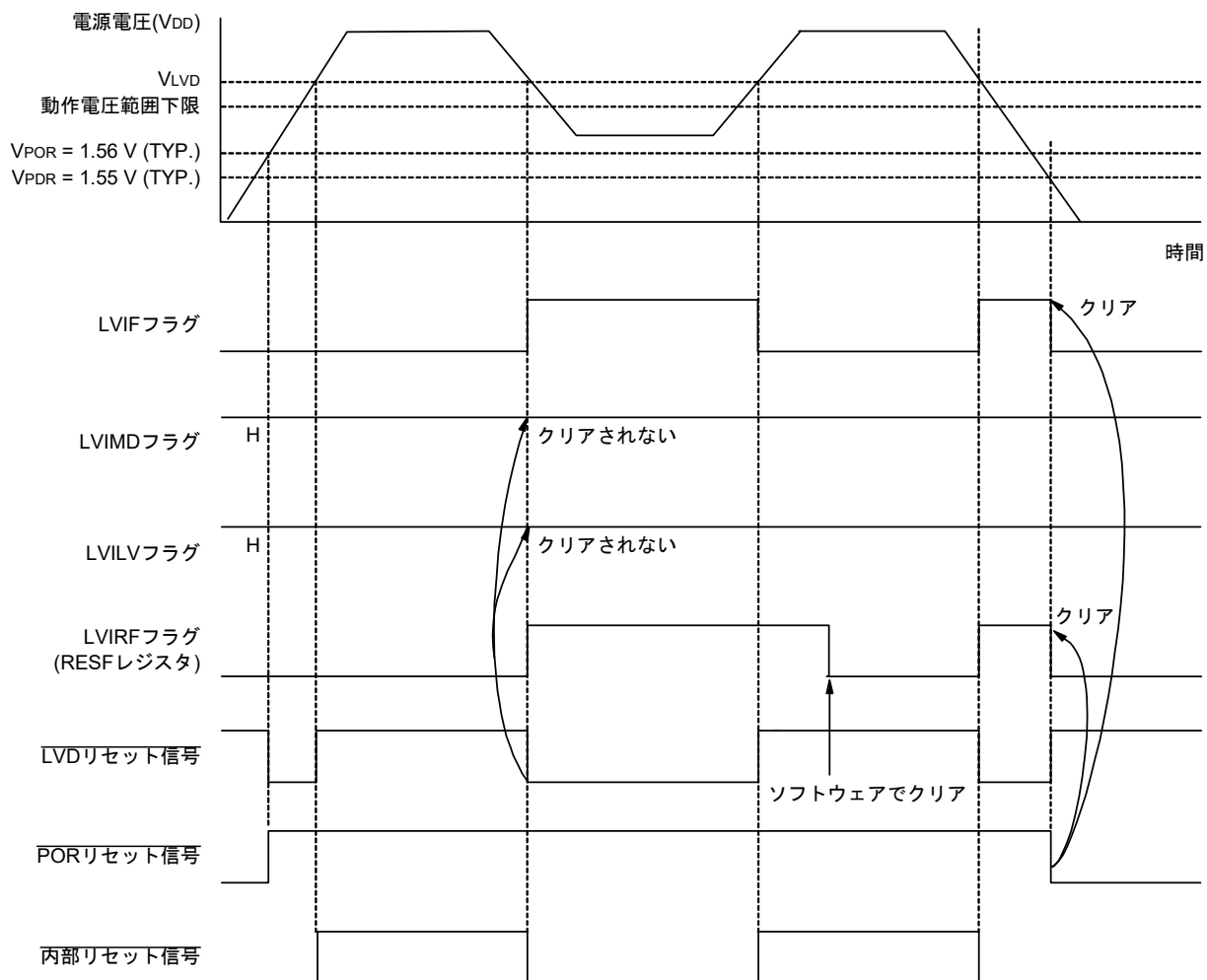
●LVDリセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は、電源投入時、電源電圧(VDD)が電圧検出レベル(VLVD)を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(VDD)が電圧検出レベル(VLVD)を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(VDD)が電圧検出レベル(VLVD)を下回るとLVDによる内部リセットが発生します。

図26-6に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図26 - 6 内部リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



備考 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

26.4.2 割り込みモードとして使用する場合の設定

動作モード (割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)) と検出電圧 (VLVD) の設定は、オプション・バイト 000C1H で設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット 7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、01H に設定されます。
ビット 7 (LVIMD) は“0” (割り込みモード)
ビット 0 (LVILV) は“1” (電圧検出レベル : VLVD)

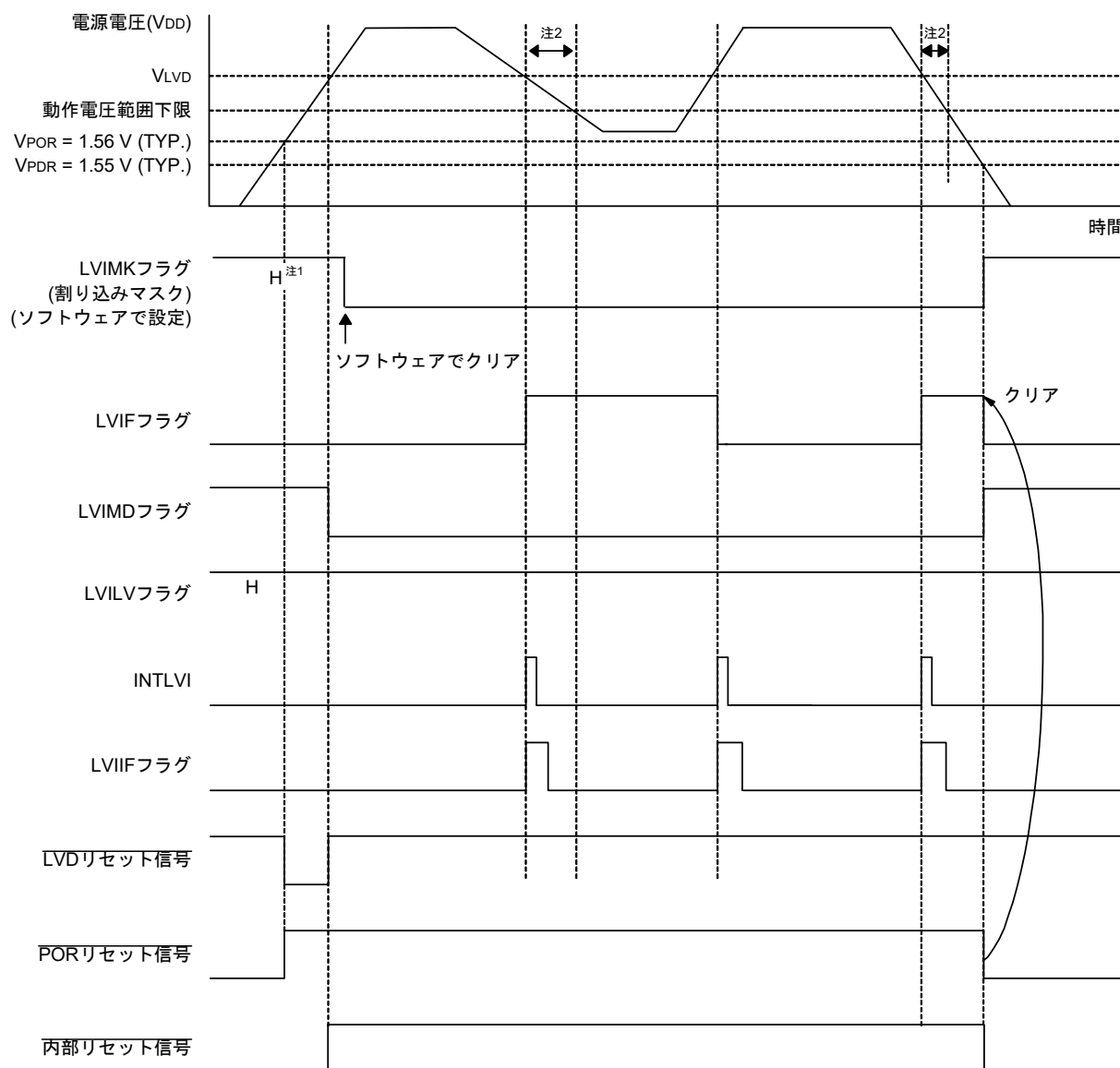
● LVD 割り込みモードの動作

割り込みモード (オプション・バイトの LVIMDS1, LVIMDS0 = 0, 1) では、リセット発生直後、電源電圧 (VDD) が電圧検出レベル (VLVD) を上回るまでは LVD による内部リセット状態を保ちます。電源電圧 (VDD) が電圧検出レベル (VLVD) を上回ると LVD による内部リセットを解除します。

LVD の内部リセット解除後は、電源電圧 (VDD) が電圧検出レベル (VLVD) を超えると LVD による割り込み要求信号 (INTLVI) が発生します。動作電圧降下時は、33.4 または 34.4 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図 26 - 7 に、LVD 割り込みモードの割り込み要求信号発生タイミングを示します。

図26-7 割り込み信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

注2. 動作電圧降下時は、33.4または34.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

26.4.3 割り込み&リセット・モードとして使用時の設定

動作モード (割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)) と検出電圧 (VLVDH, VLVDL) の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、00Hに設定されます。ビット7 (LVIMD) は“0” (割り込みモード), ビット0 (LVILV) は“0” (高電圧検出レベル : VLVDH)

● LVD 割り込み&リセット・モードの動作

割り込み&リセット・モード (オプション・バイトの LVIMDS1, LVIMDS0 = 1, 0) は、電源投入時、電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えるまでは LVD による内部リセット状態を保ちます。

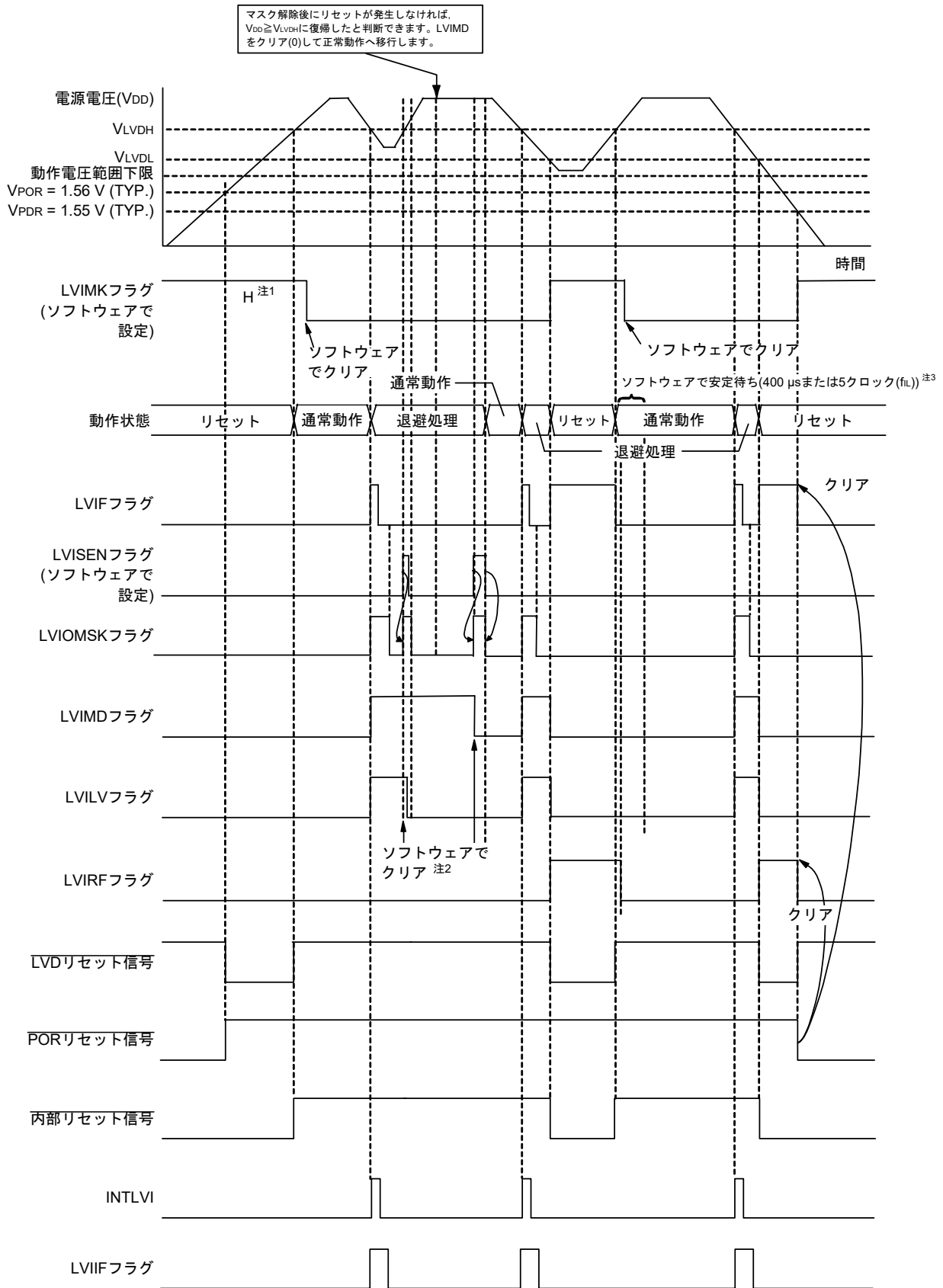
電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えると内部リセットを解除します。

動作電圧降下時は電源電圧 (VDD) が高電圧検出レベル (VLVDH) を下回ると LVD による割り込み要求信号 (INTLVI) が発生し、任意の退避処理を行うことができます。その後、電源電圧 (VDD) が低電圧検出レベル (VLVDL) を下回ると LVD による内部リセットが発生します。ただし、INTLVI 発生後、電源電圧 (VDD) が低電圧検出電圧 (VLVDL) を下回らずに高電圧検出電圧 (VLVDH) 以上に復帰しても割り込み要求信号は発生しません。

LVD 割り込み&リセット・モードの使用する場合は、“図 26 - 10 動作電圧確認/リセットの設定手順”と、“図 26 - 11 割り込み&リセット・モードの初期設定の設定手順”に示すフロー・チャートの手順に従って設定をしてください。

図 26 - 8 ~ 図 26 - 9 に、LVD 割り込み&リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図26-8 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)



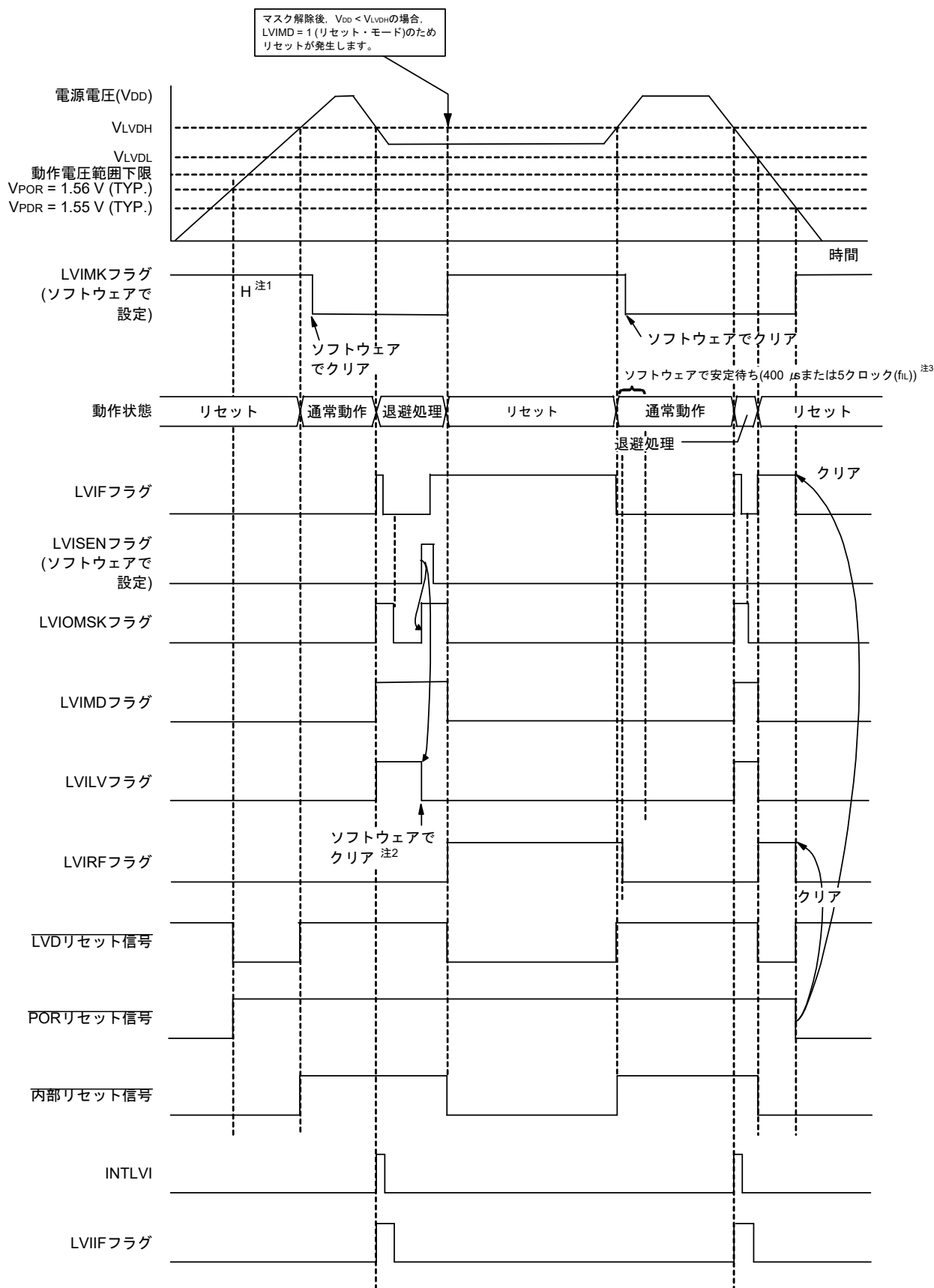
(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用时，割り込み発生後は，図26 - 10 動作電圧確認／リセットの設定手順に従って実施してください。
- 注3. 割り込み&リセット・モード使用时，リセット解除後は，図26 - 11 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

図26-9 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)

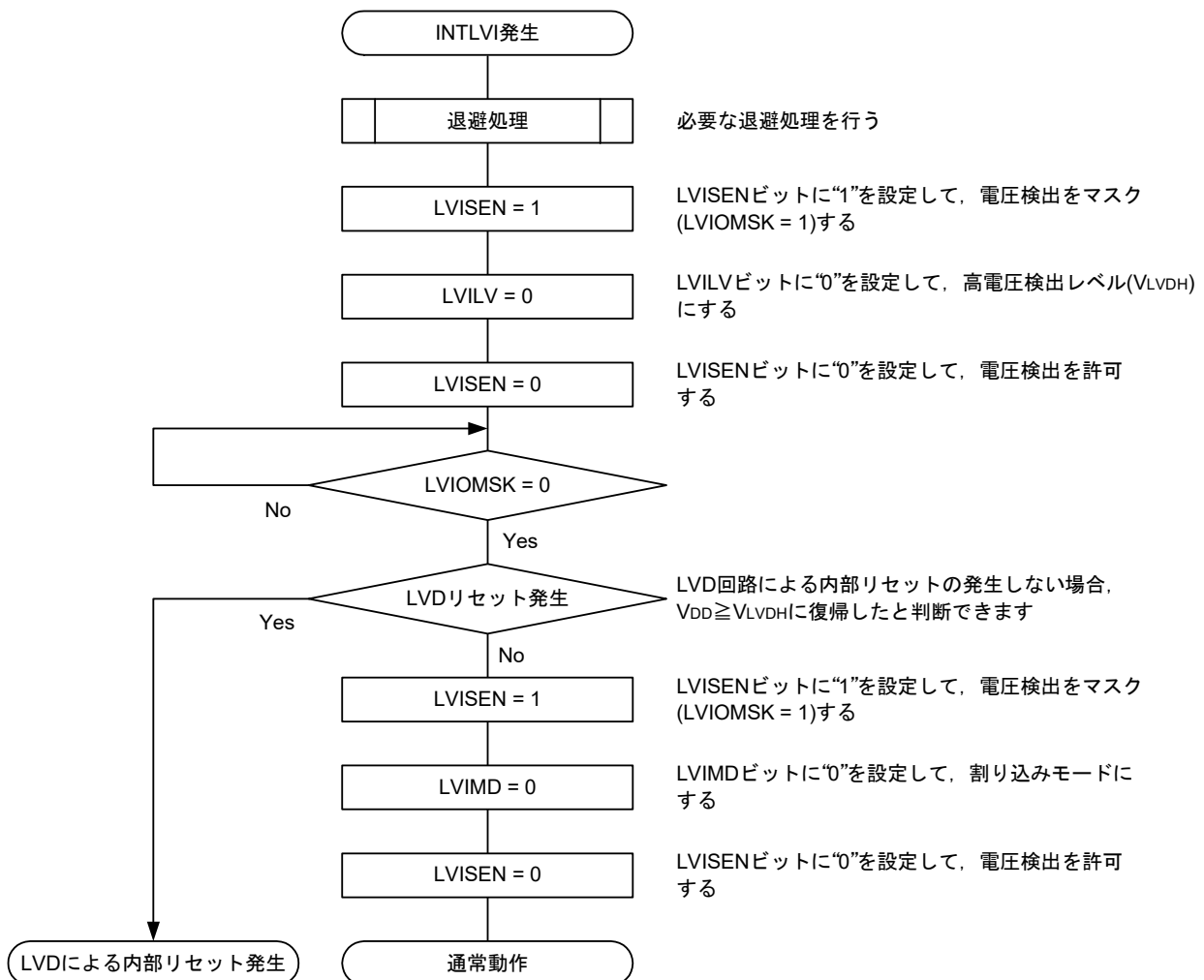


(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図26 - 10 動作電圧確認／リセットの設定手順に従って実施してください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図26 - 11 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 VPOR : POR電源立ち上がり検出電圧
VPDR : POR電源立ち下がり検出電圧

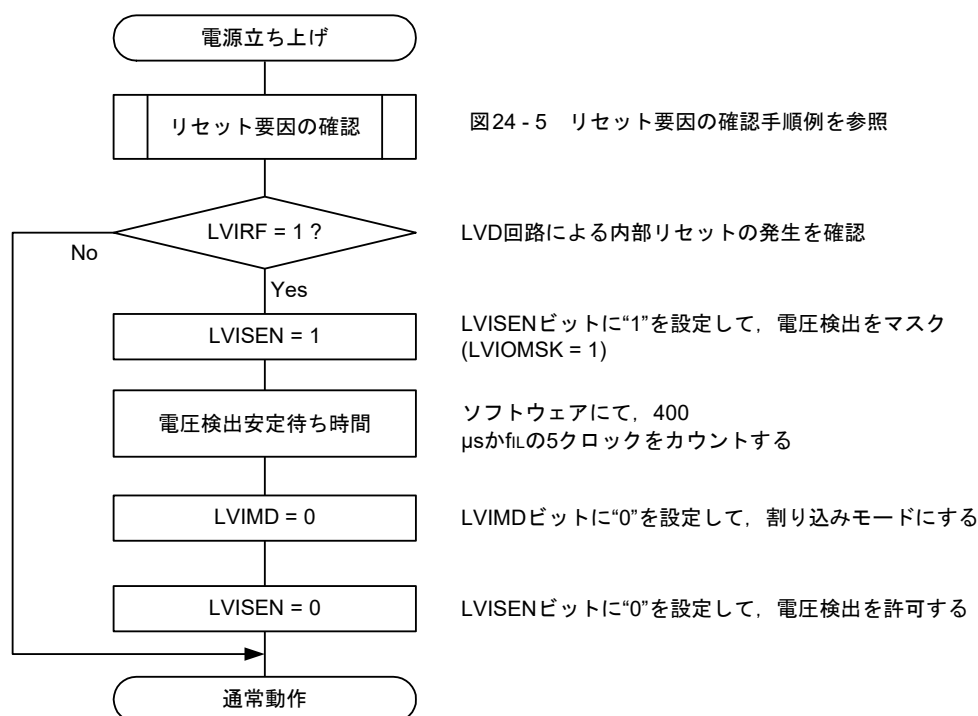
図26 - 10 動作電圧確認／リセットの設定手順



割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0)を設定した場合、LVDリセット解除後(LVIRF = 1)から400 μ sかf_{IL}の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後、LVIMDビットをクリア(0)して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は、LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図26 - 11に割り込み&リセット・モードの初期設定の設定手順の手順を示します。

図26 - 11 割り込み&リセット・モードの初期設定の設定手順



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

26.5 電圧検出回路の注意事項

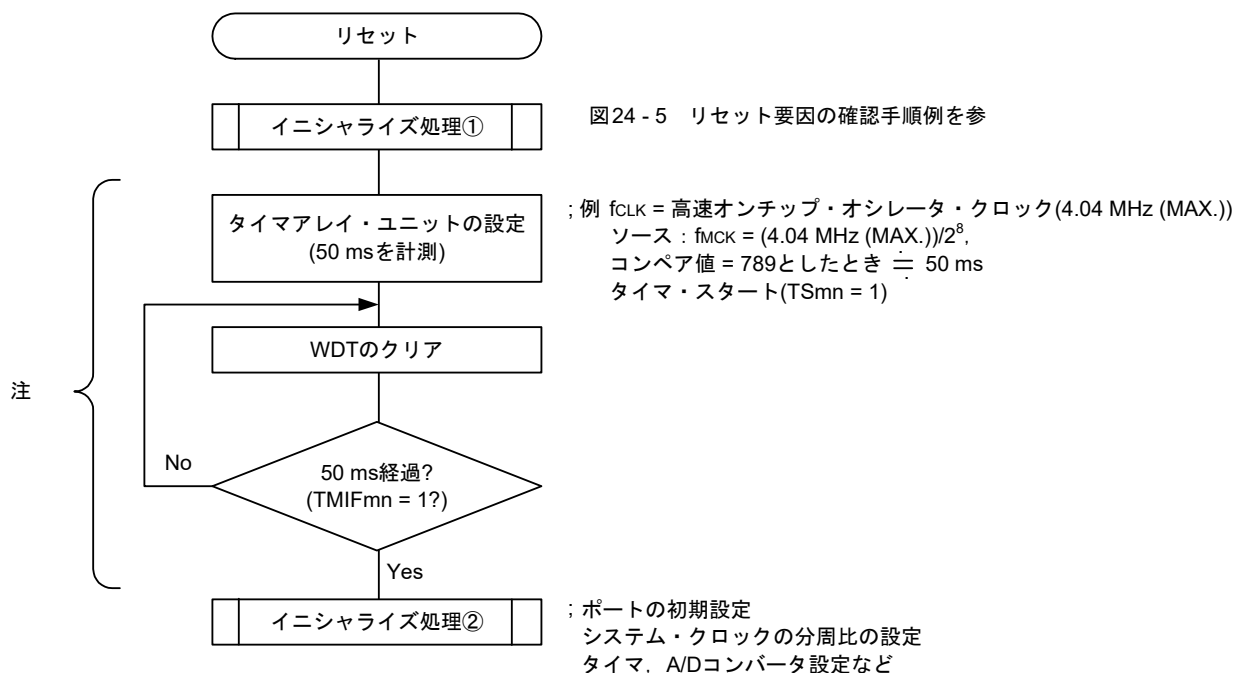
(1) 電源投入時の電圧変動について

電源電圧 (VDD) が LVD 検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図26 - 12 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



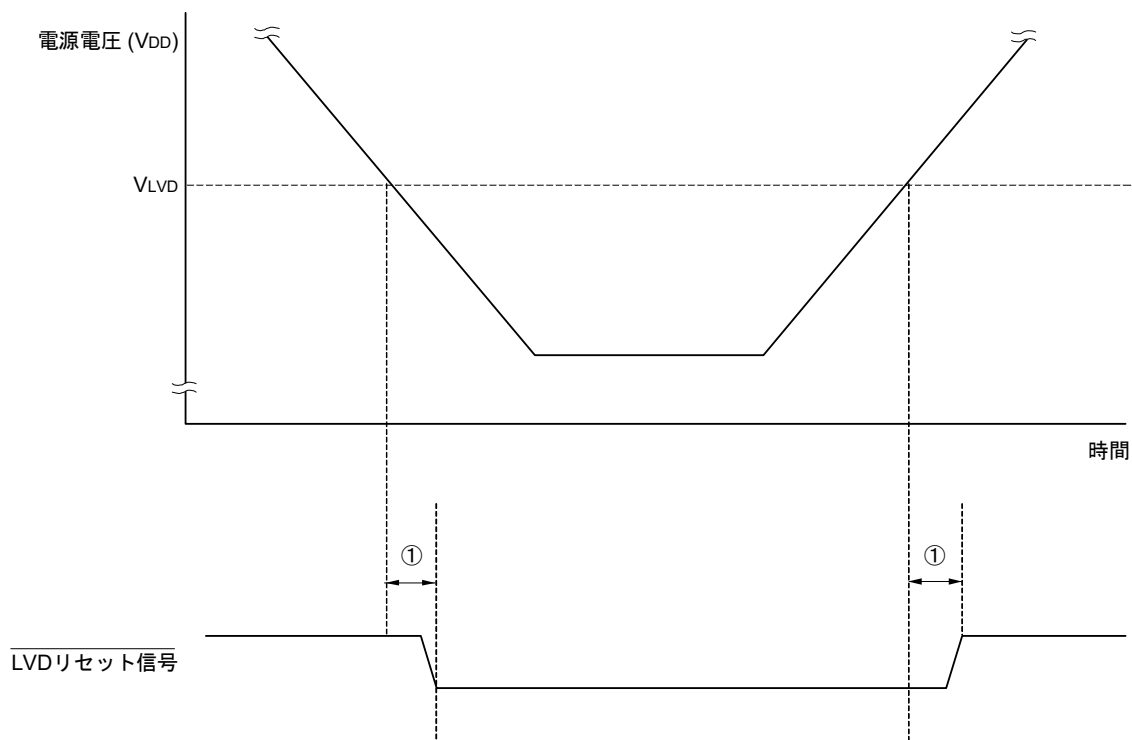
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 m = 0, 1 n = 0-3

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧(V_{DD}) < LVD検出電圧(V_{LVD})になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧(V_{LVD}) \leq 電源電圧(V_{DD})になってから、LVDリセットが解除されるまでにも遅延が生じます(図26-13参照)。

図26-13 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延(300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、33.4または34.4 AC特性に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、33.4または34.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

第27章 安全機能

27.1 安全機能の概要

★

安全規格 IEC60730 に対応するため、RL78/I1E では以下の安全機能を搭載しています。

この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)

CRC 演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて、以下の2つのCRCを使い分けていただくことができます。

- 「高速 CRC」... 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。

- 「汎用 CRC」... CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) RAM パリティ・エラー検出機能

RAM をデータとして読み出すとき、パリティ・エラーを検出します。

(3) RAM ガード機能

CPU の暴走による RAM データの書き換えを防止します。

(4) SFR ガード機能

CPU の暴走による SFR の書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域 (メモリが存在しない、アクセスが制限されている領域) への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

(7) A/D テスト機能

A/D コンバータの + 側基準電圧, ー側基準電圧, アナログ入力チャネル (ANI), 内部基準電圧出力を A/D 変換することにより、A/D コンバータの自己チェックができます。

(8) 入出力端子のデジタル出力信号レベル検出機能

入出力端子が出力モード時に、端子の出力レベルをリードすることができます。

★

備考 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの IEC60730/60335 セルフテスト・ライブラリ アプリケーションノート (R01AN1062, R01AN1296) を参照してください。

27.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
<ul style="list-style-type: none"> フラッシュ・メモリCRC制御レジスタ (CRC0CTL) フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) 	フラッシュ・メモリCRC演算機能 (高速CRC)
<ul style="list-style-type: none"> CRC入力レジスタ (CRCIN) CRCデータ・レジスタ (CRCD) 	CRC演算機能 (汎用CRC)
<ul style="list-style-type: none"> RAMパリティ・エラー制御レジスタ (RPECTL) 	RAMパリティ・エラー検出機能
<ul style="list-style-type: none"> 不正メモリ・アクセス検出制御レジスタ (IAWCTL) 	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
<ul style="list-style-type: none"> タイマ入力選択レジスタ0 (TIS0) 	周波数検出機能
<ul style="list-style-type: none"> A/Dテスト・レジスタ (ADTES) 	A/Dテスト機能
<ul style="list-style-type: none"> ポート・モード選択レジスタ (PMS) 	入出力端子のデジタル出力信号レベル検出機能

各レジスタの内容については、27.3 安全機能の動作の中で説明します。

27.3 安全機能の動作

27.3.1 フラッシュ・メモリCRC演算機能(高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定(イニシャライズ)ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です(例 フラッシュ・メモリ32KB:256 μ s@32MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

27.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	0	0	0	0	0	FEA0
CRC0EN	高速CRC演算器の動作制御							
0	動作停止							
1	HALT命令実行により演算開始							
FEA0	高速CRC演算範囲							
0	0000H-3FFBH (16K-4バイト)							
1	0000H-7FFBH (32K-4バイト)							

注意 ビット1-6には必ず“0”を設定してください。

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

27.3.1.2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

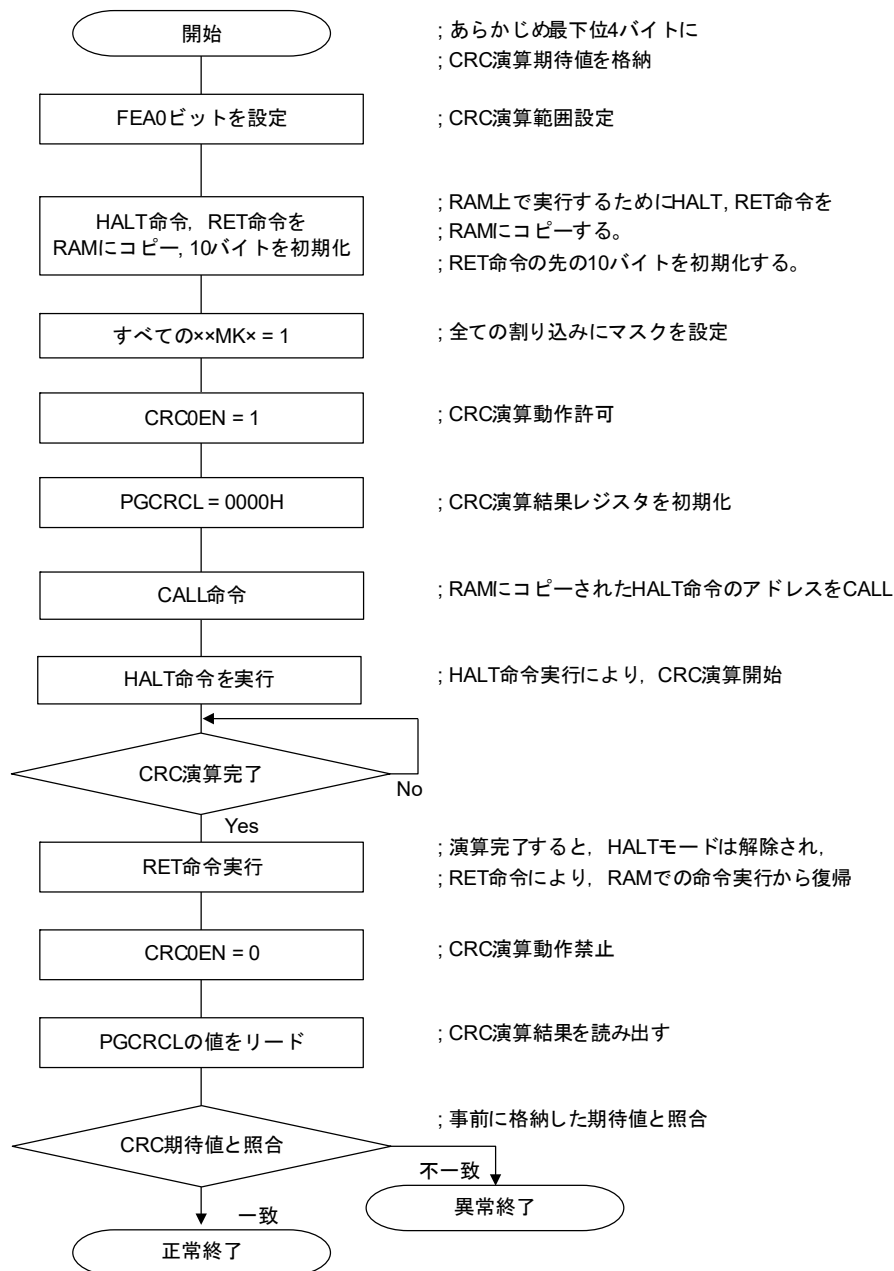
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0	高速CRC演算結果						
	0000H-FFFFH	高速CRC演算結果を格納						

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを図27-3に示します。

<動作フロー>

図27-3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュのみです。

注意2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

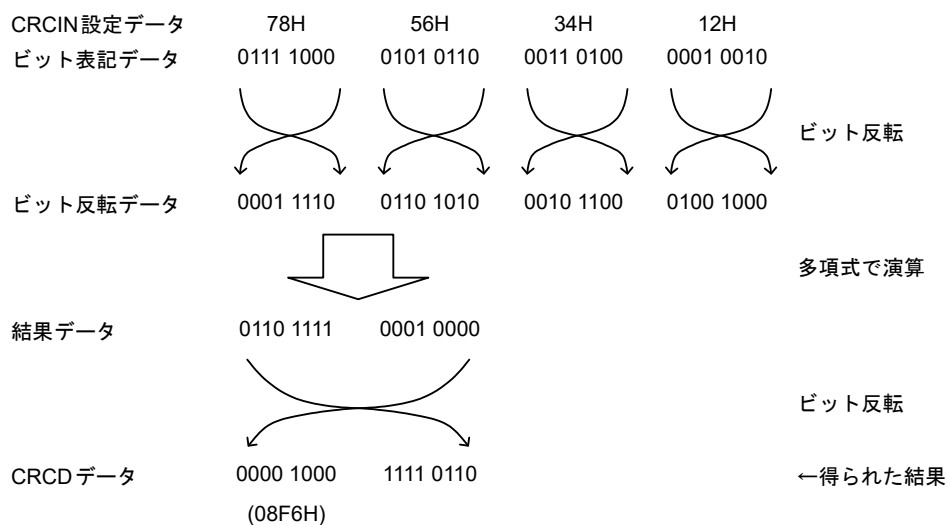
CRC演算の期待値は、総合開発環境 CubeSuite+ を使用して算出することができます。詳細は、CubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

27.3.2 CRC演算機能(汎用CRC)

★

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア(ユーザ・プログラム)で指定します。HALTモード時のCRC演算機能は、DTC転送中だけ使用できます。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッグはソフトウェア・ブレイク設定行をブレイク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレイクを設定すると、CRC演算結果が異なります。

27.3.2.1 CRC入力レジスタ (CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 4 CRC入力レジスタ (CRCIN)のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0		機能					
	00H-FFH		データ入力					

27.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

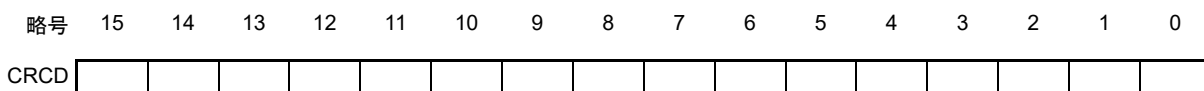
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (fCLK)の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-5 CRCデータ・レジスタ (CRCD)のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

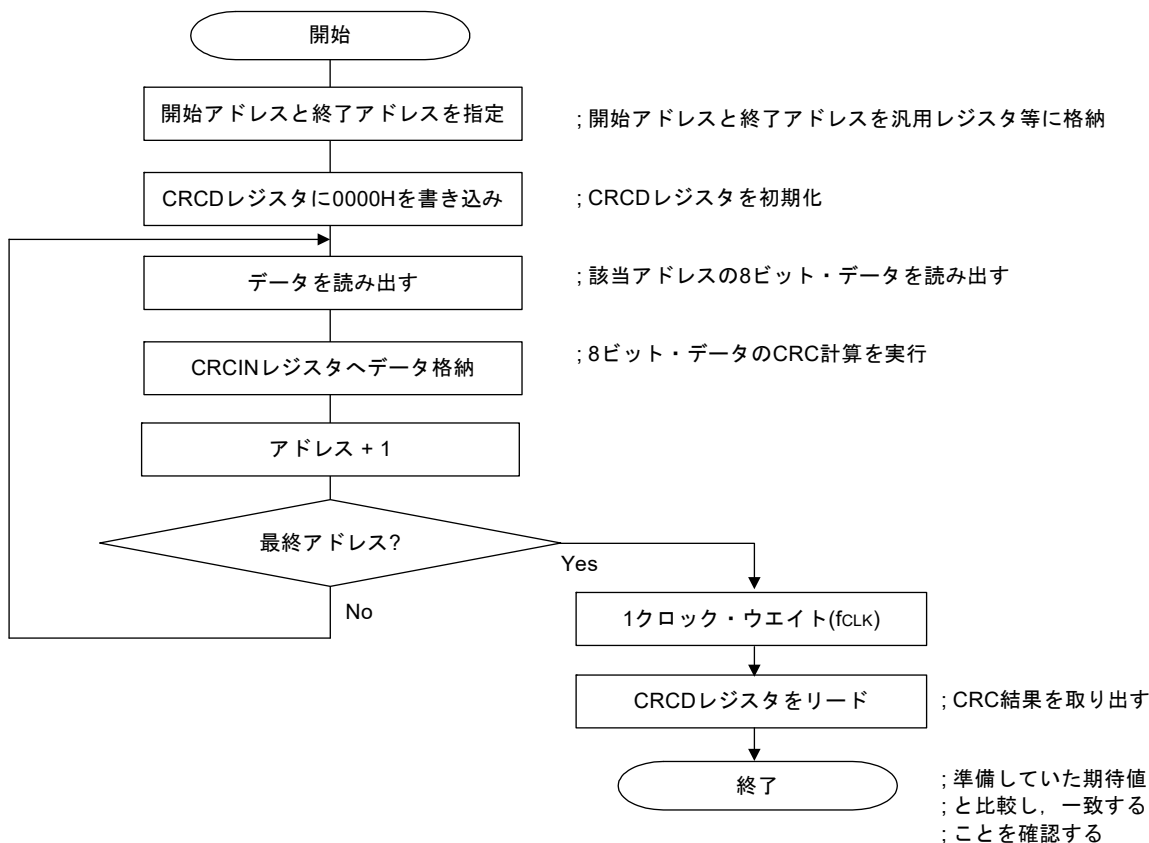


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図27-6 CRCIN演算機能 (汎用CRC)のフロー・チャート



27.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/I1EのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

27.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図27-7 RAMパリティ・エラー制御レジスタ (RPECTL)のフォーマット

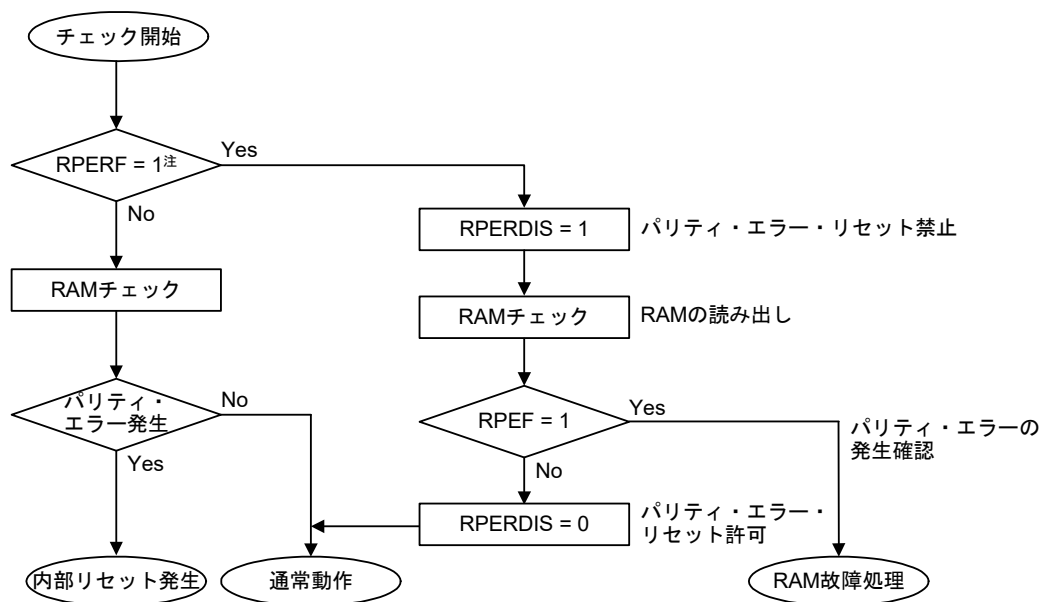
アドレス : F00F5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

- 備考1. 初期状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)になっています。
- 備考2. パリティ・エラー・リセット発生禁止(RPERDIS = 1)を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット(1)されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)に設定すると、RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。
- 備考3. RPECTLレジスタのRPEFフラグは、RAMのパリティ・エラーによりリセット(1)され、0の書き込みまたはすべてのリセット要因によりクリア(0)されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
- 備考4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含まれません。

図27-8 RAMパリティチェックフロー



注 RAMパリティ・エラーによる内部リセットの確認は、第24章 リセット機能を参照してください。

27.3.4 RAMガード機能

★

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

27.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1、GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GRAM1	GRAM0	RAMガード空間注					
	0	0	無効。RAMへのライト可能					
	0	1	RAM先頭アドレスから128バイト					
	1	0	RAM先頭アドレスから256バイト					
	1	1	RAM先頭アドレスから512バイト					

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

27.3.5 SFRガード機能

★

SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

27.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
GPORT		ポート機能の制御レジスタのガード						
0		無効。ポート機能の制御レジスタのリード/ライト可能。						
1		有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx 注						
GINT		割り込み機能のレジスタのガード						
0		無効。割り込み機能の制御レジスタのリード/ライト可能。						
1		有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx						
GCSC		クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード						
0		無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。						
1		有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, RPECTL, DSCCTL, RTCCL, PCKC, MCKC						

注 Pxx (ポート・レジスタ)はガードされません。

27.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図27-11で「NG」と記載した範囲になります。

図27-11 不正アクセス検出空間

アドレス	メモリ領域	アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256 バイト			NG
FFF00H FFEFFH	汎用レジスタ 32バイト	OK	OK	NG
FFEE0H FFEDFH				
FDF00H FDEFFH	RAM 8Kバイト			OK
F8000H F7FFFH	使用不可	NG		
F2000H F1FFFH	Mirror 24Kバイト		NG	NG
F1000H F0FFFH	データ・フラッシュ・メモリ 4Kバイト	OK		OK
F0800H F07FFH	使用不可			
F0000H EFFFFH	拡張特殊機能レジスタ (2nd SFR) 2 K バイト		OK	NG
EF000H EEFFFH	使用不可	NG	NG	OK
				NG
10000H 0FFFFH	使用不可	NG	NG	NG
08000H 07FFFH				NG
00000H	コード・フラッシュ・メモリ 32Kバイト	OK		OK

27.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWENビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 12 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
IAWEN ^注	不正メモリ・アクセスの検出制御							
0	不正メモリ・アクセスの検出無効							
1	不正メモリ・アクセスの検出有効							

注 IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイトWDTON = 1 (ウォッチドッグ・タイマ動作許可)のとき、IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

27.3.7 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

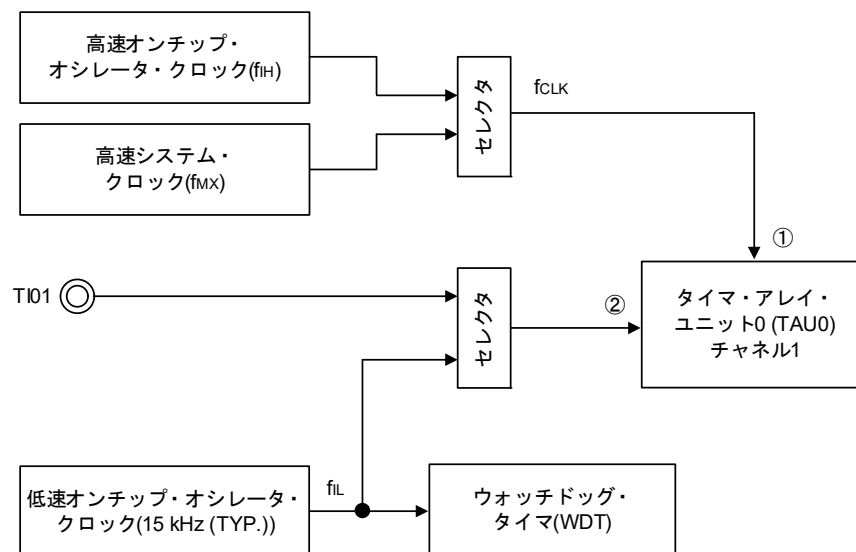
周波数検出機能は、CPU/周辺ハードウェア・クロック周波数 (fCLK) を使用し、タイマ・アレイ・ユニット0 (TAU0)のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。

ただし、片一方のクロック、もしくは両方のクロックが停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

- ① CPU/周辺ハードウェア・クロック周波数 (fCLK) :
 - ・高速オンチップ・オシレータ・クロック (fIH)
 - ・高速システム・クロック (fMX)
- ② タイマ・アレイ・ユニット0のチャンネル1入力 :
 - ・チャンネル1のタイマ入力 (TI01)
 - ・低速オンチップ・オシレータ・クロック (fIL : 15 kHz (TYP.))

図 27 - 13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。入力パルス間隔測定の方法については、6.8.3 入力パルス間隔測定としての動作を参照してください。

27.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0 (TAU0)のチャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 14 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00
TIS04	チャンネル0で使用するタイマ入力の選択							
0	タイマ入力端子(TI00)の入力信号							
1	ELCからのイベント入力信号							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子(TI01)の入力信号					
0	0	1	ELCからのイベント入力信号					
0	1	0	タイマ入力端子(TI01)の入力信号					
0	1	1	タイマ入力端子(TI01)の入力信号					
1	0	0	低速オンチップ・オシレータ・クロック (fil)					
上記以外			設定禁止					

27.3.8 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル(ANI)、内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能(A/Dテスト)アプリケーションノート(R01AN0955)を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

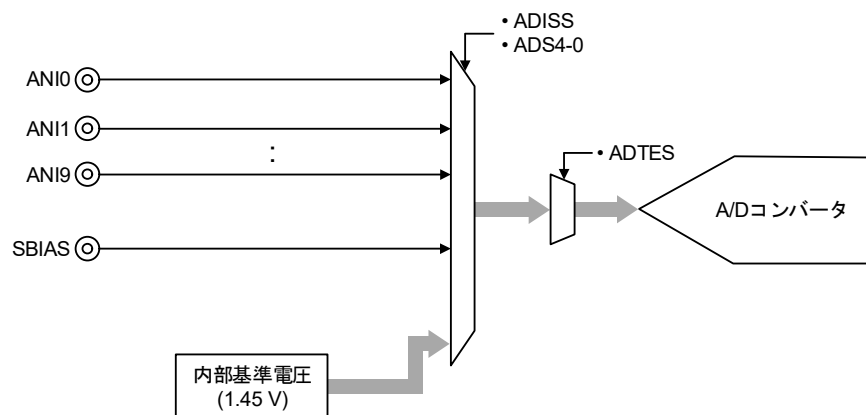
- ① ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ② ANIX端子のA/D変換を行う(変換結果1-1)。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択(ADTES1, ADTES0 = 1, 0)
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う(変換結果2-1)
- ⑤ ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑥ ANIX端子のA/D変換を行う(変換結果1-2)
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択(ADTES1, ADTES0 = 1, 1)
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う(変換結果2-2)
- ⑨ ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑩ ANIX端子のA/D変換を行う(変換結果1-3)
- ⑪ 「変換結果1-1」= 「変換結果1-2」= 「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0, 「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図27 - 15 A/Dテスト機能の構成



27.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にアナログ入力チャンネル (ANlxx), MEMS センサ用バイアス出力電圧, 内部基準電圧 (1.45 V) を選択するレジスタです。

ADTESレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図27 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	アナログ入力チャンネル指定レジスタ (ADS)で設定
0	1	設定禁止
1	0	一側基準電圧 (AVss)
1	1	十側基準電圧 (A/Dコンバータ・モード・レジスタ2 (ADM2)のADREFP1, ADREFP0ビットで選択)

注意 ビット2-7には, 必ず“0”を設定してください。

27.3.8.2 アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

A/Dテスト機能でAN i xx/MEMSセンサ用バイアス出力/内部基準電圧(1.45 V)を測定するときは、A/Dテスト・レジスタ(ADTES)を00Hに設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-17 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	1	0	0	0	ANI0	ANI0端子注
0	0	1	0	0	1	ANI1/AMP00	ANI1/AMP00端子
0	0	1	0	1	0	ANI2/ANX0	ANI2/AMP0N/ANX0端子
0	0	1	0	1	1	ANI3/ANX1	ANI3/AMP0P/ANX1端子
0	0	1	1	0	0	ANI4/AMP10	ANI4/AMP10端子
0	0	1	1	0	1	ANI5/ANX2	P42/ANI5/AMP1N/ANX2端子
0	0	1	1	1	0	ANI6/ANX3	P41/ANI6/AMP1P/ANX3端子
0	0	1	1	1	1	ANI7/AMP20	ANI7/AMP20端子
0	1	0	0	0	0	ANI8/ANX4	P17/ANI8/AMP2N/ANX4端子注
0	1	0	0	0	1	ANI9/ANX5	P16/ANI9/AMP2P/ANX5端子
0	1	0	0	1	0	—	SBIAS端子
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V)
上記以外						設定禁止	

注 32ピン製品では設定しないでください。

注意1. ビット5, 6には必ず0を設定してください。

注意2. PMCレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ1, 4(PM1, PM4)で入力モードに選択してください。

注意3. ポート・モード・コントロール・レジスタ1, 4(PMC1, PMC4)でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意5. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧出力(1.45 V)は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、16.7.4 A/Dコンバータ用内部基準電圧を選択時の設定(例 ソフトウェア・トリガ・モード、ワンショット変換モード時)を参照してください。

注意6. STOPモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、33.3.2または34.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(IADREF)の電流値が加算されます。

27.3.9 入出力端子のデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルをリードすることができます。

27.3.9.1 ポート・モード選択レジスタ (PMS)

端子が出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 18 ポート・モード選択レジスタ(PMS)のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	端子が出力モード時にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

注意1. PMSレジスタのPMS0ビットを“1”に設定時は、ビット操作命令でポート・レジスタ(Pxx)を書き換えしないでください。ポート・レジスタ(Pxx)を書き換える場合は、8ビット・データ操作命令を使用してください。

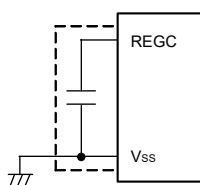
注意2. タイマRDのパルス出力強制遮断機能でハイインピーダンス状態となっている端子に対して端子のデジタル出力レベルを読み出すと、読み出した値は“0”になります。

備考 m = 1, 4
 n = 0-7

第28章 レギュレータ

28.1 レギュレータの概要

RL78/I1Eは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表28-1のようになります。

表28-1 レギュレータ出力電圧条件

モード	出力電圧	条件
HS (高速メイン)モード	1.86 V	STOPモード時
	2.1 V	上記以外(オンチップ・デバッグ中を含む) ^注

注 オンチップ・デバッグ中に、低速オンチップ・オシレータ・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します(1.86 Vにはなりません)。

第29章 オプション・バイト

29.1 オプション・バイトの機能

RL78/I1Eのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト(000C0H-000C2H)とオンチップ・デバッグ・オプション・バイト(000C3H)で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

29.1.1 ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可／禁止
 - ・HALT/STOPモード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - ・インターバル割り込みを使用する／使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

- LVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ(RESET端子による外部リセット入力を使用)
- LVD検出レベル(VLVDH, VLVDL, VLVD)の設定

注意1. 電源立ち上がり時は、33.4 または 34.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

注意2. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください

- (3) 000C2H/010C2H
- フラッシュの動作モード設定
 - ・ HS (高速メイン)モード
 - 高速オンチップ・オシレータの周波数設定
 - ・ 1 MHz～32 MHz から選択

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

29.1.2 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)

- オンチップ・デバッグ動作制御
 - ・ オンチップ・デバッグ動作禁止／許可
- セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理
 - ・ オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

29.2 ユーザ・オプション・バイトのフォーマット

図29-1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット

アドレス : 000C0H/010C0H注1

略号	7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDSC2	WDSC1	WDSC0	WDSTBYON	
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用							
0	インターバル割り込みを使用しない							
1	オーバフロー時間の75% + 1/2 f _{IL} 到達時にインターバル割り込みを発生する							
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間注2						
0	0	設定禁止						
0	1	50%						
1	0	75%						
1	1	100%						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御							
0	カウンタ動作禁止(リセット解除後, カウント停止)							
1	カウンタ動作許可(リセット解除後, カウント開始)							
WDSC2	WDSC1	WDSC0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)					
0	0	0	2 ⁶ /f _{IL} (3.71 ms)					
0	0	1	2 ⁷ /f _{IL} (7.42 ms)					
0	1	0	2 ⁸ /f _{IL} (14.84 ms)					
0	1	1	2 ⁹ /f _{IL} (29.68 ms)					
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)					
1	0	1	2 ¹³ /f _{IL} (474.90 ms)					
1	1	0	2 ¹⁴ /f _{IL} (949.80 ms)					
1	1	1	2 ¹⁶ /f _{IL} (3799.19 ms)					
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)							
0	HALT/STOPモード時, カウンタ動作停止注2							
1	HALT/STOPモード時, カウンタ動作許可							

注1. ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

注2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図29-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/4)

アドレス : 000C1H/010C1H^注

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値							
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定		
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0	
3.02 V	2.96 V	2.55 V	0	0	0	0	1	1	0	
3.22 V	3.15 V					0	0			
4.42 V	4.32 V	0				0				
4.62 V	4.52 V	1				0				
3.32 V	3.15 V	1				1	0			1
4.74 V	4.64 V	0				0				
—			上記以外は設定禁止							

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、33.6.8または34.6.8 LVD回路特性を参照してください。

図29-3 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/4)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.61 V	2.55 V	0	0	0	1	1	1	1
2.81 V	2.75 V		1	1	1	1		
3.02 V	2.96 V		0	0	0	1		
3.22 V	3.15 V		1	1	0	1		
4.42 V	4.32 V		0	1	0	0		
4.62 V	4.52 V		1	0	0	0		
4.74 V	4.64 V		1	1	0	0		
—			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、33.6.8または34.6.8 LVD回路特性を参照してください。

図29-4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(3/4)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.61 V	2.55 V	0	0	0	1	1	0	1
2.81 V	2.75 V		1	1	1	1		
3.02 V	2.96 V		0	0	0	1		
3.22 V	3.15 V		1	1	0	1		
4.42 V	4.32 V		0	1	0	0		
4.62 V	4.52 V		1	0	0	0		
4.74 V	4.64 V		1	1	0	0		
—			上記以外は設定禁止					

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、33.6.8または34.6.8 LVD回路特性を参照してください。

図29-5 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(4/4)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDオフの設定(RESET端子による外部リセット入力を使用)

検出電圧		オプション・バイト設定値						
VLVDH		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、33.4または34.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. × : Don't care

備考2. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、33.6.8または34.6.8 LVD回路特性を参照してください。

図29 - 6 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス : 000C2H/010C2H注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
CMODE1	CMODE0	フラッシュの動作モード設定					
					動作周波数範囲 (fMAIN)	動作電圧範囲 (VDD)	
1	1	HS (高速メイン)モード			1 MHz ~ 16 MHz	2.4 V ~ 5.5 V	
					1 MHz ~ 32 MHz	2.7 V ~ 5.5 V	
上記以外		設定禁止					
FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータ・クロックの周波数 (fHOCO)			
1	0	0	0	32 MHz			
0	0	0	0	24 MHz			
1	0	0	1	16 MHz			
0	0	0	1	12 MHz			
1	0	1	0	8 MHz			
0	0	1	0	6 MHz			
1	0	1	1	4 MHz			
0	0	1	1	3 MHz			
1	1	0	0	2 MHz			
1	1	0	1	1 MHz			
上記以外				設定禁止			

注 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5には、必ず1を書き込んでください。また、ビット4には、必ず0を書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、33.4または34.4 AC特性を参照してください。

29.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図29-7 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)のフォーマット

アドレス : 000C3H/010C3H注

略号	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去しない						

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD)のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値(0, 1, 0)を設定してください。

29.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	16H	;VLVDLに2.55 Vを選択 ;VLVDHに立ち上がり3.02 V, 立ち下がり2.96 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB	EDH	;フラッシュの動作モードにHS (高速メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

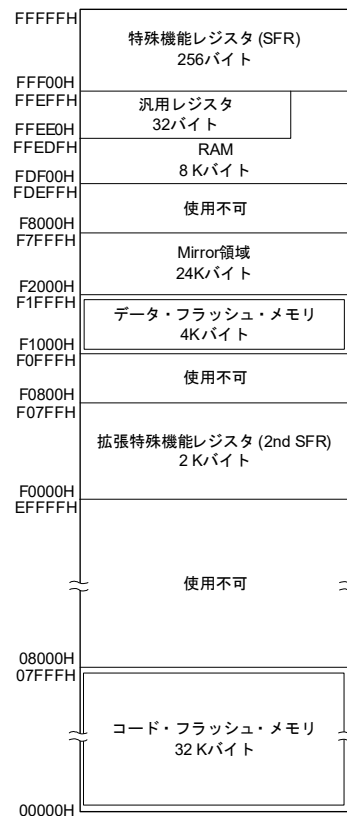
セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		16H	;VLVDLに2.55 Vを選択 ;VLVDHに立ち上がり3.02 V, 立ち下がり2.96 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB		EDH	;フラッシュの動作モードにHS (高速メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB		85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第30章 フラッシュ・メモリ

RL78マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス (UART 通信) によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング (30.1 参照)

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

- 外部デバイス (UART 通信) によるシリアル・プログラミング (30.2 参照)

外部デバイス (マイコンや ASIC) との UART 通信を使用してオンボード上で書き込みができます。

- セルフ・プログラミング (30.6 参照)

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます (バックグラウンド・オペレーション)。データ・フラッシュへのアクセスや書き込みについては、

30.8 データ・フラッシュ を参照してください。

30.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP5, FL-PR5
- E1オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ (FAシリーズ)などでフラッシュ・メモリに書き込みます。

備考 FL-PR5, FAシリーズは、(株)内藤電誠町田製作所の製品です。

表 30 - 1 RL78/I1Eと専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラム接続端子				端子名	ピン番号	
信号名		入出力	端子機能		32ピン	36ピン
PG-FP5, FL-PR5	E1オンチップデバッグ エミュレータ			入出力	端子機能	
—	TOOL0	入出力	送受信信号	TOOL0/P40	1	B5
SI/RxD	—	入出力	送受信信号			
—	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	2	A4
/RESET	—	出力				
VDD		入出力	VDD電圧生成/電源監視	VDD	8	A1
GND		—	グランド	Vss	7	B1
				REGC ^注	6	B2
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD	8	A1

注 REGC端子はコンデンサ(0.47～1μF)を介してグランドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラムによるプログラミング時にはオープンで構いません。

30.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図 30 - 1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

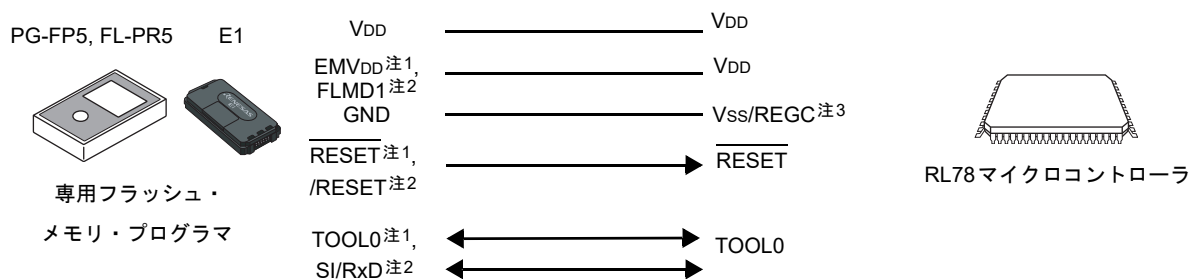
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインターフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。

30.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図 30 - 2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1オンチップデバッグエミュレータ使用時。

注2. PG-FP5, FL-PR5使用時。

注3. REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはE1オンチップデバッグエミュレータのマニュアルを参照してください。

表30-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78マイクロコントローラ		
信号名		入出力	端子機能	端子名注2
PG-FP5, FL-PR5	E1オンチップデバッグエミュレータ			
V _{DD}		入出力	V _{DD} 電圧生成/電圧監視	V _{DD}
GND		—	グラウンド	V _{SS} , REGC注1
FLMD1	EMV _{DD}	—	TOOL0端子駆動電源	V _{DD}
/RESET	—	出力	リセット信号	$\overline{\text{RESET}}$
—	$\overline{\text{RESET}}$	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

注2. 接続先端子は、製品によって異なります。詳細は、表30-1を参照してください。

30.2 外部デバイス(UART内蔵)によるシリアル・プログラミング

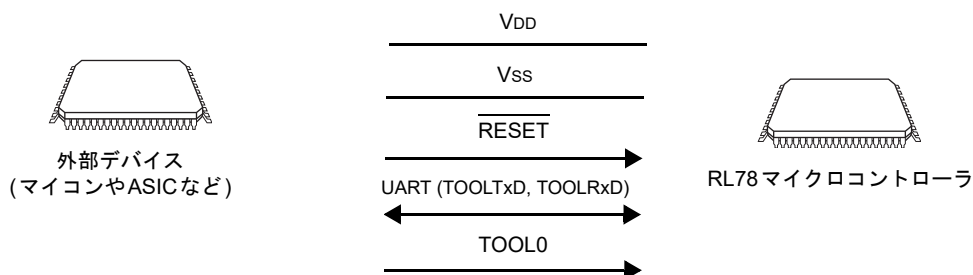
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス(マイコンやASIC)を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

30.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30-3 フラッシュ・メモリにプログラムを書き込むための環境



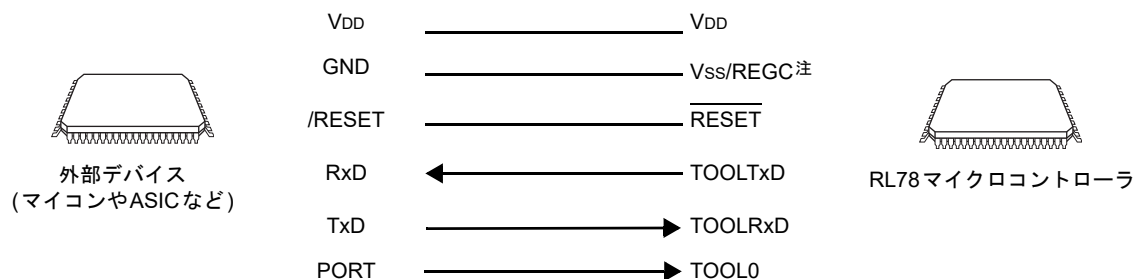
外部デバイスからRL78マイクロコントローラに書き込み/消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

30.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図30 - 4 外部デバイスとの通信



注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表30 - 3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD 電圧生成/電圧監視	VDD
GND	—	グラウンド	Vss, REGC注
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

30.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、30.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

30.3.1 P40/TOOL0 端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 kΩの抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時： 外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

出力時： プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。33.10または34.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

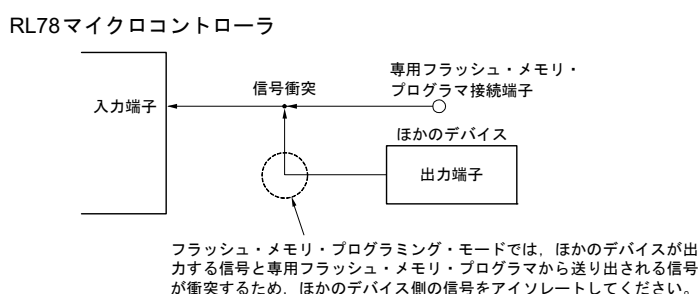
備考2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子)を使用するので、SAUやIICAの端子は使用しません。

30.3.2 RESET 端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図30-5 信号の衝突(RESET端子)



30.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}またはV_{SS}に接続するなどの端子処理が必要です。

30.3.4 REGC 端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ(0.47~1 μF)を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

30.3.5 X1, X2 端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (f_{IH}) を使用します。

30.3.6 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラムのV_{DD}に、V_{SS}端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

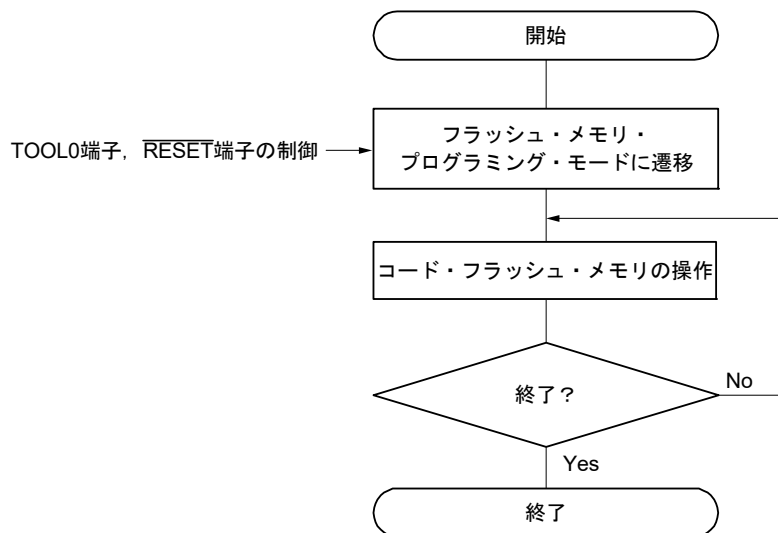
ただしフラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、V_{DD}、V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}、GNDと必ず接続してください。

30.4 プログラミング方法

30.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図30-6 コード・フラッシュ・メモリの操作手順



30.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

RL78 マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

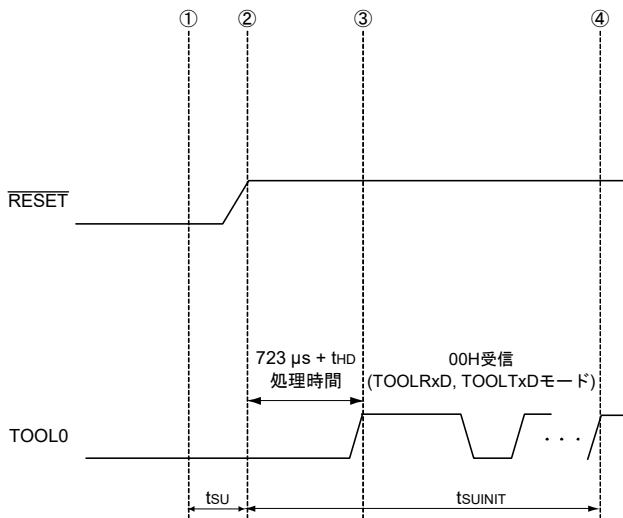
＜外部デバイスを使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後、リセットを解除します(表30-4参照)。その後、図30-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78 マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表30-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図30-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。
 tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
 tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

詳細は、33.10または34.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。しかし、RL78/I1Eでは、モード選択は、フルスピード・モードしかサポートしていません。書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表30-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

電源電圧(V _{DD})	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数(fCLK)	
2.7 V ≤ V _{DD} ≤ 5.5 V	ブランク状態		フルスピード・モード
	HS(高速メイン)モード	1 MHz~32 MHz	フルスピード・モード
2.4 V ≤ V _{DD} < 2.7 V	ブランク状態		フルスピード・モード
	HS(高速メイン)モード	1 MHz~16 MHz	フルスピード・モード

備考 通信コマンドの詳細は、30.4.4 通信コマンドを参照してください。

30.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表 30 - 6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・ プログラマ使用時, また は外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

30.4.4 通信コマンド

RL78マイクロコントローラは、表30-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表30-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます注。
情報取得	Silicon Signature	RL78マイクロコントローラ情報(品名, フラッシュ・メモリ構成, プログラミング用ファームウェア・バージョンなど)を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報(品名, ファームウェア・バージョンなど)を取得することができます。

表30-8 シグネチャ・データ一覧, 表30-9 シグネチャ・データ例を示します。

表30-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名(ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-07FFFH (32 KB) → FFH, 7FH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F1FFFH (8 KB) → FFH, 1FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表30-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ(16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F11CBC	10バイト	52 = "R" 35 = "5" 46 = "F" 31 = "1" 31 = "1" 43 = "C" 42 = "B" 43 = "C" 20 = " " 20 = " "
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-07FFFH (32 KB)	3バイト	FF 7F 00
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F1FFFH (4 KB)	3バイト	FF 1F 0F
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

30.5 PG-FP5使用時の各コマンド処理時間(参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の各コマンド処理時間(参考値)を次に示します。

表30 - 10 PG-FP5使用時の各コマンド処理時間(参考値)

PG-FP5のコマンド	Port: TOOL0 (UART)
	Speed: 1M bps
	32 Kバイト
消去	1 s
書き込み	1.5 s
ベリファイ	1.5 s
消去後、書き込み	2 s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード(フラッシュ動作モード: HS(高速メイン)モード)

30.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

注意2. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作(HIOSTOP = 0)させ、30 μ s経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1. セルフ・プログラミング機能の詳細は、RL78 マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル(R01US0050)を参照してください。

備考2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるフルスピード・モードがあります。

HS (高速メイン)モード設定時はフルスピード・モードに設定してください。

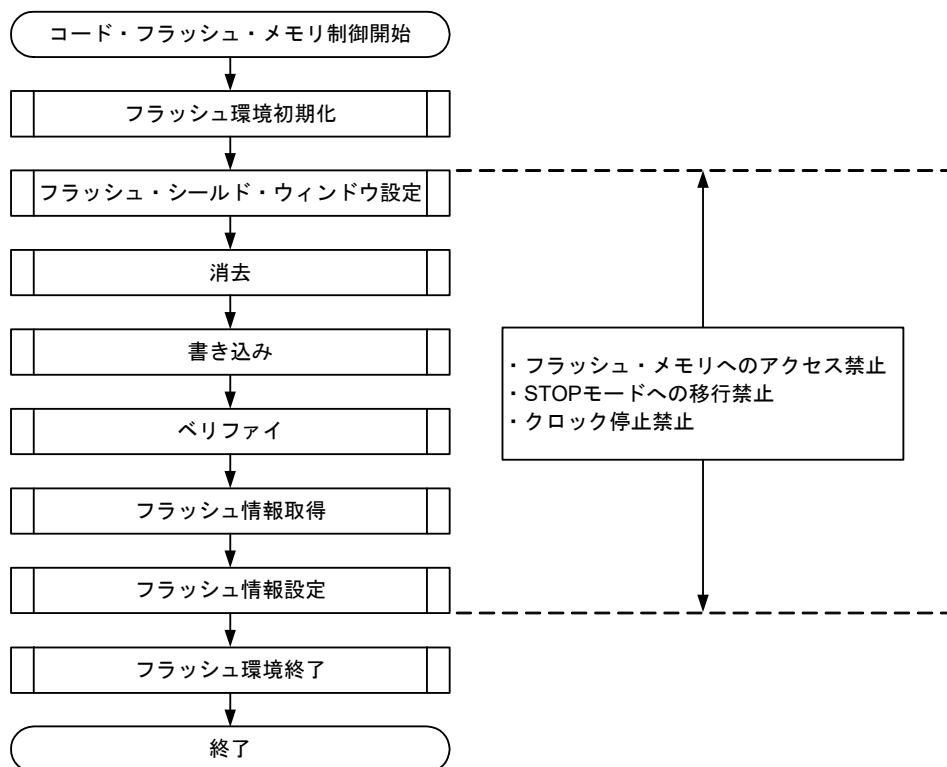
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

30.6.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図30-8 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ



30.6.2 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

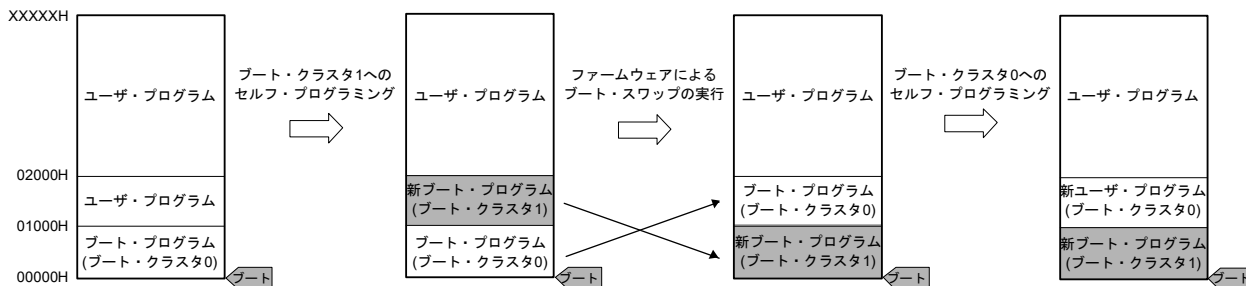
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^注の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78 マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図30-9 ブート・スワップ機能

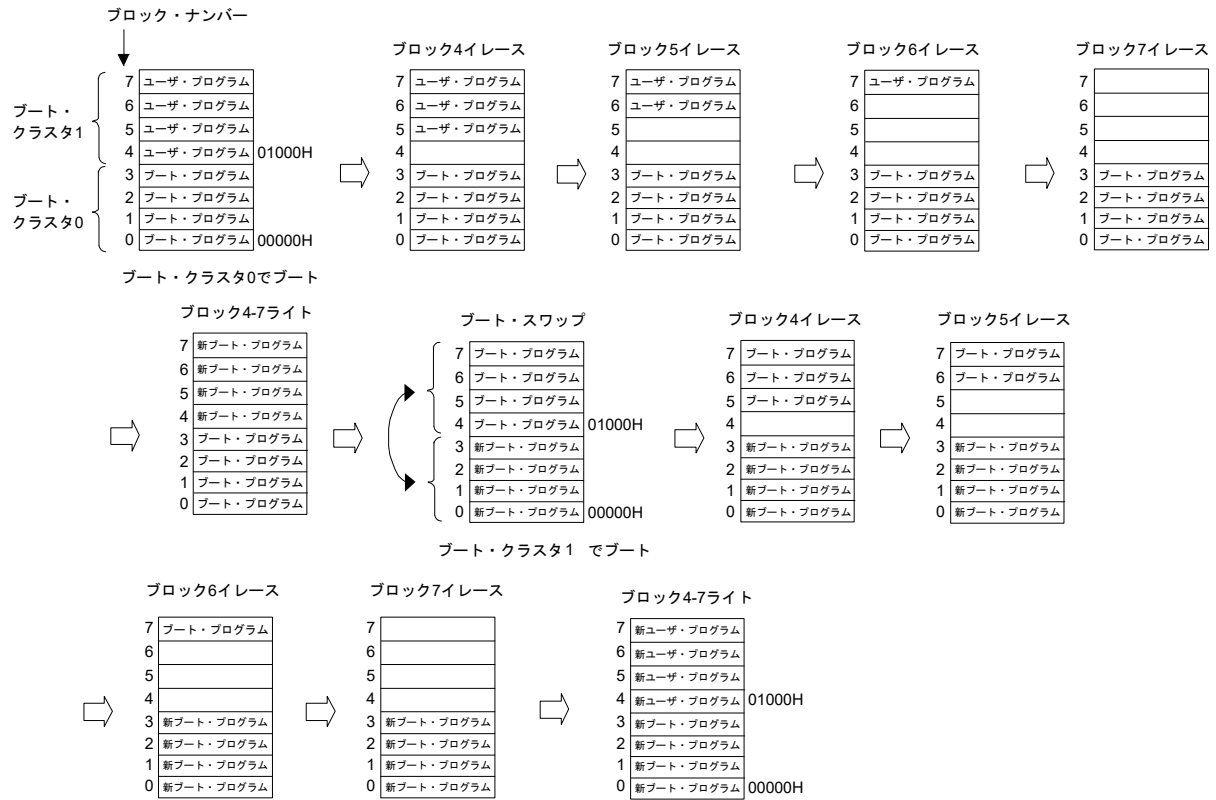


この図の例では、次のようになっています。

ブート・クラスタ0：ブート・スワップ前のブート領域です。

ブート・クラスタ1：ブート・スワップ後のブート領域です。

図30-10 ブート・スワップの実行例



30.6.3 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図30-11 フラッシュ・シールド・ウインドウの設定例
(対象デバイス：R5F11CBC, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



- 注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。
- 注意2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表30-11 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み/消去を禁止したい場合には、30.7 セキュリティ設定を参照してください。

30.7 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Set コマンドを使用することにより、次の操作をすることができます。

- ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

シリアル・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。

- ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 30-12 に示します。

注意 ただし、フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は30.6.3を参照)。

表 30 - 12 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います (詳細は30.6.3を参照)。

表 30 - 13 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマの GUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマの GUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート・クラスタ0の書き換え禁止」に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない (シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマの GUI上などで設定する)
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

30.8 データ・フラッシュ

30.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、「RL78ファミリ データ・フラッシュ・ライブラリ Type04」を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は可能(バックグラウンド・オペレーション(BGO)対応)
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中(セルフ・プログラミング時)に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を必ず設定してください。

注意2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、30.6 セルフ・プログラミングを参照してください。

30.8.2 データ・フラッシュを制御するレジスタ

30.8.2.1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30 - 12 データ・フラッシュ・コントロール・レジスタ (DFLCTL)のフォーマット

アドレス : F0090H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN
DFLEN	データ・フラッシュのアクセス制御							
0	データ・フラッシュのアクセス禁止							
1	データ・フラッシュのアクセス許可							

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

30.8.3 データ・フラッシュへのアクセス手順

リセット解除後の初期状態では、データ・フラッシュは停止状態であり、そのままではアクセス(リードおよびプログラミング)はできません。アクセスするには以下の手順を行ってください。

- ①データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0(DFLEN)に“1”を書き込む。
- ②ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各モードによって異なります。
<各メイン・クロック・モードでのセットアップ時間>
・HS(高速メイン)モード時： 5 μ s
- ③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

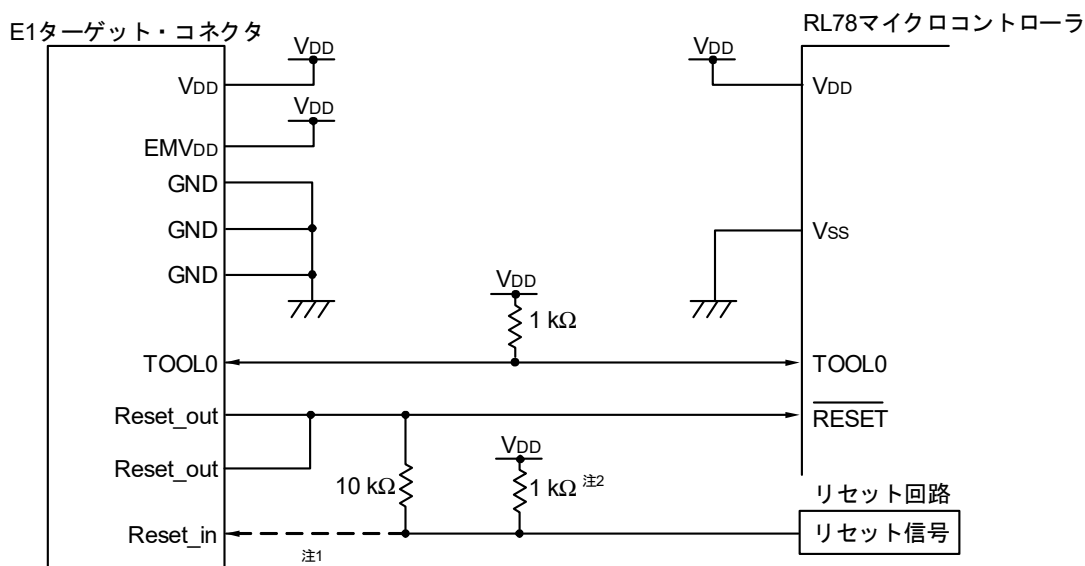
第31章 オンチップ・デバッグ機能

31.1 E1オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、 $\overline{\text{RESET}}$ 、TOOL0、 V_{SS} 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図31-1 E1オンチップデバッグエミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

31.2 オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第29章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H, 000C4H-000CDHと010C3H, 010C4H-010CDHが切り替わるので、あらかじめ010C3H, 010C4H-010CDHにも同じ値を設定してください。

表31-1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

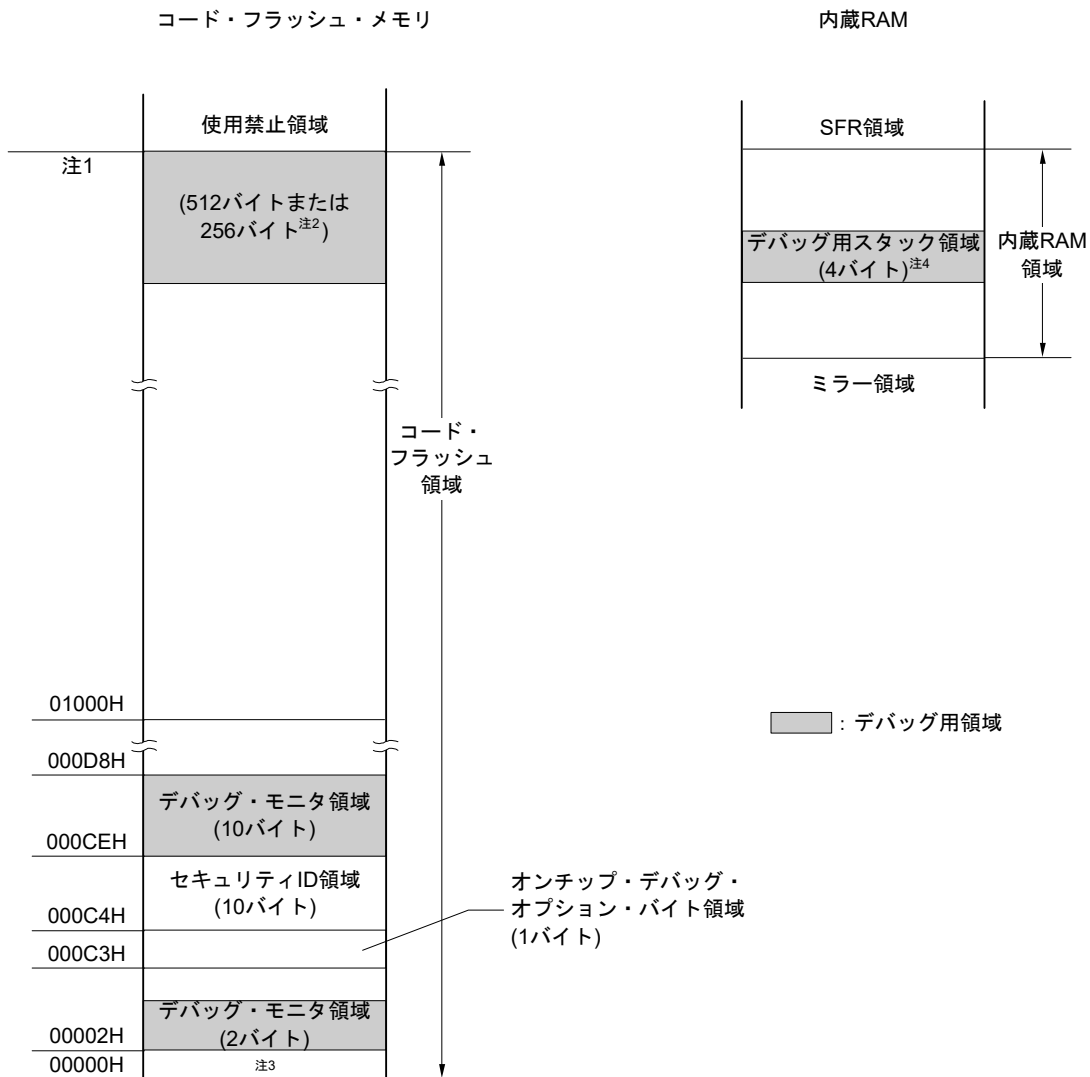
31.3 ユーザ資源の確保

RL78 マイクロコントローラとE1オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図31-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図31-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名(コード・フラッシュ・メモリ容量)	注1のアドレス
R5F11Cx C (x = B, C)	07FFFH

注2. リアルタイムRAMモニタ(RRM)機能, Dynamic Memory Modification (DMM)機能を使用しない場合は256バイトになります。

注3. デバッグ時, リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため, スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し, 4バイト余分に消費します。

セルフ・プログラミングを行う場合は, 12バイト余分に消費します。

第32章 10進補正(BCD)回路

32.1 10進補正回路の機能

BCDコード(2進化10進数)とBCDコード(2進化10進数)の加減算結果を、BCDコード(2進化10進数)で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ(BCDADJ)を加減算することで10進補正演算結果が求められます。

32.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- BCD補正結果レジスタ(BCDADJ)

32.2.1 BCD補正結果レジスタ(BCDADJ)

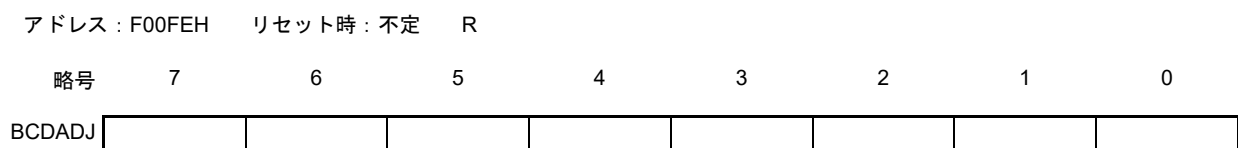
BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図32-1 BCD補正結果レジスタ(BCDADJ)のフォーマット



32.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

- ①加算したいBCDコード値(被加算値)をAレジスタに格納する。
- ②Aレジスタと第2オペランドの値(もう1つの加算したいBCDコード値, 加算値)を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での加算結果)とBCDADJレジスタの値(補正値)を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ;①	99H	—	—	—
ADD A, #89H ;②	22H	1	1	66H
ADD A, !BCDADJ ;③	88H	1	0	—

例2 $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ;①	85H	—	—	—
ADD A, #15H ;②	9AH	0	0	66H
ADD A, !BCDADJ ;③	00H	1	1	—

例3 $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ;①	80H	—	—	—
ADD A, #80H ;②	00H	1	0	60H
ADD A, !BCDADJ ;③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ①減算されるBCDコード値(被減算値)をAレジスタに格納する。
- ②Aレジスタから第2オペランドの値(減算するBCDコード値, 減算値)を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での減算結果)からBCDADJレジスタの値(補正值)を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令		Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #91H ;①	91H	—	—	—
SUB	A, #52H ;②	3FH	0	1	06H
SUB	A, !BCDADJ ;③	39H	0	0	—

第33章 電気的特性(G: TA = -40 ~ +105 °C)

この章では、G : 産業用途(TA = -40 ~ +105 °C)の電気的特性を示します。

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. 製品により搭載している端子が異なります。2.1 ポート機能~2.2 ポート以外の機能を参照してください。

注意3. TA = +85 °C ~ +105 °Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

備考 G : 産業用途(TA = -40 ~ +105 °C)の電気的特性は、“M : 産業用途”と異なります。詳細は、このページ以降の33.1~33.10を参照してください。

33.1 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位	
電源電圧	VDD		-0.5 ~ +6.5	V	
	AVDD	AVDD = VDD	-0.5 ~ +6.5	V	
	AVSS	AVSS = VSS	-0.5 ~ +0.3	V	
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD + 0.3注1	V	
REGA端子入力電圧	VIREGA	REGA	-0.3 ~ +2.8 かつ -0.3 ~ AVDD + 0.3注2	V	
入力電圧	Vi1	P10-P15, P40, P121, P122, P137, EXCLK, RESET	-0.3 ~ VDD + 0.3注3	V	
兼用端子入力電圧	Vi2	P16, P17, P41, P42 (36ピン製品のみ)	デジタル入力電圧	-0.3 ~ VDD + 0.3注3	V
			アナログ入力電圧	-0.3 ~ AVDD + 0.3注3	V
アナログ入力電圧	ViA	PGA0P-PGA3P, PGA0N-PGA3N, ANI0-ANI9, ANX0-ANX5	-0.3 ~ AVDD + 0.3注3	V	
出力電圧	Vo1	P10-P15, P40	-0.3 ~ VDD + 0.3注3	V	
兼用端子出力電圧	Vo2	P16, P17, P41, P42 (36ピン製品のみ)	デジタル出力電圧	-0.3 ~ VDD + 0.3注3	V
			アナログ出力電圧	-0.3 ~ AVDD + 0.3注3	V
アナログ出力電圧	VoA	SBIAS, AMP00-AMP20, ANX0-ANX5	-0.3 ~ AVDD + 0.3注3	V	

注1. REGC端子にはコンデンサ(0.47 ~ 1 μF)を介してVSSに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. REGA端子にはコンデンサ(0.22 μF)を介してAVSSに接続してください。この値は、REGA端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注3. 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. VSSを基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P10-P17, P40-P42	-40	mA
		端子合計	P10-P17, P41, P42注	-100	mA
アナログ・ハイ・レベル出力電流	IOHA	1端子	AMP00-AMP20	-12	mA
			ANX0-ANX5	-0.12	mA
		端子合計	AMP00-AMP20, ANX0-ANX5	-18	mA
ロウ・レベル出力電流	IOL1	1端子	P10-P17, P40-P42	40	mA
		端子合計	P10-P17, P41, P42注	100	mA
アナログ・ロウ・レベル出力電流	IOLA	1端子	AMP00-AMP20	12	mA
			ANX0-ANX5	0.12	mA
		端子合計	AMP00-AMP20, ANX0-ANX5	18	mA
動作周囲温度	TA	通常動作時		-40 ~ + 105	°C
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			-65 ~ + 150	°C

注 P16, P17, P41, P42はデジタル入力で使用した場合の合計電流値です。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. V_{ss}を基準電圧とする。

33.2 発振回路特性

33.2.1 X1特性

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数(fx)注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 X1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

33.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1,2	f _{IH}	2.7 V ≤ VDD ≤ 5.5 V	1		32	MHz
		2.4 V ≤ VDD < 2.7 V	1		16	MHz
高速オンチップ・オシレータ・クロック周波数精度		-40 ~ +105 °C 2.4 V ≤ VDD ≤ 5.5 V	-2.0		+2.0	%
低速オンチップ・オシレータ・クロック周波数	f _{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

33.2.3 PLL発振回路特性

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

発振子	略号	条件			MIN.	TYP.	MAX.	単位
PLL出力周波数 ^{注1, 2, 3}	f _{PLL}	f _{MX} = 8 MHz	DSFRDIV = 0	DSCM = 0		48		MHz
				DSCM = 1		64		MHz
			DSFRDIV = 1	DSCM = 0		24		MHz
				DSCM = 1		32		MHz
		f _{MX} = 4 MHz	DSFRDIV = 0	DSCM = 0		24		MHz
				DSCM = 1		32		MHz
ロックアップ・ウエイト時間		PLL出力許可から周波数安定までの待ち時間			40			μs
インターバル・ウエイト時間		PLL停止→PLL再動作設定 待ち時間			4			μs
設定ウエイト時間		PLL入カクロック安定かつPLL設定確定後 →起動設定の必要待ち時間			1			μs

注1. PLLを使用する際、PLLへの入カクロックは4 MHzまたは8 MHzを使用してください。

注2. PLLを使用する場合、この設定以外はしないでください。

注3. CPUクロックとして使用する場合、f_{IN}はRDIV1, RDIV0ビットにより、2, 4, 8分周されます。

33.3 DC特性

33.3.1 端子特性

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P10-P17, P40-P42 1端子 ^{注2}	-40 < TA ≤ 85 °C			-10.0 ^{注3}	mA
			85 < TA ≤ 105 °C			-3.0 ^{注3}	mA
		P10-P17, P41, P42 合計 ^{注2} (デューティ ≤ 70%時 ^{注4})	4.0 V ≤ VDD ≤ 5.5 V, -40 < TA ≤ 85 °C			-80.0	mA
			4.0 V ≤ VDD ≤ 5.5 V, 85 < TA ≤ 105 °C			-30.0	mA
			2.7 V ≤ VDD < 4.0 V			-19.0	mA
			2.4 V ≤ VDD < 2.7 V			-10.0	mA
ロウ・レベル出力電流 ^{注1}	IOL1	P10-P17, P40-P42 1端子 ^{注2}	-40 < TA ≤ 85 °C			20.0 ^{注3}	mA
			85 < TA ≤ 105 °C			8.5 ^{注3}	mA
		P10-P17, P41, P42 合計 ^{注2} (デューティ ≤ 70%時 ^{注4})	4.0 V ≤ VDD ≤ 5.5 V, -40 < TA ≤ 85 °C			80.0	mA
			4.0 V ≤ VDD ≤ 5.5 V, 85 °C < TA ≤ 105 °C			40.0	mA
			2.7 V ≤ VDD < 4.0 V			35.0	mA
			2.4 V ≤ VDD < 2.7 V			20.0	mA

注1. VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. P16, P17, P41, P42はデジタル入出力ポートとして使用する場合は、アナログ端子（AFE機能）として使用する場合は、33.1 絶対最大定格を参照してください。

注3. 合計の電流値を越えないでください。

注4. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OH} = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \doteq -8.7 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P10-P15は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P10-P17, P40-P42	通常入力バッファ	0.8 VDD		VDD	V
	VIH2	P11, P12, P14, P15	TTL入力バッファ, 4.0 V ≤ VDD ≤ 5.5 V	2.2		VDD	V
			TTL入力バッファ, 3.3 V ≤ VDD < 4.0 V	2.0		VDD	V
			TTL入力バッファ, 2.4 V ≤ VDD < 3.3 V	1.5		VDD	V
VIH3	P121, P122, P137, EXCLK, RESET		0.8 VDD		VDD	V	
ロウ・レベル入力電圧	VIL1	P10-P17, P40-P42	通常入力バッファ	0		0.2 VDD	V
	VIL2	P11, P12, P14, P15	TTL入力バッファ, 4.0 V ≤ VDD ≤ 5.5 V	0		0.8	V
			TTL入力バッファ, 3.3 V ≤ VDD < 4.0 V	0		0.5	V
			TTL入力バッファ, 2.4 V ≤ VDD < 3.3 V	0		0.32	V
VIL5	P121, P122, P137, EXCLK, RESET		0		0.2 VDD	V	
ハイ・レベル出力電圧	VOH1	P10-P17, P40-P42	4.0 V ≤ VDD ≤ 5.5 V, TA = -40 ~ +85 °C, IOH1 = -10.0 mA	VDD - 1.5			V
			4.0 V ≤ VDD ≤ 5.5 V, 85 °C < TA ≤ 105 °C, IOH1 = -3.0 mA	VDD - 0.7			V
			2.7 V ≤ VDD ≤ 5.5 V, IOH1 = -2.0 mA	VDD - 0.6			V
			2.4 V ≤ VDD ≤ 5.5 V, IOH1 = -1.5 mA	VDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P10-P17, P40-P42	4.0 V ≤ VDD ≤ 5.5 V, TA = -40 ~ +85 °C, IOL1 = 20.0 mA			1.3	V
			4.0 V ≤ VDD ≤ 5.5 V, 85 °C < TA ≤ 105 °C, IOL1 = 8.5 mA			0.7	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL1 = 3.0 mA			0.6	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL1 = 1.5 mA			0.4	V
			2.4 V ≤ VDD ≤ 5.5 V, IOL1 = 0.6 mA			0.4	V

注意 P10-P15は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(3/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力リーク電流	ILIH1	P10-P17, P40-P42	Vi = VDD		1	μA		
	ILIH2	P137, RESET	Vi = VDD		1	μA		
	ILIH3	P121, P122 (X1, X2, EXCLK)	Vi = VDD	入力ポート時, 外部クロック入力時	1	μA		
発振子接続時				10	μA			
ロウ・レベル 入力リーク電流	ILIL1	P10-P17, P40-P42	Vi = VSS		-1	μ		
	ILIL2	P137, RESET	Vi = VSS		-1	μA		
	ILIL3	P121, P122 (X1, X2, EXCLK)	Vi = VSS	入力ポート時, 外部クロック入力時	-1	μA		
発振子接続時				-10	μA			
内蔵プルアップ抵抗	RU	P10-P15, P40	Vi = VSS, 入力ポート時		10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

33.3.2 電源電流特性

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード ^{注2}	fHOCO = 32 MHz, fMAIN = 32 MHz ^{注3}	基本動作	VDD = 5.0 V	2.1		mA
					VDD = 3.0 V		2.1	
			fHOCO = 32 MHz, fMAIN = 32 MHz ^{注3}	通常動作	VDD = 5.0 V	4.8	8.7	mA
					VDD = 3.0 V	4.8	8.7	
			fHOCO = 24 MHz, fMAIN = 24 MHz ^{注3}	通常動作	VDD = 5.0 V	3.8	6.7	
					VDD = 3.0 V	3.8	6.7	
			fHOCO = 16 MHz, fMAIN = 16 MHz ^{注3}	通常動作	VDD = 5.0 V	2.8	4.9	
					VDD = 3.0 V	2.8	4.9	
			fMX = 20 MHz, fMAIN = 20 MHz ^{注4} , VDD = 5.0 V	通常動作	方形波入力	3.3	5.7	mA
					発振子接続	3.5	5.8	
			fMX = 20 MHz, fMAIN = 20 MHz ^{注4} , VDD = 3.0 V	通常動作	方形波入力	3.3	5.7	
					発振子接続	3.5	5.8	
			fMX = 10 MHz, fMAIN = 10 MHz ^{注4} , VDD = 5.0 V	通常動作	方形波入力	2.0	3.4	
					発振子接続	2.1	3.5	
			fMX = 10 MHz, fMAIN = 10 MHz ^{注4} , VDD = 3.0 V	通常動作	方形波入力	2.0	3.4	
					発振子接続	2.1	3.5	
			fMX = 8 MHz, fMAIN = 32 MHz ^{注5} , VDD = 5.0 V	通常動作	方形波入力	5.2	9.2	mA
					発振子接続	5.3	9.3	
fMX = 8 MHz, fMAIN = 32 MHz ^{注5} , VDD = 3.0 V	通常動作	方形波入力	5.2	9.2				
		発振子接続	5.3	9.3				
fMX = 8 MHz, fMAIN = 24 MHz ^{注5} , VDD = 5.0 V	通常動作	方形波入力	5.1	9.1				
		発振子接続	5.2	9.2				
fMX = 8 MHz, fMAIN = 24 MHz ^{注5} , VDD = 3.0 V	通常動作	方形波入力	5.1	9.1				
		発振子接続	5.2	9.2				

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。またMAX. 値には周辺動作電流を含みます。ただし、RTC、インターバル・タイマ、ウォッチドッグ・タイマ、LVD回路、AFE、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 動作電圧範囲、CPU動作周波数の関係を次に示します。

$$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$$

$$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$$

注3. 高速システム・クロックは停止時。

注4. 高速オンチップ・オシレータ、PLLは停止時。

注5. 高速オンチップ・オシレータは停止時。PLL動作時。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数

備考3. fMAIN : メイン・システム・クロック周波数

備考4. TYP.値の温度条件は、TA = 25 °Cです。

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード ^{注3}	fHOCO = 32 MHz, fMAIN = 32 MHz ^{注4}	VDD = 5.0 V	0.54	3.67	mA
				VDD = 3.0 V	0.54	3.67	
			fHOCO = 24 MHz, fMAIN = 24 MHz ^{注4}	VDD = 5.0 V	0.44	2.85	
				VDD = 3.0 V	0.44	2.85	
			fHOCO = 16 MHz, fMAIN = 16 MHz ^{注4}	VDD = 5.0 V	0.40	2.08	
				VDD = 3.0 V	0.40	2.08	
		STOPモード	fMX = 20 MHz, fMAIN = 20 MHz ^{注5} , VDD = 5.0 V	方形波入力	0.28	2.45	mA
				発振子接続	0.49	2.57	
				方形波入力	0.28	2.45	
				発振子接続	0.49	2.57	
				方形波入力	0.19	1.28	
				発振子接続	0.30	1.36	
	STOPモード	fMX = 20 MHz, fMAIN = 20 MHz ^{注5} , VDD = 3.0 V	方形波入力	0.19	1.28	mA	
			発振子接続	0.30	1.36		
		fMX = 10 MHz, fMAIN = 10 MHz ^{注5} , VDD = 5.0 V	方形波入力	0.19	1.28		
			発振子接続	0.30	1.36		
		fMX = 10 MHz, fMAIN = 10 MHz ^{注5} , VDD = 3.0 V	方形波入力	0.19	1.28		
			発振子接続	0.30	1.36		
STOPモード	fMX = 8 MHz, fMAIN = 32 MHz ^{注6} , VDD = 5.0 V	方形波入力	0.91	4.17	μA		
		発振子接続	1.01	4.27			
	fMX = 8 MHz, fMAIN = 32 MHz ^{注6} , VDD = 3.0 V	方形波入力	0.91	4.17			
		発振子接続	1.01	4.27			
	fMX = 8 MHz, fMAIN = 24 MHz ^{注6} , VDD = 5.0 V	方形波入力	0.76	3.27			
		発振子接続	0.86	3.37			
fMX = 8 MHz, fMAIN = 24 MHz ^{注6} , VDD = 3.0 V	方形波入力	0.76	3.27				
	発振子接続	0.86	3.37				
IDD3 ^{注7}	STOPモード	TA = -40 °C		0.38	1.14	μA	
		TA = +25 °C		0.50	1.14		
		TA = +50 °C		0.66	4.52		
		TA = +70 °C		1.04	7.98		
		TA = +85 °C		2.92	16.0		
		TA = +105 °C		11.0	100.0		

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、RTC、インターバル・タイマ、ウォッチドッグ・タイマ、LVD回路、AFE、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 動作電圧範囲、CPU動作周波数の関係を次に示します。

$$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$$

$$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$$

注4. 高速システム・クロックは停止時。

注5. 高速オンチップ・オシレータ、PLLは停止時。

注6. 高速オンチップ・オシレータは停止時。PLL動作時。

注7. MAX.値にはSTOPリーク電流を含みます。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数

備考3. fMAIN : メイン・システム・クロック周波数

備考4. 「STOPモード」以外のTYP.値の温度条件は、TA = 25 °Cです。

・周辺機能

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1				0.20		μA
RTC動作電流	IRTC注1, 2, 3	fMX = 4 MHz, RTCCL設定: 00H (fMX/122)			22		μA
インターバル・タイマ動作電流	IIT注1, 2, 4	fMX = 4 MHz, RTCCL設定: 00H (fMX/122)			22		μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 5, 6	fIL = 15 kHz			0.22		μA
LVD動作電流	ILVD注1, 7				0.08		μA
セルフ・プログラミング動作電流	IFSP注1, 8				2.50	12.20	mA
BGO電流	IBGO注1, 9				2.50	12.20	mA
SNOOZE動作電流	ISNOZ注1	A/Dコンバータ動作注11	モード遷移中注10		0.50	1.10	mA
			変換動作中, AVDD = VDD = 3.0 V		1.20	2.04	
		簡易SPI(CSI)/UART動作			0.70	1.54	
		DTC動作			3.10		

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータは停止時。

注3. リアルタイム・クロック(RTC)にのみ流れる電流です。

動作モードまたはHALTモードでのリアルタイム・クロックの動作時は、IDD1またはIDD2にIRTCを加算した値が、RL78マイクロコントローラの電流値となります。

注4. インターバル・タイマにのみ流れる電流です。動作モードまたはHALTモードでのインターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。

注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。

注6. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。

ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTを加算した値が、RL78マイクロコントローラの電流値となります。

注7. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。

注8. セルフ・プログラミング時に流れる電流です。

注9. データ・フラッシュ書き換え時に流れる電流です。

注10. SNOOZEモードへの移行時間は、23.3.3 SNOOZEモードを参照してください。

注11. AVDDに流れる電流を含みます。

備考1. fMX: 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIL: 低速オンチップ・オシレータ・クロック周波数

備考3. TYP.値の温度条件は、TA = 25 °Cです。

・ AFE機能

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
24ビットΔΣA/Dコンバータ 動作電流	IDSAD	ノーマル・モード注1,2 動作回路: ABGR + REGA + SBIAS + VREFAMP+PGA +24ビットΔΣA/Dコンバータ+デジタル・フィルタ 差動入力 OSR = 256 SBIAS I _{OUT} = 0 mA		0.94	1.46	mA
		ロウ・パワー・モード注1,2 動作回路: ABGR + REGA + SBIAS + VREFAMP+PGA +24ビットΔΣA/Dコンバータ+デジタル・フィルタ 差動入力 OSR = 256 SBIAS I _{OUT} = 0 mA		0.60	0.91	mA
10ビットA/Dコンバータ 動作電流	IADC	最高速変換時注1,2 AVDD = 5.0 V		1.30	1.70	mA
コンフィギュラブル・ アンプ動作電流	IAMP	ノーマル・モード注1,2 動作回路: ABGR + コンフィギュラブル・アンプ I _L = 0 mA 1チャンネル当たり		0.13	0.24	mA
		ハイスピード・モード注1,2 動作回路: ABGR + コンフィギュラブル・アンプ I _L = 0 mA 1チャンネル当たり		0.30	0.45	mA
12ビットD/Aコンバータ 動作電流	IDAC	基準電圧 = AVDD選択時注1,2 動作回路: ABGR + 内部基準電圧 (VREFDA)		0.61	0.97	mA

注1. AVDDに流れる電流です。

注2. 条件欄に示す動作回路のみに流れる電流です。

33.4 AC特性

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

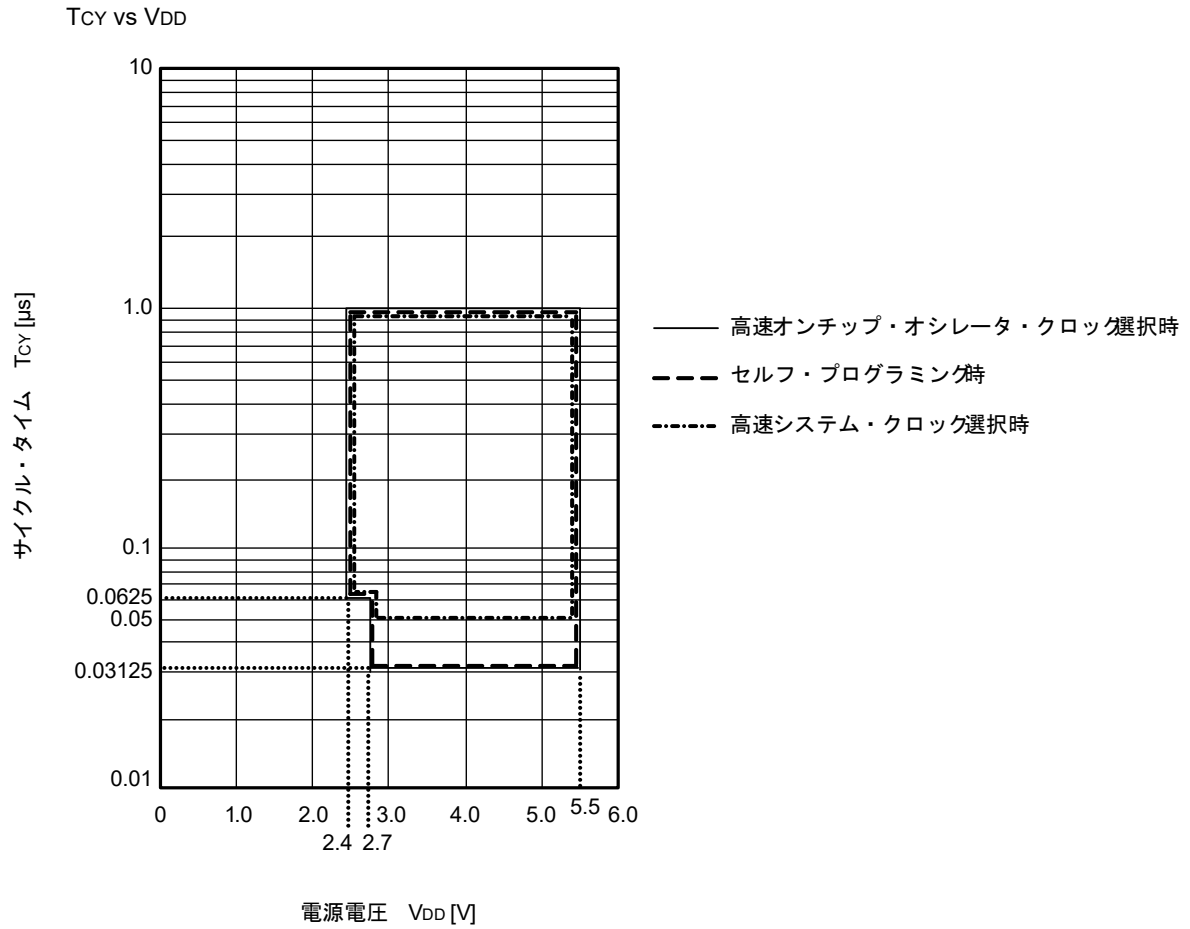
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN)	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
		動作	2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
		セルフ・プログラミング時	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
			2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
外部システム・クロック 周波数	fEX	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz	
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	MHz	
外部システム・クロック 入力ハイ、ロウ・レベル幅	tEXH,	2.7 V ≤ VDD ≤ 5.5 V	24			ns	
	tEXL	2.4 V ≤ VDD < 2.7 V	30			ns	
TI00-TI03, TI10, TI11 入力ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL		1/fMCK + 10			ns	
タイマRJ入力サイクル	tc	TRJIO0	2.7 V ≤ VDD ≤ 5.5 V	100			ns
			2.4 V ≤ VDD < 2.7 V	300			ns
タイマRJ入力ハイ・レベル 幅、ロウ・レベル幅	tTJH, tTJL	TRJIO0	2.7 V ≤ VDD ≤ 5.5 V	40			ns
			2.4 V ≤ VDD < 2.7 V	120			ns
タイマRG入力ハイ・レベ ル幅、ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB		2.5/fCLK			ns
TO00-TO03, TO10, TO11, TRJIO0, TRJO0, TRGIOA, TRGIOB出力周波数	fTO		4.0 V ≤ VDD ≤ 5.5 V			16	MHz
			2.7 V ≤ VDD ≤ 4.0 V			8	MHz
			2.4 V ≤ VDD < 2.7 V			4	MHz
PCLBUZ0出力周波数	fPCL		4.0 V ≤ VDD ≤ 5.5 V			16	MHz
			2.7 V ≤ VDD ≤ 4.0 V			8	MHz
			2.4 V ≤ VDD < 2.7 V			4	MHz
割り込み入力ハイ・レベル 幅、ロウ・レベル幅	tINTH, tINTL	INTP0-INTP7		1			μs
RESETロウ・レベル幅	tRSL			10			μs

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

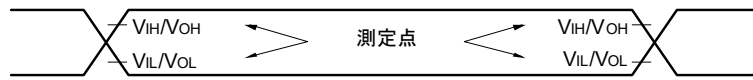
(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3))

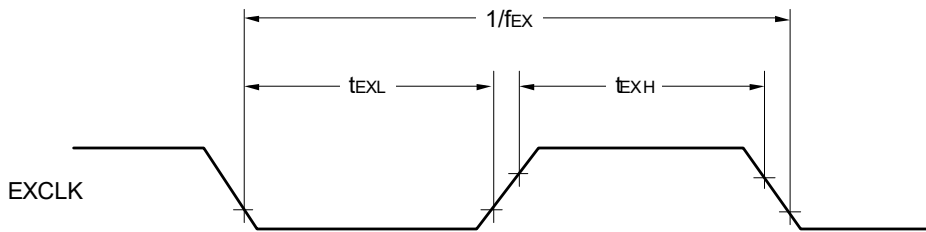
メイン・システム・クロック動作時の最小命令実行時間



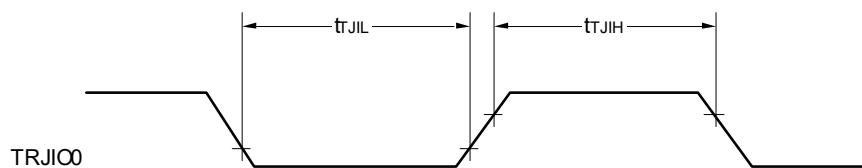
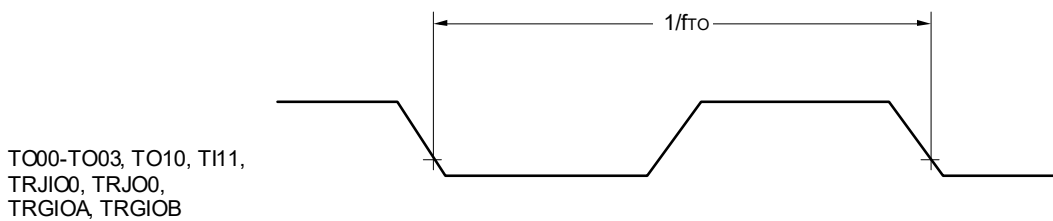
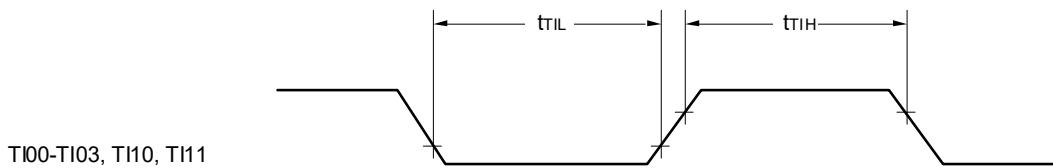
AC タイミング測定点

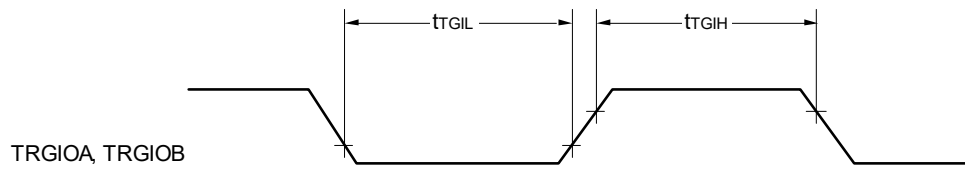


外部システム・クロック・タイミング

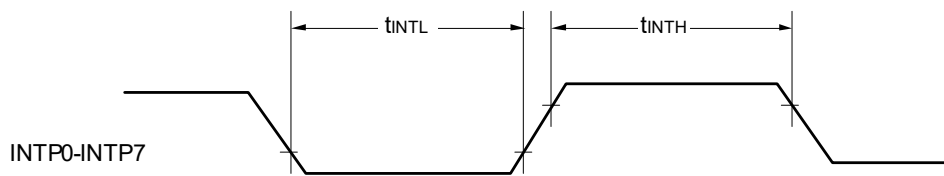


TI/TO タイミング

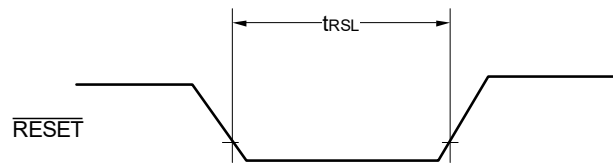




割り込み要求入力タイミング

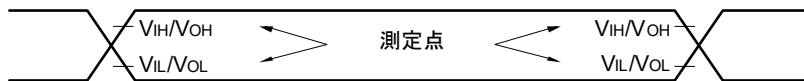


$\overline{\text{RESET}}$ 入力タイミング



33.5 周辺機能特性

AC タイミング測定点



33.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UART モード)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート注1		最大転送レート理論値 fMCK = fCLK注2		fMCK/12	bps
				2.6	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

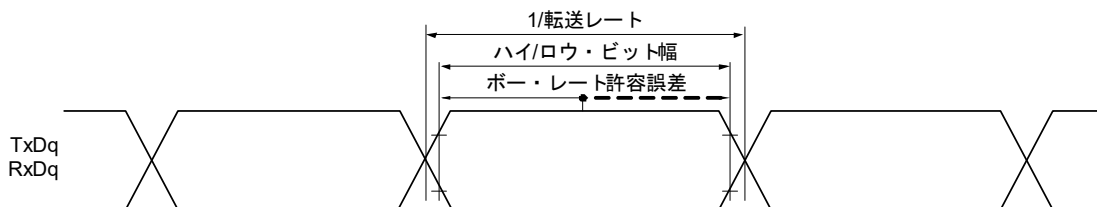
16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART番号(q = 0, 1), g : PIM, POM番号(g = 1)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号(mn = 00-03))

(2) 同電位通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ 4fCLK 2.7 V ≤ VDD ≤ 5.5 V	250		ns
			500		ns
SCKpハイ, ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 24		ns
		2.7 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 36		ns
		2.4 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 76		ns
Slpセットアップ時間(対SCKp ↑)注1	tsIK1	4.0 V ≤ VDD ≤ 5.5 V	66		ns
		2.7 V ≤ VDD ≤ 5.5 V	66		ns
		2.4 V ≤ VDD ≤ 5.5 V	113		ns
Slpホールド時間(対SCKp ↑)注1	tkSI1		38		ns
SCKp ↓ → SOp出力遅延時間注2	tkSO1	C = 30 pF注3		50	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは, SCKp, SOp出カラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子は通常入力バッファを選択し, SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャネル番号(n = 0, 1), g: PIM, POM番号(g = 1)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号(mn = 00, 01))

(3) 同電位通信時(簡易SPI(CSI)モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位	
				MIN.	MAX.		
SCKp サイクル・タイム ^{注1}	tkCY2	4.0 V ≤ VDD ≤ 5.5 V	20 MHz < fMCK	16/fMCK		ns	
			fMCK ≤ 20 MHz	12/fMCK		ns	
		2.7 V ≤ VDD ≤ 5.5 V	16 MHz < fMCK	16/fMCK		ns	
			fMCK ≤ 16 MHz	12/fMCK		ns	
		2.4 V ≤ VDD ≤ 5.5 V	12/fMCK かつ 1000			ns	
SCKp ハイ、ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 14		ns	
		2.7 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 16		ns	
		2.4 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 36		ns	
Slp セットアップ時間(対SCKp ↑) ^{注2}	tsIK2	2.7 V ≤ VDD ≤ 5.5 V		1/fMCK + 40		ns	
		2.4 V ≤ VDD ≤ 5.5 V		1/fMCK + 60		ns	
Slp ホールド時間(対SCKp ↑) ^{注2}	tkSI2			1/fMCK + 62		ns	
SCKp ↓ → SOp 出力遅延時間 ^{注3}	tkSO2	C = 30 pF ^{注4}	2.7 V ≤ VDD ≤ 5.5 V			2/fMCK + 66	ns
			2.4 V ≤ VDD ≤ 5.5 V			2/fMCK + 113	ns
SSI00 セットアップ時間	tSSI00	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V	240		ns	
			2.4 V ≤ VDD ≤ 5.5 V	400		ns	
		DAPmn = 1	2.7 V ≤ VDD ≤ 5.5 V	1/fMCK + 240		ns	
			2.4 V ≤ VDD ≤ 5.5 V	1/fMCK + 400		ns	
SSI00 ホールド時間	tkSSI	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V	1/fMCK + 240		ns	
			2.4 V ≤ VDD ≤ 5.5 V	1/fMCK + 400		ns	
		DAPmn = 1	2.7 V ≤ VDD ≤ 5.5 V	240		ns	
			2.4 V ≤ VDD ≤ 5.5 V	400		ns	

注1. SNOOZEモードでの転送レートは、MAX. 1 Mbpsです。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注4. Cは、SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は通常入力バッファを選択し、SOp 端子は通常出力モードを選択します。

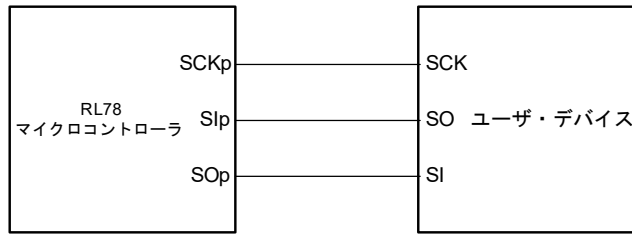
備考1. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャネル番号(n = 0, 1), g: PIM, POM番号(g = 1)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

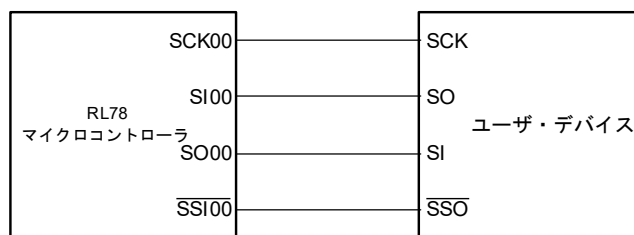
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00, 01))

簡易SPI(CSI)モード接続図(同電位通信時)



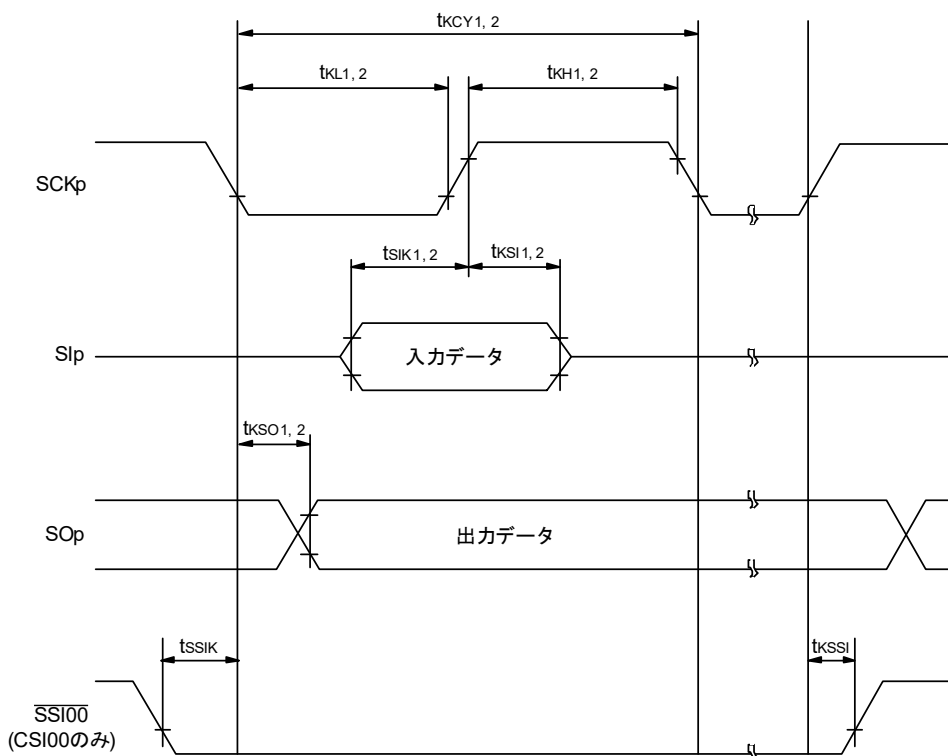
簡易SPI(CSI)モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)



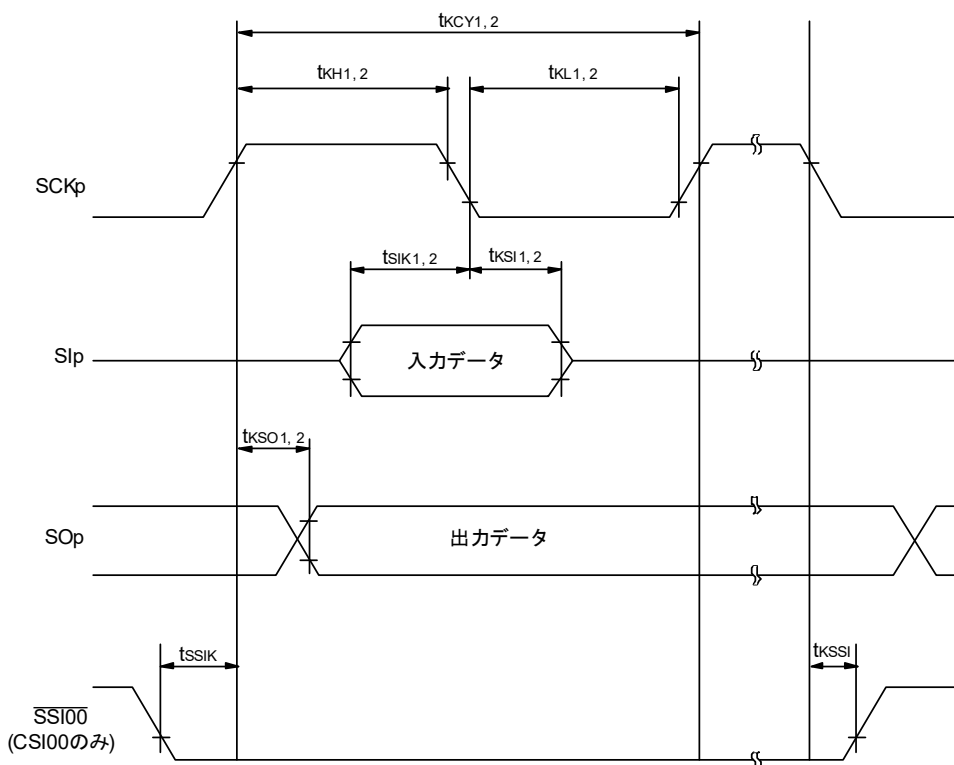
備考1. p : CSI番号(p = 00, 01)

備考2. m : ユニット番号, n : チャネル番号(mn = 00, 01)

簡易SPI(CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI(CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00, 01)

備考2. m : ユニット番号, n : チャネル番号(mn = 00, 01)

(4) 同電位通信時(簡易I²Cモード)

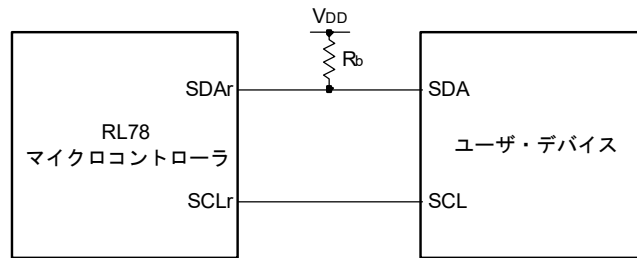
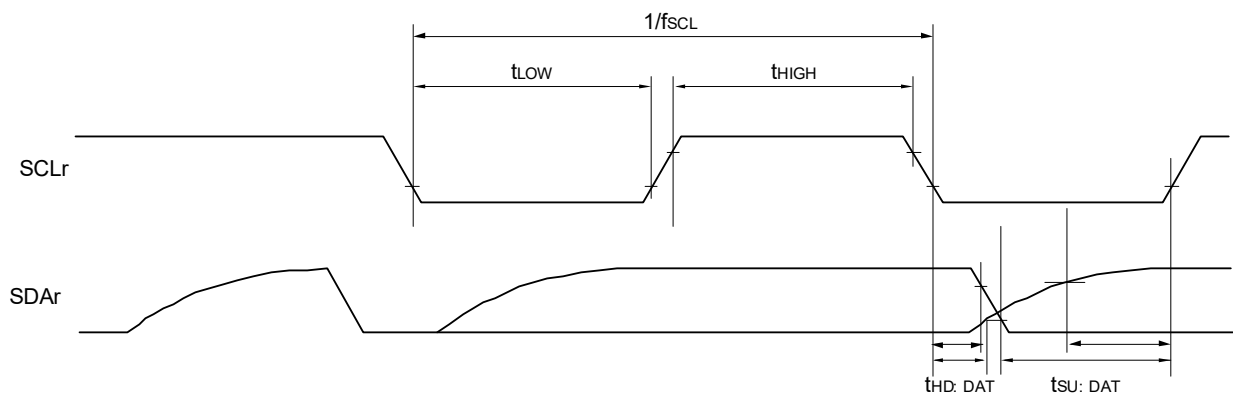
(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ		400注1	kHz
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ		100注1	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	4600		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	4600		ns
データ・セットアップ時間(受信時)	t _{SU: DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 220注2		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 580注2		ns
データ・ホールド時間(送信時)	t _{HD: DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	0	1420	ns

注1. かつf_{MCK}/4以下に設定してください。注2. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図(同電位通信時)簡易I²Cモード・シリアル転送タイミング(同電位通信時)

備考1. R_b [Ω]: 通信ライン(SDAr)プルアップ抵抗値, C_b [F]: 通信ライン(SCLr, SDAr)負荷容量値

備考2. r: IIC番号(r = 00, 01), g: PIM番号(g = 1), h: POM番号(h = 1)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR_{mn}レジスタのCKSmnビットで設定する動作クロック。m: ユニット番号(m = 0), n: チャンネル番号(n = 0, 1), mn = 00, 01)

(5) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート		受信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/12 ^{注1}	bps
			最大転送レート理論値 fMCK = fCLK ^{注2}		2.6	Mbps
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/12 ^{注1}	bps	
			最大転送レート理論値 fMCK = fCLK ^{注2}		2.6	Mbps
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/12 ^{注1}	bps	
			最大転送レート理論値 fMCK = fCLK ^{注2}		2.6	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

注2. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0, 1), g: PIM, POM番号(g = 1)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00, 01))

(5) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート		送信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.6注2	Mbps
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4	Mbps
			2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注6	Mbps

注1. fMCK/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. $f_{MCK}/12$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.4 V \leq V_{DD} < 3.3 V, 1.6 V \leq V_b \leq 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

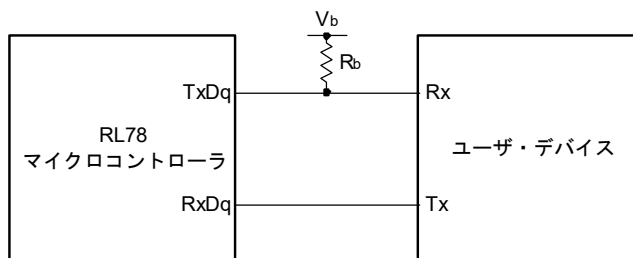
※この値は送信側と受信側の相対差の理論値となります。

注6. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

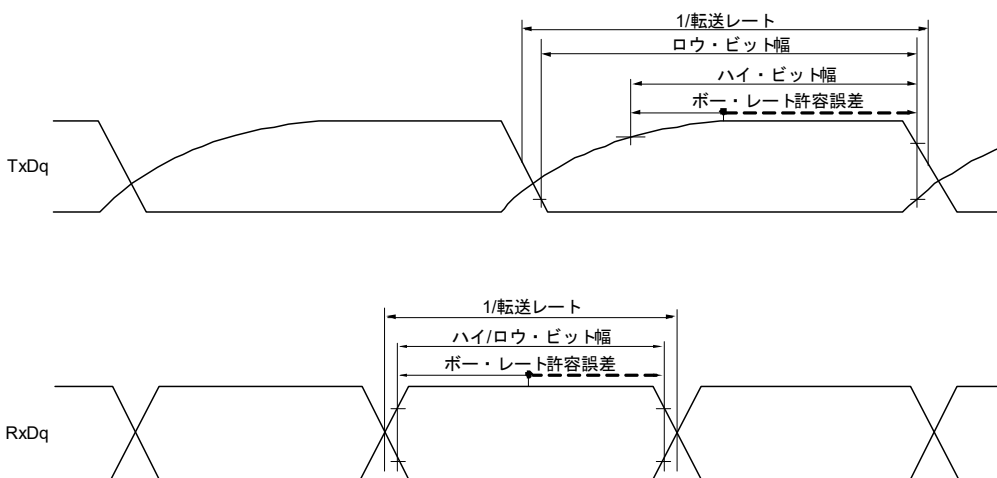
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}、V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q : UART番号($q = 0, 1$), g : PIM, POM番号($g = 1$)

備考3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMR mn)のCKS mn ビットで設定する動作クロック。 m : ユニット番号,
 n : チャネル番号($mn = 00, 01$))

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/3)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	600		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	1000		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	2300		ns
SCKpハイ・レベル幅	tkH1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 150		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 340		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 916		ns
SCKpロウ・レベル幅	tkL1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 24		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 36		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 100		ns

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子はTTL入力バッファを選択し, SOp 端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/3)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
Slpセットアップ時間(対SCKp ↑)注	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	162		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	354		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	958		ns
Slpホールド時間(対SCKp ↑)注	t _{KS1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	38		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	38		ns
SCKp ↓ → SOp出力遅延時間注	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		200	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		390	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ		966	ns

注 DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SOOp端子とSCKp端子はN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(3/3)

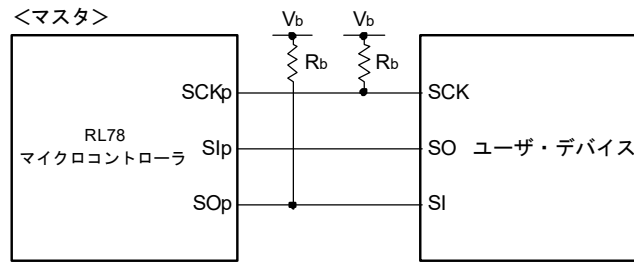
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間(対SCKp ↓)注	tsIK1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	88		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	88		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	220		ns
Slpホールド時間(対SCKp ↓)注	tkSI1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↑ → SOp出力遅延時間注	tkSO1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		50	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		50	ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		50	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SOOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI(CSI)モード接続図(異電位通信時)



備考1. R_b [Ω]: 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SCKp, SOp)負荷容量値, V_b [V]: 通信ライン電圧

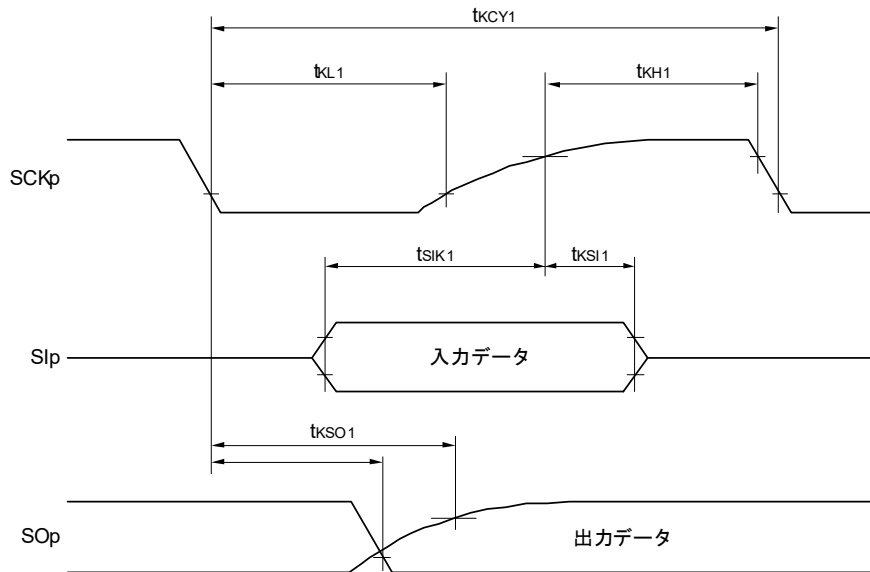
備考2. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャンネル番号(n = 0, 1), g: PIM, POM番号(g = 1)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

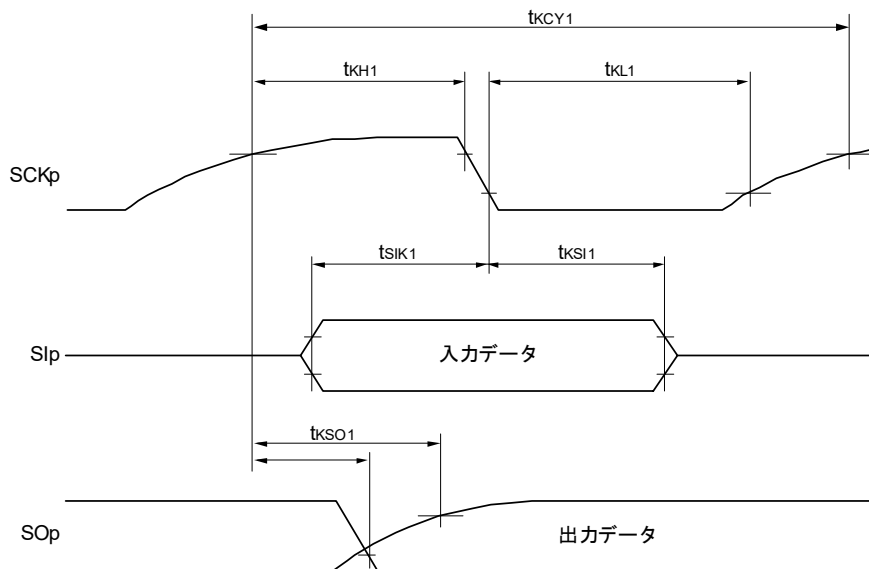
シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00, 01))

簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 01), m : ユニット番号(m = 0), n : チャネル番号(n = 0, 1), g : PIM, POM番号(g = 1)

(7) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(簡易SPI(CSI)モード)(スレーブ・モード, SCKp...外部クロック入力)

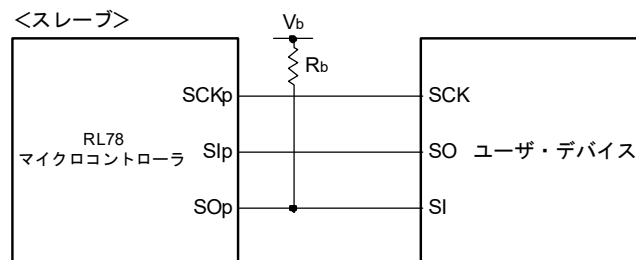
(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム注1	tkcy2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	24 MHz < fMCK	28/fMCK		ns
			20 MHz < fMCK ≤ 24 MHz	24/fMCK		ns
			8 MHz < fMCK ≤ 20 MHz	20/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		ns
			fMCK ≤ 4 MHz	12/fMCK		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	24 MHz < fMCK	40/fMCK		ns
			20 MHz < fMCK ≤ 24 MHz	32/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	28/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	24/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	fMCK ≤ 4 MHz	12/fMCK		ns
			24 MHz < fMCK	96/fMCK		ns
			20 MHz < fMCK ≤ 24 MHz	72/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	64/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	52/fMCK		ns
	4 MHz < fMCK ≤ 8 MHz	32/fMCK		ns		
	fMCK ≤ 4 MHz	20/fMCK		ns		
	SCKpハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	tkcy2/2 - 24		ns
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	tkcy2/2 - 36		ns
			2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	tkcy2/2 - 100		ns
Slpセットアップ時間 (対SCKp ↑)注2	tsik2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	1/fMCK + 40		ns	
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK + 40		ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	1/fMCK + 60		ns	
Slpホールド時間(対SCKp ↑)注2	tkSI2		1/fMCK + 62		ns	
SCKp ↓ → SOp出力遅延時間注3	tkSO2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK + 240	ns	
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK + 428	ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rv = 5.5 kΩ		2/fMCK + 1146	ns	

(注, 注意, 備考は次ページにあります。)

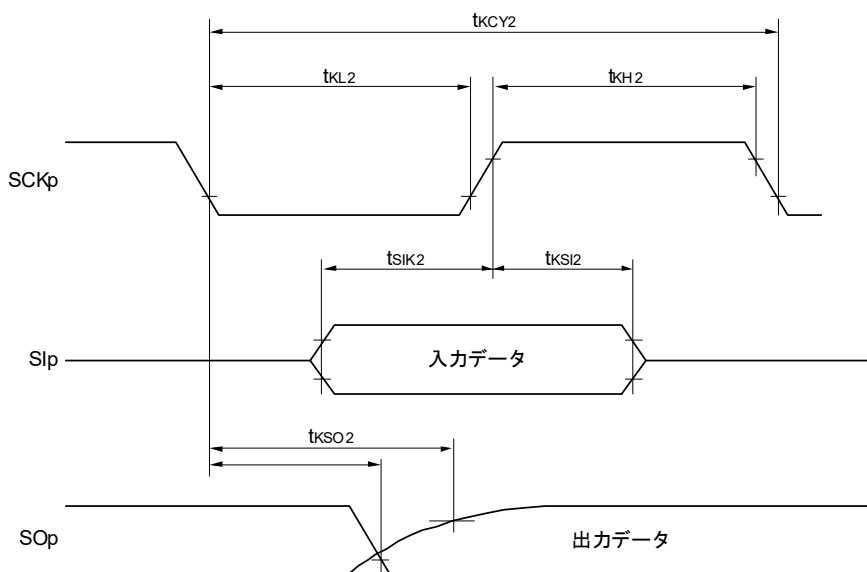
- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。
- 注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

簡易 SPI(CSI)モード接続図(異電位通信時)

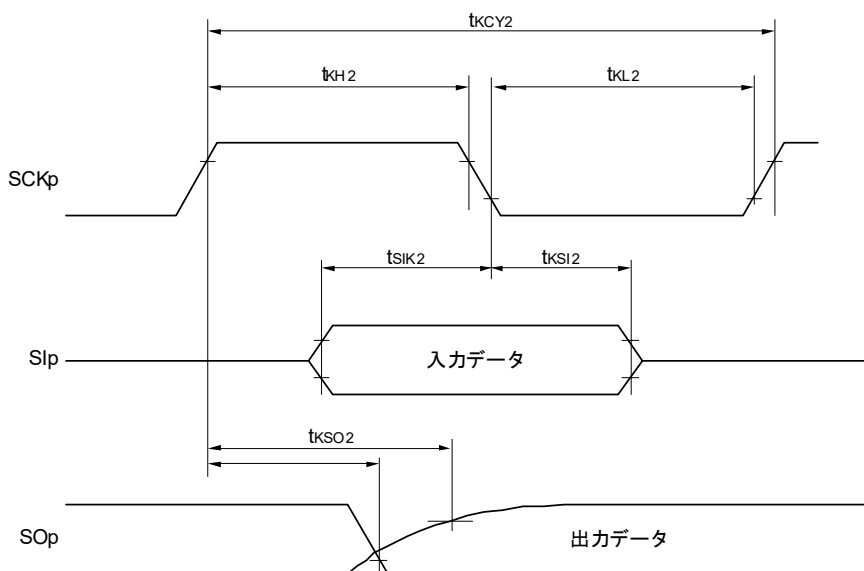


- 備考1. R_b [Ω]: 通信ライン(SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SOp)負荷容量値, V_b [V]: 通信ライン電圧
- 備考2. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャネル番号(n = 0, 1), g: PIM, POM番号(g = 1)
- 備考3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号(mn = 00, 01))
- 備考4. スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

簡易SPI(CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI(CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00, 01), m : ユニット番号(m = 0), n : チャネル番号(n = 0, 1), g : PIM, POM番号(g = 1)

備考2. スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

(8) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	fsCL	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		100注1	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		100注1	kHz
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ		100注1	kHz
SCLr = "L" のホールド・タイム	tLOW	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	4600		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	4600		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ	4600		ns
SCLr = "H" のホールド・タイム	tHIGH	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	620		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	500		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	2700		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	2400		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ	1830		ns

(8) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

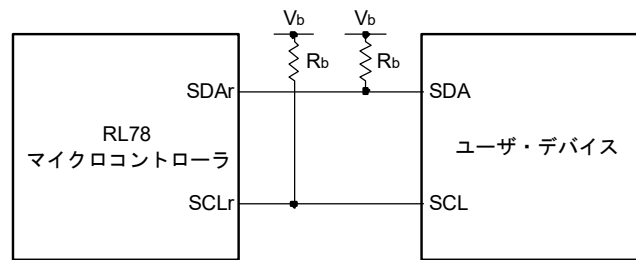
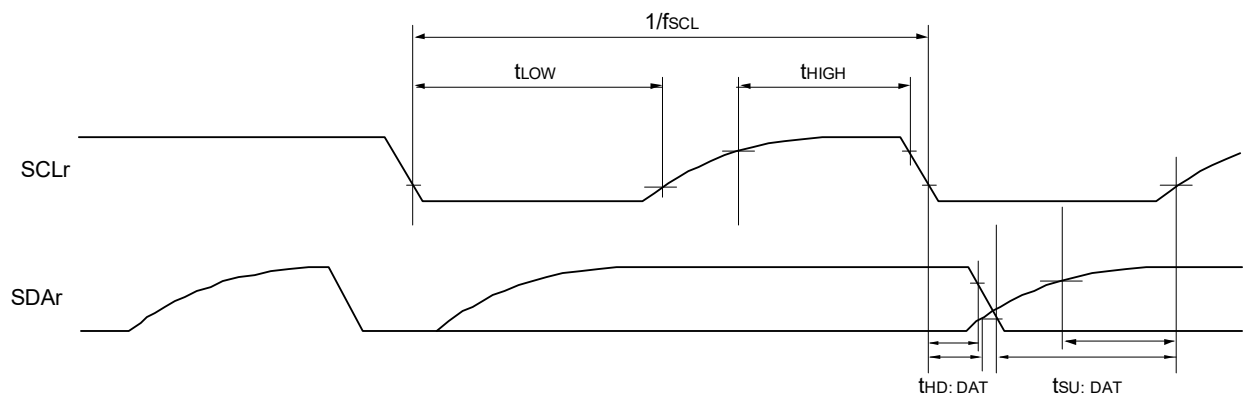
(2/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
データ・セットアップ時間(受信時)	tsu: DAT	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340注2		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340注2		ns
		4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 760注2		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 760注2		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 570注2		ns
データ・ホールド時間(送信時)	t _{HD} : DAT	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	1420	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	1420	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	0	1215	ns

注1. かつf_{MCK}/4以下に設定してください。注2. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない設定にしてください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択し、SCLrはN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)簡易I²Cモード・シリアル転送タイミング(異電位通信時)

備考1. R_b [Ω]: 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F]: 通信ライン(SDAr, SCLr)負荷容量値, V_b [V]: 通信ライン電圧

備考2. r : IIC番号($r = 00, 01$), g : PIM, POM番号($g = 1$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKSm n ビットで設定する動作クロック。 m : ユニット番号($m = 0$), n : チャネル番号($n = 0$), $mn = 00, 01$)

33.6 アナログ特性

33.6.1 プログラマブル・ゲイン計装アンプ, 24ビット $\Delta\Sigma$ A/Dコンバータ

(1) アナログ入力 (差動入力モード)

(TA = -40 ~ +105 °C, 2.7 V \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V, ノーマル・モード : fs1 = 1 MHz, FDATA1 = 3.90625 ksps, ロウ・パワー・モード : fs2 = 0.125 MHz, FDATA2 = 488.28125 sps, SBIAS = 1.2 V, doFR = 0 mV, VCOM = 1.0 V, 外部クロック入力時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
フルスケール差動入力電圧範囲	V _{ID}	V _{ID} = (PGAxP - P _G AxN) (x = 0-3)		± 800 /G _{TOTAL}		mV
入力電圧範囲	V _I	PGAxP, P _G AxNの各端子 (x = 0-3)	0.2		1.8	V
同相入力電圧範囲	V _{COM}	doFR = 0 mV	$0.2 + (V_{ID} \times G_{SET1})/2$		$1.8 - (V_{ID} \times G_{SET1})/2$	V
入力バイアス電流	I _{IN}	V _I = 1.0 V			± 50	nA
入力オフセット電流	I _{INOFFR}	V _I = 1.0 V			± 20	nA

(2) アナログ入力 (シングルエンド入力モード)

(TA = -40 ~ +105 °C, 2.7 V \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V, ノーマル・モード : fs1 = 1 MHz, FDATA1 = 3.90625 ksps, ロウ・パワー・モード : fs2 = 0.125 MHz, FDATA2 = 488.28125 sps, SBIAS = 1.2 V, doFR = 0 mV, VCOM = 1.0 V, 外部クロック入力時)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	V _I	PGAxPの各端子 (x = 0-3) G _{SET1} = 1, G _{SET2} = 1	0.2		1.8	V
入力バイアス電流	I _{IN}	V _I = 1.0 V			± 50	nA

(3) プログラマブル・ゲイン計装アンプ、24ビット $\Delta\Sigma$ /Dコンバータ

(TA = -40 ~ +105 °C, 2.7 V \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V, ノーマル・モード : fs1 = 1 MHz, FDATA1 = 3.90625 ksps, ロウ・パワー・モード : fs2 = 0.125 MHz, FDATA2 = 488.28125 sps, SBIAS = 1.2 V, doFR = 0 mV, VCOM = 1.0 V, 外部クロック入力, 差動入力モード時) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				24	bit
サンプリング周波数	fs1	ノーマル・モード		1		MHz
	fs2	ロウ・パワー・モード		0.125		MHz
出力データ・レート	fDATA1	ノーマル・モード	0.48828		15.625	ksps
	fDATA2	ロウ・パワー・モード	61.03615		1953.125	sps
ゲイン設定範囲	GTOTAL	GTOTAL = GSET1 \times GSET2	1		64	V/V
第一ゲイン設定範囲	GSET1	差動入力モード限定		1, 2, 3, 4, 8		V/V
第二ゲイン設定範囲	GSET2	差動入力モード限定		1, 2, 4, 8		V/V
オフセット調整ビット範囲	dOFFB			5		bit
オフセット調整範囲	doFR	入力換算	-164/GSET1		+164/GSET1	mV
オフセットの調整ステップ	doFS	入力換算		11/GSET1		mV

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, ノーマル・モード : fs1 = 1 MHz, FDATA1 = 3.90625 ksps, ロウ・パワー・モード : fs2 = 0.125 MHz, FDATA2 = 488.28125 sps, SBIAS = 1.2 V, doFR = 0 mV, VCOM = 1.0 V, 外部クロック入力, 差動入力モード時) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ゲイン誤差	EG	TA = 25 °C GSET1 = 1, GSET2 = 1 SBIAS誤差を除く		±0.2	±2.7	%
		TA = 25 °C GSET1 = 8, GSET2 = 4 SBIAS誤差を除く		±0.1		%
ゲイン・ドリフト注	dEG	GSET1 = 1, GSET2 = 1 SBIASドリフトを除く		(5.6)	(22.0)	ppm/°C
		GSET1 = 8, GSET2 = 4 SBIASドリフトを除く		(9.1)		ppm/°C
オフセット誤差	Eos	TA = 25 °C GSET1 = 1, GSET2 = 1 入力換算		±0.32	±2.90	mV
		TA = 25 °C GSET1 = 8, GSET2 = 4 入力換算		±0.03		mV
オフセット・ドリフト注	dEos	GSET1 = 1, GSET2 = 1 入力換算		(±0.02)	(±6.00)	µV/°C
		GSET1 = 8, GSET2 = 4 入力換算		(±0.02)		µV/°C
SND比	SNDR	GSET1 = 1, GSET2 = 1, fin = 50 Hz ノーマル・モード, Pin = -1 dBFS	(82)	(85)		dB
		GSET1 = 8, GSET2 = 4, fin = 50 Hz ノーマル・モード, Pin = -1 dBFS	(73)	(80)		dB
ノイズ	Vn	GSET1 = 1, GSET2 = 1, OSR = 2048		(13)		µVRms
		GSET1 = 8, GSET2 = 4, OSR = 2048		(0.6)		µVRms
積分非直線性誤差	INL	GSET1 = 1, GSET2 = 1, OSR = 2048		(±10)		ppmFS
同相信号除去比	CMRR	VCOM = 1.0±0.8 V, fin = 50 Hz GSET1 = 1, GSET2 = 1 差動入力モード	(72)	(90)		dB
電源電圧変動除去比	PSRR	AVDD = 2.7 ~ 5.5 V GSET1 = 1, GSET2 = 1 差動入力モード		(85)		dB
ΔΣA/Dコンバータの 入力クロック周波数	fADC		3.8	4	4.2	MHz

注 以下の式で、ゲイン・ドリフト、オフセット・ドリフトを算出します (105 °C品の場合)。

ゲイン・ドリフトの算出式 : $(\text{MAX}(\text{EG}(T_{(-40)} \sim T_{(105)})) - \text{MIN}(\text{EG}(T_{(-40)} \sim T_{(105)}))) / (105 \text{ °C} - (-40 \text{ °C}))$

オフセット・ドリフトの算出式 : $(\text{MAX}(\text{Eos}(T_{(-40)} \sim T_{(105)})) - \text{MIN}(\text{Eos}(T_{(-40)} \sim T_{(105)}))) / (105 \text{ °C} - (-40 \text{ °C}))$

MAX(EG(T(-40) ~ T(105))) : -40 °Cから105 °Cの温度範囲におけるゲイン誤差の最大値

MIN(EG(T(-40) ~ T(105))) : -40 °Cから105 °Cの温度範囲におけるゲイン誤差の最小値

MAX(Eos(T(-40) ~ T(105))) : -40 °Cから105 °Cの温度範囲におけるオフセット誤差の最大値

MIN(Eos(T(-40) ~ T(105))) : -40 °Cから105 °Cの温度範囲におけるオフセット誤差の最小値

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

33.6.2 センサ用電源回路 (SBIAS)

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, COUT = 0.22 μF, VOUT = 1.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧範囲	VOUT		0.5		2.2	V
出力電圧の設定ステップ	VSTEP			0.1		V
出力電圧精度	VA	IOUT = 1 mA	(-3)		(+3)	%
最大出力電流	IOUT		5			mA
短絡電流	ISHORT	VOUT = 0 V		40	65	mA
負荷変動	LR	1 mA ≤ IOUT ≤ 5 mA			(15)	mV
電源電圧変動除去比	PSRR	AVDD = 5.0 V + 0.1 V _{pp} ripple f = 100 Hz, IOUT = 2.5 mA	(45)	(50)		dB

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

33.6.3 温度センサ

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
センサ温度係数	TCSNS			(756)		μV/°C
センサ出力電圧	VTEMP	TA = 25 °C		226.4		mV

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

33.6.4 A/Dコンバータ特性

(1) 基準電圧(+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = AVSS (ADREFM = 0)選択時,

変換対象 : ANI0-ANI9, SBIAS

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = AVDD, 基準電圧(-) = AVSS)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差注1	AINL	10ビット分解能		1.2	±6.5	LSB
		ANI0-ANI9, SBIAS	4.0 V ≤ AVDD ≤ 5.5 V		±7.0	LSB
変換時間	tCONV	10ビット分解能			39	μs
			4.0 V ≤ AVDD ≤ 5.5 V	2.125		39
ゼロスケール誤差注1, 2	Ezs	10ビット分解能			±0.50	%FSR
		ANI0-ANI9, SBIAS	2.7 V ≤ AVDD ≤ 5.5 V		±0.60	%FSR
フルスケール誤差注1, 2	Efs	10ビット分解能			±0.50	%FSR
		ANI0-ANI9, SBIAS	2.7 V ≤ AVDD ≤ 5.5 V		±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能			±3.5	LSB
		ANI0-ANI9, SBIAS	2.7 V ≤ AVDD ≤ 5.5 V		±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能			±2.0	LSB
アナログ入力電圧	VAIN	ANI0-ANI9	AVSS		AVDD	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注意 製品により端子数は異なります。詳細は 端子機能一覧を参照してください。

(2) 基準電圧(+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧(-) = AVSS (ADREFM = 0)選択時,

変換対象 : ANI0-ANI9, SBIAS

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = VBGR, 基準電圧(-) = AVSS)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	17		39	μs
ゼロスケール誤差注1, 2	Ezs	8ビット分解能			±0.60	%FSR
積分直線性誤差注1	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差注1	DLE	8ビット分解能			±1.0	LSB
内部基準電圧(+)	VBGR	2.7 V ≤ AVDD ≤ 5.5 V	VBGR注3			V
アナログ入力電圧	VAIN	ANI0-ANI9	0		VBGR	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 内部基準電圧特性を参照してください。

33.6.5 12ビットD/Aコンバータ

(1) 基準電圧(+) = AVDD (DACVRF = 0)選択時

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = AVDD)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	DARES				(12)	bit
出力電圧範囲	DAOUT	12ビット分解能	0.35		AVDD-0.47	V
積分非直線性誤差	DAILE	12ビット分解能			±4.0	LSB
微分非直線性誤差	DADLE	12ビット分解能			±1.0	LSB
オフセット誤差	DAErr	12ビット分解能			±30	mV
ゲイン誤差	DAEG	12ビット分解能			±20	mV
セトリング時間	DAtset	12ビット分解能, CL = 50 pF, RL = 10 kΩ			(60)	μs

備考1. () で示した数値は設計目標値であり、出荷テストは行いません。

備考2. 12ビットD/Aコンバータの特性は、コンフィギュラブル・アンプを通した特性です。

(2) 基準電圧(+) = 内部基準電圧(DACVRF = 1)選択時

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = VREFDA)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	DARES				(8)	bit
内部基準電圧	VREFDA	8ビット分解能	1.34	1.45	1.54	V
出力電圧範囲	DAOUT	8ビット分解能	0.35		VREFDA	V
積分非直線性誤差	DAILE	8ビット分解能			±1.0	LSB
微分非直線性誤差	DADLE	8ビット分解能			±1.0	LSB
オフセット誤差	DAErr	8ビット分解能			±30	mV
ゲイン誤差	DAEG	8ビット分解能			±20	mV
セトリング時間	DAtset	8ビット分解能, CL = 50 pF, RL = 10 kΩ			(60)	μs

備考1. () で示した数値は設計目標値であり、出荷テストは行いません。

備考2. 12ビットD/Aコンバータの特性は、コンフィギュラブル・アンプを通した特性です。

備考3. オフセット誤差とゲイン誤差は、内部基準電圧の誤差を含まない値です。

33.6.6 コンフィギュラブル・アンプ

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, VCOM = 1/2 AVDD, 内部接続ボルテージ・フォロア)

【AMP0コンフィグSW設定】+端子 : ANX1, -端子 : ANX0

【AMP1コンフィグSW設定】+端子 : ANX3, -端子 : ANX2

【AMP2コンフィグSW設定】+端子 : ANX5, -端子 : ANX4

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V _{IN}		AV _{SS}		AV _{DD}	V
出力電圧	V _{OL}	I _L = -1 mA, AV _{DD} = 2.7 ~ 5.5 V		AV _{SS} +0.02	AV _{SS} +0.07	V
	V _{OH}	I _L = 1 mA, AV _{DD} = 2.7 ~ 5.5 V	AV _{DD} -0.15	AV _{DD} -0.02		V
最大出力電流	I _{OUT}	4.5 V ≤ AV _{DD} ≤ 5.5 V	±10			mA
		2.7 V ≤ AV _{DD} ≤ 5.5 V	±5			mA
入力換算オフセット電圧	V _{OFF}	TA = 25 °C without trimming I _L = 0 mA, V _{COM} = 1.0 V		±1	±4	mV
		TA = 25 °C with trimming I _L = 0 mA, V _{COM} = 1.0 V			±0.35	mV
入力換算オフセット電圧 電圧温度係数	V _{OTC}	I _L = 0 mA		(±2)	(±8)	μV/°C
スルー・レート	SR1	ノーマル・モード CL = 50 pF, RL = 10 kΩ		(0.1)		V/μs
	SR2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ		(0.8)		V/μs
利得帯域幅	GBW1	ノーマル・モード CL = 50 pF, RL = 10 kΩ		(350)		kHz
	GBW2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ		(1.8)		MHz
位相余裕	θM1	ノーマル・モード CL = 50 pF, RL = 10 kΩ		(70)		deg
	θM2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ		(60)		deg
セトリング時間	tset1	ノーマル・モード CL = 50 pF, RL = 10 kΩ		(20)		μs
	tset2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ		(10)		μs
低帯域換算ノイズ	Enb	0.1 ~ 10 Hz ノーマル・モード CL = 50 pF, RL = 10 kΩ		(2.0)		μVrms
入力換算ノイズ	En	f = 1 kHz ノーマル・モード CL = 50 pF, RL = 10 kΩ		(70)		nV/√Hz
同相信号除去比	CMRR	f = 1 KHz, CL = 50 pF, RL = 10 kΩ		(70)		dB
電源電圧変動除去比	PSRR	2.7 V ≤ AV _{DD} ≤ 5.5 V f = 1 KHz, CL = 50 pF, RL = 10 kΩ		(62)		dB

備考1. () で示した数値は設計目標値であり、出荷テストは行いません。

備考2. TYP.条件は、TA = 25 °C, AV_{DD} = 5.0 Vでの結果です。

備考3. 条件に記載が無い場合は、オフセット・トリミングされている状態です。

備考4. 条件に記載が無い場合は、ノーマル・モードです。

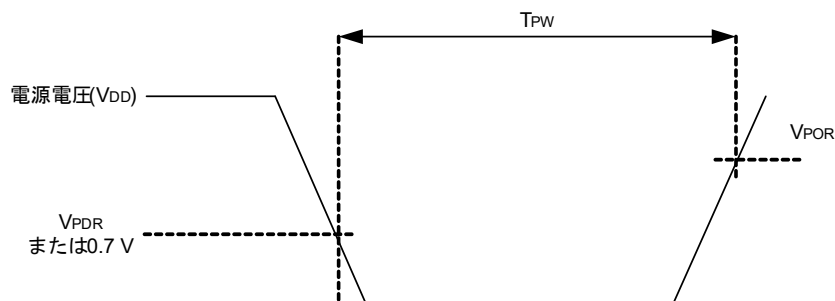
33.6.7 POR回路特性

(TA = -40 ~ +105 °C, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POR}	電源立ち上がり時	1.48	1.56	1.62	V
	V _{PDR}	電源立ち下がり時注1	1.47	1.55	1.61	V
最小パルス幅注2	TPW		300			μs

注1. ただし、LVDオフの条件で動作電圧降下時は、33.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行、または電圧検出機能が外部リセット端子で、リセット状態にしてください。

注2. V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定によりメイン・システム・クロック(f_{MAIN})を停止時は、V_{DD}が0.7Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



33.6.8 LVD回路特性

(1) リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +105 °C, VPDR ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	4.62	4.74	4.84	V
			電源立ち下がり時	4.52	4.64	4.74	V
		VLVD1	電源立ち上がり時	4.50	4.62	4.72	V
			電源立ち下がり時	4.40	4.52	4.62	V
		VLVD2	電源立ち上がり時	4.30	4.42	4.51	V
			電源立ち下がり時	4.21	4.32	4.41	V
		VLVD3	電源立ち上がり時	3.13	3.22	3.29	V
			電源立ち下がり時	3.07	3.15	3.22	V
		VLVD4	電源立ち上がり時	2.95	3.02	3.09	V
			電源立ち下がり時	2.89	2.96	3.02	V
		VLVD5	電源立ち上がり時	2.74	2.81	2.87	V
			電源立ち下がり時	2.68	2.75	2.81	V
		VLVD6	電源立ち上がり時	2.55	2.61	2.67	V
			電源立ち下がり時	2.49	2.55	2.61	V
最小パルス幅	tlw		300			μs	
検出遅延					300	μs	

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +105 °C, VPDR ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDD6	VPOC2, VPOC1, VPOC0 = 0, 0, 0, 立ち下がりリセット電圧	2.49	2.55	2.61	V	
	VLVDD4	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.95	3.02	3.09	V
			立ち下がり割り込み電圧	2.89	2.96	3.02	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.13	3.22	3.29	V
			立ち下がり割り込み電圧	3.07	3.15	3.22	V
	VLVDD5	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がりリセット電圧	2.68	2.75	2.81	V	
	VLVDD2	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.30	4.42	4.51	V
			立ち下がり割り込み電圧	4.21	4.32	4.41	V
	VLVDD5	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧	2.68	2.75	2.81	V	
	VLVDD1	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	4.72	V
			立ち下がり割り込み電圧	4.40	4.52	4.62	V
	VLVDD5	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.68	2.75	2.81	V	
	VLVDD3	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.29	V
			立ち下がり割り込み電圧	3.07	3.15	3.22	V
	VLVDD0	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	4.84	V
			立ち下がり割り込み電圧	4.52	4.64	4.74	V

33.6.9 電源電圧立ち上がり傾き特性

(TA = -40 ~ +105 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				50	V/ms

注意 VDDが33.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

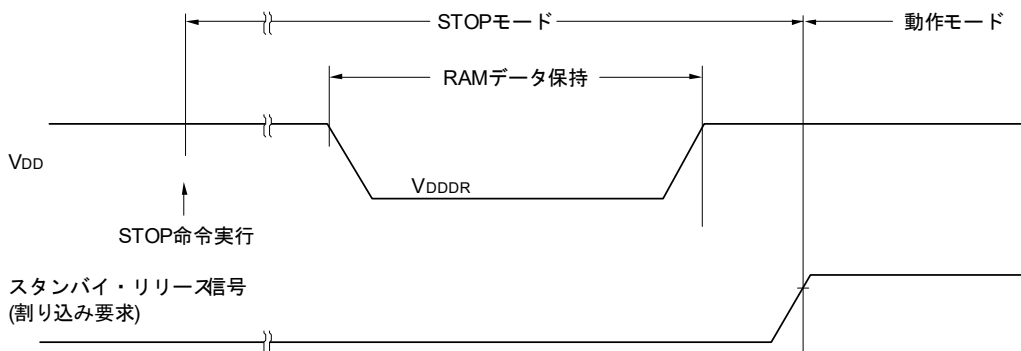
33.7 RAM データ 保持特性

(TA = -40 ~ +105 °C, VSS = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.47注1,2		5.5	V

注1. POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。

注2. 推奨動作電圧を下回る場合は、その前にSTOPモードへ移行してください。



33.8 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≤ VDD ≤ 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	C _{erwr}	保持年数：20年 TA = 85 °C注4	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年 TA = 25 °C注4		1,000,000		
		保持年数：5年 TA = 85 °C注4	100,000			
		保持年数：20年 TA = 85 °C注4	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

注4. 保持の平均温度です。

33.9 専用フラッシュ・メモリ・プログラマ通信(UART)

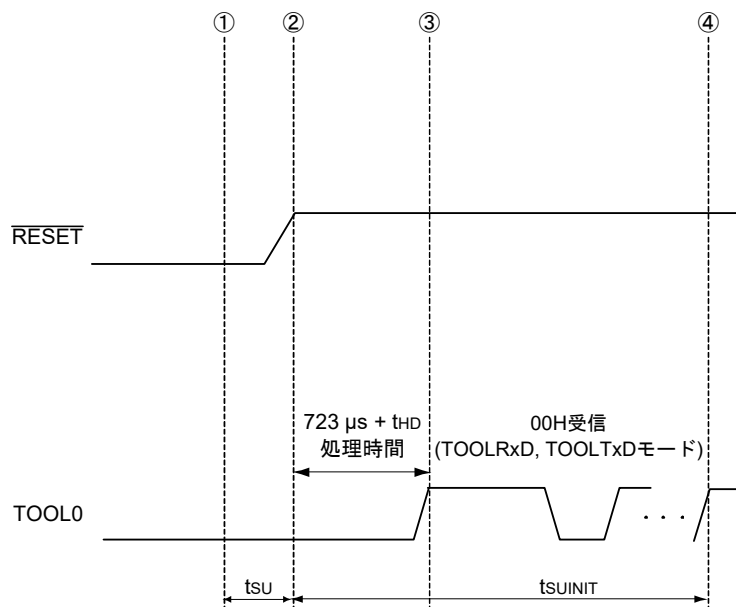
(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

33.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVD リセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVD リセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVD リセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第34章 電気的特性(M: TA = -40 ~ +125 °C)

この章では、M：産業用途(TA = -40 ~ +125 °C)の電気的特性を示します。

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. 製品により搭載している端子が異なります。2.1 ポート機能~2.2 ポート以外の機能を参照してください。

注意3. TA = +85 °C ~ +125 °Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

備考 M：産業用途(TA = -40 ~ +125 °C)の電気的特性は、“G：産業用途”と異なります。詳細は、このページ以降の34.1~34.10を参照してください。

34.1 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位	
電源電圧	VDD		-0.5 ~ +6.5	V	
	AVDD	AVDD = VDD	-0.5 ~ +6.5	V	
	AVSS	AVSS = VSS	-0.5 ~ +0.3	V	
REGC 端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD + 0.3注1	V	
REGA 端子入力電圧	VIREGA	REGA	-0.3 ~ +2.8 かつ -0.3 ~ AVDD + 0.3注2	V	
入力電圧	Vi1	P10-P15, P40, P121, P122, P137, EXCLK, RESET	-0.3 ~ VDD + 0.3注3	V	
兼用端子入力電圧	Vi2	P16, P17, P41, P42 (36ピン製品のみ)	デジタル入力電圧	-0.3 ~ VDD + 0.3注3	V
			アナログ入力電圧	-0.3 ~ AVDD + 0.3注3	V
アナログ入力電圧	ViA	PGA0P-PGA3P, PGA0N-PGA3N, ANI0-ANI9, ANX0-ANX5	-0.3 ~ AVDD + 0.3注3	V	
出力電圧	Vo1	P10-P15, P40	-0.3 ~ VDD + 0.3注3	V	
兼用端子出力電圧	Vo2	P16, P17, P41, P42 (36ピン製品のみ)	デジタル出力電圧	-0.3 ~ VDD + 0.3注3	V
			アナログ出力電圧	-0.3 ~ AVDD + 0.3注3	V
アナログ出力電圧	VoA	SBIAS, AMP00-AMP20, ANX0-ANX5	-0.3 ~ AVDD + 0.3注3	V	

注1. REGC 端子にはコンデンサ(0.47 ~ 1 μF)を介してVssに接続してください。この値は、REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. REGA 端子にはコンデンサ(0.22 μF)を介してAVssに接続してください。この値は、REGA 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注3. 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. Vssを基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P10-P17, P40-P42	-40	mA
		端子合計	P10-P17, P41, P42 注	-100	mA
アナログ・ハイ・レベル出力電流	IOHA	1端子	AMP00-AMP20	-12	mA
			ANX0-ANX5	-0.12	mA
		端子合計	AMP00-AMP20, ANX0-ANX5	-18	mA
ロウ・レベル出力電流	IOL1	1端子	P10-P17, P40-P42	40	mA
		端子合計	P10-P17, P41, P42 注	100	mA
アナログ・ロウ・レベル出力電流	IOLA	1端子	AMP00-AMP20	12	mA
			ANX0-ANX5	0.12	mA
		端子合計	AMP00-AMP20, ANX0-ANX5	18	mA
動作周囲温度	TA	通常動作時		-40 ~ + 125	°C
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			-65 ~ + 150	°C

注 P16, P17, P41, P42はデジタル入力で使用した場合の合計電流値です。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. V_{ss}を基準電圧とする。

34.2 発振回路特性

34.2.1 X1特性

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数(fx)注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 X1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

34.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1,2	f _H	2.7 V ≤ VDD ≤ 5.5 V	1		24	MHz
		2.4 V ≤ VDD < 2.7 V	1		16	MHz
高速オンチップ・オシレータ・クロック周波数精度		-40 ~ +105 °C	-2.0		+2.0	%
		+105 ~ +125 °C	-3.0		+3.0	%
低速オンチップ・オシレータ・クロック周波数	f _L			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

34.2.3 PLL 発振回路特性

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

発振子	略号	条件			MIN.	TYP.	MAX.	単位
PLL出力周波数注1, 2, 3	f _{PLL}	f _{MX} = 8 MHz	DSFRDIV = 0	DSCM = 0		48		MHz
			DSFRDIV = 1	DSCM = 0		24		MHz
				DSCM = 1		32		MHz
		f _{MX} = 4 MHz	DSFRDIV = 0	DSCM = 0		24		MHz
				DSCM = 1		32		MHz
ロックアップ・ウェイト時間		PLL出力許可から周波数安定までの待ち時間			40			μs
インターバル・ウェイト時間		PLL停止→PLL再動作設定 待ち時間			4			μs
設定ウェイト時間		PLL入カクロック安定かつPLL設定確定後 →起動設定の必要待ち時間			1			μs

注1. PLLを使用する際、PLLへの入カクロックは4 MHzまたは8 MHzを使用してください。

注2. PLLを使用する場合、この設定以外はしないでください。

注3. CPUクロックとして使用する場合、f_HはRDIV1, RDIV0ビットにより、2, 4, 8分周されます。

34.3 DC 特性

34.3.1 端子特性

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P10-P17, P40-P42 1端子 ^{注2}	4.0 V ≤ VDD ≤ 5.5 V			-3.0 ^{注3}	mA
			2.4 V ≤ VDD < 4.0 V			-1.0 ^{注3}	mA
		P10-P17, P41, P42 合計 ^{注3} (デューティ ≤ 70%時 ^{注4})	4.0 V ≤ VDD ≤ 5.5 V			-30.0	mA
			2.7 V ≤ VDD < 4.0 V			-19.0	mA
			2.4 V ≤ VDD < 2.7 V			-10.0	mA
ロウ・レベル出力電流 ^{注1}	IOL1	P10-P17, P40-P42 1端子 ^{注2}	4.0 V ≤ VDD ≤ 5.5 V			8.5 ^{注3}	mA
			2.7 V ≤ VDD < 4.0 V			1.5 ^{注3}	mA
			2.4 V ≤ VDD < 2.7 V			0.6 ^{注3}	mA
		P10-P17, P41, P42 合計 ^{注2} (デューティ ≤ 70%時 ^{注4})	4.0 V ≤ VDD ≤ 5.5 V			40.0	mA
			2.7 V ≤ VDD < 4.0 V			35.0	mA
			2.4 V ≤ VDD < 2.7 V			20.0	mA

注1. VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. P16, P17, P41, P42はデジタル入出力ポートとして使用する場合があります。アナログ端子（AFE機能）として使用する場合は、34.1 絶対最大定格を参照してください。

注3. 合計の電流値を越えないでください。

注4. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mAの場合、n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \doteq -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P10-P15は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P10-P17, P40-P42	通常入力バッファ	0.8 VDD		VDD	V
	VIH2	P11, P12, P14, P15	TTL入力バッファ, 4.0 V ≤ VDD ≤ 5.5 V	2.2		VDD	V
			TTL入力バッファ, 3.3 V ≤ VDD < 4.0 V	2.0		VDD	V
			TTL入力バッファ, 2.4 V ≤ VDD < 3.3 V	1.28		VDD	V
VIH3	P121, P122, P137, EXCLK, $\overline{\text{RESET}}$		0.8 VDD		VDD	V	
ロウ・レベル入力電圧	VIL1	P10-P17, P40-P42	通常入力バッファ	0		0.2 VDD	V
	VIL2	P11, P12, P14, P15	TTL入力バッファ, 4.0 V ≤ VDD ≤ 5.5 V	0		0.8	V
			TTL入力バッファ, 3.3 V ≤ VDD < 4.0 V	0		0.5	V
			TTL入力バッファ, 2.4 V ≤ VDD < 3.3 V	0		0.32	V
VIL5	P121, P122, P137, EXCLK, $\overline{\text{RESET}}$		0		0.2 VDD	V	
ハイ・レベル出力電圧	VOH1	P10-P17, P40-P42	4.0 V ≤ VDD ≤ 5.5 V, IOH1 = -3.0 mA			VDD - 0.7	V
			2.4 V ≤ VDD ≤ 5.5 V, IOH1 = -1.0 mA			VDD - 0.5	V
ロウ・レベル出力電圧	VOL1	P10-P17, P40-P42	4.0 V ≤ VDD ≤ 5.5 V, IOL1 = 8.5 mA			0.7	V
			2.7 V ≤ VDD ≤ 5.5 V, IOL1 = 1.5 mA			0.5	V
			2.4 V ≤ VDD ≤ 5.5 V, IOL1 = 0.6 mA			0.4	V

注意 P10-P15は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(3/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	ILIH1	P10-P17, P40-P42	Vi = VDD		1	μA
	ILIH2	P137, RESET	Vi = VDD		1	μA
	ILIH3	P121, P122 (X1, X2, EXCLK)	Vi = VDD	入力ポート時, 外部クロック入力時 発振子接続時	1 10	μA μA
ロウ・レベル 入力リーク電流	ILIL1	P10-P17, P40-P42	Vi = VSS		-1	μ
	ILIL2	P137, RESET	Vi = VSS		-1	μA
	ILIL3	P121, P122 (X1, X2, EXCLK)	Vi = VSS	入力ポート時, 外部クロック入力時 発振子接続時	-1 -10	μA μA
内蔵プルアップ抵抗	RU	P10-P15, P40	Vi = VSS, 入力ポート時		10 20 100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.3.2 電源電流特性

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流注1	IDD1	動作モード注2	fHOCO = 24 MHz, fMAIN = 24 MHz注3	基本動作	VDD = 5.0 V		1.7	mA	
					VDD = 3.0 V		1.7		
			fHOCO = 24 MHz, fMAIN = 24 MHz注3	通常動作	VDD = 5.0 V		3.8	7.6	mA
					VDD = 3.0 V		3.8	7.6	
			fHOCO = 16 MHz, fMAIN = 16 MHz注3	通常動作	VDD = 5.0 V		2.8	5.6	mA
					VDD = 3.0 V		2.8	5.6	
			fMX = 20 MHz, fMAIN = 20 MHz注4, VDD = 5.0 V	通常動作	方形波入力		3.3	6.5	mA
					発振子接続		3.5	6.6	
			fMX = 20 MHz, fMAIN = 20 MHz注4, VDD = 3.0 V	通常動作	方形波入力		3.3	6.5	mA
					発振子接続		3.5	6.6	
			fMX = 10 MHz, fMAIN = 10 MHz注4, VDD = 5.0 V	通常動作	方形波入力		2.0	3.9	mA
					発振子接続		2.1	4.0	
			fMX = 10 MHz, fMAIN = 10 MHz注4, VDD = 3.0 V	通常動作	方形波入力		2.0	3.9	mA
					発振子接続		2.1	4.0	
fMX = 8 MHz, fMAIN = 24 MHz注5, VDD = 5.0 V	通常動作	方形波入力		5.1	10.4	mA			
		発振子接続		5.2	10.5				
fMX = 8 MHz, fMAIN = 24 MHz注5, VDD = 3.0 V	通常動作	方形波入力		5.1	10.4	mA			
		発振子接続		5.2	10.5				

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、RTC、インターバル・タイマ、ウォッチドッグ・タイマ、LVD回路、AFE、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 動作電圧範囲、CPU動作周波数の関係を次に示します。

$$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V} @ 1 \text{ MHz} \sim 24 \text{ MHz}$$

$$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V} @ 1 \text{ MHz} \sim 16 \text{ MHz}$$

注3. 高速システム・クロックは停止時。

注4. 高速オンチップ・オシレータ、PLLは停止時。

注5. 高速オンチップ・オシレータは停止時。PLL動作時。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数

備考3. fMAIN : メイン・システム・クロック周波数

備考4. TYP.値の温度条件は、TA = 25 °Cです。

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード ^{注3}	fHOCO = 24 MHz, fMAIN = 24 MHz ^{注4}	VDD = 5.0 V	0.44	3.42	mA
				VDD = 3.0 V	0.44	3.42	
			fHOCO = 16 MHz, fMAIN = 16 MHz ^{注4}	VDD = 5.0 V	0.40	2.50	mA
				VDD = 3.0 V	0.40	2.50	
			fMX = 20 MHz, fMAIN = 20 MHz ^{注5} , VDD = 5.0 V	方形波入力	0.28	2.94	mA
				発振子接続	0.49	3.08	
			fMX = 20 MHz, fMAIN = 20 MHz ^{注5} , VDD = 3.0 V	方形波入力	0.28	2.94	mA
				発振子接続	0.49	3.08	
		fMX = 10 MHz, fMAIN = 10 MHz ^{注5} , VDD = 5.0 V	方形波入力	0.19	1.54	mA	
			発振子接続	0.30	1.63		
		fMX = 10 MHz, fMAIN = 10 MHz ^{注5} , VDD = 3.0 V	方形波入力	0.19	1.54	mA	
			発振子接続	0.30	1.63		
		fMX = 8 MHz, fMAIN = 24 MHz ^{注6} , VDD = 5.0 V	方形波入力	0.76	3.92	mA	
			発振子接続	0.86	4.04		
fMX = 8 MHz, fMAIN = 24 MHz ^{注6} , VDD = 3.0 V	方形波入力	0.76	3.92	mA			
	発振子接続	0.86	4.04				
IDD3 ^{注7}	STOPモード	TA = -40 °C		0.38	1.14	μA	
		TA = +25 °C		0.50	1.14		
		TA = +50 °C		0.66	4.52		
		TA = +70 °C		1.04	7.98		
		TA = +85 °C		2.92	16.0		
		TA = +105 °C		11.0	100.0		
		TA = +125 °C		22.0	200.0		

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、RTC、インターバル・タイマ、ウォッチドッグ・タイマ、LVD回路、AFE、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 動作電圧範囲、CPU動作周波数の関係を次に示します。

$$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V} @ 1 \text{ MHz} \sim 24 \text{ MHz}$$

$$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V} @ 1 \text{ MHz} \sim 16 \text{ MHz}$$

注4. 高速システム・クロックは停止時。

注5. 高速オンチップ・オシレータ、PLLは停止時。

注6. 高速オンチップ・オシレータは停止時。PLL動作時。

注7. MAX.値にはSTOPリーク電流を含みます。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数

備考3. fMAIN : メイン・システム・クロック周波数

備考4. 「STOPモード」以外のTYP.値の温度条件は、TA = 25 °Cです。

・周辺機能

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1				0.20		μA
RTC動作電流	IRTC注1, 2, 3	f _{MX} = 4 MHz, RTCCL設定: 00H (f _{MX} /122)			22		μA
インターバル・タイマ動作電流	IIT注1, 2, 4	f _{MX} = 4 MHz, RTCCL設定: 00H (f _{MX} /122)			22		μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 5, 6	f _{IL} = 15 kHz			0.22		μA
LVD動作電流	ILVD注1, 7				0.08		μA
セルフ・プログラミング動作電流	IFSP注1, 8				2.00	12.20	mA
BGO電流	IBGO注1, 9				2.00	12.20	mA
SNOOZE動作電流	ISNOZ注1	A/Dコンバータ動作注11	モード遷移中注10		0.50	1.10	mA
			変換動作中, AVDD = VDD = 3.0 V		1.20	2.04	
		簡易SPI(CSI)/UART動作			0.70	1.54	
		DTC動作			3.10		

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータは停止時。

注3. リアルタイム・クロック(RTC)にのみ流れる電流です。

動作モードまたはHALTモードでのリアルタイム・クロックの動作時は、IDD1またはIDD2にIRTCを加算した値が、RL78マイクロコントローラの電流値となります。

注4. インターバル・タイマにのみ流れる電流です。動作モードまたはHALTモードでのインターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。

注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。

注6. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。

ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTを加算した値が、RL78マイクロコントローラの電流値となります。

注7. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。

注8. セルフ・プログラミング時に流れる電流です。

注9. データ・フラッシュ書き換え時に流れる電流です。

注10. SNOOZEモードへの移行時間は、23.3.3 SNOOZEモードを参照してください。

注11. AVDDに流れる電流を含みます。

備考1. f_{MX}: 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)備考2. f_{IL}: 低速オンチップ・オシレータ・クロック周波数

備考3. TYP.値の温度条件は、TA = 25 °Cです。

・ AFE機能

(TA = -40 ~ +125 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
24ビットΔΣA/Dコンバータ 動作電流	IDSAD	ノーマル・モード注1,2 動作回路: ABGR + REGA + SBIAS + VREFAMP+PGA +24ビットΔΣA/Dコンバータ+デジタル・フィルタ 差動入力 OSR = 256 SBIAS IOUT = 0 mA		0.94	1.46	mA
		ロウ・パワー・モード注1,2 動作回路: ABGR + REGA + SBIAS + VREFAMP+PGA +24ビットΔΣA/Dコンバータ+デジタル・フィルタ 差動入力 OSR = 256 SBIAS IOUT = 0 mA		0.60	0.91	mA
10ビットA/Dコンバータ 動作電流	IADC	最高速変換時注1,2 AVDD = 5.0 V		1.30	1.70	mA
コンフィギュラブル・ アンプ動作電流	IAMP	ノーマル・モード注1,2 動作回路: ABGR + コンフィギュラブル・アンプ IL = 0 mA 1チャンネル当たり		0.13	0.24	mA
		ハイスピード・モード注1,2 動作回路: ABGR + コンフィギュラブル・アンプ IL = 0 mA 1チャンネル当たり		0.30	0.45	mA
12ビットD/Aコンバータ 動作電流	IDAC	基準電圧 = AVDD, AVSS選択時注1,2 動作回路: ABGR + 内部基準電圧 (VREFDA)		0.61	0.97	mA

注1. AVDDに流れる電流です。

注2. 条件欄に示す動作回路のみに流れる電流です。

34.4 AC特性

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

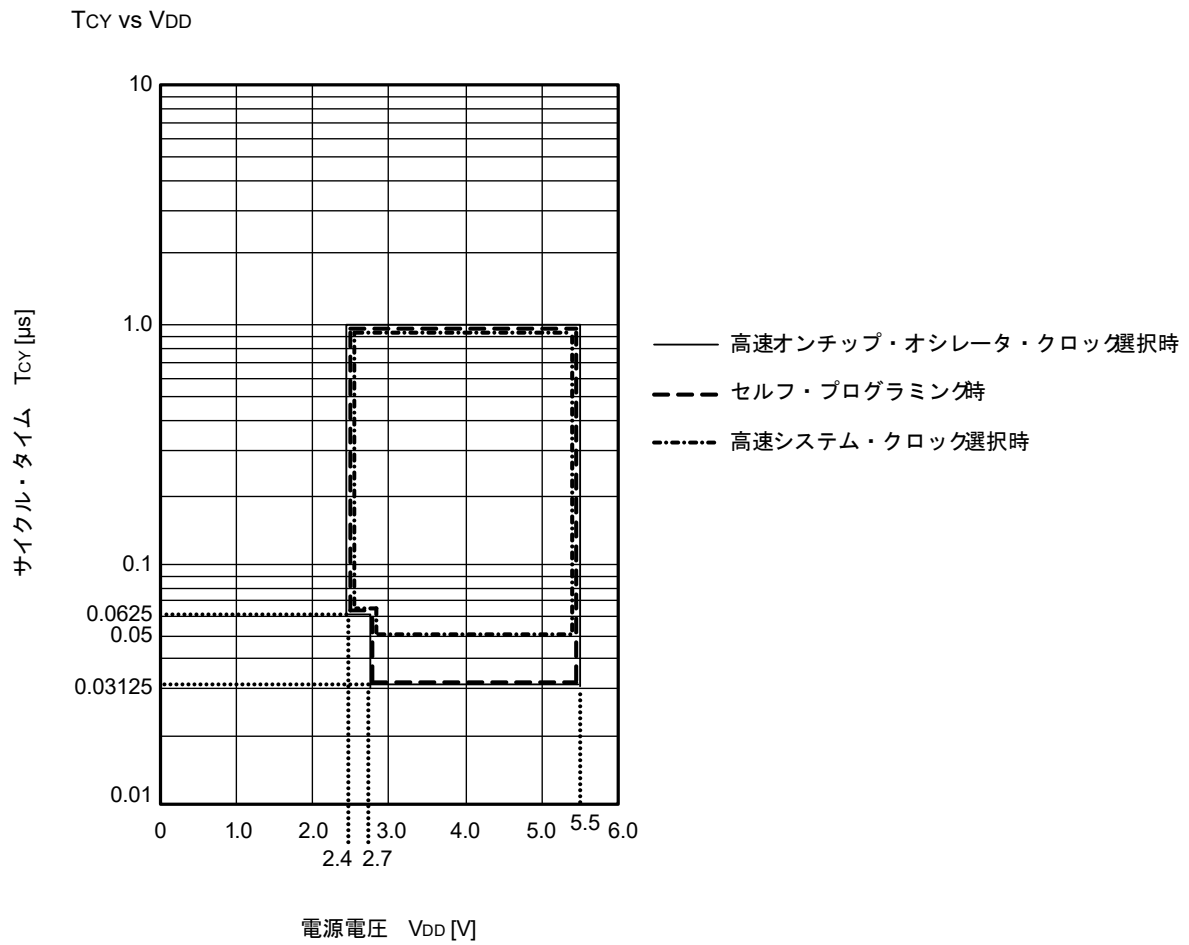
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN)	2.7 V ≤ VDD ≤ 5.5 V	0.04167		1	μs
		動作	2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
		セルフ・プログラミング時	2.7 V ≤ VDD ≤ 5.5 V	0.04167		1	μs
			2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
外部システム・クロック 周波数	fEX	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz	
		2.4 V ≤ VDD < 2.7 V	1.0		8.0	MHz	
外部システム・クロック 入力ハイ、ロウ・レベル幅	tEXH,	2.7 V ≤ VDD ≤ 5.5 V	24			ns	
	tEXL	2.4 V ≤ VDD < 2.7 V	60			ns	
TI00-TI03, TI10, TI11 入力ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL		1/fMCK + 10			ns	
タイマRJ入力サイクル	tc	TRJIO0	2.7 V ≤ VDD ≤ 5.5 V	100			ns
			2.4 V ≤ VDD < 2.7 V	300			ns
タイマRJ入力ハイ・レベル 幅、ロウ・レベル幅	tTJH, tTJL	TRJIO0	2.7 V ≤ VDD ≤ 5.5 V	40			ns
			2.4 V ≤ VDD < 2.7 V	120			ns
タイマRG入力ハイ・レベ ル幅、ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB		2.5/fCLK			ns
TO00-TO03, TO10, TO11, TRJIO0, TRJO0, TRGIOA, TRGIOB出力周波数	fTO		4.0 V ≤ VDD ≤ 5.5 V			12	MHz
			2.7 V ≤ VDD ≤ 4.0 V			6	MHz
			2.4 V ≤ VDD < 2.7 V			3	MHz
PCLBUZ0出力周波数	fPCL		4.0 V ≤ VDD ≤ 5.5 V			12	MHz
			2.7 V ≤ VDD ≤ 4.0 V			6	MHz
			2.4 V ≤ VDD < 2.7 V			3	MHz
割り込み入力ハイ・レベル 幅、ロウ・レベル幅	tINTH, tINTL	INTP0-INTP7		1			μs
RESETロウ・レベル幅	tRSL			10			μs

備考 fMCK: タイマ・アレイ・ユニットの動作クロック周波数。

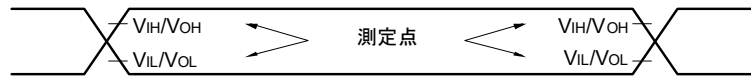
(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号(m = 0, 1),

n: チャネル番号(n = 0-3))

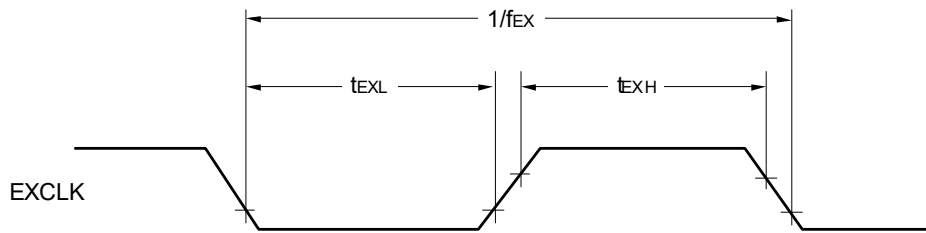
メイン・システム・クロック動作時の最小命令実行時間



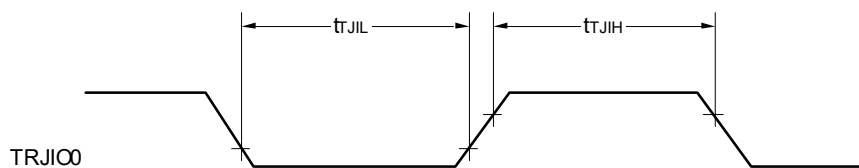
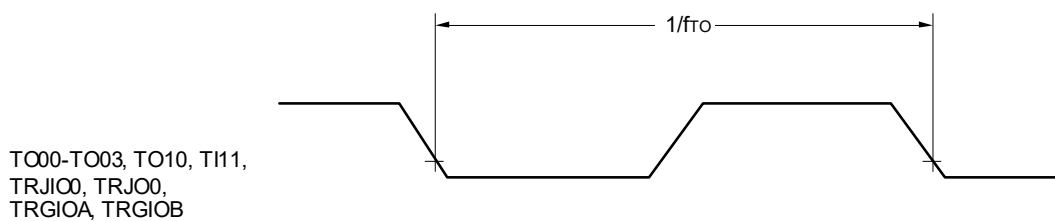
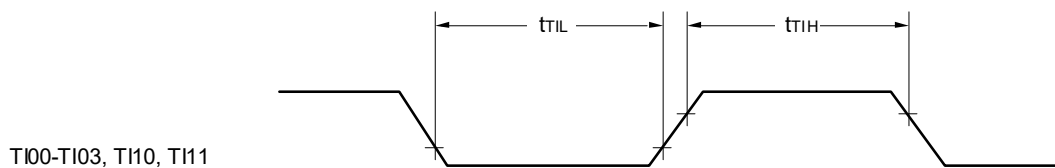
ACタイミング測定点

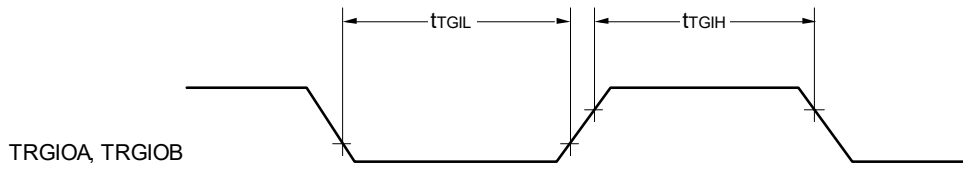


外部システム・クロック・タイミング

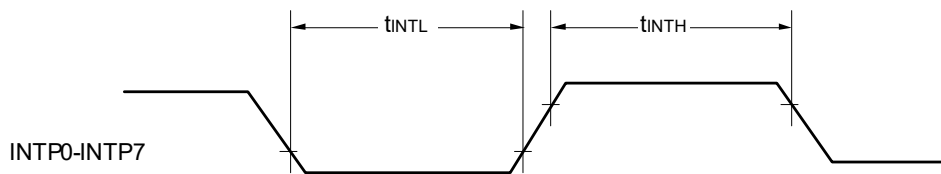


TI/TOタイミング

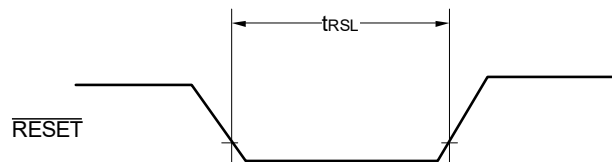




割り込み要求入力タイミング

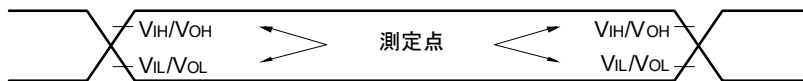


$\overline{\text{RESET}}$ 入力タイミング



34.5 周辺機能特性

AC タイミング測定点



34.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UART モード)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート注1		最大転送レート理論値 fMCK = fCLK注2		fMCK/12	bps
				2.0	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

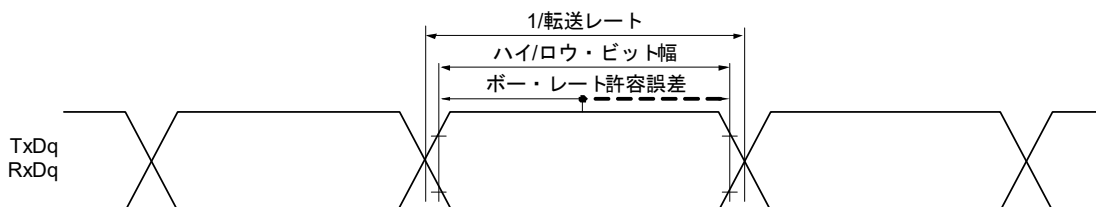
16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART 番号 (q = 0, 1), g : PIM, POM 番号 (g = 1)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03))

(2) 同電位通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ 4fCLK 2.7 V ≤ VDD ≤ 5.5 V	333		ns
			666		ns
SCKpハイ, ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 24		ns
		2.7 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 36		ns
		2.4 V ≤ VDD ≤ 5.5 V	tkCY1/2 - 76		ns
Slpセットアップ時間(対SCKp ↑) 注1	tsIK1	4.0 V ≤ VDD ≤ 5.5 V	66		ns
		2.7 V ≤ VDD ≤ 5.5 V	66		ns
		2.4 V ≤ VDD ≤ 5.5 V	113		ns
Slpホールド時間(対SCKp ↑) 注1	tkSI1		38		ns
SCKp ↓ → SOp出力遅延時間注2	tkSO1	C = 30 pF 注3		66.6	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャネル番号(n = 0, 1), g: PIM, POM番号(g = 1)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号(mn = 00, 01))

(3) 同電位通信時(簡易SPI(CSI)モード)(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位	
				MIN.	MAX.		
SCKp サイクル・タイム ^{注1}	tkCY2	4.0 V ≤ VDD ≤ 5.5 V	20 MHz < fMCK	16/fMCK		ns	
			fMCK ≤ 20 MHz	12/fMCK		ns	
		2.7 V ≤ VDD ≤ 5.5 V	16 MHz < fMCK	16/fMCK		ns	
			fMCK ≤ 16 MHz	12/fMCK		ns	
2.4 V ≤ VDD ≤ 5.5 V			12/fMCK かつ 1000			ns	
SCKp ハイ、ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 14		ns	
		2.7 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 16		ns	
		2.4 V ≤ VDD ≤ 5.5 V		tkCY2/2 - 36		ns	
Slp セットアップ時間(対SCKp ↑) ^{注2}	tsIK2	2.7 V ≤ VDD ≤ 5.5 V		1/fMCK + 40		ns	
		2.4 V ≤ VDD ≤ 5.5 V		1/fMCK + 60		ns	
Slp ホールド時間(対SCKp ↑) ^{注2}	tkSI2			1/fMCK + 62		ns	
SCKp ↓ → SOp 出力遅延時間 ^{注3}	tkSO2	C = 30 pF ^{注4}	2.7 V ≤ VDD ≤ 5.5 V		2/fMCK + 66		ns
			2.4 V ≤ VDD ≤ 5.5 V		2/fMCK + 113		ns
SSI00 セットアップ時間	tSSI00	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V		240		ns
			2.4 V ≤ VDD ≤ 5.5 V		400		ns
		DAPmn = 1	2.7 V ≤ VDD ≤ 5.5 V		1/fMCK + 240		ns
			2.4 V ≤ VDD ≤ 5.5 V		1/fMCK + 400		ns
SSI00 ホールド時間	tkSSI	DAPmn = 0	2.7 V ≤ VDD ≤ 5.5 V		1/fMCK + 240		ns
			2.4 V ≤ VDD ≤ 5.5 V		1/fMCK + 400		ns
		DAPmn = 1	2.7 V ≤ VDD ≤ 5.5 V		240		ns
			2.4 V ≤ VDD ≤ 5.5 V		400		ns

注1. SNOOZEモードでの転送レートは、MAX. 1 Mbpsです。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注4. Cは、SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は通常入力バッファを選択し、SOp 端子は通常出力モードを選択します。

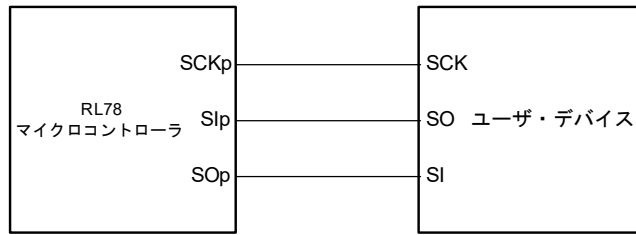
備考1. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャネル番号(n = 0, 1), g: PIM, POM番号(g = 1)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

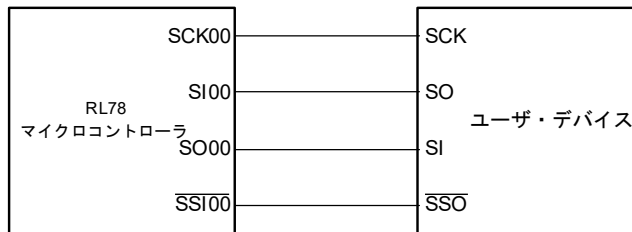
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00, 01))

簡易SPI(CSI)モード接続図(同電位通信時)



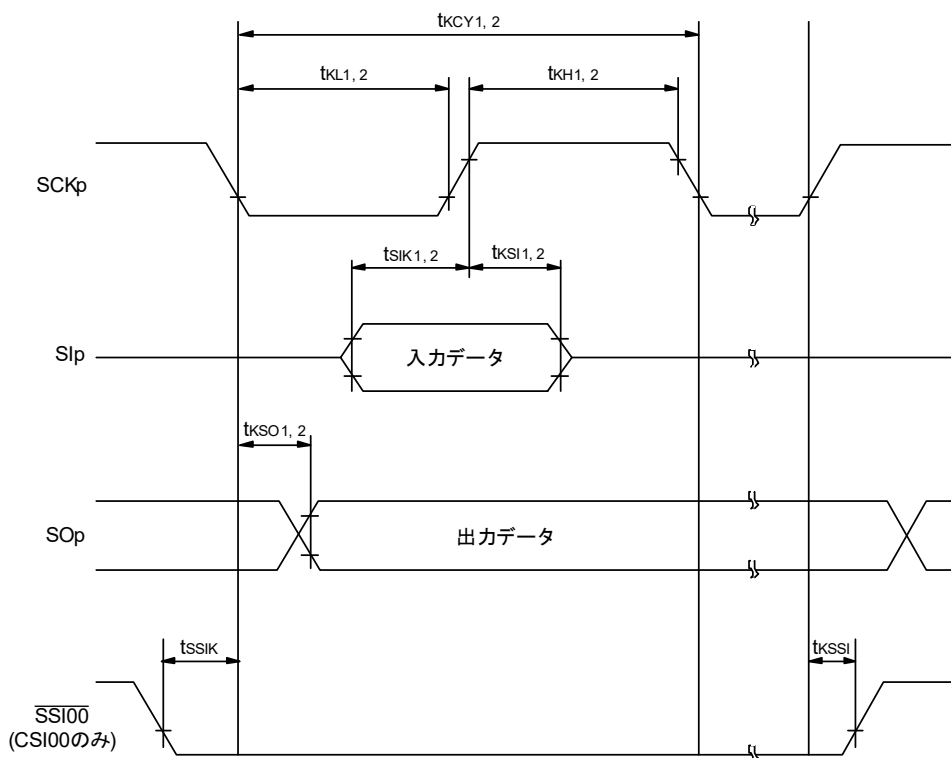
簡易SPI(CSI)モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)



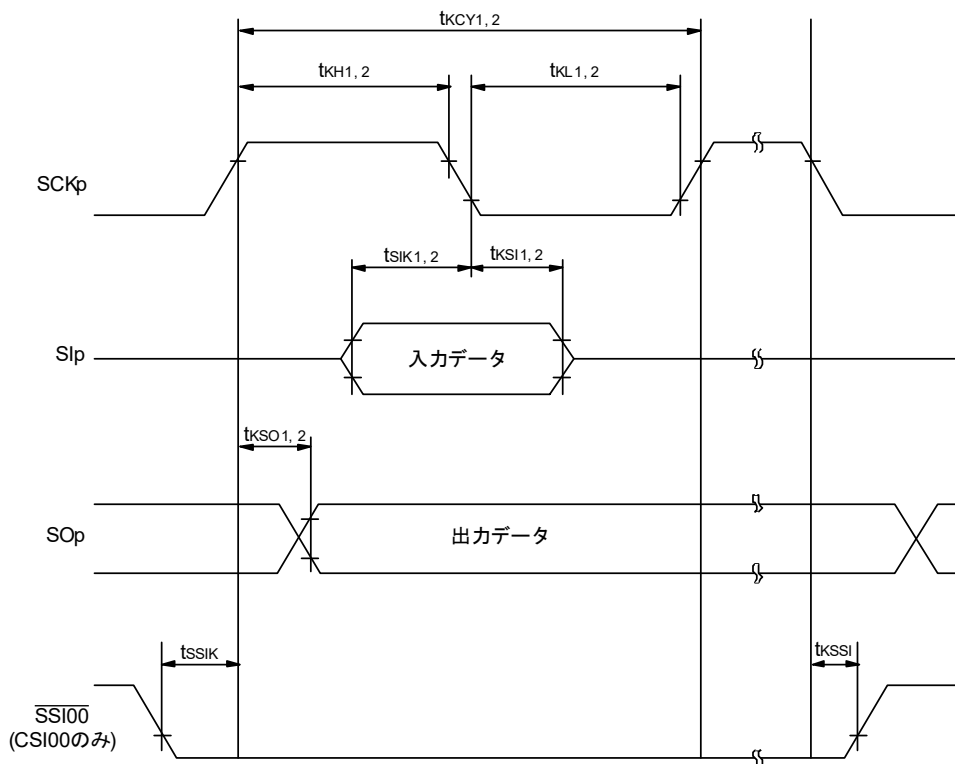
備考1. p : CSI番号(p = 00, 01)

備考2. m : ユニット番号, n : チャネル番号(mn = 00, 01)

簡易SPI(CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI(CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号(p = 00, 01)

備考2. m : ユニット番号, n : チャネル番号(mn = 00, 01)

(4) 同電位通信時(簡易I²Cモード)

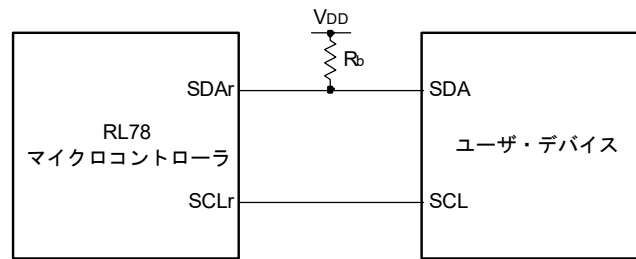
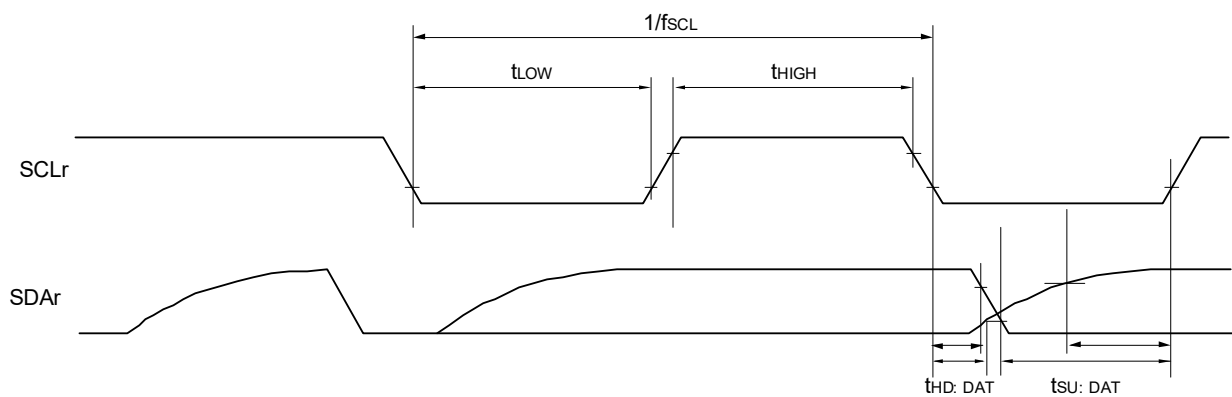
(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ		400注1	kHz
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ		100注1	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	4600		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	4600		ns
データ・セットアップ時間(受信時)	t _{SU: DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 220注2		ns
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 580注2		ns
データ・ホールド時間(送信時)	t _{HD: DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		2.4 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	0	1420	ns

注1. かつf_{MCK}/4以下に設定してください。注2. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図(同電位通信時)簡易I²Cモード・シリアル転送タイミング(同電位通信時)

備考1. R_b [Ω]: 通信ライン(SDAr)プルアップ抵抗値, C_b [F]: 通信ライン(SCLr, SDAr)負荷容量値

備考2. r: IIC番号(r = 00, 01), g: PIM番号(g = 1), h: POM番号(h = 1)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号(m = 0), n: チャネル番号(n = 0, 1), mn = 00, 01)

(5) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート		受信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/12 ^{注1}	bps
			最大転送レート理論値 fMCK = fCLK ^{注2}		2.0	Mbps
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/12 ^{注1}	bps	
			最大転送レート理論値 fMCK = fCLK ^{注2}		2.0	Mbps
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/12 ^{注1}	bps	
			最大転送レート理論値 fMCK = fCLK ^{注2}		2.0	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

注2. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

24 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0, 1), g: PIM, POM番号(g = 1)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00, 01))

(5) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート		送信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.0注2	Mbps
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3	bps	
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4	Mbps	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5	bps	
最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注6	Mbps			

注1. fMCK/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. $f_{MCK}/12$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.4 V \leq V_{DD} < 3.3 V, 1.6 V \leq V_b \leq 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

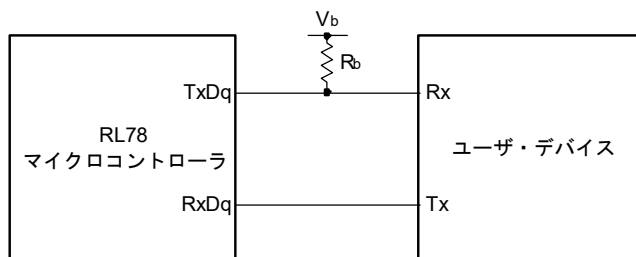
※この値は送信側と受信側の相対差の理論値となります。

注6. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

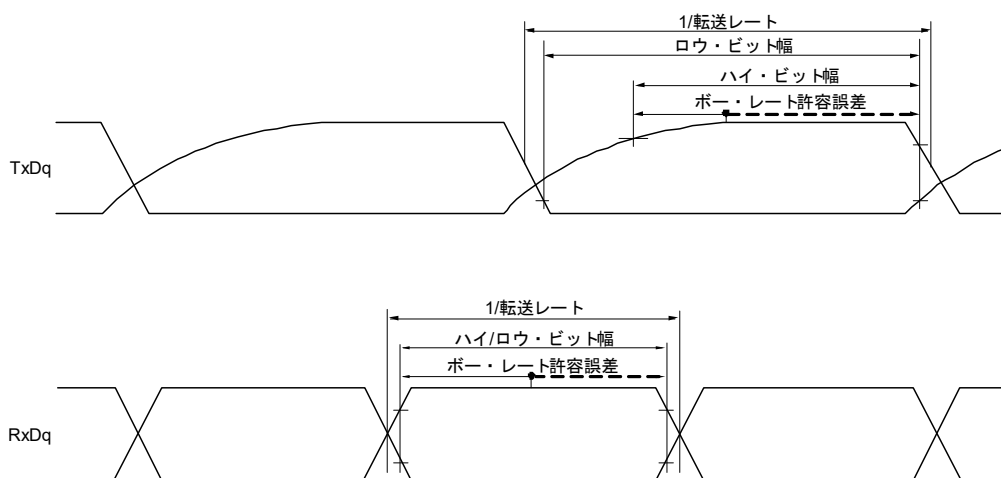
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}、V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q : UART番号($q = 0, 1$), g : PIM, POM番号($g = 1$)

備考3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMR mn)のCKSm n ビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号($mn = 00, 01$))

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/3)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	600		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	1000		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	2300		ns
SCKpハイ・レベル幅	tkH1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 150		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 340		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 916		ns
SCKpロウ・レベル幅	tkL1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 24		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 36		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 100		ns

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子はTTL入力バッファを選択し, SOp 端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(2/3)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
Slpセットアップ時間(対SCKp ↑)注	t _{SIK1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	162		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	354		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	958		ns
Slpホールド時間(対SCKp ↑)注	t _{KS11}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	38		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	38		ns
SCKp ↓ → SOp出力遅延時間注	t _{KSO1}	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		200	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		390	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ		966	ns

注 DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SOOp端子とSCKp端子はN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(簡易SPI(CSI)モード)(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(3/3)

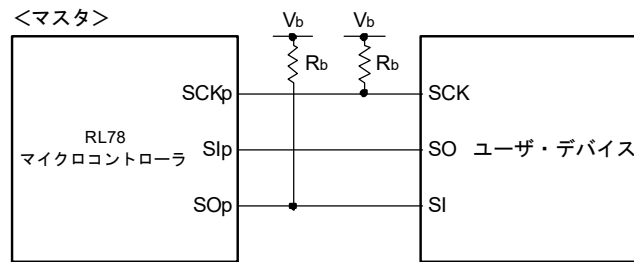
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間(対SCKp ↓)注	tsIK1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	88		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	88		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	220		ns
Slpホールド時間(対SCKp ↓)注	tkSI1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↑ → SOp出力遅延時間注	tkSO1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		50	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		50	ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		50	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI(CSI)モード接続図(異電位通信時)



備考1. R_b [Ω]: 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SCKp, SOp)負荷容量値, V_b [V]: 通信ライン電圧

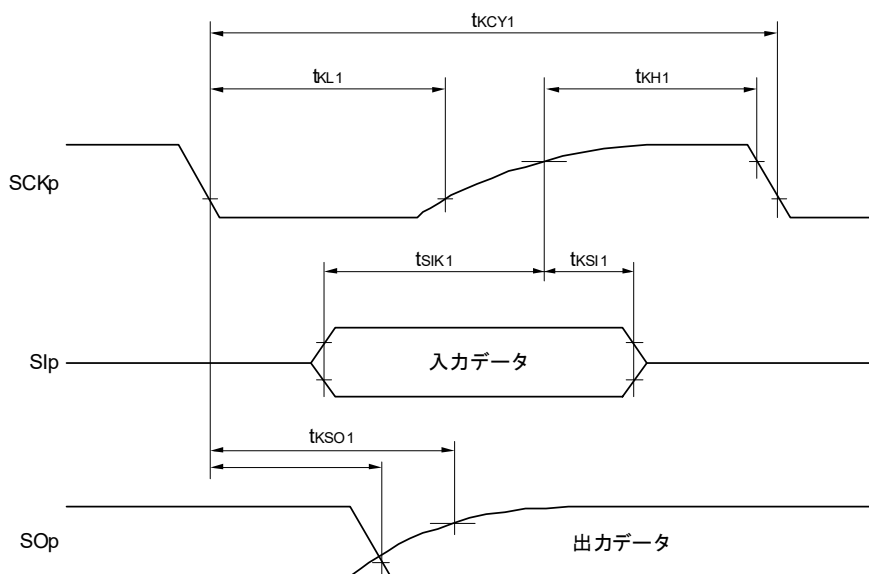
備考2. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャンネル番号(n = 0, 1), g: PIM, POM番号(g = 1)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

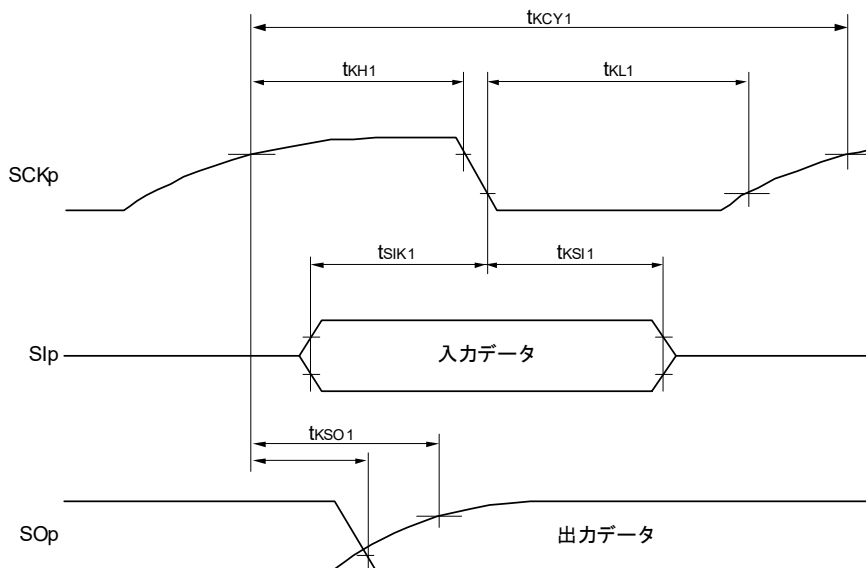
シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00, 01))

簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI(CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI番号(p = 00, 01), m : ユニット番号(m = 0), n : チャネル番号(n = 0, 1), g : PIM, POM番号(g = 1)

(7) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(簡易SPI(CSI)モード)(スレーブ・モード, SCKp...外部クロック入力)

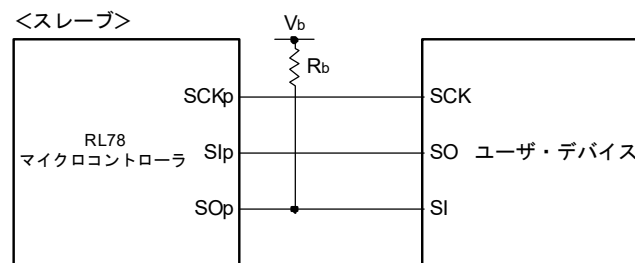
(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム ^{注1}	tkCY2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	20 MHz < fMCK ≤ 24 MHz	24/fMCK		ns
			8 MHz < fMCK ≤ 20 MHz	20/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		ns
			fMCK ≤ 4 MHz	12/fMCK		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < fMCK ≤ 24 MHz	32/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	28/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	24/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	20 MHz < fMCK ≤ 24 MHz	72/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	64/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	52/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	32/fMCK		ns
		fMCK ≤ 4 MHz	20/fMCK		ns	
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		tkCY2/2 - 24		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		tkCY2/2 - 36		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		tkCY2/2 - 100		ns
Slpセットアップ時間 (対SCKp ↑) ^{注2}	tsIK2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		1/fMCK + 40		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		1/fMCK + 40		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		1/fMCK + 60		ns
Slpホールド時間(対SCKp ↑) ^{注2}	tkSI2			1/fMCK + 62		ns
SCKp ↓ → SOP出力遅延時間 ^{注3}	tkSO2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK + 240		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK + 428		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rv = 5.5 kΩ		2/fMCK + 1146		ns

(注, 注意, 備考は次ページにあります。)

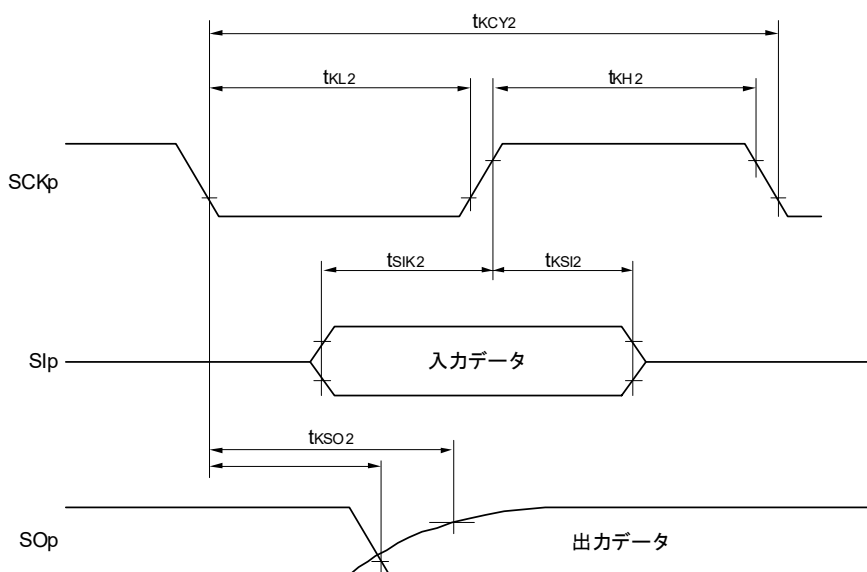
- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。
- 注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

簡易 SPI(CSI)モード接続図(異電位通信時)

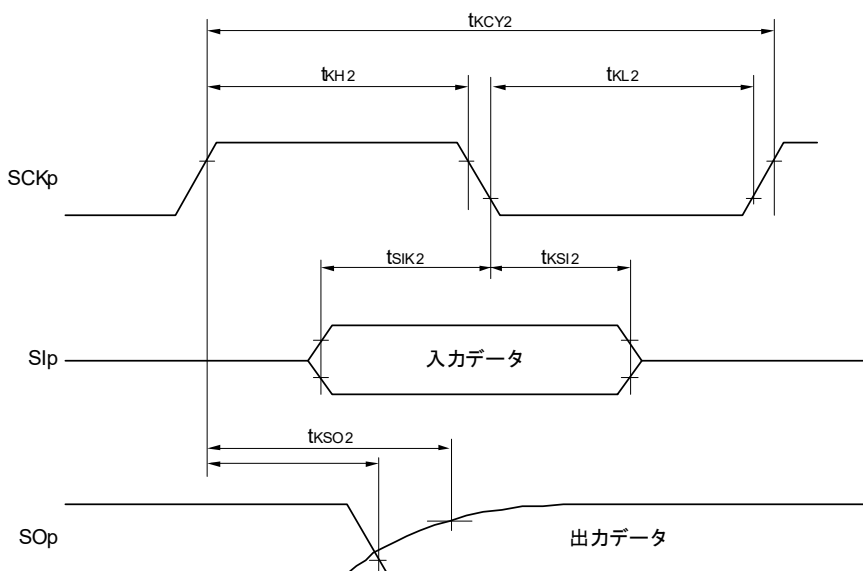


- 備考1. R_b [Ω]: 通信ライン(SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SOp)負荷容量値, V_b [V]: 通信ライン電圧
- 備考2. p: CSI番号(p = 00, 01), m: ユニット番号(m = 0), n: チャネル番号(n = 0, 1), g: PIM, POM番号(g = 1)
- 備考3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号(mn = 00, 01))
- 備考4. スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

簡易SPI(CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI(CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01), m : ユニット番号(m = 0), n : チャネル番号(n = 0, 1), g : PIM, POM番号(g = 1)

備考2. スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

(8) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	fsCL	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		100注1	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		100注1	kHz
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ		100注1	kHz
SCLr = "L" のホールド・タイム	tLOW	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	4600		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	4600		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ	4600		ns
SCLr = "H" のホールド・タイム	tHIGH	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	620		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	500		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	2700		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	2400		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 100 pF, Rb = 5.5 kΩ	1830		ns

(8) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +125 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

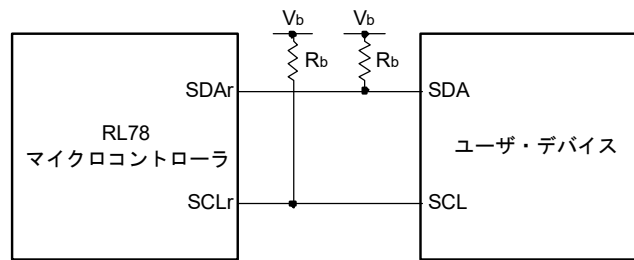
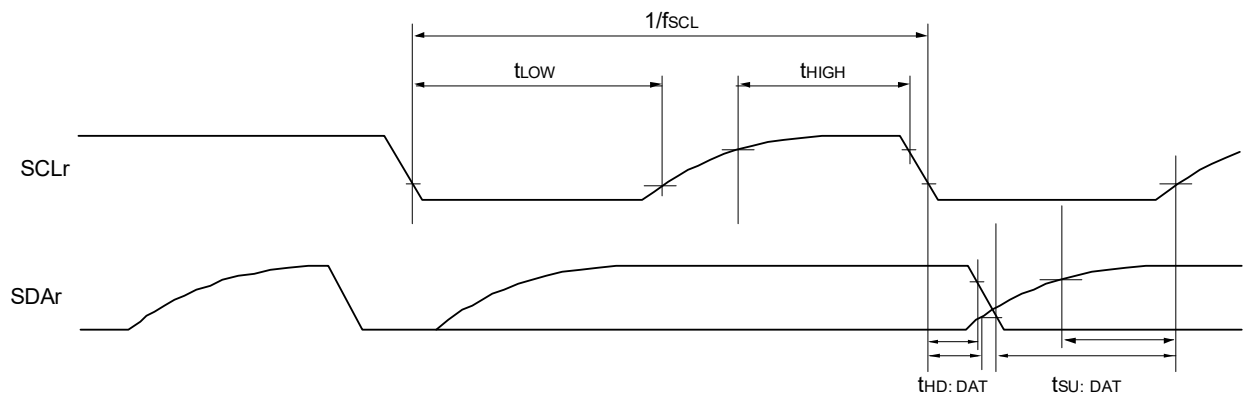
(2/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
データ・セットアップ時間(受信時)	tsu: DAT	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340 ^{注1}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340 ^{注2}		ns
		4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 570 ^{注2}		ns
データ・ホールド時間(送信時)	t _{HD} : DAT	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	1420	ns
		2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	1420	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	0	1215	ns

注1. かつ f_{MCK}/4 以下に設定してください。注2. f_{MCK}値は、SCLr = "L" と SCLr = "H" のホールド・タイムを越えない設定にしてください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、SDAr は TTL 入力バッファ、N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択し、SCLr は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)簡易I²Cモード・シリアル転送タイミング(異電位通信時)

備考1. R_b [Ω]: 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F]: 通信ライン(SDAr, SCLr)負荷容量値, V_b [V]: 通信ライン電圧

備考2. r : IIC番号($r = 00, 01$), g : PIM, POM番号($g = 1$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKSm n ビットで設定する動作クロック。 m : ユニット番号($m = 0$), n : チャネル番号($n = 0$), $mn = 00, 01$)

34.6 アナログ特性

34.6.1 プログラマブル・ゲイン計装アンプ, 24ビット $\Delta\Sigma$ A/Dコンバータ

(1) アナログ入力 (差動入力モード)

(TA = -40 ~ +125 °C, 2.7 V \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V, ノーマル・モード : fs1 = 1 MHz, FDATA1 = 3.90625 ksps, ロウ・パワー・モード : fs2 = 0.125 MHz, FDATA2 = 488.28125 sps, SBIAS = 1.2 V, doFR = 0 mV, VCOM = 1.0 V, 外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
フルスケール差動入力電圧範囲	V _{ID}	V _{ID} = (PGAxP - PGAxN) (x = 0-3)		± 800 /G _{TOTAL}		mV
入力電圧範囲	V _I	PGAxP, PGAxNの各端子 (x = 0-3)	0.2		1.8	V
同相入力電圧範囲	V _{COM}	doFR = 0 mV	$0.2 + (V_{ID} \times G_{SET1})/2$		$1.8 - (V_{ID} \times G_{SET1})/2$	V
入力バイアス電流	I _{IN}	V _I = 1.0 V			± 50	nA
入力オフセット電流	I _{INOFFR}	V _I = 1.0 V			± 20	nA

(2) アナログ入力 (シングルエンド入力モード時)

(TA = -40 ~ +125 °C, 2.7 V \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V, ノーマル・モード : fs1 = 1 MHz, FDATA1 = 3.90625 ksps, ロウ・パワー・モード : fs2 = 0.125 MHz, FDATA2 = 488.28125 sps, SBIAS = 1.2 V, doFR = 0 mV, VCOM = 1.0 V, 外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	V _I	PGAxPの各端子 (x = 0-3) G _{SET1} = 1, G _{SET2} = 1	0.2		1.8	V
入力バイアス電流	I _{IN}	V _I = 1.0 V			± 50	nA

(3) プログラマブル・ゲイン計装アンプ、24ビット $\Delta\Sigma$ /Dコンバータ

(TA = -40 ~ +125 °C, 2.7 V \leq AVDD = VDD \leq 5.5 V, AVSS = VSS = 0 V, ノーマル・モード : fs1 = 1 MHz, FDATA1 = 3.90625 ksps, ロウ・パワー・モード : fs2 = 0.125 MHz, FDATA2 = 488.28125 sps, SBIAS = 1.2 V, doFR = 0 mV, VCOM = 1.0 V, 外部クロック入力, 差動入力モード時) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				24	bit
サンプリング周波数	fs1	ノーマル・モード		1		MHz
	fs2	ロウ・パワー・モード		0.125		MHz
出力データ・レート	fDATA1	ノーマル・モード	0.48828		15.625	ksps
	fDATA2	ロウ・パワー・モード	61.03615		1953.125	sps
ゲイン設定範囲	GTOTAL	GTOTAL = GSET1 \times GSET2	1		64	V/V
第一ゲイン設定範囲	GSET1	差動入力モード限定		1, 2, 3, 4, 8		V/V
第二ゲイン設定範囲	GSET2	差動入力モード限定		1, 2, 4, 8		V/V
オフセット調整ビット範囲	dOFFB			5		bit
オフセット調整範囲	doFR	入力換算	-164/GSET1		+164/GSET1	mV
オフセットの調整ステップ	doFS	入力換算		11/GSET1		mV

(TA = -40 ~ +125 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, ノーマル・モード : fs1 = 1 MHz, FDATA1 = 3.90625 ksps, ロウ・パワー・モード : fs2 = 0.125 MHz, FDATA2 = 488.28125 sps, SBIAS = 1.2 V, doFR = 0 mV, VCOM = 1.0 V, 外部クロック入力, 差動入力モード時) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ゲイン誤差	EG	TA = 25 °C GSET1 = 1, GSET2 = 1 SBIAS 誤差を除く		±0.2	±2.7	%
		TA = 25 °C GSET1 = 8, GSET2 = 4 SBIAS 誤差を除く		±0.1		%
ゲイン・ドリフト注	dEG	GSET1 = 1, GSET2 = 1 SBIAS ドリフトを除く		(5.6)	(22.0)	ppm/°C
		GSET1 = 8, GSET2 = 4 SBIAS ドリフトを除く		(9.1)		ppm/°C
オフセット誤差	Eos	TA = 25 °C GSET1 = 1, GSET2 = 1 入力換算		±0.32	±2.90	mV
		TA = 25 °C GSET1 = 8, GSET2 = 4 入力換算		±0.03		mV
オフセット・ドリフト注	dEos	GSET1 = 1, GSET2 = 1 入力換算		(±0.02)	(±6.00)	µV/°C
		GSET1 = 8, GSET2 = 4 入力換算		(±0.02)		µV/°C
SND比	SNDR	GSET1 = 1, GSET2 = 1, fin = 50 Hz ノーマル・モード, Pin = -1 dBFS	(82)	(85)		dB
		GSET1 = 8, GSET2 = 4, fin = 50 Hz ノーマル・モード, Pin = -1 dBFS	(73)	(80)		dB
ノイズ	Vn	GSET1 = 1, GSET2 = 1, OSR = 2048		(13)		µVRms
		GSET1 = 8, GSET2 = 4, OSR = 2048		(0.6)		µVRms
積分非直線性誤差	INL	GSET1 = 1, GSET2 = 1, OSR = 2048		(±10)		ppmFS
同相信号除去比	CMRR	VCOM = 1.0±0.8 V, fin = 50 Hz GSET1 = 1, GSET2 = 1 差動入力モード	(72)	(90)		dB
電源電圧変動除去比	PSRR	AVDD = 2.7 ~ 5.5 V GSET1 = 1, GSET2 = 1 差動入力モード		(85)		dB
ΔΣA/Dコンバータの 入力クロック周波数	fADC		3.8	4	4.2	MHz

(注, 備考は次ページにあります。)

注 以下の式で、ゲイン・ドリフト、オフセット・ドリフトを算出します（125 °C品の場合）。

ゲイン・ドリフトの算出式： $(\text{MAX}(\text{EG}(\text{T}_{(-40)} \sim \text{T}_{(125)})) - \text{MIN}(\text{EG}(\text{T}_{(-40)} \sim \text{T}_{(125)}))) / (125 \text{ °C} - (-40 \text{ °C}))$

オフセット・ドリフトの算出式： $(\text{MAX}(\text{Eos}(\text{T}_{(-40)} \sim \text{T}_{(125)})) - \text{MIN}(\text{Eos}(\text{T}_{(-40)} \sim \text{T}_{(125)}))) / (125 \text{ °C} - (-40 \text{ °C}))$

MAX(EG(T₍₋₄₀₎ ~ T₍₁₂₅₎)) : -40 °Cから125 °Cの温度範囲におけるゲイン誤差の最大値

MIN(EG(T₍₋₄₀₎ ~ T₍₁₂₅₎)) : -40 °Cから125 °Cの温度範囲におけるゲイン誤差の最小値

MAX(Eos(T₍₋₄₀₎ ~ T₍₁₂₅₎)) : -40 °Cから125 °Cの温度範囲におけるオフセット誤差の最大値

MIN(Eos(T₍₋₄₀₎ ~ T₍₁₂₅₎)) : -40 °Cから125 °Cの温度範囲におけるオフセット誤差の最小値

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

34.6.2 センサ用電源回路 (SBIAS)

(TA = -40 ~ +125 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, COUT = 0.22 μF, VOUT = 1.0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧範囲	VOUT		0.5		2.2	V
出力電圧の設定ステップ	VSTEP			0.1		V
出力電圧精度	VA	IOUT = 1 mA	(-3)		(+3)	%
最大出力電流	IOUT		5			mA
短絡電流	ISHORT	VOUT = 0 V		40	65	mA
負荷変動	LR	1 mA ≤ IOUT ≤ 5 mA			(15)	mV
電源電圧変動除去比	PSRR	AVDD = 5.0 V + 0.1 Vpp ripple f = 100 Hz, IOUT = 2.5 mA	(45)	(50)		dB

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

34.6.3 温度センサ

(TA = -40 ~ +125 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
センサ温度係数	TCSENS			(756)		μV/°C
センサ出力電圧	VTEMP	TA = 25 °C		226.4		mV

備考 () で示した数値は設計目標値であり、出荷テストは行いません。

34.6.4 A/Dコンバータ特性

(1) 基準電圧(+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = AVSS (ADREFM = 0)選択時,

変換対象 : ANI0-ANI9, SBIAS

(TA = -40 ~ +125 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = AVDD, 基準電圧(-) = AVSS)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差注1	AINL	10ビット分解能	4.0 V ≤ AVDD ≤ 5.5 V	1.2	±6.5	LSB
		ANI0-ANI9, SBIAS	2.7 V ≤ AVDD ≤ 5.5 V	1.2	±7.0	LSB
変換時間	tCONV	10ビット分解能	4.0 V ≤ AVDD ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ AVDD ≤ 5.5 V	3.1875	39	μs
ゼロスケール誤差注1, 2	Ezs	10ビット分解能	4.0 V ≤ AVDD ≤ 5.5 V		±0.50	%FSR
		ANI0-ANI9, SBIAS	2.7 V ≤ AVDD ≤ 5.5 V		±0.60	%FSR
フルスケール誤差注1, 2	Efs	10ビット分解能	4.0 V ≤ AVDD ≤ 5.5 V		±0.50	%FSR
		ANI0-ANI9, SBIAS	2.7 V ≤ AVDD ≤ 5.5 V		±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能	4.0 V ≤ AVDD ≤ 5.5 V		±3.5	LSB
		ANI0-ANI9, SBIAS	2.7 V ≤ AVDD ≤ 5.5 V		±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能	2.7 V ≤ AVDD ≤ 5.5 V		±2.0	LSB
アナログ入力電圧	VAIN	ANI0-ANI9	AVSS		AVDD	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注意 製品により端子数は異なります。詳細は 端子機能一覧を参照してください。

(2) 基準電圧(+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧(-) = AVSS (ADREFM = 0)選択時,

変換対象 : ANI0-ANI9, SBIAS

(TA = -40 ~ +105 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = VBGR, 基準電圧(-) = AVSS)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	2.7 V ≤ AVDD ≤ 5.5 V	17	39	μs
ゼロスケール誤差注1, 2	Ezs	8ビット分解能	2.7 V ≤ AVDD ≤ 5.5 V		±0.60	%FSR
積分直線性誤差注1	ILE	8ビット分解能	2.7 V ≤ AVDD ≤ 5.5 V		±2.0	LSB
微分直線性誤差注1	DLE	8ビット分解能	2.7 V ≤ AVDD ≤ 5.5 V		±1.0	LSB
内部基準電圧(+)	VBGR	2.7 V ≤ AVDD ≤ 5.5 V	VBGR注3			V
アナログ入力電圧	VAIN	ANI0-ANI9	0		VBGR	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 内部基準電圧特性を参照してください。

34.6.5 12ビットD/Aコンバータ

(1) 基準電圧(+) = AVDD (DACVRF = 0)選択時

(TA = -40 ~ +125 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = AVDD)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	DARES				(12)	bit
出力電圧範囲	DAOUT	12ビット分解能	0.35		AVDD-0.47	V
積分非直線性誤差	DAILE	12ビット分解能			±4.0	LSB
微分非直線性誤差	DADLE	12ビット分解能			±1.0	LSB
オフセット誤差	DAErr	12ビット分解能			±30	mV
ゲイン誤差	DAEG	12ビット分解能			±20	mV
セトリング時間	DAtset	12ビット分解能, CL = 50 pF, RL = 10 kΩ			(60)	μs

備考1. () で示した数値は設計目標値であり、出荷テストは行いません。

備考2. 12ビットD/Aコンバータの特性は、コンフィギュラブル・アンプを通した特性です。

(2) 基準電圧(+) = 内部基準電圧(DACVRF = 1)選択時

(TA = -40 ~ +125 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, 基準電圧(+) = VREFDA)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	DARES				(8)	bit
内部基準電圧	VREFDA	8ビット分解能	1.34	1.45	1.54	V
出力電圧範囲	DAOUT	8ビット分解能	0.35		VREFDA	V
積分非直線性誤差	DAILE	8ビット分解能			±1.0	LSB
微分非直線性誤差	DADLE	8ビット分解能			±1.0	LSB
オフセット誤差	DAErr	8ビット分解能			±30	mV
ゲイン誤差	DAEG	8ビット分解能			±20	mV
セトリング時間	DAtset	8ビット分解能, CL = 50 pF, RL = 10 kΩ			(60)	μs

備考1. () で示した数値は設計目標値であり、出荷テストは行いません。

備考2. 12ビットD/Aコンバータの特性は、コンフィギュラブル・アンプを通した特性です。

備考3. オフセット誤差とゲイン誤差は、内部基準電圧の誤差を含まない値です。

34.6.6 コンフィギュラブル・アンプ

(TA = -40 ~ +125 °C, 2.7 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V, VCOM = 1/2 AVDD, 内部接続ボルテージ・フォロア)

【AMP0コンフィグSW設定】+端子 : ANX1, -端子 : ANX0

【AMP1コンフィグSW設定】+端子 : ANX3, -端子 : ANX2

【AMP2コンフィグSW設定】+端子 : ANX5, -端子 : ANX4

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V _{IN}		AV _{SS}		AV _{DD}	V
出力電圧	V _{OL}	I _L = -1 mA, AV _{DD} = 2.7 ~ 5.5 V		AV _{SS} +0.02	AV _{SS} +0.07	V
	V _{OH}	I _L = 1 mA, AV _{DD} = 2.7 ~ 5.5 V	AV _{DD} -0.15	AV _{DD} -0.02		V
最大出力電流	I _{OUT}	4.5 V ≤ AV _{DD} ≤ 5.5 V	±10			mA
		2.7 V ≤ AV _{DD} ≤ 5.5 V	±5			mA
入力換算オフセット電圧	V _{OFF}	TA = 25 °C without trimming I _L = 0 mA, V _{COM} = 1.0 V		±1	±4	mV
		TA = 25 °C with trimming I _L = 0 mA, V _{COM} = 1.0 V			±0.35	mV
入力換算オフセット電圧 電圧温度係数	V _{OTC}	I _L = 0 mA		(±2)	(±8)	μV/°C
スルー・レート	SR1	ノーマル・モード CL = 50 pF, RL = 10 kΩ		(0.1)		V/μs
	SR2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ		(0.8)		V/μs
利得帯域幅	GBW1	ノーマル・モード CL = 50 pF, RL = 10 kΩ		(350)		kHz
	GBW2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ		(1.8)		MHz
位相余裕	θM1	ノーマル・モード CL = 50 pF, RL = 10 kΩ		(70)		deg
	θM2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ		(60)		deg
セトリング時間	tset1	ノーマル・モード CL = 50 pF, RL = 10 kΩ		(20)		μs
	tset2	ハイスピード・モード CL = 50 pF, RL = 10 kΩ		(10)		μs
低帯域換算ノイズ	Enb	0.1 ~ 10 Hz ノーマル・モード CL = 50 pF, RL = 10 kΩ		(2.0)		μVrms
入力換算ノイズ	En	f = 1 kHz ノーマル・モード CL = 50 pF, RL = 10 kΩ		(70)		nV/√Hz
同相信号除去比	CMRR	f = 1 KHz, CL = 50 pF, RL = 10 kΩ		(70)		dB
電源電圧変動除去比	PSRR	2.7 V ≤ AV _{DD} ≤ 5.5 V CL = 50 pF, RL = 10 kΩ		(62)		dB

備考1. () で示した数値は設計目標値であり、出荷テストは行いません。

備考2. TYP.条件は、TA = 25 °C, AV_{DD} = 5.0 Vでの結果です。

備考3. 条件に記載が無い場合は、オフセット・トリミングされている状態です。

備考4. 条件に記載が無い場合は、ノーマル・モードです。

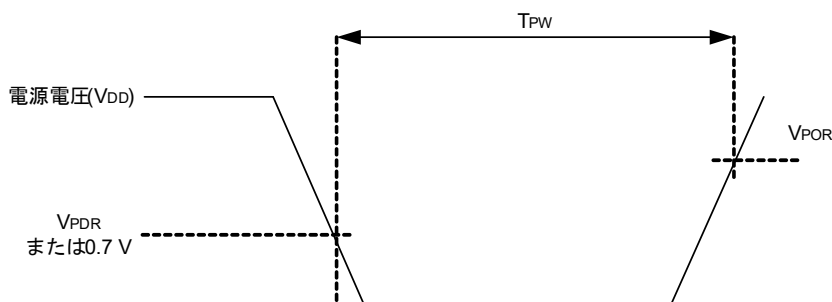
34.6.7 POR回路特性

(TA = -40 ~ +125 °C, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POR}	電源立ち上がり時	1.48	1.56	1.62	V
	V _{PDR}	電源立ち下がり時 ^{注1}	1.47	1.55	1.61	V
最小パルス幅 ^{注2}	T _{PW}		300			μs

注1. ただし、LVDオフの条件で動作電圧降下時は、34.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行、または電圧検出機能が外部リセット端子で、リセット状態にしてください。

注2. V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定によりメイン・システム・クロック(f_{MAIN})を停止時は、V_{DD}が0.7Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



34.6.8 LVD回路特性

(1) リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +125 °C, VPDR ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	4.62	4.74	4.94	V
			電源立ち下がり時	4.52	4.64	4.84	V
		VLVD1	電源立ち上がり時	4.50	4.62	4.82	V
			電源立ち下がり時	4.40	4.52	4.71	V
		VLVD2	電源立ち上がり時	4.30	4.42	4.61	V
			電源立ち下がり時	4.21	4.32	4.51	V
		VLVD3	電源立ち上がり時	3.13	3.22	3.39	V
			電源立ち下がり時	3.07	3.15	3.31	V
		VLVD4	電源立ち上がり時	2.95	3.02	3.17	V
			電源立ち下がり時	2.89	2.96	3.09	V
		VLVD5	電源立ち上がり時	2.74	2.81	2.95	V
			電源立ち下がり時	2.68	2.75	2.88	V
		VLVD6	電源立ち上がり時	2.55	2.61	2.74	V
			電源立ち下がり時	2.49	2.55	2.67	V
最小パルス幅	tlw		300			μs	
検出遅延					300	μs	

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +125 °C, VPDR ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDD6	VPOC2, VPOC1, VPOC0 = 0, 0, 0, 立ち下がりリセット電圧	2.49	2.55	2.67	V	
	VLVDD4	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.95	3.02	3.17	V
			立ち下がり割り込み電圧	2.89	2.96	3.09	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.13	3.22	3.39	V
			立ち下がり割り込み電圧	3.07	3.15	3.31	V
	VLVDD5	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がりリセット電圧	2.68	2.75	2.88	V	
	VLVDD2	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.30	4.42	4.61	V
			立ち下がり割り込み電圧	4.21	4.32	4.51	V
	VLVDD5	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧	2.68	2.75	2.88	V	
	VLVDD1	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	4.82	V
			立ち下がり割り込み電圧	4.40	4.52	4.71	V
	VLVDD5	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.68	2.75	2.88	V	
	VLVDD3	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.39	V
			立ち下がり割り込み電圧	3.07	3.15	3.31	V
	VLVDD0	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	4.94	V
立ち下がり割り込み電圧			4.52	4.64	4.84	V	

34.6.9 電源電圧立ち上がり傾き特性

(TA = -40 ~ +125 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				50	V/ms

注意 VDDが34.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

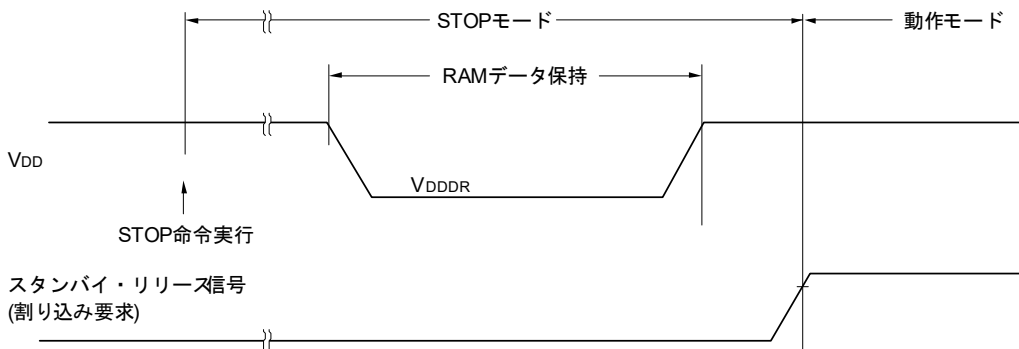
34.7 RAM データ 保持特性

(TA = -40 ~ +125 °C, VSS = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.47注1,2		5.5	V

注1. POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。

注2. 推奨動作電圧を下回る場合は、その前にSTOPモードへ移行してください。



34.8 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +125 °C注4, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≤ VDD ≤ 5.5 V	1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cewwr	保持年数 : 20年 TA = 85 °C注5	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数 : 1年 TA = 25 °C注5		1,000,000		
		保持年数 : 5年 TA = 85 °C注5	100,000			
		保持年数 : 20年 TA = 85 °C注5	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

注4. フラッシュ・メモリ・プログラマ使用時はTA = -40 ~ +105 °Cになります。

注5. 保持の平均温度です。

34.9 専用フラッシュ・メモリ・プログラマ通信(UART)

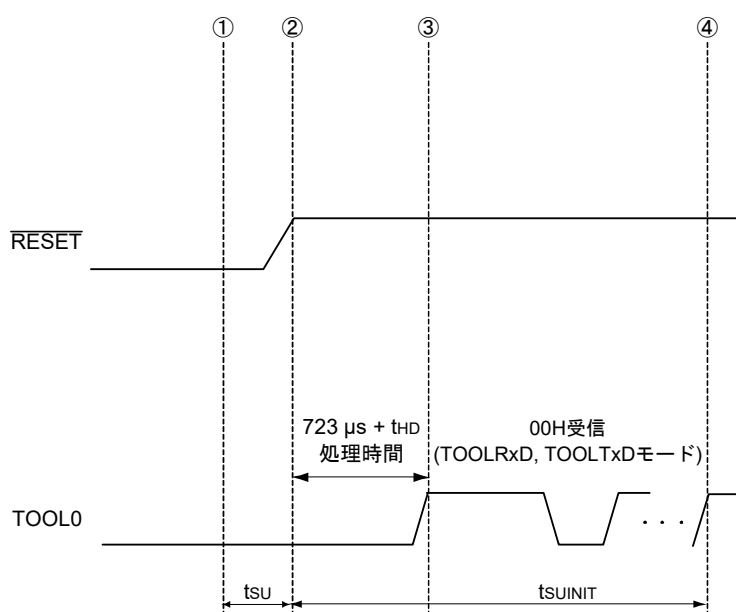
(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40 ~ +105 °C, 2.4 V ≤ AVDD = VDD ≤ 5.5 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

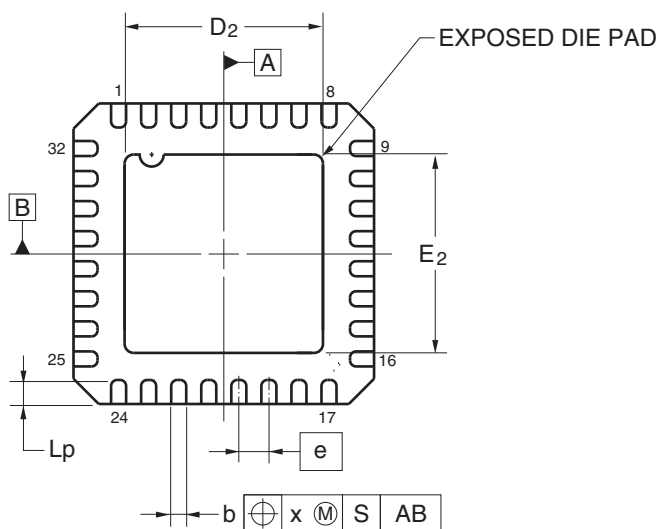
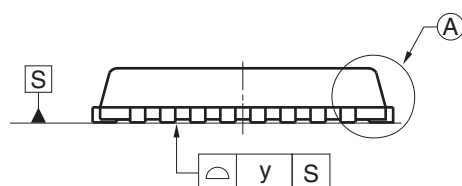
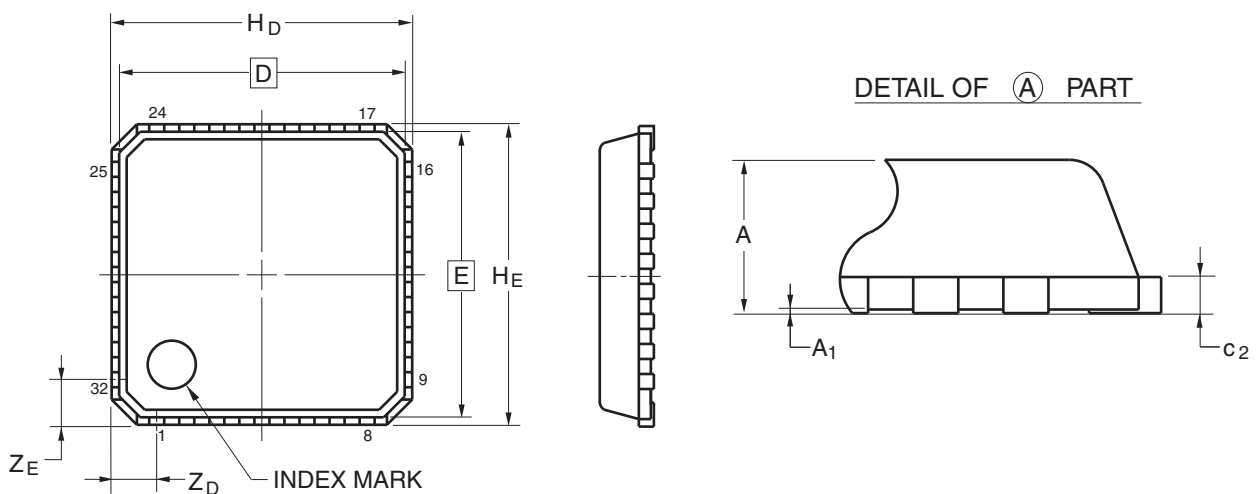
tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第35章 外形図

35.1 32ピン製品

R5F11CBCGNA, R5F11CBCMNA

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HVQFN32-5x5-0.50	PVQN0032KE-A	P32K9-50B-BAH	0.058

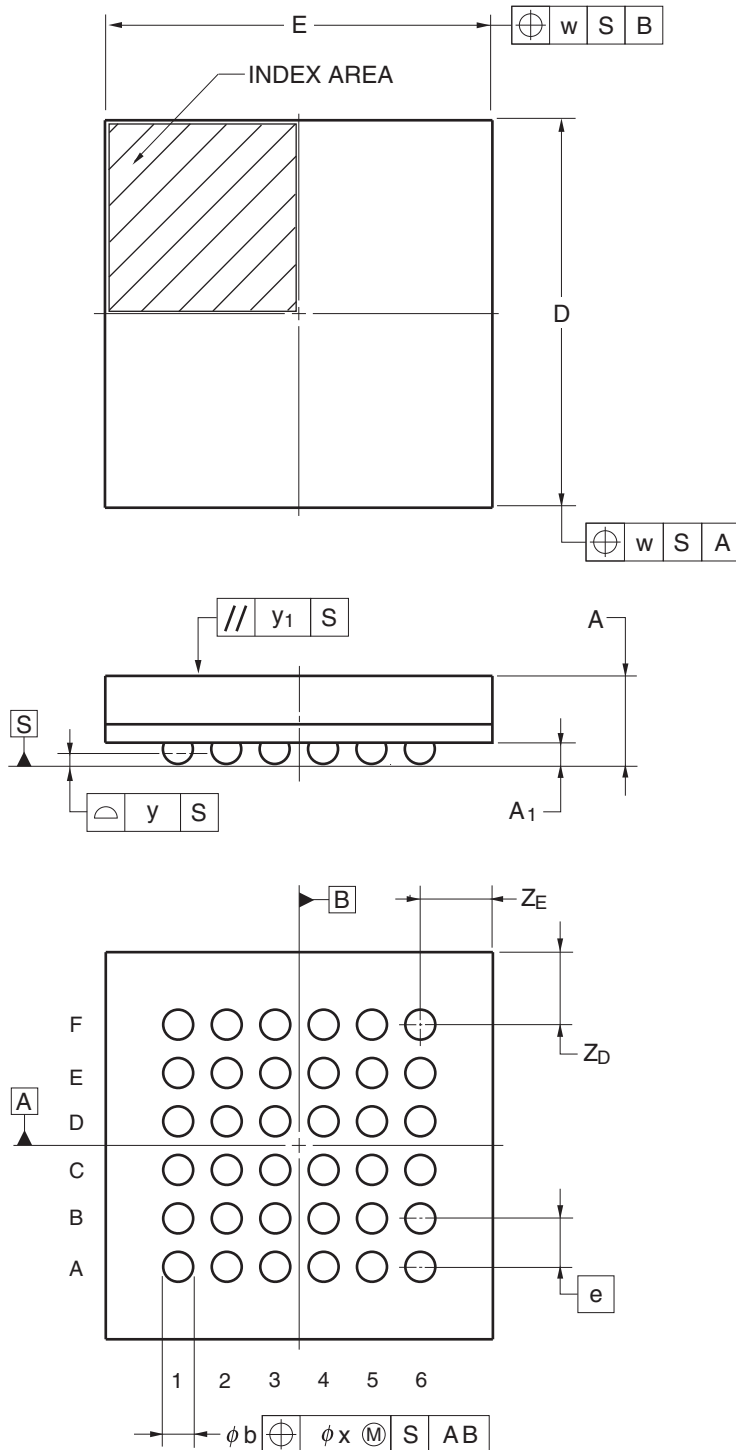


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	4.75	—
E	—	4.75	—
A	—	—	0.90
A ₁	0.00	—	—
b	0.20	0.25	0.30
e	—	0.50	—
L _p	0.30	0.40	0.50
x	—	—	0.10
y	—	—	0.05
H _D	4.95	5.00	5.05
H _E	4.95	5.00	5.05
Z _D	—	0.75	—
Z _E	—	0.75	—
c ₂	0.19	0.20	0.21
D ₂	—	3.30	—
E ₂	—	3.30	—

35.2 36ピン製品

R5F11CCCGBG, R5F11CCCMBG

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-TFBGA36-4x4-0.50	PTBG0036KA-A	P36F1-50-AA6	0.027



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	3.90	4.00	4.10
E	3.90	4.00	4.10
A	—	—	1.10
A ₁	0.17	0.22	0.27
e	—	0.50	—
b	0.26	0.31	0.36
x	—	—	0.05
y	—	—	0.08
y ₁	—	—	0.20
Z _D	—	0.75	—
Z _E	—	0.75	—
w	—	—	0.20

付録A 改版履歴

A.1 本版で改訂された主な箇所

箇所	内容	分類
第1章 概説		
p.4	図1-1 RL78/I1Eの型名とメモリサイズ・パッケージを変更	(d)
p.5	1.2 型名一覧を変更	(d)
第12章 ウォッチドッグ・タイマ		
p.328	表12-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定に注を追加	(c)
第27章 安全機能		
p.766	27.1 安全機能の概要を変更	(c)
p.766	27.1 安全機能の概要の備考を変更	(c)
p.771	27.3.2 CRC 演算機能(汎用CRC)を変更	(c)
p.776	27.3.4 RAM ガード機能を変更	(c)
p.777	27.3.5 SFR ガード機能を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a): 誤記訂正, (b): 仕様(スペック含む)の追加/変更, (c): 説明, 注意事項の追加/変更,
 (d): パッケージ, オータ名称, 管理区分の追加/変更, (e): 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/9)

箇所	内容	分類
Rev.1.00	1.1 特徴を変更	第1章 概説
	図1-1 RL78/I1Eの型名とメモリサイズ・パッケージを変更	
	1.6 機能概要を変更	
	2.2.1 AFE以外の兼用機能を変更	第2章 端子機能
	2.2.2 AFE端子の機能を変更	
	表2-3 各端子の未使用端子処理を変更	
	表3-4 内部RAM容量の注意2を変更	第3章 CPUアーキテクチャ
	表3-12 拡張特殊機能レジスタ(2nd SFR)一覧(5/8)を変更	
	表3-13 拡張特殊機能レジスタ(2nd SFR)一覧(6/8)を変更	
	表3-14 拡張特殊機能レジスタ(2nd SFR)一覧(7/8)を変更	
	表3-15 拡張特殊機能レジスタ(2nd SFR)一覧(8/8)を変更	
	3.3 命令アドレスのアドレッシングの説明を削除	第4章 ポート機能
	3.4 処理データ・アドレスに対するアドレッシングの説明を削除	
	表4-4 P10-P17, P40-P42, P137端子機能使用時のレジスタの設定例(1/2)を変更	第4章 ポート機能
	表4-4 P10-P17, P40-P42, P137端子機能使用時のレジスタの設定例(2/2)を変更	
	図5-4 クロック動作ステータス制御レジスタ(CSC)のフォーマットの注意5を変更	第5章 クロック発生回路
	図5-11 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットの注意4を追加	
	図5-12 PLL制御レジスタ(DSCCTL)のフォーマットの注意1,2を追加	
	図5-20 CPUクロック状態移行を変更	
	表5-6 CPUクロックの移行とSFRレジスタの設定例(3/5)を変更	
	表5-7 CPUクロックの移行とSFRレジスタの設定例(4/5)を変更	
	表5-8 CPUクロックの移行とSFRレジスタの設定例(5/5)を変更	
	表5-9 CPUクロックの移行についてを変更	
	5.6.6 クロック発振停止前の条件の説明を変更	
	タイマ・アレイ・ユニットの説明を変更	
	6.1.3.8ビット・タイマ動作機能(ユニット0のチャンネル1,3のみ)の説明を変更	
	図6-2 タイマ・アレイ・ユニット0のチャンネル0内部ブロック図を変更	
	図6-6 タイマ・アレイ・ユニット1の全体ブロック図を変更	
	図6-8 タイマ・アレイ・ユニット1のチャンネル1内部ブロック図を変更	
	6.2.2 タイマ・データ・レジスタ mn (TDRmn)の説明を変更	
6.3.3 タイマ・モード・レジスタ mn (TMRmn)の説明を変更		
図6-15 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)を変更		
図6-16 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(2/4)を変更		
図6-17 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(3/4)を変更		
図6-18 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(4/4)を変更		
図6-20 タイマ・チャンネル許可ステータス・レジスタ m (TEm)のフォーマットを変更		
6.3.6 タイマ・チャンネル開始レジスタ m (TSm)の説明を変更		
図6-21 タイマ・チャンネル開始レジスタ m (TSm)のフォーマットを変更		

(2/9)

箇所	内容	分類
Rev.1.00	図6-21 タイマ・チャンネル開始レジスタ m (TSm)のフォーマットの注意3を変更	第6章 タイマ・アレイ・ユニット
	6.3.7 タイマ・チャンネル停止レジスタ m (TTm)の説明を変更	
	図6-22 タイマ・チャンネル停止レジスタ m (TTm)のフォーマットを変更	
	6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)の説明を変更	
	6.8.1 インターバル・タイマ/方形波出力としての動作の説明を変更	
	図6-50 インターバル・タイマ/方形波出力時のレジスタ設定内容例を変更	
	図6-51 インターバル・タイマ/方形波出力機能時の操作手順(1/2)を変更	
	図6-52 インターバル・タイマ/方形波出力機能時の操作手順(2/2)の注1,2を変更	
	6.8.2 外部イベント・カウンタとしての動作の説明を変更	
	図6-55 外部イベント・カウンタ・モード時のレジスタ設定内容例を変更	
	図6-59 入力パルス間隔測定時のレジスタ設定内容例を変更	
	図6-63 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例を変更	
	6.8.5 デイレイ・カウンタとしての動作の説明を変更	
	図6-67 デイレイ・カウンタ機能時のレジスタ設定内容例を変更	
	6.9.1 ワンショット・パルス出力機能としての動作の注意を変更	
	図6-72 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例を変更	
	図6-78 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例を変更	
	図9-7 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)のフォーマット(2/2)を変更	
図9-15 時計誤差補正レジスタ (SUBCUD)のフォーマットを変更		
図9-16 16ビット時計誤差補正レジスタ (SUBCUDW)のフォーマットを変更		
9.4.6 リアルタイム・クロックの時計誤差補正例の備考1を変更	第13章 アナログ・フロントエンド電源回路	
13.1 アナログ・フロントエンド電源回路の機能の説明を変更		
13.3 アナログ・フロントエンド電源回路を制御するレジスタに説明を追加		
13.3.1 周辺イネーブル・レジスタ 1 (PER1)に説明を追加		
13.3.3 アナログ・フロントエンド電源検出レジスタ (AFEPWD) の説明を変更		
13.6.1 内部電源供給回路 (REGA) の概要の説明を変更		
図13-9 アナログ・フロントエンド (AFE) 電源の起動フローを変更		
図13-10 アナログ・フロントエンド (AFE) 電源の停止フローを変更		
図13-11 電源起動シーケンスのタイミング・チャートを変更	第14章 プログラマブル・ゲイン計装アンプ付き24ビットΔΣA/Dコンバータ	
図14-1 プログラマブル・ゲイン計装アンプ付き24ビットΔΣA/Dコンバータのブロック図を変更		
14.3.3 入力マルチプレクサを制御するレジスタの説明を変更		
14.4.6 プログラマブル・ゲイン計装アンプ (PGA) を制御するレジスタの説明を変更		
図14-11 断線検知設定レジスタ (PGABOD)のフォーマットを変更		
図14-12 24ビットΔΣA/Dコンバータのブロック図を変更		
表14-1 24ビットΔΣA/Dコンバータへの入力電圧とA/D変換結果を変更		
14.5.4 24ビットΔΣA/Dコンバータを制御するレジスタの説明を変更		

(3/9)

箇所	内容	分類
Rev.1.00	図 14 - 18 ΔΣA/D コンバータ・モード・レジスタ (DSADMR) のフォーマットを変更	第 14 章 プロ グラマブル・ ゲイン計装ア ンプ付き 24 ビット ΔΣA/D コンバータ
	図 14 - 19 ΔΣA/D コンバータ・コントロール・レジスタ (DSADCTL) のフォーマットを変更	
	図 14 - 20 入力マルチプレクサ x (x = 0 ~ 4) 設定レジスタ 0 (PGAxCTL0) のフォーマットを変更	
	図 14 - 21 入力マルチプレクサ x (x = 0 ~ 4) 設定レジスタ 2 (PGAxCTL2) のフォーマットを変更	
	図 14 - 22 階調数 (レジスタ値) と A/D 変換回数 の 相関 を 変更	
	図 14 - 23 入力マルチプレクサ x (x = 0 ~ 4) 設定レジスタ 3 (PGAxCTL3) のフォーマットを変更	
	14.5.5 ΔΣA/D コンバータの制御 (AUTOSCAN) の説明を追加	
	図 14 - 36 AUTOSCANシーケンスを変更	
	14.5.7 デジタル・フィルタの構成の説明を変更	
	14.6 プログラマブル・ゲイン計装アンプ付き 24 ビット ΔΣA/D コンバータ制御フローの説明を変更	
	図 14 - 39 プログラマブル・ゲイン計装アンプ付き 24 ビット ΔΣA/D コンバータの起動フローを変更	
	図 14 - 40 プログラマブル・ゲイン計装アンプ付き 24 ビット ΔΣA/D コンバータの A/D 変換フローを変更	
	図 14 - 41 プログラマブル・ゲイン計装アンプ付き 24 ビット ΔΣA/D コンバータの停止フローを変更	
	図 14 - 42 プログラマブル・ゲイン計装アンプ付き 24 ビット ΔΣA/D コンバータの温度センサ計測フローを変更	
	14.7 プログラマブル・ゲイン計装アンプ付き 24 ビット ΔΣA/D コンバータの注意事項を変更	
図 16 - 4	A/D 電圧コンパレータ使用時のタイミング・チャートを変更	第 16 章 A/D
16.3.2	A/D コンバータ・モード・レジスタ 0 (ADM0) の説明を変更	コンバータ
図 16 - 5	A/D コンバータのサンプリングと A/D 変換のタイミング (例 ソフトウェア・トリガ・モードの場合) を変更	
図 16 - 6	A/D コンバータ・モード・レジスタ 1 (ADM1) のフォーマットの備考 1 を変更	
図 16 - 19	ソフトウェア・トリガ・モード (セレクト・モード, 連続変換モード) 動作タイミング例を変更	
図 16 - 20	ソフトウェア・トリガ・モード (セレクト・モード, ワンショット変換モード) 動作タイミング例を変更	
図 16 - 21	ソフトウェア・トリガ・モード (スキャン・モード, 連続変換モード) 動作タイミング例を変更	
図 16 - 22	ソフトウェア・トリガ・モード (スキャン・モード, ワンショット変換モード) 動作タイミング例を変更	
図 16 - 23	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード, 連続変換モード) 動作タイミング例を変更	

(4/9)

箇所	内容	分類
Rev.1.00	図 16-24 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例を変更	第16章 A/D コンバータ
	図 16-25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例を変更	
	図 16-26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例を変更	
	図 16-27 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例を変更	
	図 16-28 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例を変更	
	図 16-29 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例を変更	
	図 16-30 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例を変更	
17.1.1 汎用オペアンプとして使用の説明を変更	第17章 コン フィギュラ ブル・アンプ	
図 17-1 コンフィギュラブル・アンプの回路例(ボルテージ・フォロア)を変更		
17.1.2 コンフィギュラブル・アンプとして使用の説明を変更		
図 17-2 コンフィギュラブル・アンプの回路例(ボルテージ・フォロアカスケード接続)を変更		
図 17-3 コンフィギュラブル・アンプの回路例(プログラマブル非反転増幅回路)を変更		
図 17-4 コンフィギュラブル・アンプの回路例(プログラマブルI-Vアンプ)を変更		
図 17-5 12ビットD/Aコンバータの出力アンプを変更		
17.1.4 オフセット・キャリブレーション機能の説明を変更		
表 17-1 コンフィギュラブル・アンプを制御するレジスタ一覧を変更		
17.3.2 アナログ・フロントエンド電源選択レジスタ (AFEPWS) の説明を追加		
17.3.4 コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0) の説明を変更		
図 17-13 コンフィギュラブル・アンプ0出力選択レジスタ (AMP0S0) のフォーマットを変更		
17.3.5 コンフィギュラブル・アンプ1出力選択レジスタ (AMP1S0) の説明を変更		
図 17-14 コンフィギュラブル・アンプ1出力選択レジスタ (AMP1S0) のフォーマットを変更		
17.3.6 コンフィギュラブル・アンプ2出力選択レジスタ (AMP2S0) の説明を変更		
図 17-15 コンフィギュラブル・アンプ2出力選択レジスタ (AMP2S0) のフォーマットを変更		
17.3.7 コンフィギュラブル・アンプ0マイナス入力選択レジスタ (AMP0S1) の説明を変更		
図 17-16 コンフィギュラブル・アンプ0マイナス入力選択レジスタ (AMP0S1) のフォーマットを変更		
17.3.8 コンフィギュラブル・アンプ1マイナス入力選択レジスタ (AMP1S1) の説明を変更		

(5/9)

箇所	内容	分類
Rev.1.00	図 17 - 17 コンフィギュラブル・アンプ1マイナス入力選択レジスタ (AMP1S1) のフォーマットを変更 17.3.9 コンフィギュラブル・アンプ2マイナス入力選択レジスタ (AMP2S1) の説明を変更 図 17 - 18 コンフィギュラブル・アンプ2マイナス入力選択レジスタ (AMP2S1) のフォーマットを変更 17.3.10 コンフィギュラブル・アンプ0プラス入力選択レジスタ (AMP0S2) の説明を変更 図 17 - 19 コンフィギュラブル・アンプ0プラス入力選択レジスタ (AMP0S2) のフォーマットを変更 17.3.11 コンフィギュラブル・アンプ1プラス入力選択レジスタ (AMP1S2) の説明を変更 図 17 - 20 コンフィギュラブル・アンプ1プラス入力選択レジスタ (AMP1S2) のフォーマットを変更 17.3.12 コンフィギュラブル・アンプ2プラス入力選択レジスタ (AMP2S2) の説明を変更 図 17 - 21 コンフィギュラブル・アンプ2プラス入力選択レジスタ (AMP2S2) のフォーマットを変更 図 17 - 22 コンフィギュラブル・アンプnトリミング・レジスタ (AMPnCAL) のフォーマットを変更 図 17 - 25 コンフィギュラブル・アンプの起動フローを変更 図 17 - 26 コンフィギュラブル・アンプの停止フローを変更 17.4.3 スイッチを使用したコンフィギュラブル・アンプの回路構成変更を変更 図 17 - 27 コンフィギュラブル・アンプの回路構成変更フローを変更 17.4.4 コンフィギュラブル・アンプの動作モード変更の説明を追加 図 17 - 29 オフセット・トリミング回路構成を変更 図 17 - 31 オフセット・トリミング設定フローを変更 17.4.7 アナログ/デジタル兼用端子の説明を変更 17.5 コンフィギュラブル・アンプの注意事項の説明を変更	第17章 コンフィギュラブル・アンプ
	18.1 12ビットD/Aコンバータの機能を変更 表 18 - 1 12ビットD/Aコンバータの仕様を変更 表 18 - 2 入出力端子を変更 18.2 12ビットD/Aコンバータを制御するレジスタを変更 表 18 - 3 12ビットD/Aコンバータのレジスタ一覧を変更 18.2.2 アナログ・フロントエンド電源選択レジスタ (AFEPWS) の説明を追加 18.2.3 D/Aコンバータ・モード・レジスタ0 (DACM0) の説明を変更 18.2.4 D/Aコンバータ・モード・レジスタ1 (DACM1) の説明を変更 18.3.2 イベント信号受信による動作 (ハードウェア・トリガ・モード) の説明を変更 18.3.3 12ビットD/Aコンバータ制御フローの説明を変更 図 18 - 9 12ビットD/Aコンバータの起動フローを変更	第18章 12ビットD/Aコンバータ

(6/9)

箇所	内容	分類	
Rev.1.00	図18-10 12ビットD/Aコンバータの停止フローを変更	第18章 12	
	18.3.4 12ビットD/Aコンバータの基準電圧源変更の説明を追加	ビットD/Aコンバータ	
	18.4 12ビットD/Aコンバータの注意事項を変更		
	19.7.2 UART受信の説明を変更	第19章 シリアル・アレイ・ユニット	
	図20-2 DTCBARレジスタにFBHを設定したときのメモリ・マップ例を変更	第20章 データ・トランスファ・コントローラ(DTC)	
	20.5.3 DTC保留命令の説明を追加		
	22.4.4 除算命令中の割り込み処理に注意を追加	第22章 割り込み機能	
	22.4.5 割り込み要求の保留の説明を変更		
	表23-2 STOPモード時の動作状態を変更	第23章 スタンバイ機能	
	27.3.2 CRC演算機能(汎用CRC)の説明を変更	第27章 安全機能	
	図27-11 不正アクセス検出空間を変更		
	表30-1 RL78/I1Eと専用フラッシュ・メモリ・プログラムの配線表を変更	第30章 フラッシュ・メモリ	
	第33章 命令セットの概要を削除	第33章 命令セットの概要	
	第33章 電気的特性(G: TA = -40~+105℃)を変更	第33章 電気的特性(G: TA = -40~+105℃)	
	第33章 電気的特性(G: TA = -40~+105℃)の注意1を削除		
	33.3.2 電源電流特性を変更		
	33.6.1 プログラマブル・ゲイン計装アンプ, 24ビットΔΣA/Dコンバータを変更		
	33.6.1 プログラマブル・ゲイン計装アンプ, 24ビットΔΣA/Dコンバータの説明を変更		
	33.6.2 センサ用電源回路(SBIAS)を変更		
	33.6.3 温度センサを変更		
	33.6.5 12ビットD/Aコンバータを変更		
	33.6.6 コンフィギュラブル・アンプを変更		
	第34章 電気的特性(M: TA = -40~+125℃)を変更		第34章 電気的特性(M: TA = -40~+125℃)
	第34章 電気的特性(M: TA = -40~+125℃)の注意1を削除		
	34.3.2 電源電流特性を変更		
	34.6.1 プログラマブル・ゲイン計装アンプ, 24ビットΔΣA/Dコンバータを変更		
	34.6.1 プログラマブル・ゲイン計装アンプ, 24ビットΔΣA/Dコンバータの説明を変更		
	34.6.2 センサ用電源回路(SBIAS)を変更		
	34.6.3 温度センサを変更		
	34.6.5 12ビットD/Aコンバータを変更		
34.6.6 コンフィギュラブル・アンプを変更			
34.8 フラッシュ・メモリ・プログラミング特性に注4を追加			
34.9 専用フラッシュ・メモリ・プログラマ通信(UART)を変更			

(7/9)

箇所	内容	分類
Rev. 1.10	1.3.1 32ピン製品 製品名を追加	第1章 概説
	1.3.1 36ピン製品 製品名を追加	
	1.6 機能概要 DTCを変更	
	1.6 機能概要 注1を追加	
	図2-5 端子タイプ7-1-4の端子ブロック図 注意を追加	第2章 端子機能
	図2-6 端子タイプ8-1-4の端子ブロック図 注意1,2を追加	
	図3-1 メモリ・マップ (R5F11Cx(x=B,C)) 注1の説明文を変更	第3章 CPUアーキテクチャ
	5.6.2 X1発振回路の設定例 注意を追加	第5章 クロック発生回路
	14.5.3 24ビット $\Delta\Sigma/A/D$ コンバータへの入力電圧と A/D 変換結果 説明文を追加	第14章 プログラマブル・ゲイン計装アンプ付き24ビット $\Delta\Sigma/A/D$ コンバータ
	14.5.4 (10) $\Delta\Sigma/A/D$ コンバータ変換結果レジスタC (DSADCRC) 説明文を変更	
	図14-24 $\Delta\Sigma/A/D$ コンバータ変換結果レジスタC(DSADCRC)のフォーマット 説明文を変更および注を追加	
	14.5.4 (14) $\Delta\Sigma/A/D$ コンバータ平均値レジスタC (DSADMVC) 説明文を変更および注意を追加	
	図14-28 $\Delta\Sigma/A/D$ コンバータ平均値レジスタC(DSADMVC)のフォーマット 説明文を変更および注を追加	
	図16-31 ソフトウェア・トリガ・モード設定 を変更	第16章 A/Dコンバータ
	図16-32 ハードウェア・トリガ・ノーウエイト・モード設定 を変更	
	図16-33 ハードウェア・トリガ・ウエイト・モード設定 を変更	
	図16-34 A/Dコンバータ用内部基準電圧を選択時の設定 を変更	
	図16-35 テスト・モード設定 を変更	
	図16-39 SNOOZEモード設定のフロー・チャート を変更	
	16.10 (2) ANI0-ANI9端子入力範囲について 説明文を変更	
	図17-25 コンフィギュラブル・アンプの起動フロー を変更	第17章 コンフィギュラブル・アンプ
	図17-28 コンフィギュラブル・アンプの動作モード変更フロー を変更	
	図19-1 シリアル・アレイ・ユニット0のブロック図 を変更	第19章 シリアル・アレイ・ユニット
	図19-18 シリアル出力レジスタm (SOm)のフォーマット を変更 および 注意を追加	
	図19-20 送信データのレベル反転例 を変更	
	19.5.7 SNOOZEモード機能 説明文を変更	
	図19-72 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0) を変更 および 注を変更	
	図19-73 SNOOZEモード動作(1回起動)時のフロー・チャート を変更	
	図19-74 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0) を変更 および 注を変更	
	図19-75 SNOOZEモード動作(連続起動)時のフロー・チャート を変更	

(8/9)

箇所	内容	分類
Rev. 1.10	19.7.3 SNOOZE モード機能 説明文変更 および 注意5を追加	第19章 シリアル・アレ イ・ユニット
	図 19-121 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート を変更	
	図 19-122 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートを変更	
	図 19-123 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1 もしくは EOCm1 = 1, SSECm = 0) 時のフロー・チャート を変更	
	図 19-124 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートを変更	
	図 19-125 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート を変更	
	図 19-130 LIN 送信のフロー・チャートを変更	
	図 19-131 LIN の受信操作を変更	
	図 19-132 LIN 受信のフロー・チャートを変更	
	第20章 データ・トランスファ・コントローラ (DTC) 説明文を追加	第20章 デー タ・トランス ファ・コント ローラ (DTC)
	表 20-1 DTC の仕様を変更	
	図 20-3 コントロールデータの配置を変更	
	表 20-4 コントロールデータの先頭アドレスを追加	
	図 20-4 コントロールデータの先頭アドレスとベクタテーブルを追加	
	20.4.2 ノーマルモード (1) ノーマルモードの使用例 1 : A/D 変換結果の連続取り込み説明 文を変更	
	第24章 リセット機能 注2を変更	第24章 リ セット機能
	24.1 リセット動作のタイミング 注意を削除	
	表 24-1 リセット期間中の動作状態 備考を変更	
	図 24-5 リセット要因の確認手順例を変更	
25.3 パワーオン・リセット回路の動作 (1) RESET 端子による外部リセット入力使用時 注2を変更	第25章 パ ワーオン・リ セット回路	
図 29-6 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット を変更	第29章 オプ ション・パイ ト	
図表 30-1 RL78/I1E と専用フラッシュ・メモリ・プログラマの配線表 を変更	第30章 フ ラッシュ・メ モリ	
図 30-2 専用フラッシュ・メモリ・プログラマとの通信 を変更		
表 30-2 端子接続一覧 を変更		
33.5.1(7) 異電位 (1.8 V 系, 2.5 V 系, 3 V 系) 通信時 (CSI モード) (スレープ・モード, SCKp... 外部クロック入力) を変更	第33章 電気 的特性 (G: TA = -40 ~ +105 °C)	
33.7 RAM データ保持特性を変更		
33.8 フラッシュ・メモリ・プログラミング特性を変更		

(9/9)

箇所	内容	分類
Rev. 1.10	34.2.2 オンチップ・オシレータ特性 を変更	第34章 電気 的特性(M: TA = -40~+125 °C)
	34.5 周辺機能特性 (7) 異電位(1.8V系, 2.5V系, 3V系)通信時(CSIモード)(スレープ・モード, SCKp...外部クロック入力) を変更	
	34.6.1 プログラマブル・ゲイン計装アンプ, 24ビット $\Delta\Sigma$ A/Dコンバータ (1) アナログ入力(差動入力モード) を変更 および (2) アナログ入力(シングルエンド入力モード時) を変更	
	34.7 RAMデータ保持特性 を変更	
	34.8 フラッシュ・メモリ・プログラミング特性 を変更	
Rev. 1.20	3線シリアルI/O、3線シリアルを簡易SPIに変更	全般
	CSIを簡易SPIに変更	
	1.1 特徴 注を追加	第1章 概説
	図1-1 RL78/I1Eの型名とメモリサイズ・パッケージを変更	
	1.2 型名一覧を変更	
	4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応 注を追加	第4章 ポート機能
	図9-7 リアルタイム・クロック・コントロール・レジスタ1(RTCC1)のフォーマット(2/2)を変更	第9章 リアルタイム・クロック
	図9-24 リアルタイム・クロックの読み出し手順 注意を変更	
	図9-25 リアルタイム・クロックの書き込み手順 注意1を変更	
	第19章 シリアル・アレイ・ユニット 注を追加	第19章 シリアル・アレイ・ユニット

RL78/I1E ユーザーズマニュアル ハードウェア編

発行年月日 2014年9月19日 Rev. 0.50
2024年3月29日 Rev. 1.30

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RL78/I1E