

RL78/L1A

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング等、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

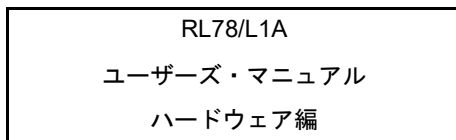
このマニュアルの使い方

対象者 このマニュアルはRL78/L1Aの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

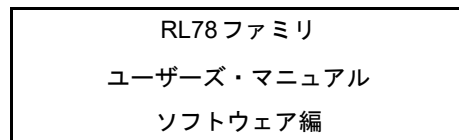
- 80ピン： R5F11MMx (x = D, E, F,)
- 100ピン： R5F11MPx (x = E, F, G)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/L1Aのマニュアルは、このマニュアルとソフトウェア編(RL78ファミリ共通)の2冊に分かれています。



- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性



- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

RL78/L1Aマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015J)を参照してください。

凡例	データ表記の重み：	左が上位桁、右が下位桁
	アクティブ・ロウの表記：	<u>xxx</u> (端子, 信号名称に上線)
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文の補足説明
	数の表記：	2進数...xxxxまたはxxx×B
		10進数...xxxx
		16進数...xxx×H

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/L1A ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0636E
RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20 エミュレータ ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2 エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Lite エミュレータ ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

目次

1.	概説	1
1.1	特徴	1
1.2	型名一覧	5
1.3	端子接続図 (Top View)	6
1.3.1	80ピン製品	6
1.3.2	100ピン製品	7
1.4	端子名称	8
1.5	ブロック図	9
1.5.1	80ピン製品	9
1.5.2	100ピン製品	10
1.6	機能概要	11
2.	端子機能	13
2.1	ポート機能	13
2.1.1	80ピン製品	14
2.1.2	100ピン製品	17
2.2	ポート以外の機能	21
2.2.1	製品別の搭載機能	21
2.2.2	機能説明	26
2.3	未使用端子の処理	28
2.4	端子ブロック図	29
3.	CPUアーキテクチャ	47
3.1	概要	47
3.2	メモリ空間	47
3.2.1	内部プログラム・メモリ空間	58
3.2.2	ミラー領域	61
3.2.3	内部データ・メモリ空間	63
3.2.4	特殊機能レジスタ (SFR : Special Function Register) 領域	64
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	64
3.2.6	データ・メモリ・アドレッシング	65
3.3	プロセッサ・レジスタ	66
3.3.1	制御レジスタ	66
3.3.2	汎用レジスタ	69
3.3.3	ES, CSレジスタ	70
3.3.4	特殊機能レジスタ (SFR : Special Function Register)	71
3.3.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	77
3.4	命令アドレスのアドレッシング	89
3.4.1	レラティブ・アドレッシング	89
3.4.2	イミーディエト・アドレッシング	89
3.4.3	テーブル・インダイレクト・アドレッシング	90
3.4.4	レジスタ・ダイレクト・アドレッシング	91
3.5	処理データ・アドレスに対するアドレッシング	92
3.5.1	インプライド・アドレッシング	92
3.5.2	レジスタ・アドレッシング	92

3.5.3	ダイレクト・アドレッシング	93
3.5.4	ショート・ダイレクト・アドレッシング	94
3.5.5	SFRアドレッシング	95
3.5.6	レジスタ・インダイレクト・アドレッシング	96
3.5.7	ベースト・アドレッシング	97
3.5.8	ベースト・インデクスト・アドレッシング	100
3.5.9	スタック・アドレッシング	101
4.	ポート機能	104
4.1	ポートの機能	104
4.2	ポートの構成	104
4.2.1	ポート0	105
4.2.2	ポート1	105
4.2.3	ポート2	106
4.2.4	ポート3	106
4.2.5	ポート4	107
4.2.6	ポート5	107
4.2.7	ポート6	107
4.2.8	ポート7	108
4.2.9	ポート8	108
4.2.10	ポート10	109
4.2.11	ポート12	109
4.2.12	ポート13	110
4.2.13	ポート14	110
4.2.14	ポート15	110
4.3	ポート機能を制御するレジスタ	111
4.3.1	ポート・モード・レジスタ (PMxx)	116
4.3.2	ポート・レジスタ (Pxx)	117
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	118
4.3.4	ポート入力モード・レジスタ (PIMxx)	119
4.3.5	ポート出力モード・レジスタ (POMxx)	120
4.3.6	ポート・モード・コントロール・レジスタ (PMCxx)	121
4.3.7	周辺I/Oリダイレクション・レジスタ (PIOR)	122
4.3.8	LCDポート・ファンクション・レジスタ 0-5 (PFSEG0-PFSEG5)	123
4.3.9	LCD入力切り替え制御レジスタ (ISCLCD)	125
4.4	ポート機能の動作	126
4.4.1	入出力ポートへの書き込み	126
4.4.2	入出力ポートからの読み出し	126
4.4.3	入出力ポートでの演算	126
4.4.4	入出力バッファによる異電位(1.8 V系, 2.5 V系)対応	127
4.5	兼用機能使用時のレジスタ設定	130
4.5.1	兼用機能使用時の基本的な考え方	130
4.5.2	出力機能を使用しない兼用機能のレジスタ設定	131
4.5.3	使用するポート機能および兼用機能のレジスタ設定例	132
4.5.4	SEGxx端子兼用ポートの動作	141
4.5.5	VL3, CAPL, CAPH端子兼用ポートの動作	143
4.6	ポート機能使用時の注意事項	145
4.6.1	ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項	145
4.6.2	端子設定に関する注意事項	146

5.	クロック発生回路	147
5.1	クロック発生回路の機能	147
5.2	クロック発生回路の構成	149
5.3	クロック発生回路を制御するレジスタ	151
5.3.1	クロック動作モード制御レジスタ (CMC)	152
5.3.2	システム・クロック制御レジスタ (CKC)	154
5.3.3	クロック動作ステータス制御レジスタ (CSC)	156
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	157
5.3.5	発振安定時間選択レジスタ (OSTS)	159
5.3.6	周辺イネーブル・レジスタ 0, 1 (PER0, PER1)	161
5.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC)	164
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	166
5.3.9	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	167
5.4	システム・クロック発振回路	168
5.4.1	X1発振回路	168
5.4.2	XT1発振回路	168
5.4.3	高速オンチップ・オシレータ	172
5.4.4	低速オンチップ・オシレータ	172
5.5	クロック発生回路の動作	173
5.6	クロックの制御	175
5.6.1	高速オンチップ・オシレータの設定例	175
5.6.2	X1発振回路の設定例	177
5.6.3	XT1発振回路の設定例	178
5.6.4	CPUクロック状態移行図	179
5.6.5	CPUクロックの移行前の条件と移行後の処理	185
5.6.6	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	188
5.6.7	クロック発振停止前の条件	189
5.7	発振子と発振回路定数	190
6.	タイマ・アレイ・ユニット	191
6.1	タイマ・アレイ・ユニットの機能	192
6.1.1	単独チャンネル動作機能	192
6.1.2	複数チャンネル連動動作機能	193
6.1.3	8ビット・タイマ動作機能(チャンネル1, 3のみ)	194
6.1.4	LIN-bus対応機能(チャンネル7のみ)	195
6.2	タイマ・アレイ・ユニットの構成	196
6.2.1	タイマ・カウンタ・レジスタ mn (TCRmn)	202
6.2.2	タイマ・データ・レジスタ mn (TDRmn)	204
6.3	タイマ・アレイ・ユニットを制御するレジスタ	205
6.3.1	周辺イネーブル・レジスタ 0 (PER0)	206
6.3.2	タイマ・クロック選択レジスタ m (TPSm)	207
6.3.3	タイマ・モード・レジスタ mn (TMRmn)	210
6.3.4	タイマ・ステータス・レジスタ mn (TSRmn)	215
6.3.5	タイマ・チャンネル許可ステータス・レジスタ m (TEm)	216
6.3.6	タイマ・チャンネル開始レジスタ m (TSM)	217
6.3.7	タイマ・チャンネル停止レジスタ m (TTm)	219
6.3.8	タイマ入力選択レジスタ 0 (TIS0)	220
6.3.9	タイマ出力許可レジスタ m (TOEm)	221
6.3.10	タイマ出力レジスタ m (TOM)	222

6.3.11	タイマ出力レベル・レジスタ m (TOLm)	223
6.3.12	タイマ出力モード・レジスタ m (TOMm)	224
6.3.13	入力切り替え制御レジスタ (ISC)	225
6.3.14	ノイズ・フィルタ許可レジスタ 1 (NFEN1)	226
6.3.15	タイマ入出力端子のポート機能を制御するレジスタ	228
6.4	タイマ・アレイ・ユニットの基本ルール	229
6.4.1	複数チャネル連動動作機能の基本ルール	229
6.4.2	8ビット・タイマ動作機能の基本ルール(チャネル1, 3のみ)	231
6.5	カウンタの動作	232
6.5.1	カウント・クロック (ftCLK)	232
6.5.2	カウンタのスタート・タイミング	234
6.5.3	カウンタの動作	235
6.6	チャネル出力(TOmn 端子)の制御	240
6.6.1	TOmn 端子の出力回路の構成	240
6.6.2	TOmn 端子の出力設定	241
6.6.3	チャネル出力操作時の注意事項	242
6.6.4	TOmn ビットの一括操作	247
6.6.5	カウント動作開始時のタイマ割り込みと TOmn 端子出力について	248
6.7	タイマ入力(TImn)の制御	249
6.7.1	TImn の入力回路構成	249
6.7.2	ノイズ・フィルタ	249
6.7.3	チャネル入力操作時の注意事項	250
6.8	タイマ・アレイ・ユニットの単独チャネル動作機能	251
6.8.1	インターバル・タイマ/方形波出力としての動作	251
6.8.2	外部イベント・カウンタとしての動作	256
6.8.3	入力パルス間隔測定としての動作	260
6.8.4	入力信号のハイ/ロウ・レベル幅測定としての動作	264
6.8.5	ディレイ・カウンタとしての動作	268
6.9	タイマ・アレイ・ユニットの複数チャネル連動動作機能	272
6.9.1	ワンショット・パルス出力機能としての動作	272
6.9.2	PWM機能としての動作	279
6.9.3	多重PWM出力機能としての動作	286
6.10	タイマ・アレイ・ユニット使用時の注意事項	294
6.10.1	タイマ出力使用時の注意事項	294
7.	8ビット・インターバル・タイマ	295
7.1	概要	295
7.2	入出力端子	297
7.3	レジスタの説明	297
7.3.1	8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRTni) (n = 0, i = 0, 1)	298
7.3.2	8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn) (n = 0)	298
7.3.3	8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni) (n = 0, i = 0, 1)	299
7.3.4	8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn) (n = 0)	299
7.3.5	8ビット・インターバル・タイマ制御レジスタ n (TRTCRn) (n = 0)	300
7.3.6	8ビット・インターバル・タイマ分周レジスタ n (TRTMDn) (n = 0)	301
7.4	動作説明	302
7.4.1	カウンタ・モード	302
7.4.2	タイマ動作	303

7.4.3	開始/停止タイミング	305
7.4.3.1	カウント・ソース (fsUB) 選択時	305
7.4.3.2	カウント・ソース (fsUB/2 ^m) 選択時	307
7.4.4	コンペア・レジスタ値の反映タイミング	309
7.5	8ビット・インターバル・タイマ使用上の注意事項	310
7.5.1	動作モード設定変更について	310
7.5.2	コンペア・レジスタへのアクセスについて	310
7.5.3	8ビット・インターバル・タイマ設定手順について	310
8.	リアルタイム・クロック2	311
8.1	リアルタイム・クロック2の機能	311
8.2	リアルタイム・クロック2の構成	311
8.3	リアルタイム・クロック2を制御するレジスタ	313
8.3.1	周辺イネーブル・レジスタ0 (PER0)	314
8.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	315
8.3.3	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)	316
8.3.4	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)	318
8.3.5	秒カウント・レジスタ (SEC)	321
8.3.6	分カウント・レジスタ (MIN)	321
8.3.7	時カウント・レジスタ (HOUR)	322
8.3.8	日カウント・レジスタ (DAY)	324
8.3.9	曜日カウント・レジスタ (WEEK)	325
8.3.10	月カウント・レジスタ (MONTH)	326
8.3.11	年カウント・レジスタ (YEAR)	326
8.3.12	時計誤差補正レジスタ (SUBCUD)	327
8.3.13	アラーム分レジスタ (ALARMWM)	330
8.3.14	アラーム時レジスタ (ALARMWH)	330
8.3.15	アラーム曜日レジスタ (ALARMWW)	331
8.4	リアルタイム・クロック2の動作	332
8.4.1	リアルタイム・クロック2の動作開始	332
8.4.2	動作開始後のHALT/STOPモードへの移行	333
8.4.3	リアルタイム・クロック2のカウンタ読み出し	334
8.4.4	リアルタイム・クロック2のカウンタ書き込み	336
8.4.5	リアルタイム・クロック2のアラーム設定	338
8.4.6	リアルタイム・クロック2の1 Hz出力	339
8.4.7	時計誤差補正レジスタの設定手順	340
8.4.8	リアルタイム・クロック2の時計誤差補正例	341
9.	12ビット・インターバル・タイマ	343
9.1	12ビット・インターバル・タイマの機能	343
9.2	12ビット・インターバル・タイマの構成	343
9.3	12ビット・インターバル・タイマを制御するレジスタ	343
9.3.1	周辺イネーブル・レジスタ1 (PER1)	344
9.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	345
9.3.3	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)	346
9.4	12ビット・インターバル・タイマの動作	347
9.4.1	12ビット・インターバル・タイマの動作タイミング	347
9.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行	348

10.	クロック出力／ブザー出力制御回路	349
10.1	クロック出力／ブザー出力制御回路の機能	349
10.2	クロック出力／ブザー出力制御回路の構成	351
10.3	クロック出力／ブザー出力制御回路を制御するレジスタ	351
10.3.1	クロック出力選択レジスタ n (CKSn)	351
10.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	353
10.4	クロック出力／ブザー出力制御回路の動作	354
10.4.1	出力端子の動作	354
10.5	クロック出力／ブザー出力制御回路の注意事項	354
11.	ウォッチドッグ・タイマ	355
11.1	ウォッチドッグ・タイマの機能	355
11.2	ウォッチドッグ・タイマの構成	356
11.3	ウォッチドッグ・タイマを制御するレジスタ	357
11.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	357
11.4	ウォッチドッグ・タイマの動作	358
11.4.1	ウォッチドッグ・タイマの動作制御	358
11.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	360
11.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	361
11.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	363
12.	12ビットA/Dコンバータ	364
12.1	概要	364
12.2	レジスタの説明	367
12.2.1	周辺イネーブル・レジスタ 0 (PER0)	367
12.2.2	A/D データレジスタ y (ADDRy) A/D 温度センサデータレジスタ (ADTS DR) A/D 内部基準電圧データレジスタ (ADOC DR)	368
12.2.3	A/D 自己診断データレジスタ (ADRD)	370
12.2.4	A/D コントロールレジスタ (ADCSR)	371
12.2.5	A/D チャネル選択レジスタ A0 (ADANSA0)	373
12.2.6	A/D 変換値加算/平均機能チャネル選択レジスタ 0 (ADADS0)	374
12.2.7	A/D 変換値加算/平均回数選択レジスタ (ADADC)	375
12.2.8	A/D コントロール拡張レジスタ (ADCER)	376
12.2.9	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	378
12.2.10	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	379
12.2.11	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 14, T, O)	380
12.2.12	A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)	381
12.2.13	A/D 変換クロック制御レジスタ (ADCKS)	382
12.2.14	アナログ基準電圧制御レジスタ (VREFCR)	383
12.3	動作説明	384
12.3.1	スキヤンの動作説明	384
12.3.2	シングルスキヤンモード	385
12.3.2.1	基本動作	385
12.3.2.2	チャネル選択と自己診断	386
12.3.2.3	温度センサ出力/内部基準電圧選択時のA/D変換動作	387
12.3.2.4	1/2 AVDD 選択時のA/D変換動作	387
12.3.3	連続スキヤンモード	388
12.3.3.1	基本動作	388

12.3.3.2	チャンネル選択と自己診断	389
12.3.4	アナログ入力のサンプリング時間とスキャン変換時間	390
12.3.5	A/Dデータレジスタの自動クリア機能の使用例	393
12.3.6	A/D変換値加算/平均機能	393
12.3.7	非同期トリガによるA/D変換の開始	394
12.3.8	周辺機能からの同期トリガによるA/D変換の開始	394
12.4	割り込み要因とDTC転送要求	394
12.4.1	割り込み要求	394
12.5	イベントリンク機能	395
12.5.1	ELCからのイベントによる12ビットA/Dコンバータの動作	395
12.5.2	ELCからのイベントによる12ビットA/Dコンバータの注意事項	395
12.6	基準電圧の選択方法	395
12.7	高電位側基準電圧に内部基準電圧を選択する場合のA/D変換手順	396
12.8	許容信号源インピーダンスについて	397
12.9	使用上の注意事項	398
12.9.1	データレジスタの読出し注意事項	398
12.9.2	A/D変換停止手順	398
12.9.3	モード/ステータスビットの注意事項	399
12.9.4	A/D変換強制停止と開始時の動作タイミング	399
12.9.5	スキャン終了割り込み2処理の注意事項	399
12.9.6	クロック供給停止機能の設定	399
12.9.7	低消費電力状態への遷移時の注意	399
12.9.8	STOPモード解除時の注意	399
12.9.9	ADHSCビットの書き換え手順	400
12.9.10	アナログ電源端子他の設定範囲	400
12.9.11	ボード設計上の注意	401
12.9.12	ノイズ対策上の注意	401
13.	12ビットD/Aコンバータ	403
13.1	概要	403
13.2	レジスタの説明	404
13.2.1	周辺イネーブル・レジスタ1 (PER1)	404
13.2.2	D/Aデータレジスタm (DADDRm) (m = 0, 1)	405
13.2.3	D/A制御レジスタ (DACR)	406
13.2.4	DADDRmフォーマット選択レジスタ (DADPR)	406
13.2.5	D/A A/D同期スタート制御レジスタ (DAADSCR)	407
13.2.6	D/A VREF制御レジスタ (DAVREFCR)	408
13.3	動作説明	409
13.3.1	D/A変換とA/D変換の干渉対策	410
13.4	イベントリンクの動作設定手順	411
13.5	イベントリンク動作における注意事項	411
13.6	使用上の注意事項	412
13.6.1	クロック供給停止機能の設定	412
13.6.2	D/A変換とA/D変換の干渉対策有効時の注意事項	412
14.	オペアンプ&アナログスイッチ	413
14.1	オペアンプの機能	413
14.2	アナログスイッチ機能	414
14.3	オペアンプの構成	415

14.4	アナログMUX & 低抵抗スイッチの構成	416
14.5	オペアンプを制御するレジスタ	417
14.5.1	オペアンプ・モード制御レジスタ (AMPMC)	418
14.5.2	オペアンプ・トリガモード制御レジスタ (AMPTRM)	419
14.5.3	オペアンプELCトリガ選択レジスタ (AMPTRS)	420
14.5.4	オペアンプ制御レジスタ (AMPC)	421
14.5.5	オペアンプ・モニタ・レジスタ (AMPMON)	422
14.5.6	周辺イネーブル・レジスタ1 (PER1)	422
14.5.7	アナログMUXチャンネル選択レジスタ (MUXSWSR)	423
14.5.8	チャージ・ポンプ動作クロック分周選択・レジスタ (PUPCKS)	424
14.5.9	チャージ・ポンプクロック動作制御レジスタ (PUPSCR)	425
14.5.10	低抵抗スイッチ・チャンネル選択とチャージ・ポンプ制御レジスタ (ANCHCR)	425
14.5.11	アナログ入力端子のポート機能を制御するレジスタ	427
14.6	動作説明	428
14.6.1	状態遷移図	428
14.6.2	オペアンプ制御動作	429
14.6.3	ソフトウェア・トリガ・モード	433
14.6.4	ELCトリガ・モード	434
14.6.5	ELCおよびA/Dトリガ・モード	435
14.7	オペアンプとアナログスイッチの注意事項	437
15.	ボルテージ・リファレンス	438
15.1	ボルテージ・リファレンスの機能	438
15.2	ボルテージ・リファレンスの構成	438
15.3	ボルテージ・リファレンスを制御するレジスタ	439
15.3.1	周辺イネーブル・レジスタ0 (PER0)	439
15.3.2	アナログ基準電圧制御レジスタ (VREFCR)	440
15.4	ボルテージ・リファレンスの動作	441
15.4.1	基準電圧出力機能	441
15.5	ボルテージ・リファレンスの注意事項	441
16.	コンパレータ	442
16.1	コンパレータの機能	442
16.2	コンパレータの構成	443
16.3	レジスタの説明	444
16.3.1	周辺イネーブル・レジスタ1 (PER1)	444
16.3.2	コンパレータモード設定レジスタ (COMPMDR)	445
16.3.3	コンパレータフィルタ制御レジスタ (COMPFIR)	446
16.3.4	コンパレータ出力制御レジスタ (COMPOCR)	447
16.3.5	ポート・モード・コントロール・レジスタ4 (PMC4)	448
16.3.6	ポート・モード・レジスタ3, 4 (PM3, PM4)	449
16.4	動作説明	450
16.4.1	コンパレータiデジタルフィルタ (i = 0)	453
16.4.2	コンパレータi割り込み (i = 0)	453
16.4.3	イベントリンクコントローラ (ELC)へのイベント信号出力	453
16.4.4	コンパレータi出力 (i = 0)	455
16.4.5	コンパレータクロック停止/供給	455

17.	シリアル・アレイ・ユニット	457
17.1	シリアル・アレイ・ユニットの機能	458
17.1.1	簡易SPI (CSI00, CSI10, CSI20, CSI30)	458
17.1.2	UART (UART0-UART3)	459
17.1.3	簡易I ² C (IIC00, IIC10, IIC20, IIC30)	460
17.2	シリアル・アレイ・ユニットの構成	461
17.2.1	シフト・レジスタ	465
17.2.2	シリアル・データ・レジスタ mn (SDRmn)の下位8/9ビット	465
17.3	シリアル・アレイ・ユニットを制御するレジスタ	467
17.3.1	周辺イネーブル・レジスタ0 (PER0)	468
17.3.2	シリアル・クロック選択レジスタ m (SPSm)	469
17.3.3	シリアル・モード・レジスタ mn (SMRmn)	470
17.3.4	シリアル通信動作設定レジスタ mn (SCRmn)	471
17.3.5	シリアル・データ・レジスタ mn (SDRmn)	474
17.3.6	シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)	476
17.3.7	シリアル・ステータス・レジスタ mn (SSRmn)	477
17.3.8	シリアル・チャンネル開始レジスタ m (SSm)	479
17.3.9	シリアル・チャンネル停止レジスタ m (STm)	480
17.3.10	シリアル・チャンネル許可ステータス・レジスタ m (SEm)	481
17.3.11	シリアル出力許可レジスタ m (SOEm)	482
17.3.12	シリアル出力レジスタ m (SOM)	483
17.3.13	シリアル出力レベル・レジスタ m (SOLm)	484
17.3.14	シリアル・スタンバイ・コントロール・レジスタ m (SSCm)	486
17.3.15	入力切り替え制御レジスタ (ISC)	487
17.3.16	ノイズ・フィルタ許可レジスタ0 (NFEN0)	488
17.3.17	シリアル入出力端子のポート機能を制御するレジスタ	489
17.4	動作停止モード	490
17.4.1	ユニット単位で動作停止とする場合	490
17.4.2	チャンネルごとに動作停止とする場合	491
17.5	簡易SPI (CSI00, CSI10, CSI20, CSI30)通信の動作	492
17.5.1	マスタ送信	494
17.5.2	マスタ受信	502
17.5.3	マスタ送受信	510
17.5.4	スレーブ送信	518
17.5.5	スレーブ受信	526
17.5.6	スレーブ送受信	532
17.5.7	SNOOZEモード機能	540
17.5.8	転送クロック周波数の算出	544
17.5.9	簡易SPI (CSI00, CSI10, CSI20, CSI30)通信時におけるエラー発生時の処理手順	546
17.6	スレーブセレクト入力機能付クロック同期シリアル通信の動作	547
17.6.1	スレーブ送信	550
17.6.2	スレーブ受信	560
17.6.3	スレーブ送受信	567
17.6.4	転送クロック周波数の算出	577
17.6.5	スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順	579
17.7	UART (UART0-UART3)通信の動作	580
17.7.1	UART送信	582
17.7.2	UART受信	591

17.7.3	SNOOZEモード機能	598
17.7.4	ボー・レートの算出	606
17.7.5	UART (UART0-UART3)通信時におけるエラー発生時の処理手順	610
17.8	LIN通信の動作	611
17.8.1	LIN送信	611
17.8.2	LIN受信	614
17.9	簡易I ² C (IIC00, IIC10, IIC20, IIC30)通信の動作	619
17.9.1	アドレス・フィールド送信	621
17.9.2	データ送信	626
17.9.3	データ受信	629
17.9.4	ストップ・コンディション発生	633
17.9.5	転送レートの算出	634
17.9.6	簡易I ² C (IIC00, IIC10, IIC20, IIC30)通信時におけるエラー発生時の処理手順	636
18.	シリアル・インタフェースIICA	637
18.1	シリアル・インタフェースIICAの機能	637
18.2	シリアル・インタフェースIICAの構成	640
18.3	シリアル・インタフェースIICAを制御するレジスタ	643
18.3.1	周辺イネーブル・レジスタ0 (PER0)	644
18.3.2	IICAコントロール・レジスタn0 (IICCTLn0)	644
18.3.3	IICAステータス・レジスタn (IICSn)	649
18.3.4	IICAフラグ・レジスタn (IICFn)	651
18.3.5	IICAコントロール・レジスタn1 (IICCTLn1)	653
18.3.6	IICAロウ・レベル幅設定レジスタn (IICWLn)	655
18.3.7	IICAハイ・レベル幅設定レジスタn (IICWHn)	655
18.3.8	ポート・モード・レジスタ6 (PM6)	656
18.4	I ² Cバス・モードの機能	657
18.4.1	端子構成	657
18.4.2	IICWLn, IICWHnレジスタによる転送クロック設定方法	658
18.5	I ² Cバスの定義および制御方法	660
18.5.1	スタート・コンディション	660
18.5.2	アドレス	661
18.5.3	転送方向指定	661
18.5.4	アクノリッジ(ACK)	662
18.5.5	ストップ・コンディション	663
18.5.6	クロック・ストレッチ	664
18.5.7	クロック・ストレッチ解除方法	666
18.5.8	割り込み要求 (INTIICAn)発生タイミングおよびクロック・ストレッチ制御	667
18.5.9	アドレスの一致検出方法	668
18.5.10	エラーの検出	668
18.5.11	拡張コード	669
18.5.12	アービトレーション	670
18.5.13	ウエイク・アップ機能	672
18.5.14	通信予約	675
18.5.15	その他の注意事項	679
18.5.16	通信動作	680
18.5.17	I ² C割り込み要求 (INTIICAn)の発生タイミング	688
18.6	タイミング・チャート	709

19.	LCDコントローラ／ドライバ	724
19.1	LCDコントローラ／ドライバの機能	725
19.2	LCDコントローラ／ドライバの構成	728
19.3	LCDコントローラ／ドライバを制御するレジスタ	730
19.3.1	LCDモード・レジスタ0 (LCDM0)	731
19.3.2	LCDモード・レジスタ1 (LCDM1)	733
19.3.3	サブシステム・クロック供給オプション制御レジスタ (OSMC)	735
19.3.4	LCDクロック制御レジスタ0 (LCDC0)	737
19.3.5	LCD昇圧レベル制御レジスタ (VLCD)	738
19.3.6	CD入力切り替え制御レジスタ (ISCLCD)	739
19.3.7	LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5)	741
19.3.8	ポート・モード・レジスタ0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8)	744
19.4	LCD表示データ・レジスタ	745
19.5	LCD表示レジスタの選択	748
19.5.1	Aパターン領域, Bパターン領域のデータ表示	748
19.5.2	点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)	749
19.6	LCDコントローラ／ドライバの設定	750
19.7	動作停止手順	753
19.8	LCD駆動電圧VL1, VL2, VL3, VL4の供給	754
19.8.1	外部抵抗分割方式	754
19.8.2	内部昇圧方式	756
19.8.3	容量分割方式	757
19.9	コモン信号とセグメント信号	758
19.10	表示モード	767
19.10.1	スタティック表示例	767
19.10.2	2時分割表示例	770
19.10.3	3時分割表示例	773
19.10.4	4時分割表示例	777
19.10.5	6時分割表示例	781
19.10.6	8時分割表示例	784
20.	データトランスファコントローラ(DTC)	788
20.1	DTCの機能	789
20.2	DTCの構成	790
20.3	DTCを制御するレジスタ	791
20.3.1	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	792
20.3.2	コントロールデータの配置	793
20.3.3	ベクタテーブル	795
20.3.4	周辺イネーブル・レジスタ1 (PER1)	797
20.3.5	DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)	798
20.3.6	DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)	799
20.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)	799
20.3.8	DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)	800
20.3.9	DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)	800
20.3.10	DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)	800
20.3.11	DTC起動許可レジスタi (DTCENi) (i = 0 ~ 3)	801
20.3.12	DTCベースアドレスレジスタ (DTCBAR)	804
20.4	DTCの動作	804
20.4.1	起動要因	805

20.4.2	ノーマルモード	806
20.4.3	リピートモード	809
20.4.4	チェイン転送	813
20.5	DTC使用上の注意事項	815
20.5.1	DTCレジスタおよびベクタテーブルの設定	815
20.5.2	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	815
20.5.3	DTC保留命令	816
20.5.4	データ・フラッシュ空間にアクセスする場合の動作	816
20.5.5	DTC実行クロック数	817
20.5.6	DTC応答時間	818
20.5.7	DTC起動要因	818
20.5.8	スタンバイ・モード時の動作	819
21.	イベントリンクコントローラ(ELC)	820
21.1	ELCの機能	820
21.2	ELCの構成	820
21.3	ELCを制御するレジスタ	821
21.3.1	イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 21)	822
21.4	ELCの動作	825
22.	割り込み機能	827
22.1	割り込み機能の種類	827
22.2	割り込み要因と構成	827
22.3	割り込み機能を制御するレジスタ	834
22.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	838
22.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	840
22.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)	842
22.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	844
22.3.5	プログラム・ステータス・ワード (PSW)	846
22.4	割り込み処理動作	847
22.4.1	マスカブル割り込み要求の受け付け動作	847
22.4.2	ソフトウェア割り込み要求の受け付け動作	850
22.4.3	多重割り込み処理	850
22.4.4	除算命令中の割り込み処理	854
22.4.5	割り込み要求の保留	856
23.	キー割り込み機能	857
23.1	キー割り込みの機能	857
23.2	キー割り込みの構成	858
23.3	キー割り込みを制御するレジスタ	859
23.3.1	キー・リターン・コントロール・レジスタ (KRCTL)	859
23.3.2	キー・リターン・モード・レジスタ (KRM0)	860
23.3.3	キー・リターン・フラグ・レジスタ (KRF)	861
23.3.4	ポート・モード・レジスタ 7 (PM7)	861
24.	スタンバイ機能	862
24.1	スタンバイ機能	862

24.2	スタンバイ機能を制御するレジスタ	863
24.3	スタンバイ機能の動作	864
24.3.1	HALTモード	864
24.3.2	STOPモード	869
24.3.3	SNOOZEモード	875
25.	リセット機能	878
25.1	リセット動作のタイミング	880
25.2	リセット期間中の動作状態	882
25.3	リセット要因を確認するレジスタ	884
25.3.1	リセット・コントロール・フラグ・レジスタ (RESF)	884
25.3.2	パワーオン・リセット・ステータス・レジスタ (PORSR)	885
26.	パワーオン・リセット回路	887
26.1	パワーオン・リセット回路の機能	887
26.2	パワーオン・リセット回路の構成	888
26.3	パワーオン・リセット回路の動作	888
27.	電圧検出回路	892
27.1	電圧検出回路の機能	892
27.2	電圧検出回路の構成	893
27.3	電圧検出回路を制御するレジスタ	893
27.3.1	電圧検出レジスタ (LVIM)	894
27.3.2	電圧検出レベル・レジスタ (LVIS)	895
27.4	電圧検出回路の動作	898
27.4.1	リセット・モードとして使用する場合の設定	898
27.4.2	割り込みモードとして使用する場合の設定	900
27.4.3	割り込み&リセット・モードとして使用する場合の設定	902
27.5	電圧検出回路の注意事項	908
28.	安全機能	910
28.1	安全機能の概要	910
28.2	安全機能で使用するレジスタ	911
28.3	安全機能の動作	911
28.3.1	フラッシュ・メモリCRC演算機能(高速CRC)	911
28.3.1.1	フラッシュ・メモリCRC制御レジスタ (CRC0CTL)	912
28.3.1.2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	913
28.3.2	CRC演算機能(汎用CRC)	915
28.3.2.1	CRC入力レジスタ (CRCIN)	915
28.3.2.2	CRCデータ・レジスタ (CRCD)	916
28.3.3	RAMパリティ・エラー検出機能	917
28.3.3.1	RAMパリティ・エラー制御レジスタ (RPECTL)	917
28.3.4	RAMガード機能	918
28.3.4.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	918
28.3.5	SFRガード機能	919
28.3.5.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	919
28.3.6	不正メモリ・アクセス検出機能	920
28.3.6.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	921
28.3.7	周波数検出機能	922

28.3.7.1	タイマ入力選択レジスタ 0 (TIS0)	923
28.3.8	A/Dテスト機能	924
28.3.8.1	A/D自己診断データレジスタ (ADRD)	924
28.3.9	入出力ポートのデジタル出力信号レベル検出機能	925
28.3.9.1	ポート・モード選択レジスタ (PMS)	925
29.	レギュレータ	926
29.1	レギュレータの概要	926
30.	オプション・バイト	927
30.1	オプション・バイトの機能	927
30.1.1	ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)	927
30.1.2	オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)	928
30.2	ユーザ・オプション・バイトのフォーマット	929
30.3	オンチップ・デバッグ・オプション・バイトのフォーマット	934
30.4	オプション・バイトの設定	935
31.	フラッシュ・メモリ	936
31.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	938
31.1.1	プログラミング環境	940
31.1.2	通信方式	940
31.2	外部デバイス (UART 内蔵) によるシリアル・プログラミング	942
31.2.1	プログラミング環境	942
31.2.2	通信方式	943
31.3	オンボード上の端子処理	944
31.3.1	P40/TOOL0 端子	944
31.3.2	RESET 端子	944
31.3.3	ポート端子	945
31.3.4	REGC 端子	945
31.3.5	X1, X2 端子	945
31.3.6	電源	945
31.4	シリアル・プログラミング方法	946
31.4.1	シリアル・プログラミング手順	946
31.4.2	フラッシュ・メモリ・プログラミング・モード	947
31.4.3	通信方式	949
31.4.4	通信コマンド	949
31.5	専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)	951
31.6	セルフ・プログラミング	952
31.6.1	セルフ・プログラミング手順	953
31.6.2	ブート・スワップ機能	954
31.6.3	フラッシュ・シールド・ウインドウ機能	956
31.7	セキュリティ設定	957
31.8	データ・フラッシュ	959
31.8.1	データ・フラッシュの概要	959
31.8.2	データ・フラッシュを制御するレジスタ	960
31.8.2.1	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	960
31.8.3	データ・フラッシュへのアクセス手順	960

32.	オンチップ・デバッグ機能	962
32.1	E1, E2, E2 Lite, E20 オンチップデバッグエミュレータとの接続	962
32.2	オンチップ・デバッグ・セキュリティ ID	963
32.3	ユーザ資源の確保	963
33.	10進補正(BCD)回路	965
33.1	10進補正回路の機能	965
33.2	10進補正回路で使用するレジスタ	965
33.2.1	BCD補正結果レジスタ(BCDADJ)	965
33.3	10進補正回路の動作	966
34.	命令セットの概要	968
34.1	凡例	969
34.1.1	オペランドの表現形式と記述方法	969
34.1.2	オペレーション欄の説明	970
34.1.3	フラグ動作欄の説明	971
34.1.4	PREFIX 命令	971
34.2	オペレーション一覧	972
35.	電気的特性(A: TA = -40 ~ +85°C)	990
35.1	絶対最大定格	991
35.2	発振回路特性	994
35.2.1	X1, XT1 発振回路特性	994
35.2.2	オンチップ・オシレータ特性	995
35.3	DC 特性	996
35.3.1	端子特性	996
35.3.2	電源電流特性	1001
35.4	AC 特性	1008
35.4.1	基本動作	1008
35.5	周辺機能特性	1013
35.5.1	シリアル・アレイ・ユニット	1013
35.5.2	シリアル・インタフェース IICA	1035
35.6	アナログ特性	1038
35.6.1	A/D コンバータ特性	1038
35.6.2	温度センサ/内部基準電圧出力特性	1040
35.6.3	D/A コンバータ	1041
35.6.4	コンパレータ	1042
35.6.5	rail to rail オペアンプ特性	1043
35.6.6	汎用オペアンプ特性	1045
35.6.7	ボルテージ・リファレンス	1046
35.6.8	1/2 AVDD 電圧出力	1046
35.6.9	POR 回路特性	1046
35.6.10	LVD 回路特性	1047
35.6.11	低抵抗スイッチ	1048
35.7	電源電圧立ち上がり傾き特性	1049
35.8	LCD 特性	1049
35.8.1	外部抵抗分割方式	1049
35.8.2	内部昇圧方式	1050
35.8.3	容量分割方式	1052

35.9	RAMデータ保持特性	1053
35.10	フラッシュ・メモリ・プログラミング特性	1053
35.11	専用フラッシュ・メモリ・プログラマ通信(UART)	1053
35.12	モード引き込み時のタイミング・スペック	1054
36.	外形図	1055
36.1	80ピン製品	1055
36.2	100ピン製品	1057
付録A	改版履歴	1059
A.1	本版で改訂された主な箇所	1059
A.2	前版までの改版履歴	1060

第1章 概説

1.1 特徴

○超低消費電力テクノロジー

- VDD = 1.8 ~ 3.6 Vの単一電源
- HALTモード
- STOPモード
- SNOOZEモード

○RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間: 高速(0.04167 μ s: 高速オンチップ・オシレータ・クロック 24 MHz動作時)から超低速(30.5 μ s: サブシステム・クロック 32.768 kHz動作時)までを変更可能
- 乗除・積和演算命令対応
- アドレス空間: 1 Mバイト
- 汎用レジスタ: 8ビット・レジスタ \times 8 \times 4バンク
- 内蔵RAM: 5.5 KB

○コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ: 48 KB ~ 128 KB
- ブロック・サイズ: 1 KB
- ブロック消去禁止, 書き換え禁止(セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング; ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

○データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ: 8 KB
- バックグラウンド・オペレーション(BGO); データ・フラッシュ書き換え中に, プログラム・メモリ内の命令実行が可能
- 書き換え回数: 1,000,000回(TYP.)
- 書き換え電圧: VDD = 1.8 ~ 3.6 V

○高速オンチップ・オシレータ

- 24 MHz / 16 MHz / 12 MHz / 8 MHz / 6 MHz / 4 MHz / 3 MHz / 2 MHz / 1 MHzから選択
- 高精度±1.0% (VDD = 1.8 ~ 3.6 V, TA = -20 ~ +85°C)

○動作周囲温度

- TA = -40 ~ +85°C (A : 民生用途)

○電源管理とリセット機能

- パワーオン・リセット(POR)回路内蔵
- 電圧検出(LVD)回路内蔵(割り込み, リセットを10段階で選択)

○ODTC (データトランスファコントローラ)

- 転送モード : ノーマル転送モード, リピート転送モード, ブロック転送モード
- 起動要因 : 割り込み要因により起動 (30要因)
- チェーン転送機能あり

○イベント・リンク・コントローラ(ELC)

- 22種類のイベント信号を特定の周辺機能へリンク可能

○シリアル・インタフェース

- CSI / 簡易SPI (CSI 注1) : 4チャンネル
- UART : 4チャンネル
- I²C / 簡易I²C : 5チャンネル

○タイマ

- 16ビット・タイマ : 8チャンネル
- 8ビット・タイマ : 2チャンネル
- 12ビット・インターバル・タイマ : 1チャンネル
- リアルタイム・クロック2 : 1チャンネル(99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ : 1チャンネル(専用の低速オンチップ・オシレータ・クロックで動作可能)

○LCDコントローラ / ドライバ

- 内部昇圧 / 容量分割 / 外部抵抗分割を切り替え可能
- セグメント信号出力 : 32 (28) ~ 45 (41)本注2
- コモン信号出力 : 4 (8)本注2

○A/Dコンバータ

- 12ビット分解能A/Dコンバータ ($1.8\text{ V} \leq \text{AVDD} \leq \text{VDD} \leq 3.6\text{ V}$)
- アナログ入力：10～15チャンネル（内部1/2 AVDD専用を含む）
- 内部基準電圧 (TYP. 1.45 V) と温度センサを搭載^{注3}

○D/Aコンバータ

- 12ビット分解能D/Aコンバータ ($1.8\text{ V} \leq \text{AVDD} \leq \text{VDD} \leq 3.6\text{ V}$)
- アナログ出力：2チャンネル
- 出力電圧：0.35 V～AVDD－0.47 V

○ボルテージ・リファレンス

- 出力電圧は1.5 V (TYP.)、1.8 V (TYP.)、2.048 V (TYP.)、2.5 V (TYP.) から選択が可能
- A/DコンバータとD/Aコンバータの内蔵基準電圧として使用可能

○コンパレータ

- 1チャンネル
- 動作モード：コンパレータ高速モード、コンパレータ低速モード、ウィンドウモード
- 基準電圧は外部基準電圧と内部基準電圧の選択が可能

○オペアンプ

- 汎用オペアンプ：1チャンネル
- アナログMUX付き rail to rail オペアンプ：2チャンネル

○入出力ポート

- I/Oポート：59～79本 (N-chオープン・ドレイン入出力 [6 V耐圧]：2本)
- N-chオープン・ドレイン、TTL入力バッファ、内蔵プルアップの切り替え可能
- キー割り込み機能内蔵
- クロック出力／ブザー出力制御回路内蔵

○その他

- 10進補正 (BCD) 回路内蔵

注1. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

注2. ()内は8 com使用時の信号出力本数です。

注3. HS (高速メイン)モードのみ選択可能

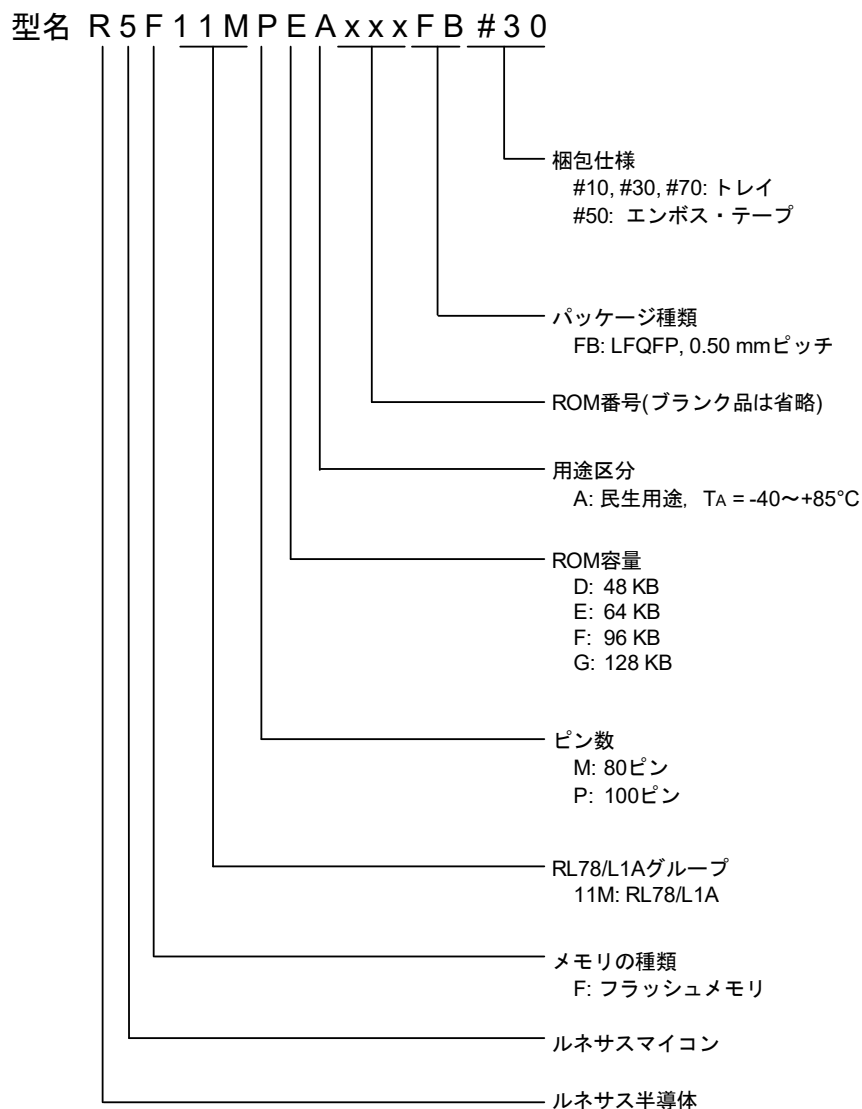
備考 製品により、搭載している機能が異なります。1.6 機能概要を参照してください。

OROM, RAM容量

フラッシュ ROM	データ・フラッシュ	RAM	RL78/L1A	
			80ピン	100ピン
128 KB	8 KB	5.5 KB	—	R5F11MPG
96 KB	8 KB	5.5 KB	R5F11MMF	R5F11MPF
64 KB	8 KB	5.5 KB	R5F11MME	R5F11MPE
48 KB	8 KB	5.5 KB	R5F11MMD	—

1.2 型名一覧

図1-1 RL78/L1Aの型名とメモリ・サイズ・パッケージ



注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

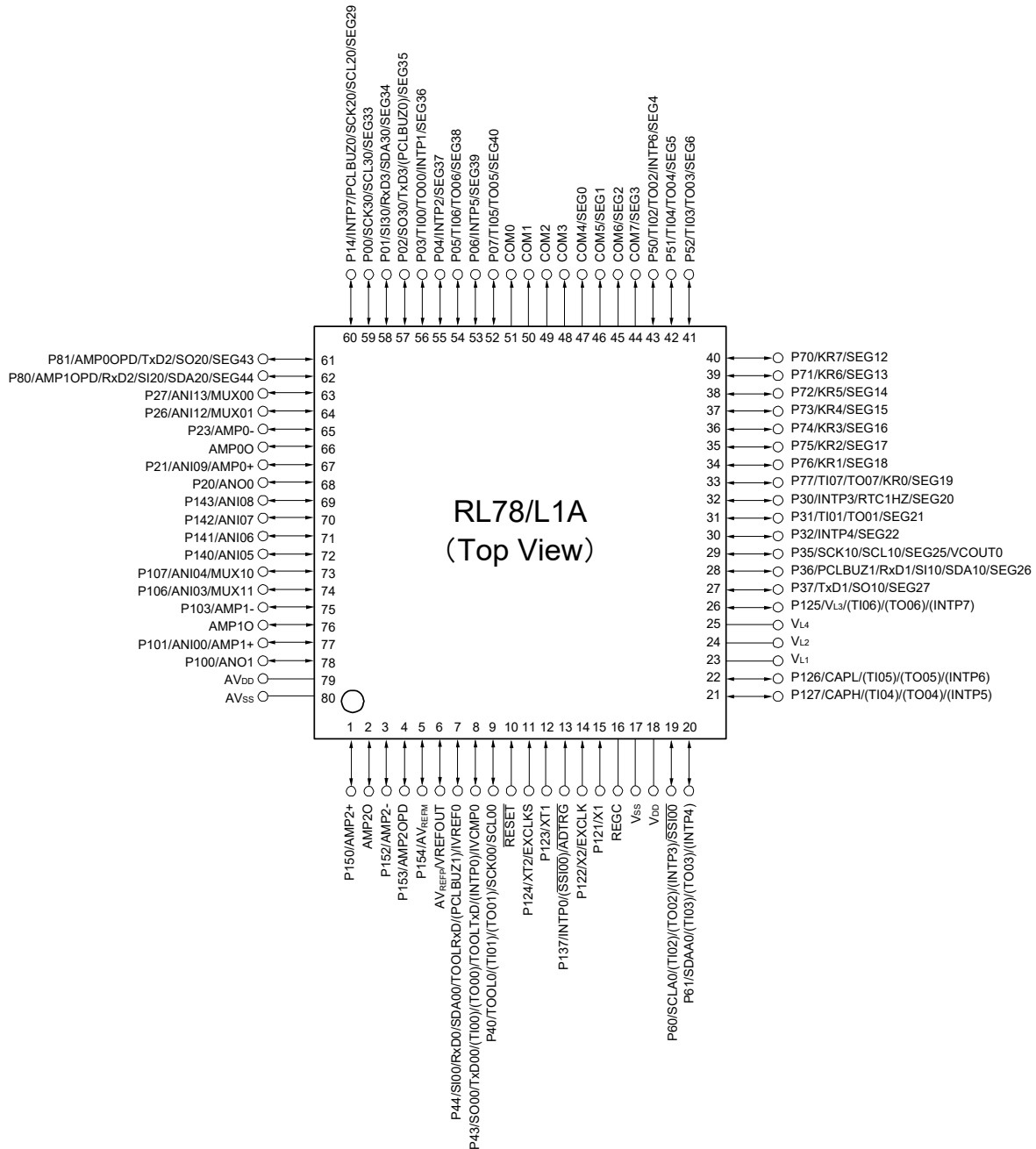
表1-1 発注型名一覧

ピン数	パッケージ	用途区分	発注型名		ルネサスコード
			品名	梱包仕様	
80ピン	80ピン・プラスチックLFQFP (12×12 mm, 0.5 mmピッチ)	A	R5F11MMDAFB, R5F11MMFAFB, R5F11MMFAFB	#10, #50, #70	PLQP0080KB-B PLQP0080KJ-A
				#30	PLQP0080KB-B
100ピン	100ピン・プラスチックLFQFP (14×14 mm, 0.5 mmピッチ)	A	R5F11MPEAFB, R5F11MPFAFB, R5F11MPGAFB	#10, #50, #70	PLQP0100KB-B PLQP0100KP-A
				#30	PLQP0100KB-B

1.3 端子接続図 (Top View)

1.3.1 80ピン製品

- ・80ピン・プラスチックLFQFP (12×12 mm, 0.5 mmピッチ)



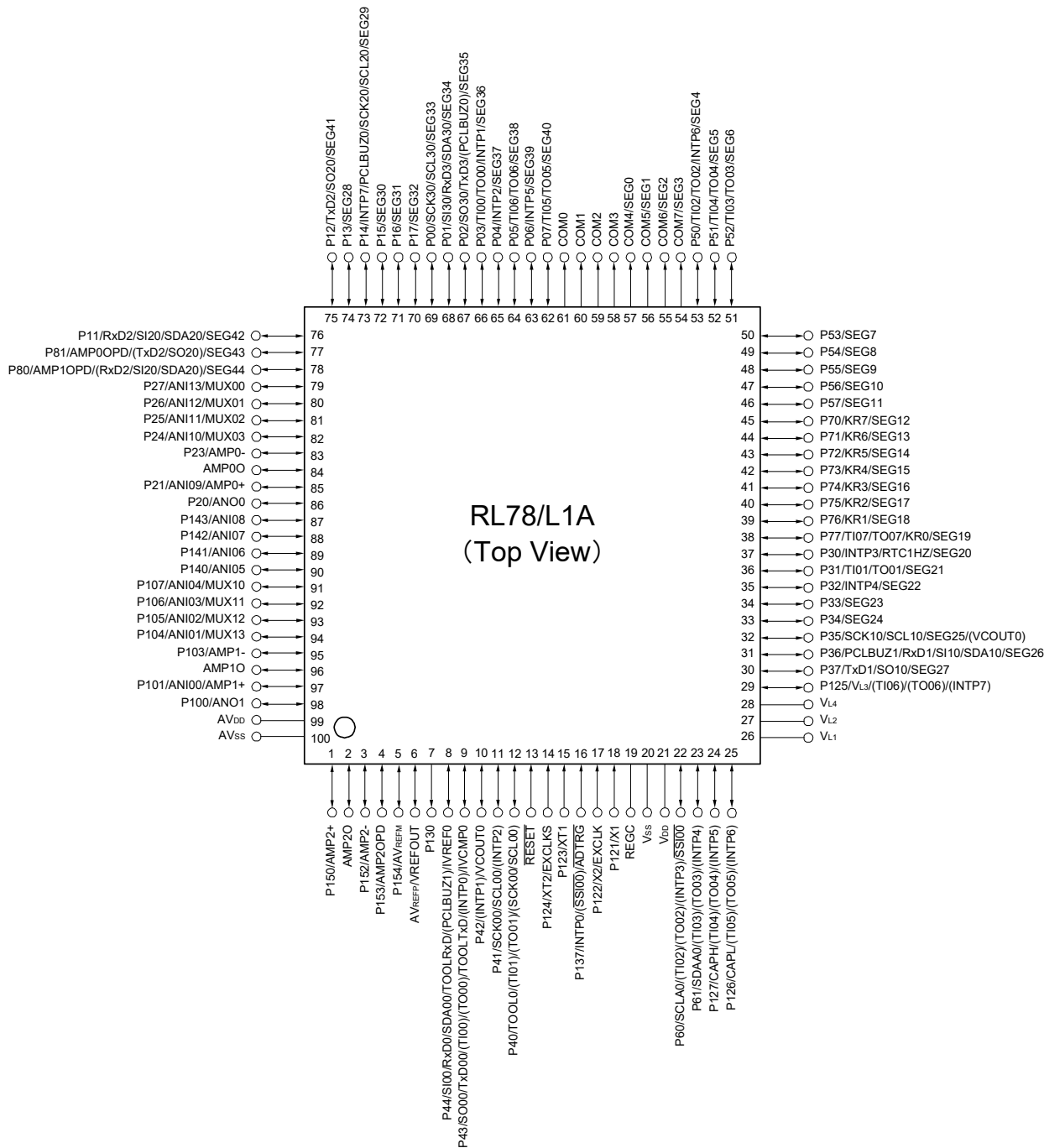
注意 REGC端子はコンデンサ(0.47~1 μF)を介し、V_{SS}端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により割り当て可能です。

1.3.2 100ピン製品

・100ピン・プラスチックLFQFP (14 × 14 mm, 0.5 mmピッチ)



注意 REGC端子はコンデンサ(0.47~1 μF)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

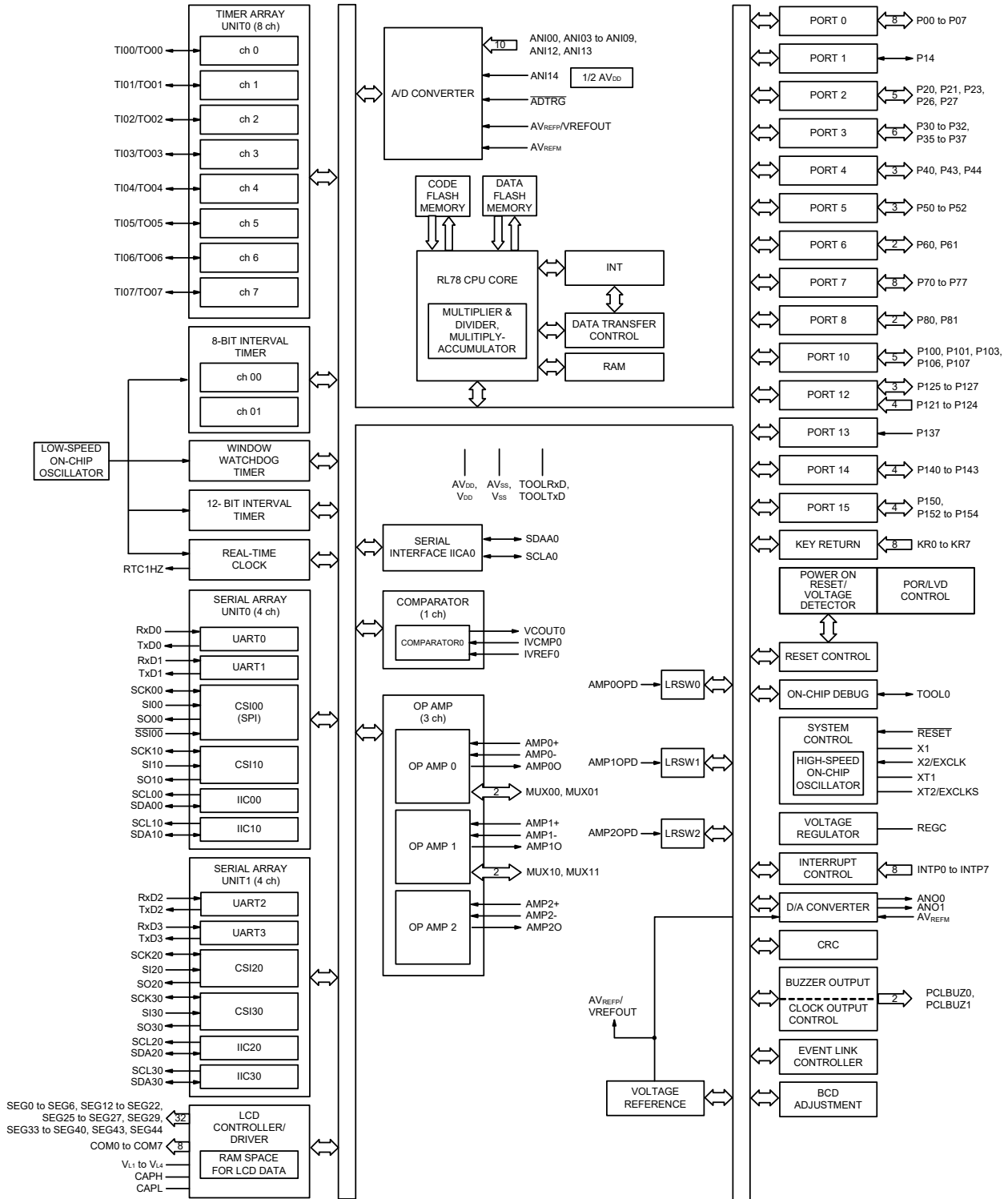
備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により割り当て可能です。

1.4 端子名称

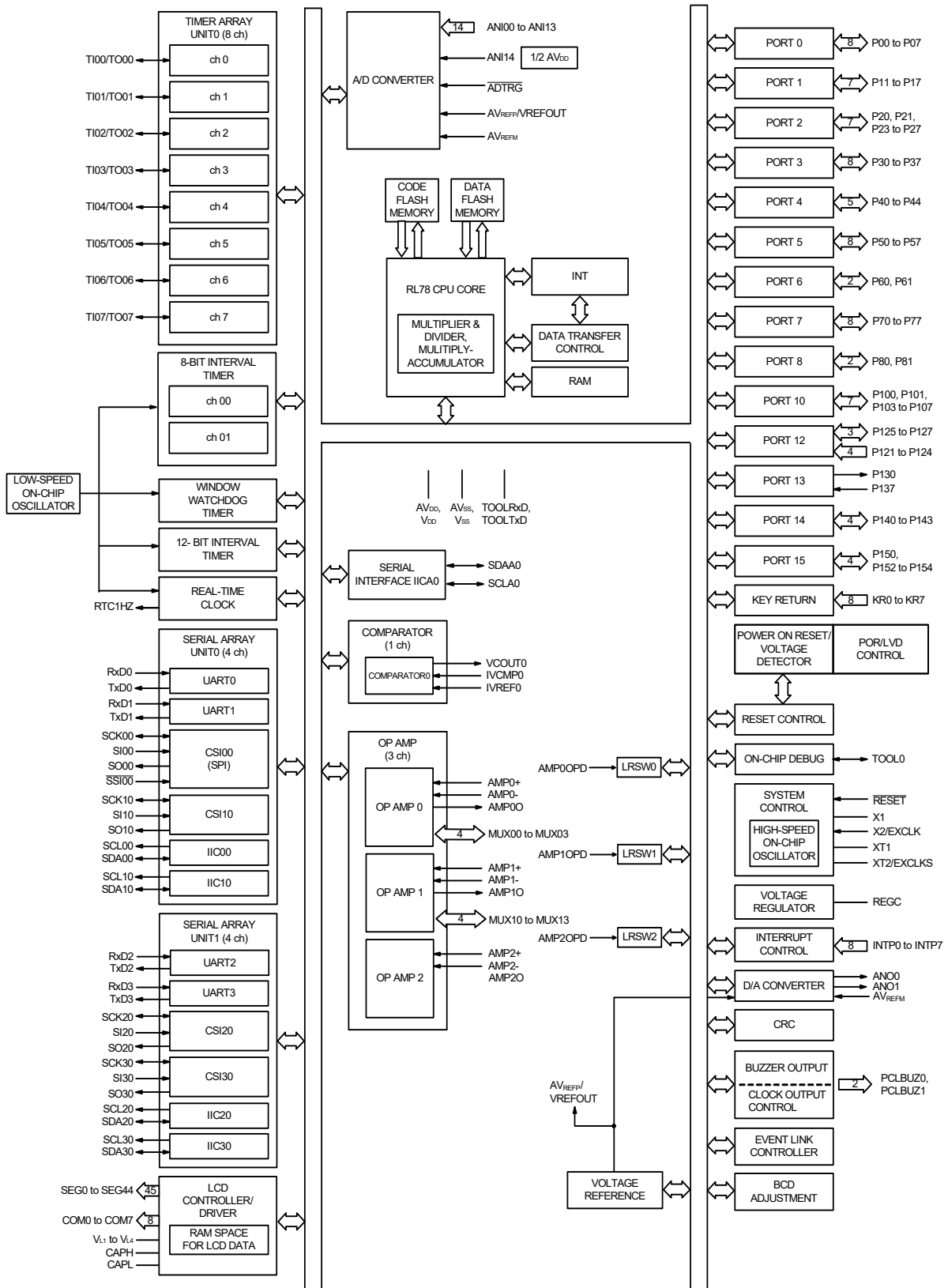
AMP0+ to AMP2+	: OP AMP + Input	PCLBUZ0, PCLBUZ1	: Programmable Clock Output/ Buzzer Output
AMP0- to AMP2-	: OP AMP - Input		
AMP0O to AMP2O	: OP AMP Output	REGC	: Regulator Capacitance
AMP0OPD to AMP2OPD	: Low Resistance Switch	RESET	: Reset
ADTRG	: A/D External Trigger Input	RTC1HZ	: Real-time Clock Correction
ANI00-ANI13	: Analog Input	RxD0-RxD3	: Receive Data
ANO0, ANO1	: Analog Output	SCK00, SCK10, SCK20, SCK30	: Serial Clock Input/Output
AVDD	: Analog Power Supply	SCLA0	: Serial Clock Input/Output
AVREFM	: Analog Reference Voltage Minus	SCL00, SCL10, SCL20, SCL30	: Serial Clock Output
AVREFP	: Analog Reference Voltage Plus	SDAA0, SDA00, SDA10, SDA20, SDA30	: Serial Data Input/Output
AVss	: Analog Ground	SEG0 to SEG44	: LCD Segment Output
CAPH, CAPL	: Capacitor for LCD	SI00, SI10, SI20, SI30	: Serial Data Input
COM0 to COM7	: LCD Common Output	SO00, SO10, SO20, SO30	: Serial Data Output
EXCLK	: External Clock Input (Main System Clock)	SSI00	: Slave Select Input
EXCLKS	: External Clock Input (Sub System Clock)	TI00-TI07	: Timer Input
INTP0-INTP7	: External Interrupt Input	TO00-TO07	: Timer Output
IVCMP0	: Comparator Input	TOOL0	: Data Input/Output for Tool
IVREF0	: Comparator Reference Input	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
KR0-KR7	: Key Return	TxD0-TxD3	: Transmit Data
MUX00 to MUX03, MUX10 to MUX13	: OP AMP output analog MUX switch	VCOUT0	: Comparator Output
P00-P07	: Port 0	VDD	: Power Supply
P11-P17	: Port 1	VL1 to VL4	: LCD Power Supply
P20, P21, P23-P27	: Port 2	VREFOUT	: Analog Reference Voltage Output
P30-P37	: Port 3	Vss	: Ground
P40-P44	: Port 4	X1, X2	: Crystal Oscillator (Main System Clock)
P50-P57	: Port 5	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
P60-P61	: Port 6		
P70-P77	: Port 7		
P80, P81	: Port 8		
P100, P101, P103-P107	: Port 10		
P121-P127	: Port 12		
P130, P137	: Port 13		
P140-P143	: Port 14		
P150, P152-P154	: Port 15		

1.5 ブロック図

1.5.1 80ピン製品



1.5.2 100ピン製品



1.6 機能概要

【80ピン, 100ピン製品】

(1/2)

項目		80ピン	100ピン
		R5F11MMx (x = D~F)	R5F11MPx (x = E~G)
コード・フラッシュ・メモリ		48~96 KB	64~128 KB
データ・フラッシュ・メモリ		8 KB	8 KB
RAM		5.5 KB	5.5 KB
メモリ空間		1 Mバイト	
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK)	
	高速オンチップ・オシレータ・クロック	1~20 MHz : VDD = 2.7~3.6 V, 1~8 MHz : VDD = 1.8~2.7 V HS(高速メイン)動作モード : 1~24 MHz (VDD = 2.7~3.6 V), HS(高速メイン)動作モード : 1~16 MHz (VDD = 2.4~3.6 V), LS(低速メイン)動作モード : 1~8 MHz (VDD = 1.8~3.6 V)	
サブシステム・クロック		XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS)	
低速オンチップ・オシレータ・クロック		32.768 kHz (TYP.) : VDD = 1.8~3.6 V	
汎用レジスタ		15 kHz (TYP.) : VDD = 1.8~3.6 V	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.04167 μs (高速オンチップ・オシレータ・クロック : fHOCO = fIH = 24 MHz動作時)	
		0.05 μs (高速システム・クロック : fMX = 20 MHz動作時)	
		30.5 μs (サブシステム・クロック : fSUB = 32.768 kHz動作時)	
命令セット		<ul style="list-style-type: none"> データ転送 (8/16ビット) 加減/論理演算 (8/16ビット) 乗算 (8×8ビット, 16×16ビット), 除算 (16÷16ビット, 32÷32ビット) 積和演算 (16×16 + 32ビット) ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など 	
I/Oポート	合計	59	79
	CMOS入出力	52	71
	CMOS入力	5	5
	CMOS出力	0	1
	N-ch O.D入出力 (6V耐圧)	2	2
タイマ	16ビット・タイマTAU	8チャンネル (タイマ出力8本, PWM出力 : 7本注)	
	8/16ビット・インターバル・タイマ	2チャンネル (8ビット) / 1チャンネル (16ビット)	
	ウォッチドッグ・タイマ	1チャンネル	
	12ビット・インターバル・タイマ	1チャンネル	
	リアルタイム・クロック2	1チャンネル	
	RTC出力	1本 1 Hz (サブシステム・クロック : fSUB = 32.768 kHz)	

注 マスタの数と使用チャンネルの設定によって, 出力数は変わります。

(2/2)

項目	80ピン	100ピン
	R5F11MMx (x = D~F)	R5F11MPx (x = E~G)
クロック出力/プザー出力	2本	2本
	<ul style="list-style-type: none"> • 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) • 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : fSUB = 32.768 kHz動作時) 	
12ビット分解能A/Dコンバータ	10チャンネル	14チャンネル
12ビット分解能D/Aコンバータ	2チャンネル	2チャンネル
VREFOUT(ボルテージ・リファレンス)	2.5 V/2.048 V/1.8 V/1.5 V	
オペアンプ	3チャンネル	3チャンネル
AMPn0 with analog MUX switch	2チャンネル (各2入出力)	2チャンネル (各4入出力)
コンパレータ	1チャンネル	1チャンネル
シリアル・インタフェース	<ul style="list-style-type: none"> • 簡易SPI (CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I²C : 1チャンネル • 簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル • 簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル • 簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル 	
I ² Cバス	1チャンネル	1チャンネル
LCDコントローラ/ドライバ	内部昇圧/容量分割/外部抵抗分割の切り替えが可能	
セグメント信号出力	32 (28)本注1	45 (41)本注1
コモン信号出力	4 (8)本注1	
データトランスファコントローラ (DTC))	30要因	30要因
イベントリンクコントローラ (ELC)	イベント入力 : 22, イベントトリガ出力 : 8	イベント入力 : 22, イベントトリガ出力 : 8
ベクタ割り込み要因	内部	31
	外部	9
キー割り込み	8	8
リセット	<ul style="list-style-type: none"> • RESET端子によるリセット • ウォッチドッグ・タイマによる内部リセット • パワーオン・リセットによる内部リセット • 電圧検出回路による内部リセット • 不正命令の実行による内部リセット注2 • RAMパリティ・エラーによる内部リセット • 不正メモリ・アクセスによる内部リセット 	
パワーオン・リセット回路	<ul style="list-style-type: none"> • パワーオン・リセット : 1.51 ± 0.04 V • パワーダウン・リセット : 1.50 ± 0.04 V 	
電圧検出回路	<ul style="list-style-type: none"> • 立ち上がり : 1.88 V ~ 3.13 V (10段階) • 立ち下がり : 1.84 V ~ 3.06 V (10段階) 	
オンチップ・デバッグ機能	あり	
電源電圧	VDD = 1.8 ~ 3.6 V	
動作周囲温度	TA = -40 ~ +85°C (A : 民生用途)	

注1. ()内は8 com使用時の信号出力本数です。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

(1) 80ピン製品

電源	対応する端子
VDD	<ul style="list-style-type: none"> • P20, P21, P23, P26, P27, P100, P101, P103, P106, P107, P140-P143, P150, P152-P154 以外のポート端子 • ポート以外の端子
AVDD	<ul style="list-style-type: none"> • P20, P21, P23, P26, P27, P100, P101, P103, P106, P107, P140-P143, P150, P152-P154

(2) 100ピン製品

電源	対応する端子
VDD	<ul style="list-style-type: none"> • P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154 以外のポート端子 • ポート以外の端子
AVDD	<ul style="list-style-type: none"> • P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 80ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P00	8-5-10	入出力	デジタル 入力無効 ^{注1}	SCK30/SCL30/SEG33	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P00, P01の入力はTTL入力バッファに設定可能。 P00-P02の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P01				SI30/RxD3/SDA30/SEG34	
P02	7-5-10	SO30/TxD3/(PCLBUZ0)/SEG35			
P03	7-5-4	TI00/TO00/INTP1/SEG36			
P04		INTP2/SEG37			
P05		TI06/TO06/SEG38			
P06		INTP5/SEG39			
P07		TI05/TO05/SEG40			
P14	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP7/PCLBUZ0/SCK20/SCL20/SEG29	ポート1。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P14の入力はTTL入力バッファに設定可能。 P14の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P20	4-3-6	入出力	アナログ 出力	ANO0	ポート2。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 アナログ入力に設定可能。(P21, P23) ^{注2} アナログ出力に設定可能。(P20) ^{注2} アナログ入出力に設定可能。(P26, P27) ^{注2}
P21	4-15-3			ANI09/AMP0+	
P23	4-3-6			AMP0-	
P26	4-15-3			ANI12/MUX01	
P27				ANI13/MUX00	
P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	INTP3/RTC1HZ/SEG20	ポート3。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P35, P36の入力はTTL入力バッファに設定可能。 P35-P37の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P31				TI01/TO01/SEG21	
P32	INTP4/SEG22				
P35	8-5-10	SCK10/SCL10/SEG25/V _{CO} UT0			
P36		PCLBUZ1/RxD1/SI10/SDA10/SEG26			
P37	7-5-10	TxD1/SO10/SEG27			

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-7 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P40	8-1-4	入出力	入力ポート	TOOL0/(TI01)/(TO01)/ SCK00/SCL00	ポート4。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P43, P44はアナログ入力に設定可能 ^{注2} 。 P40, P44の入力はTTL入力バッファに設定可能。 P40, P43, P44の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P43	7-3-4			SO00/TxD0/(TI00)/ (TO00)/TOOLTxD/ (INTP0)/IVCMP0	
P44	8-3-4			SI00/RxD0/SDA00/ TOOLRxD/(PCLBUZ1)/ IVREF0	
P50	7-5-4	入出力	デジタル 入力無効 ^{注1}	TI02/TO02/INTP6/SEG 4	ポート5。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51				TI04/TO04/SEG5	
P52				TI03/TO03/SEG6	
P60	12-1-3	入出力	入力ポート	SCLA0/(TI02)/(TO02)/ (INTP3)/SSI00	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0/(TI03)/(TO03)/ (INTP4)	
P70	7-5-4	入出力	デジタル 入力無効 ^{注1}	KR7/SEG12	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71				KR6/SEG13	
P72				KR5/SEG14	
P73				KR4/SEG15	
P74				KR3/SEG16	
P75				KR2/SEG17	
P76				KR1/SEG18	
P77				KR0/TI07/TO07/SEG19	
P80	8-5-13	入出力	アナログ入 力	AMP1OPD/RxD2/SI20/ SDA20/SEG44	ポート8。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 アナログ入力に設定可能 ^{注2} 。 P80の入力はTTL入力バッファに設定可能。 P80, P81の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P81	7-5-25			AMP0OPD/TxD2/ SO20/SEG43	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-7 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能	
P100	4-3-6	入出力	アナログ 出力	ANO1	ポート10。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能。(P101, P103)注2 アナログ出力に設定可能。(P100)注2 アナログ入出力に設定可能。(P106, P107)注2	
P101	4-15-3			アナログ 入力		ANI00/AMP1+
P103	4-3-6					AMP1-
P106	4-15-3					ANI03/MUX11
P107						ANI04/MUX10
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127のみ、入力／出力の指定が可能。 P125-P127のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P122				X2/EXCLK		
P123				XT1		
P124				XT2/EXCLKS		
P125	7-5-6	入出力	—	VL3/(TI06)/(TO06)/ (INTP7)		
P126	7-5-5			CAPL/(TI05)/(TO05)/ (INTP6)		
P127	—			CAPH/(TI04)/(TO04)/ (INTP5)		
P137	2-1-2	入力	入力ポート	INTP0/(SSI00)/ ADTRG	ポート13。1ビット入力専用ポート。	
P140	4-3-5	入出力	アナログ 入力	ANI05	ポート14。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P140-P143はアナログ入力に設定可能注2。	
P141				ANI06		
P142				ANI07		
P143				ANI08		
P150	4-15-3	入出力	アナログ 入力	AMP2+	ポート15。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能注2。	
P152	4-15-3			AMP2-		
P153	4-3-6			AMP2OPD		
P154	4-3-5			AVREFM		
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。	
COM0- COM3	18-5-1	出力	出力	—	COM専用端子	
COM4				SEG0		
COM5				SEG1		
COM6				SEG2		
COM7				SEG3		

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。
詳細は、図4-7 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

2.1.2 100ピン製品

(1/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能																																																						
P00	8-5-10	入出力	デジタル 入力無効 ^{注1}	SCK30/SCL30/SEG33	ポート0。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P00, P01の入力はTTL入力バッファに設定可能。 P00-P02の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。																																																						
P01				SI30/RxD3/SDA30/SEG34		P02	7-5-10	SO30/TxD3/(PCLBUZ0)/SEG35	P03	7-5-4	TI00/TO00/INTP1/SEG36	P04	INTP2/SEG37	P05	TI06/TO06/SEG38	P06	INTP5/SEG39	P07	TI05/TO05/SEG40	P11	8-5-10	入出力	デジタル 入力無効 ^{注1}	RxD2/SI20/SDA20/SEG42	ポート1。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P11, P14の入力はTTL入力バッファに設定可能。 P11, P12, P14の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。	P12	7-5-10	TxD2/SO20/SEG41	P13	7-5-4	SEG28	P14	8-5-10	INTP7/PCLBUZ0/SCK20/SCL20/SEG29	P15	7-5-4	SEG30	P16	SEG31	P17	SEG32	P20	4-3-6	入出力	アナログ 出力	ANO0	P21	4-15-3	アナログ 入力	ANI09/AMP0+	P23	4-3-6	AMP0-	P24	4-15-3	ANI10/MUX03	P25	ANI11/MUX02	P26
P02	7-5-10	SO30/TxD3/(PCLBUZ0)/SEG35																																																									
P03		7-5-4	TI00/TO00/INTP1/SEG36																																																								
P04	INTP2/SEG37																																																										
P05	TI06/TO06/SEG38																																																										
P06	INTP5/SEG39																																																										
P07	TI05/TO05/SEG40																																																										
P11	8-5-10	入出力	デジタル 入力無効 ^{注1}	RxD2/SI20/SDA20/SEG42	ポート1。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P11, P14の入力はTTL入力バッファに設定可能。 P11, P12, P14の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。																																																						
P12	7-5-10			TxD2/SO20/SEG41																																																							
P13	7-5-4	SEG28																																																									
P14	8-5-10	INTP7/PCLBUZ0/SCK20/SCL20/SEG29																																																									
P15	7-5-4	SEG30																																																									
P16		SEG31																																																									
P17		SEG32																																																									
P20		4-3-6	入出力	アナログ 出力		ANO0																																																					
P21	4-15-3	アナログ 入力			ANI09/AMP0+																																																						
P23	4-3-6		AMP0-																																																								
P24	4-15-3	ANI10/MUX03																																																									
P25		ANI11/MUX02																																																									
P26		ANI12/MUX01																																																									
P27		ANI13/MUX00																																																									

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。
詳細は、図4-7 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(2/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能	
P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	INTP3/RTC1HZ/SEG20	ポート3。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。 P35, P36の入力はTTL入力バッファに設定可能。 P35-P37の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。	
P31				TI01/TO01/SEG21		
P32				INTP4/SEG22		
P33				SEG23		
P34				SEG24		
P35				8-5-10		SCK10/SCL10/SEG25/ (VCOUT0)
P36						PCLBUZ1/RxD1/SI10/S DA10/SEG26
P37	7-5-10	TxD1/SO10/SEG27				
P40	8-1-4	入出力	入力ポート	TOOL0/(TI01)/(TO01)/ (SCK00/SCL00)	ポート4。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。 P43, P44はアナログ入力に設定可能 ^{注2} 。 P40, P41, P44の入力はTTL入力バッファに設定可能。 P40, P41, P43, P44の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。	
P41				SCK00/SCL00/(INTP2)		
P42	7-1-3			(INTP1)/VCOUT0		
P43	7-3-4	入出力	入力ポート	SO00/TxD0/(TI00)/ (TO00)/TOOLxD/ (INTP0)/IVCMP0		
P44				8-3-4	SI00/RxD0/SDA00/ TOOLRxD/(PCLBUZ1)/ IVREF0	
P50	7-5-4	入出力	デジタル 入力無効 ^{注1}	TI02/TO02/INTP6/SEG 4	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵ブルアップ抵抗を使用可能。	
P51				TI04/TO04/SEG5		
P52				TI03/TO03/SEG6		
P53				SEG7		
P54				SEG8		
P55				SEG9		
P56				SEG10		
P57				SEG11		
P60	12-1-3	入出力	入力ポート	SCLA0/(TI02)/(TO02)/ (INTP3)/SSI00	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。	
P61				SDAA0/(TI03)/(TO03)/ (INTP4)		

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-7 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(3/4)

機能名称	端子タイプ	入出力	リセット時	兼用機能	機能
P70	7-5-4	入出力	デジタル 入力無効 ^{注1}	KR7/SEG12	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71				KR6/SEG13	
P72				KR5/SEG14	
P73				KR4/SEG15	
P74				KR3/SEG16	
P75				KR2/SEG17	
P76				KR1/SEG18	
P77				KR0/TI07/TO07/SEG19	
P80	8-5-13	入出力	アナログ 入力	AMP1OPD/(RxD2/SI20 /SDA20)/SEG44	ポート8。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 アナログ入力に設定可能 ^{注2} 。 P80の入力はTTL入力バッファに設定可能。 P80, P81の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P81	7-5-25			AMP0OPD/(TxD2/ SO20)/SEG43	
P100	4-3-6	入出力	アナログ出 力 入力	ANO1	ポート10。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能。(P101, P103) ^{注2} アナログ出力に設定可能。(P100) ^{注2} アナログ入出力に設定可能。(P104-P107) ^{注2}
P101	4-15-3			ANI00/AMP1+	
P103	4-3-6			AMP1-	
P104	4-15-3			ANI01/MUX13	
P105				ANI02/MUX12	
P106				ANI03/MUX11	
P107				ANI04/MUX10	
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127のみ、入力／出力の指定が可能。 P125-P127のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力		VL3/(TI06)/(TO06)/ (INTP7)	
P126	7-5-5			CAPL/(TI05)/(TO05)/ (INTP6)	
P127				CAPH/(TI04)/(TO04)/ (INTP5)	
P130	1-1-2	出力	出力ポート	—	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0(SS100)/ ADTRG	
P140	4-3-5	入出力	アナログ 入力	ANI05	ポート14。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能 ^{注2} 。
P141				ANI06	
P142				ANI07	
P143				ANI08	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-7 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(4/4)

機能名称	端子 タイプ	入出力	リセット時	兼用機能	機能
P150	4-15-3	入出力	アナログ 入力	AMP2+	ポート15。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能注。
P152	4-15-3			AMP2-	
P153	4-3-6			AMP2OPD	
P154	4-3-5			AVREFM	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。
COM0- COM3	18-5-1	出力	出力	—	COM専用端子
COM4				SEG0	
COM5				SEG1	
COM6				SEG2	
COM7				SEG3	

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ (PMC) で設定します(1ビット単位で設定可能)。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

(1/5)

機能名称	100ピン	80ピン
ANI00	○	○
ANI01	○	—
ANI02	○	—
ANI03	○	○
ANI04	○	○
ANI05	○	○
ANI06	○	○
ANI07	○	○
ANI08	○	○
ANI09	○	○
ANI10	○	—
ANI11	○	—
ANI12	○	○
ANI13	○	○
ADTRG	○	○
ANO0	○	○
ANO1	○	○
AVREFP/VREFOUT	○	○
AVREFM	○	○
AMP0+	○	○
AMP0-	○	○
AMP0O	○	○
AMP0OPD	○	○
AMP1+	○	○
AMP1-	○	○
AMP1O	○	○
AMP1OPD	○	○
AMP2+	○	○
AMP2-	○	○
AMP2O	○	○
AMP2OPD	○	○
MUX00	○	○
MUX01	○	○
MUX02	○	—
MUX03	○	—
MUX10	○	○
MUX11	○	○
MUX12	○	—
MUX13	○	—
AVDD	○	○

(2/5)

機能名称	100ピン	80ピン
AVss	○	○
IVREF0	○	○
IVCMP0	○	○
VCOUT0	○	○
INTP0	○	○
INTP1	○	○
INTP2	○	○
INTP3	○	○
INTP4	○	○
INTP5	○	○
INTP6	○	○
INTP7	○	○
KR0	○	○
KR1	○	○
KR2	○	○
KR3	○	○
KR4	○	○
KR5	○	○
KR6	○	○
KR7	○	○
PCLBUZ0	○	○
PCLBUZ1	○	○
REGC	○	○
RTC1HZ	○	○
RESET	○	○
RxD0	○	○
RxD1	○	○
RxD2	○	○
RxD3	○	○
SCK00	○	○
SCK10	○	○
SCK20	○	○
SCK30	○	○
SCLA0	○	○
SCL00	○	○
SCL10	○	○
SCL20	○	○
SCL30	○	○
SDAA0	○	○
SDA00	○	○
SDA10	○	○
SDA20	○	○
SDA30	○	○
SI00	○	○

(3/5)

機能名称	100ピン	80ピン
SI10	○	○
SI20	○	○
SI30	○	○
SO00	○	○
SO10	○	○
SO20	○	○
SO30	○	○
SSI00	○	○
TI00	○	○
TI01	○	○
TI02	○	○
TI03	○	○
TI04	○	○
TI05	○	○
TI06	○	○
TI07	○	○
TO00	○	○
TO01	○	○
TO02	○	○
TO03	○	○
TO04	○	○
TO05	○	○
TO06	○	○
TO07	○	○
TxD0	○	○
TxD1	○	○
TxD2	○	○
TxD3	○	○
VL1	○	○
VL2	○	○
VL3	○	○
VL4	○	○
CAPH	○	○
CAPL	○	○
X1	○	○
X2	○	○
EXCLK	○	○
EXCLKS	○	○
XT1	○	○
XT2	○	○
VDD	○	○
VSS	○	○
TOOLRxD	○	○
TOOLTxD	○	○

(4/5)

機能名称	100ピン	80ピン
TOOL0	○	○
COM0	○	○
COM1	○	○
COM2	○	○
COM3	○	○
COM4	○	○
COM5	○	○
COM6	○	○
COM7	○	○
SEG0	○	○
SEG1	○	○
SEG2	○	○
SEG3	○	○
SEG4	○	○
SEG5	○	○
SEG6	○	○
SEG7	○	—
SEG8	○	—
SEG9	○	—
SEG10	○	—
SEG11	○	—
SEG12	○	○
SEG13	○	○
SEG14	○	○
SEG15	○	○
SEG16	○	○
SEG17	○	○
SEG18	○	○
SEG19	○	○
SEG20	○	○
SEG21	○	○
SEG22	○	○
SEG23	○	—
SEG24	○	—
SEG25	○	○
SEG26	○	○
SEG27	○	○
SEG28	○	—
SEG29	○	○
SEG30	○	—
SEG31	○	—
SEG32	○	—
SEG33	○	○
SEG34	○	○

(5/5)

機能名称	100ピン	80ピン
SEG35	○	○
SEG36	○	○
SEG37	○	○
SEG38	○	○
SEG39	○	○
SEG40	○	○
SEG41	○	—
SEG42	○	—
SEG43	○	○
SEG44	○	○

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI00-ANI13	入力	A/Dコンバータのアナログ入力
ADTRG	入力	A/Dコンバータの外部トリガ入力
ANO0, ANO1	出力	D/Aコンバータ出力
INTP0-INTP7	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ
IVCMP0	入力	コンパレータのアナログ電圧入力
IVREF0	入力	コンパレータのリファレンス電圧入力
VCOU0	出力	コンパレータ出力
AMP0+, AMP1+, AMP2+	入力	オペアンプ +入力
AMP0-, AMP1-, AMP2-	入力	オペアンプ -入力
AMP0O, AMP1O, AMP2O	出力	オペアンプ 出力
AMP0OPD, AMP1OPD, AMP2OPD	入力	低抵抗スイッチ
MUX00-MUX03, MUX10-MUX13	入出力	オペアンプ 出力用アナログスイッチ
KR0-KR7	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μ F)を介し、Vssに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック(1 Hz)出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセット端子を使用しない場合は、直接または抵抗を介してVDDに接続してください。
RxD0-RxD3	入力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ入力
TxD0-TxD3	出力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ出力
SCK00, SCK10, SCK20, SCK30	入出力	シリアル・インタフェースCSI00, CSI10, CSI20, CSI30のシリアル・クロック入出力
SI00, SI10, SI20, SI30	入力	シリアル・インタフェースCSI00, CSI10, CSI20, CSI30のシリアル・データ入力
SO00, SO10, SO20, SO30	出力	シリアル・インタフェースCSI00, CSI10, CSI20, CSI30のシリアル・データ出力
SSI00	入力	シリアル・インタフェースCSI00のスレーブセレクト入力
SCL00, SCL10, SCL20, SCL30	出力	シリアル・インタフェースIIC00, IIC10, IIC20, IIC30のシリアル・クロック出力
SDA00, SDA10, SDA20, SDA30	入出力	シリアル・インタフェースIIC00, IIC10, IIC20, IIC30のシリアル・データ入出力
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
TI00-TI07	入力	16ビット・タイマ00-07への外部カウント・クロック/キャプチャ・トリガ入力

(2/2)

機能名称	入出力	機能
TO00-TO07	出力	16ビット・タイマ00-07のタイマ出力
VL1-VL4	—	LCD駆動用電圧
CAPH, CAPL	—	LCDコントローラ/ドライバ用コンデンサ接続
X1, X2	—	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	—	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
VDD	—	端子の正電源
AVDD	—	アナログマクロの専用正電源
AVREFP /VREFOUT	入出力	A/DコンバータとD/Aコンバータの基準電圧(+側)入出力
AVREFM	入力	A/DコンバータとD/Aコンバータの基準電圧(-側)入力
VSS	—	端子のグランド電位
AVSS	—	アナログマクロの専用グランド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力
COM0-COM7	出力	LCDコントローラ/ドライバのコモン信号出力
SEG0-SEG44	出力	LCDコントローラ/ドライバのセグメント信号出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、31.4 シリアル・プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、VDD - VSSライン間へのバイパスコンデンサ(0.1 μ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

各端子の未使用端子の処理を表2-3に示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図(Top View), 2.1 ポート機能を参照してください。

表2-3 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	デジタル入力無効時： オープンにしてください。
P10-P17		デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P20, P21, P23-P27		入力時： 個別に抵抗を介して、AVDDまたはAVssに接続してください。 出力時： オープンにしてください。
P30-P37		デジタル入力無効時： オープンにしてください。 デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P40/TOOL0		入力時： 個別に抵抗を介して、VDDに接続またはオープンにしてください。 出力時： オープンにしてください。
P41-P44		入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 出力時： オープンにしてください。
P50-P57		デジタル入力無効時： オープンにしてください。 デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P60, P61		入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 出力時： オープンにしてください。
P70-P77		デジタル入力無効時： オープンにしてください。 デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P80, P81		アナログ入力モード： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル入力無効時： オープンにしてください。 デジタル入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P100, P101, P103-P107		入力時： 個別に抵抗を介して、AVDDまたはAVssに接続してください。 出力時： オープンにしてください。
P121-P124		入力 個別に抵抗を介して、VDDまたはVssに接続してください。
P125-P127		入出力 入力時： 個別に抵抗を介して、VDDまたはVssに接続してください。 出力時： オープンにしてください。
P130		出力 オープンにしてください。
P137		入力 個別に抵抗を介して、VDDまたはVssに接続してください。
P140-P143	入出力	入力時： 個別に抵抗を介して、AVDDまたはAVssに接続してください。
P150, P152-P154		出力時： オープンにしてください。
RESET	入力 VDDに直接接続または抵抗を介して接続してください。	
AVREFP/VREFOUT	— オープンにしてください。	
REGC	— コンデンサ(0.47~1μF)を介し、Vssに接続してください。	
COM0-COM7	出力 オープンにしてください。	
VL1, VL2, VL4	— オープンにしてください。	

2.4 端子ブロック図

2.1.1 80ピン製品～2.1.2 100ピン製品に記載した端子タイプについて、端子ブロック図を図2-1～図2-20に示します。

図2-1 端子タイプ1-1-2の端子ブロック図

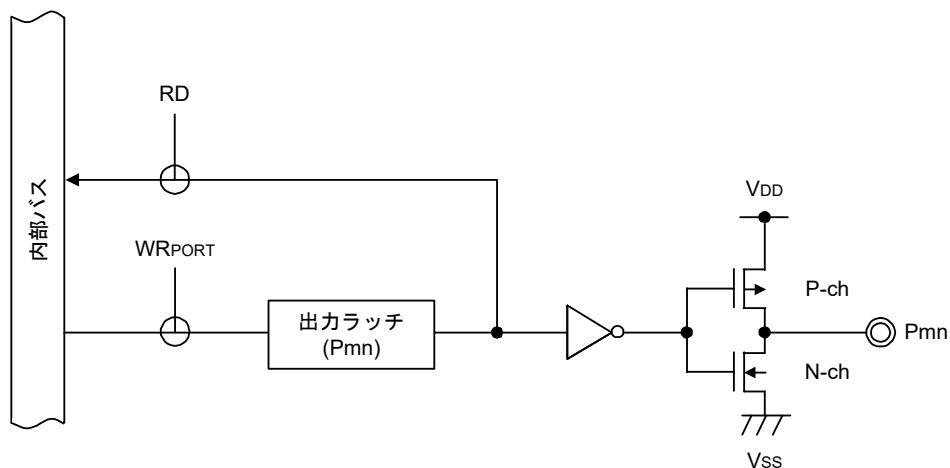


図2-2 端子タイプ2-1-1の端子ブロック図

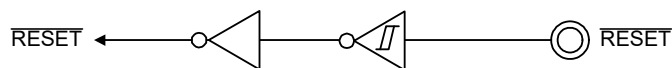


図2-3 端子タイプ2-1-2の端子ブロック図

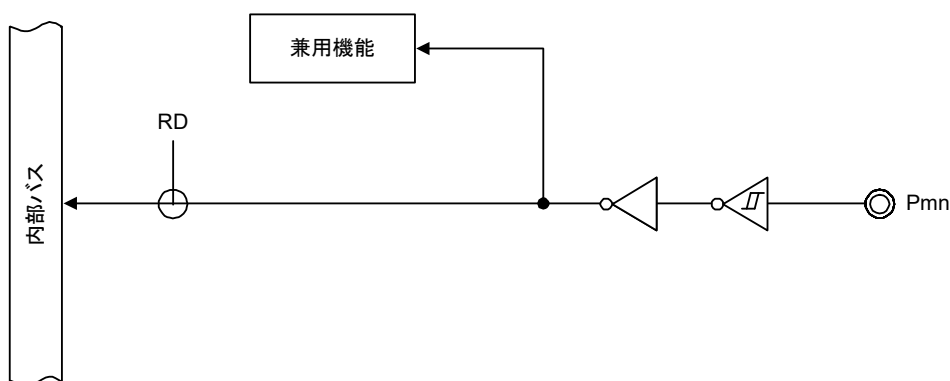
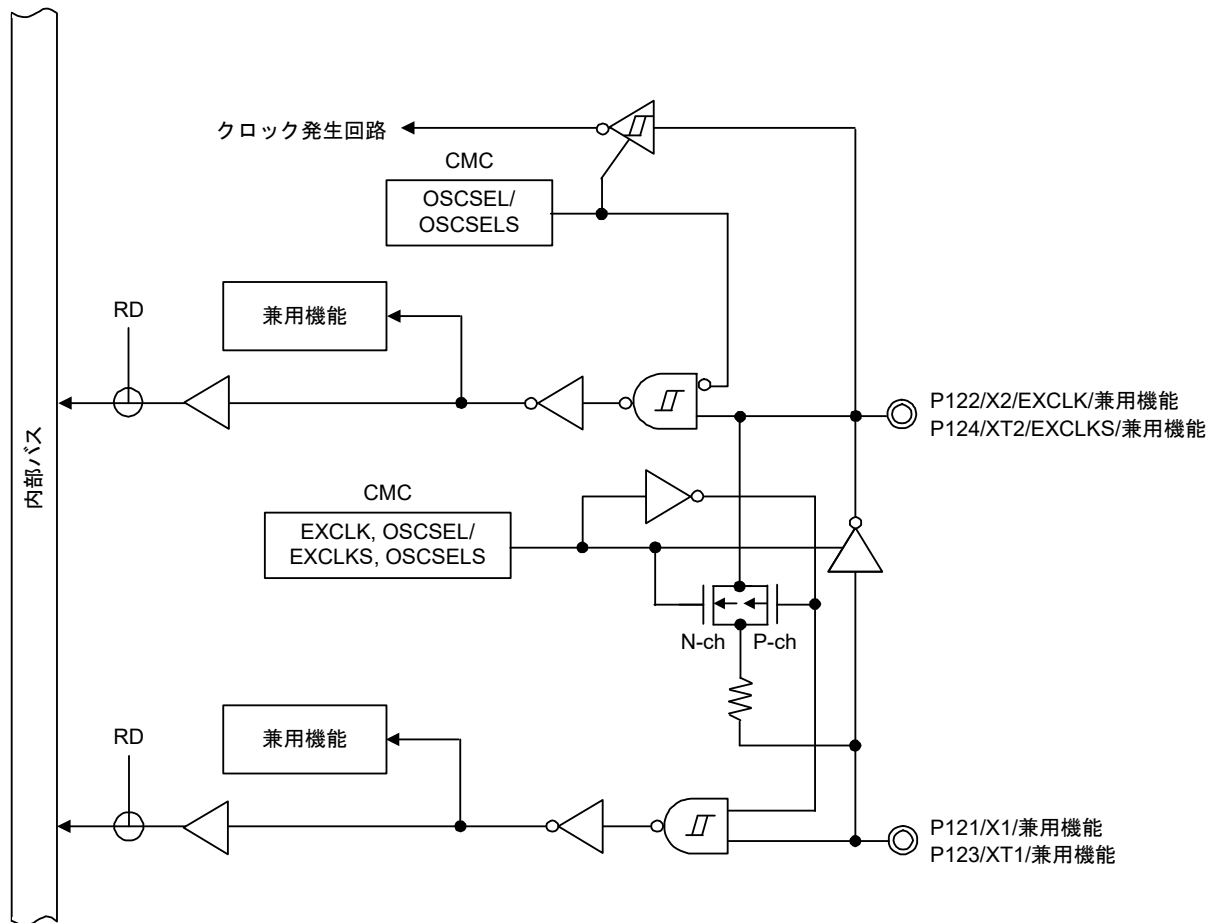


図2-4 端子タイプ2-2-1の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-5 端子タイプ4-3-5の端子ブロック図

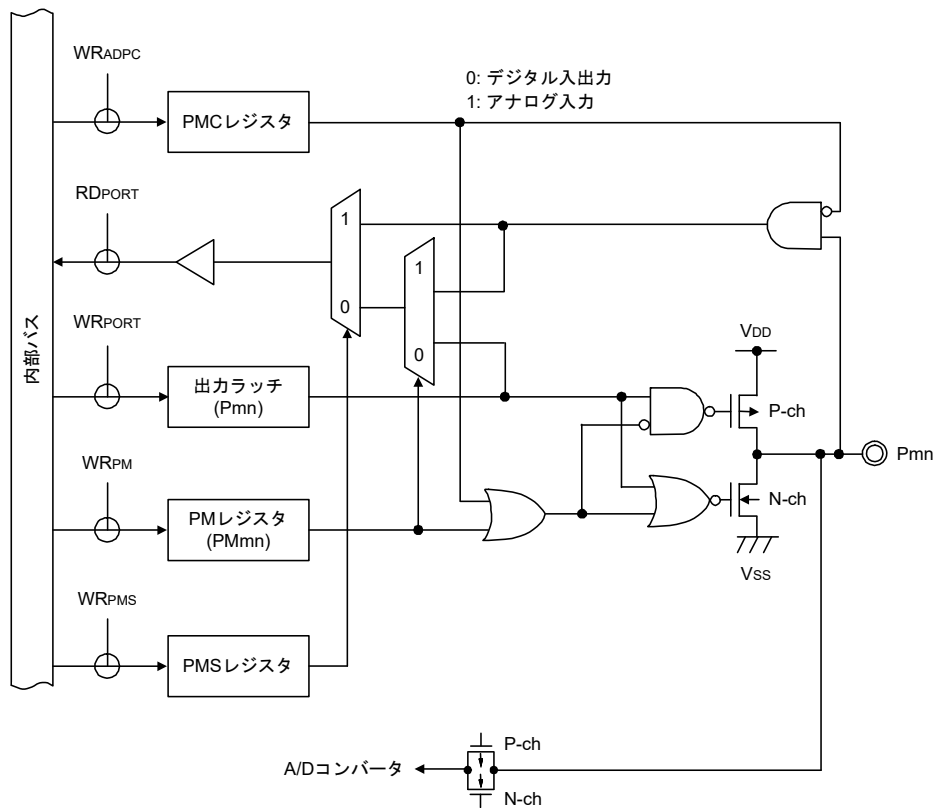


図2-6 端子タイプ4-3-6の端子ブロック図

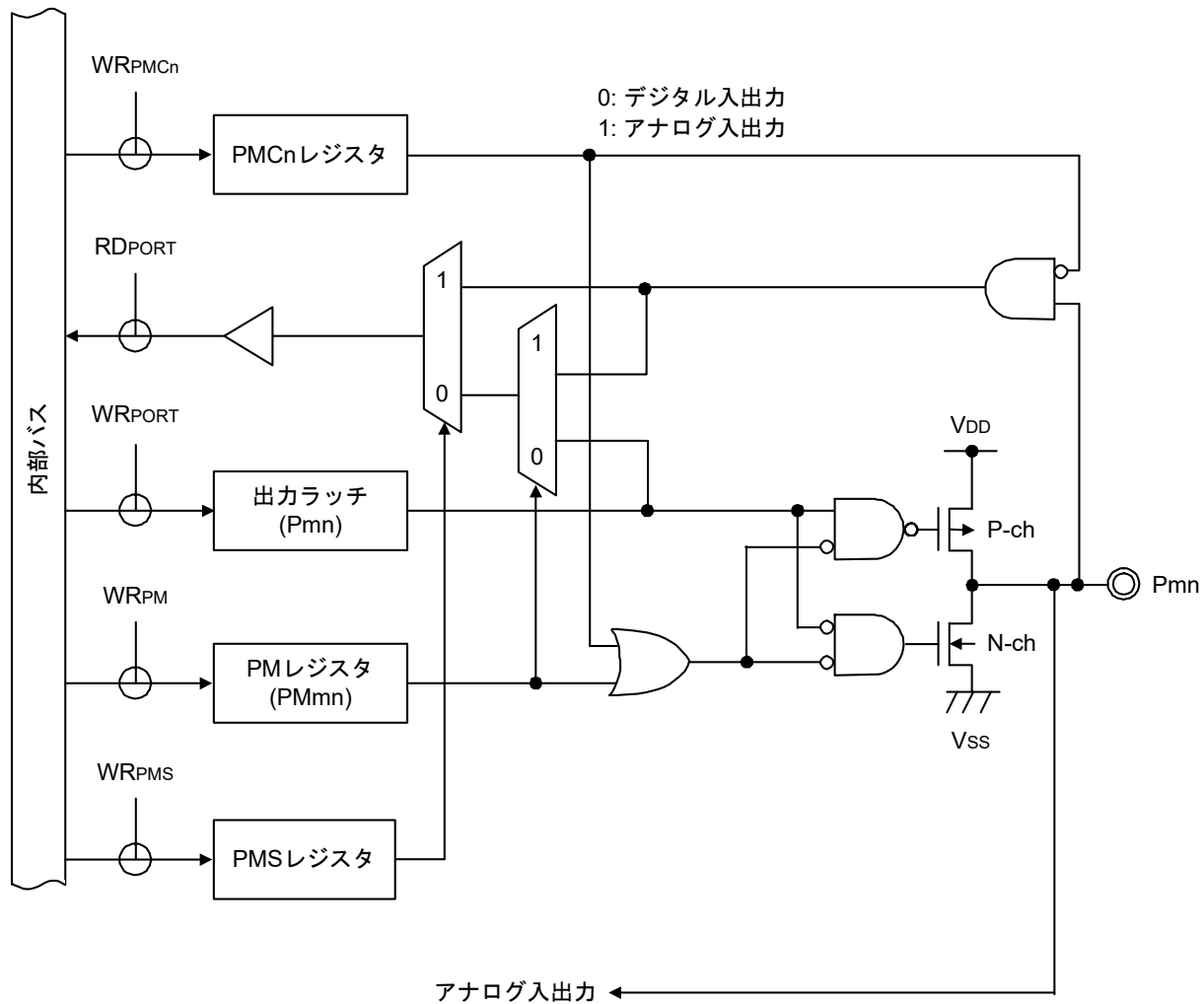


図2-7 端子タイプ4-15-3の端子ブロック図

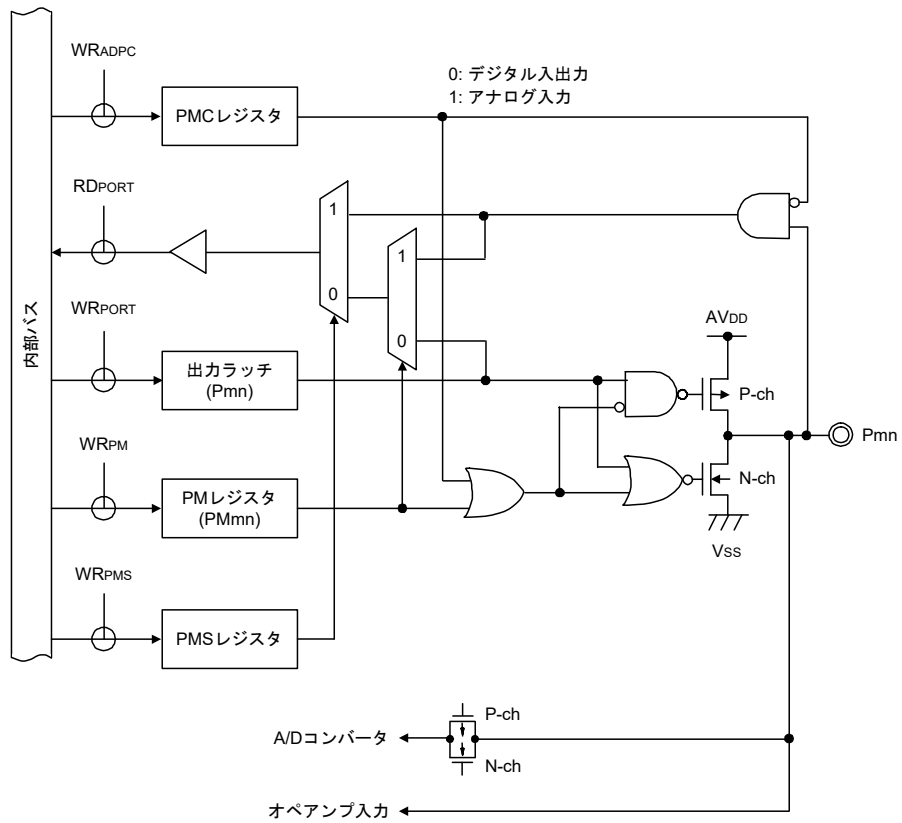
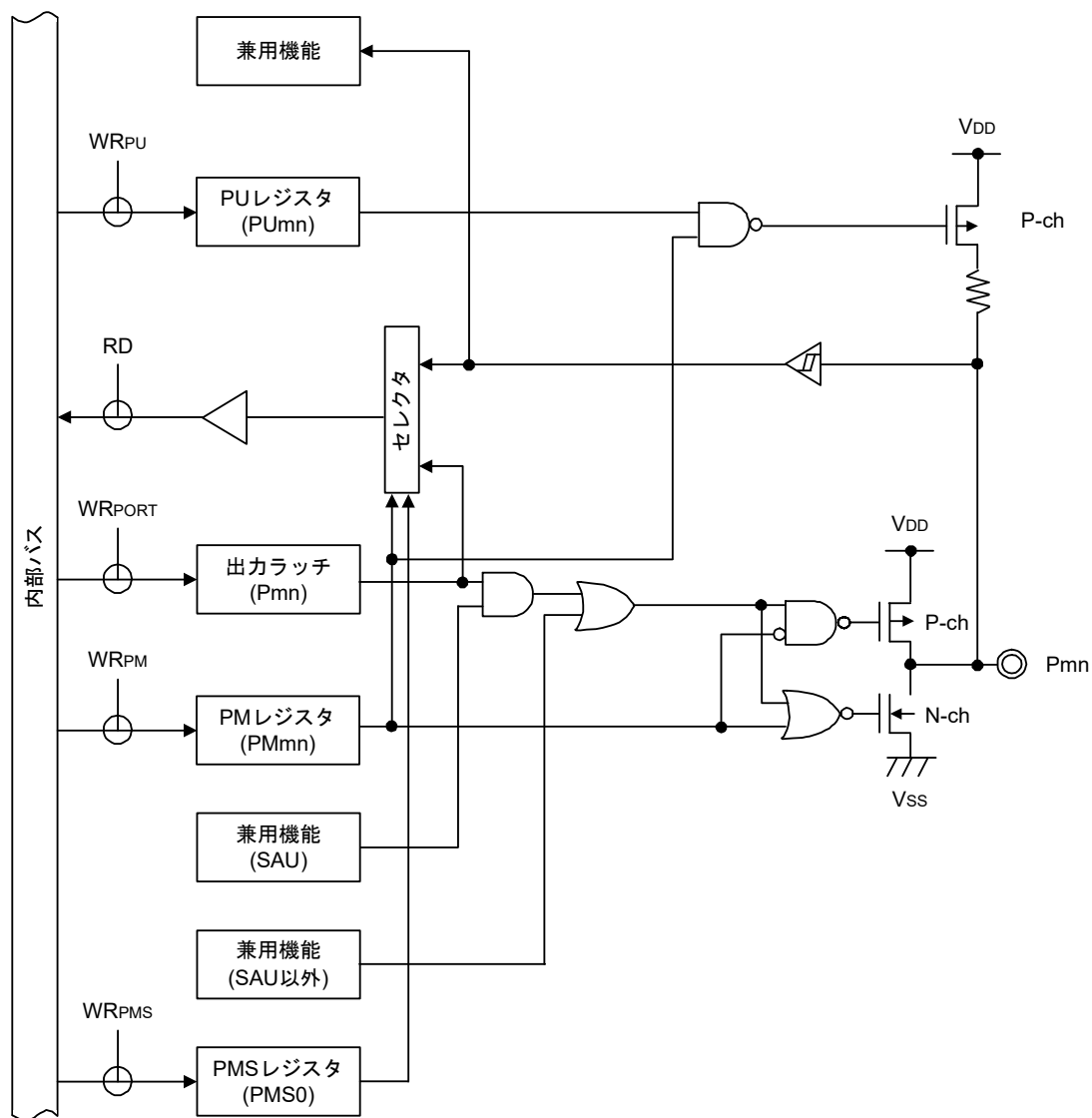


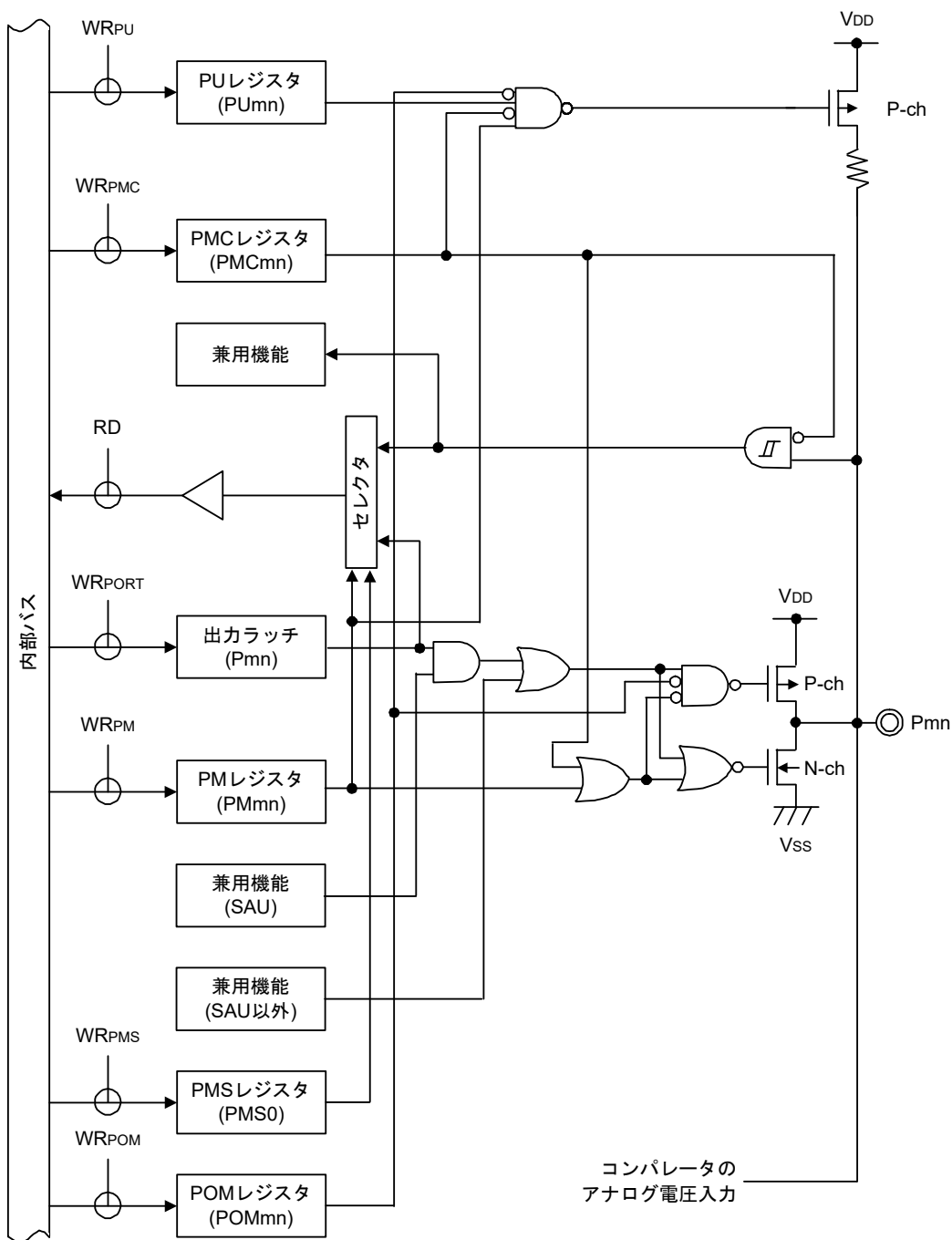
図2-8 端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-9 端子タイプ7-3-4の端子ブロック図

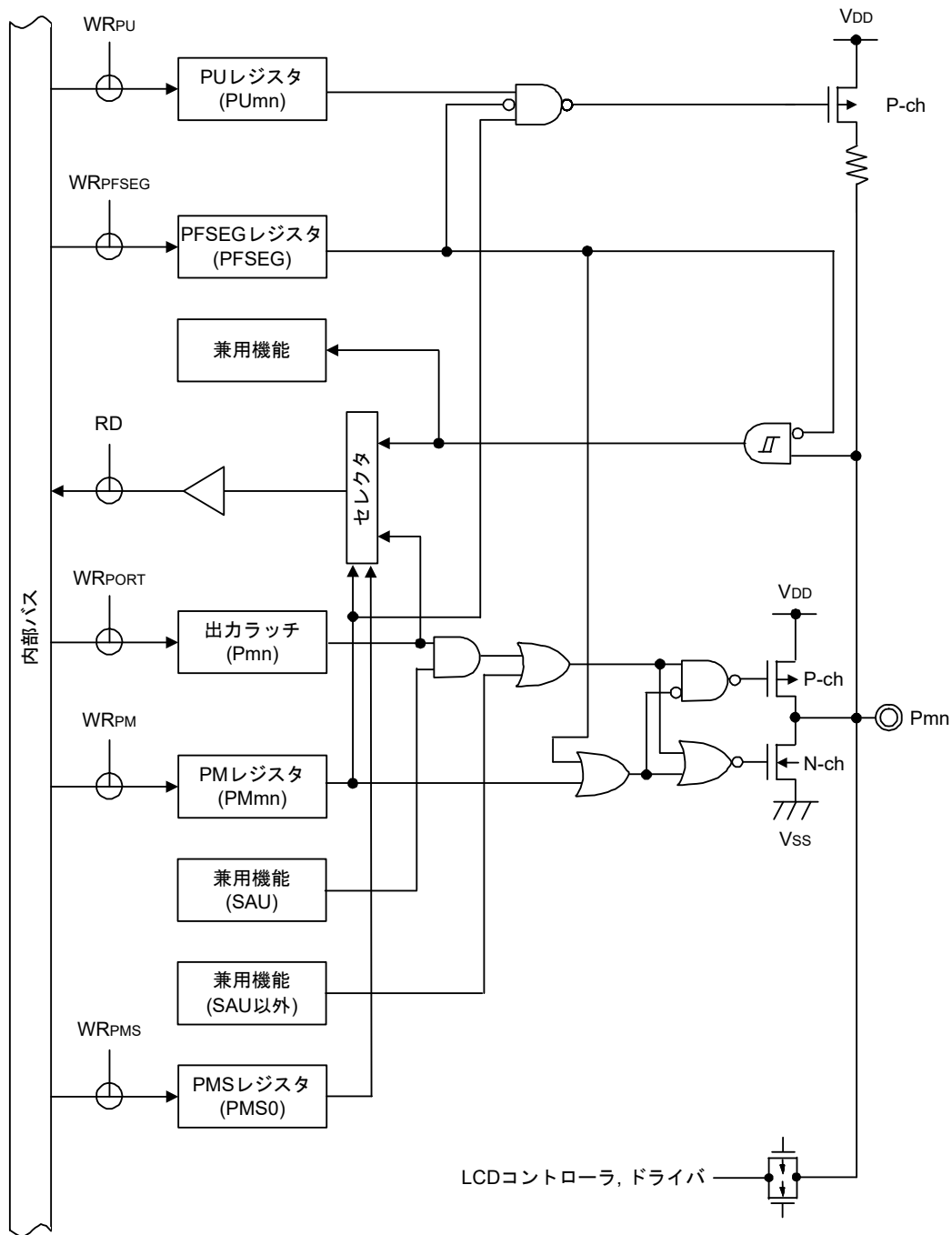


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(EV_{DD}レベル)が発生することがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

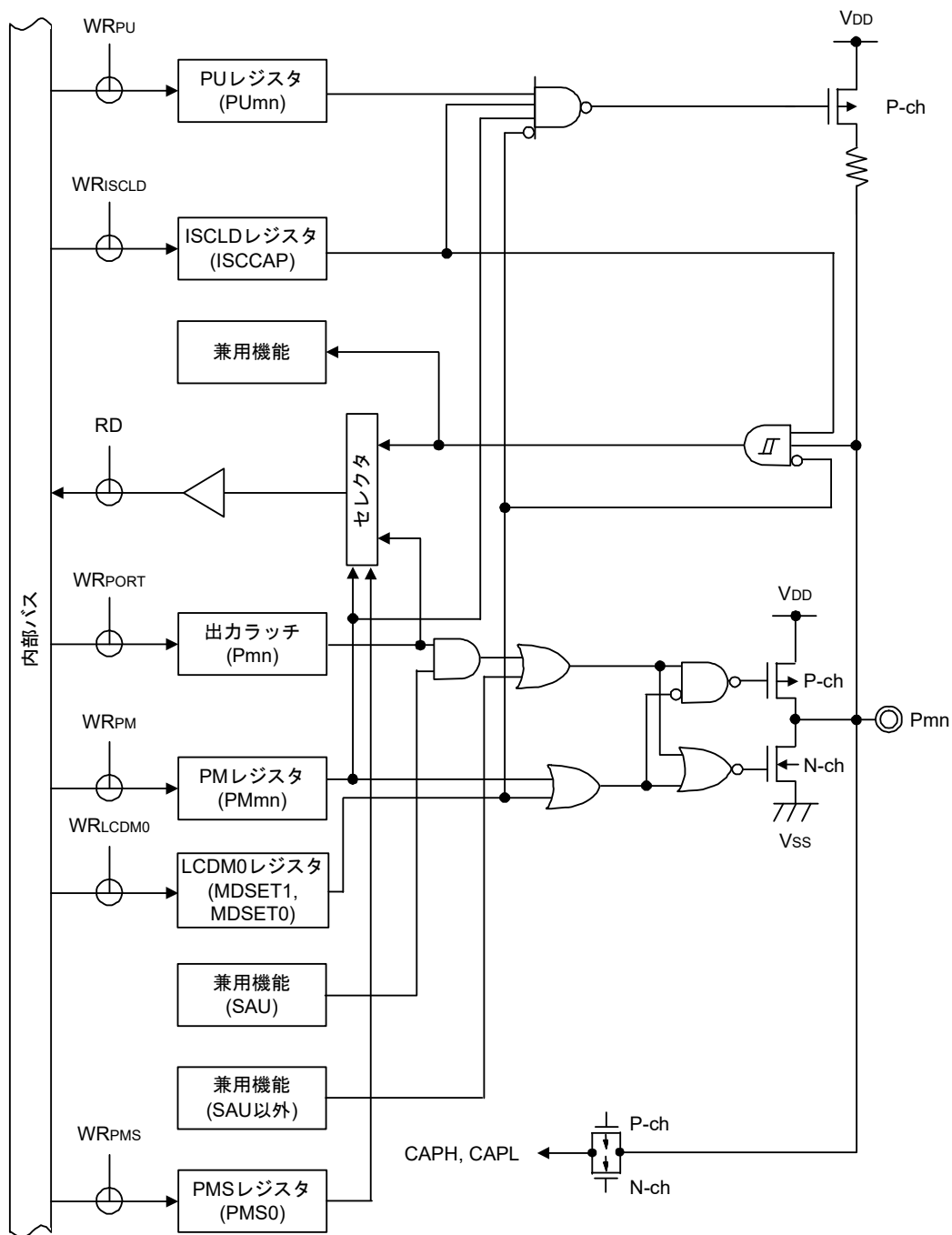
図2-10 端子タイプ7-5-4の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

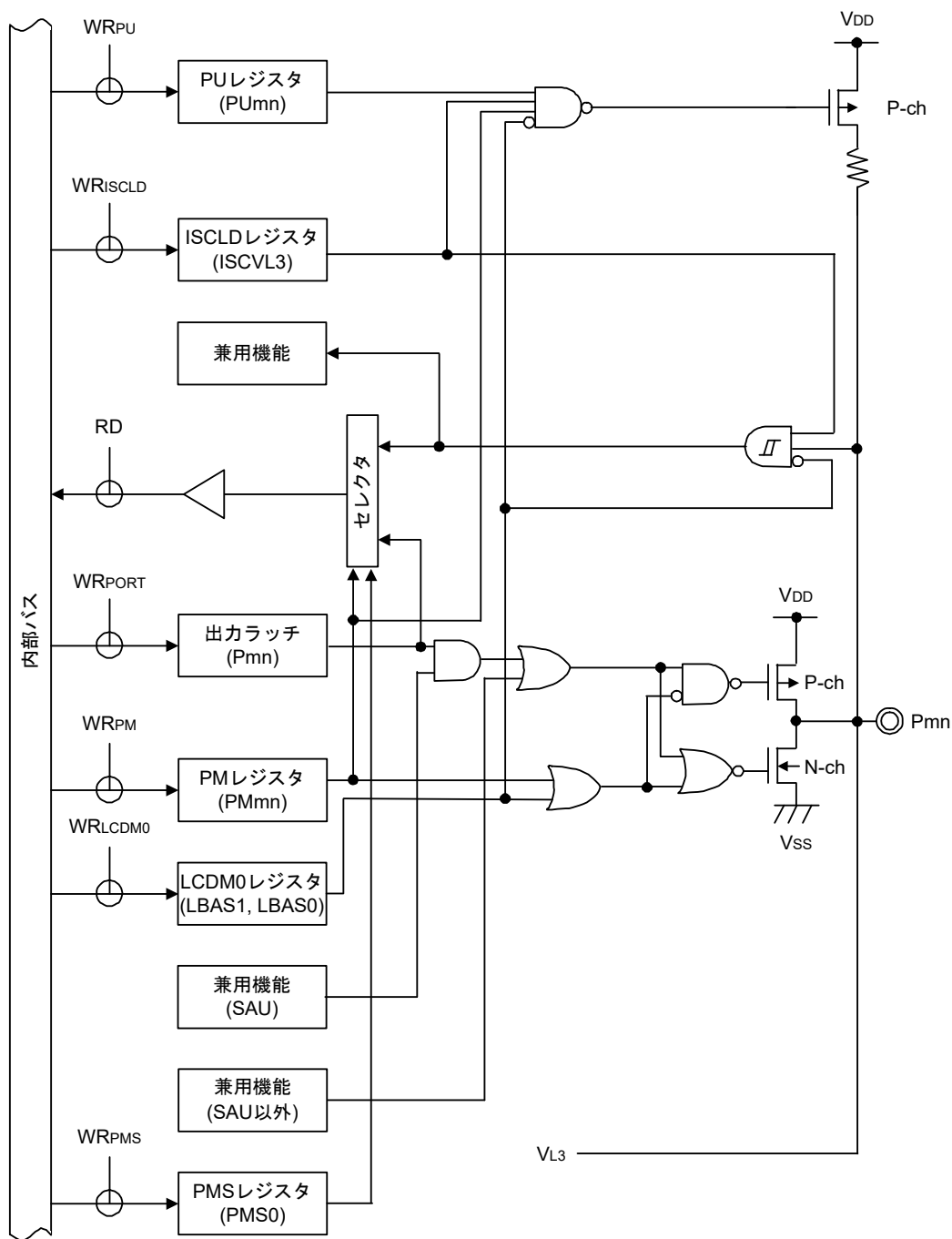
図2 - 11 端子タイプ7-5-5の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

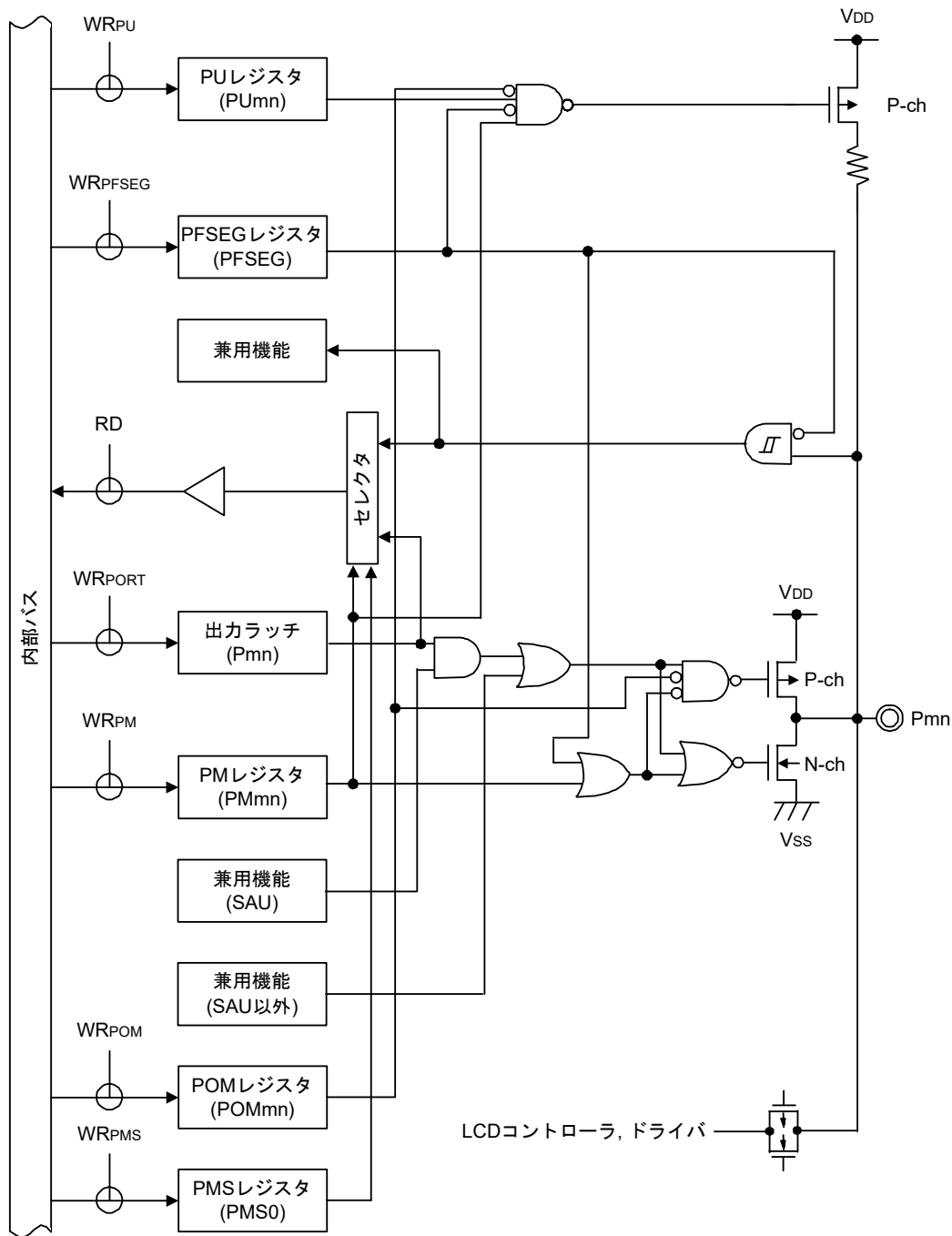
図2-12 端子タイプ7-5-6の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-13 端子タイプ7-5-10の端子ブロック図

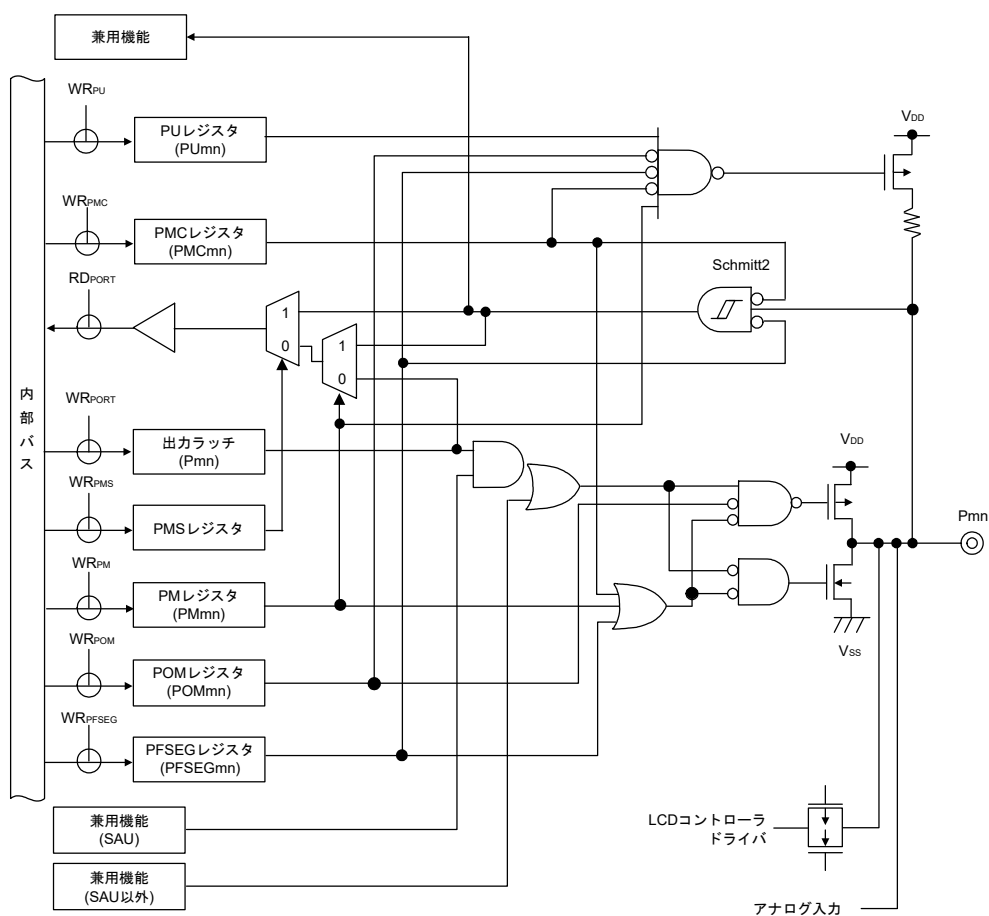


注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ (EVDDレベル)が発生することがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 14 端子タイプ7-5-25の端子ブロック図

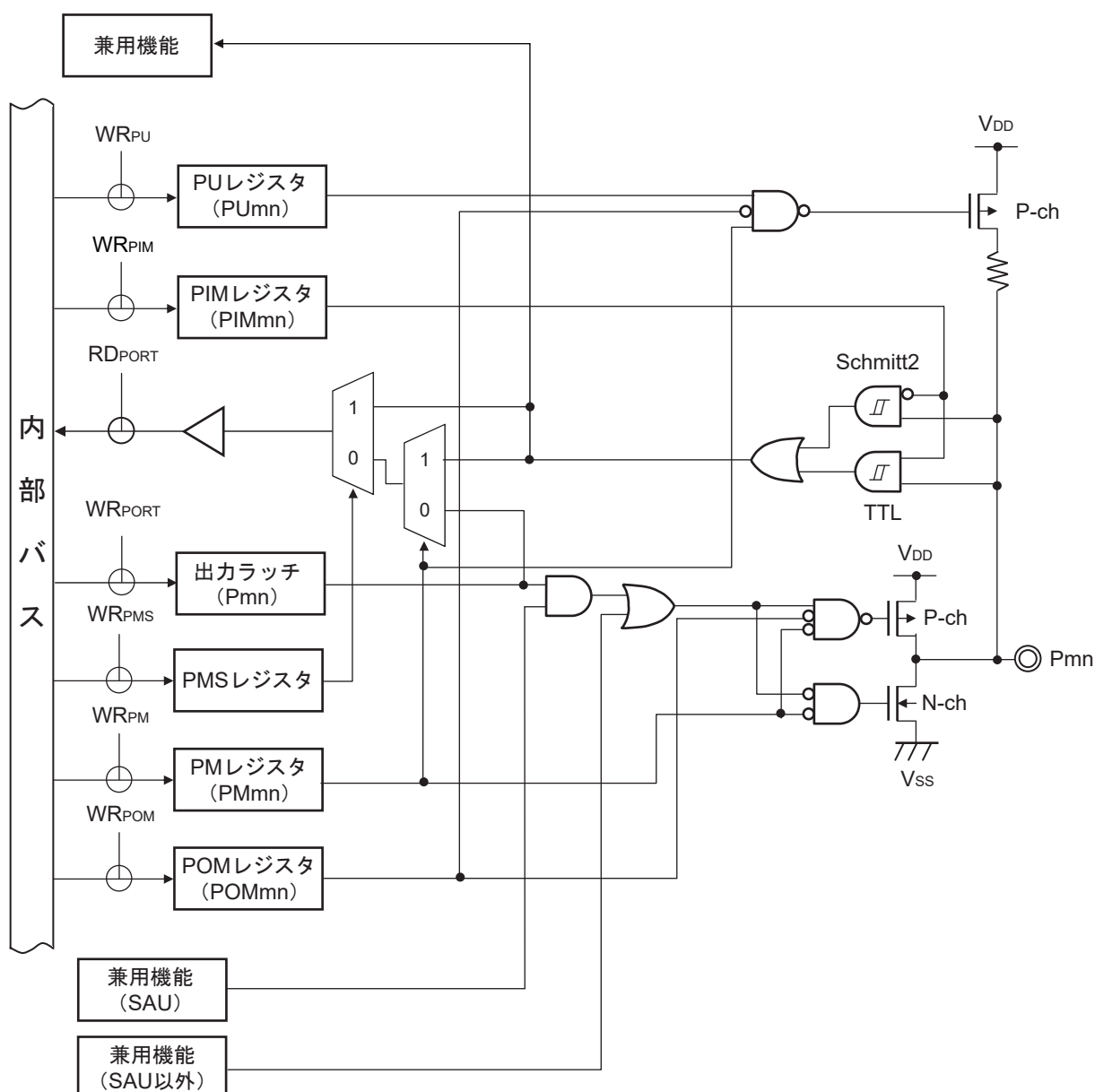


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モードにおいても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(EVDDレベル)が発生することがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-15 端子タイプ8-1-4の端子ブロック図



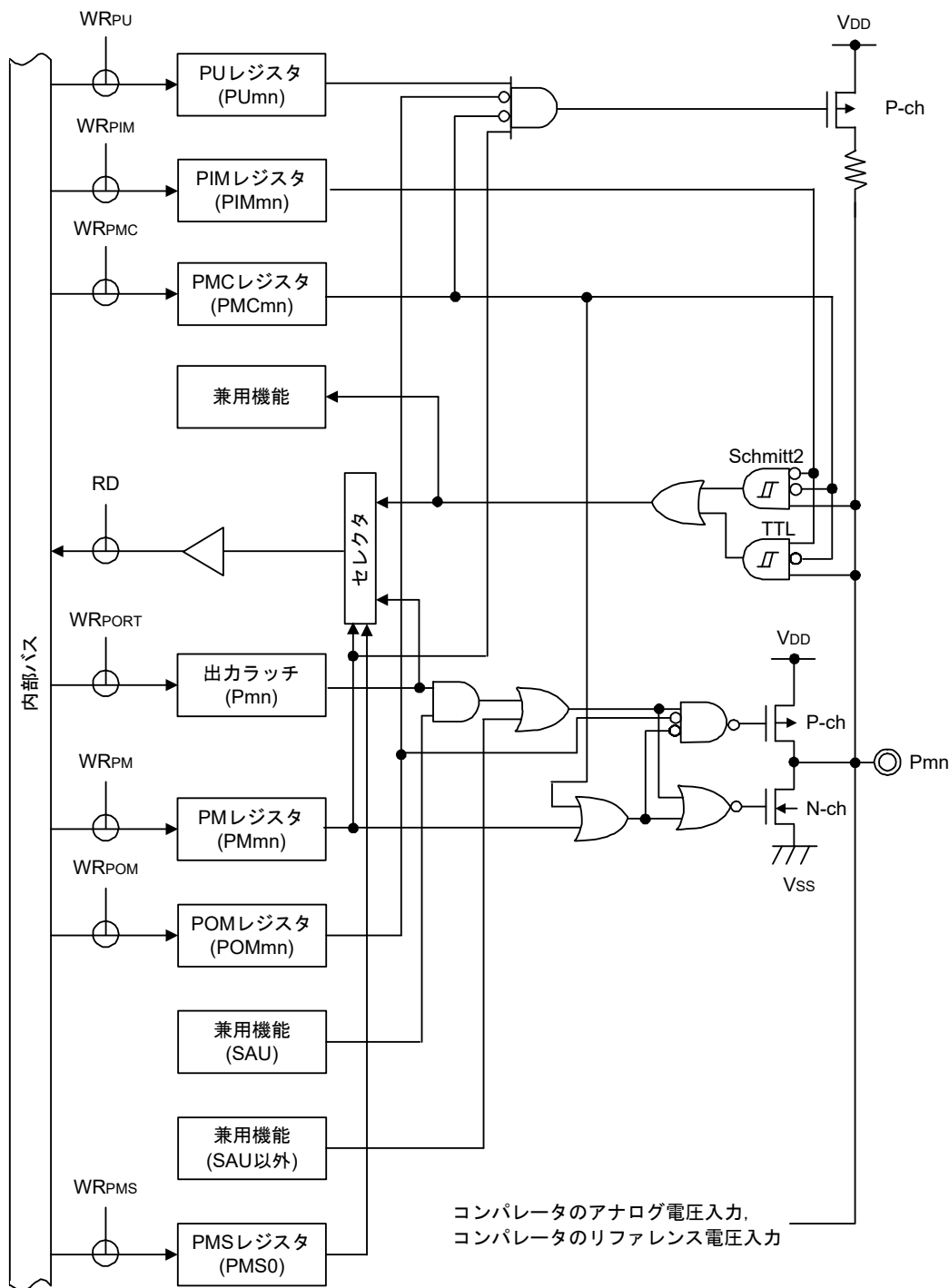
注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ (EVDDレベル) が発生することがあります。

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-16 端子タイプ8-3-4の端子ブロック図

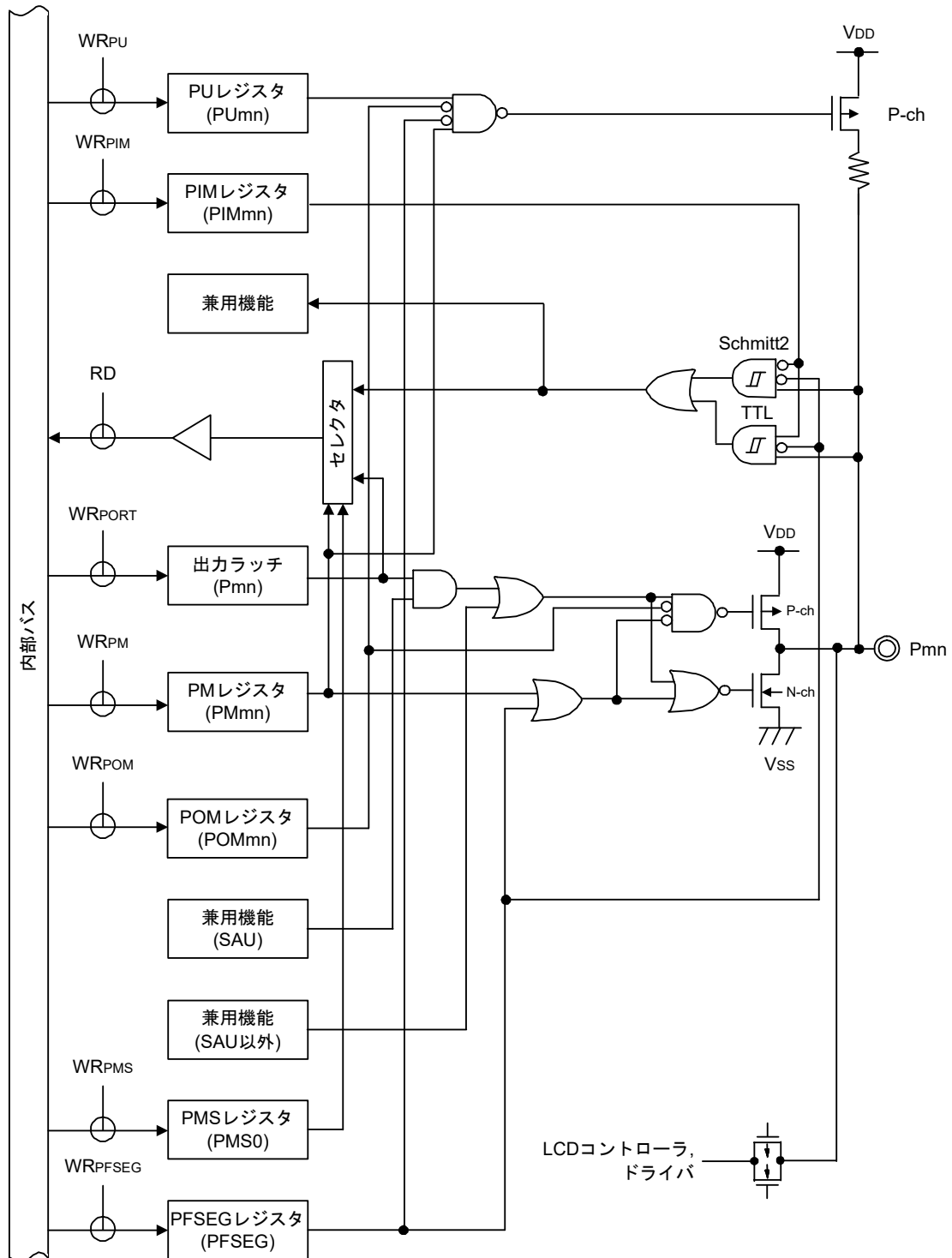


- 注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(EVDDレベル)が発生することがあります。
- 注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-17 端子タイプ8-5-10の端子ブロック図



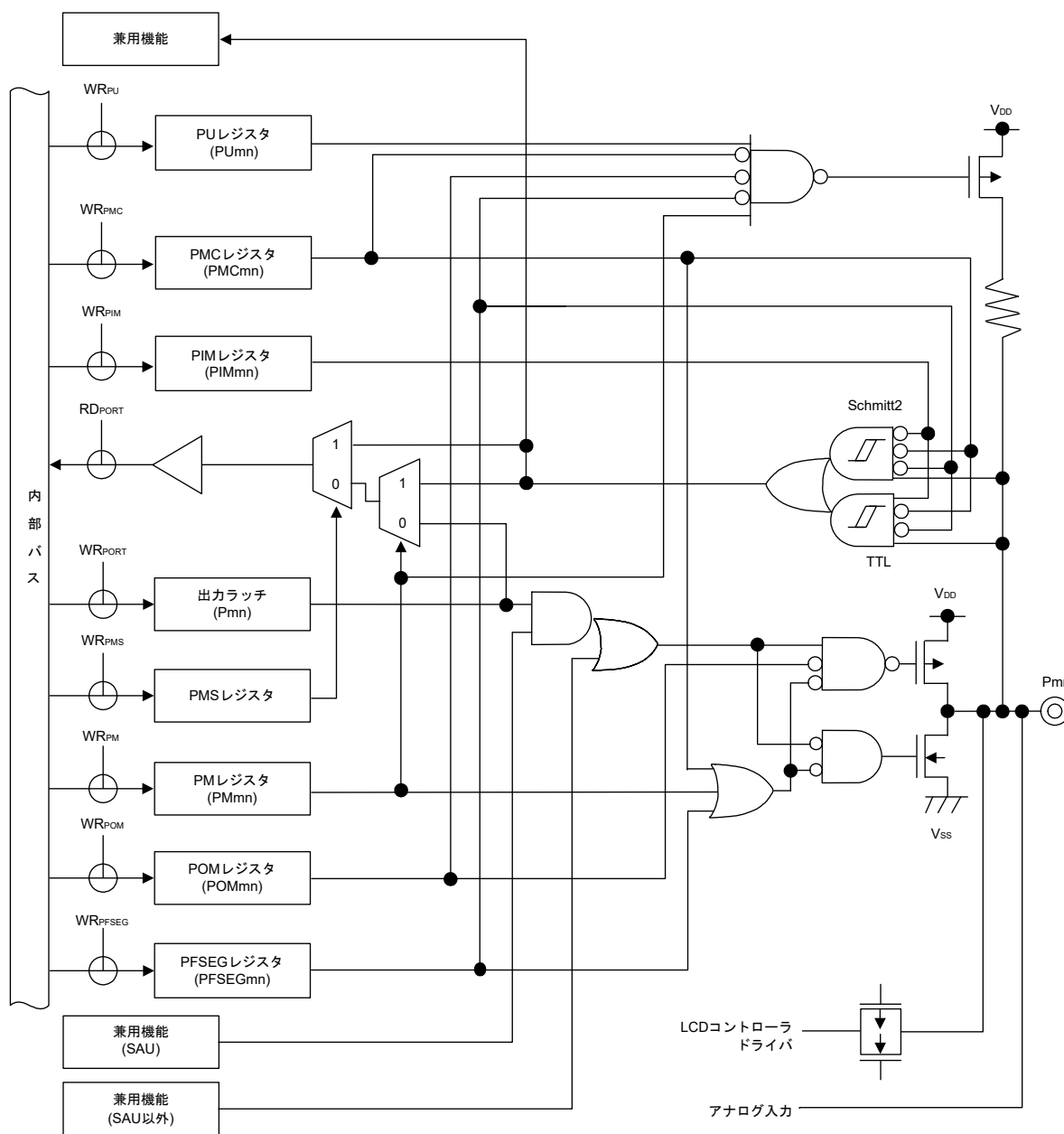
注意1. ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ (EVDDレベル) が発生することがあります。

注意2. ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 18 端子タイプ8-5-13の端子ブロック図



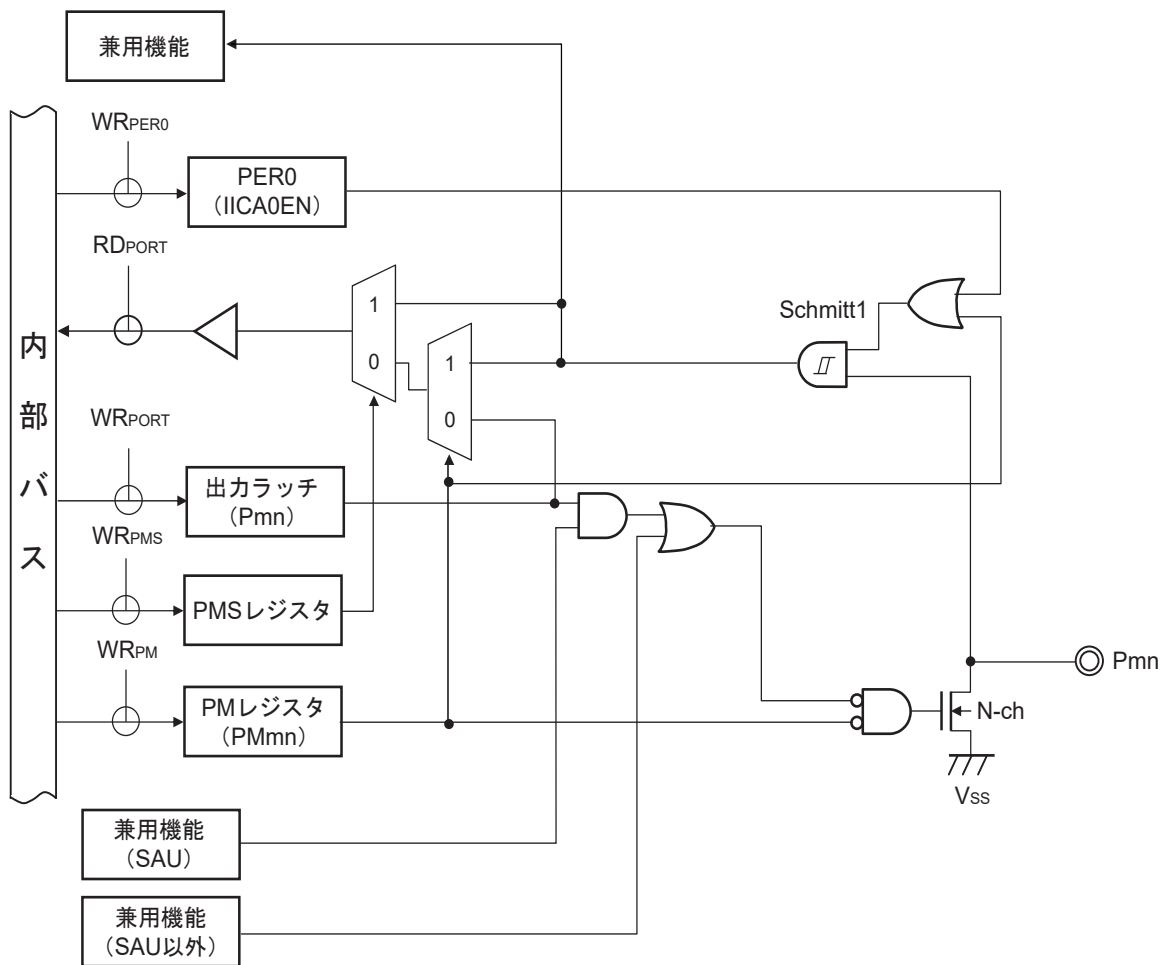
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。また、N-chオープン・ドレイン出力モード設定時は、出力レベルを切り替えるとグリッチ(EVDDレベル)が発生することがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

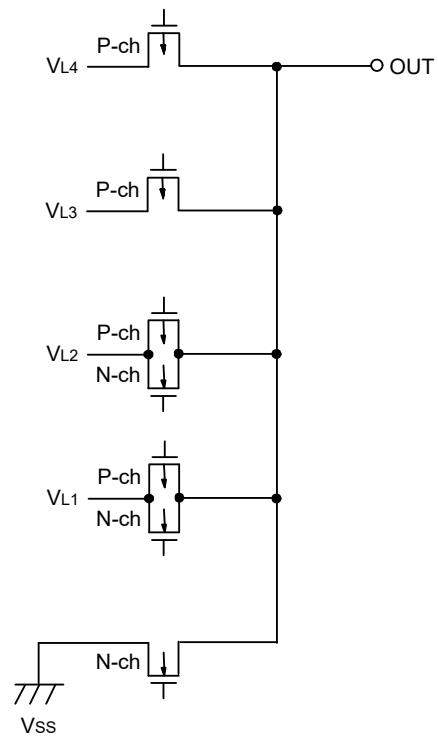
図2 - 19 端子タイプ12-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 20 端子タイプ18-5-1の端子ブロック図



第3章 CPUアーキテクチャ

3.1 概要

RL78 マイクロコントローラのCPUコアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの3段パイプライン制御を採用することで、従来のCPUコアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とする様々なアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

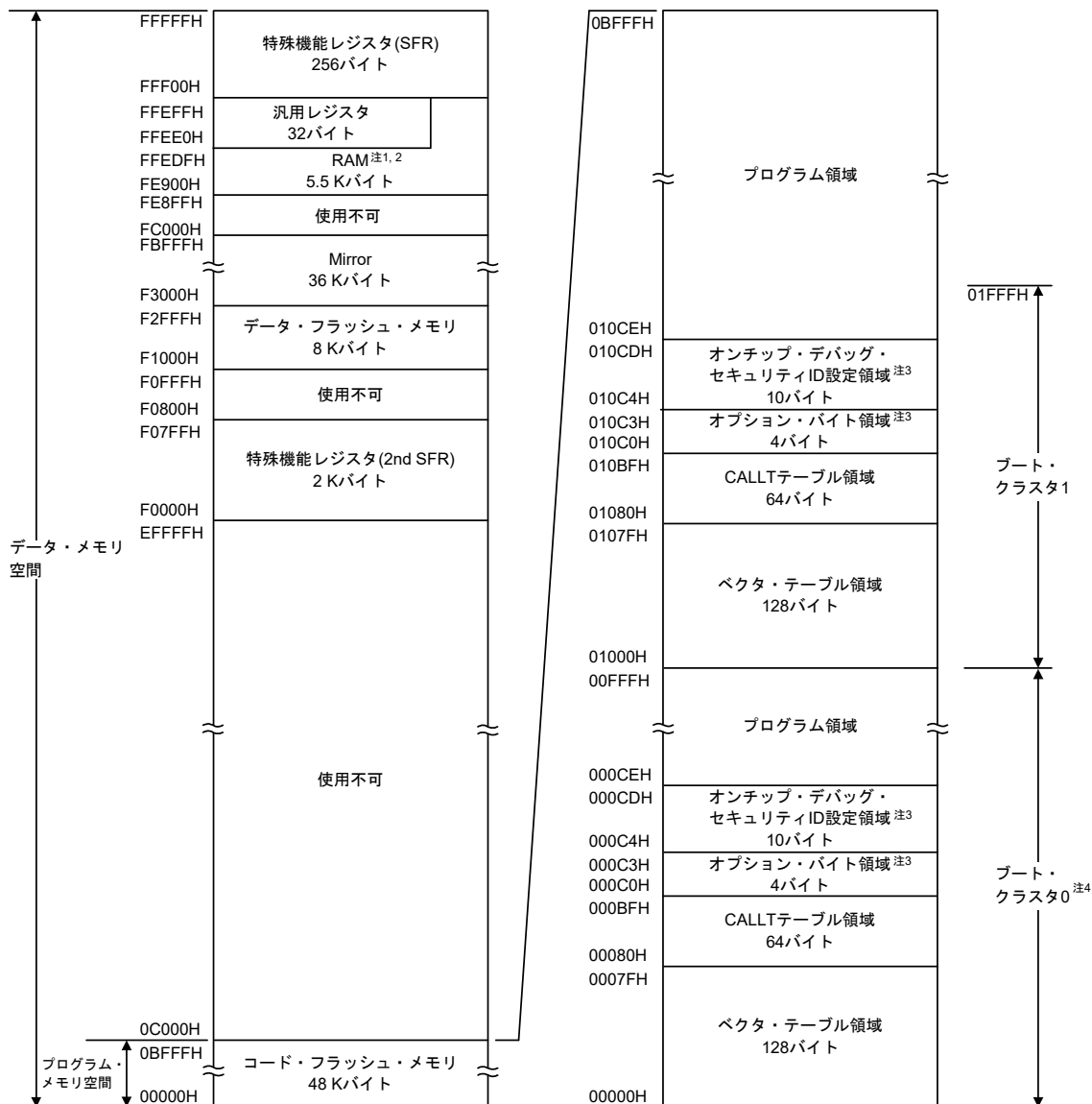
RL78/L1Aは、RL78-S3コアであり、主に以下のような特徴を有します。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ×8
- 命令の種類：81種類
- データ配置：リトル・エンディアン
- 乗除算積和演算命令：対応

3.2 メモリ空間

RL78/L1Aは、1 Mバイトのメモリ空間をアクセスできます。図3-1～図3-4に、メモリ・マップを示します。

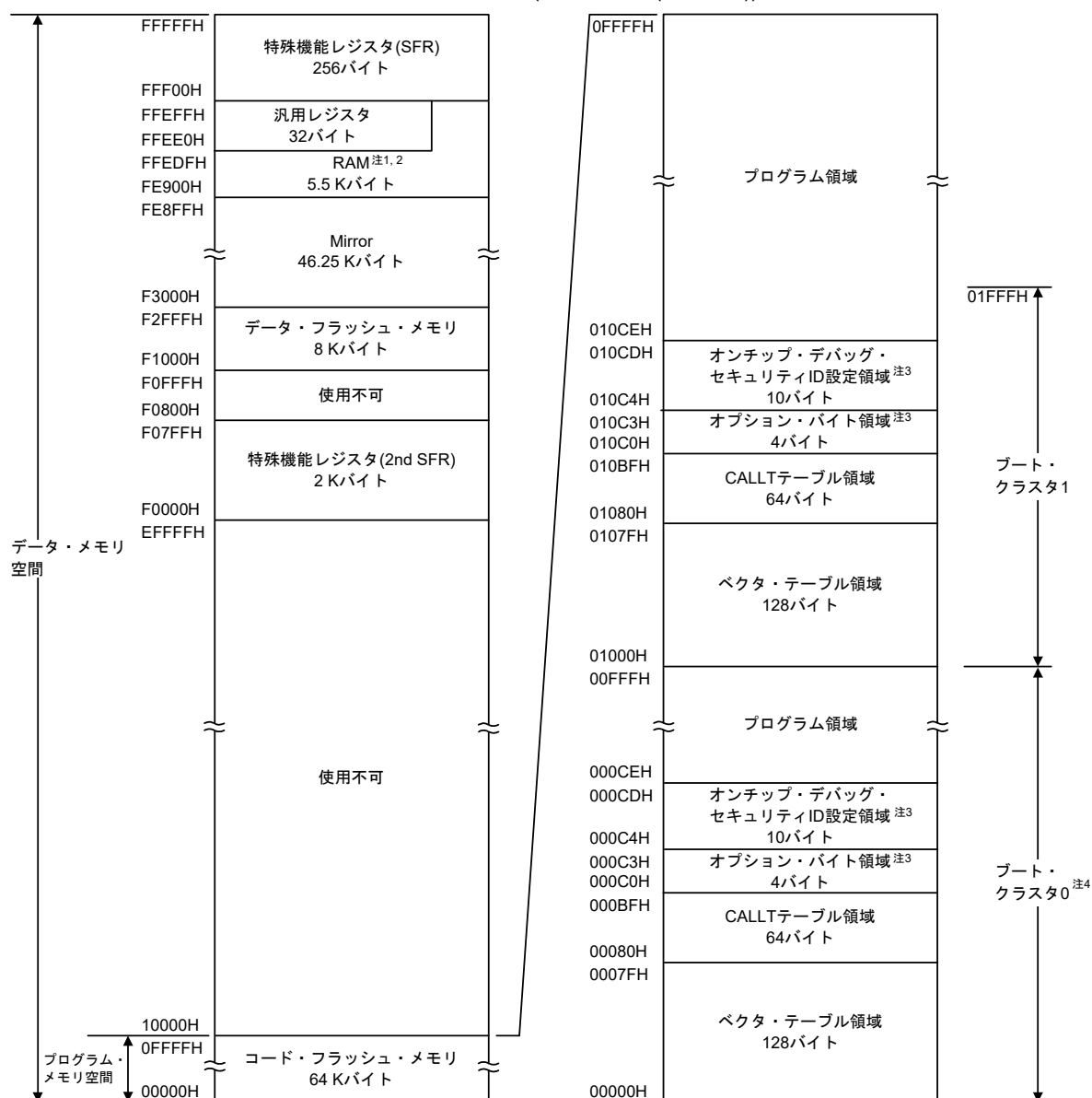
図3-1 メモリ・マップ(R5F11MMD)



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
また、フラッシュ・ライブラリがFE900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト (R20UT2943) を参照してください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(31.7 セキュリティ設定を参照)。(注意は次ページにあります。)

- 注意1. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、28.3.3 RAMパリティ・エラー検出機能を参照してください。
- 注意2. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。R5F11MMD : FED00H~FF0FFH

図3-2 メモリ・マップ(R5F11MxE (x = M, P))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

また、フラッシュ・ライブラリがFE900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト (R20UT2943) を参照してください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

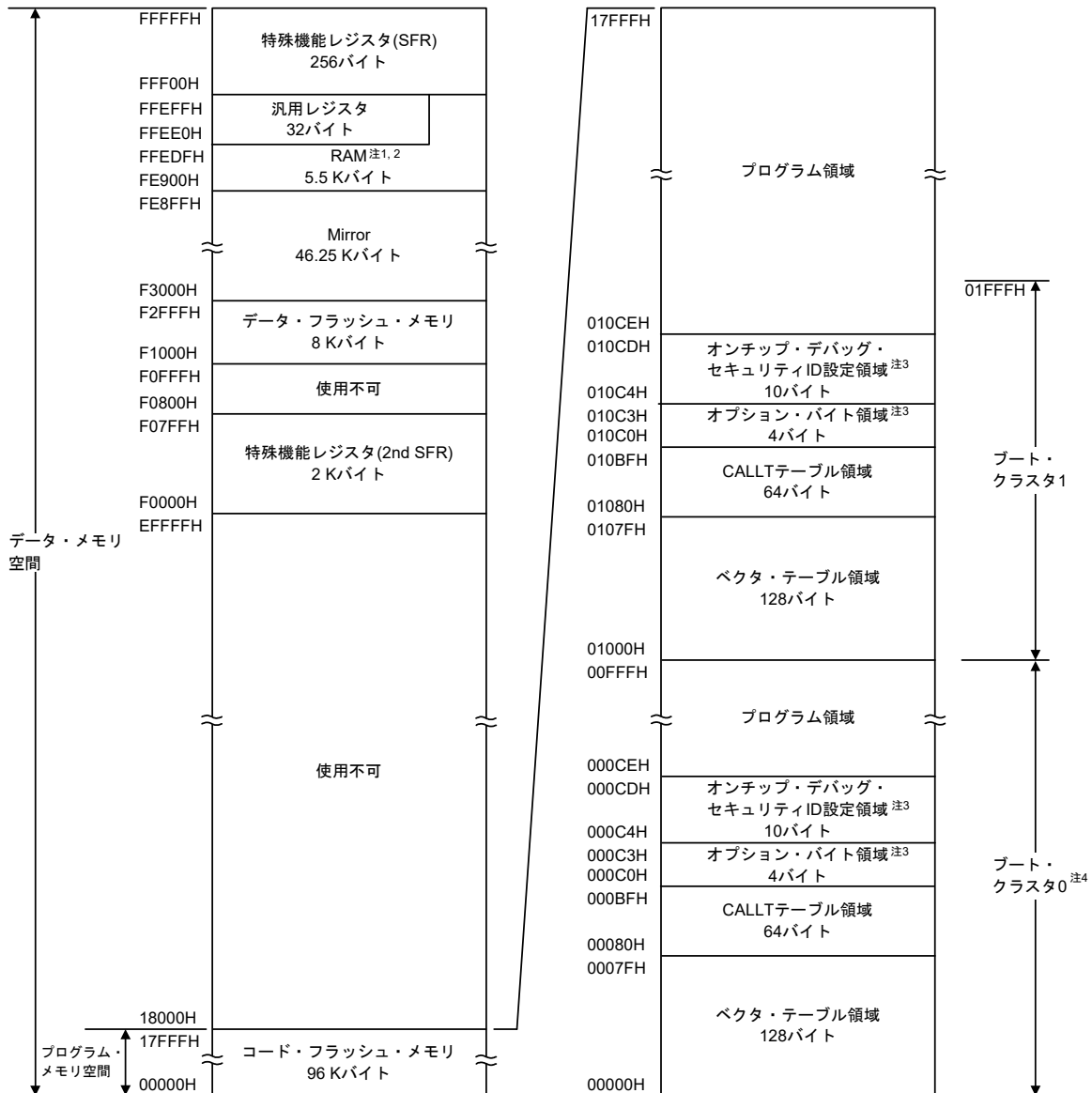
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(31.7 セキュリティ設定を参照)。

(注意は次ページにあります。)

- 注意1. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、28.3.3 RAMパリティ・エラー検出機能を参照してください。
- 注意2. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。R5F11M x E (x = M, P) : FED00H ~ FF0FFH

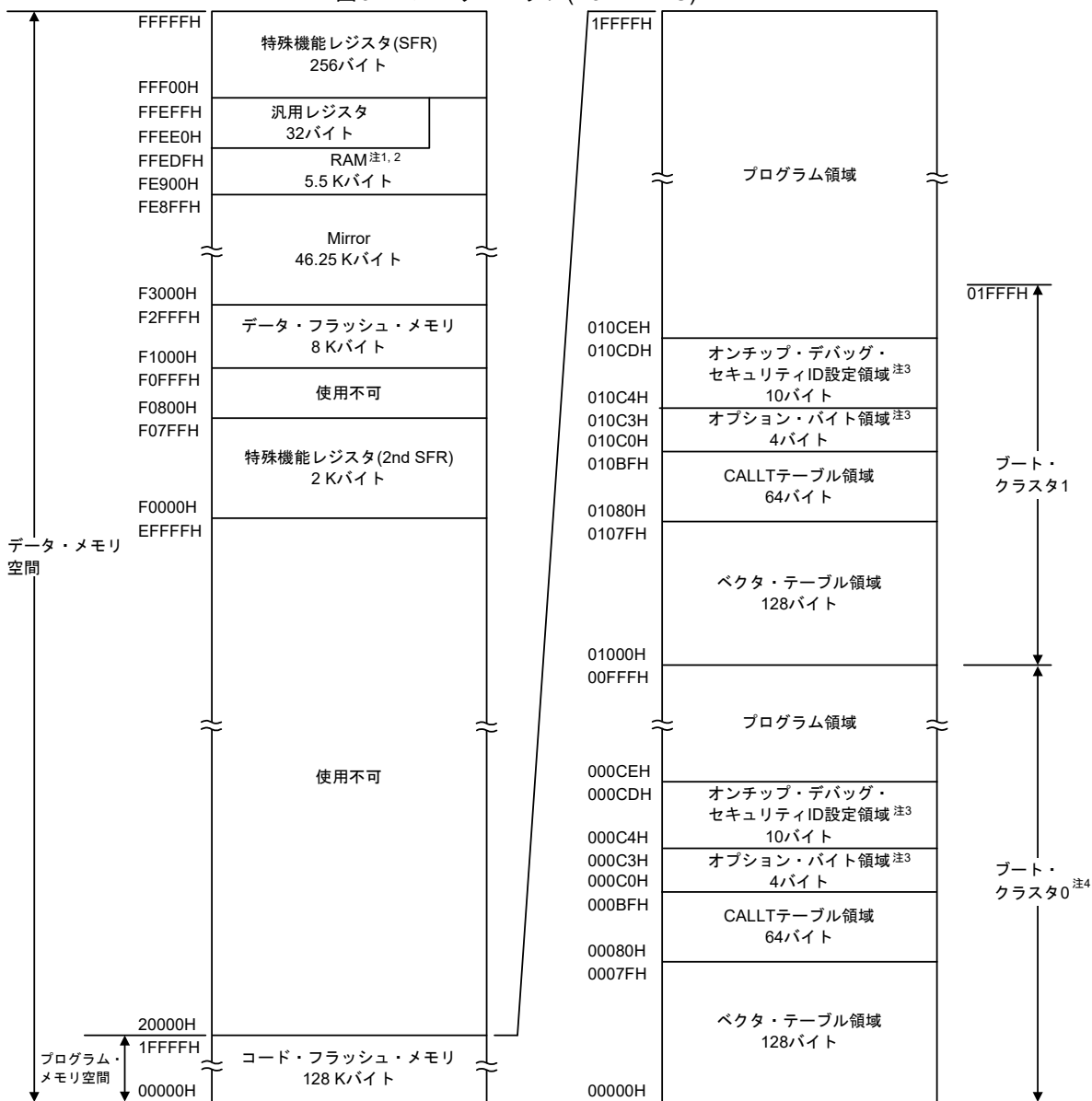
図3-3 メモリ・マップ(R5F11MxF (x = M, P))



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
また、フラッシュ・ライブラリがFE900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト (R20UT2943) を参照してください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(31.7 セキュリティ設定を参照)。
(注意は次ページにあります。)

- 注意1. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、28.3.3 RAMパリティ・エラー検出機能を参照してください。
- 注意2. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。R5F11M x F(x =M, P) : FED00H ~ FF0FFH

図3-4 メモリ・マップ(R5F11MPG)



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

また、フラッシュ・ライブラリがFE900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト (R20UT2943) を参照してください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

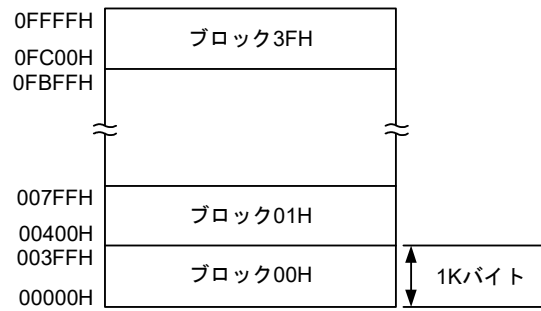
注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(31.7 セキュリティ設定を参照)。(備考は次ページにあります。)

- 注意1. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、28.3.3 RAMパリティ・エラー検出機能を参照してください。
- 注意2. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。R5F11MPG : FED00H ~ FF0FFH

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック=1Kバイト)。アドレス値とブロック番号については、表 3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 を参照してください。



(R5F11MxE (x = M, P))の場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考 R5F11MMD : ブロック番号00H-2FH
 R5F11MxE (x = M, P) : ブロック番号00H-3FH
 R5F11MxF (x = M, P) : ブロック番号00H-5FH
 R5F11MPG : ブロック番号00H-7FH

3.2.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/L1Aは、次に示す内部ROM (フラッシュ・メモリ)を内蔵しています。

表3-2 内部ROM容量

製品	内部ROM	
	構造	容量
R5F11MMD	フラッシュ・メモリ	49152 × 8 ビット (00000H-0BFFFFH)
R5F11MxE (x = M, P)		65536 × 8 ビット (00000H-0FFFFFFH)
R5F11MxF (x = M, P)		98304 × 8 ビット (00000H-17FFFFH)
R5F11MPG		131072 × 8 ビット (00000H-1FFFFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表3-3 ベクタ・テーブル(1/2)

ベクタ・テーブル・ アドレス	割り込み要因	100ピン	80ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○
00004H	INTWDTI	○	○
00006H	INTLVI	○	○
00008H	INTP0	○	○
0000AH	INTP1	○	○
0000CH	INTP2	○	○
0000EH	INTP3	○	○
00010H	INTP4	○	○
00012H	INTP5	○	○
00014H	INTST2/INTCSI20/INTIIC20	○	○
00016H	INTSR2	○	○
00018H	INTSRE2	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○
00020H	INTTM00	○	○
00022H	INTSR0	○	○
00024H	INTSRE0	○	○
	INTTM01H	○	○
00026H	INTST1/INTCSI10/INTIIC10	○	○
00028H	INTSR1	○	○
0002AH	INTSRE1	○	○
	INTTM03H	○	○
0002CH	INTIICA0	○	○
0002EH	INTRTIT	○	○
00032H	INTTM01	○	○
00034H	INTTM02	○	○
00036H	INTTM03	○	○
00038H	INTAD	○	○
0003AH	INTRTC	○	○
0003CH	INTIT	○	○
0003EH	INTKR	○	○
00040H	INTST3/INTCSI30/INTIIC30	○	○
00042H	INTSR3	○	○
00044H	INTSRE3	○	○
00046H	INTTM04	○	○
00048H	INTTM05	○	○
0004AH	INTP6	○	○
0004CH	INTP7	○	○
00050H	INTCMP0	○	○

表3-4 ベクタ・テーブル(2/2)

ベクタ・テーブル・アドレス	割り込み要因	100ピン	80ピン
00054H	INTTM06	○	○
00056H	INTTM07	○	○
00058H	INTIT00	○	○
0005AH	INTIT01	○	○
00062H	INTFL	○	○
0007EH	BRK	○	○

(2) CALLT 命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第30章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は第32章 オンチップ・デバッグ機能を参照してください。

3.2.2 ミラー領域

RL78/L1Aでは、00000H-0FFFFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーしています。フラッシュ・メモリが96 KB以上の製品では、00000H-0FFFFFFHまたは10000H-1FFFFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーしています(プロセッサ・モード・コントロール・レジスタ(PMC)で設定)。

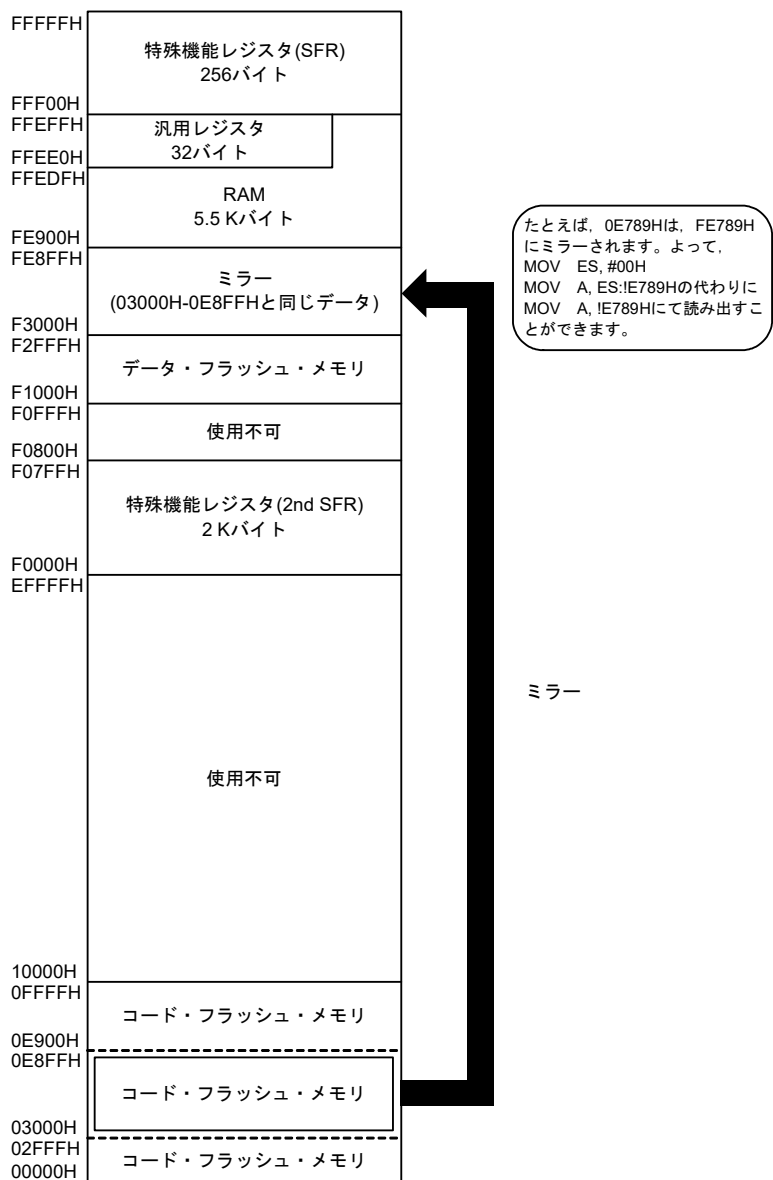
ミラー先のF0000H-FFFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.2 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F11MxE (x = M, P) (フラッシュ・メモリ 64 Kバイト, RAM 5.5 Kバイト)の場合



次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-5 プロセッサ・モード・コントロール・レジスタ (PMC)のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA
MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定							
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー							
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー							

注意1. フラッシュ・メモリが64 KB以下の製品は、必ずビット0 (MAA)を0 (初期値)でご使用ください。

注意2. PMCレジスタの設定は、DTC (データトランスファコントローラ)を動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCレジスタの書き替えは禁止です。

注意3. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.2.3 内部データ・メモリ空間

RL78/L1Aは、次に示すRAMを内蔵しています。

表3 - 5 内部RAM容量

製品	内部RAM
R5F11MMD	5632×8ビット (FE900H-FFEFFFH)
R5F11MxE (x = M, P)	
R5F11MxF (x = M, P)	
R5F11MPG	

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます(汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうち FFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

注意1. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFFH)の空間は、命令フェッチやスタック領域として使用できません。

注意2. 次に示す製品の内部RAM領域は、セルフ・プログラミングおよびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。

R5F11MMD : FE900H～FED09H

R5F11M x E (x=M, P) : FE900H～FED09H

R5F11M x F (x=M, P) : FE900H～FED09H

R5F11MPG : FE900H～FED09H

注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F11MMD : FED00H～FF0FFFH

R5F11M x E (x=M, P) : FED00H～FF0FFFH

R5F11M x F (x=M, P) : FED00H～FF0FFFH

R5F11MPG : FED00H～FF0FFFH

3.2.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.3.4 特殊機能レジスタ (SFR : Special Function Register) の表3 - 6～表3 - 9参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3 - 10～表3 - 19参照)。

SFR領域 (FFF00H-FFFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

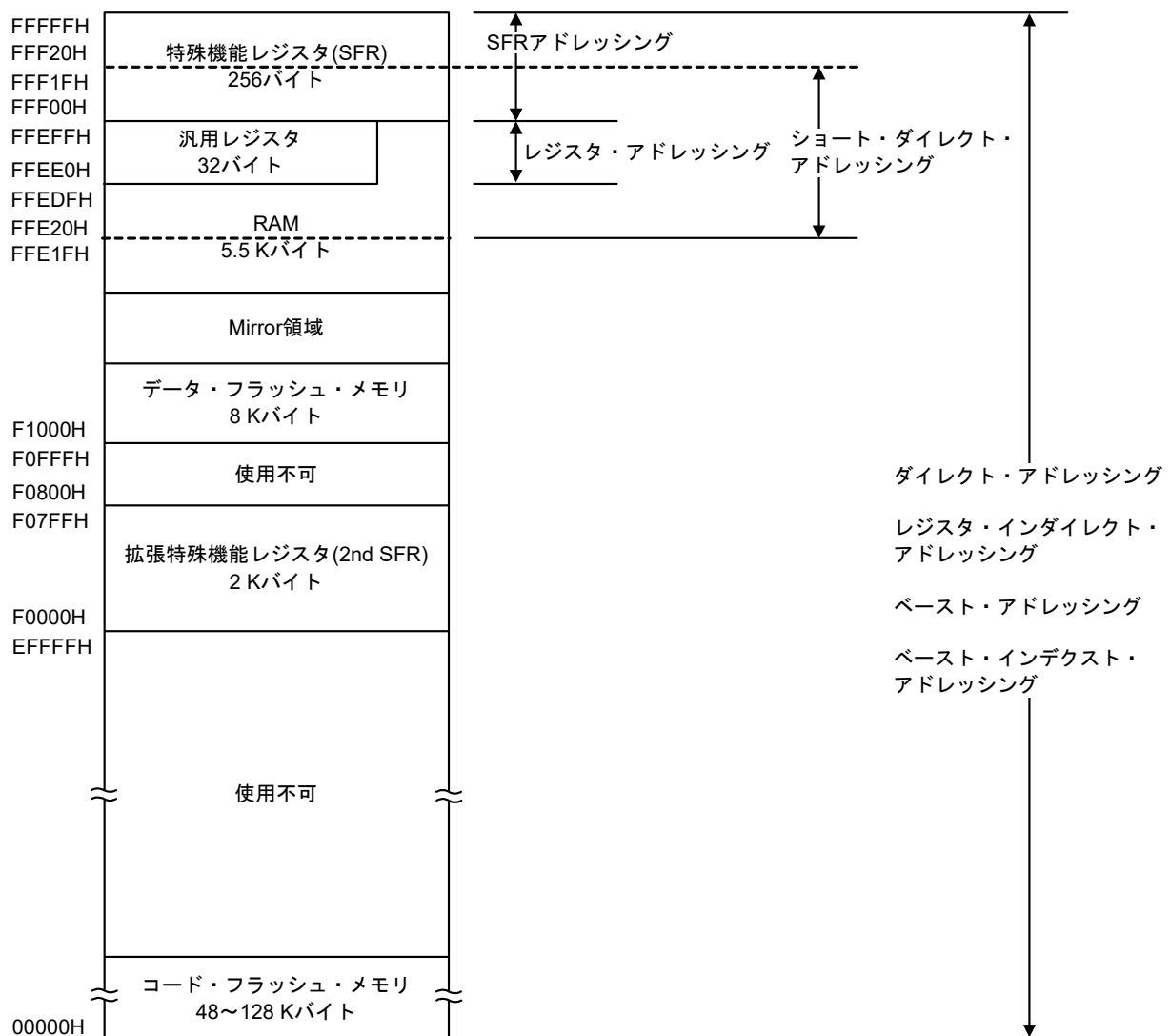
3.2.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/L1Aでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-6にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3.5 処理データ・アドレスに対するアドレッシングを参照してください。

図3-6 データ・メモリとアドレッシングの対応



3.3 プロセッサ・レジスタ

RL78/L1Aは、次のプロセッサ・レジスタを内蔵しています。

3.3.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)があります。

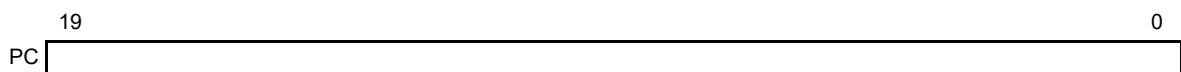
(1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000H, 0001H番地のリセット・ベクタ・テーブルの値が、下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3-7 プログラム・カウンタの構成



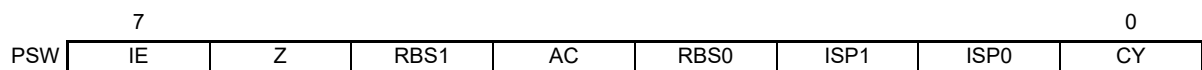
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止(DI)状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可(EI)状態となります。このとき割り込み要求の受け付けは、インサード・プライオリティ・フラグ(ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット(0)され、EI命令の実行によりセット(1)されます。

(b)ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c)レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL Rn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d)補助キャリー・フラグ(AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e)インサービス・プライオリティ・フラグ(ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (22.3.3参照)でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

備考 n = 0, 1

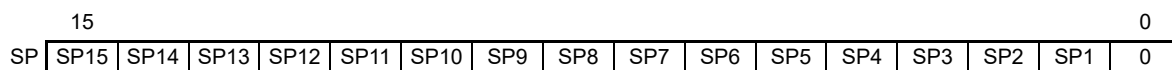
(f)キャリー・フラグ(CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-9 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

注意2. 汎用レジスタ(FFEE0H-FFEFFH)の空間は、命令フェッチやスタック領域として使用を禁止します。

注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しなしてください。

注意4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。

R5F11MMD : FE900H~FED09H

R5F11M x E (x=M, P) : FE900H~FED09H

R5F11M x F (x=M, P) : FE900H~FED09H

R5F11MPG : FE900H~FED09H

注意5. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F11MMD : FED00H~FF0FFH

R5F11M x E (x=M, P) : FED00H~FF0FFH

R5F11M x F (x=M, P) : FED00H~FF0FFH

R5F11MPG : FED00H~FF0FFH

3.3.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地(FFEE0H-FFEFFH)にマッピングされており、8ビット・レジスタ8個(X, A, C, B, E, D, L, H)を1バンクとして4バンクのレジスタで構成されています。

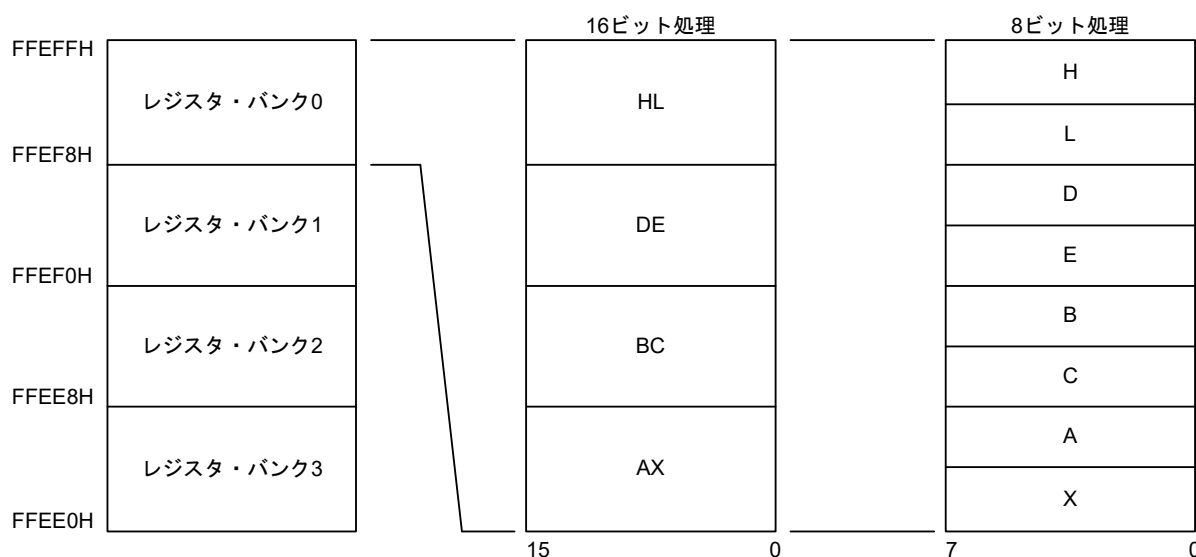
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます(AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは、CPU制御命令(SEL RBn)によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

注意 汎用レジスタ(FFEE0H-FFEFFH)の空間は、命令フェッチやスタック領域として使用できません。

図3-10 汎用レジスタの構成

(a)機能名称

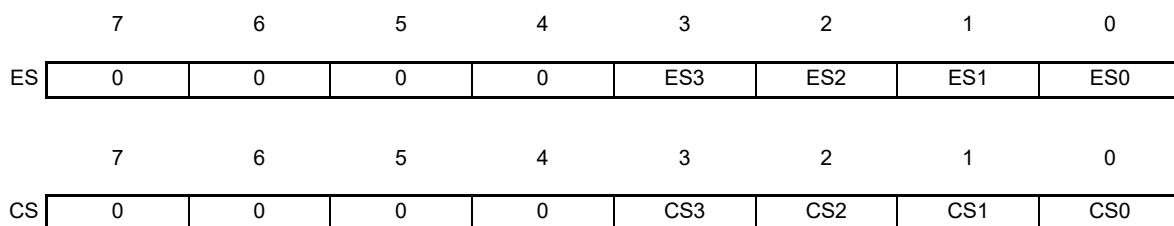


3.3.3 ES, CS レジスタ

ESレジスタでデータ・アクセス、CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

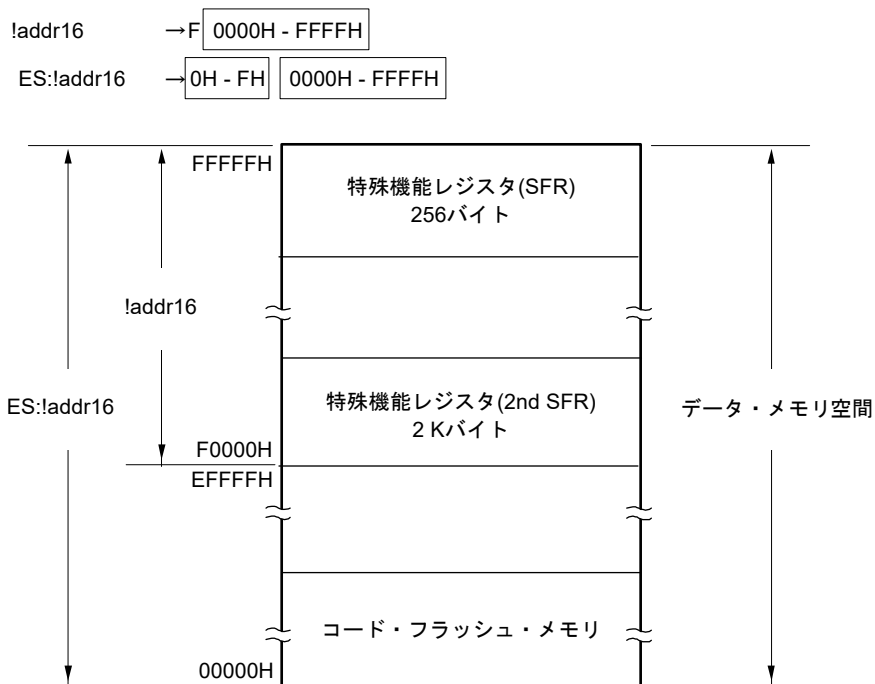
ESレジスタのリセット後の初期値は0FH、CSレジスタのリセット後の初期値は00Hです。

図3 - 11 ES/CSレジスタの構成



16ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFHの64 Kバイト空間ですが、ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3 - 12 データ・アクセス領域の拡張



3.3.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-6～表3-9にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr 命令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR)については、3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)を参照してください。

表3-6 SFR一覧(1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	—	00H
FFF08H	ポート・レジスタ8	P8		R/W	○	○	—	00H
FFF0AH	ポート・レジスタ10	P10		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	—	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	—	00H
FFF0FH	ポート・レジスタ15	P15		R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF14H	シリアル・データ・レジスタ12	TXD3/ SIO30	SDR12	R/W	—	○	○	0000H
FFF15H		—			—	—		
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	—	○	○	0000H
FFF17H		—			—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	—	FFH
FFF28H	ポート・モード・レジスタ8	PM8		R/W	○	○	—	FFH
FFF2AH	ポート・モード・レジスタ10	PM10		R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	—	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	—	FFH
FFF2FH	ポート・モード・レジスタ15	PM15		R/W	○	○	—	FFH

表3-7 SFR一覧(2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	—	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	—	○	—	00H
FFF37H	キー・リターン・モード・レジスタ	KRM0		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	—	00H
FFF40H	LCDモード・レジスタ0	LCDM0		R/W	—	○	—	00H
FFF41H	LCDモード・レジスタ1	LCDM1		R/W	○	○	—	00H
FFF42H	LCDクロック制御レジスタ0	LCDC0		R/W	—	○	—	00H
FFF43H	LCD昇圧レベル制御レジスタ	VLCD		R/W	—	○	—	04H
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	—	○	○	0000H
FFF49H		—			—	—		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	—	○	○	0000H
FFF4BH		—			—	—		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○	00H	
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	—	—	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	—	—	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	—	—	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	—	—	○	0000H
FFF6FH								

表3-8 SFR一覧(3/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF70H	D/Aデータレジスタ0	DADR0	R/W	—	—	○	0000H
FFF71H							
FFF72H	D/Aデータレジスタ1	DADR1	R/W	—	—	○	0000H
FFF73H							
FFF74H	D/A制御レジスタ	DACR	R/W	—	○	—	1FH
FFF75H	DADRmフォーマット選択レジスタ	DADPR	R/W	—	○	—	00H
FFF76H	D/A A/D同期スタート制御レジスタ	DAADSCR	R/W	—	○	—	00H
FFF77H	D/A VREF制御レジスタ	DAVREFCR	R/W	—	○	—	00H
FFF90H	12ビット・インターバル・タイマ・コントロール・レジスタ	ITMC	R/W	—	—	○	0FFFH
FFF91H							
FFF92H	秒カウント・レジスタ	SEC	R/W	—	○	—	不定
FFF93H	分カウント・レジスタ	MIN	R/W	—	○	—	不定
FFF94H	時カウント・レジスタ	HOUR	R/W	—	○	—	不定
FFF95H	曜日カウント・レジスタ	WEEK	R/W	—	○	—	不定
FFF96H	日カウント・レジスタ	DAY	R/W	—	○	—	不定
FFF97H	月カウント・レジスタ	MONTH	R/W	—	○	—	不定
FFF98H	年カウント・レジスタ	YEAR	R/W	—	○	—	不定
FFF9AH	アラーム分レジスタ	ALARMWWM	R/W	—	○	—	不定
FFF9BH	アラーム時レジスタ	ALARMWH	R/W	—	○	—	不定
FFF9CH	アラーム曜日レジスタ	ALARMWW	R/W	—	○	—	不定
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0	R/W	○	○	—	00H注1
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1	R/W	○	○	—	00H注1
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	—	○	—	00H注1
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W	○	○	—	C0H注1
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	—	○	—	不定注2
FFFA9H	電圧検出レジスタ	LVIM	R/W	○	○	—	00H注2
FFFAAH	電圧検出レベル・レジスタ	LVIS	R/W	○	○	—	00H/01H/81H 注2
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	9AH/1AH注3
FFFACH	CRC入力レジスタ	CRCIN	R/W	—	○	—	00H

注1. パワーオン・リセットによるリセット時のみ初期化されます。

注2. リセット要因により、次のように異なります。

リセット要因 レジスタ		RESET入力	PORによる リセット	不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVDによる リセット
RESF	TRAP	クリア(0)		セット(1)	保持			保持
	WDTRF			保持	セット(1)	保持		
	RPERF			保持		セット(1)	保持	
	IAWRF			保持		セット(1)		
	LVIRF			保持				
LVIM	LVISEN	クリア(0)						保持
	LVIOMSK	保持						
	LVIF							
LVIS		クリア(00H/01H/81H)						

注3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

表3-9 SFR一覧(4/4)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH
FFFDCH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	○	FFH
FFFDH		PR12H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFE BH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FFFE DH		PR10H		R/W	○	○		FFH
FFFE EH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFE FH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ(L)	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ(H)	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

備考 拡張SFR(2nd SFR)については、表3-10～表3-19 拡張SFR(2nd SFR)一覧を参照してください。

3.3.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR)は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(!addr16.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(!addr16)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(!addr16)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 10～表3 - 19に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.3.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3 - 10 拡張SFR (2nd SFR)一覧(1/10)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H
F0038H	プルアップ抵抗オプション・レジスタ8	PU8	R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	—	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W	○	○	—	00H
F0048H	ポート入力モード・レジスタ8	PIM8	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ4	POM4	R/W	○	○	—	00H
F0058H	ポート出力モード・レジスタ8	POM8	R/W	○	○	—	00H
F0062H	ポート・モード・コントロール・レジスタ2	PMC2	R/W	○	○	—	FFH
F0064H	ポート・モード・コントロール・レジスタ4	PMC4	R/W	○	○	—	00H
F0068H	ポート・モード・コントロール・レジスタ8	PMC8	R/W	○	○	—	FFH
F006AH	ポート・モード・コントロール・レジスタ10	PMC10	R/W	○	○	—	FFH
F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	—	FFH
F006FH	ポート・モード・コントロール・レジスタ15	PMC15	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0072H	アナログ基準電圧制御レジスタ	VREFCR	R/W	○	○	—	04H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0075H	アナログMUXチャネル・オン選択レジスタ	MUXSWSR	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	A/D変換クロック制御レジスタ	ADCKS	R/W	—	○	—	00H
F007AH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H

表3 - 11 拡張SFR (2nd SFR) 一覧 (2/10)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F007DH	アナログ・チャンネル・コントロール・レジスタ	ANCHCR	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定注1
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	オプション・バイト (000C2H) FRQSEL2 - FRQSEL0の設定値注2
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H
F00F1H	チャージ・ポンプ動作クロック分周選択・レジスタ	PUPCKS	R/W	—	○	—	00H
F00F2H	チャージ・ポンプクロック動作制御レジスタ	PUPSCR	R/W	—	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	—	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR	R/W	—	○	—	00H注3
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	0000H
F0101H		—					
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	0000H
F0103H		—					
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	0000H
F0105H		—					
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	0000H
F0107H		—					
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	0000H
F0109H		—					
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	0000H
F010BH		—					
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	0000H
F010DH		—					
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	0000H
F010FH		—					
F0110H	シリアル・モード・レジスタ00	SMR00	SMR00	R/W	—	—	0020H
F0111H							
F0112H	シリアル・モード・レジスタ01	SMR01					
F0113H			SMR02	R/W	—	—	0020H
F0114H	シリアル・モード・レジスタ02	SMR02					
F0115H							
F0116H	シリアル・モード・レジスタ03	SMR03	SMR03	R/W	—	—	0020H
F0117H							
F0118H	シリアル通信動作設定レジスタ00	SCR00					
F0119H			SCR01	R/W	—	—	0087H
F011AH	シリアル通信動作設定レジスタ01	SCR01					
F011BH							
F011CH	シリアル通信動作設定レジスタ02	SCR02	SCR02	R/W	—	—	0087H
F011DH							

- 注1. リセット値は出荷時に調整した値です。
- 注2. オプション・バイト000C2HのFRQSEL2-FRQSEL0で設定した値になります。
- 注3. パワーオン・リセットによるリセット時のみ初期化されます。

表3 - 12 拡張SFR (2nd SFR)一覧(3/10)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F011EH F011FH	シリアル通信動作設定レジスタ 03	SCR03		R/W	—	—	○	0087H
F0120H F0121H	シリアル・チャンネル許可ステータス・レジスタ 0	SE0L	SE0	R	○	○	○	0000H
F0122H F0123H	シリアル・チャンネル開始レジスタ 0	SS0L	SS0	R/W	○	○	○	0000H
F0124H F0125H	シリアル・チャンネル停止レジスタ 0	ST0L	ST0	R/W	○	○	○	0000H
F0126H F0127H	シリアル・クロック選択レジスタ 0	SPS0L	SPS0	R/W	—	○	○	0000H
F0128H F0129H	シリアル出力レジスタ 0	SO0		R/W	—	—	○	0F0FH
F012AH F012BH	シリアル出力許可レジスタ 0	SOE0L	SOE0	R/W	○	○	○	0000H
F0134H F0135H	シリアル出力レベル・レジスタ 0	SOL0L	SOL0	R/W	—	○	○	0000H
F0138H F0139H	シリアル・スタンバイ・コントロール・レジスタ 0	SSC0L	SSC0	R/W	—	○	○	0000H
F0140H F0141H	シリアル・ステータス・レジスタ 10	SSR10L	SSR10	R	—	○	○	0000H
F0142H F0143H	シリアル・ステータス・レジスタ 11	SSR11L	SSR11	R	—	○	○	0000H
F0144H F0145H	シリアル・ステータス・レジスタ 12	SSR12L	SSR12	R	—	○	○	0000H
F0146H F0147H	シリアル・ステータス・レジスタ 13	SSR13L	SSR13	R	—	○	○	0000H
F0148H F0149H	シリアル・フラグ・クリア・トリガ・レジスタ 10	SIR10L	SIR10	R/W	—	○	○	0000H
F014AH F014BH	シリアル・フラグ・クリア・トリガ・レジスタ 11	SIR11L	SIR11	R/W	—	○	○	0000H
F014CH F014DH	シリアル・フラグ・クリア・トリガ・レジスタ 12	SIR12L	SIR12	R/W	—	○	○	0000H
F014EH F014FH	シリアル・フラグ・クリア・トリガ・レジスタ 13	SIR13L	SIR13	R/W	—	○	○	0000H
F0150H F0151H	シリアル・モード・レジスタ 10	SMR10		R/W	—	—	○	0020H
F0152H F0153H	シリアル・モード・レジスタ 11	SMR11		R/W	—	—	○	0020H
F0154H F0155H	シリアル・モード・レジスタ 12	SMR12		R/W	—	—	○	0020H

表3 - 13 拡張SFR (2nd SFR)一覧 (4/10)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0156H	シリアル・モード・レジスタ 13	SMR13		R/W	—	—	○	0020H
F0157H								
F0158H	シリアル通信動作設定レジスタ 10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ 11	SCR11		R/W	—	—	○	0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ 12	SCR12		R/W	—	—	○	0087H
F015DH								
F015EH	シリアル通信動作設定レジスタ 13	SCR13		R/W	—	—	○	0087H
F015FH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ 1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—			
F0162H	シリアル・チャンネル開始レジスタ 1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—			
F0164H	シリアル・チャンネル停止レジスタ 1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—			
F0166H	シリアル・クロック選択レジスタ 1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—			
F0168H	シリアル出力レジスタ 1	SO1		R/W	—	—	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ 1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—			
F0174H	シリアル出力レベル・レジスタ 1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—			
F0178H	シリアル・スタンバイ・コントロール・レジスタ 1	SSC1L	SSC1	R/W	—	○	○	0000H
F0179H		—			—			
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ 04	TCR04		R	—	—	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ 05	TCR05		R	—	—	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ 06	TCR06		R	—	—	○	FFFFH
F018DH								

表3 - 14 拡張SFR (2nd SFR)一覧(5/10)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	
				1ビット	8ビット	16ビット		
F018EH	タイマ・カウンタ・レジスタ07	TCR07	R	—	—	○	FFFFH	
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00	R/W	—	—	○	0000H	
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01	R/W	—	—	○	0000H	
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02	R/W	—	—	○	0000H	
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03	R/W	—	—	○	0000H	
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04	R/W	—	—	○	0000H	
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05	R/W	—	—	○	0000H	
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06	R/W	—	—	○	0000H	
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07	R/W	—	—	○	0000H	
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—			
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—			
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—			
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—			
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	—	○	○	0000H
F01A9H		—			—			
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	—	○	○	0000H
F01ABH		—			—			
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—			
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—			
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—			
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—			
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—			

表3 - 15 拡張SFR (2nd SFR)一覧(6/10)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ0	TOLOL	TOLO	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F01C0H	イベントリンク設定レジスタ00	ELSELR00		R/W	—	○	—	00H
F01C1H	イベントリンク設定レジスタ01	ELSELR01		R/W	—	○	—	00H
F01C2H	イベントリンク設定レジスタ02	ELSELR02		R/W	—	○	—	00H
F01C3H	イベントリンク設定レジスタ03	ELSELR03		R/W	—	○	—	00H
F01C4H	イベントリンク設定レジスタ04	ELSELR04		R/W	—	○	—	00H
F01C5H	イベントリンク設定レジスタ05	ELSELR05		R/W	—	○	—	00H
F01C6H	イベントリンク設定レジスタ06	ELSELR06		R/W	—	○	—	00H
F01C7H	イベントリンク設定レジスタ07	ELSELR07		R/W	—	○	—	00H
F01C8H	イベントリンク設定レジスタ08	ELSELR08		R/W	—	○	—	00H
F01C9H	イベントリンク設定レジスタ09	ELSELR09		R/W	—	○	—	00H
F01CAH	イベントリンク設定レジスタ10	ELSELR10		R/W	—	○	—	00H
F01CBH	イベントリンク設定レジスタ11	ELSELR11		R/W	—	○	—	00H
F01CCH	イベントリンク設定レジスタ12	ELSELR12		R/W	—	○	—	00H
F01CDH	イベントリンク設定レジスタ13	ELSELR13		R/W	—	○	—	00H
F01CEH	イベントリンク設定レジスタ14	ELSELR14		R/W	—	○	—	00H
F01CFH	イベントリンク設定レジスタ15	ELSELR15		R/W	—	○	—	00H
F01D0H	イベントリンク設定レジスタ16	ELSELR16		R/W	—	○	—	00H
F01D1H	イベントリンク設定レジスタ17	ELSELR17		R/W	—	○	—	00H
F01D2H	イベントリンク設定レジスタ18	ELSELR18		R/W	—	○	—	00H
F01D3H	イベントリンク設定レジスタ19	ELSELR19		R/W	—	○	—	00H
F01D4H	イベントリンク設定レジスタ20	ELSELR20		R/W	—	○	—	00H
F01D5H	イベントリンク設定レジスタ21	ELSELR21		R/W	—	○	—	00H

表3 - 16 拡張SFR (2nd SFR)一覧(7/10)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0230H	IICAコントロール・レジスタ00	IICCTL00	R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01	R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0	R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0	R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0	R/W	—	○	—	00H
F02E0H	DTCベースアドレスレジスタ	DTCBAR	R/W	—	○	—	FDH
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	—	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3	R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H
F0300H	LCDポート・ファンクション・レジスタ0	PFSEG0	R/W	○	○	—	F0H
F0301H	LCDポート・ファンクション・レジスタ1	PFSEG1	R/W	○	○	—	FFH
F0302H	LCDポート・ファンクション・レジスタ2	PFSEG2	R/W	○	○	—	FFH
F0303H	LCDポート・ファンクション・レジスタ3	PFSEG3	R/W	○	○	—	FFH
F0304H	LCDポート・ファンクション・レジスタ4	PFSEG4	R/W	○	○	—	FFH
F0305H	LCDポート・ファンクション・レジスタ5	PFSEG5	R/W	○	○	—	1FH
F0308H	LCD入力切り替え制御レジスタ	ISCLCD	R/W	○	○	—	00H
F0310H	時計誤差補正レジスタ	SUBCUD	R/W	—	—	○	0020H注
F0311H							
F0340H	コンパレータモード設定レジスタ	COMPMDR	R/W	○	○	—	00H
F0341H	コンパレータフィルタ制御レジスタ	COMPFIR	R/W	○	○	—	00H
F0342H	コンパレータ出力制御レジスタ	COMPOCR	R/W	○	○	—	00H
F0348H	オペアンプ・モード制御レジスタ	AMPMC	R/W	○	○	—	00H
F0349H	オペアンプ・トリガ・モード制御レジスタ	AMPTRM	R/W	○	○	—	00H
F034AH	オペアンプELCトリガ選択レジスタ	AMPTRS	R/W	○	○	—	00H
F034BH	オペアンプ制御レジスタ	AMPC	R/W	○	○	—	00H
F034CH	オペアンプ・モニタ・レジスタ	AMPMON	R	○	○	—	00H
F0350H	8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00	R/W	—	○	○	FFH
F0351H			R/W	—	○	○	
F0352H	8ビット・インターバル・タイマ制御レジスタ0	TRTCR0	R/W	○	○	—	00H
F0353H	8ビット・インターバル・タイマ分周レジスタ0	TRTMD0	R/W	—	○	—	00H

注 パワーオン・リセットによるリセット時のみ初期化されます。

表3 - 17 拡張SFR (2nd SFR)一覧(8/10)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0400H	LCD表示データ・メモリ0	SEG0	R/W	—	○	—	00H
F0401H	LCD表示データ・メモリ1	SEG1	R/W	—	○	—	00H
F0402H	LCD表示データ・メモリ2	SEG2	R/W	—	○	—	00H
F0403H	LCD表示データ・メモリ3	SEG3	R/W	—	○	—	00H
F0404H	LCD表示データ・メモリ4	SEG4	R/W	—	○	—	00H
F0405H	LCD表示データ・メモリ5	SEG5	R/W	—	○	—	00H
F0406H	LCD表示データ・メモリ6	SEG6	R/W	—	○	—	00H
F0407H	LCD表示データ・メモリ7	SEG7	R/W	—	○	—	00H
F0408H	LCD表示データ・メモリ8	SEG8	R/W	—	○	—	00H
F0409H	LCD表示データ・メモリ9	SEG9	R/W	—	○	—	00H
F040AH	LCD表示データ・メモリ10	SEG10	R/W	—	○	—	00H
F040BH	LCD表示データ・メモリ11	SEG11	R/W	—	○	—	00H
F040CH	LCD表示データ・メモリ12	SEG12	R/W	—	○	—	00H
F040DH	LCD表示データ・メモリ13	SEG13	R/W	—	○	—	00H
F040EH	LCD表示データ・メモリ14	SEG14	R/W	—	○	—	00H
F040FH	LCD表示データ・メモリ15	SEG15	R/W	—	○	—	00H
F0410H	LCD表示データ・メモリ16	SEG16	R/W	—	○	—	00H
F0411H	LCD表示データ・メモリ17	SEG17	R/W	—	○	—	00H
F0412H	LCD表示データ・メモリ18	SEG18	R/W	—	○	—	00H
F0413H	LCD表示データ・メモリ19	SEG19	R/W	—	○	—	00H
F0414H	LCD表示データ・メモリ20	SEG20	R/W	—	○	—	00H
F0415H	LCD表示データ・メモリ21	SEG21	R/W	—	○	—	00H
F0416H	LCD表示データ・メモリ22	SEG22	R/W	—	○	—	00H
F0417H	LCD表示データ・メモリ23	SEG23	R/W	—	○	—	00H
F0418H	LCD表示データ・メモリ24	SEG24	R/W	—	○	—	00H
F0419H	LCD表示データ・メモリ25	SEG25	R/W	—	○	—	00H
F041AH	LCD表示データ・メモリ26	SEG26	R/W	—	○	—	00H
F041BH	LCD表示データ・メモリ27	SEG27	R/W	—	○	—	00H
F041CH	LCD表示データ・メモリ28	SEG28	R/W	—	○	—	00H
F041DH	LCD表示データ・メモリ29	SEG29	R/W	—	○	—	00H
F041EH	LCD表示データ・メモリ30	SEG30	R/W	—	○	—	00H
F041FH	LCD表示データ・メモリ31	SEG31	R/W	—	○	—	00H
F0420H	LCD表示データ・メモリ32	SEG32	R/W	—	○	—	00H
F0421H	LCD表示データ・メモリ33	SEG33	R/W	—	○	—	00H
F0422H	LCD表示データ・メモリ34	SEG34	R/W	—	○	—	00H
F0423H	LCD表示データ・メモリ35	SEG35	R/W	—	○	—	00H
F0424H	LCD表示データ・メモリ36	SEG36	R/W	—	○	—	00H
F0425H	LCD表示データ・メモリ37	SEG37	R/W	—	○	—	00H
F0426H	LCD表示データ・メモリ38	SEG38	R/W	—	○	—	00H

表3 - 18 拡張SFR (2nd SFR)一覧(9/10)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0427H	LCD表示データ・メモリ 39	SEG39		R/W	—	○	—	00H
F0428H	LCD表示データ・メモリ 40	SEG40		R/W	—	○	—	00H
F0429H	LCD表示データ・メモリ 41	SEG41		R/W	—	○	—	00H
F042AH	LCD表示データ・メモリ 42	SEG42		R/W	—	○	—	00H
F042BH	LCD表示データ・メモリ 43	SEG43		R/W	—	○	—	00H
F042CH	LCD表示データ・メモリ 44	SEG44		R/W	—	○	—	00H
F0500H	8ビット・インターバル・タイマ・カウント・レジスタ 00	TRT00	TRT0	R	—	○	○	00H
F0501H	8ビット・インターバル・タイマ・カウント・レジスタ 01	TRT01		R	—	○		00H
F0600H	A/Dコントロール・レジスタ	ADCSR		R/W	—	—	○	0000H
F0601H								
F0604H	A/Dチャンネル選択レジスタ A0	ADANSA0		R/W	—	—	○	0000H
F0605H								
F0608H	A/D変換値加算／平均機能チャンネル選択レジスタ 0	ADADS0		R/W	—	—	○	0000H
F0609H								
F060CH	A/D変換値加算／平均回数選択レジスタ	ADADC		R/W	○	○	—	00H
F060EH	A/Dコントロール拡張レジスタ	ADCER		R/W	—	—	○	0000H
F060FH								
F0610H	A/D変換開始トリガ選択レジスタ	ADSTRGR		R/W	—	—	○	0000H
F0611H								
F0612H	A/D変換拡張入力コントロールレジスタ	ADEXICR		R/W	—	—	○	0000H
F0613H								
F061AH	A/D温度センサデータレジスタ	ADTSDR		R	—	—	○	0000H
F061BH								
F061CH	A/D内部基準電圧データレジスタ	ADOCDR		R	—	—	○	0000H
F061DH								
F061EH	A/D自己診断データレジスタ	ADRD		R	—	—	○	0000H
F061FH								
F0620H	A/Dデータレジスタ 0	ADDR0		R	—	—	○	0000H
F0621H								
F0622H	A/Dデータレジスタ 1	ADDR1		R	—	—	○	0000H
F0623H								
F0624H	A/Dデータレジスタ 2	ADDR2		R	—	—	○	0000H
F0625H								
F0626H	A/Dデータレジスタ 3	ADDR3		R	—	—	○	0000H
F0627H								
F0628H	A/Dデータレジスタ 4	ADDR4		R	—	—	○	0000H
F0629H								
F062AH	A/Dデータレジスタ 5	ADDR5		R	—	—	○	0000H
F062BH								

表3 - 19 拡張SFR (2nd SFR)一覧(10/10)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F062CH	A/D データレジスタ 6	ADDR6	R	—	—	○	0000H
F062DH							
F062EH	A/D データレジスタ 7	ADDR7	R	—	—	○	0000H
F062FH							
F0630H	A/D データレジスタ 8	ADDR8	R	—	—	○	0000H
F0631H							
F0632H	A/D データレジスタ 9	ADDR9	R	—	—	○	0000H
F0633H							
F0634H	A/D データレジスタ 10	ADDR10	R	—	—	○	0000H
F0635H							
F0636H	A/D データレジスタ 11	ADDR11	R	—	—	○	0000H
F0637H							
F0638H	A/D データレジスタ 12	ADDR12	R	—	—	○	0000H
F0639H							
F063AH	A/D データレジスタ 13	ADDR13	R	—	—	○	0000H
F063BH							
F063CH	A/D データレジスタ 14	ADDR14	R	—	—	○	0000H
F063DH							
F068AH	A/D 高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	R/W	○	○	—	00H
F06DEH	A/D サンプリングステートレジスタ T	ADSSTRT	R/W	—	○	—	0DH
F06DFH	A/D サンプリングステートレジスタ O	ADSSTRO	R/W	—	○	—	0DH
F06E0H	A/D サンプリングステートレジスタ 0	ADSSTR0	R/W	—	○	—	0DH
F06E1H	A/D サンプリングステートレジスタ 1	ADSSTR1	R/W	—	○	—	0DH
F06E2H	A/D サンプリングステートレジスタ 2	ADSSTR2	R/W	—	○	—	0DH
F06E3H	A/D サンプリングステートレジスタ 3	ADSSTR3	R/W	—	○	—	0DH
F06E4H	A/D サンプリングステートレジスタ 4	ADSSTR4	R/W	—	○	—	0DH
F06E5H	A/D サンプリングステートレジスタ 5	ADSSTR5	R/W	—	○	—	0DH
F06E6H	A/D サンプリングステートレジスタ 6	ADSSTR6	R/W	—	○	—	0DH
F06E7H	A/D サンプリングステートレジスタ 7	ADSSTR7	R/W	—	○	—	0DH
F06E8H	A/D サンプリングステートレジスタ 8	ADSSTR8	R/W	—	○	—	0DH
F06E9H	A/D サンプリングステートレジスタ 9	ADSSTR9	R/W	—	○	—	0DH
F06EAH	A/D サンプリングステートレジスタ 10	ADSSTR10	R/W	—	○	—	0DH
F06EBH	A/D サンプリングステートレジスタ 11	ADSSTR11	R/W	—	○	—	0DH
F06ECH	A/D サンプリングステートレジスタ 12	ADSSTR12	R/W	—	○	—	0DH
F06EDH	A/D サンプリングステートレジスタ 13	ADSSTR13	R/W	—	○	—	0DH
F06EEH	A/D サンプリングステートレジスタ 14	ADSSTR14	R/W	—	○	—	0DH

備考 SFR領域のSFRについては、表3-6～表3-9 SFR一覧を参照してください。

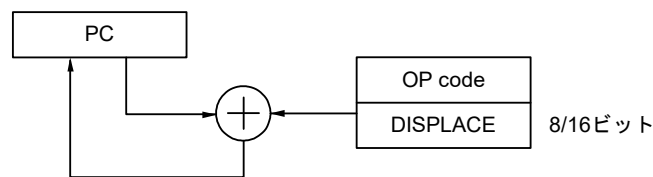
3.4 命令アドレスのアドレッシング

3.4.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレースメント値 (符号付きの補数データ: -128 ~ +127 または -32768 ~ +32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-13 レラティブ・アドレッシングの概略



3.4.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-14 CALL !!addr20/BR !!addr20の例

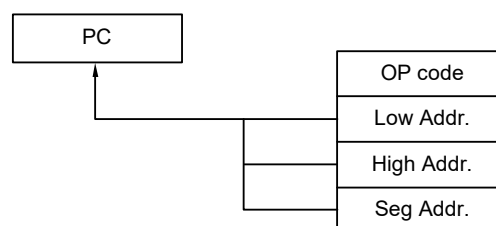
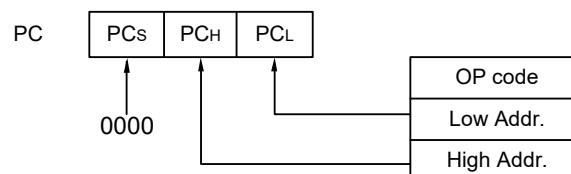


図3-15 CALL !addr16/BR !addr16の例



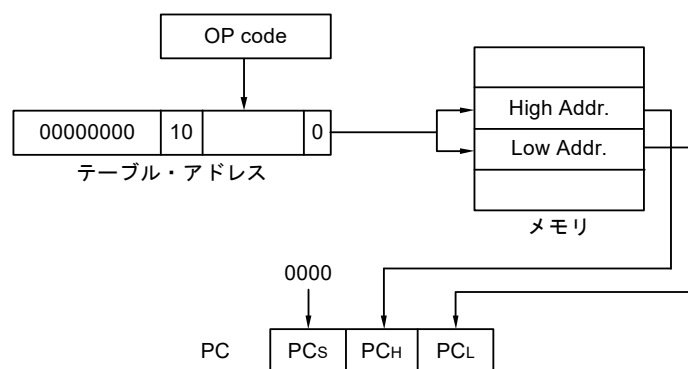
3.4.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 16 テーブル・インダイレクト・アドレッシングの概略

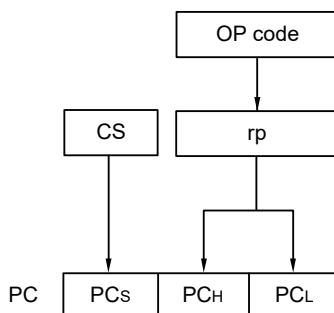


3.4.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) と CS レジスタの内容を 20 ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングは CALL AX / BC / DE / HL と BR AX 命令にのみ適用されます。

図3-17 レジスタ・ダイレクト・アドレッシングの概略



3.5 処理データ・アドレスに対するアドレッシング

3.5.1 インプライド・アドレッシング

【機能】

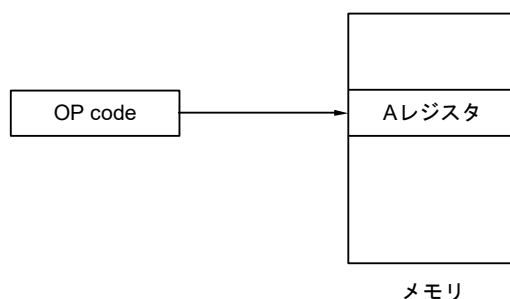
アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-18 インプライド・アドレッシングの概略



3.5.2 レジスタ・アドレッシング

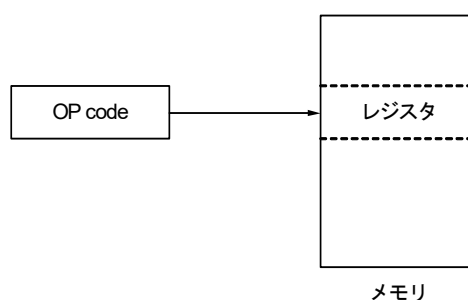
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-19 レジスタ・アドレッシングの概略



3.5.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 20 !addr16の例

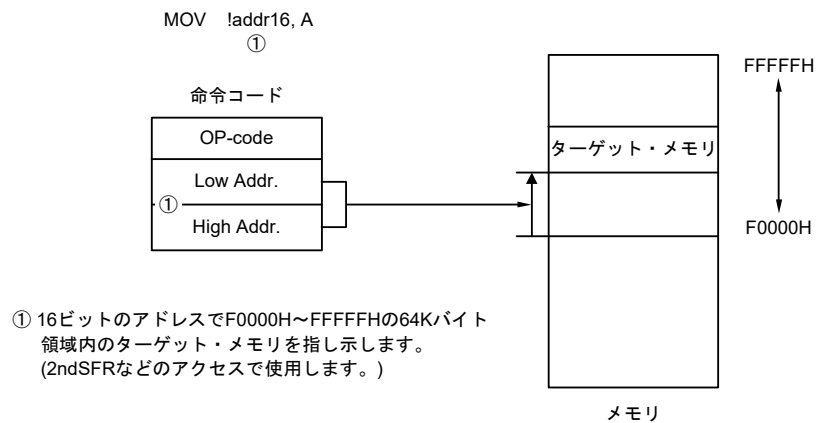
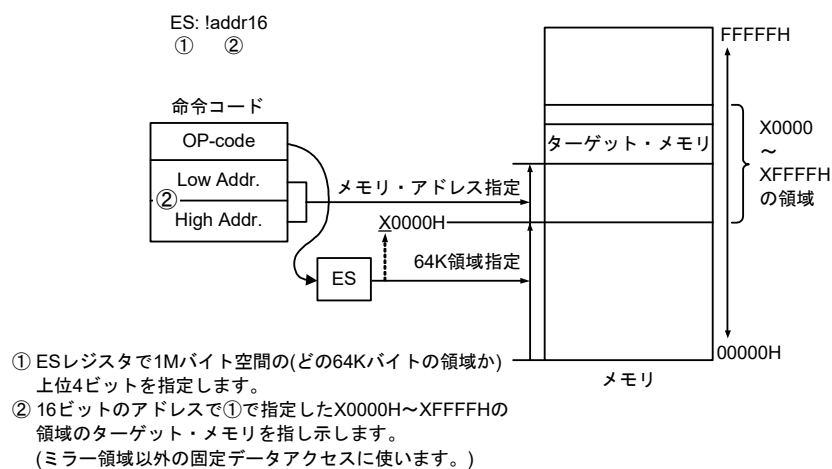


図3 - 21 ES:!addr16の例



3.5.4 ショート・ダイレクト・アドレッシング

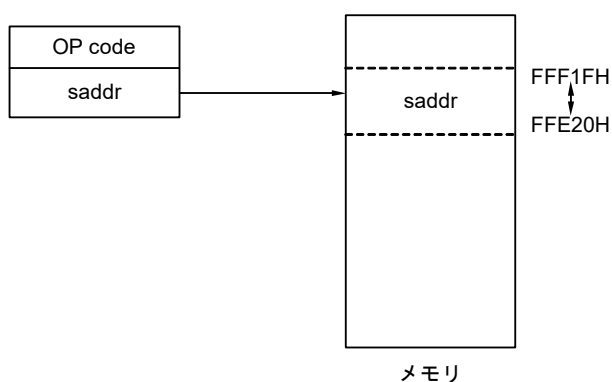
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-22 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRP は、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.5.5 SFRアドレッシング

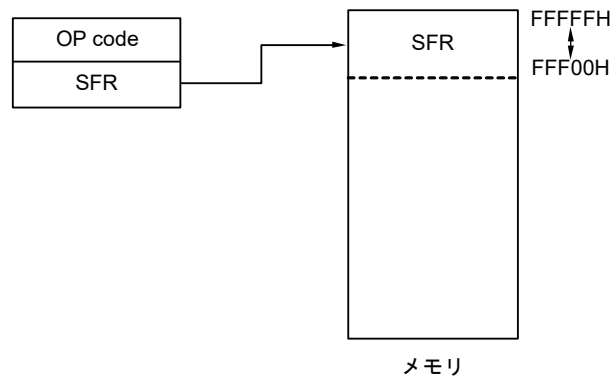
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名(偶数アドレスのみ)

図3 - 23 SFRアドレッシングの概略



3.5.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 24 [DE], [HL]の例

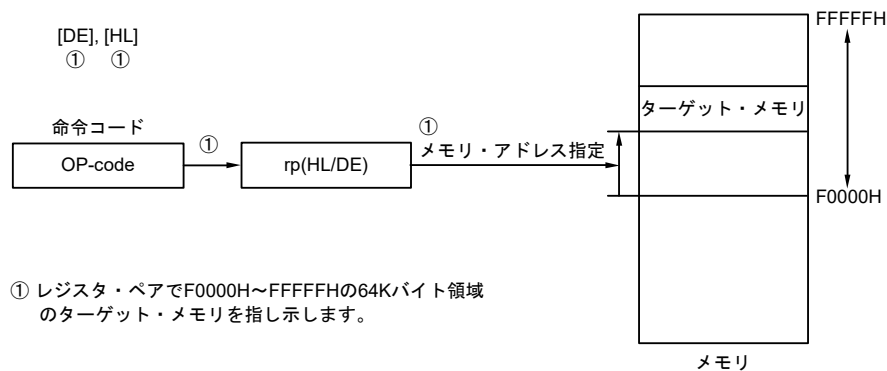
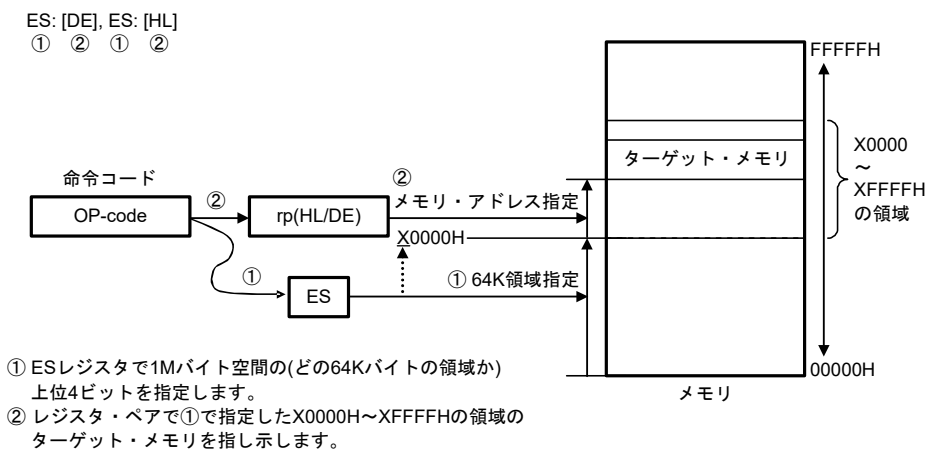


図3 - 25 ES:[DE], ES:[HL]の例



3.5.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 26 [SP+byte]の例

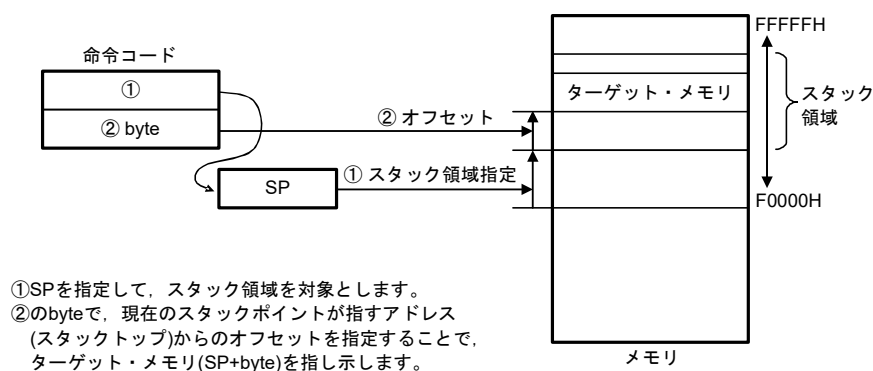


図3 - 27 [HL+byte], [DE+byte]の例

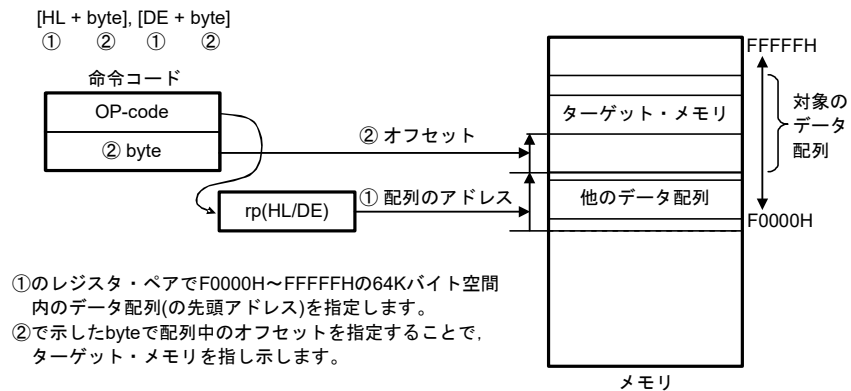


図3 - 28 word[B], word[C]の例

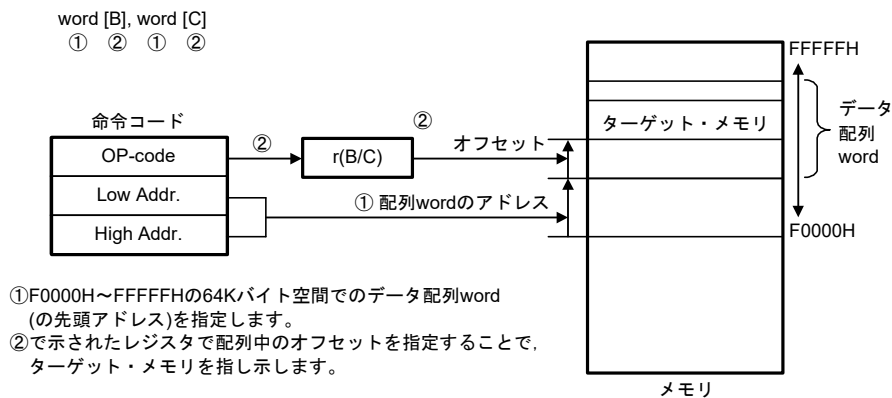


図3 - 29 word[BC]の例

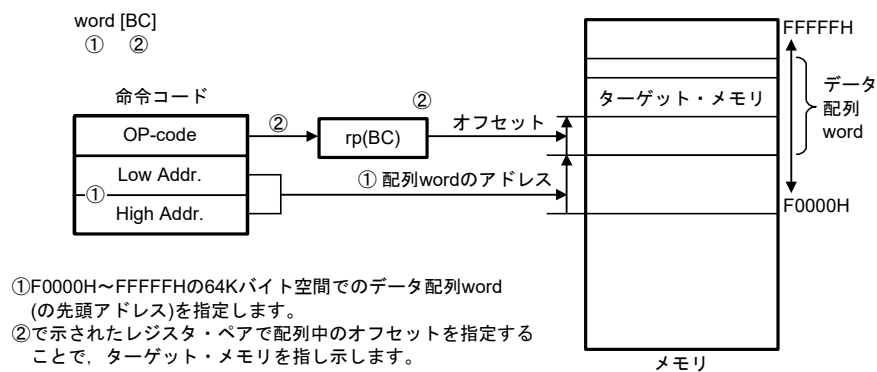


図3 - 30 ES:[HL+byte], ES:[DE+byte]の例

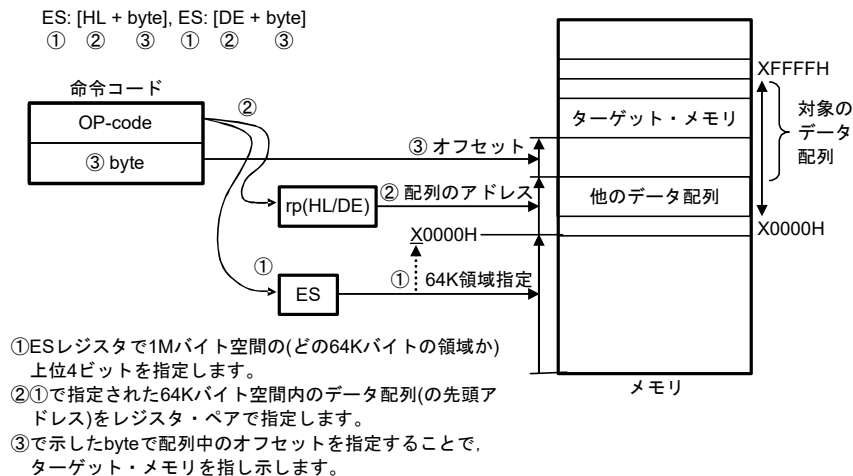


図3 - 31 ES:word[B], ES:word[C]の例

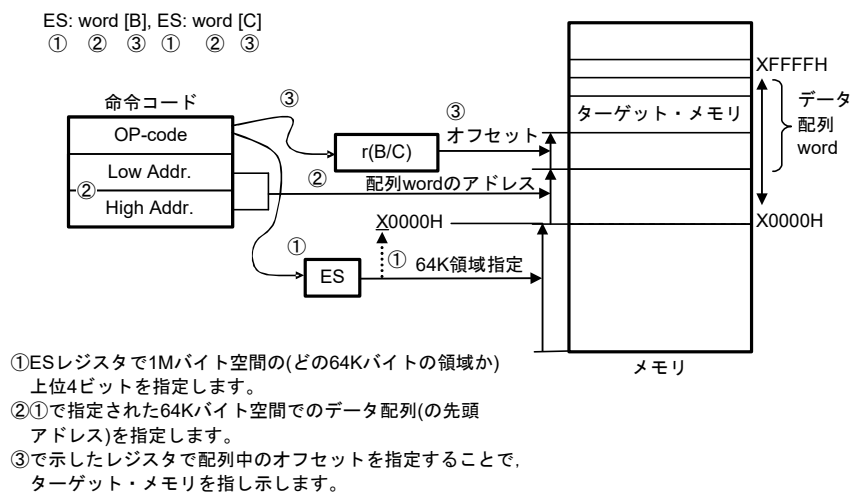
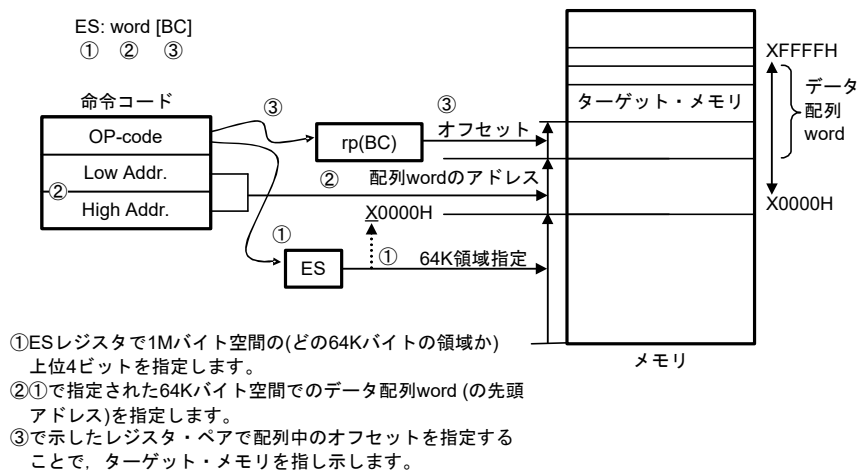


図3 - 32 ES:word[BC]の例



3.5.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B], [HL + C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 33 [HL+B], [HL+C]の例

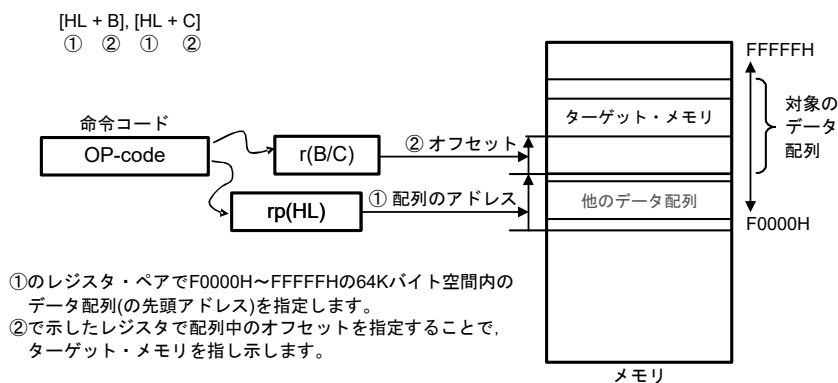
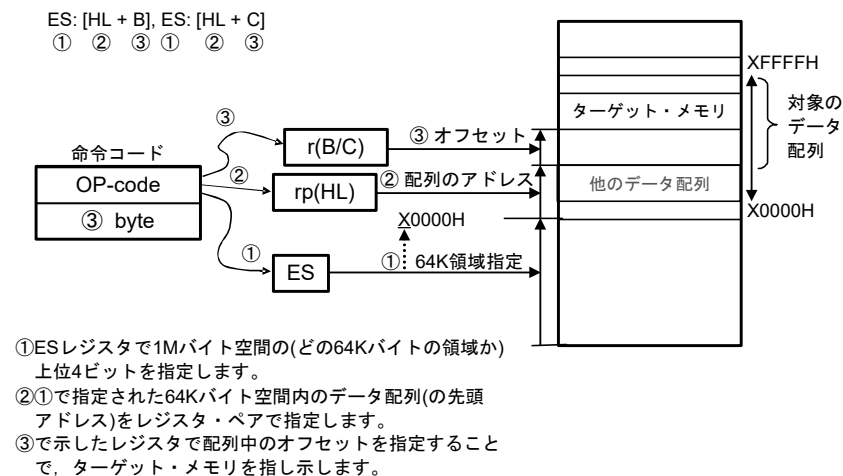


図3 - 34 ES:[HL+B], ES:[HL+C]の例



3.5.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避/復帰されるデータは図3-35～図3-40のようになります。

図3-35 PUSH rpの例

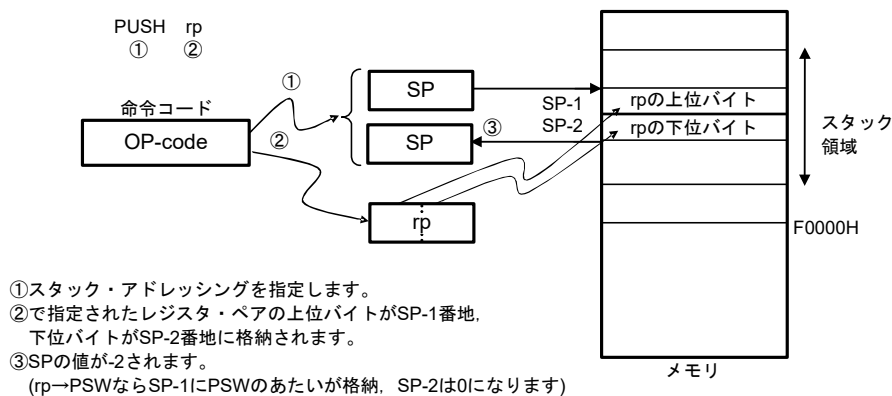


図3 - 36 POPの例

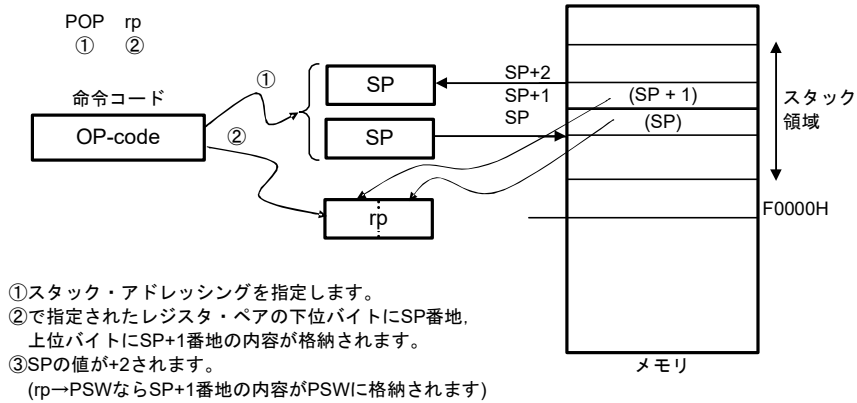


図3 - 37 CALL, CALLTの例

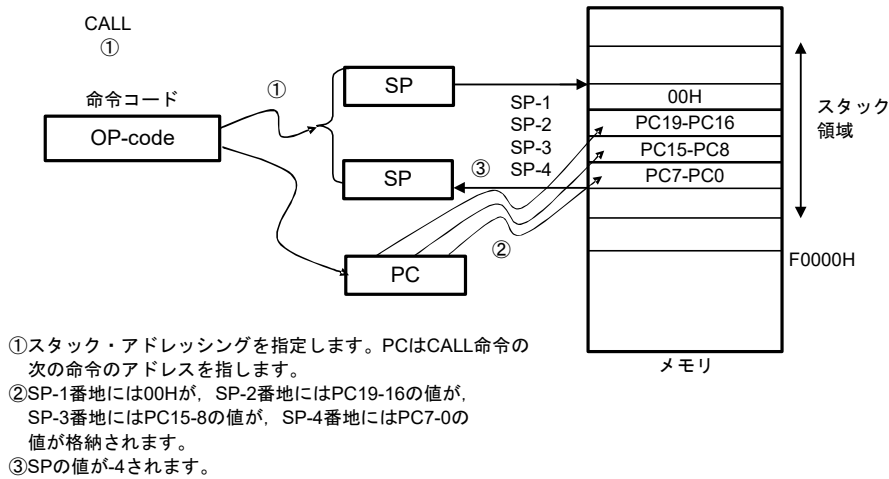


図3 - 38 RETの例

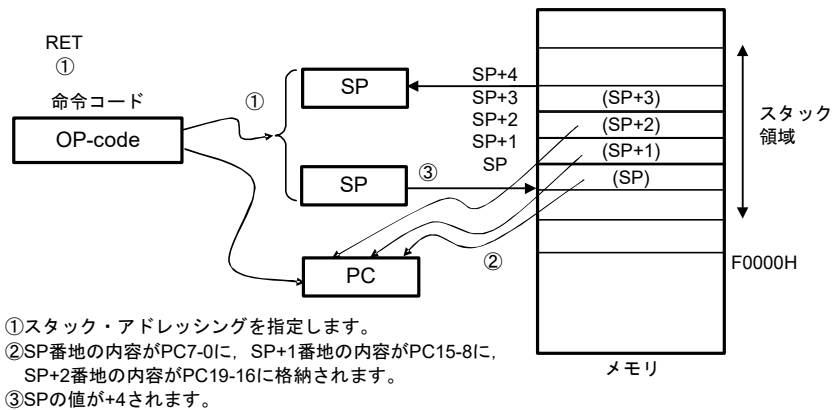


図3 - 39 割り込み, BRKの例

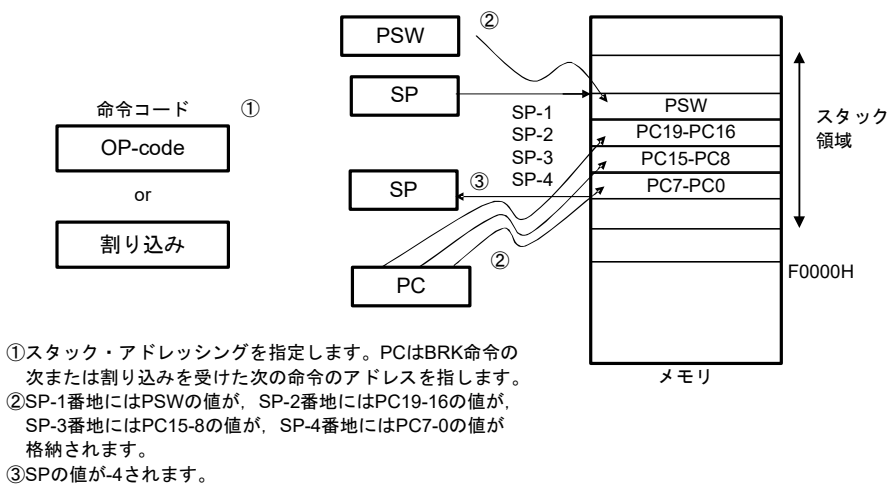
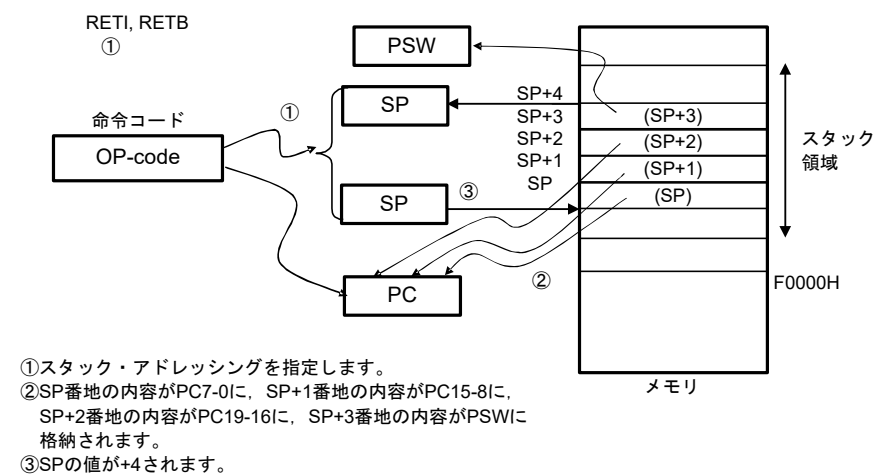


図3 - 40 RETI, RETBの例



第4章 ポート機能

4.1 ポートの機能

RL78/L1Aは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM8, PM10, PM12, PM14, PM15) ポート・レジスタ (P0-P8, P10, P12-P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU8, PU12) ポート入力モード・レジスタ (PIM0, PIM1, PIM3, PIM4, PIM8) ポート出力モード・レジスタ (POM0, POM1, POM3, POM4, POM8) ポート・モード・コントロール・レジスタ (PMC2, PMC4, PMC8, PMC10, PMC14, PMC15) 周辺I/Oリダイレクション・レジスタ (PIOR) LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG5) LCD入力切り替え制御レジスタ (ISCLCD)
ポート	<ul style="list-style-type: none"> • 80ピン製品 : 合計 : 59本 (CMOS入出力 : 52本 (N-ch O.D.入出力[V_{DD}耐圧] : 12本), CMOS入力 : 5本, N-chオープン・ドレイン入出力[6V耐圧] : 2本) • 100ピン製品 : 合計 : 79本 (CMOS入出力 : 71本 (N-ch O.D.入出力[V_{DD}耐圧] : 15本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6V耐圧] : 2本)

4.2.1 ポート0

出力ラッチ付き入力ポートです。ポート・モード・レジスタ0 (PM0)により1ビット単位で入力モード／出力モードの指定ができます。P00-P07端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P00, P01端子の入力は、ポート入力モード・レジスタ0 (PIM0)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P00-P02端子の出力は、ポート出力モード・レジスタ0 (POM0)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.2 ポート1

出力ラッチ付き入力ポートです。ポート・モード・レジスタ1 (PM1)により1ビット単位で入力モード／出力モードの指定ができます。P11-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P11, P14端子の入力は、ポート入力モード・レジスタ1 (PIM1)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P11, P12, P14端子の出力は、ポート出力モード・レジスタ1 (POM1)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力、クロック出力／ブザー出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.3 ポート2

出カラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2)により1ビット単位で入力モード／出力モードの指定ができます。

P20, P21, P23-P27端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ2 (PMC2)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、兼用機能としてA/Dコンバータのアナログ入力, D/Aコンバータのアナログ出力, オペアンプ入力, オペアンプ出力用アナログスイッチの入出力があります。

リセット信号の発生により、アナログ出力(P20)、アナログ入力(P21, P23-P27)になります。

4.2.4 ポート3

出カラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3)により1ビット単位で入力モード／出力モードの指定ができます。P30-P37端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P35, P36端子の入力は、ポート入力モード・レジスタ3 (PIM3)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P35-P37端子の出力は、ポート出力モード・レジスタ3 (POM3)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力, リアルタイム・クロックの補正クロック出力, シリアル・インタフェースのクロック入出力, データ入出力, タイマの入出力, クロック出力／ブザー出力, LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4)により1ビット単位で入力モード／出力モードの指定ができます。P40-P44端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P40, P41, P44端子の入力は、ポート入力モード・レジスタ4 (PIM4)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P40, P41, P43, P44端子の出力は、ポート出力モード・レジスタ4 (POM4)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

P43, P44端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ4(PMC4)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、兼用機能としてシリアル・インタフェースのクロック入出力、データ入出力、プログラミングUARTの送信、受信、コンパレータ入出力があります。

リセット信号の発生により、入力モードになります。

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、LCDコントローラ／ドライバのセグメント出力、タイマ入出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力(6V耐圧)です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、スレーブセレクト入力があります。

リセット信号の発生により、入力モードになります。

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7)により1ビット単位で入力モード／出力モードの指定ができます。P70-P77端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー割り込み入力、タイマの入出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.9 ポート8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8)により1ビット単位で入力モード／出力モードの指定ができます。P80, P81端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ8 (PU8)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P80端子の入力は、ポート入力モード・レジスタ8 (PIM8)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P80, P81端子の出力は、ポート出力モード・レジスタ8 (POM8)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

P80, P81端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ8 (PMC8)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、兼用機能として低抵抗スイッチ、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、アナログ入力になります。

4.2.10 ポート 10

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 10 (PM10)により1ビット単位で入力モード／出力モードの指定ができます。

P100, P101, P103-P107 端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ 10 (PMC10)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、兼用機能としてA/Dコンバータのアナログ入力, D/Aコンバータのアナログ出力, オペアンプ入力, オペアンプ出力用アナログスイッチの入出力があります。

リセット信号の発生により, アナログ出力(P100), アナログ入力(P101, P103-P107)になります。

4.2.11 ポート 12

P125-P127は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 12 (PM12)により, 1ビット単位で入力モード／出力モードの指定ができます。P125-P127 端子を入力ポートとして使用する場合, プルアップ抵抗オプション・レジスタ 12 (PU12)により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

また兼用機能としてメイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力, サブシステム・クロック用外部クロック入力, LCDコントローラ／ドライバ用コンデンサ接続, LCD駆動用電圧端子があります。

リセット信号の発生により, P121-P124 が入力モードになります。P125-P127 がデジタル入力無効注になります。

注 デジタル入力無効とは, デジタル出力, デジタル入力, LCD出力のいずれも無効な状態を示します。

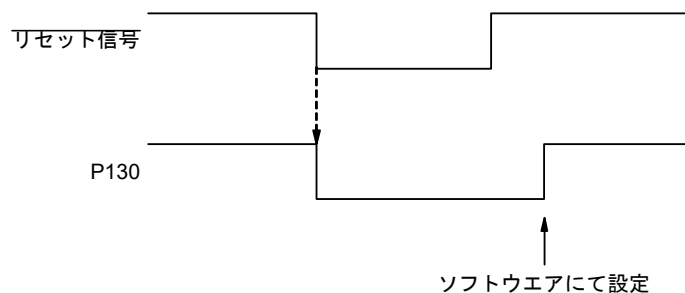
4.2.12 ポート 13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード、P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力、A/Dコンバータの外部トリガ入力があります。

備考 リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4.2.13 ポート 14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 14 (PM14)により1ビット単位で入力モード／出力モードの指定ができます。

P140-P143端子は、ポート・モード・コントロール・レジスタ 14 (PMC14)の設定によりデジタル入出力／アナログ入力の指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

リセット信号の発生により、アナログ入力になります。

4.2.14 ポート 15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 15 (PM15)により1ビット単位で入力モード／出力モードの指定ができます。

P150, P152-P154端子は、ポート・モード・コントロール・レジスタ 15 (PMC15)の設定によりデジタル入出力／アナログ入力の指定ができます。

また、兼用機能としてオペアンプ入力、A/Dコンバータの側基準電圧入力があります。

リセット信号の発生により、アナログ入力になります。

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロール・レジスタ (PMCxx)
- 周辺I/Oリダイレクション・レジスタ (PIOR)
- LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG5)
- LCD入力切り替え制御レジスタ (ISCLCD)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-2～表4-5を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット(1/4)

ポート		ビット名					100 ピン	80 ピン	
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ			PMCxx レジスタ
ポート0	0	PM00	P00	PU00	PIM00	POM00	—	○	○
	1	PM01	P01	PU01	PIM01	POM01	—	○	○
	2	PM02	P02	PU02	—	POM02	—	○	○
	3	PM03	P03	PU03	—	—	—	○	○
	4	PM04	P04	PU04	—	—	—	○	○
	5	PM05	P05	PU05	—	—	—	○	○
	6	PM06	P06	PU06	—	—	—	○	○
	7	PM07	P07	PU07	—	—	—	○	○
ポート1	0	—	—	—	—	—	—	—	—
	1	PM11	P11	PU11	PIM11	POM11	—	○	—
	2	PM12	P12	PU12	—	POM12	—	○	—
	3	PM13	P13	PU13	—	—	—	○	—
	4	PM14	P14	PU14	PIM14	POM14	—	○	○
	5	PM15	P15	PU15	—	—	—	○	—
	6	PM16	P16	PU16	—	—	—	○	—
	7	PM17	P17	PU17	—	—	—	○	—
ポート2	0	PM20	P20	—	—	—	PMC20	○	○
	1	PM21	P21	—	—	—	PMC21	○	○
	2	—	—	—	—	—	—	—	—
	3	PM23	P23	—	—	—	PMC23	○	○
	4	PM24	P24	—	—	—	PMC24	○	—
	5	PM25	P25	—	—	—	PMC25	○	—
	6	PM26	P26	—	—	—	PMC26	○	○
	7	PM27	P27	—	—	—	PMC27	○	○

表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(2/4)

ポート		ビット名					100 ピン	80 ピン	
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ			PMCxx レジスタ
ポート3	0	PM30	P30	PU30	—	—	—	○	○
	1	PM31	P31	PU31	—	—	—	○	○
	2	PM32	P32	PU32	—	—	—	○	○
	3	PM33	P33	PU33	—	—	—	○	—
	4	PM34	P34	PU34	—	—	—	○	—
	5	PM35	P35	PU35	PIM35	POM35	—	○	○
	6	PM36	P36	PU36	PIM36	POM36	—	○	○
	7	PM37	P37	PU37	—	POM37	—	○	○
ポート4	0	PM40	P40	PU40	PIM40	POM40	—	○	○
	1	PM41	P41	PU41	PIM41	POM41	—	○	—
	2	PM42	P42	PU42	—	—	—	○	—
	3	PM43	P43	PU43	—	POM43	PMC43	○	○
	4	PM44	P44	PU44	PIM44	POM44	PMC44	○	○
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	
ポート5	0	PM50	P50	PU50	—	—	—	○	○
	1	PM51	P51	PU51	—	—	—	○	○
	2	PM52	P52	PU52	—	—	—	○	○
	3	PM53	P53	PU53	—	—	—	○	—
	4	PM54	P54	PU54	—	—	—	○	—
	5	PM55	P55	PU55	—	—	—	○	—
	6	PM56	P56	PU56	—	—	—	○	—
	7	PM57	P57	PU57	—	—	—	○	—
ポート6	0	PM60	P60	—	—	—	—	○	○
	1	PM61	P61	—	—	—	—	○	○
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	

表4-4 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット(3/4)

ポート		ビット名					100 ピン	80 ピン	
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ			PMCxx レジスタ
ポート7	0	PM70	P70	PU70	—	—	—	○	○
	1	PM71	P71	PU71	—	—	—	○	○
	2	PM72	P72	PU72	—	—	—	○	○
	3	PM73	P73	PU73	—	—	—	○	○
	4	PM74	P74	PU74	—	—	—	○	○
	5	PM75	P75	PU75	—	—	—	○	○
	6	PM76	P76	PU76	—	—	—	○	○
	7	PM77	P77	PU77	—	—	—	○	○
ポート8	0	PM80	P80	PU80	PIM80	POM80	PMC80	○	○
	1	PM81	P81	PU81	—	POM81	PMC81	○	○
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
ポート10	0	PM100	P100	—	—	—	PMC100	○	○
	1	PM101	P101	—	—	—	PMC101	○	○
	2	—	—	—	—	—	—	—	—
	3	PM103	P103	—	—	—	PMC103	○	○
	4	PM104	P104	—	—	—	PMC104	○	—
	5	PM105	P105	—	—	—	PMC105	○	—
	6	PM106	P106	—	—	—	PMC106	○	○
	7	PM107	P107	—	—	—	PMC107	○	○
ポート12	0	—	—	—	—	—	—	—	—
	1	—	P121	—	—	—	—	○	○
	2	—	P122	—	—	—	—	○	○
	3	—	P123	—	—	—	—	○	○
	4	—	P124	—	—	—	—	○	○
	5	PM125	P125	PU125	—	—	—	○	○
	6	PM126	P126	PU126	—	—	—	○	○
	7	PM127	P127	PU127	—	—	—	○	○
ポート13	0	—	P130	—	—	—	—	○	—
	1	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○

表4 - 5 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(4/4)

ポート		ビット名						100 ピン	80 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ		
ポート 14	0	PM140	P140	—	—	—	PMC140	○	○
	1	PM141	P141	—	—	—	PMC141	○	○
	2	PM142	P142	—	—	—	PMC142	○	○
	3	PM143	P143	—	—	—	PMC143	○	○
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—
ポート 15	0	PM150	P150	—	—	—	PMC150	○	○
	1	—	—	—	—	—	—	—	—
	2	PM152	P152	—	—	—	PMC152	○	○
	3	PM153	P153	—	—	—	PMC153	○	○
	4	PM154	P154	—	—	—	PMC154	○	○
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のレジスタ設定を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	1	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	1	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	1	1	1	1	PM81	PM80	FFF28H	FFH	R/W
PM10	PM107	PM106	PM105	PM104	PM103	1	PM101	PM100	FFF2AH	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	1	FFF2CH	FFH	R/W
PM14	1	1	1	1	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	1	1	1	PM154	PM153	PM152	1	PM150	FFF2FH	FFH	R/W

PMmn	Pmn 端子の入出力モードの選択 (m = 0-8, 10, 12, 14, 15 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラムの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラムの値が読み出されます注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P20, P21, P23-P27, P43, P44, P80, P81, P100, P101, P103-P107, P140-P143, P150, P152-P154 をアナログ入出力機能として設定した場合に、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出カラム)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	0	FFF01H	00H (出カラム)	R/W
P2	P27	P26	P25	P24	P23	0	P21	P20	FFF02H	00H (出カラム)	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFF03H	00H (出カラム)	R/W
P4	0	0	0	P44	P43	P42	P41	P40	FFF04H	00H (出カラム)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出カラム)	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H (出カラム)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出カラム)	R/W
P8	0	0	0	0	0	0	P81	P80	FFF08H	00H (出カラム)	R/W
P10	P107	P106	P105	P104	P103	0	P101	P100	FFF0AH	00H (出カラム)	R/W
P12	P127	P126	P125	P124	P123	P122	P121	0	FFF0CH	不定	R/W注
P13	P137	0	0	0	0	0	0	P130	FFF0DH	不定	R/W注
P14	0	0	0	0	P143	P142	P141	P140	FFF0EH	00H (出カラム)	R/W
P15	0	0	0	P154	P153	P152	0	P150	FFF0FH	00H (出カラム)	R/W

Pmn	m = 0-8, 10, 12-15 ; n = 0-7	
	出力データの制御(出力モード時)	入力データの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124, P137はRead Onlyです。

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード(POMmn = 0)かつ入力モード(PMmn = 1)に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定(PMC = 1)にしている場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H)になります。

注意 PIMnレジスタがあるポートで、異電位デバイスからTTLバッファに入力する場合は、PUmn = 0を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	0	F0031H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	0	0	0	0	0	0	PU81	PU80	F0038H	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	0	F003CH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択(m = 0, 1, 3-5, 7, 8, 12 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	0	0	PIM01	PIM00	F0040H	00H	R/W
PIM1	0	0	0	PIM14	0	0	PIM11	0	F0041H	00H	R/W
PIM3	0	PIM36	PIM35	0	0	0	0	0	F0043H	00H	R/W
PIM4	0	0	0	PIM44	0	0	PIM41	PIM40	F0044H	00H	R/W
PIM8	0	0	0	0	0	0	0	PIM80	F0048H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択(m = 0, 1, 3, 4, 8 ; n = 0, 1, 4-6)
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I²C 通信時の SDA00, SDA10, SDA20, SDA30 端子に N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注意 N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	POM02	POM01	POM00	F0050H	00H	R/W
POM1	0	0	0	POM14	0	POM12	POM11	0	F0051H	00H	R/W
POM3	POM37	POM36	POM35	0	0	0	0	0	F0053H	00H	R/W
POM4	0	0	0	POM44	POM43	0	POM41	POM40	F0054H	00H	R/W
POM8	0	0	0	0	0	0	POM81	POM80	F0058H	00H	R/W

POMmn	Pmn 端子の出力モードの選択 (m = 0, 1, 3, 4, 8 ; n = 0-7)
0	通常出力モード
1	N-ch オープン・ドレイン出力 (V _{DD} 耐圧) モード

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります(PMC4のみ00H)。

図4-6 ポート・モード・コントロール・レジスタのフォーマット

アドレス : F0062H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	1	PMC21	PMC20
------	-------	-------	-------	-------	-------	---	-------	-------

アドレス : F0064H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PMC4	0	0	0	PMC44	PMC43	0	0	0
------	---	---	---	-------	-------	---	---	---

アドレス : F0068H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PMC8	1	1	1	1	1	1	PMC81	PMC80
------	---	---	---	---	---	---	-------	-------

アドレス : F006AH リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PMC10	PMC107	PMC106	PMC105	PMC104	PMC103	1	PMC101	PMC100
-------	--------	--------	--------	--------	--------	---	--------	--------

アドレス : F006EH リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PMC14	1	1	1	1	PMC143	PMC142	PMC141	PMC140
-------	---	---	---	---	--------	--------	--------	--------

アドレス : F006FH リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PMC15	1	1	1	PMC154	PMC153	PMC152	1	PMC150
-------	---	---	---	--------	--------	--------	---	--------

PMCmn	Pmn 端子のデジタル入出力／アナログ入出力の選択(m = 2, 4, 8, 10, 14, 15 ; n = 0-7)
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入出力

注意1. PMCxxレジスタでアナログ入用に設定したポートは、ポート・モード・レジスタ2, 10, 14 (PM2, PM10, PM14) で入力モードに選択してください。

注意2. PMCxxレジスタでデジタル入出力として設定する端子を、A/Dチャンネル選択レジスタA0 (ADANSA0) で設定しないでください。

注意3. 搭載していないビットには必ず初期値を設定してください。

4.3.7 周辺I/Oリダイレクション・レジスタ (PIOR)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIORレジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIORレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-7 周辺I/Oリダイレクション・レジスタ (PIOR)のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	PIOR5	PIOR4	PIOR3	PIOR2	PIOR1	PIOR0

ビット	兼用機能	100ピン		80ピン	
		0	1	0	1
PIOR5	SSI00	P60	P137	P60	P137
PIOR4	VCOUT0	P42	P35	P35	P35
PIOR3	INTP0	P137	P43	P137	P43
	INTP1	P03	P42	P03	P03
	INTP2	P04	P41	P04	P04
	INTP3	P30	P60	P30	P60
	INTP4	P32	P61	P32	P61
	INTP5	P06	P127	P06	P127
	INTP6	P50	P126	P50	P126
PIOR2	INTP7	P14	P125	P14	P125
	PCLBUZ0	P14	P02	P14	P02
PIOR1	PCLBUZ1	P36	P44	P36	P44
	SCK00	P41	P40	P40	P40
	SCL00	P41	P40	P40	P40
	TxD2	P12	P81	P81	P81
	RxD2	P11	P80	P80	P80
	SCL20	P14	P14	P14	P14
	SDA20	P11	P80	P80	P80
	SI20	P11	P80	P80	P80
	SO20	P12	P81	P81	P81
SCK20	P14	P14	P14	P14	
PIOR0	TI00/TO00	P03	P43	P03	P43
	TI01/TO01	P31	P40	P31	P40
	TI02/TO02	P50	P60	P50	P60
	TI03/TO03	P52	P61	P52	P61
	TI04/TO04	P51	P127	P51	P127
	TI05/TO05	P07	P126	P07	P126
	TI06/TO06	P05	P125	P05	P125
	TI07/TO07	P77	P77	P77	P77

4.3.8 LCDポート・ファンクション・レジスタ 0-5 (PFSEG0-PFSEG5)

P00-P07, P11-P17, P30-P37, P50-P57, P70-P77, P80, P81 端子をポート(セグメント出力以外)／セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG5 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります(PFSEG0はF0H, PFSEG5は1FH)。

備考 セグメント出力端子(SEGxx)とPFSEGレジスタ(PFSEGxxビット)の対応と、製品によるSEGxx端子の有無を表4-6 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)に示します。

図4-8 LCDポート・ファンクション・レジスタのフォーマット

アドレス : F0300H	リセット時 : F0H	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0		
アドレス : F0301H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08		
アドレス : F0302H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16		
アドレス : F0303H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24		
アドレス : F0304H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG4	PFSEG39	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32		
アドレス : F0305H	リセット時 : 1FH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG5	0	0	0	PFSEG44	PFSEG43	PFSEG42	PFSEG41	PFSEG40		
PFSEGxx (xx = 04-44)	Pmn端子のポート(セグメント出力以外)／セグメント出力の指定 (mn = 00-07, 11-17, 30-37, 50-57, 70-77, 80, 81)									
0	ポート(セグメント出力以外)として使用									
1	セグメント出力として使用									

注意 セグメント出力として使用する(PFSEGxx = 1)場合には必ずPUmレジスタのPUmnビット = 0, POMmレジスタのPOMmnビット = 0, PIMmレジスタのPIMmnビット = 0に設定してください。

表4-6 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80-pin
PFSEG04	SEG4	P50	○	○
PFSEG05	SEG5	P51	○	○
PFSEG06	SEG6	P52	○	○
PFSEG07	SEG7	P53	○	—
PFSEG08	SEG8	P54	○	—
PFSEG09	SEG9	P55	○	—
PFSEG10	SEG10	P56	○	—
PFSEG11	SEG11	P57	○	—
PFSEG12	SEG12	P70	○	○
PFSEG13	SEG13	P71	○	○
PFSEG14	SEG14	P72	○	○
PFSEG15	SEG15	P73	○	○
PFSEG16	SEG16	P74	○	○
PFSEG17	SEG17	P75	○	○
PFSEG18	SEG18	P76	○	○
PFSEG19	SEG19	P77	○	○
PFSEG20	SEG20	P30	○	○
PFSEG21	SEG21	P31	○	○
PFSEG22	SEG22	P32	○	○
PFSEG23	SEG23	P33	○	—
PFSEG24	SEG24	P34	○	—
PFSEG25	SEG25	P35	○	○
PFSEG26	SEG26	P36	○	○
PFSEG27	SEG27	P37	○	○
PFSEG28	SEG28	P13	○	—
PFSEG29	SEG29	P14	○	○
PFSEG30	SEG30	P15	○	—
PFSEG31	SEG31	P16	○	—
PFSEG32	SEG32	P17	○	—
PFSEG33	SEG33	P00	○	○
PFSEG34	SEG34	P01	○	○
PFSEG35	SEG35	P02	○	○
PFSEG36	SEG36	P03	○	○
PFSEG37	SEG37	P04	○	○
PFSEG38	SEG38	P05	○	○
PFSEG39	SEG39	P06	○	○
PFSEG40	SEG40	P07	○	○
PFSEG41	SEG41	P12	○	—
PFSEG42	SEG42	P11	○	—
PFSEG43	SEG43	P81	○	○
PFSEG44	SEG44	P80	○	○

注意 搭載していないビットには必ず初期値を設定してください。

4.3.9 LCD入力切り替え制御レジスタ (ISCLCD)

CAPL/P126, CAPH/P127, VL3/P125 端子は、シュミット・トリガ・バッファが内部で接続されています。CAPL/P126, CAPH/P127, VL3/P125 端子を LCD 機能として動作するように設定を行うまでの期間、貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCD レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-9 LCD入力切り替え制御レジスタ (ISCLCD)のフォーマット

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125 端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効
1	デジタル入力有効

ISCCAP	CAPL/ P126, CAPH/P127 端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効
1	デジタル入力有効

注意 ISCVL3ビット = 0, ISCCAP ビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されず。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されず。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 入出力バッファによる異電位(1.8 V系, 2.5 V系)対応

ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx)で入出力バッファを切り換えることにより、異電位(1.8 V系, 2.5 V系)で動作している外部デバイスとの接続が可能になります。異電位(1.8 V系, 2.5 V系)の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ0, 1, 3, 4, 8 (PIM0, PIM1, PIM3, PIM4, PIM8)をビットごとに設定して、通常入力(CMOS)/TTLを切り替えます。

異電位(1.8 V系, 2.5 V系)の外部デバイスへ出力する場合、ポート出力モード・レジスタ0, 1, 3, 4, 8 (POM0, POM1, POM3, POM4, POM8)をビットごとに設定して、通常出力(CMOS)/N-chオープン・ドレイン(V_{DD}耐圧)に切り換えます。

以下、シリアル・インタフェースでの接続について説明します。

- (1) UART0-UART3, CSI00, CSI10, CSI20, CSI30 機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合 :	P44
UART1の場合 :	P36
UART2の場合 :	P11 (P80)
UART3の場合 :	P01
CSI00の場合 :	P41 (P40), P44
CSI10の場合 :	P35, P36
CSI20の場合 :	P11 (P80), P14
CSI30の場合 :	P00, P01

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ② PIM0, PIM1, PIM3, PIM4, PIM8レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、V_{IH}/V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI注)モードに設定します。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

- (2) UART0-UART3, CSI00,CSI10, CSI20, CSI30機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 :	P43
UART1の場合 :	P37
UART2の場合 :	P12 (P81)
UART3の場合 :	P02
CSI00の場合 :	P41 (P40), P43
CSI10の場合 :	P35, P37
CSI20の場合 :	P12 (P81), P14
CSI30の場合 :	P00, P02

備考 ()内の端子は、周辺I/Oリダイレクションレジスタ(PIOR)の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
 - ② リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
 - ③ 該当するポートの出力ラッチに1を設定します。
 - ④ POM0, POM1, POM3, POM4, POM8レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(VDD耐圧)モードに設定します。
 - ⑤ シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI)モードに設定します。
 - ⑥ PM0, PM1, PM3, PM4, PM8レジスタを操作して出力モードに設定します。
- この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

(3) 簡易IIC00, IIC10, IIC20, IIC30機能の入出力ポートを, 異電位(1.8 V系, 2.5 V系)で使用する場合の設定手順

簡易IIC00の場合 : P41 (P40), P44

簡易IIC10の場合 : P35, P36

簡易IIC20の場合 : P11 (P80), P14

簡易IIC30の場合 : P00, P01

備考 ()内の端子は, 周辺I/Oリダイレクション・レジスタ(PIOR)の設定により, 割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して, 対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後, ポート・モードは入力モード(Hi-Z)になっています。
- ③ 該当するポートの出カラッチに1を設定します。
- ④ POM0, POM1, POM3, POM4, POM8レジスタの該当ビットを1に設定し, N-chオープン・ドレイン出力(VDD耐圧)モードに設定します。
- ⑤ PIM0, PIM1, PIM3, PIM4, PIM8レジスタの該当ビットを1に設定し, TTL入力バッファに切り替えます。なお, V_{IH}/V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し, 簡易I²Cモードに設定します。
- ⑦ PM0, PM1, PM3, PM4, PM8レジスタの該当ビットを出力モードに設定します(出力モードのままデータ入出力可能)。この時点では, 出力データはハイ・レベルであるため, 端子はHi-Z状態になっています。

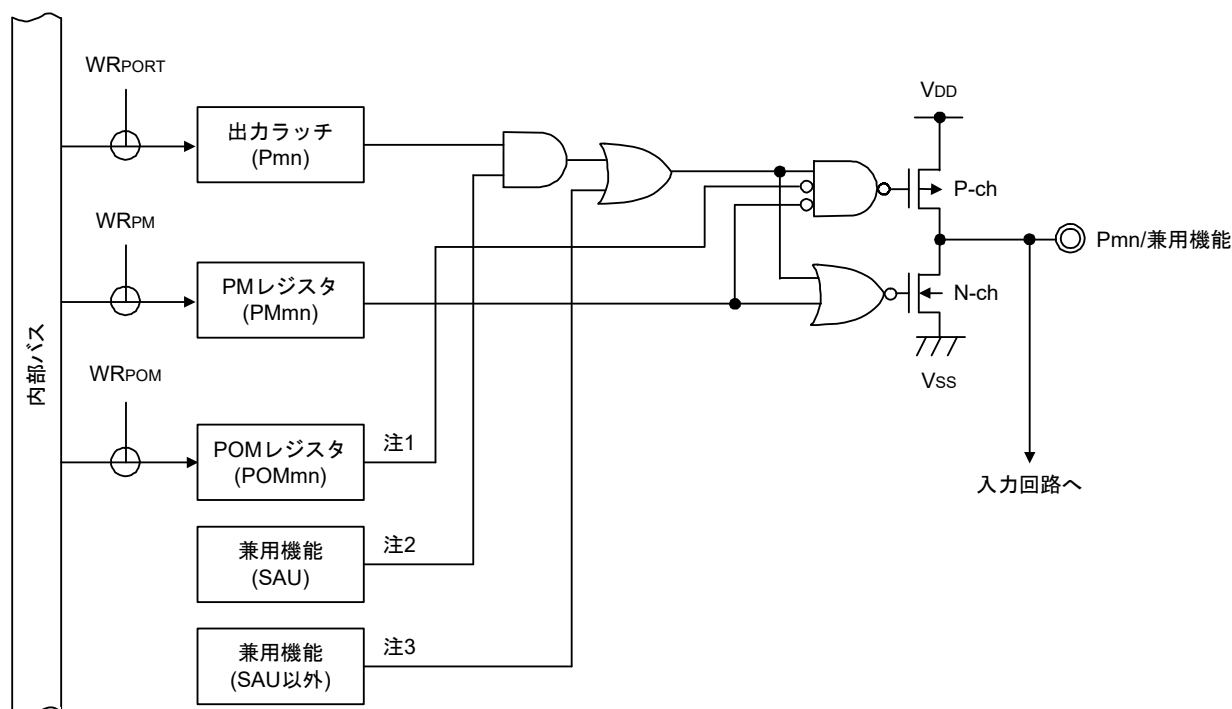
4.5 兼用機能使用時のレジスタ設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ入力と兼用している端子については、アナログ入力かデジタル入出力かを使用するかをポート・モード・コントロール・レジスタ (PMCxx) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-10に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能(タイマ, RTC2, クロック/ブザー出力, IICA等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-7に示します。

図4-10 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow (0)と考慮してください。

注2. 兼用機能がない場合には、この信号はHigh (1)と考慮してください。

注3. 兼用機能がない場合には、この信号はLow (0)と考慮してください。

備考 m: ポート番号(m = 0-15), n: ビット番号(n = 0-7)

表4-7 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) ^注

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0)にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ (PIOR) を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

(1) $SOp = 1/TxDq = 1$ (SAUのシリアル出力 (SO_p/Tx_{Dq}) を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力 (SO_p/Tx_{Dq}) を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ m (SO_{Em}) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ m (SO_m) のSO_{mn} ビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(2) $SCKp = 1/SDAr = 1/SCLr = 1$ (SAUのチャンネル n を使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャンネル許可ステータス・レジスタ m (SE_m) のビット n (SE_{mn}) を0 (動作停止状態) に設定し、使用しない出力に対応したシリアル出力許可レジスタ m (SO_{Em}) のビットを0 (出力禁止) に設定し、シリアル出力レジスタ m (SO_m) のSO_{mn} ビットとCKO_{mn} ビットを1 (High) に設定してください。これは初期状態と同じ設定です。

(3) $TOmn = 0$ (TAUのチャンネル n の出力を使用しない場合の設定)

TAUのTO_{mn}出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0 (TOE0) のビットを0 (出力禁止)、タイマ出力レジスタ0 (TO0) のビットを0 (Low) に設定してください。これは初期状態と同じ設定です。

(4) $SDAAn = 0/SCLAn = 0$ (IICAを使用しない場合の設定)

IICAを使用しない場合は、IICAコントロール・レジスタ $n0$ (IICCTL_{n0}) のIIC_{En} ビットを0 (動作停止) にしてください。これは初期状態と同じ設定です。

★ 備考 p : CSI番号 ($p = 00, 10, 20, 30$) q : UART番号 ($q = 0 - 3$) r : IIC番号 ($r = 00, 10, 20, 30$)

(5) PCLBUZn = 0 (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ n (CKSn)のPCLOEn ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。

(6) RTC1HZ = 0 (リアルタイム・クロック2の出力を使用しない場合の設定)

リアルタイム・クロック2の出力を使用しない場合は、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のRCLOE1 ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。

(7) VCOUn = 0 (コンパレータの出力を使用しない場合の設定)

コンパレータの出力を使用しない場合は、コンパレータ出力制御レジスタ (COMPOCR)のCnOE ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。

(8) ANOn = 0 (DAの出力を使用しない場合の設定)

DAの出力を使用しない場合は、D/A 制御レジスタ (DACR) のDAOEn ビットを0 (動作停止状態)にしてください。これは初期状態と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4-8～表4-10に示します。ポート機能を制御するレジスタを表4-8～表4-10のように設定してください。なお、表4-8～表4-10の表記については次の備考を参照してください。

備考	— :	対象外
	× :	don't care
	PIORx :	周辺I/Oリダイレクション・レジスタ
	PFSEGXX :	LCDポート・ファンクション・レジスタ
	POMxx :	ポート出力モード・レジスタ
	PMCxx :	ポート・モード・コントロール・レジスタ
	PMxx :	ポート・モード・レジスタ
	Pxx :	ポートの出力ラッチ

() 内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR)の設定により、割り当て可能です。

セグメント出力端子 (SEGxx) を兼用するポートの動作については、「4.5.4 SEGxx 端子兼用ポートの動作」の動作を参照してください。

VL3, CAPL, CAPH 端子を兼用するポートの動作については、「4.5.5 VL3, CAPL, CAPH 端子兼用ポートの動作」を参照してください。

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例(1/7)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80ピン	100ピン
P00	P00	入力	—	PFSEG33=0	x	—	1	x	x	—	○	○
		出力	—	PFSEG33=0	0	—	0	0/1	SCK30/SCL30=	—	○	○
		N-chOD出力	—	PFSEG33=0	1	—	0	0/1	1	—	○	○
	SCK30	入力	—	PFSEG33=0	x	—	1	x	x	—	○	○
		出力	—	PFSEG33=0	0/1	—	0	1	x	—	○	○
	SCL30	出力	—	PFSEG33=0	0/1	—	0	1	x	—	○	○
SEG33	出力	—	PFSEG33=1	0	—	0	0	x	—	○	○	
P01	P01	入力	—	PFSEG34=0	x	—	1	x	x	—	○	○
		出力	—	PFSEG34=0	0	—	0	0/1	SDA30=1	—	○	○
		N-chOD出力	—	PFSEG34=0	1	—	0	0/1		—	○	○
	SI30	入力	—	PFSEG34=0	x	—	1	x	x	—	○	○
	RxD3	入力	—	PFSEG34=0	x	—	1	x	x	—	○	○
	SDA30	入出力	—	PFSEG34=0	1	—	0	1	x	—	○	○
SEG34	出力	—	PFSEG34=1	0	—	0	0	x	—	○	○	
P02	P02	入力	—	PFSEG35=0	x	—	1	x	x	x	○	○
		出力	—	PFSEG35=0	0	—	0	0/1	TxD3/SO30=1	(PCLBUZ0)=0	○	○
		N-chOD出力	—	PFSEG35=0	1	—	0	0/1		(PCLBUZ0)=0	○	○
	SO30	出力	—	PFSEG35=0	0/1	—	0	1	x	(PCLBUZ0)=0	○	○
	TxD3	出力	—	PFSEG35=0	0/1	—	0	1	x	(PCLBUZ0)=0	○	○
	(PCLBUZ0)	出力	PIOR2=1	PFSEG35=0	0	—	0	0	TxD3/SO30=1	x	○	○
SEG35	出力	—	PFSEG35=1	0	—	0	0	x	x	○	○	
P03	P03	入力	—	PFSEG36=0	—	—	1	x	—	x	○	○
		出力	—	PFSEG36=0	—	—	0	0/1	—	TO00=0	○	○
	TI00	入力	PIOR0=0	PFSEG36=0	—	—	1	x	—	x	○	○
	TO00	出力	PIOR0=0	PFSEG36=0	—	—	0	0	—	x	○	○
	INTP1	入力	PIOR3=0	PFSEG36=0	—	—	1	x	—	x	○	○
SEG36	出力	—	PFSEG36=1	—	—	0	0	—	x	○	○	
P04	P04	入力	—	PFSEG37=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG37=0	—	—	0	0/1	—	—	○	○
	INTP2	入力	PIOR3=0	PFSEG37=0	—	—	1	x	—	—	○	○
SEG37	出力	—	PFSEG37=1	—	—	0	0	—	—	○	○	
P05	P05	入力	—	PFSEG38=0	—	—	1	x	—	x	○	○
		出力	—	PFSEG38=0	—	—	0	0/1	—	TO06=0	○	○
	TI06	入力	PIOR0=0	PFSEG38=0	—	—	1	x	—	x	○	○
	TO06	出力	PIOR0=0	PFSEG38=0	—	—	0	0	—	x	○	○
SEG38	出力	—	PFSEG38=1	—	—	0	0	—	x	○	○	
P06	P06	入力	—	PFSEG39=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG39=0	—	—	0	0/1	—	—	○	○
	INTP5	入力	PIOR3=0	PFSEG39=0	—	—	1	x	—	—	○	○
SEG39	出力	—	PFSEG39=1	—	—	0	0	—	—	○	○	
P07	P07	入力	—	PFSEG40=0	—	—	1	x	—	x	○	○
		出力	—	PFSEG40=0	—	—	0	0/1	—	TO05=0	○	○
	TI05	入力	PIOR0=0	PFSEG40=0	—	—	1	x	—	x	○	○
	TO05	出力	PIOR0=0	PFSEG40=0	—	—	0	0	—	x	○	○
SEG40	出力	—	PFSEG40=1	—	—	0	0	—	x	○	○	
P11	P11	入力	—	PFSEG42=0	x	—	1	x	x	—	x	○
		出力	—	PFSEG42=0	0	—	0	0/1	SDA20=1	—	x	○
		N-chOD出力	—	PFSEG42=0	1	—	0	0/1		—	x	○
	SI20	入力	PIOR1=0	PFSEG42=0	x	—	1	x	x	—	x	○
	RxD2	入力	PIOR1=0	PFSEG42=0	x	—	1	x	x	—	x	○
	SDA20	入出力	PIOR1=0	PFSEG42=0	1	—	0	1	x	—	x	○
SEG42	出力	—	PFSEG42=1	0	—	0	0	x	—	x	○	

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例(2/7)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80ピン	100ピン
P12	P12	入力	—	PFSEG41=0	x	—	1	x	x	—	x	○
		出力	—	PFSEG41=0	0	—	0	0/1	TxD2/SO20=1	—	x	○
		N-chOD出力	—	PFSEG41=0	1	—	0	0/1		—	x	○
	SO20	出力	PIOR1=0	PFSEG41=0	0/1	—	0	1	x	—	x	○
	TxD2	出力	PIOR1=0	PFSEG41=0	0/1	—	0	1	x	—	x	○
SEG41	出力	—	PFSEG41=1	0	—	0	0	x	—	x	○	
P13	P13	入力	—	PFSEG28=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG28=0	—	—	0	0/1	—	—	x	○
	SEG28	出力	—	PFSEG28=1	—	—	0	0	—	—	x	○
P14	P14	入力	—	PFSEG29=0	x	—	1	x	x	x	○	○
		出力	—	PFSEG29=0	0	—	0	0/1	SCK20/SCL20=1	PCLBUZ0=0	○	○
		N-chOD出力	—	PFSEG29=0	1	—	0	0/1			○	○
	SCK20	入力	x	PFSEG29=0	x	—	1	x	x	x	○	○
		出力	x	PFSEG29=0	0/1	—	0	1	x	PCLBUZ0=0	○	○
	SCL20	出力	x	PFSEG29=0	0/1	—	0	1	x	PCLBUZ0=0	○	○
	INTP7	入力	PIOR3=0	PFSEG29=0	x	—	1	x	x	x	○	○
PCLBUZ0	出力	PIOR2=0	PFSEG29=0	0	—	0	0	SCK20/SCL20=1	x	○	○	
SEG29	出力	—	PFSEG29=1	0	—	0	0	x	x	○	○	
P15	P15	入力	—	PFSEG30=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG30=0	—	—	0	0/1	—	—	x	○
	SEG30	出力	—	PFSEG30=1	—	—	0	0	—	—	x	○
P16	P16	入力	—	PFSEG31=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG31=0	—	—	0	0/1	—	—	x	○
	SEG31	出力	—	PFSEG31=1	—	—	0	0	—	—	x	○
P17	P17	入力	—	PFSEG32=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG32=0	—	—	0	0/1	—	—	x	○
	SEG32	出力	—	PFSEG32=1	—	—	0	0	—	—	x	○
P20	P20	入力	—	—	—	0	1	x	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
	ANO0	出力	—	—	—	1	1	x	—	—	○	○
P21	P21	入力	—	—	—	0	1	x	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
	ANI09	入力	—	—	—	1	1	x	—	—	○	○
AMP0+	入力	—	—	—	1	1	x	—	—	○	○	
P23	P23	入力	—	—	—	0	1	x	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
	AMP0-	入力	—	—	—	1	1	x	—	—	○	○
P24	P24	入力	—	—	—	0	1	x	—	—	x	○
		出力	—	—	—	0	0	0/1	—	—	x	○
	ANI10	入力	—	—	—	1	1	x	—	—	x	○
	MUX03	入出力	—	—	—	1	1	x	—	—	x	○
P25	P25	入力	—	—	—	0	1	x	—	—	x	○
		出力	—	—	—	0	0	0/1	—	—	x	○
	ANI11	入力	—	—	—	1	1	x	—	—	x	○
	MUX02	入出力	—	—	—	1	1	x	—	—	x	○
P26	P26	入力	—	—	—	0	1	x	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
	ANI12	入力	—	—	—	1	1	x	—	—	○	○
	MUX01	入出力	—	—	—	1	1	x	—	—	○	○
P27	P27	入力	—	—	—	0	1	x	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
	ANI13	入力	—	—	—	1	1	x	—	—	○	○
	MUX00	入出力	—	—	—	1	1	x	—	—	○	○

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例(3/7)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80ピン	100ピン
P30	P30	入力	x	PFSEG20=0	—	—	1	x	—	x	○	○
		出力	x	PFSEG20=0	—	—	0	0/1	—	RTC1HZ=0	○	○
	INTP3	入力	PIOR3=0	PFSEG20=0	—	—	1	x	—	x	○	○
	RTC1HZ	出力	x	PFSEG20=0	—	—	0	0	—	x	○	○
	SEG20	出力	x	PFSEG20=1	—	—	0	0	—	x	○	○
P31	P31	入力	x	PFSEG21=0	—	—	1	x	—	x	○	○
		出力	x	PFSEG21=0	—	—	0	0/1	—	TO01=0	○	○
	TI01	入力	PIOR0=0	PFSEG21=0	—	—	1	x	—	x	○	○
	TO01	出力	PIOR0=0	PFSEG21=0	—	—	0	0	—	x	○	○
	SEG21	出力	x	PFSEG21=1	—	—	0	0	—	x	○	○
P32	P32	入力	x	PFSEG22=0	—	—	1	x	—	—	○	○
		出力	x	PFSEG22=0	—	—	0	0/1	—	—	○	○
	INTP4	入力	PIOR3=0	PFSEG22=0	—	—	1	x	—	—	○	○
	SEG22	出力	x	PFSEG22=1	—	—	0	0	—	—	○	○
P33	P33	入力	—	PFSEG23=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG23=0	—	—	0	0/1	—	—	x	○
	SEG23	出力	—	PFSEG23=1	—	—	0	0	—	—	x	○
P34	P34	入力	—	PFSEG24=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG24=0	—	—	0	0/1	—	—	x	○
	SEG24	出力	—	PFSEG24=1	—	—	0	0	—	—	x	○
P35	P35	入力	x	PFSEG25=0	x	—	1	x	x	x	○	○
		出力	x	PFSEG25=0	0	—	0	0/1	SCK10/SCL10=1	(VCOUT0)=0	○	○
		N-chOD出力	x	PFSEG25=0	1	—	0	0/1			○	○
	SCK10	入力	x	PFSEG25=0	x	—	1	x	x	x	○	○
		出力	x	PFSEG25=0	0/1	—	0	1	x	(VCOUT0)=0	○	○
	SCL10	出力	x	PFSEG25=0	0/1	—	0	1	x	(VCOUT0)=0	○	○
	SEG25	出力	x	PFSEG25=1	0	—	0	0	x	x	○	○
(VCOUT0)	出力	PIOR4=1注	PFSEG25=0	0	—	0	0	SCK10/SCL10=1	x	○	○	
P36	P36	入力	x	PFSEG26=0	x	—	1	x	x	x	○	○
		出力	x	PFSEG26=0	0	—	0	0/1	SDA10=1	PCLBUZ1=0	○	○
		N-chOD出力	x	PFSEG26=0	1	—	0	0/1			○	○
	PCLBUZ1	出力	PIOR2=0	PFSEG26=0	0	—	0	0	SDA10=1	x	○	○
	RxD1	入力	x	PFSEG26=0	x	—	1	x	x	x	○	○
	SI10	入力	x	PFSEG26=0	x	—	1	x	x	x	○	○
	SDA10	入出力	x	PFSEG26=0	1	—	0	1	x	PCLBUZ1=0	○	○
SEG26	出力	x	PFSEG26=1	0	—	0	0	x	x	○	○	
P37	P37	入力	—	PFSEG27=0	x	—	1	x	x	—	○	○
		出力	—	PFSEG27=0	0	—	0	0/1	TxD1/SO10=1	—	○	○
		N-chOD出力	—	PFSEG27=0	1	—	0	0/1		—	○	○
	TxD1	出力	—	PFSEG27=0	0/1	—	0	1	x	—	○	○
	SO10	出力	—	PFSEG27=0	0/1	—	0	1	x	—	○	○
	SEG27	出力	—	PFSEG27=1	0	—	0	0	x	—	○	○

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例(4/7)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80ピン	100ピン
P40	P40	入力	x	—	x	—	1	x	x	x	○	○
		出力	x	—	0	—	0	0/1	(SCK00)/(SCL00)) =1	(TO01)=0	○	○
		N-chOD出力	x	—	1	—	0	0/1			○	○
	TOOL0	入出力	x	—	—	—	x	x	x	x	○	○
	(TI01)	入力	PIOR0=1	—	x	—	1	x	x	x	○	○
	(TO01)	出力	PIOR0=1	—	0	—	0	0	(SCK00)/(SCL00)) =1	x	○	○
	(SCK00)	入力	PIOR1=1注	—	x	—	1	x	x	x	○	○
		出力	PIOR1=1注	—	0/1	—	0	1	x	(TO01)=0	○	○
(SCL00)	出力	PIOR1=1注	—	0/1	—	0	1	x	(TO01)=0	○	○	
P41	P41	入力	x	—	x	—	1	x	x	—	x	○
		出力	x	—	0	—	0	0/1	SCK00/SCL00= 1	—	x	○
		N-chOD出力	x	—	1	—	0	0/1		—	x	○
	SCK00	入力	PIOR1=0注	—	x	—	1	x	x	—	x	○
		出力	PIOR1=0注	—	0/1	—	0	1	x	—	x	○
	SCL00	出力	PIOR1=0注	—	0/1	—	0	1	x	—	x	○
(INTP2)	入力	PIOR3=1	—	x	—	1	x	x	—	x	○	
P42	P42	入力	x	—	—	—	1	x	—	x	x	○
		出力	x	—	—	—	0	0/1	—	VCOU0=0	x	○
	(INTP1)	入力	PIOR3=1	—	—	—	1	x	—	x	x	○
	VCOU0	出力	PIOR4=0注	—	—	—	0	0	—	x	x	○
P43	P43	入力	x	—	x	0	1	x	x	x	○	○
		出力	x	—	0	0	0	0/1	TxD0/SO00=1	(TO00)=0	○	○
		N-chOD出力	x	—	1	0	0	0/1		TOOLTxD=0	○	○
	SO00	出力	x	—	0/1	0	0	1	x	(TO00)=0	○	○
	TxD0	出力	x	—	0/1	0	0	1	x	TOOLTxD=0	○	○
	(TI00)	入力	PIOR0=1	—	x	0	1	x	x	x	○	○
	(TO00)	出力	PIOR0=1	—	0	0	0	0	TxD0/SO00=1	TOOLTxD=0	○	○
	TOOLTxD	出力	x	—	0/1	0	0	1	TxD0/SO00=1	(TO00)=0	○	○
(INTP0)	入力	PIOR3=1	—	x	0	1	x	x	x	○	○	
IVCMP0	入力	x	—	0	1	1	x	x	x	○	○	
P44	P44	入力	x	—	x	0	1	x	x	x	○	○
		出力	x	—	0	0	0	0/1	SDA00=1	(PCLBUZ1)=0	○	○
		N-chOD出力	x	—	1	0	0	0/1			○	○
	SI00	入力	x	—	x	0	1	x	x	x	○	○
	RxD0	入力	x	—	x	0	1	x	x	x	○	○
	SDA00	入出力	x	—	1	0	0	1	x	(PCLBUZ1)=0	○	○
	TOOLTxD	入力	x	—	x	0	1	x	x	x	○	○
	(PCLBUZ1)	出力	PIOR2=1	—	0	0	0	0	SDA00=1	x	○	○
IVREF0	入力	x	—	0	1	1	x	x	x	○	○	
P50	P50	入力	x	PFSEG4=0	—	—	1	x	—	—	○	○
		出力	x	PFSEG4=0	—	—	0	0/1	—	TO02=0	○	○
	TI02	入力	PIOR0=0	PFSEG4=0	—	—	1	x	—	x	○	○
	TO02	出力	PIOR0=0	PFSEG4=0	—	—	0	0	—	x	○	○
	INTP6	入力	PIOR3=0	PFSEG4=0	—	—	1	x	—	x	○	○
SEG4	出力	x	PFSEG4=1	—	—	0	0	—	x	○	○	
P51	P51	入力	x	PFSEG5=0	—	—	1	x	—	x	○	○
		出力	x	PFSEG5=0	—	—	0	0/1	—	TO04=0	○	○
	TI04	入力	PIOR0=0	PFSEG5=0	—	—	1	x	—	x	○	○
	TO04	出力	PIOR0=0	PFSEG5=0	—	—	0	0	—	x	○	○
SEG5	出力	x	PFSEG5=1	—	—	0	0	—	x	○	○	

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例(5/7)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80ピン	100ピン
P52	P52	入力	x	PFSEG6=0	—	—	1	x	—	x	○	○
		出力	x	PFSEG6=0	—	—	0	0/1	—	TO03=0	○	○
	TI03	入力	PIOR0=0	PFSEG6=0	—	—	1	x	—	x	○	○
	TO03	出力	PIOR0=0	PFSEG6=0	—	—	0	0	—	x	○	○
	SEG6	出力	x	PFSEG6=1	—	—	0	0	—	x	○	○
P53	P53	入力	—	PFSEG7=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG7=0	—	—	0	0/1	—	—	x	○
	SEG7	出力	—	PFSEG7=1	—	—	0	0	—	—	x	○
P54	P54	入力	—	PFSEG8=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG8=0	—	—	0	0/1	—	—	x	○
	SEG8	出力	—	PFSEG8=1	—	—	0	0	—	—	x	○
P55	P55	入力	—	PFSEG9=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG9=0	—	—	0	0/1	—	—	x	○
	SEG9	出力	—	PFSEG9=1	—	—	0	0	—	—	x	○
P56	P56	入力	—	PFSEG10=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG10=0	—	—	0	0/1	—	—	x	○
	SEG10	出力	—	PFSEG10=1	—	—	0	0	—	—	x	○
P57	P57	入力	—	PFSEG11=0	—	—	1	x	—	—	x	○
		出力	—	PFSEG11=0	—	—	0	0/1	—	—	x	○
	SEG11	出力	—	PFSEG11=1	—	—	0	0	—	—	x	○
P60	P60	入力	x	—	—	—	1	x	—	x	○	○
		N-chOD出力 (6V耐圧)	x	—	—	—	0	0/1	—	SCLA0=0 (TO02)=0	○	○
	SCLA0	入出力	x	—	—	—	0	0	—	(TO02)=0	○	○
	(TI02)	入力	PIOR0=1	—	—	—	1	x	—	x	○	○
	(TO02)	出力	PIOR0=1	—	—	—	0	0	—	SCLA0=0	○	○
	(INTP3)	入力	PIOR3=1	—	—	—	1	x	—	x	○	○
SSI00	入力	PIOR5=0	—	—	—	1	x	—	x	○	○	
P61	P61	入力	x	—	—	—	1	x	—	x	○	○
		N-chOD出力 (6V耐圧)	x	—	—	—	0	0/1	—	SDA0=0 (TO03)=0	○	○
	SDAA0	入出力	x	—	—	—	0	0	—	(TO03)=0	○	○
	(TI03)	入力	PIOR0=1	—	—	—	1	x	—	x	○	○
	(TO03)	出力	PIOR0=1	—	—	—	0	0	—	SDAA0=0	○	○
(INTP4)	入力	PIOR3=1	—	—	—	1	x	—	x	○	○	
P70	P70	入力	—	PFSEG12=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG12=0	—	—	0	0/1	—	—	○	○
	KR7	入力	—	PFSEG12=0	—	—	1	x	—	—	○	○
	SEG12	出力	—	PFSEG12=1	—	—	0	0	—	—	○	○
P71	P71	入力	—	PFSEG13=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG13=0	—	—	0	0/1	—	—	○	○
	KR6	入力	—	PFSEG13=0	—	—	1	x	—	—	○	○
	SEG13	出力	—	PFSEG13=1	—	—	0	0	—	—	○	○
P72	P72	入力	—	PFSEG14=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG14=0	—	—	0	0/1	—	—	○	○
	KR5	入力	—	PFSEG14=0	—	—	1	x	—	—	○	○
	SEG14	出力	—	PFSEG14=1	—	—	0	0	—	—	○	○
P73	P73	入力	—	PFSEG15=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG15=0	—	—	0	0/1	—	—	○	○
	KR4	入力	—	PFSEG15=0	—	—	1	x	—	—	○	○
	SEG15	出力	—	PFSEG15=1	—	—	0	0	—	—	○	○

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例(6/7)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80ピン	100ピン
P74	P74	入力	—	PFSEG16=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG16=0	—	—	0	0/1	—	—	○	○
	SEG16	入力	—	PFSEG16=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG16=1	—	—	0	0	—	—	○	○
P75	P75	入力	—	PFSEG17=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG17=0	—	—	0	0/1	—	—	○	○
	SEG17	入力	—	PFSEG17=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG17=1	—	—	0	0	—	—	○	○
P76	P76	入力	—	PFSEG18=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG18=0	—	—	0	0/1	—	—	○	○
	SEG18	入力	—	PFSEG18=0	—	—	1	x	—	—	○	○
		出力	—	PFSEG18=1	—	—	0	0	—	—	○	○
P77	P77	入力	x	PFSEG19=0	—	—	1	x	—	x	○	○
		出力	x	PFSEG19=0	—	—	0	0/1	—	TO07=0	○	○
	TO07	入力	x	PFSEG19=0	—	—	1	x	—	x	○	○
		出力	x	PFSEG19=0	—	—	0	0	—	x	○	○
	SEG19	入力	x	PFSEG19=1	—	—	0	0	—	x	○	○
		出力	x	PFSEG19=1	—	—	0	0	—	x	○	○
P80	P80	入力	x	PFSEG44=0	x	0	1	x	x	—	○	○
		出力	x	PFSEG44=0	0	0	0	0/1	(SDA20)=1	—	○	○
		N-chOD出力	x	PFSEG44=0	1	0	0	0/1	(SDA20)=1	—	○	○
	AMP1OPD	入力	x	PFSEG44=0	0	1	1	x	x	—	○	○
	(RxD2)	入力	PIOR1=1注	PFSEG44=0	0	0	1	x	x	—	○	○
	(SI20)	入力	PIOR1=1注	PFSEG44=0	0	0	1	x	x	—	○	○
	(SDA20)	入出力	PIOR1=1注	PFSEG44=0	1	0	0	1	x	—	○	○
SEG44	出力	x	PFSEG44=1	0	0	0	0	x	—	○	○	
P81	P81	入力	x	PFSEG43=0	x	0	1	x	x	—	○	○
		出力	x	PFSEG43=0	0	0	0	0/1	(TxD2)	—	○	○
		N-chOD出力	x	PFSEG43=0	1	0	0	0/1	/(SO20)=1	—	○	○
	AMP0OPD	入力	x	PFSEG43=0	0	1	1	x	x	—	○	○
	(TxD2)	出力	PIOR1=1注	PFSEG43=0	0/1	0	0	1	x	—	○	○
	(SO20)	出力	PIOR1=1注	PFSEG43=0	0/1	0	0	1	x	—	○	○
SEG43	出力	x	PFSEG43=1	0	0	0	0	x	—	○	○	
P100	P100	入力	—	—	—	0	1	x	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
P101	P101	入力	—	—	—	0	1	x	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
	AMP1+	入力	—	—	—	1	1	x	—	—	○	○
		出力	—	—	—	1	1	x	—	—	○	○
P103	P103	入力	—	—	—	0	1	x	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
	AMP1-	入力	—	—	—	1	1	x	—	—	○	○
P104	P104	入力	—	—	—	0	1	x	—	—	x	○
		出力	—	—	—	0	0	0/1	—	—	x	○
	MUX13	入力	—	—	—	1	1	x	—	—	x	○
		出力	—	—	—	1	1	x	—	—	x	○
P105	P105	入力	—	—	—	0	1	x	—	—	x	○
		出力	—	—	—	0	0	0/1	—	—	x	○
	MUX12	入力	—	—	—	1	1	x	—	—	x	○
		出力	—	—	—	1	1	x	—	—	x	○

表4-8 端子機能使用時のレジスタ，出力ラッチの設定例(7/7)

端子 名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		製品	
	機能名称	入出力							SAUの出力 機能	SAU以外	80ピン	100ピン
P106	P106	入力	—	—	—	0	1	×	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
	ANI03	入力	—	—	—	1	1	×	—	—	○	○
	MUX11	入出力	—	—	—	1	1	×	—	—	○	○
P107	P107	入力	—	—	—	0	1	×	—	—	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○
	ANI04	入力	—	—	—	1	1	×	—	—	○	○
	MUX10	入出力	—	—	—	1	1	×	—	—	○	○

注 100ピン製品のみ

表4-9 端子機能使用時のレジスタ，出力ラッチの設定例

端子 名称	使用機能		CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	Pxx	製品	
	機能名称	入出力			80ピン	100ピン
P121	P121	入力	00xx/10xx/11xx	×	○	○
	X1	—	01xx	—	○	○
P122	P122	入力	00xx/10xx	×	○	○
	X2	—	01xx	—	○	○
	EXCLK	—	11xx	—	○	○
P123	P123	入力	xx00/xx10/xx11	×	○	○
	XT1	—	xx01	—	○	○
P124	P124	入力	xx00/xx10	×	○	○
	XT2	—	xx01	—	○	○
	EXCLKS	—	xx11	—	○	○

表4 - 10 端子機能使用時のレジスタ，出力ラッチの設定例

端子名称	使用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	ISCLCD	兼用機能出力		製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80ピン	100ピン
P125	P125	入力	x	—	—	1	x	ISCVL3=1	—	x	○	○
		出力	x	—	—	0	0/1	ISCVL3=1	—	(TO06)=0	○	○
	VL3	入出力	x	—	—	1	0	ISCVL3=0	—	x	○	○
	(TI06)	入力	PIOR0=1	—	—	1	x	ISCVL3=1	—	x	○	○
	(TO06)	出力	PIOR0=1	—	—	0	0	ISCVL3=1	—	x	○	○
(INTP7)	入力	PIOR3=1	—	—	1	x	ISCVL3=1	—	x	○	○	
P126	P126	入力	x	—	—	1	x	ISCCAP=1	—	x	○	○
		出力	x	—	—	0	0/1	ISCCAP=1	—	(TO05)=0	○	○
	CAPL	出力	x	—	—	1	0	ISCCAP=0	—	x	○	○
	(TI05)	入力	PIOR0=1	—	—	1	x	ISCCAP=1	—	x	○	○
	(TO05)	出力	PIOR0=1	—	—	0	0	ISCCAP=1	—	x	○	○
(INTP6)	入力	PIOR3=1	—	—	1	x	ISCCAP=1	—	x	○	○	
P127	P127	入力	x	—	—	1	x	ISCCAP=1	—	x	○	○
		出力	x	—	—	0	0/1	ISCCAP=1	—	(TO04)=0	○	○
	CAPH	出力	x	—	—	1	0	ISCCAP=0	—	x	○	○
	(TI04)	入力	PIOR0=1	—	—	1	x	ISCCAP=1	—	x	○	○
	(TO04)	出力	PIOR0=1	—	—	0	0	ISCCAP=1	—	x	○	○
(INTP5)	入力	PIOR3=1	—	—	1	x	ISCCAP=1	—	x	○	○	
P130	P130	出力	—	—	—	—	0/1	—	—	—	x	○
P137	P137	入力	x	—	—	—	x	—	—	—	○	○
	INTP0	入力	PIOR3=0	—	—	—	x	—	—	—	○	○
	(SSI0)	入力	PIOR5=1	—	—	—	x	—	—	—	○	○
	ADTRG	入力	x	—	—	—	x	—	—	—	○	○
P140	P140	入力	—	—	0	1	x	—	—	—	○	○
		出力	—	—	0	0	0/1	—	—	—	○	○
ANI05	入力	—	—	1	1	x	—	—	—	○	○	
P141	P141	入力	—	—	0	1	x	—	—	—	○	○
		出力	—	—	0	0	0/1	—	—	—	○	○
ANI06	入力	—	—	1	1	x	—	—	—	○	○	
P142	P142	入力	—	—	0	1	x	—	—	—	○	○
		出力	—	—	0	0	0/1	—	—	—	○	○
ANI07	入力	—	—	1	1	x	—	—	—	○	○	
P143	P143	入力	—	—	0	1	x	—	—	—	○	○
		出力	—	—	0	0	0/1	—	—	—	○	○
ANI08	入力	—	—	1	1	x	—	—	—	○	○	
P150	P150	入力	—	—	0	1	x	—	—	—	○	○
		出力	—	—	0	0	0/1	—	—	—	○	○
AMP2+	入力	—	—	1	1	x	—	—	—	○	○	
P152	P152	入力	—	—	0	1	x	—	—	—	○	○
		出力	—	—	0	0	0/1	—	—	—	○	○
AMP2-	入力	—	—	1	1	x	—	—	—	○	○	
P153	P153	入力	—	—	0	1	x	—	—	—	○	○
		出力	—	—	0	0	0/1	—	—	—	○	○
AMP2OPD	入力	—	—	1	1	x	—	—	—	○	○	
P154	P154	入力	—	—	0	1	x	—	—	—	○	○
		出力	—	—	0	0	0/1	—	—	—	○	○
AVREFM	入力	—	—	1	1	x	—	—	—	○	○	

4.5.4 SEGxx端子兼用ポートの動作

セグメント出力端子 (SEGxx) の機能は、ポート・モード・コントロール・レジスタ (PMCxx)、ポート・モード・レジスタ (PMxx)、LCDポート・ファンクション・レジスタ 0-5 (PFSEG0-PFSEG5) の設定で決定します。

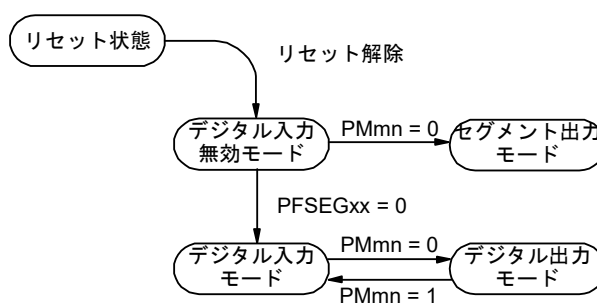
- P00-P07, P11-P17, P30-P37, P50-P57, P70-P77
(アナログ入力端子を兼用していないポート)

表4 - 11 SEGxx/ポート端子機能の設定

PFSEG0-PFSEG5レジスタの PFSEGxxビット	PMxxレジスタのPMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	—
0	1	デジタル入力モード	—
1	0	セグメント出力モード	—

SEGxx/ポート端子機能の状態遷移を次に示します。

図4 - 11 SEGxx/ポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ 1 (LCDM1)の SCOCビット = 0の期間)に設定してください。

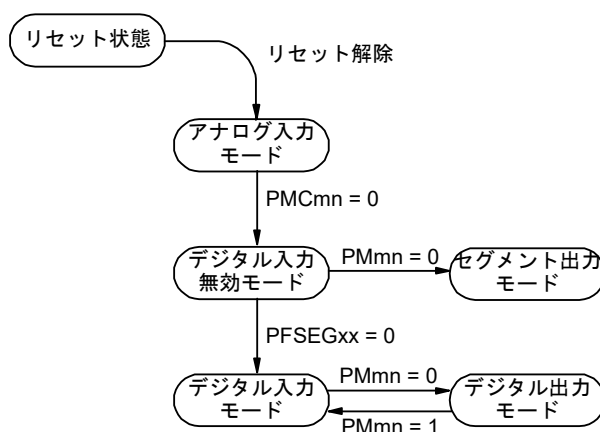
- P80, P81 (アナログ入力端子を兼用するポート)

表4 - 12 AMPxOPD/SEGxx/ポート端子機能の設定

PMCxxレジスタのPMCxxビット	PFSEG5レジスタのPFSEGxxビット	PMxxレジスタのPMxxビット	端子機能	初期状態
1	1	1	アナログ入力モード	○
0	0	0	デジタル出力モード	—
0	0	1	デジタル入力モード	—
0	1	0	セグメント出力モード	—
0	1	1	デジタル入力無効モード	—
上記以外			設定禁止	

AMPxOPD/SEGxx/ポート端子機能の状態遷移を次に示します。

図4 - 12 AMPxOPD/SEGxx/ポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット = 0の期間)に設定してください。

4.5.5 VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127端子の機能は、LCD入力切り替え制御レジスタ (ISCLCD), LCDモード・レジスタ0 (LCDM0), ポート・モード・レジスタ12 (PM12)の設定で決定します。

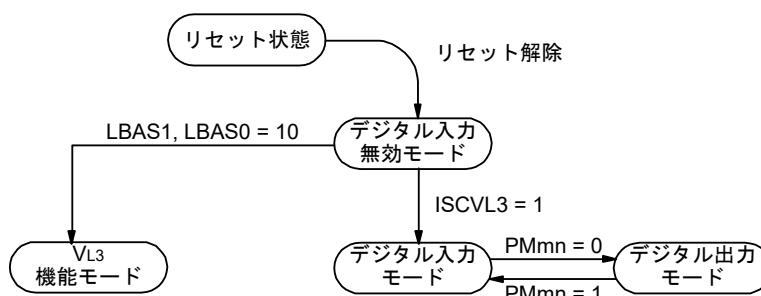
- VL3/P125

表4 - 13 VL3/P125端子機能の設定

バイアス法設定 (LCDM0レジスタのLBAS1, LBAS0ビットで設定)	ISCLCDレジスタ のISCVL3ビット	PM12レジスタ のPM125ビット	端子機能	初期状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00または01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
1/4バイアス法 (LBAS1, LBAS0 = 10)	0	1	VL3機能モード	—
上記以外			設定禁止	

VL3/P125端子機能の状態遷移を次に示します。

図4 - 13 VL3/P125端子機能の状態遷移図



注意 VL3機能モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット = 0の期間)に設定してください。

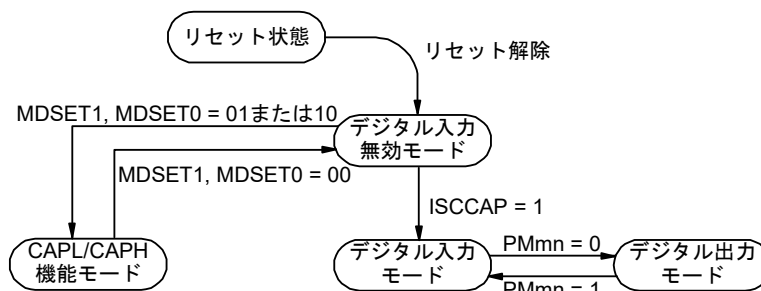
• CAPL/P126, CAPH/P127

表4 - 14 CAPL/P126, CAPH/P127 端子機能の設定

LCD 駆動電圧生成 (LCDM0 レジスタの MDSET1, MDSET0 ビット)	ISCLCD レジスタ の ISCCAP ビット	PM12 レジスタの PM126, PM127 ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01 または 10)	0	1	CAPL/CAPH 機能モード	—
上記以外			設定禁止	

CAPL/P126, CAPH/P127 端子機能の状態遷移を次に示します。

図4 - 14 CAPL/P126, CAPH/P127 端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット=0の期間)に設定してください。

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P00は出力ポート、P01-P07は入力ポート(端子状態はすべてハイ・レベル)で、かつポート0の出カラッチの値が“00H”のとき、出力ポートP00の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート0の出カラッチの値は、“FFH”になります。

★

説明：PMmnビット = 1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/L1A内部で、次の順序で行われます。

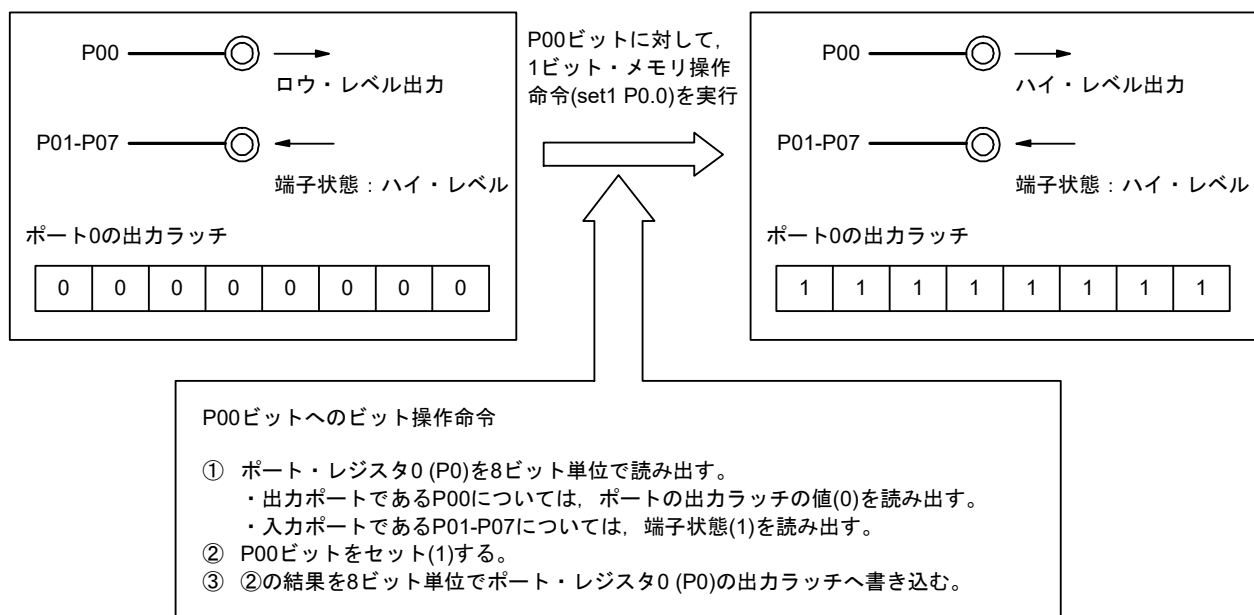
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP00は出カラッチの値(0)を読み出し、入力ポートであるP01-P07は端子状態を読み出します。このときP01-P07の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-15 1ビット・メモリ操作命令(P00の場合)



4.6.2 端子設定に関する注意事項

複数の兼用出力機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります(出力の衝突を回避)。周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当てられた機能も同様です。兼用出力については、4.5 兼用機能使用時のレジスタ設定を参照してください。

入力として使用する端子では、兼用機能の出力が無効(バッファ出力がHi-Z)となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子、X2端子に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

オプションバイト(000C2H)により、 $f_{HOCO} = 24$ MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz (TYP.)から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は、図5-11 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧	発振周波数(MHz)								
	1	2	3	4	6	8	12	16	24
$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	○	○	○
$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	○	○	—
$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	—	—	—

また、EXCLK/X2/P122端子から外部メイン・システム・クロック($f_{EX} = 1 \sim 20$ MHz)を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット(システム・クロック制御レジスタ(CKC)のビット4)の設定により、高速システム・クロック(X1クロックまたは外部メイン・システム・クロック)と高速オンチップ・オシレータ・クロックを切り替えられます。

なお、メイン・システム・クロックは、電源電圧 V_{DD} によって使用可能な周波数範囲が異なり、オプション・バイト(000C2H)のCMODE0、CMODE1によりフラッシュの動作電圧モードの設定(第30章 オプション・バイト参照)が必要です。

(2) サブシステム・クロック

•XT1発振回路

XT1端子、XT2端子に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzのクロックを発振させることができます。XTSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット6)の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック($f_{EXT} = 32.768$ kHz)を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

(3) 低速オンチップ・オシレータ・クロック

$f_{IL} = 15$ kHz (TYP.)のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ウォッチドッグ・タイマ
- リアルタイム・クロック2
- 12ビット・インターバル・タイマ
- 8ビット・インターバル・タイマ
- LCDコントローラ/ドライバ

オプション・バイト(000C0H)のビット4(WDTON)または、サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4(WUTMMCK0)のどちらか、または両方が1のときに動作します。

ただし、 $WDTON = 1$ 、 $WUTMMCK0 = 0$ かつオプション・バイト(000C0H)のビット0(WDSTBYON)が0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

注意 リアルタイム・クロック2のカウント・クロックに低速オンチップ・オシレータ・クロック(f_{IL})を選択できるのは、定周期割り込み機能使用時のみです。

- 備考**
- f_X : X1クロック発振周波数
 - f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数
 - f_{IH} : 高速オンチップ・オシレータ・クロックの周波数(最大24 MHz)
 - f_{EX} : 外部メイン・システム・クロック周波数
 - f_{XT} : XT1クロック発振周波数
 - f_{EXT} : 外部サブシステム・クロック周波数
 - f_{IL} : 低速オンチップ・オシレータ・クロック周波数

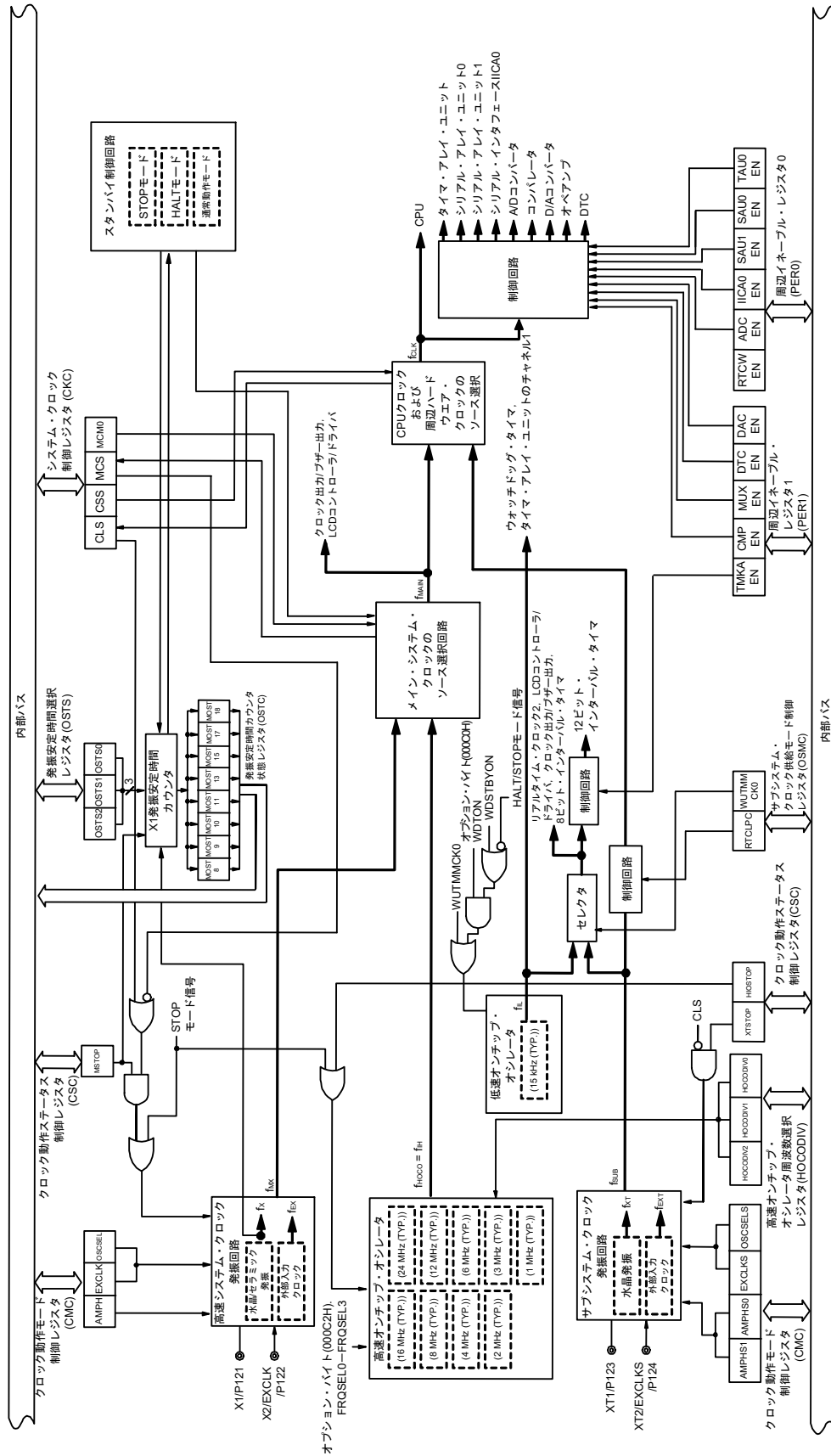
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ 0, 1 (PER0, PER1) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考	fX :	X1クロック発振周波数
	fHOCO :	高速オンチップ・オシレータ・クロック周波数
	fIH :	高速オンチップ・オシレータ・クロックの周波数(最大24 MHz)
	fEX :	外部メイン・システム・クロック周波数
	fMX :	高速システム・クロック周波数
	fMAIN :	メイン・システム・クロック周波数
	fXT :	XT1クロック発振周波数
	fEXT :	外部サブシステム・クロック周波数
	fSUB :	サブシステム・クロック周波数
	fCLK :	CPU/周辺ハードウェア・クロック周波数
	fIL :	低速オンチップ・オシレータ・クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122 端子および XT1/P123, XT2/EXCLKS/P124 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0 ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

図5-2 クロック動作モード制御レジスタ (CMC)のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS ^注	OSCSELS ^注	0	AMPHS1 ^注	AMPHS0 ^注	AMPH
	EXCLK	OSCSEL	高速システム・クロック端子の動作モード		X1/P121 端子		X2/EXCLK/P122 端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	X1発振モード		水晶/セラミック発振子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート	外部クロック入力		
	EXCLKS ^注	OSCSELS ^注	サブシステム・クロック端子の動作モード		XT1/P123 端子		XT2/EXCLKS/P124 端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	XT1発振モード		水晶/セラミック発振子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート	外部クロック入力		
	AMPHS1 ^注	AMPHS0 ^注	XT1発振回路の発振モード選択					
	0	0	低消費発振(デフォルト)					
	0	1	通常発振					
	1	0	超低消費発振					
	1	1	設定禁止					
	AMPH	X1クロック発振周波数の制御						
	0	1 MHz ≤ fx ≤ 10 MHz						
	1	10 MHz < fx ≤ 20 MHz						

注 EXCLKS, OSCSELS, AMPHS1, AMPHS0 ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

(注意、備考は次ページに続きます。)

- 注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値(00H)のまま使用する場合、暴走時の誤動作(00H以外の誤書き込みで復帰不可)を防止するためにリセット解除後は必ず00Hに設定してください。
- 注意2. リセット解除後、クロック動作ステータス制御レジスタ(CSC)の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。
- 注意3. X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHビットに1を設定してください。
- 注意4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後fCLKにfIHを選択した状態(fCLKをfMXに切り替える前の状態)で設定してください。
- 注意5. fxTの発振安定時間は、ソフトウェアでカウントしてください。
- 注意6. システム・クロックの周波数上限は24 MHzですが、X1発振回路の周波数上限は20 MHzになります。
- 注意7. CMCレジスタ書き込み後、パワーオン・リセット以外のリセットが発生した場合、暴走時の誤動作を防ぐためリセット解除後は必ずリセット発生前と同じ値を設定してください。
- 注意8. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。
- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振(AMPHS1, AMPHS0 = 1, 0)を選択している場合はご注意ください。
 - 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
 - XT1発振回路の周辺には、できるかぎりVssと同電位のグランド・パターンを配置してください。
 - XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
 - 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
 - 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

備考 fx: X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-3 システム・クロック制御レジスタ(CKC)のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
CLS	CPU/周辺ハードウェア・クロック (fCLK) のステータス							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
CSS	CPU/周辺ハードウェア・クロック (fCLK) の選択							
0	メイン・システム・クロック (fMAIN)							
1 ^{注2}	サブシステム・クロック (fSUB)							
MCS	メイン・システム・クロック (fMAIN) のステータス							
0	高速オンチップ・オシレータ・クロック (fIH)							
1	高速システム・クロック (fMX)							
MCM0 ^{注2}	メイン・システム・クロック (fMAIN) の動作制御							
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロック (fIH) を選択							
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択							

注1. ビット7, 5は、Read Onlyです。

注2. CSS = 1を設定した状態で、MCM0ビットの値を変更することは禁止です。

備考 fHOCO : 高速オンチップ・オシレータ・クロック周波数
 fIH : 高速オンチップ・オシレータ・クロックを選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)
 fMX : 高速システム・クロック周波数
 fMAIN : メイン・システム・クロック周波数
 fSUB : サブシステム・クロック周波数

(注意は次ページにあります。)

- 注意1. ビット0-3には、必ず0を設定してください。
- 注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, クロック出力/ブザー出力, LCDコントローラ/ドライバ, およびウォッチドッグ・タイマは除く)。よって、CPU/周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
- 注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータ, IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第35章 電気的特性を参照してください。

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです(低速オンチップ・オシレータ・クロックは除く)。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

注意 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

図5-4 クロック動作ステータス制御レジスタ (CSC)のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP注	0	0	0	0	0	HIOSTOP
MSTOP	高速システム・クロックの動作制御							
		XT1発振モード時	外部クロック入力モード時		入力ポート・モード時			
	0	X1発振回路動作	EXCLK端子からの外部クロック有効		入力ポート			
1	X1発振回路停止	EXCLK端子からの外部クロック無効						
XTSTOP注	サブシステム・クロックの動作制御							
		XT1発振モード時	外部クロック入力モード時		入力ポート・モード時			
	0	XT1発振回路動作	EXCLKS端子からの外部クロック有効		入力ポート			
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効						
HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御							
	0	高速オンチップ・オシレータ動作						
	1	高速オンチップ・オシレータ停止						

注 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注意1. リセット解除後は、クロック動作モード制御レジスタ(CMC)を設定してからCSCレジスタを設定してください。

注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ(OSTS)を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。

注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注意4. XSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意5. CPU/周辺ハードウェア・クロック(fCLK)に選択しているクロックは、CSCレジスタで停止させないでください。

注意6. クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。

表5-2 クロック停止方法

クロック	クロック停止(外部クロック入力無効)前条件	CSCレジスタのフラグ設定
X1クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CPU/周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
外部サブシステム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
------	-------	-------	--------	--------	--------	--------	--------	--------

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁸ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

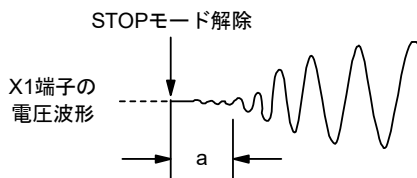
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていき、そのまま“1”を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作(MSTOP = 0)後、OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-6 発振安定時間選択レジスタ (OSTS)のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 μ s	12.8 μ s
0	0	1	$2^9/fx$	51.2 μ s	25.6 μ s
0	1	0	$2^{10}/fx$	102 μ s	51 μ s
0	1	1	$2^{11}/fx$	204 μ s	102 μ s
1	0	0	$2^{13}/fx$	819 μ s	409 μ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

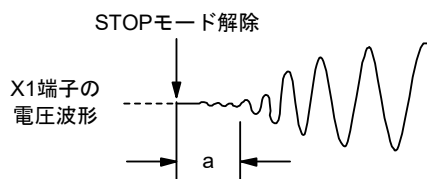
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC)のMSTOPビットを0に設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- リアルタイム・クロック2
- A/Dコンバータ, ボルテージ・リファレンス
- シリアル・インタフェース IICA0
- シリアル・アレイ・ユニット1
- シリアル・アレイ・ユニット0
- タイマ・アレイ・ユニット
- 12ビット・インターバル・タイマ
- コンパレータ
- DTC
- D/Aコンバータ
- オペアンプ

PER0, PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-7 周辺イネーブル・レジスタ0 (PER0)のフォーマット(1/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロック2 (RTC2)の入カクロック供給の制御
0	入カクロック供給停止 (fCLK供給停止) <ul style="list-style-type: none"> • リアルタイム・クロック2 (RTC2)で使用するSFRへのライト不可 • リアルタイム・クロック2 (RTC2)は動作可能
1	入カクロック供給 <ul style="list-style-type: none"> • リアルタイム・クロック2 (RTC2)で使用するSFRへのリード／ライト可 • リアルタイム・クロック2 (RTC2)は動作可能

ADCEN	A/Dコンバータ, ボルテージ・リファレンスの入カクロック供給の制御
0	入カクロック供給停止 <ul style="list-style-type: none"> • A/Dコンバータ, ボルテージ・リファレンスで使用するSFRへのライト不可 • A/Dコンバータ, ボルテージ・リファレンスはリセット状態
1	入カクロック供給 <ul style="list-style-type: none"> • A/Dコンバータ, ボルテージ・リファレンスで使用するSFRへのリード／ライト可

注意 ビット6, 1には必ず“0”を設定してください。

図5-8 周辺イネーブル・レジスタ0 (PER0)のフォーマット(2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・シリアル・インタフェースIICA0はリセット状態
1	入カクロック供給 ・シリアル・インタフェースIICA0で使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニットの入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可

注意 ビット6, 1には必ず“0”を設定してください。

図5-9 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CMPEN	0	DTCEN	0	MUXEN	DACEN

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・ 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・ 12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・ 12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

CMPEN	コンパレータの入カクロック供給の制御
0	入カクロック供給停止 ・ コンパレータで使用するSFRへのライト不可 ・ コンパレータはリセット状態
1	入カクロック供給 ・ コンパレータで使用するSFRへのリード/ライト可

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・ DTCは動作不可
1	入カクロック供給 ・ DTCは動作可

MUXEN	オペアンプのアナログMUX機能の入カクロック供給の制御
0	入カクロック供給停止 ・ オペアンプのアナログMUX機能で使用するSFRへのライト不可 ・ オペアンプのアナログMUX機能はリセット状態
1	入カクロック供給 ・ オペアンプのアナログMUX機能で使用するSFRへのリード/ライト可

DACEN	D/Aコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ・ D/Aコンバータはリセット状態
1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード/ライト可

注意 ビット6, 4, 2には必ず"0"を設定してください。

5.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDドライバ／コントローラ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2と12ビット・インターバル・タイマ、8ビット・インターバル・タイマのカウント・クロック、クロック出力／ブザー出力、LCDドライバ／コントローラの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-10 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表24-1～表24-3参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDドライバ／コントローラ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDドライバ／コントローラの動作クロックの選択	クロック出力／ブザー出力のPCLBUZn端子の出カクロックの選択
注		
0	サブシステム・クロック (f _{SUB})	サブシステム・クロック (f _{SUB}) 選択許可
1	低速オンチップ・オシレータ・クロック (f _{IL})	サブシステム・クロック (f _{SUB}) 選択禁止

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット = 0)にしてください。

注意1. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDドライバ／コントローラの全ての機能が動作停止中のみ可能です。
各機能の動作停止方法は次のとおりです。

リアルタイム・クロック2の停止設定 : RTCE = 0

12ビット・インターバル・タイマの停止設定 : RINTE = 0

8ビット・インターバル・タイマの停止設定 : TSTART00およびTSTART01 = 0

LCDドライバ／コントローラの停止設定 : SCOC = 0 かつ VLCON = 0

注意2. WUTMMCK0ビット = 1設定時にクロック出力／ブザー出力の出カクロックとしてf_{SUB}を選択することは禁止です。

備考 RTCE : リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット7
RINTE : 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のビット15
SCOC : LCDモード・レジスタ1 (LCDM1)のビット6
VLCON : LCDモード・レジスタ1 (LCDM1)のビット5
TSTART00 : 8ビット・インターバル・タイマ制御レジスタ0 (TRTCR0) のビット0
TSTART01 : 8ビット・インターバル・タイマ制御レジスタ0 (TRTCR0) のビット2

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト(000C2H)で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト(000C2H)のFRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図5-11 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _H = 24 MHz	設定禁止
0	0	1	f _H = 12 MHz	f _H = 16 MHz
0	1	0	f _H = 6 MHz	f _H = 8 MHz
0	1	1	f _H = 3 MHz	f _H = 4 MHz
1	0	0	設定禁止	f _H = 2 MHz
1	0	1	設定禁止	f _H = 1 MHz
上記以外			設定禁止	

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	0	LS (低速メイン)モード	1 MHz~8 MHz	1.8 V~3.6 V
1	1	HS (高速メイン)モード	1 MHz~16 MHz	2.4 V~3.6 V
			1 MHz~24 MHz	2.7 V~3.6 V

注意2. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック(f_H)をCPU/周辺ハードウェア・クロック(f_{CLK})に選択している状態で行ってください。



注意3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。なお、HOCODIVレジスタに同じ値を設定した場合でも、最大3クロックのCPU/周辺ハードウェア・クロックウエイトが発生します。

- 変更前の周波数で最大3クロック動作
- 変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウエイト

注意4. システム・クロックにX1発振/外部発振入力/サブシステム・クロックを設定しているときに高速オンチップ・オシレータ周波数を変更する場合は、CSCレジスタのビット0 (HISTOP)を1にセットし、高速オンチップ・オシレータを停止させてから周波数を変更してください。

5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMは、8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。

温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5-12 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)のフォーマット

アドレス : F00A0H リセット時 : 注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0
	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ	
	0	0	0	0	0	0	最低速	
	0	0	0	0	0	1	↑ ↓	
	0	0	0	0	1	0		
	0	0	0	0	1	1		
	0	0	0	1	0	0		
	.							
	1	1	1	1	1	0		
	1	1	1	1	1	1	最高速	

注 リセット値は出荷時に調整した値です。

備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRMレジスタの使用例は、RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~20 MHz)によって発振します。また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。X1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット7, 6 (EXCLK, OSCSEL)を次のように設定してください。

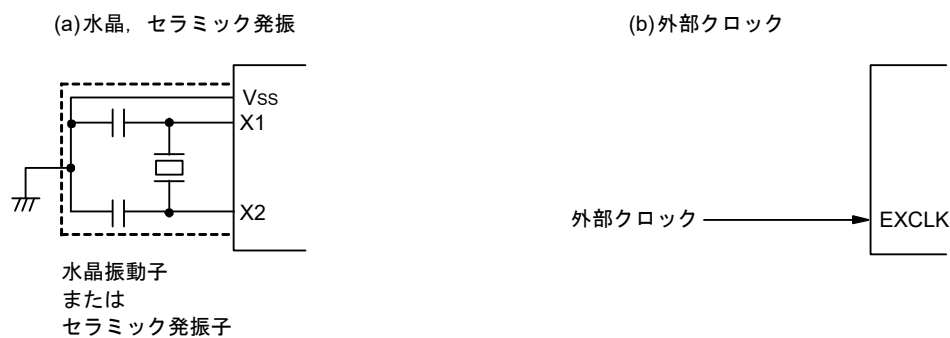
- 水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-13にX1発振回路の外付け回路例を示します。

図5-13 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子(標準 : 32.768 kHz)によって発振します。

XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット4 (OSCSELS)に1を設定してください。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット5, 4 (EXCLKS, OSCSELS)を次のように設定してください。

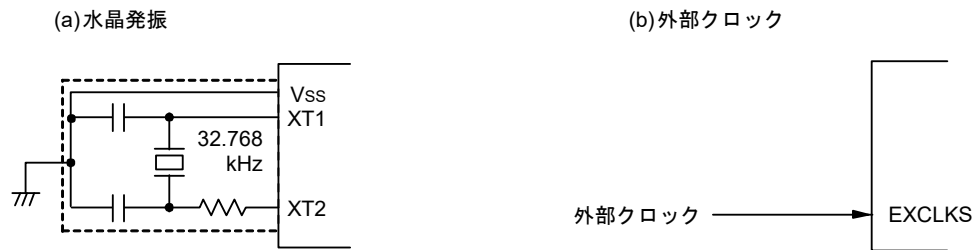
- 水晶発振 : EXCLKS, OSCSELS = 0, 1
- 外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は、入力ポート・モード(EXCLKS, OSCSELS = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-14にXT1発振回路の外付け回路例を示します。

図5-14 XT1発振回路の外付け回路例



注意 XT1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-13、図5-14の破線の部分を次のように配線してください。

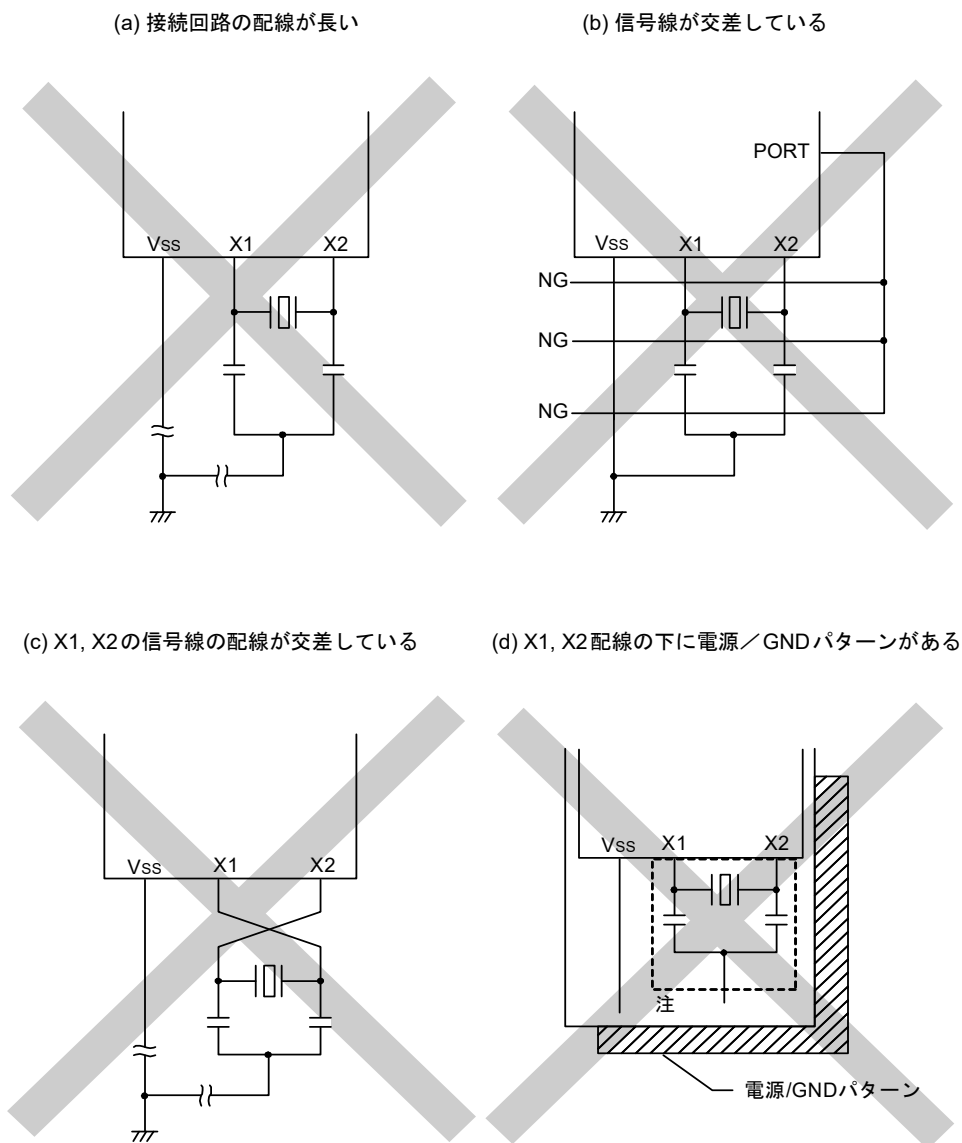
- 配線は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1, AMPHS0 = 1, 0) を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグランド・パターンを配置してください。
- XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

図5 - 15に発振子の接続の悪い例を示します。

図5 - 15 発振子の接続の悪い例(1/2)



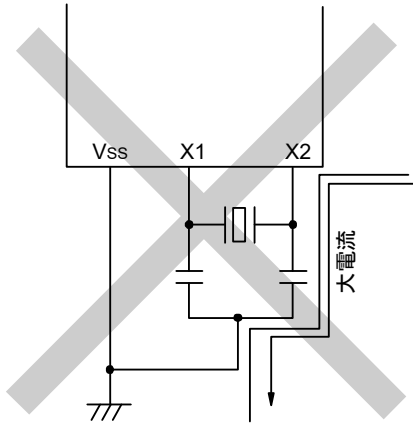
注 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

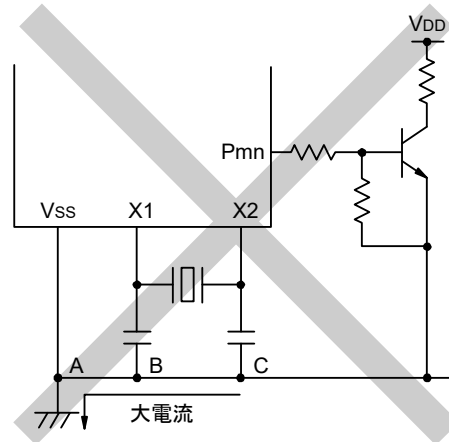
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。

図5-16 発振子の接続の悪い例(2/2)

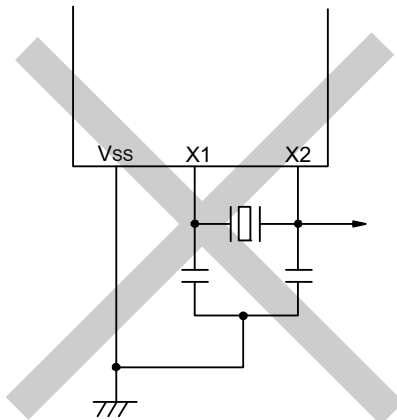
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点、B点、C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。

5.4.3 高速オンチップ・オシレータ

RL78/L1Aは、高速オンチップ・オシレータを内蔵しています。オプションバイト (000C2H) により 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP)にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.4 低速オンチップ・オシレータ

RL78/L1Aは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ, リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDコントローラ/ドライバのクロックとして使用します。CPUクロックとして使用できません。

ウォッチドッグ・タイマの動作時, またはサブシステム・クロック供給モード制御レジスタ (OSMC) のビット4 (WUTMMCK0)が1のときに低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつWUTMMCK0 = 0のとき, 低速オンチップ・オシレータは停止します。

5.5 クロック発生回路の動作

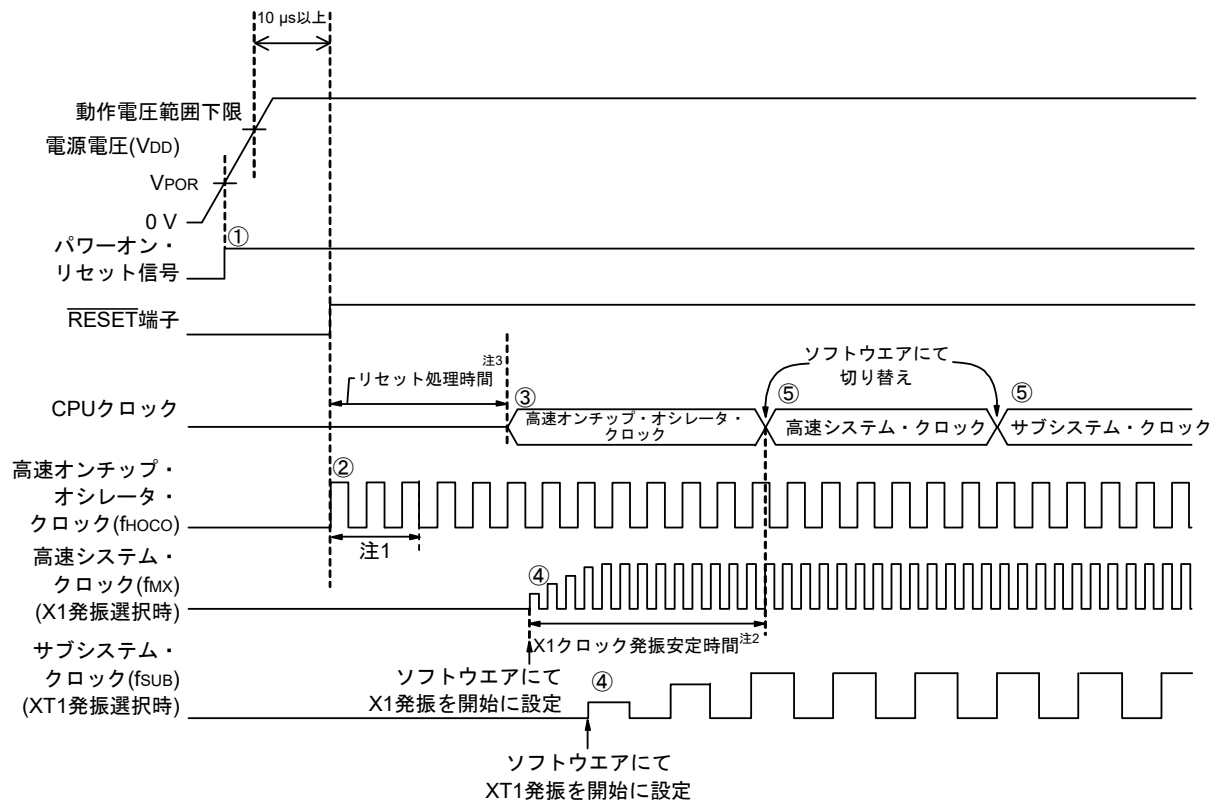
クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します(図5-1を参照)。

- メイン・システム・クロック fMAIN
 - ・高速システム・クロック fMX
 - X1クロック fx
 - 外部メイン・システム・クロック fEX
 - ・高速オンチップ・オシレータ・クロック fHOCO

- サブシステム・クロック fSUB
 - ・XT1クロック fXT
 - ・外部サブシステム・クロック fEXT
- 低速オンチップ・オシレータ・クロック fiL
- CPU/周辺ハードウェア・クロック fCLK

RL78/L1Aでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、図5-17に示します。

図5-17 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット(POR)回路による内部リセット信号が発生されます。
ただし、35.4 AC特性に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます(上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.2 X1発振回路の設定例, 5.6.3 XT1発振回路の設定例を参照)。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.2 X1発振回路の設定例, 5.6.3 XT1発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注3. リセット処理時間は、第26章 パワーオン・リセット回路を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU / 周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL3 により、24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・	7	6	5	4	3	2	1	0
バイト (000C2H)	CMODE1 1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
1	0	LS (低速メイン)モード	VDD = 1.8 V ~ 3.6 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン)モード	VDD = 2.4 V ~ 3.6 V @ 1 MHz ~ 16 MHz VDD = 2.7 V ~ 3.6 V @ 1 MHz ~ 24 MHz
上記以外		設定禁止	

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
				fHOCO	fIH
0	0	0	0	24 MHz	24 MHz
1	0	0	1	16 MHz	16 MHz
0	0	0	1	12 MHz	12 MHz
1	0	1	0	8 MHz	8 MHz
0	0	1	0	6 MHz	6 MHz
1	0	1	1	4 MHz	4 MHz
0	0	1	1	3 MHz	3 MHz
1	1	0	0	2 MHz	2 MHz
1	1	0	1	1 MHz	1 MHz
上記以外				設定禁止	

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _H = 24 MHz	設定禁止
0	0	1	f _H = 12 MHz	f _H = 16 MHz
0	1	0	f _H = 6 MHz	f _H = 8 MHz
0	1	1	f _H = 3 MHz	f _H = 4 MHz
1	0	0	設定禁止	f _H = 2 MHz
1	0	1	設定禁止	f _H = 1 MHz
上記以外			設定禁止	

5.6.2 X1発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをfCLKに設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット(1)、 $f_x > 10$ MHz以上の場合はAMPHビットをセット(1)してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	0/1

AMPHビット：X1発振クロックが10 MHz以下の場合は0を設定してください。

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。

例)10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア(0)してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例)10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOP ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では値を保持します。

5.6.3 XT1 発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOPモード時およびサブHALTモード時にリアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDコントローラ／ドライバのみサブシステム・クロックで動作 (超低消費電流) させる場合は RTCLPC ビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

- ② CMCレジスタの OSCSELS ビットをセット (1) して XT1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1 ビット : XT1 発振回路の発振モードを設定します。

- ③ CSCレジスタの XTSTOP ビットをクリア (0) して XT1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

- ⑤ CKCレジスタの CSS ビットで XT1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

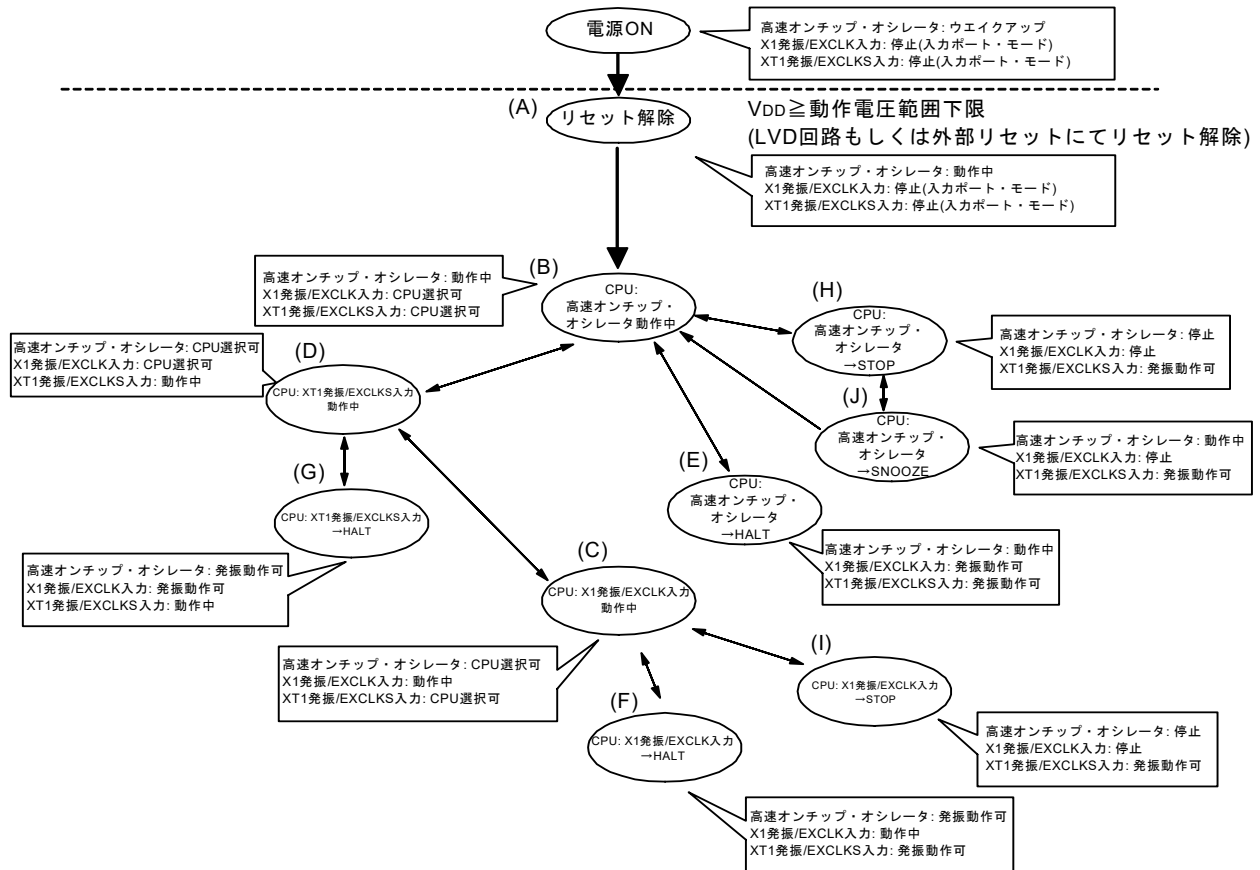
	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOP ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

5.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-18に示します。

図5-18 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-3～表5-7に示します。

表5-3 CPUクロックの移行とSFRレジスタの設定例(1/5)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要(リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注				CSC レジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) → (B) → (D) (XT1クロック)	0	1	0/1	0/1	0	必要	1
(A) → (B) → (D) (外部サブ・クロック)	1	1	×	×	0	必要	1

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1. × : don't care

備考2. 表5-3～表5-7の(A)～(J)は、図5-18の(A)～(J)と対応しています。

表5-4 CPUクロックの移行とSFRレジスタの設定例(2/5)

(4) CPUを高速オンチップ・オシレータ・クロック動作(B)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ MCM0
	EXCLK	OSCSEL	AMPH	EXCLK	OSCSEL	AMPH				
(B) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0				注2	0	確認必要	1
(B) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1				注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×				注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。
 ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速オンチップ・オシレータ・クロック動作(B)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ ^注			CSC レジスタ XTSTOP	発振安定 待ち	CKC レジスタ CSS
	EXCLKS	OSCSELS	AMPHS1,0	EXCLKS	OSCSELS	AMPHS1,0			
(B) → (D) (XT1クロック)	0	1	00: 低消費発振 01: 通常発振 10: 超低消費発振				0	必要	1
(B) → (D) (外部サブ・クロック)	1	1	×				0	必要	1

設定済みの場合は不要
 サブシステム・クロック
動作中の場合は不要

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

備考1. × : don't care

備考2. 表5-3~表5-7の(A)-(J)は、図5-18の(A)-(J)と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例(3/5)

(6) CPUを高速システム・クロック動作(C)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) → (B)		0	18 μs ~ 65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

(7) CPUを高速システム・クロック動作(C)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		XTSTOP		CSS
(C) → (D)		0	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作(D)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		CSS
(D) → (B)		0	18 μs ~ 65 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考1. 表5-3～表5-7の(A)～(J)は、図5-18の(A)～(J)と対応しています。

備考2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5-6 CPUクロックの移行とSFRレジスタの設定例(4/5)

(9) CPUをサブシステム・クロック動作(D)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
		MSTOP		CSS
(D) → (C) (X1クロック : $1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$)	注	0	確認必要	0
(D) → (C) (X1クロック : $10 \text{ MHz} < f_x \leq 20 \text{ MHz}$)	注	0	確認必要	0
(D) → (C) (外部メイン・クロック)	注	0	確認不要	0

高速システム・クロック動作中の場合は不要

注 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 \leq OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(10) CPUが高速オンチップ・オシレータ・クロック動作中(B)にHALTモード(E)へ移行

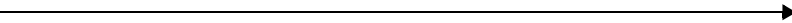
- ・CPUが高速システム・クロック動作中(C)にHALTモード(F)へ移行
- ・CPUがサブシステム・クロック動作中(D)にHALTモード(G)へ移行

状態遷移	設定内容
(B) → (E)	HALT命令を実行する
(C) → (F)	
(D) → (G)	

備考 表5-3~表5-7の(A)-(J)は、図5-18の(A)-(J)と対応しています。

表5-7 CPUクロックの移行とSFRレジスタの設定例(5/5)

- (11) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード(H)へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード(I)へ移行

(設定順序) 

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作禁止	—	STOP命令を実行する
(C) → (I)	X1発振	の周辺機能を停止する	OSTSレジスタを設定する	
	外部クロック		—	

- (12) STOPモード(H)からSNOOZEモード(J)へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、17.5.7 SNOOZEモード機能、17.7.3 SNOOZEモード機能を参照してください。

備考 表5-3～表5-7の(A)～(J)は、図5-18の(A)～(J)と対応しています。

5.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-8 CPUクロックの移行について (1/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止(HIOSTOP = 1)すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
	外部メイン・システム・クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)

表5-9 CPUクロックの移行について(2/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	・ 移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、XT1発振停止に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	外部サブシステム・クロック	移行不可	—

表5 - 10 CPUクロックの移行について(3/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	XT1クロック	移行不可	—

5.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット4, 6 (MCM0, CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック⇄サブシステム・クロック), メイン・システム・クロックの切り替え (高速オンチップ・オシレータ・クロック→高速システム・クロック) をすることができます。

実際の切り替え動作は, CKCレジスタを書き換えた直後ではなく, CKCレジスタを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-11~表5-13参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCレジスタのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか, 高速オンチップ・オシレータ・クロックで動作しているかは, CKCレジスタのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表5-11 メイン・システム・クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	備考
f _{IH}	↔	f _{MX}	表5-12参照
f _{MAIN}	↔	f _{SUB}	表5-13参照

表5-12 f_{IH}⇄f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} ≥ f _{IH}		2クロック
	f _{MX} < f _{IH}		2f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} ≥ f _{IH}	2f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	2クロック	

表5-13 f_{MAIN}⇄f_{SUB}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 (f _{CLK} = f _{MAIN})	1 (f _{CLK} = f _{SUB})
0 (f _{CLK} = f _{MAIN})			1 + 2f _{MAIN} /f _{SUB} クロック
1 (f _{CLK} = f _{SUB})		3クロック	

備考1. 表5-12, 表5-13のクロック数は, 切り替え前のCPUクロックのクロック数です。

備考2. 表5-12, 表5-13のクロック数は, 小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システムクロックから高速オンチップ・オシレータ・クロックに切り替える場合

(f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時)

$2 f_{MX}/f_{IH} = 2 (10/8) = 2.5 \rightarrow 3$ クロック

5.6.7 クロック発振停止前の条件

クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件を次に示します。
クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5 - 14 クロック発振停止前の条件とフラグ設定

クロック	クロック停止(外部クロック入力無効)前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CLS = 0	XTSTOP = 1
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	

5.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数(参考)は、当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図5 - 19 外付け回路例

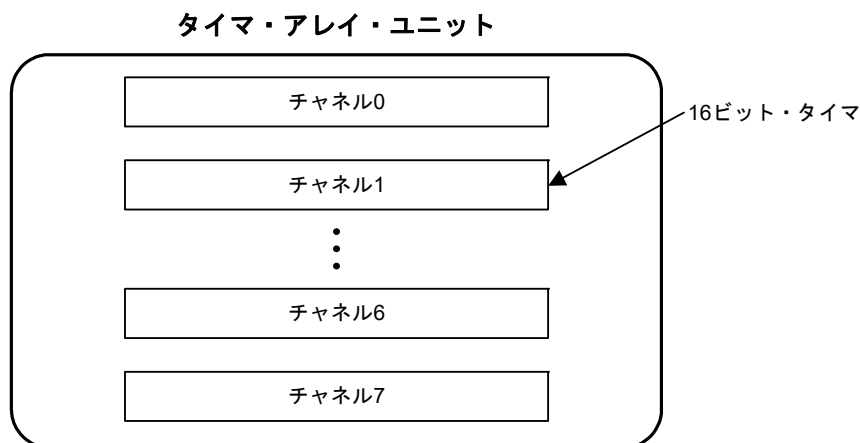


第6章 タイマ・アレイ・ユニット

注意 この章では、以降の主な説明を100ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照ください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> • インターバル・タイマ(→6.8.1参照) • 方形波出力(→6.8.1参照) • 外部イベント・カウンタ(→6.8.2参照) • 入力パルス間隔測定(→6.8.3参照) • 入力信号のハイ/ロウ・レベル幅測定(→6.8.4参照) • デイレイ・カウンタ(→6.8.5参照) 	<ul style="list-style-type: none"> • ワンショット・パルス出力(→6.9.1参照) • PWM出力(→6.9.2参照) • 多重PWM出力(→6.9.3参照)

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ(上位/下位)として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ(上位/下位8ビット・タイマ)/方形波出力(下位8ビット・タイマのみ)
- 外部イベント・カウンタ(下位8ビット・タイマのみ)
- デイレイ・カウント(下位8ビット・タイマのみ)

また、チャンネル7は、シリアル・アレイ・ユニットのUART0と連携し、LIN-bus通信動作を実現することができます。

6.1 タイマ・アレイ・ユニットの機能

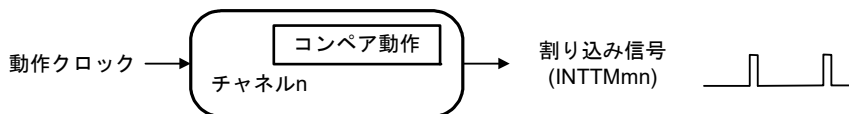
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

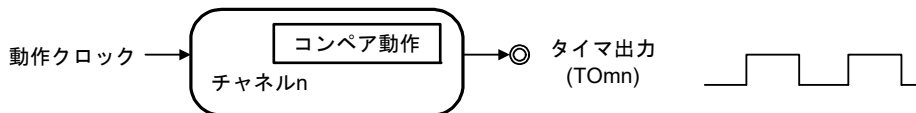
(1) インターバル・タイマ

一定間隔で割り込み(INTTMmn)を発生する基準タイマとして利用できます。



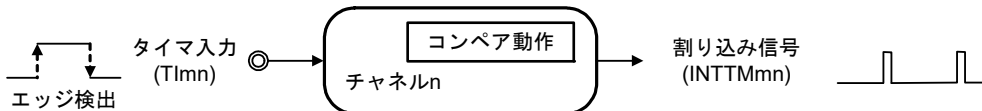
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子 (TOmn)より出力します。



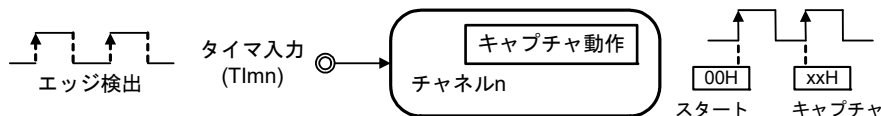
(3) 外部イベント・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



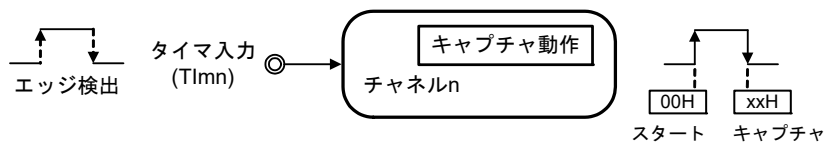
(4) 入力パルス間隔測定

タイマ入力端子(TImn)に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



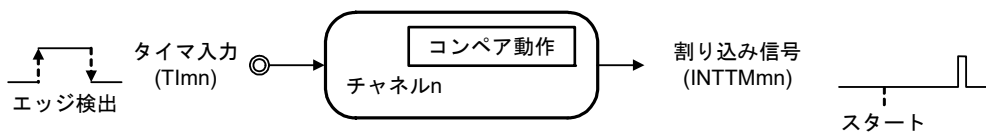
(5) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子(TImn)に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(6) デイレイ・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

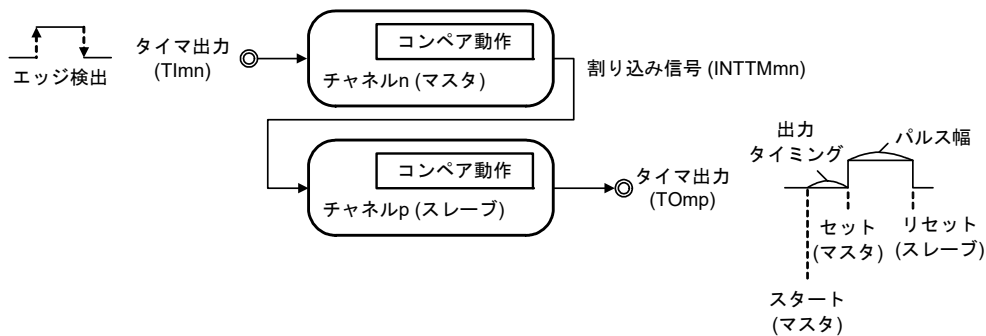
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期を制御する基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせることで実現する機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

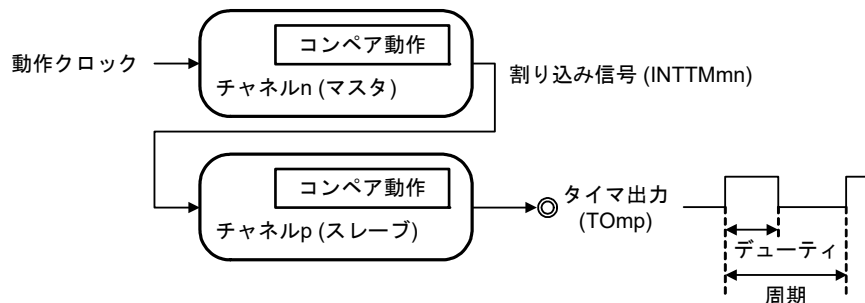
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



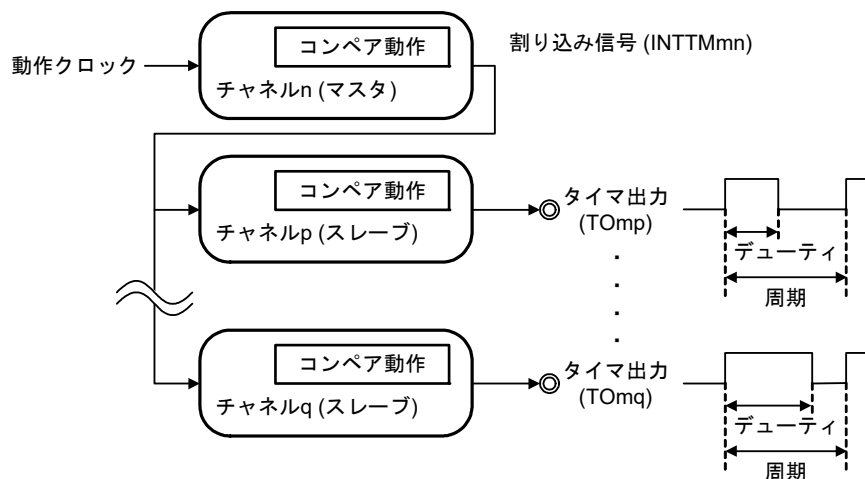
(2) PWM (Pulse Width Modulation)出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation)出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7),

p, q : スレーブ・チャンネル番号 (n < p < q ≤ 7)

6.1.3 8ビット・タイマ動作機能(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)を参照してください。

6.1.4 LIN-bus 対応機能(チャンネル7のみ)

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus 対応機能の動作設定については、6.3.13 入力切り替え制御レジスタ (ISC)、6.8.4 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI07, RxD0 端子(LIN-bus用)
タイマ出力	TO00-TO07, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ 0 (PER0) ・タイマ・クロック選択レジスタ m (TPSm) ・タイマ・チャンネル許可ステータス・レジスタ m (TEm) ・タイマ・チャンネル開始レジスタ m (TSm) ・タイマ・チャンネル停止レジスタ m (TTm) ・タイマ入力選択レジスタ 0 (TIS0) ・タイマ出力許可レジスタ m (TOEm) ・タイマ出力レジスタ m (TOm) ・タイマ出力レベル・レジスタ m (TOLm) ・タイマ出力モード・レジスタ m (TOMm) <hr/> <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタ mn (TMRmn) ・タイマ・ステータス・レジスタ mn (TSRmn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 1 (NFEN1) ・ポート・モード・コントロール・レジスタ (PMCxx)注 ・ポート・モード・レジスタ (PMxx)注 ・ポート・レジスタ (Pxx)注

注 製品によって設定するポート・モード・レジスタ (PMxx)とポート・レジスタ (Pxx)が異なります。詳細は、4.5.4 SEGxx端子兼用ポートの動作を参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

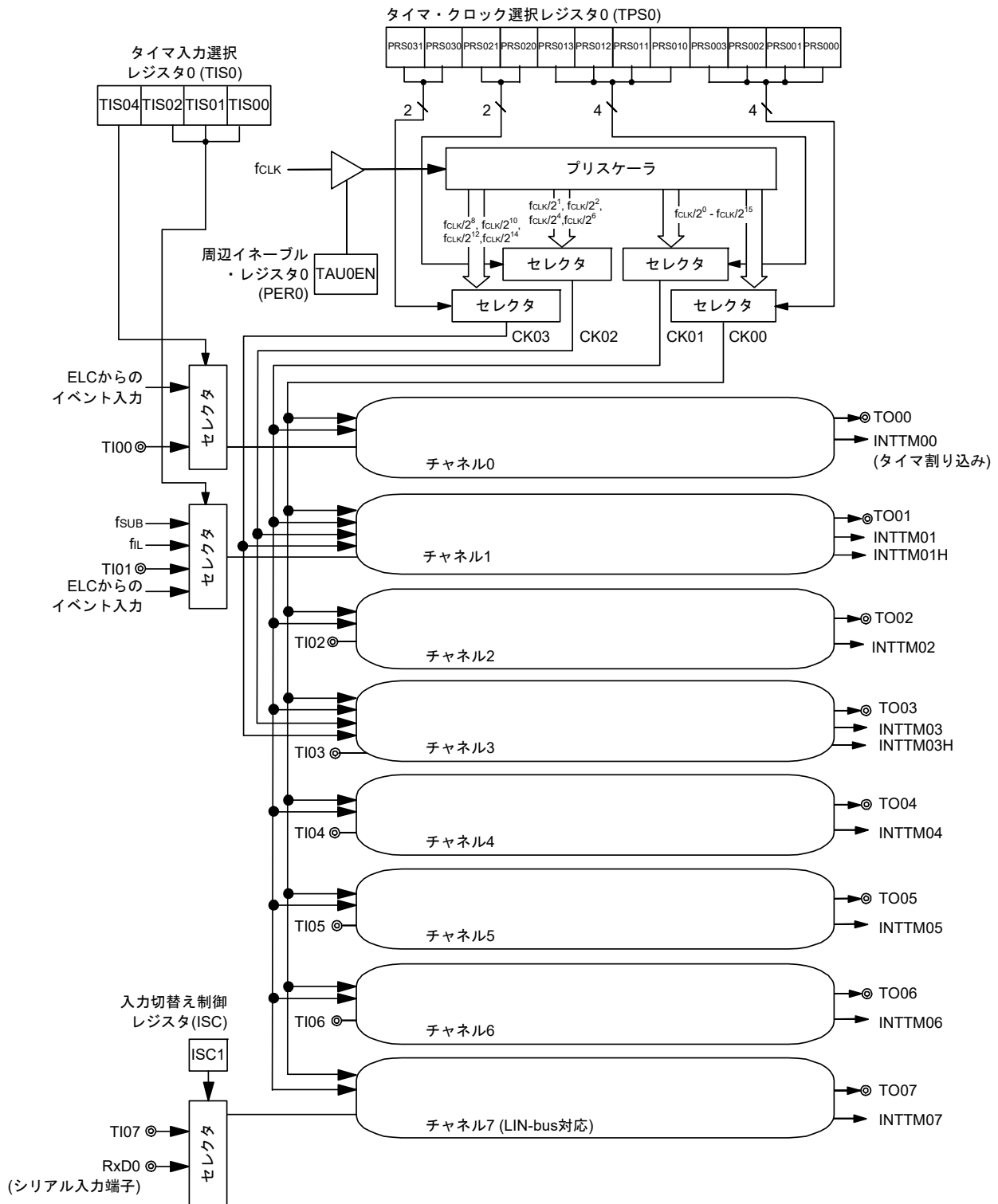
タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子のポートとの兼用は、下記の通りです。

表6-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ ユニット・チャンネル	100ピン	80ピン
チャンネル0	TI00/TO00	
チャンネル1	TI01/TO01	
チャンネル2	TI02/TO02	
チャンネル3	TI03/TO03	
チャンネル4	TI04/TO04	
チャンネル5	TI05/TO05	
チャンネル6	TI06/TO06	
チャンネル7	TI07/TO07	

図6-1にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニットの全体ブロック図



備考 fSUB : サブシステム・クロック周波数
 fiL : 低速オンチップ・オシレータ・クロック周波数

図6-2 タイマ・アレイ・ユニットのチャンネル0内部ブロック図

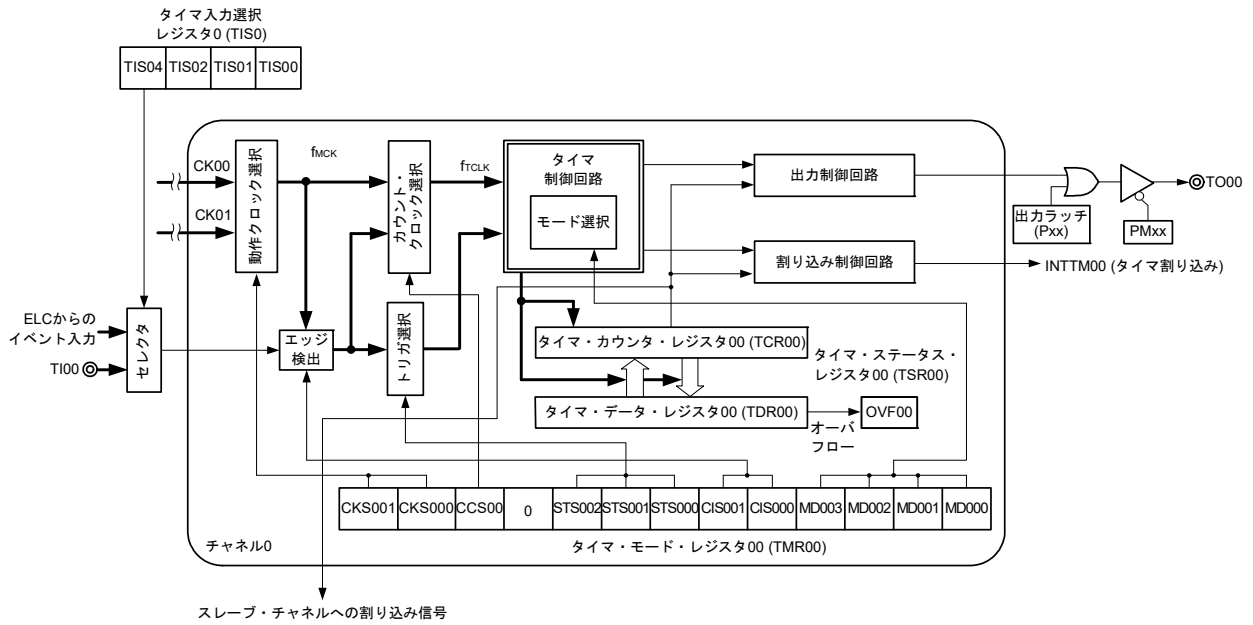


図6-3 タイマ・アレイ・ユニットのチャンネル1内部ブロック図

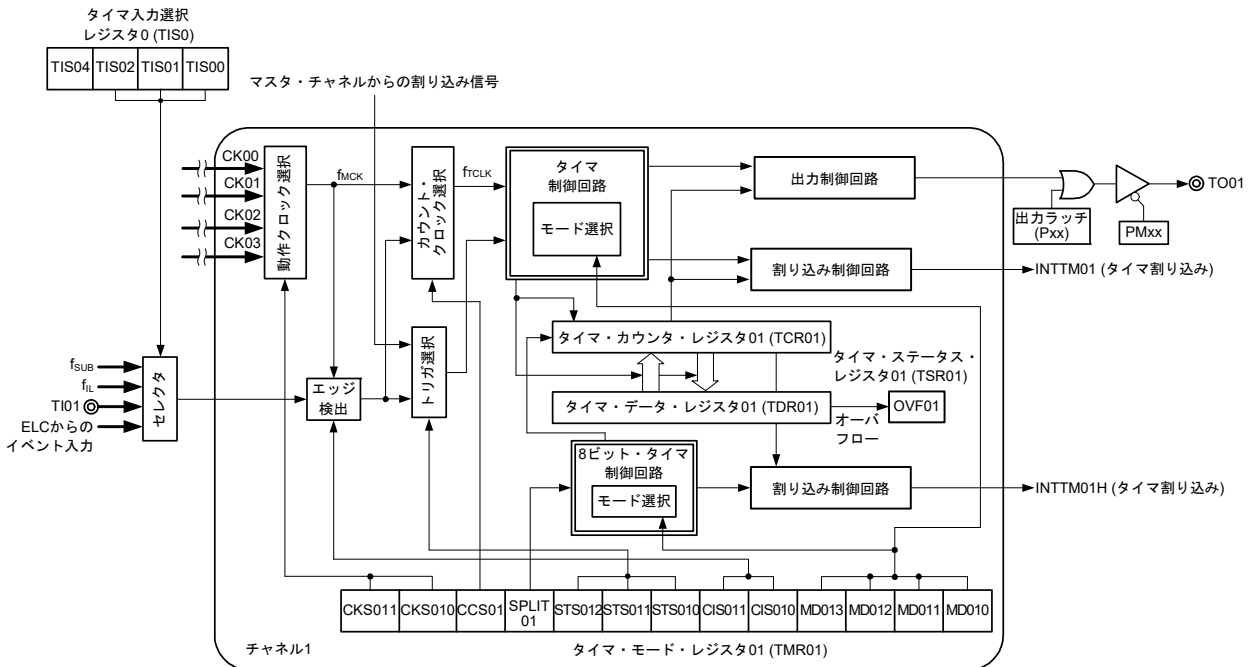
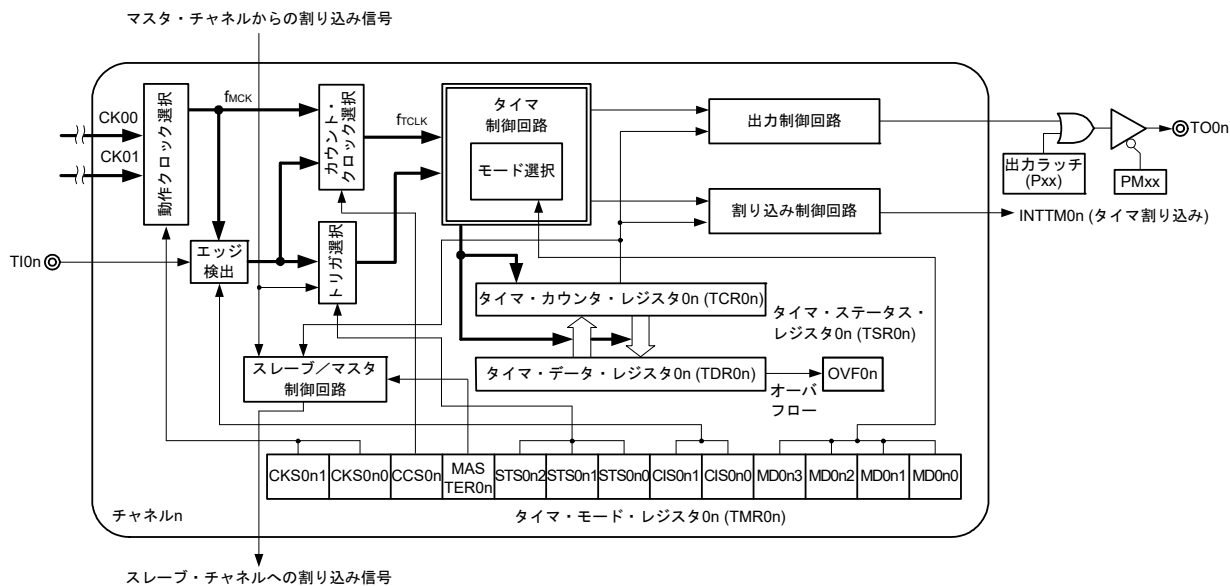


図6-4 タイマ・アレイ・ユニットのチャンネルn内部ブロック図



備考 n = 2, 4, 6

図6-5 タイマ・アレイ・ユニットのチャンネル3内部ブロック図

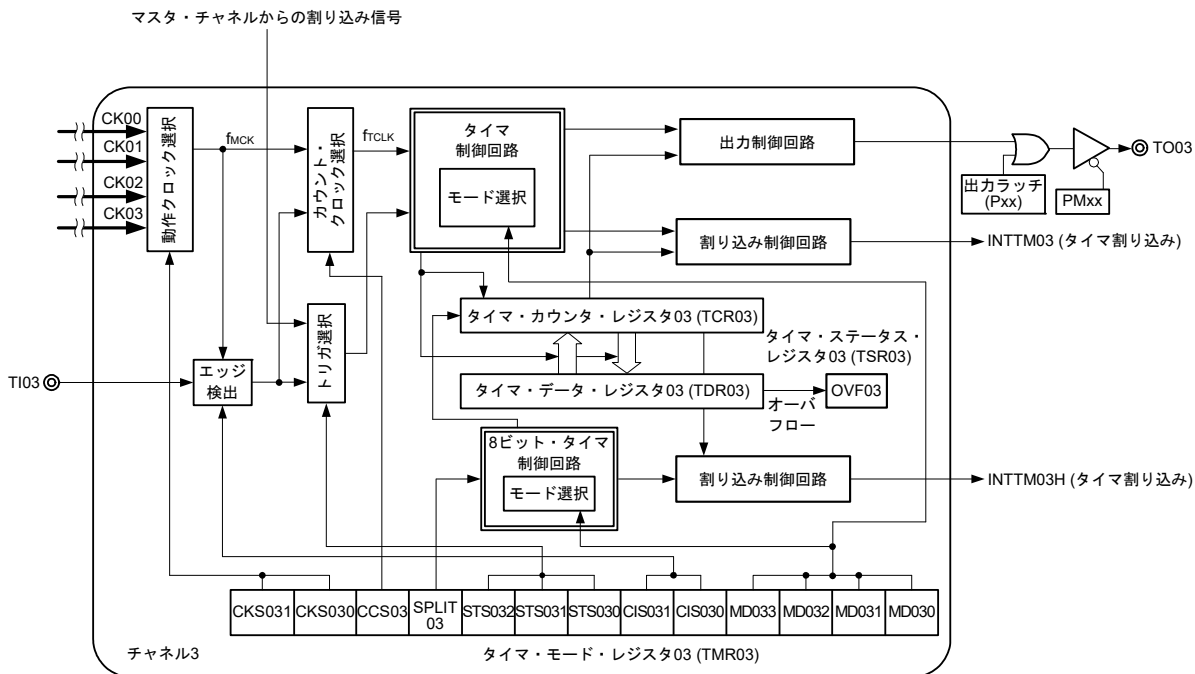


図6-6 タイマ・アレイ・ユニットのチャンネル5内部ブロック図

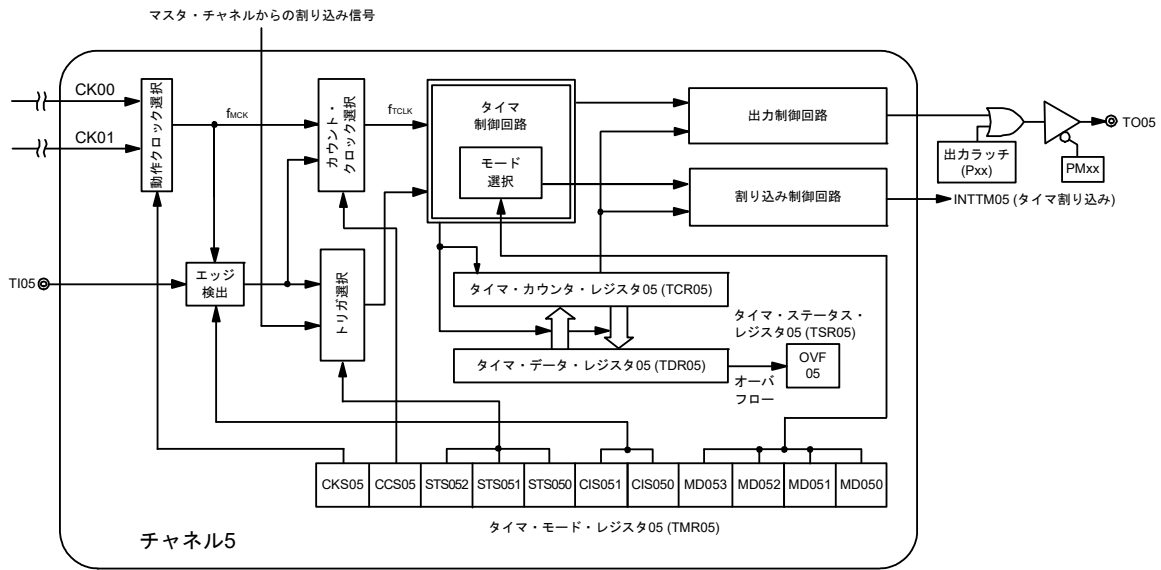
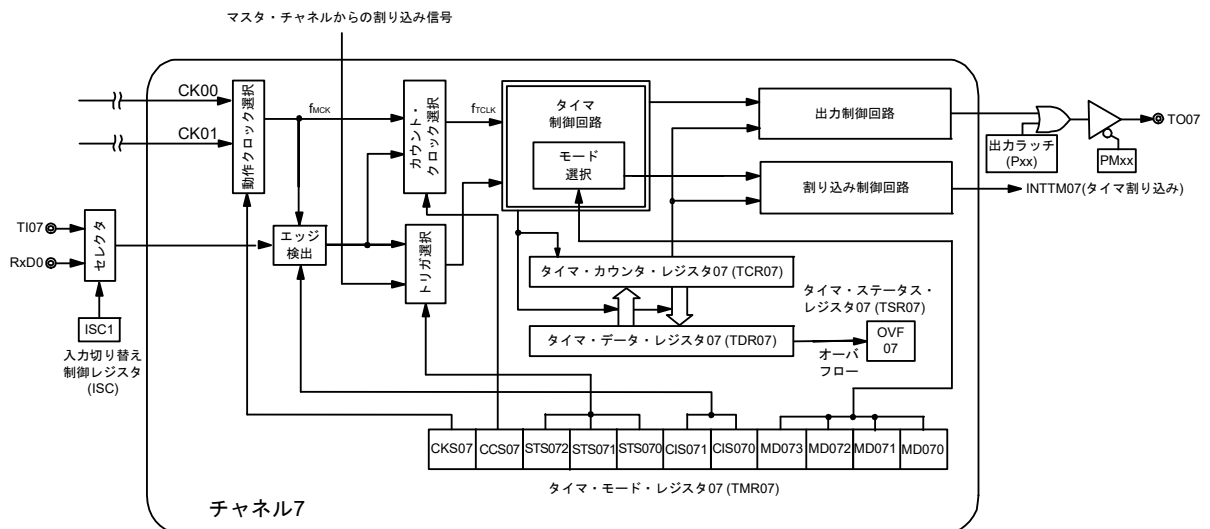


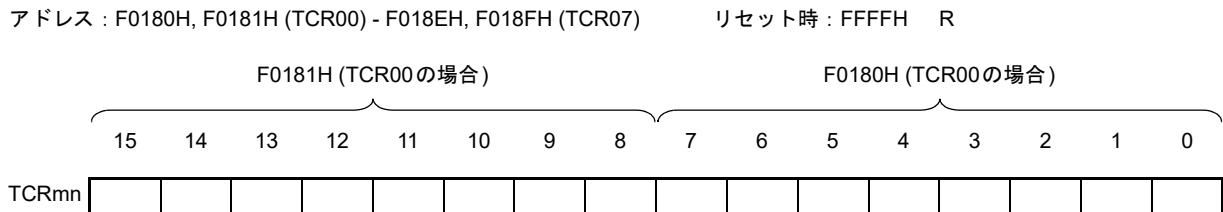
図6-7 タイマ・アレイ・ユニットのチャンネル7内部ブロック図



6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります(6.3.3 タイマ・モード・レジスタ mn (TMRmn)参照)。

図6-8 タイマ・カウンタ・レジスタ mn (TCRmn)のフォーマット



備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

タイマ・カウンタ・レジスタ mn (TCRmn)をリードすることにより、カウント値をリードできます。
 次の場合、カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺イネーブル・レジスタ 0 (PER0)のTAUmENビットをクリアしたとき
- PWM出力モードで、スレーブ・チャネルのカウント完了時
- ディレイ・カウント・モードで、スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ/スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで、スレーブ・チャネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn)にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-3 各動作モード時のタイマ・カウンタ・レジスタ mn (TCRmn)読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn)の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1)した場合の値	カウント動作を一時停止 (TTmn = 1)後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ & ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmnレジスタのキャプチャ値 + 1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0)かつカウント動作許可状態 (TSmn = 1)にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3)のSPLITビットが1)に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位での書き換えが可能になります。読み出しは、16ビット単位でのみ可能です。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図6-9 タイマ・データ・レジスタ mn (TDRmn) (n = 0, 2, 4-7)のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), リセット時 : 0000H R/W
 FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)

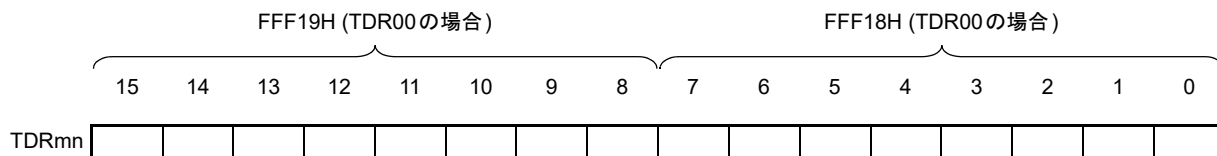
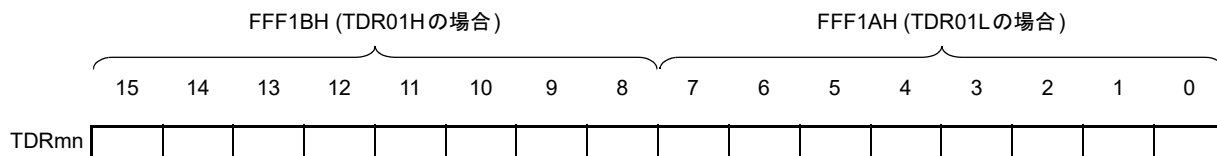


図6-10 タイマ・データ・レジスタ mn (TDRmn) (n = 1, 3)のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W



(i) タイマ・データ・レジスタ mn (TDRmn)をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号(INTTMmn)を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ mn (TDRmn)をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn)のカウンタ値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn)で設定します。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-7)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- タイマ・チャンネル開始レジスタ m (TSm)
- タイマ・チャンネル停止レジスタ m (TTm)
- タイマ入力選択レジスタ 0 (TIS0)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 1 (NFEN1)
- ポート・モード・コントロール・レジスタ (PMCxx)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は、必ずビット 0 (TAU0EN) を 1 に設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0 レジスタは 00H になります。

図 6 - 11 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニットで使用する SFR へのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用する SFR へのリード／ライト可

注意 1. タイマ・アレイ・ユニットの設定をする際には、必ず最初に TAUmEN = 1 の状態で、下記のレジスタの設定を行ってください。TAUmEN = 0 の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます(タイマ入力選択レジスタ 0 (TIS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ 1 (NFEN1), ポート・モード・レジスタ 0, 3, 5, 7 (PM0, PM3, PM5, PM7), ポート・レジスタ 0, 3, 5, 7 (P0, P3, P5, P7) は除く)。

- ・タイマ・クロック選択レジスタ m (TPSm)
- ・タイマ・モード・レジスタ mn (TMRmn)
- ・タイマ・ステータス・レジスタ mn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- ・タイマ・チャンネル開始レジスタ m (TSm)
- ・タイマ・チャンネル停止レジスタ m (TTm)
- ・タイマ出力許可レジスタ m (TOEm)
- ・タイマ出力レジスタ m (TOM)
- ・タイマ出力レベル・レジスタ m (TOLm)
- ・タイマ出力モード・レジスタ m (TOMm)

注意 2. ビット 1, 6 には必ず“0”を設定してください。

6.3.2 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で、CKm1はTPSmレジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で、CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm0を選択(CKSmn1, CKSmn0 = 0, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm2を選択(CKSmn1, CKSmn0 = 0, 1)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択(CKSmn1, CKSmn0 = 1, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択(CKSmn1, CKSmn0 = 1, 1)しているチャンネルがすべて停止状態(TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図6-12 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk)の選択注(k = 0, 1)					
				fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	fCLK/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。



注意2. 動作クロック(CKmk)にfCLK(分周なし)を選択し、TDR0n = 0000H (n = 0-7)を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2ⁿの波形は、単純に2ⁿ分周した波形ではなく、その立ち上がりからfCLKの1周期分ハイ・レベルになります。詳しくは、6.5.1 カウント・クロック(fCLK)を参照してください。

図6-13 タイマ・クロック選択レジスタm (TPSm)のフォーマット(2/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2)の選択注					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	1	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
1	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
1	1	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156.2 kHz	313 kHz	375 kHz

PRS m31	PRS m30	動作クロック (CKm3)の選択注					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。

動作クロック (fMCK), TImn 端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット 15, 14, 11, 10には、必ず0を設定してください。

チャンネル 1, 3 を 8 ビット・タイマ・モードで使用し、CKm2, CKm3 を動作クロックとすることにより、インターバル・タイマ機能で、表 6-4 に示すインターバル時間を実現することが可能です。

表 6-4 動作クロック CKSm2, CKSm3 で設定可能なインターバル時間

クロック		インターバル時間注 (fCLK = 20 MHz)			
		16 μs	160 μs	1.6 ms	16 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 ²	○	—	—	—
	fCLK/2 ⁴	○	○	—	—
	fCLK/2 ⁶	○	○	—	—
CKm3	fCLK/2 ⁸	—	○	○	—
	fCLK/2 ¹⁰	—	○	○	—
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2iの詳細は、6.5.1 カウント・クロック (fCLK)を参照してください。

6.3.3 タイマ・モード・レジスタ mn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fMCK)の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択(チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード(インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント)設定を行います。

TMRmnレジスタは、動作中(TEmn = 1のとき)の書き換えは禁止です。ただし、ビット7, 6 (CISmn1, CISmn0)は、一部の機能で動作中(TEmn = 1のとき)の書き換えが可能です(詳細は6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6 : MASTERmn ビット(n = 2, 4, 6)

TMRm1, TMRm3: SPLITmn ビット(n = 1, 3)

TMRm0, TMRm5, TMRm7: 0 固定

図6 - 14 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fMCK)の選択													
0	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm0													
0	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm2													
1	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm1													
1	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm3													
動作クロック (fMCK)は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (fCLK)を生成します。															
動作クロック CKm2, CKm3は、チャンネル1, 3のみ選択可能です。															

CCSmn	チャンネルnの動作クロック (fCLK)の選択														
0	CKSmn0, CKSmn1ビットで指定した動作クロック (fMCK)														
1	TImn端子からの入力信号の有効エッジ チャンネル0では、TIS0で選択した入力信号の有効エッジ チャンネル1では、TIS0で選択した入力信号の有効エッジ チャンネル7では、ISCで選択した入力信号の有効エッジ														
カウント・クロック (fCLK)は、タイマ・カウンタ、出力制御回路、割り込み制御回路に使用されます。															

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウント・クロック (fCLK)にCKSmn0, CKSmn1ビットで指定した動作クロック (fMCK), TImn端子からの入力信号の有効エッジのどれを選択していても、fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6 - 15 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(2/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2, 4, 6)のビット11)

MASTERmn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作(スレーブ／マスタ)の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2, 4, 6のみマスタ・チャンネル(MASTERmn = 1)に設定できます。 チャンネル0, 5, 7は0固定となります(チャンネル0は最上位チャンネルのため, このビットの設定によらずマスタとして動作します。 また, 単独チャンネル動作機能として使用するチャンネルは, MASTERmn = 0にします。	

(TMRmn (n = 1, 3)のビット11)

SPLIT mn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効(他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用(複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注 ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

図6-16 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(3/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TIS0レジスタの設定により入力ソースがELCからのイベント入力信号以外の場合)

CIS mn1	CIS mn0	TImn端子の有効エッジ選択(n = 0, 1)
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がリエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ : 立ち上がリエッジ, キャプチャ・トリガ : 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は、CISmn1-CISmn0ビット = 10Bに設定してください。		

(TIS0レジスタの設定により入力ソースがELCからのイベント入力信号の場合)

CIS mn1	CIS mn0	TImn端子の有効エッジ選択(n = 0, 1)
0	0	00に固定してください(ELCからのイベント入力信号)。
上記以外		設定禁止

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-7)

図6-17 タイマ・モード・レジスタ mn (TMRmn)のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^{注1}	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/方形波出力/PWM出力(マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ワンショット・パルス出力/PWM出力(スレーブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウンタ
上記以外			設定禁止		

各モードの動作は、MDmn0ビットによって変わります(下表を参照)。

動作モード(MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード(0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。

- 注1. ビット11はRead onlyの0固定で、書き込みは無視されます。
- 注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力(INTTMmn), TOn出力は制御しません。
- 注3. 動作中にスタート・トリガ(TSmn = 1)が掛かると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.4 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B)のみ有効です。各動作モードでのOVFビットの動作とセット/クリア条件は表6-5を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図6-18 タイマ・ステータス・レジスタ mn (TSRmn)のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア(OVF = 0)されます。	

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

表6-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可/停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm) の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図6-19 タイマ・チャンネル許可ステータス・レジスタ m (TEm) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

TEm n	チャンネルnの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可/停止状態を表示します。	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.6 タイマ・チャンネル開始レジスタ m (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタ mn (TCRmn)を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態(TEmn, TEHm1, TEHm3 = 1)になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図6-20 タイマ・チャンネル開始レジスタ m (TSm)のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSm n	チャンネルnの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可(スタート)トリガになります。

(注意、備考は次ページにあります。)

注意1. ビット15-12, 10, 8には必ず0を設定してください。

注意2. TImn 端子入力を使用しない機能から、TImn 端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ mn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn 端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn 端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

備考1. TSm レジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

6.3.7 タイマ・チャンネル停止レジスタ m (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態(TEmn, TEHm1, TEHm3 = 0)になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図6-21 タイマ・チャンネル停止レジスタ m (TTm)のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTH m3	0	TTH m1	0	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTm n	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.8 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、チャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図6-22 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00
TIS04	チャンネル0で使用するタイマ入力の選択							
0	タイマ入力端子(TI00)の入力信号							
1	ELCからのイベント入力信号							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子(TI01)の入力信号					
0	1	0						
0	1	1						
0	0	1	ELCからのイベント入力信号					
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})					
1	0	1	サブシステム・クロック (f _{SUB})					
上記以外			設定禁止					

注意1. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK} + 10$ ns 以上必要となります。

そのため、f_{CLK}にf_{SUB}を選択時(CKSレジスタのCSS = 1)は、TIS02ビットに1を設定できません。

注意2. タイマ入力選択レジスタ0 (TIS0)で、ELCからのイベント入力信号を選択する場合、タイマ・クロック選択レジスタ0 (TPS0)はf_{CLK}を選択してください。

6.3.9 タイマ出力許可レジスタ m (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えてできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図6 - 23 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOE m7	TOE m6	TOE m5	TOE m4	TOE m3	TOE m2	TOE m1	TOE m0

TOE mn	チャンネル n のタイマ出力許可／禁止	
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。	
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視されます。	

注意 ビット 15-8 には必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.10 タイマ出力レジスタ m (TOm)

TOmレジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子(TOmn)から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時(TOEmn = 0)のみ可能です。タイマ出力許可時(TOEmn = 1)は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P03/TI00/TO00, P31/TI01/TO01, P50/TI02/TO02, P52/TI03/TO03, P51/TI04/TO04, P07/TI05/TO05, P05/TI06/TO06, P77/TI07/TO07をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000Hになります。

図6-24 タイマ出力レジスタ m (TOm)のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOm n	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 ビット15-8には必ず0を設定してください。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.11 タイマ出力レベル・レジスタ m (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図6-25 タイマ出力レベル・レジスタ m (TOLm)のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOLm	TOLm	TOLm	TOLm	TOLm	TOLm	TOLm	0
									7	6	5	4	3	2	1	
TOLmn	チャンネルnのタイマ出力レベルの制御															
0	正論理出力(アクティブ・ハイ)															
1	反転出力(アクティブ・ロウ)															

注意 ビット15-8, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.12 タイマ出力モード・レジスタ m (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能(PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOEmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図6-26 タイマ出力モード・レジスタ m (TOMm)のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOM m7	TOM m6	TOM m5	TOM m4	TOM m3	TOM m2	TOM m1	0

TOM mn	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード(タイマ割り込み要求信号(INTTMmn)によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号(INTTMmn)で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号(INTTMmp)で出力がリセットされる)

注意 ビット15-8, 0には必ず0を設定してください。

備考 m : ユニット番号(m = 0)

n : チャンネル番号

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号

n < p ≤ 7

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルール参照してください)

6.3.13 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、チャンネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。ISC1ビットに1を設定すると、シリアル・データ入力端子(RxD0)の入力信号がタイマ入力として選択されます。

SSIE00ビットの設定については、17.3.15 入力切り替え制御レジスタ (ISC)を参照してください。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図6 - 27 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0
SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0のSSI00入力の設定							
0	SSI00端子入力の無効							
1	SSI00端子入力の有効							
ISC1	タイマ・アレイ・ユニット0のチャンネル7の入力切り替え							
0	TI07端子の入力信号をタイマ入力とする(通常動作)							
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)							
ISC0	外部割り込み(INTP0)の入力切り替え							
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)							
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)							

注意 ビット6-2に必ず0を設定してください。

備考 LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

6.3.14 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、6.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、6.5.2 カウンタのスタート・タイミング、6.7 タイマ入力 (TImn) の制御を参照してください。

図6-28 ノイズ・フィルタ許可レジスタ1 (NFEN1)のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
	TI07端子またはRxD0端子入力信号のノイズ・フィルタ使用可否注							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI06端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI05端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI04端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI03端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI02端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI01端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI00端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						

注 入力切り替え制御レジスタ (ISC)のISC1ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0に設定 : TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定 : RxD0端子のノイズ・フィルタ使用可否選択が可能

6.3.15 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャンネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート・モード・コントロール・レジスタ (PMCxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)を参照してください。

また、製品によって設定するポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート・モード・コントロール・レジスタ (PMCxx)が異なります。詳細は、4.5.4 SEGxx端子兼用ポートの動作を参照してください。

タイマ出力端子を兼用するポート(P03/TI00/TO00, P05/TI06/TO06など)をタイマ出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)のビットおよびポート・レジスタ (Pxx)のビットに0を設定してください。

- (例) P05/TO06/TI06をタイマ出力として使用する場合
ポート・モード・レジスタ0のPM05ビットを0に設定
ポート・レジスタ0のP05ビットを0に設定

タイマ入力端子を兼用するポート(P03/TI00/TO00, P05/TI06/TO06など)をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)のビットに1を設定してください。このときポート・レジスタ (Pxx)のビットは、0または1のどちらでもかまいません。

- (例) P05/TO06/TI06をタイマ入力として使用する場合
ポート・モード・レジスタ0のPM05ビットを1に設定
ポート・レジスタ0のP05ビットは0または1に設定

備考1. P43/(TI00)/(TO00)/IVCMP0は、アナログ入力と兼用になっています。タイマ入出力機能を使用する場合には、デジタル入出力／アナログ入力を切り替えるPMC4レジスタの対応するビットを必ず“0”に設定してください。

備考2. セグメント出力と兼用になっているポートをタイマ入出力機能として使用する場合は、LCD ポート・ファンクション・レジスタ0-5(PFSEG0-PFSEG5)の対応するビットを必ず“0”に設定してください。

備考3. P125/(TI06)/(TO06)/VL3端子をタイマ入出力機能として使用する場合は、LCD 入力切り換え制御レジスタ (ISCLCD)のISCVL3ビットを必ず“1”に設定してください。

備考4. P126/(TI05)/(TO05)/CAPL, P127/(TI04)/(TO04)/CAPH端子をタイマ入出力機能として使用する場合は、LCD入力切り換え制御レジスタ (ISCLCD)のISCCAPビットを必ず“1”に設定してください。

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期をカウントする基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

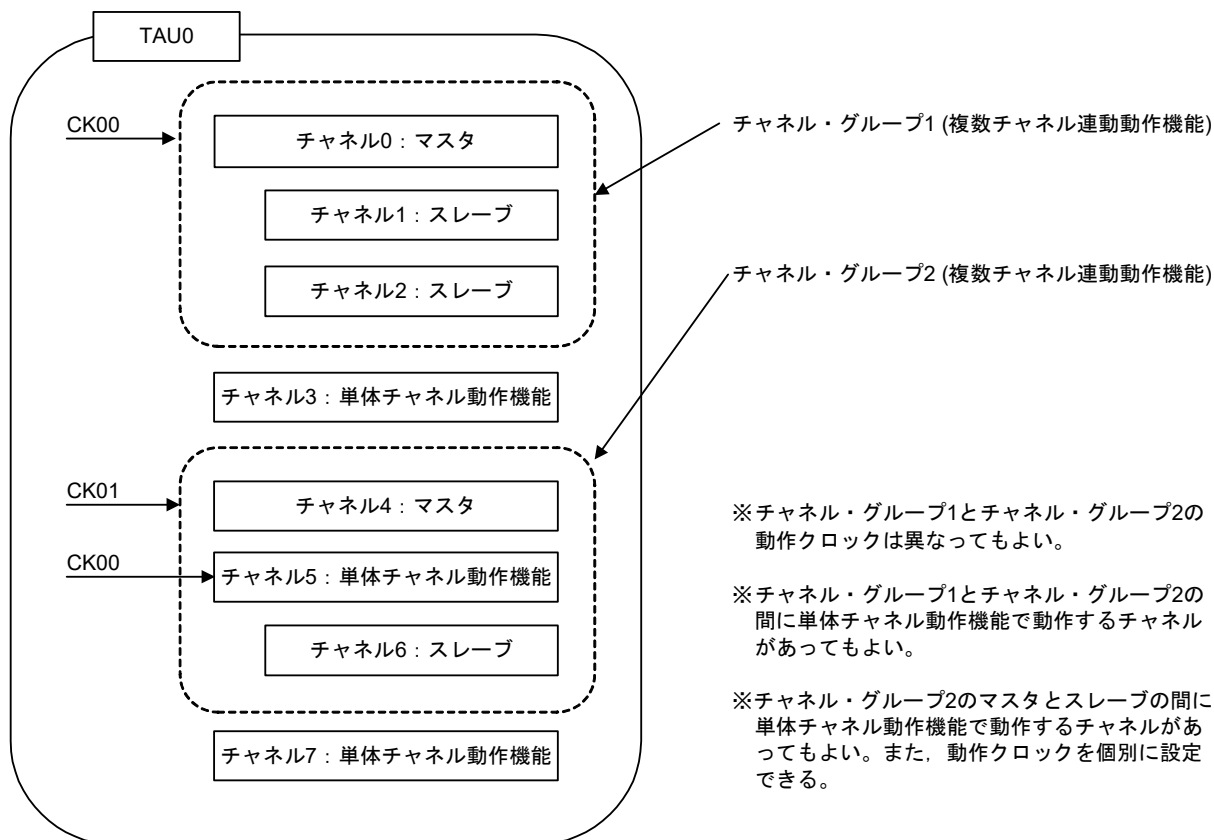
次に複数チャンネル連動動作機能の基本的なルールを示します。

- (1) マスタ・チャンネルには、偶数チャンネル(チャンネル0, チャンネル2, チャンネル4, ...)のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3以降(チャンネル3, チャンネル4, チャンネル5, ...)をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット(タイマ・モード・レジスタmn (TMRmn)のビット15, 14)が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット(TSmn)を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット(TTmn)を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0)は、マスタ・ビットがなく、“0”に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ(1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)



6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn (TMRmn) の SPLIT ビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に INTTm1H/INTTm3H (割り込み) を出力します (MDmn0 =1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットの TMRmn レジスタの CKSmn1, CKSmn0 ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3 ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3 ビットで確認できます。
- (7) 下位8ビットは、TMRmn レジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - インターバル・タイマ機能
 - 外部イベント・カウンタ機能
 - デイレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3 ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3 ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3 ビットを操作することでチャンネル1, 3が動作します。TEHm3 ビットと TEHm1 ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能(ワンショット・パルス, PWM, 多重PWM)を使用することはできません。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (fTCLK)

タイマ・アレイ・ユニットのカウント・クロック (fTCLK) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

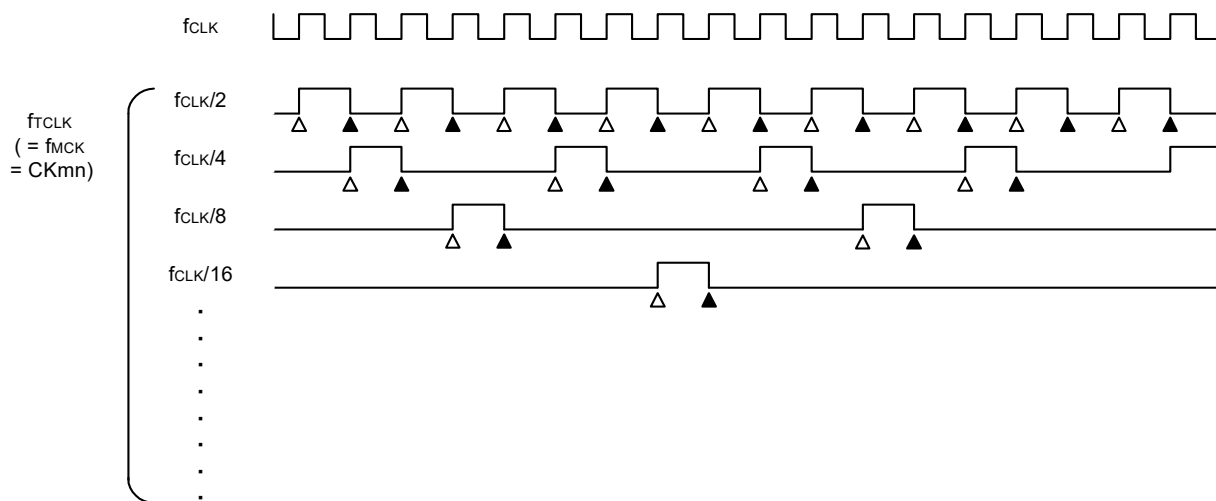
タイマ・アレイ・ユニットは、fCLK との同期をとって動作するよう設計されているため、カウント・クロック (fTCLK) のタイミングは次のようになります。

- (1) CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (fTCLK) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、fCLK ~ fCLK/2¹⁵ となります。fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の1周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6-29 fCLK とカウント・クロック (fTCLK) のタイミング (CCSmn = 0時)



備考1. Δ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

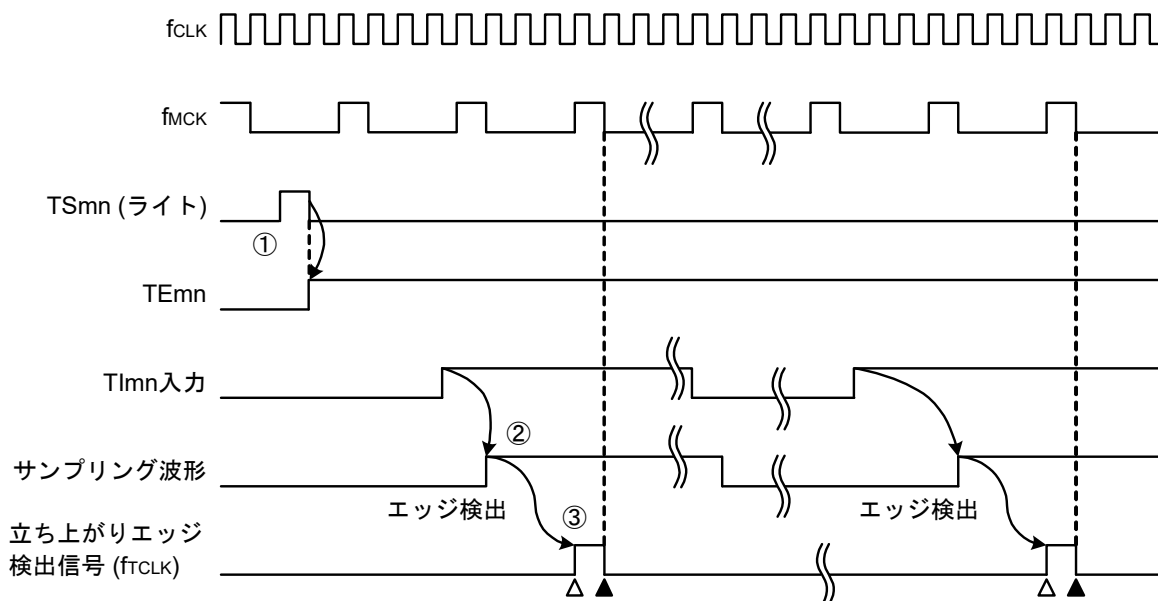
備考2. fCLK : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (fCLK) は、TImn 端子からの入力信号の有効エッジを検出し、次の fMCK の立ち上がり同期した信号になります。これは、実際の TImn 端子からの入力信号より fMCK の 1~2 クロック分遅れた信号になります (ノイズ・フィルタ使用時は、fMCK の 3~4 クロック分遅れます)。

また、タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるためにカウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上 “TImn 端子からの入力信号の有効エッジでカウントする” と表現します。

図6-30 カウント・クロック (fCLK) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)



① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。

② TImn 入力の立ち上がりが fMCK でサンプリングされます。

③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

備考2. fCLK : CPU/周辺ハードウェア・クロック

fMCK : チャンネル n の動作クロック

備考3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能の TImn 入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn)は、タイマ・チャンネル開始レジスタ m (TSM)の TSmn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn)のカウント・スタートまでの動作を、表 6-6 に示します。

表 6-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn)のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出(TSmn = 1)後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSmn ビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います。 TMRmnレジスタのSTSmn2-STSmn0ビットで選択した外部トリガ検出では、カウント動作を開始しません(6.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出(TSmn = 1)後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.5.3 (3) キャプチャ・モードの動作(入力パルス間隔測定)参照)。
ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態、TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います(6.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止(TEmn = 0)の状態、TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います(6.5.3 (5) キャプチャ&ワンカウント・モードの動作(ハイ・レベル幅測定)参照)。

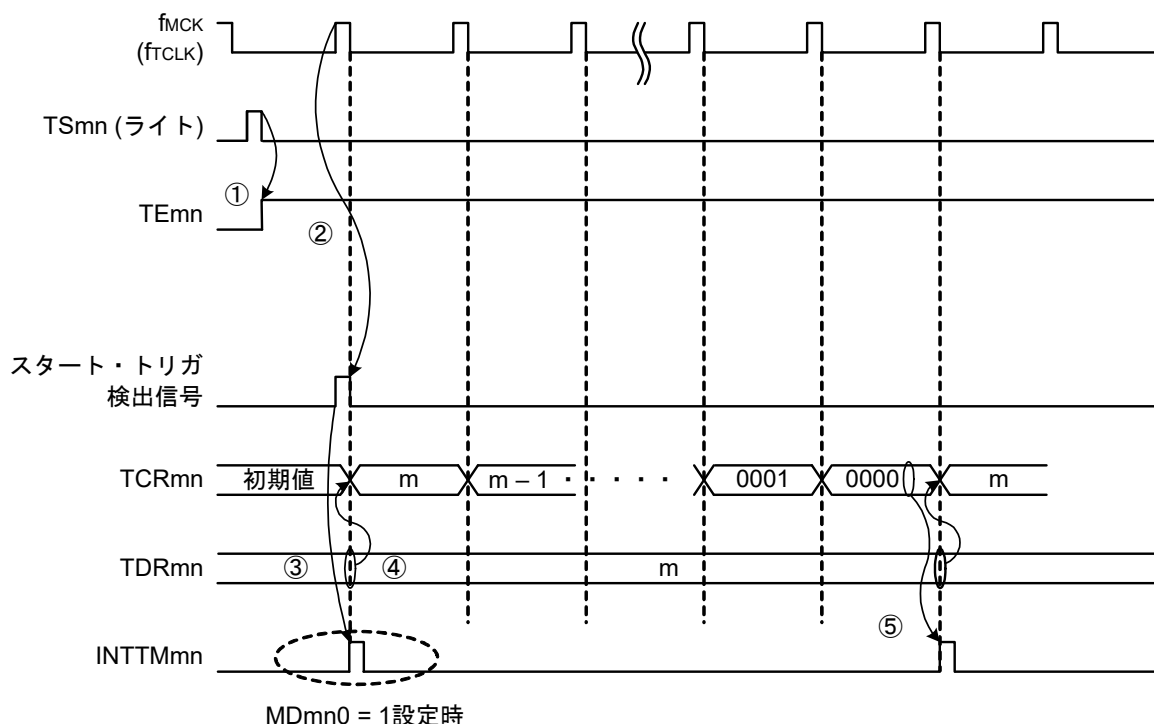
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。タイマ・カウンタ・レジスタ mn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック (f_{MCK}) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmn レジスタがカウント・ダウンしてカウント値が 0000H になると、次のカウント・クロック (f_{MCK}) で INTTMmn を発生し、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードしてカウントを継続します。

図6-31 動作タイミング(インターバル・タイマ・モード)



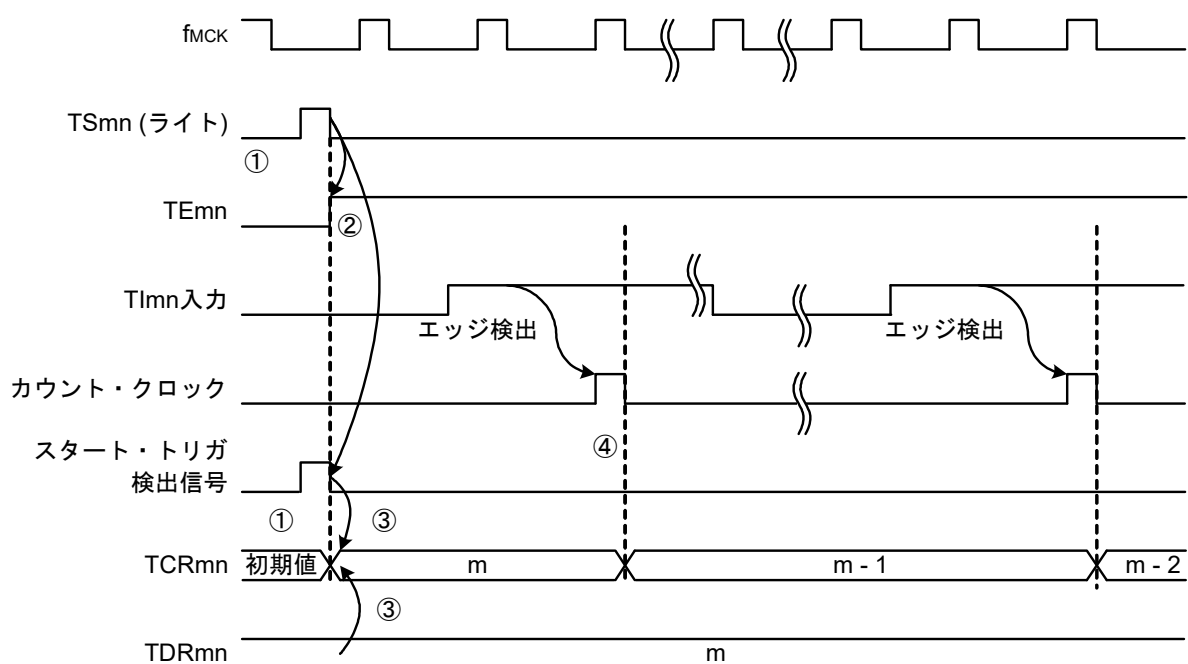
注意 カウント・クロックの1周期目の動作は TS_{mn} ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、 $MD_{mn0} = 1$ に設定することで、カウント開始時に割り込みを発生させることができます。

備考 f_{MCK} , スタート・トリガ検出信号, INTTMmn は、 f_{CLK} に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ①動作停止状態($TE_{mn} = 0$)の期間, タイマ・カウンタ・レジスタ mn (TCR_{mn})は, 初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより, 動作許可状態($TE_{mn} = 1$)となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に, TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn})の値をロードし, カウントを開始します。
- ④以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い, TCR_{mn} レジスタの値をダウン・カウントします。

図6-32 動作タイミング(イベント・カウンタ・モード)

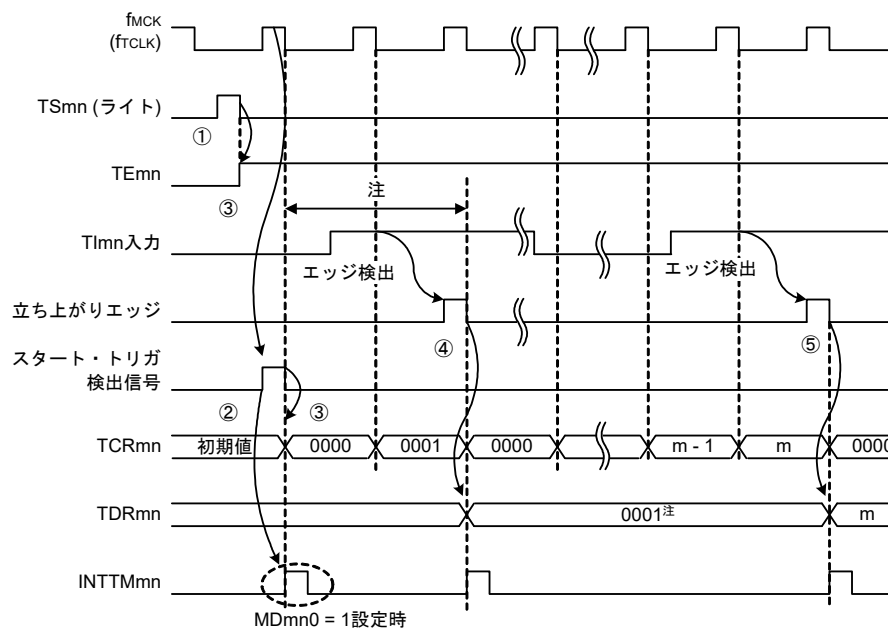


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は TI_{mn} 入力からさらに f_{MCK} の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック (f_{MCK}) が非同期なためです。

(3) キャプチャ・モードの動作(入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック (fMCK)で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmn レジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図6-33 動作タイミング(キャプチャ・モード：入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている(トリガがある)場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ(④)でのキャプチャ値はパルス間隔とならない(この例では0001: 2クロック分の間隔)ので、無視してください。

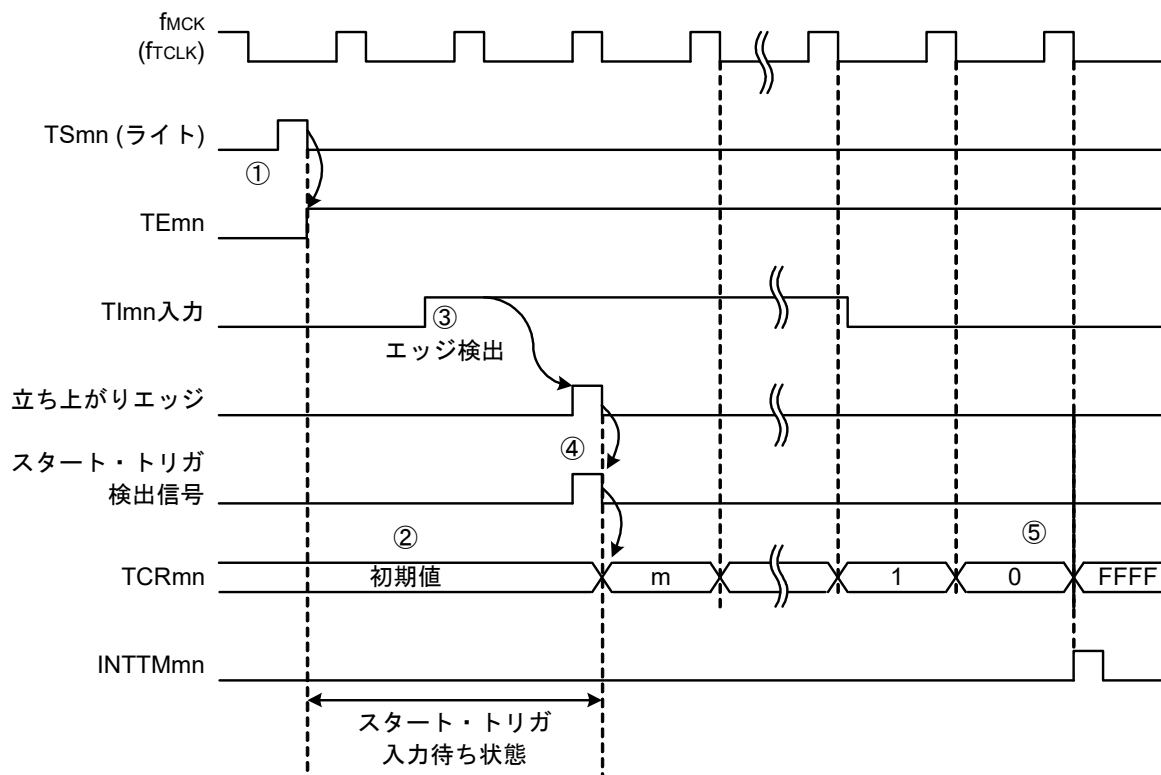
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn)は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値(m)をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図6-34 動作タイミング(ワンカウント・モード)

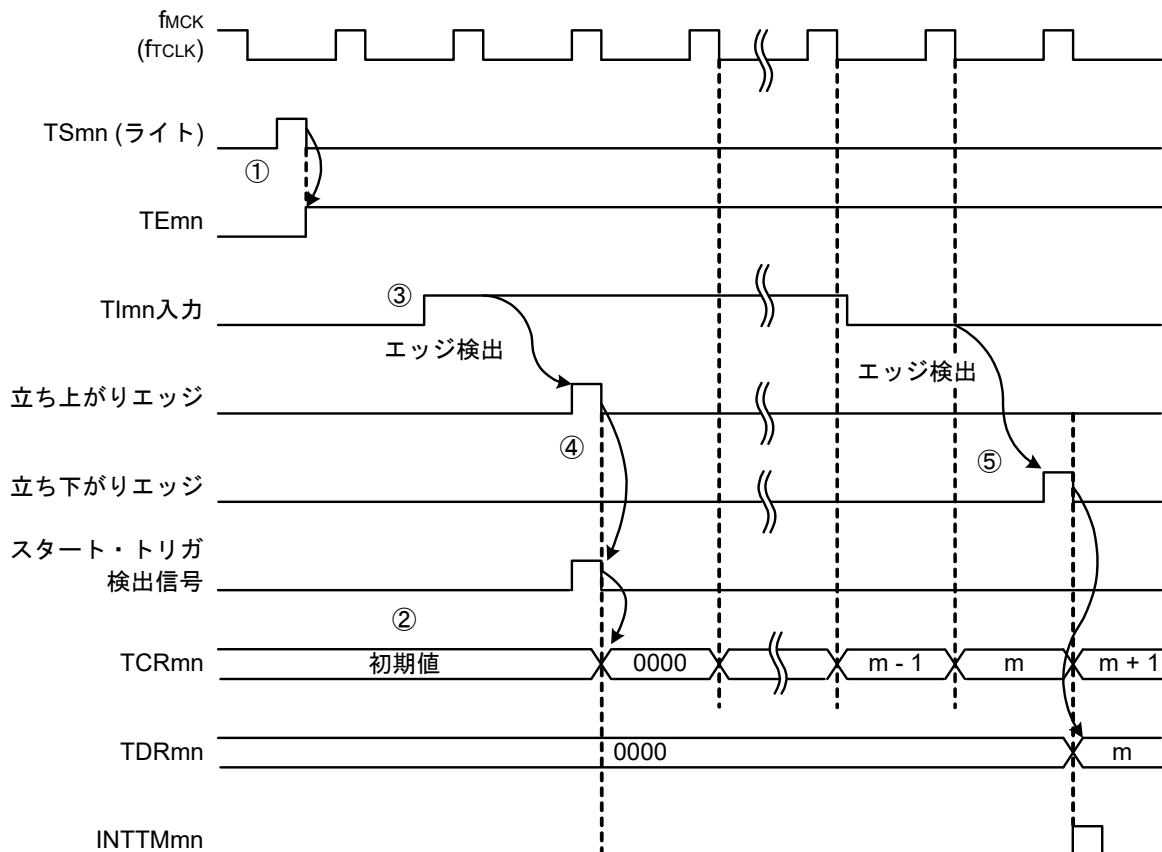


備考 このタイミングはノイズフィルタを使用しないときのタイミングです。ノイズフィルタをオンすると、エッジ検出は TImn 入力からさらに fMCK の 2 周期分 (合計で 3 ~ 4 周期分) 遅くなります。1 周期分の誤差は TImn 入力とカウント・クロック (fMCK) が非同期なためです。

(5) キャプチャ & ワンカウント・モードの動作(ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (TSMn)のTSmnビットに1を書き込むことにより、動作許可状態 ($TEmn = 1$)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TImn入力の立ち下がりエッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図6-35 動作タイミング(キャプチャ & ワンカウント・モード: ハイ・レベル幅測定)

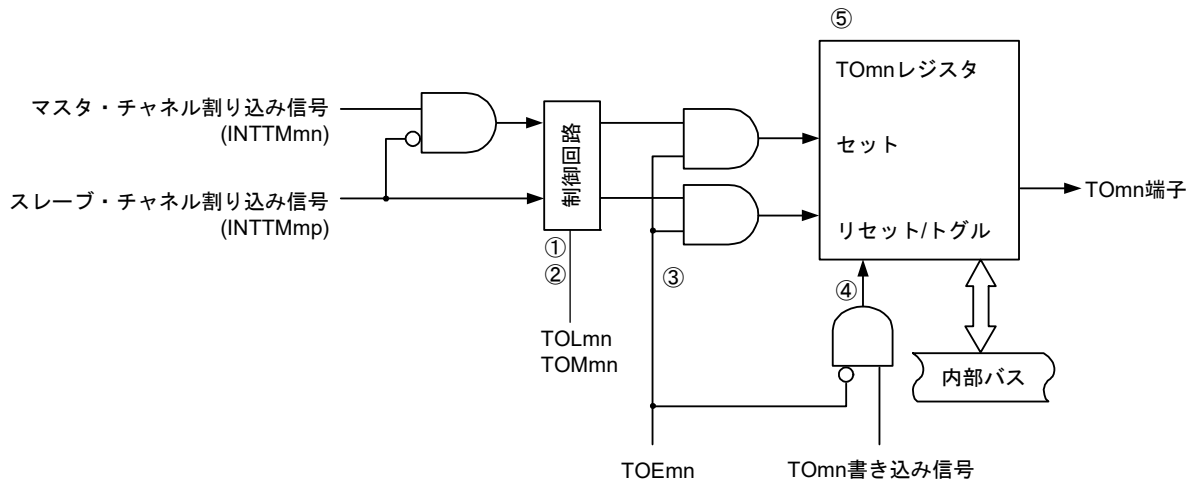


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

6.6 チャンネル出力(TOmn端子)の制御

6.6.1 TOmn端子の出力回路の構成

図6 - 36 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

①TOMmn = 0 (マスタ・チャンネル出力モード)のときは、タイマ出力レベル・レジスタ m (TOLm)の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み)のみがタイマ出力レジスタ m (TOm)に伝えられます。

②TOMmn = 1 (スレーブ・チャンネル出力モード)のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。

このとき、TOLmレジスタが有効となり、次のように信号を制御します。

TOLmn = 0の場合 : 正論理出力 (INTTMmn → セット, INTTMmp → リセット)

TOLmn = 1の場合 : 負論理出力 (INTTMmn → リセット, INTTMmp → セット)

また、INTTMmnとINTTMmpが同時に発生した場合(PWM出力の0%出力時)は、INTTMmp (リセット信号)が優先され、INTTMmn (セット信号)はマスクされます。

③タイマ出力許可状態 (TOEmn = 1) で、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。TOmレジスタへの書き込み (TOmn書き込み信号)は無効となります。

また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。

TOmn端子の出力レベルを初期化する場合は、タイマ動作停止 (TOEmn = 0)に設定しTOmレジスタに値を書き込む必要があります。

④タイマ出力禁止状態 (TOEmn = 0) で、対象チャンネルのTOmnビットへの書き込み (TOmn書き込み信号)が有効となります。タイマ出力禁止状態 (TOEmn = 0)のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)はTOmレジスタに伝えられません。

⑤TOmレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

(備考は次ページにあります。)

★

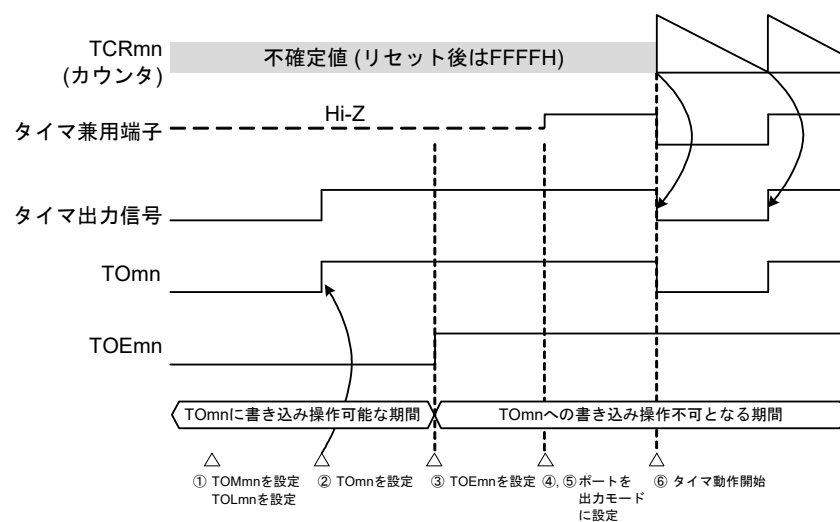
★

- 備考 m : ユニット番号 (m = 0)
 n : チャンネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号
 n < p ≤ 7

6.6.2 TOmn 端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6-37 タイマ出力設定から動作開始までの状態変化



①タイマ出力の動作モードを設定します。

- TOMmn ビット (0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- TOLmn ビット (0 : 正論理出力, 1 : 負論理出力)

②タイマ出力レジスタ m (TOm) を設定することにより, タイマ出力信号が初期状態に設定されます。

③TOEmn ビットに 1 を書き込み, タイマ出力動作を許可します (TOm レジスタへの書き込みは不可となります)。

④ポート・モード・コントロール・レジスタ (PMCxx) でポートをデジタル入出力に設定します。

⑤ポートの入出力設定を出力に設定します (6.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑥タイマを動作許可にします (TSmn = 1)。

- 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLmレジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタ mn (TCRmn), タイマ・データ・レジスタ mn (TDRmn)の動作)は, TOMn 出力回路とは独立しています。よって, タイマ出力レジスタ m (TOM), タイマ出力許可レジスタ m (TOEm), タイマ出力レベル・レジスタ m (TOLm)の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn 端子から出力するためには, 6.8, 6.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み(INTTMmn)近辺で, TOMレジスタを除く TOEmレジスタ, TOLmレジスタの設定値変更を行うと, タイマ割り込み(INTTMmn)信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み(INTTMmn)信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn 端子に出力される波形が異なる場合があります。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

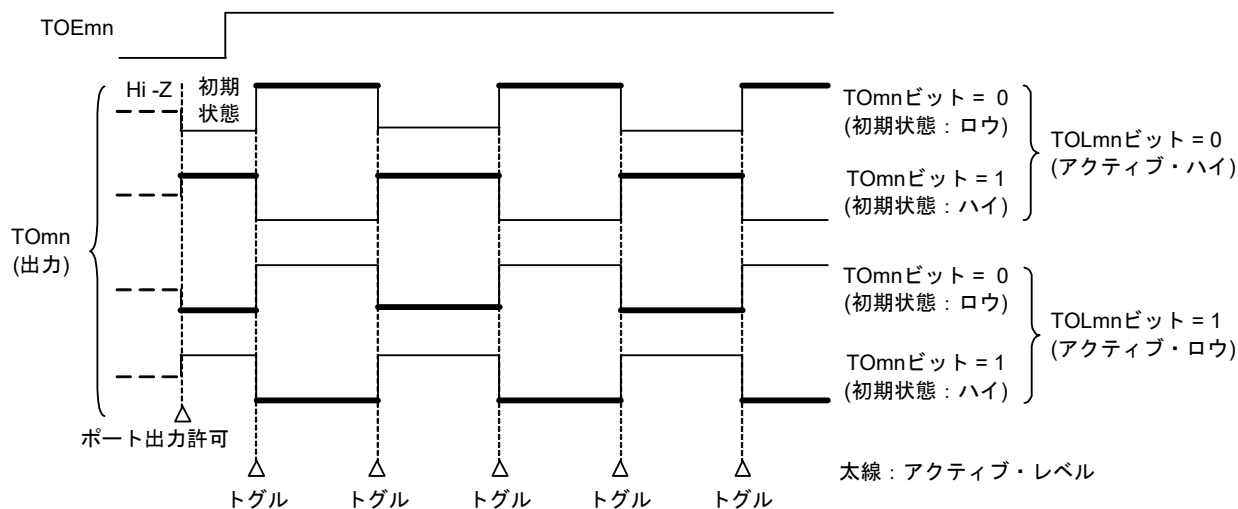
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止(TOEmn = 0)の状態ではタイマ出力レジスタ m (TOM)に書き込みを行い、初期レベル変更後、タイマ出力許可状態(TOEmn = 1)に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード(TOMmn= 0)設定で動作を開始した場合

マスタ・チャンネル出力モード(TOMmn= 0)の時、タイマ出力レベル・レジスタ m (TOLm)の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6 - 38 トグル出力時(TOMmn = 0)のTOmn端子出力状態



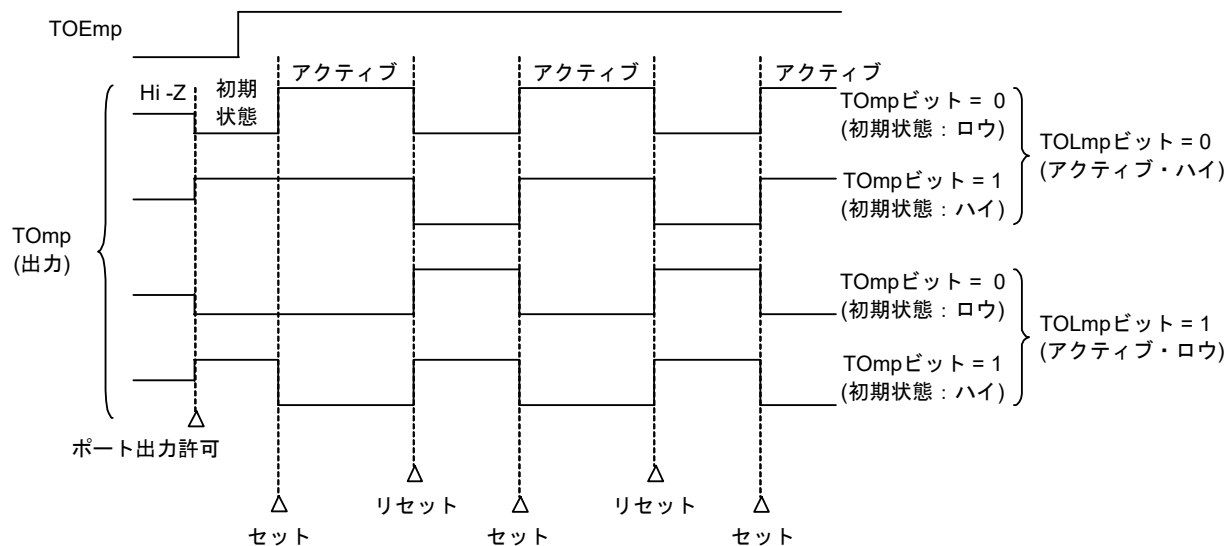
備考1. トグル : TOmn端子の出力状態を反転

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

(b) スレーブ・チャンネル出力モード (TOMmp = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOMmp = 1) の時、タイマ出力レベル・レジスタ m (TOLm) の設定によりアクティブ・レベルを決定します。

図6 - 39 PWM出力時 (TOMmp = 1) のTOmp端子出力状態



備考1. セット：TOmp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号 (m = 0), p：チャンネル番号 (p = 1-7)

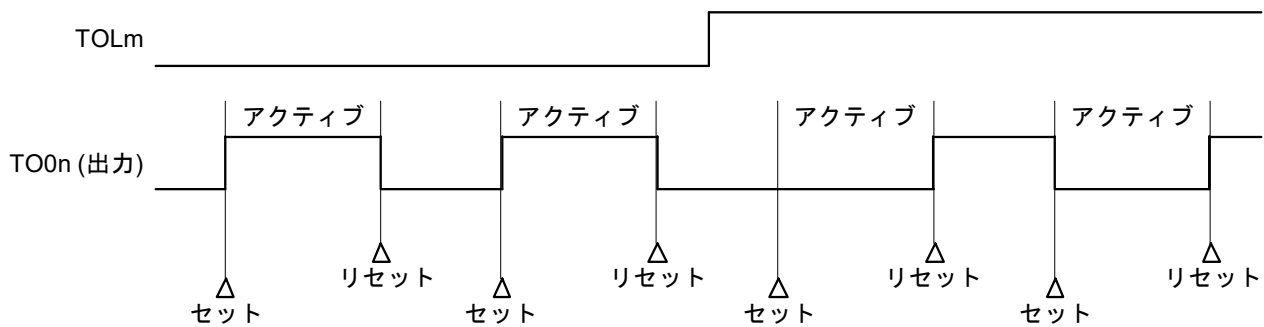
(3) TOmn端子のスレーブ・チャンネル出力モード(TOMmn = 1)での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタ m (TOLm)の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOmn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中(TEmn = 1)にTOLmレジスタの値を変更した場合の動作を次に示します。

★ 図6-40 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット：TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0), n：チャンネル番号(n = 0-7)

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み(INTTMmn)発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

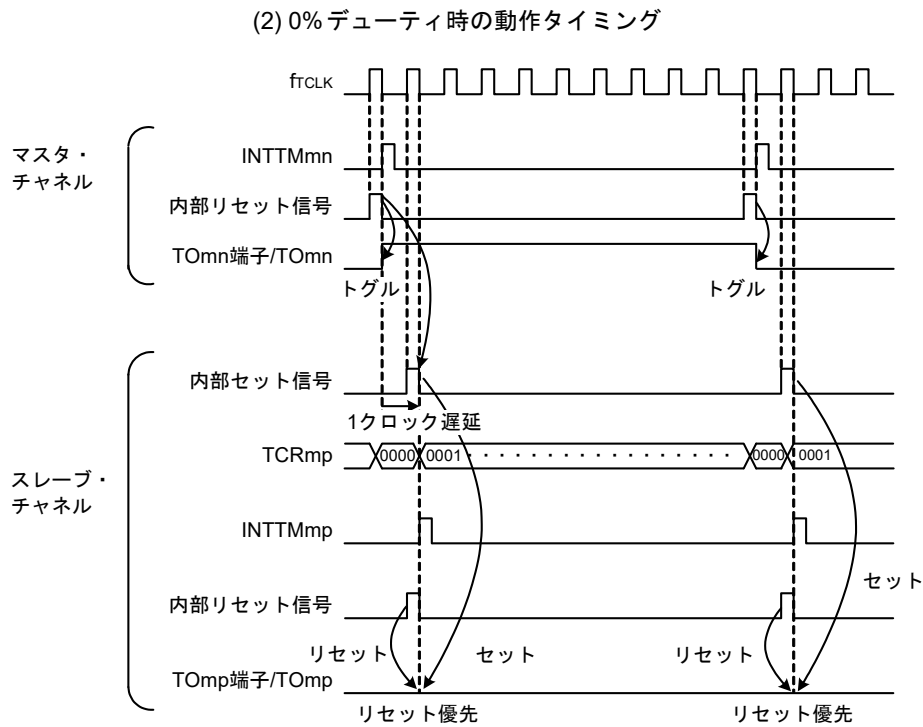
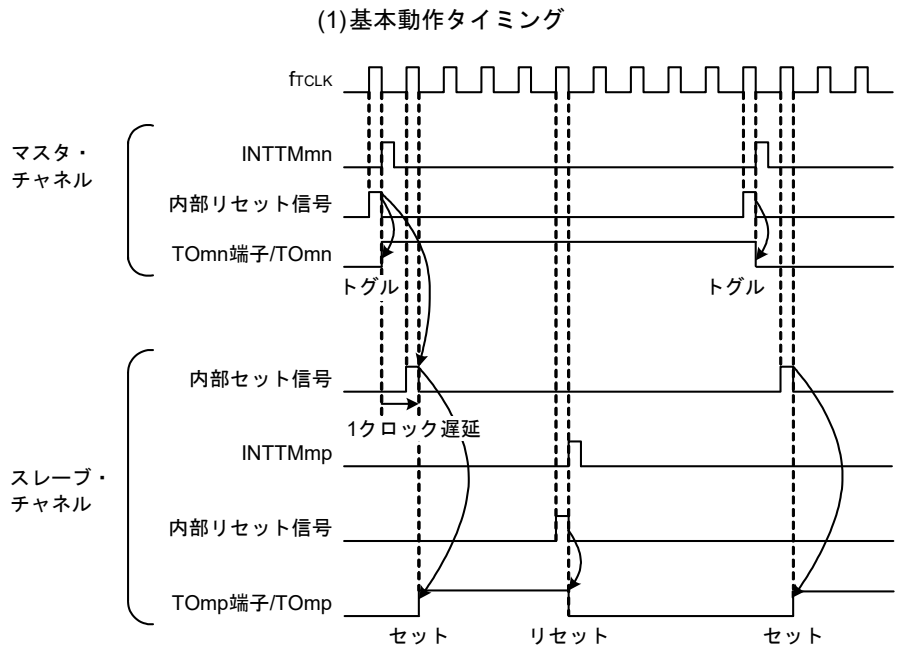
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図6-41に示します。

マスタ・チャンネル：TOEmn = 1, TOMmn = 0, TOLmn = 0

スレーブ・チャンネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6-41 セット/リセット・タイミング動作状態



備考1. 内部リセット信号 : TOnm端子のリセット/トグル信号

内部セット信号 : TOnm端子のセット信号

備考2. m : ユニット番号 (m = 0, 1)

n : チャンネル番号

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

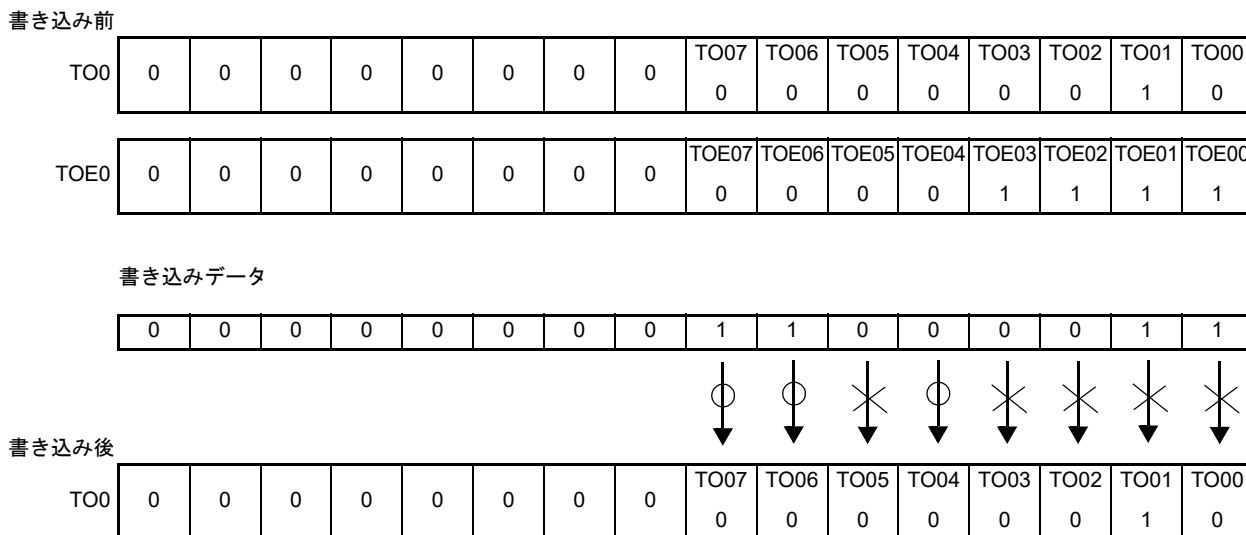
p : スレーブ・チャンネル番号

n < p ≤ 7

6.6.4 TOmnビットの一括操作

タイマ出力レジスタ m (TOm)には、タイマ・チャンネル開始レジスタ m (TSm)と同様に、1レジスタに全チャンネル分の設定ビット(TOmn)が配置されています。よって、全チャンネルのTOmnビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力(TOmn)のみTOmnビットへの書き込み可能(TOEmn = 0)とすることによって任意のビットのみ操作することが可能です。

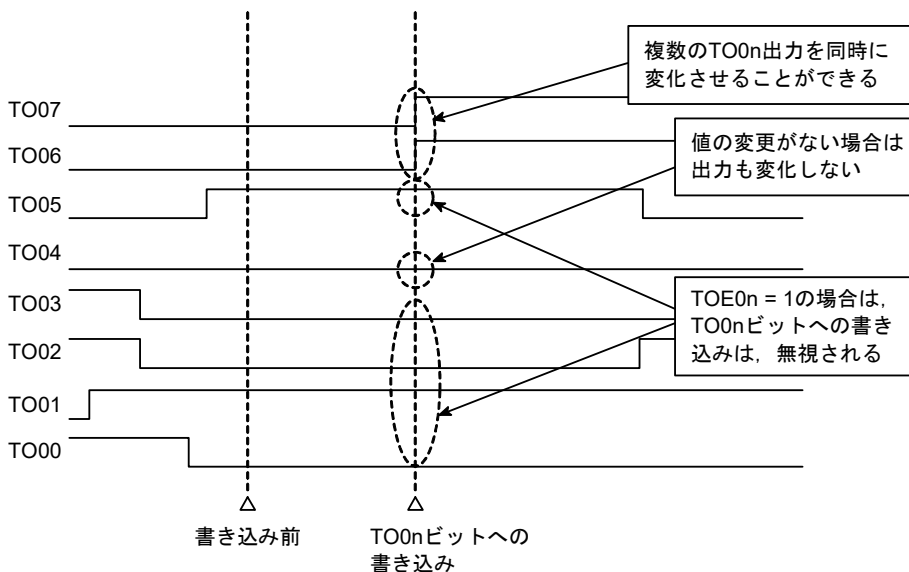
図6-42 TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャンネル出力)は、書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6-43 TO0nビットの一括操作によるTO0nの端子状態



注意 タイマ出力許可状態 (TOEmn = 1)において、各チャンネルのタイマ割り込み (INTTMmn)による出力とTOmnビットへの書き込みが競合しても、TOmn端子は正常に出力動作が行われます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.6.5 カウント動作開始時のタイマ割り込みと TOmn 端子出力について

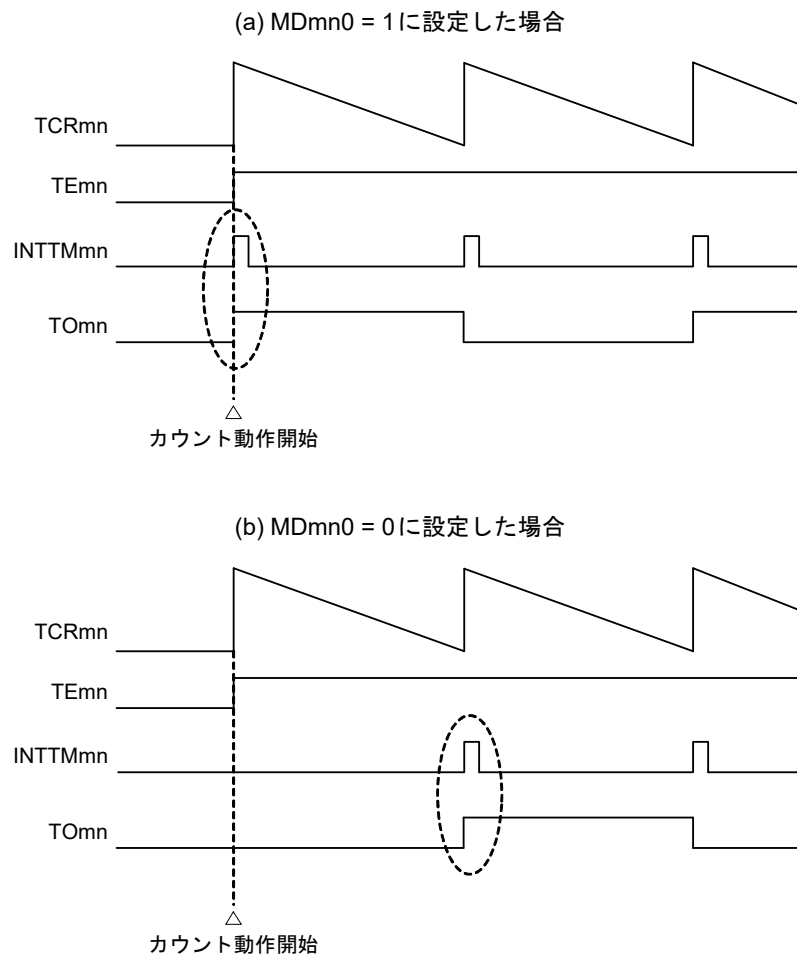
インターバル・タイマ・モード/キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6-44 カウント動作開始時のタイマ割り込み、TOmn 出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmn も変化しません。1周期をカウント後、INTTMmn を出力し、TOmn がトグル動作します。

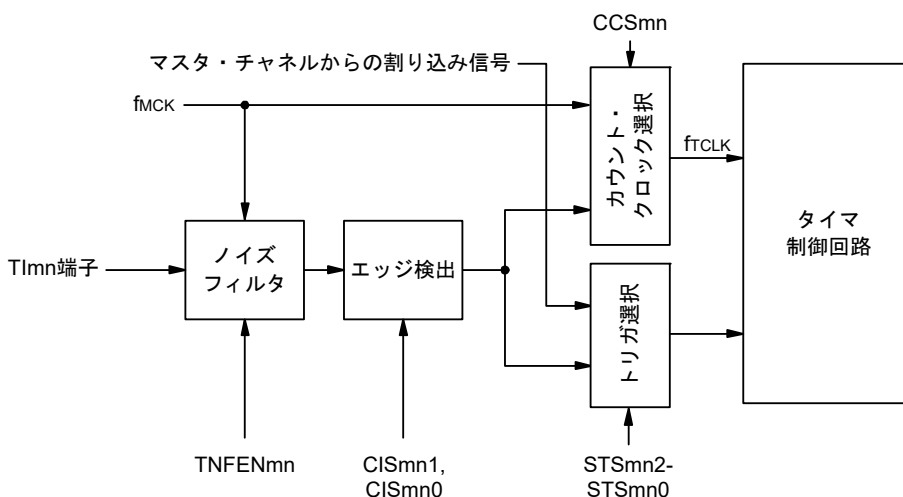
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

6.7 タイマ入力(Tlmn)の制御

6.7.1 Tlmnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

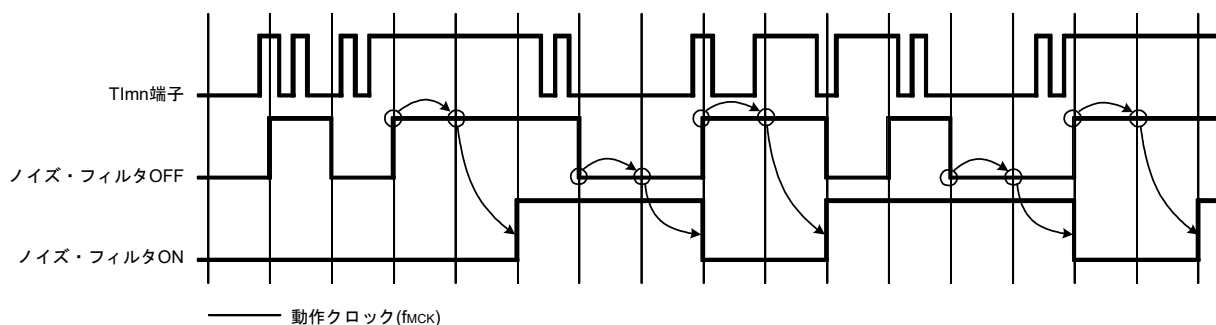
図6 - 45 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (fMCK) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。以下に、Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6 - 46 Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるサンプリング波形



注意 Tlmn端子の入力波形は、ノイズ・フィルタ ON/OFFの動作を説明するためのものであり、実際は、35.4 AC特性に示すTlmn入力ハイ・レベル幅、ロウ・レベル幅に従って入力してください。

6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSm) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み)を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み)の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\bullet \text{ TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{(\text{TDRmnの設定値} + 1) \times 2\}$$

タイマ・カウンタ・レジスタ mn (TCRmn)はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSM)のチャネル・スタート・トリガ・ビット (TSMn, TSHm1, TSHm3)に1を設定後、最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn)のMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

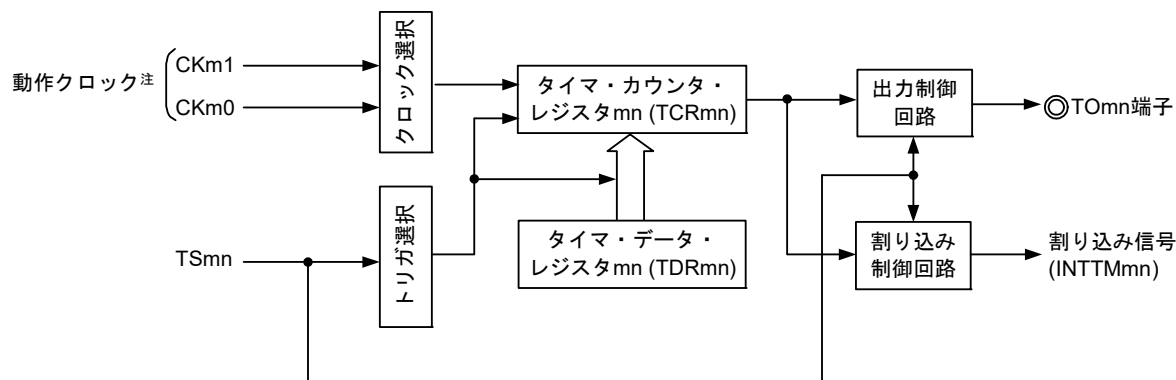
その後、TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000H になったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降、同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は、次の周期から有効となります。

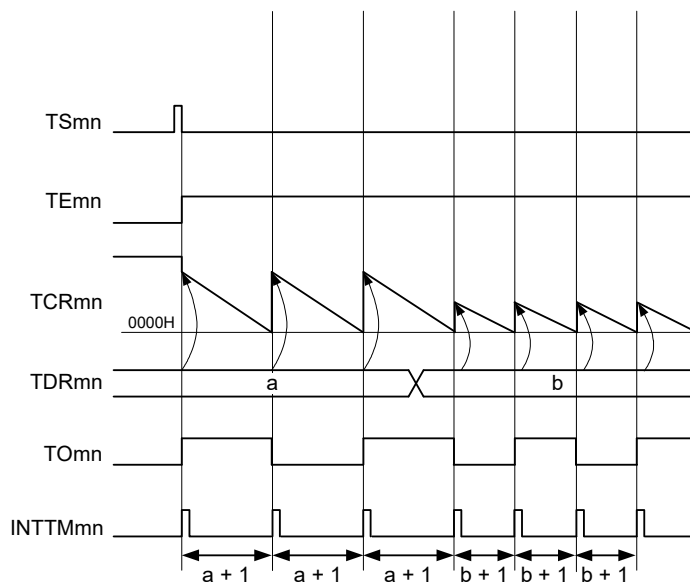
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

図6-47 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-48 インターバル・タイマ／方形波出力としての動作の基本タイミング例(MDmn0 = 1)



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

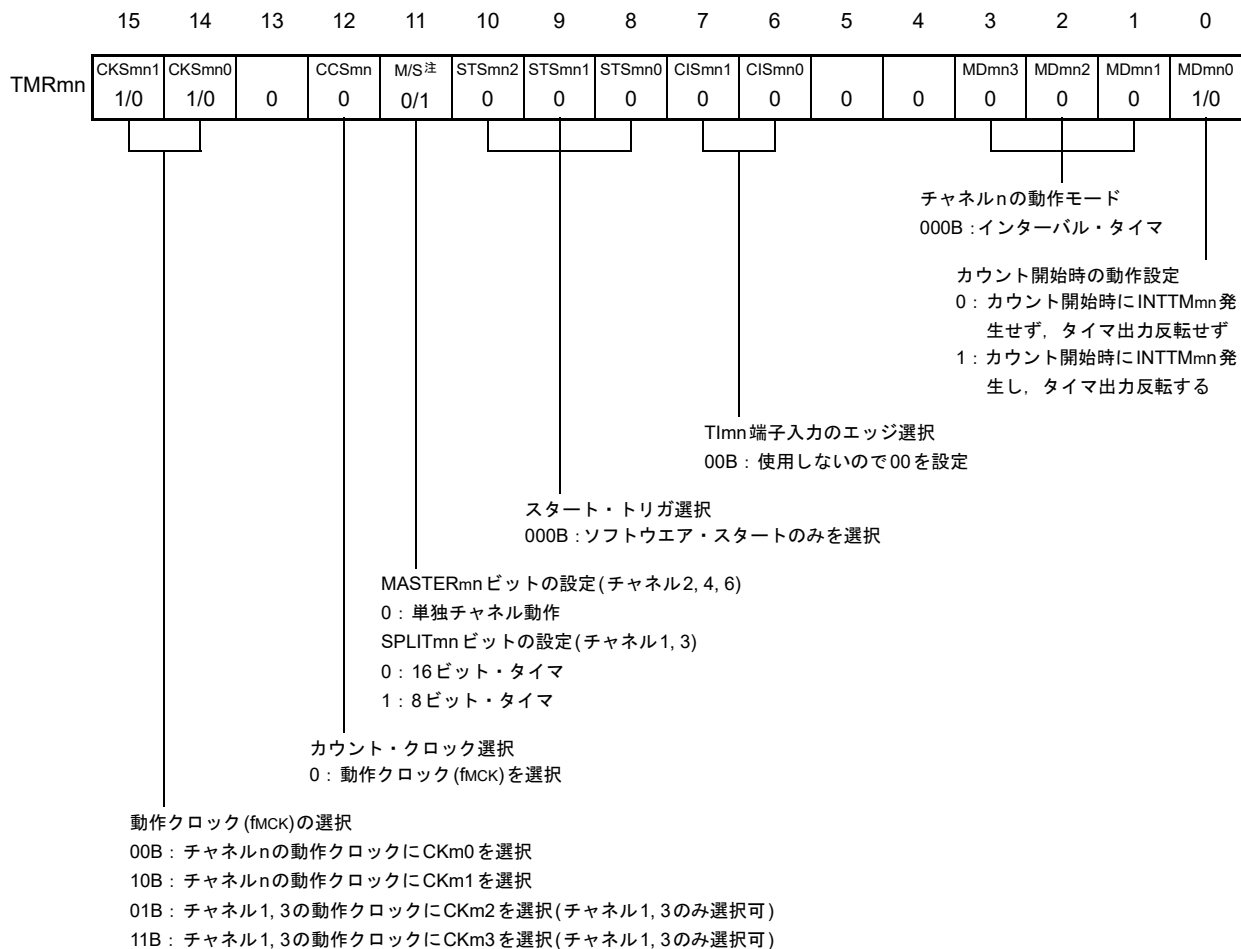
TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

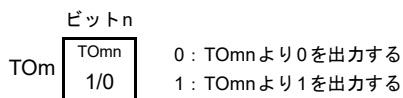
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

TOmn : TOmn端子出力信号

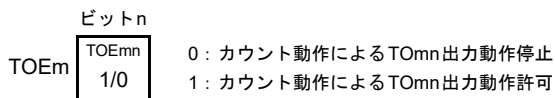
図6-49 インターバル・タイマ/方形波出力時のレジスタ設定内容例
(a) タイマ・モード・レジスタ mn (TMRmn)



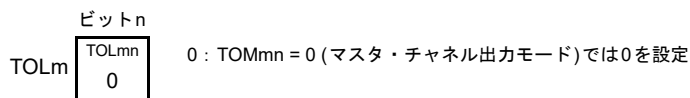
(b) タイマ出力レジスタ m (TOM)



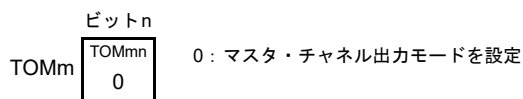
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0, TMRm5, TMRm7の場合 : 0 固定
 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-50 インターバル・タイマ／方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル 初期 設定	タイマ・モード・レジスタmn (TMRmn)を設定する(チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm)のTOMmnビットに0(マスタ・チャンネル出力モード)を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定する	TOmn端子はHi-Z出力状態
動作 開始	TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
	(TOmn出力を使用する場合で, かつ動作再開時のみTOEmnビットに1を設定する) TSmn (TSHm1, TSHm3)ビットに1を設定する TSmn (TSHm1, TSHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
動作中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOm, TOEmレジスタは, 設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止	カウンタ (TCRmn)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3)ビットに1を設定する TTmn (TTHm1, TTHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持
	TOEmnビットに0を設定し, TOmnビットに値を設定する	TOmn端子はTOmnビットに設定したレベルを出力

動作再開

(備考は次ページにあります。)

図6-51 インターバル・タイマ／方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmn ビットに0を設定する	TOmn 端子出力レベルはポート機能により保持される。
	TOmn 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.2 外部イベント・カウンタとしての動作

TImn 端子入力の有効エッジ検出(外部イベント)をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmn の設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ m (TSm) の任意のチャンネル・スタート・トリガ・ビット (TSmn, TSHm1, TSHm3) に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。

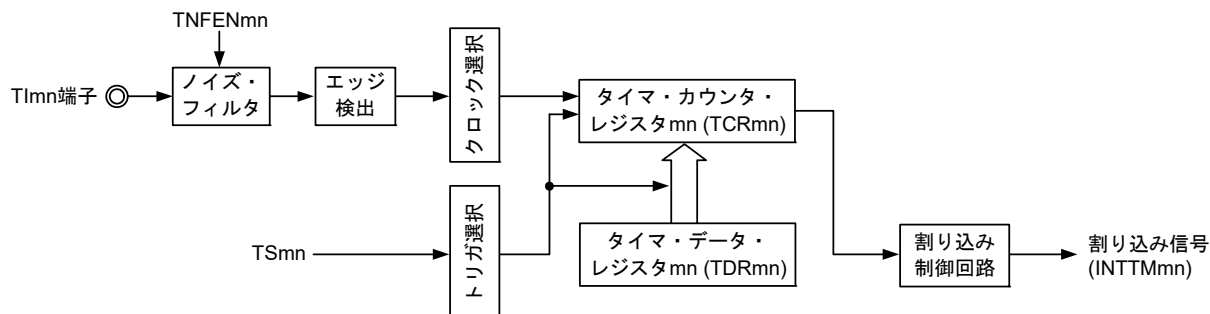
TCRmn レジスタは TImn 端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000H になったら、再び TDRmn レジスタの値をロードして、INTTMmn を出力します。

以降、同様の動作を続けます。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

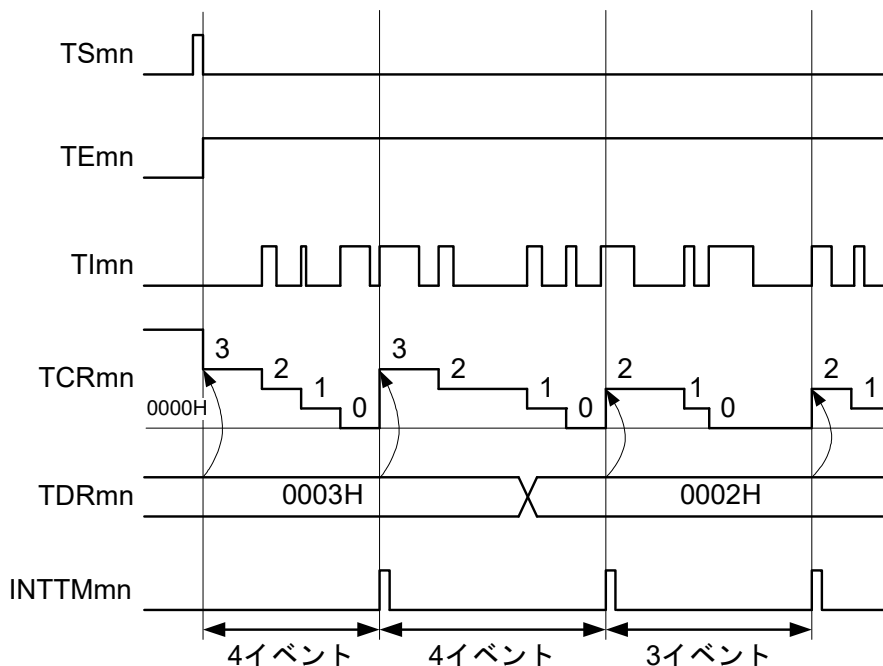
TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

図6 - 52 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6 - 53 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSM) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n

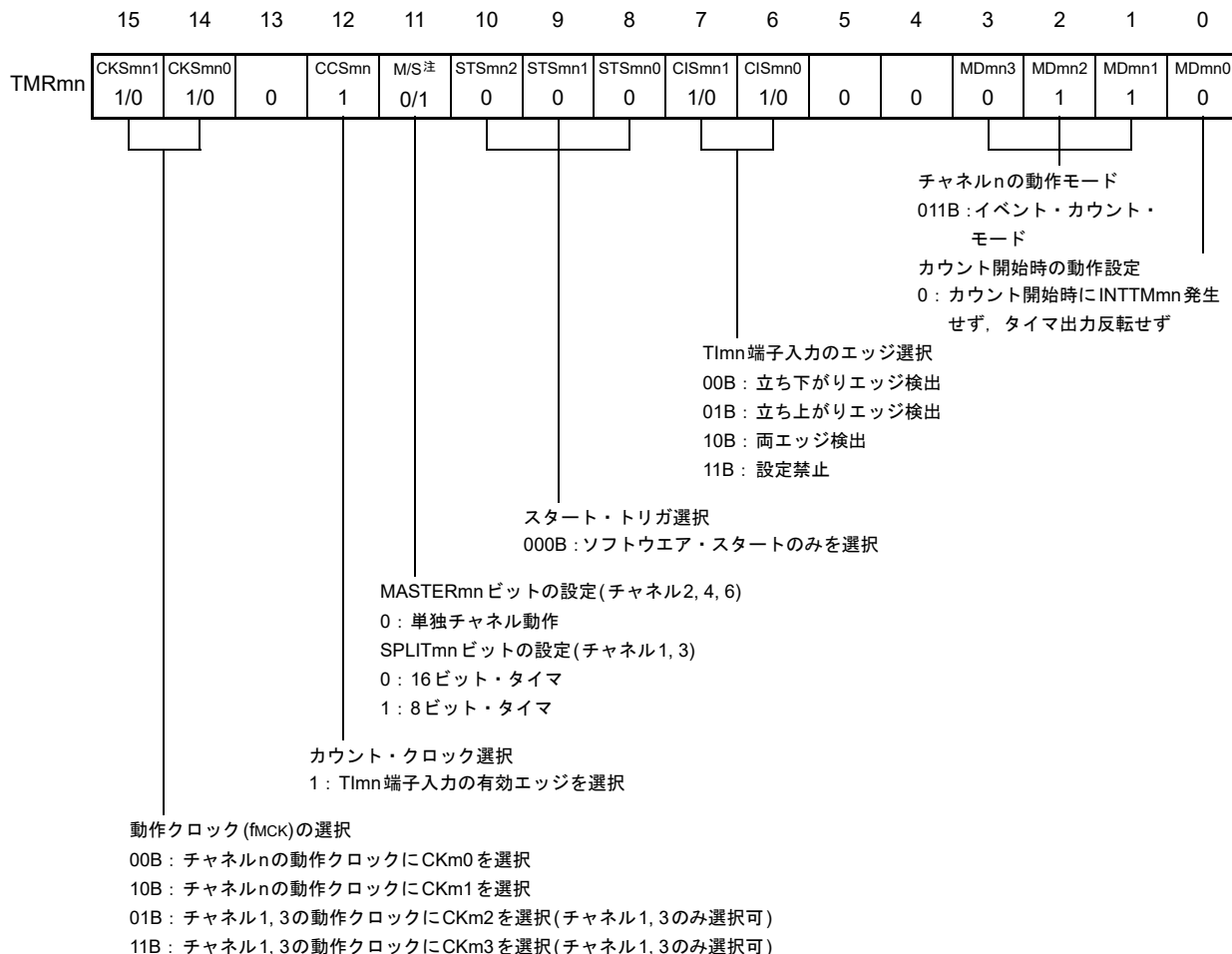
TImn : TImn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

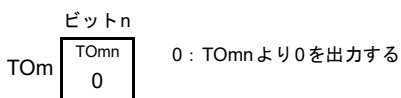
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6 - 54 外部イベント・カウンタ・モード時のレジスタ設定内容例

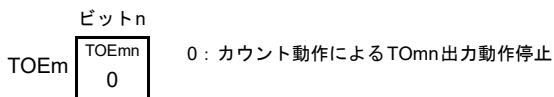
(a) タイマ・モード・レジスタ mn (TMRmn)



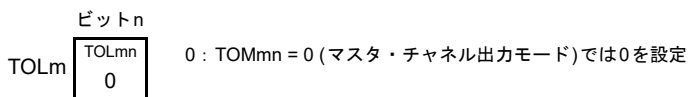
(b) タイマ出力レジスタ m (TOm)



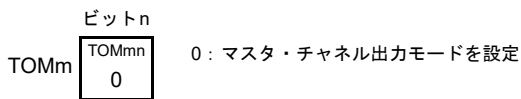
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0, TMRm5, TMRm7の場合 : 0 固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6 - 55 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にカウント数を設定する タイマ出力許可レジスタm (TOEm)のTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし, TImn端子入力のエッジ検出待ち状態になる
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn)はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。 TCRmn = 0000H検出でINTTMmn出力を発生する。以降, この動作を繰り返す。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.3 入力パルス間隔測定としての動作

Tlmn 有効エッジでカウント値をキャプチャし、Tlmn 入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作(TSmn = 1)をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn 入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1))$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn)はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM)のチャンネル・スタート・トリガ・ビット (TSmn)に1を設定するとTCRmn レジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

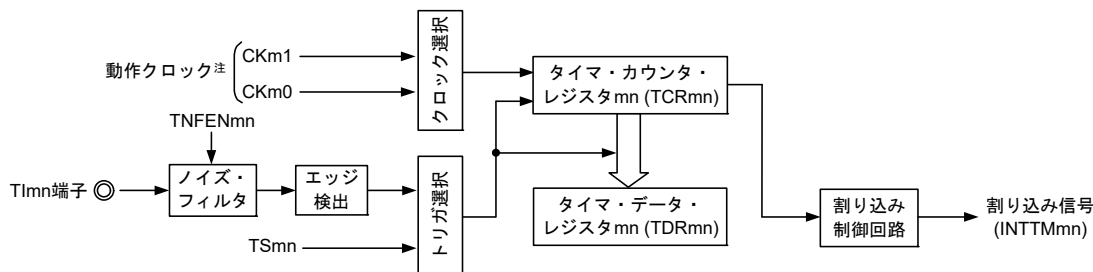
Tlmn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn (TDRmn)に転送(キャプチャ)すると同時に、TCRmn レジスタを0000Hにクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットが1にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

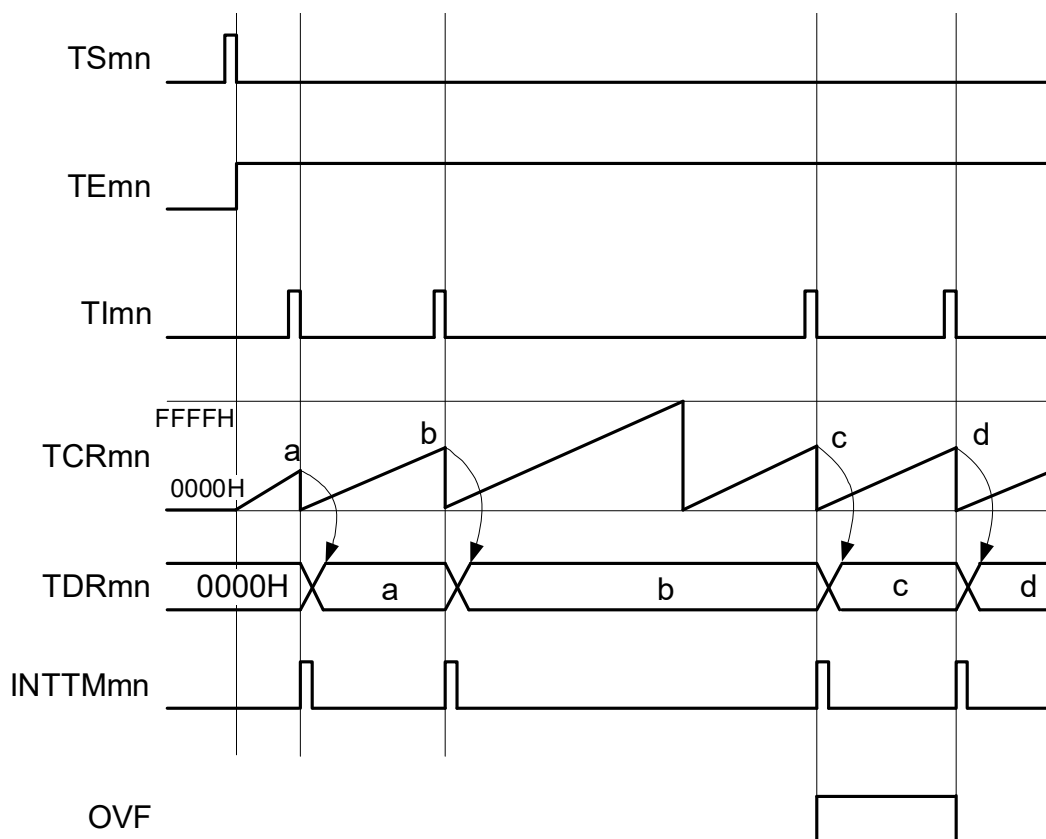
図6 - 56 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

★ 図6-57 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

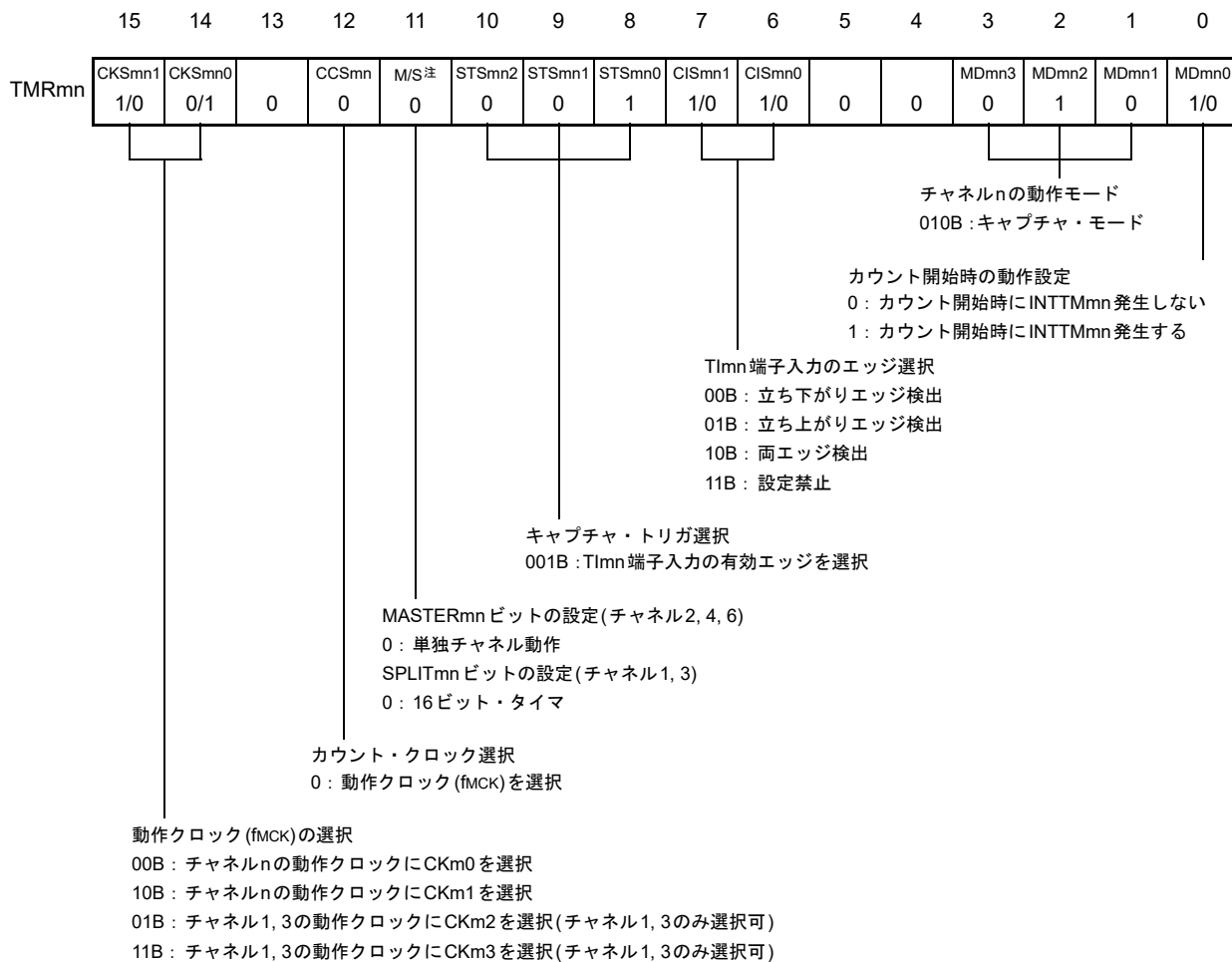
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

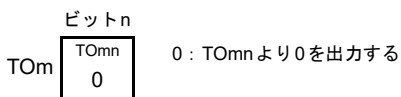
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図6 - 58 入力パルス間隔測定時のレジスタ設定内容例

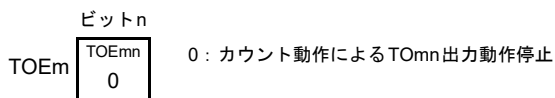
(a) タイマ・モード・レジスタ mn (TMRmn)



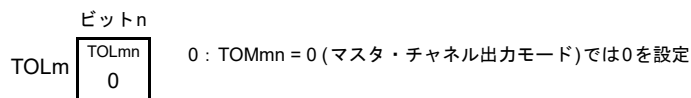
(b) タイマ出力レジスタ m (TOM)



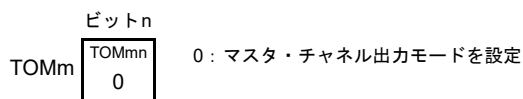
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0, TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-59 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ m の TAUmEN ビットに 1 を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応する ビットに 0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	TSmn ビットに 1 を設定する → TEmn = 1 になり, カウント動作開始 TSmn ビットはトリガ・ビットなので, 自動的に 0 に 戻る タイマ・カウンタ・レジスタ mn (TCRmn) を 0000H にクリアする。TMRmn レジスタの MDmn0 ビットが 1 の場合は, INTTMmn を発生する。
	動作 中	TMRmn レジスタは, CISmn1, CISmn0 ビットのみ設定 値変更可能 TDRmn レジスタは, 常に読み出し可能 TCRmn レジスタは, 常に読み出し可能 TSRmn レジスタは, 常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmn ビットは, 設定値変 更禁止 カウンタ (TCRmn) は 0000H からアップ・カウント動作 を行い, TImn 端子入力の有効エッジの検出または, TSmn ビットに 1 を設定すると, カウント値をタイマ・ データ・レジスタ mn (TDRmn) に転送 (キャプチャ) す る。同時に, TCRmn レジスタを 0000H にクリアし, INTTMmn を発生する。 このときオーバフローが発生していたら, タイマ・ス テータス・レジスタ mn (TSRmn) の OVF ビットがセッ トされ, オーバフローが発生していなかったら OVF ビットがクリアされる。 以降, この動作を繰り返す。
	動作 停止	TTmn ビットに 1 を設定する → TEmn = 0 になり, カウント動作停止 TTmn ビットはトリガ・ビットなので, 自動的に 0 に 戻る TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する →	パワーオフ状態 全回路が初期化され, 各チャンネルの SFR も初期化さ れる

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.4 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus 対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット 1 (ISC1) を 1 に設定してください。また、以降の説明では「TImn」を「RxD0」と読み替えてください。

TImn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImn の信号幅 (ハイ・レベル幅／ロウ・レベル幅) を測定することができます。TImn の信号幅は次の式で求めることができます。

$$\text{TImn 入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000H \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1))$$

注意 TImn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの 1 クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ & ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に 1 を設定すると、TEmn = 1 となり TImn 端子のスタート・エッジ検出待ち状態となります。

TImn 端子入力のスタート・エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、TImn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

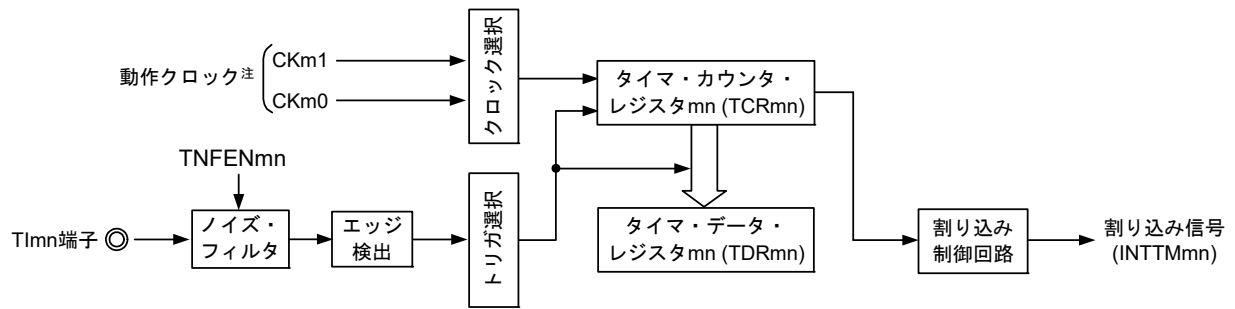
TImn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、TImn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSMn ビットのセット (1) は使用できません。

TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

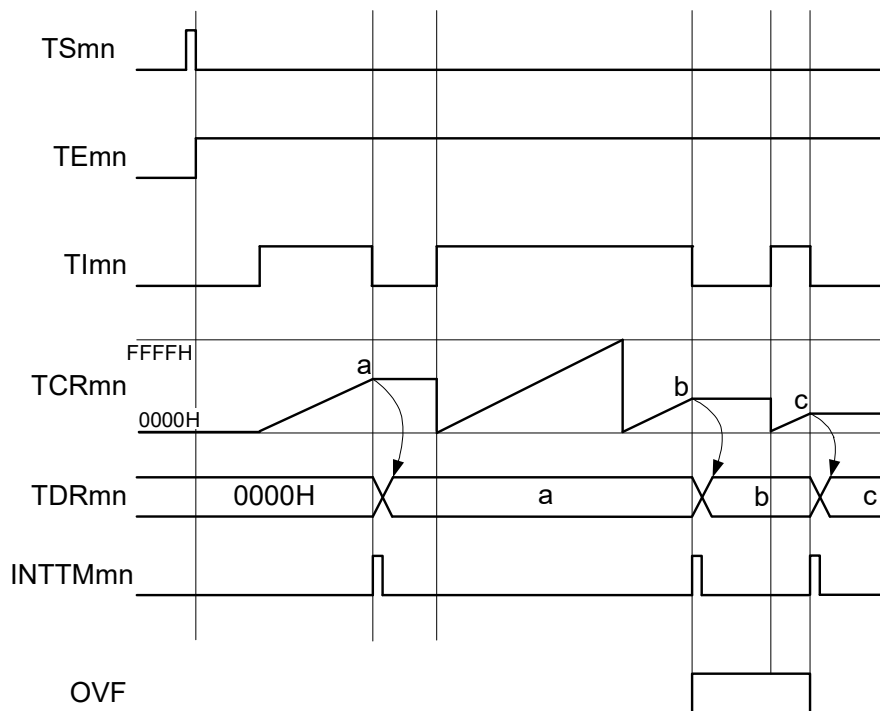
TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図6-60 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-61 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm)のビットn

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm)のビットn

TImn : TImn 端子入力信号

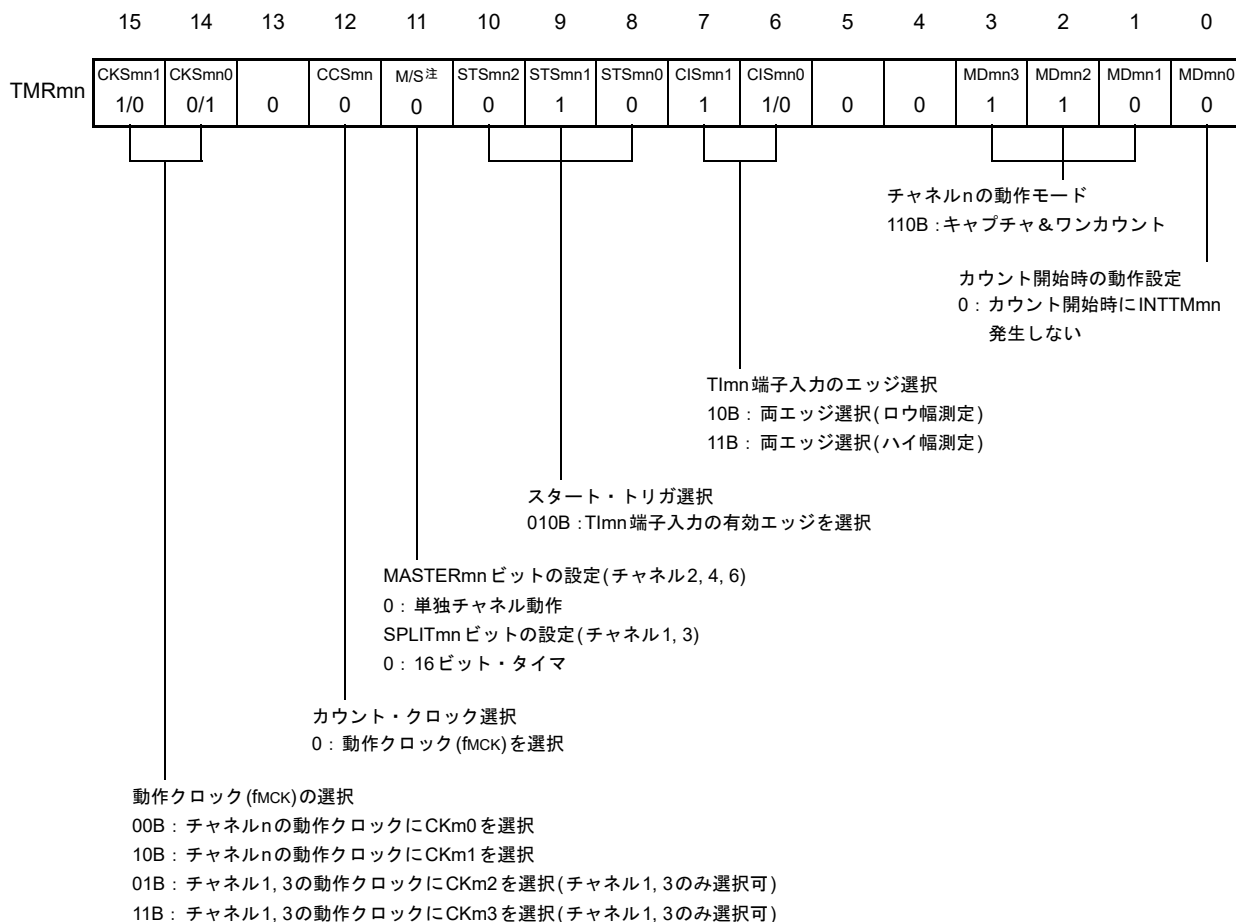
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

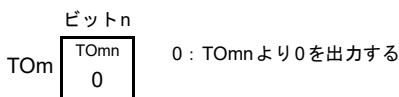
OVF : タイマ・ステータス・レジスタ mn (TSRmn)のビット0

図6-62 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

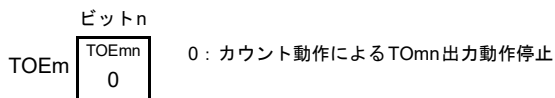
(a) タイマ・モード・レジスタ mn (TMRmn)



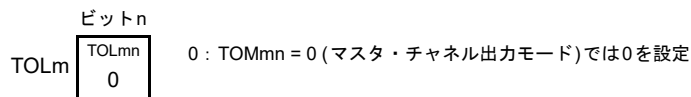
(b) タイマ出力レジスタ m (TOm)



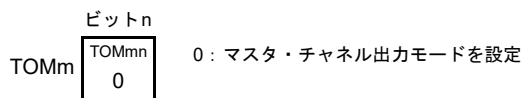
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0, TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-63 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ mn (TMRmn)を設定する (チャンネルの動作モード確定) TOEmnビットに0を設定し, TOMnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタ mn (TCRmn)を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn)は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタ mn (TDRmn)に転送し, INTTmnnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.5 デイレイ・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出 (外部イベント) でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することができます。

また、TE_{mn} = 1 の期間中に、ソフトウェア操作で TS_{mn} = 1 に設定することで、ダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

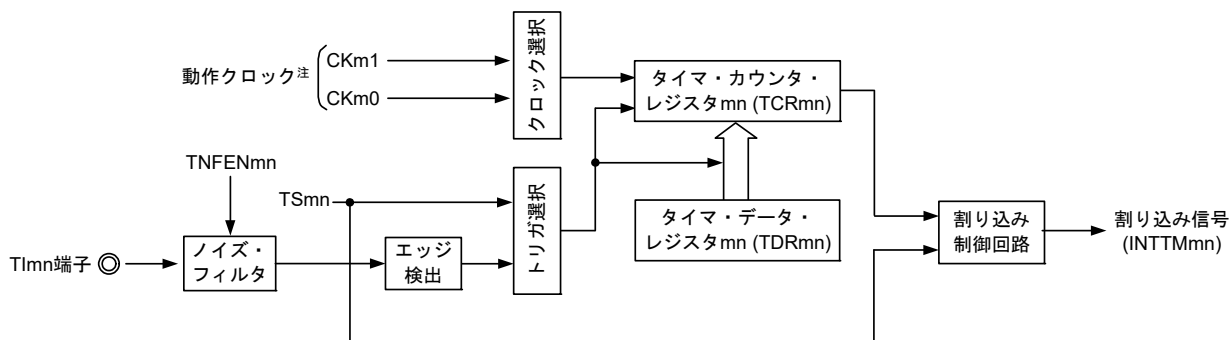
タイマ・カウンタ・レジスタ m_n (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1 となり Tl_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、Tl_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ m_n (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000H になったら INTTM_{mn} を出力し、次の Tl_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

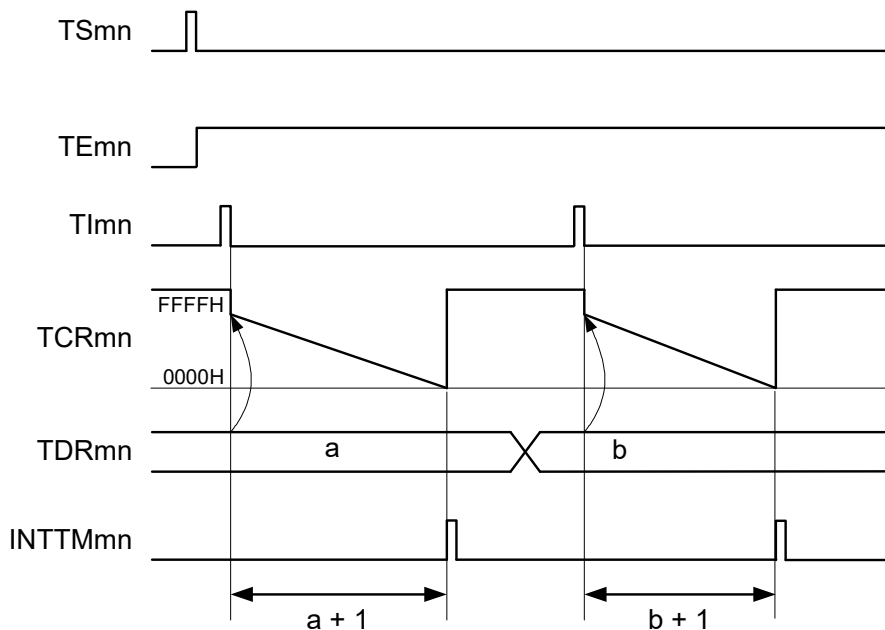
図6-64 デイレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-65 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

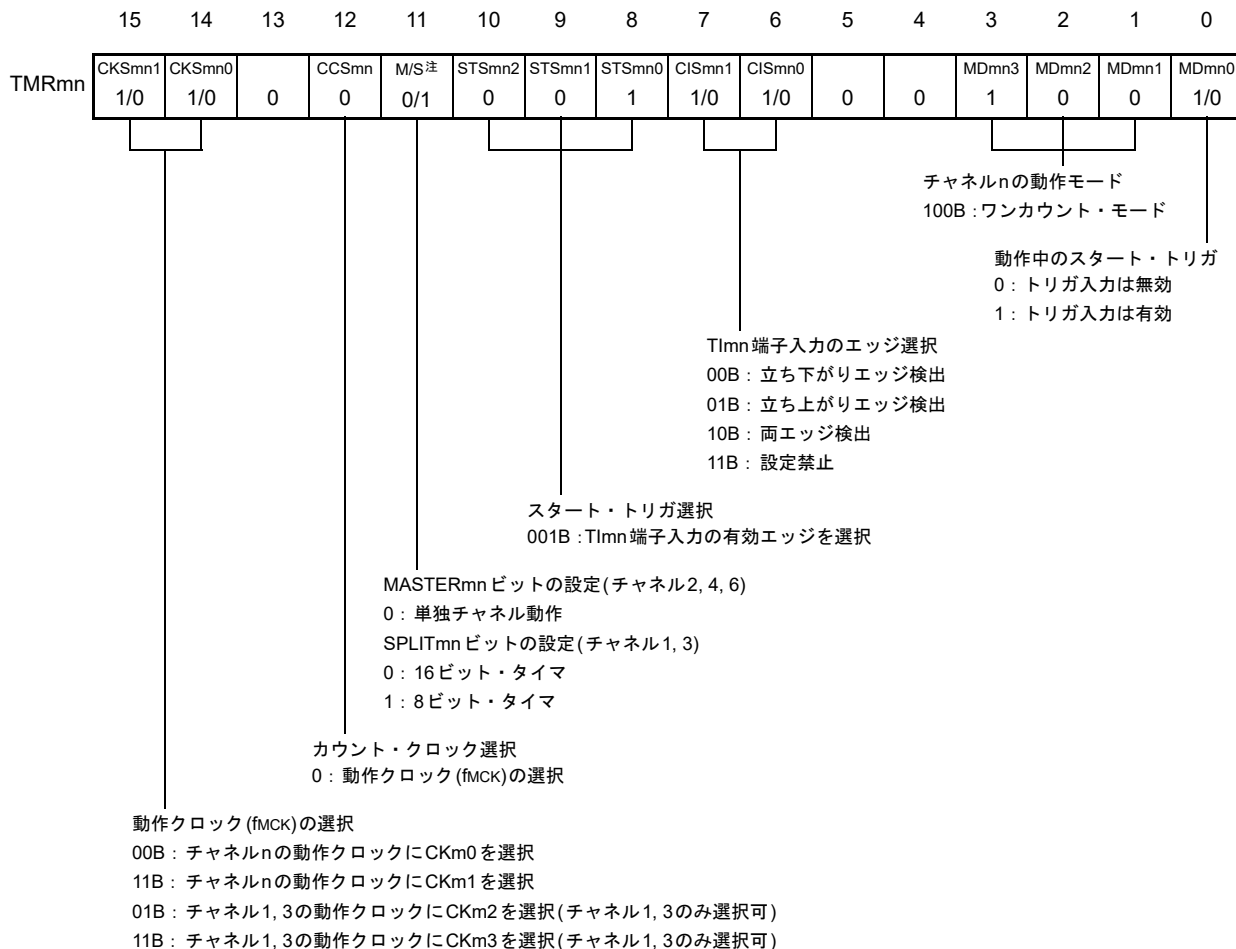
Tl mn : Tl mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

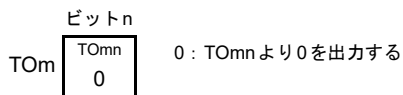
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6 - 66 ディレイ・カウンタ機能時のレジスタ設定内容例

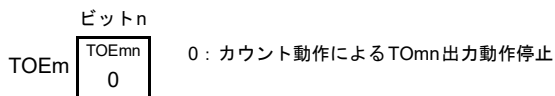
(a) タイマ・モード・レジスタ mn (TMRmn)



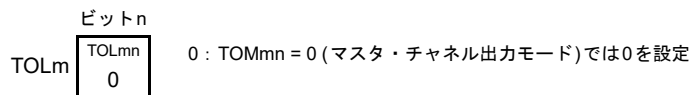
(b) タイマ出力レジスタ m (TOm)



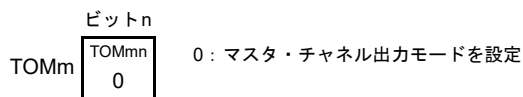
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmn ビット

TMRm1, TMRm3の場合 : SPLITmn ビット

TMRm0, TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-67 デイレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn)に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, スタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)待ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウンタを開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ (TCRmn)はダウン・カウント動作を行う。 TCRmn= 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\text{ディレイ} = \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期}$ $\text{パルス幅} = \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期}$
--

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

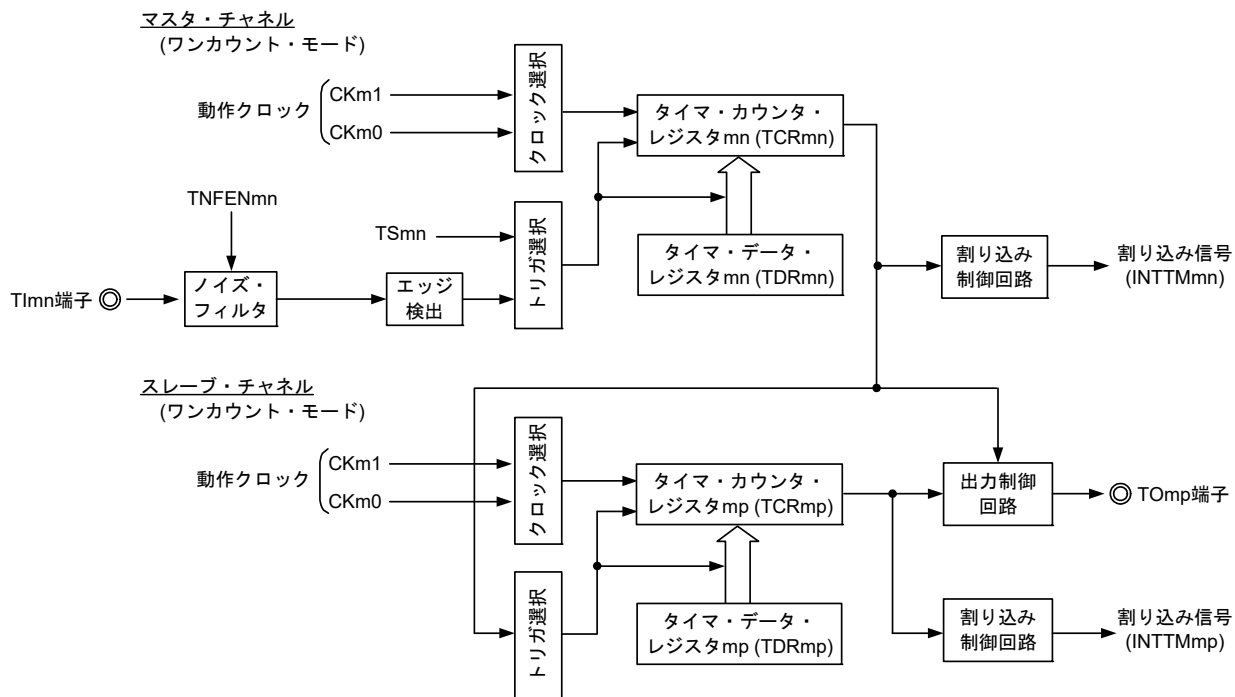
スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルの TDRmn レジスタとスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、カウント動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると、ロード・タイミングと競合して不正波形が出力される場合があります。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

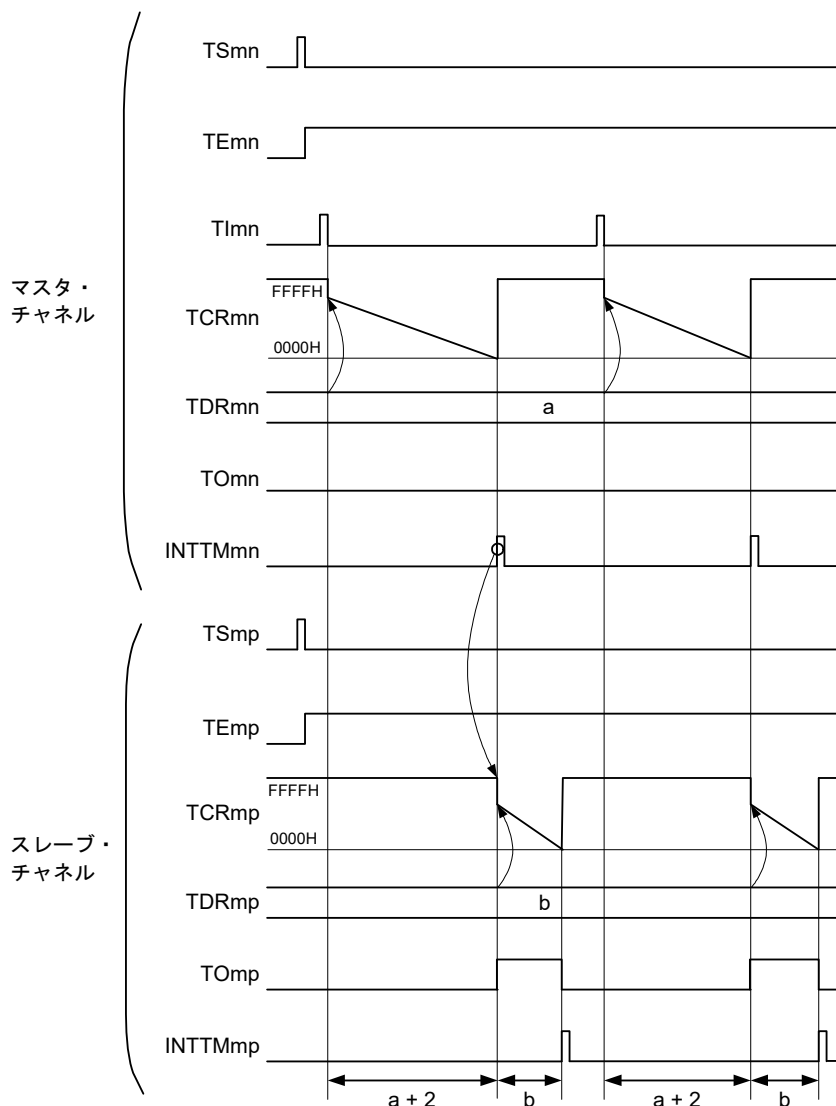
備考 m : ユニット番号 (m = 0), n : マスタ・チャネル番号 (n = 0, 2, 4, 6)
p : スレーブ・チャネル番号 (n < p ≤ 7)

図6 - 68 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-69 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

TImn, TImp : TImn, TImp 端子入力信号

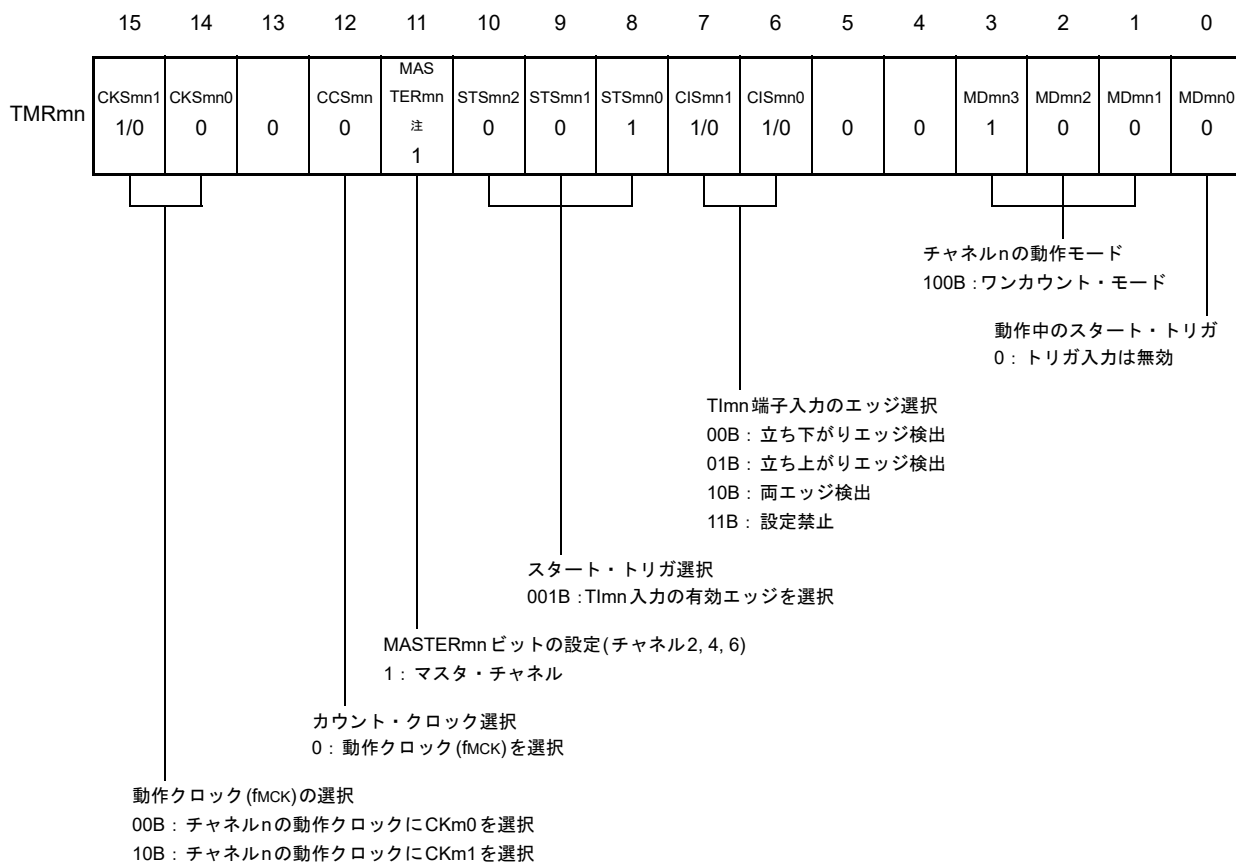
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

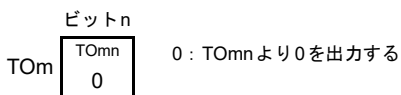
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6-70 ワンショット・パルス出力機能時(マスタ・チャンネル)のレジスタ設定内容例

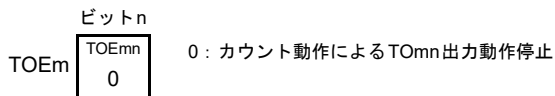
(a) タイマ・モード・レジスタ mn (TMRmn)



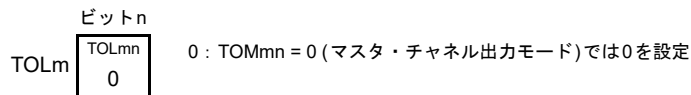
(b) タイマ出力レジスタ m (TOm)



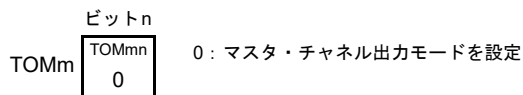
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

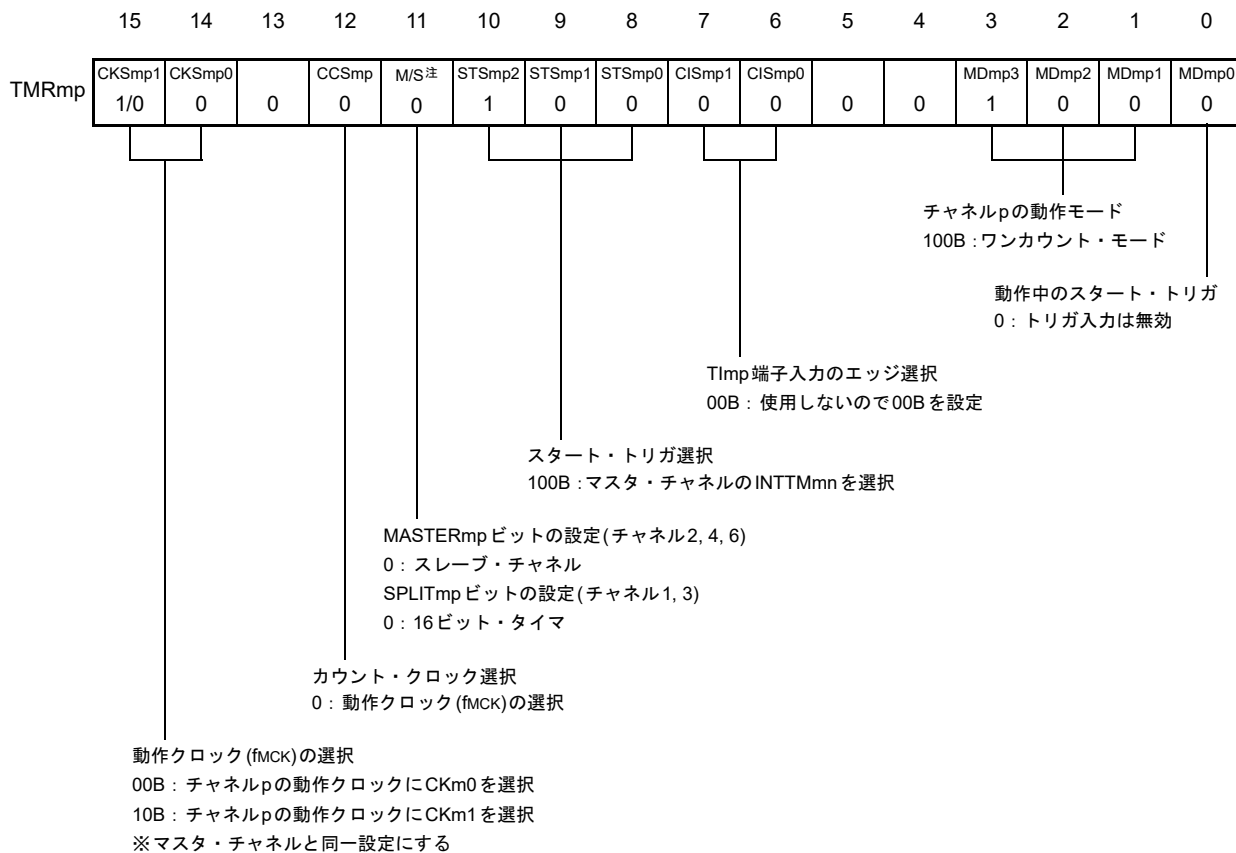


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
 TMRm0の場合 : 0固定

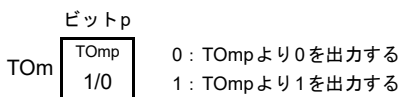
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6-71 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例

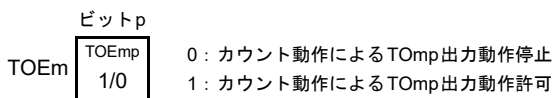
(a) タイマ・モード・レジスタ mp (TMRmp)



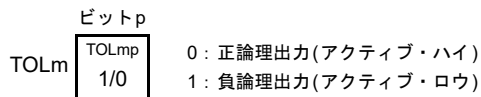
(b) タイマ出力レジスタ m (TOm)



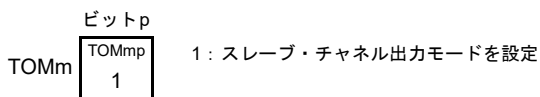
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmp ビット

TMRm1, TMRm3の場合 : SPLITmp ビット

TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-72 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応する ビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モー ド確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)に出力遅延時間, スレーブ・チャンネルの TDRmpレジスタにパルス幅を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp ビットに1(スレーブ・チャンネル出力モード)を設定 する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを 確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0 を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp初期設定レベルが出力され る。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(注, 備考は次ページにあります。)

図6-73 ワンショット・パルス出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開	動作開始	<p>TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ)</p> <p>タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する</p> <p>TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る</p> <p>マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。</p> <ul style="list-style-type: none"> • TImn端子入力の有効エッジ検出 • ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定 <p>注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください</p>	<p>TEmn = 1, TEm = 1となり、マスタ・チャンネルはスタート・トリガ検出(TImn端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに1を設定)待ち状態となる</p> <p>カウンタはまだ停止状態のまま</p> <p>マスタ・チャンネルがカウンタ動作開始</p>
	動作中	<p>TMRmn レジスタは、 CISmn1, CISmn0 ビットのみ設定値変更可能</p> <p>TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止</p> <p>TCRmn, TCRmp レジスタは、常に読み出し可能</p> <p>TSRmn, TSRmp レジスタは、使用しない</p> <p>スレーブチャンネルの TOm, TOEm レジスタは、設定値変更可能</p>	<p>マスタ・チャンネルでは、スタート・トリガ検出(TImn端子入力の有効エッジの検出または、マスタ・チャンネルの TSmn ビットに1を設定)により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。</p> <p>TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し、次のスタート・トリガ検出までカウンタ動作を停止する。</p> <p>スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。</p> <p>以降、この動作を繰り返す。</p>
	動作停止	<p>TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する</p> <p>TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る</p> <p>スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する</p>	<p>TEmn, TEm = 0になり、カウンタ動作停止</p> <p>TCRmn, TCRmp レジスタはカウンタ値を保持して停止</p> <p>TOmp出力は初期化されず、状態保持</p> <p>TOmp端子はTOmp設定レベルを出力</p>
	TAU停止	<p>TOmp端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する</p> <p>TOmp端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>PER0 レジスタの TAUmEN ビットに0を設定する</p>	<p>TOmp端子出力レベルはポート機能により保持される。</p> <p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)</p>

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

6.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDRmp (スレーブ)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ 0\% \text{出力} &: \text{TDRmp (スレーブ)の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDRmp (スレーブ)の設定値} \geq \{\text{TDRmn (マスタ)の設定値} + 1\} \end{aligned}$$

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ)の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSm)のチャンネル・スタート・トリガ・ビット(TSmn)に1を設定すると、割り込み(INTTMmn)を出力して、タイマ・データ・レジスタ mn (TDRmn)に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn)にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm)のチャンネル・ストップ・トリガ・ビット(TTmn)に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ(マスタ・チャンネルからのINTTMmn)が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)のデューティとなります。

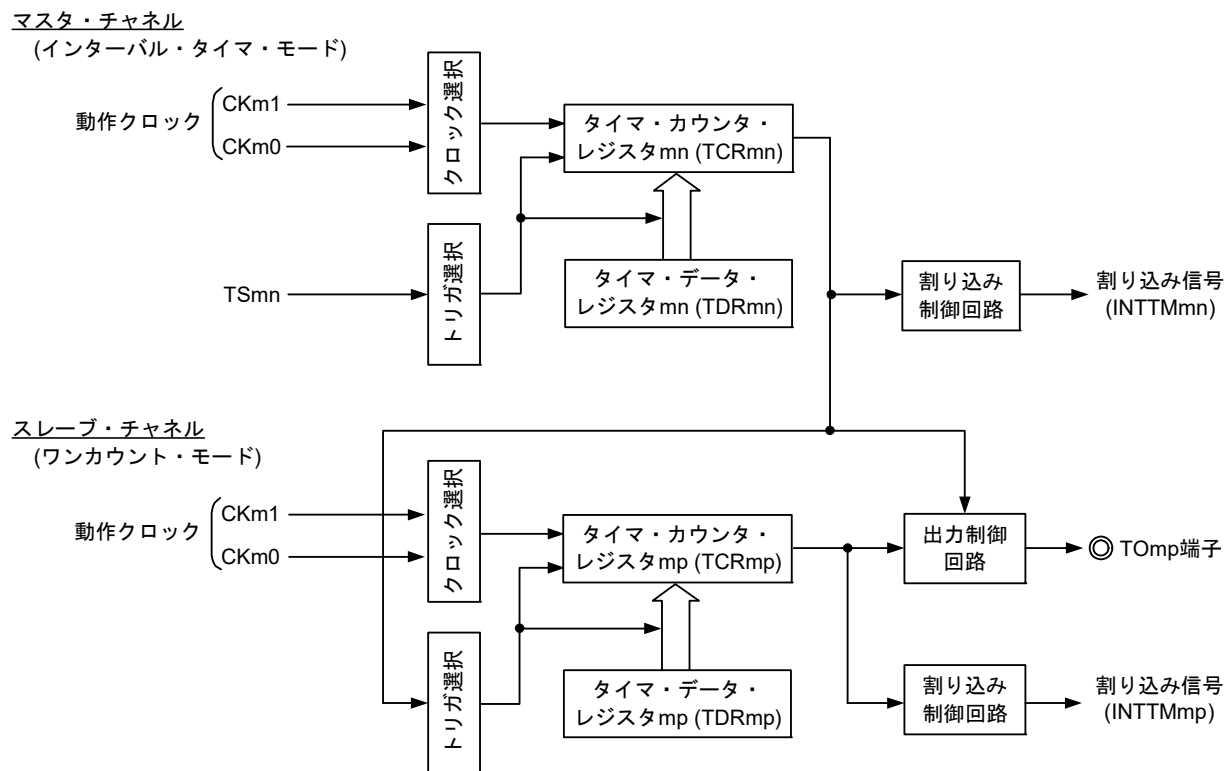
PWM出力(TOmp)は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

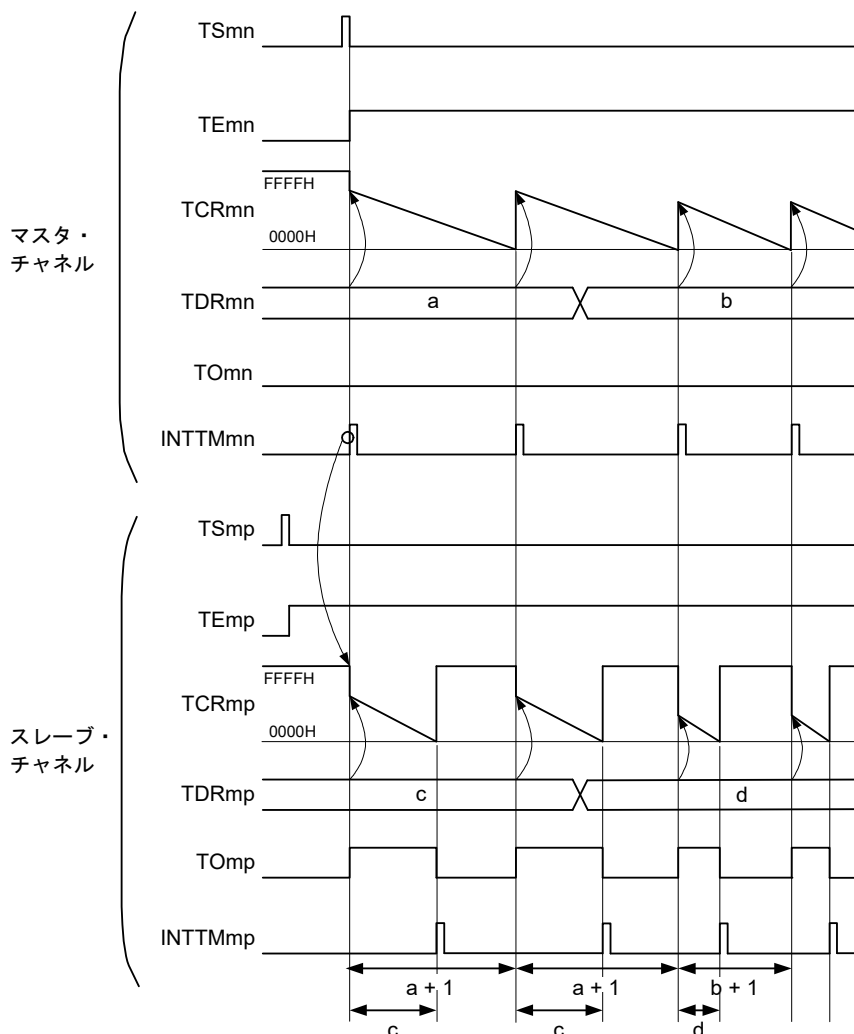
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-74 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-75 PWM機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TE mp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

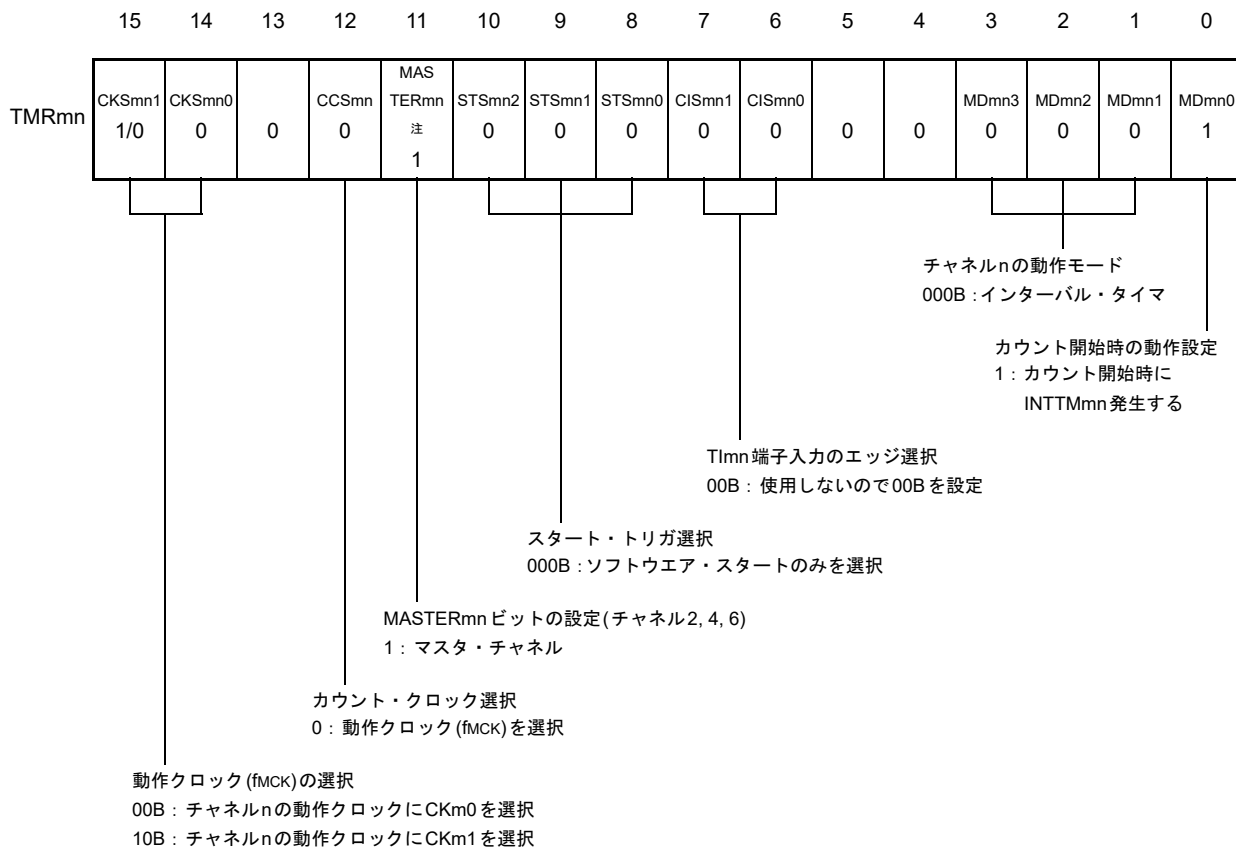
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

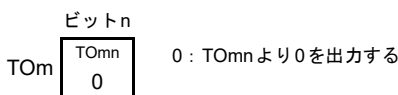
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6 - 76 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

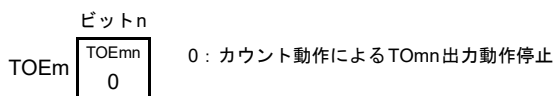
(a) タイマ・モード・レジスタ mn (TMRmn)



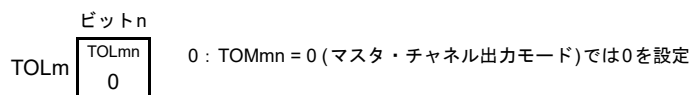
(b) タイマ出力レジスタ m (TOm)



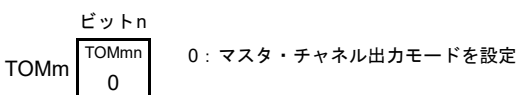
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

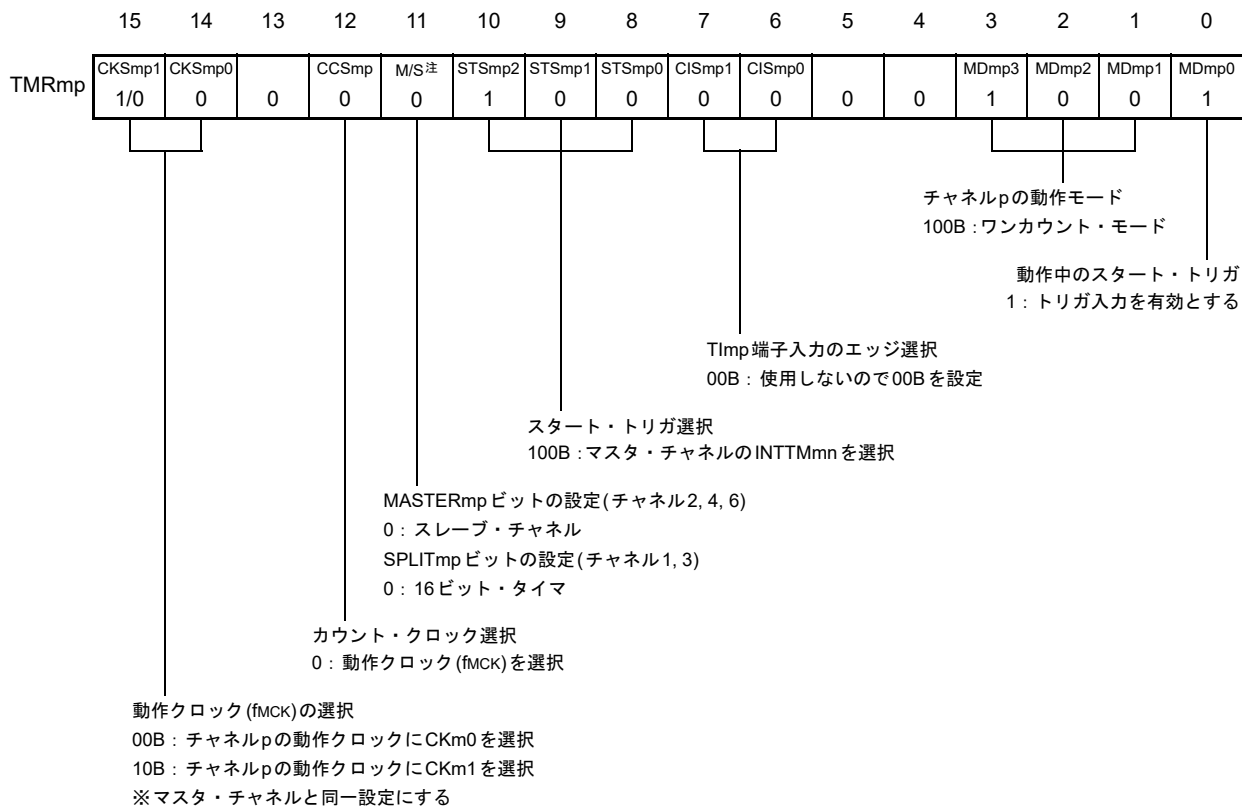


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

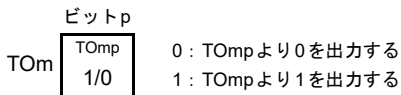
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6-77 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例

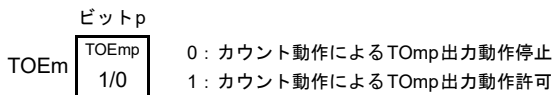
(a) タイマ・モード・レジスタ mp (TMRmp)



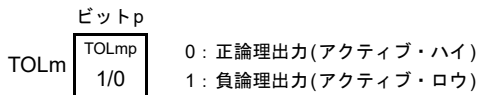
(b) タイマ出力レジスタ m (TOM)



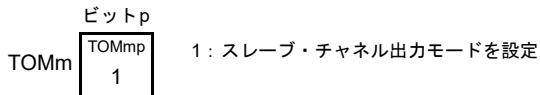
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn ビット
TMRm1, TMRm3の場合 : SPLITmp ビット
TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6 - 78 PWM機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	<p>周イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する</p> <p>タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する</p>	<p>パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)</p> <p>パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)</p>
チャ ネル 初期 設定	<p>使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モード確定)</p> <p>マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する</p> <p>スレーブ・チャンネルの設定</p> <p>タイマ出力モード・レジスタm (TOMm)のTOMmpビットに1(スレーブ・チャンネル出力モード)を設定する</p> <p>TOLmpビットを設定する</p> <p>TOmpビットを設定し, TOmp出力の初期レベルを確定する</p> <p>TOEmpビットに1を設定し, TOmpの動作を許可</p> <p>ポート・レジスタとポート・モード・レジスタに0を設定する</p>	<p>チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)</p> <p>TOmp端子はHi-Z出力状態</p> <p>ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。</p> <p>チャンネルは動作停止状態なので, TOmpは変化しない</p> <p>TOmp端子はTOmp設定レベルを出力</p>

(備考は次ページにあります。)

図6 - 79 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタはTDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmpビットに0を設定し、TOmpビットに値を設定する	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止 TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。 パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

6.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ1)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ2)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合

または TDRmq (スレーブ2)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合は、

デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn)は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp)の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

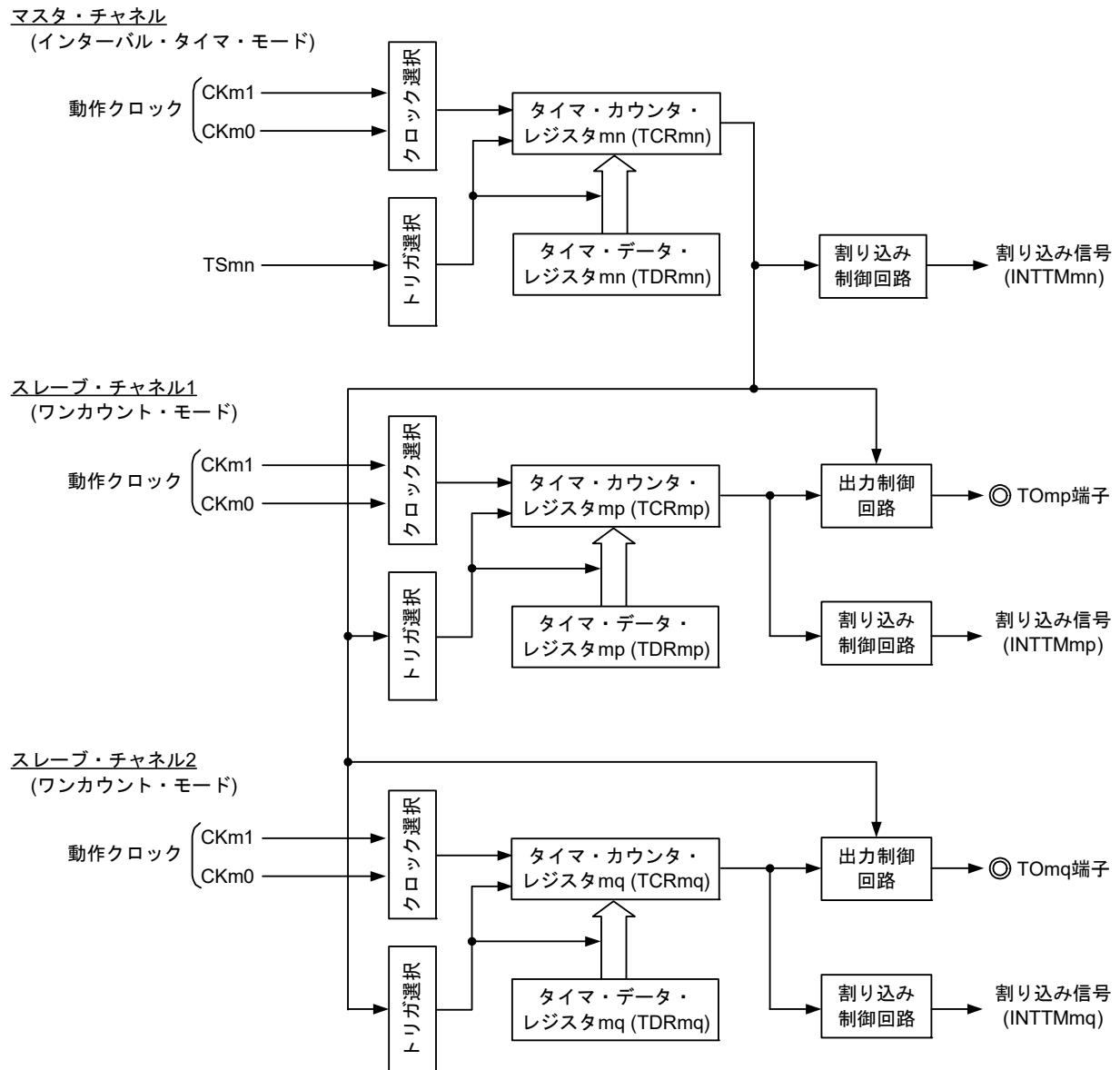
注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

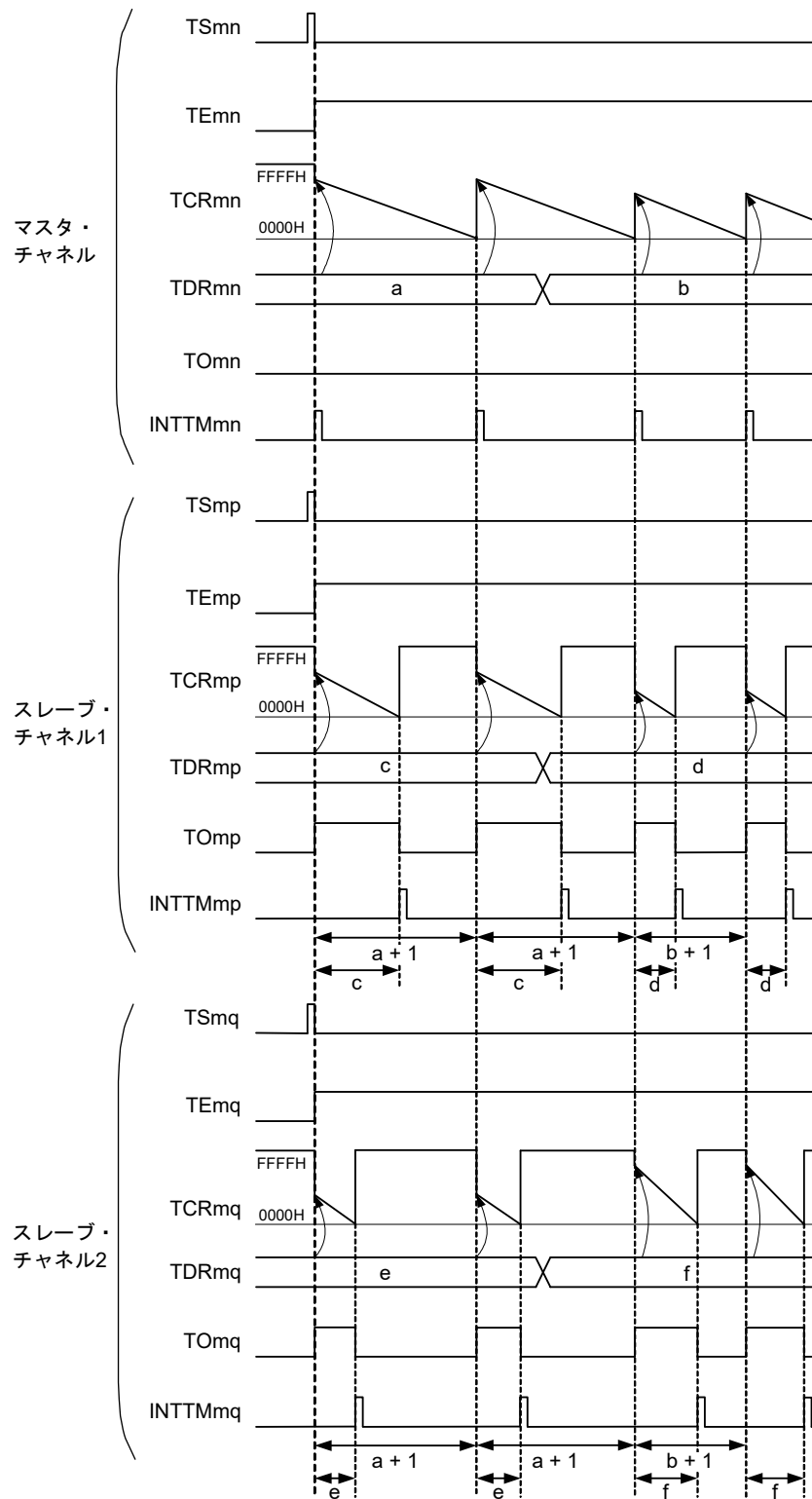
n < p < q ≤ 7 (ただし p, qは, n以降の整数)

図6 - 80 多重PWM出力機能としての動作のブロック図(2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただし p, q は, n 以降の整数)

図6 - 81 多重PWM出力機能としての動作の基本タイミング例(2種類のPWMを出力する場合)



(備考は次ページにあります。)

備考1. m : ユニット番号 ($m = 0$), n : マスタ・チャンネル番号 ($n = 0, 2, 4$)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 7$ (ただし p, q は, n 以降の整数)

備考2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m)のビット n, p, q

$TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m)のビット n, p, q

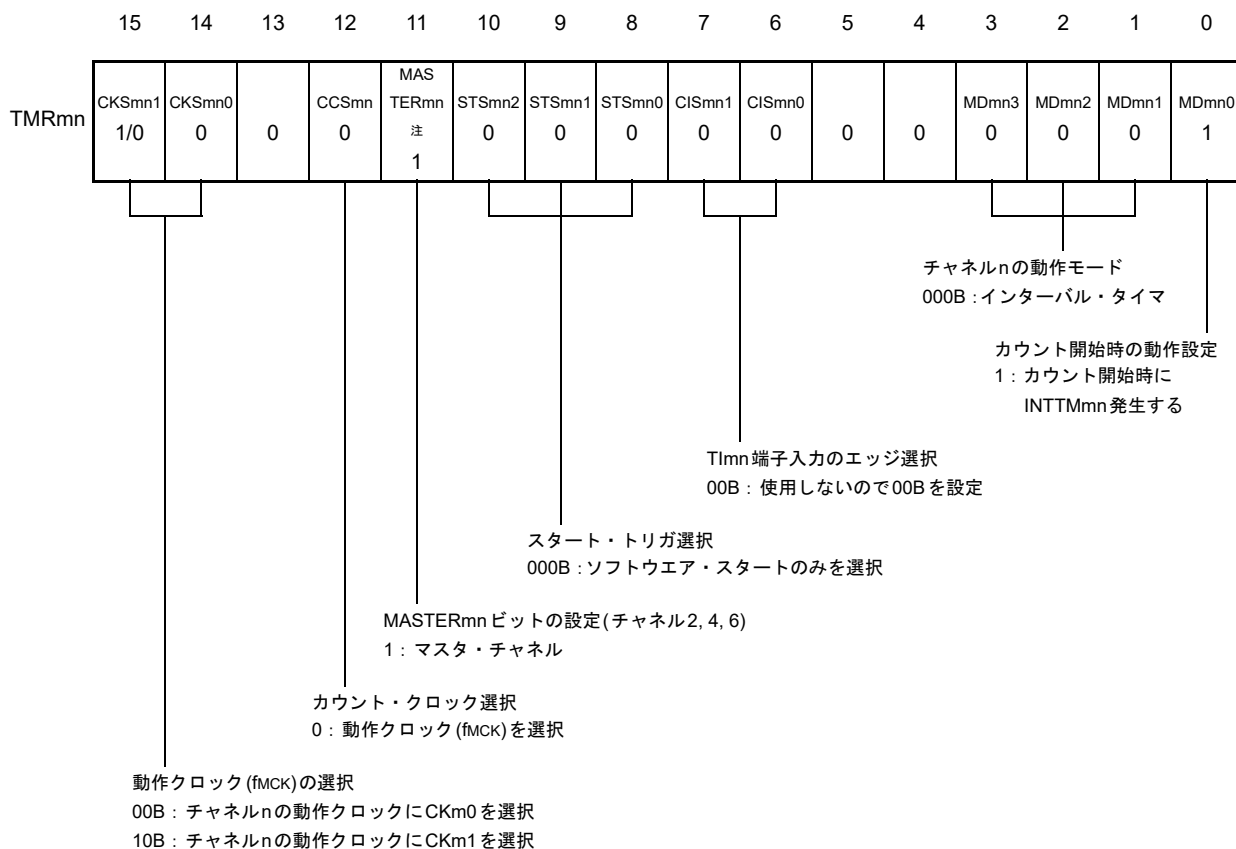
$TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)

$TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)

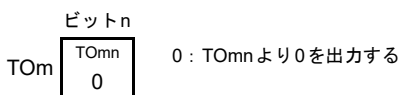
$TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図6 - 82 多重PWM出力機能時(マスタ・チャンネル)のレジスタ設定内容例

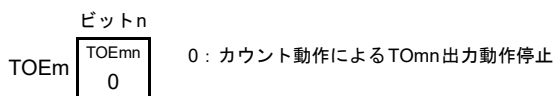
(a) タイマ・モード・レジスタ mn (TMRmn)



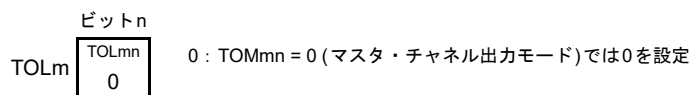
(b) タイマ出力レジスタ m (TOm)



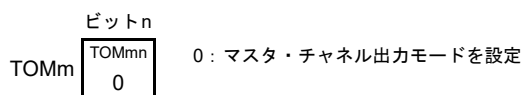
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

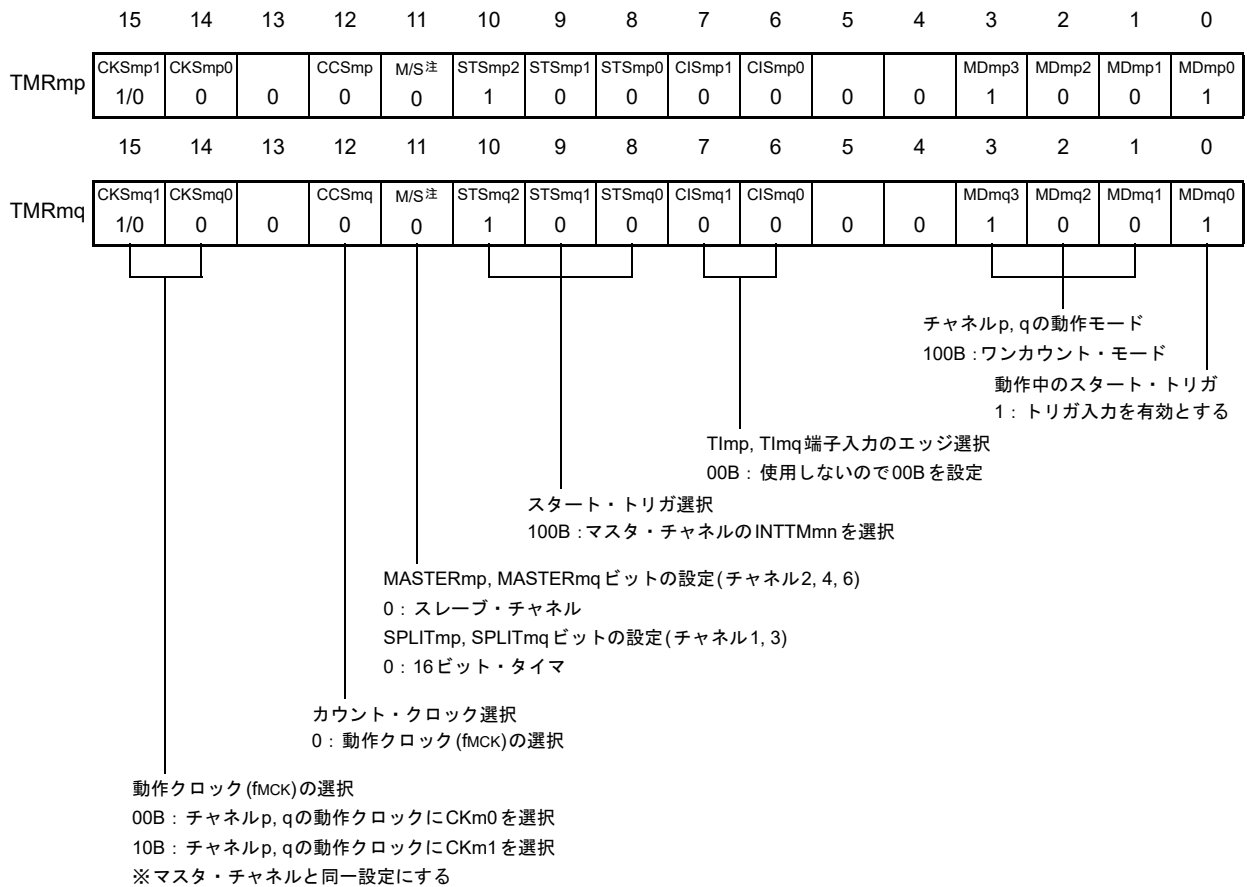


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)

図6 - 83 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)

(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



(b) タイマ出力レジスタ m (TOm)

ビット q ビット p

TOmq	TOmp
1/0	1/0

0 : TOmp, TOmq より 0 を出力する

1 : TOmp, TOmq より 1 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

ビット q ビット p

TOEmq	TOEmp
1/0	1/0

0 : カウント動作による TOmp, TOmq 出力動作停止

1 : カウント動作による TOmp, TOmq 出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

ビット q ビット p

TOLmq	TOLmp
1/0	1/0

0 : 正論理出力 (アクティブ・ハイ)

1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ m (TOMm)

ビット q ビット p

TOMmq	TOMmp
1	1

1 : スレーブ・チャンネル出力モードを設定

注 TMRm2, TMRm4, TMRm6 : MASTERmp, MASTERmq ビット
 TMRm1, TMRm3 の場合 : SPLITmp, SPLITmq ビット
 TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただし p, q は, n 以降の整数)

図6 - 84 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する タイマ・クロック選択レジスタ m (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタ mn, mp, mq (TMRmn, TMRmp, TMRmq)を設定する(チャ ネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)にインターバル(周期)値, スレーブ・チャ ネルのTDRmp, TDRmqレジスタにデューティ値を設定す る スレーブ・チャンネルの設定 タイマ出力モード・レジスタ m (TOMm)のTOMmp, TOMmqビットに1(スレーブ・チャンネル出力モード) を設定する TOLmp, TOLmqビットを設定する TOmp, TOMqビットを設定し, TOmp, TOMq出力の 初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOMq の動作を許可 ポート・レジスタとポート・モード・レジスタに0 を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp, TOMq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp, TOMq初期設定レベルが 出力される。 チャンネルは動作停止状態なので, TOmp, TOMqは変化 しない TOmp, TOMq端子はTOmp, TOMq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq(スレーブ)ビットに 1を設定する) タイマ・チャンネル開始レジスタ m (TSm)のTSmn(マス タ), TSmp, TSmq(スレーブ)ビットに同時に1 を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEMn = 1, TEmq, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmn を発生する。それをトリガとしてスレーブ・チャ ネルもカウント動作開始する。

動作再開(次ページ)

(備考は次ページにあります。)

図6 - 85 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開(前ページ)	<p>動作中</p> <p>TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止</p> <p>TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能</p> <p>TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能</p> <p>TSRmn, TSRmp, TSRmqレジスタは、使用しない</p>	<p>マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。</p> <p>スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。</p>
	<p>動作停止</p> <p>TTmn (マスタ), TTmp, TTmq (スレーブ)ビットに同時に1を設定する →</p> <p>TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る</p> <p>-----</p> <p>スレーブ・チャンネルのTOEmp, TOEmqビットに0を設定し、TOmp, TOmqビットに値を設定する →</p>	<p>TEmn, TEmp, TEmp = 0になり、カウント動作停止</p> <p>TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止</p> <p>TOmp, TOmq出力は初期化されず、状態保持</p> <p>-----</p> <p>TOmp, TOmq端子はTOmp, TOmq設定レベルを出力</p>
	<p>TAU停止</p> <p>TOmp, TOmq端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOmp, TOmqビットに0を設定する →</p> <p>TOmp, TOmq端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>-----</p> <p>PER0レジスタのTAUmENビットに0を設定する →</p>	<p>TOmp, TOmq端子出力レベルはポート機能により保持される。</p> <p>-----</p> <p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される</p> <p>(TOmp, TOmqビットが0になり、TOmp, TOmq端子はポート機能となる)</p>

備考 m : ユニット番号(m = 0), n : マスタ・チャンネル番号(n = 0, 2, 4)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

n < p < q ≤ 7 (ただしp, qは, n以降の整数)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。詳細は、4.5 兼用機能使用時のレジスタ設定を参照してください。

TAUのクロックに分周なしを選択し、且つTDR0n(n=0~7)に0000Hを設定した場合は、TAUの割り込み信号出力がHighに固定となり、割り込み要求を検出することができません。

第7章 8ビット・インターバル・タイマ

8ビット・インターバル・タイマは8ビット・タイマを2つ(チャンネル0, チャンネル1)持ち、それぞれが独立して動作します。また、2つの8ビット・タイマを連結動作させることで16ビット・タイマとして動作することができます。

7.1 概要

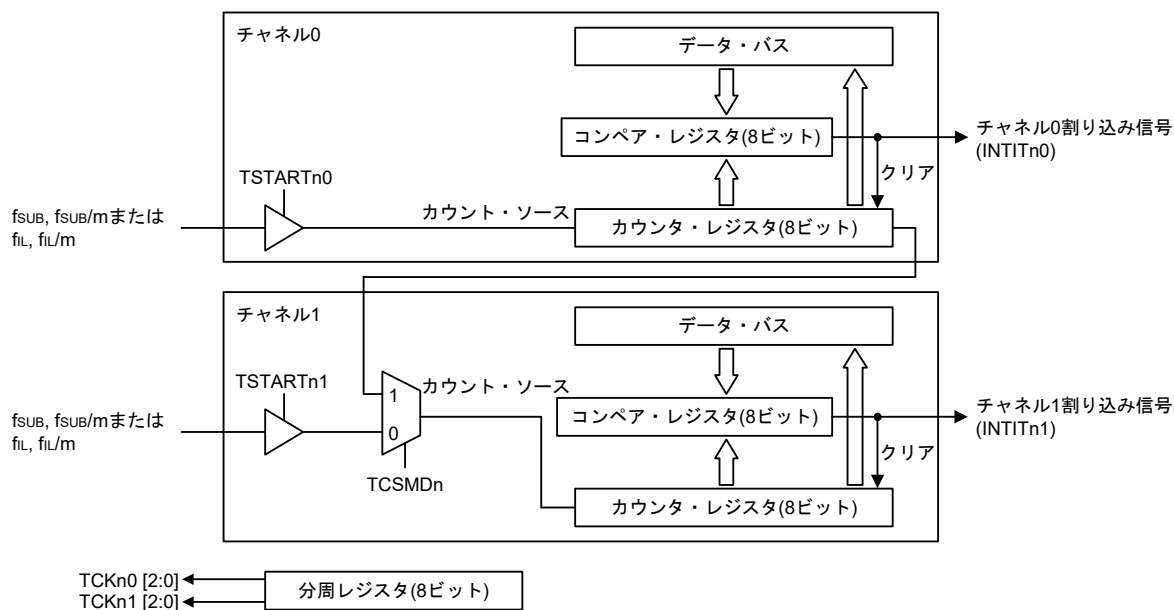
8ビット・インターバル・タイマはfSUBまたはfILクロックで動作する8ビット・タイマです。

表7-1に8ビット・インターバル・タイマの仕様を、図7-1に8ビット・インターバル・タイマのブロック図を示します。

表7-1 8ビット・インターバル・タイマの動作仕様

項目	内容
カウント・ソース (動作クロック)	<ul style="list-style-type: none"> • fSUB, fSUB/2, fSUB/4, fSUB/8, fSUB/16, fSUB/32, fSUB/64, fSUB/128 • fIL, fIL/2, fIL/4, fIL/8, fIL/16, fIL/32, fIL/64, fIL/128
動作モード	<ul style="list-style-type: none"> • 8ビット・カウンタ・モード チャンネル0, チャンネル1が独立した8ビット・カウンタとして動作するモード • 16ビット・カウンタ・モード チャンネル0, チャンネル1を連結して16ビット・カウンタとして動作するモード
割り込み	<ul style="list-style-type: none"> • カウンタがコンペア値と一致したとき出力

図7-18 8ビット・インターバル・タイマのブロック図



TSTARTni (i = 0, 1), TCSMDn, TCLKENn: TRTCRn レジスタのビット

TCKni [2:0]: TRTMDn レジスタのビット

備考 m = 2, 4, 8, 16, 32, 64, 128

n = 0

7.2 入出力端子

8ビット・インターバル・タイマは入出力端子を持ちません。

7.3 レジスタの説明

表7-2に8ビット・インターバル・タイマのレジスタ構成を示します。

表7-2 レジスタ一覧

レジスタ名	シンボル
8ビット・インターバル・タイマ・カウンタ・レジスタ00	TRT00 ^{注1}
8ビット・インターバル・タイマ・カウンタ・レジスタ01	TRT01 ^{注1}
8ビット・インターバル・タイマ・カウンタ・レジスタ0	TRT0 ^{注2}
8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00 ^{注1}
8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTCMP01 ^{注1}
8ビット・インターバル・タイマ・コンペア・レジスタ0	TRTCMP0 ^{注2}
8ビット・インターバル・タイマ制御レジスタ0	TRTCR0
8ビット・インターバル・タイマ分周レジスタ0	TRTMD0

注1. TRTCRn レジスタの TCSMDn ビット = 0 のときのみアクセス可能です。

注2. TRTCRn レジスタの TCSMDn ビット = 1 のときのみアクセス可能です。

備考 n = 0

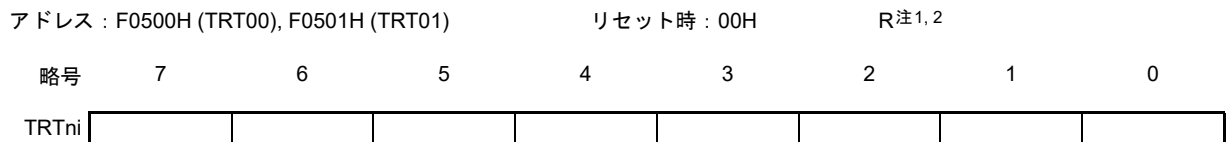
7.3.1 8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRT ni) ($n = 0, i = 0, 1$)

8ビット・インターバル・タイマのカウンタ・レジスタです。カウンタ・クロックによりカウンタ・アップするカウンタです。

TRT ni レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRT ni)のフォーマット



注1. TRT ni レジスタはコンペア・レジスタ TRTCMP ni に書き込みアクセス後、カウンタ・クロックで2サイクル後00Hになります。詳細は、7.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCR n)のモード選択ビット(TCSMD n)が0の場合のみアクセスが可能になります。

7.3.2 8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRT n) ($n = 0$)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合の16ビットのカウンタ・レジスタです。

TRT n レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7-3 8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRT n)のフォーマット



注1. TRT n レジスタはコンペア・レジスタ TRTCMP n に書き込みアクセス後、カウンタ・クロックで2サイクル後に0000Hになります。詳細は、7.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCR n)のモード選択ビット(TCSMD n)が1の場合のみアクセスが可能になります。

7.3.3 8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni) (n = 0, i = 0, 1)

8ビット・インターバル・タイマのコンペア値レジスタです。

TRTCMPniレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

設定範囲は01H～FFH^{注1}です。

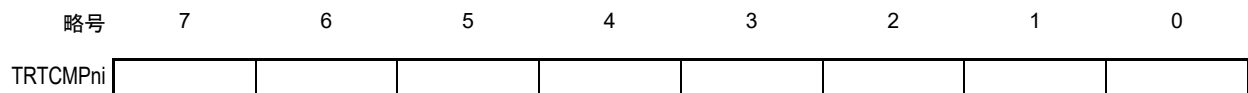
TRTn0, TRTn1レジスタ(カウンタ)との比較値を格納します。

ライト・アクセスによりカウント値(TRTn0, TRTn1)を00Hにクリアします。

コンペア値の書き換えタイミングは、7.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

図7-4 8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni)のフォーマット

アドレス : F0350H (TRTCMP00), F0351H (TRTCMP01) リセット時 : FFH R/W^{注1,2}



注1. TRTCMPniレジスタの00H設定は禁止です。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のモード選択ビット(TCSMDn)が0の場合のみアクセスが可能になります。

7.3.4 8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn) (n = 0)

8ビット・インターバル・タイマを16ビット・インターバル・タイマ・モードで使用する場合のコンペア値レジスタです。

TRTCMPnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFHになります。

設定範囲は0001H～FFFFH^{注1}です。

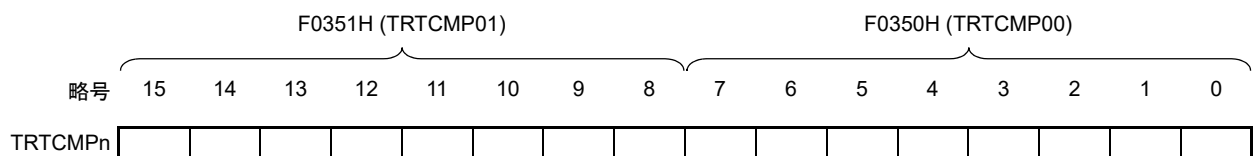
TRTnレジスタ(カウンタ)との比較値を格納します。

ライト・アクセスによりカウント値(TRTn)を0000Hにクリアします。

コンペア値の書き換えタイミングは、7.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

図7-5 8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)のフォーマット

アドレス : F0350H (TRTCMP0) リセット時 : FFFFH R/W^{注2}



注1. TRTCMPnレジスタの0000H設定は禁止です。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のモード選択ビット(TCSMDn)が1の場合のみアクセスが可能になります。

7.3.5 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn) (n = 0)

8ビット・インターバル・タイマのカウント停止/開始の設定と8ビット・カウンタ/16ビット・カウンタ動作の切替えを設定するレジスタです。

TRTCRnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-6 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)のフォーマット

アドレス : F0352H (TRTCR0)	リセット時 : 00H	R/W ^{注3}						
略号	7	6	5	4	3	2	1	0
TRTCRn	TCSMDn	0	0	TCLKENn	0	TSTARTn1	0	TSTARTn0
TCSMDn	モード選択							
0	8ビット・カウンタとして動作							
1	16ビット・カウンタとして動作(チャネル0, チャネル1を連結)							
詳細は、7.4 動作説明を参照。								
TCLKENn	8ビット・インターバル・タイマ・クロック許可 ^{注1}							
0	クロック停止							
1	クロック供給							
TSTARTn1	8ビット・インターバル・タイマ1カウント開始 ^{注1,2}							
0	カウント停止							
1	カウント開始							
8ビット・インターバル・タイマ・モードでは、TSTARTn1ビットに1を書くことによりTRTn1がカウントを開始し、0を書くことによりカウントを停止します。								
16ビット・インターバル・タイマ・モードでは、未使用のため無効になります。詳細は、7.4 動作説明を参照。								
TSTARTn0	8ビット・インターバル・タイマ0カウント開始 ^{注1,2}							
0	カウント停止							
1	カウント開始							
8ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRTn0がカウントを開始し、0を書くことによりカウントを停止します。								
16ビット・インターバル・タイマ・モードでは、TSTARTn0ビットに1を書くことによりTRTnがカウントを開始し、0を書くことによりカウントを停止します。詳細は、7.4 動作説明を参照。								

- 注1. 8ビット・インターバル・タイマを設定するには、必ず最初にTCLKENnビットを1に設定してください。クロックを停止させる場合、TSTARTn0およびTSTARTn1に0を設定後、動作クロック(f_{SUB}またはf_{IL})で1サイクル以上経過後にTCLKENnビットに0を設定してください。詳細は、7.5.3 8ビット・インターバル・タイマ設定手順についてを参照してください。
- 注2. TSTARTn0, TSTARTn1, TCSMDnビットの使用上の注意は、7.5.1 動作モード設定変更についてを参照してください。
- 注3. ビット6, 5, 3, 1は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

7.3.6 8ビット・インターバル・タイマ分周レジスタ n (TRTMDn) (n = 0)

8ビット・インターバル・タイマのカウンタ・ソースの分周比選択を設定するレジスタです。

TRTMDnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-7 8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)のフォーマット

アドレス : F0353H (TRTMD0)	リセット時 : 00H	R/W ^{注4}						
略号	7	6	5	4	3	2	1	0
TRTMDn	—	TCKn1			—	TCKn0		
TCKn1			8ビット・インターバル・タイマ1分周選択 ^{注1, 2, 3}					
ビット6	ビット5	ビット4						
0	0	0	fSUB または fIL					
0	0	1	fSUB/2 または fIL/2					
0	1	0	fSUB/4 または fIL/4					
0	1	1	fSUB/8 または fIL/8					
1	0	0	fSUB/16 または fIL/16					
1	0	1	fSUB/32 または fIL/32					
1	1	0	fSUB/64 または fIL/64					
1	1	1	fSUB/128 または fIL/128					
8ビット・インターバル・タイマ・モードでは、TCKn1に設定したカウンタ・ソースによりTRTn1がカウントします。								
16ビット・インターバル・タイマ・モードでは、使用しないため“000”に設定してください。詳細は、7.4 動作説明を参照。								
TCKn0			8ビット・インターバル・タイマ0分周選択 ^{注1, 2, 3}					
ビット2	ビット1	ビット0						
0	0	0	fSUB または fIL					
0	0	1	fSUB/2 または fIL/2					
0	1	0	fSUB/4 または fIL/4					
0	1	1	fSUB/8 または fIL/8					
1	0	0	fSUB/16 または fIL/16					
1	0	1	fSUB/32 または fIL/32					
1	1	0	fSUB/64 または fIL/64					
1	1	1	fSUB/128 または fIL/128					
8ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウンタ・ソースによりTRTn0がカウントします。								
16ビット・インターバル・タイマ・モードでは、TCKn0に設定したカウンタ・ソースによりTRTnがカウントします。詳細は、7.4 動作説明を参照。								

注1. カウント中にカウンタ・ソースの切り替えをしないでください。カウンタ・ソースを切替えるときは、TRTCRnレジスタのTSTARTniビットが0(カウント停止)の時に、設定してください。

注2. 未使用チャンネルのTCKniは000Bに設定してください。

注3. TCKni (i = 0, 1)ビットは、必ずTRTCMPniレジスタの設定前に設定してください。

注4. ビット7, 3は、Read Onlyです。ライトする場合は、0を書き込んでください。リードする場合は、0が読み込まれます。

7.4 動作説明

7.4.1 カウンタ・モード

8ビット・カウンタ・モード/16ビット・カウンタ・モードの2種類のモードを持ちます。表7-3に8ビット・カウンタ・モード、表7-4に16ビット・カウンタ・モード時の使用レジスタと設定値を示します。

表7-3 8ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名(シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタ n0 (TRTn0)	b7～b0	チャンネル0側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・カウンタ・レジスタ n1 (TRTn1)	b7～b0	チャンネル1側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタ n0 (TRTCMPn0)	b7～b0	チャンネル0側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ・コンペア・レジスタ n1 (TRTCMPn1)	b7～b0	チャンネル1側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)	TSTARTn0	チャンネル0側のカウント開始/停止を選択してください。
	TSTARTn1	チャンネル1側のカウント開始/停止を選択してください。
	TCLKENn	1に設定してください。
	TCSMDn	0に設定してください。
8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)	TCKn0	チャンネル0側のカウント・クロックを選択してください。
	TCKn1	チャンネル1側のカウント・クロックを選択してください。

備考 n = 0

表7-4 16ビット・カウンタ・モード時の使用レジスタと設定値

レジスタ名(シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn)	b15～b0	16ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)	b15～b0	16ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)	TSTARTn0	カウント開始/停止制御を選択してください。
	TSTARTn1	0に設定してください。
	TCLKENn	1に設定してください。
	TCSMDn	1に設定してください。
8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)	TCKn0	カウント・クロックを選択してください。
	TCKn1	000Bに設定してください。

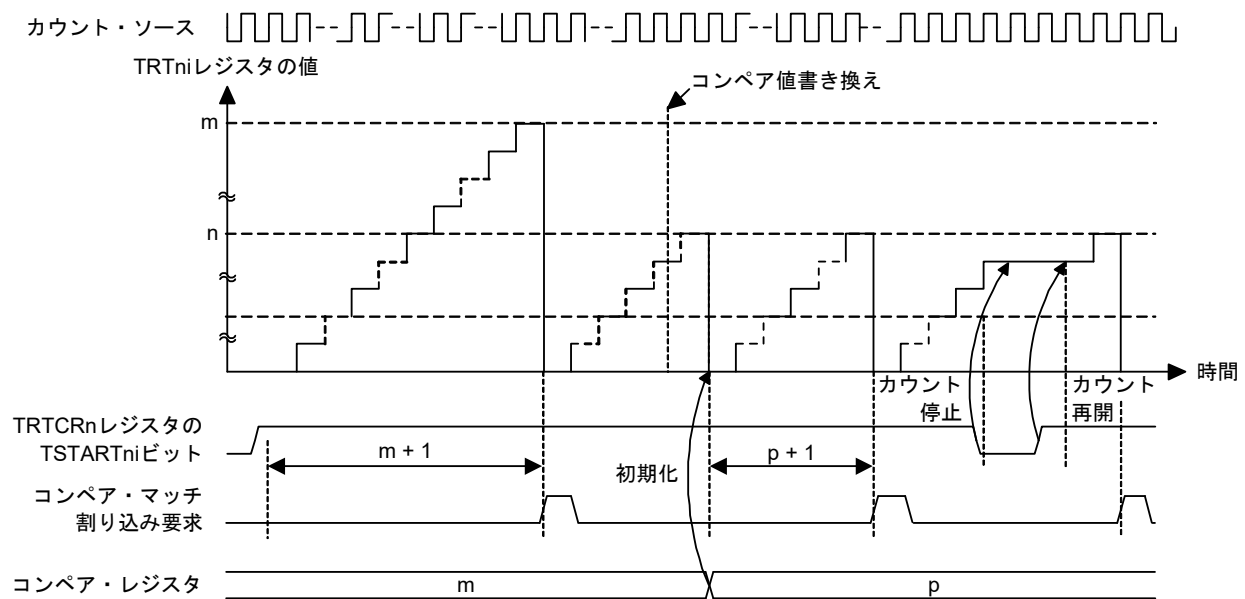
備考 n = 0

7.4.2 タイマ動作

分周レジスタ (TRTMDn) の TCKni ($n = 0, i = 0, 1$) ビットにより選択されたカウント・ソースで、アップ・カウントします。カウント・ソースが入力されるごとにカウント値が1だけ増加し、カウント値がコンペア値になった後、次のカウント・ソースが入力されるとコンペア・マッチし、割り込み要求を発生します。割り込み要求はカウント・ソース同期の1パルスで出力されます。ただし、TRTCRnレジスタのTSTARTniビットを0に設定し、カウント値が00hで停止した場合は、割り込み要求が発生し続けます。

また、動作停止時には停止直前のカウンタ値を保持し続けます。カウント値をクリアする場合は、TRTCMPniレジスタのコンペア値を再設定してください。TRTCMPniレジスタに書き込み後、カウント・ソースで2サイクル後にカウント値がクリアされます。

図7-8 タイマ動作例



備考 $n = 0$ $i = 0, 1$ m, p : TRTCMPniレジスタの設定値

ただし、カウント動作開始時の最初の00Hカウント期間は、TRTCRレジスタのTSTARTni ($i = 0, 1$) ビットに1を書き込むタイミングにより、下記のように可変します。

- カウント・ソース (f_{SUB} または f_{IL}) 選択時
 - 最大: カウント・ソースで2サイクル
 - 最小: カウント・ソースで1サイクル
- カウント・ソース ($f_{SUB}/2^m$ または $f_{IL}/2^m$) 選択時
 - 最大: カウント・ソース1サイクル
 - 最小: 選択クロック (f_{SUB} または f_{IL}) 1サイクル

カウント値がコンペア値と一致した場合、次のカウント・ソースでカウント値はクリアされます。また、TRTCMPn_iレジスタのコンペア値を書き換えた場合も、書き込み後カウント・ソースで2サイクル後にカウント値がクリアされます。

8/16ビット・カウンタ・モード時割り込み要因を、以下の表7-5に示します。

表7-5 8/16ビット・カウンタ・モード時割り込み要因

割り込み名称	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因
INTIT _n 0	チャンネル0コンペア・マッチ後、次のカウント・ソースの立ち上がり	コンペア・マッチ後、次のカウント・ソースの立ち上がり
INTIT _n 1	チャンネル1コンペア・マッチ後、次のカウント・ソースの立ち上がり	未発生

備考 n = 0

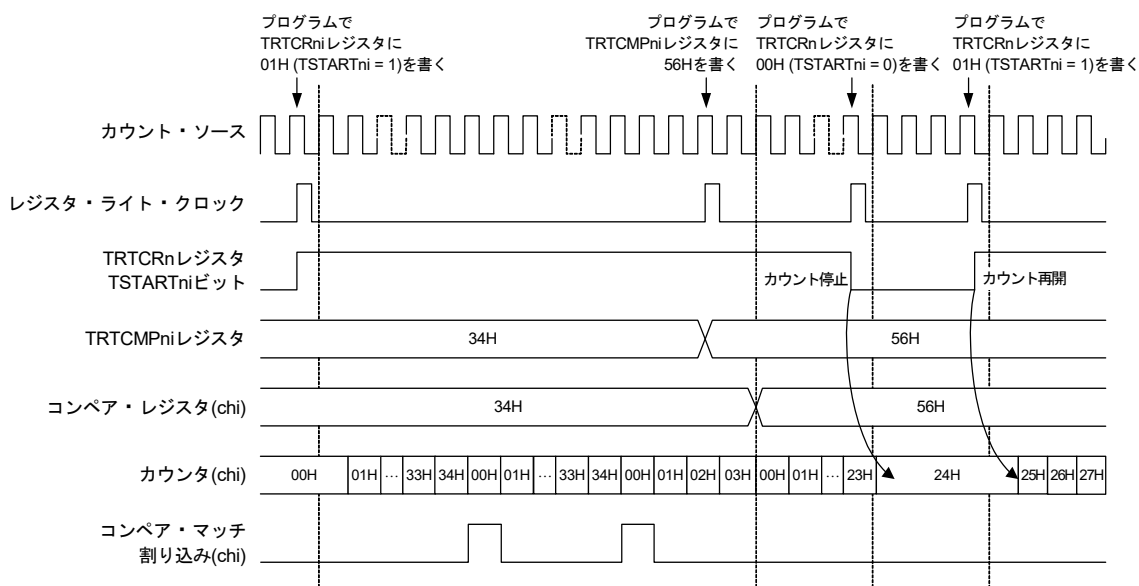
7.4.3 開始/停止タイミング

7.4.3.1 カウント・ソース (fsUB) 選択時

TRTCRnレジスタのTSTARTni (n = 0, i = 0, 1)ビットに1を書き込み後、次のサブシステム・クロック (fsUB) でカウントが開始され、その次のカウント・ソース (fsUB) でカウンタが00Hから01Hにカウント・アップされます。同様に、TSTARTniビットに0を書き込み後、サブシステム・クロック (fsUB) でカウント・アップ後にカウントが停止します。

カウント動作の開始/停止タイミングを図7-9、カウント停止→コンペア設定(カウント・クリア)→カウント開始のタイミングを図7-10に示します。図7-9、図7-10は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

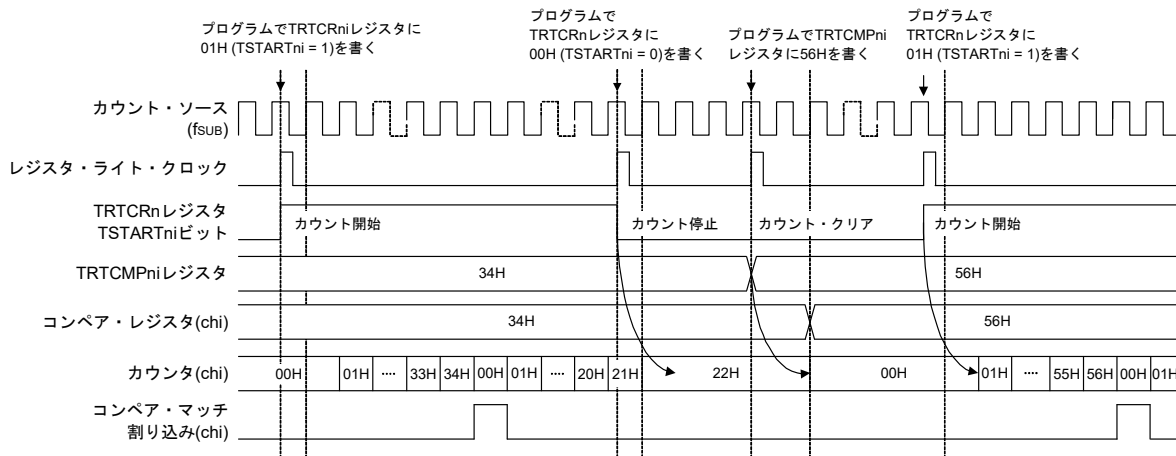
図7-9 カウント開始/停止動作例 (fsUB 選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0 i = 0, 1

図7-10 カウント停止→カウント・クリア→カウント開始動作例 (fsUB選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

備考 n = 0 i = 0, 1

7.4.3.2 カウント・ソース (fsUB/2^m) 選択時

TRTCRn レジスタの TSTARTni (n = 0, i = 0, 1) ビットに 1 を書き込み後、次のサブシステム・クロック (fsUB) でカウントが開始され、その次のカウント・ソース (fsUB/2^m) でカウンタが 00H から 01H にカウント・アップされます。同様に、TSTARTni ビットに 0 を書き込み後、次のサブシステム・クロック (fsUB) でカウントが停止します。

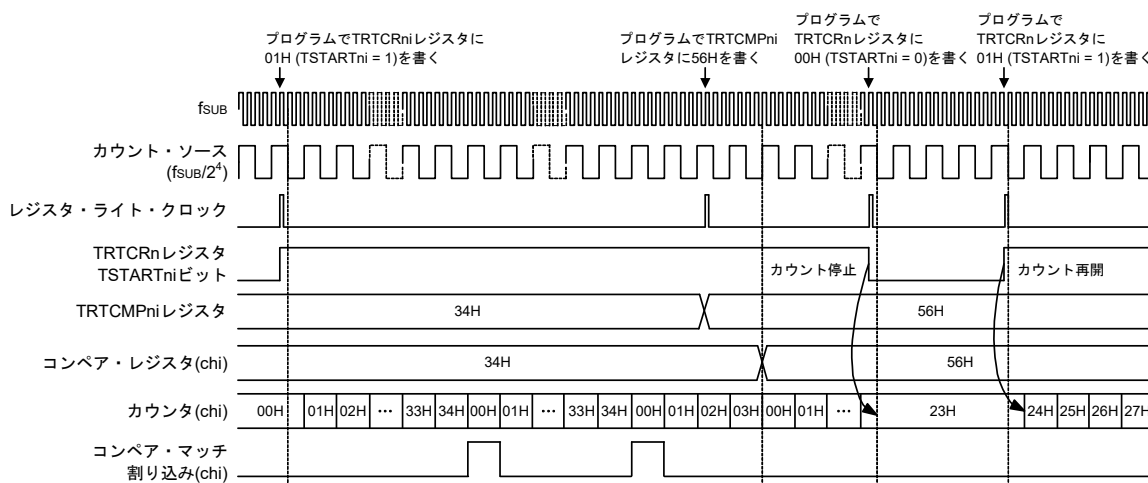
ただし、タイマカウント開始時の最初の 00H カウント期間は、TSTARTni ビットの書き込みタイミングと次のカウント・ソースのタイミングによって下記のようにカウント・ソース 1 サイクルよりも短くなります。

最小：サブシステム・クロック (fsUB) 1 サイクル

最大：カウント・ソース 1 サイクル

カウント動作の開始/停止タイミングを図7-11、カウント停止→コンペア・レジスタ設定(カウント・クリア)→カウント開始のタイミングを図7-12に示します。図7-11、図7-12は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

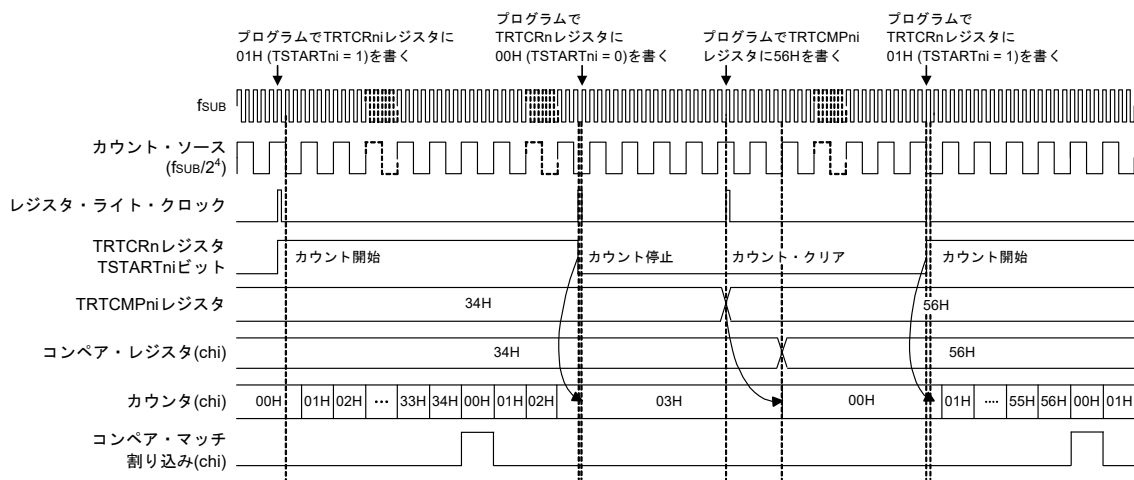
図7-11 カウント開始/停止動作例 (fsUB/2^m 選択時)



TRTCRn レジスタの TCSMDn ビットが 0 (8ビット・カウンタ動作)

備考 n = 0 i = 0, 1

図7-12 カウント停止→カウント・クリア→カウント開始動作例 (f_{SUB}/2^m選択時)



TRTCRnレジスタのTCSMDnビットが0 (8ビット・カウンタ動作)

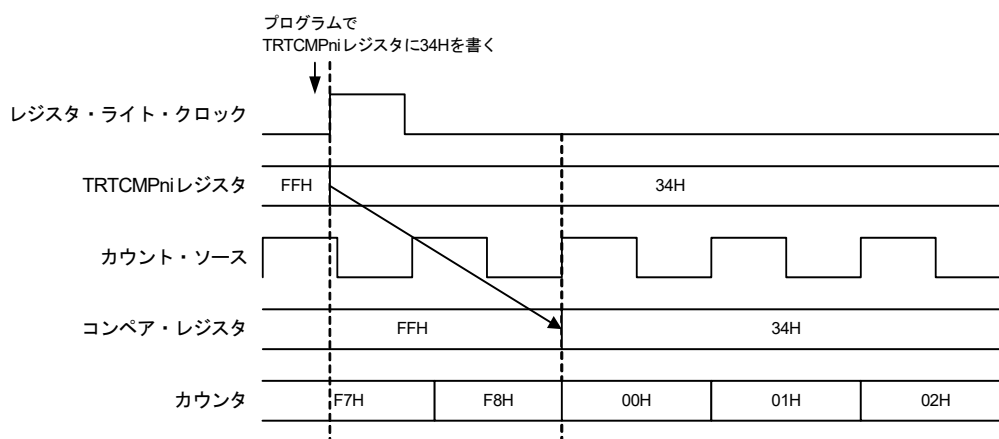
備考 n = 0 i = 0, 1

7.4.4 コンペア・レジスタ値の反映タイミング

TRTCMPn i ($n = 0, i = 0, 1$) レジスタの値が反映されるタイミングはTRTCR n レジスタのTSTART n ビットの値によらず、同じタイミングとなります。TRTCMP n i への書き込みアクセス後、カウント・ソースで2サイクル後にコンペア・レジスタに格納されます。コンペア・レジスタ格納時にカウント値はクリアされ(8ビット・カウンタ・モード: 00H, 16ビット・カウンタ・モード: 0000H)になります。

図7-13に書き換え動作のタイミング図を示します。図7-13は、8ビット・カウンタ・モード時の反映タイミングですが、16ビット・カウンタ・モードでも同タイミングの動作となります。

図7-13 コンペア値書き換え動作のタイミング図



備考 n = 0 i = 0, 1

7.5 8ビット・インターバル・タイマ使用上の注意事項

7.5.1 動作モード設定変更について

TCSMDnビット、TCKni (n = 0, i = 0, 1)ビットの設定変更は、TRTCRnレジスタのTSTARTniビットが0 (カウント停止)中に設定してください。また、TSTARTniビットを1から0に書き換え後(カウント停止)、8ビット・インターバル・タイマ関連レジスタ (TRTCRn, TRTMDn)にアクセスする場合、fSUBまたはfILで1サイクル以上経過後にアクセスしてください。

7.5.2 コンペア・レジスタへのアクセスについて

同一のコンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn)に連続して書き込みしないでください。連続して書くときは、書き込み間隔をカウント・ソースクロックの2サイクル以上空けてください。

また、コンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn) への書き込みは、必ずカウント・ソースが発振している状態で、8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn) を1に設定した後に書き込みを実施してください。

7.5.3 8ビット・インターバル・タイマ設定手順について

クロックを供給する場合、最初に8ビット・インターバル・タイマ制御レジスタn (TRTCRn)の8ビット・インターバル・タイマ・クロック許可ビット (TCLKENn)を1に設定した後に、TSTARTniビットを設定してください。(TCLKENn, TSTARTniビットを同時に変更しないでください。)

クロックを停止させる場合、TSTARTniを0に設定した後、fSUBまたはfILで1サイクル以上経過後にTCLKENnビットを0に設定してください。

第8章 リアルタイム・クロック2

8.1 リアルタイム・クロック2の機能

リアルタイム・クロック2 (RTC2)には、次のような機能があります。

- 年, 月, 曜日, 日, 時, 分, 秒のカウンタを持ち, 最長99年までをカウント可能(うるう年補正機能あり)
- 定周期割り込み機能(周期: 0.5秒, 1秒, 1分, 1時間, 1日, 1月)
- アラーム割り込み機能(アラーム: 曜日, 時, 分)
- 1 Hzの端子出力機能

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック ($f_{SUB} = 32.768$ kHz) を選択時のみ, 年, 月, 曜日, 日, 時, 分, 秒のカウントができます。低速オンチップ・オシレータ・クロック ($f_{IL} = 15$ kHz) を選択時は, 定周期割り込み機能のみ使用できます。

ただし, f_{IL} 選択時の定周期割り込み間隔は, 定周期(RTCC0レジスタで選択した値) $\times f_{SUB}/f_{IL}$ で算出される値になります。

8.2 リアルタイム・クロック2の構成

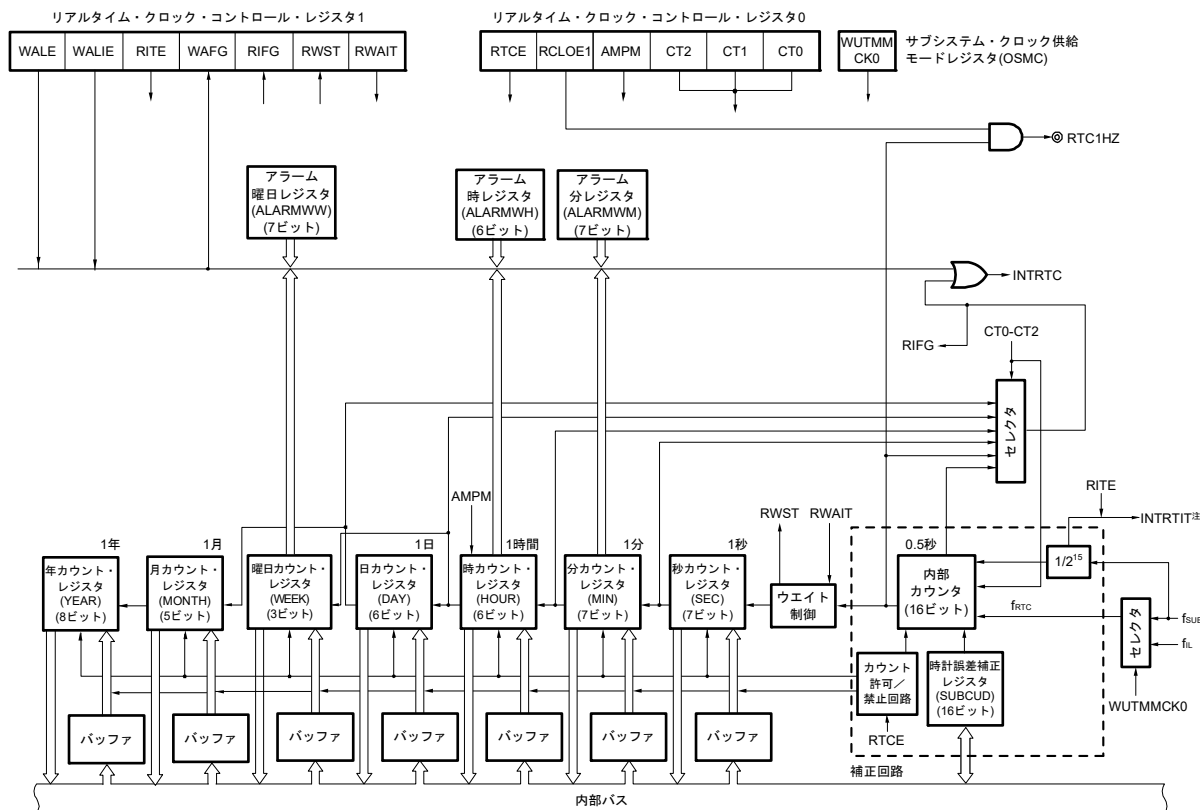
リアルタイム・クロック2は, 次のハードウェアで構成されています。

表8-1 リアルタイム・クロック2の構成

項目	構成
カウンタ	カウンタ(16ビット)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
アラーム曜日レジスタ (ALARMWW)	

図8-1にリアルタイム・クロック2のブロック図を示します。

図8-1 リアルタイム・クロック2のブロック図



注 時計誤差補正レジスタ (SUBCUD) から補正値の取り込みタイミングを示す割り込みです。取り込みタイミングは 1 秒 (fsUB ベース) 間隔になります。

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック (fsUB = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fiL = 15 kHz) を選択時は、定周期割り込み機能のみ使用できます。

ただし、fiL 選択時の定周期割り込み間隔は、定周期 (RTCC0 レジスタで選択した値) × fsUB/fiL で算出される値になります。

8.3 リアルタイム・クロック2を制御するレジスタ

リアルタイム・クロック2は、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)

各リセット要因によるレジスタの状態を以下に示します。

リセット要因	システム系レジスタ ^{注1}	カレンダー系レジスタ ^{注2}
POR	リセット	リセットしない
外部リセット	保持	保持
WDT	保持	保持
TRAP	保持	保持
LVD	保持	保持
その他内部リセット	保持	保持

注1. RTCC0, RTCC1, SUBSUD

注2. SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW, (カウンタ)

リセット発生により、SEC, MIN, HOUR, WEEK, DAY, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWWレジスタはリセットされません。そのため、電源投入後は全てのレジスタを初期設定してください。

8.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロック2のレジスタを操作するときは、必ずビット7 (RTCWEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロック2の入カクロック供給の制御
0	入カクロック供給停止 (fCLK供給停止) ・リアルタイム・クロック2で使用するSFRへのライト不可 ・リアルタイム・クロック2は動作可能
1	入カクロック供給 ・リアルタイム・クロック2で使用するSFRへのリード/ライト可 ・リアルタイム・クロック2は動作可能

注意1. リアルタイム・クロック2を使用する場合は、入カクロック (fRTC)が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。RTCWEN = 0の場合は、リアルタイム・クロック2の制御レジスタへの書き込みは無視されます。

注意2. ビット1, 6には必ず“0”を設定してください。

8.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDドライバ／コントローラ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマのカウント・クロック、クロック出力／ブザー出力、LCDドライバ／コントローラの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、第24章 スタンバイ機能参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力／ブザー出力、LCD以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0 注1,2,3	リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDドライバ／コントローラの動作クロックの選択	クロック出力／ブザー出力のPCLBUZn端子の出力クロックの選択
0	サブシステム・クロック (fSUB)	サブシステム・クロック (fSUB) 選択許可
1	低速オンチップ・オシレータ・クロック (fil)	サブシステム・クロック (fSUB) 選択禁止

注1. filクロックを選択(WUTMMCK0 = 1)する場合は、サブシステム・クロック発振動作停止(CSCレジスタのXTSTOPビット = 1)時のみ可能です。

注2. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。

注3. WUTMMCK0を“1”に設定した場合、リアルタイム・クロック2の1Hz出力機能は使用できません。

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック (fSUB = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fil = 15 kHz) を選択時は、定周期割り込み機能のみ使用できます。

ただし、fil選択時の定周期割り込み間隔は、定周期(RTCC0レジスタで選択した値) × fSUB/filで算出される値になります。

8.3.3 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック2動作の開始/停止, RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により, 00Hになります。

図8-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット(1/2)

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0
RTCE ^{注1}	リアルタイム・クロック2の動作制御							
0	カウンタ動作停止							
1	カウンタ動作開始							
RCLOE1 ^{注2}	RTC1HZ端子の出力制御							
0	RTC1HZ端子の出力(1 Hz)禁止							
1	RTC1HZ端子の出力(1 Hz)許可							
RTC E = 0の時は時計カウンタが動作しないため, 1 Hz出力は出力されません。								

注1. RTCE = 1に設定直後にSTOPモードに移行する場合は, 図8-21 RTCE = 1に設定後のHALT/STOPモードへの移行手順にしたがってSTOPモードに移行してください。

注2. 時計カウンタ動作中(RTCE = 1)にRCLOE1ビットの設定を行った場合, 1 Hz出力端子(RTC1HZ)にグリッチが出力する可能性があります。

注意 ビット4, 6には必ず“0”を設定してください。

図8-5 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット(2/2)

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

表8-2 RTCE, RCLOE1の設定値と状態の関係

レジスタ設定値		状態	
RTCE	RCLOE1	リアルタイム・クロック2の状態	RTC1HZ端子出力
0	×	カウント停止	出力しない
1	0	カウント動作	出力しない
	1	カウント動作	1 Hz出力

AMPM	12時間制/24時間制の選択
0	12時間制(午前/午後を表示する)
1	24時間制

• AMPMビットの値を時計カウンタ動作中(RTCE = 1)に変更する場合は, RWAIT (RTCC1のビット0) = 1にしてから書き換え, 時計カウンタ (HOUR)を再設定してください。
 AMPMビットが0の場合は12時間表示, 1の場合は24時間表示になります。
 • 時間桁表示を表8-3に示します。

CT2	CT1	CT0	定周期割り込み(INTRTC)の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度(秒カウントアップに同期)
0	1	0	1秒に1度(秒カウントアップと同時)
0	1	1	1分に1度(毎分00秒)
1	0	0	1時間に1度(毎時00分00秒)
1	0	1	1日に1度(毎日00時00分00秒)
1	1	×	1月に1度(毎月1日午前00時00分00秒)

カウンタ動作中(RTCE = 1)にCT2-CT0ビットの値を変更する場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後は, RIFGフラグ, RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注意 ビット4, 6には必ず“0”を設定してください。

備考 × : don't care

8.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能、カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00Hになります。

図8-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(1/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中(RTCE = 1)かつWALIE = 1の時にWALEビットへ設定する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RTCIFフラグをクリアしてください。アラームの各レジスタ(RTCC1レジスタのWALIEフラグ、アラーム分レジスタ(ALARMWWM)、アラーム時レジスタ(ALARMWH)、アラーム曜日レジスタ(ALARMWW))を設定する場合、WALEビットを一致動作無効"0"にしてください。	

WALIE	アラーム割り込み(INTRTC)機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。

書き込み時にRIFGフラグ、WAFGフラグをクリアしないようにするために、該当ビットに1(書き込みが無効)を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き変わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行っても問題ありません。

図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT
	RITE	補正タイミング信号割り込み (INTRTIT)機能の動作制御						
	0	補正タイミング信号割り込みを発生しない						
	1	補正タイミング信号割り込みを発生する						
	WAFG	アラーム検出ステータス・フラグ						
	0	アラーム不一致						
	1	アラーム一致検出						
	アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、1クロック (32.768 kHz)後に“1”となります。 “0”を書き込むことでクリアされ、“1”の書き込みは無効となります。(1を書き込む操作をしてもWAFGの値は書き変わりません。)							
	RIFG	定周期割り込みステータス・フラグ						
	0	定周期割り込み発生なし						
	1	定周期割り込み発生あり						
	定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ、“1”の書き込みは無効となります。(1を書き込む操作をしてもRIFGの値は書き変わりません。)							

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに1(書き込みが無効)を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行ってもかまいません。

図8-8 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(3/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

RWST	リアルタイム・クロック2のウェイト状態フラグ
0	カウンタ動作
1	カウンタ値読み出し、書き込みモード中
<p>RWAITビットの設定が有効であることを示すステータス・フラグです。</p> <p>カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとで行ってください。</p> <p>RWAITビットに0を設定しても、カウンタ書き込み動作中はRWSTビットは0になりません。書き込み動作完了後、0になります。</p>	

RWAIT	リアルタイム・クロック2のウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード
<p>カウンタの動作を制御します。</p> <p>カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。</p> <p>カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。アラーム割り込みを使用するときに、カウンタの読み出し／書き込みを行う場合は、RTCC0レジスタのCT2~CT0ビットを010B(1秒毎に定周期割り込み発生)にして、RWAIT=1からRWAIT=0までの処理を次の定周期割り込みが発生するまでに行ってください。</p> <p>RWAIT=1に設定後、カウンタ値の読み出し、書き込みが可能(RWST=1)となるまで最大1クロック(frTC)の時間がかかります。(注1,2)RWST=1になっていることを確認したあとカウンタ読み出し、書き込みを行ってください。</p> <p>カウンタ(16ビット)のオーバフローがRWAIT=1の時に起きた場合は、オーバフローが起きたことを保持してRWAIT=0になったあと、カウント・アップします。</p> <p>ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。</p>	

注1. RTCE = 1に設定した後、frTCの1クロック時間内でRWAIT = 1とした場合、RWSTビットが“1”になるまで動作クロック(frTC)の2クロック時間がかかる場合があります。

注2. スタンバイ(HALTモード、STOPモード、SNOOZEモード)から復帰した後、frTCの1クロック時間内で、RWAIT = 1とした場合、RWSTビットが“1”になるまでに、動作クロック(frTC)の2クロック時間がかかる場合があります。

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに1(書き込みが無効)を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行ってもかまいません。

備考1. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

備考2. 秒カウント・レジスタ(SEC)への書き込みを行うと内部カウンタ(16ビット)はクリアされます。

8.3.5 秒カウント・レジスタ (SEC)

0-59 (10進)までの値を取り、秒のカウント値を示す8ビットのレジスタです。

カウンタ(16ビット)からのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック (fRTC)後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-9 秒カウント・レジスタ (SEC)のフォーマット

アドレス : FFF92H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 時計カウンタ動作中 (RTCE = 1) に、SEC をリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

備考 秒カウント・レジスタ (SEC) への書き込みを行うと内部カウンタ (16ビット) はクリアされます。

8.3.6 分カウント・レジスタ (MIN)

0-59 (10進)までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-10 分カウント・レジスタ (MIN)のフォーマット

アドレス : FFF93H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 時計カウンタ動作中 (RTCE = 1) に、MIN をリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.7 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進)までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット3 (AMPM)で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると、HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 11 時カウント・レジスタ (HOUR)のフォーマット

アドレス : FFF94H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOURレジスタのビット5 (HOUR20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

注意2. 時計カウンタ動作中 (RTCE = 1)に、HOURをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

AMPMビットの設定値、および時カウント・レジスタ(HOUR)値と時間の関係を表8-3に示します。

表8-3 時間桁表示表

24時間表示(AMPMビット=1)		12時間表示(AMPMビット=0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00 H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は、AMPMビットが“0”のときに12時間表示、“1”のときに24時間表示となります。

12時間表示の場合は、HOURレジスタの5ビット目で午前/午後を表示し、午前(AM)のときに0に、午後(PM)のときに1となります。

8.3.8 日カウント・レジスタ (DAY)

1-31 (10進)までの値を取り、日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップする10進カウンタです。

カウンタは、次に示すようにカウントします。

[DAYのカウント値]

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 12 日カウント・レジスタ (DAY)のフォーマット

アドレス : FFF96H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 時計カウンタ動作中 (RTCE = 1) に、DAYをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.9 曜日カウント・レジスタ (WEEK)

0-6 (10進)までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタへの桁上げ時にカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 13 曜日カウント・レジスタ (WEEK)のフォーマット

アドレス : FFF95H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK)には、月カウント・レジスタ (MONTH)および日カウント・レジスタ (DAY)に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00 H
月	01 H
火	02 H
水	03 H
木	04 H
金	05 H
土	06 H

注意2. 時計カウンタ動作中 (RTCE = 1)に、WEEKをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.10 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進)までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 14 月カウント・レジスタ (MONTH)のフォーマット

アドレス : FFF97H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 時計カウンタ動作中 (RTCE = 1)に、MONTHをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.11 年カウント・レジスタ (YEAR)

0-99 (10進)までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH)からのオーバフローによりカウント・アップする10進カウンタです。

00, 04, 08, …, 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 15 年カウント・レジスタ (YEAR)のフォーマット

アドレス : FFF98H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 時計カウンタ動作中 (RTCE = 1)に、YEARをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.12 時計誤差補正レジスタ (SUBCUD)

時計誤差補正レジスタ (SUBCUD) は、カウンタの値を毎秒ごとに補正することにより、時計の進みや遅れを最小分解能0.96 ppm精度で補正することができるレジスタです。

SUBCUDレジスタは、16ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、0020Hになります。

図8 - 16 時計誤差補正レジスタ (SUBCUD)のフォーマット

アドレス : F0310H リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUBCUD	F15	0	0	0	0	0	0	F8	F7	F6	F5	F4	F3	F2	F1	F0
	F15	時計誤差補正許可														
	0	時計誤差補正停止														
	1	時計誤差補正許可														

時計誤差補正レジスタ (SUBCUD)による水晶振動子の発振周波数偏差の補正可能範囲を表8 - 4に示します。

表8 - 4 水晶振動子の発振周波数偏差の補正可能範囲

項目	値
補正可能範囲	-274.6 ppm ~ +212.6 ppm
最大量子化誤差	±0.48 ppm
最小分解能	0.96 ppm

表8-5 時計誤差補正值

SUBCUD										ターゲット補正值
F15	F8	F7	F6	F5	F4	F3	F2	F1	F0	
1	1	0	0	0	0	0	0	0	0	-274.6 ppm
	1	0	0	0	0	0	0	0	1	-273.7 ppm
	1	0	0	0	0	0	0	1	0	-272.7 ppm

	1	1	1	1	1	1	1	0	1	-33.3 ppm
	1	1	1	1	1	1	1	1	0	-32.4 ppm
	1	1	1	1	1	1	1	1	1	-31.4 ppm
	0	0	0	0	0	0	0	0	0	-30.5 ppm
	0	0	0	0	0	0	0	0	1	-29.6 ppm
	0	0	0	0	0	0	0	1	0	-28.6 ppm

	0	0	0	0	1	1	1	1	1	-0.95 ppm
	0	0	0	1	0	0	0	0	0	0 ppm
	0	0	0	1	0	0	0	0	1	0.95 ppm

	0	1	1	1	1	1	1	0	1	210.7 ppm
	0	1	1	1	1	1	1	1	0	211.7 ppm
	0	1	1	1	1	1	1	1	1	212.6 ppm
0	x	x	x	x	x	x	x	x	x	時計誤差補正停止

SUBCUDレジスタのF8-F0値は、ターゲット補正值から次の計算式で算出してください。

$$\text{SUBCUD}[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{20}}{10^6} \right]_{2\text{進}(9\text{桁})} + 0\ 0010\ 0000\ \text{B}$$

注意 ターゲット補正值とは、水晶振動子の発振周波数偏差(単位は[ppm])を示します。ターゲット補正值の算出方法については、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。

例1. ターゲット補正值 = 18.3 [ppm]の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (18.3 \times 2^{20} / 10^6)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (19.1889408)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= 000010011\text{B} + 000100000\text{B} \\ &= 000110011\text{B} \end{aligned}$$

例2. ターゲット補正值 = -18.3 [ppm]の場合

$$\begin{aligned}\text{SUBCUD}[8:0] &= (-18.3 \times 2^{20} / 10^6) \text{2進(9桁)} + 000100000\text{B} \\ &= (-19.1889408) \text{2進(9桁)} + 000100000\text{B} \\ &= (000010011\text{B}) \text{2の補数} + 000100000\text{B} \\ &= 111101101\text{B} + 000100000\text{B} \\ &= 00001101\text{B}\end{aligned}$$

8.3.13 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-17 アラーム分レジスタ (ALARMWM)のフォーマット

アドレス : FFF9AH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

注意 注意設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。

8.3.14 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-18 アラーム時レジスタ (ALARMWH)のフォーマット

アドレス : FFF9BH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意1. 設定する値は10進の00～23または01～12、21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。

注意2. ALARMWHレジスタのビット5 (WH20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

8.3.15 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 19 アラーム曜日レジスタ (ALARMWW)のフォーマット

アドレス : FFF9CH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

表8 - 6にアラーム時刻の設定例を示します。

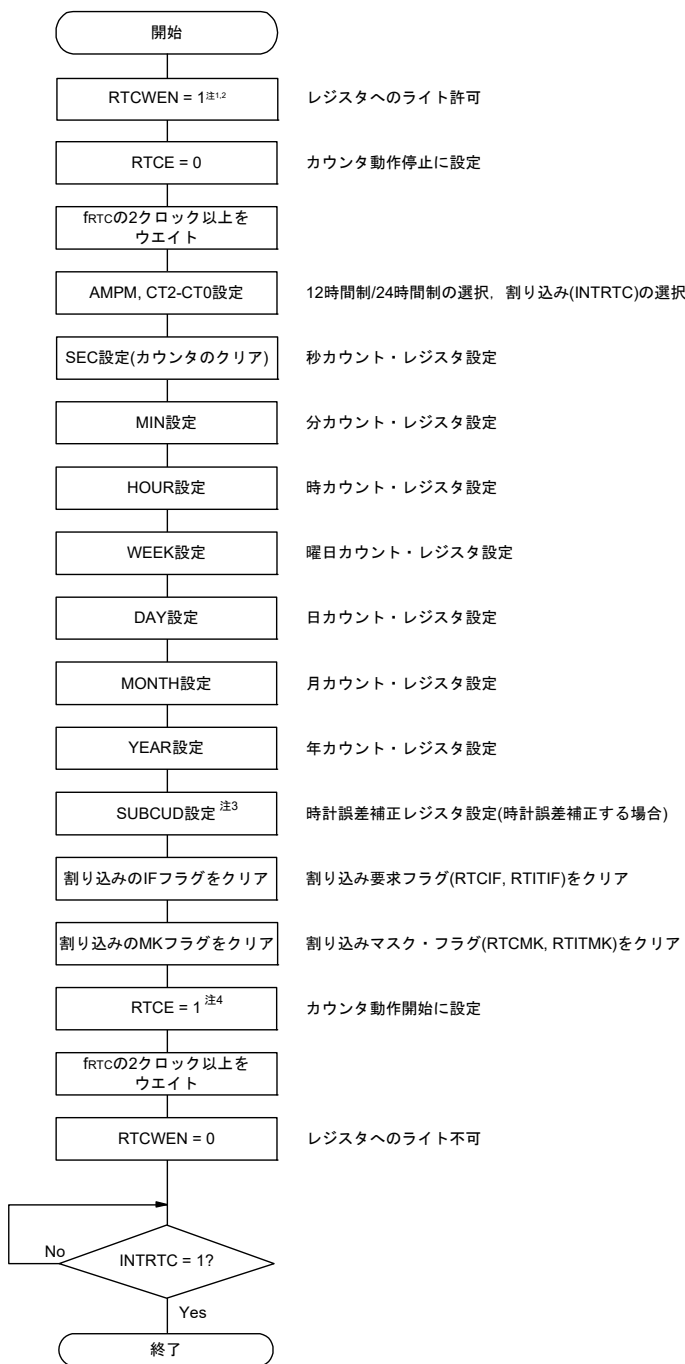
表8 - 6 アラーム時刻の設定例

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

8.4 リアルタイム・クロック2の動作

8.4.1 リアルタイム・クロック2の動作開始

図8-20 リアルタイム・クロック2の動作開始手順



注1. RTCレジスタへのアクセス時以外は、RTCWEN = 0に設定してください。

注2. 入カロック (fRTC) が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。

注3. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。

注4. RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は、8.4.2 動作開始後のHALT/STOPモードへの移行の手順を確認してください。

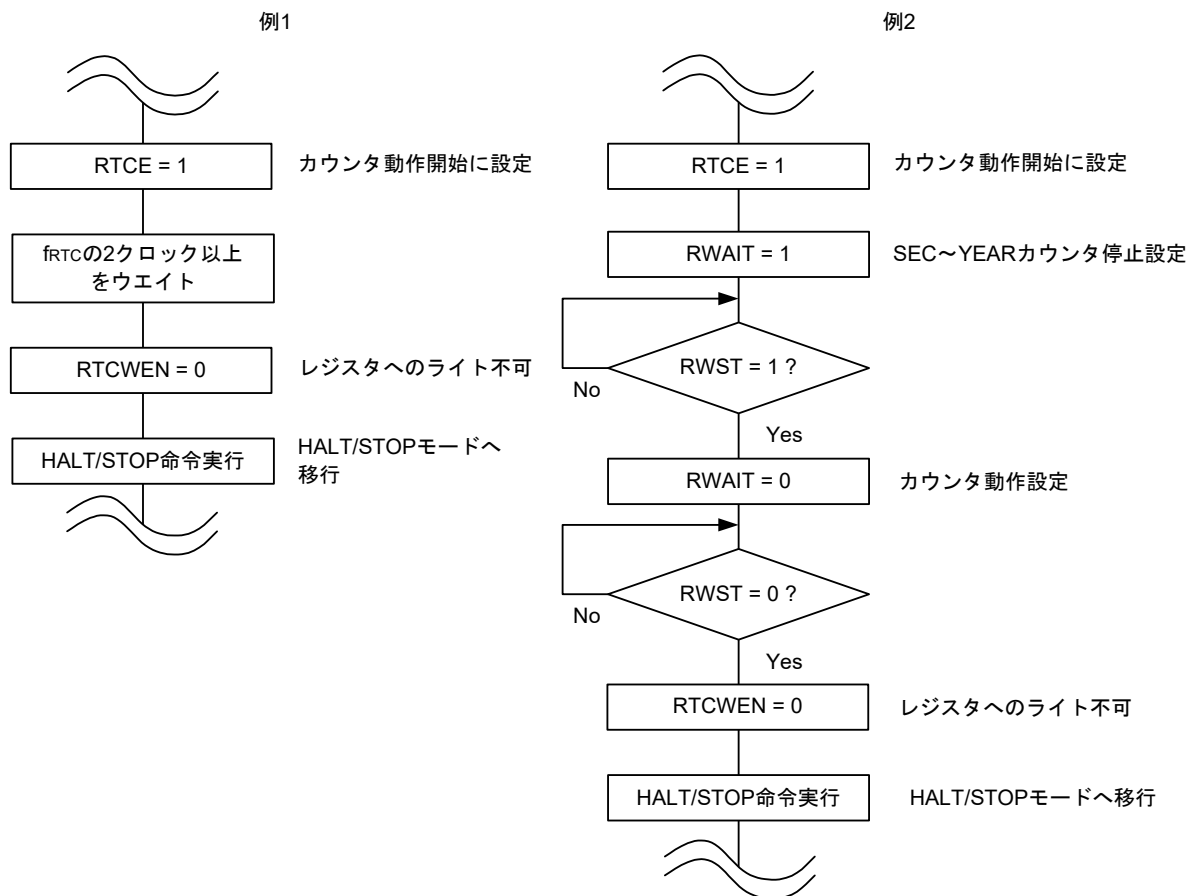
8.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は、これらの処理は必要ありません。

- (1) RTCE = 1に設定してから、入力クロック (f_{RTC})の2クロック分以上経過後にHALT/STOPモードへ移行する(図8-21 例1参照)。
- (2) RTCE = 1に設定後、R_{WAIT} = 1に設定し、R_{WST}ビットが1になるのをポーリングで確認する。それから、R_{WAIT} = 0に設定し、R_{WST}ビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する(図8-21 例2参照)。

図8-21 RTCE = 1に設定後のHALT/STOPモードへの移行手順



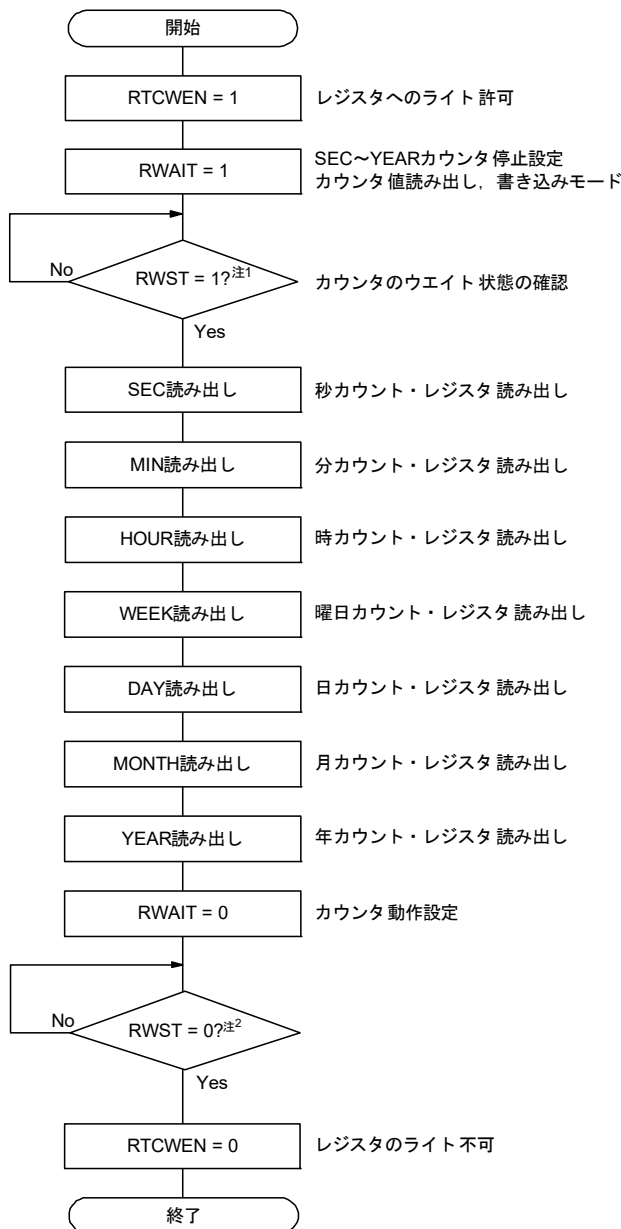
8.4.3 リアルタイム・クロック2のカウンタ読み出し

カウンタ動作時(RTCE = 1)のカウンタの読み出しは、最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し終了後は、RWAIT = 0にしてください。

なお、アラーム割り込み機能使用時は、図8-23の手順でカウンタの読み出しを行ってください。

図8-22 リアルタイム・クロック2の読み出し手順



注1. カウンタ停止(RTCE = 0)時はRWST = 1になりません。

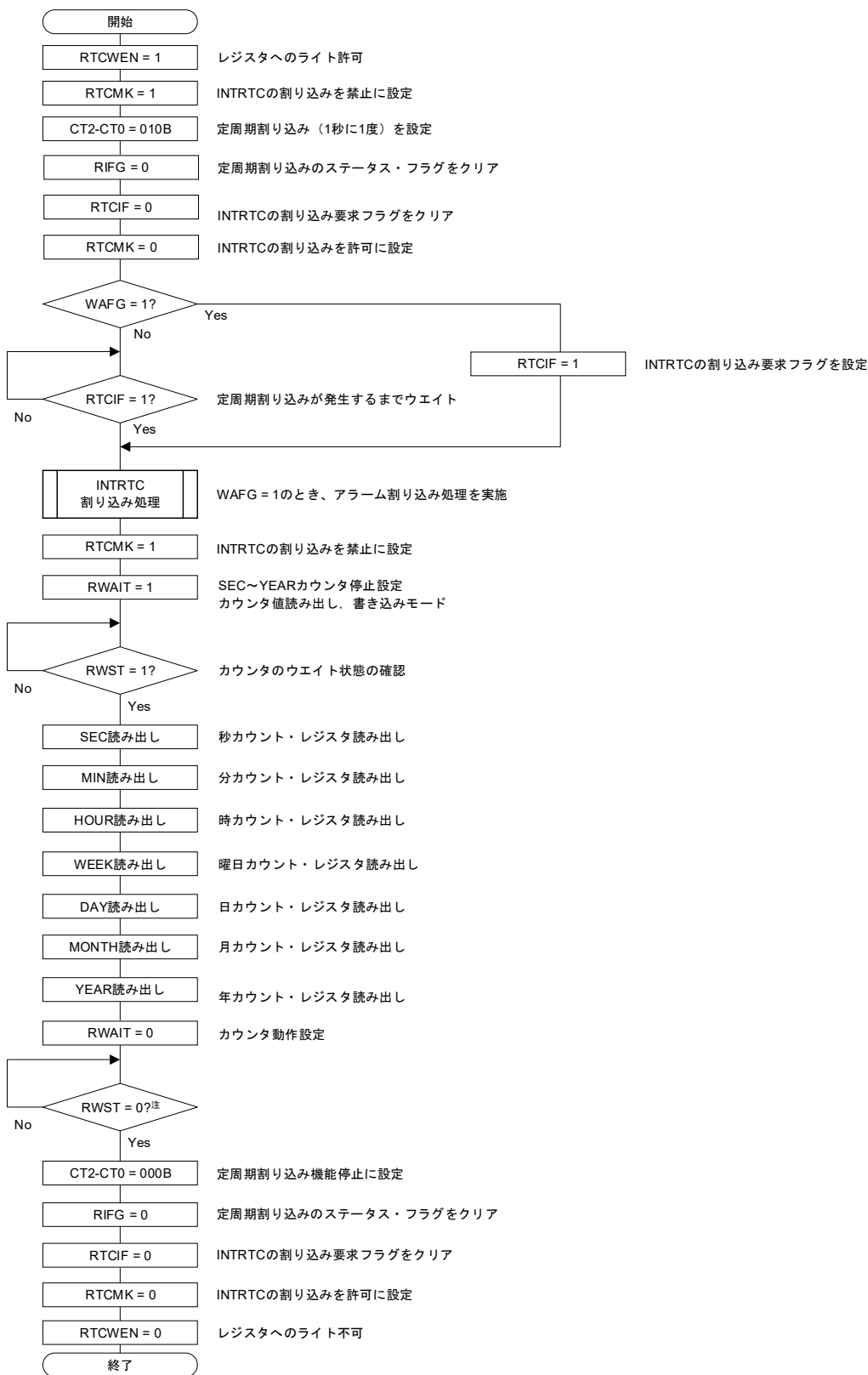
★ 注2. HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 から RWAIT = 0 とするまでの処理を1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。

また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図8-23 リアルタイム・クロック2の読み出し手順（アラーム割り込み機能使用時）



- ★ 注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。
- 注意 INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。
- 備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

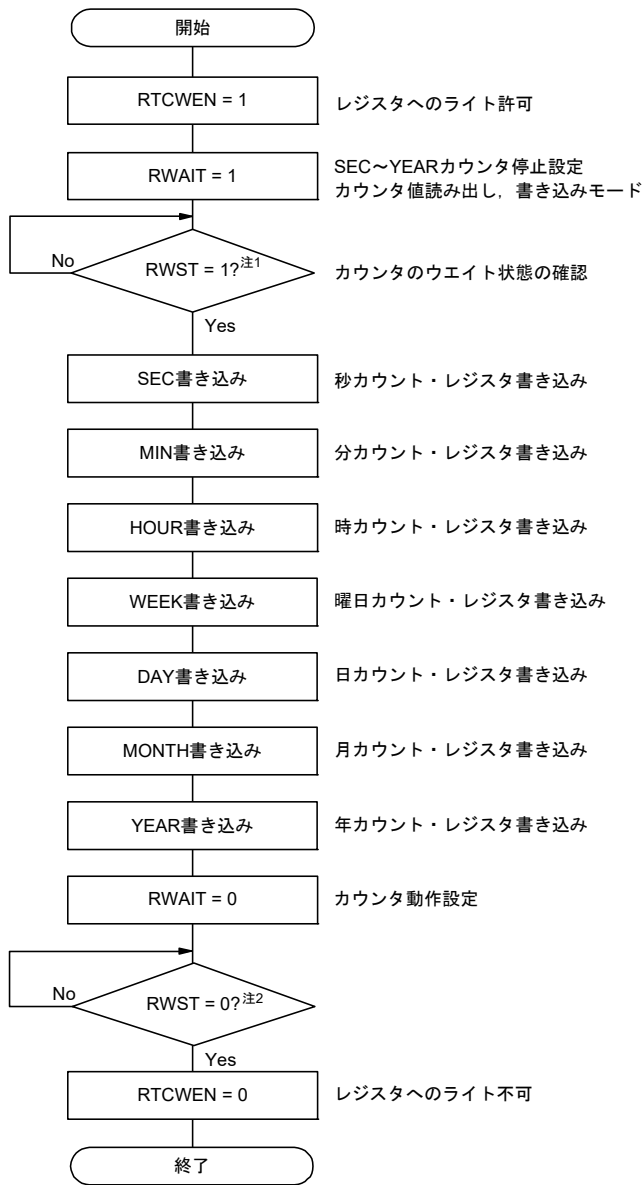
8.4.4 リアルタイム・クロック2のカウンタ書き込み

カウンタ動作時(RTCE = 1)のカウンタの書き込みは、最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し終了後は、RWAIT = 0にしてください。

なお、アラーム割り込み機能使用時は、図8 - 25の手順でカウンタの書き込みを行ってください。

図8 - 24 リアルタイム・クロック2の書き込み手順



注1. カウンタ停止(RTCE = 0)時はRWST = 1になりません。

★ 注2. HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

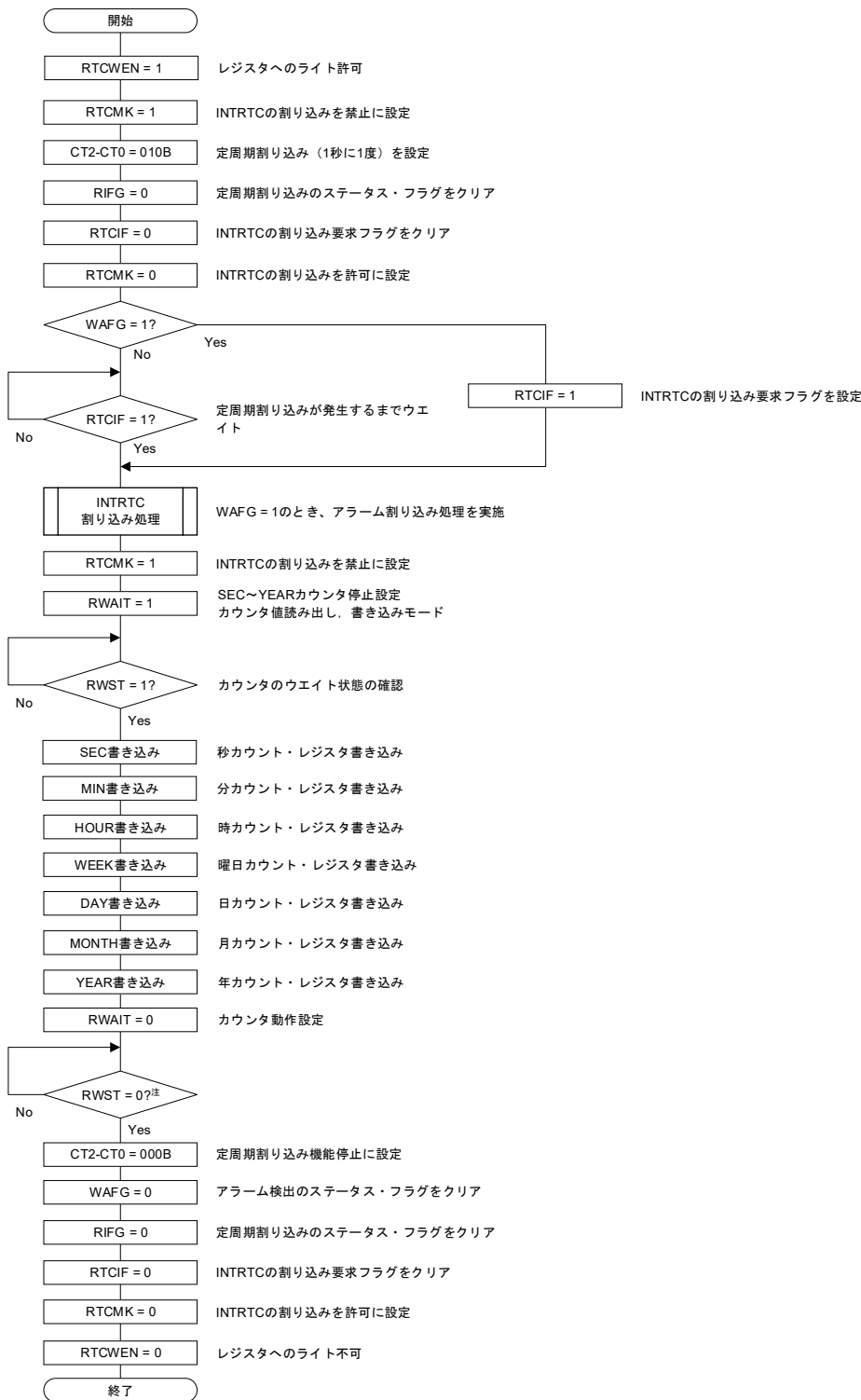
注意1. RWAIT = 1からRWAIT = 0とするまでの処理を1秒以内で行ってください。

注意2. カウンタ動作中(RTCE = 1)にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き換えの順番に制限はありません。

また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

図8-25 リアルタイム・クロック2の書き込み手順（アラーム割り込み機能使用時）

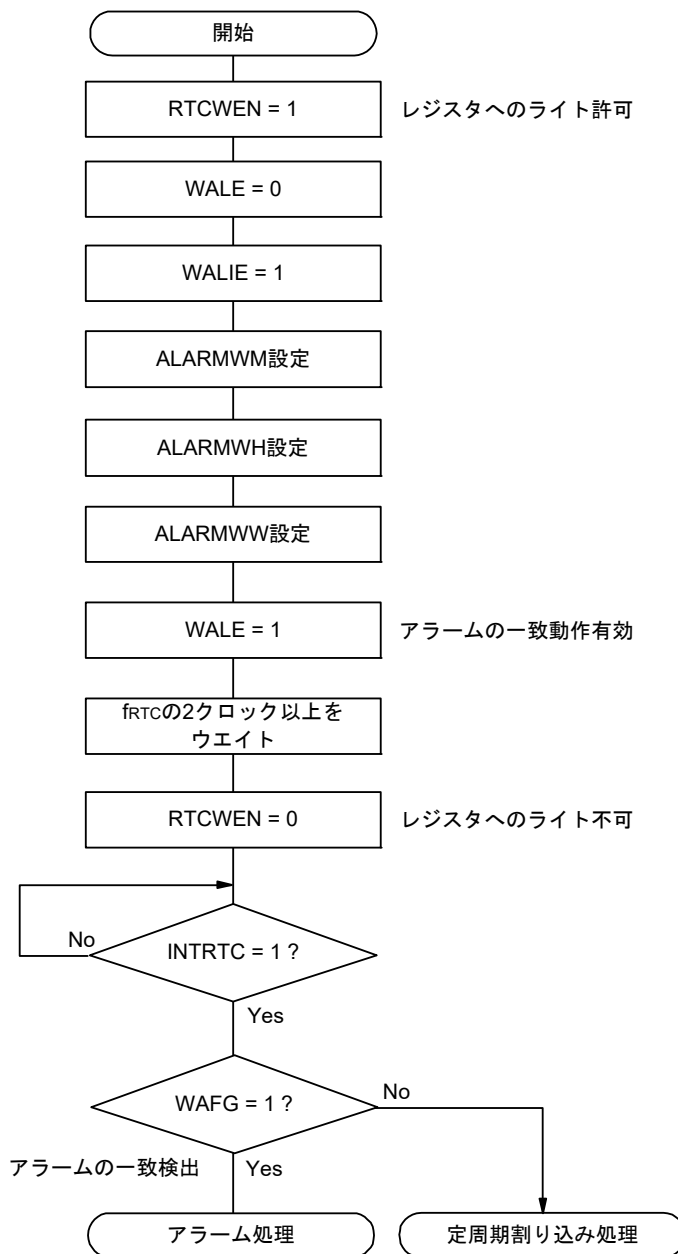


- ★ 注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。
- 注意1. INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。
- 注意2. カウンタ動作中(RTCE = 1)にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。
また、書き換え後にWAFGフラグ、RIFGフラグ、RTCIFフラグをクリアしてください。
- 備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き換えの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

8.4.5 リアルタイム・クロック2のアラーム設定

アラーム時刻設定は、最初にWALE = 0 (アラーム動作無効)にしてから行ってください。

図8 - 26 アラーム設定手順

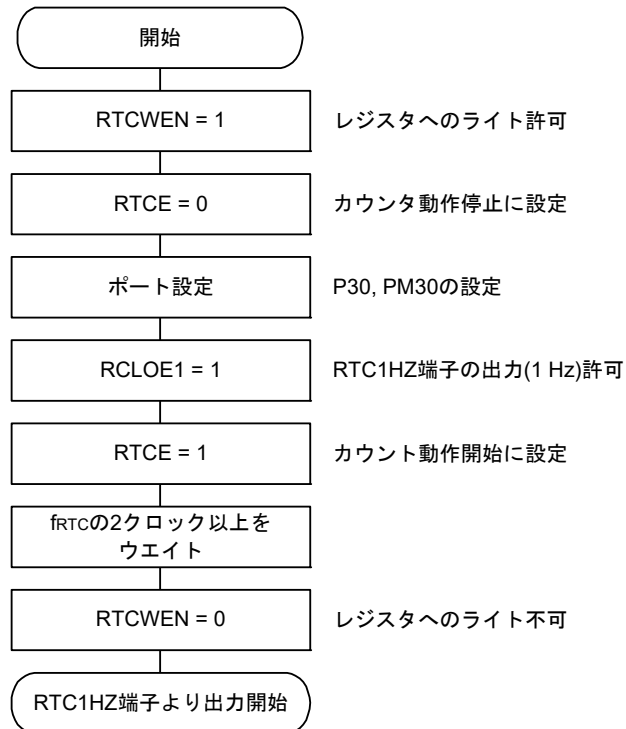


備考1. ALARMWWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

備考2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

8.4.6 リアルタイム・クロック2の1 Hz出力

図8 - 27 1 Hz出力の設定手順

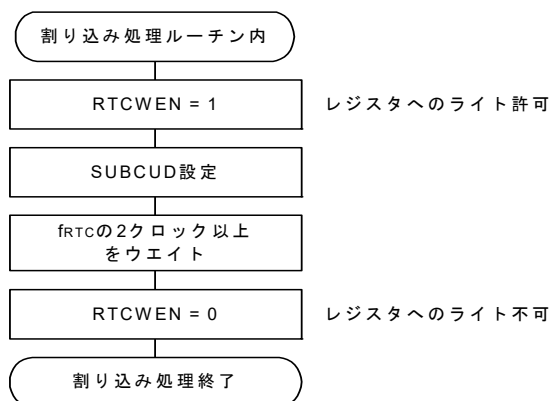


8.4.7 時計誤差補正レジスタの設定手順

時計誤差補正レジスタ (SUBCUD)を設定する場合は、補正タイミング信号割り込み (INTRTIT)の割り込み処理ルーチン内で、次の処理を行ってください。

注意 補正タイミング信号割り込み (INTRTIT)発生から、割り込み応答およびSUBCUD設定までを1秒以内 (毎秒補正の次のタイミングまで)に完了させてください。

RTCWEN = 1に設定後に、時計誤差補正レジスタを設定。その後、RTCWEN = 0に設定してください。



8.4.8 リアルタイム・クロック2の時計誤差補正例

時計誤差補正レジスタ(SUBCUD)に値を設定することにより、毎秒ごとに時計の進みや遅れを最小分解能0.96 ppm精度で補正できます。

次に、ターゲット補正値の算出方法と、ターゲット補正値から時計誤差補正レジスタのF8-F0値を算出する方法を示します。

ターゲット補正値の算出方法1

(RTC1HZ端子の出力周波数を使用する場合)

【発振周波数の測定】

各製品の発振周波数^注を、時計誤差補正レジスタ(SUBCUD)のF15が“1”(時計誤差補正停止)のときにRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、8.4.6 リアルタイム・クロック2の1 Hz出力を参照してください。

【ターゲット補正値の算出】

(RTC1HZからの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \approx 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hzとすると、ターゲット補正値は、

$$\begin{aligned} \text{ターゲット補正値} &= \text{発振周波数} \div \text{ターゲット周波数} - 1 \\ &= 32767.4 \div 32768 - 1 \\ &\approx -18.3 \text{ ppm} \end{aligned}$$

備考1. 発振周波数とは、入力クロック(f_{RTC})の値です。時計誤差補正停止時のRTC1HZ出力周波数×32768で求めることができます。

備考2. ターゲット補正値とは、水晶振動子の発振周波数偏差(単位は [ppm])です。

備考3. ターゲット周波数とは、時計誤差補正を行った後の周波数です。

時計誤差補正レジスタ (SUBCUD) の F8-F0 値の算出方法

SUBCUD レジスタの F8-F0 値は、ターゲット補正值から次の計算式で算出できます。

$$\text{SUBCUD}[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{20}}{10^6} \right]_{2\text{進}(9\text{桁})} + 0\ 0010\ 0000\ \text{B}$$

例1. ターゲット補正值 = -18.3 [ppm] の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (-18.3 \times 2^{20} / 10^6)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (-19.1889408)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (000010011\text{B})_{2\text{の補数}} + 000100000\text{B} \\ &= 111101101\text{B} + 000100000\text{B} \\ &= 000001101\text{B} \end{aligned}$$

例2. ターゲット補正值 = 94.0 [ppm] の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (94.0 \times 2^{20} / 10^6)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (98.566144)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= 001100011\text{B} + 000100000\text{B} \\ &= 010000011\text{B} \end{aligned}$$

第9章 12ビット・インターバル・タイマ

9.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み (INTIT) を発生します。STOP モードからのウエイク・アップのトリガに使えます。

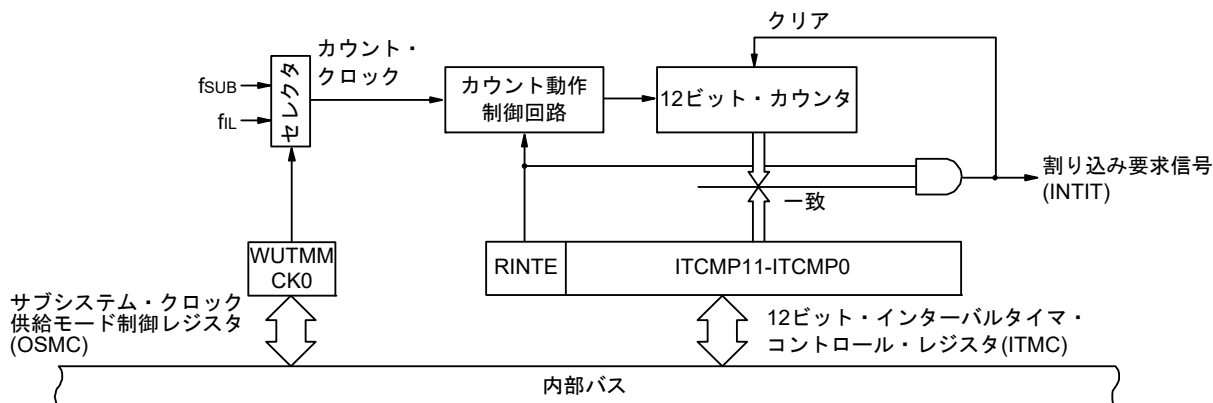
9.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表9-1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

図9-1 12ビット・インターバル・タイマのブロック図



9.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ1 (PER1)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

9.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CM PEN	0	DTCEN	0	MUXEN	DACEN

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注意1. 12ビット・インターバル・タイマを使用する際は、カウント・クロック (f_{RTC}) が発振安定した状態で、必ず最初にTMKAEN = 1に設定してから下記のレジスタの設定を行ってください。TMKAEN = 0の場合は、12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (サブシステム・クロック供給モード制御レジスタ (OSMC) は除く)。

・12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

注意2. サブシステム・クロック供給モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止することが可能です。

注意3. ビット2, 4, 6には必ず"0"を設定してください。

9.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマの動作クロックを選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第5章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDドライバ／コントローラの動作クロックの選択	クロック出力／ブザー出力のPCLBUZn端子の出力クロック選択
注		
0	サブシステム・クロック (fsUB)	サブシステム・クロック (fsUB)選択許可
1	低速オンチップ・オシレータ・クロック (fil)	サブシステム・クロック (fsUB)選択禁止

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット = 0)にしてください。

注意 WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2, 12ビット・インターバル・タイマ, 8ビット・インターバル・タイマ, LCDドライバ／コントローラの全ての機能が動作停止中のみ可能です。
各機能の動作停止方法は次のとおりです。

リアルタイム・クロック2の停止設定 : RTCE = 0

12ビット・インターバル・タイマの停止設定 : RINTE = 0

8ビット・インターバル・タイマの停止設定 : TSTART00およびTSTART01 = 0

LCDドライバ／コントローラの停止設定 : SCOC = 0 かつ VLCON = 0

備考 RTCE : リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット7
RINTE : 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のビット15
SCOC : LCDモード・レジスタ1 (LCDM1)のビット6
TSTART00 : 8ビット・インターバル・タイマ制御レジスタ0 (TRTCR0) のビット0
TSTART01 : 8ビット・インターバル・タイマ制御レジスタ0 (TRTCR0) のビット2
VLCON : LCDモード・レジスタ1 (LCDM1)のビット5

9.3.3 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図9-4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号 15 14 13 12 11-0

ITMC	RINTE	0	0	0	ITMCMP11-ITMCMP0
------	-------	---	---	---	------------------

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止(カウント・クリア)
1	カウンタ動作開始

ITMCMP11-ITMCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期 × (ITMCMP設定値 + 1)」の定周期割り込みを発生します。
.	
FFFH	
000H	設定禁止
ITMCMP11-ITMCMP0 = 001H, FFFH設定時の割り込み周期例	
<ul style="list-style-type: none"> ITMCMP11-ITMCMP0 = 001H, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (1 + 1) = 0.06103515625 \text{ [ms]} \approx 61.03 \text{ [}\mu\text{s]}$ ITMCMP11-ITMCMP0 = FFFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (4095 + 1) = 125 \text{ [ms]}$ 	

★ 注意1. RINTEビットを1→0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0→1)する場合は、TMKAIFフラグをクリアしてから割り込み処理許可にしてください。

注意2. RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。

注意3. スタンバイ・モードから復帰後にRINTEビット設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分の時間以上経過後に移行してください。

注意4. ITMCMP11-ITMCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。

ただし、RINTE = 0→1または1→0に変更すると同時にITMCMP11-ITMCMP0ビットの設定を変更することは可能です。

9.4 12ビット・インターバル・タイマの動作

9.4.1 12ビット・インターバル・タイマの動作タイミング

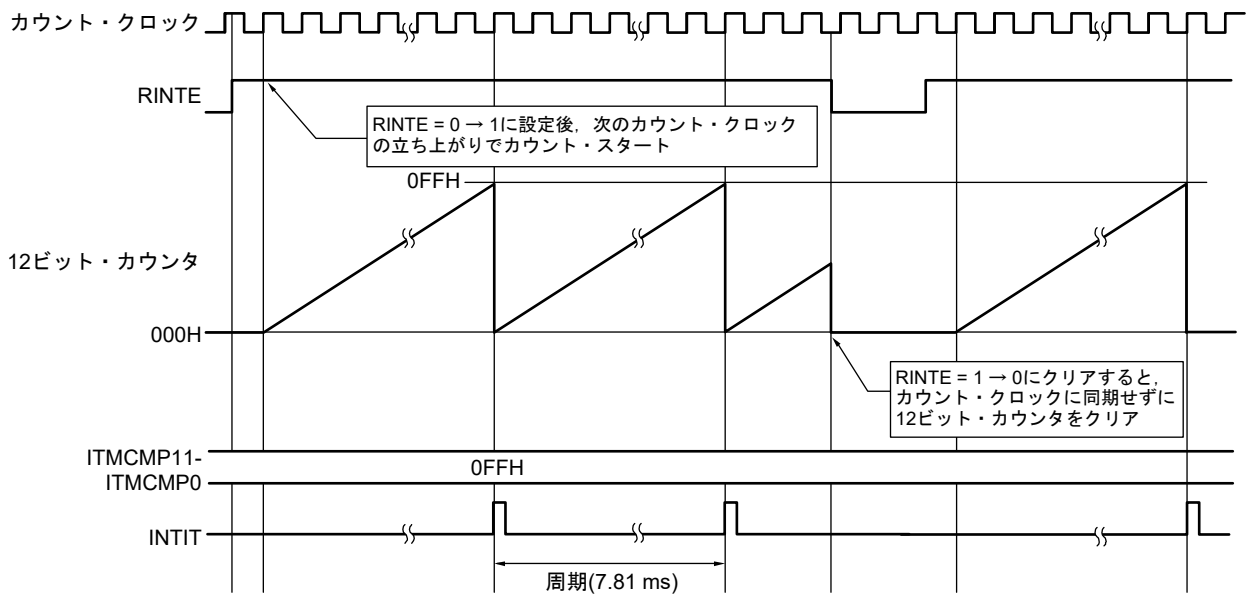
ITMCMP11-ITMCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求(INTIT)を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITMCMP11-ITMCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号(INTIT)を発生します。

12ビット・インターバル・タイマの基本動作を図9-5に示します。

図9-5 12ビット・インターバル・タイマ動作のタイミング
(ITMCMP11-ITMCMP0 = 0FFH, カウント・クロック : $f_{SUB} = 32.768$ kHz)

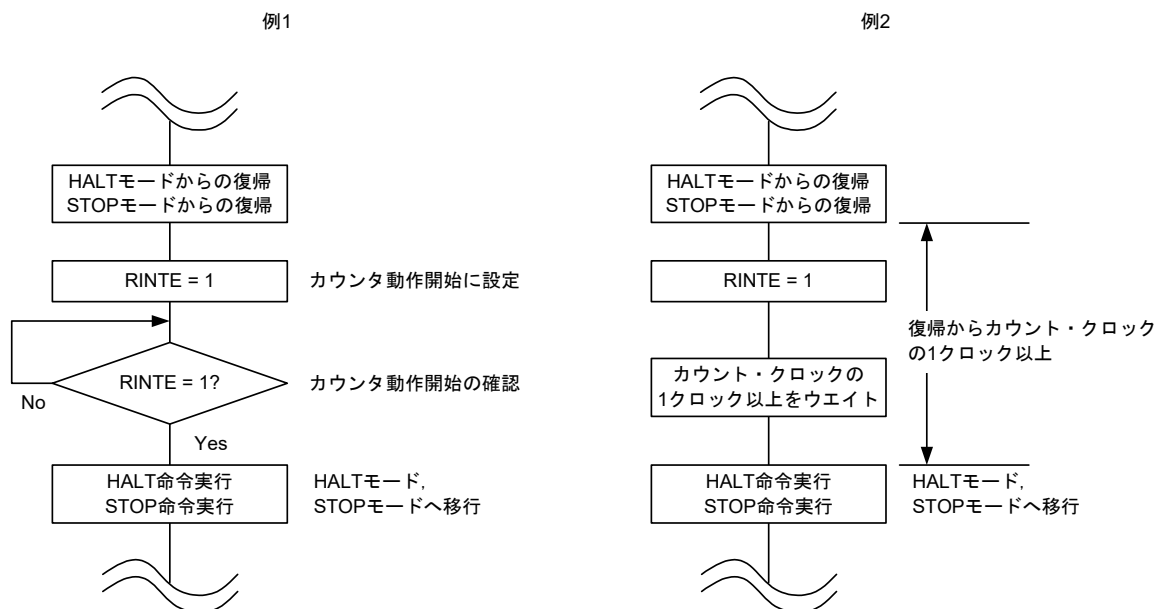


9.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウンタ・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する(図9-6 例1参照)。
- RINTE = 1に設定してから、カウンタ・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する(図9-6 例2参照)。

図9-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第10章 クロック出力／ブザー出力制御回路

10.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

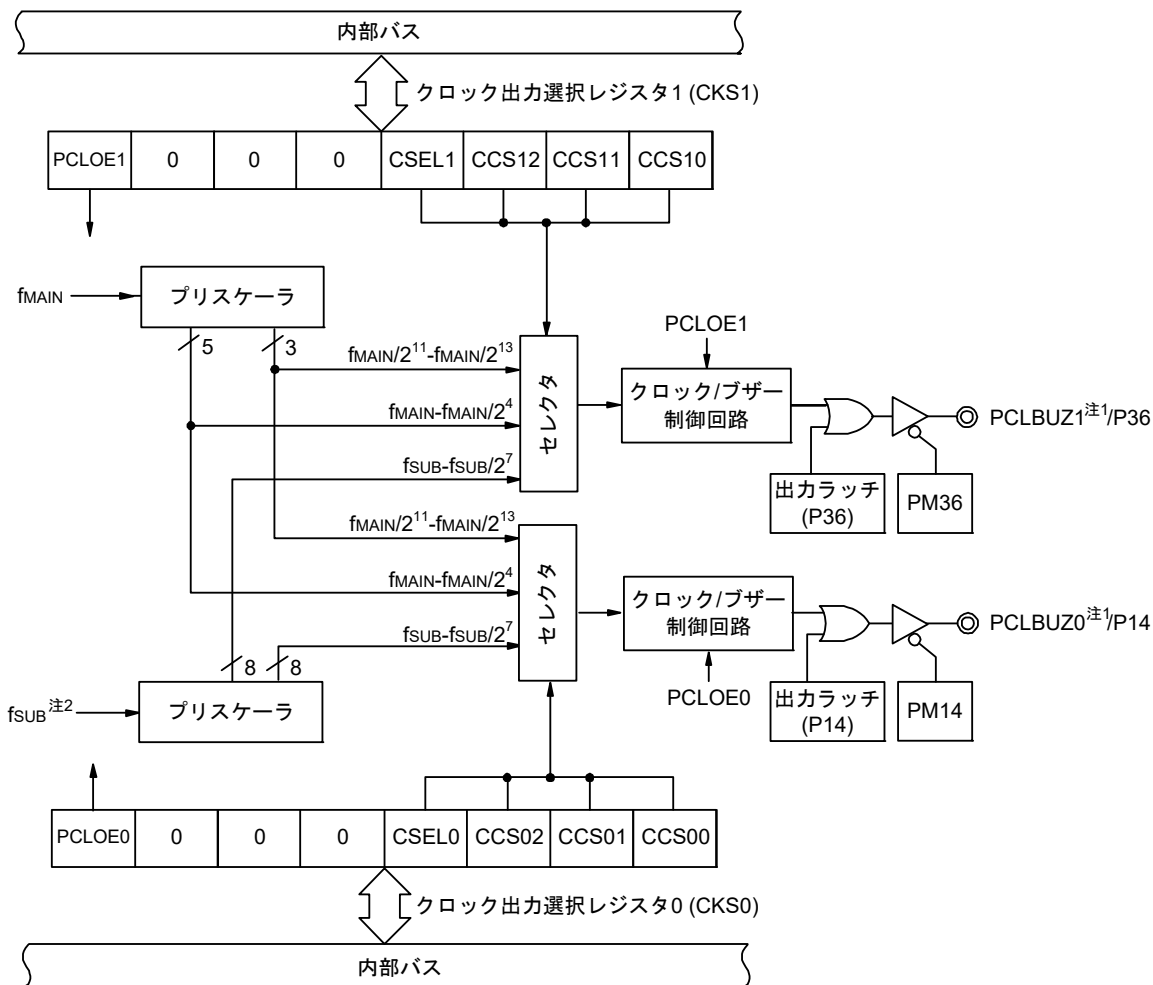
1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は、クロック出力選択レジスタn(CKSn)で選択したクロックを出力します。

図10-1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考 n = 0, 1

図 10 - 1 クロック出力／ブザー出力制御回路のブロック図



注1. PCLBUZ0, PCLBUZ1 端子から出力可能な周波数は、35.4 AC特性を参照してください。

注2. OSMCレジスタのWUTMMCK0 = 1設定時に、クロック出力／ブザー出力の出力クロックとしてfsUBを選択することは禁止です。

備考 この図のクロック出力／ブザー出力端子は、PIOR2 = 0の場合です。

10.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表 10 - 1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ n (CKSn) ポート・モード・レジスタ 0, 1, 3, 4 (PM0, PM1, PM3, PM4) ポート・レジスタ 0, 1, 3, 4 (P0, P1, P3, P4)

10.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次のレジスタで制御します。

- クロック出力選択レジスタ n (CKSn)
- ポート・モード・レジスタ 0, 1, 3, 4 (PM0, PM1, PM3, PM4)
- ポート・レジスタ 0, 1, 3, 4 (P0, P1, P3, P4)

10.3.1 クロック出力選択レジスタ n (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSn レジスタで、PCLBUZn 端子の出力するクロックを選択します。

CKSn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 クロック出力選択レジスタn (CKSn)のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止(デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
				fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 24 MHz	
0	0	0	0	fMAIN	5 MHz	設定禁止 注1	設定禁止 注1	設定禁止 注1
0	0	0	1	fMAIN/2	2.5 MHz	5 MHz	設定禁止 注1	設定禁止 注1
0	0	1	0	fMAIN/2 ²	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fMAIN/2 ³	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fMAIN/2 ⁴	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fMAIN/2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
0	1	1	0	fMAIN/2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
0	1	1	1	fMAIN/2 ¹³	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	0	0	0	fSUB注2	32.768 kHz			
1	0	0	1	fSUB/2注2	16.384 kHz			
1	0	1	0	fSUB/2 ² 注2	8.192 kHz			
1	0	1	1	fSUB/2 ³ 注2	4.096 kHz			
1	1	0	0	fSUB/2 ⁴ 注2	2.048 kHz			
1	1	0	1	fSUB/2 ⁵ 注2	1.024 kHz			
1	1	1	0	fSUB/2 ⁶ 注2	512 Hz			
1	1	1	1	fSUB/2 ⁷ 注2	256 Hz			

注1. 出力クロックは、8 MHz以内の範囲で使用してください。詳しくは、35.4 AC特性を参照してください。

注2. OSMCレジスタのWUTMMCK0 = 1設定時に、クロック出力／ブザー出力の出力クロックとしてfSUBを選択することは禁止です。

注意1. 出力クロックの切り替えは、出力禁止(PCLOEn = 0)にしてから行ってください。

注意2. メイン・システム・クロック選択時(CSELn = 0)にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。

備考1. n = 0, 1

備考2. fMAIN : メイン・システム・クロック周波数

fSUB : サブシステム・クロック周波数

10.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx)を参照してください。

クロック出力／ブザー出力端子を兼用するポート (P14/INTP7/SCK20/SCL20/PCLBUZ0/SEG29, P36/PCLBUZ1/RxD1/SI10/SDA10 /SEG26 など) をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx)のビットに0を設定してください。

(例) P14/INTP7/SCK20/SCL20/PCLBUZ0/SEG29をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ1のPM14ビットを0に設定

ポート・レジスタ1のP14ビットを0に設定

LCDポート・ファンクション・レジスタ3のPFSEG29ビットを0に設定

10.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0)で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1)で選択したクロック／ブザーを出力します。

10.4.1 出力端子の動作

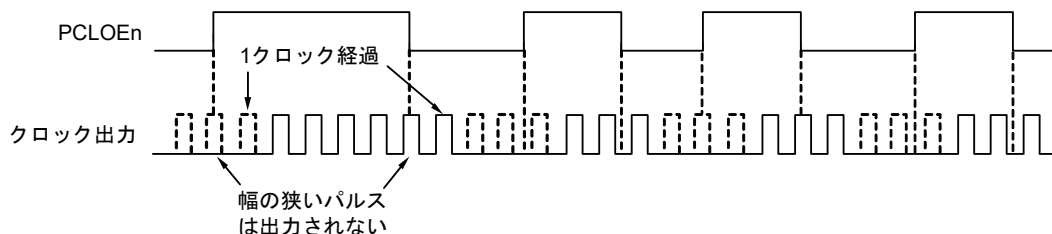
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx)およびポート・レジスタ (Pxx)のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ (CKSn)のビット0-3 (CCSn0-CCSn2, CSELn)で出力周波数を選択する(出力は禁止の状態)。
- ③ CKSnレジスタのビット7 (PCLOEn)に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止(PCLOEnビット)を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図10-3に示します。

備考2. n = 0, 1

図10-3 PCLBUZn端子からのクロック出力のタイミング



10.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択(CSELn = 0)している場合は、出力停止設定(PCLOEn = 0)にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOP/HALTモードへ移行すると、PCLBUZnの出力幅が短くなります。

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック (f_{IL})で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF)がセット(1)されます。RESFレジスタの詳細については第25章 リセット機能を参照してください。

また、オーバーフロー時間の75% + 1/2f_{IL}到達時にインターバル割り込みを発生することもできます。

11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 11-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

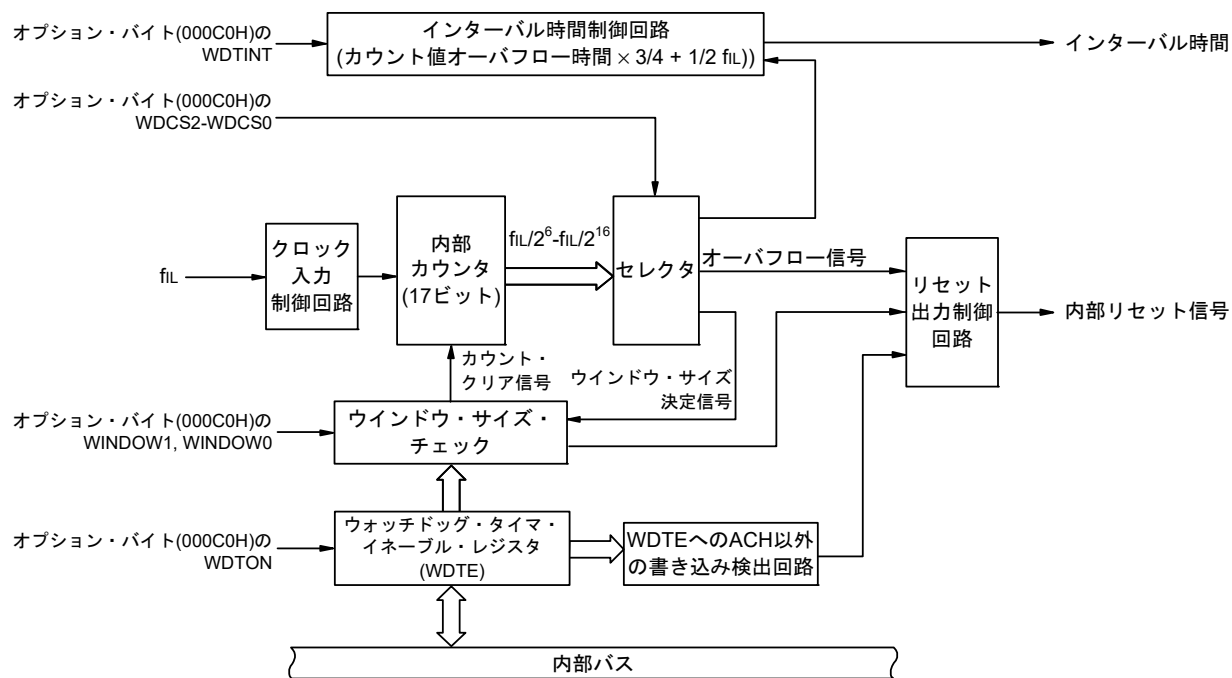
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表 11-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第30章 オプション・バイトを参照してください。

図 11-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速オンチップ・オシレータ・クロック

11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)で制御します。

11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH注になります。

図11-2 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット

アドレス : FFFABH	リセット時 : 9AH/1AH注	R/W						
略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト(000C0H)のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

注意2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

注意3. WDTEレジスタのリード値は、“9AH/1AH”(書き込んだ値(“ACH”)とは異なる値)になります。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト(000C0H)で次の内容を設定します。

- オプション・バイト(000C0H)のビット4 (WDTON)を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可(リセット解除後、カウンタは動作開始)にしてください(詳細は、第30章 オプション・バイトを参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止(リセット解除後、カウンタ停止)
1	カウンタ動作許可(リセット解除後、カウンタ開始)

- オプション・バイト(000C0H)のビット3-1 (WDSC2-WDSC0)で、オーバフロー時間を設定してください(詳細は、11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定および第30章 オプション・バイトを参照)。
 - オプション・バイト(000C0H)のビット6, 5 (WINDOW1, WINDOW0)で、ウインドウ・オープン期間を設定してください(詳細は、11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定および第30章 オプション・バイトを参照)。
2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
 3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
 4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生しません。
 5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

注意2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大fILの2クロックの誤差が生じる場合があります。

注意3. ウォッチドッグ・タイマのクリアは、カウント値がオーバーフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0 (WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALT, STOP, およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表 11-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (fIL = 17.25 kHz (MAX.)の場合)
0	0	0	2 ⁶ /fIL (3.71 ms)
0	0	1	2 ⁷ /fIL (7.42 ms)
0	1	0	2 ⁸ /fIL (14.84 ms)
0	1	1	2 ⁹ /fIL (29.68 ms)
1	0	0	2 ¹¹ /fIL (118.72 ms)
1	0	1	2 ¹³ /fIL (474.89 ms)注
1	1	0	2 ¹⁴ /fIL (949.79 ms)注
1	1	1	2 ¹⁶ /fIL (3799.18 ms)注

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクする事ができます。

〈使用条件〉

- ・ウォッチドッグ・タイマのオーバフローの時間を2¹³/fIL、2¹⁴/fILまたは2¹⁶/fILに設定
- ・ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ウォッチドッグ・タイマのカウント値がオーバフロー時間で75%以上の時にWDTEレジスタ(FFFABH)にACHを書き込み

- ①ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0(MKOL)のWDTIMKビットを1にセット
- ②ウォッチドッグ・タイマのカウントをクリア
- ③80 μs以上ウエイト
- ④割り込み要求フラグ・レジスタ0(IFOL)のWDTIIFビットを0にクリア
- ⑤割り込みマスク・フラグ・レジスタ0(MKOL)のWDTIMKビットを0にクリア

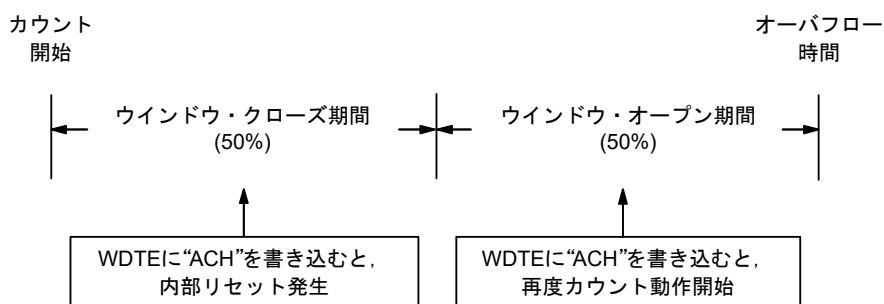
備考 fIL : 低速オンチップ・オシレータ・クロック周波数

11.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、オプション・バイト (000C0H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウィンドウの概要は次のとおりです。

- ・ウィンドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウィンドウ・クローズ期間中は、WDTE レジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウィンドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウィンドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表 11-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75%注
1	1	100%

注 ウィンドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)	ウィンドウ・オープン期間を75%に設定した 時のカウンタのクリア禁止期間
0	0	0	2 ⁶ /f _{IL} (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	2 ⁷ /f _{IL} (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	2 ⁸ /f _{IL} (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	2 ⁹ /f _{IL} (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	2 ¹³ /f _{IL} (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)	1899.59 ms ~ 2570.04 ms

注意 オプション・バイト(000C0H)のビット0(WDSTBYON) = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウィンドウ・オープン期間100%となります。

備考 オーバフロー時間を2⁹/f_{IL}に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定		
	50%	75%	100%
ウィンドウ・クローズ時間	0 ~ 20.08 ms	0 ~ 10.04 ms	なし
ウィンドウ・オープン時間	20.08 ~ 29.68 ms	10.04 ~ 29.68 ms	0 ~ 29.68 ms

<ウィンドウ・オープン期間50%のとき>

- オーバフロー時間 :
 $2^9 / f_{IL} (\text{MAX.}) = 2^9 / 17.25 \text{ kHz} = 29.68 \text{ ms}$
- ウィンドウ・クローズ時間 :
 $0 \sim 2^9 / f_{IL} (\text{MIN.}) \times (1 - 0.5) = 0 \sim 2^9 / 12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$
- ウィンドウ・オープン時間 :
 $2^9 / f_{IL} (\text{MIN.}) \times (1 - 0.5) \sim 2^9 / f_{IL} (\text{MAX.}) = 2^9 / 12.75 \text{ kHz} \times 0.5 \sim 2^9 / 17.25 \text{ kHz} = 20.08 \sim 29.68 \text{ ms}$

11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト(000C0H)のビット7 (WDTINT)の設定により、オーバフロー時間の75% + 1/2f_{IL}到達時にインターバル割り込み(INTWDTI)を発生することができます。

表 11 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2f _{IL} 到達時にインターバル割り込みを発生する注

注 ウォッチドッグ・タイマのインターバル割り込みを使用する場合は、ウォッチドッグ・タイマのカウント・クリア時に、「11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定」の注で示す手順に従ってください。

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。
そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。
よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も(ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むまで)カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第12章 12ビットA/Dコンバータ

本章に記載しているPCLKとは、周辺ハードウェア・クロック（fCLK）を指します。

12.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。最大15チャンネルのアナログ入力と温度センサ出力、内部基準電圧を選択できます。

12ビットA/Dコンバータは、選択した最大15チャンネルのアナログ入力、温度センサ出力または内部基準電圧を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大15チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換するシングルスキャンモードと、任意に選択した最大15チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードがあります。

自己診断は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力と内部基準電圧の両方を同時に選択することはできません。温度センサ出力または内部基準電圧は、それぞれ単独でA/D変換を行ってください。

高電位側基準電圧には外部端子入力（AVREFP）またはボルテージ・リファレンス電圧出力（VREFOUT）、アナログ基準電圧（AVDD）、内部基準電圧（VBGR）から選択することができます。低電位側基準電圧には外部端子入力（AVREFM）かアナログ基準電圧（AVSS）を選択することができます。

表12-1に12ビットA/Dコンバータの仕様を、表12-2に12ビットA/Dコンバータの機能概要を示します。図12-1に12ビットA/Dコンバータのブロック図を示します。

表12-1 12ビットA/Dコンバータの仕様

項目	内容
ユニット数	1ユニット
入力チャンネル	15チャンネル (内部1/2 AV _{DD} 専用を含む)
拡張アナログ機能	温度センサ出力, 内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間 ^{注6}	1チャンネル当たり 3 μs (最速変換時間) (A/D変換クロック ADCLK = 24 MHz動作時)
A/D変換クロック	周辺ハードウェア・クロックPCLK ^{注1} とA/D変換クロックADCLK ^{注1} を以下の周波数比で設定可能 PCLK : ADCLK周波数比 = 1:1, 2:1, 4:1, 8:1
データレジスタ	<ul style="list-style-type: none"> アナログ入力用15本 (内部1/2 AV_{DD}専用を含む) 温度センサ用1本 内部基準電圧用1本 自己診断用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の12ビット精度出力に対応 加算モード時はA/D変換結果の加算値を変換精度ビット数 + 2ビット / 4ビット^{注2}でA/Dデータレジスタに保持
動作モード ^{注5}	<ul style="list-style-type: none"> シングルスキャンモード : 任意に選択した最大15チャンネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 連続スキャンモード : 任意に選択した最大15チャンネルのアナログ入力を繰り返しA/D変換
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ イベントリンクコントローラ (ELC) からのトリガ 非同期トリガ 外部トリガADTRG端子によるA/D変換動作の開始が可能
機能	<ul style="list-style-type: none"> サンプリングステート数可変機能 (チャンネルごとに設定可能) 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モードと平均モードが選択可能 A/Dデータレジスタオートクリア機能
割り込み要因	<ul style="list-style-type: none"> 1回のスキャン終了でスキャン終了割り込み要求 (INTAD) を発生 INTAD割り込みでデータトランスファコントローラ (DTC) を起動可能
イベントリンク機能	ELCからのトリガによりスキャン開始可能
基準電圧 ^{注4}	<ul style="list-style-type: none"> 高電位側基準電圧はAV_{REFP}/V_{REFOUT}, AV_{DD}, 内部基準電圧から選択可能 低電位側基準電圧はAV_{REFM}かAV_{SS}を選択可能
消費電力低減機能	・クロック供給停止状態への設定が可能 ^{注3}

注1. 周辺ハードウェア・クロック PCLK と A/D 変換クロック ADCLK の周波数比は、レジスタ ADCKS で設定します。ただし、ADCLK を 1 MHz 未満に設定することはできません。

注2. 加算時の拡張ビット数は、加算回数により異なります。
2ビット拡張：1～4回変換 (0～3回加算)
4ビット拡張：16回変換 (15回加算)

注3. クロック供給停止状態を解除後は、1 μs 以上待つてからA/D変換を開始してください。

注4. BGR出力を基準電圧として使用する場合と、A/D変換入力として使用場合があります。基準電圧として使用する場合は、手動でディスチャージを実施してください。

注5. 温度センサまたは内部基準電圧を選択した場合は、連続スキャンモードを使用しないでください。

注6. 変換時間は「表12-8 スキャンでの各所要時間 (ADCLKとPCLKのサイクル数で示します)」中のA/D変換処理時間 t_{CONV} を参照してください。

表 12 - 2 12ビットA/Dコンバータの機能概要

項目			端子名, 略称等
アナログ入力チャネル			ANI00-ANI13, 1/2 AVDD (ANI14), 温度センサ出力, 内部基準電圧
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能
	非同期トリガ	ADTRG	可能
	同期トリガ	ELCからのトリガ	可能
割り込み			INTAD割り込み
クロック供給停止機能の設定			PER0.ADCENビット

図 12 - 1 12ビットA/Dコンバータのブロック図

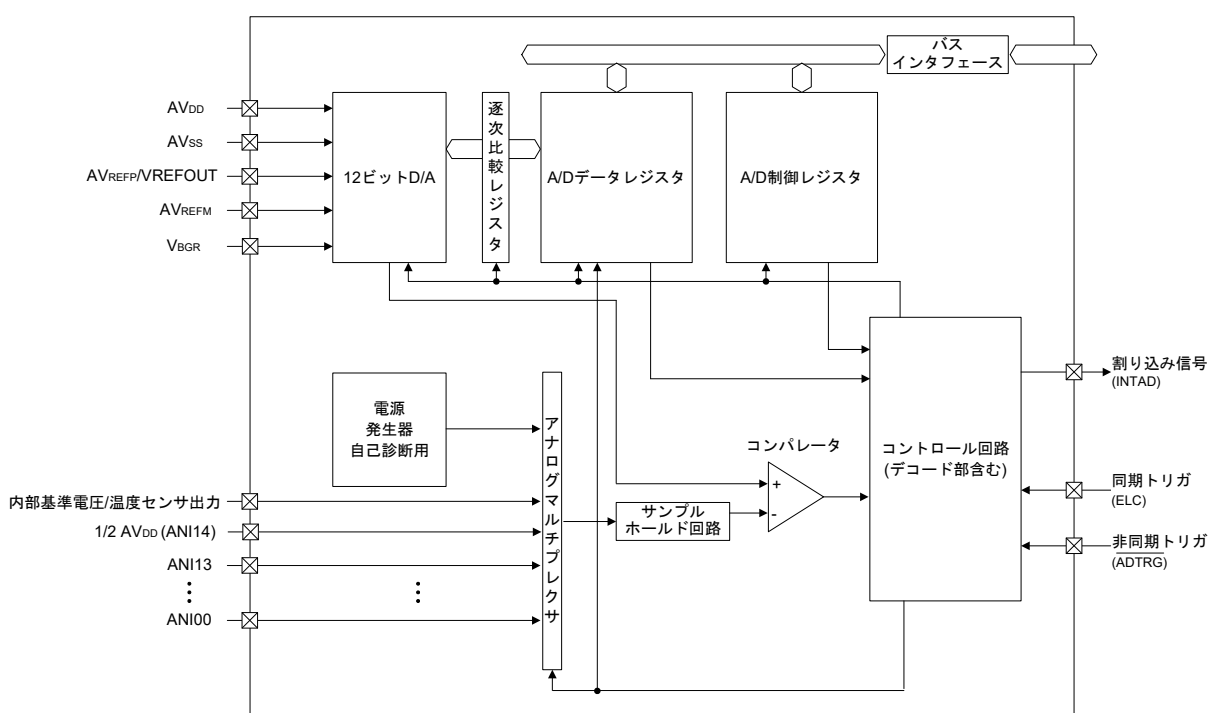


表 12 - 3に12ビットA/Dコンバータで使用する入力端子を示します。

表 12 - 3 12ビットA/Dコンバータの入出力端子

端子名	入出力	機能
AVDD	—	アナログ部の電源端子
AVSS	—	アナログ部のグランド端子
AVREFP/VREFOUT	入出力	基準電源端子
AVREFM	入力	基準電源グランド端子
ANI00-ANI13	入力	アナログ入力端子0~13
ADTRG	入力	A/D変換開始のための外部トリガ入力端子

12.2 レジスタの説明

表12-4 12ビットA/Dコンバータのレジスタ一覧

レジスタ名	シンボル
周辺イネーブル・レジスタ0	PER0
A/Dデータレジスタy (y = 0~14)	ADDRy
A/D温度センサデータレジスタ	ADTSDR
A/D内部基準電圧データレジスタ	ADOCDR
A/D自己診断データレジスタ	ADRD
A/Dコントロールレジスタ	ADCSR
A/Dチャンネル選択レジスタA0	ADANSA0
A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0
A/D変換値加算/平均回数選択レジスタ	ADADC
A/Dコントロール拡張レジスタ	ADCER
A/D変換開始トリガ選択レジスタ	ADSTRGR
A/D変換拡張入力コントロールレジスタ	ADEXICR
A/Dサンプリングステートレジスタn (n = 0~14, T, O)	ADSSTRn
A/D高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT
A/D変換クロック制御レジスタ	ADCKS
アナログ基準電圧制御レジスタ	VREFCR

12.2.1 周辺イネーブル・レジスタ0 (PER0)

図12-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
------	--------	---	-------	---------	--------	--------	---	--------

ADCEN	A/Dコンバータ、ボルテージ・リファレンスの入カクロック供給の制御
0	入カクロック供給停止 ・ A/Dコンバータ、ボルテージ・リファレンスで使用するSFRへのライト不可 ・ A/Dコンバータ、ボルテージ・リファレンスはリセット状態
1	入カクロック供給 ・ A/Dコンバータ、ボルテージ・リファレンスで使用するSFRへのリード/ライト可

12.2.2 A/Dデータレジスタ y (ADDR y)

A/D温度センサデータレジスタ (ADTSDR)

A/D内部基準電圧データレジスタ (ADOCDR)

ADDR y レジスタ ($y = 0 \sim 14$) は、A/D変換結果を格納する16ビットの読み出し専用レジスタです。

ADDR0-ADDR13はANI00-ANI13端子入力電圧に、ADDR14は1/2 AV_{DD}電圧に対応します。

ADTSDRレジスタは、温度センサ出力をA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

ADOCDRレジスタは、内部基準電圧をA/D変換した結果を格納する16ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め, または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (1回, 2回, 3回, 15回加算)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算, または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D変換値加算/平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0にA/D変換値を格納します。読み出し時、b15-b12は“0”が読みだされます。
- 左詰めのフォーマットに設定した場合
b15-b4にA/D変換値を格納します。読み出し時、b3-b0は“0”が読みだされます。

(2) A/D変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0に同一チャネルのA/D変換値を平均した値を格納します。読み出し時、b15-b12は“0”が読みだされます。
- 左詰めのフォーマットに設定した場合
b15-b4に同一チャネルのA/D変換値を平均した値を格納します。読み出し時、b3-b0は“0”が読みだされます。

A/D変換値加算モードを2回, 4回に設定の場合のみ、A/D変換値平均モードを設定できます。

(3) A/D変換値加算モードを選択した場合

- 右詰めのフォーマット（A/D変換値加算モード，変換回数1回～4回選択時）に設定した場合
b13-b0に同一チャネルのA/D変換値を加算した値を格納します。読み出し時，b15-b14は"0"が読みだされます。
- 右詰めのフォーマット（A/D変換値加算モード，変換回数16回選択時）に設定した場合
b15-b0に同一チャネルのA/D変換値を加算した値を格納します。
- 左詰めのフォーマット（A/D変換値加算モード，変換回数1回～4回選択時）に設定した場合
b15-b2に同一チャネルのA/D変換値を加算した値を格納します。読み出し時，b1-b0は"0"が読みだされます。
- 左詰めのフォーマット（A/D変換値加算モード，変換回数16回選択時）に設定した場合
b15-b0に同一チャネルのA/D変換値を加算した値を格納します。

A/D変換値加算モードを選択したとき，同一チャネルのA/D変換値を加算した値を示します。A/D変換回数を1回～4回，16回に設定できます。A/D変換値加算モードを選択すると，変換回数を1回～4回に設定した場合は，A/D変換結果の加算値を変換精度のビット数に2ビット分拡張したデータとして，変換回数を16回に設定した場合は，A/D変換結果の加算値を変換精度のビット数に4ビット分拡張したデータとして，A/Dデータレジスタに保持します。A/D変換値加算モードを選択した場合でも，A/Dデータレジスタフォーマット選択ビットの設定に従い，A/Dデータレジスタに値が格納されます。

図12-3 A/Dデータレジスタy (ADDRy)，A/D温度センサデータレジスタ (ADTSDR)，
A/D内部基準電圧データレジスタ (ADOCDR) のフォーマット

アドレス：ADDR0: F0620h, ADDR1: F0622h, ADDR2: F0624h, ADDR3: F0626h, ADDR4: F0628h, ADDR5: F062Ah,
ADDR6: F062Ch, ADDR7: F062Eh, ADDR8: F0630h, ADDR9: F0632h, ADDR10: F0634h, ADDR11: F0636h,
ADDR12: F0638h, ADDR13: F063Ah, ADDR14: F063Ch, ADTSDR: F061Ah, ADOCDR: F061Ch
リセット時：0000h

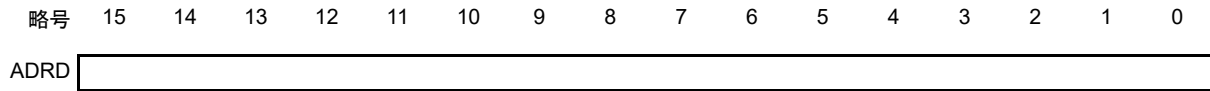
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRy	[]															
ADTSDR	[]															
ADOCDR	[]															

備考 y = 0-14

12.2.3 A/D自己診断データレジスタ (ADRD)

図12-4 A/D自己診断データレジスタ (ADRD) のフォーマット

アドレス : F061Eh リセット時 : 0000h



ADRDレジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値に加えて、自己診断のステータスが付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め, または左詰め)

AD自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については12.2.8 A/Dコントロール拡張レジスタ (ADCER) を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めのフォーマットに設定した場合

b11-b0にA/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b12は“0”が読み出されます。

- 左詰めのフォーマットに設定した場合

b15-b4にA/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b3-b2は“0”が読み出されます。

表12-5 自己診断ステータス内容 注

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	基準電源×1/2の電圧値の自己診断を実施したことを示します
11b	基準電源の電圧値の自己診断を実施したことを示します

注 自己診断の詳細については、12.2.8 A/Dコントロール拡張レジスタ (ADCER) を参照してください。

12.2.4 A/Dコントロールレジスタ (ADCSR)

ADCSRレジスタは、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

ADCSRレジスタは、16ビット・メモリ操作命令で設定します。

図12-5 A/Dコントロールレジスタ (ADCSR) のフォーマット

アドレス : F0600h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCSR	ADST	ADCS[1:0]	ADIE	0	ADHSC	TRGE	EXTRG	0	0	0	0	0	0	0	0	0

ADST	A/D変換スタートビット
0	A/D変換停止
1	A/D変換開始

A/D変換の開始/停止を制御します。
ADSTビットを“1”に設定する前に、A/D変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。
[“1”になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRGビットに“0”、ADCSR.TRGEビットに“1”を設定し、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガを検出したとき
- ADCSR.TRGEビットとADCSR.EXTRGビットを“1”、ADSTRGR.TRSA[5:0]ビットを“00000b”に設定し、非同期トリガを検出したとき

[“0”になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力または内部基準電圧のA/D変換が終了したとき

ADCS[1:0]	スキャンモード選択ビット
00	シングルスキャンモード
01	設定禁止
10	連続スキャンモード
11	設定禁止

スキャン変換モードを選択します。
シングルスキャンモードは、ADANSA0レジスタで選択した最大15チャンネルのアナログ入力を若いチャンネル番号順にA/D変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。
連続スキャンモードは、ADCSR.ADSTビットが“1”の間、ADANSA0レジスタで選択した最大15チャンネルのアナログ入力を若いチャンネル番号順にA/D変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻りA/D変換を継続します。連続スキャン中にADCSR.ADSTビットを“0”にすると、スキャン中にA/D変換を停止します。
温度センサ出力または内部基準電圧を選択する場合は、シングルスキャンモードを選択し、ADANSA0レジスタでのチャンネル選択を全て非選択としてからA/D変換を行います。選択した温度センサ出力または内部基準電圧のA/D変換が終了すると停止します。
ADCS[1:0]ビットは、ADSTビットが“0”のときに設定してください (ADSTビットへの“1”書き込みと同時に設定しないでください)。

ADIE	スキャン終了割り込み許可ビット
0	スキャン終了後のINTAD割り込み発生の禁止
1	スキャン終了後のINTAD割り込み発生の許可

A/Dスキャン変換終了割り込み (INTAD) の発生を許可/禁止します。

ADHSC	A/D変換動作選択ビット
0	高速変換動作
1	通常変換動作

A/D変換の動作モードを設定します。ただし、VBGR選択時は高速変換動作は使用できません。ADHSCビットを書き換える場合は、12ビットA/Dコンバータをスタンバイ状態にする必要があります。ADHSCビットの書き換え手順は、12.9.9 ADHSCビットの書き換え手順を参照してください。

TRGE	トリガ開始許可ビット
0	トリガによるA/D変換の開始を禁止
1	トリガによるA/D変換の開始を許可

同期トリガ、非同期トリガによるA/D変換の起動を許可/禁止します。

EXTRG	トリガ選択ビット (注)
0	同期トリガによるA/D変換の開始を選択
1	非同期トリガによるA/D変換の開始を選択

A/D変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

注 外部端子（非同期トリガ）でA/D変換を起動する方法

外部端子（ $\overline{\text{ADTRG}}$ ）にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、 $\overline{\text{ADTRG}}$ の信号をLowに変化させると、 $\overline{\text{ADTRG}}$ の立ち下がリエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上が必要です。

12.2.5 A/Dチャンネル選択レジスタA0 (ADANSA0)

ADANSA0レジスタは、A/D変換を行うチャンネルのアナログ入力ANI00-ANI14を選択するレジスタです。

ADANSA0レジスタは、16ビット・メモリ操作命令で設定します。

図12-6 A/Dチャンネル選択レジスタA0 (ADANSA0) のフォーマット

アドレス：F0604h リセット時：0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADANSA0	0		ANSA0[14:0]													

ANSA0[14:0]	A/D変換チャンネル選択ビット
0	ANI00-ANI14を変換対象から外す
1	ANI00-ANI14を変換対象とする
<p>A/D変換を行うチャンネルのアナログ入力ANI00-ANI14の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA0[0]ビットがANI00、ANSA0[14]ビットが1/2 AV_{DD}に対応します。 温度センサあるいは内部基準電圧をA/D変換する場合は、アナログ入力チャンネルを選択しないでください（本レジスタ設定値を“0000h”としてください）。 ANSA0ビットは、ADCSR.ADSTビットが“0”のときに設定してください。</p>	

12.2.6 A/D変換値加算/平均機能チャンネル選択レジスタ0 (ADADS0)

ADADS0レジスタは、A/D変換を連続2~4、16回実施して加算（積算）、または平均するA/D変換チャンネル0~14を選択します。

ADADS0レジスタは、16ビット・メモリ操作命令で設定します。

図12-7 A/D変換値加算/平均機能チャンネル選択レジスタ0 (ADADS0) のフォーマット

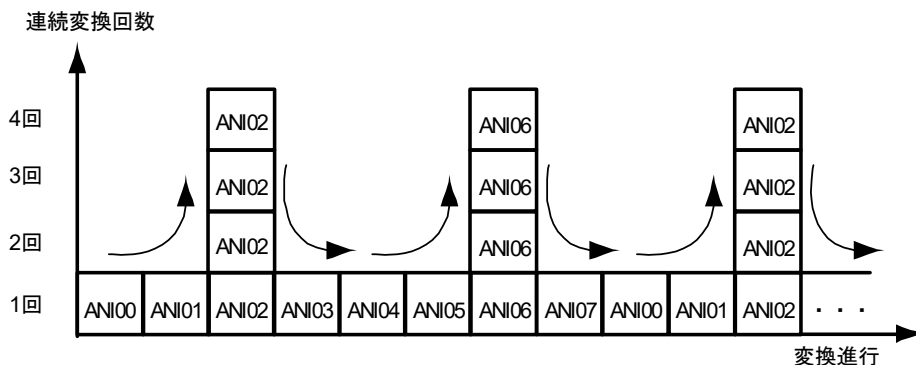
アドレス：F0608h リセット時：0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADADS0	0		ADS0[14:0]													
ADS0[14:0]	A/D変換値加算/平均チャンネル選択ビット															
0	ANI00~ANI14のA/D変換値加算/平均モード非選択															
1	ANI00~ANI14のA/D変換値加算/平均モード選択															
ADANSA0.ANSA0[n]ビット (n = 0~14) で選択したA/D変換チャンネルと同一番号のADS0[n]ビットを“1”にすると、ADADC.ADC[2:0]ビットで設定した回数 (2~4、16回) 分、選択したチャンネルのアナログ入力を連続してA/D変換し、ADADC.AVEEビットが“0”の場合、加算（積算）した値を、ADADC.AVEEビットが“1”の場合、加算（積算）値から平均した値をA/Dデータレジスタに格納します。加算/平均モードが非選択のA/D変換チャンネルは、通常の1回変換を実施し、A/Dデータレジスタに値を格納します。 ADS0[14:0]ビットは、ADCSR.ADSTビットが“0”のときに設定してください。																

図12-8にビットADS0[2]とADS0[6]を“1”にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算モードを選択 (ADADC.AVEE = 0)、加算回数は3回に設定 (ADADC.ADC[2:0] = 011b)、ANI00~ANI07が選択 (ADANSA0.ANSA0[14:0] = 00FFh) されているものとします。ANI00から変換を開始します。ANI02の変換は4回連続変換 (3回加算) し、加算 (積算) 値をA/Dデータレジスタ2に返します。その後、ANI03の変換を開始し、ANI06の変換で4回連続変換し、加算 (積算) 値をA/Dデータレジスタ6に返します。ANI07の変換後、再度ANI00から同じシーケンスで動作します。

図12-8 ADADC.ADC[2:0] = 011b, ADADC.AVEE=0, ADS0[2] = 1, ADS0[6] = 1 選択時のスキャン変換シーケンス



12.2.7 A/D変換値加算/平均回数選択レジスタ (ADADC)

ADADCレジスタは、A/D変換値加算/平均モードが選択されたチャネル、温度センサ出力、内部基準電圧のA/D変換に対して加算回数の設定と、加算モード/平均モードの選択を行います。

ADADCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図12-9 A/D変換値加算/平均回数選択レジスタ (ADADC) のフォーマット

アドレス: F060Ch リセット時: 00h R/W

略号	7	6	5	4	3	2	1	0
ADADC	AVEE	0	0	0	0	ADC[2:0]		
AVEE	平均モードイネーブルビット							
0	加算モードを選択							
1	平均モードを選択							
A/D変換および加算/平均モードが選択されたチャネル、温度センサ出力、内部基準電圧のA/D変換に対して加算モード、または平均モードの選択を行います。 ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC = 000b)、3回変換 (ADADC.ADC = 010b) および16回変換 (ADADC.ADC = 101b) に設定しないでください。1回、3回および16回変換の平均値を求めることはできません。 AVEEビットの設定は、ADCSR.ADSTビットが“0”のときに設定してください。								
ADC[2:0]	加算回数選択ビット							
000	1回変換 (加算なし。通常変換と同じ)							
001	2回変換 (1回加算を行う)							
010	3回変換 (2回加算を行う) (注)							
011	4回変換 (3回加算を行う)							
101	16回変換 (15回加算を行う) (注)							
上記以外	設定禁止							
A/D変換および加算/平均モードが選択されたチャネル、温度センサ出力、内部基準電圧のA/D変換に対して共通の加算回数を設定します。 ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換 (ADADC.ADC[2:0] = 000b)、3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。 ADC[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。								

注 AVEE = 1は、2回変換、4回変換の時のみ有効です。平均モードを選択した場合 (ADADC.AVEEビット = 1)、3回変換 (ADADC.ADC[2:0] = 010b) および16回変換 (ADADC.ADC[2:0] = 101b) に設定しないでください。

12.2.8 A/Dコントロール拡張レジスタ (ADCER)

ADCERレジスタは、自己診断モード、A/Dデータレジスタy (ADDRy) のフォーマット、A/Dデータレジスタの自動クリア機能の設定を行うレジスタです。

ADCERレジスタは、16ビット・メモリ操作命令で設定します。

図12-10 A/Dコントロール拡張レジスタ (ADCER) のフォーマット

アドレス : F060Eh リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCER	ADRFMT	0	0	0	DIAGM	DIAGLD	DIAGVAL[1:0]	0	0	ACE	0	0	0	0	0	0
ADRFMT		A/Dデータレジスタフォーマット選択ビット														
0		A/Dデータレジスタのフォーマットを右詰めにする														
1		A/Dデータレジスタのフォーマットを左詰めにする														
ADDRy, ADDRd, ADTSDR, ADCDCR レジスタに格納するデータの右詰め/左詰めを選択します。ADRFMT ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。																
DIAGM		自己診断イネーブルビット														
0		12ビットA/Dコンバータの自己診断を実施しない														
1		12ビットA/Dコンバータの自己診断を実施する														
自己診断を実施するかしないかを選択します。自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0V、基準電源×1/2、基準電源の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADDRd) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアでADDRd レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。DIAGM ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。																
DIAGLD		自己診断モード選択ビット														
0		自己診断電圧ローテーションモード														
1		自己診断電圧固定モード														
自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLD ビットを“0”にすると0V→基準電源×1/2→基準電源の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は0Vから自己診断を行います。自己診断電圧固定モードを選択した場合はADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても0Vに戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。DIAGLD ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。																
DIAGVAL [1:0]		自己診断変換電圧選択ビット														
00		自己診断電圧固定モード時は設定禁止														
01		0Vの電圧を使って自己診断を行う														
10		基準電源×1/2の電圧を使って自己診断を行う														
11		基準電源の電圧を使って自己診断を行う														
自己診断電圧固定モードでの電圧値を選択します。詳細はADCER.DIAGLD ビットの説明を参照してください。ADCER.DIAGVAL[1:0] ビットが“00b”の状態ではADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。																

ACE	A/Dデータレジスタ自動クリアイネーブルビット
0	自動クリアを禁止
1	自動クリアを許可

CPU, DTCによってADDRy, ADRD, ADTSDR, ADOCDRレジスタを読み出した後, 当該レジスタの自動クリア (All"0") を行うか行わないかを選択します。A/Dデータレジスタの自動クリアにより各A/Dデータレジスタの未更新故障を検出することができます。

各データレジスタのフォーマットの詳細は, 12.2.2 A/Dデータレジスタy (ADDRy) A/D温度センサデータレジスタ (ADTSDR) A/D内部基準電圧データレジスタ (ADOCDR), 12.2.3 A/D自己診断データレジスタ (ADRD) を参照してください。

12.2.9 A/D変換開始トリガ選択レジスタ (ADSTRGR)

ADSTRGRレジスタは、A/D変換開始トリガの選択を行うレジスタです。

ADSTRGRレジスタは、16ビット・メモリ操作命令で設定します。

図12-11 A/D変換開始トリガ選択レジスタ (ADSTRGR) のフォーマット

アドレス : F0610h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADSTRGR	0	0	TRSA[5:0]					0	0	0	0	0	0	0	0	0

TRSA[5:0]	A/D変換開始トリガ選択ビット注
000000	外部トリガ入力端子 (ADTRG)
110000	イベントリンクコントローラからのイベント出力信号 (ELCTRG0)
111111	トリガ要因非選択
上記以外	設定禁止
シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。 ・ 同期トリガのA/D変換起動要因を使用する場合は、ADCSR.TRGEビットを“1”に設定し、かつADCSR.EXTRGビットを“0”に設定してください。 ・ 非同期トリガを使用する場合は、ADCSR.TRGEビットを“1”に設定し、かつADCSR.EXTRGビットを“1”に設定してください。 ・ ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGEビット、ADCSR.EXTRGビット、TRSA[5:0]ビットの設定値にかかわらず有効です。	

注 なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (tSCAN) 以上となるように設定してください。発行間隔がtSCAN以内の場合は、トリガによるA/D変換が無効となる場合があります。詳細は12.3.4アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表12-6にTRSA[5:0]ビットでのA/D起動要因選択一覧を示します。

表12-6 TRSA[5:0]ビットでのA/D起動要因選択一覧

周辺機能	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRG	トリガ入力端子	0	0	0	0	0	0
ELC	ELCTRG0	イベントリンクコントローラからのイベント出力信号	1	1	0	0	0	0

12.2.10 A/D変換拡張入力コントロールレジスタ (ADEXICR)

ADEXICRレジスタは、温度センサ出力/内部基準電圧のA/D変換の設定をします。

ADEXICRレジスタは、16ビット・メモリ操作命令で設定します。

図12-12 A/D変換拡張入力コントロールレジスタ (ADEXICR) のフォーマット

アドレス : F0612h リセット時 : 0000h R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADEXICR	0	0	0	0	0	0	OCSA	TSSA	0	0	0	0	0	0	OCSA _D	TSSAD

OCSA	内部基準電圧A/D変換選択ビット
0	内部基準電圧をA/D変換しない
1	内部基準電圧をA/D変換する
<p>シングルスキャンモードでの内部基準電圧のA/D変換を選択します。内部基準電圧のA/D変換を行う場合は、ADANSA0レジスタの全ビットとTSSAビットの全てに“0”を設定し、シングルスキャンモードで実行してください。OCSAビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。内部基準電圧のA/D変換は、サンプリング前にディスチャージを行う必要があります。また、サンプリング時間は5 μs以上に設定してください。内部基準電圧のA/D変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間(15ADCLK)がサンプリング前に挿入されます。</p>	

TSSA	温度センサ出力A/D変換選択ビット
0	温度センサ出力をA/D変換しない
1	温度センサ出力をA/D変換する
<p>シングルスキャンモードでの温度センサ出力のA/D変換を選択します。温度センサ出力のA/D変換を行う場合は、ADANSA0レジスタの全ビットとOCSAビットの全てに“0”を設定し、シングルスキャンモードで実行してください。TSSAビットの設定は、ADSTビットが“0”のときに行ってください。温度センサ出力のA/D変換は、サンプリング前にディスチャージを行う必要があります。また、サンプリング時間は5 μs以上に設定してください。温度センサ出力のA/D変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間(15ADCLK)がサンプリング前に挿入されます。</p>	

OCSAD	内部基準電圧A/D変換値加算/平均モード選択ビット
0	内部基準電圧A/D変換値加算/平均モード非選択
1	内部基準電圧A/D変換値加算/平均モード選択
<p>内部基準電圧のA/D変換を選択し、OCSADビットを“1”にすると、ADADC.ADC[2:0]ビットで設定した回数(2~4, 16回)分、内部基準電圧を連続してA/D変換し、ADADC.AVEEビットが“0”の場合は加算(積算)した値を、ADADC.AVEEビットが“1”の場合は平均した値をA/D内部基準電圧データレジスタ(ADOCADR)に格納します。OCSADビットは、ADCSR.ADSTビットが“0”のときに設定してください。</p>	

TSSAD	温度センサ出力A/D変換値加算/平均モード選択ビット
0	温度センサ出力A/D変換値加算/平均モード非選択
1	温度センサ出力A/D変換値加算/平均モード選択
<p>温度センサ出力のA/D変換を選択し、TSSADビットを“1”にすると、ADADC.ADC[2:0]ビットで設定した回数(2~4, 16回)分、温度センサ出力を連続してA/D変換し、ADADC.AVEEビットが“0”の場合は加算(積算)した値を、ADADC.AVEEビットが“1”の場合は平均した値をA/D温度センサデータレジスタ(ADTSDR)に格納します。TSSADビットは、ADCSR.ADSTビットが“0”のときに設定してください。</p>	

★ 注 コンパレータのリファレンス電圧に内部基準電圧(1.45 V)を選択している場合は、温度センサ出力のA/D変換はできません。

12.2.11 A/Dサンプリングステートレジスタ n (ADSSTRn) (n = 0~14, T, O)

ADSSTRnレジスタは、アナログ入力のサンプリング時間の設定を行います。

1ステート = 1ADCLK (A/D変換クロック) 幅でADCLKクロックが24 MHzであれば1ステート = 41.67 nsになります。初期値は13ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLKクロックが低速な場合に、サンプリング時間を調整することができます。ADSSTRnレジスタは、ADCSR.ADSTビットが“0”のときに設定してください。このレジスタには、5以上の値を設定してください。

ADSSTRnレジスタは、8ビット・メモリ操作命令で設定します。

図 12 - 13 A/Dサンプリングステートレジスタ n (ADSSTRn) (n = 0~14, T, O) のフォーマット

アドレス : ADSSTR: F06DEh, ADSSTRO: F06DFh, ADSSTR0: F06E0h, ADSSTR1: F06E1h, ADSSTR2: F06E2h, ADSSTR3: F06E3h, ADSSTR4: F06E4h, ADSSTR5: F06E5h, ADSSTR6: F06E6h, ADSSTR7: F06E7h, ADSSTR8: F06E8h, ADSSTR9: F06E9h, ADSSTR10: F06EAh, ADSSTR11: F06EBh, ADSSTR12: F06ECh, ADSSTR13: F06EDh, ADSSTR14: F06EEh
リセット時 : 0Dh R/W

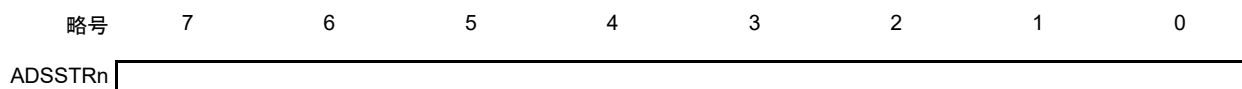


表 12 - 7にA/Dサンプリングステートレジスタと対象チャネルの関係を示します。

詳細は、12.3.4 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表 12 - 7 A/Dサンプリングステートレジスタと対象チャネルの関係

レジスタ名	対象チャネル
ADSSTR0 レジスタ	ANI00 注2
ADSSTR1 レジスタ	ANI01 注2
ADSSTR2 レジスタ	ANI02 注2
ADSSTR3 レジスタ	ANI03 注2
ADSSTR4 レジスタ	ANI04 注2
ADSSTR5 レジスタ	ANI05 注2
ADSSTR6 レジスタ	ANI06 注2
ADSSTR7 レジスタ	ANI07 注2
ADSSTR8 レジスタ	ANI08 注2
ADSSTR9 レジスタ	ANI09 注2
ADSSTR10 レジスタ	ANI10 注2
ADSSTR11 レジスタ	ANI11 注2
ADSSTR12 レジスタ	ANI12 注2
ADSSTR13 レジスタ	ANI13 注2
ADSSTR14 レジスタ	1/2 AV _{DD} 注3
ADSSTRT レジスタ	温度センサ出力 注1
ADSSTRO レジスタ	内部基準電圧 注1

注1. 温度センサ出力または内部基準電圧をA/D変換する場合、サンプリング時間を5 μs以上に設定する必要があります。

注2. アナログ入力チャネルをA/D変換する場合、サンプリング時間を1.67 μs以上に設定する必要があります。

注3. 1/2 AV_{DD}アナログ入力チャネルをA/D変換する場合、サンプリング時間を20 μs以上に設定する必要があります。本レジスタでは255ステートまでしか設定できないため、ADCLK周波数に留意してください。

12.2.12 A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)

ADHVREFCNTレジスタは、高電位/低電位基準電圧の設定を行います。A/D変換前に設定してください。

ADHVREFCNTレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図12-14 A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT) のフォーマット

アドレス: F068Ah リセット時: 00h R/W

略号	7	6	5	4	3	2	1	0
ADHVREFCNT	ADSLP	0	0	LVSEL	0	0	HVSEL[1:0]	
ADSLP	スリープビット							
0	通常動作							
1	スタンバイ状態							
12ビットA/Dコンバータをスタンバイ状態にします。ADCSR.ADHSCビットを書き換える場合にのみADSLPビットを“1”にしてください。ADCSR.ADHSCビットの書き換え以外で、ADSLPビットを“1”にすることは禁止です。ADSLPビットを“1”にした後は、5 μ s以上経ってから“0”にしてください。またADSLPビットを“0”にした後、1 μ s以上待ってからA/D変換を開始してください。ADHSCビットの書き換え手順は、12.9.9 ADHSCビットの書き換え手順を参照してください。								
LVSEL	低電位側基準電圧選択ビット							
0	低電位側基準電圧にAVssを選択							
1	低電位側基準電圧にAVREFMを選択							
低電位側基準電圧の設定を行います。AVSS、AVREFMから選択できます。								
HVSEL[1:0]	高電位側基準電圧選択ビット							
00	高電位側基準電圧にAVDDを選択							
01	高電位側基準電圧にAVREFPまたはVREFOUTを選択 ^注							
10	高電位側基準電圧に内部基準電圧 (VBGR) を選択							
11	内部基準電圧源をディスチャージする (高電位側基準電圧は選択されない)							
高電位側基準電圧の設定を行います。AVDD、AVREFP/VREFOUT、VBGRから選択できます。内部基準電圧 (VBGR) を選択する場合 (HVSEL = 10b) には、事前にHVSEL = 11bとして、内部基準電圧源をディスチャージしてください。ディスチャージ完了後に、HVSEL = 10bとして、A/D変換を開始してください。本ビットの設定にはプロテクト機能があり、ディスチャージを経由せずにVBGRを設定 (HVSEL = 10b) した場合には、強制的にHVSEL = 11bとなり、ディスチャージが開始されます。ディスチャージ期間 (1 μ s) 経過後に、再度HVSEL = 10bに設定してVBGRを選択してください。また、ボルテージ・リファレンス出力電圧 (VREFOUT) を選択する場合 (HVSEL = 01b かつ VREFEN = 1) にも、必ず先にディスチャージ (HVSEL = 11b) を行ってください。								

注 ボルテージ・リファレンスが動作している時はVREFOUT、それ以外の時はAVREFPが選択されます。ボルテージ・リファレンスの動作開始手順は、15.4 ボルテージ・リファレンスの動作を参照してください。

注意 高電位側基準電圧にVBGRを選択 (HVSEL = 10b) した場合は、A/D変換が可能なチャンネルはANI00-ANI14のみです。内部基準電圧、温度センサ出力のA/D変換は禁止となります。また、高速変換動作は使用できず、A/D変換クロック (ADCLK)は最大2 MHzとなります。

高電位側基準電圧にVREFOUTを選択 (HVSEL = 01b かつ VREFEN = 1) した場合は、ANI00-ANI14、内部基準電圧、温度センサ出力のすべてのチャンネルがA/D変換選択可能となります。

12.2.13 A/D変換クロック制御レジスタ (ADCKS)

ADCKSレジスタは、A/D変換クロック(ADCLK)と周辺ハードウェア・クロック(PCLK)との分周比の設定を行います。A/D変換を開始する前にADCKSレジスタを設定してください。ADCKSレジスタは、8ビット・メモリ操作命令で設定します。

図12 - 15 A/D変換クロック制御レジスタ (ADCKS) のフォーマット

アドレス : F0079h リセット時 : 00h R/W

略号	7	6	5	4	3	2	1	0
ADCKS	0	0	0	0	0	0	ADCKS[1:0]	

ADCKS[1:0]	AD変換クロック選択ビット
00	システムクロックの分周なし (f1)
01	システムクロックの2分周 (f2)
10	システムクロックの4分周 (f4)
11	システムクロックの8分周 (f8)

注意 A/D変換クロックが1MHz未満となる設定は禁止です。

12.2.14 アナログ基準電圧制御レジスタ (VREFCR)

1/2 AV_{DD} 電圧出力の動作の制御, およびボルテージ・リファレンス (VR) の動作を制御するレジスタです。

VREFCRは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 04Hになります。

図 12 - 16 アナログ基準電圧制御レジスタ (VREFCR)のフォーマット

アドレス : F0072H リセット時 : 04H R/W

略号	7	6	5	4	3	2	1	0
VREFCR	AVDDON	0	0	0	VREFSEL1	VREFSEL0	IREFEN	VREFEN
AVDDON	1/2 AV _{DD} 電圧出力の動作許可/停止							
0	動作停止							
1	動作許可							
VREFSEL1	VREFSEL0	VREFOUT 端子出力電圧選択						
0	0	1.5 V						
0	1	1.8 V (デフォルト)						
1	0	2.048 V						
1	1	2.5 V						
IREFEN	基準電流源動作制御							
0	動作停止							
1	動作許可							
VREFEN	VREF ゲイン制御							
0	動作停止							
1	動作許可							

注意 1. ボルテージ・リファレンス動作時は, 基準電圧安定化用に, VREFOUT/AV_{REFP} 端子に必ずタンタル・コンデンサ (容量 : 10 μF ± 30%, ESR : 2 Ω (MAX.), ESL : 10 nH (MAX.)) とセラミック・コンデンサ (容量 : 0.1 μF ± 30%, ESR : 2 Ω (MAX.), ESL : 10 nH (MAX.)) を接続してください。また, ボルテージ・リファレンス動作時に, VREFOUT/AV_{REFP} 端子から電圧を印加しないでください。

注意 2. A/D コンバータと D/A コンバータの+側の基準電圧 (AV_{REFP}) にボルテージ・リファレンス出力 (VREFOUT) を使用する場合, 必ず IREFEN を 1 に設定したあとに, VREFEN を 1 に設定してください。

注意 3. ボルテージ・リファレンスが動作している (VREFEN = 1) とときに, VREFSEL1, VREFSEL0 でボルテージ・リファレンスの出力電圧を変更しないでください。

12.3 動作説明

12.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次A/D変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードの2種類の動作モードがあります。また、変換モードには高速変換モードと通常変換モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアでADCSR.ADSTビットを“0”（“1”の状態から“0”）にクリアするまで無制限に繰り返し実施するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0レジスタで選択したANInのnが小さい番号順からA/D変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力または内部基準電圧をA/D変換する場合は、シングルスキャンモードで、他のチャンネルを選択せずに実施してください。

注意 どのスキャンモードであっても、ADCSR.ADSTビットが“1”の期間（スキャン中）は、A/D変換開始条件となるソフトウェアトリガ、同期トリガ、または非同期トリガ入力は無効となります。

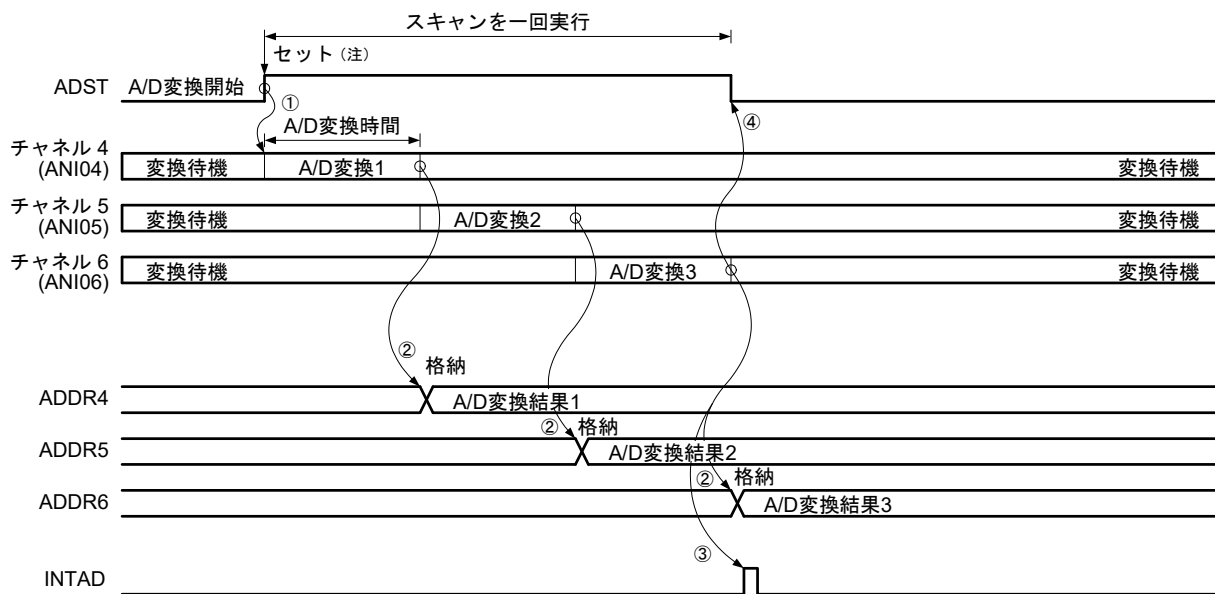
12.3.2 シングルスキャンモード

12.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADSTビットが“1”（A/D変換開始）になると、ADANSA0レジスタで選択したANInのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了によるINTAD割り込み許可）に設定されていると、INTAD割り込み要求が発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1”（A/D変換開始）を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

図12-17 シングルスキャンモードの動作例（基本動作：ANI04, ANI05, ANI06選択）



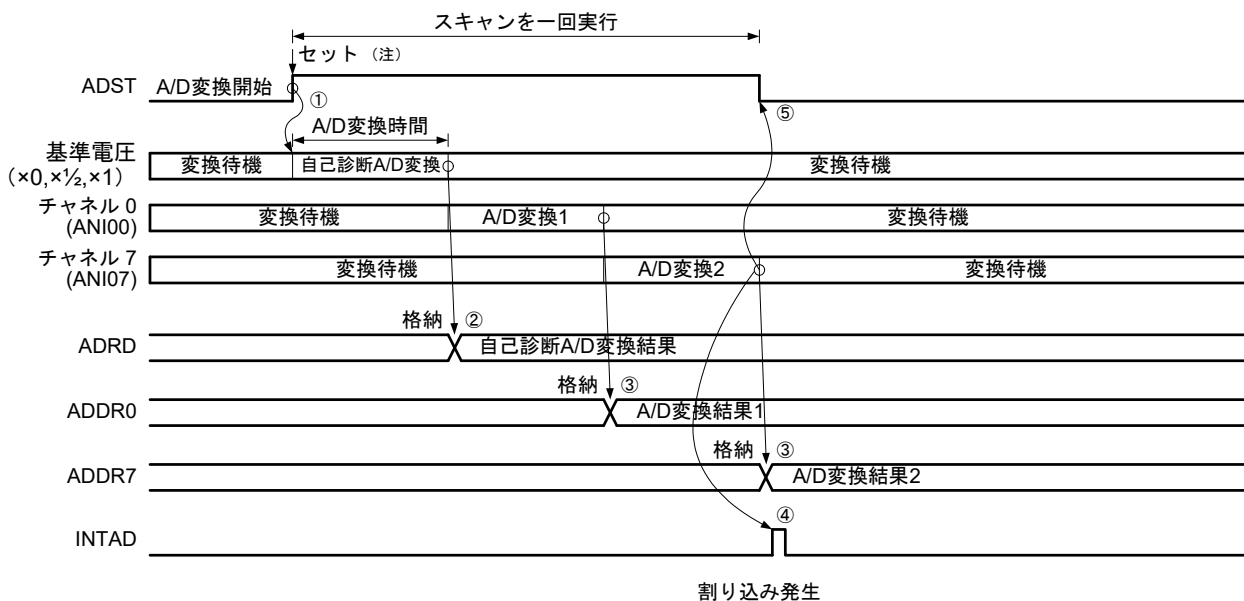
注 ↓ は、ソフトウェアによる命令実行を示します。

12.3.2.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ（ADRD）に格納され、次にADANSA0レジスタで選択したチャンネルANInのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了によるINTAD割り込み許可）に設定されていれば、INTAD割り込み要求を発生します。
- (5) ADSTビットはA/D変換中は“1”（A/D変換開始）を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

図12-18 シングルスキャンモードの動作例（基本動作：ANI00, ANI07選択 + 自己診断）



注 ↓は、ソフトウェアによる命令実行を示します。

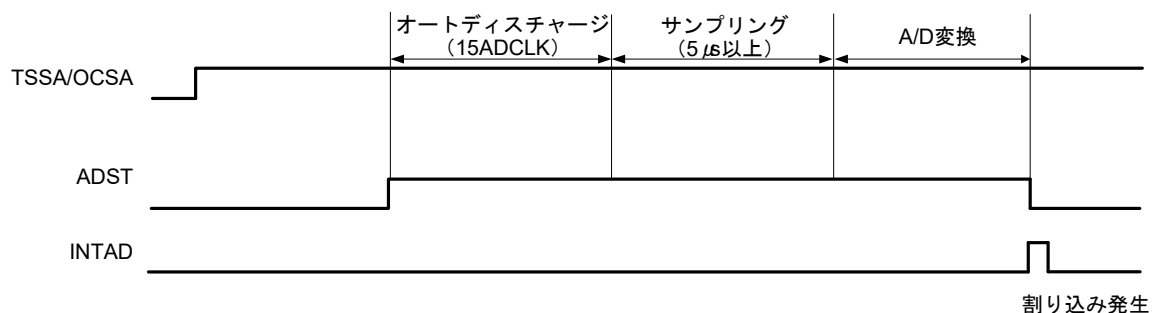
12.3.2.3 温度センサ出力/内部基準電圧選択時のA/D変換動作

温度センサ出力または内部基準電圧のA/D変換は、シングルスキャンモードで実行し、動作は以下のようになります。

チャンネル選択は全て非選択（ADANSA0レジスタビットは全て“0”）に設定します。また温度センサ出力のA/D変換を選択する場合は、内部基準電圧のA/D変換選択ビット（ADEXICR.OCOSA）は“0”（非選択）に、内部基準電圧のA/D変換を選択する場合は、温度センサ出力のA/D変換選択ビット（ADEXICR.TSSA）は“0”（非選択）に設定します。

- (1) サンプリング時間は5 μ s以上になるように設定してください。
- (2) 内部基準電圧または温度センサ出力のA/D変換に切り替えた後、ADSTビットを“1”にセットして変換を開始してください。
- (3) A/D変換が終了すると、A/D変換結果は対応するA/D温度センサデータレジスタ（ADTSDR）またはA/D内部基準電圧データレジスタ（ADOCDR）に格納され、ADCSR.ADIEビットが“1”（スキャン終了によるINTAD割り込み許可）に設定されていると、INTAD割り込み要求を発生します。
- (4) ADSTビットはA/D変換中は“1”を保持し、A/D変換が終了すると自動的にクリアされ、A/D変換器は待機状態になります。

図12-19 シングルスキャンモードの動作例（温度センサ出力，内部基準電圧選択）



12.3.2.4 1/2 AV_{DD}選択時のA/D変換動作

1/2 AV_{DD}（ANI14）は、アナログ基準電圧制御レジスタ（VREFCR）のAVDDONを1に設定（1/2 AV_{DD}電圧出力の動作を許可）した場合、ANI14がAV_{DD}電源電圧×1/2の電圧に内部で接続されます。外部から入力することはできません。

1/2 AV_{DD}電圧出力のA/D変換手順は以下になります。

- (1) ADANSA0レジスタのビット14に1を設定し、ANI14を変換対象チャンネルにします。
- (2) ADSSTR14レジスタとADCKSレジスタによって、サンプリング時間を設定します。サンプリング時間は20 μ s以上に設定してください。
- (3) VREFCRレジスタのAVDDONビットを1に設定し、1/2 AV_{DD}電圧出力の動作を許可します（1/2 AV_{DD}電圧はANI14に出力される）。
- (4) A/Dコンバータの変換完了を待って、ADDR14レジスタの値を読み出し、基準電圧(+)との関係から1/2 AV_{DD}電圧を算出してください。

12.3.3 連続スキャンモード

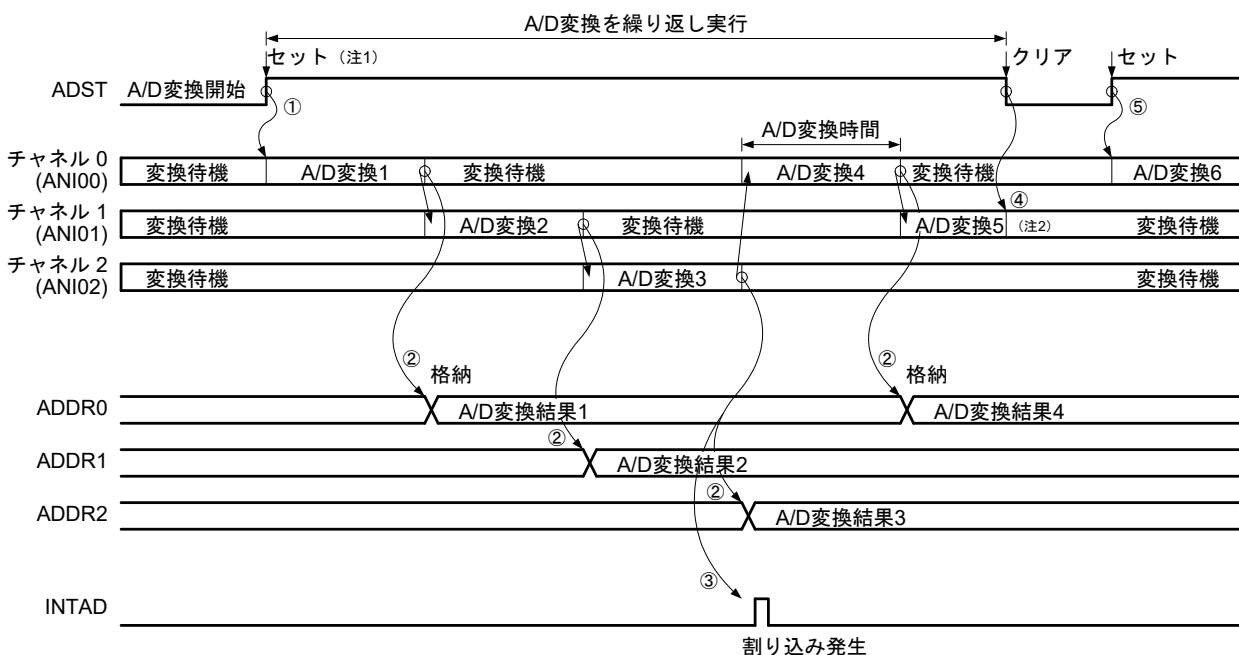
12.3.3.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット（ADEXICR.TSSA）と内部基準電圧A/D変換選択ビット（ADEXICR.OCSA）はともに“0”（非選択）に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、ADANSA0レジスタで選択したANInのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了によるINTAD割り込み許可）に設定されていると、INTAD割り込み要求が発生します。
また12ビットA/Dコンバータは、継続してADANSA0レジスタで選択したANInのnが小さい番号順にA/D変換を開始します。
- (4) ADCSR.ADSTビットは自動的にクリアされず、“1”（A/D変換開始）の間は（2）～（3）を繰り返します。ADCSR.ADSTビットを“0”（A/D変換停止）に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADSTビットを“1”（A/D変換開始）にセットすると再びADANSA0レジスタで選択したANInのnが小さい番号順にA/D変換を開始します。

図12-20 連続スキャンモードの動作例（基本動作：ANI00, ANI01, ANI02選択）



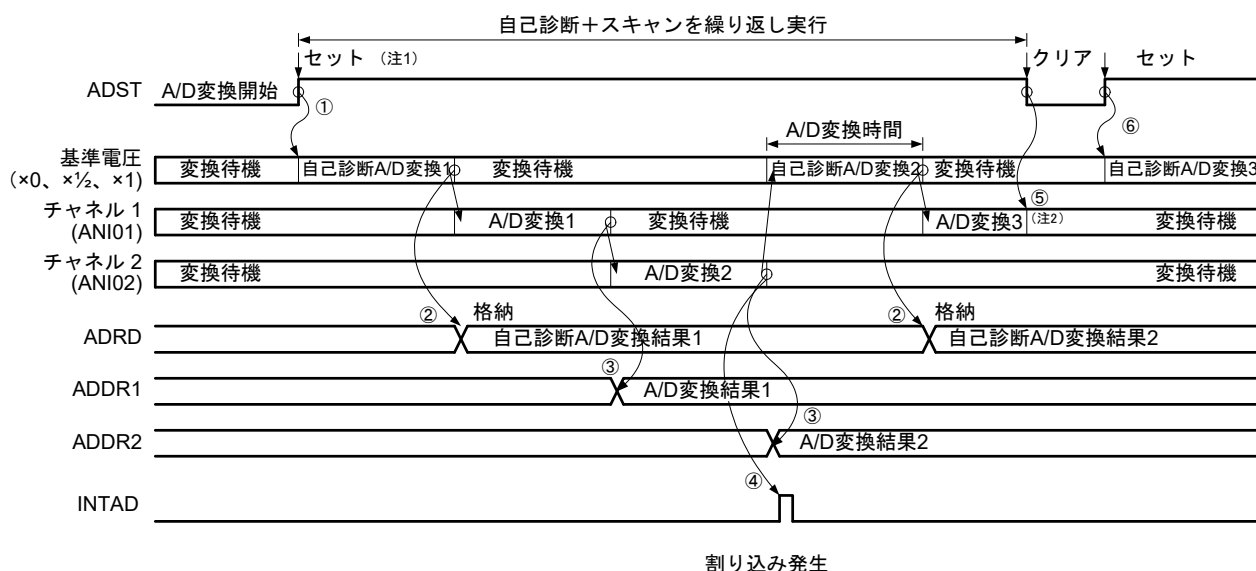
注1. ↓ は、ソフトウェアによる命令実行を示します。
注2. A/D変換5の変換データは無視されます。

12.3.3.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャネルのアナログ入力をA/D変換する動作を繰り返します。連続スキャンモード時は温度センサA/D変換選択ビット (ADEXICR.TSSA) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1” (A/D変換開始) になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ (ADRD) に格納され、次にADANSA0レジスタで選択したチャネルANInのnが小さい番号順にA/D変換を開始します。
- (3) 1チャネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャネルのA/D変換終了後、ADCSR.ADIEビットが“1” (スキャン終了によるINTAD割り込み許可) に設定されていれば、INTAD割り込み要求を発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSA0レジスタで選択したチャネルANInのnが小さい番号順にA/D変換を開始します。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(4)を繰り返します。ADCSR.ADSTビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1” (A/D変換開始) に設定されると、再び自己診断でのA/D変換から開始します。

図12-21 連続スキャンモードの動作例 (基本動作: ANI01, ANI02選択 + 自己診断)



注1. ↓ は、ソフトウェアによる命令実行を示します。
 注2. A/D変換3の変換データは無視されます。

12.3.4 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア、同期トリガまたは非同期トリガ入力による起動が選択できます。スキャン変換開始遅延時間 (td) の後に、自己診断変換処理を行い、この後にA/D変換処理が開始されます。

図12-22にソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図12-23に非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (tSCAN) はスキャン変換開始遅延時間 (td)、自己診断変換時間 (tDIAG) (注1)、A/D変換処理時間 (tCONV)、スキャン変換終了遅延時間 (ted) を含めた時間となります。

A/D変換処理時間 (tCONV) は、サンプリング時間 (tsPL)、逐次変換時間 (tsAM) を合わせた時間となります。サンプリング時間 (tsPL) は、A/Dコンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合注3や、A/D変換クロック (ADCLK) が低速の場合にはADSSTRnレジスタでサンプリング時間を調整することができます。

逐次変換時間 (tsAM) は、高速変換動作時で32ステート (ADCLK)、通常変換動作時で41ステート (ADCLK) となります。スキャン変換時間を表12-8に示します。

選択チャンネル数がnのシングルスキャンのスキャン変換時間 (tSCAN) は、次のように表されます。

$$tSCAN = td + tDIAG + (tCONV \times n) \text{ (注2)} + ted$$

連続スキャンの1サイクル目は、シングルスキャンのtSCANからtedを省いた時間です。

連続スキャンの2サイクル目以降は、tDIAG + tDSD + (tCONV × n) 注2
となります。

注1. 自己診断を設定しない場合は、tDIAG = 0、tDSD = 0となります。

注2. 選択チャンネルのサンプリング時間 (tsPL) が、同一の場合はtCONV × nとなりますが、チャンネルごとに異なる場合は、各チャンネルのサンプリング時間 (tsPL) と逐次変換時間 (tsAM) の総和になります。

注3. 「12.8 許容信号源インピーダンスについて」を参照ください。

表 12 - 8 スキャンでの各所要時間（ADCLKとPCLKのサイクル数で示します）

項目			記号	種別/条件			単位	
				同期トリガ注4	非同期トリガ	ソフトウェアトリガ		
スキャン開始処理時間注1,2	自己診断有効時のA/D変換	自己診断変換開始時	td	2PCLK + 6ADCLK	4PCLK + 6ADCLK	6ADCLK	サイクル	
	上記以外			2PCLK + 4ADCLK	4PCLK + 4ADCLK	4ADCLK		
自己診断変換処理時間注1	サンプリング時間		tdIAG	tsPL	ADSSTR0設定値（初期値0Dh）× ADCLK注3			
	逐次変換時間	12ビット変換精度			tsAM	32ADCLK（高速変換動作時）		
			41ADCLK（通常変換動作時）					
	自己診断変換終了後。通常のA/D変換開始時		tdED	2ADCLK				
連続スキャン時の最終チャンネル変換終了後、自己診断変換開始時		tdSD	2ADCLK					
A/D変換処理時間注1	サンプリング時間		tCONV	tsPL	ADSSTRn（n = 0～14, T, O）設定値（初期値0Dh）× ADCLK注3			
	逐次変換時間	12ビット変換精度			tsAM	32ADCLK（高速変換動作時）		
						41ADCLK（通常変換動作時）		
スキャン終了時間注1			ted	1PCLK + 3ADCLK				

注1. td, tDIAG, tCONV, tedの各タイミングについては図12 - 22, 図12 - 23を参照してください。

注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。

注3. 電圧条件により必要なサンプリング時間（ μs ）が規定されています。「35.6.1 A/Dコンバータ特性」を参照してください。
温度センサ出力または内部基準電圧をA/D変換する場合は、表12 - 7の注1を参照してください。

1/2 AVDDアナログ入力チャンネルをA/D変換する場合、表12 - 7の注3を参照してください。

注4. 外部イベント出力からトリガ入力までの経路で消費する時間は含まれていません。

図12-22 スキャン変換のタイミング (ソフトウェア起動, 同期トリガ起動の場合)

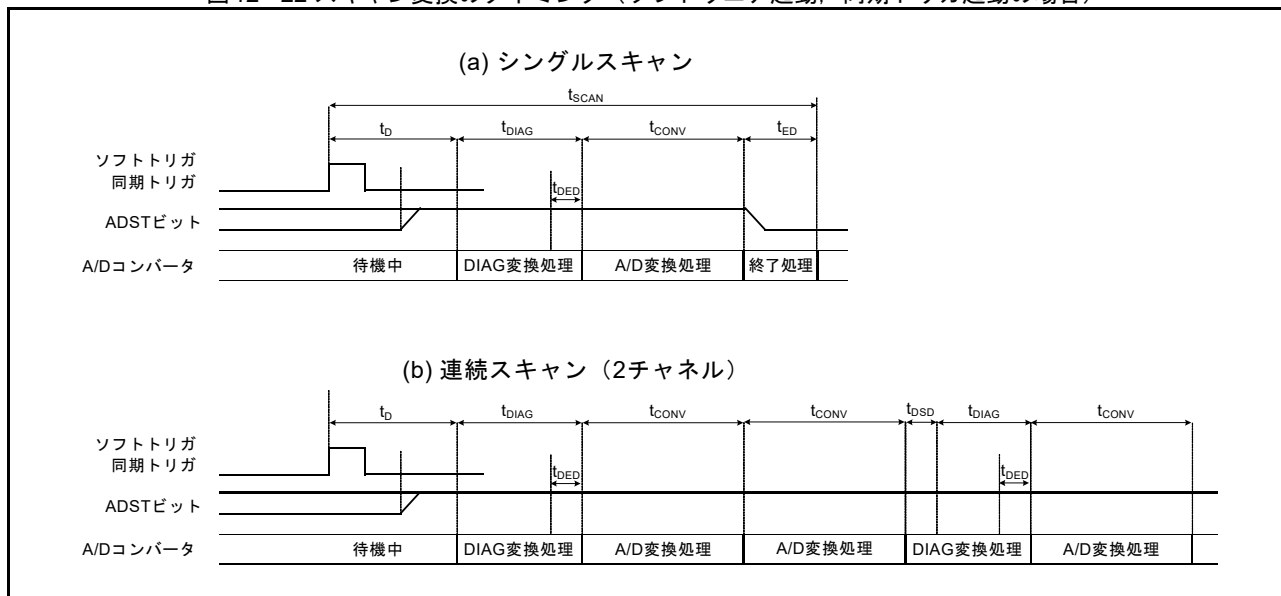
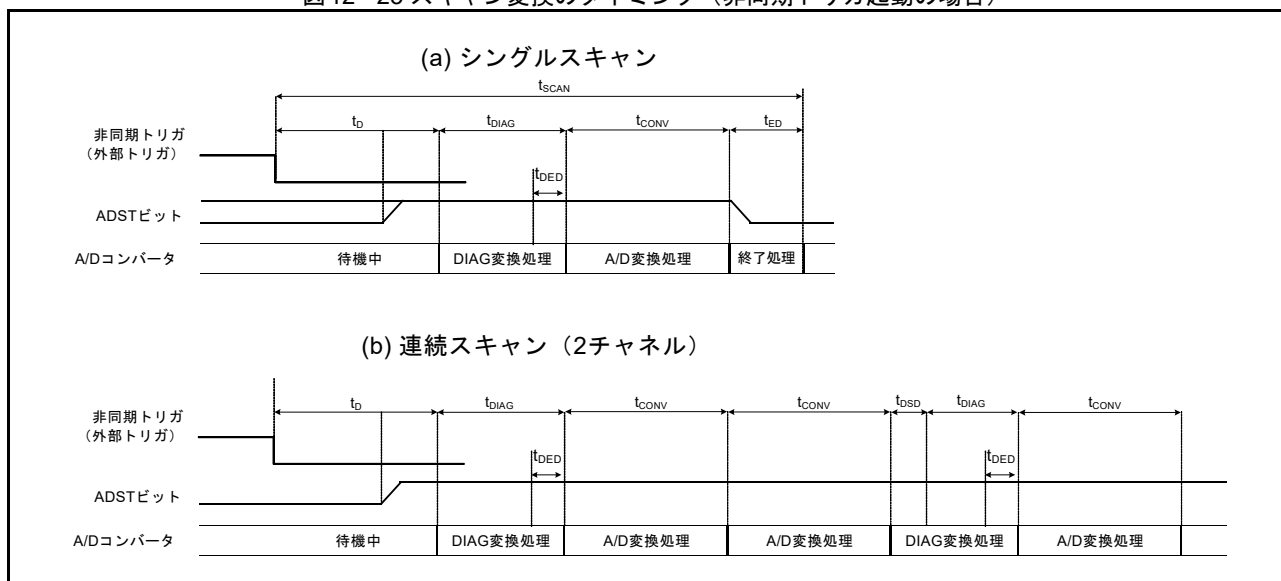


図12-23 スキャン変換のタイミング (非同期トリガ起動の場合)



12.3.5 A/Dデータレジスタの自動クリア機能の使用例

ADCER.ACEビットを“1”にすることにより、CPU、DTCによってA/Dデータレジスタ（ADDRy、ADRD、ADTSDR、ADOCDR）を読み出す際、自動的にADDRy、ADRD、ADTSDR、ADOCDRレジスタを“0000h”にクリアできます。

この機能を使うことにより、ADDRy、ADRD、ADTSDR、ADOCDRレジスタの未更新故障を検出することができます。以下にADDRyレジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACEビットが“0”（自動クリア禁止）の場合、A/D変換結果（0222h）が何らかの原因でADDRyレジスタに書き込みされなかったとき、古いデータ（0111h）がADDRyレジスタの値となります。さらにA/D変換終了割り込みを利用して、このADDRyレジスタの値を汎用レジスタに読み出した場合、古いデータ（0111h）が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータをRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACEビットが“1”（自動クリア許可）の場合には、ADDRy = 0111hをCPU、DTCにより読み出す際、ADDRyレジスタは自動的に“0000h”にクリアされます。その後、A/D変換結果（0222h）がADDRyレジスタに何らかの原因で転送できなかったとき、クリアされたデータ（0000h）がADDRyレジスタ値として残ります。ここでA/D変換終了割り込みを利用して、このADDRyレジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRyレジスタの未更新故障があったことを判断できます。

12.3.6 A/D変換値加算/平均機能

A/D変換値加算機能は、同じチャンネルを2～4、16回連続でA/D変換し、その変換値の合計をデータレジスタに保持します。A/D変換値平均機能は、同じチャンネルを2回、または4回連続でA/D変換し、その変換値の平均をデータレジスタに保持します。この平均値を使用することで、ノイズ成分によってはA/D変換精度が良くなります。ただし、A/D変換精度が良くなることを保証する機能ではありません。

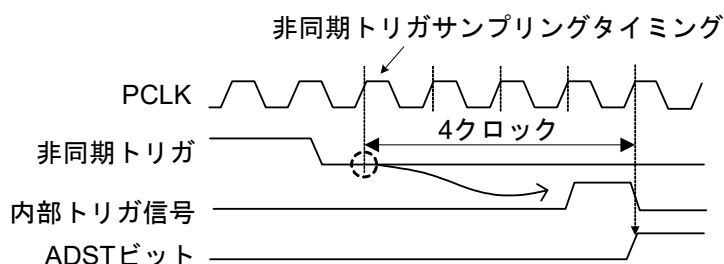
A/D変換値加算/平均機能は、チャンネル選択アナログ入力A/D変換、温度センサ出力A/D変換、内部基準電圧A/D変換選択時に使用できます。

12.3.7 非同期トリガによるA/D変換の開始

非同期トリガの入力によりAD変換を開始することができます。非同期トリガを使用してA/D変換を開始する場合、A/D変換開始トリガ選択ビット（ADSTRGR.TRSA[5:0]）を“000000b”に設定し、非同期トリガ（ADTRG端子）にHighを入力した後、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。図12-24に非同期トリガ入力タイミングを示します。

ADCSR.ADSTビットが“1”になってから、変換を開始するまでの時間は、12.9.4 A/D変換強制停止と開始時の動作タイミングを参照してください。

図12-24 非同期トリガ入力タイミング



12.3.8 周辺機能からの同期トリガによるA/D変換の開始

ELCからの同期トリガによって、A/D変換を開始することができます。同期トリガでA/D変換を開始するときには、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“0”とし、ADSTRGR.TRSA[5:0]ビットで該当のA/D変換開始要因を選択します。

12.4 割り込み要因とDTC転送要求

12.4.1 割り込み要求

CPUへのスキャン終了割り込み要求であるINTAD割り込みを発生することができます。

ADCSR.ADIEビットを“1”にするとINTADを許可，“0”にするとINTADを禁止できます。

また、INTAD発生時にDTCを起動できます。INTAD割り込みで変換されたデータの読み出しをDTCで行うと、連続変換がソフトウェアの負担なく実現できます。DTCの設定は、**第20章 データトランスファコントローラ (DTC)**を参照してください。

12.5 イベントリンク機能

12.5.1 ELCからのイベントによる12ビットA/Dコンバータの動作

12ビットA/DコンバータはELCのELSELRnの設定により、あらかじめ設定したイベントによるA/D変換開始動作が可能です。

12.5.2 ELCからのイベントによる12ビットA/Dコンバータの注意事項

A/D変換中にイベントが発生した場合は、イベントは無効になります。

12.6 基準電圧の選択方法

A/Dコンバータの高電位側基準電圧には外部端子入力 (AVREFP)、ボルテージ・リファレンス電圧出力 (VREFOUT)、アナログ基準電圧 (AVDD)、または内部基準電圧 (VBGR) を選択することができます。低電位側基準電圧には外部端子入力 (AVREFM) またはアナログ基準電圧 (AVSS) を選択することができます。A/D変換前に設定してください。設定の詳細は、12.2.12 A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT) を参照してください。

12.7 高電位側基準電圧に内部基準電圧を選択する場合のA/D変換手順

高電位側基準電圧に内部基準電圧を選択して、A/D変換を実行する手順を以下に示します。このとき、A/D変換が可能なチャンネルはANI00-ANI13、ANI14 (内部1/2 AV_{DD}専用)で、内部基準電圧、温度センサ出力のA/D変換は禁止です。

- ① ADHVREFCNT.HVSEL[1:0] = 11bに設定し、A/Dコンバータ内部の高電位側基準電圧経路をディスチャージしてください。
- ② 1 μ sのディスチャージ期間をソフトウェアでウェイトしてください。
- ③ ADHVREFCNT.HVSEL[1:0] = 10bに設定し、高電位側基準電圧に内部基準電圧を選択してください。

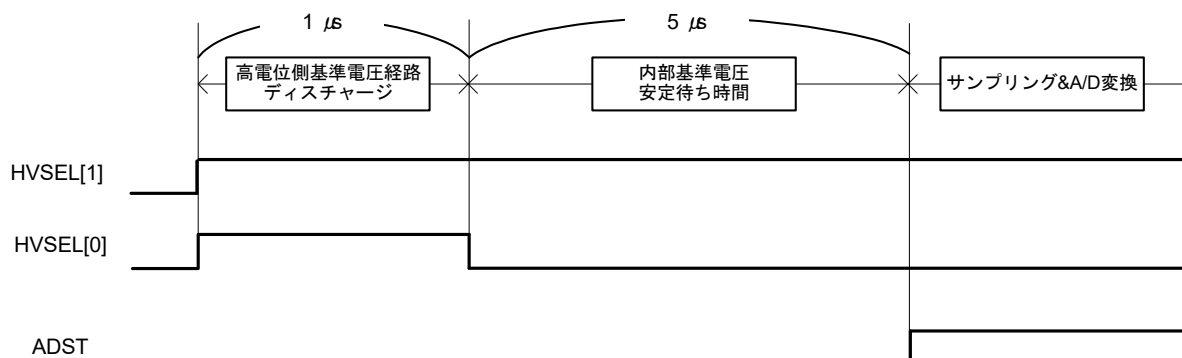
注意 12ビットA/Dコンバータにはプロテクト機能があり、AV_{REFP}またはV_{REFOUT}

(ADHVREFCNT.HVSEL[1:0] = 01b) やAV_{DD} (ADHVREFCNT.HVSEL[1:0] = 00b) 選択からディスチャージ (ADHVREFCNT.HVSEL [1:0] = 11b) を経由せずにV_{BGR} (ADHVREFCNT.HVSEL[1:0] = 10b)を選択することはできません。ディスチャージを経由せずにV_{BGR}を設定した場合は、強制的にディスチャージの設定を行います。1 μ s後、再度、V_{BGR}を選択してください。

- ④ 5 μ sの内部基準電圧安定待ち時間をソフトウェアでウェイトしてからA/D変換を実行してください。

図12-25に高電位側基準電圧に内部基準電圧を選択する場合のA/D変換タイミングを示します。

図12-25 高電位側基準電圧に内部基準電圧を選択する場合のA/D変換タイミング



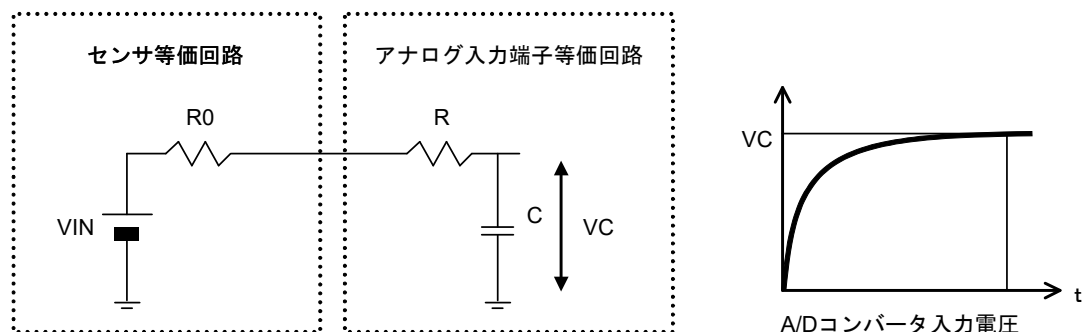
12.8 許容信号源インピーダンスについて

本MCUのアナログ入力は、高速変換3 μs を実現するために、信号源インピーダンスが0.5 k Ω 以下の入力信号に対し、変換精度が保証される設計となっています。また、入力端子の負荷はローパスフィルタと等価となりますので、微分係数の大きなアナログ信号には追従できないことがあります。したがって、高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。また、シングルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合でも、入力信号はアナログマルチプレクサ切り替えによる電流の影響を受けます。

図12-26にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、図12-26に示す内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間と言います。

図12-26 アナログ入力端子と外部センサの等価回路



12.9 使用上の注意事項

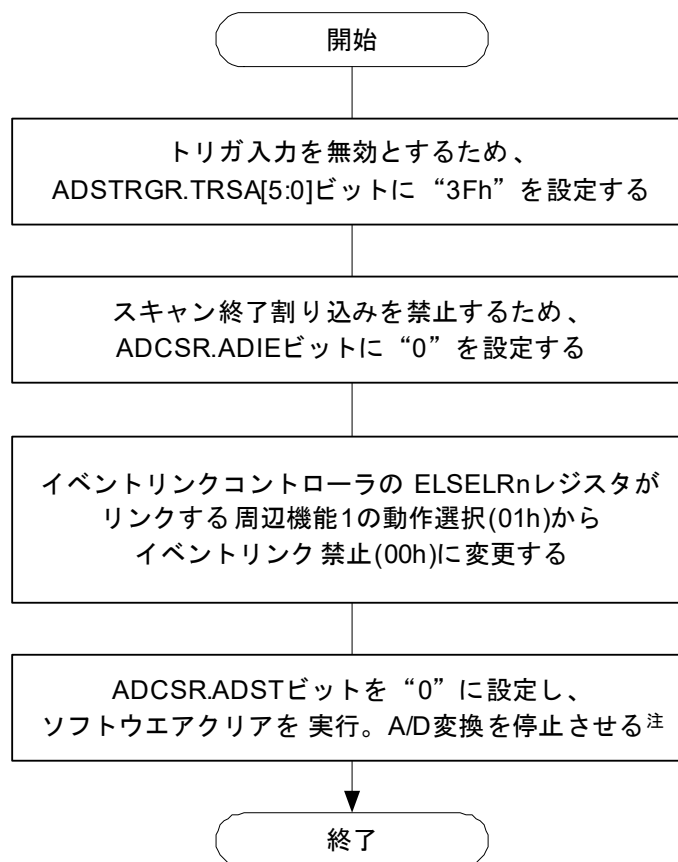
12.9.1 データレジスタの読出し注意事項

A/D データレジスタ、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタ、およびA/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。

12.9.2 A/D変換停止手順

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、図12-27のフローチャートの手順に従ってください。

図12-27 ADCSR.ADSTビットによるソフトウェアクリア実行の設定フロー



注 ソフトウェアクリアからスキャン処理を停止するまで2ADCLKの時間が必要です。ソフトウェアクリア実行後に以下を設定する場合は、2ADCLK以上のウェイトを入れてください。

- ・スキャン終了割り込み許可
- ・イベントリンクコントローラがリンクする周辺機能1の動作を選択
- ・ソフトウェアによるA/D変換開始
- ・トリガ入力有効設定

備考 n = 00-21

12.9.3 モード／ステータスビットの注意事項

自己診断の電圧ステータスは、必要に応じて初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定は、ADCSR.DIAGLDを“1”に設定し、ADCSR.DIAGVAL[1:0]で選択します。

12.9.4 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態でADCSR.ADSTビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのにADCLKで最大6クロックの時間を必要とします。ADCSR.ADSTビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLKで最大3クロックの時間を必要とします。

12.9.5 スキャン終了割り込み2処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

12.9.6 クロック供給停止機能の設定

周辺イネーブル・レジスタ0 (PER0) により、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。クロック供給停止状態を解除することにより、レジスタへのアクセスが可能になります。クロック供給停止状態を解除した後は、1 μs待ってからA/D変換を開始してください。

12.9.7 低消費電力状態への遷移時の注意

クロック供給停止状態やSTOPモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図12-27に示す、ADCSR.ADSTビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADSTビットを“0”に設定してください。その後、ADCLKの3クロック期間待った後、クロック供給停止状態やSTOPモードへ移行させてください。

12.9.8 STOPモード解除時の注意

STOPモードを解除した後は、水晶発振安定時間経過後、さらに1 μs以上待ってからA/D変換を開始してください。

12.9.9 ADHSCビットの書き換え手順

AD変換動作選択ビット (ADCSR.ADHSC) を書き換える場合 (“0”から“1”または“1”から“0”にする場合) は、12ビットA/Dコンバータをスタンバイ状態にする必要があります。ADCSR.ADHSCビットの書き換えは下記の1～3の手順で行ってください。また、スリープビット (ADHVREFCNT.ADSL P) を“0”にした後は、1 μ s以上待ってからA/D変換を開始してください。

【ADCSR.ADHSCビットの書き換え手順】

- 1.スリープビット (ADHVREFCNT.ADSL P) を“1”にする。
- 2.0.2 μ s以上待ってから、AD変換動作選択ビット (ADCSR.ADHSC) を書き換える。
- 3.4.8 μ s以上待ってから、スリープビット (ADHVREFCNT.ADSL P) を“0”にする。

注意1.AD変換動作選択ビット (ADCSR.ADHSC) の書き換え以外で、ADHVREFCNT.ADSL Pビットを“1”にする事は禁止です。

注意2.AD変換動作選択ビット (ADCSR.ADHSC) が“1”の状態でリセットは行わないでください。スリープビット (ADHVREFCNT.ADSL P) の書き換え手順に従いAD変換動作選択ビット (ADCSR.ADHSC) を“0”にした後、または、クロック供給停止モードへ遷移させてからリセットを行ってください。

12.9.10 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

•アナログ入力電圧の設定範囲

アナログ入力端子ANInに印加する電圧は、 $AV_{REFM} \leq V_{AI2} \leq AV_{REFP}$ の範囲としてください。

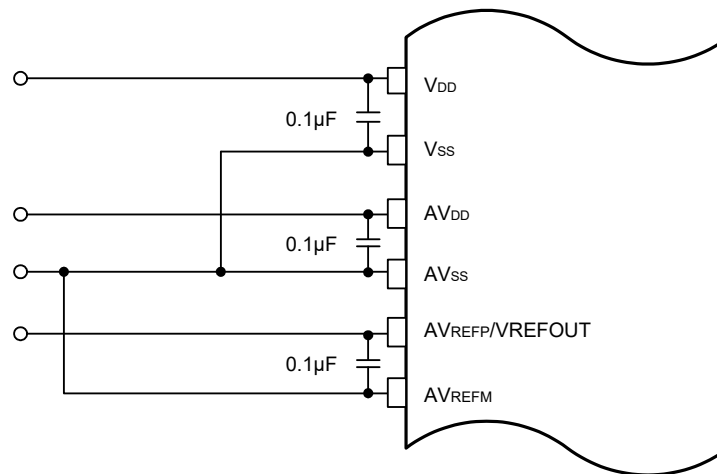
AVREFP端子によるリファレンス電圧の設定範囲は、 $AV_{REFP} \leq AV_{DD}$ にしてください。

アナログ入力端子ANIn (n = 00-13) に印加する電圧は、 $AV_{SS} \leq V_{AI2} \leq AV_{DD}$ にしてください。

•各電源端子 (AVDD - AVSS, AVREFP - AVREFM, VDD - VSS) の関係

AVSSとVSSとの関係は $AV_{SS} = V_{SS}$ としてください。アナログ入力端子ANIn (n = 00-13) のA/D変換を行う場合は、 $AV_{DD} = V_{DD}$ としてください。また、図12-28に示すように各々の電源間に最短で閉ループが形成できるように0.1 μ Fのコンデンサを接続し、供給元で $AV_{REFM} = AV_{SS} = V_{SS}$ になるように接続してください。12ビットA/Dコンバータを使用しない場合は、 $AV_{REFP} = AV_{DD} = V_{DD}$ 、 $AV_{REFM} = AV_{SS} = V_{SS}$ としてください。

図12 - 28 各電源端子の接続例



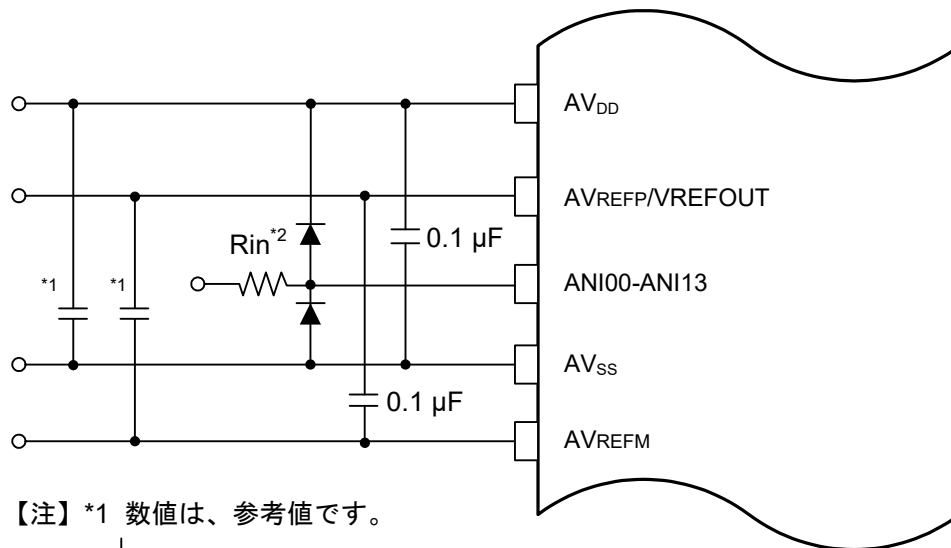
12.9.11 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子（ANI00-ANI13）、基準電源端子（AVREFP/VREFOUT）、基準グランド端子（AVREFM）、アナログ電源（AVDD）は、アナロググランド（AVSS）で、デジタル回路と分離してください。さらにアナロググランド（AVSS）は、ボード上の安定したデジタルグランド（VSS）に一点接続してください。

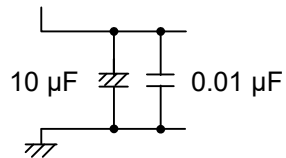
12.9.12 ノイズ対策上の注意

- ① 過大なサージなど異常電圧によるアナログ入力端子（ANI00-ANI13）の破壊を防ぐために、図12 - 29に示すようにAVDDとAVSS間、AVREFPとAVREFM間に容量を、またアナログ入力端子（ANI00-ANI13）を基準に保護回路を接続してください。
- ② 変換中においては、他の端子とスイッチングしないようにしてください。
- ③ 変換開始直後にHALTモードに設定すると、精度が向上します。
- ④ チャンネル（ANI00-ANI13）のいずれかを選択してA/D変換をする場合、変換中P20 - P27, P100 - P107, P140-P147, P150 - P157に対して出力値を変更しないでください。変換精度が低下することがあります。
- ⑤ A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが隣接する端子に入出力されないようにしてください。

図12-29 アナログ入力保護回路の例



【注】*1 数値は、参考値です。



*2 Rin : 信号源インピーダンス

第13章 12ビットD/Aコンバータ

本章に記載しているPCLKとは、CPU/周辺ハードウェア・クロック（fCLK）を指します。

13.1 概要

本MCUは、12ビットD/Aコンバータを2チャンネル内蔵しています。

表13-1に12ビットD/Aコンバータの仕様を示します。図13-1に12ビットD/Aコンバータのブロック図を示します。

表13-1 12ビットD/Aコンバータの仕様

項目	内容
分解能	12ビット
出力チャンネル	2チャンネル
アナログモジュールの干渉対策	<ul style="list-style-type: none"> D/A変換とA/D変換の干渉対策 12ビットA/Dコンバータが出力する12ビットA/Dコンバータ同期D/A変換許可入力信号により、D/A変換データの更新タイミングを制御する。これにより、12ビットD/Aコンバータのラッシュカレント発生タイミングを許可信号で制御し、相互干渉によるA/D変換精度劣化を低減する。
消費電力低減機能	クロック供給停止状態への設定が可能
イベントリンク機能（入力）	イベント信号の入力により、D/A変換開始が可能

図13-1 12ビットD/Aコンバータのブロック図

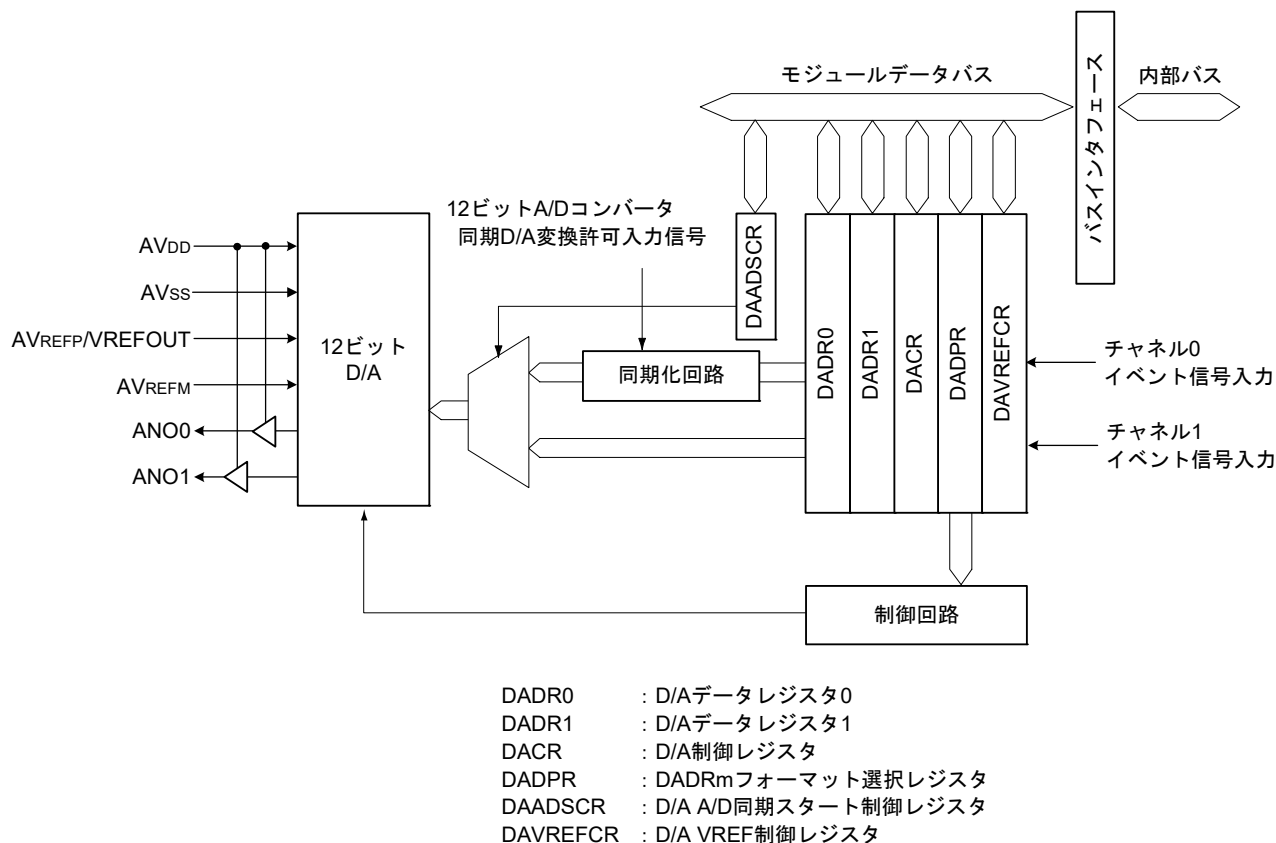


表13-2に12ビットD/Aコンバータで使用する入出力端子を示します。

表13-2 12ビットD/Aコンバータの入出力端子

端子名	入出力	機能
AVDD	—	12ビットA/Dコンバータと12ビットD/Aコンバータのアナログ電源端子。
AVss	—	12ビットA/Dコンバータと12ビットD/Aコンバータのアナロググランド端子。
AVREFP/VREFOUT	入出力	12ビットD/Aコンバータの基準電源端子
AVREFM	入力	12ビットD/Aコンバータの基準グランド端子
ANO0	出力	チャンネル0のアナログ出力
ANO1	出力	チャンネル1のアナログ出力

13.2 レジスタの説明

表13-3 12ビットD/Aコンバータのレジスタ一覧

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
D/Aデータレジスタ m ($m = 0, 1$)	DADR m
D/A制御レジスタ	DACR
DADR m フォーマット選択レジスタ	DADPR
D/A A/D同期スタート制御レジスタ	DAADSCR
D/A VREF制御レジスタ	DAVREFCR

13.2.1 周辺イネーブル・レジスタ1 (PER1)

図13-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CMPEN	0	DTCEN	0	MUXEN	DACEN

DACEN	D/Aコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ・ D/Aコンバータはリセット状態
1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード/ライト可

13.2.2 D/A データレジスタ m (DADRm) (m = 0, 1)

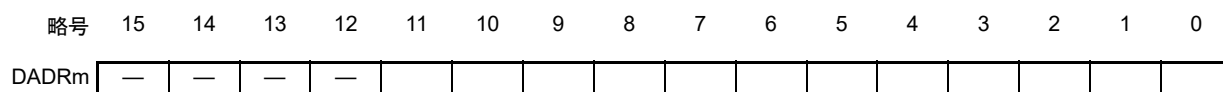
DADRmレジスタは、D/A変換を行うデータを格納するための16ビットの読み出し/書き込み可能なレジスタです。アナログ出力を許可すると、DADRmレジスタの値が変換されアナログ出力端子に出力されます。

DADPR.DPSELビットの設定によって12ビットのデータの配置を変更できます。“—”のビットは、読むと“0”が読めます。書く場合、“0”としてください。

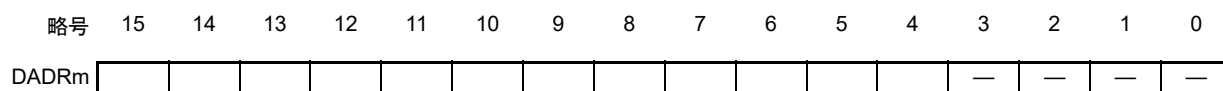
図13-3 D/A データレジスタ m (DADRm) (m = 0, 1) のフォーマット

アドレス : DADR0 FFF70H, DADR1 FFF72H リセット時 : 0000h R/W

- ・ DADPR.DPSELビット=0 (データは右詰め)



- ・ DADPR.DPSELビット=1 (データは左詰め)



13.2.3 D/A制御レジスタ (DACR)

このレジスタは、DAADSCR.DAADSTビットが“1” (D/A変換とA/D変換の干渉対策が有効) の場合、12ビットA/Dコンバータ停止中に設定してください (ADCSR.ADSTビットが“0”のときに設定してください)。このとき確実に12ビットA/Dコンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

図13-4 D/A制御レジスタ (DACR) のフォーマット

アドレス : FFF74H リセット時 : 1Fh R/W

略号	7	6	5	4	3	2	1	0
DACR	DAOE1	DAOE0	—	—	—	—	—	—
	DAOE1	D/A出力許可1ビット						
	0	チャンネル1のアナログ出力 (ANO1) を禁止						
	1	チャンネル1のD/A変換を許可 チャンネル1のアナログ出力 (ANO1) を許可						
	D/A変換とアナログ出力を制御します。 イベントリンク機能により、DAOE1ビットを“1”にできます。ELCのELSELRn (n = 0-21) レジスタで設定されたイベントが発生すると、DAOE1ビットが“1”になり、D/A変換出力を開始します。							
	DAOE0	D/A出力許可0ビット						
	0	チャンネル0のアナログ出力 (ANO0) を禁止						
	1	チャンネル0のD/A変換を許可 チャンネル0のアナログ出力 (ANO0) を許可						
	D/A変換とアナログ出力を制御します。 イベントリンク機能により、DAOE0ビットを“1”にできます。ELCのELSELRn (n = 0-21) レジスタで設定されたイベントが発生すると、DAOE0ビットが“1”になり、D/A変換出力を開始します。							

13.2.4 DADRmフォーマット選択レジスタ (DADPR)

DADPRレジスタは、D/Aデータレジスタm (DADRm) のデータの配置を選択します。

図13-5 DADRmフォーマット選択レジスタ (DADPR) のフォーマット

アドレス : FFF75H リセット時 : 00h R/W

略号	7	6	5	4	3	2	1	0
DADPR	DPSEL	—	—	—	—	—	—	—
	DPSEL	DADRmフォーマット選択ビット						
	0	D/Aデータレジスタは右詰め						
	1	D/Aデータレジスタは左詰め						

13.2.5 D/A A/D同期スタート制御レジスタ (DAADSCR)

DAADSCRレジスタは、D/A変換とA/D変換の干渉対策のために、12ビットD/Aコンバータの変換開始タイミングを12ビットA/Dコンバータからの12ビットA/Dコンバータ同期D/A変換許可入力信号に同期させるかさせないかを選択します。

このレジスタは、12ビットA/Dコンバータ停止中に設定してください（12ビットA/Dコンバータのトリガ選択をソフトウェアトリガに選択後、ADCSR.ADSTビットが“0”のときに設定してください）。

図13-6 D/A A/D同期スタート制御レジスタ (DAADSCR) のフォーマット

アドレス : FFF76H リセット時 : 00h R/W

	略号	7	6	5	4	3	2	1	0
DAADSCR	DAADST	—	—	—	—	—	—	—	—

DAADST	D/A A/D同期変換ビット
0	12ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換しない（D/A変換とA/D変換の干渉対策の無効）
1	12ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換する（D/A変換とA/D変換の干渉対策の有効）
DAADSTビットを“0”にすると、随時DADRmレジスタの値をD/A変換します。DAADSTビットを“1”にすると、12ビットA/Dコンバータからの同期D/A変換許可信号に同期してD/A変換が行われます。したがって、DADRmレジスタの値を書き換えても、12ビットA/DコンバータのA/D変換が終了するまでD/A変換は行われません。DAADSTビットの設定は12ビットA/DコンバータのADCSR.ADSTビットが“0”のときに設定してください。このとき確実に12ビットA/Dコンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。なお、DAADSTビットを“1”にした場合は、イベント機能は使用できません。ELCのELSELRnレジスタ (n = 0-21) で、D/Aコンバータとのイベントリンク機能を非選択（ELSELRn ≠ 07H, 08H）に設定してください。DAADSTビットは、12ビットD/Aコンバータのチャンネル0, 1の共通仕様です。	

13.2.6 D/A VREF制御レジスタ (DAVREFCR)

DAVREFCRレジスタは、12ビットD/Aコンバータの基準電圧を選択します。

図13-7 D/A VREF制御レジスタ (DAVREFCR) のフォーマット

アドレス: FFF77H リセット時: 00h R/W

略号	7	6	5	4	3	2	1	0
DAVREFCR	—	—	—	—	—	REF[2:0]		

REF[2:0]	D/A基準電圧選択ビット
000	非選択
001	AVDD, AVSS
110	AVREFPまたはVREFOUT ^注 , AVREFM
上記以外	設定禁止

12ビットD/Aコンバータ0/1の基準電圧を選択するビットです。ビット値を変更する場合はDAVREFCR.REF[2:0]ビット=000bを書いてから変更してください。変更後に読み出して、値が変わっていることを確認してください。また、12ビットA/DコンバータがA/D変換中は本レジスタを書き換えしないでください。書き換えた場合、A/D変換の精度は保証されません。

注 ボルテージ・リファレンスが動作しているときはVREFOUT, それ以外の時はAVREFPが選択されます。ボルテージ・リファレンスの動作開始手順は、15.4 ボルテージ・リファレンスの動作を参照してください。

注意1. ボルテージ・リファレンス出力電圧 (VREFOUT) を選択する場合 (REF[2:0] = 110b かつ VREFEN = 1) には、事前にREF[2:0] = 000b かつ DADRO, DADR1レジスタを0000Hに設定して、ボルテージ・リファレンス出力経路をディスチャージしてください。ディスチャージ期間 (1 μs) 経過後に、REF[2:0] = 110bとして、D/A変換を開始してください。

リセット解除後はディスチャージされている状態なので、ディスチャージ期間は必要ありません。

注意2. D/A基準電圧はボルテージ・リファレンス出力電圧 (VREFOUT) を選択する場合、基準グランド端子 P154/AVREFM端子がアナログ端子に設定し、且つAVREFM=Vss=AVssに入力してください。

13.3 動作説明

2チャンネルの12ビットD/Aコンバータは、それぞれ独立して変換を行うことができます。

DACR.DA0Enビット (n=0, 1) を“1”にすると、D/A変換が許可され変換結果が出力されます。

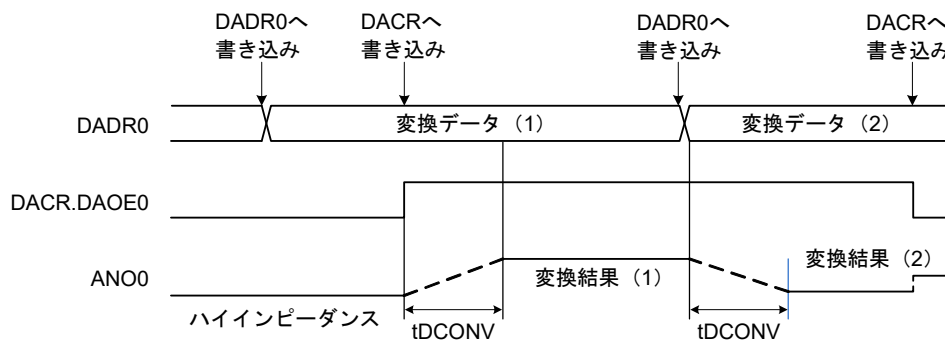
チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図13-8に示します。

- 1.DADPR.DPSEL ビットと DADR0 レジスタに D/A 変換を行うためのデータを設定します。
- 2.DACR.DA0E0 ビットを“1”にすると、D/A 変換を開始します。tDCONV 時間経過後、変換結果をアナログ出力端子 ANO0 より出力します。DADR0 レジスタを書き換えるか、DA0E0 ビットを“0”にするまで、この変換結果が出力され続けます。出力値（参考）は以下の式で計算します。

$$\frac{\text{DADR0レジスタの設定値}}{4096} \times \text{基準電圧}$$

- 3.DADR0 レジスタを書き換えると変換を開始します。tDCONV 時間経過後、変換結果が出力されます。DAADSCR.DAADST ビットが“1”（D/A 変換と A/D 変換の干渉対策が有効）の場合、D/A 変換開始まで最大 A/D 変換 1 回分待たされます。
- 4.DA0E0 ビットを“0”に設定するとアナログ出力を禁止します。

図 13 - 8 12 ビット D/A コンバータの動作例



tDCONV : D/A変換時間

13.3.1 D/A変換とA/D変換の干渉対策

D/A変換が始まると12ビットD/Aコンバータはラッシュカレントを発生します。12ビットD/Aコンバータと12ビットA/Dコンバータのアナログ電源が共通のため、発生したラッシュカレントが12ビットA/Dコンバータの変換に干渉することがあります。

DAADSCR.DAADSTビットを“1”にしている場合、12ビットA/DコンバータがA/D変換中にDADRmレジスタにデータを書き換えても、すぐに変換されず、12ビットA/DコンバータのA/D変換終了タイミングに同期して変換を開始します。DADRmレジスタへの書き込みからD/A変換回路の入力に反映するまで最大A/D変換1回分待たされます。その間DADRmレジスタ値とアナログ出力値は一致しません。

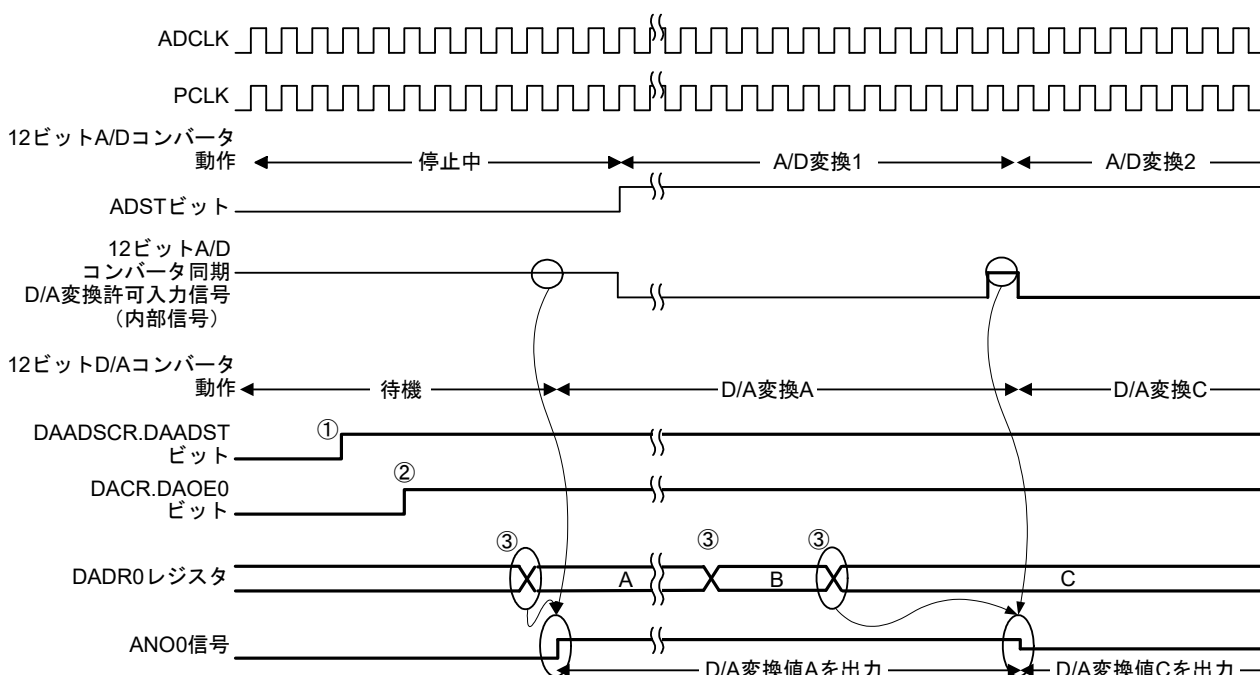
本機能が有効なときに、DADRmレジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADSTビットを“1”にしている場合であっても、12ビットA/DコンバータがADCSR.ADSTビットを“0”にして停止中であればDADRmレジスタにデータを書き換えると、1PCLK後にD/A変換を開始します。

図13-9に12ビットD/Aコンバータを12ビットA/Dコンバータに同期変換させる場合のチャンネル0のD/A変換の動作例を示します。

- ① 12ビットA/Dコンバータが停止中であることを確認し、DAADSCR.DAADSTビットを“1”にする。
 - ② 12ビットA/Dコンバータが停止中であることを確認し、DACR.DAEO0ビットを“1”にする。
 - ③ DADR0レジスタを設定する。
 - DADR0レジスタを書き換えたとき、12ビットA/Dコンバータが停止していた場合（ADCSR.ADSTビット=0）、1PCLK後にD/A変換が開始されます。
 - DADR0レジスタを書き換えたとき、12ビットA/DコンバータがA/D変換中の場合（ADCSR.ADSTビット=1）、A/D変換終了時にD/A変換が開始されます。
- A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

図13-9 12ビットD/Aコンバータを12ビットA/Dコンバータに同期して変換する例



13.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

- 1.DADPR.DPSEL ビットの設定と DADRn (n = 0, 1) レジスタに D/A 変換を行うためのデータを設定します。
- 2.イベント出力先選択レジスタ n(ELSELRn (n = 00-21)) で、D/A 出力許可モードに使用するトリガ信号を設定します。
- 3.イベント出力元の周辺機能を設定し、起動します。周辺機能から出力されるイベントにより、DACR.DAOEn (n = 0, 1) ビットが“1”になり、チャンネル 0, 1 の D/A 変換が開始されます。
- 4.12 ビット D/A コンバータのチャンネル 0, 1 のイベントリンク動作を停止するときは、ELSELRn (n = 00-21) で D/A 出力許可モードを無効に設定してください。これにより、全周辺機能のイベントリンク動作が停止します。

13.5 イベントリンク動作における注意事項

- 1.DACR.DAOEn (n = 0, 1) ビットへの書き込みサイクル中に ELSELRn (n = 00-21) レジスタで設定されたイベントが発生すると、DACR.DAOEn (n = 0, 1) ビットへの書き込みサイクルは行われず、イベント発生による“1”設定が優先されます。
- 2.D/A 変換と A/D 変換の干渉対策として、DAADSCR.DAADST ビットを“1”にする場合、イベントリンク機能は使用禁止です。
- 3.イベントリンク機能の使用時に、STOP モードに入る場合は、事前に ELC のイベントリンクを禁止にしてください。

13.6 使用上の注意事項

13.6.1 クロック供給停止機能の設定

周辺イネーブル・レジスタ1 (PER1) により、12ビットD/Aコンバータのクロック供給禁止/許可を設定することが可能です。初期値では、12ビットD/Aコンバータの動作は停止します。クロック供給停止状態を解除することにより、レジスタのアクセスが可能になります。

13.6.2 D/A変換とA/D変換の干渉対策有効時の注意事項

DAADSCR.DAADSTビットが“1” (D/A変換とA/D変換の干渉対策が有効) の場合、12ビットA/Dコンバータをクロック供給停止状態にしないでください。A/D変換が停止するだけでなく、D/A変換が停止する可能性があります。

第14章 オペアンプ&アナログスイッチ

オペアンプの入力端子，出力端子数は，以下の通りです。

ユニット	入出力端子	80ピン	100ピン
ユニット0 (オペアンプ0)	AMP0+, AMP0- (入力)	○	○
	AMP0O (出力)	○	○
ユニット1 (オペアンプ1)	AMP1+, AMP1- (入力)	○	○
	AMP1O (出力)	○	○
ユニット2 (オペアンプ2)	AMP2+, AMP2- (入力)	○	○
	AMP2O (出力)	○	○

アナログスイッチの入出力数は以下の通りです。

ユニット	入出力端子	80ピン	100ピン
ユニット0	MUX00(入出力)	○	○
	MUX01(入出力)	○	○
	MUX02(入出力)	-	○
	MUX03(入出力)	-	○
ユニット1	MUX10(入出力)	○	○
	MUX11(入出力)	○	○
	MUX12(入出力)	-	○
	MUX13(入出力)	-	○
チャンネル0	AMP0OPD(入力)	○	○
チャンネル1	AMP1OPD(入力)	○	○
チャンネル2	AMP2OPD(入力)	○	○

14.1 オペアンプの機能

オペアンプは，微小なアナログ入力電圧を増幅して出力することができます。本製品では，2入力1出力の差動オペアンプを計3ユニット内蔵しています。

オペアンプには以下の機能があります。

- ユニット0，ユニット1がrail to rail オペアンプ，ユニット2が汎用オペアンプです。
- ユニット0・1出力信号をADコンバータの入力信号とすることができます。
- ハイスピード・モード(高消費電流)，ロウパワー・モード(低反応速度)の二つのモードを持ち，反応スピードと消費電流のトレードオフを考慮してモード選択をすることができます。
- ELC各トリガによって動作を開始することができ，さらにSTOPモードにおいてもELCトリガによる動作を開始できます。
- A/D変換終了トリガによって動作を停止することができます。

14.2 アナログスイッチ機能

本製品はオペアンプ0, 1出力チャネルに対して、4つのアナログスイッチをもち、オペアンプ0, 1の出力としてさらに4端子に(100ピン製品4端子, 80ピン製品2端子)対応することができます。

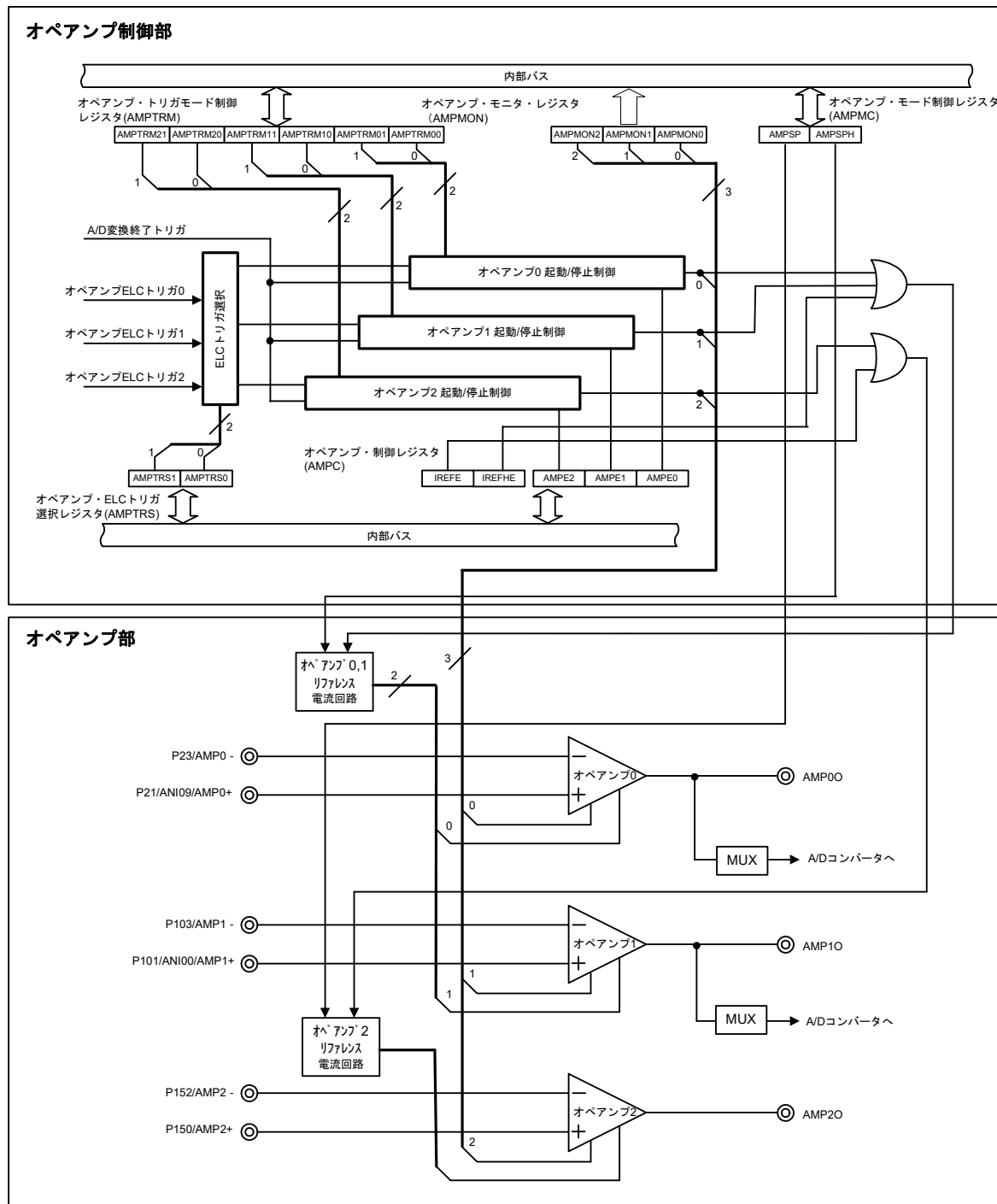
アナログスイッチはのオン/オフはレジスタで制御可能です。また、アナログスイッチはオン抵抗の特性を維持するために内蔵チャージ・ポンプにて昇圧した信号で制御します。

かつ、本製品は低抵抗スイッチを3つ内蔵しています。それぞれのスイッチのオン/オフはレジスタで制御することができます。スイッチをオンにした場合、端子から低抵抗を介して、製品のアナログ専用グランド電位に接続できます。低抵抗スイッチはオン抵抗の特性を維持するために内蔵チャージ・ポンプにて昇圧した信号で制御します。

14.3 オペアンプの構成

図14-1にオペアンプのブロック図を示します。

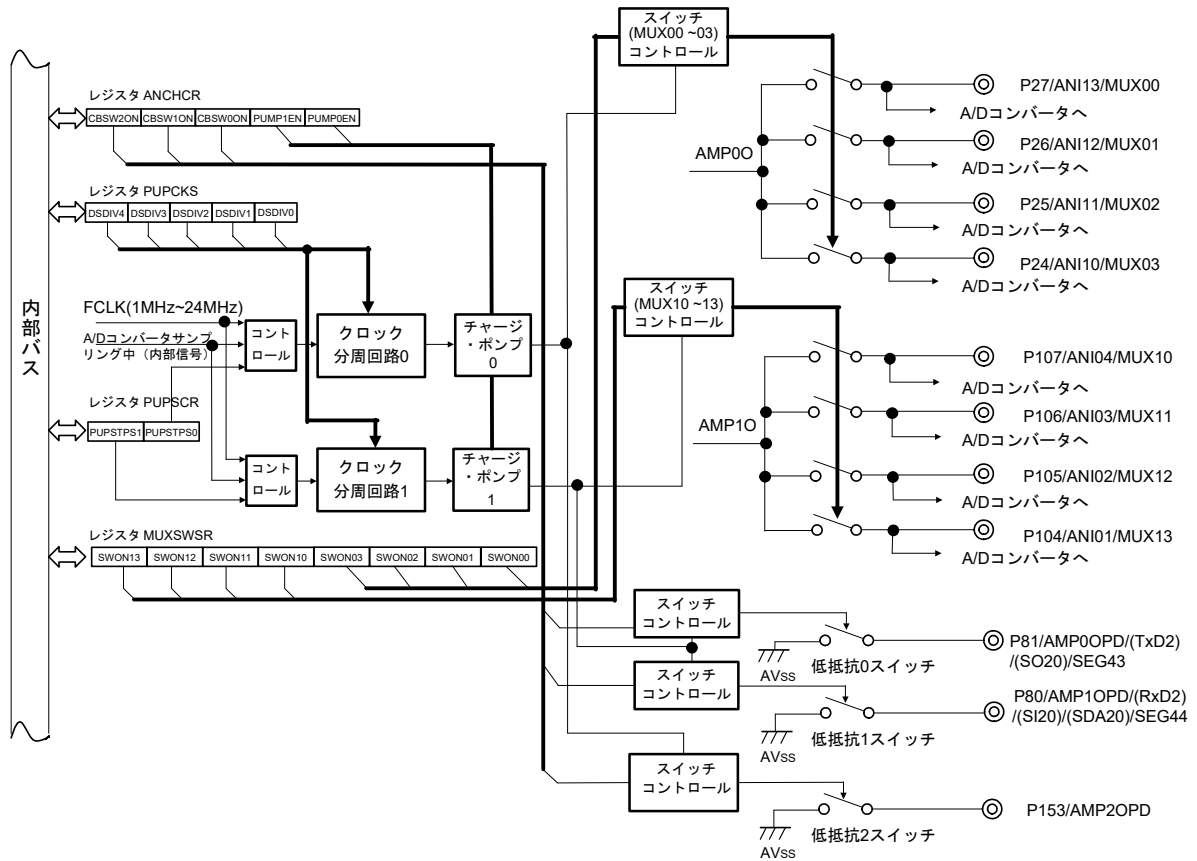
図14-1 オペアンプのブロック図



14.4 アナログMUX & 低抵抗スイッチの構成

図14-2にアナログMUX & 低抵抗スイッチブロック図を示します。

図14-2 アナログMUX & 低抵抗スイッチブロック図



14.5 オペアンプを制御するレジスタ

表14-1にオペアンプを制御するレジスタ一覧を示します。

表14-1 オペアンプを制御するレジスタ一覧

項目	構成
制御レジスタ	オペアンプ・モード制御レジスタ (AMPMC)
	オペアンプ・トリガモード制御レジスタ (AMPTRM)
	オペアンプELCトリガ選択レジスタ (AMPTRS)
	オペアンプ制御レジスタ (AMPC)
	オペアンプ・モニタ・レジスタ (AMPMON)
	ポート・モード・レジスタ 2, 8, 10, 15 (PM2, PM8, PM10, PM15)
	ポート・モード・コントロール・レジスタ 2, 8, 10, 15 (PMC2, PMC8, PMC10, PMC15)
	LCDポート・ファンクション・レジスタ (PFSEG5)
	周辺イネーブル・レジスタ 1 (PER1)
	アナログMUXチャンネル・オン選択レジスタ (MUXSWSR)
	チャージ・ポンプ動作クロック分周選択レジスタ (PUPCKS)
	チャージ・ポンプクロック制御レジスタ (PUPSCR)
	低抵抗スイッチ・チャンネル選択とチャージ・ポンプ制御レジスタ (ANCHCR)

14.5.1 オペアンプ・モード制御レジスタ (AMPMC)

AMPMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図14-3 オペアンプ・モード制御レジスタ (AMPMC) のフォーマット

アドレス : F0348H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPMC	AMPSP	AMPSPH	0	0	0	0	0	0
AMPSP	動作モード選択(ユニット2 (汎用オペアンプ))							
0	ロウパワー・モード(ロウ・スピード)							
1	ハイスピード・モード							
AMPSPH	動作モード選択(ユニット0,1 (Rail-to-rail オペアンプ))							
0	ロウパワー・モード(ロウ・スピード)							
1	ハイスピード・モード							

注意1. AMPSP, AMPSPHビットの設定は、AMPCレジスタの値が00H (オペアンプ、基準電流生成回路が停止)の状態で行ってください。

注意2. 搭載していないビットには必ず初期値を設定してください。

14.5.2 オペアンプ・トリガモード制御レジスタ (AMPTRM)

AMPTRMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図14-4 オペアンプ・トリガモード制御レジスタ (AMPTRM)のフォーマット

アドレス : F0349H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPTRM	0	0	AMPTRM21	AMPTRM20	AMPTRM11	AMPTRM10	AMPTRM01	AMPTRM00
AMPTRMn1	AMPTRMn0	オペアンプ機能 起動/停止トリガ制御 ^{注3}						
0	0	ソフトウエア・トリガ・モード <ul style="list-style-type: none"> • AMPCレジスタ設定によるオペアンプの起動/停止制御が可能 • ELCトリガによるオペアンプの起動は不可 • A/D変換終了トリガによるオペアンプ制御は不可 						
0	1	ELCトリガ・モード <ul style="list-style-type: none"> • AMPCレジスタ設定によるオペアンプのELCトリガ待機設定/停止制御が可能 • ELCトリガによるオペアンプの起動が可能^{注1} • A/D変換終了トリガによるオペアンプ制御は不可 						
1	0	設定禁止						
1	1	ELCおよびA/Dトリガ・モード <ul style="list-style-type: none"> • AMPCレジスタ設定によるオペアンプのELCトリガ待機設定/停止制御が可能 • ELCトリガによるオペアンプの起動が可能^{注1} • A/D変換終了トリガによるオペアンプの停止が可能^{注2} 						

注1. ELCトリガによってオペアンプを起動する場合は、あらかじめ第21章 イベントリンクコントローラ (ELC) に関わる各種設定およびAMPTRSレジスタを設定の上、AMPCレジスタにて起動対象となるオペアンプ・ユニットの動作制御ビットを1 (オペアンプ待機許可) に設定してください。

注2. A/D変換終了トリガはA/D変換終了時に必ず発生します。

注3. AMPTRMn1, AMPTRMn0の設定値を変更する場合は、AMPCレジスタのAMPEnビットが0 (オペアンプ停止) の状態で行ってください。

備考 n : ユニット番号 (n = 0, 1, 2)

14.5.3 オペアンプELCトリガ選択レジスタ (AMPTRS)

AMPTRSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図14-5 オペアンプELCトリガ選択レジスタ (AMPTRS)のフォーマット

アドレス : F034AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPTRS	0	0	0	0	0	0	AMPTRS1	AMPTRS0

AMPTRS1	AMPTRS0	ELCトリガ選択 ^注
0	0	オペアンプ ユニット0 : オペアンプELCトリガ0 オペアンプ ユニット1 : オペアンプELCトリガ1 オペアンプ ユニット2 : オペアンプELCトリガ2
0	1	オペアンプ ユニット0 : オペアンプELCトリガ0 オペアンプ ユニット1 : オペアンプELCトリガ0 オペアンプ ユニット2 : オペアンプELCトリガ1
1	0	設定禁止
1	1	オペアンプ ユニット0 : オペアンプELCトリガ0 オペアンプ ユニット1 : オペアンプELCトリガ0 オペアンプ ユニット2 : オペアンプELCトリガ0

注 AMPTRMレジスタの設定後は、AMPTRSレジスタの値を変更しないでください。

注意 搭載していないビットには必ず初期値を設定してください。

14.5.4 オペアンプ制御レジスタ (AMPC)

AMPCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図14-6 オペアンプ制御レジスタ (AMPC)のフォーマット

アドレス : F034BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
AMPC	IREFE	IREFHE	0	0	0	AMPE2	AMPE1	AMPE0
IREFE	オペアンプ2 リファレンス電流回路の動作制御							
0	オペアンプ・リファレンス電流回路停止							
1	オペアンプ・リファレンス電流回路動作許可							
IREFHE	オペアンプ0,1 リファレンス電流回路の動作制御							
0	オペアンプ・リファレンス電流回路停止							
1	オペアンプ・リファレンス電流回路動作許可							
AMPE _n	オペアンプの動作制御							
0	オペアンプ停止(オペアンプ出力はHi-Z)							
1	ソフトウェア・トリガ・モード : オペアンプ動作許可注 ELCトリガ・モードまたは、ELCおよびA/Dトリガ・モード : ELC待機許可							

注 IREFE, IREFHE ビット設定に関わらずオペアンプ・リファレンス電流回路も動作許可となります。
使用しないユニットは必ず0を設定してください。

注意 搭載していないビットには必ず初期値を設定してください。

備考 n : ユニット番号 (n = 0, 1, 2)

14.5.5 オペアンプ・モニタ・レジスタ (AMPMON)

AMPMONレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

図14-7 オペアンプ・モニタ・レジスタ (AMPMON)のフォーマット

アドレス : F034CH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
AMPMON	0	0	0	0	0	AMPMON2	AMPMON1	AMPMON0

AMPMONn	オペアンプの状態
0	オペアンプn停止
1	オペアンプn動作

注意1. 本レジスタは各オペアンプの動作/停止状態を非同期で反映するため、オペアンプの状態判定を実施する場合は、連続して本レジスタをリードし、ビット状態の変化が確認されてから再度確認のためのリードを実施した上でオペアンプの状態変化の判定用として使用してください。

また、オペアンプ制御としてクロック同期したELCトリガやA/D変換終了トリガ、その他割り込みルーチン内のソフトウェアトリガを使用するなど、オペアンプが動作/停止するタイミングを予測できる場合(正常動作の確認用など)は、オペアンプの状態に影響する各種トリガや割り込みの発生からCPU/周辺クロック1サイクル以降のタイミングで本レジスタをリードしてください。

注意2. 搭載していないビットには必ず初期値を設定してください。

備考 n : ユニット番号 (n = 0, 1, 2)

14.5.6 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図14-8 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CM PEN	0	DTCEN	0	MUXEN	DACEN

MUXEN	アナログMUXの入カクロック供給の制御
0	<ul style="list-style-type: none"> • アナログMUXと低抵抗スイッチの動作クロック停止 • アナログMUXと低抵抗スイッチはリセット状態 • チャージ・ポンプ動作クロック停止
1	<ul style="list-style-type: none"> • アナログMUXと低抵抗スイッチクロック供給 • アナログMUXと低抵抗スイッチは動作可能 • チャージ・ポンプ・クロック動作可能

14.5.7 アナログ MUXチャンネル選択レジスタ (MUXSWSR)

MUXSWSRレジスタは、8ビット・メモリ操作命令で設定します。

図14-9 アナログ MUXチャンネル選択レジスタ (MUXSWSR)のフォーマット

アドレス : F0075H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MUXSWSR	SWON13	SWON12	SWON11	SWON10	SWON03	SWON02	SWON01	SWON00
SWON1n	MUX1nのアナログ・チャンネル動作							
0	アナログ・チャンネル OFF							
1	アナログ・チャンネル ON							
SWON0n	MUX0nのアナログ・チャンネル動作							
0	アナログ・チャンネル OFF							
1	アナログ・チャンネル ON							

注意 本レジスタでチャンネルをオンに設定する前に、必ず対応するチャージ・ポンプを動作許可してください。詳細は「図14-2 アナログ MUX & 低抵抗スイッチブロック図」を参考にしてください。

備考 n : MUXのチャンネル番号 (n = 0,1,2,3)

14.5.8 チャージ・ポンプ動作クロック分周選択・レジスタ (PUPCKS)

PUPCKSレジスタは、8ビット・メモリ操作命令で設定します。

図 14 - 10 チャージ・ポンプ動作クロック分周選択・レジスタ (PUPCKS)のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PUPCKS	0	0	0	DSDIV[4:0]				
DSDIV[4:0]					チャージ・ポンプの動作クロック			
0	0	0	0	0	CPU/周辺ハード・ウェア・クロック (fCLK) の2分周			
0	0	0	0	1	CPU/周辺ハード・ウェア・クロック (fCLK) の4分周			
0	0	0	1	0	CPU/周辺ハード・ウェア・クロック (fCLK) の6分周			
0	0	0	1	1	CPU/周辺ハード・ウェア・クロック (fCLK) の8分周			
0	0	1	0	0	CPU/周辺ハード・ウェア・クロック (fCLK) の10分周			
N					CPU/周辺ハード・ウェア・クロック (fCLK) の2 × (N+1) 分周			

注意 チャージ・ポンプの動作クロックが0.5MHz～1MHzの間に設定してください。それ以外の動作周波数は設定禁止になります。

次の表にチャージ・ポンプ動作クロックの推奨を記載します。

表 14 - 2 チャージ・ポンプ動作クロックの選択

メイン・システム・クロック (fMAIN)	CPU/周辺ハードウェア・クロック (fCLK)	DSDIV[4:0]設定値	チャージ・ポンプの動作クロック (推奨)
24MHz	24MHz	10111B	500 KHz
20MHz	20MHz	10011B	500 KHz
16MHz	16MHz	01111B	500 KHz
12MHz	12MHz	01011B	500 KHz
10MHz	10MHz	01001B	500 KHz
8MHz	8MHz	00111B	500 KHz
6MHz	6MHz	00101B	500 KHz
4MHz	4MHz	00011B	500 KHz
3MHz	3MHz	00010B	500 KHz
2MHz	2MHz	00001B	500 KHz
1MHz	1MHz	00000B	500 KHz
1~24MHz	32.768KHz	設定禁止	動作不可 (特性保証しません)

14.5.9 チャージ・ポンプクロック動作制御レジスタ (PUPSCR)

PUPSCRレジスタは、8ビット・メモリ操作命令で設定します。

チャージ・ポンプの動作中は、アナログ電源系統にノイズが発生し、A/Dコンバータのサンプリングに影響を与える可能性があります。本レジスタをセットすることにより、A/Dコンバータのサンプリング中は、チャージ・ポンプへのクロック供給を停止し、ノイズの発生を防止することができます。

図14-11 チャージ・ポンプクロック動作制御レジスタ (PUPSCR)のフォーマット

アドレス : F00F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PUPSCR	0	0	0	0	0	0	PUPSTPS1	PUPSTPS0
PUPSTPSn	A/Dサンプリング期間チャージ・ポンプnクロック動作制御							
0	A/Dコンバータの動作によらず、チャージ・ポンプの動作クロックを供給							
1	A/Dコンバータのアナログ・チャンネルをサンプリング中は、チャージ・ポンプの動作クロックを供給停止。							

備考 n : ユニット番号 (n = 0, 1)

注意 チャージ・ポンプの動作クロック停止に伴って、チャージ・ポンプの出力電圧が変動するため、チャージ・ポンプの出力電圧が設計保障値以外になる可能性があります。この場合、チャージ・ポンプの出力電圧関連のアナログMUXと低抵抗スイッチの抵抗値も、設計保証値以外になる可能性があります。

本機能を使用時は、十分に評価してご使用ください。

14.5.10 低抵抗スイッチ・チャンネル選択とチャージ・ポンプ制御レジスタ (ANCHCR)

ANCHCRレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図14-12 低抵抗スイッチ・チャンネル選択とチャージ・ポンプ制御レジスタ (ANCHCR)のフォーマット

アドレス : F007DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ANCHCR	0	CBSW2ON	CBSW1ON	CBSW0ON	0	PUMP1EN	PUMP0EN	0
CBSWnON	低抵抗スイッチの制御							
0	低抵抗スイッチ動作禁止							
1	低抵抗スイッチ動作許可							
PUMPmEN	チャージ・ポンプの動作制御							
0	チャージ・ポンプ動作禁止							
1	チャージ・ポンプ動作許可							

備考 m : チャージ・ポンプのユニット番号 (m = 0, 1)

n : 低抵抗スイッチのユニット番号 (n = 0, 1, 2)

アナログスイッチ(アナログMUXと低抵抗スイッチ)オン/オフの設定手順

オンの設定手順：

- ① 周辺イネーブル・レジスタ1(PER1)のMUXENビットをセツシ、チャージ・ポンプ、アナログMUXと低抵抗スイッチ回路へのクロック供給を許可します。MUXSWSR, PUPCKS, PUPSCR, ANCHCRレジスタへのアクセスを可能にします。
- ② PUPSCRレジスタを設定します。(PUPSTPSnビットは1を設定する場合、事前に十分評価してください。)
- ③ PUPCKSレジスタを設定します。(チャージ・ポンプの動作クロックは500kHzに設定してください。)
- ④ PUMPmENビットを0→1に設定、チャージ・ポンプmを動作開始します。
- ⑤ チャージ・ポンプmの安定待ち時間を待ちます。(安定待ち時間は MIN. 10ms)
- ⑥ SWONmp,CBSWnONビットをセットによって、対応するアナログスイッチがオンに設定します。

オフの設定手順：

- ① SWONmp,CBSWnONビットをクリアすることにより、対応するアナログスイッチをオフに設定します。
- ② 対応するPUMPmENビットを1→0に設定して、チャージ・ポンプmの動作クロックを停止します。
- ③ MUXENビットを0に設定し、チャージ・ポンプ、アナログMUXと低抵抗スイッチ回路へのクロック供給を停止します。MUXSWSR, PUPCKS, PUPSCR, ANCHCRレジスタがリセット状態になります。

備考 m = 0, 1, p = 0 ~ 3, n = 0 ~ 2

チャージ・ポンプとアナログスイッチの対応関係は「図 14 - 2 アナログ MUX & 低抵抗スイッチブロック図」をご参照ください。

搭載していないビットには必ず初期値を設定してください。

14.5.11 アナログ入力端子のポート機能を制御するレジスタ

AMP0+, AMP0-, AMP1+, AMP1-, AMP2+, AMP2-端子をオペアンプのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ 2, 10, 15 (PM2, PM10, PM15), ポート・モード・コントロール・レジスタ 2, 10, 15 (PMC2, PMC10, PMC15)のビットに1を設定してください。

MUX00~MUX03, MUX10~MUX13端子をアナログMUXとして使用するときは、各ポートに対応するポート・モードレジスタ 2, 10(PM2, PM10), ポート・モード・コントロール・レジスタ 2, 10(PMC2, PMC10)のビットに1を設定してください。

AMP0OPD, AMP1OPD, AMP2OPD端子を低抵抗スイッチとして使用するときは、各ポートに対応するポート・モードレジスタ 8, 15(PM8, PM15), ポート・モード・コントロール・レジスタ 8, 15(PMC8, PMC15)のビットに1を設定して、対応するLCDポート・ファンクション・レジスタ5のビット (PFSEG5) に0を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.6 ポート・モード・コントロール・レジスタ (PMCxx), 4.3.8 LCDポート・ファンクション・レジスタ 0-5 (PFSEG0-PFSEG5)を参照してください。

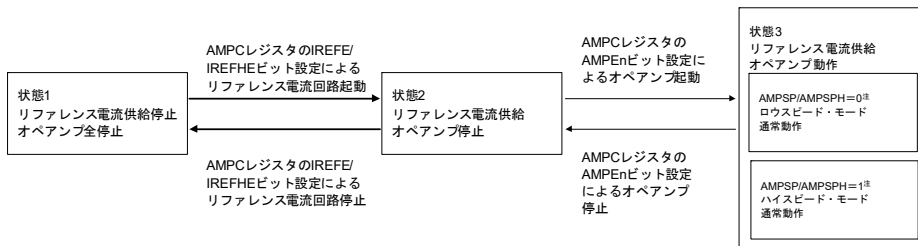
14.6 動作説明

14.6.1 状態遷移図

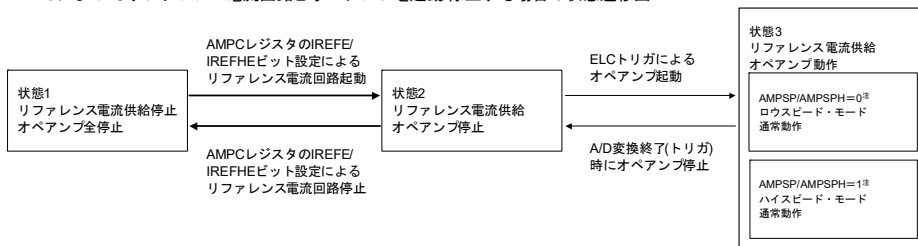
図14 - 13にオペアンプ制御回路によるオペアンプ、リファレンス電流回路の起動、停止の状態遷移図を示します。

図14 - 13 オペアンプ状態遷移図

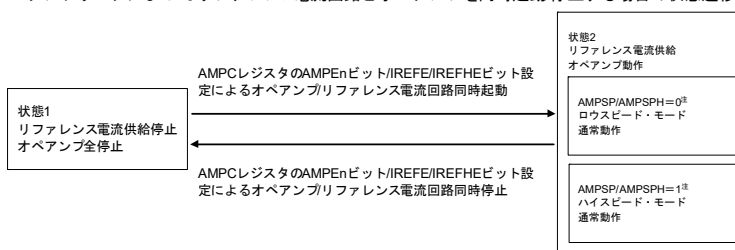
・ソフトウェアによってリファレンス電流回路とオペアンプを起動/停止する場合の状態遷移図



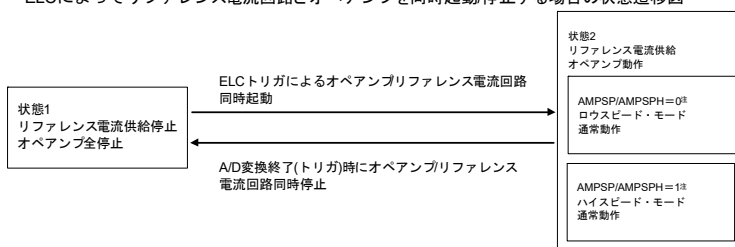
・ELCによってリファレンス電流回路とオペアンプを起動/停止する場合の状態遷移図



・ソフトウェアによってリファレンス電流回路とオペアンプを同時起動/停止する場合の状態遷移図



・ELCによってリファレンス電流回路とオペアンプを同時起動/停止する場合の状態遷移図



注 AMPMCレジスタのAMPSP/AMPSPHビット、AMPTRS、AMPTRMの各レジスタは状態1で設定してください。

注意 オペアンプ、リファレンス電流回路の起動、停止の状態遷移については、図14 - 13で示す状態遷移以外は実施しないでください。

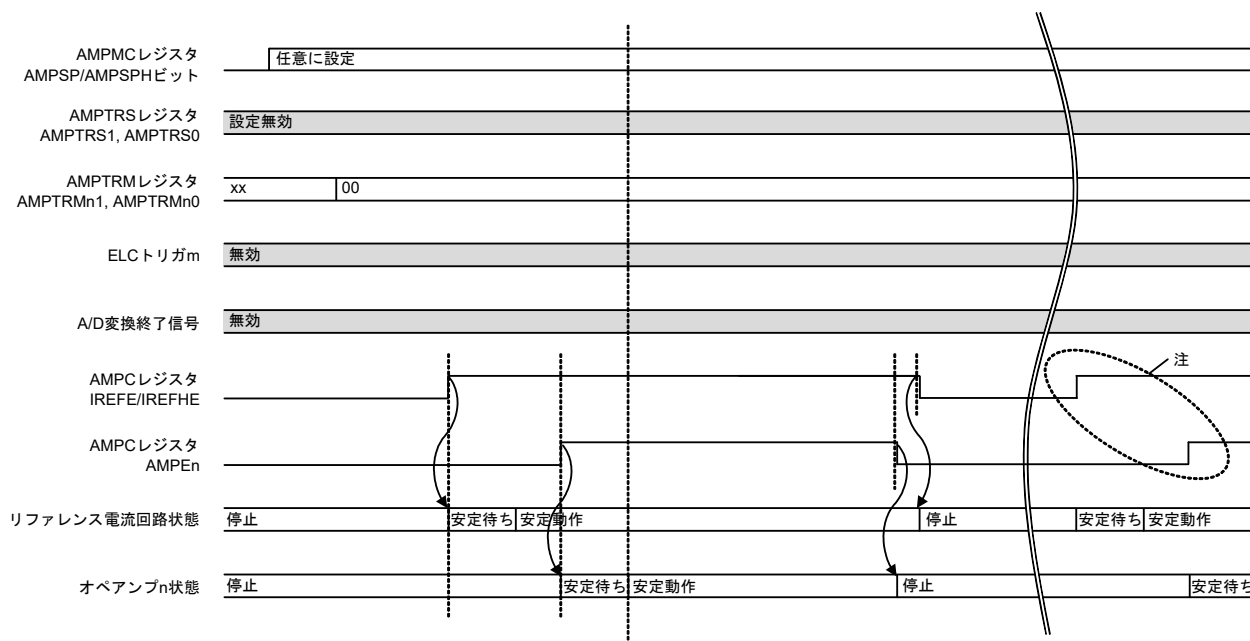
備考1. リファレンス電流供給やオペアンプ動作を設定してから実際それぞれが動作するには、安定待ち時間が必要です。安定待ち時間の詳細は、第35章 電気的特性(A: TA = -40 ~ +85°C)を参照してください。

備考2. ELCトリガやA/D変換終了によるオペアンプの起動/停止はそれぞれAMPTRMレジスタによってあらかじめ使用設定されたオペアンプユニットでのみ利用可能です。

14.6.2 オペアンプ制御動作

図14 - 14 ~ 図14 - 17にオペアンプ制御動作を示します。

図14 - 14 オペアンプ制御動作(ソフトウェア・トリガ・モードによる制御)
(ソフトウェア・トリガ・モードによってリファレンス電流回路とオペアンプを起動/停止させる場合)

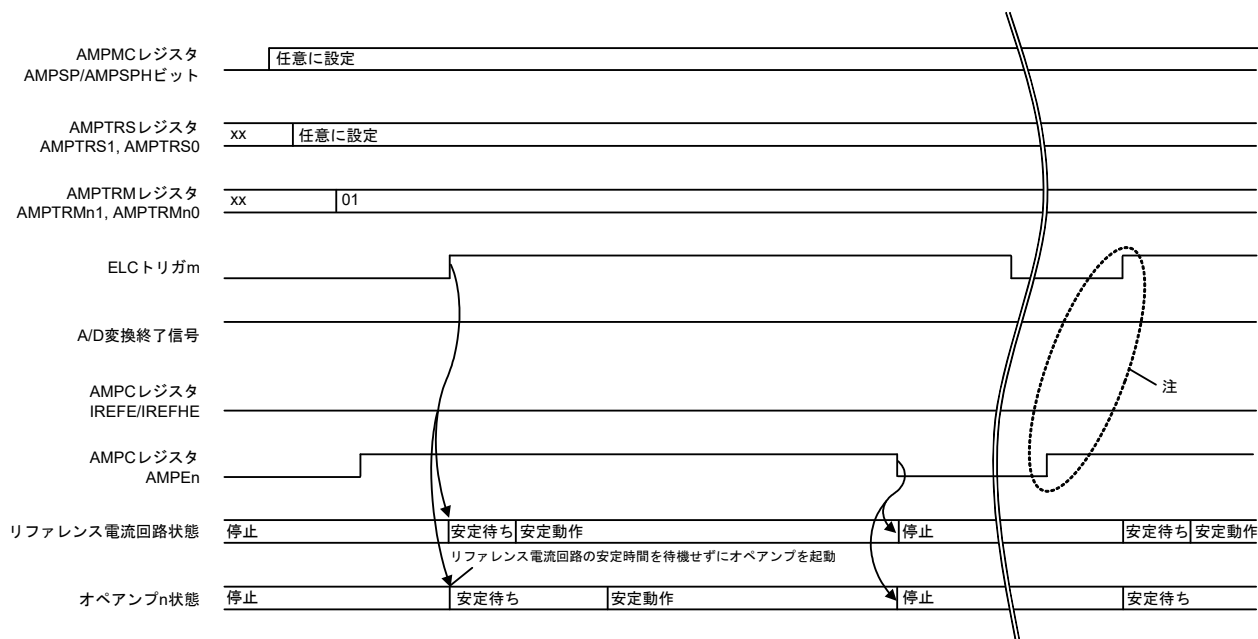


注 オペアンプの動作/停止を連続させる場合は、オペアンプ停止後、初回と同様に再度 IREFE/REFHE ビット、AMPEN ビットの設定を実施してください。

備考 n : ユニット番号 (n = 0, 1, 2)

m : AMPTRS レジスタによって選択されたオペアンプ ユニット n の制御で使用する ELC トリガ。

図14-15 オペアンプ制御動作(ELCトリガ・モードによる起動)
 (ELCトリガによってリファレンス電流回路とオペアンプを起動し、SFR設定によって停止させる場合)



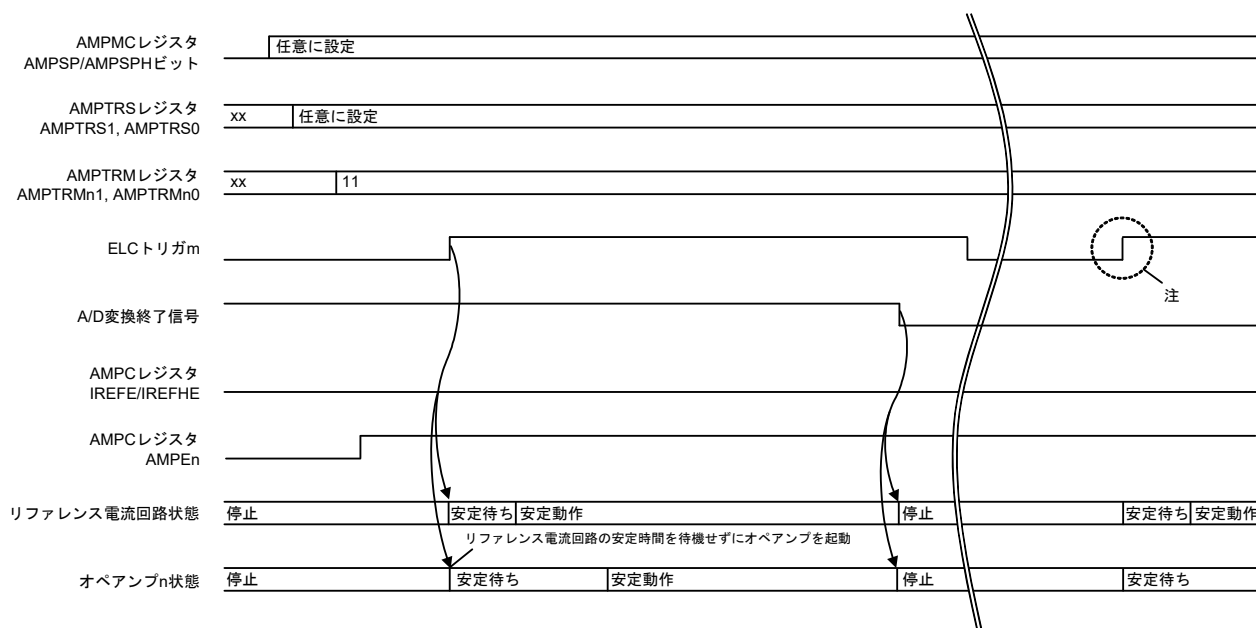
注 オペアンプの動作/停止を連続させる場合はオペアンプ停止後、初回と同様に再度 AMPEN ビットによって ELC トリガ待機状態に設定してください。

備考 n : ユニット番号 (n = 0, 1, 2)

m : AMPTRS レジスタによって選択されたオペアンプユニットnの制御で使用する ELC トリガ。

あらかじめ ELC イベント発生元となる機能の設定、およびリンク先周辺機能の設定 (ELSELR レジスタ設定) を実施してください。

図 14 - 16 オペアンプ制御動作(ELCおよびA/Dトリガ・モード その1)
 (ELCトリガによってリファレンス電流回路とオペアンプを起動し、A/D変換終了(トリガ)によって停止させる場合)



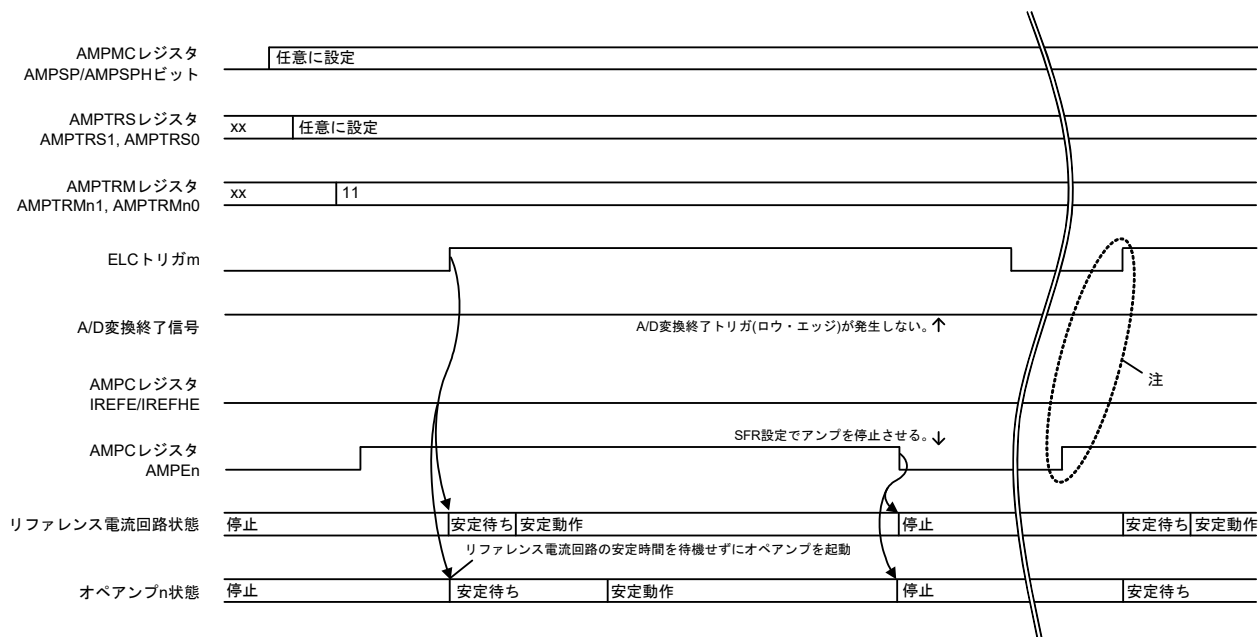
注 オペアンプの動作/停止を連続させる場合、オペアンプ停止後はELCトリガ待機状態となるためレジスタの再設定は不要です。

備考 n : ユニット番号(n = 0, 1, 2)

m : AMPTRSレジスタによって選択されたオペアンプユニットnの制御で使用するELCトリガ。

あらかじめELCイベント発生元となる機能の設定、およびリンク先周辺機能の設定(ELSELRレジスタ設定)を実施してください。

図 14 - 17 オペアンプ制御動作(ELCおよびA/Dトリガ・モード その2)
 (ELCトリガによってリファレンス電流回路とオペアンプを起動し、
 A/D変換終了(トリガ)によって停止できる設定において、SFRで停止させる場合)



注 オペアンプの動作/停止を連続させる場合はオペアンプ停止後、初回と同様に再度 AMPEN ビットによって ELC トリガ待機状態に設定してください。

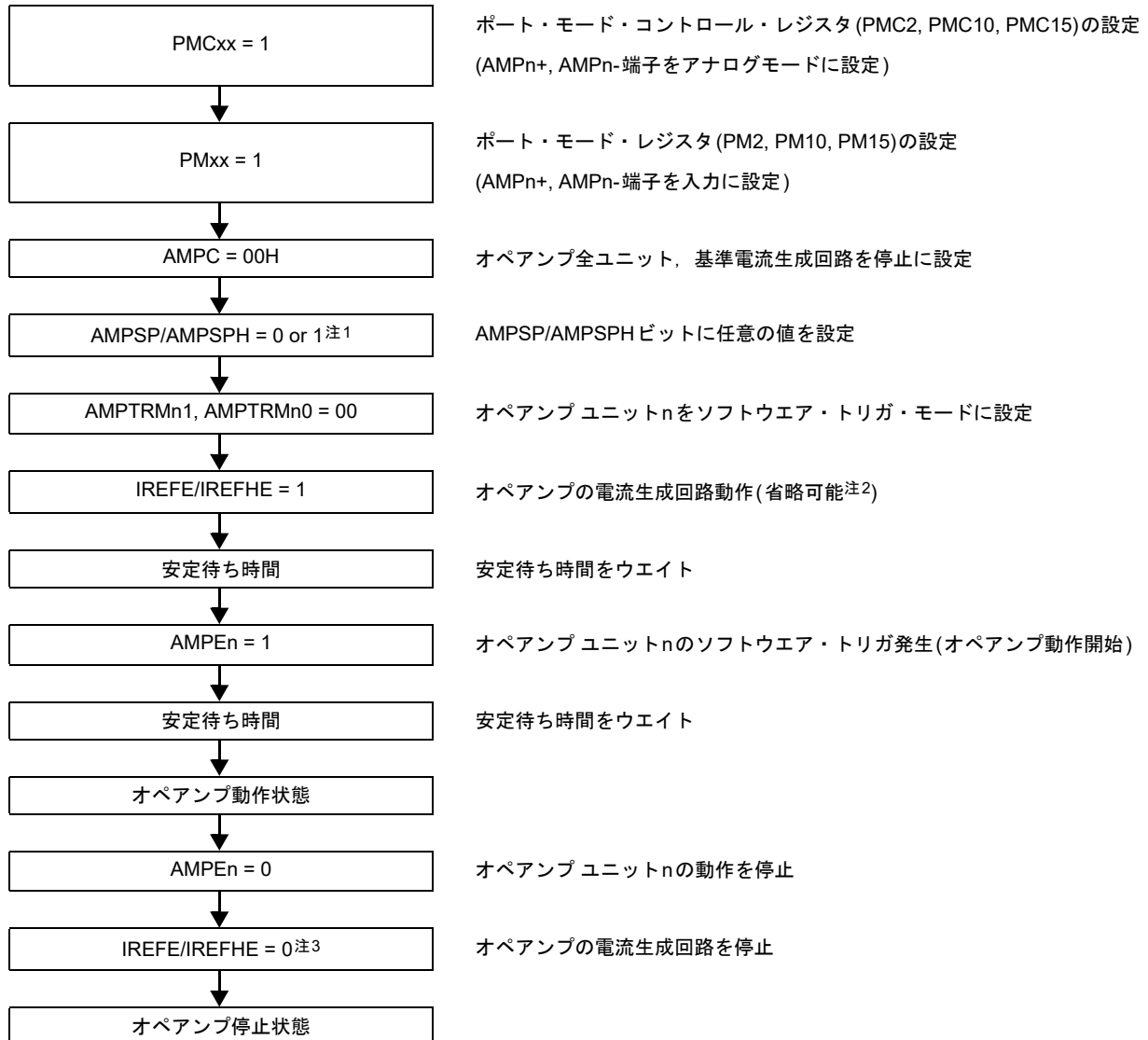
備考 n : ユニット番号 (n = 0, 1, 2)

m : AMPTRS レジスタによって選択されたオペアンプ ユニット n の制御で使用する ELC トリガ。

あらかじめ ELC イベント発生元となる機能の設定、およびリンク先周辺機能の設定 (ELSELR レジスタ設定) を実施してください。

14.6.3 ソフトウェア・トリガ・モード

ソフトウェア・トリガでオペアンプを動作、停止させる手順を示します。各レジスタの設定例のフロー・チャートを以下に示します。



注1. AMPSP/AMPSPHビットの設定は、AMPCレジスタの値が00H (オペアンプ、基準電流生成回路が停止)の状態で行ってください。

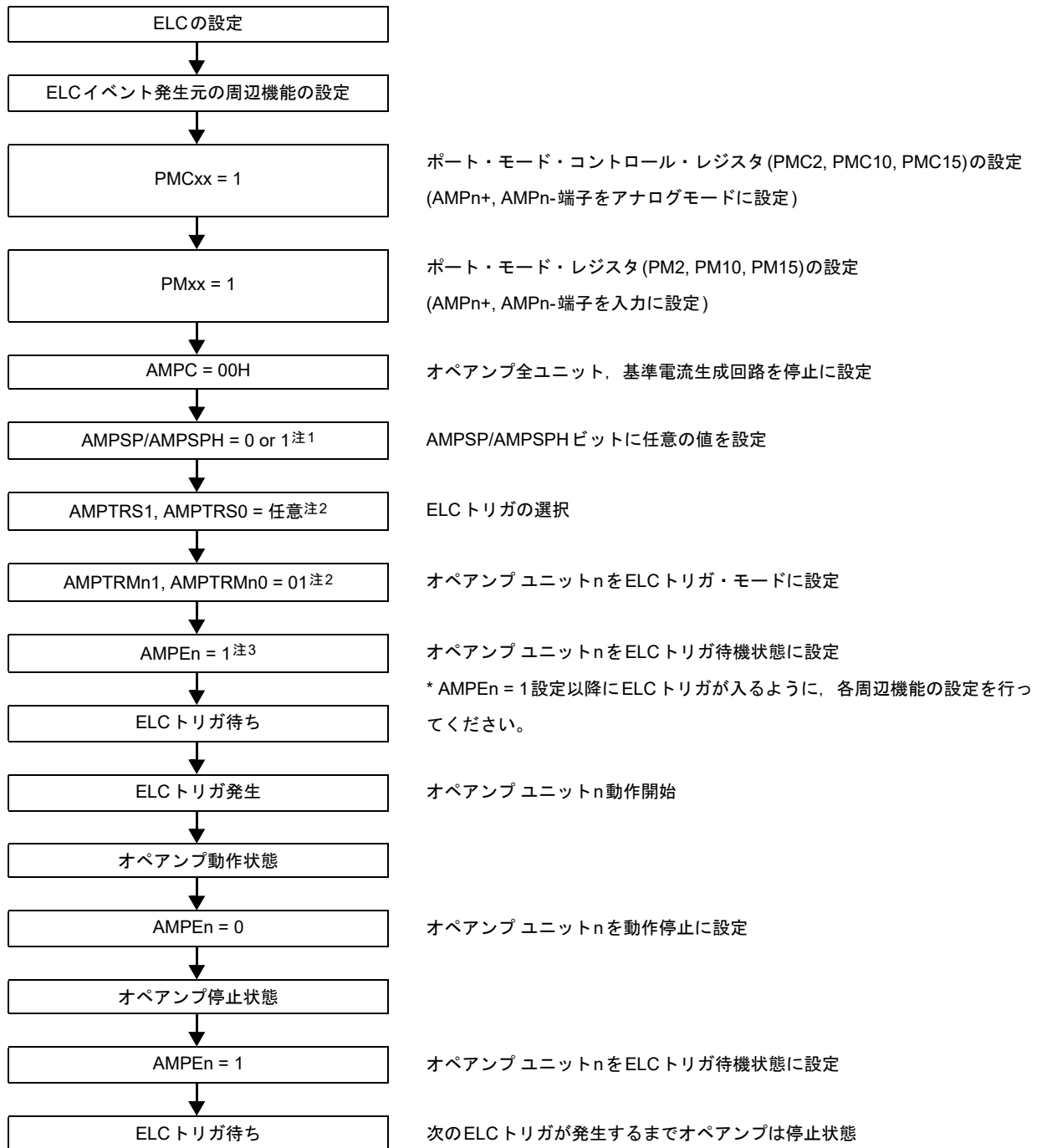
注2. IREFE/IREFHE = 1の設定を省略した場合、AMPEn = 1設定後の安定待ち時間が長くなります。安定待ち時間の詳細は、第35章 電気的特性(A: TA = -40 ~ +85°C)を参照してください。

注3. IREFE/IREFHE = 0の設定は、AMPEn = 0の設定と同時でも構いません。

注意 安定待ち時間の詳細は、第35章 電気的特性(A: TA = -40 ~ +85°C)を参照してください。

14.6.4 ELCトリガ・モード

ELCトリガでオペアンプを動作させる設定手順を示します。各レジスタの設定例のフロー・チャートを以下に示します。オペアンプをELCトリガで起動させ、ソフトウェアで停止させる処理を繰り返す場合の例です。



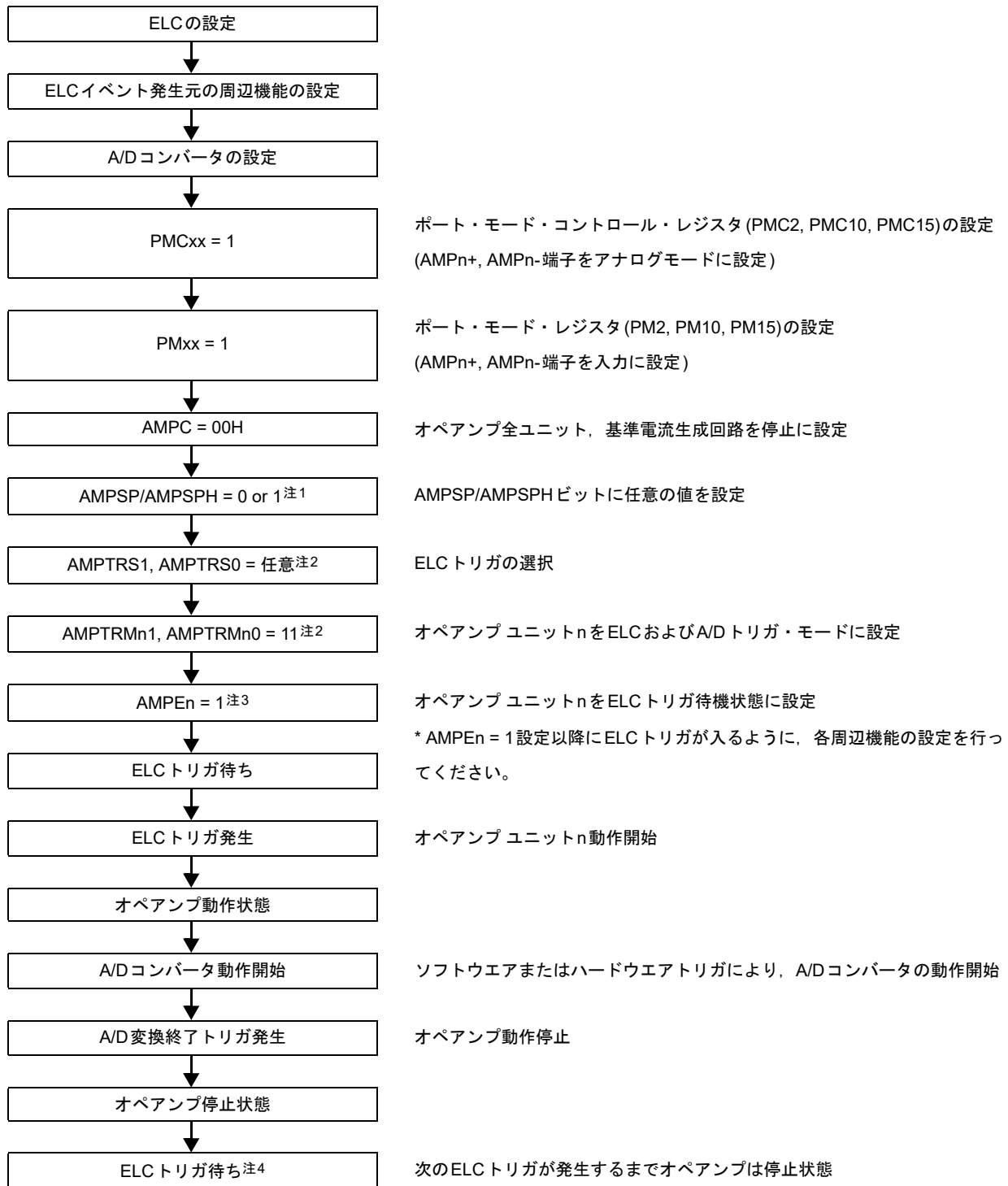
注1. AMPSP/AMPSPHビットの設定は, AMPCレジスタの値が00H (オペアンプ, 基準電流生成回路が停止)の状態で行ってください。

注2. AMPCレジスタのAMPEnビットが0の状態を設定してください。

注3. オペアンプの基準電流生成回路を常時動作させる場合は, このタイミングでAMPCレジスタのIREFE/IREFHEビットを1に設定してください。

14.6.5 ELCおよびA/Dトリガ・モード

ELCトリガでオペアンプを起動し、A/D変換終了トリガでオペアンプを停止する設定手順を示します。各レジスタの設定例のフロー・チャートを以下に示します。オペアンプをELCトリガで起動させ、A/D変換終了トリガで停止させる処理を繰り返す場合の例です。



注1. AMPSP/AMPSPHビットの設定は、AMPCレジスタの値が00H (オペアンプ, 基準電流生成回路が停止)の状態で行ってください。

注2. AMPCレジスタのAMPEnビットが0の状態を設定してください。

- 注3. ELCトリガイベント発生元の周辺機能およびA/Dコンバータが停止している状態で設定してください。また、オペアンプの基準電流生成回路を常時動作させる場合は、このタイミングでAMPCレジスタのIREFE/IREFHEビットを1に設定してください。
- 注4. トリガ待機動作を終了させる場合はAMPCレジスタのAMPEnビットを0に設定してください。また、ELCトリガによりオペアンプ起動後、強制停止させたい場合もAMPCレジスタのAMPEnビットを0に設定してください。

14.7 オペアンプとアナログスイッチの注意事項

- (1) オペアンプ機能を使用する場合は、使用するオペアンプの入出力端子をポート・モード・レジスタ (PM2, PM10, PM15)によって入力端子に、ポート・モード・コントロール・レジスタ (PMC2, PMC10, PMC15)によってアナログ端子に設定してください。
- (2) オペアンプ機能の電源端子である AVDD/AVSS 端子にバイパスコンデンサを付加する際はできるだけチップの近く(配線が短くなるよう)に配置し、デバイス、基板、周辺部品を含めたノイズ耐性を考慮してください。
- (3) オペアンプ機能はソフトウェア・トリガ以外にELCトリガによる起動制御およびA/D変換終了による停止制御が可能であり、リファレンス電流回路はA/D変換終了による停止制御が可能です。
このため、これらの非同期トリガによる起動/停止制御の競合(背反制御)が発生しないよう、動作フローを遵守したアプリケーション(回路、プログラム)を設計してください。
- (4) オペアンプ機能用+, -入力とA/D変換器用アナログ入力を兼用している端子に関して、オペアンプ+, -端子として使用している期間中にこれと兼用するアナログ入力端子のA/D変換は禁止です。
- (5) チャージ・ポンプの動作クロックは500KHz~1000KHz(推奨は500KHz)に設定してください。それ以外の周波数を設定すると、特性保証対象外となります。

第15章 ボルテージ・リファレンス

15.1 ボルテージ・リファレンスの機能

ボルテージ・リファレンスには、次の機能があります。

- 基準電圧出力機能

VREFOUT端子から基準電圧を出力します。また、内蔵のA/DコンバータおよびD/Aコンバータに、生成した基準電圧を供給します。出力電圧は1.5 V (TYP.)、1.8 V (TYP.)、2.048 V (TYP.)、2.5 V (TYP.) を選択することができます。

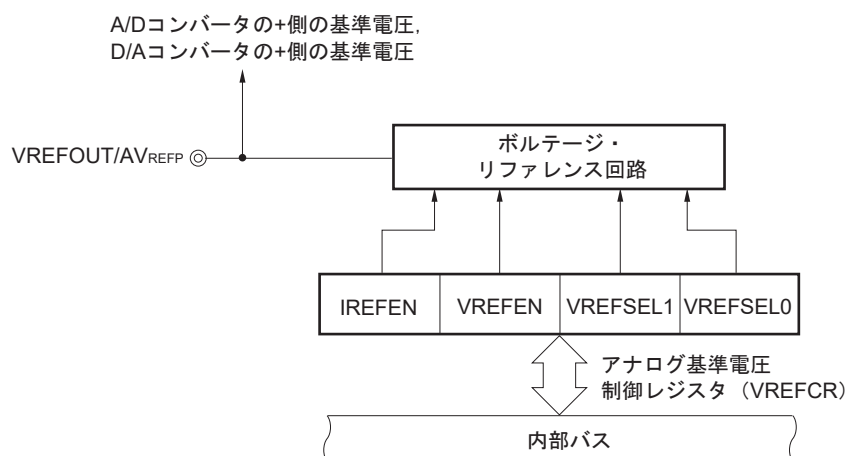
15.2 ボルテージ・リファレンスの構成

ボルテージ・リファレンスは、次のハードウェアで構成しています。

表 15 - 1 ボルテージ・リファレンスの構成

項目	内容
基準電圧出力	VREFOUT端子
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) アナログ基準電圧制御レジスタ (VREFCR)

図 15 - 1 ボルテージ・リファレンスのブロック図



15.3 ボルテージ・リファレンスを制御するレジスタ

ボルテージ・リファレンスは、次のレジスタを使用します。

- 周辺イネーブル・レジスタ 0 (PER0)
- アナログ基準電圧制御レジスタ (VREFCR)

15.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

ボルテージ・リファレンスを使用するときは、必ずビット 5 (ADCEN) を 1 に設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 15 - 2 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータ、ボルテージ・リファレンスの入力クロックの制御
0	入力クロック供給停止 ・ A/Dコンバータ、ボルテージ・リファレンスで使用するSFRへのライト不可 ・ A/Dコンバータ、ボルテージ・リファレンスはリセット状態
1	入力クロック供給 ・ A/Dコンバータ、ボルテージ・リファレンスで使用するSFRへのリード／ライト可

注意 1. ボルテージ・リファレンスの設定をする際には、必ず最初に ADCEN = 1 の設定を行ってください。

ADCEN = 0 の場合は、ボルテージ・リファレンスの制御レジスタは初期値となり、書き込みは無視されます。

注意 2. ビット 1, 6 には必ず "0" を設定してください。

15.3.2 アナログ基準電圧制御レジスタ (VREFCR)

1/2 AV_{DD} 電圧出力の動作の制御, およびボルテージ・リファレンス (VR) の動作を制御するレジスタです。

VREFCRは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 04Hになります。

図 15-3 アナログ基準電圧制御レジスタ (VREFCR)のフォーマット

アドレス : F0072H リセット時 : 04H R/W

略号	7	6	5	4	3	2	1	0
VREFCR	AVDDON	0	0	0	VREFSEL1	VREFSEL0	IREFEN	VREFEN
AVDDON	1/2 AV _{DD} 電圧出力の動作許可/停止							
0	動作停止							
1	動作許可							
VREFSEL1	VREFSEL0	VREFOUT 端子出力レベル選択						
0	0	1.5 V						
0	1	1.8 V (デフォルト)						
1	0	2.048 V						
1	1	2.5 V						
IREFEN	基準電流源動作制御							
0	動作停止							
1	動作許可							
VREFEN	VREF ゲイン制御							
0	動作停止							
1	動作許可							

注意 1. ボルテージ・リファレンス動作時は, 基準電圧安定化用に, VREFOUT/AVREFP 端子に必ずタンタル・コンデンサ (容量 : 10 μ F \pm 30%, ESR : 2 Ω (MAX.), ESL : 10 nH (MAX.)) とセラミック・コンデンサ (容量 : 0.1 μ F \pm 30%, ESR : 2 Ω (MAX.), ESL : 10 nH (MAX.)) を接続してください。また, ボルテージ・リファレンス動作時に, VREFOUT/AVREFP 端子から電圧を印加しないでください。

注意 2. A/D コンバータと D/A コンバータの+側の基準電圧 (AVREFP) にボルテージ・リファレンス出力 (VREFOUT) を使用する場合, 必ず IREFEN を 1 に設定したあとに, VREFEN を 1 に設定してください。

注意 3. ボルテージ・リファレンスが動作している (VREFEN = 1) ときに, VREFSEL1, VREFSEL0 でボルテージ・リファレンスの出力電圧を変更しないでください。

15.4 ボルテージ・リファレンスの動作

15.4.1 基準電圧出力機能

動作開始手順を次に示します。

- ① 周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をセット (1) し、ボルテージ・リファレンスへの入カクロック供給を開始してください。
- ② VREFCRのビット2, 3 (VREFSEL1, VREFSEL0) で、基準電圧値を設定してください。
- ③ アナログ基準電圧制御レジスタ (VREFCR) のビット 1 (IREFEN) をセット (1) してください。これにより、基準電圧源が動作開始します。
- ④ VREFCRのビット0 (VREFEN) をセット (1) し、ボルテージ・リファレンスの動作を許可してください。
- ⑤ ボルテージ・リファレンス動作が安定するまで、ソフトウェアでウェイトしてください (セトリング・タイム : 50ms (MAX.))。

15.5 ボルテージ・リファレンスの注意事項

ボルテージ・リファレンスを使用する際の注意事項を次に示します。

- VREFOUT 出力電圧は、マイコン内部のA/DコンバータおよびD/Aコンバータの+側の基準電圧として使用可能です。VREFOUT 端子には、基準電圧安定化用のタンタル・コンデンサ (容量 : $10\ \mu\text{F} \pm 30\%$, ESR : $2\ \Omega$ (MAX.), ESL : $10\ \text{nH}$ (MAX.)) とセラミック・コンデンサ (容量 : $0.1\ \mu\text{F} \pm 30\%$, ESR : $2\ \Omega$ (MAX.), ESL : $10\ \text{nH}$ (MAX.)) を接続してください。
- VREFOUT 出力電圧を外部回路に供給する場合は、負荷電流制限があります。負荷電流制限の詳細は第35章 電気的特性(A: $T_A = -40 \sim +85^\circ\text{C}$)を参照してください。

第16章 コンパレータ

表16-1に製品ごとの端子構成を示します。

表16-1 コンパレータの端子構成

	100ピン製品	80ピン製品
VCOUT0, IVCMP0, IVREF0	○	○

16.1 コンパレータの機能

コンパレータには、次のような機能があります。

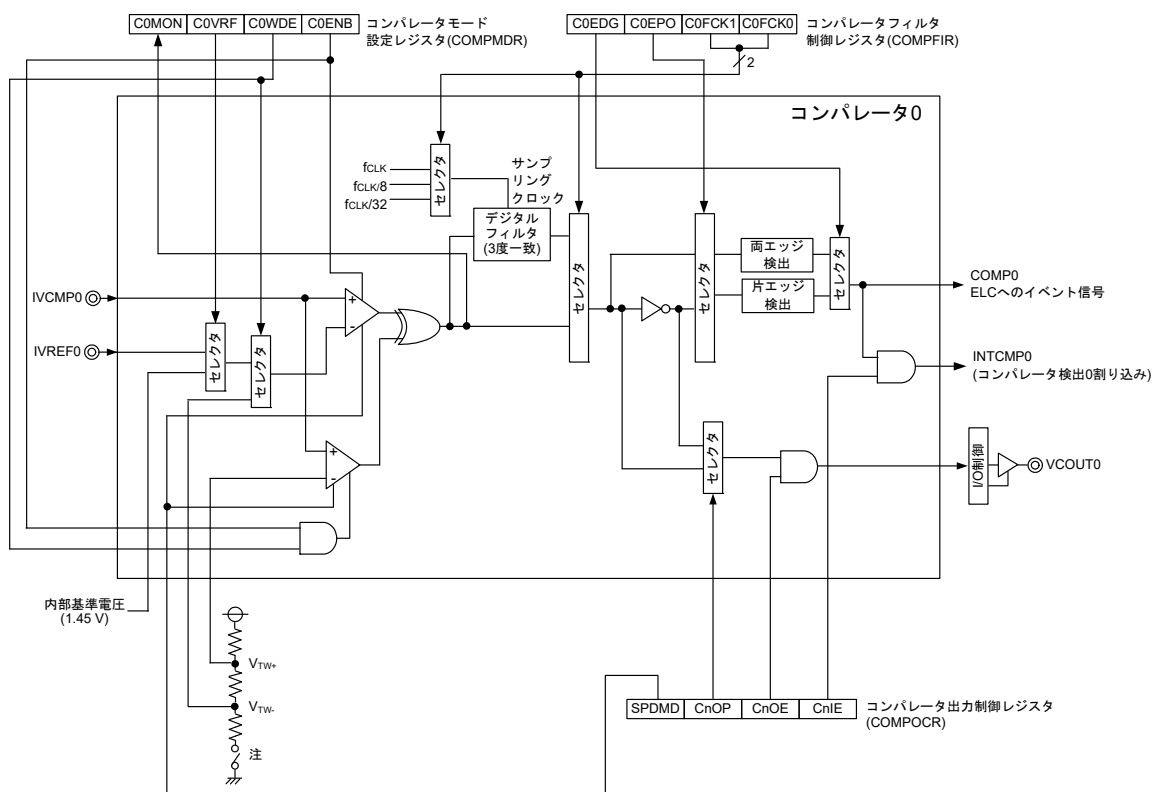
- コンパレータ高速モード/コンパレータ低速モード/コンパレータウィンドウモードが選択できます。
- 基準電圧には外部基準電圧入力と内部基準電圧が選択できます。
- ノイズ除去デジタルフィルタの除去幅が選択できます。
- コンパレータ出力の有効エッジを検出し、割り込み信号を発生できます。
- コンパレータ出力の有効エッジを検出し、イベントリンクコントローラ(ELC)へイベント信号を出力できます。

16.2 コンパレータの構成

本製品のコンパレータは、チャンネル0 (コンパレータ0) のみ搭載されています。

図16-1にコンパレータのブロック図を示します。

図16-1 コンパレータのブロック図



注 C0WDEビットを1にすると、このスイッチはONになり、比較電圧発生用分割抵抗が有効になります。

備考1. n = 0

備考2. V_{TW+}/V_{TW-} : ウィンドウモード時の高電位側判定電圧/低電位側判定電圧

16.3 レジスタの説明

表16-2にコンパレータのレジスタ構成を示します。

表16-2 コンパレータのレジスタ構成

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
コンパレータモード設定レジスタ	COMPMDR
コンパレータフィルタ制御レジスタ	COMPFIR
コンパレータ出力制御レジスタ	COMPOCR
ポート・モード・コントロール・レジスタ4	PMC4
ポート・モード・レジスタ3	PM3
ポート・モード・レジスタ4	PM4
ポート・レジスタ3	P3
ポート・レジスタ4	P4

16.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは、必ずビット5 (CMPEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CMPEN	0	DTCEN	0	MUXEN	DACEN

CMPEN	コンパレータの入カクロックの制御
0	入カクロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータはリセット状態
1	入カクロック供給 ・コンパレータで使用するSFRへのリード/ライト可

注意1. コンパレータの設定をする際には、必ず最初にCMPEN = 1の設定を行ってください。

CMPEN = 0の場合は、コンパレータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ3, 4 (PM3, PM4), ポート・レジスタ3, 4 (P3, P4), ポート・モード・コントロール・レジスタ (PMC4)は除く)。

注意2. ビット6, 4, 2には必ず"0"を設定してください。

16.3.2 コンパレータモード設定レジスタ (COMPMDR)

図16-3 コンパレータモード設定レジスタ (COMPMDR)のフォーマット

アドレス : F0340H リセット時 : 00H R/W注1

略号	7	6	5	4	3	2	1	0
COMPMDR	0	0	0	0	COMON	COVRF	COWDE	COENB
COMON	コンパレータ0モニタフラグ注1,4							
0	基本モード時 : IVCMP0 < コンパレータ0リファレンス電圧 または コンパレータ0停止 ウィンドウモード時 : IVCMP0 < 低電圧側リファレンス または IVCMP0 > 高電圧側リファレンス							
1	基本モード時 : IVCMP0 > コンパレータ0リファレンス電圧 ウィンドウモード時 : 低電圧側リファレンス < IVCMP0 < 高電圧側リファレンス							
COVRF	コンパレータ0リファレンス電圧選択注2,5,6,7							
0	コンパレータ0リファレンス電圧はIVREF0入力							
1	コンパレータ0リファレンス電圧は内部基準電圧(1.45 V)							
COWDE	コンパレータ0ウィンドウモード選択注3							
0	コンパレータ0基本モード							
1	コンパレータ0ウィンドウモード							
COENB	コンパレータ0動作許可							
0	コンパレータ0動作禁止							
1	コンパレータ0動作許可							

注1. このビットに書き込まれた値は無視されます。

注2. 基本モード選択時のみ有効です。ウィンドウモードでは、本ビットの設定に関わらずコンパレータ内のリファレンス電圧が選択されます。

注3. 低速モード選択時(COMPOCRレジスタのSPDMDビットが0)はウィンドウモードにできません。

注4. リセット解除直後は初期値"0"ですが、一度コンパレータを動作許可にした後にCOENB = 0の設定にすると値は不定となります。

注5. HS (高速メイン)モードの時に内部基準電圧(1.45 V)が選択可能です。また、HS (高速メイン)モードの時内部基準電圧(1.45 V)を選択している場合は、A/Dコンバータで、温度センサ出力電圧をA/D変換することはできません。

注6. STOPモード時は内部基準電圧を選択しないでください。

注7. CPUクロックにサブシステム・クロック (fSUB)を選択し、高速システムクロック (fMX)と高速オンチップ・オシレータ・クロック (fHOCO)が共に停止している場合は、内部基準電圧を選択しないでください。

16.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)

図16-4 コンパレータフィルタ制御レジスタ (COMPFIR)のフォーマット

アドレス : F0341H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	0	0	0	0	C0EDG	C0EPO	C0FCK1	C0FCK0
C0EDG	コンパレータ0エッジ検出選択 ^注							
0	コンパレータ0片エッジ検出での割り込み要求							
1	コンパレータ0両エッジ検出での割り込み要求							
C0EPO	コンパレータ0エッジ極性切り替え ^注							
0	コンパレータ0立ち上がりエッジで割り込み要求							
1	コンパレータ0立ち下がりエッジで割り込み要求							
C0FCK1	C0FCK0	コンパレータ0フィルタ選択 ^注						
0	0	コンパレータ0フィルタなし						
0	1	コンパレータ0フィルタあり, fCLKでサンプリング						
1	0	コンパレータ0フィルタあり, fCLK/8でサンプリング						
1	1	コンパレータ0フィルタあり, fCLK/32でサンプリング						

注 C0FCK1 - C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR21レジスタを0 (コンパレータ0出力をリンクさせない) にしてから変更してください。また、割り込み要求フラグ・レジスタ2L (IF2L) のビット6 (CMPIF0) をクリア(0)してください。

また、C0FCK1 - C0FCK0ビットを00B (コンパレータ0フィルタなし) から00B以外 (コンパレータ0フィルタあり) に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ0割り込み要求やELCへのイベント信号を使用してください。

16.3.4 コンパレータ出力制御レジスタ (COMPOCR)

図 16 - 5 コンパレータ出力制御レジスタ (COMPOCR)のフォーマット

アドレス : F0342H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	0	0	0	0	C0OP	C0OE	C0IE
SPDMD	コンパレータ速度選択 ^{注1}							
0	コンパレータ低速モード							
1	コンパレータ高速モード							
C0OP	VCOUT0出力極性選択							
0	コンパレータ0出力をVCOUT0へ出力							
1	コンパレータ0出力の反転をVCOUT0へ出力							
C0OE	VCOUT0端子出力許可							
0	コンパレータ0のVCOUT0端子出力禁止							
1	コンパレータ0のVCOUT0端子出力許可							
C0IE	コンパレータ0割り込み要求許可 ^{注2}							
0	コンパレータ0割り込み要求禁止							
1	コンパレータ0割り込み要求許可							

注1. SPDMDビットを書き換える場合は、必ずCOMPMDRレジスタのCiENBビット(i = 0)を0にしてから書き換えてください。

注2. C0IEを0(割り込み要求禁止)から1(割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ2L(IF2L)のビット6(CMPIF0)が1(割り込み要求あり)になることがありますので、割り込み要求フラグ・レジスタ2L(IF2L)のビット6(CMPIF0)をクリア(0)してから割り込みを使用してください。

16.3.5 ポート・モード・コントロール・レジスタ4 (PMC4)

P43-P44のデジタル入出力/アナログ入出力を1ビット単位で設定するレジスタです。

PMC4レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-6 ポート・モード・コントロール・レジスタ4 (PMC4)のフォーマット

アドレス : F0064H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC4	0	0	0	PMC44	PMC43	0	0	0
PMC4n	P4n端子のデジタル入出力/アナログ入出力の選択(n = 3-4)							
0	デジタル入出力(アナログ入出力以外の兼用機能)							
1	アナログ入出力							

16.3.6 ポート・モード・レジスタ 3, 4 (PM3, PM4)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

VCOU0/P35, VCOU0/P42 端子をコンパレータ出力機能として使用するとき、PM35, PM42 ビットおよび P35, P42 の出力ラッチに0を設定してください。

IVCMP0/P43, IVREF0/P44 端子をアナログ入力ポートとして使用するとき、PM43, PM44 ビットにそれぞれ1を設定してください。このときP43, P44 の出力ラッチは、0または1のどちらでもかまいません。

PM43, PM44 ビットにそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM3, PM4 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。

図16-7 ポート・モード・レジスタ 3, 4 (PM3, PM4) のフォーマット

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30
PM3n	P3n 端子の入出力モードの選択 (n = 0-7)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

アドレス : FFF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	0	0	0	PM44	PM43	PM42	PM41	PM40
PM4n	P4n 端子の入出力モードの選択 (n = 0-4)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

16.4 動作説明

表 16 - 3にコンパレータ関連レジスタの設定手順を示します。

表 16 - 3 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値		
1	PER1	CMPEN	1 (入カロック供給)		
2	PMC4	PMC4n	IVCMPi, IVREFi端子の機能選択		
	PM4	PM4n	PMC4nビットに1 (アナログ入力) PM4nビットに1 (入力モード) 「16.3.5 ポート・モード・コントロール・レジスタ4 (PMC4)」, 「16.3.6 ポート・モード・レジスタ3, 4 (PM3, PM4)」参照		
3	COMPOCR	SPDMD	コンパレータ応答速度の選択 (0 : 低速モード/1 : 高速モード)		
4	COMPMDR	CIWDE	0 (基本モード)		
		CIVRF	0 (リファレンス = IVREFi 入力)	1 (リファレンス = 内部基準 電圧(1.45 V)) ^{注3}	1 (ウィンドウモード) ^{注1} ウィンドウコンパレータ 動作(リファレンス = VTW+/VTW-)
		CIENB	1 (動作許可)		
5	コンパレータ安定時間(最大100μs)待ち				
6	COMPFIR	CI FCK1 - CI FCK0	デジタルフィルタ使用する/しない, サンプリングクロック選択		
		CI EOP, CI EDG	割り込み要求のためのエッジ検出条件選択(立ち上がり/立ち下がり/両エッジ)		
7	COMPOCR	CIOP, CI OE	VCOUTi出力の設定(極性選択, 出力許可/禁止を設定) 16.4.4 コンパレータi出力(i = 0)		
		CI iE	割り込み要求出力の許可/禁止を設定 16.4.4 コンパレータi出力(i = 0)		
8	PR2L ^{注4}	CMPPR0i, CMPPR1i	割り込みを使用する場合: 割り込み優先レベル選択		
9	MK2L ^{注4}	CMPMKi	割り込みを使用する場合: 割り込みマスク選択		
10	IF2L ^{注4}	CMPIFi	割り込みを使用する場合: 0 (割り込み要求なし: 初期化) ^{注2}		

注1. 高速モード(SPDMD = 1)の場合のみ設定可能

注2. コンパレータの設定後, 安定動作するまでに不要な割り込みが発生することがありますので, 割り込みフラグを初期化してください。

注3. HS (高速メイン)モードの時に設定可能です。

注4. PR2L, MK2L, IF2Lはコンパレータiの割り込み制御レジスタ

備考 i = 0, n = 3-4

図16-8と図16-9にコンパレータ*i* (*i* = 0)の動作例を示します。基本モード時は、リファレンス入力よりアナログ入力の電圧が高い場合にCOMPMDRレジスタのCiMONビットが1になり、リファレンス入力よりアナログ入力の電圧が低い場合にCiMONビットが0になります。

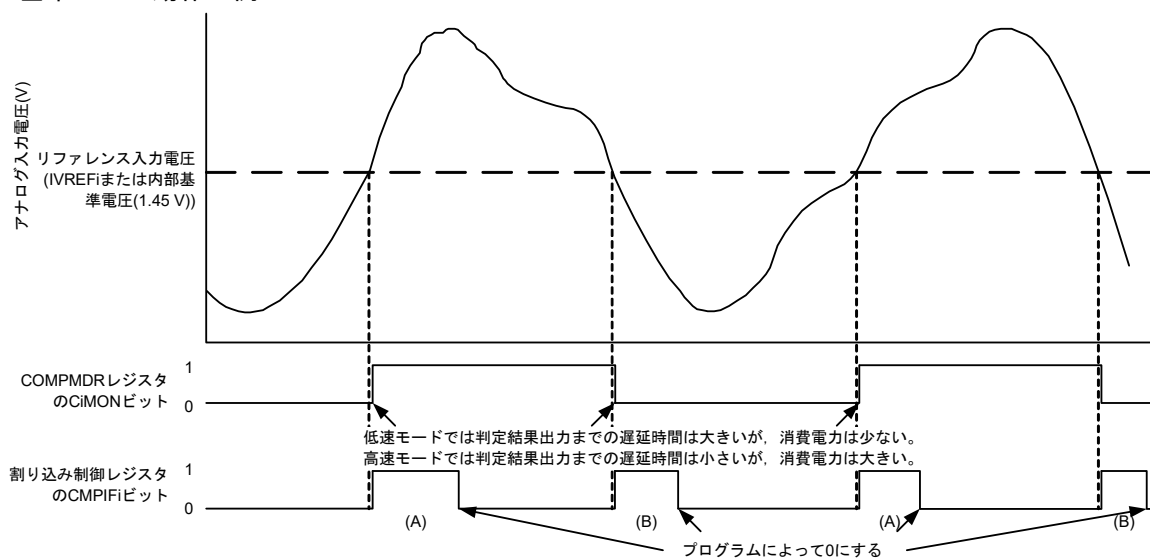
ウィンドウモード時は、アナログ入力の電圧が、次の条件を満たす場合に、COMPMDRレジスタのCiMONビットが1になり、アナログ入力の電圧がこの条件を満たさない場合はCiMONビットが0になります。

“低電圧側リファレンス電圧 < アナログ入力の電圧 < 高電圧側リファレンス電圧”

コンパレータ*i*割り込みを使用する場合は、COMPOCRレジスタのCiIEを1(割り込み要求出力許可)にしてください。このとき比較結果が変化すれば、コンパレータ*i*割り込み要求が発生します。割り込み要求の詳細については「16.4.2 コンパレータ*i*割り込み(*i* = 0)」を参照してください。

図16-8 コンパレータ*i* (*i* = 0)の動作例(基本モード)

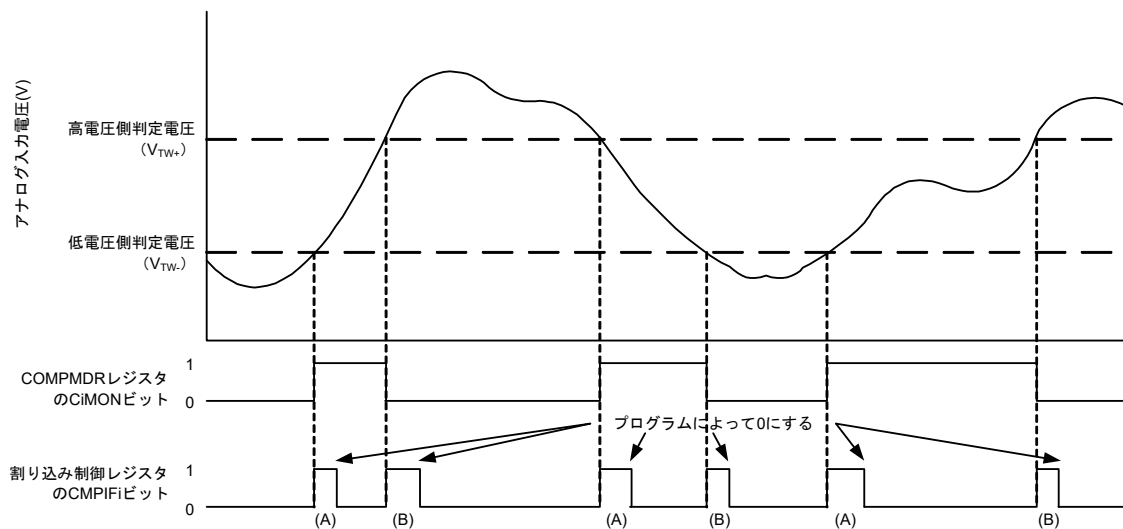
・基本モード動作の例



注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし), CiEDG = 1 (両エッジ)の場合です(CiEDG = 0, CiEOP = 0 (立ち上がりエッジ)のときのCMPIFiは(A)の変化のみ, CiEDG = 0, CiEOP = 1 (立ち下がりエッジ)のときのCMPIFiは(B)の変化のみとなります)。

図16-9 コンパレータi (i = 0)の動作例(ウィンドウモード)

・ウィンドウモード動作の例

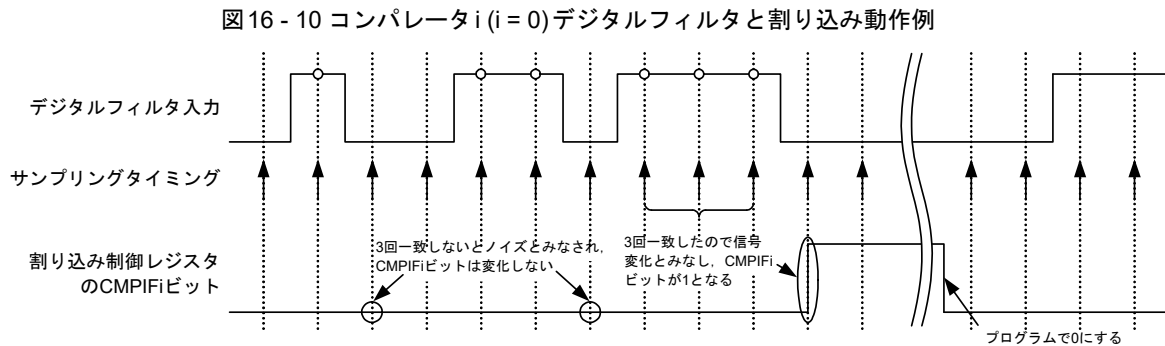


注意 上図は、COMPfIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし)、CiEDG = 1 (両エッジ)の場合です(CiEDG = 0, CiEOP = 0 (立ち上がりエッジ)のときのCMPiFiは(A)の変化のみ、CiEDG = 0, CiEOP = 1 (立ち下がりエッジ)のときのCMPiFiは(B)の変化のみとなります)。

16.4.1 コンパレータ*i*デジタルフィルタ ($i = 0$)

コンパレータ*i*は、デジタルフィルタを内蔵しています。サンプリングクロックはCOMPFIRレジスタのCiFCK1 - CiFCK0ビットで選択できます。サンプリングクロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3度一致した次のサンプリングクロックで、デジタルフィルタ出力がその値になります。

図16-10にコンパレータ*i* ($i = 0$)デジタルフィルタと割り込み動作例を示します。



注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0ビットが、01B、10B、11Bのいずれか(デジタルフィルタあり)の場合の動作例です。

16.4.2 コンパレータ*i*割り込み ($i = 0$)

コンパレータは1つの割り込み要求を発生します。コンパレータ*i*割り込みは、それぞれ1つずつの優先順位指定フラグ、割り込みマスクフラグ、割り込み要求フラグ、割り込みベクタを持ちます。

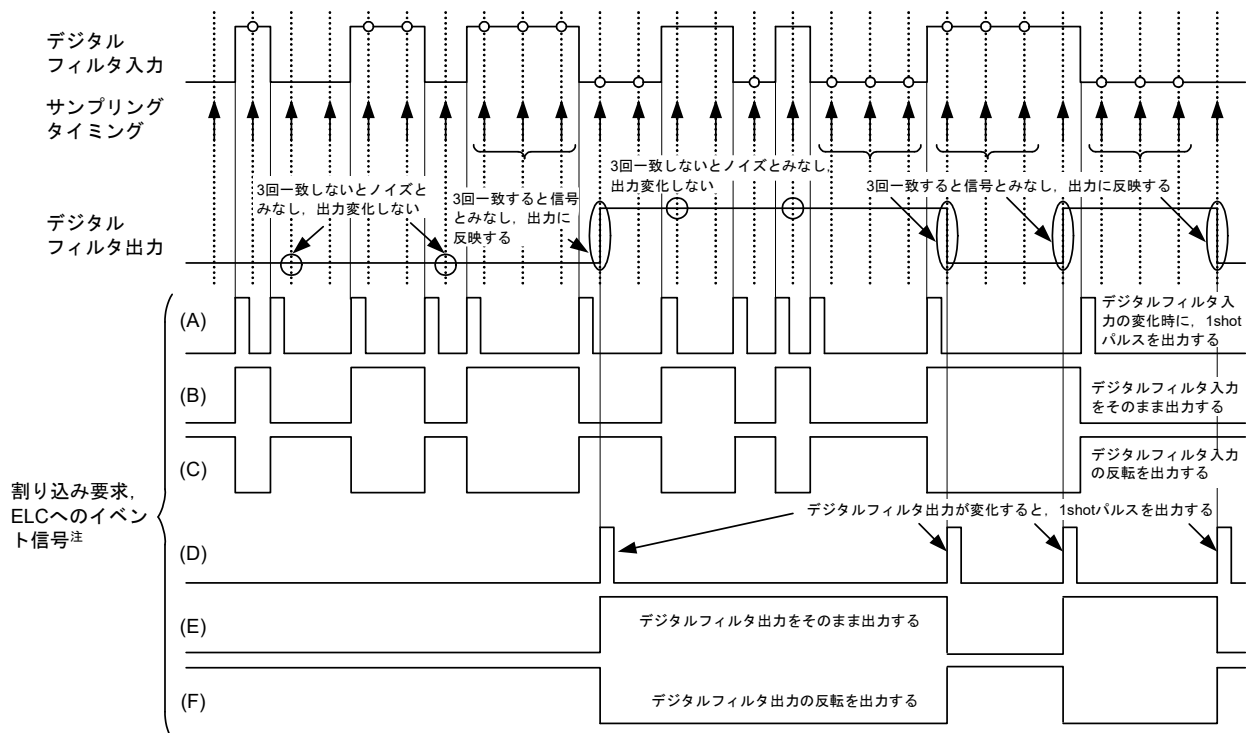
コンパレータ*i*割り込みを使用するときは、COMPOCRレジスタのCiIEビットを1(割り込み要求出力許可)にしてください。割り込み要求を発生する条件は、COMPFIRレジスタにより設定します。また、コンパレータ出力にはデジタルフィルタを付けることが可能です。デジタルフィルタは、3種類のサンプリングクロックを選択可能です。

レジスタ設定と割り込み要求発生に対応については、「16.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)」および「16.3.4 コンパレータ出力制御レジスタ (COMPOCR)」を参照してください。

16.4.3 イベントリンクコントローラ(ELC)へのイベント信号出力

ELCへのイベント信号は、割り込み要求の発生条件と同じくCOMPFIRレジスタで設定したデジタルフィルタ出力のエッジ検出により発生します。ただし、割り込み要求と異なり、COMPOCRレジスタのCiIEビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は、ELCのELSELR21レジスタで設定してください。

図16-11 デジタルフィルタと割り込み要求・ELCへのイベント信号出力動作



注 CiIEビット($i=0$)が1の場合は、割り込み要求とELCへのイベント信号は同じ波形になります。

CiIEビット($i=0$)が0の場合は、割り込み要求のみ0固定になります。

(A), (B), (C)の波形はCOMPFIRレジスタのCiFCKビット($i=0$)が"00B" (デジタルフィルタなし)の場合、(D), (E), (F)の波形はCOMPFIRレジスタのCiFCKビット($i=0$)が"01B", "10B", "11B"のいずれか (デジタルフィルタあり)の場合の動作例です。(A), (D)はCiEDGビットを"1" (両エッジ)に設定した場合、(B), (E)はCiEDGビット=0, CiEPOビット=0 (立ち上がりエッジ)の場合、(C), (F)はCiEDGビット=0, CiEPOビット=1 (立ち下がりエッジ)の場合です。

16.4.4 コンパレータ*i*出力($i = 0$)

コンパレータの比較結果を外部端子へ出力することができます。COMPOCRレジスタのCiOP, CiOEビットにより出力極性(そのまま出力/反転出力)や出力許可/禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、「16.3.4 コンパレータ出力制御レジスタ(COMPOCR)」を参照してください。

VCOUT_i出力端子へコンパレータ比較結果を出力する場合は、以下の手順に従ってポート設定してください(リセット後、ポートは入力設定になっています)。

- ①コンパレータのモード設定をする(表 16-3 コンパレータ関連レジスタの設定手順の順番1~4)。
- ②コンパレータのVCOUT_i出力を設定する(COMPOCRレジスタを設定し、極性選択、出力許可にする)。
- ③VCOUT_i出力端子に対応するポートレジスタのビットを0にする。
- ④VCOUT_i出力端子に対応するポート・モードレジスタを出力に設定する(端子から出力開始)。

16.4.5 コンパレータクロック停止/供給

周辺イネーブル・レジスタ1(PER1)の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ①COMPMDRレジスタのCiENBビットを0にする(コンパレータを停止する)。
- ②IF2LレジスタのCMPiFiビットを0にする(コンパレータ停止前の不要な割り込みをクリア)。
- ③PER1レジスタのCMPENビットを0にする。

PER1の設定によりクロック停止するとコンパレータ内部のレジスタはすべて初期化されますので、コンパレータを再度使用する場合は、表 16-3の手順に従ってレジスタ設定してください。

- 注意1. コンパレータモード設定レジスタ (COMPMDR) のコンパレータ n リファレンス電圧選択ビット (CnVRF)を“1”(コンパレータ n リファレンス電圧は内部基準電圧(1.45 V))にしている場合は、A/Dコンバータで、温度センサ出力電圧をA/D変換することはできません。($n = 0$)
- 注意2. コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0) かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CnEPO = 0) かつ $IVCMP > IVREF$ (または内部基準電圧 1.45 V) の状態または、コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定 (CnEPO = 1)、 $IVCMP < IVREF$ (または内部基準電圧 1.45 V) の状態で、DTC 起動許可した場合、DTC 転送を開始します。($n = 0$)
- 注意3. コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG=0) かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CnEPO=0)、 $IVCMP > IVREF$ (または内部基準電圧 1.45V) の状態、または、コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG=0) かつコンパレータ立ち下がりエッジで割り込み要求に設定 (CnEPO=1)、 $IVCMP < IVREF$ (または内部基準電圧 1.45V) の状態で、ELC 起動許可する場合、ELC リンク先の周辺機能動作開始します。
- 注意4. コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG=0) かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CnEPO=0)、 $IVCMP > IVREF$ (または内部基準電圧 1.45V) の状態、ま

たは、コンパレータを片エッジ検出での割り込み要求に設定(CnEDG=0)かつコンパレータ立ち下がリエッジで割り込み要求に設定(CnEPO=1)、IVCMP < IVREF(または内部基準電圧 1.45V)の状態、コンパレータの割り込み許可する場合、コンパレータの割り込みが発生します。

第17章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャンネルを持ちます。各チャンネルは簡易SPI (CSI注)、UART、簡易I²Cの通信機能を実現できます。

RL78/L1Aで対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

○80ピン, 100ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	CSI30	UART3	IIC30
	3	—		—

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やIIC00を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

注意 この章では、以降の主な説明を100ピン製品のユニット、チャンネル構成で説明しています。

17.1 シリアル・アレイ・ユニットの機能

RL78/L1Aで対応している各シリアル・インタフェースの特徴を示します。

17.1.1 簡易SPI (CSI00, CSI10, CSI20, CSI30)

マスタから出力されるシリアル・クロック (SCK)に同期してデータの送信／受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は, 17.5 簡易SPI (CSI00, CSI10, CSI20, CSI30)通信の動作を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出カクロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート^注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)

Max. fCLK/4

スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また, CSI00, CSI20は, SNOOZEモードに対応しています。SNOOZEモードとは, STOPモード状態でSCK入力を検出すると, CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している, CSI00, CSI20のみ設定可能です。

CSI00はスレーブ選択機能に対応しています。

注 SCKサイクル・タイム(tKCY)の特性を満たす範囲内で使用してください。詳細は, 第35章 電気的特性を参照してください。

17.1.2 UART (UART0-UART3)

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ポー・レートを使用して)データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

具体的な設定例は、17.7 UART (UART0-UART3)通信の動作を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSBファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART0, UART2受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0, UART2のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|---|---|---|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド(BF)検出 • シンク・フィールド測定、ポー・レート算出 | } | <p>外部割り込み(INTP0),
タイマ・アレイ・ユニットを使用</p> |
|---|---|---|

注 9ビット・データ長は、UART0, UART2のみ対応しています。

17.1.3 簡易 I²C (IIC00, IIC10, IIC20, IIC30)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「17.9 簡易 I²C (IIC00, IIC10, IIC20, IIC30) 通信の動作」を参照して下さい。

[データ送受信]

- マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能^注, ACK 検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACK エラー, オーバラン・エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn ビット (シリアル出力許可レジスタ m (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、17.9.3 (2) 処理フローを参照してください。

備考1. フル機能の I²C バスをご使用の場合は、第18章 シリアル・インタフェース IICA を参照してください。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10, 12

17.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 17-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット ^{注1}
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位8ビットまたは9ビット ^{注1, 2}
シリアル・クロック入出力	SCK00, SCK10, SCK20, SCK30 端子 (簡易 SPI 用), SCL00, SCL10, SCL20, SCL30 端子 (簡易 I ² C 用)
シリアル・データ入力	SI00, SI10, SI20, SI30 端子 (簡易 SPI 用), RxD1-RxD3 端子 (UART 用), RxD0 (LIN-bus 対応 UART 用)
シリアル・データ出力	SO00, SO10, SO20, SO30 端子 (簡易 SPI 用), TxD1-TxD3 端子 (UART 用), TxD0 (LIN-bus 対応 UART 用)
シリアル・データ入出力	SDA00, SDA10, SDA20, SDA30 端子 (簡易 I ² C 用)
スレーブ選択入力	SS \overline I00 端子 (スレーブセレクト入力機能用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ 0 (PER0) ・シリアル・クロック選択レジスタ m (SPSm) ・シリアル・チャンネル許可ステータス・レジスタ m (SEm) ・シリアル・チャンネル開始レジスタ m (SSm) ・シリアル・チャンネル停止レジスタ m (STm) ・シリアル出力許可レジスタ m (SOEm) ・シリアル出力レジスタ m (SOM) ・シリアル出力レベル・レジスタ m (SOLm) ・シリアル・スタンバイ・コントロール・レジスタ m (SSCm) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタ mn (SDRmn) ・シリアル・モード・レジスタ mn (SMRmn) ・シリアル通信動作設定レジスタ mn (SCRmn) ・シリアル・ステータス・レジスタ mn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) <ul style="list-style-type: none"> ・ポート入力モード・レジスタ 0,1,3,4,8 (PIM0,PIM1,PIM3,PIM4,PIM8) ・ポート出力モード・レジスタ 0,1,3,4,8 (POM0,POM1,POM3,POM4,POM8) ・ポート・モード・レジスタ 0,1,3,4,8 (PM0,PM1,PM3,PM4,PM8) ・ポート・レジスタ 0,1,3,4,8 (P0,P1,P3,P4,P8)

(注. 備考は次ページにあります。)

- 注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- ・ mn = 00, 01, 10, 11の場合：下位9ビット
 - ・ 上記以外の場合：下位8ビット
- 注2. シリアル・データ・レジスタ mn (SDRmn)の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。
- ・ CSIp通信時 SIOp (CSIpデータ・レジスタ)
 - ・ UARTq受信時 RXDq (UARTq受信データ・レジスタ)
 - ・ UARTq送信時 TXDq (UARTq送信データ・レジスタ)
 - ・ IICr通信時 SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20, 30)
q : UART番号 (q = 0-3) r : IIC番号 (r = 00, 10, 20, 30)

図17-1にシリアル・アレイ・ユニット0のブロック図を示します。

図17-1 シリアル・アレイ・ユニット0のブロック図

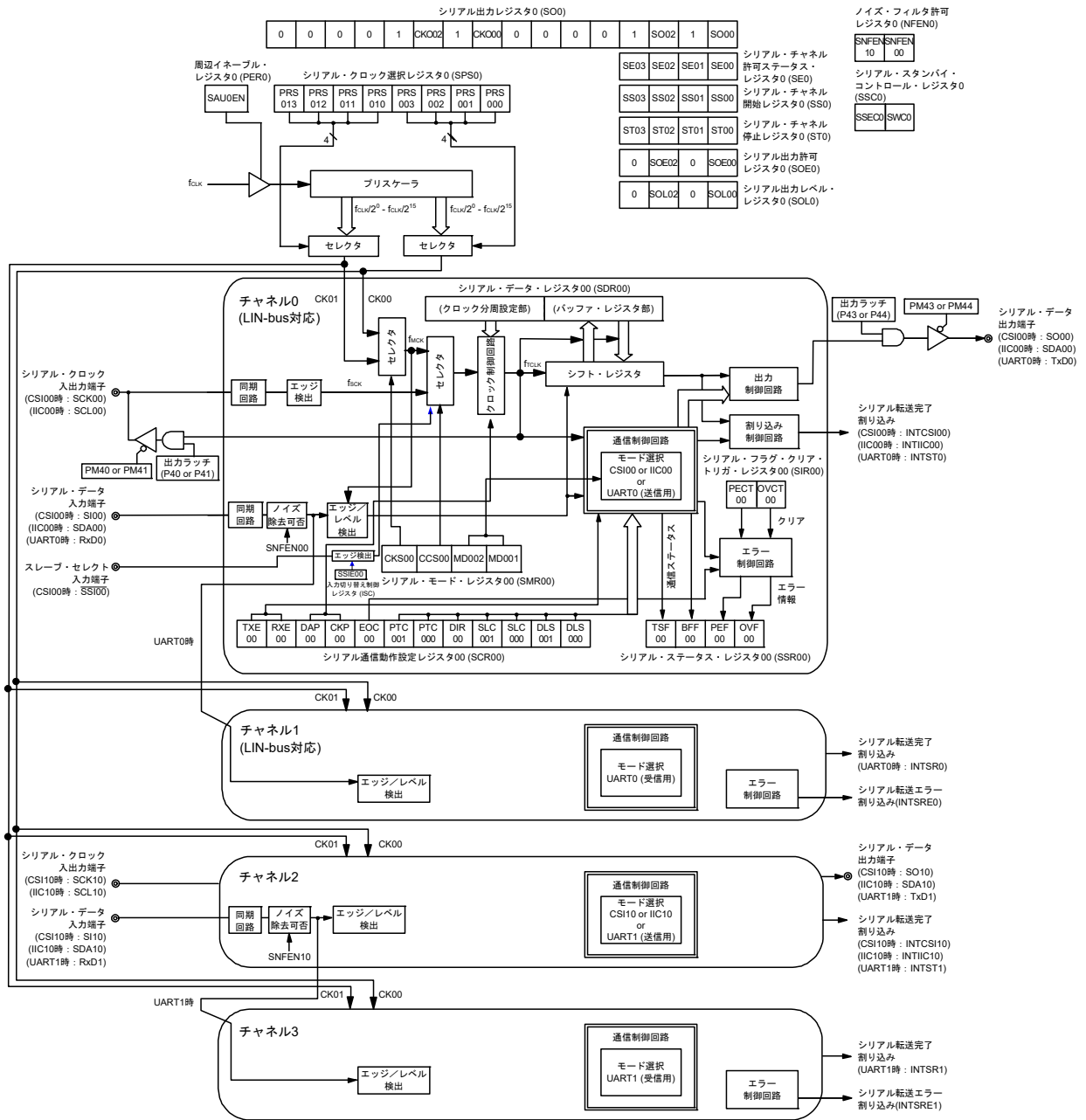
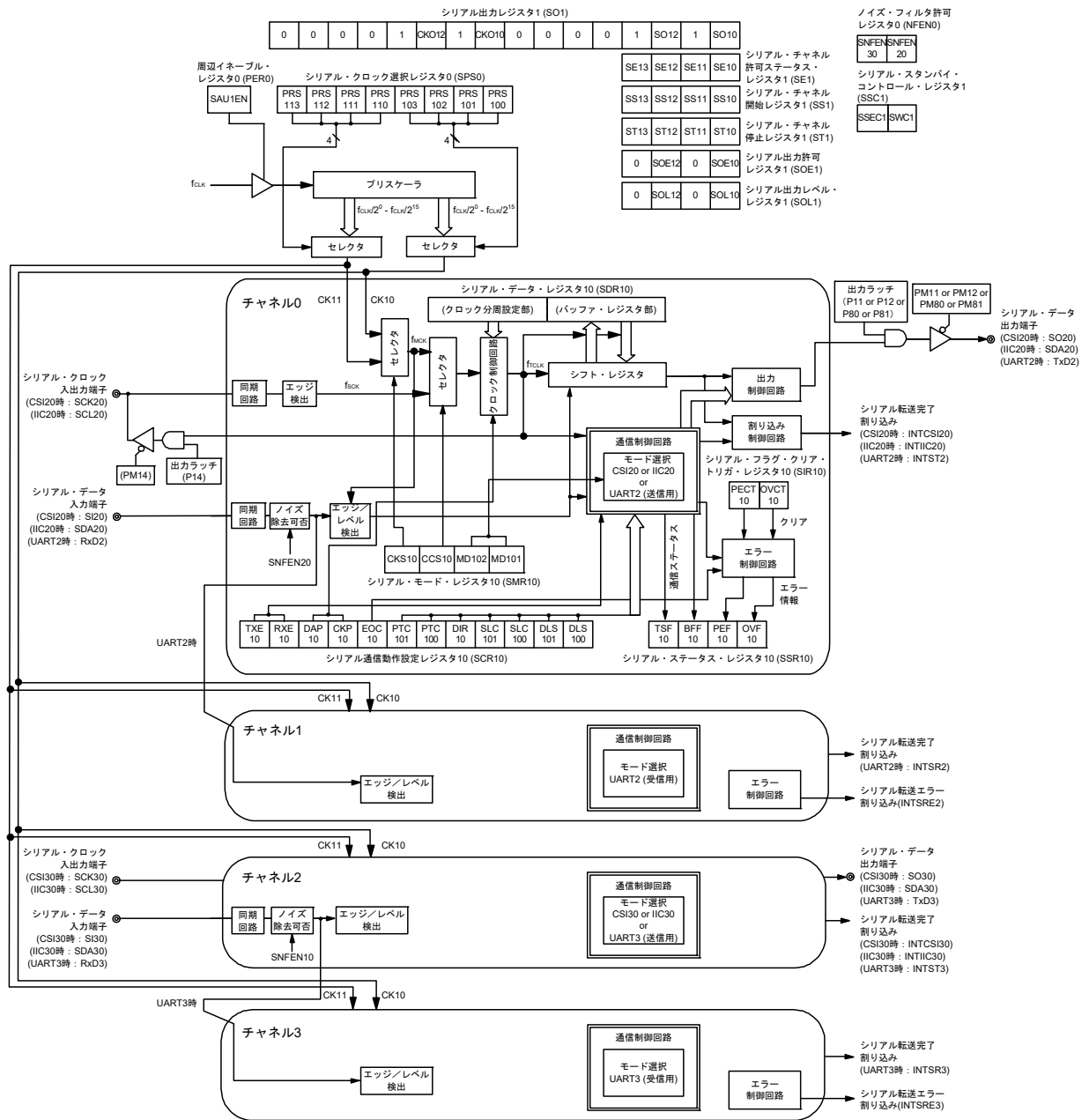


図 17-2 にシリアル・アレイ・ユニット1のブロック図(100ピン製品)を示します。

図 17-2 シリアル・アレイ・ユニット1のブロック図(100ピン製品)



17.2.1 シフト・レジスタ

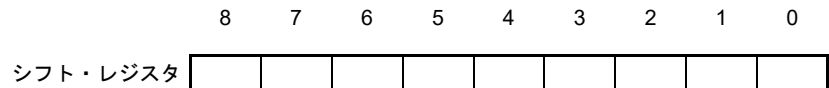
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット(ビット0~8)を使用します^{注1}。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn (SDRmn)の下位8/9ビットを使用します。



17.2.2 シリアル・データ・レジスタmn (SDRmn)の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

ビット8-0(下位9ビット)^{注1}、またはビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック(fmck)の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタmn (SCRmn)のビット0, 1 (DLSmn0, DLSmn1)の設定によって、次のようになります。

- 7ビット・データ長(SDRmnレジスタのビット0-6に格納)
- 8ビット・データ長(SDRmnレジスタのビット0-7に格納)
- 9ビット・データ長(SDRmnレジスタのビット0-8に格納)^{注1}

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^{注2}です。

- CSIp通信時SIOp (CSIpデータ・レジスタ)
- UARTq受信時RXDq (UARTq受信データ・レジスタ)
- UARTq送信時TXDq (UARTq送信データ・レジスタ)
- IICr通信時SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmnレジスタは0000Hになります。

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. ただし動作停止(SEmn = 0)時は、8ビット単位のライト禁止。

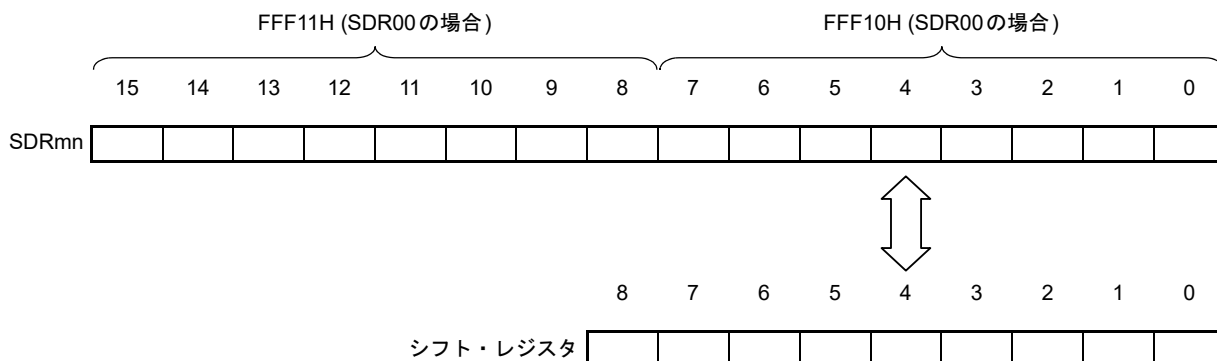
備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 10, 20, 30)

q : UART番号(q = 0-3) r : IIC番号(r = 00, 10, 20, 30)

図17-3 シリアル・データ・レジスタ mn (SDRmn) (mn = 00, 01, 10, 11)のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)



備考 SDRmnレジスタの上位7ビットの機能については、17.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図17-4 シリアル・データ・レジスタ mn (SDRmn) (mn = 02, 03, 12, 13)のフォーマット

アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03), リセット時 : 0000H R/W
 FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、17.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

17.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャンネル開始レジスタ m (SSm)
- シリアル・チャンネル停止レジスタ m (STm)
- シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOm)
- シリアル・スタンバイ・コントロール・レジスタ m (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート入力モード・レジスタ 0, 1, 3, 4, 8 (PIM0, PIM1, PIM3, PIM4, PIM8)
- ポート出力モード・レジスタ 0, 1, 3, 4, 8 (POM0, POM1, POM3, POM4, POM8)
- ポート・モード・レジスタ 0, 1, 3, 4, 8 (PM0, PM1, PM3, PM4, PM8)
- ポート・レジスタ 0, 1, 3, 4, 8 (P0, P1, P3, P4, P8)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

17.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN)に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN)に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0 レジスタは00Hになります。

図 17-5 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入カクロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態に、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタは初期値となり、書き込みは無視されます(入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ 0 (NFEN0)、ポート入力モード・レジスタ 0, 1, 3, 4, 8 (PIM0, PIM1, PIM3, PIM4, PIM8)、ポート出力モード・レジスタ 0, 1, 3, 4, 8 (POM0, POM1, POM3, POM4, POM8)、ポート・モード・レジスタ 0, 1, 3, 4, 8 (PM0, PM1, PM3, PM4, PM8)、ポート・レジスタ 0, 1, 3, 4, 8 (P0, P1, P3, P4, P8)は除く)。

- ・シリアル・クロック選択レジスタ m (SPSm)
- ・シリアル・モード・レジスタ mn (SMRmn)
- ・シリアル通信動作設定レジスタ mn (SCRmn)
- ・シリアル・データ・レジスタ mn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- ・シリアル・ステータス・レジスタ mn (SSRmn)
- ・シリアル・チャンネル開始レジスタ m (SSm)
- ・シリアル・チャンネル停止レジスタ m (STm)
- ・シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- ・シリアル出力許可レジスタ m (SOEm)
- ・シリアル出力レベル・レジスタ m (SOLm)
- ・シリアル出力レジスタ m (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

注意2. ビット1, 6には必ず“0”を設定してください。

17.3.2 シリアル・クロック選択レジスタ m (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図17-6 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		動作クロック (CKmk) の選択注				
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中に fCLK に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAU の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

備考1. fCLK : CPU / 周辺ハードウェア・クロック周波数

備考2. m : ユニット番号 (m = 0, 1)

備考3. k = 0, 1

17.3.3 シリアル・モード・レジスタ mn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fmCK)の選択、シリアル・クロック (fsck)入力の使用可否、スタート・トリガ設定、動作モード (簡易SPI (CSI), UART, 簡易I²C)設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEmn = 1 のとき)の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図17-7 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10) - F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (fmCK)の選択
0	SPSmレジスタで設定した動作クロック CKm0
1	SPSmレジスタで設定した動作クロック CKm1
動作クロック (fmCK)は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (ftCLK)を生成します。	

CCS mn	チャンネルnの転送クロック (ftCLK)の選択
0	CKSmnビットで指定した動作クロック fmCKの分周クロック
1	SCKp端子からの入力クロック fsck (簡易SPI (CSI)モードのスレーブ転送)
転送クロック ftCLKは、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (fmCK)の分周設定を行います。	

STS mn注	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (簡易SPI (CSI), UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。	

注 SMR01, SMR03, SMR11, SMR13レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20, 30)
 q : UART番号 (q = 0-3) r : IIC番号 (r = 00, 10, 20, 30)

図17-8 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10) - F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0 注	UARTモードでのチャンネルnの受信データのレベル反転の制御															
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。															
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。															

MD mn2	MD mn1	チャンネルnの動作モードの設定														
0	0	簡易SPI (CSI)モード														
0	1	UARTモード														
1	0	簡易I ² Cモード														
1	1	設定禁止														

MD mn0	チャンネルnの割り込み要因の選択															
0	転送完了割り込み															
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)															
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。																

注 SMR01, SMR03, SMR11, SMR13レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 10, 20, 30)
 q : UART番号(q = 0-3) r : IIC番号(r = 00, 10, 20, 30)

17.3.4 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmnレジスタは0087Hになります。

図17-9 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) - F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易SPI (CSI)モードでのデータとクロックの位相選択	タイプ
0	0	SCKp	1
0	1	SCKp	2
1	0	SCKp	3
1	1	SCKp	4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号(INTSREx (x = 0-3))のマスク制御
0	エラー割り込みINTSRExの発生を禁止する (INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時、INTSRxは発生しない)

簡易SPI (CSI)モード、簡易I²Cモード、UART送信時には、EOCmn = 0に設定してください注3。

- 注1. SCR00, SCR02, SCR10, SCR12レジスタのみ。
- 注2. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。
- 注3. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください(SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20, 30)

図 17 - 10 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) - F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI (CSI)モード, 簡易I²Cモード時には, 必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	簡易SPI (CSI), UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易I²Cモード時には, 必ずDIRmn = 0に設定してください。

SLCm n1注1	SLC mn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10, 12のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時, 簡易I²Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1)に設定してください。
 簡易SPI (CSI)モード時には, ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0)に設定してください。
 UART送信時は, 1ビット (SLCmn1, SLCmn0 = 0, 1)又は2ビット (SLCmn1, SLCmn0 = 1, 0)に設定してください。

DLSm n1注2	DLS mn0	簡易SPI (CSI), UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmn レジスタのビット0-8に格納) (UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmn レジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmn レジスタのビット0-7に格納)
その他		設定禁止

簡易I²Cモード時には, 必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

- 注1. SCR00, SCR02, SCR10, SCR12レジスタのみ。
- 注2. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。
- 注3. データの内容にかかわらず必ず0が付加されます。
- 注意 ビット3, 6, 11には, 必ず0を設定してください (SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください。ビット2には, 必ず1を設定してください。
- 備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20, 30)

17.3.5 シリアル・データ・レジスタ mn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

SDR00, SDR01, SDR10, SDR11のビット8-0(下位9ビット), またはSDR02, SDR03, SDR12, SDR13のビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9(上位7ビット)の部分は動作クロック(fMCK)の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9(上位7ビット)で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00, SDR01, SDR10, SDR11のビット15-9(上位7ビット)に“0000000B”を設定してください。SCKp端子からの入力クロック f_{sck} (簡易SPI (CSI)モードのスレーブ転送)が転送クロックとなります。

SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態(SEmn = 0)のときのみ有効です。動作中(SEmn = 1)にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

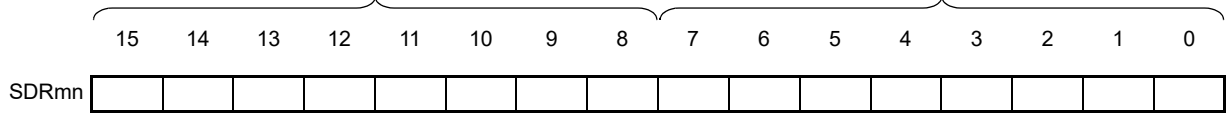
図 17 - 11 シリアル・データ・レジスタ mn (SDRmn)のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W

FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)

FFF11H (SDR00の場合)

FFF10H (SDR00の場合)

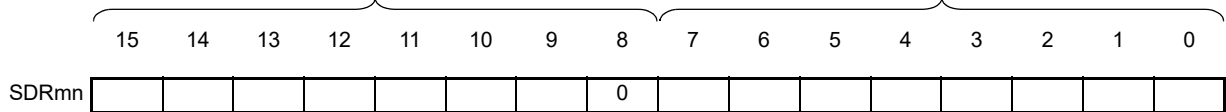


アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03) リセット時 : 0000H R/W

FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)

FFF45H (SDR02の場合)

FFF44H (SDR02の場合)



SDRmn[15:9]							動作クロックの分周による転送クロック設定								
0	0	0	0	0	0	0	f _{MCK} /2								
0	0	0	0	0	0	1	f _{MCK} /4								
0	0	0	0	0	1	0	f _{MCK} /6								
0	0	0	0	0	1	1	f _{MCK} /8								
.								
.								
.								
1	1	1	1	1	1	0	f _{MCK} /254								
1	1	1	1	1	1	1	f _{MCK} /256								

注意 1. SDR02, SDR03, SDR12, SDR13 レジスタのビット 8 は、必ず 0 を設定してください。

注意 2. UART 使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

注意 3. 簡易 I²C 使用時は、SDRmn[15:9] = 0000000B は設定禁止です。SDRmn[15:9] = 0000001B 以上に設定してください。

注意 4. 動作停止 (SEmn = 0) の時は、8 ビット・メモリ操作命令による SDRmn[7:0] の書き換えは禁止です (SDRmn[15:9] がすべてクリア (0) されます)。

備考 1. SDRmn レジスタの下位 8/9 ビットの機能については、17.2 シリアル・アレイ・ユニットの構成を参照してください。

備考 2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

17.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット(FECTmn, PECTmn, OVCTmn)を1にセットすると、シリアル・ステータス・レジスタ mn (SSRmn)の対応ビット (FEFmn, PEFmn, OVFmn)が0にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐSIRmn レジスタもクリアされます。

SIRmn レジスタは、16ビット・メモリ操作命令で設定します。

またSIRmn レジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmn レジスタは0000Hになります。

図17-12 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03), リセット時 : 0000H R/W
 F0148H, F0149H (SIR10) - F014EH, F014FH (SIR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn注	PEC Tmn	OVC Tmn
FEC Tmn 注	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのFEFmnビットを0にクリアする															
PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのPEFmnビットを0にクリアする															
OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmnレジスタのOVFmnビットを0にクリアする															

注 SIR01, SIR03, SIR11, SIR13 レジスタのみ。

注意 ビット15-3 (SIR00, SIR02, SIR10, SIR12 レジスタの場合は、ビット15-2)には、必ず0を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. SIRmn レジスタの読み出し値は常に0000Hとなります。

17.3.7 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図 17 - 13 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット(1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R
 F0140H, F0141H (SSR10) - F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SSRmn	0	0	0	0	0	0	0	0	0	0	TSF mn ^{注1}	BFF mn ^{注1}	0	0	FEF mn ^{注2}	PEF mn	OVF mn

TSF mn ^{注1}	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> STmレジスタのSTmnビットに1を設定時(通信停止状態), もしくはSSmレジスタのSSmnビットに1を設定時(通信待機状態) 通信動作が終了時 	
<セット条件>	
通信動作を開始時	

BFF mn ^{注1}	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき STmレジスタのSTmnビットに1を設定時(通信停止状態), SSmレジスタのSSmnビットに1を設定時(通信許可状態)。 	
<セット条件>	
<ul style="list-style-type: none"> SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信, 送受信モード時)の状態 でSDRmnレジスタに送信データを書き込んだとき SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態 でSDRmnレジスタに受信データが格納されたとき 受信エラー時 	

注1. SSR00, SSR02, SSR10, SSR12レジスタのみ。

注2. SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意 SNOOZEモード(SWCm = 1)で簡易SPI(CSI)の受信動作を行う場合、BFFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

図17-14 シリアル・ステータス・レジスタmn (SSRmn)のフォーマット(2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R
 F0140H, F0141H (SSR10) - F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn注1	BFF mn注1	0	0	FEF mn注2	PEF mn	OVF mn

FEF mn注2	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)
<クリア条件> ・SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ/ACKエラー検出フラグ
0	エラーなし
1	パリティエラー発生(UART受信時), またはACK未検出発生(I ² C送信時)
<クリア条件> ・SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき(パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき(ACK未検出)	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・簡易SPI (CSI)モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注1. SSR00, SSR02, SSR10, SSR12レジスタのみ。

注2. SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー (OVEmn = 1)と検出されます。

注意2. SNOOZEモード(SWCm = 1)で簡易SPI (CSI)の受信動作を行う場合、OVFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

17.3.8 シリアル・チャンネル開始レジスタ m (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(SSmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が1にセット(動作許可状態)されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図17-15 シリアル・チャンネル開始レジスタ m (SSm)のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0 3	SS0 2	SS0 1	SS0 0

アドレス : F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	SS1 3	SS1 2	SS1 1	SS1 0

SSm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する ^注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4, SS1レジスタのビット15-4には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

17.3.9 シリアル・チャンネル停止レジスタ m (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(STmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が0にクリア(動作停止状態)されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図17-16 シリアル・チャンネル停止レジスタ m (STm)のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0 3	ST0 2	ST0 1	ST0 0

アドレス : F0164H, F0165H (ST1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	ST1 3	ST1 2	ST1 1	ST1 0

STm n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意 ST0レジスタのビット15-4、ST1レジスタのビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. STmレジスタの読み出し値は常に0000Hとなります。

17.3.10 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可/停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm)の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ m (STm)の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のCKOmnビット(チャンネルnのシリアル・クロック出力)の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図 17 - 17 シリアル・チャンネル許可ステータス・レジスタ m (SEm)のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

アドレス : F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	SE1 3	SE1 2	SE1 1	SE1 0

SEm n	チャンネルnの動作許可/停止状態の表示														
0	動作停止状態														
1	動作許可状態														

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

17.3.11 シリアル出力許可レジスタ m (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図 17 - 18 シリアル出力許可レジスタ m (SOEm)のフォーマット

アドレス : F012AH, F012BH (SOE0) リセット時 : 0000H RW

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	0	SOE 00

アドレス : F016AH, F016BH (SOE1) リセット時 : 0000H RW

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 12	0	SOE 10

SOE mn	チャンネルnのシリアル出力許可/停止															
0	シリアル通信動作による出力停止															
1	シリアル通信動作による出力許可															

注意 SOEmレジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2)

17.3.12 シリアル出力レジスタ m (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止(SOEmn = 0)時のみ可能です。シリアル出力許可(SOEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止(SEmn = 0)時のみ可能です。チャンネル動作許可(SEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0F0FHになります。

図 17 - 19 シリアル出力レジスタ m (SOm)のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO 02	1	CKO 00	0	0	0	0	1	SO 02	1	SO 00

アドレス : F0168H, F0169H (SO1) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	CKO 12	1	CKO 10	0	0	0	0	1	SO 12	1	SO 10

CKO mn	チャンネルnのシリアル・クロック出力															
0	シリアル・クロック出力値が“0”															
1	シリアル・クロック出力値が“1”															

SO mn	チャンネルnのシリアル・データ出力															
0	シリアル・データ出力値が“0”															
1	シリアル・データ出力値が“1”															

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。また、ビット11, 9, 3, 1には必ず1を設定してください。

SO1レジスタのビット15-12, 7-4には、必ず0を設定してください。また、ビット11, 9, 3, 1には、必ず1を設定してください

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2)

17.3.13 シリアル出力レベル・レジスタ m (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI (CSI)モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可(SOEmn = 1)時のみ端子出力に反映されます。シリアル出力禁止(SOEmn = 0)時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000Hになります。

図17-20 シリアル出力レベル・レジスタ m (SOLm)のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02	0	SOL 00

アドレス : F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 12	0	SOL 10

SOL mn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

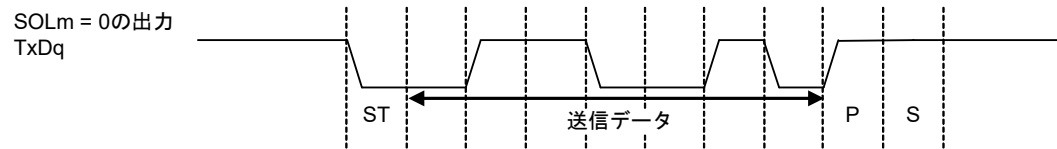
注意 SOLmレジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2)

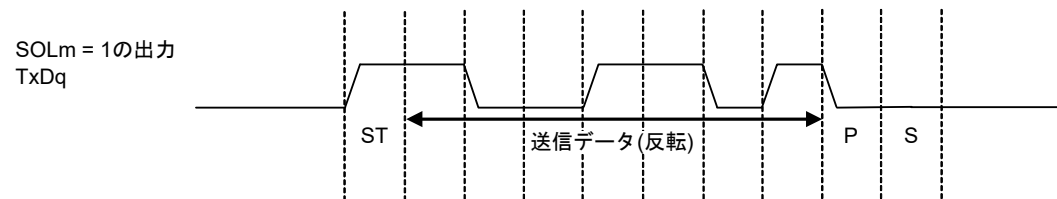
UART送信時、送信データのレベル反転例を図17-21に示します。

図17-21 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)

17.3.14 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

SSC0 レジスタは、CSI00, UART0 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZEモード) を制御するレジスタです。

SSC1 レジスタは、CSI20, UART2 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZEモード) を制御するレジスタです。

SSCm レジスタは、16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは、SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSCmレジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- CSI00, CSI20の場合 : ~1 Mbps
- UART0, UART2の場合 : 4800 bpsのみ

図 17-22 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) のフォーマット

アドレス : F0138H (SSC0), F0178H (SSC1) リセット時 : 0000H RW

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可/停止の選択
0	• エラー割り込み (INTSRE0/INTSRE2) 発生許可。
1	• エラー割り込み (INTSRE0/INTSRE2) 発生停止。

• SNOOZEモード時のUART受信で、SWCm = 1かつEOCmn = 1のときのみ、SSECmビットを1/0に設定することができます。その他の場合は、SSECmビットを0に設定してください。
 • SSECm, SWCm = 1, 0は設定禁止です。

SWCm	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

• STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI (CSI)/UARTの受信動作を行います (SNOOZEモード)。
 • SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
 • SNOOZEモードを使用する場合でも、通常動作モード時はSWCmを0に設定し、STOPモードへ移行する直前にSWCmを1に変更してください。
 またSTOPモードから通常動作モードへ復帰後、必ずSWCmを0に変更してください。

注意 SSECm, SWCm = 1, 0は設定禁止です。

図 17 - 23 SNOOZEモードでUART受信したときの割り込み

EOCmビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

17.3.15 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは, UART0でLIN-bus通信動作を実現するとき, 外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると, シリアル・データ入力(RxD0)端子の入力信号が外部割り込み入力(INTP0)として選択されます。これによって, ウェイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると, シリアル・データ入力(RxD0)端子の入力信号がタイマ入力として選択されます。これによって, ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

SSIE00ビットは, CSI00通信かつスレーブ・モード時にチャンネル0のSSI00端子入力を制御するビットです。SSI00端子にハイ・レベルが入力されている期間は, シリアル・クロックが入力されても送受信動作を行いません。SSI00端子にロウ・レベルが入力されている期間は, シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, ISCレジスタは00Hになります。

図 17 - 24 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0

SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0のSSI00入力の設定
0	SSI00端子入力の無効
1	SSI00端子入力の有効

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする(通常動作)
1	RxD0端子の入力信号をタイマ入力とする(ウェイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。

ISC0	外部割り込み(INTP0)の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする(ウェイクアップ信号検出)

注意 ビット6-2に必ず0を設定してください。

17.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI (CSI), 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK)で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK)で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図17-25 ノイズ・フィルタ許可レジスタ0 (NFEN0)のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD3端子として使用するときは、SNFEN30 = 1に設定してください。	
RxD3以外の機能として使用するときは、SNFEN30 = 0に設定してください。	

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7, 5, 3, 1には、必ず0を設定してください。

17.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ(ポート・モード・レジスタ(PMxx)、ポート・レジスタ(Pxx)、ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx))を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ(PMxx)、4.3.2 ポート・レジスタ(Pxx)、4.3.4 ポート入力モード・レジスタ(PIMxx)、4.3.5 ポート出力モード・レジスタ(POMxx)を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート(P02/SO30/TxD3/(PCLBUZ0)/SEG35など)をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するLCDポート・ファンクション・レジスタ(PFSEGx)のビットおよびポート・モード・レジスタ(PMxx)のビットに0を、ポート・レジスタ(Pxx)のビットに1を設定してください。

なお、N-chオープン・ドレイン出力(V_{DD}耐圧)モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ(POMxx)のビットに1を設定してください。異電位(1.8V系、2.5V系)で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位(1.8V系、2.5V系)対応を参照してください。

例) P02/SO30/TxD3/(PCLBUZ0)/SEG35をシリアル・データ出力として使用する場合

LCDポート・ファンクション・レジスタ4のPFSEG35ビットを0に設定

ポート・モード・レジスタ0のPM02ビットを0に設定

ポート・レジスタ0のP02ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート(P01/SI30/RxD3/SDA30/SEG34など)をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するLCDポート・ファンクション・レジスタ(PFSEGx)のビットおよびポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ(PIMxx)のビットに1を設定してください。異電位(1.8V系、2.5V系)で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位(1.8V系、2.5V系)対応を参照してください。

例) P01/SI30/RxD3/SDA30/SEG34をシリアル・データ入力として使用する場合

LCDポート・ファンクション・レジスタ4のPFSEG34ビットを0に設定

ポート・モード・レジスタ0のPM01ビットを1に設定

ポート・レジスタ0のP01ビットを0または1に設定

17.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
 動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
 また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

17.4.1 ユニット単位で動作停止とする場合

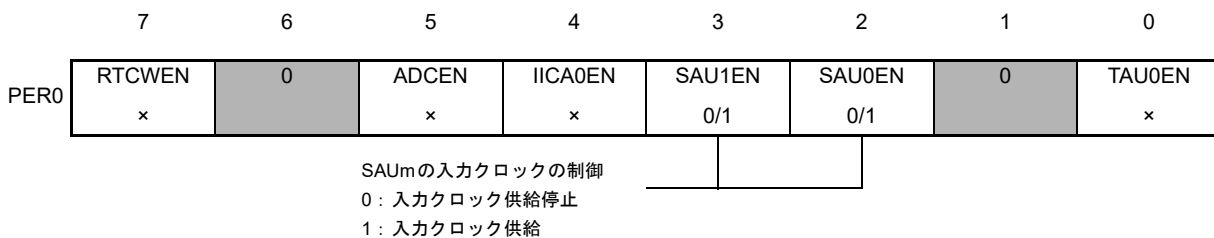
ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0)で行います。

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN)に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN)に0を設定してください。

図17-26 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0)の設定

(a)周辺イネーブル・レジスタ0 (PER0)..... 停止するSAUmのビットのみ0に設定する



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ0, 1, 3, 4, 8 (PIM0, PIM1, PIM3, PIM4, PIM8)
- ポート出力モード・レジスタ0, 1, 3, 4, 8 (POM0, POM1, POM3, POM4, POM8)
- ポート・モード・レジスタ0, 1, 3, 4, 8 (PM0, PM1, PM3, PM4, PM8)
- ポート・レジスタ0, 1, 3, 4, 8 (P0, P1, P3, P4, P8)

注意2. ビット1, 6には必ず“0”にしてください。

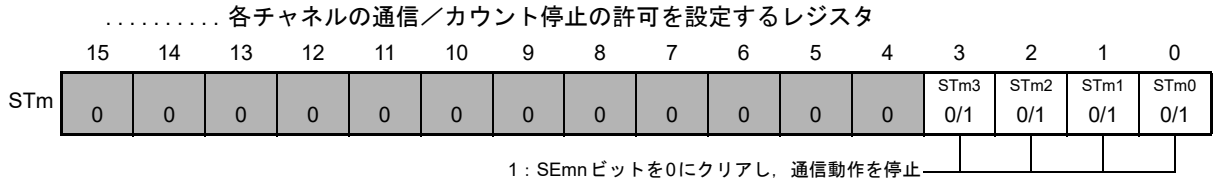
備考 × : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)
 0/1 : ユーザの用途に応じて0または1に設定

17.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

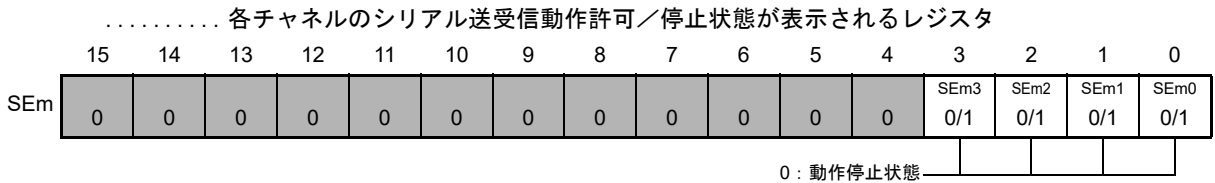
図17-27 チャンネルごとに動作停止とする場合の各レジスタの設定

(a)シリアル・チャンネル停止レジスタ m (STm)



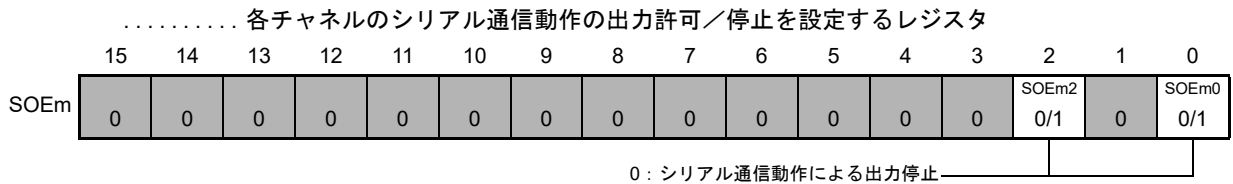
※ STmn ビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmn ビットはクリアされます。

(b)シリアル・チャンネル許可ステータス・レジスタ m (SEm)



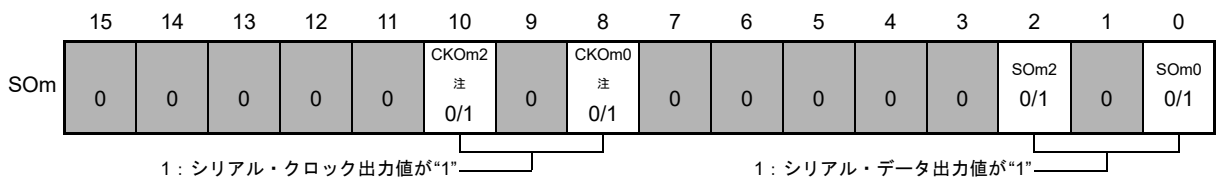
※SEm レジスタはRead Onlyのステータス・レジスタであり、STm レジスタにて動作停止にします。
動作を停止したチャンネルは、SOM レジスタのCKOmn ビットの値をソフトウェアで設定できます。

(c)シリアル出力許可レジスタ m (SOEm)



※ シリアル出力を停止したチャンネルは、SOM レジスタのSOmn ビットの値をソフトウェアで設定できます。

(d)シリアル出力レジスタ m (SOM) 各チャンネルのシリアル出力のバッファ・レジスタ



※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOMn ビットに“1”を設定してください。

注 シリアル・アレイ・ユニット0のみ。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. ■ : 設定不可(初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

17.5 簡易SPI (CSI00, CSI10, CSI20, CSI30)通信の動作

シリアル・クロック(SCK)とシリアル・データ(SI, SO)の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)

Max. fCLK/4

スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また、CSI00, CSI20は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

CSI00はスレーブ選択機能に対応しています。詳細は、17.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作を参照してください。

注 SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は、第35章 電気的特性を参照してください。

簡易SPI (CSI00, CSI10, CSI20, CSI30)に対応しているチャンネルは、SAU0のチャンネル0, 2とSAU1のチャンネル0, 2です。

○80ピン, 100ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	CSI30	UART3	IIC30
	3	—		—

簡易SPI (CSI00, CSI10, CSI20, CSI30)の通信動作は、以下の7種類があります。

- マスタ送信 (17.5.1項を参照)
- マスタ受信 (17.5.2項を参照)
- マスタ送受信 (17.5.3項を参照)
- スレーブ送信 (17.5.4項を参照)
- スレーブ受信 (17.5.5項を参照)
- スレーブ送受信 (17.5.6項を参照)
- SNOOZEモード機能 (17.5.7項を参照)

17.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SO00	SCK10, SO10	SCK20, SO20	SCK30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビット			
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/ (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転			
データ方向	MSBファーストまたはLSBファースト			

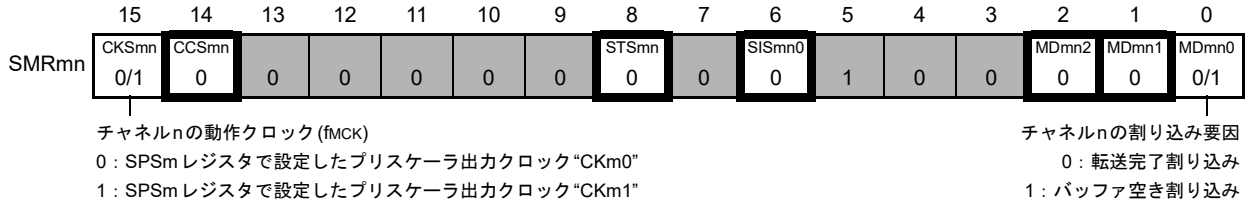
注 この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

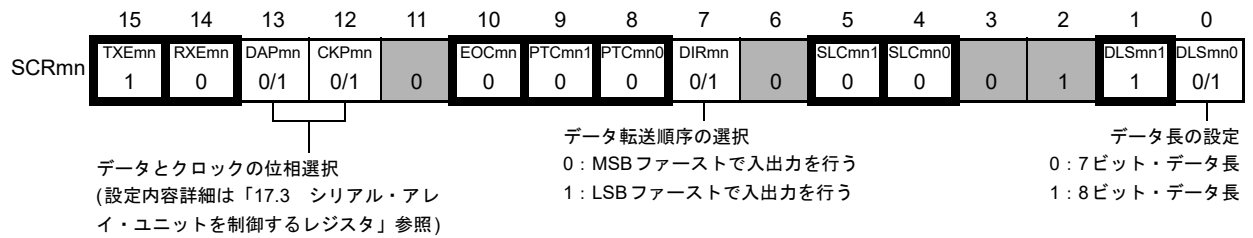
(1) レジスタ設定

図 17 - 28 簡易SPI (CSI00, CSI10, CSI20, CSI30)のマスタ送信時のレジスタ設定内容例

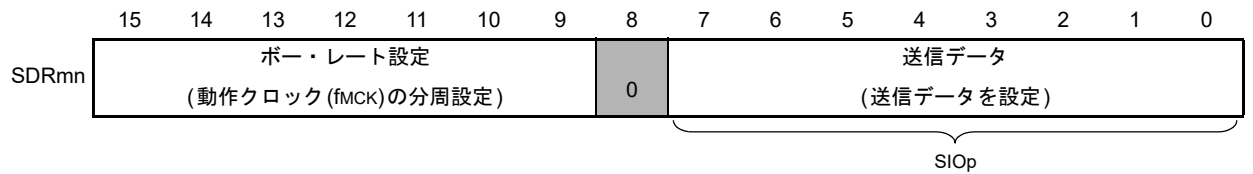
(a)シリアル・モード・レジスタ mn (SMRmn)



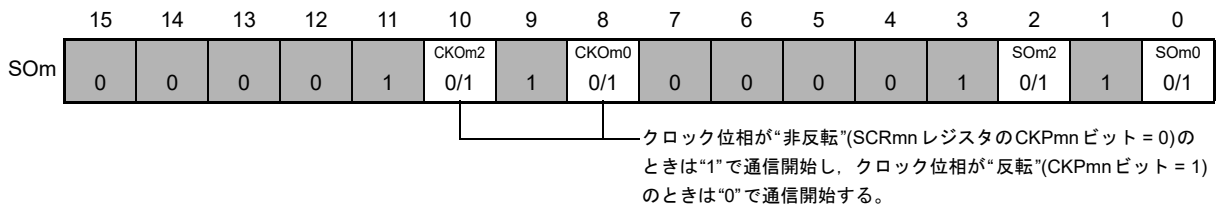
(b)シリアル通信動作設定レジスタ mn (SCRmn)



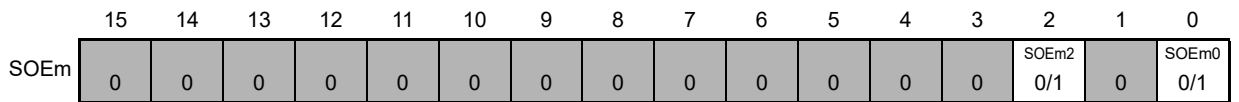
(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



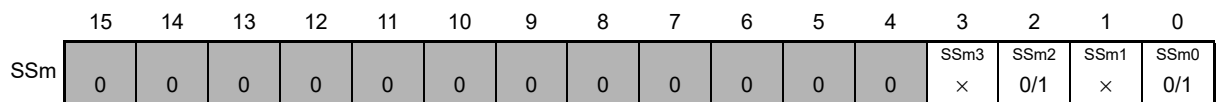
(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e)シリアル出力許可レジスタ m (SOEm)..... 対象チャンネルのビットのみ1に設定する



(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI (CSI)マスタ送信モードでは設定固定 : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 29 マスタ送信の初期設定手順

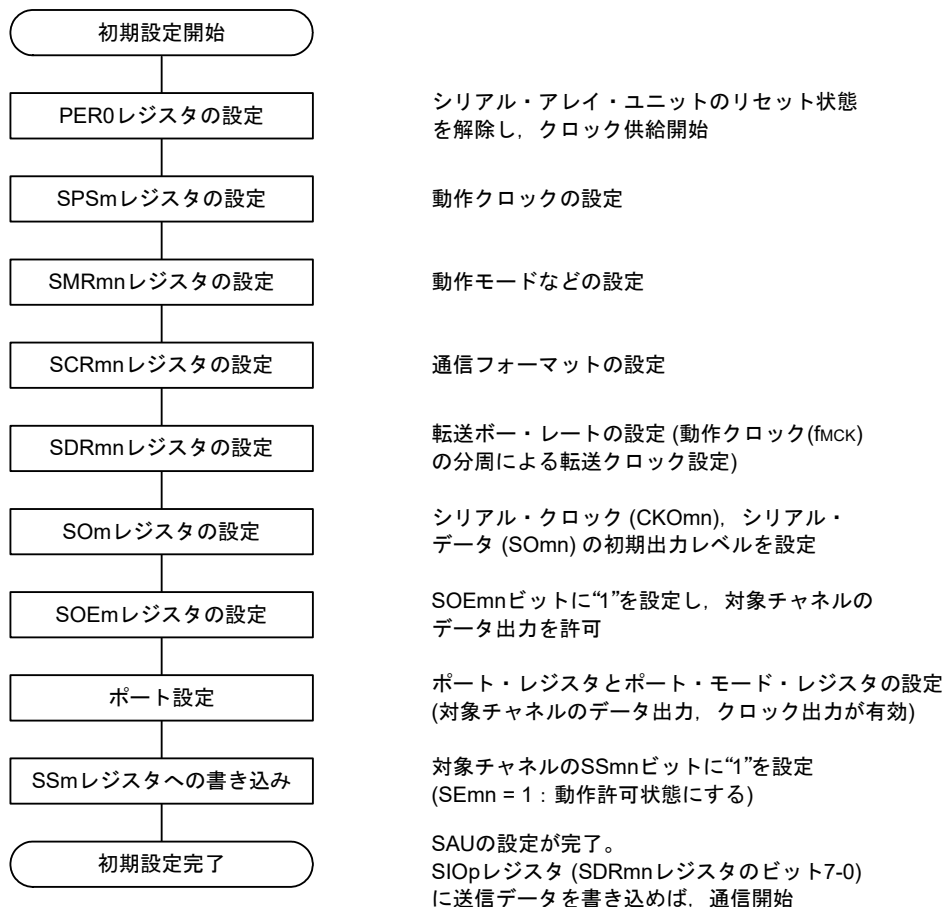


図 17 - 30 マスタ送信の中断手順

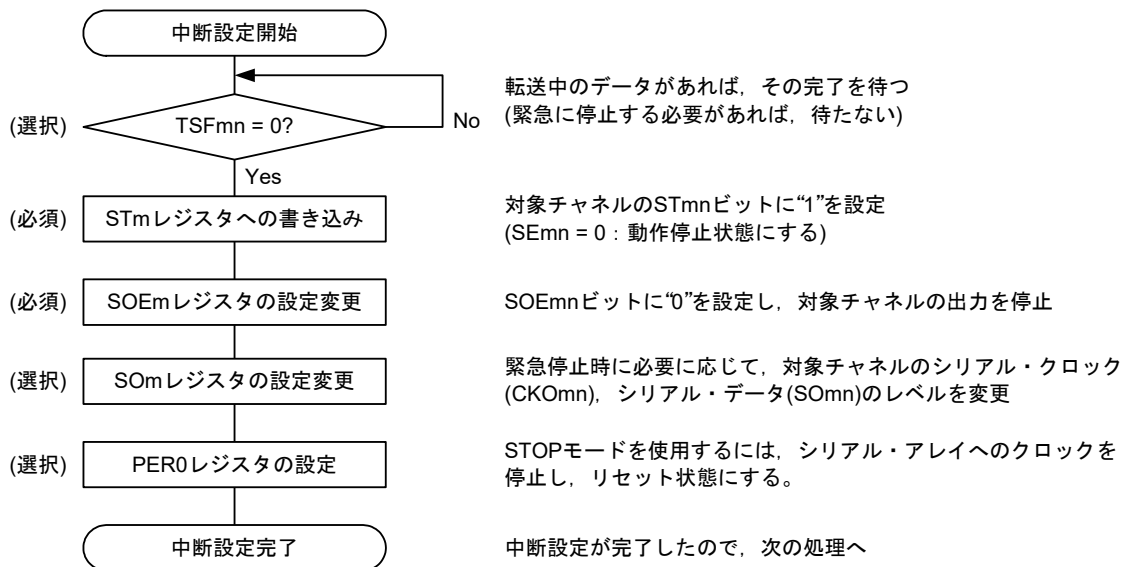
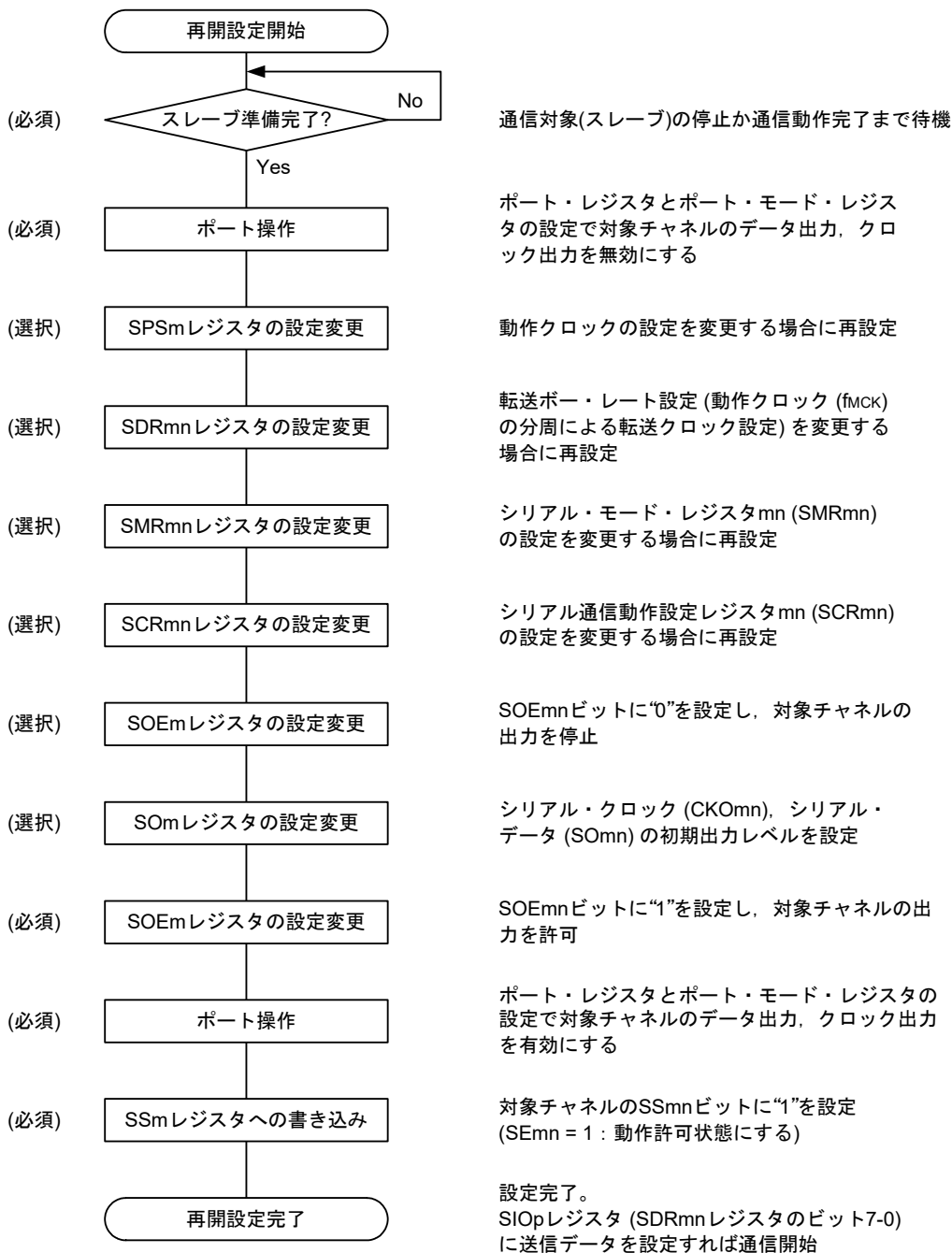


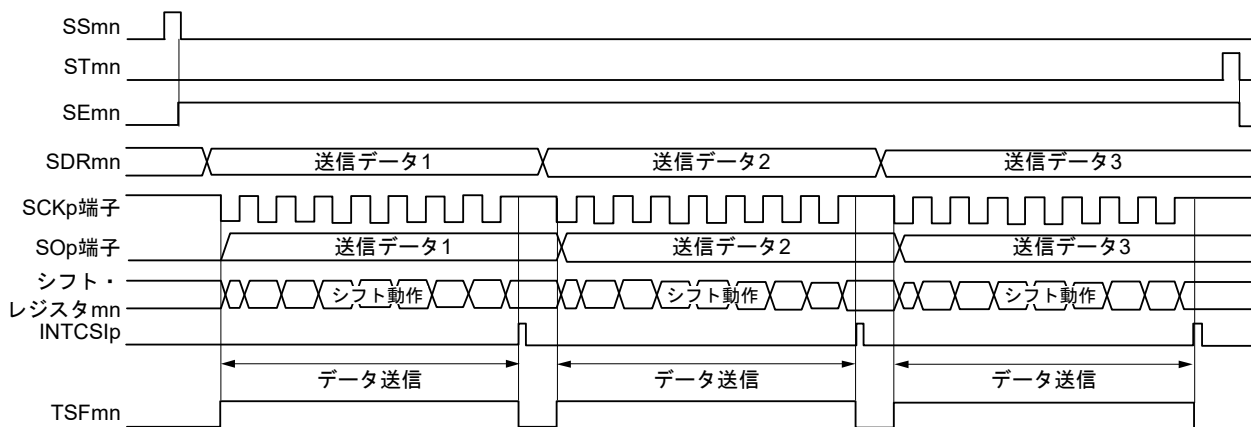
図 17 - 31 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

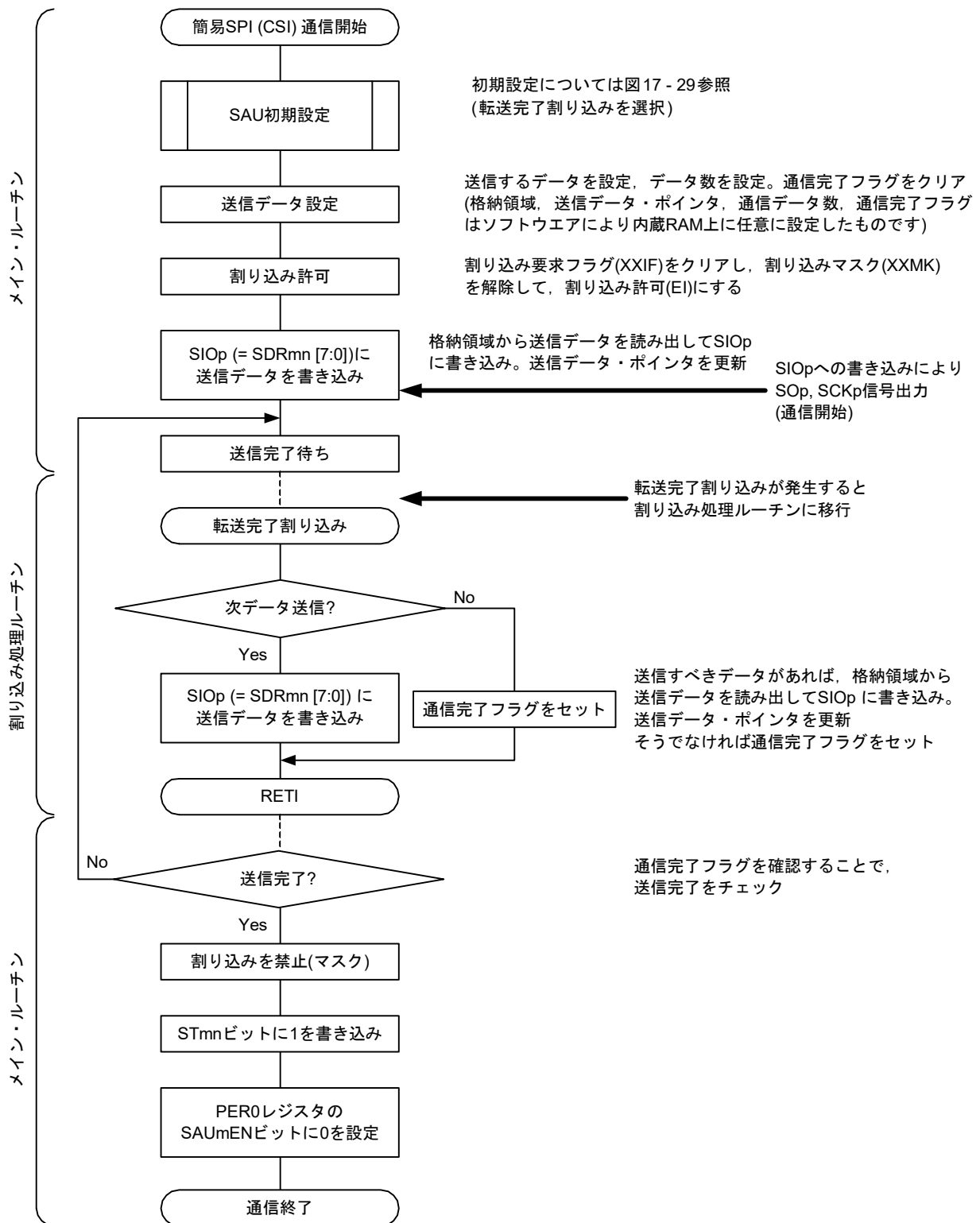
(3) 処理フロー (シングル送信モード時)

図17-32 マスタ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



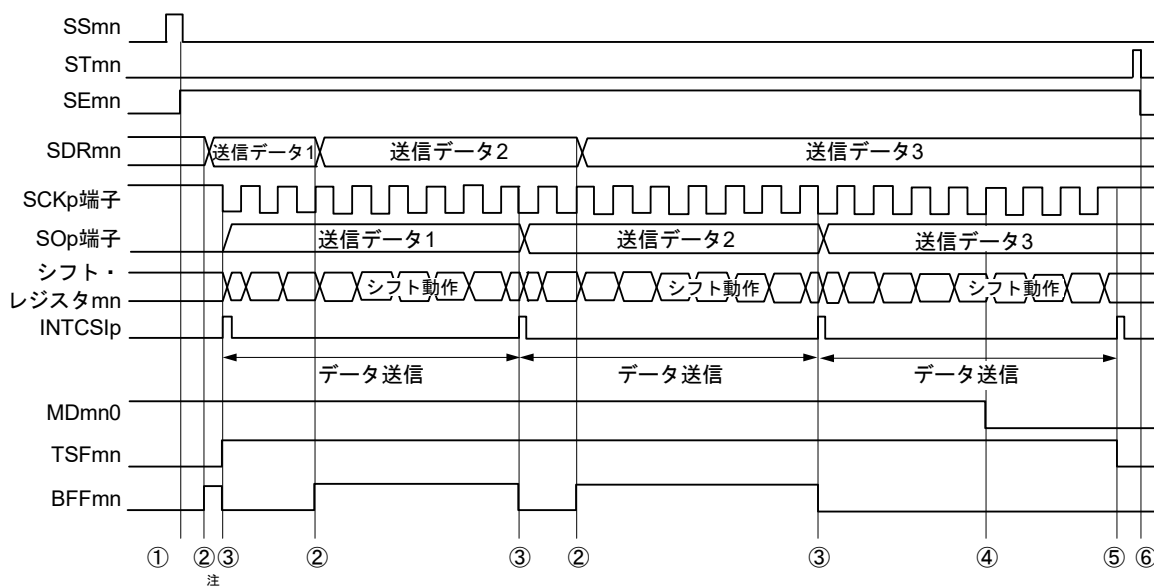
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-33 マスタ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 17 - 34 マスタ送信 (連続送信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

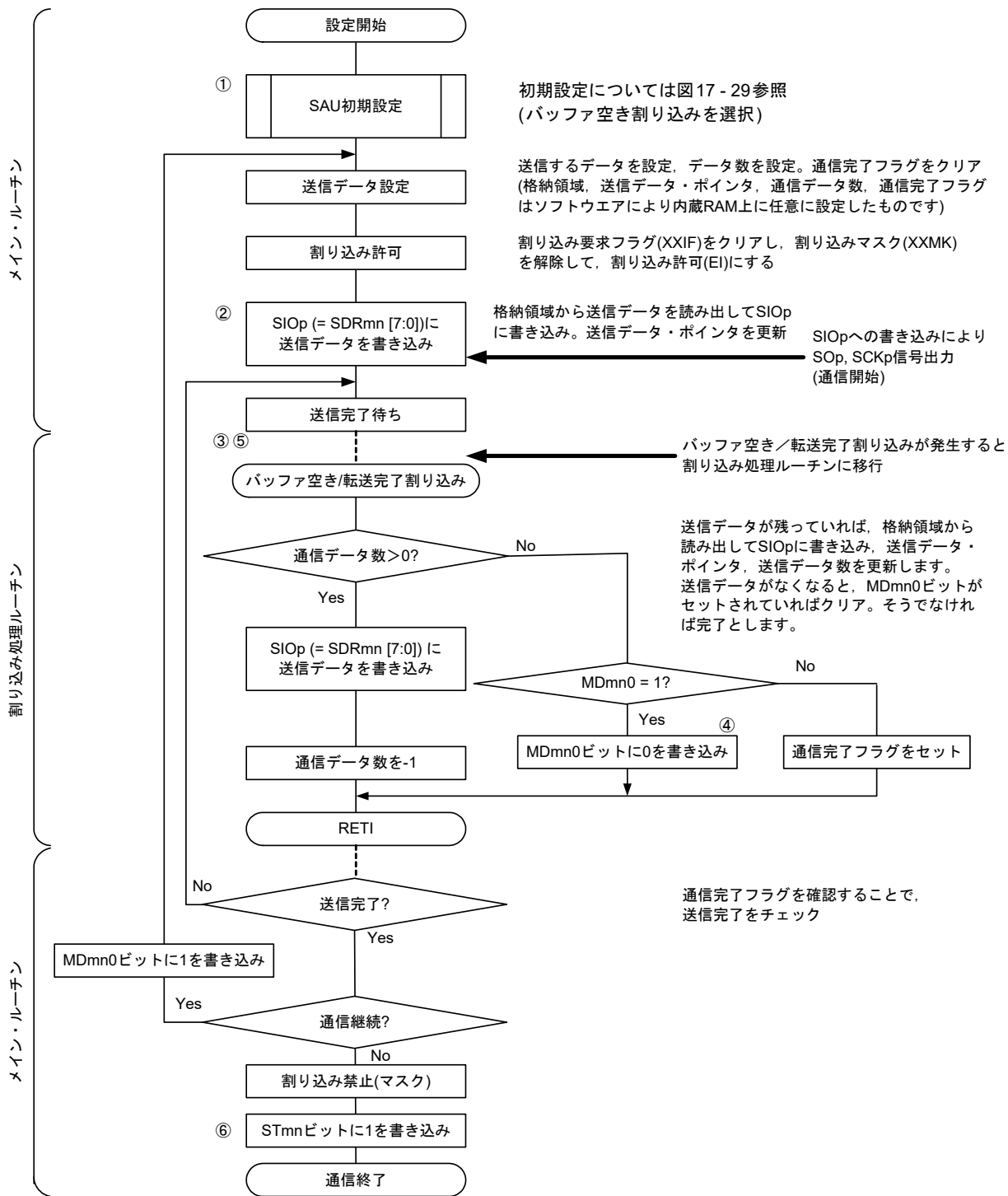


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI 番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-35 マスタ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は, 図17-34 マスタ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

17.5.2 マスタ受信

マスタ受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SI00	SCK10, SI10	SCK20, SI20	SCK30, SI30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/ (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転			
データ方向	MSB ファーストまたはLSB ファースト			

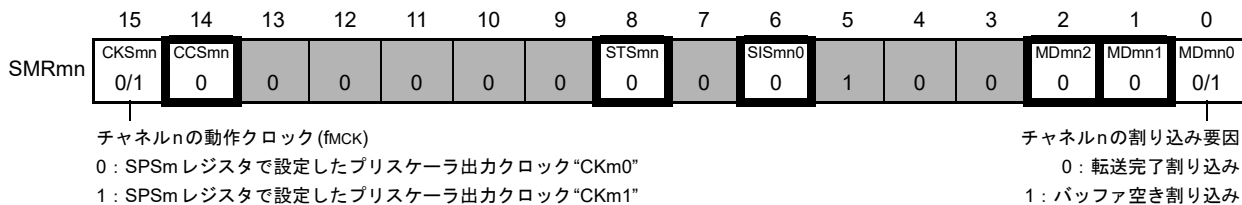
注 この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

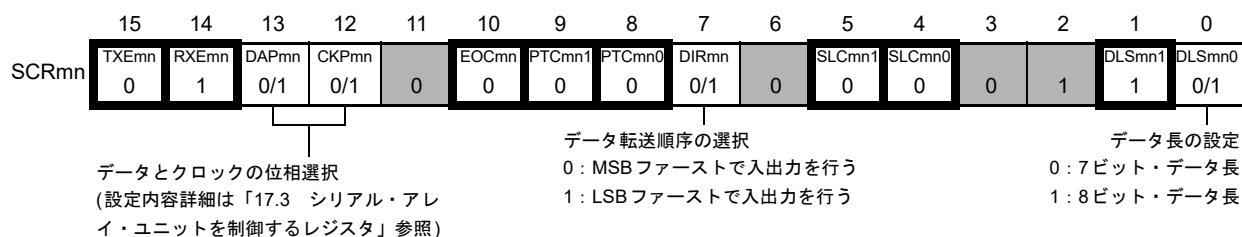
(1) レジスタ設定

図 17 - 36 簡易SPI (CSI00, CSI10, CSI20, CSI30)のマスター受信時のレジスタ設定内容例

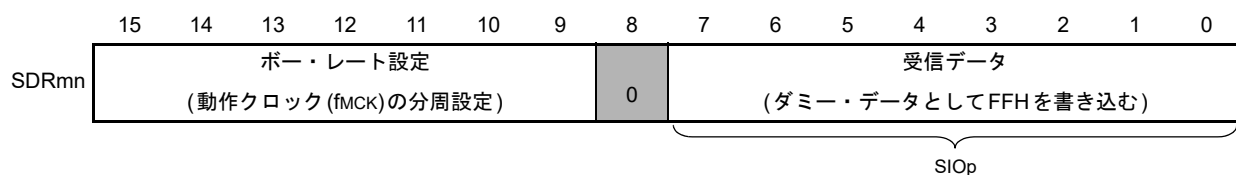
(a)シリアル・モード・レジスタ mn (SMRmn)



(b)シリアル通信動作設定レジスタ mn (SCRmn)



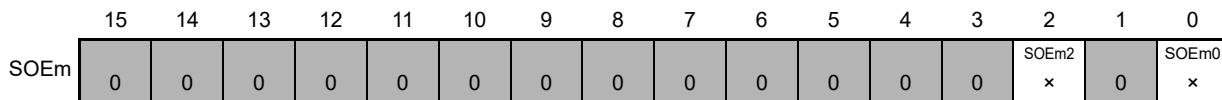
(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



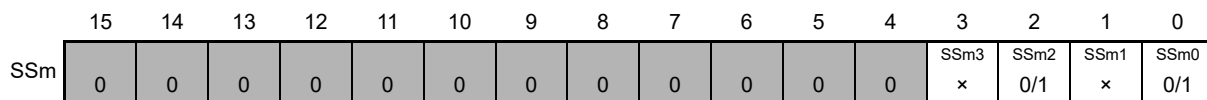
(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e)シリアル出力許可レジスタ m (SOEm)..... このモードでは使用しない



(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI (CSI)マスター受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 37 マスタ受信の初期設定手順

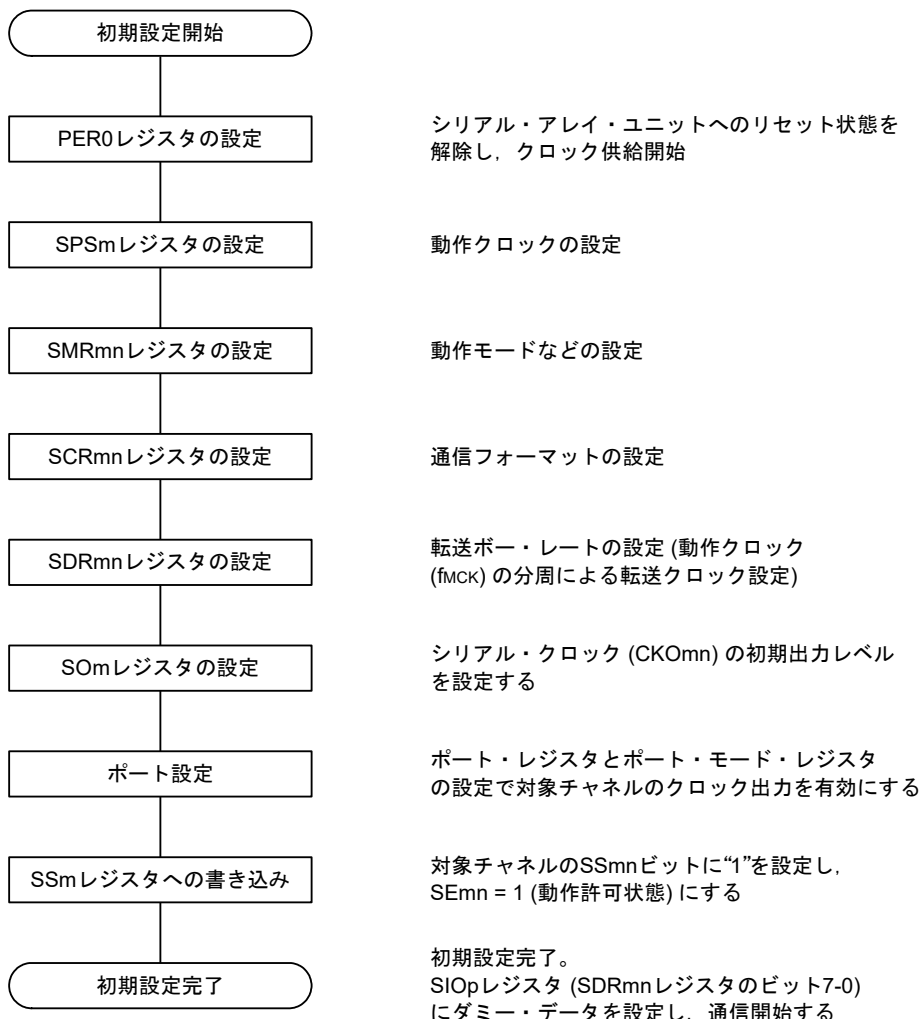


図 17 - 38 マスタ受信の中断手順

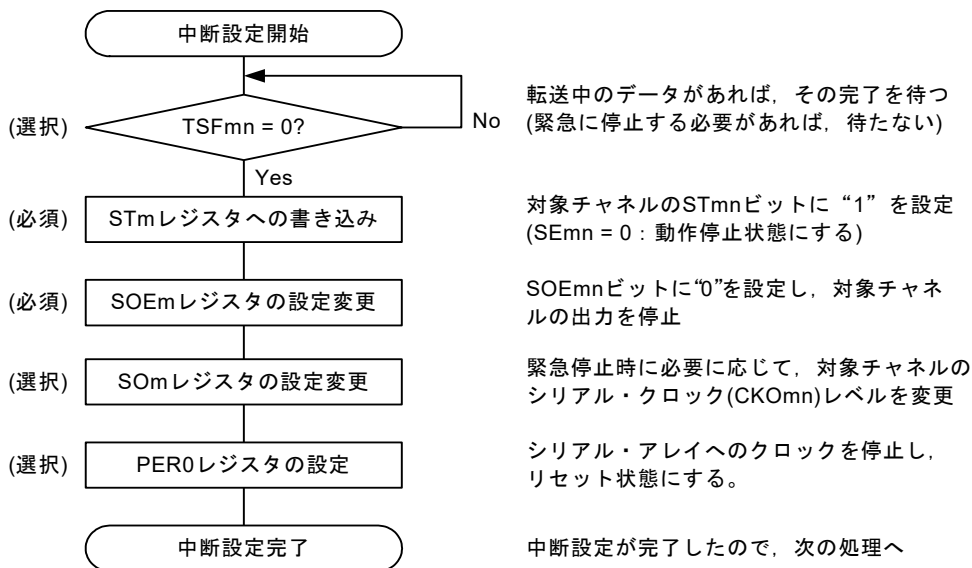
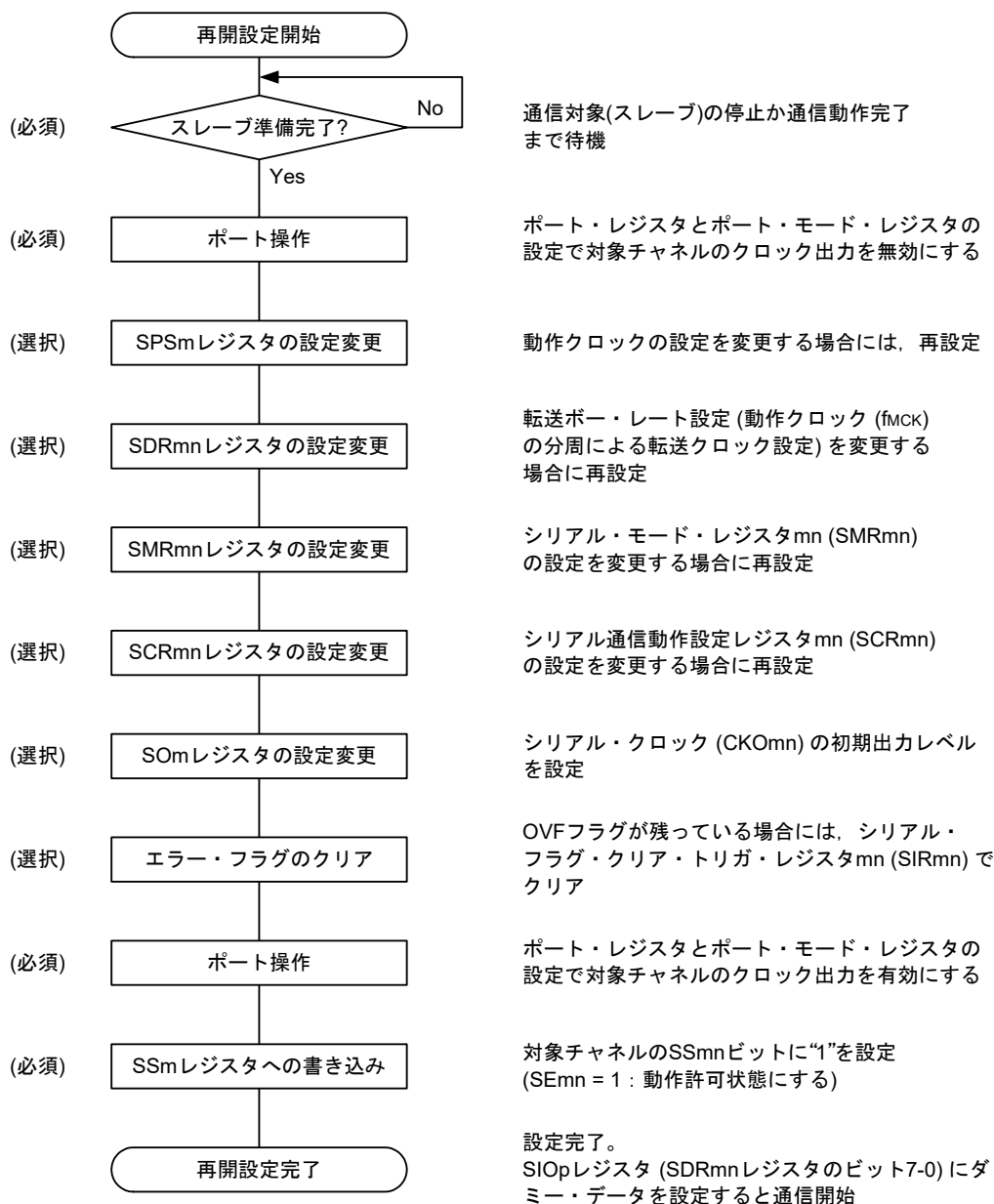


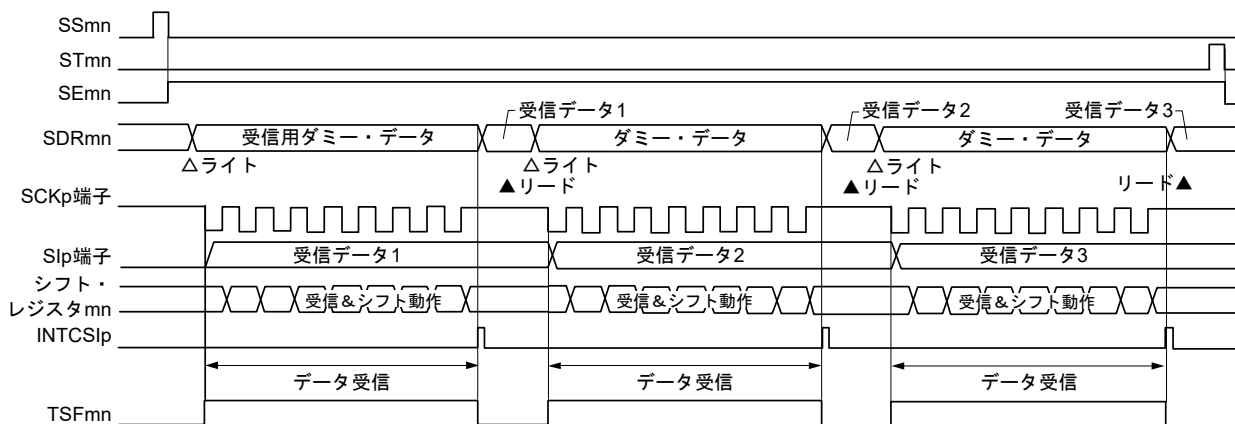
図 17 - 39 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

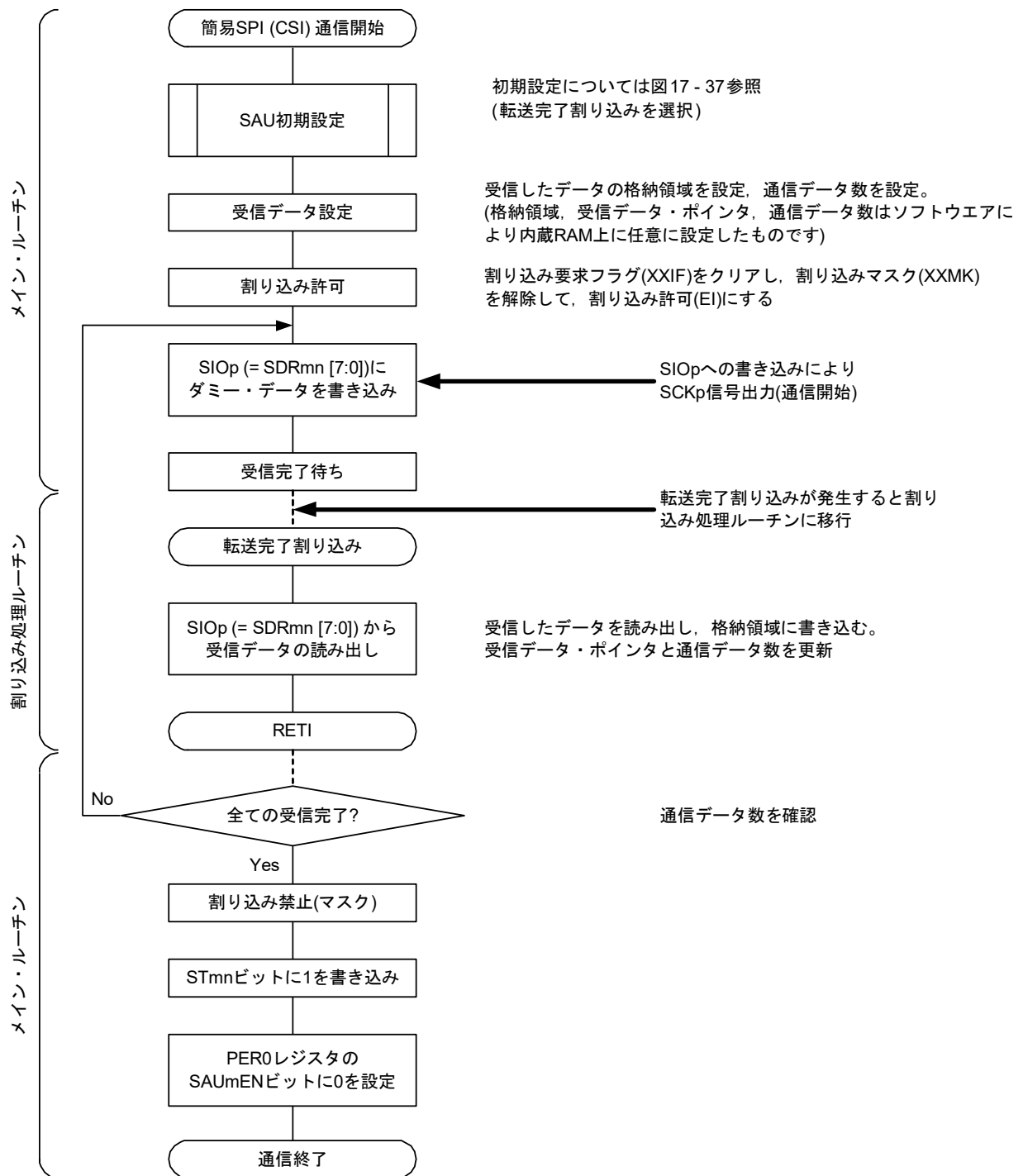
(3) 処理フロー (シングル受信モード時)

図17-40 マスタ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



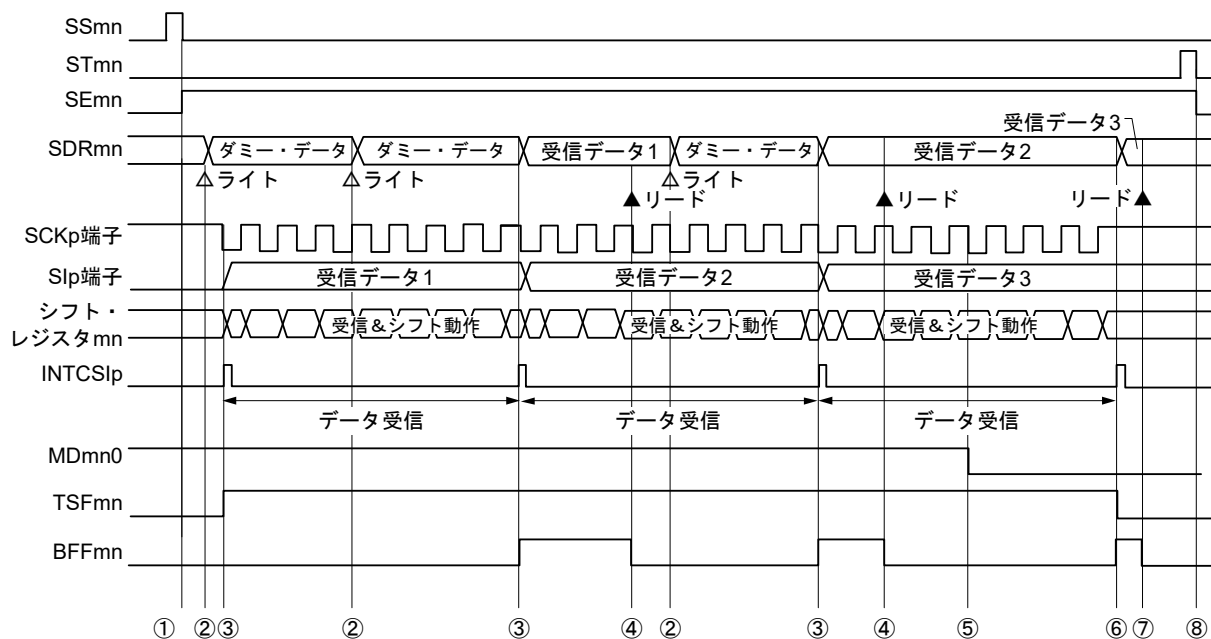
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-41 マスタ受信(シングル受信モード時)のフロー・チャート



(4) 処理フロー (連続受信モード時)

図17-42 マスタ受信(連続受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



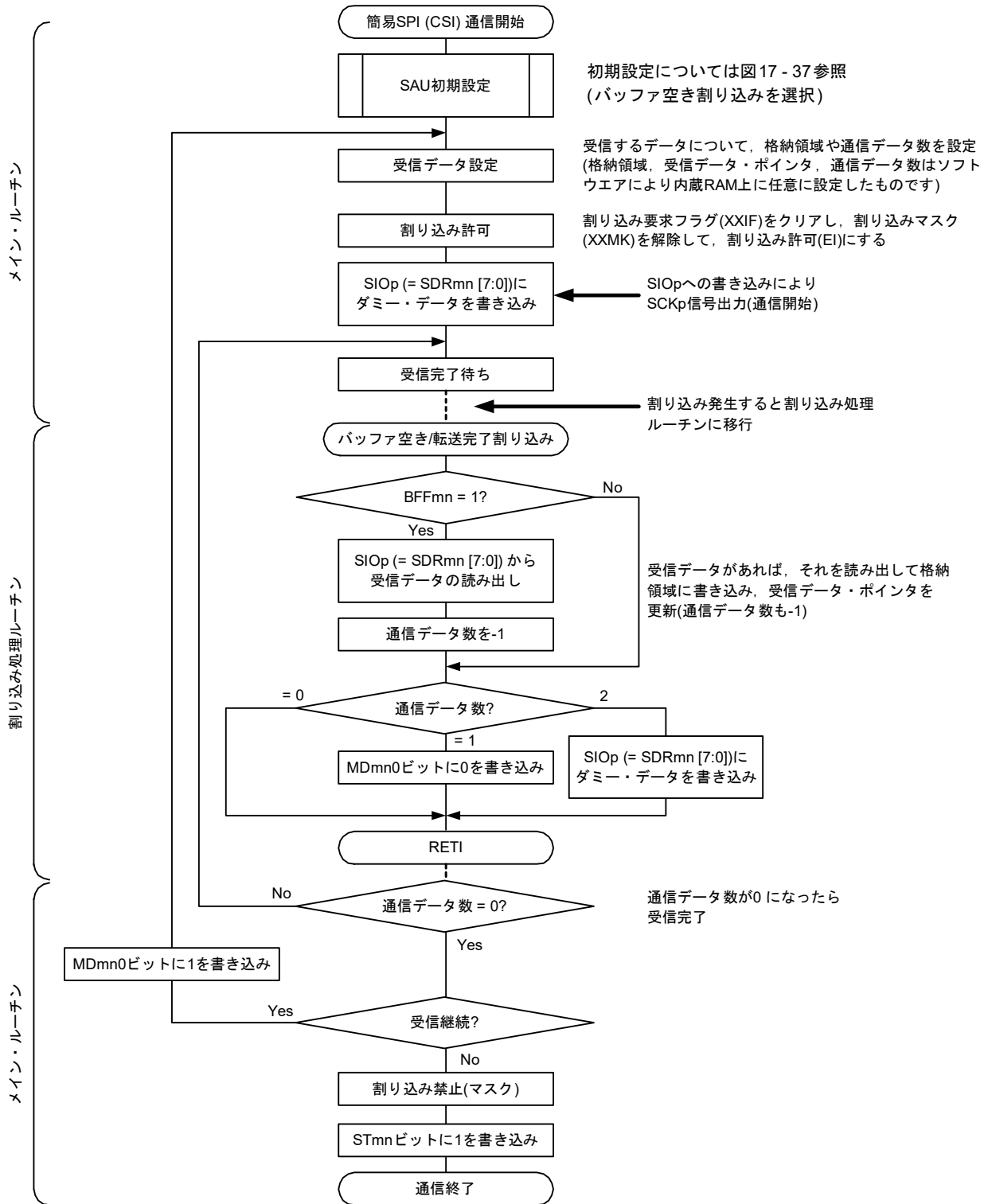
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、図17-43 マスタ受信(連続受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-43 マスタ受信(連続受信モード時)のフロー・チャート



備考 図中の①～⑧は、図17-42 マスタ受信(連続受信モード時)のタイミング・チャートの①～⑧に対応しています。

17.5.3 マスタ送受信

マスタ送受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK20, SI20, SO20	SCK30, SI30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/ (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転			
データ方向	MSB ファーストまたはLSB ファースト			

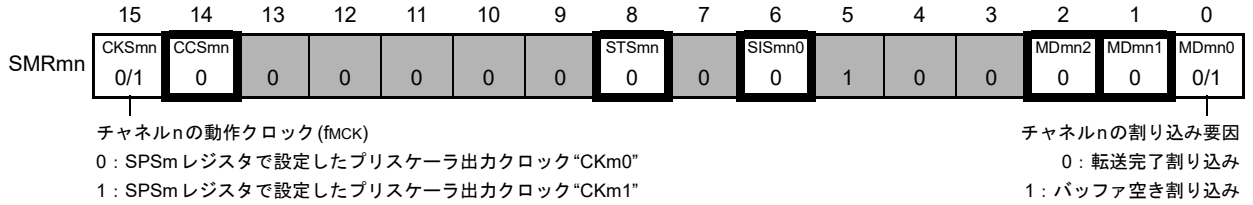
注 この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

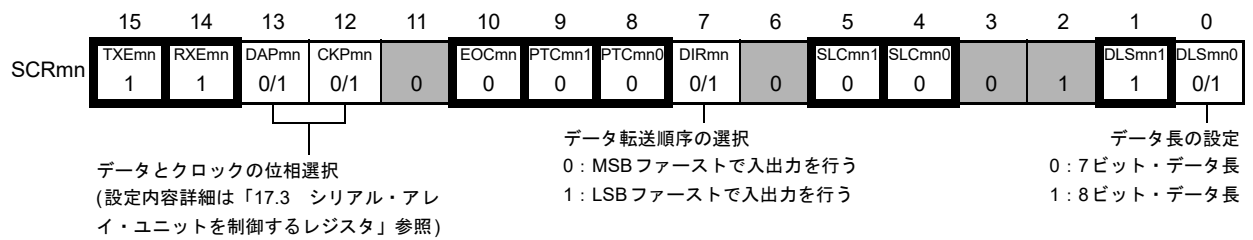
(1) レジスタ設定

図 17 - 44 簡易SPI (CSI00, CSI10, CSI20, CSI30)のマスタ送受信時のレジスタ設定内容例

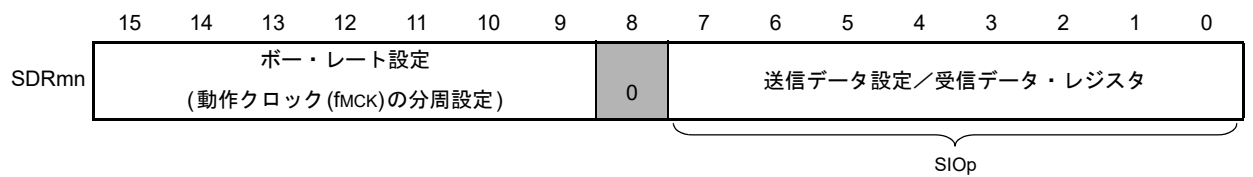
(a)シリアル・モード・レジスタ mn (SMRmn)



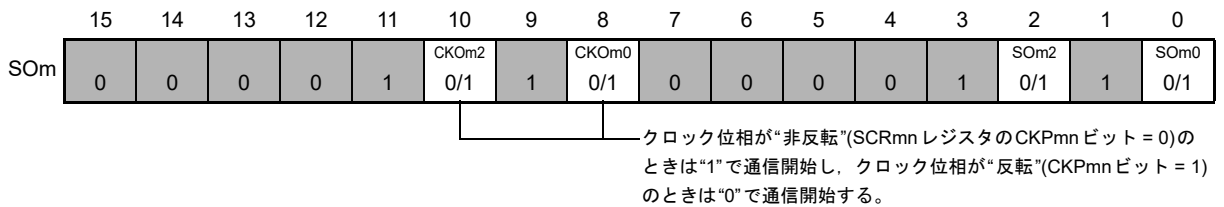
(b)シリアル通信動作設定レジスタ mn (SCRmn)



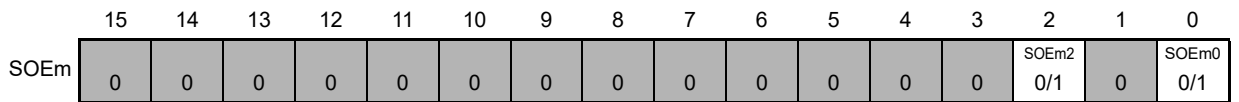
(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



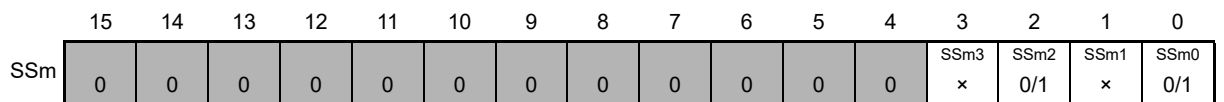
(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e)シリアル出力許可レジスタ m (SOEm)..... 対象チャンネルのビットのみ1に設定する



(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI (CSI)マスタ送受信モードでは設定固定 : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 45 マスタ送受信の初期設定手順

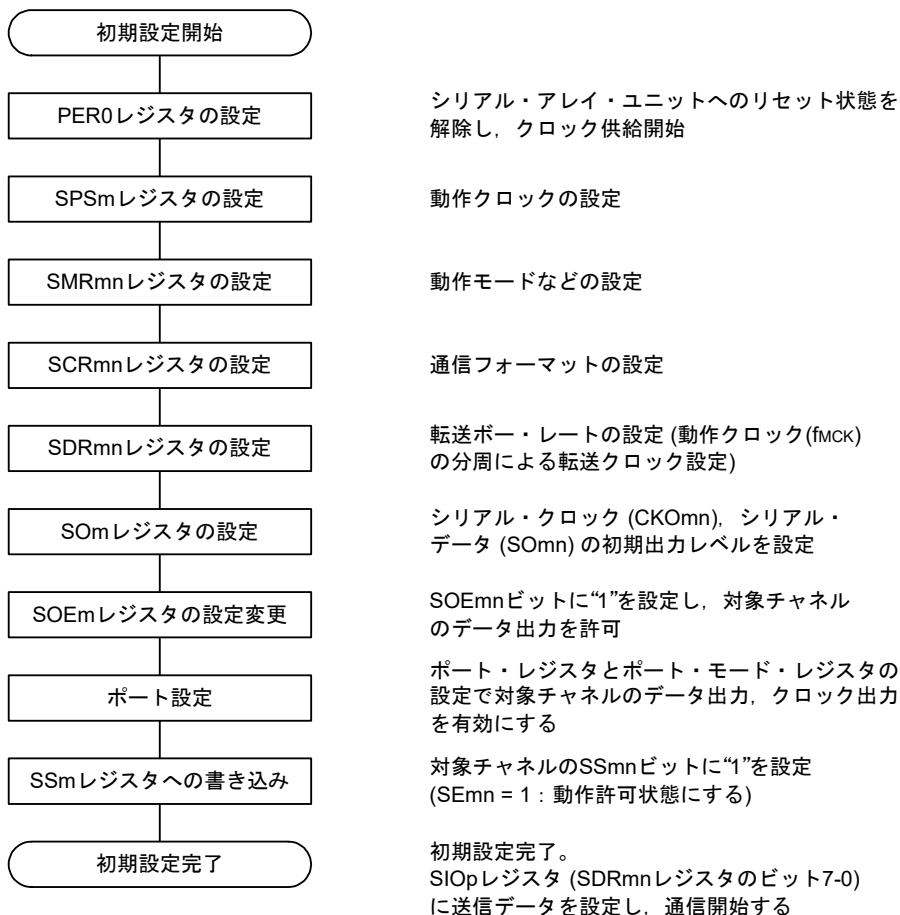


図 17 - 46 マスタ送受信の中断手順

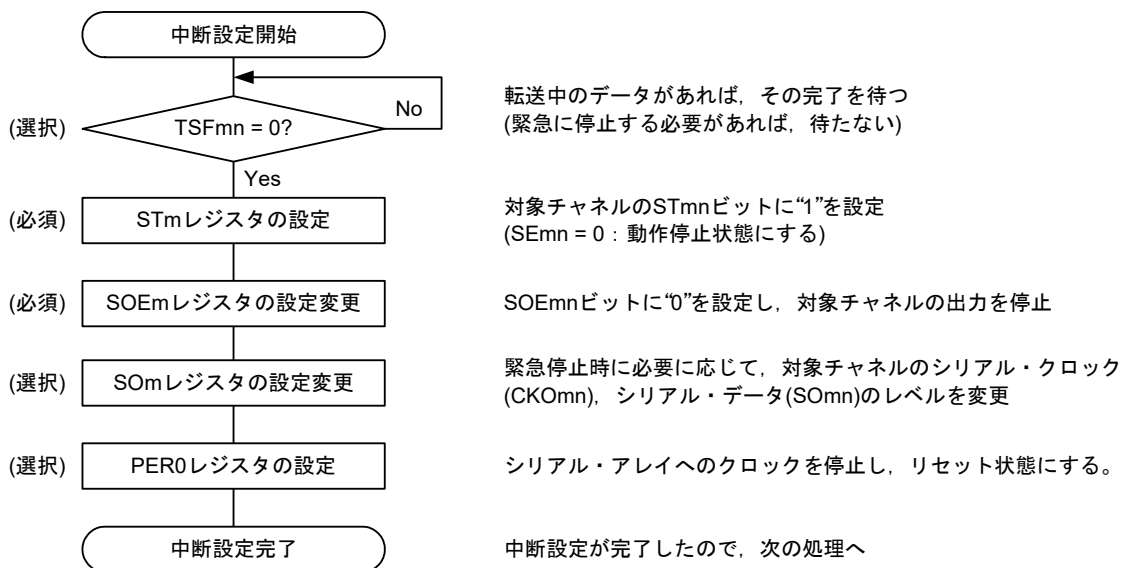
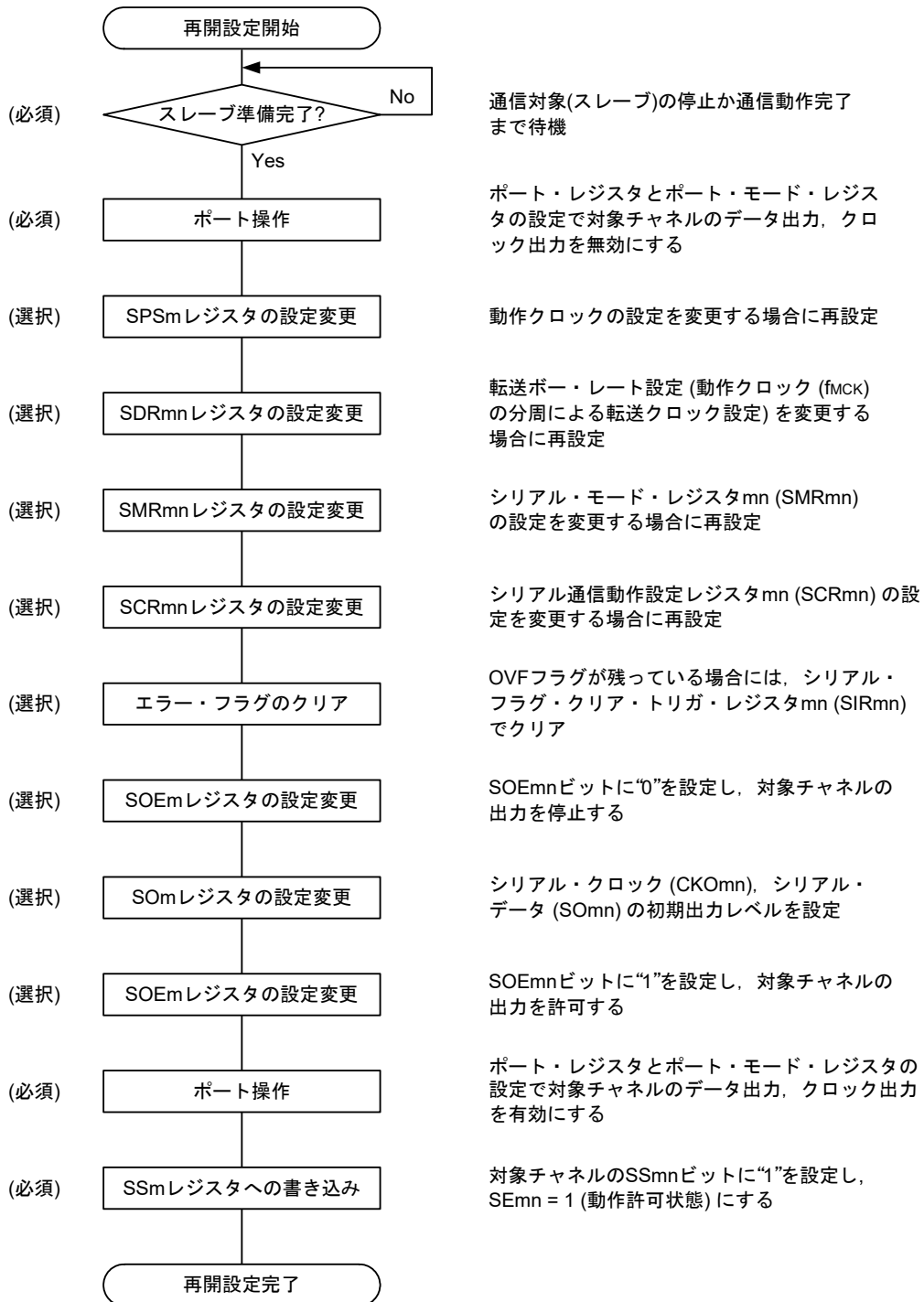
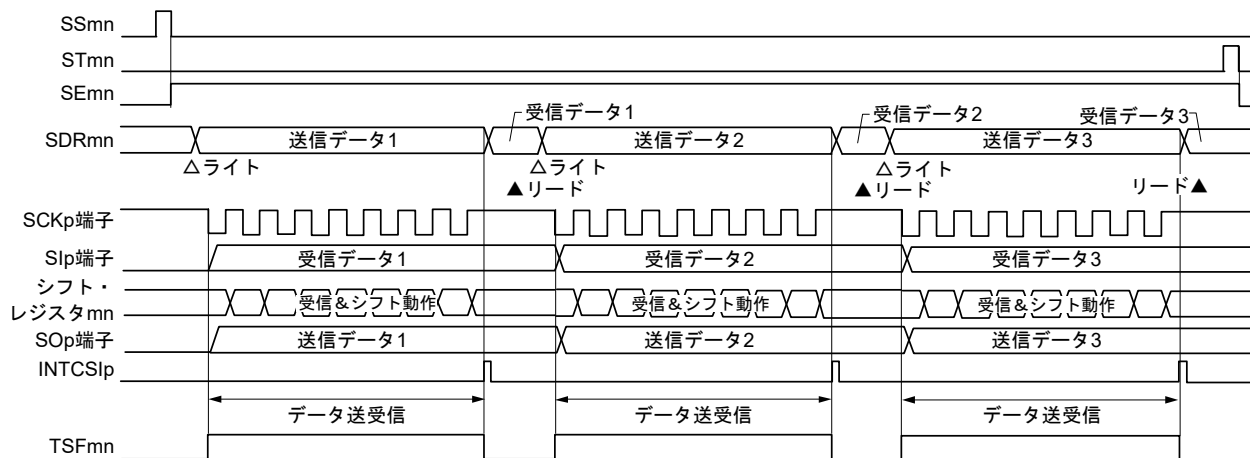


図 17 - 47 マスタ送受信の再開設定手順



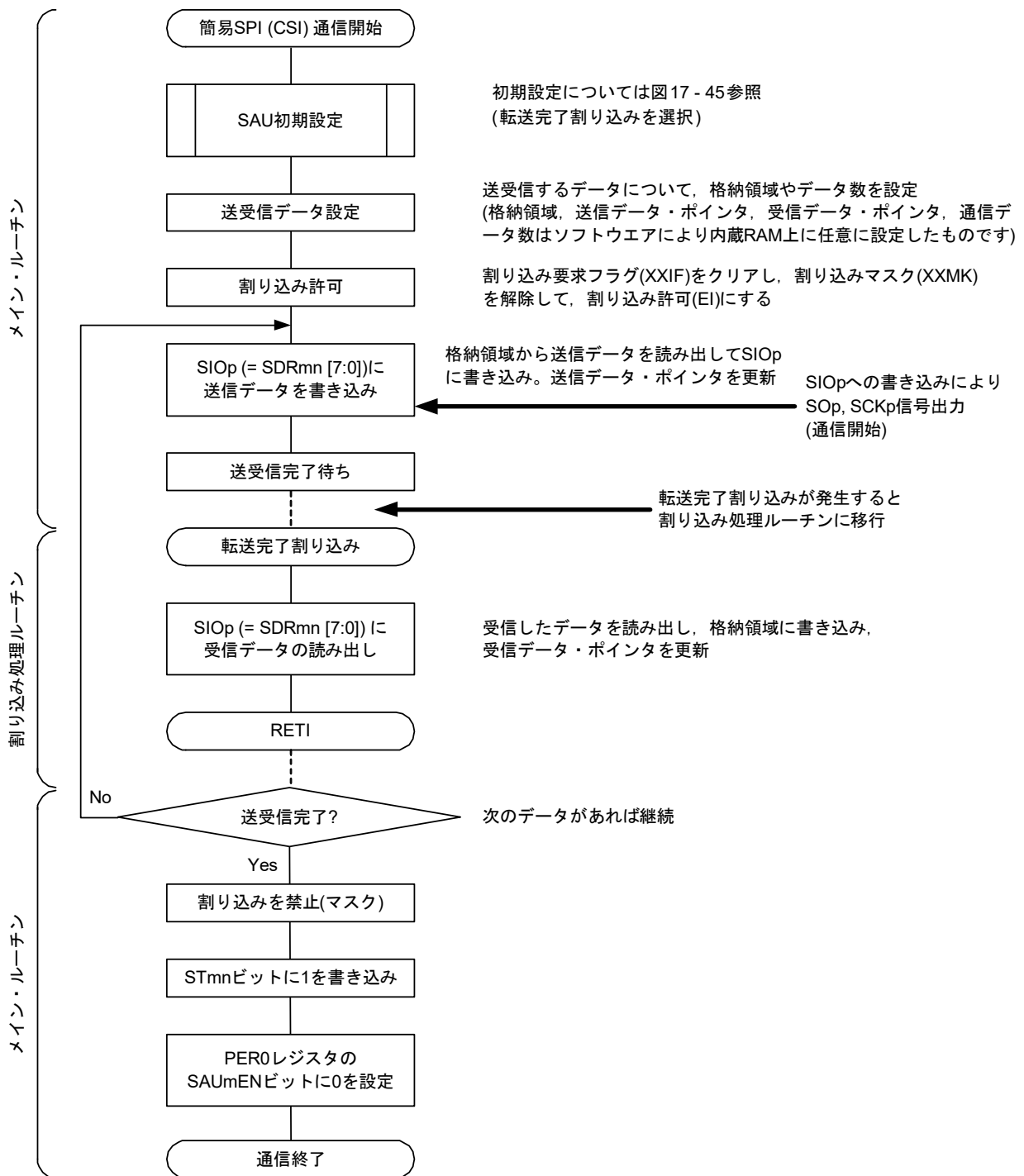
(3) 処理フロー (シングル送受信モード時)

図17-48 マスタ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



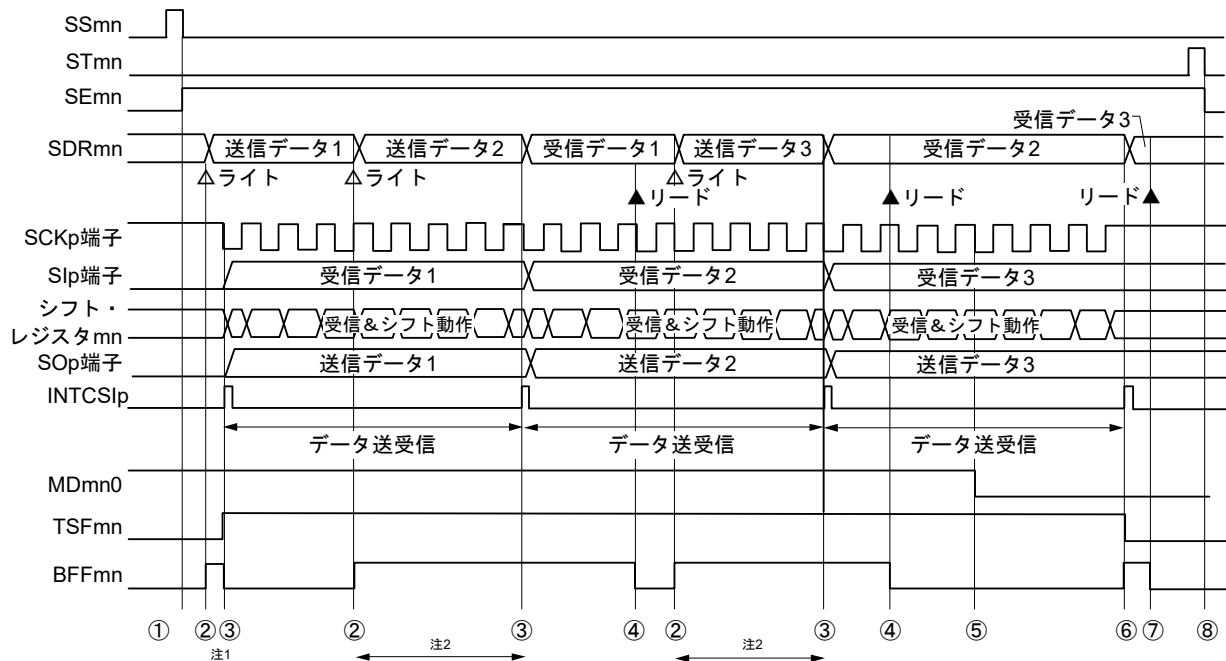
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-49 マスタ送受信(シングル送受信モード時)のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図17-50 マスタ送受信(連続送受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

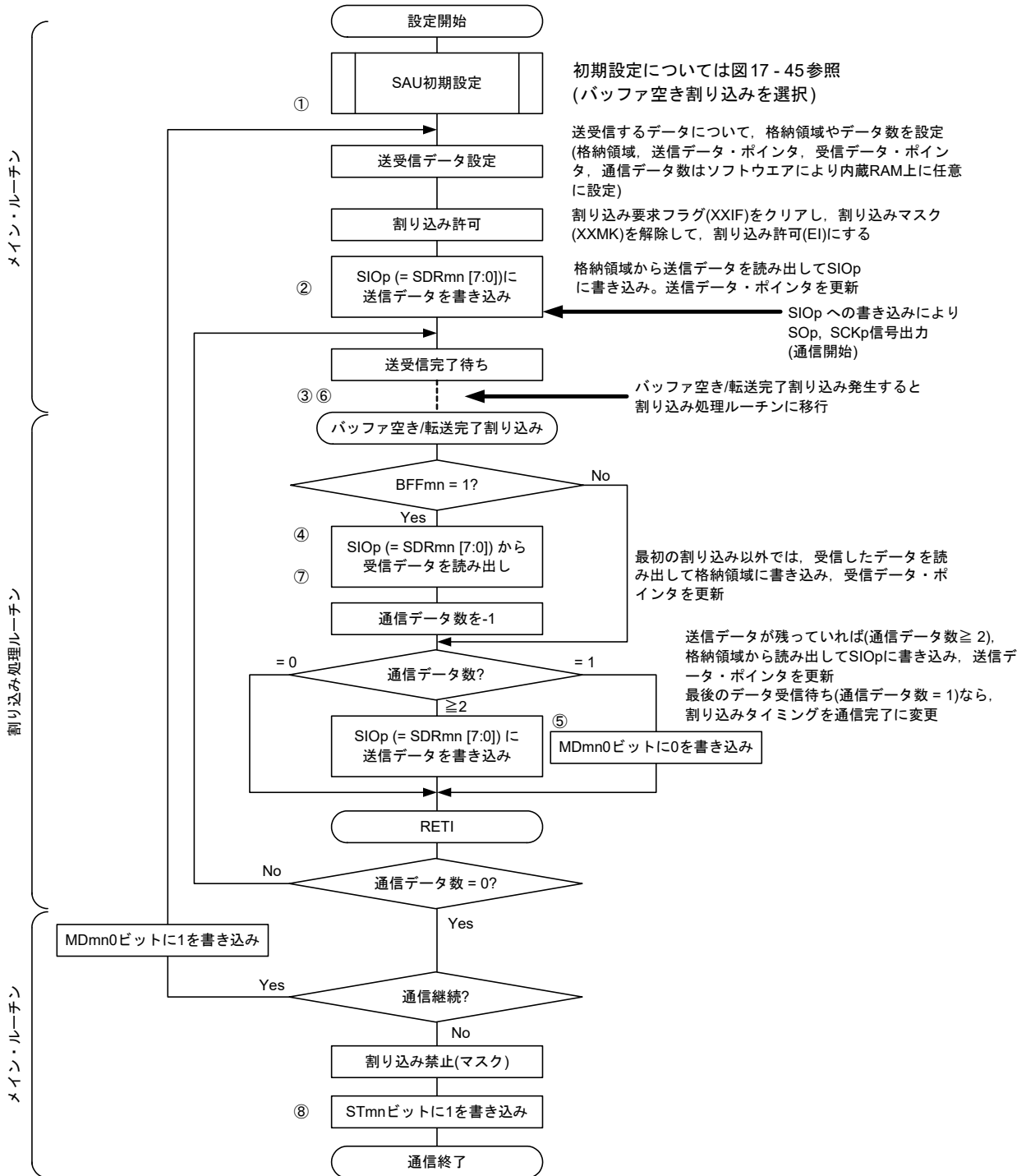
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図17-51 マスタ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI 番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-51 マスタ送受信(連続送受信モード時)のフロー・チャート



備考 図中の①～⑧は、図17-50 マスタ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

17.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SO00	SCK10, SO10	SCK20, SO20	SCK30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK10, SCK20, SCK30端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)参照)を満たす範囲内で使用してください。

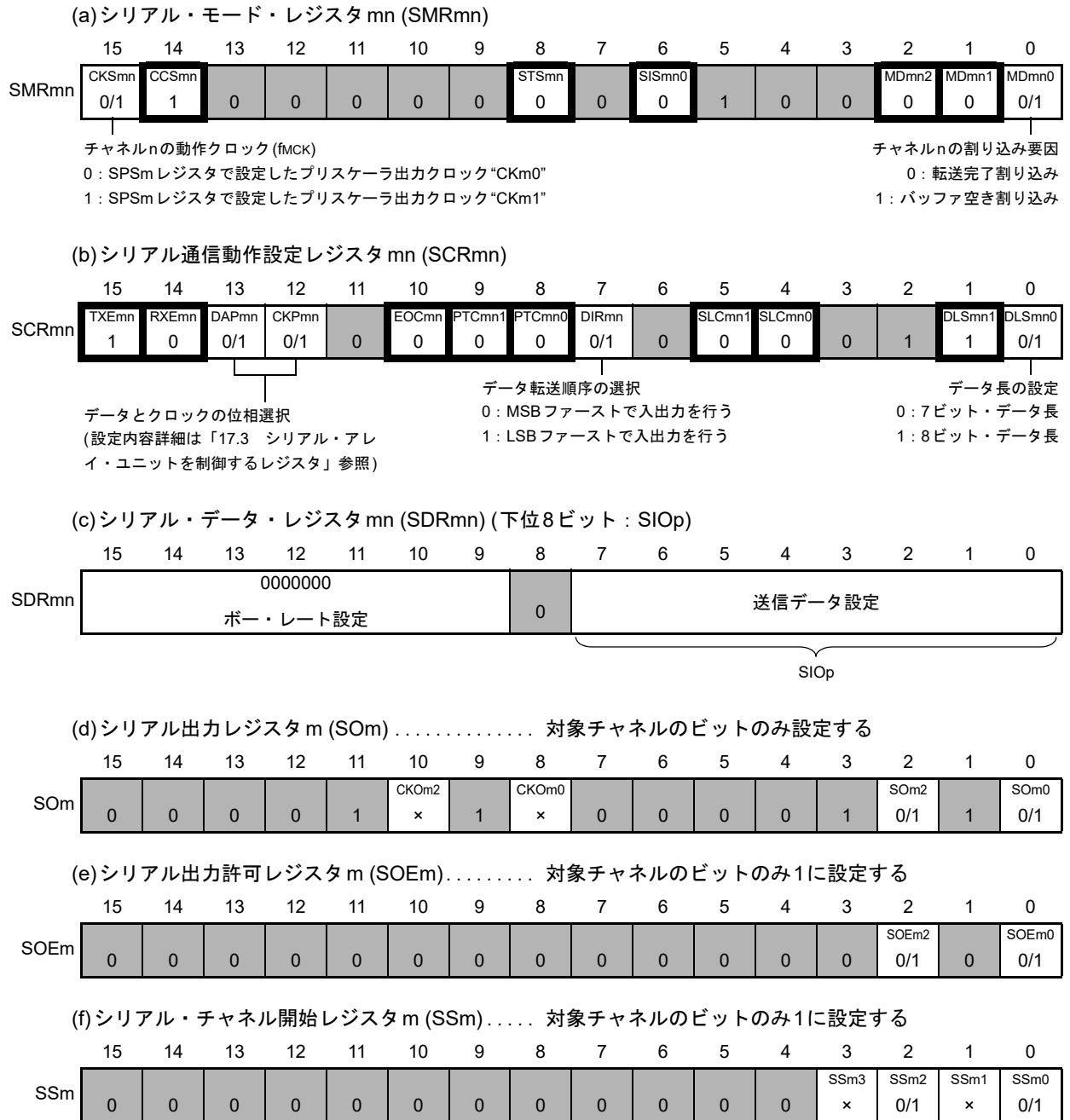
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{SCK} : シリアル・クロック周波数

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図 17 - 52 簡易SPI (CSI00, CSI10, CSI20, CSI30)のスレーブ送信時のレジスタ設定内容例



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI (CSI)スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 53 スレーブ送信の初期設定手順

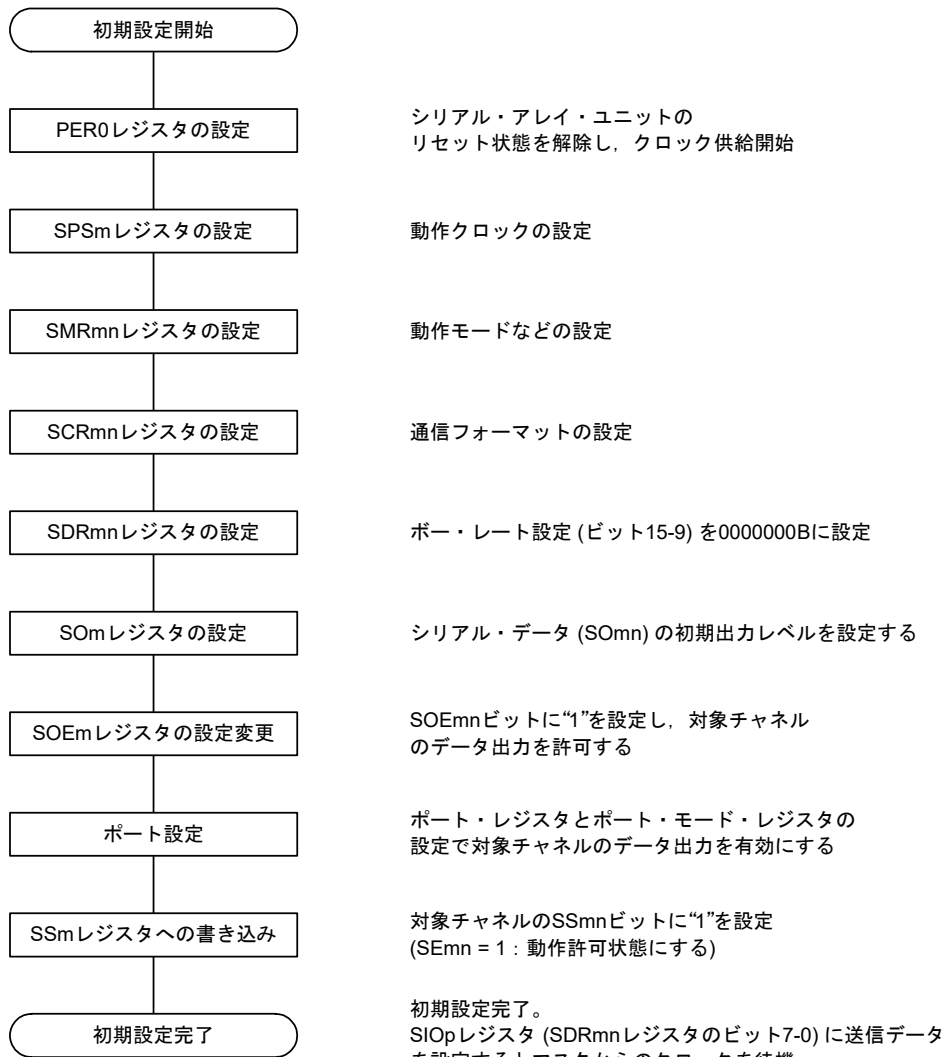


図 17 - 54 スレーブ送信の中断手順

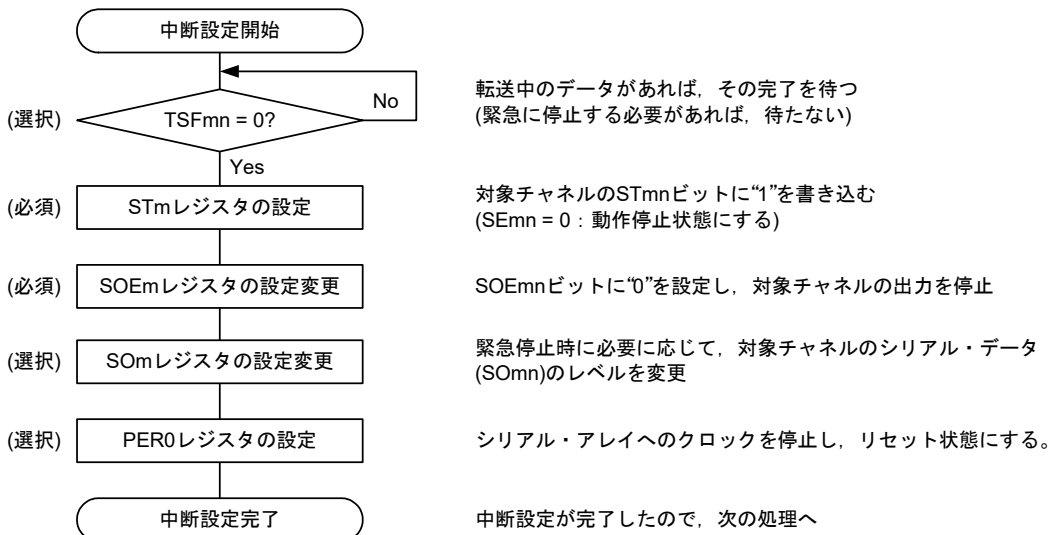
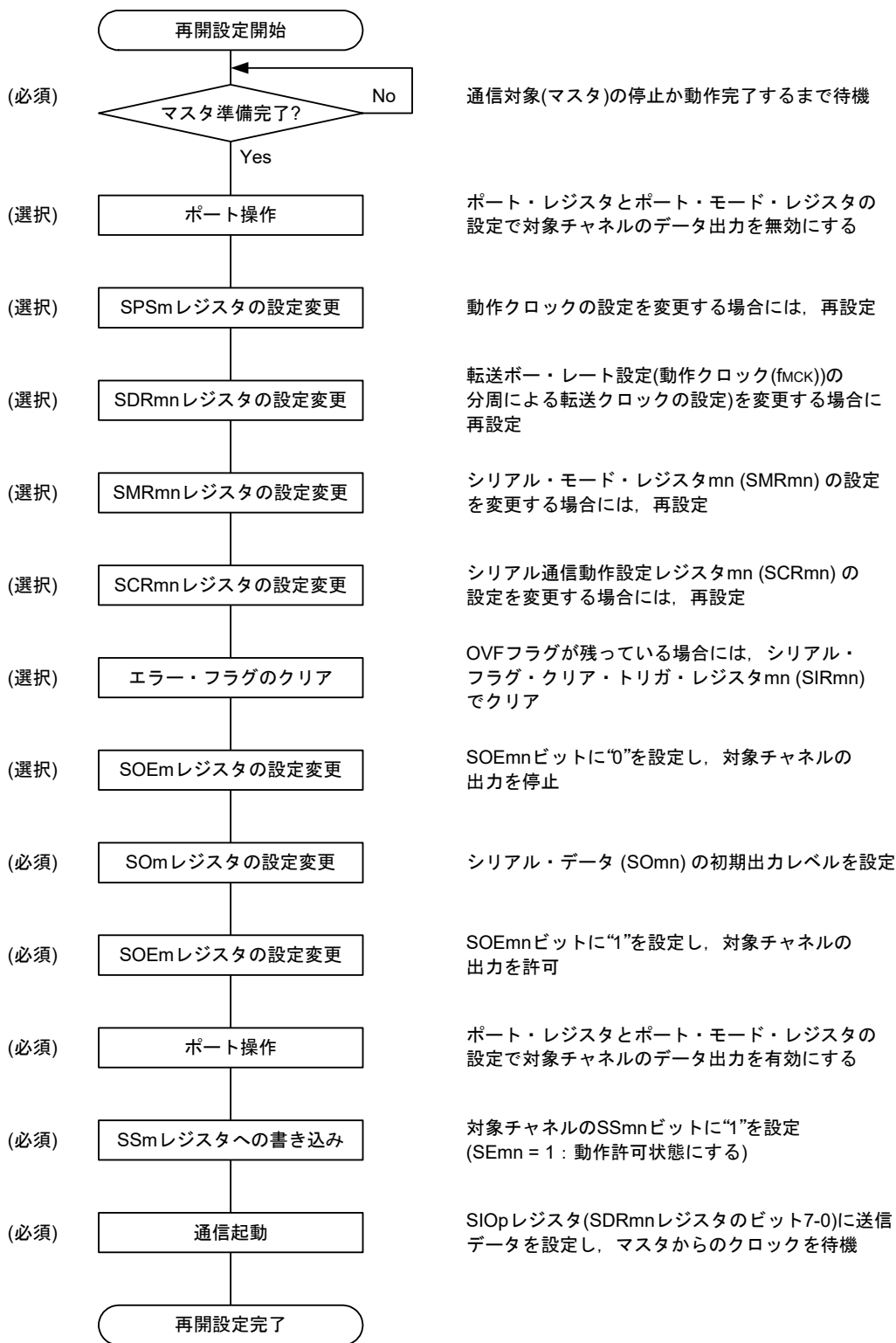


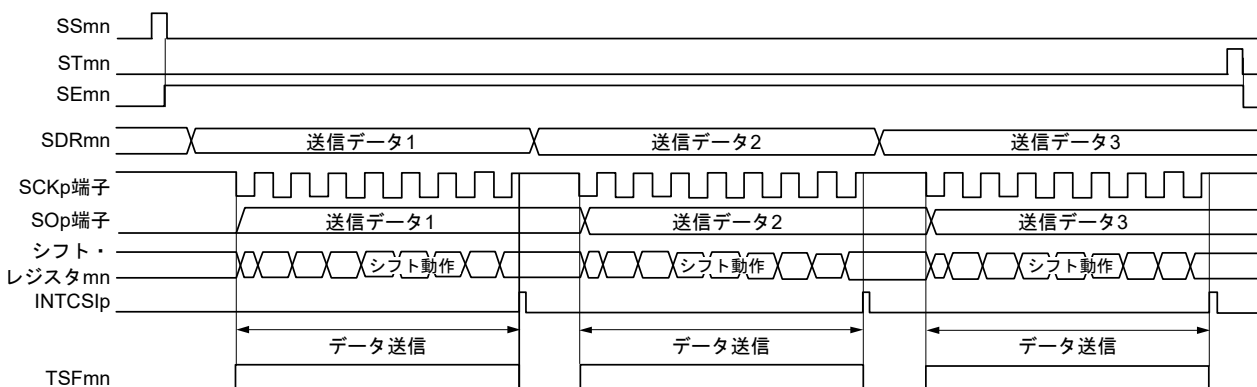
図 17 - 55 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

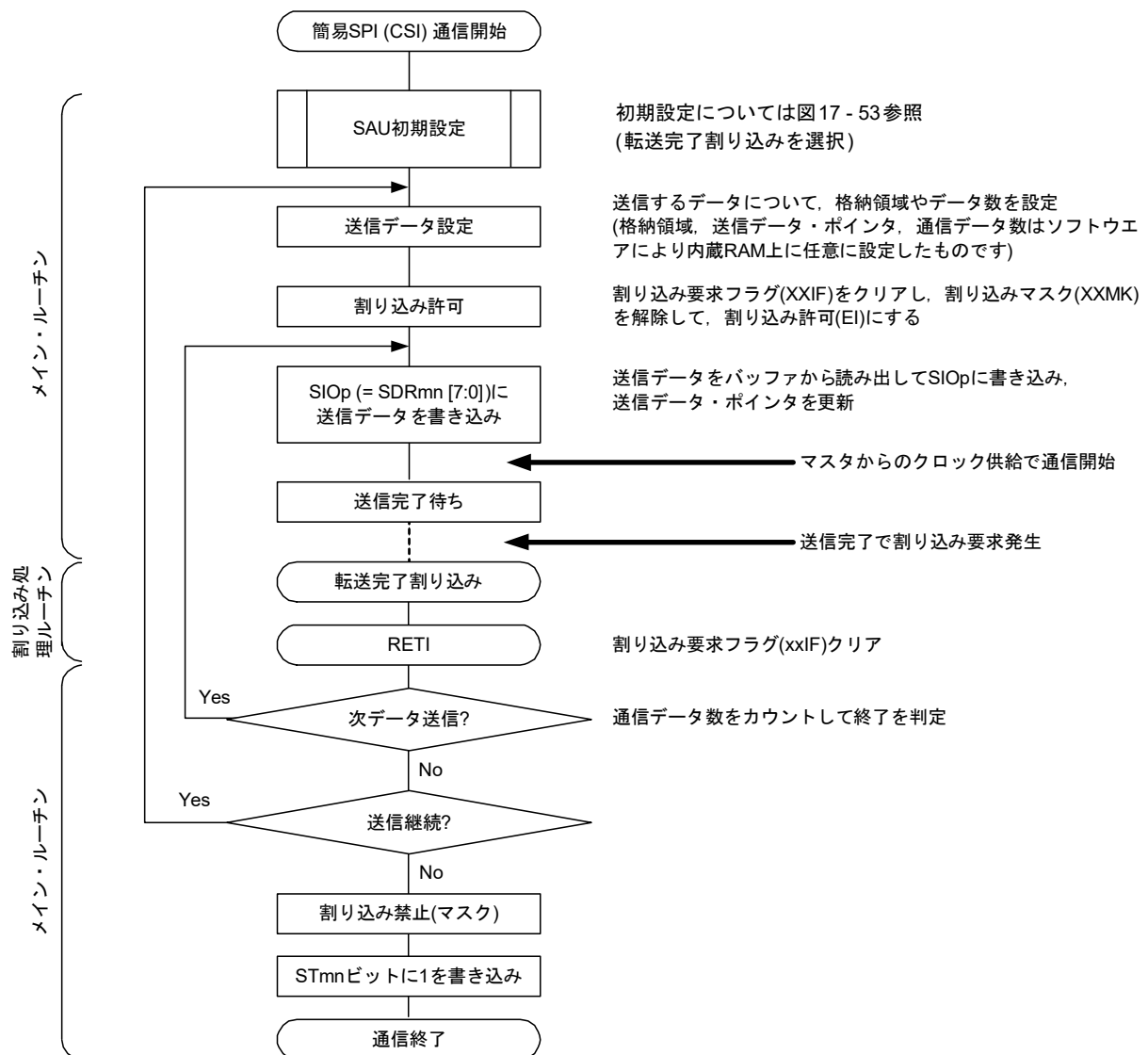
(3) 処理フロー (シングル送信モード時)

図 17 - 56 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



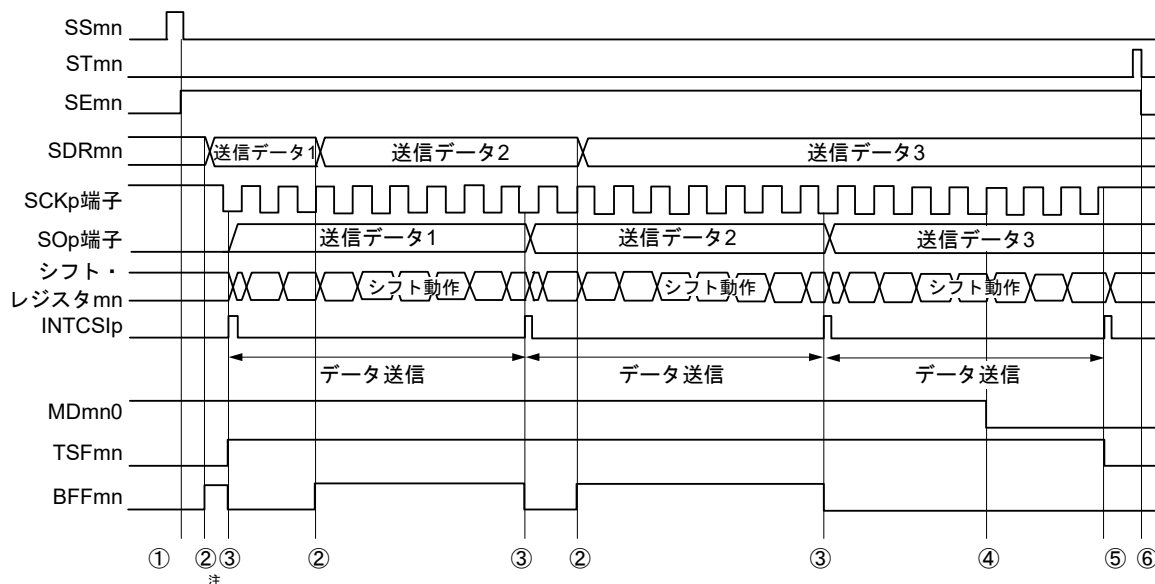
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-57 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図17-58 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

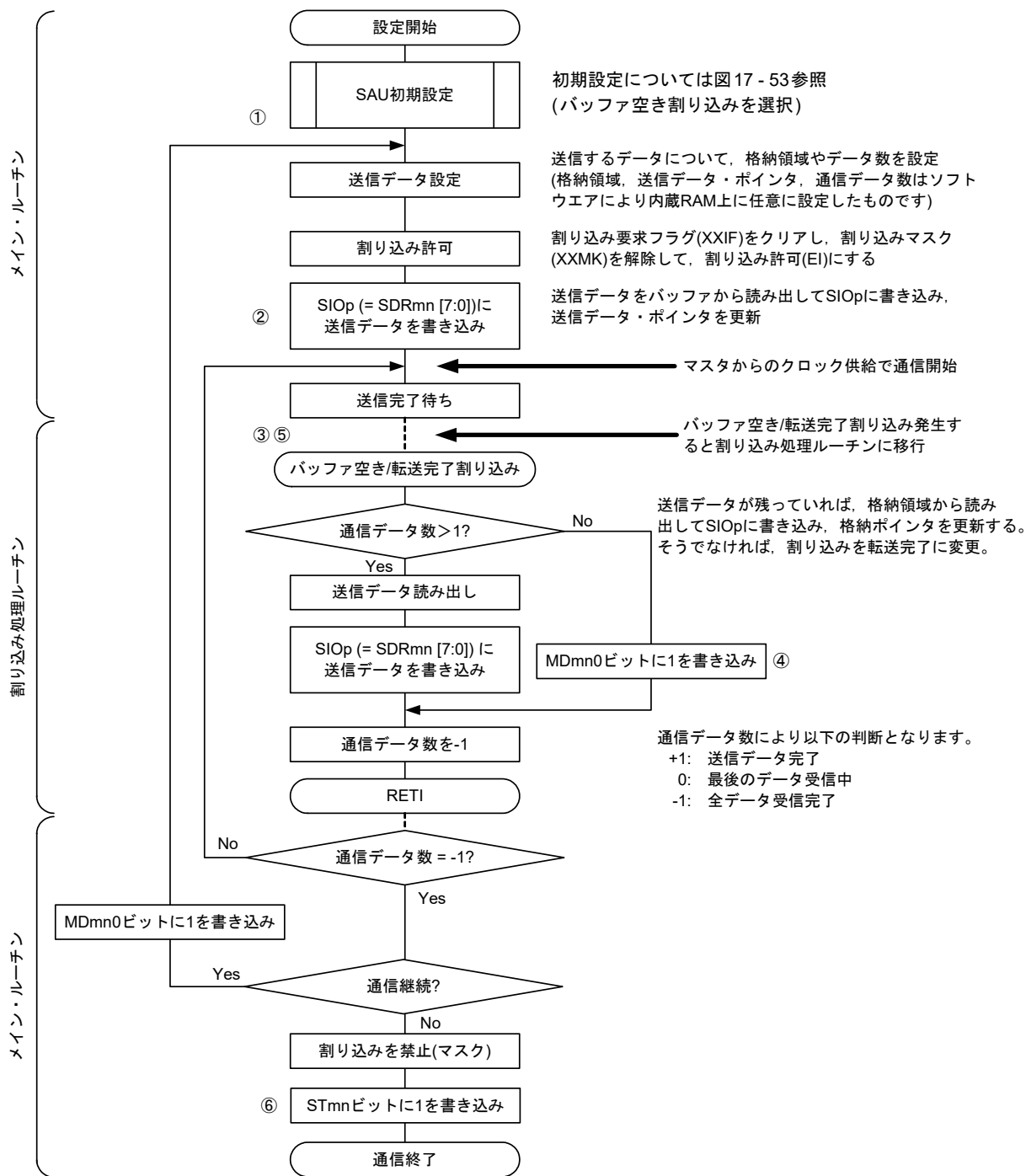


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されているとき)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI 番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図 17 - 59 スレーブ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図 17 - 58 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

17.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SI00	SCK10, SI10	SCK20, SI20	SCK30, SI30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK10端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{SCK} : シリアル・クロック周波数

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図 17 - 60 簡易SPI (CSI00, CSI10, CSI20, CSI30)のスレーブ受信時のレジスタ設定内容例

(a)シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0

チャンネルnの動作クロック (fmck) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0 : 転送完了割り込み
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1”

(b)シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択 データ転送順序の選択 データ長の設定
 (設定内容詳細は「17.3 シリアル・アレイ・ユニットを制御するレジスタ」参照) 0 : MSB ファーストで入出力を行う 0 : 7ビット・データ長
1 : LSB ファーストで入出力を行う 1 : 8ビット・データ長

(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	00000000								0	受信データ							
	ボー・レート設定									SIOp							

(d)シリアル出力レジスタ m (SOm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	x	1	x	0	0	0	0	1	x	1	x

(e)シリアル出力許可レジスタ m (SOEm)..... このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	x

(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 61 スレーブ受信の初期設定手順

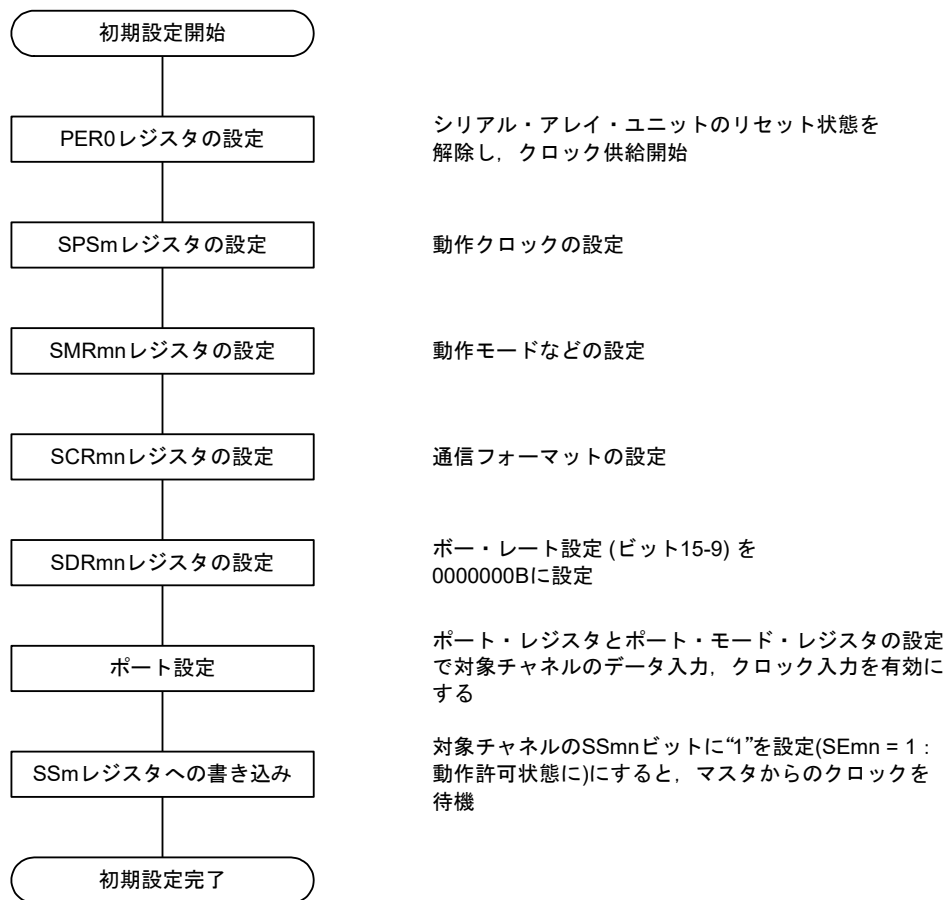


図 17 - 62 スレーブ受信の中断手順

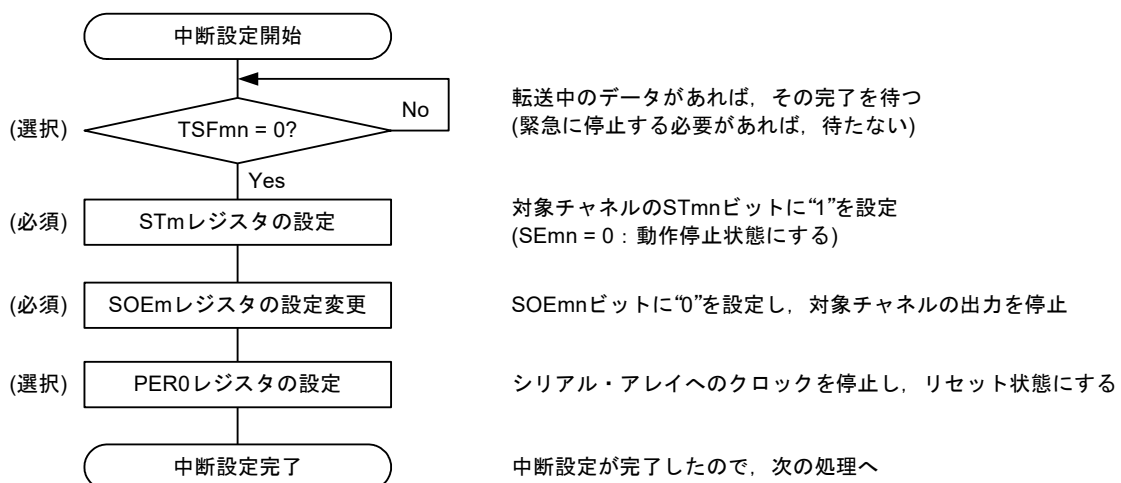
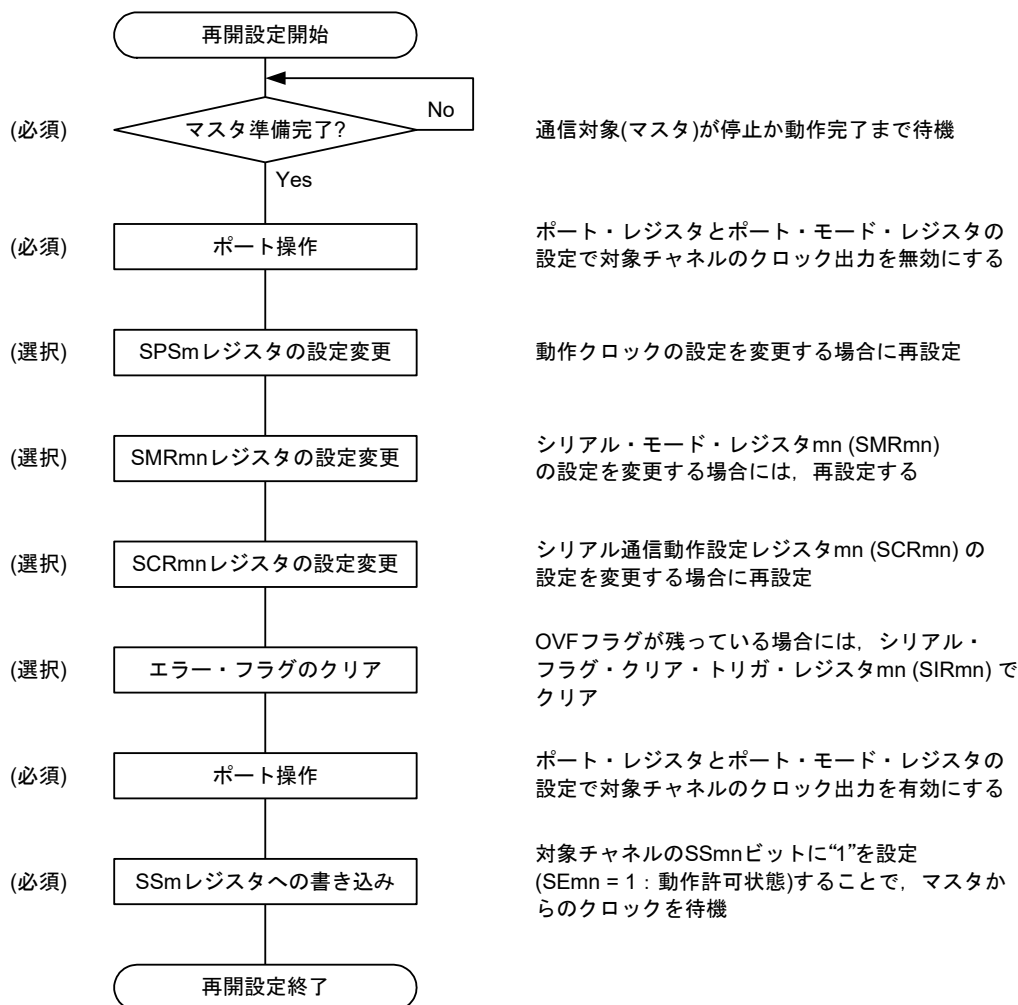


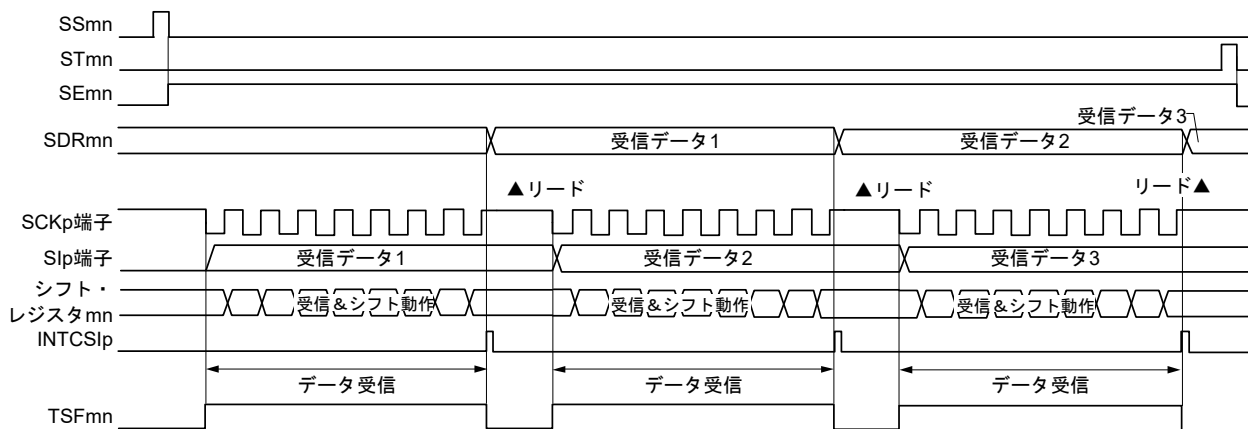
図 17 - 63 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

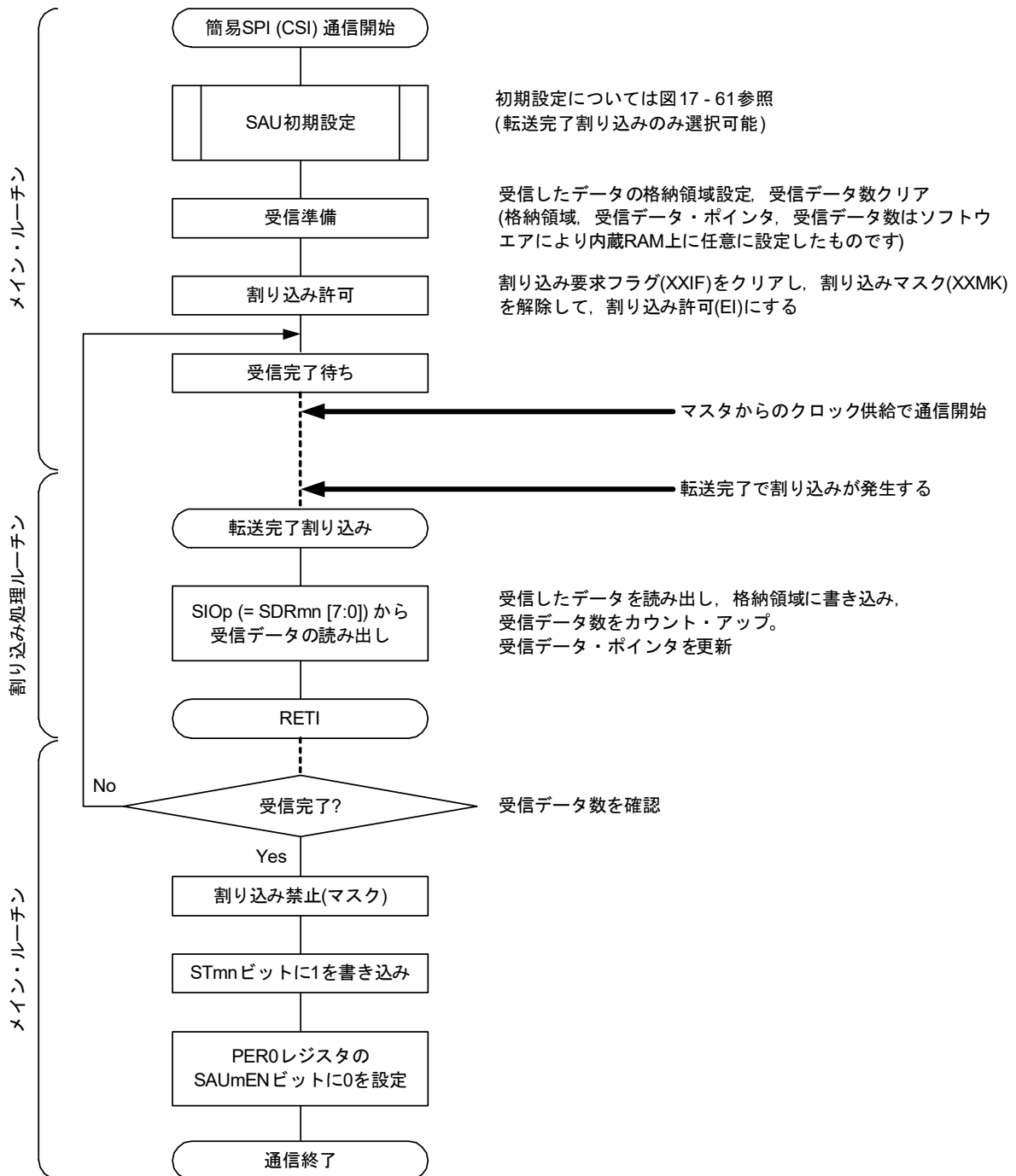
(3) 処理フロー (シングル受信モード時)

図 17 - 64 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-65 スレーブ受信(シングル受信モード時)のフロー・チャート



17.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK20, SI20, SO20	SCK30, SI30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK10, SCK20, SCK30端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{SCK} : シリアル・クロック周波数

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図 17 - 66 簡易SPI (CSI00, CSI10, CSI20, CSI30)のスレーブ送受信時のレジスタ設定内容例

(a)シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fmck) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0 : 転送完了割り込み
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1” 1 : パツファ空き割り込み

(b)シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択 データ転送順序の選択 データ長の設定
 (設定内容詳細は「17.3 シリアル・アレイ・ユニットを制御するレジスタ」参照) 0 : MSB ファーストで入出力を行う 0 : 7ビット・データ長
1 : LSB ファーストで入出力を行う 1 : 8ビット・データ長

(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	00000000								0	送信データ設定/受信データ・レジスタ							
	ボー・レート設定																

SIOp

(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	x	1	x	0	0	0	0	1	0/1	1	0/1

(e)シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

(f)シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

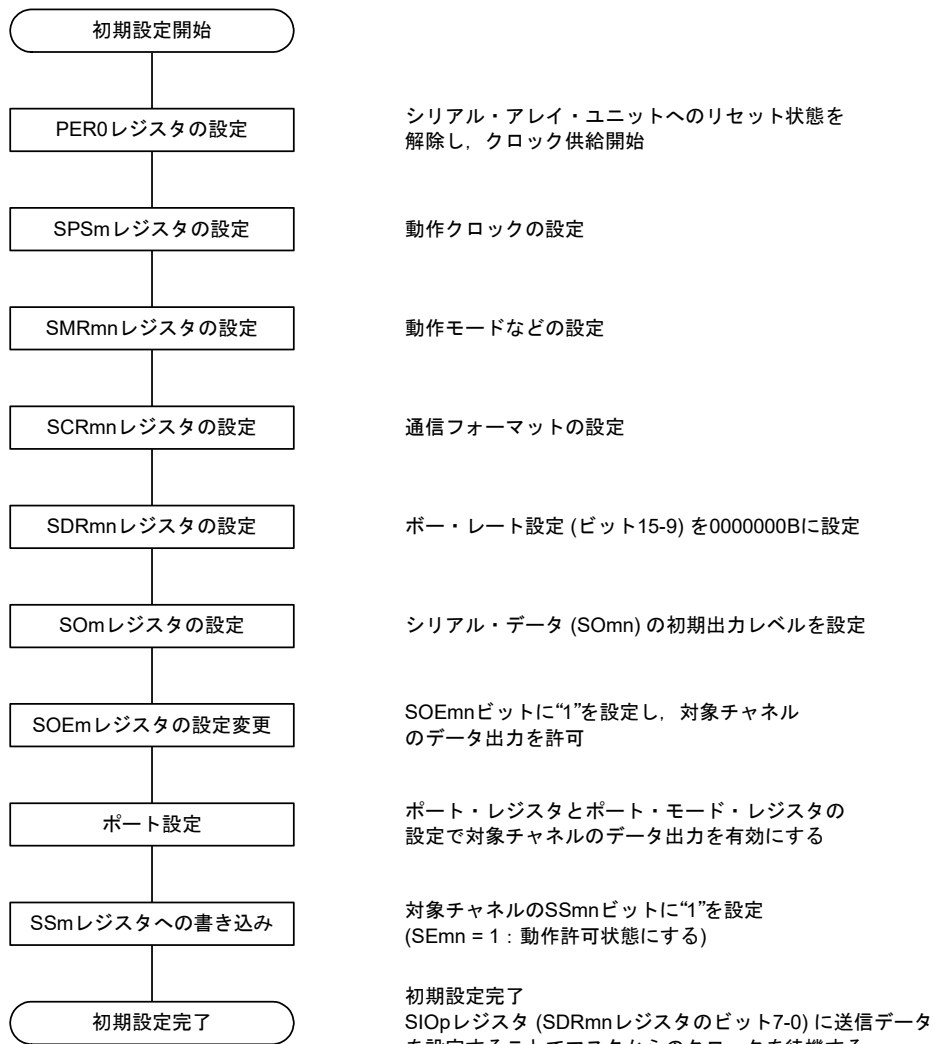
備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 67 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 17 - 68 スレーブ送受信の中断手順

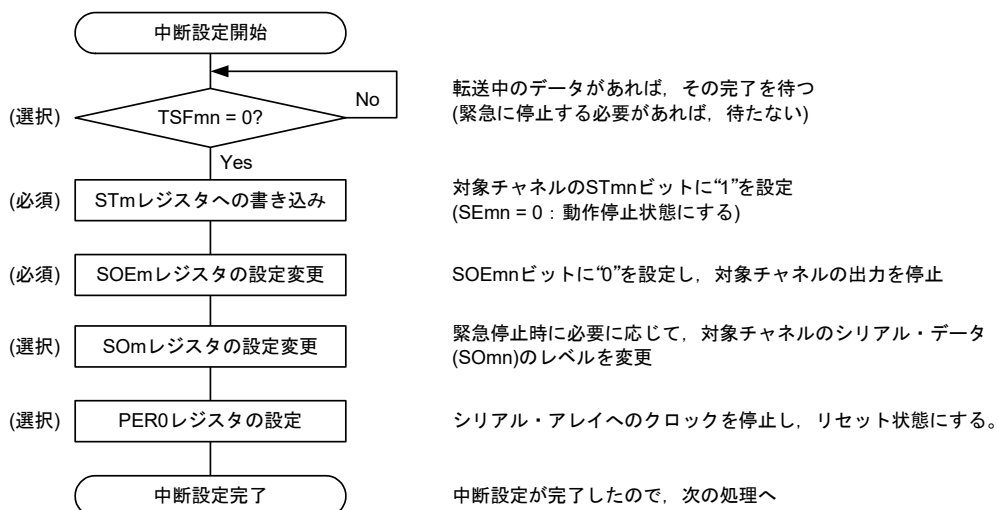
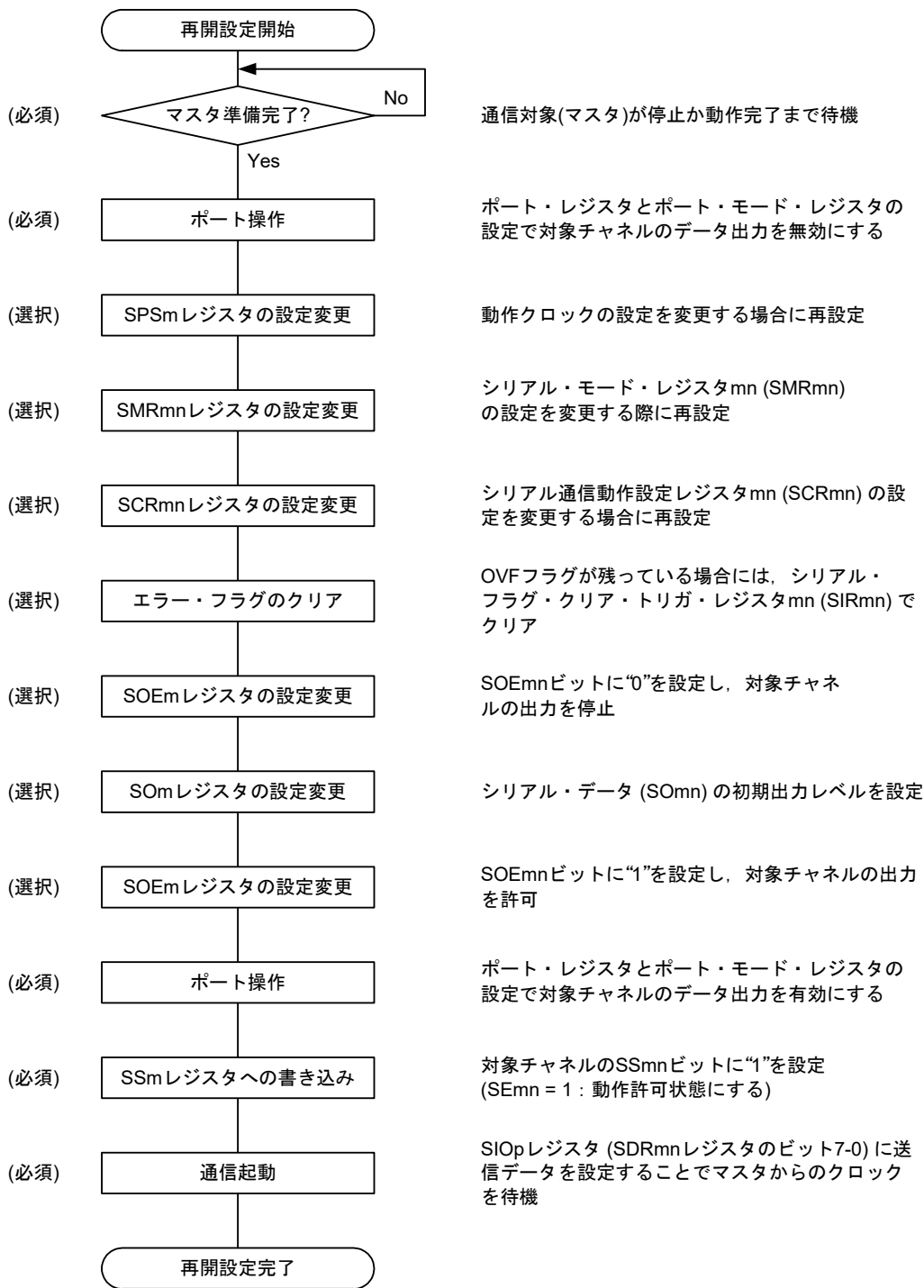


図 17 - 69 スレーブ送受信の再開設定手順

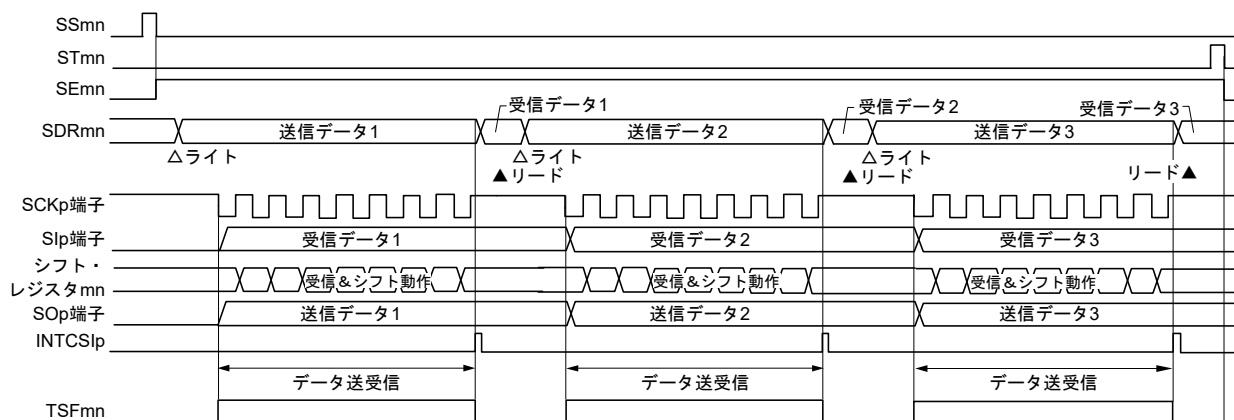


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

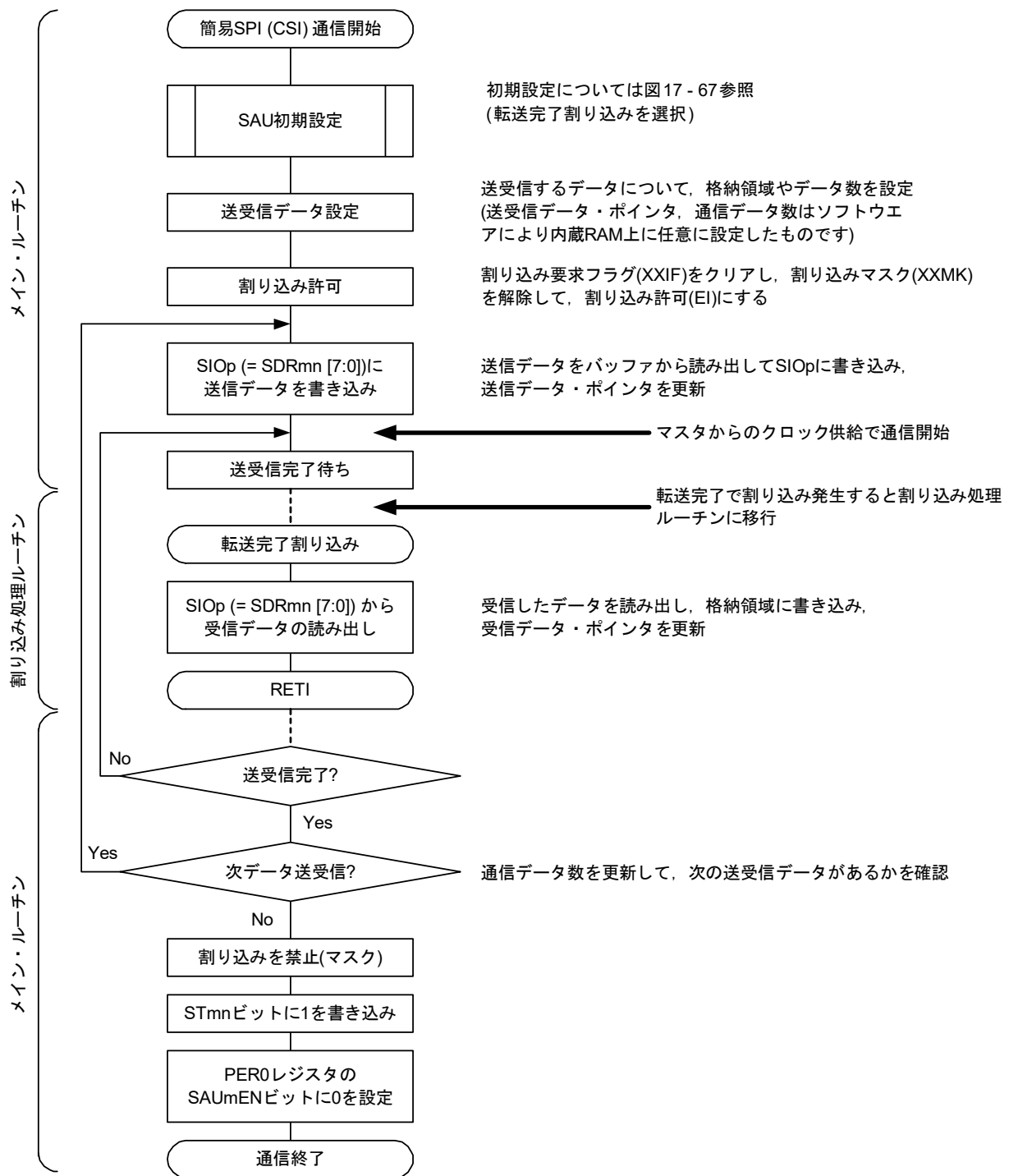
(3) 処理フロー (シングル送受信モード時)

図 17 - 70 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

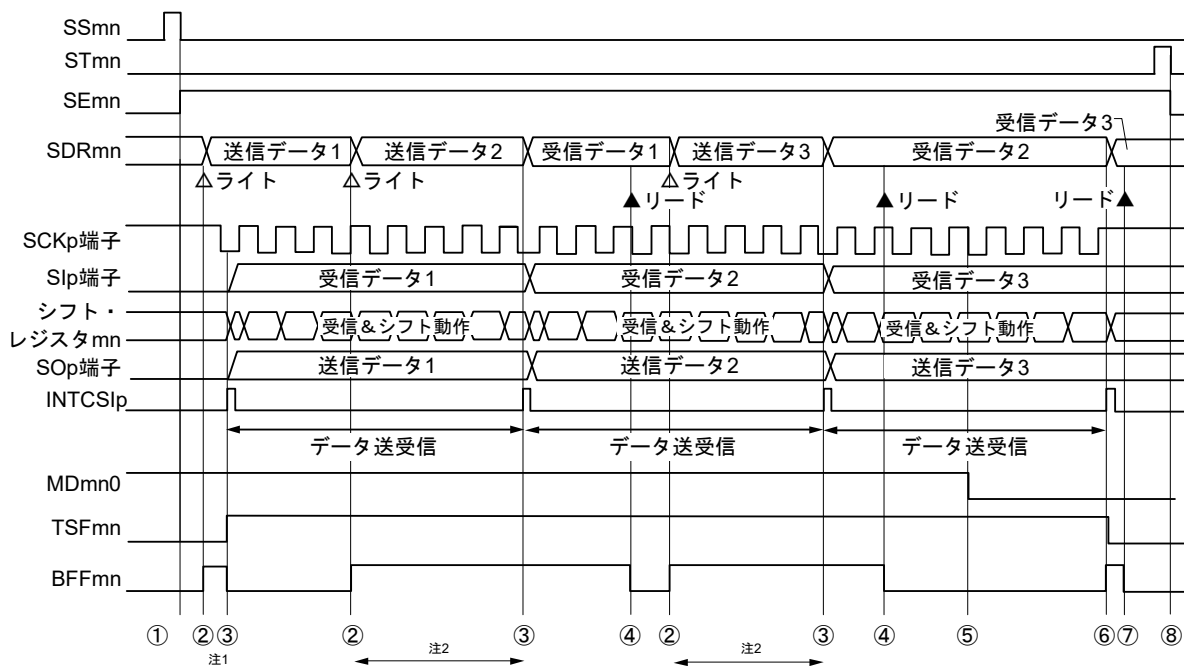
図17-71 スレーブ送受信(シングル送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

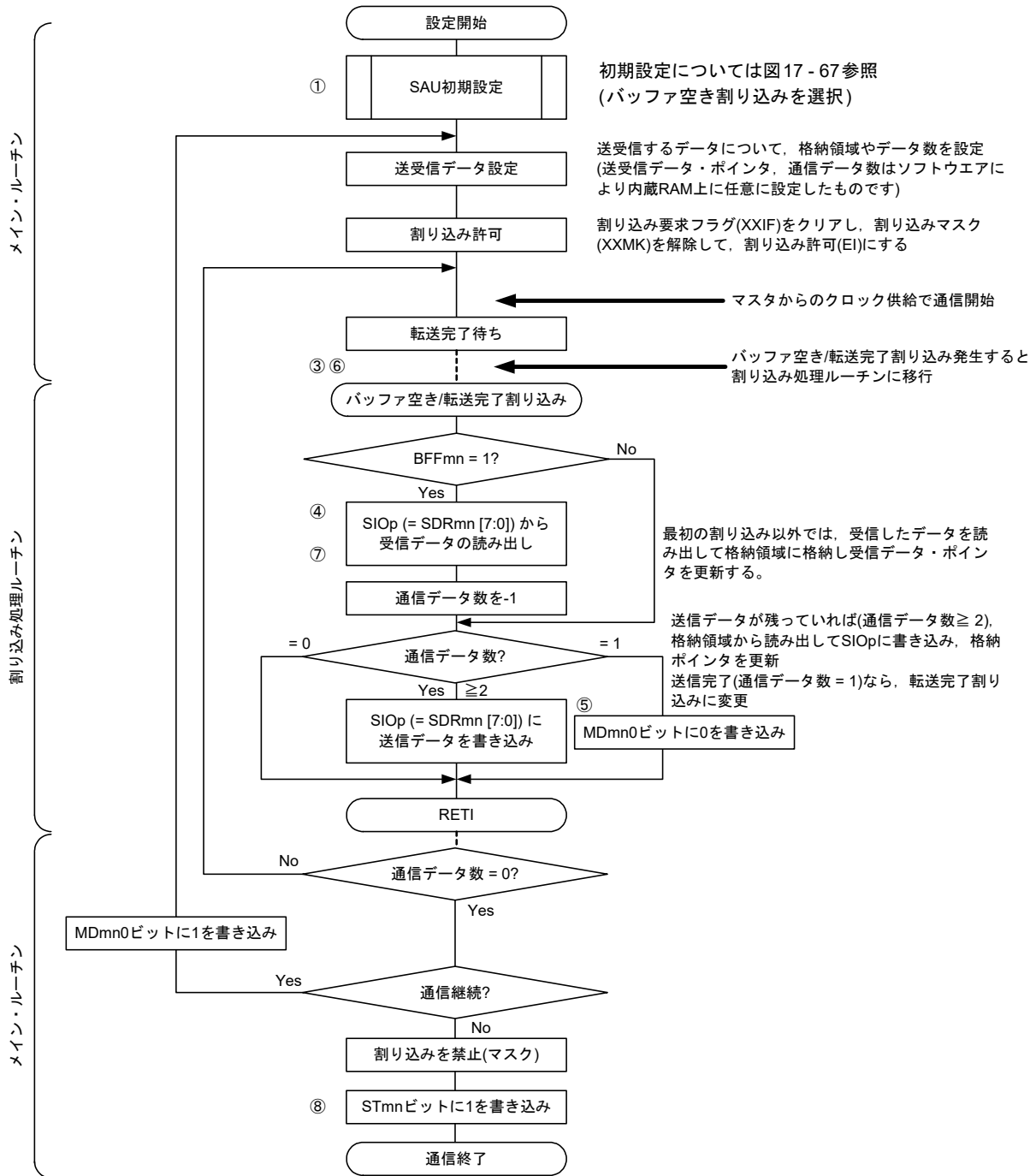
図 17 - 72 スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



- 注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。
- 注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。
- 注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図 17 - 73 スレーブ送受信 (連続送受信モード時) のフロー・チャートの①～⑧に対応しています。
 備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI 番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-73 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は、図17-72 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

17.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI (CSI)の受信動作をさせるモードです。通常STOP時に簡易SPI (CSI)は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI (CSI)の受信動作を行うことができます。SNOOZEモードは、CSI00, CSI20のみ設定可能です。

簡易SPI (CSI)をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います(図17-75, 図17-77 SNOOZEモード動作時のフローチャートを参照)。

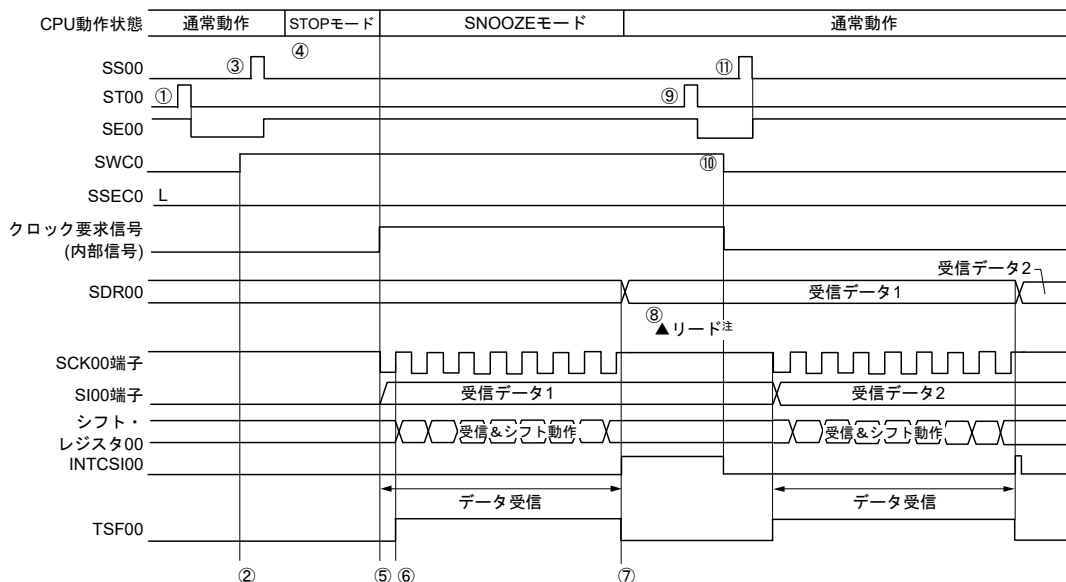
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm)のSSm0ビットをセット(1)します。
- STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作(1回起動)

図17-74 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子のエッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

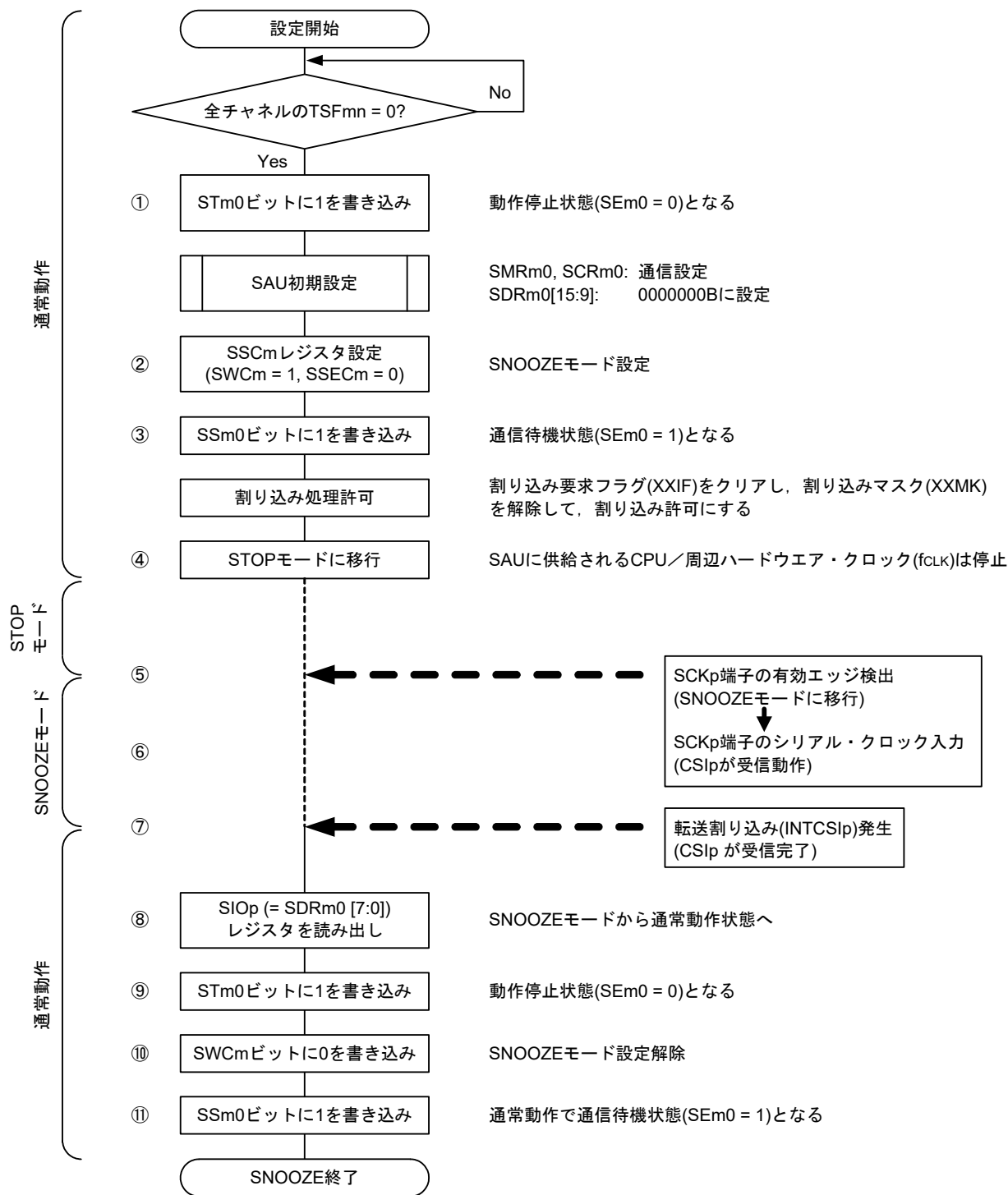
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVFM1フラグは動作しません。

備考1. 図中の①~⑪は、図17-75 SNOOZEモード動作(1回起動)時のフロー・チャートの①~⑪に対応しています。

備考2. m = 0, 1; p = 00, 20

図 17 - 75 SNOOZEモード動作(1回起動)時のフロー・チャート

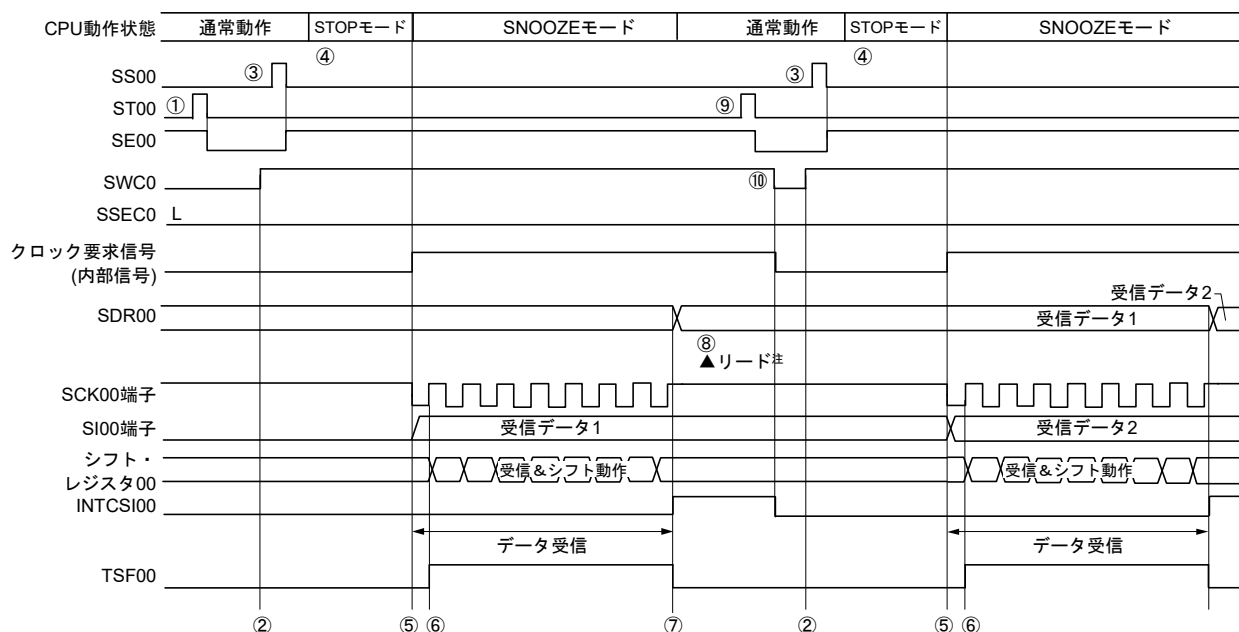


備考1. 図中の①~⑪は、図 17 - 74 SNOOZEモード動作(1回起動)時のタイミング・チャートの①~⑪に対応しています。

備考2. m = 0, 1; p = 00, 20

(2) SNOOZEモード動作(連続起動)

図17-76 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1: DAPm_n = 0, CKPm_n = 0)



注 受信データの読み出しは、SWC_m = 1の状態、次のSCK_p端子のエッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、ST_m0ビットを1に設定してください(SE_m0ビットがクリアされ動作停止)。

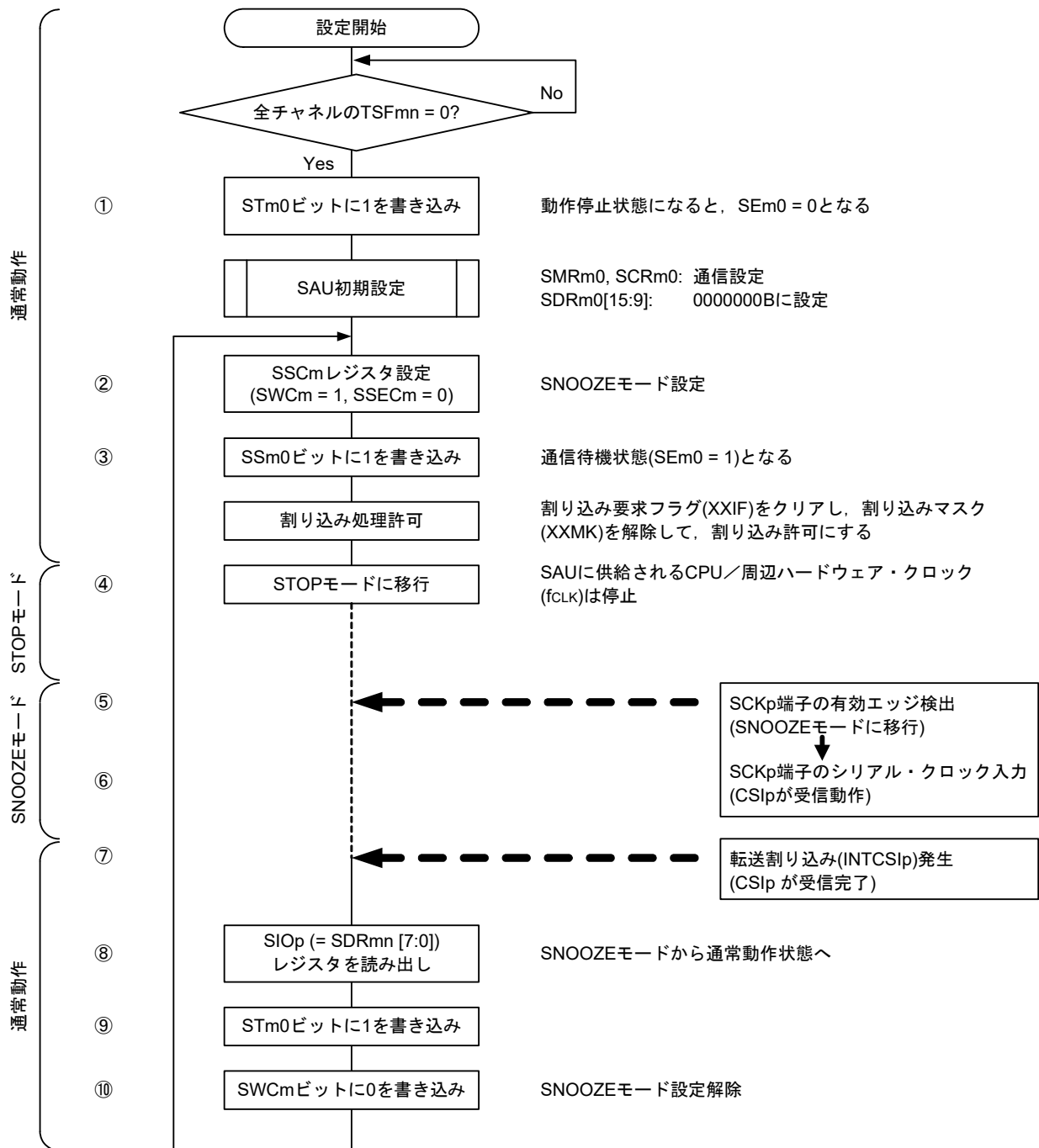
また、受信動作を完了したあとは、SWC_mビットもクリアしてください(SNOOZE解除)。

注意2. SWC_m = 1のときは、BFF_m1, OV_Fm1フラグは動作しません。

備考1. 図中の①~⑩は、図17-77 SNOOZEモード動作(連続起動)時のフロー・チャートの①~⑩に対応しています。

備考2. m = 0, 1; p = 00, 20

図17-77 SNOOZEモード動作(連続起動)時のフロー・チャート



備考1. 図中の①~⑩は, 図17-76 SNOOZEモード動作(連続起動)時のタイミング・チャートの①~⑩に対応しています。

備考2. m = 0, 1; p = 00, 20

17.5.8 転送クロック周波数の算出

簡易SPI (CSI00, CSI10)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数はfMCK/6となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000000B-1111111B)なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmn)で決まります。

表 17 - 2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注		
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時	
0		X	X	X	X	0	0	0	0	fCLK	24 MHz
		X	X	X	X	0	0	0	1	fCLK/2	12 MHz
		X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
		X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
		X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
		X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
		X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
		X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
		X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
		X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
		X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
		X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
		X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
		X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
		X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
	X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	
1		0	0	0	0	X	X	X	X	fCLK	24 MHz
		0	0	0	1	X	X	X	X	fCLK/2	12 MHz
		0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
		0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
		0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
		0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
		0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
		0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
		1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
		1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
		1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
		1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz
		1	1	0	0	X	X	X	X	fCLK/2 ¹²	5.86 kHz
		1	1	0	1	X	X	X	X	fCLK/2 ¹³	2.93 kHz
		1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.46 kHz
	1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12

17.5.9 簡易SPI (CSI00, CSI10, CSI20, CSI30)通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI10, CSI20, CSI30)通信時にエラーが発生した場合の処理手順を図17 - 78に示します。

図17 - 78 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12

17.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作

スレーブセレクト入力機能付クロック同期シリアル通信に対応しているチャンネルは、SAU0のチャンネル0です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択
- 送受信データのレベル設定

[クロック制御]

- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

注 SCKサイクル・タイム (tkCY) の特性を満たす範囲内で使用してください。詳細は、第35章 電気的特性 (A: TA = -40 ~ +85°C) を参照してください。

○80ピン, 100ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	CSI30	UART3	IIC30
	3	—		—

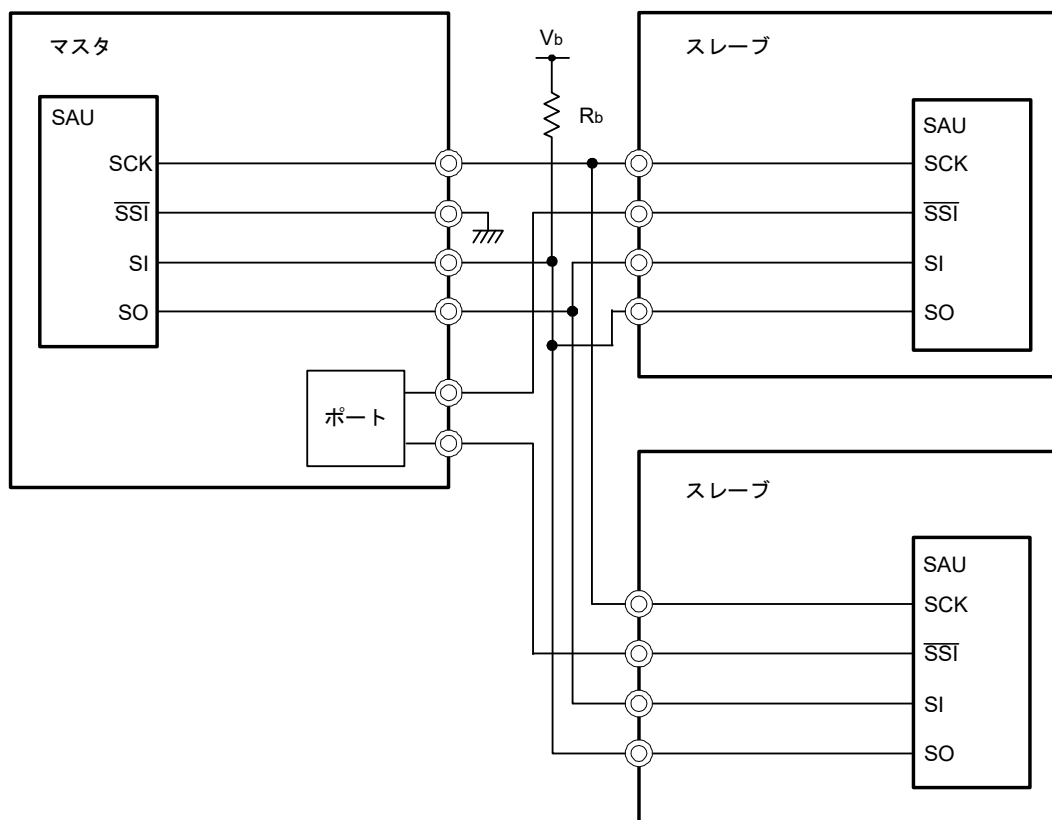
スレーブセレクト入力機能の通信動作は、以下の3種類があります。

- スレーブ送信(17.6.1項を参照)
- スレーブ受信(17.6.2項を参照)
- スレーブ送受信(17.6.3項を参照)

スレーブセレクト入力機能を使うことで、マスタ1つに対し複数のスレーブを接続し、通信を行うことができます。マスタは通信相手となるスレーブ(1つ)に対しスレーブ選択信号を出力し、各スレーブは通信相手として自分が選択されたかを判断し、SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子はマスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には、SO端子はハイ・レベル出力となるため、複数のスレーブが接続される環境では、SO端子はNch-O.Dの設定にし、そのノードはプルアップする必要があります。また、スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意 スレーブ選択信号の出力はポート操作により行ってください。

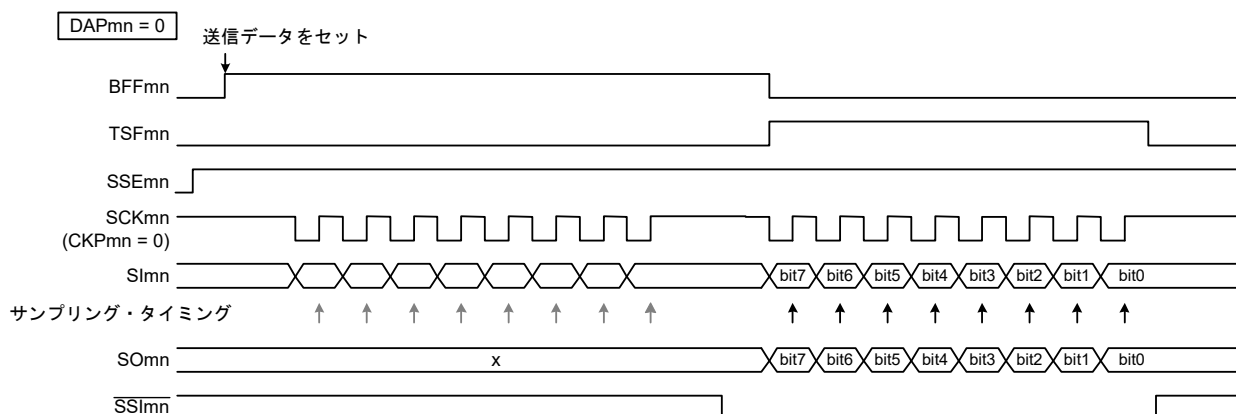
図17-79 スレーブセレクト入力機能の構成例



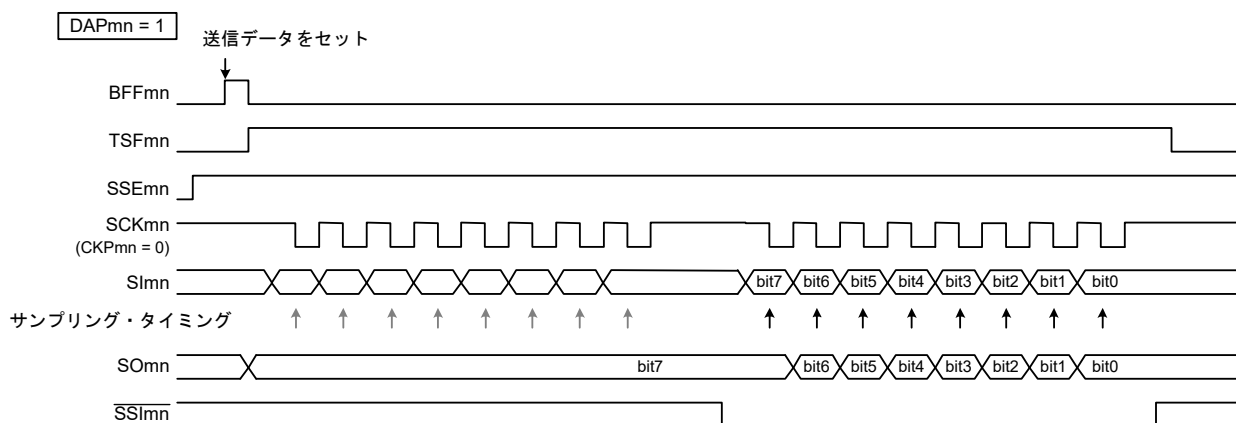
注意 $EV_{DD0} \geq V_b$ で使用してください。

SO00端子はN-chオープン・ドレイン出力(EV_{DD}耐圧)モードを選択。

図 17 - 80 スレーブセレクト入力機能のタイミング図



SSImnがハイ期間ではSCKmn (シリアル・クロック) の立ち下がりエッジが来ても送信を行いません。
 また、立ち上がりエッジに同期して受信データのサンプリングも行いません。
 SSImnがロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを出力 (シフト) し、
 立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1 の場合、SSImnがハイ期間に送信データがセットされると、データ出力に最初のデータ (bit7) を出力します。しかし、SCKmn (シリアル・クロック) の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると、次の立ち上がりエッジに同期してデータを出力 (シフト) し、立ち下がりエッジに同期して受信動作を行います。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

17.6.1 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスヘデータを送信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブ・セレクト機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0)

(1) レジスタ設定

図 17 - 81 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(1/2)

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fMCK) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0 : 転送完了割り込み
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1” 1 : バッファ空き割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択 データ転送順序の選択 データ長の設定
 (設定内容詳細は「17.3 シリアル・アレイ・ユニットを制御するレジスタ」参照) 0 : MSBファーストで入出力を行う 0 : 7ビット・データ長
1 : LSBファーストで入出力を行う 1 : 8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	00000000								0	送信データ設定							
	ボー・レート設定									SIOp							

(d) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm					CKOm3	CKOm2	CKOm1	CKOm0					SOm3	SOm2	SOm1	SOm0
	0	0	0	0	x	x	x	x	0	0	0	0	x	x	x	0/1

(e) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0/1

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI)スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図 17 - 82 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

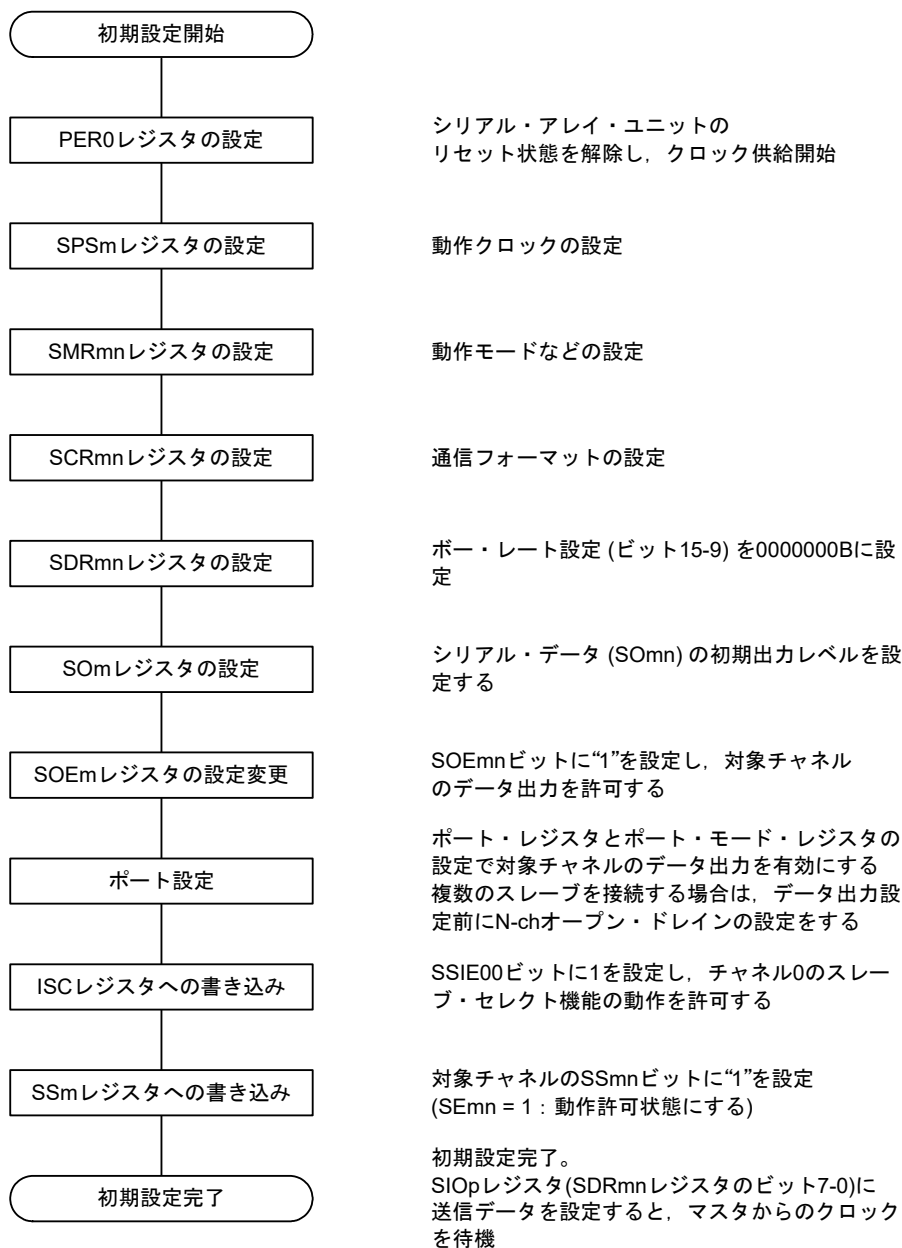
0 : SSI00端子の入力値を無効
1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI (CSI)スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)
x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

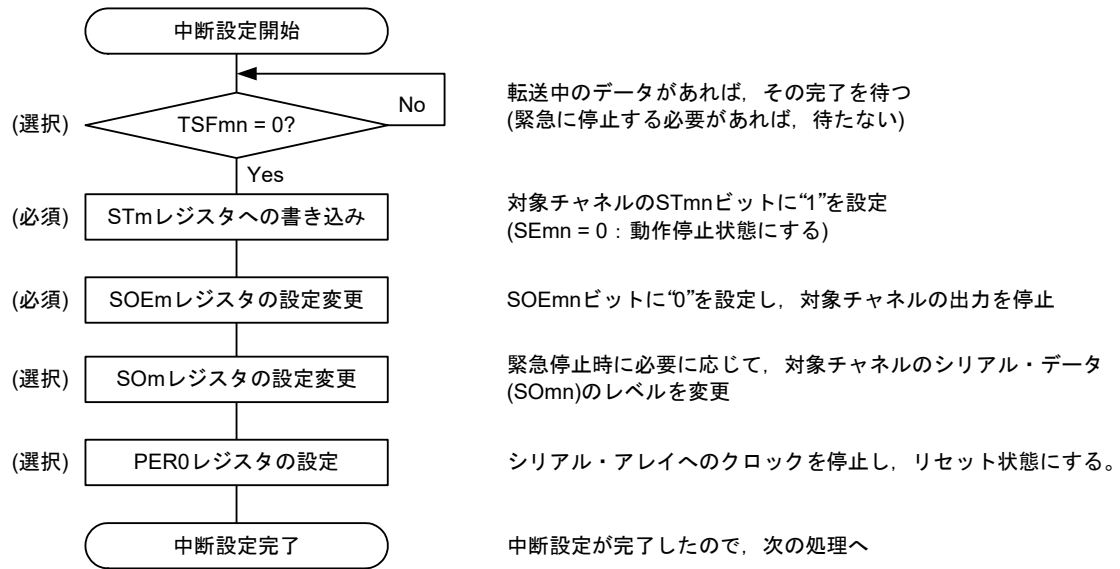
(2) 操作手順

図 17 - 83 スレーブ送信の初期設定手順



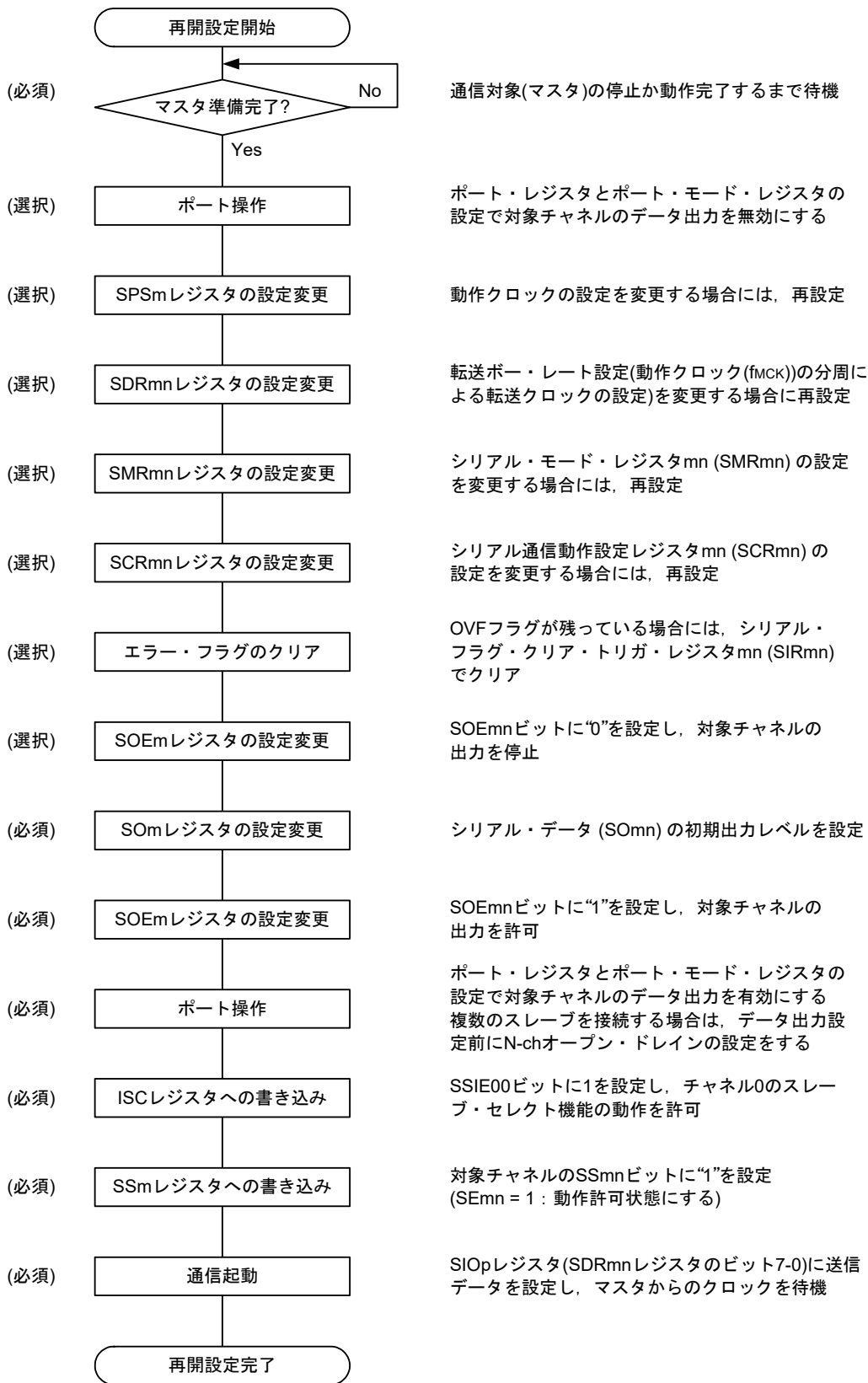
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17 - 84 スレーブ送信の中断手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 17 - 85 スレーブ送信の再開設定手順

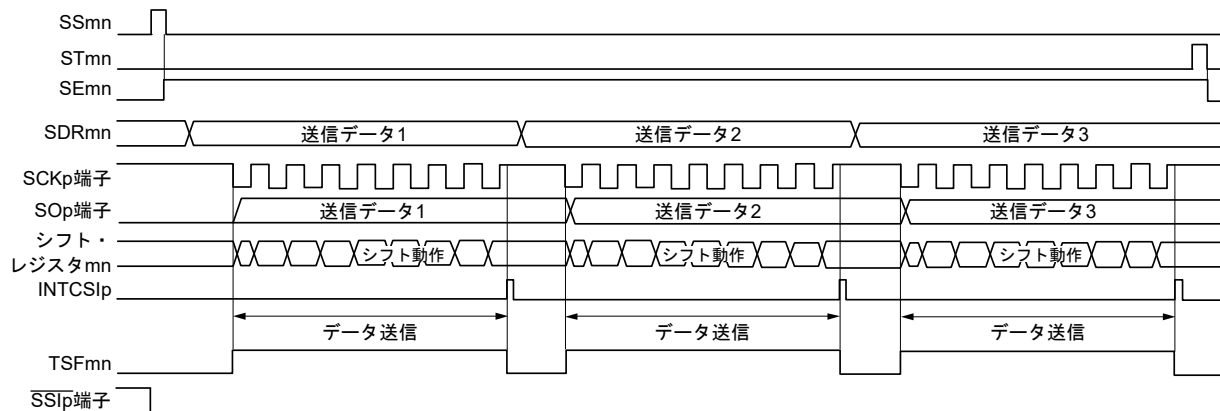


備考1. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

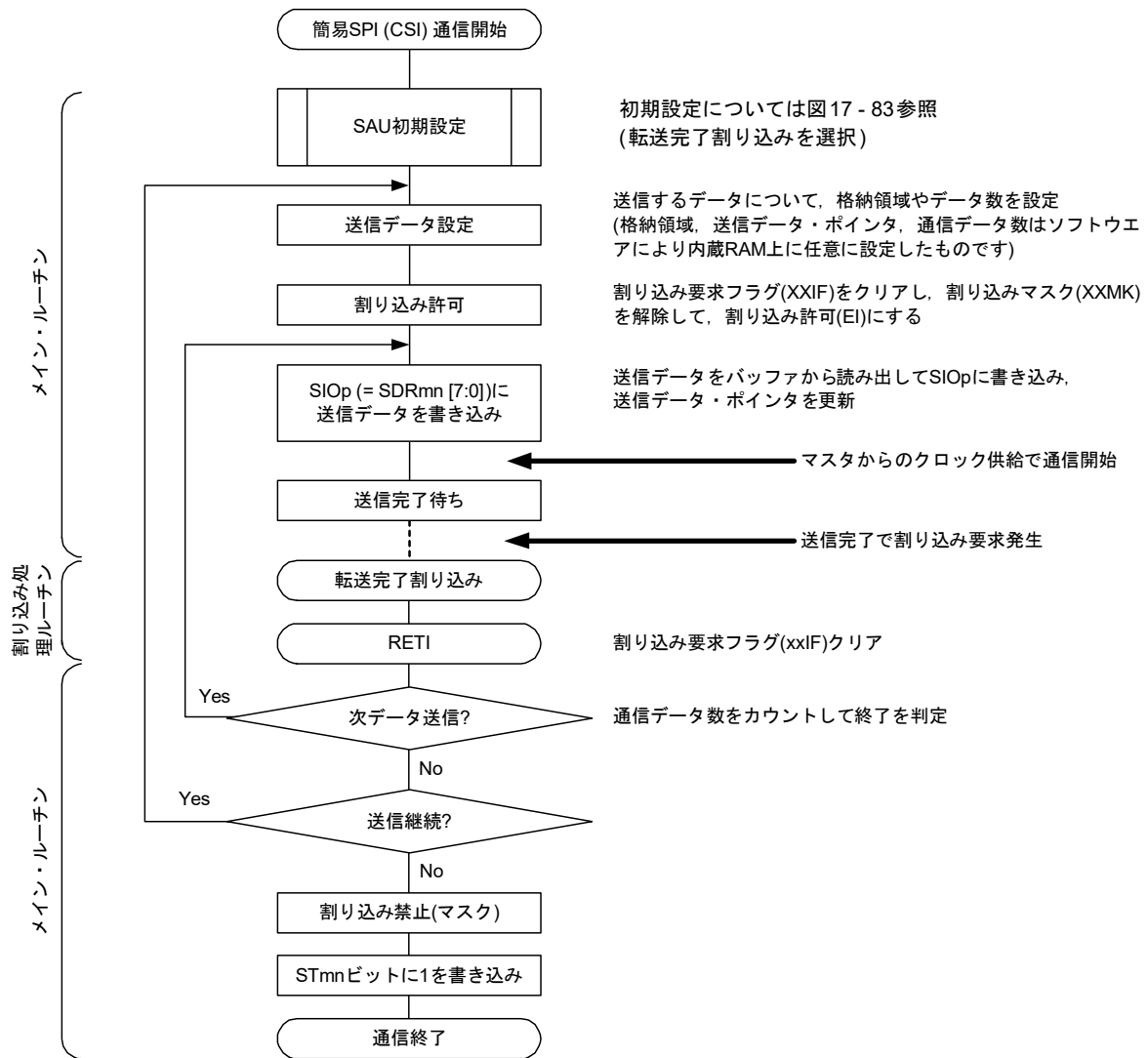
(3) 処理フロー (シングル送信モード時)

図 17 - 86 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

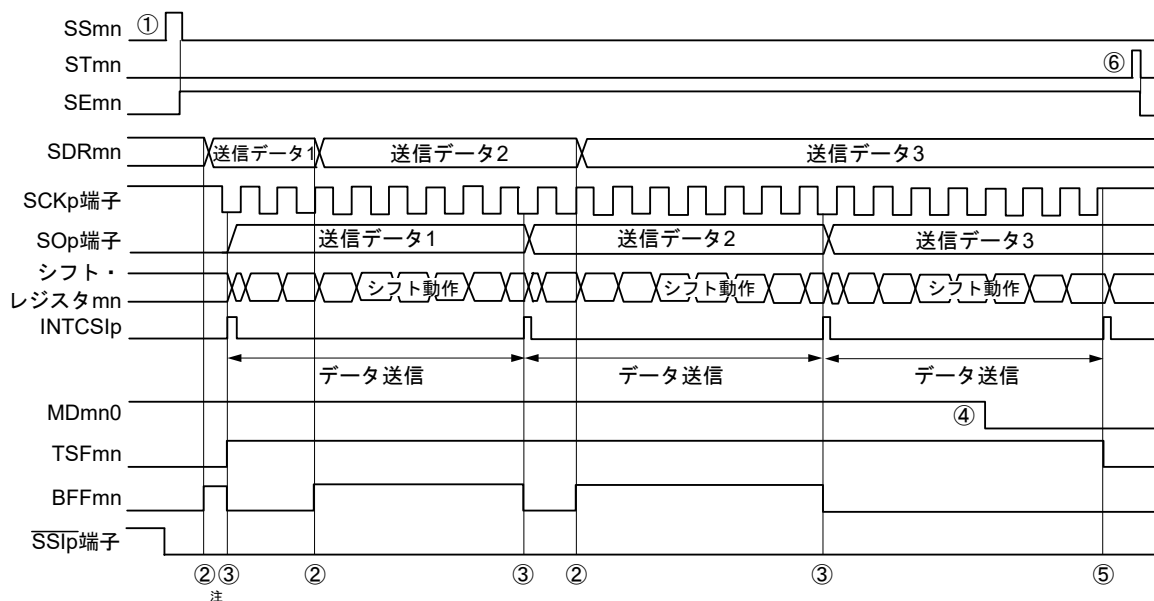
図17-87 スレーブ送信(シングル送信モード時)のフロー・チャート



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー (連続送信モード時)

図17-88 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)

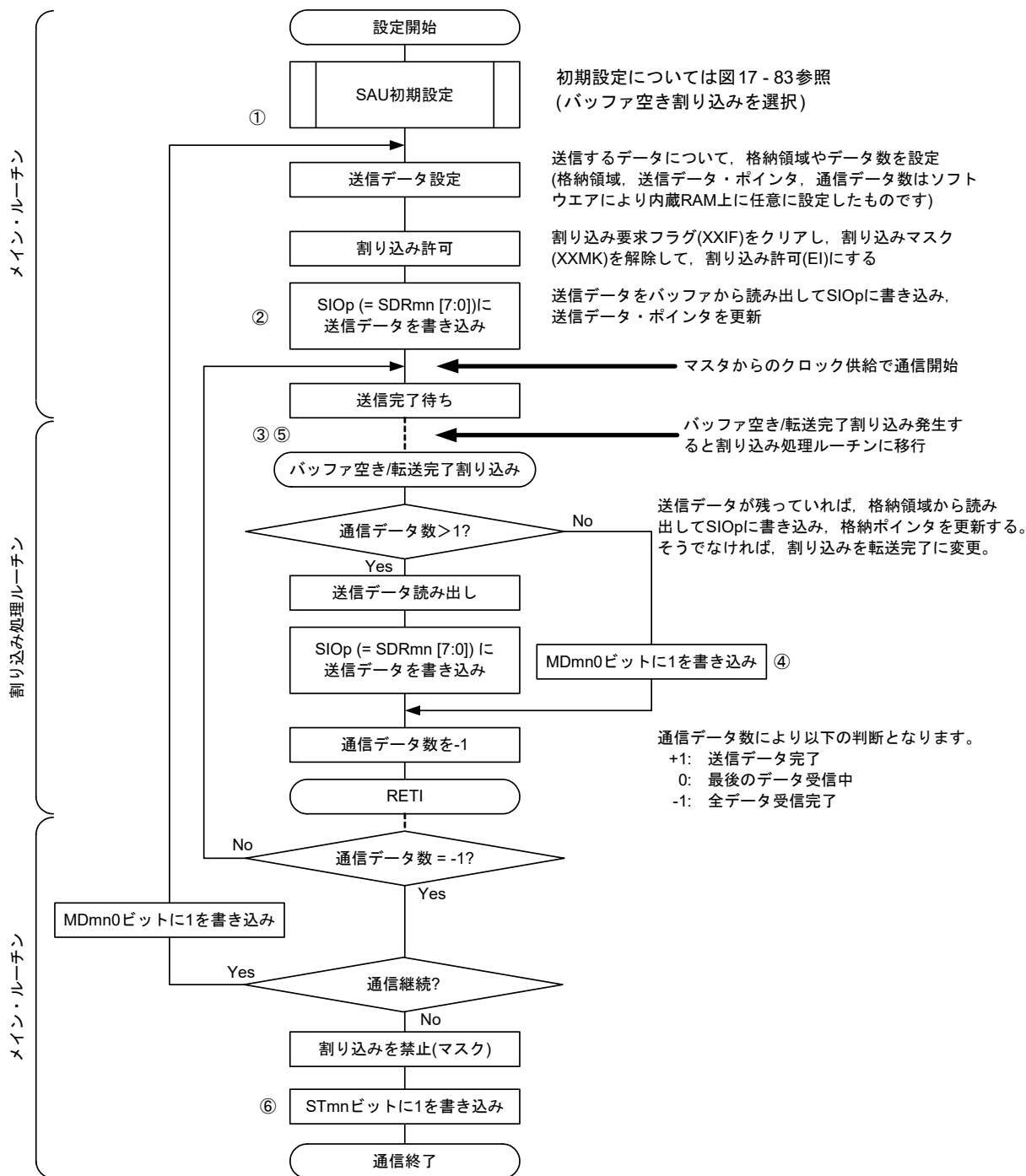


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

図17-89 スレーブ送信(連続送信モード時)のフロー・チャート



備考1. 図中の①～⑥は、図17-88 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

17.6.2 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, $\overline{\text{SSI00}}$
割り込み	INTCSI00
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)を参照)を満たす範囲内で使用してください。

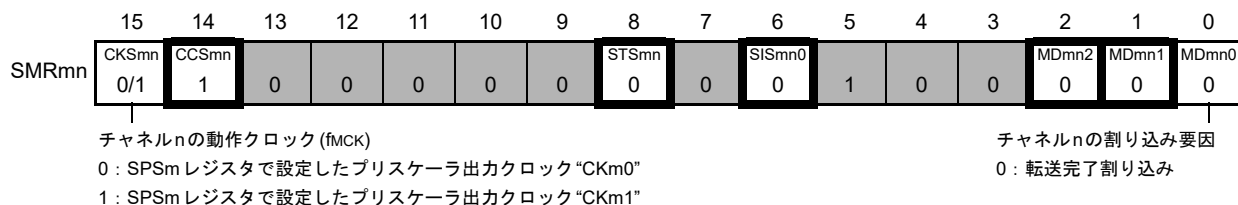
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0)

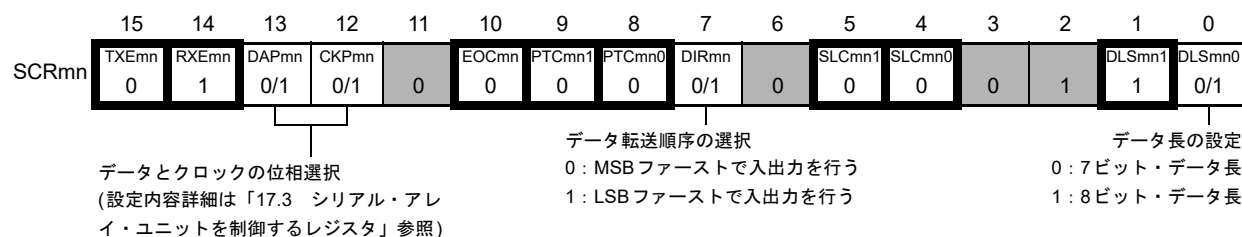
(1) レジスタ設定

図 17 - 90 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2)

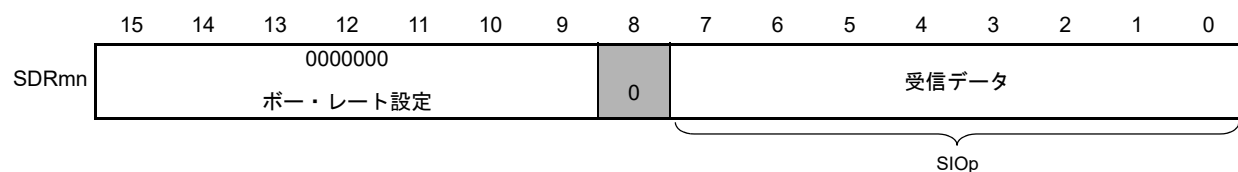
(a) シリアル・モード・レジスタ mn (SMRmn)



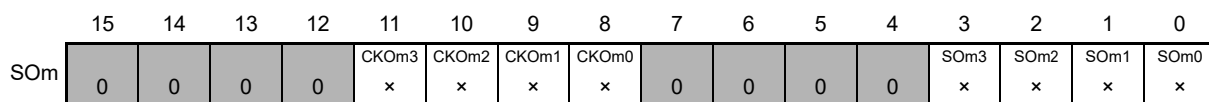
(b) シリアル通信動作設定レジスタ mn (SCRmn)



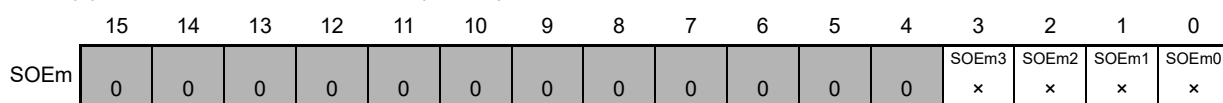
(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



(d) シリアル出力レジスタ m (SOm) このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない



備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI)スレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図 17 - 91 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : SSI00端子の入力値を無効
1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. : 簡易SPI (CSI)スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 92 スレーブ受信の初期設定手順

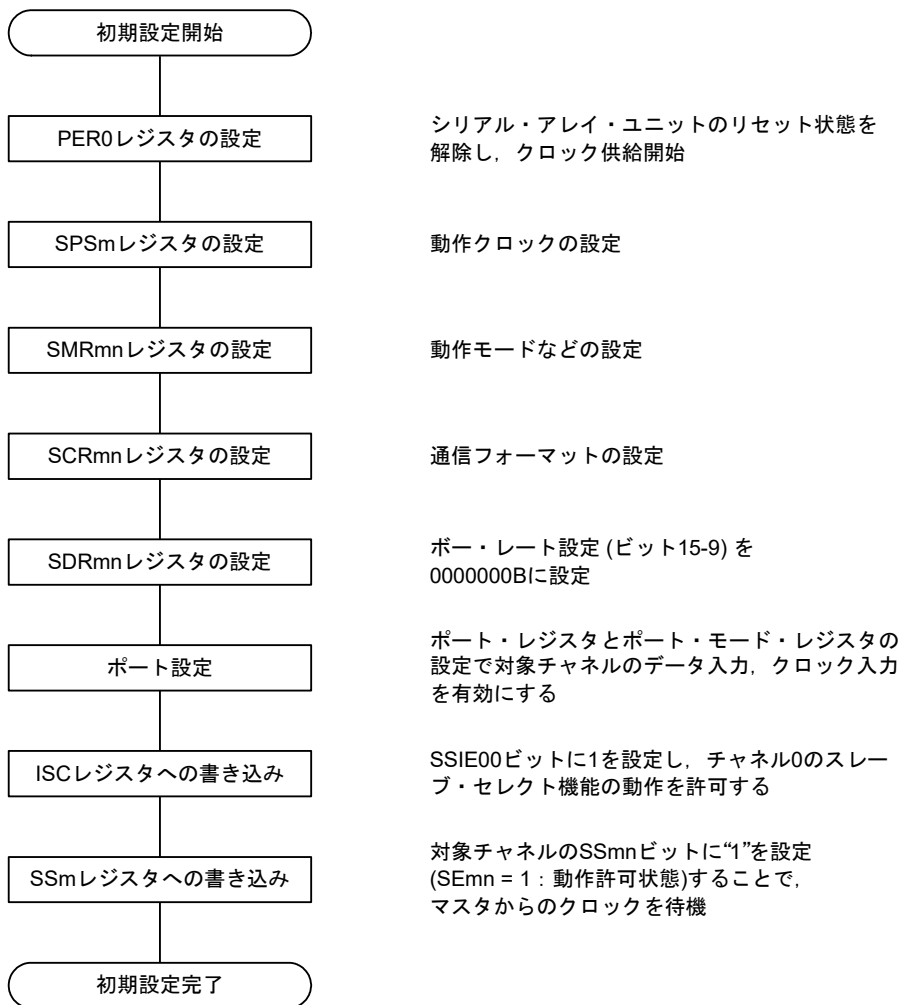
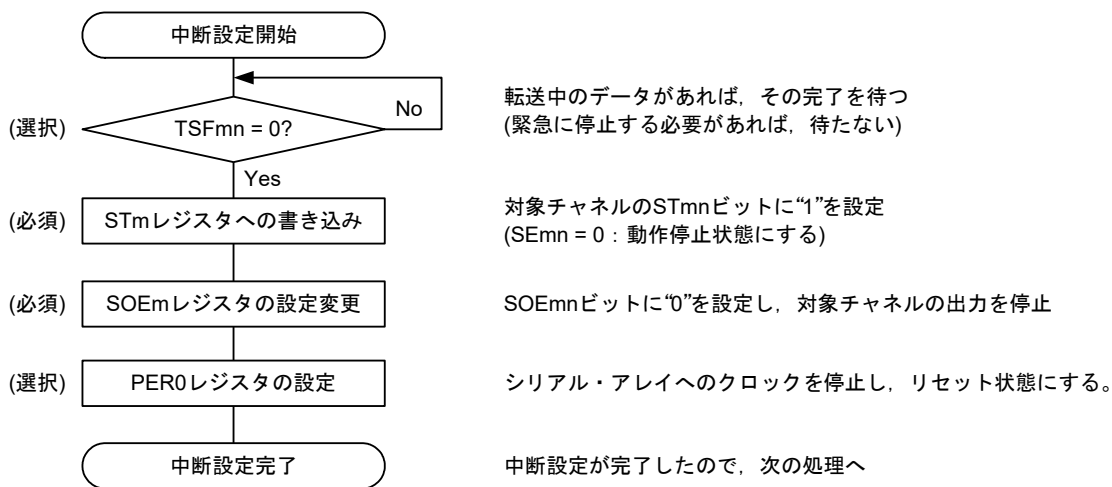
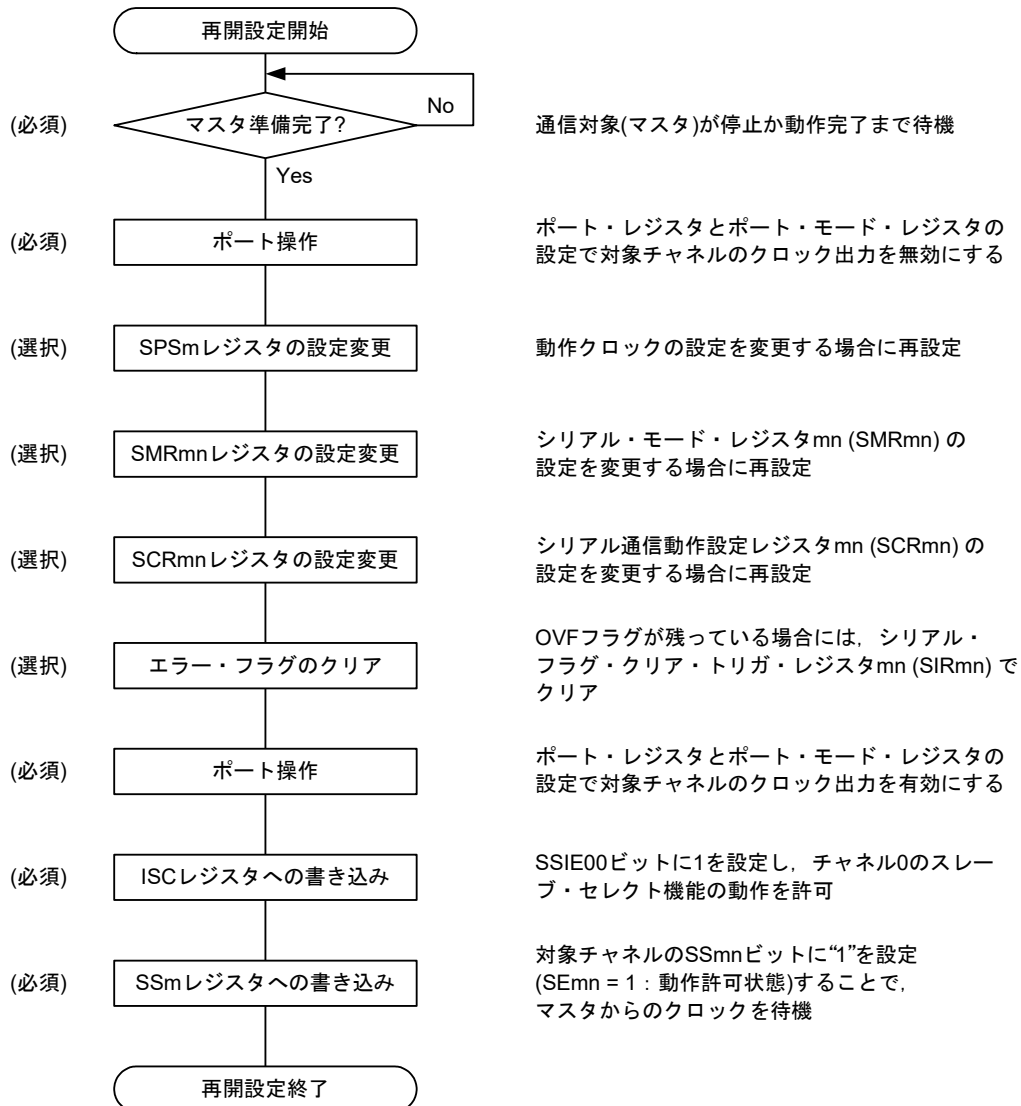


図 17 - 93 スレーブ受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

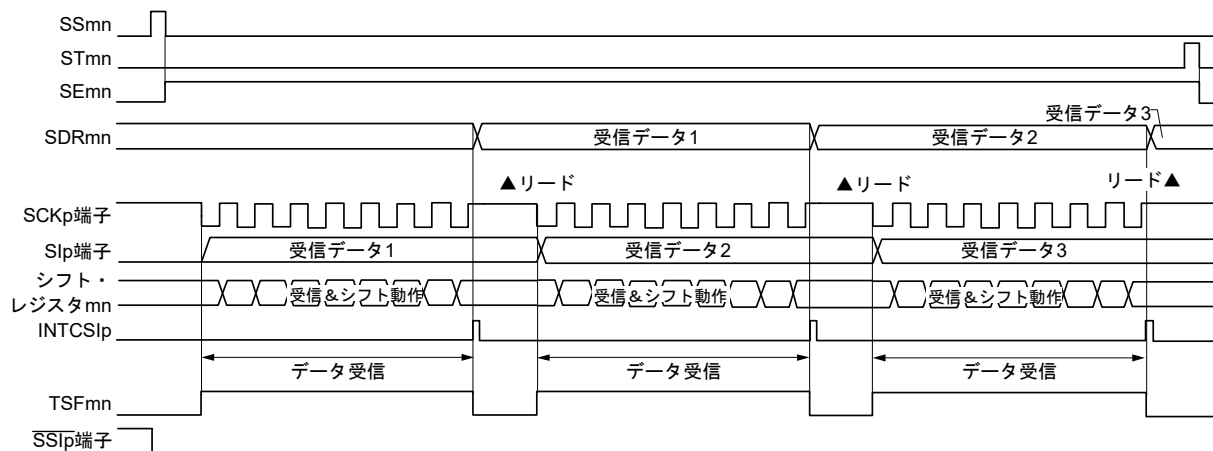
図 17 - 94 スレーブ受信の再開設定手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

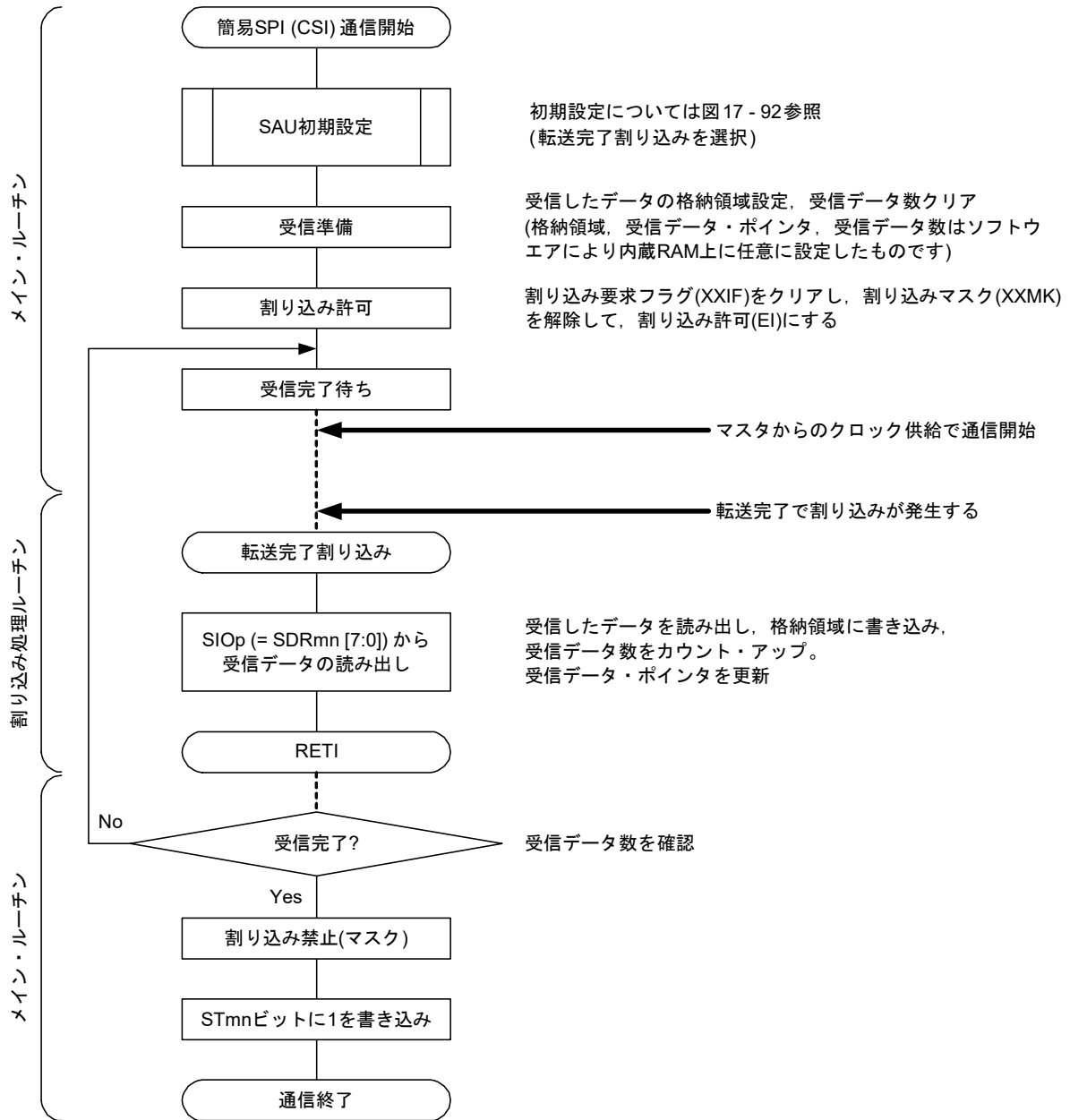
(3) 処理フロー (シングル受信モード時)

図 17 - 95 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17-96 スレーブ受信(シングル受信モード時)のフロー・チャート



17.6.3 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz]注1,2
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: $T_A = -40 \sim +85^\circ\text{C}$)を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0)

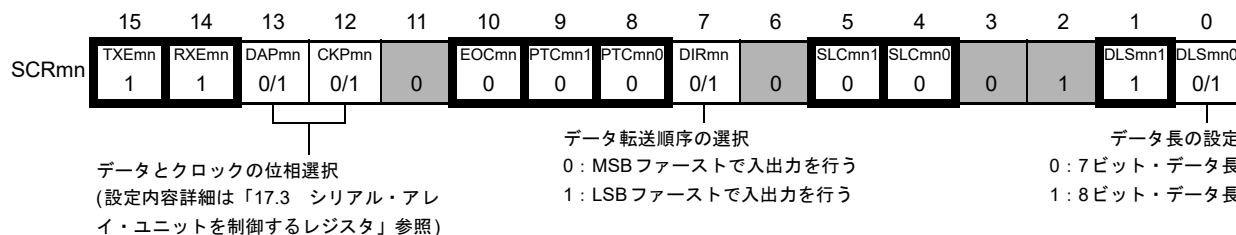
(1) レジスタ設定

図17-97 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(1/2)

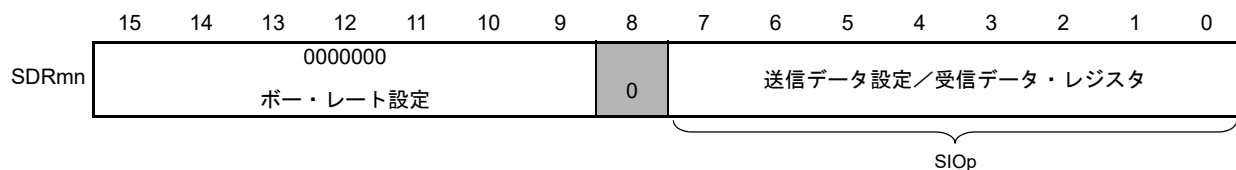
(a)シリアル・モード・レジスタ mn (SMRmn)



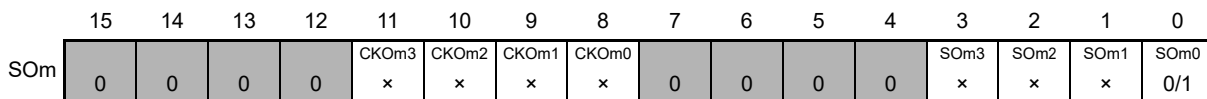
(b)シリアル通信動作設定レジスタ mn (SCRmn)



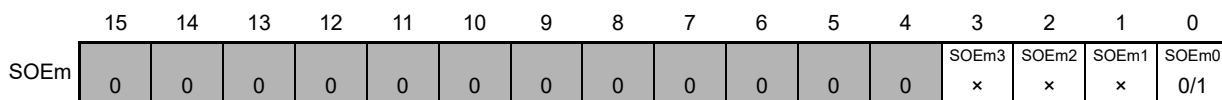
(c)シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)



(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e)シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI)スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図17-98 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSi00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSiE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : SSI00端子の入力値を無効
1 : SSI00端子の入力値を有効

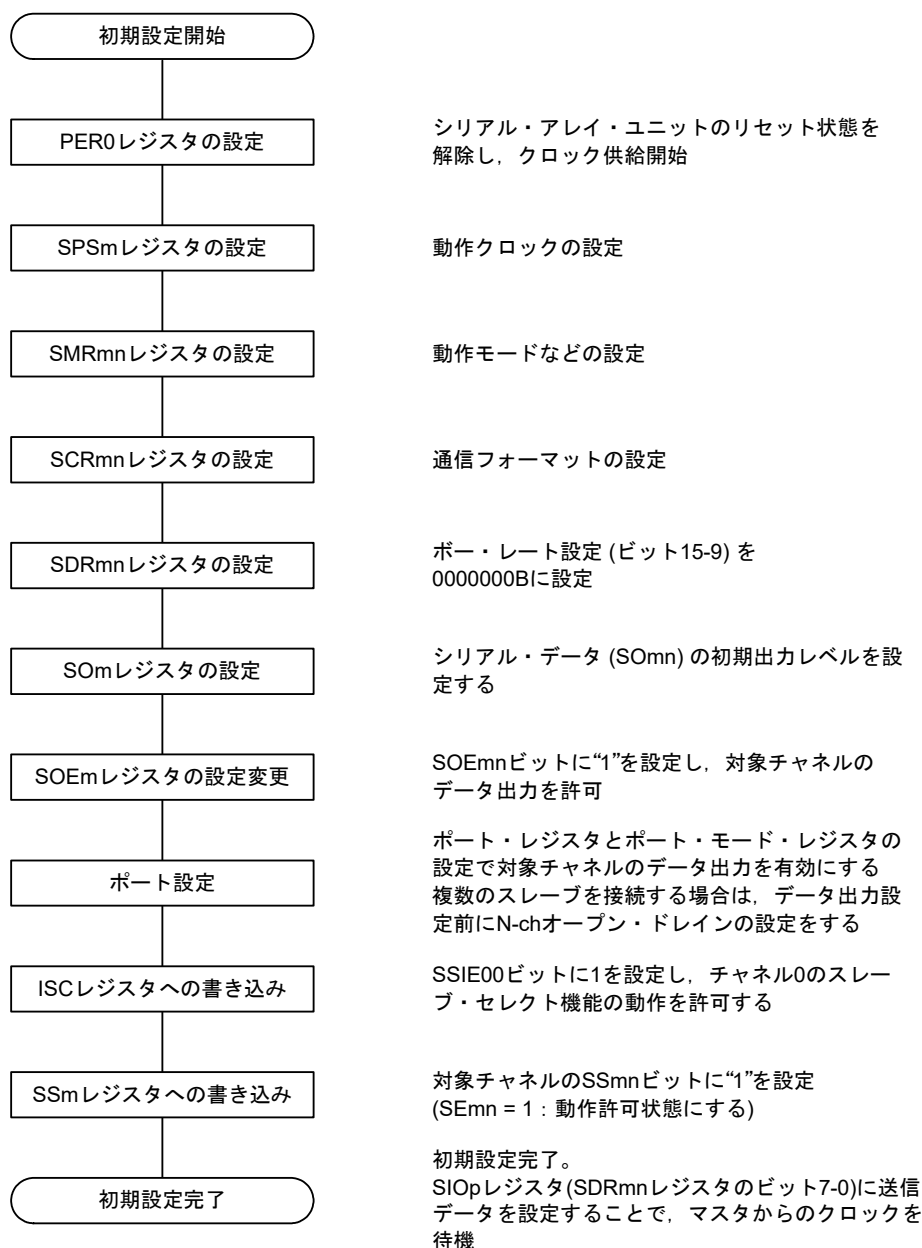
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI)スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)
× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

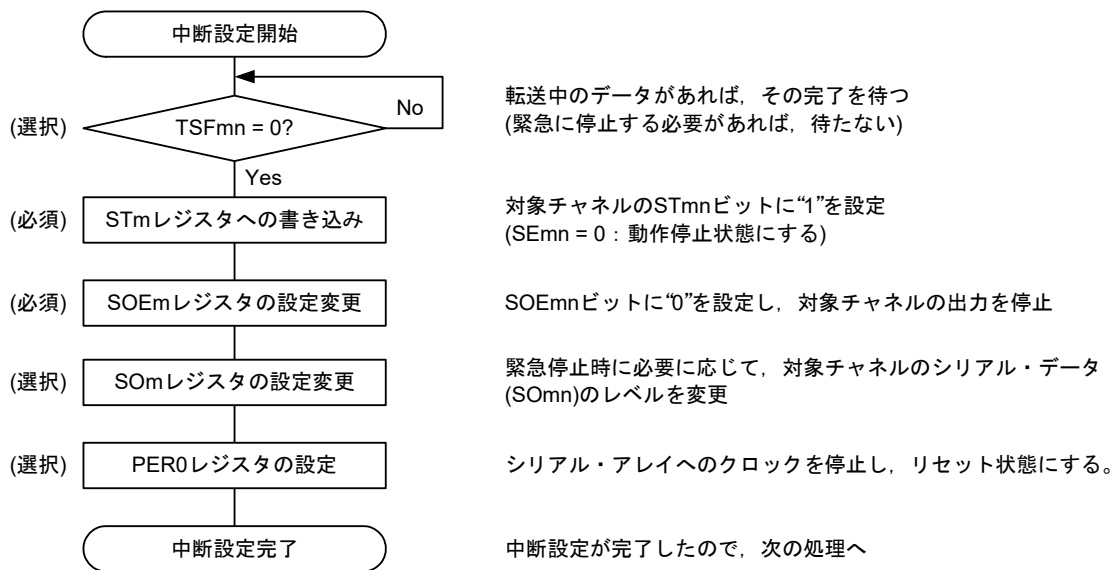
図 17 - 99 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

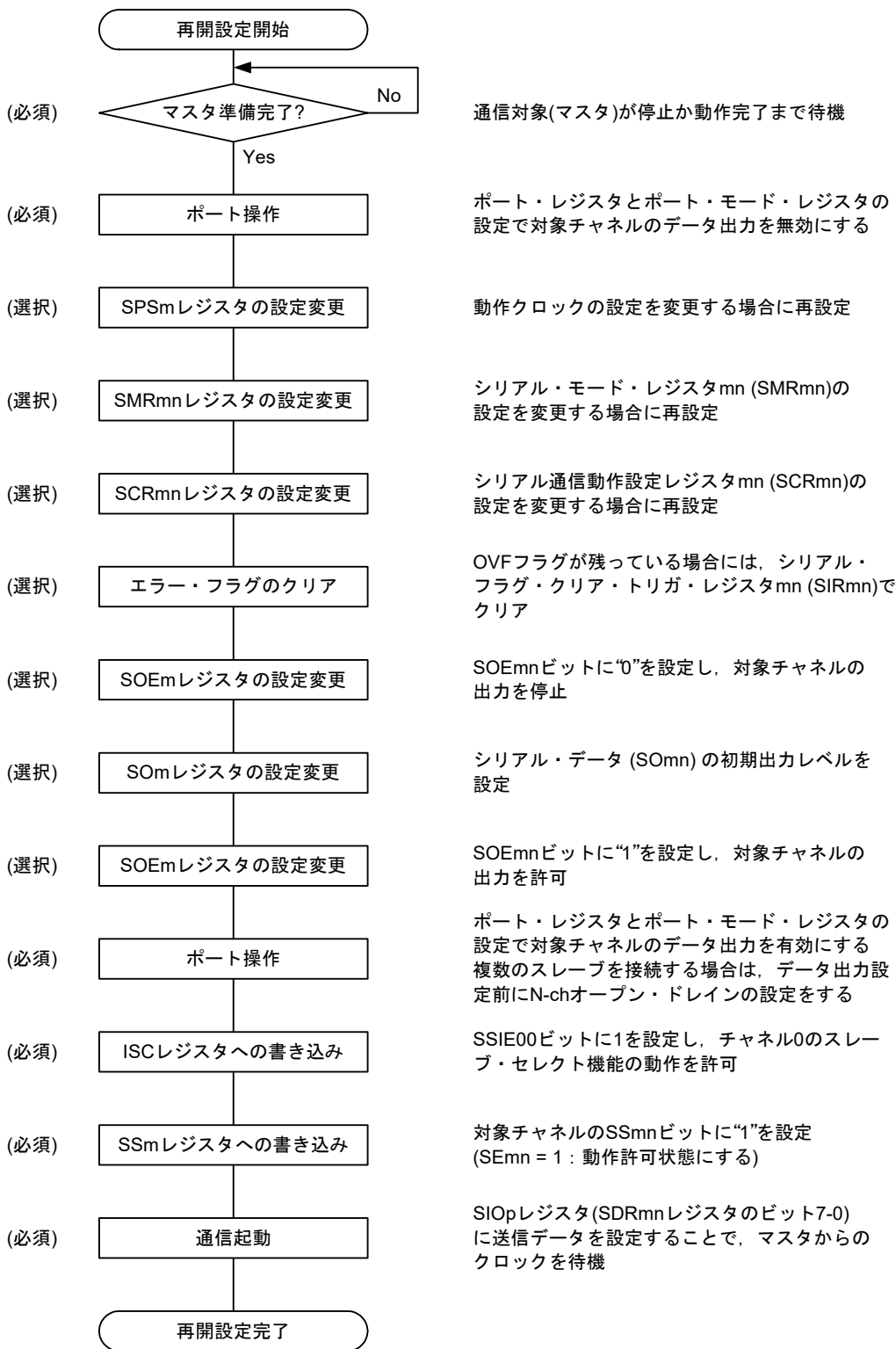
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17 - 100 スレーブ送受信の中断手順



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図17-101 スレーブ送受信の再開設定手順

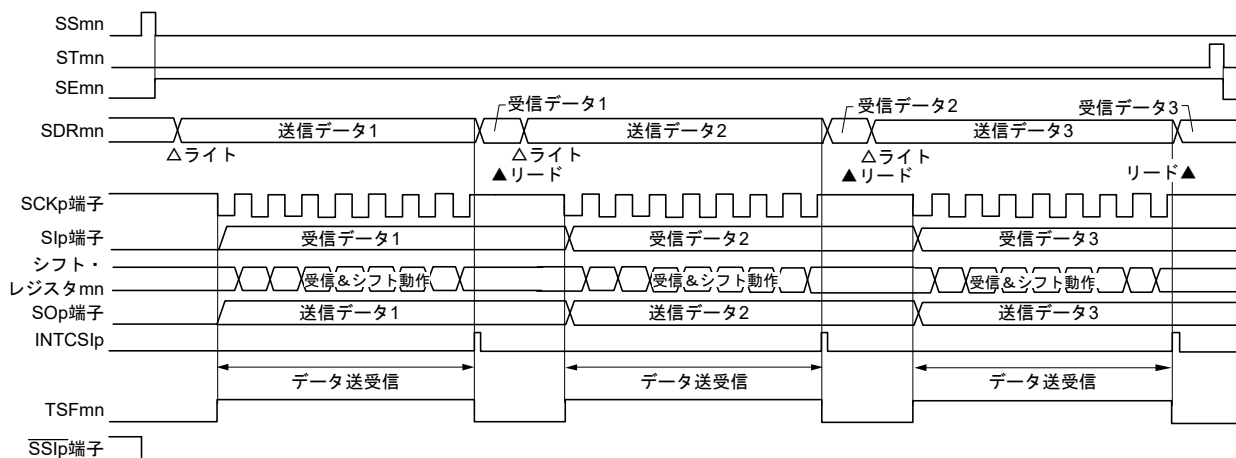


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOPレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

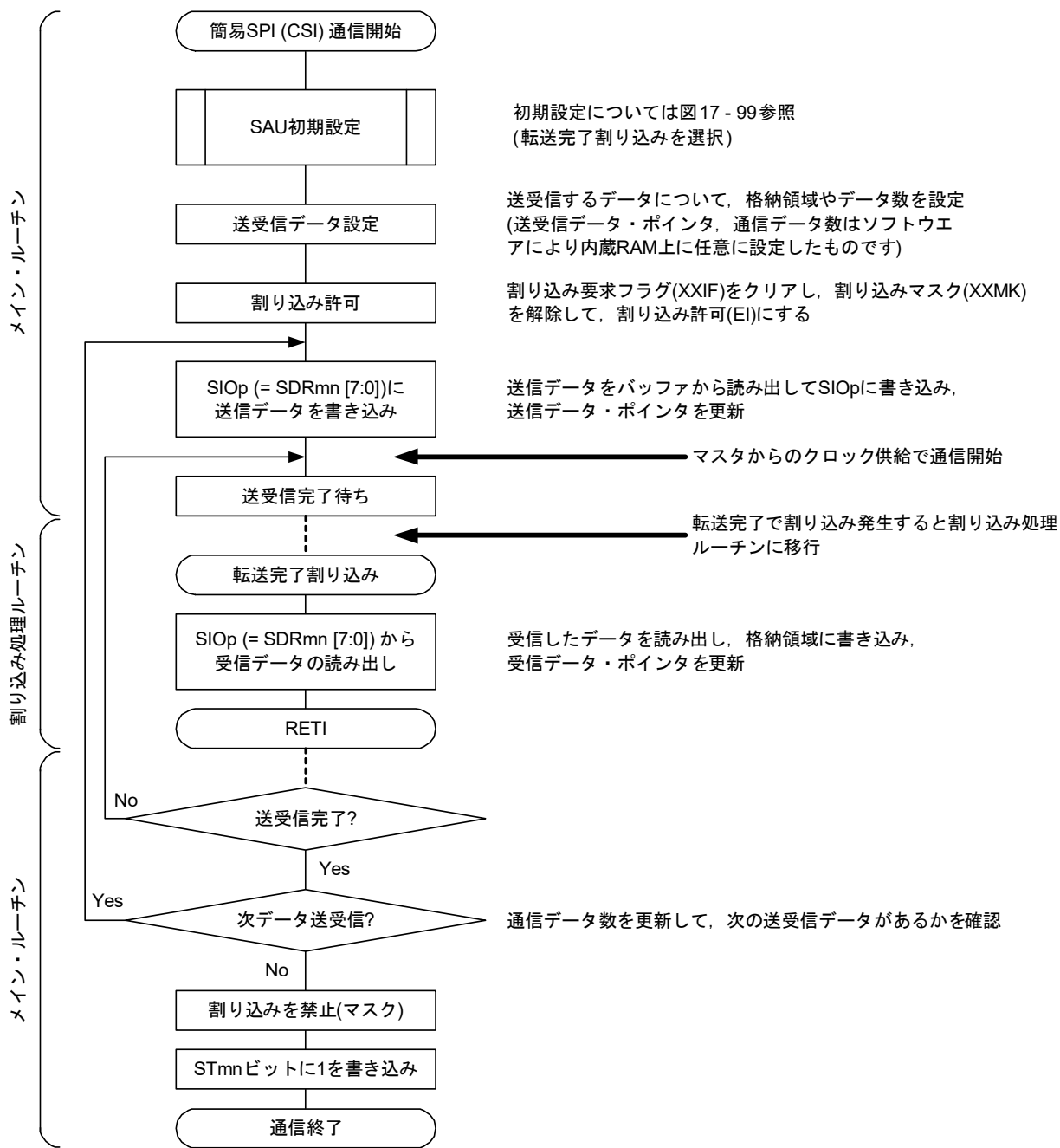
(3) 処理フロー (シングル送受信モード時)

図 17 - 102 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

図17-103 スレーブ送受信(シングル送受信モード時)のフロー・チャート

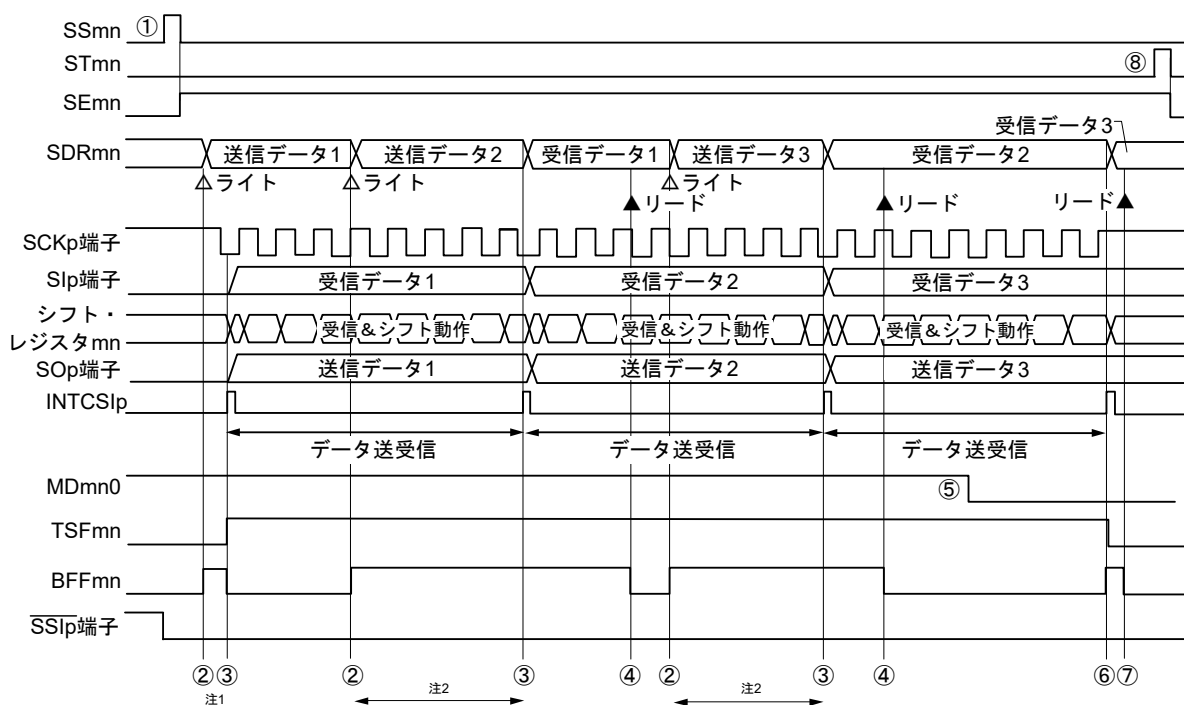


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

(4) 処理フロー (連続送受信モード時)

図17 - 104 スレーブ送受信 (連続送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn)のBFFmnビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されている時)にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

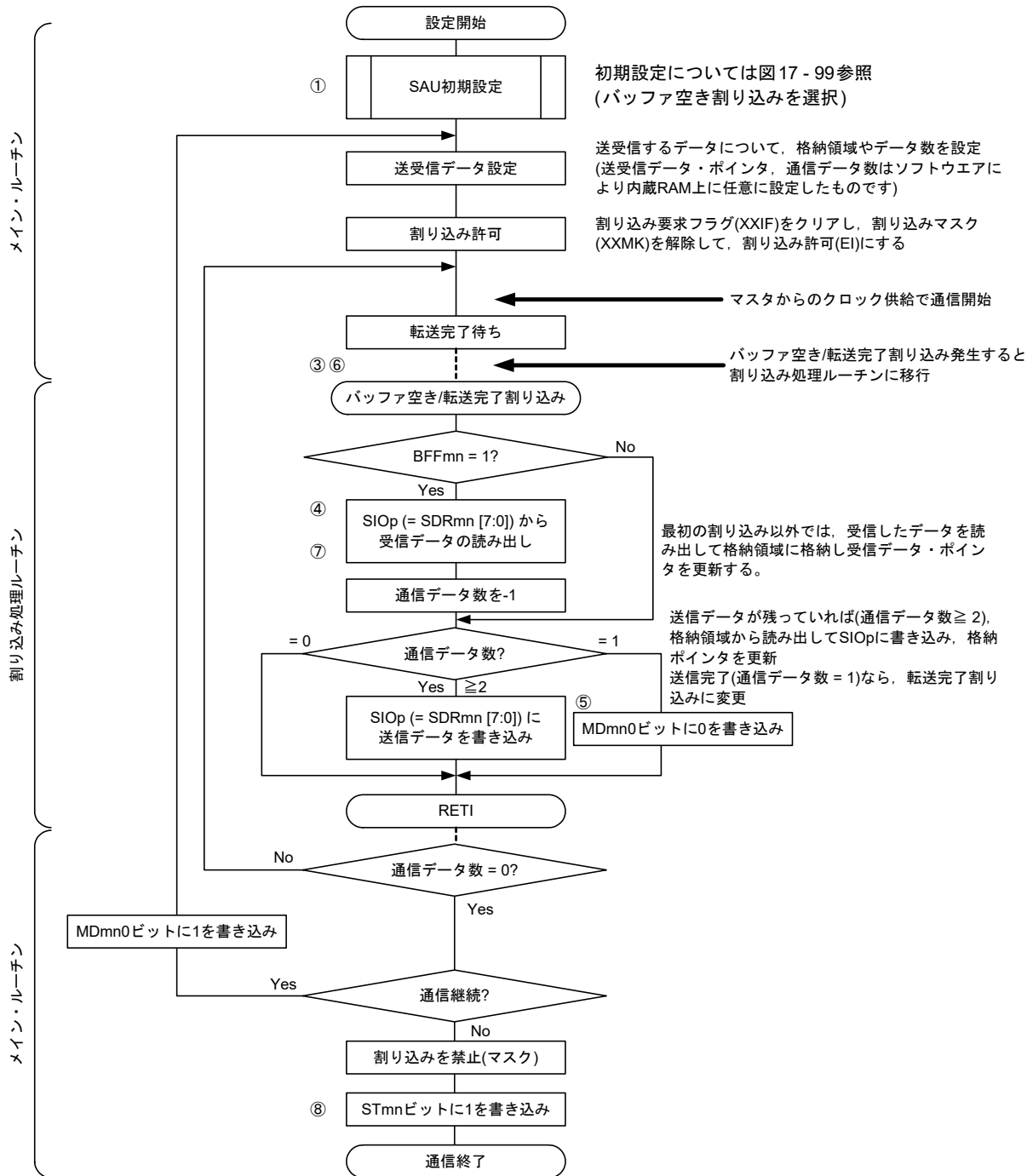
注2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn)のMDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図17 - 105 スレーブ送受信 (連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 17 - 105 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. 図中の①～⑧は、図 17 - 104 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

17.6.4 転送クロック周波数の算出

スレーブセレクト入力機能(CSI00)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) スレーブの場合

$$(\text{転送クロック周波数}) = \{\text{マスタが供給するシリアル・クロック (SCK) 周波数}\} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

表 17 - 3 スレーブセレクト入力機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

17.6.5 スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

スレーブセレクト入力機能付クロック同期シリアル通信時にエラーが発生した場合の処理手順を図 17 - 106 に示します。

図 17 - 106 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

17.7 UART (UART0-UART3)通信の動作

シリアル／データ送信(TxD)とシリアル／データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ポー・レートを使用して)、データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。また、UART0とタイマ・アレイ・ユニット0(チャンネル7)と外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定(レベルを、反転するかどうかの選択)
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0, UART2 受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0, UART2のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus 機能]

- | | | |
|--|---|--|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド(BF)検出 • シンク・フィールド測定, ポー・レート算出 | } | <p>外部割り込み(INTP0),
タイマ・アレイ・ユニット0(チャンネル7)を使用</p> |
|--|---|--|

注 9ビット・データ長は、UART0, UART2のみ対応しています。

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

UART2では、SAU1のチャンネル0, 1を使用します。

UART3では、SAU1のチャンネル2, 3を使用します。

○80ピン, 100ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	CSI30	UART3	IIC30
	3	—		—

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は、送信側(偶数チャンネル)と受信側(奇数チャンネル)のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信(17.7.1項を参照)
- UART受信(17.7.2項を参照)
- LIN送信(UART0のみ)(17.8.1項を参照)
- LIN受信(UART0のみ)(17.8.2項を参照)

17.7.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期(調歩同期)でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	TxD0	TxD1	TxD2	TxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビットまたは9ビット注1			
転送レート注2	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加 			
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • 1ビット付加 • 2ビット付加 			
データ方向	MSBファーストまたはLSBファースト			

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

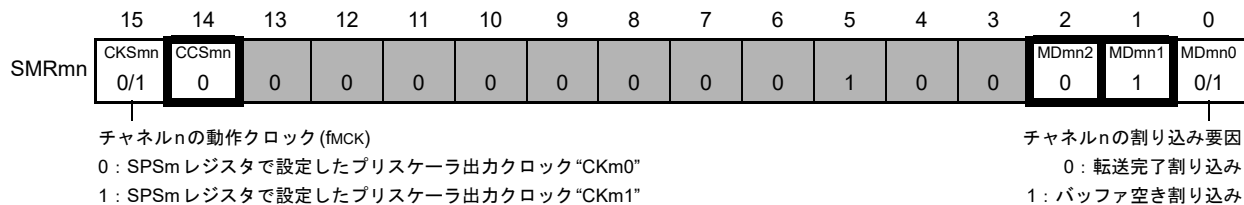
f_{CLK} : システム・クロック周波数

備考2. m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

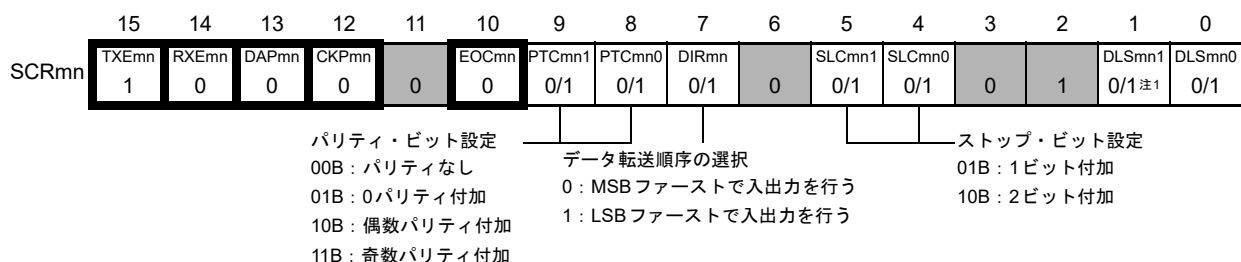
(1) レジスタ設定

図 17 - 107 UART (UART0-UART3)のUART送信時のレジスタ設定内容例(100ピン製品) (1/2)

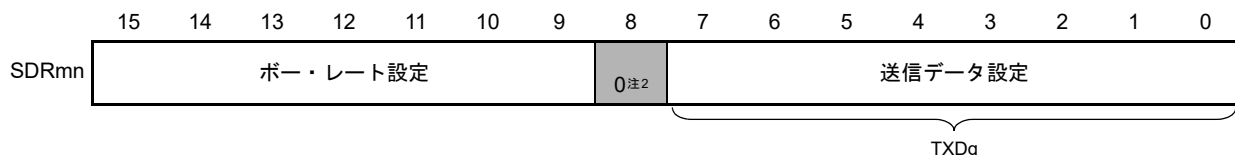
(a)シリアル・モード・レジスタ mn (SMRmn)



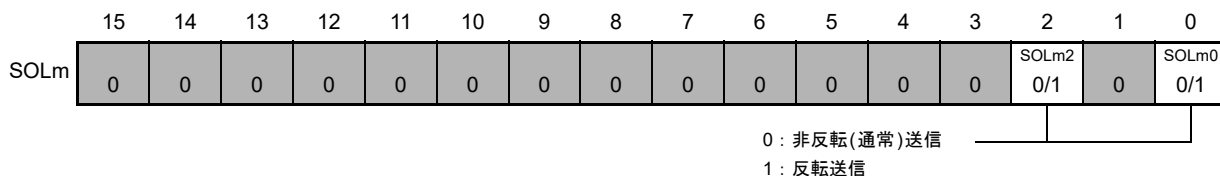
(b)シリアル通信動作設定レジスタ mn (SCRmn)



(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : TXDq)



(d)シリアル出力レベル・レジスタ m (SOLm) 対象チャンネルのビットのみ設定する



- 注1. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。
- 注2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは、UART0, UART2のみです。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) q : UART 番号 (q = 0-3),
 mn = 00, 02, 10, 12

備考2. : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図17 - 108 UART (UART0-UART3)のUART送信時のレジスタ設定内容例(100ピン製品) (2/2)

(e) シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 注2 x	1	CKOm0 注2 x	0	0	0	0	1	SOm2 0/1注1	1	SOm0 0/1注1

0 : シリアル・データ出力値が“0”
1 : シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	0	SOEm0 0/1

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 x	SSm2 0/1	SSm1 x	SSm0 0/1

注1. 該当するチャンネルの SOLmn ビットに0を設定している場合は“1”に、SOLmn ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

注2. シリアル・アレイ・ユニット0のみ。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2),
mn = 00, 02, 10, 12

備考2. : UART送信モードでは設定固定 : 設定不可(初期値を設定)
x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 109 UART 送信の初期設定手順

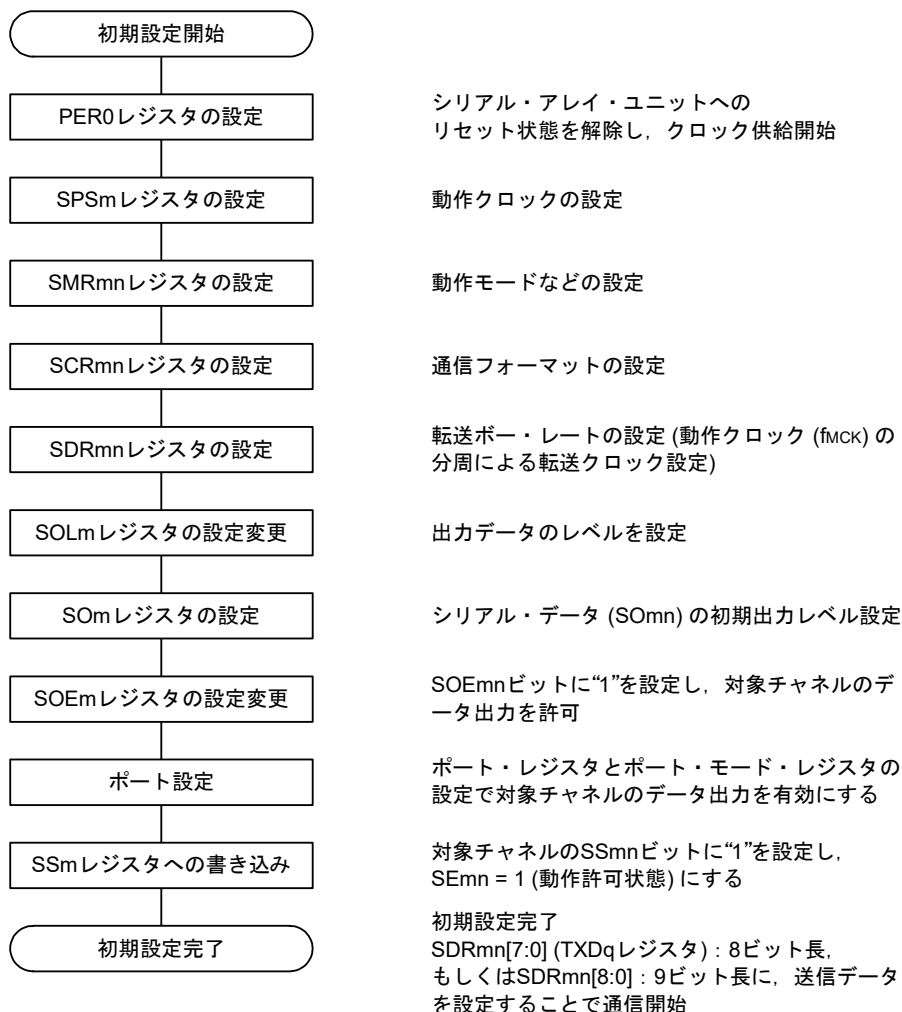


図 17 - 110 UART 送信の中断手順

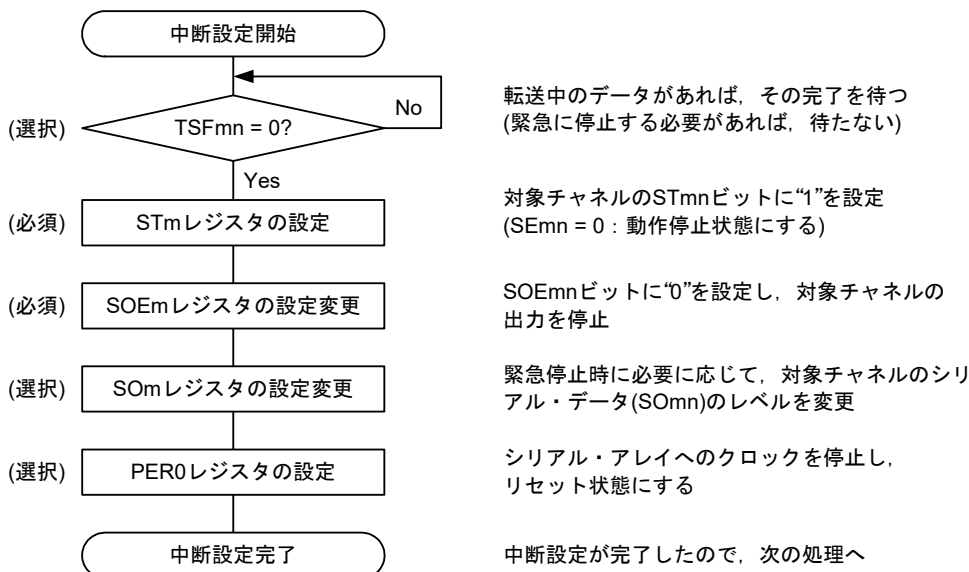
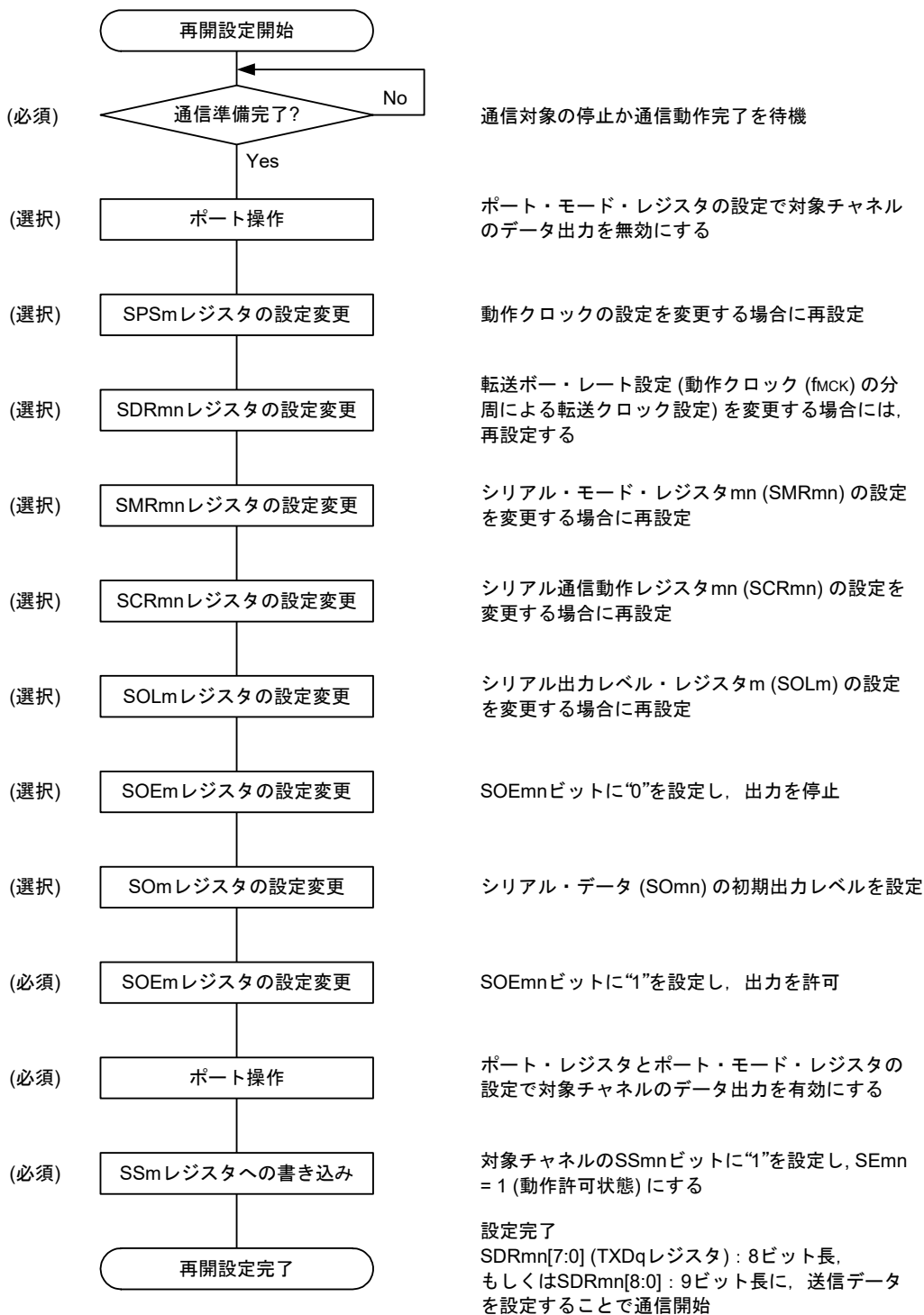


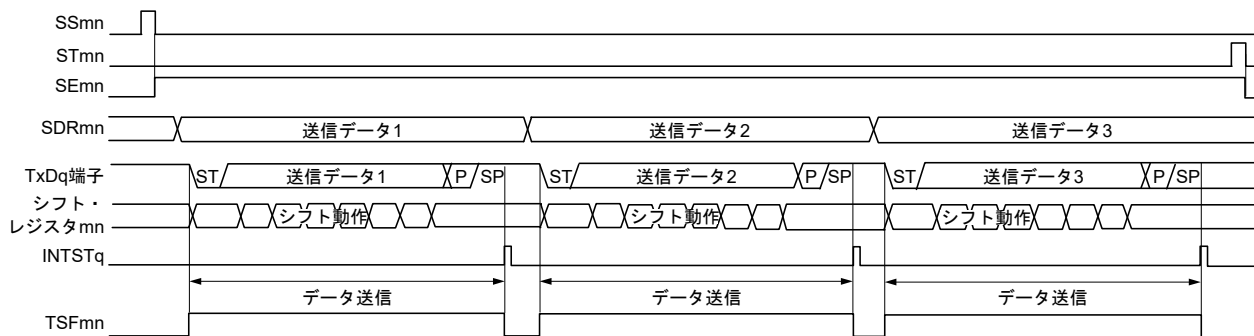
図17 - 111 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

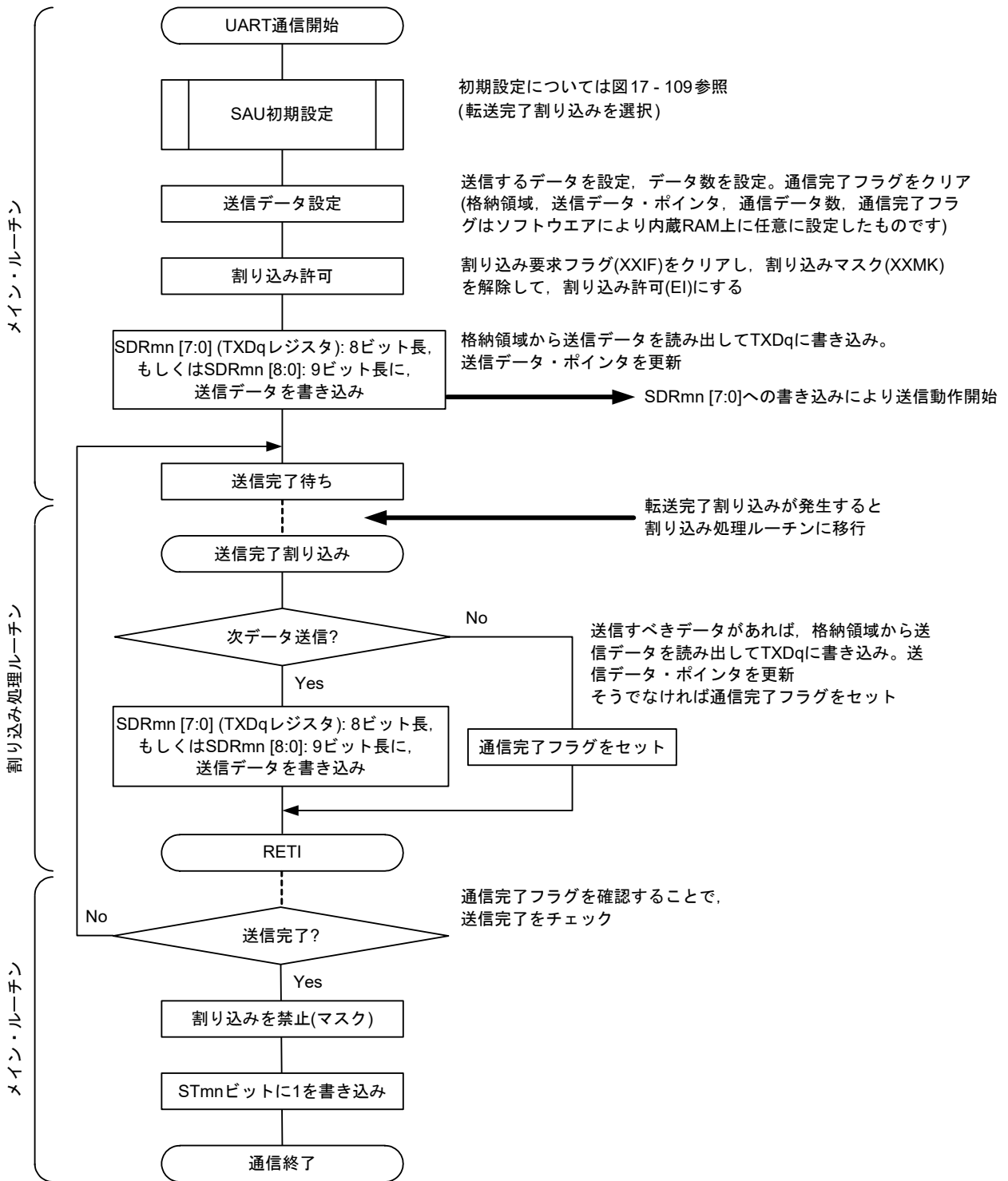
(3) 処理フロー (シングル送信モード時)

図 17 - 112 UART 送信 (シングル送信モード時) のタイミング・チャート



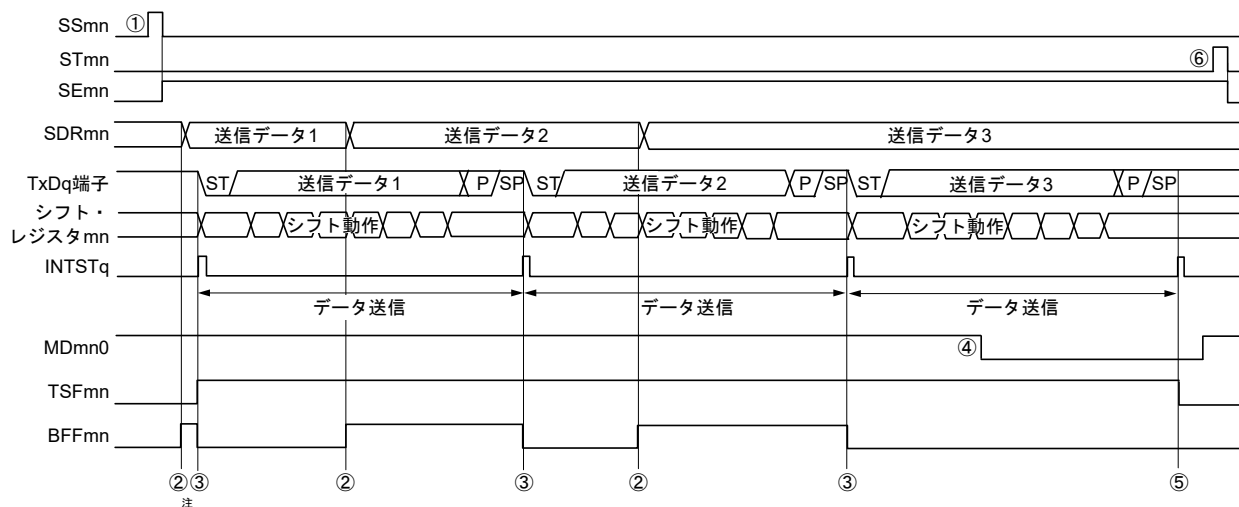
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-3)
 mn = 00, 02, 10, 12

図 17 - 113 UART送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 17 - 114 UART 送信 (連続送信モード時) のタイミング・チャート

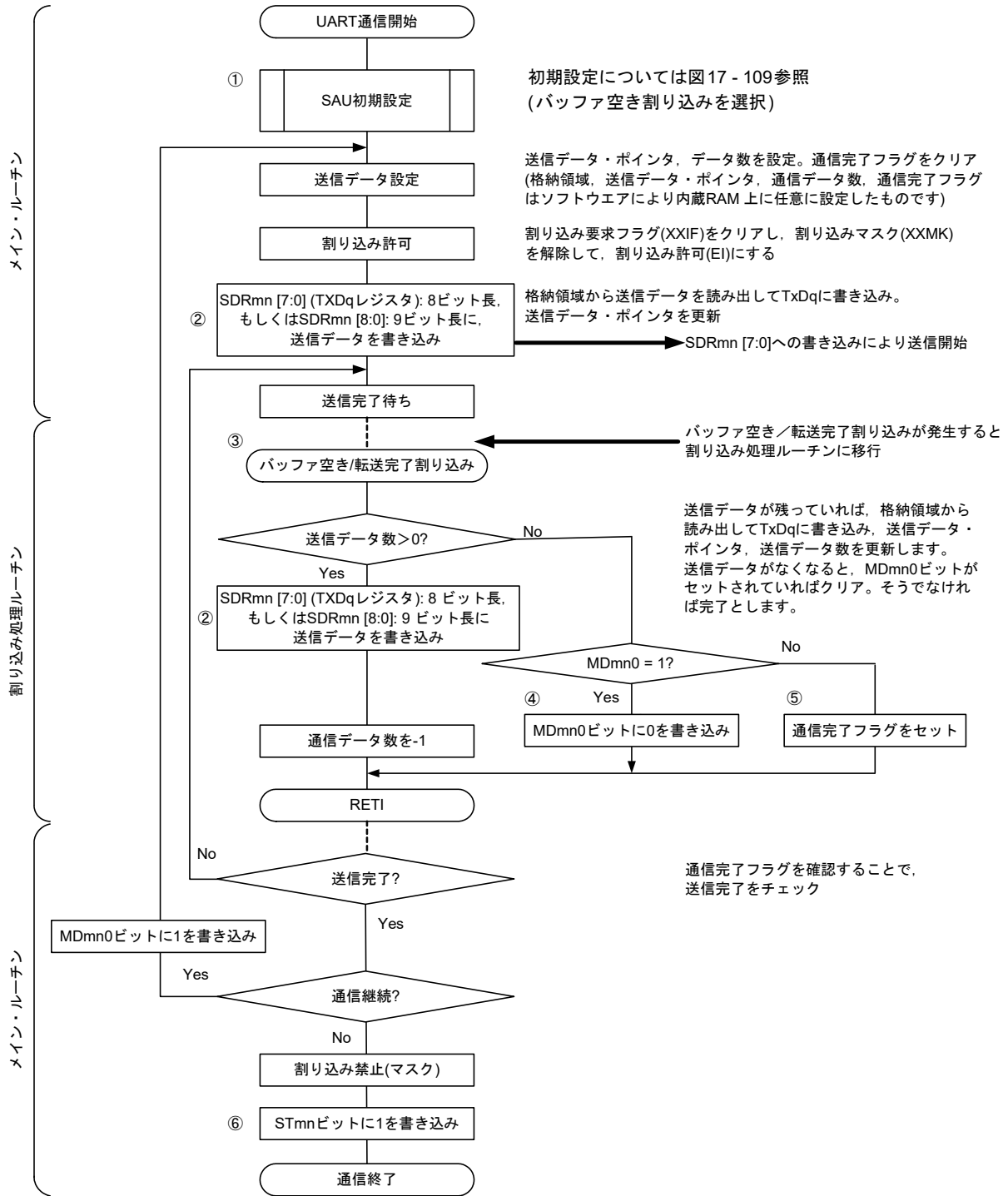


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込み間に間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-3)
mn = 00, 02, 10, 12

図17 - 115 UART送信(連続送信モード時)のフロー・チャート



備考 図中の①~⑥は, 図17 - 114 UART送信(連続送信モード時)のタイミング・チャートの①~⑥に対応しています。

17.7.2 UART 受信

UART 受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART 受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1	SAU1のチャンネル3
使用端子	RxD0	RxD1	RxD2	RxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> • フレーミング・エラー検出フラグ(FEFmn) • パリティ・エラー検出フラグ(PEFmn) • オーバラン・エラー検出フラグ(OVFmn) 			
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}			
転送レート ^{注2}	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし(パリティ・チェックなし) • パリティ判定なし(0パリティ) • 偶数パリティ・チェック • 奇数パリティ・チェック 			
ストップ・ビット	1ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

備考2. m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 1, 3) mn = 01, 03, 11, 13

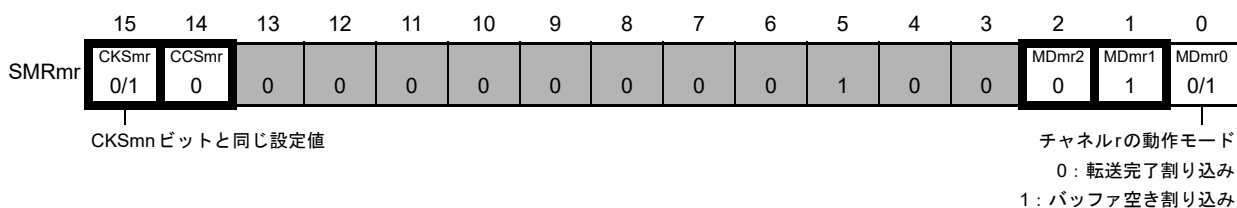
(1) レジスタ設定

図 17 - 116 UART (UART0-UART3)のUART受信時のレジスタ設定内容例(100ピン製品) (1/2)

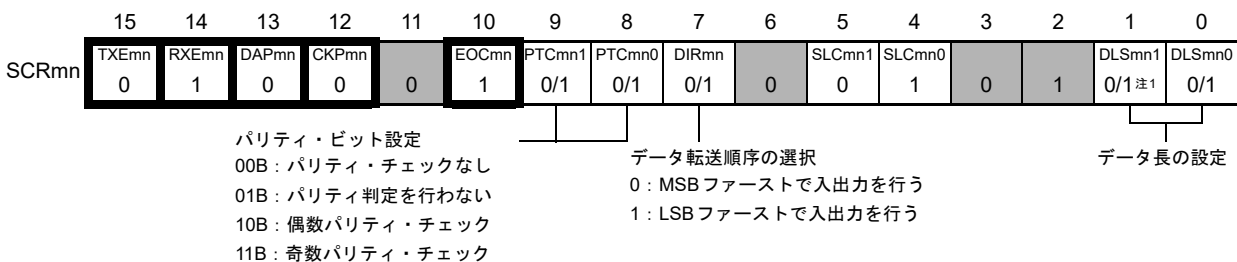
(a)シリアル・モード・レジスタ mn (SMRmn)



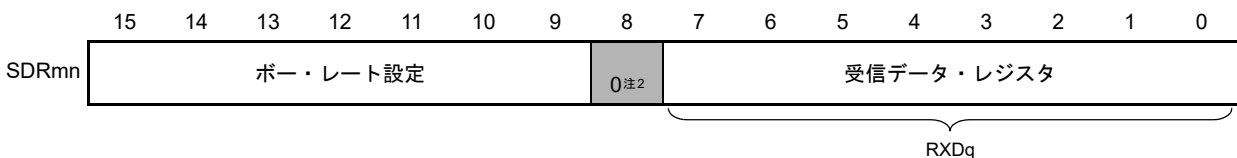
(b)シリアル・モード・レジスタ mr (SMRmr)



(c)シリアル通信動作設定レジスタ mn (SCRmn)



(d)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: RXDq)



注1. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。
 9ビット・データ長での通信が行えるのは、UART0, UART2のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 1, 3) mn = 01, 03, 11, 13

r: チャンネル番号(r = n - 1) q: UART番号(q = 0-3)

備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図17 - 117 UART (UART0-UART3)のUART受信時のレジスタ設定内容例(100ピン製品) (2/2)

(e) シリアル出力レジスタ m (SOm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 注 ×	1	CKOm0 注 ×	0	0	0	0	1	SOm2 ×	1	SOm0 ×

(f) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 ×	0	SOEm0 ×

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注 シリアル・アレイ・ユニット0のみ

備考1. m : ユニット番号(m = 0, 1)

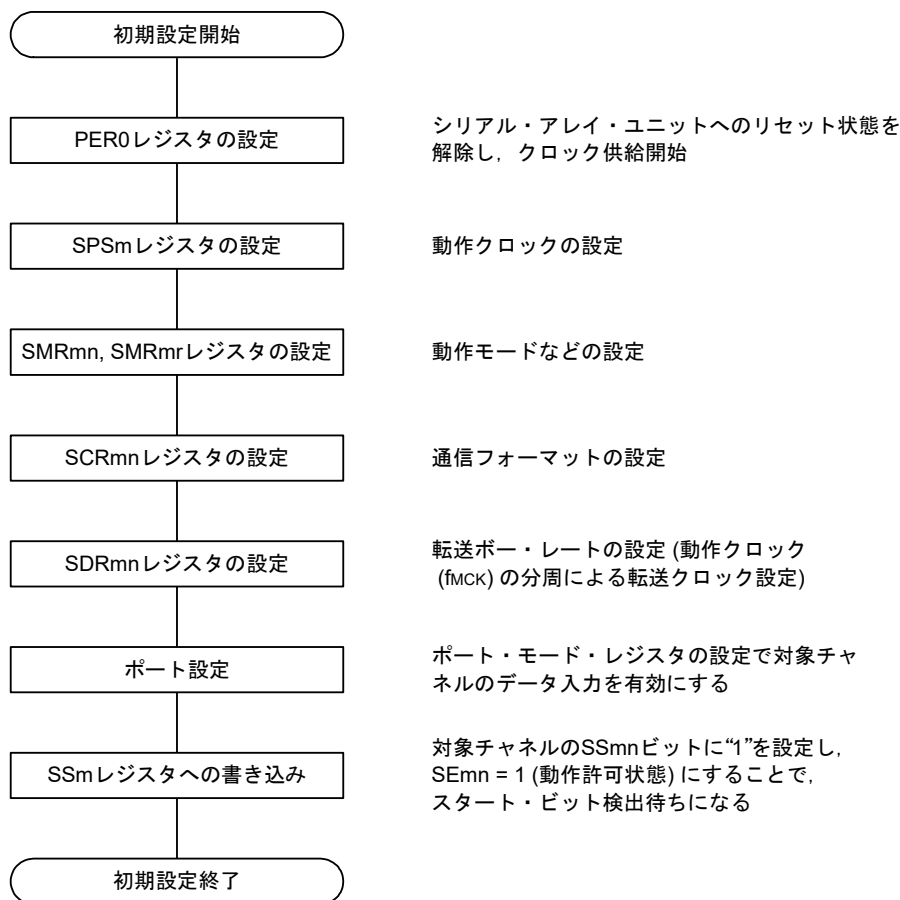
備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図17 - 118 UART受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図17 - 119 UART受信の中断手順

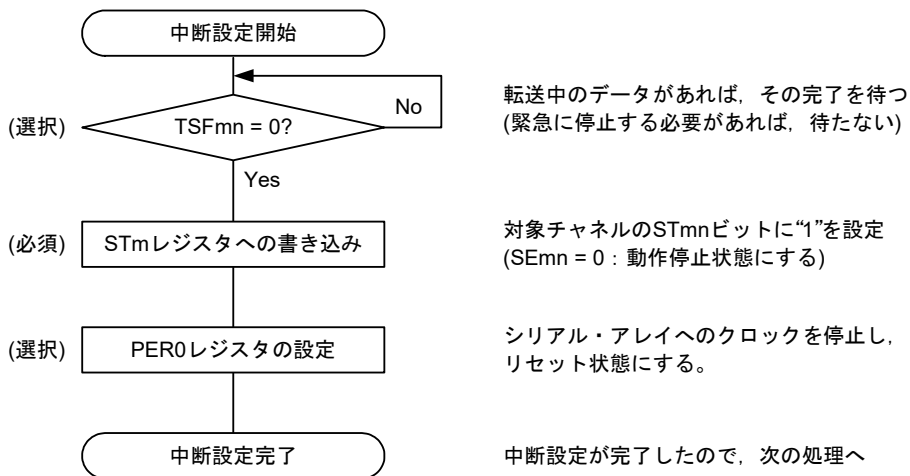
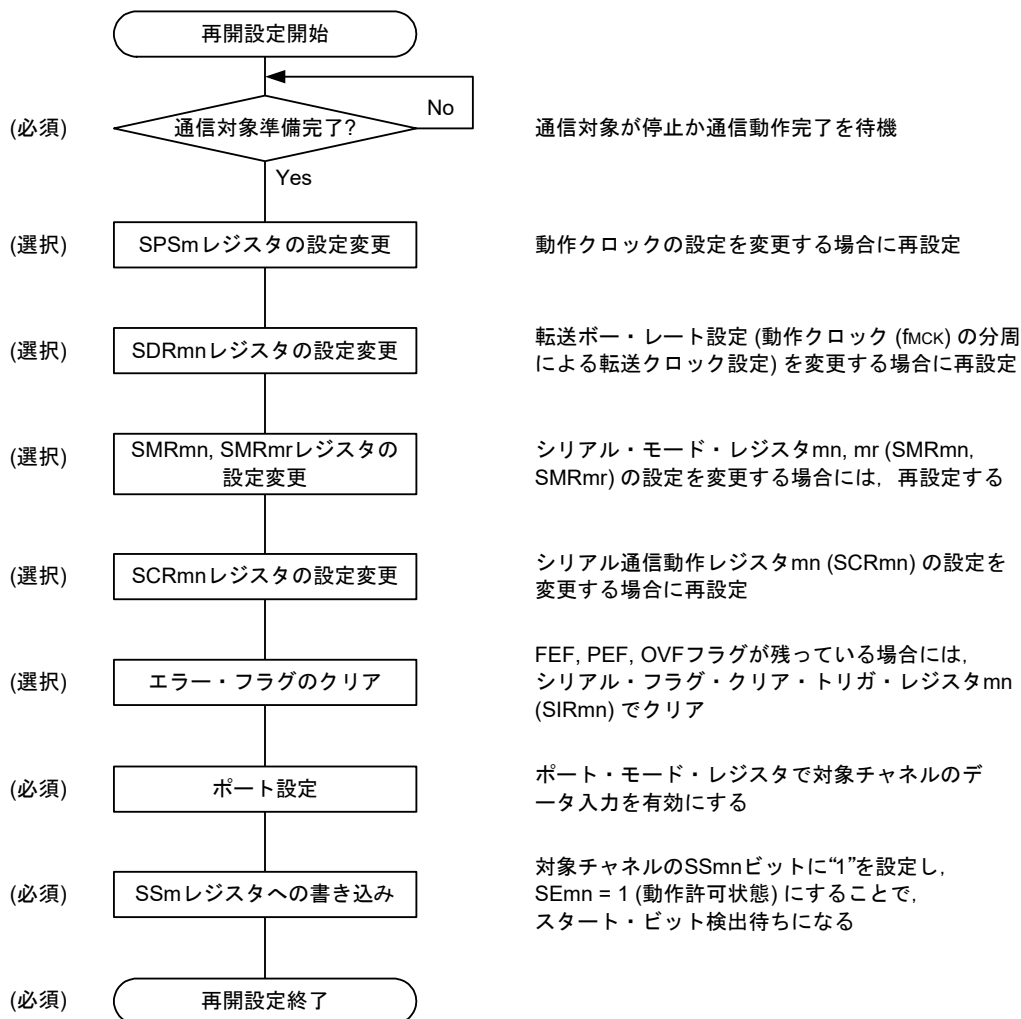


図17 - 120 UART受信の再開設定手順

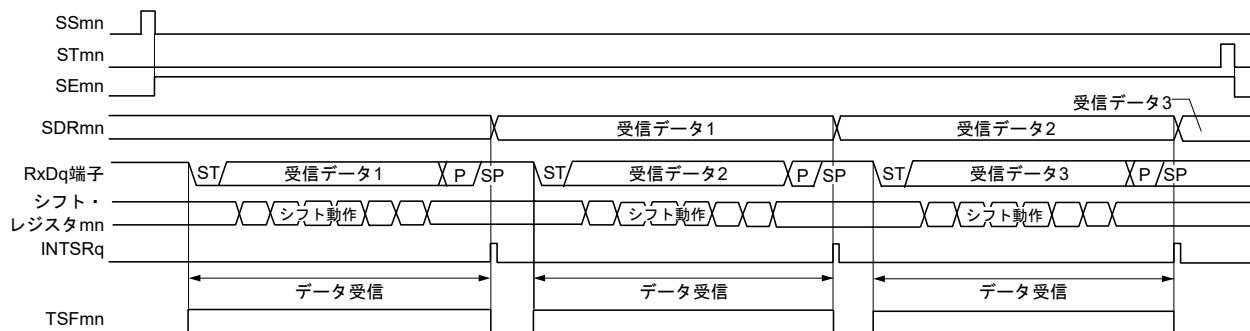


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

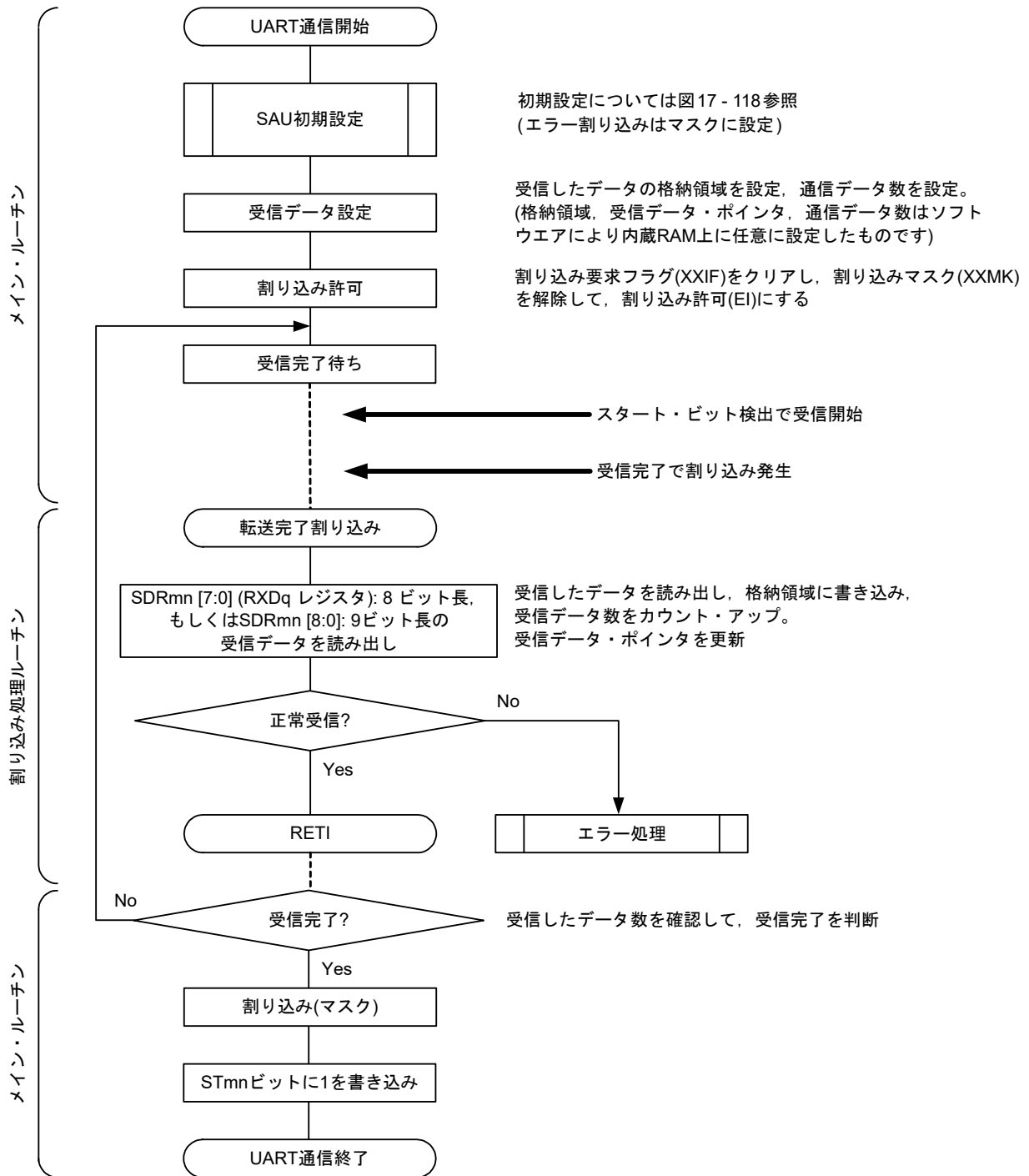
(3) 処理フロー

図17 - 121 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11, 13
 r : チャネル番号 (r = n - 1) q : UART 番号 (q = 0-3)

図17 - 122 UART受信のフロー・チャート



17.7.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。SNOOZEモードは、UART0, UART2のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図17-125, 図17-127 SNOOZEモード動作時のフローチャートを参照)

- SNOOZEモード時は、UART受信ポーレートの設定を通常動作時とは異なる値に変更する必要があります。表17-4を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm0ビットをセット(1)します。
- STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fHOCO)を選択している場合のみ使用できます。

注意2. SNOOZEモードでの転送レートは4800 bpsのみです。

注意3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
- 他のSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合

注意4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときは、SWC0 = 1に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表 17 - 4 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ (fIH)	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (fMCK)	SDRmn [15:9]	最大許容値	最小許容値
24 MHz ± 1.0%注	fCLK /2 ⁵	79	1.60%	-2.18%
16 MHz ± 1.0%注	fCLK /2 ⁴	105	2.27%	-1.53%
12 MHz ± 1.0%注	fCLK /2 ⁴	79	1.60%	-2.19%
8 MHz ± 1.0%注	fCLK /2 ³	105	2.27%	-1.53%
6 MHz ± 1.0%注	fCLK /2 ³	79	1.60%	-2.19%
4 MHz ± 1.0%注	fCLK /2 ²	105	2.27%	-1.53%
3 MHz ± 1.0%注	fCLK /2 ²	79	1.60%	-2.19%
2 MHz ± 1.0%注	fCLK /2	105	2.27%	-1.54%
1 MHz ± 1.0%注	fCLK	105	2.27%	-1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

- fIH ± 1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- fIH ± 2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

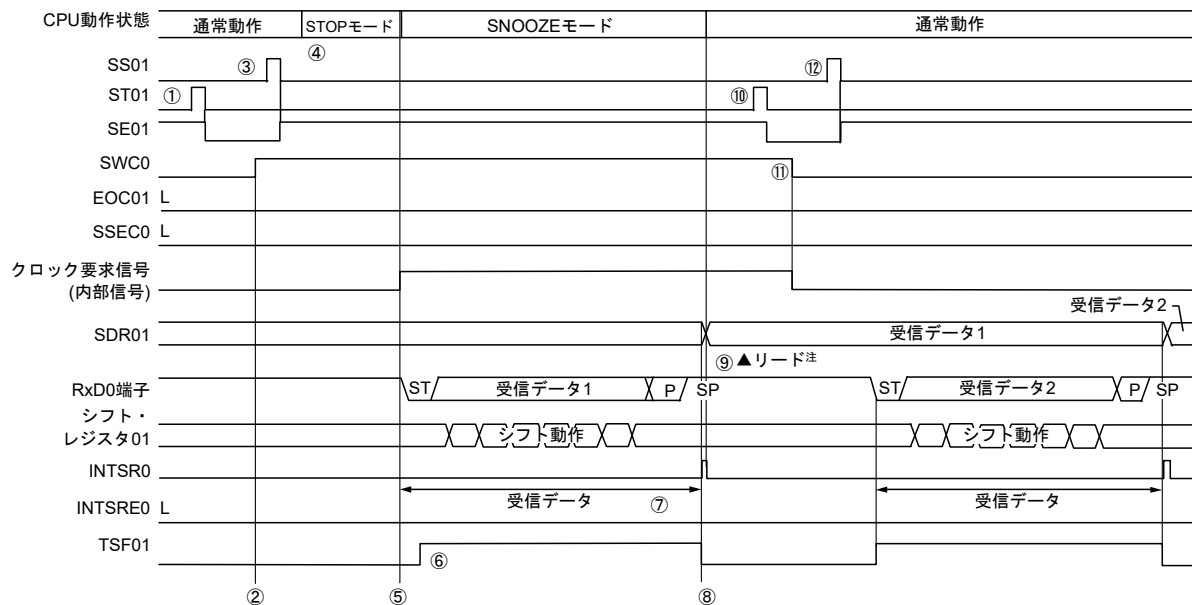
備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0 のため SSECm ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSREq)は発生しません。転送完了割り込み(INTSRq)は発生します。

図 17 - 123 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャート



注 SWCm = 1 の状態で、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

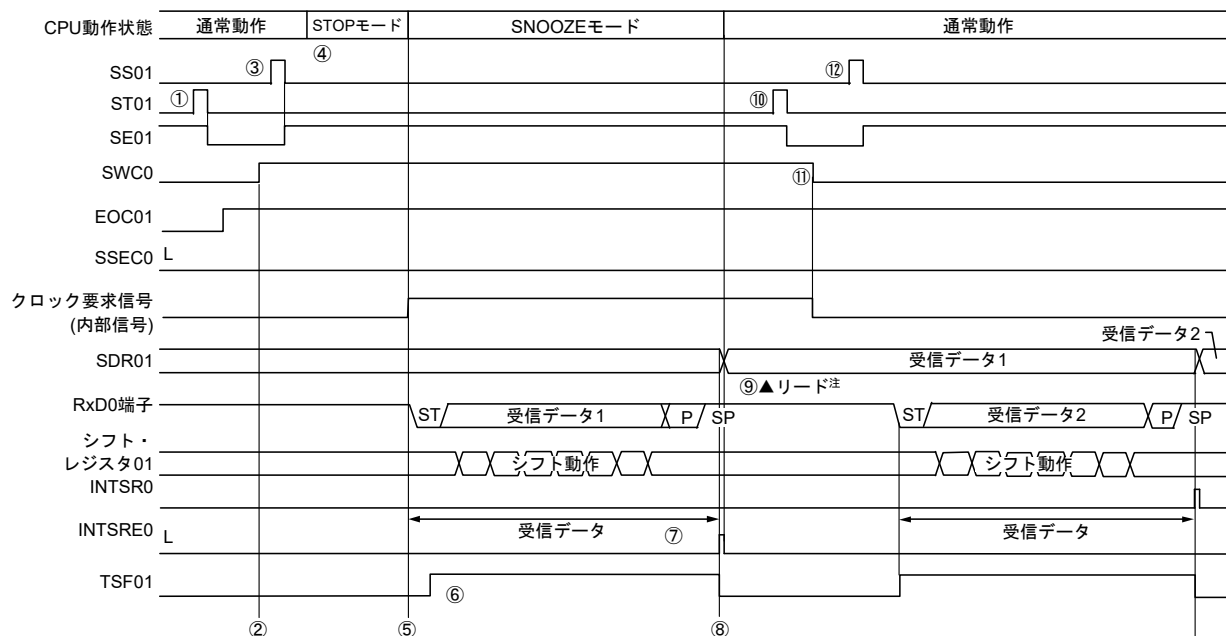
備考1. 図中の①～⑫は、図17 - 125 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1もしくはEOCm1 = 1, SSECm = 0)時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

(2) SNOOZEモード動作(EOCm1 = 1, SSECM = 0 : エラー割り込み(INTSREq)発生許可)

EOCm1 = 1, SSECM = 0のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生します。

図 17 - 124 SNOOZEモード動作(EOCm1 = 1, SSECM = 0)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

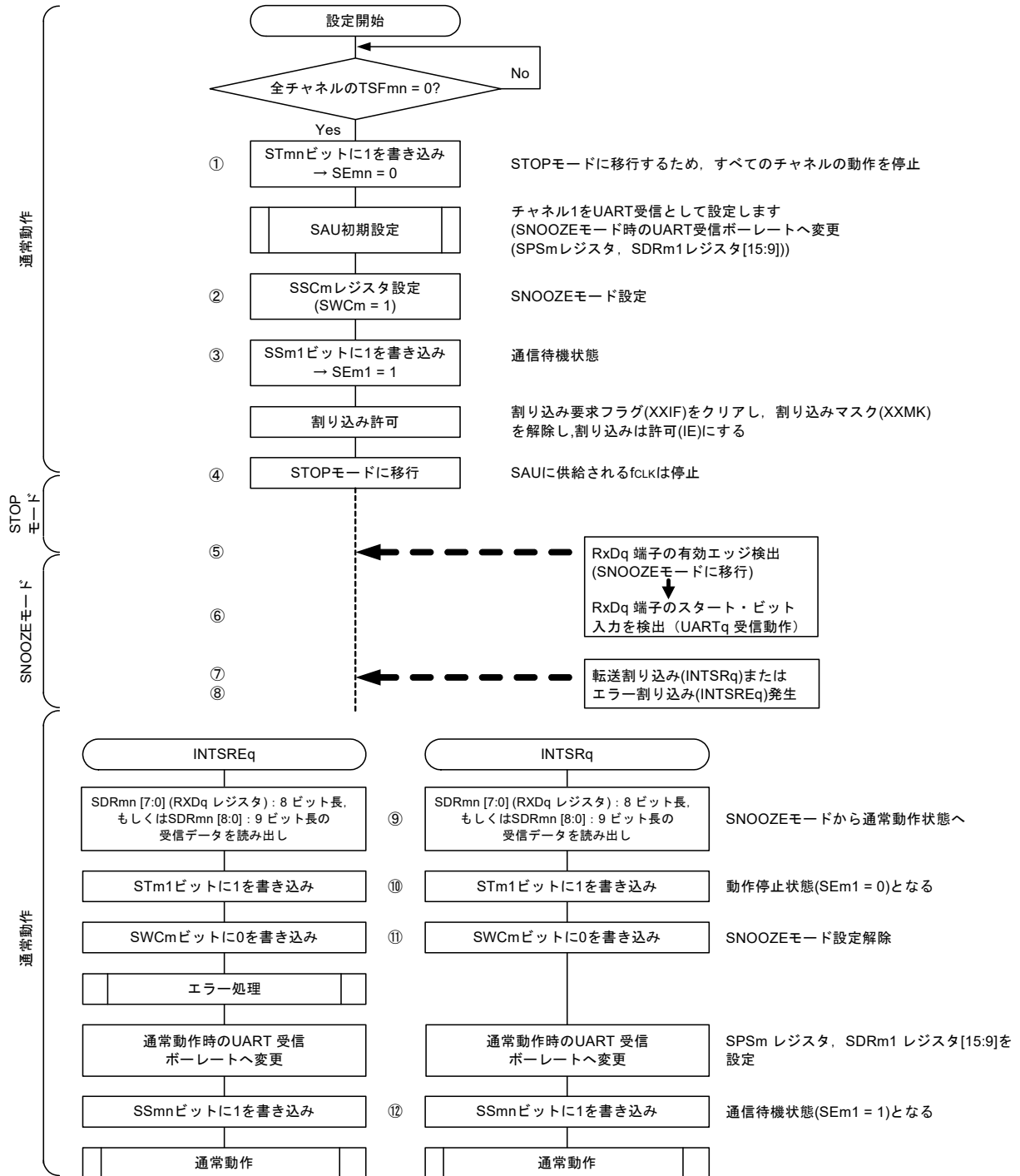
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

備考1. 図中の①～⑫は、図 17 - 125 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

図 17 - 125 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1 もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャート



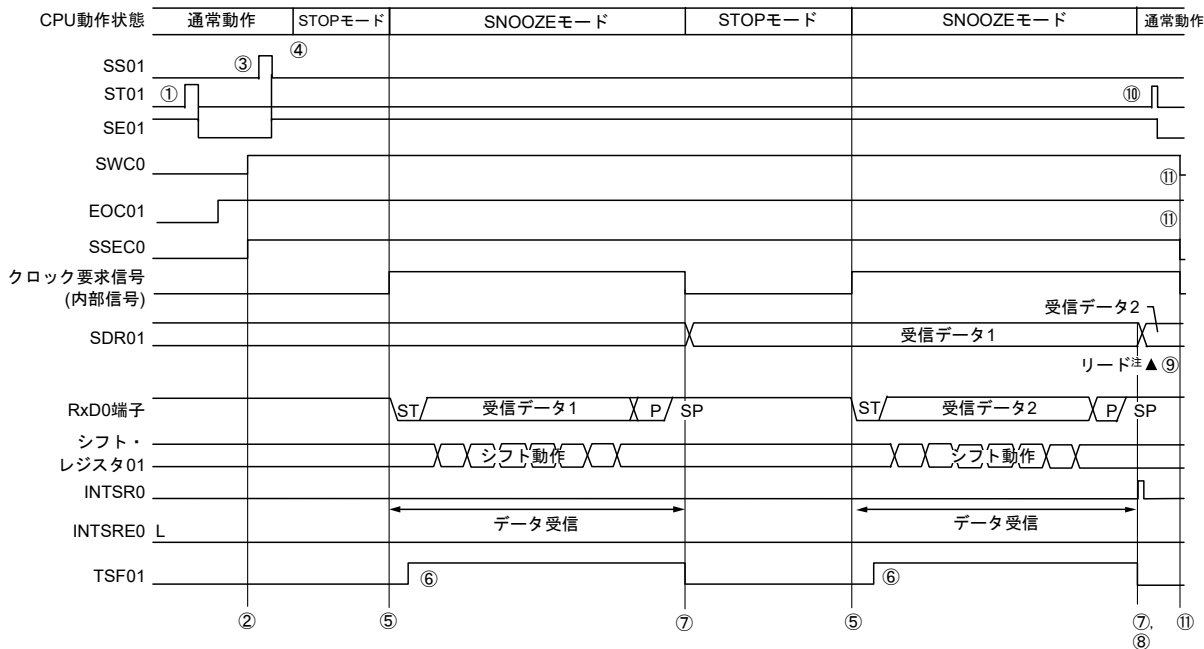
備考1. 図中の①~⑫は、図 17 - 123 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1)時のタイミング・チャート、図 17 - 124 SNOOZEモード動作(EOCm1 = 1, SSECM = 0)時のタイミング・チャートの①~⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

(3) SNOOZEモード動作(EOCm1 = 1, SSECM = 1 : エラー割り込み(INTSREq)発生停止)

EOCm1 = 1, SSECM = 1のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生しません。

図 17 - 126 SNOOZEモード動作(EOCm1 = 1, SSECM = 1)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEM1ビットがクリアされ動作停止)。

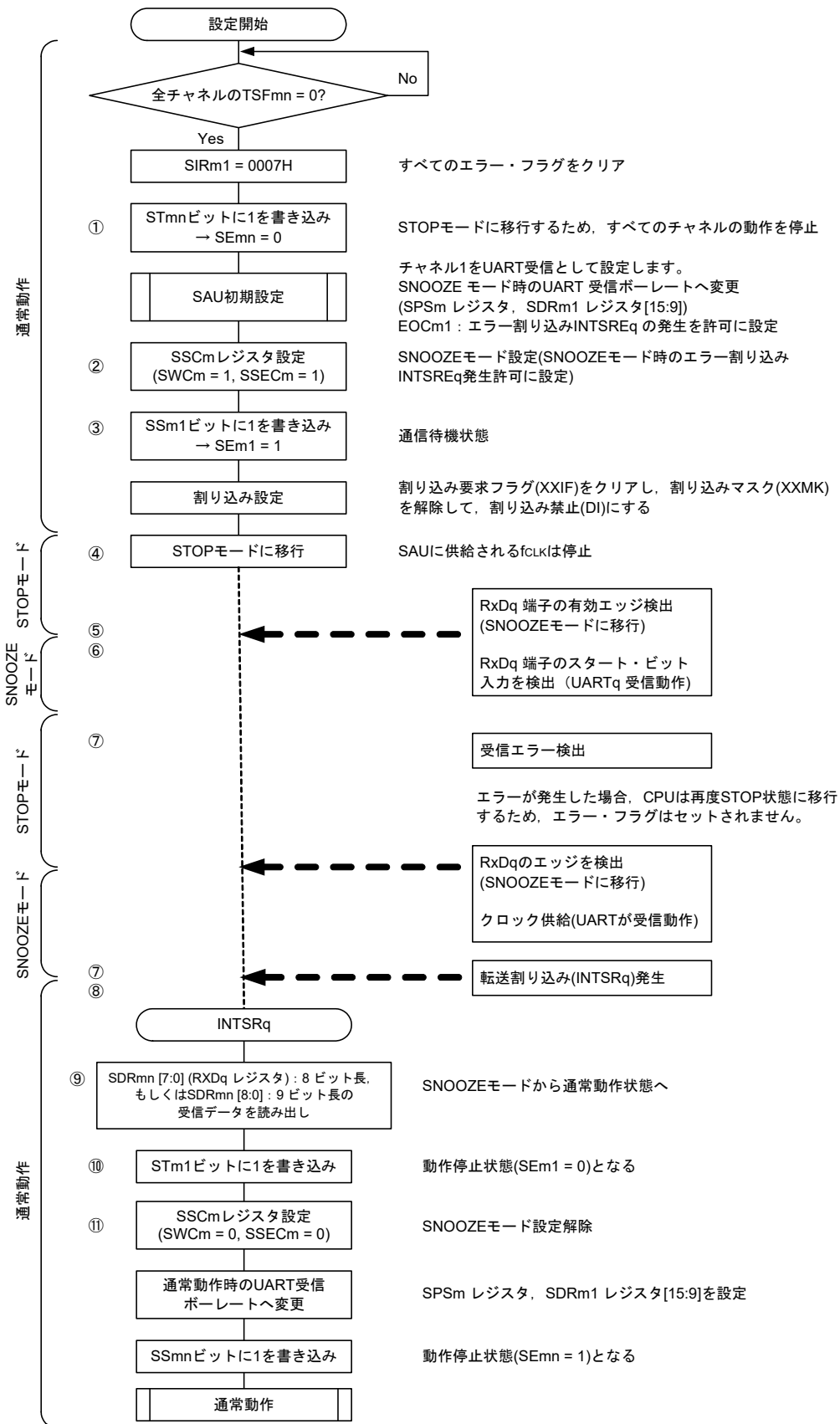
また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SSECM = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECM = 1で使用するときには、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①~⑪は、図 17 - 127 SNOOZEモード動作(EOCm1 = 1, SSECM = 1)時のフロー・チャートの①~⑪に対応しています。

備考2. m = 0, 1; q = 0, 2

図 17 - 127 SNOOZEモード動作(EOCm1 = 1, SSECM = 1)時のフロー・チャート



(注意、備考は次ページにあります。)

注意 SSECm = 1 のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFm1, FEFm1, OVFM1 フラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm = 1 で使用するときは、SWC0 = 1 に設定する前に PEFm1, FEFm1, OVFM1 フラグをクリアし、また、SDRm1 [7:0] (RXDq レジスタ) : 8 ビット長、もしくは SDRm1 [8:0] : 9 ビット長を読み出してください。

備考1. 図中の①~⑩は、図 17 - 126 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①~⑩に対応しています。

備考2. m = 0, 1; q = 0, 2

17.7.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART3)通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので、2-127になります。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 17 - 5 UART 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz
	1	1	0	0	X	X	X	X	fCLK/2 ¹²	5.86 kHz
	1	1	0	1	X	X	X	X	fCLK/2 ¹³	2.93 kHz
	1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.46 kHz
1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタ m (STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(2) 送信時のボー・レート誤差

UART (UART0-UART3)通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 24 MHzの場合のUARTボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 24 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート差	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	77	300.48 bps	+0.16 %
600 bps	fCLK/2 ⁸	77	600.96 bps	+0.16 %
1200 bps	fCLK/2 ⁷	77	1201.92 bps	+0.16 %
2400 bps	fCLK/2 ⁶	77	2403.85 bps	+0.16 %
4800 bps	fCLK/2 ⁵	77	4807.69 bps	+0.16 %
9600 bps	fCLK/2 ⁴	77	9615.38 bps	+0.16 %
19200 bps	fCLK/2 ³	77	19230.8 bps	+0.16 %
31250 bps	fCLK/2 ³	47	31250.0 bps	±0.0 %
38400 bps	fCLK/2 ²	77	38461.5 bps	+0.16 %
76800 bps	fCLK/2	77	76923.1 bps	+0.16 %
153600 bps	fCLK	77	153846 bps	+0.16 %
312500 bps	fCLK	37	315789 bps	±1.05 %

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10, 12

(3) 受信時のポー・レート許容範囲

UART (UART0-UART3) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$\text{(受信可能な最大ポー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ポー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値(17.7.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 1, 3) mn = 01, 03, 11, 13

図17-128 受信時の許容ポー・レート範囲(1データ・フレーム長 = 11ビットの場合)

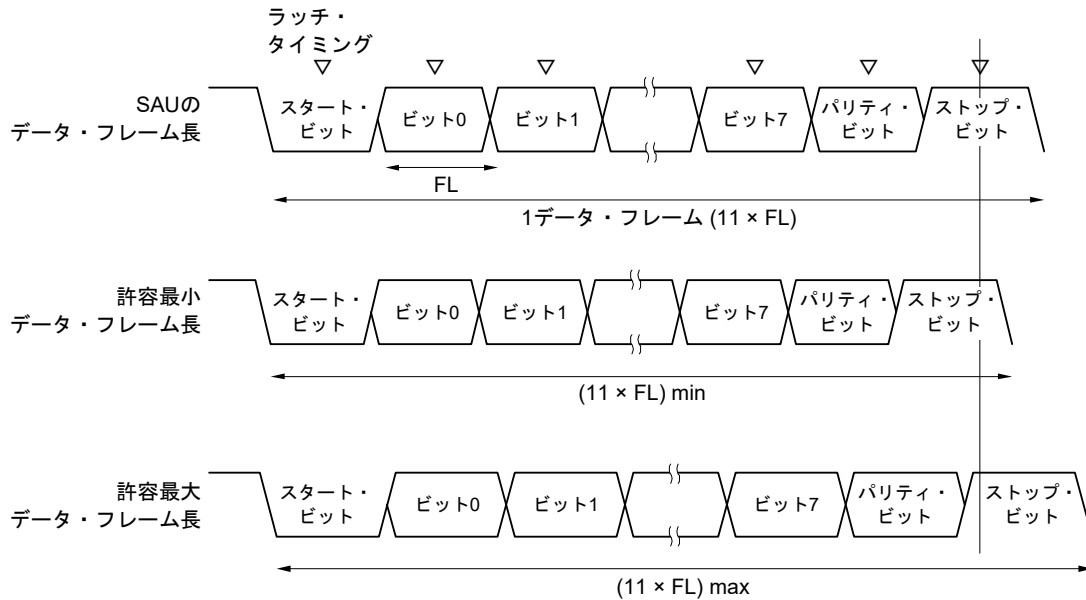


図17-128に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn)のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

17.7.5 UART (UART0-UART3)通信時におけるエラー発生時の処理手順

UART (UART0-UART3)通信時にエラーが発生した場合の処理手順を図17 - 129, 図17 - 130に示します。

図17 - 129 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図17 - 130 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“0”となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“1”となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

17.8 LIN通信の動作

17.8.1 LIN送信

UART送信のうち、UART0はLIN通信に対応しています。

LIN送信では、ユニット0のチャンネル0を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	可	不可	不可	不可
対象チャンネル	SAU0のチャンネル0	—	—	—
使用端子	TxD0	—	—	—
割り込み	INTST0	—	—	—
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR00[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加			
データ方向	LSBファースト			

注 この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: $T_A = -40 \sim +85^\circ\text{C}$)参照)を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1~20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

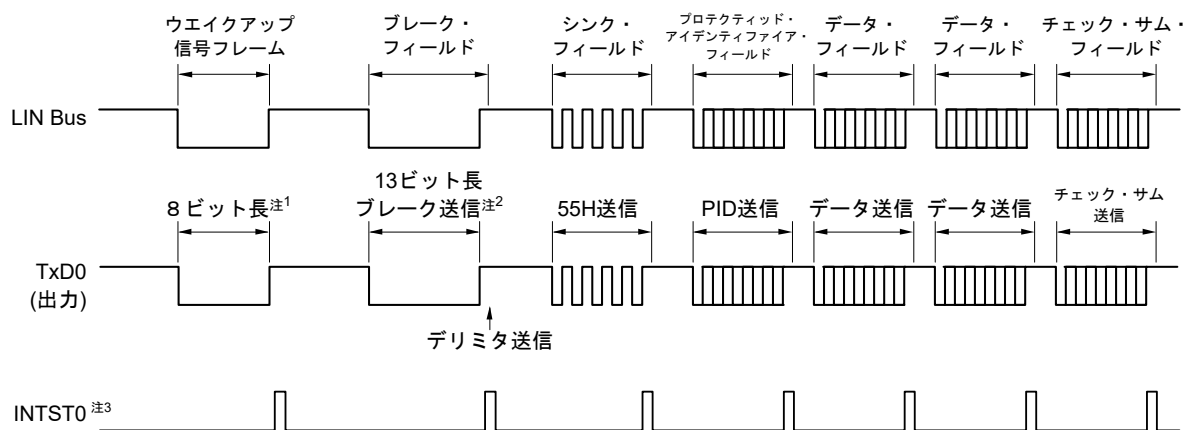
LINのマスタは通常、CAN (Controller Area Network)などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作の概略を、図17-131に示します。

図17-131 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、80Hのデータ送信をすることで対応します。

注2. シンク・ブレイク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、ブレイク・フィールドで使用するポー・レートは次のようになります。

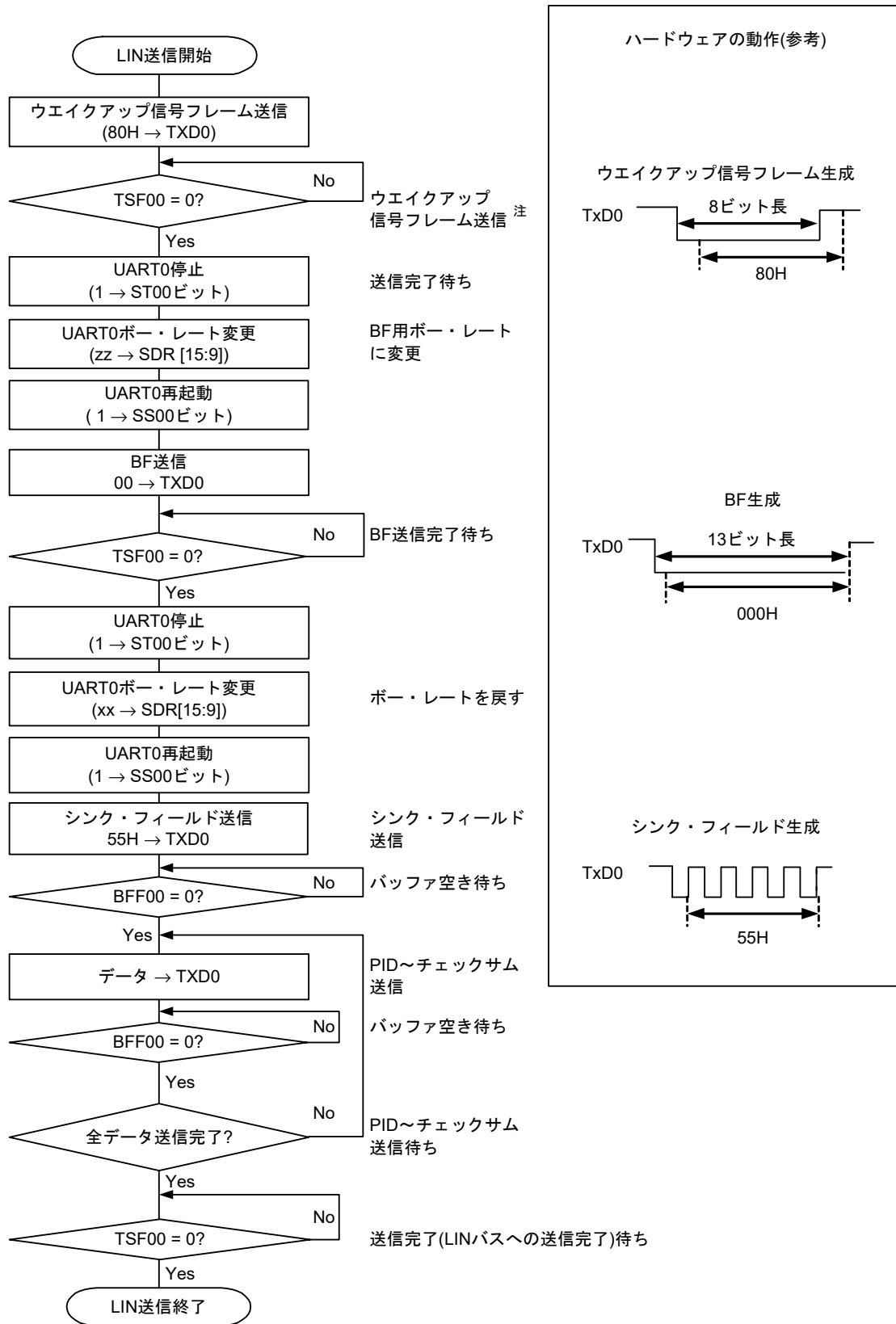
$$(\text{ブレイク・フィールド時のポー・レート}) = 9/13 \times N$$

このポー・レートで00Hのデータ送信をすることでブレイク・フィールドを生成します。

注3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図 17 - 132 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ。

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

17.8.2 LIN受信

UART受信のうち、UART0はLIN通信に対応しています。

LIN受信では、ユニット1のチャンネル1を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	可	不可	不可	不可
対象チャンネル	SAU0のチャンネル1	—	—	—
使用端子	RxD0	—	—	—
割り込み	INTSR0	—	—	—
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)			
エラー割り込み	INTSRE0	—	—	—
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ(FEF01) ・ オーバラン・エラー検出フラグ(OVF01) 			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR01[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)			
パリティ・ビット	パリティ・ビットなし(パリティ・チェックしない)			
ストップ・ビット	1ビット付加			
データ方向	LSBファースト			

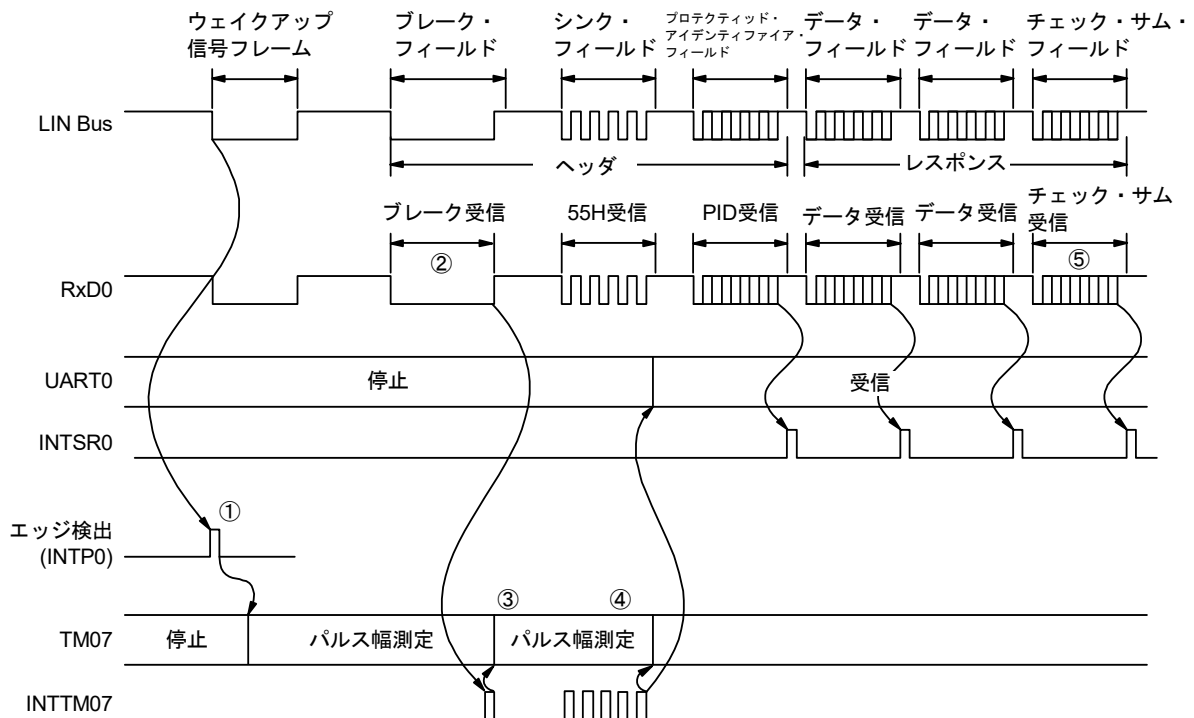
注 この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C参照)を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINの受信操作の概略を、図17-133に示します。

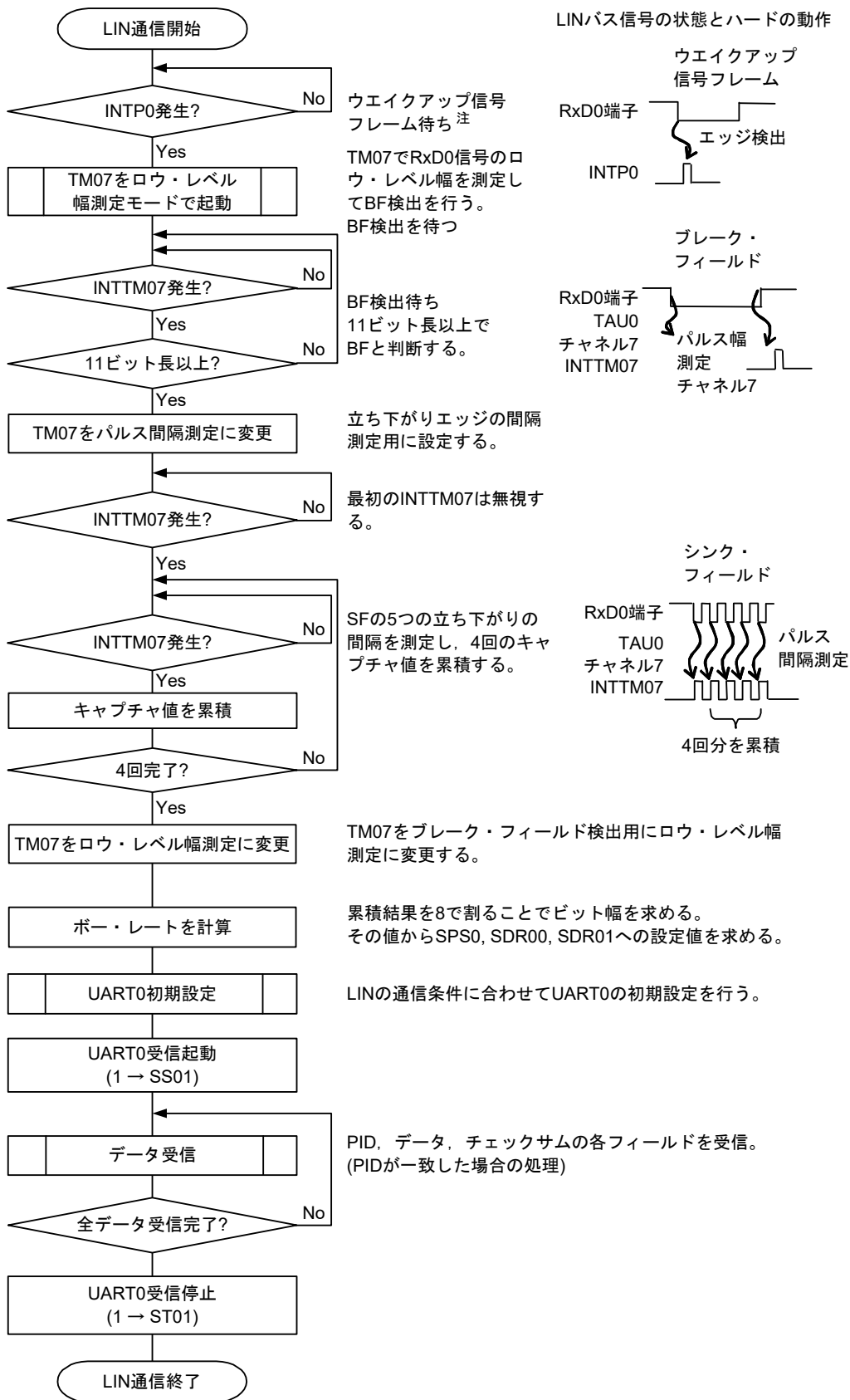
図17 - 133 LINの受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出(INTP0)で行います。ウェイクアップ信号を検出したら、TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して、BF受信待ち状態にします。
- ② BFの立ち下がりを検出したら、TM07はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。
- ③ BF受信を正常終了した場合、TM07をパルス間隔測定に設定し、シンク・フィールドのRxD0信号の立ち下がり間隔を4回測定してください(6.8.3 入力パルス間隔測定としての動作を参照)。
- ④ シンク・フィールド(SF)のビット間隔からボー・レート誤差を算出します。そして、いったんUART0を動作停止にしてからボー・レートを調整(再設定)してください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し、再びBF受信待ちに設定する処理もソフトウェアにて行ってください。

図 17 - 134 LIN受信のフロー・チャート



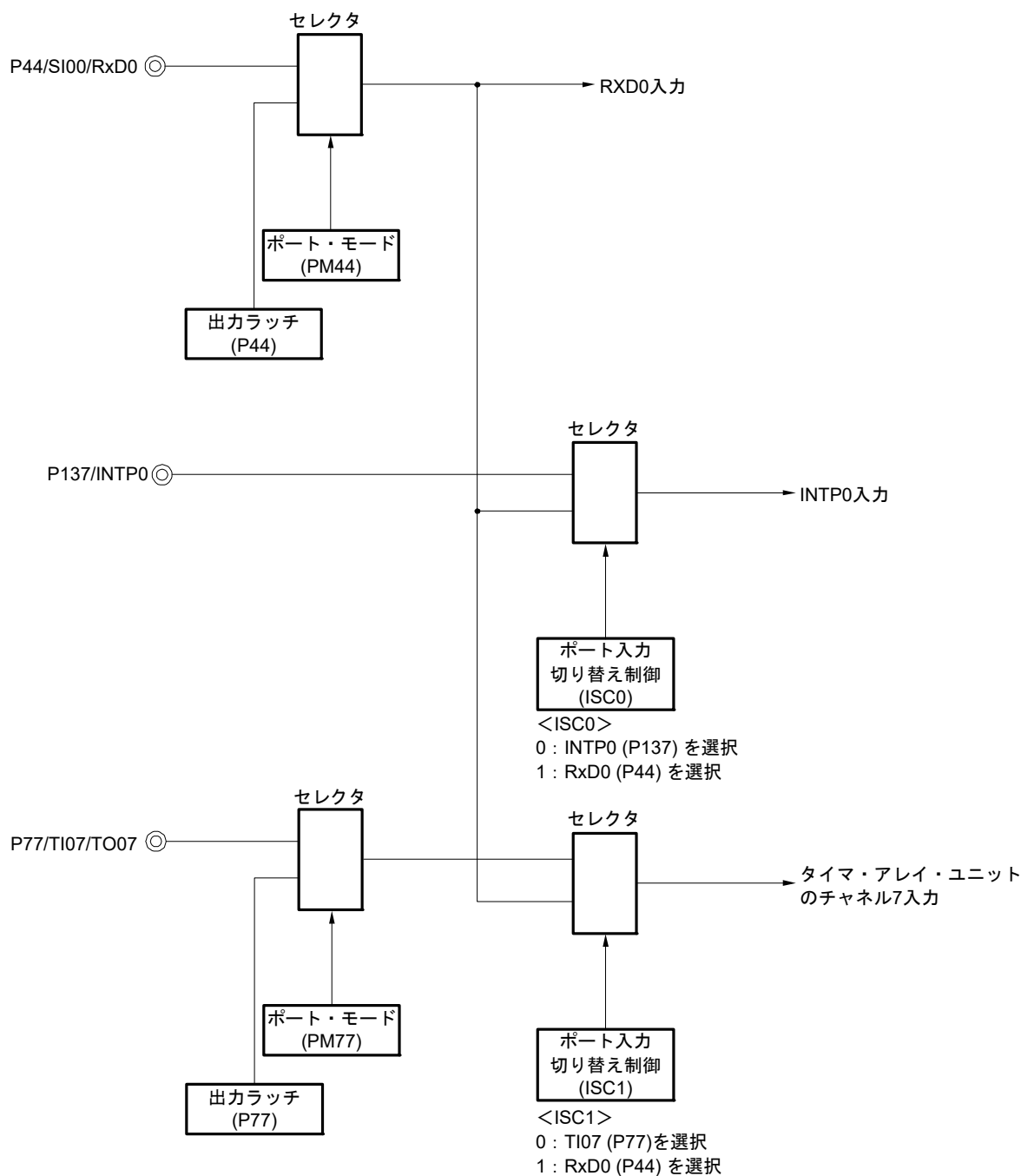
注 スリープ状態でのみ必要となります。

図17 - 135はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し、ポーレート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部で結線をせずに、受信用ポート入力(RxD0)の入力ソースを外部割り込み(INTP0)およびタイマ・アレイ・ユニットへ入力することができます。

図17 - 135 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC)のビット0, 1 (図17 - 24参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- 外部割り込み(INTP0); ウェイクアップ信号検出

用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出

- タイマ・アレイ・ユニットのチャンネル7; ボー・レート誤差検出, ブレーク・フィールド(BF)検出

用途: シンク・フィールド(SF)の長さを検出し, ビット数で割ることでボー・レート誤差を検出(RxD0)

入力エッジの間隔をキャプチャ・モードで測定

ロウ・レベル幅を測定し, ブレーク・フィールド(BF)かを判定

- シリアル・アレイ・ユニット0 (SAU0)のチャンネル0, 1 (UART0)

17.9 簡易I²C (IIC00, IIC10, IIC20, IIC30)通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²Cバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- マスタ送信, マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能注, ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信, スレーブ受信
- マルチ・マスタ機能(アービトレーション負け検出機能)
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (SOEm レジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、17.9.3 (2) 処理フローを参照してください。

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0, 2) mn = 00, 02, 10, 12

簡易I²C (IIC00, IIC10, IIC20, IIC30)に対応しているチャンネルは、SAU0のチャンネル0, 2とSAU1のチャンネル0, 2です。

○80ピン, 100ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—	—	—
	2	CSI30	UART3	IIC30
	3	—		—

簡易I²C (IIC00, IIC10, IIC20, IIC30)の通信動作は、以下の4種類があります。

- アドレス・フィールド送信 (17.9.1項を参照)
- データ送信 (17.9.2項を参照)
- データ受信 (17.9.3項を参照)
- ストップ・コンディション発生 (17.9.4項を参照)

17.9.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I ² C	IIC00	IIC10	IIC20	IIC30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCL00, SDA00注1	SCL10, SDA10注1	SCL20, SDA20注1	SCL30, SDA30注1
割り込み	INTIIC00	INTIIC10	INTIIC20	INTIIC30
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)			
エラー検出フラグ	ACKエラー検出フラグ(PEFmn)			
転送データ長	8ビット(上位7ビットをアドレス、下位1ビットをR/W制御として送信)			
転送レート注2	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz(ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 			
データ・レベル	非反転出力(デフォルト: ハイ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加(ACK受信タイミング用)			
データ方向	MSBファースト			

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20, IIC30を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20, SCL30)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

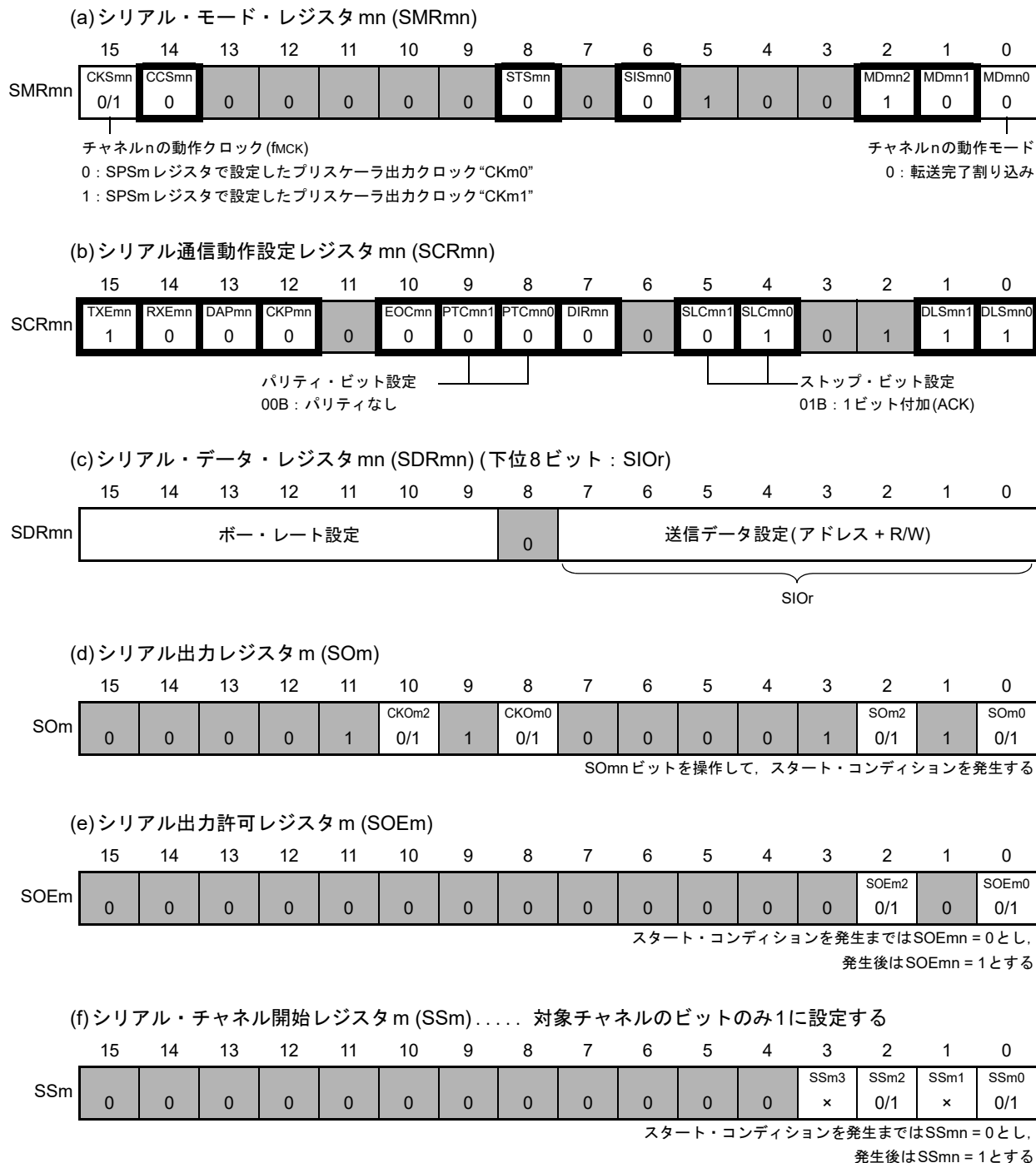
詳細は、4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系)対応を参照してください。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第35章 電氣的特性(A: TA = -40 ~ +85°C)参照)を満たす範囲内で使用してください。

備考 m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図17 - 136 簡易I²C (IIC00, IIC10, IIC20, IIC30)のアドレス・フィールド送信時のレジスタ設定内容例



備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) r: IIC番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

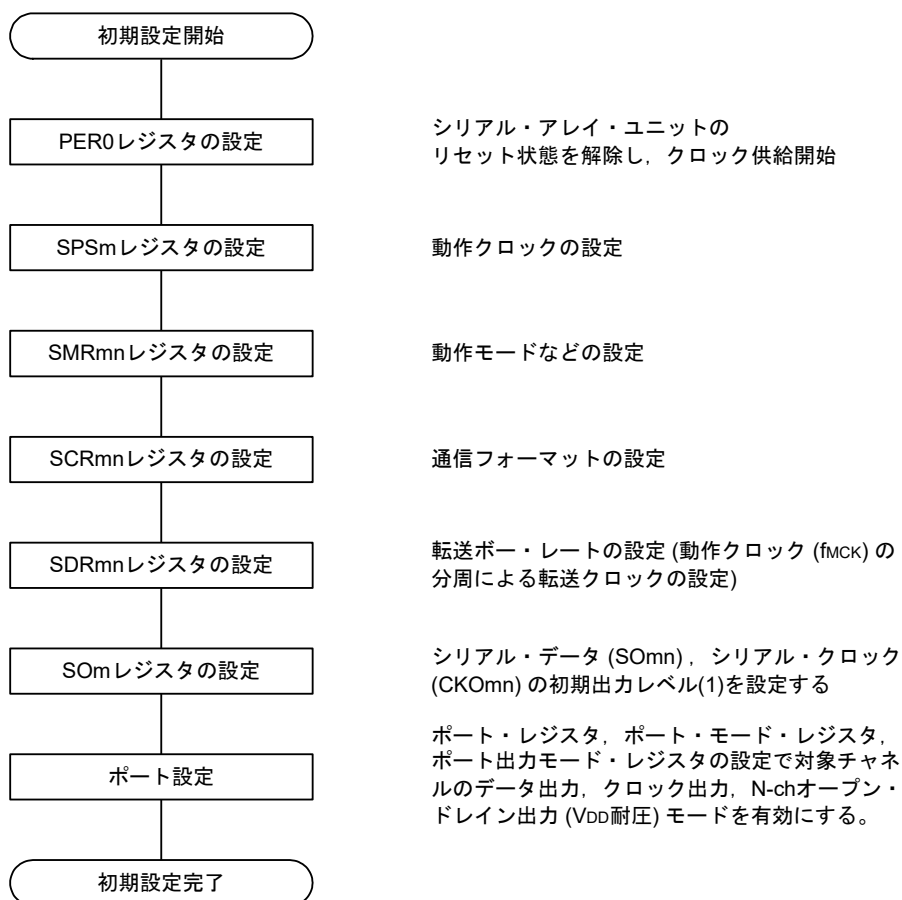
備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

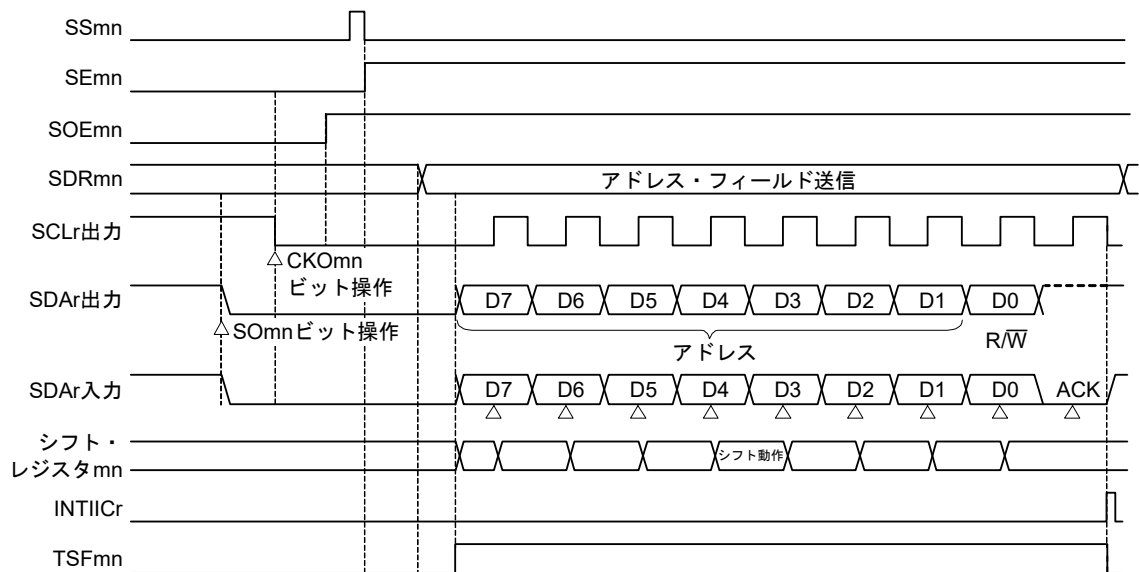
(2) 操作手順

図17-137 簡易アドレス・フィールド送信の初期設定手順



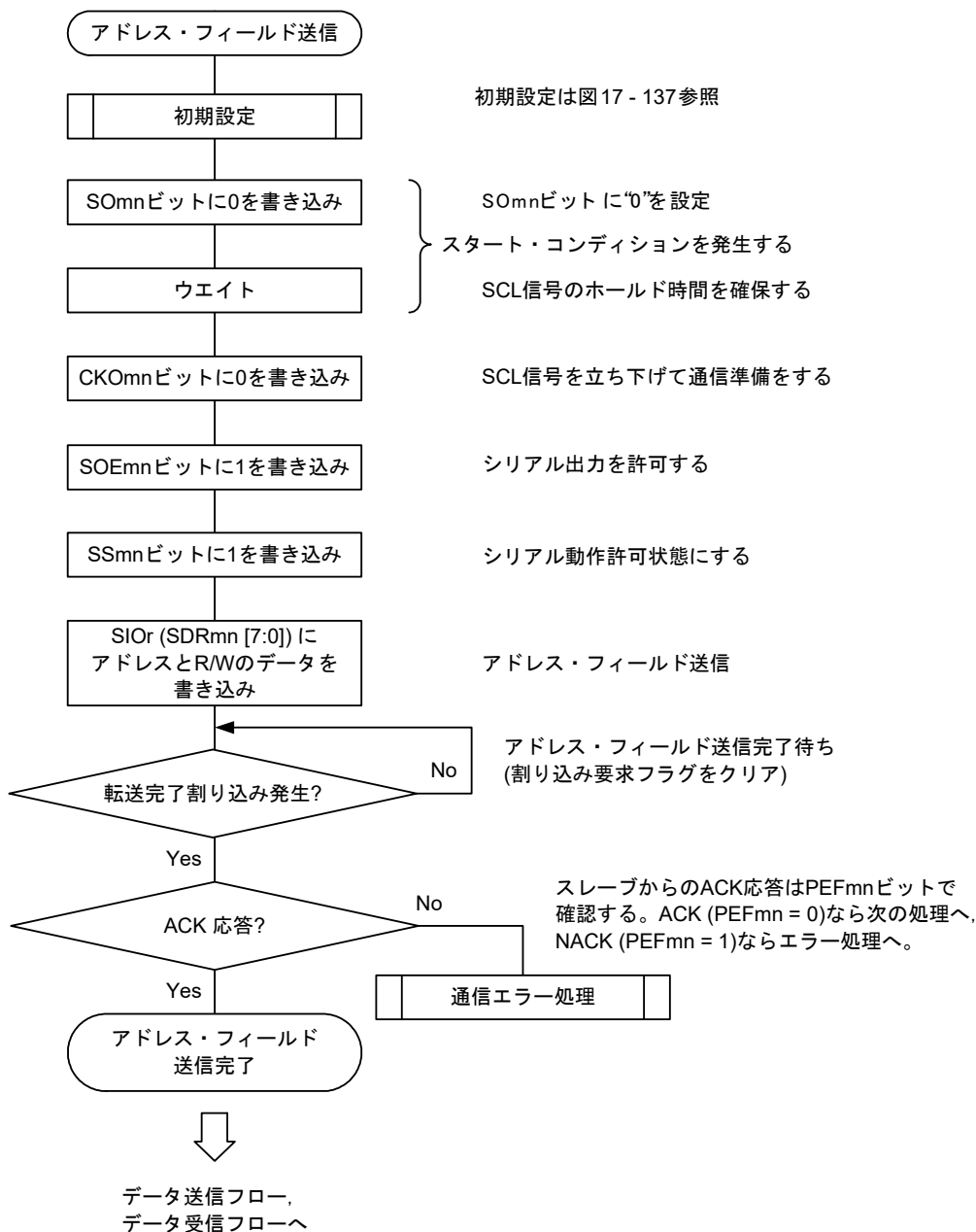
(3) 処理フロー

図17-138 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-139 アドレス・フィールド送信のフロー・チャート



17.9.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC10	IIC20	IIC30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}	SCL20, SDA20 ^{注1}	SCL30, SDA30 ^{注1}
割り込み	INTIIC00	INTIIC10	INTIIC20	INTIIC30
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)			
エラー検出フラグ	ACKエラー・フラグ(PEFmn)			
転送データ長	8ビット			
転送レート ^{注2}	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 			
データ・レベル	非反転出力(デフォルト:ハイ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加(ACK受信タイミング用)			
データ方向	MSBファースト			

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20, IIC30を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20, SCL30)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図17-140 簡易I²C (IIC00, IIC10, IIC20, IIC30)のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r)

..... データ送受信中は下位8ビット(SIO_r)のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定 ^{注1}								0	送信データ設定						
										SIO _r						

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

(f) シリアル・チャンネル開始レジスタ m (SSm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

注1. アドレス・フィールド送信で設定済みなので、設定不要です。

注2. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図17-141 データ送信のタイミング・チャート

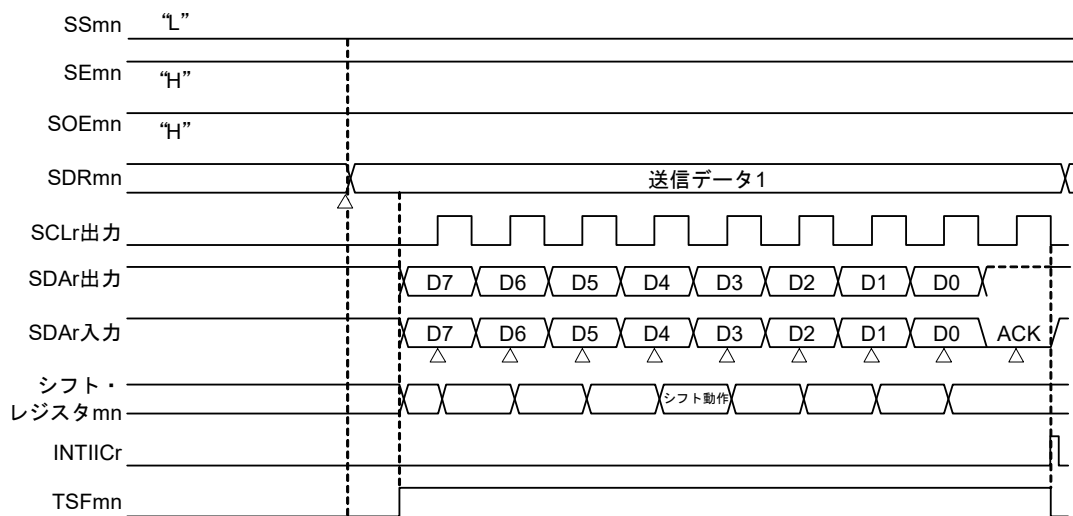
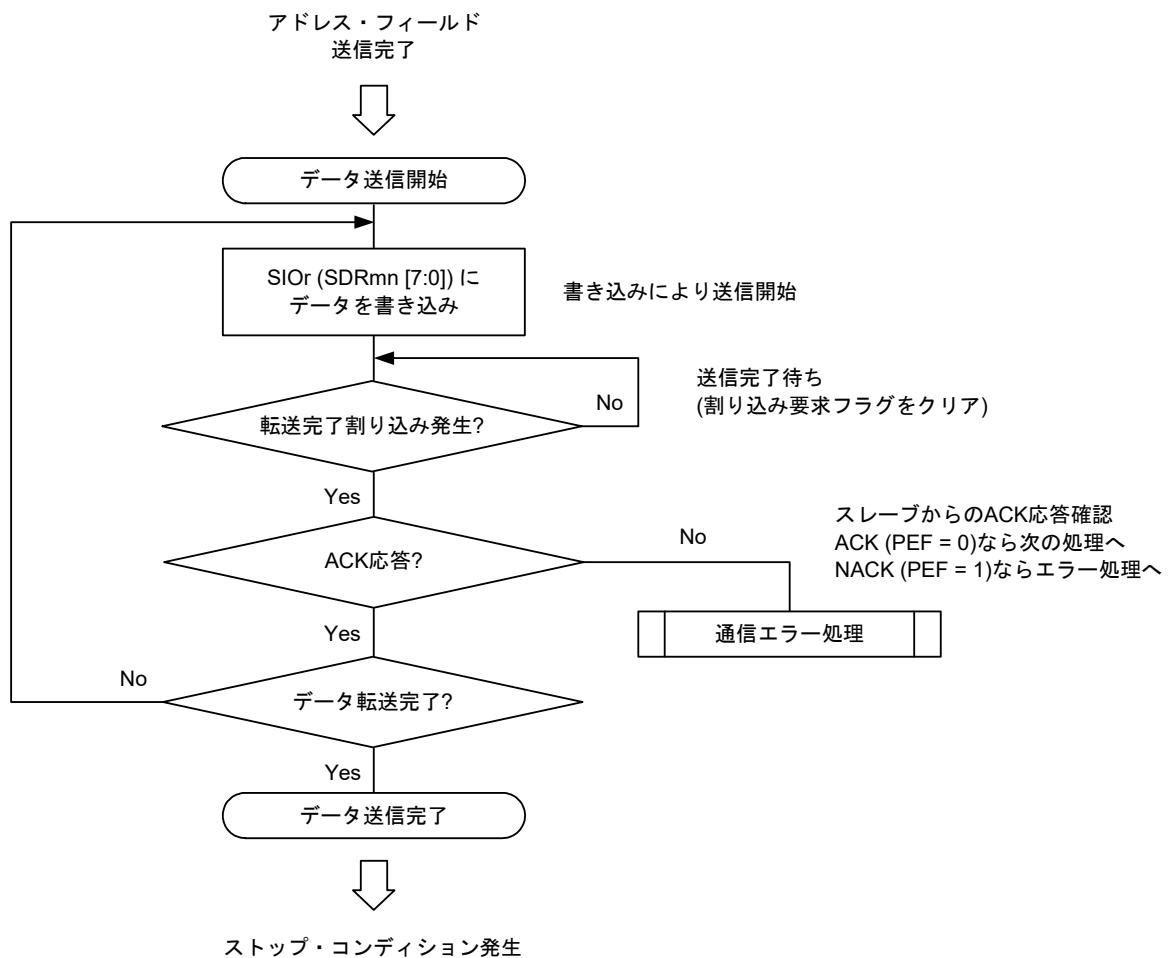


図17-142 簡易I2Cデータ送信のフロー・チャート



17.9.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象(スレーブ)からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 I ² C	IIC00	IIC10	IIC20	IIC30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}	SCL20, SDA20 ^{注1}	SCL30, SDA30 ^{注1}
割り込み	INTIIC00	INTIIC10	INTIIC20	INTIIC30
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	8ビット			
転送レート ^{注2}	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 			
データ・レベル	非反転出力(デフォルト:ハイ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加(ACK送信)			
データ方向	MSBファースト			

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20, IIC30を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20, SCL30)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.4.4 入出力バッファによる異電位(1.8V系、2.5V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第35章 電気的特性(A: TA = -40 ~ +85°C)参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図17-143 簡易I²C (IIC00, IIC10, IIC20, IIC30)のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定 ^{注1}							0	ダミー送信データ設定 (FFH)								
										SIO _r							

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

注1. アドレス・フィールド送信で設定済みなので、設定不要です。

注2. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

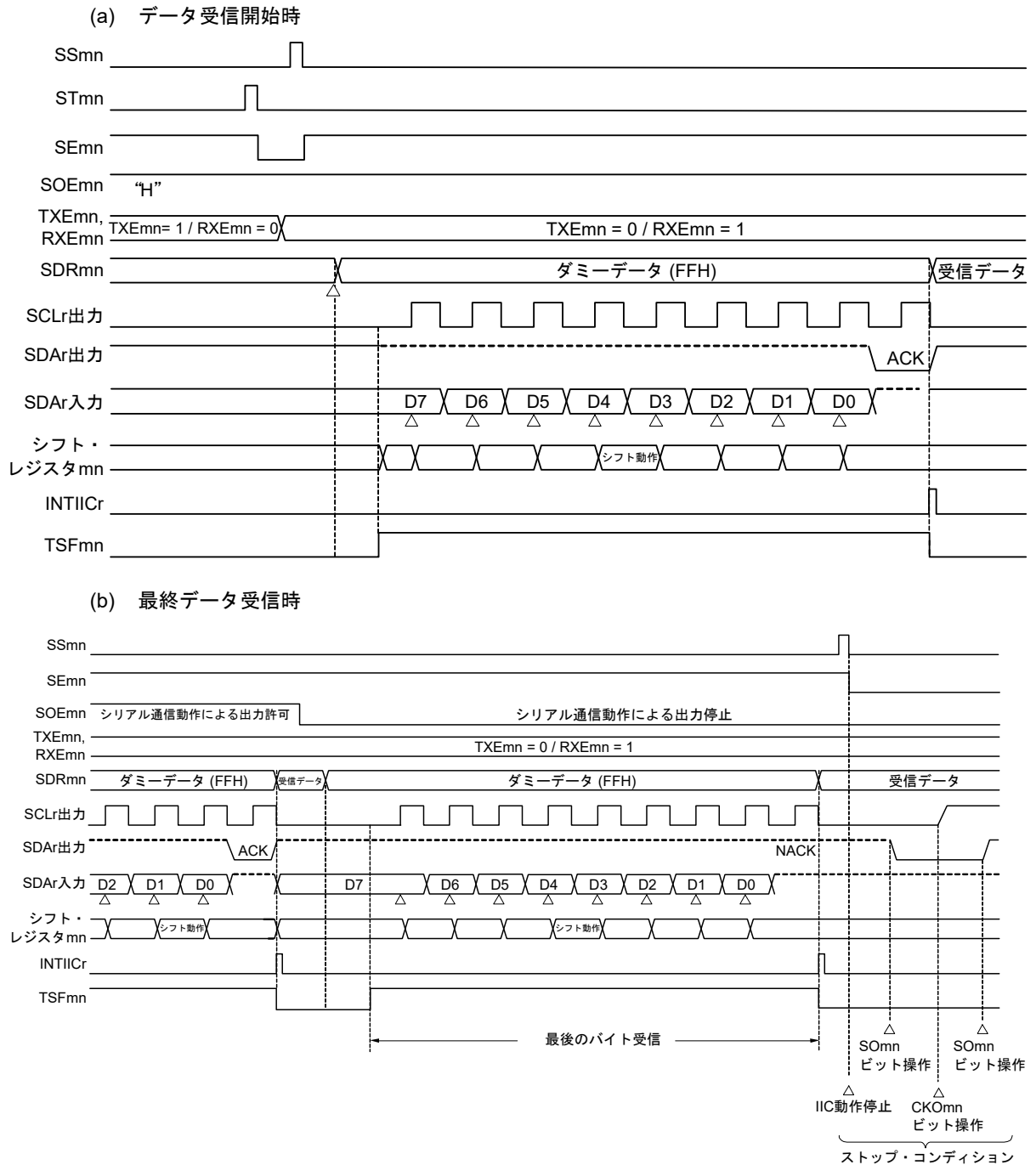
備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

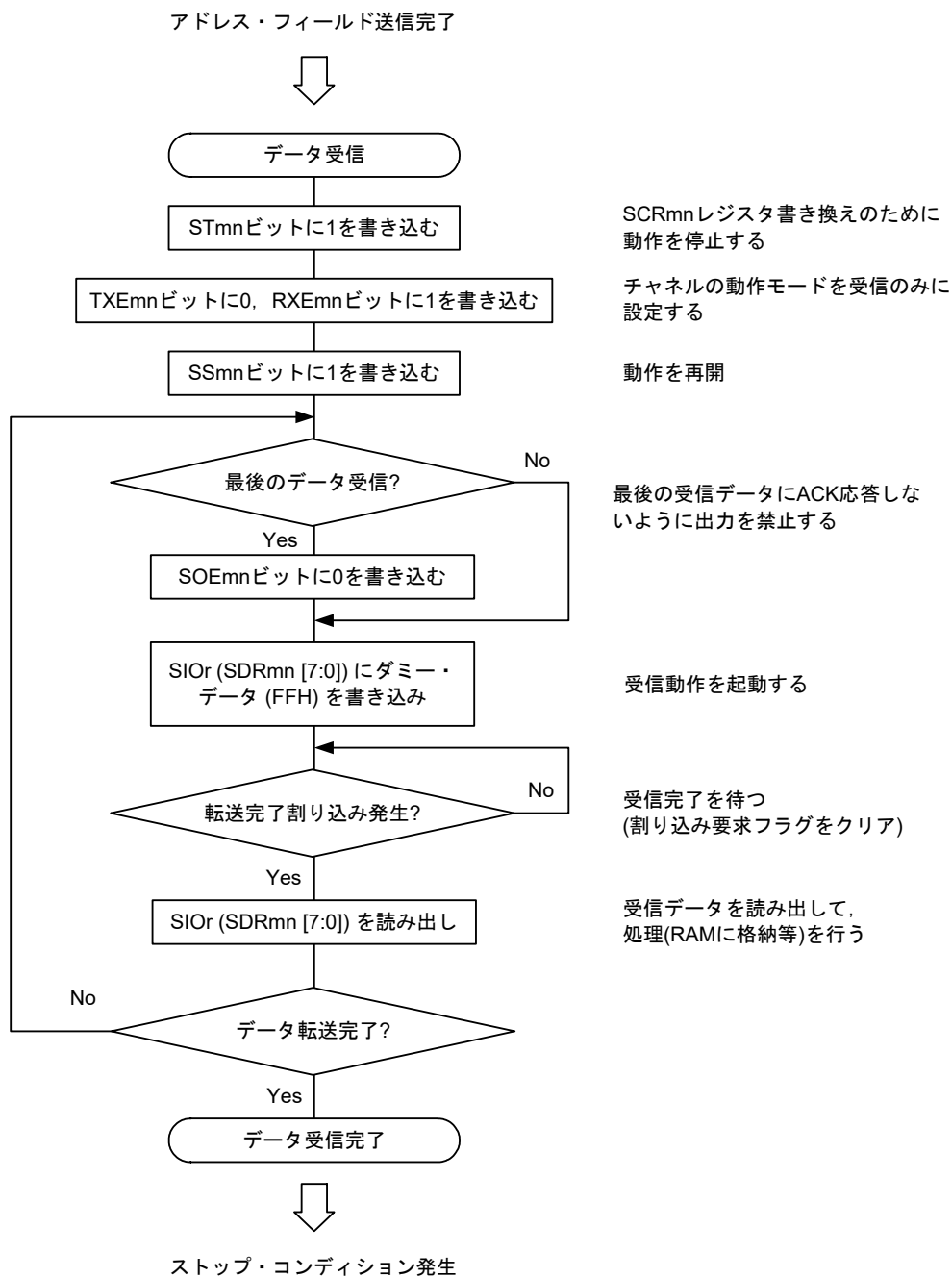
(2) 処理フロー

図17-144 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

図17-145 データ受信のフロー・チャート



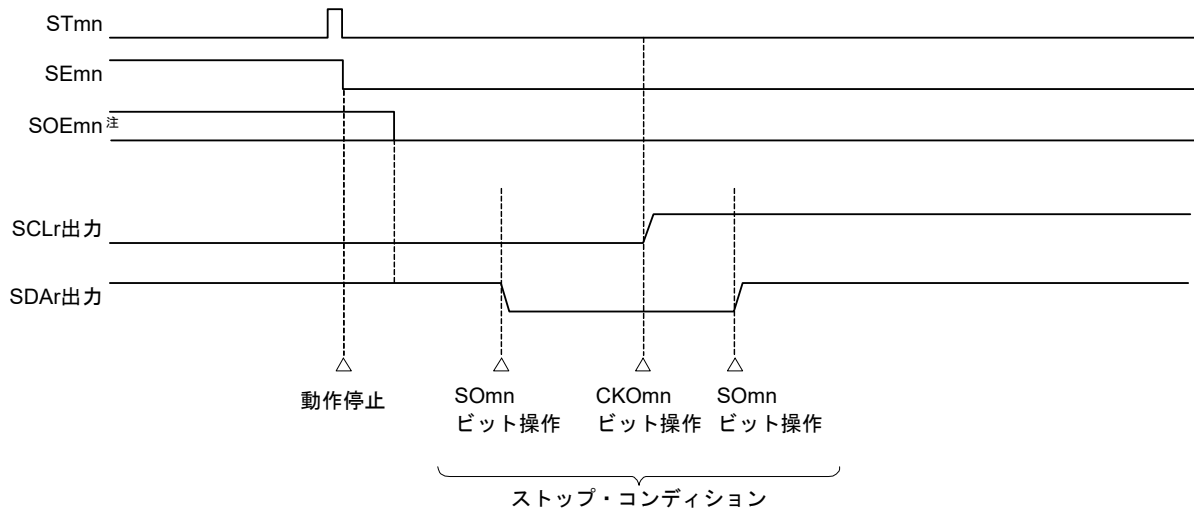
注意 最終データの受信時はACKを出力しません(NACK)。その後、シリアル・チャンネル停止レジスタm (STm)のSTmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

17.9.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

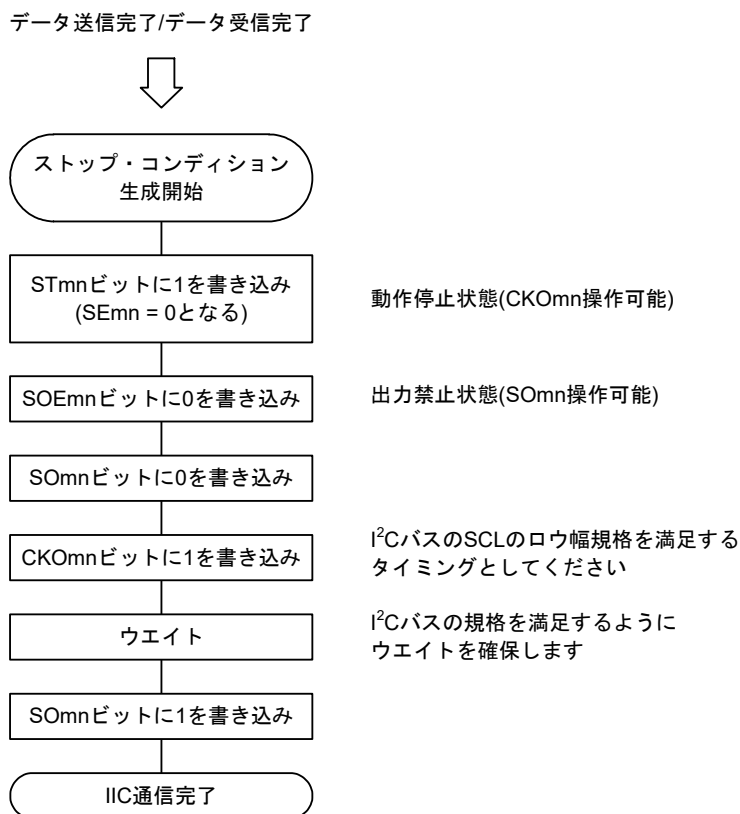
(1) 処理フロー

図17-146 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm (SOEm)のSOEmnビットを“0”に設定しています。

図17-147 ストップ・コンディション発生のフロー・チャート



17.9.5 転送レートの算出

簡易I²C (IIC00, IIC10)通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9])は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000001B-1111111B)なので、1-127になります。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 17 - 6 簡易 I²C 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz	
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタm(STm)=000FH)させてから変更してください。

備考1. X: Don't care

備考2. m: ユニット番号(m=0, 1) n: チャンネル番号(n=0, 2) mn=00, 02, 10, 12

fMCK = fCLK = 24 MHzの場合のI²C転送レート設定例を示します。

I ² C転送モード (希望転送レート)	fCLK = 24 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	59	100 kHz	0.0%注
400 kHz	fCLK	31	375 kHz	6.25%注
1 MHz	fCLK	14	0.80 MHz	20.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

17.9.6 簡易 I²C (IIC00, IIC10, IIC20, IIC30)通信時におけるエラー発生時の処理手順

簡易 I²C (IIC00, IIC10, IIC20, IIC30)通信時にエラーが発生した場合の処理手順を図 17 - 148, 図 17 - 149に示します。

図 17 - 148 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn)をリードする	→SSRmn レジスタのBFFmn ビットが“0”となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)に“1”をライトする	→エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図 17 - 149 簡易 I²C モード時の ACK エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)をライトする	→エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm)のSTmn ビットに“1”を設定する	→シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmn ビットが“0”となり、チャンネルnは動作停止状態になる	ACKが返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm)のSSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmn ビットが“1”となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC 番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

第18章 シリアル・インタフェースIICA

18.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード(マルチマスタ対応)

シリアル・クロック (SCLAn)とシリアル・データ・バス (SDAAn)の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”, “アドレス”, “転送方向指定”, “データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ n1 (IICCTLn1) の WUPnビットにより設定します。

図18-1にシリアル・インタフェースIICAのブロック図を示します。

備考 n = 0

図18-1 シリアル・インタフェースIICAのブロック図

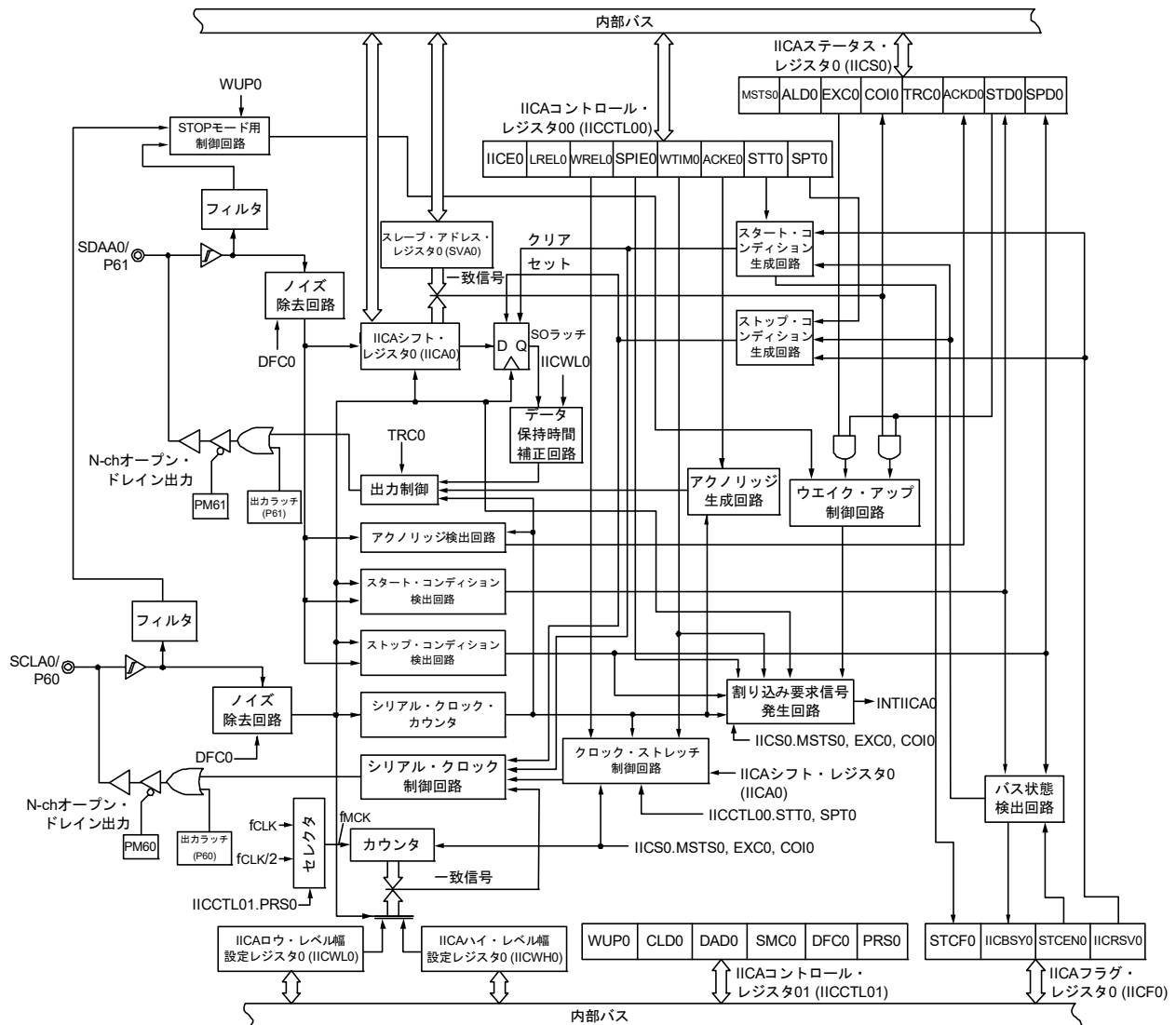
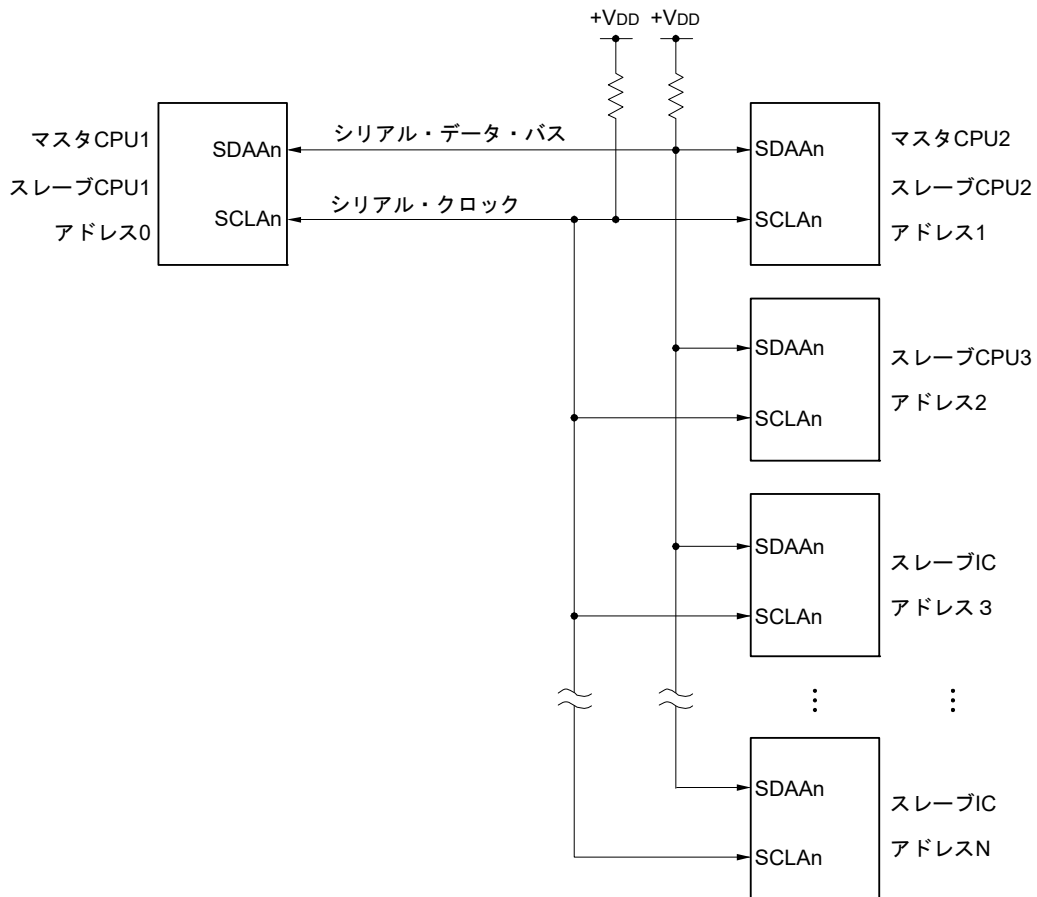


図18-2にシリアル・バス構成例を示します。

図18-2 I²Cバスによるシリアル・バス構成例



備考 n = 0

18.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表 18 - 1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ n (IICAn) スレーブ・アドレス・レジスタ n (SVAn)
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0) IICAコントロール・レジスタ n0 (IICCTLn0) IICAステータス・レジスタ n (IICSn) IICAフラグ・レジスタ n (IICFn) IICAコントロール・レジスタ n1 (IICCTLn1) IICAロウ・レベル幅設定レジスタ n (IICWLn) IICAハイ・レベル幅設定レジスタ n (IICWHn) ポート・モード・レジスタ 6 (PM6) ポート・レジスタ 6 (P6)

備考 n = 0

(1) IICAシフト・レジスタ n (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

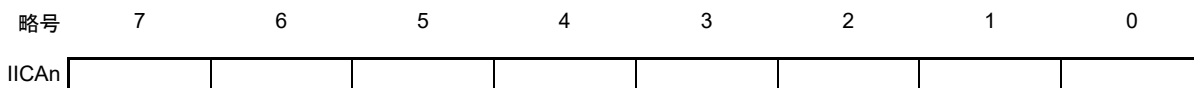
クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 18 - 3 IICAシフト・レジスタ n (IICAn)のフォーマット

アドレス : FFF50H リセット時 : 00H R/W



注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット(STTn)をセット(1)したあと、1回書き込みできます。

注意3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 n = 0

(2) スレーブ・アドレス・レジスタ n (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1 (スタート・コンディション検出)のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図18-4 スレーブ・アドレス・レジスタ n (SVAn)のフォーマット

アドレス : F0234H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ n (SVAn)に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn)の発生を制御します。

I²C 割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

備考 WTIMnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット3

SPIEnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

備考 n = 0

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

- (10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

- (11) スタート・コンディション生成回路

STTnビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVnビット = 1)で、かつバスが解放されていない(IICBSYnビット = 1)場合には、スタート・コンディション要求は無視し、STCFnビットをセット(1)します。

- (12) ストップ・コンディション生成回路

SPTnビットがセット(1)されるとストップ・コンディションを生成します。

- (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENnビットにより、バス状態検出回路の初期状態を設定してください。

備考1. STTnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

SPTnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット0

IICRSVnビット : IICAフラグ・レジスタ n (IICFn)のビット0

IICBSYnビット : IICAフラグ・レジスタ n (IICFn)のビット6

STCFnビット : IICAフラグ・レジスタ n (IICFn)のビット7

STCENnビット : IICAフラグ・レジスタ n (IICFn)のビット1

備考2. n = 0

18.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- IICAコントロール・レジスタ n0 (IICCTLn0)
- IICAフラグ・レジスタ n (IICFn)
- IICAステータス・レジスタ n (IICSn)
- IICAコントロール・レジスタ n1 (IICCTLn1)
- IICAロウ・レベル幅設定レジスタ n (IICWLn)
- IICAハイ・レベル幅設定レジスタ n (IICWHn)
- ポート・モード・レジスタ6 (PM6)
- ポート・レジスタ6 (P6)

備考 n = 0

18.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAnを使用するときは、必ずビット4 (IICAnEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-5 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICAnEN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ・シリアル・インタフェースIICAnはリセット状態
1	入カクロック供給許可 ・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

注意1. シリアル・インタフェースIICAnの設定をする際には、必ず最初にIICAnEN = 1の状態です。下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAの制御レジスタは初期値となり、書き込みは無視されます(ポート・モード・レジスタ6 (PM6)、ポート・レジスタ6 (P6)は除く)。

- ・IICAコントロール・レジスタn0 (IICCTLn0)
- ・IICAフラグ・レジスタn (IICFn)
- ・IICAステータス・レジスタn (IICSn)
- ・IICAコントロール・レジスタn1 (IICCTLn1)
- ・IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・IICAハイ・レベル幅設定レジスタn (IICWHn)
- ・IICAシフト・レジスタn (IICAn)
- ・スレーブ・アドレス・レジスタn (SVAn)

注意2. ビット1, 6には必ず"0"を設定してください。

備考 n = 0

18.3.2 IICAコントロール・レジスタn0 (IICCTLn0)

I²Cの動作許可／停止、クロック・ストレッチ・タイミングの設定、その他I²Cの動作を設定するレジスタです。

IICCTLn0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEnビットは、IICEn = 0のとき、またはクロック・ストレッチ期間中に設定してください。またIICEnビットを"0"から"1"に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

備考 n = 0

図18-6 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(1/4)

アドレス : F0230H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn
	I ² Cの動作許可							
	0	動作停止。IICAステータス・レジスタ n (IICSn)をリセット注1。内部動作も停止。						
	1	動作許可。						
このビットのセット(1)は、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。								
クリアされる条件(IICEn = 0)					セットされる条件(IICEn = 1)			
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 					<ul style="list-style-type: none"> ・ 命令によるセット 			
	通信退避							
	0	通常動作。						
	1	現在行っている通信から退避し、待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ n0 (IICCTLn0), IICAステータス・レジスタ n (IICSn)のうち、次のフラグがクリア(0)される。 ・ STTn ・ SPTn ・ MSTSn ・ EXCn ・ COIn ・ TRCn ・ ACKDn ・ STDn						
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。								
<ul style="list-style-type: none"> ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信 								
クリアされる条件(LRELn = 0)					セットされる条件(LRELn = 1)			
<ul style="list-style-type: none"> ・ 実行後、自動的にクリア ・ リセット時 					<ul style="list-style-type: none"> ・ 命令によるセット 			
	クロック・ストレッチ解除							
	0	クロック・ストレッチを解除しない。						
	1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。						
送信状態(TRCn = 1)で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット(クロック・ストレッチを解除)した場合、SDAAnラインをハイ・インピーダンス(TRCn = 0)にします。								
クリアされる条件(WRELn = 0)					セットされる条件(WRELn = 1)			
<ul style="list-style-type: none"> ・ 実行後、自動的にクリア ・ リセット時 					<ul style="list-style-type: none"> ・ 命令によるセット 			

注1. リセットされるのは、IICAシフト・レジスタ n (IICAn), IICAフラグ・レジスタ n (IICFn)のSTCFn, IICBSYnビット、IICAコントロール・レジスタ n1 (IICCTLn1)レジスタのCLDn, DADnビットです。

注2. IICEn = 0の状態では、このビットの信号は無効になります。

注3. LRELn, WRELnビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン(IICCTLn1レジスタのDFCn = 1)のときにI²Cを動作許可(IICEn = 1)した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可(IICEn = 1)したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット(1)してください。

備考 n = 0

図 18 - 7 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(2/4)

SPIEn 注1	ストップ・コンディション検出による割り込み要求発生の許可／禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタ n1 (IICCTLn1)のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件(SPIEn = 0)		セットされる条件(SPIEn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット

WTIMn 注1	クロック・ストレッチおよび割り込み要求発生制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ(ACK)発生後の9クロック目の立ち下がりでのクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでのクロック・ストレッチに入ります。		
クリアされる条件(WTIMn = 0)		セットされる条件(WTIMn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット

ACKEn 注1,2	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件(ACKEn = 0)		セットされる条件(ACKEn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット

注1. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。
スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0

図18-8 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(3/4)

STTn 注1,2	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	バスが解放されているとき(待機状態, IICBSYnが0のとき): セット(1)すると, スタート・コンディションを生成する(マスタとしての起動)。 第三者が通信中のとき: ・通信予約機能許可の場合(IICRSVn = 0) スタート・コンディション予約フラグとして機能する。セット(1)すると, バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合(IICRSVn = 1) セット(1)してもSTTnビットはクリアされ, STTnクリア・フラグ(STCFn)がセット(1)される。スタート・コンディションは生成しない。 クロック・ストレッチ状態(マスタ時): クロック・ストレッチを解除してリスタート・コンディションを生成する。	
セット・タイミングに関する注意 ・マスタ受信の場合: 転送中のセット(1)は禁止です。ACKEn = 0に設定し, 受信の最後であることをスレーブに伝えたとのクロック・ストレッチ期間中にだけセット(1)可能です。 ・マスタ送信の場合: アクノリッジ期間中は, 正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット(1)してください。 ・ストップ・コンディション・トリガ(SPTn)と同時セット(1)することは禁止です。 ・STTnビットをセット(1)後, クリア条件になる前に再度セット(1)することは禁止です。		
クリアされる条件(STTn = 0)		セットされる条件(STTn = 1)
・通信予約禁止状態でのSTTnビットのセット(1) ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 0 (動作停止)のとき ・リセット時		・命令によるセット

注1. IICEn = 0の状態では, このビットの信号は無効になります。

注2. STTnビットの読み出し値は, 常に0になります。

備考1. IICRSVn : IICAフラグ・レジスタ n (IICFn)のビット0

STCFn : IICAフラグ・レジスタ n (IICFn)のビット7

備考2. n = 0

図 18 - 9 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(4/4)

SPTn注	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する(マスタとしての転送終了)。	
セット・タイミングに関する注意 <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット(1)は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット(1)可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 スタート・コンディション・トリガ(STTn)と同時にセット(1)することは禁止です。 SPTnビットのセット(1)は、マスタのときのみ行ってください。 WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)すると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)してください。 SPTnビットをセット(1)後、クリア条件になる前に、再度セット(1)することは禁止です。 		
クリアされる条件(SPTn = 0)		セットされる条件(SPTn = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LRELn = 1 (通信退避)によるクリア IICEn = 0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 命令によるセット

注 SPTnビットの読み出し値は、常に0になります。

注意 IICAステータス・レジスタ n (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICCTLn0レジスタのビット5 (WRELn)をセット(1)してクロック・ストレッチ解除すると、TRCnビットをクリア(受信状態)してSDAA_nラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタ nへの書き込みで行ってください。

備考1. ビット0 (SPTn)は、データ設定後に読み出すと0になっています。

備考2. n = 0

18.3.3 IICAステータス・レジスタ n (IICSn)

I²Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1およびクロック・ストレッチ期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可(WUPn=1)状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止)に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可(SPIEn = 1)して割り込み検出後にIICSnレジスタを読み出して下さい。

備考 STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

WUPn: IICAコントロール・レジスタ n1 (IICCTLn1)のビット7

図 18 - 10 IICAステータス・レジスタ n (IICSn)のフォーマット(1/3)

アドレス : FFF51H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
IICSn	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACKD _n	STD _n	SPD _n
MSTS _n	マスタ状態確認フラグ							
0	スレーブ状態または通信待機状態。							
1	マスタ通信状態。							
クリアされる条件(MSTS _n = 0)					セットされる条件(MSTS _n = 1)			
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD_n = 1 (アービトレーション負け)のとき ・LREL_n = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時 					<ul style="list-style-type: none"> ・スタート・コンディション生成時 			
ALD _n	アービトレーション負け検出							
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。							
1	アービトレーションに負けた状態。MSTS _n ビットがクリアされる。							
クリアされる条件(ALD _n = 0)					セットされる条件(ALD _n = 1)			
<ul style="list-style-type: none"> ・IICSnレジスタ読み出し後、自動的にクリア注 ・IICEn = 1→0 (動作停止)のとき ・リセット時 					<ul style="list-style-type: none"> ・アービトレーションに負けたとき 			

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD_nビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考1. LREL_n : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

図 18 - 11 IICAステータス・レジスタ n (IICSn)のフォーマット(2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXCn = 0)		セットされる条件 (EXCn = 1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LRELn = 1 (通信退避)によるクリア IICEEn = 1→0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき(8クロック目の立ち上がりでセット)
COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LRELn = 1 (通信退避)によるクリア IICEEn = 1→0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 受信アドレスが自局アドレス(スレーブ・アドレス・レジスタ n (SVAn))と一致したとき(8クロック目の立ち上がりでセット)
TRCn	送信/受信状態検出	
0	受信状態(送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする(1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<p><マスタ, スレーブ共通></p> <ul style="list-style-type: none"> ストップ・コンディション検出時 LRELn = 1 (通信退避)によるクリア IICEEn = 1→0 (動作停止)のとき WRELn = 1 (クロック・ストレッチ解除)によるクリア注 ALDn = 0→1 (アービトラージン負け)のとき リセット時 通信不参加の場合 (MSTSn, EXCn, COIn = 0) <p><マスタの場合></p> <ul style="list-style-type: none"> 1バイト目のLSB (転送方向指定ビット)に“1”を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> スタート・コンディション検出時 1バイト目のLSB (転送方向指定ビット)に“0”を入力したとき 		<p><マスタの場合></p> <ul style="list-style-type: none"> スタート・コンディション生成時 1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“0” (マスタ送信)を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> マスタからの1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“1” (スレーブ送信)が入力されたとき

注 IICAステータス・レジスタ n (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)をセット(1)してクロック・ストレッチを解除すると、TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタ nへの書き込みで行ってください。

備考1. LRELn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEEn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

図 18 - 12 IICAステータス・レジスタ n (IICSn)のフォーマット(3/3)

ACKDn	アクトリッジ(ACK)検出	
0	アクトリッジを検出してない。	
1	アクトリッジを検出している。	
クリアされる条件(ACKDn = 0)		セットされる条件(ACKDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時 		<ul style="list-style-type: none"> ・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき
STDn	スタート・コンディション検出	
0	スタート・コンディションを検出してない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件(STDn = 0)		セットされる条件(STDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時
SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出してない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件(SPDn = 0)		セットされる条件(SPDn = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEn = 1→0 (動作停止)のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

18.3.4 IICAフラグ・レジスタ n (IICFn)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ(STCFn)、I²Cバス状態フラグ(IICBSYn)は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止/許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn、STCENnビットはI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = n)のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図18 - 13 IICAフラグ・レジスタn (IICFn)のフォーマット

アドレス : FFF52H リセット時 : 00H R/W注

略号	7	6	5	4	3	2	1	0	
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn	
STCFn	STTnクリア・フラグ								
0	スタート・コンディション発行。								
1	スタート・コンディション発行できず、STTnフラグ・クリア。								
クリアされる条件(STCFn = 0)				セットされる条件(STCFn = 1)					
<ul style="list-style-type: none"> • STTn = 1によるクリア • IICEn = 0 (動作停止)のとき • リセット時 				<ul style="list-style-type: none"> • 通信予約禁止(IICRSVn = 1)設定時にスタート・コンディション発行できず、STTnビットがクリア(0)されたとき 					
IICBSYn	I ² Cバス状態フラグ								
0	バス解放状態(STCENn = 1時の通信初期状態)。								
1	バス通信状態(STCENn = 0時の通信初期状態)。								
クリアされる条件(IICBSYn = 0)				セットされる条件(IICBSYn = 1)					
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • IICEn = 0 (動作停止)のとき • リセット時 				<ul style="list-style-type: none"> • スタート・コンディション検出時 • STCENn = 0時のIICEnビットのセット 					
STCENn	初期スタート許可トリガ								
0	動作許可(IICEn = 1)後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。								
1	動作許可(IICEn = 1)後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。								
クリアされる条件(STCENn = 0)				セットされる条件(STCENn = 1)					
<ul style="list-style-type: none"> • 命令によるクリア • スタート・コンディション検出時 • リセット時 				<ul style="list-style-type: none"> • 命令によるセット 					
IICRSVn	通信予約機能禁止ビット								
0	通信予約許可。								
1	通信予約禁止。								
クリアされる条件(IICRSVn = 0)				セットされる条件(IICRSVn = 1)					
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 				<ul style="list-style-type: none"> • 命令によるセット 					

注 ビット6, 7はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

注意2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態(IICBSYn = 0)と認識しますので、1回目のスタート・コンディションを発行(STTn = 1)する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVnへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0)のビット1

備考2. IICEn : IICAコントロール・レジスタn0 (IICCTLn0)のビット7

18.3.5 IICAコントロール・レジスタ n1 (IICCTLn1)

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1 レジスタは、WUPnビットを除きI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = 0)のときに設定してください。

リセット信号の発生により、00Hになります。

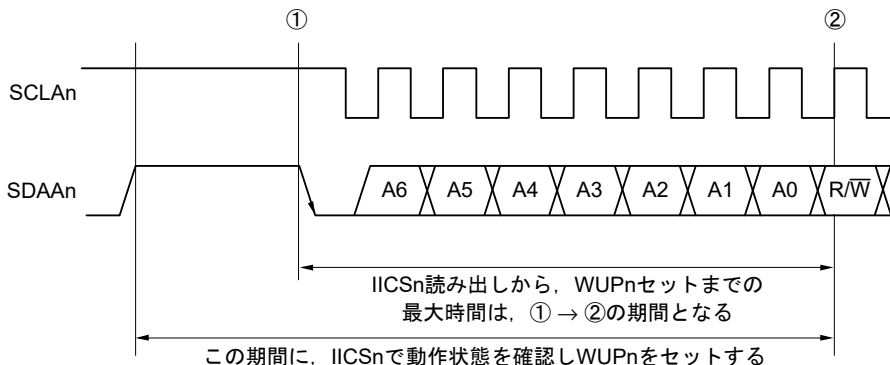
図 18 - 14 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット(1/2)

アドレス : F0231H リセット時 : 00H R/W注1

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn
WUPn	アドレス一致ウエイク・アップの制御							
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止							
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可							
<p>WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット(1)してf_{mck}の3クロック以上経過後にSTOP命令を実行してください(図18-29 WUPn = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPnビットをクリア(0)してください。WUPnビットをクリア(0)することで、その後の通信に参加する事ができます(クロック・ストレッチ解除および送信データ書き込みは、WUPnビットをクリア(0)したあとに行う必要があります)。</p> <p>WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです(クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。</p>								
クリアされる条件(WUPn = 0)					セットされる条件(WUPn = 1)			
・命令によるクリア(アドレス一致もしくは拡張コード受信後)					・命令によるセット(MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加である事)のとき)注2			

注1. ビット4, 5はRead Onlyです。

注2. 次に示す期間に、IICAステータス・レジスタ n (IICSn)の状態を確認しセットする必要があります。



備考 n = 0

図18-15 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット(2/2)

CLDn	SCLAn端子のレベル検出(IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件(CL Dn = 0)		セットされる条件(CL Dn = 1)
<ul style="list-style-type: none"> • SCLAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出(IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件(DADn = 0)		セットされる条件(DADn = 1)
<ul style="list-style-type: none"> • SDAAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作(最大転送レート: 100 kbps)
1	ファースト・モード(最大転送レート: 400 kbps)またはファースト・モード・プラス(最大転送レート: 1 Mbps)で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。
デジタル・フィルタは、ノイズ除去のために使用します。
DFCnビットのセット(1)／クリア(0)により、転送クロックが変化することはありません。

PRSn	動作クロック (fMCK) の分周動作制御
0	動作クロックにfCLKを選択
1	動作クロックにfCLK/2を選択

注意1. IICA 動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。fCLK が20 MHz を越える場合のみ、IICA コントロール・レジスタ n1 (IICCTLn1) のビット0 (PRSn) に"1"を設定してください。

注意2. 転送クロックを設定する場合は、fCLK の最低動作周波数に注意してください。シリアル・インタフェース IICA はモードによってfCLK の最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

注意3. ファースト・モード・プラスは、A:民生用途(TA = -40~+85°C)のみです。

備考1. IICEn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

18.3.6 IICAロウ・レベル幅設定レジスタ n (IICWLn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のロウ・レベル幅 (tLow) と SDAAn 端子信号を制御するレジスタです。

IICWLn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWLn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

IICWLn の設定方法については、18.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法を参照してください。また、データ・ホールド時間は IICWLn で設定した時間の 1/4 になります。

図 18 - 16 IICA ロウ・レベル幅設定レジスタ n (IICWLn) のフォーマット

アドレス : F0232H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IICWLn								

18.3.7 IICAハイ・レベル幅設定レジスタ n (IICWHn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のハイ・レベル幅と SDAAn 端子信号を制御するレジスタです。

IICWHn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWHn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

図 18 - 17 IICA ハイ・レベル幅設定レジスタ n (IICWHn) のフォーマット

アドレス : F0233H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IICWHn								

備考1. マスタ側の転送クロックの設定方法は18.4.2 (1)を、スレーブ側のIICWLn, IICWHnレジスタによる転送クロックの設定方法は18.4.2 (2)を参照してください。

備考2. n = 0

18.3.8 ポート・モード・レジスタ6 (PM6)

ポート6の入力/出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力、P61/SDAA0端子をシリアル・データ入出力として使用するとき、PM60、PM61およびP60、P61の出力ラッチに0を設定してください。

IICEn (IICAコントロール・レジスタ n0 (IICCTLn0)のビット7)が0の場合、P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力(固定)となるため、出力モードへの切り替えは、IICEnビットに1を設定してから、行ってください。

PM6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図18-18 ポート・モード・レジスタ6 (PM6)のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60
PM6n	P6n端子の入出力モードの選択 (n = 0, 1)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

18.4 I²Cバス・モードの機能

18.4.1 端子構成

シリアル・クロック端子(SCLAn)と、シリアル・データ・バス端子(SDAAn)の構成は、次のようになっています。

(1) SCLAn... シリアル・クロックを入出力するための端子。

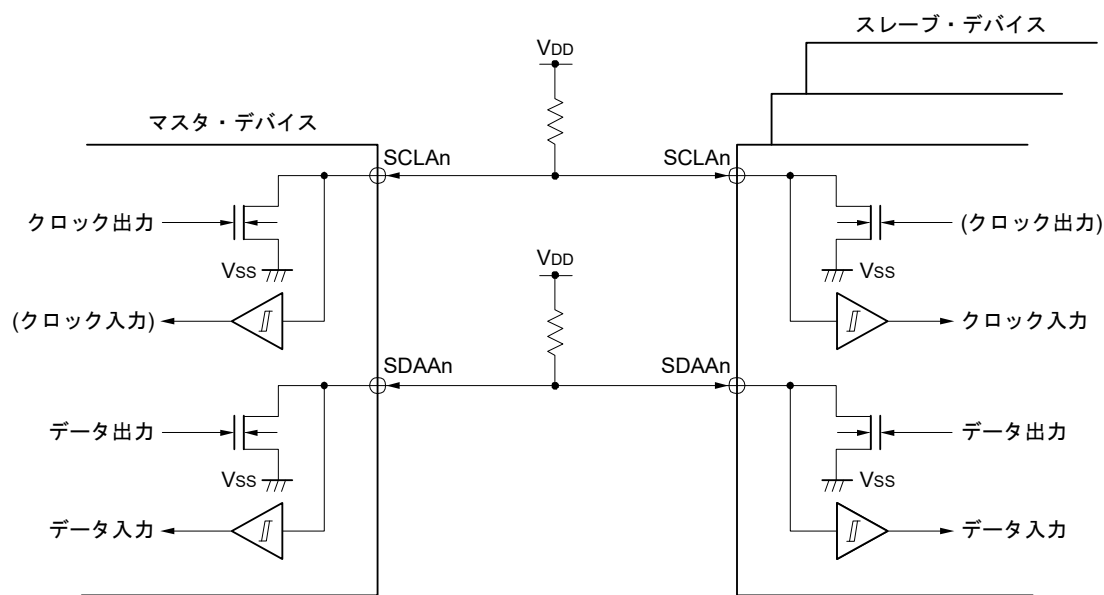
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力にはシュミット入力。

(2) SDAAn... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力にはシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図 18 - 19 端子構成図



備考 n = 0

18.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき、最適な IICWLn レジスタと IICWHn レジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

・標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

・ファースト・モード・プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

(2) スレーブ側の IICWLn, IICWHn レジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWLn = 1.3 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (1.2 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

・標準モード時

$$IICWLn = 4.7 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (5.3 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

・ファースト・モード・プラス時

$$IICWLn = 0.50 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (0.50 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

注意1. IICA 動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。fCLK が20 MHz を越える場合のみ、IICA コントロール・レジスタ n1 (IICCTLn1) のビット0 (PRSn) に"1"を設定してください。

注意2. 転送クロックを設定する場合は、fCLK の最低動作周波数に注意してください。シリアル・インタフェース IICA はモードによって fCLK の最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

(備考は、次ページにあります。)

備考1. SDAAn, SCLAn信号の立ち上がり時間(t_R)と立ち下がり時間(t_F)は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

備考2. IICWLn : IICAロウ・レベル幅設定レジスタn

IICWHn : IICAハイ・レベル幅設定レジスタn

t_F : SDAAn, SCLAn信号の立ち下がり時間

t_R : SDAAn, SCLAn信号の立ち上がり時間

fMCK : IICA動作クロック周波数

fCLK : CPU／周辺ハードウェア・クロック周波数

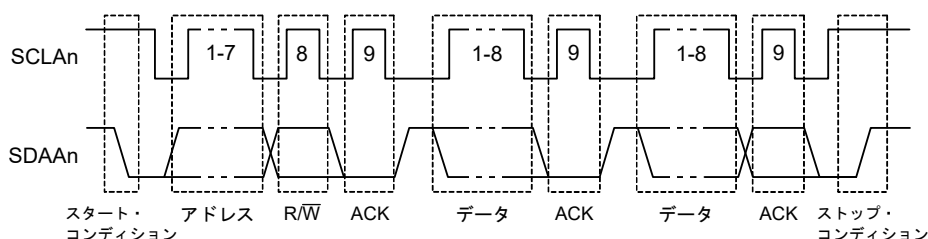
備考3. n = 0

18.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図18-20に示します。

図18-20 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

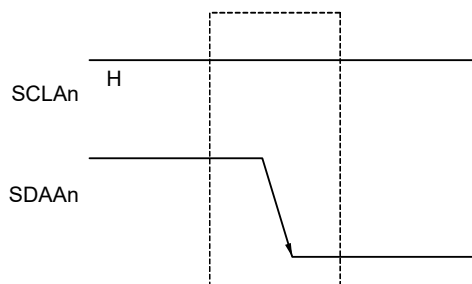
アクノリッジ(ACK)は、マスタ、スレーブのどちらでも生成できます(通常、8ビット・データの受信側が出力します)。

シリアル・クロック(SCLAn)は、マスタが出力し続けます。ただし、スレーブはSCLAn端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

18.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子、SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図18-21 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態(SPDn: IICAステータス・レジスタn (IICSn)のビット0 = 1)のときにIICAコントロール・レジスタn0 (IICCTLn0)のビット1 (STTn)をセット(1)すると出力されます。また、スタート・コンディションを検出すると、IICSnレジスタのビット1 (STDn)がセット(1)されます。

備考 n = 0

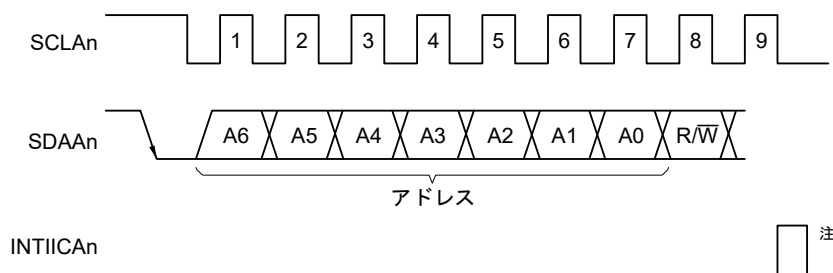
18.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn)と一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図 18 - 22 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと18.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAnシフト・レジスタ n (IICAn)に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれます。

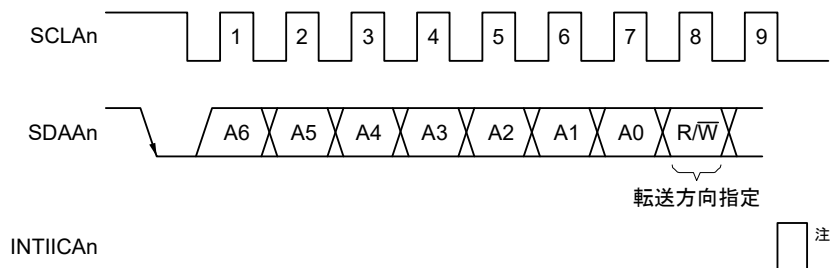
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

18.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図 18 - 23 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 $n = 0$

18.5.4 アクノリッジ(ACK)

アクノリッジ(ACK)によって、送信側と受信側におけるシリアル・データの状態を確認することができます。受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ n (IICSn)のビット2 (ACKDn)で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

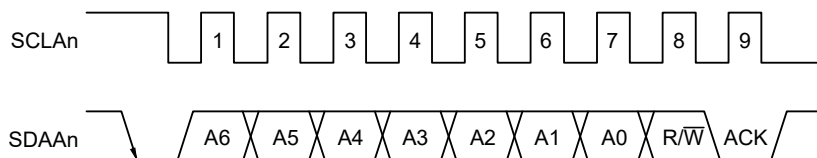
アクノリッジ生成は、受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ n0 (IICCTLn0)のビット2 (ACKEn)をセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3 (TRCn)が設定されます。受信(TRCn = 0)の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時(TRCn = 0)にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRCn = 0)に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図 18 - 24 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- ・ 8クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 0) :
クロック・ストレッチ解除を行う前にACKEnビットをセット(1)することによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・ 9クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 1) :
あらかじめACKEnビットをセット(1)することによって、アクノリッジを生成します。

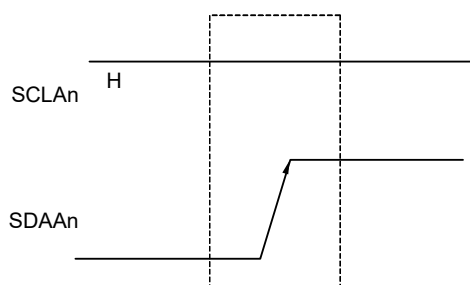
備考 n = 0

18.5.5 ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図 18 - 25 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ n0 (IICCTLn0)のビット0 (SPTn)をセット(1)すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ n (IICSn)のビット0 (SPDn)がセット(1)され、IICCTLn0レジスタのビット4 (SPIEn)がセット(1)されている場合にはINTIICAnが発生します。

備考 n = 0

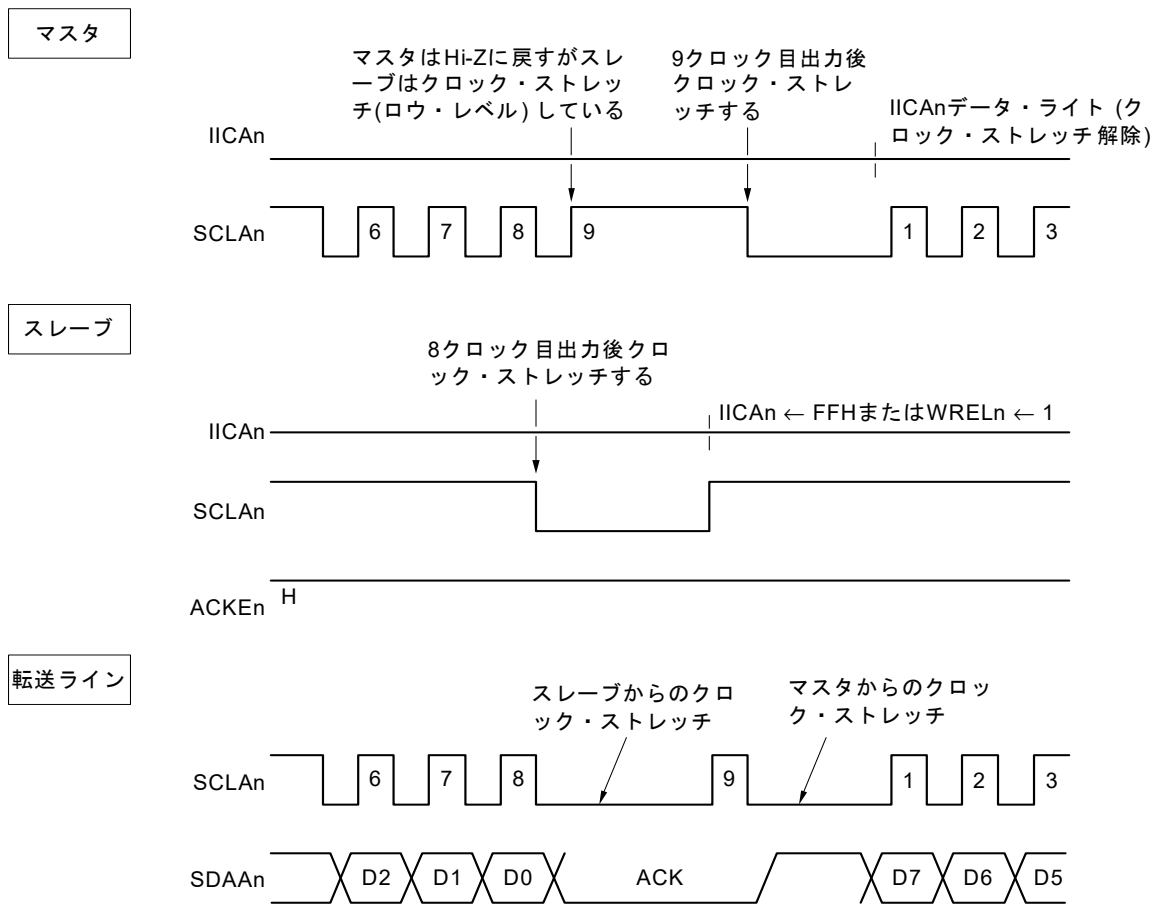
18.5.6 クロック・ストレッチ

クロック・ストレッチによつては、マスタまたはスレーブがデータの送受信のための準備中(クロック・ストレッチ状態)であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図18-26 クロック・ストレッチ(1/2)

- (1) マスタは9クロック・クロック・ストレッチ，スレーブは8クロック・クロック・ストレッチ時
(マスタ：送信，スレーブ：受信，ACKEn = 1)

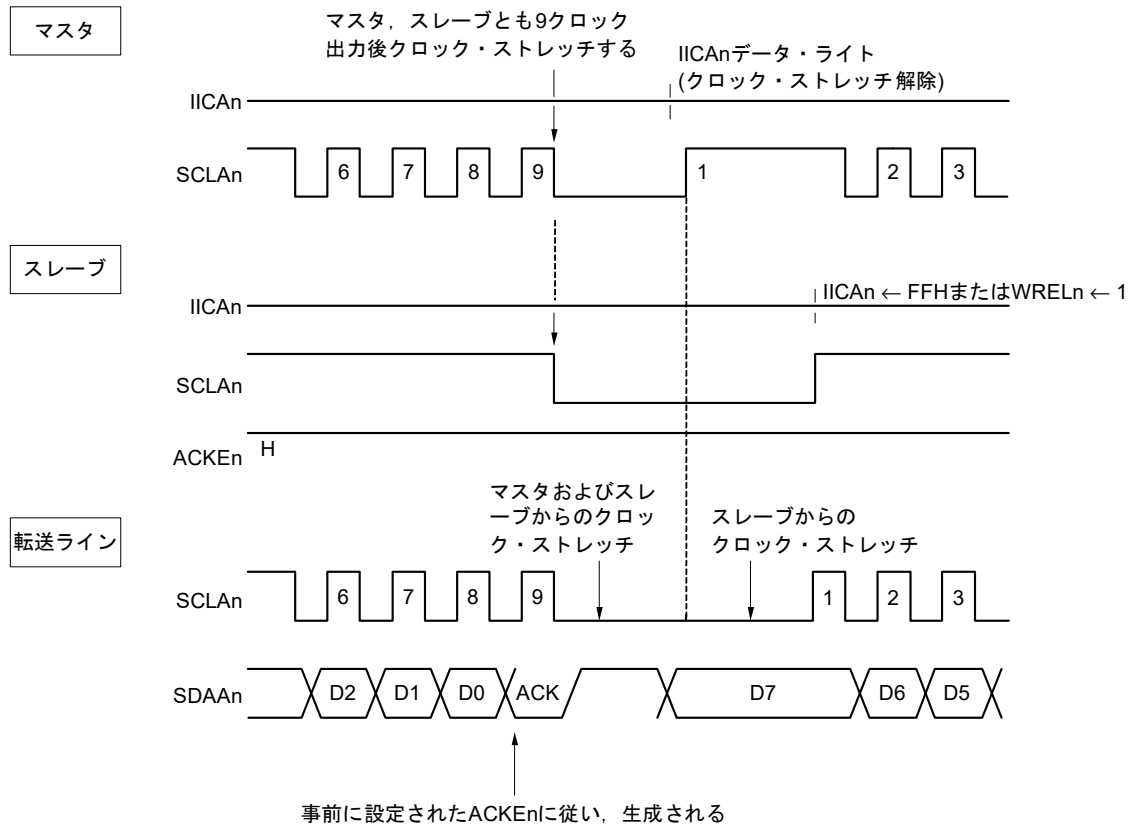


備考 n = 0

図18-27 クロック・ストレッチ(2/2)

(2) マスタ、スレーブとも9クロック・クロック・ストレッチ時

(マスタ：送信，スレーブ：受信，ACKEn = 1)



備考 ACKEn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット2

WRELn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット5

クロック・ストレッチは、IICAコントロール・レジスタ n0 (IICCTLn0)のビット3 (WTIMn)の設定により自動的に発生します。

通常、受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタ n (IICAn)にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- ・ IICCTLn0レジスタのビット1 (STTn) = 1
- ・ IICCTLn0レジスタのビット0 (SPTn) = 1

備考 n = 0

18.5.7 クロック・ストレッチ解除方法

I²Cでは、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- IICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合、I²Cはクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ(アドレスを含む)を送信する場合には、IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0レジスタのビット5 (WRELn)をセット(1)してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0レジスタのビット1 (STTn)をセット(1)してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0レジスタのビット0 (SPTn)をセット(1)してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットにセット(1)によるクロック・ストレッチ解除後、IICAnレジスタへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により、SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEnビットをクリア(0)すると通信を停止するので、クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0レジスタのビット6 (LRELn)をセット(1)すると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

備考 n = 0

18.5.8 割り込み要求 (INTIICAn)発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0 (IICCTLn0) のビット 3 (WTIMn) の設定で、表 18 - 2 に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表 18 - 2 INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1,2	8注2	8注2	9	8	8
1	9注1,2	9注2	9注2	9	9	9

- 注1. スレーブの INTIICAn 信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ n (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICCTLn0 レジスタのビット2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。
ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnを発生しますが、クロック・ストレッチは発生しません。
- 注2. スレーブ・アドレス・レジスタ n (SVAn) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAn もクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMn ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- ・マスタ動作時：WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考 n = 0

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- ・ IICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- ・ IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・クロック・ストレッチ選択 (WTIMn = 0)時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

18.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n (SVAn)に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

18.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn)の状態が、送信しているデバイスのIICAシフト・レジスタ n (IICAn)にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0

18.5.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn)をセット(1)し、8クロック目の立ち下がりで割り込み要求 (INTIICAn)を発生します。スレーブ・アドレス・レジスタ n (SVAn)に格納された自局アドレスは影響しません。
- (2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICAn)は、8クロック目の立ち下がりで発生します。

- ・ 上位4ビット・データ的一致 : EXCn = 1
- ・ 7ビット・データ的一致 : COIn = 1

備考 EXCn : IICAステータス・レジスタ n (IICSn)のビット5
 COIn : IICAステータス・レジスタ n (IICSn)のビット4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表 18 - 3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

備考2. n = 0

18.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合($STDn = 1$ になる前に $STTn = 1$ にしたとき)、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICAステータス・レジスタ n (IICSn)のアービトレーション負けフラグ(ALDn)をセット(1)し、SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

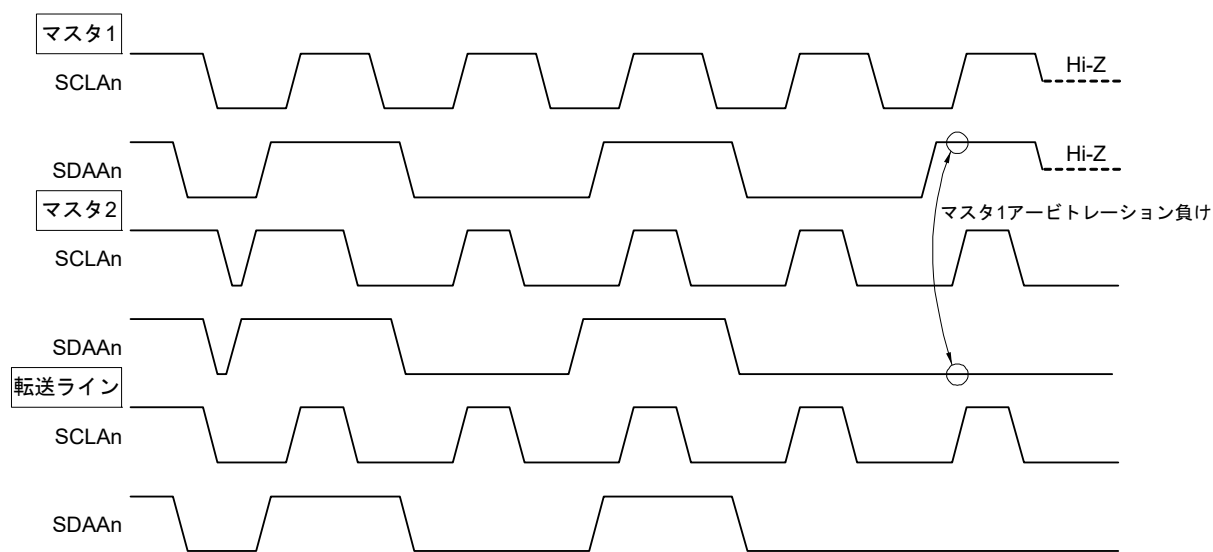
アービトレーションに負けたことは、次の割り込み要求発生タイミング(8または9クロック目、ストップ・コンディション検出など)で、ソフトウェアでALDn = 1になっていることで検出します。

割り込み要求発生タイミングについては、18.5.8 割り込み要求(INTIICAn)発生タイミングおよびクロック・ストレッチ制御を参照してください。

備考 $STDn$: IICAステータス・レジスタ n (IICSn)のビット1

$STTn$: IICAコントロール・レジスタ $n0$ (IICCTLn0)のビット1

図18 - 28 アービトレーション・タイミング例



備考 $n = 0$

表 18-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIMnビット(IICAコントロール・レジスタ n0 (IICCTLn0)のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIMn = 0 および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求が発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット 4

備考2. n = 0

18.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生する機能です。

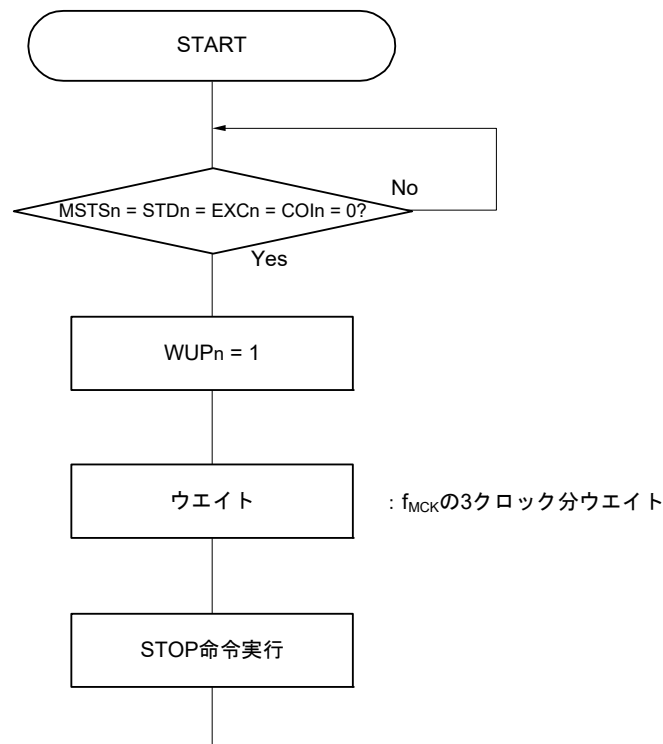
アドレスが一致しないときは不要なINTIICAn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ(スタート・コンディションを生成した場合)でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生します。この割り込み発生後に命令でWUPnビットをクリア(0)することで通常動作に戻ります。

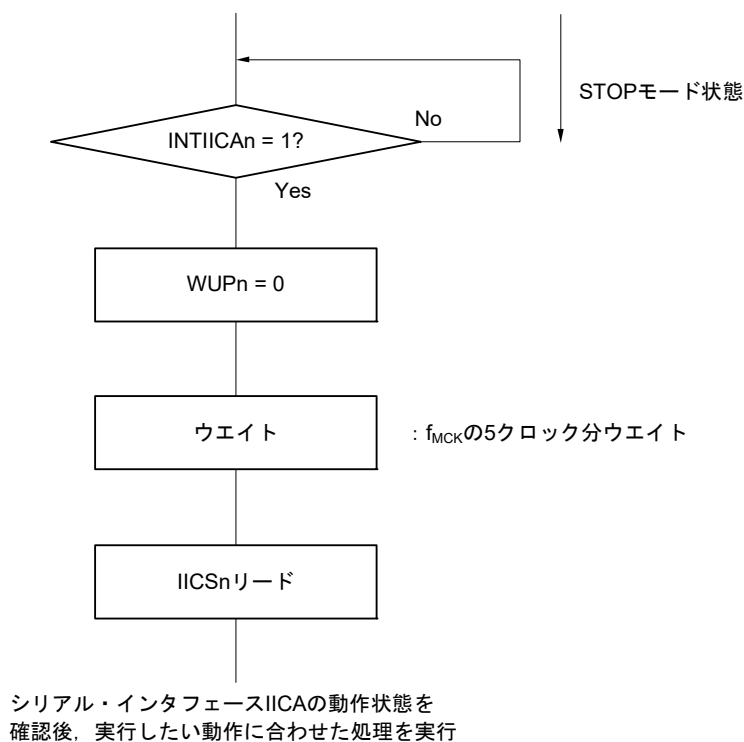
WUPn = 1に設定する場合のフローを図18 - 29に、アドレス一致によりWUPn = 0に設定する場合のフローを図18 - 30に示します。

図18 - 29 WUPn = 1を設定する場合のフロー



備考 n = 0

図18 - 30 アドレス一致によりWUPn = 0に設定する場合のフロー (拡張コード受信含む)

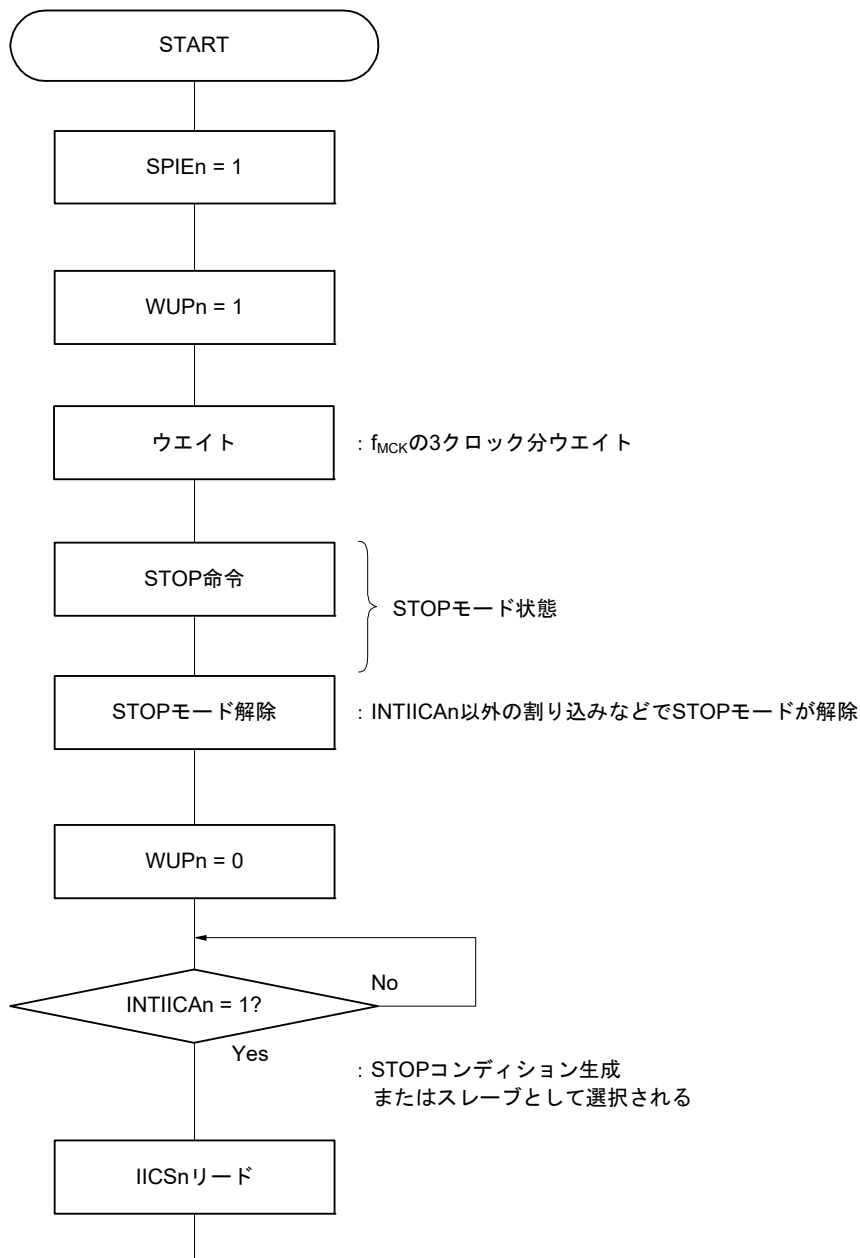


また、シリアル・インタフェースIICAからの割り込み要求 (INTIICAn) 以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- 次のIIC通信をマスタとして動作させる場合：図18 - 31のフロー
- 次のIIC通信をスレーブとして動作させる場合：
 - INTIICAn割り込みで復帰した場合： 図18 - 30のフローと同じになります。
 - INTIICAn割り込み以外の割り込みで復帰した場合： INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考 n = 0

図 18 - 31 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

備考 n = 0

18.5.14 通信予約

(1) 通信予約機能許可の場合(IICAフラグ・レジスタ n (IICFn)のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICAコントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1で通信退避してバスを解放した)とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn)をセット(1)すると、バスが解放されたあと(ストップ・コンディション検出時)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn)をセット(1)し、割り込み要求信号 (INTIICAn)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IICAシフト・レジスタ n (IICAn)にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・ バスが解放されているとき スタート・コンディション生成
- ・ バスが解放されていないとき(待機状態) 通信予約

通信予約として動作するのかどうかは、STTnビットをセット(1)し、ウェイト時間をとったあと、MSTS_nビット(IICAステータス・レジスタ n (IICSn)のビット7)で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$\text{STTn} = 1 \text{ から MSTSn フラグ 確認 までの ウェイト 時間 :}$ $(\text{IICWLn の 設定 値} + \text{IICWHn の 設定 値} + 4) / \text{fMCK} + \text{tF} \times 2$
--

備考1. IICWLn : IICA ロウ・レベル幅設定レジスタ n

IICWHn : IICA ハイ・レベル幅設定レジスタ n

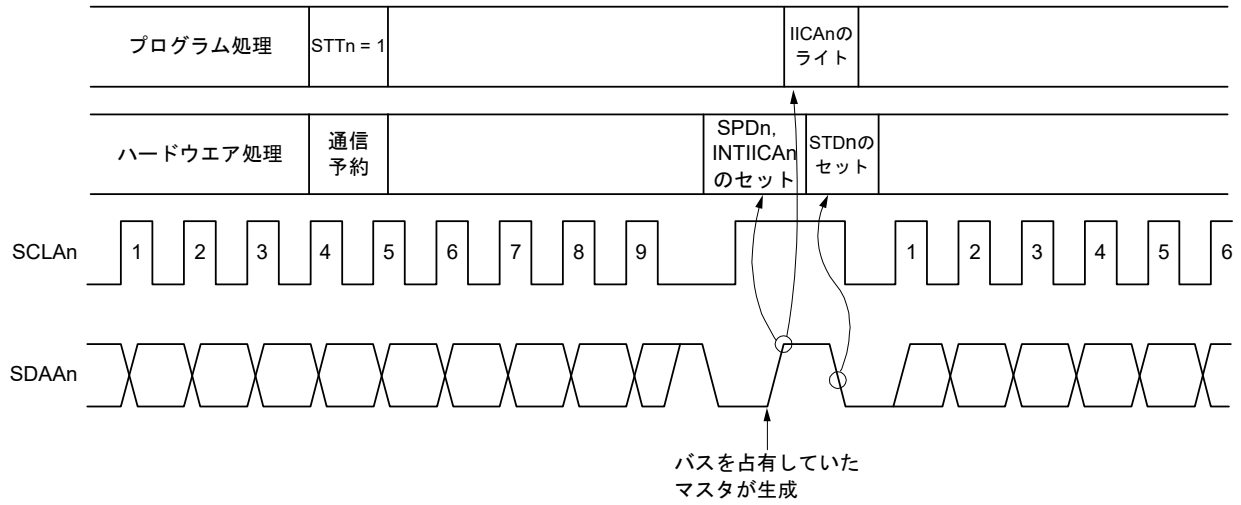
tF : SDAAn, SCLAn 信号の立ち下がり時間

fMCK : IICA 動作クロック周波数

備考2. n = 0

通信予約のタイミングを図18 - 32に示します。

図18 - 32 通信予約のタイミング



- 備考 IICAn : IICAシフト・レジスタ n
 STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1
 STDn : IICAステータス・レジスタ n (IICSn)のビット1
 SPDn : IICAステータス・レジスタ n (IICSn)のビット0

通信予約は図18 - 33に示すタイミングで受け付けられます。IICAステータス・レジスタ n (IICSn)のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ n0 (IICCTLn0)のビット1 (STTn) = 1で通信予約をします。

図18 - 33 通信予約受け付けタイミング

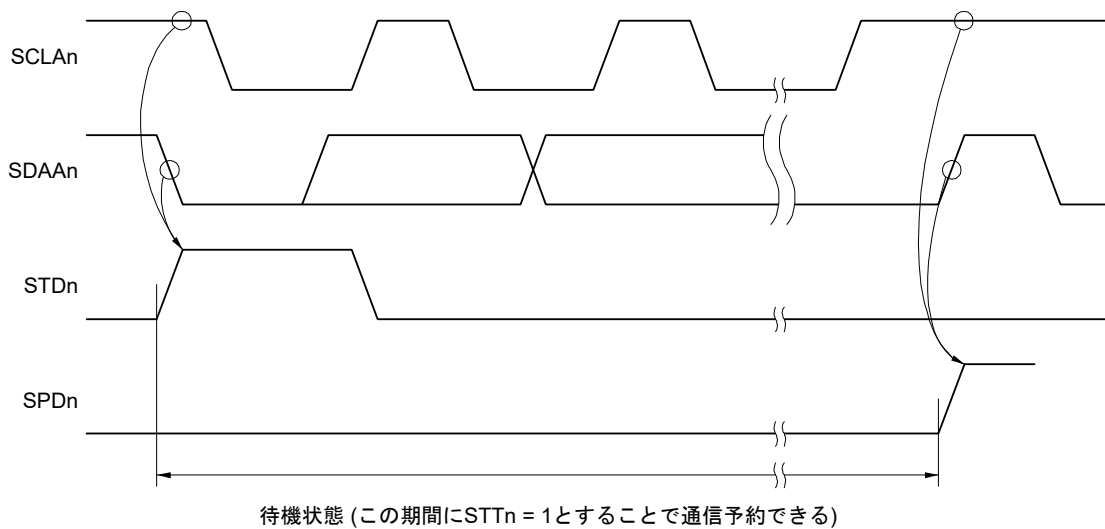
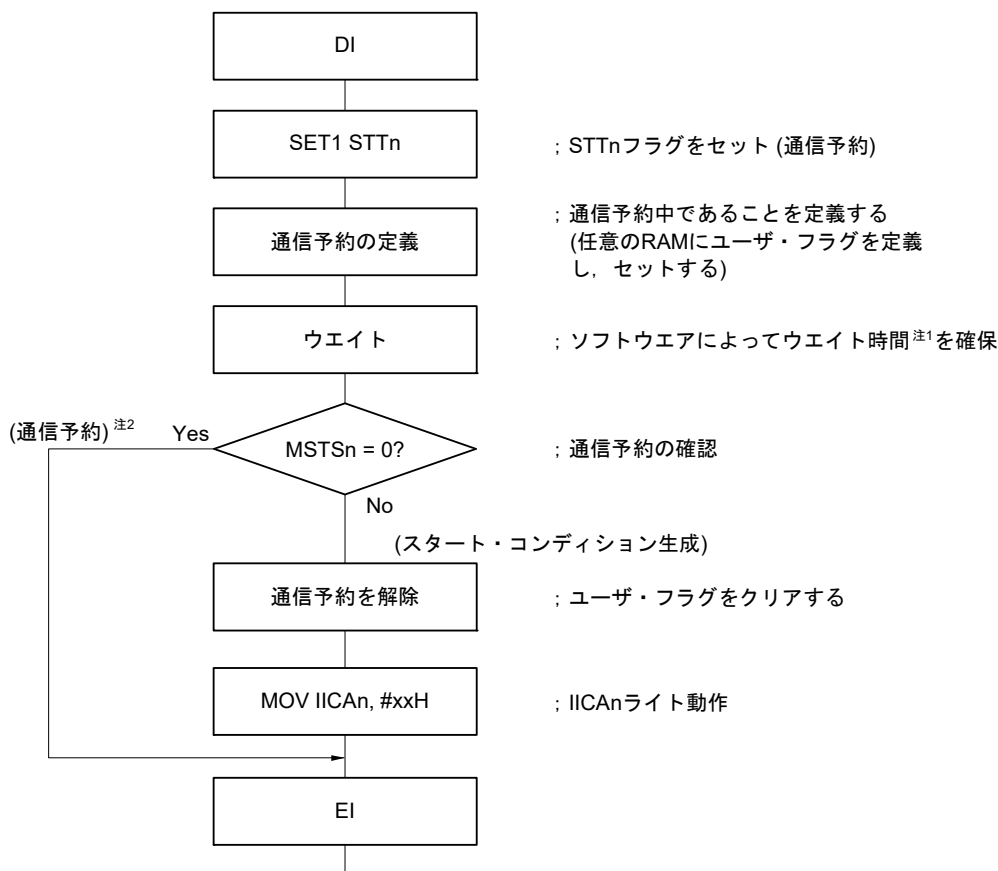


図18 - 34に通信予約の手順を示します。

備考 n = 0

図 18 - 34 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / fMCK + tF \times 2$$

注2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn (IICAn)への書き込みを実行します。

備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0)のビット1

MSTSn : IICAステータス・レジスタn (IICSn)のビット7

IICAn : IICAシフト・レジスタn

IICWLn : IICAロウ・レベル幅設定レジスタn

IICWHn : IICAハイ・レベル幅設定レジスタn

tF : SDAAn, SCLAn信号の立ち下がり時間

fMCK : IICA動作クロック周波数

備考2. n = 0

(2) 通信予約機能禁止の場合(IICAフラグ・レジスタ n (IICFn)のビット0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態(IICAコントロール・レジスタ n0 (IICCTLn0)のビット1 (STTn)をセット(1)すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICCTLn0レジスタのビット6 (LRELn) = 1で通信退避してバスを解放した)とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFn レジスタのビット7)で確認できます。STTn = 1としてからSTCFnがセット(1)されるまでfmckの5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0

18.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可(IICEn = 1)直後、実際のバス状態にかかわらず通信状態(IICBSYn = 1)と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタ n1 (IICCTLn1)を設定する
- ② IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn)をセット(1)する
- ③ IICCTLn0レジスタのビット0 (SPTn)をセット(1)する

(2) STCENn = 1の場合

I²C動作許可(IICEn = 1)直後、実際のバス状態にかかわらず解放状態(IICBSYn = 0)と認識しますので、1回目のスタート・コンディションを生成(STTn = 1)する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識(スタート・コンディション検出)します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

- ① IICCTLn0レジスタのビット4 (SPIEn)をクリア(0)し、ストップ・コンディション検出による割り込み要求信号(INTIICAn)発生を禁止する
- ② IICCTLn0レジスタのビット7 (IICEn)をセット(1)し、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで(IICEnビットをセット(1)してから、fMCKの4~72クロック中)に、IICCTLn0レジスタのビット6 (LRELn)をセット(1)にし、強制的に検出を無効とする

(4) STTn, SPTnビット(IICCTLn0レジスタのビット1, 0)をセットしたあと、クリア(0)される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット(IICCTLn0レジスタのビット4)をセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ n (IICAn)に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnビット(IICAステータス・レジスタ n (IICSn)のビット7)を検出する場合には、SPIEnビットをセット(1)する必要はありません。

備考 n = 0

18.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

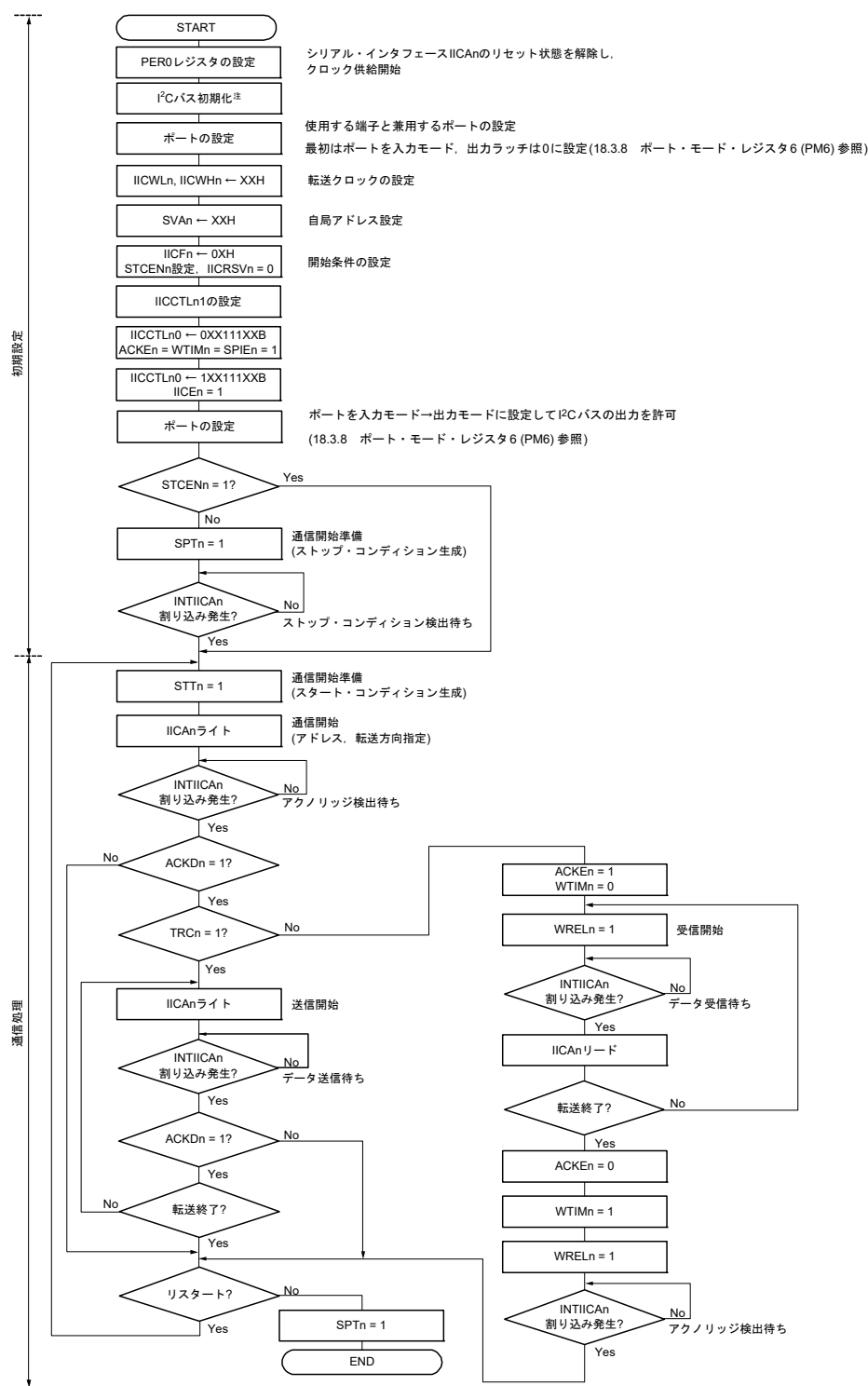
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0

(1) シングルマスタ・システムでのマスタ動作

図 18-35 シングルマスタ・システムでのマスタ動作



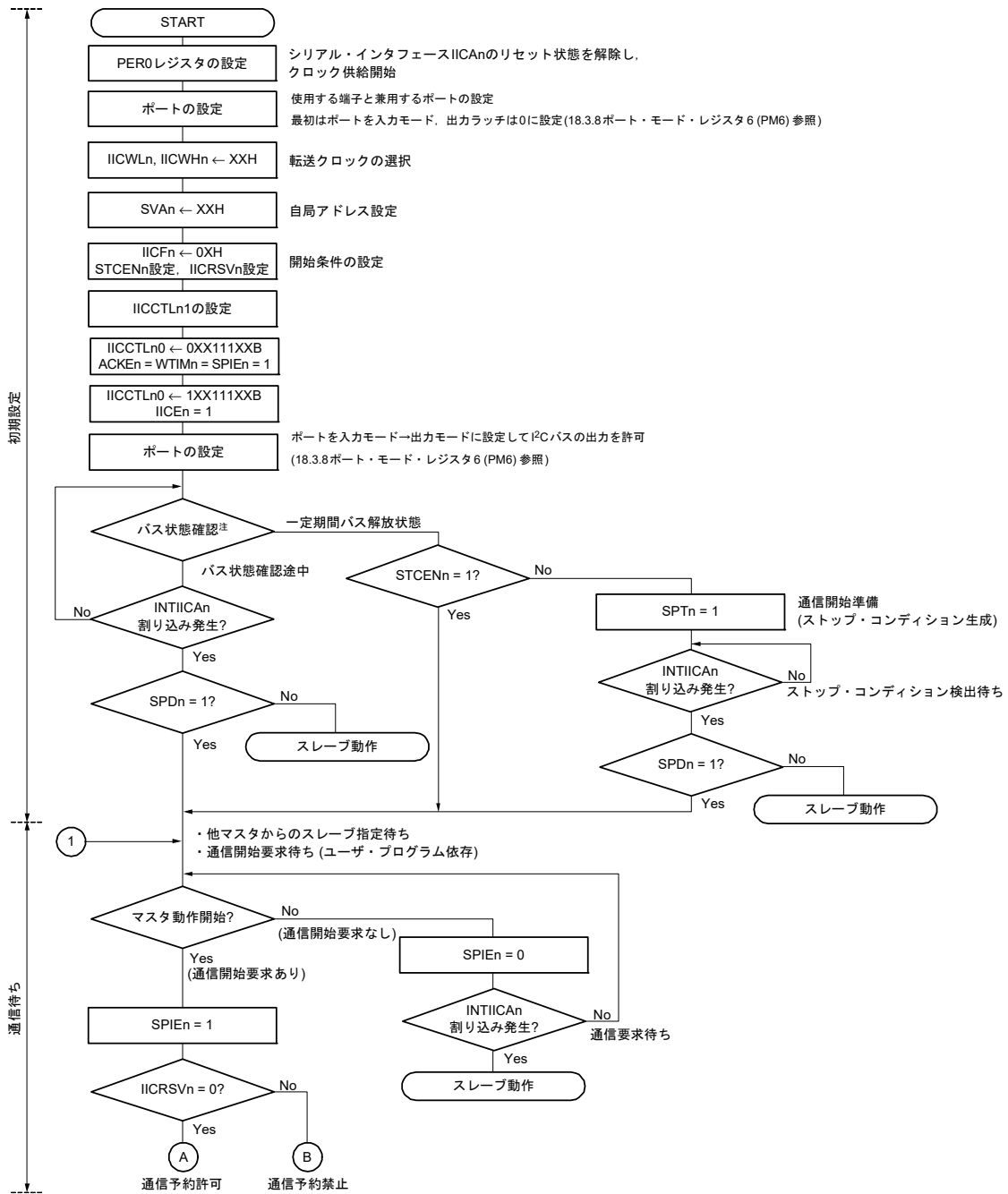
注 通信している製品の仕様に準拠し、I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

備考2. n = 0

(2) マルチマスタ・システムでのマスタ動作

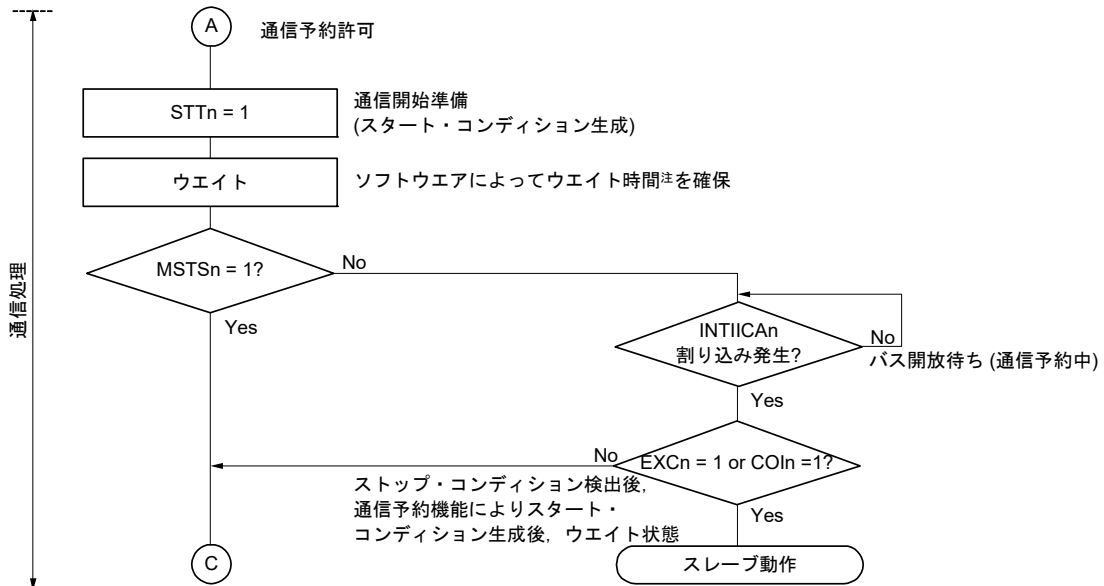
図 18 - 36 マルチマスタ・システムでのマスタ動作(1/3)



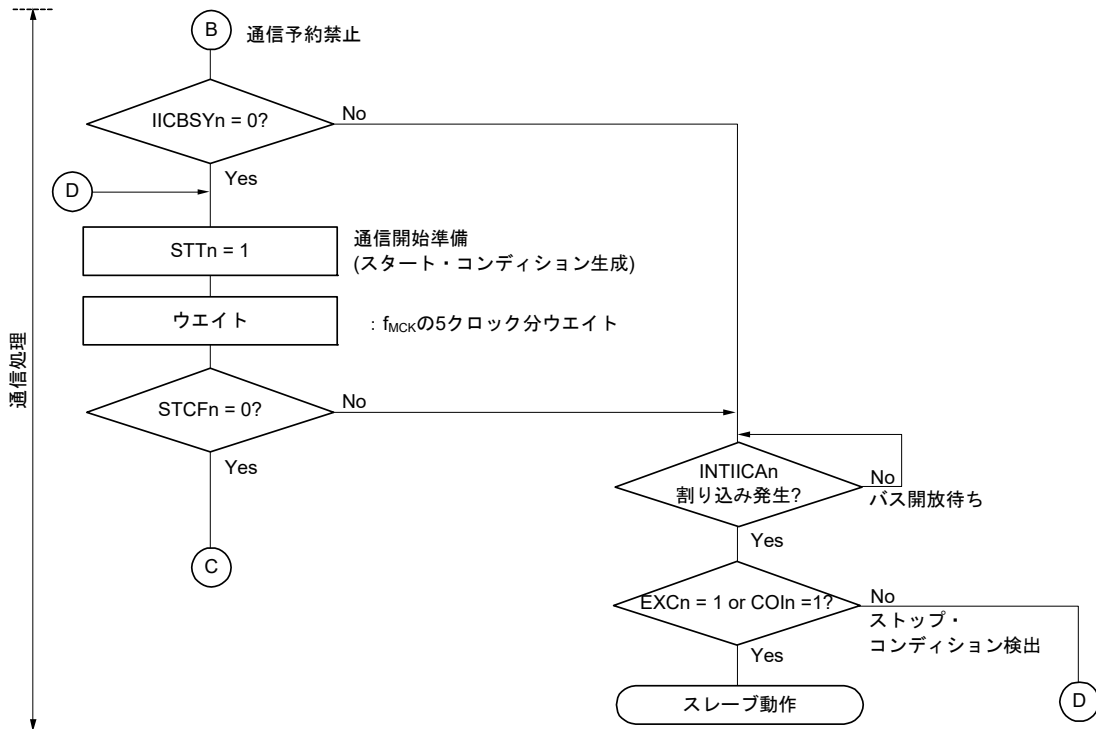
注 一定期間(たとえば1フレーム分)、バス解放状態(CLDnビット = 1, DADnビット = 1)であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)するか判断してください。

備考 n = 0

図 18 - 37 マルチマスタ・システムでのマスタ動作 (2/3)



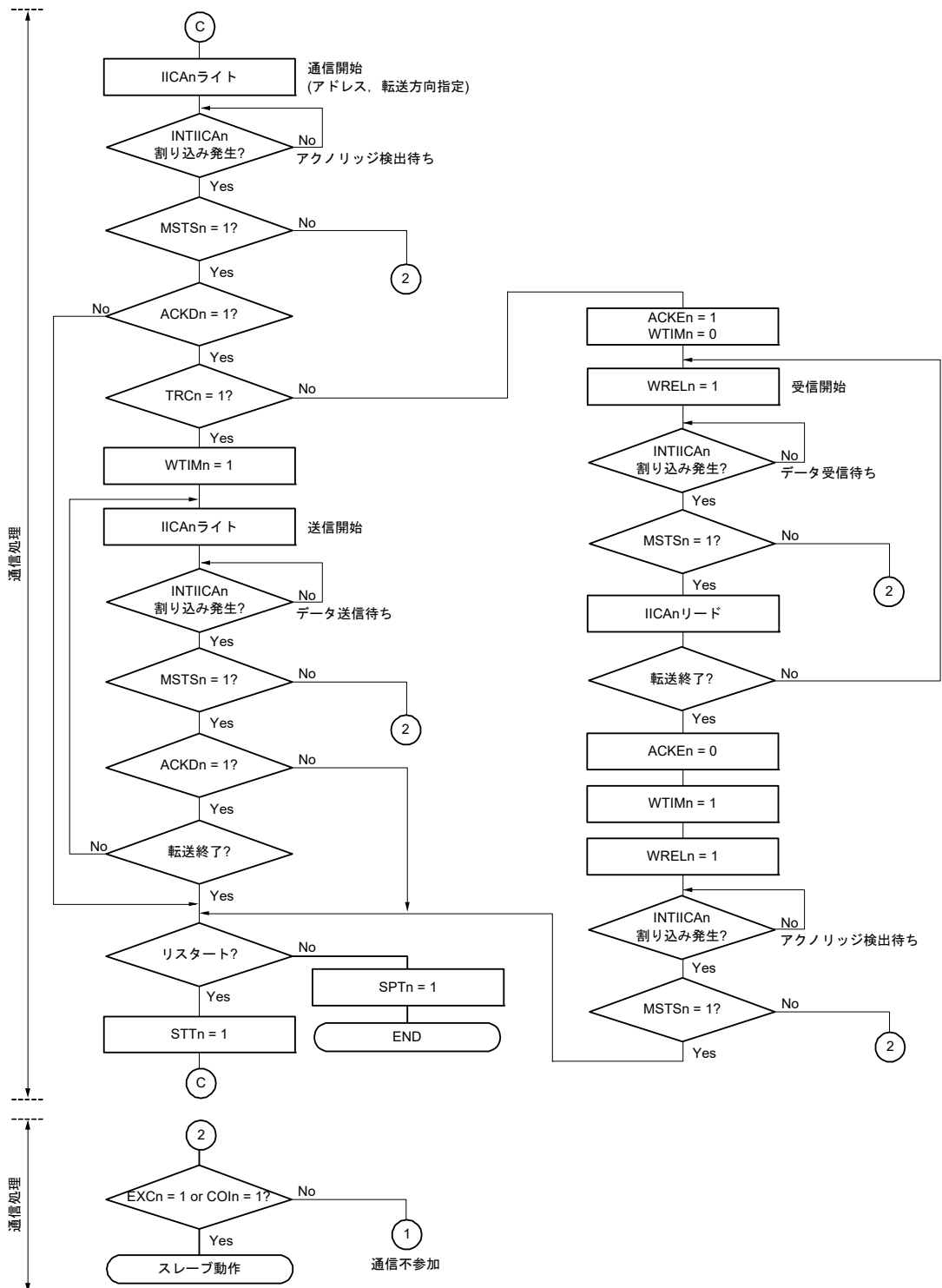
注 ウェイト時間は次のようになります。
 $(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / f_{MCK} + t_f \times 2$



- 備考 1. IICWLn : IICA ロウ・レベル幅設定レジスタ n
 IICWHn : IICA ハイ・レベル幅設定レジスタ n
 t_f : SDAAn, SCLAn 信号の立ち下がり時間
 f_{MCK} : IICA 動作クロック周波数

備考 2. n = 0

図 18-38 マルチマスタ・システムでのマスタ動作(3/3)



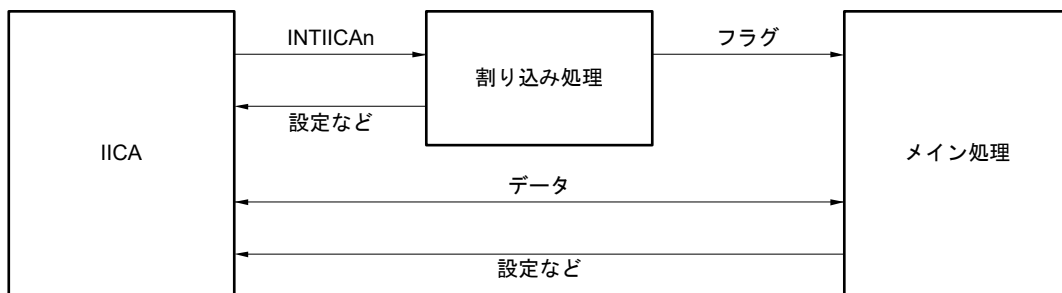
- 備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
- 備考2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。
- 備考3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn 割り込み発生ごとに IICA ステータス・レジスタ n (IICSn), IICA フラグ・レジスタ n (IICFn) でステータスを確認して次に行う処理を決定してください。
- 備考4. n = 0

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn 割り込みによる処理(通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理)が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICAn 割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード： データ通信を行っていない状態
- ・通信モード： データ通信を行っている状態(有効アドレス検出～ストップ・コンディション検出, マスタからのアクノリッジ未検出, アドレス不一致)

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn 割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります(アドレス一致自体が次のデータの要求と解釈します)。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

備考 n = 0

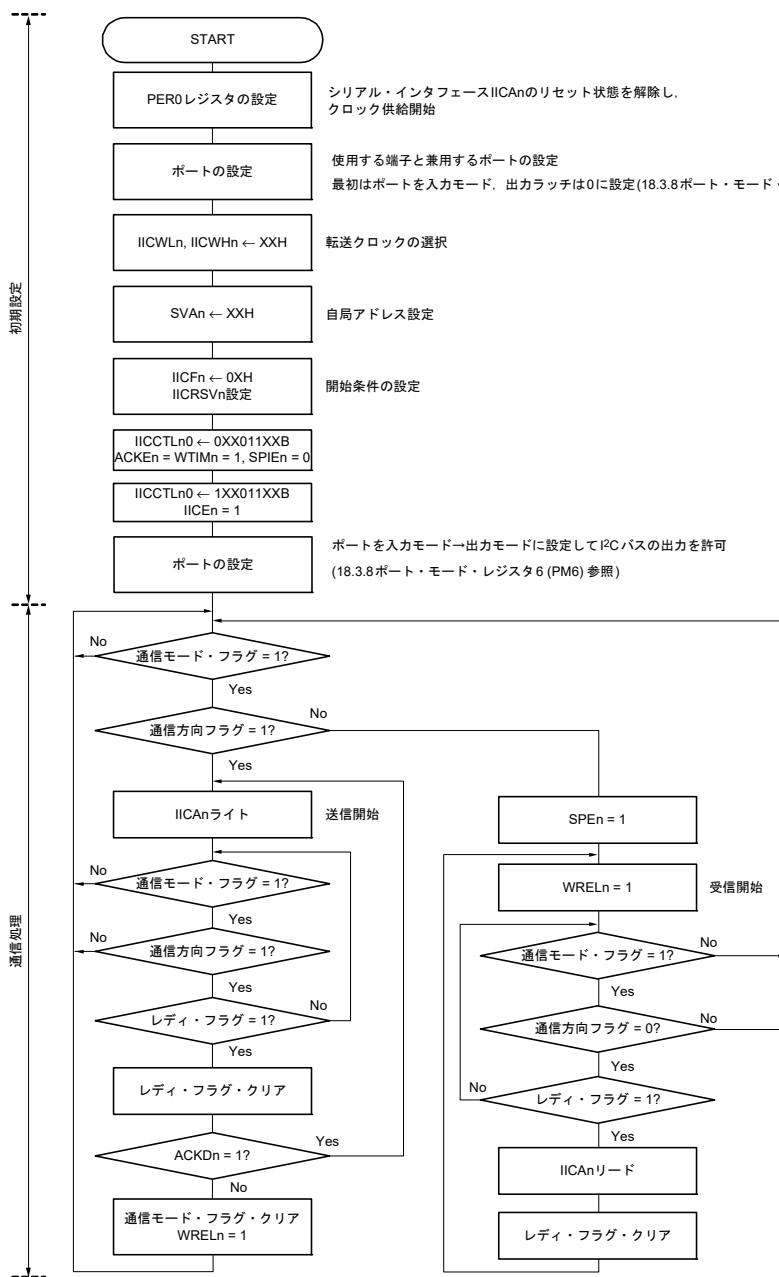
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェース IICA を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います(ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します)。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図 18 - 39 スレーブ動作手順(1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

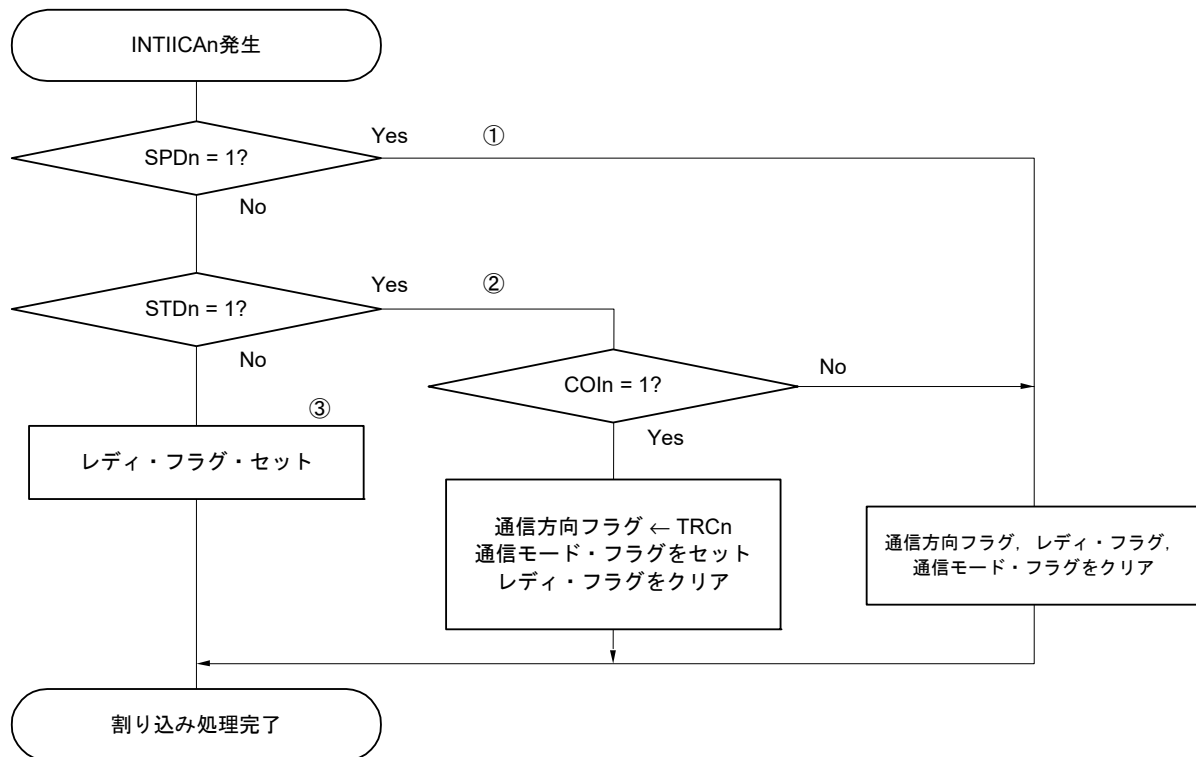
備考2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図18-40 スレーブ動作手順(2)の①～③と対応しています。

図18-40 スレーブ動作手順(2)



備考 n = 0

18.5.17 I²C 割り込み要求 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでの IICA ステータス・レジスタ n (IICSn) の値を示します。

備考1. ST : スタート・コンディション

AD6-AD0 : アドレス

R/W : 転送方向指定

ACK : アクノリッジ

D7-D0 : データ

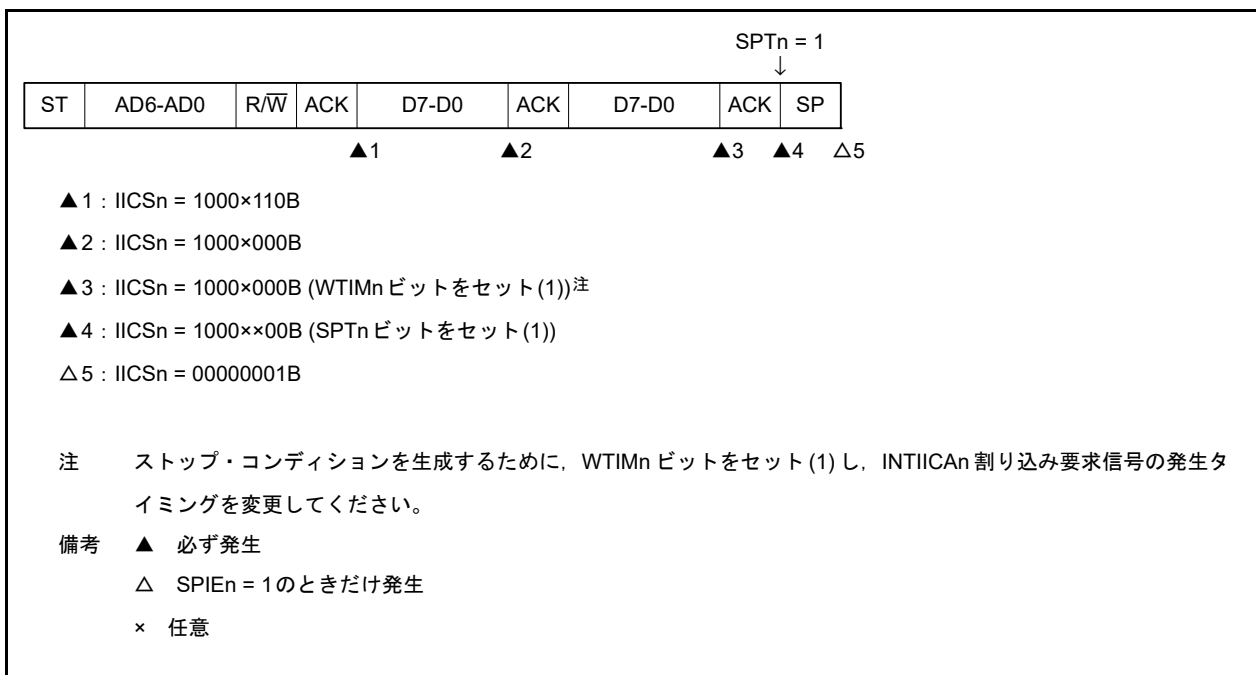
SP : ストップ・コンディション

備考2. n = 0

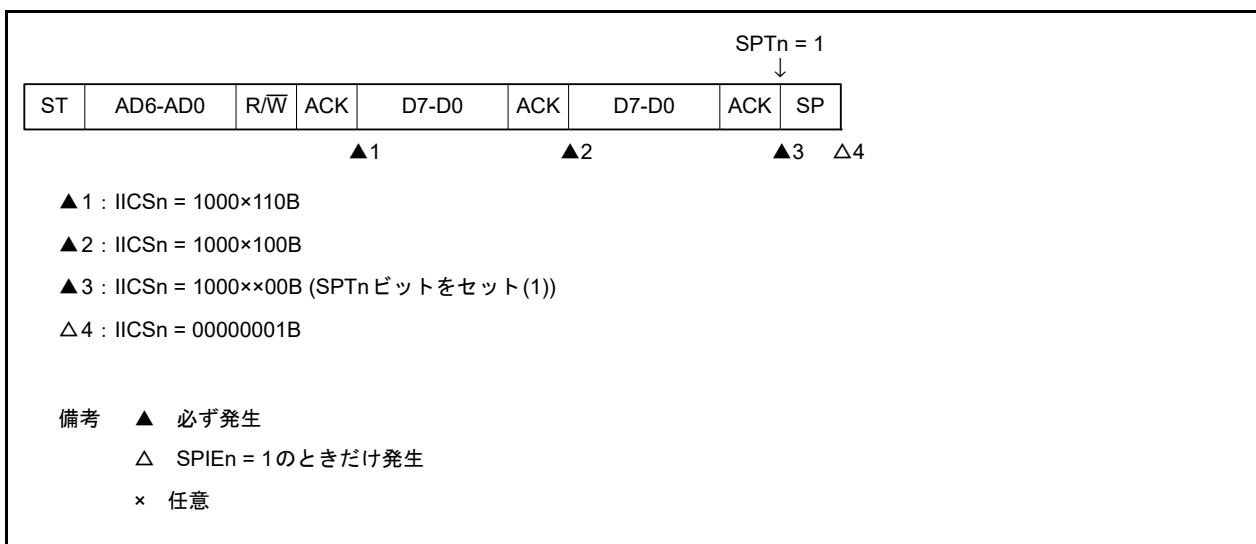
(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIMn = 0 のとき



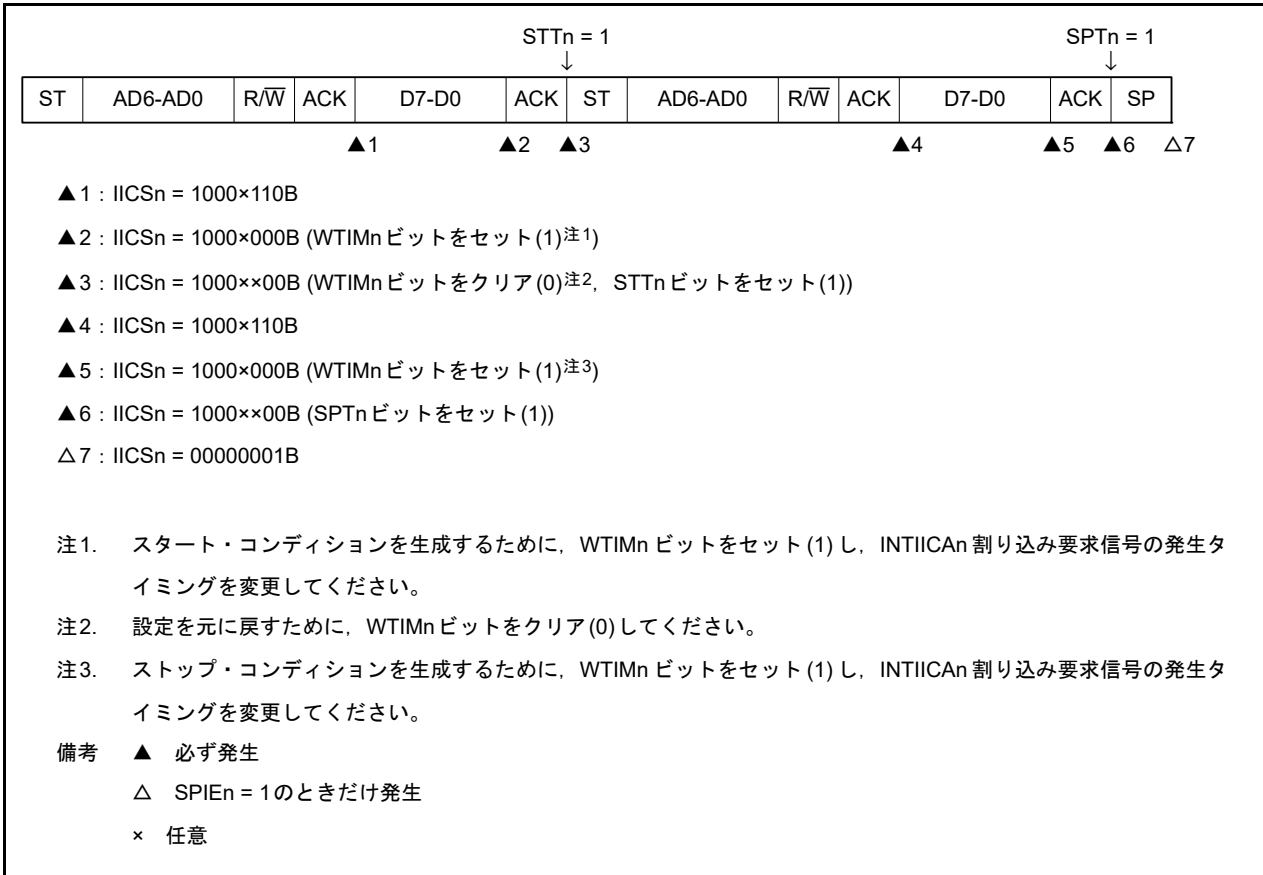
(ii) WTIMn = 1 のとき



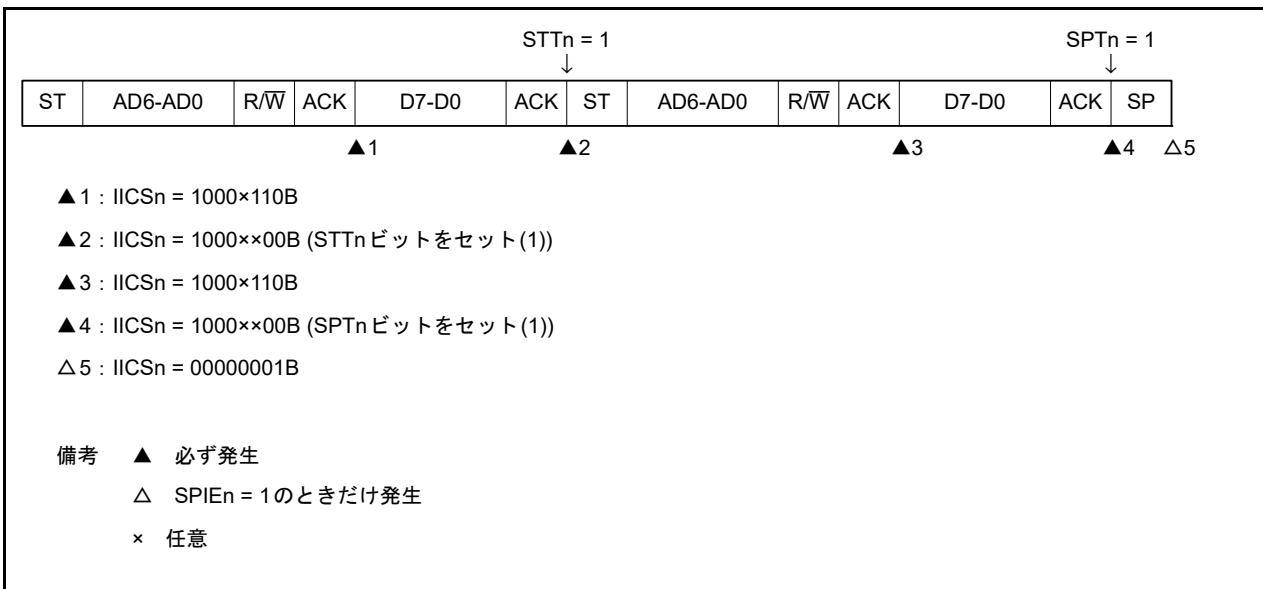
備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIMn = 0 のとき



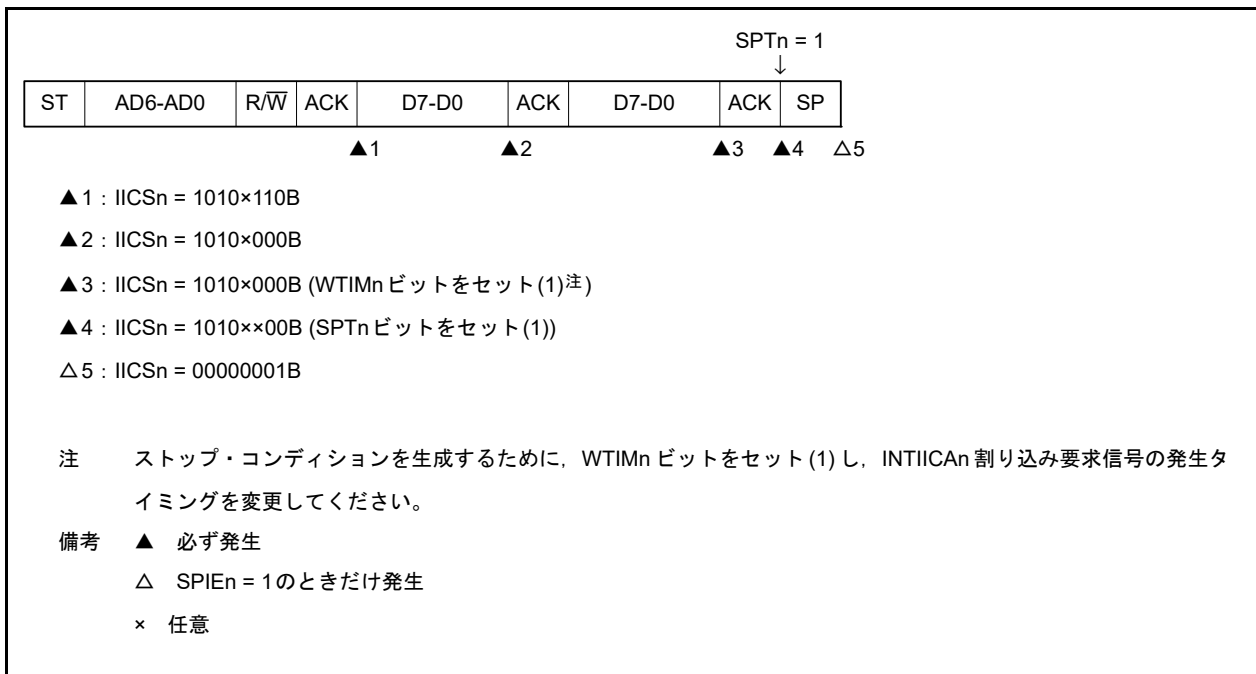
(ii) WTIMn = 1 のとき



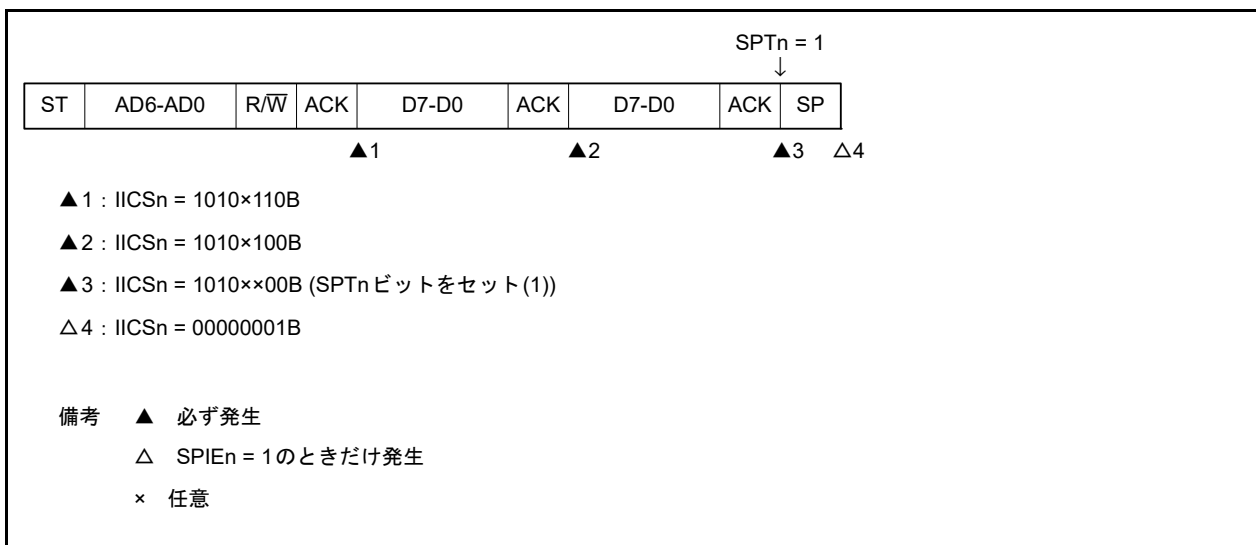
備考 n = 0

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき

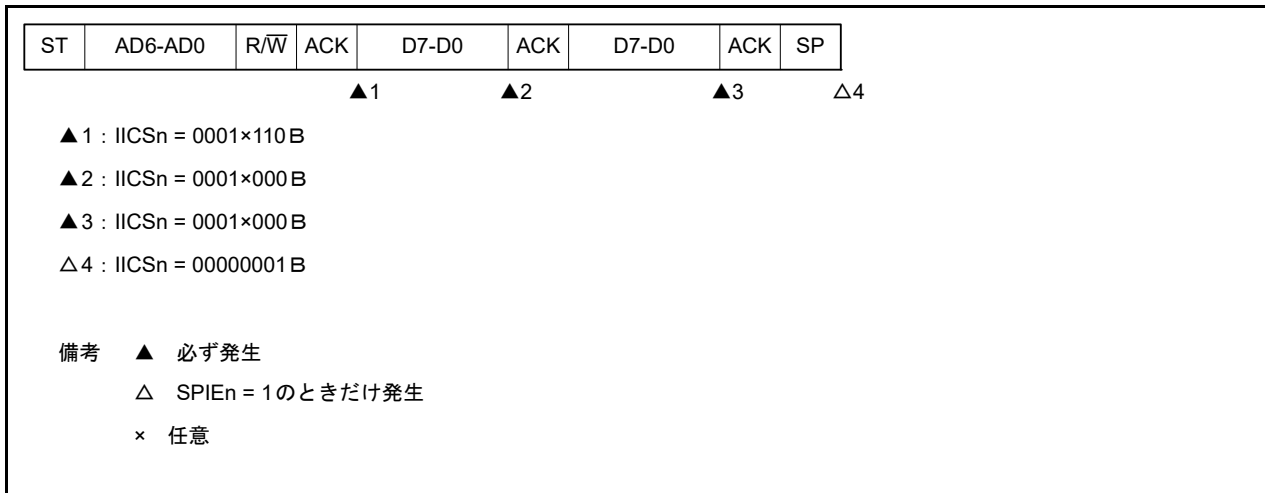


備考 n = 0

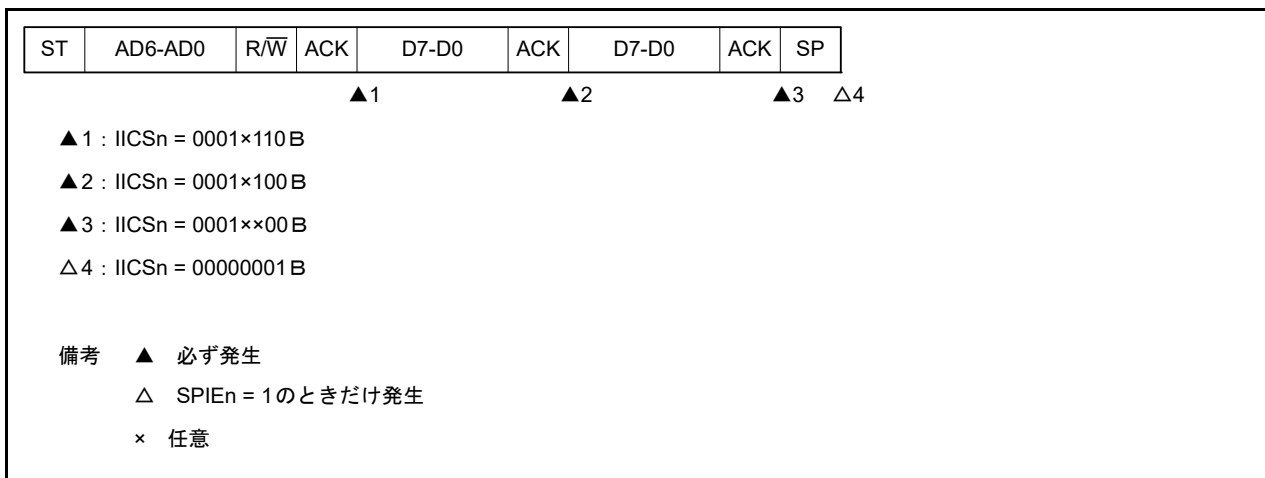
(2) スレーブ動作(スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



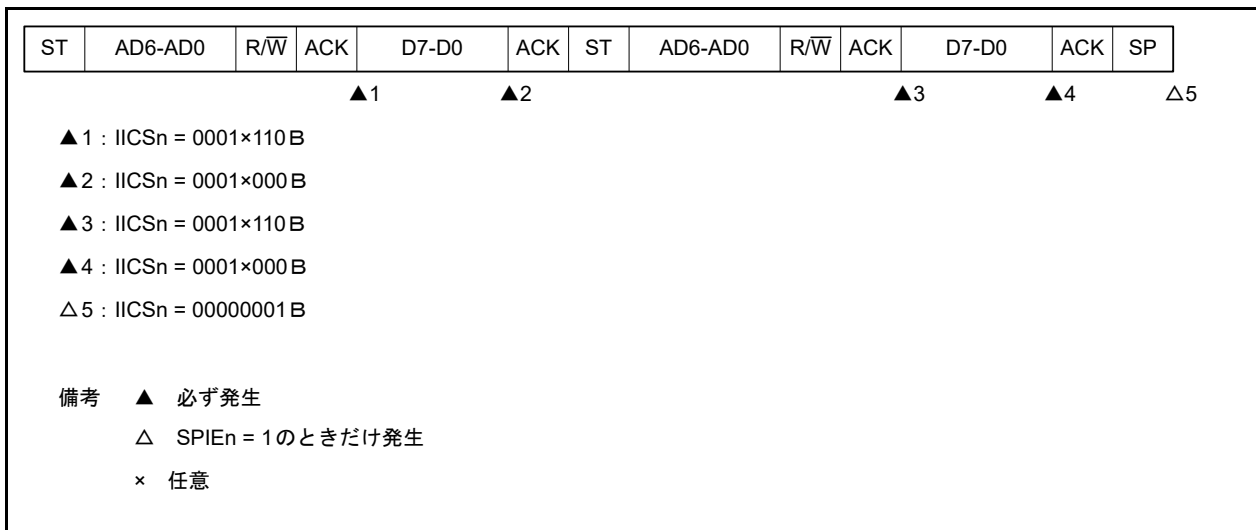
(ii) WTIMn = 1 のとき



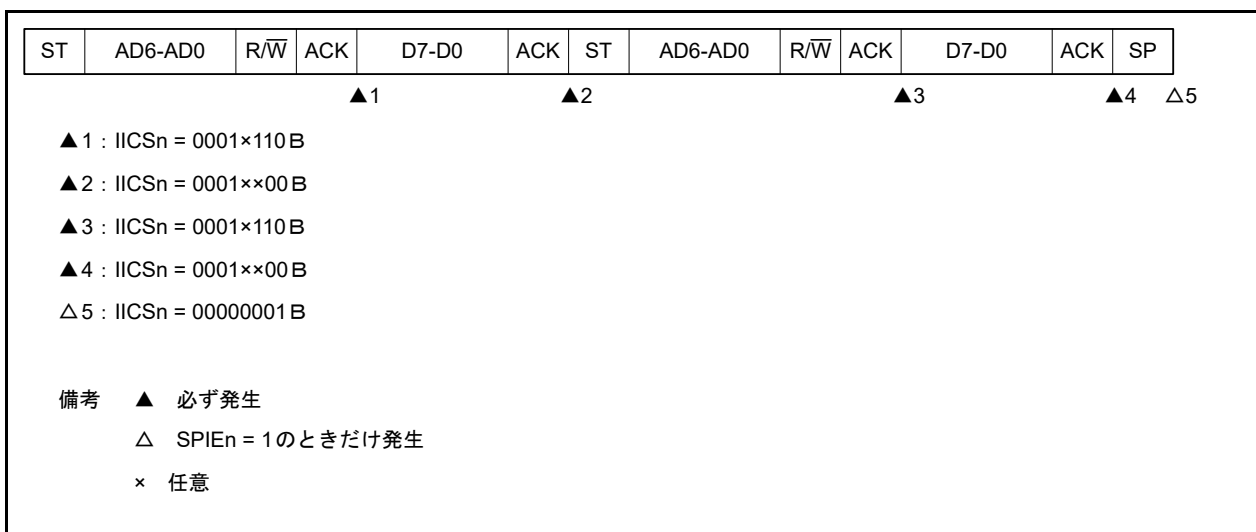
備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn 一致)



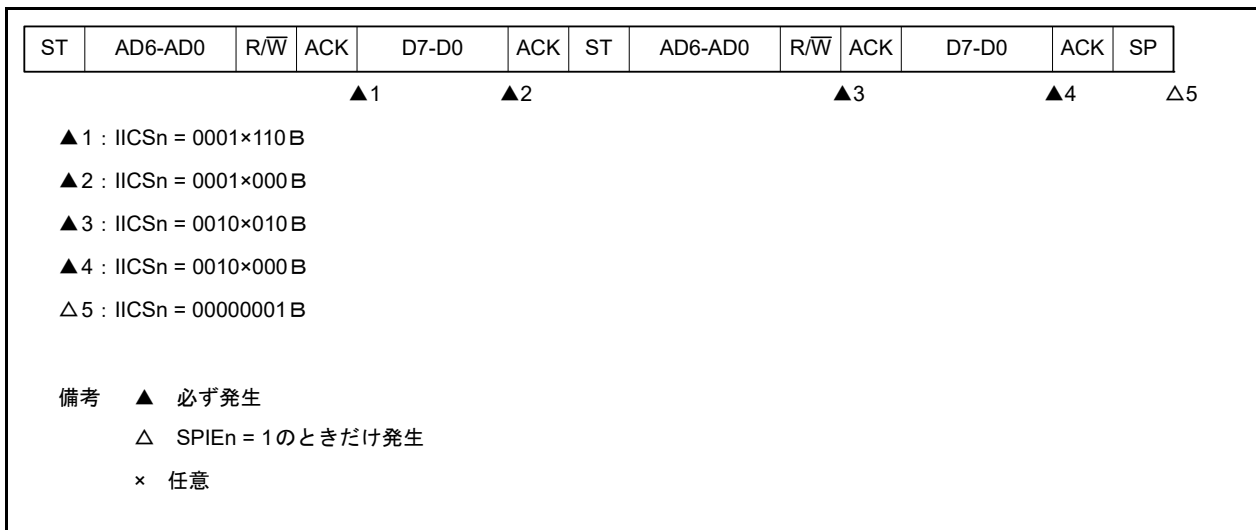
(ii) WTIMn = 1 のとき (リスタート後, SVAn 一致)



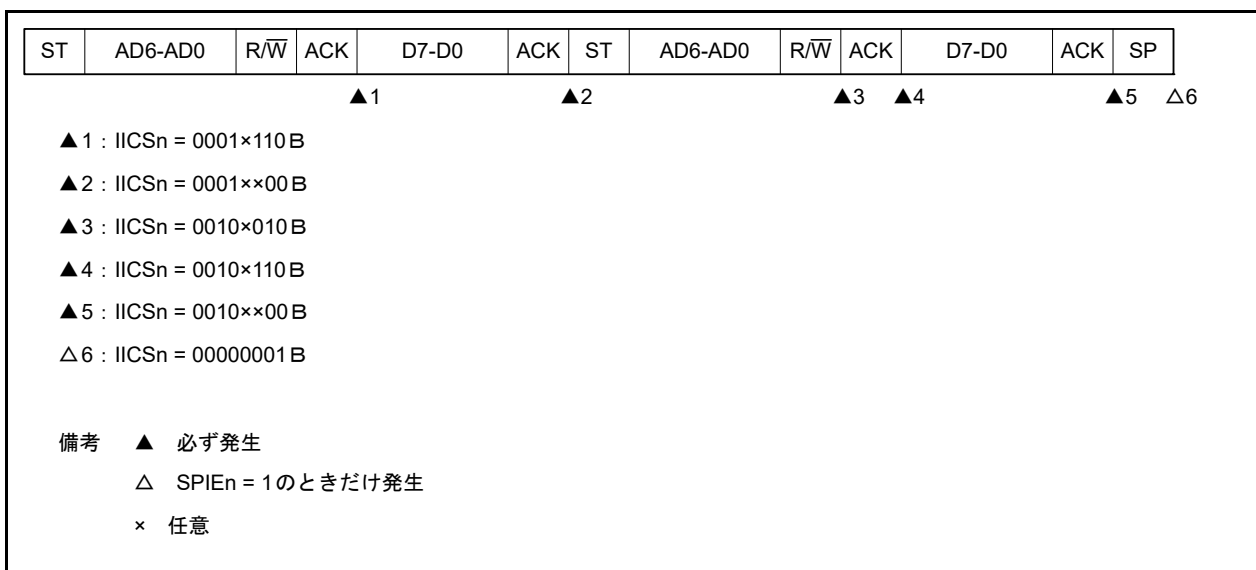
備考 n = 0

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, アドレス不一致 (拡張コード))



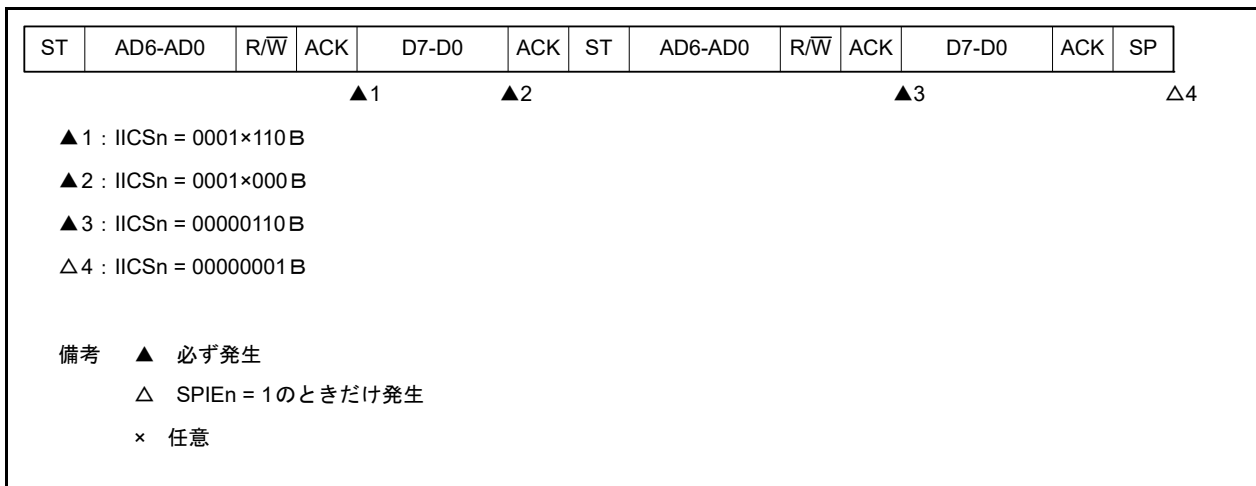
(ii) WTIMn = 1 のとき (リスタート後, アドレス不一致 (拡張コード))



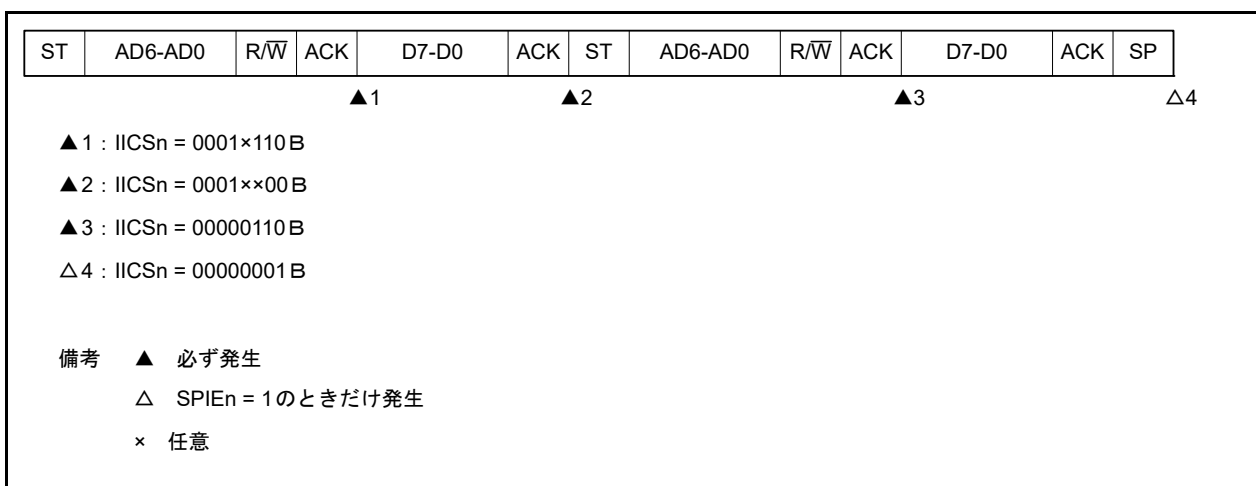
備考 n = 0

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0のとき(リスタート後, アドレス不一致(拡張コード以外))



(ii) WTIMn = 1のとき(リスタート後, アドレス不一致(拡張コード以外))



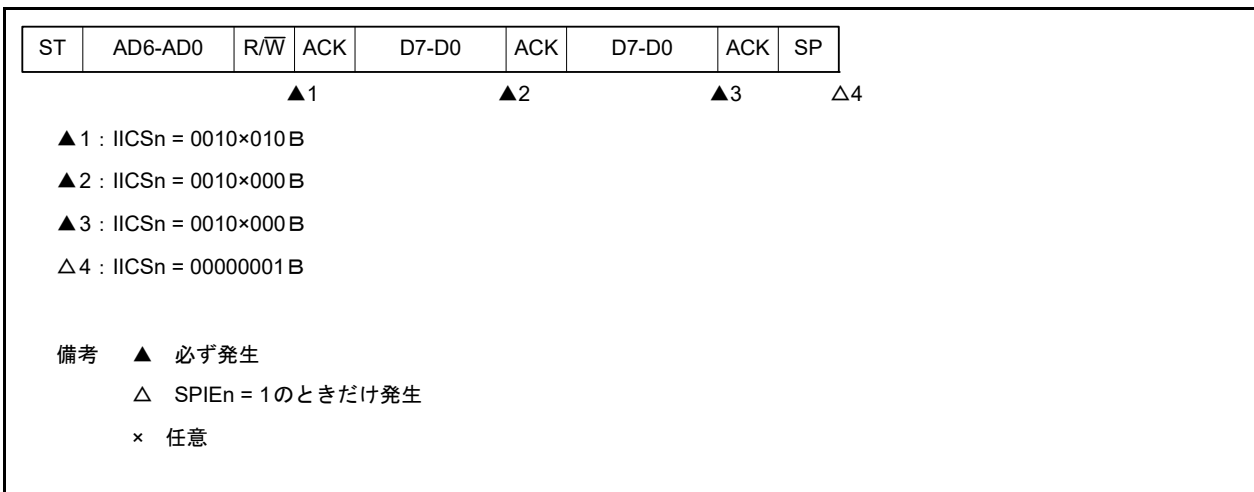
備考 n = 0

(3) スレーブ動作(拡張コード受信時)

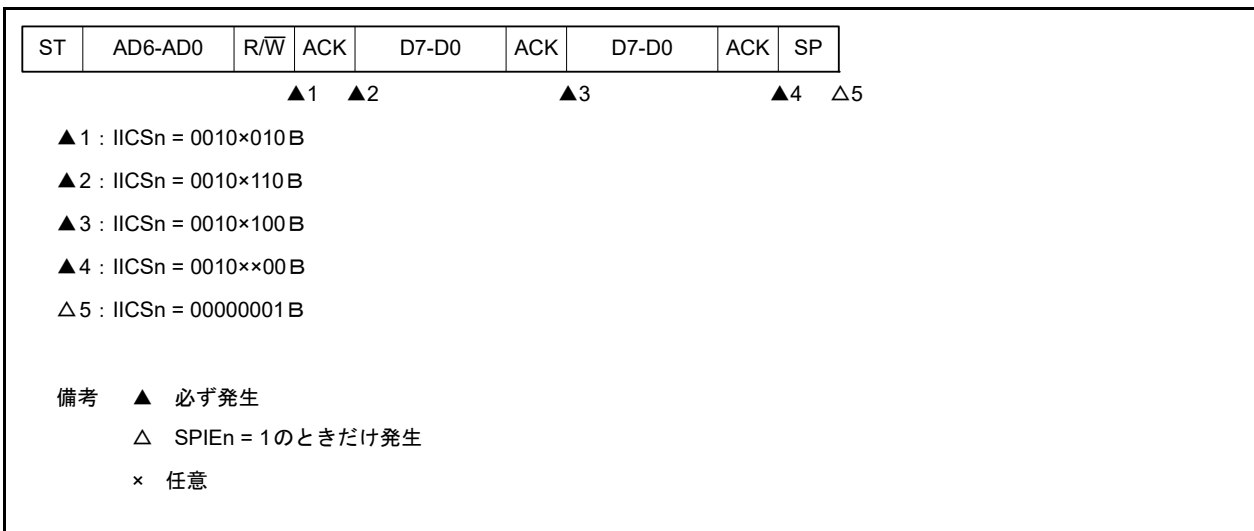
拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



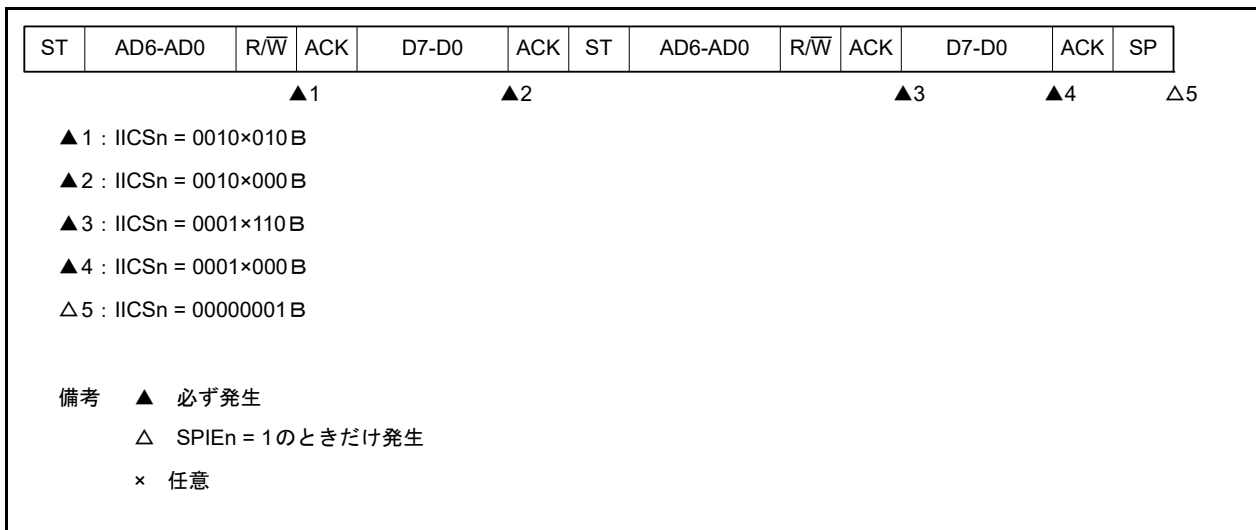
(ii) WTIMn = 1 のとき



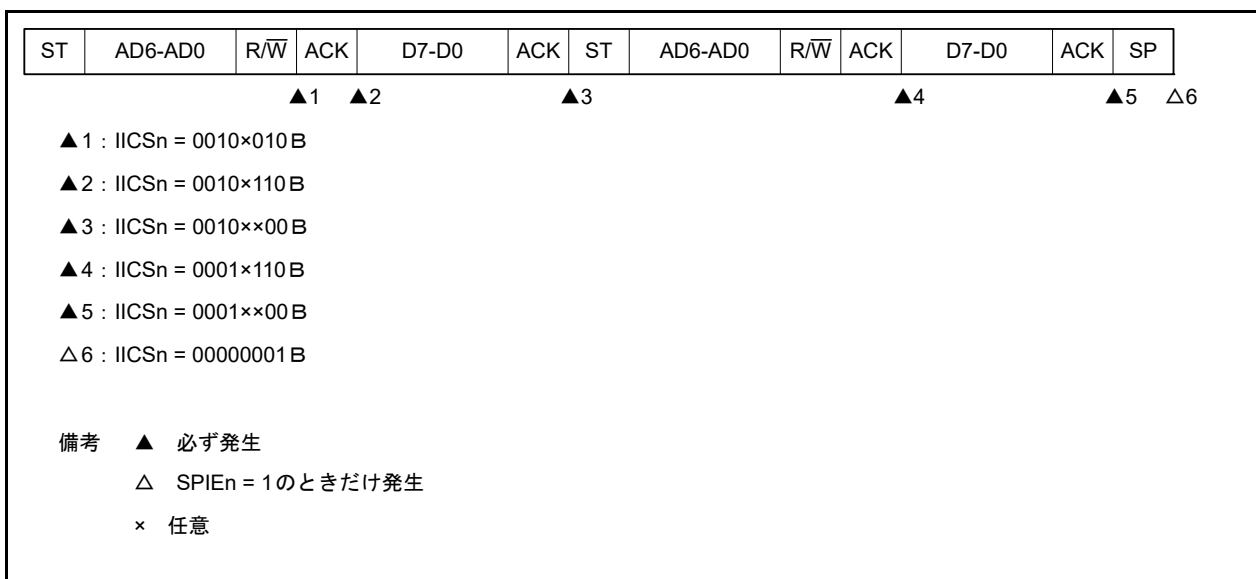
備考 n = 0

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn 一致)



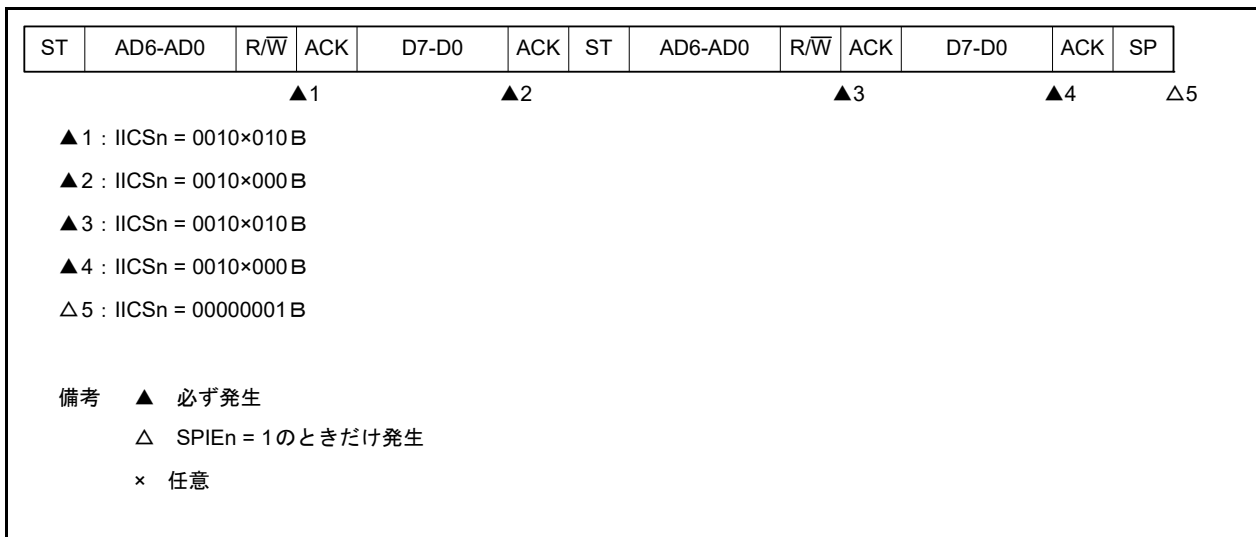
(ii) WTIMn = 1 のとき (リスタート後, SVAn 一致)



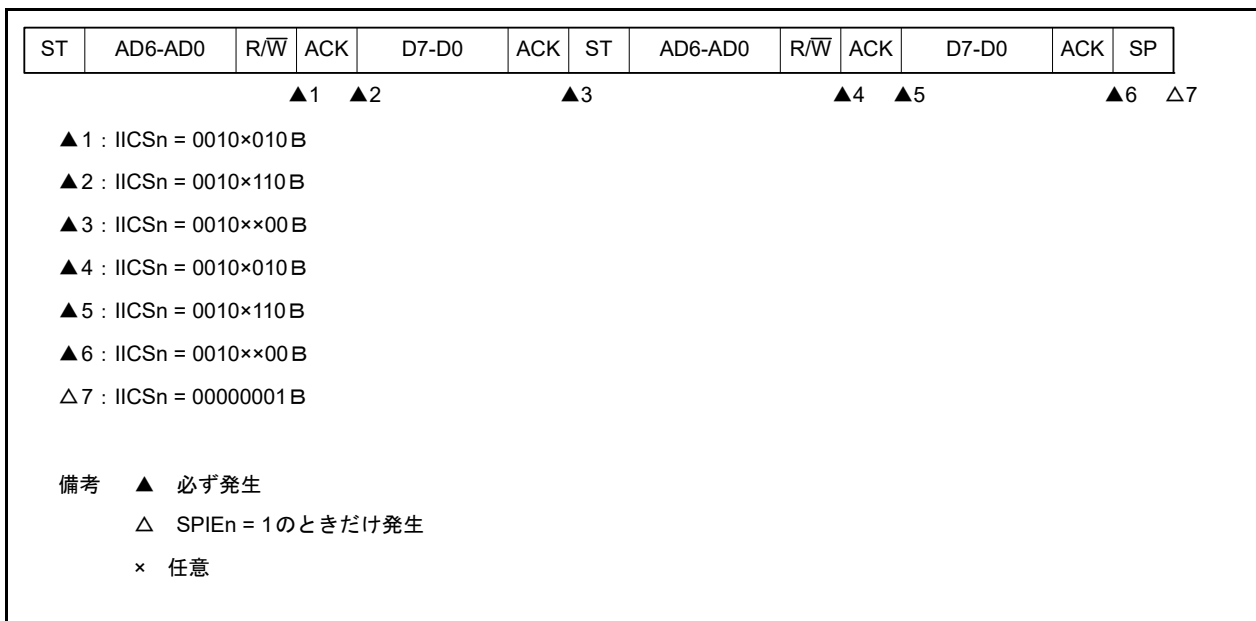
備考 n = 0

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, 拡張コード受信)



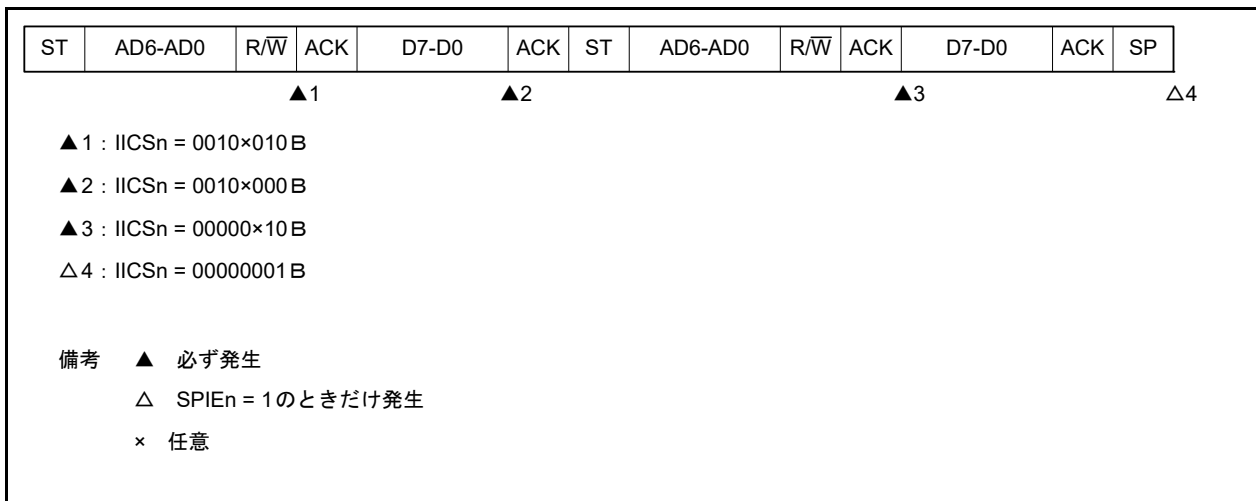
(ii) WTIMn = 1 のとき (リスタート後, 拡張コード受信)



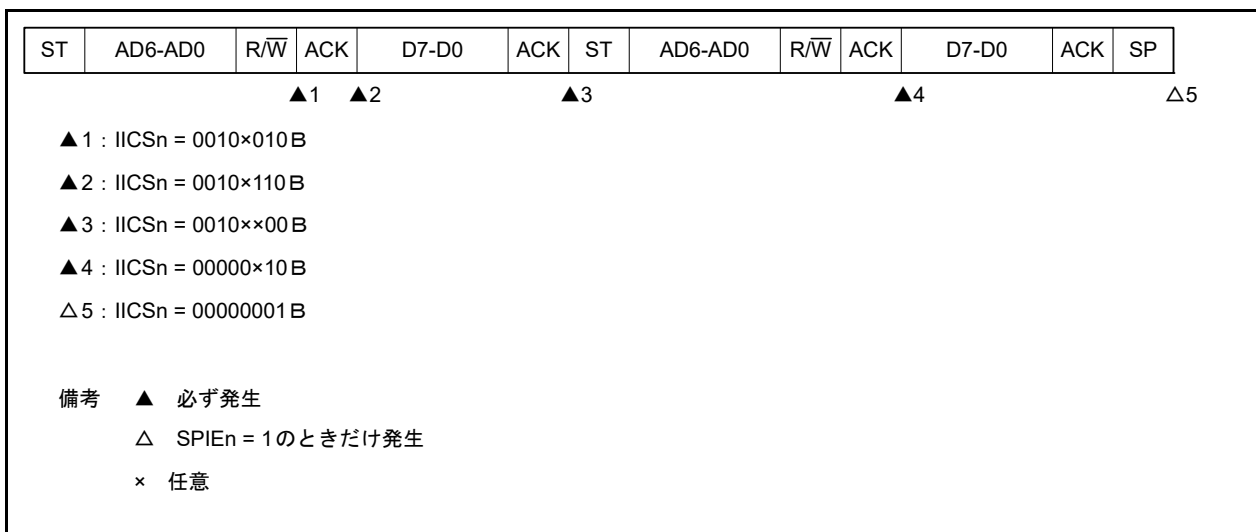
備考 n = 0

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0のとき(リスタート後, アドレス不一致(拡張コード以外))



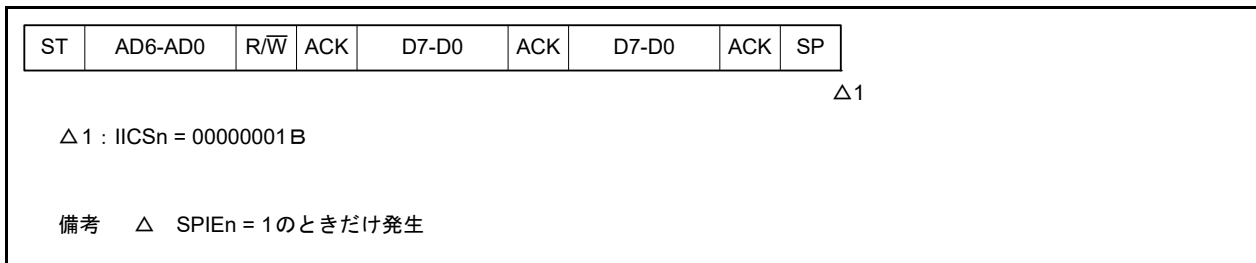
(ii) WTIMn = 1のとき(リスタート後, アドレス不一致(拡張コード以外))



備考 n = 0

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

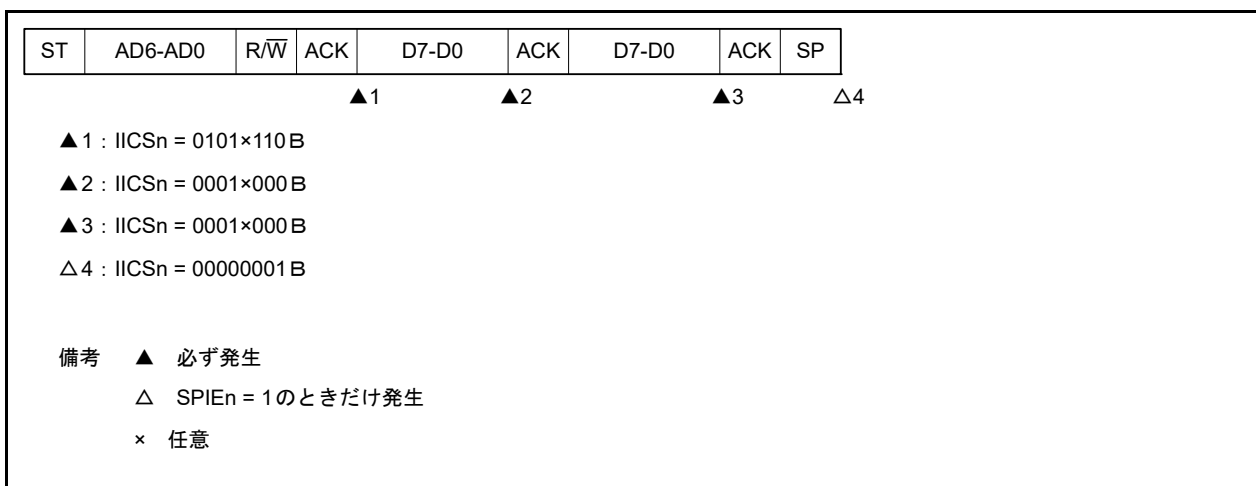


(5) アービトレーション負けの動作(アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

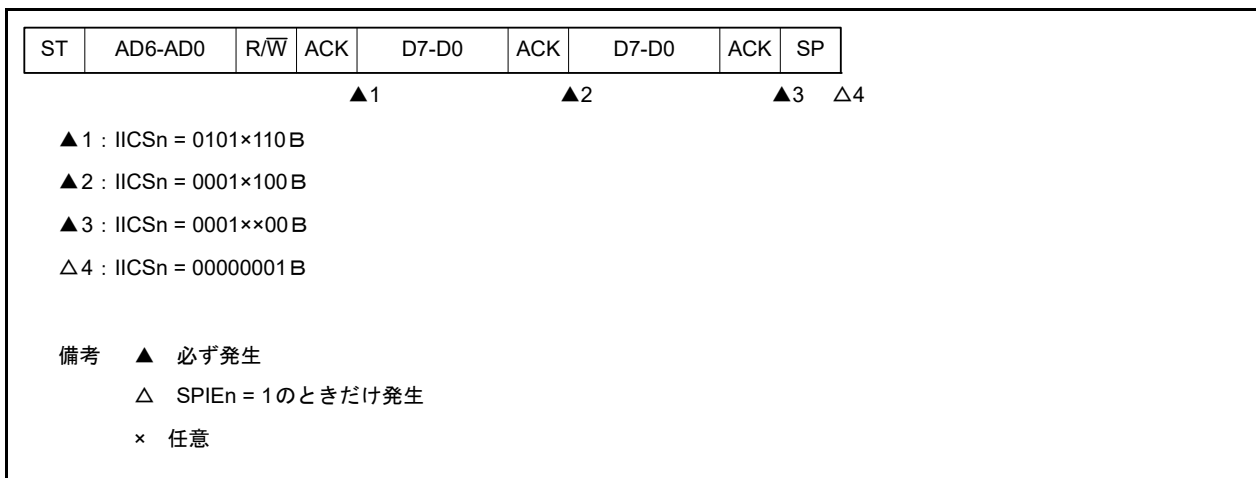
(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



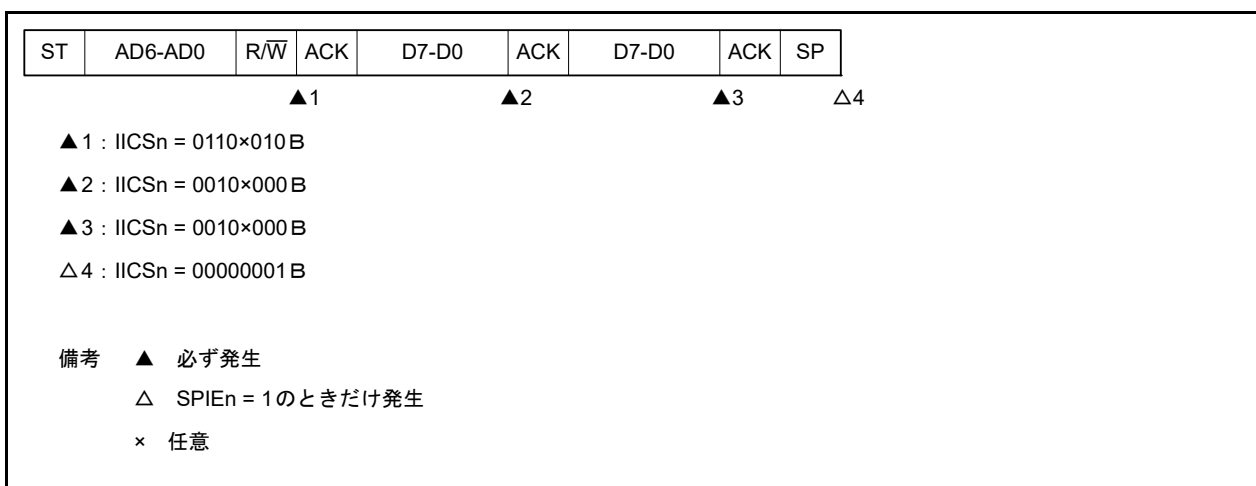
備考 n = 0

(ii) WTIMn = 1 のとき



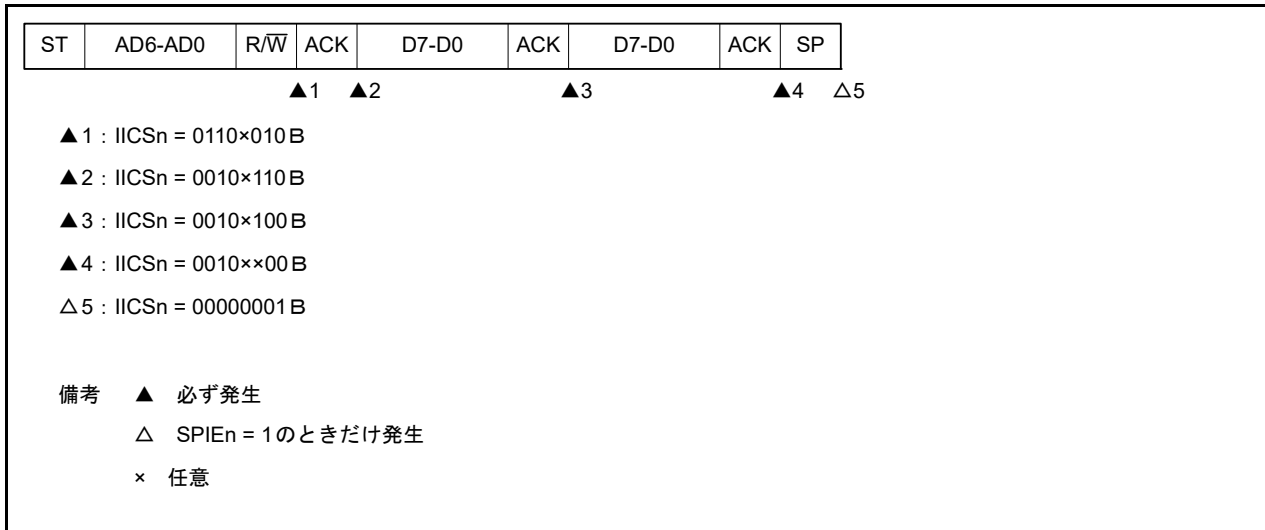
(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



備考 n = 0

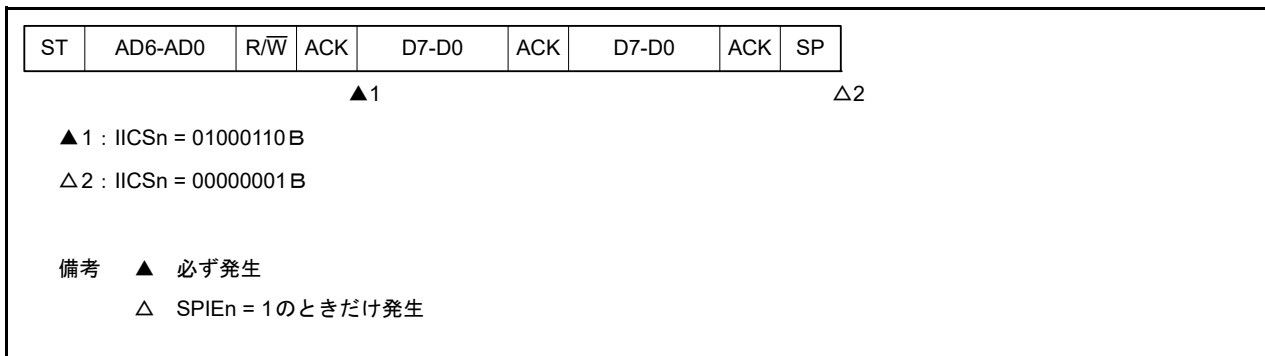
(ii) WTIMn = 1 のとき



(6) アービトレーション負けの動作(アービトレーション負けのあと、不参加)

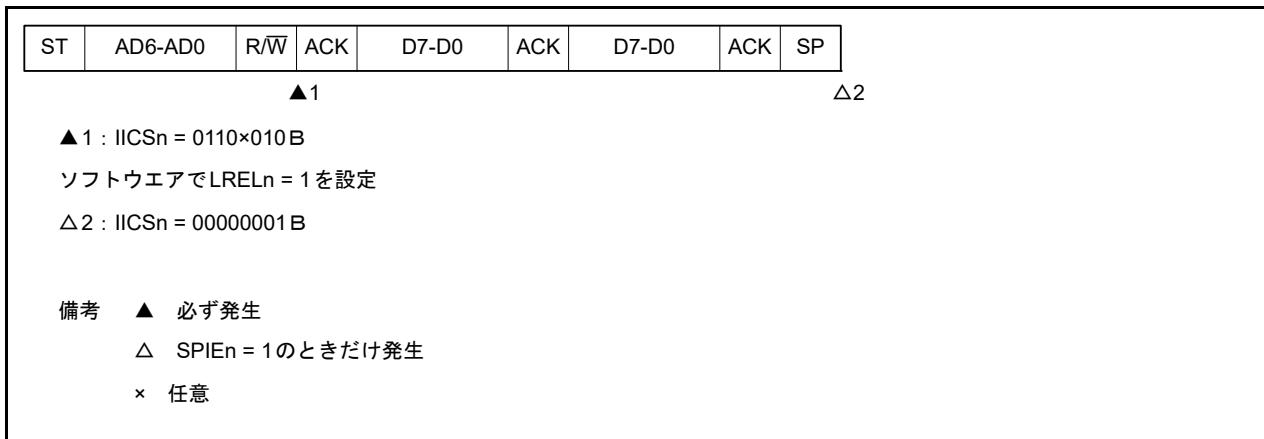
マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合(WTIMn = 1 のとき)



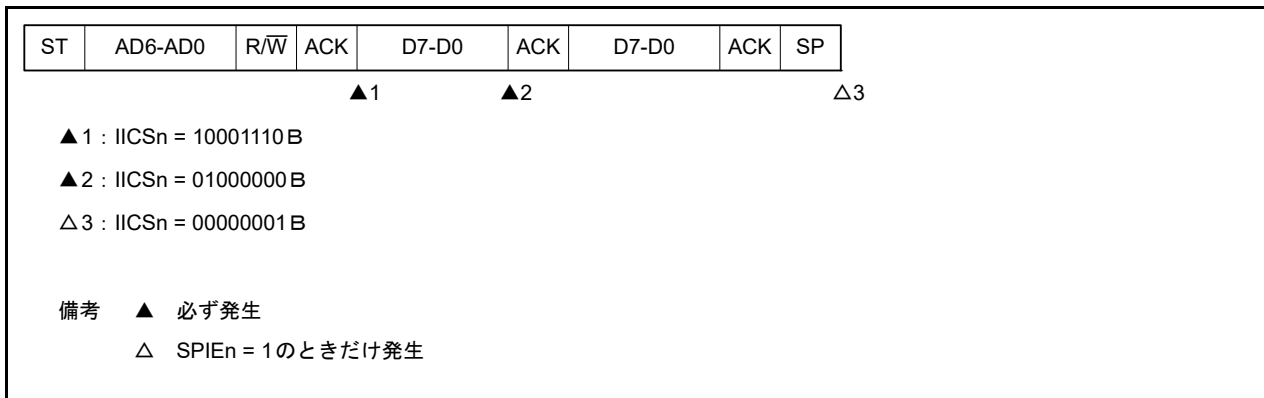
備考 n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合



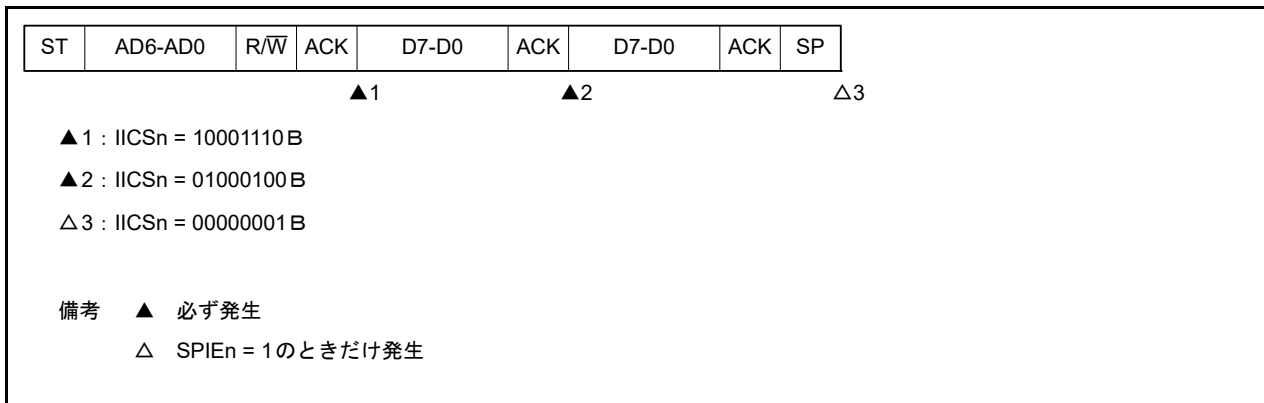
(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0のとき



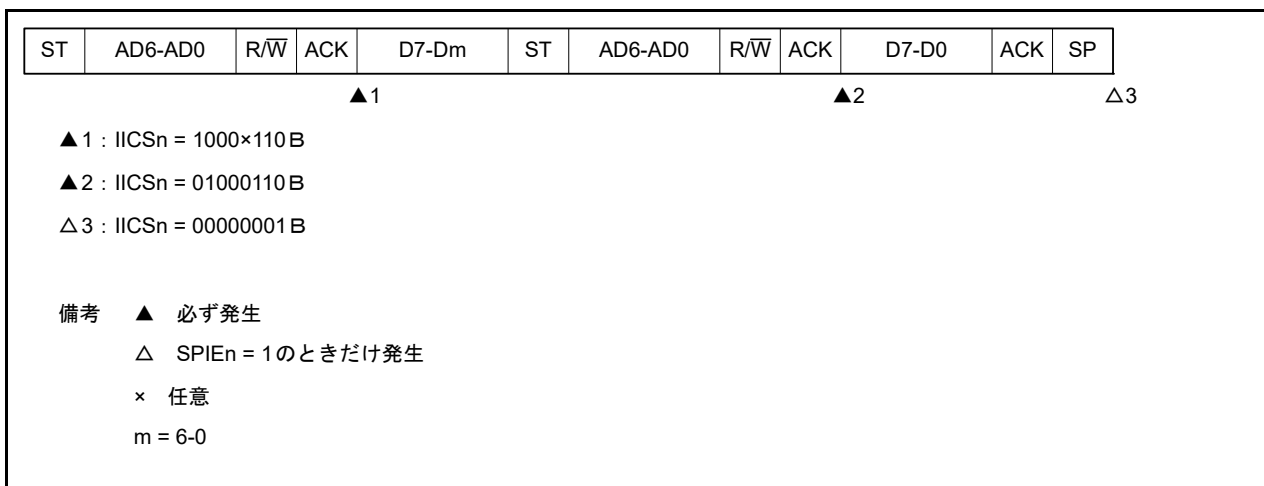
備考 n = 0

(ii) WTIMn = 1 のとき



(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外(例 SVAn 不一致)



備考 n = 0

(ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dm	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1				▲2			△3	

▲1 : IICSn = 1000×110 B
 ▲2 : IICSn = 01100010 B
 ソフトウェアでLRELn = 1を設定
 △3 : IICSn = 00000001 B

備考 ▲ 必ず発生
 △ SPIEn = 1のときだけ発生
 × 任意
 m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dm	SP
			▲1		△2

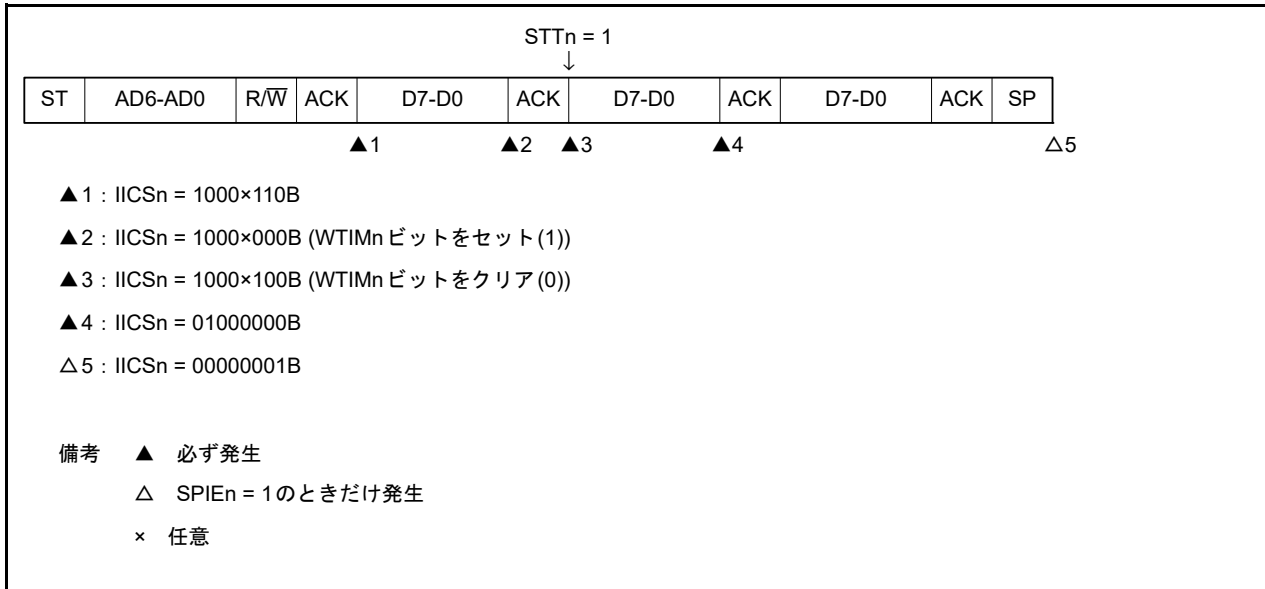
▲1 : IICSn = 10000110 B
 △2 : IICSn = 01000001 B

備考 ▲ 必ず発生
 △ SPIEn = 1のときだけ発生
 × 任意
 m = 6-0

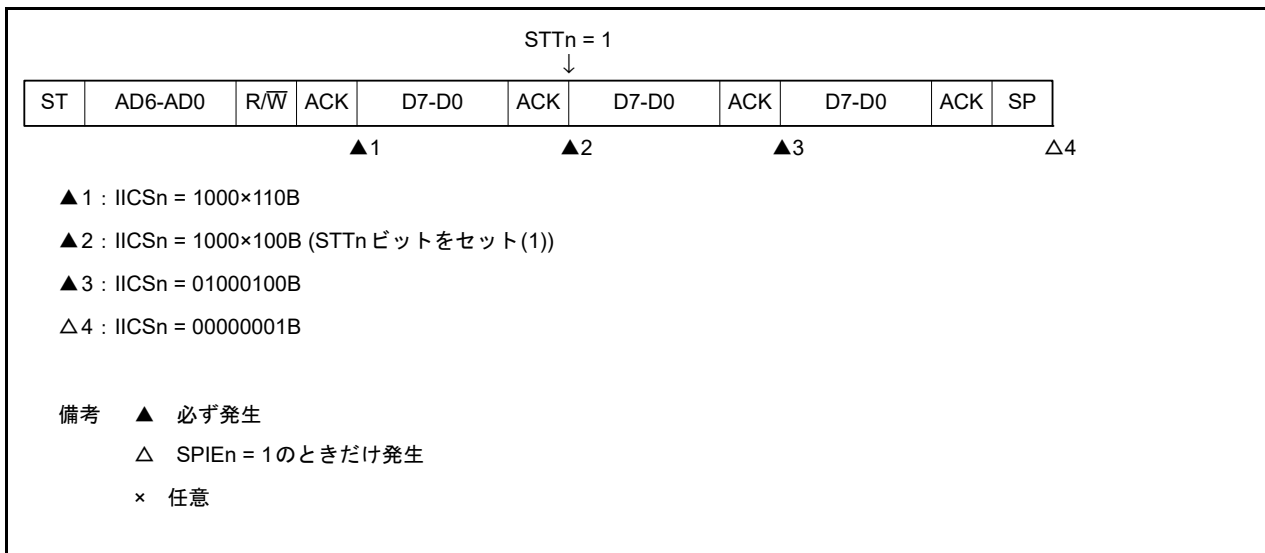
備考 n = 0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



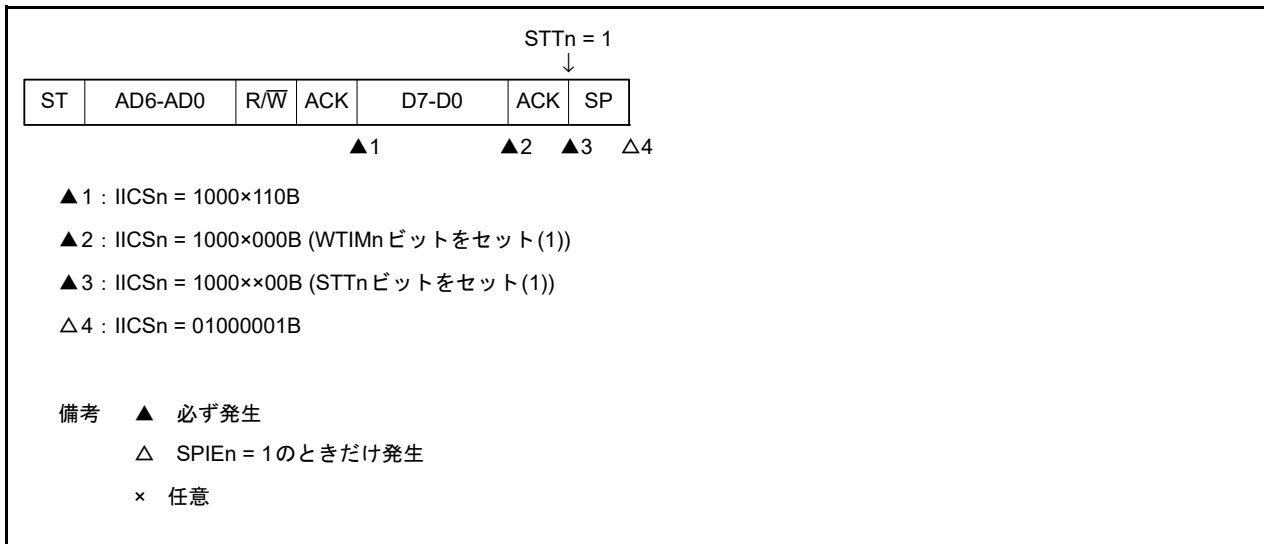
(ii) WTIMn = 1 のとき



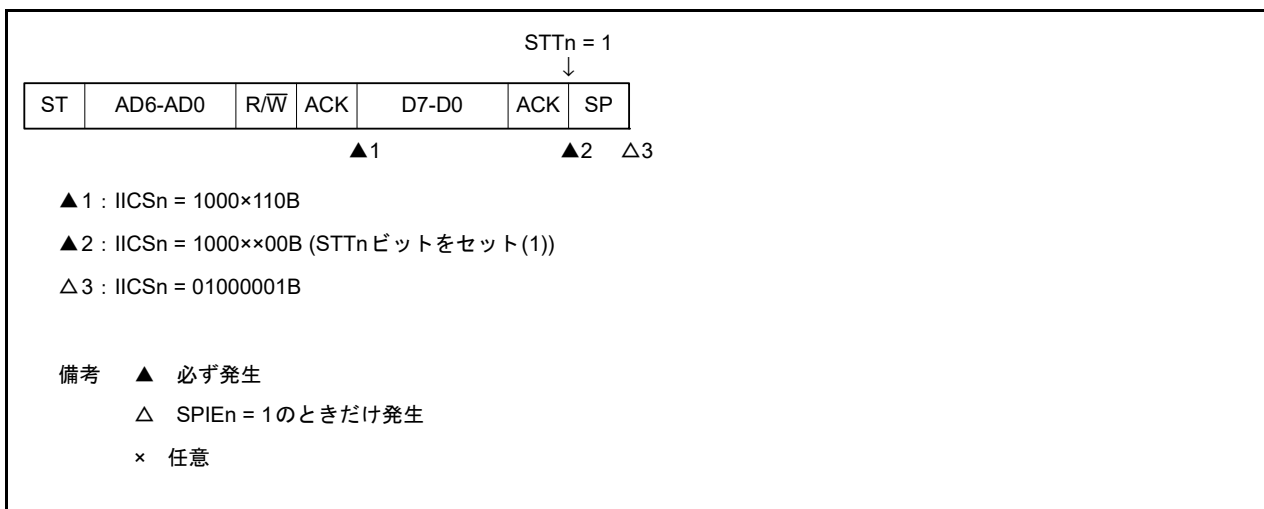
備考 n = 0

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



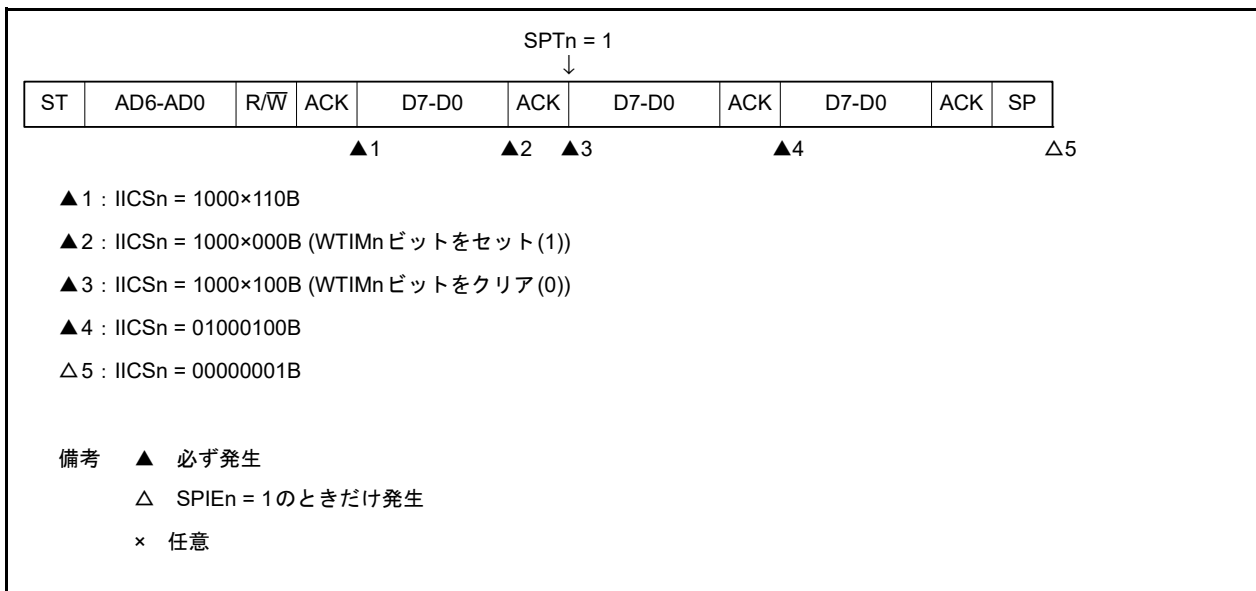
(ii) WTIMn = 1 のとき



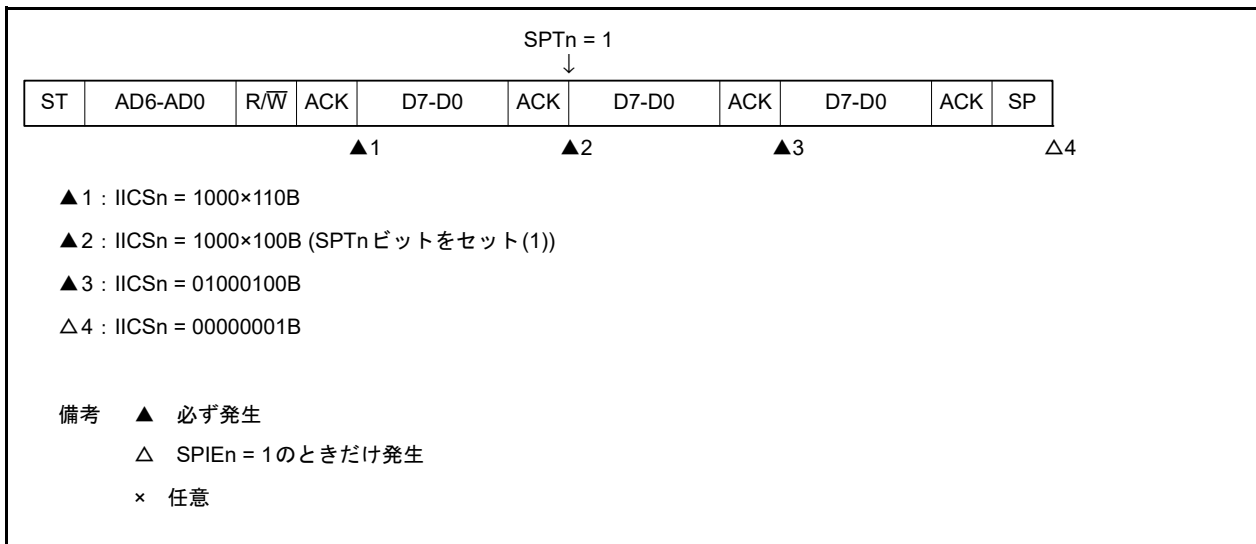
備考 n = 0

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき



備考 n = 0

18.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC_nビット(IICAステータス・レジスタ_n(IICSn)のビット3)を送信し、スレーブとのシリアル通信を開始します。

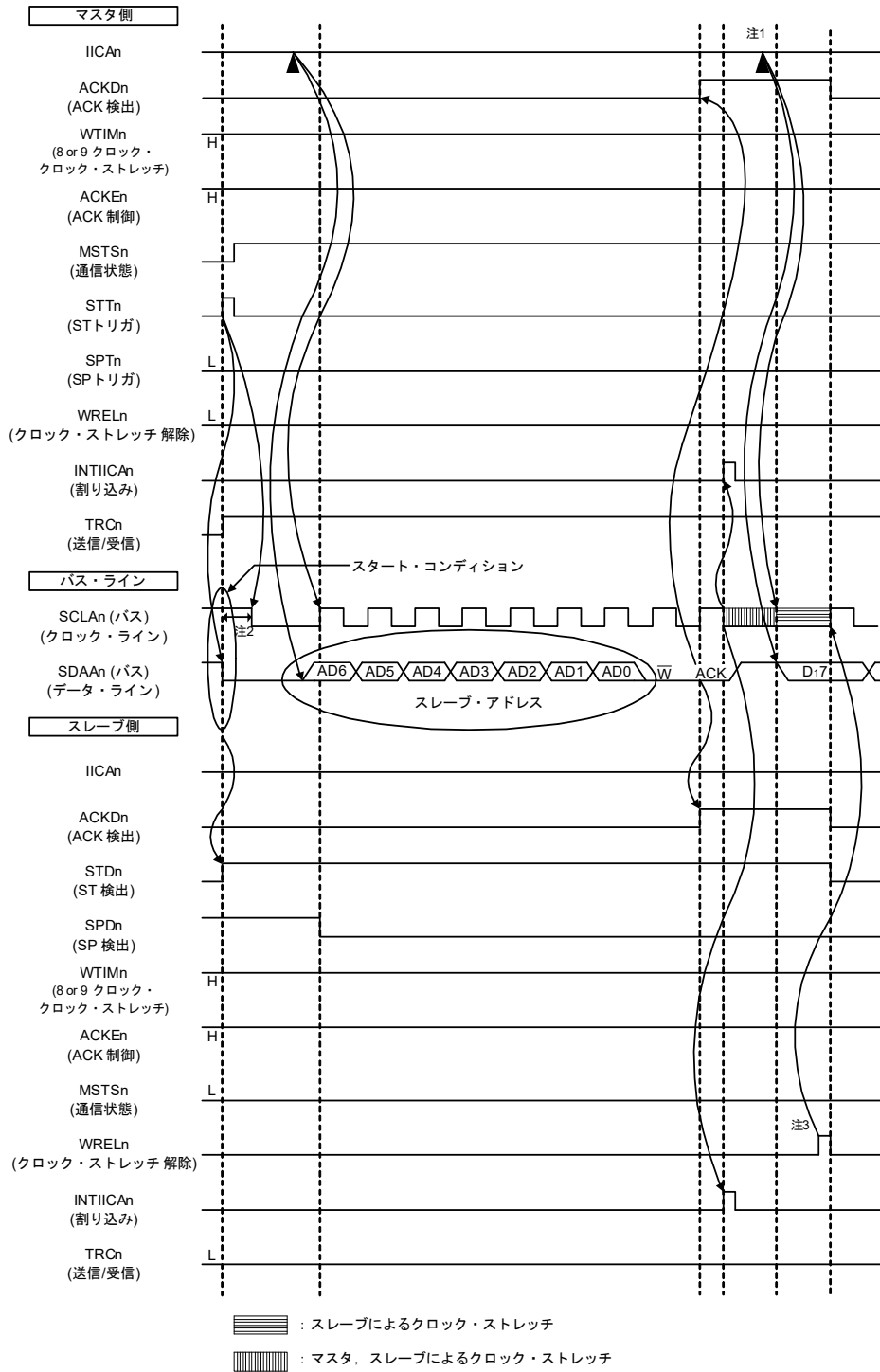
データ通信のタイミング・チャートを図18-41～図18-47に示します。

シリアル・クロック(SCLAn)の立ち下がりに同期してIICAシフト・レジスタ_n(IICAn)のシフト動作が行われ、送信データがSOラッチに転送され、SDAAn端子からMSBファーストで出力されます。

また、SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

備考 n = 0

図18-41 マスタ→スレーブ通信例(マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択時)(1/4)
 (1) スタート・コンディション～アドレス～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図18-41 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット($STTn = 1$)されると、バス・データ・ライン($SDAAn$)が立ち下がり、スタート・コンディション($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態($MSTSn = 1$)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$)にアドレス + W (送信)が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス($SVAAn$ の値)が一致した場合注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出($ACKDn = 1$)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み($INTIICAn$: アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブは、クロック・ストレッチ($SCLAn = 0$)をかけ、割り込み($INTIICAn$: アドレス一致割り込み)が発生します注。
- ⑤ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除($WRELn = 1$)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが($NACK$: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図18-41～図18-43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図18-41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

図18-42 (2)アドレス～データ～データでは手順③～⑩

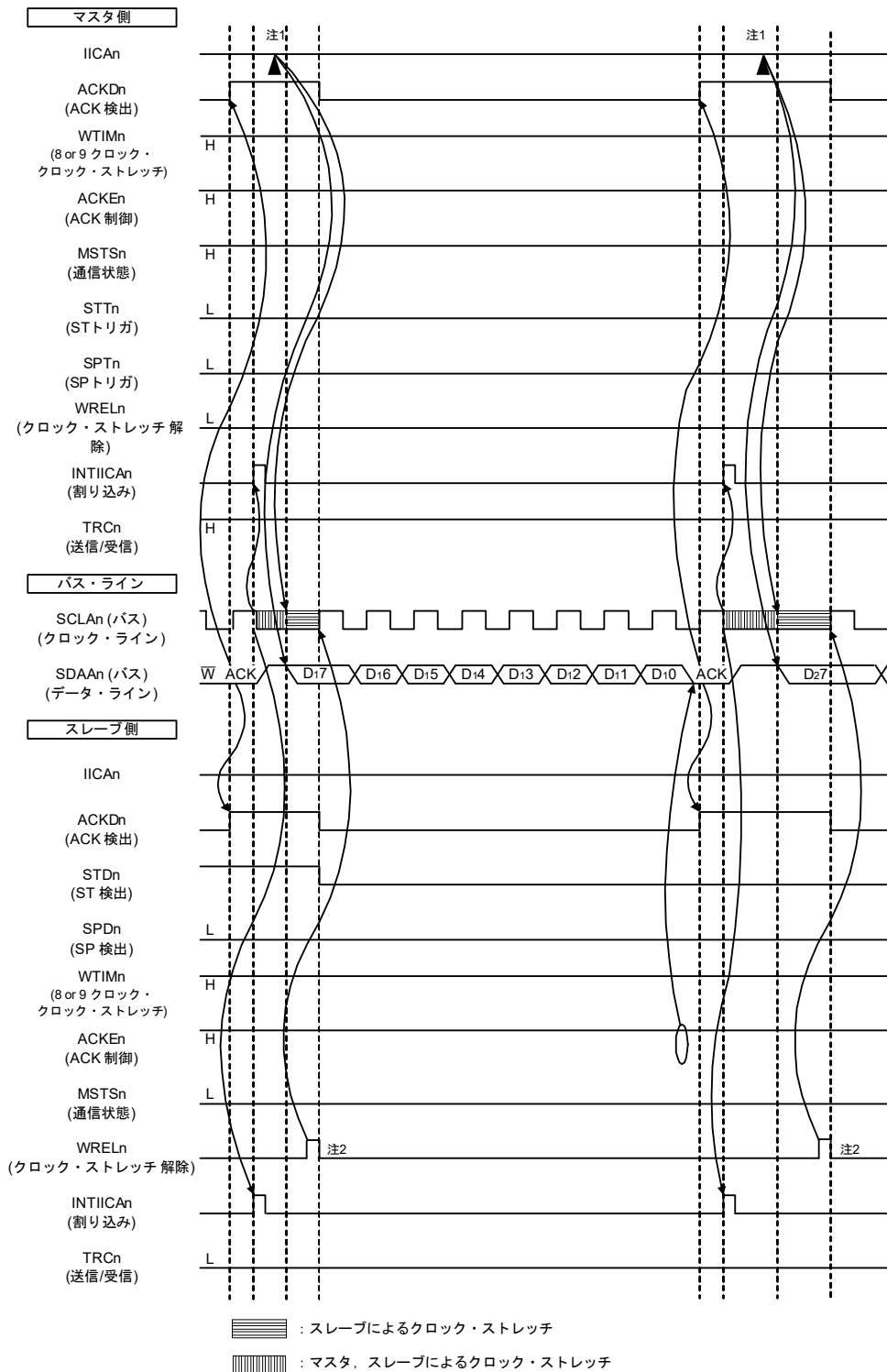
図18-43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. $n = 0$

図18-42 マスタ→スレーブ通信例(マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(2/4)

(2) アドレス～データ～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図18-42 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス(SVAnの値)が一致した場合注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み(INTIICAn: アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn: アドレス一致割り込み)が発生します注。
- ⑤ マスタ側がIICAシフト・レジスタn(IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn: 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK: SDAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図18-41～図18-43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図18-41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

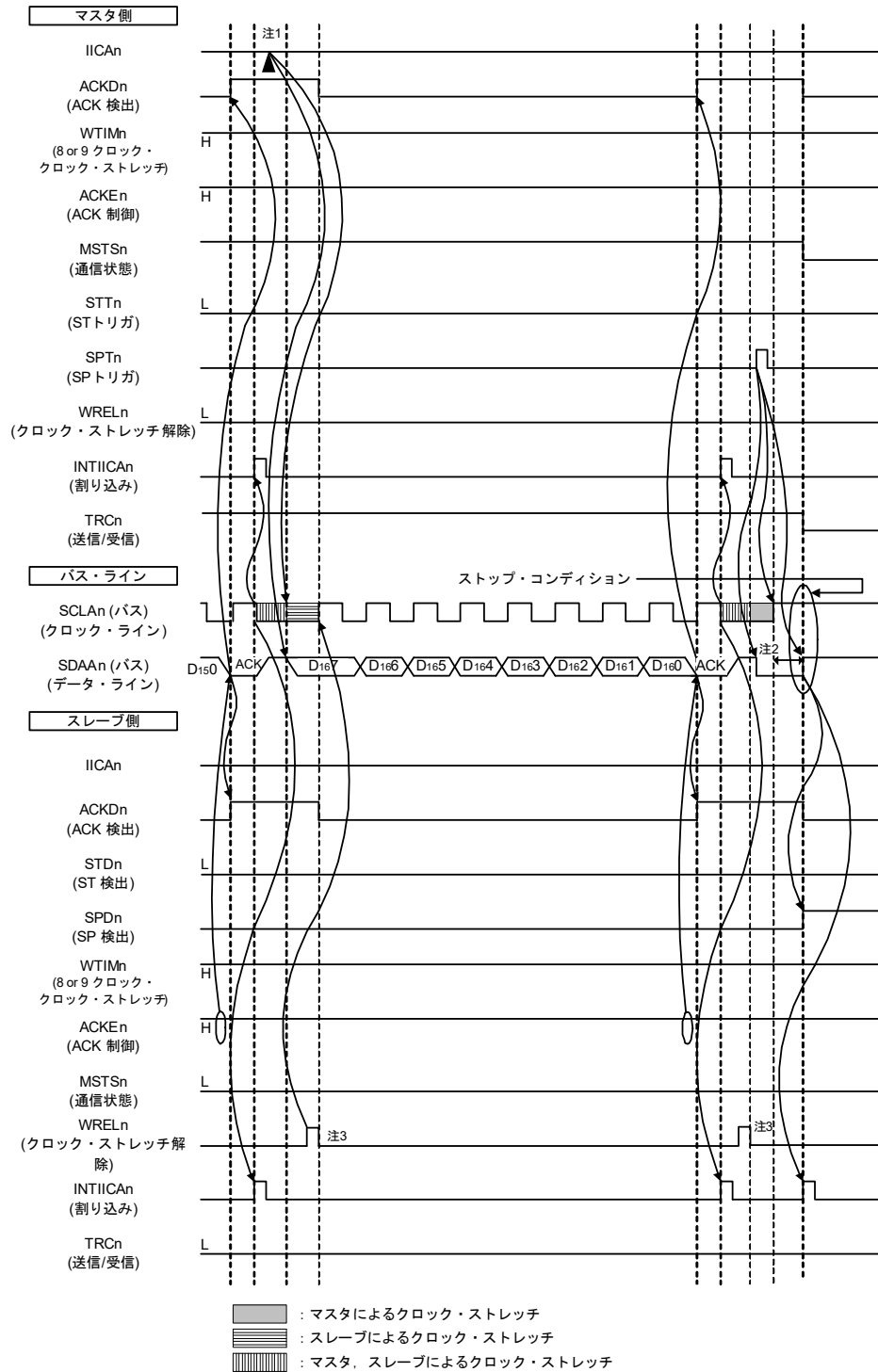
図18-42 (2)アドレス～データ～データでは手順③～⑩

図18-43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0

図18-43 マスタ→スレーブ通信例(マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(3/4)
 (3) データ～データ～ストップ・コンディション



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がったからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図18-43 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側(ACKEn = 1)のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑫ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除(WRELn = 1)します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット(SPTn = 1)すると、バス・データ・ラインがクリア(SDAAn = 0)され、バス・クロック・ラインがセット(SCLAn = 1)され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット(SDAAn = 1)されることでストップ・コンディション(SCLAn = 1でSDAAn = 0→1)が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み(INTIICAn : ストップ・コンディション割り込み)が発生します。

備考1. 図18-41～図18-43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図18-41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

図18-42 (2)アドレス～データ～データでは手順③～⑩

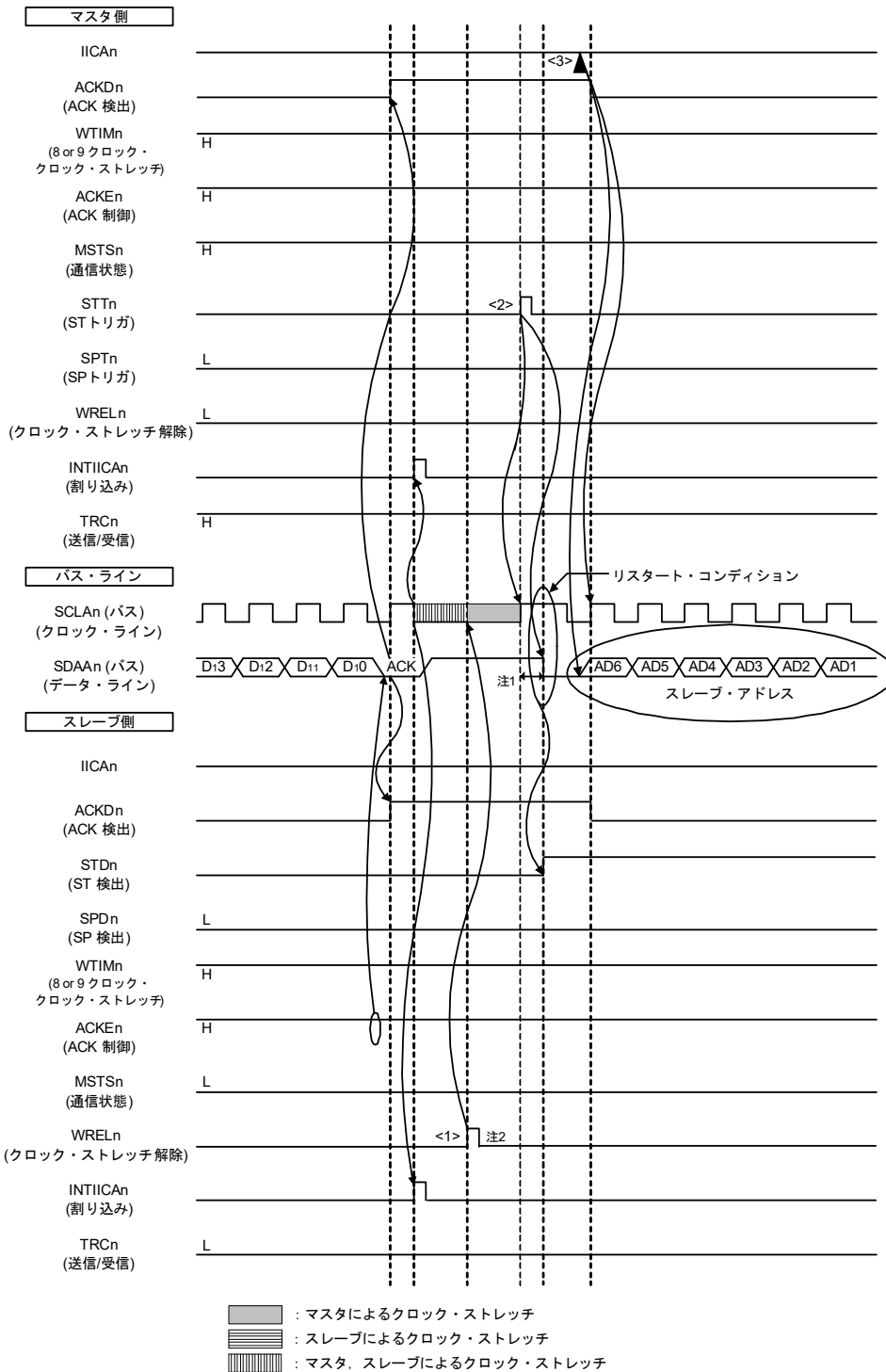
図18-43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0

図18-44 マスタ→スレーブ通信例(マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択時)(4/4)

(4) データ～リスタート・コンディション～アドレス



注1. リスタート・コンディションの発行後、SCLAn 端子信号が立ち上がったからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

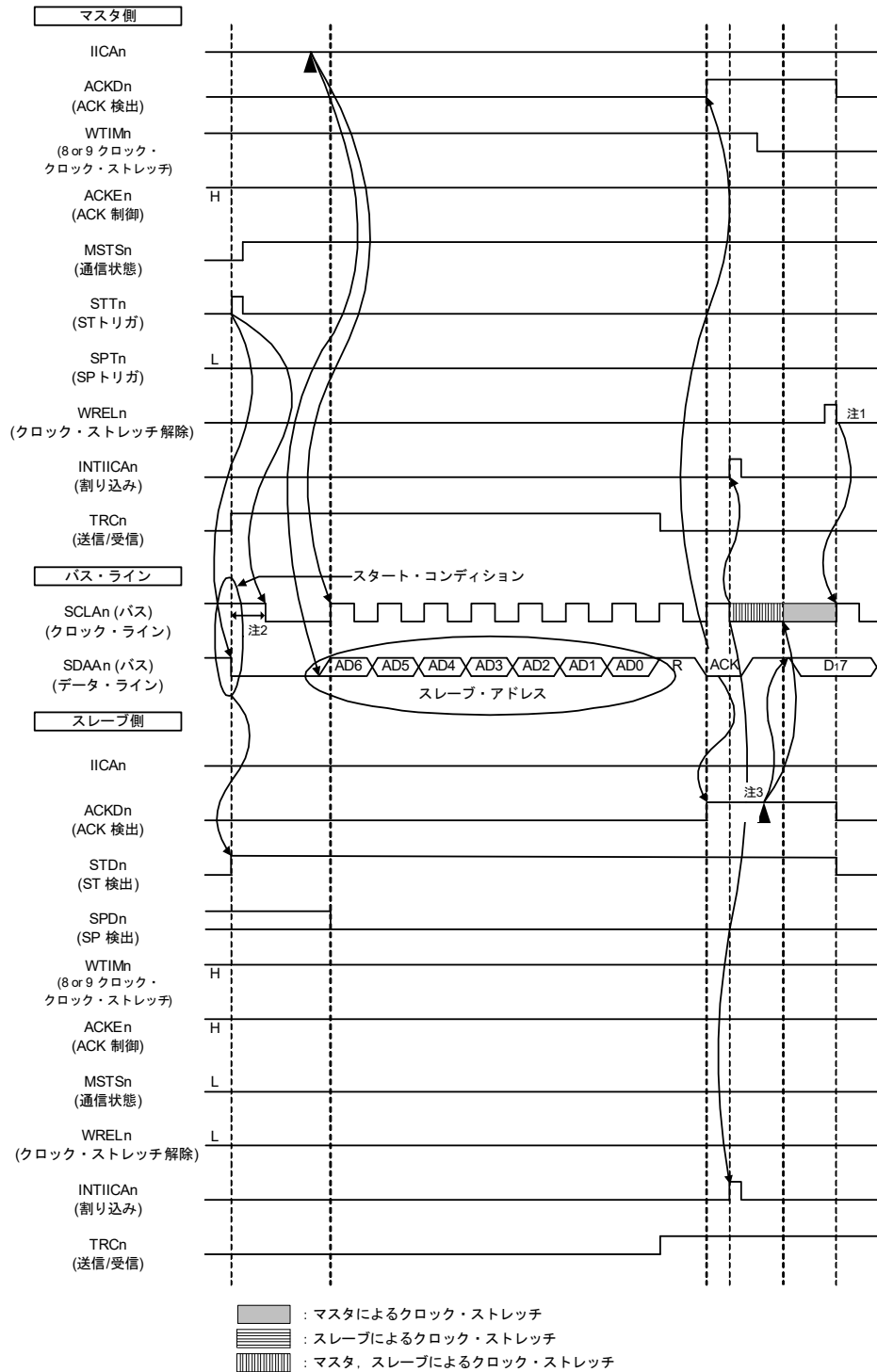
備考 n = 0

図 18 - 44 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>～<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がり, マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり, マスタ側, スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
 - <1> スレーブ側が受信データを読み出して, クロック・ストレッチを解除(WRELn = 1)します。
 - <2> マスタ側で再度スタート・コンディション・トリガがセット(STTn = 1)されると, バス・クロック・ラインが立ち上がり(SCLAn = 1), リスタート・コンディション・セットアップ時間後バス・データ・ライン(SDAAn = 0)が立ち下がり, スタート・コンディション(SCLAn = 1でSDAAn = 1→0)が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり(SCLAn = 0), 通信準備が完了となります。
 - <3> マスタ側がIICAシフト・レジスタn(IICAn)にアドレス + R/W (送信)を書き込むと, スレーブ・アドレスが送信されます。

備考 n = 0

図18-45 スレーブ→マスタ通信例(マスタ:8クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(1/3)
 (1) スタート・コンディション~アドレス~データ



- 注1. マスタ側での受信時クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図18-45 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット(STTn = 1)されると、バス・データ・ライン(SDAAn)が立ち下がり、スタート・コンディション(SCLAn = 1でSDAAn = 1→0)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態(MSTSn = 1)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり(SCLAn = 0)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタn(IICAn)にアドレス + R (受信)が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス(SVAnの値)が一致した場合注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み(INTIICAn: アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn: アドレス一致割り込み)が発生します注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目(WTIMn = 0)に変更します。
- ⑥ スレーブ側がIICAnレジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除(WRELn = 1)して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK: SDAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図18-45～図18-47の①～⑯は、I²Cバスによるデータ通信の一連の操作手順です。

図18-45(1)スタート・コンディション～アドレス～データでは手順①～⑦

図18-46(2)アドレス～データ～データでは手順③～⑫

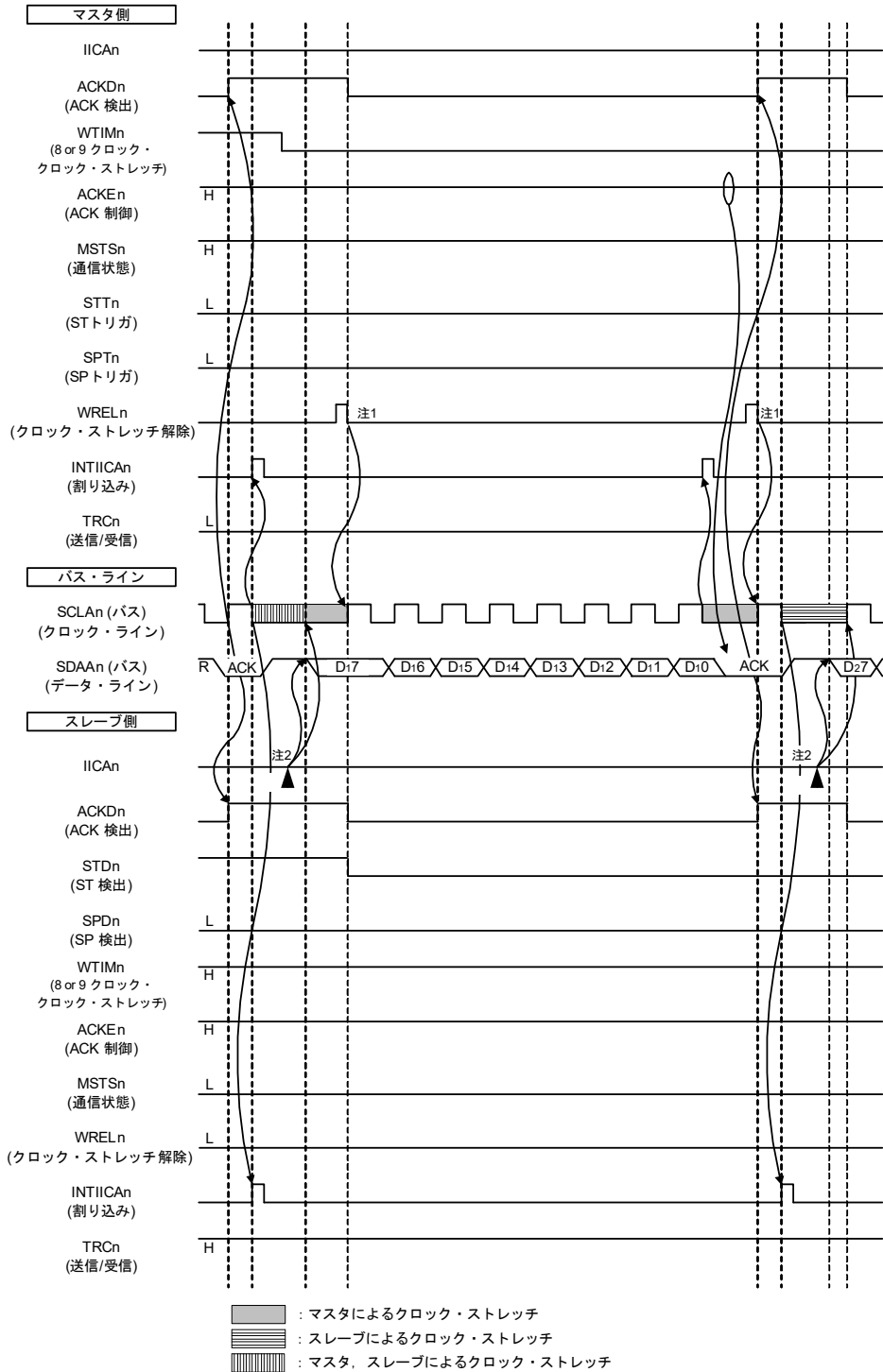
図18-47(3)データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

備考2. n = 0

図18-46 スレーブ→マスタ通信例(マスタ：8クロック、スレーブ：9クロックでクロック・ストレッチ選択時)(2/3)

(2) アドレス～データ～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n=0

図18-46 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み(INTIICAn : アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn : アドレス一致割り込み)が発生します注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目に(WTIMn = 0)に変更します。
- ⑥ スレーブ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除(WRELn = 1)して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み)が発生し、マスタ側ACKEn = 1なのでハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除(WRELn = 1)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出(ACKDn = 1)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、スレーブ側は割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAnレジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK : SDAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図18-45～図18-47の①～⑯は、I²Cバスによるデータ通信の一連の操作手順です。

図18-45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図18-46 (2)アドレス～データ～データでは手順③～⑫

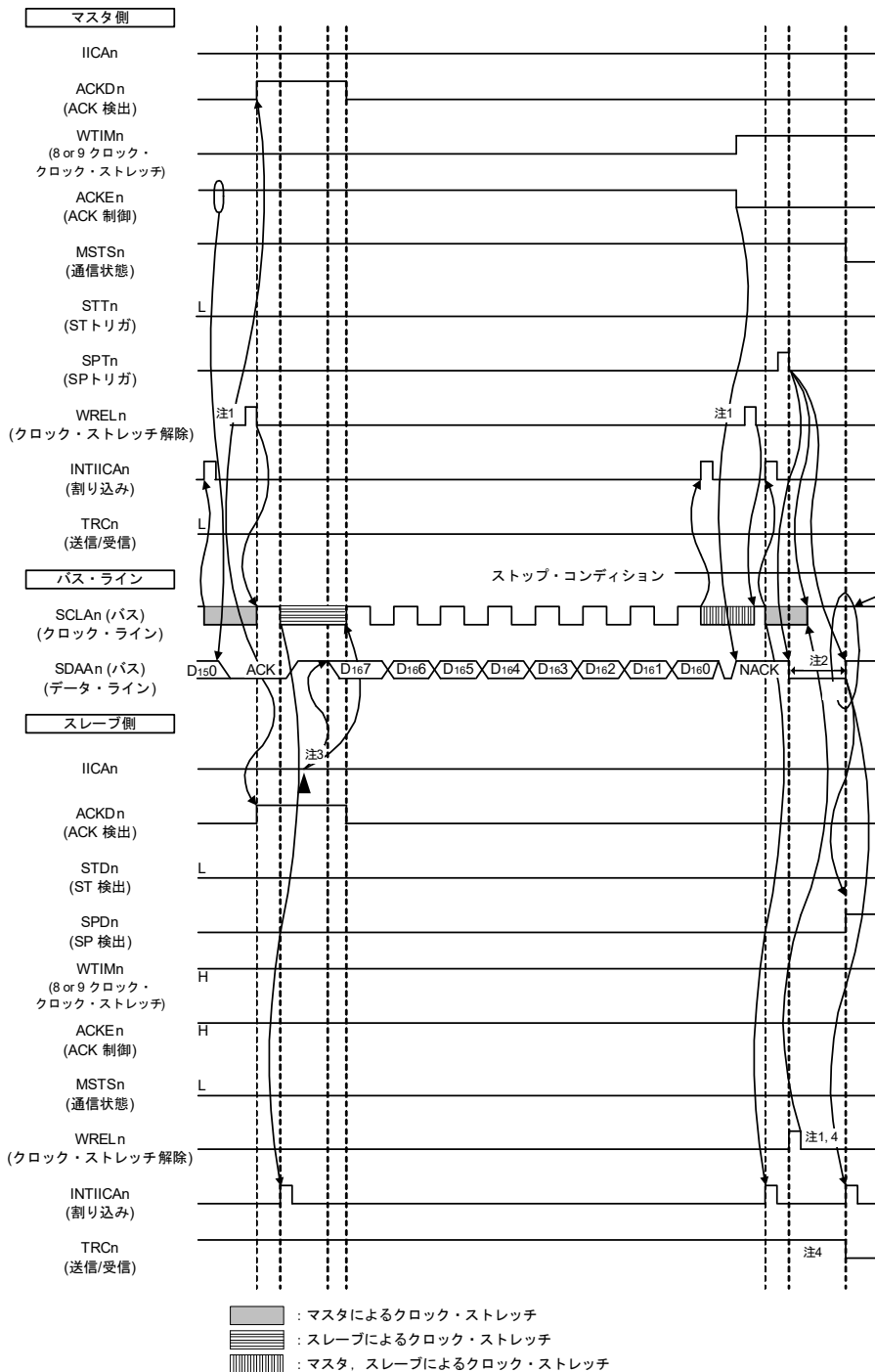
図18-47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑯

について説明しています。

備考2. n = 0

図18-47 スレーブ→マスタ通信例(マスタ：8→9クロック，スレーブ：9クロックでクロック・ストレッチ選択時)(3/3)

(3) データ～データ～ストップ・コンディション



- 注1. クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
 - 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
 - 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
 - 注4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnビットはクリアされます。
- 備考 n = 0

図18-47 (3) データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側の割り込み
(INTIICAn : 転送完了割り込み)が発生し、マスタ側は ACKEn = 0 なので、ハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除(WRELn = 1)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出(ACKDn = 1)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、スレーブ側は割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAシフト・レジスタn(IICAn)に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み(INTIICAn : 転送完了割り込み)が発生し、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかります。ACK制御(ACKEn = 1)されているので、この段階でのバス・データ・ラインはロウ・レベル(SDAAn = 0)となります。
- ⑭ マスタ側はNACK応答に設定(ACKEn = 0)し、クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ(WTIMn = 1)に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除(WRELn = 1)すると、スレーブ側は9クロック目の立ち上がりでNACKを検出(ACKDn = 0)します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑰ マスタ側でストップ・コンディション発行(SPTn = 1)すると、バス・データ・ラインがクリア(SDAAn = 0)され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット(SCLAn = 1)されるまで待機します。
- ⑱ スレーブ側はNACKを確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除(WRELn = 1)します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット(SCLAn = 1)されます。
- ⑲ マスタ側はバス・クロック・ラインがセット(SCLAn = 1)されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット(SDAAn = 1)してストップ・コンディション(SCLAn = 1でSDAAn = 0→1)を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み(INTIICAn : ストップ・コンディション割り込み)が発生します。

備考1. 図18-45～図18-47の①～⑲は、I²Cバスによるデータ通信の一連の操作手順です。

図18-45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図18-46 (2)アドレス～データ～データでは手順③～⑫

図18-47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑲

について説明しています。

備考2. n = 0

第19章 LCDコントローラ／ドライバ

RL78/L1AのLCD表示機能端子は製品ごとに搭載する数が異なります。次の表に製品ごとのLCD表示機能端子数を示します。

表 19 - 1 製品ごとのLCD表示機能端子

項目		RL78/L1A															
		80ピン (R5F11MM)								100ピン (R5F11MP)							
LCD出力端子数		セグメント信号出力：32 (28) 注 コモン信号出力：8								セグメント信号出力：45 (41) 注 コモン信号出力：8							
兼用I/Oポート		bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
セグメント	P0	SEG40	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33	SEG40	SEG39	SEG38	SEG37	SEG36	SEG35	SEG34	SEG33
	P1	—	—	—	SEG29	—	—	—	—	SEG32	SEG31	SEG30	SEG29	SEG28	SEG41	SEG42	—
	P3	SEG27	SEG26	SEG25	—	—	SEG22	SEG21	SEG20	SEG27	SEG26	SEG25	SEG24	SEG23	SEG22	SEG21	SEG20
	P5	—	—	—	—	—	SEG6	SEG5	SEG4	SEG11	SEG10	SEG9	SEG8	SEG7	SEG6	SEG5	SEG4
	P7	SEG19	SEG18	SEG17	SEG16	SEG15	SEG14	SEG13	SEG12	SEG19	SEG18	SEG17	SEG16	SEG15	SEG14	SEG13	SEG12
	P8	—	—	—	—	—	—	SEG43	SEG44	—	—	—	—	—	—	SEG43	SEG44
COM信号出力端子とI/Oポートの兼用関係		—								—							
COM信号出力端子と他のLCD表示機能端子の兼用関係		COM4 SEG0								COM4 SEG0							
		COM5 SEG1								COM5 SEG1							
		COM6 SEG2								COM6 SEG2							
		COM7 SEG3								COM7 SEG3							

注 () 内は8 com使用時の信号出力本数です。

19.1 LCDコントローラ／ドライバの機能

RL78/L1Aに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) A波形, B波形の選択が可能
- (2) LCD駆動電圧生成回路は, 内部昇圧／容量分割／外部抵抗分割の切り替えが可能
- (3) 表示データ・レジスタの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (4) 昇圧回路動作時に生成する基準電圧を16段階から選択可能 (コントラスト調整)
- (5) LCD点滅が可能

各表示モードにおける表示可能な最大画素数を表 19 - 2, 表 19 - 3に示します。

表 19 - 2 最大表示画素数 (80ピン製品)

(a) 80ピン製品

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数	
A波形	外部抵抗分割	—	スタティック	32 (32セグメント×1コモン)	
			1/2	2	64 (32セグメント×2コモン)
				3	96 (32セグメント×3コモン)
		1/3	3		
			4	128 (32セグメント×4コモン)	
			6	180 (30セグメント×6コモン)	
			8	224 (28セグメント×8コモン)	
	1/4	8			
	内部昇圧	1/3	3	96 (32セグメント×3コモン)	
			4	128 (32セグメント×4コモン)	
			6	180 (30セグメント×6コモン)	
			8	224 (28セグメント×8コモン)	
		1/4	6	180 (30セグメント×6コモン)	
			8	224 (28セグメント×8コモン)	
	容量分割	1/3	3	96 (32セグメント×3コモン)	
			4	128 (32セグメント×4コモン)	
			6	180 (30セグメント×6コモン)	
			8	224 (28セグメント×8コモン)	
B波形	外部抵抗分割, 内部昇圧	1/3	3	96 (32セグメント×3コモン)	
			4	128 (32セグメント×4コモン)	
			6	180 (30セグメント×6コモン)	
			8	224 (28セグメント×8コモン)	
		1/4	8		
	容量分割	1/3	3	96 (32セグメント×3コモン)	
			4	128 (32セグメント×4コモン)	
			6	180 (30セグメント×6コモン)	
			8	224 (28セグメント×8コモン)	

表 19 - 3 最大表示画素数 (100ピン製品)

(b) 100ピン製品

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数	
A波形	外部抵抗分割	—	スタティック	45 (45セグメント×1コモン)	
		1/2	2	90 (45セグメント×2コモン)	
			3	135 (45セグメント×3コモン)	
		1/3	3		
			4	180 (45セグメント×4コモン)	
			6	258 (43セグメント×6コモン)	
			8	328 (41セグメント×8コモン)	
		1/4	8		
	内部昇圧	1/3	3	135 (45セグメント×3コモン)	
			4	180 (45セグメント×4コモン)	
			6	258 (43セグメント×6コモン)	
			8	328 (41セグメント×8コモン)	
		1/4	6	258 (43セグメント×6コモン)	
			8	328 (41セグメント×8コモン)	
		容量分割	1/3	3	135 (45セグメント×3コモン)
				4	180 (45セグメント×4コモン)
	6			258 (43セグメント×6コモン)	
	8			328 (41セグメント×8コモン)	
B波形	外部抵抗分割, 内部昇圧	1/3	3	135 (45セグメント×3コモン)	
			4	180 (45セグメント×4コモン)	
			6	258 (43セグメント×6コモン)	
			8	328 (41セグメント×8コモン)	
		1/4	8		
	容量分割	1/3	3	135 (45セグメント×3コモン)	
			4	180 (45セグメント×4コモン)	
			6	258 (43セグメント×6コモン)	
			8	328 (41セグメント×8コモン)	

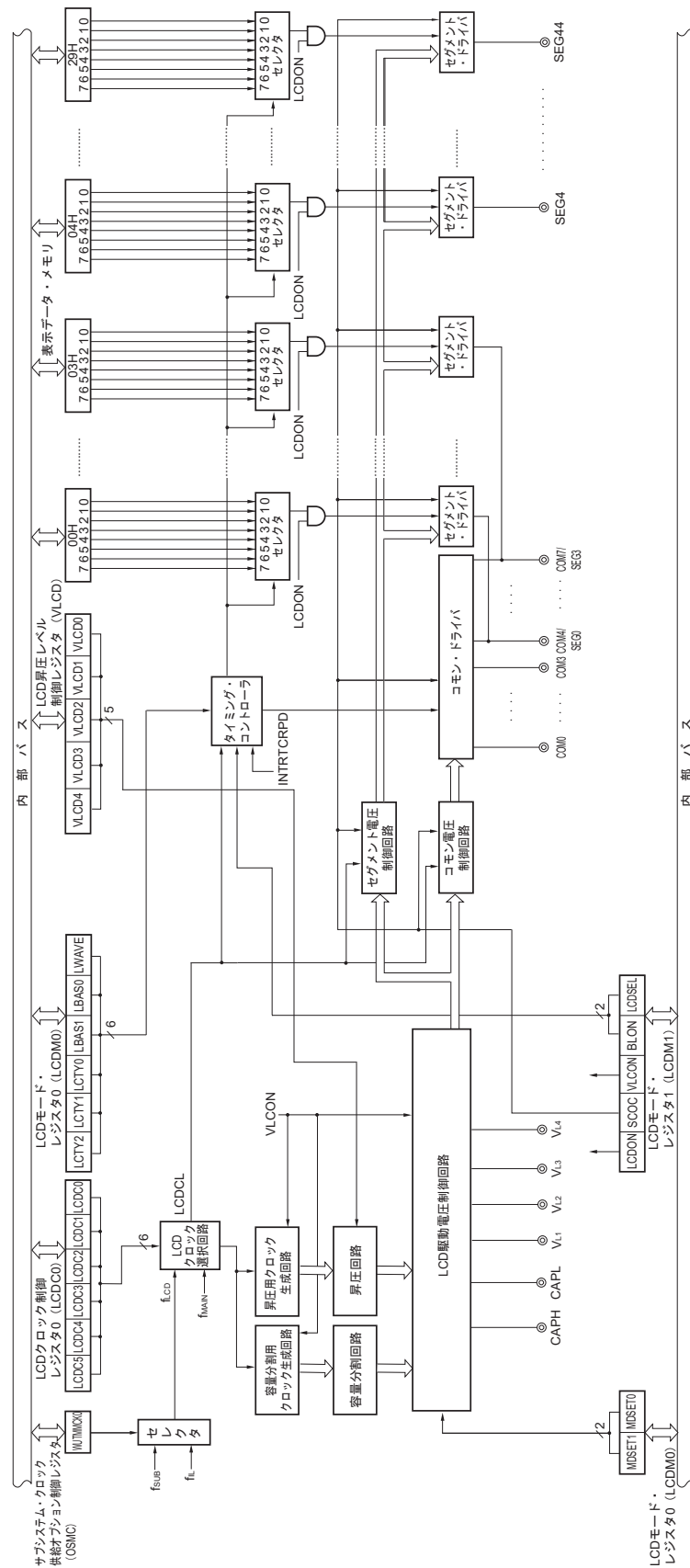
19.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表 19 - 4 LCDコントローラ／ドライバの構成

項目	構成
制御レジスタ	LCDモード・レジスタ0 (LCDM0) LCDモード・レジスタ1 (LCDM1) サブシステム・クロック供給オプション制御レジスタ (OSMC) LCDクロック制御レジスタ0 (LCDC0) LCD昇圧レベル制御レジスタ (VLCD) LCD入力切り替え制御レジスタ (ISCLCD) LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5) ポート・モード・レジスタ0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8)

図19-1 LCDコントローラ/ドライバのブロック図



19.3 LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは、次の8種類のレジスタで制御します。

- LCDモード・レジスタ0 (LCDM0)
- LCDモード・レジスタ1 (LCDM1)
- サブシステム・クロック供給オプション制御レジスタ (OSMC)
- LCDクロック制御レジスタ0 (LCDC0)
- LCD昇圧レベル制御レジスタ (VLCD)
- LCD入力切り替え制御レジスタ (ISCLCD)
- LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5)
- ポート・モード・レジスタ0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8)

19.3.1 LCDモード・レジスタ0 (LCDM0)

LCDの動作を設定するレジスタです。

LCDM0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-2 LCDモード・レジスタ0 (LCDM0) のフォーマット

アドレス：FFF40H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0
	MDSET1	MDSET0	LCD駆動電圧生成回路の選択					
	0	0	外部抵抗分割方式					
	0	1	内部昇圧方式					
	1	0	容量分割方式					
	1	1	設定禁止					
	LWAVE	LCD表示波形の選択						
	0	A波形						
	1	B波形						
	LDTY2	LDTY1	LDTY0	LCD表示の時分割数選択				
	0	0	0	スタティック				
	0	0	1	2時分割				
	0	1	0	3時分割				
	0	1	1	4時分割				
	1	0	0	6時分割				
	1	0	1	8時分割				
	上記以外			設定禁止				
	LBAS1	LBAS0	LCD表示のバイアス法選択					
	0	0	1/2バイアス法					
	0	1	1/3バイアス法					
	1	0	1/4バイアス法					
	1	1	設定禁止					

注意1. LCDM1のSCOC = 1のときに、LCDM0の値を書き換えないでください。

注意2. スタティックを選択した場合 (LDTY2-LDTY0ビット = 000B)、LBAS1、LBAS0ビットの設定は必ず初期値 (00B) にしてください。初期値以外の値を設定した場合の動作は保証しません。

注意3. 表示波形、時分割数、バイアス法の設定は表19-5に示す組み合わせのみサポートします。表19-5で示す組み合わせ以外は設定禁止です。

表 19 - 5 表示波形/時分割数/バイアス法とフレーム周波数の組み合わせ

表示モード			設定値						駆動電圧生成方式		
表示波形	時分割数	バイアス法	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0	外部抵抗分割	内部昇圧	容量分割
A波形	8	1/4	0	1	0	1	1	0	○ (24 ~ 128 Hz)	○ (24 ~ 64 Hz)	×
A波形	6	1/4	0	1	0	0	1	0	×	○ (32 ~ 86 Hz)	×
A波形	8	1/3	0	1	0	1	0	1	○ (32 ~ 128 Hz)	○ (32 ~ 64 Hz)	○ (32 ~ 128 Hz)
A波形	6	1/3	0	1	0	0	0	1	○ (32 ~ 128 Hz)	○ (32 ~ 86 Hz)	○ (32 ~ 128 Hz)
A波形	4	1/3	0	0	1	1	0	1	○ (24 ~ 128 Hz)	○ (24 ~ 128 Hz)	○ (24 ~ 128 Hz)
A波形	3	1/3	0	0	1	0	0	1	○ (32 ~ 128 Hz)	○ (32 ~ 128 Hz)	○ (32 ~ 128 Hz)
A波形	3	1/2	0	0	1	0	0	0	○ (32 ~ 128 Hz)	×	×
A波形	2	1/2	0	0	0	1	0	0	○ (24 ~ 128 Hz)	×	×
A波形	スタティック		0	0	0	0	0	0	○ (24 ~ 128 Hz)	×	×
B波形	8	1/4	1	1	0	1	1	0	○ (24 ~ 128 Hz)	○ (24 ~ 64 Hz)	×
B波形	8	1/3	1	1	0	1	0	1	○ (32 ~ 128 Hz)	○ (32 ~ 64 Hz)	○ (32 ~ 128 Hz)
B波形	6	1/3	1	1	0	0	0	1	○ (32 ~ 128 Hz)	○ (32 ~ 86 Hz)	○ (32 ~ 128 Hz)
B波形	4	1/3	1	0	1	1	0	1	○ (24 ~ 128 Hz)	○ (24 ~ 128 Hz)	○ (24 ~ 128 Hz)
B波形	3	1/3	1	0	1	0	0	1	○ (32 ~ 128 Hz)	○ (32 ~ 128 Hz)	○ (32 ~ 128 Hz)

備考 ○ : 対応, × : 非対応

19.3.2 LCDモード・レジスタ1 (LCDM1)

表示動作の許可／禁止，昇圧回路もしくは容量分割回路の動作許可／停止，表示データ領域，低電圧モードを設定するレジスタです。

LCDM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図 19-3 LCDモード・レジスタ1 (LCDM1) のフォーマット (1/2)

アドレス：FFF41H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM
	SCOC	LCDON	LCD表示の許可／禁止					
	0	0	セグメント端子／コモン端子にグラウンド・レベルを出力					
	0	1						
	1	0	表示オフ（セグメント出力はすべて非選択信号出力）					
	1	1	表示オン					
	VLCON注1	昇圧回路もしくは容量分割回路の動作許可／停止						
	0	昇圧回路もしくは容量分割回路の動作停止						
	1	昇圧回路もしくは容量分割回路の動作許可						
	BLON注2	LCDSEL	表示データ領域の制御					
	0	0	Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータを表示					
	0	1	Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータを表示					
	1	0	Aパターン領域とBパターン領域のデータを交互に表示（リアルタイム・クロック2					
	1	1	（RTC2）の定周期割り込み（INTRTC）タイミングに対応した点滅表示）					

注1. 外部抵抗分割モード時には設定禁止。

注2. LCDソース・クロック（fLCD）としてfILを選択する場合は，必ずBLONビット=0にしてください。

図 19 - 4 LCD モード・レジスタ 1 (LCDM1) のフォーマット (2/2)

アドレス : FFF41H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM
LCDVLM注	昇圧端子の初期化制御							
0	昇圧端子の初期化制御を実行しない							
1	昇圧端子の初期化制御を実行する							

注 昇圧回路使用時に、VLx端子の初期状態を設定して効率的に昇圧を行うための機能です。
内部昇圧方式を使用する場合は、1に設定してください。抵抗分割もしくは容量分割方式を使用する場合は、0に設定してください。

注意1. 昇圧回路使用時にLCD表示を行わないときに消費電力を削減したい場合は、SCOC = 0, VLCON = 0を設定し、さらにMDSET1, MDSET0 = 00を設定してください。MDSET1, MDSET0 = 01の場合、内部の基準電圧生成部が動作するため電力を消費します。

注意2. 外部抵抗分割方式設定時 (LCDM0のMDSET1, MDSET0ビット = 00B) または容量分割方式設定時 (MDSET1, MDSET0ビット = 10B) は、LCDVLMに0を設定してください。

注意3. SCOC = 1のときVLCON, LCDVLMを書き換えないでください。

注意4. 表示モードに8時分割数を選択した場合、BLONとLCDSELに0を設定してください。

注意5. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1, MDSET0ビット = 01B) にしてから)、基準電圧セットアップ時間 (5 ms (MIN.)) をウエイトしたあとに、VLCONに1を設定してください。

19.3.3 サブシステム・クロック供給オプション制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロック (fsUB) でCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力/ブザー出力、LCDドライバ/コントローラ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマのカウント・クロック、クロック出力/ブザー出力、LCDドライバ/コントローラの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-5 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表24-2、表24-3参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、クロック出力/ブザー出力、LCDコントローラ/ドライバ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDドライバ/コントローラの動作クロックの選択	クロック出力/ブザー出力のPCLBUZn端子の出力クロックの選択
注		
0	サブシステム・クロック (fsUB)	サブシステム・クロック (fsUB) 選択許可
1	低速オンチップ・オシレータ・クロック (fil)	サブシステム・クロック (fsUB) 選択禁止

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット = 0)にしてください。

注意 WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2、12ビット・インターバル・タイマ、8ビット・インターバル・タイマ、LCDドライバ/コントローラの動作開始前に一度のみ可能です。

各機能の動作停止方法は次のとおりです。

リアルタイム・クロック2の停止設定 : RTCE = 0

12ビット・インターバル・タイマの停止設定 : RINTE = 0

8ビット・インターバル・タイマの停止設定 : TSTART00およびTSTART01 = 0

LCDコントローラ/ドライバの停止設定 : SCOC = 0かつVLCON = 0

備考 RTCE : リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット7
RINTE : インターバル・タイマ・コントロール・レジスタ (ITMC)のビット15
SCOC : LCDモード・レジスタ1 (LCDM1)のビット6
VLCON : LCDモード・レジスタ1 (LCDM1)のビット5
TSTART00 : 8ビット・インターバル・タイマ制御レジスタ0 (TRTCR0) のビット0
TSTART01 : 8ビット・インターバル・タイマ制御レジスタ0 (TRTCR0) のビット2

19.3.4 LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図19-6 LCDクロック制御レジスタ (LCDC0) のフォーマット

アドレス：FFF42H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00
	0	0	0	1	0	0		LCDCクロック (LCDCL)
	0	0	0	1	0	1		$f_{SUB}/2^5$ or $f_{IL}/2^5$
	0	0	0	1	1	0		$f_{SUB}/2^6$ or $f_{IL}/2^6$
	0	0	0	1	1	1		$f_{SUB}/2^7$ or $f_{IL}/2^7$
	0	0	0	1	1	1		$f_{SUB}/2^8$ or $f_{IL}/2^8$
	0	0	1	0	0	0		$f_{SUB}/2^9$ or $f_{IL}/2^9$
	0	0	1	0	0	1		$f_{SUB}/2^{10}$
	0	1	0	0	0	1		$f_{MAIN}/2^8$
	0	1	0	0	1	0		$f_{MAIN}/2^9$
	0	1	0	0	1	1		$f_{MAIN}/2^{10}$
	0	1	0	1	0	0		$f_{MAIN}/2^{11}$
	0	1	0	1	0	1		$f_{MAIN}/2^{12}$
	0	1	0	1	1	0		$f_{MAIN}/2^{13}$
	0	1	0	1	1	1		$f_{MAIN}/2^{14}$
	0	1	1	0	0	0		$f_{MAIN}/2^{15}$
	0	1	1	0	0	1		$f_{MAIN}/2^{16}$
	0	1	1	0	1	0		$f_{MAIN}/2^{17}$
	0	1	1	0	1	1		$f_{MAIN}/2^{18}$
	1	0	1	0	1	1		$f_{MAIN}/2^{19}$
	上記以外						設定禁止	

注意1. LCDM1レジスタのSCOCビット = 1のときLCDC0を設定しないでください。

注意2. ビット6, 7には，必ず0を設定してください。

注意3. 内部昇圧方式，容量分割方式に設定した場合，LCDクロック (LCDCL)は次のように設定してください。

- f_{SUB} 選択時 512 Hz 以下
- f_{IL} 選択時 235 Hz 以下

詳細は，表19-5 表示波形/時分割数/バイアス法とフレーム周波数の組み合わせを参照してください。

備考 f_{MAIN} : メイン・システム・クロック周波数

f_{SUB} : サブシステム・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

19.3.5 LCD昇圧レベル制御レジスタ (VLCD)

昇圧回路動作時に生成する基準電圧を選択（コントラスト調整）するレジスタです。基準電圧は、16段階から選択することができます。

VLCDは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、04Hになります。

図 19 - 7 LCD昇圧レベル制御レジスタ (VLCD) のフォーマット

アドレス : FFF43H リセット時 : 04H R/W

略号	7	6	5	4	3	2	1	0
VLCD	0	0	0	VLCD4	VLCD3	VLCD2	VLCD1	VLCD0

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	基準電圧選択 (コントラスト調整)	VL4電圧	
						1/3バイアス法時	1/4バイアス法時
0	0	1	0	0	1.00 V (デフォルト)	3.00 V	4.00 V
0	0	1	0	1	1.05 V	3.15 V	4.20 V
0	0	1	1	0	1.10 V	3.30 V	4.40 V
0	0	1	1	1	1.15 V	3.45 V	4.60 V
0	1	0	0	0	1.20 V	3.60 V	4.80 V
0	1	0	0	1	1.25 V	3.75 V	5.00 V
0	1	0	1	0	1.30 V	3.90 V	5.20 V
0	1	0	1	1	1.35 V	4.05 V	設定禁止
0	1	1	0	0	1.40 V	4.20 V	設定禁止
0	1	1	0	1	1.45 V	4.35 V	設定禁止
0	1	1	1	0	1.50 V	4.50 V	設定禁止
0	1	1	1	1	1.55 V	4.65 V	設定禁止
1	0	0	0	0	1.60 V	4.80 V	設定禁止
1	0	0	0	1	1.65 V	4.95 V	設定禁止
1	0	0	1	0	1.70 V	5.10 V	設定禁止
1	0	0	1	1	1.75 V	5.25 V	設定禁止
上記以外					設定禁止		

注意1. VLCDレジスタの設定は、昇圧回路動作時のみ有効です。

注意2. ビット5-7には、必ず0を設定してください。

注意3. VLCDレジスタの値を変更する場合は、必ず昇圧回路の動作を停止 (VLCON = 0) してから行ってください。

注意4. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1, MDSET0ビット = 01B) にしてから）、基準電圧セットアップ時間 (5 ms (MIN.)) をウエイトしたあとに、VLCONに1を設定してください。

注意5. 外部抵抗分割方式または容量分割方式では、VLCDレジスタは初期値 (04H) で使用してください。

19.3.6 CD入力切り替え制御レジスタ (ISCLCD)

CAPL/P126, CAPH/P127, VL3/P125 端子をLCD機能として動作するように設定を行うまでの期間、貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCDレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-8 LCD入力切り替え制御レジスタ (ISCLCD)

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125端子のシュミット・トリガ・バッファの制御	
0	入力無効	
1	入力有効	

ISCCAP	CAPL/ P126, CAPH/P127端子のシュミット・トリガ・バッファの制御	
0	入力無効	
1	入力有効	

注意1. ISCVL3ビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

注意2. ISCCAPビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

(1) VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127 端子の機能は、LCD入力切り替え制御レジスタ (ISCLCD)、LCDモード・レジスタ0 (LCDM0)、ポート・モード・レジスタ12 (PM12) の設定で決定します。

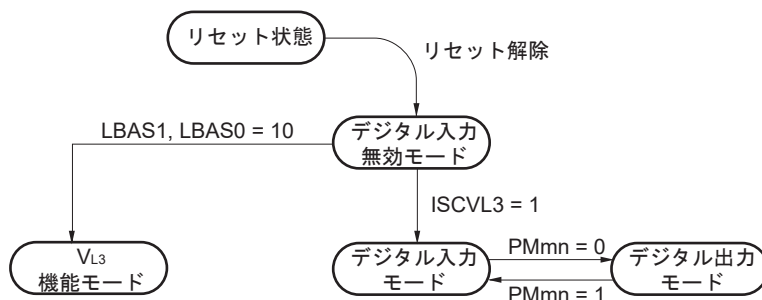
- VL3/P125

表19-6 VL3/P125端子機能の設定

バイアス法設定 (LCDM0レジスタのLBAS1, LBAS0ビットで設定)	ISCLCDレジスタの ISCVL3ビット	PM12レジスタの PM125ビット	端子機能	初期状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00または01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
1/4バイアス法 (LBAS1, LBAS0 = 10)	0	1	VL3機能モード	—
上記以外			設定禁止	

VL3/P125端子機能の状態遷移を次に示します。

図 19 - 9 VL3/P125端子機能の状態遷移図



注意 VL3機能モードに設定する場合は、セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。

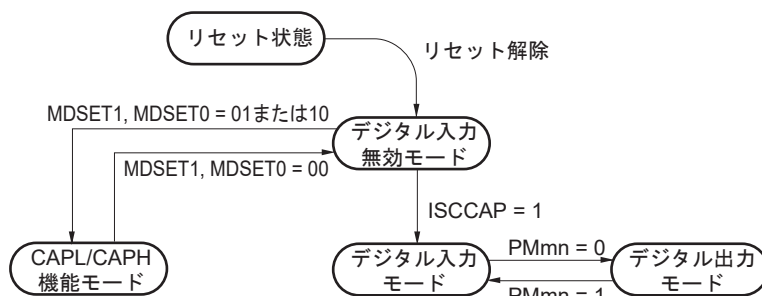
• CAPL/P126, CAPH/P127

表 19 - 7 CAPL/P126, CAPH/P127 端子機能の設定

LCD駆動電圧生成 (LCDM0レジスタのMDSET1, MDSET0ビット)	ISCLCDレジスタの ISCCAPビット	PM12レジスタの PM126, PM127ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01または10)	0	1	CAPL/CAPH機能モード	—
上記以外			設定禁止	

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図 19 - 10 CAPL/P126, CAPH/P127 端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前（LCDモード・レジスタ1（LCDM1）のSCOCビット = 0の期間）に設定してください。

19.3.7 LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5)

P00-P07, P11-P17, P30-P37, P50-P57, P70-P77, P80, P81 端子をポート(セグメント出力以外)/セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG5 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります(PFSEG0はF0H, PFSEG5は1FH)。

備考 セグメント出力端子(SEGxx)とPFSEGレジスタ(PFSEGxxビット)の対応と、製品によるSEGxx端子の有無を表19-8 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)に示します。

図19-11 LCDポート・ファンクション・レジスタのフォーマット(100ピン製品)

アドレス : F0300H	リセット時 : F0H	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0
アドレス : F0301H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08
アドレス : F0302H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16
アドレス : F0303H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24
アドレス : F0304H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG39	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32
アドレス : F0305H	リセット時 : 1FH	R/W						
略号	7	6	5	4	3	2	1	0
PFSEG5	0	0	0	PFSEG44	PFSEG43	PFSEG42	PFSEG41	PFSEG40
PFSEGxx (xx = 04-44)	Pmn端子のポート(セグメント出力以外)/セグメント出力の指定 (mn = 00-07, 11-17, 20-27, 30-37, 50-57, 70-77, 80, 81)							
0	ポート(セグメント出力以外)として使用							
1	セグメント出力として使用							

注意 セグメント出力として使用する(PFSEGxx = 1)場合には必ずPUmレジスタのPUmnビット = 0, POMmレジスタのPOMmnビット = 0, PIMmレジスタのPIMmnビット = 0に設定してください。

表 19 - 8 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ (PFSEGビット)

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80-pin
PFSEG04	SEG4	P50	○	○
PFSEG05	SEG5	P51	○	○
PFSEG06	SEG6	P52	○	○
PFSEG07	SEG7	P53	○	—
PFSEG08	SEG8	P54	○	—
PFSEG09	SEG9	P55	○	—
PFSEG10	SEG10	P56	○	—
PFSEG11	SEG11	P57	○	—
PFSEG12	SEG12	P70	○	○
PFSEG13	SEG13	P71	○	○
PFSEG14	SEG14	P72	○	○
PFSEG15	SEG15	P73	○	○
PFSEG16	SEG16	P74	○	○
PFSEG17	SEG17	P75	○	○
PFSEG18	SEG18	P76	○	○
PFSEG19	SEG19	P77	○	○
PFSEG20	SEG20	P30	○	○
PFSEG21	SEG21	P31	○	○
PFSEG22	SEG22	P32	○	○
PFSEG23	SEG23	P33	○	—
PFSEG24	SEG24	P34	○	—
PFSEG25	SEG25	P35	○	○
PFSEG26	SEG26	P36	○	○
PFSEG27	SEG27	P37	○	○
PFSEG28	SEG28	P13	○	—
PFSEG29	SEG29	P14	○	○
PFSEG30	SEG30	P15	○	—
PFSEG31	SEG31	P16	○	—
PFSEG32	SEG32	P17	○	—
PFSEG33	SEG33	P00	○	○
PFSEG34	SEG34	P01	○	○
PFSEG35	SEG35	P02	○	○
PFSEG36	SEG36	P03	○	○
PFSEG37	SEG37	P04	○	○
PFSEG38	SEG38	P05	○	○
PFSEG39	SEG39	P06	○	○
PFSEG40	SEG40	P07	○	○
PFSEG41	SEG41	P12	○	—
PFSEG42	SEG42	P11	○	—
PFSEG43	SEG43	P81	○	○
PFSEG44	SEG44	P80	○	○

(1) SEGxx端子兼用ポートの動作

セグメント出力端子 (SEGxx) の機能は、ポート・モード・レジスタ (PMxx)、LCDポート・ファンクション・レジスタ0-5 (PFSEG0-PFSEG5) の設定で決定します。

• P00-P07, P11-P17, P30-P37, P50-P57, P70-P77, P80-P81

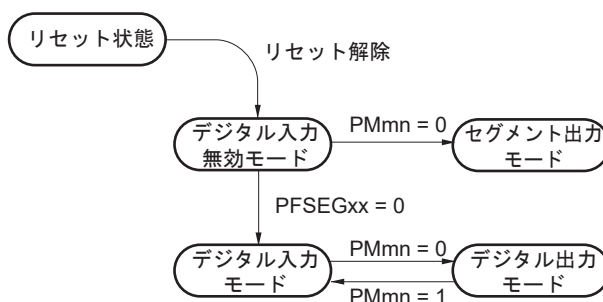
(アナログ入力端子 (ANLxx) を兼用していないポート)

表 19 - 9 SEGxx/ポート端子機能の設定

PFSEG0-PFSEG5レジスタの PFSEGxxビット	PMxxレジスタのPMxx ビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	—
0	1	デジタル入力モード	—
1	0	セグメント出力モード	—

SEGxx/Pxx端子機能の状態遷移を次に示します。

図 19 - 12 SEGxx/Pxx端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前 (LCDモード・レジスタ1 (LCDM1) のSCOCビット=0の期間) に設定してください。

19.3.8 ポート・モード・レジスタ 0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8)

ポート0, 1, 3, 5, 7, 8の入力/出力を1ビット単位で設定するレジスタです。

セグメント出力端子を兼用するポート (P00/SEG33など) をセグメント出力として使用する時、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

例) P00/SEG33をセグメント出力として使用する場合

ポート・モード・レジスタ0のPM00ビットを0に設定

ポート・レジスタ0のP00ビットを0に設定

PM0, PM1, PM3, PM5, PM7, PM8レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図19-13 ポート・モード・レジスタ 0, 1, 3, 5, 7, 8 (PM0, PM1, PM3, PM5, PM7, PM8) (100ピン製品の場合)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	1	FFF21H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	1	1	1	1	PM81	PM80	FFF28H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 5, 7, 8; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

備考 上記は、100ピン製品のポート・モード・レジスタ0, 1, 3, 5, 7, 8のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-2～表4-6各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

19.4 LCD表示データ・レジスタ

LCD表示データ・レジスタは、表19-10～表19-13のようにマッピングしています。LCD表示データ・レジスタの内容を変更することでLCD表示内容を変更できます。

表19-10 LCD表示データ・レジスタの内容とセグメント出力/コモン出力の関係 (1/4)

(a) 6時分割, 8時分割以外 (スタティック, 2時分割, 3時分割, 4時分割) (1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0 (Bパターン領域)				SEG0 (Aパターン領域)				○	○
SEG1	F0401H	SEG1 (Bパターン領域)				SEG1 (Aパターン領域)				○	○
SEG2	F0402H	SEG2 (Bパターン領域)				SEG2 (Aパターン領域)				○	○
SEG3	F0403H	SEG3 (Bパターン領域)				SEG3 (Aパターン領域)				○	○
SEG4	F0404H	SEG4 (Bパターン領域)				SEG4 (Aパターン領域)				○	○
SEG5	F0405H	SEG5 (Bパターン領域)				SEG5 (Aパターン領域)				○	○
SEG6	F0406H	SEG6 (Bパターン領域)				SEG6 (Aパターン領域)				○	○
SEG7	F0407H	SEG7 (Bパターン領域)				SEG7 (Aパターン領域)				○	—
SEG8	F0408H	SEG8 (Bパターン領域)				SEG8 (Aパターン領域)				○	—
SEG9	F0409H	SEG9 (Bパターン領域)				SEG9 (Aパターン領域)				○	—
SEG10	F040AH	SEG10 (Bパターン領域)				SEG10 (Aパターン領域)				○	—
SEG11	F040BH	SEG11 (Bパターン領域)				SEG11 (Aパターン領域)				○	—
SEG12	F040CH	SEG12 (Bパターン領域)				SEG12 (Aパターン領域)				○	○
SEG13	F040DH	SEG13 (Bパターン領域)				SEG13 (Aパターン領域)				○	○
SEG14	F040EH	SEG14 (Bパターン領域)				SEG14 (Aパターン領域)				○	○
SEG15	F040FH	SEG15 (Bパターン領域)				SEG15 (Aパターン領域)				○	○
SEG16	F0410H	SEG16 (Bパターン領域)				SEG16 (Aパターン領域)				○	○
SEG17	F0411H	SEG17 (Bパターン領域)				SEG17 (Aパターン領域)				○	○
SEG18	F0412H	SEG18 (Bパターン領域)				SEG18 (Aパターン領域)				○	○
SEG19	F0413H	SEG19 (Bパターン領域)				SEG19 (Aパターン領域)				○	○
SEG20	F0414H	SEG20 (Bパターン領域)				SEG20 (Aパターン領域)				○	○
SEG21	F0415H	SEG21 (Bパターン領域)				SEG21 (Aパターン領域)				○	○
SEG22	F0416H	SEG22 (Bパターン領域)				SEG22 (Aパターン領域)				○	○
SEG23	F0417H	SEG23 (Bパターン領域)				SEG23 (Aパターン領域)				○	—
SEG24	F0418H	SEG24 (Bパターン領域)				SEG24 (Aパターン領域)				○	—
SEG25	F0419H	SEG25 (Bパターン領域)				SEG25 (Aパターン領域)				○	○
SEG26	F041AH	SEG26 (Bパターン領域)				SEG26 (Aパターン領域)				○	○
SEG27	F041BH	SEG27 (Bパターン領域)				SEG27 (Aパターン領域)				○	○
SEG28	F041CH	SEG28 (Bパターン領域)				SEG28 (Aパターン領域)				○	—
SEG29	F041DH	SEG29 (Bパターン領域)				SEG29 (Aパターン領域)				○	○
SEG30	F041EH	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				○	—
SEG31	F041FH	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				○	—
SEG32	F0420H	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				○	—
SEG33	F0421H	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				○	○

表 19 - 11 LCD表示データ・レジスタの内容とセグメント出力/コモン出力の関係 (2/4)

(a) 6時分割, 8時分割以外 (スタティック, 2時分割, 3時分割, 4時分割) (2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG34	F0422H	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				○	○
SEG35	F0423H	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				○	○
SEG36	F0424H	SEG36 (Bパターン領域)				SEG36 (Aパターン領域)				○	○
SEG37	F0425H	SEG37 (Bパターン領域)				SEG37 (Aパターン領域)				○	○
SEG38	F0426H	SEG38 (Bパターン領域)				SEG38 (Aパターン領域)				○	○
SEG39	F0427H	SEG39 (Bパターン領域)				SEG39 (Aパターン領域)				○	○
SEG40	F0428H	SEG40 (Bパターン領域)				SEG40 (Aパターン領域)				○	○
SEG41	F0429H	SEG41 (Bパターン領域)				SEG41 (Aパターン領域)				○	—
SEG42	F042AH	SEG42 (Bパターン領域)				SEG42 (Aパターン領域)				○	—
SEG43	F042BH	SEG43 (Bパターン領域)				SEG43 (Aパターン領域)				○	○
SEG44	F042CH	SEG44 (Bパターン領域)				SEG44 (Aパターン領域)				○	○

備考 ○ : サポートする, — : サポートしない

表 19 - 12 LCD表示データ・レジスタの内容とセグメント出力/コモン出力の関係 (3/4)

(b) 6時分割, 8時分割 (1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0注								○	○
SEG1	F0401H	SEG1注								○	○
SEG2	F0402H	SEG2注								○	○
SEG3	F0403H	SEG3注								○	○
SEG4	F0404H	SEG4								○	○
SEG5	F0405H	SEG5								○	○
SEG6	F0406H	SEG6								○	○
SEG7	F0407H	SEG7								○	—
SEG8	F0408H	SEG8								○	—
SEG9	F0409H	SEG9								○	—
SEG10	F040AH	SEG10								○	—
SEG11	F040BH	SEG11								○	—
SEG12	F040CH	SEG12								○	○
SEG13	F040DH	SEG13								○	○
SEG14	F040EH	SEG14								○	○
SEG15	F040FH	SEG15								○	○
SEG16	F0410H	SEG16								○	○
SEG17	F0411H	SEG17								○	○
SEG18	F0412H	SEG18								○	○
SEG19	F0413H	SEG19								○	○

表 19 - 13 LCD表示データ・レジスタの内容とセグメント出力/コモン出力の関係 (4/4)

(b) 6時分割, 8時分割 (2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG20	F0414H	SEG20								○	○
SEG21	F0415H	SEG21								○	○
SEG22	F0416H	SEG22								○	○
SEG23	F0417H	SEG23								○	—
SEG24	F0418H	SEG24								○	—
SEG25	F0419H	SEG25								○	○
SEG26	F041AH	SEG26								○	○
SEG27	F041BH	SEG27								○	○
SEG28	F041CH	SEG28								○	—
SEG29	F041DH	SEG29								○	○
SEG30	F041EH	SEG30								○	—
SEG31	F041FH	SEG31								○	—
SEG32	F0420H	SEG32								○	—
SEG33	F0421H	SEG33								○	○
SEG34	F0422H	SEG34								○	○
SEG35	F0423H	SEG35								○	○
SEG36	F0424H	SEG36								○	○
SEG37	F0425H	SEG37								○	○
SEG38	F0426H	SEG38								○	○
SEG39	F0427H	SEG39								○	○
SEG40	F0428H	SEG40								○	○
SEG41	F0429H	SEG41								○	—
SEG42	F042AH	SEG42								○	—
SEG43	F042BH	SEG43								○	○
SEG44	F042CH	SEG44								○	○

注 COM4-COM7 端子と SEG0-SEG3 端子は兼用しています。

備考 ○ : サポートする — : サポートしない

スタティック, 2時分割, 3時分割, または4時分割で使用する場合, LCD表示データ・レジスタの各アドレスの下位4ビットはAパターン領域, 上位4ビットはBパターン領域となります。

Aパターン領域のデータとCOM信号の対応は, ビット0⇔COM0, ビット1⇔COM1, ビット2⇔COM2, ビット3⇔COM3となります。

Bパターン領域のデータとCOM信号の対応は, ビット4⇔COM0, ビット5⇔COM1, ビット6⇔COM2, ビット7⇔COM3となります。

BLON = LCDSEL = 0 選択時にはAパターン領域のデータを, BLON = 0, LCDSEL=1 選択時には, Bパターン領域のデータを, LCDパネルに表示します。

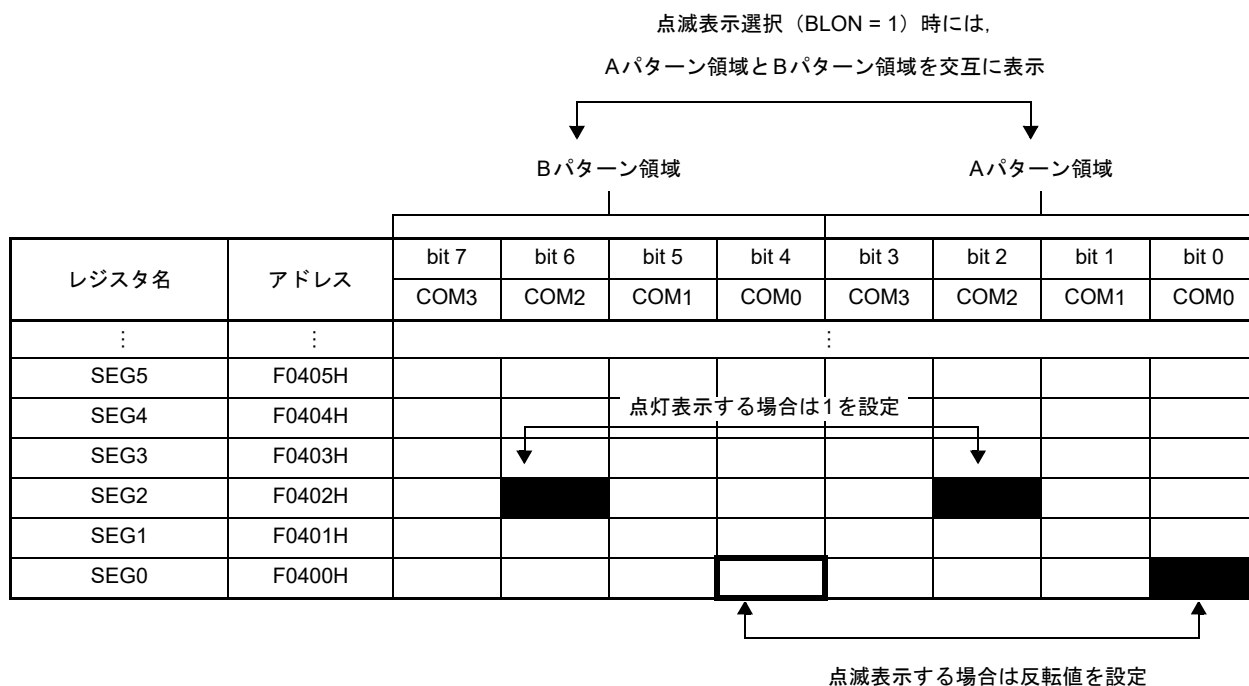
19.5 LCD表示レジスタの選択

RL78/L1Aでは、スタティック、2時分割、3時分割、または4時分割で使用する場合、BLONビットとLCDSELビットの設定により、LCD表示データ・レジスタを次の3種類から選択することができます。

- Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータ表示
- Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータ表示
- Aパターン領域とBパターン領域のデータを交互に表示（リアルタイム・クロック2 (RTC2)の定周期割り込みタイミングに対応した点滅表示）

注意 6時分割または8時分割使用時は、LCD表示データ・レジスタ（Aパターン、Bパターンまたは点滅表示）を選択することはできません。

図19-14 パターン切り替え表示時のLCD表示レジスタの設定例



19.5.1 Aパターン領域、Bパターン領域のデータ表示

BLON = LCDSEL = 0 設定時では、Aパターン領域（LCD表示データ・レジスタの下位4ビット）のデータがLCD表示レジスタとして出力されます。

BLON = 0, LCDSEL = 1 設定時では、Bパターン領域（LCD表示データ・レジスタの上位4ビット）のデータがLCD表示レジスタとして出力されます。

表示領域については、19.4 LCD表示データ・レジスタを参照してください。

19.5.2 点滅表示（Aパターン領域とBパターン領域のデータを交互に表示）

BLON = 1設定時では、リアルタイム・クロック2 (RTC2)の定周期割り込み(INTRTC)タイミングに対応して、Aパターン領域とBパターン領域のデータを交互に表示します。RTCの定周期割り込み(INTRTC, 0.5 s設定のみ)タイミングの設定については、第8章 リアルタイム・クロック2を参照してください。

LCDを点滅表示する場合、Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください(ex. F0400Hのビット0に1を設定し、点滅表示する場合は、F0400Hのビット4に0を設定)。また、LCDを点滅表示しない場合は、同値を設定してください(ex. F0402Hのビット2に1を設定し、点灯表示する場合は、F0402Hのビット6に1を設定)。

表示領域については、19.4 LCD表示データ・レジスタを参照してください。

次に、表示切り替えのタイミング動作を示します。

図19-15 Aパターン表示から点滅表示への切り替え動作

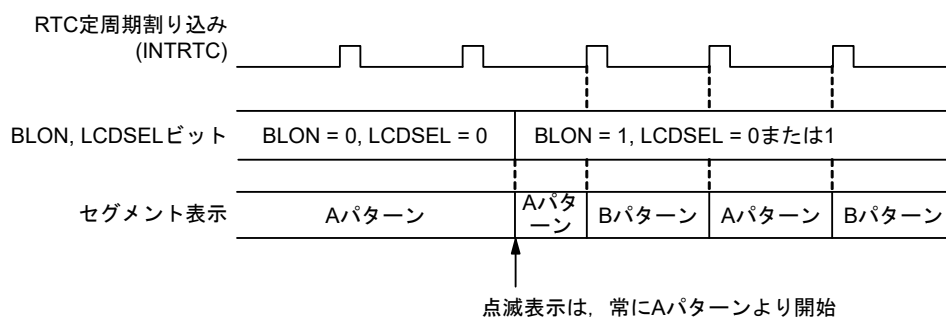
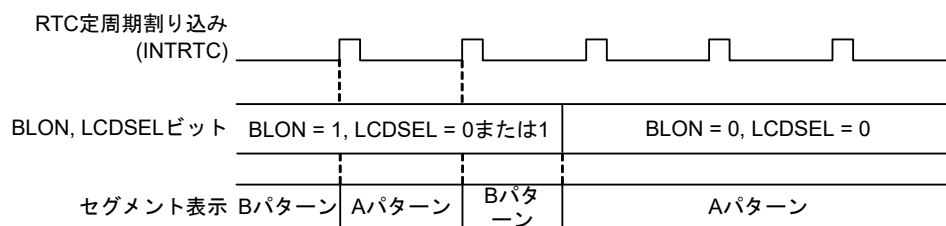


図19-16 点滅表示からAパターン表示への切り替え動作



19.6 LCDコントローラ／ドライバの設定

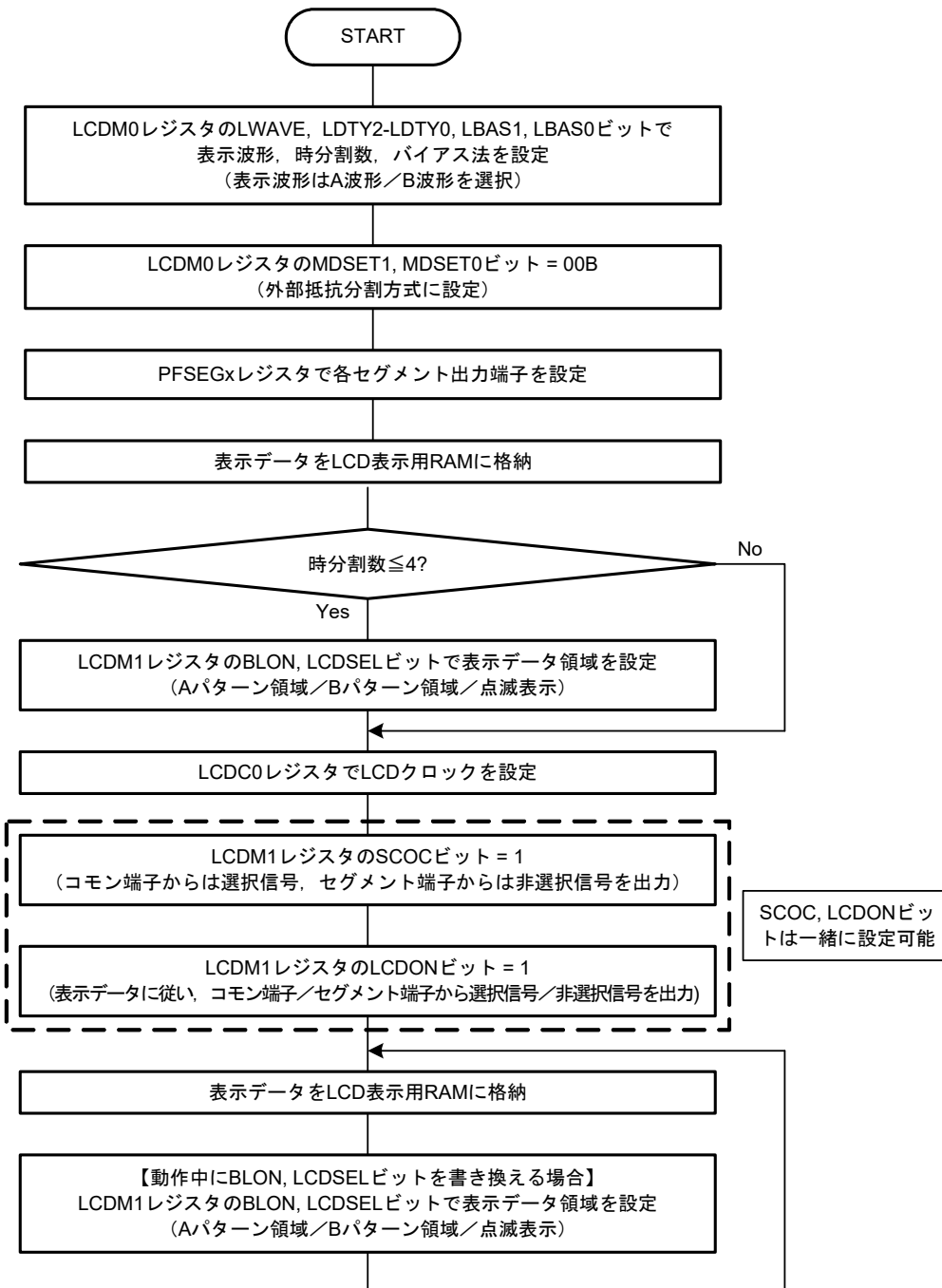
LCDコントローラ／ドライバの設定は、次のように行ってください。

注意1. LCDコントローラ／ドライバを動作させる場合は、必ず(1) - (3)の設定手順に従って動作させてください。設定手順を守らない場合の動作は保証しません。

注意2. (1) - (3)の設定手順は全てCPUの処理となっています。

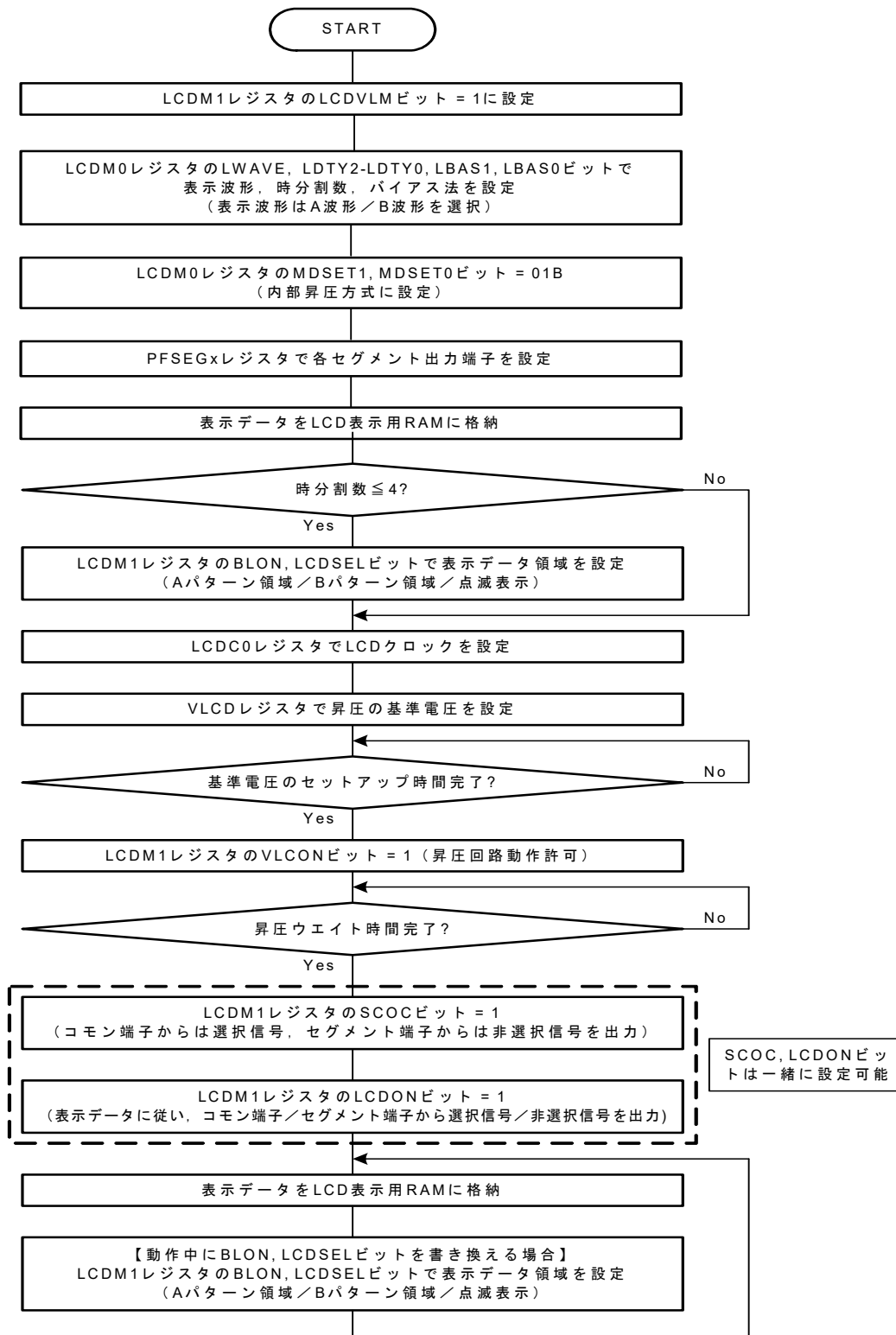
(1) 外部抵抗分割方式

図19 - 17 外部抵抗分割方式の設定手順



(2) 内部昇圧方式

図 19 - 18 内部昇圧方式の設定手順

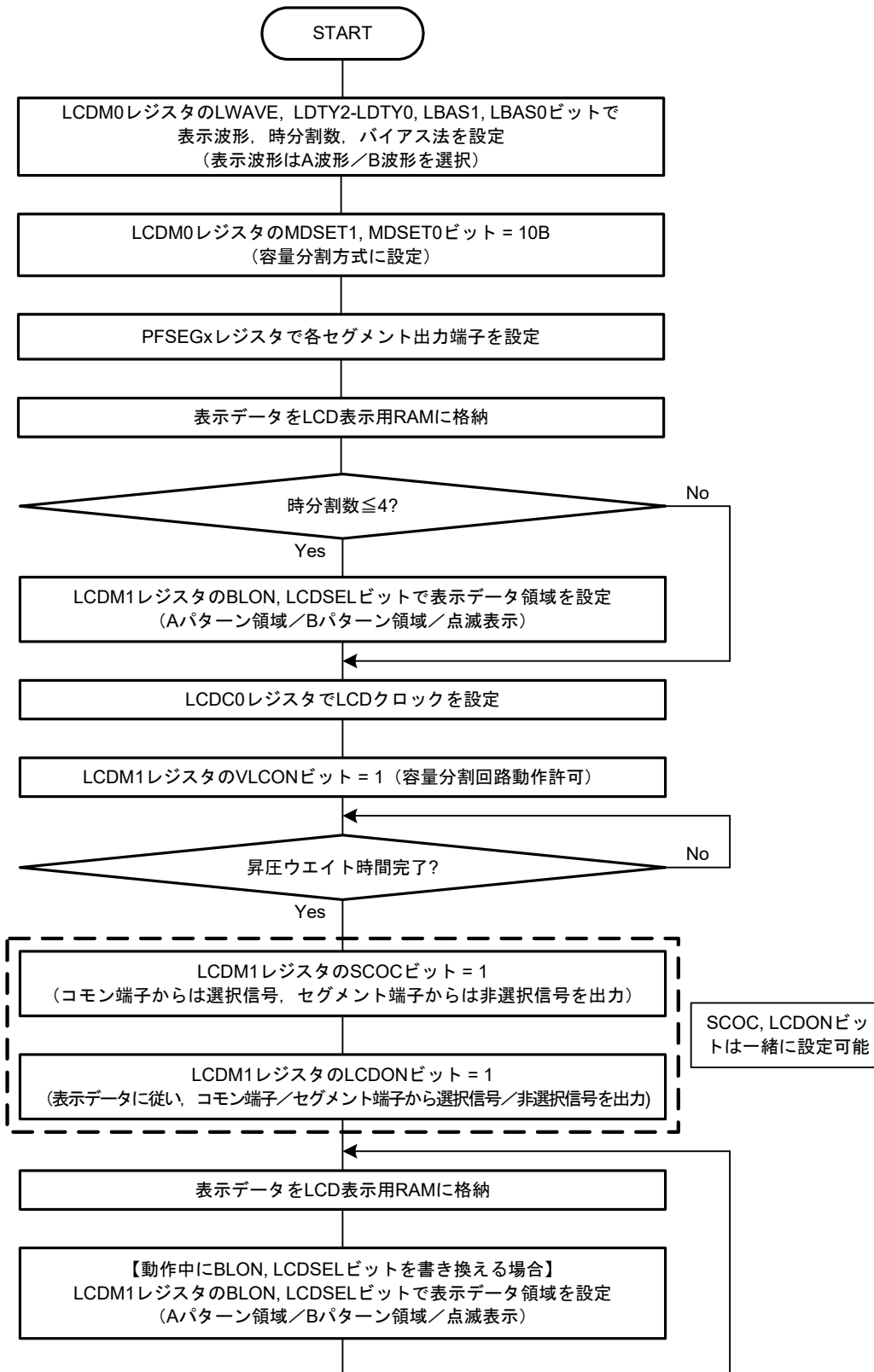


注意1. VLCDレジスタを変更しない場合でもセットアップ時間完了まで待ってください。

注意2. 基準電圧セットアップ時間, および昇圧ウエイト時間のスペックについては, 第35章 電気的特性(A: TA = -40~+85°C)を参照してください。

(3) 容量分割方式

図 19 - 19 容量分割方式の設定手順



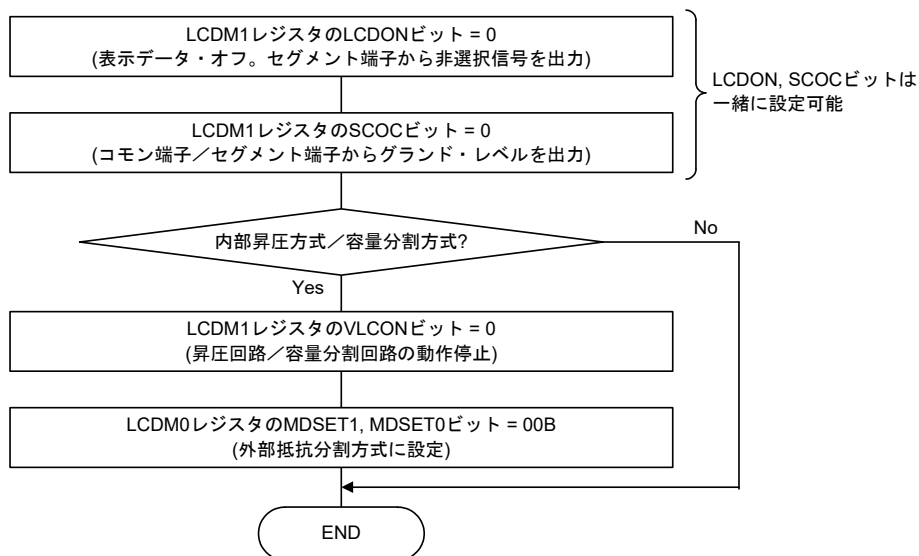
注意 昇圧ウエイト時間のスペックについては、第35章 電気的特性(A: TA = -40 ~ +85°C)を参照してください。

19.7 動作停止手順

LCDパネル表示中に動作を停止させたい場合は、次に示すフロー・チャートの設定で行ってください。

LCDM1レジスタのLCDONビット=0かつLCDM1レジスタのSCOCビット=0に設定することで、LCDの動作は停止します。

図 19 - 20 動作停止手順



注意 表示オン状態 (LCDM1レジスタのSCOC, LCDONビット = 11B) で、昇圧／容量分割回路を停止すること (LCDM1レジスタのVLCONビット = 0) は禁止です。設定した場合の動作は保証しません。必ず表示オフ (LCDM1レジスタのSCOC, LCDONビット = 00B) にしてから昇圧／容量分割回路を停止 (LCDM1レジスタのVLCONビット = 0) してください。

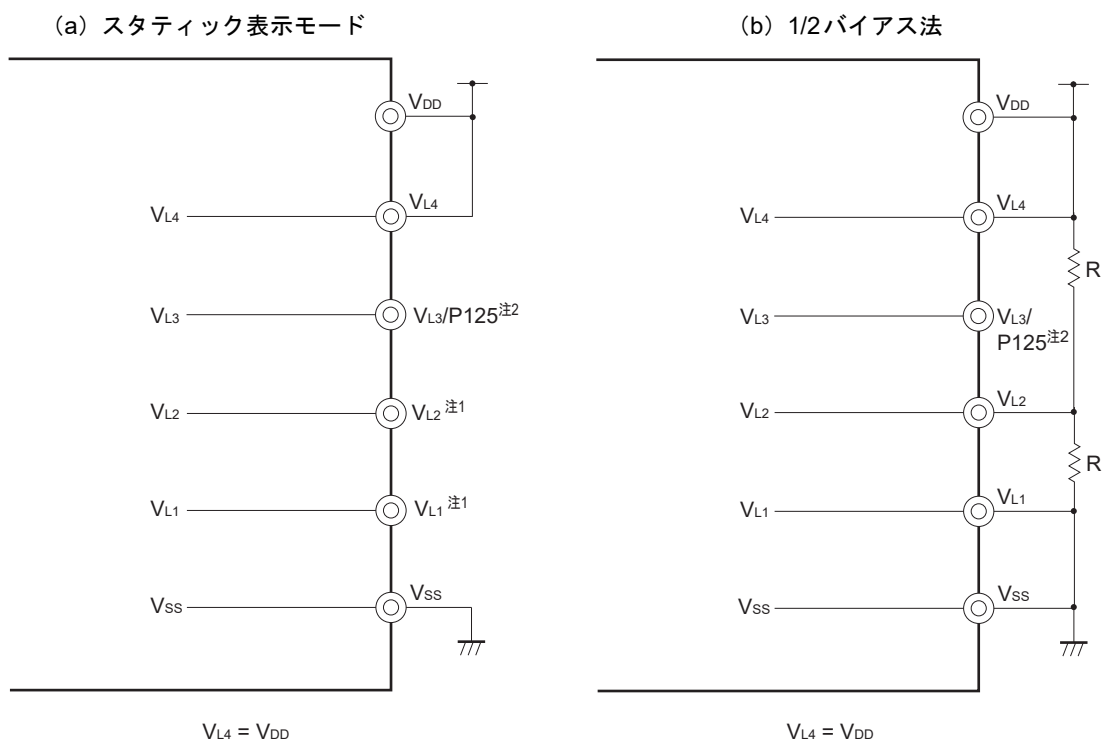
19.8 LCD駆動電圧 VL1, VL2, VL3, VL4の供給

LCD駆動用電源の生成方法として、外部抵抗分割方式、内部昇圧方式、容量分割方式の3種類を選択できます。

19.8.1 外部抵抗分割方式

図19-21、図19-22に各バイアス法に応じたLCD駆動電圧の接続例を示します。

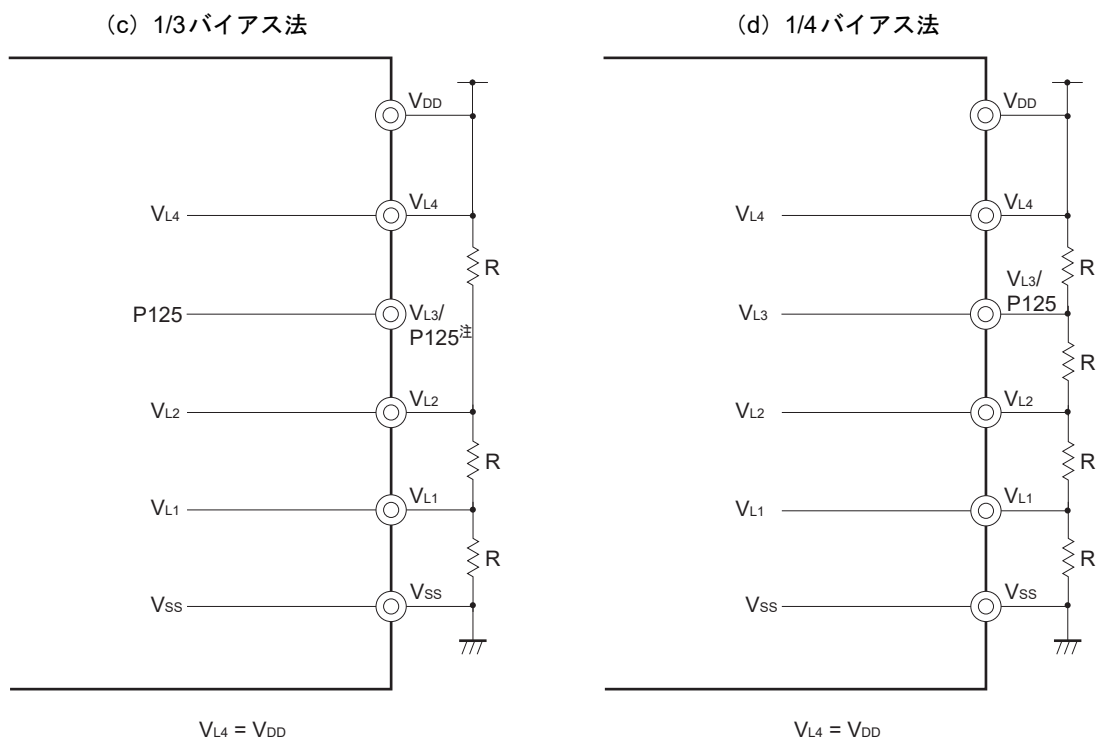
図19-21 LCD駆動用電源の接続例（外部抵抗分割方式）（1/2）



注1. VL1, VL2は、GNDもしくはオープンにしてください。

注2. VL3は、ポート（P125）として使用できます。

図 19 - 22 LCD 駆動用電源の接続例 (外部抵抗分割方式) (2/2)



注 VL3は、ポート (P125) として使用できます。

注意 外部抵抗分割用抵抗 R の参考値は、10 kΩ ~ 1 MΩ です。また、VL1-VL4 端子の電位を安定させる場合には、必要に応じて、VL1-VL4 端子-GND 間にコンデンサを接続してください。これらの参考値は、0.47 μF 程度です。使用する LCD パネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分に行った上で、値を調整して決定してください。

19.8.2 内部昇圧方式

RL78/L1Aは、LCD駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ（ $0.47\mu\text{F}\pm 30\%$ ）により、LCD駆動電圧を生成します。内部昇圧方式は、1/3バイアス法または1/4バイアス法のみ使用できます。

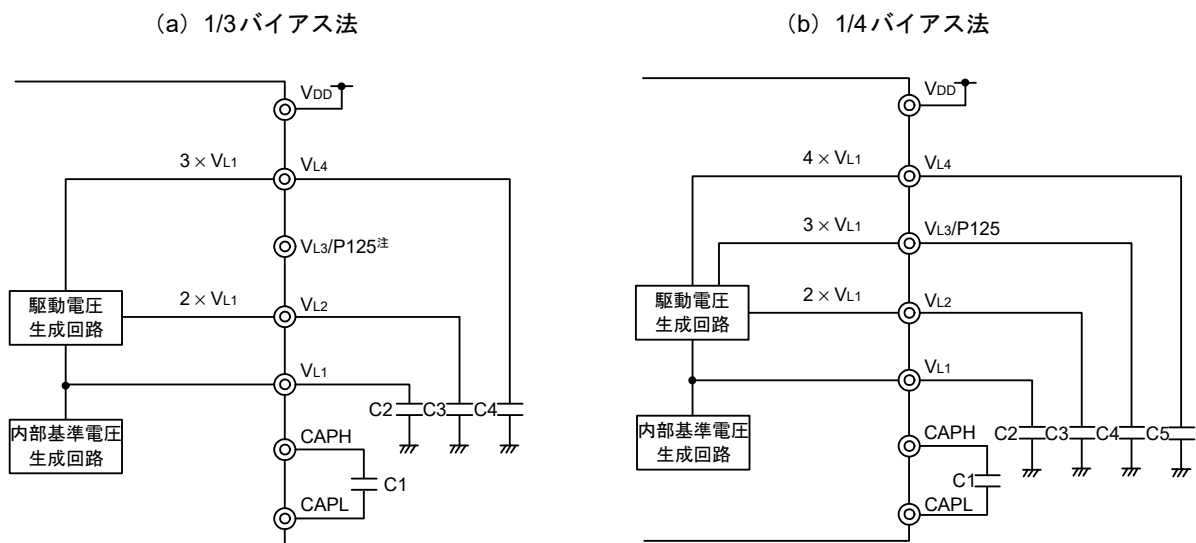
内部昇圧方式のLCD駆動電圧は、本体とは別の電源なので、VDDの変化に関わらず、一定の電圧を供給できます。

また、LCD昇圧制御レジスタ（VLCD）の設定により、コントラストを調整することができます。

表 19 - 14 LCD駆動電圧（内部昇圧方式）

表示モード	1/3バイアス法	1/4バイアス法
LCD駆動用電源端子		
VL4	$3\times V_{L1}$	$4\times V_{L1}$
VL3	—	$3\times V_{L1}$
VL2	$2\times V_{L1}$	$2\times V_{L1}$
VL1	LCD基準電圧	LCD基準電圧

図 19 - 23 LCD駆動電源の接続例（内部昇圧方式）



注 VL3は、ポート（P125）として使用できます。

備考 なるべくリークが少ないコンデンサをご使用ください。

なお、C1は無極性コンデンサにしてください。

19.8.3 容量分割方式

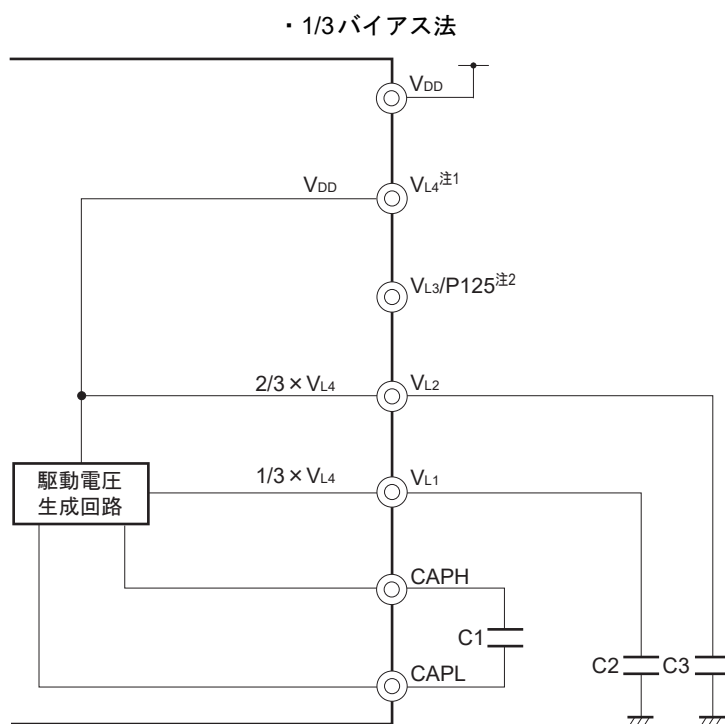
RL78/L1Aは、LCD駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ（ $0.47\mu\text{F}\pm 30\%$ ）により、LCD駆動電圧を生成します。容量分割方式は、1/3バイアス法のみ使用できます。

外部抵抗分割方式とは異なり、容量分割方式では常時電流が流れないため、消費電流を低減することができます。

表 19 - 15 LCD駆動電圧（容量分割方式）

LCD駆動電源端子	表示モード	1/3バイアス法
V _{L4}	V _{DD}	V _{DD}
V _{L3}	—	—
V _{L2}		$2/3 \times V_{L4}$
V _{L1}		$1/3 \times V_{L4}$

図 19 - 24 LCD駆動電源の接続例（容量分割方式）



注1. 内部昇圧方式に切り替えて使用する場合は、図 19 - 23 LCD駆動電源の接続例（内部昇圧方式）のようにコンデンサC4を接続してください。

注2. VL3は、ポート（P125）として使用できます。

備考 なるべくリークの少ないコンデンサをご使用ください。
なお、C1は無極性コンデンサにしてください。

19.9 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧VLCD）以上になると点灯します。VLCD以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお、2時分割の場合のCOM2, COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

また、6時分割、8時分割以外の場合のCOM4-COM7端子および6時分割の場合のCOM6, COM7端子は、オープンまたはセグメント端子として使用してください。

表 19 - 16 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック	↑	↑	↑	↑	注	注	注	注
2時分割	↑	↑	オープン	オープン	注	注	注	注
3時分割	↑	↑	↑	オープン	注	注	注	注
4時分割	↑	↑	↑	↑	注	注	注	注
6時分割	↑	↑	↑	↑	↑	↑	注	注
8時分割	↑	↑	↑	↑	↑	↑	↑	↑

注 オープン、またはセグメント端子として使用してください。

(2) セグメント信号

セグメント信号は、LCD表示データ・レジスタ（19.4 LCD表示データ・レジスタ参照）に対応しています。

8時分割方式で使用する場合、各表示データ・レジスタのビット0からビット7が、COM0からCOM7に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（SEG4-SEG44）に出力されます。

8時分割方式以外で使用する場合、Aパターン領域では、各表示データ・レジスタのビット0からビット3がCOM0からCOM3に、Bパターン領域では、各表示データ・レジスタのビット4からビット7がCOM0からCOM3に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（SEG0-SEG44）に出力されます。

以上のことから、LCD表示データ・レジスタには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかわかるのを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

備考 搭載するセグメント端子は、製品により異なります。

- 80ピン製品： SEG0-SEG6, SEG12-SEG22, SEG25-SEG27, SEG29, SEG33-SEG40, SEG43, SEG44
- 100ピン製品： SEG0-SEG44

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表 19 - 17に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときののみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表 19 - 17 LCD 駆動電圧

(a) スタティック表示モード

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
V_{L4}/V_{SS}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2 バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	V_{L2}	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$	$+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$

(c) 1/3 バイアス法 (A 波形, B 波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}/V_{L1}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル	V_{L1}/V_{L2}	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$+\frac{1}{3}V_{LCD}/-\frac{1}{3}V_{LCD}$

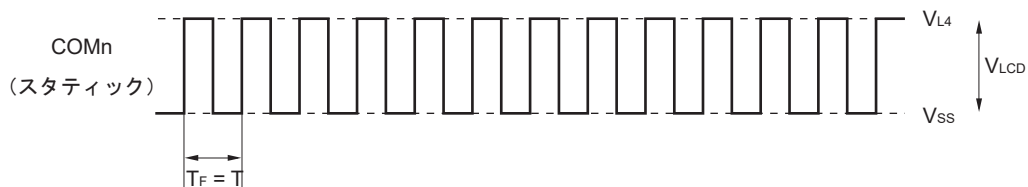
(d) 1/4 バイアス法 (A 波形, B 波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$
非選択信号レベル	V_{L1}/V_{L3}	$-\frac{1}{4}V_{LCD}/+\frac{1}{4}V_{LCD}$	$+\frac{1}{4}V_{LCD}/-\frac{1}{4}V_{LCD}$

図19-25-図19-27にコモン信号波形を, 図19-28-図19-30にコモン信号とセグメント信号の電圧と位相を示します。

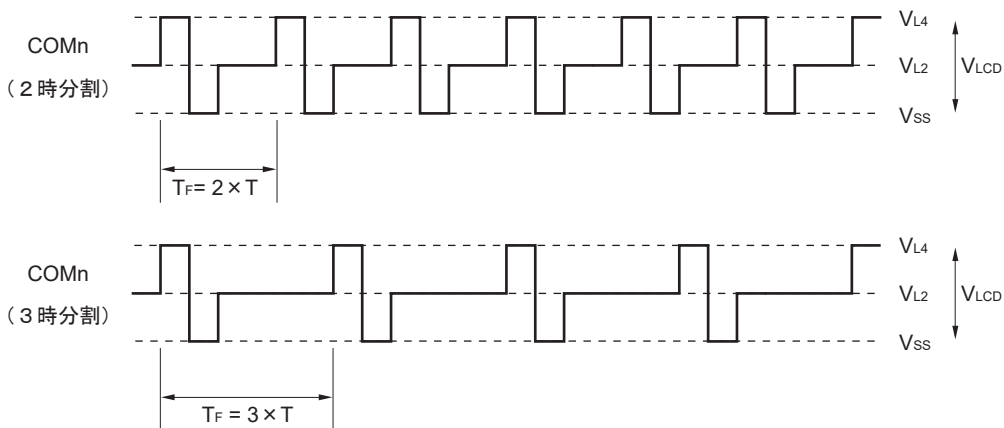
図19-25 コモン信号波形 (1/3)

(a) スタティック表示モード



T : LCDクロックの1周期分 T_F : フレーム周波数

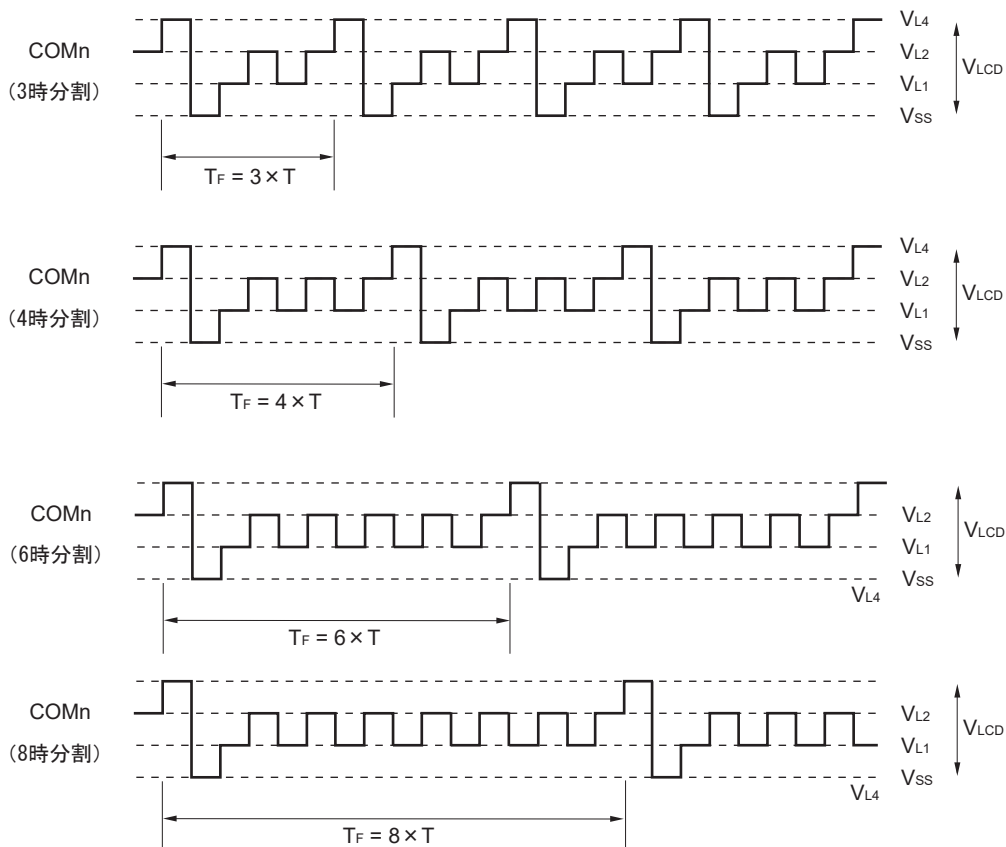
(b) 1/2バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

図19-26 コモン信号波形 (2/3)

(c) 1/3バイアス法



T : LCDクロックの1周期分 TF : フレーム周波数

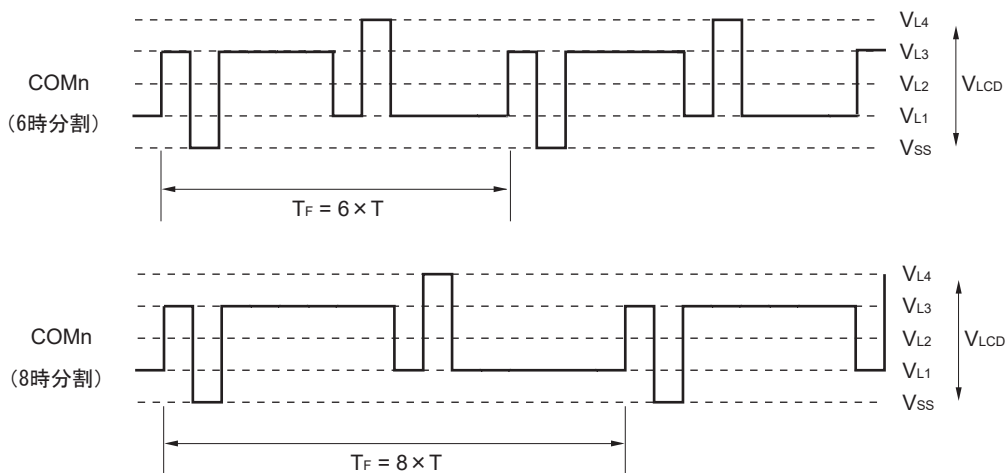
< LCDフレーム周波数の算出例 (4時分割使用時) >

LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 64 Hz

図 19 - 27 コモン信号波形 (3/3)

(d) 1/4バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

<LCDフレーム周波数の算出例 (8時分割使用時) >

LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 32 Hz

図19-28 コモン信号とセグメント信号の電圧と位相 (1/3)

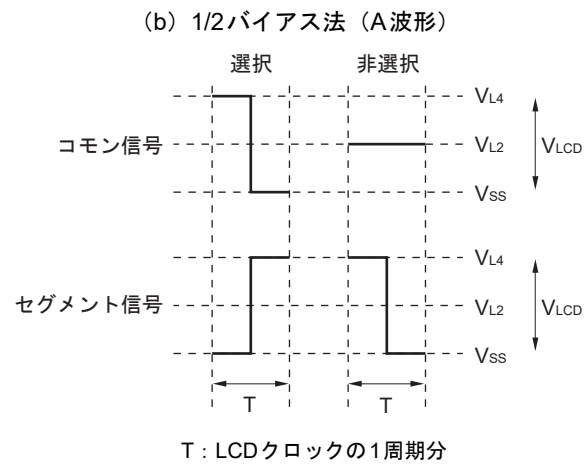
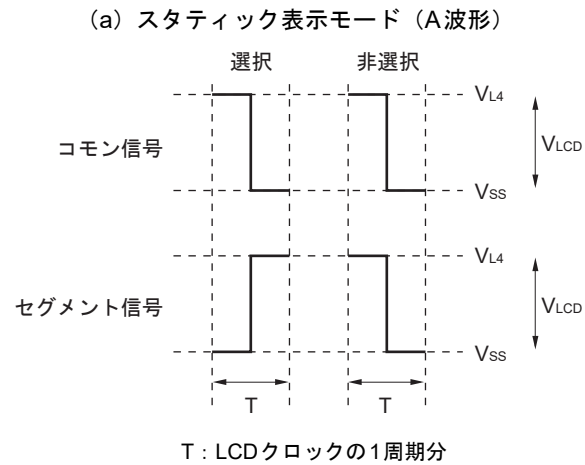


図19-29 コモン信号とセグメント信号の電圧と位相 (2/3)

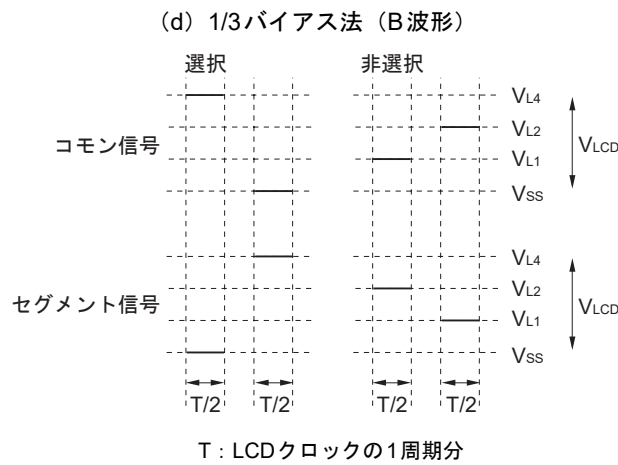
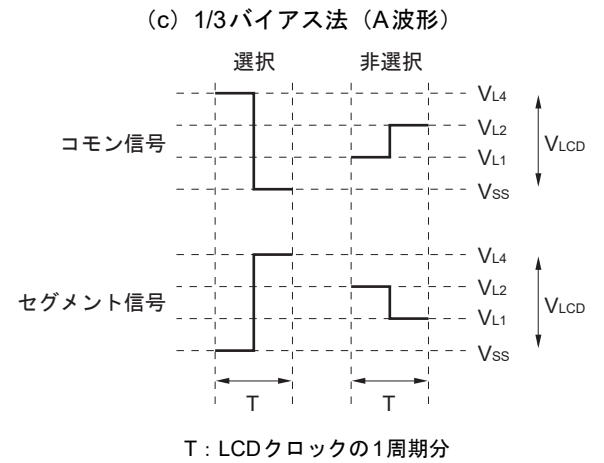
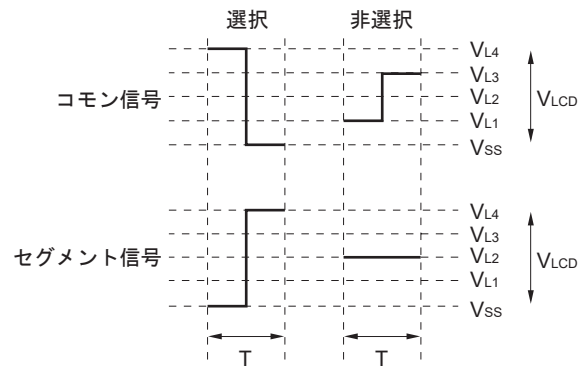


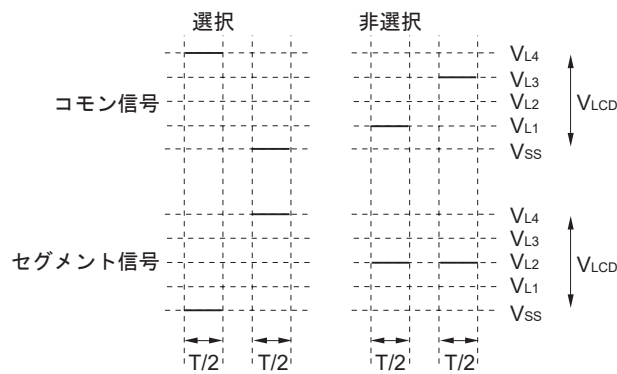
図19-30 コモン信号とセグメント信号の電圧と位相 (3/3)

(e) 1/4バイアス法 (A波形)



T : LCDクロックの1周期分

(f) 1/4バイアス法 (B波形)



T : LCDクロックの1周期分

19.10 表示モード

19.10.1 スタティック表示例

図19-32は、図19-31の表示パターンを持つスタティック方式の3桁のLCDパネルとセグメント信号(SEG0-SEG23)およびコモン信号(COM0)との接続を示します。表示例は12.3で、表示データ・レジスタ(F0400H-F0417H)の内容はこれに対応しています。

ここでは2桁目の2.(?)を例にとって説明します。図19-31の表示パターンに従って、COM0のコモン信号のタイミングで表19-18に示すような選択、非選択電圧をSEG8-SEG15端子に出力する必要があります。

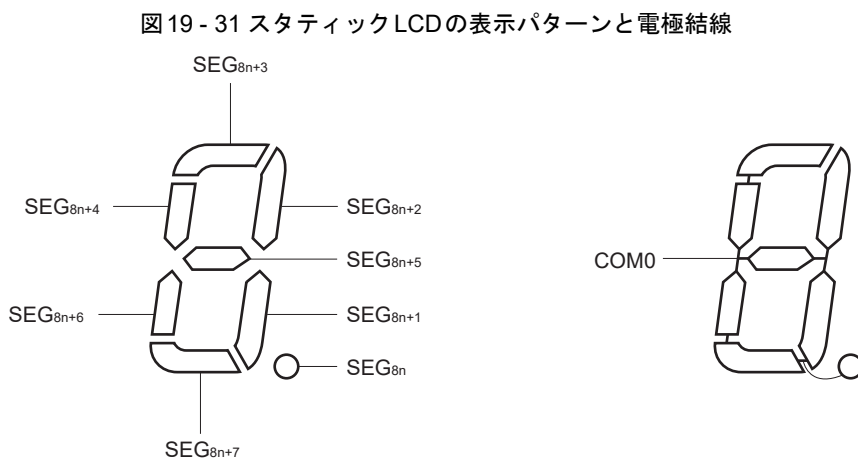
表 19 - 18 選択、非選択電圧 (COM0)

セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・レジスタ(F0408H-F040FH)のビット0には、10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を図19-33に示します。COM0との選択タイミングでSEG11が選択電圧になるときに、LCD点灯レベルである+VLCD/-VLCDの交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。



備考 100ピン製品 : n = 0-4

図19-32 スタティックLCDパネルの結線例

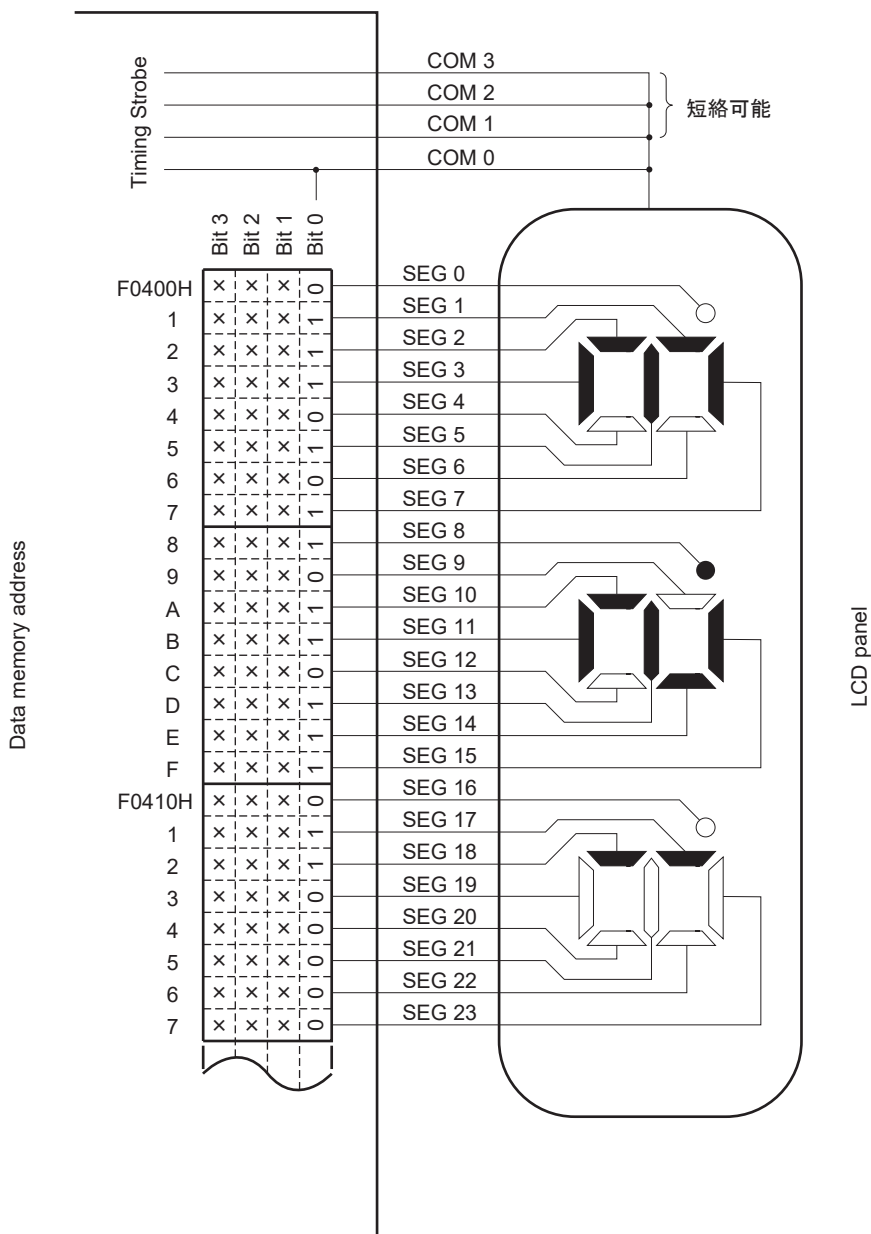
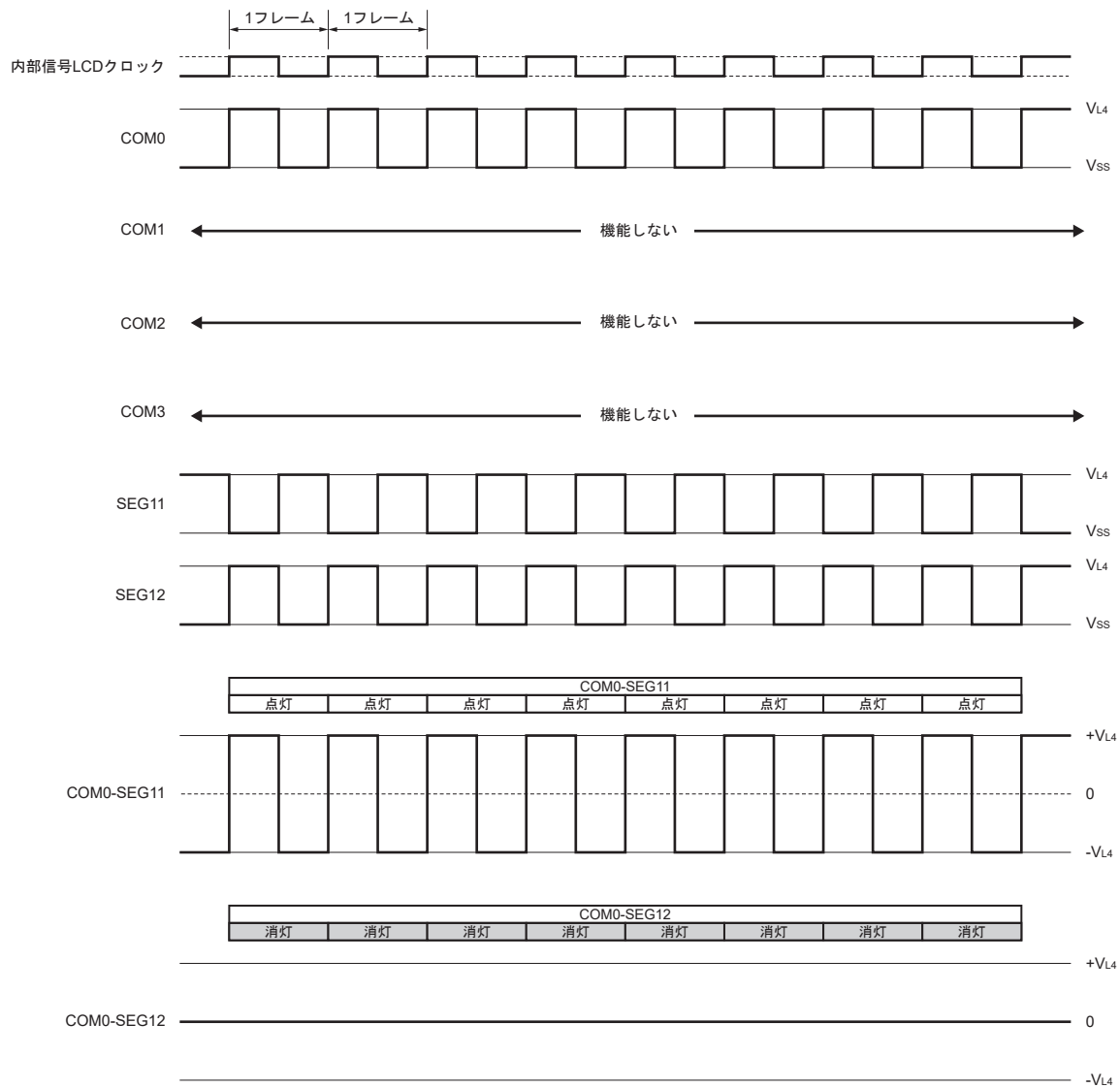


図 19 - 33 SEG11, SEG12とCOM0とのスタティックLCD駆動波形例



19.10.2 2時分割表示例

図19-35は、図19-34の表示パターンを持つ2時分割方式の6桁LCDパネルとセグメント信号(SEG0-SEG23)およびコモン信号(COM0, COM1)との接続を示します。表示例は12345.6で、表示データ・レジスタ(F0400H-F0417H)の内容はそれらに対応しています。

ここでは4桁目の3(3)を例にとって説明します。図19-34の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表19-19に示すような選択、非選択電圧をSEG12-SEG15端子に出力する必要があります。

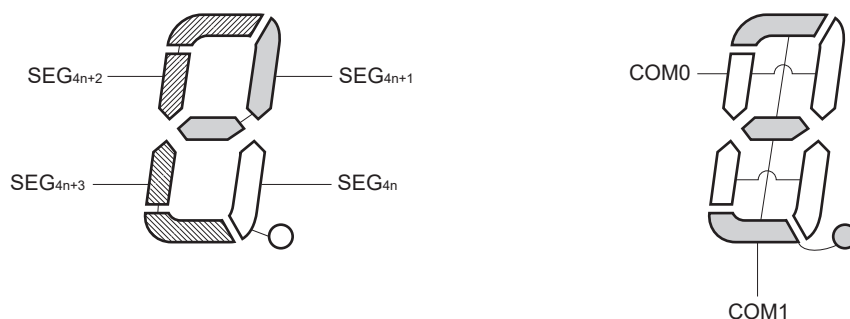
表19-19 選択、非選択電圧 (COM0, COM1)

セグメント コモン	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえばSEG15に対応する表示データ・レジスタ(F040FH番地)には、 $\times 10$ を用意すればよいことが分かります。

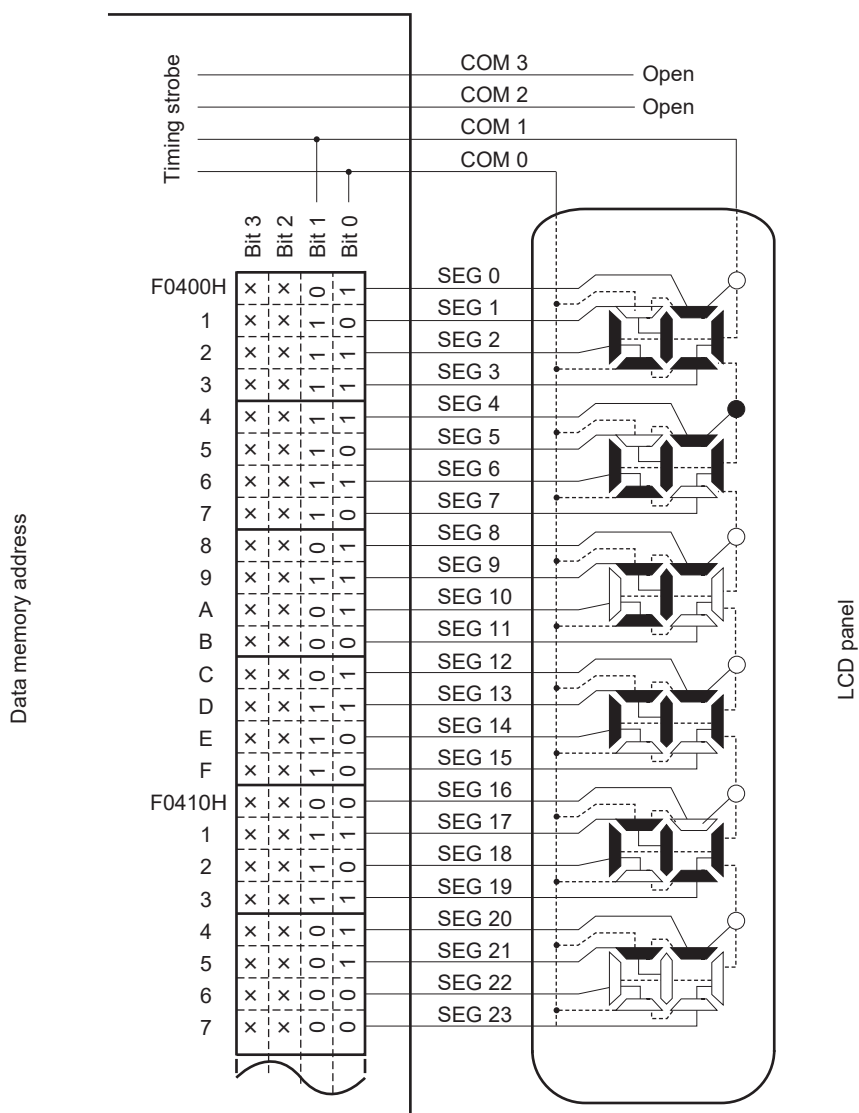
SEG15と各コモン信号間のLCD駆動波形例を図19-36に示します。COM1の選択タイミングでSEG15が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図19-34 2時分割LCD表示パターンと電極結線



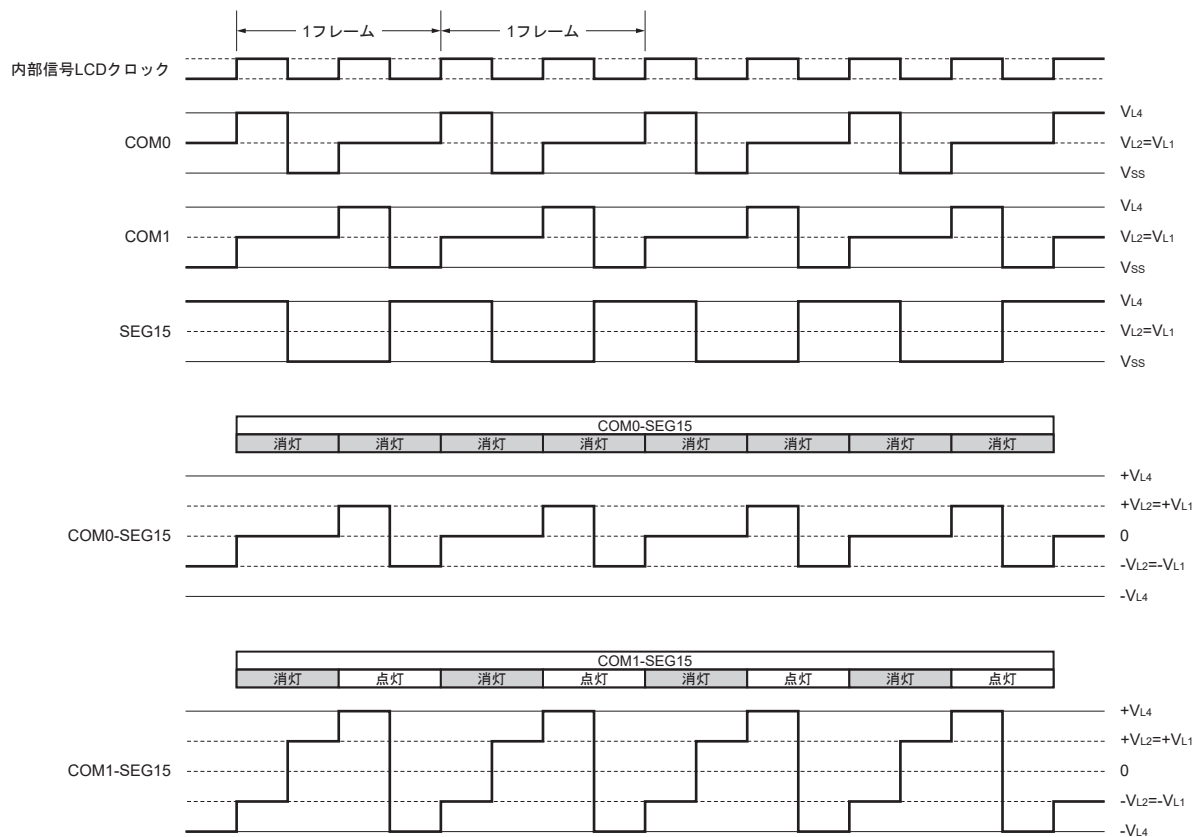
備考 100ピン製品 : $n = 0-10$

図19 - 35 2時分割LCDパネルの結線例



× : 2時分割表示のため、常に任意のデータをストア可能です。

図19 - 36 SEG15と各コモン信号間の2時分割LCD駆動波形例（1/2バイアス法）



19.10.3 3時分割表示例

図19-38は、図19-37の表示パターンを持つ3時分割方式の8桁LCDパネルとセグメント信号(SEG0-SEG23)およびコモン信号(COM0-COM2)との接続を示します。表示例は123456.78で、表示データ・レジスタ(F0400H-F0417H)の内容はこれに対応しています。

ここでは3桁目の6.(6)を例にとって説明します。図19-37の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表19-20に示すような選択、非選択電圧をSEG6-SEG8端子に出力する必要があります。

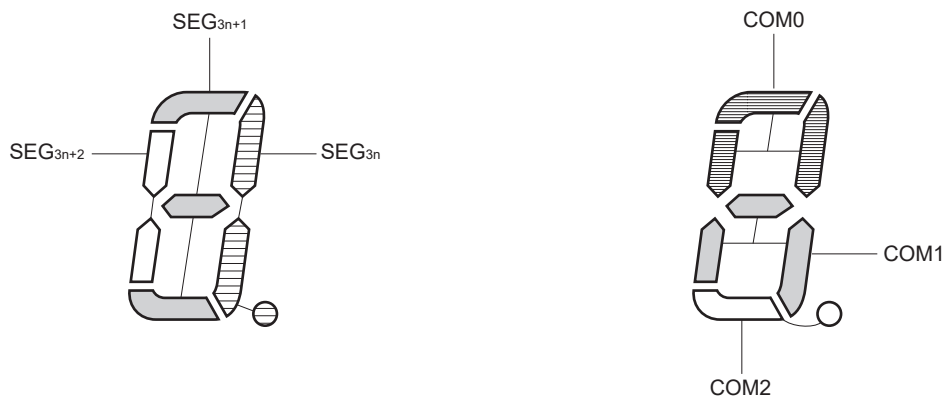
表19-20 選択、非選択電圧 (COM0-COM2)

セグメント コモン	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これによりSEG6に対応する表示データ・レジスタ(F0406H番地)には、×110を用意すればよいことが分かります。

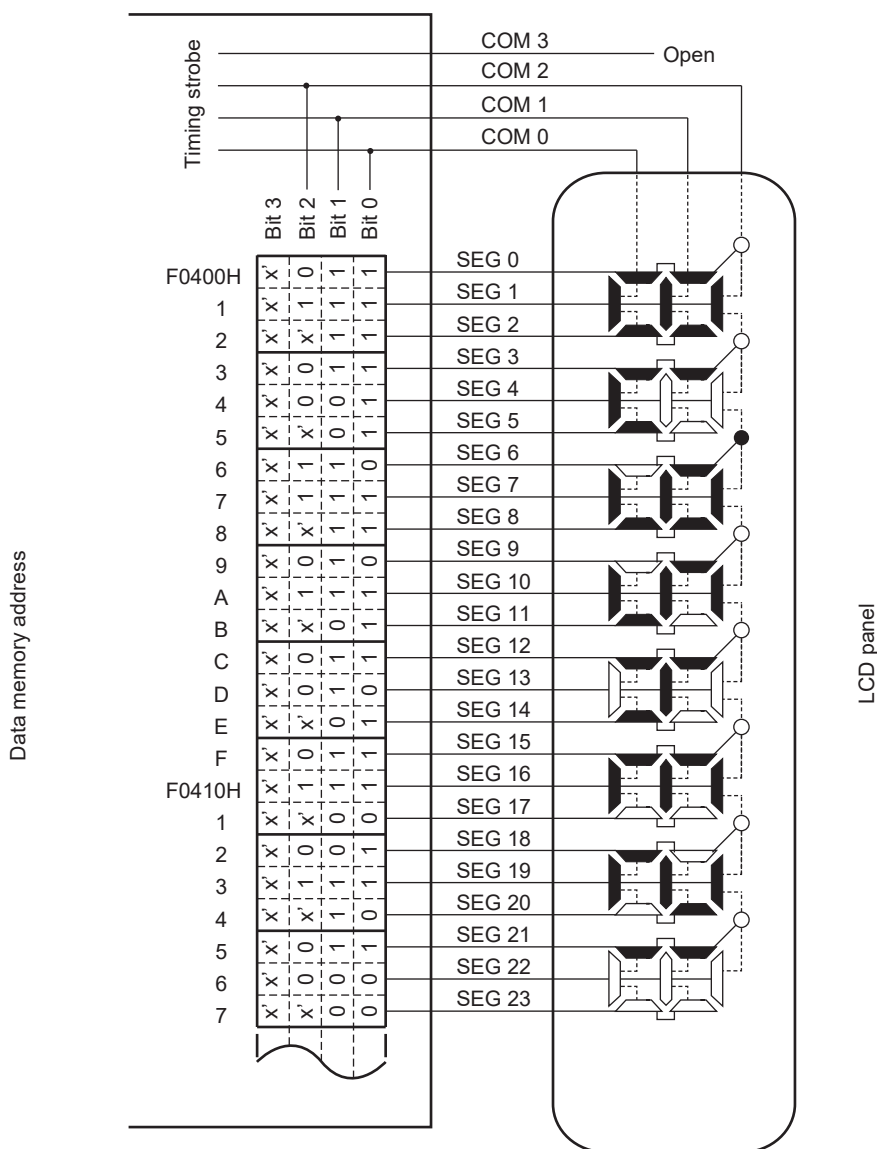
SEG6と各コモン信号間のLCD駆動波形例を図19-39(1/2バイアス法)、図19-40(1/3バイアス法)に示します。COM1の選択タイミングでSEG6が選択電圧のとき、およびCOM2の選択タイミングでSEG6が選択電圧のときに、LCD点灯レベルである+VLCD/-VLCDの交流矩形波が発生することが分かります。

図19-37 3時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-14

図19 - 38 3時分割LCDパネルの結線例



X': LCDパネルに対応セグメントがないため任意のデータをストア可能です。

×: 3時分割表示のため、常に任意のデータをストア可能です。

図19 - 39 SEG6と各コモン信号間の3時分割LCD駆動波形例（1/2バイアス法）

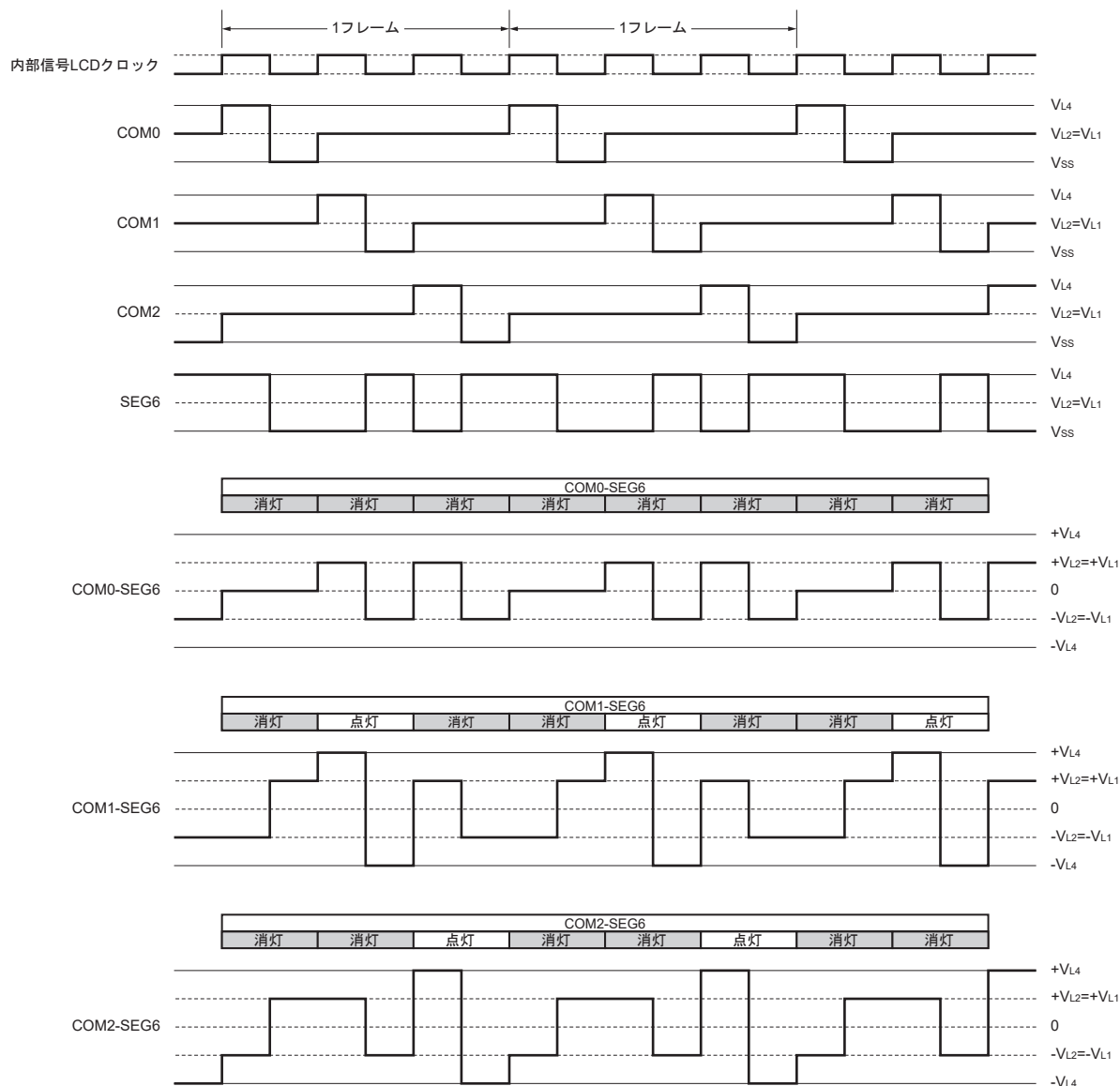
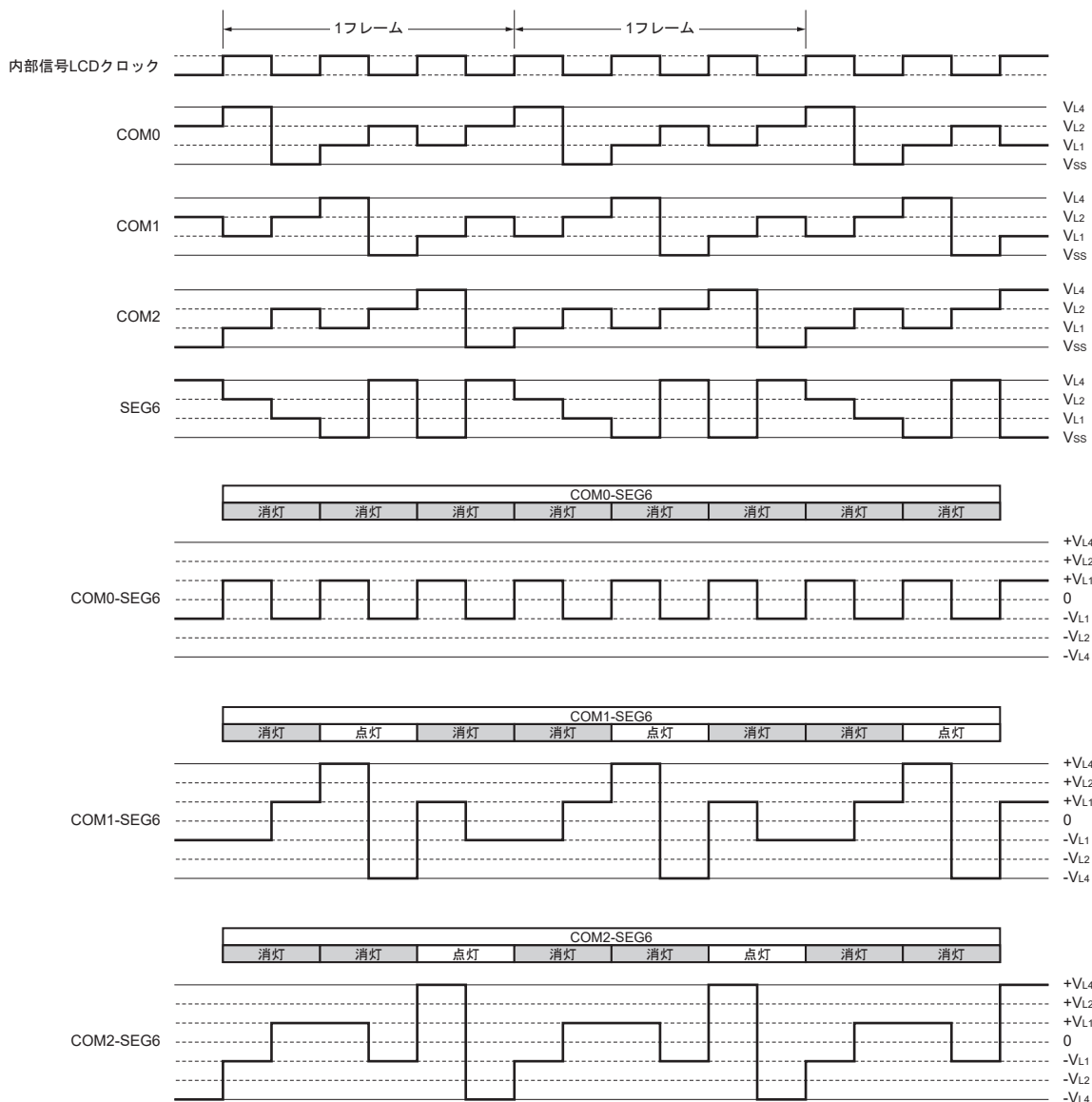


図 19 - 40 SEG6と各コモン信号間の3時分割LCD駆動波形例（1/3バイアス法）



19.10.4 4時分割表示例

図19-42は、図19-41の表示パターンを持つ4時分割方式の12桁LCDパネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0-COM3）との接続を示します。表示例は123456.789012で、表示データ・レジスタ（F0400H-F0417H番地）の内容はこれに対応しています。

ここでは7桁目の6.（ $\bar{6}$ ）を例にとって説明します。図19-41の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表19-21に示すような選択、非選択電圧をSEG12, SEG13端子に出力する必要があります。

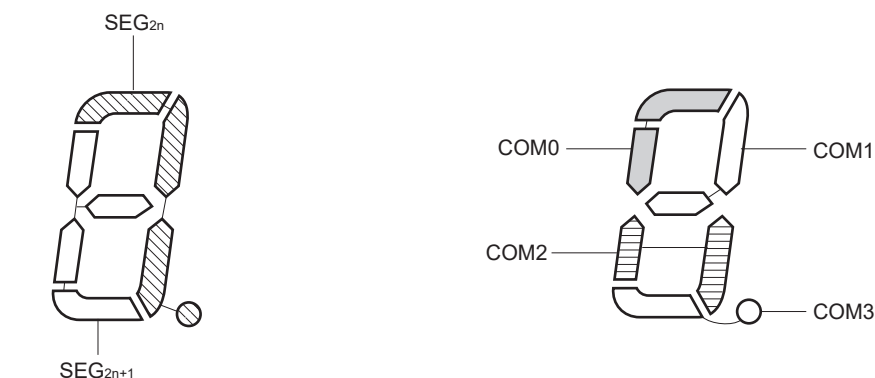
表19-21 選択、非選択電圧（COM0-COM3）

セグメント コモン	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりSEG12に対応する表示データ・レジスタ（F040CH番地）には、1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を図19-43に示します。COM0の選択タイミングでSEG12が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図19-41 4時分割LCD表示パターンと電極結線



備考 100ピン製品：n = 0-21

図19 - 42 4時分割LCDパネルの結線例

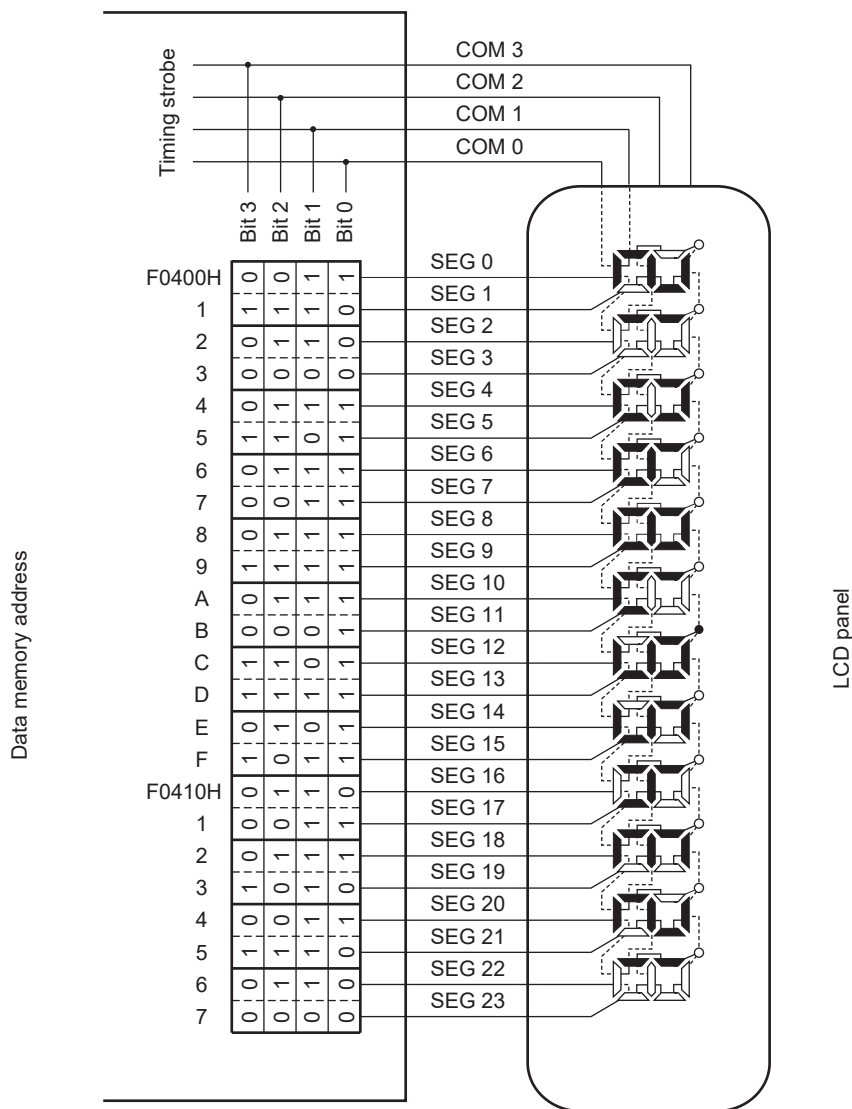


図19 - 43 SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（1/2）

(a) A波形の場合

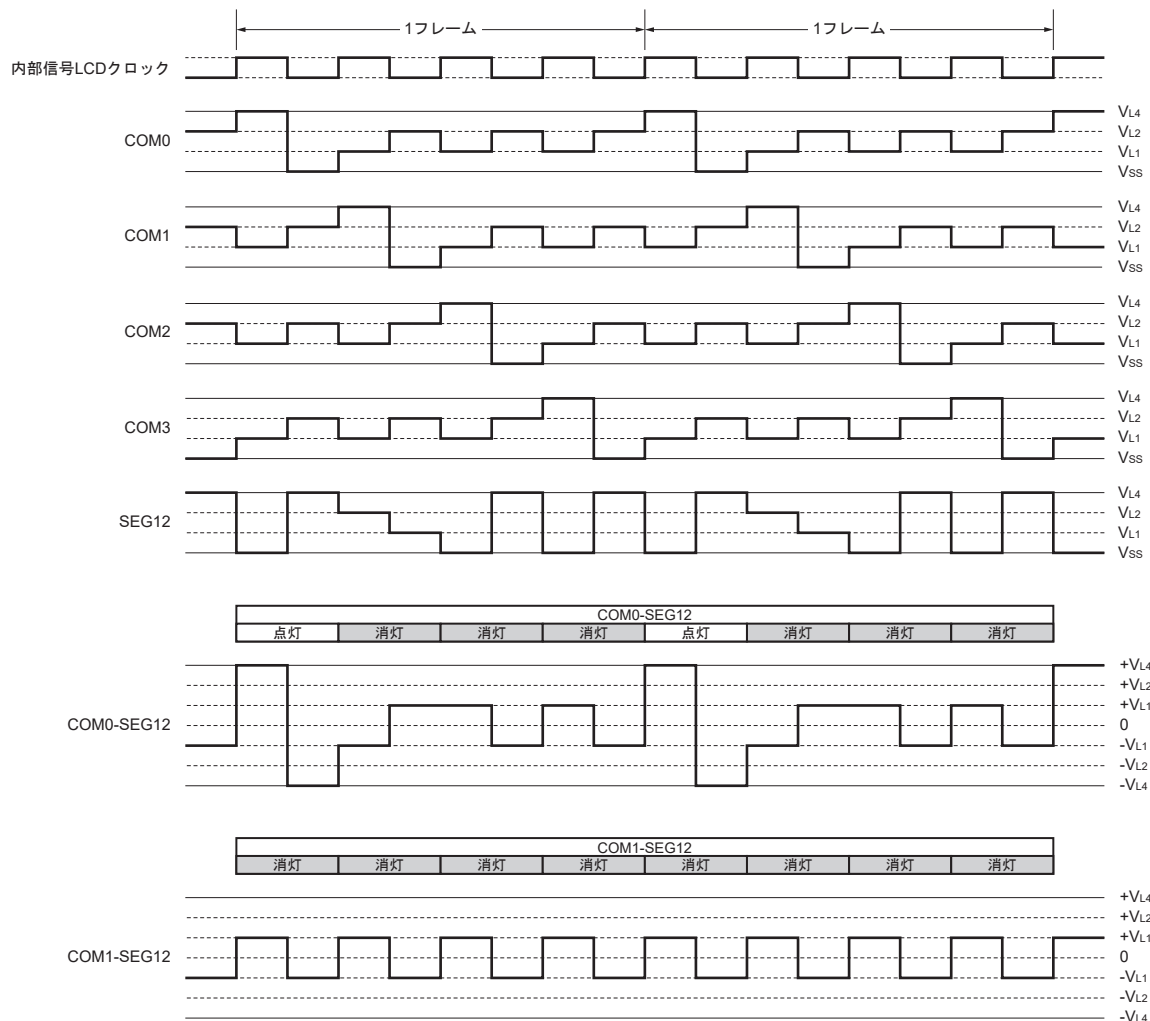
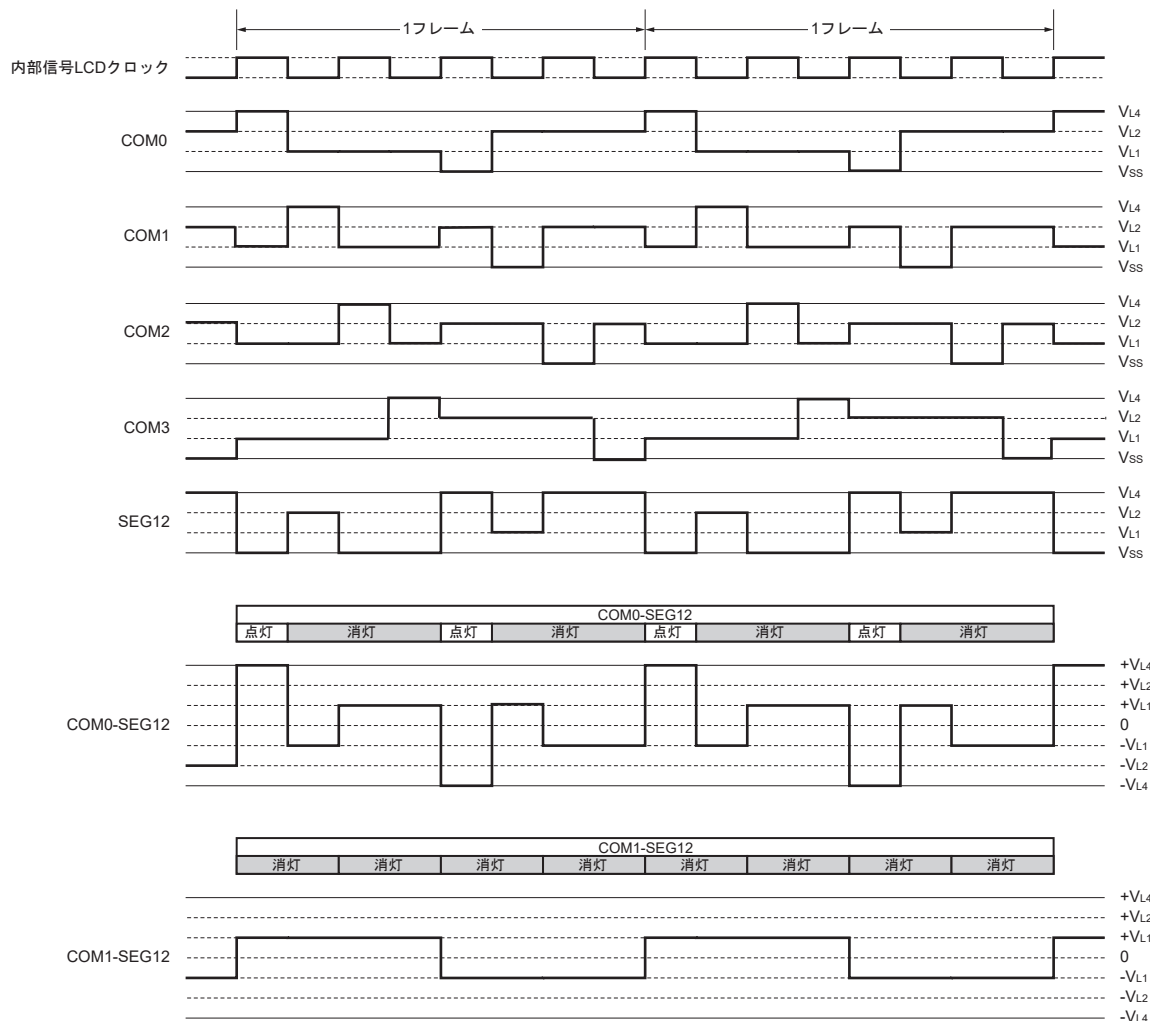


図19 - 44 SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（2/2）

(b) B波形の場合



19.10.5 6時分割表示例

図 19 - 46 は、図 19 - 45 の表示パターンを持つ 6 時分割方式の 15×6 のドット LCD パネルとセグメント信号 (SEG2-SEG16) およびコモン信号 (COM0-COM5) との接続を示します。表示例は 123 で、表示データ・レジスタ (F0402H-F0410H 番地) の内容はこれに対応しています。

ここでは 1 桁目の 3 (3) を例にとって説明します。図 19 - 45 の表示パターンに従って、COM0-COM5 の各コモン信号のタイミングで表 19 - 22 に示すような選択、非選択電圧を SEG2-SEG6 端子に出力する必要があります。

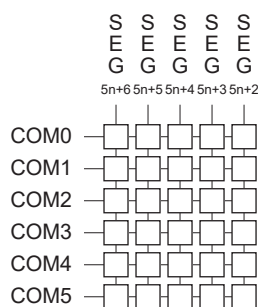
表 19 - 22 選択、非選択電圧 (COM0-COM5)

セグメント コモン	SEG2	SEG3	SEG4	SEG5	SEG6
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	選
COM5	非	選	選	選	非

これにより SEG2 に対応する表示データ・レジスタ (F0402H 番地) には、010001 を用意すればよいことが分かります。

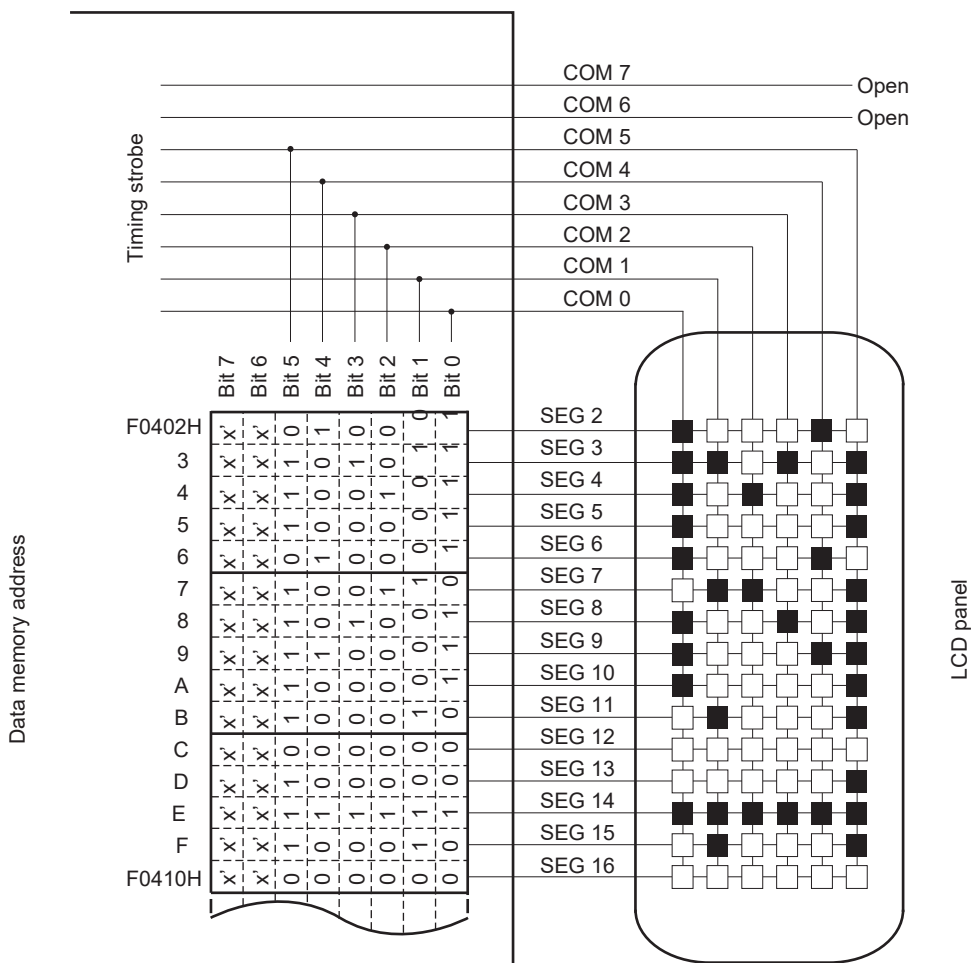
SEG2 と各コモン信号間の LCD 駆動波形例を図 19 - 47 に示します。COM0 の選択タイミングで SEG2 が選択電圧になるときに、LCD 点灯レベルの波形が発生することが分かります。

図 19 - 45 6 時分割 LCD 表示パターンと電極結線



備考 100ピン製品 : n = 0-7

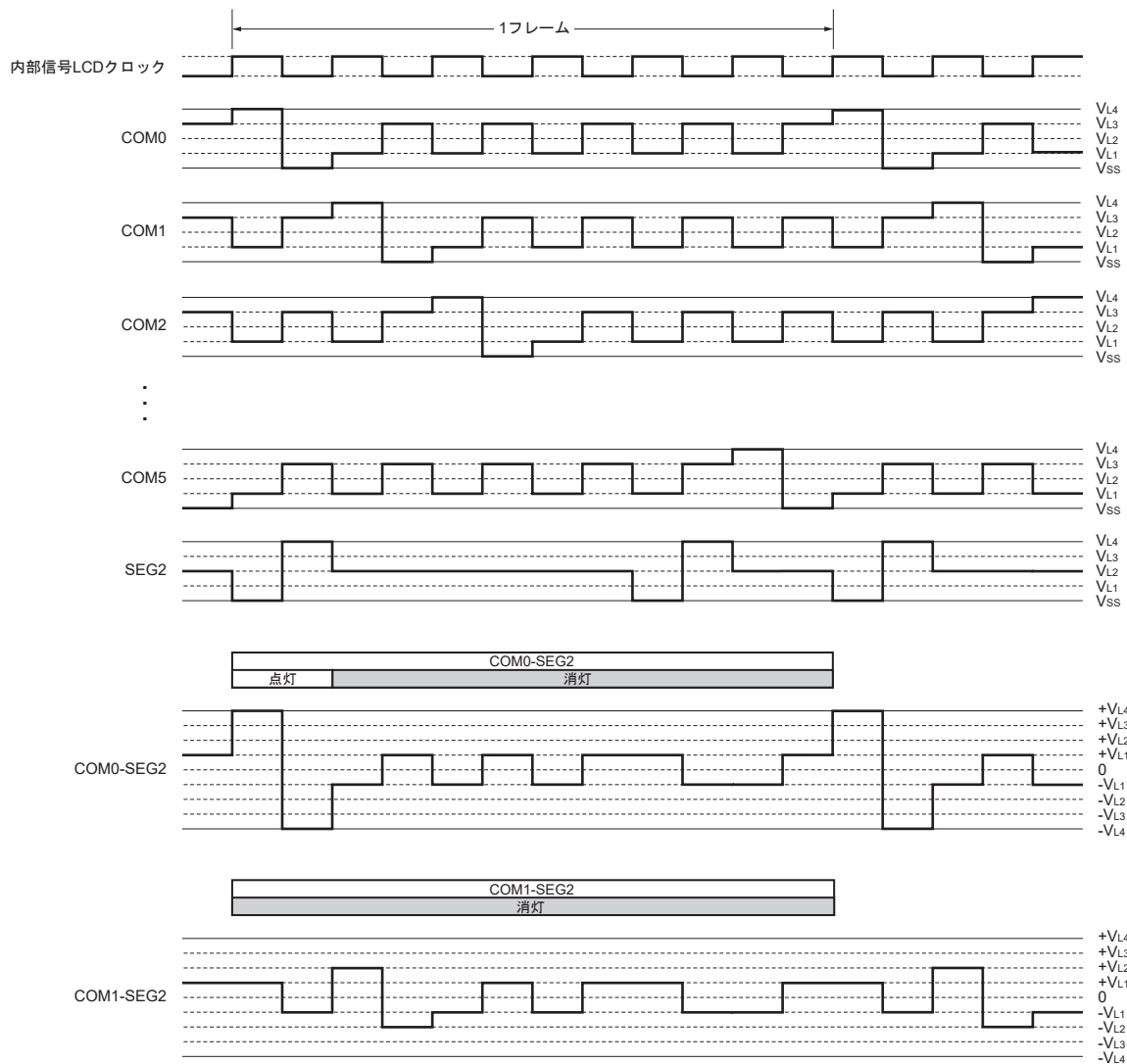
図19 - 46 6時分割LCDパネルの結線例



× : 6時分割表示のため、常に任意のデータをストア可能です。

図19 - 47 SEG2と各コモン信号間の6時分割LCD駆動波形例（1/4バイアス法）

(a) A波形の場合



19.10.6 8時分割表示例

図 19 - 49 は、図 19 - 48 の表示パターンを持つ 8 時分割方式の 15×8 のドット LCD パネルとセグメント信号 (SEG4-SEG18) およびコモン信号 (COM0-COM7) との接続を示します。表示例は 123 で、表示データ・レジスタ (F0404H-F0412H 番地) の内容はこれに対応しています。

ここでは 1 桁目の 3 (3) を例にとって説明します。図 19 - 48 の表示パターンに従って、COM0-COM7 の各コモン信号のタイミングで表 19 - 23 に示すような選択、非選択電圧を SEG4-SEG8 端子に出力する必要があります。

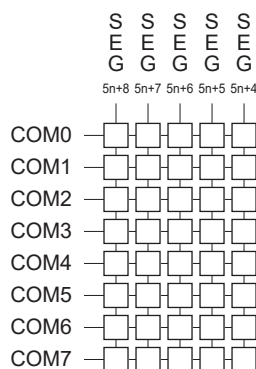
表 19 - 23 選択、非選択電圧 (COM0-COM7)

セグメント コモン	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	非
COM5	選	非	非	非	選
COM6	非	選	選	選	非
COM7	非	非	非	非	非

これにより SEG4 に対応する表示データ・レジスタ (F0404H 番地) には、00110001 を用意すればよいことが分かります。

SEG4 と各コモン信号間の LCD 駆動波形例を図 19 - 50 と図 19 - 51 に示します。COM0 の選択タイミングで SEG4 が選択電圧になるときに、LCD 点灯レベルの波形が発生することが分かります。

図 19 - 48 8時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-7

図19 - 49 8時分割LCDパネルの結線例

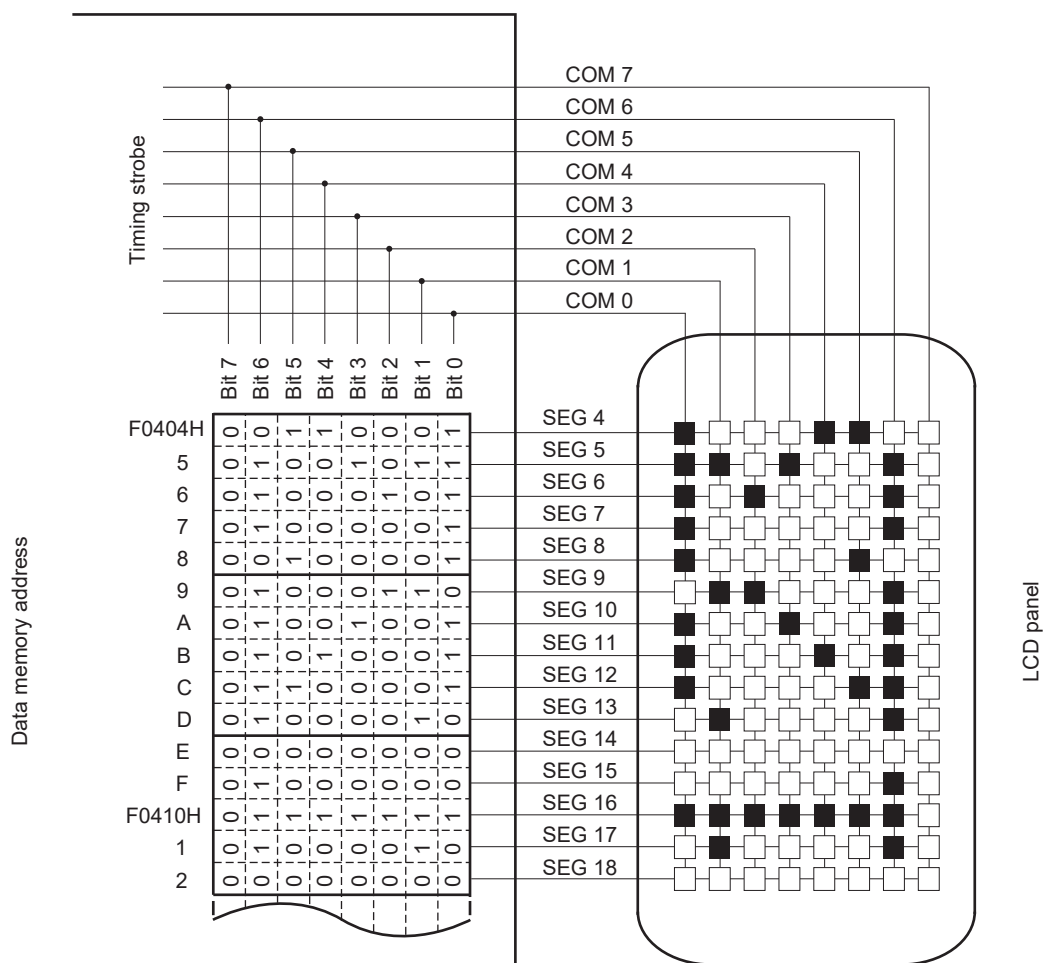


図19 - 50 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（1/2）

(a) A波形の場合

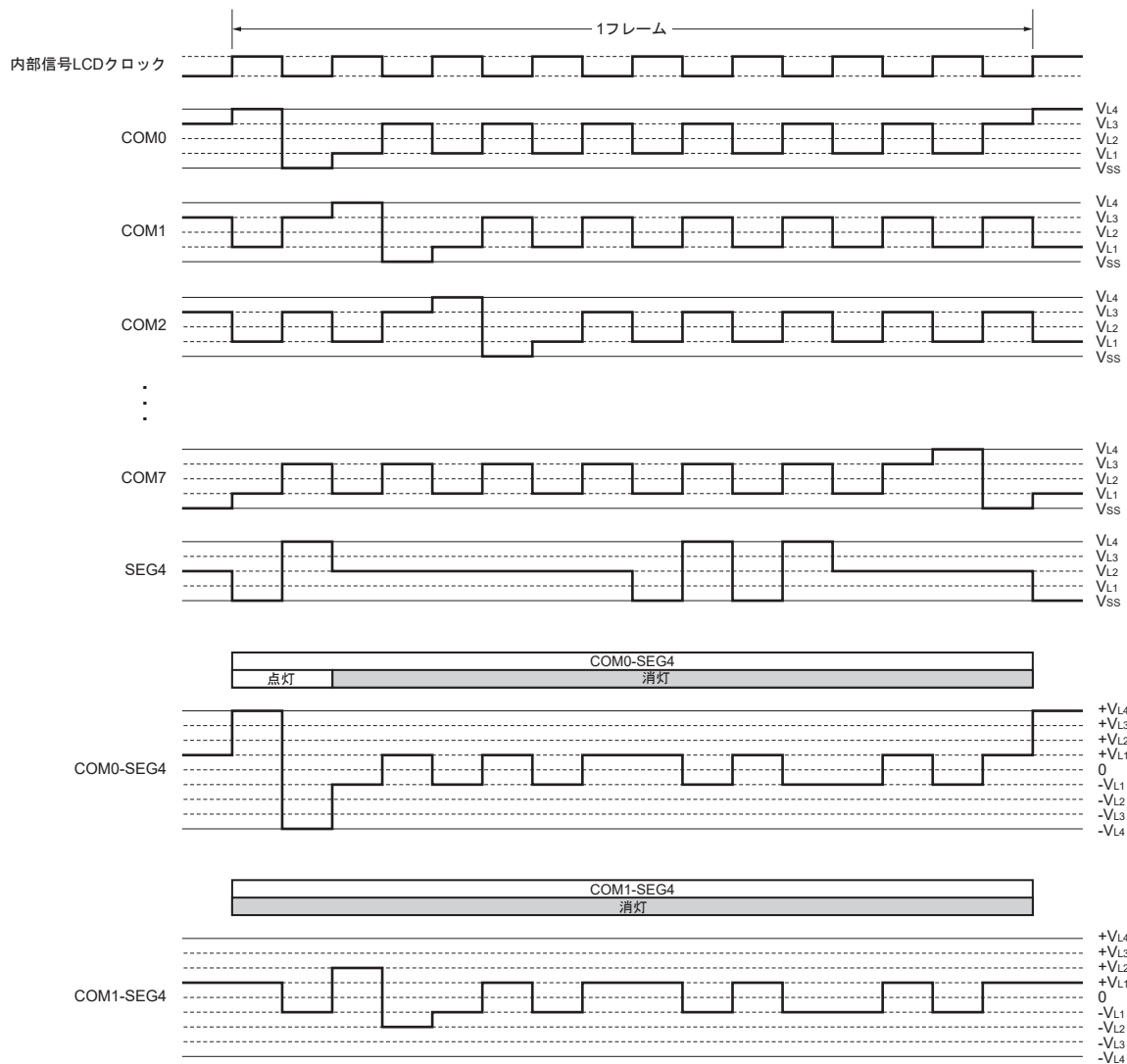
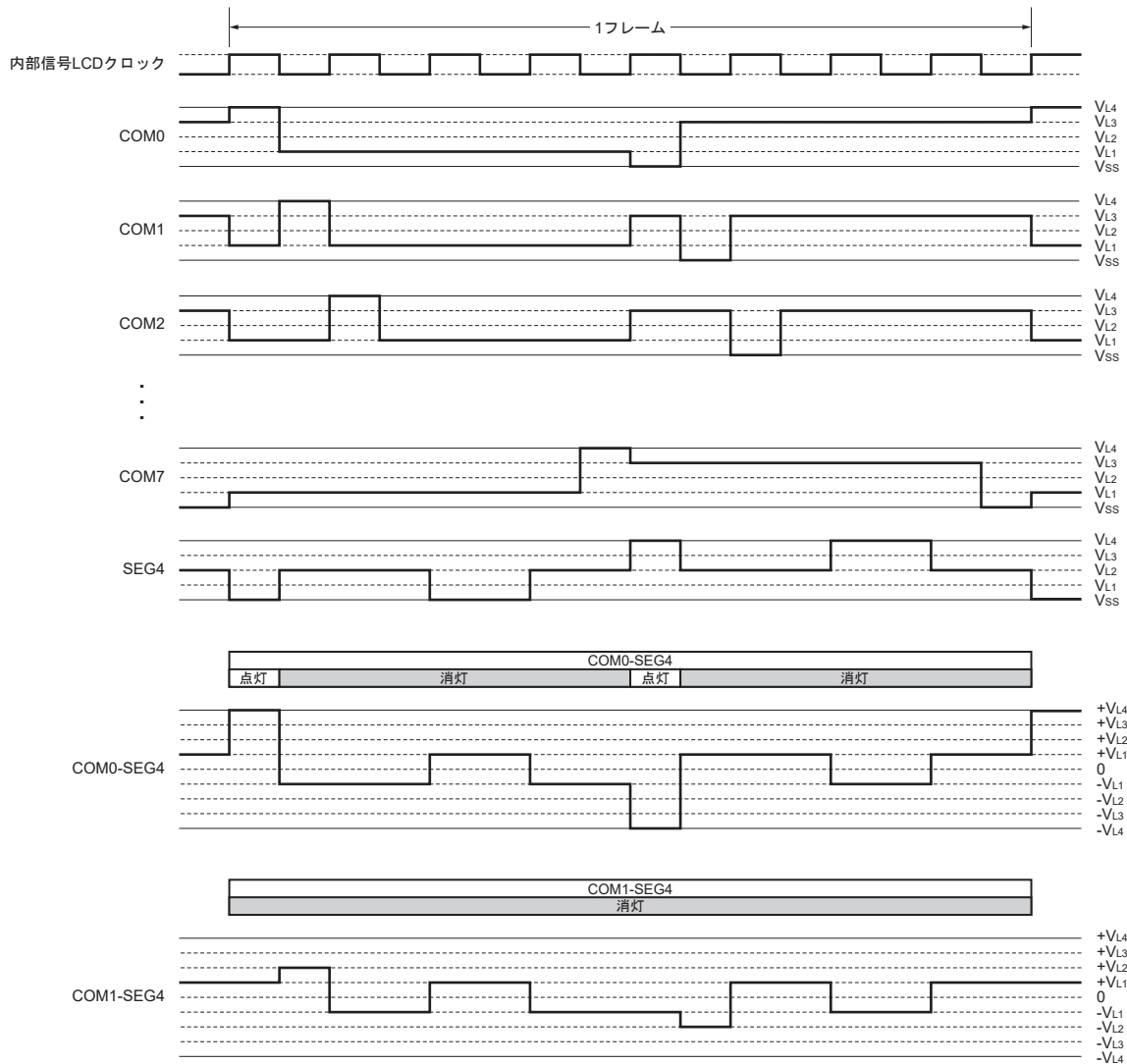


図 19 - 51 SEG4 と各コモン信号間の 8 時分割 LCD 駆動波形例 (1/4 バイアス法) (2/2)

(b) B 波形の場合



20.1 DTCの機能

データトランスファコントローラ (DTC) は、CPU を使わずにメモリとメモリの間でデータを転送する機能です。

DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

表20 - 1にDTCの仕様を示します。

表20 - 1 DTCの仕様

項目		仕様
起動要因		30要因
配置可能なコントロールデータ		24通り
転送可能な アドレス空間	アドレス空間	64 Kバイト空間(F0000H～FFFFFH)ただし、汎用レジスタを除く
	ソース	1st SFR領域, RAM領域(汎用レジスタを除く), ミラー領域 ^注 , データ・フラッシュ・メモリ領域 ^注 , 2nd SFR領域
	デスティネーション	1st SFR領域, RAM領域(汎用レジスタを除く), 2nd SFR領域
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送 ブロックサイズ	ノーマルモード(8ビット転送)	256バイト
	ノーマルモード(16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定, または加算
	リピートモード	リピートエリアでないアドレスを固定, または加算
起動要因優先度		表20 - 5 DTC起動要因とベクタアドレス参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0～DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> • DTCENi0～DTCENi7ビットを0(起動禁止)にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	<ul style="list-style-type: none"> • DTCENi0～DTCENi7ビットを0(起動禁止)にする • RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき
スタンバイ モード時の動作	HALT状態	DTC動作
	SNOOZE状態	DTC動作
	STOP状態	DTC停止

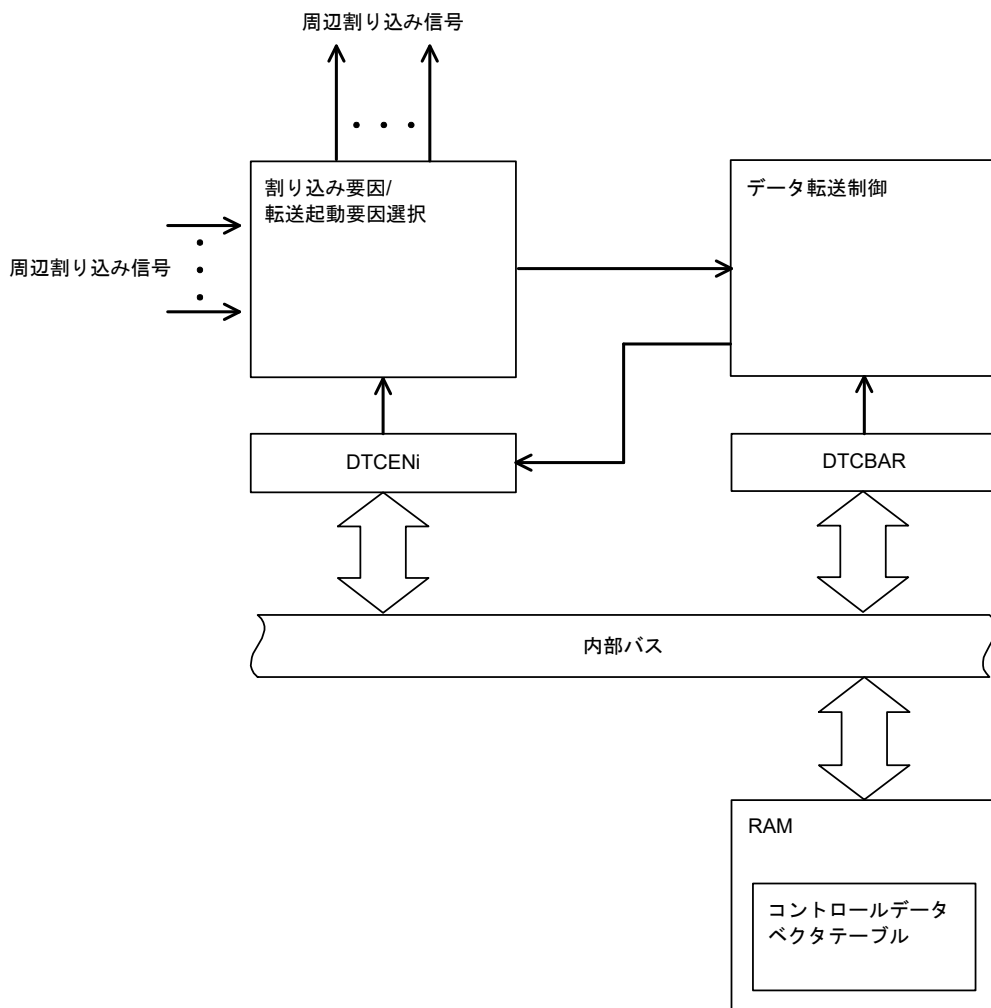
注 HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0～3, j = 0～23

20.2 DTCの構成

図20 - 1にDTCのブロック図を示します。

図20 - 1 DTCのブロック図



20.3 DTCを制御するレジスタ

表20-2にDTCを制御するレジスタを示します。

表20-2 DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTC起動許可レジスタ3	DTCEN3
DTCベースアドレスレジスタ	DTCBAR

表20-3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と、コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表20-3 DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロックサイズレジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロードレジスタj	DTRLdj
DTCソースアドレスレジスタj	DTSARj
DTCデスティネーションアドレスレジスタj	DTDARj

備考 j = 0 ~ 23

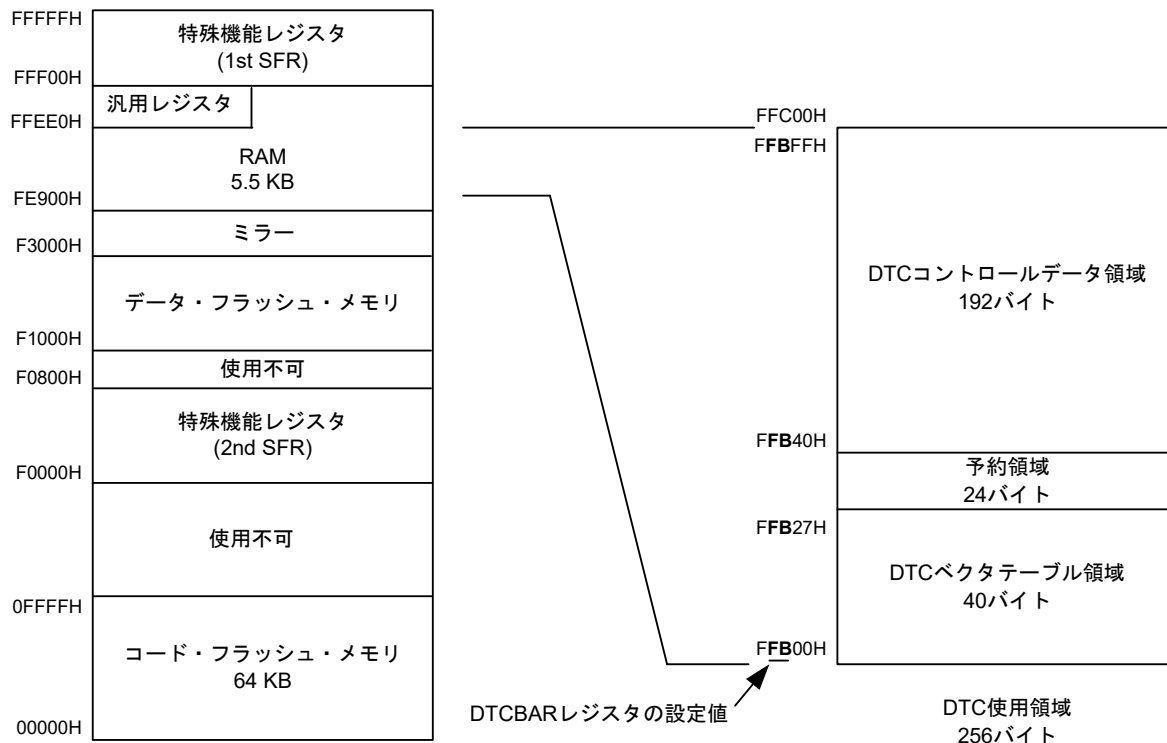
20.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで、DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図20-2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロールデータ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図20-2 DTCBARレジスタにFBHを設定したときのメモリマップ例



DTCコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- 注意2. スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- 注意3. 次に示す製品の内部RAM領域は、セルフ・プログラミング機能及びデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
全製品 : FE900H~FED09H
- 注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
全製品 : FED00H~FF0FFH

20.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0~23) レジスタの順に配置します。

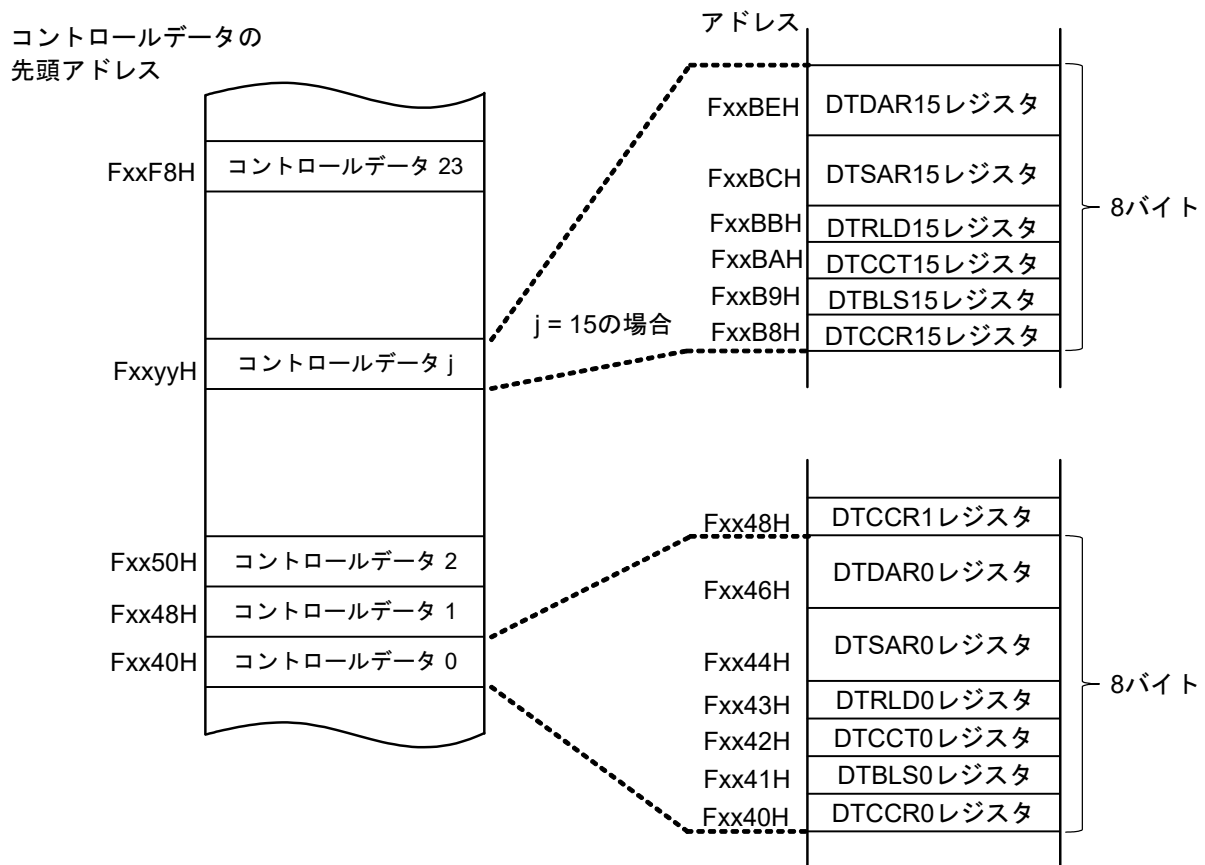
先頭アドレス0~23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図20-3にコントロールデータの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0~3)のDTCENi0~DTCENi7ビットが0 (DTC起動禁止)のときに変更してください。

注意2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図20-3 コントロールデータの配置



備考 xx : DTCBARレジスタの設定値

表20 - 4 コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	FxxF8H
10	Fxx90H	22	FxxF0H
9	Fxx88H	21	FxxE8H
8	Fxx80H	20	FxxE0H
7	Fxx78H	19	FxxD8H
6	Fxx70H	18	FxxD0H
5	Fxx68H	17	FxxC8H
4	Fxx60H	16	FxxC0H
3	Fxx58H	15	FxxB8H
2	Fxx50H	14	FxxB0H
1	Fxx48H	13	FxxA8H
0	Fxx40H	12	FxxA0H

備考 xx : DTCBARレジスタの設定値

20.3.3 ベクタテーブル

DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表20-5にDTC起動要因とベクタアドレスを示します。起動要因ごとにDTCベクタテーブルが1バイトあり、40HからF8Hのデータを格納し、24組のコントロールデータから1つを選択します。DTCベクタアドレスの上位8ビットはDTCBARレジスタで設定し、下位8ビットはDTC起動要因に対応して00Hから1EHまでが割り当てられます。

注意 ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0~3) レジスタのDTCENi0~DTCENi7ビットが0 (起動禁止)のときに変更してください。

図20-4 コントロールデータの先頭アドレスとベクタテーブル

DTCBARレジスタの設定値がFBHの場合(例)

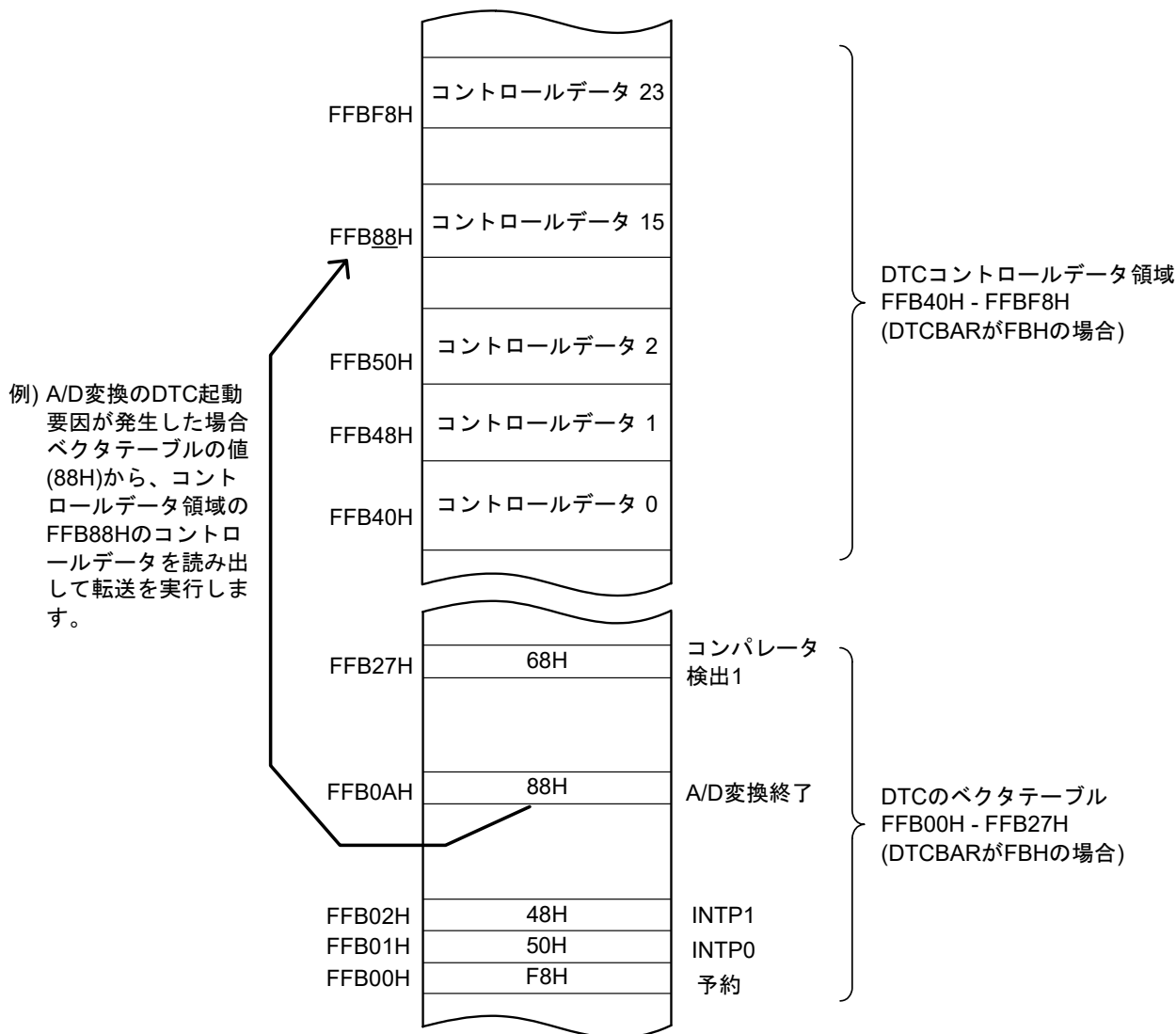


表 20 - 5 DTC起動要因とベクタアドレス

割り込み要因発生元	要因番号	DTCベクタアドレス	優先順位
予約	0	DTCBAR レジスタの設定アドレス+00H	高
INTP0	1	DTCBAR レジスタの設定アドレス+01H	↑ ↓
INTP1	2	DTCBAR レジスタの設定アドレス+02H	
INTP2	3	DTCBAR レジスタの設定アドレス+03H	
INTP3	4	DTCBAR レジスタの設定アドレス+04H	
INTP4	5	DTCBAR レジスタの設定アドレス+05H	
INTP5	6	DTCBAR レジスタの設定アドレス+06H	
INTP6	7	DTCBAR レジスタの設定アドレス+07H	
INTP7	8	DTCBAR レジスタの設定アドレス+08H	
キー入力	9	DTCBAR レジスタの設定アドレス+09H	
A/D変換終了	10	DTCBAR レジスタの設定アドレス+0AH	
UART0受信の転送完了	11	DTCBAR レジスタの設定アドレス+0BH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	12	DTCBAR レジスタの設定アドレス+0CH	
UART1受信の転送完了	13	DTCBAR レジスタの設定アドレス+0DH	
UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	14	DTCBAR レジスタの設定アドレス+0EH	
UART2受信の転送完了	15	DTCBAR レジスタの設定アドレス+0FH	
UART2送信の転送完了/CSI20の転送完了またはバッファ空き/IIC20の転送完了	16	DTCBAR レジスタの設定アドレス+10H	
UART3受信の転送完了	17	DTCBAR レジスタの設定アドレス+11H	
UART3送信の転送完了/CSI30の転送完了またはバッファ空き/IIC30の転送完了	18	DTCBAR レジスタの設定アドレス+12H	
タイマ・アレイ・ユニット0のチャンネル0のカウント完了またはキャプチャ完了	19	DTCBAR レジスタの設定アドレス+13H	
タイマ・アレイ・ユニット0のチャンネル1のカウント完了またはキャプチャ完了	20	DTCBAR レジスタの設定アドレス+14H	
タイマ・アレイ・ユニット0のチャンネル2のカウント完了またはキャプチャ完了	21	DTCBAR レジスタの設定アドレス+15H	
タイマ・アレイ・ユニット0のチャンネル3のカウント完了またはキャプチャ完了	22	DTCBAR レジスタの設定アドレス+16H	
タイマ・アレイ・ユニット0のチャンネル4のカウント完了またはキャプチャ完了	23	DTCBAR レジスタの設定アドレス+17H	
タイマ・アレイ・ユニット0のチャンネル5のカウント完了またはキャプチャ完了	24	DTCBAR レジスタの設定アドレス+18H	
タイマ・アレイ・ユニット0のチャンネル6のカウント完了またはキャプチャ完了	25	DTCBAR レジスタの設定アドレス+19H	
タイマ・アレイ・ユニット0のチャンネル7のカウント完了またはキャプチャ完了	26	DTCBAR レジスタの設定アドレス+1AH	
12ビット・インターバル・タイマ	27	DTCBAR レジスタの設定アドレス+1BH	
8ビット・インターバル・タイマ00	28	DTCBAR レジスタの設定アドレス+1CH	
8ビット・インターバル・タイマ01	29	DTCBAR レジスタの設定アドレス+1DH	
コンパレータ検出0	30	DTCBAR レジスタの設定アドレス+1EH	

20.3.4 周辺イネーブル・レジスタ 1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTCを使用する場合は、必ずビット3 (DTCEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-5 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CMPEN	0	DTCEN	0	MUXEN	DACEN

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・ DTCは動作不可
1	入カクロック供給 ・ DTCは動作可

注意 ビット6, 4, 2には必ず“0”を設定してください。

20.3.5 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

DTCCRjレジスタは、DTCの動作モードを制御します。

図20 - 6 DTC制御レジスタj (DTCCRj)のフォーマット

アドレス : 20.3.2 コントローラデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
SZ	データサイズの選択							
0	8ビット							
1	16ビット							
RPTINT	リピートモード割り込みの許可・禁止							
0	割り込み発生禁止							
1	割り込み発生許可							
MODEビットが0 (ノーマルモード)のときRPTINTビットの設定は無効です。								
CHNE	チェーン転送の許可・禁止							
0	チェーン転送禁止							
1	チェーン転送許可							
DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止)にしてください。								
DAMOD	転送先アドレスの制御							
0	固定							
1	加算							
MODEビットが1 (リピートモード)でRPTSELビットが0 (転送先がリピートエリア)のときDAMODビットの設定は無効です。								
SAMOD	転送元アドレスの制御							
0	固定							
1	加算							
MODEビットが1 (リピートモード)でRPTSELビットが1 (転送元がリピートエリア)のときSAMODビットの設定は無効です。								
RPTSEL	リピートエリアの選択							
0	転送先がリピートエリア							
1	転送元がリピートエリア							
MODEビットが0 (ノーマルモード)のときRPTSELビットの設定は無効です。								
MODE	転送モードの選択							
0	ノーマルモード							
1	リピートモード							

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

20.3.6 DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)

1回の起動で転送されるデータのブロックサイズを設定します。

図20-7 DTCブロックサイズレジスタj (DTBLSj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロックサイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

20.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図20-8 DTC転送回数レジスタj (DTCCTj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
.	.
.	.
.	.
FDH	253回
FEH	254回
FFH	255回

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

20.3.8 DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図20 - 9 DTC転送回数リロードレジスタj (DTRLDj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

20.3.9 DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図20 - 10 DTCソースアドレスレジスタj (DTSARj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTSARj15	DTSARj14	DTSARj13	DTSARj12	DTSARj11	DTSARj10	DTSARj9	DTSARj8	DTSARj7	DTSARj6	DTSARj5	DTSARj4	DTSARj3	DTSARj2	DTSARj1	DTSARj0

注意1. 転送元アドレスに汎用レジスタ (FFEE0H ~ FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

20.3.10 DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図20 - 11 DTCデスティネーションアドレスレジスタj (DTDARj)のフォーマット

アドレス : 20.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTDARj15	DTDARj14	DTDARj13	DTDARj12	DTDARj11	DTDARj10	DTDARj9	DTDARj8	DTDARj7	DTDARj6	DTDARj5	DTDARj4	DTDARj3	DTDARj2	DTDARj1	DTDARj0

注意1. 転送先アドレスに汎用レジスタ (FFEE0H ~ FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

20.3.11 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0 ~ 3)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビットレジスタです。表20-6に割り込み要因とDTCEN0~DTCEN7ビットの対応を示します。

DTCEN*i*レジスタは8ビット・メモリ操作命令, および1ビット・メモリ操作命令で設定できます。

注意1. DTCEN0~DTCEN7ビットは, そのビットに対応する起動要因が発生しない箇所で変更してください。

注意2. DTC転送でDTCEN*i*レジスタをアクセスしないでください。

図20-12 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0 ~ 3)のフォーマット

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), リセット時 : 00H R/W
F02EBH (DTCEN3)

略号	7	6	5	4	3	2	1	0
DTCEN <i>i</i>	DTCEN7	DTCEN6	DTCEN5	DTCEN4	DTCEN3	DTCEN2	DTCEN1	DTCEN0
DTCEN7	DTC起動許可i7							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCEN7ビットは0(起動禁止)になります。								
DTCEN6	DTC起動許可i6							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCEN6ビットは0(起動禁止)になります。								
DTCEN5	DTC起動許可i5							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCEN5ビットは0(起動禁止)になります。								
DTCEN4	DTC起動許可i4							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCEN4ビットは0(起動禁止)になります。								
DTCEN3	DTC起動許可i3							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCEN3ビットは0(起動禁止)になります。								

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0(起動禁止)になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0(起動禁止)になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0(起動禁止)になります。	

表 20 - 6 割り込み要因とDTCENi0～DTCENi7ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	INTP7	キー入力	A/D変換終了	UART0受信の 転送完了	UART0送信の 転送完了/ CSI00の転送 完了または バッファ空き/ IIC00の転送 完了	UART1受信の 転送完了	UART1送信の 転送完了/ CSI10の転送 完了または バッファ空き/ IIC10の転送 完了	UART2受信の 転送完了
DTCEN2	UART2送信の 転送完了/ CSI20の転送 完了または バッファ空き/ IIC20の転送 完了	UART3受信の 転送完了	UART3送信の 転送完了/ CSI30の転送 完了または バッファ空き/ IIC30の転送 完了	タイマ・アレ イ・ユニット0 のチャンネル0の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル1の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル2の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル3の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル4の カウント完了 またはキャプ チャ完了
DTCEN3	タイマ・アレ イ・ユニット0 のチャンネル5の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル6の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル7の カウント完了 またはキャプ チャ完了	12ビット・イ ンターバル・ タイマ完了	8ビット・イ ンターバルタ イマ00完了	8ビット・イ ンターバルタ イマ01完了	コンパレータ 検出0	予約

備考 i = 0～3

20.3.12 DTCベースアドレスレジスタ(DTCBAR)

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと、DTCコントロールデータ領域のアドレスを設定する8ビットレジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

- 注意1. DTCBARレジスタは、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- 注意2. DTCBARレジスタを2回以上書き換えしないでください。
- 注意3. DTC転送でDTCBARレジスタをアクセスしないでください。
- 注意4. DTCコントロールデータ領域とDTCベクタテーブル領域の配置については、20.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図20 - 13 DTCベースアドレスレジスタ(DTCBAR)のフォーマット

アドレス : F02E0H リセット時 : FDH R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

20.4 DTCの動作

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリポートモードがあり、転送サイズは8ビット転送と16ビット転送があります。また、DTCCTj (j = 0 ~ 23) レジスタのCHNEビットが1 (チェーン転送許可) のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェーン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って加算されるか固定されます。

20.4.1 起動要因

DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0 ~ 3)レジスタで選択します。

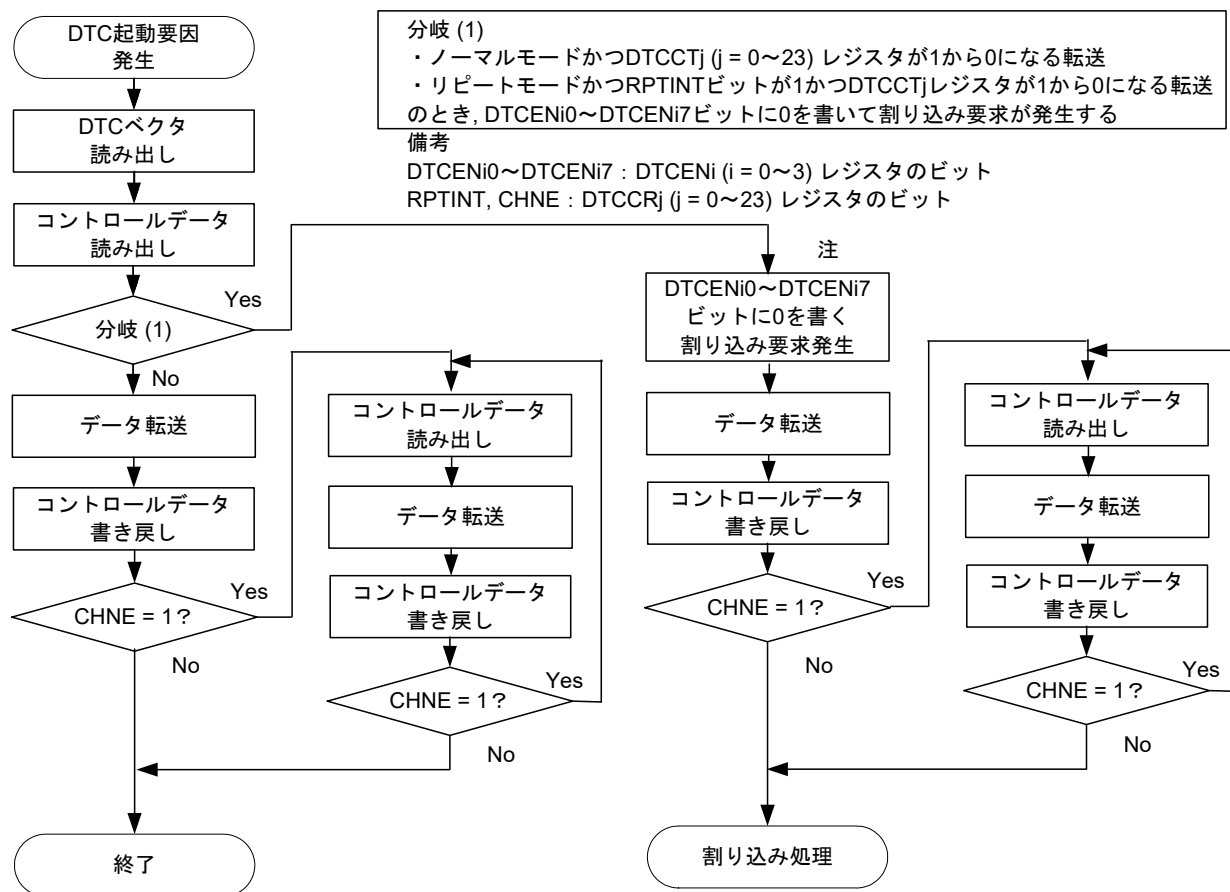
データ転送(チェーン転送の場合、連続して行う最初の転送)の設定が、

- ・ノーマルモードでDTCCTj (j = 0 ~ 23)レジスタが0になる転送
- ・リピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0 ~ DTCENi7ビットを0(起動禁止)にします。

図20 - 14にDTC内部動作フローチャートを示します。

図20 - 14 DTC内部動作フローチャート



注 チェイン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では、DTCENi0 ~ DTCENi7ビットに0を書きません。また、割り込み要求は発生しません。

20.4.2 ノーマルモード

1回の起動で、8ビット転送の場合1~256バイト、16ビット転送の場合2~512バイトをデータ転送します。転送回数は1~256回です。DTCCTj (j = 0~23)レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~3)レジスタの対応するDTCENi0~DTCENi7ビットを0(起動禁止)にします。

表20-7にノーマルモードでのレジスタ機能を示します。図20-15にノーマルモードでのデータ転送を示します。

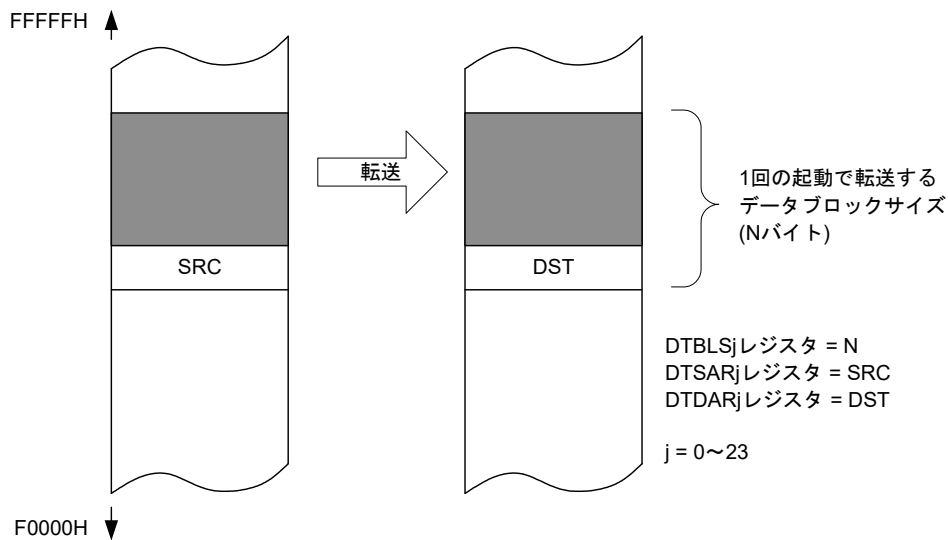
表20-7 ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRL Dj	使用しません注
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、初期化(00H)してください。

備考 j = 0~23

図20-15 ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC + N	DST
1	0	X	0	固定	加算	SRC	DST + N
1	1	X	0	加算	加算	SRC + N	DST + N

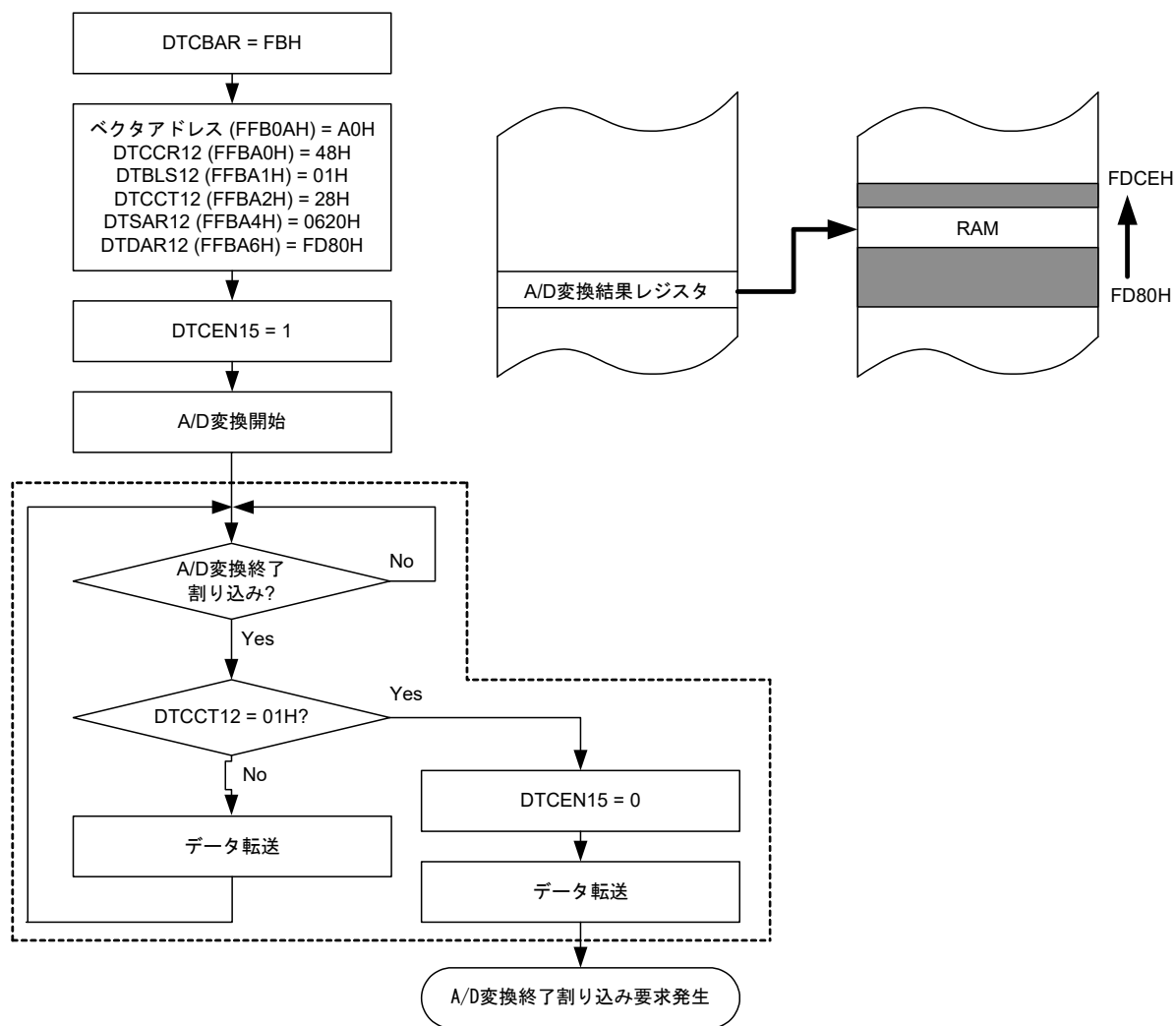
X : 0または1

(1) ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタアドレスはFFB0AH, コントロールデータはFFBA0H～FFBA7Hに配置
- A/D変換結果データレジスタ0(F0620H, F0621H)に変更の2バイトデータをRAMのFFD80H～FFDCFHの80バイトへ転送

図20-16 ノーマルモードの使用例1：A/D変換結果の連続取り込み



[] 内の処理はDTCが自動で実行します。

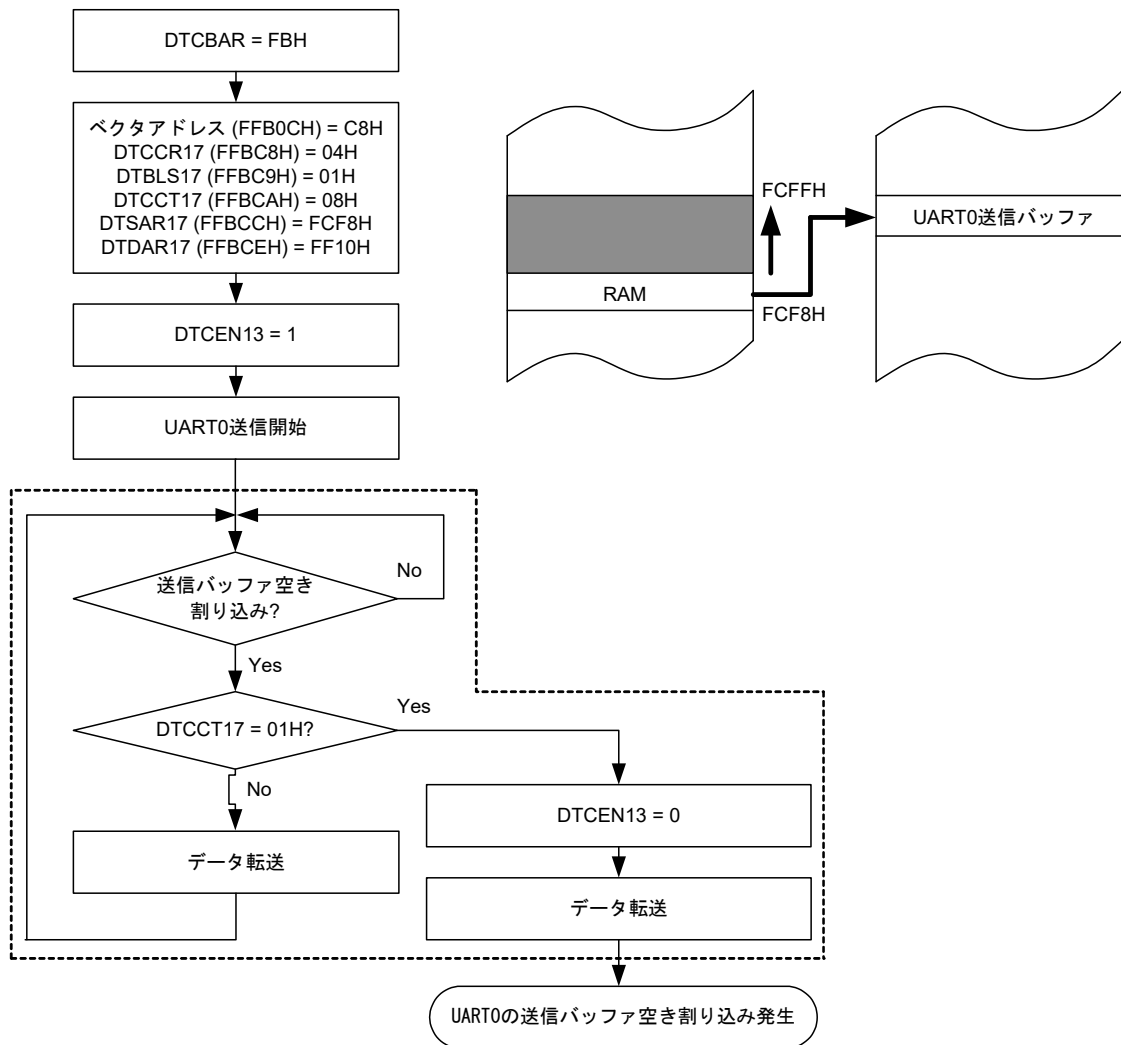
ノーマルモードのため、DTRL12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRL12レジスタを初期化(00H)してください。

(2) ノーマルモードの使用例2 : UART連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ベクタアドレスはFFB0CH, コントロールデータはFFBC8H~FFBCFHに配置
- RAMのFFCF8H~FFCFEHの8バイトをUART0の送信バッファ(FFF10H)へ転送

図20-17 ノーマルモードの使用例2 : UART0連続送信



〔 〕内の処理はDTCが自動で実行します。

ノーマルモードのため、DTRL17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRL17レジスタを初期化(00H)してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

20.4.3 リピートモード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j = 0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0～3)レジスタの対応するDTCENi0～DTCENi7ビットを0(起動禁止)にします。DTCCRjレジスタのRPTINTビットが0(割り込み発生禁止)の場合は、DTCCTjレジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0～DTCENi7ビットは0になりません。

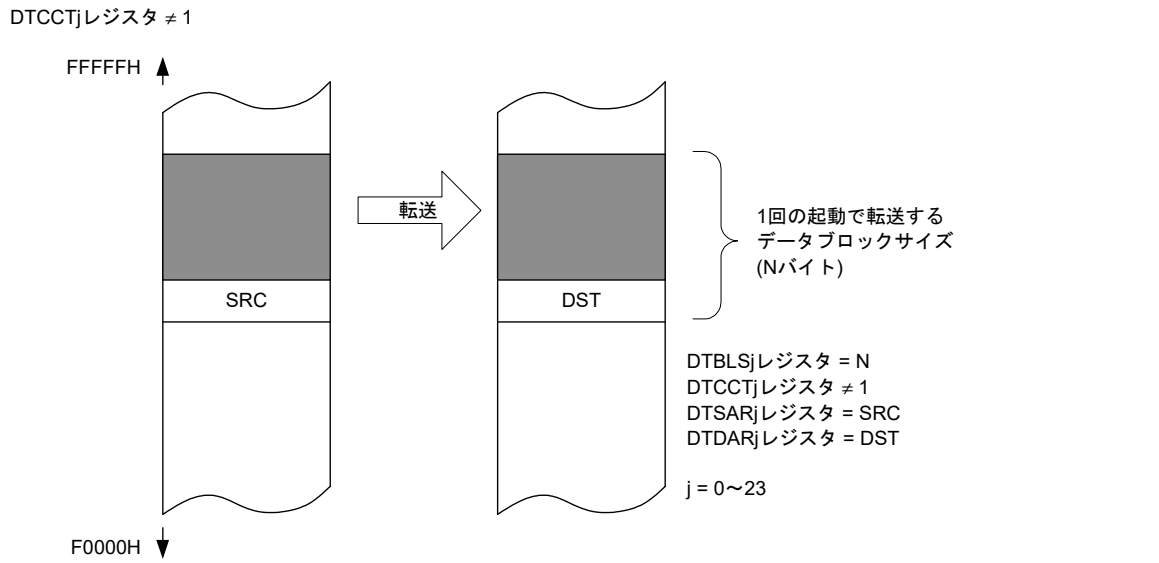
表20-8にリピートモードでのレジスタ機能を示します。図20-18にリピートモードでのデータ転送を示します。

表20-8 リピートモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTjレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

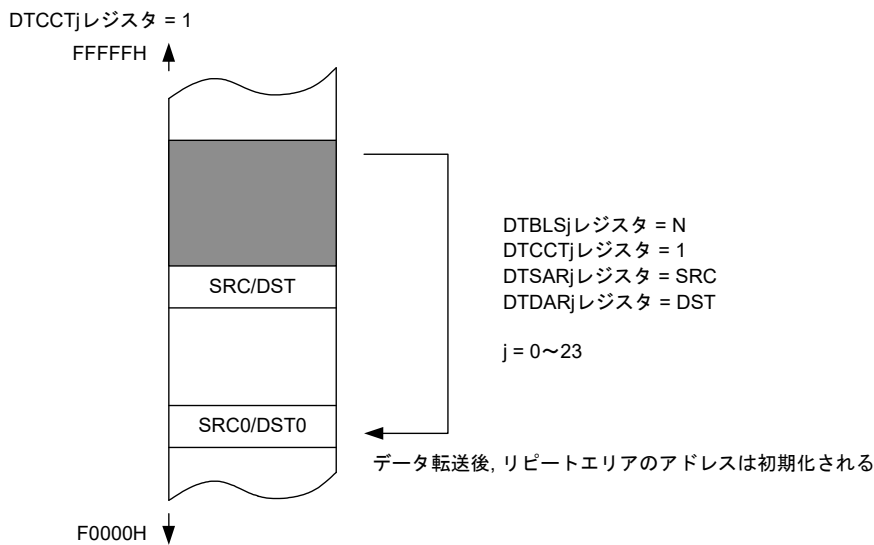
備考 j = 0～23

図20 - 18 リピートモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC + N	DST
1	X	1	1	リピートエリア	加算	SRC + N	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST + N
X	1	0	1	加算	リピートエリア	SRC + N	DST + N

X : 0または1



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC0	DST
1	X	1	1	リピートエリア	加算	SRC0	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST0
X	1	0	1	加算	リピートエリア	SRC + N	DST0

SRC0 : ソースアドレス初期値

DST0 : デスティネーションアドレス初期値

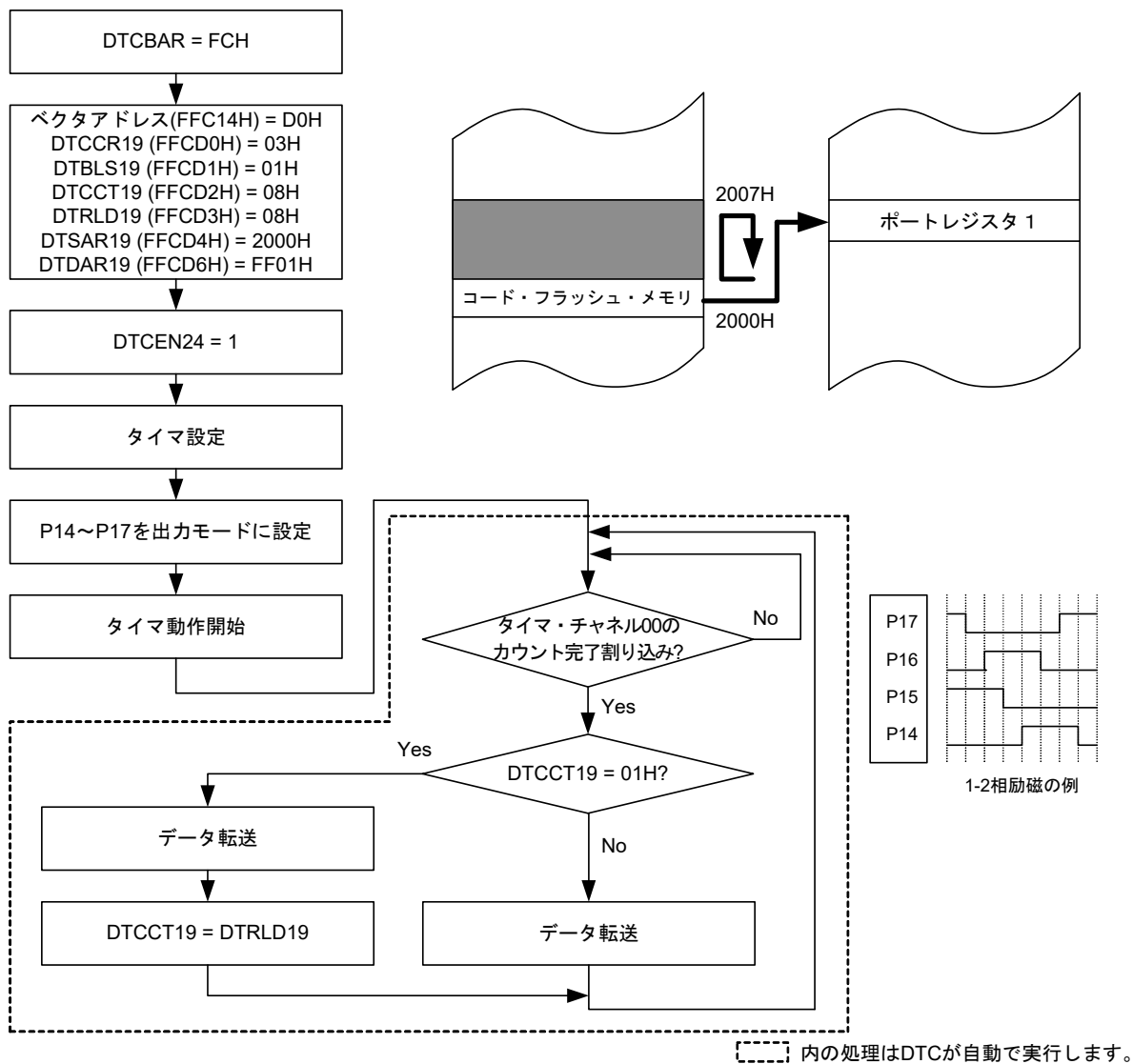
X : 0または1

注意1. リピートモード使用時は、リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

注意2. リピートモード使用時は、リピートエリアのデータサイズを255バイト以内になしてください。

- (1) リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力
- タイマ・アレイ・ユニット0のチャンネル0のインターバルタイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。
- ベクタアドレスはFFC14H, コントロールデータはFFCD0H~FFCD7Hに配置
 - コード・フラッシュ・メモリの02000H~02007Hの8バイトデータをミラー空間F2000H~F2007Hからポートレジスタ1(FFF01H)へ転送
 - リピートモード割り込みは禁止

図20-19 リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN24をクリアしてください。

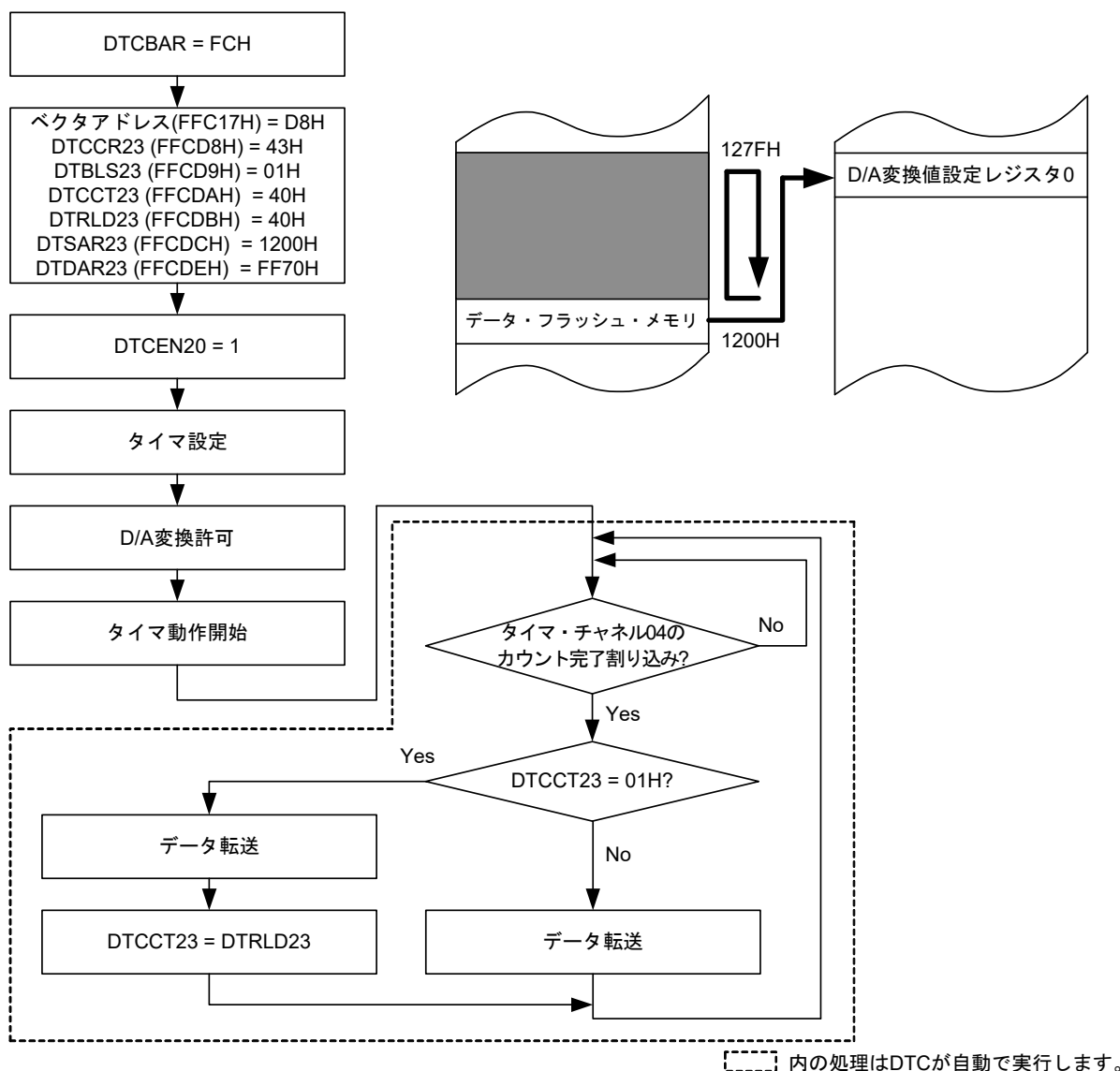
(2) リピートモードの使用例2：12ビットD/Aコンバータを使ったサイン波出力

タイマ・アレイ・ユニット0のチャンネル4のインターバルタイマの割り込みでDTCを起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを12ビットのD/A変換値設定レジスタ0(FFF70H)に転送します。

タイマのインターバル時間は、D/Aの出力セットアップ時間を設定します。

- ベクタアドレスはFFC17H, コントロールデータはFFCD8H~FFCDFHに配置
- データ・フラッシュ・メモリのF1200H~F127FHの128バイトデータをD/A変換値設定レジスタ(FFF70H)へ転送
- リピートモード割り込みは禁止

図20-20 リピートモードの使用例2：12ビットD/Aコンバータを使ったサイン波出力



出力を停止する場合は、タイマを停止してから、DTCEN20をクリアしてください。

20.4.4 チェイン転送

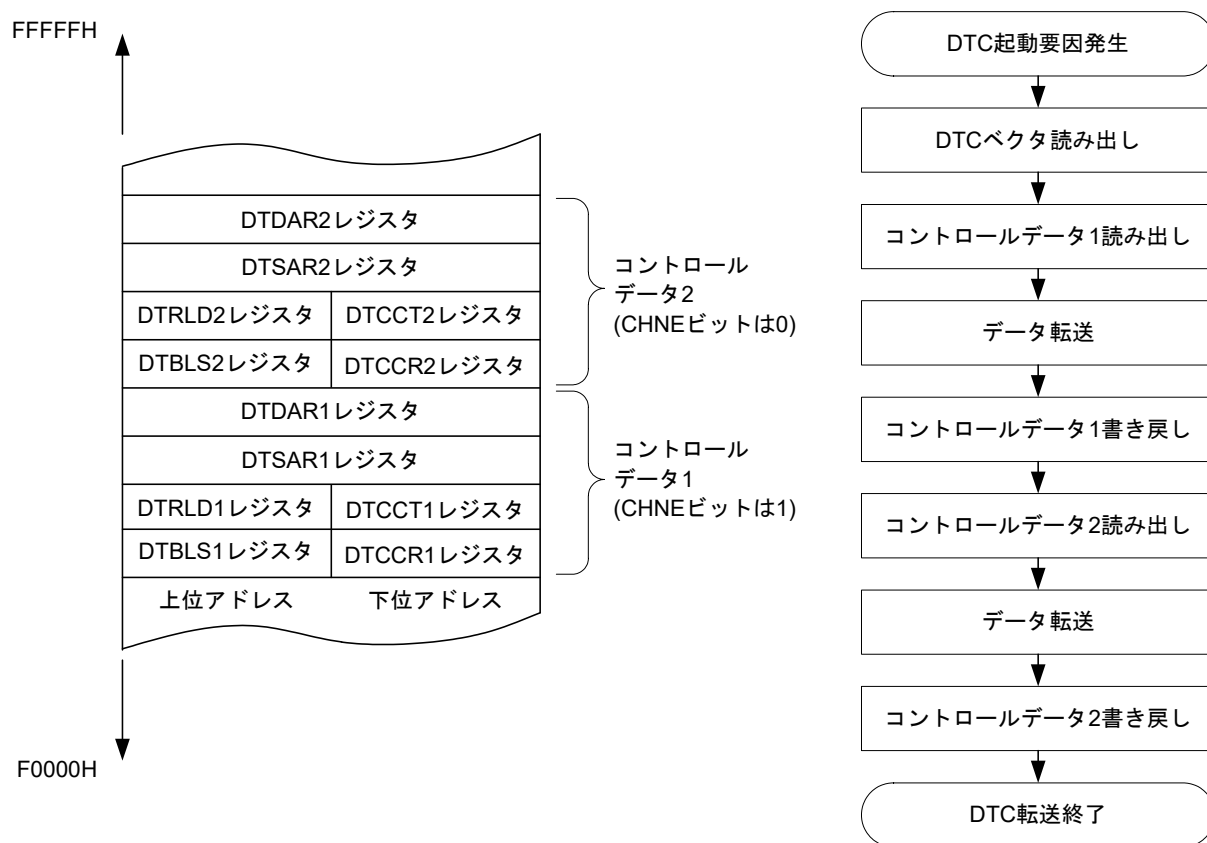
DTCCRj (j = 0~22)レジスタのCHNEビットが1 (チェーン転送許可)のとき, 1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると, 起動要因に対応したベクタアドレスから読み出されたデータによりコントロールデータを選択し, DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1 (チェーン転送許可)であれば, 転送終了後, 連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0 (チェーン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェーン転送を行う場合は, 最初のコントロールデータに設定された転送回数が有効となり, 2番目以降に処理されるコントロールデータの転送回数は無効となります。

図20 - 21にチェーン転送でのデータ転送を示します。

図20 - 21 チェイン転送でのデータ転送

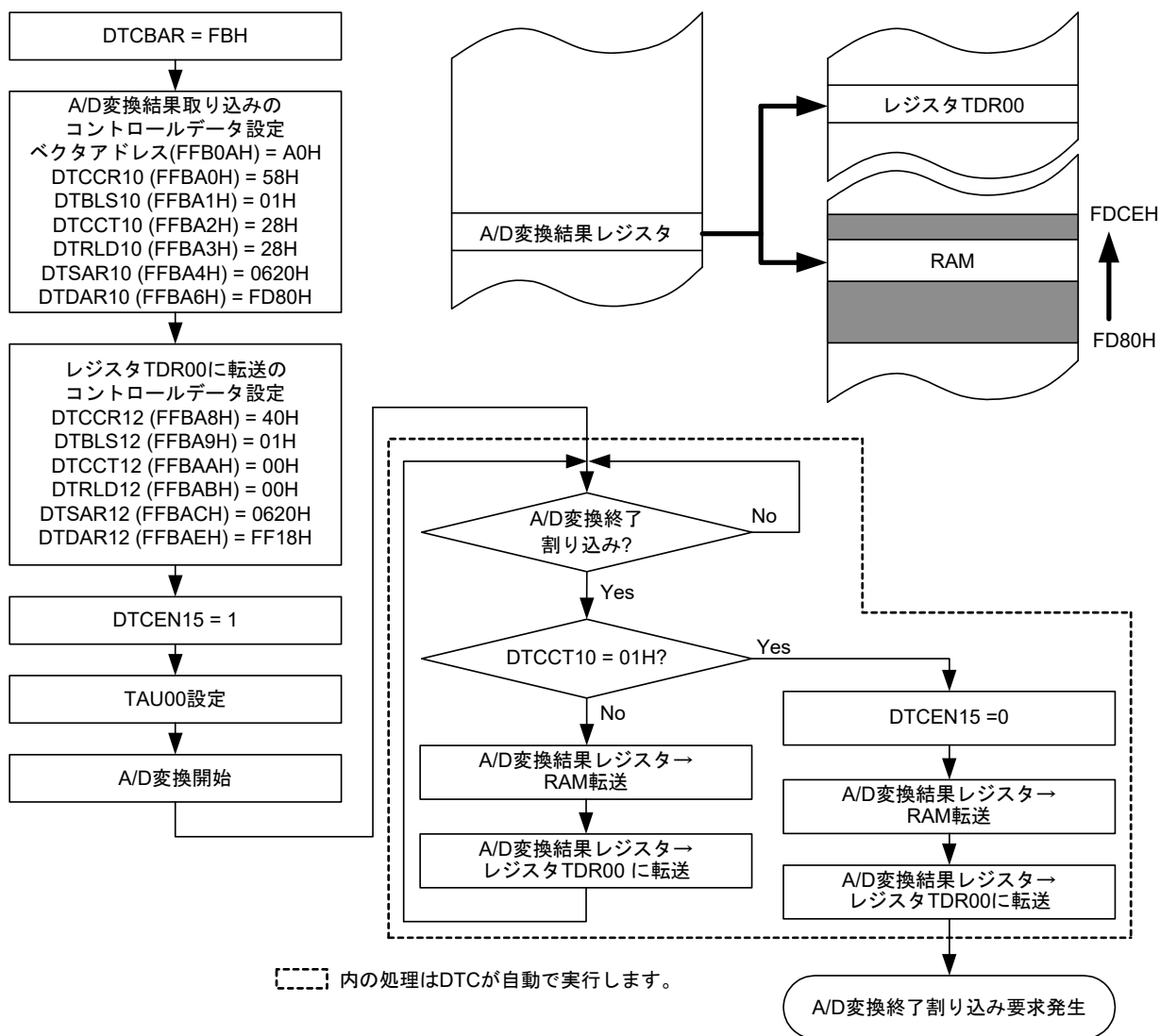


注意1. DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止)にしてください。

注意2. チェイン転送の場合, 2回目以降のデータ転送では, DTCENi (i = 0~3)レジスタのDTCENi0~DTCENi7ビットは0 (起動禁止)になりません。また, 割り込み要求は発生しません。

- (1) チェイン転送の使用例：A/D変換結果の連続取り込みとタイマ・データ・レジスタ00（TDR00）に転送
- A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、レジスタTDR00に転送します。
- ベクタアドレスはFFB0AH
 - A/D変換結果取り込みのコントロールデータはFFBA0H～FFBA7Hに配置
 - レジスタTDR00に転送のコントロールデータはFFBA8H～FFBAFHに配置
 - A/D変換結果レジスタ0(F0620H, F0621H)の2バイトデータをRAMのFFD80H～FFDCFHに転送し、A/D変換結果レジスタ0(F0620H, F0621H)をレジスタTDR00(FFF18H, FFF19H)へ転送

図20-22 チェイン転送の使用例：A/D変換結果の連続取り込みとTDR00に転送



20.5 DTC使用上の注意事項

20.5.1 DTCレジスタおよびベクタテーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ(2nd SFR)およびDTCコントロールデータ領域、DTCベクタテーブル領域、汎用レジスタ(FFEE0H-FFEFFH)空間をアクセスしないでください。
- DTCベースアドレスレジスタ(DTCBAR)は、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベースアドレスレジスタ(DTCBAR)を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0 to 23) レジスタのデータは対応するDTCENi (i = 0-3)レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0-3)レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、DTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

20.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCコントロールデータとベクタテーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ(FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においてもDTRLDレジスタを初期化(00H)してください。
- 次に示す製品の内部RAM領域は、セルフ・プログラミング機能及びデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
全製品：FE900H～FED09H
- 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
全製品：FED00H～FF0FFH

20.5.3 DTC保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コールリターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和演算(MULU命令を除く)

注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、全ての割り込み要求が保留されます。

注意2. DTC保留命令によるDTC 保留中は、全ての割り込み要求が保留されます。

20.5.4 データ・フラッシュ空間にアクセスする場合の動作

データ・フラッシュ空間にアクセスするとDTCのデータ転送が保留されます。またDTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合、間の命令に3クロック分のウェイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウェイト発生

MOV A, ! DataFlash空間

20.5.5 DTC実行クロック数

表20-9にDTC起動時の実行状況と必要なクロック数を示します。

表20-9 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロールデータの書き戻しに必要なクロック数は、表20-10 コントロールデータの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し/書き込みに必要なクロック数は、表20-11 1データの読み出し/書き込みに必要なクロック数を参照してください。

表20-10 コントロールデータの書き戻しに必要なクロック数

DTCCR レジスタ設定				アドレス設定		書き戻すコントロールレジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDArj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算	エリア	書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0~23, X: 0または1

表20-11 1データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	特殊機能レジスタ(SFR)	拡張特殊機能レジスタ(2nd SFR)	
					ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1+ウェイト数注
データ書き込み	1	—	—	1	1	1+ウェイト数注

注 ウェイト数はアクセスする拡張特殊機能レジスタ(2nd SFR)に配置されたレジスタの仕様によって異なります。

20.5.6 DTC 応答時間

表 20 - 12 に DTC における応答時間を示します。DTC 応答時間とは DTC 起動要因の検出から DTC 転送開始までの時間です。DTC 応答時間に DTC 実行クロック数は含まれません。

表 20 - 12 DTC における応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合には更に DTC の応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部 RAM からの命令実行の場合
最大応答時間：20クロック
- DTC 保留命令実行の場合(20.5.3 DTC 保留命令を参照)
最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック
- ウェイトが発生する 8 ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn) をアクセスした場合
最大応答時間：各条件時の最大応答時間 + 1クロック

備考 1クロック：1/fCLK (fCLK：CPU/周辺ハードウェアクロック)

20.5.7 DTC 起動要因

- DTC 起動要因を入力してから DTC 転送が完了するまでは同一起動要因を入力しないでください。
- DTC 起動要因が発生する箇所、その起動要因に対応した DTC 起動許可ビットを操作しないでください。
- DTC 起動要因が競合した場合は、CPU が DTC 転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は 20.3.3 ベクタテーブルを参照してください。
- コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0) かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CnEPO = 0) かつ IVCMP > IVREF (または内部基準電圧 1.45 V) の状態または、コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定 (CnEPO = 1)、IVCMP < IVREF (または内部基準電圧 1.45 V) の状態で、DTC 起動許可した場合、DTC 転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ (CnMON) を確認してから DTC 起動許可にしてください。(n = 0)

20.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能(低消費RTCモード時は動作禁止)
STOPモード	DTC起動要因受付可能 ^{注1}
SNOOZEモード	動作可能 ^{注2, 3, 4}

注1. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元(ソース)にすることはできません。

注2. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注3. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定(STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)をDTC転送で行ってください。

注4. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定(STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。

備考 p = 00, 20; q = 0, 2; m = 0, 1

第21章 イベントリンクコントローラ(ELC)

21.1 ELCの機能

イベントリンクコントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

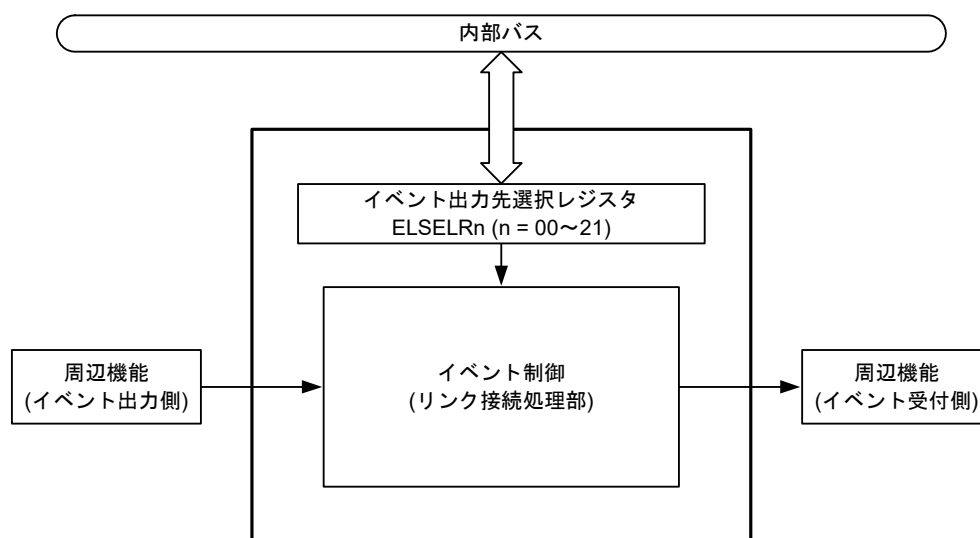
ELCには次の機能があります。

- 22種類の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 8種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

21.2 ELCの構成

図21-1にELCのブロック図を示します。

図21-1 ELCのブロック図



21.3 ELCを制御するレジスタ

表21-1にELCを制御するレジスタを示します。

表21-1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03	ELSELR03
イベント出力先選択レジスタ04	ELSELR04
イベント出力先選択レジスタ05	ELSELR05
イベント出力先選択レジスタ06	ELSELR06
イベント出力先選択レジスタ07	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15
イベント出力先選択レジスタ16	ELSELR16
イベント出力先選択レジスタ17	ELSELR17
イベント出力先選択レジスタ18	ELSELR18
イベント出力先選択レジスタ19	ELSELR19
イベント出力先選択レジスタ20	ELSELR20
イベント出力先選択レジスタ21	ELSELR21

21.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 21)

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRnレジスタを設定してください。

表21-2にELSELRnレジスタ(n = 00 ~ 21)と周辺機能の対応を、表21-3にELSELRnレジスタ(n = 00 ~ 21)に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図21-2 イベント出力先選択レジスタ n (ELSELRn)のフォーマット

アドレス : F01C0H (ELSELR00) ~ F01D5H (ELSELR21) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	ELSELn3	ELSELn2	ELSELn1	ELSELn0

ELSELn3	ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	0	イベントリンク禁止
0	0	0	1	リンクする周辺機能1の動作を選択 ^注
0	0	1	0	リンクする周辺機能2の動作を選択 ^注
0	0	1	1	リンクする周辺機能3の動作を選択 ^注
0	1	0	0	リンクする周辺機能4の動作を選択 ^注
0	1	0	1	リンクする周辺機能5の動作を選択 ^注
0	1	1	0	リンクする周辺機能6の動作を選択 ^注
0	1	1	1	リンクする周辺機能7の動作を選択 ^注
1	0	0	0	リンクする周辺機能8の動作を選択 ^注
上記以外				設定禁止

注 表21-3 ELSELRnレジスタ(n = 00 ~ 21)に設定する値とリンク先周辺機能の受付時の動作の対応に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表 21 - 2 ELSELRn レジスタ (n = 00 ~ 21) と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	外部割り込みエッジ検出6	INTP6
ELSELR07	外部割り込みエッジ検出7	INTP7
ELSELR08	キーリターン信号検出	INTKR
ELSELR09	RTC 定周期信号/アラーム一致検出	INTRTC
ELSELR10	12ビット・インターバル・タイマ信号検出	INTIT
ELSELR11	8ビット・インターバル・タイマ・チャンネル00のコンペアー一致 16ビット・インターバル・タイマ・チャンネル0のコンペアー一致(カスケード時)	INTIT00
ELSELR12	8ビット・インターバル・タイマ・チャンネル01のコンペアー一致	INTIT01
ELSELR13	TAUチャンネル00カウント完了/キャプチャ完了	INTTM00
ELSELR14	TAUチャンネル01カウント完了/キャプチャ完了	INTTM01
ELSELR15	TAUチャンネル02カウント完了/キャプチャ完了	INTTM02
ELSELR16	TAUチャンネル03カウント完了/キャプチャ完了	INTTM03
ELSELR17	TAUチャンネル04カウント完了/キャプチャ完了	INTTM04
ELSELR18	TAUチャンネル05カウント完了/キャプチャ完了	INTTM05
ELSELR19	TAUチャンネル06カウント完了/キャプチャ完了	INTTM06
ELSELR20	TAUチャンネル07カウント完了/キャプチャ完了	INTTM07
ELSELR21	コンパレータ検出0	COMP_C0EVT (コンパレータ0検出)

表 21 - 3 ELSELRn レジスタ (n = 00 ~ 21) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSELn3 ~ ELSELn0 ビット	リンク先 の番号	リンク先周辺機能	イベント受付時の動作
0000B	—	イベントリンク禁止	—
0001B	1	A/D コンバータ	A/D 変換開始
0010B	2	タイマ・アレイ・ユニット0チャンネル0 の入カソース注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0011B	3	タイマ・アレイ・ユニット0チャンネル1 の入カソース注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0100B	4	オペアンプ ELC トリガ0	動作開始
0101B	5	オペアンプ ELC トリガ1	動作開始
0110B	6	オペアンプ ELC トリガ2	動作開始
0111B	7	DA0注3	チャンネル0のアナログ出力(ANO0)を許可
1000B	8	DA1注3	チャンネル1のアナログ出力(ANO1)を許可
上記以外	—	設定禁止	—

- 注1. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル0 のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1(NFEN1)でTI00端子のノイズフィルタをOFF(TNFEN00=0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注2. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル1のタイマ入力を選択する場合、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1(NFEN1)でTI01端子のノイズフィルタをOFF(TNFEN01=0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注3. STOPモードに入る場合は、事前にELCのイベントリンクを禁止にしてください。

21.4 ELCの動作

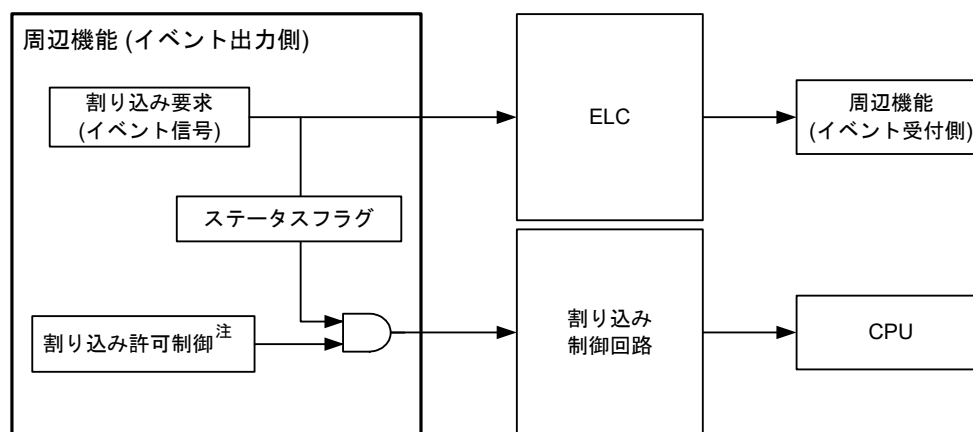
各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

また、イベントリンク動作はCPUクロックの供給の有無に、影響されずに行うことができます。ただし、周辺機能の動作クロックが供給されて、動作できる状態にしてください。

図21-3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします。

図21-3 割り込み処理とELCの関係



注 周辺機能によっては、搭載していません。

表21-4にイベントを受け付ける周辺機能の応答性を示します。

表21-4 イベントを受け付ける周辺機能の応答性

イベント 受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換動作	ELCからのイベント発生からfCLKの1, 2サイクル後に, A/D変換のハードウェア・トリガになります。
2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定	ELCのイベント発生からfCLKの3, 4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力	外部イベント・カウンタ	
4	オペアンプELCトリガ0	オペアンプ起動	ELCのイベントが直接, オペアンプ0の起動トリガになります。
5	オペアンプELCトリガ1	オペアンプ起動	ELCのイベントが直接, オペアンプ1の起動トリガになります。
6	オペアンプELCトリガ2	オペアンプ起動	ELCのイベントが直接, オペアンプ2の起動トリガになります。
7	D/Aコンバータのチャンネル0	チャンネル0のアナログ出力	ELCからのイベント発生からfCLKの1, 2サイクル後に, チャンネル0のD/A変換トリガになります。
8	D/Aコンバータのチャンネル1	チャンネル1のアナログ出力	ELCからのイベント発生からfCLKの1, 2サイクル後に, チャンネル1のD/A変換トリガになります。

第22章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、以下のとおりです。

		80ピン	100ピン
マスカブル割り込み	外部	9	9
	内部	31	31

22.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表22-1～表22-4を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

22.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計5要因あります(表22-1～表22-4参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表 22 - 1 割り込み要因一覧(1/4)

割り込みの 処理	デフォルト・ プライオリ ティ注1	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ注2	100 ピン	80 ピン
		名称	トリガ					
マスクابل	0	INTWDTI	ウォッチドッグ・タイマのインターバル注3 (オーバーフロー時間の75% + 1/2fil)	内部	00004H	(A)	○	○
	1	INTLVI	電圧検出注4		00006H		○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)	○	○
	3	INTP1			0000AH		○	○
	4	INTP2			0000CH		○	○
	5	INTP3			0000EH		○	○
	6	INTP4			00010H		○	○
	7	INTP5			00012H		○	○
	8	INTST2/ INTCSI20/ INTIIC20	UART2送信の転送完了, バッファ空き割り込み/ CSI20の転送完了, バッファ空き割り込み/ IIC20の転送完了	内部	00014H	(A)	○	○
	9	INTSR2	UART2受信の転送完了		00016H		○	○
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	○
	11	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了, バッファ空き割り込み/ CSI00の転送完了, バッファ空き割り込み/ IIC00の転送完了		0001EH		○	○
	12	INTTM00	タイマ・チャンネル0のカウント完了または キャプチャ完了		00020H		○	○
13	INTSR0	UART0受信の転送完了	00022H		○		○	

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。

0が最高順位、39が最低順位です。

注2. 基本構成タイプの(A)-(D)は、それぞれ図22-1の(A)-(D)に対応しています。

注3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 0選択時。

表 22 - 2 割り込み要因一覧(2/4)

割り込みの 処理	デフォルト・ プライオリ ティ注1	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ注2	100 ピン	80 ピン
		名称	トリガ					
マスカブル	14	INTSRE0	UART0受信の通信エラー発生	内部	00024H	(A)	○	○
		INTTM01H	タイマ・チャンネル1のカウント完了または キャプチャ完了(上位8ビット・タイマ動作時)				○	○
	15	INTST1/ INTCSI10/ INTIIC10	UART1送信の転送完了, バッファ空き割り込み/ CSI10の転送完了, バッファ空き割り込み/ IIC10の転送完了		00026H		○	○
	16	INTSR1	UART1受信の転送完了		00028H		○	○
	17	INTSRE1	UART1受信の通信エラー発生		0002AH		○	○
		INTTM03H	タイマ・チャンネル03のカウント完了または キャプチャ完了(上位8ビット・タイマ動作時)				○	○
	18	INTIICA0	IICA0通信完了		0002CH		○	○
	19	INTRTIT	RTC補正タイミング		0002EH		○	○
	20	INTTM01	タイマ・チャンネル01のカウント完了または キャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		00032H		○	○
	21	INTTM02	タイマ・チャンネル02のカウント完了または キャプチャ完了		00034H		○	○
	22	INTTM03	タイマ・チャンネル03のカウント完了または キャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		00036H		○	○
	23	INTAD	A/D変換終了		00038H		○	○
	24	INTRTC	リアルタイム・クロックの定周期信号/ アラーム一致検出		0003AH		○	○
	25	INTIT	12ビット・インターバル・タイマの インターバル信号検出		0003CH		○	○
26	INTKR	キー・リターン信号検出	外部	0003EH	(C)	○	○	
27	INTST3/ INTCSI30/ INTIIC30	UART3送信の転送完了, バッファ空き割り込み/ CSI30の転送完了, バッファ空き割り込み/ IIC30の転送完了	内部	00040H	(A)	○	○	

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、39が最低順位です。

注2. 基本構成タイプの(A) - (D)は、それぞれ図22 - 1の(A) - (D)に対応しています。

表 22 - 3 割り込み要因一覧(3/4)

割り込みの 処理	デフォルト・ プライオリ ティ注1	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ注2	100 ピン	80 ピン
		名称	トリガ					
マスクابل	28	INTSR3	UART3受信の転送完了	内部	00042H	(A)	○	○
	29	INTSRE3	UART3受信の通信エラー発生		00044H		○	○
	30	INTTM04	タイマ・チャンネル04のカウント完了または キャプチャ完了		00046H		○	○
	31	INTTM05	タイマ・チャンネル05のカウント完了または キャプチャ完了		00048H		○	○
	32	INTP6	端子入力エッジ検出	外部	0004AH	(B)	○	○
	33	INTP7			0004CH		○	○
	34	INTCMP0	コンパレータ検出0	内部	00050H	(A)	○	○
	35	INTTM06	タイマ・チャンネル06のカウント完了または キャプチャ完了		00054H		○	○
	36	INTTM07	タイマ・チャンネル07のカウント完了または キャプチャ完了		00056H		○	○
	37	INTIT00	8ビット・インターバル・タイマ00のカウント完了 (8ビット/16ビット・タイマ動作時)		00058H		○	○
	38	INTIT01	8ビット・インターバル・タイマ01のカウント完了		0005AH		○	○
	39	INTFL	予約注3		00062H		○	○

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。

0が最高順位、39が最低順位です。

注2. 基本構成タイプの(A)-(D)は、それぞれ図22-1の(A)-(D)に対応しています。

注3. フラッシュ・セルフ・プログラミング・ライブラリ、データ・フラッシュ・ライブラリで使用します。

表 22 - 4 割り込み要因一覧(4/4)

割り込みの 処理	デフォルト・ プライオリ ティ注1	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ注2	100 ピン	80 ピン
		名称	トリガ					
ソフト ウェア	—	BRK	BRK命令の実行	—	0007EH	(D)	○	○
リセット	—	RESET	RESET端子入力	—	00000H	—	○	○
		POR	パワーオン・リセット				○	○
		LVD	電圧検出注3				○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○
		TRAP	不正命令の実行注4				○	○
		IAW	不正メモリ・アクセス				○	○
		RPE	RAMパリティ・エラー				○	○

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、39が最低順位です。

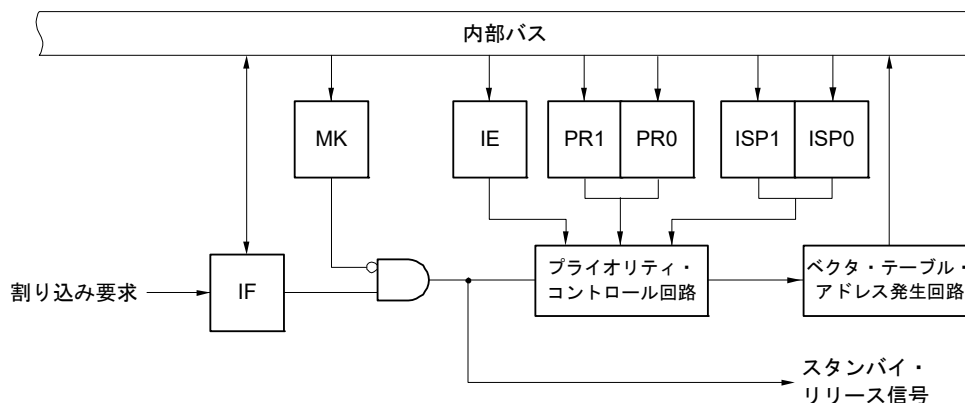
注2. 基本構成タイプの(A)-(D)は、それぞれ図22-1の(A)-(D)に対応しています。

注3. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD)=1選択時。

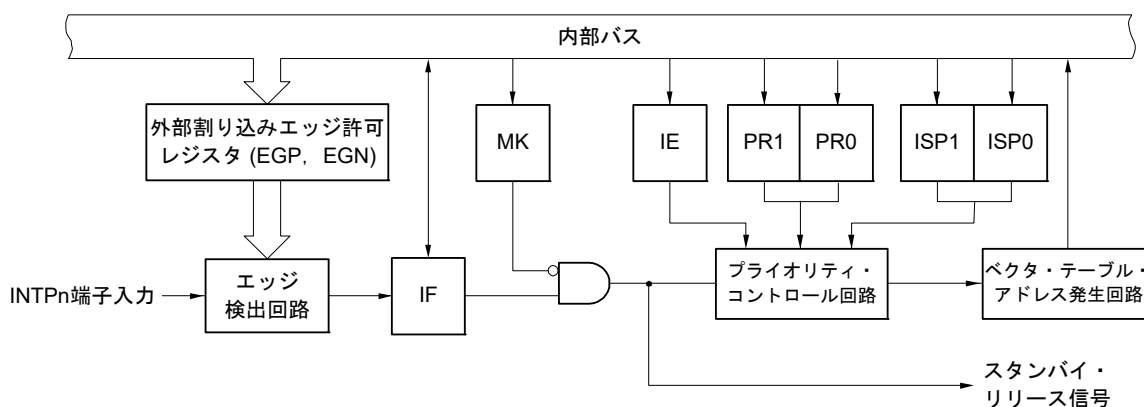
注4. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図22 - 1 割り込み機能の基本構成

(A)内部マスカブル割り込み



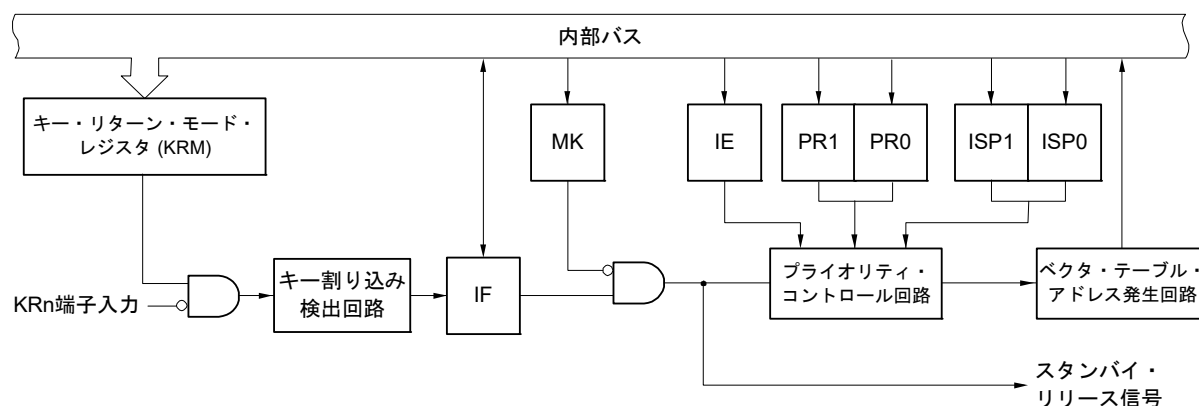
(B)外部マスカブル割り込み(INTPn)



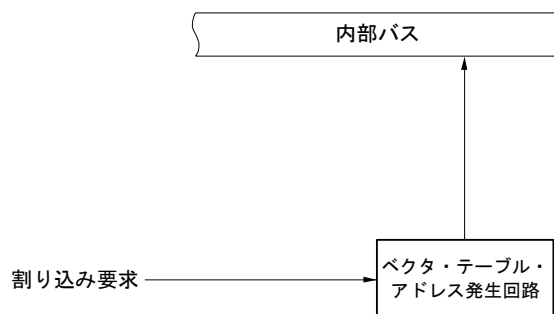
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0-7

(C)外部マスカブル割り込み (INTKR)



(D)ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0-7

22.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表22-5～表22-8に示します。

表22-5 割り込み要求ソースに対応する各種フラグ (1/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		100 ピン	80 ピン
	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ		
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1		○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○

表 22 - 6 割り込み要求ソースに対応する各種フラグ (2/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		100 ピン	80 ピン
		レジスタ		レジスタ		レジスタ		
INTST2 ^{注1}	STIF2 ^{注1}	IF0H	STMK2 ^{注1}	MK0H	STPR02, STPR12 ^{注1}	PR00H, PR10H	○	○
INTCSI20 ^{注1}	CSIF20 ^{注1}		CSIMK20 ^{注1}		CSIPR020, CSIPR120 ^{注1}		○	○
INTIIC20 ^{注1}	IICIF20 ^{注1}		IICMK20 ^{注1}		IICPR020, IICPR120 ^{注1}		○	○
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12		○	○
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	○
INTST0 ^{注2}	STIF0 ^{注2}		STMK0 ^{注2}		STPR00, STPR10 ^{注2}		○	○
INTCSI00 ^{注2}	CSIF00 ^{注2}		CSIMK00 ^{注2}		CSIPR000, CSIPR100 ^{注2}		○	○
INTIIC00 ^{注2}	IICIF00 ^{注2}		IICMK00 ^{注2}		IICPR000, IICPR100 ^{注2}		○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10		○	○

注1. 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF0Hレジスタのビット0はセット(1)されます。
また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。

注2. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。
また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

表 22 - 7 割り込み要求ソースに対応する各種フラグ(3/4)

割り込み要因	割り込み要求 フラグ		割り込みマスク・ フラグ		優先順位指定フラグ		100 ピン	80 ピン
		レジスタ		レジスタ		レジスタ		
INTSRE0 ^{注1}	SREIF0 ^{注1}	IF1L	SREMK0 ^{注1}	MK1L	SREPR00, SREPR10 ^{注1}	PR01L, PR11L	○	○
INTTM01H ^{注1}	TMIF01H ^{注1}		TMMK01H ^{注1}		TMPR001H, TMPR101H ^{注1}		○	○
INTCSI10 ^{注2}	CSIF10 ^{注2}		CSIMK10 ^{注2}		CSIPR010, CSIPR110 ^{注2}		○	○
INTIIC10 ^{注2}	IICIF10 ^{注2}		IICMK10 ^{注2}		IICPR010, IICPR110 ^{注2}		○	○
INTST1 ^{注2}	STIF1 ^{注2}		STMK1 ^{注2}		STPR01, STPR11 ^{注2}		○	○
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11		○	○
INTSRE1 ^{注3}	SREIF1 ^{注3}		SREMK1 ^{注3}		SREPR01, SREPR11 ^{注3}		○	○
INTTM03H ^{注3}	TMIF03H ^{注3}		TMMK03H ^{注3}		TMPR003H, TMPR103H ^{注3}		○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○
INTRTIT	RTITIF		RTITMK		RTITPR0, RTITPR1		○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○
INTTM02	TMIF02	IF1H	TMMK02	MK1H	TMPR002, TMPR102	PR01H, PR11H	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○
INTAD	ADIF		ADMK		ADPR0, ADPR1		○	○
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○
INTIT	TMKAIF		TMKAMK		TMKAPR0, TMKAPR1		○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○
INTST3 ^{注4}	STIF3 ^{注4}		STMK3 ^{注4}		STPR03, STPR13 ^{注4}		○	○
INTCSI30 ^{注4}	CSIF30 ^{注4}		CSIMK30 ^{注4}		CSIPR030, CSIPR130 ^{注4}		○	○
INTIIC30 ^{注4}	IICIF30 ^{注4}		IICMK30 ^{注4}		IICPR030, IICPR130 ^{注4}		○	○
INTSR3	SRIF3		SRMK3		SRPR03, SRPR13		○	○

注1. UART0受信のエラー割り込み、TAU0のチャンネル1(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない(EOC01 = 0)場合は、UART0、TAU0のチャンネル1(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE0、INTTM01Hのうち、どちらかが発生したら、IF1Lレジスタのビット0はセット(1)されます。また、MK1L、PR01L、PR11Lレジスタのビット0は、両方の割り込み要因に対応しています。

注2. 割り込み要因INTST1、INTCSI10、INTIIC10のうち、いずれかが発生したら、IF1Lレジスタのビット1はセット(1)されます。また、MK1L、PR01L、PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。

注3. UART1受信のエラー割り込み、TAU0のチャンネル3(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない(EOC03 = 0)場合は、UART1、TAU0のチャンネル3(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE1、INTTM03Hのうち、どちらかが発生したら、IF1Lレジスタのビット3はセット(1)されます。また、MK1L、PR01L、PR11Lレジスタのビット3は、両方の割り込み要因に対応しています。

注4. 割り込み要因INTST3、INTCSI30、INTIIC30のうち、いずれかが発生したら、IF1Hレジスタのビット6はセット(1)されます。また、MK1H、PR01H、PR11Hレジスタのビット6は、3つすべての割り込み要因に対応しています。

表 22 - 8 割り込み要求ソースに対応する各種フラグ(4/4)

割り込み要因	割り込み要求 フラグ		割り込みマスク・ フラグ		優先順位指定フラグ		100 ピン	80 ピン
		レジスタ		レジスタ		レジスタ		
INTSRE3	SREIF3	IF2L	SREMK3	MK2L	SREPR03, SREPR13	PR02L, PR12L	○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○
INTTM05	TMIF05		TMMK05		TMPR005, TMPR105		○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○
INTP7	PIF7		PMK7		PPR07, PPR17		○	○
INTCMP0	CMPIF0		CMPMK0		CMPPR00, CMPPR10		○	○
INTTM06	TMIF06	IF2H	TMMK06	MK2H	TMPR006, TMPR106	PR02H, PR12H	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○
INTIT00	ITIF00		ITMK00		ITPR000, ITPR100		○	○
INTIT01	ITIF01		ITMK01		ITPR001, IT2PR101		○	○
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○

22.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図22 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SRIF0	TMIF00	STIF0 CSIF00 IICIF00	0	0	SREIF2	SRIF2	STIF2 CSIF20 IICIF20

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF01	0	RTITIF	IICAIF0	SREIF1 TMIF03H	SRIF1	CSIF10 IICIF10 STIF1	SREIF0 TMIF01H

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	SRIF3	CSIF30 IICIF30 STIF3	KRIF	TMKAIF	RTCIF	ADIF	TMIF03	TMIF02

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	0	CMPIF0	0	PIF7	PIF6	TMIF05	TMIF04	SREIF3

図22 - 3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(2/2)

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	0	0	0	ITIF01	ITIF00	TMIF07	TMIF06
XXIFX	割り込み要求フラグ							
0	割り込み要求信号が発生していない							
1	割り込み要求信号が発生し、割り込み要求状態							

注意1. 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表22 - 5～表22 - 8を参照してください。また、搭載していないビットには、必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

22.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LレジスタとMK0Hレジスタ、MK1LレジスタとMK1Hレジスタ、MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図22-4 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット(1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SRMK0	TMMK00	STMK0 CSIMK00 IICMK00	1	1	SREMK2	SRMK2	STMK2 CSIMK20 IICMK20

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK01	1	RTITMK	IICAMK0	SREMK1 TMMK03H	SRMK1	CSIMK10 IICMK10 STMK1	SREMK0 TMMK01H

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	SRMK3	CSIMK30 IICMK30 STMK3	KRMK	TMKAMK	RTCMK	ADMK	TMMK03	TMMK02

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	1	CMPMK0	1	PMK7	PMK6	TMMK05	TMMK04	SREMK3

図22 - 5 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット(2/2)

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	1	1	1	ITMK01	ITMK00	TMMK07	TMMK06
XXMKX	割り込み処理の制御							
0	割り込み処理許可							
1	割り込み処理禁止							

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表22 - 5～表22 - 8を参照してください。また、搭載していないビットには必ず初期値を設定してください。

22.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせ、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LレジスタとPR00Hレジスタ、PR01LレジスタとPR01Hレジスタ、PR02LレジスタとPR02Hレジスタ、PR10LレジスタとPR10Hレジスタ、PR11LレジスタとPR11Hレジスタ、PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図22 - 6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SRPR00	TMPR000	STPR00 CSIPR000 IICPR000	1	1	SREPR02	SRPR02	STPR02 CSIPR020 IICPR020

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SRPR10	TMPR100	STPR10 CSIPR100 IICPR100	1	1	SREPR12	SRPR12	STPR12 CSIPR120 IICPR120

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR001	1	RTITPR0	IICAPR00	SREPR01 TMPR003H	SRPR01	CSIPR010 IICPR010 STPR01	SREPR00 TMPR001H

図22-7 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(2/2)

アドレス : FFFEEH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR11L	TMPR101	1	RTITPR1	IICAPR10	SREPR11 TMPR103H	SRPR11	CSIPR110 IICPR110 STPR11	SREPR10 TMPR101H

アドレス : FFFEBH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR01H	SRPR03	CSIPR030 IICPR030 STPR03	KRPR0	TMKAPR0	RTCPR0	ADPR0	TMPR003	TMPR002

アドレス : FFFEFH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	<input type="checkbox"/> 6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR11H	SRPR13	CSIPR130 IICPR130 STPR13	KRPR1	TMKAPR1	RTCPR1	ADPR1	TMPR103	TMPR102

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	<input type="checkbox"/> 6	5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR02L	1	CMPPR00	1	PPR07	PPR06	TMPR005	TMPR004	SREPR03

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	<input type="checkbox"/> 6	5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR12L	1	CMPPR10	1	PPR17	PPR16	TMPR105	TMPR104	SREPR13

アドレス : FFFD9H リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	6	5	4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR02H	FLPR0	1	1	1	ITPR001	ITPR000	TMPR007	TMPR006

アドレス : FFFDDH リセット時 : FFH R/W

略号	<input type="checkbox"/> 7	6	5	4	<input type="checkbox"/> 3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR12H	FLPR1	1	1	1	ITPR101	ITPR100	TMPR107	TMPR106

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表22-5～表22-8を参照してください。また、搭載していないビットには必ず初期値を設定してください。

22.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 8 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0
------	------	------	------	------	------	------	------	------

アドレス : FFF39H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0
------	------	------	------	------	------	------	------	------

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnビットとEGNnビットに対応する割り込み要求信号を表22 - 9に示します。

表22 - 9 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号
EGP0	EGN0	INTP0
EGP1	EGN1	INTP1
EGP2	EGN2	INTP2
EGP3	EGN3	INTP3
EGP4	EGN4	INTP4
EGP5	EGN5	INTP5
EGP6	EGN6	INTP6
EGP7	EGN7	INTP7

注意 外部割り込み機能で使用している入力ポートを出力モード機能に切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止(EGPn, EGNn = 0)にしてからポート・モード・レジスタ (PMxx) を0に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

備考2. n = 0-7

22.3.5 プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスクブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、“-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図22-9 プログラム・ステータス・ワードの構成



22.4 割り込み処理動作

22.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表22-10のようになります。

割り込み要求の受け付けタイミングについては、図22-11、図22-12を参照してください。

表22-10 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注 内部RAM領域からの命令実行時は除きます。

備考 1クロック : 1/fCLK (fCLK : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

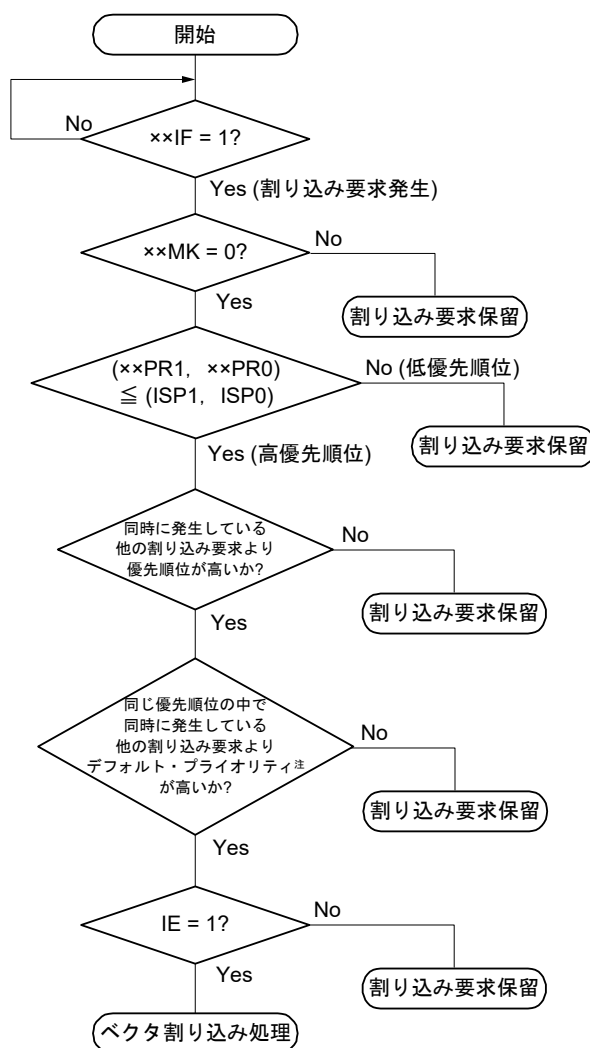
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図22-10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図22 - 10 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

××PR0 : 優先順位指定フラグ0

××PR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

ISP0, ISP1: 現在処理中の割り込みの優先順位を示すフラグ(図22 - 9参照)

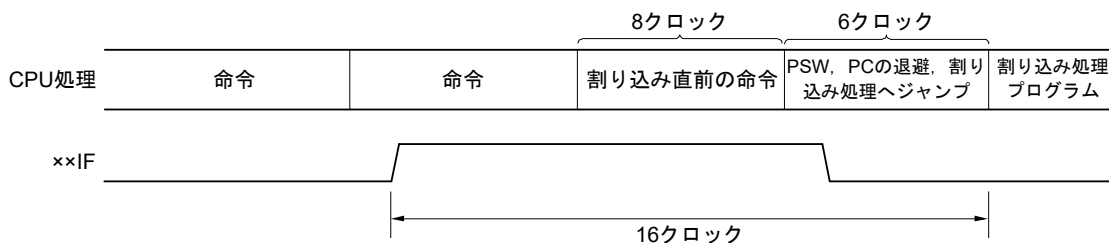
注 デフォルト・プライオリティは、表22 - 1～表22 - 4 割り込み要因一覧を参照してください。

図22 - 11 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

図22 - 12 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

22.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

22.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット(1)した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表22 - 11に割り込み処理中に多重割り込み可能な割り込み要求の関係を、図22 - 13, 図22 - 14に多重割り込みの例を示します。

表 22 - 11 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

備考2. × : 多重割り込み不可能。

備考3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち(すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタに含まれるフラグです。

PR = 00 : **PR1× = 0, **PR0× = 0でレベル0を指定(高優先順位)

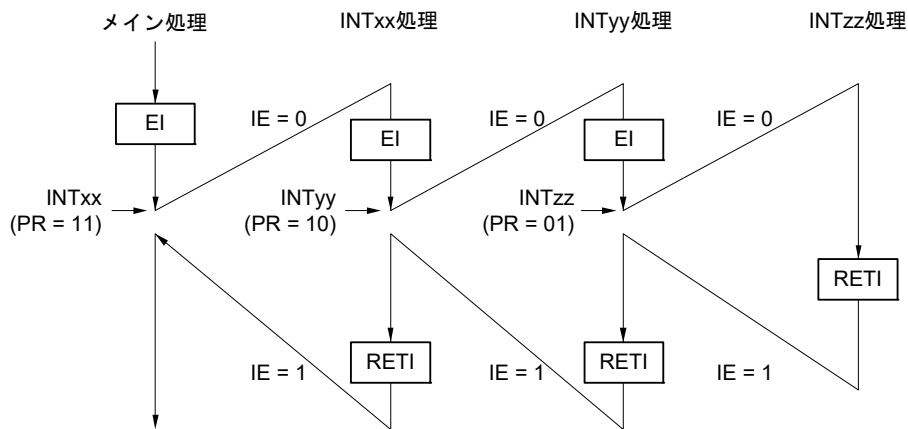
PR = 01 : **PR1× = 0, **PR0× = 1でレベル1を指定

PR = 10 : **PR1× = 1, **PR0× = 0でレベル2を指定

PR = 11 : **PR1× = 1, **PR0× = 1でレベル3を指定(低優先順位)

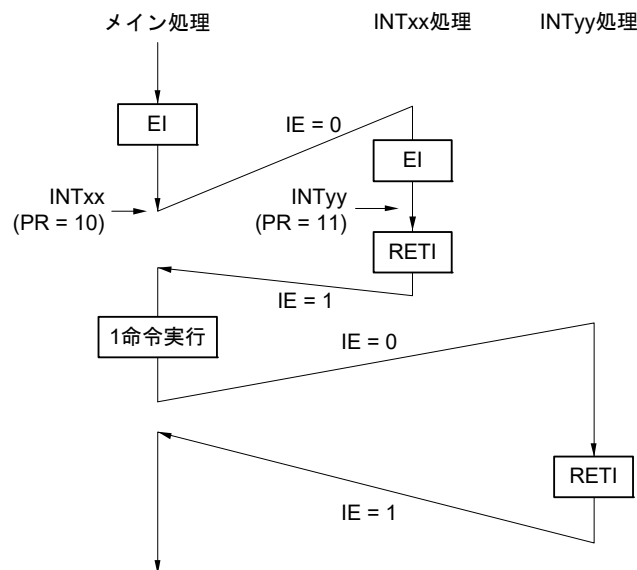
図22 - 13 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times\times PR1\times = 0, \times\times PR0\times = 0$ でレベル0を指定(高優先順位)

PR = 01 : $\times\times PR1\times = 0, \times\times PR0\times = 1$ でレベル1を指定

PR = 10 : $\times\times PR1\times = 1, \times\times PR0\times = 0$ でレベル2を指定

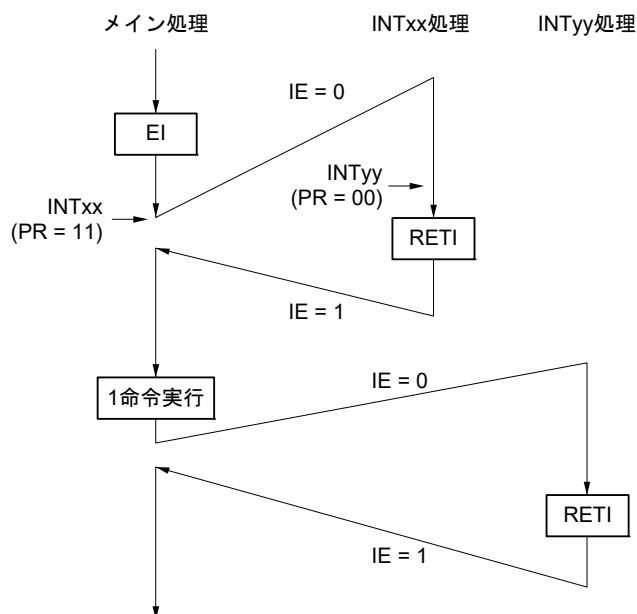
PR = 11 : $\times\times PR1\times = 1, \times\times PR0\times = 1$ でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図22 - 14 多重割り込みの例(2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ でレベル0を指定(高優先順位)

PR = 01 : $\times\times PR1\times = 0$, $\times\times PR0\times = 1$ でレベル1を指定

PR = 10 : $\times\times PR1\times = 1$, $\times\times PR0\times = 0$ でレベル2を指定

PR = 11 : $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

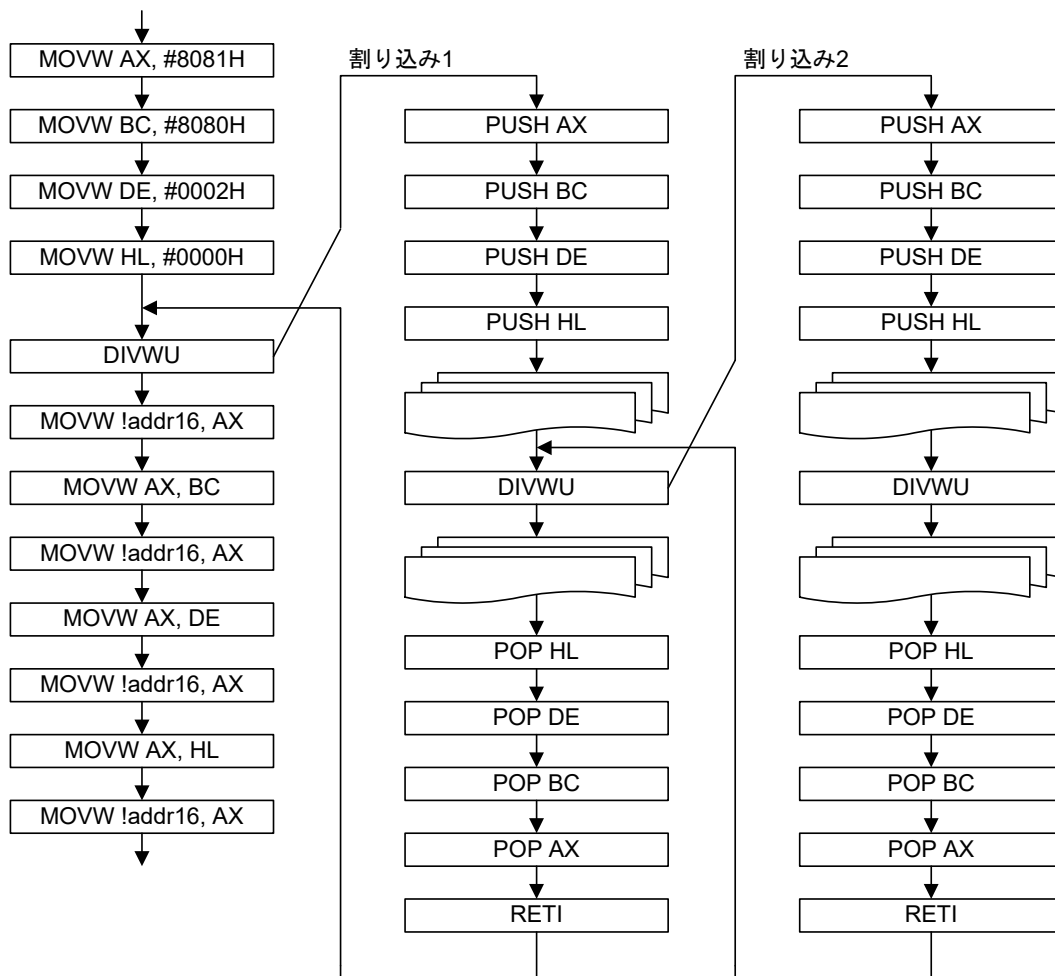
22.4.4 除算命令中の割り込み処理

RL78/L1Aは、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)s	(SP-2) ← (PC-3)s
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCs ← 0000	PCs ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。

ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。

下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

22.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, # byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図22 - 15に示します。

図22 - 15 割り込み要求の保留



備考1. 命令N : 割り込み要求の保留命令

備考2. 命令M : 割り込み要求の保留命令以外の命令

第23章 キー割り込み機能

23.1 キー割り込みの機能

キー割り込み入力端子 (KR0-KR7) に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表23 - 1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ (KRM0)
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05
KR6	KRM06
KR7	KRM07

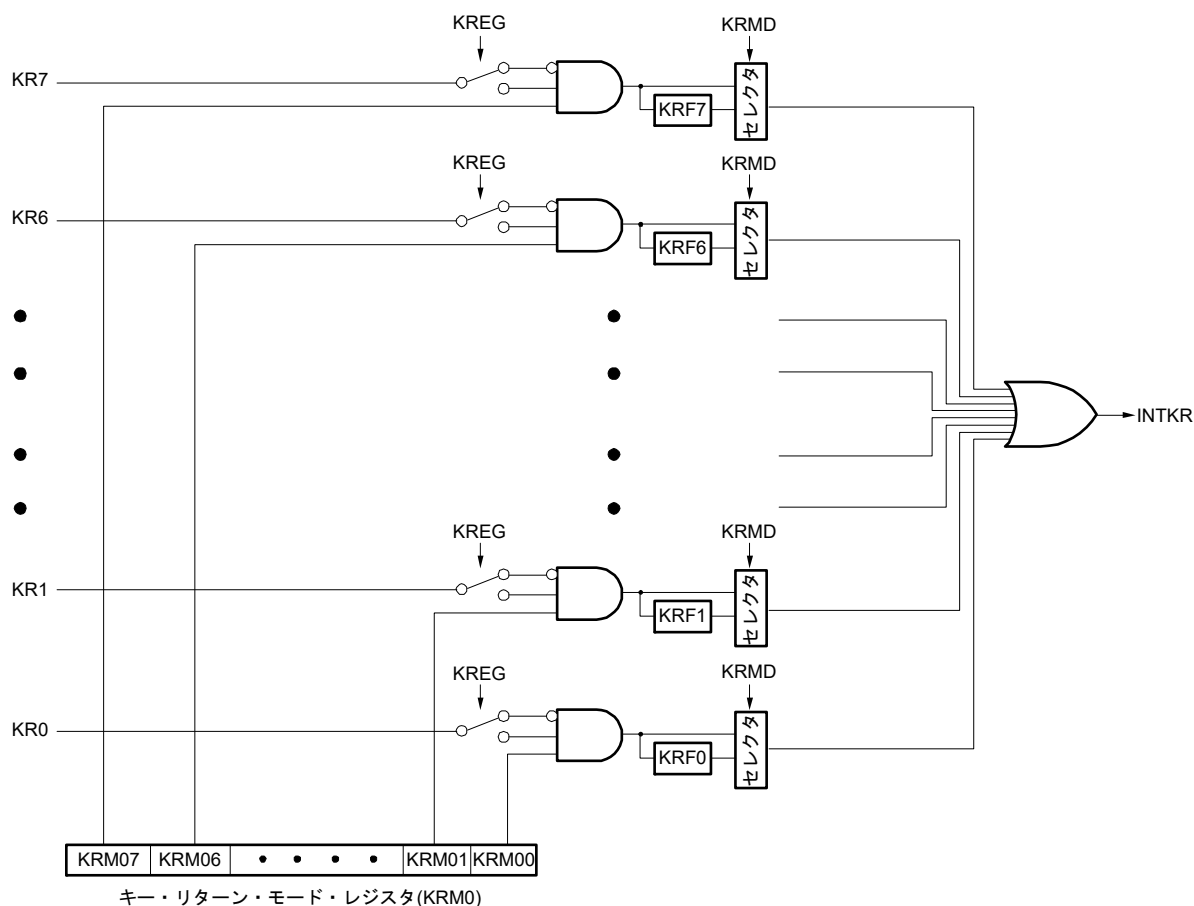
23.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表 23 - 2 キー割り込みの構成

項目	構成
入力	KR0-KR7
制御レジスタ	キー・リターン・コントロール・レジスタ (KRCTL) キー・リターン・モード・レジスタ (KRM0) キー・リターン・フラグ・レジスタ (KRF) ポート・モード・レジスタ7 (PM7)

図 23 - 1 キー割り込みのブロック図



23.3 キー割り込みを制御するレジスタ

キー割り込み機能は、次のレジスタで制御します。

- キー・リターン・コントロール・レジスタ (KRCTL)
- キー・リターン・モード・レジスタ (KRM0)
- キー・リターン・フラグ・レジスタ (KRF)
- ポート・モード・レジスタ7 (PM7)

23.3.1 キー・リターン・コントロール・レジスタ (KRCTL)

キー・リターン・フラグ (KRF0-KRF7) の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-2 キー・リターン・コントロール・レジスタ (KRCTL) のフォーマット

アドレス : FFF34H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRCTL	KRMD	0	0	0	0	0	0	KREG
KRMD	キー・リターン・フラグ (KRF0-KRF7) の使用							
0	キー・リターン・フラグを使用しない							
1	キー・リターン・フラグを使用する							
KREG	検出エッジの選択 (KR0-KR7)							
0	立ち下がリエッジ							
1	立ち上がりエッジ							

23.3.2 キー・リターン・モード・レジスタ (KRM0)

キー割り込みモードを設定するレジスタです。

KRM0レジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-3 キー・リターン・モード・レジスタ (KRM0) のフォーマット

アドレス : FFF37H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御 (n = 0-7)
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. キー割り込み入力端子のプルアップ抵抗レジスタ 7(PU7)の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。

注意2. キー割り込み入力端子にロウ・レベル(KREGに0を設定時)/ハイ・レベル(KREGに1を設定時)が入力されている状態で、KRM0レジスタの対象ビットをセットすると、割り込みが発生します。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理を禁止にしてから、内容を変更してください。その後、キー割り込み入力ロウ・レベル幅(tkR) (35.4AC特性参照)を待ってから、割り込み要求フラグをクリアし、割り込み処理を許可にしてください。

注意3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

23.3.3 キー・リターン・フラグ・レジスタ (KRF)

キー・リターン・フラグ(KRF0-KRF7)を制御するレジスタです。

KRFレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23-4 キー・リターン・フラグ・レジスタ (KRF)のフォーマット

アドレス : FFF35H リセット時 : 00H R/W注

略号	7	6	5	4	3	2	1	0
KRF	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
KRFn	キー割り込みフラグ(n = 0-7)							
0	キー割り込み信号を未検出							
1	キー割り込み信号を検出							

注 1の書き込みは無効です。KRFnビットをクリアするには、対象ビットに0、他のビットに1を8ビット・メモリ操作命令で書いてください。

注意 KRMD = 0のとき、KRFn = 1の設定は禁止です。

23.3.4 ポート・モード・レジスタ7 (PM7)

キー割り込み入力端子(KR0-KR7)として使用するとき、PM7nビットにそれぞれ1を設定してください。このときP7nの出カラッチは、0または1のどちらでもかまいません。

PM7レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PM7レジスタはFFHになります。

また、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用することができます。

図23-5 ポート・モード・レジスタ7 (PM7)のフォーマット

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	P7n/KRn端子の入出力モードの選択(n = 7)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

第24章 スタンバイ機能

24.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSIp, UARTqのデータ受信, DTC起動要因により、STOPモードを解除し、CPUを動作させることなくCSIp, UARTqのデータ受信, DTC動作を行います。CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出カラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください(SNOOZEモード設定ユニットを除く)。
- 注意3. CSIp, UARTqをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ m (SSCm) をSTOPモードに移行前に設定してください。詳細は、17.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。
- 注意4. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトのWDTON, WDTSTBONビットとサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットで選択できます。詳細は5.1(3) 低速オンチップ・オシレータ・クロックを参照してください。

備考 p = 00, 20; q = 0, 2; m = 0, 1

24.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ(OSMC)
- 発振安定時間カウンタ状態レジスタ(OSTC)
- 発振安定時間選択レジスタ(OSTS)

備考 上記レジスタの詳細は、第5章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第17章 シリアル・アレイ・ユニットを参照してください。

24.3 スタンバイ機能の動作

24.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0”(割り込み処理許可)で且つ割り込み要求フラグが“1”(割り込み要求信号が発生)の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表 24 - 1 HALTモード時の動作状態(1/2)

HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時			
項目			高速オンチップ・オシレータ・クロック (fHOCO) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時
	システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	fHOCO	動作継続(停止不可)	動作禁止		
	fx	動作禁止	動作継続(停止不可)	動作不可	
	fEX		動作不可	動作継続(停止不可)	
サブシステム・クロック	fXT	HALTモード設定前の状態を継続			
	fEXT				
fiL	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止				
CPU		動作停止			
コード・フラッシュ・メモリ		動作停止			
データ・フラッシュ・メモリ		動作停止			
RAM		動作停止(DTC実行時は動作可能)			
ポート(ラッチ)		HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット		動作可能			
8ビット・インターバル・タイマ					
リアルタイム・クロック2					
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照			
クロック出力/ブザー出力		動作可能			
A/Dコンバータ					
D/Aコンバータ					
オペアンプ					
ポルテージ・リファレンス					
コンパレータ					
アナログMUX					
低抵抗スイッチ					
シリアル・アレイ・ユニット(SAU)					
シリアル・インタフェース(IICA)					
LCDコントローラ/ドライバ		動作可能(ただし, LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能, 停止中なら動作停止))			
DTC		動作可能			
ELC		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC				
	汎用CRC	動作停止(RAM領域の演算で, DTC実行時は動作可能)			
RAMパリティ・エラー検出機能		動作停止(DTC実行時は動作可能)			
RAMガード機能					
SFRガード機能					
不正メモリ・アクセス検出機能					

備考 動作停止 : HALTモード移行時に自動的に動作停止 fx : X1クロック
 動作禁止 : HALTモード移行前に動作を停止させる fEX : 外部メイン・システム・クロック
 fHOCO : 高速オンチップ・オシレータ・クロック fXT : XT1クロック
 fiL : 低速オンチップ・オシレータ・クロック fEXT : 外部サブシステム・クロック

表 24 - 2 HALT モード時の動作状態 (2/2)

項目		HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
				XT1クロック (fxT)でCPU動作時	外部サブシステム・クロック (fEXT)でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	fHOCO	動作禁止			
	fx				
	fEX				
サブシステム・クロック	fxT	動作継続(停止不可)	動作不可		
	fEXT	動作不可	動作継続(停止不可)		
fil	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止				
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM		動作停止(DTC実行時は動作可能)			
ポート(ラッチ)		HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)			
8ビット・インターバル・タイマ		動作可能			
リアルタイム・クロック2					
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照			
クロック出力/ブザー出力		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)			
A/Dコンバータ		動作禁止			
D/Aコンバータ		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)			
オペアンプ		動作可能			
ボルテージ・リファレンス					
コンパレータ		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)			
アナログMUX		動作禁止			
低抵抗スイッチ					
シリアル・アレイ・ユニット(SAU)		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)			
シリアル・インタフェース(IICA)		動作禁止			
LCDコントローラ/ドライバ		動作可能(ただし、LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能、停止中なら動作停止))			
DTC		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)			
ELC		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC	動作禁止			
	汎用CRC	動作停止(RAM領域の演算で、DTC実行時は動作可能)			
RAMパリティ・エラー検出機能		動作停止(DTC実行時は動作可能)			
RAMガード機能					
SFRガード機能					
不正メモリ・アクセス検出機能					

備考 動作停止 : HALTモード移行時に自動的に動作停止 fx : X1クロック
 動作禁止 : HALTモード移行前に動作を停止させる fEX : 外部メイン・システム・クロック
 fHOCO : 高速オンチップ・オシレータ・クロック fxT : XT1クロック
 fil : 低速オンチップ・オシレータ・クロック fEXT : 外部サブシステム・クロック

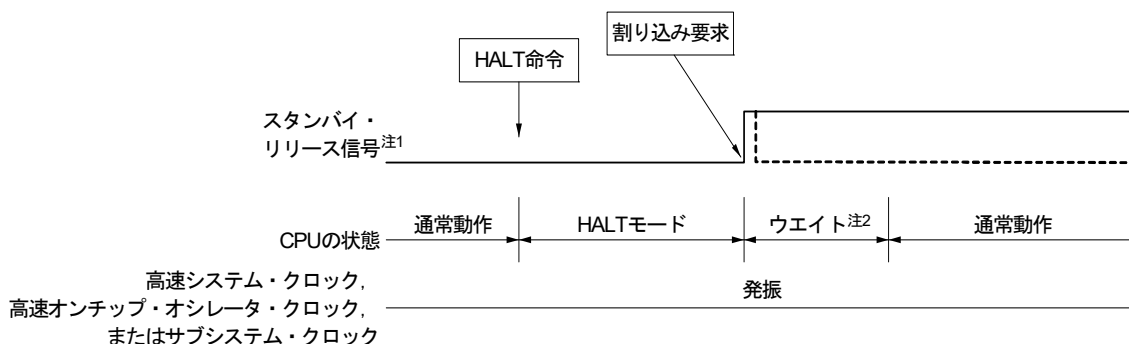
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図24-1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関するの詳細は、図22-1を参照してください。

注2. HALTモード解除のウェイト時間

- ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時 : 15~16クロック
 - サブシステム・クロック時(RTCLPC = 0) : 10~11クロック
 - サブシステム・クロック時(RTCLPC = 1) : 11~12クロック
- ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時 : 9~10クロック
 - サブシステム・クロック時(RTCLPC = 0) : 4~5クロック
 - サブシステム・クロック時(RTCLPC = 1) : 5~6クロック

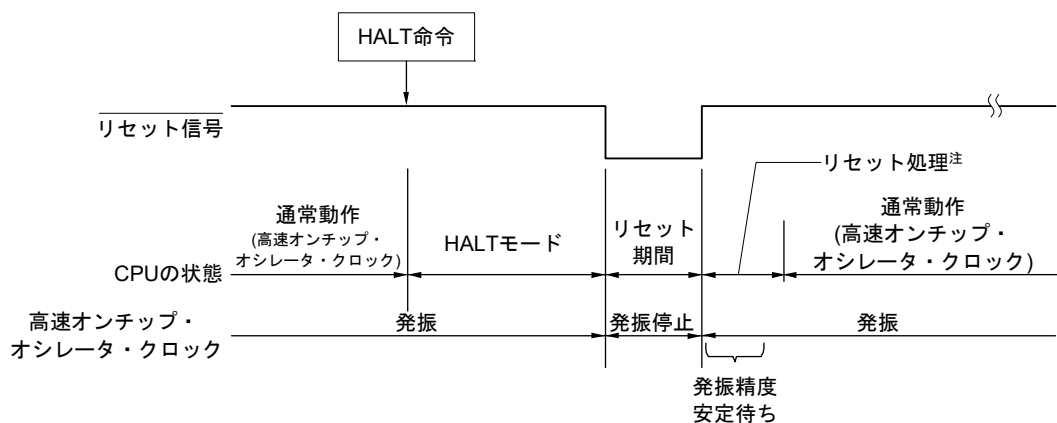
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

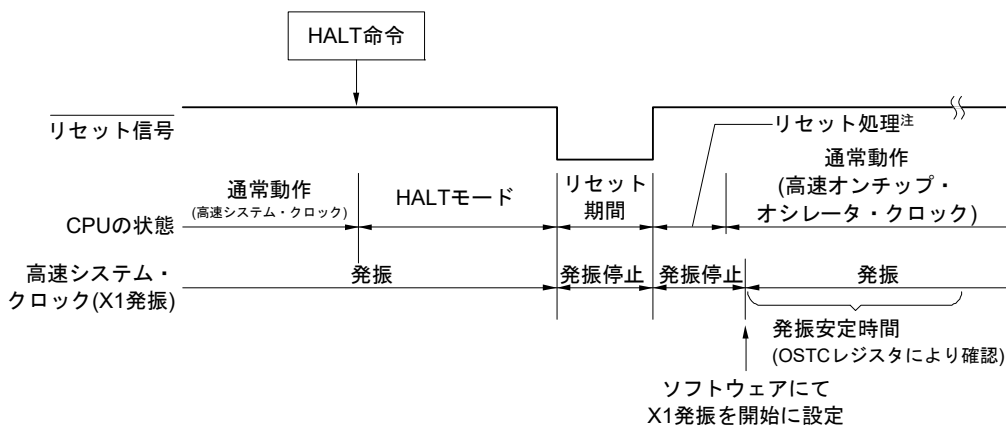
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図24-2 HALTモードのリセットによる解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



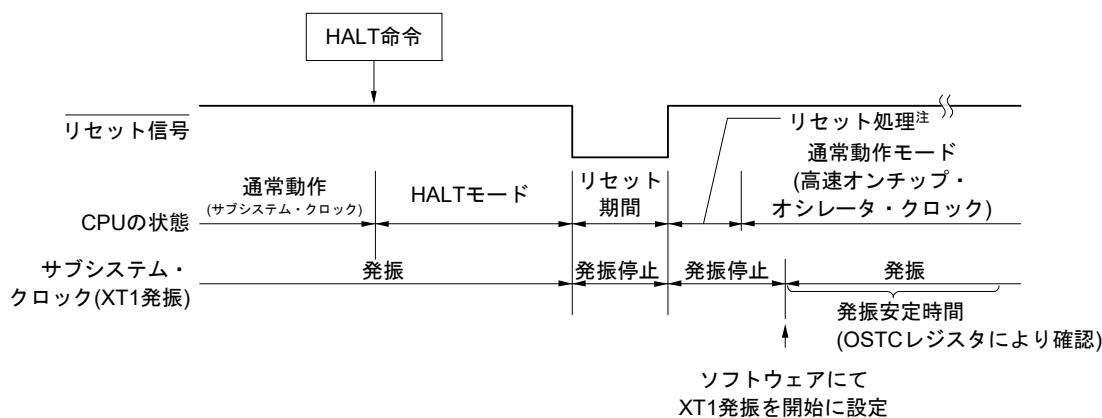
(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第25章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第26章 パワーオン・リセット回路を参照してください。

図24 - 3 HALTモードのリセットによる解除(2/2)

(3) CPUクロックがサブシステム・クロックの場合



注 リセット処理時間は、第25章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第26章 パワーオン・リセット回路を参照してください。

24.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込みマスク・フラグが“0” (割り込み処理許可) で且つ割り込み要求フラグが“1” (割り込み要求信号が発生) の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。

したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表 24 - 3 STOPモード時の動作状態

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速オンチップ・オシレータ・クロック (fHOCO) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	fHOCO	停止		
	fx			
	fEX			
サブシステム・クロック	fXT	STOPモード設定前の状態を継続		
	fEXT			
fil	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1 かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1 かつWDSTBYON = 0のとき : 停止			
CPU		動作停止		
コード・フラッシュ・メモリ		動作停止		
データ・フラッシュ・メモリ		動作停止		
RAM		動作停止		
ポート(ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット		動作禁止		
8ビット・インターバル・タイマ		動作可能		
リアルタイム・クロック2				
12ビット・インターバル・タイマ				
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照		
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は, 動作禁止)		
A/Dコンバータ		動作停止		
D/Aコンバータ		動作可能(STOPモード設定前の状態を継続)		
コンパレータ		動作可能(デジタルフィルタ未使用時のみ)		
オペアンプ		動作可能(STOPモード設定前の状態を継続)		
ボルテージ・リファレンス		動作停止		
アナログMUX		動作停止		
低抵抗スイッチ		動作停止		
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみウエイク・アップ動作可能(SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止		
シリアル・インタフェース(IICA)		アドレス一致によるウエイク・アップ動作可能		
LCDコントローラ/ドライバ		動作可能(ただし, LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能, 停止中なら動作停止))		
DTC		DTC起動要因受付動作可能(SNOOZEモードに遷移)		
ELC		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能	高速CRC	動作停止		
	汎用CRC			
RAMパリティ・エラー検出機能		動作停止		
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

(注意, 備考は次ページにあります。)

備考1. 動作停止 : STOPモード移行時に自動的に動作停止 fx : X1クロック
動作禁止 : STOPモード移行前に動作を停止させる flL : 低速オンチップ・オシレータ・クロック
fHOCO : 高速オンチップ・オシレータ・クロック fEX : 外部メイン・システム・クロック
fXT : XT1クロック fEXT : 外部サブシステム・クロック

備考2. p = 00, 20; q = 0, 2

注意 STOPモード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。

(2) STOPモードの解除

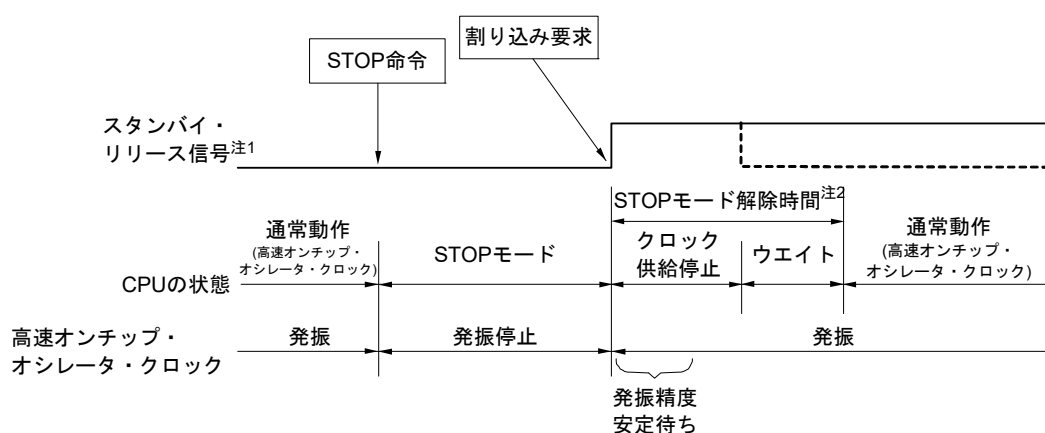
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図24 - 4 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関する詳細は、図22 - 1を参照してください。

注2. STOPモード解除時間

クロック供給停止 : 18 μ s ~ 65 μ s

ウエイト :

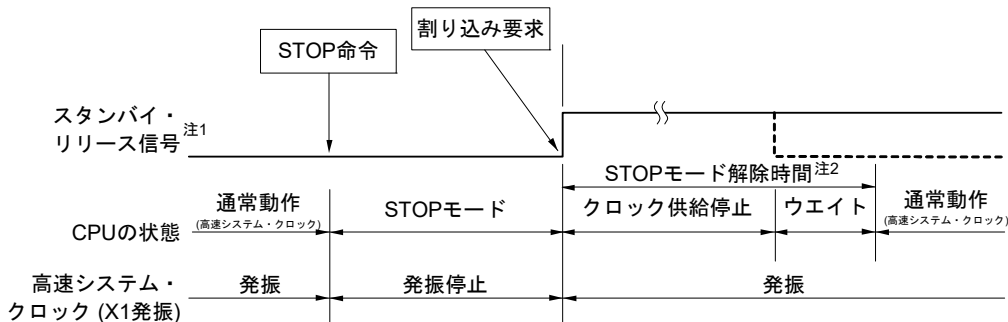
- ベクタ割り込み処理を行う場合 : 7クロック
- ベクタ割り込み処理を行わない場合 : 1クロック

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図24 - 5 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号に関する詳細は、図22 - 1を参照してください。

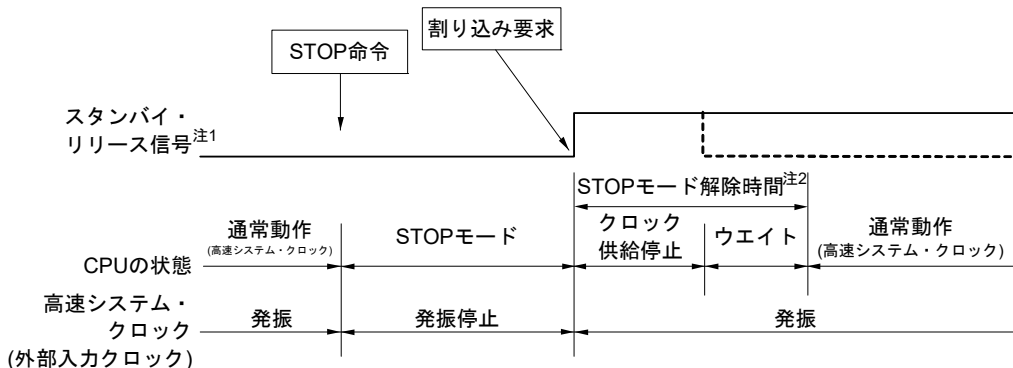
注2. STOPモード解除時間

クロック供給停止：18 μs ~ “65 μs または発振安定時間(OSTSで設定)の長い方”

ウェイト：

- ベクタ割り込み処理を行う場合：10~11クロック
- ベクタ割り込み処理を行わない場合：4~5クロック

(3) CPUクロックが高速システム・クロック(外部クロック入力)の場合



注1. スタンバイ・リリース信号に関する詳細は、図22 - 1を参照してください。

注2. STOPモード解除時間

クロック供給停止：18 μs ~ 65 μs

ウェイト：

- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注意 高速システム・クロック(X1発振)でCPU動作している、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

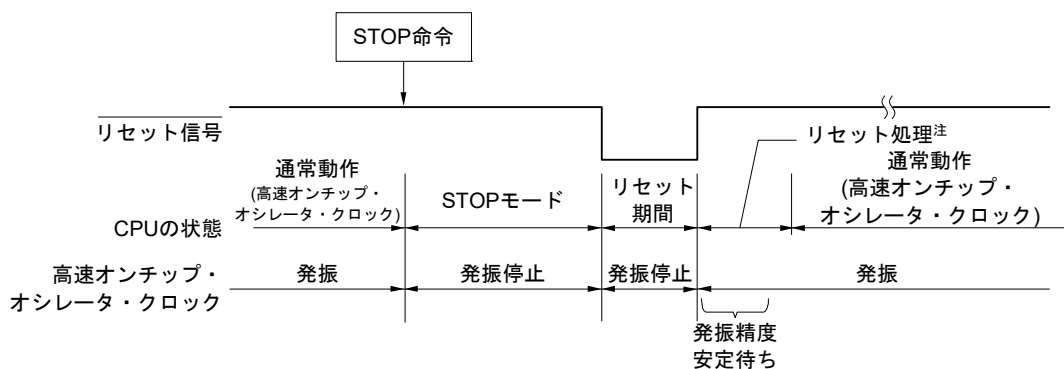
備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

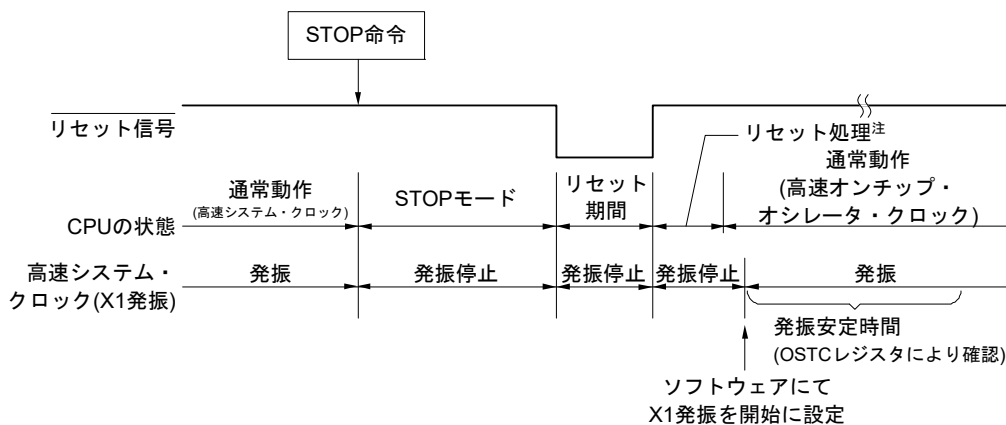
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図24-6 STOPモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第25章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第26章 パワーオン・リセット回路を参照してください。

24.3.3 SNOOZE モード

(1) SNOOZE モードの設定および動作状態

CSIp, UARTq, DTCのみ設定可能です。また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSIp, UARTqをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ m (SSCm)をSTOPモードに移行前に設定してください。詳細は、17.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

DTC転送をSNOOZEモードで使用する場合は、STOPモードに移行する前に、使用するDTC起動要因を許可してください。STOPモード中に、許可したDTC起動要因を検出すると自動的にSNOOZEモードに遷移します。詳細は、20.3 DTCを制御するレジスタを参照してください。

備考 p = 00, 20; q = 0, 2; m = 0, 1

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間：18 μs ~ 65 μs

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

- ベクタ割り込み処理を行う場合

HS (高速メイン)モード：“4.99~9.44 μs” + 7クロック

LS (低速メイン)モード：“1.10~5.08 μs” + 7クロック

- ベクタ割り込み処理を行わない場合

HS (高速メイン)モード：“4.99~9.44 μs” + 1クロック

LS (低速メイン)モード：“1.10~5.08 μs” + 1クロック

次にSNOOZEモード時の動作状態を示します。

表 24 - 4 SNOOZEモード時の動作状態

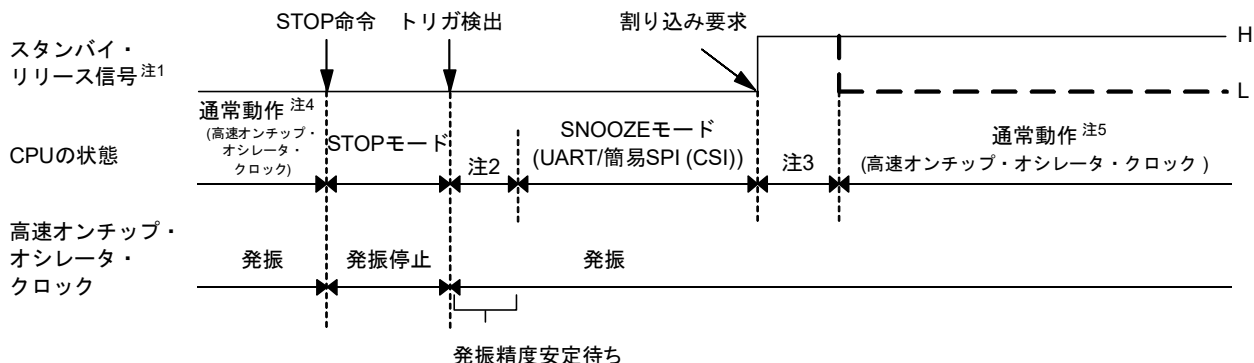
STOPモードの設定		STOPモード中にCSIp, UARTqのデータ受信信号, DTC起動要因発生時
項目		高速オンチップ・オシレータ・クロック (fHOCO)でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	fHOCO	動作開始
	fX	停止
	fEX	
サブシステム・クロック	fXT	STOPモード中の状態を継続
	fEXT	
fil		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 <ul style="list-style-type: none"> WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		動作停止 (DTC実行時は動作可能)
ポート(ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
8ビット・インターバル・タイマ		動作可能
リアルタイム・クロック2		
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は, 動作禁止)
A/Dコンバータ		動作停止
D/Aコンバータ		動作可能(SNOOZEモード遷移前の状態を保持)
オペアンプ		
ボルテージ・リファレンス		
コンパレータ		動作可能(デジタルフィルタ未使用時のみ)
アナログMUX		動作停止
低抵抗スイッチ		
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみ動作可能 CSIp, UARTq以外は動作禁止
シリアル・インタフェース(IICA)		動作禁止
LCDコントローラ/ドライバ		動作可能(ただし, LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能, 停止中なら動作停止))
DTC		動作可能
ELC		動作可能な機能ブロック間のリンクが可能
パワーオン・リセット機能		動作可能
電圧検出機能		
外部割り込み		
キー割り込み機能		
CRC演算機能	高速CRC	動作停止
	汎用CRC	動作禁止
RAMパリティ・エラー検出機能		動作停止(DTC実行時は動作可能)
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

備考1. 動作停止 : STOPモード移行時に自動的に動作停止 fX : X1クロック
 動作禁止 : STOPモード移行前に動作を停止させる fEX : 外部メイン・システム・クロック
 fHOCO : 高速オンチップ・オシレータ・クロック fXT : XT1クロック
 fil : 低速オンチップ・オシレータ・クロック fEXT : 外部サブシステム・クロック

備考2. p = 00, 20; q = 0, 2

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

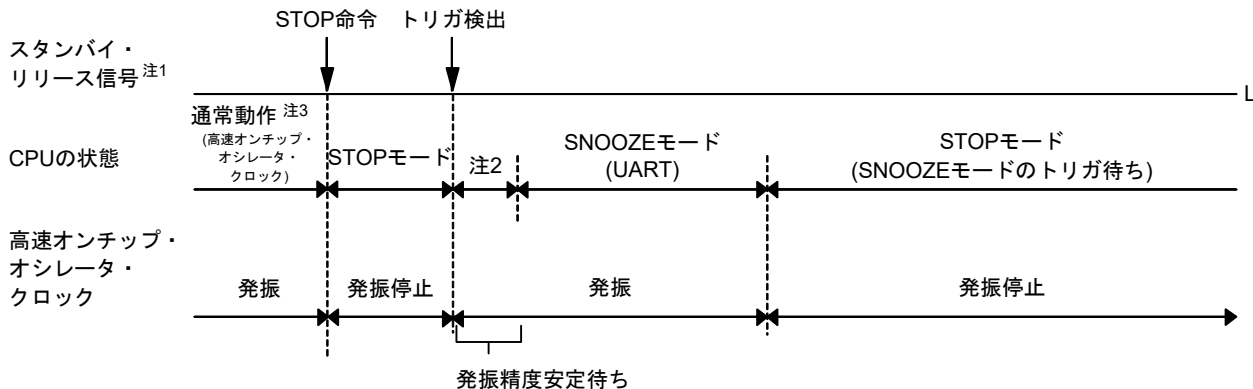
図24 - 7 SNOOZEモードの割り込み要求が発生する場合



- 注1. スタンバイ・リリース信号に関する詳細は、図22 - 1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. SNOOZEモード→通常動作の遷移時間
- 注4. STOPモードへ移行する直前に、SNOOZEモード許可(SWCm = 1)に設定してください。
- 注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除(SWCm = 0)に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図24 - 8 SNOOZEモードの割り込み要求が発生しない場合



- 注1. スタンバイ・リリース信号に関する詳細は、図22 - 1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. STOPモードへ移行する直前に、SNOOZEモード許可(SWCm = 1)に設定してください。

備考 SNOOZEモード機能の詳細は、第17章 シリアル・アレイ・ユニットを参照してください。

第25章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット(POR)回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路(LVD)の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表25-1に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し35.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

注意2. リセット信号発生中では、X1クロック、XT1クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。

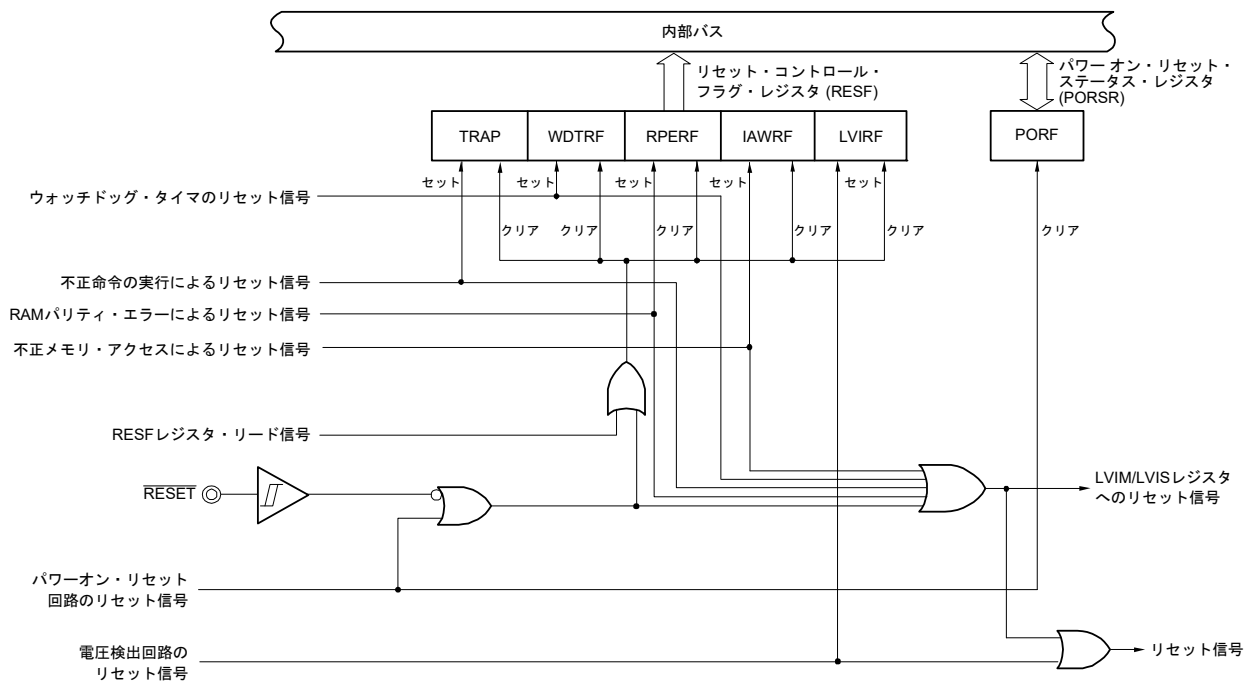
注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40 : 外部リセットか POR によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内部プルアップ抵抗接続)
- P130 : リセット期間中およびリセット受け付け後はロウ・レベル出力
- P40, P130以外のポート : リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考 VPOR : POR電源立ち上がり検出電圧

VLVD : LVD検出電圧

図25-1 リセット機能のブロック図



注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

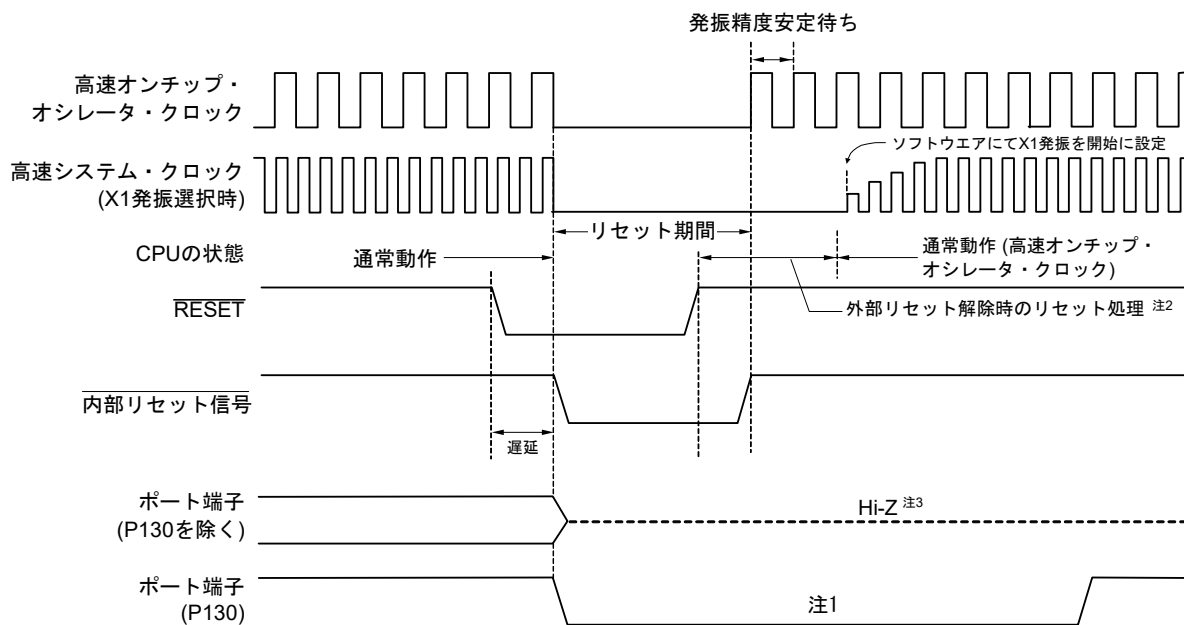
備考1. LVIM : 電圧検出レジスタ

備考2. LVIS : 電圧検出レベル・レジスタ

25.1 リセット動作のタイミング

RESET 端子にロウ・レベルが入力されて、リセットがかかり、RESET 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

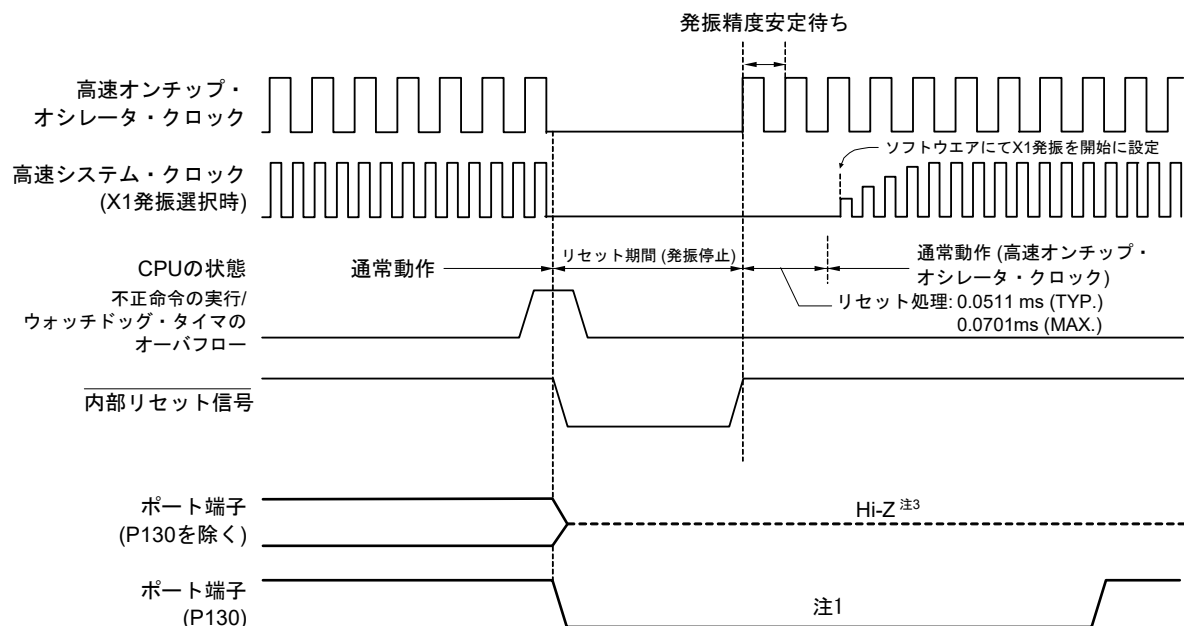
図25-2 RESET入力によるリセット・タイミング



(注、注意は、次ページにあります。)

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図25-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注、注意は、次ページにあります。)

- 注1. リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。
- 注2. 外部リセット解除時のリセット時間：
POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) が
かかります。
- 注3. ポート端子P40は次の状態になります。
- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
 - それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内部プルアップ抵抗接続)になります。

POR回路、LVD回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は、第26章 パワーオン・リセット回路または第27章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{LVD} : LVD検出電圧

25.2 リセット期間中の動作状態

表25-1にリセット期間中の動作状態を、表25-2にリセット受け付け後の各ハードウェアの状態を示します。

表25-1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	fHOCO	動作停止
	fX	動作停止(X1, X2端子は入力ポート・モード)
	fEX	クロックの入力無効(端子は入力ポート・モード)
サブシステム・クロック	fXT	PORリセット以外：動作可能 PORリセット：動作停止(XT1, XT2端子は入力ポート・モード)
	fEXT	PORリセット以外：動作可能 PORリセット：クロック入力無効(端子は入力ポート・モード)
fIL	動作停止	
CPU	動作停止	
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート(ラッチ)	ハイ・インピーダンス注	
タイマ・アレイ・ユニット	動作停止	
8ビット・インターバル・タイマ		
リアルタイム・クロック2	PORリセット以外：動作可能 PORリセット：カレンダー動作可能, RTCC0, RTCC1, SUBCUDレジスタは動作停止	
12ビット・インターバル・タイマ	動作停止	
ウォッチドッグ・タイマ		
クロック出力/ブザー出力		
A/Dコンバータ		
D/Aコンバータ		
オペアンプ		
ボルテージ・リファレンス		
コンパレータ		
アナログMUX		
低抵抗スイッチ		
シリアル・アレイ・ユニット(SAU)		
シリアル・インタフェース(IICA)		
LCDコントローラ/ドライバ	動作停止 (COM専用端子, COM/SEG兼用端子：GND出力, SEG/汎用ポート兼用端子：ハイ・インピーダンス出力, VL1-VL4端子：ハイ・インピーダンス出力, CAPH/P127端子, CAPL/P126端子：ハイ・インピーダンス出力)	
DTC	動作停止	
ELC		
パワーオン・リセット機能	検出動作可能	
電圧検出機能	LVDリセット時は動作可能。それ以外のリセット時は動作停止。	
外部割り込み	動作停止	
キー割り込み機能		
CRC演算機能	高速CRC	
	汎用CRC	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

注 ポート端子P40, P130は次の状態になります。

- ・P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル(内部プルアップ抵抗接続)
- ・P130：リセット期間中はロウ・レベル出力

備考 fHOCO： 高速オンチップ・オシレータ・クロック

fx : X1 発振クロック
 feX : 外部メイン・システム・クロック
 fxT : XT1 発振クロック
 feXT : 外部サブシステム・クロック周波数
 fil : 低速オンチップ・オシレータ・クロック

表 25 - 2 リセット受け付け後の各ハードウェアの状態

ハードウェア		リセット受け付け後の状態 ^注
プログラム・カウンタ(PC)		リセット・ベクタ・テーブル(00000H, 00001H)の内容がセットされる。
スタック・ポインタ(SP)		不定
プログラム・ステータス・ワード(PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ(SFR : Special Function Register)のリセット受付後の状態は、3.2.4 特殊機能レジスタ(SFR : Special Function Register)領域、3.2.5 拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)領域を参照してください。

25.3 リセット要因を確認するレジスタ

25.3.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF)は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット(POR)回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図25-4 リセット・コントロール・フラグ・レジスタ (RESF)のフォーマット

アドレス : FFFA8H リセット時 : 不定注¹ R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP	不正命令の実行による内部リセット要求注 ²							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ(WDT)による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
RPERF	RAMパリティ・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							
LVIRF	電圧検出(LVD)回路による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした							
1	内部リセット要求は発生した							

注1. リセット要因により異なります。表25-3を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMフェッチ中の命令コードは、パリティ・エラー検出対象外です。ただし、RAMの命令フェッチによるRAMデータ読み出しは、パリティ・エラー検出を行います。

注意3. RL78はパイプ・ライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

リセット要求時のRESFレジスタの状態を表25-3に示します。

表25-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAM パリティ・ エラーによる リセット	不正メモリ・ アクセスに よるリセット	LVDによる リセット
TRAP	クリア(0)	クリア(0)	セット(1)	保持	保持	保持	保持
WDTRF			保持	セット(1)			
RPERF			保持	セット(1)			
IAWRF			保持	セット(1)			
LVIRF			保持	セット(1)			

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。

25.3.2 パワーオン・リセット・ステータス・レジスタ (PORSR)

PORSRレジスタは、パワーオン・リセットの発生を確認するレジスタです。

PORSRレジスタのビット0 (PORF)は“1”書き込み有効であり、“0”書き込みは無効です。

パワーオン・リセット発生の有無を確認するときは、あらかじめPORFビットに“1”を書き込んでおいてください。

PORSRレジスタは、8ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00Hになります。

注意1. PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注意2. PORFが“1”のとき、パワーオン・リセットが発生していないことは保証されますが、RAMの値が保持されていることを保証するものではありません。

図25-5 パワーオン・リセット・ステータス・レジスタ (PORSR)のフォーマット

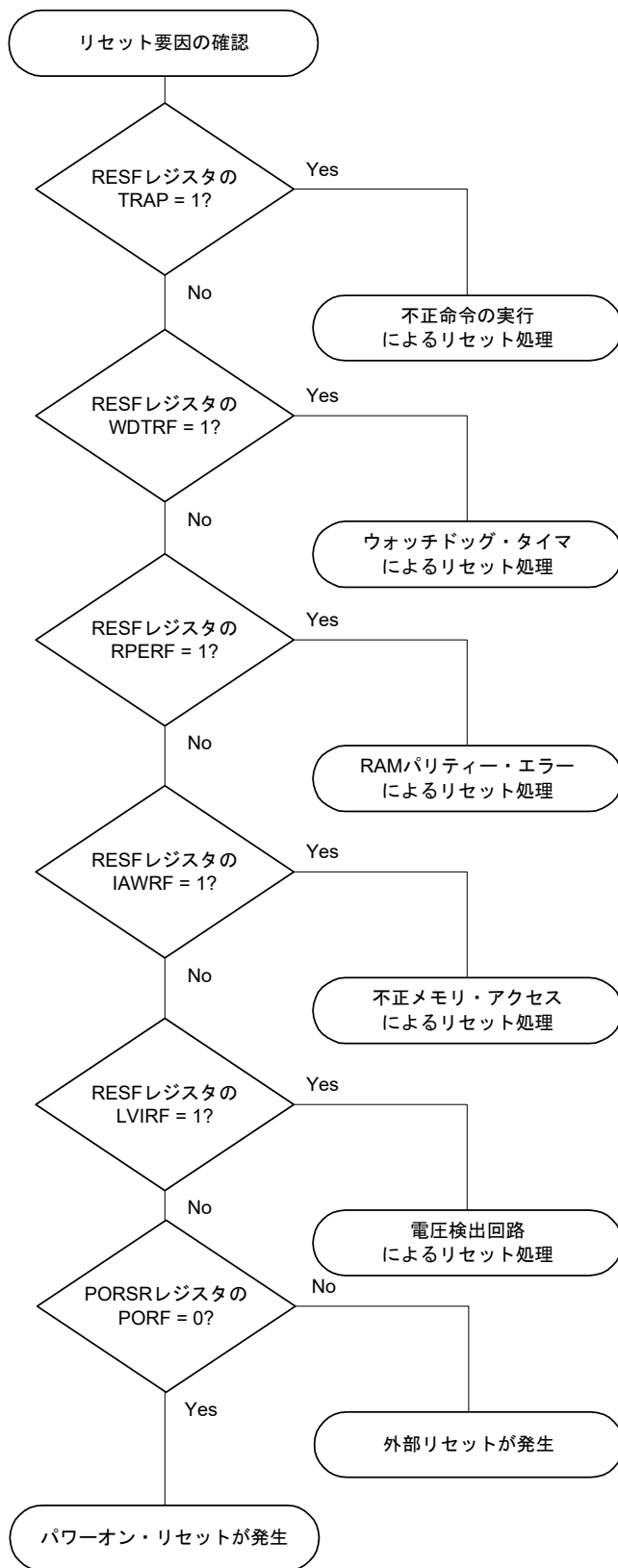
アドレス : F00F9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PORSR	0	0	0	0	0	0	0	PORF

PORF	パワーオン・リセット発生確認
0	“1”書き込みが行われていない、またはパワーオン・リセットが発生
1	パワーオン・リセットは発生していない

リセット要因の確認手順例を図25-6に示します。

図25-6 リセット要因の確認手順例



注意 上記フローは確認手順の一例です。

第26章 パワーオン・リセット回路

26.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。

電源電圧(VDD)が検出電圧(VPOR)を越えた場合に、リセットを解除します。ただし、35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- 電源電圧(VDD)と検出電圧(VPDR)を比較し、 $VDD < VPDR$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、35.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)およびパワーオン・リセット・ステータス・レジスタ(PORSR)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。

ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第25章 リセット機能を参照してください。

備考2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ(PORSR)で確認することができます。PORSRレジスタの詳細については、第25章 リセット機能を参照してください。

備考3. VPOR : POR電源立ち上がり検出電圧

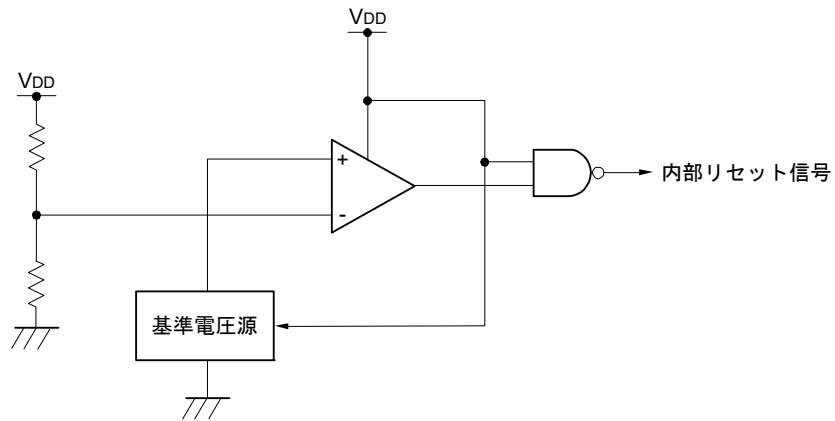
VPDR : POR電源立ち下がり検出電圧

詳細は、35.6.9 POR回路特性を参照してください。

26.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図26 - 1に示します。

図26 - 1 パワーオン・リセット回路のブロック図

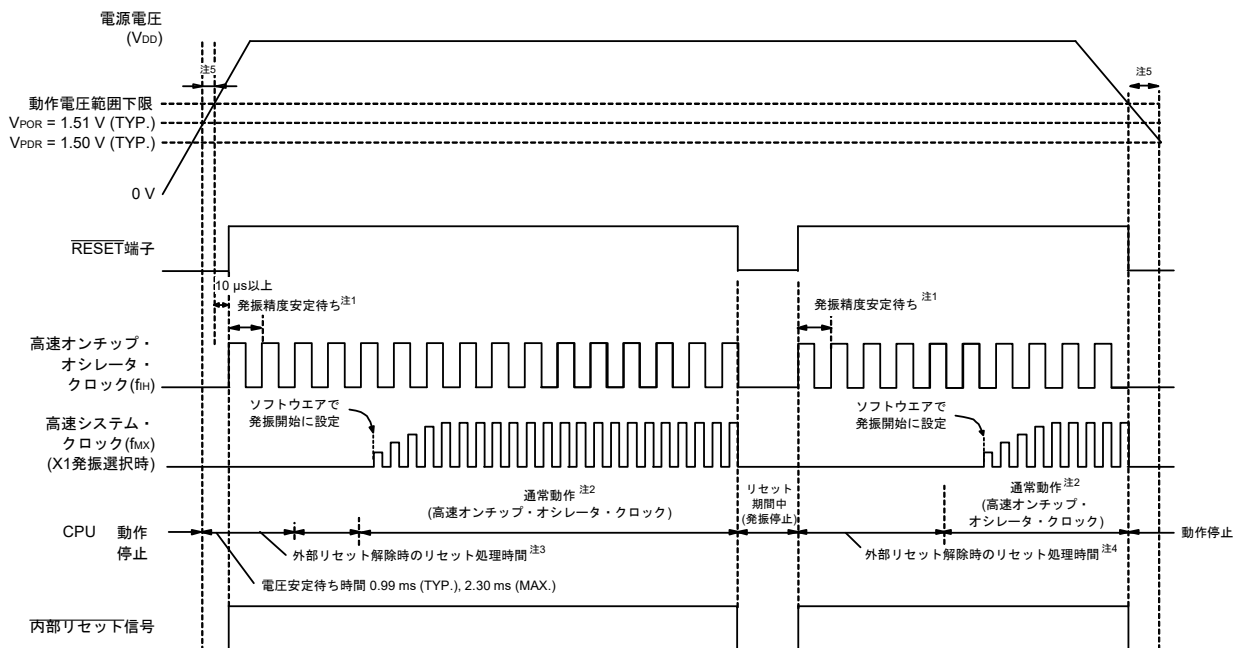


26.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図26-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(1/3)

(1) RESET端子による外部リセット使用時

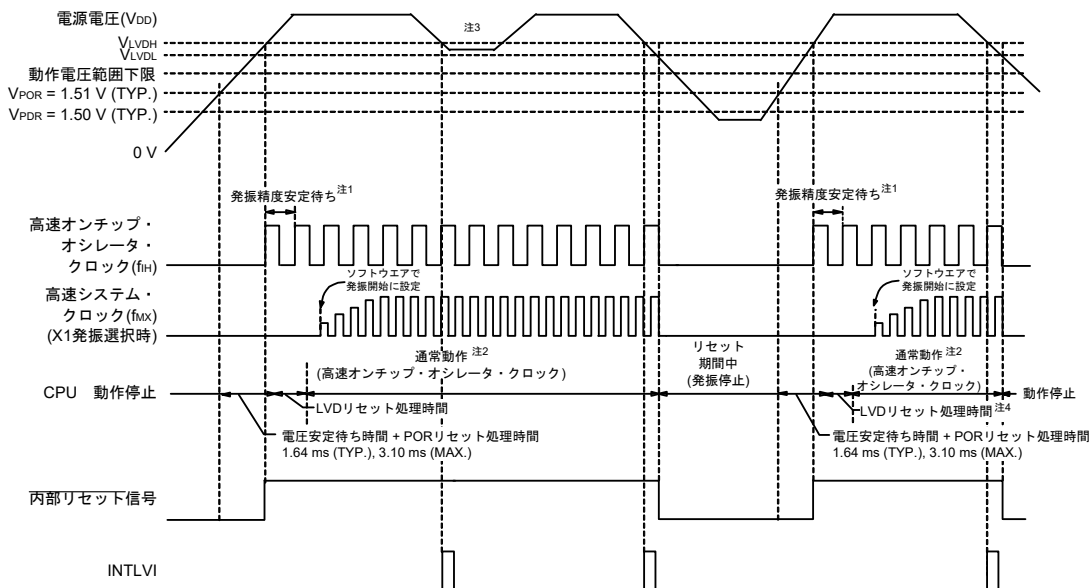


- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間 (POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。
- POR解除後1回目 : 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
 0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
- 注4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。
- POR解除後2回目以降 : 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
 0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
- 注5. 電源立ち上がり時は、35.4 AC 特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。
- 注意 LVDオフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第27章 電圧検出回路を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

図26-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生時のタイミング(2/3)

(2) LVD割り込み&リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)

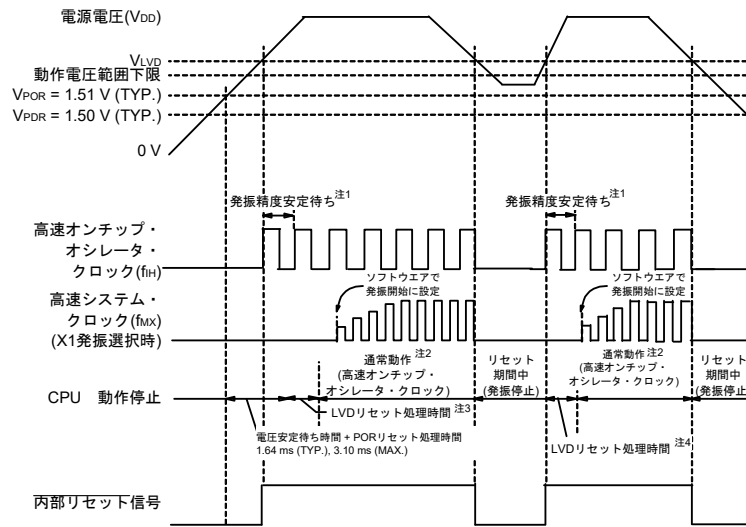


- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 割り込み要求信号(INTLVI)が発生したあと、電圧検出レベル・レジスタ(LVIS)のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧(VLVDL)を下回らずに、高電圧検出電圧(VLVDH)以上に復帰する場合は考慮して、INTLVI発生後は、“図27-8 動作電圧確認/リセットの設定手順”と“図27-9 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。
- 注4. 通常動作が開始されるまでの時間は、VPOR (1.51V(TYP.))に到達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル(VLVDH)に達してから次の“LVDリセット処理時間”が掛かります。
リセット処理時間 : 0 ms ~ 0.0701 ms (MAX.)

備考 VLVDH, VLVDL : LVD検出電圧
 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

図26-4 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生時のタイミング(3/3)

(3) LVD リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 1)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。

注3. 通常動作が開始されるまでの時間は、V_{POR}(1.51V(TYP.))に到達してから次の“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

注4. 電源電圧降下時、電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0.0511 ms (TYP.) ~ 0.0701 ms (MAX.)

備考1. V_{LVDH}, V_{LVDL} : LVD検出電圧

V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

備考2. LVD割り込みモード(オプション・バイト000C1HのLVIMD1, LVIMD0=0,1)を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図26-4 (3) LVDリセット・モード時の“注3”の時間と同じです。

第27章 電圧検出回路

27.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト(000C1H)で動作モードと検出電圧(VLVDH, VLVDL, VLVD)を設定します。

電圧検出(LVD)回路は、次のような機能を持ちます。

- 電源電圧(VDD)と検出電圧(VLVDH, VLVDL, VLVD)を比較し、内部リセットまたは割り込み要求信号を発生します。
- 電源電圧の検出電圧(VLVDH, VLVDL, VLVD)は、オプション・バイトにて検出レベルを10段階より選択できます(第30章 オプション・バイト参照)。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
- 動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

(a) 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧(VLVDH, VLVDL)を選択します。高電圧検出レベル(VLVDH)はリセット解除用/割り込み発生用として使用します。低電圧検出レベル(VLVDL)はリセット発生用として使用します。

(b) リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット発生/解除用として使用します。

(c) 割り込みモード(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット解除用/割り込み発生用として使用します。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生し、 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセットを発生。	リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号(INTLVI)を発生します。

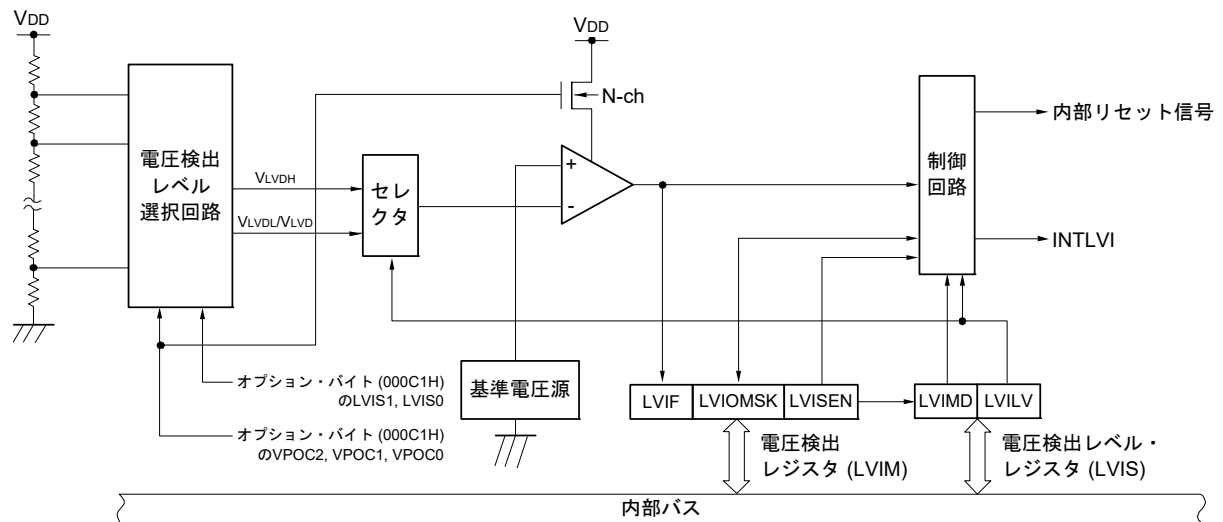
電圧検出回路動作時では、電圧検出フラグ (LVIF : 電圧検出レジスタ (LVIM) のビット 0) を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット 0 (LVIRF) がセット (1) されます。RESF レジスタについての詳細は、第 25 章 リセット機能を参照してください。

27.2 電圧検出回路の構成

電圧検出回路のブロック図を図 27 - 1 に示します。

図 27 - 1 電圧検出回路のブロック図



27.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベル・レジスタ (LVIS)

27.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD 出力のマスキング状態を確認するレジスタです。

LVIM レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFFA9H リセット時：00H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN ^{注3}	0	0	0	0	0	LVIOMSK	LVIF
LVISEN ^{注3}	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定							
0	LVIS レジスタの書き換え禁止 (LVIOMSK = 0 (LVD 出力マスク無効)になる)							
1	LVIS レジスタの書き換え許可 (LVIOMSK = 1 (LVD 出力マスク有効)になる)							
LVIOMSK	LVD 出力マスク状態フラグ							
0	LVD 出力マスク無効							
1	LVD 出力マスク有効 ^{注4}							
LVIF	電圧検出フラグ							
0	電源電圧 (VDD) ≥ 検出電圧 (VLVD), または LVD オフ時							
1	電源電圧 (VDD) < 検出電圧 (VLVD)							

注1. リセット値は、リセット要因により変化します。

LVD によるリセットのときには、LVIM レジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“00H”にクリアされます。

注2. ビット0, 1は、Read Onlyです。

注3. 割り込み&リセット・モード(オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0)選択時のみ設定できます。その他のモードでは初期値から変更しないでください。

注4. 割り込み&リセット・モード(オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0)選択時のみ、LVIOMSKビットは以下の期間に自動で“1”となり、LVDによるリセットまたは割り込み発生がマスクされます。

- ・ LVISEN = 1の期間
- ・ LVD 割り込み発生から、LVD 検出電圧が安定するまでの待ち時間
- ・ LVILV ビットの値変更から、LVD 検出電圧が安定するまでの待ち時間

27.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図27-3 電圧検出レベル・レジスタ (LVIS)のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
7	6	5	4	3	2	1	0	
LVIS	LVIMD ^{注2}	0	0	0	0	0	0	LVILV ^{注2}
LVIMD ^{注2}	電圧検出の動作モード							
0	割り込みモード							
1	リセット・モード							
LVILV ^{注2}	LVD 検出レベル							
0	高電圧検出レベル(VLVDH)							
1	低電圧検出レベル(VLVDLまたはVLVD)							

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア(00H)されません。

LVD以外のリセット時は、次のようになります。

- オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

注2. 割り込み&リセット・モード(オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0)選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、図27-7、図27-8の手順で行ってください。

注意2. LVDの動作モードと各モードの検出電圧(VLVDH, VLVDL, VLVD)は、オプション・バイト(000C1H)で選択します。ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを表27-1に示します。オプション・バイトの詳細は第30章 オプション・バイトを参照してください。

表27-1 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H注

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.98 V	1.94 V	1.84 V	0	0	1	1	0	1	0
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V			0	1				
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V			0	1				
—			上記以外は設定禁止						

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V	1.84 V	0	0	1	1	1	1	1
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

備考 検出電圧はTYP.値です。詳細は、35.6.10 LVD回路特性を参照してください。

(注意は、次ページにあります。)

表27-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V	1.84 V	0	0	1	1	1	0	1
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—		上記以外は設定禁止						

• LVDオフ(RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	x	x	x	x	x	1
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず“1”を書き込んでください。

注意2. 電源立ち上がり時は、35.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. x : don't care

備考2. 検出電圧はTYP.値です。詳細は、35.6.10 LVD回路特性を参照してください。

27.4 電圧検出回路の動作

27.4.1 リセット・モードとして使用する場合の設定

動作モード(リセット・モード(LVIMDS1, LVIMDS0 = 1, 1))と検出電圧(VLVD)の設定は、オプション・バイト 000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、81Hに設定されます。
ビット7(LVIMD)は“1”(リセット・モード)
ビット0(LVILV)は“1”(電圧検出レベル: VLVD)

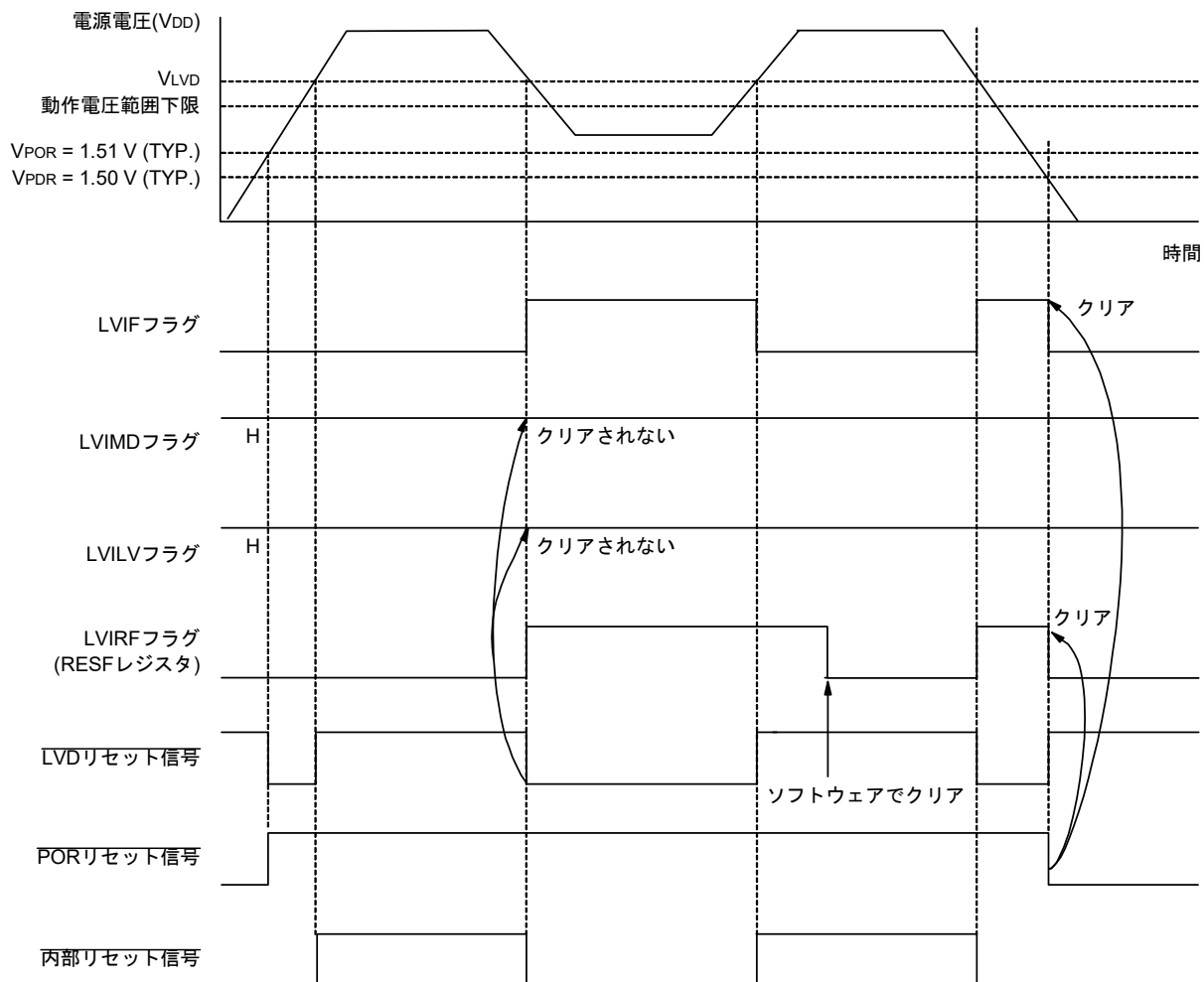
●LVDリセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は、電源投入時、電源電圧(VDD)が電圧検出レベル(VLVD)を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(VDD)が電圧検出レベル(VLVD)を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(VDD)が電圧検出レベル(VLVD)を下回るとLVDによる内部リセットが発生します。

図27-4に、LVDリセット・モードの内部リセット信号発生タイミングを示します。

図27 - 4 内部リセット信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)



備考 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

27.4.2 割り込みモードとして使用する場合の設定

動作モード (割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)) と検出電圧 (VLVD) の設定は、オプション・バイト 000C1H で設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット 7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、01H に設定されます。

ビット 7 (LVIMD) は“0” (割り込みモード)

ビット 0 (LVILV) は“1” (電圧検出レベル : VLVD)

● LVD 割り込みモードの動作

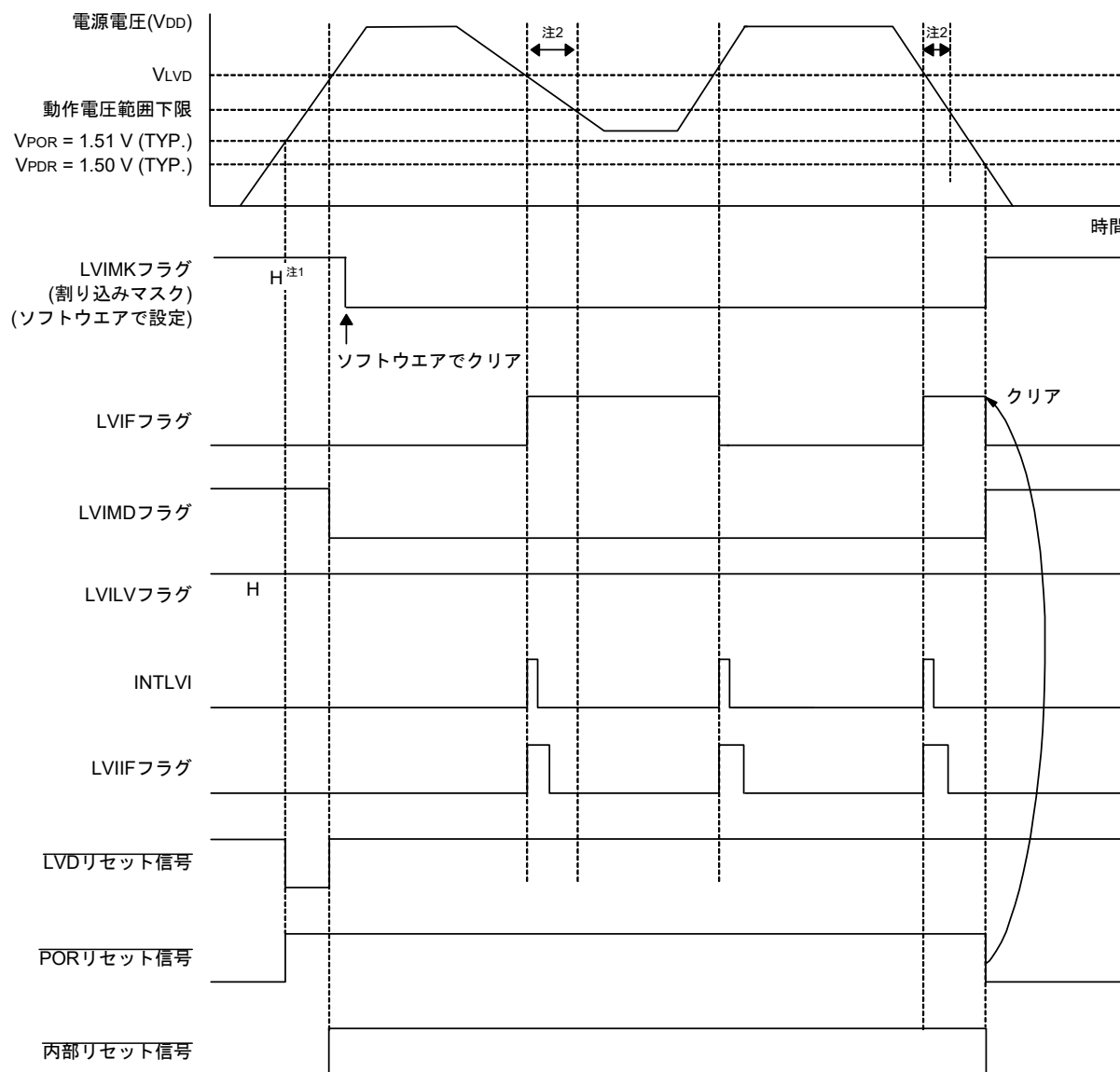
割り込みモード (オプション・バイトの LVIMDS1, LVIMDS0 = 0, 1) は、リセット発生直後、電源電圧 (VDD) が電圧検出レベル (VLVD) を上回るまでは、LVD による内部リセット状態を保ちます。動作電圧 (VDD) が電圧検出レベル (VLVD) を上回ると、LVD による内部リセットを解除します。

LVD の内部リセット解除後は、電源電圧 (VDD) が電圧検出レベル (VLVD) を上回ると、LVD による割り込み要求信号 (INTLVI) が発生します。

動作電圧降下時は、35.4 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図 27 - 5 に、LVD 割り込みモードの割り込み要求信号発生のタイミングを示します。

図27 - 5 割り込み要求信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

注2. 動作電圧降下時は、35.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

27.4.3 割り込み&リセット・モードとして使用する場合の設定

動作モード(割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0))と検出電圧(VLVDH, VLVDL)の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、00Hに設定されます。

ビット7(LVIMD)は“0”(割り込みモード)

ビット0(LVILV)は“0”(高電圧検出レベル: VLVDH)

●LVD割り込み&リセット・モードの動作

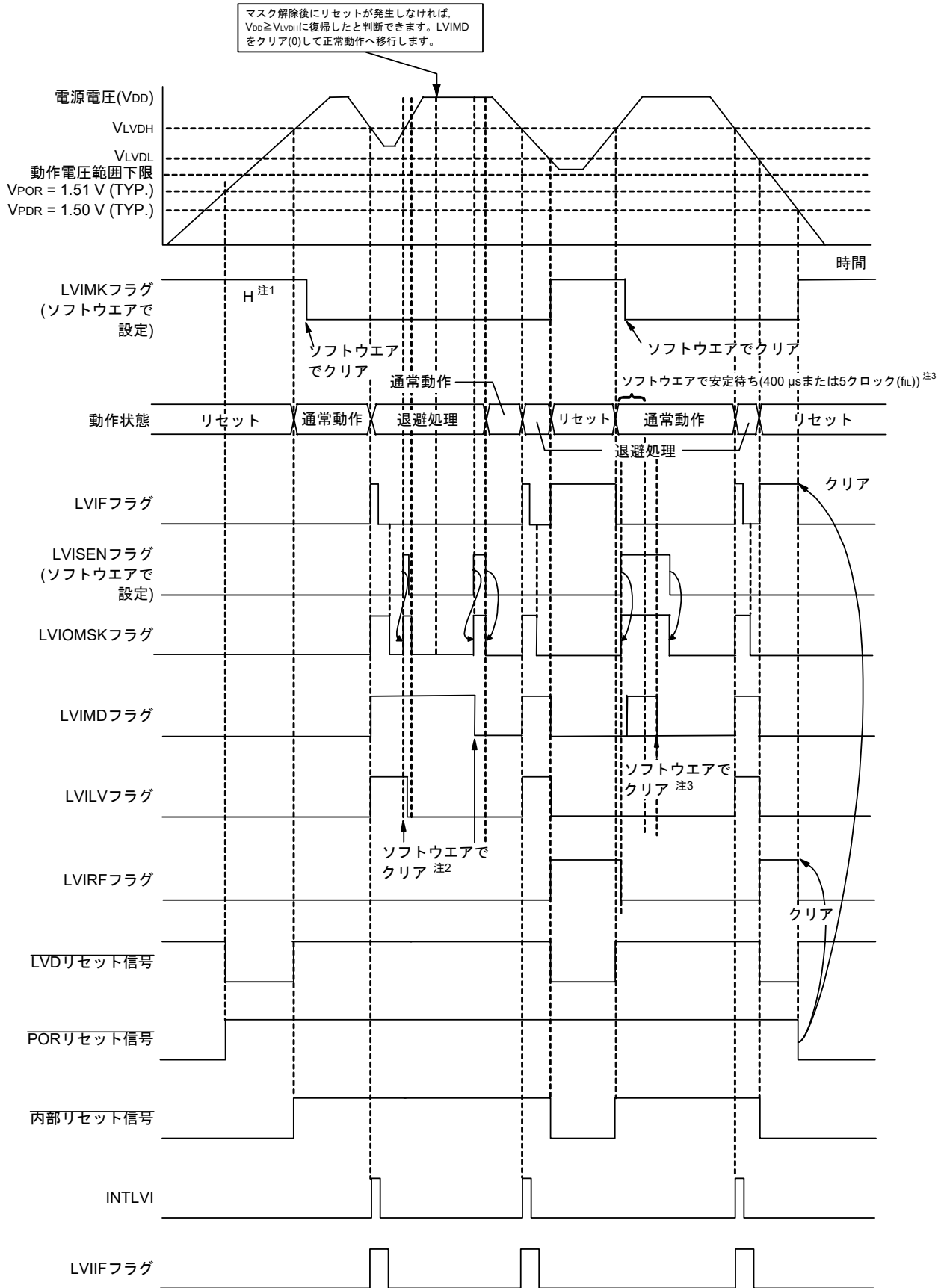
割り込み&リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0)は、電源投入時、電源電圧(VDD)が高電圧検出レベル(VLVDH)を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(VDD)が高電圧検出レベル(VLVDH)を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(VDD)が高電圧検出レベル(VLVDH)を下回るとLVDによる割り込み要求信号(INTLVI)が発生し、任意の回避処理を行うことができます。その後、電源電圧(VDD)が低電圧検出レベル(VLVDL)を下回るとLVDによる内部リセットが発生します。ただし、INTLVI発生後、電源電圧(VDD)が低電圧検出電圧(VLVDL)を下回らずに高電圧検出電圧(VLVDH)以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み&リセット・モードとして使用する場合は、“図27-8 動作電圧確認/リセットの設定手順”と、“図27-9 割り込み&リセット・モードの初期設定の設定手順”に示すフローチャートの手順に従って実施してください。

図27-6に、LVD割り込み&リセット・モードの内部リセット信号と割り込み信号発生タイミングを示します。

図27 - 6 内部リセット信号と割り込み信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (1/2)



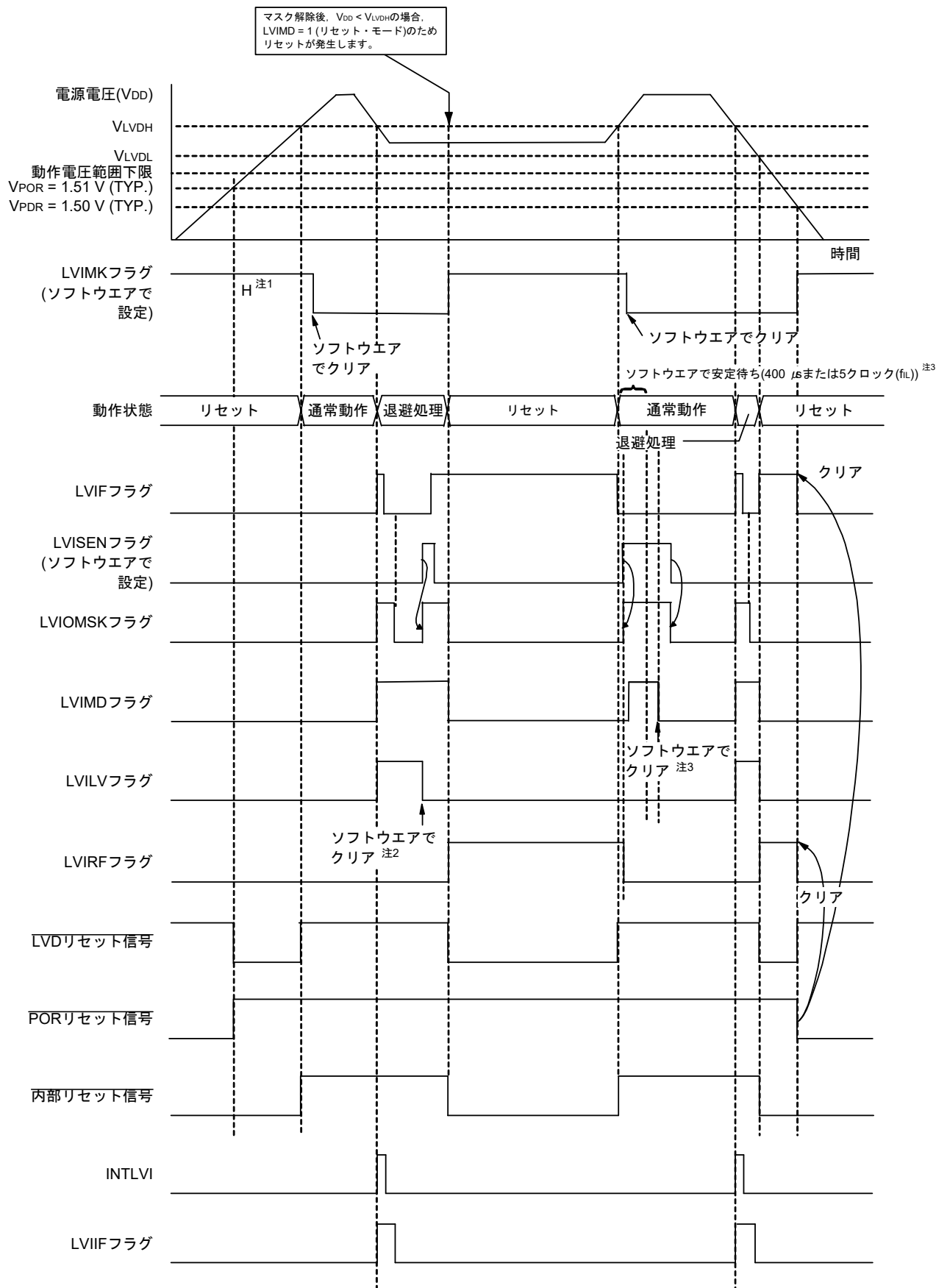
(注, 備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図27-8 動作電圧確認／リセットの設定手順に従って設定をしてください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図27-9 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

図27-7 内部リセット信号と割り込み信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (2/2)

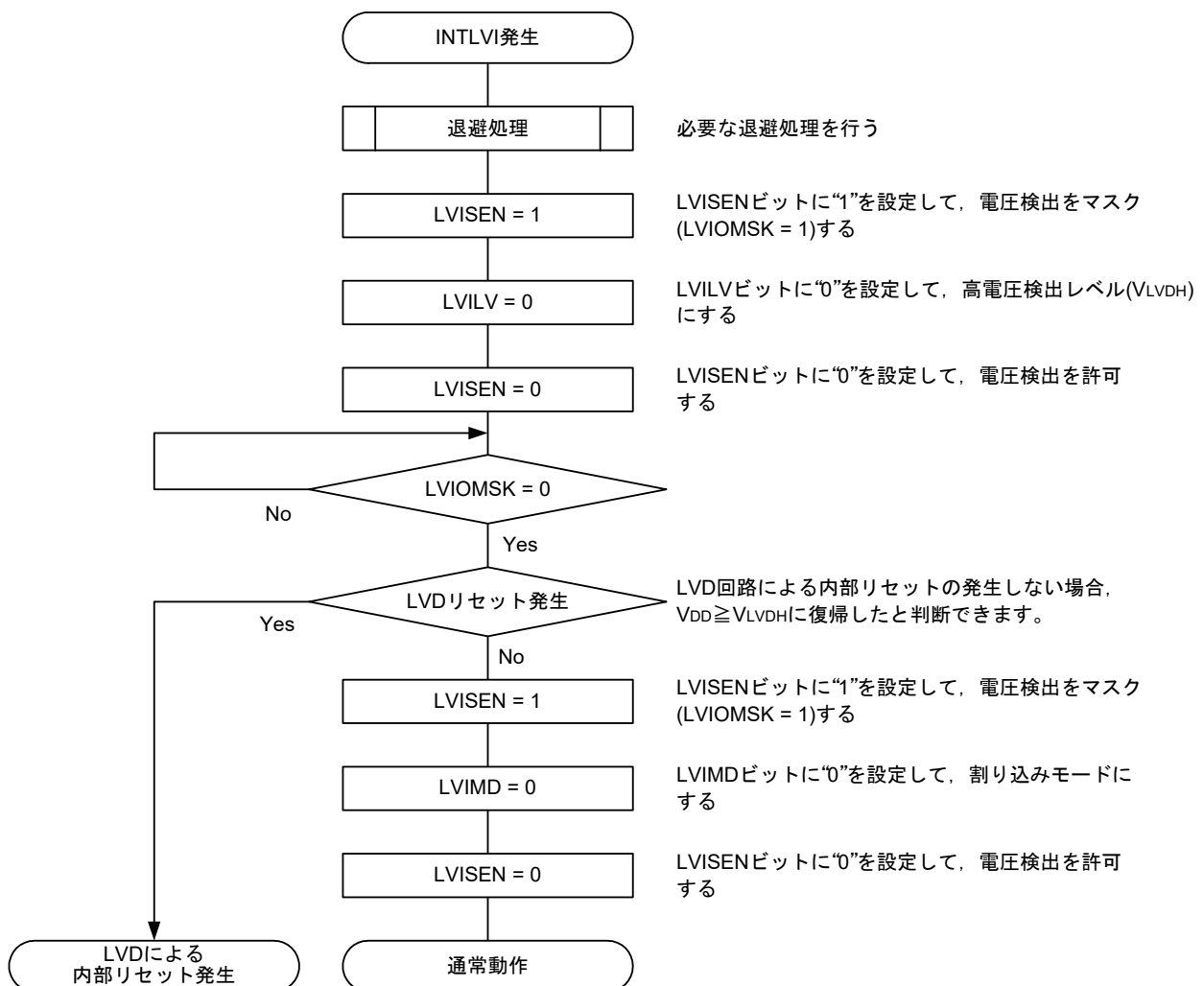


(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図27-8 動作電圧確認/リセットの設定手順に従って設定をしてください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図27-9 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考 VPOR : POR電源立ち上がり検出電圧
VPDR : POR電源立ち下がり検出電圧

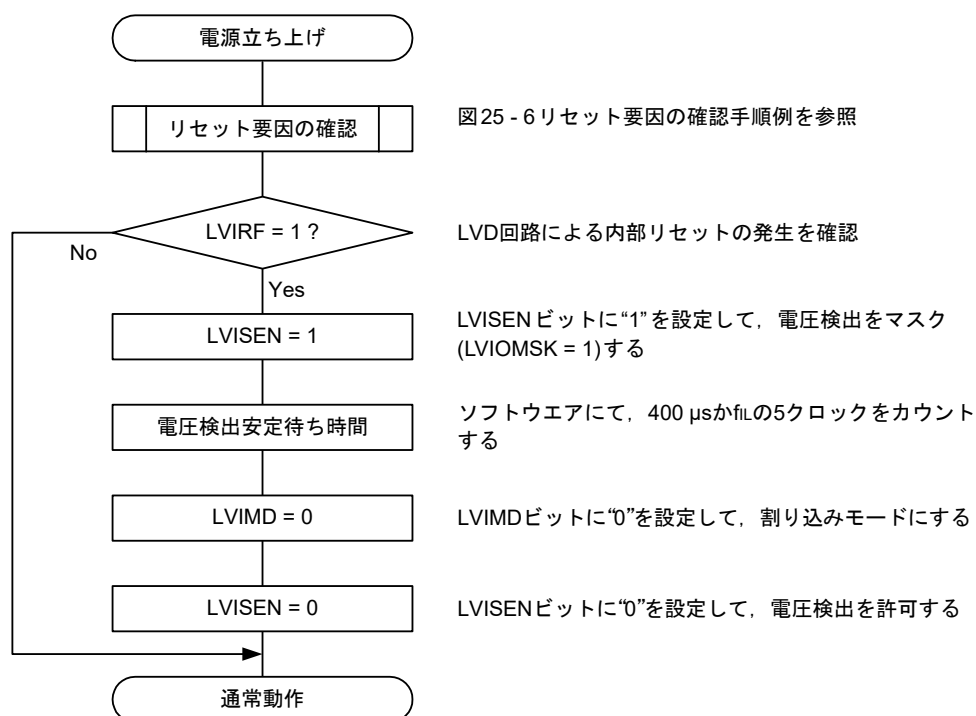
図27-8 動作電圧確認/リセットの設定手順



割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0)を設定した場合、LVDリセット解除後(LVIRF = 1)から400 μ sかf_Lの5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後、LVIMDビットをクリア(0)して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は、LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図27-9に割り込み&リセット・モードの初期設定の設定手順を示します。

図27-9 割り込み&リセット・モードの初期設定の設定手順



備考 f_L : 低速オンチップ・オシレータ・クロック周波数

27.5 電圧検出回路の注意事項

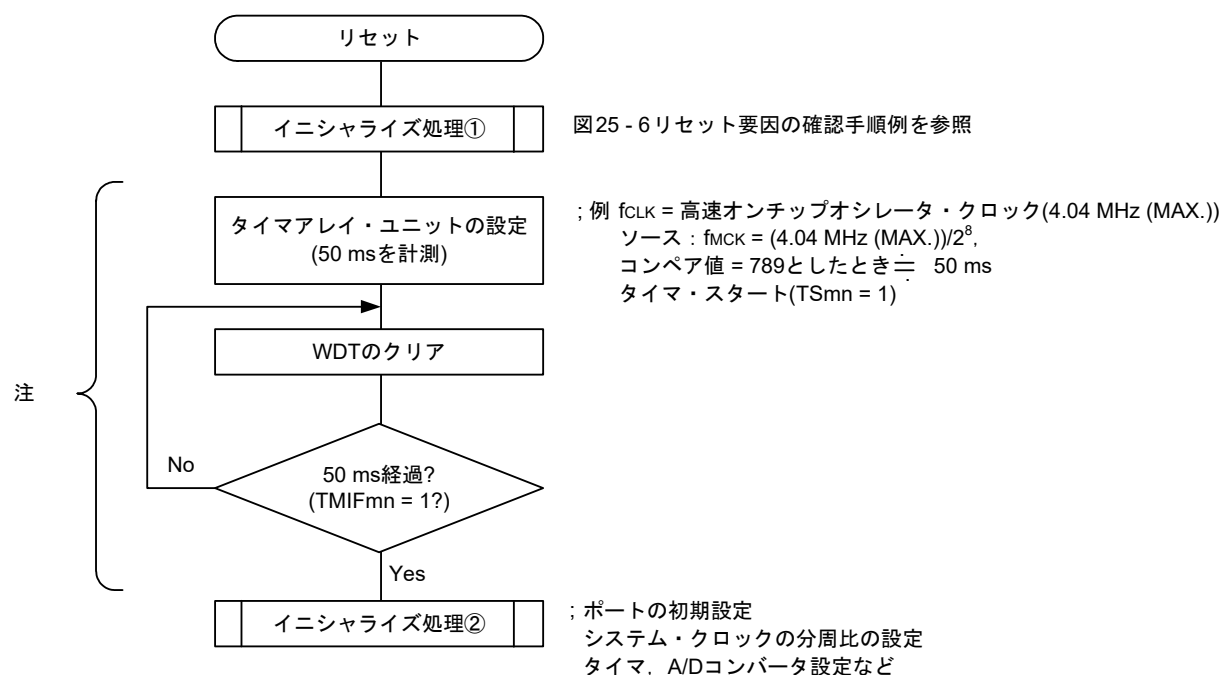
(1) 電源投入時の電圧変動について

電源電圧 (VDD) が LVD 検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図27 - 10 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



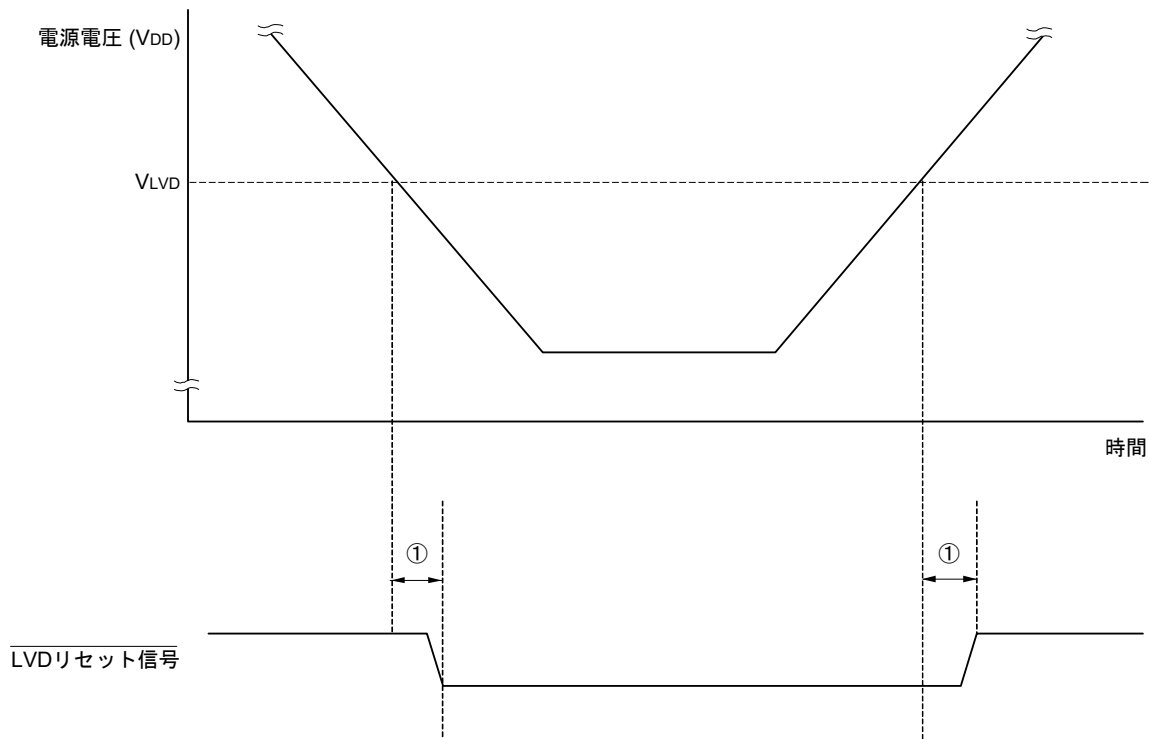
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません

備考 m = 0 n = 0-7

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧(V_{DD}) < LVD検出電圧(V_{LVD})になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧(V_{LVD}) \leq 電源電圧(V_{DD})になってから、LVDリセットが解除されるまでにも遅延が生じます(図27-11参照)。

図27-11 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延(300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、35.4 AC特性に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、35.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

第28章 安全機能

28.1 安全機能の概要

安全規格 IEC60730 に対応するため、RL78/L1A では以下の安全機能を搭載しています。

この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)

CRC 演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて、以下の2つのCRCを使い分けていただくことができます。

- 「高速 CRC」... 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- 「汎用 CRC」... CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) RAM パリティ・エラー検出機能

RAM をデータとして読み出すとき、パリティ・エラーを検出します。

(3) RAM ガード機能

CPU の暴走による RAM データの書き換えを防止します。

(4) SFR ガード機能

CPU の暴走による SFR の書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域 (メモリが存在しない、アクセスが制限されている領域) への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

(7) A/D テスト機能

自己診断は、12 ビット A/D コンバータの故障を検出するための機能です。内部で生成する 0V, 基準電源 \times 1/2, 基準電源の3つの電圧値のうち1つを A/D 変換します。

(8) 入出力ポートのデジタル出力信号レベル検出機能

入出力ポートが出力モード (ポート・モード・レジスタ (PMm) の PMmn ビットが 0) 時に、端子の出力レベルをリードすることができます。

備考 1. $m = 0-8, 10, 12, 14, 15$ $n = 0-7$

備考 2. 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの IEC60730/60335 セルフテスト・ライブラリアプリケーション・ノート (R01AN1062, R01AN1296) をご参照ください。

28.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
<ul style="list-style-type: none"> • フラッシュ・メモリCRC制御レジスタ (CRC0CTL) • フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) 	フラッシュ・メモリCRC演算機能 (高速CRC)
<ul style="list-style-type: none"> • CRC入力レジスタ (CRCIN) • CRCデータ・レジスタ (CRCD) 	CRC演算機能 (汎用CRC)
<ul style="list-style-type: none"> • RAMパリティ・エラー制御レジスタ (RPECTL) 	RAMパリティ・エラー検出機能
<ul style="list-style-type: none"> • 不正メモリ・アクセス検出制御レジスタ (IAWCTL) 	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
<ul style="list-style-type: none"> • タイマ入力選択レジスタ0 (TIS0) 	周波数検出機能
<ul style="list-style-type: none"> • A/D自己診断データレジスタ (ADRD) 	A/Dテスト機能
<ul style="list-style-type: none"> • ポート・モード選択レジスタ (PMS) 	入出力ポートのデジタル出力信号レベル検出機能

各レジスタの内容については、28.3 安全機能の動作の中で説明します。

28.3 安全機能の動作

28.3.1 フラッシュ・メモリCRC演算機能(高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定(イニシャライズ)ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です(例 フラッシュ・メモリ32KB: 341μs@24MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

28.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	0	0	0	FEA2	FEA1	FEA0
CRC0EN	高速CRC演算器の動作制御							
0	動作停止							
1	HALT命令実行により演算開始							
FEA2	FEA1	FEA0	高速CRC演算範囲					
0	0	0	00000H-03FFBH (16K-4バイト)					
0	0	1	00000H-07FFBH (32K-4バイト)					
0	1	0	00000H-0BFFBH (48K-4バイト)					
0	1	1	00000H-0FFFBH (64K-4バイト)					
1	0	0	00000H-13FFBH (80K-4バイト)					
1	0	1	00000H-17FFBH (96K-4バイト)					
1	1	0	00000H-1BFFBH (112K-4バイト)					
1	1	1	00000H-1FFFBH (128K-4バイト)					
上記以外			設定禁止					

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

28.3.1.2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図28 - 2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

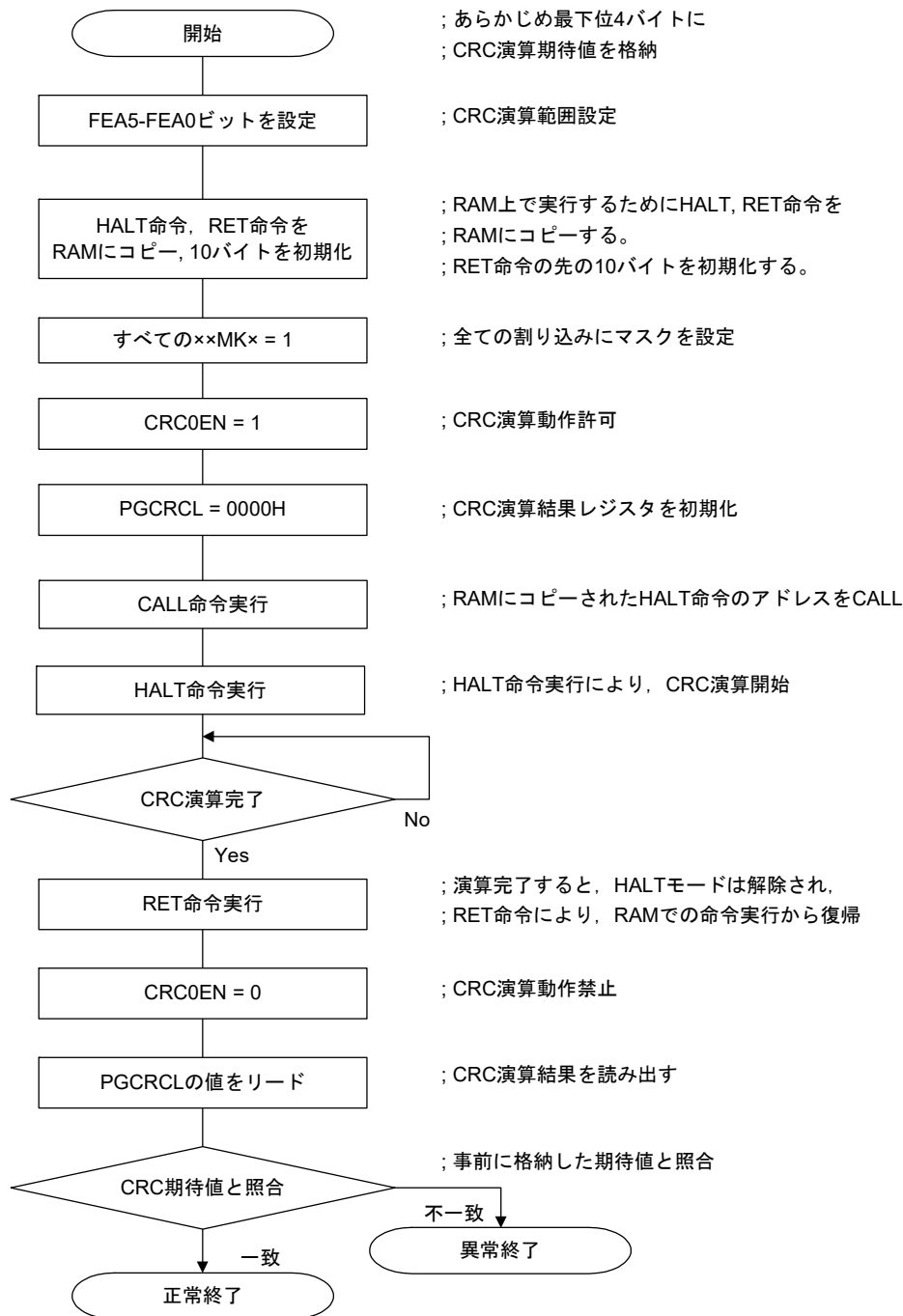
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0	高速CRC演算結果						
	0000H-FFFFH	高速CRC演算結果を格納						

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを図28 - 3に示します。

<動作フロー>

図28-3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュのみです。

注意2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

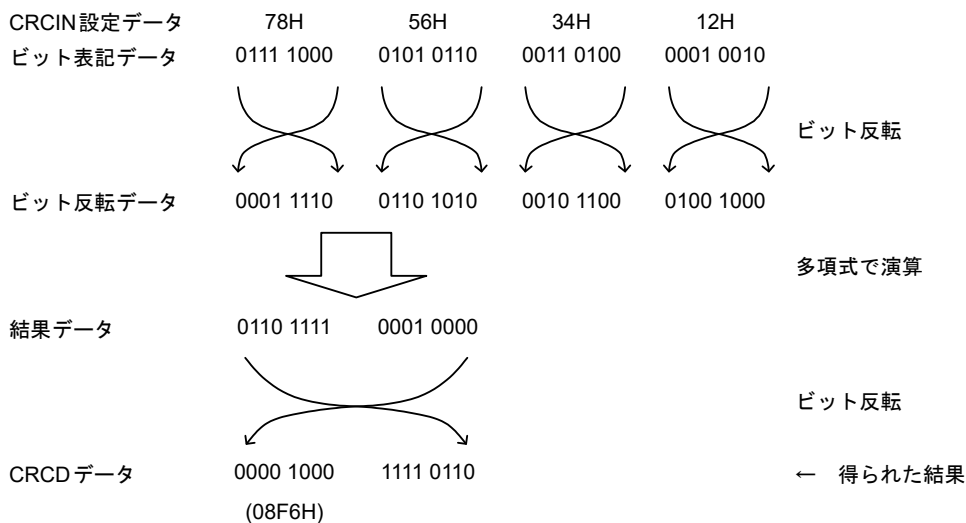
CRC演算の期待値は、総合開発環境 CubeSuite + を使用して算出することができます。詳細は、CS+ 統合開発環境ユーザーズマニュアルを参照してください。

28.3.2 CRC演算機能(汎用CRC)

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア(ユーザ・プログラム)で指定します。HALTモード時のCRC演算機能は、DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッグはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

28.3.2.1 CRC入力レジスタ(CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28-4 CRC入力レジスタ(CRCIN)のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0			機能				
	00H-FFH			データ入力				

28.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

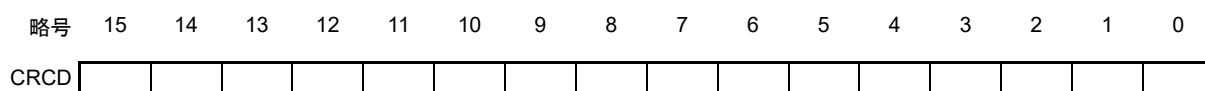
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (fCLK)の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図28-5 CRCデータ・レジスタ (CRCD)のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

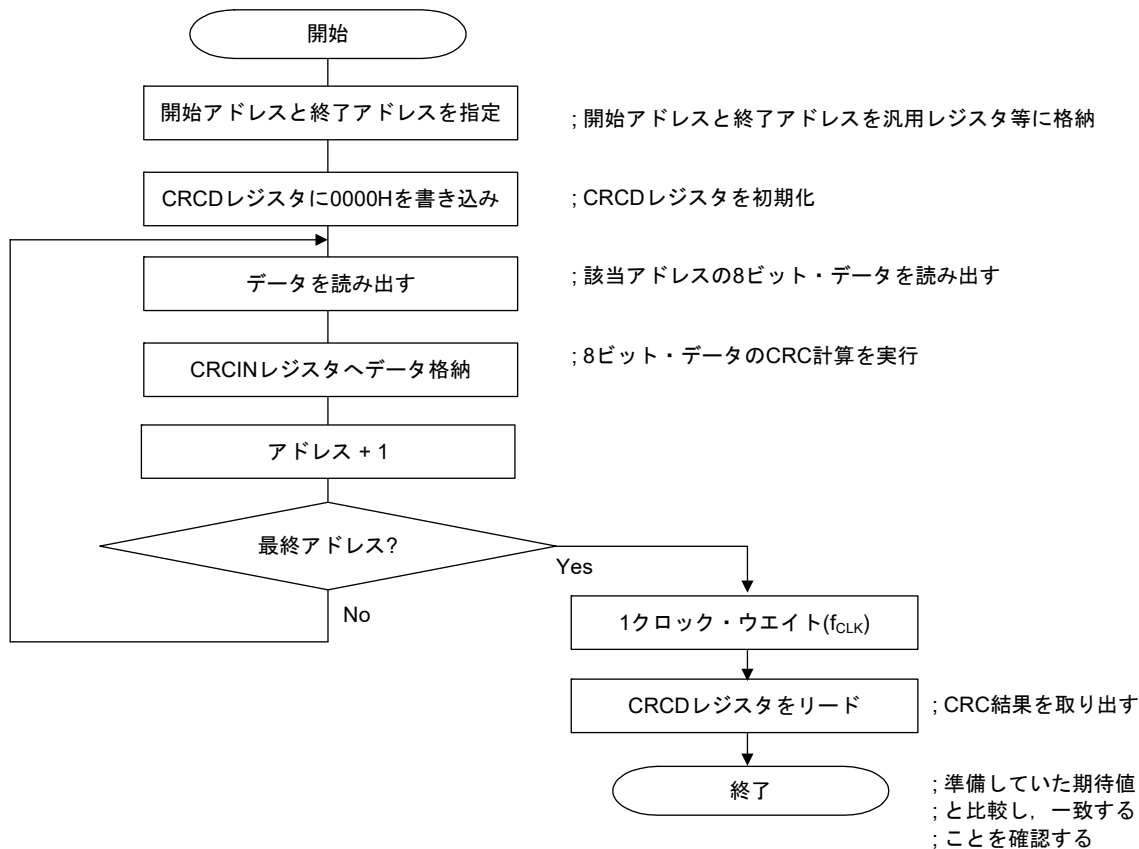


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図28-6 CRC演算機能 (汎用CRC)のフロー・チャート



28.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/L1AのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

28.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図28-7 RAMパリティ・エラー制御レジスタ (RPECTL)のフォーマット

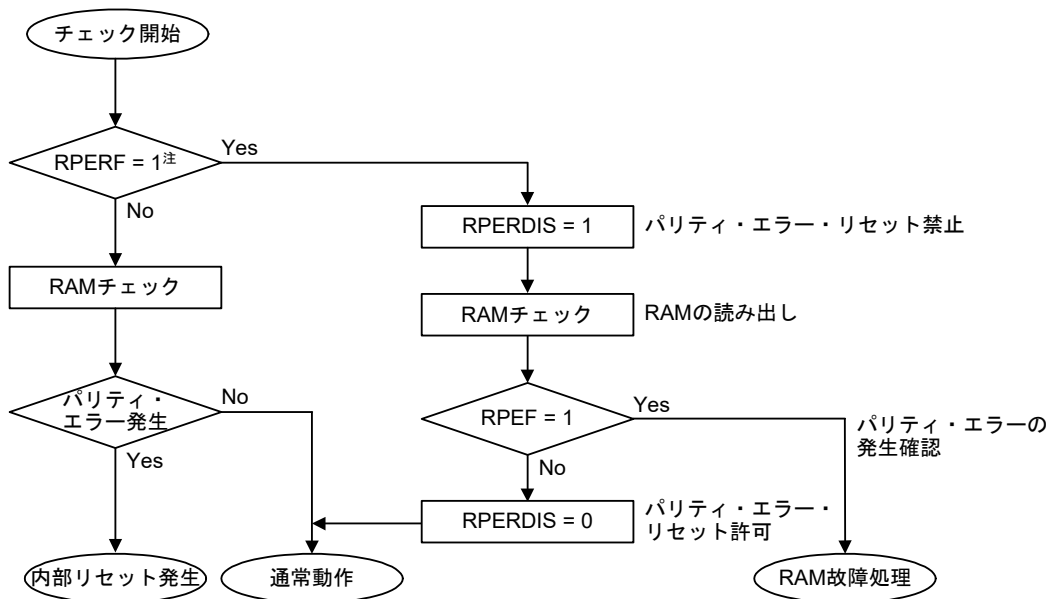
アドレス : F00F5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

- 備考1.** 初期状態では、パリティ・エラー・リセットは発生許可(RPERDIS = 0)になっています。
- 備考2.** パリティ・エラー・リセット発生禁止(RPERDIS = 1)を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット(1)されます。なお、RPEF = 1の状態でも、パリティ・エラー・リセット発生許可(RPERDIS = 0)に設定すると、RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。
- 備考3.** RPECTLレジスタのRPEFフラグは、パリティ・エラー発生時にセット(1)され、0の書き込み、またはすべてのリセット要因によりクリア(0)されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
- 備考4.** 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図28 - 8 RAMパリティ・チェックのフローチャート



注 RAMパリティ・エラーによる内部リセットの確認は、第25章 リセット機能を参照してください。

28.3.4 RAMガード機能

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

28.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28 - 9 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GRAM1	GRAM0	RAMガード空間注					
	0	0	無効。RAMへのライト可能					
	0	1	RAM先頭アドレスから128バイト					
	1	0	RAM先頭アドレスから256バイト					
	1	1	RAM先頭アドレスから512バイト					

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

28.3.5 SFRガード機能

SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

28.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT、GINT、GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28 - 10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	ポート機能の制御レジスタのガード							
	0	無効。ポート機能の制御レジスタのリード／ライト可能。						
	1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, PIOR, PFSEGxx, ISCLCD 注						
	割り込み機能のレジスタのガード							
	0	無効。割り込み機能の制御レジスタのリード／ライト可能。						
	1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx						
	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード							
	0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード／ライト可能。						
	1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL						

注 Pxx (ポート・レジスタ)はガードされません。

28.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図28-11で「NG」と記載した範囲になります。

図28-11 不正アクセス検出空間

アドレス	メモリ領域	アクセス可否		命令フェッチ (実行)
		読み出し	書き込み	
FFFFFH	特殊機能レジスタ (SFR) 256 バイト	OK	OK	NG
FFF00H				NG
FFEFFH	汎用レジスタ 32バイト	OK	OK	OK
FFEE0H				OK
FFEDFH	RAM ^注	OK	OK	OK
zzzzzH				OK
~	Mirror	OK	NG	NG
~	データ・フラッシュ・メモリ	OK	NG	NG
F1000H	使用不可	OK	OK	OK
F0FFFH				OK
F0800H	特殊機能レジスタ (2nd SFR) 2 K バイト	OK	OK	NG
F07FFH				NG
F0000H	使用不可	NG	NG	OK
EFFFH				NG
EF000H	使用不可	NG	NG	NG
EEFFFH				NG
~	~	~	~	~
yyyyyH	コード・フラッシュ・メモリ ^注	OK	OK	OK
xxxxxH				OK
00000H	~	~	~	~

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し/命令フェッチ (実行)時 の検出最下位アドレス (yyyyyH)
R5F11MMD	49152 × 8ビット (00000H-0BFFFH)	5632 × 8ビット (FE900H-FFEFFH)	10000H
R5F11MxE (x = M, P)	65536 × 8ビット (00000H-0FFFFH)	5632 × 8ビット (FE900H-FFEFFH)	10000H
R5F11MxF (x = M, P)	98304 × 8ビット (00000H-17FFFH)	5632 × 8ビット (FE900H-FFEFFH)	20000H
R5F11MPG	131072 × 8ビット (00000H-1FFFFH)	5632 × 8ビット (FE900H-FFEFFH)	20000H

28.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWENビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28 - 12 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
IAWEN ^注	不正メモリ・アクセスの検出制御							
0	不正メモリ・アクセスの検出無効							
1	不正メモリ・アクセスの検出有効							

注 IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイト(000C0H)のWDTON = 1 (ウォッチドッグ・タイマ動作許可)のとき、IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

28.3.7 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能では、CPU/周辺ハードウェア・クロック周波数(fCLK)を使用して、タイマ・アレイ・ユニット(TAU)のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

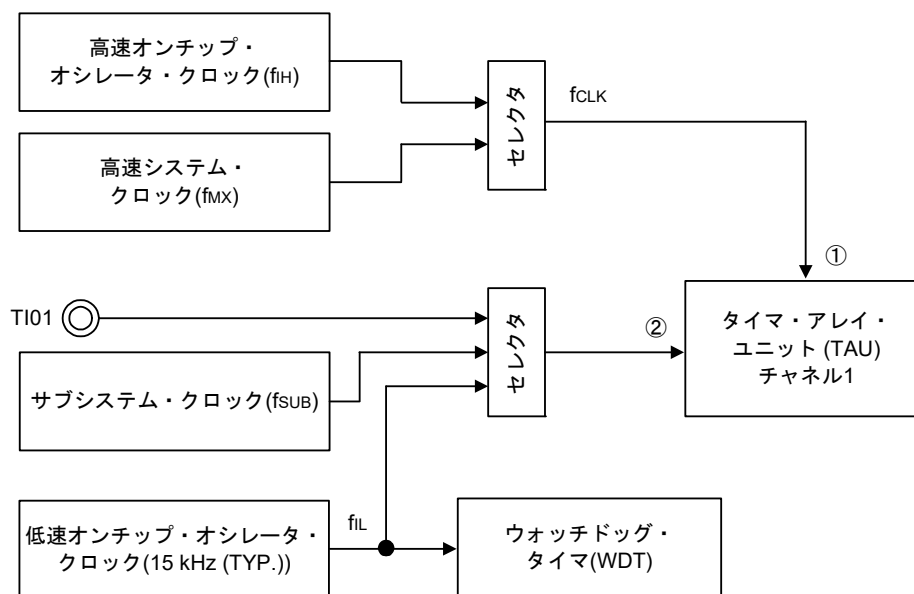
①CPU/周辺ハードウェア・クロック周波数(fCLK) :

- ・高速オンチップ・オシレータ・クロック (fiH)
- ・高速システム・クロック (fMX)

②タイマ・アレイ・ユニットのチャンネル1入力 :

- ・チャンネル1のタイマ入力(TI01)
- ・低速オンチップ・オシレータ・クロック (fiL : 15 kHz (TYP.))
- ・サブシステム・クロック (fSUB)

図28 - 13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。入力パルス間隔測定の方法については、6.8.3 入力パルス間隔測定としての動作を参照してください。

28.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0 (TAU0)のチャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28 - 14 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00
TIS04	チャンネル0で使用するタイマ入力の選択							
0	タイマ入力端子(TI00)の入力信号							
1	ELCからのイベント入力信号							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子(TI01)の入力信号					
0	1	0						
0	1	1						
0	0	1	ELCからのイベント入力信号					
1	0	0	低速オンチップ・オシレータ・クロック (fil)					
1	0	1	サブシステム・クロック (fsUB)					
上記以外			設定禁止					

28.3.8 A/Dテスト機能

28.3.8.1 A/D自己診断データレジスタ (ADRD)

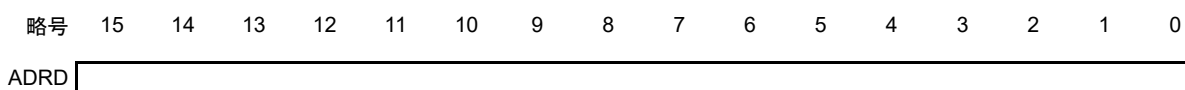
ADRDレジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値に加えて、自己診断のステータスが付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め, または左詰め)

AD自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については12.2.8 A/Dコントロール拡張レジスタ (ADCER) を参照してください。

図28 - 15 A/D自己診断データレジスタ (ADRD) のフォーマット

アドレス : F061Eh リセット時 : 0000h



以下、条件ごとのフォーマットを示します。

- ・ 右詰めフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。b15-b14 に自己診断ステータスを格納します。読み出し時、b13-b12 は "0" が読み出されます。
- ・ 左詰めフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。b1-b0 に自己診断ステータスを格納します。読み出し時、b3-b2 は "0" が読み出されます。

表28 - 1 自己診断ステータス内容注

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	基準電源×1/2の電圧値の自己診断を実施したことを示します
11b	基準電源の電圧値の自己診断を実施したことを示します

注 自己診断の詳細については、12.2.8 A/Dコントロール拡張レジスタ (ADCER) を参照してください。

28.3.9 入出力ポートのデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力ポートのデジタル出力信号レベル検出機能では、ポートが出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、端子のデジタル出力レベルをリードすることができます。

28.3.9.1 ポート・モード選択レジスタ(PMS)

ポートが出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28-16 ポート・モード選択レジスタ(PMS)のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	ポートが出力モード時(PMmn = 0)にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

注意1. PMS0ビットを"1"に設定してポート・レジスタ(Pmレジスタ)を書き換える場合は、8ビット・メモリ操作命令のみ使用してください。

注意2. P60, P61は汎用ポートとして使用する場合、PMS0による端子の出力レベルのリードはできません(ただし、P60, P61はPER0レジスタのIICA0ENビットを"1"にした場合にのみ、PMS0ビットによる端子のデジタル出力レベルのリードが可能です)。

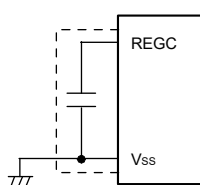
備考 m = 0-8, 10, 12, 14, 15
 n = 0-7

第29章 レギュレータ

29.1 レギュレータの概要

RL78/L1Aは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、表29-1のようになります。



注意 上図の破線部分の配線を極力短くしてください。

表29-1 レギュレータ出力電圧条件

モード	出力電圧	条件
LS (低速メイン)モード	1.8 V	—
HS (高速メイン)モード	1.8 V	STOPモード時
		サブシステム・クロック (f _{SUB})でCPU動作中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{HOCO})が共に停止
	サブシステム・クロック (f _{SUB})でCPU動作設定時のHALTモード中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{HOCO})が共に停止	
	2.1 V	上記以外(オンチップ・デバッグ中を含む) ^注

注 オンチップ・デバッグ中に、サブシステム・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します(1.8 Vにはなりません)。

第30章 オプション・バイト

30.1 オプション・バイトの機能

RL78/L1Aのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト(000C0H-000C2H)とオンチップ・デバッグ・オプション・バイト(000C3H)で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

30.1.1 ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可/禁止
 - ・HALT/STOPモード時のカウンタの動作可能/停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - ・インターバル割り込みを使用する/使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

- LVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ(RESSET端子による外部リセットを使用)
- LVD検出レベル(VLVDH, VLVDL, VLVD)の設定

注意1. 電源立ち上がり時は、35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H /010C2H)の設定により変わります。

注意2. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

- フラッシュの動作モード設定
 - 使用するメイン・システム・クロック周波数 (fMAIN), 電源電圧 (VDD) に応じて設定。
 - ・LS (低速メイン)モード
 - ・HS (高速メイン)モード
- 高速オンチップ・オシレータの周波数設定
 - ・24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz(TYP.)から選択

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

30.1.2 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)

- オンチップ・デバッグ動作制御
 - ・オンチップ・デバッグ動作禁止/許可
- セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理
 - ・オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

30.2 ユーザ・オプション・バイトのフォーマット

図30-1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット

アドレス : 000C0H/010C0H注1

略号	7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON	
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用							
0	インターバル割り込みを使用しない							
1	オーバフロー時間の75% + 1/2f _{IL} 到達時にインターバル割り込みを発生する注3							
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間注2						
0	0	設定禁止						
0	1	50%						
1	0	75%注4						
1	1	100%						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御							
0	カウンタ動作禁止(リセット解除後, カウント停止)							
1	カウンタ動作許可(リセット解除後, カウント開始)							
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)					
0	0	0	2 ⁶ /f _{IL} (3.71 ms)					
0	0	1	2 ⁷ /f _{IL} (7.42 ms)					
0	1	0	2 ⁸ /f _{IL} (14.84 ms)					
0	1	1	2 ⁹ /f _{IL} (29.68 ms)					
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)					
1	0	1	2 ¹³ /f _{IL} (474.89 ms)					
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)					
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)					
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)							
0	HALT/STOPモード時, カウンタ動作停止注2							
1	HALT/STOPモード時, カウンタ動作許可							

注1. ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

注2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

注3. ウォッチドッグ・タイマのインターバル割り込みを使用する場合は、ウォッチドッグ・タイマのカウント・クリア時に、「11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定」の注で示す手順に従ってください。

注4. ウィンドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア（WDTE への ACHの書き込み）を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)	ウィンドウ・オープン期間を75%に設定した 時のカウンタのクリア禁止期間
0	0	0	2 ⁶ /f _{IL} (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	2 ⁷ /f _{IL} (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	2 ⁸ /f _{IL} (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	2 ⁹ /f _{IL} (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	2 ¹³ /f _{IL} (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)	1899.59 ms ~ 2570.04 ms

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図30-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値								
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定			
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0		
1.98 V	1.94 V	1.84 V	0	0	1	1	0	1	0		
2.09 V	2.04 V					0	1				
3.13 V	3.06 V					0	0				
2.61 V	2.55 V	2.45 V				1	0			1	0
2.71 V	2.65 V					0	1				
2.92 V	2.86 V					1	0				
3.02 V	2.96 V	2.75 V				1	1			1	0
—			上記以外は設定禁止								

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V	1.84 V	0	0	1	1	1	1	1
1.98 V	1.94 V				1	0		
2.09 V	2.04 V				0	1		
2.50 V	2.45 V				1	1		
2.61 V	2.55 V				1	0		
2.71 V	2.65 V				0	1		
2.81 V	2.75 V				1	1		
2.92 V	2.86 V				1	0		
3.02 V	2.96 V				0	1		
3.13 V	3.06 V	0	0					
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は、第27章 電圧検出回路を参照してください。

備考2. 検出検圧はTYP.値です。詳細は、35.6.10 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図30-3 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.88 V	1.84 V	0	0	1	1	1	0	1
1.98 V	1.94 V				1	0		
2.09 V	2.04 V				0	1		
2.50 V	2.45 V				1	1		
2.61 V	2.55 V	1	0	1	1	0		
2.71 V	2.65 V				0	1		
2.81 V	2.75 V				1	1		
2.92 V	2.86 V	1	1	1	1	0		
3.02 V	2.96 V				0	1		
3.13 V	3.06 V	0	1	1	0	0		
—		上記以外は設定禁止						

• LVDオフ(RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	x	x	x	x	x	1
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立下り時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. x : don't care

備考2. LVD回路の詳細は、第27章 電圧検出回路を参照してください。

備考3. 検出電圧TYP.値です。詳細は、35.6.10 LVD回路特性を参照してください。

図30-4 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス : 000C2H/010C2H注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
CMODE1	CMODE0	フラッシュの動作モード設定					
					動作周波数範囲 (fMAIN)	動作電圧範囲 (VDD)	
1	0	LS (低速メイン)モード			1 MHz~8 MHz	1.8 V~3.6 V	
1	1	HS (高速メイン)モード			1 MHz~16 MHz	2.4 V~3.6 V	
					1 MHz~24 MHz	2.7 V~3.6 V	
上記以外		設定禁止					
FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロックの周波数			
				fHOCO		fIH	
0	0	0	0	24 MHz		24 MHz	
1	0	0	1	16 MHz		16 MHz	
0	0	0	1	12 MHz		12 MHz	
1	0	1	0	8 MHz		8 MHz	
0	0	1	0	6 MHz		6 MHz	
1	0	1	1	4 MHz		4 MHz	
0	0	1	1	3 MHz		3 MHz	
1	1	0	0	2 MHz		2 MHz	
1	1	0	1	1 MHz		1 MHz	
上記以外				設定禁止			

注 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5-4には、必ず10Bを書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、35.4 AC特性を参照してください。

30.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図30-5 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)のフォーマット

アドレス : 000C3H/010C3H注

略号	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去しない						

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD)のみ、値を指定できます。
ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値(0, 1, 0)を設定してください。

30.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	3AH	;VLVDLに1.84 Vを選択 ;VLVDHに立ち上がり1.98 V, 立ち下がり1.94 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB	ADH	;フラッシュの動作モードにLS (低速メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

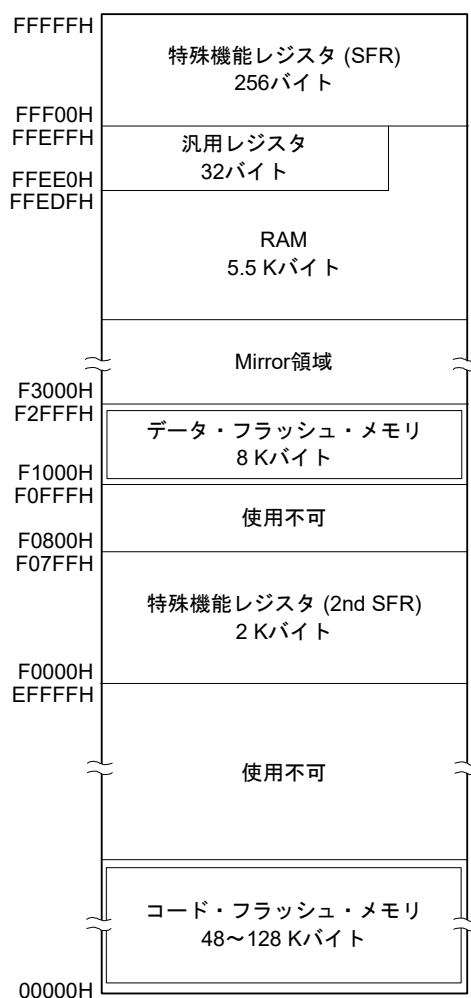
セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		3AH	;VLVDLに1.84 Vを選択 ;VLVDHに立ち上がり1.98 V, 立ち下がり1.94 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB		ADH	;フラッシュの動作モードにLS (低速メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB		85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第31章 フラッシュ・メモリ

RL78マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス (UART 通信) によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング (31.4 参照)

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みできます。

- 外部デバイス (UART 通信) によるシリアル・プログラミング (31.2 参照)

外部デバイス (マイコンや ASIC) との UART 通信を使用してオンボードで書き込みができます。

- セルフ・プログラミング (31.6 参照)

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリを自己書き換えができます。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます (バックグラウンド・オペレーション)。データ・フラッシュへのアクセスや書き込みについては、31.8 データ・フラッシュを参照してください。

31.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6
- E1, E2, E2 Lite, E20 オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表 31 - 1 RL78/L1Aと専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラム接続端子				端子名	ピン番号	
信号名		入出力	端子機能		80ピン	100ピン
PG-FP6	E1, E2, E2 Lite, E20 オンチップデバッグ エミュレータ				LQFP (12 × 12)	LQFP (14 × 14)
—	TOOL0	入出力	送受信信号	TOOL0/ P40	9	12
SI/RxD	—	入出力	送受信信号			
—	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	10	13
/RESET	—	出力				
VCC	VDD	入出力	VDD 電圧生成／電源監視	VDD	18	21
GND		—	グランド	VSS	17	20
				REGC注		16
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD	18	21

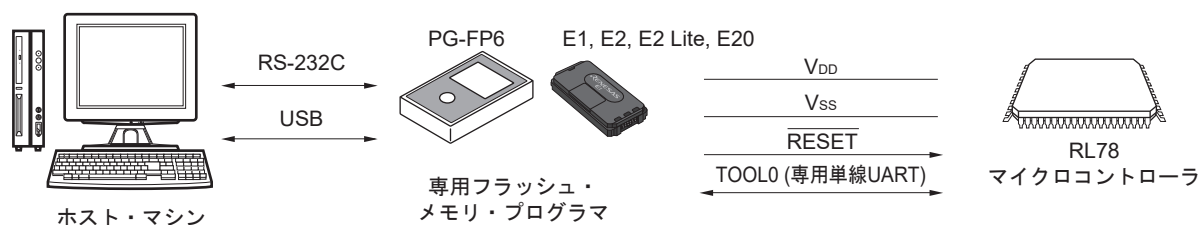
注 REGC端子はコンデンサ(0.47～1 μF)を介してグランドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラムによるプログラミング時にはオープンで構いません。

31.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図31-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

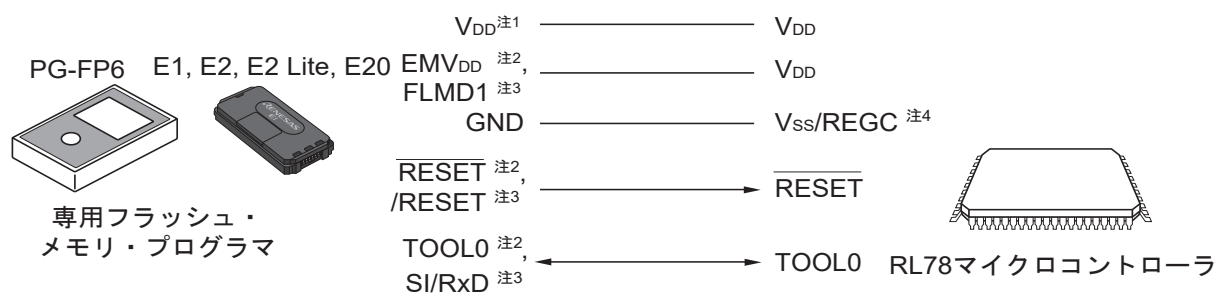
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。

31.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図31-2 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP6の信号名はVccです。

注2. E1, E2, E2 Lite, E20オンチップデバッグエミュレータ使用時。

注3. PG-FP6使用時。

注4. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP6またはE1, E2, E2 Lite, E20オンチップデバッグエミュレータの各マニュアルを参照してください。

表31 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78マイクロコントローラ		
信号名		入出力	端子機能	端子名注1
PG-FP6	E1, E2, E2 Lite, E20 オンチップデバッグ エミュレータ			
Vcc	VDD	入出力	VDD 電圧生成／電圧監視	VDD
GND		—	グラウンド	Vss, REGC注2
FLMD1	EMVDD	—	TOOL0 端子駆動電源	VDD
/RESET	—	出力	リセット信号	$\overline{\text{RESET}}$
—	$\overline{\text{RESET}}$	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. 接続先端子は、製品によって異なります。詳細は、表31 - 1を参照してください。

注2. REGC端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。

31.2 外部デバイス(UART内蔵)によるシリアル・プログラミング

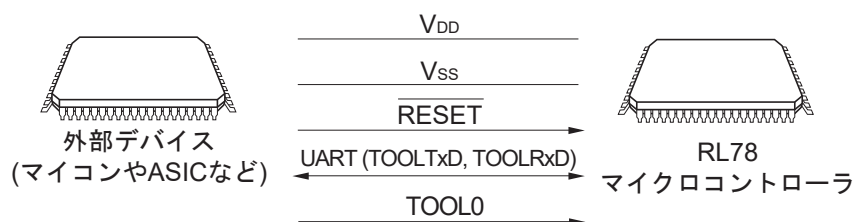
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス(マイコンやASIC)を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラムの開発については、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

31.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図31-3 フラッシュ・メモリにプログラムを書き込むための環境



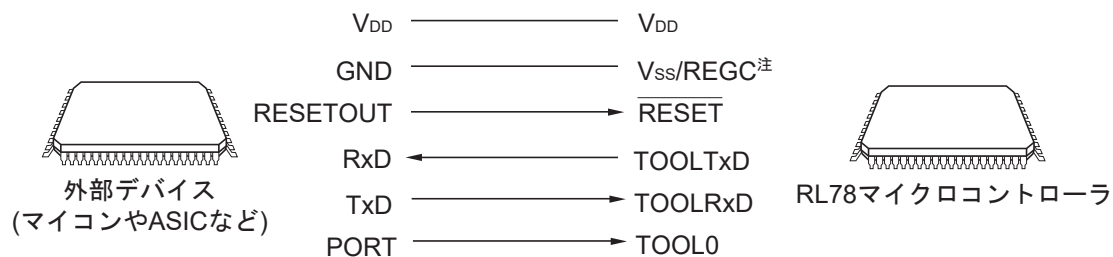
外部デバイスからRL78マイクロコントローラに書き込み/消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

31.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図31 - 4 外部デバイスとの通信



注 REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表31 - 3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD電圧生成／電圧監視	VDD
GND	—	グラウンド	V _{SS} , REGC ^注
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

31.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、31.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

31.3.1 P40/TOOL0 端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 k Ω の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合は、以下の方法で使用してください。

入力時： 外部リセット解除時からtHDの期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

出力時： プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

備考1. tHD：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。35.12 モード引き込み時のタイミング・スペックを参照してください。

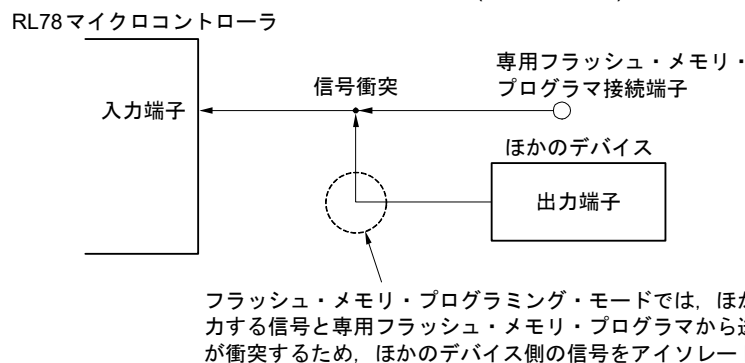
備考2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子)を使用するので、SAUやIICAの端子は使用しません。

31.3.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図31-5 信号の衝突 (RESET 端子)



31.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してVDDに接続するか、もしくは抵抗を介してVSSに接続するなどの端子処理が必要です。

31.3.4 REGC 端子

REGC 端子は、通常動作時と同様に、特性の良いコンデンサ(0.47~1 μ F)を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

31.3.5 X1, X2 端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (fHOCO) を使用します。

31.3.6 電源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、VDD 端子はフラッシュ・メモリ・プログラマのVDD^注に、VSS 端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、VDD、VSS 端子はフラッシュ・メモリ・プログラマのVDD^注、GNDと必ず接続してください。

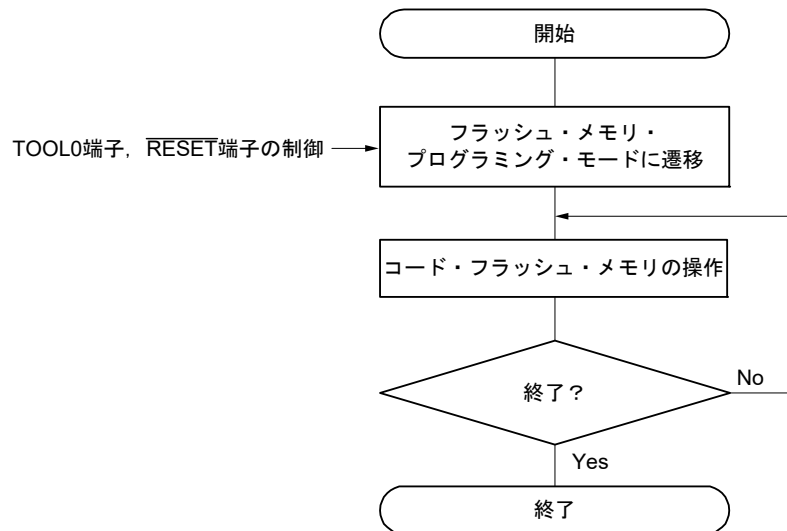
注 PG-FP6の信号名はVCCです。

31.4 シリアル・プログラミング方法

31.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図31-6 コード・フラッシュ・メモリの操作手順



31.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78 マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

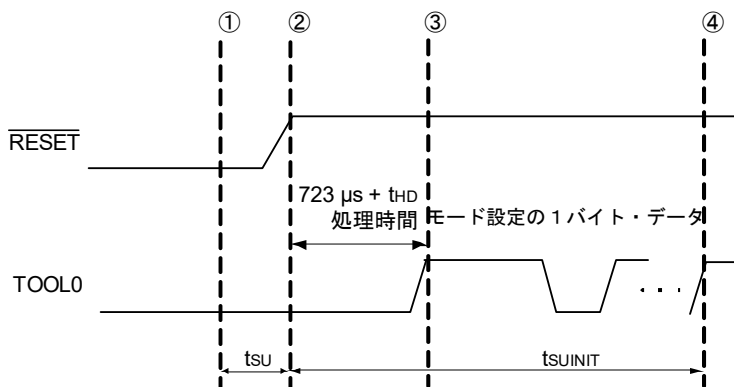
<外部デバイス(UART通信)を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します(表31-4参照)。その後、図31-7に示す①~④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78 マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表31-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図31-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットは解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tSUINIT : この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。
 tSU : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
 tHD : 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)

詳細は、35.12 モード引き込み時のタイミング・スペックを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコン供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラミングを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表31-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

電源電圧(VDD)	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ・書き換えモード
	フラッシュ動作モード	動作周波数	
$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	ブランク状態		フルスピード・モード
	HS(高速メイン)モード	1 MHz~24 MHz	フルスピード・モード
	LS(低速メイン)モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	ブランク状態		フルスピード・モード
	HS(高速メイン)モード	1 MHz~16 MHz	フルスピード・モード
	LS(低速メイン)モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
$1.8\text{ V} \leq V_{DD} < 2.4\text{ V}$	ブランク状態		ワイド・ボルテージ・モード
	LS(低速メイン)モード	1 MHz~8 MHz	ワイド・ボルテージ・モード

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

備考2. 通信コマンドの詳細は、31.4.4 通信コマンドを参照してください。

31.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表31-6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線UART (フラッシュ・メモリ・ プログラマ使用時、また は外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはポー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

31.4.4 通信コマンド

RL78マイクロコントローラは、表31-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表31-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。注
情報取得	Silicon Signature	RL78マイクロコントローラ情報(品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど)を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のポー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドが実行されると、情報(品名、ファームウェア・バージョン)を取得することができます。

表31-8 シグネチャ・データ一覧、表31-9 シグネチャ・データ例を示します。

表31-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名(ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-0BFFFH (48 KB) → FFH, BFH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F2FFFH (8 KB) → FFH, 2FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表31-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ(16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F11MMD	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 31 = “1” 4D = “M” 4D = “M” 44 = “D” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-0BFFFH (48 KB)	3バイト	FF BF 00
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F2FFFH (8 KB)	3バイト	FF 2F 0F
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

31.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラマとして PG-FP6 を使用した場合の各コマンド処理時間(参考値)を次に示します。

表 31 - 10 PG-FP6使用時の各コマンド処理時間(参考値)

PG-FP6のコマンド	コード・フラッシュ			
	48 Kバイト	64 Kバイト	96 Kバイト	128 Kバイト
消去	0.9 s	1.0 s	1.2 s	1.4 s
書き込み	1.9 s	2.2 s	3.0 s	3.7 s
ベリファイ	1.6 s	1.9 s	2.6 s	3.3 s
消去後、書き込み	2.5 s	3.0 s	3.9 s	4.8 s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線 UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード (フラッシュ動作モード: HS (高速メイン)モード)

31.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI 命令によりIEフラグがクリア(0)されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、セルフ・プログラミング・ライブラリを実行してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作(HIOSTOP=0)させ、30 μ s経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1. セルフ・プログラミング機能の詳細は、RL78 マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル(R01US0050)を参照してください。

備考2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト 000C2H の CMODE1, CMODE0 設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS(高速メイン)モード設定時はフルスピード・モードに、LS(低速メイン)モード設定時はワイド・ボルテージ・モードに設定してください。

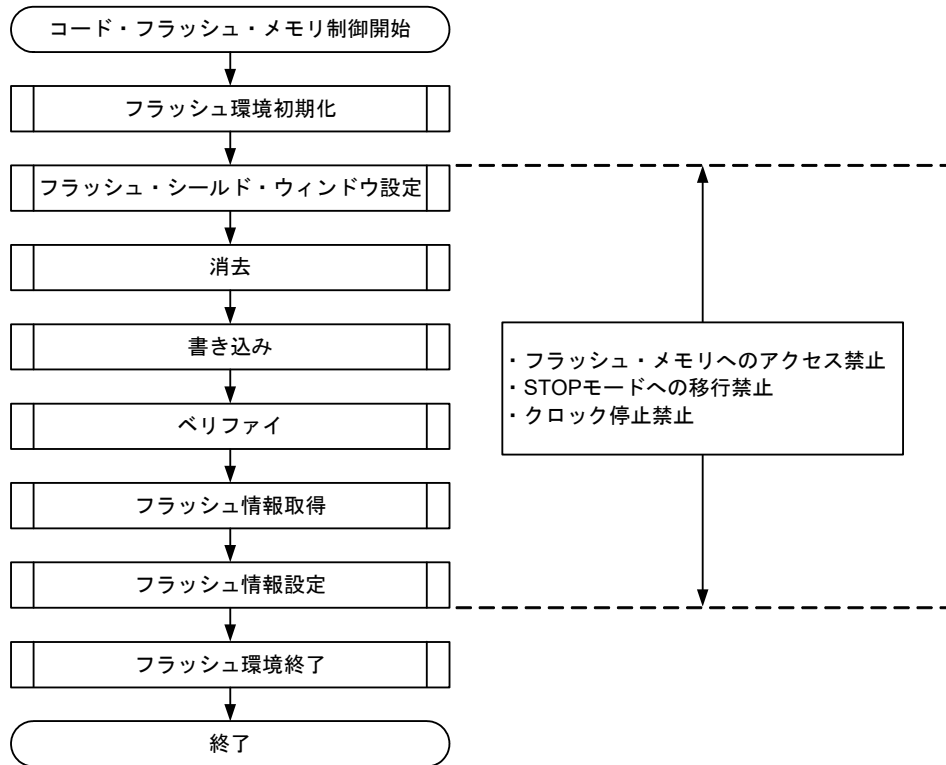
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

31.6.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図31-8 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ



31.6.2 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

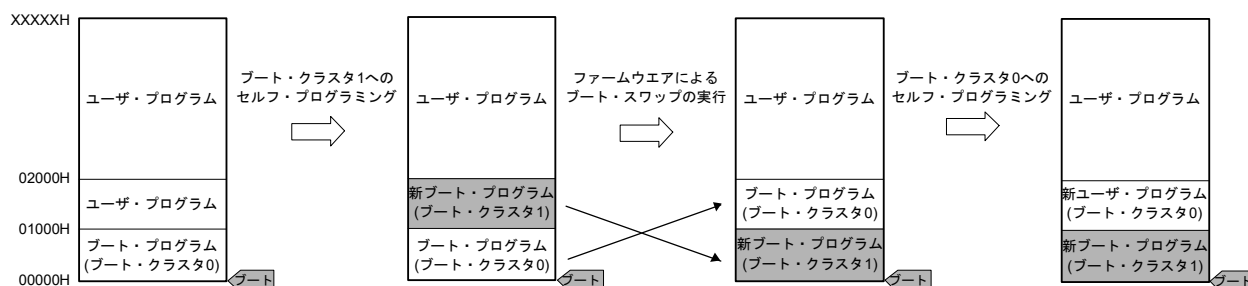
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート領域であるブート・クラスタ0注の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4 Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図31-9 ブート・スワップ機能

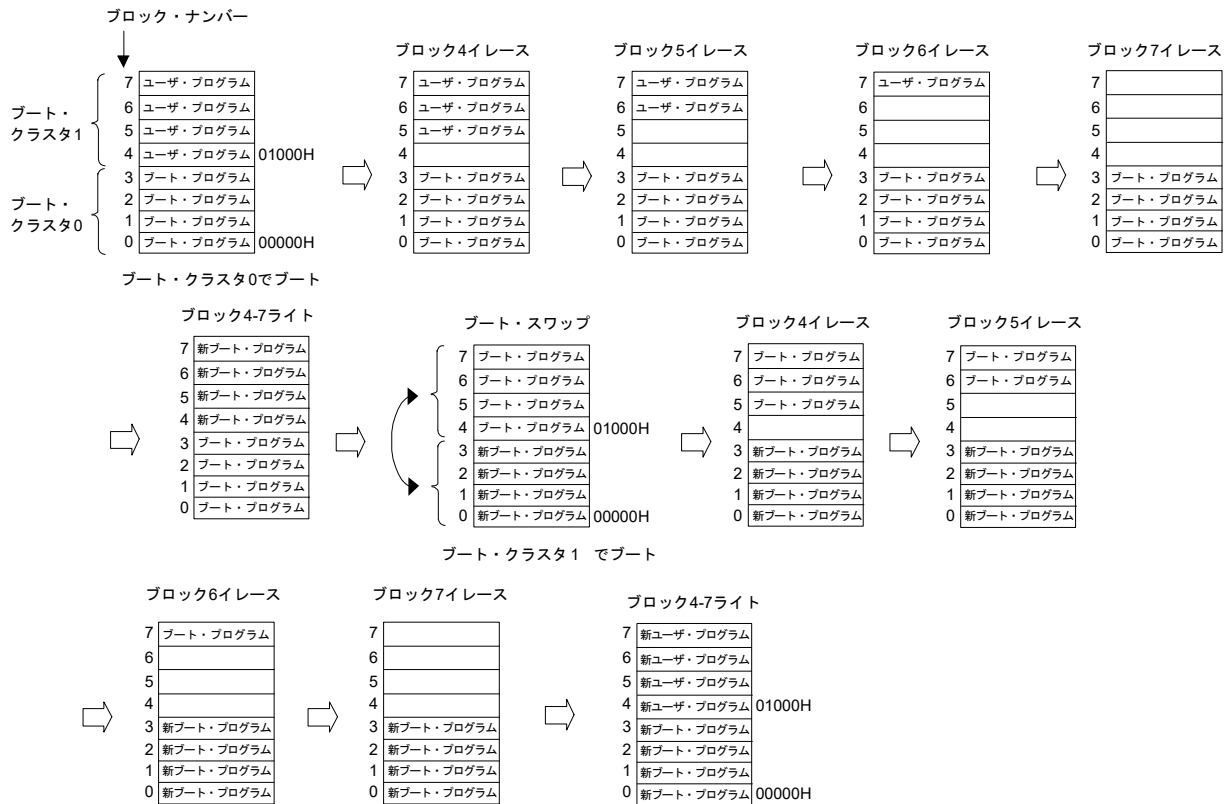


この図の例では、次のようになっています。

ブート・クラスタ0：ブート・スワップ前のブート領域です。

ブート・クラスタ1：ブート・スワップ後のブート領域です。

図31 - 10 ブート・スワップの実行例



31.6.3 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図31-11 フラッシュ・シールド・ウインドウの設定例
(対象デバイス：R5F11MME, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表31-11 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み/消去を禁止したい場合には、31.7 セキュリティ設定を参照してください。

31.7 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Set コマンドを使用することにより、次の操作をすることができます。

- ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

シリアル・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止に設定後、Security Release コマンドによる解除はリセットで有効になります。

- ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 31-12 に示します。

注意 ただし、専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウインドウ機能を使います(詳細は31.6.3を参照)。

表 31 - 12 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は31.6.3を参照)。

表 31 - 13 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 “書き込み禁止”設定の解除は、“ブロック消去禁止”、“ブート・クラスタ0の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域およびデータ・フラッシュ領域がブランクの場合のみ可能です。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない(シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマのGUI上などで設定する)
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

31.8 データ・フラッシュ

31.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、RL78ファミリ データ・フラッシュ・ライブラリ ユーザーズ・マニュアルを参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行が可能
(バックグラウンド・オペレーション(BGO)対応)
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中(セルフ・プログラミング時)に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を必ず設定してください。

注意2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、31.6セルフ・プログラミングを参照してください。

31.8.2 データ・フラッシュを制御するレジスタ

31.8.2.1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図31-12 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

31.8.3 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは停止状態であり、そのままではアクセス(リードおよびプログラミング)はできません。データ・フラッシュへアクセスするには、以下の手順で初期設定を行う必要があります。

- ①データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0 (DFLEN)に“1”を書き込む。
- ②ソフトウェア・タイマなどでセットアップ時間をウエイトする。
 セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。
 <各フラッシュの動作モードでのセットアップ時間>
 - ・HS (高速メイン)モード時 : 5 μ s
 - ・LS (低速メイン)モード時 : 720 ns
- ③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

注意4. CPU / 周辺ハードウェア・クロック周波数にサブシステム・クロックを選択した状態 (CLS = 1) でデータ・フラッシュを読み出した場合は、CPU / 周辺ハードウェア・クロックをサブシステム・クロックからメイン・システム・クロックに切り替え後、最初にデータ・フラッシュを読み出すときは以下の(1)~(3)の手順で読み出してください。

- (1) メイン・システム・クロックに切り替わったこと (CLS = 0) を確認します。

- (2) 次に任意のデータ・フラッシュを読み出します。(読み出し値は不正)
- (3) 最後に各動作モードに応じて、以下の時間経過後に読み出しを行ってください。
- HS (高速メイン) モード : 5 μ s
 - LS (低速メイン) モード : 1 μ s

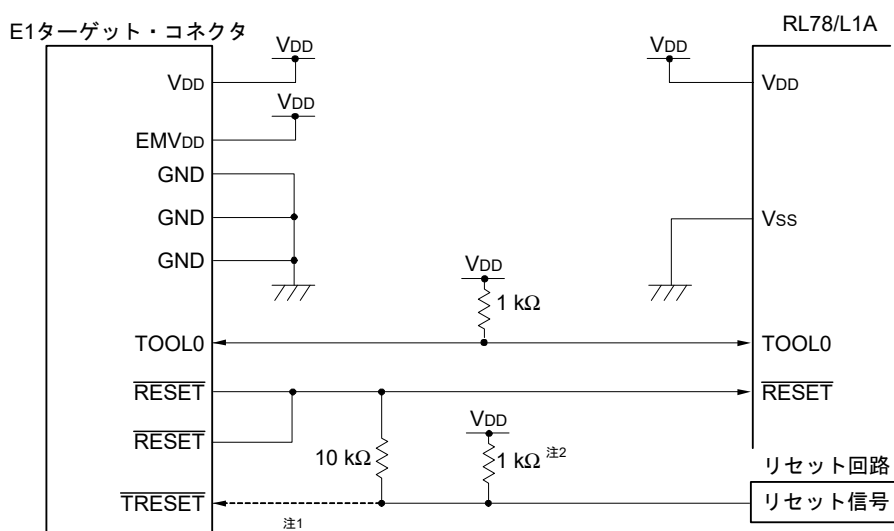
第32章 オンチップ・デバッグ機能

32.1 E1, E2, E2 Lite, E20 オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1, E2, E2 Lite, E20 オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、VDD、 $\overline{\text{RESET}}$ 、TOOL0、Vss 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過してしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図32 - 1 E1オンチップデバッグエミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ (出力抵抗が100Ω以下) を想定した回路例です。

32.2 オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第30章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

表32-1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード注 (All FFHを除く)
010C4H-010CDH	

注 “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

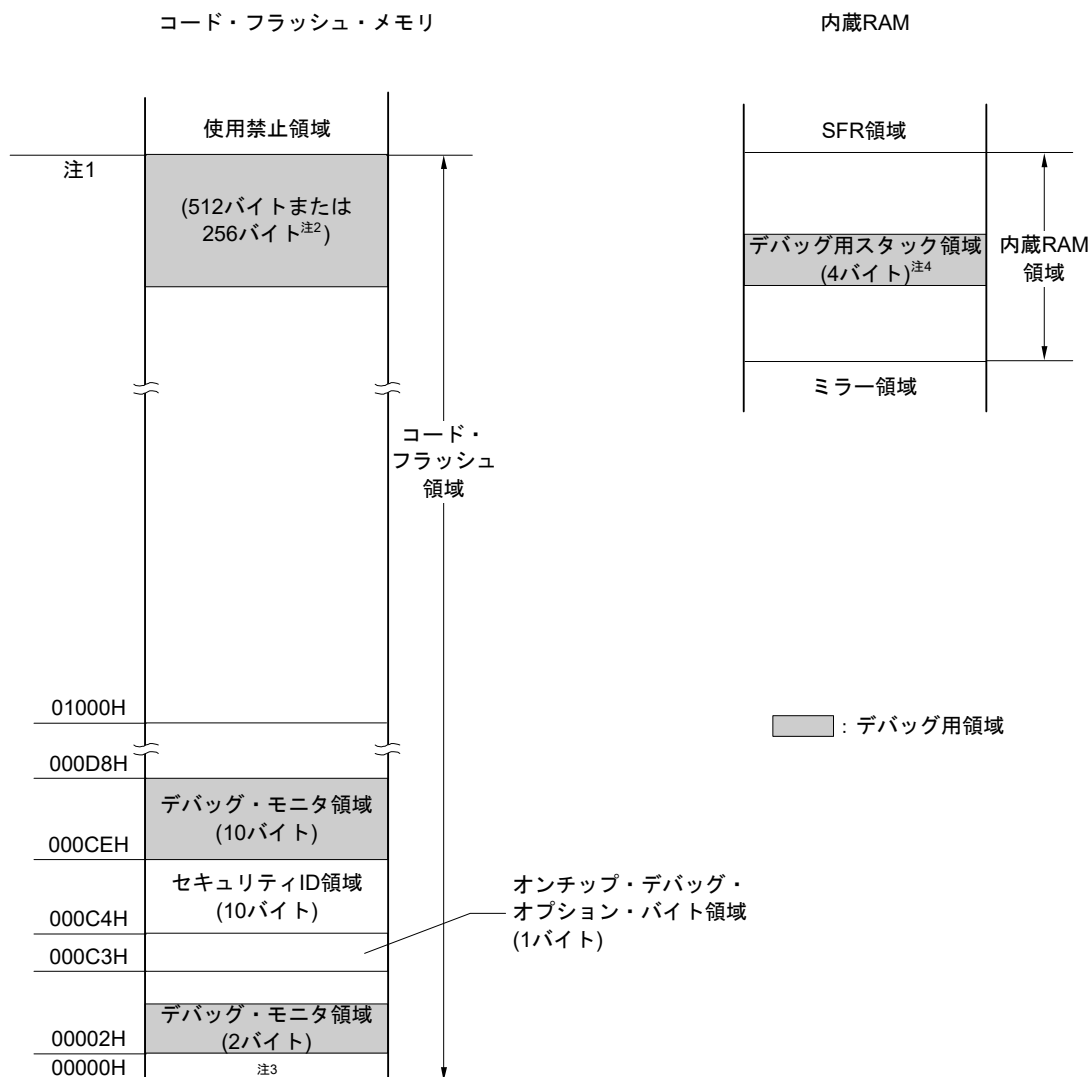
32.3 ユーザ資源の確保

RL78 マイクロコントローラとE1, E2, E2 Lite, E20 オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図32-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図 32 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名(コード・フラッシュ・メモリ容量)	注1のアドレス
R5F11MMD	0BFFFH
R5F11MxE (x = M, P)	0FFFFH
R5F11MxF (x = M, P)	17FFFH
R5F11MPG	1FFFFH

注2. リアルタイムRAMモニタ (RRM)機能, Dynamic Memory Modification (DMM)機能を使用しない場合は256バイトになります。

注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。

セルフプログラミングを行う場合は、12バイト余分に消費します。

第33章 10進補正(BCD)回路

33.1 10進補正回路の機能

BCDコード(2進化10進数)とBCDコード(2進化10進数)の加減算結果を、BCDコード(2進化10進数)で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ(BCDADJ)を加減算することで10進補正演算結果が求められます。

33.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- BCD補正結果レジスタ(BCDADJ)

33.2.1 BCD補正結果レジスタ(BCDADJ)

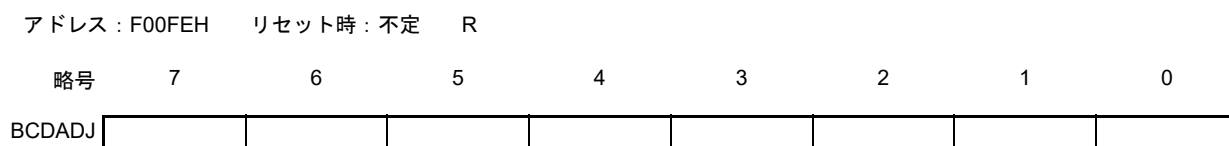
BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図33-1 BCD補正結果レジスタ(BCDADJ)のフォーマット



33.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

- ①加算したいBCDコード値(被加算値)をAレジスタに格納する。
- ②Aレジスタと第2オペランドの値(もう1つの加算したいBCDコード値, 加算値)を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での加算結果)とBCDADJレジスタの値(補正値)を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ;①	99H	—	—	—
ADD A, #89H ;②	22H	1	1	66H
ADD A, !BCDADJ ;③	88H	1	0	—

例2 $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ;①	85H	—	—	—
ADD A, #15H ;②	9AH	0	0	66H
ADD A, !BCDADJ ;③	00H	1	1	—

例3 $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ;①	80H	—	—	—
ADD A, #80H ;②	00H	1	0	60H
ADD A, !BCDADJ ;③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ①減算されるBCDコード値(被減算値)をAレジスタに格納する。
- ②Aレジスタから第2オペランドの値(減算するBCDコード値, 減算値)を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での減算結果)からBCDADJレジスタの値(補正值)を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令		Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #91H ;①	91H	—	—	—
SUB	A, #52H ;②	3FH	0	1	06H
SUB	A, !BCDADJ ;③	39H	0	0	—

第34章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015)を参照してください。

34.1 凡例

34.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様によります)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- #: イミーディエト・データ指定
- !: 16ビット絶対アドレス指定
- !!: 20ビット絶対アドレス指定
- \$: 8ビット相対アドレス指定
- \$!: 16ビット相対アドレス指定
- []: 間接アドレス指定
- ES: : 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称(X, A, Cなど)、絶対名称(表34-1の中のカッコ内の名称, R0, R1, R2など)のいずれの形式でも記述可能です。

表34-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号(SFR略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号(16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル(偶数アドレスのみ注)
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル(16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH イミーディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-6～表3-9 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-10～表3-19 拡張SFR(2nd SFR)一覧を参照してください。

34.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表34-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	()内のアドレスまたはレジスタの内容で示されるメモリの内容
XH, XL	16ビット・レジスタの場合はXH=上位8ビット, XL=下位8ビット
Xs, XH, XL	20ビット・レジスタの場合はXs(ビット19-16), XH(ビット15-8), XL(ビット7-0)
∧	論理積(AND)
∨	論理和(OR)
⊖	排他的論理和(exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ(0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ(ディスプレイースメント値)
jdisp16	符号付き16ビット・データ(ディスプレイースメント値)

34.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表 34 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

34.1.4 PREFIX命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFFH の 64 Kバイト空間から、ES レジスタの値を付加した 00000H-FFFFFFH の 1 Mバイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表 34 - 4 PREFIX 命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A などで事前に設定しておいてください。

34.2 オペレーション一覧

表34-5 オペレーション一覧(1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8 ビット ・ デー タ 転 送	MOV	r, #byte	2	1	—	r ← byte				
		PSW, #byte	3	3	—	PSW ← byte	x	x	x	
		CS, #byte	3	1	—	CS ← byte				
		ES, #byte	2	1	—	ES ← byte				
		!addr16, #byte	4	1	—	(addr16) ← byte				
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte				
		saddr, #byte	3	1	—	(saddr) ← byte				
		sfr, #byte	3	1	—	sfr ← byte				
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte				
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte				
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte				
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte				
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte				
		word[B], #byte	4	1	—	(B + word) ← byte				
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte				
		word[C], #byte	4	1	—	(C + word) ← byte				
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte				
		word[BC], #byte	4	1	—	(BC + word) ← byte				
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte				
		A, r	注3	1	1	—	A ← r			
		r, A	注3	1	1	—	r ← A			
		A, PSW		2	1	—	A ← PSW			
		PSW, A		2	3	—	PSW ← A	x	x	x
		A, CS		2	1	—	A ← CS			
		CS, A		2	1	—	CS ← A			
		A, ES		2	1	—	A ← ES			
		ES, A		2	1	—	ES ← A			
		A, !addr16		3	1	4	A ← (addr16)			
		A, ES:!addr16		4	2	5	A ← (ES, addr16)			
		!addr16, A		3	1	—	(addr16) ← A			
ES:!addr16, A		4	2	—	(ES, addr16) ← A					
A, saddr		2	1	—	A ← (saddr)					
saddr, A		2	1	—	(saddr) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 6 オペレーション一覧(2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット・ データ 転送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (\text{DE})$			
		[DE], A	1	1	—	$(\text{DE}) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (\text{ES}, \text{DE})$			
		ES:[DE], A	2	2	—	$(\text{ES}, \text{DE}) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (\text{HL})$			
		[HL], A	1	1	—	$(\text{HL}) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (\text{ES}, \text{HL})$			
		ES:[HL], A	2	2	—	$(\text{ES}, \text{HL}) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (\text{DE} + \text{byte})$			
		[DE+byte], A	2	1	—	$(\text{DE} + \text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{DE}) + \text{byte})$			
		ES:[DE+byte], A	3	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (\text{HL} + \text{byte})$			
		[HL+byte], A	2	1	—	$(\text{HL} + \text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{HL}) + \text{byte})$			
		ES:[HL+byte], A	3	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (\text{SP} + \text{byte})$			
		[SP+byte], A	2	1	—	$(\text{SP} + \text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (\text{B} + \text{word})$			
		word[B], A	3	1	—	$(\text{B} + \text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((\text{ES}, \text{B}) + \text{word})$			
		ES:word[B], A	4	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (\text{C} + \text{word})$			
		word[C], A	3	1	—	$(\text{C} + \text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((\text{ES}, \text{C}) + \text{word})$			
		ES:word[C], A	4	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (\text{BC} + \text{word})$			
		word[BC], A	3	1	—	$(\text{BC} + \text{word}) \leftarrow A$			
A, ES:word[BC]	4	2	5	$A \leftarrow ((\text{ES}, \text{BC}) + \text{word})$					
ES:word[BC], A	4	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow A$					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表 34 - 7 オペレーション一覧 (3/18)

命令群	ニモニック	オペラント	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$			
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$			
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
	C, saddr	2	1	—	$C \leftarrow (saddr)$				
	ES, saddr	3	1	—	$ES \leftarrow (saddr)$				
	XCH	A, r	注3 1 (r = X) 2 (r = X 以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
A, ES:!addr16		5	3	—	$A \leftrightarrow (ES, addr16)$				
A, saddr		3	2	—	$A \leftrightarrow (saddr)$				
A, sfr		3	2	—	$A \leftrightarrow sfr$				
A, [DE]		2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]		3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]		2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]		3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]		3	2	—	$A \leftrightarrow (DE + byte)$				
A, ES:[DE+byte]		4	3	—	$A \leftrightarrow ((ES, DE) + byte)$				
A, [HL+byte]		3	2	—	$A \leftrightarrow (HL + byte)$				
A, ES:[HL+byte]		4	3	—	$A \leftrightarrow ((ES, HL) + byte)$				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 8 オペレーション一覧(4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デ ータ 転 送	XCH	A, [HL+B]	2	2	—	$A \leftrightarrow (HL + B)$			
		A, ES:[HL+B]	3	3	—	$A \leftrightarrow ((ES, HL) + B)$			
		A, [HL+C]	2	2	—	$A \leftrightarrow (HL + C)$			
		A, ES:[HL+C]	3	3	—	$A \leftrightarrow ((ES, HL) + C)$			
	ONEB	A	1	1	—	$A \leftarrow 01H$			
		X	1	1	—	$X \leftarrow 01H$			
		B	1	1	—	$B \leftarrow 01H$			
		C	1	1	—	$C \leftarrow 01H$			
		!addr16	3	1	—	$(addr16) \leftarrow 01H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 01H$			
		saddr	2	1	—	$(saddr) \leftarrow 01H$			
	CLR B	A	1	1	—	$A \leftarrow 00H$			
		X	1	1	—	$X \leftarrow 00H$			
		B	1	1	—	$B \leftarrow 00H$			
		C	1	1	—	$C \leftarrow 00H$			
		!addr16	3	1	—	$(addr16) \leftarrow 00H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 00H$			
		saddr	2	1	—	$(saddr) \leftarrow 00H$			
	MOVS	[HL+byte], X	3	1	—	$(HL + byte) \leftarrow X$	×		×
		ES:[HL+byte], X	4	2	—	$(ES, HL + byte) \leftarrow X$	×		×
16 ビット ・ デ ータ 転 送	MOVW	rp, #word	3	1	—	$rp \leftarrow word$			
		saddrp, #word	4	1	—	$(saddrp) \leftarrow word$			
		sfrp, #word	4	1	—	$sfrp \leftarrow word$			
		AX, rp 注3	1	1	—	$AX \leftarrow rp$			
		rp, AX 注3	1	1	—	$rp \leftarrow AX$			
		AX, !addr16	3	1	4	$AX \leftarrow (addr16)$			
		!addr16, AX	3	1	—	$(addr16) \leftarrow AX$			
		AX, ES:!addr16	4	2	5	$AX \leftarrow (ES, addr16)$			
		ES:!addr16, AX	4	2	—	$(ES, addr16) \leftarrow AX$			
		AX, saddrp	2	1	—	$AX \leftarrow (saddrp)$			
		saddrp, AX	2	1	—	$(saddrp) \leftarrow AX$			
		AX, sfrp	2	1	—	$AX \leftarrow sfrp$			
		sfrp, AX	2	1	—	$sfrp \leftarrow AX$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。
CPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 9 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)			
		ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表34 - 10 オペレーション一覧(6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
BC		1	1	—	BC ← 0000H				
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	×	×	×
		A, r 注4	2	1	—	A, CY ← A + r	×	×	×
		r, A	2	1	—	r, CY ← r + A	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	×	×	×
A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	×	×	×		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 11 オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	×	×	×
		A, r 注3	2	1	—	$A, CY \leftarrow A + r + CY$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	×	×	×
		A, laddr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	×	×	×
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	×	×	×
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	×	×	×
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	×	×	×
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	×	×	×
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	×	×	×
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	×	×	×	
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	×	×	×
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	×	×	×
		A, r 注3	2	1	—	$A, CY \leftarrow A - r$	×	×	×
		r, A	2	1	—	$r, CY \leftarrow r - A$	×	×	×
		A, laddr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	×	×	×
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	×	×	×
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	×	×	×
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	×	×	×
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	×	×	×
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	×	×	×
A, ES:[HL+byte]		3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	×	×	×	
A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	×	×	×		
A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	×	×	×		
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	×	×	×		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	×	×	×		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 12 オペレーション一覧(8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	A, CY ← A - byte - CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) - byte - CY	×	×	×
		A, r 注3	2	1	—	A, CY ← A - r - CY	×	×	×
		r, A	2	1	—	r, CY ← r - A - CY	×	×	×
		A, laddr16	3	1	4	A, CY ← A - (addr16) - CY	×	×	×
		A, ES:laddr16	4	2	5	A, CY ← A - (ES, addr16) - CY	×	×	×
		A, saddr	2	1	—	A, CY ← A - (saddr) - CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A - (HL) - CY	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A - (ES, HL) - CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A - (HL + byte) - CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A - ((ES, HL) + byte) - CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A - (HL + B) - CY	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A - ((ES, HL) + B) - CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A - (HL + C) - CY	×	×	×
	A, ES:[HL+C]	3	2	5	A, CY ← A - ((ES:HL) + C) - CY	×	×	×	
	AND	A, #byte	2	1	—	A ← A ∧ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∧ byte	×		
		A, r 注3	2	1	—	A ← A ∧ r	×		
		r, A	2	1	—	r ← r ∧ A	×		
		A, laddr16	3	1	4	A ← A ∧ (addr16)	×		
		A, ES:laddr16	4	2	5	A ← A ∧ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∧ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∧ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	×		
A, ES:[HL+byte]		3	2	5	A ← A ∧ ((ES:HL) + byte)	×			
A, [HL+B]	2	1	4	A ← A ∧ (HL + B)	×				
A, ES:[HL+B]	3	2	5	A ← A ∧ ((ES:HL) + B)	×				
A, [HL+C]	2	1	4	A ← A ∧ (HL + C)	×				
A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	×				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 13 オペレーション一覧(9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r 注3	2	1	—	$A \leftarrow A \vee r$	×		
		r, A	2	1	—	$r \leftarrow r \vee A$	×		
		A, laddr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	×		
		A, ES:laddr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	×		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	×		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	×		
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	×			
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	×		
		A, r 注3	2	1	—	$A \leftarrow A \nabla r$	×		
		r, A	2	1	—	$r \leftarrow r \nabla A$	×		
		A, laddr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$	×		
		A, ES:laddr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$	×		
A, [HL+B]		2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$	×			
A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$	×				
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$	×				
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$	×				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 14 オペレーション一覧(10/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A - byte	×	×	×
		!addr16, #byte	4	1	4	(addr16) - byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	×	×	×
		saddr, #byte	3	1	—	(saddr) - byte	×	×	×
		A, r 注3	2	1	—	A - r	×	×	×
		r, A	2	1	—	r - A	×	×	×
		A, !addr16	3	1	4	A - (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A - (ES:addr16)	×	×	×
		A, saddr	2	1	—	A - (saddr)	×	×	×
		A, [HL]	1	1	4	A - (HL)	×	×	×
		A, ES:[HL]	2	2	5	A - (ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A - (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A - (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A - (HL + C)	×	×	×
	A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	×	×	×	
	CMP0	A	1	1	—	A - 00H	×	0	0
		X	1	1	—	X - 00H	×	0	0
		B	1	1	—	B - 00H	×	0	0
		C	1	1	—	C - 00H	×	0	0
		!addr16	3	1	4	(addr16) - 00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16) - 00H	×	0	0
saddr		2	1	—	(saddr) - 00H	×	0	0	
CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	×	×	×	
	X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	×	×	×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表34 - 15 オペレーション一覧(11/18)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX + AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX + BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX + DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX + HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX - word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX - BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX - DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX - HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX - (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX - (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX - (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX - (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX - ((ES:HL) + byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX - word	×	×	×
		AX, BC	1	1	—	AX - BC	×	×	×
		AX, DE	1	1	—	AX - DE	×	×	×
		AX, HL	1	1	—	AX - HL	×	×	×
		AX, !addr16	3	1	4	AX - (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX - (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	×	×	×
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	×	×	×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 16 オペレーション一覧(12/18)

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)		×	×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)		×	×

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合, 割り込み禁止状態(DI)で実行してください。

ただし, RAM領域での命令実行を除き, アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は, 割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。

下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合, その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサス エレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

備考2. MACR : 積和演算累計レジスタ (MACRH, MACRL)

表34 - 17 オペレーション一覧(13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	×	×	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	×	×	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r - 1$	×	×	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	×	×	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

備考1. クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

備考2. cntはビット・シフト数です。

表 34 - 18 オペレーション一覧(14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
BC, 1		2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×	
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			×	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 19 オペレーション一覧(15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			×
SET1	A.bit	2	1	—	$A.bit \leftarrow 1$				
	PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	×	×	×	
	!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$				
	ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$				
	saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$				
	sfr.bit	3	2	—	$sfr.bit \leftarrow 1$				
	[HL].bit	2	2	—	$(HL).bit \leftarrow 1$				
	ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$				
CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$				
	PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	×	×	×	
	!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$				
	ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$				
	saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$				
	sfr.bit	3	2	—	$sfr.bit \leftarrow 0$				
	[HL].bit	2	2	—	$(HL).bit \leftarrow 0$				
	ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$				
SET1	CY	2	1	—	$CY \leftarrow 1$			1	
CLR1	CY	2	1	—	$CY \leftarrow 0$			0	
NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表 34 - 20 オペレーション一覧(16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC ← CS, rp, SP ← SP - 4			
		\$!addr20	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← PC + 3 + jdisp16, SP ← SP - 4			
		!addr16	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← 0000, addr16, SP ← SP - 4			
		!!addr20	4	3	—	(SP - 2) ← (PC + 4) _s , (SP - 3) ← (PC + 4) _H , (SP - 4) ← (PC + 4) _L , PC ← addr20, SP ← SP - 4			
	CALLT	[addr5]	2	5	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PCH ← (0000, addr5 + 1), PCL ← (0000, addr5), SP ← SP - 4			
	BRK	—	2	5	—	(SP - 1) ← PSW, (SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP - 4, IE ← 0			
	RET	—	1	6	—	PCL ← (SP), PCH ← (SP + 1), PC _s ← (SP + 2), SP ← SP + 4			
	RETI	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R
	RETB	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 21 オペレーション一覧(17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2			
		rp	1	1	—	(SP - 1) ← rpH, (SP - 2) ← rpL, SP ← SP - 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP + byte				
SUBW	SP, #byte	2	1	—	SP ← SP - byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		\$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 0			
	BNH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
ES:[HL].bit, \$addr20		4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 34 - 22 オペレーション一覧(18/18)

命令群	モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 1			
CPU制御	SEL注4	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

注4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

第35章 電気的特性(A: $T_A = -40 \sim +85^\circ\text{C}$)

この章では、以下の対象製品の電気的特性を示します。

対象製品 A: 民生用途 $T_A = -40 \sim +85^\circ\text{C}$

R5F11MxxAFB

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. 製品により搭載している端子が異なります。2.1 ポート機能～ 2.2.1 製品別の搭載機能を参照してください。

35.1 絶対最大定格

絶対最大定格(TA = 25°C)

(1/3)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	AVDD	$AVDD \leq VDD$	-0.5 ~ +4.6	V
REGC 端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD+0.3注1	V
入力電圧	Vi1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80, P81, P121-P127, P137, EXCLK, EXCLKS, \overline{RESET}	-0.3 ~ VDD+0.3注2	V
	Vi2	P60, P61 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi4	IVCMP0	-0.7 ~ VDD+0.7	V
	Vi5	P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154	-0.3 ~ AVDD+0.3注3	V
出力電圧	Vo1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P60, P61, P70-P77, P80, P81, P125-P127, P130	-0.3 ~ VDD+0.3注2	V
	Vo2	P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154	-0.3 ~ AVDD+0.3注3	V
アナログ入力電圧	VAI2	ANI00-ANI13	-0.3 ~ AVDD+0.3 かつ AVREF(+)+0.3注2, 4	V

注1. REGC 端子にはコンデンサ(0.47 ~ 1 μ F)を介してVssに接続してください。この値は、REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. 4.6以下であること。

注4. A/D変換対象の端子は、AVREF(+)+0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF(+): A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とする。

絶対最大定格 (TA = 25°C)

(2/3)

項目	略号	条件	定格	単位
LCD 電圧	VL1	VL1入力電圧 ^{注1}	-0.3 ~ +2.8	V
	VL2	VL2入力電圧 ^{注1}	-0.3 ~ +6.5	V
	VL3	VL3入力電圧 ^{注1}	-0.3 ~ +6.5	V
	VL4	VL4入力電圧 ^{注1}	-0.3 ~ +6.5	V
	VL5	CAPL, CAPH入力電圧 ^{注1}	-0.3 ~ +6.5	V
	VLO1	VL1出力電圧	-0.3 ~ +2.8	V
	VLO2	VL2出力電圧	-0.3 ~ +6.5	V
	VLO3	VL3出力電圧	-0.3 ~ +6.5	V
	VLO4	VL4出力電圧	-0.3 ~ +6.5	V
	VLO5	CAPL, CAPH出力電圧	-0.3 ~ +6.5	V
	VLO6	COM0-COM7 SEG0-SEG44 出力電圧	外部抵抗分割方式	-0.3 ~ VDD+0.3 ^{注2}
容量分割方式			-0.3 ~ VDD+0.3 ^{注2}	V
内部昇圧方式			-0.3 ~ VL4+0.3 ^{注2}	V

注1. この値は、VL1, VL2, VL3, VL4端子への電圧印加する場合の絶対最大定格を規定するものであり、電圧印加して使用することを推奨しているわけではありません。内部昇圧方式、容量分割方式の場合、VL1, VL2, VL3, VL4端子にはコンデンサ(0.47±30%)を介してVssに接続し、CAPL端子、CAPH端子間にもコンデンサ(0.47±30%)を接続してください。

注2. 6.5V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

絶対最大定格 (TA = 25°C)

(3/3)

項目	略号	条件	定格	単位	
ハイ・レベル出力電流	IOH1	1端子	-40	mA	
		端子合計 -170 mA	P40-P44, P130	-70	mA
			P00-P07, P11-P17, P30-P37, P50-P57, P70-P77, P80, P81, P125-P127	-100	mA
	IOH2	1端子	P20, P21, P23-P27, P100, P101, P103-P107,	-0.1	mA
		端子合計	P140-P143, P150, P152-P154	-1.6注	mA
ロウ・レベル出力電流	IOL1	1端子	40	mA	
		端子合計 170 mA	P40-P44, P130	70	mA
			P00-P07, P11-P17, P30-P37, P50-P57, P60, P61, P70-P77, P80, P81, P125-P127	100	mA
	IOL2	1端子	P20, P21, P23-P27, P100, P101, P103-P107,	0.4	mA
		端子合計	P140-P143, P150, P152-P154	6.4注	mA
動作周囲温度	TA	通常動作時	-40 ~ +85	°C	
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg		-65 ~ +150	°C	

注 AVDD系端子最大16ピン同時出力も値を満たすこと。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

35.2 発振回路特性

35.2.1 X1, XT1 発振回路特性

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (fx) ^注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 3.6 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	
		1.8 V ≤ VDD < 2.4 V	1.0		8.0	
XT1クロック発振周波数 (fxT) ^注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS)の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

35.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +85°C, 1.8V ≤ VDD ≤ 3.6 V, VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位	
高速オンチップ・オシレータ・クロック周波数注1,2	fHOCO	2.7 V ≤ VDD ≤ 3.6 V	1		24	MHz	
		2.4 V ≤ VDD ≤ 3.6 V	1		16	MHz	
		1.8 V ≤ VDD ≤ 3.6 V	1		8	MHz	
高速オンチップ・オシレータ・クロック周波数精度	fHOCO	-20 ~ +85°C	1.8 V ≤ VDD ≤ 3.6 V	-1.0		+1.0	%
		-40 ~ -20°C	1.8 V ≤ VDD ≤ 3.6 V	-1.5		+1.5	%
低速オンチップ・オシレータ・クロック周波数	fIL			15		kHz	
低速オンチップ・オシレータ・クロック周波数精度				-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット 0-4 および HOCODIV レジスタのビット 0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

35.3 DC特性

35.3.1 端子特性

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P81, P125-P127, P130 1端子			-10.0 ^{注2}	mA	
		P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P81, P125-P127, P130 合計 (デューティ = 70%時 ^{注3})	2.7 V ≤ VDD ≤ 3.6 V			-15.0	mA
			1.8 V ≤ VDD < 2.7 V			-7.0	mA
	IOH2	P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154 1端子	1.8 V ≤ VDD ≤ 3.6 V			-0.1 ^{注2}	mA
P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154 合計 (デューティ = 70%時 ^{注3})			1.8 V ≤ VDD ≤ 3.6 V			-1.6	mA

注1. VDD端子(IOH1), AVDD端子(IOH2)から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. ただし、合計の電流値を越えないでください。

注3. デューティ = 70%の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます（70%のデューティをn%に変更する場合）。

• 端子合計の出力電流 = (IOH × 0.7)/(n × 0.01)

<計算例> IOH = -15.0 mAの場合, n = 50%

端子合計の出力電流 = (-15.0 × 0.7)/(50 × 0.01) = -21.0 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00-P02, P11, P12, P14, P35-P37, P40, P41, P43, P44, P80, P81は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P81, P125-P127, P130 1端子			20.0 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
		P40-P44, P130 合計	2.7 V ≤ VDD ≤ 3.6 V		15.0	mA	
		(デューティ = 70% ^{注3})	1.8 V ≤ VDD < 2.7 V		9.0	mA	
		P00-P07, P11-P17, P30-P37, P50-P57, P60-P61, P70-P77, P80-P81, P125-P127 合計 (デューティ = 70% ^{注3})	2.7 V ≤ VDD ≤ 3.6 V		35.0	mA	
		1.8 V ≤ VDD < 2.7 V		20.0	mA		
	全端子合計 (デューティ = 70% ^{注3})			50.0	mA		
	IOL2	P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154 1端子	1.8 V ≤ VDD ≤ 3.6 V			0.4 ^{注2}	mA
		P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154 合計 (デューティ = 70% ^{注3})	1.8 V ≤ VDD ≤ 3.6 V			6.4	mA

注1. 出力端子からVSS端子(IOL1), AVSS端子(IOL2)に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないください。

注3. デューティ = 70%の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70%のデューティをn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (IOL \times 0.7) / (n \times 0.01)$$

<計算例> IOL = 15.0 mAの場合, n = 50%

$$\text{端子合計の出力電流} = (15.0 \times 0.7) / (50 \times 0.01) = 21.0 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P70- P77, P80-P81, P125-P127	通常入力バッファ	0.8 VDD		VDD	V
	VIH2	P00, P01, P11, P14, P35, P36, P40, P41, P44, P80	TTL入力バッファ	2.0		VDD	V
			TTL入力バッファ	1.50		VDD	V
	VIH3	P20, P21, P23-P27, P100, P101, P103-P107, P140- P143, P150, P152-P154		0.7 AVDD		AVDD	V
	VIH4	P60, P61		0.7 VDD		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P81, P125-P127	通常入力バッファ	0		0.2 VDD	V
	VIL2	P00, P01, P11, P14, P35, P36, P40, P41, P44, P80	TTL入力バッファ	0		0.5	V
			TTL入力バッファ	0		0.32	V
	VIL3	P20, P21, P23-P27, P100, P101, P103-P107, P140- P143, P150, P152-P154		0		0.3 AVDD	V
	VIL4	P60, P61		0		0.3 VDD	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2 VDD	V

注意 P00-P02, P11, P12, P14, P35-P37, P40, P41, P43, P44, P80, P81は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P81, P125-P127, P130	2.7 V ≤ VDD ≤ 3.6 V, IOH = -2.0 mA	VDD - 0.6			V
			1.8 V ≤ VDD ≤ 3.6 V, IOH = -1.5 mA	VDD - 0.5			V
	VOH2	P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154	1.8 V ≤ VDD ≤ 3.6 V, IOH = -100 μA	AVDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P70-P77, P80-P81, P125-P127, P130	2.7 V ≤ VDD ≤ 3.6 V, IOL = 3.0 mA			0.6	V
			2.7 V ≤ VDD ≤ 3.6 V, IOL = 1.5 mA			0.4	V
			1.8 V ≤ VDD ≤ 3.6 V, IOL = 0.6 mA			0.4	V
	VOL2	P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154	1.8 V ≤ VDD ≤ 3.6 V, IOL = 400 μA			0.4	V
	VOL3	P60, P61	2.7 V ≤ VDD ≤ 3.6 V, IOL = 3.0 mA			0.4	V
			1.8 V ≤ VDD ≤ 3.6 V, IOL = 2.0 mA			0.4	V

注意 P00-P02, P11, P12, P14, P35-P37, P40, P41, P43, P44, P80, P81は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力リーク電流	ILIH1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P60-P61, P70-P77, P80-P81, P125-P127, P137,RESET	Vi = VDD		1	μA		
	ILIH3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VDD	入力ポート時, 外 部クロック入力時	1	μA		
				発振子接続時	10	μA		
ILIH4	P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154	Vi = AVDD		1	μA			
ロウ・レベル 入力リーク電流	ILIL1	P00-P07, P11-P17, P30-P37, P40-P44, P50-P57, P60-P61, P70-P77, P80-P81, P125-P127, P137,RESET	Vi = VSS		-1	μA		
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VSS	入力ポート時, 外 部クロック入力時	-1	μA		
				発振子接続時	-10	μA		
ILIL4	P20, P21, P23-P27, P100, P101, P103-P107, P140-P143, P150, P152-P154	Vi = AVSS		-1	μA			
内蔵プルアップ抵抗	RU1	P00-P07, P11-P17, P30-P37, P50-P57, P70-P77, P80, P81, P125-P127	Vi = VSS	2.4 V ≤ VDD ≤ 3.6 V	10	20	100	kΩ
				1.8 V ≤ VDD < 2.4 V	10	30	100	
	RU2	P40- P44	Vi = VSS	10	20	100	kΩ	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

35.3.2 電源電流特性

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, VSS = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作 モード	HS(高速メイン) モード ^{注5}	f _H = 24 MHz ^{注3}	基本動作	VDD = 3.6 V		1.7		mA
						VDD = 3.0 V		1.7		
				通常動作	VDD = 3.6 V		3.6	6.1		
					VDD = 3.0 V		3.6	6.1		
				f _H = 16 MHz ^{注3}	通常動作	VDD = 3.6 V		2.7	4.7	
						VDD = 3.0 V		2.7	4.7	
			LS(低速メイン) モード ^{注5}	f _H = 8 MHz ^{注3}	通常動作	VDD = 3.6 V		1.2	2.1	mA
						VDD = 3.0 V		1.2	2.1	
			HS(高速メイン) モード ^{注5}	f _{MX} = 20 MHz ^{注2} , VDD = 3.6 V	通常動作	方形波入力		3.0	5.1	mA
						発振子接続		3.2	5.2	
					通常動作	方形波入力		2.9	5.1	
						発振子接続		3.2	5.2	
		f _{MX} = 16 MHz ^{注2} , VDD = 3.6 V			通常動作	方形波入力		2.5	4.4	
						発振子接続		2.7	4.5	
		f _{MX} = 16 MHz ^{注2} , VDD = 3.0 V		通常動作	方形波入力		2.5	4.4		
					発振子接続		2.7	4.5		
		f _{MX} = 10 MHz ^{注2} , VDD = 3.6 V		通常動作	方形波入力		1.9	3.0		
					発振子接続		1.9	3.0		
		f _{MX} = 10 MHz ^{注2} , VDD = 3.0 V		通常動作	方形波入力		1.9	3.0		
					発振子接続		1.9	3.0		
		LS(低速メイン) モード ^{注5}	f _{MX} = 8 MHz ^{注2} , VDD = 3.6 V	通常動作	方形波入力		1.1	2.0	mA	
					発振子接続		1.1	2.0		
			f _{MX} = 8 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		1.1	2.0		
					発振子接続		1.1	2.0		
サブシステム・ クロック動作	f _{SUB} = 32.768 kHz ^{注4} TA = -40°C	通常動作	方形波入力		4.0	5.4	μA			
			発振子接続		4.3	5.4				
	f _{SUB} = 32.768 kHz ^{注4} TA = +25°C	通常動作	方形波入力		4.0	5.4				
			発振子接続		4.3	5.4				
	f _{SUB} = 32.768 kHz ^{注4} TA = +50°C	通常動作	方形波入力		4.1	7.1				
			発振子接続		4.4	7.1				
f _{SUB} = 32.768 kHz ^{注4} TA = +70°C	通常動作	方形波入力		4.3	8.7					
		発振子接続		4.7	8.7					
f _{SUB} = 32.768 kHz ^{注4} TA = +85°C	通常動作	方形波入力		4.7	12.0					
		発振子接続		5.2	12.0					

(注, 備考は次ページにあります。)

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みません。ただし、LCDコントローラ/ドライバ、A/Dコンバータ、D/Aコンバータ、rail to rail OPA(アナログMUX付)、汎用OPA、ボールテージ・リファレンス、低抵抗スイッチ、コンパレータ、LVD回路、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

注2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速システム・クロック、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振(AMPHS1 = 1)設定時。

注5. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fIH : 高速オンチップ・オシレータ・クロック周波数(最大24 MHz)

備考3. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25°Cです。

(TA = -40 ~ +85°C, 1.8V ≤ AVDD ≤ VDD ≤ 3.6 V, VSS = 0 V)

(2/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS(高速メイン) モード ^{注6}	f _{IH} = 24 MHz ^{注4}	VDD = 3.6 V	0.42	1.83	mA	
					VDD = 3.0 V	0.42	1.83		
				f _{IH} = 16 MHz ^{注4}	VDD = 5.0 V	0.39	1.38		
					VDD = 3.0 V	0.39	1.38		
			LS(低速メイン) モード ^{注6}	f _{IH} = 8 MHz ^{注4}	VDD = 3.0 V	0.25	0.71	mA	
					VDD = 2.0 V	0.25	0.71		
			HS(高速メイン) モード ^{注6}	f _{MX} = 20 MHz ^{注3} , VDD = 3.6 V	方形波入力	0.26	1.55	mA	
					発振子接続	0.4	1.68		
				f _{MX} = 20 MHz ^{注3} , VDD = 3.0 V	方形波入力	0.25	1.55		
					発振子接続	0.4	1.68		
				f _{MX} = 16 MHz ^{注3} , VDD = 3.6 V	方形波入力	0.23	1.22		
					発振子接続	0.36	1.39		
				f _{MX} = 16 MHz ^{注3} , VDD = 3.0 V	方形波入力	0.22	1.22		
					発振子接続	0.35	1.39		
			f _{MX} = 10 MHz ^{注3} , VDD = 3.0 V	方形波入力	0.18	0.82			
				発振子接続	0.28	0.90			
			LS(低速メイン) モード ^{注6}	f _{MX} = 8 MHz ^{注3} , VDD = 3.0 V	方形波入力	0.09	0.51	mA	
					発振子接続	0.15	0.56		
				f _{MX} = 8 MHz ^{注3} , VDD = 2.0 V	方形波入力	0.10	0.52		
					発振子接続	0.15	0.57		
			サブシステム・ クロック動作	fs _{UB} = 32.768 kHz ^{注5}	TA = -40°C	方形波入力	0.32	0.75	μA
						発振子接続	0.51	0.83	
					TA = +25°C	方形波入力	0.41	0.83	
						発振子接続	0.62	1.00	
TA = +50°C	方形波入力	0.52			1.17				
	発振子接続	0.75			1.36				
TA = +70°C	方形波入力	0.82	1.97						
	発振子接続	1.08	2.16						
TA = +85°C	方形波入力	1.38	3.37						
	発振子接続	1.62	3.56						
IDD3	STOPモード ^{注7}	TA = -40°C		0.16	0.51	μA			
		TA = +25°C		0.22	0.51				
		TA = +50°C		0.27	1.10				
		TA = +70°C		0.37	1.90				
		TA = +85°C		0.6	3.30				

(注, 備考は次ページにあります。)

- 注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、LCDコントローラ/ドライバ、A/Dコンバータ、D/Aコンバータ、rail to rail OPA(アナログMUX付)、汎用OPA、ボールテージ・リファレンス、低抵抗スイッチ、コンパレータ、LVD回路、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。
STOPモード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。RTCLPC = 1、かつ超低消費発振(AMPHS1 = 1)設定時。
- 注6. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$
- LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. fIH : 高速オンチップ・オシレータ・クロック周波数(最大24 MHz)
- 備考3. fsUB : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考4. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は、TA = 25°Cです。

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1				0.20		μA
RTC2動作電流	IRTC注1, 3	fSUB = 32.768kHz			0.02		μA
12ビット・インターバル・タイマ動作電流	ITMKA注1, 2, 4	fSUB = 32.768kHz			0.02		μA
8ビット・インターバル・タイマ動作電流	ITMRT注1, 19	fSUB = 32.768kHz	8ビット・カウンタ・モード × 2ch 動作		0.12		μA
			16ビット・カウンタ・モード動作		0.10		μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 5	fIL = 15 kHz			0.22		μA
A/Dコンバータ動作電流	IADC注6, 7	AVDD = 3.0 V, 最高速変換時			0.7	1.7	mA
A/DコンバータAVREF(+) 電流	IAVREF注8	AVDD = 3.0 V, HVSEL[1:0] = 00B注7			40	80	μA
		AVREFP = 3.0 V, HVSEL[1:0] = 01B注10			40	80	
内部基準電圧(1.45V)電流	IADREF注1, 9				85		μA
温度センサ動作電流	ITMPS注1				85		μA
D/Aコンバータ動作電流	IDAC注7, 11	1チャンネル当たり			0.4	0.8	mA
D/AコンバータAVREF(+) 電流	IDAREF注10	AVREFP = 3.0 V, REF [2:0] = 110B 1チャンネル当たり			35	80	μA
コンパレータ動作電流	ICMP注1, 12	VDD = 3.6 V, レギュレータ 出力電圧 = 2.1 V	ウインドウモード		7.0		μA
			コンパレータ高速モード		2.6		μA
			コンパレータ低速モード		1.2		μA
		VDD = 3.6 V, レギュレータ 出力電圧 = 1.8 V	ウインドウモード		4.1		μA
			コンパレータ高速モード		1.5		μA
			コンパレータ低速モード		0.9		μA
汎用オペアンプ動作電流 (1ユニット分)	IAMP1注7, 18	AVDD = 3.0 V	低消費モード		2	4	μA
			高速モード		140	280	μA
rail to railオペアンプ動作電流 (1ユニット分)	IAMP2注7, 18	AVDD = 3.0 V	低消費モード		10	16	μA
			高速モード		210	350	μA
LVD動作電流	ILVI注1, 13				0.06		μA
セルフ・プログラミング動作電流	IFSP注1, 14				2.0	12.2	mA
BGO動作電流	IBGO注1, 15				2.0	12.2	mA
SNOOZE動作電流	ISNOZ注1	簡易SPI (CSI)/UART動作			0.70	0.84	mA
ボルテージ・リファレンス動作電流	IVREF	AVDD = VDD = 3.0 V				40	μA

項目	略号	条件				MIN.	TYP.	MAX.	単位
LCD動作電流	ILCD1注16, 17	外部抵抗分割方式	f _{LCD} = f _{SUB} LCDクロック = 128 Hz	1/3バイアス 4時分割	VDD = 3.6 V, VL4 = 3.6 V		0.14		μA
	ILCD2注16	内部昇圧方式	f _{LCD} = f _{SUB} LCDクロック = 128 Hz	1/3バイアス 4時分割	VDD = 3.0 V, VL4 = 3.0 V (VLCD = 04H)		0.61		μA
	ILCD3注16	容量分割方式	f _{LCD} = f _{SUB} LCDクロック = 128 Hz	1/3バイアス 4時分割	VDD = 3.0 V, VL4 = 3.0 V		0.12		μA

(注, 備考は次ページにあります。)

- 注1. VDDに流れる電流です。
- 注2. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
- 注3. リアルタイム・クロック2にのみ流れる電流です(低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロック2の動作時は、IDD1またはIDD2にIRTCを加算した値がRL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロック2の動作電流が含まれています。
- 注4. 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマが動作時は、IDD1またはIDD2にITMKAを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作には12ビット・インターバル・タイマの動作電流が含まれています。
- 注5. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。STOPモード時にウォッチドッグ・タイマが動作中の場合、IDD1またはIDD2またはIDD3にIWDTCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータ動作時は、IDD1またはIDD2にIADC, IAVREF, IADREFを加算した値が、RL78マイクロコントローラの電流値となります。
- 注7. AVDDに流れる電流です。
- 注8. A/Dコンバータの基準電圧源から流れる電流です。
- 注9. 内部基準電圧の動作電流です。
- 注10. AVREFFPに流れる電流です。
- 注11. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモード時にD/Aコンバータが動作中の場合、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注12. コンパレータ回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にコンパレータ回路が動作中の場合、IDD1またはIDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注13. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合、IDD1またはIDD2またはIDD3にILVIを加算した値が、RL78マイクロコントローラの電流値となります。
- 注14. セルフ・プログラミング動作に流れる電流です。
- 注15. データ・フラッシュ書き換え動作に流れる電流です。
- 注16. LCDコントローラ/ドライバ(VDD端子)にのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ/ドライバが動作中の場合、電源電流(IDD1またはIDD2)にLCD動作電流(ILCD1またはILCD2またはILCD3)を加算した値が、RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。
- 注17. 外部分割抵抗に流れる電流は含みません。
- 注18. オペアンプにのみ流れる電流。動作モードまたはHALTモードまたはSTOPモード時にオペアンプ動作中の場合、IDD1またはIDD2またはIDD3にIAMPを加算した値が、RL78マイクロコントロールの電流値です。
- 注19. 8ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値です。また、低速オンチップ・オシレータ選択時はIFILを加算してください。
- 備考1. fIL: 低速オンチップ・オシレータ・クロック周波数
- 備考2. fSUB: サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考3. fCLK: CPU/周辺ハードウェア・クロック周波数
- 備考4. TYP.値の温度条件は、TA = 25°Cです。

35.4 AC特性

35.4.1 基本動作

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN)動作	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 3.6 V	0.0417		1	μs	
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs	
				LS(低速メイン)モード	1.8 V ≤ VDD ≤ 3.6 V	0.125		1	μs
				サブシステム・クロック (fSUB)動作	1.8 V ≤ VDD ≤ 3.6 V	28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 3.6 V	0.0417		1	μs	
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs	
LS(低速メイン)モード	1.8 V ≤ VDD ≤ 3.6 V			0.125		1	μs		
外部メイン・システム・クロック 周波数	fEX	EXCLK	2.7 V ≤ VDD ≤ 3.6 V	1.0		20.0	MHz		
			2.4 V ≤ VDD < 2.7 V	1.0		16.0	MHz		
			1.8 V ≤ VDD < 2.7 V	1.0		8.0	MHz		
	fEXT	EXCLKS		32		35	kHz		
外部メイン・システム・クロック 入力ハイ、ロウ・レベル幅	tEXH, tEXL	EXCLK	2.7 V ≤ VDD ≤ 3.6 V	24			ns		
			2.4 V ≤ VDD < 2.7 V	30			ns		
	tEXHS, tEXLS	EXCLKS		13.7			μs		
タイマ入力 ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL	Ti00-Ti07			1/fMCK + 10			ns	
タイマ出力周波数	fTO	TO00-TO07	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 3.6 V			8	MHz	
				2.4 V ≤ VDD < 2.7 V			8	MHz	
			LS(低速メイン)モード	1.8 V ≤ VDD ≤ 3.6 V				4	MHz
ブザー出力周波数	fPCL	PCLBUZ0, PCLBUZ1	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 3.6 V			8	MHz	
				2.4 V ≤ VDD < 2.7 V			8	MHz	
			LS(低速メイン)モード	1.8 V ≤ VDD ≤ 3.6 V				4	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0-INTP7		1.8 V ≤ VDD ≤ 3.6 V	1			μs	
キー割り込み入力 ロウ・レベル幅	tKR	KR0-KR7		1.8 V ≤ VDD ≤ 3.6 V	250			ns	
RESETロウ・レベル幅	tRSL	RESET			10			μs	

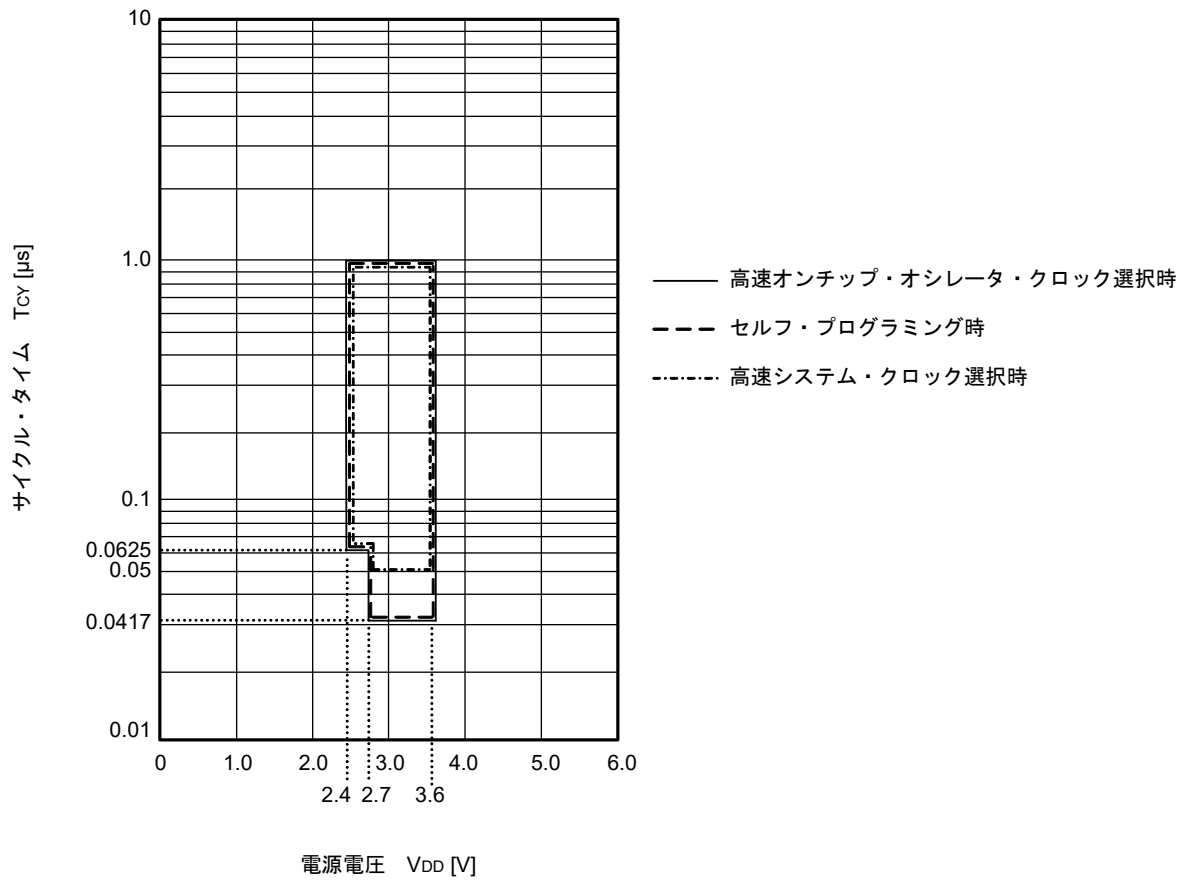
備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号(m = 0),

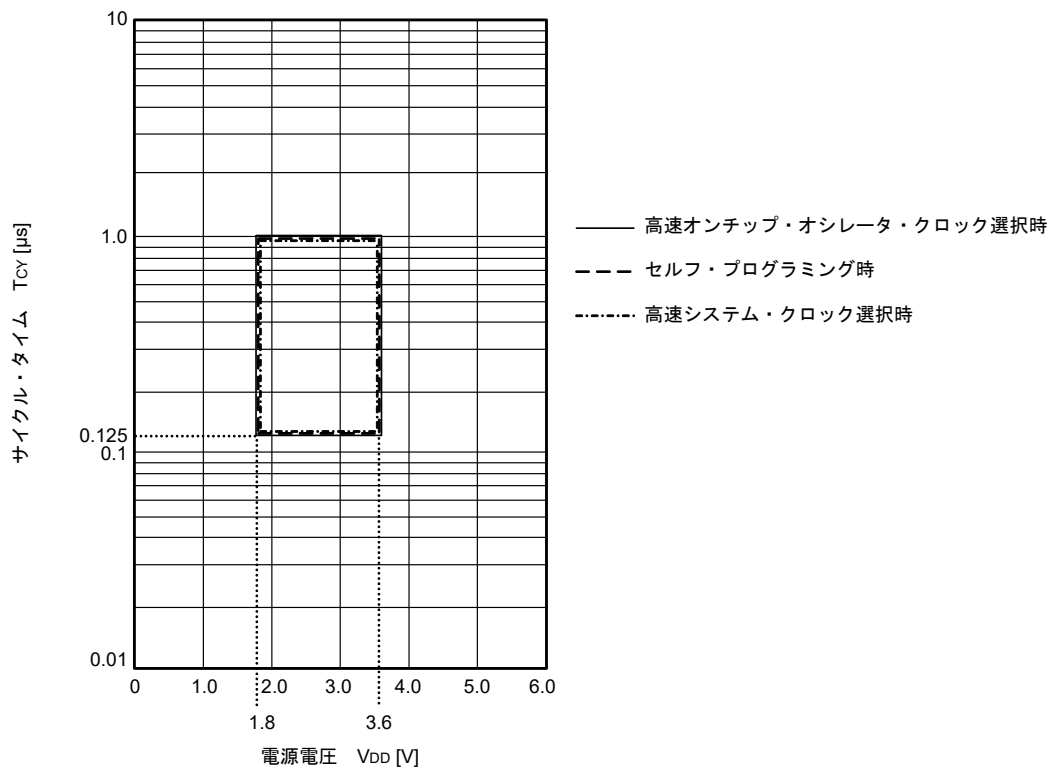
n : チャネル番号(n = 0-7))

メイン・システム・クロック動作時の最小命令実行時間

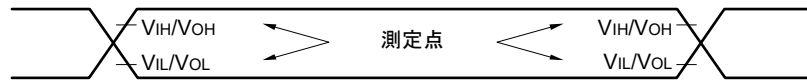
Tcy vs VDD (HS (高速メイン)モード)



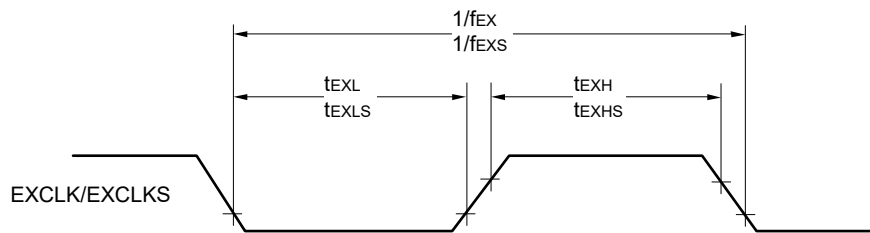
Tcy vs VDD (LS (低速メイン)モード)



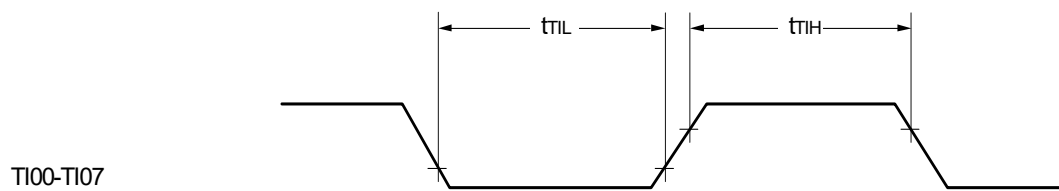
ACタイミング測定点



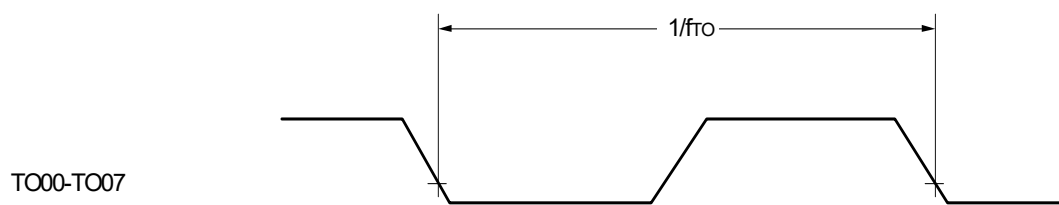
外部システム・クロック・タイミング



TI/TOタイミング

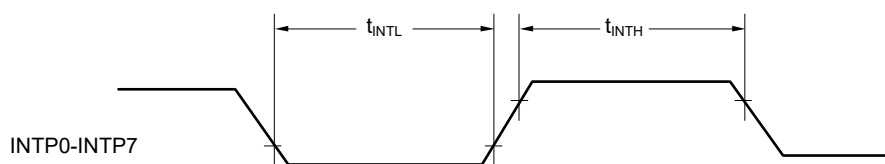


TI00-TI07



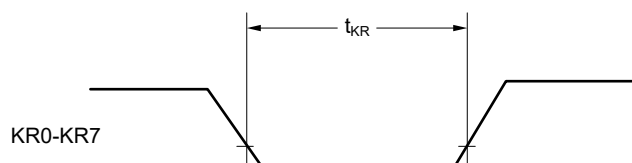
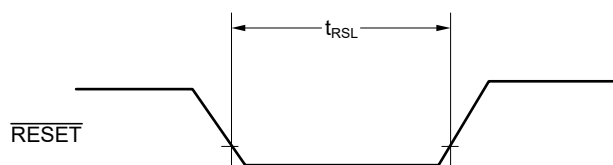
TO00-TO07

割り込み要求入力タイミング



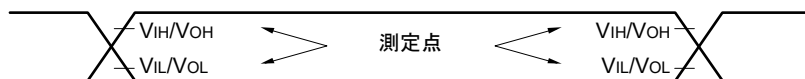
INTP0-INTP7

キー割り込み入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

35.5 周辺機能特性

AC タイミング測定点



35.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

(TA = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート ^{注1}		2.7 V ≤ V _{DD} ≤ 3.6 V		f _{MCK} /6 ^{注2}		f _{MCK} /6	bps
		最大転送レート理論値		4.0		1.3	Mbps
		f _{MCK} = f _{CLK} ^{注3}					
		2.4 V ≤ V _{DD} ≤ 3.6 V		f _{MCK} /6 ^{注2}		f _{MCK} /6	bps
		最大転送レート理論値		2.6		1.3	Mbps
		f _{MCK} = f _{CLK} ^{注3}					
		1.8 V ≤ V _{DD} ≤ 3.6 V	—			f _{MCK} /6 ^{注2}	bps
		最大転送レート理論値	—			1.3	Mbps
		f _{MCK} = f _{CLK} ^{注3}	—				

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ V_{DD} < 2.7 V : MAX. 2.6 Mbps

1.8 V ≤ V_{DD} < 2.4 V : MAX. 1.3 Mbps

注3. CPU/周辺ハードウェア・クロック(f_{CLK})の最高動作周波数を次に示します。

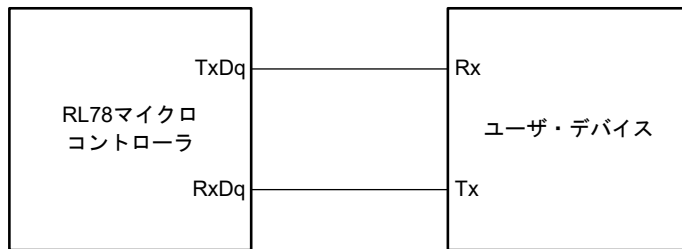
HS (高速メイン)モード : 24 MHz (2.7 V ≤ V_{DD} ≤ 3.6 V)

16 MHz (2.4 V ≤ V_{DD} ≤ 3.6 V)

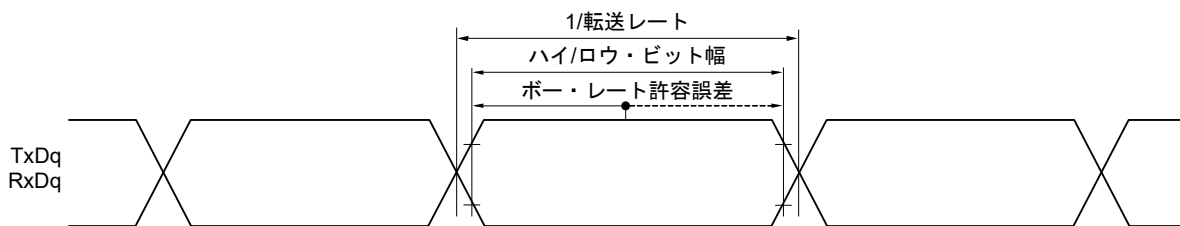
LS (低速メイン)モード : 8 MHz (1.8 V ≤ V_{DD} ≤ 3.6 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART番号 (q = 0-3), g : PIM, POM番号 (g = 0,1,3,4,8)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャンネル番号 (mn = 00-03, 10-13))

(2) 同電位通信, 簡易SPI (CSI)モード時 (マスタ・モード, SCKp... 内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85°C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム	tkCY1	$tkCY1 \geq fCLK/2$	$2.7 V \leq VDD \leq 3.6 V$	167		250		ns
SCKpハイ, ロウ・ レベル幅	tkH1, tkL1	$2.7 V \leq VDD \leq 3.6 V$		$tkCY1/2 - 10$		$tkCY1/2 - 50$		ns
Slpセットアップ時間 (対SCKp↑)注1	tsIK1	$2.7 V \leq VDD \leq 3.6 V$		33		110		ns
Slpホールド時間 (対SCKp↑)注2	tkSI1	$2.7 V \leq VDD \leq 3.6 V$		10		10		ns
SCKp ↓ → SOp出力 遅延時間注3	tkSO1	C = 20 pF注4			10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpセットアップ時間が“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpホールド時間が“対SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注4. Cは, SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子は通常入力バッファを選択し, SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0), g : PIM, POM番号(g = 4)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号(mn = 00))

(3) 同電位通信, 簡易SPI (CSI)モード時 (マスタ・モード, SCKp... 内部クロック出力)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		単位
				モード		モード		
				MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム	tkCY1	tkCY1 ≥ fCLK/4	2.7 V ≤ VDD ≤ 3.6 V	167		500		ns
			2.4 V ≤ VDD ≤ 3.6 V	250		500		ns
			1.8 V ≤ VDD ≤ 3.6 V	—		500		ns
SCKp ハイ, ロウ・ レベル幅	tkH1, tkL1	2.7 V ≤ VDD ≤ 3.6 V	tkCY1/2 - 18		tkCY1/2 - 50		ns	
		2.4 V ≤ VDD ≤ 3.6 V	tkCY1/2 - 38		tkCY1/2 - 50		ns	
		1.8 V ≤ VDD ≤ 3.6 V	—		tkCY1/2 - 50		ns	
Slp セットアップ時間 (対 SCKp ↑) 注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V	44		110		ns	
		2.4 V ≤ VDD ≤ 3.6 V	75		110		ns	
		1.8 V ≤ VDD ≤ 3.6 V	—		110		ns	
Slp ホールド時間 (対 SCKp ↑) 注2	tKS11	2.4 V ≤ VDD ≤ 3.6 V	19		19		ns	
		1.8 V ≤ VDD ≤ 3.6 V	—		19		ns	
SCKp ↓ → SOp 出力 遅延時間注3	tkSO1	C = 30 pF 注4	2.7 V ≤ VDD ≤ 3.6 V		25		50	ns
			2.4 V ≤ VDD ≤ 3.6 V		25		50	ns
			1.8 V ≤ VDD ≤ 3.6 V		—		50	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは, Slp セットアップ時間が“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは, Slp ホールド時間が“対 SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注4. Cは, SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00, 10, 20, 30), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3),

g : PIM, POM 番号 (g = 0, 1, 3, 4, 8)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03, 10-13))

(4) 同電位通信, 簡易SPI (CSI)モード時 (スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム注5	tkCY2	2.7 V ≤ VDD ≤ 3.6 V	fMCK > 16 MHz	8/fMCK		—		ns
			fMCK ≤ 16 MHz	6/fMCK		6/fMCK		ns
		2.4 V ≤ VDD ≤ 3.6 V		6/fMCK かつ 500		6/fMCK かつ 500		ns
		1.8 V ≤ VDD ≤ 3.6 V		—		6/fMCK かつ 750		ns
SCKpハイ, ロウ・レベル幅	tkH2,	2.7 V ≤ VDD ≤ 3.6 V		tkCY2/2 - 8		tkCY2/2 - 8		ns
	tkL2	1.8 V ≤ VDD ≤ 3.6 V		—		tkCY2/2 - 18		ns
Slpセットアップ時間(対SCKp↑)注1	tSIK2	2.7 V ≤ VDD ≤ 3.6 V		1/fMCK + 20		1/fMCK + 30		ns
		2.4 V ≤ VDD ≤ 3.6 V		1/fMCK + 30		1/fMCK + 30		ns
		1.8 V ≤ VDD ≤ 3.6 V		—		1/fMCK + 30		ns
Slpホールド時間(対SCKp↑)注2	tKSI2	2.4 V ≤ VDD ≤ 3.6 V		1/fMCK + 31		1/fMCK + 31		ns
		1.8 V ≤ VDD ≤ 3.6 V		—		1/fMCK + 31		ns
SCKp↓→SOp出力遅延時間注3	tkSO2	C = 30 pF注4	2.7 V ≤ VDD ≤ 3.6 V		2/fMCK + 44		2/fMCK + 110	ns
			2.4 V ≤ VDD ≤ 3.6 V		2/fMCK + 75		2/fMCK + 110	ns
			1.8 V ≤ VDD ≤ 3.6 V		—		2/fMCK + 110	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpセットアップ時間が“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpホールド時間が“対SCKp↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注4. Cは, SCKp, SOp出力ラインの負荷容量です。

注5. SNOOZEモードでの転送レートは, MAX.: 1 Mbpsです。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子は通常入力バッファを選択し, SOp端子は通常出力モードを選択します。

備考1. p: CSI番号(p = 00, 10, 20, 30), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),

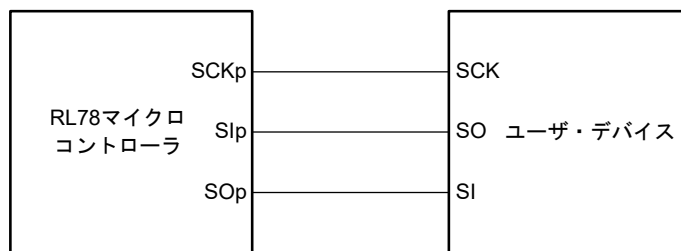
g: PIM, POM番号(g = 0,1,3,4,8)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03, 10-13))

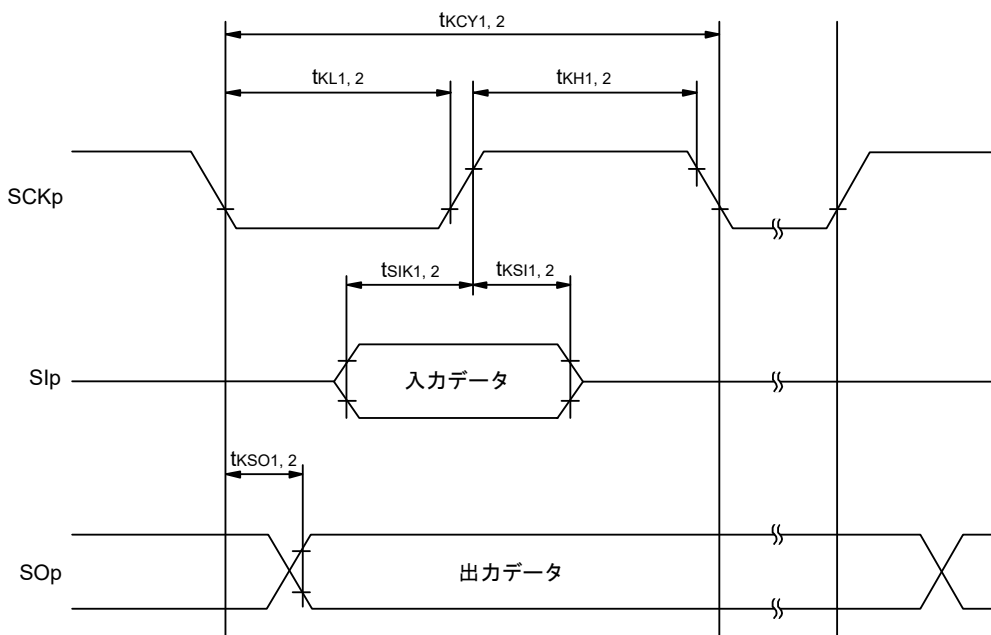
簡易SPI (CSI)モード接続図(同電位通信時)



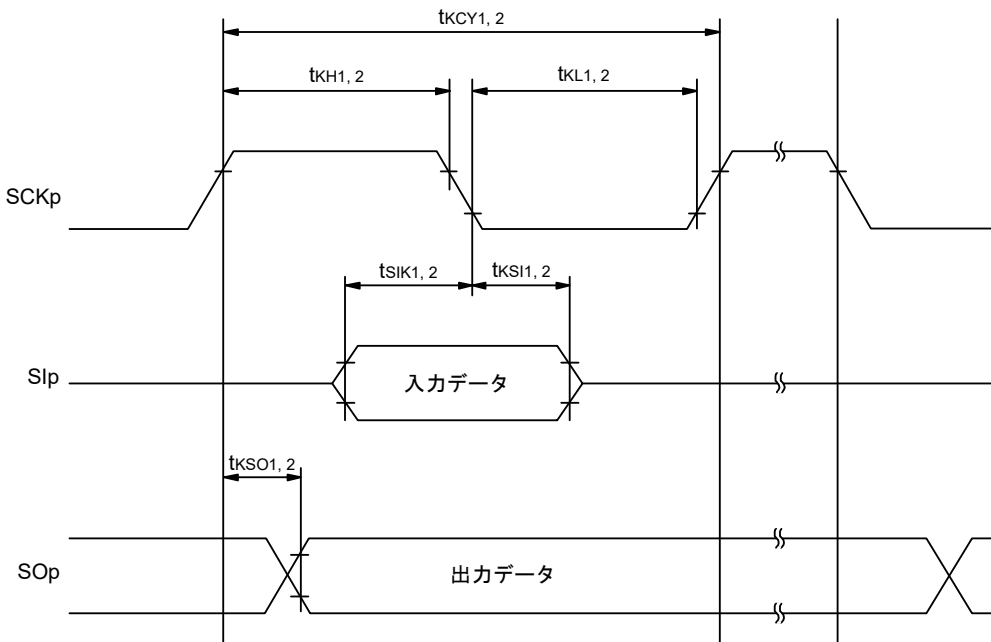
備考1. p : CSI番号(p = 00, 10, 20, 30)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10-13)

簡易SPI (CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 10, 20, 30)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10-13)

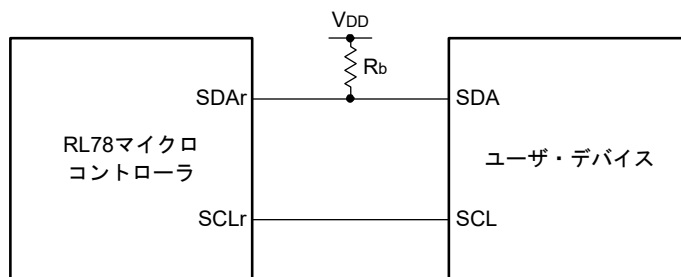
(5) 同電位通信時(簡易I²Cモード)(TA = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 ^{注1}		400 ^{注1}	kHZ
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ		400 ^{注1}		400 ^{注1}	kHZ
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ		300 ^{注1}		300 ^{注1}	kHZ
SCLr = "L"の ホールド・タイム	t _{LOW}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1150		ns
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ	1150		1150		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1550		1550		ns
SCLr = "H"の ホールド・タイム	t _{HIGH}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1150		ns
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ	1150		1150		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1550		1550		ns
データ・セット アップ時間(受信時)	t _{SU: DAT}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 85 注2		1/f _{MCK} + 145 注2		ns
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 145 注2		1/f _{MCK} + 145 注2		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1/f _{MCK} + 230 注2		1/f _{MCK} + 230 注2		ns
データ・ホールド 時間(送信時)	t _{HD: DAT}	2.7 V ≤ V _{DD} ≤ 3.6 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	ns
		1.8 V ≤ V _{DD} ≤ 3.6 V, C _b = 100 pF, R _b = 3 kΩ	0	355	0	355	ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	0	405	0	405	ns

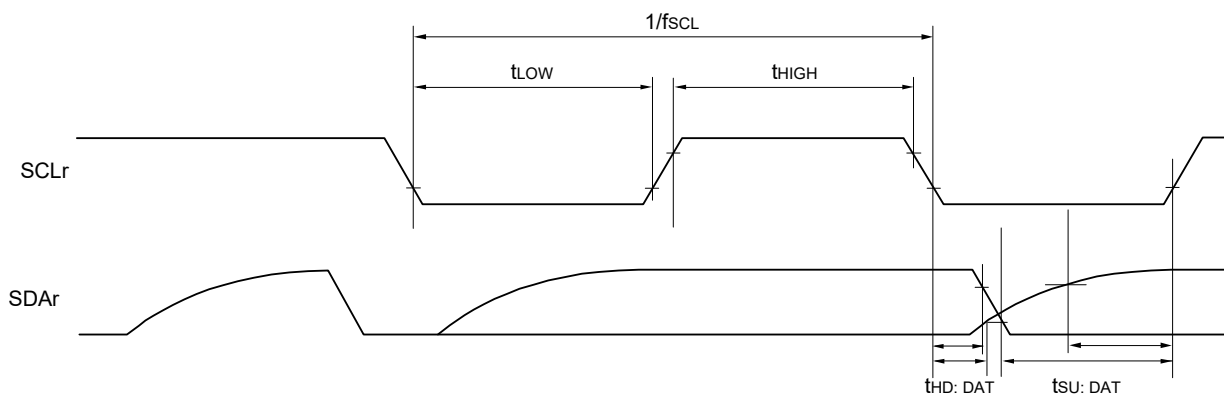
注1. f_{MCK}/4 以下に設定してください。注2. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択し、SCLrは通常出力モードを選択します。

簡易I²Cモード接続図(同電位通信時)



簡易I²Cモード・シリアル転送タイミング(同電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr)プルアップ抵抗値, C_b [F] : 通信ライン(SCLr, SDAr)負荷容量値

備考2. r : IIC番号(r = 00, 10, 20, 30), g : PIM番号(g = 0,1,3,4,8),

h : POM番号(h = 0, 1, 3, 4, 8)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR_{mn}レジスタのCKS_{mn}ビットで設定する動作クロック。m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0, 2), mn = 00, 02, 10, 12)

(6) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位	
			MIN.	MAX.	MIN.	MAX.		
転送レート 注1, 2		受信	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6注1		fMCK/6注1	bps
			最大転送レート理論値 fMCK = fCLK注4		4.0		1.3	Mbps
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1, 2, 3		fMCK/6 注1, 2, 3	bps	
		最大転送レート理論値 fMCK = fCLK注4		4.0		1.3	Mbps	

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. VDD ≥ Vbで使用してください。

注3. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ VDD < 2.7 V: MAX. 2.6 Mbps

1.8 V ≤ VDD < 2.4 V: MAX. 1.3 Mbps

注4. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 24 MHz (2.7 V ≤ VDD ≤ 3.6 V)

16 MHz (2.4 V ≤ VDD ≤ 3.6 V)

LS (低速メイン)モード: 8 MHz (1.8 V ≤ VDD ≤ 3.6 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-3), g: PIM, POM番号(g = 0,1,3,4,8)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00-03, 10-13))

(6) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)(2/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	
転送レート 注2	送信	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		注1		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注2		1.2注2	Mbps
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注3, 4		注3, 4	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注5		0.43注5	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. VDD ≥ Vbで使用してください。

注4. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

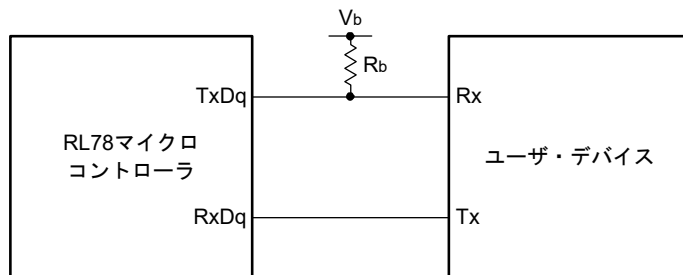
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

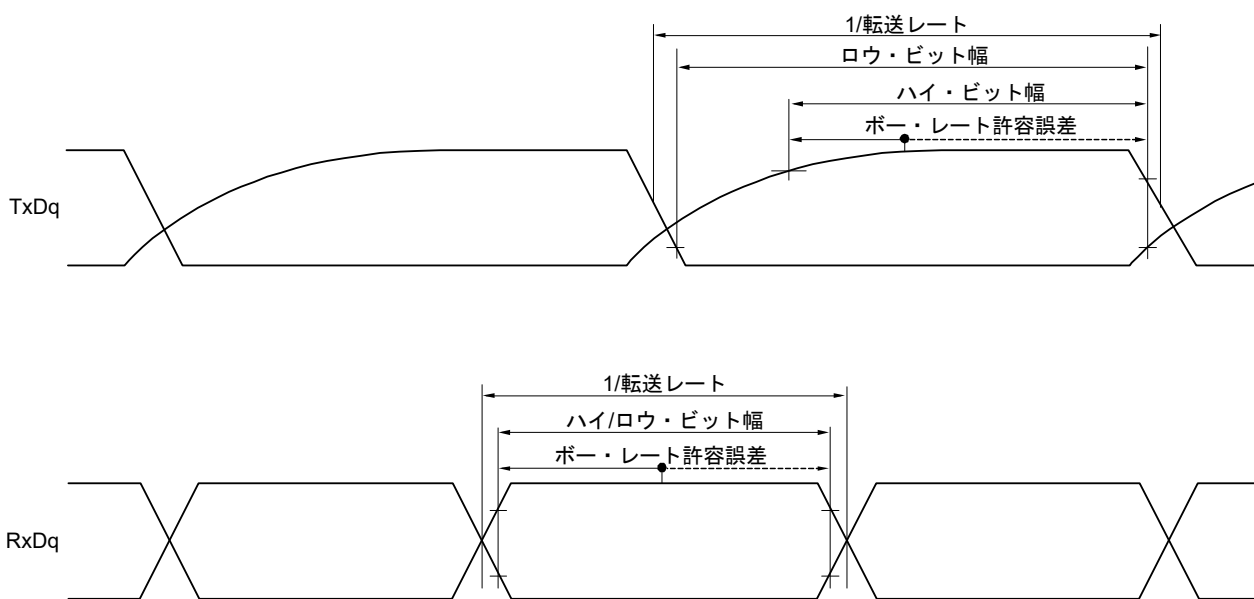
注5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-3), g: PIM, POM番号(g = 0,1,3,4,8)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03, 10-13))

(7) 異電位(2.5 V系)通信, 簡易SPI (CSI)モード時 (マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85°C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		単位
				モード		モード		
				MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 2/fCLK	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 1.4 kΩ	300		1150		ns
SCKp ハイ・レベル幅	tkH1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		tkCY1/2 - 120		tkCY1/2 - 120		ns
SCKp ロウ・レベル幅	tkL1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 1.4 kΩ		tkCY1/2 - 10		tkCY1/2 - 50		ns
Slp セットアップ時間 (対 SCKp ↑)注1	tsIK1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		121		479		ns
Slp ホールド時間 (対 SCKp ↑)注1	tkSI1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		ns
SCKp ↓ → SOp 出力遅延時間注1	tkSO1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 1.4 kΩ			130		130	ns
Slp セットアップ時間 (対 SCKp ↓)注2	tsIK1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		33		110		ns
Slp ホールド時間 (対 SCKp ↓)注2	tkSI1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		ns
SCKp ↑ → SOp 出力遅延時間注2	tkSO1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ			10		10	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は TTL 入力バッファを選択し, SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

備考1. Rb [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, Cb [F]: 通信ライン (SCKp, SOp) 負荷容量値, Vb [V]: 通信ライン電圧

備考2. p: CSI 番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0), g: PIM, POM 番号 (g = 4)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号 (mn = 00))

(8) 異電位(1.8 V, 2.5 V系)通信, 簡易SPI (CSI)モード時 (マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)(1/2)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500注		1150		ns
			1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 1.8 V, Cb = 30 pF, Rb = 5.5 kΩ	1150注		1150		ns
SCKp ハイ・レベル幅	tkH1		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 170		tkCY1/2 - 170		ns
			1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 458		tkCY1/2 - 458		ns
SCKp ロウ・レベル幅	tkL1		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 18		tkCY1/2 - 50		ns
			1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 50		tkCY1/2 - 50		ns

注 VDD ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は TTL 入力バッファを選択し, SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V, 2.5 V系)通信, 簡易SPI (CSI)モード時 (マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
Slp セットアップ時間 (対 SCKp ↑)注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	479		479		ns
Slp ホールド時間 (対 SCKp ↑)注1	tKS11	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	19		19		ns
SCKp ↓ → SOp 出力 遅延時間注1	tKS01	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		483		483	ns
Slp セットアップ時間 (対 SCKp ↓)注2	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	110		110		ns
Slp ホールド時間 (対 SCKp ↓)注2	tKS11	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	19		19		ns
SCKp ↑ → SOp 出力 遅延時間注2	tKS01	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		25		25	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

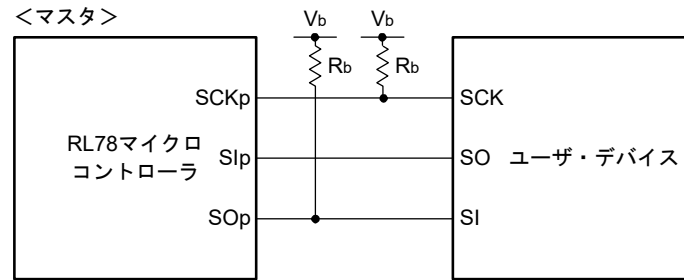
注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注3. VDD ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子は TTL 入力バッファを選択し、SOOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお VIH, VIL は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI)モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SCKp, SOp)負荷容量値, V_b [V] : 通信ライン電圧

備考2. p : CSI番号(p = 00, 10, 20, 30), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),

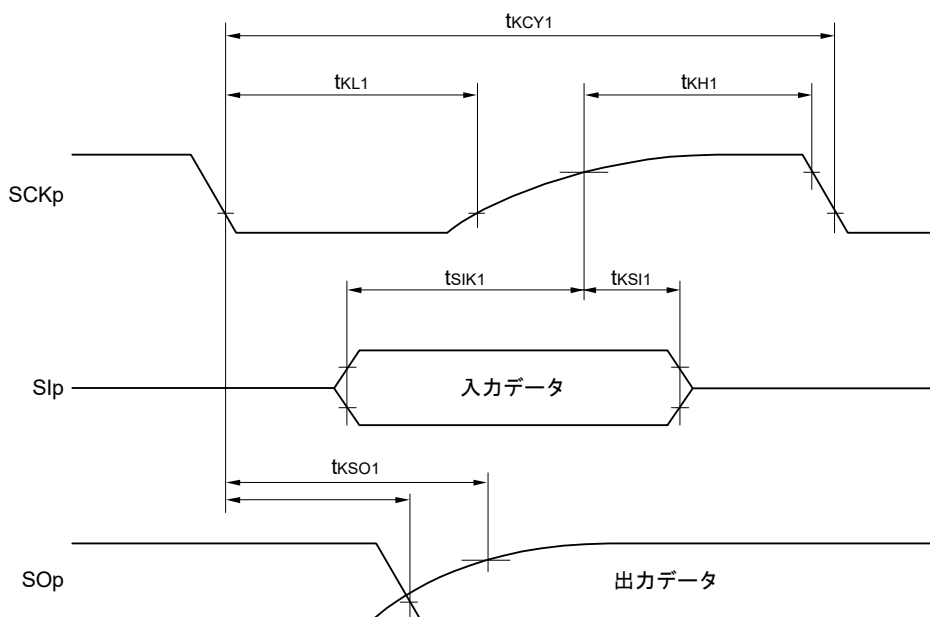
g : PIM, POM番号(g = 0,1,3,4,8)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

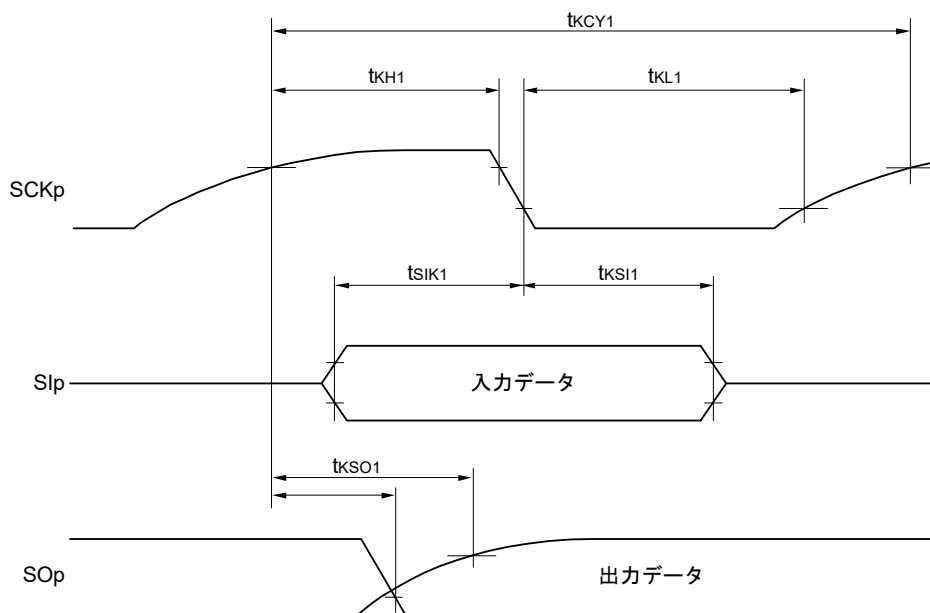
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号(mn = 00,02,10,12))

簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 10, 20, 30), m : ユニット番号(m = 0, 1),
 n : チャネル番号(n = 0, 2), g : PIM, POM番号(g = 0,1,3,4,8)

(9) 異電位(1.8 V系, 2.5 V系)通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム注1	tkCY2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < fMCK ≤ 24 MHz	16/fMCK		—		ns
			16 MHz < fMCK ≤ 20 MHz	14/fMCK		—		ns
			8 MHz < fMCK ≤ 16 MHz	12/fMCK		—		ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK		16/fMCK		ns
			fMCK ≤ 4 MHz	6/fMCK		10/fMCK		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2	20 MHz < fMCK ≤ 24 MHz	36/fMCK		—		ns
			16 MHz < fMCK ≤ 20 MHz	32/fMCK		—		ns
			8 MHz < fMCK ≤ 16 MHz	26/fMCK		—		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		16/fMCK		ns
			fMCK ≤ 4 MHz	10/fMCK		10/fMCK		ns
SCKpハイ, 口 ウ・レベル幅	tkH2, tkL2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		tkCY2/2 - 18		tkCY2/2 - 50		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2		tkCY2/2 - 50		tkCY2/2 - 50		ns
Slpセットアップ 時間 (対SCKp ↑)注3	tsIK2	2.7 V ≤ VDD ≤ 3.6 V		1/fMCK + 20		1/fMCK + 30		ns
		1.8 V ≤ VDD < 3.3 V		1/fMCK + 30		1/fMCK + 30		ns
Slpホールド時間 (対SCKp ↑)注4	tkSI2			1/fMCK + 31		1/fMCK + 31		ns
SCKp ↓ → SOP 出力遅延時間注5	tkSO2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			2/fMCK + 214		2/fMCK + 573	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ			2/fMCK + 573		2/fMCK + 573	ns

注1. SNOOZEモードでの転送レートは, MAX.: 1 Mbps

注2. VDD ≥ Vbで使用してください。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpセットアップ時間が“対SCKp ↓”となります。

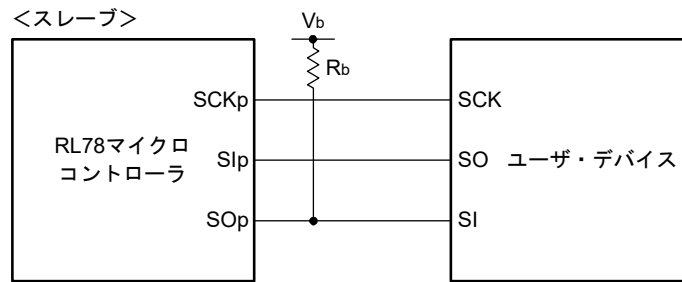
注4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpホールド時間が“対SCKp ↓”となります。

注5. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子とSCKp端子はTTL入力バッファを選択し, SOP端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI)モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SOp)負荷容量値,

V_b [V] : 通信ライン電圧

備考2. p : CSI番号($p = 00, 10, 20, 30$), m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0-3$),

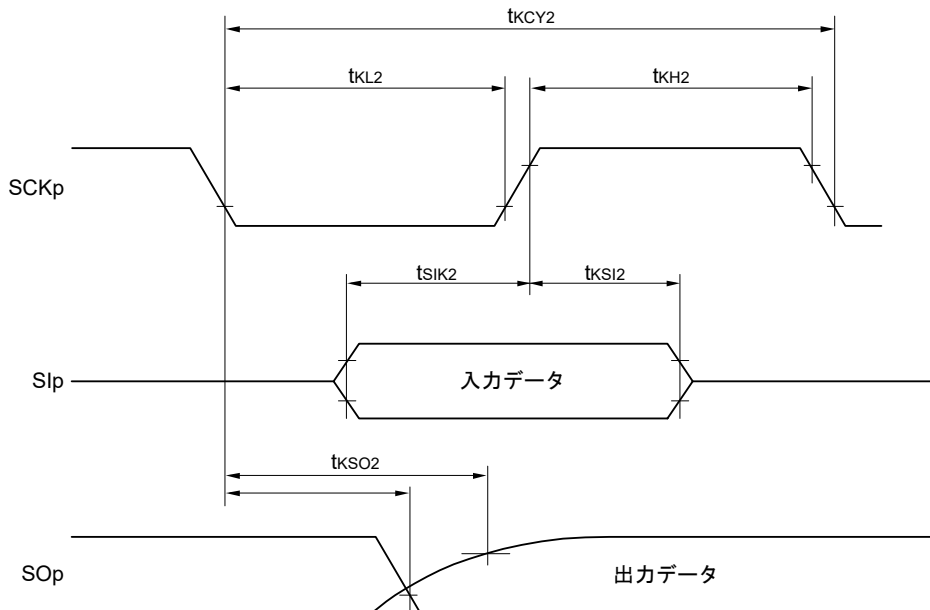
g : PIM, POM番号($g = 0, 1, 3, 4, 8$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

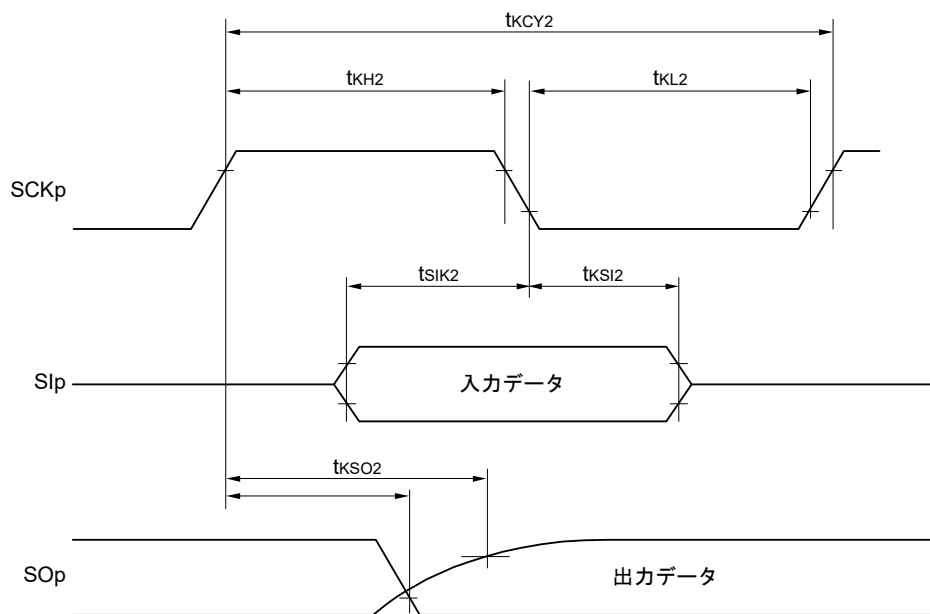
(シリアル・モード・レジスタ mn (SMR mn)のCKSm n ビットで設定する動作クロック。 m : ユニット番号,

n : チャネル番号($mn = 00, 02, 10, 12$))

簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 10, 20, 30), m : ユニット番号(m = 0, 1),
 n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0,1,3,4,8)

(10) 異電位通信時(1.8 V系, 2.5 V系) 通信時(簡易I²Cモード)(TA = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

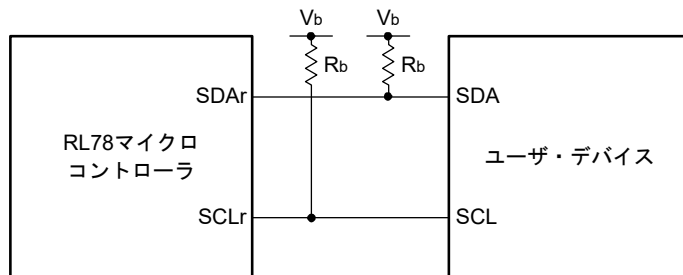
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCLr クロック周波数	fSCL	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ		1000 注1		300注1	kHz
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		400注1		300注1	kHz
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ		400注1		300注1	kHz
SCLr = "L" のホールド・タイム	tLOW	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	475		1550		ns
		2.7 V ≤ V _{DD} < 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1150		1550		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ	1550		1550		ns
SCLr = "H" のホールド・タイム	tHIGH	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	200		610		ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	600		610		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ	610		610		ns
データ・セット アップ時間(受信時)	tSU : DAT	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 135注3		1/f _{MCK} + 190注3		ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 190注3		1/f _{MCK} + 190注3		ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 190注3		1/f _{MCK} + 190注3		ns
データ・ホールド 時間(送信時)	tHD : DAT	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	355	0	355	ns
		1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注2, C _b = 100 pF, R _b = 5.5 kΩ	0	405	0	405	ns

注1. f_{MCK}/4 以下に設定してください。注2. V_{DD} ≥ V_b で使用してください。注3. f_{MCK} 値は, SCLr = "L" と SCLr = "H" のホールド・タイムを越えない値に設定してください。

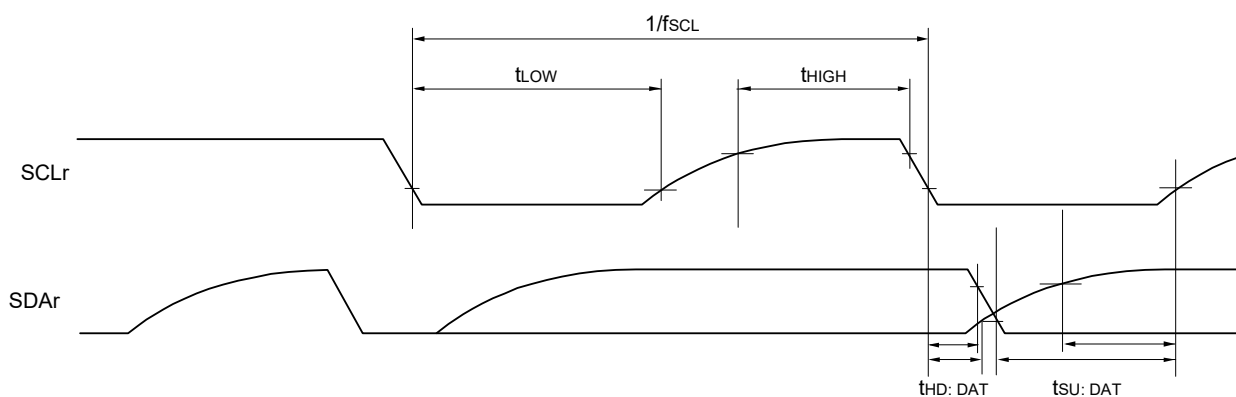
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SDAr は TTL 入力バッファ, N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択し, SCLr は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH}, V_{IL} は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)



簡易I²Cモード・シリアル転送タイミング(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F] : 通信ライン(SDAr, SCLr)負荷容量値,

V_b [V] : 通信ライン電圧

備考2. r : IIC番号($r = 00, 10, 20, 30$), g : PIM, POM番号($g = 0, 1, 3, 4, 8$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0, 2$), $mn = 00, 02, 10, 12$)

35.5.2 シリアル・インタフェース IIC/A

(1) I²C 標準モード(TA = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLA0クロック周波数	fSCL	標準モード: fCLK ≥ 1 MHz	2.7 V ≤ V _{DD} ≤ 3.6 V	0	100	0	100	kHz
		1.8 V ≤ V _{DD} ≤ 3.6 V	—	—	0	100	kHz	
リスタート・コンディショニングのセットアップ時間	t _{SU} : STA	2.7 V ≤ V _{DD} ≤ 3.6 V	4.7		4.7		μs	
		1.8 V ≤ V _{DD} ≤ 3.6 V	—		4.7		μs	
ホールド時間注1	t _{HD} : STA	2.7 V ≤ V _{DD} ≤ 3.6 V	4.0		4.0		μs	
		1.8 V ≤ V _{DD} ≤ 3.6 V	—		4.0		μs	
SCLA0 = "L" のホールド・タイム	t _{LOW}	2.7 V ≤ V _{DD} ≤ 3.6 V	4.7		4.7		μs	
		1.8 V ≤ V _{DD} ≤ 3.6 V	—		4.7		μs	
SCLA0 = "H" のホールド・タイム	t _{HIGH}	2.7 V ≤ V _{DD} ≤ 3.6 V	4.0		4.0		μs	
		1.8 V ≤ V _{DD} ≤ 3.6 V	—		4.0		μs	
データ・セットアップ時間(受信時)	t _{SU} : DAT	2.7 V ≤ V _{DD} ≤ 3.6 V	250		250		ns	
		1.8 V ≤ V _{DD} ≤ 3.6 V	—		250		ns	
データ・ホールド時間(送信時)注2	t _{HD} : DAT	2.7 V ≤ V _{DD} ≤ 3.6 V	0	3.45	0	3.45	μs	
		1.8 V ≤ V _{DD} ≤ 3.6 V	—		0	3.45	μs	
ストップ・コンディショニングのセットアップ時間	t _{SU} : STO	2.7 V ≤ V _{DD} ≤ 3.6 V	4.0		4.0		μs	
		1.8 V ≤ V _{DD} ≤ 3.6 V	—		4.0		μs	
パス・フリー時間	t _{BUF}	2.7 V ≤ V _{DD} ≤ 3.6 V	4.7		4.7		μs	
		1.8 V ≤ V _{DD} ≤ 3.6 V	—		4.7		μs	

- 注1. スタート・コンディショニング, リスタート・コンディショニング時は, この期間のあと最初のクロック・パルスが生成されます。
- 注2. t_{HD}: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるC_b (通信ライン容量)のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値)の値は, 次のとおりです。
標準モード : C_b = 400 pF, R_b = 2.7 kΩ

(2) I²Cファースト・モード

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLA0クロック周波数	fSCL	ファースト・モード: fCLK ≥ 3.5 MHz	2.7 V ≤ VDD ≤ 3.6 V	0	400	0	400	kHz
		1.8 V ≤ VDD ≤ 3.6 V	0	400	0	400	kHz	
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ VDD ≤ 3.6 V	0.6		0.6		μs	
		1.8 V ≤ VDD ≤ 3.6 V	—		0.6		μs	
ホールド時間注1	tHD: STA	2.7 V ≤ VDD ≤ 3.6 V	0.6		0.6		μs	
		1.8 V ≤ VDD ≤ 3.6 V	—		0.6		μs	
SCLA0 = "L" のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 3.6 V	1.3		1.3		μs	
		1.8 V ≤ VDD ≤ 3.6 V	—		1.3		μs	
SCLA0 = "H" のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 3.6 V	0.6		0.6		μs	
		1.8 V ≤ VDD ≤ 3.6 V	—		0.6		μs	
データ・セットアップ時間(受信時)	tSU: DAT	2.7 V ≤ VDD ≤ 3.6 V	100		100		ns	
		1.8 V ≤ VDD ≤ 3.6 V	—		100		ns	
データ・ホールド時間(送信時)注2	tHD: DAT	2.7 V ≤ VDD ≤ 3.6 V	0	0.9	0	0.9	μs	
		1.8 V ≤ VDD ≤ 3.6 V	—		0	0.9	μs	
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ VDD ≤ 3.6 V	0.6		0.6		μs	
		1.8 V ≤ VDD ≤ 3.6 V	—		0.6		μs	
バス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 3.6 V	1.3		1.3		μs	
		1.8 V ≤ VDD ≤ 3.6 V	—		1.3		μs	

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。
ファースト・モード: Cb = 320 pF, Rb = 1.1 kΩ

(3) I²C ファースト・モード・プラス

(TA = -40 ~ +85°C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

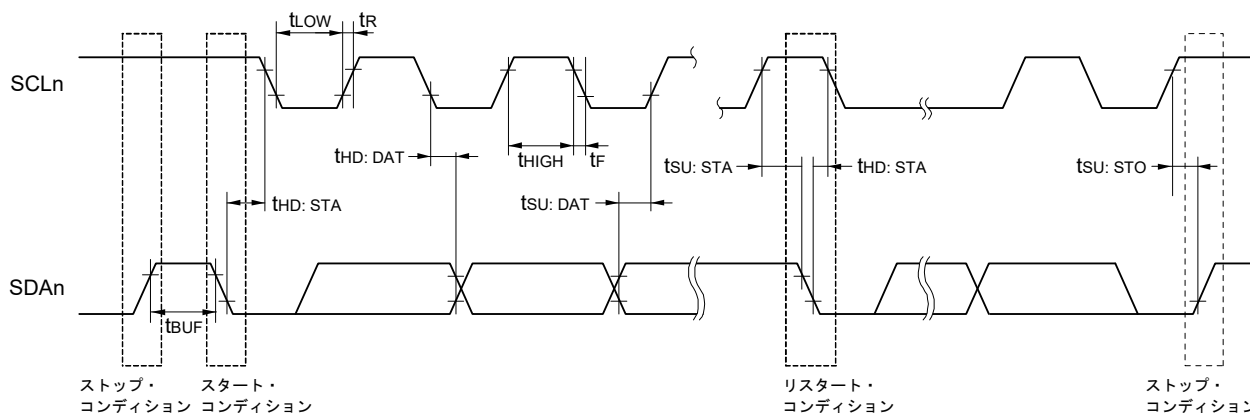
項目	略号	条件		HS (高速メイン)		LS (低速メイン)		単位
				モード		モード		
				MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz	2.7 V ≤ VDD ≤ 3.6 V	0	1000	—		kHz
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ VDD ≤ 3.6 V		0.26		—		μs
ホールド時間注1	tHD: STA	2.7 V ≤ VDD ≤ 3.6 V		0.26		—		μs
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 3.6 V		0.5		—		μs
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 3.6 V		0.26		—		μs
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ VDD ≤ 3.6 V		50		—		ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ VDD ≤ 3.6 V		0	0.45	—		μs
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ VDD ≤ 3.6 V		0.26		—		μs
パス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 3.6 V		0.5		—		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。
ファースト・モード・プラス : Cb = 120 pF, Rb = 1.1 kΩ

I²Cシリアル転送タイミング



35.6 アナログ特性

35.6.1 A/Dコンバータ特性

TA = -40 ~ +85°C, 1.8V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V, VSS = AVSS = 0V, 基準電圧 (+) = AVREFP, 基準電圧 (-) = AVREFM = 0V

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		—	—	12	bit	
アナログ容量	Cs		—	—	15	pF	
アナログ入力抵抗	Rs		—	—	2.5	kΩ	
周波数	ADCLK	高速モード	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	1	—	24	MHz
			2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	1	—	16	MHz
		通常モード	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	1	—	24	MHz
			2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	1	—	16	MHz
			1.8V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	1	—	8	MHz
変換時間 注	Tconv	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V 許容信号源インピーダンス max = 0.3kΩ ADCLK=24MHz	3	—	—	μs
			2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V 許容信号源インピーダンス max = 1.3kΩ ADCLK=16MHz	4.5	—	—	μs
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V 許容信号源インピーダンス max = 1.1kΩ ADCLK=24MHz	3.4	—	—	μs
			2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V 許容信号源インピーダンス max = 2.2kΩ ADCLK=16MHz	5.1	—	—	μs
			1.8V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V 許容信号源インピーダンス max = 5kΩ ADCLK=8MHz	10.1	—	—	μs
総合誤差	AINL	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±1.25	±5.0	LSB
			2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±1.25	±5.0	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±1.25	±5.0	LSB
			2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±1.25	±5.0	LSB
ゼロスケール誤差	Ezs	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±0.5	±4.5	LSB
			2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±0.5	±4.5	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±0.5	±4.5	LSB
2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—		±0.5	±4.5	LSB		
フルスケール誤差	Efs	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±0.75	±4.5	LSB
			2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±0.75	±4.5	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	2.7V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±0.75	±4.5	LSB
			2.4V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±0.75	±4.5	LSB
			1.8V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6V	—	±1.5	±7.5	LSB

項目	略号	条件	MIN.	TYP.	MAX.	単位	
微分直線性誤差	DLE	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	—	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	—	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	—	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	—	LSB
			$1.8V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	—	LSB
			$1.8V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	—	LSB
積分直線性誤差	ILE	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	±3.0	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	±4.5	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	±3.0	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.0	±3.0	LSB
			$1.8V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.25	±3.0	LSB
			$1.8V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	±1.25	±3.0	LSB

注 変換時間はサンプリング時間と比較時間の合計です。各項目は、40ADCLKサンプリングステートのときの値です。

注意 A/D コンバータ以外の端子機能を使用していない場合の特性です。総合誤差は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線誤差、INL 積分非直線誤差は、量子化誤差を含みません。

[設計参考値 (保証外)]

本項目には設計参考値がございます。設計参考値は、本機能ご使用の際に参照頂く事ができますが、値を保証するものではありません。下表を参照ください。

TA= 0 ~ 50°C, $2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$, VSS = AVSS = 0V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0V

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		—	—	—注3	bit	
アナログ容量	Cs		—	—	—注3	pF	
アナログ入力抵抗	Rs		—	—	—注3	kΩ	
周波数	fCLK	高速モード	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—注3	—	—注3	MHz
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—注3	—	—注3	MHz
		通常モード	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—注3	—	—注3	MHz
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—注3	—	—注3	MHz
			$2.0V \leq AVREFP \leq VDD \leq VDD \leq 3.6V$	—注3	—	—注3	MHz
			$2.0V \leq AVREFP \leq VDD \leq VDD \leq 3.6V$	—注3	—	—注3	MHz
変換時間	Tconv	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$ 許容信号源インピーダンス max = 0.3kΩ ADCLK=24MHz	—注3	—	—	μs
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$ 許容信号源インピーダンス max = 1.3kΩ ADCLK=16MHz	—注3	—	—	μs
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$ 許容信号源インピーダンス max = 1.1kΩ ADCLK=24MHz	—注3	—	—	μs
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$ 許容信号源インピーダンス max = 2.2kΩ ADCLK=16MHz	—注3	—	—	μs
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$ 許容信号源インピーダンス max = 5kΩ ADCLK=8MHz	—注3	—	—	μs
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$ 許容信号源インピーダンス max = 5kΩ ADCLK=8MHz	—注3	—	—	μs

項目	略号	条件	MIN.	TYP.	MAX.	単位	
総合誤差	AINL	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
ゼロスケール誤差 注1, 2	EzS	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	±4.5	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	±4.5	LSB
フルスケール誤差 注1, 2	EFS	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	±4.5	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	±4.5	LSB
微分直線性誤差	DLE	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—	LSB
積分直線性誤差	ILE	高速モード ADCSR.ADHSC=0 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
		通常モード ADCSR.ADHSC=1 ADSSTRn=28H	$2.7V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.4V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB
			$2.0V \leq AVREFP \leq AVDD \leq VDD \leq 3.6V$	—	—注3	—注3	LSB

注1. Max値は正規分布における、平均値±3σの値です。

注2. この値は特性評価結果による値です。

注3. この値には設計参考値はありません。

注意 A/D コンバータ以外の端子機能を使用していない場合の特性です。総合誤差は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線誤差、INL 積分非直線誤差は、量子化誤差を含みません。

35.6.2 温度センサ/内部基準電圧出力特性

(TA = -40 ~ +85°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V, HS(高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	TA = +25°C	—	1.05	—	V
内部基準電圧	VBGR		1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ出力電圧の温度依存	—	-3.6	—	mV/°C
動作安定待ち時間	tAMP	2.4 V ≤ VDD ≤ 3.6 V	5	—	—	μs

35.6.3 D/Aコンバータ

(1) 基準電圧 = AVREFP, AVREFM選択時

(TA = -40 ~ +85°C, 1.8 V ≤ AVREFP ≤ AVDD ≤ VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
負荷抵抗	RO		30			kΩ
負荷容量	CO				50	pF
出力電圧範囲	Tout		0.35		AVDD - 0.47	V
微分直線性誤差	DNL			±0.5	±1.0	LSB
積分直線性誤差	AINL			±0.4	±8.0	LSB
オフセット誤差	EZS				±20	mV
フルスケール誤差	EFS				±20	mV
出力抵抗	RO			5		Ω
変換時間	tcon				30	μs

(2) 基準電圧 = AVDD, AVSS選択時

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
負荷抵抗	RO		30			kΩ
負荷容量	CO				50	pF
出力電圧範囲	Tout		0.35		AVDD - 0.47	V
微分直線性誤差	DNL			±0.5	±2.0	LSB
積分直線性誤差	AINL			±0.4	±8.0	LSB
オフセット誤差	EZS				±30	mV
フルスケール誤差	EFS				±30	mV
出力抵抗	RO			5		Ω
変換時間	tcon				30	μs

35.6.4 コンパレータ

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力電圧範囲	lvref		0		VDD - 1.4	V	
	lvcmp		-0.3		VDD + 0.3	V	
出力遅延	td	VDD = 3.0 V 入カスルーレート > 50 mV/μs	コンパレータ高速モード, 基本モード			1.2	μs
			コンパレータ高速モード, ウィンドウモード			2.0	μs
			コンパレータ低速モード, 基本モード		3	5.0	μs
高電位側判定電圧	VTW+	コンパレータ高速モード, ウィンドウモード		0.76 VDD		V	
低電位側判定電圧	VTW-	コンパレータ高速モード, ウィンドウモード		0.24 VDD		V	
動作安定待ち時間	tCMP		100			μs	
内部基準電圧注	VBGR	2.4 V ≤ VDD ≤ 3.6 V, HS (高速メイン) モード	1.38	1.45	1.50	V	

注 LS (低速メイン)モード, サブシステム・クロック動作, STOPモード時は使用できません。

35.6.5 rail to rail オペアンプ特性

TA = -40 ~ 85°C, 2.2V ≤ AVDD ≤ VDD ≤ 3.6V, AVSS = VSS = 0V

項目	略号	条件		MIN.	TYP.	MAX.	単位
回路電流	Icc1	低消費モード		—	10	16	μA
	Icc2	高速モード		—	210	350	μA
同相入力範囲	Vicm1	低消費モード		0.1	—	AVDD-0.1	V
	Vicm2	高速モード		0.1	—	AVDD-0.1	V
出力電圧範囲	Vo1	低消費モード		0.1	—	AVDD-0.1	V
	Vo2	高速モード		0.1	—	AVDD-0.1	V
入力オフセット電圧	Fioff	低消費モード		-10	—	10	mV
		高速モード		-5	—	5	mV
開放利得	Av			—	120	—	dB
GB積	GBW1	低消費モード		—	0.06	—	MHz
	GBW2	高速モード		—	1	—	MHz
位相余裕	PM	CL=22pF		50	—	—	deg
利得余裕	GM	CL=20pF		10	—	—	dB
入力換算ノイズ	Vnoise1	f=1kHz	低消費モード	—	900	—	nV/√Hz
	Vnoise2	f=10kHz		—	450	—	nV/√Hz
	Vnoise3	f=1kHz	高速モード	—	80	—	nV/√Hz
	Vnoise4	f=2kHz		—	50	—	nV/√Hz
電源除去比	PSRR			—	90	—	dB
同相信号除去比	CMRR			—	90	—	dB
安定待ち時間	Tstd1	CL=20pF	低消費モード	—	110	300	μs
	Tstd2	CL=20pF	高速モード	—	5	14	μs
セトリング時間	Tset1	CL=20pF	低消費モード	—	110	300	μs
	Tset2	CL=20pF	高速モード	—	4	14	μs
スルーレート	Tselw1	CL=20pF	低消費モード	0.01	0.04	—	V/μs
	Tselw2	CL=20pF	高速モード	0.3	0.7	—	V/μs
負荷電流	Iload1	低消費モード		-110	—	110	μA
	Iload2	高速モード		-110	—	110	μA
負荷容量	CL			—	—	22	pF
アナログMUXオン抵抗	Ron	1チャンネル		—	—	1	kΩ

「設計参考値 (保証外)」

本項目には設計参考値がございます。設計参考値は、本機能ご使用の際に参照頂く事ができますが、値を保証するものではありません。下表をご参照ください。

TA = 0 ~ 50°C, 2.0V ≤ AVDD ≤ VDD ≤ 3.6V, AVSS = VSS = 0V

項目	略号	条件		MIN.	TYP.	MAX.	単位
回路電流	Icc1	低消費モード		—	—注3	—注3	μA
	Icc2	高速モード		—	—注3	—注3	μA
同相入力範囲	Vicm1	低消費モード		—注3	—	—注3	V
	Vicm2	高速モード		—注3	—	—注3	V
出力電圧範囲	Vo1	低消費モード		—注3	—	—注3	V
	Vo2	高速モード		—注3	—	—注3	V
入力オフセット電圧 注1, 注2	Fioff	低消費モード		-7	—	7	mV
		高速モード		—注3	—	—注3	mV
開放利得	Av			—注3	—注3	—	dB
GB積	GBW1	低消費モード		—	—注3	—	MHz
	GBW2	高速モード		—	—注3	—	MHz
位相余裕	PM	CL=22pF		—注3	—	—	deg
利得余裕	GM	CL=20pF		—注3	—	—	dB
入力換算ノイズ	Vnoise1	f=1kHz	低消費モード	—	—注3	—	nV/√Hz
	Vnoise2	f=10kHz		—	—注3	—	nV/√Hz
	Vnoise3	f=1kHz	高速モード	—	—注3	—	nV/√Hz
	Vnoise4	f=2kHz		—	—注3	—	nV/√Hz
電源除去比	PSRR			—	—注3	—	dB
同相信号除去比	CMRR			—	—注3	—	dB
安定待ち時間	Tstd1	CL=20pF	低消費モード	—	—注3	—注3	μs
	Tstd2	CL=20pF	高速モード	—	—注3	—注3	μs
セトリング時間	Tset1	CL=20pF	低消費モード	—	—注3	—注3	μs
	Tset2	CL=20pF	高速モード	—	—注3	—注3	μs
スルーレート	Tselw1	CL=20pF	低消費モード	—注3	—注3	—	V/μs
	Tselw2	CL=20pF	高速モード	—注3	—注3	—	V/μs
負荷電流	Iload1	低消費モード		—注3	—	—注3	μA
	Iload2	高速モード		—注3	—	—注3	μA
負荷容量	CL			—	—	—注3	pF
アナログMUXオン抵抗	Ron	1チャンネル		—	—	—注3	kΩ

注1. Max値は正規分布における、平均値±3σの値です。

注2. この値は特性評価結果による値です。

注3. この値には設計参考値はございません。

35.6.6 汎用オペアンプ特性

(TA = -40 ~ 85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, AVSS = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
回路電流	Icc1	低消費モード			2	4	μA
	Icc2	高速モード			140	280	μA
同相入力範囲	Vicm1	低消費モード		0.2		AVDD-0.5	V
	Vicm2	高速モード		0.3		AVDD-0.6	V
出力電圧範囲	Vo1	低消費モード		0.1		AVDD-0.1	V
	Vo2	高速モード		0.1		AVDD-0.1	V
入力オフセット電圧	Fioff	3σ		-10		+10	mV
開放利得	Av			60	120		dB
GB積	GBW1	低消費モード			0.04		MHz
	GBW2	高速モード			1.7		MHz
位相余裕	PM	CL = 20 pF		50			deg
利得余裕	GM	CL = 20 pF		10			dB
入力換算ノイズ	Vnoise1	f = 1 kHz	低消費モード		230		nV/√Hz
	Vnoise2	f = 10 kHz			200		nV/√Hz
	Vnoise3	f = 1 kHz	高速モード		90		nV/√Hz
	Vnoise4	f = 2 kHz			70		nV/√Hz
電源除去比	PSRR				90		dB
同相信号除去比	CMRR				90		dB
安定待ち時間	Tstd1	CL = 20 pF	低消費モード			650	μs
	Tstd2	CL = 20 pF	高速モード			13	μs
セトリング時間	Tset1	CL = 20 pF	低消費モード			750	μs
	Tset2	CL = 20 pF	高速モード			13	μs
スルーレート	Tselw1	CL = 20 pF	低消費モード		0.02		V/μs
	Tselw2	CL = 20 pF	高速モード		1.1		V/μs
負荷電流	Iload1	低消費モード		-100		100	μA
	Iload2	高速モード		-100		100	μA
負荷容量	CL					20	pF

35.6.7 ボルテージ・リファレンス

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
基準電圧出力注2	VREF1	VSEL = 00, 2.65 V ≤ AVDD ≤ 3.6V	2.425	2.5	2.575	V
	VREF2	VSEL = 01, 2.2 V ≤ AVDD ≤ 3.6V	1.987	2.048	2.109	V
	VREF3	VSEL = 10, 2.0 V ≤ AVDD ≤ 3.6V	1.746	1.8	1.854	V
	VREF4	VSEL = 11, 1.8 V ≤ AVDD ≤ 3.6V	1.455	1.5	1.545	V
セントリング・タイム		Power on → AVDDセット (外部容量は10 μF)			50	ms
AVREFP/VREFOUT 端子 負荷電流注1,3	I _{Load}				200	μA

注1. AVREFP/AVREFOUT 端子は、タンタル・コンデンサ(容量: 10μF±30%, ESR:2Ω(MAX.)ESL: 10nH(MAX.))とセラミック・コンデンサ(容量: 0.1μF±30%, ESR:2Ω(MAX.)ESL: 10nH(MAX.))を介し、GNDに接続してください。

注2. 基準電圧の出力電圧レベルは負荷安定時の値です。負荷変動時、値を保証するものではありません。

注3. AVREFP/VREFOUT 負荷電流は、内部A/DコンバータとD/Aコンバータの基準電圧使用時の負荷電流を含めたトータルです。内蔵A/Dコンバータの基準電圧として使用する時の負荷電流は、MAX. 値 55 μAです。内蔵D/Aコンバータ(1ch)の基準電圧として使用する時の負荷電流は、MAX. 値 55 μAです。

35.6.8 1/2 AVDD 電圧出力

(TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, AVSS = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧精度			-4.0		+4.0	%
対応するチャンネルサンプリング時間			20.0			μs

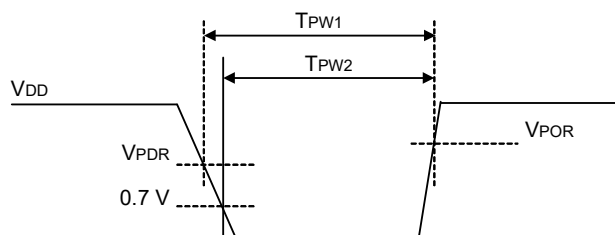
35.6.9 POR回路特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.47	1.51	1.55	V
	VPDR	電源立ち下がり時注1	1.46	1.50	1.54	V
最小パルス幅注2	TPW1	STOP/SUB HALT/SUB RUN以外	300			μs
	TPW2	STOP/SUB HALT/SUB RUNの時	300			μs

注1. ただし、LVDオフの条件で動作電圧降下時は、35.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行、または電圧検出機能が外部リセット端子で、リセット状態にしてください。

注2. VDDがVPDRを下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ(GSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定によりメイン・システム・クロック(fMAIN)を停止時は、VDDが0.7Vを下回ってから、VPORを上回るまでのPORによるリセット動作に必要な時間です。



35.6.10 LVD回路特性

リセット・モード／割り込みモードのLVD検出電圧

(TA = -40 ~ +85°C, V_{PDR} ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
		電源立ち下がり時	3.00	3.06	3.12	V
	VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
		電源立ち下がり時	2.90	2.96	3.02	V
	VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
		電源立ち下がり時	2.80	2.86	2.91	V
	VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
		電源立ち下がり時	2.70	2.75	2.81	V
	VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
		電源立ち下がり時	2.60	2.65	2.70	V
	VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
		電源立ち下がり時	2.50	2.55	2.60	V
	VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
		電源立ち下がり時	2.40	2.45	2.50	V
VLVD9	電源立ち上がり時	2.05	2.09	2.13	V	
	電源立ち下がり時	2.00	2.04	2.08	V	
VLVD10	電源立ち上がり時	1.94	1.98	2.02	V	
	電源立ち下がり時	1.90	1.94	1.98	V	
VLVD11	電源立ち上がり時	1.84	1.88	1.91	V	
	電源立ち下がり時	1.80	1.84	1.87	V	
最小パルス幅	t _{LW}		300			μs
検出遅延					300	μs

注意 検出電圧(VLVD)は、動作電圧範囲内になるように設定してください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定で決まります。動作電圧範囲は以下の通りです。

HS (高速メイン)モード : VDD = 2.7 ~ 3.6 V @ 1 MHz ~ 24 MHz

VDD = 2.4 ~ 3.6 V @ 1 MHz ~ 16 MHz

LS (低速メイン)モード : VDD = 1.8 ~ 3.6 V @ 1 MHz ~ 8 MHz

割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +85°C, VPDR ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	VLVDB0	VPOC0, VPOC1, VPOC2 = 0, 0, 1, 立ち下がりリセット電圧 : 1.8 V	1.80	1.84	1.87	V	
	VLVDB1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がり割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がり割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS0, LVIS1 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC0, VPOC1, VPOC2 = 0, 1, 0, 立ち下がりリセット電圧 : 2.4 V	2.40	2.45	2.50	V	
	VLVDC1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がり割り込み電圧	2.60	2.65	2.70	V
	VLVDD0	VPOC0, VPOC1, VPOC2 = 0, 1, 1, 立ち下がりリセット電圧 : 2.7 V	2.70	2.75	2.81	V	
	VLVDD1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
立ち下がり割り込み電圧			2.80	2.86	2.91	V	
VLVDD2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V	
		立ち下がり割り込み電圧	2.90	2.96	3.02	V	

35.6.11 低抵抗スイッチ

TA = -40 ~ 85°C, 1.8V ≤ AVDD ≤ VDD ≤ 3.6V, AVSS = VSS = 0V

項目	略号	条件	MIN.	TYP.	MAX.	単位
オン抵抗1	Ron1	AMP0OPD, AMP1OPD 流し込み電流 < 0.1mA	—	16	50	Ω
オン抵抗2	Ron2	AMP2OPD 流し込み電流 < 0.1mA	—	10	30	
流し込み電流	Icas	—	—	—	0.1	mA

[設計参考値(保証外)]

本項目には設計参考値がございます。設計参考値は、本機能ご使用の際に参照頂く事ができますが、値を保証するものではありません。下表を参照ください。

TA = 0 ~ 50°C, 2.0V ≤ AVDD ≤ VDD ≤ 3.6V, AVSS = VSS = 0V

項目	略号	条件	MIN.	TYP.	MAX.	単位
オン抵抗1注1, 注2	Ron1	AMP0OPD, AMP1OPD 流し込み電流 < 0.1mA	—	—注3	26	Ω
オン抵抗2注1, 注2	Ron2	AMP2OPD 流し込み電流 < 0.1mA	—	—注3	15	
流し込み電流	Icas	—	—	—	—注3	mA

注1. Max値は正規分布における、平均値±3σの値です。

注2. この値は特性評価結果による値です。

注3. この値には設計参考値はございません。

35.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD			54	V/ms

注意1. VDDが35.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

注意2. VDDとAVDDが異電位で、電源電圧立ち上がり傾きが異なる場合、パワーオン・リセット回路(POR)による内部リセットが解除されたときにAVDDが0.8Vを下回っていると、正常に起動しないことがあります。

その場合、次のいずれかの処理をしてください。

- VDD \geq 1.47 Vになるまでに、AVDD \geq 0.8 Vとしてください。
- VDD \geq 1.47 VかつAVDD \geq 0.8 Vとなるまで、RESET端子にロウ・レベルを入力してください。

35.8 LCD特性

35.8.1 外部抵抗分割方式

(1) スタティック・モード

(TA = -40 ~ +85°C, VL4 (MIN.) \leq VDD \leq 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.0		VDD	V

(2) 1/2バイアス, 1/4バイアス

(TA = -40 ~ +85°C, VL4 (MIN.) \leq VDD \leq 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.7		VDD	V

(3) 1/3バイアス

(TA = -40 ~ +85°C, VL4 (MIN.) \leq VDD \leq 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.5		VDD	V

35.8.2 内部昇圧方式

(1) 1/3バイアス

(TA = -40 ~ +85°C, 1.8V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4 ^{注1} = 0.47 μF ^{注2}	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C4 ^{注1} = 0.47 μF	2 VL1 - 0.1	2 VL1	2 VL1	V	
トリプル出力電圧	VL4	C1-C4 ^{注1} = 0.47 μF	3 VL1 - 0.15	3 VL1	3 VL1	V	
基準電圧セットアップ時間 ^{注2}	tvWAIT1		5			ms	
昇圧ウェイト時間 ^{注3}	tvWAIT2	C1-C4 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ± 30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウェイト時間です。

(2) 1/4バイアス

(TA = -40 ~ +85°C, 1.8V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C5注1 = 0.47 μF注2	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
ダブル出力電圧	VL2	C1-C5注1 = 0.47 μF	2 VL1 - 0.08	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C5注1 = 0.47 μF	3 VL1 - 0.12	3 VL1	3 VL1	V	
クアドラプル出力電圧	VL4	C1-C5注1 = 0.47 μF	4 VL1 - 0.16	4 VL1	4 VL1	V	
基準電圧セットアップ時間注2	tVWAIT1		5			ms	
昇圧ウェイト時間注3	tVWAIT2	C1-C5注1 = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです

C1 = C2 = C3 = C4 = C5 = 0.47 μF ± 30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウェイト時間です。

35.8.3 容量分割方式

(1) 1/3バイアス

(TA = -40 ~ +85°C, 2.2 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
VL4電圧	VL4	C1-C3 = 0.47 μF注2		VDD		V
VL2電圧	VL2	C1-C3 = 0.47 μF注2	2/3 VL4 - 0.1	2/3 VL4	2/3 VL4 + 0.1	V
VL1電圧	VL1	C1-C3 = 0.47 μF注2	1/3 VL4 - 0.1	1/3 VL4	1/3 VL4 + 0.1	V
容量分割ウェイト時間注1	tVWAIT		100			ms

注1. 降圧を開始してから (VLCON = 1), 表示が可能になる (LCDON = 1) までのウェイト時間です。

注2. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

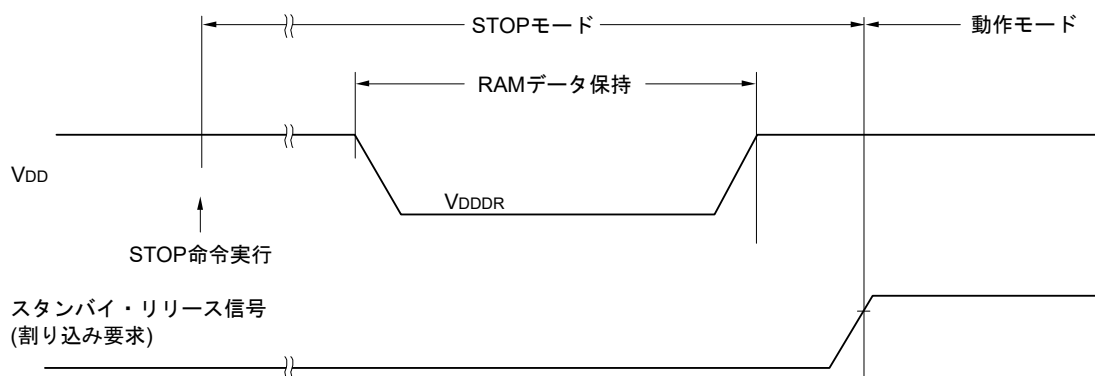
C1 = C2 = C3 = 0.47 μF ± 30%

35.9 RAM データ保持特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46注		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



35.10 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≤ VDD ≤ 3.6 V	1		24	MHz
コード・フラッシュの書き換え回数注1, 2, 3	Cenwr	保持年数：20年 TA = 85°C	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持年数：1年 TA = 25°C		1,000,000		
		保持年数：5年 TA = 85°C	100,000			
		保持年数：20年 TA = 85°C	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

35.11 専用フラッシュ・メモリ・プログラマ通信(UART)

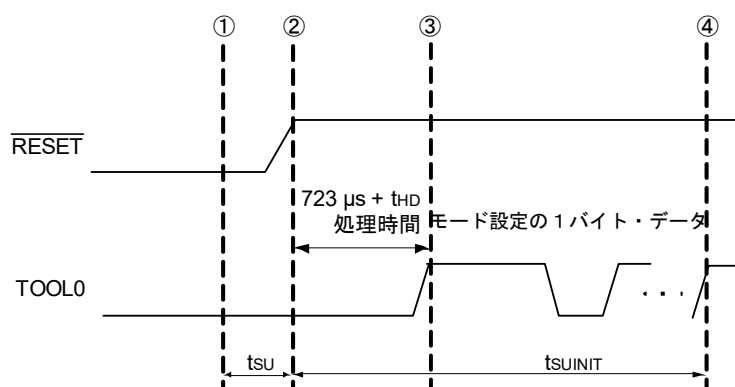
(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

35.12 モード引き込み時のタイミング・スペック

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tSUNIT	外部リセット解除前にPOR, LVD リセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tSU	外部リセット解除前にPOR, LVD リセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前にPOR, LVD リセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットが解除(外部リセット解除前にPOR, LVDリセットは解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるモード引きこみ、ボー・レート設定完了

備考 tSUNIT : この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。

tSU : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

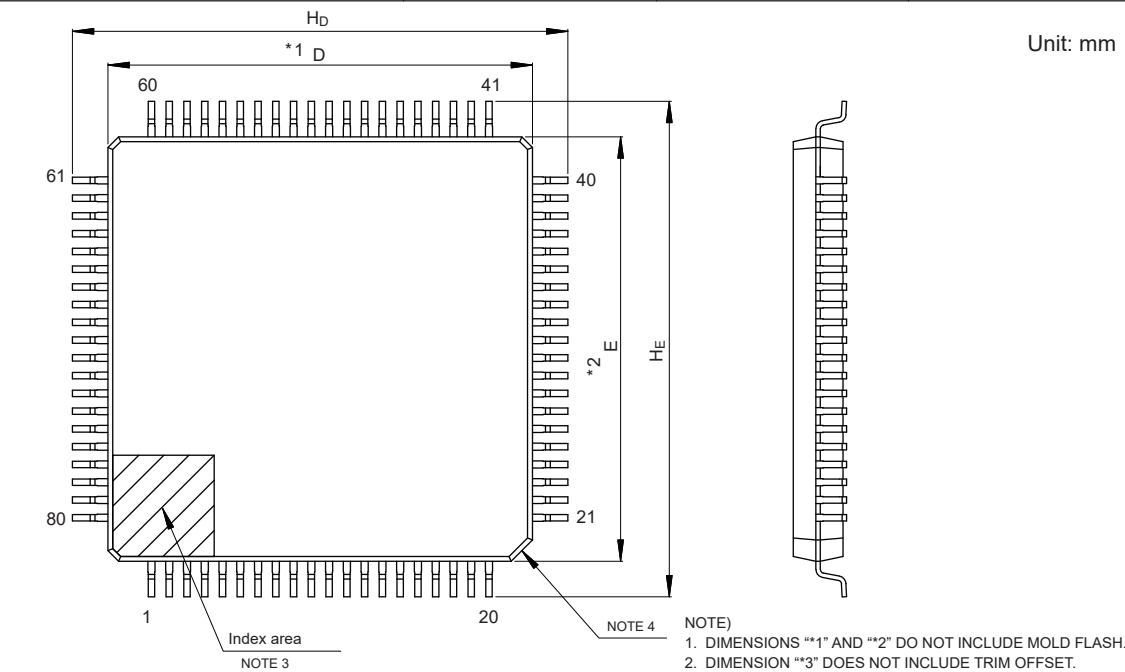
tHD : 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)

第36章 外形図

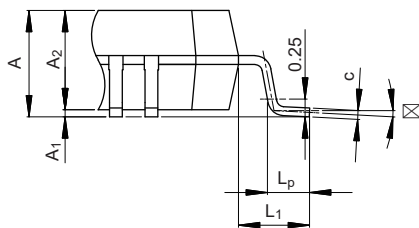
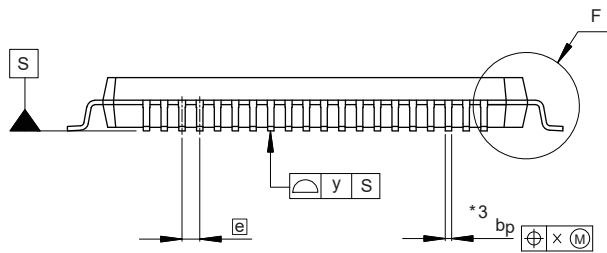
36.1 80ピン製品

R5F11MMDAFB, R5F11MMEAFB, R5F11MMFAFB

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



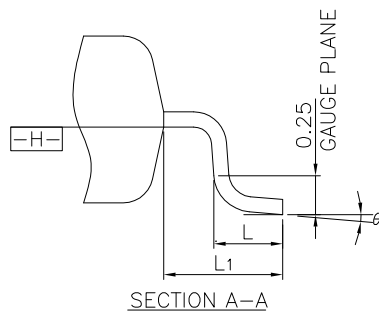
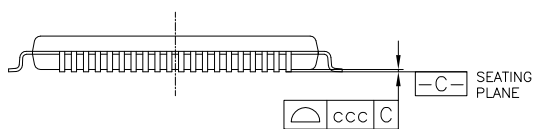
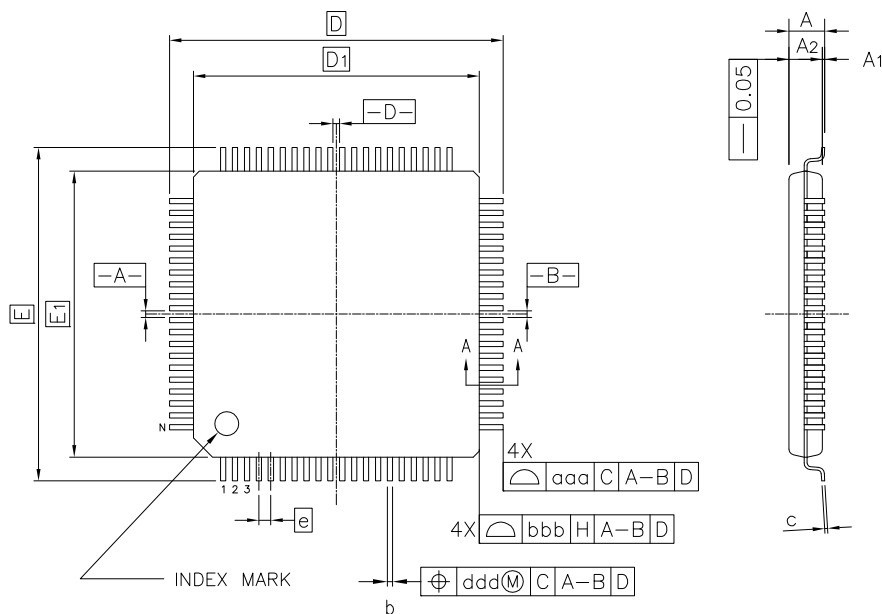
- NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
ⓔ	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP80-12x12-0.50	PLQP0080KJ-A	0.49

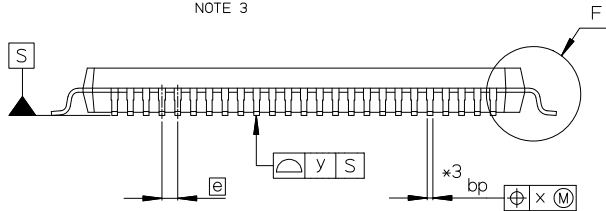
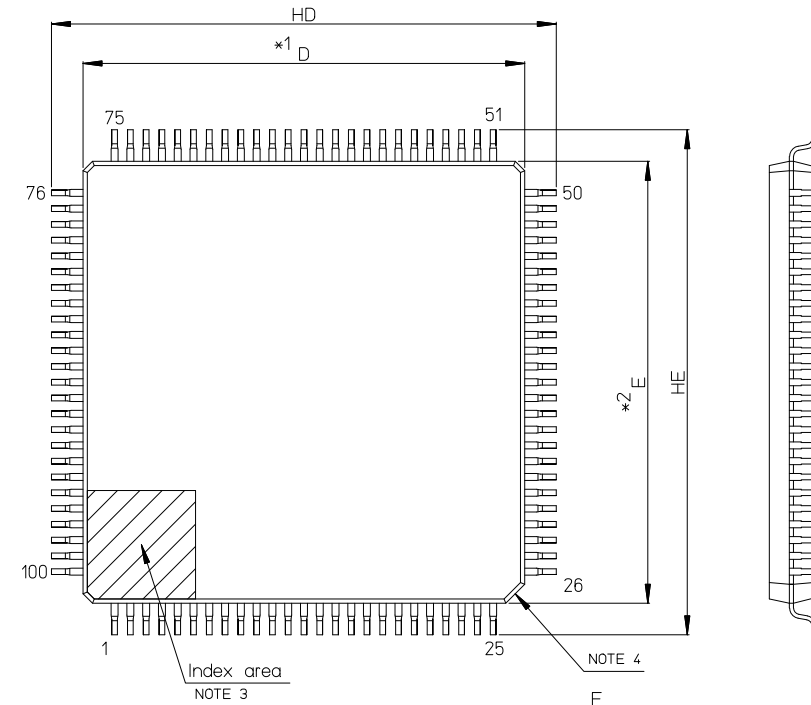


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	-	-	1.60
A ₁	0.05	-	0.15
A ₂	1.35	1.40	1.45
D	-	14.00	-
D ₁	-	12.00	-
E	-	14.00	-
E ₁	-	12.00	-
N	-	80	-
e	-	0.50	-
b	0.17	0.22	0.27
c	0.09	-	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	-	1.00	-
aaa	-	-	0.20
bbb	-	-	0.20
ccc	-	-	0.08
ddd	-	-	0.08

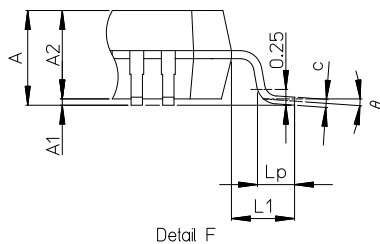
36.2 100ピン製品

R5F11MPEAFB, R5F11MPFAFB, R5F11MPGAFB

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6g

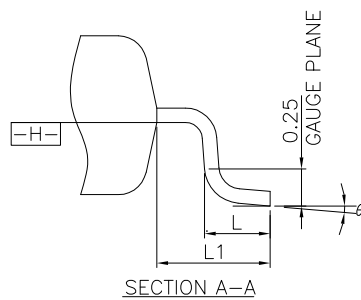
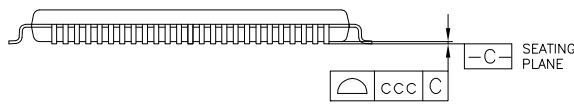
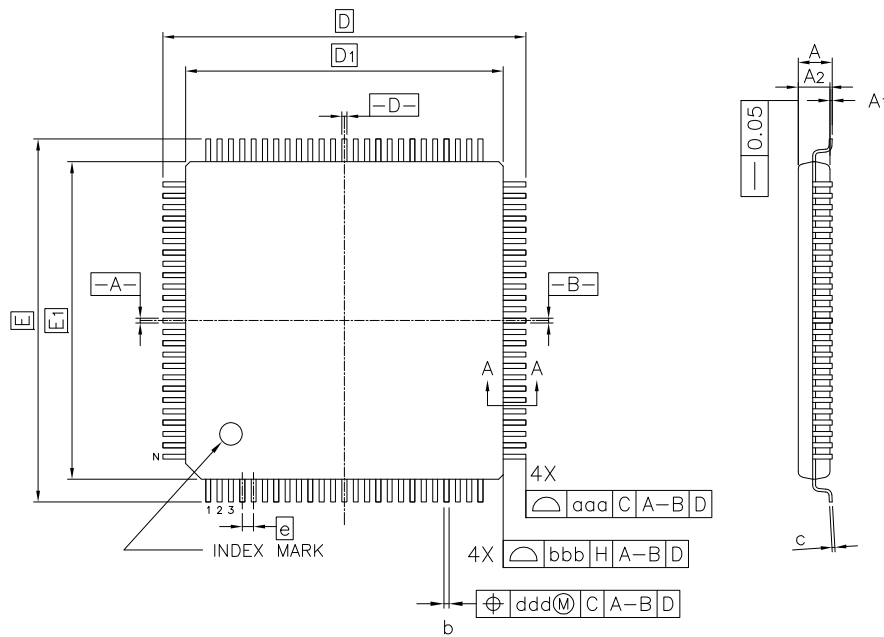


- NOTE)
1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A2	—	1.4	—
HD	15.8	16.0	16.2
HE	15.8	16.0	16.2
A	—	—	1.7
A1	0.05	—	0.15
bp	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Lp	0.45	0.6	0.75
L1	—	1.0	—

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP100-14x14-0.50	PLQP0100KP-A	0.67



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	16.00	—
D ₁	—	14.00	—
E	—	16.00	—
E ₁	—	14.00	—
N	—	100	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

付録A 改版履歴

A.1 本版で改訂された主な箇所

箇所	内容	分類
第4章 ポート機能		
p.131	4.5.2 出力機能を使用しない兼用機能のレジスタ設定に備考を追加	(c)
p.145	4.6.1 ポート・レジスタ n (Pn) に対する1ビット・メモリ操作命令に関する注意事項を変更	(a)
第5章 クロック発生回路		
p.166	図5-11 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) のフォーマットの注意3を変更	(c)
第6章 タイマ・アレイ・ユニット		
p.208	図6-12 タイマ・クロック選択レジスタ m (TPSm) のフォーマット (1/2) の注意2を変更	(a)
p.240	6.6.1 TOmn 端子の出力回路の構成を変更	(a)
p.245	図6-40 タイマ動作中に TOLm レジスタの内容を変更した場合の動作を変更	(a)
p.261	図6-57 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0) を変更	(c)
第8章 リアルタイム・クロック2		
p.334	図8-22 リアルタイム・クロック2の読み出し手順の注2を変更	(a)
p.335	図8-23 リアルタイム・クロック2の読み出し手順 (アラーム割り込み機能使用時) の注を変更	(a)
p.336	図8-24 リアルタイム・クロック2の書き込み手順の注2を変更	(a)
p.337	図8-25 リアルタイム・クロック2の書き込み手順 (アラーム割り込み機能使用時) の注を変更	(a)
第9章 12ビット・インターバル・タイマ		
p.346	図9-4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマットの注意1を変更	(a)
第12章 12ビットA/Dコンバータ		
p.379	図12-12 A/D変換拡張入力コントロールレジスタ (ADEXICR) のフォーマットに注を追加	(c)
第18章 シリアル・インタフェース IICA		
p.644	図18-5 周辺イネーブル・レジスタ0 (PER0) のフォーマットの注意1を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/12)

版数	内容	適用箇所	
Rev. 0.50	初版発行	全般	
Rev. 1.00	P22, P102, P151 汎用 I/O ポート機能を削除, I/O ポート数: 80ピン製品 62→59に, 100ピン製品 82→79に変更	全般	
	用語を変更 (チャージポンプ → チャージ・ポンプ)		
Rev. 1.00	1.1 特徴の A/D コンバータ, D/A コンバータを変更	第1章 概説	
	1.3 端子接続図 80ピン・プラスチック LFQFP, 100ピン・プラスチック LFQFP の端子接続図に製品名および (Top View) を記載		
	1.5.1 80ピン製品 ブロック図を変更		
	1.5.2 100ピン製品 ブロック図を変更		
	1.6 機能概要 パワーオン・リセット回路の検出電圧を変更		
	2.1.1 80ピン製品 P20のリセット時を変更, P20, P21, P23, P26, P27の機能を変更, P100のリセット時を変更, P100, P101, P103, P106, P107の機能を変更, P150, P152~P154の機能を変更		第2章 端子機能
	2.1.2 100ピン製品 P20のリセット時を変更, P20, P21, P23~P27の機能を変更, P100のリセット時を変更, P100, P101, P103~P107の機能を変更 P150, P152の機能を変更		
	2.2.2 機能説明 AVREFP / VREFOUT, AVREFMの機能説明を変更		
	表2-3 各端子の未使用端子処理 デジタル入力無効時の推奨接続方法を変更		
	図2-3 端子タイプ2-1-2の端子ブロック図 「兼用機能」に修正		
	図2-9 端子タイプ7-3-4の端子ブロック図 注意を変更		
	図2-13 端子タイプ7-5-10の端子ブロック図 注意を変更		
	図2-14 端子タイプ7-5-25の端子ブロック図を変更, 注意を追加		
	図2-15 端子タイプ8-1-4の端子ブロック図 注意1, 注意2を追加		
	図2-18 端子タイプ8-5-13の端子ブロック図を変更, 注意1, 注意2を追加		
	図3-4 メモリ・マップ (R5F11MPG) 注意2を変更	第3章 CPUアーキテクチャ	
	表3-3 ベクタ・テーブル ベクタ・テーブル・アドレスを5桁表示 (xxxxxH) に変更		
	表3-15 拡張 SFR (2nd SFR) 一覧 (6/10) ELSELRxx レジスタの1ビット操作を変更		
	表3-16 拡張 SFR (2nd SFR) 一覧 8ビット・インターバル・タイマ・コンペア・レジスタ 16ビット略号を追加		
表3-18 拡張 SFR (2nd SFR) 一覧 (9/10) ADTSDR, ADOCD レジスタの R/W 属性を変更			

(2/12)

版数	内容	適用箇所
Rev. 1.00	4.2.3 ポート2 説明を変更	第4章 ポート機能
	4.2.10 ポート10 説明を変更	
	図4-1 ポート・モード・レジスタのフォーマット PM22, PM102, PM151を削除	
	図4-2 ポート・レジスタのフォーマット P22, P102, P151を削除	
	図4-6 ポート・モード・コントロール・レジスタのフォーマット PMC22, PMC102, PMC151を削除	
	図4-16 1ビット・メモリ操作命令(P00の場合) 誤記を修正	
	5.6.1 高速オンチップ・オシレータの設定例 CMODE1, FRQSEL4ビットのリセット値を変更	第5章 クロック発生回路
	5.6.2 X1発振回路の設定例 注意を変更	
	5.6.3 XT1発振回路の設定例 注意を変更	
	5.7 発振子と発振回路定数 説明を変更	
	6.3.13 入力切り替え制御レジスタ(ISC) 説明文追加	第6章 タイマ・アレイ・ユニット
	図6-27 入力切り替え制御レジスタ(ISC)のフォーマット bit7を追加	
	6.4.1 複数チャネル連動動作機能の基本ルール (3)の例の説明を変更	
	6.9.3 多重PWM出力機能としての動作 説明を変更	
	6.10.1 タイマ出力使用時の注意事項 説明を変更	
	図8-1 リアルタイム・クロック2のブロック図 割り込み要因を修正, 注を追加	第8章 リアルタイム・クロック2
	図8-8 リアルタイム・クロック・コントロール・レジスタ1(RTCC1)のフォーマット(3/3) 備考2を追加	
	図8-9 秒カウント・レジスタ(SEC)のフォーマット 備考を追加	
	図8-20 リアルタイム・クロック2の動作開始手順 注1, 注2の掲載箇所を修正	
	8.4.7 時計誤差補正レジスタの設定手順 フローチャートを変更	
	9.1 12ビット・インターバル・タイマの機能 説明を変更	第9章 12ビット・インターバル・タイマ
表10-1 クロック出力/ブザー出力制御回路の構成 制御レジスタの構成を変更	第10章 クロック出力/ブザー出力制御回路	
10.3 クロック出力/ブザー出力制御回路を制御するレジスタ レジスタを変更		
表12-3 12ビットA/Dコンバータの入出力端子 タイトルを変更, AVREFP/VREFOUT端子の入出力を変更	第12章 12ビットA/Dコンバータ	
図12-8 A/D変換値加算/平均回数選択レジスタ(ADADC)のフォーマット レジスタ名を変更		
図12-13 A/D高電位/低電位基準電圧コントロールレジスタ(ADHVREFCNT)のフォーマット リセット時の値を変更		
図12-15 アナログ基準電圧制御レジスタ(VREFCR)のフォーマット VREFSEL1, VREFSEL0ビットの機能を変更		
12.3.1 スキャンの動作説明 説明を変更		
12.8.11 ノイズ対策上の注意 説明を変更		
表13-2 12ビットD/Aコンバータの入出力端子 AVREFP/VREFOUT端子の入出力を変更		第13章 12ビットD/Aコンバータ
13.2.5 D/A VREF 制御レジスタ(DAVREFCR) 注意2を追加		

版数	内容	適用箇所
Rev. 1.00	表 14 - 2 チャージ・ポンプ動作クロックの選択 DSDIV[4:0]設定値の2進数表記を変更	第14章 オペアンプ&アナログスイッチ
	14.5.9 チャージ・ポンプクロック動作制御レジスタ (PUPSCR) 説明を変更	
	14.5.10 低抵抗スイッチ・チャンネル・選択とチャージ・ポンプ制御・レジスタ (ANCHCR) アナログスイッチ(アナログMUXと低抵抗スイッチ)オン/オフの設定手順を変更	
	14.5.11 アナログ入力端子のポート機能を制御するレジスタ AMP00, AMP10, AMP20 端子を削除, 説明を変更	
	14.6.3 ソフトウェア・トリガ・モード 処理「PMCxx = 1」「PMxx = 1」の説明を変更	
	14.6.4 ELCトリガ・モード 処理「PMCxx = 1」「PMxx = 1」の説明を変更	
	14.6.5 ELCおよびA/Dトリガ・モード 処理「ELCイベント発生元の周辺機能の設定」の説明を削除, 処理「PMCxx = 1」「PMxx = 1」の説明を変更	
	図15 - 3 アナログ基準電圧制御レジスタ (VREFCR)のフォーマット VREFSEL1, VREFSEL0ビットの説明を追加	第15章 ボルテージ・リファレンス
	15.5 ボルテージ・リファレンスの注意事項 説明を変更	
	16.4.5 コンパレータクロック停止/供給 注意2を変更, 注意3, 4を追加	第16章 コンパレータ
	図19 - 3 LCDモード・レジスタ1 (LCDM1) のフォーマット ビット番号7~3, 0を口で囲む	第19章 LCDコントローラ/ドライバ
	図19 - 12 SEGxx/Pxx 端子機能の状態遷移図のタイトルを変更	
	表 20 - 1 DTCの仕様 注を変更	第20章 データトランスファコントローラ(DTC)
	20.3.3 ベクタテーブル DTCベクタアドレスを変更	
	図20 - 11 DTC起動許可レジスタi (DTCENi) (i = 0~3)のフォーマット ビット番号7~0の口を削除	
	表 20 - 5 割り込み要因とDTCENi0~DTCENi7ビットの対応 表中の注1表示削除	
	20.5.3 DTC保留命令 説明を追加	
	表 22 - 1 割り込み要因一覧 ベクタ・テーブル・アドレスを5桁表示 (xxxxxH)に変更	
	表 22 - 7 割り込み要求ソースに対応する各種フラグ(3/4) INTST1要因の割り込みマスク・フラグを変更	
	図 22 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット (1/2)	
	IFIL ビット0名称を変更	
	22.4.4 除算命令中の割り込み処理 注意を追加	
	22.4.5 割り込み要求の保留 命令を追加	
	図 23 - 3 キー・リターン・モード・レジスタ (KRM0)のフォーマット 注意1., 注意2.を変更	第23章 キー割り込み機能

版数	内容	適用箇所	
Rev. 1.00	表 24 - 1 HALT モード時の動作状態 (1/2) RAM, 汎用CRCの動作状態を変更	第24章 スタンバイ機能	
	表 24 - 2 HALT モード時の動作状態 (2/2) システム・クロックのfIL, RAM, 汎用CRCの動作状態を変更		
	24.3.3 SNOOZE モード SNOOZE モード→通常動作の遷移時間を変更		
	表 24 - 4 SNOOZE モード時の動作状態 RAM, 汎用CRC, RAMパリティ・エラー検出機能, RAMガード機能, SFRガード機能, 不正メモリ・アクセス検出機能の動作状態を変更		
	アドレスを5桁表示 (xxxxxH)に変更	第25章 リセット機能	
	25.1 リセット動作のタイミング 説明, 備考を追加		
	表 25 - 1 リセット期間中の動作状態 サブシステム・クロックのfXT, fEXTのリセット期間中の説明を変更		
	表 25 - 2 リセット受け付け後の各ハードウェアの状態 プログラム・カウンタのリセット受け付け後の状態の説明を変更 (アドレスを5桁表示 (xxxxxH)に変更)		
	図 25 - 5 リセット要因の確認手順 変更	第27章 電圧検出回路	
	図 27 - 10 LVD 検出電圧付近での電源電圧変動が 50 ms 以下の場合のソフト処理例 イニシャライズ処理①に説明を追加		
	図 28 - 10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット GCSC ビットの1機能の説明のガードされるSFRを変更, 注を変更	第28章 安全機能	
	28.3.9 入出力ポートのデジタル出力信号レベル検出機能 用語を変更		
	28.3.9.1 ポート・モード選択レジスタ (PMS) 用語を変更	第30章 オプション・バイト	
	図 30 - 4 ユーザ・オプション・バイト (000C2H/010C2H)のフォーマット 注意 1., 注意 2. を追加		
	説明を変更	第31章 フラッシュ・メモリ	
	31.3.1 P40/TOOL0 端子 用語を変更		
	図 31 - 7 フラッシュ・メモリ・プログラミング・モードへの引き込み 変更, ②の説明を変更, 備考を変更		
	31.5 PG-FP5 使用時の各コマンド処理時間 (参考値) 追加		
	31.6 セルフ・プログラミング 注意 3. を変更		
	31.8.1 データ・フラッシュの概要 注意 2. を変更		
	31.8.3 データ・フラッシュへのアクセス手順 説明を変更, 注意 3. を変更		
	表 34 - 16 オペレーション一覧 (12/18) 注意を追加		
	35.2.1 X1, XT1 発振回路特性 X1 クロック発振周波数 (fX)の条件を修正		第34章 命令セットの概要 第35章 電気的特性 (A: TA = -40 ~ +85°C)
	35.3.2 電源電流特性 TYP, MAX 値を変更		
	AVREF(+) 電流 → A/D コンバータ AVREF(+) 電流 (IAVREF) に変更		
	A/D コンバータ 基準電圧電流 (IADREF) → 内部基準電圧 (1.45V) 電流 (IADREF) に変更, 条件を変更		
	D/A コンバータ AVREF(+) 電流 (IDAREF) を追加		
	ボルテージ・リファレンス (VREF) を追加		
	LCD 動作電流 (ILCD1, ILCD2, ILCD3)の条件を変更		
	TCY vs VDD (HS (高速メイン)モード) 図を変更		
	TCY vs VDD (LS (低速メイン)モード) 図を変更		

(5/12)

版数	内容	適用箇所
Rev. 1.00	設計参考値(保証外) 注2.を変更, 注3.を追加	第35章 電気的特性(A: TA = -40~+85°C)
	GBW1のTYP値, Tturn1, Tset1のTYP, MAX値を変更	
	35.6.7 ボルテージ・リファレンス VREFOUT端子負荷電流 (ILoad)を追加, 注2, 注3を追加	
	35.6.8 POR回路特性 TPW1, TPW2を変更, 注1.を追加, 注を注2.に変更, タイミング図を変更	
	35.6.9 1/2AVDD電圧出力 追加	
Rev. 1.10	PG-FP5をPG-FP6に変更, E2, E2 Lite, E20を追加	全般
	1.1 特徴を変更	第1章 概説
	1.4 端子名称を変更	
	1.5.1 80ピン製品を変更	
	1.5.2 100ピン製品を変更	
	表2-1 各端子の入出力バッファ電源を変更	
	2.1.1 80ピン製品を変更	第2章 端子機能
	2.1.2 100ピン製品を変更	
	2.2.2 機能説明を変更	
	図2-9 端子タイプ7-3-4の端子ブロック図 注意を変更	
	図2-13 端子タイプ7-5-10の端子ブロック図 注意を変更	
	図2-14 端子タイプ7-5-25の端子ブロック図 注意を変更	
	図2-15 端子タイプ8-1-4の端子ブロック図 注意1を変更	
	図2-16 端子タイプ8-3-4の端子ブロック図 注意1を変更	
	図2-17 端子タイプ8-5-10の端子ブロック図 注意1を変更	
	図2-18 端子タイプ8-5-13の端子ブロック図 注意1を変更	
	図3-1 メモリ・マップ(R5F11MMD) 注1を変更	第3章 CPUアーキテクチャ
	図3-2 メモリ・マップ(R5F11MxE (x = M, P)) 注1を変更	
	図3-3 メモリ・マップ(R5F11MxF (x = M, P)) 注1を変更	
	図3-4 メモリ・マップ(R5F11MPG) 注1を変更	
	表3-5 内部RAM容量を変更	
	表3-10 拡張SFR (2nd SFR)一覧を変更	第4章 ポート機能
	表4-1 ポートの構成を変更	
	4.2.3 ポート2を変更	
	4.2.10 ポート10を変更	
	4.3 ポート機能を制御するレジスタを変更	
	図4-6 ポート・モード・コントロール・レジスタのフォーマットを変更	
	図4-7 周辺I/Oリダイレクション・レジスタ (PIOR)のフォーマットを変更	
	4.3.8 グローバル・アナログ・インプット・ディスエーブル・レジスタ (GAIDIS)を削除	
	表4-8 端子機能使用時のレジスタ, 出力ラッチの設定例を変更	
	表4-10 端子機能使用時のレジスタ, 出力ラッチの設定例を変更	

版数	内容	適用箇所
Rev. 1.10	4.6.1 ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項を変更	第4章 ポート機能
	5.1 クロック発生回路の機能 説明を追加	第5章 クロック発生回路
	5.3.6 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)を変更	
	図5-7 周辺イネーブル・レジスタ 0 (PER0)のフォーマットを変更	
	図5-15 発振子の接続の悪い例 備考を変更	
	5.4.4 低速オンチップ・オシレータ 説明を変更	
	5.6.1 高速オンチップ・オシレータの設定例を変更	
	表5-8 CPUクロックの移行についてを変更	
	5.6.7 クロック発振停止前の条件 説明を追加	
	図6-14 タイマ・モード・レジスタ mn (TMRmn)のフォーマットを変更	第6章 タイマ・アレイ・ユニット
	6.9.1 ワンショット・パルス出力機能としての動作 注意を変更	第7章 8ビット・インターバル・タイマ
	図7-18 ビット・インターバル・タイマのブロック図を変更	
	図7-10 カウント停止→カウント・クリア→カウント開始動作例 (fsUB選択時)を変更	
	図7-11 カウント開始/停止動作例 (fsUB/2m 選択時)を変更	
	図7-12 カウント停止→カウント・クリア→カウント開始動作例 (fsUB/2m選択時)を変更	第8章 リアルタイム・クロック2
	8.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC) 説明を変更	
	図9-2 周辺イネーブル・レジスタ 1 (PER1)のフォーマット 注意3を変更	
	図9-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット 注意, 備考を変更	第11章 ウォッチドッグ・タイマ
	表11-3 ウォッチドッグ・タイマのオーバフロー時間の設定 注を追加	
	表11-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 注を追加	
	表11-5 ウォッチドッグ・タイマのインターバル割り込みの設定 注を追加	第12章 12ビットA/Dコンバータ
	表12-1 12ビットA/Dコンバータの仕様を変更 注1を変更 および 注4, 6を追加	
	表12-2 12ビットA/Dコンバータの機能概要を変更	
	図12-1 12ビットA/Dコンバータのブロック図を変更	
	表12-3 12ビットA/Dコンバータの入出力端子を変更	
	表12-4 12ビットA/Dコンバータのレジスタ一覧 を追加	
	12.2.1 周辺イネーブル・レジスタ 0 (PER0) を追加	
	12.2.4 A/Dコントロールレジスタ (ADCSR) 説明を追加	
	図12-5 A/Dコントロールレジスタ (ADCSR) のフォーマットを変更	
	12.2.5 A/Dチャンネル選択レジスタ A0 (ADANSA0) 説明を追加	
	12.2.6 A/D変換値加算/平均機能チャンネル選択レジスタ 0 (ADADS0) 説明を追加	
	12.2.7 A/D変換値加算/平均回数選択レジスタ (ADADC) 説明を追加	
	図12-9 A/D変換値加算/平均回数選択レジスタ (ADADC) のフォーマット 注を変更	
12.2.8 A/Dコントロール拡張レジスタ (ADCER) 説明を追加		
12.2.9 A/D変換開始トリガ選択レジスタ (ADSTRGR) 説明を追加		

版数	内容	適用箇所
Rev. 1.10	表 12 - 6 TRSA[5:0] ビットでのA/D 起動要因選択一覧を変更	第 12 章 12 ビット A/D コン
	12.2.10 A/D 変換拡張入力コントロールレジスタ (ADEXICR) 説明を追加	バータ
	12.2.11 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 14, T, O) 説明を変更	
	表 12 - 7 A/D サンプリングステートレジスタと対象チャネルの関係 を変更	
	12.2.12 A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT) 説明を追加	
	図 12 - 14 A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT) のフォーマット 注意を変更	
	12.2.13 A/D 変換クロック制御レジスタ (ADCKS) 説明を変更	
	図 12 - 15 A/D 変換クロック制御レジスタ (ADCKS) のフォーマット 注意を追加	
	12.2.14 アナログ基準電圧制御レジスタ (VREFCR) を変更	
	図 12 - 16 アナログ基準電圧制御レジスタ (VREFCR) のフォーマット 注意 2 を変更	
	12.3.1 スキャンの動作説明を変更	
	12.3.2.4 1/2 AVDD 選択時の A/D 変換動作 を追加	
	12.3.3.1 基本動作 (1) を変更	
	12.3.4 アナログ入力のサンプリング時間とスキャン変換時間 説明を変更 および注 3 を追加	
	表 12 - 8 スキャンでの各所要時間 (ADCLK と PCLK のサイクル数で示します) 注 3 を変更	
	図 12 - 22 スキャン変換のタイミング (ソフトウェア起動, 同期トリガ起動の場合) を変更	
	図 12 - 23 スキャン変換のタイミング (非同期トリガ起動の場合) を変更	
	12.3.8 周辺機能からの同期トリガによる A/D 変換の開始 説明を変更	
	12.6 基準電圧の選択方法 説明を変更	
	12.7 高電位側基準電圧に内部基準電圧を選択する場合の A/D 変換手順を追加	
	12.8 許容信号源インピーダンスについて 説明を変更	
	図 12 - 26 アナログ入力端子と外部センサの等価回路 を変更	
	12.9.1 データレジスタの読出し注意事項 説明を変更	
	図 12 - 27 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローを変更	
	12.9.3 モード/ステータスビットの注意事項 を追加	
	12.9.7 低消費電力状態への遷移時の注意 説明を変更	
	12.9.10 アナログ電源端子他の設定範囲 説明を変更	
	表 13 - 1 12 ビット D/A コンバータの仕様 を変更	第 13 章 12 ビット D/A コン
	表 13 - 2 12 ビット D/A コンバータの入出力端子を変更	バータ
	表 13 - 3 12 ビット D/A コンバータのレジスタ一覧 を追加	

版数	内容	適用箇所
Rev. 1.10	13.2.1 周辺イネーブル・レジスタ 1 (PER1) を追加	第13章 12ビットD/Aコンバータ
	13.2.4 DADRm フォーマット選択レジスタ (DADPR) 説明を追加	
	図13-9 12ビットD/Aコンバータを12ビットA/Dコンバータに同期して変換する例を変更	
	13.6.1 クロック供給停止機能の設定 説明を変更	第14章 オペアンプ&アナログスイッチ
	14.5.1 オペアンプ・モード制御レジスタ (AMPMC) 説明を追加	
	14.5.2 オペアンプ・トリガモード制御レジスタ (AMPTRM) 説明を追加	
	14.5.3 オペアンプELCトリガ選択レジスタ (AMPTRS) 説明を追加	
	14.5.4 オペアンプ制御レジスタ (AMPC) 説明を追加	
	図14-6 オペアンプ・制御レジスタ (AMPC)のフォーマットを変更	
	14.5.5 オペアンプ・モニタ・レジスタ (AMPMON) 説明を追加	
	14.5.6 周辺イネーブル・レジスタ 1 (PER1) 説明を追加	
	14.5.7 アナログMUXチャンネル選択レジスタ (MUXSWSR) 説明を追加	
	14.5.8 チャージ・ポンプ動作クロック分周選択・レジスタ (PUPCKS) 説明を追加	
	14.5.9 チャージ・ポンプクロック動作制御レジスタ (PUPSCR) 説明を追加	
	14.5.10 低抵抗スイッチ・チャンネル選択とチャージ・ポンプ制御レジスタ (ANCHCR) 説明を追加	
	図14-12 低抵抗スイッチ・チャンネル・選択とチャージ・ポンプ制御 (ANCHCR)のフォーマット 備考を追加	
	図14-13 オペアンプ状態遷移図 を変更, 注意を追加, 注2, 備考2を削除	
	図14-15 オペアンプ制御動作(ELCトリガ・モードによる起動) (ELCトリガによってリファレンス電流回路とオペアンプを起動し, SFR設定によって停止させる場合)を変更	
	図14-16 オペアンプ制御動作(ELCおよびA/Dトリガ・モードその1) (ELCトリガによってリファレンス電流回路とオペアンプを起動し, A/D変換終了(トリガ)によって停止させる場合)を変更	
	図14-17 オペアンプ制御動作(ELCおよびA/Dトリガ・モードその2) (ELCトリガによってリファレンス電流回路とオペアンプを起動し, A/D変換終了(トリガ)によって停止できる設定において, SFRで停止させる場合)を変更	
	14.7 オペアンプとアナログスイッチの注意事項(3)を変更	
	15.3.2 アナログ基準電圧制御レジスタ (VREFCR) 説明を変更	第15章 ボルテージ・リファレンス
	図15-3 アナログ基準電圧制御レジスタ (VREFCR)のフォーマット 注意2を変更	
	15.4 ボルテージ・リファレンスの動作 説明を削除	第16章 コンパレータ
	16.2 コンパレータの構成 説明を追加	
	図16-1 コンパレータのブロック図 備考2を追加	
	表16-3 コンパレータ関連レジスタの設定手順 を変更	
	図16-9 コンパレータ <i>i</i> (<i>i</i> = 0)の動作例(ウィンドウモード) を変更	

版数	内容	適用箇所
Rev. 1.10	表 17 - 1 シリアル・アレイ・ユニットの構成を変更	第17章 シリアル・アレイ・ ユニット
	図 17 - 11 シリアル・データ・レジスタ mn (SDRmn)のフォーマット 注意4を変更	
	図 17 - 21 送信データのレベル反転例を変更	
	17.5.7 SNOOZE モード機能 説明を変更	
	図 17 - 74 SNOOZE モード動作(1回起動)時のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)を変更	
	図 17 - 75 SNOOZE モード動作(1回起動)時のフロー・チャートを変更	
	図 17 - 76 SNOOZE モード動作(連続起動)時のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)を変更	
	図 17 - 77 SNOOZE モード動作(連続起動)時のフロー・チャートを変更	
	図 17 - 116 UART (UART0-UART3)のUART 受信時のレジスタ設定内容例(100ピン製品) (1/2) 注2を変更	
	17.7.3 SNOOZE モード機能 説明を変更	
	図 17 - 124 SNOOZE モード動作(EOCm1 = 1, SSECm = 0)時のタイミング・チャート 注を追加	
	図 17 - 125 SNOOZE モード動作(EOCm1 = 0, SSECm = 0/1 もしくはEOCm1 = 1, SSECm = 0)時のフロー・チャートを変更	
	図 17 - 127 SNOOZE モード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートを変更	
	図 17 - 131 LINの送信操作を変更	
	図 17 - 132 LIN送信のフロー・チャートを変更	
	図 17 - 133 LINの受信操作を変更	
	図 17 - 134 LIN受信のフロー・チャートを変更	
	図 18 - 1 シリアル・インタフェース IICAのブロック図を変更	第18章 シリアル・インタ フェース IICA
	図 18 - 14 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマットを変更	
	図 18 - 14 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマットを変更 注意1を追加	
	18.3.6 IICA ロウ・レベル幅設定レジスタ n (IICWLn) 説明を追加	
	18.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法 説明を変更 注意1, 2, 備考2を変更	
	図 18 - 29 WUPn = 1を設定する場合のフローを変更	
	図 18 - 30 アドレス一致によりWUPn = 0に設定する場合のフロー(拡張コード受信含む)を変更	
	図 18 - 31 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合を変更	
	18.5.14 通信予約 説明を変更 備考1を変更	
図 18 - 34 通信予約の手順 注1, 備考1を変更		
18.5.14 通信予約(2) 説明を変更		
18.5.15 その他の注意事項 説明を変更		

版数	内容	適用箇所
Rev. 1.10	図 18 - 35 シングルマスタ・システムでのマスタ動作を変更	第18章 シリアル・インタフェース IICA
	図 18 - 36 マルチマスタ・システムでのマスタ動作(1/3)を変更	
	図 18 - 37 マルチマスタ・システムでのマスタ動作(2/3)を変更 注. 備考1を変更	
	図 18 - 39 スレーブ動作手順(1)を変更	
	18.5.17 I ² C 割り込み要求 (INTIICAn) の発生タイミング (1) マスタ動作 (c) start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信) (ii) WTIMn = 1 のとき を変更	
	表 19 - 5 表示波形/時分割数/バイアス法とフレーム周波数の組み合わせを変更	第19章 LCDコントローラ/ドライバ
	19.3.3 サブシステム・クロック供給オプション制御レジスタ (OSMC) を変更	
	図 19 - 24 LCD 駆動用電源の接続例 (容量分割方式) を変更	
	図 19 - 48 8時分割LCD表示パターンと電極結線 備考を変更	
	説明を追加	第20章 データ転送ファクトリー (DTC)
	図 20 - 3 コントロールデータの配置を変更	
	表 20 - 4 コントロールデータの先頭アドレスを追加	
	図 20 - 4 コントロールデータの先頭アドレスとベクタテーブルを追加	
	図 20 - 5 周辺インネブル・レジスタ 1 (PER1) のフォーマット 注意を変更	
	表 21 - 3 ELSELRn レジスタ (n = 00 ~ 21) に設定する値とリンク先周辺機能の受付時の動作の対応 注3を変更	第21章 イベントリンクコントローラ (ELC)
	表 21 - 4 イベントを受け付ける周辺機能の応答性を変更	
	24.1 スタンバイ機能 注意4を追加	第24章 スタンバイ機能
	24.3.3 SNOOZE モード 説明を変更	
	表 24 - 4 SNOOZE モード時の動作状態 を変更	
	図 24 - 8 SNOOZE モードの割り込み要求が発生しない場合 を変更	
	25.1 リセット動作のタイミング 注意を削除	第25章 リセット機能
	図 26 - 3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生時のタイミング (2/3) 注3を変更	第26章 パワーオン・リセット回路
	27.1 電圧検出回路の機能 説明を変更	第27章 電圧検出回路
	27.4.2 割り込みモードとして使用する場合の設定 説明を変更	
	28.3.2 CRC 演算機能 (汎用 CRC) 説明を変更	第28章 安全機能
	30.1.1 (3) 000C2H/010C2H を変更	第30章 オプション・バイト
	図 30 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット 注3, 4 を追加	
	図 30 - 4 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマットを変更	
	表 31 - 1 RL78/L1A と専用フラッシュ・メモリ・プログラムの配線表を変更	第31章 フラッシュ・メモリ
	図 31 - 2 専用フラッシュ・メモリ・プログラマとの通信を変更 および注1を追加	
	表 31 - 2 端子接続一覧を変更	
	31.3.6 電源 注を追加	
	図 31 - 7 フラッシュ・メモリ・プログラミング・モードへの引き込み を変更	
31.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値) を変更		
表 31 - 10 PG-FP6 使用時の各コマンド処理時間 (参考値) を変更		

版数	内容	適用箇所	
Rev. 1.10	31.6 セルフ・プログラミング 注意3 および 備考1 を変更	第31章 フラッシュ・メモリ	
	図31 - 10 ブート・スワップの実行例を変更		
	31.8.1 データ・フラッシュの概要 注意2 を変更		
	31.8.3 データ・フラッシュへのアクセス手順 説明および注意3 を変更		
	表32 - 1 オンチップ・デバッグ・セキュリティ ID を変更, 注を追加	第32章 オンチップ・デバッグ機能	
	35.1 絶対最大定格を変更	第35章 電気的特性(A: TA = -40 ~ +85°C)	
	35.3.1 端子特性を変更		
	35.3.2 電源電流特性を変更 注16 を削除		
	35.5.1 シリアル・アレイ・ユニット(2) 同電位通信時(CSIモード)(マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応) を変更		
	35.5.1 シリアル・アレイ・ユニット(5) 同電位通信時(簡易I ² Cモード) 備考2, 3 を変更		
	35.5.1 シリアル・アレイ・ユニット(10) 異電位通信時(1.8V系, 2.5V系) 通信時(簡易I ² Cモード) を変更		
	35.6.1 A/Dコンバータ特性 を変更		
	35.6.1 A/Dコンバータ特性 表を変更 および 注を追加		
	35.6.4 コンパレータ 説明を追加		
	35.6.5 rail to rail オペアンプ特性を変更		
	35.6.6 汎用オペアンプ特性を変更		
	35.6.7 ボルテージ・リファレンスを変更		
	35.6.8 1/2 AVDD 電圧出力を変更, 移動		
	35.7 電源電圧立ち上がり傾き特性 注意2 を追加		
	35.8.3 容量分割方式を変更, 注2 を変更		
35.12 モード引き込み時のタイミング・スペック を変更			
Rev. 1.11	3線シリアルI/O、3線シリアルを簡易SPIに変更		全般
	CSIを簡易SPIに変更		
	IICAのウェイトをクロック・ストレッチに変更		
	1.1 特徴 注を追加	第1章 概説	
	1.2 型名一覧 表1-1 発注型名一覧を変更		
	4. 4. 4 入出力バッファによる異電位 (1.8V系, 2.5V系) 対応 注を追加	第4章 ポート機能	
	注を追加	第17章 シリアル・アレイ・ユニット	
	31. 1 80ピン製品 図を追加	第31章 外形図	
	31. 2 100ピン製品 図を追加		
Rev. 1.20	図8 - 8 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(3/3) 説明を追加	第8章 リアルタイム・クロック2	
	8.4.3 リアルタイム・クロック2のカウンタ読み出し 説明を追加		
	図8 - 23 リアルタイム・クロック2の読み出し手順 (アラーム割り込み機能使用時) 図を追加		
	8.4.4 リアルタイム・クロック2のカウンタ書き込み 説明を追加		

(12/12)

版数	内容	適用箇所
Rev. 1.20	図8 - 24 リアルタイム・クロック2の書き込み手順 備考を変更	第8章 リアルタイム・クロック2
	図8 - 25 リアルタイム・クロック2の書き込み手順（アラーム割り込み機能使用时） 図を追加	
	20.5.1 DTCのコントロール・データおよびベクタ・テーブルの設定 説明を変更	第20章 データ・トランスファ・コントローラ(DTC)
	35.3.2 電源電流特性 (TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, VSS = 0 V) (1/2) 注を変更, 追加	第35章 電気的特性(A: TA = -40 ~ +85°C)
	35.3.2 電源電流特性 (TA = -40 ~ +85°C, 1.8 V ≤ AVDD ≤ VDD ≤ 3.6 V, VSS = 0 V) (2/2) 注を変更, 追加および備考を変更	
	36.1 80ピン製品図を変更	第36章 外形図
	36.2 100ピン製品図を変更	
Rev. 1.30	図1 - 1 RL78/L1Aの型名とメモリ・サイズ・パッケージ 説明を変更	第1章 概説
	表1 - 1 発注型名一覧 説明を変更	
	28.1 安全機能の概要 説明を変更	第28章 安全機能
	28.3.2 CRC演算機能(汎用CRC) 説明を変更	
	28.3.4 RAMガード機能 説明を変更	
	28.3.5 SFRガード機能 説明を変更	
	31.8.3 データ・フラッシュへのアクセス手順 注意4を追加	

RL78/L1A ユーザーズマニュアル
ハードウェア編

発行年月日 2015年9月30日 Rev.0.01
2025年1月31日 Rev.1.31

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RL78/L1A