

RL78/L1C

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

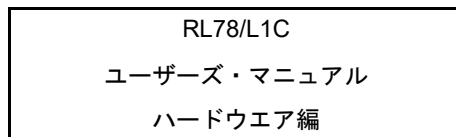
このマニュアルの使い方

対象者 このマニュアルはRL78/L1Cの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

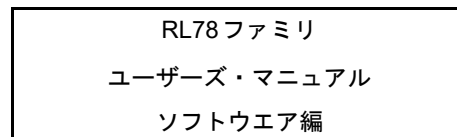
- 80ピン： R5F110Mx, R5F111Mx (x = E, F, G, H, J)
- 85ピン： R5F110Nx, R5F111Nx (x = E, F, G, H, J)
- 100ピン： R5F110Px, R5F111Px (x = E, F, G, H, J)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/L1Cのマニュアルは、このマニュアルとソフトウェア編(RL78ファミリ共通)の2冊に分かれています。



- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性



- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

□ RL78/L1Cマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015J)を参照してください。

凡例 データ表記の重み： 左が上位桁、右が下位桁

アクティブ・ロウの表記：xxx (端子、信号名称に上線)

注： 本文中につけた注の説明

注意： 気をつけて読んでいただきたい内容

備考： 本文の補足説明

数の表記： 2進数...xxxxまたはxxxxB

10進数...xxxx

16進数...xxxxH

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/L1C ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0409E
RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	R20UT4025J	R20UT4025E
E1, E20 エミュレータ ユーザーズマニュアル	R20UT0398J	R20UT0398E
E2 エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2 Lite エミュレータ ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	R20UT4066J	R20UT4066E
ルネサスフラッシュ開発ツールキット ユーザーズマニュアル	R20UT0508J	R20UT0508E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78 ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

目次

1.	概説	1
1.1	特徴	1
1.2	型名一覧	5
1.3	端子接続図 (Top View)	7
1.3.1	80ピン製品 (USB搭載製品)	7
1.3.2	80ピン製品 (USB非搭載製品)	8
1.3.3	85ピン製品 (USB搭載製品)	9
1.3.4	85ピン製品 (USB非搭載製品)	10
1.3.5	100ピン製品 (USB搭載製品)	11
1.3.6	100ピン製品 (USB非搭載製品)	12
1.4	端子名称	13
1.5	ブロック図	14
1.5.1	80/85ピン製品 (USB搭載製品)	14
1.5.2	80/85ピン製品 (USB非搭載製品)	15
1.5.3	100ピン製品 (USB搭載製品)	16
1.5.4	100ピン製品 (USB非搭載製品)	17
1.6	機能概要	18
2.	端子機能	22
2.1	ポート機能	22
2.1.1	80/85ピン製品 (USB搭載製品)	23
2.1.2	80/85ピン製品 (USB非搭載製品)	26
2.1.3	100ピン製品 (USB搭載製品)	29
2.1.4	100ピン製品 (USB非搭載製品)	32
2.2	ポート以外の機能	35
2.2.1	製品別の搭載機能	35
2.2.2	機能説明	40
2.3	未使用端子の処理	42
2.4	端子ブロック図	43
3.	CPUアーキテクチャ	58
3.1	メモリ空間	58
3.1.1	内部プログラム・メモリ空間	67
3.1.2	ミラー領域	70
3.1.3	内部データ・メモリ空間	72
3.1.4	特殊機能レジスタ (SFR : Special Function Register) 領域	73
3.1.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	73
3.1.6	データ・メモリ・アドレッシング	74
3.2	プロセッサ・レジスタ	75
3.2.1	制御レジスタ	75
3.2.2	汎用レジスタ	78
3.2.3	ES, CSレジスタ	79
3.2.4	特殊機能レジスタ (SFR : Special Function Register)	80
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	85
3.3	命令アドレスのアドレッシング	101

3.3.1	レラティブ・アドレッシング	101
3.3.2	イミディエイト・アドレッシング	101
3.3.3	テーブル・インダイレクト・アドレッシング	102
3.3.4	レジスタ・ダイレクト・アドレッシング	103
3.4	処理データ・アドレスに対するアドレッシング	104
3.4.1	インプライド・アドレッシング	104
3.4.2	レジスタ・アドレッシング	104
3.4.3	ダイレクト・アドレッシング	105
3.4.4	ショート・ダイレクト・アドレッシング	106
3.4.5	SFRアドレッシング	107
3.4.6	レジスタ・インダイレクト・アドレッシング	108
3.4.7	ベースト・アドレッシング	109
3.4.8	ベースト・インデクスト・アドレッシング	112
3.4.9	スタック・アドレッシング	113
4.	ポート機能	116
4.1	ポートの機能	116
4.2	ポートの構成	116
4.2.1	ポート0	117
4.2.2	ポート1	117
4.2.3	ポート2	118
4.2.4	ポート3	118
4.2.5	ポート4	119
4.2.6	ポート5	119
4.2.7	ポート6	119
4.2.8	ポート7	120
4.2.9	ポート8	120
4.2.10	ポート12	120
4.2.11	ポート13	121
4.2.12	ポート14	121
4.2.13	ポート15	122
4.3	ポート機能を制御するレジスタ	123
4.3.1	ポート・モード・レジスタ (PMxx)	128
4.3.2	ポート・レジスタ (Pxx)	129
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	130
4.3.4	ポート入力モード・レジスタ (PIMxx)	131
4.3.5	ポート出力モード・レジスタ (POMxx)	132
4.3.6	ポート・モード・コントロール・レジスタ (PMCxx)	133
4.3.7	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	134
4.3.8	周辺I/Oリダイレクション・レジスタ (PIOR)	135
4.3.9	LCDポート・ファンクション・レジスタ 0-6 (PFSEG0-PFSEG6)	136
4.3.10	LCD入力切り替え制御レジスタ (ISCLCD)	138
4.4	ポート機能の動作	139
4.4.1	入出力ポートへの書き込み	139
4.4.2	入出力ポートからの読み出し	139
4.4.3	入出力ポートでの演算	139
4.4.4	入出力バッファによる異電位(1.8 V系, 2.5 V系)対応	140
4.5	兼用機能使用時のレジスタ設定	143
4.5.1	兼用機能使用時の基本的な考え方	143

4.5.2	出力機能を使用しない兼用機能のレジスタ設定	144
4.5.3	使用するポート機能および兼用機能のレジスタ設定例	146
4.5.4	SEGxx端子兼用ポートの動作	156
4.5.5	VL3, CAPL, CAPH端子兼用ポートの動作	158
4.6	ポート機能使用時の注意事項	160
4.6.1	ポート・レジスタ n (Pn) に対する1ビット・メモリ操作命令に関する注意事項	160
4.6.2	端子設定に関する注意事項	161
5.	クロック発生回路	162
5.1	クロック発生回路の機能	162
5.2	クロック発生回路の構成	165
5.3	クロック発生回路を制御するレジスタ	168
5.3.1	クロック動作モード制御レジスタ (CMC)	169
5.3.2	システム・クロック制御レジスタ (CKC)	171
5.3.3	クロック動作ステータス制御レジスタ (CSC)	173
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	174
5.3.5	発振安定時間選択レジスタ (OSTS)	176
5.3.6	周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2)	178
5.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC)	182
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	183
5.3.9	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	184
5.3.10	PLL制御レジスタ (DSCCTL)	185
5.3.11	メイン・クロック制御レジスタ (MCKC)	187
5.3.12	USBクロック選択レジスタ (UCKSEL)	188
5.4	システム・クロック発振回路	189
5.4.1	X1発振回路	189
5.4.2	XT1発振回路	189
5.4.3	高速オンチップ・オシレータ	193
5.4.4	低速オンチップ・オシレータ	193
5.4.5	PLL (Phase Locked Loop)	193
5.5	クロック発生回路の動作	194
5.6	クロックの制御	196
5.6.1	高速オンチップ・オシレータの設定例	196
5.6.2	X1発振回路の設定例	198
5.6.3	XT1発振回路の設定例	199
5.6.4	PLL回路の設定例	200
5.6.5	CPUクロック状態移行図	202
5.6.6	CPUクロックの移行前の条件と移行後の処理	216
5.6.7	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	219
5.6.8	クロック発振停止前の条件	220
5.7	発振子と発振回路定数	221
6.	タイマ・アレイ・ユニット	224
6.1	タイマ・アレイ・ユニットの機能	225
6.1.1	単独チャンネル動作機能	225
6.1.2	複数チャンネル連動動作機能	226
6.1.3	8ビット・タイマ動作機能(チャンネル1, 3のみ)	228
6.1.4	LIN-bus対応機能(チャンネル7のみ)	229
6.2	タイマ・アレイ・ユニットの構成	230

6.2.1	タイマ・カウンタ・レジスタ mn (TCRmn)	236
6.2.2	タイマ・データ・レジスタ mn (TDRmn)	238
6.3	タイマ・アレイ・ユニットを制御するレジスタ	239
6.3.1	周辺イネーブル・レジスタ 0 (PER0)	240
6.3.2	タイマ・クロック選択レジスタ m (TPSm)	241
6.3.3	タイマ・モード・レジスタ mn (TMRmn)	244
6.3.4	タイマ・ステータス・レジスタ mn (TSRmn)	249
6.3.5	タイマ・チャンネル許可ステータス・レジスタ m (TEm)	250
6.3.6	タイマ・チャンネル開始レジスタ m (TSM)	251
6.3.7	タイマ・チャンネル停止レジスタ m (TTm)	253
6.3.8	タイマ入力選択レジスタ 0 (TIS0)	254
6.3.9	タイマ出力選択レジスタ (TOS)	255
6.3.10	タイマ出力許可レジスタ m (TOEm)	256
6.3.11	タイマ出力レジスタ m (TOm)	257
6.3.12	タイマ出力レベル・レジスタ m (TOLm)	258
6.3.13	タイマ出力モード・レジスタ m (TOMm)	259
6.3.14	入力切り替え制御レジスタ (ISC)	260
6.3.15	ノイズ・フィルタ許可レジスタ 1 (NFEN1)	261
6.3.16	タイマ入出力端子のポート機能を制御するレジスタ	263
6.4	タイマ・アレイ・ユニットの基本ルール	264
6.4.1	複数チャンネル連動動作機能の基本ルール	264
6.4.2	8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)	266
6.5	カウンタの動作	267
6.5.1	カウント・クロック (ftCLK)	267
6.5.2	カウンタのスタート・タイミング	269
6.5.3	カウンタの動作	270
6.6	チャンネル出力 (TOmn 端子) の制御	275
6.6.1	TOmn 端子の出力回路の構成	275
6.6.2	TOmn 端子の出力設定	276
6.6.3	チャンネル出力操作時の注意事項	277
6.6.4	TOmn ビットの一括操作	282
6.6.5	カウント動作開始時のタイマ割り込みと TOmn 端子出力について	283
6.7	タイマ入力 (TImn) の制御	284
6.7.1	TImn の入力回路構成	284
6.7.2	ノイズ・フィルタ	284
6.7.3	チャンネル入力操作時の注意事項	285
6.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	286
6.8.1	インターバル・タイマ／方形波出力としての動作	286
6.8.2	外部イベント・カウンタとしての動作	291
6.8.3	入力パルス間隔測定としての動作	295
6.8.4	入力信号のハイ／ロウ・レベル幅測定としての動作	299
6.8.5	ディレイ・カウンタとしての動作	303
6.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	307
6.9.1	ワンショット・パルス出力機能としての動作	307
6.9.2	PWM 機能としての動作	314
6.9.3	多重 PWM 出力機能としての動作	321
6.9.4	リモコン出力機能	329
6.10	タイマ・アレイ・ユニット使用時の注意事項	332
6.10.1	タイマ出力使用時の注意事項	332

7.	16ビット・タイマKB20, KB21, KB22	333
7.1	16ビット・タイマKB20, KB21, KB22の機能	333
7.2	16ビット・タイマKB20, KB21, KB22の構成	335
7.3	16ビット・タイマKB20, KB21, KB22を制御するレジスタ	339
7.3.1	周辺イネーブル・レジスタ1 (PER1)	340
7.3.2	周辺イネーブル・レジスタ2 (PER2)	341
7.3.3	16ビット・タイマKB2・カウントクロック分周選択レジスタn (TKBPSCSn)	342
7.3.4	16ビット・タイマKB2動作制御レジスタn0 (TKBCTLn0)	344
7.3.5	16ビット・タイマKB2動作制御レジスタn1 (TKBCTLn1)	346
7.3.6	16ビット・タイマKB2出力制御レジスタn0 (TKBIOcn0)	348
7.3.7	16ビット・タイマKB2出力制御レジスタn1 (TKBIOcn1)	349
7.3.8	16ビット・タイマKB2フラグ・レジスタn (TKBFLGn)	350
7.3.9	16ビット・タイマKB2トリガ・レジスタn (TKBTRGn)	351
7.3.10	16ビット・タイマKB2フラグ・クリア・トリガ・レジスタn (TKBCLRn)	352
7.3.11	16ビット・タイマKB2ディザリング数レジスタn0, n1 (TKBDNRn0, TKBDNRn1)	353
7.3.12	16ビット・タイマKB2コンペア1L & ディザリング数レジスタn0 (TKBCRLDn0)	354
7.3.13	16ビット・タイマKB2コンペア1L & ディザリング数レジスタn1 (TKBCRLDn1)	354
7.3.14	16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタn0, n1 (TKBSIRn0, TKBSIRn1)	355
7.3.15	16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタn0, n1 (TKBSSRn0, TKBSSRn1)	355
7.3.16	16ビット・タイマKB2最大周波数リミット設定レジスタn (TKBMFRn)	356
7.3.17	強制出力停止機能制御レジスタ0p (TKBPACTL0p)	357
7.3.18	強制出力停止機能制御レジスタ1p (TKBPACTL1p)	360
7.3.19	強制出力停止機能制御レジスタ2p (TKBPACTL2p)	363
7.3.20	強制出力停止機能制御レジスタn2 (TKBPACTLn2)	366
7.3.21	強制出力停止機能フラグ・レジスタn (TKBPAFLGn)	367
7.3.22	強制出力停止機能1開始トリガ・レジスタn (TKBPAHFSn)	368
7.3.23	強制出力停止機能解除トリガ・レジスタn (TKBPAHFTn)	369
7.3.24	ポート・モード・レジスタ7 (PM7)	370
7.4	16ビット・タイマKB20, KB21, KB22の動作	371
7.4.1	カウンタ基本動作	371
7.4.2	デフォルトレベルとアクティブレベル	372
7.4.3	動作停止と動作開始	376
7.4.4	一斉書き込み動作	379
7.4.5	単体動作モード (TKBCRn0による周期制御)	380
7.4.6	単体動作モード (外部トリガ入力による周期制御)	386
7.4.7	同時スタート&ストップ・モード	393
7.4.8	同時スタート&クリア・モード	402
7.4.9	インターリーブPFC (power factor correction)出力モード	410
7.5	16ビット・タイマKB20, KB21, KB22のオプション機能	423
7.5.1	トリガ出力機能	424
7.5.2	PWM出力ディザリング機能	425
7.5.3	PWM出力ソフト・スタート機能	429
7.5.4	最大周波数リミット機能	432
7.6	強制出力停止機能	434
7.6.1	強制出力停止機能1と強制出力停止機能2	435
7.7	強制出力停止機能1の動作説明	436
7.7.1	強制出力停止機能1の入出力設定	436

7.7.2	強制出力停止機能1の基本動作	438
7.7.3	強制出力停止機能1使用時の注意事項	442
7.8	強制出力停止機能2の動作説明	443
7.8.1	強制出力停止機能2の入出力設定	443
7.8.2	強制出力停止機能2の基本動作	445
7.9	使用上の注意事項	446
8.	リアルタイム・クロック2	448
8.1	リアルタイム・クロック2の機能	448
8.2	リアルタイム・クロック2の構成	448
8.3	リアルタイム・クロック2を制御するレジスタ	450
8.3.1	周辺イネーブル・レジスタ0 (PER0)	451
8.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	452
8.3.3	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)	453
8.3.4	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)	455
8.3.5	秒カウント・レジスタ (SEC)	458
8.3.6	分カウント・レジスタ (MIN)	458
8.3.7	時カウント・レジスタ (HOUR)	459
8.3.8	日カウント・レジスタ (DAY)	461
8.3.9	曜日カウント・レジスタ (WEEK)	462
8.3.10	月カウント・レジスタ (MONTH)	463
8.3.11	年カウント・レジスタ (YEAR)	463
8.3.12	時計誤差補正レジスタ (SUBCUD)	464
8.3.13	アラーム分レジスタ (ALARMWMM)	467
8.3.14	アラーム時レジスタ (ALARMWMM)	467
8.3.15	アラーム曜日レジスタ (ALARMWWW)	468
8.4	リアルタイム・クロック2の動作	469
8.4.1	リアルタイム・クロック2の動作開始	469
8.4.2	動作開始後のHALT/STOPモードへの移行	470
8.4.3	リアルタイム・クロック2のカウンタ読み出し	471
8.4.4	リアルタイム・クロック2のカウンタ書き込み	473
8.4.5	リアルタイム・クロック2のアラーム設定	475
8.4.6	リアルタイム・クロック2の1 Hz出力	476
8.4.7	時計誤差補正レジスタの設定手順	477
8.4.8	リアルタイム・クロック2の時計誤差補正例	478
9.	12ビット・インターバル・タイマ	480
9.1	12ビット・インターバル・タイマの機能	480
9.2	12ビット・インターバル・タイマの構成	480
9.3	12ビット・インターバル・タイマを制御するレジスタ	480
9.3.1	周辺イネーブル・レジスタ1 (PER1)	481
9.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	482
9.3.3	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)	483
9.4	12ビット・インターバル・タイマの動作	484
9.4.1	12ビット・インターバル・タイマの動作タイミング	484
9.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行	485

10.	クロック出力／ブザー出力制御回路	486
10.1	クロック出力／ブザー出力制御回路の機能	486
10.2	クロック出力／ブザー出力制御回路の構成	488
10.3	クロック出力／ブザー出力制御回路を制御するレジスタ	488
10.3.1	クロック出力選択レジスタ n (CKSn)	488
10.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	490
10.4	クロック出力／ブザー出力制御回路の動作	491
10.4.1	出力端子の動作	491
10.5	クロック出力／ブザー出力制御回路の注意事項	491
11.	ウォッチドッグ・タイマ	492
11.1	ウォッチドッグ・タイマの機能	492
11.2	ウォッチドッグ・タイマの構成	493
11.3	ウォッチドッグ・タイマを制御するレジスタ	494
11.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	494
11.4	ウォッチドッグ・タイマの動作	495
11.4.1	ウォッチドッグ・タイマの動作制御	495
11.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	496
11.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	498
11.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	500
12.	A/Dコンバータ	501
12.1	A/Dコンバータの機能	501
12.2	A/Dコンバータの構成	503
12.3	A/Dコンバータを制御するレジスタ	505
12.3.1	周辺イネーブル・レジスタ 0 (PER0)	506
12.3.2	A/Dコンバータ・モード・レジスタ 0 (ADM0)	507
12.3.3	A/Dコンバータ・モード・レジスタ 1 (ADM1)	515
12.3.4	A/Dコンバータ・モード・レジスタ 2 (ADM2)	516
12.3.5	12ビットA/D変換結果レジスタ (ADCR)	519
12.3.6	8ビットA/D変換結果レジスタ (ADCRH)	520
12.3.7	アナログ入力チャンネル指定レジスタ (ADS)	521
12.3.8	変換結果比較上限値設定レジスタ (ADUL)	523
12.3.9	変換結果比較下限値設定レジスタ (ADLL)	523
12.3.10	A/Dテスト・レジスタ (ADTES)	524
12.3.11	アナログ入力端子のポート機能を制御するレジスタ	525
12.4	A/Dコンバータの変換動作	526
12.5	入力電圧と変換結果	528
12.6	A/Dコンバータの動作モード	529
12.6.1	ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)	529
12.6.2	ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)	530
12.6.3	ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)	531
12.6.4	ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)	532
12.6.5	ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)	533
12.6.6	ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)	534
12.6.7	ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)	535
12.6.8	ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)	536

12.6.9	ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)	537
12.6.10	ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)	538
12.6.11	ハードウェア・トリガ・ウェイト・モード(スキャン・モード, 連続変換モード)	539
12.6.12	ハードウェア・トリガ・ウェイト・モード(スキャン・モード, ワンショット変換モード)	540
12.7	A/Dコンバータの設定フロー・チャート	541
12.7.1	ソフトウェア・トリガ・モード設定	542
12.7.2	ハードウェア・トリガ・ノーウェイト・モード設定	543
12.7.3	ハードウェア・トリガ・ウェイト・モード設定	544
12.7.4	温度センサ出力電圧/内部基準電圧を選択時の設定	545
12.7.5	テスト・モード設定	546
12.8	SNOOZEモード機能	547
12.9	A/Dコンバータ特性表の読み方	551
12.10	A/Dコンバータの注意事項	554
13.	D/Aコンバータ	558
13.1	D/Aコンバータの機能	558
13.2	D/Aコンバータの構成	559
13.3	D/Aコンバータを制御するレジスタ	560
13.3.1	ポート・モード・コントロール・レジスタ4 (PMC4)	560
13.3.2	周辺イネーブル・レジスタ1 (PER1)	561
13.3.3	D/Aコンバータ・モード・レジスタ (DAM)	562
13.3.4	D/A変換値設定レジスタ <i>i</i> (DACSi) (<i>i</i> = 0, 1)	562
13.3.5	ポート・モード・レジスタ4 (PM4)	563
13.4	D/Aコンバータの動作	564
13.4.1	通常モード時の動作	564
13.4.2	リアルタイム出力モード時の動作	565
13.4.3	D/A変換値の出力タイミング	566
13.5	D/Aコンバータ使用上の注意事項	567
14.	コンパレータ	568
14.1	コンパレータの機能	568
14.2	コンパレータの構成	569
14.3	レジスタの説明	570
14.3.1	周辺イネーブル・レジスタ1 (PER1)	570
14.3.2	コンパレータモード設定レジスタ (COMPMDR)	571
14.3.3	コンパレータフィルタ制御レジスタ (COMPFIR)	573
14.3.4	コンパレータ出力制御レジスタ (COMPOCR)	575
14.3.5	ポート・モード・コントロール・レジスタ4 (PMC4)	576
14.3.6	ポート・モード・レジスタ1 (PM1)	576
14.3.7	ポート・モード・レジスタ4 (PM4)	577
14.4	動作説明	578
14.4.1	コンパレータ <i>i</i> デジタルフィルタ (<i>i</i> = 0, 1)	581
14.4.2	コンパレータ <i>i</i> 割り込み (<i>i</i> = 0, 1)	581
14.4.3	イベントリンクコントローラ (ELC)へのイベント信号出力	581
14.4.4	コンパレータ <i>i</i> 出力 (<i>i</i> = 0, 1)	583
14.4.5	コンパレータクロック停止/供給	583

15.	シリアル・アレイ・ユニット	584
15.1	シリアル・アレイ・ユニットの機能	585
15.1.1	簡易SPI (CSI00, CSI10, CSI20, CSI30)	585
15.1.2	UART (UART0-UART3)	586
15.1.3	簡易I ² C (IIC00, IIC10, IIC20, IIC30)	587
15.2	シリアル・アレイ・ユニットの構成	588
15.2.1	シフト・レジスタ	592
15.2.2	シリアル・データ・レジスタ mn (SDRmn)の下位8/9ビット	592
15.3	シリアル・アレイ・ユニットを制御するレジスタ	594
15.3.1	周辺イネーブル・レジスタ0 (PER0)	595
15.3.2	シリアル・クロック選択レジスタ m (SPSm)	596
15.3.3	シリアル・モード・レジスタ mn (SMRmn)	597
15.3.4	シリアル通信動作設定レジスタ mn (SCRmn)	598
15.3.5	シリアル・データ・レジスタ mn (SDRmn)	601
15.3.6	シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)	603
15.3.7	シリアル・ステータス・レジスタ mn (SSRmn)	604
15.3.8	シリアル・チャンネル開始レジスタ m (SSm)	606
15.3.9	シリアル・チャンネル停止レジスタ m (STm)	607
15.3.10	シリアル・チャンネル許可ステータス・レジスタ m (SEm)	608
15.3.11	シリアル出力許可レジスタ m (SOEm)	609
15.3.12	シリアル出力レジスタ m (SOM)	610
15.3.13	シリアル出力レベル・レジスタ m (SOLm)	611
15.3.14	シリアル・スタンバイ・コントロール・レジスタ m (SSCm)	613
15.3.15	入力切り替え制御レジスタ (ISC)	614
15.3.16	ノイズ・フィルタ許可レジスタ0 (NFEN0)	615
15.3.17	シリアル入出力端子のポート機能を制御するレジスタ	616
15.4	動作停止モード	617
15.4.1	ユニット単位で動作停止とする場合	617
15.4.2	チャンネルごとに動作停止とする場合	618
15.5	簡易SPI (CSI00, CSI10, CSI20, CSI30)通信の動作	619
15.5.1	マスタ送信	621
15.5.2	マスタ受信	629
15.5.3	マスタ送受信	637
15.5.4	スレーブ送信	645
15.5.5	スレーブ受信	653
15.5.6	スレーブ送受信	659
15.5.7	SNOOZEモード機能	667
15.5.8	転送クロック周波数の算出	671
15.5.9	簡易SPI (CSI00, CSI10, CSI20, CSI30)通信時におけるエラー発生時の処理手順	673
15.6	UART (UART0-UART3)通信の動作	674
15.6.1	UART送信	676
15.6.2	UART受信	685
15.6.3	SNOOZEモード機能	692
15.6.4	ボー・レートの算出	700
15.6.5	UART (UART0-UART3)通信時におけるエラー発生時の処理手順	704
15.7	LIN通信の動作	705
15.7.1	LIN送信	705
15.7.2	LIN受信	708
15.8	簡易I ² C (IIC00, IIC10, IIC20, IIC30)通信の動作	713

15.8.1	アドレス・フィールド送信	715
15.8.2	データ送信	720
15.8.3	データ受信	723
15.8.4	ストップ・コンディション発生	727
15.8.5	転送レート of 算出	728
15.8.6	簡易 I ² C (IIC00, IIC10, IIC20, IIC30) 通信時におけるエラー発生時の処理手順	730
16.	シリアル・インタフェース IICA	731
16.1	シリアル・インタフェース IICA の機能	731
16.2	シリアル・インタフェース IICA の構成	734
16.3	シリアル・インタフェース IICA を制御するレジスタ	737
16.3.1	周辺イネーブル・レジスタ 0 (PER0)	738
16.3.2	IICA コントロール・レジスタ n0 (IICCTLn0)	738
16.3.3	IICA ステータス・レジスタ n (IICSn)	743
16.3.4	IICA フラグ・レジスタ n (IICFn)	745
16.3.5	IICA コントロール・レジスタ n1 (IICCTLn1)	747
16.3.6	IICA ロー・レベル幅設定レジスタ n (IICWLn)	749
16.3.7	IICA ハイ・レベル幅設定レジスタ n (IICWHn)	749
16.3.8	ポート・モード・レジスタ 6 (PM6)	750
16.4	I ² C バス・モードの機能	751
16.4.1	端子構成	751
16.4.2	IICWLn, IICWHn レジスタによる転送クロック設定方法	752
16.5	I ² C バスの定義および制御方法	754
16.5.1	スタート・コンディション	754
16.5.2	アドレス	755
16.5.3	転送方向指定	755
16.5.4	アクノリッジ (ACK)	756
16.5.5	ストップ・コンディション	757
16.5.6	クロック・ストレッチ	758
16.5.7	クロック・ストレッチ解除方法	760
16.5.8	割り込み要求 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御	761
16.5.9	アドレスの一致検出方法	762
16.5.10	エラーの検出	762
16.5.11	拡張コード	763
16.5.12	アービトレーション	764
16.5.13	ウエイク・アップ機能	766
16.5.14	通信予約	769
16.5.15	その他の注意事項	773
16.5.16	通信動作	774
16.5.17	I ² C 割り込み要求 (INTIICAn) の発生タイミング	782
16.6	タイミング・チャート	803
17.	USB2.0 ファンクション・モジュール (USB)	818
17.1	USB2.0 ファンクション・モジュールの機能	818
17.2	USB2.0 ファンクション・モジュールの構成	819
17.3	USB2.0 ファンクション・モジュールで使用するレジスタの説明	821
17.3.1	システム・コンフィグレーション・コントロール・レジスタ (SYSCFG)	823
17.3.2	システム・コンフィグレーション・ステータス・レジスタ 0 (SYSSTS0)	824
17.3.3	デバイス・ステート・コントロール・レジスタ 0 (DVSTCTR0)	825

17.3.4	DTCn-FIFOピン・コンフィグレーション・レジスタ (DTCnPCFG) (n = 0, 1)	826
17.3.5	CFIFOポート・レジスタ (CFIFOM) DnFIFOポート・レジスタ (DnFIFOM) (n = 0, 1)	827
17.3.6	DTC転送用DnFIFOポート・レジスタ (DnFIFOD00) (n = 0, 1)	829
17.3.7	CFIFOポート選択レジスタ (CFIFOSEL) DnFIFOポート選択レジスタ (DnFIFOSEL) (n = 0, 1)	830
17.3.8	CFIFOポート・コントロール・レジスタ (CFIFOCTR) DnFIFOポート・コントロール・レジスタ (DnFIFOCTR) (n = 0, 1)	834
17.3.9	割り込み許可レジスタ0 (INTENB0)	838
17.3.10	割り込み許可レジスタ1 (INTENB1)	839
17.3.11	BRDY割り込み許可レジスタ (BRDYENB)	839
17.3.12	NRDY割り込み許可レジスタ (NRDYENB)	840
17.3.13	BEMP割り込み許可レジスタ (BEMPENB)	840
17.3.14	SOF出力コンフィグレーション・レジスタ (SOFCFG)	841
17.3.15	割り込みステータス・レジスタ0 (INTSTS0)	842
17.3.16	割り込みステータス・レジスタ1 (INTSTS1)	845
17.3.17	BRDY割り込みステータス・レジスタ (BRDYSTS)	846
17.3.18	NRDY割り込みステータス・レジスタ (NRDYSTS)	847
17.3.19	BEMP割り込みステータス・レジスタ (BEMPSTS)	847
17.3.20	フレーム・ナンバー・レジスタ (FRMNUM)	848
17.3.21	USBアドレス・レジスタ (USBADDR)	848
17.3.22	USBリクエスト・タイプ・レジスタ (USBREQ)	848
17.3.23	USBリクエスト・バリュー・レジスタ (USBVAL)	849
17.3.24	USBリクエスト・インデックス・レジスタ (USBINDX)	849
17.3.25	USBリクエスト・レングス・レジスタ (USBLENG)	849
17.3.26	DCPコンフィグレーション・レジスタ (DCPCFG)	850
17.3.27	DCPマックス・パケット・サイズ・レジスタ (DCPMAXP)	850
17.3.28	DCPコントロール・レジスタ (DCPCTR)	851
17.3.29	パイプ・ウィンドウ選択レジスタ (PIPESEL)	853
17.3.30	パイプ・コンフィグレーション・レジスタ (PIPECFG)	854
17.3.31	パイプ・マックス・パケット・サイズ・レジスタ (PIPEMAXP)	856
17.3.32	パイプ _n コントロール・レジスタ (PIPE _n CTR) (n = 4~7)	857
17.3.33	パイプ _n トランザクション・カウンタ・イネーブル・レジスタ (PIPE _n TRE) (n = 4, 5)	865
17.3.34	パイプ _n トランザクション・カウンタ・レジスタ (PIPE _n TRN) (n = 4, 5)	866
17.3.35	BCコントロール・レジスタ0 (USBBCCTRL0)	867
17.3.36	BCオプション・コントロール・レジスタ0 (USBBCOPT0)	869
17.3.37	USBクロック選択レジスタ (UCKSEL)	871
17.3.38	USBモジュール制御レジスタ (USBMC)	872
17.4	動作説明	873
17.4.1	システム制御	873
17.4.1.1	動作開始	873
17.4.1.2	USBデータ・バス抵抗制御	874
17.4.2	割り込み要因	876
17.4.3	割り込みの説明	879
17.4.3.1	BRDY割り込み	879
17.4.3.2	NRDY割り込み	882
17.4.3.3	BEMP割り込み	884
17.4.3.4	デバイス・ステート遷移割り込み	886

17.4.3.5	コントロール転送ステージ遷移割り込み	887
17.4.3.6	フレーム番号更新割り込み	888
17.4.3.7	VBUS割り込み	888
17.4.3.8	レジューム割り込み	888
17.4.3.9	PortableDevice 検知割り込み	888
17.4.3.10	D0FIFO/D1FIFOのDTC転送完了割り込み	889
17.4.4	パイプ・コントロール	890
17.4.4.1	パイプ・コントロール・レジスタの切り替え手順	891
17.4.4.2	転送タイプ	891
17.4.4.3	エンド・ポイント番号	892
17.4.4.4	マックス・パケット・サイズ設定	892
17.4.4.5	トランザクション・カウンタ (パイプ4, 5読み出し方向)	892
17.4.4.6	応答PID	893
17.4.4.7	データPIDシーケンス・ビット	893
17.4.4.8	応答PID = NAK機能	894
17.4.4.9	自動応答モード	894
17.4.4.10	OUT-NAKモード	894
17.4.4.11	Null自動応答モード	894
17.4.5	FIFOバッファ・メモリ	895
17.4.5.1	FIFOバッファ・メモリ	895
17.4.5.2	FIFOポートの機能	897
17.4.5.3	DTC転送(D0FIFO/D1FIFOポート)	898
17.4.6	コントロール転送(DCP)	901
17.4.7	バルク転送(パイプ4, 5)	902
17.4.8	インタラプト転送(パイプ6, 7)	902
17.4.9	SOF補間機能	903
17.4.10	Battery Charging 接続検知制御	904
17.4.11	Battery Charging 接続検知オプション機能	905
17.4.12	Battery Charging 検知処理	906
17.4.12.1	ファンクション・コントローラ時の処理	906
18.	LCDコントローラ/ドライバ	908
18.1	LCDコントローラ/ドライバの機能	909
18.2	LCDコントローラ/ドライバの構成	911
18.3	LCDコントローラ/ドライバを制御するレジスタ	913
18.3.1	LCDモード・レジスタ0(LCDM0)	914
18.3.2	LCDモード・レジスタ1(LCDM1)	916
18.3.3	サブシステム・クロック供給モード制御レジスタ(OSMC)	918
18.3.4	LCDクロック制御レジスタ0(LCDC0)	919
18.3.5	LCD昇圧レベル制御レジスタ(VLCD)	920
18.3.6	LCD入力切り替え制御レジスタ(ISLCD)	921
18.3.7	LCDポート・ファンクション・レジスタ0-6(PFSEG0-PFSEG6)	923
18.3.8	ポート・モード・レジスタ0-3, 5, 7, 14(PM0-PM3, PM5, PM7, PM14)	927
18.4	LCD表示データ・レジスタ	928
18.5	LCD表示レジスタの選択	932
18.5.1	Aパターン領域, Bパターン領域のデータ表示	933
18.5.2	点滅表示(Aパターン領域とBパターン領域のデータを交互に表示)	933
18.6	LCDコントローラ/ドライバの設定	934
18.7	動作停止手順	937

18.8	LCD駆動電圧VL1, VL2, VL3, VL4の供給	938
18.8.1	抵抗分割方式	938
18.8.2	内部昇圧方式	940
18.8.3	容量分割方式	941
18.9	コモン信号とセグメント信号	942
18.10	表示モード	950
18.10.1	スタティック表示例	950
18.10.2	2時分割表示例	953
18.10.3	3時分割表示例	956
18.10.4	4時分割表示例	960
18.10.5	8時分割表示例	964
19.	データトランスファコントローラ(DTC)	968
19.1	DTCの機能	969
19.2	DTCの構成	970
19.3	DTCを制御するレジスタ	971
19.3.1	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	972
19.3.2	コントロールデータの配置	973
19.3.3	ベクタテーブル	974
19.3.4	周辺イネーブル・レジスタ1(PER1)	976
19.3.5	DTC制御レジスタj(DTCCRj) (j = 0~23)	977
19.3.6	DTCブロックサイズレジスタj(DTBLSj) (j = 0~23)	978
19.3.7	DTC転送回数レジスタj(DTCCTj) (j = 0~23)	978
19.3.8	DTC転送回数リロードレジスタj(DTRLDj) (j = 0~23)	979
19.3.9	DTCソースアドレスレジスタj(DTSARj) (j = 0~23)	979
19.3.10	DTCデスティネーションアドレスレジスタj(DTDARj) (j = 0~23)	979
19.3.11	DTC起動許可レジスタi(DTCENi) (i = 0~4)	980
19.3.12	DTCベースアドレスレジスタ(DTCBAR)	983
19.4	DTCの動作	983
19.4.1	起動要因	984
19.4.2	ノーマルモード	985
19.4.3	リピートモード	988
19.4.4	チェイン転送	992
19.5	DTC使用上の注意事項	994
19.5.1	DTCレジスタおよびベクタテーブルの設定	994
19.5.2	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	994
19.5.3	DTC保留命令	995
19.5.4	データ・フラッシュ空間にアクセスする場合の動作	995
19.5.5	DTC実行クロック数	996
19.5.6	DTC応答時間	997
19.5.7	DTC起動要因	997
19.5.8	スタンバイ・モード時の動作	998
20.	イベントリンクコントローラ(ELC)	999
20.1	ELCの機能	999
20.2	ELCの構成	999
20.3	ELCを制御するレジスタ	1000
20.3.1	イベント出力先選択レジスタn(ELSELRn) (n = 00~30)	1001
20.4	ELCの動作	1008

21.	割り込み機能	1010
21.1	割り込み機能の種類	1010
21.2	割り込み要因と構成	1010
21.3	割り込み機能を制御するレジスタ	1017
21.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)	1021
21.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)	1023
21.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)	1025
21.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	1028
21.3.5	プログラム・ステータス・ワード (PSW)	1030
21.4	割り込み処理動作	1031
21.4.1	マスカブル割り込み要求の受け付け動作	1031
21.4.2	ソフトウェア割り込み要求の受け付け動作	1034
21.4.3	多重割り込み処理	1034
21.4.4	除算命令中の割り込み処理	1038
21.4.5	割り込み要求の保留	1040
22.	キー割り込み機能	1041
22.1	キー割り込みの機能	1041
22.2	キー割り込みの構成	1042
22.3	キー割り込みを制御するレジスタ	1043
22.3.1	キー・リターン・コントロール・レジスタ (KRCTL)	1043
22.3.2	キー・リターン・モード・レジスタ (KRM0)	1044
22.3.3	キー・リターン・フラグ・レジスタ (KRF)	1045
22.3.4	ポート・モード・レジスタ7 (PM7)	1045
23.	スタンバイ機能	1046
23.1	スタンバイ機能	1046
23.2	スタンバイ機能を制御するレジスタ	1047
23.3	スタンバイ機能の動作	1048
23.3.1	HALTモード	1048
23.3.2	STOPモード	1053
23.3.3	SNOOZEモード	1059
24.	リセット機能	1062
24.1	リセット動作のタイミング	1064
24.2	リセット期間中の動作状態	1066
24.3	リセット要因を確認するレジスタ	1068
24.3.1	リセット・コントロール・フラグ・レジスタ (RESF)	1068
24.3.2	パワーオン・リセット・ステータス・レジスタ (PORSR)	1071
25.	パワーオン・リセット回路	1072
25.1	パワーオン・リセット回路の機能	1072
25.2	パワーオン・リセット回路の構成	1073
25.3	パワーオン・リセット回路の動作	1073

26.	電圧検出回路	1077
26.1	電圧検出回路の機能	1077
26.2	電圧検出回路の構成	1078
26.3	電圧検出回路を制御するレジスタ	1078
26.3.1	電圧検出レジスタ (LVIM)	1079
26.3.2	電圧検出レベル・レジスタ (LVIS)	1080
26.4	電圧検出回路の動作	1083
26.4.1	リセット・モードとして使用する場合の設定	1083
26.4.2	割り込みモードとして使用する場合の設定	1085
26.4.3	割り込み&リセット・モードとして使用する場合の設定	1087
26.5	電圧検出回路の注意事項	1093
27.	安全機能	1095
27.1	安全機能の概要	1095
27.2	安全機能で使用するレジスタ	1096
27.3	安全機能の動作	1096
27.3.1	フラッシュ・メモリCRC演算機能(高速CRC)	1096
27.3.1.1	フラッシュ・メモリCRC制御レジスタ(CRC0CTL)	1097
27.3.1.2	フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)	1098
27.3.2	CRC演算機能(汎用CRC)	1100
27.3.2.1	CRC入力レジスタ(CRCIN)	1100
27.3.2.2	CRCデータ・レジスタ(CRCD)	1101
27.3.3	RAMパリティ・エラー検出機能	1102
27.3.3.1	RAMパリティ・エラー制御レジスタ(RPECTL)	1102
27.3.4	RAMガード機能	1103
27.3.4.1	不正メモリ・アクセス検出制御レジスタ(IAWCTL)	1103
27.3.5	SFRガード機能	1104
27.3.5.1	不正メモリ・アクセス検出制御レジスタ(IAWCTL)	1104
27.3.6	不正メモリ・アクセス検出機能	1105
27.3.6.1	不正メモリ・アクセス検出制御レジスタ(IAWCTL)	1106
27.3.7	周波数検出機能	1107
27.3.7.1	タイマ入力選択レジスタ0 (TIS0)	1108
27.3.8	A/Dテスト機能	1109
27.3.8.1	A/Dテスト・レジスタ(ADTES)	1111
27.3.8.2	アナログ入力チャンネル指定レジスタ(ADS)	1112
27.3.9	入出力ポートのデジタル出力信号レベル検出機能	1113
27.3.9.1	ポート・モード選択レジスタ(PMS)	1113
28.	レギュレータ	1114
28.1	レギュレータの概要	1114
29.	オプション・バイト	1115
29.1	オプション・バイトの機能	1115
29.1.1	ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)	1115
29.1.2	オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)	1116
29.2	ユーザ・オプション・バイトのフォーマット	1117
29.3	オンチップ・デバッグ・オプション・バイトのフォーマット	1122
29.4	オプション・バイトの設定	1123

30.	フラッシュ・メモリ	1124
30.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	1126
30.1.1	プログラミング環境	1128
30.1.2	通信方式	1128
30.2	外部デバイス(UART内蔵)によるシリアル・プログラミング	1130
30.2.1	プログラミング環境	1130
30.2.2	通信方式	1131
30.3	オンボード上の端子処理	1132
30.3.1	P40/TOOL0端子	1132
30.3.2	RESET端子	1132
30.3.3	ポート端子	1133
30.3.4	REGC端子	1133
30.3.5	X1, X2端子	1133
30.3.6	電源	1133
30.4	シリアル・プログラミング方法	1134
30.4.1	シリアル・プログラミング手順	1134
30.4.2	フラッシュ・メモリ・プログラミング・モード	1135
30.4.3	通信方式	1137
30.4.4	通信コマンド	1137
30.5	PG-FP6使用時の各コマンド処理時間(参考値)	1139
30.6	セルフ・プログラミング	1140
30.6.1	セルフ・プログラミング手順	1141
30.6.2	ブート・スワップ機能	1142
30.6.3	フラッシュ・シールド・ウインドウ機能	1144
30.7	セキュリティ設定	1145
30.8	データ・フラッシュ	1147
30.8.1	データ・フラッシュの概要	1147
30.8.2	データ・フラッシュを制御するレジスタ	1148
30.8.2.1	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	1148
30.8.3	データ・フラッシュへのアクセス手順	1148
31.	オンチップ・デバッグ機能	1150
31.1	E1オンチップデバッグエミュレータとの接続	1150
31.2	オンチップ・デバッグ・セキュリティ ID	1151
31.3	ユーザ資源の確保	1151
32.	10進補正(BCD)回路	1153
32.1	10進補正回路の機能	1153
32.2	10進補正回路で使用するレジスタ	1153
32.2.1	BCD補正結果レジスタ(BCDADJ)	1153
32.3	10進補正回路の動作	1154
33.	命令セットの概要	1156
33.1	凡例	1157
33.1.1	オペランドの表現形式と記述方法	1157
33.1.2	オペレーション欄の説明	1158
33.1.3	フラグ動作欄の説明	1159
33.1.4	PREFIX命令	1159
33.2	オペレーション一覧	1160

34.	電气的特性(TA = -40 ~ +85°C)	1178
34.1	絶対最大定格	1179
34.2	発振回路特性	1182
34.2.1	X1, XT1発振回路特性	1182
34.2.2	オンチップ・オシレータ特性	1183
34.2.3	PLL発振回路特性	1183
34.3	DC特性	1184
34.3.1	端子特性	1184
34.3.2	電源電流特性	1189
34.4	AC特性	1195
34.4.1	基本動作	1195
34.5	周辺機能特性	1201
34.5.1	シリアル・アレイ・ユニット	1201
34.5.2	シリアル・インタフェースIICA	1224
34.5.3	USB	1227
34.6	アナログ特性	1230
34.6.1	A/Dコンバータ特性	1230
34.6.2	温度センサ/内部基準電圧出力特性	1235
34.6.3	D/Aコンバータ	1235
34.6.4	コンパレータ	1236
34.6.5	POR回路特性	1236
34.6.6	LVD回路特性	1237
34.7	電源電圧立ち上がり傾き特性	1238
34.8	LCD特性	1239
34.8.1	外部抵抗分割方式	1239
34.8.2	内部昇圧方式	1240
34.8.3	容量分割方式	1242
34.9	RAMデータ保持特性	1243
34.10	フラッシュ・メモリ・プログラミング特性	1243
34.11	専用フラッシュ・メモリ・プログラマ通信(UART)	1243
34.12	フラッシュ・メモリ・プログラミング・モード引き込みタイミング	1244
35.	電气的特性 (G : 産業用途 TA = -40 ~ +105°C)	1245
35.1	絶対最大定格	1246
35.2	発振回路特性	1249
35.2.1	X1, XT1発振回路特性	1249
35.2.2	オンチップ・オシレータ特性	1250
35.2.3	PLL発振回路特性	1250
35.3	DC特性	1251
35.3.1	端子特性	1251
35.3.2	電源電流特性	1256
35.4	AC特性	1262
35.4.1	基本動作	1262
35.5	周辺機能特性	1267
35.5.1	シリアル・アレイ・ユニット	1267
35.5.2	シリアル・インタフェースIICA	1287
35.5.3	USB	1288
35.6	アナログ特性	1291
35.6.1	A/Dコンバータ特性	1291

35.6.2	温度センサ/内部基準電圧特性	1295
35.6.3	D/Aコンバータ	1295
35.6.4	コンパレータ	1296
35.6.5	POR回路特性	1296
35.6.6	LVD回路特性	1297
35.7	電源電圧立ち上がり傾き特性	1298
35.8	LCD特性	1299
35.8.1	外部抵抗分割方式	1299
35.8.2	内部昇圧方式	1300
35.8.3	容量分割方式	1302
35.9	RAMデータ保持特性	1303
35.10	フラッシュ・メモリ・プログラミング特性	1303
35.11	専用フラッシュ・メモリ・プログラマ通信(UART)	1304
35.12	フラッシュ・メモリ・プログラミング・モード引き込みタイミング	1304
36.	外形図	1305
36.1	80ピン製品	1305
36.2	85ピン製品	1307
36.3	100ピン製品	1308
付録A	改版履歴	1310
A.1	本版で改訂された主な箇所	1310
A.2	前版までの改版履歴	1311

第1章 概説

1.1 特徴

○超低消費電力テクノロジー

- VDD = 1.6 ~ 3.6 Vの単一電源
- HALTモード
- STOPモード
- SNOOZEモード

○RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速 (0.04167 μ s：高速オンチップ・オシレータ・クロックまたはPLLクロック 24 MHz動作時) から超低速 (30.5 μ s：サブシステム・クロック 32.768 kHz動作時) までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ \times 8 \times 4バンク
- 内蔵RAM：8 KB ~ 16 KB

○コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：64 KB ~ 256 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止，書き換え禁止 (セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

○データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：8 KB
- バックグラウンド・オペレーション (BGO)；データ・フラッシュ書き換え中に，プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回 (TYP.)
- 書き換え電圧：VDD = 1.8 ~ 3.6 V

○高速オンチップ・オシレータ

- 48 MHz / 24 MHz / 16 MHz / 12 MHz / 8 MHz / 6 MHz / 4 MHz / 3 MHz / 2 MHz / 1 MHzから選択
- 高精度±1.0% (VDD = 1.8 ~ 3.6 V, TA = -20 ~ +85°C)

○動作周囲温度

- TA = -40 ~ +85°C (A : 民生用途)
- TA = -40 ~ +105°C (G : 産業用途)

○電源管理とリセット機能

- パワーオン・リセット(POR)回路内蔵
- 電圧検出(LVD)回路内蔵(割り込み, リセットを12段階で選択)

○ODTC (データトランスファコントローラ)

- 転送モード : ノーマル転送モード, リピート転送モード, ブロック転送モード
- 起動要因 : 割り込み要因により起動 (30 ~ 33要因)
- チェーン転送機能あり

○イベント・リンク・コントローラ(ELC)

- 30 ~ 31種類のイベント信号を特定の周辺機能へリンク可能

○シリアル・インタフェース

- 簡易SPI (CSI) 注1 : 4チャンネル
- UART / UART (LIN-bus対応) : 4チャンネル
- I²C / 簡易I²C : 5チャンネル

○タイマ

- 16ビット・タイマ : 11チャンネル
- 12ビット・インターバル・タイマ : 1チャンネル
- リアルタイム・クロック2 : 1チャンネル(99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ : 1チャンネル(専用の低速オンチップ・オシレータ・クロックで動作可能)

○LCDコントローラ / ドライバ

- 内部昇圧 / 容量分割 / 外部抵抗分割を切り替え可能
- セグメント信号出力 : 44 (40)本注2 ~ 56 (52)本注2
- コモン信号出力 : 4 (8)本注2

○USB注3

- USBバージョン2.0準拠(ファンクションコントローラ)
- フル・スピード転送(12 Mbps), ロウ・スピード(1.5 Mbps)に対応
- Battery Charging Specification Revision 1.2準拠

○A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ ($V_{DD} = 1.6 \sim 3.6 \text{ V}$)
- 12ビット分解能A/Dコンバータ ($V_{DD} = 2.4 \sim 3.6 \text{ V}$)
- アナログ入力: 9~13チャンネル
- 内部基準電圧(TYP. 1.45 V)と温度センサを搭載注3

○D/Aコンバータ

- 8ビット分解能D/Aコンバータ ($V_{DD} = 1.6 \sim 3.6 \text{ V}$)
- アナログ出力: 2チャンネル
- 出力電圧: $0 \text{ V} \sim V_{DD}$
- リアルタイム出力機能を搭載

○コンパレータ

- 2チャンネル
- 動作モード: コンパレータ高速モード, コンパレータ低速モード, ウィンドウモード
- 基準電圧は外部基準電圧と内部基準電圧の選択が可能

○入出力ポート

- I/Oポート: 59~77本(N-chオープン・ドレイン入出力[6 V耐圧]: 2本)
- N-chオープン・ドレイン, TTL入力バッファ, 内蔵プルアップの切り替え可能
- キー割り込み機能内蔵
- クロック出力/ブザー出力制御回路内蔵

○その他

- 10進補正(BCD)回路内蔵

注1. 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

注2. ()内は8 com使用時の信号出力本数です。

注3. HS (高速メイン)モードのみ選択可能

備考 製品により、搭載している機能が異なります。1.6 機能概要を参照してください。

OROM, RAM容量

USB搭載

フラッシュ ROM	データ・フラッシュ	RAM	RL78/L1C		
			80ピン	85ピン	100ピン
256 KB	8 KB	16 KB注	R5F110MJ	R5F110NJ	R5F110PJ
192 KB	8 KB	16 KB注	R5F110MH	R5F110NH	R5F110PH
128 KB	8 KB	12 KB	R5F110MG	R5F110NG	R5F110PG
96 KB	8 KB	10 KB	R5F110MF	R5F110NF	R5F110PF
64 KB	8 KB	8 KB	R5F110ME	R5F110NE	R5F110PE

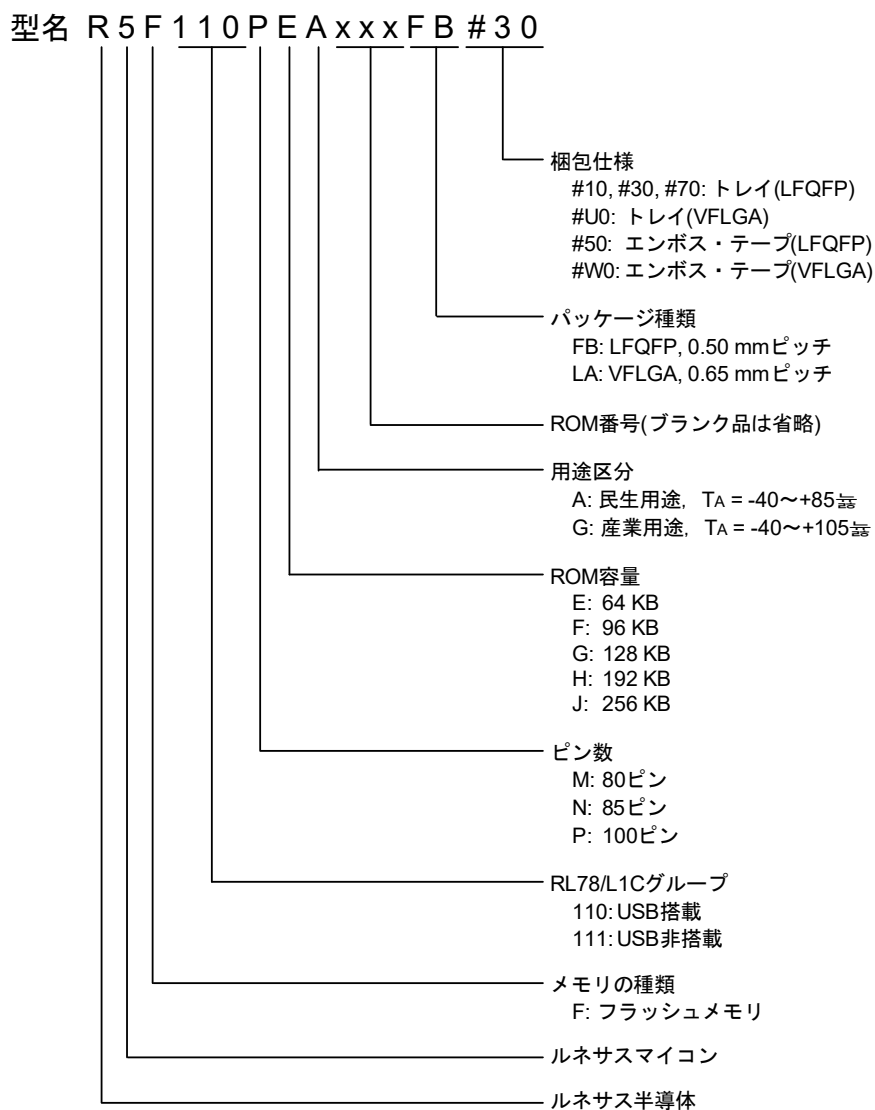
USB非搭載

フラッシュ ROM	データ・フラッシュ	RAM	RL78/L1C		
			80ピン	85ピン	100ピン
256 KB	8 KB	16 KB注	R5F111MJ	R5F111NJ	R5F111PJ
192 KB	8 KB	16 KB注	R5F111MH	R5F111NH	R5F111PH
128 KB	8 KB	12 KB	R5F111MG	R5F111NG	R5F111PG
96 KB	8 KB	10 KB	R5F111MF	R5F111NF	R5F111PF
64 KB	8 KB	8 KB	R5F111ME	R5F111NE	R5F111PE

注 セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は、約15 KB (詳細は、第3章 CPUアーキテクチャ参照)。

1.2 型名一覧

図1 - 1 RL78/L1Cの型名とメモリ・サイズ・パッケージ



注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

表 1 - 1 発注型名一覧

USB 搭載

ピン数	パッケージ	用途 区分	発注型名		ルネサスコード
			品名	梱包仕様	
80ピン	80-pin plastic LFQFP (12 × 12 mm, 0.5 mm pitch)	A	R5F110MEAFB, R5F110MFAFB, R5F110MGAFB, R5F110MHAFB, R5F110MJAFB	#10,#50,#70	PLQP0080KB-B PLQP0080KJ-A
				#30	PLQP0080KB-B
		G	R5F110MEGFB, R5F110MFGFB, R5F110MGGFB, R5F110MHGFB, R5F110MJGFB	#10,#50,#70	PLQP0080KB-B PLQP0080KJ-A
				#30	PLQP0080KB-B
85ピン	85-pin plastic VFLGA (7 × 7 mm, 0.65 mm pitch)	A	R5F110NEALA, R5F110NFALA, R5F110NGALA, R5F110NHALA, R5F110NJALA	#U0,#W0	PVLG0085JA-A
		A	R5F110PEAFB, R5F110PFAFB, R5F110PGAFB, R5F110PHAFB, R5F110PJAFB	#10,#50,#70	PLQP0100KB-B PLQP0100KP-A
				G	R5F110PEGFB, R5F110PFGFB, R5F110PGGFB, R5F110PHGFB, R5F110PJGFB
G	R5F110PEGFB, R5F110PFGFB, R5F110PGGFB, R5F110PHGFB, R5F110PJGFB	#10,#50,#70	PLQP0100KB-B PLQP0100KP-A		
		#30	PLQP0100KB-B		

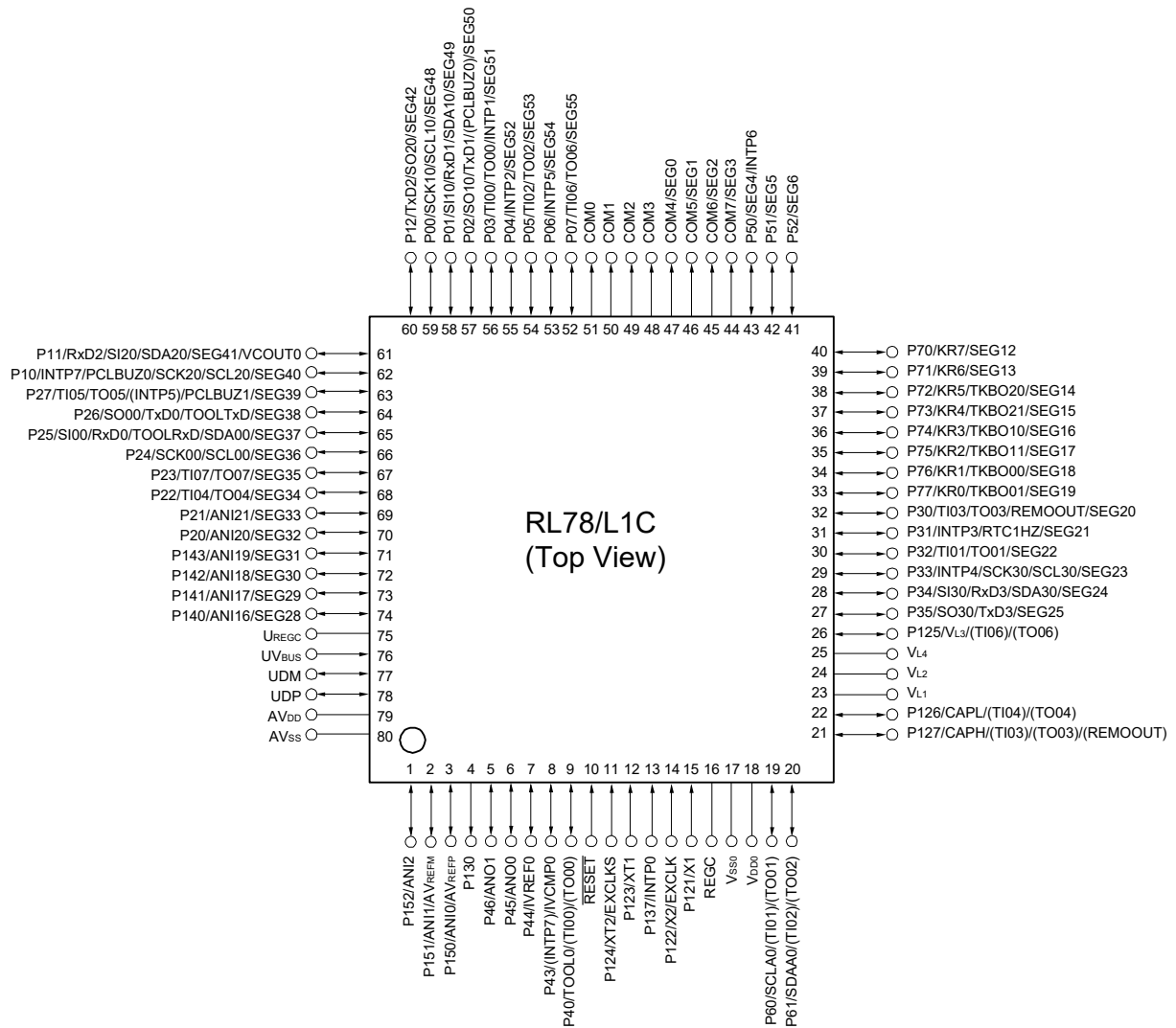
USB非搭載

ピン数	パッケージ	用途 区分	発注型名		ルネサスコード
			品名	梱包仕様	
80ピン	80-pin plastic LFQFP (12 × 12 mm, 0.5 mm pitch)	A	R5F111MEAFB, R5F111MFAFB, R5F111MGAFB, R5F111MHAFB, R5F111MJAFB	#10,#50,#70	PLQP0080KB-B PLQP0080KJ-A
				#30	PLQP0080KB-B
		G	R5F111MEGFB, R5F111MFGFB, R5F111MGGFB, R5F111MHGFB, R5F111MJGFB	#10,#50,#70	PLQP0080KB-B PLQP0080KJ-A
				#30	PLQP0080KB-B
85ピン	85-pin plastic VFLGA (7 × 7 mm, 0.65 mm pitch)	A	R5F111NEALA, R5F111NFALA, R5F111NGALA, R5F111NHALA, R5F111NJALA	#U0,#W0	PVLG0085JA-A
		A	R5F111PEAFB, R5F111PFAFB, R5F111PGAFB, R5F111PHAFB, R5F111PJAFB	#10,#50,#70	PLQP0100KB-B PLQP0100KP-A
				G	R5F111PEGFB, R5F111PFGFB, R5F111PGGFB, R5F111PHGFB, R5F111PJGFB
G	R5F111PEGFB, R5F111PFGFB, R5F111PGGFB, R5F111PHGFB, R5F111PJGFB	#10,#50,#70	PLQP0100KB-B PLQP0100KP-A		
		#30	PLQP0100KB-B		

1.3 端子接続図 (Top View)

1.3.1 80ピン製品 (USB搭載製品)

・80ピン・プラスチックLFQFP (12 × 12 mm, 0.5 mmピッチ)



注意1. REGC端子はコンデンサ(0.47~1 μF)を介し、V_{SS}端子に接続してください。

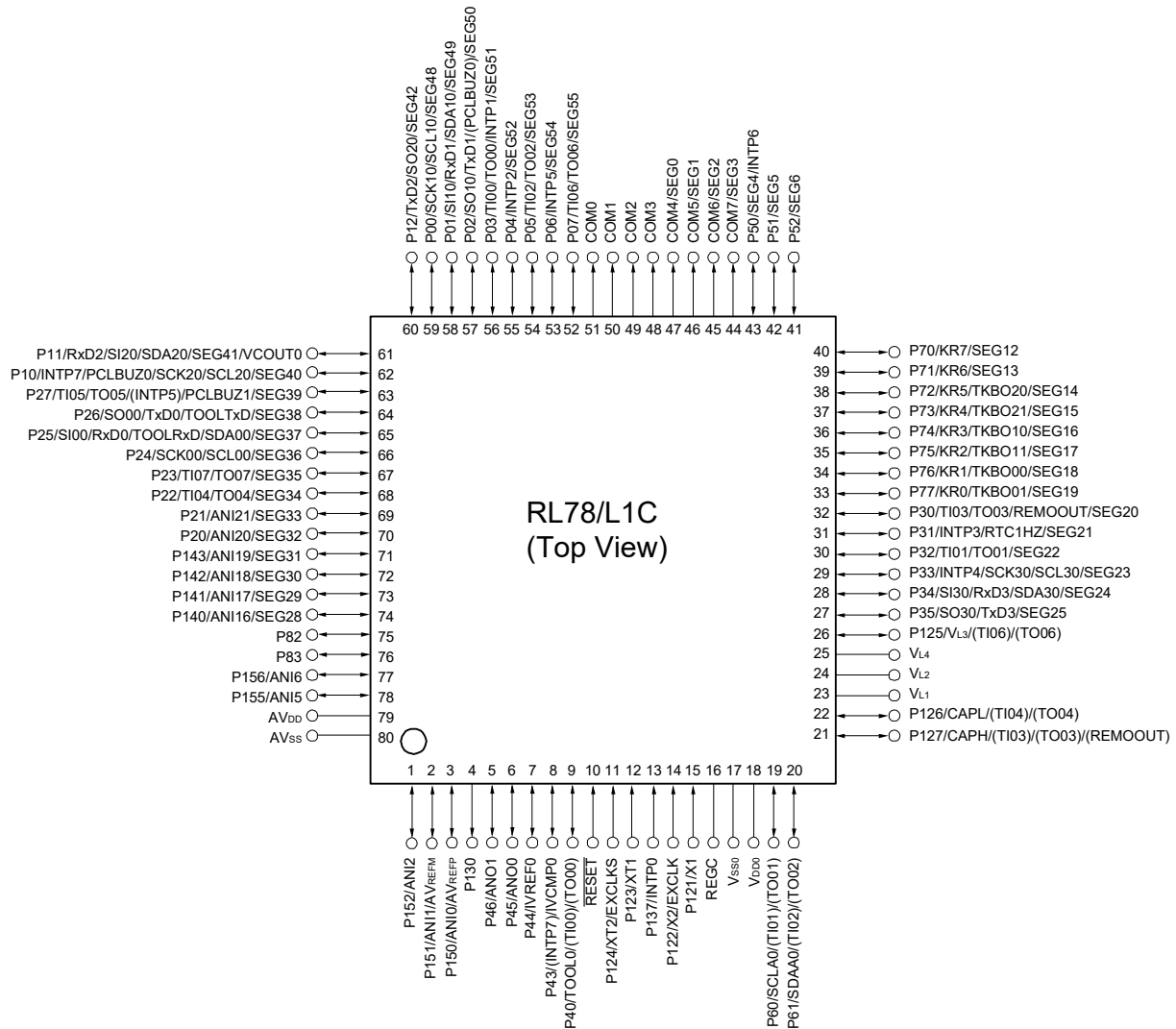
注意2. UREGC端子はコンデンサ(0.33 μF)を介し、V_{SS}端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR)の設定により割り当て可能です。

1.3.2 80ピン製品(USB非搭載製品)

- 80ピン・プラスチックLFQFP (12 × 12 mm, 0.5 mmピッチ)

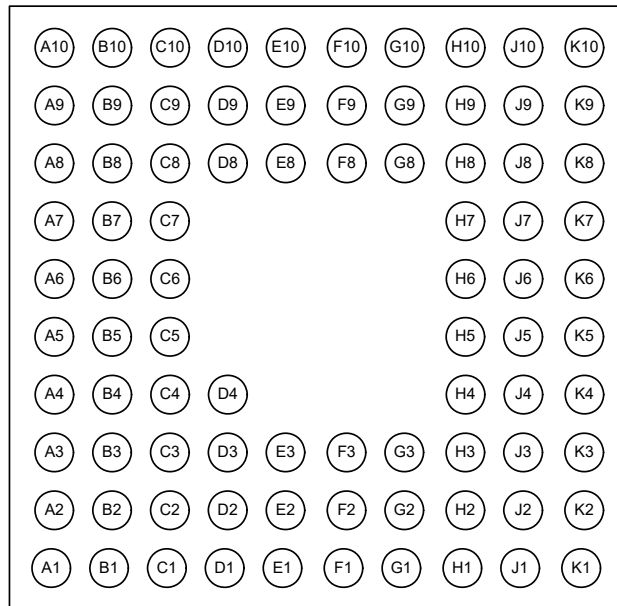


注意 REGC端子はコンデンサ(0.47~1 μF)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

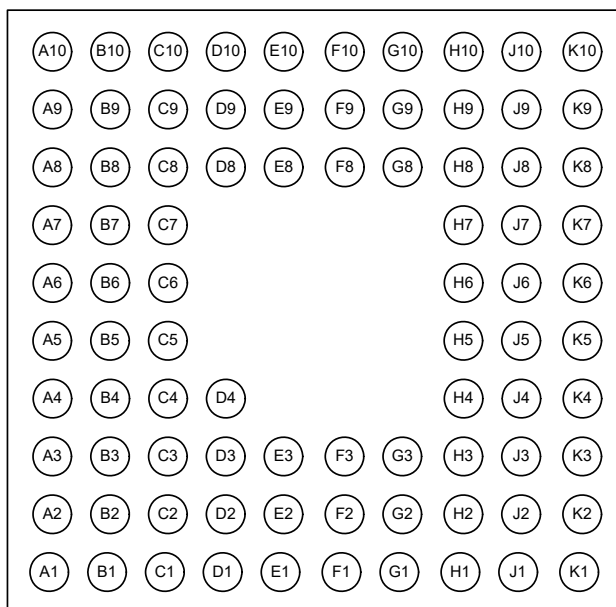
備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR)の設定により割り当て可能です。

1.3.3 85ピン製品(USB搭載製品)



ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
A1	COM7/SEG3	C1	COM2	E1	P04/INTP2/SEG52	G1	P00/SCK10/SCL10/ SEG48	J1	Vss0
A2	P51/SEG5	C2	COM5/SEG1	E2	P05/TI02/TO02/SEG53	G2	Vss0	J2	P11/RxD2/SI20/SDA20/ SEG41/VCOU0
A3	P70/KR7/SEG12	C3	COM6/SEG2	E3	P06/INTP5/SEG54	G3	P12/TxD2/SO20/SEG42/ VCOU1	J3	P26/SO00/TxD0/ TOOLTxD/SEG38
A4	P73/KR4/TKBO21/SEG15	C4	P71/KR6/SEG13	E4	—	G4	—	J4	P23/TI07/TO07/SEG35
A5	P74/KR3/TKBO10/SEG16	C5	P76/KR1/TKBO00/SEG18	E5	—	G5	—	J5	P20/ANI20/SEG32
A6	P31/INTP3/RTC1HZ/ SEG21	C6	P77/KR0/TKBO01/SEG19	E6	—	G6	—	J6	P141/ANI17/SEG29
A7	P33/INTP4/SCK30/SCL30/ SEG23	C7	P34/SI30/RxD3/SDA30/ SEG24	E7	—	G7	—	J7	UREGC
A8	P35/SO30/TxD3/SEG25	C8	VL1	E8	P40/TOOL0/(TI00)/(TO00)	G8	P44/(SCK10)/(SCL10)/ IVREF0	J8	UVBus
A9	VL4	C9	P61/SDAA0/(TI02)/(TO02)	E9	P137/INTP0	G9	P45/ANO0	J9	AVDD
A10	P126/CAPL/(TI04)/(TO04)	C10	VDD0	E10	P122/X2/EXCLK	G10	P123/XT1	J10	P150/ANI0/AVREFP
B1	COM4/SEG0	D1	COM0	F1	P03/TI00/TO00/INTP1/ SEG51	H1	Vss0	K1	Vss0
B2	P50/SEG4/INTP6	D2	COM1	F2	P02/SO10/TxD1/ (PCLBUZ0)/SEG50	H2	Vss0	K2	P27/TI05/TO05/(INTP5)/ PCLBUZ1/SEG39
B3	P52/SEG6	D3	P07/TI06/TO06/SEG55	F3	P01/SI10/RxD1/SDA10/ SEG49	H3	P10/INTP7/PCLBUZ0/ SCK20/SCL20/SEG40	K3	P25/SI00/RxD0/ TOOLRxD/SDA00/SEG37
B4	P72/KR5/TKBO20/SEG14	D4	COM3	F4	—	H4	P24/SCK00/SCL00/ SEG36	K4	P22/TI04/TO04/SEG34
B5	P75/KR2/TKBO11/SEG17	D5	—	F5	—	H5	P21/ANI21/SEG33	K5	P143/ANI19/SEG31
B6	P30/TI03/TO03/ REMOOUT/SEG20	D6	—	F6	—	H6	P140/ANI16/SEG28	K6	P142/ANI18/SEG30
B7	P32/TI01/TO01/SEG22	D7	—	F7	—	H7	P152/ANI2	K7	UDM
B8	P125/VL3/(TI06)/(TO06)	D8	P60/SCLA0/(TI01)/(TO01)	F8	P43/(INTP7)/(SI10)/ (RxD1)/(SDA10)/IVCMP0	H8	P46/ANO1	K8	UDP
B9	VL2	D9	REGC	F9	RESET	H9	P130	K9	AVSS
B10	P127/CAPH/(TI03)/ (TO03)/(REMOOUT)	D10	P121/X1	F10	Vss0	H10	P124/XT2/EXCLKS	K10	P151/ANI1/AVREFM

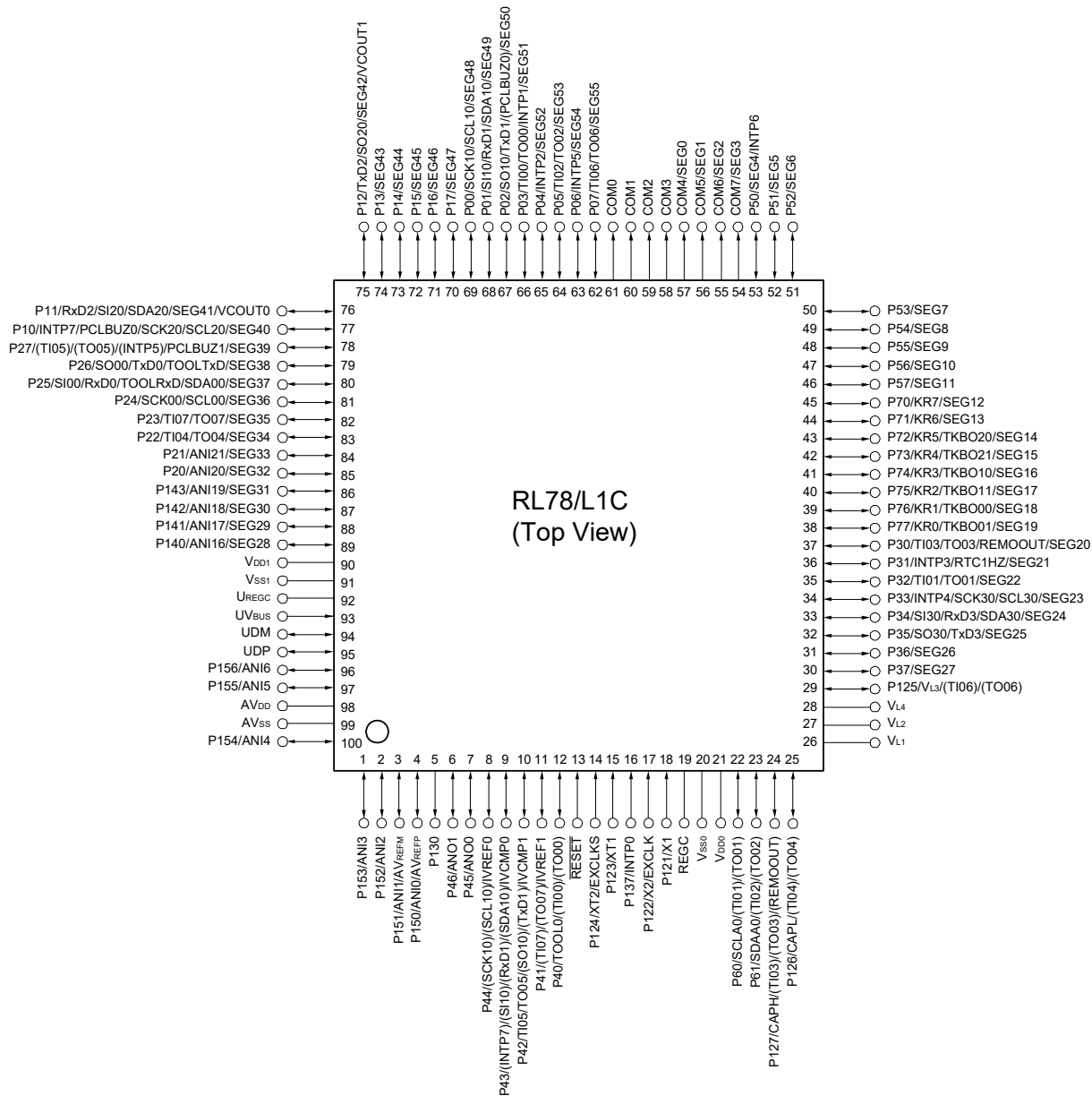
1.3.4 85ピン製品(USB非搭載製品)



ピン	名称	ピン	名称	ピン	名称	ピン	名称	ピン	名称
A1	COM7/SEG3	C1	COM2	E1	P04/INTP2/SEG52	G1	P00/SCK10/SCL10/SEG48	J1	Vss0
A2	P51/SEG5	C2	COM5/SEG1	E2	P05/TI02/TO02/SEG53	G2	Vss0	J2	P11/RxD2/SI20/SDA20/SEG41/VCOU0
A3	P70/KR7/SEG12	C3	COM6/SEG2	E3	P06/INTP5/SEG54	G3	P12/TxD2/SO20/SEG42/VCOU1	J3	P26/SO00/TxD0/TOOLTxD/SEG38
A4	P73/KR4/TKBO21/SEG15	C4	P71/KR6/SEG13	E4	—	G4	—	J4	P23/TI07/TO07/SEG35
A5	P74/KR3/TKBO10/SEG16	C5	P76/KR1/TKBO00/SEG18	E5	—	G5	—	J5	P20/ANI20/SEG32
A6	P31/INTP3/RTC1HZ/SEG21	C6	P77/KR0/TKBO01/SEG19	E6	—	G6	—	J6	P141/ANI17/SEG29
A7	P33/INTP4/SCK30/SCL30/SEG23	C7	P34/SI30/RxD3/SDA30/SEG24	E7	—	G7	—	J7	P82
A8	P35/SO30/TxD3/SEG25	C8	VL1	E8	P40/TOOL0/(TI00)/(TO00)	G8	P44/(SCK10)/(SCL10)/IVREF0	J8	P83
A9	VL4	C9	P61/SDAA0/(TI02)/(TO02)	E9	P137/INTP0	G9	P45/ANO0	J9	AVDD
A10	P126/CAPL/(TI04)/(TO04)	C10	VDD0	E10	P122/X2/EXCLK	G10	P123/XT1	J10	P150/ANI0/AVREFP
B1	COM4/SEG0	D1	COM0	F1	P03/TI00/TO00/INTP1/SEG51	H1	Vss0	K1	Vss0
B2	P50/SEG4/INTP6	D2	COM1	F2	P02/SO10/TxD1/(PCLBUZ0)/SEG50	H2	Vss0	K2	P27/TI05/TO05/(INTP5)/PCLBUZ1/SEG39
B3	P52/SEG6	D3	P07/TI06/TO06/SEG55	F3	P01/SI10/RxD1/SDA10/SEG49	H3	P10/INTP7/PCLBUZ0/SCK20/SCL20/SEG40	K3	P25/SI00/RxD0/TOOLRxD/SDA00/SEG37
B4	P72/KR5/TKBO20/SEG14	D4	COM3	F4	—	H4	P24/SCK00/SCL00/SEG36	K4	P22/TI04/TO04/SEG34
B5	P75/KR2/TKBO11/SEG17	D5	—	F5	—	H5	P21/ANI21/SEG33	K5	P143/ANI19/SEG31
B6	P30/TI03/TO03/REMOOUT/SEG20	D6	—	F6	—	H6	P140/ANI16/SEG28	K6	P142/ANI18/SEG30
B7	P32/TI01/TO01/SEG22	D7	—	F7	—	H7	P152/ANI2	K7	P156/ANI6
B8	P125/VL3/(TI06)/(TO06)	D8	P60/SCLA0/(TI01)/(TO01)	F8	P43/(INTP7)/(SI10)/(RxD1)/(SDA10)/IVCMP0	H8	P46/ANO1	K8	P155/ANI5
B9	VL2	D9	REGC	F9	RESET	H9	P130	K9	AVSS
B10	P127/CAPH/(TI03)/(TO03)/(REMOOUT)	D10	P121/X1	F10	Vss0	H10	P124/XT2/EXCLKS	K10	P151/ANI1/AVREFM

1.3.5 100ピン製品(USB搭載製品)

・100ピン・プラスチックLFQFP (14 × 14 mm, 0.5 mmピッチ)



注意1. REGC端子はコンデンサ(0.47~1 μF)を介し、Vss端子に接続してください。

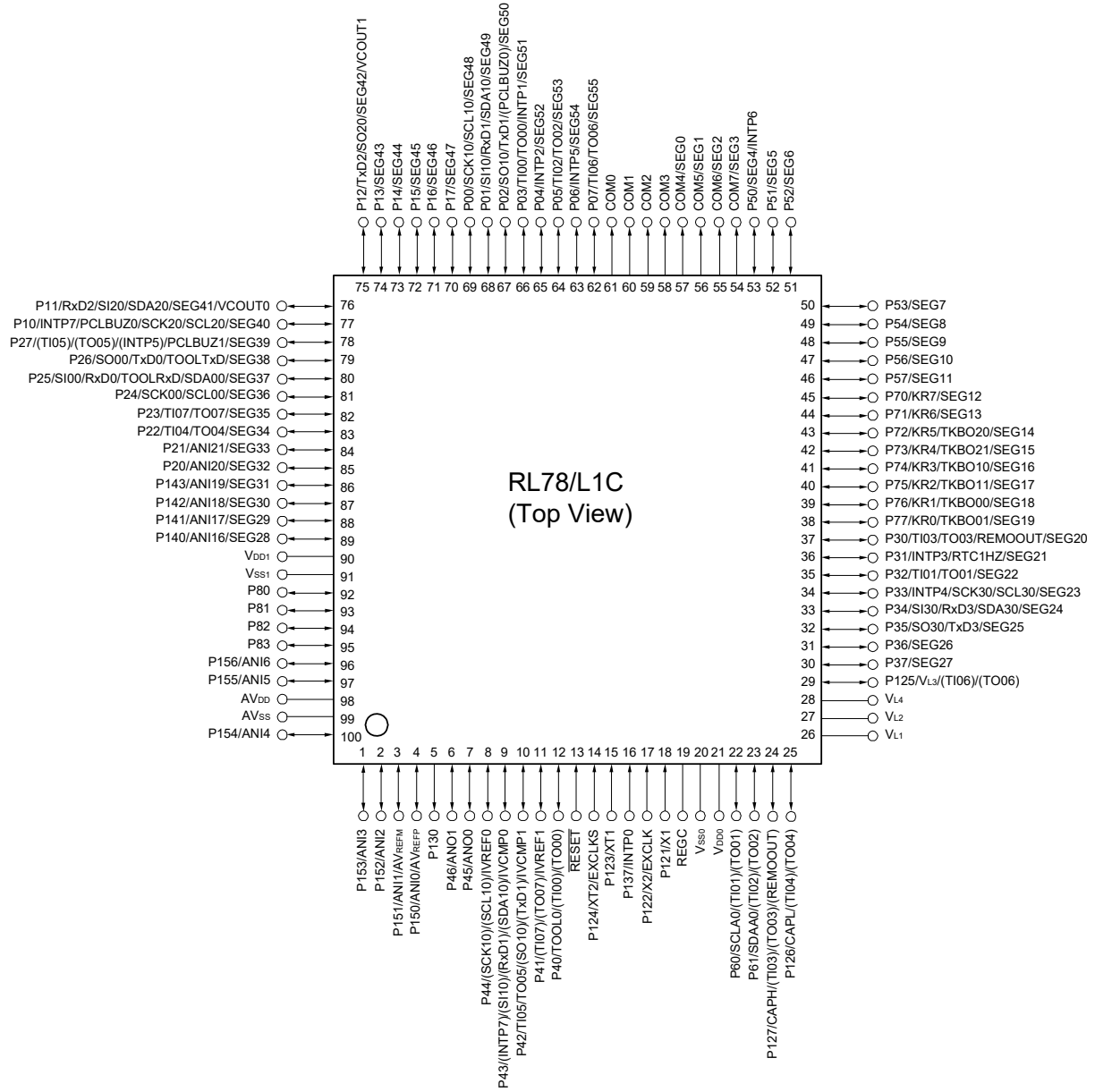
注意2. UREGC端子はコンデンサ(0.33 μF)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR)の設定により割り当て可能です。

1.3.6 100ピン製品(USB非搭載製品)

・100ピン・プラスチックLFQFP (14 × 14 mm, 0.5 mmピッチ)



注意 REGC 端子はコンデンサ (0.47 ~ 1

μF) を介し、V_{SS} 端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

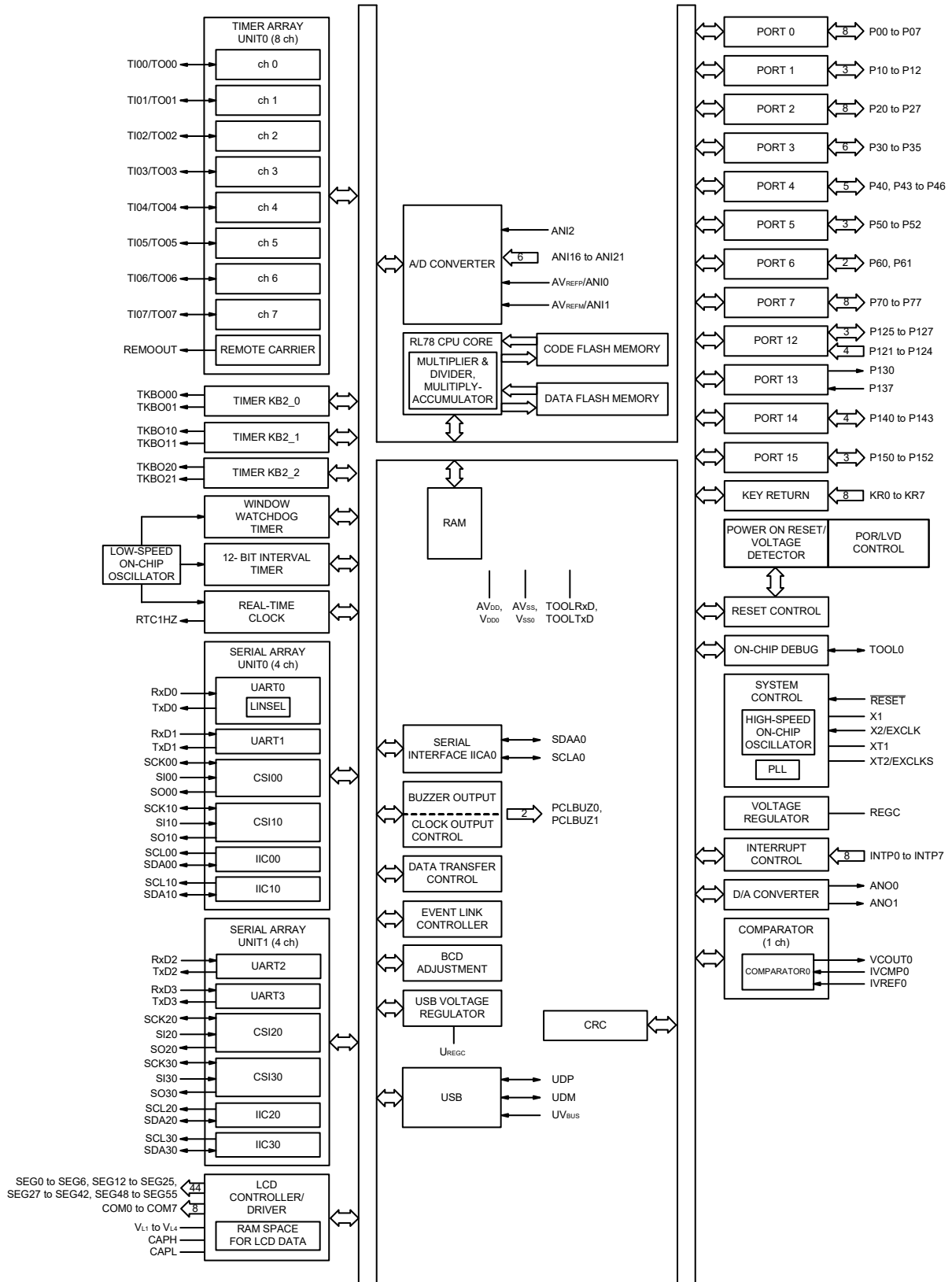
備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR)の設定により割り当て可能です。

1.4 端子名称

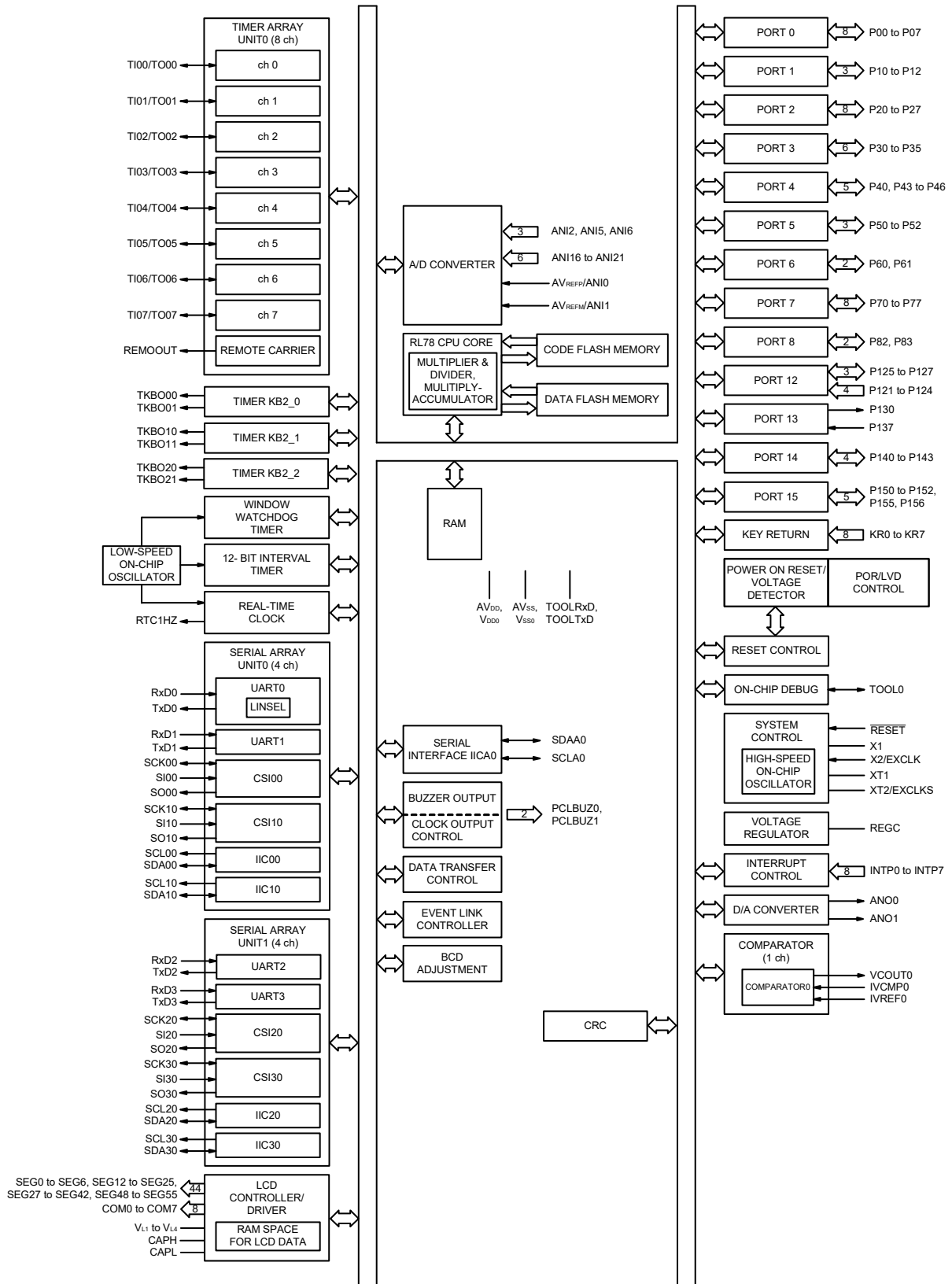
ANI0-ANI6,	: Analog Input	SCL00, SCL10, SCL20, SCL30	: Serial Clock Output
ANI16-ANI21		SDAA0, SDA00, SDA10,	: Serial Data Input/Output
ANO0, ANO1	: Analog Output	SDA20, SDA30	
AVDD	: Analog Power Supply	SEG0 to SEG55	: LCD Segment Output
AVREFM	: Analog Reference Voltage Minus	SI00, SI10, SI20, SI30	: Serial Data Input
AVREFP	: Analog Reference Voltage Plus	SO00, SO10, SO20, SO30	: Serial Data Output
AVSS	: Analog Ground	TI00-TI07	: Timer Input
CAPH, CAPL	: Capacitor for LCD	TO00-TO07	: Timer Output
COM0 to COM7	: LCD Common Output	TKBO00, TKBO01, TKBO10,	
EXCLK	: External Clock Input (Main System Clock)	TKBO11, TKBO20, TKBO21	
EXCLKS	: External Clock Input (Sub System Clock)	TOOL0	: Data Input/Output for Tool
INTP0-INTP7	: External Interrupt Input	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
IVCMP0, IVCMP1	: Comparator Input	UDM, UDP	: USB Input/Output
IVREF0, IVREF1	: Comparator Reference Input	UREGC	: USB Regulator Capacitance
KR0-KR7	: Key Return	UVBUS	: USB Input/USB Power Supply
P00-P07	: Port 0	TxD0-TxD3	: Transmit Data
P10-P17	: Port 1	VCOU0, VCOU1	: Comparator Output
P20-P27	: Port 2	VDD0, VDD1	: Power Supply
P30-P37	: Port 3	VL1 to VL4	: LCD Power Supply
P40-P46	: Port 4	VSS0, VSS1	: Ground
P50-P57	: Port 5	X1, X2	: Crystal Oscillator (Main System Clock)
P60-P62	: Port 6	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
P70-P77	: Port 7		
P80-P83	: Port 8		
P121-P127	: Port 12		
P130, P137	: Port 13		
P140-P143	: Port 14		
P150-P156	: Port 15		
PCLBUZ0, PCLBUZ1	: Programmable Clock Output/ Buzzer Output		
REGC	: Regulator Capacitance		
REMOOUT	: Remote Control Output		
RESET	: Reset		
RTC1HZ	: Real-time Clock Correction Clock (1 Hz) Output		
RxD0-RxD3	: Receive Data		
SCK00, SCK10,	: Serial Clock Input/Output		
SCK20, SCK30			
SCLA0	: Serial Clock Input/Output		

1.5 ブロック図

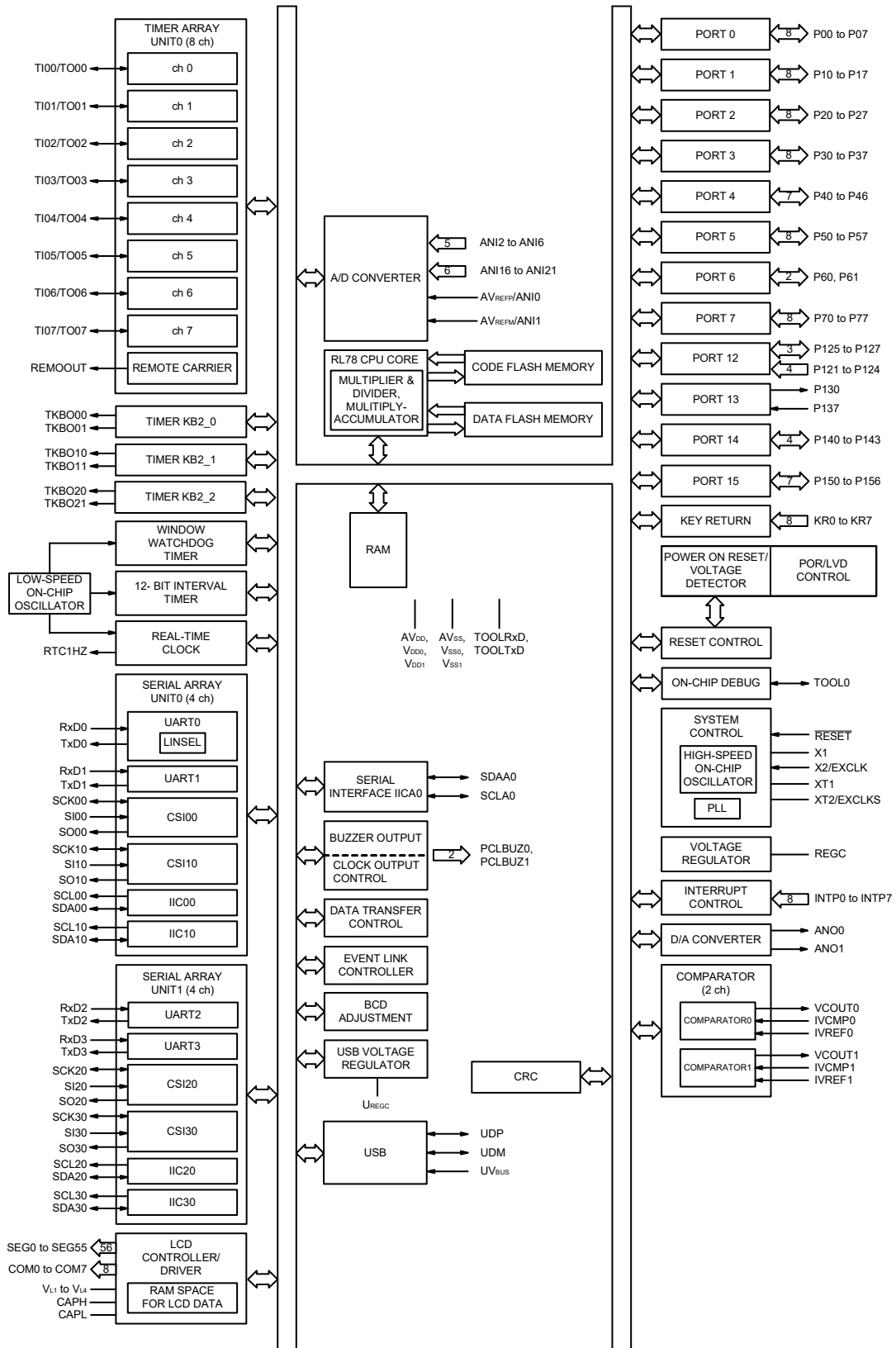
1.5.1 80/85ピン製品(USB搭載製品)



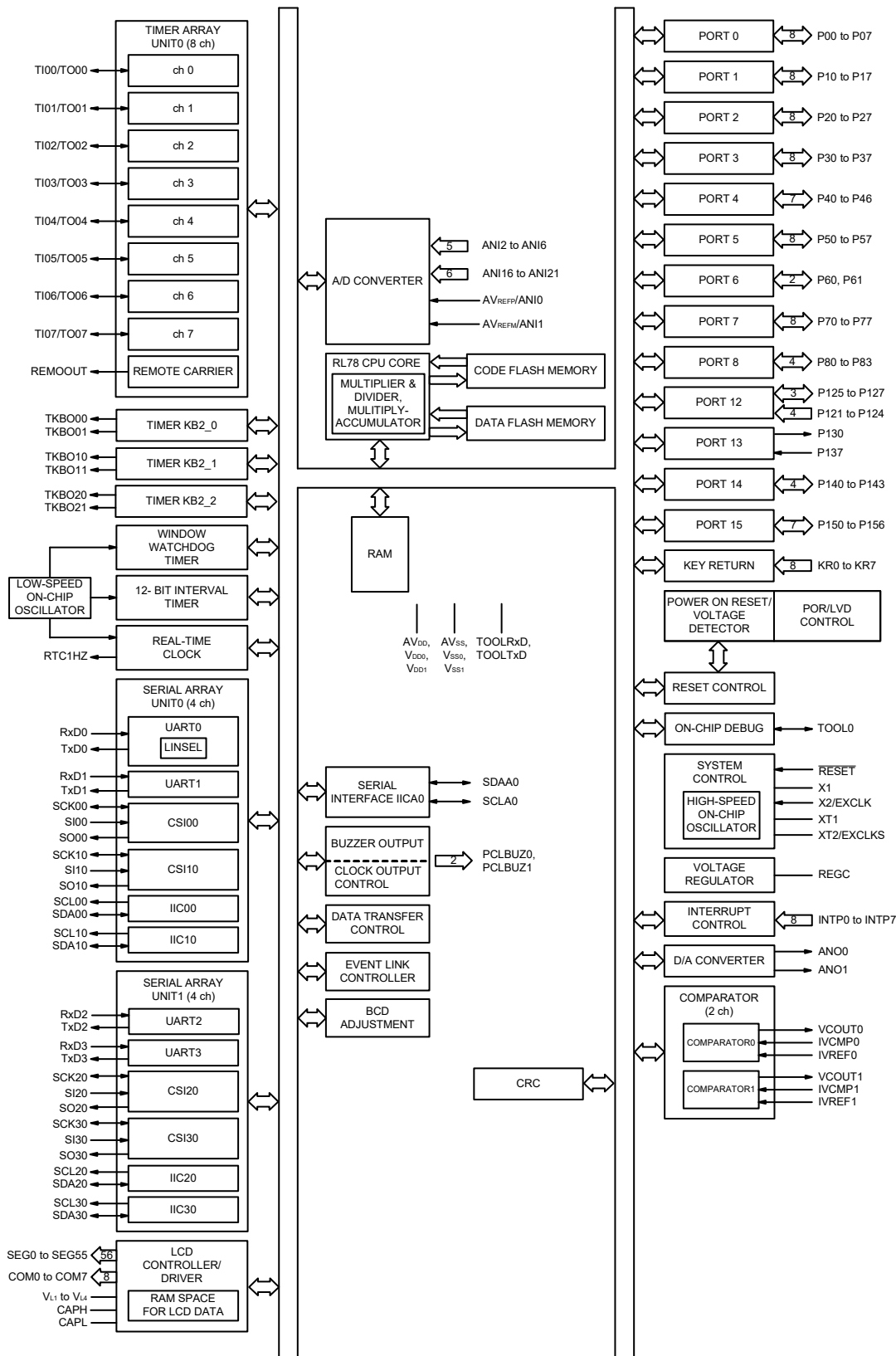
1.5.2 80/85ピン製品(USB非搭載製品)



1.5.3 100ピン製品(USB搭載製品)



1.5.4 100ピン製品(USB非搭載製品)



1.6 機能概要

【80/85ピン, 100ピン製品(USB搭載製品)】

(1/2)

項目		80/85ピン	100ピン
		R5F110Mx/R5F110Nx (x = E~H, J)	R5F110Px (x = E~H, J)
コード・フラッシュ・メモリ		64~256 KB	64~256 KB
データ・フラッシュ・メモリ		8 KB	8 KB
RAM		8~16 KB注1	8~16 KB注1
メモリ空間		1 Mバイト	
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) 1~20 MHz : VDD = 2.7~3.6 V, 1~8 MHz : VDD = 1.8~2.7 V, 1~4 MHz : VDD = 1.6~1.8 V	
	高速オンチップ・オシレータ・クロック	HS(高速メイン)動作モード : 1~24 MHz (VDD = 2.7~3.6 V), HS(高速メイン)動作モード : 1~16 MHz (VDD = 2.4~3.6 V), LS(低速メイン)動作モード : 1~8 MHz (VDD = 1.8~3.6 V), LV(低電圧メイン)動作モード : 1~4 MHz (VDD = 1.6~3.6 V)	
	PLLクロック	6, 12, 24 MHz注2 : VDD = 2.4~3.6 V	
サブシステム・クロック		XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS) 32.768 kHz (TYP.) : VDD = 1.6~3.6 V	
低速オンチップ・オシレータ・クロック		15 kHz (TYP.) : VDD = 1.6~3.6 V	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.04167 μs (高速オンチップ・オシレータ・クロック : fHOCO = fIH = 24 MHz動作時)	
		0.04167 μs (PLLクロック : fPLL = 48 MHz/fIH = 24 MHz注2動作時)	
		0.05 μs (高速システム・クロック : fMX = 20 MHz動作時)	
		30.5 μs (サブシステム・クロック : fSUB = 32.768 kHz動作時)	
命令セット		<ul style="list-style-type: none"> ・データ転送(8/16ビット) ・加減/論理演算(8/16ビット) ・乗算(8×8ビット, 16×16ビット), 除算(16÷16ビット, 32÷32ビット) ・積和演算(16×16+32ビット) ・ローテート, パレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など 	
I/Oポート	合計	59	77
	CMOS入出力	51	69
	CMOS入力	5	5
	CMOS出力	1	1
	N-ch O.D入出力(6V耐圧)	2	2
タイマ	16ビット・タイマTAU	8チャンネル(リモコン出力機能1チャンネルあり)(タイマ出力8本, PWM出力 : 7本注3)	
	16ビット・タイマKB2	3チャンネル(PWM出力 : 6本)	
	ウォッチドッグ・タイマ	1チャンネル	
	12ビット・インターバル・タイマ	1チャンネル	
	リアルタイム・クロック2	1チャンネル	
	RTC出力	1本 1 Hz (サブシステム・クロック : fSUB = 32.768 kHz)	

注1. 16 Kバイトの場合, セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は, 約15 KB (詳細は, 第3章 CPUアーキテクチャ参照)。

注2. PLLクロック48 MHz動作時。システム・クロックは2/4/8分周になります。

注3. マスタの数と使用チャンネルの設定によって, 出力数は変わります。

(2/2)

項目	80/85ピン		100ピン	
	R5F110Mx/R5F110Nx (x = E~H, J)		R5F110Px (x = E~H, J)	
クロック出力/プザー出力	2本		2本	
	<ul style="list-style-type: none"> 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : f_{MAIN} = 20 MHz動作時) 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : f_{SUB} = 32.768 kHz動作時) 			
8/12ビット分解能A/Dコンバータ	9チャンネル		13チャンネル	
D/Aコンバータ	2チャンネル		2チャンネル	
コンパレータ	1チャンネル		2チャンネル	
シリアル・インタフェース	<ul style="list-style-type: none"> 簡易SPI(CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I²C : 1チャンネル 簡易SPI(CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル 簡易SPI(CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル 簡易SPI(CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル 			
	I ² Cバス	1チャンネル	1チャンネル	
USB	ファンクション	1チャンネル		
LCDコントローラ/ドライバ	内部昇圧/容量分割/外部抵抗分割の切り替えが可能			
	セグメント信号出力	44 (40)本注1	56 (52)本注1	
	コモン信号出力	4 (8)本注1		
データトランスファコントローラ(DTC)	32要因		33要因	
イベントリンクコントローラ(ELC)	イベント入力 : 30, イベントトリガ出力 : 22		イベント入力 : 31, イベントトリガ出力 : 22	
ベクタ割り込み要因	内部	36	37	
	外部	9	9	
キー割り込み	8		8	
リセット	<ul style="list-style-type: none"> RESET端子によるリセット ウォッチドッグ・タイマによる内部リセット パワーオン・リセットによる内部リセット 電圧検出回路による内部リセット 不正命令の実行による内部リセット注2 RAMパリティ・エラーによる内部リセット 不正メモリ・アクセスによる内部リセット 			
パワーオン・リセット回路	<ul style="list-style-type: none"> パワーオン・リセット : 1.51 ± 0.03 V パワーダウン・リセット : 1.50 ± 0.03 V 			
電圧検出回路	<ul style="list-style-type: none"> 立ち上がり : 1.67 V ~ 3.13 V (12段階) 立ち下がり : 1.63 V ~ 3.06 V (12段階) 			
オンチップ・デバッグ機能	あり			
電源電圧	VDD = 1.6 ~ 3.6 V (TA = -40 ~ +85°C) VDD = 2.4 ~ 3.6 V (TA = -40 ~ +105°C)			
動作周囲温度	TA = -40 ~ +85°C (A : 民生用途), TA = -40 ~ +105°C (G : 産業用途))			

注1. ()内は8 com使用時の信号出力本数です。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【80/85ピン, 100ピン製品(USB非搭載製品)】

(1/2)

項目		80/85ピン	100ピン
		R5F111Mx/R5F111Nx (x = E~H, J)	R5F111Px (x = E~H, J)
コード・フラッシュ・メモリ		64~256 KB	64~256 KB
データ・フラッシュ・メモリ		8 KB	8 KB
RAM		8~16 KB注1	8~16 KB注1
メモリ空間		1 Mバイト	
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) 1~20 MHz: VDD = 2.7~3.6 V, 1~8 MHz: VDD = 1.8~2.7 V, 1~4 MHz: VDD = 1.6~1.8 V	
	高速オンチップ・オシレータ・クロック	HS(高速メイン)動作モード: 1~24 MHz (VDD = 2.7~3.6 V), HS(高速メイン)動作モード: 1~16 MHz (VDD = 2.4~3.6 V), LS(低速メイン)動作モード: 1~8 MHz (VDD = 1.8~3.6 V), LV(低電圧メイン)動作モード: 1~4 MHz (VDD = 1.6~3.6 V)	
サブシステム・クロック		XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS) 32.768 kHz (TYP.): VDD = 1.6~3.6 V	
低速オンチップ・オシレータ・クロック		15 kHz (TYP.): VDD = 1.6~3.6 V	
汎用レジスタ		8ビット×32レジスタ(8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.04167 μs (高速オンチップ・オシレータ・クロック: fHOCO = fIH = 24 MHz動作時)	
		0.05 μs (高速システム・クロック: fMX = 20 MHz動作時)	
		30.5 μs (サブシステム・クロック: fSUB = 32.768 kHz動作時)	
命令セット		<ul style="list-style-type: none"> データ転送(8/16ビット) 加減/論理演算(8/16ビット) 乗算(8×8ビット, 16×16ビット), 除算(16÷16ビット, 32÷32ビット) 積和演算(16×16+32ビット) ローテート, バレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など 	
I/Oポート	合計	63	81
	CMOS入出力	55	73
	CMOS入力	5	5
	CMOS出力	1	1
	N-ch O.D入出力(6 V耐圧)	2	2
タイマ	16ビット・タイマTAU	8チャンネル(リモコン出力機能1チャンネルあり)(タイマ出力8本, PWM出力: 7本注2)	
	16ビット・タイマKB2	3チャンネル(PWM出力: 6本)	
	ウォッチドッグ・タイマ	1チャンネル	
	12ビット・インターバル・タイマ	1チャンネル	
	リアルタイム・クロック2	1チャンネル	
	RTC出力	1本 1 Hz (サブシステム・クロック: fSUB = 32.768 kHz)	

注1. 16 Kバイトの場合, セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は, 約15 KB (詳細は, 第3章 CPUアーキテクチャ参照)。

注2. マスタの数と使用チャンネルの設定によって, 出力数は変わります。

(2/2)

項目	80/85ピン	100ピン
	R5F111Mx/R5F111Nx (x = E~H, J)	R5F111Px (x = E~H, J)
クロック出力/プザー出力	2本	2本
	<ul style="list-style-type: none"> 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : fSUB = 32.768 kHz動作時) 	
8/12ビット分解能A/Dコンバータ	11チャンネル	13チャンネル
D/Aコンバータ	2チャンネル	2チャンネル
コンパレータ	1チャンネル	2チャンネル
シリアル・インタフェース	<ul style="list-style-type: none"> 簡易SPI(CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I²C : 1チャンネル 簡易SPI(CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル 簡易SPI(CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル 簡易SPI(CSI) : 1チャンネル/UART : 1チャンネル/簡易I²C : 1チャンネル 	
I ² Cバス	1チャンネル	1チャンネル
LCDコントローラ/ドライバ	内部昇圧/容量分割/外部抵抗分割の切り替えが可能	
セグメント信号出力	44 (40)本注 ¹	56 (52)本注 ¹
コモン信号出力	4 (8)本注 ¹	
データトランスファコントローラ(DTC))	30要因	31要因
イベントリンクコントローラ(ELC)	イベント入力 : 30, イベントトリガ出力 : 22	イベント入力 : 31, イベントトリガ出力 : 22
ベクタ割り込み要因	内部	32
	外部	9
キー割り込み	8	8
リセット	<ul style="list-style-type: none"> RESET端子によるリセット ウォッチドッグ・タイマによる内部リセット パワーオン・リセットによる内部リセット 電圧検出回路による内部リセット 不正命令の実行による内部リセット注² RAMパリティ・エラーによる内部リセット 不正メモリ・アクセスによる内部リセット 	
パワーオン・リセット回路	<ul style="list-style-type: none"> パワーオン・リセット : 1.51 ± 0.03 V パワーダウン・リセット : 1.50 ± 0.03 V 	
電圧検出回路	<ul style="list-style-type: none"> 立ち上がり : 1.67 V ~ 3.13 V (12段階) 立ち下がり : 1.63 V ~ 3.06 V (12段階) 	
オンチップ・デバッグ機能	あり	
電源電圧	VDD = 1.6 ~ 3.6 V (TA = -40 ~ +85°C) VDD = 2.4 ~ 3.6 V (TA = -40 ~ +105°C)	
動作周囲温度	TA = -40 ~ +85°C (A : 民生用途), TA = -40 ~ +105°C (G : 産業用途)	

注1. ()内は8 com使用時の信号出力本数です。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

(1) 80/85ピン製品(USB搭載製品)

電源	対応する端子
VDD0	<ul style="list-style-type: none"> • P150-P152以外のポート端子 • ポート以外の端子
AVDD	<ul style="list-style-type: none"> • P150-P152
UVBUS	<ul style="list-style-type: none"> • UDP, UDM, UREGC

(2) 80/85ピン製品(USB非搭載製品)

電源	対応する端子
VDD0	<ul style="list-style-type: none"> • P150-P152, P155, P156以外のポート端子 • ポート以外の端子
AVDD	<ul style="list-style-type: none"> • P150-P152, P155, P156

(3) 100ピン製品(USB搭載製品)

電源	対応する端子
VDD0, VDD1	<ul style="list-style-type: none"> • P150-P156以外のポート端子 • ポート以外の端子
AVDD	<ul style="list-style-type: none"> • P150-P156
UVBUS	<ul style="list-style-type: none"> • UDP, UDM, UREGC

(4) 100ピン製品(USB非搭載製品)

電源	対応する端子
VDD0, VDD1	<ul style="list-style-type: none"> • P150-P156以外のポート端子 • ポート以外の端子
AVDD	<ul style="list-style-type: none"> • P150-P156

注意 VDD0とVDD1は、同電位にしてください。

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 80/85ピン製品(USB搭載製品)

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	8-5-10	入出力	デジタル 入力無効 ^{注1}	SCK10/SCL10/SEG48	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P00, P01の入力はTTL入力バッファに設定可能。 P00-P02の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P01				SI10/RxD1/SDA10/SEG49	
P02	7-5-10	SO10/TxD1/(PCLBUZ0)/SEG50			
P03		7-5-4	TI00/TO00/INTP1/SEG51		
P04	INTP2/SEG52				
P05	TI02/TO02/SEG53				
P06	INTP5/SEG54				
P07	TI06/TO06/SEG55				
P10	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP7/PCLBUZ0/SCK20/SCL20/SEG40	ポート1。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11の入力はTTL入力バッファに設定可能。 P10-P12の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P11				RxD2/SI20/SDA20/SEG41/VCOUT0	
P12	7-5-10	TxD2/SO20/SEG42			
P20	7-10-3	入出力	アナログ 入力	ANI20/SEG32	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P20, P21はアナログ入力に設定可能 ^{注2} 。 P24, P25の入力はTTL入力バッファに設定可能。 P24-P26の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P21				ANI21/SEG33	
P22	7-5-4	デジタル 入力無効 ^{注1}	TI04/TO04/SEG34		
P23			TI07/TO07/SEG35		
P24	8-5-10		SCK00/SCL00/SEG36		
P25			SI00/RxD0/TOOLRxD/SDA00/SEG37		
P26	7-5-10	SO00/TxD0/TOOLTxD/SEG38			
P27	7-5-4	TI05/TO05/(INTP5)/PCLBUZ1/SEG39			

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	TI03/TO03/REMOOUT/ SEG20	ポート3。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P33, P34の入力はTTL入力バッファに設定可能。 P33-P35の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P31				INTP3/RTC1HZ/SEG21	
P32				TI01/TO01/SEG22	
P33	8-5-10			INTP4/SCK30/SCL30/S EG23	
P34				SI30/RxD3/SDA30/ SEG24	
P35	7-5-10			SO30/TxD3/SEG25	
P40	7-1-3	入出力	入力ポート	TOOL0/(TI00)/(TO00)	ポート4。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P43-P46はアナログ入力に設定可能 ^{注2} 。
P43	8-3-4			(INTP7)/IVCMP0	
P44				IVREF0	
P45	7-4-1			ANO0	
P46				ANO1	
P50	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG4/INTP6	ポート5。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51				SEG5	
P52				SEG6	
P60	12-1-3	入出力	入力ポート	SCLA0/(TI01)/(TO01)	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0/(TI02)/(TO02)	
P70	7-5-4	入出力	デジタル 入力無効 ^{注1}	KR7/SEG12	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71				KR6/SEG13	
P72				KR5/TKBO20/SEG14	
P73				KR4/TKBO21/SEG15	
P74				KR3/TKBO10/SEG16	
P75				KR2/TKBO11/SEG17	
P76				KR1/TKBO00/SEG18	
P77				KR0/TKBO01/SEG19	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127のみ、入力／出力の指定が可能。 P125-P127のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル 入力無効 ^{注1}	VL3/(TI06)/(TO06)	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P126	7-5-5			CAPL/(TI04)/(TO04)	
P127				CAPH/(TI03)/(TO03)/ (REMOOUT)	
P130	1-1-2	出力	出力ポート	—	ポート14。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P140-P143はアナログ入力に設定可能 ^{注2} 。
P137	2-1-2	入力	入力ポート	INTP0	ポート15。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P150-P152はアナログ入力に設定可能 ^{注3} 。
P140	7-10-3	入出力	アナログ 入力	ANI16/SEG28	ポート14。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P140-P143はアナログ入力に設定可能 ^{注2} 。
P141				ANI17/SEG29	
P142				ANI18/SEG30	
P143				ANI19/SEG31	
P150	4-3-3	入出力	アナログ 入力	ANI0/AVREFP	ポート15。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P150-P152はアナログ入力に設定可能 ^{注3} 。
P151				ANI1/AVREFM	
P152				ANI2	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
COM0-COM3	18-5-1	出力	出力ポート	—	COM専用端子
COM4				SEG0	
COM5				SEG1	
COM6				SEG2	
COM7				SEG3	
UVbus (USB搭載製品)	17-11-1	入力	—	—	USBケーブル接続モニタおよびUSBトランシーバ用正電源端子です。 USBバスのVBUSに接続してください。
UDM (USB搭載製品)	18-11-1	入出力	—	—	USBポートのD-入出力端子です。 USBバスのD-端子に接続してください。
UDP(USB搭載製品)				—	USBポートのD+入出力端子です。 USBバスのD+端子に接続してください。

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ (PMC)で設定します(1ビット単位で設定可能)。

注3. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR)のフォーマットを参照してください。

2.1.2 80/85ピン製品(USB非搭載製品)

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	8-5-10	入出力	デジタル 入力無効注1	SCK10/SCL10/SEG48	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P00, P01の入力はTTL入力バッファに設定可能。 P00-P02の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P01				SI10/RxD1/SDA10/SEG49	
P02	7-5-10	SO10/TxD1/(PCLBUZ0)/SEG50			
P03	7-5-4	TI00/TO00/INTP1/SEG51			
P04		INTP2/SEG52			
P05		TI02/TO02/SEG53			
P06		INTP5/SEG54			
P07		TI06/TO06/SEG55			
P10	8-5-10	入出力	デジタル 入力無効注1	INTP7/PCLBUZ0/SCK20/SCL20/SEG40	ポート1。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11の入力はTTL入力バッファに設定可能。 P10-P12の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P11	RxD2/SI20/SDA20/SEG41/VCOUT0				
P12	7-5-10	TxD2/SO20/SEG42			
P20	7-10-3	入出力	アナログ 入力	ANI20/SEG32	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P20, P21はアナログ入力に設定可能注2。 P24, P25の入力はTTL入力バッファに設定可能。 P24-P26の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P21	ANI21/SEG33				
P22	7-5-4	デジタル 入力無効注1	TI04/TO04/SEG34		
P23			TI07/TO07/SEG35		
P24	8-5-10		SCK00/SCL00/SEG36		
P25			SI00/RxD0/TOOLRxD/SDA00/SEG37		
P26	7-5-10	SO00/TxD0/TOOLTxD/SEG38			
P27	7-5-4	TI05/TO05/(INTP5)/PCLBUZ1/SEG39			

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	TI03/TO03/REMOOUT/ SEG20	ポート3。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P33, P34の入力はTTL入力バッファに設定可能。 P33-P35の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P31				INTP3/RTC1HZ/SEG21	
P32				TI01/TO01/SEG22	
P33				INTP4/SCK30/SCL30/S EG23	
P34				SI30/RxD3/SDA30/ SEG24	
P35	7-5-10			SO30/TxD3/SEG25	
P40	7-1-3	入出力	入力ポート	TOOL0/(TI00)/(TO00)	ポート4。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P43-P46はアナログ入力に設定可能 ^{注2} 。
P43	8-3-4			(INTP7)/IVCMP0	
P44				IVREF0	
P45	7-4-1			ANO0	
P46				ANO1	
P50	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG4/INTP6	ポート5。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51				SEG5	
P52				SEG6	
P60	12-1-3	入出力	入力ポート	SCLA0/(TI01)/(TO01)	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0/(TI02)/(TO02)	
P70	7-5-4	入出力	デジタル 入力無効 ^{注1}	KR7/SEG12	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71				KR6/SEG13	
P72				KR5/TKBO20/SEG14	
P73				KR4/TKBO21/SEG15	
P74				KR3/TKBO10/SEG16	
P75				KR2/TKBO11/SEG17	
P76				KR1/TKBO00/SEG18	
P77				KR0/TKBO01/SEG19	
P82	7-1-3	入出力	入力ポート	—	ポート8。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P83				—	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127のみ、入力/出力の指定が可能。 P125-P127のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル 入力無効注1	VL3/(TI06)/(TO06)	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P126	7-5-5			CAPL/(TI04)/(TO04)	
P127				CAPH/(TI03)/(TO03)/ (REMOOUT)	
P130	1-1-2	出力	出力ポート	—	ポート14。
P137	2-1-2	入力	入力ポート	INTP0	4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P140-P143はアナログ入力に設定可能注2。
P140	7-10-3	入出力	アナログ 入力	ANI16/SEG28	ポート15。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P150-P152, P155, P156はアナログ入力に設定可能注3。
P141				ANI17/SEG29	
P142				ANI18/SEG30	
P143				ANI19/SEG31	
P150	4-3-3	入出力	アナログ 入力	ANI0/AVREFP	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
P151				ANI1/AVREFM	
P152				ANI2	
P155				ANI5	
P156				ANI6	
RESET	2-1-1	入力	—	—	COM専用端子
COM0- COM3	18-5-1	出力	出力ポート	—	COM専用端子
COM4				SEG0	
COM5				SEG1	
COM6				SEG2	
COM7				SEG3	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

注3. 各端子をデジタル/アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

2.1.3 100ピン製品(USB搭載製品)

(1/3)

機能名称	端子 タイプ	入出力	リセット 解除時	兼用機能	機能
P00	8-5-10	入出力	デジタル 入力無効 ^{注1}	SCK10/SCL10/SEG48	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P00, P01の入力はTTL入力バッファに設定可能。 P00-P02の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P01				SI10/RxD1/SDA10/SEG49	
P02	7-5-10			SO10/TxD1/(PCLBUZ0)/SEG50	
P03	7-5-4			TI00/TO00/INTP1/SEG51	
P04				INTP2/SEG52	
P05				TI02/TO02/SEG53	
P06				INTP5/SEG54	
P07				TI06/TO06/SEG55	
P10	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP7/PCLBUZ0/SCK20/SCL20/SEG40	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11の入力はTTL入力バッファに設定可能。 P10-P12の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P11				RxD2/SI20/SDA20/SEG41/VCOU0	
P12	7-5-10			TxD2/SO20/SEG42/VCOU1	
P13	7-5-4			SEG43	
P14				SEG44	
P15				SEG45	
P16				SEG46	
P17				SEG47	
P20	7-10-3	入出力	アナログ 入力 デジタル 入力無効 ^{注1}	ANI20/SEG32	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P20, P21はアナログ入力に設定可能 ^{注2} 。 P24, P25の入力はTTL入力バッファに設定可能。 P24-P26の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P21	ANI21/SEG33				
P22	7-5-4			TI04/TO04/SEG34	
P23				TI07/TO07/SEG35	
P24	8-5-10			SCK00/SCL00/SEG36	
P25				SI00/RxD0/TOOLRxD/SDA00/SEG37	
P26	7-5-10			SO00/TxD0/TOOLTxD/SEG38	
P27	7-5-4			(TI05)/(TO05)/(INTP5)/PCLBUZ1/SEG39	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P30	7-5-4	入出力	デジタル 入力無効 ^{注1}	P30/TI03/TO03/ REMOOUT/SEG20	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P33, P34の入力はTTL入力バッファに設定可能。 P33-P35の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。	
P31				INTP3/RTC1HZ/SEG21		
P32				TI01/TO01/SEG22		
P33				8-5-10		INTP4/SCK30/SCL30/ SEG23
P34						SI30/RxD3/SDA30/ SEG24
P35				7-5-10		SO30/TxD3/SEG25
P36				7-5-4		SEG26
P37	SEG27					
P40	7-1-3	入出力	入力ポート	TOOL0/(TI00)/(TO00)	ポート4。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41-P46はアナログ入力に設定可能 ^{注2} 。 P43, P44の入力はTTL入力バッファに設定可能。 P42-P44の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。	
P41	7-4-1			(TI07)/(TO07)/IVREF1		
P42	7-3-4			TI05/TO05/(SO10)/ (TxD1)/IVCMP1		
P43	8-3-4			(INTP7)/(SI10)/(RxD1)/ (SDA10)/IVCMP0		
P44				(SCK10)/(SCL10)/ IVREF0		
P45	7-4-1			ANO0		
P46				ANO1		
P50	7-5-4	入出力	デジタル 入力無効 ^{注1}	SEG4/INTP6	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P51				SEG5		
P52				SEG6		
P53				SEG7		
P54				SEG8		
P55				SEG9		
P56				SEG10		
P57				SEG11		
P60	12-1-3	入出力	入力ポート	SCLA0/(TI01)/(TO01)	ポート6。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。	
P61				SDAA0/(TI02)/(TO02)		

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P70	7-5-4	入出力	デジタル 入力無効 ^{注1}	KR7/SEG12	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71				KR6/SEG13	
P72				KR5/TKBO20/SEG14	
P73				KR4/TKBO21/SEG15	
P74				KR3/TKBO10/SEG16	
P75				KR2/TKBO11/SEG17	
P76				KR1/TKBO00/SEG18	
P77				KR0/TKBO01/SEG19	
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127のみ、入力/出力の指定が可能。 P125-P127のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル 入力無効 ^{注1}	VL3/(TI06)/(TO06)	
P126	7-5-5			CAPL/(TI04)/(TO04)	
P127	CAPH/(TI03)/(TO03)/ (REMOOUT)				
P130	1-1-2	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P140	7-10-3	入出力	アナログ 入力	ANI16/SEG28	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P140-P143はアナログ入力に設定可能 ^{注2} 。
P141				ANI17/SEG29	
P142				ANI18/SEG30	
P143				ANI19/SEG31	
P150	4-3-3	入出力	アナログ 入力	ANI0/AVREFP	ポート15。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P150-P156はアナログ入力に設定可能 ^{注3} 。
P151				ANI1/AVREFM	
P152				ANI2	
P153				ANI3	
P154				ANI4	
P155				ANI5	
P156				ANI6	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
COM0-COM3	18-5-1	出力	出力ポート	—	COM専用端子
COM4				SEG0	
COM5				SEG1	
COM6				SEG2	
COM7				SEG3	
UVBus (USB搭載製品)	17-11-1	入力	—	—	USBケーブル接続モニタおよびUSBトランシーバ用正電源端子です。 USBバスのVBUSに接続してください。
UDM (USB搭載製品)	18-11-1	入出力	—	—	USBポートのD-入出力端子です。 USBバスのD-端子に接続してください。
UDP (USB搭載製品)				—	USBポートのD+入出力端子です。 USBバスのD+端子に接続してください。

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ (PMC)で設定します(1ビット単位で設定可能)。

注3. 各端子をデジタル/アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR)のフォーマットを参照してください。

2.1.4 100ピン製品(USB非搭載製品)

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	8-5-10	入出力	デジタル 入力無効 ^{注1}	SCK10/SCL10/SEG48	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P00, P01の入力はTTL入力バッファに設定可能。 P00-P02の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P01				SI10/RxD1/SDA10/SEG49	
P02	7-5-10	SO10/TxD1/(PCLBUZ0)/SEG50			
P03	7-5-4	TI00/TO00/INTP1/SEG51			
P04		INTP2/SEG52			
P05		TI02/TO02/SEG53			
P06		INTP5/SEG54			
P07		TI06/TO06/SEG55			
P10	8-5-10	入出力	デジタル 入力無効 ^{注1}	INTP7/PCLBUZ0/SCK20/SCL20/SEG40	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11の入力はTTL入力バッファに設定可能。 P10-P12の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P11				RxD2/SI20/SDA20/SEG41/VCOU0	
P12	7-5-10	TxD2/SO20/SEG42/VCOU1			
P13	7-5-4	SEG43			
P14		SEG44			
P15		SEG45			
P16		SEG46			
P17		SEG47			
P20	7-10-3	入出力	アナログ 入力	ANI20/SEG32	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P20, P21はアナログ入力に設定可能 ^{注2} 。 P24, P25の入力はTTL入力バッファに設定可能。 P24-P26の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。
P21				ANI21/SEG33	
P22	7-5-4	デジタル 入力無効 ^{注1}	TI04/TO04/SEG34		
P23			TI07/TO07/SEG35		
P24	8-5-10		SCK00/SCL00/SEG36		
P25			SI00/RxD0/TOOLRxD/SDA00/SEG37		
P26	7-5-10	SO00/TxD0/TOOLTxD/SEG38			
P27	7-5-4	(TI05)/(TO05)/(INTP5)/PCLBUZ1/SEG39			

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。
詳細は、図4-8 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能	
P30	7-5-4	入出力	デジタル 入力無効注1	P30/TI03/TO03/ REMOOUT/SEG20	ポート3。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P33, P34の入力はTTL入力バッファに設定可能。 P33-P35の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。	
P31				INTP3/RTC1HZ/SEG21		
P32				TI01/TO01/SEG22		
P33				8-5-10		INTP4/SCK30/SCL30/ SEG23
P34						SI30/RxD3/SDA30/ SEG24
P35				7-5-10		SO30/TxD3/SEG25
P36				7-5-4		SEG26
P37	SEG27					
P40	7-1-3	入出力	入力ポート	TOOL0/(TI00)/(TO00)	ポート4。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41-P46はアナログ入力に設定可能注2。 P43, P44の入力はTTL入力バッファに設定可能。 P42-P44の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。	
P41	7-4-1			(TI07)/(TO07)/IVREF1		
P42	7-3-4			TI05/TO05/(SO10)/ (TxD1)/IVCMP1		
P43	8-3-4			(INTP7)/(SI10)/(RxD1)/ (SDA10)/IVCMP0		
P44				(SCK10)/(SCL10)/ IVREF0		
P45	7-4-1			ANO0		
P46				ANO1		
P50	7-5-4	入出力	デジタル 入力無効注1	SEG4/INTP6	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	
P51				SEG5		
P52				SEG6		
P53				SEG7		
P54				SEG8		
P55				SEG9		
P56				SEG10		
P57	SEG11					
P60	12-1-3	入出力	入力ポート	SCLA0/(TI01)/(TO01)	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6V耐圧)。	
P61				SDAA0/(TI02)/(TO02)		

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ(PMC)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

詳細は、図4-8 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを参照してください。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P70	7-5-4	入出力	デジタル 入力無効注1	KR7/SEG12	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71				KR6/SEG13	
P72				KR5/TKBO20/SEG14	
P73				KR4/TKBO21/SEG15	
P74				KR3/TKBO10/SEG16	
P75				KR2/TKBO11/SEG17	
P76				KR1/TKBO00/SEG18	
P77				KR0/TKBO01/SEG19	
P80	7-1-3	入出力	入力ポート	—	ポート8。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P81				—	
P82				—	
P83				—	
P121	2-2-1	入力	入力ポート	X1	ポート12。 3ビット入出力ポートと4ビット入力専用ポート。 P125-P127のみ、入力／出力の指定が可能。 P125-P127のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P125	7-5-6	入出力	デジタル 入力無効注1	VL3/(TI06)/(TO06)	
P126	7-5-5			CAPL/(TI04)/(TO04)	
P127				CAPH/(TI03)/(TO03)/ (REMOOUT)	
P130	1-1-2	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P140	7-10-3	入出力	アナログ 入力	ANI16/SEG28	ポート14。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P140-P143はアナログ入力に設定可能注2。
P141				ANI17/SEG29	
P142				ANI18/SEG30	
P143				ANI19/SEG31	
P150	4-3-3	入出力	アナログ 入力	ANI0/AVREFP	ポート15。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P150-P156はアナログ入力に設定可能注3。
P151				ANI1/AVREFM	
P152				ANI2	
P153				ANI3	
P154				ANI4	
P155				ANI5	
P156				ANI6	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
COM0- COM3	18-5-1	出力	出力ポート	—	COM専用端子
COM4				SEG0	
COM5				SEG1	
COM6				SEG2	
COM7				SEG3	

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタ (PMC)で設定します(1ビット単位で設定可能)。

注3. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ (PIOR)の設定により、割り当て可能です。
詳細は、図4-8 周辺I/Oリダイレクション・レジスタ (PIOR)のフォーマットを参照してください。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

(1/5)

機能名称	USB搭載製品		USB非搭載製品	
	100ピン	80/85ピン	100ピン	80/85ピン
ANI0	○	○	○	○
ANI1	○	○	○	○
ANI2	○	○	○	○
ANI3	○	—	○	—
ANI4	○	—	○	—
ANI5	○	—	○	○
ANI6	○	—	○	○
ANI16	○	○	○	○
ANI17	○	○	○	○
ANI18	○	○	○	○
ANI19	○	○	○	○
ANI20	○	○	○	○
ANI21	○	○	○	○
ANO0	○	○	○	○
ANO1	○	○	○	○
INTP0	○	○	○	○
INTP1	○	○	○	○
INTP2	○	○	○	○
INTP3	○	○	○	○
INTP4	○	○	○	○
INTP5	○	○	○	○
INTP6	○	○	○	○
INTP7	○	○	○	○
IVCMP0	○	○	○	○
IVCMP1	○	—	○	—
IVREF0	○	○	○	○
IVREF1	○	—	○	—
KR0	○	○	○	○
KR1	○	○	○	○
KR2	○	○	○	○
KR3	○	○	○	○
KR4	○	○	○	○
KR5	○	○	○	○
KR6	○	○	○	○
KR7	○	○	○	○
PCLBUZ0	○	○	○	○
PCLBUZ1	○	○	○	○
REGC	○	○	○	○
RTC1HZ	○	○	○	○

(2/5)

機能名称	USB 搭載製品		USB 非搭載製品	
	100ピン	80/85ピン	100ピン	80/85ピン
REMOOUT	○	○	○	○
RESET	○	○	○	○
RxD0	○	○	○	○
RxD1	○	○	○	○
RxD2	○	○	○	○
RxD3	○	○	○	○
SCK00	○	○	○	○
SCK10	○	○	○	○
SCK20	○	○	○	○
SCK30	○	○	○	○
SCLA0	○	○	○	○
SCL00	○	○	○	○
SCL10	○	○	○	○
SCL20	○	○	○	○
SCL30	○	○	○	○
SDAA0	○	○	○	○
SDA00	○	○	○	○
SDA10	○	○	○	○
SDA20	○	○	○	○
SDA30	○	○	○	○
SI00	○	○	○	○
SI10	○	○	○	○
SI20	○	○	○	○
SI30	○	○	○	○
SO00	○	○	○	○
SO10	○	○	○	○
SO20	○	○	○	○
SO30	○	○	○	○
TI00	○	○	○	○
TI01	○	○	○	○
TI02	○	○	○	○
TI03	○	○	○	○
TI04	○	○	○	○
TI05	○	○	○	○
TI06	○	○	○	○
TI07	○	○	○	○
TKBO00	○	○	○	○
TKBO01	○	○	○	○
TKBO10	○	○	○	○
TKBO11	○	○	○	○
TKBO20	○	○	○	○
TKBO21	○	○	○	○
TO00	○	○	○	○

(3/5)

機能名称	USB搭載製品		USB非搭載製品	
	100ピン	80/85ピン	100ピン	80/85ピン
TO01	○	○	○	○
TO02	○	○	○	○
TO03	○	○	○	○
TO04	○	○	○	○
TO05	○	○	○	○
TO06	○	○	○	○
TO07	○	○	○	○
TxD0	○	○	○	○
TxD1	○	○	○	○
TxD2	○	○	○	○
TxD3	○	○	○	○
VCOU0	○	○	○	○
VCOU1	○	—	○	—
VL1	○	○	○	○
VL2	○	○	○	○
VL3	○	○	○	○
VL4	○	○	○	○
CAPH	○	○	○	○
CAPL	○	○	○	○
X1	○	○	○	○
X2	○	○	○	○
EXCLK	○	○	○	○
EXCLKS	○	○	○	○
XT1	○	○	○	○
XT2	○	○	○	○
VDD0	○	○	○	○
VDD1	○	—	○	—
AVDD	○	○	○	○
AVREFP	○	○	○	○
AVREFM	○	○	○	○
VSS0	○	○	○	○
VSS1	○	—	○	—
AVSS	○	○	○	○
TOOLRxD	○	○	○	○
TOOLTxD	○	○	○	○
TOOL0	○	○	○	○
UDP	○	○	—	—
UDM	○	○	—	—
UVBUS	○	○	—	—
UREGC	○	○	—	—
COM0	○	○	○	○
COM1	○	○	○	○
COM2	○	○	○	○

(4/5)

機能名称	USB搭載製品		USB非搭載製品	
	100ピン	80/85ピン	100ピン	80/85ピン
COM3	○	○	○	○
COM4	○	○	○	○
COM5	○	○	○	○
COM6	○	○	○	○
COM7	○	○	○	○
SEG0	○	○	○	○
SEG1	○	○	○	○
SEG2	○	○	○	○
SEG3	○	○	○	○
SEG4	○	○	○	○
SEG5	○	○	○	○
SEG6	○	○	○	○
SEG7	○	—	○	—
SEG8	○	—	○	—
SEG9	○	—	○	—
SEG10	○	—	○	—
SEG11	○	—	○	—
SEG12	○	○	○	○
SEG13	○	○	○	○
SEG14	○	○	○	○
SEG15	○	○	○	○
SEG16	○	○	○	○
SEG17	○	○	○	○
SEG18	○	○	○	○
SEG19	○	○	○	○
SEG20	○	○	○	○
SEG21	○	○	○	○
SEG22	○	○	○	○
SEG23	○	○	○	○
SEG24	○	○	○	○
SEG25	○	○	○	○
SEG26	○	—	○	—
SEG27	○	—	○	—
SEG28	○	○	○	○
SEG29	○	○	○	○
SEG30	○	○	○	○
SEG31	○	○	○	○
SEG32	○	○	○	○
SEG33	○	○	○	○
SEG34	○	○	○	○
SEG35	○	○	○	○
SEG36	○	○	○	○
SEG37	○	○	○	○

(5/5)

機能名称	USB 搭載製品		USB 非搭載製品	
	100ピン	80/85ピン	100ピン	80/85ピン
SEG38	○	○	○	○
SEG39	○	○	○	○
SEG40	○	○	○	○
SEG41	○	○	○	○
SEG42	○	○	○	○
SEG43	○	—	○	—
SEG44	○	—	○	—
SEG45	○	—	○	—
SEG46	○	—	○	—
SEG47	○	—	○	—
SEG48	○	○	○	○
SEG49	○	○	○	○
SEG50	○	○	○	○
SEG51	○	○	○	○
SEG52	○	○	○	○
SEG53	○	○	○	○
SEG54	○	○	○	○
SEG55	○	○	○	○

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI6, ANI16-ANI21	入力	A/Dコンバータのアナログ入力(図12-45 アナログ入力端子の処理参照)
ANO0, ANO1	出力	D/Aコンバータ出力
INTP0-INTP7	入力	外部割り込み要求入力 有効エッジ指定: 立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ
IVCMP0, IVCMP1	入力	コンパレータのアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
VCOU0, VCOU1	出力	コンパレータ出力
KR0-KR7	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1μF)を介し、V _{SS} に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
REMOOUT	出力	リモコン出力
RTC1HZ	出力	リアルタイム・クロック補正クロック(1 Hz)出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセット端子を使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。
RxD0-RxD3	入力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ入力
TxD0-TxD3	出力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ出力
SCK00, SCK10, SCK20, SCK30	入出力	シリアル・インタフェースCSI00, CSI10, CSI20, CSI30のシリアル・クロック入出力
SI00, SI10, SI20, SI30	入力	シリアル・インタフェースCSI00, CSI10, CSI20, CSI30のシリアル・データ入力
SO00, SO10, SO20, SO30	出力	シリアル・インタフェースCSI00, CSI10, CSI20, CSI30のシリアル・データ出力
SCL00, SCL10, SCL20, SCL30	出力	シリアル・インタフェースIIC00, IIC10, IIC20, IIC30のシリアル・クロック出力
SDA00, SDA10, SDA20, SDA30	入出力	シリアル・インタフェースIIC00, IIC10, IIC20, IIC30のシリアル・データ入出力
SCLA0	入出力	シリアル・インタフェースIICA0のクロック入出力
SDAA0	入出力	シリアル・インタフェースIICA0のシリアル・データ入出力
TI00-TI07	入力	16ビット・タイマ00-07への外部カウント・クロック/キャプチャ・トリガ入力
TO00-TO07	出力	16ビット・タイマ00-07のタイマ出力
TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21	出力	16ビット・タイマKB2のタイマ出力
VL1-VL4	—	LCD駆動用電圧
CAPH, CAPL	—	LCDコントローラ/ドライバ用コンデンサ接続
X1, X2	—	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	—	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力

(2/2)

機能名称	入出力	機能
VDD0, VDD1	—	端子の正電源
AVDD	—	A/Dコンバータの専用正電源
AVREFP	入力	A/Dコンバータの基準電圧(+側)入力
AVREFM	入力	A/Dコンバータの基準電圧(-側)入力
VSS0, VSS1	—	端子のグラウンド電位
AVSS	—	A/Dコンバータの専用グラウンド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力
COM0-COM7	出力	LCDコントローラ/ドライバのコモン信号出力
SEG0-SEG55	出力	LCDコントローラ/ドライバのセグメント信号出力
UDP	入出力	USBデータ入出力(+側)
UDM	入出力	USBデータ入出力(-側)
UREGC	—	USBレギュレータ容量接続 コンデンサ(0.33 μ F)を介し、Vssに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
UVBUS	—	USB用の正電源 (VBUS接続)

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、30.4 シリアル・プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、VDD - Vssライン間へのバイパスコンデンサ(0.1 μ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

各端子の未使用端子の処理を表2-3に示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図(Top View)、2.1 ポート機能を参照してください。

表2-3 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	デジタル入力無効時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続してください。
P10-P17		デジタル入力時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続してください。
P20-P27		デジタル出力時： オープンにしてください。
P30-P37		セグメント出力時： オープンにしてください。
P40/TOOL0		入力時： 個別に抵抗を介して、VDD0に接続またはオープンにしてください。 出力時： オープンにしてください。
P41-P46		入力時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続してください。 出力時： オープンにしてください。
P50-P57		デジタル入力無効時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続にしてください。 デジタル入力時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続にしてください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P60、P61		入力時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続してください。 出力時： オープンにしてください。
P70-P77		デジタル入力無効時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続にしてください。 デジタル入力時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続にしてください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P80-P83		入力時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続してください。 出力時： オープンにしてください。
P121-P124	入力	個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続してください。
P125-P127	入出力	入力時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続してください。 出力時： オープンにしてください。
P130	出力	オープンにしてください。
P137	入力	個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続してください。
P140-P143	入出力	デジタル入力無効時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続にしてください。 デジタル入力時： 個別に抵抗を介して、VDD0、VDD1またはVSS0、VSS1に接続にしてください。 デジタル出力時： オープンにしてください。 セグメント出力時： オープンにしてください。
P150-P156		入力時： 個別に抵抗を介して、AVDDまたはAVSSに接続してください。 出力時： オープンにしてください。
RESET	入力	VDDに直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ(0.47~1 μF)を介し、VSSに接続してください。
COM0-COM7	出力	オープンにしてください。
VL1, VL2, VL4	—	オープンにしてください。
UREGC (USB搭載製品)	—	コンデンサ(0.33 μF)を介し、VSSに接続してください。
UVBUS (USB搭載製品)	入力	個別に抵抗を介して、VSS0、VSS1に接続してください。
UDM (USB搭載製品)	入出力	オープンにしてください。
UDP (USB搭載製品)		

2.4 端子ブロック図

2.1.1 80/85ピン製品(USB搭載製品)～2.1.4 100ピン製品(USB非搭載製品)に記載した端子タイプについて、端子ブロック図を図2-1～図2-19に示します。

図2-1 端子タイプ1-1-2の端子ブロック図

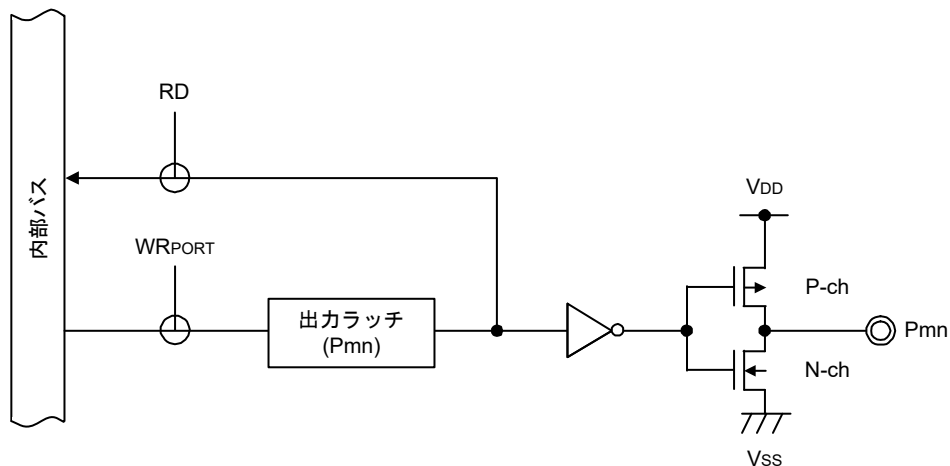


図2-2 端子タイプ2-1-1の端子ブロック図

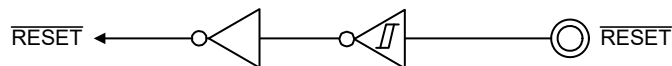


図2-3 端子タイプ2-1-2の端子ブロック図

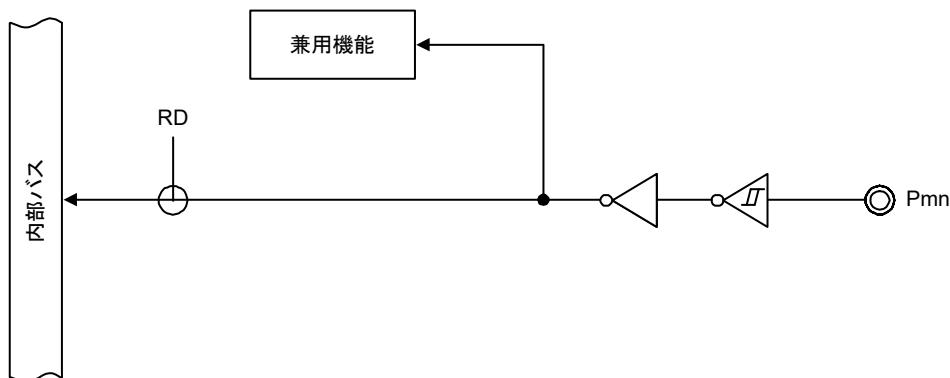
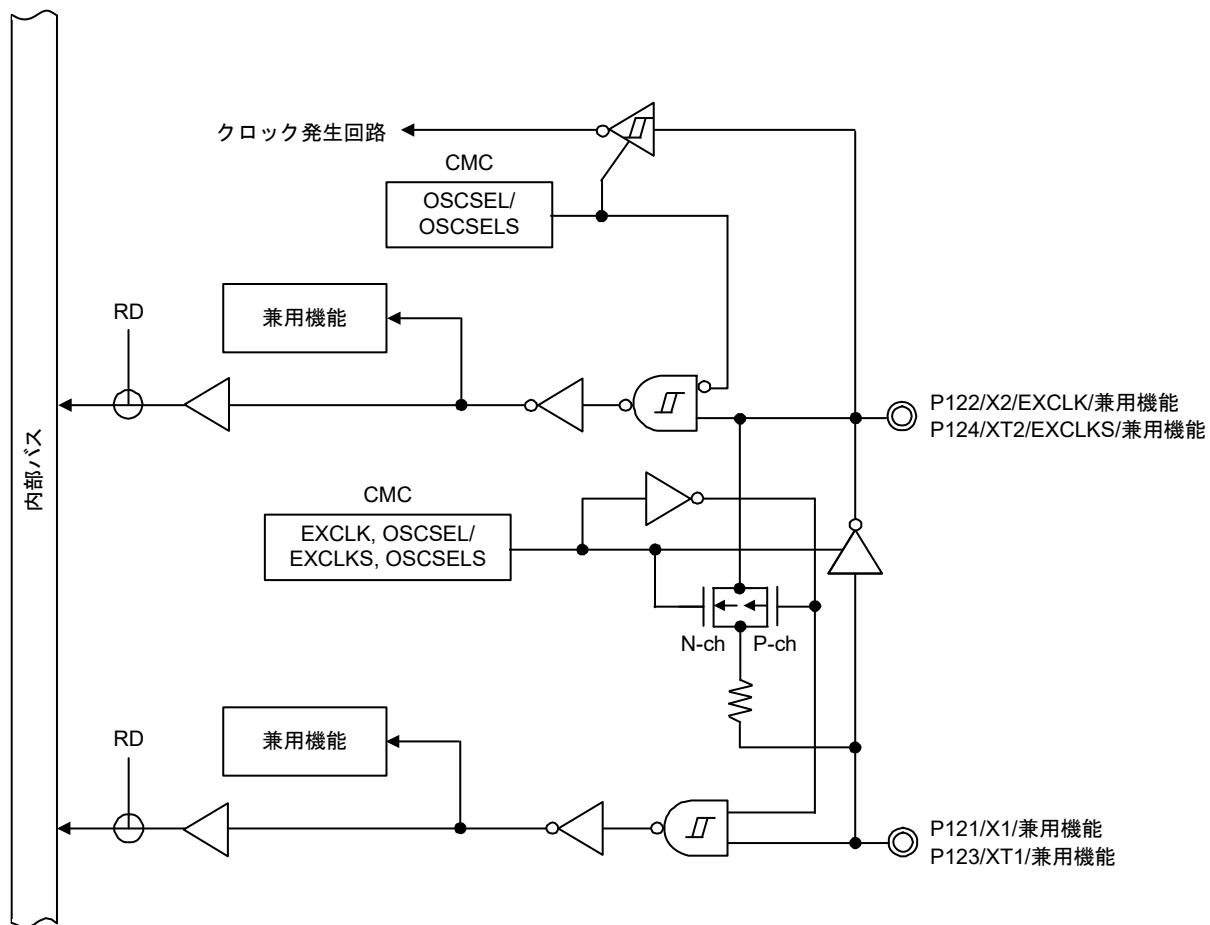


図2-4 端子タイプ2-2-1の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-5 端子タイプ4-3-3の端子ブロック図

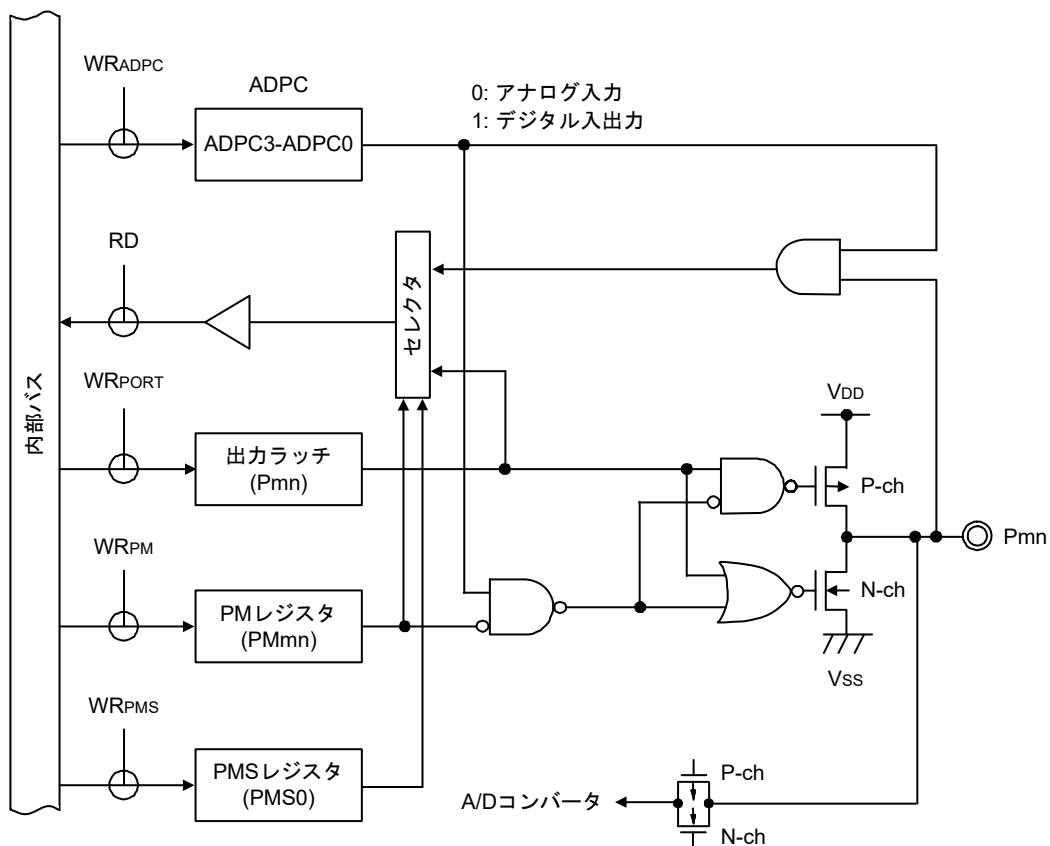
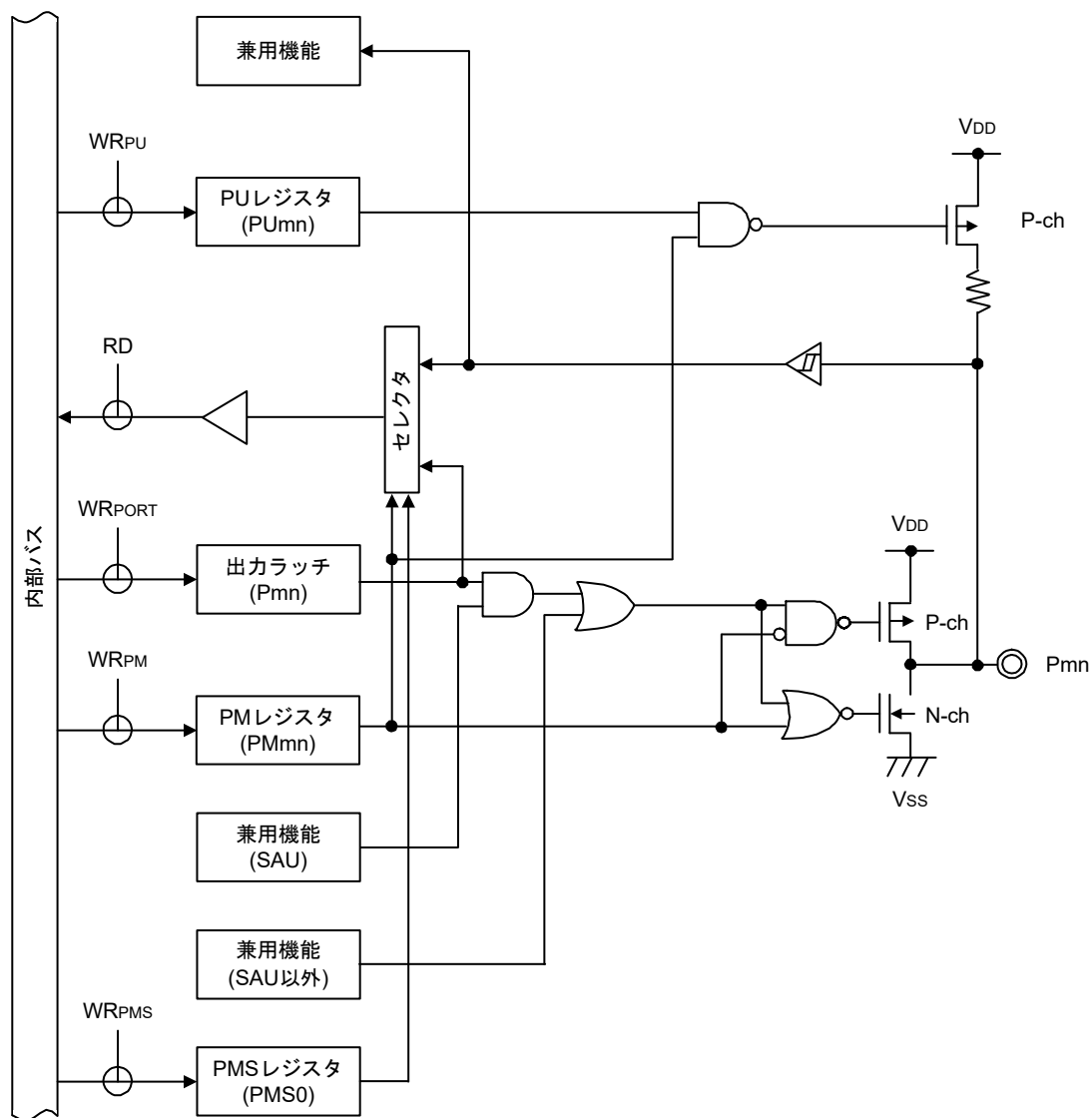


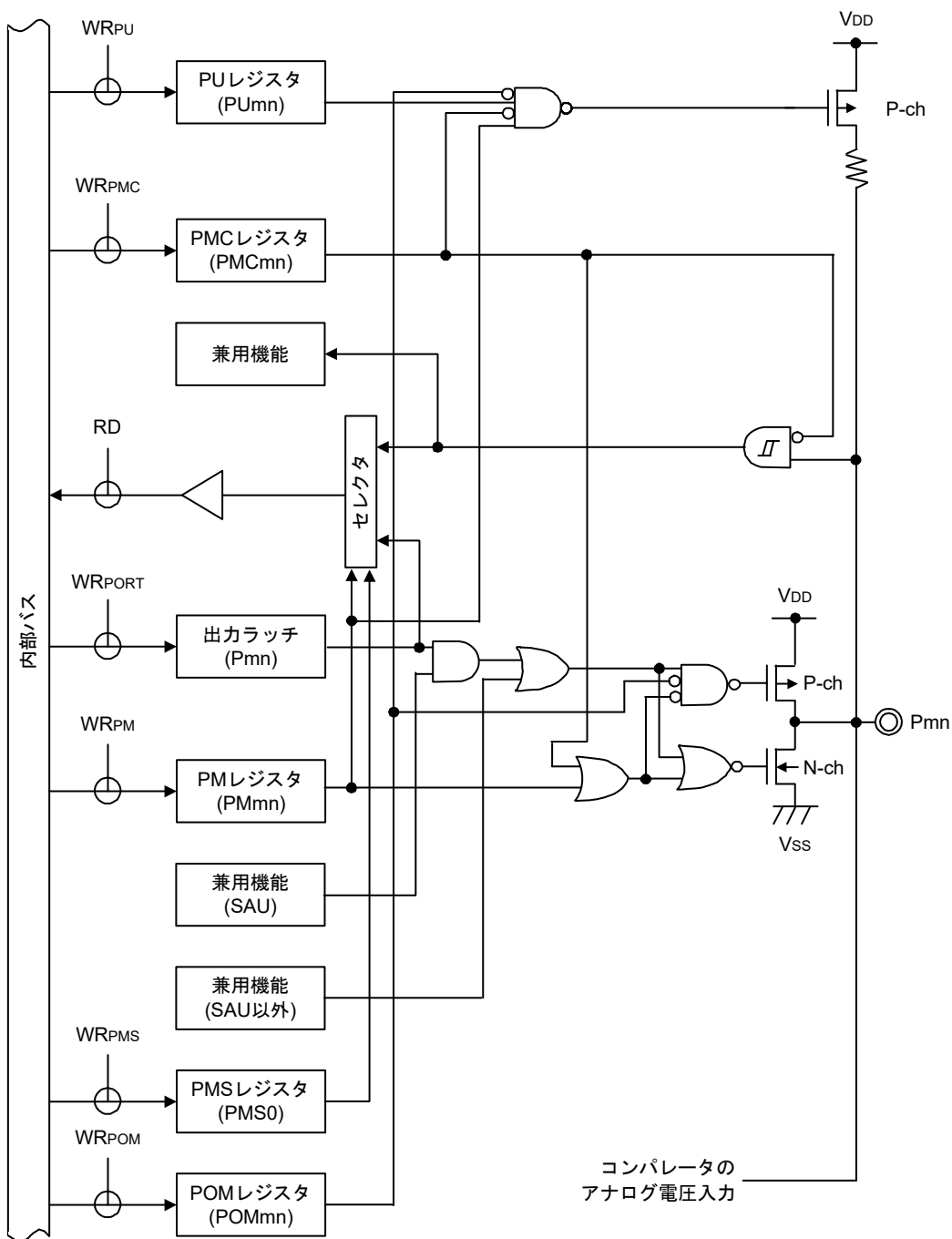
図2-6 端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-7 端子タイプ7-3-4の端子ブロック図

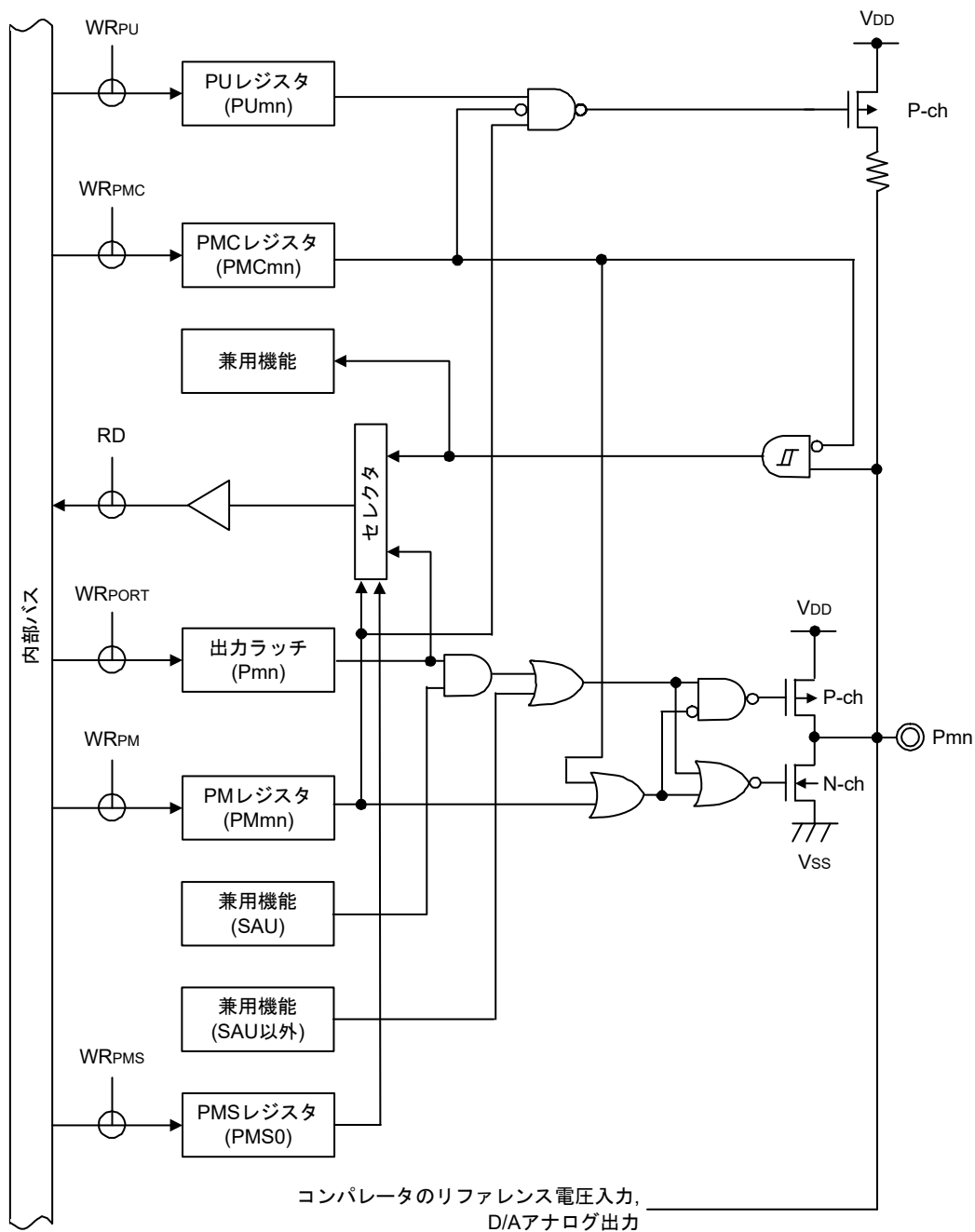


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

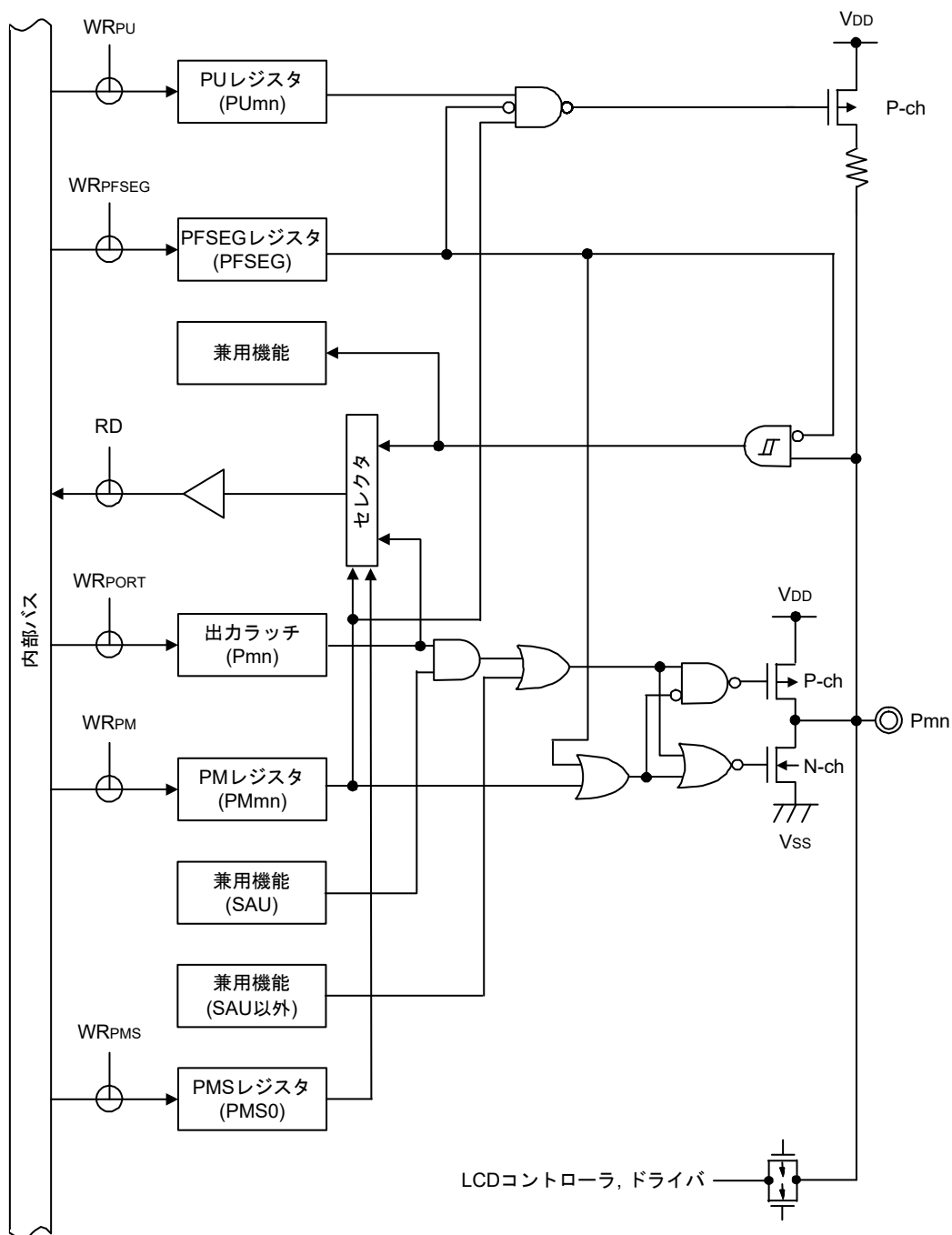
図2-8 端子タイプ7-4-1の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

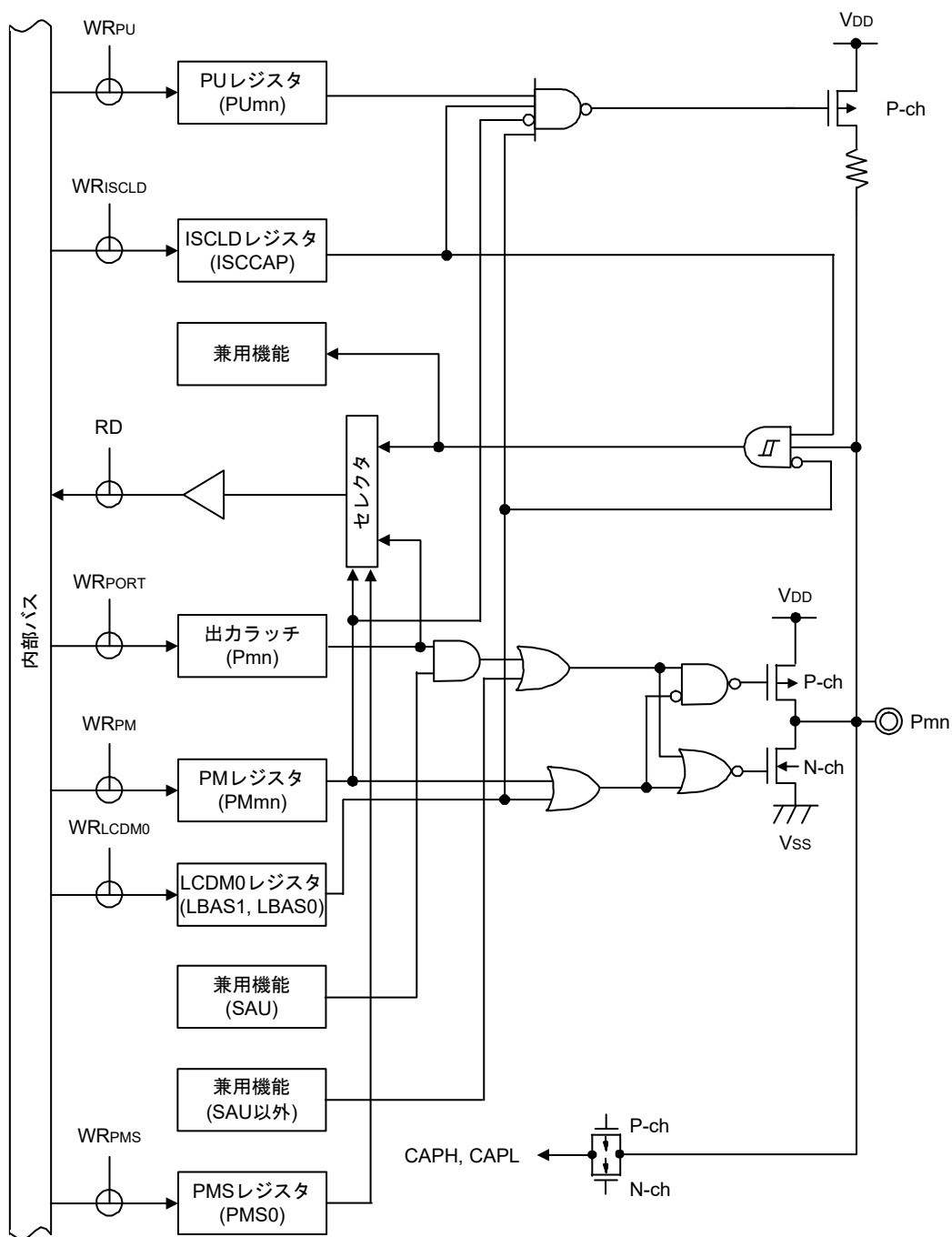
図2-9 端子タイプ7-5-4の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

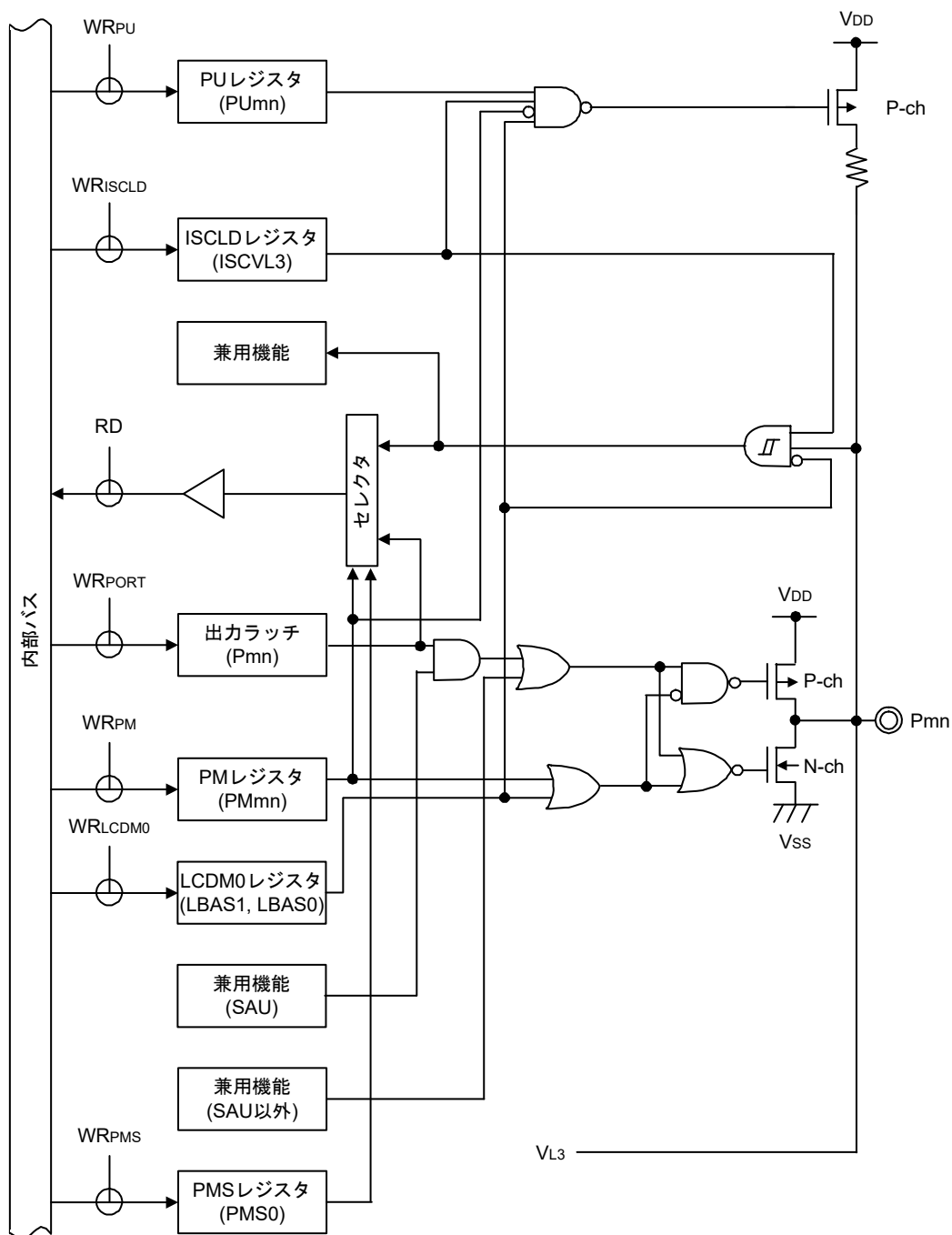
図2-10 端子タイプ7-5-5の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

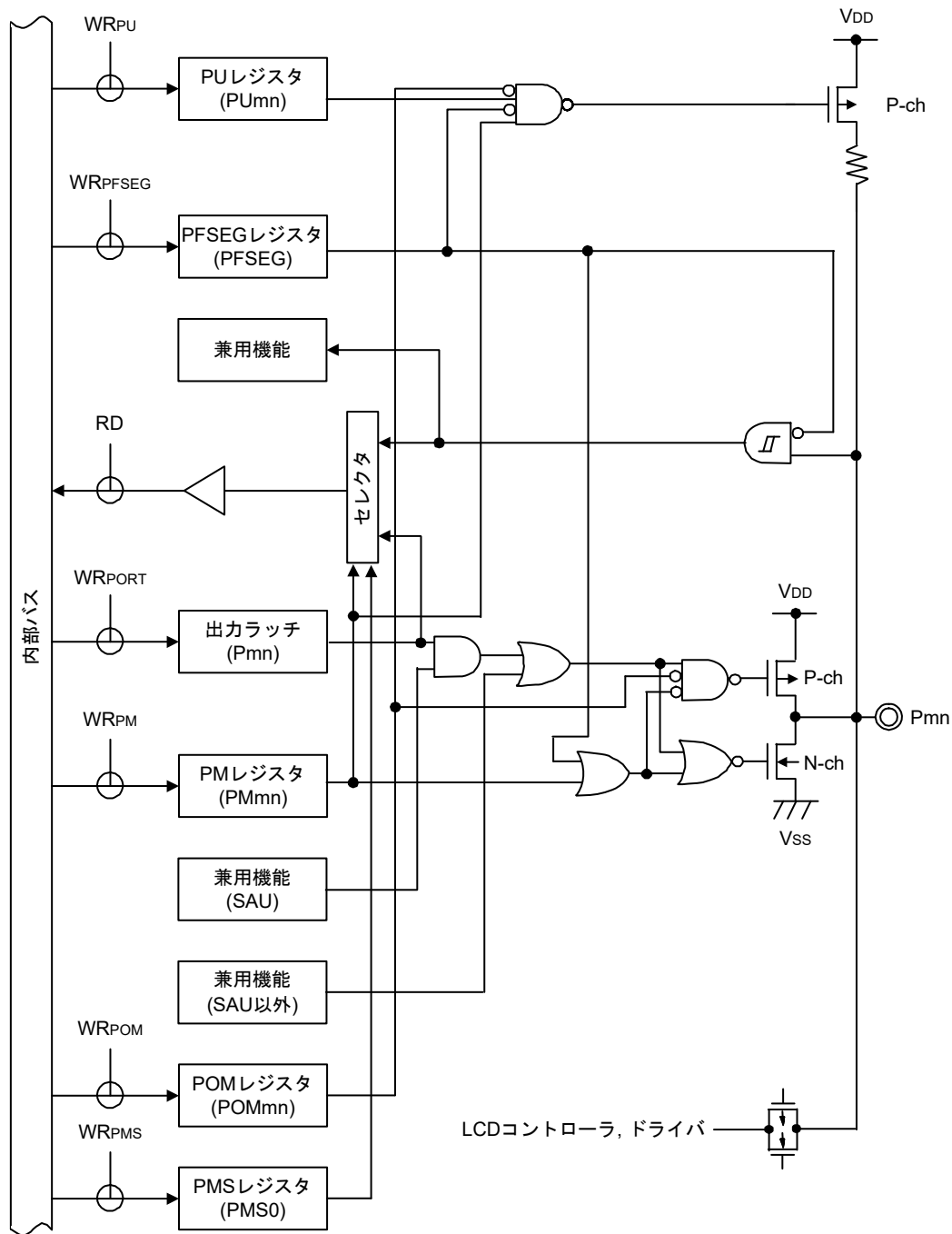
図2 - 11 端子タイプ7-5-6の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-12 端子タイプ7-5-10の端子ブロック図

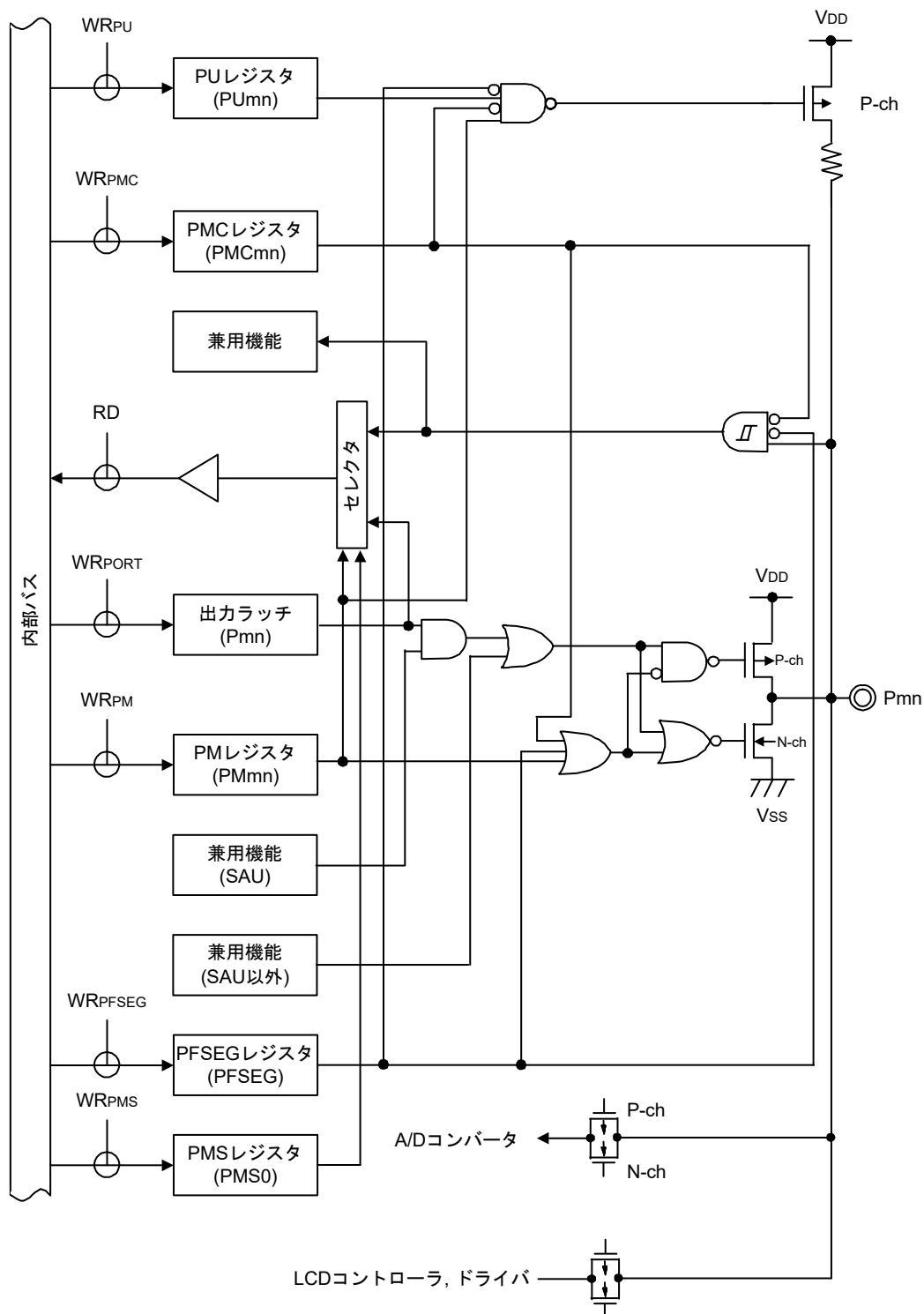


注意 ポート出力モード・レジスタ (POMx) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

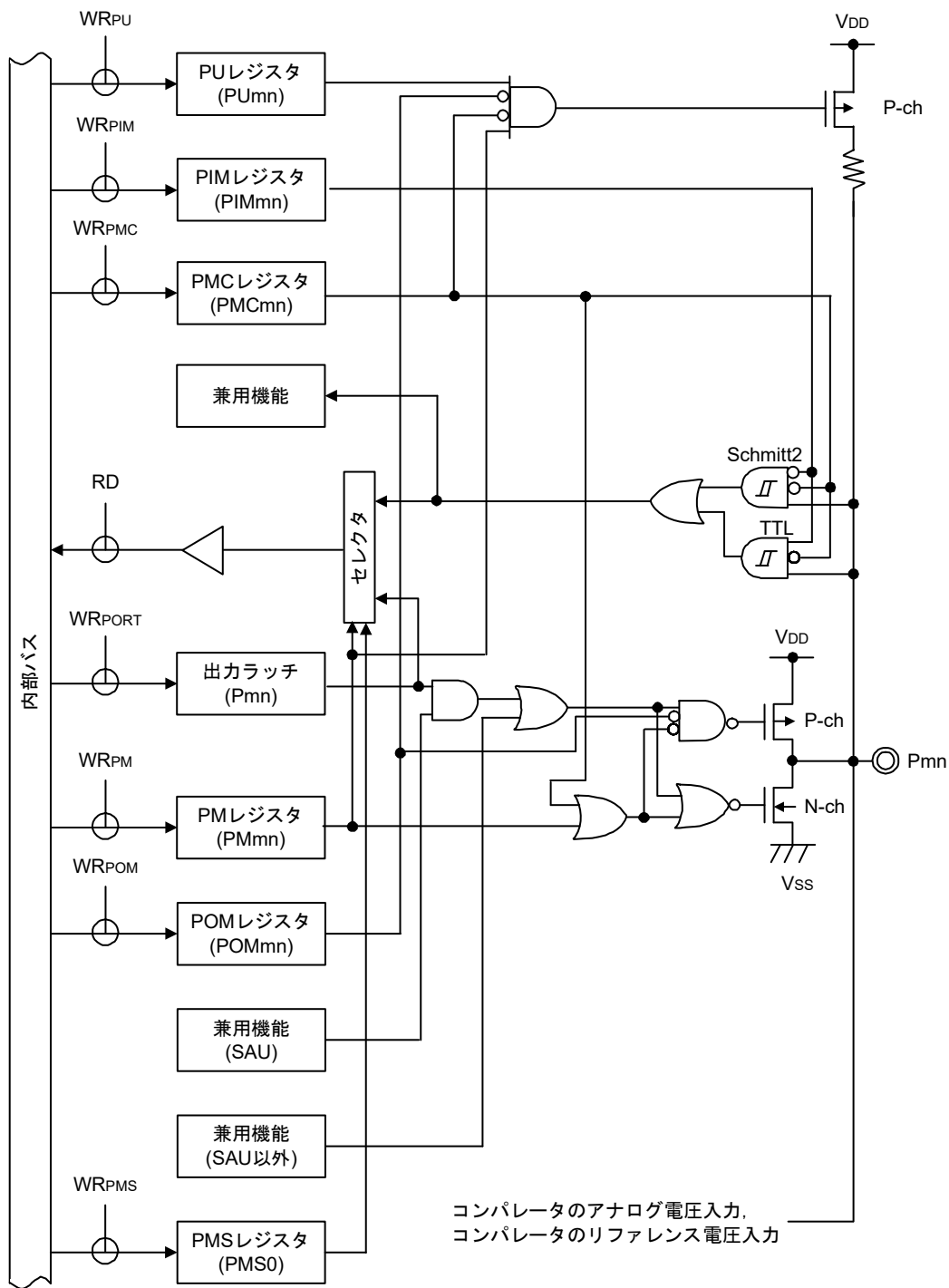
図2 - 13 端子タイプ7-10-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

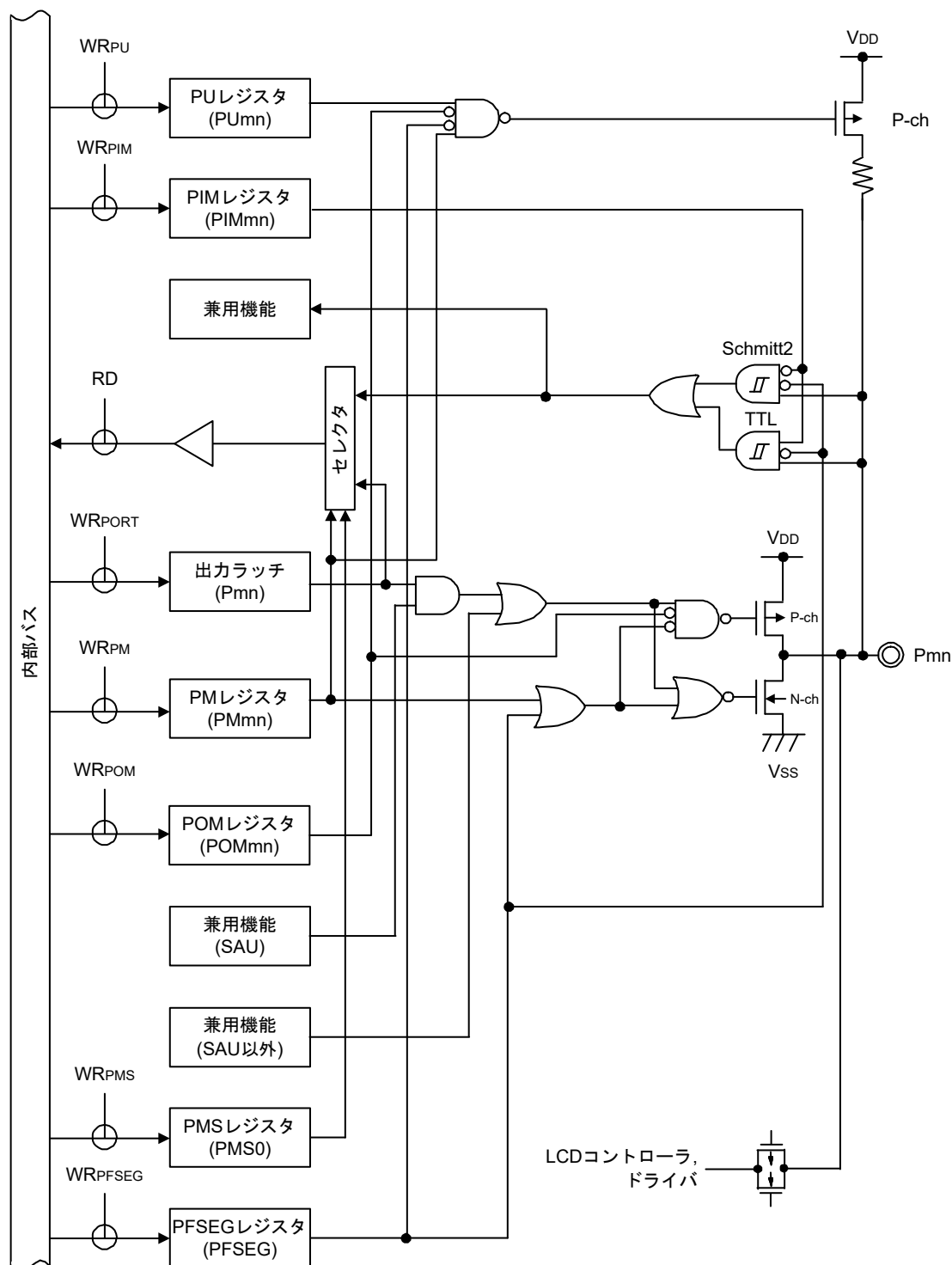
図2-14 端子タイプ8-3-4の端子ブロック図



- 注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
- 注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

- 備考1. 兼用機能は、2.1 ポート機能を参照してください。
- 備考2. SAU：シリアル・アレイ・ユニット

図2 - 15 端子タイプ8-5-10の端子ブロック図



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 18 端子タイプ18-5-1の端子ブロック図

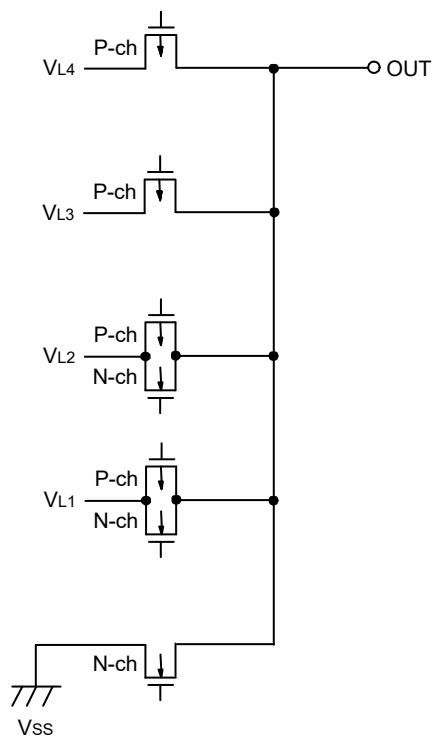
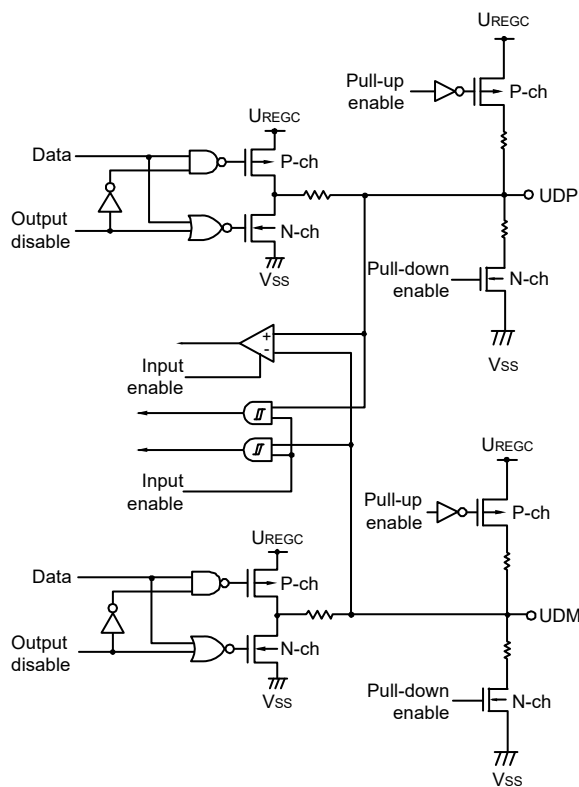


図2 - 19 端子タイプ18-11-1の端子ブロック図

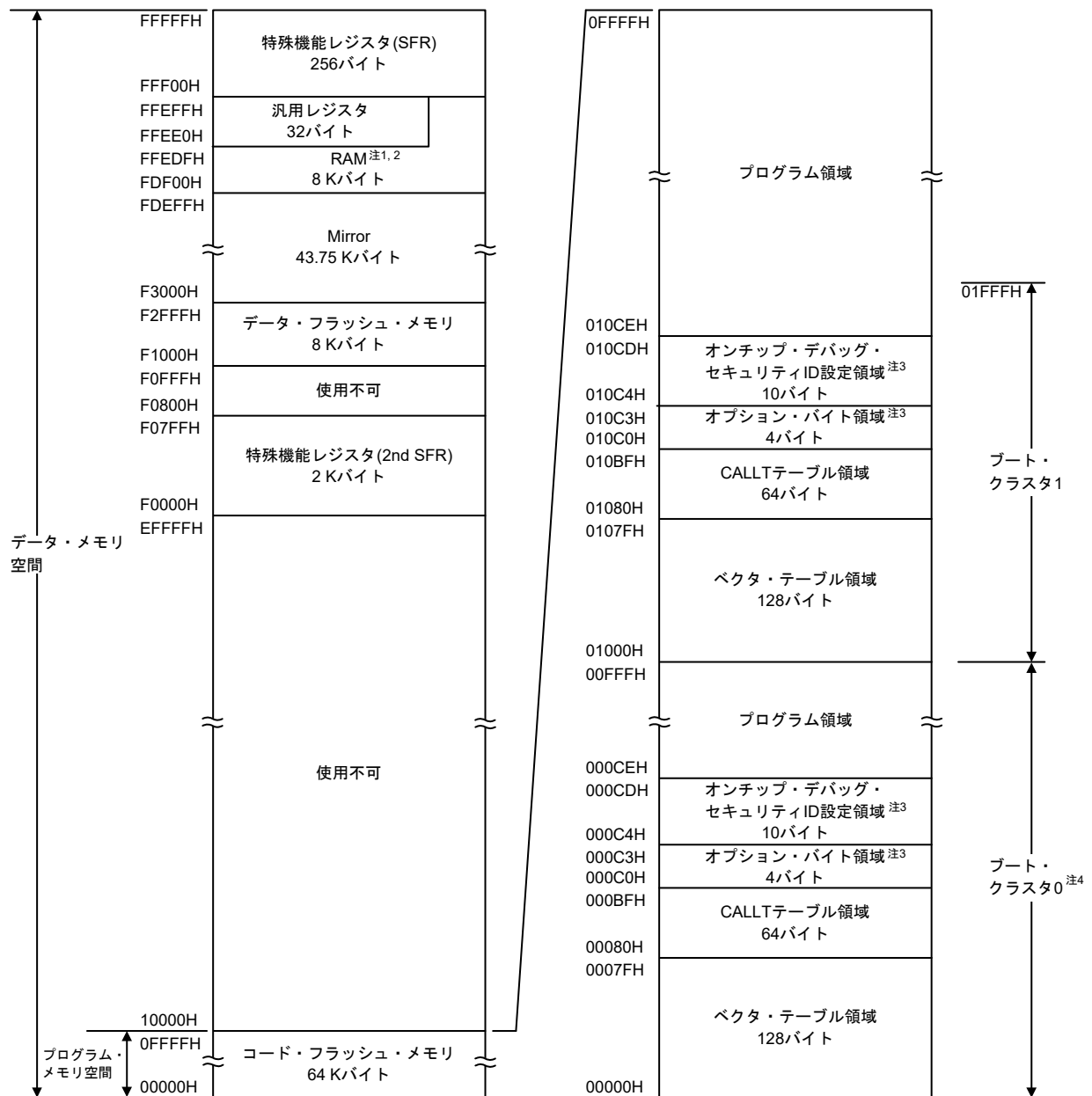


第3章 CPUアーキテクチャ

3.1 メモリ空間

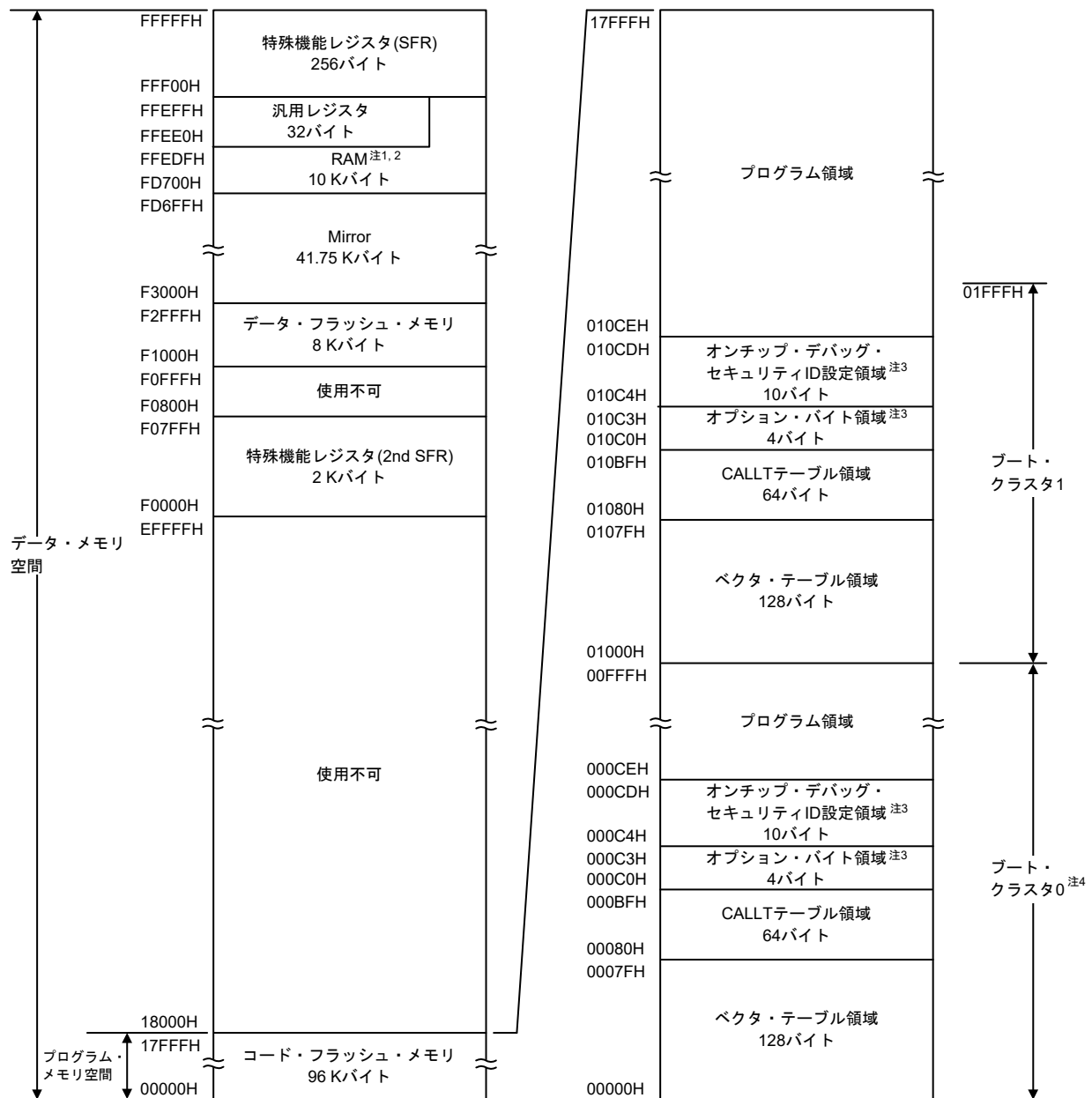
RL78/L1Cは、1 Mバイトのメモリ空間をアクセスできます。図3 - 1～図3 - 5に、メモリ・マップを示します。

図3-1 メモリ・マップ(R5F110xE, R5F111xE (x = M, N, P))



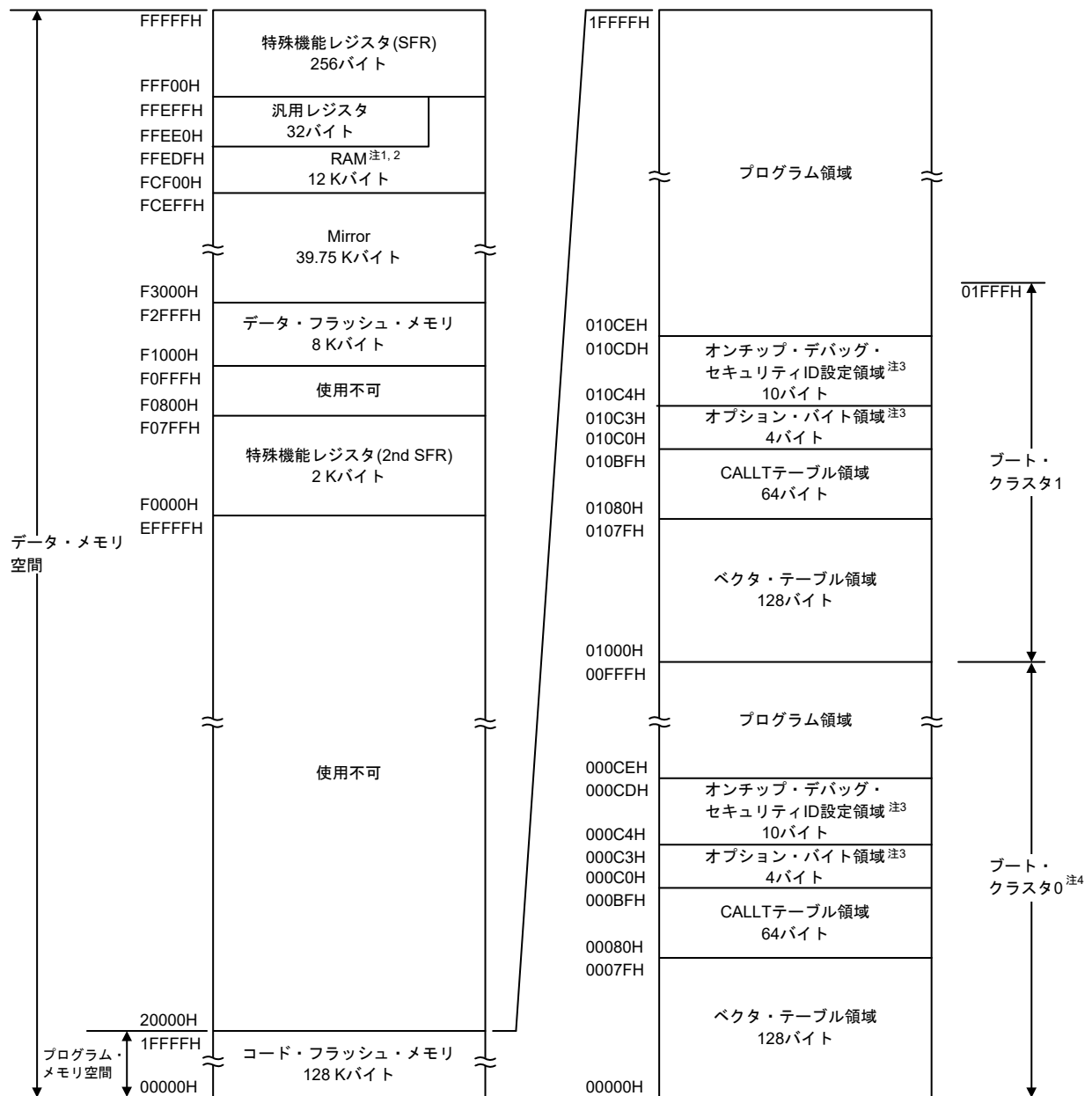
- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。
- 注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-2 メモリ・マップ(R5F110xF, R5F111xF (x = M, N, P))



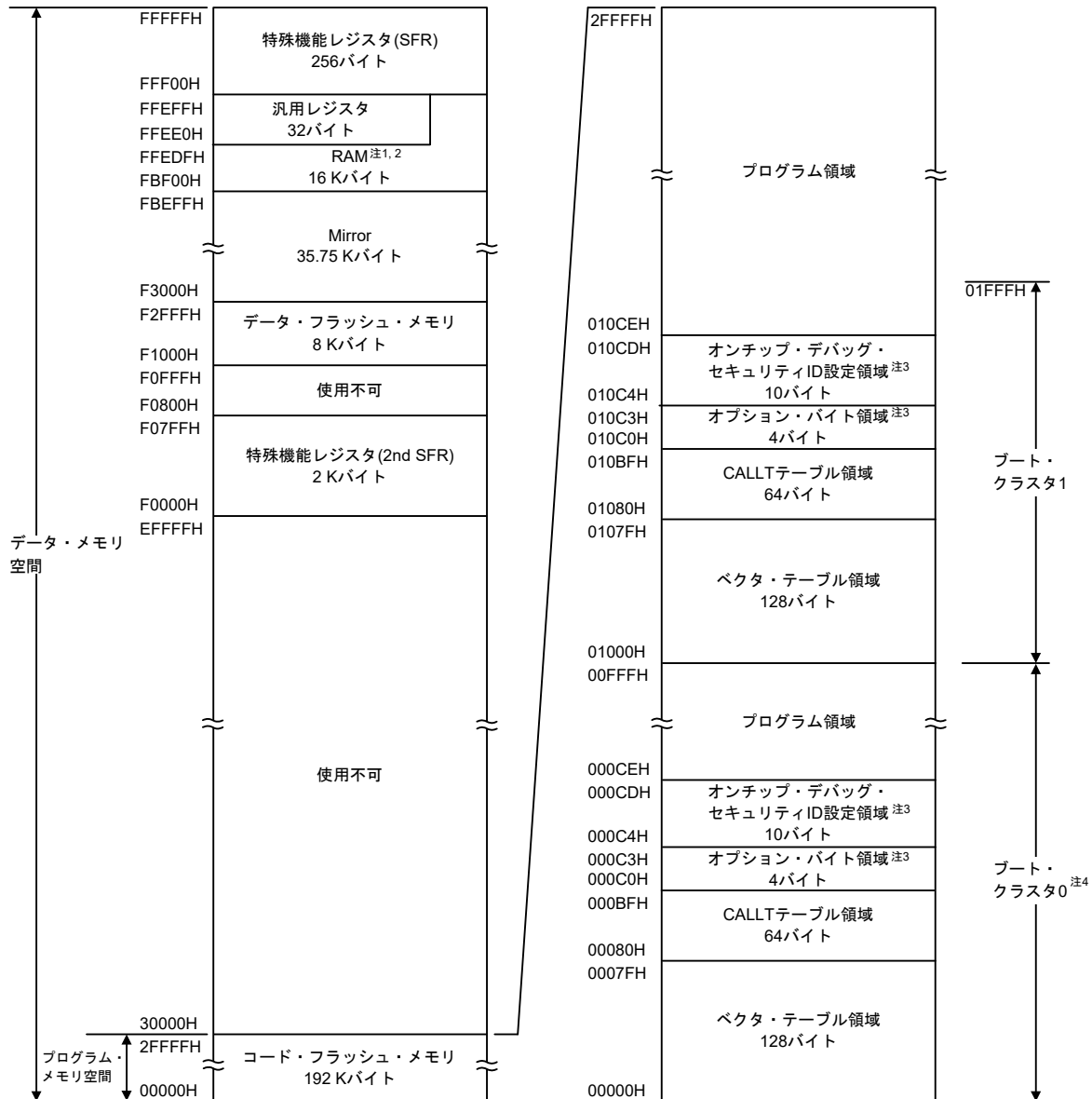
- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。
- 注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-3 メモリ・マップ(R5F110xG, R5F111xG (x = M, N, P))



- 注1. セルフ・プログラミングおよびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
- 注3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
- 注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。
- 注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-4 メモリ・マップ(R5F110xH, R5F111xH (x = M, N, P))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、FBF00H-FC309Hの領域は各ライブラリで使用するため使用禁止になります。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

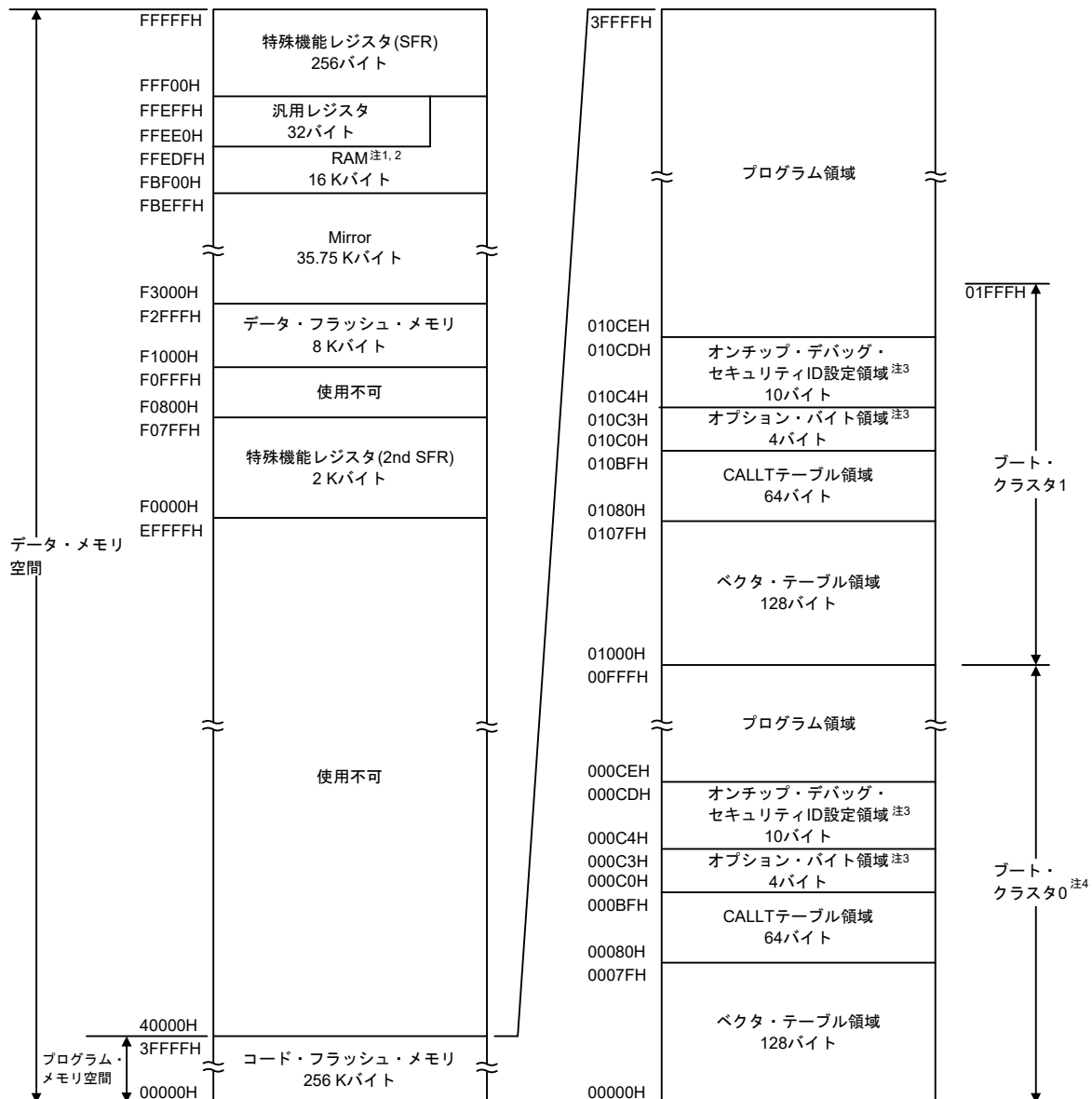
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意1. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

注意2. 次に示す製品の内部RAM領域は、オンチップ・デバッグのトレース機能使用時にスタック・メモリとして使用できません。
R5F110xH, R5F111xH (x = M, N, P) : FC300H-FC6FFH

図3-5 メモリ・マップ(R5F110xJ, R5F111xJ (x = M, N, P))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、FBF00H-FC309Hの領域は各ライブラリで使用するため使用禁止になります。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

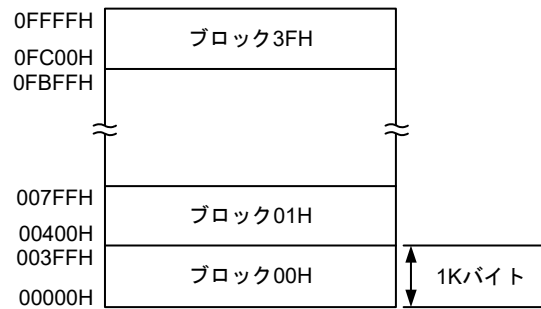
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意1. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域+10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

注意2. 次に示す製品の内部RAM領域は、オンチップ・デバッグのトレース機能使用時にスタック・メモリとして使用できません。
R5F110xJ, R5F111xJ (x = M, N, P) : FC300H-FC6FFH

備考 フラッシュ・メモリはブロックごとに分かれています(1ブロック=1Kバイト)。アドレス値とブロック番号については、表3-1、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(R5F110xE, R5F111xE (x = M, N, P))の場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応(1/2)

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考 R5F110xE, R5F111xE (x = M, N, P) : ブロック番号 00H-3FH

R5F110xF, R5F111xF (x = M, N, P) : ブロック番号 00H-5FH

R5F110xG, R5F111xG (x = M, N, P) : ブロック番号 00H-7FH

表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応(2/2)

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
20000H-203FFH	80H	28000H-283FFH	A0H	30000H-303FFH	C0H	38000H-383FFH	E0H
20400H-207FFH	81H	28400H-287FFH	A1H	30400H-307FFH	C1H	38400H-387FFH	E1H
20800H-20BFFH	82H	28800H-28BFFH	A2H	30800H-30BFFH	C2H	38800H-38BFFH	E2H
20C00H-20FFFH	83H	28C00H-28FFFH	A3H	30C00H-30FFFH	C3H	38C00H-38FFFH	E3H
21000H-213FFH	84H	29000H-293FFH	A4H	31000H-313FFH	C4H	39000H-393FFH	E4H
21400H-217FFH	85H	29400H-297FFH	A5H	31400H-317FFH	C5H	39400H-397FFH	E5H
21800H-21BFFH	86H	29800H-29BFFH	A6H	31800H-31BFFH	C6H	39800H-39BFFH	E6H
21C00H-21FFFH	87H	29C00H-29FFFH	A7H	31C00H-31FFFH	C7H	39C00H-39FFFH	E7H
22000H-223FFH	88H	2A000H-2A3FFH	A8H	32000H-323FFH	C8H	3A000H-3A3FFH	E8H
22400H-227FFH	89H	2A400H-2A7FFH	A9H	32400H-327FFH	C9H	3A400H-3A7FFH	E9H
22800H-22BFFH	8AH	2A800H-2ABFFH	AAH	32800H-32BFFH	CAH	3A800H-3ABFFH	EAH
22C00H-22FFFH	8BH	2AC00H-2AFFFH	ABH	32C00H-32FFFH	CBH	3AC00H-3AFFFH	EBH
23000H-233FFH	8CH	2B000H-2B3FFH	ACH	33000H-333FFH	CCH	3B000H-3B3FFH	ECH
23400H-237FFH	8DH	2B400H-2B7FFH	ADH	33400H-337FFH	CDH	3B400H-3B7FFH	EDH
23800H-23BFFH	8EH	2B800H-2BBFFH	AEH	33800H-33BFFH	CEH	3B800H-3BBFFH	EEH
23C00H-23FFFH	8FH	2BC00H-2BFFFH	AFH	33C00H-33FFFH	CFH	3BC00H-3BFFFH	EFH
24000H-243FFH	90H	2C000H-2C3FFH	B0H	34000H-343FFH	D0H	3C000H-3C3FFH	F0H
24400H-247FFH	91H	2C400H-2C7FFH	B1H	34400H-347FFH	D1H	3C400H-3C7FFH	F1H
24800H-24BFFH	92H	2C800H-2CBFFH	B2H	34800H-34BFFH	D2H	3C800H-3CBFFH	F2H
24C00H-24FFFH	93H	2CC00H-2CFFFH	B3H	34C00H-34FFFH	D3H	3CC00H-3CFFFH	F3H
25000H-253FFH	94H	2D000H-2D3FFH	B4H	35000H-353FFH	D4H	3D000H-3D3FFH	F4H
25400H-257FFH	95H	2D400H-2D7FFH	B5H	35400H-357FFH	D5H	3D400H-3D7FFH	F5H
25800H-25BFFH	96H	2D800H-2DBFFH	B6H	35800H-35BFFH	D6H	3D800H-3DBFFH	F6H
25C00H-25FFFH	97H	2DC00H-2DFFFH	B7H	35C00H-35FFFH	D7H	3DC00H-3DFFFH	F7H
26000H-263FFH	98H	2E000H-2E3FFH	B8H	36000H-363FFH	D8H	3E000H-3E3FFH	F8H
26400H-267FFH	99H	2E400H-2E7FFH	B9H	36400H-367FFH	D9H	3E400H-3E7FFH	F9H
26800H-26BFFH	9AH	2E800H-2EBFFH	BAH	36800H-36BFFH	DAH	3E800H-3EBFFH	FAH
26C00H-26FFFH	9BH	2EC00H-2EFFFH	BBH	36C00H-36FFFH	DBH	3EC00H-3EFFFH	FBH
27000H-273FFH	9CH	2F000H-2F3FFH	BCH	37000H-373FFH	DCH	3F000H-3F3FFH	FCH
27400H-277FFH	9DH	2F400H-2F7FFH	BDH	37400H-377FFH	DDH	3F400H-3F7FFH	FDH
27800H-27BFFH	9EH	2F800H-2FBFFH	BEH	37800H-37BFFH	DEH	3F800H-3FBFFH	FEH
27C00H-27FFFH	9FH	2FC00H-2FFFFH	BFH	37C00H-37FFFH	DFH	3FC00H-3FFFFH	FFH

備考 R5F110xH, R5F111xH (x = M, N, P) : ブロック番号 00H-BFH

R5F110xJ, R5F111xJ (x = M, N, P) : ブロック番号 00H-FFH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/L1Cは、次に示す内部ROM (フラッシュ・メモリ)を内蔵しています。

表3-3 内部ROM容量

製品	内部ROM	
	構造	容量
R5F110xE, R5F111xE (x = M, N, P)	フラッシュ・メモリ	65536 × 8ビット (00000H-0FFFFH)
R5F110xF, R5F111xF (x = M, N, P)		98304 × 8ビット (00000H-17FFFH)
R5F110xG, R5F111xG (x = M, N, P)		131072 × 8ビット (00000H-1FFFFH)
R5F110xH, R5F111xH (x = M, N, P)		196608 × 8ビット (00000H-2FFFFH)
R5F110xJ, R5F111xJ (x = M, N, P)		262144 × 8ビット (00000H-3FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表3-4 ベクタ・テーブル(1/2)

ベクタ・テーブル・ アドレス	割り込み要因	USB搭載製品		USB非搭載製品	
		100ピン	80/85ピン	100ピン	80/85ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○
00004H	INTWDTI	○	○	○	○
00006H	INTLVI	○	○	○	○
00008H	INTP0	○	○	○	○
0000AH	INTP1	○	○	○	○
0000CH	INTP2	○	○	○	○
0000EH	INTP3	○	○	○	○
00010H	INTP4	○	○	○	○
00012H	INTP5	○	○	○	○
00014H	INTST2/INTCSI20/INTIIC20	○	○	○	○
00016H	INTSR2	○	○	○	○
00018H	INTSRE2	○	○	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○
00020H	INTTM00	○	○	○	○
00022H	INTSR0	○	○	○	○
00024H	INTSRE0	○	○	○	○
	INTTM01H	○	○	○	○
00026H	INTST1/INTCSI10/INTIIC10	○	○	○	○
00028H	INTSR1	○	○	○	○
0002AH	INTSRE1	○	○	○	○
	INTTM03H	○	○	○	○
0002CH	INTIICA0	○	○	○	○
0002EH	INTRTIT	○	○	○	○
00032H	INTTM01	○	○	○	○
00034H	INTTM02	○	○	○	○
00036H	INTTM03	○	○	○	○
00038H	INTAD	○	○	○	○
0003AH	INTRTC	○	○	○	○
0003CH	INTIT	○	○	○	○
0003EH	INTKR	○	○	○	○
00040H	INTST3/INTCSI30/INTIIC30	○	○	○	○
00042H	INTSR3	○	○	○	○
00046H	INTTM04	○	○	○	○
00048H	INTTM05	○	○	○	○
0004AH	INTP6	○	○	○	○
0004CH	INTP7	○	○	○	○
00050H	INTCMP0	○	○	○	○
00052H	INTCMP1	○	—	○	—
00054H	INTTM06	○	○	○	○
00056H	INTTM07	○	○	○	○
00058H	INTUSB	○	○	—	—

表3-5 ベクタ・テーブル(2/2)

ベクタ・テーブル・ アドレス	割り込み要因	USB搭載製品		USB非搭載製品	
		100ピン	80/85ピン	100ピン	80/85ピン
0005AH	INTRSUM	○	○	—	—
0005CH	INTSRE3	○	○	○	○
0005EH	INTTKB2_0	○	○	○	○
00060H	INTTKB2_1	○	○	○	○
00062H	INTFL	○	○	○	○
00064H	INTTKB2_2	○	○	○	○
00066H	DTC0FIFO	○	○	—	—
00068H	DTC1FIFO	○	○	—	—
0007EH	BRK	○	○	○	○

(2) CALLT 命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第29章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は第31章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

RL78/L1Cでは、00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーしています。フラッシュ・メモリが96 KB以上の製品では、00000H-0FFFFHまたは10000H-1FFFFFFHのコード・フラッシュ・エリアをF0000H-FFFFFFHへミラーしています(プロセッサ・モード・コントロール・レジスタ(PMC)で設定)。

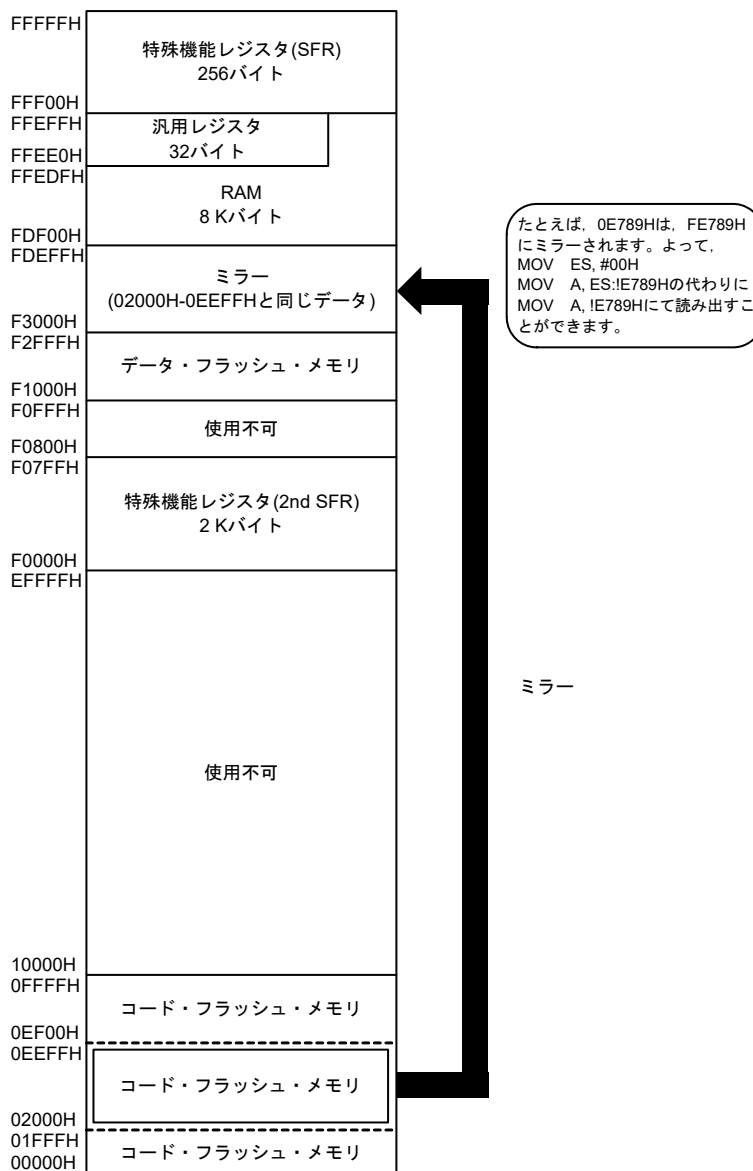
ミラー先のF0000H-FFFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F110xE, R5F111xE (x = M, N, P) (フラッシュ・メモリ 64 Kバイト, RAM 8 Kバイト)の場合



次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-6 プロセッサ・モード・コントロール・レジスタ (PMC)のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー

注意1. フラッシュ・メモリが64 KBの製品は、必ずビット0 (MAA)を0 (初期値)でご使用ください。

注意2. PMCレジスタの設定は、DTC (データトランスファコントローラ)を動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCレジスタの書き替えは禁止です。

注意3. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/L1Cは、次に示すRAMを内蔵しています。

表3 - 6 内部RAM容量

製品	内部RAM
R5F110xE, R5F111xE (x = M, N, P)	8192×8ビット (FDF00H-FFEFFFH)
R5F110xF, R5F111xF (x = M, N, P)	10240×8ビット (FD700H-FFEFFFH)
R5F110xG, R5F111xG (x = M, N, P)	12288 × 8ビット (FCF00H-FFEFFFH)
R5F110xH, R5F111xH (x = M, N, P)	16384 × 8ビット (FBF00H-FFEFFFH)
R5F110xJ, R5F111xJ (x = M, N, P)	16384 × 8ビット (FBF00H-FFEFFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を書いて実行することができません(汎用レジスタが割り当てられた領域では命令実行不可)。内部RAM領域のうち FFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFFH)の空間は、命令フェッチやスタック領域として使用できません。
- 注意2. 次に示す製品の内部RAM領域は、セルフ・プログラミングおよびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。
R5F110xH, R5F111xH (x = M, N, P) : FBF00H-FC309H
R5F110xJ, R5F111xJ (x = M, N, P) : FBF00H-FC309H
- 注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。
R5F110xH, R5F111xH (x = M, N, P) : FC300H-FC6FFFH
R5F110xJ, R5F111xJ (x = M, N, P) : FC300H-FC6FFFH

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています(3.2.4 特殊機能レジスタ (SFR : Special Function Register)の表3 - 7～表3 - 10参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています(3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)の表3 - 11～表3 - 25参照)。

SFR領域(FFF00H-FFFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

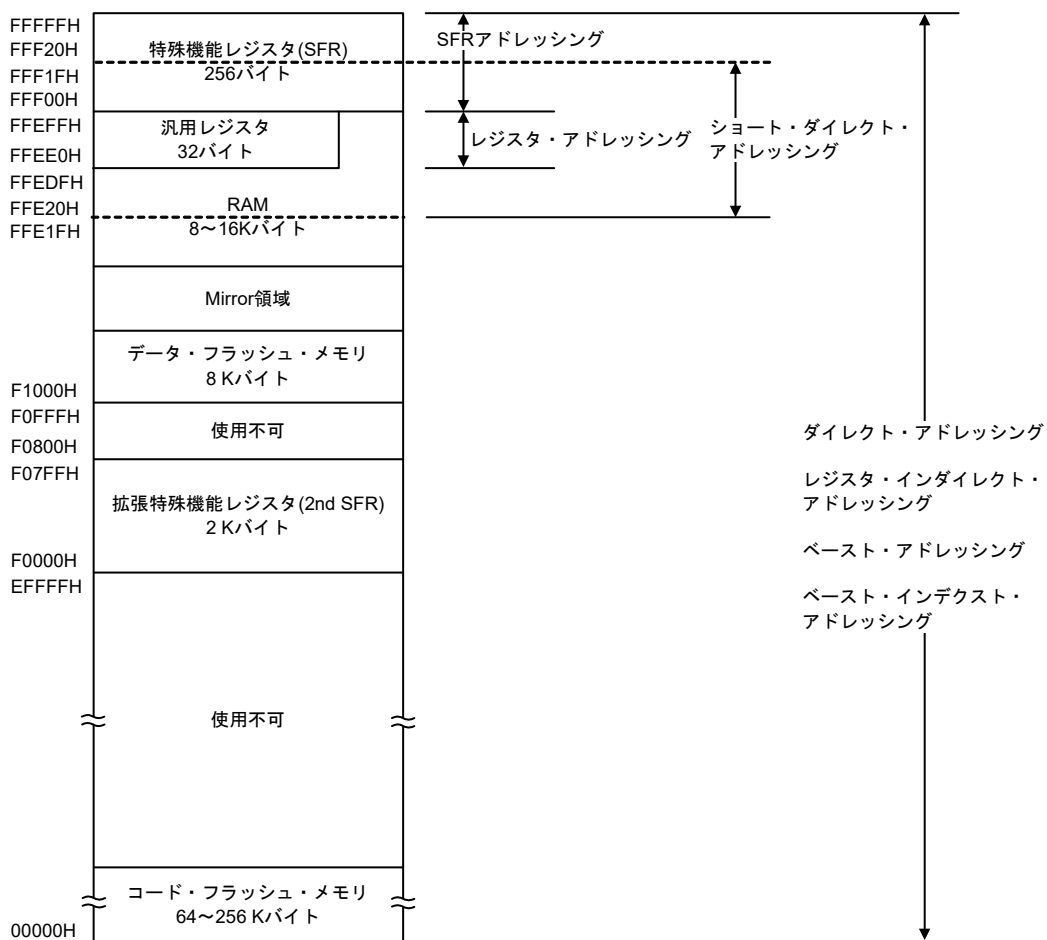
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/L1Cでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-7にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3.4 処理データ・アドレスに対するアドレッシングを参照してください。

図3-7 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/L1Cは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)があります。

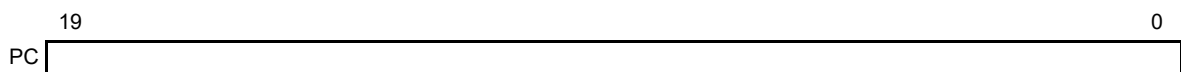
(1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、00000H, 00001H番地のリセット・ベクタ・テーブルの値が、下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3-8 プログラム・カウンタの構成



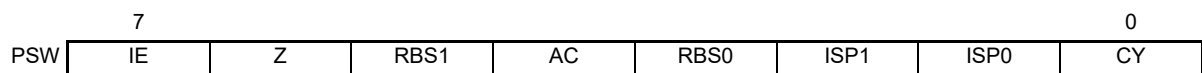
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-9 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止(DI)状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可(EI)状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ(ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット(0)され、EI命令の実行によりセット(1)されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL R_n命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサース・プライオリティ・フラグ(ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ(PR_n0L, PR_n0H, PR_n1L, PR_n1H, PR_n2L, PR_n2H, PR_n3L) (21.3.3参照)でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

備考 n = 0, 1

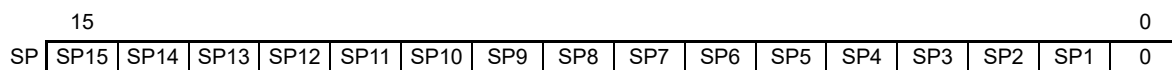
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 10 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

注意2. 汎用レジスタ(FFEE0H-FFEFFH)の空間は、命令フェッチやスタック領域として使用を禁止します。

注意3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しなしてください。

注意4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は、各ライブラリで使用するため使用禁止になります。

R5F110xH, R5F111xH (x = M, N, P) : FBF00H-FC309H

R5F110xJ, R5F111xJ (x = M, N, P) : FBF00H-FC309H

注意5. オンチップ・デバッキングのトレース機能使用時は、次に示す製品のRAM領域は、スタック・メモリとして使用するため使用禁止になります。

R5F110xH, R5F111xH (x = M, N, P) : FC300H-FC6FFH

R5F110xJ, R5F111xJ (x = M, N, P) : FC300H-FC6FFH

3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地(FFEE0H-FFEFFH)にマッピングされており、8ビット・レジスタ8個(X, A, C, B, E, D, L, H)を1バンクとして4バンクのレジスタで構成されています。

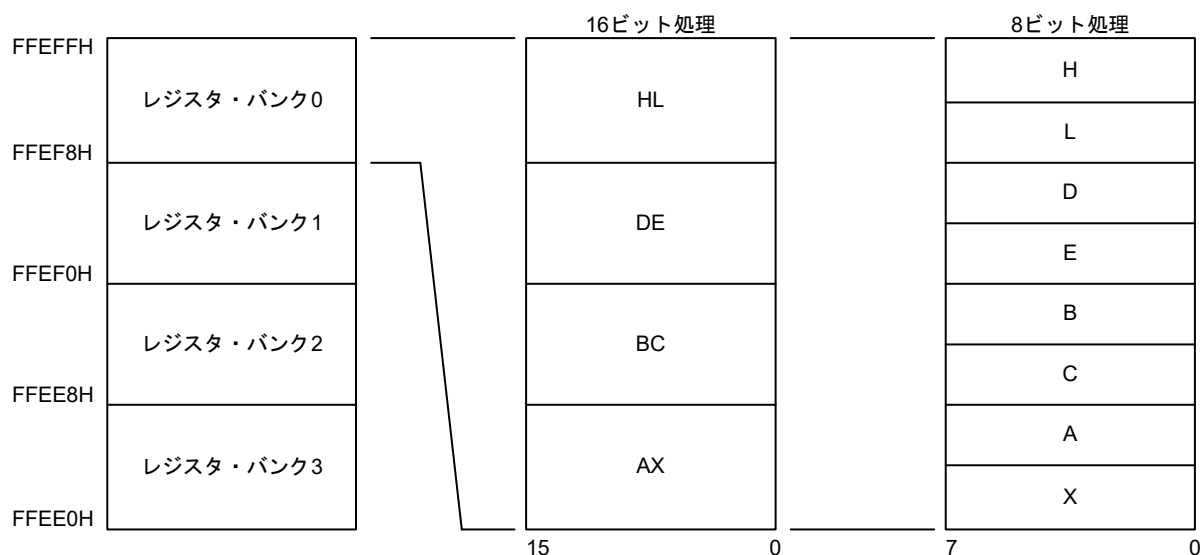
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます(AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは、CPU制御命令(SEL RBn)によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

注意 汎用レジスタ(FFEE0H-FFEFFH)の空間は、命令フェッチやスタック領域として使用できません。

図3-11 汎用レジスタの構成

(a)機能名称

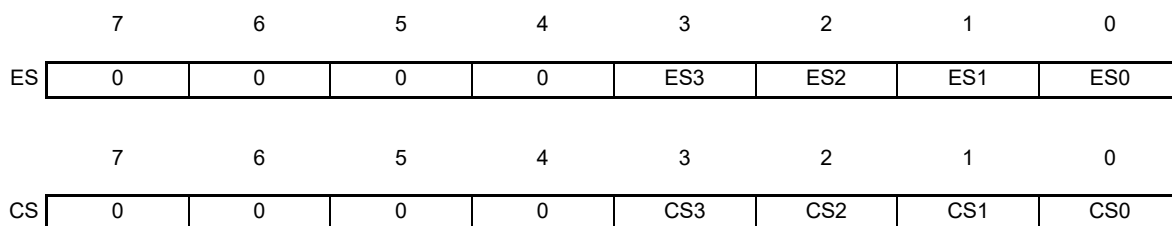


3.2.3 ES, CS レジスタ

ESレジスタでデータ・アクセス、CSレジスタで(レジスタ・ダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

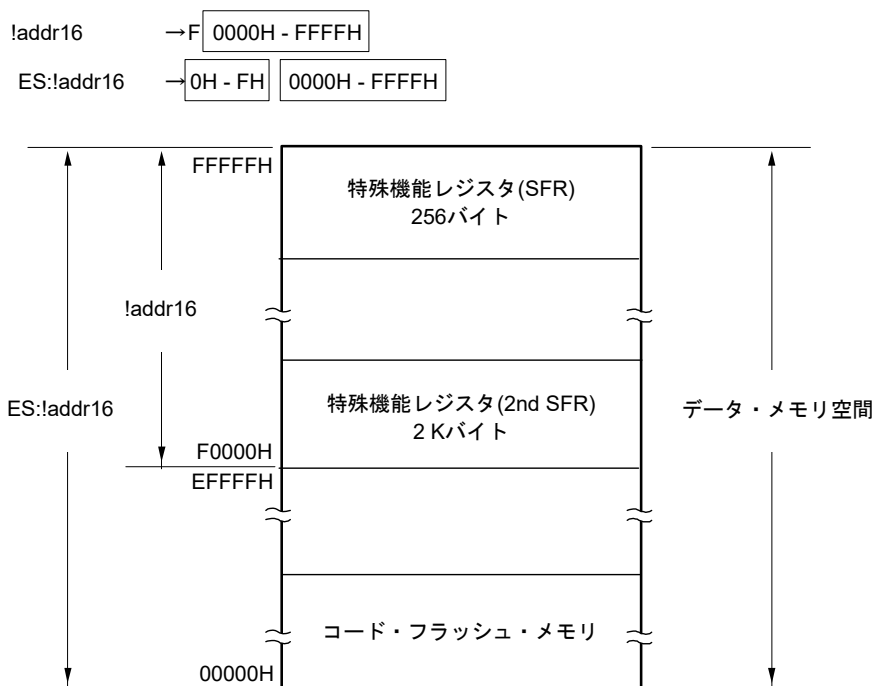
ESレジスタのリセット後の初期値は0FH、CSレジスタのリセット後の初期値は00Hです。

図3 - 12 ES/CS レジスタの構成



16ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFFHの64 Kバイト空間ですが、ES: を付加すると00000H-FFFFFFHの1 Mバイト空間に拡張できます。

図3 - 13 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-7～表3-10にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr 命令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR)については、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)を参照してください。

表3-7 SFR一覧(1/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	—	00H
FFF08H	ポート・レジスタ8	P8		R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	—	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	—	00H
FFF0FH	ポート・レジスタ15	P15		R/W	○	○	○	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	—	○	○	0000H
FFF11H		—			—	—		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	—	○	○	0000H
FFF13H		—			—	—		
FFF14H	シリアル・データ・レジスタ12	TXD3/ SIO30	SDR12	R/W	—	○	○	0000H
FFF15H		—			—	—		
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	—	○	○	0000H
FFF17H		—			—	—		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	—	○	○	00H
FFF1BH		TDR01H			—	○	00H	
FFF1EH	12ビットA/D変換結果レジスタ	ADCR		R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	—	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	—	FFH
FFF2FH	ポート・モード・レジスタ15	PM15		R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	—	00H

表3-8 SFR一覧(2/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF31H	アナログ入力チャンネル指定レジスタ	ADS		R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	—	00H
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	—	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	—	○	—	00H
FFF37H	キー・リターン・モード・レジスタ	KRM0		R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	—	00H
FFF40H	LCDモード・レジスタ0	LCDM0		R/W	—	○	—	00H
FFF41H	LCDモード・レジスタ1	LCDM1		R/W	○	○	—	00H
FFF42H	LCDクロック制御レジスタ0	LCDC0		R/W	—	○	—	00H
FFF43H	LCD昇圧レベル制御レジスタ	VLCD		R/W	—	○	—	04H
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	—	○	○	0000H
FFF45H		—			—	—		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	—	○	○	0000H
FFF47H		—			—	—		
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	—	○	○	0000H
FFF49H		—			—	—		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	—	○	○	0000H
FFF4BH		—			—	—		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	—	—	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	—	○	○	00H
FFF67H		TDR03H			—	○	○	00H
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	—	—	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	—	—	○	00H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	—	—	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	—	—	○	00H
FFF6FH								

表3-9 SFR一覧(3/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF74H	D/A変換値設定レジスタ0	DACS0	R/W	—	○	—	00H
FFF75H	D/A変換値設定レジスタ1	DACS1	R/W	—	○	—	00H
FFF76H	D/Aコンバータ・モード・レジスタ	DAM	R/W	○	○	—	00H
FFF90H	12ビット・インターバル・タイマ・コントロール・レジスタ	ITMC	R/W	—	—	○	0FFFH
FFF91H							
FFF92H	秒カウント・レジスタ	SEC	R/W	—	○	—	不定
FFF93H	分カウント・レジスタ	MIN	R/W	—	○	—	不定
FFF94H	時カウント・レジスタ	HOUR	R/W	—	○	—	不定
FFF95H	曜日カウント・レジスタ	WEEK	R/W	—	○	—	不定
FFF96H	日カウント・レジスタ	DAY	R/W	—	○	—	不定
FFF97H	月カウント・レジスタ	MONTH	R/W	—	○	—	不定
FFF98H	年カウント・レジスタ	YEAR	R/W	—	○	—	不定
FFF9AH	アラーム分レジスタ	ALARMWWM	R/W	—	○	—	不定
FFF9BH	アラーム時レジスタ	ALARMWH	R/W	—	○	—	不定
FFF9CH	アラーム曜日レジスタ	ALARMWW	R/W	—	○	—	不定
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0	R/W	○	○	—	00H注1
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1	R/W	○	○	—	00H注1
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	—	○	—	00H注1
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W	○	○	—	C0H注1
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	—	○	—	不定注2
FFFA9H	電圧検出レジスタ	LVIM	R/W	○	○	—	00H注2
FFFAAH	電圧検出レベル・レジスタ	LVIS	R/W	○	○	—	00H/01H/81H 注2
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	9AH/1AH注3
FFFACH	CRC入力レジスタ	CRCIN	R/W	—	○	—	00H

注1. パワーオン・リセットによるリセット時のみ初期化されます。

注2. リセット要因により、次のように異なります。

リセット要因		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット	
RESF	TRAP	クリア(0)		セット(1)	保持			保持	
	WDTRF			保持	セット(1)	保持			
	RPERF			保持	セット(1)	保持			
	IAWRF			保持	セット(1)				
	LVIRF			保持					
LVIM	LVISEN	クリア(0)						保持	
	LVIOMSK								保持
	LVIF								
LVIS		クリア(00H/01H/81H)							

注3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

表3 - 10 SFR一覧(4/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD0H	割り込み要求フラグ・レジスタ 2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ 3L	IF3L	IF3	R/W	○	○	○	00H
FFFD4H	割り込みマスク・フラグ・レジスタ 2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ 3L	MK3L	MK3	R/W	○	○	○	FFH
FFFD8H	優先順位指定フラグ・レジスタ 02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ 03L	PR03L	PR03	R/W	○	○	○	FFH
FFFDCH	優先順位指定フラグ・レジスタ 12	PR12L	PR12	R/W	○	○	○	FFH
FFDDH		PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ 13L	PR13L	PR13	R/W	○	○	○	FFH
FFFE0H	割り込み要求フラグ・レジスタ 0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ 1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ 0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ 1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ 00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ 01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ 10	PR10L	PR10	R/W	○	○	○	FFH
FF FEDH		PR10H		R/W	○	○		FFH
FFFE EH	優先順位指定フラグ・レジスタ 11	PR11L	PR11	R/W	○	○	○	FFH
FFFE FH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ (L)	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ (H)	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

備考 拡張SFR (2nd SFR)については、表3 - 11～表3 - 23 拡張SFR (2nd SFR)一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR)は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(!addr16.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(!addr16)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(!addr16)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 11～表3 - 25に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ(SFR : Special Function Register)を参照してください。

表3 - 11 拡張SFR (2nd SFR)一覧(1/15)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0032H	プルアップ抵抗オプション・レジスタ2	PU2	R/W	○	○	—	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H
F0038H	プルアップ抵抗オプション・レジスタ8	PU8	R/W	○	○	—	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0042H	ポート入力モード・レジスタ2	PIM2	R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	—	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0052H	ポート出力モード・レジスタ2	POM2	R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ4	POM4	R/W	○	○	—	00H
F0062H	ポート・モード・コントロール・レジスタ2	PMC2	R/W	○	○	—	FFH
F0064H	ポート・モード・コントロール・レジスタ4	PMC4	R/W	○	○	—	00H
F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	タイマ出力選択レジスタ	TOS	R/W	○	○	—	00H
F007AH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H

表3-12 拡張SFR (2nd SFR)一覧(2/15)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定注1
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値注2
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	—	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR	R/W	—	○	—	00H注3
F00FDH	周辺イネーブル・レジスタ2	PER2	R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	0000H
F0101H		—		—	—	—	
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	0000H
F0103H		—		—	—	—	
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	0000H
F0105H		—		—	—	—	
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	0000H
F0107H		—		—	—	—	
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	0000H
F0109H		—		—	—	—	
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	0000H
F010BH		—		—	—	—	
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	0000H
F010DH		—		—	—	—	
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	0000H
F010FH		—		—	—	—	
F0110H	シリアル・モード・レジスタ00	SMR00	SMR00	R/W	—	—	0020H
F0111H		—		—	—	—	
F0112H	シリアル・モード・レジスタ01	SMR01	SMR01	R/W	—	—	0020H
F0113H		—		—	—	—	
F0114H	シリアル・モード・レジスタ02	SMR02	SMR02	R/W	—	—	0020H
F0115H		—		—	—	—	
F0116H	シリアル・モード・レジスタ03	SMR03	SMR03	R/W	—	—	0020H
F0117H		—		—	—	—	
F0118H	シリアル通信動作設定レジスタ00	SCR00	SCR00	R/W	—	—	0087H
F0119H		—		—	—	—	
F011AH	シリアル通信動作設定レジスタ01	SCR01	SCR01	R/W	—	—	0087H
F011BH		—		—	—	—	
F011CH	シリアル通信動作設定レジスタ02	SCR02	SCR02	R/W	—	—	0087H
F011DH		—		—	—	—	

注1. リセット値は出荷時に調整した値です。

注2. オプション・バイト000C2HのFRQSEL2-FRQSEL0で設定した値になります。

注3. パワーオン・リセットによるリセット時のみ初期化されます。

表3 - 13 拡張SFR (2nd SFR)一覽(3/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F011EH F011FH	シリアル通信動作設定レジスタ 03	SCR03		R/W	—	—	○	0087H
F0120H F0121H	シリアル・チャンネル許可ステータス・レジスタ 0	SE0L	SE0	R	○	○	○	0000H
F0122H F0123H	シリアル・チャンネル開始レジスタ 0	SS0L	SS0	R/W	○	○	○	0000H
F0124H F0125H	シリアル・チャンネル停止レジスタ 0	ST0L	ST0	R/W	○	○	○	0000H
F0126H F0127H	シリアル・クロック選択レジスタ 0	SPS0L	SPS0	R/W	—	○	○	0000H
F0128H F0129H	シリアル出力レジスタ 0	SO0		R/W	—	—	○	0F0FH
F012AH F012BH	シリアル出力許可レジスタ 0	SOE0L	SOE0	R/W	○	○	○	0000H
F0134H F0135H	シリアル出力レベル・レジスタ 0	SOL0L	SOL0	R/W	—	○	○	0000H
F0138H F0139H	シリアル・スタンバイ・コントロール・レジスタ 0	SSC0L	SSC0	R/W	—	○	○	0000H
F0140H F0141H	シリアル・ステータス・レジスタ 10	SSR10L	SSR10	R	—	○	○	0000H
F0142H F0143H	シリアル・ステータス・レジスタ 11	SSR11L	SSR11	R	—	○	○	0000H
F0144H F0145H	シリアル・ステータス・レジスタ 12	SSR12L	SSR12	R	—	○	○	0000H
F0146H F0147H	シリアル・ステータス・レジスタ 13	SSR13L	SSR13	R	—	○	○	0000H
F0148H F0149H	シリアル・フラグ・クリア・トリガ・レジスタ 10	SIR10L	SIR10	R/W	—	○	○	0000H
F014AH F014BH	シリアル・フラグ・クリア・トリガ・レジスタ 11	SIR11L	SIR11	R/W	—	○	○	0000H
F014CH F014DH	シリアル・フラグ・クリア・トリガ・レジスタ 12	SIR12L	SIR12	R/W	—	○	○	0000H
F014EH F014FH	シリアル・フラグ・クリア・トリガ・レジスタ 13	SIR13L	SIR13	R/W	—	○	○	0000H
F0150H F0151H	シリアル・モード・レジスタ 10	SMR10		R/W	—	—	○	0020H
F0152H F0153H	シリアル・モード・レジスタ 11	SMR11		R/W	—	—	○	0020H
F0154H F0155H	シリアル・モード・レジスタ 12	SMR12		R/W	—	—	○	0020H

表3 - 14 拡張SFR (2nd SFR)一覧 (4/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0156H	シリアル・モード・レジスタ 13	SMR13		R/W	—	—	○	0020H
F0157H								
F0158H	シリアル通信動作設定レジスタ 10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ 11	SCR11		R/W	—	—	○	0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ 12	SCR12		R/W	—	—	○	0087H
F015DH								
F015EH	シリアル通信動作設定レジスタ 13	SCR13		R/W	—	—	○	0087H
F015FH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ 1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—			
F0162H	シリアル・チャンネル開始レジスタ 1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—			
F0164H	シリアル・チャンネル停止レジスタ 1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—			
F0166H	シリアル・クロック選択レジスタ 1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—			
F0168H	シリアル出力レジスタ 1	SO1		R/W	—	—	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ 1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—			
F0174H	シリアル出力レベル・レジスタ 1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—			
F0178H	シリアル・スタンバイ・コントロール・レジスタ 1	SSC1L	SSC1	R/W	—	○	○	0000H
F0179H		—			—			
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ 04	TCR04		R	—	—	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ 05	TCR05		R	—	—	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ 06	TCR06		R	—	—	○	FFFFH
F018DH								

表3 - 15 拡張SFR (2nd SFR)一覧(5/15)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	—	—	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	—	—	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	—	—	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	—	—	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	—	—	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	—	—	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—			
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—			
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—			
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—			
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	—	○	○	0000H
F01A9H		—			—			
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	—	○	○	0000H
F01ABH		—			—			
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—			
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—			
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—			
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—			
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—			

表3 - 16 拡張SFR (2nd SFR)一覧(6/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—			
F01BCH	タイマ出力レベル・レジスタ0	TOLOL	TOLO	R/W	—	○	○	0000H
F01BDH		—			—			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—			
F01C0H	イベントリンク設定レジスタ00	ELSELR00		R/W	—	○	—	00H
F01C1H	イベントリンク設定レジスタ01	ELSELR01		R/W	—	○	—	00H
F01C2H	イベントリンク設定レジスタ02	ELSELR02		R/W	—	○	—	00H
F01C3H	イベントリンク設定レジスタ03	ELSELR03		R/W	—	○	—	00H
F01C4H	イベントリンク設定レジスタ04	ELSELR04		R/W	—	○	—	00H
F01C5H	イベントリンク設定レジスタ05	ELSELR05		R/W	—	○	—	00H
F01C6H	イベントリンク設定レジスタ06	ELSELR06		R/W	—	○	—	00H
F01C7H	イベントリンク設定レジスタ07	ELSELR07		R/W	—	○	—	00H
F01C8H	イベントリンク設定レジスタ08	ELSELR08		R/W	—	○	—	00H
F01C9H	イベントリンク設定レジスタ09	ELSELR09		R/W	—	○	—	00H
F01CAH	イベントリンク設定レジスタ10	ELSELR10		R/W	—	○	—	00H
F01CBH	イベントリンク設定レジスタ11	ELSELR11		R/W	—	○	—	00H
F01CCH	イベントリンク設定レジスタ12	ELSELR12		R/W	—	○	—	00H
F01CDH	イベントリンク設定レジスタ13	ELSELR13		R/W	—	○	—	00H
F01CEH	イベントリンク設定レジスタ14	ELSELR14		R/W	—	○	—	00H
F01CFH	イベントリンク設定レジスタ15	ELSELR15		R/W	—	○	—	00H
F01D0H	イベントリンク設定レジスタ16	ELSELR16		R/W	—	○	—	00H
F01D1H	イベントリンク設定レジスタ17	ELSELR17		R/W	—	○	—	00H
F01D2H	イベントリンク設定レジスタ18	ELSELR18		R/W	—	○	—	00H
F01D3H	イベントリンク設定レジスタ19	ELSELR19		R/W	—	○	—	00H
F01D4H	イベントリンク設定レジスタ20	ELSELR20		R/W	—	○	—	00H
F01D5H	イベントリンク設定レジスタ21	ELSELR21		R/W	—	○	—	00H
F01D6H	イベントリンク設定レジスタ22	ELSELR22		R/W	—	○	—	00H
F01D7H	イベントリンク設定レジスタ23	ELSELR23		R/W	—	○	—	00H
F01D8H	イベントリンク設定レジスタ24	ELSELR24		R/W	—	○	—	00H
F01D9H	イベントリンク設定レジスタ25	ELSELR25		R/W	—	○	—	00H

表3-17 拡張SFR (2nd SFR)一覧(7/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F01DAH	イベントリンク設定レジスタ 26	ELSELR26	R/W	—	○	—	00H
F01DBH	イベントリンク設定レジスタ 27	ELSELR27	R/W	—	○	—	00H
F01DCH	イベントリンク設定レジスタ 28	ELSELR28	R/W	—	○	—	00H
F01DDH	イベントリンク設定レジスタ 29	ELSELR29	R/W	—	○	—	00H
F01DEH	イベントリンク設定レジスタ 30	ELSELR30	R/W	—	○	—	00H
F0230H	IICAコントロール・レジスタ 00	IICCTL00	R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ 01	IICCTL01	R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ 0	IICWL0	R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ 0	IICWH0	R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ 0	SVA0	R/W	—	○	—	00H
F0240H	16ビット・タイマKB2コンペア・レジスタ 10	TKBCR10	R/W	—	—	○	0000H
F0242H	16ビット・タイマKB2コンペア・レジスタ 11	TKBCR11	R/W	—	—	○	0000H
F0244H	16ビット・タイマKB2コンペア・レジスタ 12	TKBCR12	R/W	—	—	○	0000H
F0246H	16ビット・タイマKB2コンペア・レジスタ 13	TKBCR13	R/W	—	—	○	0000H
F0248H	16ビット・タイマKB2トリガ・コンペア・レジスタ 1	TKBTGCR1	R/W	—	—	○	0000H
F024AH	16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ 10	TKBSIR10	R/W	—	—	○	0000H
F024CH	16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ 11	TKBSIR11	R/W	—	—	○	0000H
F024EH	16ビット・タイマKB2ディザリング数レジスタ 10	TKBDNR10	R/W	—	○	—	00H
F024FH	16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ 10	TKBSSR10	R/W	—	○	—	00H
F0250H	16ビット・タイマKB2ディザリング数レジスタ 11	TKBDNR11	R/W	—	○	—	00H
F0251H	16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ 11	TKBSSR11	R/W	—	○	—	00H
F0252H	16ビット・タイマKB2トリガ・レジスタ 1	TKBTRG1	W	○	○	—	00H
F0253H	16ビット・タイマKB2フラグ・レジスタ 1	TKBFLG1	R	○	○	—	00H
F0254H	16ビット・タイマKB2コンペア1L & ディザリング数レジスタ 10	TKBCRLD10	R/W	—	—	○	0000H
F0256H	16ビット・タイマKB2コンペア1L & ディザリング数レジスタ 11	TKBCRLD11	R/W	—	—	○	0000H
F0260H	16ビット・タイマ・カウンタ・レジスタ 1	TKBCNT1	R	—	—	○	0000H
F0262H	16ビット・タイマKB2動作制御レジスタ 10	TKBCTL10	R/W	—	—	○	0000H

表3 - 18 拡張SFR (2nd SFR)一覧(8/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0264H	16ビット・タイマKB2最大周波数リミット 設定レジスタ1	TKBMFR1	R/W	—	—	○	0000H
F0266H	16ビット・タイマKB2出力制御レジスタ10	TKBIOC10	R/W	○	○	—	00H
F0267H	16ビット・タイマKB2フラグ・クリア・ト リガ・レジスタ1	TKBCLR1	W	○	○	—	00H
F0268H	16ビット・タイマKB2出力制御レジスタ11	TKBIOC11	R/W	○	○	—	00H
F0269H	16ビット・タイマKB2動作制御レジスタ11	TKBCTL11	R/W	○	○	—	00H
F026AH	16ビット・タイマKB2カウント・クロック 分周選択レジスタ1	TKBPSCS1	R/W	—	○	—	00H
F0270H	強制出力停止機能制御レジスタ10	TKBPACTL10	R/W	—	—	○	0000H
F0272H	強制出力停止機能制御レジスタ11	TKBPACTL11	R/W	—	—	○	0000H
F0274H	強制出力停止機能1開始トリガ・レジスタ1	TKBPAHFS1	W	○	○	—	00H
F0275H	強制出力停止機能解除トリガ・レジスタ1	TKBPAHFT1	W	○	○	—	00H
F0276H	強制出力停止機能フラグ・レジスタ1	TKBPAFLG1	R	○	○	—	00H
F0277H	強制出力停止機能制御レジスタ12	TKBPACTL12	R/W	○	○	—	00H
F0280H	16ビット・タイマKB2コンペア・レジスタ20	TKBCR20	R/W	—	—	○	0000H
F0282H	16ビット・タイマKB2コンペア・レジスタ21	TKBCR21	R/W	—	—	○	0000H
F0284H	16ビット・タイマKB2コンペア・レジスタ22	TKBCR22	R/W	—	—	○	0000H
F0286H	16ビット・タイマKB2コンペア・レジスタ23	TKBCR23	R/W	—	—	○	0000H
F0288H	16ビット・タイマKB2トリガ・コンペア・ レジスタ2	TKBTGCR2	R/W	—	—	○	0000H
F028AH	16ビット・タイマKB2ソフト・スタート初 期デューティ・レジスタ20	TKBSIR20	R/W	—	—	○	0000H
F028CH	16ビット・タイマKB2ソフト・スタート初 期デューティ・レジスタ21	TKBSIR21	R/W	—	—	○	0000H
F028EH	16ビット・タイマKB2ディザリング数レジ スタ20	TKBDNR20	R/W	—	○	—	00H
F028FH	16ビット・タイマKB2ソフト・スタート・ ステップ幅レジスタ20	TKBSSR20	R/W	—	○	—	00H
F0290H	16ビット・タイマKB2ディザリング数レジ スタ21	TKBDNR21	R/W	—	○	—	00H
F0291H	16ビット・タイマKB2ソフト・スタート・ ステップ幅レジスタ21	TKBSSR21	R/W	—	○	—	00H
F0292H	16ビット・タイマKB2トリガ・レジスタ2	TKBTRG2	W	○	○	—	00H
F0293H	16ビット・タイマKB2フラグ・レジスタ2	TKBFLG2	R	○	○	—	00H

表3 - 19 拡張SFR (2nd SFR)一覧(9/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0294H	16ビット・タイマKB2コンペア1L&ディザリング数レジスタ20	TKBCRLD20	R/W	—	—	○	0000H
F0296H	16ビット・タイマKB2コンペア1L&ディザリング数レジスタ21	TKBCRLD21	R/W	—	—	○	0000H
F02A0H	16ビット・タイマ・カウンタ・レジスタ2	TKBCNT2	R	—	—	○	0000H
F02A2H	16ビット・タイマKB2動作制御レジスタ20	TKBCTL20	R/W	—	—	○	0000H
F02A4H	16ビット・タイマKB2最大周波数リミット設定レジスタ2	TKBMFR2	R/W	—	—	○	0000H
F02A6H	16ビット・タイマKB2出力制御レジスタ20	TKBIOC20	R/W	○	○	—	00H
F02A7H	16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ2	TKBCLR2	W	○	○	—	00H
F02A8H	16ビット・タイマKB2出力制御レジスタ21	TKBIOC21	R/W	○	○	—	00H
F02A9H	16ビット・タイマKB2動作制御レジスタ21	TKBCTL21	R/W	○	○	—	00H
F02AAH	16ビット・タイマKB2カウント・クロック分周選択レジスタ2	TKBPSCS2	R/W	—	○	—	00H
F02B0H	強制出力停止機能制御レジスタ20	TKBPACTL20	R/W	—	—	○	0000H
F02B2H	強制出力停止機能制御レジスタ21	TKBPACTL21	R/W	—	—	○	0000H
F02B4H	強制出力停止機能1開始トリガ・レジスタ2	TKBPAHFS2	W	○	○	—	00H
F02B5H	強制出力停止機能解除トリガ・レジスタ2	TKBPAHFT2	W	○	○	—	00H
F02B6H	強制出力停止機能フラグ・レジスタ2	TKBPAFLG2	R	○	○	—	00H
F02B7H	強制出力停止機能制御レジスタ22	TKBPACTL22	R/W	○	○	—	00H
F02E0H	DTCベースアドレスレジスタ	DTCBAR	R/W	—	○	—	FDH
F02E5H	PLL制御レジスタ注	DSCCTL	R/W	○	○	—	00H
F02E6H	メイン・クロック制御レジスタ	MCKC	R/W	○	○	—	00H
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	—	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3	R/W	○	○	—	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4	R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H
F0300H	LCDポート・ファンクション・レジスタ0	PFSEG0	R/W	○	○	—	F0H
F0301H	LCDポート・ファンクション・レジスタ1	PFSEG1	R/W	○	○	—	FFH
F0302H	LCDポート・ファンクション・レジスタ2	PFSEG2	R/W	○	○	—	FFH
F0303H	LCDポート・ファンクション・レジスタ3	PFSEG3	R/W	○	○	—	FFH
F0304H	LCDポート・ファンクション・レジスタ4	PFSEG4	R/W	○	○	—	FFH
F0305H	LCDポート・ファンクション・レジスタ5	PFSEG5	R/W	○	○	—	FFH
F0306H	LCDポート・ファンクション・レジスタ6	PFSEG6	R/W	○	○	—	FFH
F0308H	LCD入力切り替え制御レジスタ	ISCLCD	R/W	○	○	—	00H

注 USB搭載製品のみ。

表3 - 20 拡張SFR (2nd SFR)一覽(10/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0310H	時計誤差補正レジスタ	SUBCUD	R/W	—	—	○	0020H ^注
F0311H							
F0340H	コンパレータモード設定レジスタ	COMPMDR	R/W	○	○	—	00H
F0341H	コンパレータフィルタ制御レジスタ	COMPFIR	R/W	○	○	—	00H
F0342H	コンパレータ出力制御レジスタ	COMPOCR	R/W	○	○	—	00H
F0400H	LCD表示データ・メモリ0	SEG0	R/W	—	○	—	00H
F0401H	LCD表示データ・メモリ1	SEG1	R/W	—	○	—	00H
F0402H	LCD表示データ・メモリ2	SEG2	R/W	—	○	—	00H
F0403H	LCD表示データ・メモリ3	SEG3	R/W	—	○	—	00H
F0404H	LCD表示データ・メモリ4	SEG4	R/W	—	○	—	00H
F0405H	LCD表示データ・メモリ5	SEG5	R/W	—	○	—	00H
F0406H	LCD表示データ・メモリ6	SEG6	R/W	—	○	—	00H
F0407H	LCD表示データ・メモリ7	SEG7	R/W	—	○	—	00H
F0408H	LCD表示データ・メモリ8	SEG8	R/W	—	○	—	00H
F0409H	LCD表示データ・メモリ9	SEG9	R/W	—	○	—	00H
F040AH	LCD表示データ・メモリ10	SEG10	R/W	—	○	—	00H
F040BH	LCD表示データ・メモリ11	SEG11	R/W	—	○	—	00H
F040CH	LCD表示データ・メモリ12	SEG12	R/W	—	○	—	00H
F040DH	LCD表示データ・メモリ13	SEG13	R/W	—	○	—	00H
F040EH	LCD表示データ・メモリ14	SEG14	R/W	—	○	—	00H
F040FH	LCD表示データ・メモリ15	SEG15	R/W	—	○	—	00H
F0410H	LCD表示データ・メモリ16	SEG16	R/W	—	○	—	00H
F0411H	LCD表示データ・メモリ17	SEG17	R/W	—	○	—	00H
F0412H	LCD表示データ・メモリ18	SEG18	R/W	—	○	—	00H
F0413H	LCD表示データ・メモリ19	SEG19	R/W	—	○	—	00H
F0414H	LCD表示データ・メモリ20	SEG20	R/W	—	○	—	00H
F0415H	LCD表示データ・メモリ21	SEG21	R/W	—	○	—	00H
F0416H	LCD表示データ・メモリ22	SEG22	R/W	—	○	—	00H
F0417H	LCD表示データ・メモリ23	SEG23	R/W	—	○	—	00H
F0418H	LCD表示データ・メモリ24	SEG24	R/W	—	○	—	00H
F0419H	LCD表示データ・メモリ25	SEG25	R/W	—	○	—	00H
F041AH	LCD表示データ・メモリ26	SEG26	R/W	—	○	—	00H
F041BH	LCD表示データ・メモリ27	SEG27	R/W	—	○	—	00H
F041CH	LCD表示データ・メモリ28	SEG28	R/W	—	○	—	00H
F041DH	LCD表示データ・メモリ29	SEG29	R/W	—	○	—	00H
F041EH	LCD表示データ・メモリ30	SEG30	R/W	—	○	—	00H
F041FH	LCD表示データ・メモリ31	SEG31	R/W	—	○	—	00H

注 パワーオン・リセットによるリセット時のみ初期化されます。

表3 - 21 拡張SFR (2nd SFR)一覧(11/15)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0420H	LCD表示データ・メモリ32	SEG32	R/W	—	○	—	00H
F0421H	LCD表示データ・メモリ33	SEG33	R/W	—	○	—	00H
F0422H	LCD表示データ・メモリ34	SEG34	R/W	—	○	—	00H
F0423H	LCD表示データ・メモリ35	SEG35	R/W	—	○	—	00H
F0424H	LCD表示データ・メモリ36	SEG36	R/W	—	○	—	00H
F0425H	LCD表示データ・メモリ37	SEG37	R/W	—	○	—	00H
F0426H	LCD表示データ・メモリ38	SEG38	R/W	—	○	—	00H
F0427H	LCD表示データ・メモリ39	SEG39	R/W	—	○	—	00H
F0428H	LCD表示データ・メモリ40	SEG40	R/W	—	○	—	00H
F0429H	LCD表示データ・メモリ41	SEG41	R/W	—	○	—	00H
F042AH	LCD表示データ・メモリ42	SEG42	R/W	—	○	—	00H
F042BH	LCD表示データ・メモリ43	SEG43	R/W	—	○	—	00H
F042CH	LCD表示データ・メモリ44	SEG44	R/W	—	○	—	00H
F042DH	LCD表示データ・メモリ45	SEG45	R/W	—	○	—	00H
F042EH	LCD表示データ・メモリ46	SEG46	R/W	—	○	—	00H
F042FH	LCD表示データ・メモリ47	SEG47	R/W	—	○	—	00H
F0430H	LCD表示データ・メモリ48	SEG48	R/W	—	○	—	00H
F0431H	LCD表示データ・メモリ49	SEG49	R/W	—	○	—	00H
F0432H	LCD表示データ・メモリ50	SEG50	R/W	—	○	—	00H
F0433H	LCD表示データ・メモリ51	SEG51	R/W	—	○	—	00H
F0434H	LCD表示データ・メモリ52	SEG52	R/W	—	○	—	00H
F0435H	LCD表示データ・メモリ53	SEG53	R/W	—	○	—	00H
F0436H	LCD表示データ・メモリ54	SEG54	R/W	—	○	—	00H
F0437H	LCD表示データ・メモリ55	SEG55	R/W	—	○	—	00H
F0500H	16ビット・タイマKB2コンペア・レジスタ00	TKBCR00	R/W	—	—	○	0000H
F0502H	16ビット・タイマKB2コンペア・レジスタ01	TKBCR01	R/W	—	—	○	0000H
F0504H	16ビット・タイマKB2コンペア・レジスタ02	TKBCR02	R/W	—	—	○	0000H
F0506H	16ビット・タイマKB2コンペア・レジスタ03	TKBCR03	R/W	—	—	○	0000H
F0508H	16ビット・タイマKB2トリガ・コンペア・レジスタ0	TKBTGCR0	R/W	—	—	○	0000H
F050AH	16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ00	TKBSIR00	R/W	—	—	○	0000H
F050CH	16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ01	TKBSIR01	R/W	—	—	○	0000H
F050EH	16ビット・タイマKB2ディザリング数レジスタ00	TKBDNR00	R/W	—	○	—	00H

表3 - 22 拡張SFR (2nd SFR)一覧(12/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F050FH	16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ00	TKBSSR00	R/W	—	○	—	00H
F0510H	16ビット・タイマKB2ディザリング数レジスタ01	TKBDNR01	R/W	—	○	—	00H
F0511H	16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ01	TKBSSR01	R/W	—	○	—	00H
F0512H	16ビット・タイマKB2トリガ・レジスタ0	TKBTRG0	W	○	○	—	00H
F0513H	16ビット・タイマKB2フラグ・レジスタ0	TKBFLG0	R	○	○	—	00H
F0514H	16ビット・タイマKB2コンペア1L&ディザリング数レジスタ00	TKBCRLD00	R/W	—	—	○	0000H
F0516H	16ビット・タイマKB2コンペア1L&ディザリング数レジスタ01	TKBCRLD01	R/W	—	—	○	0000H
F0520H	16ビット・タイマ・カウンタ・レジスタ0	TKBCNT0	R	—	—	○	0000H
F0522H	16ビット・タイマKB2動作制御レジスタ00	TKBCTL00	R/W	—	—	○	0000H
F0524H	16ビット・タイマKB2最大周波数リミット設定レジスタ0	TKBMFR0	R/W	—	—	○	0000H
F0526H	16ビット・タイマKB2出力制御レジスタ00	TKBIOC00	R/W	○	○	—	00H
F0527H	16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ0	TKBCLR0	W	○	○	—	00H
F0528H	16ビット・タイマKB2出力制御レジスタ01	TKBIOC01	R/W	○	○	—	00H
F0529H	16ビット・タイマKB2動作制御レジスタ01	TKBCTL01	R/W	○	○	—	00H
F052AH	16ビット・タイマKB2カウント・クロック分周選択レジスタ0	TKBPSCS0	R/W	—	○	—	00H
F0530H	強制出力停止機能制御レジスタ00	TKBPACTL00	R/W	—	—	○	0000H
F0532H	強制出力停止機能制御レジスタ01	TKBPACTL01	R/W	—	—	○	0000H
F0534H	強制出力停止機能1開始トリガ・レジスタ0	TKBPAHFS0	W	○	○	—	00H
F0535H	強制出力停止機能解除トリガ・レジスタ0	TKBPAHFT0	W	○	○	—	00H
F0536H	強制出力停止機能フラグ・レジスタ0	TKBPAFLG0	R	○	○	—	00H
F0537H	強制出力停止機能制御レジスタ02	TKBPACTL02	R/W	○	○	—	00H
F0580H	DTC転送用D0FIFOポート・レジスタ注	D0FIFOD00	R/W	—	○	○	0000H
F0581H							
F05C0H	DTC転送用D1FIFOポート・レジスタ注	D1FIFOD00	R/W	—	○	○	0000H
F05C1H							
F0600H	システム・コンフィグレーション・コント	SYSCFG	R/W	—	—	○	0000H
F0601H	ロール・レジスタ注						
F0604H	システム・コンフィグレーション・ステータス・レジスタ0注	SYSSTS0	R	—	—	○	00000000 000000XXB
F0608H	デバイス・ステート・コントロール・レジスタ0注	DVSTCTR0	R/W	—	—	○	0000H
F0609H							

注 USB搭載製品のみ。

表3 - 23 拡張SFR (2nd SFR) 一覧(13/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0614H	CFIFOポート・レジスタ注	CFIFOM	CFIFOM	R/W	—	○	○	0000H
F0615H		L			—	—		
F0618H	D0FIFOポート・レジスタ注	D0FIFO	D0FIFO	R/W	—	○	○	0000H
F0619H		ML			M	—	—	
F061CH	D1FIFOポート・レジスタ注	D1FIFO	D1FIFO	R/W	—	○	○	0000H
F061DH		ML			M	—	—	
F0620H	CFIFOポート選択レジスタ注	CFIFOSEL		R/W	—	—	○	0000H
F0621H								
F0622H	CFIFOポート・コントロール・レジスタ注	CFIFOCTR		R/W	—	—	○	0000H
F0623H								
F0628H	D0FIFOポート選択レジスタ注	D0FIFOSEL		R/W	—	—	○	0000H
F0629H								
F062AH	D0FIFOポート・コントロール・レジスタ注	D0FIFOCTR		R/W	—	—	○	0000H
F062BH								
F062CH	D1FIFOポート選択レジスタ注	D1FIFOSEL		R/W	—	—	○	0000H
F062DH								
F062EH	D1FIFOポート・コントロール・レジスタ注	D1FIFOCTR		R/W	—	—	○	0000H
F062FH								
F0630H	割り込み許可レジスタ0注	INTENB0		R/W	—	—	○	0000H
F0631H								
F0632H	割り込み許可レジスタ1注	INTENB1		R/W	—	—	○	0000H
F0633H								
F0636H	BRDY割り込み許可レジスタ注	BRDYENB		R/W	—	—	○	0000H
F0637H								
F0638H	NRDY割り込み許可レジスタ注	NRDYENB		R/W	—	—	○	0000H
F0639H								
F063AH	BEMP割り込み許可レジスタ注	BEMPENB		R/W	—	—	○	0000H
F063BH								
F063CH	SOF出力コンフィグレーション・レジスタ注	SOFCFG		R/W	—	—	○	0000H
F063DH								
F0640H	割り込みステータス・レジスタ0注	INTSTS0		R/W	—	—	○	00000000 X0000000B
F0641H								
F0642H	割り込みステータス・レジスタ1注	INTSTS1		R/W	—	—	○	0000H
F0643H								
F0646H	BRDY割り込みステータス・レジスタ注	BRDYSTS		R/W	—	—	○	0000H
F0647H								
F0648H	NRDY割り込みステータス・レジスタ注	NRDYSTS		R/W	—	—	○	0000H
F0649H								

注 USB搭載製品のみ。

表3 - 24 拡張SFR (2nd SFR)一覧(14/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F064AH	BEMP 割り込みステータス・レジスタ注	BEMPSTS	R/W	—	—	○	0000H
F064BH							
F064CH	フレーム・ナンバー・レジスタ注	FRMNUM	R	—	—	○	0000H
F064DH							
F0650H	USB アドレス・レジスタ注	USBADDR	R	—	—	○	0000H
F0651H							
F0654H	USB リクエスト・タイプ・レジスタ注	USBREQ	R	—	—	○	0000H
F0655H							
F0656H	USB リクエスト・バリュー・レジスタ注	USBVAL	R	—	—	○	0000H
F0657H							
F0658H	USB リクエスト・インデックス・レジスタ注	USBINDX	R	—	—	○	0000H
F0659H							
F065AH	USB リクエスト・レンジ・レジスタ注	USBLENG	R	—	—	○	0000H
F065BH							
F065CH	DCP コンフィグレーション・レジスタ注	DCPCFG	R/W	—	—	○	0000H
F065DH							
F065EH	DCP マックス・パケット・サイズ・レジスタ注	DCPMAXP	R/W	—	—	○	0040H
F065FH							
F0660H	DCP コントロール・レジスタ注	DCPCTR	R/W	—	—	○	0040H
F0661H							
F0664H	パイプ・ウィンドウ選択レジスタ注	PIPESEL	R/W	—	—	○	0000H
F0665H							
F0668H	パイプ・コンフィグレーション・レジスタ注	PIPECFG	R/W	—	—	○	0000H
F0669H							
F066CH	パイプ・マックス・パケット・サイズ・レジスタ注	PIPEMAXP	R/W	—	—	○	0000H/ 0040H
F066DH							
F0676H	パイプ4コントロール・レジスタ注	PIPE4CTR	R/W	—	—	○	0000H
F0677H							
F0678H	パイプ5コントロール・レジスタ注	PIPE5CTR	R/W	—	—	○	0000H
F0679H							
F067AH	パイプ6コントロール・レジスタ注	PIPE6CTR	R/W	—	—	○	0000H
F067BH							
F067CH	パイプ7コントロール・レジスタ注	PIPE7CTR	R/W	—	—	○	0000H
F067DH							
F069CH	パイプ4トランザクション・カウンタ・イン ネーブル・レジスタ注	PIPE4TRE	R/W	—	—	○	0000H
F069DH							
F069EH	パイプ4トランザクション・カウンタ・レジ スタ注	PIPE4TRN	R/W	—	—	○	0000H
F069FH							

注 USB搭載製品のみ。

表3 - 25 拡張SFR (2nd SFR)一覧(15/15)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F06A0H	パイプ5トランザクション・カウンタ・イ	PIPE5TRE	R/W	—	—	○	0000H
F06A1H	ネーブル・レジスタ注						
F06A2H	パイプ5トランザクション・カウンタ・レジ	PIPE5TRN	R/W	—	—	○	0000H
F06A3H	スタ注						
F06A8H	DTC0-FIFOピン・コンフィグレーション・レ	DTC0PCFG	R/W	—	—	○	0000H
F06A9H	ジスタ注						
F06ACH	DTC1-FIFOピン・コンフィグレーション・レ	DTC1PCFG	R/W	—	—	○	0000H
F06ADH	ジスタ注						
F06B0H	BCコントロール・レジスタ0注	USBBCCTRL0	R/W	—	—	○	0000H
F06B1H							
F06C4H	USBクロック選択レジスタ注	UCKSEL	R/W	—	—	○	0000H
F06C5H							
F06B8H	BCオプション・コントロール・レジスタ0注	USBBCOPT0	R/W	—	—	○	0000H
F06B9H							
F06CCH	USBモジュール制御レジスタ注	USBMC	R/W	—	—	○	0002H
F06CDH							

注 USB搭載製品のみ。

備考 SFR領域のSFRについては、表3-7～表3-10 SFR一覧を参照してください。

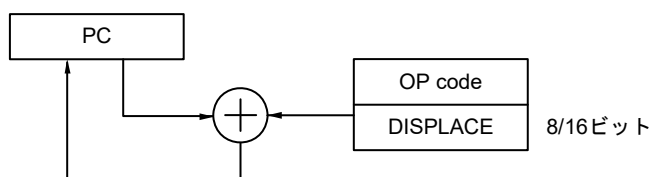
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: -128 ~ +127 または -32768 ~ +32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-14 レラティブ・アドレッシングの概略



3.3.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-15 CALL !!addr20/BR !!addr20の例

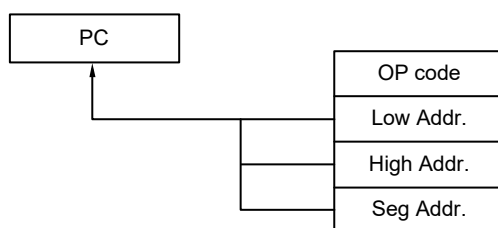
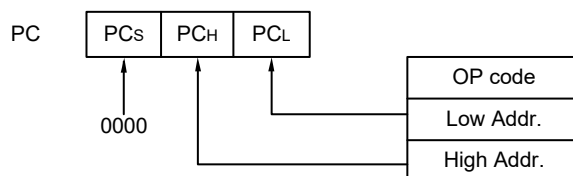


図3-16 CALL !addr16/BR !addr16の例



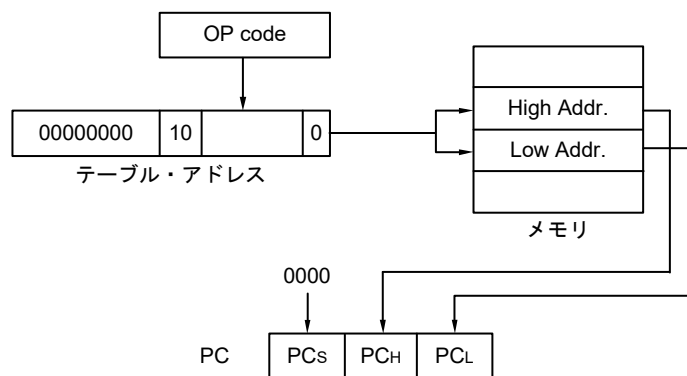
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミューディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 17 テーブル・インダイレクト・アドレッシングの概略

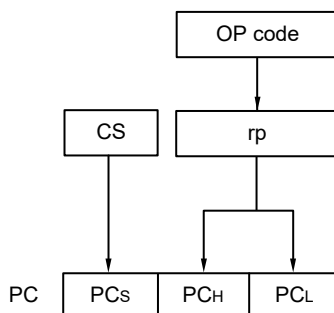


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) と CS レジスタの内容を 20 ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングは CALL AX / BC / DE / HL と BR AX 命令にのみ適用されます。

図3-18 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

【機能】

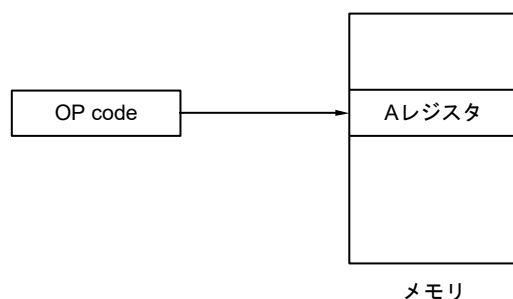
アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-19 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

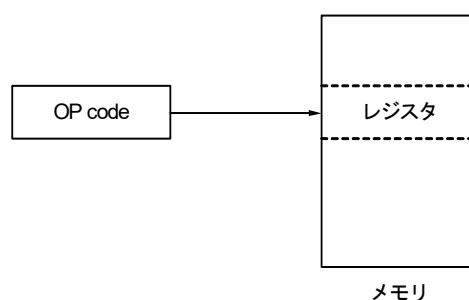
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-20 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 21 !addr16の例

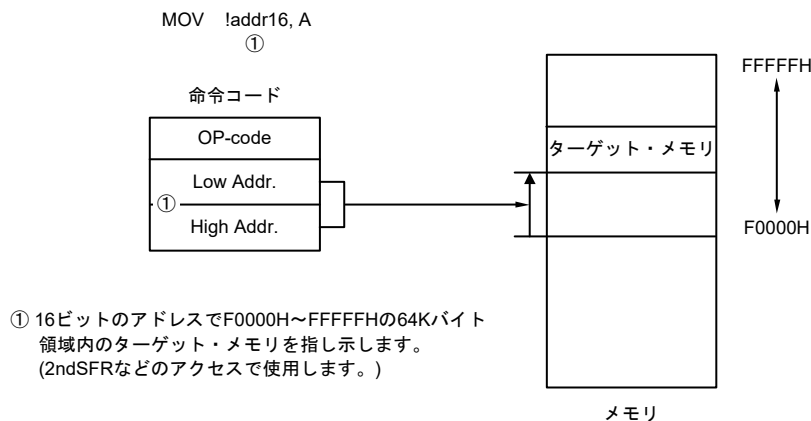
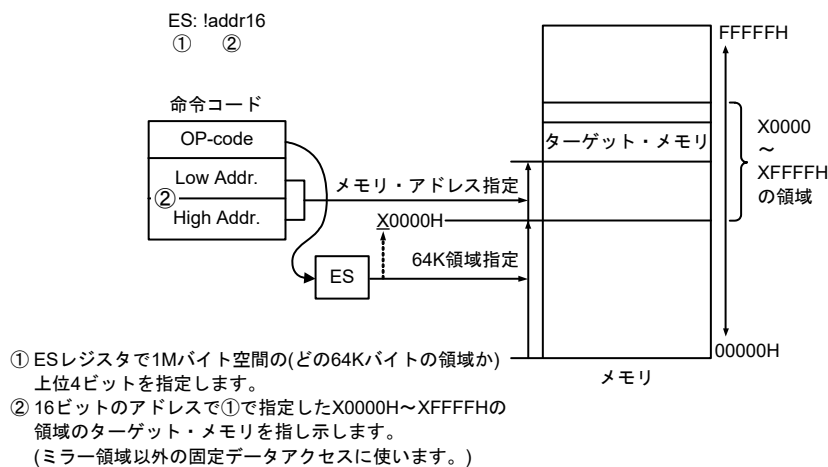


図3 - 22 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

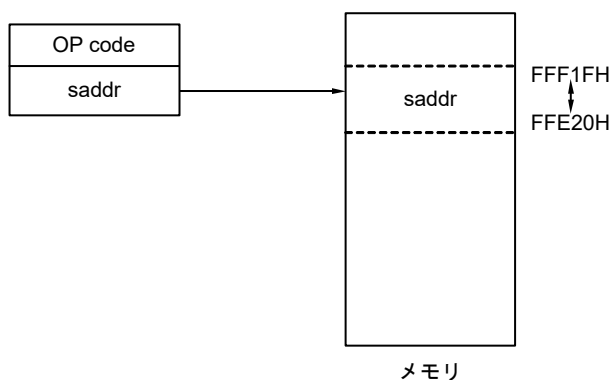
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-23 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

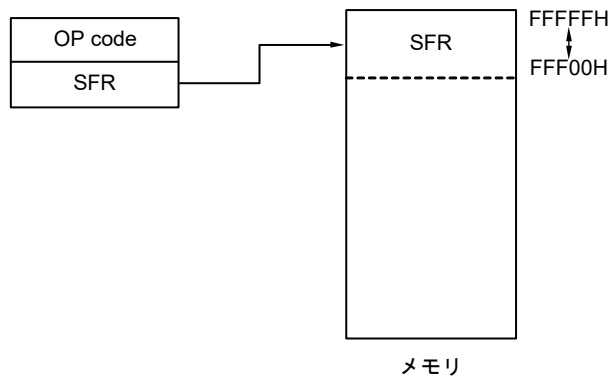
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名(偶数アドレスのみ)

図3 - 24 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 25 [DE], [HL]の例

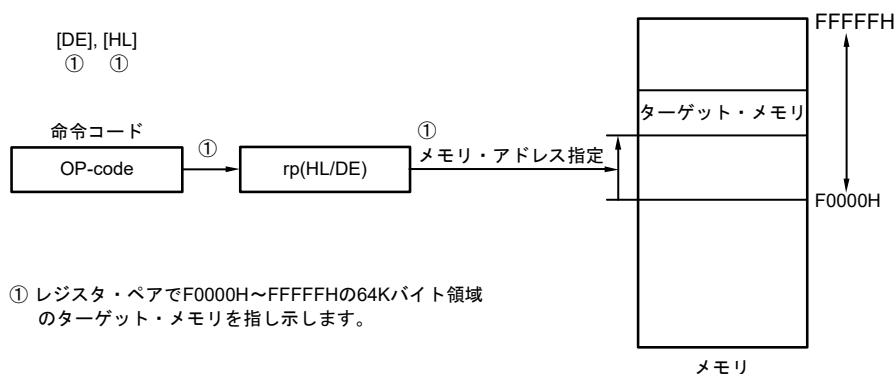
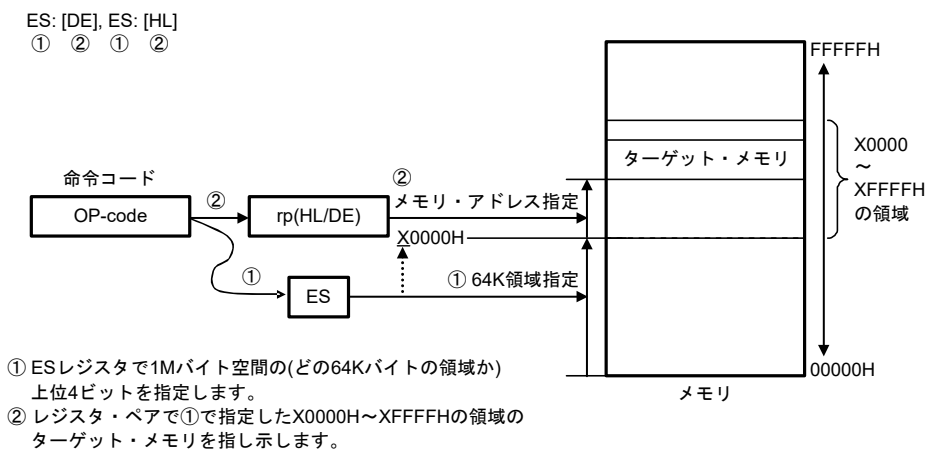


図3 - 26 ES:[DE], ES:[HL]の例



3.4.7 ベースト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 27 [SP+byte]の例

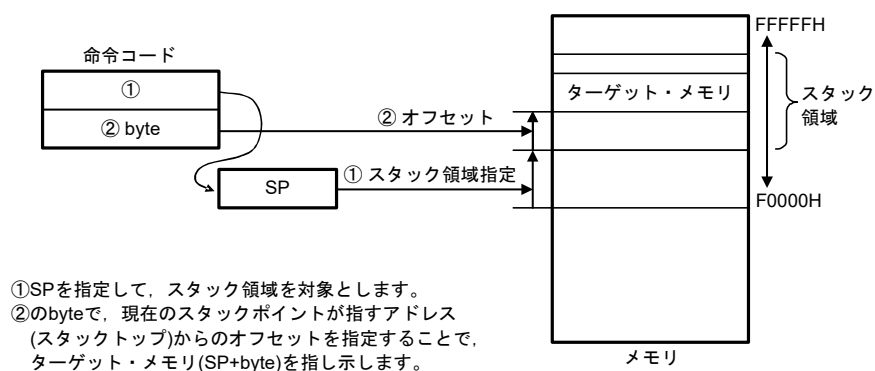


図3 - 28 [HL+byte], [DE+byte]の例

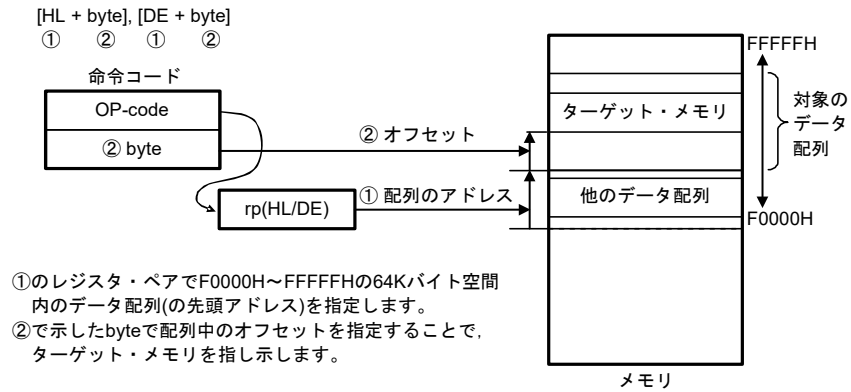


図3 - 29 word[B], word[C]の例

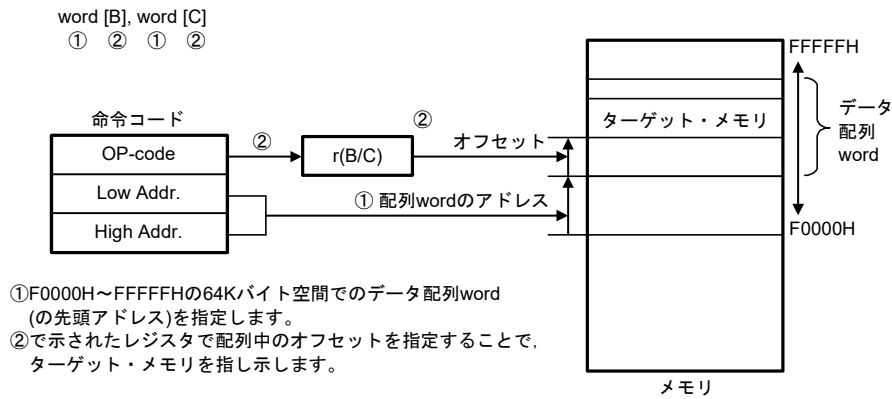


図3 - 30 word[BC]の例

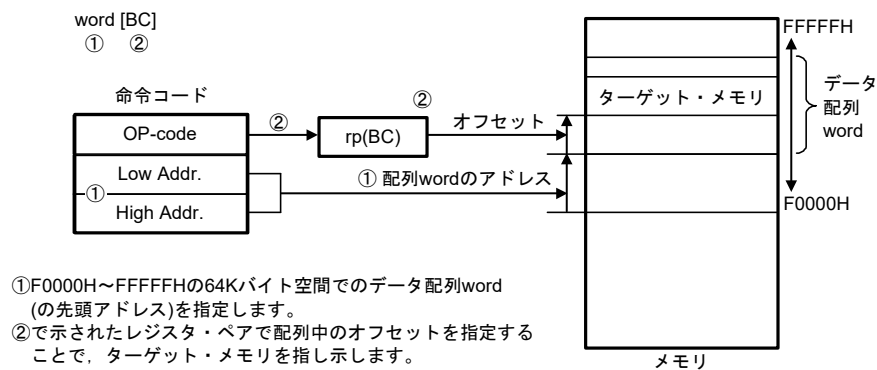


図3 - 31 ES:[HL+byte], ES:[DE+byte]の例

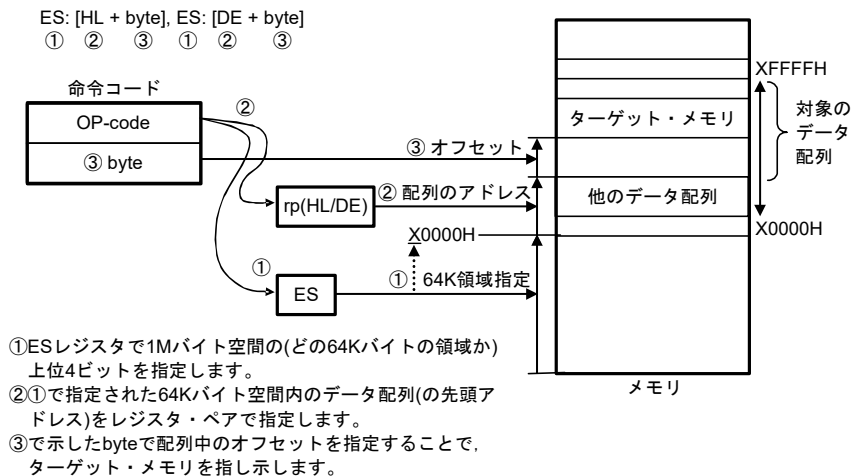


図3 - 32 ES:word[B], ES:word[C]の例

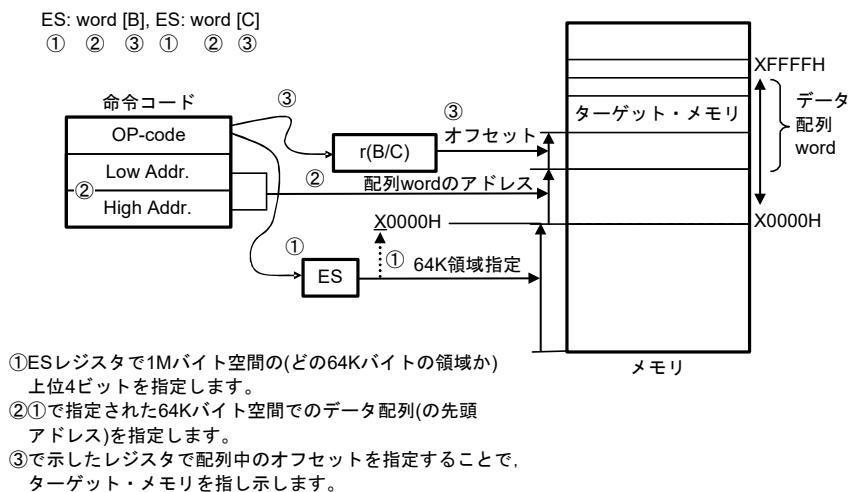
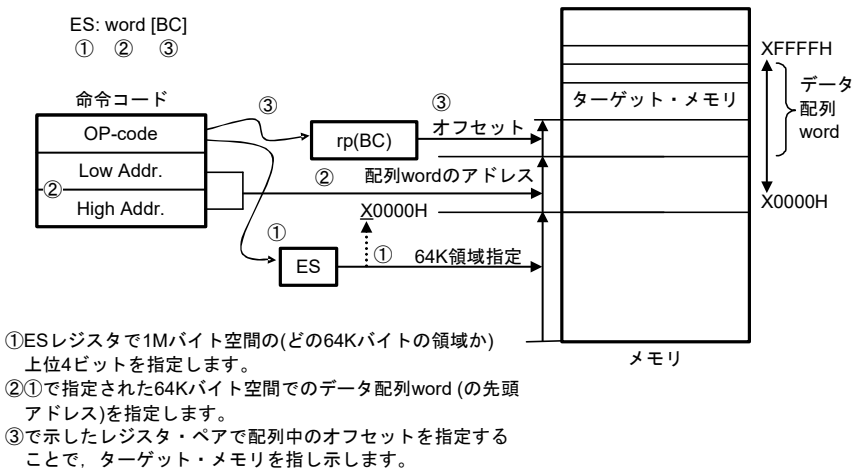


図3 - 33 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B], [HL + C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 34 [HL+B], [HL+C]の例

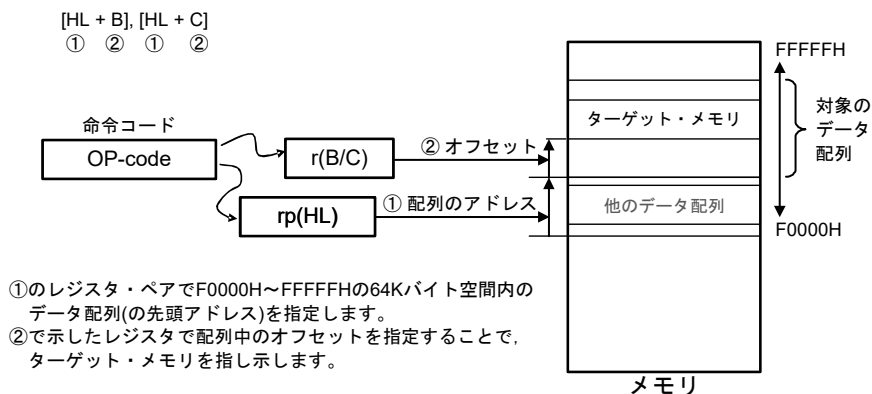
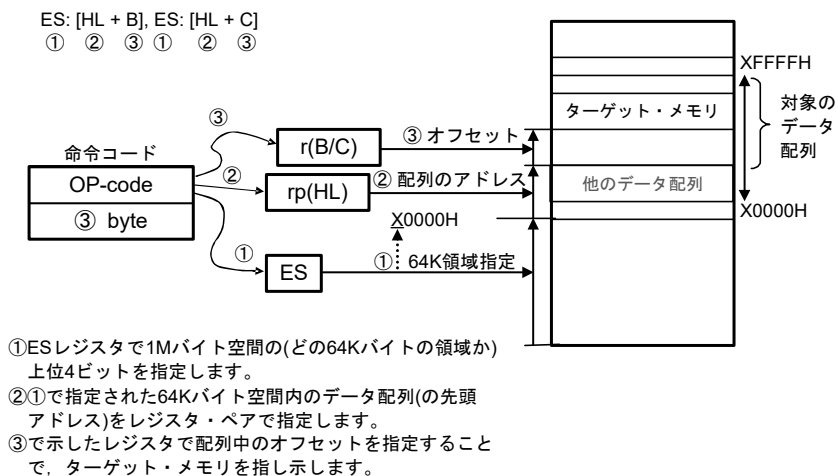


図3 - 35 ES:[HL+B], ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避/復帰されるデータは図3-36～図3-41のようになります。

図3-36 PUSH rpの例

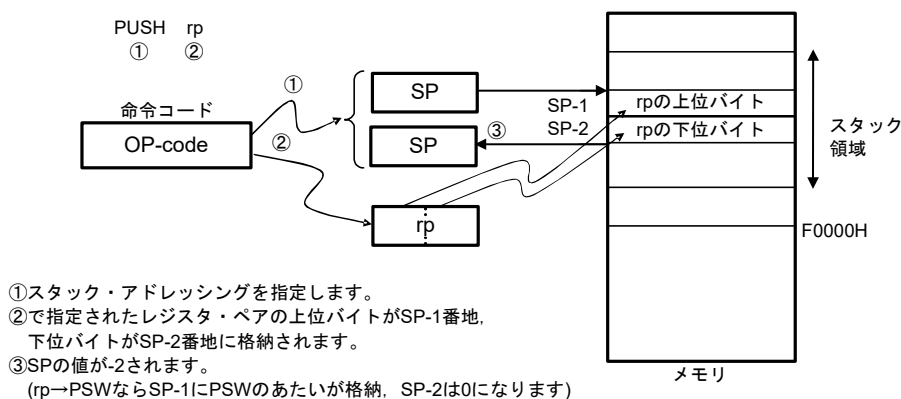


図3 - 37 POPの例

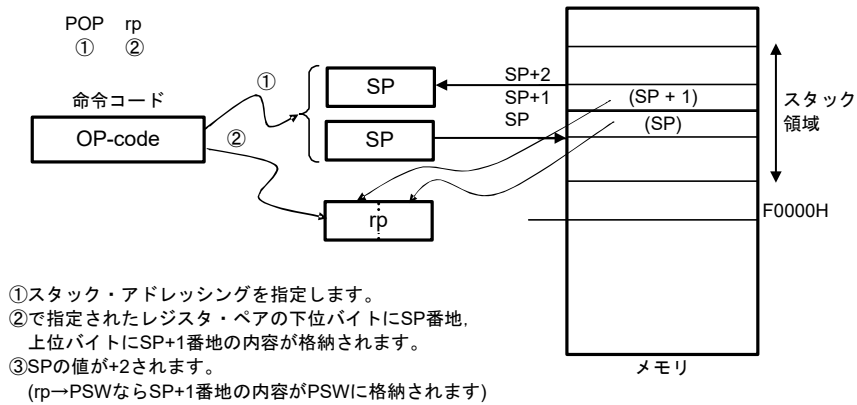


図3 - 38 CALL, CALLTの例

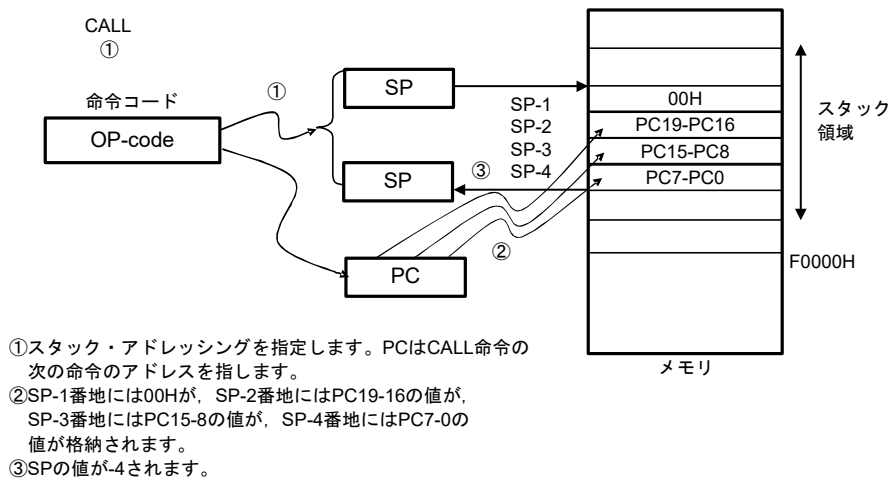


図3 - 39 RETの例

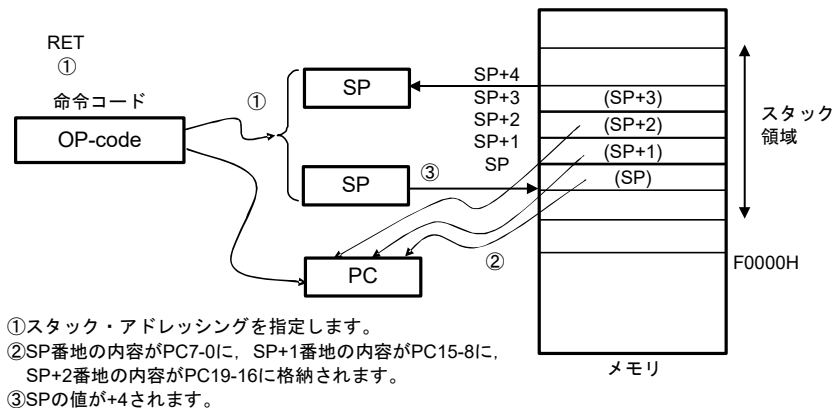


図3 - 40 割り込み, BRKの例

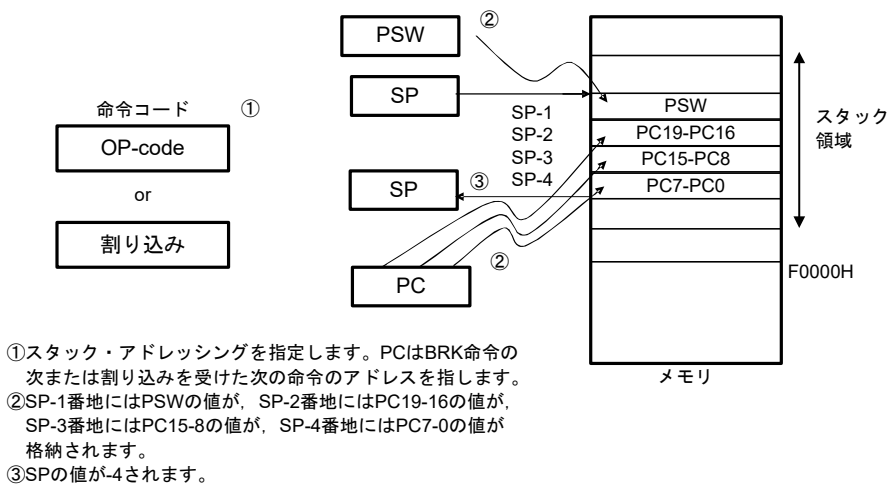
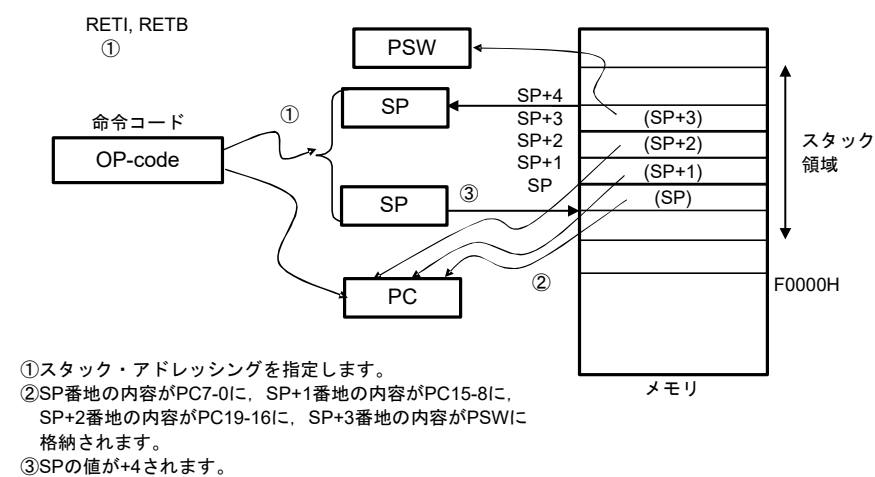


図3 - 41 RETI, RETBの例



第4章 ポート機能

4.1 ポートの機能

RL78/L1Cは、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM8, PM12, PM14, PM15) ポート・レジスタ (P0-P8, P12-P15) プルアップ抵抗オプション・レジスタ (PU0-PU5, PU7, PU8, PU12, PU14) ポート入力モード・レジスタ (PIM0-PIM4) ポート出力モード・レジスタ (POM0-POM4) ポート・モード・コントロール・レジスタ (PMC2, PMC4, PMC14) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 周辺I/Oリダイレクション・レジスタ (PIOR) LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG6) LCD入力切り替え制御レジスタ (ISCLCD)
ポート	<ul style="list-style-type: none"> • 80/85ピン製品(USB搭載製品) : 合計 : 59本 (CMOS入出力 : 51本 (N-ch O.D. 入出力[V_{DD}耐圧] : 12本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6V耐圧] : 2本) • 80/85ピン製品(USB非搭載製品) : 合計 : 63本 (CMOS入出力 : 55本 (N-ch O.D. 入出力[V_{DD}耐圧] : 12本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6V耐圧] : 2本) • 100ピン製品(USB搭載製品) : 合計 : 77本 (CMOS入出力 : 69本 (N-ch O.D. 入出力[V_{DD}耐圧] : 15本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6V耐圧] : 2本) • 100ピン製品(USB非搭載製品) : 合計 : 81本 (CMOS入出力 : 73本 (N-ch O.D. 入出力[V_{DD}耐圧] : 15本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6V耐圧] : 2本)

4.2.1 ポート0

出力ラッチ付き入力ポートです。ポート・モード・レジスタ0 (PM0)により1ビット単位で入力モード／出力モードの指定ができます。P00-P07端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P00, P01端子の入力は、ポート入力モード・レジスタ0 (PIM0)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P00-P02端子の出力は、ポート出力モード・レジスタ0 (POM0)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてLCDコントローラ／ドライバのセグメント出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.2 ポート1

出力ラッチ付き入力ポートです。ポート・モード・レジスタ1 (PM1)により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11端子の入力は、ポート入力モード・レジスタ1 (PIM1)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10-P12端子の出力は、ポート出力モード・レジスタ1 (POM1)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力、コンパレータの出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2)により1ビット単位で入力モード／出力モードの指定ができます。P20-P27端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ2 (PU2)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P24, P25端子の入力は、ポート入力モード・レジスタ2 (PIM2)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P24-P26端子の出力は、ポート出力モード・レジスタ2 (POM2)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

P20, P21端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ2 (PMC2)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、兼用機能としてA/Dコンバータのアナログ入力、タイマ入出力、シリアル・インタフェースのシリアル・クロック入出力、データ入出力、クロック出力／ブザー出力、プログラミングUARTの送信、受信、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3)により1ビット単位で入力モード／出力モードの指定ができます。P30-P37端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P33, P34端子の入力は、ポート入力モード・レジスタ3 (PIM3)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P33-P35端子の出力は、ポート出力モード・レジスタ3 (POM3)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力、リアルタイム・クロックの補正クロック出力、シリアル・インタフェースのクロック入出力、タイマの入出力、リモコン出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4)により1ビット単位で入力モード／出力モードの指定ができます。P40-P46端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P43, P44端子の入力は、ポート入力モード・レジスタ4 (PIM4)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P42-P44端子の出力は、ポート出力モード・レジスタ4 (POM4)により1ビット単位でN-chオープン・ドレイン出力(VDD耐圧)に設定可能です。

P41-P46端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ4(PMC4)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、兼用機能としてタイマ入出力、コンパレータのリファレンス電圧入力、アナログ電圧入力、D/Aコンバータ出力があります。

リセット信号の発生により、入力モードになります。

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、LCDコントローラ／ドライバのセグメント出力があります。リセット信号の発生により、デジタル入力無効注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード／出力モードの指定ができます。

P60, P61端子の出力は、N-chオープン・ドレイン出力(6V耐圧)です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7)により1ビット単位で入力モード／出力モードの指定ができます。P70-P77端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー割り込み入力、タイマの入出力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.9 ポート8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8)により1ビット単位で入力モード／出力モードの指定ができます。P80-P83端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ8 (PU8)により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

4.2.10 ポート12

P125-P127は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12 (PM12)により、1ビット単位で入力モード／出力モードの指定ができます。P125-P127端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ12 (PU12)により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

また兼用機能としてメイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、LCDコントローラ／ドライバ用コンデンサ接続、LCD駆動用電圧端子があります。

リセット信号の発生により、P121-P124が入力モードになります。P125-P127がデジタル入力無効注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

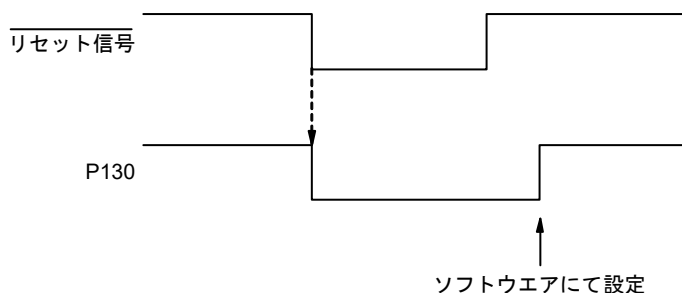
4.2.11 ポート 13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード、P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

備考 リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4.2.12 ポート 14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 14 (PM14)により1ビット単位で入力モード／出力モードの指定ができます。P140-P143端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 14 (PU14)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P140-P143端子は、ポート・モード・コントロール・レジスタ 14 (PMC14)の設定によりデジタル入出力／アナログ入力の指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、LCDコントローラ／ドライバのセグメント出力があります。

リセット信号の発生により、デジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD出力のいずれも無効な状態を示します。

4.2.13 ポート 15

出カラッチ付き入出力ポートです。ポート・モード・レジスタ 15 (PM15)により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの+側基準電圧入力、A/Dコンバータの-側基準電圧入力があります。

P150/ANI0-P156/ANI6をデジタル入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で“デジタル入出力”に設定して、上位ビットから使用してください。

P150/ANI0-P156/ANI6をデジタル出力として使用する場合は、ADPCレジスタでデジタル入出力に、かつPM15レジスタで出力モードに設定してください。

P150/ANI0-P156/ANI6をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)でアナログ入出力に、かつPM15レジスタで入力モードに設定して、下位ビットから使用してください。

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロール・レジスタ (PMCxx)
- A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- 周辺I/Oリダイレクション・レジスタ (PIOR)
- LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG6)
- LCD入力切り替え制御レジスタ (ISCLCD)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-2～表4-5を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(1/4)

ポート		ビット名						USB 搭載製品		USB 非搭載製品	
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ	100 ピン	80/85 ピン	100 ピン	80/85 ピン
ポート0	0	PM00	P00	PU00	PIM00	POM00	—	○	○	○	○
	1	PM01	P01	PU01	PIM01	POM01	—	○	○	○	○
	2	PM02	P02	PU02	—	POM02	—	○	○	○	○
	3	PM03	P03	PU03	—	—	—	○	○	○	○
	4	PM04	P04	PU04	—	—	—	○	○	○	○
	5	PM05	P05	PU05	—	—	—	○	○	○	○
	6	PM06	P06	PU06	—	—	—	○	○	○	○
	7	PM07	P07	PU07	—	—	—	○	○	○	○
ポート1	0	PM10	P10	PU10	PIM10	POM10	—	○	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	—	○	○	○	○
	2	PM12	P12	PU12	—	POM12	—	○	○	○	○
	3	PM13	P13	PU13	—	—	—	○	—	○	—
	4	PM14	P14	PU14	—	—	—	○	—	○	—
	5	PM15	P15	PU15	—	—	—	○	—	○	—
	6	PM16	P16	PU16	—	—	—	○	—	○	—
	7	PM17	P17	PU17	—	—	—	○	—	○	—
ポート2	0	PM20	P20	PU20	—	—	PMC20	○	○	○	○
	1	PM21	P21	PU21	—	—	PMC21	○	○	○	○
	2	PM22	P22	PU22	—	—	—	○	○	○	○
	3	PM23	P23	PU23	—	—	—	○	○	○	○
	4	PM24	P24	PU24	PIM24	POM24	—	○	○	○	○
	5	PM25	P25	PU25	PIM25	POM25	—	○	○	○	○
	6	PM26	P26	PU26	—	POM26	—	○	○	○	○
	7	PM27	P27	PU27	—	—	—	○	○	○	○

表4-3 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(2/4)

ポート		ビット名						USB 搭載製品		USB 非搭載製品	
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ	100 ピン	80/85 ピン	100 ピン	80/85 ピン
ポート3	0	PM30	P30	PU30	—	—	—	○	○	○	○
	1	PM31	P31	PU31	—	—	—	○	○	○	○
	2	PM32	P32	PU32	—	—	—	○	○	○	○
	3	PM33	P33	PU33	PIM33	POM33	—	○	○	○	○
	4	PM34	P34	PU34	PIM34	POM34	—	○	○	○	○
	5	PM35	P35	PU35	—	POM35	—	○	○	○	○
	6	PM36	P36	PU36	—	—	—	○	—	○	—
	7	PM37	P37	PU37	—	—	—	○	—	○	—
ポート4	0	PM40	P40	PU40	—	—	—	○	○	○	○
	1	PM41	P41	PU41	—	—	PMC41	○	—	○	—
	2	PM42	P42	PU42	—	POM42	PMC42	○	—	○	—
	3	PM43	P43	PU43	PIM43注	POM43注	PMC43	○	○	○	○
	4	PM44	P44	PU44	PIM44注	POM44注	PMC44	○	○	○	○
	5	PM45	P45	PU45	—	—	PMC45	○	○	○	○
	6	PM46	P46	PU46	—	—	PMC46	○	○	○	○
	7	—	—	—	—	—	—	—	—	—	—
ポート5	0	PM50	P50	PU50	—	—	—	○	○	○	○
	1	PM51	P51	PU51	—	—	—	○	○	○	○
	2	PM52	P52	PU52	—	—	—	○	○	○	○
	3	PM53	P53	PU53	—	—	—	○	—	○	—
	4	PM54	P54	PU54	—	—	—	○	—	○	—
	5	PM55	P55	PU55	—	—	—	○	—	○	—
	6	PM56	P56	PU56	—	—	—	○	—	○	—
	7	PM57	P57	PU57	—	—	—	○	—	○	—
ポート6	0	PM60	P60	—	—	—	—	○	○	○	○
	1	PM61	P61	—	—	—	—	○	○	○	○
	2	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—

注 100ピン製品のみ

表4-4 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(3/4)

ポート		ビット名						USB 搭載製品		USB 非搭載製品	
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ	100 ピン	80/85 ピン	100 ピン	80/85 ピン
ポート7	0	PM70	P70	PU70	—	—	—	○	○	○	○
	1	PM71	P71	PU71	—	—	—	○	○	○	○
	2	PM72	P72	PU72	—	—	—	○	○	○	○
	3	PM73	P73	PU73	—	—	—	○	○	○	○
	4	PM74	P74	PU74	—	—	—	○	○	○	○
	5	PM75	P75	PU75	—	—	—	○	○	○	○
	6	PM76	P76	PU76	—	—	—	○	○	○	○
	7	PM77	P77	PU77	—	—	—	○	○	○	○
ポート8	0	PM80	P80	PU80	—	—	—	—	—	○	—
	1	PM81	P81	PU81	—	—	—	—	—	○	—
	2	PM82	P82	PU82	—	—	—	—	—	○	○
	3	PM83	P83	PU83	—	—	—	—	—	○	○
	4	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—
ポート12	0	—	—	—	—	—	—	—	—	—	—
	1	—	P121	—	—	—	—	○	○	○	○
	2	—	P122	—	—	—	—	○	○	○	○
	3	—	P123	—	—	—	—	○	○	○	○
	4	—	P124	—	—	—	—	○	○	○	○
	5	PM125	P125	PU125	—	—	—	○	○	○	○
	6	PM126	P126	PU126	—	—	—	○	○	○	○
	7	PM127	P127	PU127	—	—	—	○	○	○	○
ポート13	0	—	P130	—	—	—	—	○	○	○	○
	1	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○	○	○
ポート14	0	PM140	P140	PU140	—	—	PMC140	○	○	○	○
	1	PM141	P141	PU141	—	—	PMC141	○	○	○	○
	2	PM142	P142	PU142	—	—	PMC142	○	○	○	○
	3	PM143	P143	PU143	—	—	PMC143	○	○	○	○
	4	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—

表4 - 5 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット(4/4)

ポート		ビット名						USB 搭載製品		USB 非搭載製品	
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ	100 ピン	80/85 ピン	100 ピン	80/85 ピン
ポート 15	0	PM150	P150	—	—	—	—	○	○	○	○
	1	PM151	P151	—	—	—	—	○	○	○	○
	2	PM152	P152	—	—	—	—	○	○	○	○
	3	PM153	P153	—	—	—	—	○	—	○	—
	4	PM154	P154	—	—	—	—	○	—	○	—
	5	PM155	P155	—	—	—	—	○	—	○	○
	6	PM156	P156	—	—	—	—	○	—	○	○
	7	—	—	—	—	—	—	—	—	—	—

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のレジスタ設定を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	1	FFF2CH	FFH	R/W
PM14	1	1	1	1	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	1	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択(m = 0-8, 12, 14, 15 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラムの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラムの値が読み出されます。
注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

注 P20, P21, P140-P143, P150-P156をA/Dコンバータのアナログ入力機能として設定した場合または、
P41-P44をコンパレータのアナログ入力機能として設定した場合に、ポートを入力モード時にリード
すると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出カラム)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出カラム)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出カラム)	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFF03H	00H (出カラム)	R/W
P4	0	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H (出カラム)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出カラム)	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H (出カラム)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出カラム)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FFF08H	00H (出カラム)	R/W
P12	P127	P126	P125	P124	P123	P122	P121	0	FFF0CH	不定	R/W注
P13	P137	0	0	0	0	0	0	P130	FFF0DH	不定	R/W注
P14	0	0	0	0	P143	P142	P141	P140	FFF0EH	00H (出カラム)	R/W
P15	0	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H (出カラム)	R/W

Pmn	m = 0-8, 12-15 ; n = 0-7	
	出カデータの制御(出力モード時)	入カデータの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124, P137はRead Onlyです。

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード (POMmn = 0) かつ入力モード (PMmn = 1) に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ設定 (PMC = 1, ADPC = 1) にしている場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H)になります。

注意 PIMnレジスタがあるポートで、異電位デバイスからTTLバッファに入力する場合は、PUmn = 0を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20	F0032H	00H	R/W
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	0	0	0	0	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	0	F003CH	00H	R/W
PU14	0	0	0	0	PU143	PU142	PU141	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0-5, 7, 8, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	0	0	PIM01	PIM00	F0040H	00H	R/W
PIM1	0	0	0	0	0	0	PIM11	PIM10	F0041H	00H	R/W
PIM2	0	0	PIM25	PIM24	0	0	0	0	F0042H	00H	R/W
PIM3	0	0	0	PIM34	PIM33	0	0	0	F0043H	00H	R/W
PIM4	0	0	0	PIM44	PIM43	0	0	0	F0044H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 0-4 ; n = 0, 1, 3, 4)
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA00, SDA10, SDA20, SDA30端子にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択できます。

また、POMxxレジスタはPUxxレジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

注意 N-chオープン・ドレイン出力(V_{DD}耐圧)モード(POMmn = 1)を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	POM02	POM01	POM00	F0050H	00H	R/W
POM1	0	0	0	0	0	POM12	POM11	POM10	F0051H	00H	R/W
POM2	0	POM26	POM25	POM24	0	0	0	0	F0052H	00H	R/W
POM3	0	0	POM35	POM34	POM33	0	0	0	F0053H	00H	R/W
POM4	0	0	0	POM44	POM43	POM42	0	0	F0054H	00H	R/W

POMmn	Pmn端子の出力モードの選択(m = 0-4 ; n = 0-5)
0	通常出力モード
1	N-chオープン・ドレイン出力(V _{DD} 耐圧)モード

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

デジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

ポート・モード・コントロール・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります(PMC4のみ00H)。

図4-6 ポート・モード・コントロール・レジスタのフォーマット

アドレス : F0062H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC2	1	1	1	1	1	1	PMC21	PMC20

アドレス : F0064H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC4	0	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	0

アドレス : F006EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PMC14	1	1	1	1	PMC143	PMC142	PMC141	PMC140

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 (m = 2, 4, 14 ; n = 0-6)
0	デジタル入出力(アナログ入力以外の兼用機能)
1	アナログ入力

注意1. PMCxxレジスタでアナログ入力で設定したポートは、ポート・モード・レジスタ2, 14 (PM2, PM14)で入力モードに選択してください。

注意2. PMCxxレジスタでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ(ADS)で設定しないでください。

注意3. 搭載していないビットには必ず初期値を設定してください。

4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P150-ANI6/P156端子を、A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	ADPC2	ADPC1	ADPC0

ADPC2	ADPC1	ADPC0	アナログ入力(A)/デジタル入出力(D)の切り替え						
			ANI6/P156	ANI5/P155	ANI4/P154	ANI3/P153	ANI2/P152	ANI1/P151	ANI0/P150
0	0	0	A	A	A	A	A	A	A
0	0	1	D	D	D	D	D	D	D
0	1	0	D	D	D	D	D	D	A
0	1	1	D	D	D	D	D	A	A
1	0	0	D	D	D	D	A	A	A
1	0	1	D	D	D	A	A	A	A
1	1	0	D	D	A	A	A	A	A
1	1	1	D	A	A	A	A	A	A

注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ 15 (PM15)で入力モードに選択してください。

注意2. ADPCレジスタでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS)で設定しないでください。

注意3. AVREFFとAVREFMを使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタは入力モードに設定してください。

4.3.8 周辺I/Oリダイレクション・レジスタ (PIOR)

周辺I/Oリダイレクト機能の許可/禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIORレジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIORレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-8 周辺I/Oリダイレクション・レジスタ (PIOR)のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	PIOR3	PIOR2	PIOR1	PIOR0

ビット	兼用機能	100ピン		80/85ピン	
		設定値		設定値	
		0	1	0	1
PIOR3	INTP7	P10	P43	P10	P43
	INTP5	P06	P27	P06	P27
PIOR2	PCLBUZ0	P10	P02	P10	P02
PIOR1	TxD1	P02	P42	兼用機能として使用できません。 0 (初期値)を設定してください。	
	RxD1	P01	P43		
	SCL10	P00	P44		
	SDA10	P01	P43		
	SI10	P01	P43		
	SO10	P02	P42		
	SCK10	P00	P44		
PIOR0	TO00	P03	P40	P03	P40
	TI00	P03	P40	P03	P40
	TO01	P32	P60	P32	P60
	TI01	P32	P60	P32	P60
	TI02	P05	P61	P05	P61
	TO02	P05	P61	P05	P61
	TI03	P30	P127	P30	P127
	TO03	P30	P127	P30	P127
	TI04	P22	P126	P22	P126
	TO04	P22	P126	P22	P126
	TI05	P42	P27	P27	P27
	TO05	P42	P27	P27	P27
	TI06	P07	P125	P07	P125
	TO06	P07	P125	P07	P125
	TI07	P23	P41	P23	P23
	TO07	P23	P41	P23	P23
	REMOOUT	P30	P127	P30	P127

備考 — : 兼用機能として使用できません。

4.3.9 LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6)

P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P140-P143端子をポート(セグメント出力以外) /セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります(PFSEG0はF0H)。

備考 セグメント出力端子(SEGxx)とPFSEGレジスタ(PFSEGxxビット)の対応と、製品によるSEGxx端子の有無を表4-6 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)に示します。

図4-9 LCDポート・ファンクション・レジスタのフォーマット

アドレス : F0300H	リセット時 : F0H	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0		
アドレス : F0301H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08		
アドレス : F0302H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16		
アドレス : F0303H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24		
アドレス : F0304H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG4	PFSEG39	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32		
アドレス : F0305H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG5	PFSEG47	PFSEG46	PFSEG45	PFSEG44	PFSEG43	PFSEG42	PFSEG41	PFSEG40		
アドレス : F0306H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PFSEG6	PFSEG55	PFSEG54	PFSEG53	PFSEG52	PFSEG51	PFSEG50	PFSEG49	PFSEG48		
PFSEGxx (xx = 04-55)	Pmn端子のポート(セグメント出力以外) /セグメント出力の指定 (mn = 00-07, 10-17, 20-27, 30-37, 50-57, 70-77, 140-143)									
0	ポート(セグメント出力以外)として使用									
1	セグメント出力として使用									

注意 セグメント出力として使用する(PFSEGxx = 1)場合には必ずPUmレジスタのPUmnビット = 0, POMmレジスタのPOMmnビット = 0, PIMmレジスタのPIMmnビット = 0に設定してください。

表4-6 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80/85-pin
PFSEG04	SEG4	P50	○	○
PFSEG05	SEG5	P51	○	○
PFSEG06	SEG6	P52	○	○
PFSEG07	SEG7	P53	○	—
PFSEG08	SEG8	P54	○	—
PFSEG09	SEG9	P55	○	—
PFSEG10	SEG10	P56	○	—
PFSEG11	SEG11	P57	○	—
PFSEG12	SEG12	P70	○	○
PFSEG13	SEG13	P71	○	○
PFSEG14	SEG14	P72	○	○
PFSEG15	SEG15	P73	○	○
PFSEG16	SEG16	P74	○	○
PFSEG17	SEG17	P75	○	○
PFSEG18	SEG18	P76	○	○
PFSEG19	SEG19	P77	○	○
PFSEG20	SEG20	P30	○	○
PFSEG21	SEG21	P31	○	○
PFSEG22	SEG22	P32	○	○
PFSEG23	SEG23	P33	○	○
PFSEG24	SEG24	P34	○	○
PFSEG25	SEG25	P35	○	○
PFSEG26	SEG26	P36	○	—
PFSEG27	SEG27	P37	○	—
PFSEG28	SEG28	P140	○	○
PFSEG29	SEG29	P141	○	○
PFSEG30	SEG30	P142	○	○
PFSEG31	SEG31	P143	○	○
PFSEG32	SEG32	P20	○	○
PFSEG33	SEG33	P21	○	○
PFSEG34	SEG34	P22	○	○
PFSEG35	SEG35	P23	○	○
PFSEG36	SEG36	P24	○	○
PFSEG37	SEG37	P25	○	○
PFSEG38	SEG38	P26	○	○
PFSEG39	SEG39	P27	○	○
PFSEG40	SEG40	P10	○	○
PFSEG41	SEG41	P11	○	○
PFSEG42	SEG42	P12	○	○
PFSEG43	SEG43	P13	○	—
PFSEG44	SEG44	P14	○	—
PFSEG45	SEG45	P15	○	—
PFSEG46	SEG46	P16	○	—
PFSEG47	SEG47	P17	○	—
PFSEG48	SEG48	P00	○	○
PFSEG49	SEG49	P01	○	○
PFSEG50	SEG50	P02	○	○
PFSEG51	SEG51	P03	○	○
PFSEG52	SEG52	P04	○	○
PFSEG53	SEG53	P05	○	○
PFSEG54	SEG54	P06	○	○
PFSEG55	SEG55	P07	○	○

注意 搭載していないビットには必ず初期値を設定してください。

4.3.10 LCD入力切り替え制御レジスタ (ISCLCD)

CAPL/P126, CAPH/P127, VL3/P125 端子は、シュミット・トリガ・バッファが内部で接続されています。CAPL/P126, CAPH/P127, VL3/P125 端子をLCD機能として動作するように設定を行うまでの期間、貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCDレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 10 LCD入力切り替え制御レジスタ (ISCLCD)のフォーマット

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125 端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効
1	デジタル入力有効

ISCCAP	CAPL/ P126, CAPH/P127 端子のシュミット・トリガ・バッファの制御
0	デジタル入力無効
1	デジタル入力有効

注意 ISCVL3ビット = 0, ISCCAP ビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

PU12レジスタのPU126ビット = 0, P12レジスタのP126ビット = 0

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されま
す。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されま
す。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、
端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されま
す。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端
子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されま
す。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しか
し、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在
するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 入出力バッファによる異電位(1.8 V系, 2.5 V系)対応

ポート入力モード・レジスタ (PIMxx), ポート出力モード・レジスタ (POMxx)で入出力バッファを切り換えることにより, 異電位(1.8 V系, 2.5 V系)で動作している外部デバイスとの接続が可能になります。異電位(1.8 V系, 2.5 V系)の外部デバイスからの入力を受ける場合, ポート入力モード・レジスタ 0-4 (PIM0-PIM4)をビットごとに設定して, 通常入力(CMOS)/TTLを切り替えます。

異電位(1.8 V系, 2.5 V系)の外部デバイスへ出力する場合, ポート出力モード・レジスタ 0-4 (POM0-POM4)をビットごとに設定して, 通常出力(CMOS)/N-chオープン・ドレイン(VDD耐圧)に切り換えます。

以下, シリアル・インタフェースでの接続について説明します。

- (1) UART0-UART3, CSI00, CSI10, CSI20, CSI30機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合 :	P25
UART1の場合 :	P01 (P43)
UART2の場合 :	P11
UART3の場合 :	P34
CSI00の場合 :	P24, P25
CSI10の場合 :	P00, P01 (P44, P43)
CSI20の場合 :	P10, P11
CSI30の場合 :	P33, P34

備考 ()内の端子は, 周辺I/Oリダイレクション・レジスタ(PIOR)の設定により, 割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して, 対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ② PIM0-PIM4レジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。なお, V_{IH}/V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し, UART/簡易SPI (CSI注)モードに設定します。

注 一般的にはSPIと呼ばれる機能ですが, 本製品ではCSIとも呼称しているため, 本マニュアルでは併記します。

- (2) UART0-UART3, CSI00,CSI10, CSI20, CSI30機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合 :	P26
UART1の場合 :	P02 (P42)
UART2の場合 :	P12
UART3の場合 :	P35
CSI00の場合 :	P24, P26
CSI10の場合 :	P00, P02 (P44, P42)
CSI20の場合 :	P10, P12
CSI30の場合 :	P33, P35

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
 - ② リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
 - ③ 該当するポートの出カラッチに1を設定します。
 - ④ POM0-POM4レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
 - ⑤ シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI(CSI)モードに設定します。
 - ⑥ PM0-PM4レジスタを操作して出力モードに設定します。
- この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

(3) 簡易IIC00, IIC10, IIC20, IIC30機能の入出力ポートを, 異電位(1.8 V系, 2.5 V系)で使用する場合の設定手順

簡易IIC00の場合 : P24, P25

簡易IIC10の場合 : P00, P01 (P44, P43)

簡易IIC20の場合 : P10, P11

簡易IIC30の場合 : P33, P34

備考 ()内の端子は, 周辺I/Oリダイレクション・レジスタ(PIOR)の設定により, 割り当て可能です。

- ① 使用する入力端子を外部抵抗を介して, 対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後, ポート・モードは入力モード(Hi-Z)になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM0-POM4レジスタの該当ビットを1に設定し, N-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定します。
- ⑤ POM0-POM4レジスタの該当ビットを1に設定し, TTL入力バッファに切り替えます。なお, V_{IH}/V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し, 簡易I²Cモードに設定します。
- ⑦ PM0-PM4レジスタの該当ビットを出力モードに設定します(出力モードのままデータ入出力可能)。この時点では, 出力データはハイ・レベルであるため, 端子はHi-Z状態となっています。

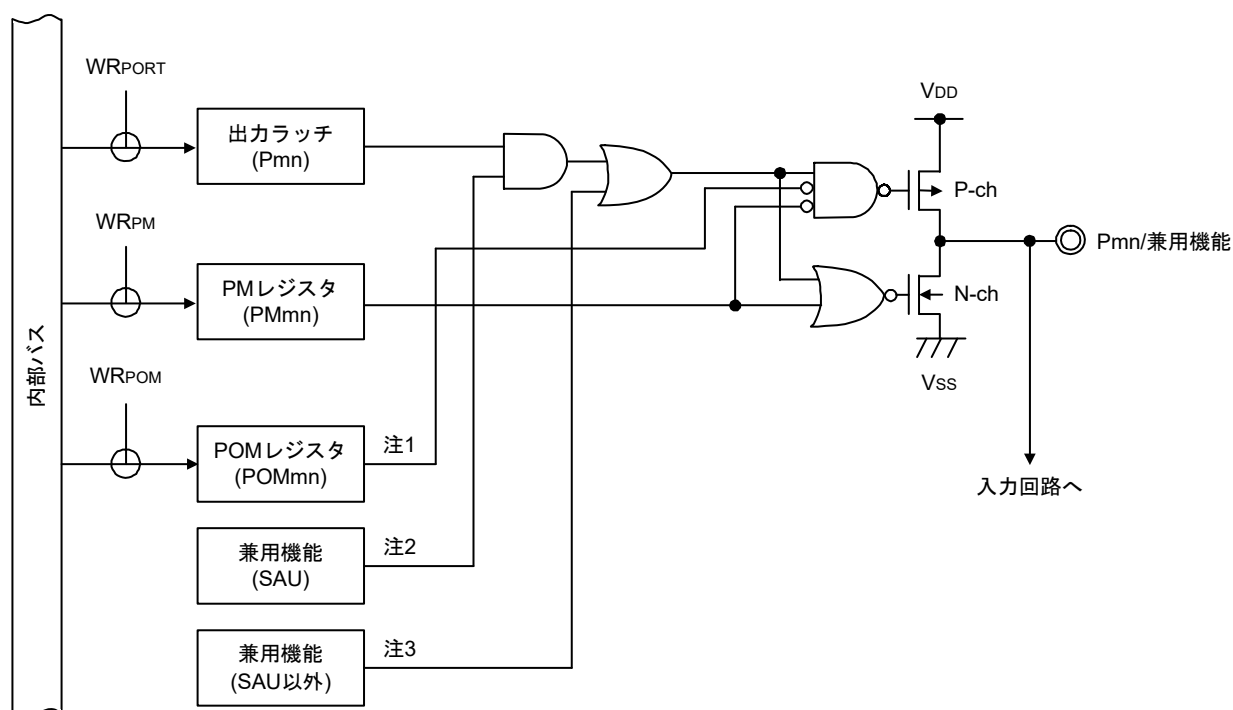
4.5 兼用機能使用時のレジスタ設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ入力と兼用している端子については、アナログ入力で使用するかデジタル入出力で使用するかをADPCレジスタまたはポート・モード・コントロール・レジスタ (PMCxx) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4-11に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能(タイマ, RTC2, クロック/ブザー出力, IICA等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4-7に示します。

図4-11 端子の出力回路の基本的な構成



注1. POMレジスタがない場合には、この信号はLow (0)と考慮してください。

注2. 兼用機能がない場合には、この信号はHigh (1)と考慮してください。

注3. 兼用機能がない場合には、この信号はLow (0)と考慮してください。

備考 m: ポート番号(m = 0-15), n: ビット番号(n = 0-7)

表4-7 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) ^注

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0)にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ (PIOR)を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

(1) $SOp = 1/TxDq = 1$ (SAUのシリアル出力 (SO_p/Tx_{Dq})を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力 (SO_p/Tx_{Dq})を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ m (SO_{Em})のビットを0 (出力禁止)に設定し、シリアル出力レジスタ m (SO_m)のSO_{mn}ビットを1 (High)に設定してください。これは初期状態と同じ設定です。

(2) $SCKp = 1/SDAr = 1/SCLr = 1$ (SAUのチャネル n を使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタ m (SE_m)のビット n (SE_{mn})を0 (動作停止状態)に設定し、使用しない出力に対応したシリアル出力許可レジスタ m (SO_{Em})のビットを0 (出力禁止)に設定し、シリアル出力レジスタ m (SO_m)のSO_{mn}ビットとCKO_{mn}ビットを1 (High)に設定してください。これは初期状態と同じ設定です。

(3) $TOmn = 0$ (TAUのチャネル n の出力を使用しない場合の設定)

TAUのTO_{mn}出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0 (TOE0)のビットを0 (出力禁止)、タイマ出力レジスタ0 (TO0)のビットを0 (Low)に設定してください。これは初期状態と同じ設定です。

(4) $SDAAn = 0/SCLAn = 0$ (IICAを使用しない場合の設定)

IICAを使用しない場合は、IICAコントロール・レジスタ $n0$ (IICCTL_{n0})のIICEnビットを0 (動作停止)にしてください。これは初期状態と同じ設定です。

★ 備考 p : CSI番号 (p = 00, 10, 20, 30) q : UART番号 (q = 0 - 3) r : IIC番号 (r = 00, 10, 20, 30)

- (5) PCLBUZn = 0 (クロック出力/ブザー出力を使用しない場合の設定)
クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ n (CKSn)のPCLOEn ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。
- (6) RTC1HZ = 0 (リアルタイム・クロック2の出力を使用しない場合の設定)
リアルタイム・クロック2の出力を使用しない場合は、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のRCLOE1 ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。
- (7) VCOUn = 0 (コンパレータの出力を使用しない場合の設定)
コンパレータの出力を使用しない場合は、コンパレータ出力制御レジスタ (COMPOCR)のCnOE ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。
- (8) TKBOnp = 0 (タイマKB2の出力を使用しない場合の設定)
タイマKB2の出力を使用しない場合は16ビット・タイマKB2動作制御レジスタ n1 (TKBCTLn1)のTKBCEn ビットを0 (動作停止状態)にしてください。これは初期値と同じ設定です。
- (9) ANOn = 0 (DAの出力を使用しない場合の設定)
DAの出力を使用しない場合は、D/Aコンバータ・モード・レジスタ (DAM)のDACEn ビットを0 (動作停止状態)にしてください。これは初期状態と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4-8～表4-17に示します。ポート機能を制御するレジスタを表4-8～表4-17のように設定してください。なお、表4-8～表4-17の表記については次の備考を参照してください。

備考 — : 対象外
× : don't care
PIORx : 周辺I/Oリダイレクション・レジスタ
PFSEGXX : LCDポート・ファンクション・レジスタ
POMxx : ポート出力モード・レジスタ
PMCxx : ポート・モード・コントロール・レジスタ
PMxx : ポート・モード・レジスタ
Pxx : ポートの出力ラッチ

() 内の機能は、周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当て可能です。

セグメント出力端子(SEGxx)を兼用するポートの動作については、4.5.4 SEGxx端子兼用ポートの動作を参照してください。

VL3, CAPL, CAPH端子を兼用するポートの動作については、4.5.5 VL3, CAPL, CAPH端子兼用ポートの動作を参照してください。

表 4 - 8 端子機能使用時のレジスタ，出力ラッチの設定例(1/10)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		USB搭載製品		USB非搭載製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80/85ピン	100ピン	80/85ピン	100ピン
P00	P00	入力	—	PFSEG48 = 0	x	—	1	x	x	—	○	○	○	○
		出力	—	PFSEG48 = 0	0	—	0	0/1	SCK10/ SCL10 = 1	—	○	○	○	○
		N-chOD出力	—	PFSEG48 = 0	1	—	0	0/1		—	○	○	○	○
	SCK10	入力	PIOR1 = 0注	PFSEG48 = 0	x	—	1	x	x	—	○	○	○	○
		出力	PIOR1 = 0注	PFSEG48 = 0	0/1	—	0	1	x	—	○	○	○	○
	SCL10	出力	PIOR1 = 0注	PFSEG48 = 0	0/1	—	0	1	x	—	○	○	○	○
SEG48	出力	—	PFSEG48 = 1	0	—	0	0	x	—	○	○	○	○	
P01	P01	入力	—	PFSEG49 = 0	x	—	1	x	x	—	○	○	○	○
		出力	—	PFSEG49 = 0	0	—	0	0/1	SDA10 = 1	—	○	○	○	○
		N-chOD出力	—	PFSEG49 = 0	1	—	0	0/1		—	○	○	○	○
	SI10	入力	PIOR1 = 0注	PFSEG49 = 0	x	—	1	x	x	—	○	○	○	○
	RxD1	入力	PIOR1 = 0注	PFSEG49 = 0	x	—	1	x	x	—	○	○	○	○
	SDA10	入出力	PIOR1 = 0注	PFSEG49 = 0	1	—	0	1	x	—	○	○	○	○
SEG49	出力	—	PFSEG49 = 1	0	—	0	0	x	—	○	○	○	○	
P02	P02	入力	—	PFSEG50 = 0	x	—	1	x	x	x	○	○	○	○
		出力	—	PFSEG50 = 0	0	—	0	0/1	TxD1/ SO10 = 1	(PCLBUZ0) = 0	○	○	○	○
		N-chOD出力	—	PFSEG50 = 0	1	—	0	0/1		(PCLBUZ0) = 0	○	○	○	○
	SO10	出力	PIOR1 = 0注	PFSEG50 = 0	0/1	—	0	1	x	(PCLBUZ0) = 0	○	○	○	○
	TxD1	出力	PIOR1 = 0注	PFSEG50 = 0	0/1	—	0	1	x	(PCLBUZ0) = 0	○	○	○	○
	(PCLBUZ0)	出力	PIOR2 = 1	PFSEG50 = 0	0	—	0	0	TxD1/ SO10 = 1	x	○	○	○	○
SEG50	出力	—	PFSEG50 = 1	0	—	0	0	x	x	○	○	○	○	
P03	P03	入力	—	PFSEG51 = 0	—	—	1	x	—	x	○	○	○	○
		出力	—	PFSEG51 = 0	—	—	0	0/1	—	TO00 = 0	○	○	○	○
	TI00	入力	PIOR0 = 0	PFSEG51 = 0	—	—	1	x	—	x	○	○	○	○
	TO00	出力	PIOR0 = 0	PFSEG51 = 0	—	—	0	0	—	x	○	○	○	○
	INTP1	入力	—	PFSEG51 = 0	—	—	1	x	—	x	○	○	○	○
	SEG51	出力	—	PFSEG51 = 1	—	—	0	0	—	x	○	○	○	○
P04	P04	入力	—	PFSEG52 = 0	—	—	1	x	—	—	○	○	○	○
		出力	—	PFSEG52 = 0	—	—	0	0/1	—	—	○	○	○	○
	INTP2	入力	—	PFSEG52 = 0	—	—	1	x	—	—	○	○	○	○
	SEG52	出力	—	PFSEG52 = 1	—	—	0	0	—	—	○	○	○	○
P05	P05	入力	—	PFSEG53 = 0	—	—	1	x	—	x	○	○	○	○
		出力	—	PFSEG53 = 0	—	—	0	0/1	—	TO02 = 0	○	○	○	○
	TI02	入力	PIOR0 = 0	PFSEG53 = 0	—	—	1	x	—	x	○	○	○	○
	TO02	出力	PIOR0 = 0	PFSEG53 = 0	—	—	0	0	—	x	○	○	○	○
	SEG53	出力	—	PFSEG53 = 1	—	—	0	0	—	x	○	○	○	○
P06	P06	入力	—	PFSEG54 = 0	—	—	1	x	—	—	○	○	○	○
		出力	—	PFSEG54 = 0	—	—	0	0/1	—	—	○	○	○	○
	INTP5	入力	PIOR3 = 0	PFSEG54 = 0	—	—	1	x	—	—	○	○	○	○
	SEG54	出力	—	PFSEG54 = 1	—	—	0	0	—	—	○	○	○	○
P07	P07	入力	—	PFSEG55 = 0	—	—	1	x	—	x	○	○	○	○
		出力	—	PFSEG55 = 0	—	—	0	0/1	—	TO06 = 0	○	○	○	○
	TI06	入力	PIOR0 = 0	PFSEG55 = 0	—	—	1	x	—	x	○	○	○	○
	TO06	出力	PIOR0 = 0	PFSEG55 = 0	—	—	0	0	—	x	○	○	○	○
	SEG55	出力	—	PFSEG55 = 1	—	—	0	0	—	x	○	○	○	○

注 100ピン製品のみ

表 4 - 9 端子機能使用時のレジスタ，出力ラッチの設定例(2/10)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		USB搭載製品		USB非搭載製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80/85ピン	100ピン	80/85ピン	100ピン
P10	P10	入力	—	PFSEG40 = 0	x	—	1	x	x	x	○	○	○	○
		出力	—	PFSEG40 = 0	0	—	0	0/1	SCK20/ SCL20 = 1	PCLBUZ0 = 0	○	○	○	○
		N-chOD出力	—	PFSEG40 = 0	1	—	0	0/1			○	○	○	○
	INTP7	入力	PIOR3 = 0	PFSEG40 = 0	x	—	1	x	x	x	○	○	○	○
	PCLBUZ0	出力	PIOR2 = 0	PFSEG40 = 0	0	—	0	0	SCK20/ SCL20 = 1	x	○	○	○	○
	SCK20	入力	—	PFSEG40 = 0	x	—	1	x	x	x	○	○	○	○
		出力	—	PFSEG40 = 0	0/1	—	0	1	x	PCLBUZ0 = 0	○	○	○	○
	SCL20	出力	—	PFSEG40 = 0	0/1	—	0	1	x	PCLBUZ0 = 0	○	○	○	○
SEG40	出力	—	PFSEG40 = 1	0	—	0	0	x	x	○	○	○	○	
P11	P11	入力	—	PFSEG41 = 0	x	—	1	x	x	x	○	○	○	○
		出力	—	PFSEG41 = 0	0	—	0	0/1	SDA20 = 1	VCOUT0 = 0	○	○	○	○
		N-chOD出力	—	PFSEG41 = 0	1	—	0	0/1			○	○	○	○
	RxD2	入力	—	PFSEG41 = 0	x	—	1	x	x	x	○	○	○	○
	SI20	入力	—	PFSEG41 = 0	x	—	1	x	x	x	○	○	○	○
	SDA20	入出力	—	PFSEG41 = 0	1	—	0	1	x	VCOUT0 = 0	○	○	○	○
	SEG41	出力	—	PFSEG41 = 1	0	—	0	0	x	x	○	○	○	○
VCOUT0	出力	—	PFSEG41 = 0	0	—	0	0	SDA20 = 1	x	○	○	○	○	
P12	P12	入力	—	PFSEG42 = 0	x	—	1	x	x	x	○	○	○	○
		出力	—	PFSEG42 = 0	0	—	0	0/1	TxD2/ SO20 = 1	VCOUT1 = 0	○	○	○	○
		N-chOD出力	—	PFSEG42 = 0	1	—	0	0/1			○	○	○	○
	TxD2	出力	—	PFSEG42 = 0	0/1	—	0	1	x	VCOUT1 = 0	○	○	○	○
	SO20	出力	—	PFSEG42 = 0	0/1	—	0	1	x	VCOUT1 = 0	○	○	○	○
	SEG42	出力	—	PFSEG42 = 1	0	—	0	0	x	x	○	○	○	○
VCOUT1	出力	—	PFSEG42 = 0	0	—	0	0	TxD2/ SO20 = 1	x	○	○	○	○	
P13	P13	入力	—	PFSEG43 = 0	—	—	1	x	—	—	x	○	x	○
		出力	—	PFSEG43 = 0	—	—	0	0/1	—	—	x	○	x	○
	SEG43	出力	—	PFSEG43 = 1	—	—	0	0	—	—	x	○	x	○
P14	P14	入力	—	PFSEG44 = 0	—	—	1	x	—	—	x	○	x	○
		出力	—	PFSEG44 = 0	—	—	0	0/1	—	—	x	○	x	○
SEG44	出力	—	PFSEG44 = 1	—	—	0	0	—	—	x	○	x	○	
P15	P15	入力	—	PFSEG45 = 0	—	—	1	x	—	—	x	○	x	○
		出力	—	PFSEG45 = 0	—	—	0	0/1	—	—	x	○	x	○
SEG45	出力	—	PFSEG45 = 1	—	—	0	0	—	—	x	○	x	○	
P16	P16	入力	—	PFSEG46 = 0	—	—	1	x	—	—	x	○	x	○
		出力	—	PFSEG46 = 0	—	—	0	0/1	—	—	x	○	x	○
	SEG46	出力	—	PFSEG46 = 1	—	—	0	0	—	—	x	○	x	○
P17	P17	入力	—	PFSEG47 = 0	—	—	1	x	—	—	x	○	x	○
		出力	—	PFSEG47 = 0	—	—	0	0/1	—	—	x	○	x	○
	SEG47	出力	—	PFSEG47 = 1	—	—	0	0	—	—	x	○	x	○
P20	P20	入力	—	PFSEG32 = 0	—	0	1	x	—	—	○	○	○	○
		出力	—	PFSEG32 = 0	—	0	0	0/1	—	—	○	○	○	○
	ANI20	入力	—	PFSEG32 = 0	—	1	1	x	—	—	○	○	○	○
	SEG32	出力	—	PFSEG32 = 1	—	0	0	0	—	—	○	○	○	○
P21	P21	入力	—	PFSEG33 = 0	—	0	1	x	—	—	○	○	○	○
		出力	—	PFSEG33 = 0	—	0	0	0/1	—	—	○	○	○	○
	ANI21	入力	—	PFSEG33 = 0	—	1	1	x	—	—	○	○	○	○
	SEG33	出力	—	PFSEG33 = 1	—	0	0	0	—	—	○	○	○	○

表4 - 10 端子機能使用時のレジスタ，出力ラッチの設定例(3/10)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		USB搭載製品		USB非搭載製品		
	機能名称	入出力							SAUの出力機能	SAU以外	80/85ピン	100ピン	80/85ピン	100ピン	
P22	P22	入力	—	PFSEG34 = 0	—	—	1	x	—	x	○	○	○	○	
		出力	—	PFSEG34 = 0	—	—	0	0/1	—	TO04 = 0	○	○	○	○	
	TI04	入力	PIOR0 = 0	PFSEG34 = 0	—	—	1	x	—	x	○	○	○	○	
	TO04	出力	PIOR0 = 0	PFSEG34 = 0	—	—	0	0	—	x	○	○	○	○	
	SEG34	出力	—	PFSEG34 = 1	—	—	0	0	—	x	○	○	○	○	
P23	P23	入力	—	PFSEG35 = 0	—	—	1	x	—	x	○	○	○	○	
		出力	—	PFSEG35 = 0	—	—	0	0/1	—	TO07 = 0	○	○	○	○	
	TI07	入力	PIOR0 = 0	PFSEG35 = 0	—	—	1	x	—	x	○	○	○	○	
	TO07	出力	PIOR0 = 0	PFSEG35 = 0	—	—	0	0	—	x	○	○	○	○	
	SEG35	出力	—	PFSEG35 = 1	—	—	0	0	—	x	○	○	○	○	
P24	P24	入力	—	PFSEG36 = 0	x	—	1	x	x	x	○	○	○	○	
		出力	—	PFSEG36 = 0	0	—	0	0/1	SCK00/ SCL00 = 1	—	○	○	○	○	
		N-chOD出力	—	PFSEG36 = 0	1	—	0	0/1		○	○	○	○		
	SCK00	入力	—	PFSEG36 = 0	x	—	1	x	x	—	○	○	○	○	
		出力	—	PFSEG36 = 0	0/1	—	0	1	x	—	○	○	○	○	
	SCL00	出力	—	PFSEG36 = 0	0/1	—	0	1	x	—	○	○	○	○	
	SEG36	出力	—	PFSEG36 = 1	0	—	0	0	x	—	○	○	○	○	
P25	P25	入力	—	PFSEG37 = 0	x	—	1	x	SDA00 = 1	x	—	○	○	○	○
		出力	—	PFSEG37 = 0	0	—	0	0/1		—	—	○	○	○	○
		N-chOD出力	—	PFSEG37 = 0	1	—	0	0/1		○	○	○	○		
	SI00	入力	—	PFSEG37 = 0	x	—	1	x	x	—	○	○	○	○	
	RxD0	入力	—	PFSEG37 = 0	x	—	1	x	x	—	○	○	○	○	
	TOOLRxD	入力	—	PFSEG37 = 0	x	—	1	x	x	—	○	○	○	○	
	SDA00	入出力	—	PFSEG37 = 0	1	—	0	1	x	—	○	○	○	○	
	SEG37	出力	—	PFSEG37 = 1	0	—	0	0	x	—	○	○	○	○	
P26	P26	入力	—	PFSEG38 = 0	x	—	1	x	TxD0/ SO00 = 1	x	x	○	○	○	○
		出力	—	PFSEG38 = 0	0	—	0	0/1		—	TOOLTxD = 0	○	○	○	○
		N-chOD出力	—	PFSEG38 = 0	1	—	0	0/1		○	○	○	○		
	SO00	出力	—	PFSEG38 = 0	0/1	—	0	1	x	TOOLTxD = 0	○	○	○	○	
	TxD0	出力	—	PFSEG38 = 0	0/1	—	0	1	x	TOOLTxD = 0	○	○	○	○	
	TOOLTxD	出力	—	PFSEG38 = 0	0/1	—	0	1	TxD0/ SO00 = 1	x	○	○	○	○	
	SEG38	出力	—	PFSEG38 = 1	0	—	0	0	x	x	○	○	○	○	
P27	P27	入力	—	PFSEG39 = 0	—	—	1	x	—	x	○	○	○	○	
		出力	—	PFSEG39 = 0	—	—	0	0/1	—	(TO05) = 0 PCLBUZ1 = 0	○	○	○	○	
	(TI05)	入力	PIOR0 = 1	PFSEG39 = 0	—	—	1	x	—	x	○	○	○	○	
	(TO05)	出力	PIOR0 = 1	PFSEG39 = 0	—	—	0	0	—	PCLBUZ1 = 0	○	○	○	○	
	(INTP5)	入力	PIOR3 = 1	PFSEG39 = 0	—	—	1	x	—	x	○	○	○	○	
	PCLBUZ1	出力	—	PFSEG39 = 0	—	—	0	0	—	(TO05) = 0	○	○	○	○	
	SEG39	出力	—	PFSEG39 = 1	—	—	0	0	—	x	○	○	○	○	
P30	P30	入力	—	PFSEG20 = 0	—	—	1	x	—	x	○	○	○	○	
		出力	—	PFSEG20 = 0	—	—	0	0/1	—	TO03 = 0	○	○	○	○	
	TI03	入力	PIOR0 = 0	PFSEG20 = 0	—	—	1	x	—	x	○	○	○	○	
	TO03	出力	PIOR0 = 0	PFSEG20 = 0	—	—	0	0	—	x	○	○	○	○	
	REMOOUT	出力	PIOR0 = 0	PFSEG20 = 0	—	—	0	0	—	x	○	○	○	○	
	SEG20	出力	—	PFSEG20 = 1	—	—	0	0	—	x	○	○	○	○	

表4 - 11 端子機能使用時のレジスタ，出力ラッチの設定例(4/10)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		USB搭載製品		USB非搭載製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80/85ピン	100ピン	80/85ピン	100ピン
P31	P31	入力	—	PFSEG21 = 0	—	—	1	x	—	x	○	○	○	○
		出力	—	PFSEG21 = 0	—	—	0	0/1	—	RTC1HZ = 0	○	○	○	○
	INTP3	入力	—	PFSEG21 = 0	—	—	1	x	—	x	○	○	○	○
	RTC1HZ	出力	—	PFSEG21 = 0	—	—	0	0	—	x	○	○	○	○
	SEG21	出力	—	PFSEG21 = 1	—	—	0	0	—	x	○	○	○	○
P32	P32	入力	—	PFSEG22 = 0	—	—	1	x	—	x	○	○	○	○
		出力	—	PFSEG22 = 0	—	—	0	0/1	—	TO01 = 0	○	○	○	○
	TI01	入力	PIOR0 = 0	PFSEG22 = 0	—	—	1	x	—	x	○	○	○	○
	TO01	出力	PIOR0 = 0	PFSEG22 = 0	—	—	0	0	—	x	○	○	○	○
	SEG22	出力	—	PFSEG22 = 1	—	—	0	0	—	x	○	○	○	○
P33	P33	入力	—	PFSEG23 = 0	x	—	1	x	x	—	○	○	○	○
		出力	—	PFSEG23 = 0	0	—	0	0/1	SCK30/ SCL30 = 1	—	○	○	○	○
		N-chOD出力	—	PFSEG23 = 0	1	—	0	0/1		○	○	○	○	
	INTP4	入力	—	PFSEG23 = 0	x	—	1	x	x	—	○	○	○	○
	SCK30	入力	—	PFSEG23 = 0	x	—	1	x	x	—	○	○	○	○
		出力	—	PFSEG23 = 0	0/1	—	0	1	x	—	○	○	○	○
	SCL30	出力	—	PFSEG23 = 0	0/1	—	0	1	x	—	○	○	○	○
SEG23	出力	—	PFSEG23 = 1	x	—	0	0	x	—	○	○	○	○	
P34	P34	入力	—	PFSEG24 = 0	x	—	1	x	x	—	○	○	○	○
		出力	—	PFSEG24 = 0	0	—	0	0/1	SDA30 = 1	—	○	○	○	○
		N-chOD出力	—	PFSEG24 = 0	1	—	0	0/1		○	○	○	○	
	SI30	入力	—	PFSEG24 = 0	x	—	1	x	x	—	○	○	○	○
	RxD3	入力	—	PFSEG24 = 0	x	—	1	x	x	—	○	○	○	○
	SDA30	入出力	—	PFSEG24 = 0	1	—	0	1	x	—	○	○	○	○
	SEG24	出力	—	PFSEG24 = 1	0	—	0	0	x	—	○	○	○	○
P35	P35	入力	—	PFSEG25 = 0	x	—	1	x	x	—	○	○	○	○
		出力	—	PFSEG25 = 0	0	—	0	0/1	TxD3/ SO30 = 1	—	○	○	○	○
		N-chOD出力	—	PFSEG25 = 0	1	—	0	0/1		○	○	○	○	
	SO30	出力	—	PFSEG25 = 0	0/1	—	0	1	x	—	○	○	○	○
	TxD3	出力	—	PFSEG25 = 0	0/1	—	0	1	x	—	○	○	○	○
SEG25	出力	—	PFSEG25 = 1	0	—	0	0	x	—	○	○	○	○	
P36	P36	入力	—	PFSEG26 = 0	x	—	1	x	—	—	x	○	x	○
		出力	—	PFSEG26 = 0	0	—	0	0/1	—	—	x	○	x	○
	SEG26	出力	—	PFSEG26 = 1	—	—	0	0	—	—	x	○	x	○
P37	P37	入力	—	PFSEG27 = 0	x	—	1	x	—	—	x	○	x	○
		出力	—	PFSEG27 = 0	0	—	0	0/1	—	—	x	○	x	○
	SEG27	出力	—	PFSEG27 = 1	—	—	0	0	—	—	x	○	x	○
P40	P40	入力	—	—	x	—	1	x	—	x	○	○	○	○
		出力	—	—	0	—	0	0/1	—	(TO00) = 0	○	○	○	○
	TOOL0	入出力	—	—	—	—	x	x	—	(TO00) = 0	○	○	○	○
	(TI00)	入力	PIOR0 = 1	—	—	—	1	x	—	x	○	○	○	○
	(TO00)	出力	PIOR0 = 1	—	—	—	0	0	—	x	○	○	○	○
P41	P41	入力	—	—	x	0	1	x	—	x	x	○	x	○
		出力	—	—	0	0	0	0/1	—	(TO07) = 0	x	○	x	○
	(TI07)	入力	PIOR0 = 1注	—	—	0	1	x	—	x	x	○	x	○
	(TO07)	出力	PIOR0 = 1注	—	—	0	0	0	—	x	x	○	x	○
	IVREF1	入力	—	—	—	1	1	x	—	x	x	○	x	○

注 100ピン製品のみ

表4 - 12 端子機能使用時のレジスタ，出力ラッチの設定例(5/10)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		USB搭載製品		USB非搭載製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80/85ピン	100ピン	80/85ピン	100ピン
P42	P42	入力	—	—	x	0	1	x	x	x	x	○	x	○
		出力	—	—	0	0	0	0/1	(TxD1)/ (SO10) = 1	TO05 = 0	x	○	x	○
		N-chOD出力	—	—	1	0	0	0/1			x	○	x	○
	TI05	入力	PIOR0 = 0注	—	x	0	1	x	x	x	x	○	x	○
	TO05	出力	PIOR0 = 0注	—	0	0	0	0	(TxD1)/ (SO10) = 1	x	x	○	x	○
	(SO10)	出力	PIOR1 = 1注	—	0/1	0	0	1	x	TO05 = 0	x	○	x	○
	(TxD1)	出力	PIOR1 = 1注	—	0/1	0	0	1	x	TO05 = 0	x	○	x	○
	IVCMP1	入力	—	—	x	1	1	x	x	x	x	○	x	○
P43	P43	入力	—	—	x	0	1	x	x	—	○	○	○	○
		出力	—	—	0	0	0	0/1	(SDA10) = 1	—	○	○	○	○
		N-chOD出力	—	—	1	0	0	0/1			x	○	x	○
	(INTP7)	入力	PIOR3 = 1	—	x	0	1	x	x	—	○	○	○	○
	(SI10)	入力	PIOR1 = 1注	—	x	0	1	x	x	—	x	○	x	○
	(RxD1)	入力	PIOR1 = 1注	—	x	0	1	x	x	—	x	○	x	○
	(SDA10)	入出力	PIOR1 = 1注	—	1	0	0	1	x	—	x	○	x	○
	IVCMP0	入力	—	—	x	1	1	x	x	—	○	○	○	○
P44	P44	入力	—	—	x	0	1	x	x	—	○	○	○	○
		出力	—	—	0	0	0	0/1	(SCK10)/ (SCL10) = 1	—	○	○	○	○
		N-chOD出力	—	—	1	0	0	0/1			x	○	x	○
	(SCK10)	入力	PIOR1 = 1注	—	x	0	1	x	x	—	x	○	x	○
		出力	PIOR1 = 1注	—	0/1	0	0	1	x	—	x	○	x	○
	(SCL10)	出力	PIOR1 = 1注	—	0/1	0	0	1	x	—	x	○	x	○
IVREF0	入力	—	—	x	1	1	x	x	—	○	○	○	○	
P45	P45	入力	—	—	—	0	1	x	—	—	○	○	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○	○	○
ANO0	アナログ出力	—	—	—	1	1	x	—	—	○	○	○	○	
P46	P46	入力	—	—	—	0	1	x	—	—	○	○	○	○
		出力	—	—	—	0	0	0/1	—	—	○	○	○	○
	ANO1	アナログ出力	—	—	—	1	1	x	—	—	○	○	○	○
P50	P50	入力	—	PFSEG04 = 0	—	—	1	x	—	—	○	○	○	○
		出力	—	PFSEG04 = 0	—	—	0	0/1	—	—	○	○	○	○
	SEG4	出力	—	PFSEG04 = 1	—	—	0	0	—	—	○	○	○	○
	INTP6	入力	—	PFSEG04 = 0	—	—	1	x	—	—	○	○	○	○
P51	P51	入力	—	PFSEG05 = 0	—	—	1	x	—	—	○	○	○	○
		出力	—	PFSEG05 = 0	—	—	0	0/1	—	—	○	○	○	○
	SEG5	出力	—	PFSEG05 = 1	—	—	0	0	—	—	○	○	○	○
P52	P52	入力	—	PFSEG06 = 0	—	—	1	x	—	—	○	○	○	○
		出力	—	PFSEG06 = 0	—	—	0	0/1	—	—	○	○	○	○
	SEG6	出力	—	PFSEG06 = 1	—	—	0	0	—	—	○	○	○	○
P53	P53	入力	—	PFSEG07 = 0	—	—	1	x	—	—	x	○	x	○
		出力	—	PFSEG07 = 0	—	—	0	0/1	—	—	x	○	x	○
	SEG7	出力	—	PFSEG07 = 1	—	—	0	0	—	—	x	○	x	○
P54	P54	入力	—	PFSEG08 = 0	—	—	1	x	—	—	x	○	x	○
		出力	—	PFSEG08 = 0	—	—	0	0/1	—	—	x	○	x	○
	SEG8	出力	—	PFSEG08 = 1	—	—	0	0	—	—	x	○	x	○

注 100ピン製品のみ

表4 - 13 端子機能使用時のレジスタ，出力ラッチの設定例(6/10)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		USB搭載製品		USB非搭載製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80/85ピン	100ピン	80/85ピン	100ピン
P55	P55	入力	—	PFSEG09 = 0	—	—	1	×	—	—	×	○	×	○
		出力	—	PFSEG09 = 0	—	—	0	0/1	—	—	×	○	×	○
	SEG9	出力	—	PFSEG09 = 1	—	—	0	0	—	—	×	○	×	○
P56	P56	入力	—	PFSEG10 = 0	—	—	1	×	—	—	×	○	×	○
		出力	—	PFSEG10 = 0	—	—	0	0/1	—	—	×	○	×	○
	SEG10	出力	—	PFSEG10 = 1	—	—	0	0	—	—	×	○	×	○
P57	P57	入力	—	PFSEG11 = 0	—	—	1	×	—	—	×	○	×	○
		出力	—	PFSEG11 = 0	—	—	0	0/1	—	—	×	○	×	○
	SEG11	出力	—	PFSEG11 = 1	—	—	0	0	—	—	×	○	×	○
P60	P60	入力	—	—	—	—	1	×	—	×	○	○	○	○
		N-chOD出力 (6V耐圧)	—	—	—	—	0	0/1	—	SCLA0 = 0 (TO01) = 0	○	○	○	○
	SCLA0	入出力	—	—	—	—	0	0	—	(TO01) = 0	○	○	○	○
	(TI01)	入力	PIOR0 = 1	—	—	—	1	×	—	×	○	○	○	○
	(TO01)	出力	PIOR0 = 1	—	—	—	0	0	—	SCLA0 = 0	○	○	○	○
P61	P61	入力	—	—	—	—	1	×	—	×	○	○	○	○
		N-chOD出力 (6V耐圧)	—	—	—	—	0	0/1	—	SDAA0 = 0 (TO02) = 0	○	○	○	○
	SDAA0	入出力	×	—	—	—	0	0	—	(TO02) = 0	○	○	○	○
	(TI02)	入力	PIOR0 = 1	—	—	—	1	×	—	×	○	○	○	○
	(TO02)	出力	PIOR0 = 1	—	—	—	0	0	—	SDAA0 = 0	○	○	○	○
P70	P70	入力	—	PFSEG12 = 0	—	—	1	×	—	—	○	○	○	○
		出力	—	PFSEG12 = 0	—	—	0	0/1	—	—	○	○	○	○
	KR7	入力	×	PFSEG12 = 0	—	—	1	×	—	—	○	○	○	○
	SEG12	出力	×	PFSEG12 = 1	—	—	0	0	—	—	○	○	○	○
P71	P71	入力	—	PFSEG13 = 0	—	—	1	×	—	—	○	○	○	○
		出力	—	PFSEG13 = 0	—	—	0	0/1	—	—	○	○	○	○
	KR6	入力	×	PFSEG13 = 0	—	—	1	×	—	—	○	○	○	○
	SEG13	出力	×	PFSEG13 = 1	—	—	0	0	—	—	○	○	○	○
P72	P72	入力	—	PFSEG14 = 0	—	—	1	×	—	×	○	○	○	○
		出力	—	PFSEG14 = 0	—	—	0	0/1	—	TKBO20 = 0	○	○	○	○
	KR5	入力	×	PFSEG14 = 0	—	—	1	×	—	×	○	○	○	○
	TKBO20	出力	×	PFSEG14 = 0	—	—	0	0	—	×	○	○	○	○
	SEG14	出力	×	PFSEG14 = 1	—	—	0	0	—	×	○	○	○	○
P73	P73	入力	—	PFSEG15 = 0	—	—	1	×	—	×	○	○	○	○
		出力	—	PFSEG15 = 0	—	—	0	0/1	—	TKBO21 = 0	○	○	○	○
	KR4	入力	×	PFSEG15 = 0	—	—	1	×	—	×	○	○	○	○
	TKBO21	出力	×	PFSEG15 = 0	—	—	0	0	—	×	○	○	○	○
	SEG15	出力	×	PFSEG15 = 1	—	—	0	0	—	×	○	○	○	○
P74	P74	入力	—	PFSEG16 = 0	—	—	1	×	—	×	○	○	○	○
		出力	—	PFSEG16 = 0	—	—	0	0/1	—	TKBO10 = 0	○	○	○	○
	KR3	入力	×	PFSEG16 = 0	—	—	1	×	—	×	○	○	○	○
	TKBO10	出力	×	PFSEG16 = 0	—	—	0	0	—	×	○	○	○	○
	SEG16	出力	×	PFSEG16 = 1	—	—	0	0	—	×	○	○	○	○
P75	P75	入力	—	PFSEG17 = 0	—	—	1	×	—	×	○	○	○	○
		出力	—	PFSEG17 = 0	—	—	0	0/1	—	TKBO11 = 0	○	○	○	○
	KR2	入力	×	PFSEG17 = 0	—	—	1	×	—	×	○	○	○	○
	TKBO11	出力	×	PFSEG17 = 0	—	—	0	0	—	×	○	○	○	○
	SEG17	出力	×	PFSEG17 = 1	—	—	0	0	—	×	○	○	○	○

表4 - 14 端子機能使用時のレジスタ，出力ラッチの設定例(7/10)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	兼用機能出力		USB搭載製品		USB非搭載製品	
	機能名称	入出力							SAUの出力機能	SAU以外	80/85ピン	100ピン	80/85ピン	100ピン
P76	P76	入力	—	PFSEG18 = 0	—	—	1	*	—	*	○	○	○	○
		出力	—	PFSEG18 = 0	—	—	0	0/1	—	TKBO00 = 0	○	○	○	○
	KR1	入力	*	PFSEG18 = 0	—	—	1	*	—	*	○	○	○	○
	TKBO00	出力	*	PFSEG18 = 0	—	—	0	0	—	*	○	○	○	○
	SEG18	出力	*	PFSEG18 = 1	—	—	0	0	—	*	○	○	○	○
P77	P77	入力	—	PFSEG19 = 0	—	—	1	*	—	*	○	○	○	○
		出力	—	PFSEG19 = 0	—	—	0	0/1	—	TKBO01 = 0	○	○	○	○
	KR0	入力	*	PFSEG19 = 0	—	—	1	*	—	*	○	○	○	○
	TKBO01	出力	*	PFSEG19 = 0	—	—	0	0	—	*	○	○	○	○
	SEG19	出力	*	PFSEG19 = 1	—	—	0	0	—	*	○	○	○	○
P80	P80	入力	—	—	—	—	1	*	—	—	*	*	*	○
		出力	—	—	—	—	0	0/1	—	—	*	*	*	○
P81	P81	入力	—	—	—	—	1	*	—	—	*	*	*	○
		出力	—	—	—	—	0	0/1	—	—	*	*	*	○
P82	P82	入力	—	—	—	—	1	*	—	—	*	*	○	○
		出力	—	—	—	—	0	0/1	—	—	*	*	○	○
P83	P83	入力	—	—	—	—	1	*	—	—	*	*	○	○
		出力	—	—	—	—	0	0/1	—	—	*	*	○	○

表4 - 15 端子機能使用時のレジスタ，出力ラッチの設定例(8/10)

端子名称	使用機能		CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	Pxx	USB搭載製品		USB非搭載製品	
	機能名称	入出力			80/85ピン	100ピン	80/85ピン	100ピン
P121	P121	入力	00xx/10 xx/11 xx	*	○	○	○	○
	X1	—	01 xx	—	○	○	○	○
P122	P122	入力	00 xx/10 xx	*	○	○	○	○
	X2	—	01 xx	—	○	○	○	○
	EXCLK	入力	11 xx	—	○	○	○	○
P123	P123	入力	xx 00/xx 10/xx11	*	○	○	○	○
	XT1	—	xx 01	—	○	○	○	○
P124	P123	入力	xx 00/xx 10	*	○	○	○	○
	XT2	—	xx 01	—	○	○	○	○
	EXCLKS	入力	xx 11	—	○	○	○	○

表4 - 16 端子機能使用時のレジスタ，出力ラッチの設定例(9/10)

端子名称	使用機能		PIORXX	PFSEGXX	POMXX	PMCXX	PMXX	PXX	ISCLCD	兼用機能出力		USB搭載製品		USB非搭載製品	
	機能名称	入出力								SAUの出力機能	SAU以外	80/85ピン	100ピン	80/85ピン	100ピン
P125	P125	入力	—	—	—	—	1	×	ISCVL3 = 1	—	×	○	○	○	○
		出力	—	—	—	—	0	0/1	ISCVL3 = 1	—	(TO06) = 0	○	○	○	○
	VL3	入出力	×	—	—	—	1	0	ISCVL3 = 0	—	×	○	○	○	○
	(TI06)	入力	PIOR0 = 1	—	—	—	1	×	ISCVL3 = 1	—	×	○	○	○	○
	(TO06)	出力	PIOR0 = 1	—	—	—	0	0	ISCVL3 = 1	—	×	○	○	○	○
P126	P126	入力	—	—	—	—	1	×	ISCCAP = 1	—	×	○	○	○	○
		出力	—	—	—	—	0	0/1	ISCCAP = 1	—	(TO04) = 0	○	○	○	○
	CAPL	出力	×	—	—	—	1	0	ISCCAP = 0	—	×	○	○	○	○
	(TI04)	入力	PIOR0 = 1	—	—	—	1	×	ISCCAP = 1	—	×	○	○	○	○
	(TO04)	出力	PIOR0 = 1	—	—	—	0	0	ISCCAP = 1	—	×	○	○	○	○
P127	P127	入力	—	—	—	—	1	×	ISCCAP = 1	—	×	○	○	○	○
		出力	—	—	—	—	0	0/1	ISCCAP = 1	—	(TO03) = 0	○	○	○	○
	CAPH	出力	×	—	—	—	1	0	ISCCAP = 0	—	×	○	○	○	○
	(TI03)	入力	PIOR0 = 1	—	—	—	1	×	ISCCAP = 1	—	×	○	○	○	○
	(TO03)	出力	PIOR0 = 1	—	—	—	0	0	ISCCAP = 1	—	×	○	○	○	○
	(REMOOUT)	出力	PIOR0 = 1	—	—	—	0	0	ISCCAP = 1	—	×	○	○	○	○
P130	P130	出力	—	—	—	—	—	0/1	—	—	—	○	○	○	○
P137	P137	入力	—	—	—	—	—	×	—	—	—	○	○	○	○
	INTP0	入力	×	—	—	—	—	×	—	—	—	○	○	○	○
P140	P140	入力	—	PFSEG28 = 0	—	0	1	×	—	—	—	○	○	○	○
		出力	—	PFSEG28 = 0	—	0	0	0/1	—	—	—	○	○	○	○
	ANI16	入力	×	PFSEG28 = 0	—	1	1	×	—	—	—	○	○	○	○
	SEG28	出力	×	PFSEG28 = 1	—	0	0	0	—	—	—	○	○	○	○
P141	P141	入力	—	PFSEG29 = 0	—	0	1	×	—	—	—	○	○	○	○
		出力	—	PFSEG29 = 0	—	0	0	0/1	—	—	—	○	○	○	○
	ANI17	入力	×	PFSEG29 = 0	—	1	1	×	—	—	—	○	○	○	○
	SEG29	出力	×	PFSEG29 = 1	—	0	0	0	—	—	—	○	○	○	○
P142	P142	入力	—	PFSEG30 = 0	—	0	1	×	—	—	—	○	○	○	○
		出力	—	PFSEG30 = 0	—	0	0	0/1	—	—	—	○	○	○	○
	ANI18	入力	×	PFSEG30 = 0	—	1	1	×	—	—	—	○	○	○	○
	SEG30	出力	×	PFSEG30 = 1	—	0	0	0	—	—	—	○	○	○	○
P143	P143	入力	—	PFSEG31 = 0	—	0	1	×	—	—	—	○	○	○	○
		出力	—	PFSEG31 = 0	—	0	0	0/1	—	—	—	○	○	○	○
	ANI19	入力	×	PFSEG31 = 0	—	1	1	×	—	—	—	○	○	○	○
	SEG31	出力	×	PFSEG31 = 1	—	0	0	0	—	—	—	○	○	○	○

表4 - 17 端子機能使用時のレジスタ，出力ラッチの設定例(10/10)

端子名称	使用機能		ADPC	ADM2	PMxx	Pxx	USB搭載製品		USB非搭載製品	
	機能名称	入出力					80/85 ピン	100 ピン	80/85 ピン	100 ピン
P150	P150	入力	ADPC = 01H	×	1	×	○	○	○	○
		出力	ADPC = 01H	×	0	0/1				
	ANI0	アナログ入力	ADPC = 00H/02H ~ 07H	00x0xx0x, 10x0xx0x	1	×	○	○	○	○
	AVREFP	基準電圧	ADPC = 00H/02H ~ 07H	01x0xx0x	1	×	○	○	○	○
P151	P151	入力	ADPC = 01H/02H	×	1	×	○	○	○	○
		出力	ADPC = 01H/02H	×	0	0/1				
	ANI1	アナログ入力	ADPC = 00H/03H ~ 07H	xx00xx0x	1	×	○	○	○	○
	AVREFM	基準電圧	ADPC = 00H/03H ~ 07H	xx10xx0x	1	×	○	○	○	○
P152	P152	入力	ADPC = 01H ~ 03H	×	1	×	○	○	○	○
		出力	ADPC = 01H ~ 03H	×	0	0/1				
	ANI2	アナログ入力	ADPC = 00H/04H ~ 07H	×	1	×	○	○	○	○
P153	P153	入力	ADPC = 01H ~ 04H	×	1	×	×	○	×	○
		出力	ADPC = 01H ~ 04H	×	0	0/1				
	ANI3	アナログ入力	ADPC = 00H/05H ~ 07H	×	1	×	×	○	×	○
P154	P154	入力	ADPC = 01H ~ 05H	×	1	×	×	○	×	○
		出力	ADPC = 01H ~ 05H	×	0	0/1				
	ANI4	アナログ入力	ADPC = 00H/06H ~ 07H	×	1	×	×	○	×	○
P155	P155	入力	ADPC = 01H ~ 06H	×	1	×	×	○	○	○
		出力	ADPC = 01H ~ 06H	×	0	0/1				
	ANI5	アナログ入力	ADPC = 00H/07H	×	1	×	×	○	○	○
P156	P156	入力	ADPC = 01H ~ 07H	×	1	×	×	○	○	○
		出力	ADPC = 01H ~ 07H	×	0	0/1				
	ANI6	アナログ入力	ADPC = 00H	×	1	×	×	○	○	○

4.5.4 SEGxx端子兼用ポートの動作

セグメント出力端子(SEGxx)の機能は、ポート・モード・コントロール・レジスタ (PMCxx)、ポート・モード・レジスタ (PMxx)、LCDポート・ファンクション・レジスタ 0-6 (PFSEG0-PFSEG6)の設定で決定します。

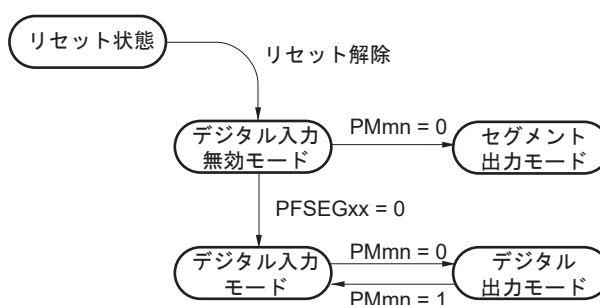
- P00-P07, P10-P17, P22-P27, P30-P37, P50-P57, P70-P77
(アナログ入力端子 (ANLxx) を兼用していないポート)

表4 - 18 SEGxx/ポート端子機能の設定

PFSEG0-PFSEG6レジスタの PFSEGxxビット	PMxxレジスタのPMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	—
0	1	デジタル入力モード	—
1	0	セグメント出力モード	—

SEGxx/ポート端子機能の状態遷移を次に示します。

図4 - 12 SEGxx/ポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット=0の期間)に設定してください。

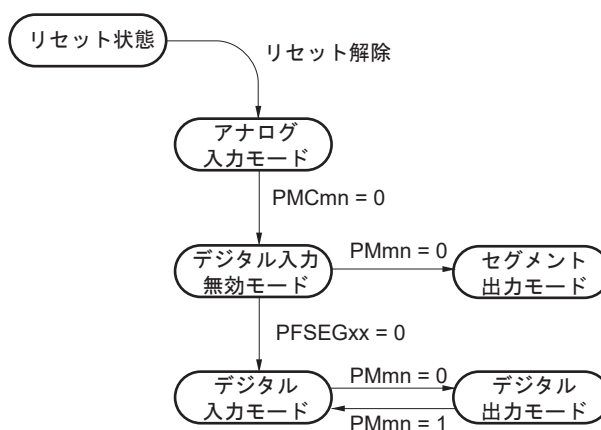
- P20, P21, P140-P143 (アナログ入力端子 (ANLxx) を兼用するポート)

表4 - 19 ANLxx/SEGxx/ポート端子機能の設定

PMCxxレジスタのPMCxxビット	PFSEG2, PFSEG3レジスタのPFSEGxxビット	PMxxレジスタのPMxxビット	端子機能	初期状態
1	1	1	アナログ入力モード	○
0	0	0	デジタル出力モード	—
0	0	1	デジタル入力モード	—
0	1	0	セグメント出力モード	—
0	1	1	デジタル入力無効モード	—
上記以外			設定禁止	

ANLxx/SEGxx/ポート端子機能の状態遷移を次に示します。

図4 - 13 ANLxx/SEGxx/ポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット=0の期間)に設定してください。

4.5.5 VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127端子の機能は、LCD入力切り替え制御レジスタ (ISCLCD), LCDモード・レジスタ0 (LCDM0), ポート・モード・レジスタ12 (PM12)の設定で決定します。

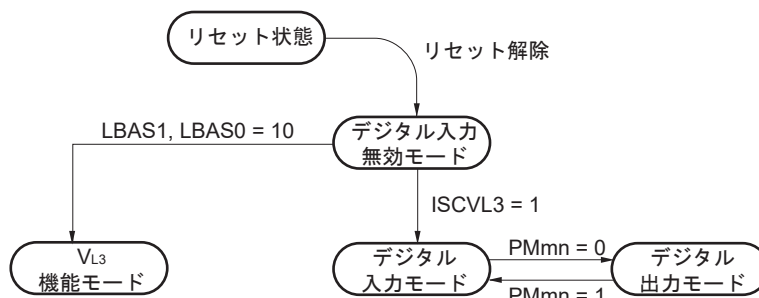
- VL3/P125

表4 - 20 VL3/P125端子機能の設定

バイアス法設定 (LCDM0レジスタのLBAS1, LBAS0ビットで設定)	ISCLCDレジスタ のISCVL3ビット	PM12レジスタ のPM125ビット	端子機能	初期状態
1/4バイアス法以外(LBAS1, LBAS0 = 00または01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
1/4バイアス法(LBAS1, LBAS0 = 10)	0	1	VL3機能モード	—
上記以外			設定禁止	

VL3/P125端子機能の状態遷移を次に示します。

図4 - 14 VL3/P125端子機能の状態遷移図



注意 VL3機能モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット = 0の期間)に設定してください。

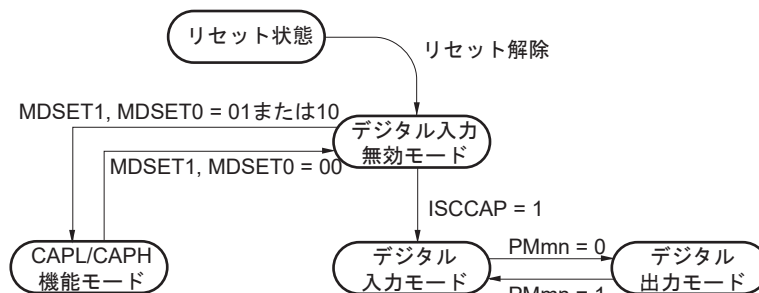
• CAPL/P126, CAPH/P127

表4 - 21 CAPL/P126, CAPH/P127 端子機能の設定

LCD 駆動電圧生成 (LCDM0 レジスタの MDSET1, MDSET0 ビット)	ISCLCD レジスタ の ISCCAP ビット	PM12 レジスタの PM126, PM127 ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01 または 10)	0	1	CAPL/CAPH 機能モード	—
上記以外			設定禁止	

CAPL/P126, CAPH/P127 端子機能の状態遷移を次に示します。

図4 - 15 CAPL/P126, CAPH/P127 端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1(LCDM1)のSCOCビット=0の期間)に設定してください。

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ n (Pn)に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出力ラッチの値は、“FFH”になります。

★ 説明：PMmnビット=1であるポートのPnレジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/L1C内部で、次の順序で行われます。

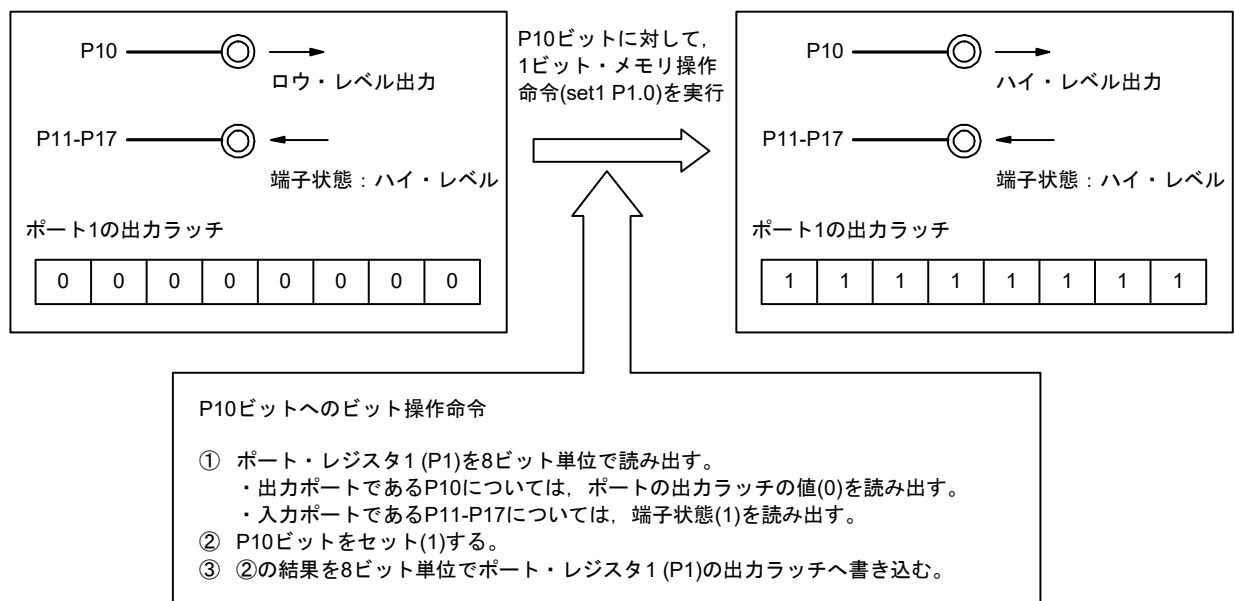
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-16 1ビット・メモリ操作命令(P10の場合)



4.6.2 端子設定に関する注意事項

複数の兼用出力機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります(出力の衝突を回避)。周辺I/Oリダイレクション・レジスタ(PIOR)の設定により、割り当てられた機能も同様です。兼用出力については、4.5 兼用機能使用時のレジスタ設定を参照してください。

入力として使用する端子では、兼用機能の出力が無効(バッファ出力がHi-Z)となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1端子、X2端子に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

オプションバイト(000C2H)により、 $f_{HOCO} = 48$ MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz (TYP.)から周波数を選択し、発振させることができます。 f_{HOCO} に48 MHzを選択した場合、 f_{IH} は24 MHzになります。 f_{HOCO} に24 MHz以下を選択した場合、 f_{IH} は分周されず、 f_{HOCO} と同じ周波数になります。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します^{注1}。STOP命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により、発振を停止することができます。

オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は、図5-13 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

高速オンチップ・オシレータ・クロック f_{HOCO} ^{注2}をUSB/ファンクションコントローラ用クロックに使用する場合は、高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で発振周波数に48MHzを設定してください。

電源電圧	発振周波数(MHz)										
	1	2	3	4	6	8	12	16	24	32	48
$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	○	○	○	—	○
$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	○	○	—	—	—
$1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	○	○	—	—	—	—	—
$1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	○	○	○	○	—	—	—	—	—	—	—

注1. ただし48 MHz選択時(オプション・バイト(000C2H)のFRQSEL4 = 1)は、16ビット・タイマKB20、KB21、KB22またはUSBファンクションコントローラには48 MHzのクロック(f_{HOCO})が供給され、それ以外の機能(CPUも含む)は f_{HOCO} の2/4/8/分周したクロックが供給されます。

注2. 高速オンチップ・オシレータ・クロック f_{HOCO} に48 MHzを選択し(オプション・バイト(000C2H)のFRQSEL4 = 1)、USB/ファンクションコントローラ用クロック、または16ビット・タイマKB20、KB21、KB22に使用する場合は、 f_{CLK} を必ず f_{IH} に設定してください。

③ PLL(Phase Locked Loop)による高速システム・クロックの逡倍機能(USB搭載製品)

USB／ファンクションコントローラ用のクロック供給を主目的としたクロック機能で、PLL発振周波数(f_{PLL})が48 MHzとなるようにDSCCTLレジスタを設定して使用します。また、CKSELRビットを“1”に設定すると、周波数 f_{PLL} をRDIV0, 1ビットの設定によって、2/4/8分周したクロックがメイン・システム・クロック・ソース(f_{IH})として選択されます注。

DSCONビット(DSCCTLレジスタのビット0)の設定により、PLLを動作、停止させることができます。なお、PLLの設定の詳細およびUSBクロックとの接続関係に関しては図5-16、表5-3を参照してください。

注 PLL (f_{PLL})をUSB／ファンクションコントローラ用クロック,または16ビット・タイマKB20, KB21, KB22に使用する場合は、 f_{CLK} を必ず f_{IH} に設定してください。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック($f_{EX} = 1 \sim 20$ MHz)を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0ビット(システム・クロック制御レジスタ(CKC)のビット4)の設定により、高速システム・クロック(X1クロックまたは外部メイン・システム・クロック)と高速オンチップ・オシレータ・クロックを切り替えられます。

なお、メイン・システム・クロックは、電源電圧 V_{DD} によって使用可能な周波数範囲が異なり、オプション・バイト(000C2H)のCMODE0, CMODE1によりフラッシュの動作電圧モードの設定(第29章 オプション・バイト参照)が必要です。

(2) サブシステム・クロック

・XT1発振回路

XT1端子, XT2端子に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzのクロックを発振させることができます。XTSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット6)の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック($f_{EXT} = 32.768$ kHz)を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

(3) 低速オンチップ・オシレータ・クロック

$f_{IL} = 15$ kHz (TYP.)のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ・ウォッチドッグ・タイマ
- ・リアルタイム・クロック2
- ・12ビット・インターバル・タイマ
- ・LCDコントローラ／ドライバ

オプション・バイト(000C0H)のビット4 (WDTON)または、サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4 (WUTMMCK0)のどちらか、または両方が1のときに動作します。

ただし、WDTON = 1, WUTMMCK0 = 0かつオプション・バイト(000C0H)のビット0 (WDSTBYON)が0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。

注意 リアルタイム・クロック2のカウント・クロックに低速オンチップ・オシレータ・クロック (fil) を選択できるのは、定周期割り込み機能使用時のみです。

備考 fX : X1クロック発振周波数

fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大48 MHz)

fIH : 高速オンチップ・オシレータ・クロックの1/2/4/8分周, もしくはPLLクロックの2/4/8分周
を選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)

fEX : 外部メイン・システム・クロック周波数

fXT : XT1クロック発振周波数

fEXT : 外部サブシステム・クロック周波数

fil : 低速オンチップ・オシレータ・クロック周波数

5.2 クロック発生回路の構成

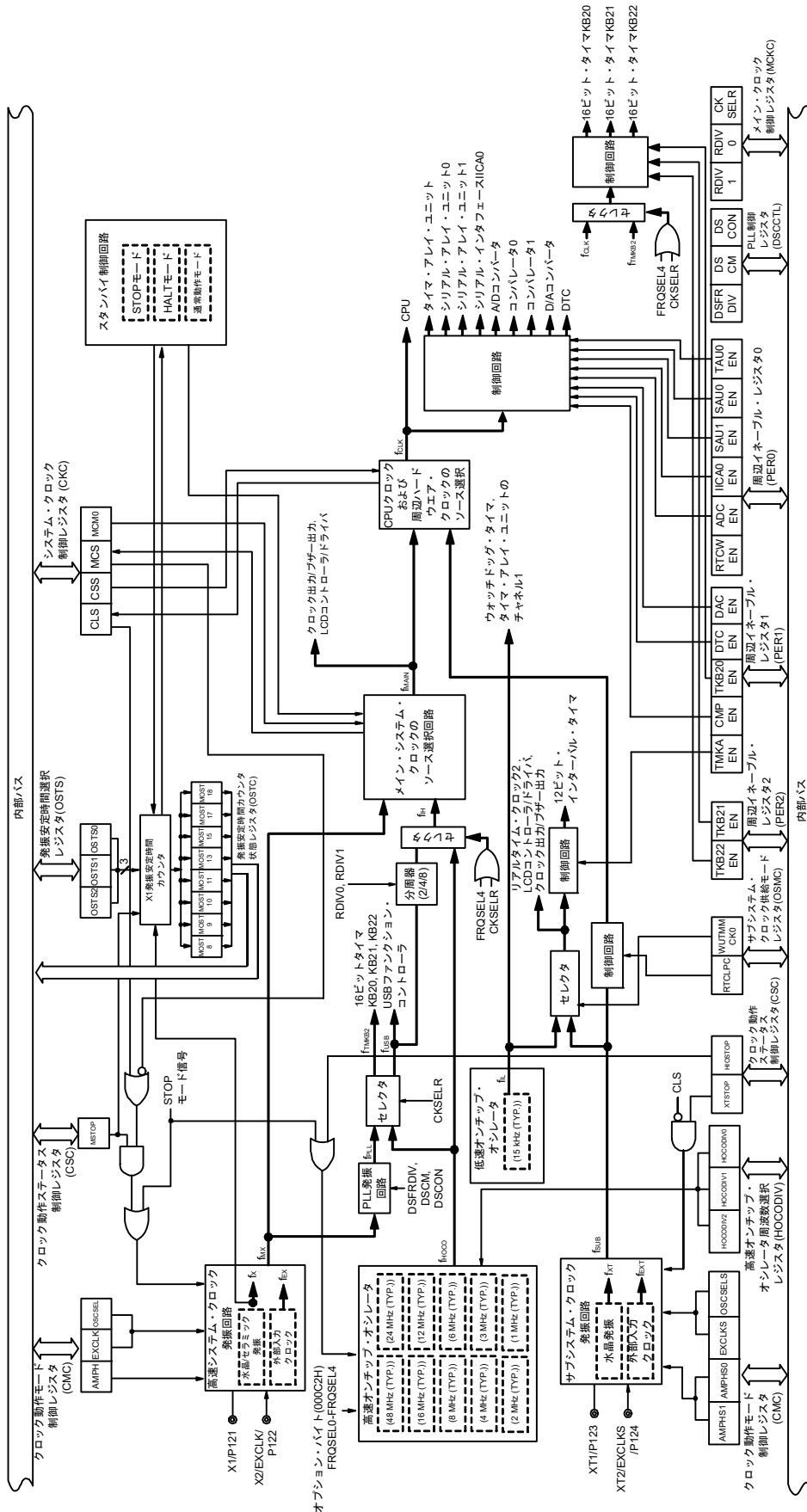
クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) PLL 制御レジスタ (DSCCTL) ^注 メイン・クロック制御レジスタ (MCKC) ^注 USB クロック選択レジスタ (UCKSEL) ^注
発振回路	X1 発振回路 XT1 発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ PLL 発振回路 ^注

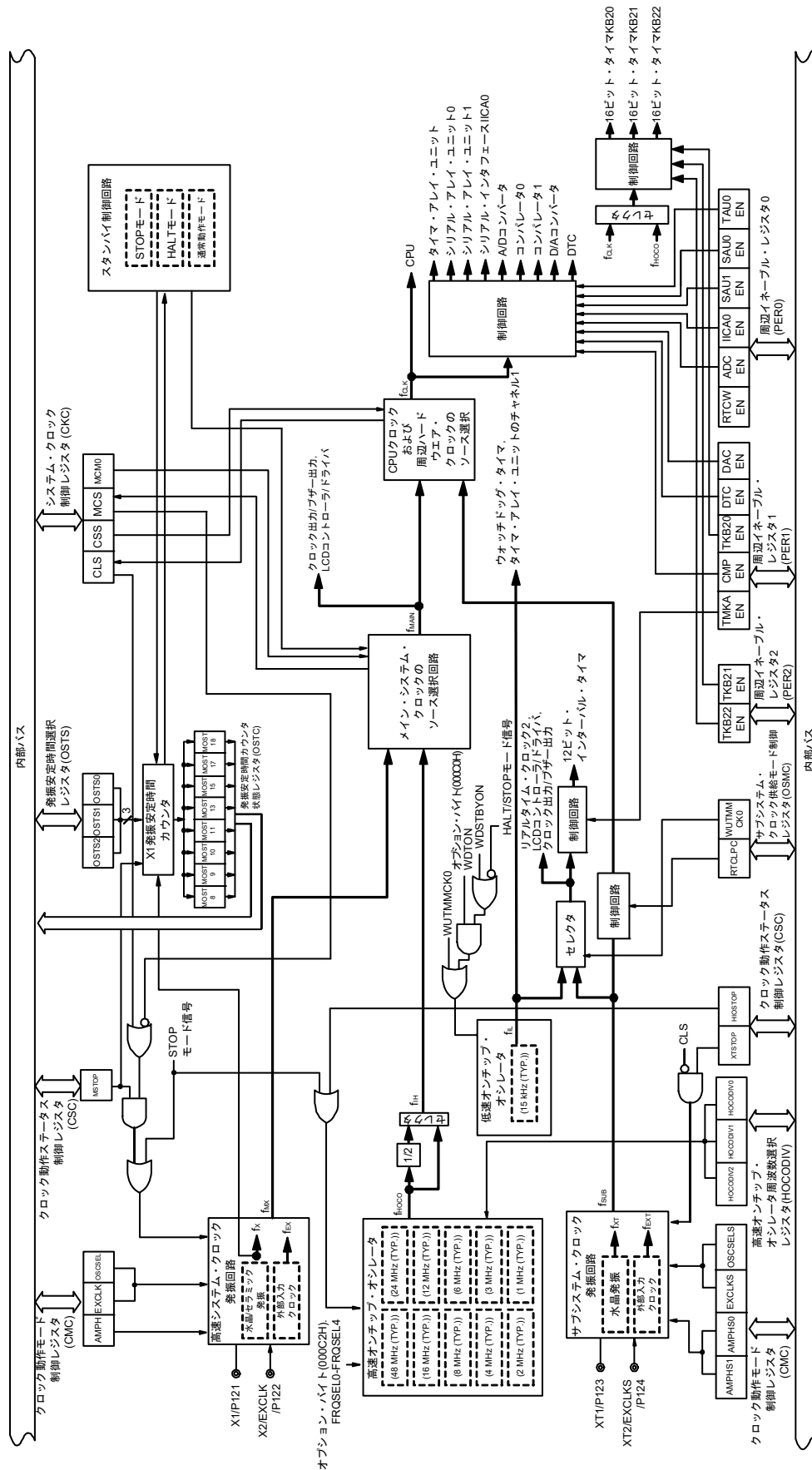
注 USB 搭載製品

図5-1 クロック発生回路のブロック図(USB搭載製品)



(備考は次ページにあります。)

図5-2 クロック発生回路のブロック図(USB非搭載製品)



(備考は次ページにあります。)

備考	fX :	X1クロック発振周波数
	fHOCO :	高速オンチップ・オシレータ・クロック周波数(最大48 MHz)
	fIH :	高速オンチップ・オシレータ・クロックの1/2/4/8分周, もしくはPLLクロックの2/4/8分周 を選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)
	fEX :	外部メイン・システム・クロック周波数
	fMX :	高速システム・クロック周波数
	fMAIN :	メイン・システム・クロック周波数
	fXT :	XT1クロック発振周波数
	fEXT :	外部サブシステム・クロック周波数
	fSUB :	サブシステム・クロック周波数
	fCLK :	CPU/周辺ハードウェア・クロック周波数
	fIL :	低速オンチップ・オシレータ・クロック周波数
	fPLL :	PLL クロック周波数
	fUSB :	USB クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- クロック動作モード制御レジスタ (CMC)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
- PLL 制御レジスタ (DSCCTL) 注
- メイン・クロック制御レジスタ (MCKC)注
- USBクロック選択レジスタ (UCKSEL)注

注 USB搭載製品

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5.3.1 クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122 端子および XT1/P123, XT2/EXCLKS/P124 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

図5-3 クロック動作モード制御レジスタ (CMC)のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS ^注	OSCSELS ^注	0	AMPHS1 ^注	AMPHS0 ^注	AMPH
	EXCLK	OSCSEL	高速システム・クロック端子の動作モード		X1/P121 端子		X2/EXCLK/P122 端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	X1発振モード		水晶/セラミック発振子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート	外部クロック入力		
	EXCLKS ^注	OSCSELS ^注	サブシステム・クロック端子の動作モード		XT1/P123 端子		XT2/EXCLKS/P124 端子	
	0	0	入力ポート・モード		入力ポート			
	0	1	XT1発振モード		水晶/セラミック発振子接続			
	1	0	入力ポート・モード		入力ポート			
	1	1	外部クロック入力モード		入力ポート	外部クロック入力		
	AMPHS1 ^注	AMPHS0 ^注	XT1発振回路の発振モード選択					
	0	0	低消費発振(デフォルト)					
	0	1	通常発振					
	1	0	超低消費発振					
	1	1	設定禁止					
	AMPH	X1クロック発振周波数の制御						
	0	1 MHz ≤ fx ≤ 10 MHz						
	1	10 MHz < fx ≤ 20 MHz						

注 EXCLKS, OSCSELS, AMPHS1, AMPHS0ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

(注意、備考は次ページに続きます。)

- 注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値(00H)のまま使用する場合、暴走時の誤動作(00H以外の誤書き込みで復帰不可)を防止するためにリセット解除後は必ず00Hに設定してください。
- 注意2. リセット解除後、クロック動作ステータス制御レジスタ(CSC)の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。
- 注意3. X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHビットに1を設定してください。
- 注意4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後fCLKにfIHを選択した状態(fCLKをfMXに切り替える前の状態)で設定してください。
- 注意5. fxTの発振安定時間は、ソフトウェアでカウントしてください。
- 注意6. システム・クロックの周波数上限は24 MHzですが、X1発振回路の周波数上限は20 MHzになります。
- 注意7. CMCレジスタ書き込み後、パワーオン・リセット以外のリセットが発生した場合、暴走時の誤動作を防ぐためリセット解除後は必ずリセット発生前と同じ値を設定してください。
- 注意8. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。
- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振(AMPHS1, AMPHS0 = 1, 0)を選択している場合はご注意ください。
 - 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
 - XT1発振回路の周辺には、できるかぎりVssと同電位のグランド・パターンを配置してください。
 - XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
 - 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
 - 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

備考 fx: X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-4 システム・クロック制御レジスタ(CKC)のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
CLS	CPU/周辺ハードウェア・クロック (fCLK) のステータス							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
CSS	CPU/周辺ハードウェア・クロック (fCLK) の選択							
0	メイン・システム・クロック (fMAIN)							
1 ^{注2}	サブシステム・クロック (fSUB)							
MCS	メイン・システム・クロック (fMAIN) のステータス							
0	高速オンチップ・オシレータ・クロックの1/2/4/8分周、もしくはPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数 (最大24 MHz) (fIH) ^{注3}							
1	高速システム・クロック (fMX)							
MCM0 ^{注2}	メイン・システム・クロック (fMAIN) の動作制御							
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロックの1/2/4/8分周、もしくはPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数 (最大24 MHz) (fIH) ^{注3} を選択							
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択							

注1. ビット7, 5は、Read Only です。

注2. CSS = 1を設定した状態で、MCM0ビットの値を変更することは禁止です。

注3. PLLクロック (fPLL) はUSB搭載品で選択できます。

備考 fHOCO : 高速オンチップ・オシレータ・クロック周波数 (最大48 MHz)

fIH : 高速オンチップ・オシレータ・クロックの1/2/4/8分周、もしくはPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数 (最大24 MHz)

fMX : 高速システム・クロック周波数

fMAIN : メイン・システム・クロック周波数

fSUB : サブシステム・クロック周波数

fPLL : PLLクロック周波数

(注意は次ページにあります。)

- 注意1. ビット0-3には、必ず0を設定してください。
- 注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(リアルタイム・クロック2, 12ビット・インターバル・タイマ, クロック出力/ブザー出力, LCDコントローラ/ドライバ, およびウォッチドッグ・タイマは除く)。よって、CPU/周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
- 注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータ, IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第34章 または第35章 電気的特性を参照してください。
- 注意4. 16ビット・タイマKB20, KB21, KB22のカウントソースにfHocoを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN), 周辺イネーブル・レジスタ2 (PER2)のビット0 (TKB21EN), ビット1 (TKB22EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN), 周辺イネーブル・レジスタ2 (PER2)のビット0 (TKB21EN), ビット1 (TKB22EN)をクリアしたあとに変更してください。
- 注意5. 高速オンチップ・オシレータ・クロックfHocoの48MHz (オプション・バイト(000C2H)のFRQSEL4 = 1), またはPLLクロック(48MHz)をUSB/ファンクションコントローラ, または16ビット・タイマKB20, KB21, KB22に使用する場合は、CSSに必ず0を設定してください。
- 注意6. 高速オンチップ・オシレータ・クロックfHocoの48MHz (オプション・バイト(000C2H)のFRQSEL4 = 1), またはPLLクロック(48MHz)をUSB/ファンクションコントローラ, または16ビット・タイマKB20, KB21, KB22に使用する場合は、MCM0に必ず0を設定してください。

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです(低速オンチップ・オシレータ・クロックは除く)。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

注意 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

図5-5 クロック動作ステータス制御レジスタ (CSC)のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP注	0	0	0	0	0	HIOSTOP
MSTOP	高速システム・クロックの動作制御							
		XT1発振モード時	外部クロック入力モード時		入力ポート・モード時			
	0	X1発振回路動作	EXCLK端子からの外部クロック有効		入力ポート			
1	X1発振回路停止	EXCLK端子からの外部クロック無効						
XTSTOP注	サブシステム・クロックの動作制御							
		XT1発振モード時	外部クロック入力モード時		入力ポート・モード時			
	0	XT1発振回路動作	EXCLKS端子からの外部クロック有効		入力ポート			
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効						
HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御							
	0	高速オンチップ・オシレータ動作						
	1	高速オンチップ・オシレータ停止						

注 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

- 注意1. リセット解除後は、クロック動作モード制御レジスタ(CMC)を設定してからCSCレジスタを設定してください。
- 注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ(OSTS)を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。
- 注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。
- 注意4. XSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
- 注意5. CPU/周辺ハードウェア・クロック(fCLK)に選択しているクロックは、CSCレジスタで停止させないでください。
- 注意6. クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-2 クロック停止方法

クロック	クロック停止(外部クロック入力無効)前条件	CSCレジスタのフラグ設定
X1クロック	CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CPU/周辺ハードウェア・クロックがサブシステム・クロック以外で動作(CLS = 0)	XTSTOP = 1
外部サブシステム・クロック		
高速オンチップ・オシレータ・クロック	CPU/周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作(CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時(EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- STOPモードを解除したとき

図5-6 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
------	-------	-------	--------	--------	--------	--------	--------	--------

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁸ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.2 ms以上	13.1 ms以上

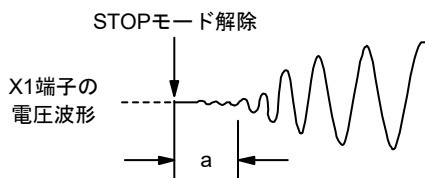
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていき、そのまま“1”を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ(OSTS)で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作(MSTOP = 0)後、OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-7 発振安定時間選択レジスタ (OSTS)のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 μ s	12.8 μ s
0	0	1	$2^9/fx$	51.2 μ s	25.6 μ s
0	1	0	$2^{10}/fx$	102 μ s	51 μ s
0	1	1	$2^{11}/fx$	204 μ s	102 μ s
1	0	0	$2^{13}/fx$	819 μ s	409 μ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

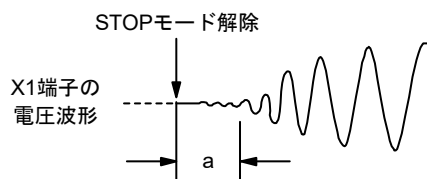
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC)のMSTOPビットを0に設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ 0, 1, 2 (PER0, PER1, PER2)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- リアルタイム・クロック 2
- A/Dコンバータ
- シリアル・インタフェース IICA0
- シリアル・アレイ・ユニット 1
- シリアル・アレイ・ユニット 0
- タイマ・アレイ・ユニット
- 12ビット・インターバル・タイマ
- コンパレータ 0, 1
- DTC
- D/Aコンバータ
- 16ビット・タイマ KB20, KB21, KB22

PER0, PER1, PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図5-8 周辺イネーブル・レジスタ 0 (PER0)のフォーマット(1/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロック 2 (RTC2)の入カクロック供給の制御
0	入カクロック供給停止 (fCLK供給停止) ・リアルタイム・クロック 2 (RTC2)で使用するSFRへのライト不可 ・リアルタイム・クロック 2 (RTC2)は動作可能
1	入カクロック供給 ・リアルタイム・クロック 2 (RTC2)で使用するSFRへのリード／ライト可 ・リアルタイム・クロック 2 (RTC2)は動作可能

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入カクロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注意 ビット6, 1には必ず“0”を設定してください。

図5-9 周辺イネーブル・レジスタ0 (PER0)のフォーマット(2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・シリアル・インタフェースIICA0はリセット状態
1	入カクロック供給 ・シリアル・インタフェースIICA0で使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニットの入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可

注意 ビット6, 1には必ず"0"を設定してください。

図5 - 10 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	<input type="checkbox"/> 7	6	<input type="checkbox"/> 5	<input type="checkbox"/> 4	<input type="checkbox"/> 3	2	1	<input type="checkbox"/> 0
PER1	TMKAEN	0	CMPEN	TKB20EN	DTCEN	0	0	DACEN

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・ 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・ 12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・ 12ビット・インターバル・タイマで使用するSFRへのリード/ライト可

CMPEN	コンパレータ0, 1の入カクロック供給の制御
0	入カクロック供給停止 ・ コンパレータ0, 1で使用するSFRへのライト不可 ・ コンパレータ0, 1はリセット状態
1	入カクロック供給 ・ コンパレータ0, 1で使用するSFRへのリード/ライト可

TKB20EN ^注	16ビット・タイマKB20の入カクロック供給の制御
0	入カクロック供給停止 ・ 16ビット・タイマKB20で使用するSFRへのライト不可 ・ 16ビット・タイマKB20はリセット状態
1	入カクロック供給 ・ 16ビット・タイマKB20で使用するSFRへのリード/ライト可

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・ DTCは動作不可
1	入カクロック供給 ・ DTCは動作可

DACEN	D/Aコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ・ D/Aコンバータはリセット状態
1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード/ライト可

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN)をセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN)をクリアしたあとに変更してください。

USB搭載製品ではMCKCレジスタのCKSELRビットが1に設定される時、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN)をセットする前に、fCLKをfPLLに設定してください。fCLKをfPLL以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN)をクリアしたあとに変更してください。

注意 ビット6, 2, 1には必ず"0"を設定してください。

図5 - 11 周辺イネーブル・レジスタ2 (PER2)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	0	0	0	TKB22EN	TKB21EN

TKB22EN注	16ビット・タイマKB22の入カクロック供給の制御
0	入カクロック供給停止 ・ 16ビット・タイマKB22で使用するSFRへのライト不可 ・ 16ビット・タイマKB22はリセット状態
1	入カクロック供給 ・ 16ビット・タイマKB22で使用するSFRへのリード/ライト可

TKB21EN注	16ビット・タイマKB21の入カクロック供給の制御
0	入カクロック供給停止 ・ 16ビット・タイマKB21で使用するSFRへのライト不可 ・ 16ビット・タイマKB21はリセット状態
1	入カクロック供給 ・ 16ビット・タイマKB21で使用するSFRへのリード/ライト可

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは、周辺イネーブル・レジスタ2 (PER2)のビット0 (TKB21EN), ビット1 (TKB22EN)をセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2)のビット0 (TKB21EN), ビット1 (TKB22EN)をクリアしたあとに変更してください。

USB搭載製品ではMCKCレジスタのCKSELRビットが1に設定される時、周辺イネーブル・レジスタ2 (PER2)のビット0 (TKB21EN), ビット1 (TKB22EN)をセットする前に、fCLKをfPLLに設定してください。fCLKをfPLL以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2)のビット0 (TKB21EN), ビット1 (TKB22EN)をクリアしたあとに変更してください。

注意 ビット7-2には必ず"0"を設定してください。

5.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMCレジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDドライバ／コントローラ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMCレジスタではリアルタイム・クロック2と12ビット・インターバル・タイマのカウント・クロック、クロック出力／ブザー出力、LCDドライバ／コントローラの動作クロックを選択できます。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-12 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表23-1～表23-2参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDドライバ／コントローラ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0 注	リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDドライバ／コントローラの動作クロックの選択	クロック出力／ブザー出力のPCLBUZn端子の出力クロックの選択
0	サブシステム・クロック (fsUB)	サブシステム・クロック (fsUB) 選択許可
1	低速オンチップ・オシレータ・クロック (fil)	サブシステム・クロック (fsUB) 選択禁止

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット=0)にしてください。

注意1. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDドライバ／コントローラの全ての機能が動作停止中のみ可能です。

各機能の動作停止方法は次のとおりです。

リアルタイム・クロック2の停止設定 : RTCE = 0

12ビット・インターバル・タイマの停止設定 : RINTE = 0

LCDドライバ／コントローラの停止設定 : SCOC = 0 かつ VLCON = 0

注意2. WUTMMCK0ビット = 1設定時にクロック出力／ブザー出力の出力クロックとして fsUB を選択することは禁止です。

備考 RTCE : リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット7

RINTE : 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のビット15

SCOC : LCDモード・レジスタ1 (LCDM1)のビット6

VLCON : LCDモード・レジスタ1 (LCDM1)のビット5

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト(000C2H)で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト(000C2H)のFRQSEL4, FRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図5-13 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択		
			FRQSEL4 = 0		FRQSEL4 = 1
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0
0	0	0	f _{IH} = 24 MHz	設定禁止	f _{IH} = 24/12/6 MHz注1 f _{HOCO} = 48 MHz注2
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz	f _{IH} = 12/6/3 MHz注1 f _{HOCO} = 24 MHz
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz	f _{IH} = 6/3 MHz注1 f _{HOCO} = 12 MHz
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz	f _{IH} = 3 MHz f _{HOCO} = 6 MHz
1	0	0	設定禁止	f _{IH} = 2 MHz	設定禁止
1	0	1	設定禁止	f _{IH} = 1 MHz	設定禁止
上記以外			設定禁止		

注1. 分周の設定はMCKCレジスタを参考してください。

注2. 高速オンチップ・オシレータ・クロック (f_{HOCO})でUSB/ファンクションコントローラを動作させる際は、必ず f_{HOCO} = 48 MHzを設定してください。

注意1. HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV (低電圧メイン)モード	1 MHz~4 MHz	1.6 V~3.6 V
1	0	LS (低速メイン)モード	1 MHz~8 MHz	1.8 V~3.6 V
1	1	HS (高速メイン)モード	1 MHz~16 MHz	2.4 V~3.6 V
			1 MHz~24 MHz	2.7 V~3.6 V

注意2. HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック (f_{IH})をCPU/周辺ハードウェア・クロック (f_{CLK})に選択している状態で行ってください。

★ 注意3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。なお、HOCODIVレジスタに同じ値を設定した場合でも、最大3クロックのCPU/周辺ハードウェア・クロックウエイトが発生します。

- ・変更前の周波数で最大3クロック動作
- ・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウエイト

注意4. システム・クロックにX1発振/外部発振入力/サブシステム・クロックを設定しているときに高速オンチップ・オシレータ周波数を変更する場合は、CSCレジスタのビット0 (HIOSTOP)を1にセットし、高速オンチップ・オシレータを停止させてから周波数を変更してください。

5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMは、8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。

温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5-14 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)のフォーマット

アドレス : F00A0H リセット時 : 注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0
	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ	
	0	0	0	0	0	0	最低速	
	0	0	0	0	0	1	↑ ↓	
	0	0	0	0	1	0		
	0	0	0	0	1	1		
	0	0	0	1	0	0		
	.							
	1	1	1	1	1	0		
	1	1	1	1	1	1	最高速	

注 リセット値は出荷時に調整した値です。

備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRMレジスタの使用例は、RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

5.3.10 PLL制御レジスタ (DSCCTL)

PLL発振回路の動作を制御するレジスタです注。

DSCCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 USB搭載製品。

図5 - 15 PLL制御レジスタ (DSCCTL)のフォーマット

アドレス : F02E5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV	DSCM	DSCON

DSFRDIV	PLLリファレンス・クロック分周制御
0	分周なし
1	2分周

備考 PLLリファレンス・クロックは、高速システム・クロック (f_{MX})です。

DSCM	PLL通倍選択
0	12通倍 (6倍)
1	16通倍 (8倍)

備考 PLL発振回路の最終段にて2分周されるため、()内の倍数となります。

DSCON	PLL発振, 出力制御
0	停止
1	発振, 出力

注意1. ビット3-7には必ず“0”を設定してください。

注意2. DSFRDIVとDSCMを変更する場合は、DSCON = 0にしてください。

注意3. システム・クロックにPLLクロックを選択している場合は、DSCON = 0にしないでください。

PLL使用時、USBクロックとしてユーザが選択できる組み合わせを以下に示します。

図5 - 16 PLLとUSBクロックの関係

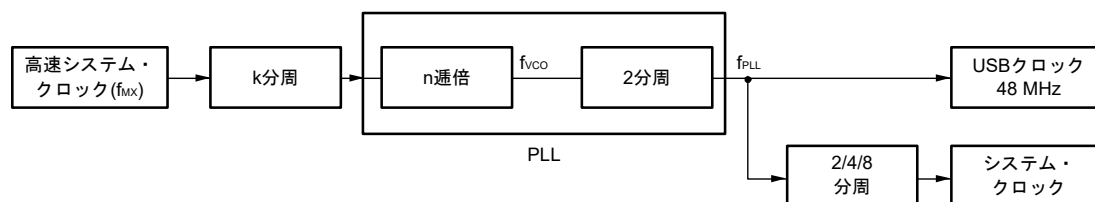


表5-3 USBクロックの周波数設定例

高速システム・クロック (fMX)	k 分周 DSFRDIV	n 通倍		n 通倍後の 周波数 (fVCO)	USBクロック (fPLL)
		DSCM			
16 MHz	2分周	0	12 通倍	96 MHz	48 MHz
12 MHz	2分周	1	16 通倍	96 MHz	48 MHz
8 MHz	分周なし	0	12 通倍	96 MHz	48 MHz
6 MHz	分周なし	1	16 通倍	96 MHz	48 MHz

5.3.11 メイン・クロック制御レジスタ (MCKC)

メイン・クロックの動作を制御するレジスタです注。

MCKCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 USB搭載製品。

図5-17 メイン・クロック制御レジスタ (MCKC) のフォーマット

アドレス : F02E6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1	RDIV0	CKSELR
	RDIV1		RDIV0		高速オンチップ・オシレータ・クロック/PLLクロック分周比(2/4/8分周)選択			
	0		0		2分周			
	0		1		4分周			
	1		0		8分周			
	1		1		設定禁止			
	CKSELR		USBクロック / タイマKB20, KB21, KB22 / システムクロックソースの選択					
	0		高速オンチップ・オシレータ・クロック (fHOCO) (オプション・バイトで48 MHz 選択時のみ)					
	1		PLLクロック (fPLL)					

注意1. PLLクロック (fPLL) と高速オンチップ・オシレータ・クロック (fHOCO) を切り替えるときは、両方のクロックが発振している必要があります。

注意2. USBクロック (fUSB) に高速オンチップ・オシレータ・クロックを選択する場合は、USBクロック選択レジスタ (UCKSEL) のUCKSELCビットに“1”を設定してください。

備考 MCM0ビットが0のときにこのビットで選択したクロックが、メイン・クロックになります。

注意 ビット3-7には必ず“0”を設定してください。

5.3.12 USBクロック選択レジスタ (UCKSEL)

UCKSELレジスタは16ビット・メモリ命令で設定します。

リセット信号の発生により、0000Hになります。

図5 - 18 USBクロック選択レジスタ (UCKSEL)のフォーマット

アドレス : F06C4H, F06C5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
UCKSEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	UCKSEL

UCKSEL	USBクロック選択
0	USBクロックに高速オンチップ・オシレータ・クロック (fHOCO)を選択しない
1	USBクロックに高速オンチップ・オシレータ・クロック (fHOCO)を選択する

注意1. USBクロックに高速オンチップ・オシレータ・クロック (fHOCO)を選択する場合は、UCKSEL = 1とともに、MCKCレジスタのCKSELRビットに“0”を設定してください。

注意2. USBクロック選択レジスタの書き換えはUSBディスコネクタ時のみ可能です。

注意3. TA = -20 ~ +85°Cの場合のみ高速オンチップ・オシレータ・クロックを選択可能です。

注意4. USBクロックに高速オンチップ・オシレータ・クロックを選択した場合、サスペンド時は高速オンチップ・オシレータ・クロックを選択した (UCKSEL = 1) のまま、USBサスペンド処理を実施してください。

注意5. USBクロックに高速オンチップ・オシレータ・クロックを選択した場合、ディスコネクタ時はUSB停止処理 (DPRPU = 0の処理を含む)後、UCKSEL = “0”にしてください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~20 MHz)によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット7, 6 (EXCLK, OSCSEL)を次のように設定してください。

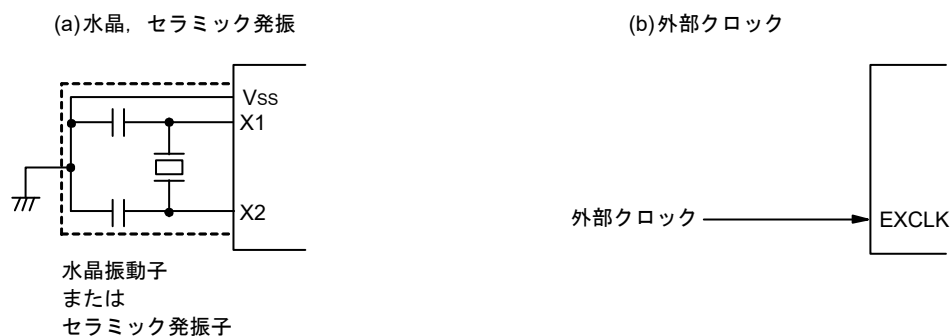
- 水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-19にX1発振回路の外付け回路例を示します。

図5-19 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子(標準: 32.768 kHz)によって発振します。

XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット4 (OSCSELS)に1を設定してください。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット5, 4 (EXCLKS, OSCSELS)を次のように設定してください。

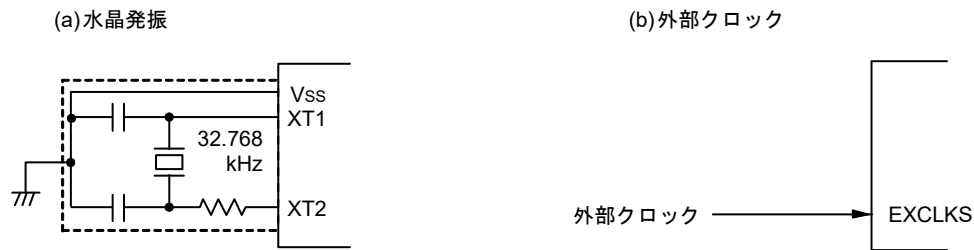
- 水晶発振 : EXCLKS, OSCSELS = 0, 1
- 外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は、入力ポート・モード(EXCLKS, OSCSELS = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-20にXT1発振回路の外付け回路例を示します。

図5 - 20 XT1発振回路の外付け回路例



注意 X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 19, 図5 - 20の破線の部分を次のように配線してください。

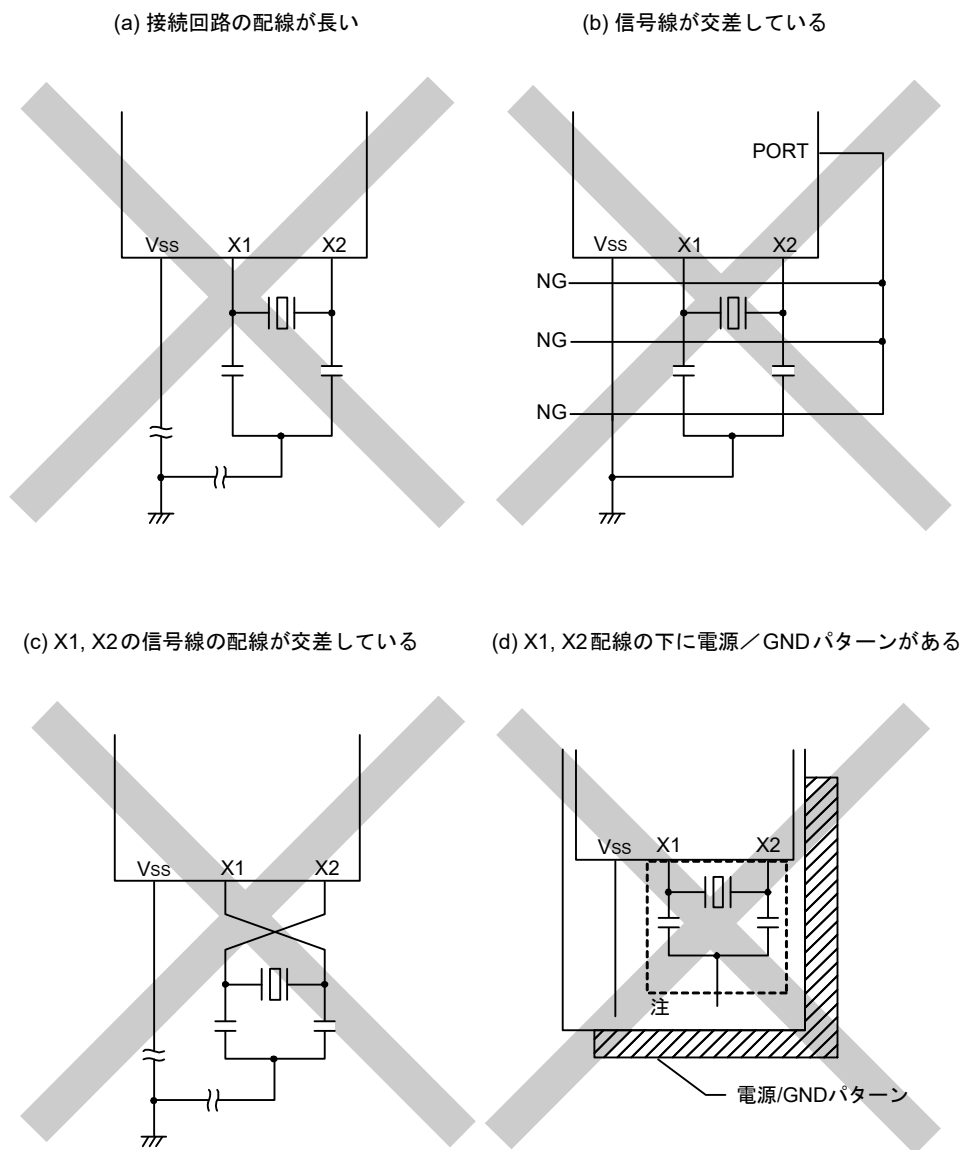
- 配線は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振(AMPHS1, AMPHS0 = 1, 0)を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグラウンド・パターンを配置してください。
- XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

図5 - 21に発振子の接続の悪い例を示します。

図5 - 21 発振子の接続の悪い例(1/2)



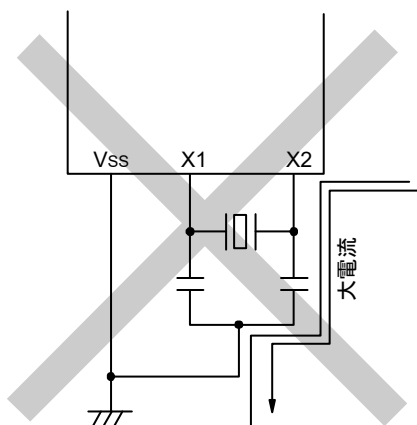
注 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

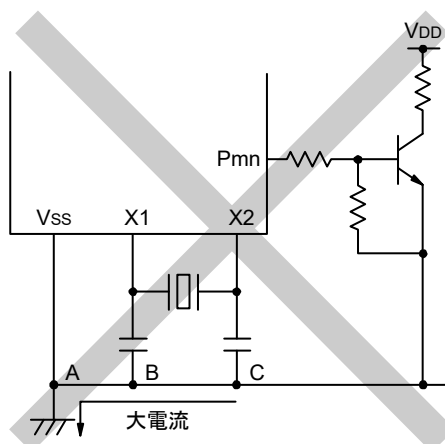
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-22 発振子の接続の悪い例(2/2)

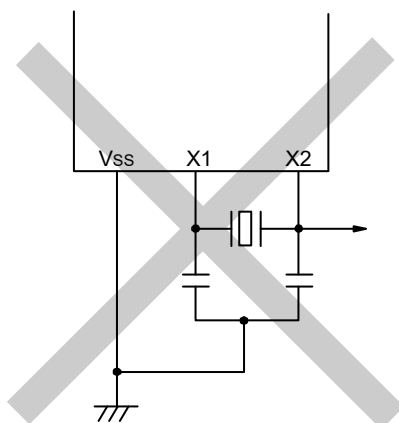
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点、B点、C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

5.4.3 高速オンチップ・オシレータ

RL78/L1Cは、高速オンチップ・オシレータを内蔵しています。オプションバイト(000C2H)により48 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから周波数を選択することが可能です。48 MHzを選択した場合は、CPUクロックは2分周された周波数になります。クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.4 低速オンチップ・オシレータ

RL78/L1Cは、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ、リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ/ドライバのクロックとして使用します。CPUクロックとして使用できません。

ウォッチドッグ・タイマの動作時、または、サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4(WUTMMCK0)が1の時に低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0の時、低速オンチップ・オシレータは停止します。

5.4.5 PLL (Phase Locked Loop)

RL78/L1Cは、PLL回路を内蔵しています注。

PLLによって、高速システム・クロックを逡倍することができます。

PLL制御レジスタ(DSCCTL)のビット0(DSCON)にて動作を制御できます。

注 USB搭載製品

注意1. PLLモードから、高速オンチップ・オシレータ・クロック、高速システム・クロックに移行する場合は、PLL出力クロック(f_{PLL})が供給される機能(USBファンクション・コントローラ)を停止させてください。

注意2. CPUがサブシステム・クロック動作中は、PLL動作開始(DSCON = 1)にしないでください。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します(図5-1を参照)。

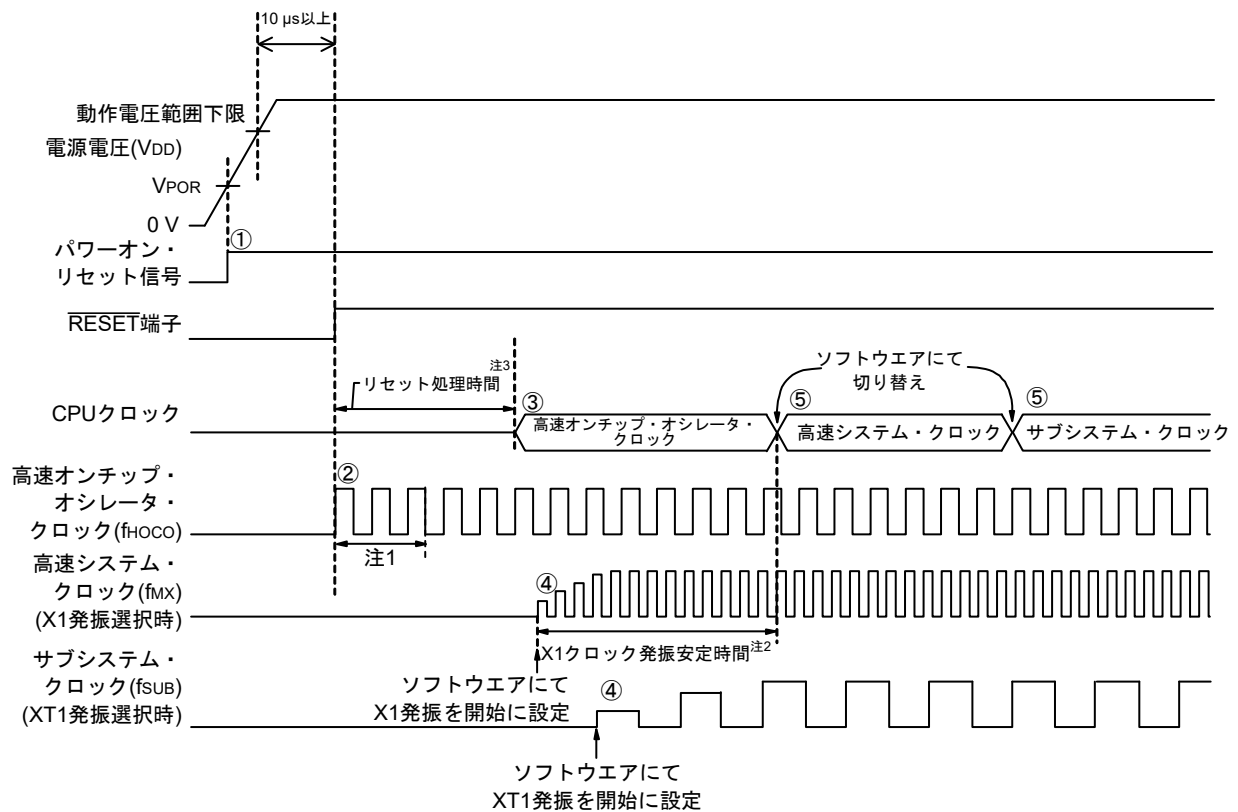
- メイン・システム・クロック f_{MAIN}
- 高速システム・クロック f_{MX}
- X1クロック f_X
- 外部メイン・システム・クロック f_{EX}
- 高速オンチップ・オシレータ・クロック f_{HOCO}
- PLLクロック f_{PLL} 注

注 USB搭載製品

- サブシステム・クロック f_{SUB}
- XT1クロック f_{XT}
- 外部サブシステム・クロック f_{EXT}
- 低速オンチップ・オシレータ・クロック f_{IL}
- CPU/周辺ハードウェア・クロック f_{CLK}

RL78/L1Cでは、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、図5-23に示します。

図5-23 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット(POR)回路による内部リセット信号が発生します。
ただし、34.4または35.4 AC特性に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます(上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.2 X1発振回路の設定例、5.6.3 XT1発振回路の設定例を参照)。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.2 X1発振回路の設定例、5.6.3 XT1発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注3. リセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU/周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL4 により、48 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 000C2H

オプション・	7	6	5	4	3	2	1	0
バイト (000C2H)	CMODE1 0/1	CMODE0 0/1	1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
0	0	LV (低電圧メイン)モード	VDD = 1.6 V ~ 3.6 V @ 1 MHz ~ 4 MHz
1	0	LS (低速メイン)モード	VDD = 1.8 V ~ 3.6 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン)モード注1	VDD = 2.4 V ~ 3.6 V @ 1 MHz ~ 16 MHz VDD = 2.7 V ~ 3.6 V @ 1 MHz ~ 24 MHz
上記以外		設定禁止	

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					fHOCO	fIH
1	0	0	0	0	48 MHz注2	24/12/6 MHz注3
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

注1. PLLを使用する時は、HS (高速メイン) モードを選択してください。

注2. PLLを使用する時は、FRQSEL4 = 0に設定し48 MHzは選択しないでください。

注3. 分周設定はMCKCレジスタを参考にしてください。

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択		
			FRQSEL4 = 0		FRQSEL4 = 1
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0
0	0	0	f _H = 24 MHz	設定禁止	f _H = 24/12/6 MHz注 f _{HOCO} = 48 MHz
0	0	1	f _H = 12 MHz	f _H = 16 MHz	f _H = 12/6/3 MHz注 f _{HOCO} = 24 MHz
0	1	0	f _H = 6 MHz	f _H = 8 MHz	f _H = 6/3 MHz注 f _{HOCO} = 12 MHz
0	1	1	f _H = 3 MHz	f _H = 4 MHz	f _H = 3 MHz f _{HOCO} = 6 MHz
1	0	0	設定禁止	f _H = 2 MHz	設定禁止
1	0	1	設定禁止	f _H = 1 MHz	設定禁止
上記以外			設定禁止		

注 分周設定はMCKCレジスタを参考してください。

5.6.2 X1発振回路の設定例

CPU/周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをfCLKに設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット(1)、 $f_x > 10$ MHz以上の場合はAMPHビットをセット(1)してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	0/1

AMPHビット：X1発振クロックが10 MHz以下の場合は0を設定してください。

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。

例)10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア(0)してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例)10 MHzの発振子で102 μ s以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU/周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOP, RTCWENビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では値を保持します。

5.6.3 XT1 発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時にリアルタイム・クロック 2, 12 ビット・インターバル・タイマ, LCD コントローラ／ドライバのみサブシステム・クロックで動作 (超低消費電流) させる場合は RTCLPC ビットを 1 に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

- ② CMC レジスタの OSCSELS ビットをセット (1) して XT1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1 ビット : XT1 発振回路の発振モードを設定します。

- ③ CSC レジスタの XTSTOP ビットをクリア (0) して XT1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

- ⑤ CKC レジスタの CSS ビットで XT1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

注意 EXCLKS, OSCSELS, AMPHS1, AMPHS0, XTSTOP, RTCWEN ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

5.6.4 PLL回路の設定例

高速システム・クロックを設定後(5.6.2 X1発振回路の設定例参照), PLL制御レジスタ(DSCCTL)でPLL回路^注の制御を行います。

注 USB搭載製品

【レジスタ設定】①～⑧の順に設定してください。

① CSCレジスタのHIOSTOPビットを設定して、高速オンチップ・オシレータを動作させます。

	7	6	5	4	3	2	1	0
CSC	0/1	0/1	0	0	0	0	0	HIOSTOP 0 ^{注1}

② DSCCTLレジスタのDSFRDIVビット, DSCMビットを設定して、PLLの通倍, 分周を設定します。

	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV 0/1	DSCM 0/1	DSCON 0

③ MCKCレジスタのRDIV1, RDIV0ビットを設定して、システム・クロックの分周を設定します。

	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 0 ^{注1}

④ 1 μ s以上のウェイトのあと、DSCCTLレジスタのDSCONビットをセット(1)して、PLL回路を動作させます。^{注2}

⑤ MCKCレジスタのCKSELRビットをセット(1)して、システム・クロックにPLL出力を選択します。

	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 1

⑥ ソフトウェアで65 μ sウェイトします。^{注3}

- ⑦ CSCレジスタのHIOSTOPビットを設定して、高速オンチップ・オシレータを停止させます。注2

	7	6	5	4	3	2	1	0
CSC	0/1	0/1	0	0	0	0	0	HIOSTOP 1注1

- ⑧ CKCレジスタのMCM0ビットを設定して、メイン・システム・クロック (fMAIN)にPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)(fIH)を選択します。

	7	6	5	4	3	2	1	0
CKC	CLS 0/1	CSS 0/1	MCS 0	MCM0 0	0	0	0	0

注1. CKSELR = 1の状態からPLLに切り替える時には設定の必要はありません。

CKSELR = 1に変更する時は必ず高速オンチップ・オシレータを動作させてください。

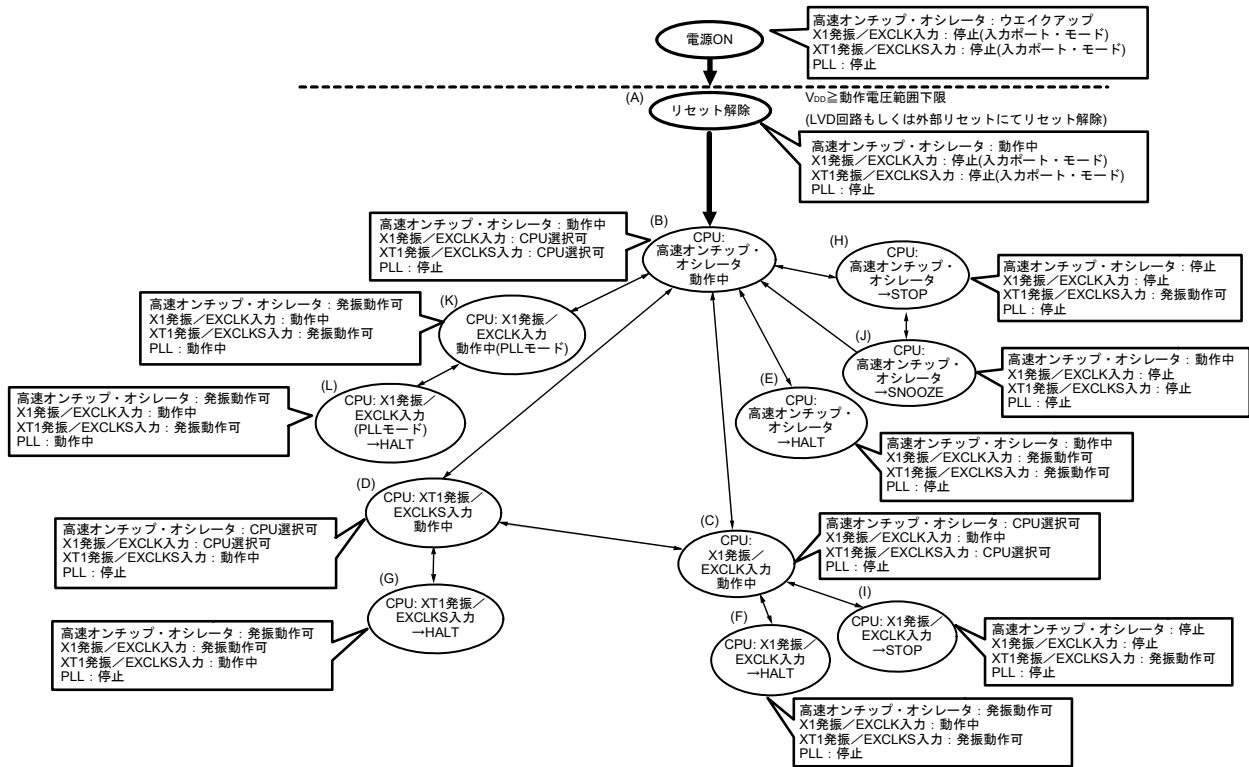
注2. X1発振クロックが発振安定してから1 μ s以降にPLLを動作させてください。またPLL停止後、再び動作させる場合は4 μ s以上待ってから動作させてください。

注3. HIOSTOP = 0の設定を行わない場合は40 μ sの発振安定待ちとなります。

5.6.5 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-24、図5-25に示します。

図5-24 CPUクロック状態移行図(USB搭載製品)



SFRレジスタの設定例などを表5-4～表5-10に示します。

表5-4 CPUクロックの移行とSFRレジスタの設定例(1/7)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要(リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ MCM0
	EXCLK	OSCSEL	AMPH				
(A) → (B) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTS)の発振安定時間 ≤ OSTCレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第34章 または第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^注				CSC レジスタ XTSTOP	発振安定 待ち	CKC レジスタ CSS
	EXCLKS	OSCSELS	AMPHS1	AMPHS0			
(A) → (B) → (D) (XT1クロック)	0	1	0/1	0/1	0	必要	1
(A) → (B) → (D) (外部サブ・クロック)	1	1	×	×	0	必要	1

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1. × : don't care

備考2. 表5-4～表5-10の(A)～(L)は、図5-24の(A)～(L)と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例(2/7)

(4) CPUを高速オンチップ・オシレータ・クロック動作(B)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ注1			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	CKC レジスタ MCM0
	EXCLK	OSCSEL	AMPH	EXCLK	OSCSEL	AMPH				
(B) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0				注2	0	確認必要	1
(B) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1				注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×				注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。
 ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第34章 または第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速オンチップ・オシレータ・クロック動作(B)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			CMCレジスタ注			CSC レジスタ XTSTOP	発振安定 待ち	CKC レジスタ CSS
	EXCLKS	OSCSELS	AMPHS1,0	EXCLKS	OSCSELS	AMPHS1,0			
(B) → (D) (XT1クロック)	0	1	00: 低消費発振 01: 通常発振 10: 超低消費発振				0	必要	1
(B) → (D) (外部サブ・クロック)	1	1	×				0	必要	1

設定済みの場合は不要
 サブシステム・クロック
動作中の場合は不要

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

備考1. × : don't care

備考2. 表5-4～表5-10の(A)–(L)は、図5-24の(A)–(L)と対応しています。

表5-6 CPUクロックの移行とSFRレジスタの設定例(3/7)

(6) CPUを高速システム・クロック動作(C)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) → (B)		0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0の場合 : 18 μs ~ 65 μs
FRQSEL4 = 1の場合 : 18 μs ~ 135 μs

備考 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

(7) CPUを高速システム・クロック動作(C)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		XTSTOP		CSS
(C) → (D)		0	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作(D)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		CSS
(D) → (B)		0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0の場合 : 18 μs ~ 65 μs
FRQSEL4 = 1の場合 : 18 μs ~ 135 μs

備考1. 表5-4~表5-10の(A)-(L)は、図5-24の(A)-(L)と対応しています。

備考2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5-7 CPUクロックの移行とSFRレジスタの設定例(4/7)

(9) CPUをサブシステム・クロック動作(D)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
		MSTOP		CSS
(D) → (C) (X1クロック : $1 \text{ MHz} \leq f_x \leq 10 \text{ MHz}$)	注	0	確認必要	0
(D) → (C) (X1クロック : $10 \text{ MHz} < f_x \leq 20 \text{ MHz}$)	注	0	確認必要	0
(D) → (C) (外部メイン・クロック)	注	0	確認不要	0

高速システム・クロック動作中の場合は不要

注 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 \leq OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第34章 または第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

備考 表5-4~表5-10の(A)-(L)は、図5-24の(A)-(L)と対応しています。

表5 - 8 CPUクロックの移行とSFRレジスタの設定例(5/7)

- (10) ・CPU を高速オンチップ・オシレータ・クロック動作 (B) から、高速システム・クロック (PLL モード) 動作 (K) へ移行

(SFRレジスタの
設定順序)

SFRレジスタの 設定フラグ 状態遷移	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ MSTOP	OSTC レジスタ	DSCCTLレジスタ	
	EXCLK	OSCSEL	AMPH				DSFRDIV	DSCM
(B) → (K) 2分周	0/1	1	0/1	注2	0	確認必要	0/1	0/1
(B) → (K) 4分周	0/1	1	0/1	注2	0	確認必要	0/1	0/1
(B) → (K) 8分周	0/1	1	0/1	注2	0	確認必要	0/1	0/1

MCKCレジスタ		発振 安定 待ち	DSCCTL レジスタ DSCON	発振 安定 待ち	MCKC レジスタ CKSELR
RDIV1	RDIV0				
0	0	1μs	1	40μs	1
0	1		1		1
1	0		1		1

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 ≤ OSTS レジスタで設定する発振安定時間

注意 CKSELR = 1 に設定後クロックの切り替えが完了するには FRQSEL4 = 1 の時は最大2クロック、FRQSEL4 = 0 の時は最大10クロックかかります。切り替えが完了するまで高速オンチップ・オシレータは停止しないでください。

表5-9 CPUクロックの移行とSFRレジスタの設定例(6/7)

- (11) ・CPUを高速システム・クロック(PLLモード)動作(K)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	MCKCレジスタ	クロック切り替え待ち	DSCCTLレジスタ
		HIOSTOP		CKSELR		DSCON
(K) → (B) FRQSEL4 = 0		0	18~65μs	0	256クロック	0
(K) → (B) FRQSEL4 = 1			18~135μs		16クロック	

表5-10 CPUクロックの移行とSFRレジスタの設定例(7/7)

- (12) ・CPUが高速オンチップ・オシレータ・クロック動作中(B)にHALTモード(E)へ移行
 - ・CPUが高速システム・クロック動作中(C)にHALTモード(F)へ移行
 - ・CPUがサブシステム・クロック動作中(D)にHALTモード(G)へ移行
 - ・CPUが高速システム・クロック(PLLモード)動作中(K)にHALTモード(L)へ移行

状態遷移	設定内容
(B) → (E)	HALT命令を実行する
(C) → (F)	
(D) → (G)	
(K) → (L)	

備考 表5-4~表5-10の(A)-(L)は、図5-24の(A)-(L)と対応しています。

- (13) ・CPUが高速オンチップ・オシレータ・クロック動作中(B)にSTOPモード(H)へ移行
 - ・CPUが高速システム・クロック動作中(C)にSTOPモード(I)へ移行

(設定順序) →

状態遷移	設定内容		
(B) → (H)		STOPモード中に動作禁止	STOP命令を実行する
(C) → (I)	X1発振	の周辺機能を停止する	OSTSレジスタを設定する
	外部クロック		—

- (14) ・STOPモード(H)からSNOOZEモード(J)へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、12.8 SNOOZEモード機能, 15.5.7 SNOOZEモード機能, 15.6.3 SNOOZEモード機能を参照してください。

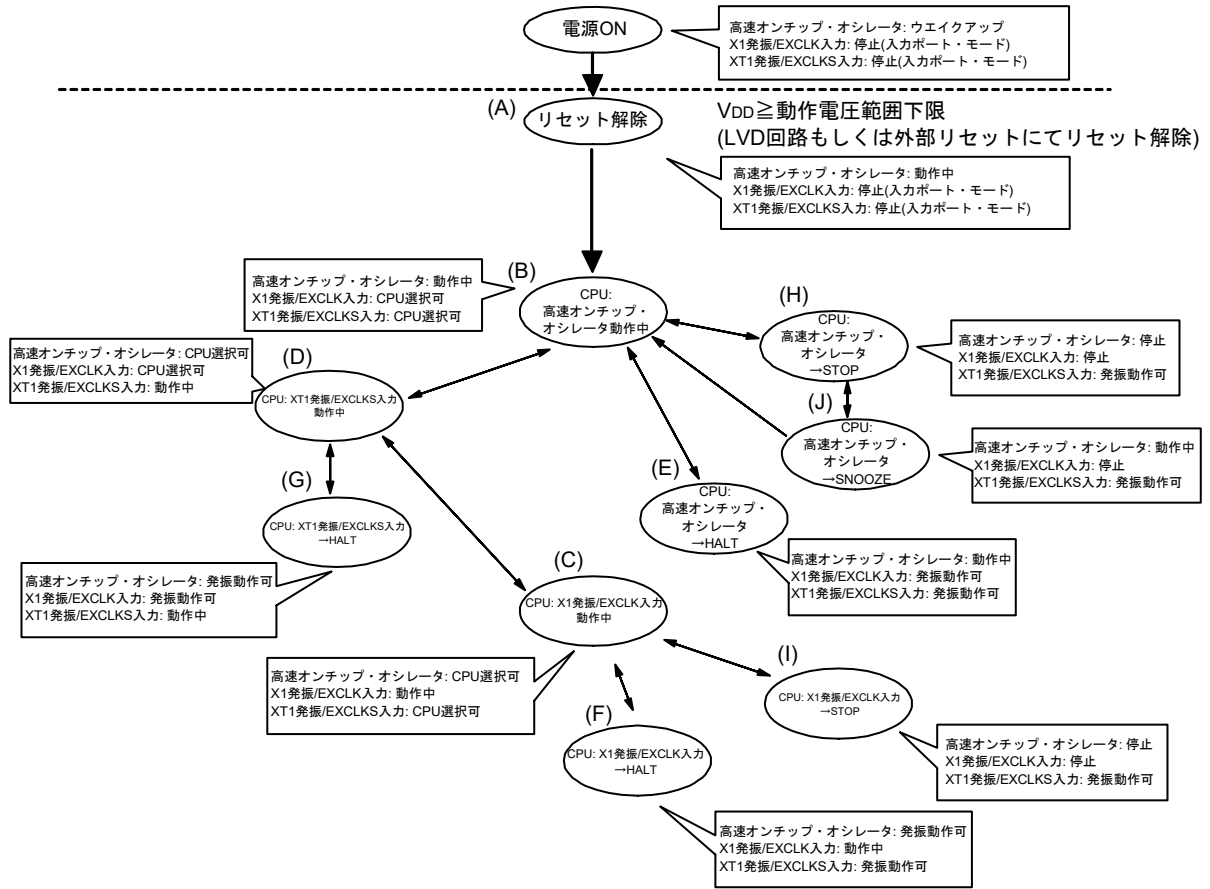
(15) ・ CPUが高速システム・クロック(PLLモード)動作中(K)にSTOPモード(I)へ移行

PLLモード動作から、高速システム・クロック動作に移行し、PLLを停止後(DSCON = 0)、STOP命令を実行してください。

PLLモード動作から、高速オンチップ・オシレータ・クロック、高速システム・クロック動作に移行(5.6.5(11)参照)し、PLLを停止後(DSCON = 0)、STOP命令を実行してください。

備考 表5-4～表5-10の(A)～(L)は、図5-24の(A)～(L)と対応しています。

図5 - 25 CPUクロック状態移行図(USB非搭載製品)



CPUクロックの移行とSFRレジスタの設定例などを表5-11～表5-15に示します。

表5-11 CPUクロックの移行とSFRレジスタの設定例(1/5)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要(リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第34章 または第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注				CSC レジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) → (B) → (D) (XT1クロック)	0	1	0/1	0/1	0	必要	1
(A) → (B) → (D) (外部サブ・クロック)	1	1	×	×	0	必要	1

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1. × : don't care

備考2. 表5-11～表5-15の(A)–(J)は、図5-25の(A)–(J)と対応しています。

表5 - 12 CPUクロックの移行とSFRレジスタの設定例(2/5)

(4) CPUを高速オンチップ・オシレータ・クロック動作(B)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注1			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	0	1	0	注2	0	確認必要	1
(B) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	0	1	1	注2	0	確認必要	1
(B) → (D) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。
 ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第34章 または第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速オンチップ・オシレータ・クロック動作(B)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ注			CSC レジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1,0	XTSTOP		CSS
(B) → (D) (XT1クロック)	0	1	00 : 低消費発振 01 : 通常発振 10 : 超低消費発振	0	必要	1
(B) → (D) (外部サブ・クロック)	1	1	×	0	必要	1

設定済みの場合は不要
 サブシステム・クロック
動作中の場合は不要

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

備考1. × : don't care

備考2. 表5 - 11～表5 - 15の(A) - (J)は、図5 - 25の(A) - (J)と対応しています。

表5 - 13 CPUクロックの移行とSFRレジスタの設定例(3/5)

(6) CPUを高速システム・クロック動作(C)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) → (B)		0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0の場合 : 18 μs ~ 65 μs

FRQSEL4 = 1の場合 : 18 μs ~ 75 μs

備考 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

(7) CPUを高速システム・クロック動作(C)から、サブシステム・クロック動作(D)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		XTSTOP		CSS
(C) → (D)		0	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作(D)から、高速オンチップ・オシレータ・クロック動作(B)へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		CSS
(D) → (B)		0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0の場合 : 18 μs ~ 65 μs

FRQSEL4 = 1の場合 : 18 μs ~ 75 μs

備考1. 表5 - 11 ~ 表5 - 15の(A) - (J)は、図5 - 25の(A) - (J)と対応しています。

備考2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5 - 14 CPUクロックの移行とSFRレジスタの設定例(4/5)

(9) CPUをサブシステム・クロック動作(D)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
		MSTOP		CSS
(D) → (C) (X1クロック : 1 MHz ≤ fx ≤ 10 MHz)	注	0	確認必要	0
(D) → (C) (X1クロック : 10 MHz < fx ≤ 20 MHz)	注	0	確認必要	0
(D) → (C) (外部メイン・クロック)	注	0	確認不要	0

高速システム・クロック動作中の場合は不要

注 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第34章 または第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(10) CPUが高速オンチップ・オシレータ・クロック動作中(B)にHALTモード(E)へ移行

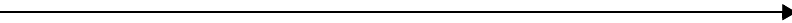
- ・CPUが高速システム・クロック動作中(C)にHALTモード(F)へ移行
- ・CPUがサブシステム・クロック動作中(D)にHALTモード(G)へ移行

状態遷移	設定内容
(B) → (E)	HALT命令を実行する
(C) → (F)	
(D) → (G)	

備考 表5 - 11～表5 - 15の(A) - (J)は、図5 - 25の(A) - (J)と対応しています。

表5 - 15 CPUクロックの移行とSFRレジスタの設定例(5/5)

- (11) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード(H)へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード(I)へ移行

(設定順序) 

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作禁止	—	STOP命令を実行する
(C) → (I)	X1発振	の周辺機能を停止する	OSTSレジスタを設定する	
	外部クロック		—	

- (12) STOPモード (H) から SNOOZEモード(J)へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、12.8 SNOOZEモード機能、15.5.7 SNOOZEモード機能、15.6.3 SNOOZEモード機能を参照してください。

備考 表5 - 11～表5 - 15の(A) - (J)は、図5 - 25の(A) - (J)と対応しています。

5.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5 - 16 CPUクロックの移行について(1/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速 オンチップ・ オシレータ・ クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロック に切り替わったことを確認した 後、高速オンチップ・オシレータ を停止(HIOSTOP = 1)すると、動 作電流を低減可能
	外部メイン・ システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・ クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	PLLクロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 もしくは、EXCLK端子からの外部クロック入力を有効 にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 PLLが発振されていること ・ DSCON = 1	
X1クロック	高速オンチップ・ オシレータ・ クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	CPUクロックが移行後のクロック に切り替わったことを確認した 後、X1発振停止可能 (MSTOP = 1)
	外部メイン・ システム・クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロック に切り替わったことを確認した 後、X1発振停止可能 (MSTOP = 1)
	外部サブシステム・ クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロック に切り替わったことを確認した 後、X1発振停止可能 (MSTOP = 1)
	PLLクロック	PLLが発振されていること ・ DSCON = 1 高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振精度安定時間経過後	—

表5 - 17 CPUクロックの移行について(2/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振精度安定時間経過後	外部メイン・システム・クロック 入力を無効に設定可能 (MSTOP = 1)
	X1クロック	• 移行不可	—
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後	外部メイン・システム・クロック 入力を無効に設定可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	外部メイン・システム・クロック 入力を無効に設定可能 (MSTOP = 1)
	PLLクロック	PLLが発振されていること • DSCON = 1 高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振精度安定時間経過後	—
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	外部サブシステム・クロック	移行不可	—
	PLLクロック	移行不可	—

表 5 - 18 CPUクロックの移行について (3/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0	外部サブシステム・クロック入力を無効に設定可能(XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	XT1クロック	移行不可	
	PLLクロック	移行不可	
PLLクロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること • HIOSTOP = 0	PLLを停止(DSCON = 0)すると、動作電流を低減可能
	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	移行不可	
	外部サブシステム・クロック	移行不可	

5.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット4, 6 (MCM0, CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック⇄サブシステム・クロック), メイン・システム・クロックの切り替え (高速オンチップ・オシレータ・クロック→高速システム・クロック) をすることができます。

実際の切り替え動作は, CKCレジスタを書き換えた直後ではなく, CKCレジスタを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-19~表5-21参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCレジスタのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか, 高速オンチップ・オシレータ・クロックで動作しているかは, CKCレジスタのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表5-19 メイン・システム・クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	備考
f _{IH}	↔	f _{MX}	表5-20参照
f _{MAIN}	↔	f _{SUB}	表5-21参照

表5-20 f_{IH}⇄f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} ≥ f _{IH}		2クロック
	f _{MX} < f _{IH}		2f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} ≥ f _{IH}	2f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	2クロック	

表5-21 f_{MAIN}⇄f_{SUB}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 (f _{CLK} = f _{MAIN})	1 (f _{CLK} = f _{SUB})
0 (f _{CLK} = f _{MAIN})			1 + 2f _{MAIN} /f _{SUB} クロック
1 (f _{CLK} = f _{SUB})		3クロック	

備考1. 表5-20, 表5-21のクロック数は, 切り替え前のCPUクロックのクロック数です。

備考2. 表5-20, 表5-21のクロック数は, 小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システムクロックから高速オンチップ・オシレータ・クロックに切り替える場合

(f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時)

2 f_{MX}/f_{IH} = 2 (10/8) = 2.5 → 3クロック

5.6.8 クロック発振停止前の条件

クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5 - 22 クロック発振停止前の条件とフラグ設定

クロック	クロック停止(外部クロック入力無効)前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	
XT1クロック	CLS = 0	XTSTOP = 1
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	

5.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数(参考)は、当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図5 - 26 外付け回路例



(1) X1発振

2016年8月現在

メーカー	発振子	品名 ^{注2}	SMD/ リード	周波数 (MHz)	フラッシュ 動作モード ^{注1}	発振回路定数(参考) ^{注2}			電圧範囲(V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社 村田製作所 注3	セラミック 発振子	CSTCC2M00G56-R0	SMD	2.0	LV	(47)	(47)	0	1.6	3.6
		CSTCR4M00G3.6-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCC2M00G56-R0	SMD	2.0	LS	(47)	(47)	0	1.8	3.6
		CSTCR4M00G3.6-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCR4M19G55-R0	SMD	4.194		(39)	(39)	0		
		CSTLS4M19G53-B0	リード			(15)	(15)	0		
		CSTCR4M91G53-R0	SMD	4.915		(15)	(15)	0		
		CSTLS4M91G53-B0	リード			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0		
		CSTLS5M00G53-B0	リード			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M38G52-R0	SMD	8.388		(10)	(10)	0	2.4	3.6
		CSTLS8M38G53-B0	リード			(15)	(15)	0		
		CSTCE10M0G52-R0	SMD	10.0		(10)	(10)	0		
		CSTLS10M0G53-B0	リード			(15)	(15)	0		
CSTCE12M0G52-R0	SMD	12.0		(10)	(10)	0				
CSTCE16M0V53-R0	SMD	16.0		(15)	(15)	0				
CSTLS16M0X51-B0	リード		(5)	(5)	0	2.7	3.6			
CSTCE20M0V51-R0	SMD	20.0	(5)	(5)	0					
CSTLS20M0X51-B0	リード		(5)	(5)	0					

注1. フラッシュ動作モードは、オプション・バイト(000C2H)のCMODE1, CMODE0ビットで設定します。

注2. 105°C対応の製品は品名が異なります。詳細は、株式会社村田製作所(<http://www.murata.co.jp>)へお問い合わせください。

注3. この振動子を使用する場合、マッチングの詳細については、株式会社村田製作所(<http://www.murata.co.jp>)にお問い合わせください。

備考 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}@1\text{ MHz} \sim 24\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$

LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$

(2) XT1発振(水晶振動子)

2016年8月現在

メーカー	品名	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	XT1発振 モード注1	発振回路定数(参考)			電圧範囲(V)				
						C3 (pF)	C4 (pF)	Rd (kΩ)	MIN.	MAX.			
セイコー インスツル 株式会社注2	SSP-T7-FL	SMD	32.768	6.0	通常発振	10	9	0	1.6	3.6			
				4.4	低消費発振	7	5	0					
				3.7	超低消費発振	6	3	0					
	VT-200-FL	リード		6.0	通常発振	10	9	0					
				4.4	低消費発振	7	5	0					
				3.7	超低消費発振	6	3	0					
日本電波工業 株式会社注3	NX3215SA	SMD	32.768	6.0	通常発振	注3			1.6	3.6			
					低消費発振								
					超低消費発振								
リバー エレテック 株式会社	TFX-02-32.768 kHz-J20986 注4	SMD		32.768	9	通常発振	12	10			0	1.6	3.6
						低消費発振							
	TFX-03-32.768 kHz-J13375 注4	SMD			32.768	9	通常発振	12			10		

注1. XT1発振モードは、クロック動作モード制御レジスタ(CMC)のAMPHS0, AMPHS1ビットで設定します。

注2. この振動子を使用する場合、マッチングの詳細については、セイコーインスツル株式会社(<http://www.sii-crystal.com>)にお問い合わせください。

注3. この振動子を使用する場合、マッチングの詳細については、日本電波工業株式会社(<http://www.ndk.com/>)にお問い合わせください。

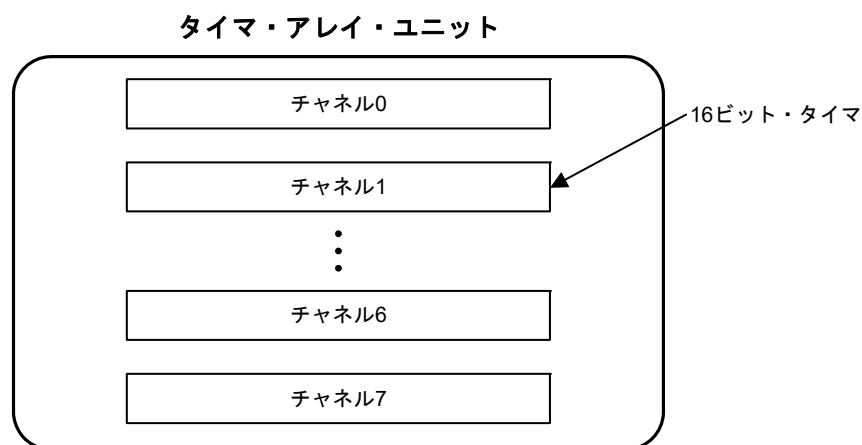
注4. この振動子を使用する場合、マッチングの詳細については、リバーエレテック株式会社(<http://www.river-ele.co.jp>)にお問い合わせください。

第6章 タイマ・アレイ・ユニット

注意 この章では、以降の主な説明を100ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。



各機能の詳細については下記を参照ください。

単独チャンネル動作機能	複数チャンネル連動動作機能
<ul style="list-style-type: none"> • インターバル・タイマ(→6.8.1参照) • 方形波出力(→6.8.1参照) • 外部イベント・カウンタ(→6.8.2参照) • 入力パルス間隔測定(→6.8.3参照) • 入力信号のハイ/ロウ・レベル幅測定(→6.8.4参照) • デイレイ・カウンタ(→6.8.5参照) 	<ul style="list-style-type: none"> • ワンショット・パルス出力(→6.9.1参照) • PWM出力(→6.9.2参照) • 多重PWM出力(→6.9.3参照) • リモコン出力機能(→6.9.4参照)

チャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ(上位/下位)として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ(上位/下位8ビット・タイマ)/方形波出力(下位8ビット・タイマのみ)
- 外部イベント・カウンタ(下位8ビット・タイマのみ)
- デイレイ・カウント(下位8ビット・タイマのみ)

また、チャンネル7は、シリアル・アレイ・ユニットのUART0と連携し、LIN-bus通信動作を実現することができます。

6.1 タイマ・アレイ・ユニットの機能

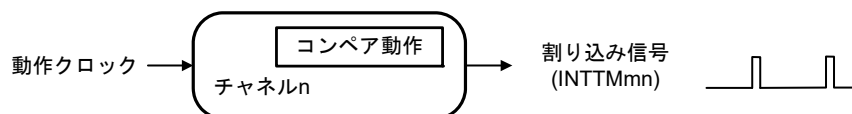
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

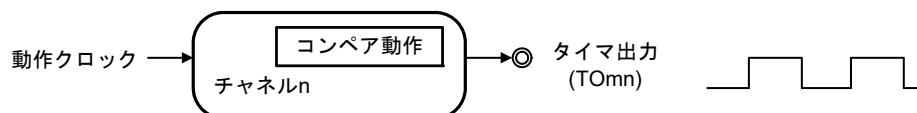
(1) インターバル・タイマ

一定間隔で割り込み(INTTMmn)を発生する基準タイマとして利用できます。



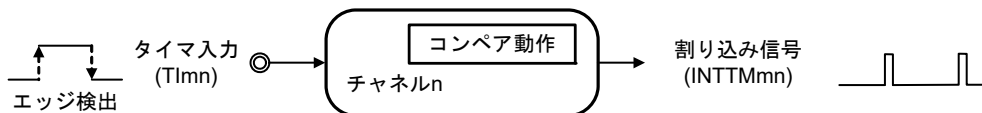
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子(TOmn)より出力します。



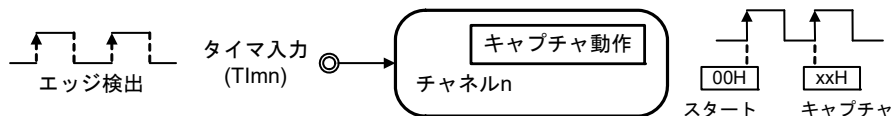
(3) 外部イベント・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



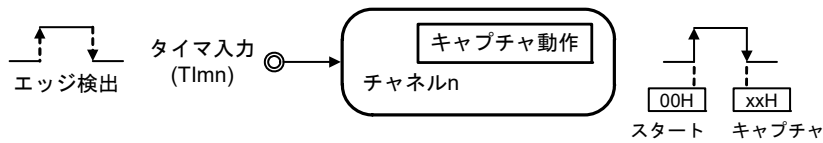
(4) 入力パルス間隔測定

タイマ入力端子(TImn)に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



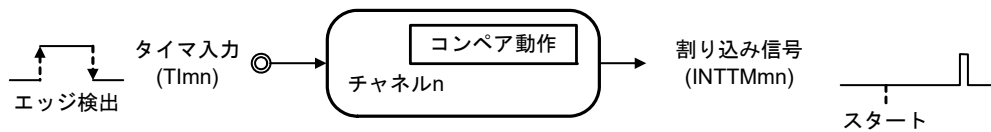
(5) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子(TImn)に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(6) デイレイ・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジでカウントをスタートし、任意のデイレイ期間後、割り込みを発生します。



備考 m: ユニット番号(m = 0), n: チャンネル番号(n = 0-7)

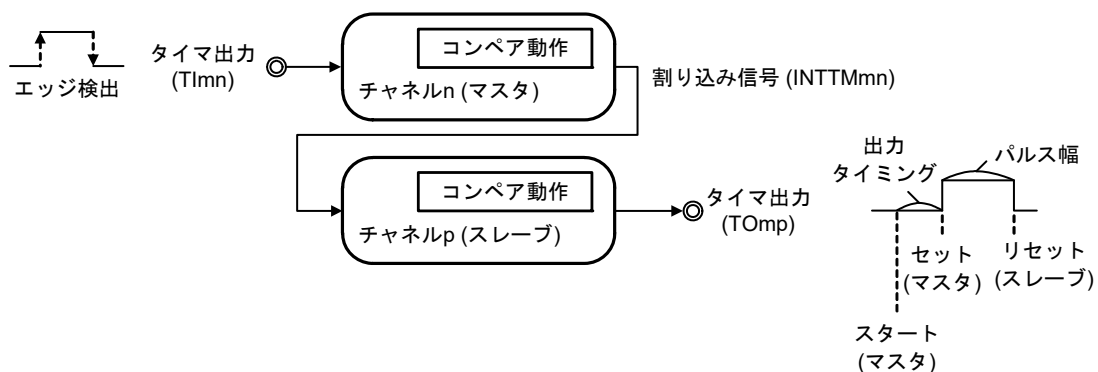
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期を制御する基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせることで実現する機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

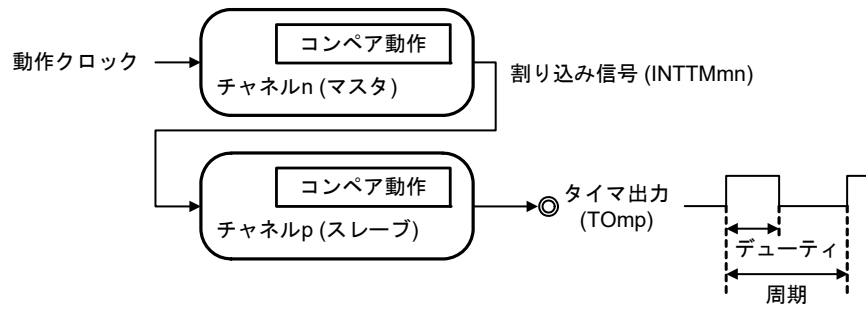
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



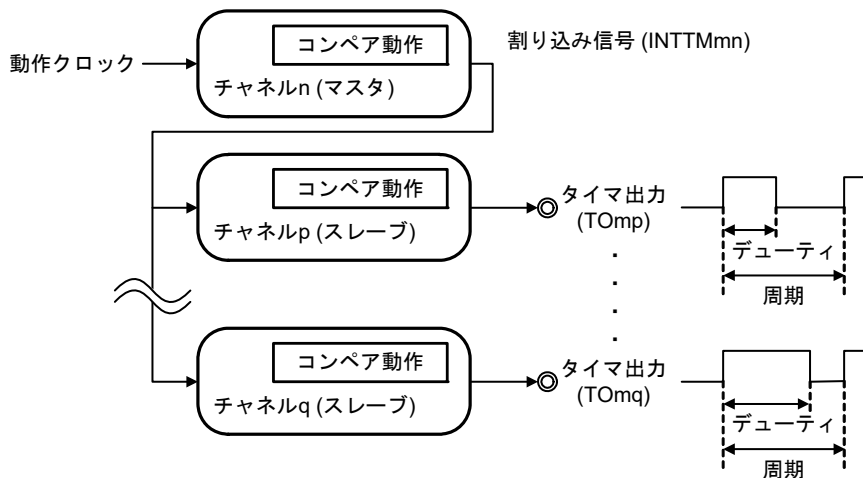
(2) PWM (Pulse Width Modulation)出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



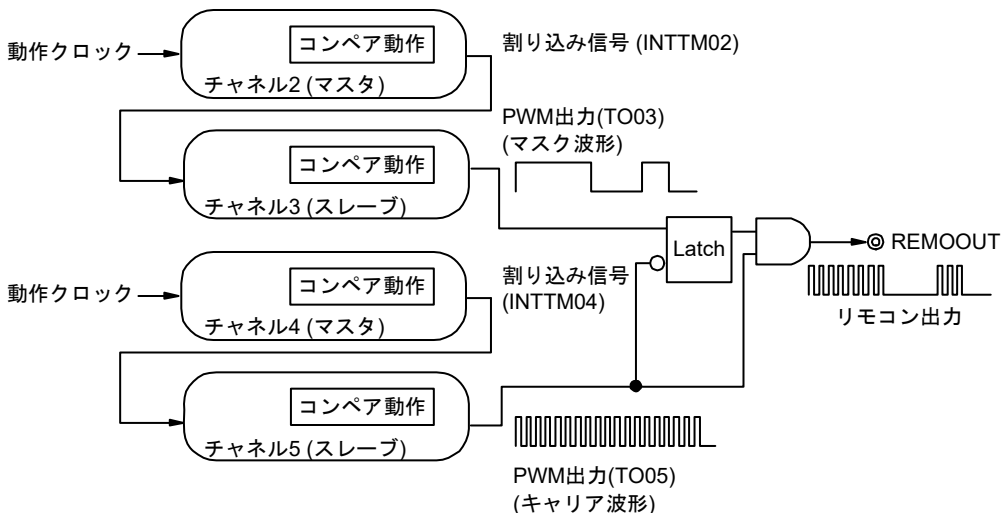
(3) 多重PWM (Pulse Width Modulation)出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



(4) リモコン出力機能

チャンネル2, 3, チャンネル4, 5のセットでPWM出力機能を使用します。チャンネル3からのPWM出力信号をマスク波形, チャンネル5からのPWM出力信号をキャリア波形とし、これらの信号の論理積をリモコン出力として出力します。



注意 複数チャンネル連動動作機能のルールの詳細については、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7),
p, q : スレーブ・チャンネル番号 (n < p < q ≤ 7)

6.1.3 8ビット・タイマ動作機能(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)を参照してください。

6.1.4 LIN-bus 対応機能(チャンネル7のみ)

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART0のシリアル・データ入力端子(RxD0)に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus対応機能の動作設定については、6.3.14 入力切り替え制御レジスタ(ISC)、6.8.4 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI07, RxD0端子(LIN-bus用)
タイマ出力	TO00-TO07, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ 0 (PER0) ・タイマ・クロック選択レジスタ m (TPSm) ・タイマ・チャンネル許可ステータス・レジスタ m (TEm) ・タイマ・チャンネル開始レジスタ m (TSM) ・タイマ・チャンネル停止レジスタ m (TTm) ・タイマ入力選択レジスタ 0 (TIS0) ・タイマ出力選択レジスタ (TOS) ・タイマ出力許可レジスタ m (TOEm) ・タイマ出力レジスタ m (TOM) ・タイマ出力レベル・レジスタ m (TOLm) ・タイマ出力モード・レジスタ m (TOMm) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタ mn (TMRmn) ・タイマ・ステータス・レジスタ mn (TSRmn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 1 (NFEN1) ・ポート・モード・コントロール・レジスタ (PMCxx)注 ・ポート・モード・レジスタ (PMxx)注 ・ポート・レジスタ (Pxx)注

注 製品によって設定するポート・モード・レジスタ (PMxx)とポート・レジスタ (Pxx)が異なります。詳細は、4.5.3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

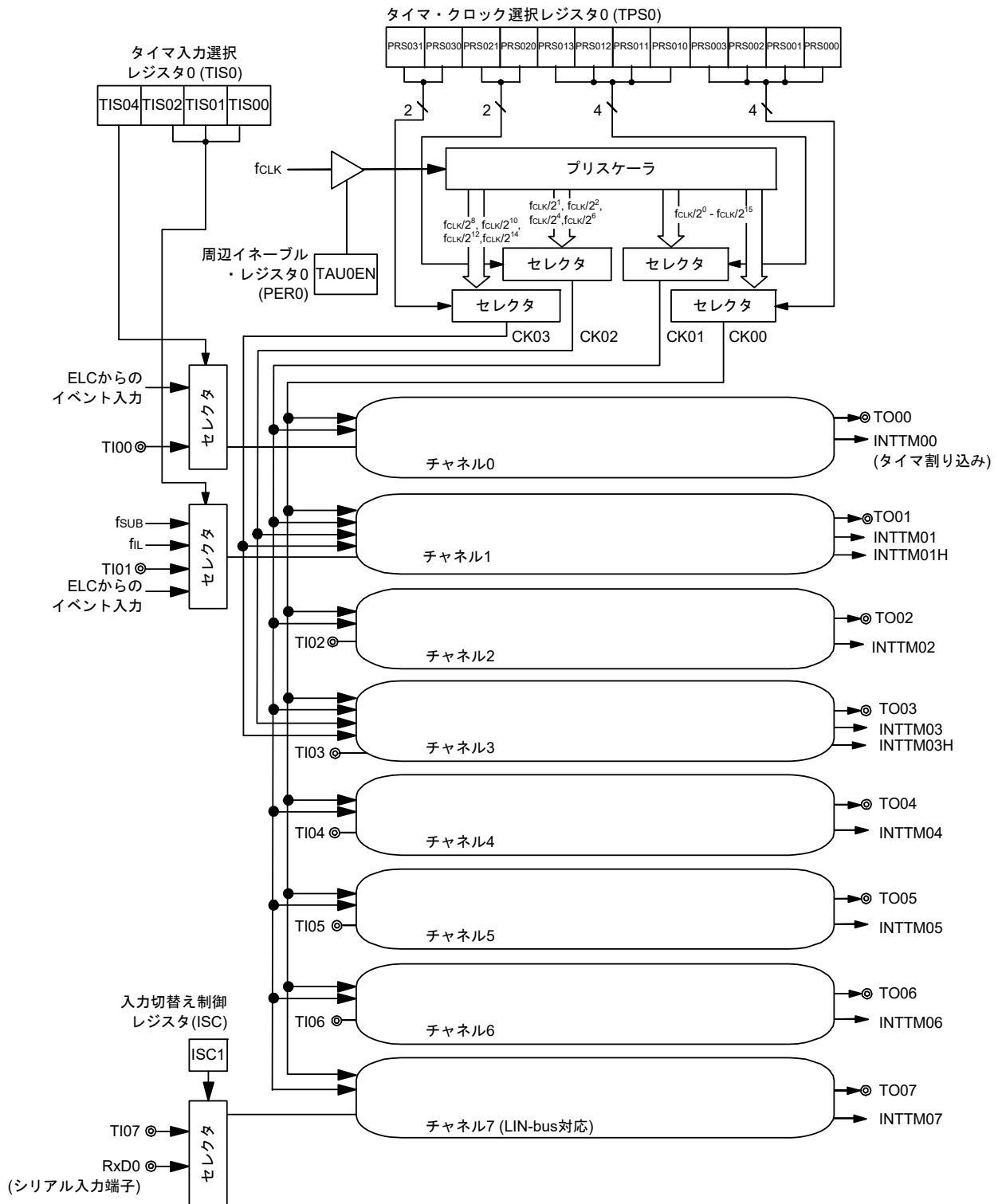
タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子のポートとの兼用は、製品によって異なります。

表6-2 各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ ユニット・チャンネル	100ピン	80/85ピン
チャンネル0	TI00/TO00	
チャンネル1	TI01/TO01	
チャンネル2	TI02/TO02	
チャンネル3	TI03/TO03/REMOOUT	
チャンネル4	TI04/TO04	
チャンネル5	TI05/TO05	TI05/TO05
チャンネル6	TI06/TO06	
チャンネル7	TI07/TO07	TI07/TO07

図6-1にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニットの全体ブロック図



備考 fSUB : サブシステム・クロック周波数
 fiL : 低速オンチップ・オシレータ・クロック周波数

図6-2 タイマ・アレイ・ユニットのチャンネル0内部ブロック図

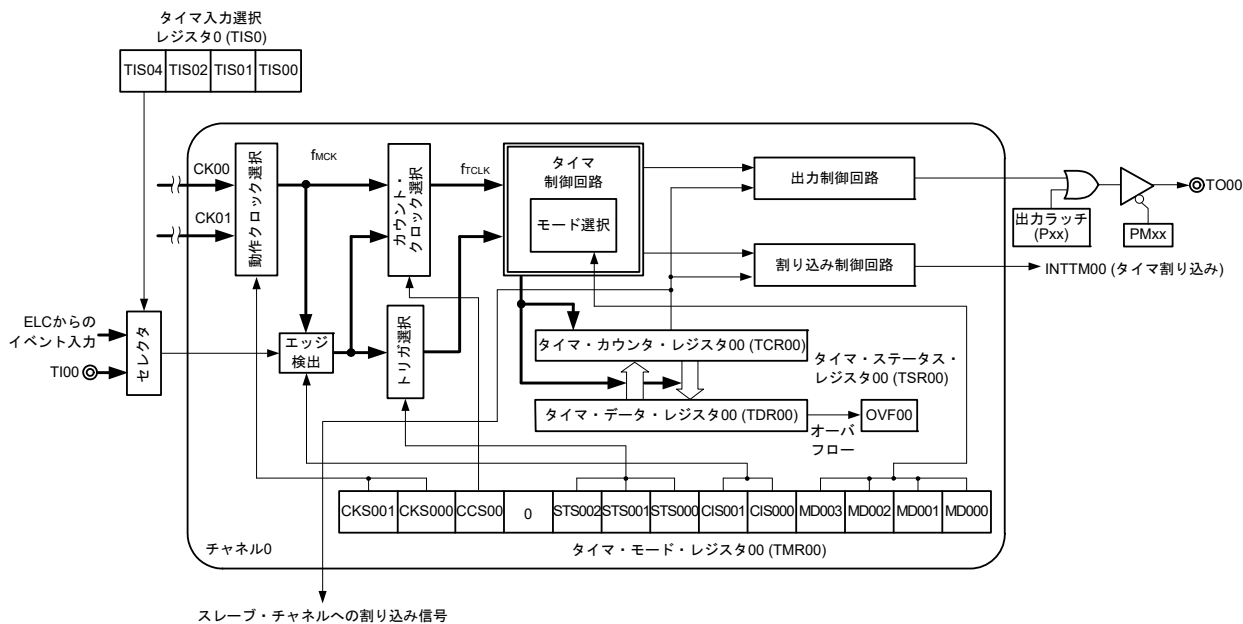


図6-3 タイマ・アレイ・ユニットのチャンネル1内部ブロック図

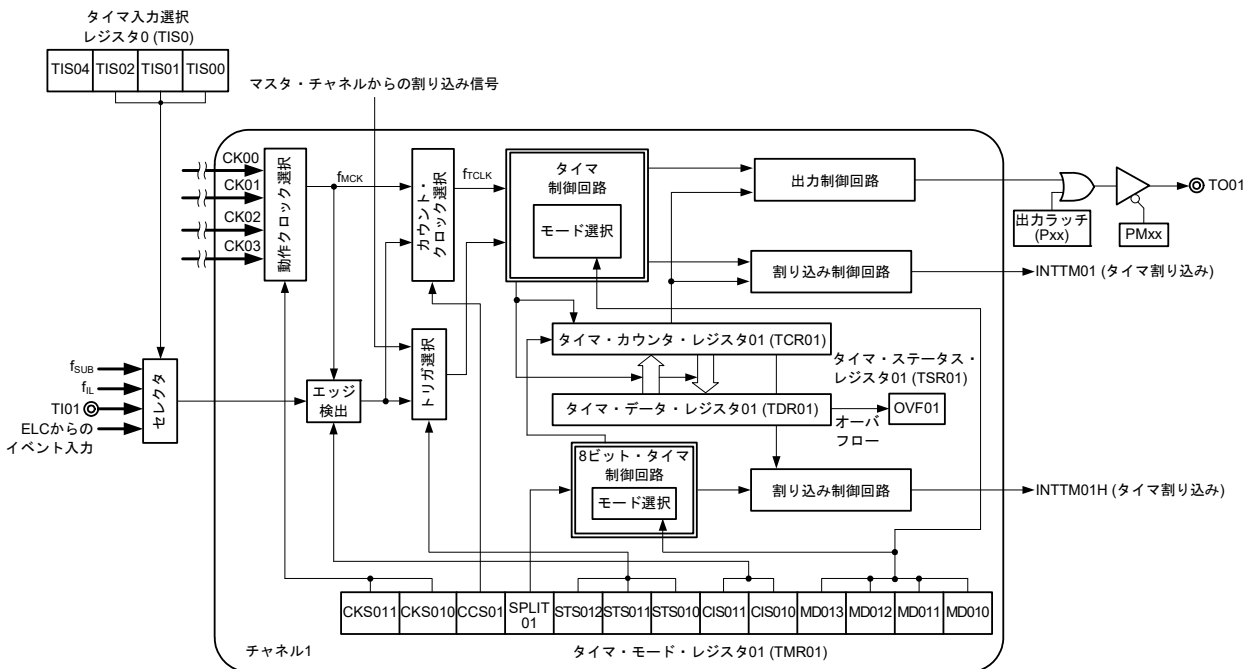
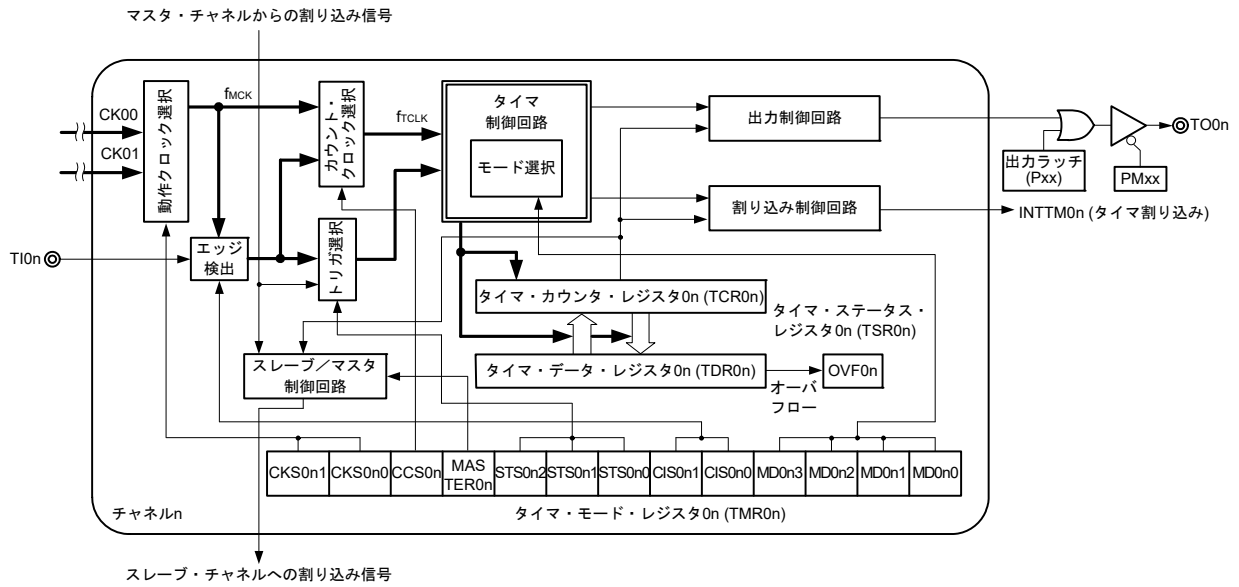


図6-4 タイマ・アレイ・ユニットのチャンネルn内部ブロック図



備考 n = 2, 4, 6

図6-5 タイマ・アレイ・ユニットのチャンネル3内部ブロック図

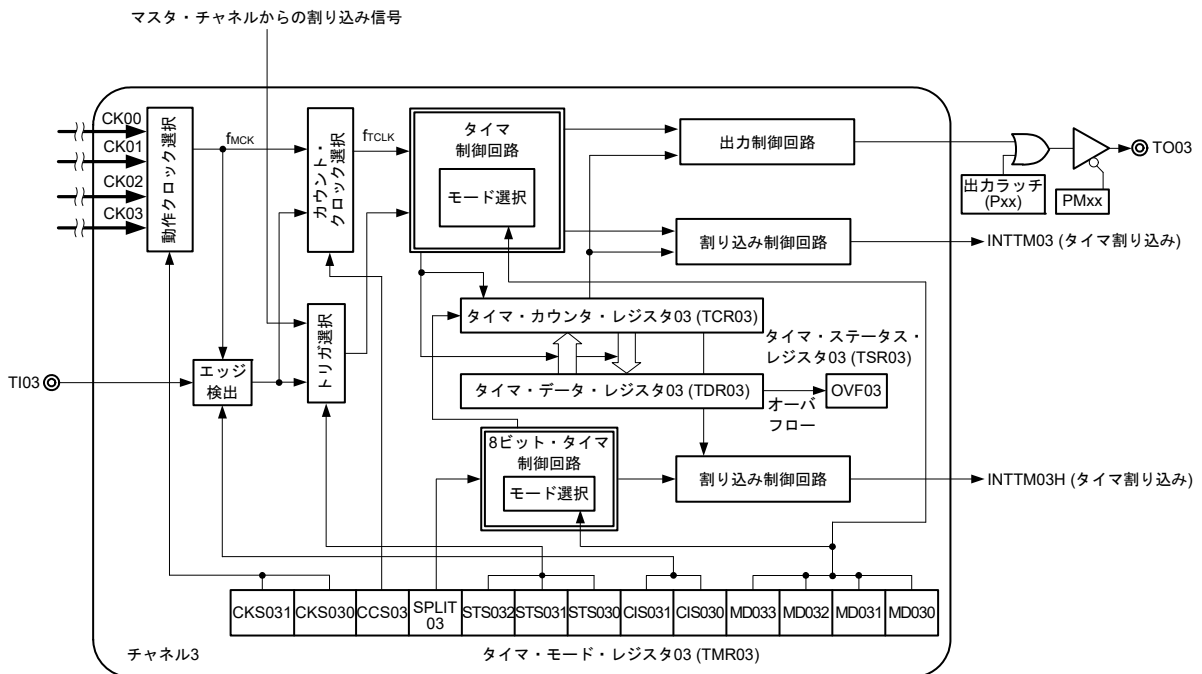


図6-6 タイマ・アレイ・ユニットのチャンネル5内部ブロック図

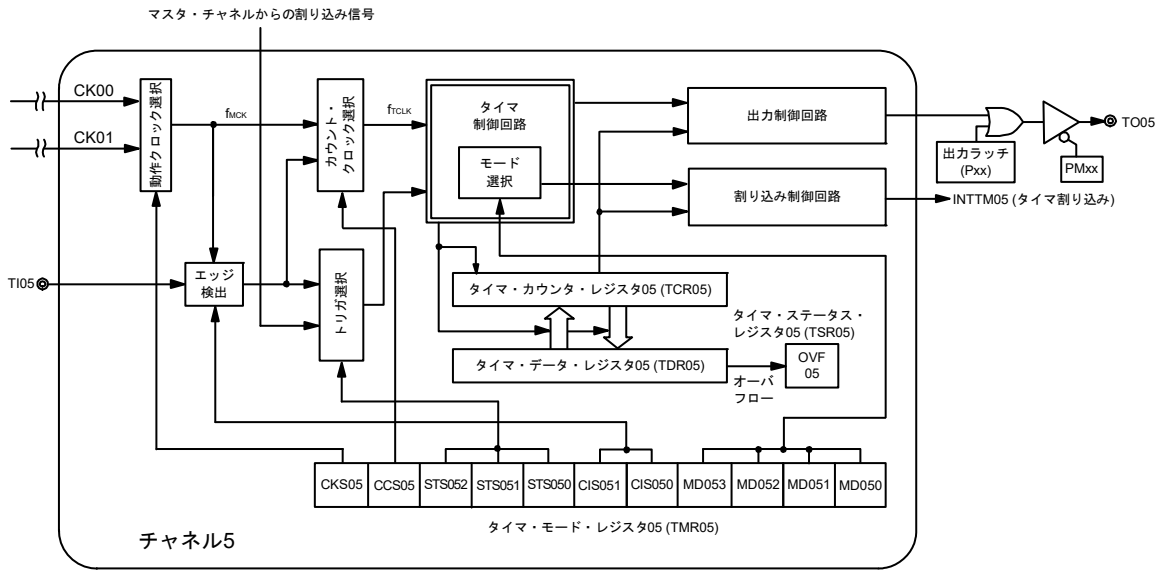
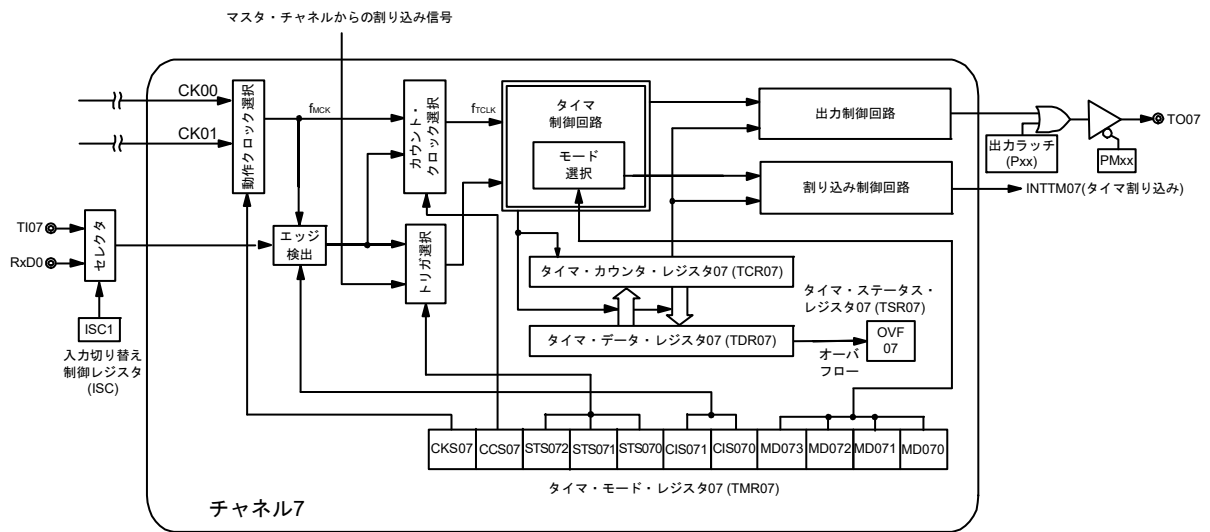


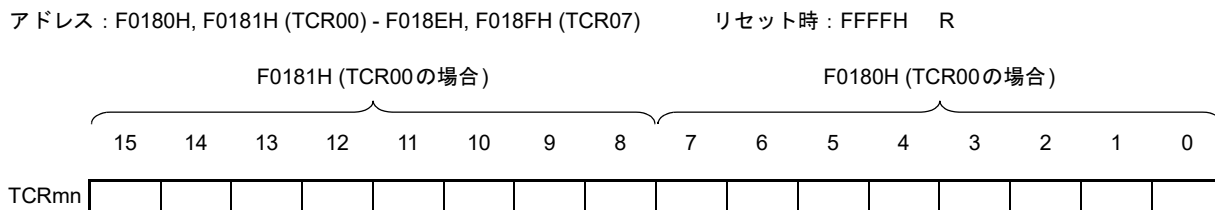
図6-7 タイマ・アレイ・ユニットのチャンネル7内部ブロック図



6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります(6.3.3 タイマ・モード・レジスタ mn (TMRmn)参照)。

図6-8 タイマ・カウンタ・レジスタ mn (TCRmn)のフォーマット



備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

タイマ・カウンタ・レジスタ mn (TCRmn)をリードすることにより、カウント値をリードできます。
 次の場合、カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺イネーブル・レジスタ 0 (PER0)のTAUmENビットをクリアしたとき
- PWM出力モードで、スレーブ・チャネルのカウント完了時
- ディレイ・カウント・モードで、スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ/スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで、スレーブ・チャネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn)にはキャプチャしません。

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-3 各動作モード時のタイマ・カウンタ・レジスタ mn (TCRmn)読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn)の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1)した場合の値	カウント動作を一時停止 (TTmn = 1)後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ & ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmnレジスタのキャプチャ値 + 1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0)かつカウント動作許可状態 (TSmn = 1)にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3)のSPLITビットが1)に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位での書き換えが可能になります。読み出しは、16ビット単位でのみ可能です。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図6-9 タイマ・データ・レジスタ mn (TDRmn) (n = 0, 2, 4-7)のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), リセット時 : 0000H R/W
 FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)

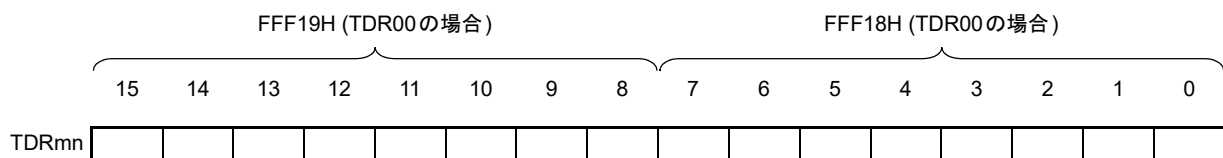
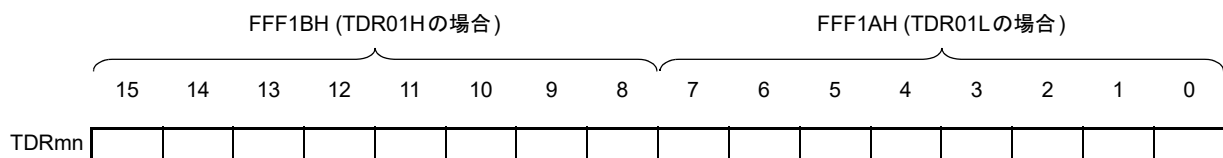


図6-10 タイマ・データ・レジスタ mn (TDRmn) (n = 1, 3)のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03) リセット時 : 0000H R/W



(i) タイマ・データ・レジスタ mn (TDRmn)をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTMmn) を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ mn (TDRmn)をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn)のカウンタ値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、Timn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn)で設定します。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-7)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタ m (TEm)
- タイマ・チャンネル開始レジスタ m (TSm)
- タイマ・チャンネル停止レジスタ m (TTm)
- タイマ入力選択レジスタ 0 (TIS0)
- タイマ出力選択レジスタ (TOS)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 1 (NFEN1)
- ポート・モード・コントロール・レジスタ (PMCxx)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は、必ずビット0 (TAU0EN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図6 - 11 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態です。下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます(タイマ入力選択レジスタ0 (TIS0), タイマ出力選択レジスタ (TOS), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ1 (NFEN1), ポート・モード・コントロール・レジスタ4 (PMC4), ポート・モード・レジスタ0, 2-4 (PM0, PM2-PM4), ポート・レジスタ0, 2-4 (P0, P2-P4)は除く)。

- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタmn (TMRmn)
- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSM)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOM)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)

注意2. ビット1, 6には必ず“0”を設定してください。

6.3.2 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で、CKm1はTPSmレジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9-8で、CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm0を選択(CKSmn1, CKSmn0 = 0, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm2を選択(CKSmn1, CKSmn0 = 0, 1)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択(CKSmn1, CKSmn0 = 1, 0)しているチャンネルがすべて停止状態(TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択(CKSmn1, CKSmn0 = 1, 1)しているチャンネルがすべて停止状態(TEmn = 0)

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmレジスタは0000Hになります。

図6-12 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk)の選択注(k = 0, 1)					
				fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	fCLK/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

★ 注意2. 動作クロック(CKmk)にfCLK(分周なし)を選択し、TDR0n = 0000H (n = 0-7)を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2ⁿの波形は、単純に2ⁿ分周した波形ではなく、その立ち上がりからfCLKの1周期分ハイ・レベルになります。詳しくは、6.5.1 カウント・クロック(fCLK)を参照してください。

図6-13 タイマ・クロック選択レジスタm (TPSm)のフォーマット(2/2)

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2)の選択注					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	1	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
1	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
1	1	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156.2 kHz	313 kHz	375 kHz

PRS m31	PRS m30	動作クロック (CKm3)の選択注					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz	
0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。
 動作クロック (fMCK), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。
 注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表6-4に示すインターバル時間を実現することが可能です。

表6-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注(fCLK = 20 MHz)			
		16 μs	160 μs	1.6 ms	16 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 ²	○	—	—	—
	fCLK/2 ⁴	○	○	—	—
	fCLK/2 ⁶	○	○	—	—
CKm3	fCLK/2 ⁸	—	○	○	—
	fCLK/2 ¹⁰	—	○	○	—
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。
 備考1. fCLK : CPU/周辺ハードウェア・クロック周波数
 備考2. TPSmレジスタで選択するfCLK/2iの詳細は、6.5.1 カウント・クロック (fCLK)を参照してください。

6.3.3 タイマ・モード・レジスタ mn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fMCK)の選択、カウント・クロックの選択、マスタ/スレーブの選択、16ビット/8ビット・タイマの選択(チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード(インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント)設定を行います。

TMRmnレジスタは、動作中(TEmn = 1のとき)の書き換えは禁止です。ただし、ビット7, 6 (CISmn1, CISmn0)は、一部の機能で動作中(TEmn = 1のとき)の書き換えが可能です(詳細は6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6 : MASTERmn ビット(n = 2, 4, 6)

TMRm1, TMRm3: SPLITmn ビット(n = 1, 3)

TMRm0, TMRm5, TMRm7: 0 固定

図6 - 14 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fmck)の選択													
0	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm0													
0	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm2													
1	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm1													
1	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm3													
動作クロック (fmck)は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (ftCLK)を生成します。															
動作クロック CKm2, CKm3は、チャンネル1, 3のみ選択可能です。															

CCSmn	チャンネルnの動作クロック (ftCLK)の選択														
0	CKSmn0, CKSmn1ビットで指定した動作クロック (fmck)														
1	TImn端子からの入力信号の有効エッジ ・ユニット0の場合 : チャンネル0では、TIS0で選択した入力信号の有効エッジ チャンネル1では、TIS0で選択した入力信号の有効エッジ チャンネル3では、ISCで選択した入力信号の有効エッジ														
カウント・クロック (ftCLK)は、カウンタ、出力制御回路、割り込み制御回路に使用されます。															

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウント・クロック (ftCLK)にCKSmn0, CKSmn1ビットで指定した動作クロック (fmck)、TImn端子からの入力信号の有効エッジのどれを選択していても、ftCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 00FFH)させてください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6 - 15 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(2/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2, 4, 6)のビット11)

MASTERmn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作(スレーブ／マスタ)の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
<p>チャンネル2, 4, 6のみマスタ・チャンネル(MASTERmn = 1)に設定できます。</p> <p>チャンネル0, 5, 7は0固定となります(チャンネル0は最上位チャンネルのため, このビットの設定によらずマスタとして動作します。</p> <p>また, 単独チャンネル動作機能として使用するチャンネルは, MASTERmn = 0にします。</p>	

(TMRmn (n = 1, 3)のビット11)

SPLIT mn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効(他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用(複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注 ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

図6-16 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(3/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TIS0レジスタの設定により入力ソースがELCからのイベント入力信号以外の場合)

CIS mn1	CIS mn0	TImn端子の有効エッジ選択(n = 0, 1)
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は、CISmn1-CISmn0ビット = 10Bに設定してください。		

(TIS0レジスタの設定により入力ソースがELCからのイベント入力信号の場合)

CIS mn1	CIS mn0	TImn端子の有効エッジ選択(n = 0, 1)
0	0	00に固定してください(ELCからのイベント入力信号)。
上記以外		設定禁止

注 ビット11はRead onlyの0固定で、書き込みは無視されます。

備考 m : ユニット番号(m = 0), n : チャネル番号(n = 0-7)

図6-17 タイマ・モード・レジスタ mn (TMRmn)のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 ^{注1}	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ/方形波出力/PWM出力(マスタ)	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ/ワンショット・パルス出力/PWM出力(スレーブ)	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ/ロウ・レベル幅測定	アップ・カウンタ
上記以外			設定禁止		

各モードの動作は、MDmn0ビットによって変わります(下表を参照)。

動作モード(MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0) ・キャプチャ・モード(0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^{注3} 。その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力(INTTMmn), TOMn出力は制御しません。

注3. 動作中にスタート・トリガ(TSmn = 1)が掛かると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.4 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B)のみ有効です。各動作モードでのOVFビットの動作とセット/クリア条件は表6-5を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図6-18 タイマ・ステータス・レジスタ mn (TSRmn)のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア(OVF = 0)されます。	

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

表6-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVFビット	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm) の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図6-19 タイマ・チャンネル許可ステータス・レジスタ m (TEm) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEm n	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.6 タイマ・チャンネル開始レジスタ m (TSm)

TSmレジスタは、タイマ・カウンタ・レジスタ mn (TCRmn)を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので、動作許可状態(TEmn, TEHm1, TEHm3 = 1)になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは、16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmレジスタは0000Hになります。

図6-20 タイマ・チャンネル開始レジスタ m (TSm)のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSH m3	0	TSH m1	0	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSm n	チャンネルnの動作許可(スタート)トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります(6.5.2 カウンタのスタート・タイミングの表6-6参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可(スタート)トリガになります。

(注意、備考は次ページにあります。)

注意1. ビット15-12, 10, 8には必ず0を設定してください。

注意2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタmn (TMRmn)設定後、TSmn (TSHm1, TSHm3)ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時(TNFENmn = 1) : 動作クロック (fMCK)の4クロック

TImn端子のノイズ・フィルタ無効時(TNFENmn = 0) : 動作クロック (fMCK)の2クロック

備考1. TSmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

6.3.7 タイマ・チャンネル停止レジスタ m (TTm)

TTmレジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm)の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態(TEmn, TEHm1, TEHm3 = 0)になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図6-21 タイマ・チャンネル停止レジスタ m (TTm)のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTHm3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTHm1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTm n	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.8 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、チャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0レジスタは00Hになります。

図6-22 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00

TIS04	チャンネル0で使用するタイマ入力の選択
0	タイマ入力端子(TI00)の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子(TI01)の入力信号
0	1	0	
0	1	1	
0	0	1	ELCからのイベント入力信号
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})
1	0	1	サブシステム・クロック (f _{SUB})
上記以外			設定禁止

注意1. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK} + 10$ ns以上必要となります。

そのため、f_{CLK}にf_{SUB}を選択時(CKCレジスタのCSS = 1)は、TIS02ビットに1を設定できません。

注意2. タイマ入力選択レジスタ0 (TIS0)で、ELCからのイベント入力信号を選択する場合、タイマ・クロック選択レジスタ0 (TPS0)はf_{CLK}を選択してください。

6.3.9 タイマ出力選択レジスタ (TOS)

TOSレジスタは、リモコン出力機能を有効にするときに設定するレジスタです。

チャンネル4, 5で生成したPWM出力信号(キャリア波形)を, チャンネル2, 3で生成したPWM出力信号(マスク波形)でマスクすることにより, リモコン出力を生成します。

TOSレジスタの書き換えは, カウント動作開始前(TE02, TE03, TE04, TE05 = 0)のみ可能です。

TOSレジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, TOSレジスタは00Hになります。

図6-23 タイマ出力選択レジスタ (TOS)のフォーマット

アドレス : F0079H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	0	0	TOS0
TOS0	リモコン出力設定							
0	無効(チャンネル2, 3, 4, 5はタイマ出力)							
1	有効(リモコン出力をREMOOUT端子へ出力)							

注意 リモコン出力が有効(TOS0 = 1)の場合, チャンネル2, 3, 4, 5は別の機能で使用できません。

6.3.10 タイマ出力許可レジスタ m (TOEm)

TOEmレジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えることができなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図6-24 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOE m7	TOE m6	TOE m5	TOE m4	TOE m3	TOE m2	TOE m1	TOE m0

TOE mn	チャンネル n のタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視されます。

注意 ビット 15-8 には必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.11 タイマ出力レジスタ m (TOm)

TOmレジスタは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子(TOmn)から出力されます。

このレジスタのTOmnビットのソフトウェアによる書き換えは、タイマ出力禁止時(TOEmn = 0)のみ可能です。タイマ出力許可時(TOEmn = 1)は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P03/TI00/TO00, P32/TI01/TO01, P05/TI02/TO02, P30/TI03/TO03, P22/TI04/TO04, P42/TI05/TO05, P07/TI06/TO06, P23/TI07/TO07をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000Hになります。

図6 - 25 タイマ出力レジスタ m (TOm)のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOm n	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 ビット15-8には必ず0を設定してください。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

6.3.12 タイマ出力レベル・レジスタ m (TOLm)

TOLmレジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図6-26 タイマ出力レベル・レジスタ m (TOLm)のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOLm	TOLm	TOLm	TOLm	TOLm	TOLm	TOLm	0
									7	6	5	4	3	2	1	
TOLmn	チャンネルnのタイマ出力レベルの制御															
0	正論理出力(アクティブ・ハイ)															
1	反転出力(アクティブ・ロウ)															

注意 ビット15-8, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.3.13 タイマ出力モード・レジスタ m (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能(PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可(TOEmn = 1)時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図6-27 タイマ出力モード・レジスタ m (TOMm)のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOM m7	TOM m6	TOM m5	TOM m4	TOM m3	TOM m2	TOM m1	0

TOM mn	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード(タイマ割り込み要求信号(INTTMmn)によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号(INTTMmn)で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号(INTTMmp)で出力がリセットされる)

注意 ビット15-8, 0には必ず0を設定してください。

備考 m : ユニット番号(m = 0)

n : チャンネル番号

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号

n < p ≤ 7

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルール参照してください)

6.3.14 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、チャンネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときを使用します。ISC1ビットに1を設定すると、シリアル・データ入力端子(RxD0)の入力信号がタイマ入力として選択されます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図6 - 28 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニット0のチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする(通常動作)
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)

ISC0	外部割り込み(INTP0)の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)

注意 ビット7-2に必ず0を設定してください。

備考 LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

6.3.15 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います注。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1レジスタは00Hになります。

注 詳細は、6.5.1 (2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)、6.5.2 カウンタのスタート・タイミング、6.7 タイマ入力 (TImn) の制御を参照してください。

図6-29 ノイズ・フィルタ許可レジスタ1 (NFEN1)のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
	TI07端子またはRxD0端子入力信号のノイズ・フィルタ使用可否注							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI06端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI05端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI04端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI03端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI02端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI01端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TI00端子入力信号のノイズ・フィルタ使用可否							
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						

注 入力切り替え制御レジスタ (ISC)のISC1ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0に設定 : TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定 : RxD0端子のノイズ・フィルタ使用可否選択が可能

6.3.16 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャンネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート・モード・コントロール・レジスタ (PMCxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)を参照してください。

また、製品によって設定するポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート・モード・コントロール・レジスタ (PMCxx)が異なります。詳細は、4.5.3 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

タイマ出力端子を兼用するポート(P03/TI00/TO00, P05/TI02/TO02など)をタイマ出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)のビットおよびポート・レジスタ (Pxx)のビットに0を設定してください。

- (例) P05/TO02/TI02をタイマ出力として使用する場合
- ポート・モード・レジスタ0のPM05ビットを0に設定
 - ポート・レジスタ0のP05ビットを0に設定

タイマ入力端子を兼用するポート(P03/TI00/TO00, P05/TI02/TO02など)をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)のビットに1を設定してください。このときポート・レジスタ (Pxx)のビットは、0または1のどちらでもかまいません。

- (例) P05/TO02/TI02をタイマ入力として使用する場合
- ポート・モード・レジスタ0のPM05ビットを1に設定
 - ポート・レジスタ0のP05ビットは0または1に設定

備考1. P42/TI05/TO05/IVCMP1 は、アナログ入力と兼用になっています。タイマ入出力機能を使用する場合には、デジタル入出力／アナログ入力を切り替えるPMC4レジスタの対応するビットを必ず“0”に設定してください。

備考2. セグメント出力と兼用になっているポートをタイマ入出力機能として使用する場合は、LCD ポート・ファンクション・レジスタ0-6 (PFSEG0- PFSEG6)の対応するビットを必ず“0”に設定してください。

備考3. P125/(TI06)/(TO06)/VL3 端子をタイマ入出力機能として使用する場合は、LCD 入力切り換え制御レジスタ (ISCLCD)のISCVL3ビットを必ず“1”に設定してください。

備考4. P126/(TI04)/(TO04)/CAPL, P127/(TI03)/(TO03)/CAPH 端子をイマ入出力機能として使用する場合は、LCD入力切り換え制御レジスタ (ISCLCD)のISCCAPビットを必ず“1”に設定してください。

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期をカウントする基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

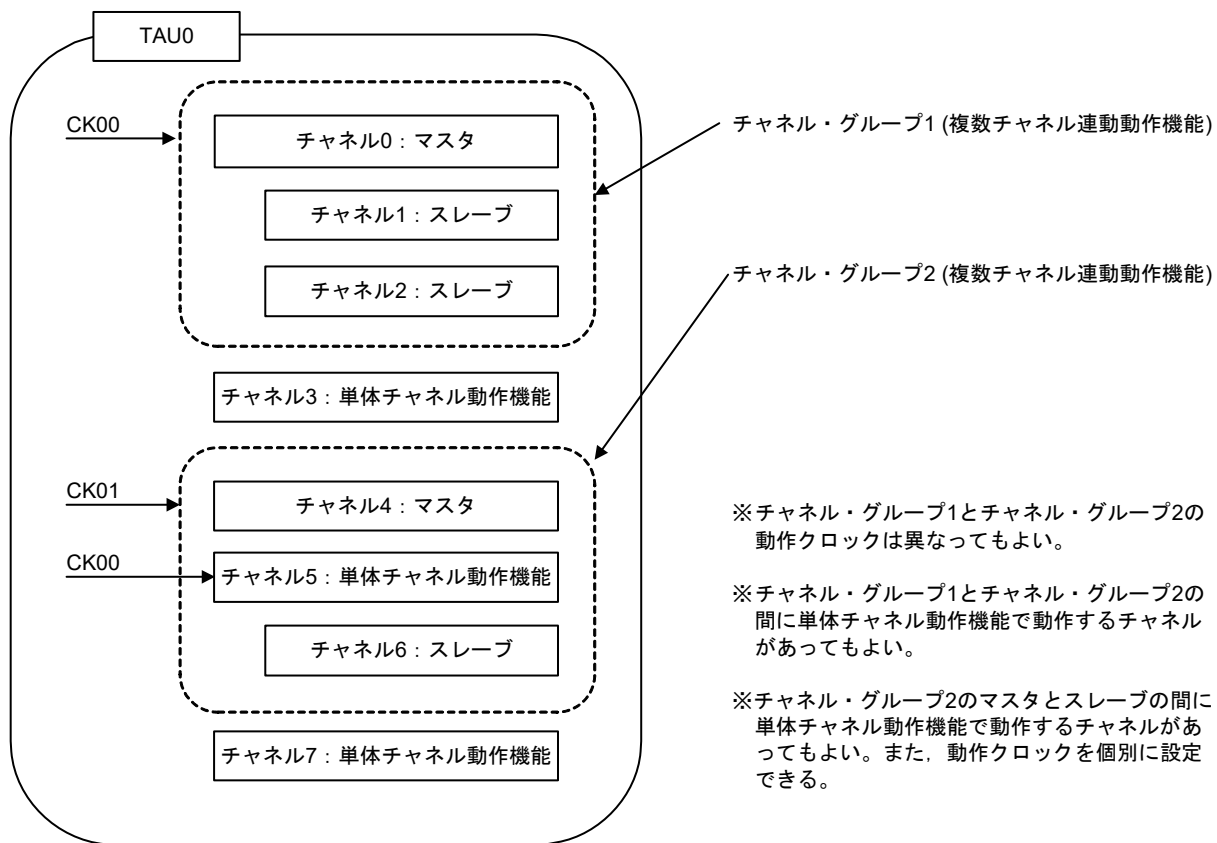
次に複数チャンネル連動動作機能の基本的なルールを示します。

- (1) マスタ・チャンネルには、偶数チャンネル(チャンネル0, チャンネル2, チャンネル4, ...)のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。
例 チャンネル0をマスタ・チャンネルにした場合、チャンネル3以降(チャンネル3, チャンネル4, チャンネル5, ...)をスレーブ・チャンネルに設定できます。
- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。
例 チャンネル0, チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。
- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSmn0, CKSmn1ビット(タイマ・モード・レジスタmn (TMRmn)のビット15, 14)が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMmn (割り込み)ノスタート・ソフトウェア・トリガノカウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット(TSmn)を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャンネルまたはマスタ・チャンネルのみ使用できます。スレーブ・チャンネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット(TTmn)を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャンネルとスレーブ・チャンネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0)は、マスタ・ビットがなく、“0”に固定されています。しかし、チャンネル0は最上位チャンネルなので、連動動作時は、チャンネル0をマスタ・チャンネルとして使用できます。

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ(1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)



6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn (TMRmn) の SPLIT ビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に INTTm1H/INTTm3H (割り込み) を出力します (MDmn0 = 1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットの TMRmn レジスタの CKSmn1, CKSmn0 ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3 ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3 ビットで確認できます。
- (7) 下位8ビットは、TMRmn レジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - インターバル・タイマ機能
 - 外部イベント・カウンタ機能
 - デイレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3 ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3 ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3 ビットを操作することでチャンネル1, 3が動作します。TEHm3 ビットと TEHm1 ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能(ワンショット・パルス, PWM, 多重PWM)を使用することはできません。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (fTCLK)

タイマ・アレイ・ユニットのカウント・クロック (fTCLK) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK)
- TImn 端子からの入力信号の有効エッジ

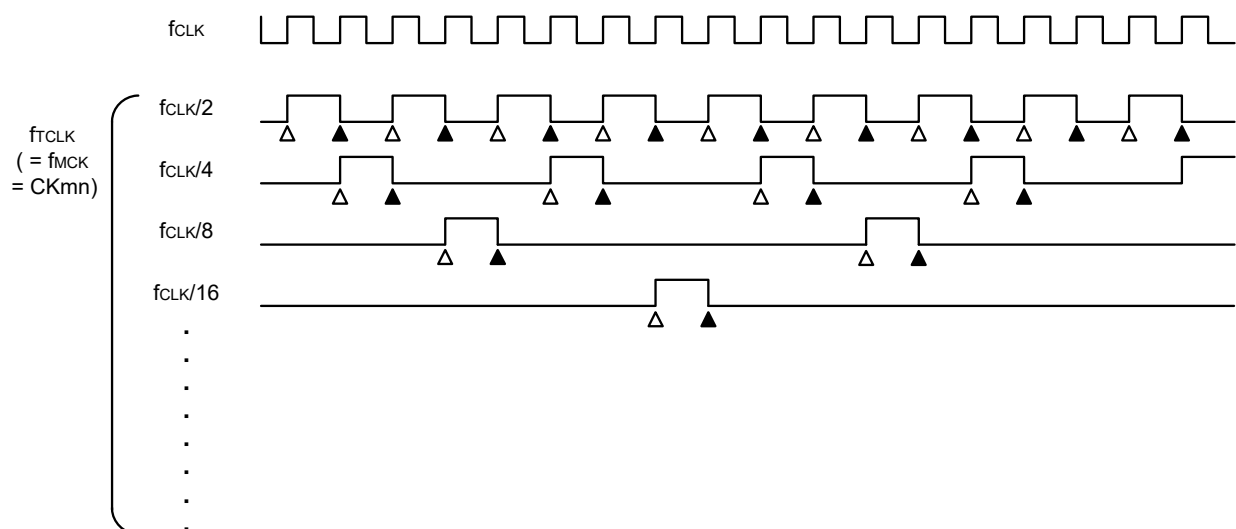
タイマ・アレイ・ユニットは、fCLK との同期をとって動作するよう設計されているため、カウント・クロック (fTCLK) のタイミングは次のようになります。

- (1) CKSmn0, CKSmn1 ビットで指定した動作クロック (fMCK) を選択した場合 (CCSmn = 0)

カウント・クロック (fTCLK) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、fCLK ~ fCLK/2¹⁵ となります。fCLK の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから fCLK の1周期分だけハイ・レベルになる信号となります。fCLK を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるため、カウント・クロックの立ち上がりから fCLK の1クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6 - 30 fCLK とカウント・クロック (fTCLK) のタイミング (CCSmn = 0時)



備考1. Δ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

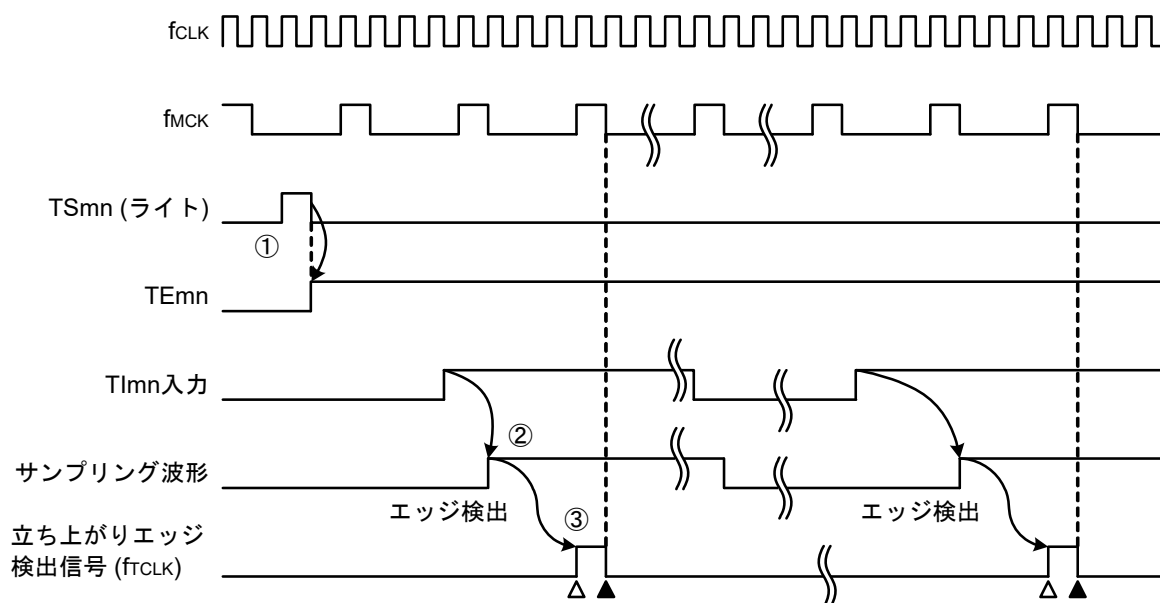
備考2. fCLK : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (fTCLK) は、TImn 端子からの入力信号の有効エッジを検出し、次の fMCK の立ち上がりと一緒に同期した信号になります。これは、実際の TImn 端子からの入力信号より fMCK の 1~2 クロック分遅れた信号になります (ノイズ・フィルタ使用時は、fMCK の 3~4 クロック分遅れます)。

また、タイマ・カウンタ・レジスタ mn (TCRmn) は、fCLK との同期をとるためにカウント・クロックの立ち上がりから fCLK の 1 クロック分遅れてカウントしますが、このことを便宜上 “TImn 端子からの入力信号の有効エッジでカウントする” と表現します。

図6-31 カウント・クロック (fTCLK) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)



① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。

② TImn 入力の立ち上がりが fMCK でサンプリングされます。

③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

備考2. fCLK : CPU/周辺ハードウェア・クロック

fMCK : チャネル n の動作クロック

備考3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デレイ・カウンタ, ワンショット・パルス出力機能の TImn 入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn) は、タイマ・チャンネル開始レジスタ m (TSM) の TSmn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作を、表 6-6 に示します。

表 6-6 カウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1 にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSmn ビットに 1 を書き込むことにより、TDRmn レジスタの値を TCRmn レジスタにロードします。 TImn 入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います。 TMRmn レジスタの STSmn2-STSmn0 ビットで選択した外部トリガ検出では、カウント動作を開始しません (6.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

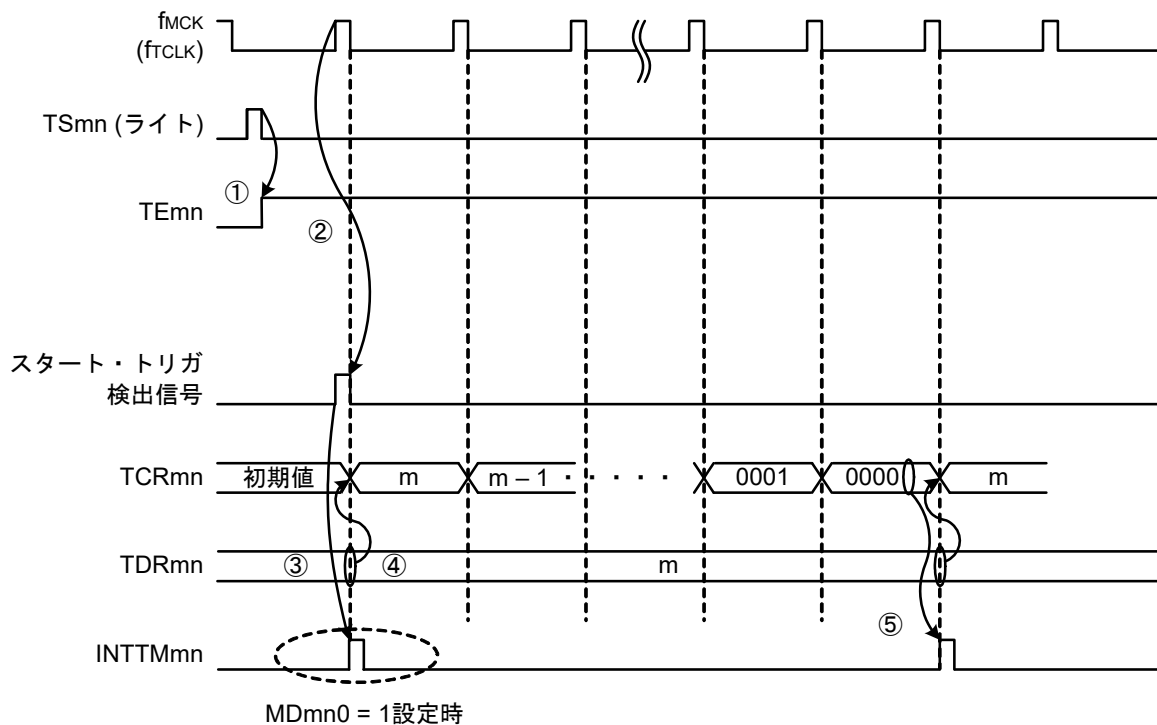
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。タイマ・カウンタ・レジスタ mn ($TCRmn$) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック ($fMCK$) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn ($TDRmn$) の値を $TCRmn$ レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ $TCRmn$ レジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック ($fMCK$) で INTTMmn を発生し、タイマ・データ・レジスタ mn ($TDRmn$) の値を $TCRmn$ レジスタにロードしてカウントを継続します。

図6-32 動作タイミング(インターバル・タイマ・モード)



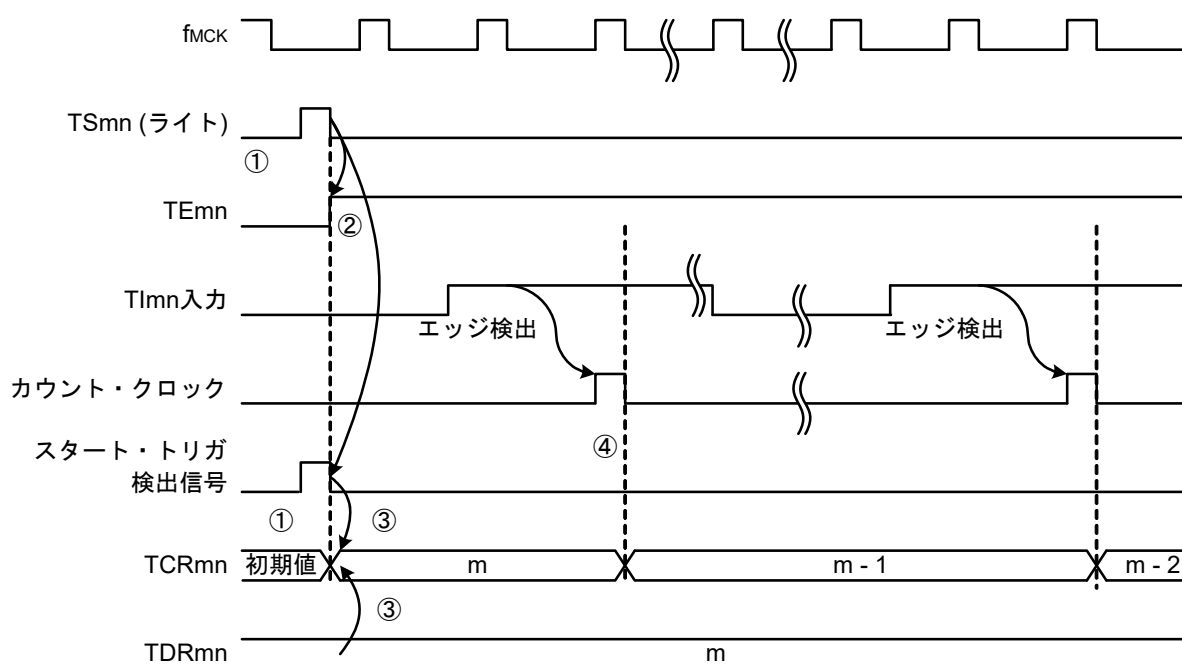
注意 カウント・クロックの1周期目の動作は $TSmn$ ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、 $MDmn0 = 1$ に設定することで、カウント開始時に割り込みを発生させることができます。

備考 $fMCK$, スタート・トリガ検出信号, $INTTMmn$ は、 $fCLK$ に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ①動作停止状態($TE_{mn} = 0$)の期間, タイマ・カウンタ・レジスタ mn (TCR_{mn})は, 初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより, 動作許可状態($TE_{mn} = 1$)となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に, TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn})の値をロードし, カウントを開始します。
- ④以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い, TCR_{mn} レジスタの値をダウン・カウントします。

図6-33 動作タイミング(イベント・カウンタ・モード)

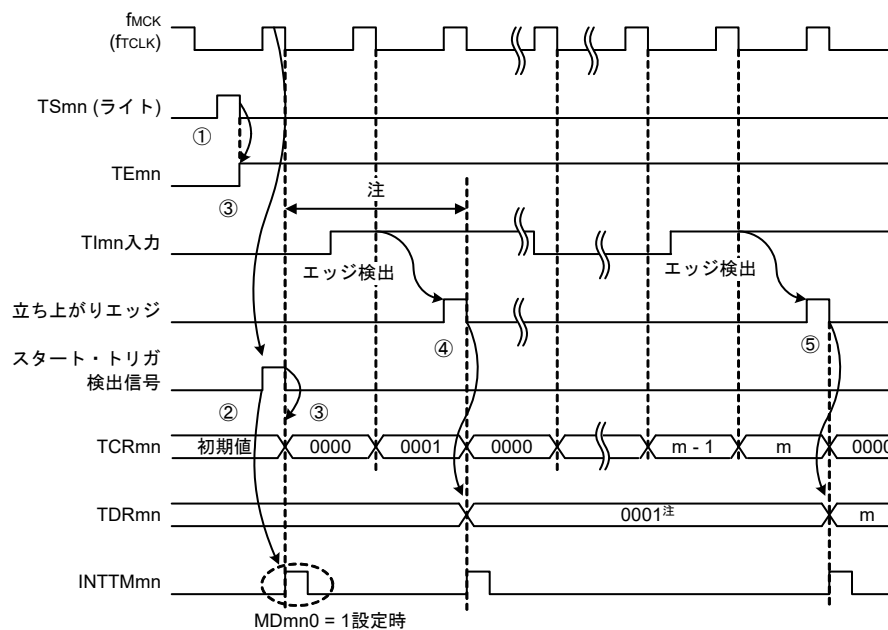


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は TI_{mn} 入力からさらに f_{MCK} の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック(f_{MCK})が非同期なためです。

(3) キャプチャ・モードの動作(入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウント・クロック (fMCK)で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmn レジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図6-34 動作タイミング(キャプチャ・モード：入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている(トリガがある)場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ(④)でのキャプチャ値はパルス間隔とならない(この例では0001: 2クロック分の間隔)ので、無視してください。

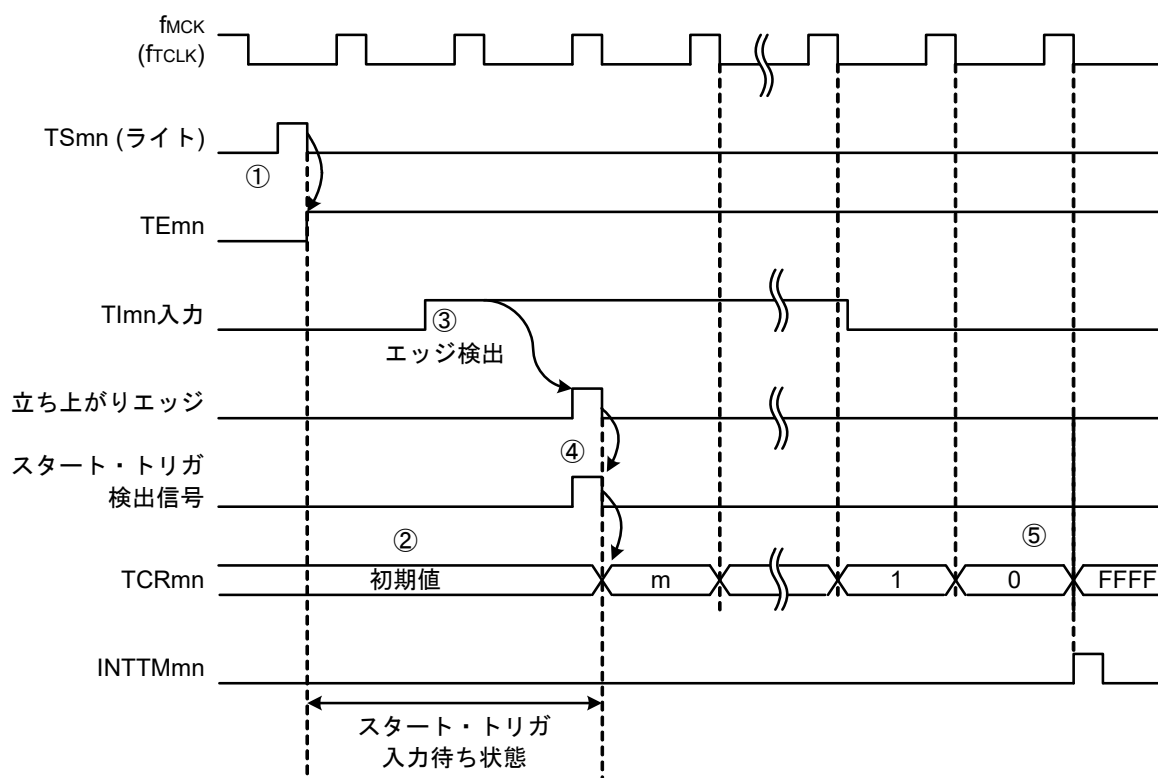
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みが発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態(TEmn = 1)となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn)は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値(m)をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図6 - 35 動作タイミング(ワンカウント・モード)

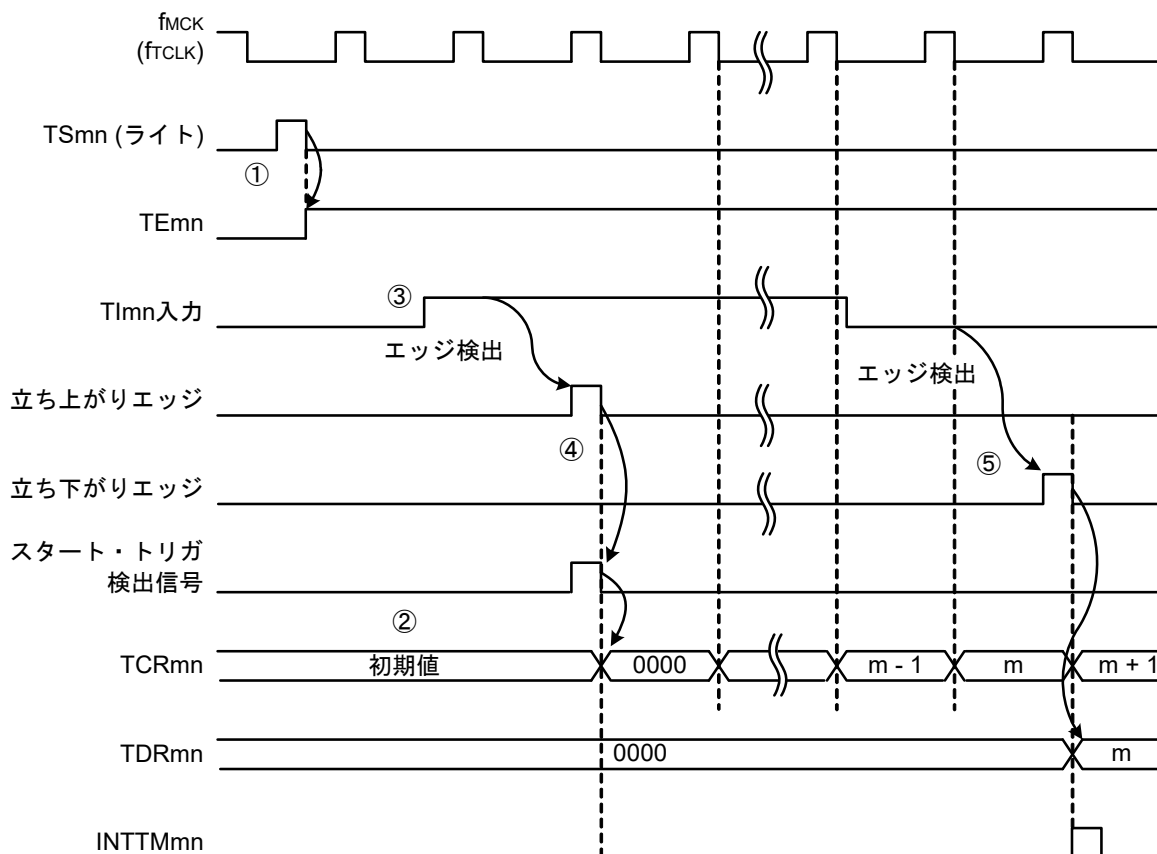


備考 このタイミングはノイズフィルタを使用しないときのタイミングです。ノイズフィルタをオンすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

(5) キャプチャ & ワンカウント・モードの動作(ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (TSMn)のTSMnビットに1を書き込むことにより、動作許可状態 ($TEmn = 1$)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000HをTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TImn入力の立ち下がりエッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図6-36 動作タイミング(キャプチャ & ワンカウント・モード: ハイ・レベル幅測定)

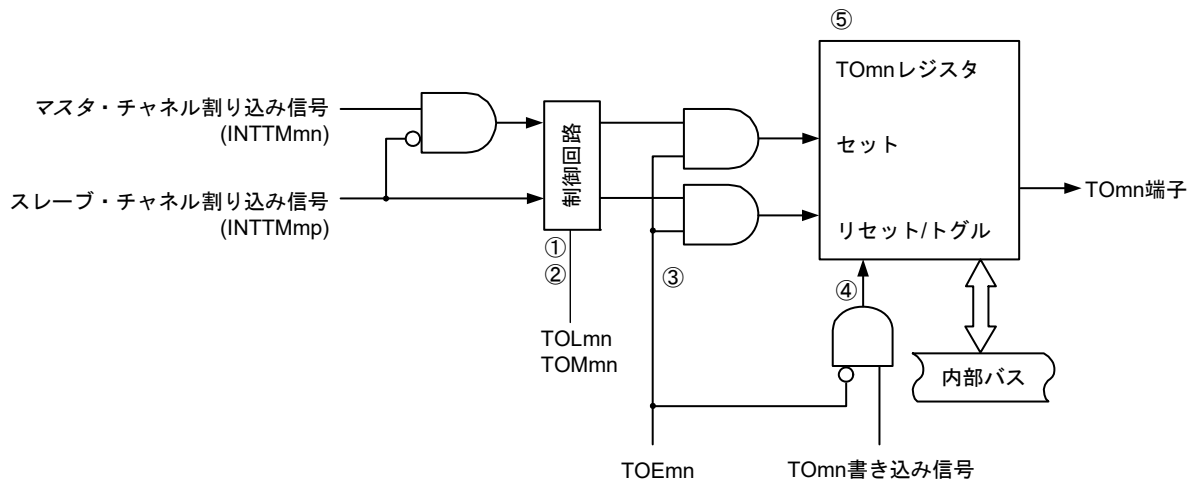


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック(fMCK)が非同期なためです。

6.6 チャンネル出力(TOmn端子)の制御

6.6.1 TOmn端子の出力回路の構成

図6-37 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

①TOMmn = 0 (マスタ・チャンネル出力モード)のときは、タイマ出力レベル・レジスタ m (TOLm)の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み)のみがタイマ出力レジスタ m (TOm)に伝えられます。

②TOMmn = 1 (スレーブ・チャンネル出力モード)のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。

このとき、TOLmレジスタが有効となり、次のように信号を制御します。

TOLmn = 0の場合 : 正論理出力 (INTTMmn → セット, INTTMmp → リセット)

TOLmn = 1の場合 : 負論理出力 (INTTMmn → リセット, INTTMmp → セット)

また、INTTMmnとINTTMmpが同時に発生した場合(PWM出力の0%出力時)は、INTTMmp (リセット信号)が優先され、INTTMmn (セット信号)はマスクされます。

★ ③タイマ出力許可状態 (TOEmn = 1) で、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。TOmレジスタへの書き込み (TOmn書き込み信号)は無効となります。

また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。

TOmn端子の出力レベルを初期化する場合は、タイマ動作停止 (TOEmn = 0)に設定しTOmレジスタに値を書き込む必要があります。

★ ④タイマ出力禁止状態 (TOEmn = 0) で、対象チャンネルのTOmnビットへの書き込み (TOmn書き込み信号)が有効となります。タイマ出力禁止状態 (TOEmn = 0)のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)はTOmレジスタに伝えられません。

⑤TOmレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

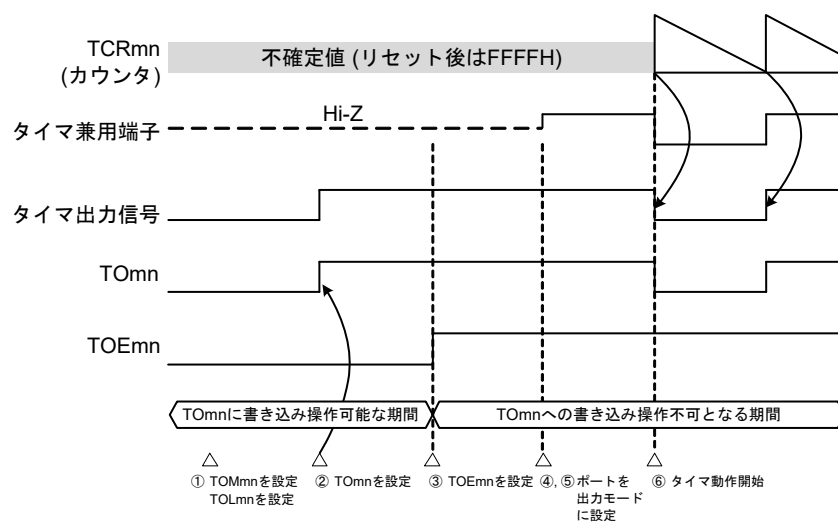
(備考は次ページにあります。)

- 備考 m : ユニット番号 (m = 0)
 n : チャンネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号
 n < p ≤ 7

6.6.2 TOmn 端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6-38 タイマ出力設定から動作開始までの状態変化



①タイマ出力の動作モードを設定します。

- ・TOMmnビット(0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- ・TOLmnビット(0 : 正論理出力, 1 : 負論理出力)

②タイマ出力レジスタ m (TOm)を設定することにより, タイマ出力信号が初期状態に設定されます。

③TOEmnビットに1を書き込み, タイマ出力動作を許可します (TOm レジスタへの書き込みは不可となります)。

④ポート・モード・コントロール・レジスタ (PMCxx)でポートをデジタル入出力に設定します。

⑤ポートの入出力設定を出力に設定します(6.3.16 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑥タイマを動作許可にします (TSmn = 1)。

- 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.6.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLmレジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタ mn (TCRmn), タイマ・データ・レジスタ mn (TDRmn)の動作)は, TOMn 出力回路とは独立しています。よって, タイマ出力レジスタ m (TOM), タイマ出力許可レジスタ m (TOEm), タイマ出力レベル・レジスタ m (TOLm)の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn 端子から出力するためには, 6.8, 6.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み(INTTMmn)近辺で, TOMレジスタを除く TOEmレジスタ, TOLmレジスタの設定値変更を行うと, タイマ割り込み(INTTMmn)信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み(INTTMmn)信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn 端子に出力される波形が異なる場合があります。

備考 m : ユニット番号(m = 0), n : チャンネル番号(n = 0-7)

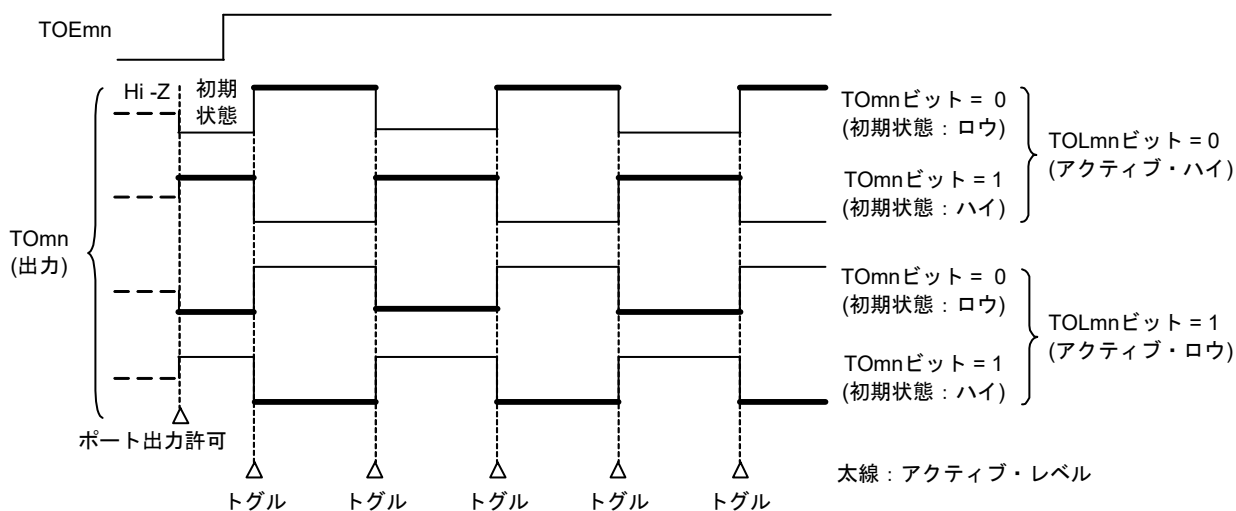
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止(TOEmn = 0)の状態ではタイマ出力レジスタ m (TOM)に書き込みを行い、初期レベル変更後、タイマ出力許可状態(TOEmn = 1)に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード(TOMmn = 0)設定で動作を開始した場合

マスタ・チャンネル出力モード(TOMmn = 0)の時、タイマ出力レベル・レジスタ m (TOLm)の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6 - 39 トグル出力時(TOMmn = 0)のTOmn端子出力状態



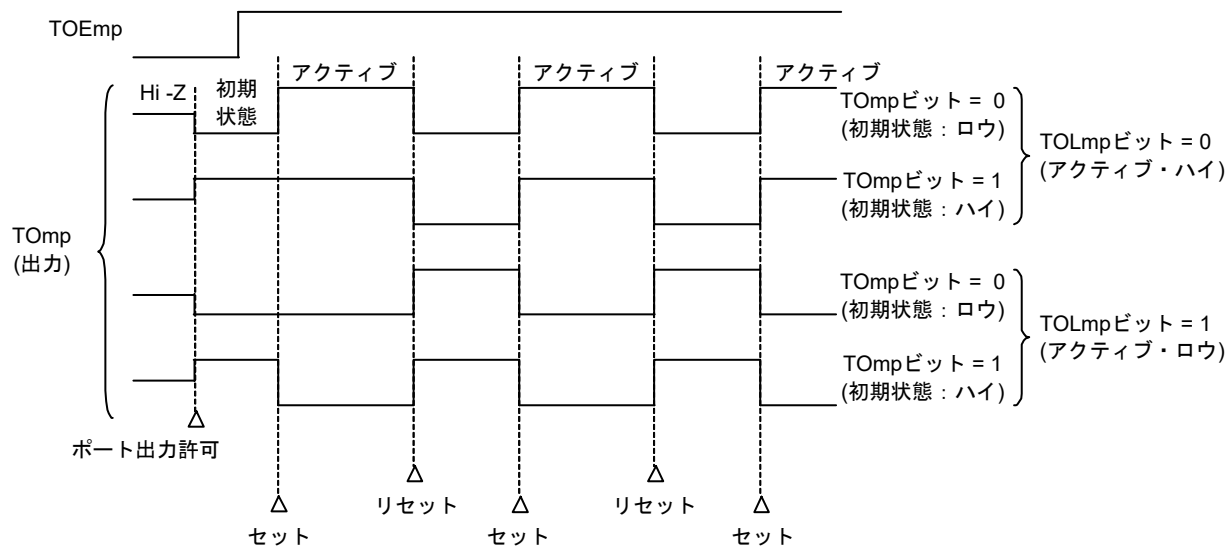
備考1. トグル : TOmn端子の出力状態を反転

備考2. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

(b) スレーブ・チャンネル出力モード (TOMmp = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOMmp = 1) の時、タイマ出力レベル・レジスタ m (TOLm) の設定によりアクティブ・レベルを決定します。

図6 - 40 PWM出力時 (TOMmp = 1) のTOmp端子出力状態



備考1. セット：TOmp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号 (m = 0), p：チャンネル番号 (p = 1-7)

(3) TOmn端子のスレーブ・チャンネル出力モード(TOMmn = 1)での動作について

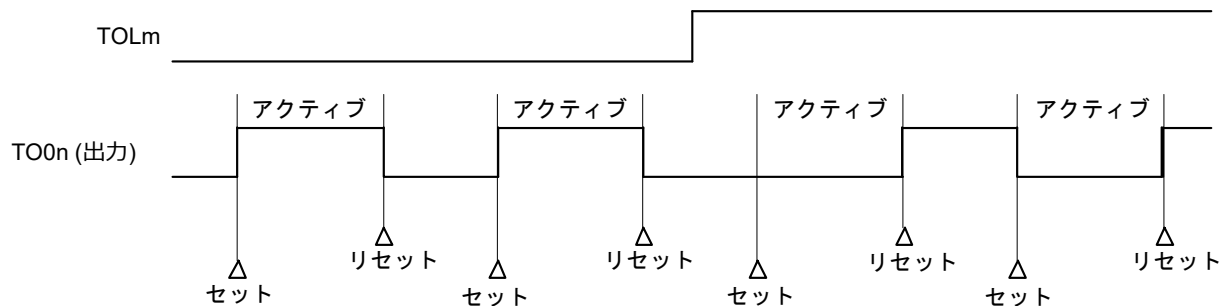
(a) タイマ動作中にタイマ出力レベル・レジスタ m (TOLm)の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOmn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中(TEmn = 1)にTOLmレジスタの値を変更した場合の動作を次に示します。

★

図6 - 41 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット：TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0), n：チャンネル番号(n = 0-7)

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み(INTTMmn)発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

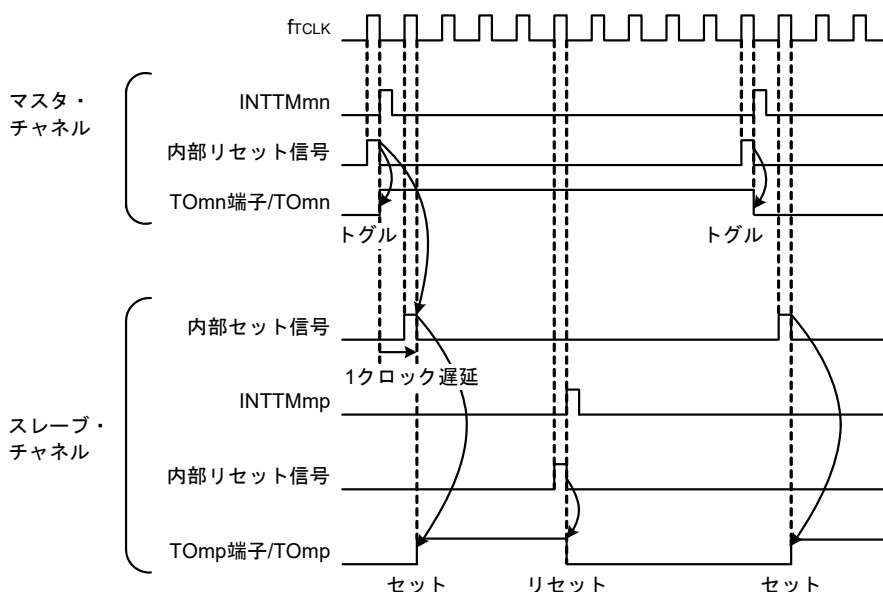
マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図6 - 42に示します。

マスタ・チャンネル：TOEmn = 1, TOMmn = 0, TOLmn = 0

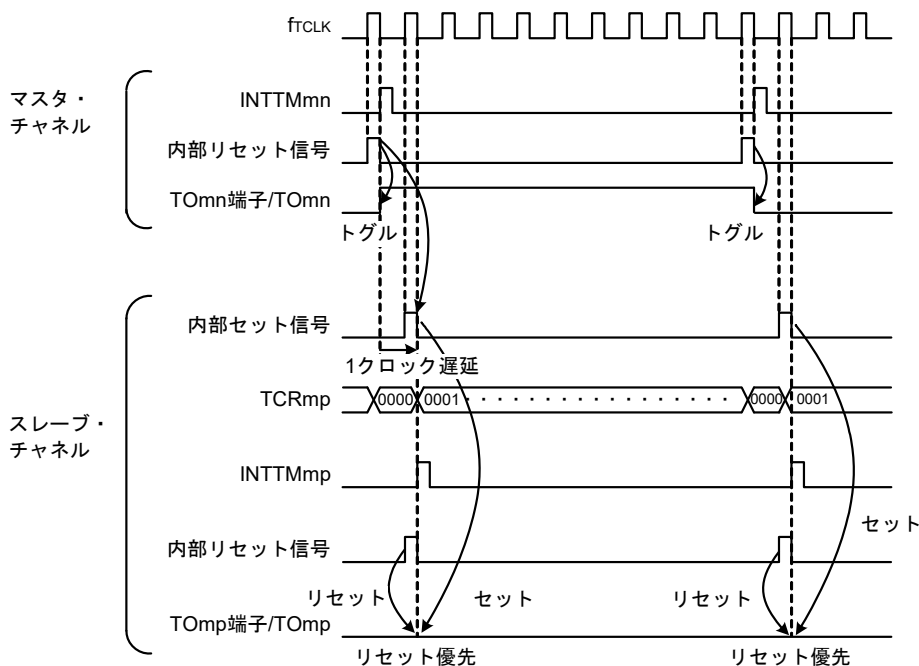
スレーブ・チャンネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6-42 セット/リセット・タイミング動作状態

(1)基本動作タイミング



(2) 0%デューティ時の動作タイミング



備考1. 内部リセット信号 : TO_{nm} 端子のリセット/トグル信号

内部セット信号 : TO_{nm} 端子のセット信号

備考2. m : ユニット番号 (m = 0, 1)

n : チャンネル番号

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

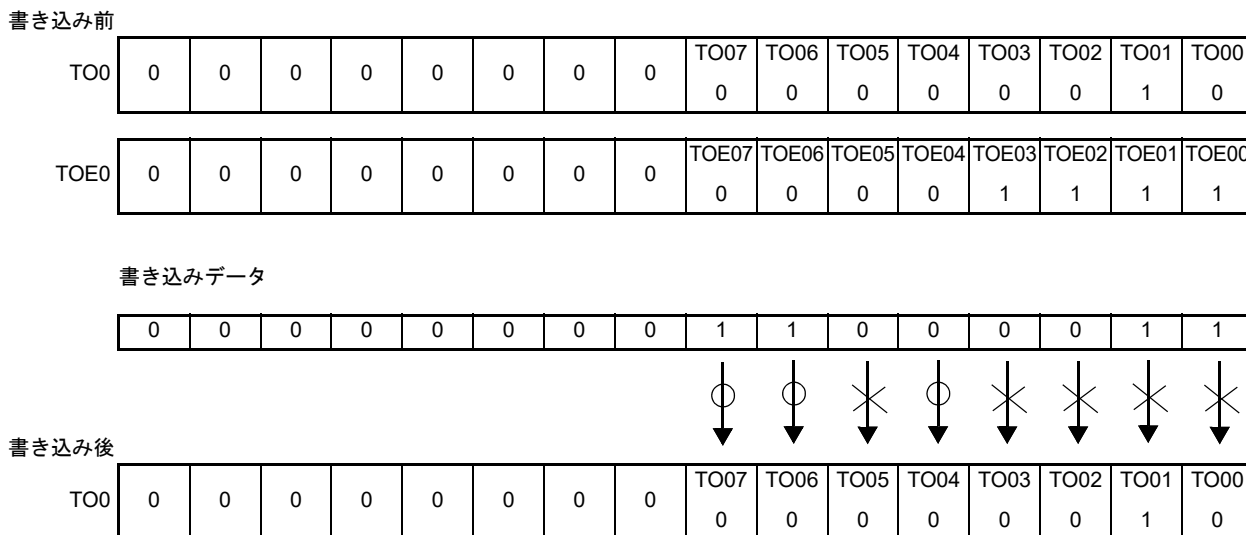
p : スレーブ・チャンネル番号

n < p ≤ 7

6.6.4 TOmnビットの一括操作

タイマ出力レジスタ m (TOm)には、タイマ・チャンネル開始レジスタ m (TSm)と同様に、1レジスタに全チャンネル分の設定ビット(TOmn)が配置されています。よって、全チャンネルのTOmnビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力(TOmn)のみTOmnビットへの書き込み可能(TOEmn = 0)とすることによって任意のビットのみ操作することが可能です。

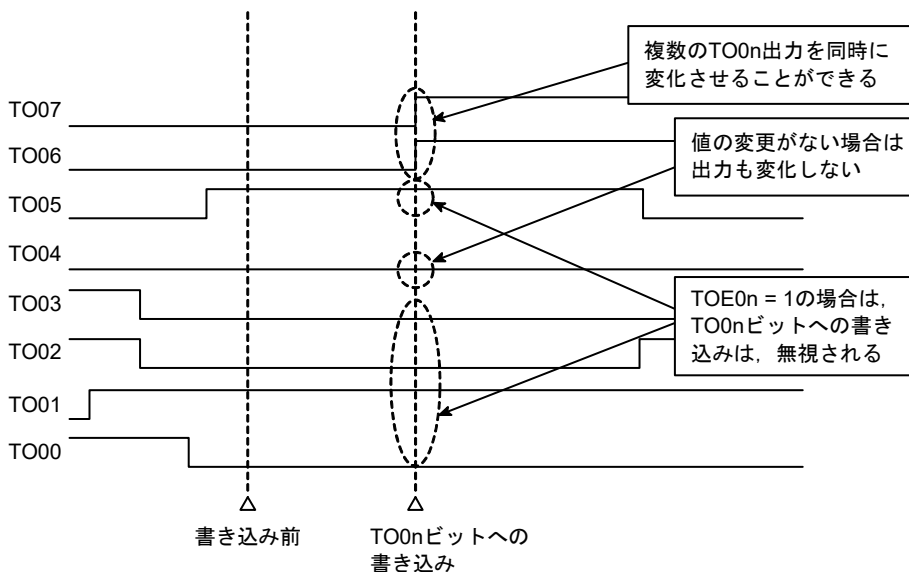
図6-43 TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn (チャンネル出力)は、書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6-44 TO0nビットの一括操作によるTO0nの端子状態



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.6.5 カウント動作開始時のタイマ割り込みと TOmn 端子出力について

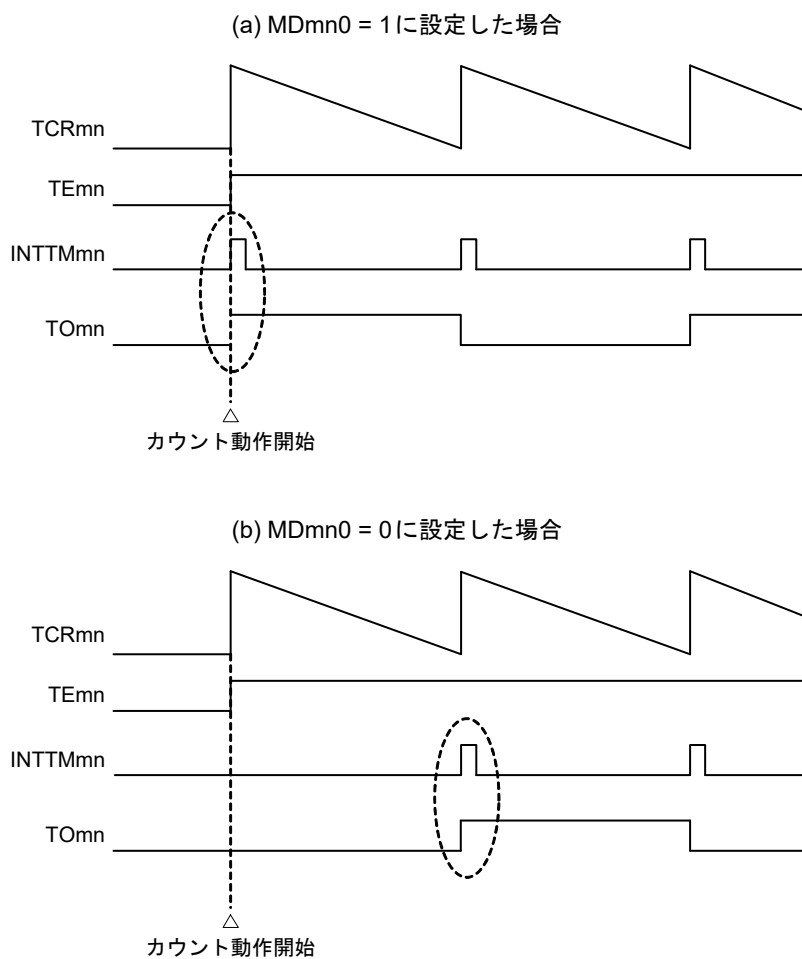
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6-45 カウント動作開始時のタイマ割り込み、TOmn 出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmn も変化しません。1周期をカウント後、INTTMmn を出力し、TOmn がトグル動作します。

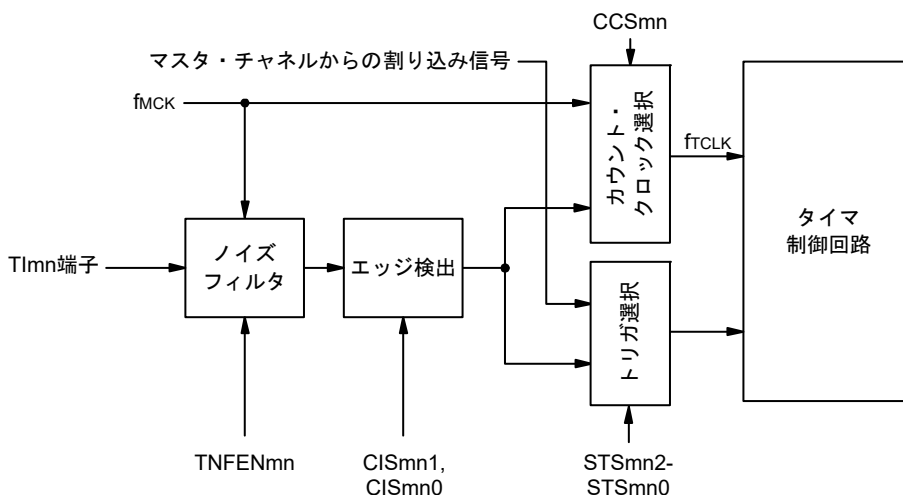
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

6.7 タイマ入力(Tlmn)の制御

6.7.1 Tlmnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

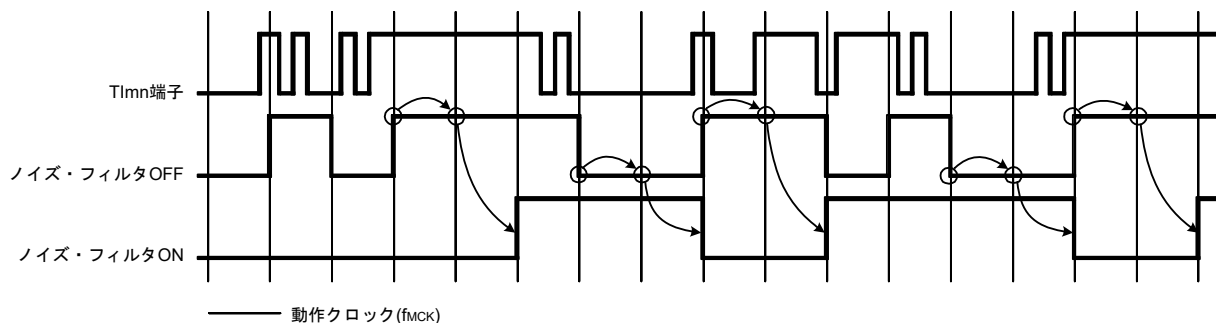
図6 - 46 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (fMCK) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。以下に、Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6 - 47 Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるサンプリング波形



注意 Tlmn端子の入力波形は、ノイズ・フィルタ ON/OFFの動作を説明するためのものであり、実際は、34.4または35.4 AC特性に示すTlmn入力ハイ・レベル幅、ロウ・レベル幅に従って入力してください。

6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み)を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み)の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\bullet \text{ TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{(\text{TDRmnの設定値} + 1) \times 2\}$$

タイマ・カウンタ・レジスタ mn (TCRmn)はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSM)のチャネル・スタート・トリガ・ビット (TSMn, TSHm1, TSHm3)に1を設定後、最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn)のMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

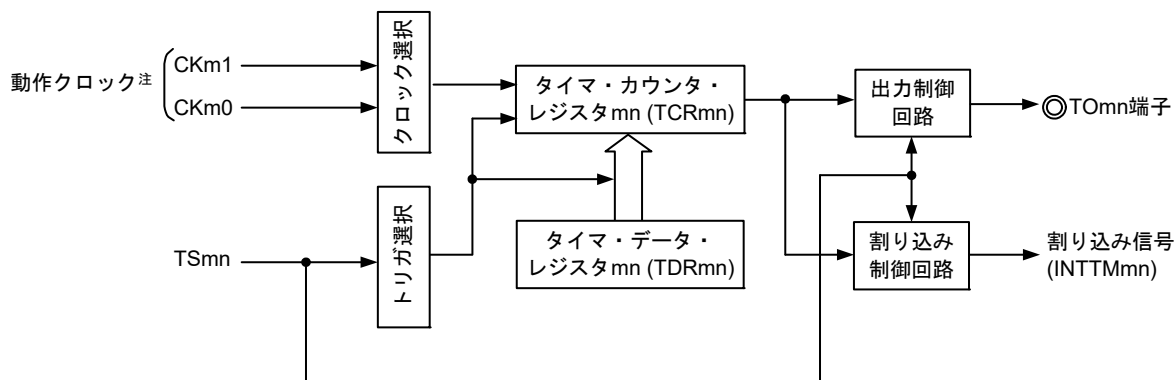
その後、TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000H になったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降、同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は、次の周期から有効となります。

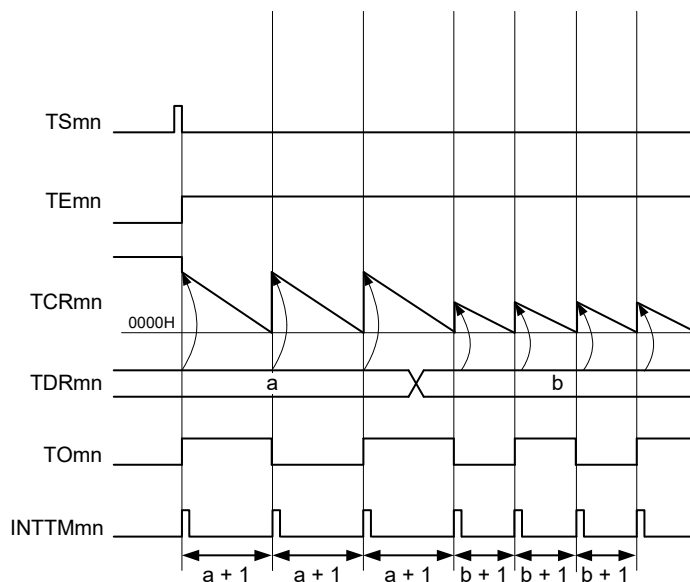
備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

図6-48 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-49 インターバル・タイマ／方形波出力としての動作の基本タイミング例(MDmn0 = 1)



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

備考2. Tsmn : タイマ・チャンネル開始レジスタ m (Tsm) のビット n

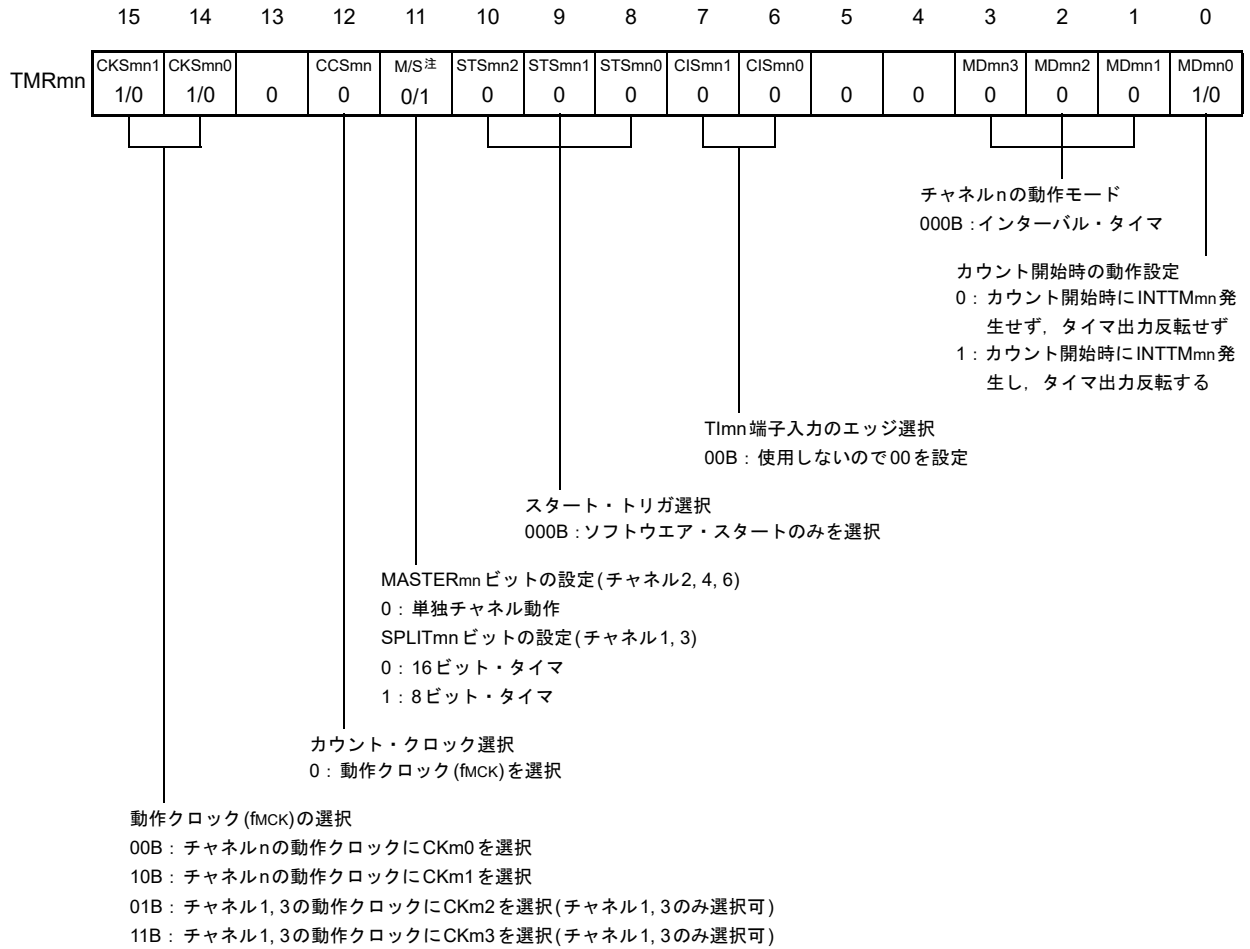
TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

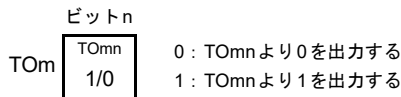
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

TOMn : TOMn端子出力信号

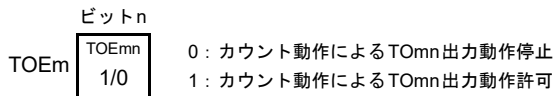
図6-50 インターバル・タイマ/方形波出力時のレジスタ設定内容例
(a) タイマ・モード・レジスタ mn (TMRmn)



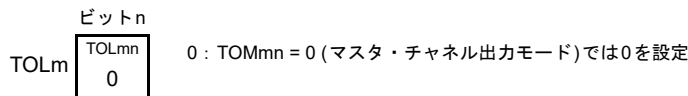
(b) タイマ出力レジスタ m (TOM)



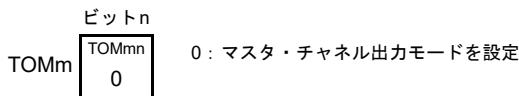
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定
 備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-51 インターバル・タイマ／方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネ ル初期 設定	タイマ・モード・レジスタmn (TMRmn)を設定する(チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm)のTOMmnビットに0(マスタ・チャンネル出力モード)を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定する	TOmn端子はHi-Z出力状態
動作 開始	TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmnは変化しない
	(TOmn出力を使用する場合で, かつ動作再開時のみTOEmnビットに1を設定する) TSmn (TSHm1, TSHm3)ビットに1を設定する TSmn (TSHm1, TSHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
動作中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOm, TOEmレジスタは, 設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止	カウンタ (TCRmn)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3)ビットに1を設定する TTmn (TTHm1, TTHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHmn) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持
	TOEmnビットに0を設定し, TOmnビットに値を設定する	TOmn端子はTOmnビットに設定したレベルを出力

動作再開

(備考は次ページにあります。)

図6-52 インターバル・タイマ／方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmn ビットに0を設定する	TOmn 端子出力レベルはポート機能により保持される。
	TOmn 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.2 外部イベント・カウンタとしての動作

TImn 端子入力の有効エッジ検出(外部イベント)をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmn の設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。タイマ・チャンネル開始レジスタ m (TSm) の任意のチャンネル・スタート・トリガ・ビット (TSmn, TSHm1, TSHm3) に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。

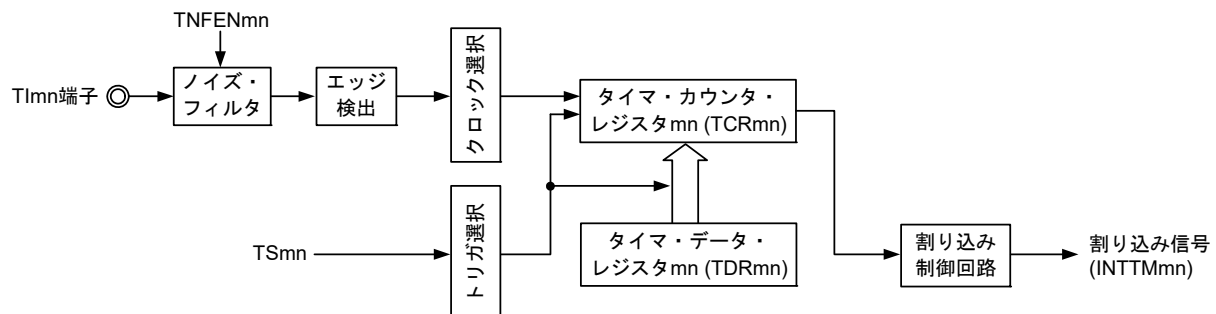
TCRmn レジスタは TImn 端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000H になったら、再び TDRmn レジスタの値をロードして、INTTMmn を出力します。

以降、同様の動作を続けます。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

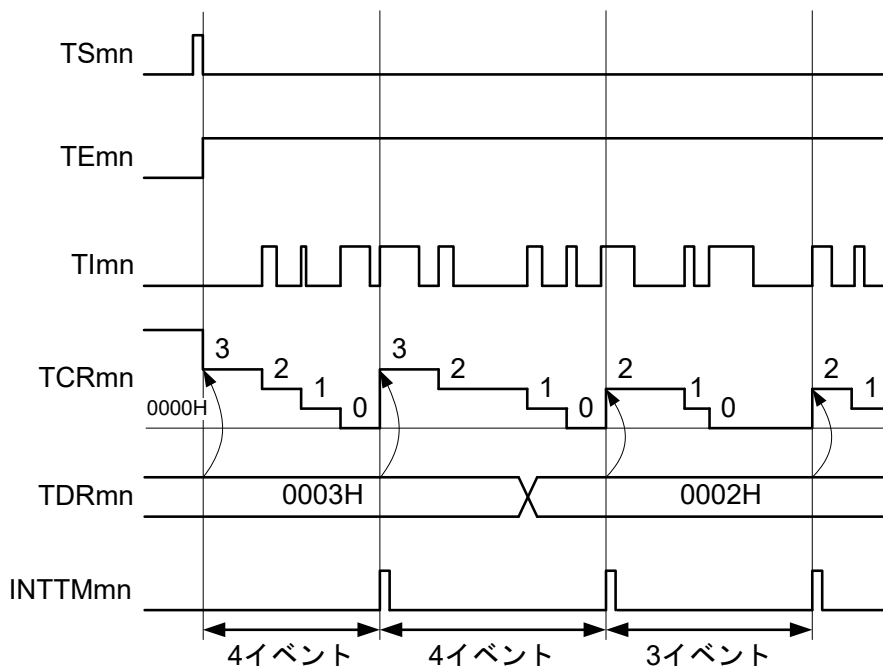
TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

図6-53 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6 - 54 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

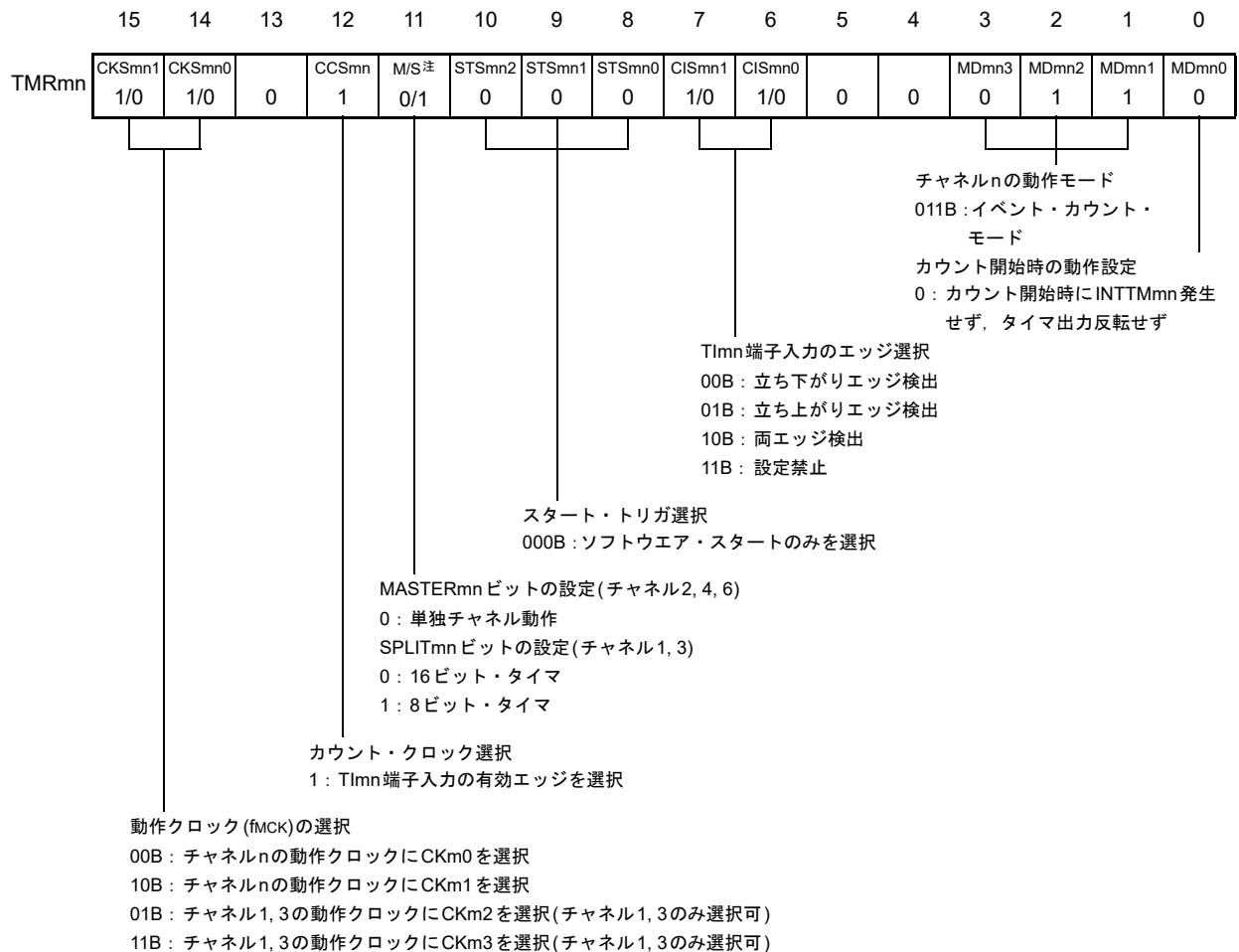
TImn : TImn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

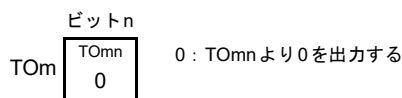
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6 - 55 外部イベント・カウンタ・モード時のレジスタ設定内容例

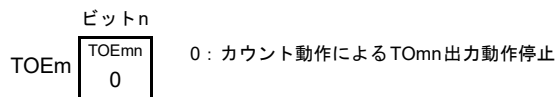
(a) タイマ・モード・レジスタ mn (TMRmn)



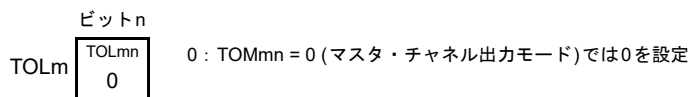
(b) タイマ出力レジスタ m (TOm)



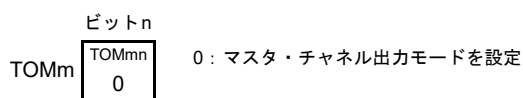
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6 - 56 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にカウント数を設定する タイマ出力許可レジスタm (TOEm)のTOEmnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.3 入力パルス間隔測定としての動作

Tlmn 有効エッジでカウント値をキャプチャし、Tlmn 入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作(TSmn = 1)をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn 入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn)はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM)のチャンネル・スタート・トリガ・ビット (TSmn)に1を設定するとTCRmn レジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

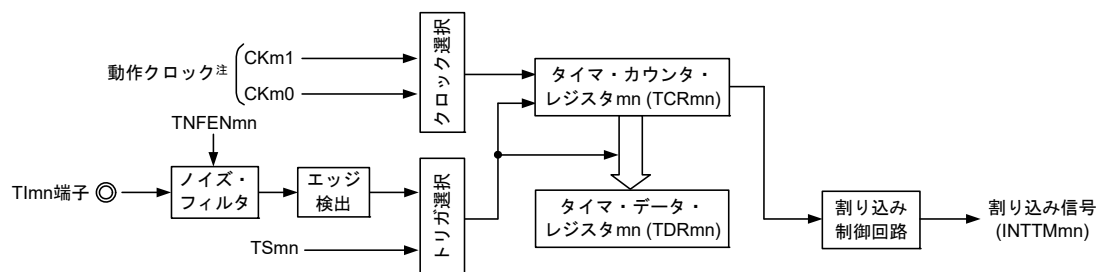
Tlmn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn (TDRmn)に転送(キャプチャ)すると同時に、TCRmn レジスタを0000Hにクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットが1にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

図6-57 入力パルス間隔測定としての動作のブロック図

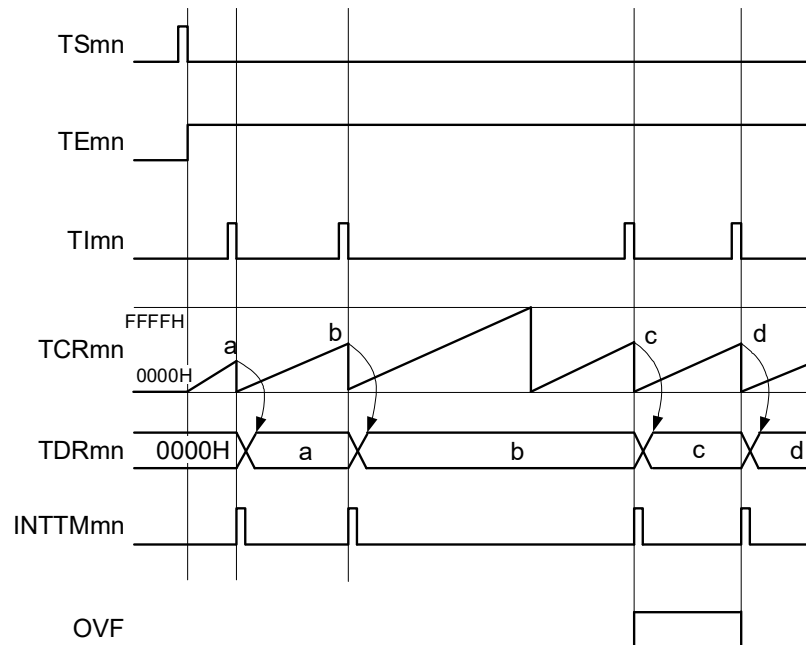


注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

★

図6 - 58 入力パルス間隔測定としての動作の基本タイミング例(MDmn0 = 0)



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

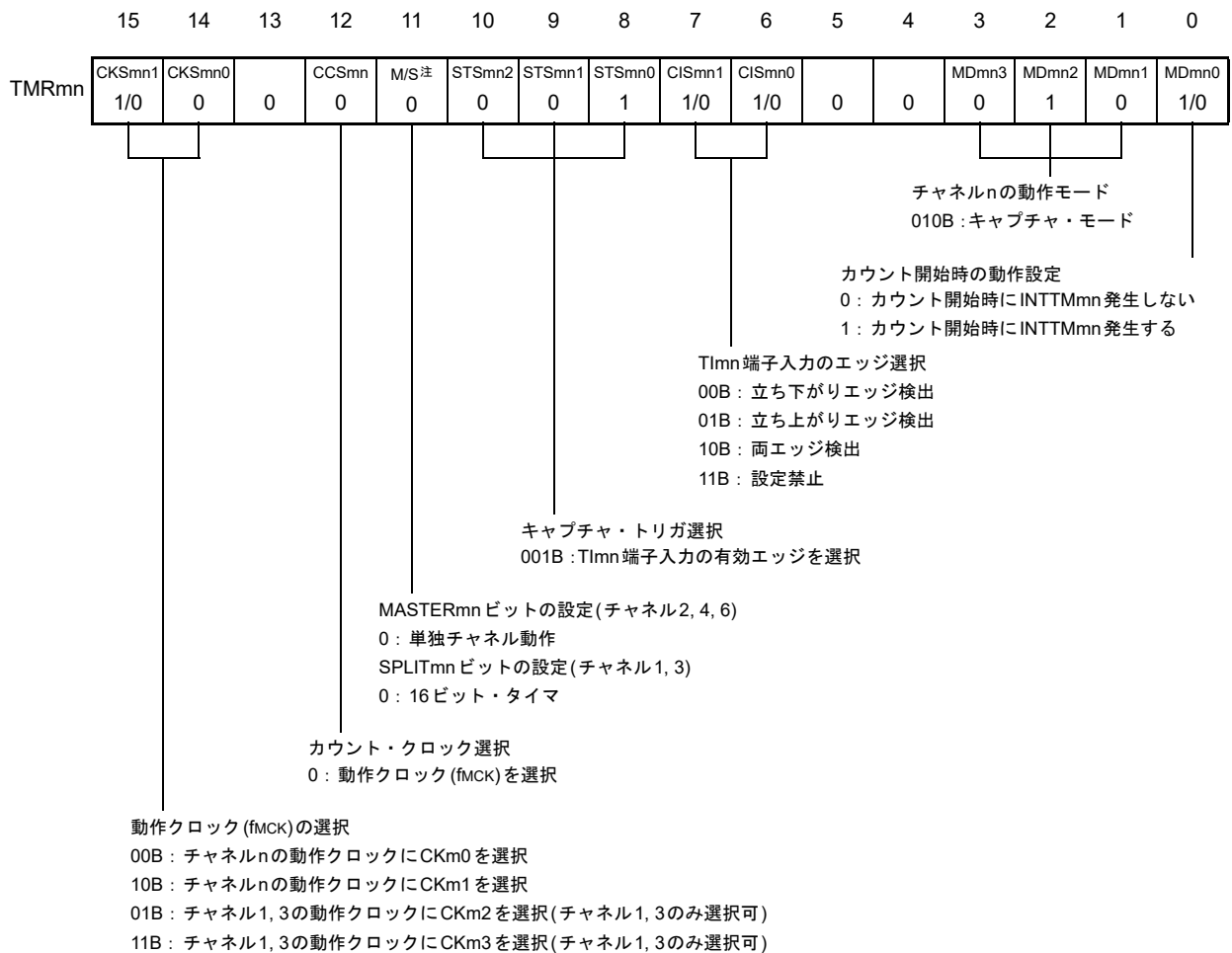
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

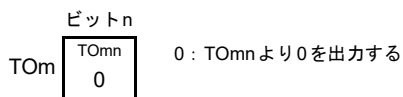
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図6 - 59 入力パルス間隔測定時のレジスタ設定内容例

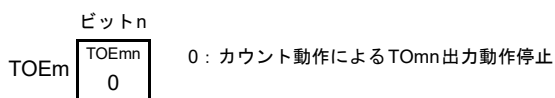
(a) タイマ・モード・レジスタ mn (TMRmn)



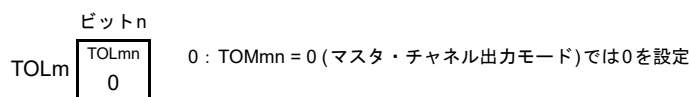
(b) タイマ出力レジスタ m (TOM)



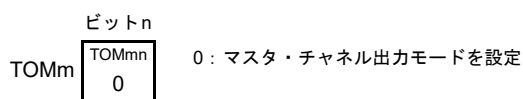
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmn ビット
 TMRm1, TMRm3の場合 : SPLITmn ビット
 TMRm0, TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

図6-60 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ m の TAUmEN ビットに 1 を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応する ビットに 0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので, 自動的に 0 に 戻る
	動作 中	TMRmn レジスタは, CISmn1, CISmn0 ビットのみ設定 値変更可能 TDRmn レジスタは, 常に読み出し可能 TCRmn レジスタは, 常に読み出し可能 TSRmn レジスタは, 常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmn ビットは, 設定値変 更禁止
	動作 停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので, 自動的に 0 に 戻る
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルの SFR も初期化さ れる

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.4 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC)のビット1 (ISC1)を1に設定してください。また、以降の説明では「TImn」を「RxD0」と読み替えてください。

TImn端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImnの信号幅(ハイ・レベル幅／ロウ・レベル幅)を測定することができます。TImnの信号幅は次の式で求めることができます。

$$\text{TImn入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 TImn端子入力は、タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn)はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM)のチャンネル・スタート・トリガ・ビット (TSMn)に1を設定すると、TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ(ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ)を検出すると、カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後、キャプチャ有効エッジ(ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ)を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn)に転送すると同時にINTTmnを出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは、「TDRmnレジスタに転送した値 + 1」の値で停止し、TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmnレジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

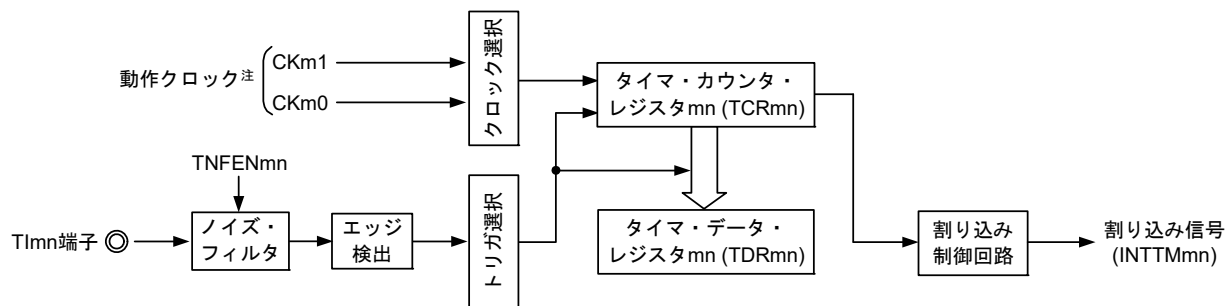
TImn端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は、TImn端子入力の信号幅測定を目的とするため、TEmn = 1期間中のTSMnビットのセット(1)は使用できません。

TMRmnレジスタのCISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

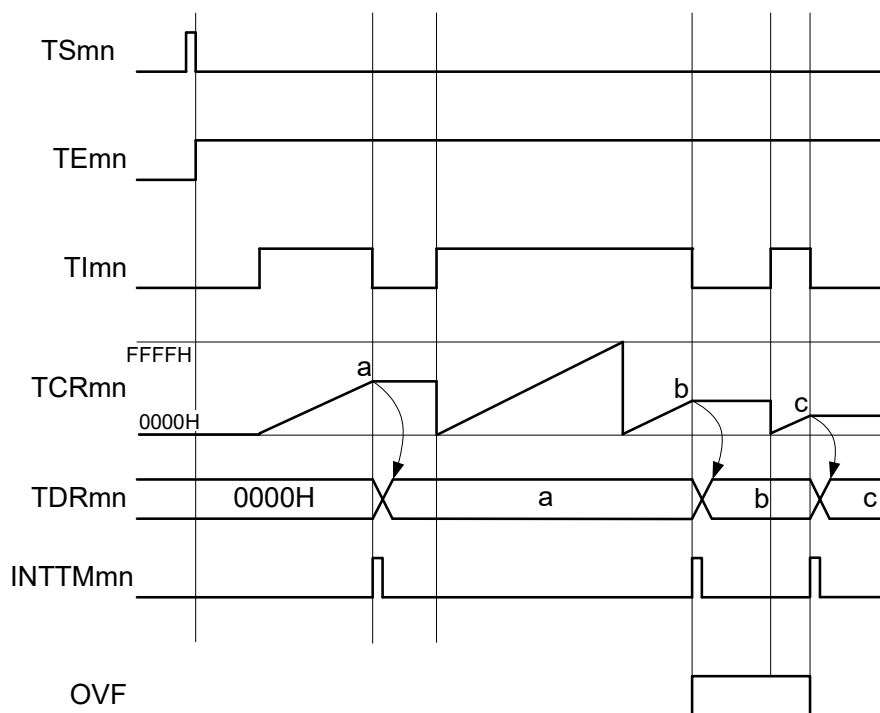
TMRmnレジスタのCISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図6-61 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-62 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm)のビットn

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm)のビットn

TImn : TImn 端子入力信号

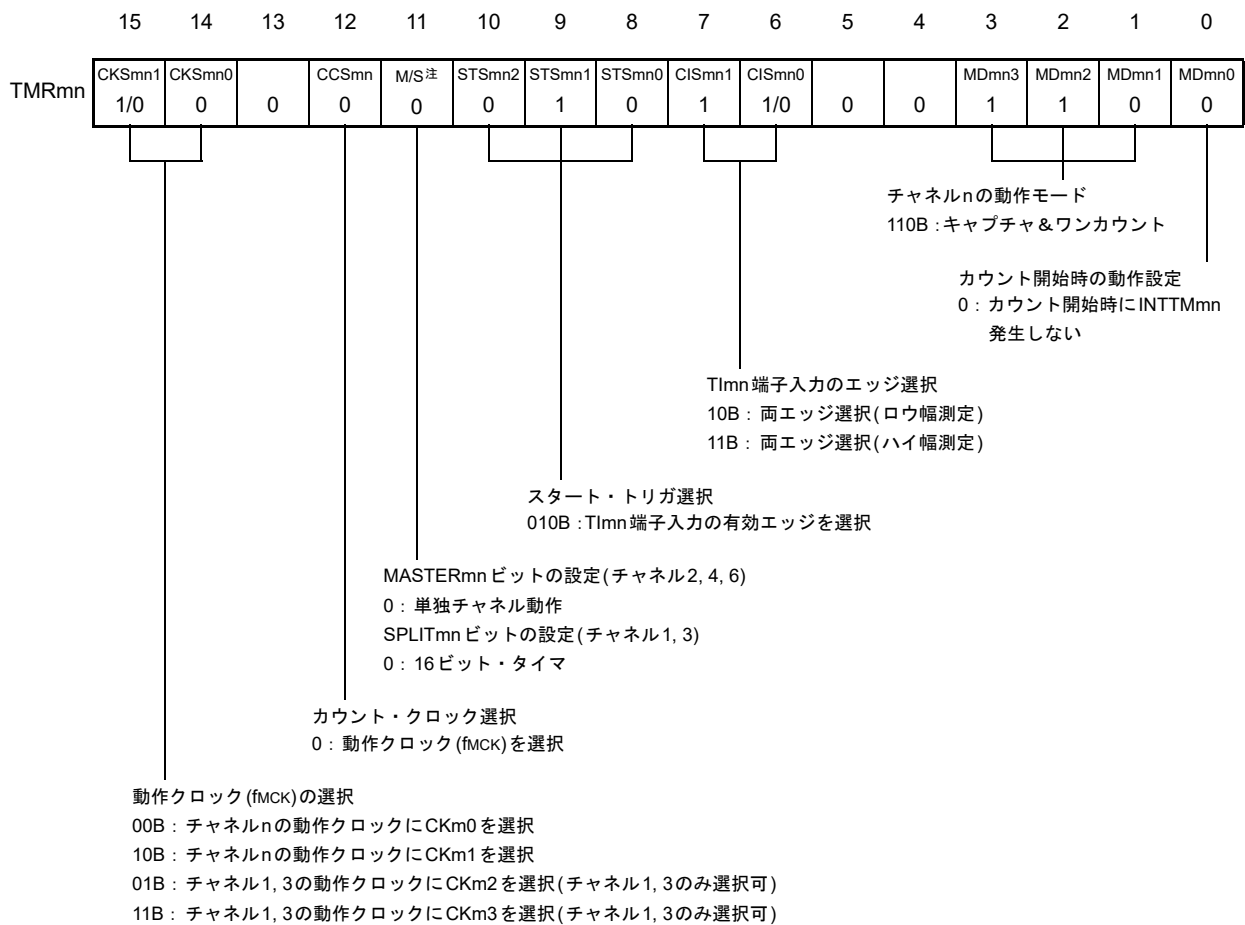
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

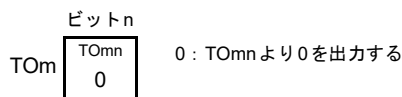
OVf : タイマ・ステータス・レジスタ mn (TSRmn)のビット0

図6-63 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

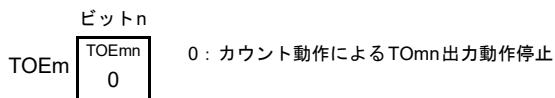
(a) タイマ・モード・レジスタ mn (TMRmn)



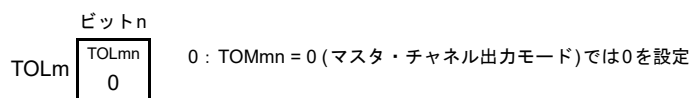
(b) タイマ出力レジスタ m (TOM)



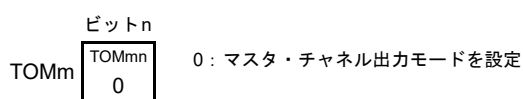
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-64 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ mn (TMRmn)を設定する (チャンネルの動作モード確定) TOEmnビットに0を設定し, TOMnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタ mn (TCRmn)を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn)は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタ mn (TDRmn)に転送し, INTTmnnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタ mn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.8.5 デイレイ・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出 (外部イベント) でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することができます。

また、TE_{mn} = 1 の期間中に、ソフトウェア操作で TS_{mn} = 1 に設定することで、ダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

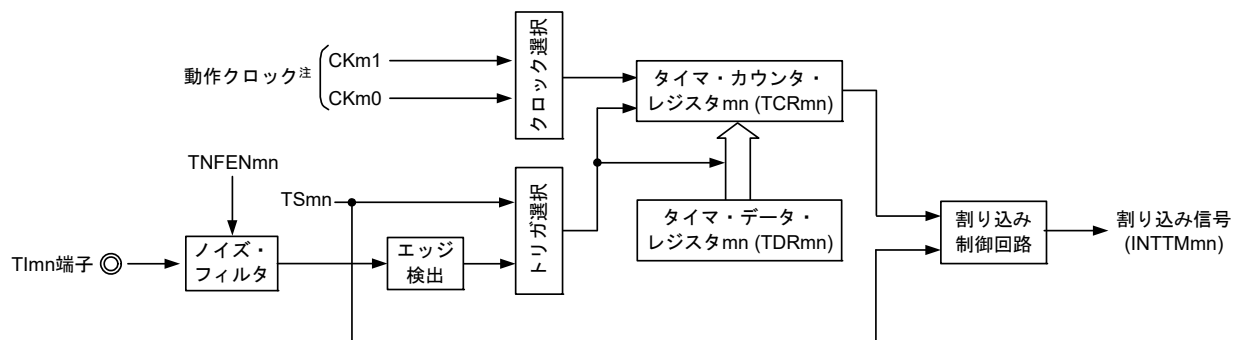
タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ_m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1 となり Tl_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、Tl_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ_{mn} (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000H になったら INTTM_{mn} を出力し、次の Tl_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

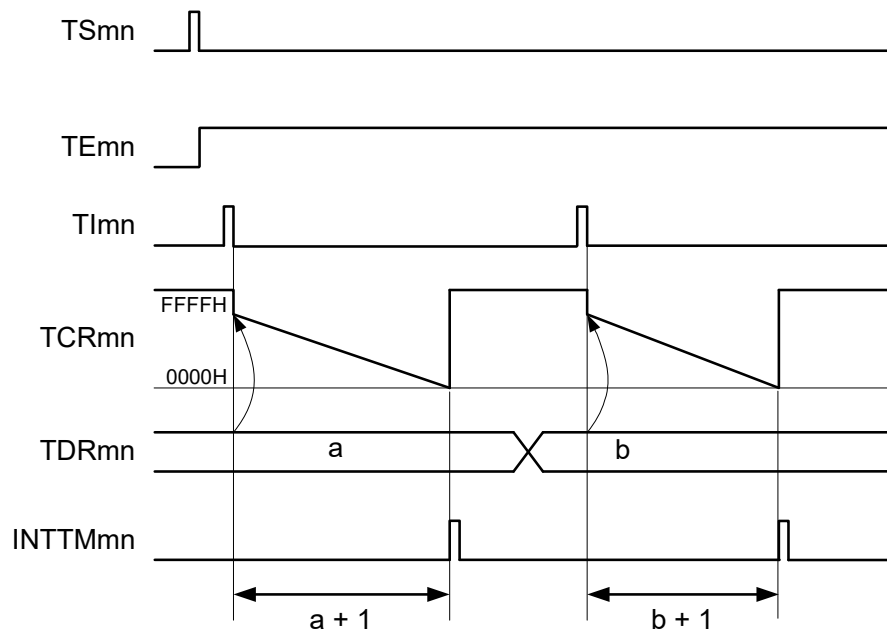
図6-65 デイレイ・カウンタとしての動作のブロック図



注 チャンネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-66 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

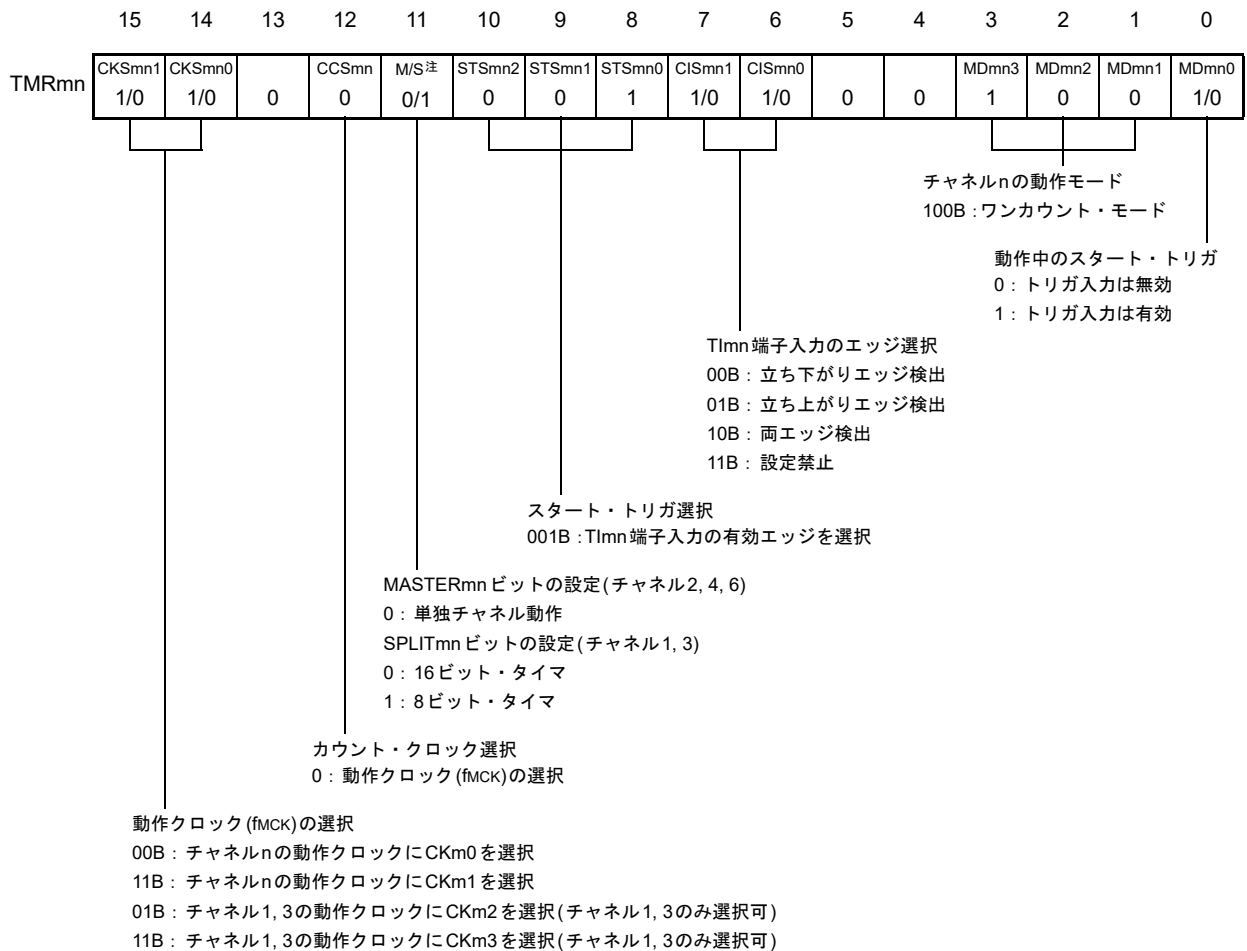
Tlmn : Tlmn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

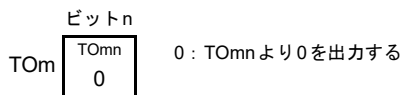
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6 - 67 ディレイ・カウンタ機能時のレジスタ設定内容例

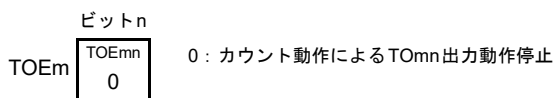
(a) タイマ・モード・レジスタ mn (TMRmn)



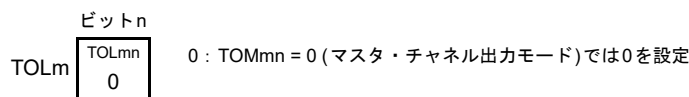
(b) タイマ出力レジスタ m (TOM)



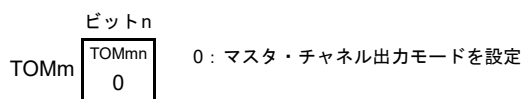
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmn ビット

TMRm1, TMRm3の場合 : SPLITmn ビット

TMRm0, TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図6-68 デイレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャンネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn)に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, スタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)待ち状態となる
	次のスタート・トリガ検出によって, ダウン・カウンタを開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ (TCRmn)はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)までTCRmn = 0000Hでカウント動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

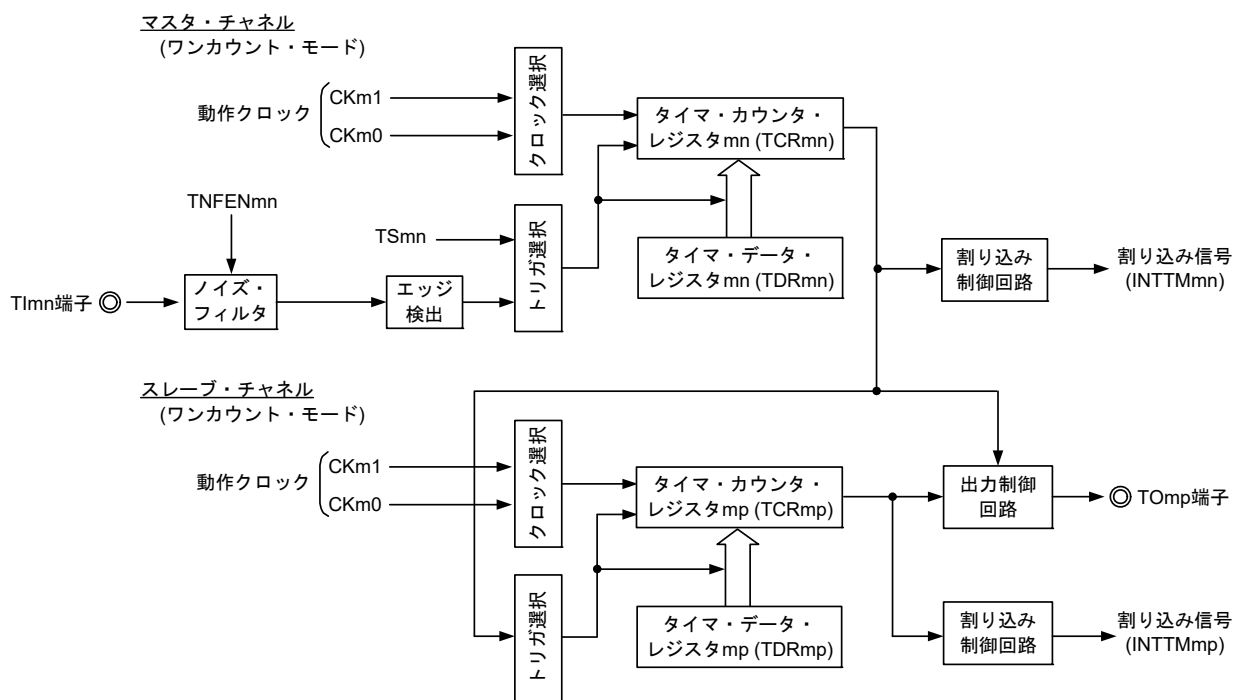
スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn 端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルの TDRmn レジスタとスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、カウント動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると、ロード・タイミングと競合して不正波形が出力される場合があります。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

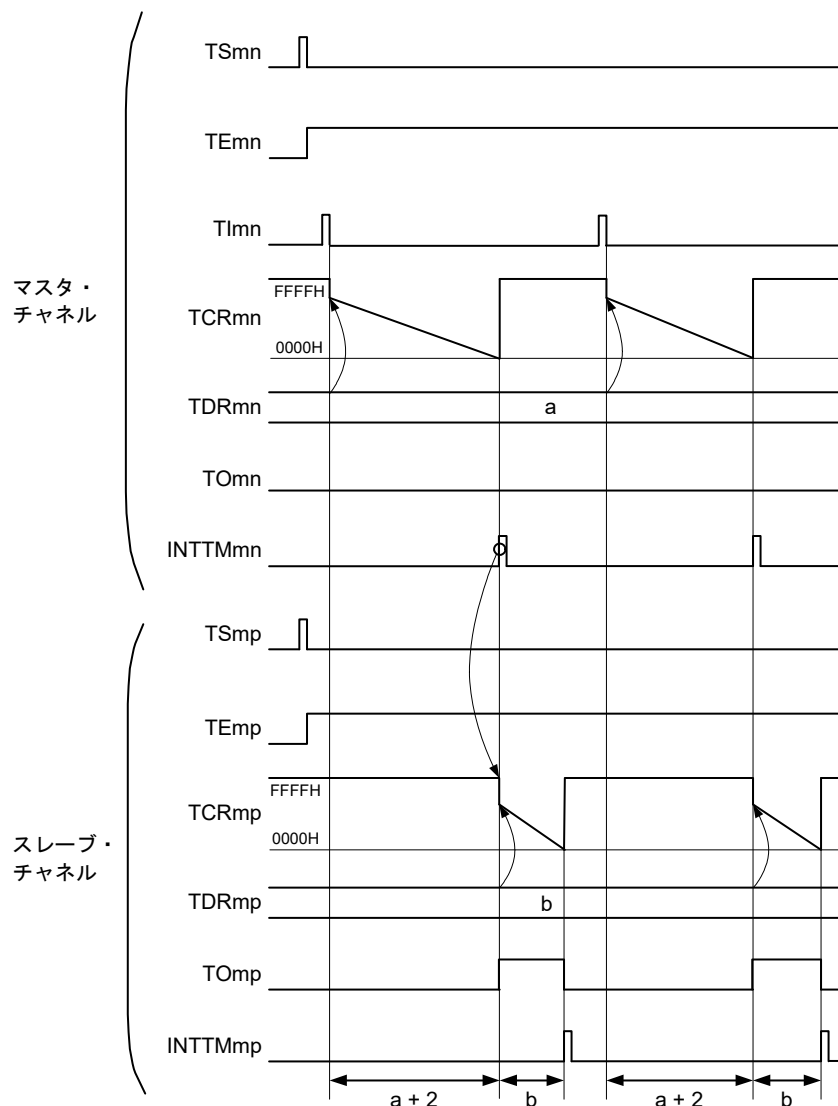
備考 m : ユニット番号 (m = 0), n : マスタ・チャネル番号 (n = 0, 2, 4, 6)
p : スレーブ・チャネル番号 (n < p ≤ 7)

図6 - 69 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-70 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

TImn, TImp : TImn, TImp 端子入力信号

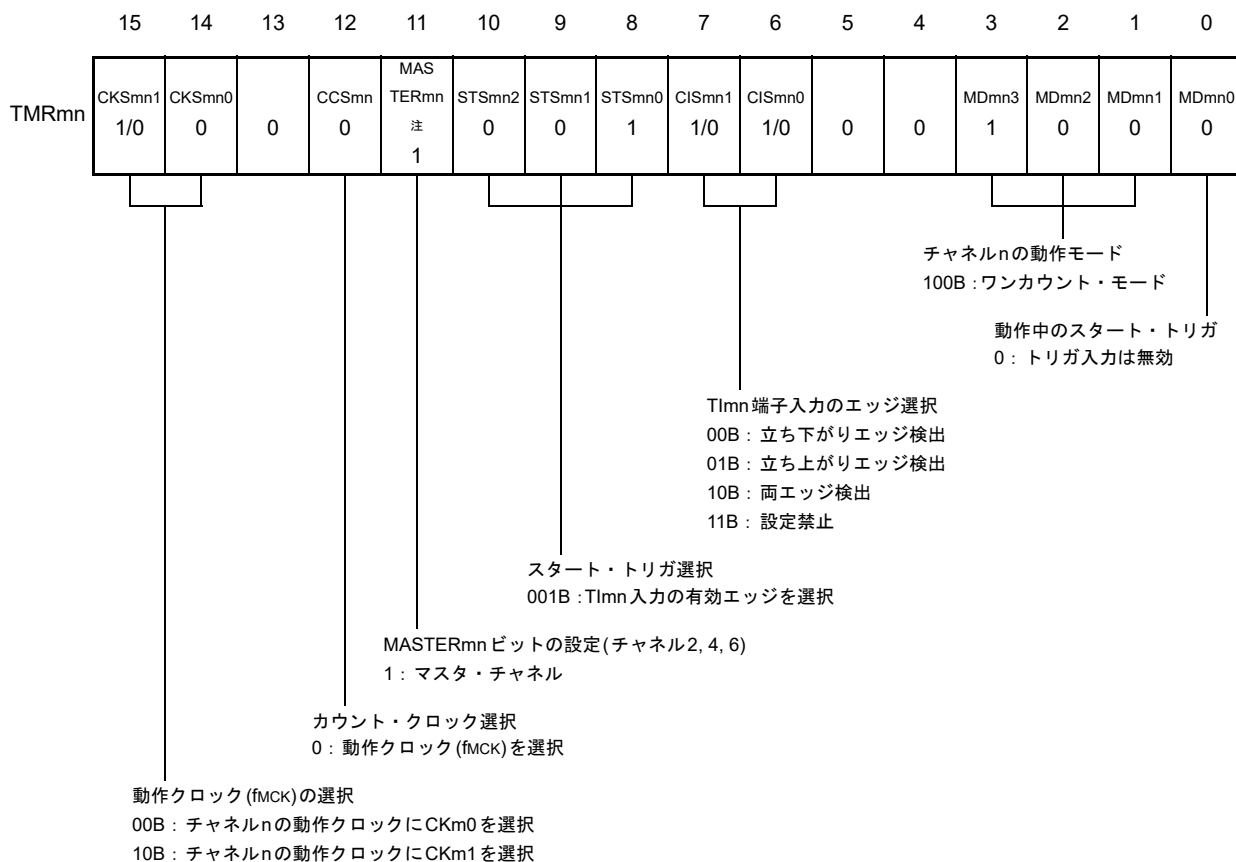
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

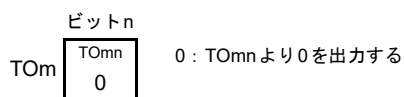
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6-71 ワンショット・パルス出力機能時(マスタ・チャンネル)のレジスタ設定内容例

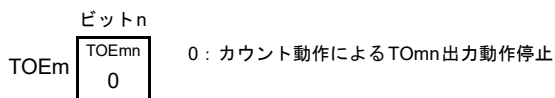
(a) タイマ・モード・レジスタ mn (TMRmn)



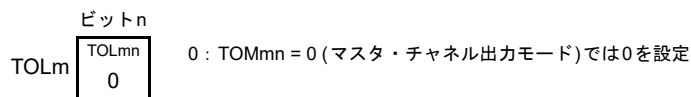
(b) タイマ出力レジスタ m (TOm)



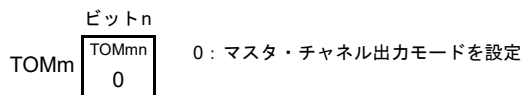
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

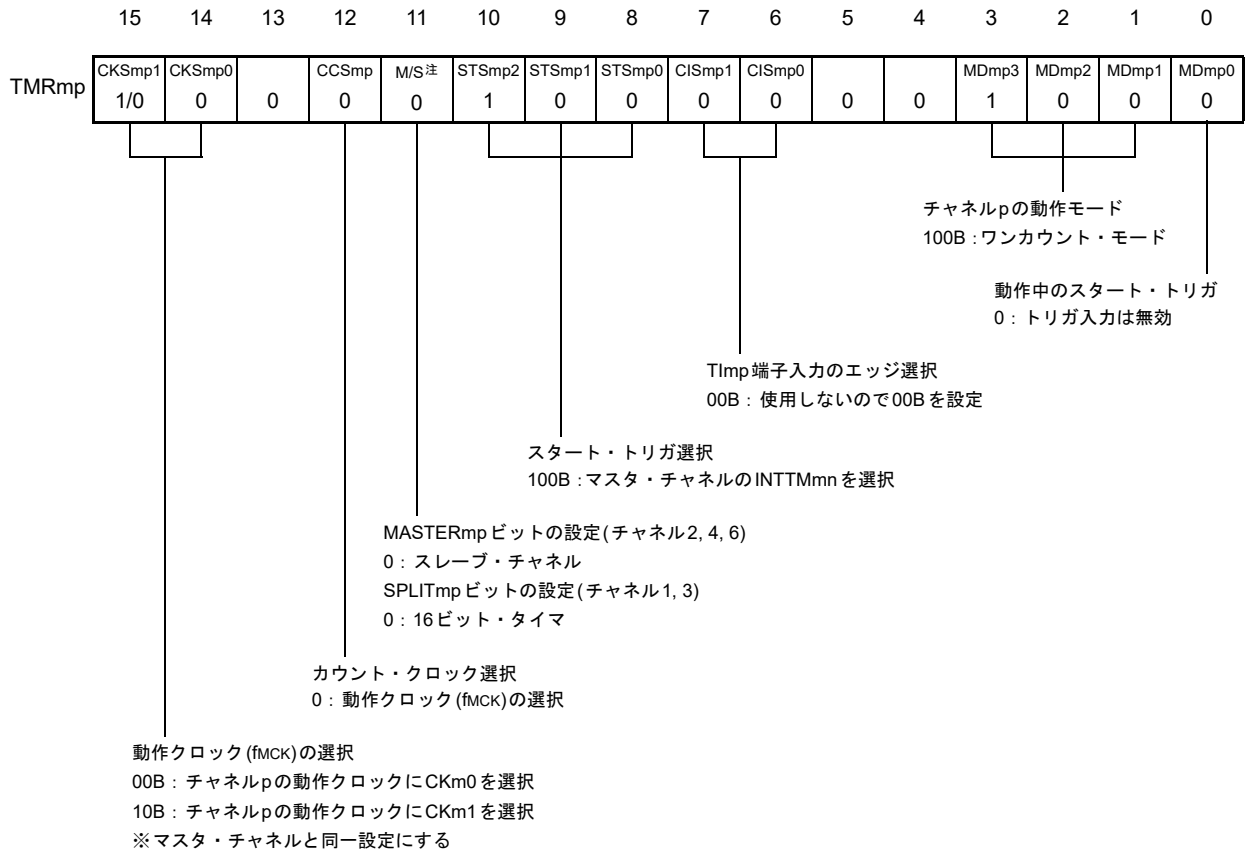


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

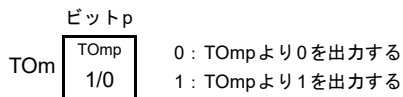
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6-72 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例

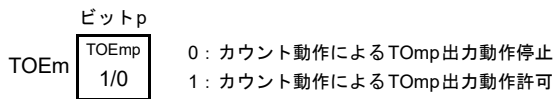
(a) タイマ・モード・レジスタ mp (TMRmp)



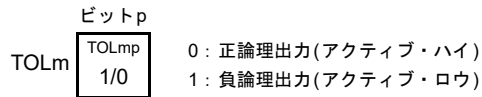
(b) タイマ出力レジスタ m (TOm)



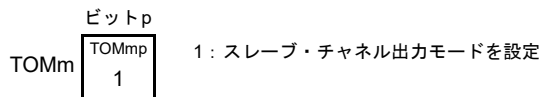
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmp ビット

TMRm1, TMRm3の場合 : SPLITmp ビット

TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6-73 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1)の対応するビットに1を設定する 使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)に出力遅延時間, スレーブ・チャンネルのTDRmpレジスタにパルス幅を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmpビットに1(スレーブ・チャンネル出力モード)を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(注, 備考は次ページにあります。)

図6-74 ワンショット・パルス出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開	動作開始	<p>TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ)</p> <p>タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する</p> <p>TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る</p> <p>マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。</p> <ul style="list-style-type: none"> • TImn端子入力の有効エッジ検出 • ソフトウェアソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定^注 <p>注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください</p>	<p>TEmn = 1, TEmp = 1となり、マスタ・チャンネルはスタート・トリガ検出(TImn端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに1を設定)待ち状態となる</p> <p>カウンタはまだ停止状態のまま</p> <p>マスタ・チャンネルがカウンタ動作開始</p>
	動作中	<p>TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能</p> <p>TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止</p> <p>TCRmn, TCRmp レジスタは、常に読み出し可能</p> <p>TSRmn, TSRmp レジスタは、使用しない</p> <p>スレーブチャンネルの TOm, TOEm レジスタは、設定値変更可能</p>	<p>マスタ・チャンネルでは、スタート・トリガ検出(TImn端子入力の有効エッジの検出または、マスタ・チャンネルの TSmn ビットに1を設定)により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。</p> <p>TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し、次のスタート・トリガ検出までカウンタ動作を停止する。</p> <p>スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。</p> <p>以降、この動作を繰り返す。</p>
	動作停止	<p>TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する</p> <p>TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る</p> <p>スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する</p>	<p>TEmn, TEmp = 0になり、カウンタ動作停止</p> <p>TCRmn, TCRmp レジスタはカウンタ値を保持して停止</p> <p>TOmp出力は初期化されず、状態保持</p> <p>TOmp端子はTOmp設定レベルを出力</p>
	TAU停止	<p>TOmp端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する</p> <p>TOmp端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <p>PER0 レジスタの TAUmEN ビットに0を設定する</p>	<p>TOmp端子出力レベルはポート機能により保持される。</p> <p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される (TOmp ビットが0になり、TOmp端子はポート機能となる)</p>

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

6.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDRmp (スレーブ)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ 0\% \text{出力} &: \text{TDRmp (スレーブ)の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDRmp (スレーブ)の設定値} \geq \{\text{TDRmn (マスタ)の設定値} + 1\} \end{aligned}$$

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ)の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSm)のチャンネル・スタート・トリガ・ビット(TSmn)に1を設定すると、割り込み(INTTMmn)を出力して、タイマ・データ・レジスタ mn (TDRmn)に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn)にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmnを出力して、再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm)のチャンネル・ストップ・トリガ・ビット(TTmn)に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMmnをスタート・トリガとして、TDRmpレジスタからTCRmpレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ(マスタ・チャンネルからのINTTMmn)が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力(TOmp)のデューティとなります。

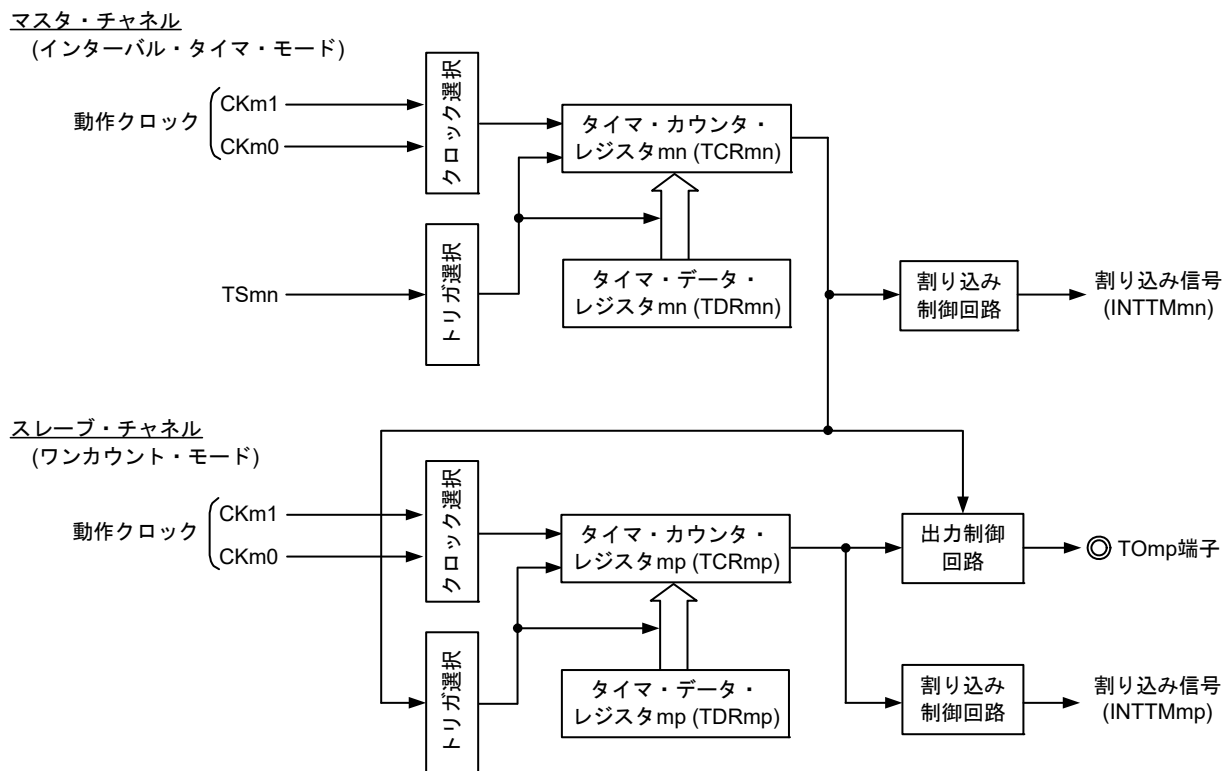
PWM出力(TOmp)は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

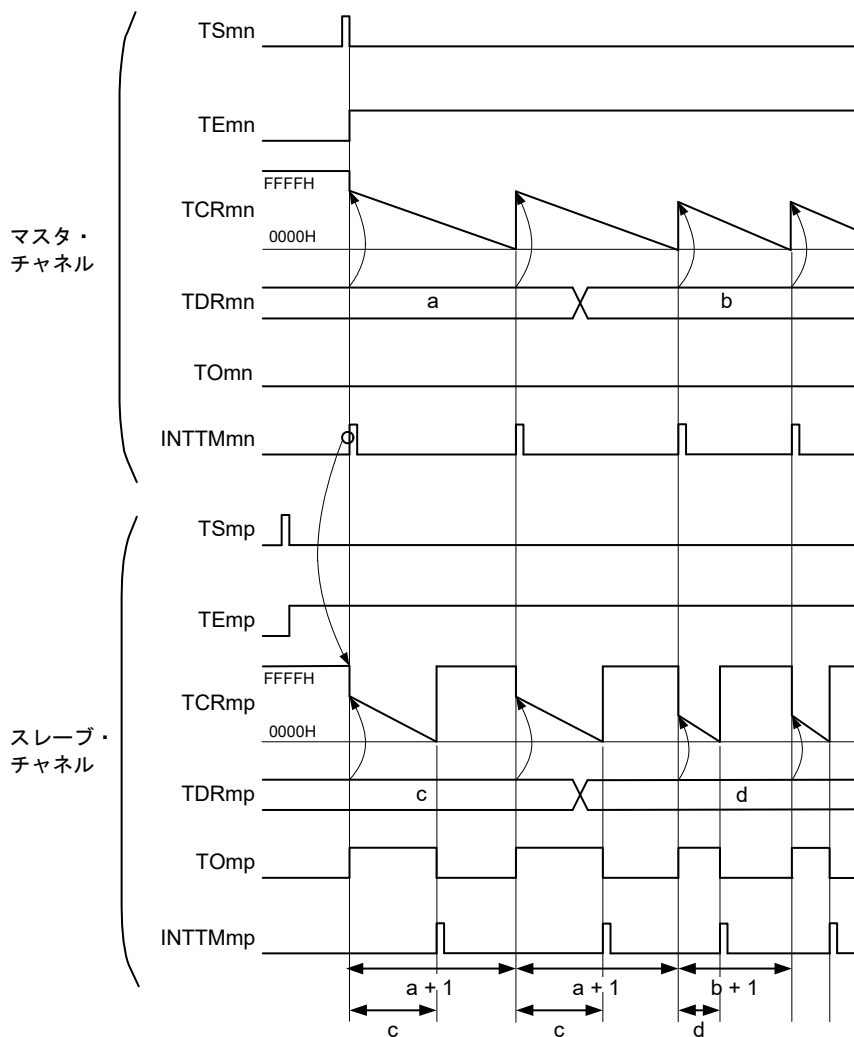
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6 - 75 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6 - 76 PWM機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TE mp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

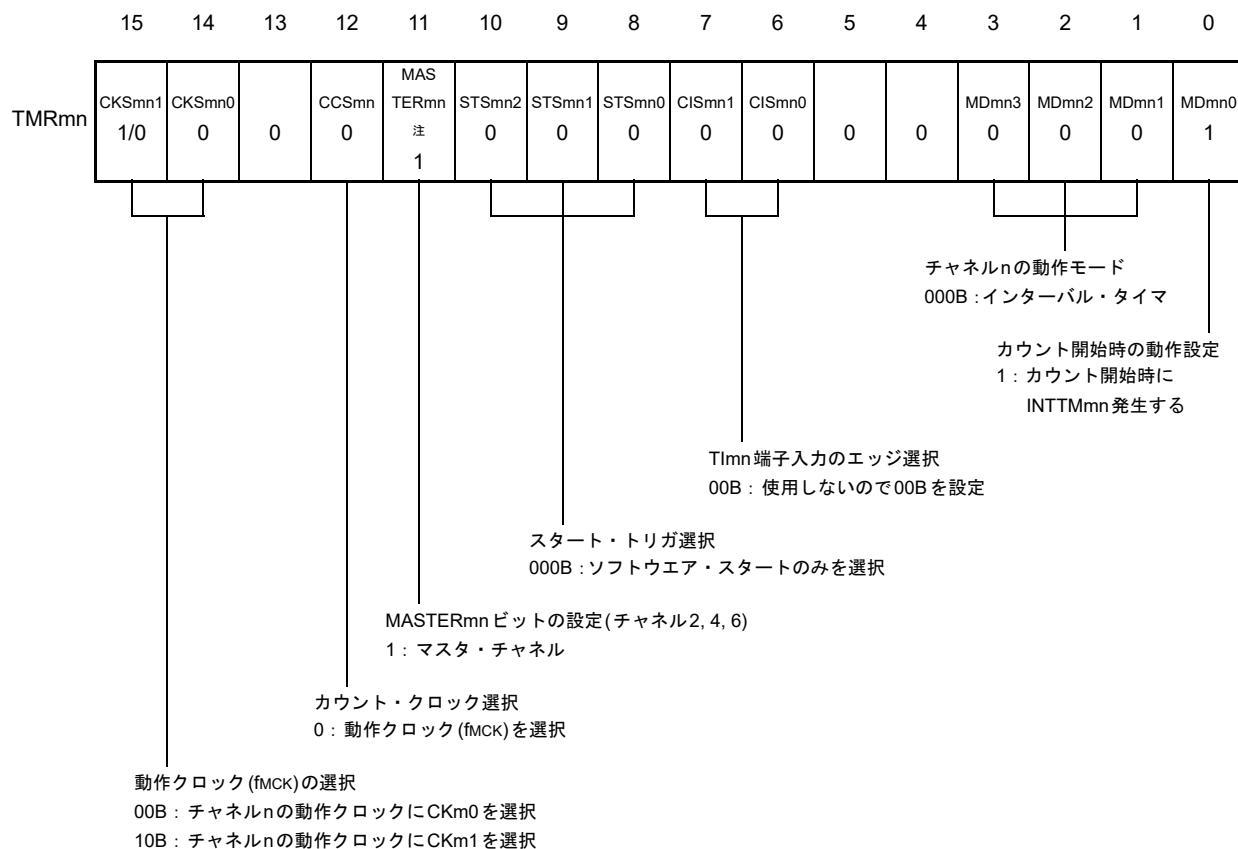
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

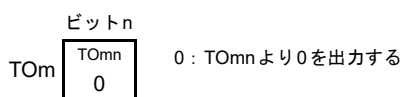
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6 - 77 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

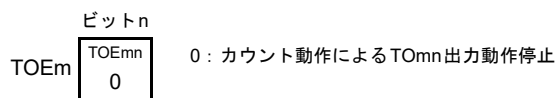
(a) タイマ・モード・レジスタ mn (TMRmn)



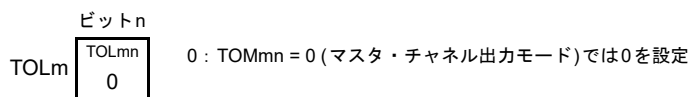
(b) タイマ出力レジスタ m (TOm)



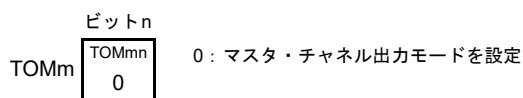
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

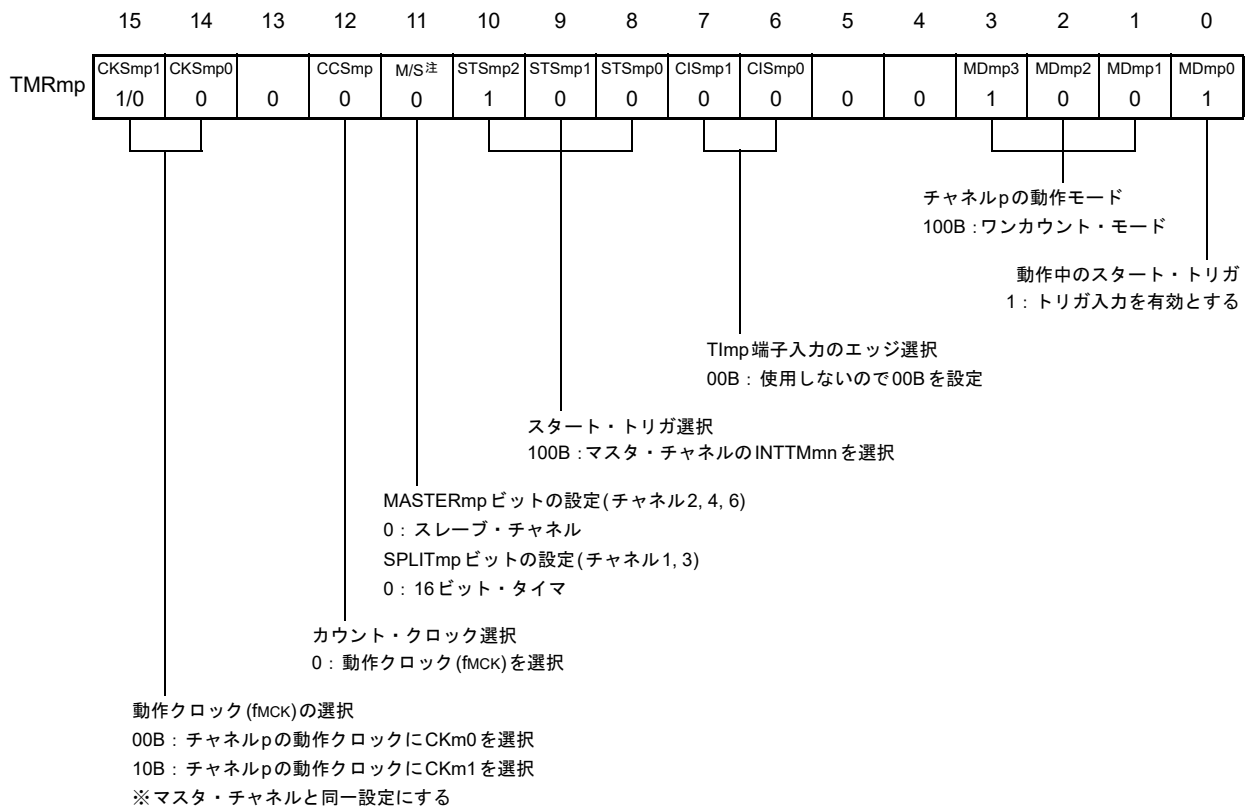


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

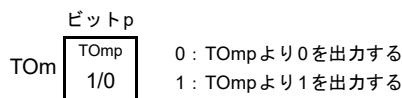
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

図6-78 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例

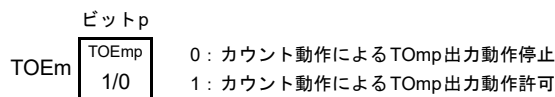
(a) タイマ・モード・レジスタ mp (TMRmp)



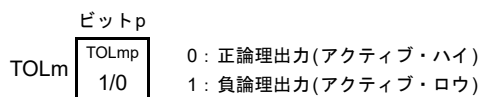
(b) タイマ出力レジスタ m (TOm)



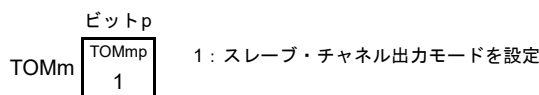
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn ビット
TMRm1, TMRm3の場合 : SPLITmp ビット
TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図6 - 79 PWM機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャンネルの動作モー ド確定) マスタ・チャンネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャネ ルのTDRmpレジスタにデューティ値を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp ビットに1(スレーブ・チャンネル出力モード)を設定 する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを 確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を 設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp初期設定レベルが出力され る。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります。)

図6 - 80 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ)ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm)の TSmn (マスタ), TSmp (スレーブ)ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルのINTTMmnをトリガとして、TCRmp レジスタはTDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ)ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmpビットに0を設定し、TOmpビットに値を設定する	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持 TOmp端子はTOmp設定レベルを出力
	TAU停止 TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。 パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

6.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ)の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ1)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ2)の設定値}\} / \{\text{TDRmn (マスタ)の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合

または TDRmq (スレーブ2)の設定値 > {TDRmn (マスタ)の設定値 + 1} の場合は、

デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn)は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp)の値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大3種のPWMを同時に出力できます。

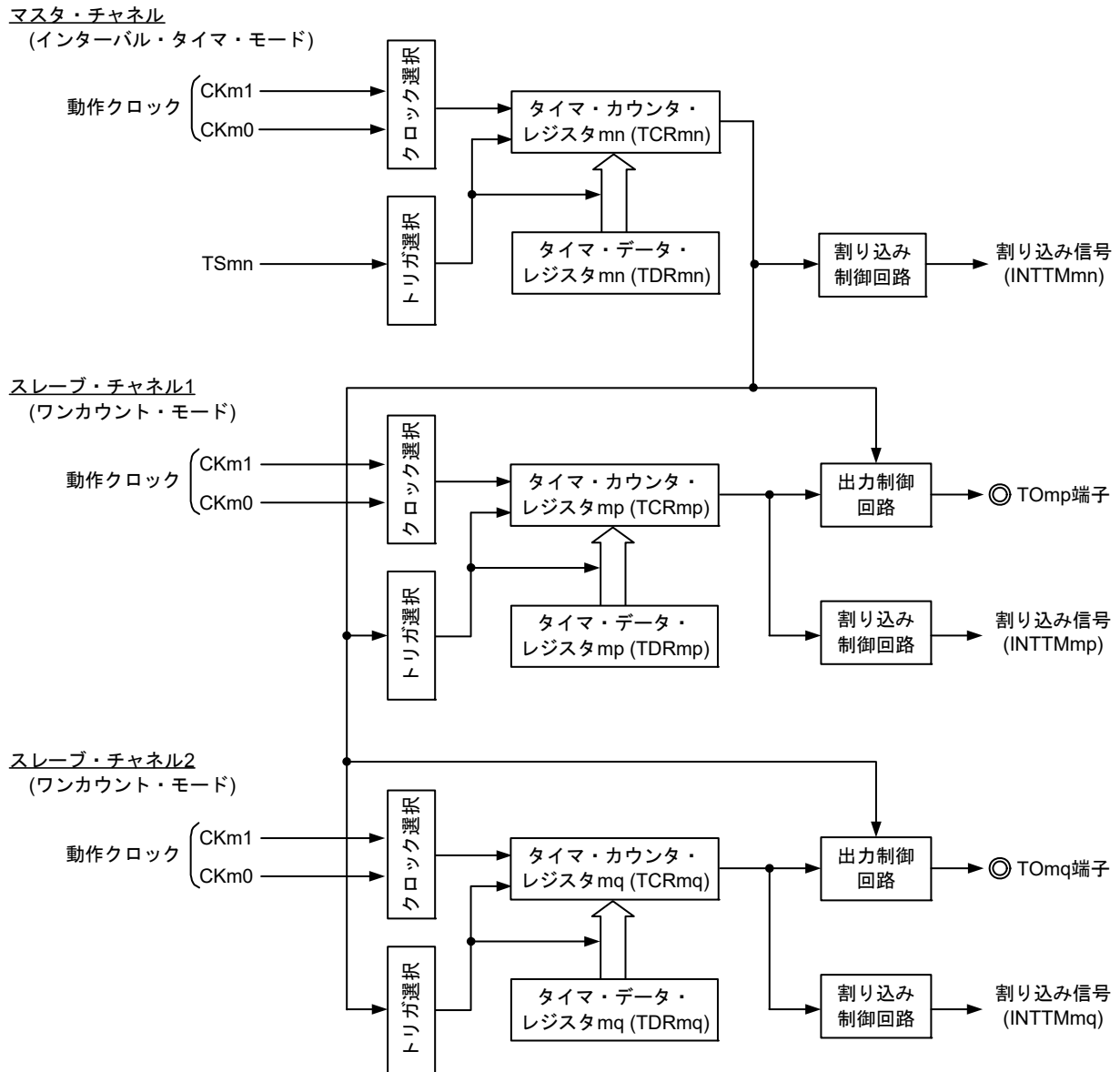
注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

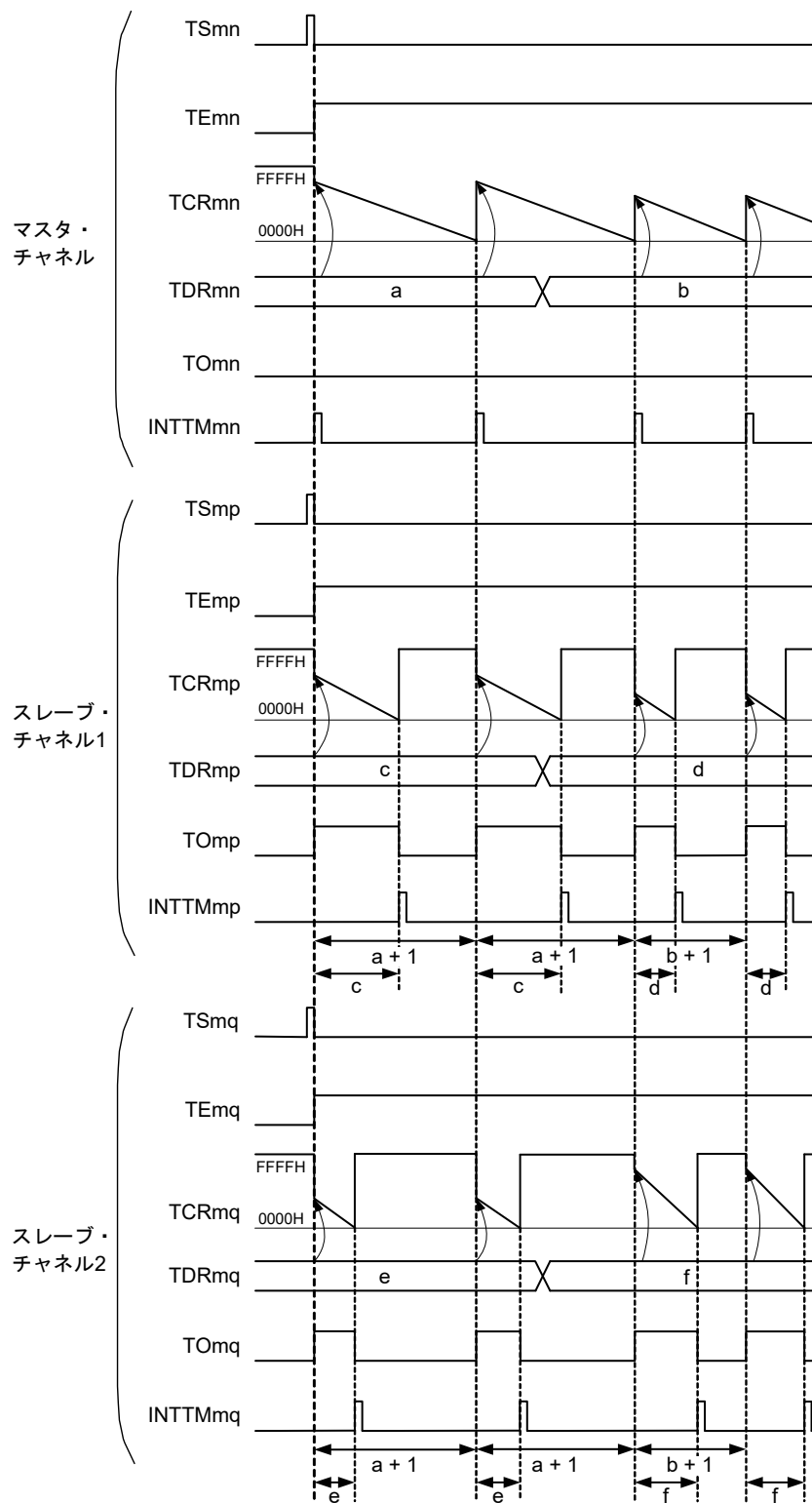
n < p < q ≤ 7 (ただし p, qは, n以降の整数)

図6 - 81 多重PWM出力機能としての動作のブロック図(2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (ただし p, q は, n 以降の整数)

図6 - 82 多重PWM出力機能としての動作の基本タイミング例(2種類のPWMを出力する場合)



(備考は次ページにあります。)

備考1. m : ユニット番号 ($m = 0$), n : マスタ・チャンネル番号 ($n = 0, 2, 4$)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 7$ (ただし p, q は, n 以降の整数)

備考2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m)のビット n, p, q

$TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m)のビット n, p, q

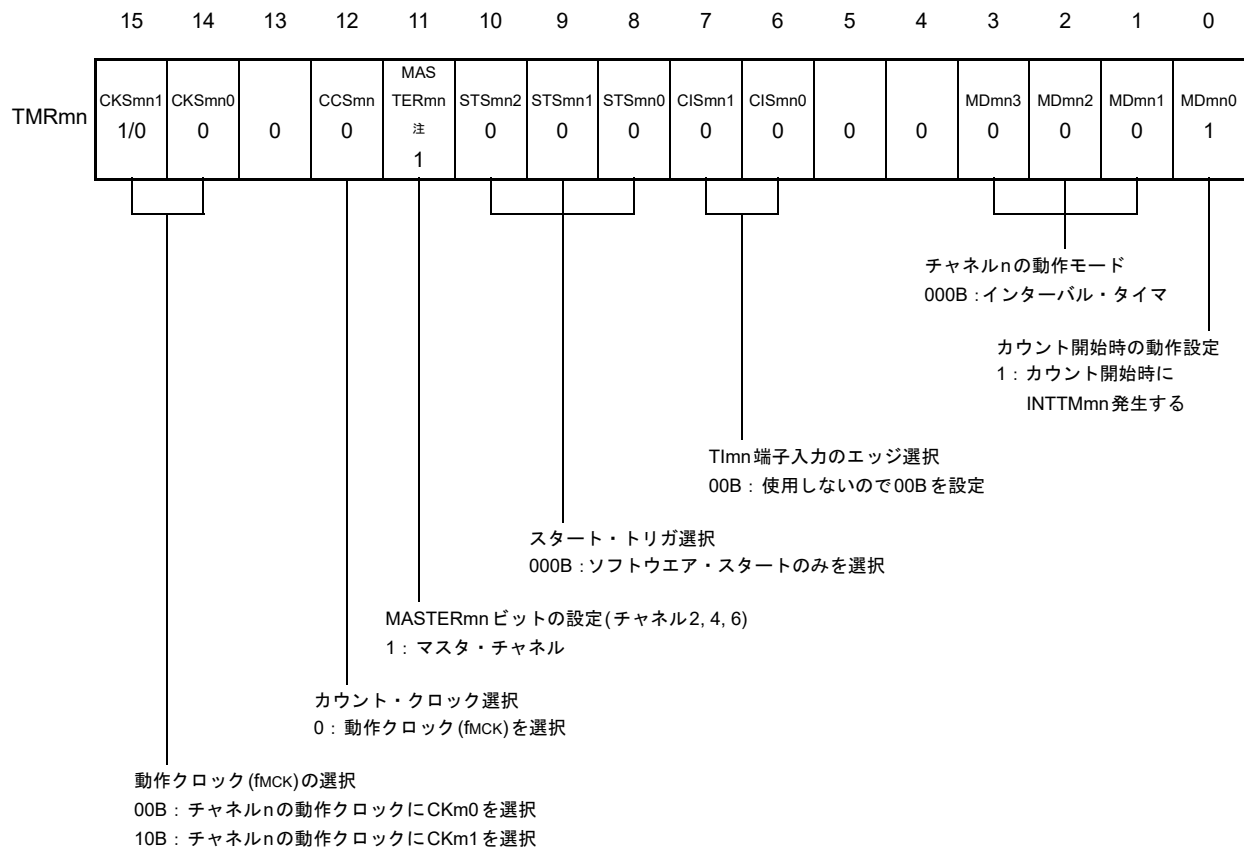
$TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)

$TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)

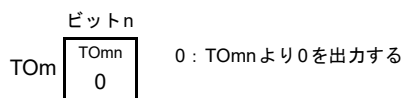
$TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図6 - 83 多重PWM出力機能時(マスタ・チャンネル)のレジスタ設定内容例

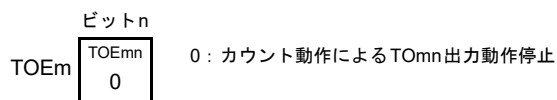
(a) タイマ・モード・レジスタ mn (TMRmn)



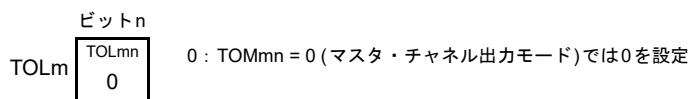
(b) タイマ出力レジスタ m (TOm)



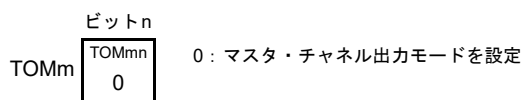
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)

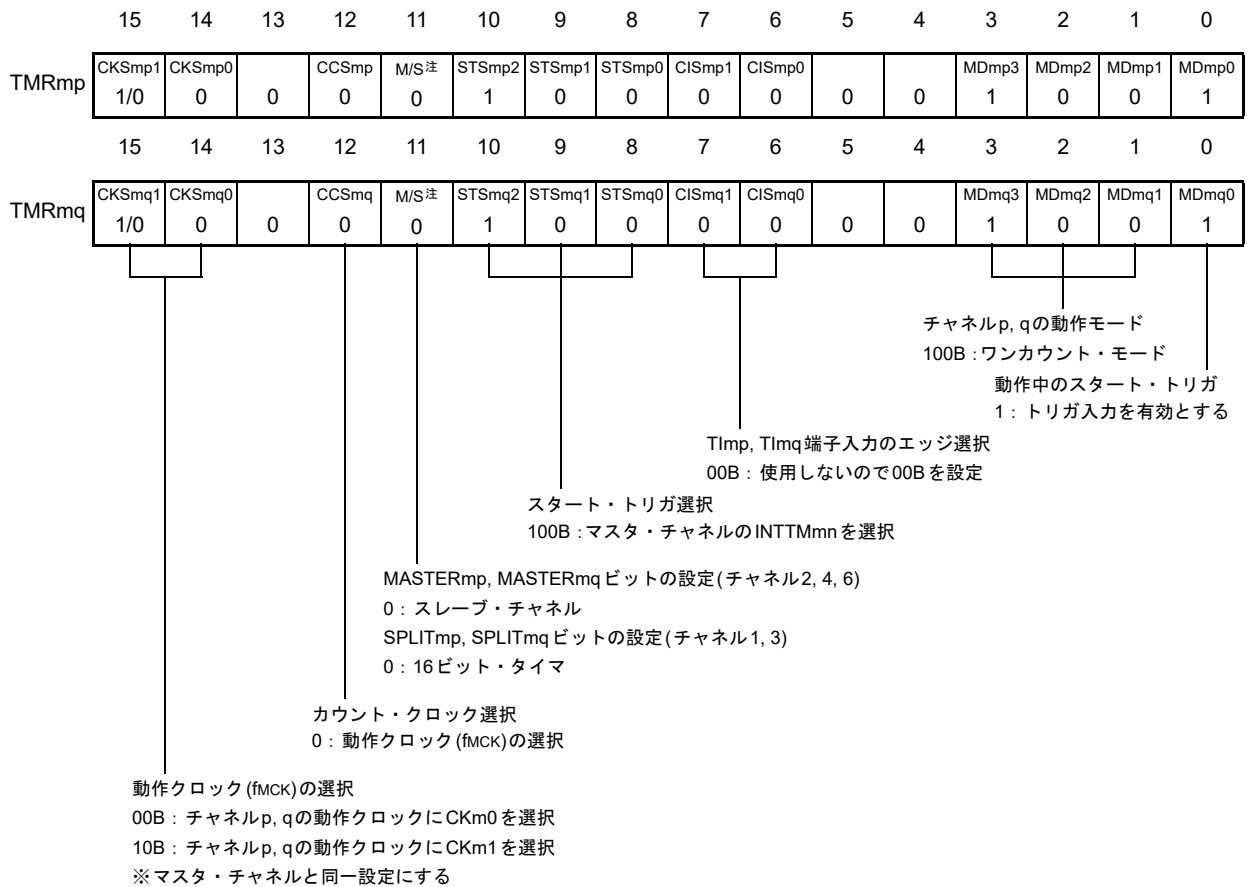


注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0固定

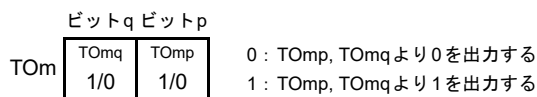
備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)

図6 - 84 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)

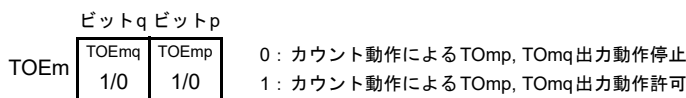
(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



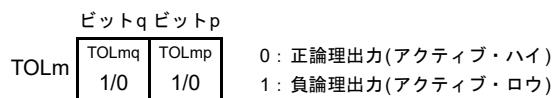
(b) タイマ出力レジスタ m (TOm)



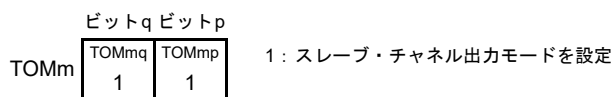
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2, TMRm4, TMRm6 : MASTERmp, MASTERmq ビット
 TMRm1, TMRm3 の場合 : SPLITmp, SPLITmq ビット
 TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m = 0), n : マスタ・チャンネル番号 (n = 0, 2, 4)
 p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号
 n < p < q ≤ 7 (ただし p, q は, n 以降の整数)

図6 - 85 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する タイマ・クロック選択レジスタ m (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのタイマ・モード・レジスタ mn, mp, mq (TMRmn, TMRmp, TMRmq)を設定する(チャンネルの動作モード確定) マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn)にインターバル(周期)値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する スレーブ・チャンネルの設定 タイマ出力モード・レジスタ m (TOMm)のTOMmp, TOMmqビットに1(スレーブ・チャンネル出力モード)を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作 開始	(動作再開時のみTOEmp, TOEmq(スレーブ)ビットに1を設定する) タイマ・チャンネル開始レジスタ m (TSM)のTSMn(マスタ), TSMp, TSMq(スレーブ)ビットに同時に1を設定する TSMn, TSMp, TSMqビットはトリガ・ビットなので,自動的に0に戻る	TEMn = 1, TEmq, TEmq = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。

動作再開(次ページ)

(備考は次ページにあります。)

図6 - 86 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開(前ページ)	動作中	<p>ソフトウェア操作</p> <p>TMRmn, TMRmp, TMRmq レジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmq ビットは, 設定値変更禁止</p> <p>TDRmn, TDRmp, TDRmq レジスタは, マスタ・チャンネルのINTTMmn発生後に設定値変更可能</p> <p>TCRmn, TCRmp, TCRmq レジスタは, 常に読み出し可能</p> <p>TSRmn, TSRmp, TSRmq レジスタは, 使用しない</p>	<p>ハードウェアの状態</p> <p>マスタ・チャンネルでは, タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に, TCRmnレジスタはTDRmnレジスタの値をロードし, 再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネル1では, マスタ・チャンネルのINTTMmn信号をトリガとして, TDRmpレジスタ値をTCRmpレジスタに転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。</p> <p>スレーブ・チャンネル2では, マスタ・チャンネルのINTTMmn信号をトリガとして, TDRmqレジスタ値をTCRmqレジスタに転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmq出力レベルをインアクティブ・レベルにして, カウント動作を停止する。以降, この動作を繰り返す。</p>
	動作停止	<p>TTmn (マスタ), TTmp, TTmq (スレーブ)ビットに同時に1を設定する →</p> <p>TTmn, TTmp, TTmq ビットはトリガ・ビットなので, 自動的に0に戻る</p> <hr/> <p>スレーブ・チャンネルのTOEmp, TOEmq ビットに0を設定し, TOmp, TOmq ビットに値を設定する →</p>	<p>TEmn, TEmq = 0になり, カウント動作停止</p> <p>TCRmn, TCRmp, TCRmq レジスタはカウント値を保持して停止</p> <p>TOmp, TOmq出力は初期化されず, 状態保持</p> <hr/> <p>TOmp, TOmq 端子はTOmp, TOmq 設定レベルを出力</p>
TAU停止	<p>TOmp, TOmq 端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後, TOmp, TOmq ビットに0を設定する →</p> <p>TOmp, TOmq 端子の出力レベルを保持不要の場合</p> <p>設定不要</p> <hr/> <p>PER0 レジスタのTAUmEN ビットに0を設定する →</p>	<p>TOmp, TOmq 端子出力レベルはポート機能により保持される。</p> <hr/> <p>パワーオフ状態</p> <p>全回路が初期化され, 各チャンネルのSFRも初期化される</p> <p>(TOmp, TOmq ビットが0になり, TOmp, TOmq 端子はポート機能となる)</p>	

備考 m : ユニット番号(m = 0), n : マスタ・チャンネル番号(n = 0, 2, 4)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

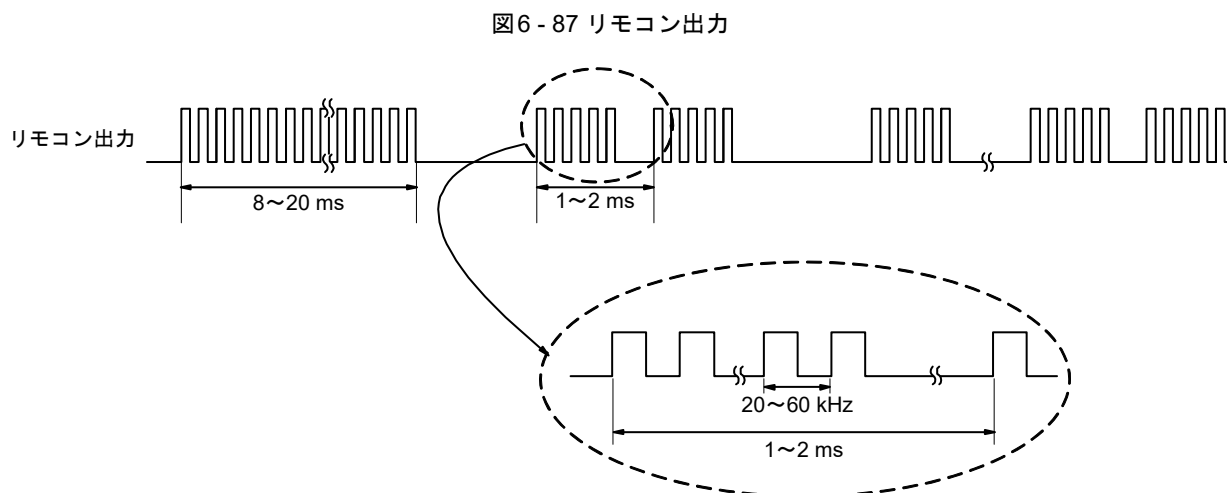
n < p < q ≤ 7 (ただしp, qは, n以降の整数)

6.9.4 リモコン出力機能

リモコン出力機能は、PWM出力機能を応用した機能です。

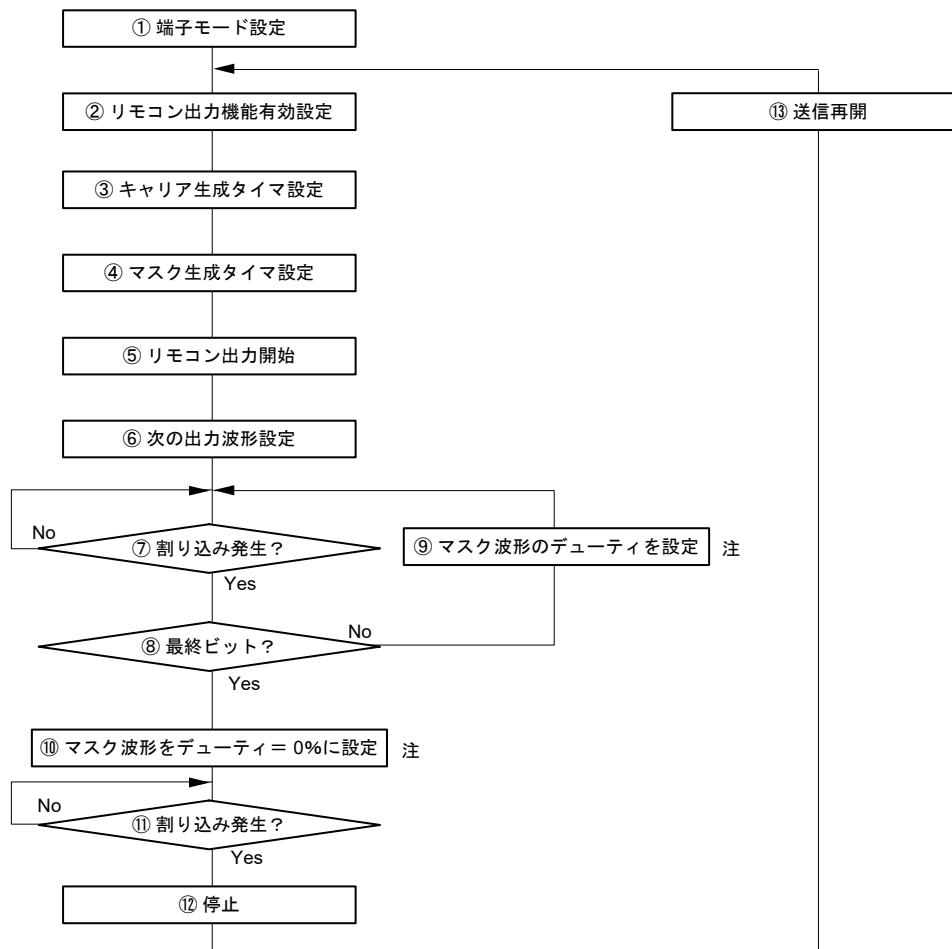
チャンネル2, 3, チャンネル4, 5のセットでPWM出力機能を使用します(各チャンネルの設定方法は、6.9.2 PWM機能としての動作を参照)。チャンネル3からのPWM出力信号をマスク波形、チャンネル5からのPWM出力信号をキャリア波形とし、これらの信号の論理積をリモコン出力として出力します。

リモコン出力のハイ・レベル幅出力部分は、20~60 kHz程度のキャリア信号で構成されています。



リモコン出力設定手順を図6-88, 図6-89に示します。

図6-88 リモコン出力機能設定手順(1/2)



① 端子モード設定

PFSEG2レジスタのPFSEG20ビット = 0, PM3レジスタのPM30ビット = 0, PU3レジスタのPU30ビット = 0, P3レジスタのP30ビット = 0

② タイマ出力選択レジスタ(TOS)のTOS0ビットを1に設定

③ チャンネル4(マスタ), チャンネル5(スレーブ)のPWM機能でキャリア波形を設定

TDR04レジスタ値 = キャリア波形の周期 - 1

TDR05レジスタ値 = キャリア波形のハイ・レベル幅

④ チャンネル2(マスタ), チャンネル3(スレーブ)のPWM機能でマスク波形を生成

マスク波形の周期とハイ・レベル幅の設定(ヘッダコード)

TDR02レジスタ値 = マスク波形の周期 - 1

TDR03レジスタ値 = マスク波形のハイ・レベル幅

⑤ 出力動作開始

タイマ・チャンネル開始レジスタ0(TS0)のTS02, TS03, TS04, TS05ビットを同時に1に設定する

図6 - 89 リモコン出力機能設定手順(2/2)

⑥ 次の出力波形を設定する。

TDR02レジスタ値 = マスク波形の周期 - 1

TDR03レジスタ値 = マスク波形のハイ・レベル幅

⑦ マスク波形の立ち上がりタイミングで発生する割り込み信号(INTTM02)を待つ

⑧ リモコン送信波形の最終コード・ビットであれば出力停止の処理⑩へ

最終コード・ビットでない場合は、⑨にて次のマスク波形の設定を行い、最終コード・ビットまで⑦～

⑨を繰り返す

【連続送信】

⑨ 周期とデューティを設定(周期 : TDR02, ハイ・レベル幅 : TDR03)

【停止手順】

⑩ マスク波形のデューティを0%に設定(TDR03を0000Hに設定)

⑪ マスク波形の立ち上がりタイミングで発生する割り込み信号(INTTM02)を待つ

⑫ タイマ動作を停止

タイマ・チャンネル停止レジスタ0(TT0)のTT02, TT03, TT04, TT05ビットに同時に1を設定後、タイマ出力許可レジスタ0(TOE0)のTOE02, TOE03, TOE04, TOE05ビットに0を設定し、最後にタイマ出力レジスタ0(TO0)のTO02, TO03, TO04, TO05ビットに0を設定する

【再開手順】

⑬ 送信を再開する場合は、TOE03, TOE05ビットに1を設定し、②から設定を繰り返す(上書き設定は不要)

注 設定値はマスク波形の立ち上がりにて反映されます。

マスク波形の周期とハイ・レベル幅の設定は、キャリア周期の整数倍のみ指定可能です。

注意1. ③～⑪の期間に、TAUへのクロック供給を停止(STOP命令など)すること、TDR02とTDR03以外の設定値の変更は禁止です。

注意2. ③～⑪の期間は、通常動作またはHALTモードで使用してください。

注意3. チャンネル2, 3, 4, 5には、同一の動作クロックを選択してください。

注意4. リモコン出力を停止する場合は、必ず手順⑩～⑫を行ってください。

異なる手順で停止した場合、次に示すエラーが発生する可能性があります。

- ・キャリア周波数の周期以外の波形を出力する
- ・動作停止後に、ハイ・レベル出力に固定される

注意5. リモコン出力の場合、チャンネル2, 3, 4, 5は必ずPWM出力モードにしてください。

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、4.5 兼用機能使用時のレジスタ設定を参照してください。

第7章 16ビット・タイマKB20, KB21, KB22

16ビット・タイマKB20は電源、照明に適したPWM出力を生成可能なタイマです。

RL78/L1Cの16ビット・タイマKB20にはIH用PWM出力機能がありません。

	80/85ピン	100ピン
16ビット・タイマKB20	○	○
16ビット・タイマKB21	○	○
16ビット・タイマKB22	○	○

注意 この章では、以降の主な説明を100ピン製品の場合で説明しています。

7.1 16ビット・タイマKB20, KB21, KB22の機能

16ビット・タイマKB20, KB21, KB22は、それぞれ2つの出力を持つPWM出力専用のタイマで、次のような機能があります。

(1) PWM出力

- ・タイマ動作中に任意のデューティおよび周期に変更可能なPWMを出力します。
- ・タイマ出力レベル(ハイレベルまたはロウレベル)のデフォルトを設定することができます。

(2) トリガ出力(ELCイベント発生信号出力)

16ビット・タイマKB2トリガ・コンペア・レジスタ(TKBTGCRn)を使用して、ELCイベント発生元に出ることができます。

(3) 同時スタート&ストップ・モード

同時にスタート/ストップする2つまたは3つのタイマ・ユニット(16ビット・タイマKB20, KB21, KB22)を組み合わせ、最大6つのPWM出力を同時に開始することができます。

(4) タイマ・スタート&クリア・モード

PWM出力のスタート/クリア/ストップを同期することができます。

(5) タイマ・リスタート機能

トリガ要因(カウンタリスタートトリガ要因0~2の発生により、CPUを介さずにタイマ出力をリスタートすることができます。

(6) 強制出力停止機能1 (コンパレータ, INTPiNF注, ELCと連動)

トリガ要因(コンパレータ0, 1, INTPiNF注をELC経由)の発生により, CPUを介さずにタイマ出力をハイ・インピーダンス, ハイ/ロウレベル固定状態にすることができます。強制出力停止機能1のストップ・トリガの設定により, 停止機能は解除されます。

注. INTPiNFはノイズフィルタを経由しない出力です。

備考 i = 0-7

(7) 強制出力停止機能2 (コンパレータ, INTPiNF注, ELCと連動)

トリガ要因(コンパレータ0, 1, INTPiNF注をELC経由)の発生により, CPUを介さずにタイマ出力をハイ/ロウレベル固定状態にすることができます。次のカウンタの周期開始, またはトリガ要因の消滅により, CPUを介さず停止機能は解除されます。

注. INTPiNFはノイズフィルタを経由しない出力です。

備考 i = 0-7

(8) ディザリング機能

16周期毎に設定デューティ + 1の波形を0~15回の範囲で出力させることができます。

(9) ソフト・スタート機能

PWM出力スタート後に設定デューティまで自動的にデューティを増加させるソフト・スタートが実現できます。

初期デューティおよびデューティ + 1増加周期を設定可能です。

(10) 最大周波数設定機能

タイマ・リスタート機能時に, 設定周期までリスタートを保留することができます。

(11) インターリーブ機能

タイマ・リスタート機能時に, 外部要因により2つの出力を自動で交互にリスタート出力することができます。臨界導通モードのインターリーブPFC制御が実現可能です。

備考1. 臨界導通モードとは, インダクタ電流がゼロになることを検出してスイッチング FET をオンにする PFC制御の方式です。

備考2. i = 0-7

7.2 16ビット・タイマKB20, KB21, KB22の構成

16ビット・タイマKB20, KB21, KB22は、次のハードウェアで構成されています。

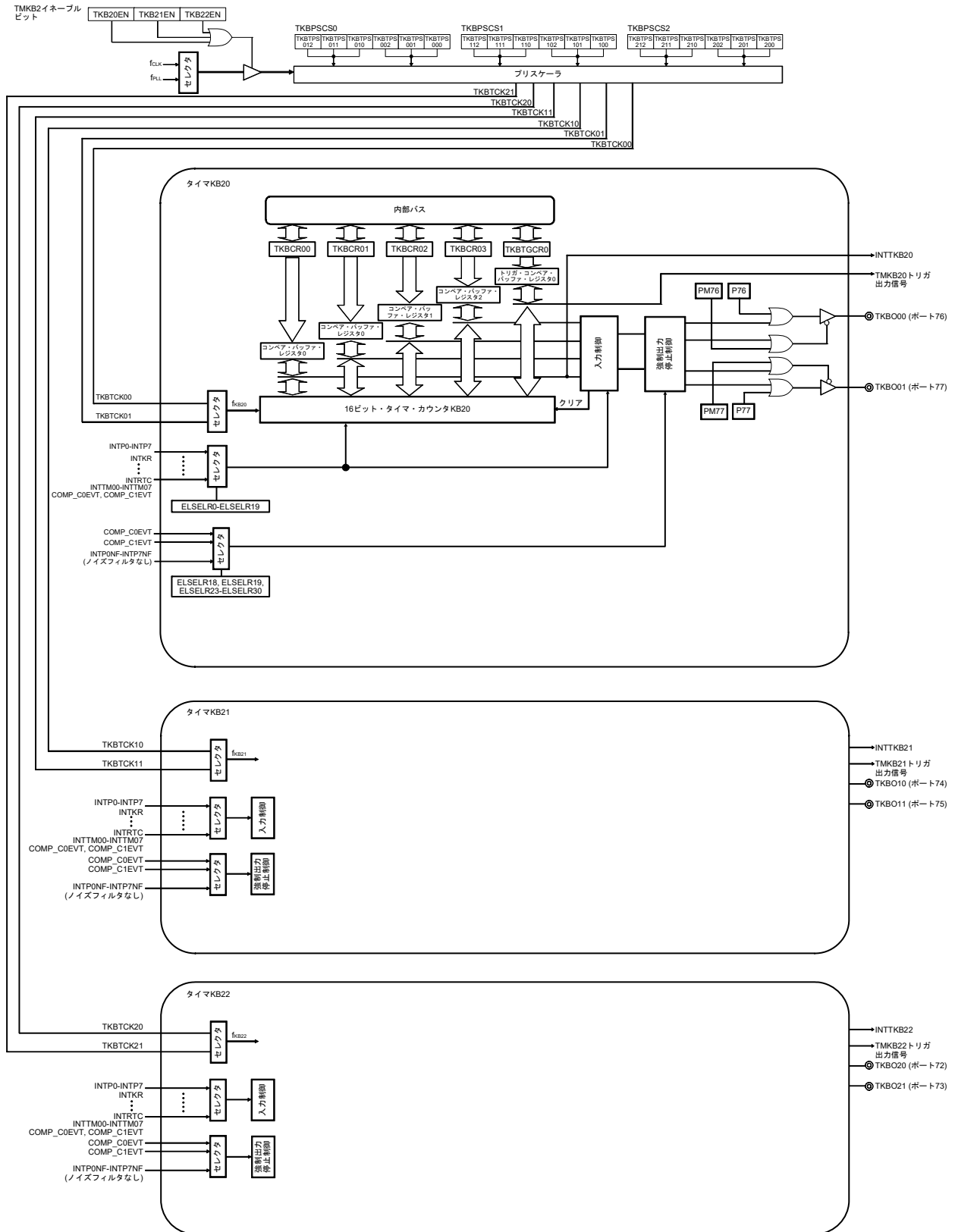
表7-1 16ビット・タイマKB20, KB21, KB22の構成

項目	構成
タイマ・カウンタ・レジスタ	16ビット・タイマ・カウンタ n (TKBCNTn)
コンペア・レジスタ	16ビット・タイマKB2コンペア・レジスタ n0-n3 (TKBCRn0-TKBCRn3) 16ビット・タイマKB2トリガ・コンペア・レジスタ n (TKBTGCRn)
タイマ出力	TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21
制御レジスタ	周辺イネーブル・レジスタ 1, 2 (PER1, PER2) 16ビット・タイマKB2・カウントクロック分周選択レジスタ n (TKBPSCSn) 16ビット・タイマKB2動作制御レジスタ n0 (TKBCTLn0) 16ビット・タイマKB2動作制御レジスタ n1 (TKBCTLn1) 16ビット・タイマKB2出力制御レジスタ n0 (TKBIOCn0) 16ビット・タイマKB2出力制御レジスタ n1 (TKBIOCn1) 16ビット・タイマKB2フラグ・レジスタ n (TKBFLGn) 16ビット・タイマKB2トリガ・レジスタ n (TKBTRGn) 16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ n (TKBCLRn) 16ビット・タイマKB2ディザリング数レジスタ n0, n1 (TKBDNRn0, TKBDNRn1) 16ビット・タイマKB2コンペア1L & ディザリング数レジスタ n0 (TKBCRLDn0) 16ビット・タイマKB2コンペア1L & ディザリング数レジスタ n1 (TKBCRLDn1) 16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ n0, n1 (TKBSIRn0, TKBSIRn1) 16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ n0, n1 (TKBSSRn0, TKBSSRn1) 16ビット・タイマKB2最大周波数リミット設定レジスタ n (TKBMFRn) 強制出力停止機能制御レジスタ 0p (TKBPACTL0p) 強制出力停止機能制御レジスタ 1p (TKBPACTL1p) 強制出力停止機能制御レジスタ 2p (TKBPACTL2p) 強制出力停止機能制御レジスタ n2 (TKBPACTLn2) 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn) 強制出力停止機能1開始トリガ・レジスタ n (TKBPAHFSn) 強制出力停止機能解除トリガ・レジスタ n (TKBPAHFTn) ポート・モード・レジスタ 7 (PM7) ポート・レジスタ 7 (P7)

備考 n = 0, 1, 2 p = 0, 1

図7-1にブロック図を示します。

図7-1 16ビット・タイマKB20, KB21, KB22のブロック図



備考 fKB20 : 16ビット・タイマKB20のカウンタ・クロック
 fKB21 : 16ビット・タイマKB21のカウンタ・クロック
 fKB22 : 16ビット・タイマKB22のカウンタ・クロック

(1) 16ビット・タイマ・カウンタ・レジスタ n (TKBCNTn)

TKBCNTnは、TKBCKSnで選択したクロックに同期してアップカウント動作します。下記のタイミングで0000Hとなり動作を継続します。

- TKBCNTnとTKBCRn0の値が一致時
- ELCとTKBSTSmで選択された外部トリガ入力を検出時
- 同時スタート&クリアモードで16ビット・タイマKB21, KB22は16ビット・タイマKB20からのカウンタ入力を検出時

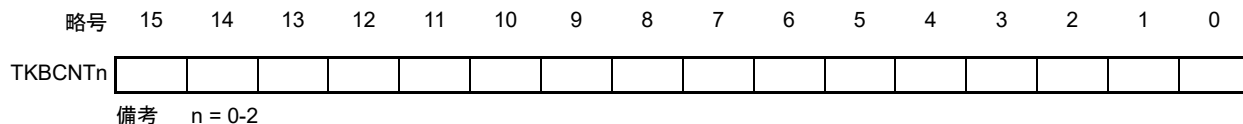
TKBCNTnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7-2 16ビット・タイマ・カウンタ・レジスタ n (TKBCNTn)のフォーマット

アドレス : F0520H (TKBCNT0), F0260H (TKBCNT1), F02A0H (TKBCNT2)

リセット時 :0000H R



(2) 16ビット・タイマKB2コンペア・レジスタ n0-n3 (TKBCRn0-TKBCRn3)

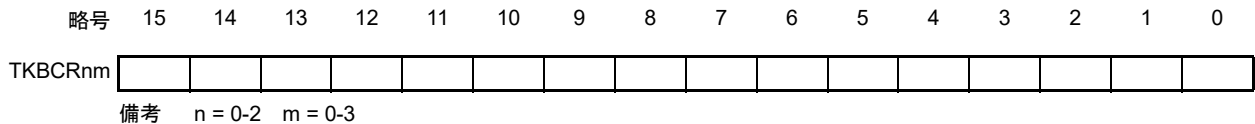
TKBCRnmは、タイマ・カウント中(TKBCEn = 1)にリフレッシュ (同値書き込み)および値の書き換えが可能です。タイマ動作中にTKBCRnmの値を書き換える場合、その値はラッチされ、下記のタイミングでTKBCRnmに転送され、TKBCRnmの値が変更されます。

- ・カウンタのカウント動作開始時(TKBCEn = 0)
 - ・一斉書き換えのトリガ発生時(TKBRDTn = 1またはTKBTSEn = 1のとき)
- TKBCRnmレジスタは、16ビット・メモリ操作命令で設定します。
リセット信号の発生により、0000Hになります。

図7-3 16ビット・タイマKB2コンペア・レジスタ n0-n3 (TKBCRn0-TKBCRn3)のフォーマット

アドレス : F0500H (TKBCR00), F0502H (TKBCR01), F0504H (TKBCR02), F0506H (TKBCR03),
F0240H (TKBCR10), F0242H (TKBCR11), F0244H (TKBCR12), F0246H (TKBCR13),
F0280H (TKBCR20), F0282H (TKBCR21), F0284H (TKBCR22), F0286H (TKBCR23)

リセット時 :0000H R/W



(3) 16ビット・タイマKB2トリガ・コンペア・レジスタ n (TKBTGCRn)

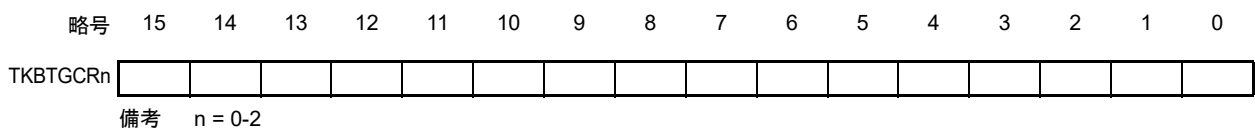
TKBTGCRnは、タイマ・カウント中(TKBCEn = 1)にリフレッシュ (同値書き込み)および値の書き換えが可能です。タイマ動作中にTKBTGCRnの値を書き換える場合、その値はラッチされ、下記のタイミングでTKBTGCRnに転送され、TKBTGCRnの値が変更されます。

- ・カウンタのカウント動作開始時(TKBCEn = 0→TKBCEn = 1)
- ・一斉書き換えのトリガ発生時(TKBRDTn = 1またはTKBTSEn = 1のとき)

本レジスタによる周期信号をELCのイベント発生元として使用可能です。
ELCイベント発生元はELSELR20~22 (TMKB2nトリガ出力)に対応します。
16ビット単位でリード/ライト可能です。
リセット信号の発生により、0000Hになります。

図7-4 16ビット・タイマKB2トリガ・コンペア・レジスタ n (TKBTGCRn)のフォーマット

アドレス : F0508H (TKBTGCR0), F0248H (TKBTGCR1), F0288H (TKBTGCR2) リセット時 : 0000H R/W



7.3 16ビット・タイマKB20, KB21, KB22を制御するレジスタ

16ビット・タイマKB20, KB21, KB22を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 1, 2 (PER1, PER2)
- 16ビット・タイマKB2・カウントクロック分周選択レジスタ n (TKBPSCSn)
- 16ビット・タイマKB2動作制御レジスタ n0 (TKBCTLn0)
- 16ビット・タイマKB2動作制御レジスタ n1 (TKBCTLn1)
- 16ビット・タイマKB2出力制御レジスタ n0 (TKBIOcn0)
- 16ビット・タイマKB2出力制御レジスタ n1 (TKBIOcn1)
- 16ビット・タイマKB2フラグ・レジスタ n (TKBFLGn)
- 16ビット・タイマKB2トリガ・レジスタ n (TKBTRGn)
- 16ビット・タイマKB2フラグ・クリア・トリガ・レジスタ n (TKBCLRn)
- 16ビット・タイマKB2ディザリング数レジスタ n0, n1 (TKBDNRn0, TKBDNRn1)
- 16ビット・タイマKB2コンペア1L & ディザリング数レジスタ n0 (TKBCRLDn0)
- 16ビット・タイマKB2コンペア1L & ディザリング数レジスタ n1 (TKBCRLDn1)
- 16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ n0, n1 (TKBSIRn0, TKBSIRn1)
- 16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ n0, n1 (TKBSSRn0, TKBSSRn1)
- 16ビット・タイマKB2最大周波数リミット設定レジスタ n (TKBMFRn)
- 強制出力停止機能制御レジスタ 0p (TKBPACTL0p)
- 強制出力停止機能制御レジスタ 1p (TKBPACTL1p)
- 強制出力停止機能制御レジスタ 2p (TKBPACTL2p)
- 強制出力停止機能制御レジスタ n2 (TKBPACTLn2)
- 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn)
- 強制出力停止機能1開始トリガ・レジスタ n (TKBPAHFSn)
- 強制出力停止機能解除トリガ・レジスタ n (TKBPAHFTn)
- ポート・モード・レジスタ 7 (PM7)
- ポート・レジスタ 7 (P7)

備考 n = 0, 1, 2 p = 0, 1

7.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマKB20を使用する場合は、必ずビット4を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1レジスタは00Hになります。

図7-5 周辺イネーブル・レジスタ1 (PER1) フォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CMPEN	TKB20EN	DTCEN	0	0	DACEN

TKB20EN	タイマKB20への入力クロックの制御
0	入力クロック供給停止 ・タイマKB20で使用するSFRへのライト不可 ・タイマKB20はリセット状態
1	入力クロック供給 ・タイマKB20で使用するSFRへのリード／ライト可 ・タイマKB20は動作可能

注意1. タイマKB20の設定をする際には、必ず最初にTKB20EN = 1の設定を行ってください。TKB20EN = 0の場合は、タイマKB20の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ7 (PM7)は除く)。

注意2. ビット1, 2, 6には、必ず0を設定してください。

7.3.2 周辺イネーブル・レジスタ2 (PER2)

PER2レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマKB21, タイマKB22を使用するときは、必ずビット0 (TKB21EN), ビット1 (TKB22EN)を1に設定してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-6 周辺イネーブル・レジスタ2 (PER2) フォーマット

アドレス : F00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	0	0	0	TKB22EN	TKB21EN

TKB22EN	タイマKB22への入カクロックの制御
0	入カクロック供給停止 ・タイマKB22で使用するSFRへのライト不可 ・タイマKB22はリセット状態
1	入カクロック供給 ・タイマKB22で使用するSFRへのリード/ライト可 ・タイマKB22は動作可能

TKB21EN	タイマKB21への入カクロックの制御
0	入カクロック供給停止 ・タイマKB21で使用するSFRへのライト不可 ・タイマKB21はリセット状態
1	入カクロック供給 ・タイマKB21で使用するSFRへのリード/ライト可 ・タイマKB21は動作可能

注意1. タイマKB22の設定をする際には、必ず最初にTKB22EN = 1の設定を行ってください。

TKB22EN = 0の場合は、タイマKB22の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ7 (PM7)は除く)。

注意2. タイマKB21の設定をする際には、必ず最初にTKB21EN = 1の設定を行ってください。

TKB21EN = 0の場合は、タイマKB21の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ7 (PM7)は除く)。

注意3. ビット7-2には必ず0を設定してください。

7.3.3 16ビット・タイマKB2・カウントクロック分周選択レジスタ n (TKBPSCSn)

TKBPSCSnレジスタはTKBTCKn0/TKBTCKn1の分周を選択するレジスタです。

TKBPSCSnレジスタの書き換えは次の場合のみ可能です。

TKBTPSn00-TKBTPSn02が書き換え可能な場合：

動作クロックにTKBTCKn0を選択(TKBCKSn = 0)しているタイマがすべて停止状態(TKBCEn = 0)。

TKBTPSn10-TKBTPSn12が書き換え可能な場合：

動作クロックにTKBTCKn1を選択(TKBCKSn = 1)しているタイマがすべて停止状態(TKBCEn = 0)。

TKBPSCSnレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図7-7 16ビット・タイマKB2・カウントクロック分周選択レジスタn (TKBPSCSn)のフォーマット

アドレス : F052AH (TKBPSCS0), F026AH (TKBPSCS1), F02AAH (TKBPSCS2) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TKBPSCSn	0	TKBTPSn12	TKBTPSn11	TKBTPSn10	0	TKBTPSn02	TKBTPSn01	TKBTPSn00
	TKBTPSni2	TKBTPSni1	TKBTPSni0	動作クロックの選択注1				
	0	0	0	TKBTCKiは分周なしのfCLK, fHOCOを選択注2または分周なしのfPLLを選択注4, 5				
	0	0	1	TKBTCKiは2分周のfCLKを選択注3または2分周のfPLLを選択注4, 5				
	0	1	0	TKBTCKiは4分周のfCLKを選択注3または4分周のfPLLを選択注4, 5				
	0	1	1	TKBTCKiは8分周のfCLKを選択注3または8分周のfPLLを選択注4, 5				
	1	0	0	TKBTCKiは16分周のfCLKを選択注3または16分周のfPLLを選択注4, 5				
	1	0	1	TKBTCKiは32分周のfCLKを選択注3または32分周のfPLLを選択注4, 5				
	上記以外			設定禁止				

- 注1. fCLKに選択しているクロックを変更する場合は、タイマKB2nを停止(TKBCEn = 0)させてください。
- 注2. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 0の時はfCLK, FRQSEL4 = 1の時はfHOCOが選択されます。動作クロックにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN), 周辺イネーブル・レジスタ2 (PER2)のビット1 (TKB22EN), ビット0 (TKB21EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更する時は、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN), 周辺イネーブル・レジスタ2 (PER2)のビット1 (TKB22EN), ビット0 (TKB21EN)をクリアした後に変更してください。
- 注3. ユーザ・オプション・バイト(000C2H/010C2H)のFRQSEL4 = 1の時は設定しないでください。
- 注4. PLL発振する時かつMCKCレジスタのCKSELR = 1に設定するとき、16ビット・タイマKB20, KB21, KB22カウンタのソース・クロックがfPLLに選択されます。動作クロックにfPLLを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN), 周辺イネーブル・レジスタ2 (PER2)のビット1 (TKB22EN), ビット0 (TKB21EN)をセットする前に、fCLKをfPLLに設定してください。fCLKをfPLL以外のクロックに変更する時は、周辺イネーブル・レジスタ1 (PER1)のビット4 (TKB20EN), 周辺イネーブル・レジスタ2 (PER2)のビット1 (TKB22EN), ビット0 (TKB21EN)をクリアした後に変更してください。
- 注5. USB搭載製品のみ、かつPLL発振時にMCKCレジスタのCKSELRビットを1に設定すると、fPLLクロックが選択できます。詳細は、第5章 クロック発生回路を参照してください。

注意 ビット7, 3には、必ず0を設定してください。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. n = 0-2 i = 0, 1

備考3. fPLLは48 MHz (TYP.)です。

7.3.4 16ビット・タイマKB2動作制御レジスタ n0 (TKBCTLn0)

TKBCTLn0は、ソフトスタート機能、ディザリング機能、最大周波数リミット機能、インタリーブPFC1出力、外部トリガによるコンペアレジスタの一斉書き換え機能、カウンタトリガの選択をするレジスタです。

TKBCTLn0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により0000Hになります。

図7-8 16ビット・タイマKB2動作制御レジスタ n0 (TKBCTLn0)のフォーマット(1/2)

略号	15	14	13	12	11	10	9	8
TKBCTLn0	0	0	TKBSSEn1	TKBDIEn1	0	0	TKBSSEn0	TKBDIEn0
	7	6	5	4	3	2	1	0
	TKBMEFn	0	TKBIRSn1	TKBIRSn0	0	TKBTSEn	TKBSTSn1	TKBSTSn0
TKBSSEnp	TKBOnpのPWM出力ソフトスタート機能の制御							
0	PWM出力ソフトスタート機能を使用しない							
1	PWM出力ソフトスタート機能を使用する							
TKBDIEnp	TKBOnpのPWM出力ディザリング機能の制御							
0	PWM出力ディザリング機能を使用しない							
1	PWM出力ディザリング機能を使用する							
TKBMEFn	TKBOnpの最大周波数リミット機能の制御							
0	最大周波数リミット機能を使用しない							
1	最大周波数リミット機能を使用する							
TKBIRSn1	TKBIRSn0	インタリーブPFC出力モードにおけるTKBOnpを直ちに出力する リスタートトリガ要因1入力受付範囲の設定						
0	0	T/2 ~ T/2 + T/64						
0	1	T/2 ~ T/2 + T/32						
1	0	T/2 ~ T/2 + T/16						
1	1	T/2 ~ T/2 + T/8						
TKBTSEn	外部トリガによるコンペア・レジスタ一斉書き換え機能の制御							
0	外部トリガによるコンペア・レジスタ一斉書き換え機能を使用しない							
1	外部トリガによるコンペア・レジスタ一斉書き換え機能を使用する							

備考 n = 0-2 p = 0, 1

図7-9 16ビット・タイマKB2動作制御レジスタ n0 (TKBCTLn0)のフォーマット(2/2)

アドレス : F0522H (TKBCTL00), F0262H (TKBCTL10), F02A2H (TKBCTL20) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBCTLn0	0	0	TKBSSEn1	TKBDIEn1	0	0	TKBSSEn0	TKBDIEn0
	7	6	5	4	3	2	1	0
	TKBMEFn	0	TKBIRSn1	TKBIRSn0	0	TKBTSEn	TKBSTSn1	TKBSTSn0
	TKBSTSn1	TKBSTSn0	タイマKB2nのリスタート・トリガの選択					
	0	0	トリガ入力を使用しない					
	0	1	カウンタリスタートトリガ要因0選択 ^注					
	1	0	カウンタリスタートトリガ要因1選択 ^注					
	1	1	カウンタリスタートトリガ要因2選択 ^注					

注 対応するイベント発生元はELSELm (m = 00-19)で選択されます。イベントリンク出力先はTKBSTSn1, TKBSTSn0と同じ要因に選択してください。

注意1. タイマ動作中に、TKBCTLn0レジスタを書き換えしないでください。ただし、TKBCTLn0レジスタにリフレッシュ (同値書き込み)することは可能です。

注意2. ビット 15, 14, 11, 10, 6, 3には必ず0を設定してください。

備考 n = 0-2

7.3.5 16ビット・タイマKB2動作制御レジスタ n1 (TKBCTLn1)

TKBCTLn1は、16ビット・タイマの動作の制御とカウント・クロックの設定をするレジスタです。

TKBCTLn1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7 - 10 16ビット・タイマKB2動作制御レジスタn1 (TKBCTLn1)のフォーマット

アドレス : F0529H (TKBCTL01) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TKBCTL01	TKBCE0	0	0	TKBCKS0	TKBSCM0	0	TKBMD01	TKBMD00

アドレス : F0269H (TKBCTL11), F02A9H (TKBCTL21) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TKBCTLm1	TKBCEm	0	0	TKBCKSm	TKBSCMm	0	TKBMDm1	TKBMDm0

・TKBCTL01の場合

TKBMD01	TKBMD00	タイマKB20の動作モードの選択
0	0	単体動作モード
1	1	インターリーブPFC出力モード
上記以外		設定禁止

・TKBCTL11, TKBCTL21の場合

TKBMDm1	TKBMDm0	タイマKB2mの動作モードの選択
0	0	単体動作モード
0	1	同時スタート&ストップ・モード(スレーブ使用)
1	0	同時スタート&クリア・モード(スレーブ使用)
1	1	インターリーブPFC出力モード

・TKBCTLn1の場合

TKBCEn	タイマKB2nの動作制御
0	タイマ動作停止(カウンタはFFFF)
1	タイマ動作許可

TKBCKSn	タイマKB2nのクロック選択
0	TKBTCKn0を選択
1	TKBTCKn1を選択

TKBSCMn	タイマKB2nのスタート動作制御
0	TKBCKSnビットで選択したクロックで動作
1	カウント動作開始タイミングだけは、TKBTCKn0クロックとTKBTCKn1クロックの一致でスタート。 動作開始後は、TKBCKSnビットで選択したクロックで動作。 注意 TKBSCM0ビットでスレーブに同時スタート・モードを設定することで、そのスレーブとマスタのスタート・タイミングを一致させることが可能です。

注意1. タイマ動作中に、TKBCTLn1レジスタを書き換えしないでください。ただし、TKBCTLn1レジスタにリフレッシュ(同値書き込み)することは可能です。

注意2. TKBCTLn1は、ビット6, 5, 2に必ず0を設定してください。

備考 n = 0-2 m = 1, 2

7.3.6 16ビット・タイマKB2出力制御レジスタ n0 (TKBIOCn0)

TKBIOCn0は、16ビット・タイマKB2n出力(TKBOnp)のデフォルト・レベル/アクティブ・レベルを設定するレジスタです。

TKBIOCn0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-11 16ビット・タイマKB2出力制御レジスタ n0 (TKBIOCn0)のフォーマット

アドレス : F0526H (TKBIOC00), F0266H (TKBIOC10), F02A6H (TKBIOC20)	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
TKBIOCn0	0	0	0	0	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0
TKBTOLnp	タイマ出力TKBOnpのアクティブ・レベル設定							
0	アクティブ・レベルをハイレベルとする							
1	アクティブ・レベルをロウレベルとする							
TKBTODnp	タイマ出力TKBOnpのデフォルト・レベル設定							
0	デフォルト・レベルをロウレベルとする							
1	デフォルト・レベルをハイレベルとする							

注意1. タイマ動作中に、TKBIOCn0レジスタを書き換えしないでください。ただし、TKBIOCn0レジスタにリフレッシュ(同値書き込み)することは可能です。

注意2. ビット7-4には必ず0を設定してください。

注意3. 実際のTKBOnp端子の出力は、TKBOnp出力のほかに、兼用ポートのポート・モード・レジスタ(PM7)とポート・レジスタ(P7)によって決まります。

備考 n = 0-2 p = 0, 1

7.3.7 16ビット・タイマKB2出力制御レジスタ n1 (TKBIOCn1)

TKBIOCn1は、16ビット・タイマKB2n出力(TKBOnp)の出力禁止/許可を制御するレジスタです。

TKBIOCn1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-12 16ビット・タイマKB2出力制御レジスタ n1 (TKBIOCn1)のフォーマット

アドレス : F0528H (TKBIOC01), F0268H (TKBIOC11), F02A8H (TKBIOC21) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TKBIOCn1	0	0	0	0	0	0	TKBTOEn1	TKBTOEn0

TKBTOEnp	タイマ出力TKBOnpの出力許可/禁止
0	タイマ出力禁止 (TKBTODnp = 0の場合、ロウレベル出力。TKBTODnp = 1の場合、ハイレベル出力)
1	タイマ出力許可

注意1. タイマ動作中に、TKBIOCn1レジスタのビット1, 0 (TKBTOEn1, KTBTOEn0)を書き換え可能です。

注意2. ビット7-2には必ず0を設定してください。

注意3. 実際のTKBOnp端子の出力は、TKBOnp出力のほかに、兼用ポートのポート・モード・レジスタ (PM7)とポート・レジスタ (P7)によって決まります。

備考 n = 0-2

7.3.8 16ビット・タイマKB2フラグ・レジスタ n (TKBFLGn)

TKBFLGnは、16ビット・タイマKB2nのステータス・フラグを表示するレジスタです。

TKBFLGnは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

図7-13 16ビット・タイマKB2フラグ・レジスタ n (TKBFLGn)のフォーマット

アドレス : F0513H (TKBFLG0), F0253H (TKBFLG1), F0293H (TKBFLG2) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
TKBFLGn	TKBSSFnp	TKBSSFn0	TKBSEFn1	TKBSEFn0	TKBIRFn	TKBIEFn	TKBMFFn	TKBRSFn
	TKBSSFnp	TKBOnp 端子のPWM出力ソフト・スタート機能のステータス・フラグ						
	0	PWM出力ソフト・スタート停止中						
	1	PWM出力ソフト・スタート実行中						
	TKBSEFnp	TKBOnp 端子のPWM出力ソフト・スタート機能のエラー・フラグ						
	0	エラー未発生、またはTKBCLSEnによるクリアの完了						
	1	エラー発生(PWM出力ソフト・スタート実行中(TKBSSFnp = 1)にTKBRDTn = 1が発生)						
	TKBIRFn	インターリーブPFCモードでのリスタートトリガ要因1トリガ未検出エラー・フラグ						
	0	エラー未発生、またはTKBCLIRnによるクリアの完了						
	1	エラー発生(T/2 + T/n (n = 8, 16, 32, 64)内にリスタートトリガ要因1トリガが未検出の周期あり)						
	TKBIEFn	インターリーブPFCモードでのリスタートトリガ要因1トリガ多重検出エラー・フラグ						
	0	エラー未発生、またはTKBCLIE0によるクリアの完了						
	1	エラー発生(TKBOn1の幅カウント中に再度カウントスタートトリガを検出)						
	TKBMFFn	最大周波数リミット機能のステータス・フラグ						
	0	最大周波数リミット機能未発生、またはTKBCLMFnによるクリアの完了						
	1	最大周波数リミット機能発生						
	TKBRSFn	一斉書き換えトリガの保留ステータス・フラグ						
	0	一斉書き換え許可状態、または一斉書き換えトリガ発生による一斉書き換えの完了						
	1	一斉書き換えトリガ・ビットTKBRDTnへの書き込みによる一斉書き換え保留(完了待ち)状態。						

備考1. n = 0-2 p = 0, 1

備考2. Tは直前のリスタート周期

7.3.9 16ビット・タイマKB2トリガ・レジスタn (TKBTRGn)

TKBTRGnは、16ビット・タイマKB2nのコンペア・レジスタを一斉書き換えするためのトリガ・レジスタです。

TKBTRGnは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-14 16ビット・タイマKB2トリガ・レジスタn (TKBTRGn)のフォーマット

アドレス : F0512H (TKBTRG0), F0252H (TKBTRG1), F0292H (TKBTRG2) リセット時 : 00H W

略号	7	6	5	4	3	2	1	0
TKBTRGn	0	0	0	0	0	0	0	TKBRDTn

TKBRDTn	コンペアレジスタ一斉書き換え要求のトリガ
0	設定無効
1	コンペアレジスタ一斉書き換え要求 TKBRSFnフラグを“1”にセットする。

備考 TKBTRGnの読み出し値は常に0となります。

7.3.10 16ビット・タイマKB2フラグ・クリア・トリガ・レジスタn (TKBCLRn)

TKBCLRnは、16ビット・タイマKB2フラグ・レジスタn (TKBFLGn)のフラグをクリアするレジスタです。

TKBCLRnは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-15 16ビット・タイマKB2フラグ・クリア・トリガ・レジスタn (TKBCLRn)のフォーマット

アドレス：F0527H (TKBCLR0), F0267H (TKBCLR1), F02A7H (TKBCLR2)

リセット時：00H W

略号	7	6	5	4	3	2	1	0
TKBCLRn	0	0	TKBCLSEn1	TKBCLSEn0	TKBCLIRn	TKBCLIEEn	TKBCLMFEn	0
TKBCLSEn _p	TKBOn _p 端子のPWM出カソフト・スタート機能のエラー・フラグのクリア・トリガ							
0	設定無効							
1	TKBSEFn _p フラグを"0"にクリアする							
TKBCLIRn	インターリーブPFCモードでのリスタートトリガ要因1トリガ未検出エラー・フラグのクリア・トリガ							
0	設定無効							
1	TKBIRFn _p フラグを"0"にクリアする							
TKBCLIEEn	インターリーブPFCモードでのリスタートトリガ要因1トリガ多重検出エラー・フラグのクリア・トリガ							
0	設定無効							
1	TKBIEFn _p フラグを"0"にクリアする							
TKBCLMFEn	最大周波数リミット機能のステータス・フラグのクリア・トリガ							
0	設定無効							
1	TKBMFFn _p フラグを"0"にクリアする							

注意 ビット7, 6, 0には必ず0を設定してください。

備考1. n = 0-2 p = 0, 1

備考2. TKBCLRnの読み出し値は常に0となります。

7.3.11 16ビット・タイマKB2ディザリング数レジスタ n0, n1 (TKBDNRn0, TKBDNRn1)

TKBDNRnpは、TKBOnp出力のPWMディザリング機能で使用するレジスタです。

このレジスタの値の上位4ビットの値をN (N = 0H-FH)としたとき、PWM出力の16周期のうち、N回の周期のアクティブ期間を1クロック分延長して出力します。

TKBDNRnpの設定とアクティブ期間を1クロック延長する周期の回数(N)、16周期のうち何周期目(第k周期)を延長するかを関係を図7-17に示します。

TKBDNRnpは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-16 16ビット・タイマKB2ディザリング数レジスタ n0, n1 (TKBDNRn0, TKBDNRn1)のフォーマット

アドレス： F050EH (TKBDNR00), F0510H (TKBDNR01), F024EH (TKBDNR10), F0250H (TKBDNR11),
F028EH (TKBDNR20), F0290H (TKBDNR21)

リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TKBDNRnp					0	0	0	0

注意 ビット3-0には必ず0を設定してください。タイマ動作中に、TKBDNRnpレジスタを書き換え可能です。

備考 n = 0-2 p = 0, 1

図7-17 16ビット・タイマKB2ディザリング数レジスタ 0p (TKBDNRnp)の設定

第k周期 回数(N)	k															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1	■															
2	■								■							
3	■				■				■							
4	■				■				■			■				
5	■		■		■				■			■				
6	■		■		■				■		■					
7	■		■		■			■			■					
8	■		■		■		■		■		■				■	
9	■	■			■		■		■		■				■	
10	■	■			■		■		■	■					■	
11	■	■			■	■			■	■					■	
12	■	■			■	■			■	■				■	■	
13	■	■			■	■			■	■				■	■	
14	■	■			■	■			■	■		■		■	■	
15	■	■			■	■			■	■		■		■	■	

備考1. セル：TKBCRn1, TKBCRn3レジスタの設定値に従ったアクティブ周期にする

セル：TKBCRn1, TKBCRn3レジスタの設定値に + 1したアクティブ周期にする

備考2. n = 0-2 p = 0, 1

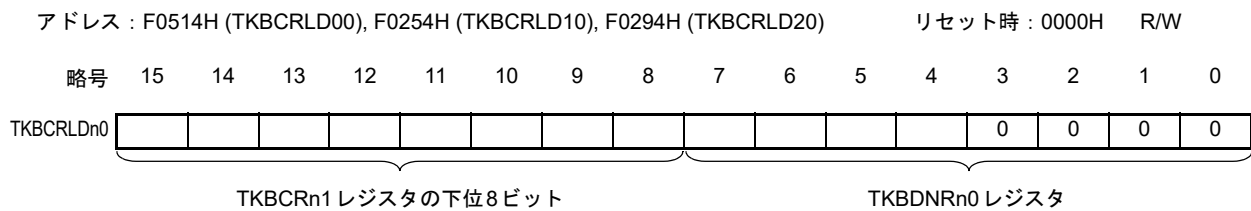
7.3.12 16ビット・タイマKB2コンペア1L & ディザリング数レジスタ n0 (TKBCRLDn0)

TKBCRLDn0は、上位8ビットに「TKBCRn1レジスタの下位8ビット」、下位8ビットに「TKBDNRn0レジスタ」の値を格納したレジスタです。

TKBCRLDn0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7-18 16ビット・タイマKB2コンペア1L & ディザリング数レジスタ n0 (TKBCRLDn0)のフォーマット



注意 ビット3-0には必ず0を設定してください。タイマ動作中に、TKBDNRnpレジスタを書き換え可能です。

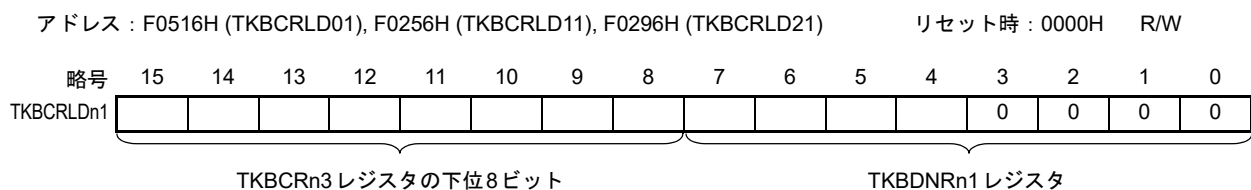
7.3.13 16ビット・タイマKB2コンペア1L & ディザリング数レジスタ n1 (TKBCRLDn1)

TKBCRLDn1は、上位8ビットに「TKBCRn3レジスタの下位8ビット」、下位8ビットに「TKBDNRn1レジスタ」の値を格納したレジスタです。

TKBCRLDn1は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7-19 16ビット・タイマKB2コンペア1L & ディザリング数レジスタ n1 (TKBCRLDn1)のフォーマット



注意 ビット3-0には必ず0を設定してください。タイマ動作中に、TKBDNRnpレジスタを書き換え可能です。

7.3.14 16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ n0, n1 (TKBSIRn0, TKBSIRn1)

TKBSIRnpは、TKBOnp出力のPWM出力ソフト・スタート機能での初期デューティを設定するレジスタです。

TKBSIRnpは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7-20 16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ n0, n1 (TKBSIRn0, TKBSIRn1) のフォーマット

アドレス : F050AH (TKBSIR00), F050CH (TKBSIR01), F024AH (TKBSIR10),
F024CH (TKBSIR11), F028AH (TKBSIR20), F028CH (TKBSIR21) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBSIRnp																

注意 タイマ動作中に、TKBSIRnpレジスタを書き換え可能です。

備考 n = 0-2 p = 0, 1

7.3.15 16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ n0, n1 (TKBSSRn0, TKBSSRn1)

TKBSSRnpは、TKBOnp出力のPWM出力ソフト・スタート機能で使用するレジスタです。

このレジスタの値をN (N = 0000B-1111B)とするとTKBSIRnpで設定したアクティブ出力期間のPWMをN + 1回分出力します。その後は、(アクティブ期間 + 1クロック)の波形をN + 1回、(アクティブ期間 + 2クロック)の波形をN + 1回、・・・というように継続出力して、最終的にTKBCRn1またはTKBCRn3と同じデューティになったところで、PWM出力ソフト・スタート機能が解除され、通常PWM出力に移行します。

TKBSSRnpは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-21 16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ n0, n1 (TKBSSRn0, TKBSSRn1) のフォーマット

アドレス : F050FH (TKBSSR00), F0511H (TKBSSR01), F024FH (TKBSSR10), F0251H (TKBSSR11),
F028FH (TKBSSR20), F0291H (TKBSSR21)

リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TKBSSRnp	0	0	0	0				

注意 タイマ動作中に、TKBSSRnpレジスタを書き換え可能です。ビット7-4には必ず0を設定してください。

備考 n = 0-2 p = 0, 1

7.3.16 16ビット・タイマKB2最大周波数リミット設定レジスタn (TKBMFRn)

TKBMFRnは、外部トリガによるタイマ・リスタートの最小周期を設定するレジスタです。

カウンタ (TKBCNTn)が、このTKBMFRnよりも小さい値のときにトリガ入力を検出すると、そのトリガを保留し、TKBMFRn設定値までカウントしたあとにカウンタ (TKBCNTn)をクリア (リスタート) します。

TKBMFRnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7-22 16ビット・タイマKB2最大周波数リミット設定レジスタn (TKBMFRn)のフォーマット

アドレス :	F0524H (TKBMFR0),	F0264H (TKBMFR1),	F02A4H (TKBMFR2)	リセット時 :	0000H	R/W										
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBMFRn																

タイマ動作中に、TKBMFRnレジスタを書き換えしないでください。ただし、TKBMFRnレジスタにリフレッシュ (同値書き込み) することは可能です。

7.3.17 強制出力停止機能制御レジスタ 0p (TKBPACTL0p)

TKBPACTL0pは、TKBO0p端子に対する強制出力停止機能制御のトリガとして使用する信号の選択を行うレジスタです。

TKBPACTL0pは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7 - 23 強制出力停止機能制御レジスタ 0p (TKBPACTL0p)のフォーマット(1/3)

アドレス : F0530H (TKBPACTL00), F0532H (TKBPACTL01) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS0p2	TKBPAHZS0p1	TKBPAHZS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0
TKBPAFXS0p3	タイマKB20用強制出力停止機能2の入力(3)							
0	タイマKB2強制出力停止要因2を使用しない							
1	タイマKB2強制出力停止要因2を使用する(ELCのリンク先23番に対応)							
TKBPAFXS0p2	タイマKB20用強制出力停止機能2の入力(2)							
0	タイマKB20強制出力停止要因を使用しない							
1	タイマKB20強制出力停止要因を使用する(ELCのリンク先20番に対応)							
TKBPAFXS0p1	タイマKB20用強制出力停止機能2の入力(1)							
0	タイマKB2強制出力停止要因1を使用しない							
1	タイマKB2強制出力停止要因1を使用する(ELCのリンク先19番に対応)							
TKBPAFXS0p0	タイマKB20用強制出力停止機能2の入力(0)							
0	タイマKB2強制出力停止要因0を使用しない							
1	タイマKB2強制出力停止要因0を使用する(ELCのリンク先18番に対応)							
TKBPAFCM0p	タイマKB20強制出力停止機能2の動作モード選択							
0	強制出力停止入力2検出で強制出力停止機能2を開始し、次のカウンタのリスタートに同期して強制出力停止機能2を解除。							
1	強制出力停止入力2検出で強制出力停止機能2を開始し、そのトリガの解除を検出してから、次のカウンタのリスタートに同期して強制出力停止機能2を解除。							

備考 p = 0, 1

図7-24 強制出力停止機能制御レジスタ0p (TKBPACTL0p)のフォーマット(2/3)

アドレス : F0530H (TKBPACTL00), F0532H (TKBPACTL01) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	TKBPAHVS0p2	TKBPAHVS0p1	TKBPAHVS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0
	TKBPAHVS0p2		タイマKB20用強制出力停止機能1の入力(2)					
	0		タイマKB20強制出力停止要因を使用しない					
	1		タイマKB20強制出力停止要因を使用する(ELCのリンク先20番に対応)					
	TKBPAHVS0p1		タイマKB20用強制出力停止機能1の入力(1)					
	0		タイマKB2強制出力停止要因1を使用しない					
	1		タイマKB2強制出力停止要因1を使用する(ELCのリンク先19番に対応)					
	TKBPAHVS0p0		タイマKB20用強制出力停止機能1の入力(0)					
	0		タイマKB2強制出力停止要因0, 外部割り込み, INTP1を使用しない					
	1		タイマKB2強制出力停止要因0を使用する(ELCのリンク先18番に対応)					
	TKBPAHCM0p1	TKBPAHCM0p0	強制出力停止機能1の動作モード選択					
	0	0	強制出力停止入力1を検出し, 強制出力停止機能1を開始する。その入力のレベルに関係なく, TKBPAHTT0p = 1を設定すると, 強制出力停止機能1を解除する。					
	0	1	強制出力停止入力1を検出し, 強制出力停止機能1を開始する。その入力解除された後, TKBPAHTT0p = 1を設定すると, 強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT0p = 1を設定しても無効となる。					
	1	0	強制出力停止入力1を検出し, 強制出力停止機能1を開始する。その入力のレベルに関係なく, TKBPAHTT0p = 1を設定後, 次のカウンタのリスタートに同期して強制出力停止機能1を解除する。					
	1	1	強制出力停止入力1を検出し, 強制出力停止機能1を開始する。その入力解除された後, TKBPAHTT0p = 1を設定後, 次のカウンタのリスタートに同期して強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT0p = 1を設定しても無効となる。					

備考 p = 0, 1

図7 - 25 強制出力停止機能制御レジスタ0p (TKBPACTL0p)のフォーマット(3/3)

アドレス : F0530H (TKBPACTL00), F0532H (TKBPACTL01) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL0p	TKBPAFXS0p3	TKBPAFXS0p2	TKBPAFXS0p1	TKBPAFXS0p0	0	0	0	TKBPAFCM0p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS0p2	TKBPAHZS0p1	TKBPAHZS0p0	TKBPAHCM0p1	TKBPAHCM0p0	TKBPAMD0p1	TKBPAMD0p0
TKBPAMD0p1	TKBPAMD0p0	強制出力停止機能実行時の出力状態選択						
		強制出力停止機能1			強制出力停止機能2			
0	0	ハイ・インピーダンス出力			ロウレベル固定出力			
0	1	ハイ・インピーダンス出力			ハイレベル固定出力			
1	0	ロウレベル固定出力			ロウレベル固定出力			
1	1	ハイレベル固定出力			ハイレベル固定出力			

注意1. ビット11-9, 7には必ず0を設定してください。

注意2. タイマ動作中に、TKBPACTL0pレジスタを書き換えしないでください。ただし、TKBPACTL0pレジスタにリフレッシュ(同値書き込み)することは可能です。

注意3. コンパレータ0, 1検出をトリガ要因として使用し、コンパレータフィルタ制御レジスタ (COMPFIR)のC1EDG, C0EDGビットを1(両エッジ検出)で使用する場合は、必ずTKBPAFCM0pとTKMPAHCMP0が0の設定で使用してください。

備考 p = 0, 1 n = 0-2

7.3.18 強制出力停止機能制御レジスタ 1p (TKBPACTL1p)

TKBPACTL1pは、TKBO1p端子に対する強制出力停止機能制御のトリガとして使用する信号の選択を行うレジスタです。

TKBPACTL1pは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7 - 26 強制出力停止機能制御レジスタ 1p (TKBPACTL1p)のフォーマット(1/3)

アドレス : F0270H (TKBPACTL10), F0272H (TKBPACTL11) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL1p	TKBPAFXS1p3	TKBPAFXS1p2	TKBPAFXS1p1	TKBPAFXS1p0	0	0	0	TKBPAFCM1p
	7	6	5	4	3	2	1	0
	0	TKBPAHXS1p2	TKBPAHXS1p1	TKBPAHXS1p0	TKBPAHCM1p1	TKBPAHCM1p0	TKBPAMD1p1	TKBPAMD1p0
		2	1	0	p1	p0	1	0
	TKBPAFXS1p3	タイマKB21用強制出力停止機能2の入力(3)						
	0	タイマKB2強制出力停止要因2を使用しない						
	1	タイマKB2強制出力停止要因2を使用する(ELCのリンク先23番に対応)						
	TKBPAFXS1p2	タイマKB21用強制出力停止機能2の入力(2)						
	0	タイマKB21強制出力停止要因を使用しない						
	1	タイマKB21強制出力停止要因を使用する(ELCのリンク先21番に対応)						
	TKBPAFXS1p1	タイマKB21用強制出力停止機能2の入力(1)						
	0	タイマKB2強制出力停止要因1を使用しない						
	1	タイマKB2強制出力停止要因1を使用する(ELCのリンク先19番に対応)						
	TKBPAFXS1p0	タイマKB21用強制出力停止機能2の入力(0)						
	0	タイマKB2強制出力停止要因0を使用しない						
	1	タイマKB2強制出力停止要因0を使用する(ELCのリンク先18番に対応)						
	TKBPAFCM1p	タイマKB21強制出力停止機能2の動作モード選択						
	0	強制出力停止入力2検出で強制出力停止機能2を開始し、次のカウンタのリスタートに同期して強制出力停止機能2を解除。						
	1	強制出力停止入力2検出で強制出力停止機能2を開始し、そのトリガの解除を検出してから、次のカウンタのリスタートに同期して強制出力停止機能2を解除。						

備考 p = 0, 1

図7 - 27 強制出力停止機能制御レジスタ 1p (TKBPACTL1p)のフォーマット(2/3)

アドレス : F0270H (TKBPACTL10), F0272H (TKBPACTL11) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL1p	TKBPAFXS1p 3	TKBPAFXS1p 2	TKBPAFXS1p 1	TKBPAFXS1p 0	0	0	0	TKBPAFCM1 p
	7	6	5	4	3	2	1	0
	0	TKBPAHVS1p 2	TKBPAHVS1p 1	TKBPAHVS1p 0	TKBPAHCM1 p1	TKBPAHCM1 p0	TKBPAMD1p 1	TKBPAMD1p 0
TKBPAHVS1p2	タイマKB21用強制出力停止機能1の入力(2)							
0	タイマKB21強制出力停止要因を使用しない							
1	タイマKB21強制出力停止要因を使用する(ELCのリンク先21番に対応)							
TKBPAHVS1p1	タイマKB21用強制出力停止機能1の入力(1)							
0	タイマKB2強制出力停止要因1を使用しない							
1	タイマKB2強制出力停止要因1を使用する(ELCのリンク先19番に対応)							
TKBPAHVS1p0	タイマKB21用強制出力停止機能1の入力(0)							
0	タイマKB2強制出力停止要因0を使用しない							
1	タイマKB2強制出力停止要因0を使用する(ELCのリンク先18番に対応)							
TKBPAHCM1p1	TKBPAHCM1p0	強制出力停止機能1の動作モード選択						
0	0	強制出力停止入力1を検出し、強制出力停止機能1を開始する。その入力のレベルに関係なく、TKBPAHTT1p = 1を設定すると、強制出力停止機能1を解除する。						
0	1	強制出力停止入力1を検出し、強制出力停止機能1を開始する。その入力解除された後、TKBPAHTT1p = 1を設定すると、強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT1p = 1を設定しても無効となる。						
1	0	強制出力停止入力1を検出し、強制出力停止機能1を開始する。その入力のレベルに関係なく、TKBPAHTT1p = 1を設定後、次のカウンタのリスタートに同期して強制出力停止機能1を解除する。						
1	1	強制出力停止入力1を検出し、強制出力停止機能1を開始する。その入力解除された後、TKBPAHTT1p = 1を設定後、次のカウンタのリスタートに同期して強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT1p = 1を設定しても無効となる。						

備考 p = 0, 1

図7 - 28 強制出力停止機能制御レジスタ 1p (TKBPACTL1p)のフォーマット(3/3)

アドレス : F0270H (TKBPACTL10), F0272H (TKBPACTL11) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL1p	TKBPAFXS1p 3	TKBPAFXS1p 2	TKBPAFXS1p 1	TKBPAFXS1p 0	0	0	0	TKBPAFCM1 p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS1p 2	TKBPAHZS1p 1	TKBPAHZS1p 0	TKBPAHCM1 p1	TKBPAHCM1 p0	TKBPAMD1p 1	TKBPAMD1p 0
TKBPAMD1p	TKBPAMD1p	強制出力停止機能実行時の出力状態選択						
		強制出力停止機能1			強制出力停止機能2			
1	0	ハイ・インピーダンス出力			ロウレベル固定出力			
0	0	ハイ・インピーダンス出力			ハイレベル固定出力			
0	1	ハイ・インピーダンス出力			ハイレベル固定出力			
1	0	ロウレベル固定出力			ロウレベル固定出力			
1	1	ハイレベル固定出力			ハイレベル固定出力			

注意1. ビット11-9, 7には必ず0を設定してください。

注意2. タイマ動作中に、TKBPACTL1pレジスタを書き換えしないでください。ただし、TKBPACTL1pレジスタにリフレッシュ(同値書き込み)することは可能です。

注意3. コンパレータ0, 1検出をトリガ要因として使用し、コンパレータフィルタ制御レジスタ (COMPFIR)のC1EDG, C0EDGビットを1(両エッジ検出)で使用する場合は、必ずTKBPAFCMP1pとTKBPAHCM1p0が0の設定で使用してください。

備考 p = 0, 1 n = 0-2

7.3.19 強制出力停止機能制御レジスタ 2p (TKBPACTL2p)

TKBPACTL2pは、TKBO2p 端子に対する強制出力停止機能制御のトリガとして使用する信号の選択を行うレジスタです。

TKBPACTL2pは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7 - 29 強制出力停止機能制御レジスタ 2p (TKBPACTL2p)のフォーマット(1/3)

アドレス : F02B0H (TKBPACTL20), F02B2H (TKBPACTL21) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBPACTL2p	TKBPAFXS2p3	TKBPAFXS2p2	TKBPAFXS2p1	TKBPAFXS2p0	0	0	0	TKBPAFCM2p
	7	6	5	4	3	2	1	0
	0	TKBPAHZS2p2	TKBPAHZS2p1	TKBPAHZS2p0	TKBPAHCM2p1	TKBPAHCM2p0	TKBPAMD2p1	TKBPAMD2p0
		2	1	0	p1	p0	1	0
	TKBPAFXS2p3	タイマKB22用強制出力停止機能2の入力(3)						
	0	タイマKB2強制出力停止要因2を使用しない						
	1	タイマKB2強制出力停止要因2を使用する(ELCのリンク先23番に対応)						
	TKBPAFXS2p2	タイマKB22用強制出力停止機能2の入力(2)						
	0	タイマKB22強制出力停止要因を使用しない						
	1	タイマKB22強制出力停止要因を使用する(ELCのリンク先22番に対応)						
	TKBPAFXS2p1	タイマKB22用強制出力停止機能2の入力(1)						
	0	タイマKB2強制出力停止要因1を使用しない						
	1	タイマKB2強制出力停止要因1を使用する(ELCのリンク先19番に対応)						
	TKBPAFXS2p0	タイマKB22用強制出力停止機能2の入力(0)						
	0	タイマKB2強制出力停止要因0を使用しない						
	1	タイマKB2強制出力停止要因0を使用する(ELCのリンク先18番に対応)						
	TKBPAFCM2p	強制出力停止機能2の動作モード選択						
	0	強制出力停止入力2検出で強制出力停止機能2を開始し、次のカウンタのリスタートに同期して強制出力停止機能2を解除。						
	1	強制出力停止入力2検出で強制出力停止機能2を開始し、そのトリガの解除を検出してから、次のカウンタのリスタートに同期して強制出力停止機能2を解除。						

備考 p = 0, 1

図7 - 30 強制出力停止機能制御レジスタ 2p (TKBPACTL2p)のフォーマット(2/3)

アドレス : F02B0H (TKBPACTL20), F02B2H (TKBPACTL21) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBPACT L2p	TKBPAFXS2p 3	TKBPAFXS2p 2	TKBPAFXS2p 1	TKBPAFXS2p 0	0	0	0	TKBPAFCM2 p
	7	6	5	4	3	2	1	0
	0	TKBPAHVS2p 2	TKBPAHVS2p 1	TKBPAHVS2p 0	TKBPAHCM2 p1	TKBPAHCM2 p0	TKBPAMD2p 1	TKBPAMD2p 0
	TKBPAHVS2p2		タイマKB22用強制出力停止機能1の入力(2)					
	0		タイマKB22強制出力停止要因を使用しない					
	1		タイマKB22強制出力停止要因を使用する(ELCのリンク先22番に対応)					
	TKBPAHVS2p1		タイマKB22用強制出力停止機能1の入力(1)					
	0		タイマKB2強制出力停止要因1を使用しない					
	1		タイマKB2強制出力停止要因1を使用する(ELCのリンク先19番に対応)					
	TKBPAHVS2p0		タイマKB22用強制出力停止機能1の入力(0)					
	0		タイマKB2強制出力停止要因0を使用しない					
	1		タイマKB2強制出力停止要因0を使用する(ELCのリンク先18番に対応)					
	TKBPAHCM 2p1	TKBPAHCM 2p0	強制出力停止機能1の動作モード選択					
	0	0	強制出力停止入力1を検出し、強制出力停止機能1を開始する。その入力のレベルに関係なく、TKBPAHTT2p = 1を設定すると、強制出力停止機能1を解除する。					
	0	1	強制出力停止入力1を検出し、強制出力停止機能1を開始する。その入力解除された後、TKBPAHTT2p = 1を設定すると、強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT2p = 1を設定しても無効となる。					
	1	0	強制出力停止入力1を検出し、強制出力停止機能1を開始する。その入力のレベルに関係なく、TKBPAHTT2p = 1を設定後、次のカウンタのリスタートに同期して強制出力停止機能1を解除する。					
	1	1	強制出力停止入力1を検出し、強制出力停止機能1を開始する。その入力解除された後、TKBPAHTT2p = 1を設定後、次のカウンタのリスタートに同期して強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTT2p = 1を設定しても無効となる。					

備考 p = 0, 1

図7 - 31 強制出力停止機能制御レジスタ 2p (TKBPACTL2p)のフォーマット(3/3)

アドレス : F02B0H (TKBPACTL20), F02B2H (TKBPACTL21) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
TKBPACT L2p	TKBPAFXS2p 3	TKBPAFXS2p 2	TKBPAFXS2p 1	TKBPAFXS2p 0	0	0	0	TKBPAFCM2 p
	7	6	5	4	3	2	1	0
	0	TKBPAHXS2p 2	TKBPAHXS2p 1	TKBPAHXS2p 0	TKBPAHCM2 p1	TKBPAHCM2 p0	TKBPAMD2p 1	TKBPAMD2p 0
TKBPAMD2p	TKBPAMD2p	強制出力停止機能実行時の出力状態選択						
		強制出力停止機能1			強制出力停止機能2			
1	0	ハイ・インピーダンス出力			ロウレベル固定出力			
0	0	ハイ・インピーダンス出力			ハイレベル固定出力			
0	1	ハイ・インピーダンス出力			ハイレベル固定出力			
1	0	ロウレベル固定出力			ロウレベル固定出力			
1	1	ハイレベル固定出力			ハイレベル固定出力			

注意1. ビット 11-9, 7には必ず0を設定してください。

注意2. タイマ動作中に、TKBPACTL2pレジスタを書き換えしないでください。ただし、TKBPACTL2pレジスタにリフレッシュ(同値書き込み)することは可能です。

注意3. コンパレータ0, 1検出をトリガ要因として使用し、コンパレータフィルタ制御レジスタ (COMPFIR)のC1EDG, C0EDGビットを1(両エッジ検出)で使用する場合は、必ずTKBPAFCMP2pとTKBPAHCM2p0が0の設定で使用してください。

備考 p = 0, 1

7.3.20 強制出力停止機能制御レジスタ n2 (TKBPACTLn2)

TKBPACTLn2は、強制出力停止機能を許可／禁止するレジスタです。

TKBPACTLn2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7 - 32 強制出力停止機能制御レジスタ n2 (TKBPACTLn2)のフォーマット

アドレス : F0537H (TKBPACTL02), F0277H (TKBPACTL12), F02B7H (TKBPACTL22) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TKBPACTLn2	0	0	0	0	0	0	TKBPACEn1	TKBPACEn0

TKBPACEnp	強制出力停止機能に使用するトリガ信号の入力制御
0	強制出力停止機能動作禁止
1	強制出力停止機能動作許可

注意1. タイマ動作中に、TKBPACTLn2レジスタを書き換え可能です。

注意2. ビット7-2には必ず0を設定してください。

備考 n = 0-2, p = 0, 1

7.3.21 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn)

TKBPAFLGnは、強制出力停止機能のステータス・フラグを表示するレジスタです。

TKBPAFLGnは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります

図7-33 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn)のフォーマット

アドレス : F0536H (TKBPAFLG0), F0276H (TKBPAFLG1), F02B6H (TKBPAFLG2) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
TKBPAFLGn	TKBPAFSFn1	TKBPAHSFn1	TKBPAFSFn0	TKBPAHSFn0	TKBPAFIFn1	TKBPAHIFn1	TKBPAFIFn0	TKBPAHIFn0
	TKBPAFSFn _p		TKBOnp 端子に対する強制出力停止機能2のステータス・フラグ					
	0		強制出力停止解除状態					
	1		強制出力停止状態					
	TKBPAHSFn _p		TKBOnp 端子に対する強制出力停止機能1のステータス・フラグ					
	0		強制出力停止解除状態					
	1		強制出力停止状態					
	TKBPAFIFn _p		TKBOnp 端子に対する強制出力停止機能2の入力モニタ・ビット					
	0		強制出力停止機能2の入力が無効レベル					
	1		強制出力停止機能2の入力が有効レベル					
	TKBPAHIFn _p		TKBOnp 端子に対する強制出力停止機能1の入力モニタ・ビット					
	0		強制出力停止機能1の入力が無効レベル					
	1		強制出力停止機能1の入力が有効レベル					

注意 コンパレータ0, 1検出をトリガとして使用し、コンパレータフィルタ制御レジスタ (COMPFIR)のC1EDG, C0EDGビットを“1”(両エッジ検出)で使用する場合は、TKBPAHIFn_p, TKBPAFIFn_pのステータス・フラグは使用できません。

備考 n = 0-2 p = 0, 1

7.3.22 強制出力停止機能1開始トリガ・レジスタ n (TKBPAHFSn)

TKBPAHFSnは、強制出力停止機能1の開始トリガレジスタです。

TKBPAHFSnは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7 - 34 強制出力停止機能1開始トリガ・レジスタ n (TKBPAHFSn)のフォーマット

アドレス : F0534H (TKBPAHFS0), F0274H (TKBPAHFS1), F02B4H (TKBPAHFS2) リセット時 : 00H W

略号	7	6	5	4	3	2	1	0
TKBPAHFSn	0	0	0	0	0	0	TKBPAHTSn1	TKBPAHTSn0
TKBPAHTSnP	TKBOnp 端子に対する強制出力停止機能1の開始							
0	"0" 書き込みは無効です。							
1	TKBOnp 端子に対する強制出力停止機能1を開始							

注意1. ビット7-2は0にしてください。タイマ動作中に、TKBPAHFSnレジスタを書き換え可能です。

リード時は、0が読み出されます。

注意2. TKBPAHFSnの読み出し値は常に0となります。

備考 n = 0-2 P = 0, 1

7.3.23 強制出力停止機能解除トリガ・レジスタ n (TKBPAHFTn)

TKBPAHFTnは、強制出力停止機能1の停止トリガレジスタです。

TKBPAHFTnは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-35 強制出力停止機能解除トリガ・レジスタ n (TKBPAHFTn)のフォーマット

アドレス : F0535H (TKBPAHFT0), F0275H (TKBPAHFT1), F02B5H (TKBPAHFT2) リセット時 : 00H W

略号	7	6	5	4	3	2	1	0
TKBPAHFTn	0	0	0	0	0	0	TKBPAHTTn1	TKBPAHTTn0

TKBPAHTTnp	TKBOnp 端子に対する強制出力停止機能1の停止
0	"0"書き込みは無効です。
1	TKBOnp 端子に対する強制出力停止機能1を停止

注意1. ビット7-2は0にしてください。タイマ動作中に、TKBPAHFTnレジスタを書き換え可能です。

リード時は、0が読み出されます。

注意2. TKBPAHFTnの読み出し値は常に0となります。

TKBPAHCM0n1, TKBPAHCM0n0 ビットが10または11のときには、TKBPAHTTnp = 1 設定後、TMKB2マクロの周期発生により強制出力停止機能1が解除されます。

TKBPAHTTnp = 1 設定からTMKBマクロの周期発生までの間に、強制出力停止入力検出、または、TKBPAHTSnp = 1 設定を実施した場合の動作については、7.7.3 強制出力停止機能1使用時の注意事項を参照してください。

備考 n = 0-2 p = 0, 1

7.3.24 ポート・モード・レジスタ7 (PM7)

ポート7の入力/出力を1ビット単位で設定するレジスタです。

P72/TKBO20, P73/TKBO21, P74/TKBO10, P75/TKBO11, P76/TKBO00, P77/TKBO01 端子をタイマ出力として使用するとき、PM72-PM77およびP72-P77に0を設定してください。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図7-36 ポート・モード・レジスタ7 (PM7)のフォーマット

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	P7n端子の入出力モードの選択 (n = 0-7)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

備考 上記は、100ピン製品のポート・モード・レジスタ7のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-2～表4-5 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

7.4 16ビット・タイマKB20, KB21, KB22の動作

タイマKB2n (n = 0-2)の動作仕様を以下で説明します。

- カウンタ基本動作 (7.4.1項を参照)
- デフォルトレベルとアクティブレベル (7.4.2項を参照)
- 動作停止と動作開始 (7.4.3項を参照)
- 一斉書き込み動作 (7.4.4項を参照)

タイマKB2n (n = 0-2)には、以下の5種類の動作モードがあります。

- 単体動作モード (TKBCRn0による周期制御) (7.4.5項を参照)
- 単体動作モード (外部トリガ入力による周期制御) (7.4.6項を参照)
- 同時スタート&ストップ・モード (7.4.7項を参照)
- 同時スタート&クリア・モード (7.4.8項を参照)
- インターリーブPFC (power factor correction)出力モード (7.4.9項を参照)

7.4.1 カウンタ基本動作

(1) カウント開始動作

タイマKB2nの16ビット・カウンタは、すべてのモードで初期値FFFFHからカウントを開始します。カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ... とカウント・アップします。

(2) クリア動作

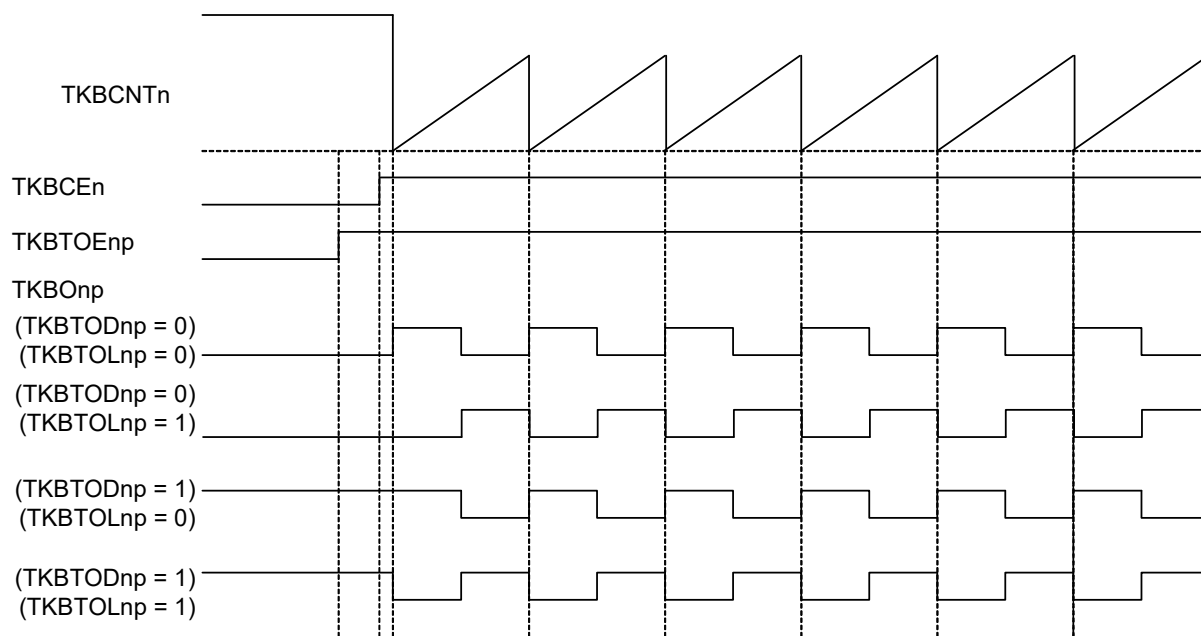
16ビット・カウンタとTKBCRn0に設定された値との一致および外部トリガによる周期決定の場合の外部トリガで16ビット・カウンタは0000Hにクリアされます。なお、TKBCRn0に設定された値との一致によるクリアではINTTKB2n割り込みは発生しますが、外部トリガによるクリアでは割り込みは発生しません。

7.4.2 デフォルトレベルとアクティブレベル

(1) 基本動作

16ビット・タイマKB2出力制御レジスタn0 (TKBIOCn0)によってタイマKB2n出力のデフォルトレベルとアクティブレベルを設定できます。

図7-37 デフォルトレベルとアクティブレベルのタイミング図
(基本動作)



TKBTOEnpを“0”から“1”に変更した場合、TKBOnp出力が許可され、TKBTOLnpの設定値に従いPWM波形を出力します。

TKBTOEnpを“1”から“0”に変更した場合、TKBOnp出力は禁止され、TKBTODnpの設定値に従い、デフォルトレベルを出力します。

備考 n = 0-2 p = 0, 1

(2) TKBTOEnpを“0”から“1”に変更した場合

タイマ・カウンタ動作中に、カウンタ (TKBCNTn) とコンペア・レジスタ (TKBCRnp) の一致より前に TKBTOEnp を 0 から 1 に変更した場合、タイマ出力は TKBTOLnp の設定に従ってその一致タイミングで PWM 波形が出力されます。

カウンタ (TKBCNTn) とコンペア・レジスタ (TKBCRnp) の一致より後に TKBTOEnp を 0 から 1 に変更した場合は、タイマ出力は次のカウンタ (TKBCNTn) のリスタートタイミングまでデフォルトレベルを継続します。

図7-38 デフォルトレベルとアクティブレベルのタイミング図
(カウンタとコンペア・レジスタ TKBCRnp の一致より前に TKBTOEnp = 0 を 1 に変更した場合)

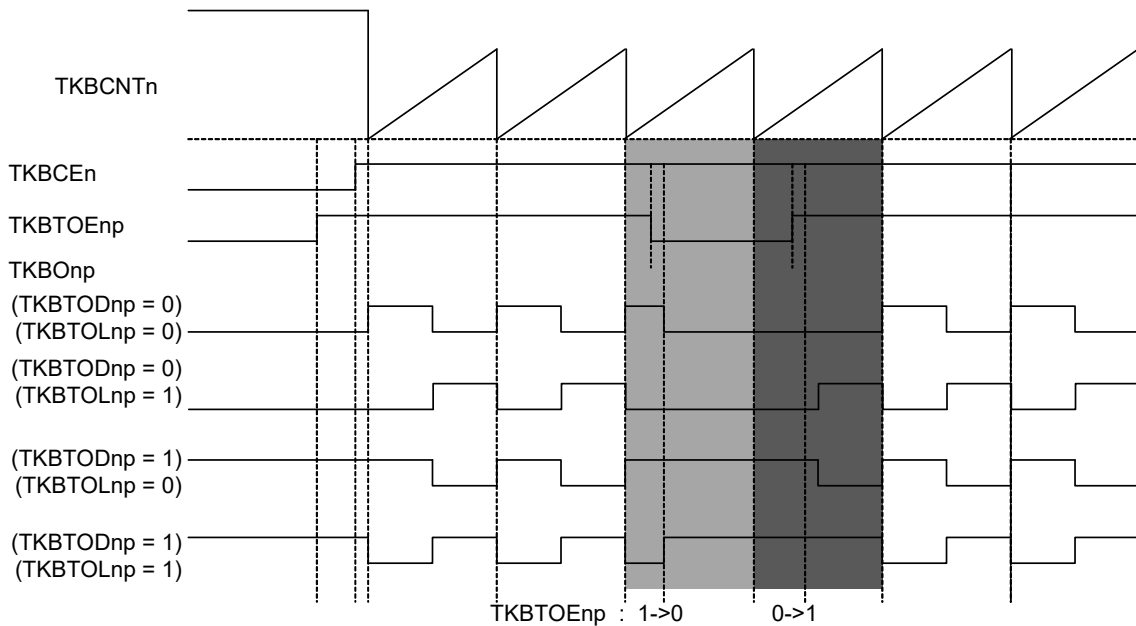
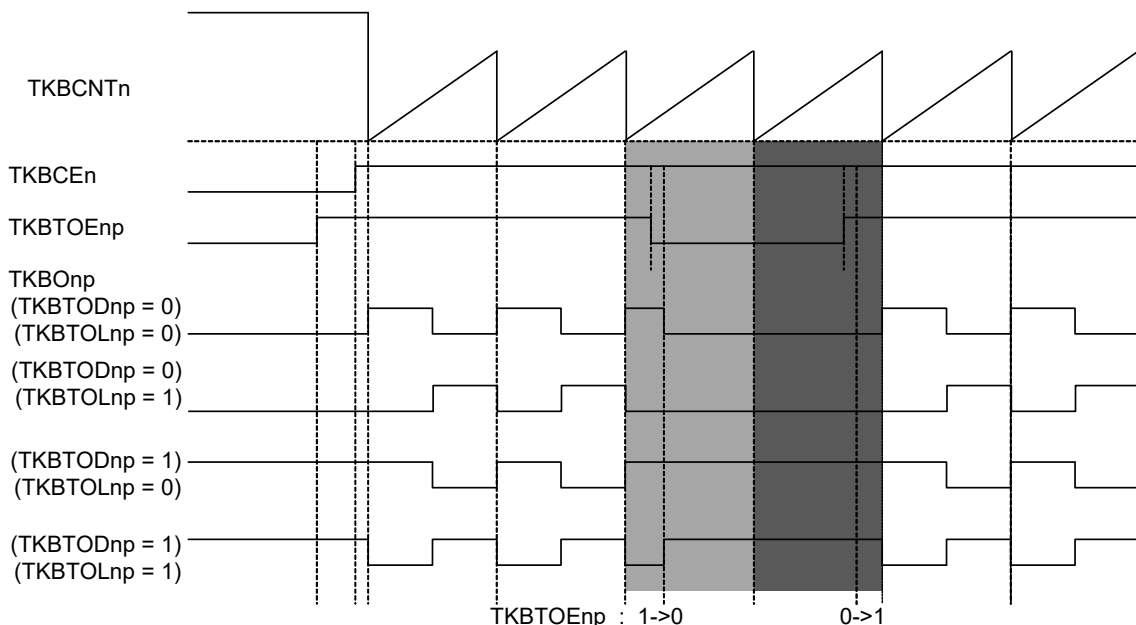


図7-39 デフォルトレベルとアクティブレベルのタイミング図
(カウンタとコンペア・レジスタ TKBCRnp の一致より後に TKBTOEnp = 0 を 1 に変更した場合)



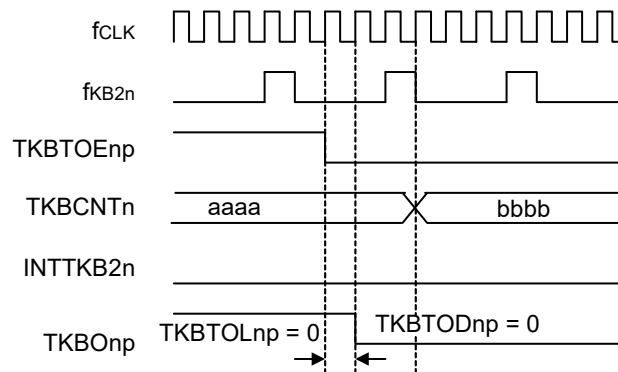
備考 n = 0-2 p = 0, 1

(3) TKBTOEnpを“1”から“0”に変更した場合

(a) 基本タイミング

TKBTOEnpを“1”から“0”に変更した場合、fCLK1クロック後に、TKBOnpは、TKBTODnpで設定しているデフォルトレベルになります。

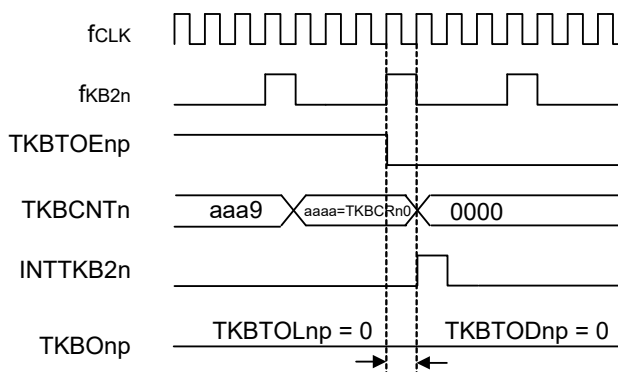
図7-40 デフォルトレベルとアクティブレベルのタイミング図
(TKBTOEnpを“1”から“0”に変更した場合)



(b) TKBCRn0の一致とTKBTOEnpのクリア・タイミングが同時の場合

TKBTOEnpを1から0に変更するタイミングとTKBCNTnとTKBCRnmが一致するタイミングが同時になる場合、TKBTOEnpの変更が優先され、TKBOnpは、TKBTODnpで設定しているデフォルトレベルになります。

図7-41 デフォルトレベルとアクティブ・レベルのタイミング図
(TKBTOEnpを1から0に変更するタイミングとTKBCNTnとTKBCRnmが一致するタイミングが同時になる場合)



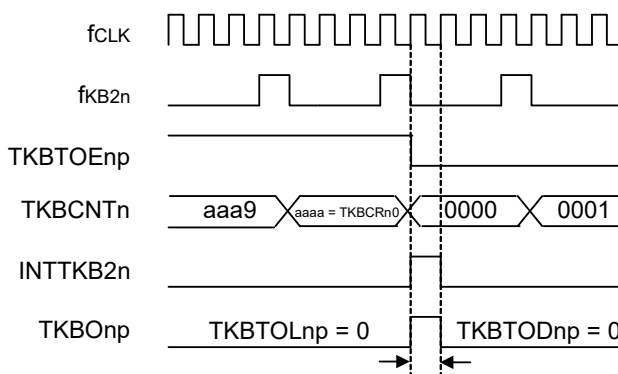
備考 n = 0-2 m = 0-3 p = 0, 1

(c) TKBTOEnpの操作がタイマ・カウント・クロックの発生と同時の場合

TKBTOEnpの操作がfkB2nの発生と同時の場合, TKBCNTn = TKBCRn0の一致によりTKBOnpがセットされます。

fCLKの1クロック後, TKBOnpは, TKBTOEnpで設定しているデフォルトレベルになります。

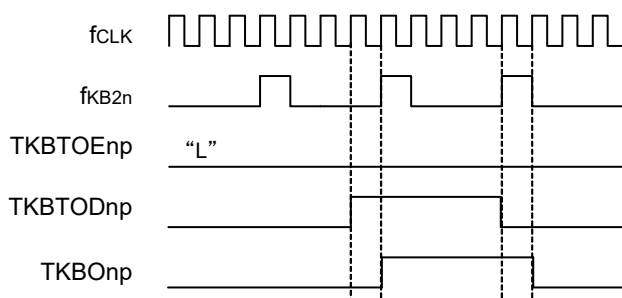
図7-42 デフォルトレベルとアクティブ・レベルのタイミング図
(TKBTOEnpの操作がタイマ・カウント・クロックの発生と同時の場合)



(4) TKBTOEnp = 0でTKBTODnpを変更した場合

TKBTOEnp = 0でTKBTODnpを変更した場合, fCLKの1クロック後, TKBOnpは, TKBTOEnpで設定しているデフォルトレベルになります。

図7-43 デフォルトレベルとアクティブ・レベルのタイミング図
(TKBTOEnp = 0でTKBTODnpを変更した場合)



備考 n = 0-2 p = 0, 1

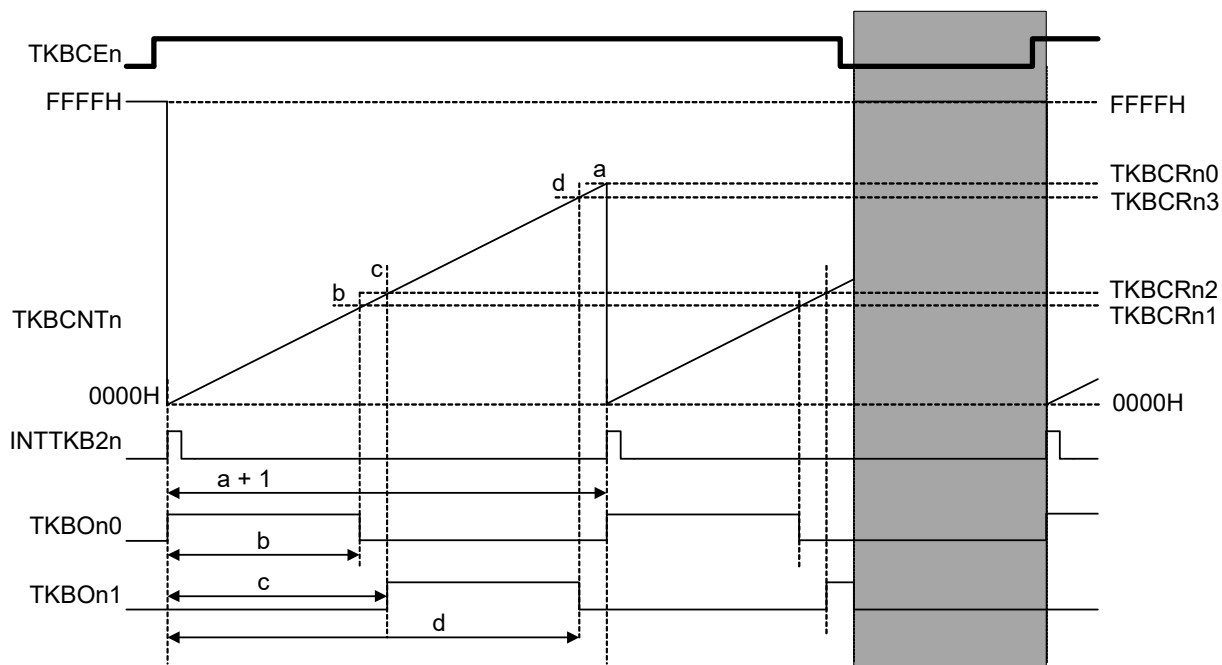
7.4.3 動作停止と動作開始

16ビット・タイマKB2nの動作停止と開始はTKBCEnを制御することにより可能となります。
 16ビット・タイマKB2nはTKBCEnを“1”から“0”にすることでリセットし動作を停止します。

このときカウンタTKBCNTnは、FFFFHにリセットされ動作を停止します。
 TKBOnp出力は、TKBTODnpで設定したデフォルトレベルを出力します。

16ビット・タイマKB2nはTKBCEnを“0”から“1”にすることで動作を開始します。
 TKBCEn = 0のとき、カウンタTKBCNTnは、FFFFHを保持し、TKBCEnを“0”から“1”することでアップ・カウント動作を開始します。

図7-44 動作停止のタイミング図(TKBTOLnp = 0, TKBTODnp = 0時)



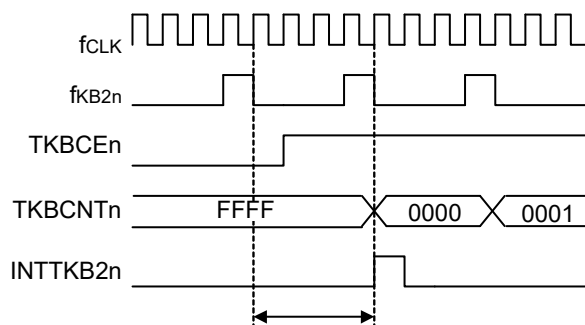
備考 n = 0-2 p = 0, 1

(1) カウント動作開始タイミング

TKBCE_nを“0”から“1”に変更した場合、最小fCLKの1クロックから最大fKB2_nの1クロック経過後に、カウント動作を開始します。

カウント動作開始タイミングで、INTTKB2_nを出力します。

図7-45 動作開始のタイミング図(TKBCE_nを“0”から“1”に変更した場合)



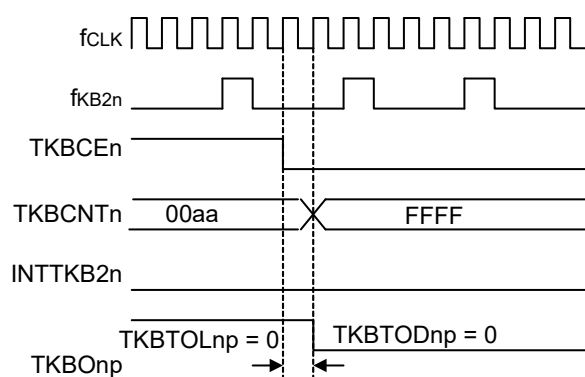
(2) カウント動作停止タイミング

(a) 基本タイミング

TKBCE_nを“1”から“0”に変更した場合、fCLKの1クロック経過後に、カウント動作を停止します。

TKBCNT_nは、FFFFHにリセットされ、TKBOnpは、TKBTOD_{np}で設定しているデフォルトレベルになります。

図7-46 動作停止のタイミング図(TKBCE_nを“1”から“0”に変更した場合)



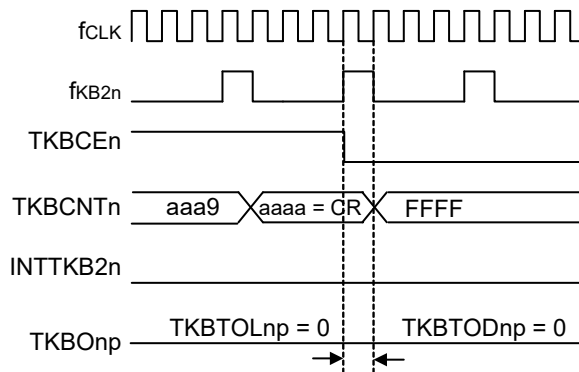
備考 n = 0-2 p = 0, 1

(b) TKBCRn0の一致とTKBCEnのクリア・タイミングが同時の場合

TKBCEnを“1”から“0”に変更するタイミングとTKBCNTnとTKBCRn0が一致するタイミングが同時になる場合、TKBCNTnの変更が優先され、TKBOnpは、TKBTODnpで設定しているデフォルト値になります。また、このときINTTKB2nは発生しません。

図7-47 動作停止のタイミング図

(TKBCEnを“1”から“0”に変更するタイミングとTKBCNTnとTKBCRn0が一致するタイミングが同時になる場合)

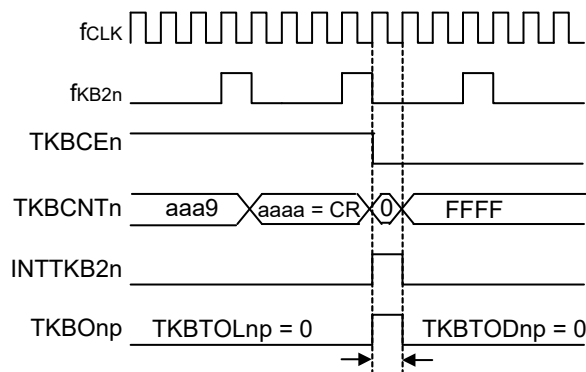


(c) TKBCEnの操作がタイマ・カウント・クロックの発生と同時の場合

TKBCEnの操作がfCLKの発生と同時の場合、TKBCNTn = TKBCRn0の一致発生でINTTKB2nを出力し、TKBOnpがセットされます。

fCLKの1クロック経過後、TKBCNTnは、FFFFHにリセットされ、TKBOnpは、TKBTODnpで設定しているデフォルトレベルになります。

図7-48 動作停止のタイミング図(TKBCEnの操作がタイマ・カウント・クロックの発生と同時の場合)

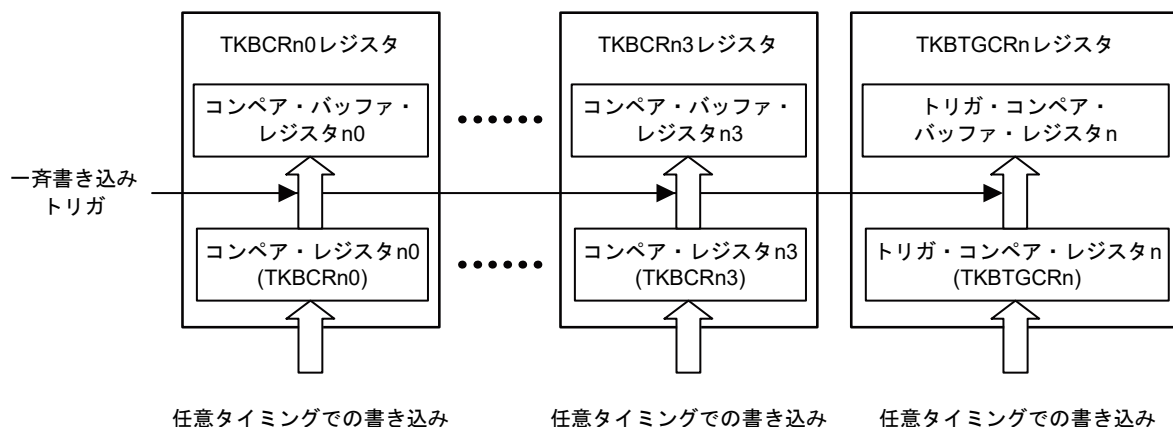


備考 n = 0-2 p = 0, 1

7.4.4 一斉書き込み動作

16ビット・タイマKB2nでは、16ビット・タイマKB2コンペア・レジスタ np (TKBCRnm)は図7-49に示すように二段構成になっています。そのため、プログラムでTKBCRnmに値を設定しても、その値は直ちに有効にはなりません。TKBCRnmに任意のタイミングで設定された値は、カウント動作開始や転送トリガ時に、バッファ・レジスタに一斉に転送され、実際に比較動作で使用されます。これにより、複数のコンペア・レジスタに任意のタイミングで値を設定できるようになっています。

図7-49 コンペア・レジスタ一斉書き換え機能



備考 16ビット・タイマKB2コンペア・レジスタ nm (TKBCRnm)はこのように二段構成になっていますが、値の書き込み以外では一つのレジスタとして扱います。

(1) 一斉書き込みのタイミング

コンペア・レジスタの一斉書き込みには次の3つの場合があります。このうち、(c)についてはレジスタ設定で制御することができません。

- (a) 16ビット・タイマKB2nのカウント動作開始時
- (b) 16ビット・カウンタのカウント値と16ビット・タイマKB2コンペア・レジスタ n0 (TKBCRn0)に設定された値が一致した。
- (c) 外部トリガによる一斉書き込み許可時に、外部トリガが発生した。

備考 n = 0-2 m = 0-3

7.4.5 単体動作モード (TKBCRn0による周期制御)

(1) 機能概要

単体動作モードでは、TKBCRn0の設定値で周期を決め、TKBCRn0とTKBCRn1によりTKBOn0を生成し、TKBCRn2とTKBCRn3によりTKBOn1を生成します。

デューティは、0%～100%の範囲で設定可能で、周期とデューティは以下の計算式で求められます。

【TKBOn0出力の計算式】

パルス周期 = (TKBCRn0の設定値 + 1) × カウント・クロック周期

デューティ [%] = (TKBCRn1の設定値 / (TKBCRn0の設定値 + 1)) × 100

0%出力: TKBCRn1の設定値 = 0000H

100%出力: TKBCRn1の設定値 ≥ TKBCRn0の設定値 + 1

【TKBOn1出力の計算式】

デューティ [%] = ((TKBCRn3の設定 - TKBCRn2の設定) / (TKBCRn0の設定 + 1)) × 100

0%出力: TKBCRn3の設定値 = TKBCRn2の設定値

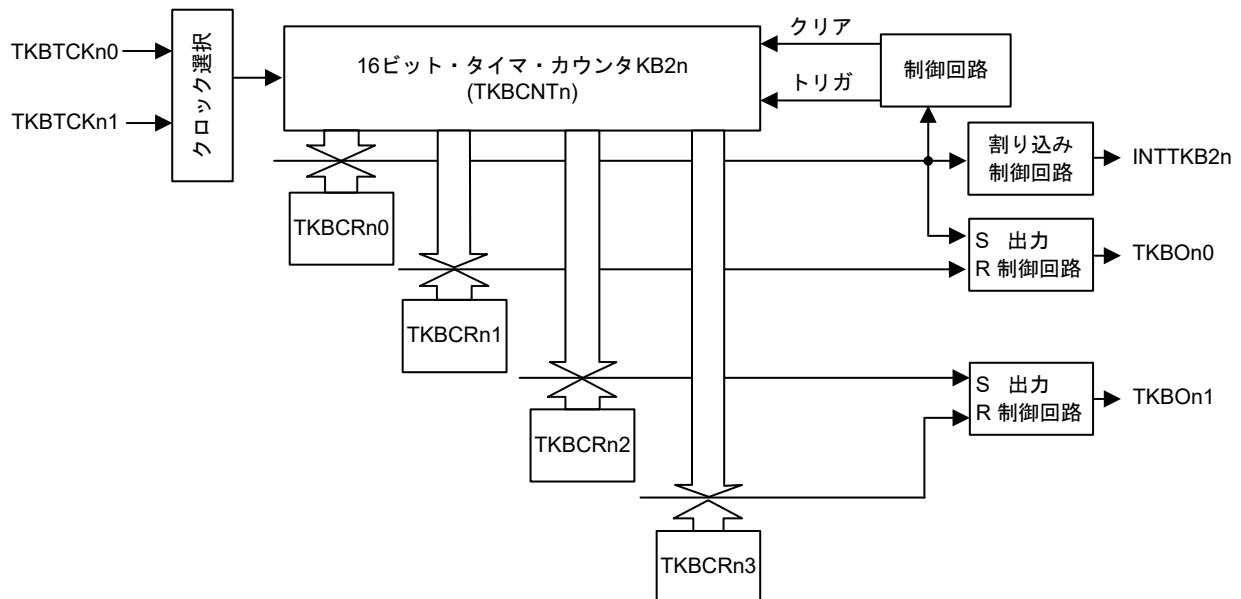
100%出力: TKBCRn2の設定値 = 0000H

TKBCRn3の設定値 ≥ TKBCRn0の設定値 + 1

注意 必ずTKBCRn2の設定値 ≤ TKBCRn3の設定値としてください。

図7-50に単体動作時の構成図(TKBCRn0による周期制御)を示します。

図7-50 単体動作時の構成図(TKBCRn0による周期制御)

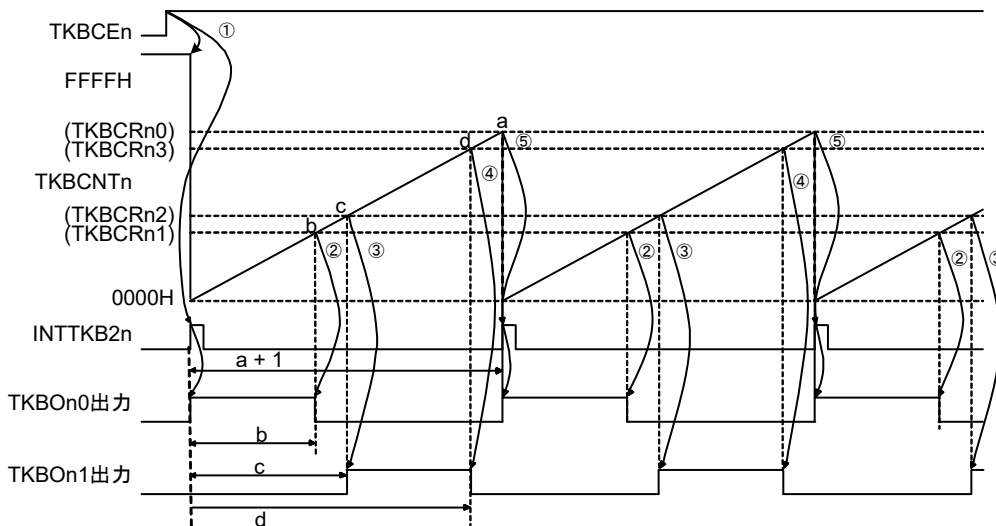


備考 n = 0-2

(2) 動作概要

図7-51に単体動作タイミング例を示します。

図7-51 単体動作タイミング例(TKBCRn0による周期制御)
 (出力のデフォルト値がロウレベル(TKBTODnp = 0)でアクティブ・レベルがハイレベル(TKBTOLnp = 0)の場合)



単体動作(TKBCRn0による周期制御)の動作例について説明します。次の説明は図7-51の①～⑤とリンクしています。

- ①TKBCEn に 1 を設定すると、カウント・クロックに同期して 16 ビット・タイマ・カウンタ KB2 (TKBCNTn)は FFFFH から 0000H になり、アップ・カウントを開始します。同時に INTTKB2n が出力され、TKBOn0 出力が TKBIOCn0 レジスタの TKBTODn0 ビットで指定されたデフォルト値から TKBTOLn0 ビットで指定されたアクティブ値(この例ではハイレベル)に変化します(TKBOn1 出力は TKBTODn1 ビットで指定されたデフォルト値を保持しています)。
- ②TKBCNTn がカウント・アップして 16 ビット・タイマKB2 コンペア・レジスタ n1 (TKBCRn1) に設定されている値と一致すると、TKBOn0 出力がイン・アクティブ・レベルとなります。
- ③TKBCNTn がカウント・アップして 16 ビット・タイマKB2 コンペア・レジスタ n2 (TKBCRn2) に設定されている値と一致すると、TKBOn1 出力がアクティブ・レベルとなります。
- ④TKBCNTn がカウント・アップして 16 ビット・タイマKB2 コンペア・レジスタ n3 (TKBCRn3) に設定されている値と一致すると、TKBOn1 出力がインアクティブ・レベルとなります。
- ⑤TKBCNTn がカウント・アップして 16 ビット・タイマKB2 コンペア・レジスタ n0 (TKBCRn0) に設定されている値と一致すると、次のカウント・クロックで INTTKB2n が出力され、TKBOn0 出力がアクティブ・レベルとなります。TKBCNTn は 0000H からカウント・アップします。
- ⑥以降②～⑤を繰り返します。

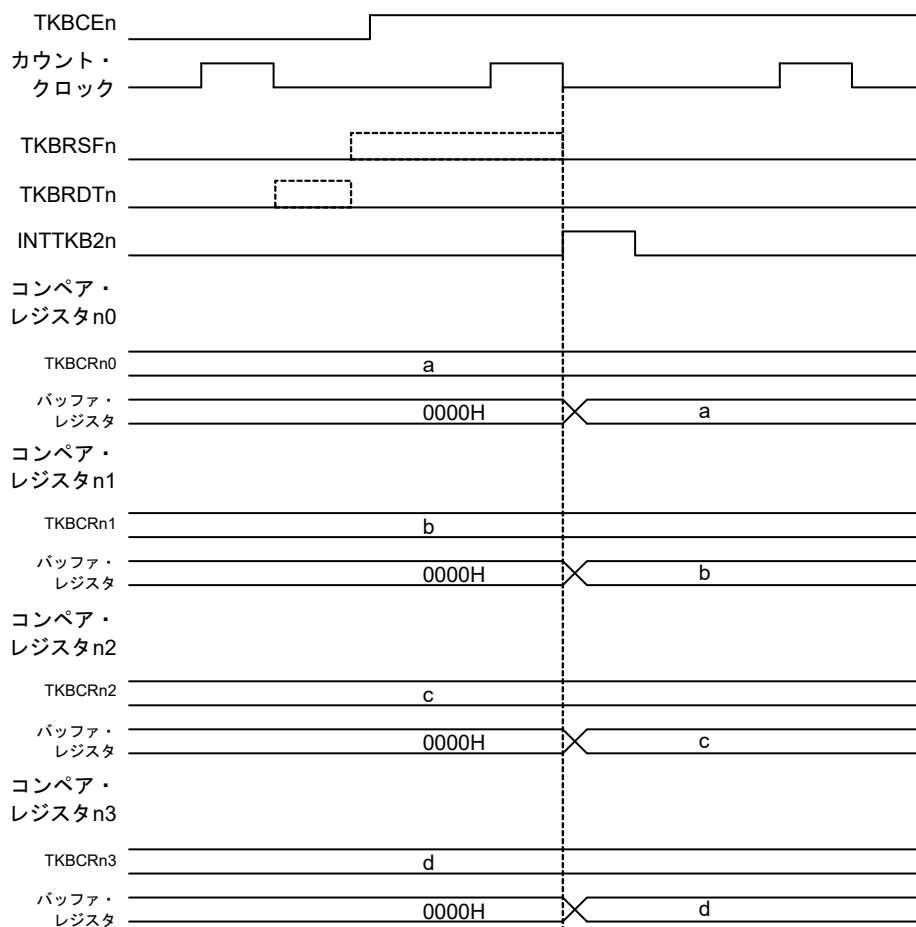
備考 n = 0-2 p = 0, 1

(3) 一斉書き込みの動作(カウント動作開始時)

16ビット・タイマKB2nのコンペア・レジスタは、TKBCTLn1レジスタのTKBCEnビットへの“1”書き込み後のカウント・クロック発生によるカウンタの動作開始タイミングで、内部バッファ・レジスタを一斉に更新します。

カウント動作開始タイミングに限り、TKBTRGnレジスタのTKBRDTnビットへ“1”を書き込まなくても一斉書き換えが発生します(図7-52 一斉書き換え機能：カウント動作開始時のバッファ更新タイミング図1参照)。

図7-52 一斉書き換え機能：カウント動作開始時のバッファ更新タイミング図1



備考1. TKBCEn = 0のとき、TKBRDTnに“1”を書き込むとTKBRSFnに“1”がセットされ、カウント動作開始タイミング(カウンタ・スタート・トリガ発生)でTKBRSFnが“0”にクリアされます。

備考2. n = 0-2

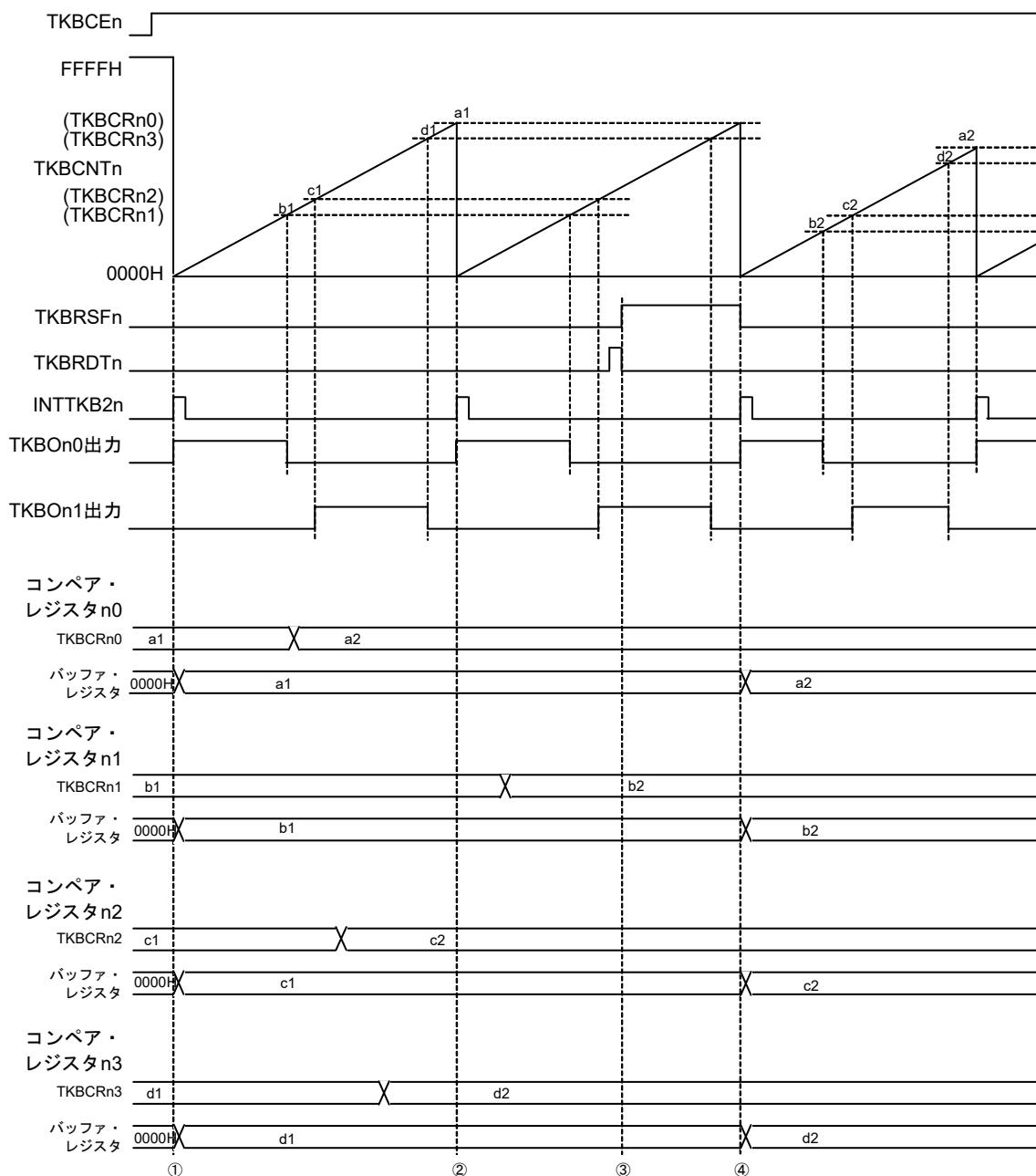
(4) 一斉書き込みの動作(カウント動作中のバッファ更新)

16ビット・タイマKB2nのコンペア・レジスタは、TKBRDTnビットへの“1”の書き込みを一斉書き換えトリガとして、次のカウンタ・クリア(TKBCNTnとTKBCRn0の一致)のタイミングで内部バッファ・レジスタを一斉に更新します。TKBRDTnビットへの“1”書き込みから一斉書き換え完了までの間は、一斉書き換えトリガの保留ステータス・フラグ(TKBRSFn)がセットされます(図7-53 一斉書き換え機能：カウント動作中のバッファ更新タイミング図2参照)。

- ①TKBCEnビットを“0”から“1”に設定し、TKBCNTnがカウント動作を開始するタイミングで、コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
- ②TKBCRn0-TKBCRn3レジスタ書き換え後、カウンタ・クリアが発生した場合であっても、TKBRDTnビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。
- ③TKBRDTnビットへの“1”書き込みにより、一斉書き換えトリガの保留ステータス・フラグ(TKBRSFnビット)が“1”となります。
- ④TKBRSFnビットが“1”のときの、カウンタ・クリア発生により、コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に、TKBRSFnビットが“0”となります。

備考 n = 0-2

図7-53 一斉書き換え機能：カウント動作中のバッファ更新タイミング図2



備考 n = 0-2

(5) 単体動作モード(TKBCRn0による周期制御)でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	— 0	— 0	TKBSSEn1 1/0	TKBDIEn1 1/0	— 0	— 0	TKBSSEn0 1/0	TKBDIEn0 1/0
	7	6	5	4	3	2	1	0
	TKBMFE0 0	— 0	TKBIRSn1 0	TKBIRSn0 0	— 0	TKBTSEn 0	TKBSTSn1 0	TKBSTSn0 0
	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn 1	— 0	— 0	TKBCKSn 1/0	TKBSCMn 0	— 0	TKBMDn1 0	TKBMDn0 0
	7	6	5	4	3	2	1	0
TKBIOcn0	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
	7	6	5	4	3	2	1	0
TKBIOcn1	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
	7	6	5	4	3	2	1	0
TKBPSCSn	— 0	TKBTPSn12 1/0	TKBTPSn11 1/0	TKBTPSn10 1/0	— 0	TKBTPSn02 1/0	TKBTPSn01 1/0	TKBTPSn00 1/0
TKBCRn0	0000H-FFFFH							
TKBCRn1	0000H-FFFFH							
TKBCRn2	0000H-FFFFH							
TKBCRn3	0000H-FFFFH							
TKBTGCRn	0000H-FFFFH							
TKBSIRn0	0000H-FFFFH							
TKBSIRn1	0000H-FFFFH							
TKBSSRn0	00H-0FH							
TKBSSRn1	00H-0FH							
TKBDNRn0	00H-F0H							
TKBDNRn1	00H-F0H							
TKBMFRn	0000H							

■: このモードでは設定固定

■: 設定不要(初期値を設定)

備考 n = 0-2

7.4.6 単体動作モード(外部トリガ入力による周期制御)

(1) 機能概要

単体動作モードは、TKBCRn0による周期制御だけでなく、外部トリガ入力にて周期を制御することもできます。

外部トリガ入力検出は、イベント出力先選択レジスタ(ELSELR00-ELSELR22)および、16ビット・タイマKB2n動作制御レジスタn0(TKBCn0)のTKBSTSn1,TKBSTSn0ビットにより選択された入力信号を使用します。

外部トリガ入力検出により、カウンタTKBCNTnを0000Hにクリアし、TKBOn0/TKBOn1出力をそれぞれアクティブ・レベルとイン・アクティブ・レベルにします。外部トリガ入力検出より先に、TKBCRn0に設定されている値とカウンタ(TKBCNTn)の値の一致が発生した場合は、カウンタは0000Hにクリアされ動作を継続します。

外部トリガ入力未検出で、TKBCRn0により周期制御した場合のTKBOn0/TKBOn1出力の計算式は、7.4.5 単体動作モード(TKBCRn0による周期制御)を参照してください。

外部トリガ入力検出により周期制御した場合のTKBOn0/TKBOn1出力の計算式は、以下のとおりです。

【TKBOn0出力の計算式】

パルス周期 = (外部トリガ入力検出時のカウンタ値 + 1) × カウント・クロック周期

デューティ [%] = (TKBCRn1の設定値 / (外部トリガ入力検出時のカウンタ値 + 1)) × 100

0%出力: TKBCRn1の設定値 = 0000H

100%出力: TKBCRn1の設定値 ≥ 外部トリガ入力検出時のカウンタ値 + 1

【TKBOn1出力の計算式】

パルス周期 = (外部トリガ入力検出時のカウンタ値 + 1) × カウント・クロック周期

デューティ [%] = ((TKBCRn3の設定値 - TKBCRn2の設定値) / (外部トリガ入力検出時のカウンタ値 + 1)) × 100

0%出力: TKBCRn3の設定値 = TKBCRn2の設定値

100%出力: TKBCRn2の設定値 = 0000H

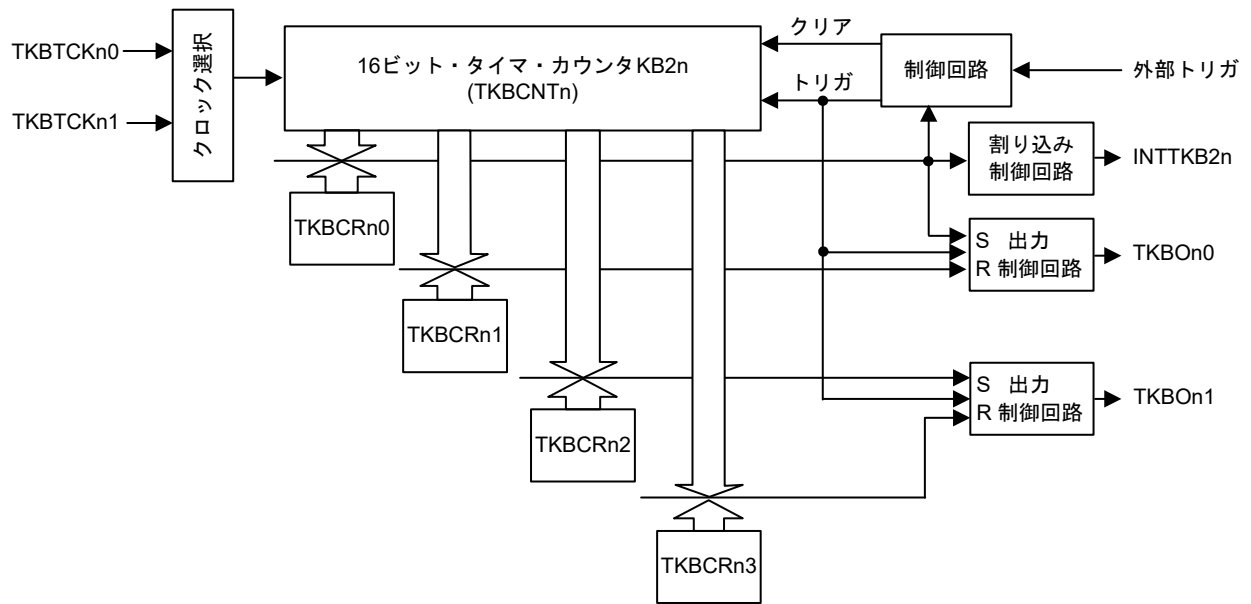
TKBCRn3の設定値 ≥ 外部トリガ入力検出時のカウンタ値 + 1

注意 必ずTKBCRn2の設定値 ≤ TKBCRn3の設定値としてください。

図7-54に単体動作時の構成図(外部トリガ入力による周期制御)を示します。

備考 n = 0-2

図7-54 単体動作時の構成図(外部トリガ入力による周期制御)



備考 n = 0-2

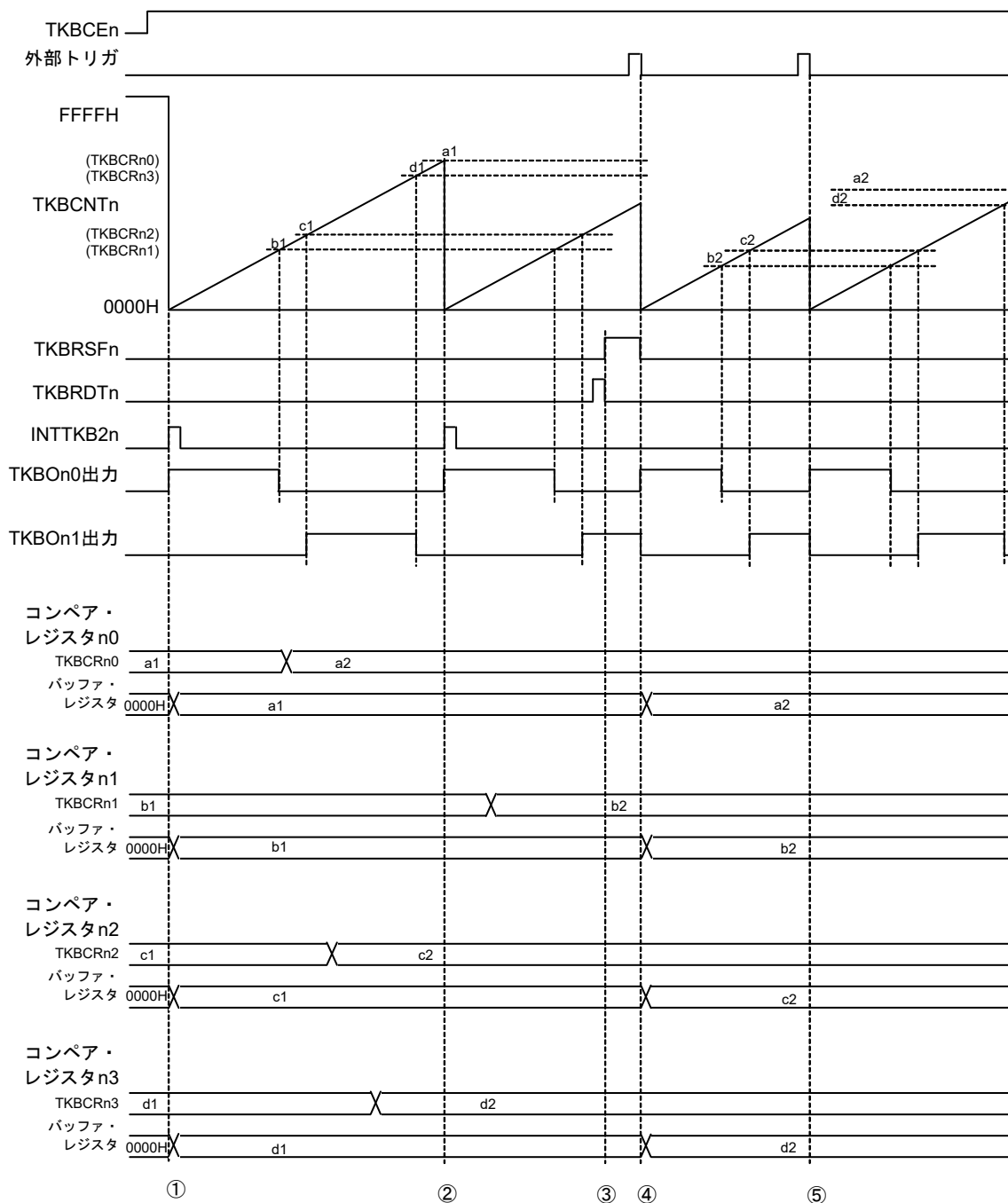
- (2) 一斉書き込みの動作 (外部トリガ入力による周期制御での単体動作時, カウント動作中のバッファ更新 (TKBTSEnビットを1に設定))

外部トリガ入力による周期制御での単体動作時に, TKBCTLn0レジスタのTKBTSEnビットを“1”に設定することで, TKBRDTnビットへの“1”書き込み後の外部トリガ入力検出タイミングで, カウンタのクリア, およびコンペア・レジスタ一斉書き換えを実施することができます。カウンタ・クリア同様, TKBRDTnビットへの“1”書き込み後に, 外部トリガ入力検出より先にTKBCRn0とカウンタ (TKBCNTn)の一致が発生した場合も, 一斉書き換えが実施されます。外部トリガ入力要因は ELSELR00-ELSELR22レジスタおよび, TKBCTLn0レジスタのTKBSTSn1, TKBSTSn0ビットで選択します。TKBTSEnビットを“1”に設定した場合の一斉書き込みの動作タイミングの例を図7-55に示します。

- ①TKBCEnビットを“0”から“1”に設定し, TKBCNTnがカウント動作を開始するタイミングで, コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
- ②TKBCRn0-TKBCRn3レジスタ書き換え後, カウンタ・クリアが発生した場合であっても, TKBRDTnビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。
- ③TKBRDTnビットへの“1”書き込みにより, 一斉書き換えトリガの保留ステータス・フラグ (TKBRSFnビット)が“1”となります。
- ④TKBTSEnビットが“1”に設定されて, TKBRSFnビットが“1”の時の, 外部トリガ入力によるカウンタ・クリア発生により, コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に, TKBRSFnビットが“0”となります。
- ⑤外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても, TKBRDTnビットへ“1”を書き込んでいなければ一斉書き換えは発生しません。

備考 n = 0-2

図7-55 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新タイミング図(TKBTSEnビットを1に設定)



備考 n = 0-2

- (3) 一斉書き込みの動作 (外部トリガ入力による周期制御での単体動作時, カウント動作中のバッファ更新 (TKBTSEnビットを0に設定))

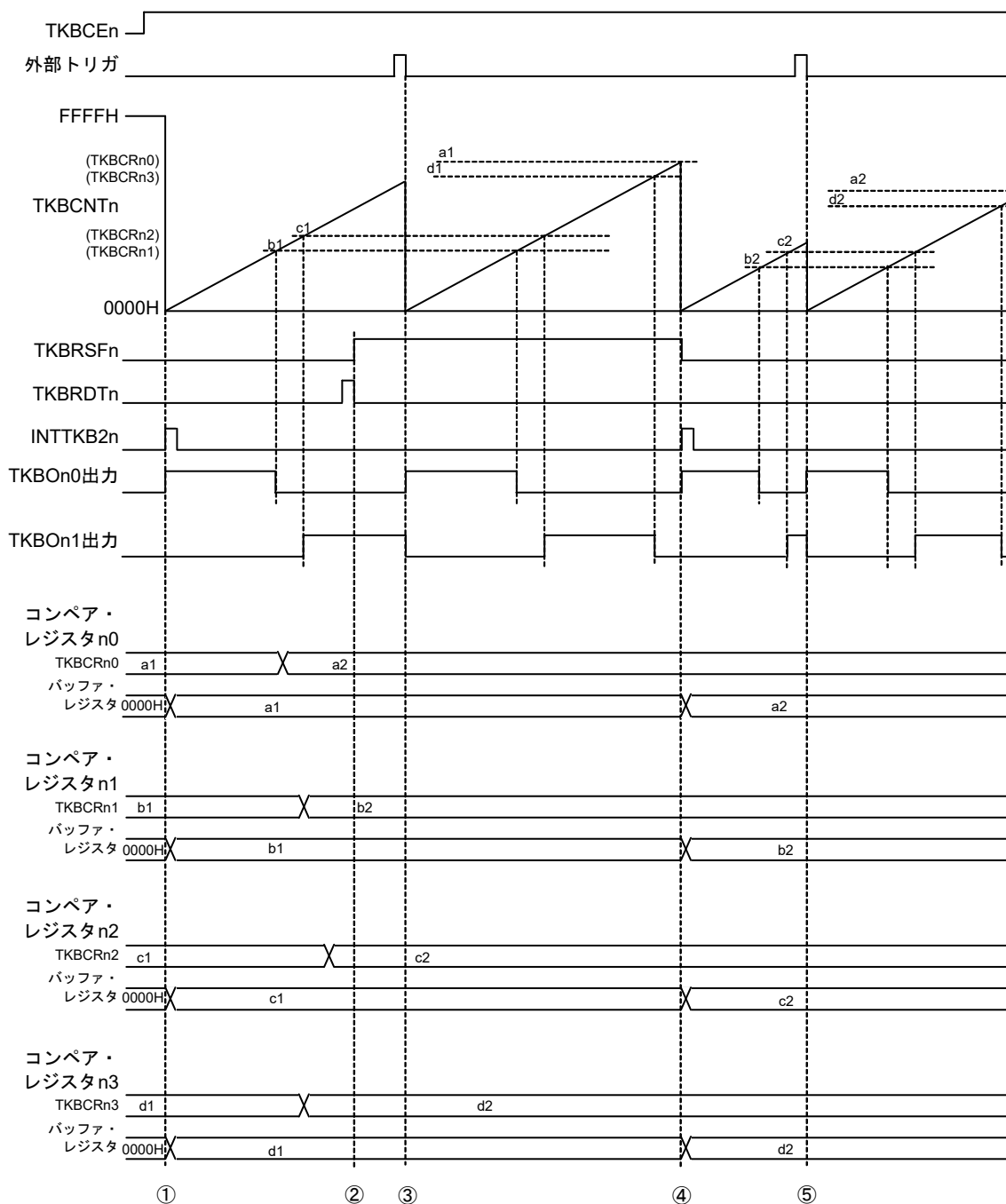
外部トリガ入力による周期制御での単体動作時に, TKBCTLn0レジスタのTKBTSEnビットを“0”に設定した場合の例です。この場合には, TKBRDTnビットに“1”が書き込まれて, 一斉書き換えトリガの保留ステータス・フラグ (TKBRSEnビット) が“1”の状態外部トリガ入力を検出すると, カウンタのクリアは行われますが, コンペア・レジスタ一斉書き換えは行いません。

外部トリガ入力要因はELSLER00-ELSELR22レジスタおよび, TKBCTLn0レジスタのTKBSTSn1, TKBSTSn0ビットで選択します。TKBTSEnビットを“0”に設定した場合の一斉書き込みの動作タイミングの例を図7-56に示します。

- ①TKBCEnビットを“0”から“1”に設定し, TKBCNTnがカウント動作を開始するタイミングで, コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
- ②TKBCRn0-TKBCRn3レジスタ書き換え後, TKBRDTnビットへの“1”書き込みにより, 一斉書き換えトリガの保留ステータス・フラグ (TKBRSEnビット) が“1”となります。
- ③外部トリガ入力により, カウンタ・クリアが発生した場合であっても, TKBTSEnビットが“1”になっていなければ一斉書き換えは発生しません。
- ④TKBRSEnビットが“1”の状態, カウンタ・クリア (TKBCNTnとTKBCRn0の一致) が発生すると, コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に, TKBRSEnビットが“0”となります。
- ⑤外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても, TKBTSEnビットとTKBRSEnビットが“1”の状態であれば一斉書き換えは発生しません。

備考 n = 0-2

図7-56 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時，カウント動作中のバッファ更新タイミング図(TKBTSEnビットを0に設定)



備考 n = 0-2

(4) 単体動作モード(外部トリガ入力による周期制御)でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	— 0	— 0	TKBSSEn1 0	TKBDIEn1 0	— 0	— 0	TKBSSEn0 0	TKBDIEn0 0
	7	6	5	4	3	2	1	0
	TKBMFE0 1/0	— 0	TKBIRSn1 0	TKBIRSn0 0	— 0	TKBTSEn 1/0	TKBSTSn1 1/0	TKBSTSn0 1/0
	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn 1	— 0	— 0	TKBCKSn 1/0	TKBSCMn 0	— 0	TKBMDn1 0	TKBMDn0 0
	7	6	5	4	3	2	1	0
TKBIOcn0	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
	7	6	5	4	3	2	1	0
TKBIOcn1	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
	7	6	5	4	3	2	1	0
TKBPSCSn	— 0	TKBTPSn12 1/0	TKBTPSn11 1/0	TKBTPSn10 1/0	— 0	TKBTPSn02 1/0	TKBTPSn01 1/0	TKBTPSn00 1/0
TKBCRn0	0000H-FFFFH							
TKBCRn1	0000H-FFFFH							
TKBCRn2	0000H-FFFFH							
TKBCRn3	0000H-FFFFH							
TKBTGCRn	0000H-FFFFH							
TKBSIRn0	0000H							
TKBSIRn1	0000H							
TKBSSRn0	00H							
TKBSSRn1	00H							
TKBDNRn0	00H							
TKBDNRn1	00H							
TKBMFRn	0000H-FFFFH							

■: このモードでは設定固定

■: 設定不要(初期値を設定)

備考 n = 0-2

7.4.7 同時スタート&ストップ・モード

(1) 機能概要

複数のタイマKB2nを使ってマスタ/スレーブ構成にすることで、マスタのタイマKB20のカウンタ開始/停止タイミングと同期してスレーブのタイマKB2mを同時スタート&ストップさせることができます。

その場合、マスタは「単体動作モード (TKBMD01, TKBMD00 = 0, 0)」, スレーブは「同時スタート&ストップ・モード (TKBMDm1, TKBMDm0 = 0, 1)」を選択してください。

同時スタート&ストップ・モードでは、マスタとスレーブのスタート/ストップ・タイミングのみが同期します。

マスタとスレーブにおいて、選択するカウンタ・クロック (TKBTCKn0/TKBTCKn1) が異なる場合、マスタとスレーブのTKBSCMnビットを全て“1”に設定することで、マスタとスレーブのカウンタ動作開始タイミングを揃えることができます。

カウンタ動作開始タイミング以降は、各タイマで個別動作となります。

注意1. タイマKB20のみマスタとなります。

注意2. マスタ選択クロックは、必ずスレーブ選択クロックより速いか同じクロックにしてください。

注意3. TKBPSCSnレジスタは必ず同じ値に設定し、TKBCKSnでタイマKB2nのカウンタ・クロックを設定してください。

マスタとスレーブの 選択クロックの関係	TKBCK00/TKBCK01と TKBCKM0/TKBCKM1の関係	タイマKB20の TKBSCM0ビット	タイマKB21の TKBSCM1ビット	タイマKB22の TKBSCM2ビット	対応可能
マスタとスレーブが 同一クロックを選択	—	0	0	0	○
マスタとスレーブが 異なるクロックを選択	マスタの選択クロックが、 スレーブ選択クロックより速い場合	1	1	1	○
マスタとスレーブが 異なるクロックを選択	マスタの選択クロックが、 スレーブ選択クロックより速い場合	上記以外			×
マスタとスレーブが 異なるクロックを選択	マスタの選択クロックが、 スレーブ選択クロックより遅い場合	—	—	—	×

同時スタート&ストップ・モードでのTKBOn0/TKBOn1出力の計算式は、7.4.5 単体動作モード (TKBCRn0による周期制御), 7.4.6 単体動作モード (外部トリガ入力による周期制御)を参照してください。

備考 n = 0-2 m = 1, 2

- (2) 同時スタート&ストップ・モードで使用可能なマスタとスレーブの動作モード組み合わせ
同時スタート&ストップ・モードで使用可能なマスタおよびスレーブの動作モードを示します。

マスタ

動作モード	TKBMD01, TKBMD00	TKBSTS01, TKBSTS00	設定可能
単体動作モード(TKBCR00による周期制御)	00B	00B	○
単体動作モード(外部トリガ入力による周期制御)	00B	01B/10B/11B	○
同時スタート&ストップ・モード(TKBCR00による周期制御)	01B	00B	×
同時スタート&ストップ・モード(外部トリガ入力による周期制御)	01B	01B/10B/11B	×
同時スタート&クリア・モード(マスタによる周期制御)	10B	—	×
インターリーブPFC出力モード	11B	—	×

スレーブ

動作モード	TKBMDm1, TKBMDm0	TKBSTSm1, TKBSTSm0	設定可能
単体動作モード(TKBCRm0による周期制御)	00B	00B	×
単体動作モード(外部トリガ入力による周期制御)	00B	01B/10B/11B	×
同時スタート&ストップ・モード(TKBCRm0による周期制御)	01B	00B	○
同時スタート&ストップ・モード(外部トリガ入力による周期制御)	01B	01B/10B/11B	○
同時スタート&クリア・モード(マスタによる周期制御)	10B	—	×
インターリーブPFC出力モード	11B	—	×

備考 m = 1, 2

(3) 同時スタート&ストップ・モード

マスタ : 単体動作モード(TKBCRn0による周期制御)でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTL00	— 0	— 0	TKBSSE01 1/0	TKBDIE01 1/0	— 0	— 0	TKBSSE00 1/0	TKBDIE00 1/0
	7	6	5	4	3	2	1	0
	TKBMFE0 0	— 0	TKBIRS01 0	TKBIRS00 0	— 0	TKBTSE0 0	TKBSTS01 0	TKBSTS00 0
	7	6	5	4	3	2	1	0
TKBCTL01	TKBCE0 1	— 0	— 0	TKBCKS0 1/0	TKBSCM0 1	— 0	TKBMD01 0	TKBMD00 0
	7	6	5	4	3	2	1	0
TKBIOC00	— 0	— 0	— 0	— 0	TKBTOL01 1/0	TKBTOL00 1/0	TKBTOD01 1/0	TKBTOD00 1/0
	7	6	5	4	3	2	1	0
TKBIOC01	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOE01 1/0	TKBTOE00 1/0
TKBCR00	0000H-FFFFH							
TKBCR01	0000H-FFFFH							
TKBCR02	0000H-FFFFH							
TKBCR03	0000H-FFFFH							
TKBTGCR0	0000H-FFFFH							
TKBSIR00	0000H-FFFFH							
TKBSIR01	0000H-FFFFH							
TKBSSR00	00H-0FH							
TKBSSR01	00H-0FH							
TKBDNR00	00H-F0H							
TKBDNR01	00H-F0H							
TKBMFR0	0000H							

□: このモードでは設定固定

■: 設定不要(初期値を設定)

(4) 同時スタート&ストップ・モード

スレーブ：単体動作モード(TKBCRn0による周期制御)でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	— 0	— 0	TKBSSEn1 1/0	TKBDIEn1 1/0	— 0	— 0	TKBSSEn0 1/0	TKBDIEn0 1/0
	7	6	5	4	3	2	1	0
	TKBMFEn 0	— 0	TKBIRSn1 0	TKBIRSn0 0	— 0	TKBTSEn 0	TKBSTSn1 0	TKBSTSn0 0
	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn 1	— 0	— 0	TKBCKSn 1/0	TKBSCMn 1	— 0	TKBMDn1 0	TKBMDn0 1
	7	6	5	4	3	2	1	0
TKBIOcn0	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
	7	6	5	4	3	2	1	0
TKBIOcn1	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
TKBCRn0	0000H-FFFFH							
TKBCRn1	0000H-FFFFH							
TKBCRn2	0000H-FFFFH							
TKBCRn3	0000H-FFFFH							
TKBTGCRn	0000H-FFFFH							
TKBSIRn0	0000H-FFFFH							
TKBSIRn1	0000H-FFFFH							
TKBSSRn0	00H-0FH							
TKBSSRn1	00H-0FH							
TKBDNRn0	00H-F0H							
TKBDNRn1	00H-F0H							
TKBMFRn	0000H							

□: このモードでは設定固定 ■: 設定不要(初期値を設定)

備考 n = 1, 2

(5) 同時スタート&ストップ・モード

マスタ : 単体動作モード(外部トリガ入力による周期制御)でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTL00	— 0	— 0	TKBSSE01 0	TKBDIE01 0	— 0	— 0	TKBSSE00 0	TKBDIE00 0
	7	6	5	4	3	2	1	0
	TKBMFE0 1/0	— 0	TKBIRS01 0	TKBIRS00 0	— 0	TKBTSE0 1/0	TKBSTS01 1/0	TKBSTS00 1/0
	7	6	5	4	3	2	1	0
TKBCTL01	TKBCE0 1	— 0	— 0	TKBCKS0 1/0	TKBSCM0 1	— 0	TKBMD01 0	TKBMD00 0
	7	6	5	4	3	2	1	0
TKBIOC00	— 0	— 0	— 0	— 0	TKBTOL01 1/0	TKBTOL00 1/0	TKBTOD01 1/0	TKBTOD00 1/0
	7	6	5	4	3	2	1	0
TKBIOC01	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOE01 1/0	TKBTOE00 1/0
TKBCR00	0000H-FFFFH							
TKBCR01	0000H-FFFFH							
TKBCR02	0000H-FFFFH							
TKBCR03	0000H-FFFFH							
TKBTGCR0	0000H-FFFFH							
TKBSIR00	0000H							
TKBSIR01	0000H							
TKBSSR00	00H							
TKBSSR01	00H							
TKBDNR00	00H							
TKBDNR01	00H							
TKBMFR0	0000H-FFFFH							

◻: このモードでは設定固定

◼: 設定不要(初期値を設定)

(6) 同時スタート&ストップ・モード

スレーブ：単体動作モード(外部トリガ入力による周期制御)でのレジスタ設定内容例

	15	14	13	12	11	10	9	8
TKBCTLn0	— 0	— 0	TKBSSEn1 0	TKBDIEn1 0	— 0	— 0	TKBSSEn0 0	TKBDIEn0 0
	7	6	5	4	3	2	1	0
	TKBMFEn 1/0	— 0	TKBIRSn1 0	TKBIRSn0 0	— 0	TKBTSEn 1/0	TKBSTSn1 1/0	TKBSTSn0 1/0
	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn 1	— 0	— 0	TKBCKSn 1/0	TKBSCM0 1	— 0	TKBMDn1 0	TKBMDn0 1
	7	6	5	4	3	2	1	0
TKBIOcn0	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
	7	6	5	4	3	2	1	0
TKBIOcn1	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
TKBCRn0	0000H-FFFFH							
TKBCRn1	0000H-FFFFH							
TKBCRn2	0000H-FFFFH							
TKBCRn3	0000H-FFFFH							
TKBTGCRn	0000H-FFFFH							
TKBSIRn0	0000H							
TKBSIRn1	0000H							
TKBSSRn0	00H							
TKBSSRn1	00H							
TKBDNRn0	00H							
TKBDNRn1	00H							
TKBMFRn	0000H-FFFFH							

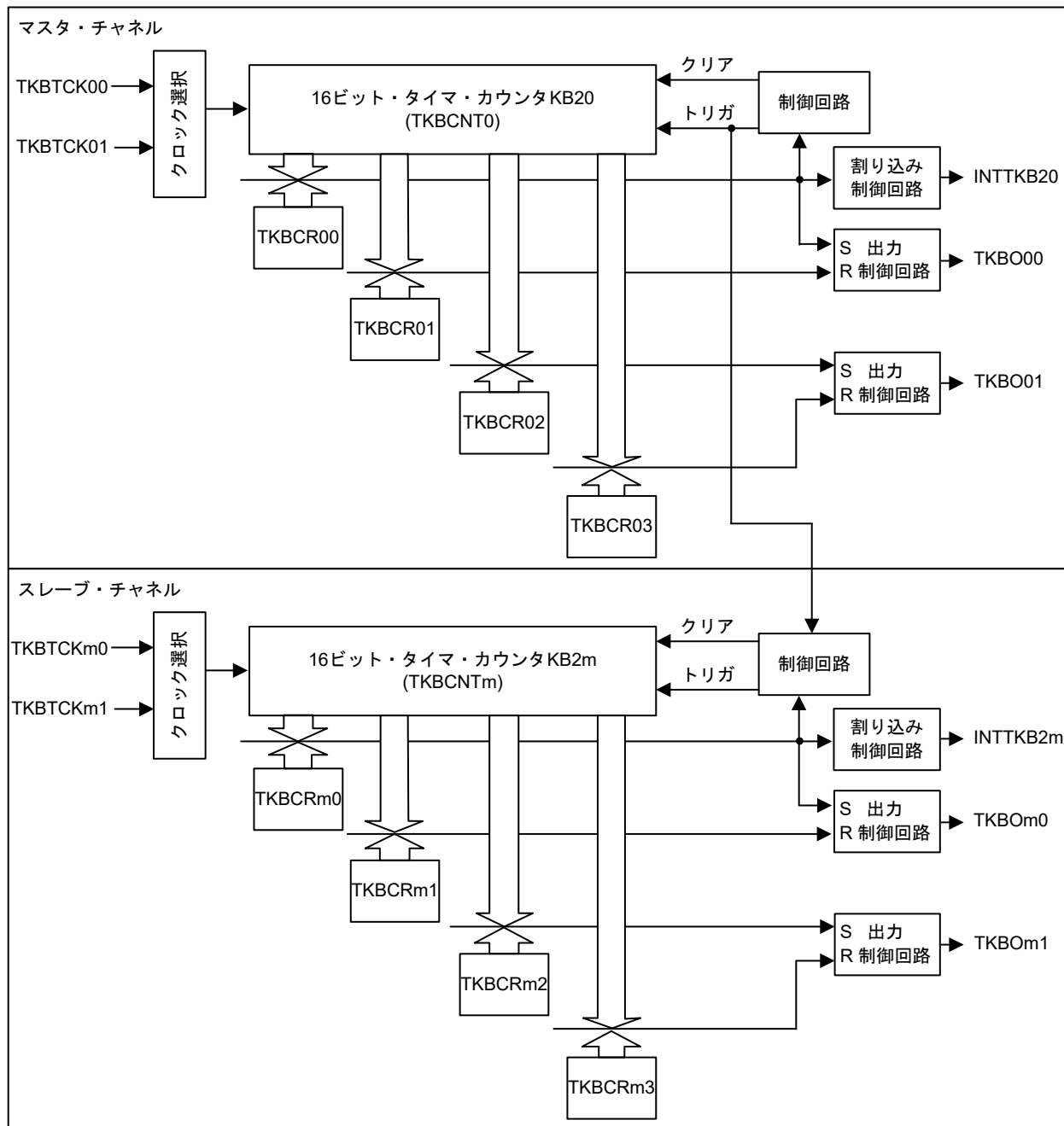
□: このモードでは設定固定 ■: 設定不要(初期値を設定)

備考 n = 1, 2

(7) 同時スタート&ストップ・モードの構成図(TKBCRn0による周期制御)

図7-57に同時スタート&ストップ・モード時の構成図を示します。

図7-57 同時スタート&ストップ・モード時の構成図(TKBCRn0による周期制御)

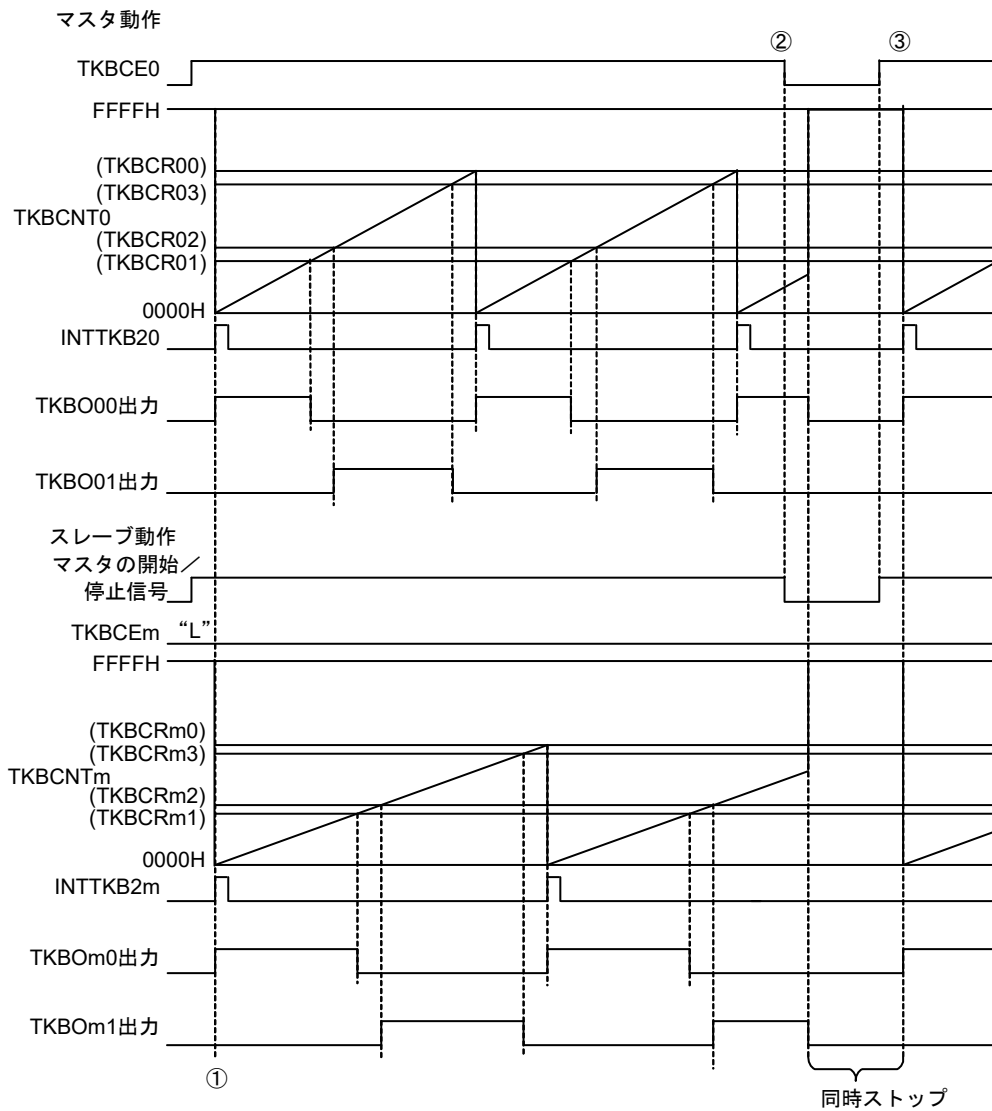


備考 n = 0-2 m = 1, 2

(8) 動作概要

図7-58に同時スタート&ストップ・モードの動作タイミング例を示します。

図7-58 同時スタート&ストップ・モード動作タイミング例(TKBCRn0による周期制御)
 (出力のデフォルト値がロウ・レベル(TKBTODnp = 0)でアクティブ・レベルがハイ・レベル(TKBTOLnp = 0)の場合)



備考 n = 0-2 p = 0, 1

同時スタート&ストップ・モードの動作例について説明します。次の説明は図7-58の①~③とリンクしています。

- ①マスタのTKBCE0に1を設定すると、カウント・クロックに同期してマスタの16ビット・タイマ・カウンタKB20 (TKBCNT0)とスレーブの16ビット・タイマ・カウンタKBm (TKBCNTm)はFFFFHから0000Hになり、アップ・カウントを開始します。同時にマスタからはINTTKB20, スレーブからはINTTKB2mが出力され、TKBO00出力とTKBOm0出力がデフォルト値からアクティブ値(この例ではハイ・レベル)に変化します。以降の細かな動作は図7-51 単体動作タイミング例(TKBCRn0による周期制御)(出力のデフォルト値がロウレベル(TKBTODnp = 0)でアクティブ・レベルがハイレベル(TKBTOLnp = 0)の場合)を参照してください。
- ②TKBCEnに0を設定すると、タイマKB20の入カクロックに同期してマスタのTKBCNT0とスレーブのTKBCNTmはカウント・アップを停止して、FFFFHになります。同時にマスタとスレーブの出力はデフォルト・レベルとなります。この状態はマスタのTKBCE0に1が設定されるまで続きます。
- ③マスタのTKBCE0に1を設定すると、①からと同じ動作を繰り返します。

備考 n = 0-2 m = 1, 2 p = 0, 1

7.4.8 同時スタート&クリア・モード

複数のタイマKBを使ってマスタ/スレーブ構成にしている場合、マスタのタイマKB20のカウント開始/停止タイミング、カウンタクリアタイミングおよび一斉書き換えタイミングと同期してスレーブのタイマKB2mを同時スタート&クリアさせることができます。

その場合、マスタを「単体動作モード (TKBMD01, TKBMD00 = 00)」, スレーブを「同時スタート&クリア・モード (TKBMDm1, TKBMDm0 = 10)」で動作させます。

マスタ/スレーブが必ず同一の分周クロックを選択するようにしてください。

マスタのTKBO00/TKBO01出力の算出式は、7.4.5 単体動作モード (TKBCRn0による周期制御)を参照してください。

一斉書き換えは、マスタのTKBRDT0へ“1”を書き込むことで制御されます。

TKBRSF0フラグをリードする場合は、マスタのTKBRSF0を確認する必要があります。

マスタのTKBCNT0クリア・タイミングで、スレーブのTKBCNTmもクリアされます。

マスタの一斉書き換えタイミングで、スレーブのコンペア・レジスタも一斉書き換えされます。

スレーブは、マスタのTKBCR00で生成する周期に従って動作するので、スレーブのTKBCRm0はTKBOm0のアクティブ・タイミングを設定するレジスタに役割が変更になります。

INTTMKBmは、TKBCNTmとTKBCRm0との一致検出により生成されます。ただし、カウント動作開始タイミングのINTTMKBmは出力されません。

スレーブのデューティは、0%~100%の範囲で設定可能で、以下の計算式で求められます。

【スレーブのTKBOm0出力の計算式】

パルス周期 = (マスタのTKBCR00の設定値 + 1) × カウント・クロック周期

デューティ [%] = ((TKBCRm1の設定 - TKBCRm0の設定値) / (マスタのTKBCR00の設定値 + 1)) × 100

0%出力 : TKBCRm1の設定値 = TKBCRm0の設定値

100%出力 : TKBCRm0の設定値 = 0000H, TKBCRm1の設定値 ≥ マスタのTKBCR00の設定値 + 1

注意 必ず、TKBCRm0の設定値 ≤ TKBCRm1の設定値としてください。

【スレーブのTKBOm1出力の演算式】

パルス周期 = (マスタのTKBCR00の設定値 + 1) × カウント・クロック周期

デューティ [%] = ((TKBCRm3の設定 - TKBCRm2の設定値) / (マスタのTKBCR00の設定値 + 1)) × 100

0%出力 : TKBCRm3の設定値 = TKBCRm2の設定値

100%出力 : TKBCRm2の設定値 = 0000H, TKBCRm3の設定値 ≥ マスタのTKBCR00の設定値 + 1

注意 必ず、TKBCRm2の設定値 ≤ TKBCRm3の設定値としてください。

備考 n = 0-2 m = 1, 2

- (1) 同時スタート&クリア・モードで使用可能なマスタとスレーブの動作モード組み合わせ
同時スタート&クリア・モードで使用可能なマスタおよびスレーブの動作モードを示します。

マスタ

動作モード	TKBMD01, TKBMD00	TKBSTS01, TKBSTS00	設定可能
単体動作モード(TKBCR00による周期制御)	00B	00B	○
単体動作モード(外部トリガ入力による周期制御)	00B	01B/10B/11B	×
同時スタート&ストップ・モード(TKBCR00による周期制御)	01B	00B	×
同時スタート&ストップ・モード(外部トリガ入力による周期制御)	01B	01B/10B/11B	×
同時スタート&クリア・モード(マスタによる周期制御)	10B	—	×
インターリーブPFC出力モード	11B	—	×

スレーブ

動作モード	TKBMDm1, TKBMDm0	TKBSTSm1, TKBSTSm0	設定可能
単体動作モード(TKBCRm0による周期制御)	00B	00B	×
単体動作モード(外部トリガ入力による周期制御)	00B	01B/10B/11B	×
同時スタート&ストップ・モード(TKBCRm0による周期制御)	01B	00B	×
同時スタート&ストップ・モード(外部トリガ入力による周期制御)	01B	01B/10B/11B	×
同時スタート&クリア・モード(マスタによる周期制御)	10B	—	○
インターリーブPFC出力モード	11B	—	×

備考 m = 1, 2

(2) 同時スタート&クリア・モード：マスタでのレジスタ設定一覧

	15	14	13	12	11	10	9	8
TKBCTL00	— 0	— 0	TKBSSE01 1/0	TKBDIE01 1/0	— 0	— 0	TKBSSE00 1/0	TKBDIE00 1/0
	7	6	5	4	3	2	1	0
	TKBMFE0 0	— 0	TKBIRS01 0	TKBIRS00 0	— 0	TKBTSE0 0	TKBSTS01 0	TKBSTS00 0
	7	6	5	4	3	2	1	0
TKBCTL01	TKBCE0 1	— 0	— 0	TKBCKS0 1/0	TKBSCM0 0	— 0	TKBMD01 0	TKBMD00 0
	7	6	5	4	3	2	1	0
TKBIOC00	— 0	— 0	— 0	— 0	TKBTOL01 1/0	TKBTOL00 1/0	TKBTOD01 1/0	TKBTOD00 1/0
	7	6	5	4	3	2	1	0
TKBIOC01	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOE01 1/0	TKBTOE00 1/0
TKBCR00	0000H-FFFFH							
TKBCR01	0000H-FFFFH							
TKBCR02	0000H-FFFFH							
TKBCR03	0000H-FFFFH							
TKBTGCR0	0000H-FFFFH							
TKBSIR00	0000H-FFFFH							
TKBSIR01	0000H-FFFFH							
TKBSSR00	00H-0FH							
TKBSSR01	00H-0FH							
TKBDNR00	00H-F0H							
TKBDNR01	00H-F0H							
TKBMFR0	0000H							

: このモードでは設定固定
 : 設定不要(初期値を設定)

(3) 同時スタート&ストップ・モード：スレーブでのレジスタ設定一覧

	15	14	13	12	11	10	9	8
TKBCTLn0	— 0	— 0	TKBSSEn1 1/0	TKBDIEn1 1/0	— 0	— 0	TKBSSEn0 1/0	TKBDIEn0 1/0
	7	6	5	4	3	2	1	0
	TKBMFEEn 0	— 0	TKBIRSn1 0	TKBIRSn0 0	— 0	TKBTSEn 0	TKBSTSn1 0	TKBSTSn0 0
	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEEn 1	— 0	— 0	TKBCKSn 1/0	TKBSCMn 0	— 0	TKBMDn1 1	TKBMDn0 0
	7	6	5	4	3	2	1	0
TKBIOcn0	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
	7	6	5	4	3	2	1	0
TKBIOcn1	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
TKBCRn0	0000H-FFFFH							
TKBCRn1	0000H-FFFFH							
TKBCRn2	0000H-FFFFH							
TKBCRn3	0000H-FFFFH							
TKBTGCRn	0000H-FFFFH							
TKBSIRn0	0000H-FFFFH							
TKBSIRn1	0000H-FFFFH							
TKBSSRn0	00H-0FH							
TKBSSRn1	00H-0FH							
TKBDNRn0	00H-F0H							
TKBDNRn1	00H-F0H							
TKBMFRn	0000H							

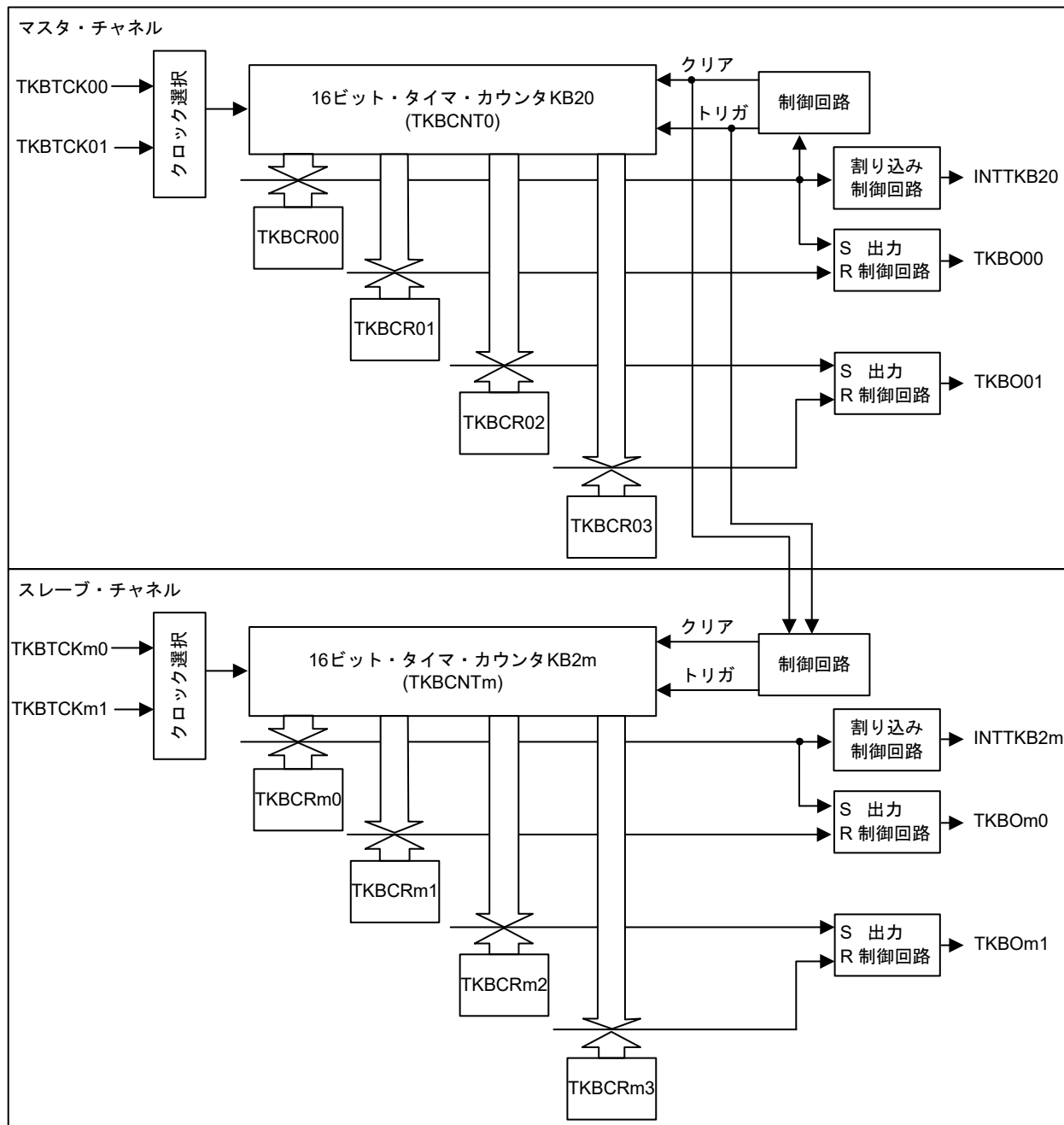
◻: このモードでは設定固定 ◼: 設定不要(初期値を設定)

備考 n = 1, 2

(4) 同時スタート&クリア・モードの構成図(マスタによる周期制御)

図7-59に同時スタート&ストップ・モード時の構成図を示します。

図7-59 同時スタート&クリア・モード時の構成図(マスタによる周期制御)

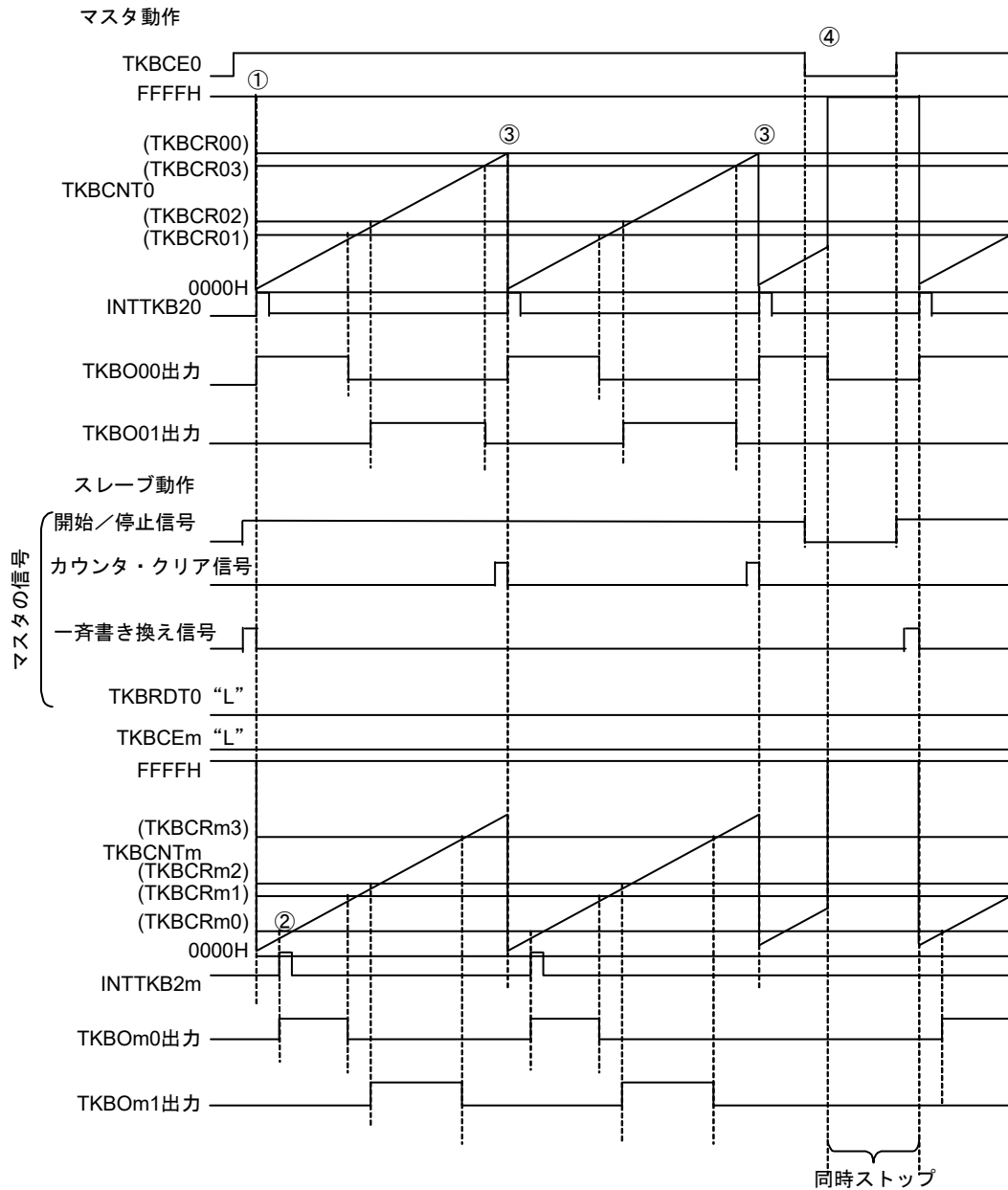


備考 m = 1, 2

(5) 動作概要

図7-60に同時スタート&クリア・モードの動作タイミング例を示します。

図7-60 同時スタート&クリア・モード動作タイミング例(マスタによる周期制御)
 (出力のデフォルト値がロウ・レベル(TKBTODnp = 0)でアクティブ・レベルがハイ・レベル(TKBTOLnp = 0)の場合)



備考 n = 0-2 m = 1, 2 p = 0, 1

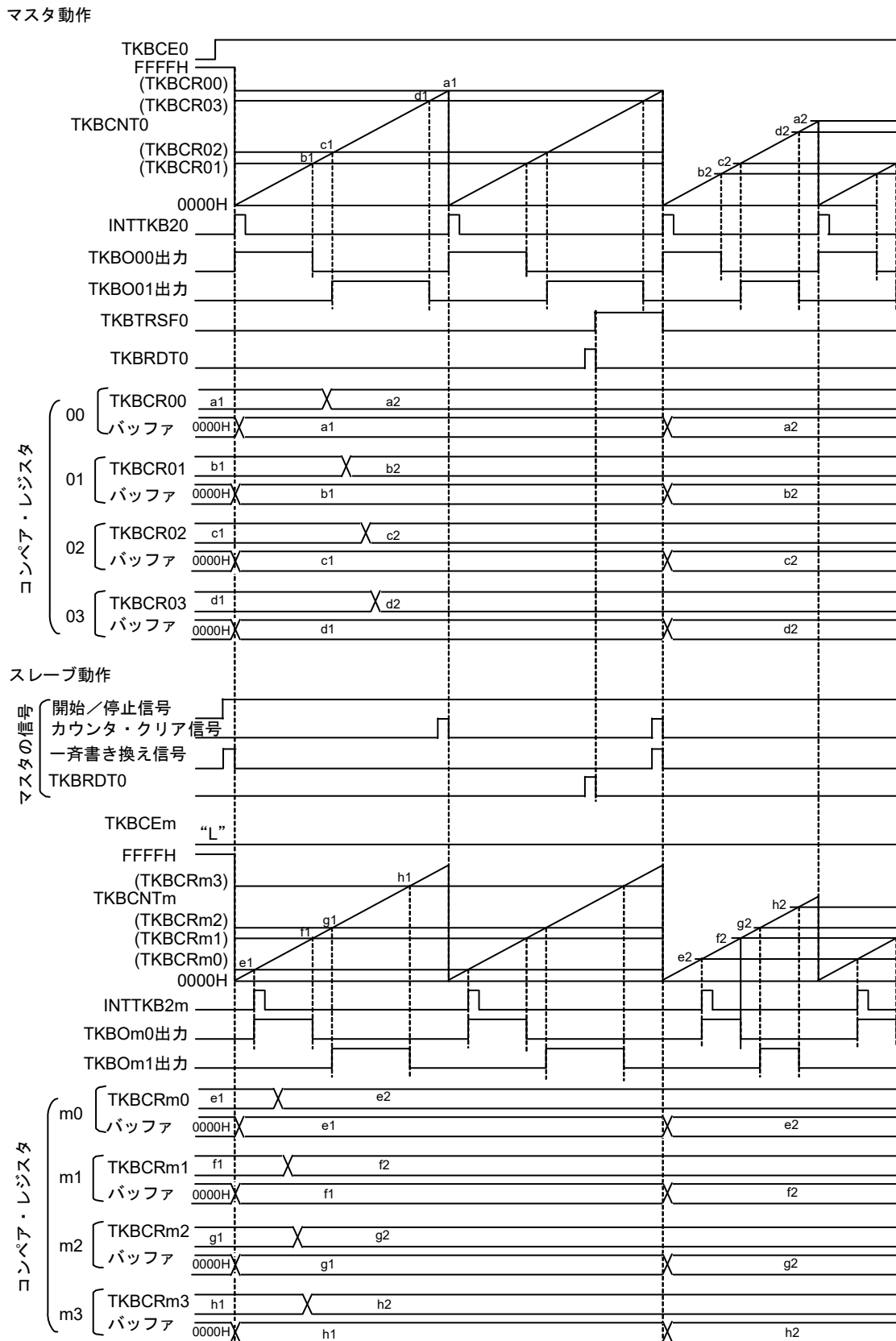
同時スタート&クリア・モードの動作例について説明します。次の説明は図7-60の①~④とリンクしています。

- ①マスタのTKBCE0に1を設定すると、カウント・クロックに同期してマスタの16ビット・タイマ・カウンタKB20 (TKBCNT0)とスレーブの16ビット・タイマ・カウンタKBm (TKBCNTm)はFFFFHから0000Hになり、アップ・カウントを開始します。同時にマスタからはINTTKB20が出力され、TKBO00出力がデフォルト値からアクティブ値(この例ではハイ・レベル)に変化します。
- ②TKBCNTmのカウント値がTKBCRm0に設定されている値と一致すると、スレーブのTKBOm0出力がアクティブ・レベルになります。以降の細かな動作は図7-51 単体動作タイミング例(TKBCRn0による周期制御)(出力のデフォルト値がロウレベル(TKBTODnp = 0)でアクティブ・レベルがハイレベル(TKBTOLnp = 0)の場合)を参照してください。
- ③TKBCNT0のカウント値がTKBCR00に設定されている値と一致すると、マスタのクリア信号が出力され、マスタおよびスレーブの16ビット・タイマ・カウンタ (TKBCNT0, TKBCNTm)は同時にクリアされます。
- ④TKBCE0に0を設定すると、タイマKB20の入カクロックに同期してマスタのTKBCNT0とスレーブのTKBCNTmはカウント・アップを停止して、FFFFHになります。同時にマスタとスレーブの出力はデフォルト・レベルとなります。この状態はマスタのTKBCE0に1が設定されるまで続きます。

図7-61に同時スタート&クリア・モードで一斉書き換えを行う場合の動作タイミング例を示します。この場合には、マスタのTKBRDT0ビットに1をセットすることで、次のクリア・タイミングでスレーブも同時に一斉書き換えが行われます。

備考 n = 0-2 m = 1, 2

図7-61 同時スタート&クリア・モード動作タイミング例(マスタによる周期制御)(一斉書き換えの場合)



備考 m = 1, 2

7.4.9 インターリーブPFC (power factor correction)出力モード

電源の高調波電流を抑制するPFC回路を制御する信号をインターリーブ出力できるモードです。

インターリーブPFC回路はシングルPFC回路に比べ、入力ピーク電流を抑制できるため、部品の小型化や電源装置の大電力化を図ることができます。

インターリーブPFC制御には2本のゼロ電流検出用入力とスイッチング用の2本のPWM出力が必要です。

インターリーブPFC制御は、カウンタリスタートトリガ要因0に選択された外部割り込み入力とTKBOn0、カウンタリスタートトリガ要因1に選択された外部割り込みとTKBOn1の組み合わせで実現します。

カウンタリスタートトリガ要因0に選択された外部割り込みで制御されるTKBOn0の出力に対して、カウンタリスタートトリガ要因1に選択された外部割り込みで180度位相をずらしたTKBOn1を出力します。

備考1. シングルPFC制御は単体動作モード(外部入力トリガによる周期制御)で実現することができます。詳しくは7.4.6 単体動作モード(外部トリガ入力による周期制御)を参照してください。

TKBCRn0により、カウンタリスタートトリガ要因0に選択された外部割り込みが検出されない場合のカウンタのリスタート周期を設定します。

TKBCRn1により、TKBOn0出力のアクティブ幅を設定します。

TKBCRn3により、TKBOn1出力のアクティブ幅を設定します。

備考2. インターリーブPFC (Power Factor Correction)出力モードではTKBCRn2は使用しません。

TKBTOLn0ビットとTKBTODn0ビット、TKBTOLn1ビットとTKBTODn1ビットの設定値を同じ値に設定してください。これによりデフォルト・レベルがロウレベル(ハイレベル)のとき、アクティブ・レベルをハイレベル(ロウレベル)となるようにします。

【TKBOn0出力とTKBOn1出力の計算式】

パルス周期(Max)^注 = (TKBCRn0の設定値 + 1) × カウント・クロック周期

TKBOn0出力のアクティブ幅 = TKBCRn1の設定値 × カウント・クロック周期

TKBOn1出力のアクティブ幅 = TKBCRn3の設定値 × カウント・クロック周期

注. カウンタリスタートトリガ要因0に選択された外部割り込み入力検出されない場合のカウンタのリスタート周期です。

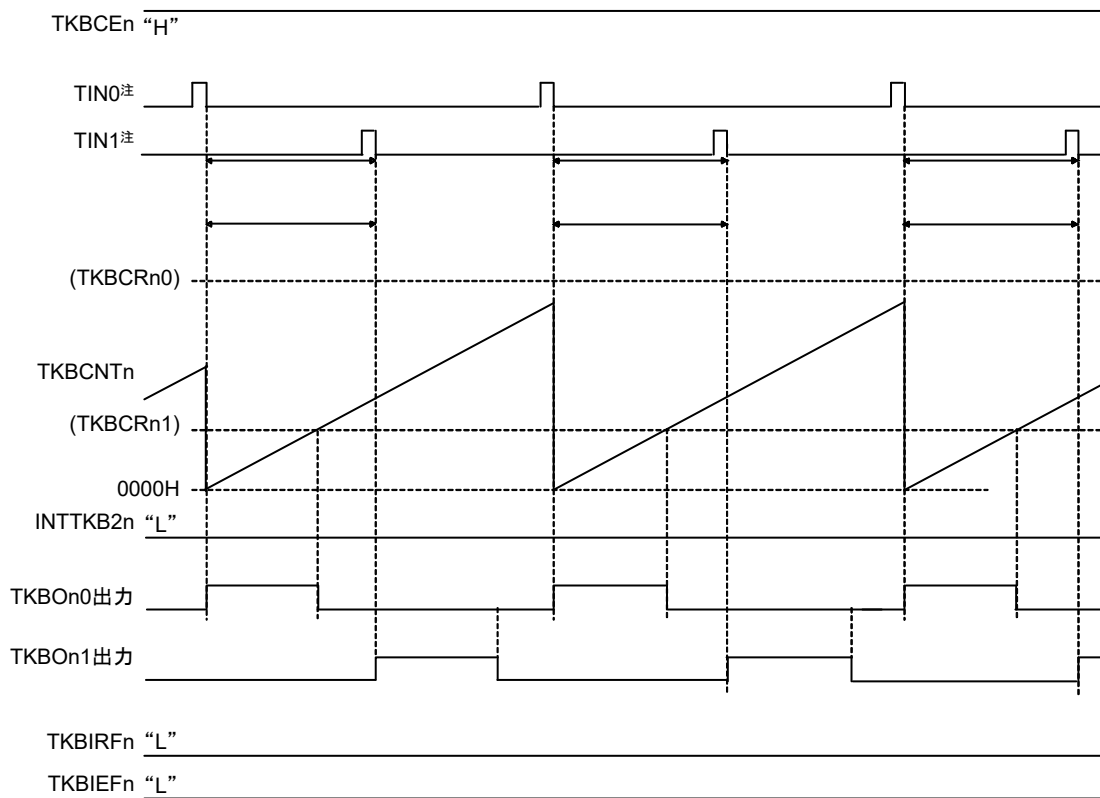
インターリーブPFCモード基本動作の動作概要を図7-62に示します。インターリーブPFCモード基本動作では、カウンタリスタートトリガ要因0に選択された外部割り込み入力をトリガとして、TKBCNTnはクリアされて0000Hからカウント・アップします。このとき、TKBOn0はアクティブ・レベルとなり、TKBCRn1レジスタの設定値との一致によりイン・アクティブ・レベルとなります。

カウンタリスタートトリガ要因0に選択された外部割り込み入力と位相がずれた、カウンタリスタートトリガ要因1に選択された外部割り込み入力によるトリガで、TKBOn1はアクティブ・レベルとなり、TKBCRn3レジスタの設定値との一致によりイン・アクティブ・レベルとなります。

備考 n = 0-2

TKBCNTnがTKBCRn0レジスタの設定値と一致する前に次のカウンタリスタートトリガ要因0に選択された外部割り込み入力が入力されて、上記の動作を繰り返していきます。

図7-62 インターリーブPFCモード基本動作の動作概要
 (出力のデフォルト値がロウレベル(TKBTODnp = 0)でアクティブ・レベルがハイレベル(TKBTOLnp = 0)の場合)



注 TIN0は、カウンタリスタートトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンタリスタートトリガ要因1に割り当てられた外部割り込みを示します。

備考 n = 0-2 p = 0, 1

(1) インターリーブPFCにおけるTKBOn1の出力条件

TKBOn1の出力には出力条件があり、下記表に従い制御されます。

状態 No	TKBOn1の出力条件			TKBOn1 ハイレベル開始
	TIN0 ^{注1} 入力	CR00との一致/TIN1 ^{注1}	周期幅	
1	1周期目	—	—	T/2で出力開始 ^{注4}
2	TIN0入力未検出	TKBCNTnとCR00との一致発生 (TIN1入力検出は無視する)	次の周期(CR00値)が 前の周期の1/2以上の場合	T/2で出力開始
3	↑	↑	次の周期(CR00値)が 前の周期の1/2以下の場合	状態保持
4	No.3の次の周期	—	—	T/2で出力開始
5	TIN0入力検出 (1回目) ^{注2}	—	—	T/2で出力開始
6	TIN0入力検出 (2回目以降) ^{注3}	TIN1検出 (前TOUT1立ち下がりエッジ~T/2の範囲)	—	T/2で出力開始
7	TIN0入力検出 (2回目以降) ^{注3}	TIN1検出 (T/2 ~ T/2 + T/(TKBIRSn1 - TKBIRSn0の設定値)の範囲)	—	トリガ入力で出力 開始
8	TIN0入力検出 (2回目以降) ^{注3}	TIN1検出 (T/2 + T/(TKBIRSn1 - TKBIRSn0の設定値)の範囲以降)	—	状態保持
9	No.8の次の周期	—	—	T/2で出力開始
10	TIN0入力検出	—	次の周期がT/2以下の場合	状態保持
11	No.10の次の周期	—	—	T/2で出力開始

注1. TIN0は、カウンtristartトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンtristartトリガ要因1に割り当てられた外部割り込みを示します。

注2. TIN0入力検出(1回目)とは、前の周期がTIN0入力検出によりクリアされなかった場合を意味します。

注3. TIN0入力検出(2回目)とは、前の周期がTIN0入力検出によりクリアされた場合を意味します。

注4. Tは以下の計算式になります。

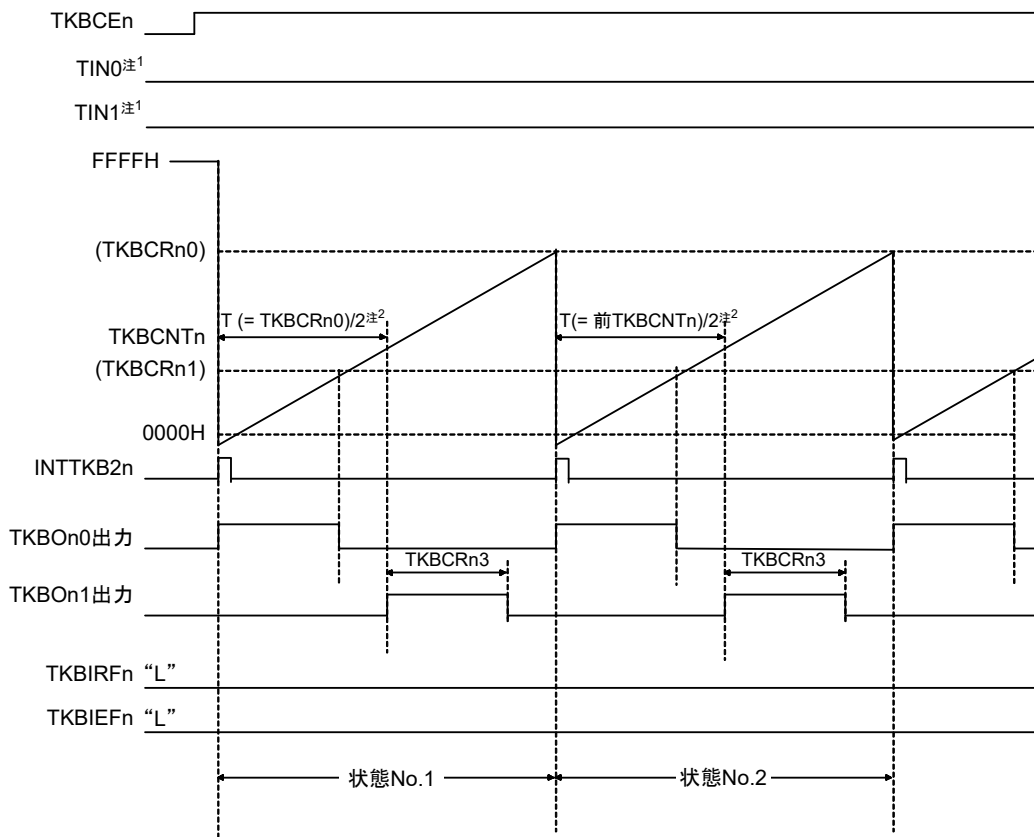
TKBCRn0の設定値が偶数の場合、 $T = TKBCRn0 + 2$

TKBCRn0の設定値が奇数の場合、 $T = TKBCRn0 + 1$

備考 n = 0-2

以下に、「状態No.」ごとの波形図を記載します。

図7-63 インターリーブPFCモードのタイミング図(状態No.1～No.2の動作)



注1. TIN0は、カウンタリスタートトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンタリスタートトリガ要因1に割り当てられた外部割り込みを示します。

注2. Tは以下の計算式になります。

TKBCRn0の設定値が偶数の場合、 $T = \text{TKBCRn0} + 2$

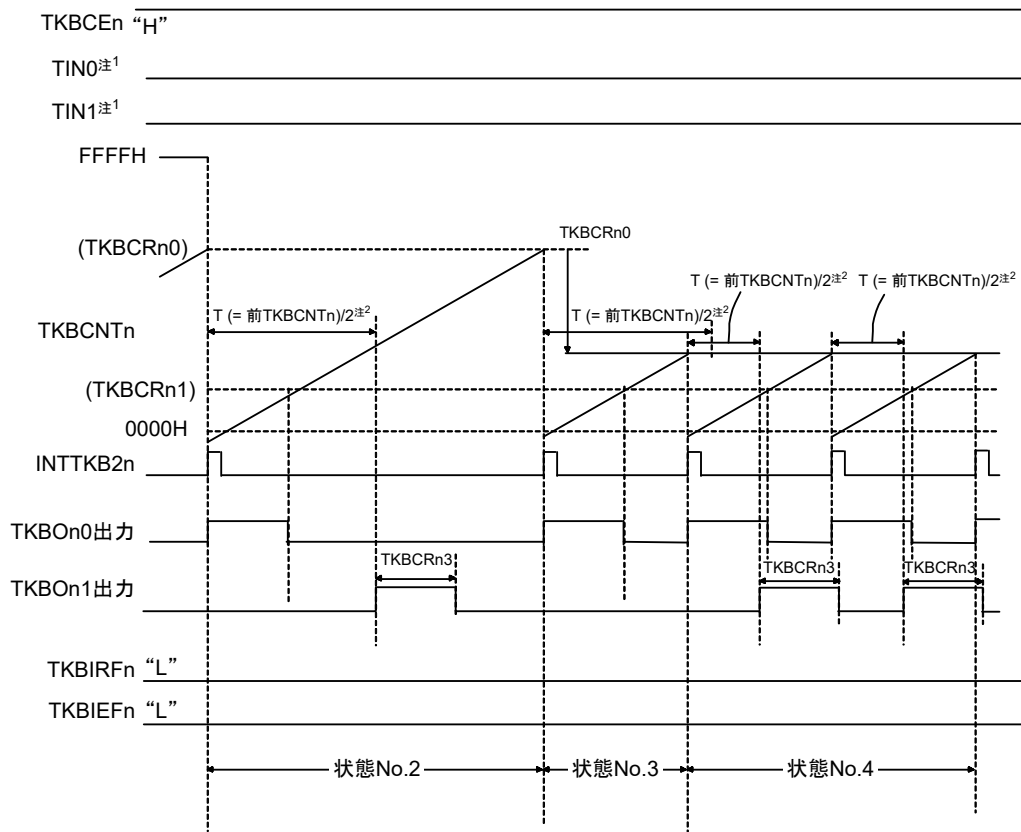
TKBCRn0の設定値が奇数の場合、 $T = \text{TKBCRn0} + 1$

状態No.1: TKBCEn = 1設定後の1周期目だけは、TKBCRn0を“T”としてT/2でTKBCRn3の設定幅のTKBOn1を出力します。

状態No.2: 2周期目は、前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します。

備考 n = 0-2

図7-64 インターリーブPFCモードのタイミング図(状態No.3~No.4の動作)
 (出力のデフォルト値がロウレベル(TKBTODnp = 0)でアクティブ・レベルがハイレベル(TKBTOLnp = 0)の場合)



注1. TIN0は、カウンタリスタートトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンタリスタートトリガ要因1に割り当てられた外部割り込みを示します。

注2. Tは以下の計算式になります。

TKBCRn0の設定値が偶数の場合, $T = \text{TKBCRn0} + 2$

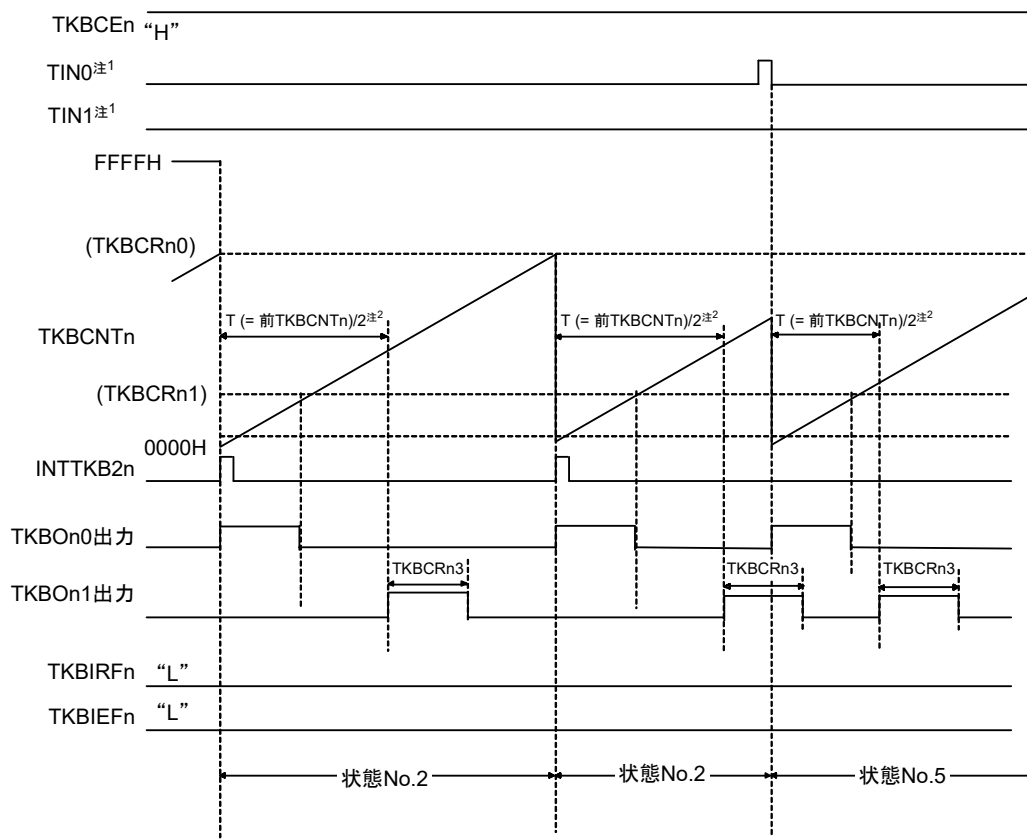
TKBCRn0の設定値が奇数の場合, $T = \text{TKBCRn0} + 1$

備考 n = 0-2 p = 0, 1

状態No.3: 前の周期のT/2を確保できず、TKBOn1は状態を保持します。

状態No.4: 前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します。

図7-65 インターリーブPFCモードのタイミング図(状態No.5の動作：INT0入力検出(1回目))



注1. TIN0は、カウンtrスタートトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンtrスタートトリガ要因1に割り当てられた外部割り込みを示します。

注2. Tは以下の計算式になります。

TKBCRn0の設定値が偶数の場合、 $T = \text{TKBCRn0} + 2$

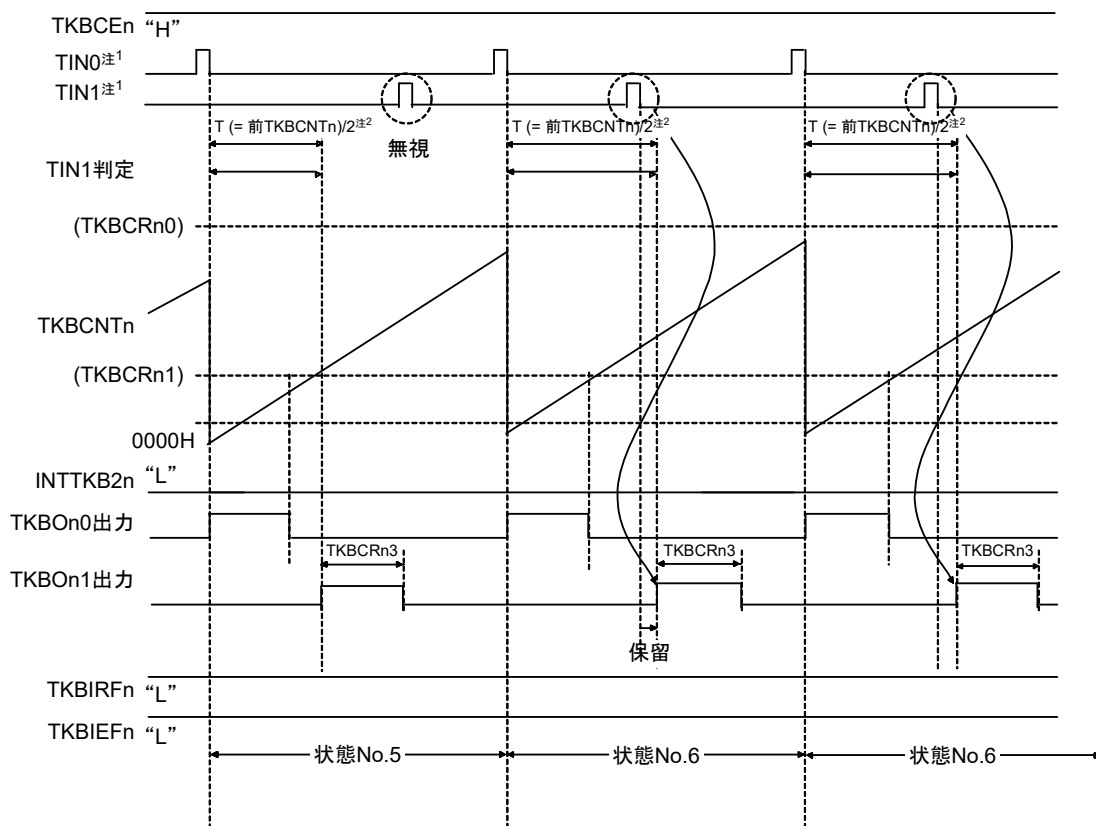
TKBCRn0の設定値が奇数の場合、 $T = \text{TKBCRn0} + 1$

状態No.5： TKBCEn = 1設定後の最初に検出したTIN0は、前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します。

TIN1の検出/未検出によりません。

備考 n = 0-2 p = 0, 1

図7-66 インターリーブPFCモードのタイミング図(状態No.6の動作)
 (出力のデフォルト値がロウレベル(TKBTODnp = 0)でアクティブ・レベルがハイレベル(TKBTOLnp = 0)の場合)



注1. TIN0は、カウンtristartトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンtristartトリガ要因1に割り当てられた外部割り込みを示します。

注2. Tは以下の計算式になります。

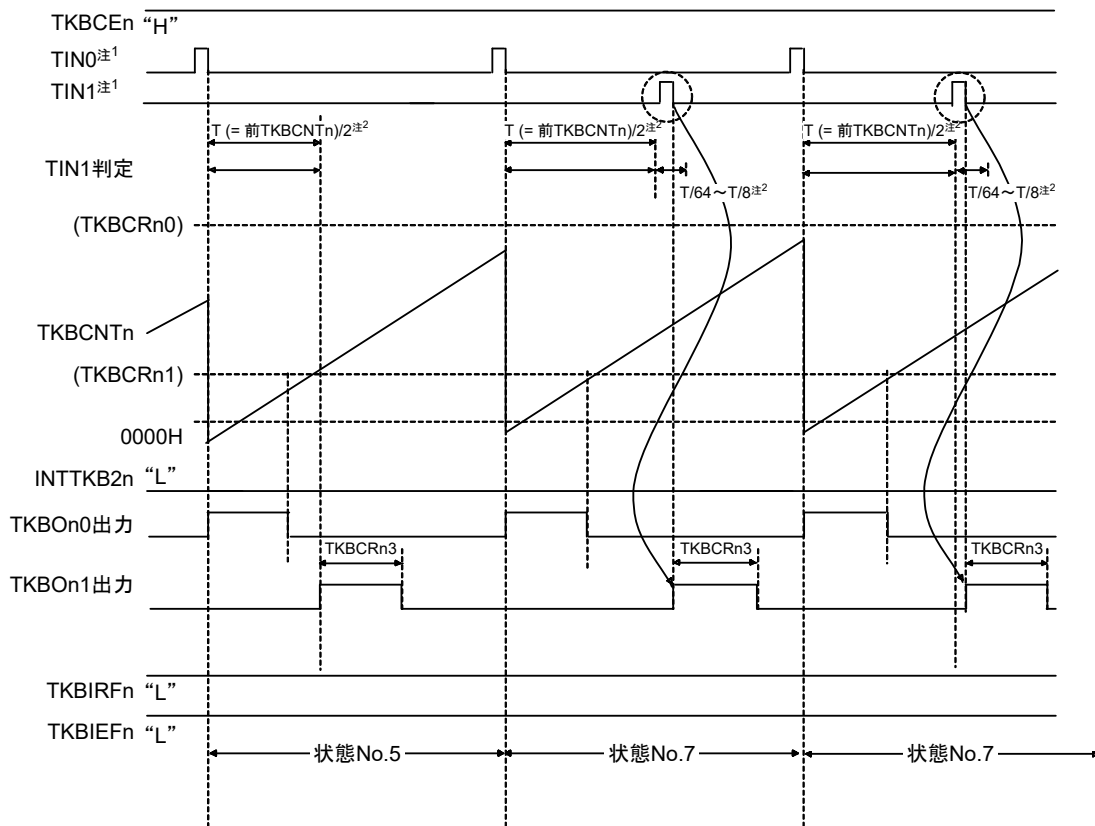
TKBCRn0の設定値が偶数の場合、 $T = TKBCRn0 + 2$

TKBCRn0の設定値が奇数の場合、 $T = TKBCRn0 + 1$

備考 n = 0-2 p = 0, 1

状態No.6: TIN1の入力が前の周期のT/2内であるため、前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します。

図7-67 インターリーブPFCモードのタイミング図(状態No.7の動作)
 (出力のデフォルト値がロウレベル(TKBTODnp = 0)でアクティブ・レベルがハイレベル(TKBTOLnp = 0)の場合)



注1. TIN0は、カウンtristartトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンtristartトリガ要因1に割り当てられた外部割り込みを示します。

注2. Tは以下の計算式になります。

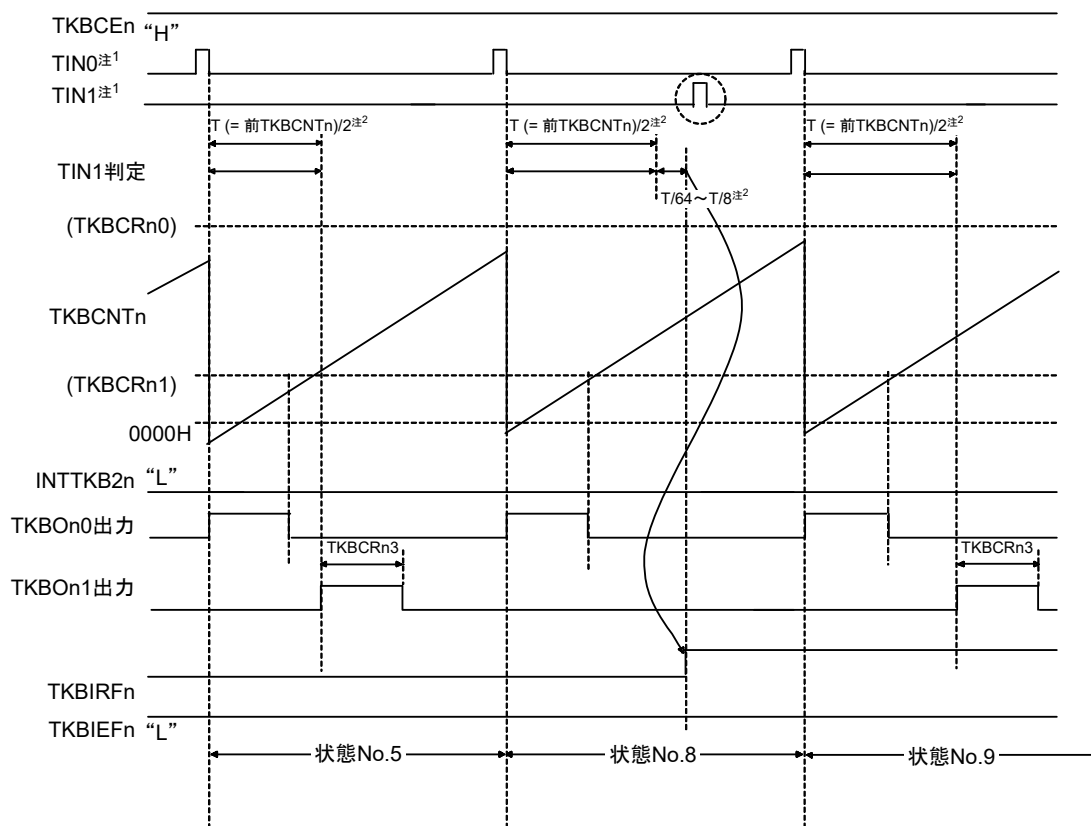
TKBCr0の設定値が偶数の場合、 $T = \text{TKBCr0} + 2$

TKBCr0の設定値が奇数の場合、 $T = \text{TKBCr0} + 1$

備考 n = 0-2 p = 0, 1

状態No.7: TIN0検出後、前の周期のT/2以上、前の周期のT/2 + T/m (mは、8, 16, 32, 64: TKBIRSn1, TKBIRSn0で設定)以内のTIN1検出するとTKBCr3の設定幅のTKBOn1を出力します。

図7-68 インターリーブPFCモードのタイミング図(状態No.8~No.9の動作)
 (出力のデフォルト値がロウレベル(TKBTODnp = 0)でアクティブ・レベルがハイレベル(TKBTOLnp = 0)の場合)



注1. TIN0は、カウンタスタートトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンタスタートトリガ要因1に割り当てられた外部割り込みを示します。

注2. Tは以下の計算式になります。

TKBCRn0の設定値が偶数の場合、 $T = \text{TKBCRn0} + 2$

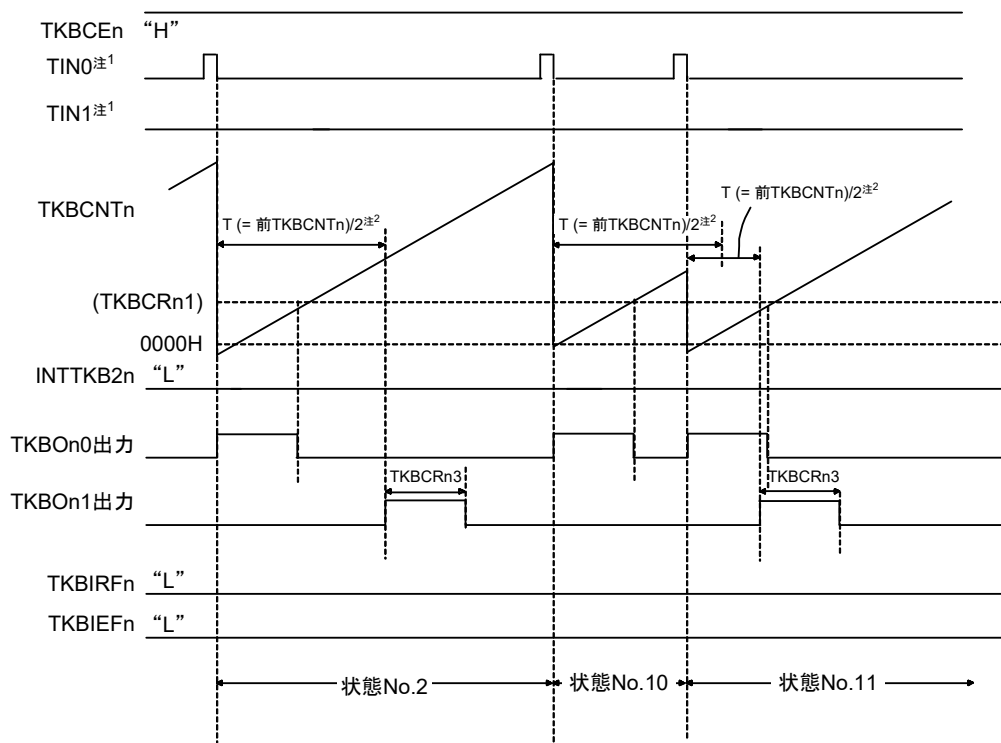
TKBCRn0の設定値が奇数の場合、 $T = \text{TKBCRn0} + 1$

備考 n = 0-2 p = 0, 1

状態No.8 : 前の周期の $T/2 + T/m$ (mは、8, 16, 32, 64:TKBIRSn1, TKBIRSn0で設定)以内にTIN1が検出されなかった場合、TKBOn1は状態を保持します。このとき、TKBIRFnが“1”にセットされます。

状態No.9 : 前の周期の $T/2$ でTKBCRn3の設定幅のTKBOn1を出力します。

図7-69 インターリーブPFCモードのタイミング図(状態No.10～No.11の動作)
 (出力のデフォルト値がロウレベル(TKBTODnp = 0)でアクティブ・レベルがハイレベル(TKBTOLnp = 0)の場合)



注1. TIN0は、カウンtrスタートトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンtrスタートトリガ要因1に割り当てられた外部割り込みを示します。

注2. Tは以下の計算式になります。

TKBCRn0の設定値が偶数の場合、 $T = \text{TKBCRn0} + 2$

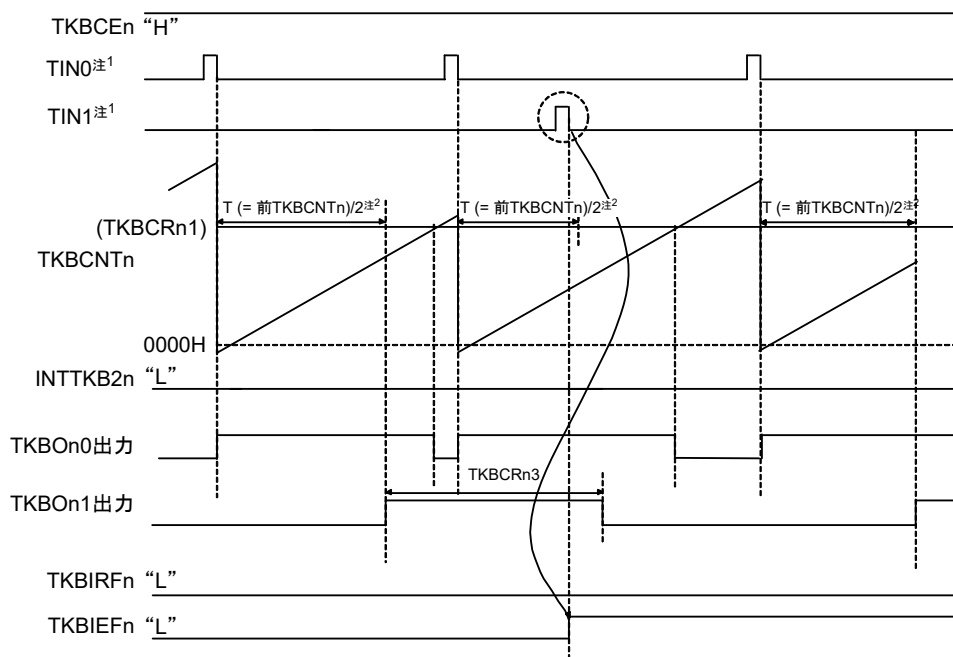
TKBCRn0の設定値が奇数の場合、 $T = \text{TKBCRn0} + 1$

備考 n = 0-2 p = 0, 1

状態No.10: 前の周期のT/2を確保できず、TKBOn1は状態を保持します。

状態No.11: 前の周期のT/2でTKBCRn3の設定幅のTKBOn1を出力します。

図7-70 インターリーブPFCモードのタイミング図
(TKBOn1中に再度トリガが発生した場合)



注1. TIN0は、カウンtrisスタートトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンtrisスタートトリガ要因1に割り当てられた外部割り込みを示します。

注2. Tは以下の計算式になります。

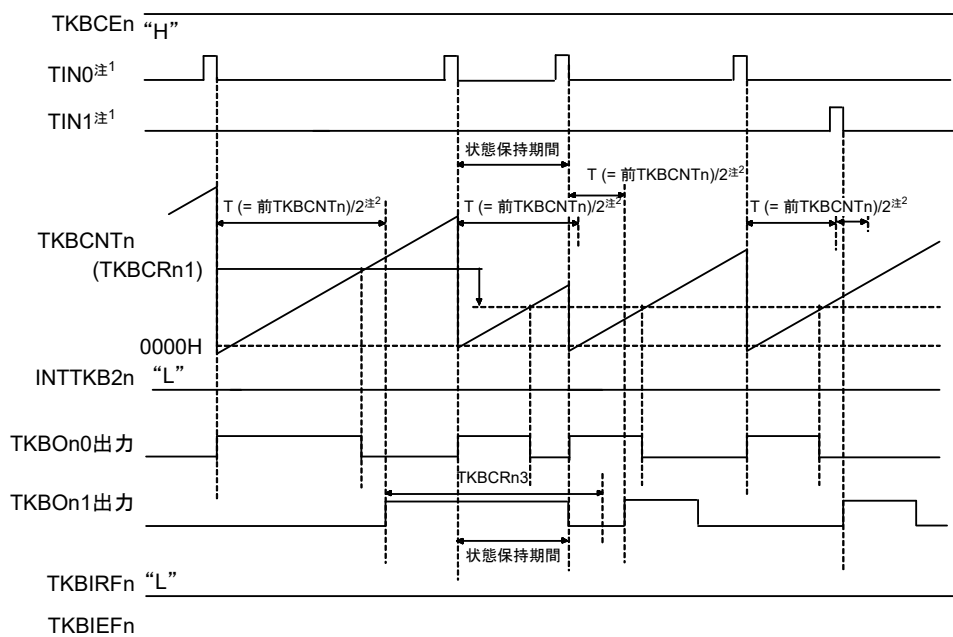
TKBCRn0の設定値が偶数の場合、 $T = \text{TKBCRn0} + 2$

TKBCRn0の設定値が奇数の場合、 $T = \text{TKBCRn0} + 1$

前の周期のTKBOn1出力中に、次のTKBOn1出力トリガが発生した場合、トリガを無視します。このとき、TKBIEFnが“1”にセットされます。

備考 n = 0-2

図7-71 インターリーブPFCモードのタイミング図
(TKBOn1の出力が前回の出力幅で、状態保持期間を超える場合)



注1. TIN0は、カウンタスタートトリガ要因0に割り当てられた外部割り込み、TIN1は、カウンタスタートトリガ要因1に割り当てられた外部割り込みを示します。

注2. Tは以下の計算式になります。

TKBCRn0の設定値が偶数の場合、 $T = TKBCRn0 + 2$

TKBCRn0の設定値が奇数の場合、 $T = TKBCRn0 + 1$

TKBOn1出力の前回の出力幅が長く、状態保持期間を超える場合は、状態保持期間を完了した次の周期の開始タイミングで強制的にデフォルト出力とします。

備考 n = 0-2

(2) インターリーブPFC出力モードでのレジスタ設定一覧

	15	14	13	12	11	10	9	8
TKBCTLn0	— 0	— 0	TKBSSEn1 0	TKBDIEn1 0	— 0	— 0	TKBSSEn0 0	TKBDIEn0 0
	7	6	5	4	3	2	1	0
	TKBMFE0 1/0	— 0	TKBIRSn1 1/0	TKBIRSn0 1/0	— 0	TKBTSEn 1	TKBSTSn1 0	TKBSTSn0 0
	7	6	5	4	3	2	1	0
TKBCTLn1	TKBCEn 1	— 0	— 0	TKBCKSn 1/0	TKBSCMn 0	— 0	TKBMDn1 1	TKBMDn0 1
	7	6	5	4	3	2	1	0
TKBIOCn0	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
	7	6	5	4	3	2	1	0
TKBIOCn1	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
	7	6	5	4	3	2	1	0
TKBPSCSn	— 0	TKBTPS012 1/0	TKBTPS011 1/0	TKBTPS010 1/0	— 0	TKBTPS002 1/0	TKBTPS001 1/0	TKBTPS000 1/0
TKBCRn0	0000H-FFFFH							
TKBCRn1	0000H-FFFFH							
TKBCRn2	0000H-FFFFH							
TKBCRn3	0000H-FFFFH							
TKBTGCRn	0000H-FFFFH							
TKBSIRn0	0000H							
TKBSIRn1	0000H							
TKBSSRn0	00H							
TKBSSRn1	00H							
TKBDNRn0	00H							
TKBDNRn1	00H							
TKBMFRn	0000H-FFFFH							

■: このモードでは設定固定 ■: 設定不要(初期値を設定)

備考 n = 0-2

7.5 16ビット・タイマKB20, KB21, KB22のオプション機能

タイマKB20, KB21, KB22にはオプション機能を付加することができます。

タイマKB20, KB21, KB22の各動作モードに対する選択可能なオプションを次の表に示します。

動作モード	単体動作モード		同時スタート&ストップ・モード		同時スタート&クリア・モード	インターリーブPFC出力モード
	CR00で周期制御	トリガで周期制御	CR00で周期制御	トリガで周期制御	Masterで周期制御	リスタートトリガ要因0/CR00で周期制御
オプション機能	トリガ出力機能	○	○	○	○	○
	PWM出力	○	×	○	×	○
	ディザリング機能	○	×	○	×	×
	PWM出力ソフト・スタート機能	○	×	○	×	○
	最大周波数	×	○	×	○	×
	リミット機能	×	○	×	○	×

備考 動作使用の詳細は、7.4.2 デフォルトレベルとアクティブレベル、7.4.3 動作停止と動作開始を参照してください。

7.5.1 トリガ出力機能

16ビット・タイマKB2トリガ・コンペア・レジスタn (TKBTGCRn)を設定することによりタイマKB2nトリガ出力信号を生成することができます。このトリガ出力信号は、ELCのイベント入力信号(ELSELR20~22対応する)として使用することができます。

TKBCNTnとTKBTGCRnの一致検出により、タイマKB2nトリガ出力信号を出力し、TKBCRnmの設定周期に対して任意のタイミングでトリガ出力が可能です。タイマKB2nトリガ出力信号の出力幅は、タイマ・クロックの1クロック幅です。PWM出力周期スタートからのトリガ出力タイミングは次の計算式により求められます。

$$\text{トリガ出力タイミング} = \text{TKBTGCRnの設定値} \times \text{カウント・クロック周期}$$

注意 TKBCRn0 < TKBTGCRn のとき、タイマKB2nトリガ出力信号は出力されません。

図7-72 単体動作モード(TKB0CR0による周期制御)でのトリガ出力機能

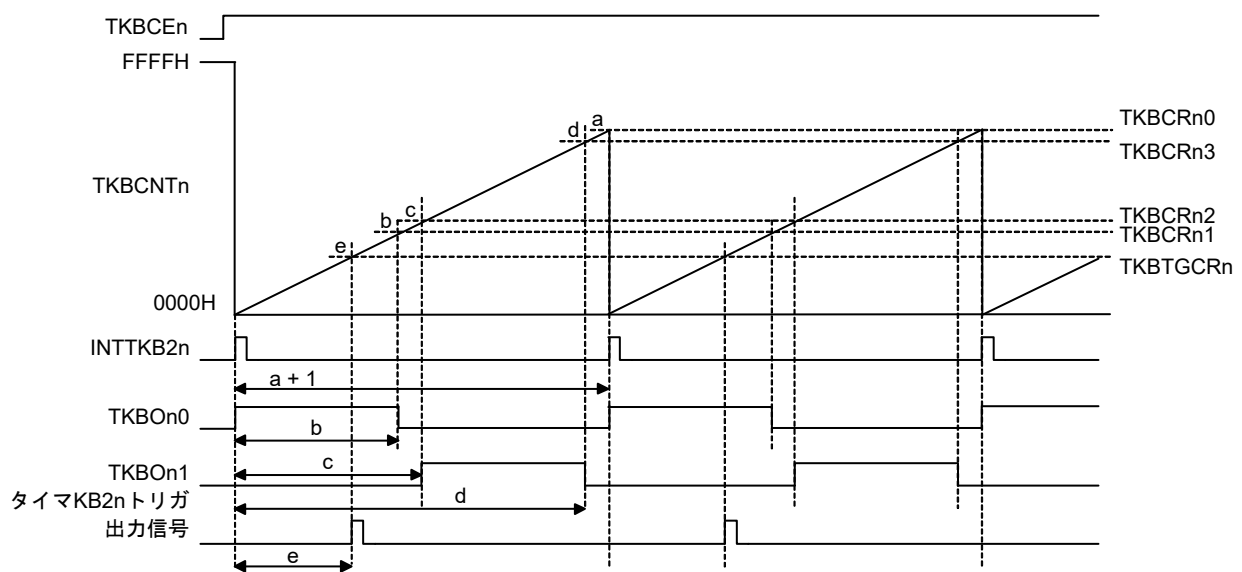
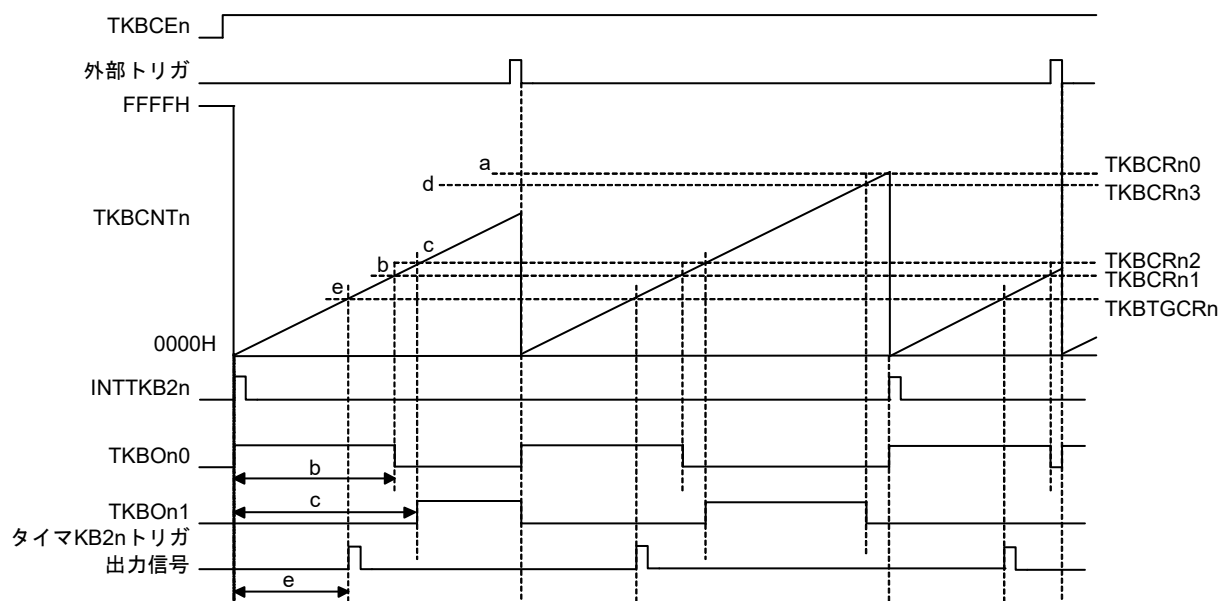


図7-73 単体動作モード(外部トリガ入力による周期制御)でのトリガ出力機能



備考 n = 0-2

7.5.2 PWM出力ディザリング機能

16ビット・タイマKB2nはPWM出力ディザリング機能を使用することでPWMを高分解能化できます。

PWM周期の16周期を1単位とし、1単位中N回(N = 0-15)のアクティブ期間を1カウント・クロック分延長することにより、PWMの平均分解能を16倍向上できます。

1単位中のアクティブ期間を1カウント・クロック延長させる回数(N)は、TKBDNRnpレジスタに設定します。

1単位の内1カウント・クロック延長(N回)をどの周期(第k周期)で実施するかを下図に示します。

たとえば、N = 3の場合、1単位中、第1, 5, 9周期目のPWMのアクティブ期間を1クロック分延長します。

図7-74 TKBDNRnpと、アクティブ期間を1カウント・クロック延長する周期との関係図

第k周期 回数(N)	k															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1	■															
2	■							■								
3	■				■			■								
4	■				■			■				■				
5	■		■		■			■				■				
6	■		■		■			■		■			■			
7	■		■		■		■			■			■			
8	■		■		■		■		■		■		■		■	
9	■	■	■		■		■		■		■		■		■	
10	■	■	■		■		■		■	■			■		■	
11	■	■	■		■		■		■	■			■		■	
12	■	■	■		■		■		■	■			■	■	■	
13	■	■	■		■		■		■	■			■	■	■	
14	■	■	■		■		■		■	■		■	■	■	■	
15	■	■	■		■		■		■	■		■	■	■	■	

備考1. セル：TKBCRn1, TKBCRn3レジスタの設定値に従ったアクティブ周期にする

セル：TKBCRn1, TKBCRn3レジスタの設定値に+1したアクティブ周期にする

備考2. n = 0-2 p = 0, 1

図7-75 ディザリング動作の波形図

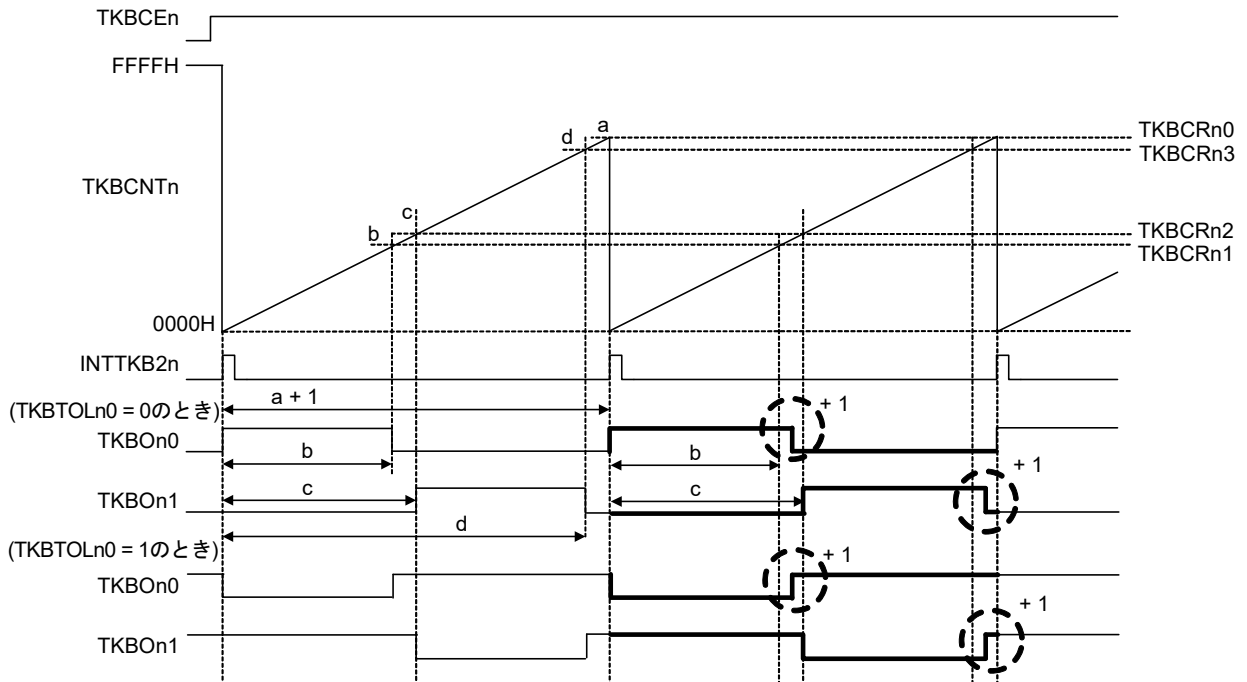
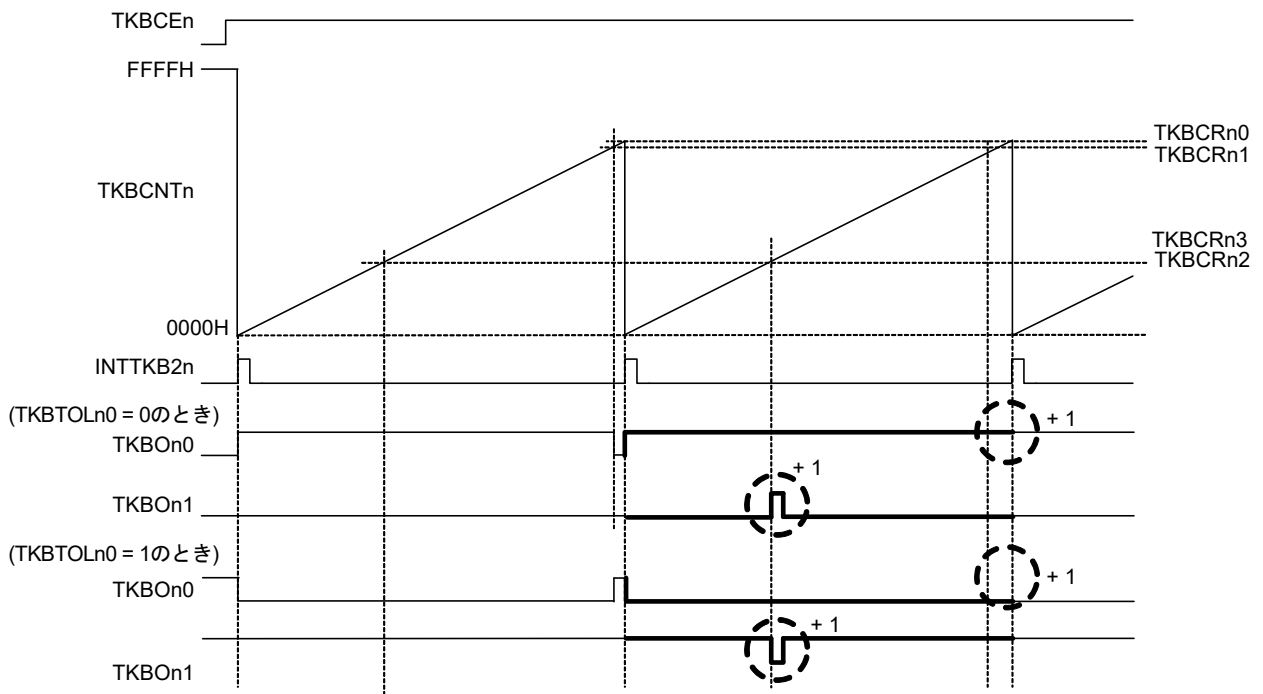


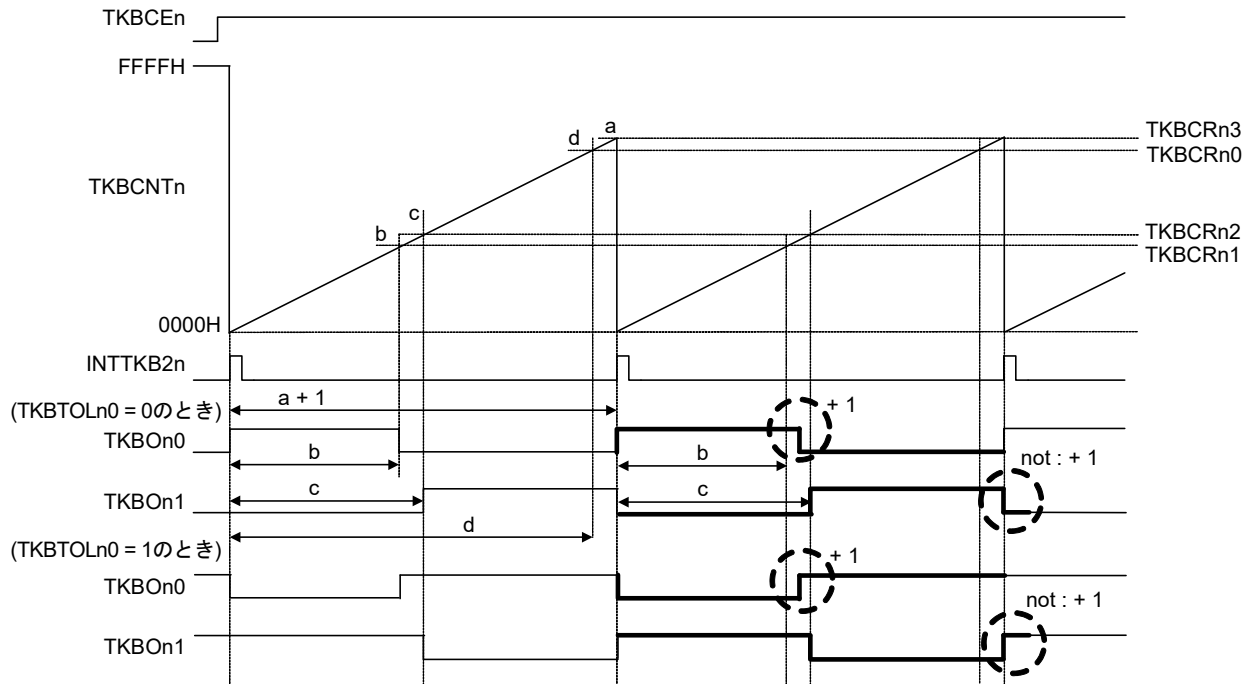
図7-76 ディザリング動作の波形図

($TKBCR_n1 = TKBCR_n0$ (100%近傍), $TKBCR_n2 = TKBCR_n3$ (0%近傍)の場合)



備考 n = 0-2

図7-77 デザリング動作の波形図
(TKBCRn3 = TKBCRn0 + 1の場合)



備考 n = 0-2

(1) 使用可能な動作モード

TKBCTLn0レジスタ (TKBSTSn1, TKBSTSn0ビット), TKBCTLn1レジスタ (TKBMDn1, TKBMDn0ビット)に指定される各モードでの動作可否を示します。

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード(TKBCRn0による周期制御)	00B	00B	○
単体動作モード(外部トリガ入力による周期制御)	00B	01B/10B/11B	×
同時スタート&ストップ・モード(TKBCRn0による周期制御)	01	00	○
同時スタート&ストップ・モード(外部トリガ入力による周期制御)	01	01/10/11	×
同時スタート&クリア・モード(Masterによる周期制御)	10	—	○
インターリーブPFC出力モード	11B	—	×

PWM出力ディザリング機能は、外部トリガ入力を使用せず、TKBCRn0による周期制御の場合に使用できません。

TKBDNRn0/TKBDNRn1は、それぞれTKBOn0/TKBOn1のPWM出力ディザリング機能を制御します。

注意1. 【TKBDNRn0/TKBDNRn1レジスタの動作中(TKBCEn = 1)書き換え】

TKBDNRn0/TKBDNRn1は、バッファを保有しているので、動作中(TKBCEn = 1)の書き換えが可能です。

その際には、TKBRDTnビットへの“1”書き込みによる一斉書き換えを行います。

注意2. 【TKBCRLDn0/TKBCRLDn1レジスタによるアクセス】

TKBCRLDn0は、TKBCRn1の下位8bitとTKBDNRn0をマッピングした16bitレジスタです。

TKBCRLDn1は、TKBCRn3の下位8bitとTKBDNRn1をマッピングした16bitレジスタです。

TKBDNRn0/TKBDNRn1は、TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されます。

TKBCRn1/TKBCRn3は、TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されません。

TKBCRLDn0/TKBCRLDn1レジスタへアクセスした場合、TKBCRn1/TKBCRn3の下位8bitのみが変更されることに注意してください。

注意3. 【PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合】

PWM出力ソフト・スタート機能実行(TKBSSFnp = 1)中は、PWM出力ディザリング機能は無効になります。

PWM出力ソフト・スタート機能停止(TKBSSFnp = 0)で、PWM出力ディザリング機能が有効になります。

備考 n = 0-2 p = 0, 1

7.5.3 PWM出力ソフト・スタート機能

タイマKB2nは、突入電流抑制、および、過電圧の防止に対応するPWM出力ソフト・スタート機能を保有しています。PWM出力ソフト・スタート機能は、タイマスタートタイミングで起動します。従来、ユーザがソフトウェアで行っていた処理をハードウェアのオプション機能で容易に実現することができます。

16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタ (TKBSIRnp) で設定した値より開始し、1クロック分ずつPWMのアクティブ期間を順次増加させます。アクティブ期間を増加させる速度は16ビット・タイマKB2ソフト・スタート・ステップ幅レジスタ (TKBSSRnp) で指定します。TKBSSRnp レジスタで設定した値をNとすると、現在設定されているアクティブ期間をN + 1回出力した後、アクティブ期間を+1増加させ、新たなアクティブ期間をN + 1回出力します。これを繰り返しアクティブ期間を増加させ、TKBCRn1, TKBCRn3 レジスタで決定するアクティブ期間と一致したらPWM出力ソフト・スタート機能を解除します。

16ビット・タイマKB2ソフト・スタート初期デューティ・レジスタは、以下の条件で設定する必要があります。

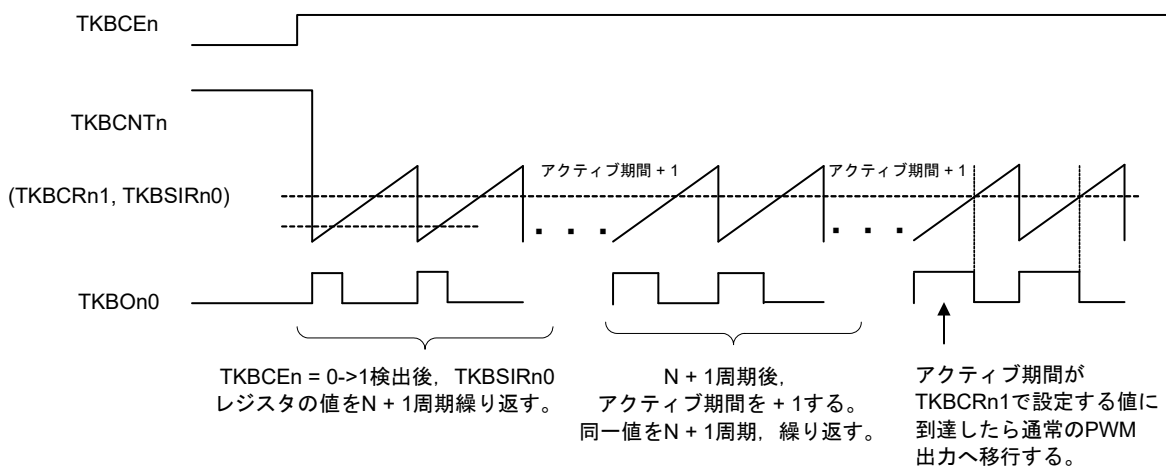
$$0000H \leq TKBSIRn0 < TKBCRn1 \leq TKBCRn0 + 1$$

$$TKBCRn2 \leq TKBSIRn1 < TKBCRn3 \leq TKBCRn0 + 1$$

同時スタート/クリア・モード使用する時は、以下の条件で設定する必要があります。

$$TKBCRm0 \leq TKBSIRn0 < TKBCRn1 \leq \text{マスタのTKBCR00} + 1$$

図7-78 PWM出力ソフト・スタート機能TKBOn0出力の例



備考1. N: TKBSSRnpレジスタで設定する値

備考2. n = 0-2 p = 0, 1 m = 1, 2

(1) PWM出力ソフト・スタート機能が使用可能な動作モード

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード (TKBCRn0による周期制御)	00B	00B	○
単体動作モード (外部トリガ入力による周期制御)	00B	01B/10B/11B	×
同時スタート&ストップ・モード (TKBCRn0による周期制御)	01B	00B	○
同時スタート&ストップ・モード (外部トリガ入力による周期制御)	01B	01B/10B/11B	×
同時スタート&クリア・モード (Masterによる周期制御)	10B	—	○
インターリーブPFC出力モード	11B	—	×

(2) TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの動作中(TKBCEn = 1)書き換え

TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1は、通常動作中(TKBCEn = 1)に書き換えが可能です。PWM出力ソフト・スタート期間中は、一斉書き換えできません。

TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1は、バッファを保有しておりTKBRDTnビットへの“1”書き込みにより一斉に書き換えられます。TKBSIRn0/TKBSIRn1は、PWM出力ソフト・スタート機能開始タイミングでのバッファの値がdutyの初期値となり、TKBSSRn0/TKBSSRn1は、内部4bitカウンタの比較値となります。

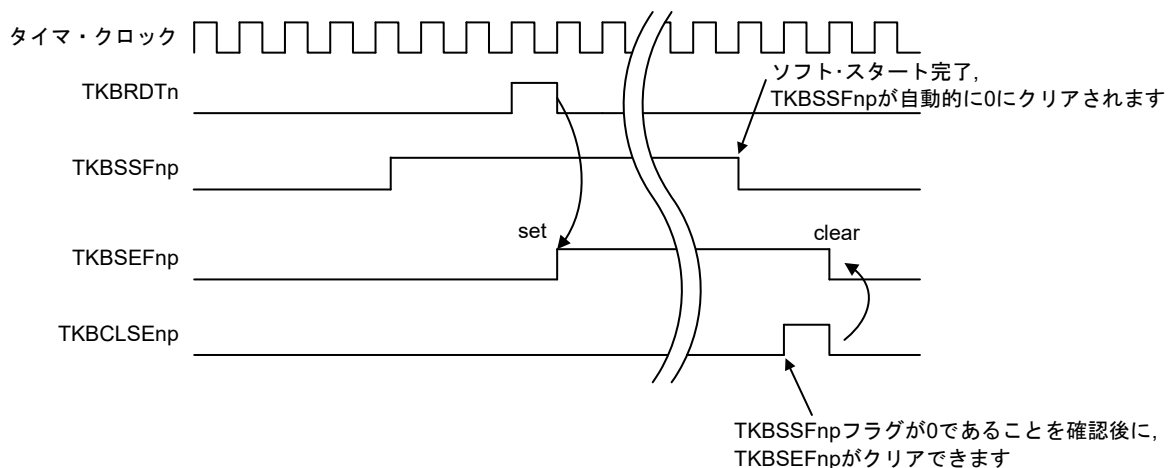
内部4bitカウンタは、TKBCNTnの周期をカウント・クロックとしてアップ・カウントし、TKBSSRn0/TKBSSRn1

との一致で、0Hとなりカウント動作を継続します。

(3) TKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの動作中(TKBCEn = 1)書き換え

PWM出力ソフト・スタート期間(TKBSSFnp = 1, TKBSSFnp = 1)中は、一斉書き換えがマスクされます。TKBRDTnを“1”設定した場合、一斉書き換えがマスクされTKBSEFnpフラグがセットされます。その時に、TKBSEFnpフラグはクリアできません。TKBSSFnp = 0を確認後に(PWM出力ソフト・スタート完了)、TKBCLSEnpビット = 1によりTKBSEFnpフラグはクリアされます。

図7 - 79 ソフト・スタート機能動作中(TKBSSFnp = 1)のTKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1レジスタの書き換えできない、フラグクリアタイミング



備考 n = 0-2 p = 0, 1

(4) PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合

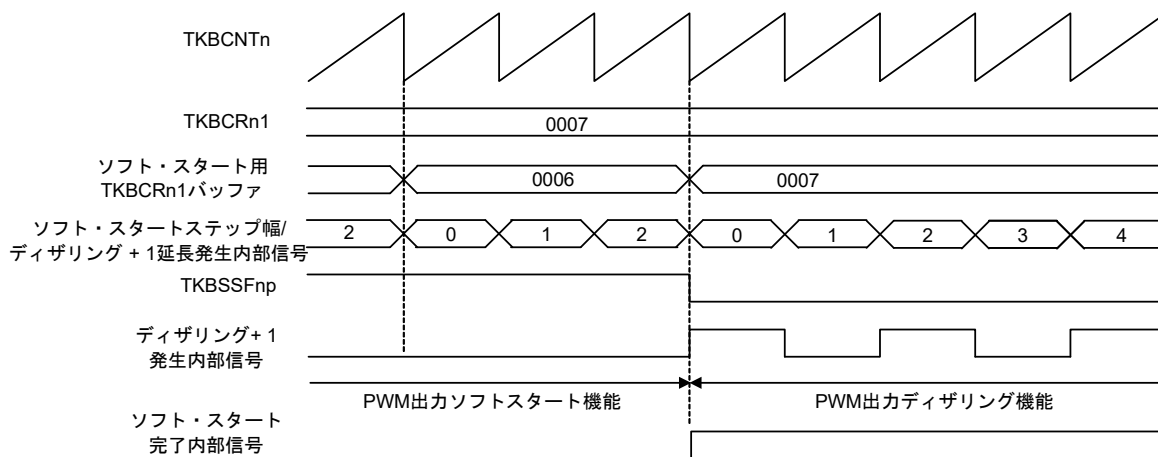
PWM出力ソフト・スタート機能実行(TKBSSFnp = 1)中は、PWM出力ディザリング機能は無効となります。

PWM出力ソフト・スタート機能停止(TKBSSFnp = 0)で、PWM出力ディザリング機能が有効となります。

(5) PWM出力ソフト・スタート機能の完了とTKBSSFnpの動作

TKBCRn1を0007H, TKBDNRnpを70H, TKBSSRnpを02Hとした場合の図を示します。TKBCRn1 = 0007Hと内部のソフト・スタート用TKBCRn1バッファの値が一致するタイミングでTKBSSFnpがクリアされ、ディザリング機能が開始されます。

図7-80 PWM出力ソフト・スタート機能の完了とTKBSSFnpの動作



備考 n = 0-2 p = 0, 1

7.5.4 最大周波数リミット機能

タイマKB2nは、外部トリガ入力による周期制御またはインターリーブPFC出力モード時に、カウンタ・クリアの最小周期(最大周波数)を制限する機能があります。

この機能を使用すると、カウンタ・クリアを行う外部トリガ入力、カウンタ値が最大周波数リミット・レジスタ (TKBMFRn) の設定値より小さい時に発生した場合、その入力を保留し、TKBMFRn レジスタの設定値までカウントを継続した後にカウンタ・クリアを行います。

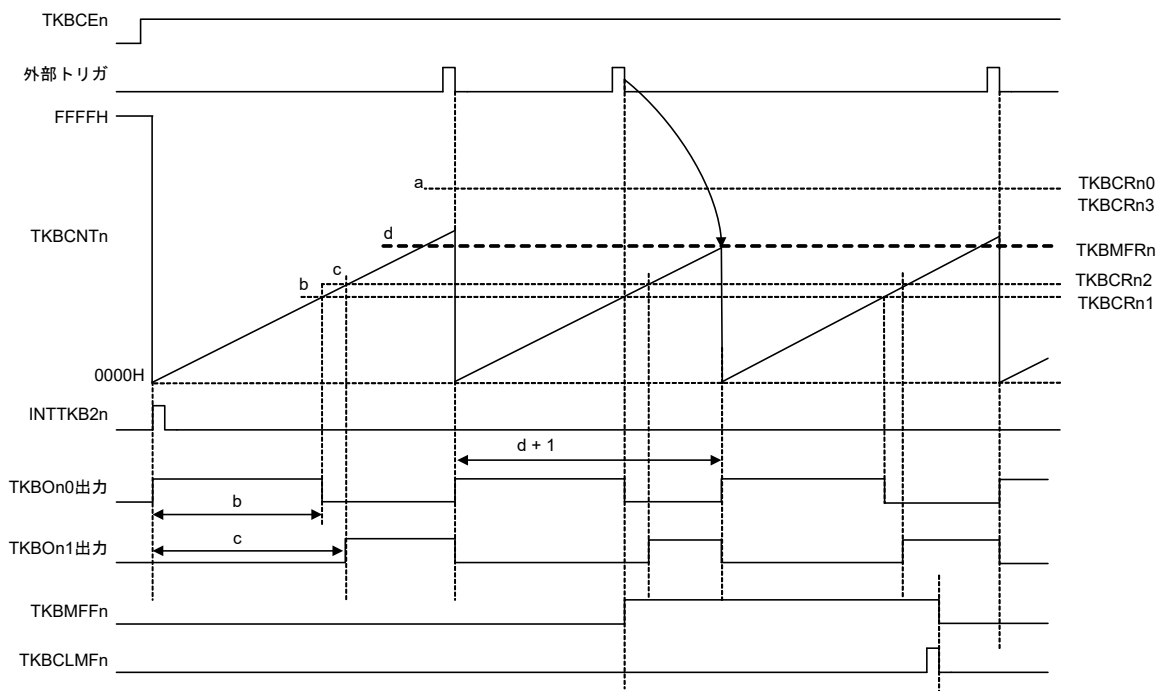
(1) 最大周波数リミット(= 1 / 最小周期)の計算式

$$\text{最小周期} (= 1 / \text{最大周波数リミット}) = (\text{TKBMFRnの設定値} + 1) \times \text{カウント・クロック周期}$$

注意 TKBMFRnの設定値 ≤ TKBCRn0の設定値とする必要があります。

外部トリガ入力検出タイミングで、カウンタ値がTKBMFRnより小さい場合、TKBMFFnフラグが“1”セットされます。TKBMFFnフラグは、TKBCLMFnビットへの“1”書き込みにより“0”にクリアされます。

図7 - 81 最大周波数リミット機能



備考 外部トリガ入力による周期制御の場合

(2) 最大周波数リミット機能で使用可能な動作モード

動作モード	TKBMDn1, TKBMDn0	TKBSTSn1, TKBSTSn0	使用可否
単体動作モード(TKBCRn0による周期制御)	00B	00B	×
単体動作モード(外部トリガ入力による周期制御)	00B	01B/10B/11B	○
同時スタート&ストップ・モード(TKBCRn0による周期制御)	01B	00B	×
同時スタート&ストップ・モード(外部トリガ入力による周期制御)	01B	01B/10B/11B	○
同時スタート&クリア・モード(Masterによる周期制御)	10B	—	×
インターリーブPFC出力モード	11B	—	○

備考1. 外部トリガ入力による周期制御の場合に使用可能です。

備考2. n = 0-2

7.6 強制出力停止機能

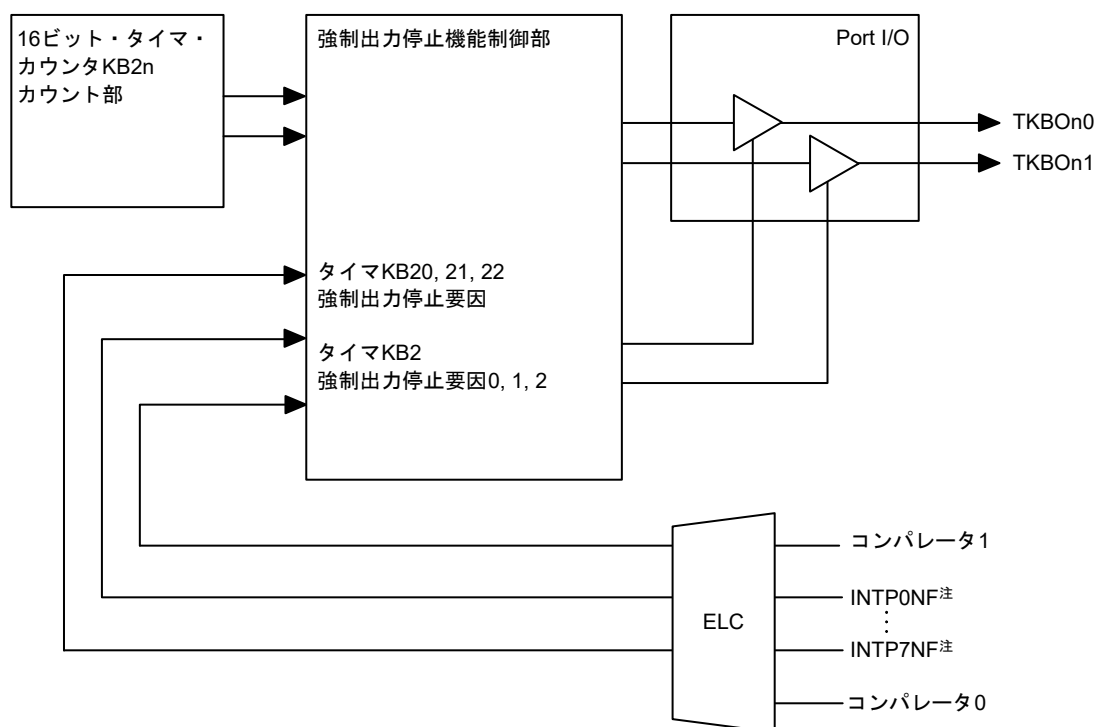
強制出力停止機能は、電源回路などの保護を行なうための機能です。

マイコン外部で構成された電源回路において、ショートなどの異常が発生し、過電圧や過電流状態となった場合に、電圧や電流センス信号をINTPiNF／コンパレータなどに入力することで、CPUのプログラム制御を介することなくタイマ出力をハイ・インピーダンスまたは固定出力状態として回路を保護します。

この機能では、入力信号のエッジを検出したときのみ、異常状態とみなします。エッジがない固定レベルは異常状態としません。

強制出力停止機能のシステム構成図を次の図に示します。

図7-82 強制出力停止機能のシステム構成図



注 INTP0NF～INTP7NFはノイズフィルタ経由前の信号(ELSELR23-ELSELR30に対応する信号)です。

備考 n = 0-2

7.6.1 強制出力停止機能1と強制出力停止機能2

強制出力停止機能は、2つの制御方法があります。強制出力停止機能1はレベル固定出力とハイ・インピーダンス出力を選択でき、強制出力停止機能2はレベル固定出力のみ設定可能です。次に制御方法の差分を示します。

(1) 強制出力停止機能1/強制出力停止機能2の選択可能出力レベル

選択可能出力レベル	強制出力停止機能	
	機能1	機能2
ハイ・インピーダンス出力	○	×
ロウ固定出力	○	○
ハイ固定出力	○	○

(2) 強制出力停止機能1/強制出力停止機能2の開始・解除条件

機能・動作説明(強制出力停止開始)	強制出力停止機能	
	機能1	機能2
TMKB2n強制出力停止要因, TMKB2強制出力停止要因0, 1 (ELC経由)検出により強制出力停止開始	○	○
TMKB2強制出力停止要因2 (ELC経由)検出により強制出力停止開始	×	○
ソフトウェアビット(TKBPAAHTSn)の設定により強制出力停止開始	○	×

機能・動作説明(強制出力停止解除)	強制出力停止機能	
	機能1	機能2
ソフトウェアビット(TKBPAAHTTnp)の設定により強制出力停止解除	○	×
ソフトウェアビット(TKBPAAHTTnp)の設定後, TMKB周期に同期して強制出力停止解除	○	×
強制出力停止を開始した次のTMKB周期で強制出力停止解除	×	○
強制出力停止を開始エッジと逆エッジを検出後, TMKB周期に同期して強制出力停止解除	×	○

(3) 強制出力停止機能1/強制出力停止機能2の選択可能入力端子と使用可能トリガビットの条件

選択可能入力端子	強制出力停止機能	
	機能1	機能2
外部割り込み(INTPiNF) (ELC経由, ELSELR23 ~ ELSELR30に対応)	○	○
コンバータ0/1 (ELC経由, ELSELR18 ~ ELSELR19に対応)	○	○

強制出力停止開始/解除使用可能トリガビット	強制出力停止機能	
	機能1	機能2
TKBPAAHTSn	○	×
TKBPAAHTTnp	○	×

備考 n = 0-2

7.7 強制出力停止機能1の動作説明

7.7.1 強制出力停止機能1の入出力設定

強制出力停止機能1では、TMKB2n強制出力停止要因、TMKB2強制出力停止要因0, 1を強制出力停止のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は、ハイ・インピーダンスまたはハイ/ロウレベル固定です。トリガ信号の選択、出力状態の設定を以下の表に示します。

(1) TKBOnpの出力制御

• 入力選択

TKBPACTLn _p	入力選択
TKBPAHZSn _p 2	外部割り込み検出 (INTPiNF), またはコンパレータ 0/1注
TKBPAHZSn _p 1	外部割り込み検出 (INTPiNF), またはコンパレータ 0/1注
TKBPAHZSn _p 0	外部割り込み検出 (INTPiNF), またはコンパレータ 0/1注

• 出力選択

TKBPACTLn _p		出力状態
TKBPAMDn _p 1	TKBPAMDn _p 0	
0	0	ハイ・インピーダンス出力
0	1	ハイ・インピーダンス出力
1	0	ロウレベル固定出力
1	1	ハイレベル固定出力

• 強制出力停止機能1の開始

TKBPACTLn ₀		強制出力停止機能1の開始条件選択
TKBPAHCMn _p 1	TKBPAHCMn _p 0	
0	0	強制出力停止機能トリガ入力検出時、またはTKBPAHTn _p ビットへ“1”を書き込み時に、強制出力停止機能を開始する。
0	1	
1	0	
1	1	

• 強制出力停止機能1の解除

TKBPACTLn ₀		強制出力停止機能1の出力解除の条件選択
TKBPAHCMn _p 1	TKBPAHCMn _p 0	
0	0	強制出力停止入力1の入カレベルに関係なく、TKBPAHTTn ₀ ビットを“1”に設定すると、強制出力停止機能1を解除する。
0	1	強制出力停止入力1の入力が解除された後、TKBPAHTTn ₀ ビットに“1”を設定すると、強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTTn ₀ ビットを“1”に設定しても無効となる。
1	0	強制出力停止入力1の入カレベルに関係なく、TKBPAHTTn ₀ ビットに“1”を設定後、次のカウンタのリスタートに同期して強制出力停止機能1を解除する。
1	1	強制出力停止入力1の入力が解除された後、TKBPAHTTn ₀ ビットに“1”を設定後、次のカウンタのリスタートに同期して強制出力停止機能1を解除する。その入力が有効な期間中にTKBPAHTTn ₀ ビットへ“1”を書いても無効となる。

(注、注意、備考は次ページになります。)

注 詳細トリガ要因設定は、第20章 イベントリンクコントローラ(ELC)を参照してください。

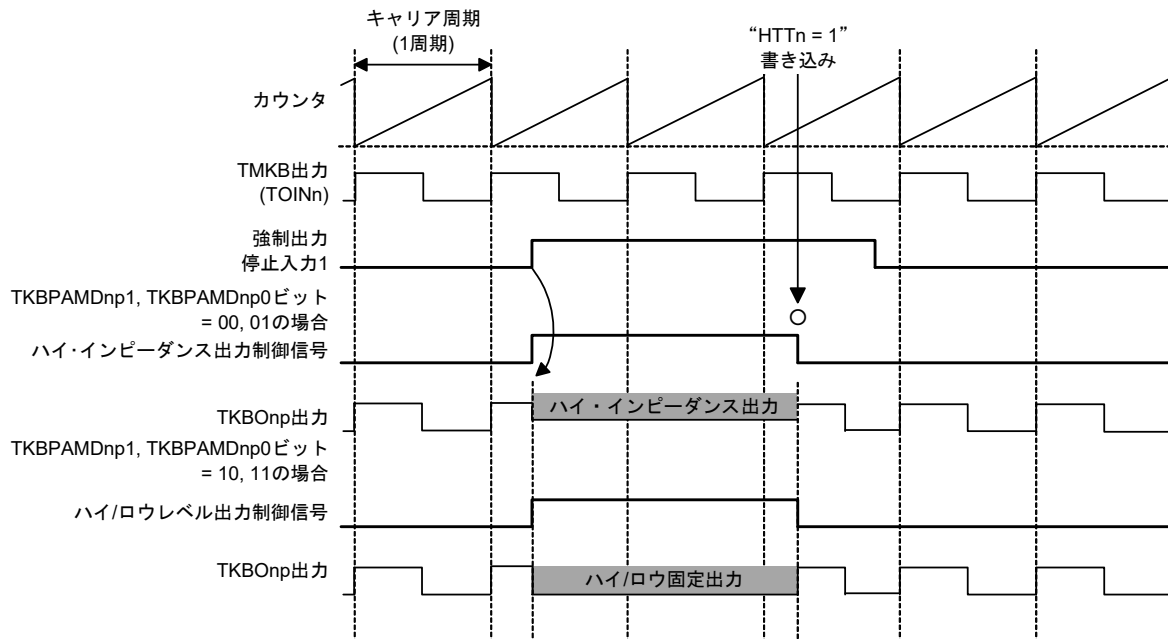
注意1. コンパレータ0, 1検出を強制出力停止機能1のトリガ入力として選択し、コンパレータフィルタ制御レジスタ (COMPFIR)の C1EDG, C0EDG ビットを“1” (両エッジ検出)で使用する場合、強制出力停止機能1の解除にTKBPAHCMnp0 = 1を選択することはできません。必ずTKBPAHCMnp0 = 0を選択してください。

注意2. 強制出力停止機能1, 2で使用されるトリガ入力INTPiNF (ELSELR23~ELSELR30に対応するイベント要因)は、外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。

備考 i = 0-7 n = 0-2 P = 0, 1

7.7.2 強制出力停止機能1の基本動作

(1) TKBPAHCMnp1, TKBPAHCMnp0 ビット = 00 の場合



- TKBPAMDnp1, TKBPAMDnp0 ビット = 00, 01 の場合

強制出力停止入力1の立ち上がりエッジを検出すると、ハイ・インピーダンス出力制御信号がハイレベルとなり、TKBOnp出力はハイ・インピーダンスになります。

強制出力停止入力1のレベルに関係なく、TKBPAHFTnレジスタのTKBPAHTTnpビットへ“1”を書くと、ハイ・インピーダンス出力制御信号はロウレベルになり、TKBOnpはPWM出力に戻ります。

ハイ・インピーダンス出力制御信号がハイの期間が、強制出力停止1の期間(ハイ・インピーダンス出力)となります。

- TKBPAMDnp1, TKBPAMDnp0 ビット = 10, 11 の場合

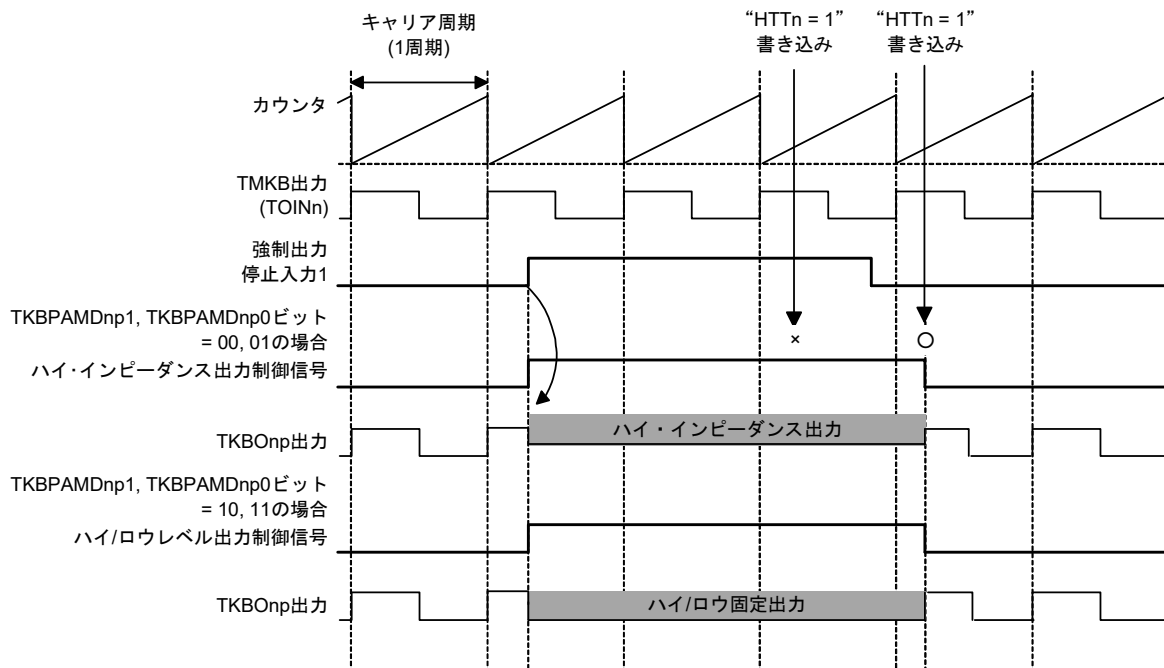
強制出力停止入力1の立ち上がりエッジを検出すると、ハイ/ロウレベル出力制御信号がハイレベルとなり、TKBPAMDnp0ビットの設定値に従いTKBOnp出力がハイ/ロウレベルの固定となります。

強制出力停止入力1のレベルに関係なく、TKBPAHFTnレジスタのTKBPAHTTnpビットに“1”を書くと、ハイ/ロウレベル出力制御信号はロウレベルになり、TKBOnpはPWM出力に戻ります。

ハイ/ロウレベル出力制御信号がハイの期間が、強制出力停止1の期間(ハイ/ロウレベル出力固定)となります。

備考 n = 0-2 P = 0, 1

(2) TKBPAHCMnp1, TKBPAHCMnp0 ビット = 01 の場合



- TKBPAMDnp1, TKBPAMDnp0 ビット = 00, 01 の場合

強制出力停止入力1の立ち上がりエッジを検出すると、ハイ・インピーダンス出力制御信号がハイレベルとなり、TKBOnp出力はハイ・インピーダンスになります。

強制出力停止入力1の入力がハイ期間中に、TKBPAHTTnpレジスタのTKBPAHTTnpビットへの“1”書きこみは無効です。強制出力停止入力1が入力がロウになった後、TKBPAHTTnpビットへ“1”を書きこむと、ハイ・インピーダンス出力制御信号がロウレベルになり、TKBOnpはPWM出力に戻ります。

ハイ・インピーダンス出力制御信号のハイの期間が、強制出力停止1の期間(ハイ・インピーダンス出力)となります。

- TKBPAMDnp1, TKBPAMDnp0 ビット = 10, 11 の場合

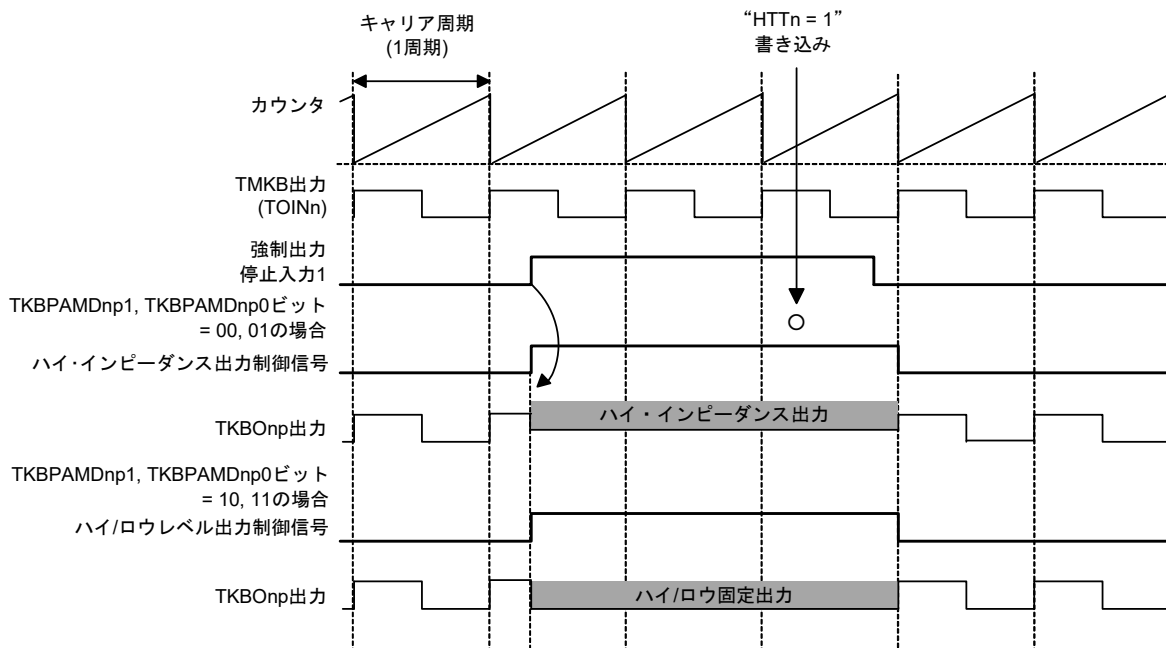
強制出力停止入力1の立ち上がりエッジを検出すると、ハイ/ロウレベル出力制御信号がハイレベルとなり、TKBPAMDnp0の設定値に従いTKBOnp出力がハイ/ロウレベルの固定となります。

強制出力停止入力1が入力がハイ期間中に、TKBPAHTTnpレジスタのTKBPAHTTnpビットへの“1”書きこみは無効です。強制出力停止入力1の入力がロウになった後、TKBPAHTTnpビットへ“1”を書きこむと、

TKBPATFOUNTnのハイ/ロウレベル固定が解除になり、TKBOnpよりPWMが出力されます。

備考 n = 0-2 P = 0, 1

(3) TKBPAHCMnp1, TKBPAHCMnp0 ビット = 10 の場合



- TKBPAMDnp1, TKBPAMDnp0 ビット = 00, 01 の場合

強制出力停止入力1の立ち上がりエッジを検出すると、ハイ・インピーダンス出力制御信号がハイレベルとなり、TKBOnp出力はハイ・インピーダンスになります。

強制出力停止入力1のレベルに関係なく、TKBPAHFTnレジスタのTKBPAHTTnpビットへ“1”を書くと、TMKBカウンタのリスタートに同期して、ハイ・インピーダンス出力制御信号はロウレベルになります。

ハイ・インピーダンス出力制御信号がハイの期間が、強制出力停止1の期間(ハイ・インピーダンス出力)となります。

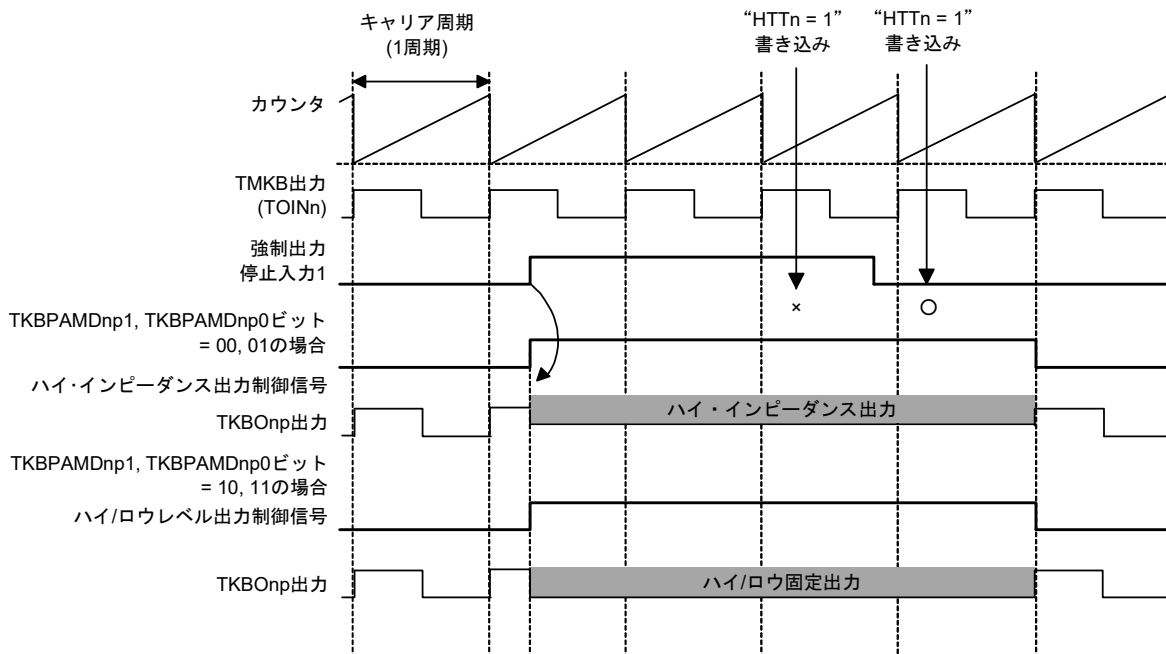
- TKBPAMDnp1, TKBPAMDnp0 ビット = 10, 11 の場合

強制出力停止入力1の立ち上がりエッジを検出すると、ハイ/ロウレベル出力制御信号がハイレベルとなり、TKBPAMDnp0の設定値に従いTKBOnp出力がハイ/ロウレベル固定となります。

強制出力停止入力1のレベルに関係なく、TKBPAHFTnレジスタのTKBPAHTTnpビットへ“1”を書くと、TMKBカウンタのリスタートに同期して、ハイ/ロウレベル出力制御信号はロウレベルになり、TKBOnpはPWM出力に戻ります。ハイ/ロウレベル出力制御信号がハイの期間が、強制出力停止1の期間(ハイ/ロウレベル出力固定)となります。

備考 n = 0-2 P = 0, 1

(4) TKBPAHCMnp1, TKBPAHCMnp0 ビット = 11 の場合



- TKBPAMDnp1, TKBPAMDnp0 ビット = 00, 01 の場合

強制出力停止入力1の立ち上がりエッジを検出すると、ハイ・インピーダンス出力制御信号がハイレベルとなり、TKBOnp出力はハイ・インピーダンスになります。

強制出力停止入力1の入力がハイ期間中に、TKBPAHTTnpレジスタのTKBPAHTTnpビットへの“1”書きこみは無効です。

強制出力停止入力1がロウレベルになった後、TKBPAHTTnpビットへ“1”を書くと、TMKBカウンタのリスタートに同期して、ハイ・インピーダンス出力制御信号はロウレベルになります。

ハイ・インピーダンス出力制御信号がハイの期間が、強制出力停止1の期間(ハイ・インピーダンス出力)となります。

- TKBPAMDnp1, TKBPAMDnp0 ビット = 10, 11 の場合

強制出力停止入力1の立ち上がりエッジを検出すると、ハイ/ロウレベル出力制御信号がハイレベルとなり、TKBPAMDnp0の設定値に従いTKBOnpがハイ/ロウレベル固定となります。

強制出力停止入力1のハイ期間中に、TKBPAHTTnpレジスタのTKBPAHTTnpビットに“1”を書くと、TMKBカウンタのリスタートに同期して、ハイ/ロウレベル出力制御信号はロウレベルになり、TKBOnpはPWM出力に戻ります。

ハイ/ロウレベル出力制御信号がハイの期間が、強制出力停止1の期間(ハイ/ロウレベル出力固定)となります。

備考 n = 0-2 P = 0, 1

7.7.3 強制出力停止機能1使用時の注意事項

1. TKBPAHCMnp1, TKBPAHCMnp0 = 10または11のとき、強制出力停止の解除は以下の通りとなります。

(1) TKBPAHCMnp1, TKBPAHCMnp0 = 10設定時

(a) 強制出力停止入力1が発生した場合

TKBPAHCMnp1, TKBPAHCMnp0 = 10のとき、TKBPAHTTnp = 1設定後、次のカウンタのリスタートまでの間に強制出力停止入力1を検出すると、停止入力は無視され、次のカウンタのリスタートのタイミングで強制出力停止は解除されます。

(b) TKBPAHTSnpを“1”に設定した場合

TKBPAHCMnp1, TKBPAHCMnp0 = 10のとき、TKBPAHTTnp = 1設定後、次のカウンタのリスタートまでの間にTKBPAHTSnpを“1”にすると、TKBPAHTTnp = 1設定は無効になり、次のカウンタのリスタートでは強制出力停止は解除されません。強制出力停止を解除するには、もう一度TKBPAHTSnpを“1”に設定してください。

(2) TKBPAHCMnp1, TKBPAHCMnp0 = 11設定時

(a) 強制出力停止入力1が発生した場合

TKBPAHCMnp1, TKBPAHCMnp0 = 11のとき、TKBPAHTTnp = 1設定後、次のカウンタの周期までの間に強制出力停止入力1を検出すると、TKBPAHTTnp = 1設定は無効になり、次のカウンタのリスタートでは強制出力停止は解除されません。強制出力停止を解除するには、もう一度TKBPAHTSnpを“1”に設定してください。

(b) TKBPAHTSnpを“1”に設定した場合

TKBPAHCMnp1, TKBPAHCMnp0 = 11のとき、TKBPAHTTnp = 1設定後、次のカウンタの周期までの間にTKBPAHTSnpを“1”にすると、TKBPAHTTnp = 1設定は無効となり、次のカウンタのリスタートでは強制出力停止は解除されません。強制出力停止を解除するには、もう一度TKBPAHTSnpを“1”に設定してください。

2. TKBPAHCMnp1, TKBPAHCMnp0 = 01, 11のときの、TKBPAHTSnp, TKBPAHTTnpの設定タイミング

TKBPAHCMnp1, TKBPAHCMnp0 = 01, 11のとき、TKBPAHTSnp = 1に設定後、TKBPAHTTnpを“1”にするときは、fCLKの1クロック経過の後に実施してください。

備考 n = 0-2 P = 0, 1

7.8 強制出力停止機能2の動作説明

7.8.1 強制出力停止機能2の入出力設定

強制出力停止機能2は、TMKB2n強制出力停止要因、TMKB2強制出力停止要因0, 1, 2を強制出力停止のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は、ハイ/ロウレベル固定です。トリガ信号の選択、出力状態の設定を以下の表に示します。

(1) TKBOnpの出力制御

• 強制出力停止機能トリガ選択

TKBPACTLnp	入力選択
TKBPAFXSn3	外部割り込み検出 (INTPiNF), またはコンパレータ 0/1注
TKBPAFXSn2	外部割り込み検出 (INTPiNF), またはコンパレータ 0/1注
TKBPAFXSn1	外部割り込み検出 (INTPiNF), またはコンパレータ 0/1注
TKBPAFXSn0	外部割り込み検出 (INTPiNF), またはコンパレータ 0/1注

• 出力選択

TKBPACTLnp		出力状態
TKBPAMDnp1	TKBPAMDnp0	
0	0	ロウレベル固定出力
0	1	ハイレベル固定出力
1	0	ロウレベル固定出力
1	1	ハイレベル固定出力

注意 強制出力停止機能2の動作は、ハイ・インピーダンス出力制御信号に影響しません。

TKBPACTLnpレジスタでハイ・インピーダンス出力は選択しないでください。

• 強制出力停止機能2の開始

TKBPACTLnp	強制出力停止機能2の開始条件選択
TKBPAFCMnp	
0	強制出力停止機能トリガ検出時、強制出力停止機能を開始する。
1	

• 強制出力停止機能2の解除

TKBPACTLnp	強制出力停止機能2の出力解除の条件選択
TKBPAFCMnp	
0	強制出力停止機能2を開始し、次のカウンタのリスタートに同期して強制出力停止機能2を解除する。
1	強制出力停止機能2を開始し、そのトリガの解除を検出してから、次のカウンタのリスタートに同期して強制出力停止機能2を解除する。

(注、注意、備考は次ページになります。)

注 詳細トリガ要因設定は、第20章 イベントリンクコントローラ(ELC)を参照してください。

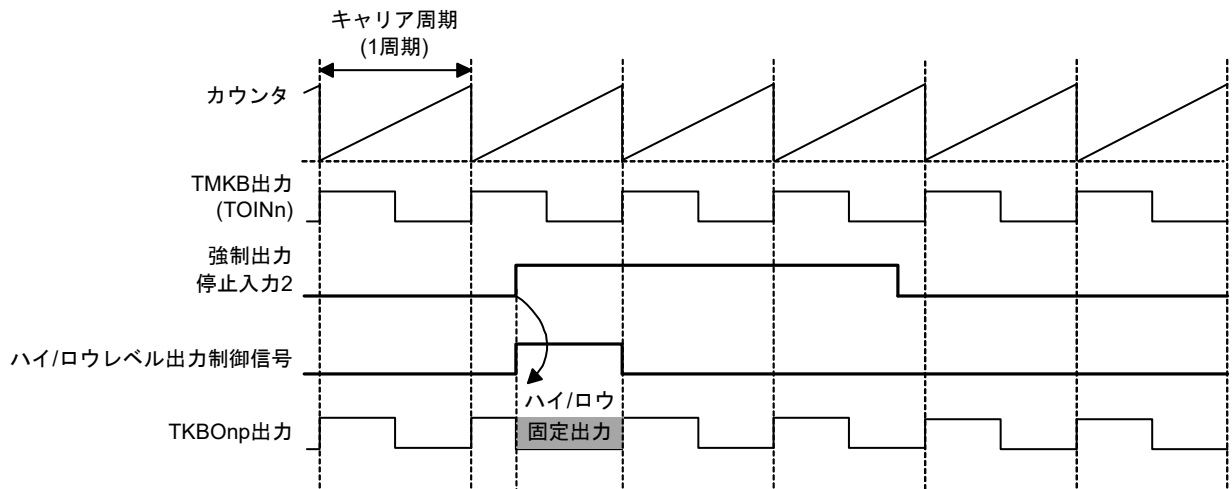
注意1. コンパレータ0, 1検出を強制出力停止機能2のトリガ入力として選択し、コンパレータフィルタ制御レジスタ (COMPFIR)の C1EDG, C0EDGビットを“1” (両エッジ検出)で使用する場合、強制出力停止機能2の解除にTKBPAFCMnp = 1を選択することはできません。必ずTKBPAFCMnp = 0を選択してください。

注意2. 強制出力停止機能1, 2で使用されるトリガ入力INTPiNF (ELSELR23～ELSELR30に対応するイベント要因)は、外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。

備考 i = 0-7 n = 0-2 p = 0, 1

7.8.2 強制出力停止機能2の基本動作

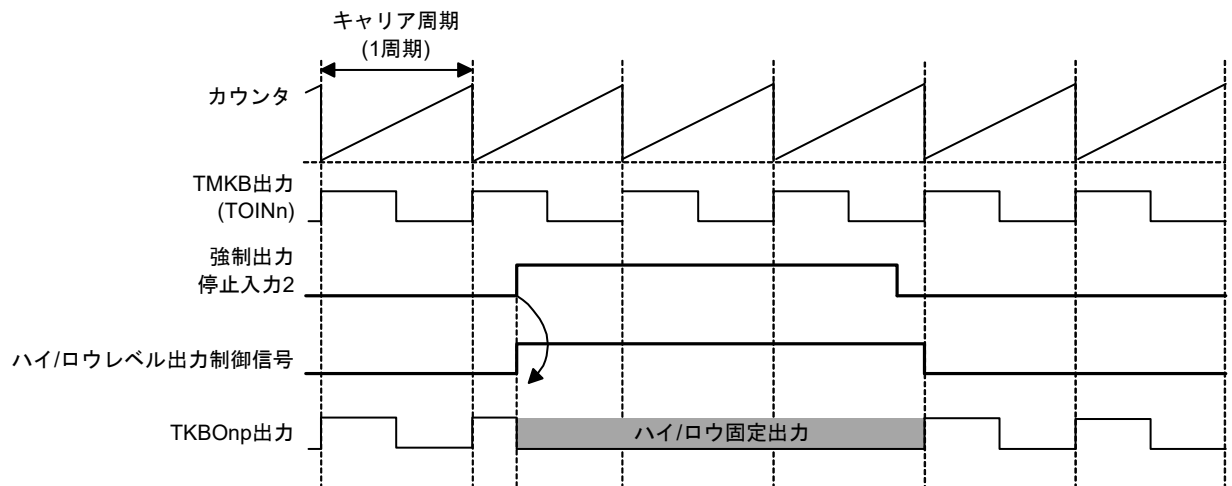
(1) TKBPAFCMnp = 0での強制出力停止機能2



強制出力停止入力2の立ち上がりエッジを検出すると、TKBPAMDnp0の設定値に従い、TKBPATFOUn出力がハイ/ロウレベル固定となります。

強制出力停止入力2の入カレベルに関係なく、次のTMKBカウンタのリスタートに同期してTKBPATFOUnの固定が解除され、TKBOnpよりPWMが出力されます。

(2) TKBPAFCMnp = 1での強制出力停止機能2



強制出力停止入力2の立ち上がりエッジを検出すると、TKBPAMDnp0の設定値に従い、TKBPATFOUn出力がハイ/ロウレベル固定となります。

強制出力停止入力2の立ち下がりエッジ検出後、次のTMKBカウンタのリスタートに同期してTKBPATFOUnの固定が解除され、TKBOnpよりPWMが出力されます。

備考 n = 0-2 p = 0, 1

7.9 使用上の注意事項

- (1) 複数のリスタートトリガ入力を1箇所のリスタートトリガ要因にリンクさせないでください。また、関係する周辺機能のリスタートトリガが発生しない状態でSFRを変更してください。
- (2) LIN-bus機能と16ビット・タイマKB20, KB21, KB22を併用することはできません。
LIN-bus機能使用時(入力切り換え制御レジスタ(ISC)を初期値(00H)以外で使用時)は、周辺イネーブルレジスタ(PER1)のビット4(TKB20EN)、PER2のビット0(TKB21EN)とビット1(TKB22EN)を0(タイマKB20, KB21, KB22はリセット状態)にしてください。
- (3) 表7-2~表7-4にタイマKB2の入力要因一覧を示します。

表7-2 タイマKB2nの入力要因制御レジスタ一覧(カウンタ・リスタート・トリガ)

入力要因	選択制御レジスタ	トリガ有効エッジ選択レジスタ				ELC制御レジスタ ELSELRn (n = 0~19)
	TKBCTLn0の TKBSTSn1, TKBSTSn0ビット	INTPi	コンパレータ0, 1	キー	その他	
タイマKB2nのカウンタ・ リスタート・トリガ	01B 10B 11B	EGP0, EGN0	COMPFIRの C1EDG, C1EPO, C0EDG, C0EPO	KRM0	—	00100B, 01000B, 01100B 00101B, 01001B, 01101B 00110B, 01010B, 01110B

表7-3 タイマKB2nの入力要因制御レジスタ一覧(強制出力停止機能1)

入力要因	選択制御レジスタ	トリガ有効エッジ選択レジスタ		ELC制御レジスタ ELSELRn (n = 18, 19, 23~30)
	TKBPACTLnp	コンパレータ0, 1	INTPiNF	
タイマKB2 強制出力停止要因0	TKBPAHZSn0	COMPFIR設定可	エッジ選択不可、常に 立ち上がりエッジ有効 になります。	10010B
タイマKB2 強制出力停止要因1	TKBPAHZSn1			10011B
タイマKB20 強制出力停止要因	TKBPAHZS0p2			10100B
タイマKB21 強制出力停止要因	TKBPAHZS1p2			10101B
タイマKB22 強制出力停止要因	TKBPAHZS2p2			10110B

表7-4 タイマKB2nの入力要因制御レジスタ一覧(強制出力停止機能2)

入力要因	選択制御レジスタ	トリガ有効エッジ選択レジスタ		ELC制御レジスタ ELSELRn (n = 18, 19, 23~30)
	TKBPACTLnp	コンパレータ0, 1	INTPiNF	
タイマKB2 強制出力停止要因0	TKBPAFXSn0	COMPFIR設定可	エッジ選択不可、常に 立ち上がりエッジ有効 になります。	10010B
タイマKB2 強制出力停止要因1	TKBPAFXSn1			10011B
タイマKB2 強制出力停止要因2	TKBPAFXSn3			10111B
タイマKB20 強制出力停止要因	TKBPAFXS0p2			10100B
タイマKB21 強制出力停止要因	TKBPAFXS1p2			10101B
タイマKB22 強制出力停止要因	TKBPAFXS2p2			10110B

備考 n = 0-2, p = 0, 1

- (4) 強制出力停止機能1, 2で使用されるINTP0NF-INTP7NF (ELC経由)は, 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)の設定の影響を受けません。常に立ち上がりエッジのみ有効となります。

強制出力停止機能1, 2として, コンパレータ0検出, コンパレータ1検出(ELC経由)を使用する場合, コンパレータフィルタ制御レジスタ (COMPFIR)のビット2, 3, 6, 7 (C0EPO, C0EDG, C1EPO, C1EDG)によるエッジ選択が可能となります。ただし, COMPFIRレジスタのビット3, 7 (C0EDG, C1EDG)を1 (両エッジ検出)で使用する場合, 強制出力停止機能1の解除の条件としてTKBPAHCMnm0 = 1を選択することはできません。必ずTKBPAHCMnm0 = 0を選択してください。また, 強制出力停止機能2の解除の条件としてTKBPAFCMnm = 1を選択することはできません。必ずTKBPAFCMnm = 0を選択すること。

第8章 リアルタイム・クロック2

8.1 リアルタイム・クロック2の機能

リアルタイム・クロック2 (RTC2)には、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までをカウント可能(うるう年補正機能あり)
- 定周期割り込み機能(周期：0.5秒、1秒、1分、1時間、1日、1月)
- アラーム割り込み機能(アラーム：曜日、時、分)
- 1 Hzの端子出力機能

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック ($f_{SUB} = 32.768$ kHz)を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック ($f_{IL} = 15$ kHz)を選択時は、定周期割り込み機能のみ使用できます。

ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期(RTCC0レジスタで選択した値) $\times f_{SUB}/f_{IL}$ で算出される値になります。

8.2 リアルタイム・クロック2の構成

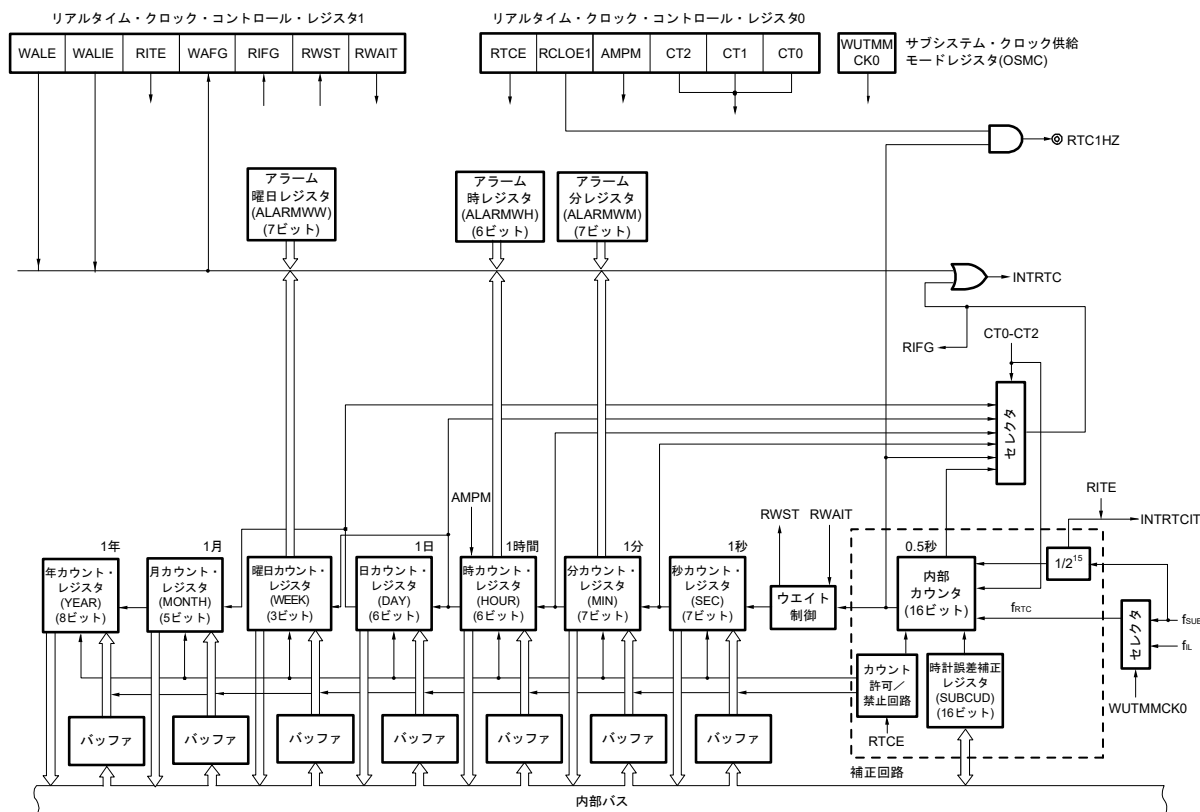
リアルタイム・クロック2は、次のハードウェアで構成されています。

表8-1 リアルタイム・クロック2の構成

項目	構成
カウンタ	カウンタ(16ビット)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
アラーム曜日レジスタ (ALARMWW)	

図8-1にリアルタイム・クロック2のブロック図を示します。

図8-1 リアルタイム・クロック2のブロック図



注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック (f_{sub} = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (f_{il} = 15 kHz) を選択時は、定周期割り込み機能のみ使用できます。ただし、f_{il} 選択時の定周期割り込み間隔は、定周期(RTCC0 レジスタで選択した値) × f_{sub}/f_{il} で算出される値になります。

8.3 リアルタイム・クロック2を制御するレジスタ

リアルタイム・クロック2は、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)

各リセット要因によるレジスタの状態を以下に示します。

リセット要因	システム系レジスタ ^{注1}	カレンダー系レジスタ ^{注2}
POR	リセット	リセットしない
外部リセット	保持	保持
WDT	保持	保持
TRAP	保持	保持
LVD	保持	保持
その他内部リセット	保持	保持

注1. RTCC0, RTCC1, SUBSUD

注2. SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW, (カウンタ)

リセット発生により、SEC, MIN, HOUR, WEEK, DAY, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWWレジスタはリセットされません。そのため、電源投入後は全てのレジスタを初期設定してください。

8.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロック2のレジスタを操作するときは、必ずビット7 (RTCWEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロック2の入カクロック供給の制御
0	入カクロック供給停止 (fCLK供給停止) <ul style="list-style-type: none"> リアルタイム・クロック2で使用するSFRへのライト不可 リアルタイム・クロック2は動作可能
1	入カクロック供給 <ul style="list-style-type: none"> リアルタイム・クロック2で使用するSFRへのリード/ライト可 リアルタイム・クロック2は動作可能

注意1. リアルタイム・クロック2を使用する場合は、入カクロック (fRTC)が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。RTCWEN = 0の場合は、リアルタイム・クロック2の制御レジスタへの書き込みは無視されます。

注意2. ビット1, 6には必ず"0"を設定してください。

8.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDドライバ／コントローラ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDドライバ／コントローラの動作クロックを選択できます。

OSMC レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-3 サブシステム・クロック供給モード制御レジスタ(OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、第23章 スタンバイ機能参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCD以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0 注1, 2, 3	リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDドライバ／コントローラの動作クロックの選択	クロック出力／ブザー出力のPCLBUZn端子の出カクロックの選択
0	サブシステム・クロック (fsUB)	サブシステム・クロック (fsUB) 選択許可
1	低速オンチップ・オシレータ・クロック (fil)	サブシステム・クロック (fsUB) 選択禁止

注1. filクロックを選択(WUTMMCK0 = 1)する場合は、サブシステム・クロック発振動作停止(CSCレジスタのXTSTOPビット = 1)時のみ可能です。

注2. WUTMMCK0を“1”に設定すると低速オンチップ・オシレータ・クロックが発振します。

注3. WUTMMCK0を“1”に設定した場合、リアルタイム・クロック2の1Hz出力機能は使用できません。

注意 リアルタイム・クロック2の動作クロックにサブシステム・クロック (fsUB = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fil = 15 kHz) を選択時は、定周期割り込み機能のみ使用できます。

ただし、fil選択時の定周期割り込み間隔は、定周期(RTCC0レジスタで選択した値) × fsUB/filで算出される値になります。

8.3.3 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック2動作の開始/停止, RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により, 00Hになります。

図8-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット(1/2)

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0
RTCE ^{注1}	リアルタイム・クロック2の動作制御							
0	カウンタ動作停止							
1	カウンタ動作開始							
RCLOE1 ^{注2}	RTC1HZ端子の出力制御							
0	RTC1HZ端子の出力(1 Hz)禁止							
1	RTC1HZ端子の出力(1 Hz)許可							
RTC E = 0の時は時計カウンタが動作しないため, 1 Hz出力は出力されません。								

注1. RTCE = 1に設定直後にSTOPモードに移行する場合は, 図8-21 RTCE = 1に設定後のHALT/STOPモードへの移行手順にしたがってSTOPモードに移行してください。

注2. 時計カウンタ動作中(RTCE = 1)にRCLOE1ビットの設定を行った場合, 1 Hz出力端子(RTC1HZ)にグリッチが出力する可能性があります。

注意 ビット4, 6には必ず“0”を設定してください。

図8-5 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット(2/2)

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

表8-2 RTCE, RCLOE1の設定値と状態の関係

レジスタ設定値		状態	
RTCE	RCLOE1	リアルタイム・クロック2の状態	RTC1HZ端子出力
0	×	カウント停止	出力しない
1	0	カウント動作	出力しない
	1	カウント動作	1 Hz出力

AMPM	12時間制/24時間制の選択
0	12時間制(午前/午後を表示する)
1	24時間制

・AMPMビットの値を時計カウンタ動作中(RTCE = 1)に変更する場合は、RWAIT (RTCC1のビット0) = 1にしてから書き換え、時計カウンタ(HOUR)を再設定してください。
 AMPMビットが0の場合は12時間表示、1の場合は24時間表示になります。
 ・時間桁表示を表8-3に示します。

CT2	CT1	CT0	定周期割り込み(INTRTC)の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度(秒カウントアップに同期)
0	1	0	1秒に1度(秒カウントアップと同時)
0	1	1	1分に1度(毎分00秒)
1	0	0	1時間に1度(毎時00分00秒)
1	0	1	1日に1度(毎日00時00分00秒)
1	1	×	1月に1度(毎月1日午前00時00分00秒)

カウンタ動作中(RTCE = 1)にCT2-CT0ビットの値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注意 ビット4, 6には必ず“0”を設定してください。

備考 × : don't care

8.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により，00Hになります。

図8-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(1/3)

アドレス：FFF9EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中(RTCE = 1)かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ(RTCC1レジスタのWALIEフラグ，アラーム分レジスタ(ALARMWWM)，アラーム時レジスタ(ALARMWH)，アラーム曜日レジスタ(ALARMWW))を設定する場合，WALEビットを一致動作無効“0”にしてください。	

WALIE	アラーム割り込み(INTRTC)機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

注意 RTCC1に1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。そのため，RTCC1への書き込みは8ビット操作命令で設定してください。

書き込み時にRIFGフラグ，WAFGフラグをクリアしないようにするために，該当ビットに1(書き込みが無効)を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き変わっても問題ない場合は，RTCC1に1ビット操作命令で書き込みを行っても問題ありません。

図8-7 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT
	RITE	補正タイミング信号割り込み (INTRTIT)機能の動作制御						
	0	補正タイミング信号割り込みを発生しない						
	1	補正タイミング信号割り込みを発生する						
	WAFG	アラーム検出ステータス・フラグ						
	0	アラーム不一致						
	1	アラーム一致検出						
	アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、1クロック (32.768 kHz)後に“1”となります。 “0”を書き込むことでクリアされ、“1”の書き込みは無効となります。(1を書き込む操作をしてもWAFGの値は書き変わりません。)							
	RIFG	定周期割り込みステータス・フラグ						
	0	定周期割り込み発生なし						
	1	定周期割り込み発生あり						
	定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ、“1”の書き込みは無効となります。(1を書き込む操作をしてもRIFGの値は書き変わりません。)							

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに1(書き込みが無効)を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行ってもかまいません。

図8-8 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(3/3)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	RITE	WAFG	RIFG	0	RWST	RWAIT

RWST	リアルタイム・クロック2のウェイト状態フラグ
0	カウンタ動作
1	カウンタ値読み出し、書き込みモード中

RWAITビットの設定が有効であることを示すステータス・フラグです。
 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとで行ってください。
 RWAITビットに0を設定しても、カウンタ書き込み動作中はRWSTビットは0になりません。書き込み動作完了後、0になります。

RWAIT	リアルタイム・クロック2のウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。アラーム割り込みを使用するときに、カウンタの読み出し/書き込みを行う場合は、RTCC0レジスタのCT2~CT0ビットを010B(1秒毎に定周期割り込み発生)にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大1クロック(fRTC)の時間がかかります。(注1、注2) RWST = 1になっていることを確認したあとカウンタ読み出し、書き込みを行ってください。
 カウンタ(16ビット)のオーバフローがRWAIT = 1の時に起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

注1. RTCE = 1に設定した後、fRTCの1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック(fRTC)の2クロック時間がかかる場合があります。

注2. スタンバイ(HALTモード、STOPモード、SNOOZEモード)から復帰した後、fRTCの1クロック時間内で、RWAIT = 1とした場合、RWSTビットが“1”になるまでに、動作クロック(fRTC)の2クロック時間がかかる場合があります。

注意 RTCC1に1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1への書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに1(書き込みが無効)を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1に1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

8.3.5 秒カウント・レジスタ (SEC)

0-59 (10進)までの値を取り、秒のカウント値を示す8ビットのレジスタです。

カウンタ(16ビット)からのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック (fRTC)後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-9 秒カウント・レジスタ (SEC)のフォーマット

アドレス : FFF92H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 時計カウンタ動作中 (RTCE = 1)に、SECをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.6 分カウント・レジスタ (MIN)

0-59 (10進)までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-10 分カウント・レジスタ (MIN)のフォーマット

アドレス : FFF93H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 時計カウンタ動作中 (RTCE = 1)に、MINをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.7 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進)までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット3 (AMPM)で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると、HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 11 時カウント・レジスタ (HOUR)のフォーマット

アドレス : FFF94H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOURレジスタのビット5 (HOUR20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

注意2. 時計カウンタ動作中 (RTCE = 1)に、HOURをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

AMPMビットの設定値、および時カウント・レジスタ(HOUR)値と時間の関係を表8-3に示します。

表8-3 時間桁表示表

24時間表示(AMPMビット=1)		12時間表示(AMPMビット=0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00 H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は、AMPMビットが“0”のときに12時間表示、“1”のときに24時間表示となります。

12時間表示の場合は、HOURレジスタの5ビット目で午前/午後を表示し、午前(AM)のときに0に、午後(PM)のときに1となります。

8.3.8 日カウント・レジスタ (DAY)

1-31 (10進)までの値を取り、日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップする10進カウンタです。

カウンタは、次に示すようにカウントします。

[DAYのカウント値]

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 12 日カウント・レジスタ (DAY)のフォーマット

アドレス : FFF96H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 時計カウンタ動作中 (RTCE = 1) に、DAYをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.9 曜日カウント・レジスタ (WEEK)

0-6 (10進)までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタへの桁上げ時にカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 13 曜日カウント・レジスタ (WEEK)のフォーマット

アドレス : FFF95H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK)には、月カウント・レジスタ (MONTH)および日カウント・レジスタ (DAY)に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00 H
月	01 H
火	02 H
水	03 H
木	04 H
金	05 H
土	06 H

注意2. 時計カウンタ動作中 (RTCE = 1)に、WEEKをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.10 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進)までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップする10進カウンタです。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 14 月カウント・レジスタ (MONTH)のフォーマット

アドレス : FFF97H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 時計カウンタ動作中 (RTCE = 1)に、MONTHをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.11 年カウント・レジスタ (YEAR)

0-99 (10進)までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH)からのオーバフローによりカウント・アップする10進カウンタです。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (fRTC)後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 15 年カウント・レジスタ (YEAR)のフォーマット

アドレス : FFF98H リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 時計カウンタ動作中 (RTCE = 1)に、YEARをリード/ライトする場合は、必ず8.4.3 リアルタイム・クロック2のカウンタ読み出し、8.4.4 リアルタイム・クロック2のカウンタ書き込みのフローに従って実施してください。

8.3.12 時計誤差補正レジスタ (SUBCUD)

時計誤差補正レジスタ (SUBCUD) は、カウンタの値を毎秒ごとに補正することにより、時計の進みや遅れを最小分解能0.96 ppm精度で補正することができるレジスタです。

SUBCUDレジスタは、16ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、0020Hになります。

図8 - 16 時計誤差補正レジスタ (SUBCUD)のフォーマット

アドレス : F0310H リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUBCUD	F15	0	0	0	0	0	0	F8	F7	F6	F5	F4	F3	F2	F1	F0
	F15	時計誤差補正許可														
	0	時計誤差補正停止														
	1	時計誤差補正許可														

時計誤差補正レジスタ (SUBCUD)による水晶振動子の発振周波数偏差の補正可能範囲を表8 - 4に示します。

表8 - 4 水晶振動子の発振周波数偏差の補正可能範囲

項目	値
補正可能範囲	-274.6 ppm ~ +212.6 ppm
最大量子化誤差	±0.48 ppm
最小分解能	0.96 ppm

表8-5 時計誤差補正值

SUBCUD										ターゲット補正值	
F15	F8	F7	F6	F5	F4	F3	F2	F1	F0		
1	1	0	0	0	0	0	0	0	0	-274.6 ppm	
	1	0	0	0	0	0	0	0	1	-273.7 ppm	
	1	0	0	0	0	0	0	1	0	-272.7 ppm	

	1	1	1	1	1	1	1	1	0	1	-33.3 ppm
	1	1	1	1	1	1	1	1	1	0	-32.4 ppm
	1	1	1	1	1	1	1	1	1	1	-31.4 ppm
	0	0	0	0	0	0	0	0	0	0	-30.5 ppm
	0	0	0	0	0	0	0	0	0	1	-29.6 ppm
	0	0	0	0	0	0	0	0	1	0	-28.6 ppm

	0	0	0	0	1	1	1	1	1	1	-0.95 ppm
	0	0	0	1	0	0	0	0	0	0	0 ppm
0	0	0	1	0	0	0	0	0	1	0.95 ppm	
.	
.	
.	
0	1	1	1	1	1	1	1	0	1	210.7 ppm	
0	1	1	1	1	1	1	1	1	0	211.7 ppm	
0	1	1	1	1	1	1	1	1	1	212.6 ppm	
0	x	x	x	x	x	x	x	x	x	時計誤差補正停止	

SUBCUDレジスタのF8-F0値は、ターゲット補正值から次の計算式で算出してください。

$$\text{SUBCUD}[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{20}}{10^6} \right]_{2\text{進}(9\text{桁})} + 0\ 0010\ 0000\ \text{B}$$

注意 ターゲット補正值とは、水晶振動子の発振周波数偏差(単位は[ppm])を示します。ターゲット補正值の算出方法については、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。

例1. ターゲット補正值 = 18.3 [ppm]の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (18.3 \times 2^{20} / 10^6)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (19.1889408)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= 000010011\text{B} + 000100000\text{B} \\ &= 000110011\text{B} \end{aligned}$$

例2. ターゲット補正值 = -18.3 [ppm]の場合

$$\begin{aligned}\text{SUBCUD}[8:0] &= (-18.3 \times 2^{20} / 106) \text{ 2進(9桁) + 000100000B} \\ &= (-19.1889408) \text{ 2進(9桁) + 000100000B} \\ &= (000010011\text{B}) \text{ 2の補数 + 000100000B} \\ &= 111101101\text{B} + 000100000\text{B} \\ &= 00001101\text{B}\end{aligned}$$

8.3.13 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-17 アラーム分レジスタ (ALARMWM)のフォーマット

アドレス : FFF9AH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

注意 注意設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。

8.3.14 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8-18 アラーム時レジスタ (ALARMWH)のフォーマット

アドレス : FFF9BH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意1. 注意設定する値は10進の00～23または01～12、21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームが検出されません。

注意2. ALARMWHレジスタのビット5 (WH20)は、AMPM = 0 (12時間制)を選択した場合、AM (0) / PM (1)を示します。

8.3.15 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 19 アラーム曜日レジスタ (ALARMWW)のフォーマット

アドレス : FFF9CH リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

表8 - 6にアラーム時刻の設定例を示します。

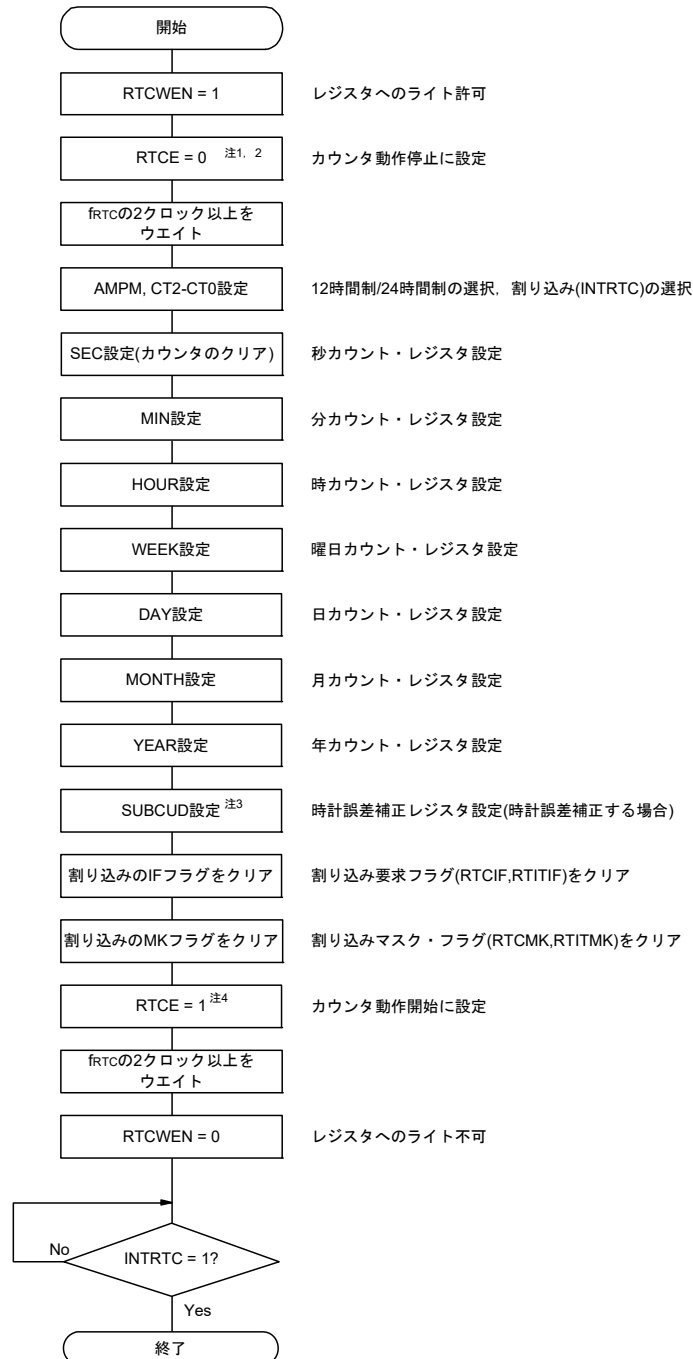
表8 - 6 アラーム時刻の設定例

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

8.4 リアルタイム・クロック2の動作

8.4.1 リアルタイム・クロック2の動作開始

図8-20 リアルタイム・クロック2の動作開始手順



注1. RTCレジスタへのアクセス時以外は、RTCWEN = 0に設定してください。

注2. 入カロック (fRTC) が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。

注3. 時計誤差補正する必要がある場合のみ。補正值の算出方法は、8.4.8 リアルタイム・クロック2の時計誤差補正例を参照してください。

注4. RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は、8.4.2 動作開始後のHALT/STOPモードへの移行の手順を確認してください。

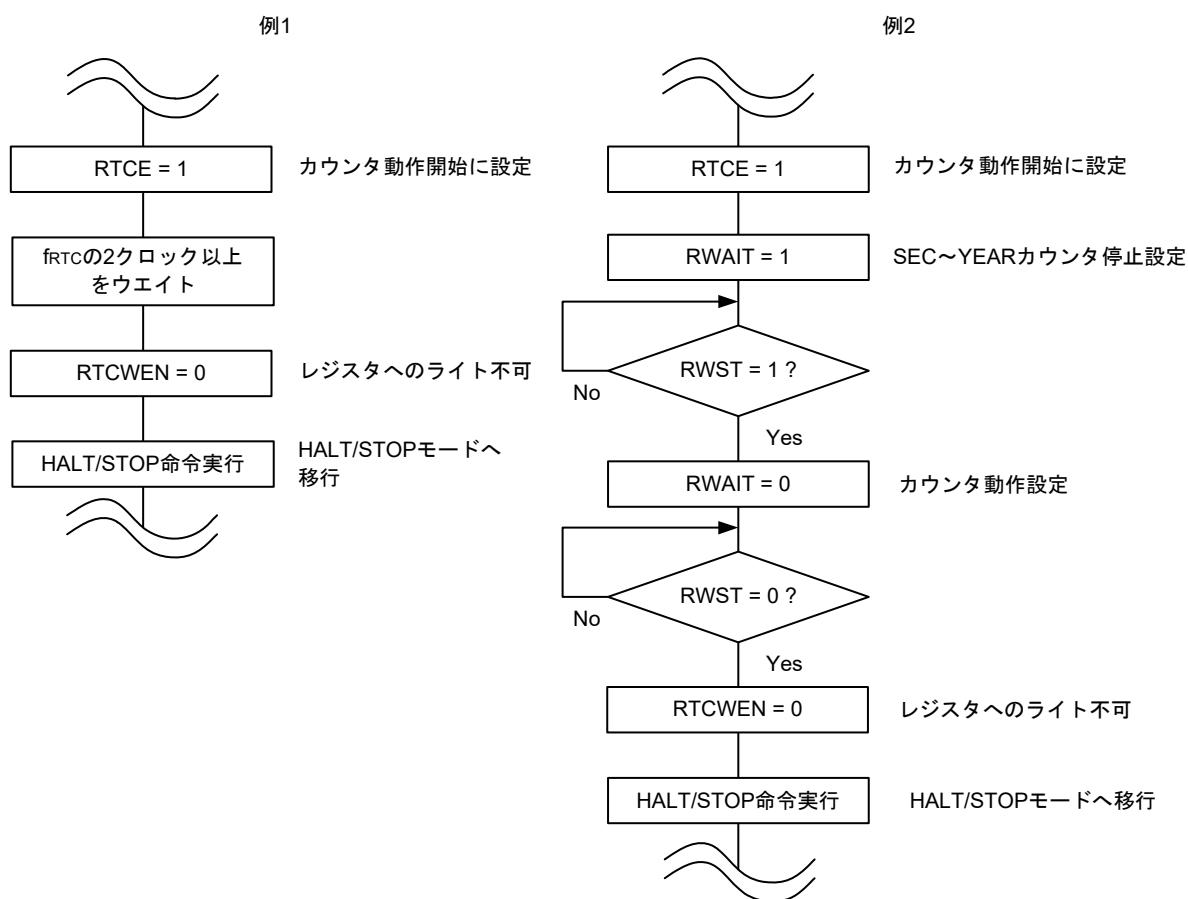
8.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は、これらの処理は必要ありません。

- (1) RTCE = 1に設定してから、入力クロック (f_{RTC})の2クロック分以上経過後にHALT/STOPモードへ移行する(図8-21 例1参照)。
- (2) RTCE = 1に設定後、R_{WAIT} = 1に設定し、R_{WST}ビットが1になるのをポーリングで確認する。それから、R_{WAIT} = 0に設定し、R_{WST}ビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する(図8-21 例2参照)。

図8-21 RTCE = 1に設定後のHALT/STOPモードへの移行手順



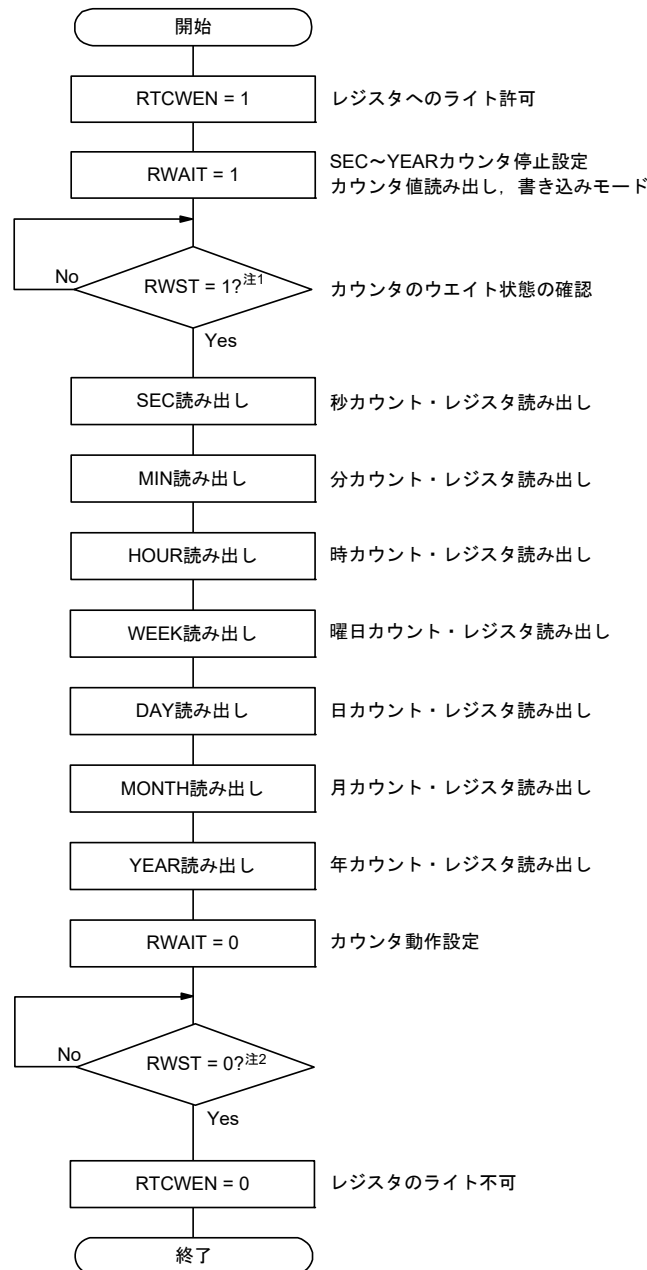
8.4.3 リアルタイム・クロック2のカウンタ読み出し

カウンタ動作時(RTCE = 1)のカウンタの読み出しは、最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し終了後は、RWAIT = 0にしてください。

なお、アラーム割り込み機能使用時は、図8 - 23の手順でカウンタの読み出しを行ってください。

図8 - 22 リアルタイム・クロック2の読み出し手順



注1. カウンタ停止(RTCE = 0)時はRWST = 1になりません。

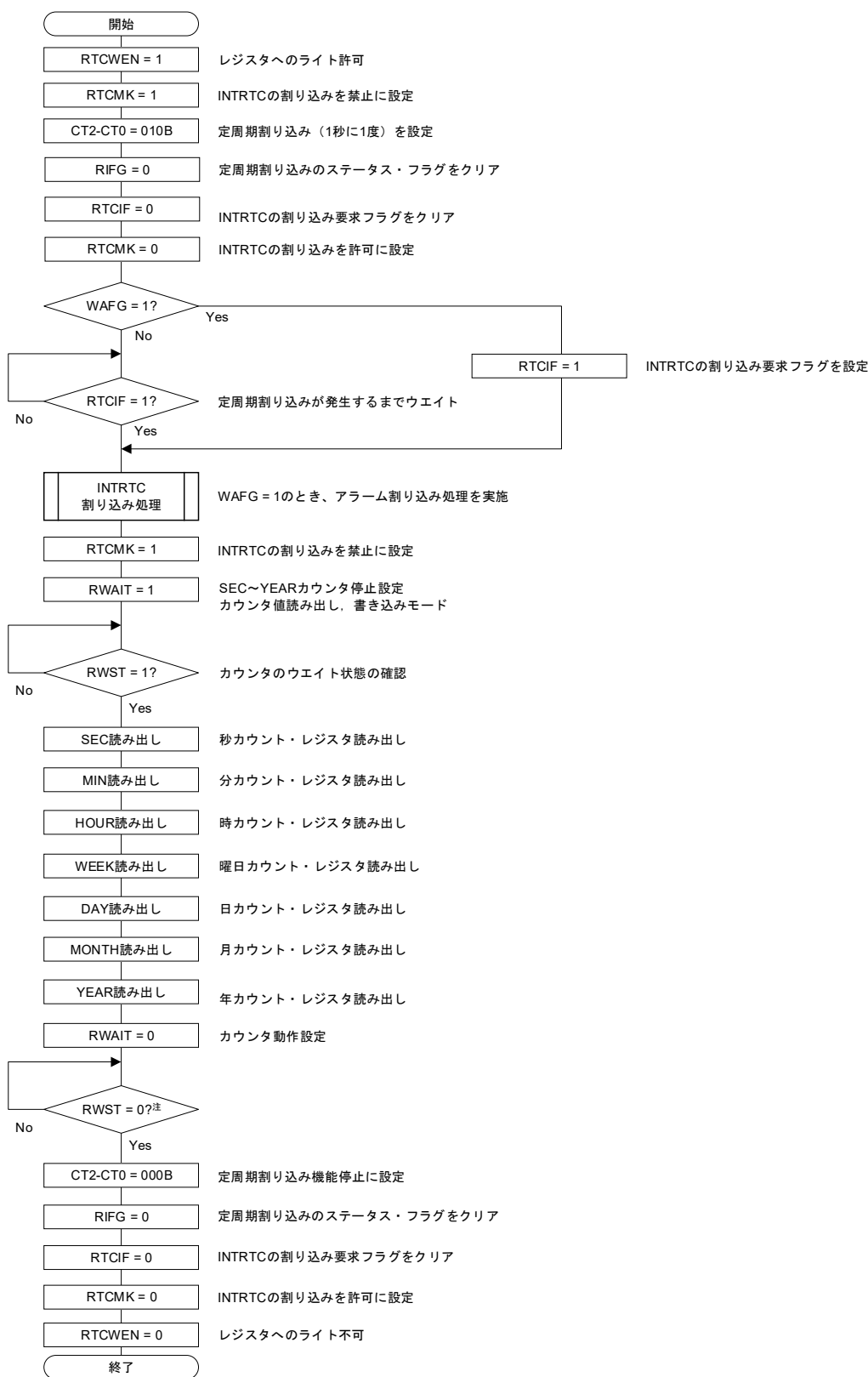
★ 注2. HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 から RWAIT = 0 とするまでの処理を1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。

また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図8-23 リアルタイム・クロック2の読み出し手順（アラーム割り込み機能使用時）



- ★ 注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。
- 注意 INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。
- 備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

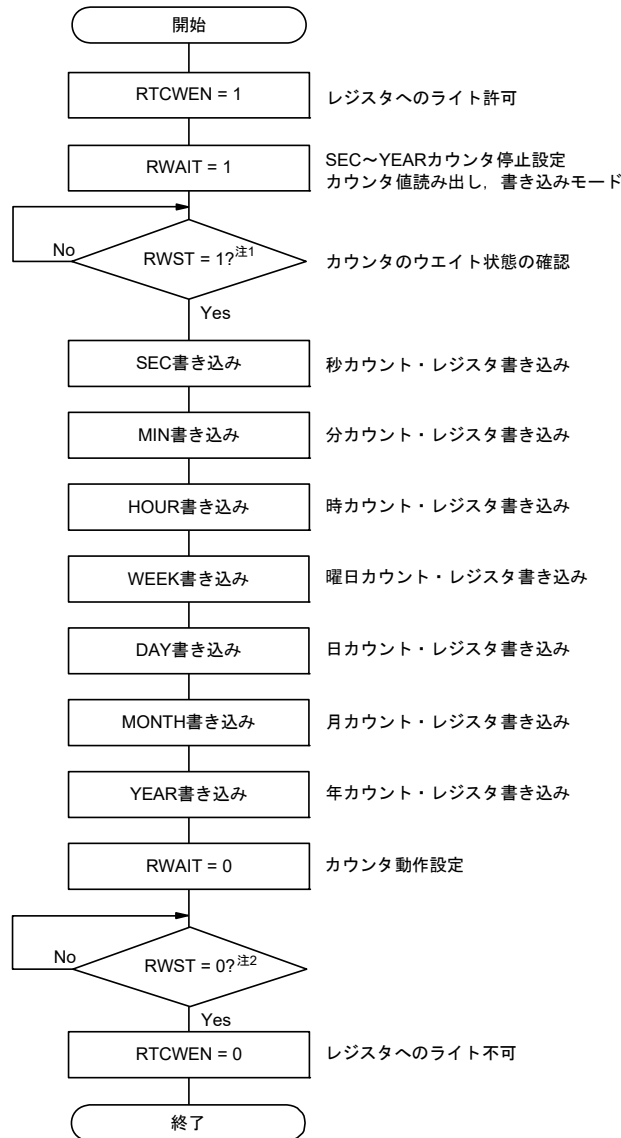
8.4.4 リアルタイム・クロック2のカウンタ書き込み

カウンタ動作時(RTCE = 1)のカウンタの書き込みは、最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し終了後は、RWAIT = 0にしてください。

なお、アラーム割り込み機能使用時は、図8 - 25の手順でカウンタの書き込みを行ってください。

図8 - 24 リアルタイム・クロック2の書き込み手順



注1. カウンタ停止(RTCE = 0)時はRWST = 1になりません。

★ 注2. HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

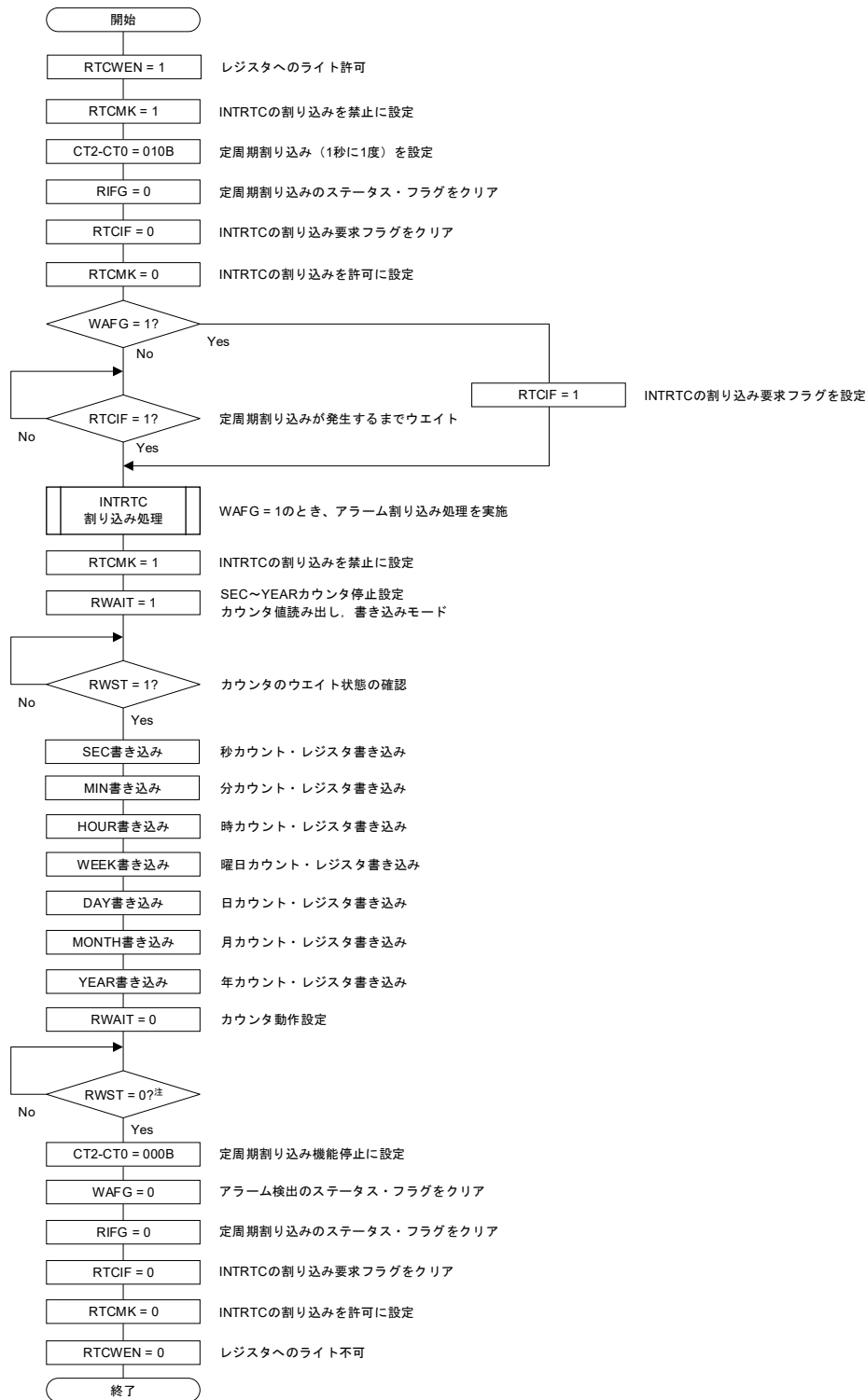
注意1. RWAIT = 1からRWAIT = 0とするまでの処理を1秒以内で行ってください。

注意2. カウンタ動作中(RTCE = 1)にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き換えの順番に制限はありません。

また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

図8 - 25 リアルタイム・クロック2の書き込み手順（アラーム割り込み機能使用時）

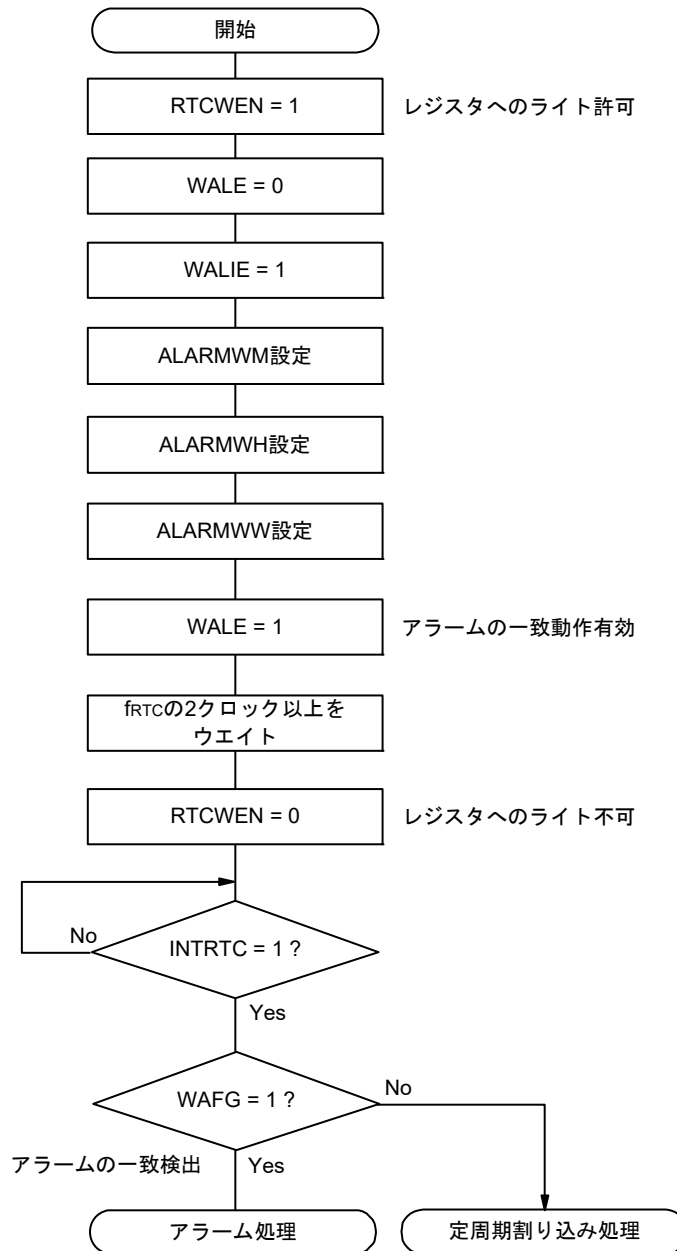


- ★ 注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。
- 注意1. INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。
- 注意2. カウンタ動作中(RTCE = 1)にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。
また、書き換え後にWAFGフラグ、RIFGフラグ、RTCIFフラグをクリアしてください。
- 備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き換えの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

8.4.5 リアルタイム・クロック2のアラーム設定

アラーム時刻設定は、最初にWALE = 0 (アラーム動作無効)にしてから行ってください。

図8 - 26 アラーム設定手順

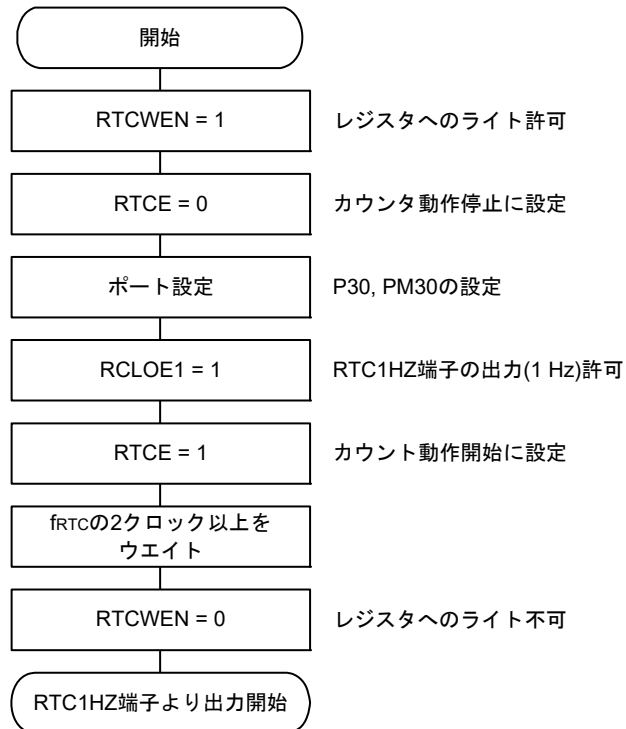


備考1. ALARMWWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

備考2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

8.4.6 リアルタイム・クロック2の1 Hz出力

図8 - 27 1 Hz出力の設定手順

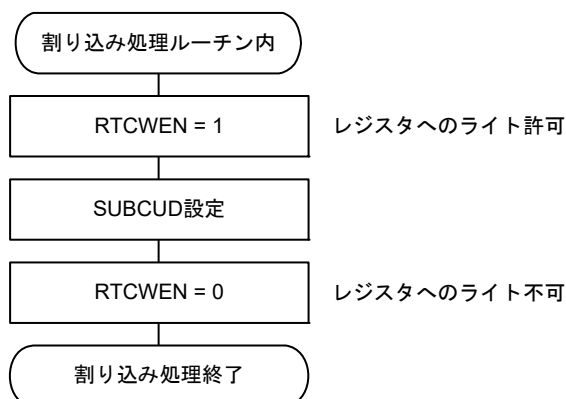


8.4.7 時計誤差補正レジスタの設定手順

時計誤差補正レジスタ (SUBCUD) を設定する場合は、補正タイミング信号割り込み (INTRTIT) の割り込み処理ルーチン内で、次の処理を行ってください。

注意 補正タイミング信号割り込み (INTRTIT) 発生から、割り込み応答および SUBCUD 設定までを 1 秒以内 (毎秒補正の次のタイミングまで) に完了させてください。

RTCWEN = 1 に設定後に、時計誤差補正レジスタを設定。その後、RTCWEN = 0 に設定してください。



8.4.8 リアルタイム・クロック2の時計誤差補正例

時計誤差補正レジスタ(SUBCUD)に値を設定することにより、毎秒ごとに時計の進みや遅れを最小分解能0.96 ppm精度で補正できます。

次に、ターゲット補正值の算出方法と、ターゲット補正值から時計誤差補正レジスタのF8-F0値を算出する方法を示します。

ターゲット補正值の算出方法1

(RTC1HZ端子の出力周波数を使用する場合)

【発振周波数の測定】

各製品の発振周波数^注を、時計誤差補正レジスタ(SUBCUD)のF15が“1”(時計誤差補正停止)のときにRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、8.4.6 リアルタイム・クロック2の1 Hz出力を参照してください。

【ターゲット補正值の算出】

(RTC1HZからの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \approx 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hzとすると、ターゲット補正值は、

$$\begin{aligned} \text{ターゲット補正值} &= \text{発振周波数} \div \text{ターゲット周波数} - 1 \\ &= 32767.4 \div 32768 - 1 \\ &\approx -18.3 \text{ ppm} \end{aligned}$$

備考1. 発振周波数とは、入力クロック(f_{RTC})の値です。時計誤差補正停止時のRTC1HZ出力周波数×32768で求めることができます。

備考2. ターゲット補正值とは、水晶振動子の発振周波数偏差(単位は [ppm])です。

備考3. ターゲット周波数とは、時計誤差補正を行った後の周波数です。

時計誤差補正レジスタ (SUBCUD) の F8-F0 値の算出方法

SUBCUD レジスタの F8-F0 値は、ターゲット補正值から次の計算式で算出できます。

$$\text{SUBCUD}[8:0] = \left[\frac{\text{ターゲット補正值 [ppm]} \times 2^{20}}{10^6} \right]_{2\text{進}(9\text{桁})} + 0\ 0010\ 0000\ \text{B}$$

例1. ターゲット補正值 = -18.3 [ppm] の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (-18.3 \times 2^{20} / 10^6)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (-19.1889408)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (000010011\text{B})_{2\text{の補数}} + 000100000\text{B} \\ &= 111101101\text{B} + 000100000\text{B} \\ &= 000001101\text{B} \end{aligned}$$

例2. ターゲット補正值 = 94.0 [ppm] の場合

$$\begin{aligned} \text{SUBCUD}[8:0] &= (94.0 \times 2^{20} / 10^6)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= (98.566144)_{2\text{進}(9\text{桁})} + 000100000\text{B} \\ &= 001100011\text{B} + 000100000\text{B} \\ &= 010000011\text{B} \end{aligned}$$

第9章 12ビット・インターバル・タイマ

9.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み (INTIT) を発生します。STOP モードからのウエイク・アップや、A/DコンバータのSNOOZEモードのトリガに役立ちます。

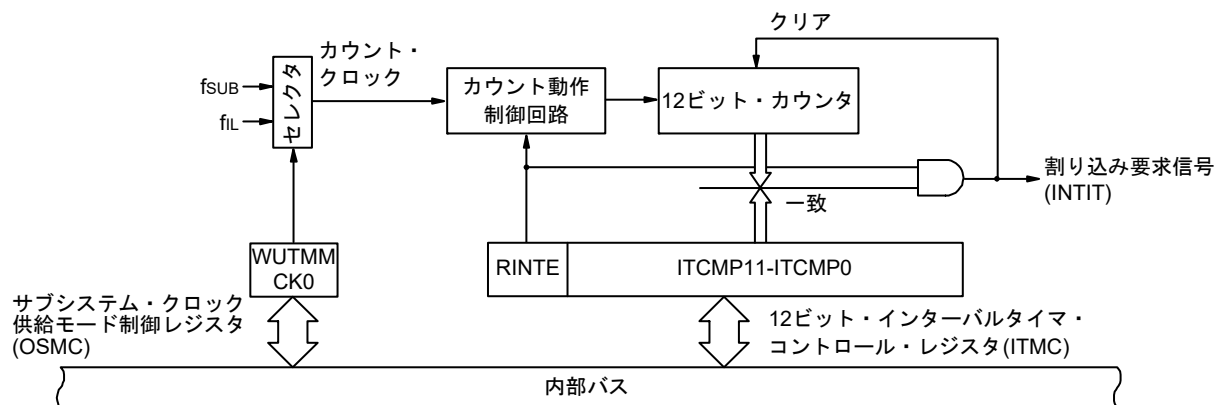
9.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表9-1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ1 (PER1)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

図9-1 12ビット・インターバル・タイマのブロック図



9.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ1 (PER1)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

9.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CM PEN	TKB20EN	DTCEN	0	0	DACEN

TMKAEN	12ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・12ビット・インターバル・タイマで使用するSFRへのライト不可 ・12ビット・インターバル・タイマはリセット状態
1	入カクロック供給 ・12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注意1. 12ビット・インターバル・タイマを使用する際は、カウント・クロック (f_{RTC}) が発振安定した状態で、必ず最初に TMKAEN = 1 に設定してから下記のレジスタの設定を行ってください。TMKAEN = 0 の場合は、12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (サブシステム・クロック供給モード制御レジスタ (OSMC) は除く)。

・12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

注意2. サブシステム・クロック供給モード制御レジスタ (OSMC) の RTCLPC = 1 に設定することにより、STOPモード時およびサブシステム・クロック時 HALTモードで、リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止することが可能です。

注意3. ビット1, 2, 6には必ず“0”を設定してください。

9.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマの動作クロックを選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第5章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0 注	リアルタイム・クロック2, 12ビット・インターバル・タイマ, LCDドライバ/コントローラの動作クロックの選択	クロック出力/ブザー出力のPCLBUZn端子の出カクロック選択
0	サブシステム・クロック (fSUB)	サブシステム・クロック (fSUB)選択許可
1	低速オンチップ・オシレータ・クロック (fIL)	サブシステム・クロック (fSUB)選択禁止

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択(WUTMMCK0ビット=0)にしてください。

注意 WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2, 12ビット・インターバル・タイマ, LCDドライバ/コントローラの全ての機能が動作停止中のみ可能です。

各機能の動作停止方法は次のとおりです。

リアルタイム・クロック2の停止設定 : RTCE = 0

12ビット・インターバル・タイマの停止設定 : RINTE = 0

LCDドライバ/コントローラの停止設定 : SCOC = 0 かつ VLCON = 0

備考 RTCE : リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット7

RINTE : 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のビット15

SCOC : LCDモード・レジスタ1 (LCDM1)のビット6

VLCON : LCDモード・レジスタ1 (LCDM1)のビット5

9.3.3 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFHになります。

図9-4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITMCMP11-ITMCMP0
RINTE	12ビット・インターバル・タイマの動作制御				
0	カウンタ動作停止(カウント・クリア)				
1	カウンタ動作開始				
ITMCMP11-ITMCMP0	12ビット・インターバル・タイマのコンペア値設定				
001H	「カウント・クロック周期 × (ITMCMP設定値 + 1)」の定周期割り込みを発生します。				
.					
.					
.					
FFFH					
000H	設定禁止				
ITMCMP11-ITMCMP0 = 001H, FFFH設定時の割り込み周期例					
<ul style="list-style-type: none"> ITMCMP11-ITMCMP0 = 001H, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (1 + 1) = 0.06103515625 \text{ [ms]} \doteq 61.03 \text{ [}\mu\text{s]}$ ITMCMP11-ITMCMP0 = FFFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$ 時 $1/32.768 \text{ [kHz]} \times (4095 + 1) = 125 \text{ [ms]}$ 					

- ★ 注意1. RINTEビットを1→0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0→1)する場合は、TMKAIFフラグをクリアしてから割り込み処理許可にしてください。
- 注意2. RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。
- 注意3. スタンバイ・モードから復帰後にRINTEビット設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分の時間以上経過後に移行してください。
- 注意4. ITMCMP11-ITMCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。ただし、RINTE = 0→1または1→0に変更するのと同時にITMCMP11-ITMCMP0ビットの設定を変更することは可能です。

9.4 12ビット・インターバル・タイマの動作

9.4.1 12ビット・インターバル・タイマの動作タイミング

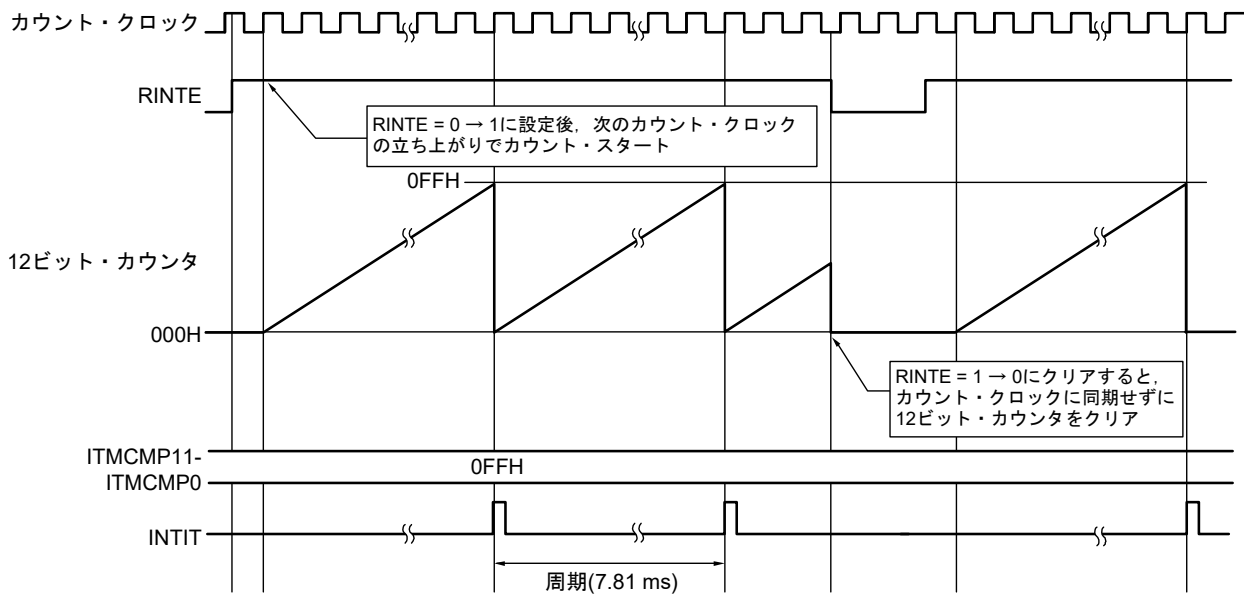
ITMCMP11-ITMCMP0ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求(INTIT)を発生する12ビット・インターバル・タイマとして動作します。

RINTEビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITMCMP11-ITMCMP0ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号(INTIT)を発生します。

12ビット・インターバル・タイマの基本動作を図9-5に示します。

図9-5 12ビット・インターバル・タイマ動作のタイミング
(ITMCMP11-ITMCMP0 = 0FFH, カウント・クロック : $f_{SUB} = 32.768$ kHz)

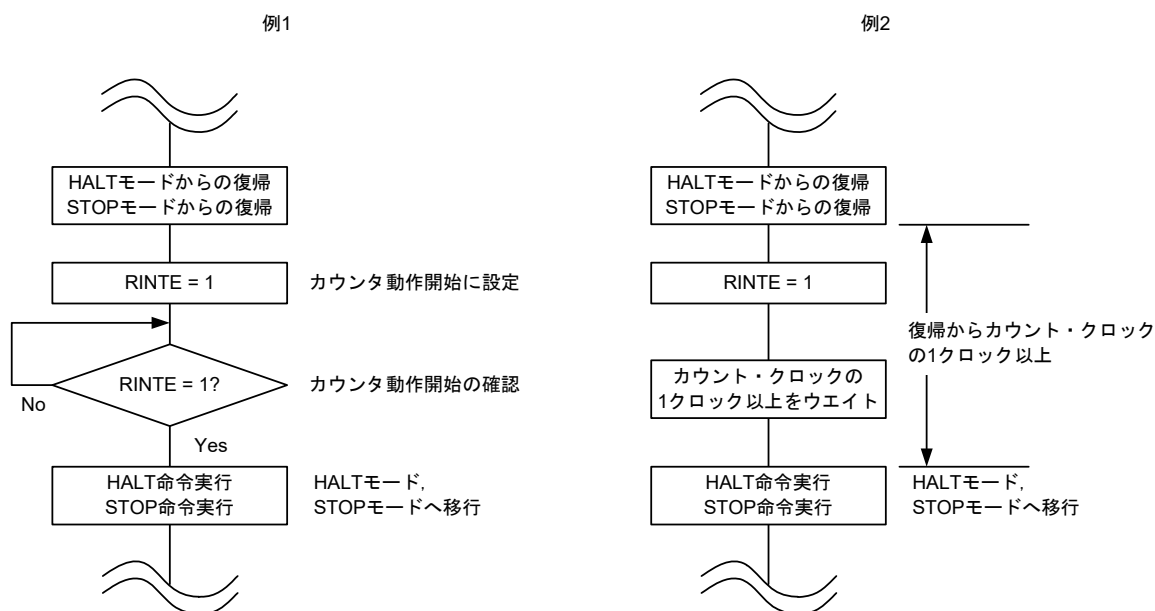


9.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する(図9-6 例1参照)。
- RINTE = 1に設定してから、カウント・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する(図9-6 例2参照)。

図9-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第10章 クロック出力／ブザー出力制御回路

10.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

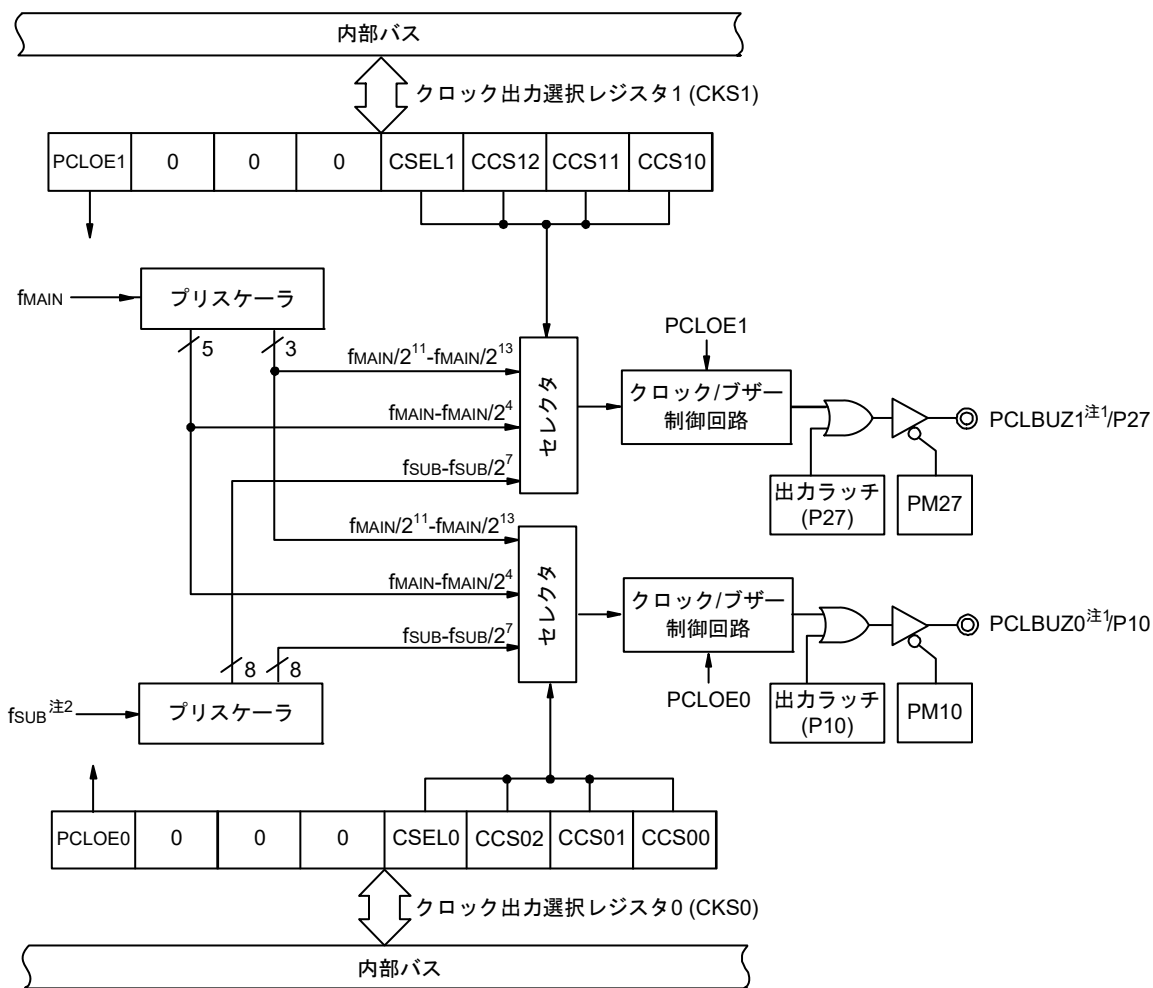
1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は、クロック出力選択レジスタn(CKSn)で選択したクロックを出力します。

図10 - 1にクロック出力／ブザー出力制御回路のブロック図を示します。

備考 n = 0, 1

図 10 - 1 クロック出力／ブザー出力制御回路のブロック図



注1. PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、34.4または35.4 AC特性を参照してください。

注2. OSMCレジスタのWUTMMCK0 = 1設定時に、クロック出力／ブザー出力の出力クロックとしてfSUBを選択することは禁止です。

備考 この図のクロック出力／ブザー出力端子は、PIOR2 = 0の場合です。

10.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表 10 - 1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ n (CKSn) ポート・モード・レジスタ 0, 1, 2 (PM0, PM1, PM2) ポート・レジスタ 0, 1, 2 (P0, P1, P2)

10.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次のレジスタで制御します。

- クロック出力選択レジスタ n (CKSn)
- ポート・モード・レジスタ 0, 1, 2 (PM0, PM1, PM2)
- ポート・レジスタ 0, 1, 2 (P0, P1, P2)

10.3.1 クロック出力選択レジスタ n (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSn レジスタで、PCLBUZn 端子の出力するクロックを選択します。

CKSn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 クロック出力選択レジスタn (CKSn)のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1) リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0
------	--------	---	---	---	-------	-------	-------	-------

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止(デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
				fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 24 MHz	
0	0	0	0	fMAIN	5 MHz	設定禁止 注1	設定禁止 注1	設定禁止 注1
0	0	0	1	fMAIN/2	2.5 MHz	5 MHz	設定禁止 注1	設定禁止 注1
0	0	1	0	fMAIN/2 ²	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fMAIN/2 ³	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fMAIN/2 ⁴	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fMAIN/2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
0	1	1	0	fMAIN/2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
0	1	1	1	fMAIN/2 ¹³	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	0	0	0	fSUB注2	32.768 kHz			
1	0	0	1	fSUB/2注2	16.384 kHz			
1	0	1	0	fSUB/2 ² 注2	8.192 kHz			
1	0	1	1	fSUB/2 ³ 注2	4.096 kHz			
1	1	0	0	fSUB/2 ⁴ 注2	2.048 kHz			
1	1	0	1	fSUB/2 ⁵ 注2	1.024 kHz			
1	1	1	0	fSUB/2 ⁶ 注2	512 Hz			
1	1	1	1	fSUB/2 ⁷ 注2	256 Hz			

注1. 出力クロックは、8 MHz以内の範囲で使用してください。詳しくは、34.4または35.4 AC特性を参照してください。

注2. OSMCレジスタのWUTMMCK0 = 1設定時に、クロック出力／ブザー出力の出力クロックとしてfSUBを選択することは禁止です。

注意1. 出力クロックの切り替えは、出力禁止(PCLOEn = 0)にしてから行ってください。

注意2. メイン・システム・クロック選択時(CSELn = 0)にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。

備考1. n = 0, 1

備考2. fMAIN : メイン・システム・クロック周波数

fSUB: サブシステム・クロック周波数

10.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx)を参照してください。

クロック出力／ブザー出力端子を兼用するポート (P10/SCK20/SCL20/PCLBUZ0, P27/PCLBUZ1 など) をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx)のビットに0を設定してください。

(例) P10/SCK20/SCL20/PCLBUZ0をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを0に設定

10.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0)で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1)で選択したクロック／ブザーを出力します。

10.4.1 出力端子の動作

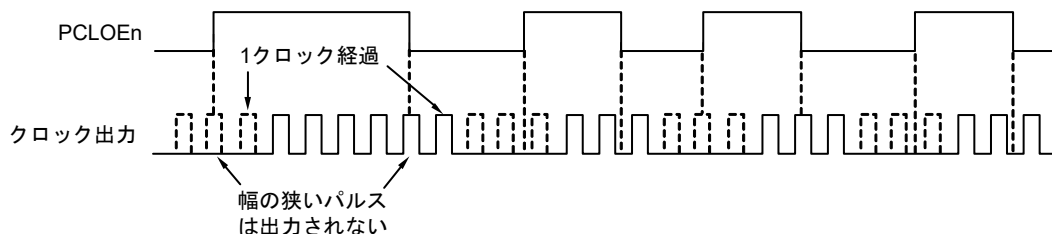
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx)およびポート・レジスタ (Pxx)のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ (CKSn)のビット0-3 (CCSn0-CCSn2, CSELn)で出力周波数を選択する(出力は禁止の状態)。
- ③ CKSnレジスタのビット7 (PCLOEn)に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止(PCLOEnビット)を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図10-3に示します。

備考2. n = 0, 1

図10-3 PCLBUZn端子からのクロック出力のタイミング



10.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択(CSELn = 0)している場合は、出力停止設定(PCLOEn = 0)にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなります。

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック (f_{IL})で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF)がセット(1)されます。RESFレジスタの詳細については第24章 リセット機能を参照してください。

また、オーバーフロー時間の75% + 1/2f_{IL}到達時にインターバル割り込みを発生することもできます。

11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 11-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ(17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

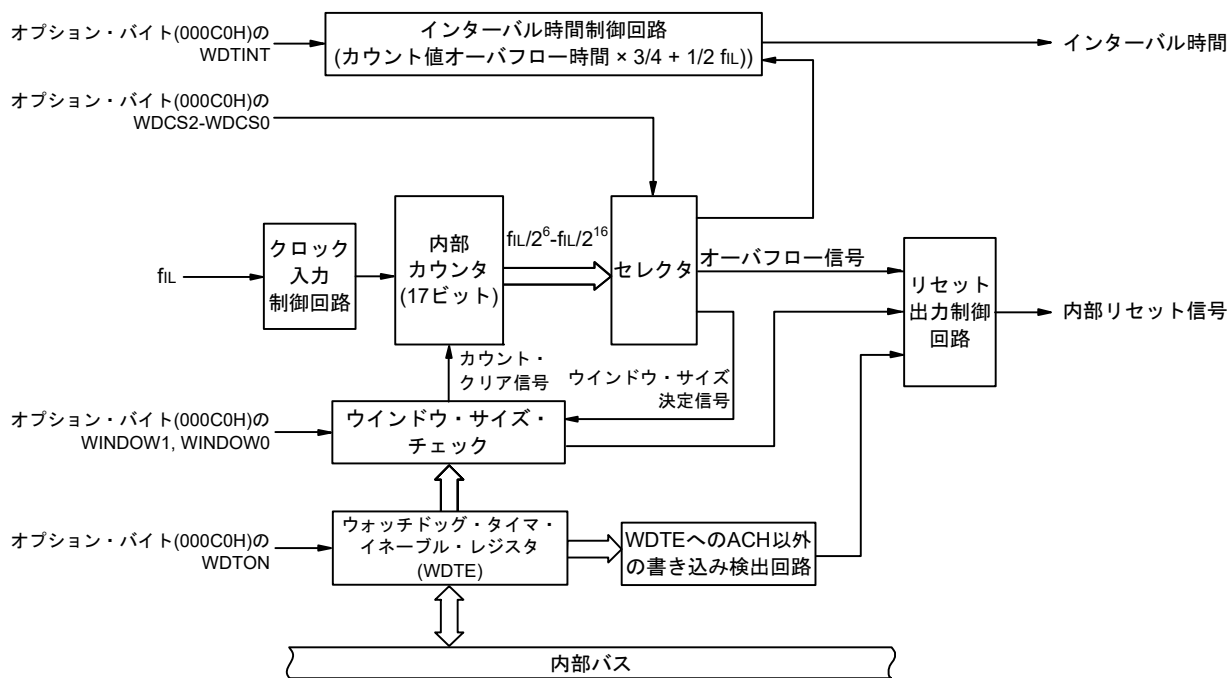
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表 11-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト(000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第29章 オプション・バイトを参照してください。

図 11-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速オンチップ・オシレータ・クロック

11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)で制御します。

11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH注になります。

図11-2 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット

アドレス : FFFABH	リセット時 : 9AH/1AH注	R/W						
略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEレジスタのリセット値は、オプション・バイト(000C0H)のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

注意2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

注意3. WDTEレジスタのリード値は、“9AH/1AH”(書き込んだ値(“ACH”)とは異なる値)になります。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト (000C0H) で次の内容を設定します。

- オプション・バイト (000C0H) のビット4 (WDTON) を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可(リセット解除後、カウンタは動作開始)にしてください(詳細は、第29章 オプション・バイトを参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止(リセット解除後、カウンタ停止)
1	カウンタ動作許可(リセット解除後、カウンタ開始)

- オプション・バイト (000C0H) のビット3-1 (WDSC2-WDSC0) で、オーバフロー時間を設定してください(詳細は、11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定および第29章 オプション・バイトを参照)。
- オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で、ウインドウ・オープン期間を設定してください(詳細は、11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定および第29章 オプション・バイトを参照)。

2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生しません。
5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

注意2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大fILの2クロックの誤差が生じる場合があります。

注意3. ウォッチドッグ・タイマのクリアは、カウント値がオーバーフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0 (WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALT, STOP, およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

11.4.2 ウォッチドッグ・タイマのオーバーフロー時間の設定

ウォッチドッグ・タイマのオーバーフロー時間は、オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で設定します。

オーバーフロー時は、内部リセット信号を発生します。オーバーフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバーフロー時間を次に示します。

表 11 - 3 ウォッチドッグ・タイマのオーバーフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバーフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)
0	0	0	2 ⁶ /f _{IL} (3.71 ms)
0	0	1	2 ⁷ /f _{IL} (7.42 ms)
0	1	0	2 ⁸ /f _{IL} (14.84 ms)
0	1	1	2 ⁹ /f _{IL} (29.68 ms)
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)
1	0	1	2 ¹³ /f _{IL} (474.89 ms) ^注
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms) ^注
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms) ^注

(注および備考は次ページにあります。)

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクすることができます。

〈使用条件〉

- ・ウォッチドッグ・タイマのオーバフローの時間を $2^{13}/f_{IL}$ 、 $2^{14}/f_{IL}$ または $2^{16}/f_{IL}$ に設定
- ・ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ウォッチドッグ・タイマのカウント値がオーバフロー時間で75%以上の時にWDTEレジスタ(FFFABH)にACHを書き込み

- ① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを1にセット
- ② ウォッチドッグ・タイマのカウントをクリア
- ③ 80 μ s 以上ウエイト
- ④ 割り込み要求フラグ・レジスタ0(IF0L)のWDTIIFビットを0にクリア
- ⑤ 割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを0にクリア

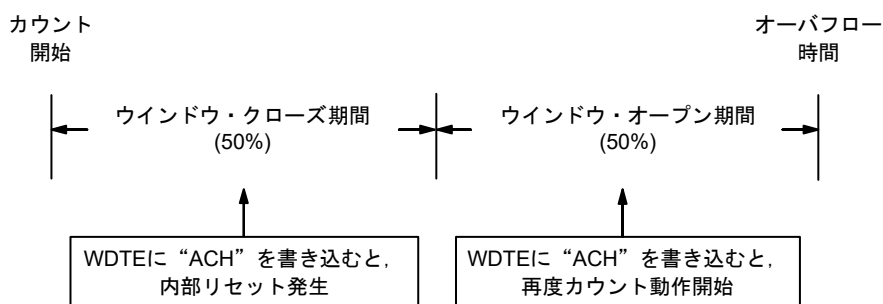
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト (000C0H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTE レジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表 11 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75%注
1	1	100%

注 ウインドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した 時のカウンタのクリア禁止期間
0	0	0	2 ⁶ /f _{IL} (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	2 ⁷ /f _{IL} (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	2 ⁸ /f _{IL} (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	2 ⁹ /f _{IL} (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	2 ¹³ /f _{IL} (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)	1899.59 ms ~ 2570.04 ms

注意 オプション・バイト(000C0H)のビット0(WDSTBYON) = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^9/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50%	75%	100%
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50%のとき>

- ・オーバフロー時間：
 $2^9/f_{IL} \text{ (MAX.)} = 2^9 / 17.25 \text{ kHz} = 29.68 \text{ ms}$
- ・ウインドウ・クローズ時間：
 $0 \sim 2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$
- ・ウインドウ・オープン時間：
 $2^9/f_{IL} \text{ (MIN.)} \times (1 - 0.5) \sim 2^9/f_{IL} \text{ (MAX.)} = 2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9 / 17.25 \text{ kHz} = 20.08 \sim 29.68 \text{ ms}$

11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト(000C0H)のビット7 (WDTINT)の設定により、オーバフロー時間の75% + $1/2f_{IL}$ 到達時にインターバル割り込み(INTWDTI)を発生することができます。

表 11 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + $1/2f_{IL}$ 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も(ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むまで)カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第12章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

			80/85ピン (USB搭載製品)	80/85ピン (USB非搭載製品)	100ピン (USB搭載製品)	100ピン (USB非搭載製品)
アナログ入力	合計		9ch	11ch	13ch	13ch
チャンネル	高精度 チャンネル	AVDD入力バッ ファ 電源系端子	3ch (ANI0-ANI2)	5ch (ANI0-ANI2, ANI5, ANI6)	7ch (ANI0-ANI6)	
	標準 チャンネル	VDD入力バッファ 電源系端子	6ch (ANI16-ANI21)			

備考 この章では、以降の主な説明を100ピン製品の場合で説明しています。

12.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大13チャンネルのA/Dコンバータ・アナログ入力(ANI0-ANI6, ANI16-ANI21)を選択できる構成になっています。変換分解能は、A/Dコンバータ・モード・レジスタ2 (ADM2)のADTYPビットにより12ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

- ・12ビット／8ビット分解能 A/D変換

ANI0-ANI6, ANI16-ANI21からアナログ入力を1チャンネル選択し、12ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求(INTAD)を発生します(セレクト・モード時の場合)。

注意 有効な分解能は、AVDD, AVREFFの電圧条件により異なります。

詳細は、34.6.1または35.6.1 A/Dコンバータ特性を参照してください。

備考 10ビット分解能で使用する場合は、12ビット分解能モード(ADTYP = 0)に設定し、変換結果の上位10ビットを使用し、下位2ビットは使用しないでください。

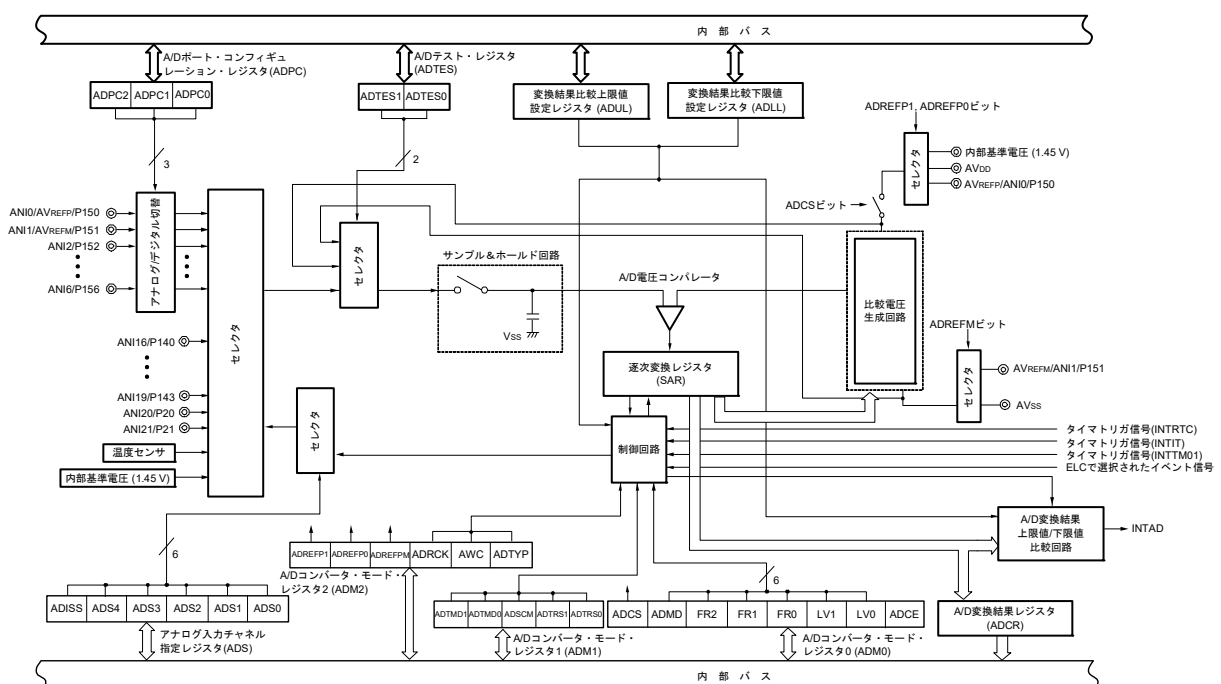
下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ノーウェイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することによりパワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用するときは、ハードウェア・トリガ・ウエイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。

動作モード注	サンプリング・クロック数	
標準1	11fAD	アナログ入力源の出カインピーダンスに応じて、サンプリング・コンデンサに十分に充電されるサンプリング・クロック数に設定してください。
標準2	23fAD	
低電圧1	33fAD	
低電圧2	187fAD	

注 アナログ入力チャンネル、AVDD電圧、トリガ・モード、fCLKにより、選択可能な動作モードが異なります。詳細は、表12-3～表12-6 AD変換時間の選択を参照してください。

図12-1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、100ピン製品の場合です。

12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI6, ANI16-ANI21

A/Dコンバータの13チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

A/D電圧コンパレータは、サンプリングされた電圧値と比較電圧生成回路の電圧タップの出力を比較します。比較した結果、アナログ入力電圧がリファレンス電圧(1/2 AVREF)より大きい場合には、逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧(1/2 AVREF)より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、比較電圧生成回路の電圧タップが選択されます

ビット11 = 0 : (1/4 AVREF)

ビット11 = 1 : (3/4 AVREF)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 \geq 比較電圧生成回路の電圧タップ : ビット10 = 1

アナログ入力電圧 \leq 比較電圧生成回路の電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット4まで続けます。

備考 AVREF : A/Dコンバータの+側基準電圧
(AVREFP, 内部基準電圧(1.45 V), AVDDから選択可能)。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット(MSB)から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット(LSB)まで設定すると(A/D変換終了)、そのSARレジスタの内容(変換結果)は、A/D変換結果レジスタ(ADCR)に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号(INTAD)が発生します。

(6) 12ビットA/D変換結果レジスタ(ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を下位12ビットに保持します(上位4ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通り、割り込み要求信号(INTAD)が発生します。

(9) AVREFP端子

外部から基準電圧(AVREFP)を入力する端子です。

AVREFPをA/Dコンバータの+側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2(ADM2)のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AVREFPと-側基準電圧(AVREFM/AVSS)間にかかる電圧に基づいて、ANI2-ANI6、ANI16-ANI21に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AVREFPのほかにAVDDと内部基準電圧(1.45 V)を選択することが可能です。

(10) AVREFM端子

外部から基準電圧(AVREFM)を入力する端子です。AVREFMをA/Dコンバータの-側の基準電圧として使用する場合は、ADM2レジスタのADREFMビットを1にセットしてください。

A/Dコンバータの-側基準電圧には、AVREFMのほかにAVSSを選択することが可能です。

12.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次のレジスタを使用します。

- 周辺イネーブル・レジスタ0 (PER0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 12ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャンネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ポート・モード・コントロール・レジスタ2, 14 (PMC2, PMC14)
- ポート・モード・レジスタ2, 14, 15 (PM2, PM14, PM15)

12.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態で行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます(ポート・モード・レジスタ2, 14, 15 (PM2, PM14, PM15), ポート・モード・コントロール・レジスタ2, 14 (PMC2, PMC14), A/Dポート・コンフィギュレーション・レジスタ (ADPC)は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 12ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

注意2. ビット1, 6には必ず“0”を設定してください。

12.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 A/Dコンバータ・モード・レジスタ0 (ADM0)のフォーマット

アドレス : FFF30H リセット時 : 00H R/W

略号	<input type="checkbox"/> 7	6	5	4	3	2	1	<input type="checkbox"/> 0
ADM0	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE
ADCS	A/D変換動作の制御							
0	変換動作停止 [リード時] 変換動作停止/待機状態							
1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時 : 変換動作状態 ハードウェア・トリガ・ウェイト・モード時 : A/D電源安定待ち状態 + 変換動作状態							
ADMD	A/D変換チャンネル選択モードを設定							
0	セレクト・モード							
1	スキャン・モード							
ADCE	A/D電圧コンパレータの動作制御 ^{注2}							
0	A/D電圧コンパレータの動作停止							
1	A/D電圧コンパレータの動作許可							

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表12-3~表12-6 A/D変換時間の選択を参照してください。

注2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、安定待ち時間がかかります。このため、ADCEビットに1を設定してから安定待ち時間を経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。安定待ち時間を満たさないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

[安定待ち時間]

アナログ入力チャンネルに高精度チャンネル選択の場合 : 0.5 μs

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合 : 0.5 μs

アナログ入力チャンネルに標準チャンネル選択の場合 : 2 μs

アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)選択の場合 : 2 μs

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意2. ADCS = 1, ADCE = 0の設定は禁止です。

注意3. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。

必ず12.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

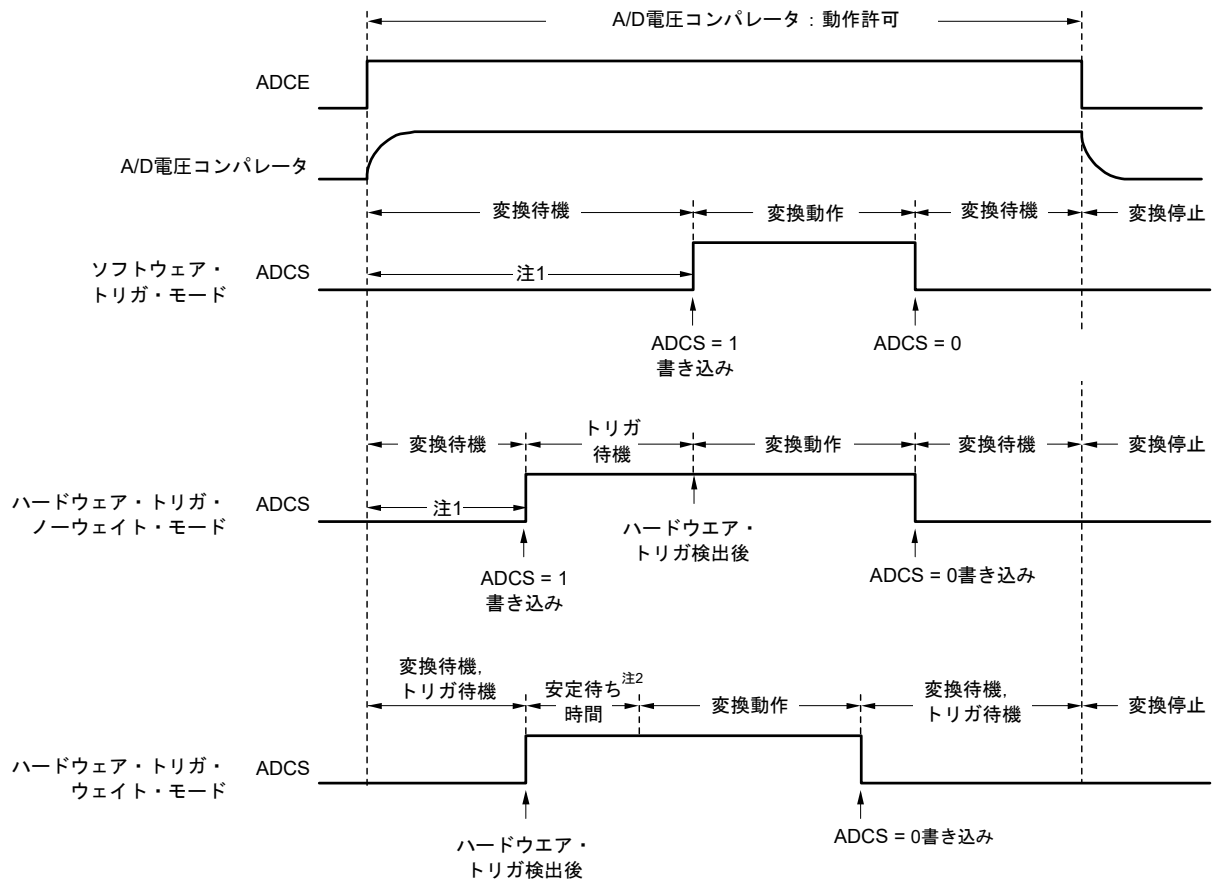
表 12 - 1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表 12 - 2 ADCSビットのセット/クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCE = 1かつ ADCS = 1 ライトした場合	ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウェイト・モード	セレクト・モード	連続変換モード	ADCE = 1かつ ハードウェア・トリガが入力された場合	ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
ハードウェア・トリガ・ウェイト・モード	セレクト・モード	連続変換モード	ADCE = 1かつ ハードウェア・トリガが入力された場合	ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		<ul style="list-style-type: none"> ADCS = 0 ライトした場合 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図12-4 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、ADCEビットの立ち上がりからADCsビットの立ち上がりまでの時間は、内部回路安定のため、次の安定待ち時間以上が必要です。

[安定待ち時間]

アナログ入力チャンネルに高精度チャンネル選択の場合：0.5 μ s

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合：0.5 μ s

アナログ入力チャンネルに標準チャンネル選択の場合：2 μ s

アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)選択の場合：2 μ s

注2. 連続変換モードの2回目以降、スキャン・モードのスキャン1以降の変換ではハードウェア・トリガ検出後にA/D電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウェイト・モードで使用する場合、ADCsビットに1を設定するのは禁止です(ハードウェア・トリガ信号検出時に、自動的に1に切り替わります)。ただし、AD変換待機状態にするために、ADCsビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時、AD変換終了時にADCsフラグは、自動的に"0"にクリアされません。"1"のまま保持されます。

注意3. ADCEビットの書き換えは、ADCs = 0 (変換停止/変換待機状態)のときに行ってください。

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウェイト・モード時：fCLKの2クロック+変換起動時間+A/D変換時間

ハードウェア・トリガ・ウェイト・モード時：fCLKの2クロック+変換起動時間+A/D電源安定待ち時間+A/D変換時間

備考 fCLK：CPU/周辺ハードウェア・クロック周波数

表 12-3 A/D 変換時間の選択 (1/4)
 (1) 12ビット分解能モード (ADTYP = 0) 安定待ち時間なし
 (ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数 (サンプリング・クロック数)	変換時間	変換時間の選択				
FR2	FR1	FR0	LV1	LV0					AVDD = 1.6~3.6 V	AVDD = 1.6~3.6 V	AVDD = 1.8~3.6 V	AVDD = 2.4~3.6 V	AVDD = 2.7~3.6 V
									fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz
0	0	0	0	0	標準1	fCLK/32 (サンプリング・クロック数: 11 fAD)	54 fAD	1728/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72 μs注
0	0	1	設定禁止	設定禁止					54 μs注	36 μs注			
0	1	0	設定禁止	54 μs注					27 μs注	18 μs注			
0	1	1	40.5 μs注	20.25 μs注					13.5 μs注				
1	0	0	33.75 μs注	16.875 μs注					11.25 μs注				
1	0	1	54 μs注	27 μs注					13.5 μs注	9 μs注			
1	1	0	27 μs注	13.5 μs注					6.75 μs注	4.5 μs注			
1	1	1	54 μs注	13.5 μs注					6.75 μs注	3.375 μs注	設定禁止		
0	0	0	0	1	標準2	fCLK/32 (サンプリング・クロック数: 23 fAD)	66 fAD	2112/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	88 μs
0	0	1	設定禁止	設定禁止					66 μs	44 μs			
0	1	0	66 μs注	33 μs					22 μs				
0	1	1	49.5 μs注	24.75 μs					16.5 μs				
1	0	0	41.25 μs注	20.625 μs					13.75 μs				
1	0	1	66 μs注	33 μs注					16.5 μs	11 μs			
1	1	0	33 μs注	16.5 μs注					8.25 μs	5.5 μs			
1	1	1	66 μs注	16.5 μs注					8.25 μs注	4.125 μs	設定禁止		
0	0	0	1	0	低電圧1	fCLK/32 (サンプリング・クロック数: 33 fAD)	76 fAD	2432/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	101.33 μs
0	0	1	設定禁止	設定禁止					76 μs	50.67 μs			
0	1	0	76 μs	38 μs					25.33 μs				
0	1	1	57 μs	28.5 μs					19 μs				
1	0	0	47.5 μs	23.75 μs					15.83 μs				
1	0	1	76 μs注	38 μs					19 μs	12.67 μs			
1	1	0	38 μs注	19 μs					9.5 μs	6.33 μs			
1	1	1	76 μs注	19 μs注					9.5 μs	4.75 μs	設定禁止		
0	0	0	1	1	低電圧2	fCLK/32 (サンプリング・クロック数: 187 fAD)	230 fAD	7360/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	306.67 μs
0	0	1	設定禁止	設定禁止					230 μs	153.33 μs			
0	1	0	230 μs	115 μs					76.67 μs				
0	1	1	172.5 μs	86.25 μs					57.5 μs				
1	0	0	143.75 μs	71.875 μs					47.92 μs				
1	0	1	230 μs	115 μs					57.5 μs	38.33 μs			
1	1	0	115 μs	57.5 μs					28.75 μs	19.17 μs			
1	1	1	230 μs	57.5 μs					28.75 μs	14.375 μs	設定禁止		

注 ANI16-ANI21 使用時は設定禁止です。

- 注意1. A/D変換時間は、34.6.1または35.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。
 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。
 注意3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。
 注意4. ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード時の変換時間は、以下の条件で設定してください。
 ・ fADは1~16 MHzの範囲とする
 ・ ANI16-ANI21使用時は、LV1, LV0の設定値に応じて、以下のAVDD電圧範囲とする。
 LV1 = 0, LV0 = 0の場合：設定禁止
 LV1 = 0, LV0 = 1の場合：2.4 V ≤ AVDD ≤ 3.6 V
 LV1 = 1, LV0 = 0の場合：1.8 V ≤ AVDD ≤ 3.6 V
 LV1 = 1, LV0 = 1の場合：1.6 V ≤ AVDD ≤ 3.6 V
 ・ アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)設定時は、以下の条件とする。
 LV1 = 0, LV0 = 0の場合：設定禁止
 LV1 = 0, LV0 = 0以外の場合：2.4 V ≤ AVDD ≤ 3.6 V

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 12 - 4 A/D 変換時間の選択 (2/4)

(2) 12ビット分解能モード (ADTYP = 0) A/D 電源安定待ち時間あり (ハードウェア・トリガ・ウェイト・モード (連続変換モードの2回目以降, スキャン・モードのスキャン1以降を除く注1))

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数 (サンプリング・クロック数)	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 変換時間の選択																			
FR2	FR1	FR0	LV1	LV0						AVDD = 1.6~3.6 V	AVDD = 1.6~3.6 V	AVDD = 1.8~3.6 V	AVDD = 2.4~3.6 V	AVDD = 2.7~3.6 V															
					fCLK = 1 MHz					fCLK = 4 MHz					fCLK = 8 MHz					fCLK = 16 MHz					fCLK = 24 MHz				
0	0	0	0	0	標準1	fCLK/32	4 fCLK	54 fAD (サンプリング・クロック数: 11 fAD)	1732/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	72.1667 μs注2														
0	0	1	fCLK/16	868/fCLK		54.25 μs注2			36.1667 μs注2																				
0	1	0	fCLK/8	436/fCLK		54.5 μs注2			27.25 μs注2						18.1667 μs注2														
0	1	1	fCLK/6	328/fCLK		41 μs注2			20.5 μs注2						13.6667 μs注2														
1	0	0	fCLK/5	274/fCLK		34.25 μs注2			17.125 μs注2						11.4167 μs注2														
1	0	1	fCLK/4	220/fCLK		55 μs注2			27.5 μs注2						13.75 μs注2	9.1667 μs注2													
1	1	0	fCLK/2	112/fCLK		28 μs注2			14 μs注2						7 μs注2	4.6667 μs注2													
1	1	1	fCLK/1	56/fCLK		56 μs注2			14 μs注2						7 μs注2	3.5 μs注2	設定禁止												
0	0	0	0	1	標準2	fCLK/32	58 fCLK	66 fAD (サンプリング・クロック数: 23 fAD)	2170/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	90.4167 μs															
0	0	1	fCLK/16	1114/fCLK		69.625 μs			46.4167 μs																				
0	1	0	fCLK/8	586/fCLK		73.25 μs注2			36.625 μs					24.4167 μs															
0	1	1	fCLK/6	454/fCLK		56.75 μs注2			28.375 μs					18.9167 μs															
1	0	0	fCLK/5	388/fCLK		48.5 μs注2			24.25 μs					16.1667 μs															
1	0	1	fCLK/4	322/fCLK		80.5 μs注2			40.25 μs注2					20.125 μs	13.4167 μs														
1	1	0	fCLK/2	190/fCLK		47.5 μs注2			23.75 μs注2					11.875 μs	7.9167 μs														
1	1	1	fCLK/1	95/fCLK		95 μs注2			23.75 μs注2					11.875 μs注2	5.9375 μs	設定禁止													
0	0	0	1	0	低電圧1	fCLK/32	15 fCLK	76 fAD (サンプリング・クロック数: 33 fAD)	2447/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	101.958 μs注2															
0	0	1	fCLK/16	1231/fCLK		76.9375 μs注2			51.292 μs注2																				
0	1	0	fCLK/8	623/fCLK		77.875 μs			38.9375 μs注2					25.958 μs注2															
0	1	1	fCLK/6	471/fCLK		58.875 μs			29.4375 μs注2					19.625 μs注2															
1	0	0	fCLK/5	395/fCLK		49.375 μs			24.6875 μs注2					16.458 μs注2															
1	0	1	fCLK/4	319/fCLK		79.75 μs注2			39.875 μs					19.9375 μs注2	13.292 μs注2														
1	1	0	fCLK/2	167/fCLK		41.75 μs注2			20.875 μs					10.4375 μs注2	6.958 μs注2														
1	1	1	fCLK/1	91/fCLK		91 μs注2			22.75 μs注2					11.375 μs	5.6875 μs注2	設定禁止													
0	0	0	1	1	低電圧2	fCLK/32	8 fCLK	230 fAD (サンプリング・クロック数: 187 fAD)	7368/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	307 μs注2															
0	0	1	fCLK/16	3688/fCLK		230.5 μs注2			153.67 μs注2																				
0	1	0	fCLK/8	1848/fCLK		231 μs注2			115.5 μs注2					77 μs注2															
0	1	1	fCLK/6	1388/fCLK		173.5 μs注2			86.75 μs注2					57.83 μs注2															
1	0	0	fCLK/5	1158/fCLK		144.75 μs注2			72.375 μs注2					48.25 μs注2															
1	0	1	fCLK/4	928/fCLK		232 μs			116 μs注2					58 μs注2	38.67 μs注2														
1	1	0	fCLK/2	468/fCLK		117 μs			58.5 μs注2					29.25 μs注2	19.5 μs注2														
1	1	1	fCLK/1	238/fCLK		238 μs			59.5 μs					29.75 μs注2	14.875 μs注2	設定禁止													

注1. 連続変換モードの2回目以降と, スキャン・モードのスキャン1以降の変換では, ハードウェア・トリガ検出後に, A/D電源安定待ち時間は発生しません(表12-3参照)。
 注2. ANI16-ANI21 使用時は設定禁止です。

注意1. A/D変換時間は, 34.6.1または35.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。
 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は, 変換停止状態(ADCS = 0, ADCE = 0)で行ってください。
 注意3. 前述の変換時間は, クロック周波数の誤差を含んでいませんので, クロック周波数の誤差を考慮して, 変換時間を選択してください。
 注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は, 以下の条件で設定してください。
 ・ fADは1~16 MHzの範囲とする。
 ・ ANI16-ANI21使用時は, 以下の条件とする。
 LV1 = 0, LV0 = 0の場合: 設定禁止
 LV1 = 0, LV0 = 1の場合: 2.4 V ≤ AVDD ≤ 3.6 V
 LV1 = 1, LV0 = 0の場合: 1.8 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 8 MHz
 LV1 = 1, LV0 = 1の場合: 1.6 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 4 MHz
 ・ アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)設定時は, 以下の条件とする。
 LV1 = 0, LV0 = 0の場合: 設定禁止
 LV1 = 0, LV0 = 1の場合: 2.4 V ≤ AVDD ≤ 3.6 V
 LV1 = 1, LV0 = 0の場合: 2.4 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 8 MHz
 LV1 = 1, LV0 = 1の場合: 2.4 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 4 MHz

備考 fCLK: CPU/周辺ハードウェア・クロック周波数

表 12 - 5 A/D 変換時間の選択 (3/4)
 (3) 8ビット分解能モード (ADTYP = 1) 安定待ち時間なし
 (ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数 (サンプリング・クロック数)	変換時間	変換時間の選択				
FR2	FR1	FR0	LV1	LV0					AVDD = 1.6~3.6 V	AVDD = 1.6~3.6 V	AVDD = 1.8~3.6 V	AVDD = 2.4~3.6 V	AVDD = 2.7~3.6 V
									fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz
0	0	0	0	0	標準1	fCLK/32	41 fAD (サンプリング・クロック数: 11 fAD)	1312/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	54.6667 μs注
0	0	1	fCLK/16	656/fCLK					41 μs注	27.3333 μs注			
0	1	0	fCLK/8	328/fCLK				41 μs注	20.5 μs注	13.6667 μs注			
0	1	1	fCLK/6	246/fCLK				30.75 μs注	15.375 μs注	10.25 μs注			
1	0	0	fCLK/5	205/fCLK				25.625 μs注	12.8125 μs注	8.5417 μs注			
1	0	1	fCLK/4	164/fCLK				41 μs注	20.5 μs注	10.25 μs注	6.8333 μs注		
1	1	0	fCLK/2	82/fCLK				20.5 μs注	10.25 μs注	5.125 μs注	3.4167 μs注		
1	1	1	fCLK/1	41/fCLK				41 μs注	10.25 μs注	5.125 μs注	2.5625 μs注	設定禁止	
0	0	0	0	1		標準2		fCLK/32	53 fAD (サンプリング・クロック数: 23 fAD)	1696/fCLK	設定禁止	設定禁止	設定禁止
0	0	1	fCLK/16	848/fCLK				53 μs		35.3333 μs			
0	1	0	fCLK/8	424/fCLK			53 μs注	26.5 μs		17.6667 μs			
0	1	1	fCLK/6	318/fCLK			39.75 μs注	19.875 μs		13.25 μs			
1	0	0	fCLK/5	265/fCLK			33.125 μs注	16.5625 μs		11.0417 μs			
1	0	1	fCLK/4	212/fCLK			53 μs注	26.5 μs注		13.25 μs	8.8333 μs		
1	1	0	fCLK/2	106/fCLK			26.5 μs注	13.25 μs注		6.625 μs	4.4167 μs		
1	1	1	fCLK/1	53/fCLK			53 μs注	13.25 μs注		6.625 μs注	3.3125 μs	設定禁止	
0	0	0	1	0	低電圧1		fCLK/32	63 fAD (サンプリング・クロック数: 33 fAD)		2016/fCLK	設定禁止	設定禁止	設定禁止
0	0	1	fCLK/16	1008/fCLK					63 μs	42.00 μs			
0	1	0	fCLK/8	504/fCLK			63 μs		31.5 μs	21.00 μs			
0	1	1	fCLK/6	378/fCLK			47.25 μs		23.625 μs	15.75 μs			
1	0	0	fCLK/5	315/fCLK			39.375 μs		19.6875 μs	13.13 μs			
1	0	1	fCLK/4	252/fCLK			63 μs注		31.5 μs	15.75 μs	10.50 μs		
1	1	0	fCLK/2	126/fCLK			31.5 μs注		15.75 μs	7.875 μs	5.25 μs		
1	1	1	fCLK/1	63/fCLK			63 μs注		15.75 μs注	7.875 μs	3.9375 μs	設定禁止	
0	0	0	1	1		低電圧2	fCLK/32		217 fAD (サンプリング・クロック数: 187 fAD)	6944/fCLK	設定禁止	設定禁止	設定禁止
0	0	1	fCLK/16	3472/fCLK				217 μs		144.67 μs			
0	1	0	fCLK/8	1736/fCLK			217 μs	108.5 μs		72.33 μs			
0	1	1	fCLK/6	1302/fCLK			162.75 μs	81.375 μs		54.25 μs			
1	0	0	fCLK/5	1085/fCLK			135.625 μs	67.8125 μs		45.21 μs			
1	0	1	fCLK/4	868/fCLK			217 μs	108.5 μs		54.25 μs	36.17 μs		
1	1	0	fCLK/2	434/fCLK			108.5 μs	54.25 μs		27.125 μs	18.08 μs		
1	1	1	fCLK/1	217/fCLK			217 μs	54.25 μs		27.125 μs	13.5625 μs	設定禁止	

注 ANI16-ANI21 使用時は設定禁止です。

- 注意1. A/D変換時間は、34.6.1または35.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。
- 注意3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。
- 注意4. ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード時の変換時間は、以下の条件で設定してください。
 - fADは1~16 MHzの範囲とする
 - ANI16-ANI21使用時は、LV1, LV0の設定値に応じて、以下のAVDD電圧範囲とする。
 - LV1 = 0, LV0 = 0の場合：設定禁止
 - LV1 = 0, LV0 = 1の場合：2.4 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 0の場合：1.8 V ≤ AVDD ≤ 3.6 V
 - LV1 = 1, LV0 = 1の場合：1.6 V ≤ AVDD ≤ 3.6 V
 - アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)設定時は、以下の条件とする。
 - LV1 = 0, LV0 = 0の場合：設定禁止
 - LV1 = 0, LV0 = 0以外の場合：2.4 V ≤ AVDD ≤ 3.6 V

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表 12 - 6 A/D 変換時間の選択 (4/4)

(4) 8ビット分解能モード (ADTYP = 1) A/D 電源安定待ち時間あり (ハードウェア・トリガ・ウェイト・モード (連続変換モードの2回目以降, スキャン・モードのスキャン1以降を除く注1))

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	A/D電源安定待ちクロック数	変換クロック数 (サンプリング・クロック数)	A/D電源安定待ち時間 + 変換時間	A/D電源安定待ち時間 + 変換時間の選択				
FR2	FR1	FR0	LV1	LV0						AVDD = 1.6~3.6 V	AVDD = 1.6~3.6 V	AVDD = 1.8~3.6 V	AVDD = 2.4~3.6 V	AVDD = 2.7~3.6 V
										fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 24 MHz
0	0	0	0	0	標準1	fCLK/32	4 fCLK	41 fAD (サンプリング・クロック数: 11 fAD)	1316/fCLK 660/fCLK 332/fCLK 250/fCLK 209/fCLK 168/fCLK 86/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	54.8333 μs注2
0	0	1		fCLK/16									41.25 μs注2	27.5000 μs注2
0	1	0		fCLK/8							41.5 μs注2	20.75 μs注2	13.8333 μs注2	
0	1	1		fCLK/6							31.25 μs注2	15.625 μs注2	10.4167 μs注2	
1	0	0		fCLK/5							26.125 μs注2	13.0625 μs注2	8.7083 μs注2	
1	0	1		fCLK/4							42 μs注2	21 μs注2	10.5 μs注2	7.0000 μs注2
1	1	0		fCLK/2							21.5 μs注2	10.75 μs注2	5.375 μs注2	3.5833 μs注2
1	1	1		fCLK/1		2 fCLK					43/fCLK	43 μs注2	10.75 μs注2	5.375 μs注2
0	0	0	0	1	標準2	fCLK/32	58 fCLK	53 fAD (サンプリング・クロック数: 23 fAD)	1754/fCLK 906/fCLK 482/fCLK 376/fCLK 323/fCLK 270/fCLK 164/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	73.0833 μs注2
0	0	1		fCLK/16									56.625 μs	37.7500 μs注2
0	1	0		fCLK/8							60.25 μs注2	30.125 μs	20.0833 μs注2	
0	1	1		fCLK/6							47 μs注2	23.5 μs	15.6667 μs注2	
1	0	0		fCLK/5							40.375 μs注2	20.1875 μs	13.4583 μs注2	
1	0	1		fCLK/4							67.5 μs注2	33.75 μs注2	16.875 μs	11.2500 μs注2
1	1	0		fCLK/2							41 μs注2	20.5 μs注2	10.25 μs	6.8333 μs注2
1	1	1		fCLK/1		29 fCLK					82/fCLK	82 μs注2	20.5 μs注2	10.25 μs注2
0	0	0	1	0	低電圧1	fCLK/32	15 fCLK	63 fAD (サンプリング・クロック数: 33 fAD)	2031/fCLK 1023/fCLK 519/fCLK 393/fCLK 330/fCLK 267/fCLK 141/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	84.625 μs注2
0	0	1		fCLK/16									63.9375 μs注2	42.625 μs注2
0	1	0		fCLK/8							64.875 μs	32.4375 μs注2	21.625 μs注2	
0	1	1		fCLK/6							49.125 μs	24.5625 μs注2	16.375 μs注2	
1	0	0		fCLK/5							41.25 μs	20.625 μs注2	13.75 μs注2	
1	0	1		fCLK/4							66.75 μs注2	33.375 μs	16.6875 μs注2	11.125 μs注2
1	1	0		fCLK/2							35.25 μs注2	17.625 μs	8.8125 μs注2	5.875 μs注2
1	1	1		fCLK/1		78 fCLK					78/fCLK	78 μs注2	19.5 μs注2	9.75 μs
0	0	0	1	1	低電圧2	fCLK/32	8 fCLK	217 fAD (サンプリング・クロック数: 187 fAD)	6952/fCLK 3480/fCLK 1744/fCLK 1310/fCLK 1093/fCLK 876/fCLK 442/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	289.67 μs注2
0	0	1		fCLK/16									217.5 μs注2	145 μs注2
0	1	0		fCLK/8							218 μs注2	109 μs注2	72.67 μs注2	
0	1	1		fCLK/6							163.75 μs注2	81.875 μs注2	54.58 μs注2	
1	0	0		fCLK/5							136.625 μs注2	68.3125 μs注2	45.54 μs注2	
1	0	1		fCLK/4							219 μs	109.5 μs注2	54.75 μs注2	36.5 μs注2
1	1	0		fCLK/2							110.5 μs	55.25 μs注2	27.625 μs注2	18.42 μs注2
1	1	1		fCLK/1		225 fCLK					225/fCLK	225 μs	56.25 μs	28.125 μs注2

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、A/D電源安定待ち時間は発生しません(表12-5参照)。

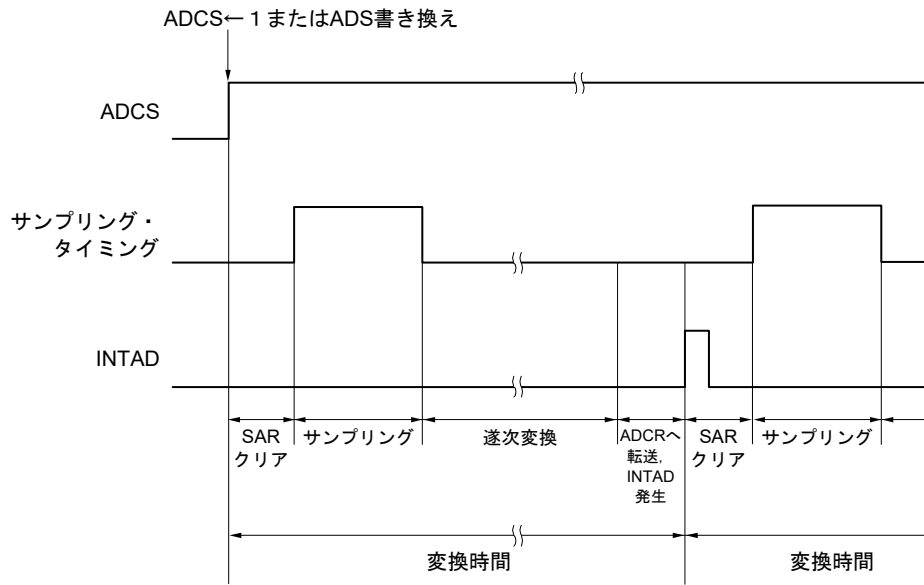
注2. ANI16-ANI21 使用時は設定禁止です。

- 注意1. A/D変換時間は、34.6.1または35.6.1 A/Dコンバータ特性に示す変換時間(tCONV)の範囲内で使用してください。
- 注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。
- 注意3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。
- 注意4. ハードウェア・トリガ・ノーウェイト・モード時の変換時間は、以下の条件で設定してください。

- fADは1~16 MHzの範囲とする
- ANI16-ANI21使用時は、以下の条件とする。
 LV1 = 0, LV0 = 0の場合: 設定禁止
 LV1 = 0, LV0 = 1の場合: 2.4 V ≤ AVDD ≤ 3.6 V
 LV1 = 1, LV0 = 0の場合: 1.8 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 8 MHz
 LV1 = 1, LV0 = 1の場合: 1.6 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 4 MHz
- アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)設定時は、以下の条件とする。
 LV1 = 0, LV0 = 0の場合: 設定禁止
 LV1 = 0, LV0 = 1の場合: 2.4 V ≤ AVDD ≤ 3.6 V
 LV1 = 1, LV0 = 0の場合: 2.4 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 8 MHz
 LV1 = 1, LV0 = 1の場合: 2.4 V ≤ AVDD ≤ 3.6 V, 1 MHz ≤ fCLK ≤ 4 MHz

備考 fCLK: CPU/周辺ハードウェア・クロック周波数

図12-5 A/DコンバータのサンプリングとA/D変換のタイミング(例 ソフトウェア・トリガ・モードの場合)



12.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-6 A/Dコンバータ・モード・レジスタ1 (ADM1)のフォーマット

アドレス : FFF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0
	ADTMD1	ADTMD0	A/D変換トリガ・モードの選択					
	0	×	ソフトウェア・トリガ・モード					
	1	0	ハードウェア・トリガ・ノーウエイト・モード					
	1	1	ハードウェア・トリガ・ウエイト・モード					
	ADSCM	A/D変換動作モードの設定						
	0	連続変換モード						
	1	ワンショット変換モード						
	ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択					
	0	0	タイマ・チャンネル1のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)					
	0	1	ELCで選択されたイベント信号					
	1	0	リアルタイム・クロック割り込み信号 (INTRTC)					
	1	1	12ビット・インターバル・タイマ割り込み信号 (INTIT)					

注意1. ADM1レジスタを書き換える場合は、必ず変換動作停止状態 (A/Dコンバータ・モード・レジスタ0 (ADM0)のADCS = 0, ADCE = 0)のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZE機能以外のモードにおいて、INTRTC, INTIT入力後最大fCLKの4クロック間は、次のINTRTC, INTIT入力がトリガとして有効になりません。

備考1. × : don't care

備考2. fCLK : CPU/周辺ハードウェア・クロック周波数

12.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの基準電圧の選択, A/D変換結果の上限值/下限値のチェック, 分解能の選択, およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図12-7 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの + 側の基準電圧源の選択
0	0	AVDDから供給
0	1	P150/AVREFP/ANI0から供給
1	0	内部基準電圧(1.45 V)から供給注
1	1	設定禁止

• ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 安定待ち時間ウエイト(A)
- ④ ADCE = 1に設定
- ⑤ 安定待ち時間ウエイト(B)

③の安定待ち時間は, ADREFP1, ADREFP0の値の変更時に必要となります。

ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 10 μs

ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : A = 1 μs

⑤の安定待ち時間は, ADCE = 1に設定時に必要となります。

アナログ入力チャンネルに高精度チャンネル選択の場合 : B = 0.5 μs

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合 : B = 0.5 μs

アナログ入力チャンネルに標準チャンネル選択の場合 : B = 2 μs

アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)選択の場合 : B = 2 μs

⑤の安定待ち時間のあとに, A/D変換を開始してください。

• ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力電圧と内部基準電圧をA/D変換することはできません。必ずADISS = 0としてA/D変換を行なってください。

注 HS (高速メイン)モードでのみ選択可能です。詳細は, 図29-4 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマットを参照してください。

注意1. ADM2レジスタを書き換える場合は, 必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. STOPモードもしくはサブシステム・クロックでCPU動作中からのHALTモードへ移行する場合は, ADREFP1 = 1に設定しないでください。また, ADREFP1 = 1設定時に, メイン・システム・クロックでCPU動作中からHALTモードへ移行する場合は, 34.3.2または35.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(IADREF)の電流値が加算されます。

注意3. AVREFPとAVREFMを使用する場合は, ANI0とANI1をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。

図12-8 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(2/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP
ADREFM	A/Dコンバータの側の基準電圧源の選択							
0	AVSSから供給							
1	P151/AVREFM/ANI1から供給							
ADRCK	変換結果上限/下限値チェック							
0	ADLLレジスタ ≤ ADCRレジスタ ≤ ADULレジスタ (AREA1)のときA/D変換終了割り込み要求信号 (INTAD)が発生。							
1	ADCRレジスタ < ADLLレジスタ (AREA2), ADULレジスタ < ADCRレジスタ (AREA3)のときA/D変換終了割り込み要求信号 (INTAD)が発生。							
AREA1～AREA3のA/D変換終了割り込み要求信号 (INTAD)発生範囲を図12-9に示します。								
AWC	SNOOZEモードの設定							
0	SNOOZEモード機能を使用しない							
1	SNOOZEモード機能を使用する							
<p>STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。</p> <ul style="list-style-type: none"> • SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。 • 連続変換モードでのSNOOZEモード機能は使用禁止です。 • SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間^{注1}+変換起動時間+A/D電源安定待ち時間+A/D変換時間+fCLKの2クロック」以上の間隔を空けて設定してください。 • SNOOZEモードを使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。 <p>またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。</p> <p>AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にAD変換が開始されません。</p>								
ADTYP	A/D変換分解能の選択							
0	12ビット分解能 ^{注2}							
1	8ビット分解能							

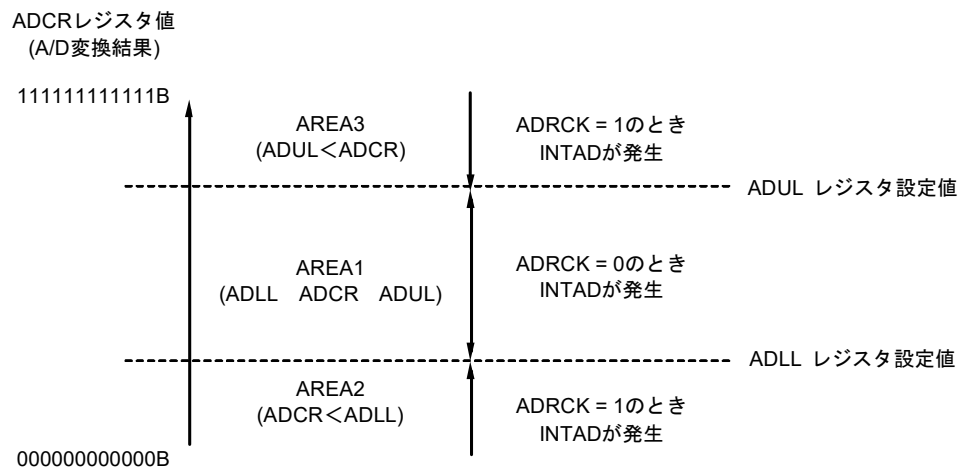
注1. 23.3.3 SNOOZEモードのSTOPモード→SNOOZEモードの遷移時間を参照してください。

注2. 有効な分解能は、AVDD, AVREFPの電圧条件により異なります。

詳細は、34.6.1または35.6.1 A/Dコンバータ特性を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0)のときに行ってください。

図12-9 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR, ADCRHレジスタに格納されません。

12.3.5 12ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。上位4ビットは“0”固定です。

A/D変換が終了するたびに、ADSAR[11:0]の値をA/D変換結果レジスタに格納します(ただし、ADM2レジスタのADRCKビット、ADUL、ADLLレジスタの設定より格納するか否かが決まります)。変換結果の上位4ビットがFFF1FHの下位4ビットに、下位8ビットがFFF1EHに格納されます注。

ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット、ADUL/ADLLレジスタで設定(図12-9参照))で設定した値の範囲外の場合は格納されません。

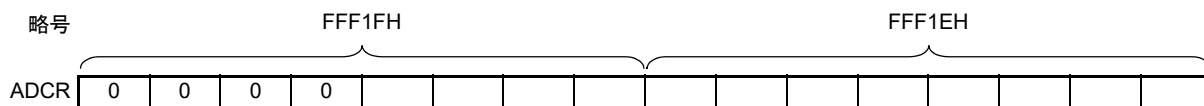
注意 有効な分解能は、AVDD、AVREFPの電圧条件により異なります。
詳細は、34.6.1または35.6.1 A/Dコンバータ特性を参照してください。

備考1. 10ビット分解能で使用する場合は、12ビット分解能モード(ADTYP = 0)に設定し、変換結果の上位10ビットを使用し、下位2ビットは使用しないでください。

備考2. 8ビット分解能で使用する場合は、ADCRレジスタの下位4ビットは使用しないでください。
ADCRHレジスタを使用することにより、変換結果の上位8ビットを読み出すことができます。

図12-10 12ビットA/D変換結果レジスタ(ADCR)のフォーマット

アドレス : FFF1EH, FFF1FH リセット時 : 0000H R



注意1. A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ(ADS)、A/Dポート・コンフィギュレーション・レジスタ(ADPC)に対して書き込み動作を行ったとき、ADCRレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADS、ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

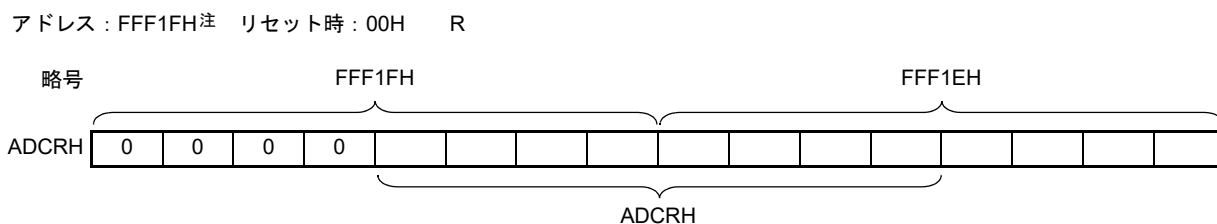
注意2. INTADが発生しない場合は、A/D変換結果がADCRレジスタに格納されません。

12.3.6 8ビットA/D変換結果レジスタ (ADCRH)

ADCRレジスタの[11:4]ビットを示す8ビットのレジスタです。12ビット分解能の上位8ビットを格納します注。
ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。
リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット、ADUL/ADLLレジスタで設定 (図12-9参照))で設定した値の範囲外の場合は格納されません。

図12-11 8ビットA/D変換結果レジスタ (ADCRH)のフォーマット



注 FFF1FH番地を読み出した場合、ADCRHのデータ (FFF1FHの下位4ビット+FFF1EHの上位4ビット)が読み出されます。

注意1. A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC)に対して書き込み動作を行ったとき、ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADS、ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

注意2. INTADが発生しない場合は、A/D変換結果がADCRHレジスタに格納されません。

12.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-12 アナログ入力チャネル指定レジスタ (ADS)のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P150/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P151/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P152/ANI2 端子
0	0	0	0	1	1	ANI3	P153/ANI3 端子
0	0	0	1	0	0	ANI4	P154/ANI4 端子
0	0	0	1	0	1	ANI5	P155/ANI5 端子
0	0	0	1	1	0	ANI6	P156/ANI6 端子
0	1	0	0	0	0	ANI16	P140/ANI16 端子
0	1	0	0	0	1	ANI17	P141/ANI17 端子
0	1	0	0	1	0	ANI18	P142/ANI18 端子
0	1	0	0	1	1	ANI19	P143/ANI19 端子
0	1	0	1	0	0	ANI20	P20/ANI20 端子
0	1	0	1	0	1	ANI21	P21/ANI21 端子
1	0	0	0	0	0	—	温度センサ出力電圧注1,2
1	0	0	0	0	1	—	内部基準電圧 (1.45 V)注1
上記以外						設定禁止	

★
★

★ 注1 HS (高速メイン)モードでのみ選択可能です。詳細は、図29-4 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマットを参照してください。

★ 注2 コンパレータ0またはコンパレータ1のリファレンス電圧に内部基準電圧 (1.45 V) を選択している場合は、温度センサ出力を選択できません。

○スキャン・モード (ADMD = 1)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	1	0	0	0	0	ANI16	ANI17	ANI18	ANI19
0	1	0	0	0	1	ANI17	ANI18	ANI19	ANI20
0	1	0	0	1	0	ANI18	ANI19	ANI20	ANI21
上記以外						設定禁止			

(注意は次ページにあります。)

- 注意1. ビット5, 6には必ず0を設定してください。
- 注意2. ADPC, PMCx レジスタでアナログ入力に設定したポートは, ポート・モード・レジスタ 2, 14, 15 (PM2, PM14, PM15)で入力モードに選択してください。
- 注意3. A/Dポート・コンフィギュレーション・レジスタ (ADPC)でデジタル入出力として設定する端子を, ADSレジスタで設定しないでください。
- 注意4. ポート・モード・コントロール・レジスタ 2, 14 (PMC2, PMC14)でデジタル入出力として設定する端子を, ADSレジスタで設定しないでください。
- 注意5. ADISS ビットを書き換える場合は, 必ず変換停止状態 (ADCS = 0, ADCE = 0)のときに行ってください。
- 注意6. AVREFPをA/Dコンバータの+側の基準電圧源として使用している場合, ANI0をA/D変換チャネルとして選択しないでください。
- 注意7. AVREFMをA/Dコンバータの-側の基準電圧源として使用している場合, ANI1をA/D変換チャネルとして選択しないでください。
- 注意8. ADISS = 1を設定した場合, +側の基準電圧源に内部基準電圧(1.45 V)は使用できません。
また, ADISS = 1に設定後, 1回目の変換結果は使用できません。詳細設定フローは, 12.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定を参照してください。
- 注意9. STOPモードもしくはサブシステム・クロックでCPU動作中からのHALTモードへ移行する場合は, ADISS = 1に設定しないでください。また, ADISS = 1設定時に, メイン・システム・クロックでCPU動作中からHALTモードへ移行する場合は, 34.3.2 電源電流特性に示す温度センサ動作電流(I_{TMPS})の電流値が加算されます。
- 注意10. 製品により, 対応するANI端子が存在しない場合は, 変換結果を無視してください。

12.3.8 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図12-9参照)で割り込み信号(INTAD)の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意1. 12ビット分解能A/D変換選択時は、12ビットA/D変換結果レジスタ (ADCR)に格納された変換結果の上位8ビットをADULレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタの設定を行う際には、ADUL > ADLLになるよう設定を行ってください。

図12-13 変換結果比較上限値設定レジスタ (ADUL)のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

12.3.9 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図12-9参照)で割り込み信号(INTAD)の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-14 変換結果比較下限値設定レジスタ (ADLL)のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 12ビット分解能A/D変換選択時は、12ビットA/D変換結果レジスタ (ADCR)に格納された変換結果の上位8ビットをADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタの設定を行う際には、ADUL > ADLLになるよう設定を行ってください。

12.3.10 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANlxx)、温度センサ出力電圧、内部基準電圧(1.45V)を選択するレジスタです。A/Dテスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、は8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 15 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx / 温度センサ出力電圧注 / 内部基準電圧(1.45V)注 (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	-側の基準電圧(ADM2レジスタのADREFMビットで設定)
1	1	+側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで設定)
上記以外		設定禁止

注 温度センサ出力電圧、内部基準電圧(1.45V)は、HS(高速メイン)モードでのみ選択可能です。
詳細は、図29-4 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマットを参照してください。

注意 A/Dテスト機能についての詳細は、第27章 安全機能を参照してください。

12.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・モード・コントロール・レジスタ (PMCxx), A/Dポート・コンフィギュレーション・レジスタ (ADPC)) を設定してください。

詳細は、以下を参照してください。

- 4.3.1 ポート・モード・レジスタ (PMxx)
- 4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)
- 4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0-ANI6 端子を A/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定し、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に設定してください。

ANI16-ANI21 端子を A/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロール・レジスタ (PMCxx) のビットに1を設定してください。

12.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット 11 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2)AV_{REF}$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力が $(1/2)AV_{REF}$ よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、 $(1/2)AV_{REF}$ よりも小さければ、MSBビットはリセットします。
- ⑤ 次にSARレジスタのビット10が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット11の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ビット 11 = 1 : $(3/4) AV_{REF}$
 - ビット 11 = 0 : $(1/4) AV_{REF}$この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット10を次のように操作します。
 - サンプリングされた電圧 \geq 電圧タップ : ビット 10 = 1
 - サンプリングされた電圧 $<$ 電圧タップ : ビット 10 = 0
- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 12ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます注1。
- ⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します注2。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図12-9参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ADCRレジスタ (16ビット): 12ビットのA/D変換値を格納します。
- ADCRHレジスタ (8ビット): 8ビットのA/D変換値を格納します。

備考2. AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧 (1.45 V), AV_{DD} から選択可能です。

図12-16 A/Dコンバータの変換動作(ソフトウェア・トリガ・モードの場合)



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア(0)されます。

連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)をクリア(0)するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ(ADS)に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ(ADCR, ADCRH)は、リセット信号の発生により0000Hまた00Hとなります。

12.5 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI6, ANI16-ANI21) に入力されたアナログ入力電圧と理論上の A/D 変換結果 (12 ビット A/D 変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{ADCR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 4096 + 0.5 \right)$$

または,

$$(\text{ADCR} - 0.5) \times \frac{V_{\text{REF}}}{4096} \leq V_{\text{AIN}} < (\text{ADCR} + 0.5) \times \frac{V_{\text{REF}}}{4096}$$

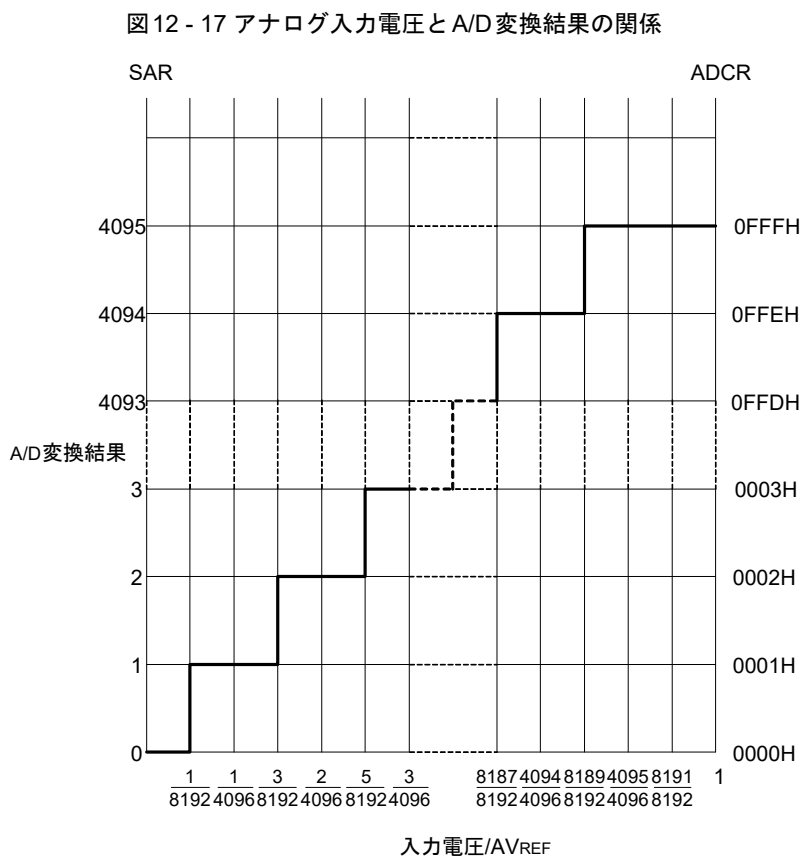
INT (): () 内の値の整数部を返す関数

V_AIN : アナログ入力電圧

V_AREF : V_AREF 端子電圧

ADCR : A/D 変換結果レジスタ (ADCR) の値

図 12 - 17 にアナログ入力電圧と A/D 変換結果の関係を示します。



備考 AVREF : A/D コンバータの + 側基準電圧。AVREFP, 内部基準電圧 (1.45 V), AVDD から選択可能です。

12.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を12.7 A/Dコンバータの設定フロー・チャートに示します。

12.6.1 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間^注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s

アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図12-18 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)動作タイミング例

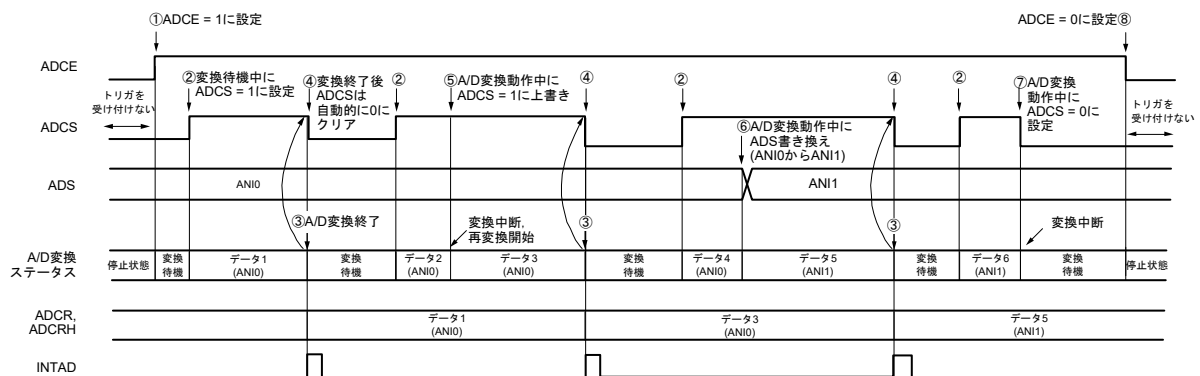


12.6.2 ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

注 アナログ入力チャネルに高精度チャネル選択の場合：安定待ち時間 = 0.5 μs
 アナログ入力チャネルに標準チャネル選択の場合：安定待ち時間 = 2 μs

図12-19 ソフトウェア・セレクト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例

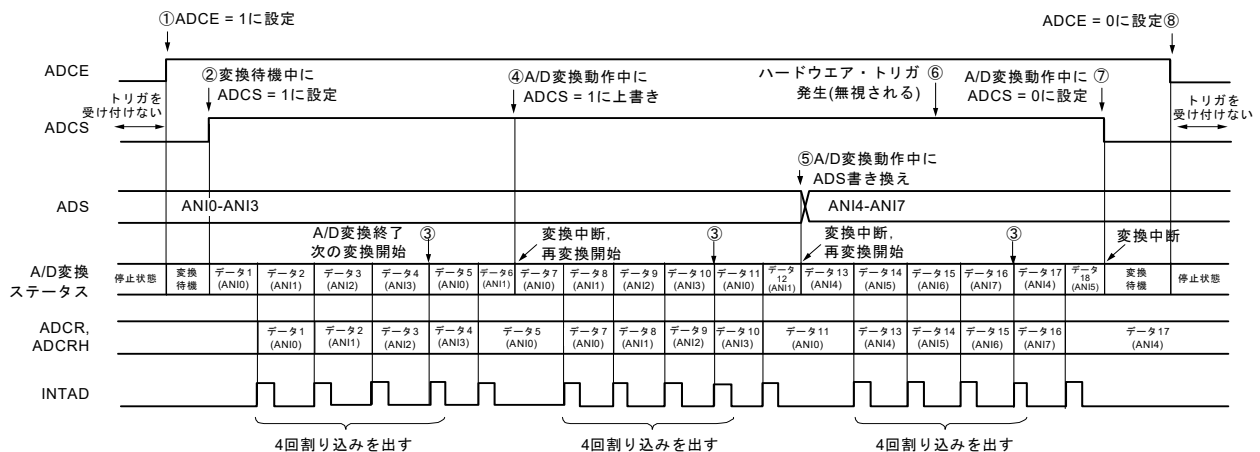


12.6.3 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャネルのA/D変換終了後は、設定しているチャネルからすぐに次のA/D変換が自動的に開始されます(4チャネル分)。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

注 アナログ入力チャネルに高精度チャネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャネルに標準チャネル選択の場合：安定待ち時間 = 2 μ s

図12-20 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)動作タイミング例

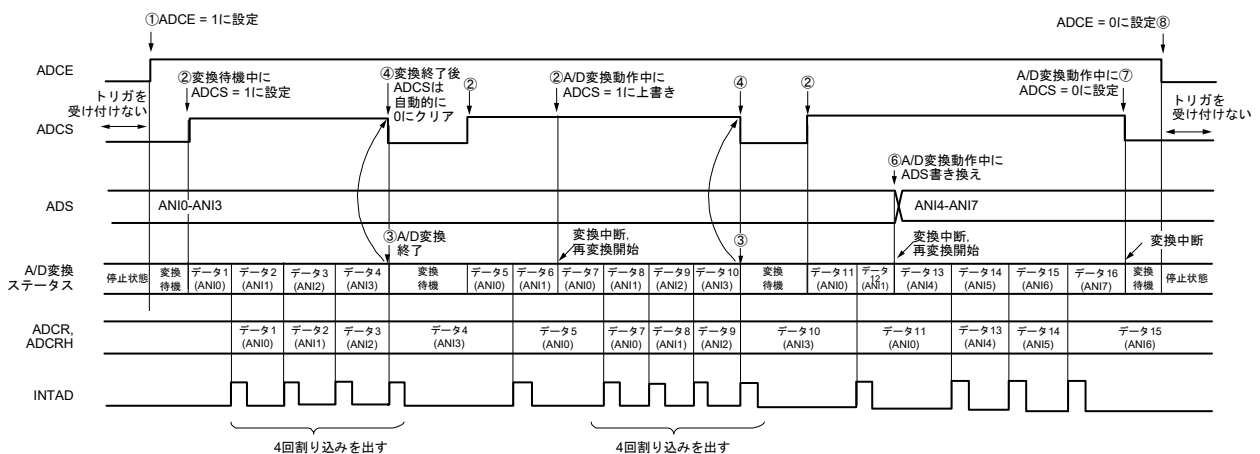


12.6.4 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ 4チャネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

注 アナログ入力チャネルに高精度チャネル選択の場合：安定待ち時間 = 0.5 μs
 アナログ入力チャネルに標準チャネル選択の場合：安定待ち時間 = 2 μs

図12-21 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例

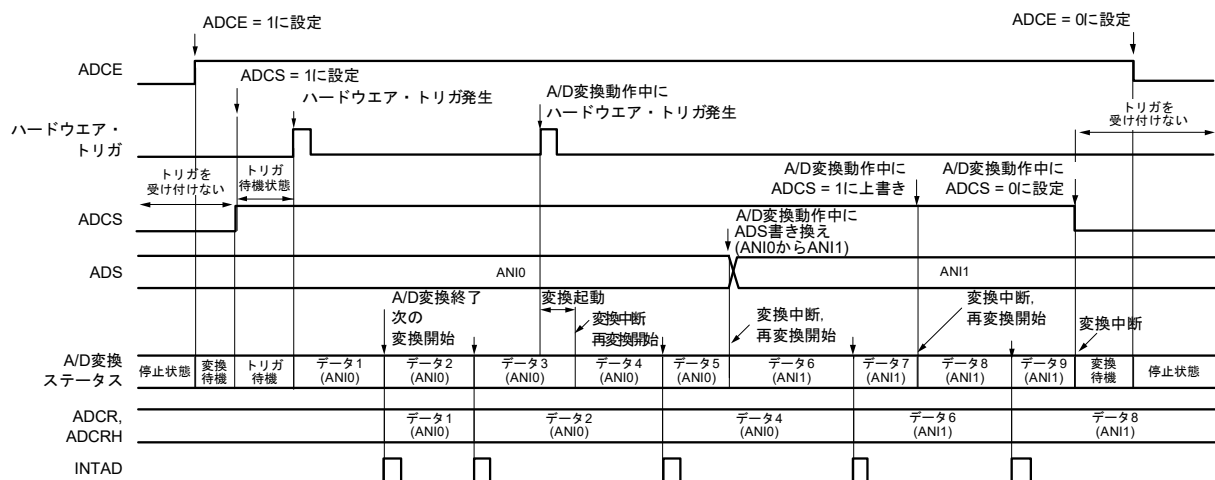


12.6.5 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μs
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μs

図12-22 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例

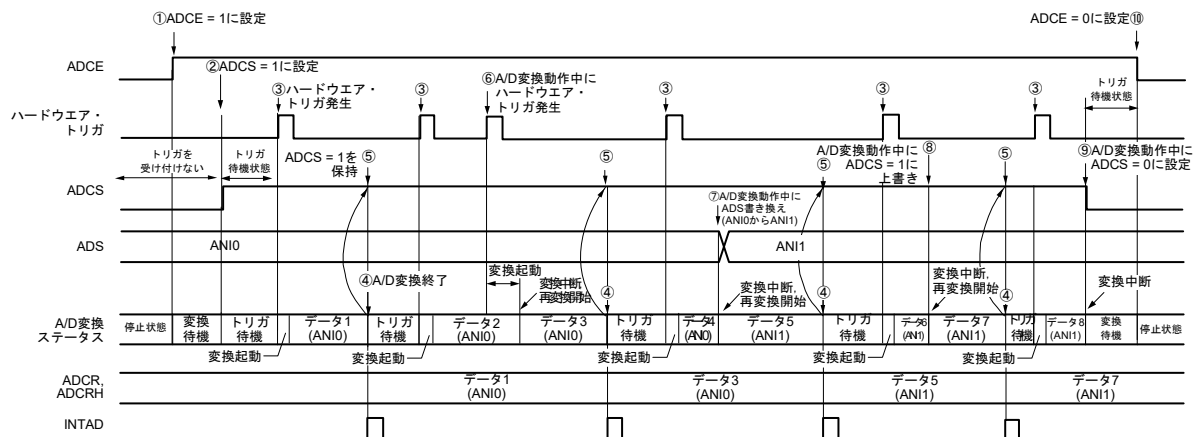


12.6.6 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 t_{STAB} をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図12-23 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例

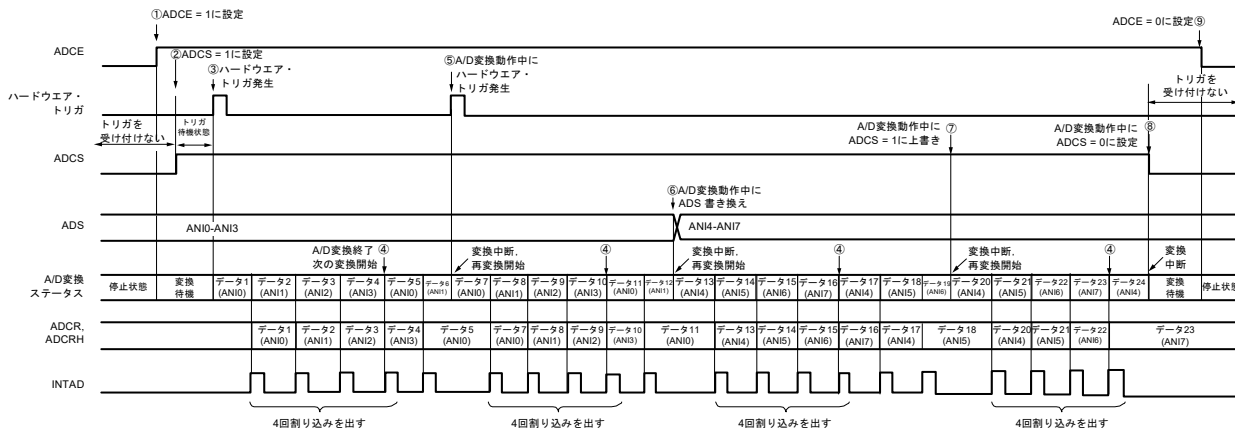


12.6.7 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

図12-24 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例

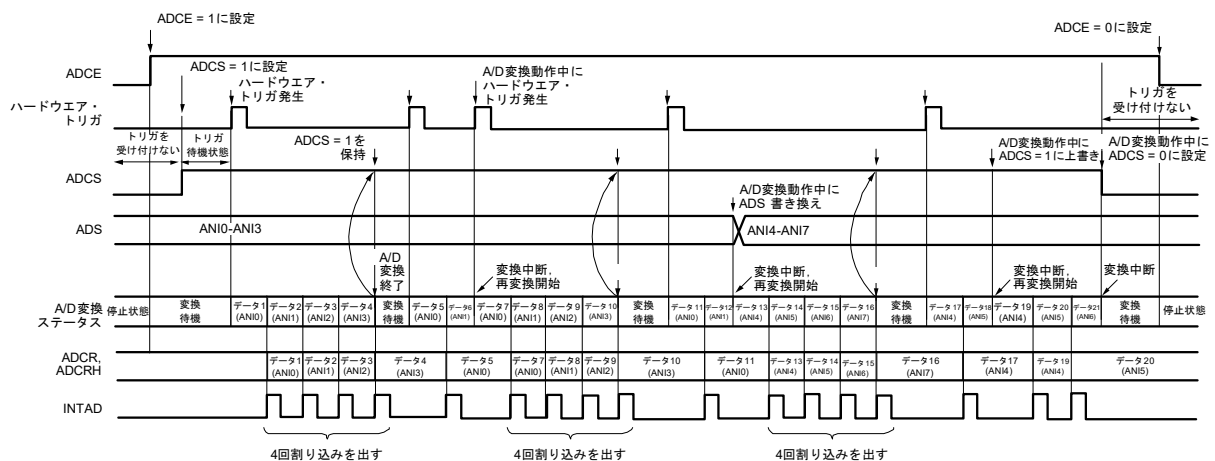


12.6.8 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間注をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ 4チャンネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態となります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

注 アナログ入力チャンネルに高精度チャンネル選択の場合：安定待ち時間 = 0.5 μ s
 アナログ入力チャンネルに標準チャンネル選択の場合：安定待ち時間 = 2 μ s

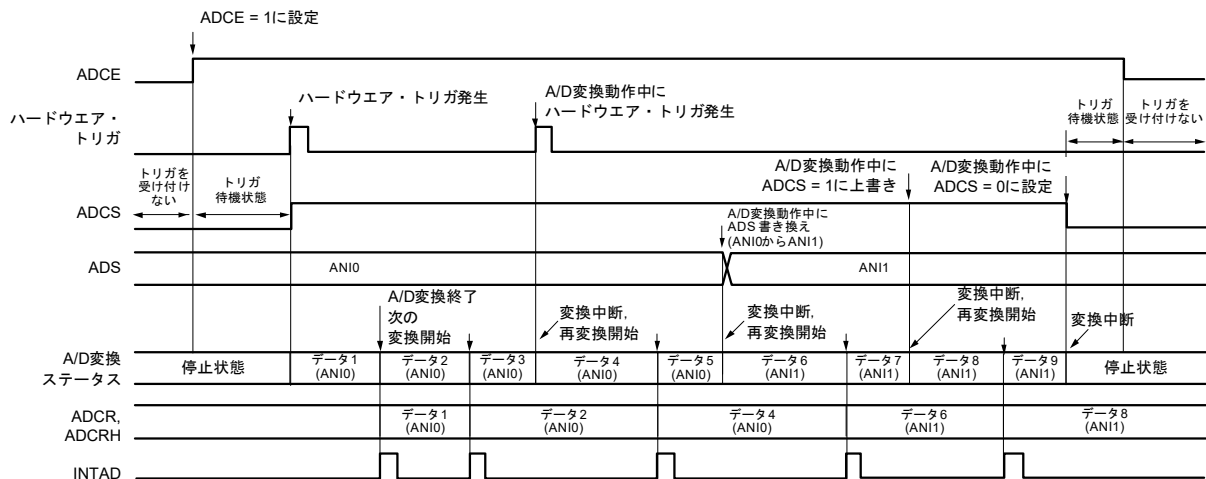
図12-25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



12.6.9 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します(このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

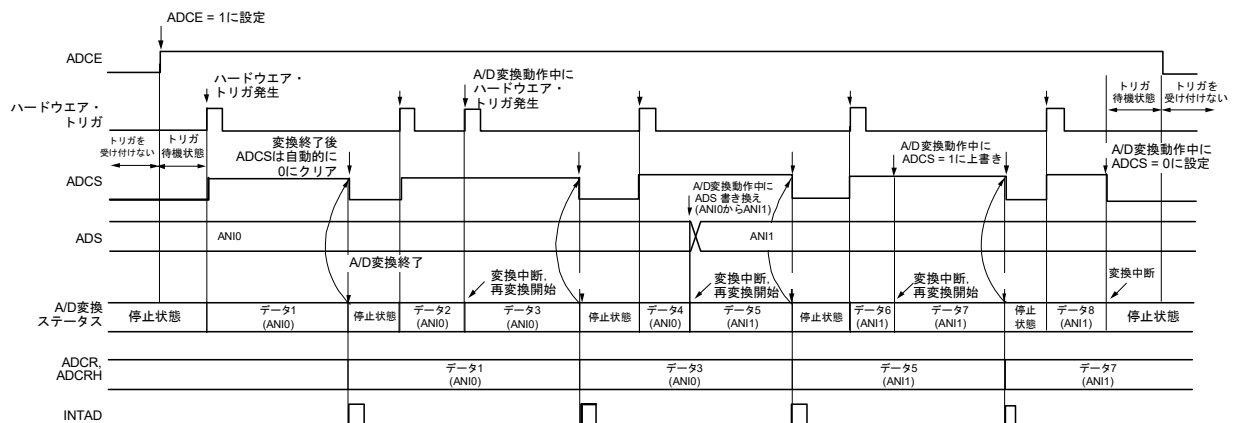
図12-26 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



12.6.10 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

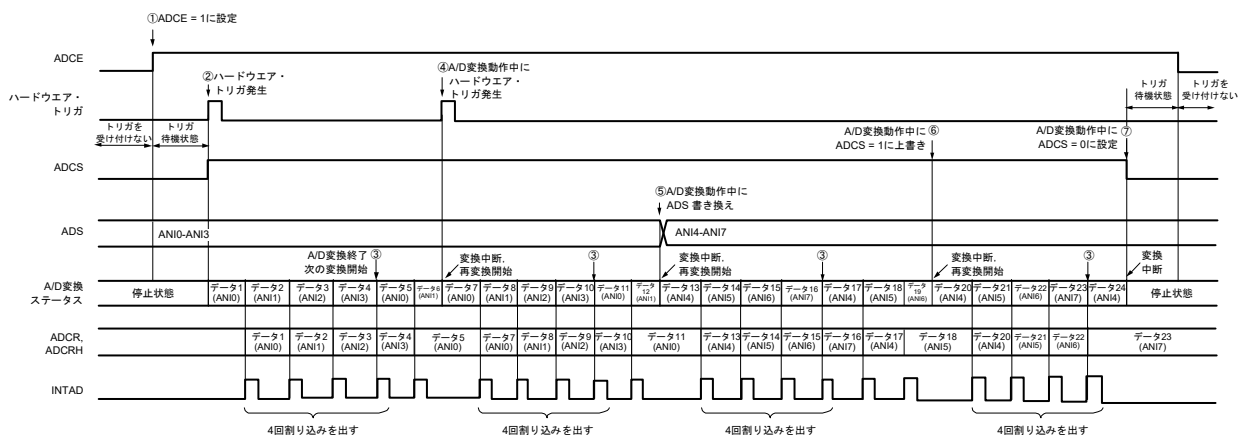
図 12 - 27 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



12.6.11 ハードウェア・トリガ・ウェイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

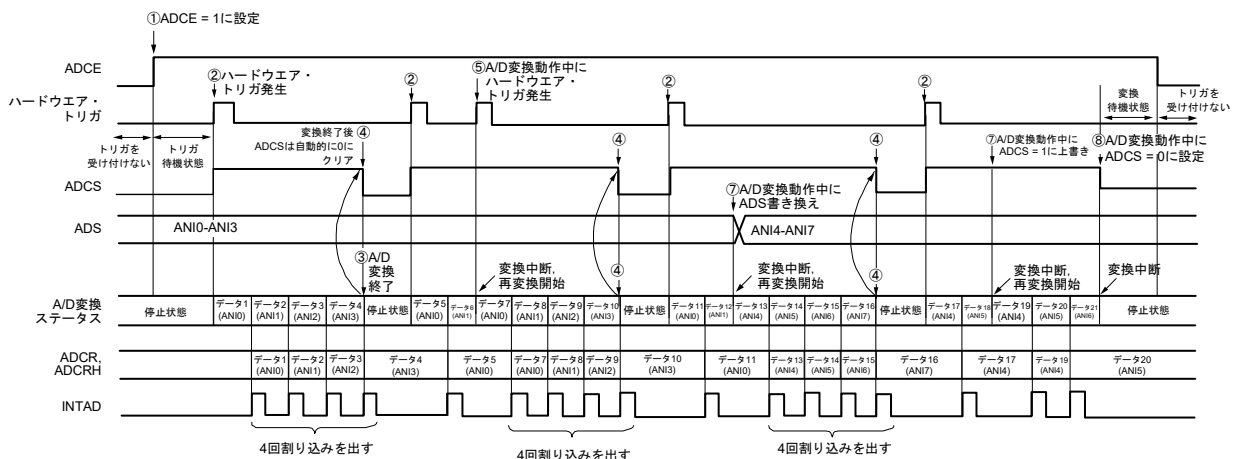
図12-28 ハードウェア・トリガ・ウェイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



12.6.12 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図12-29 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例

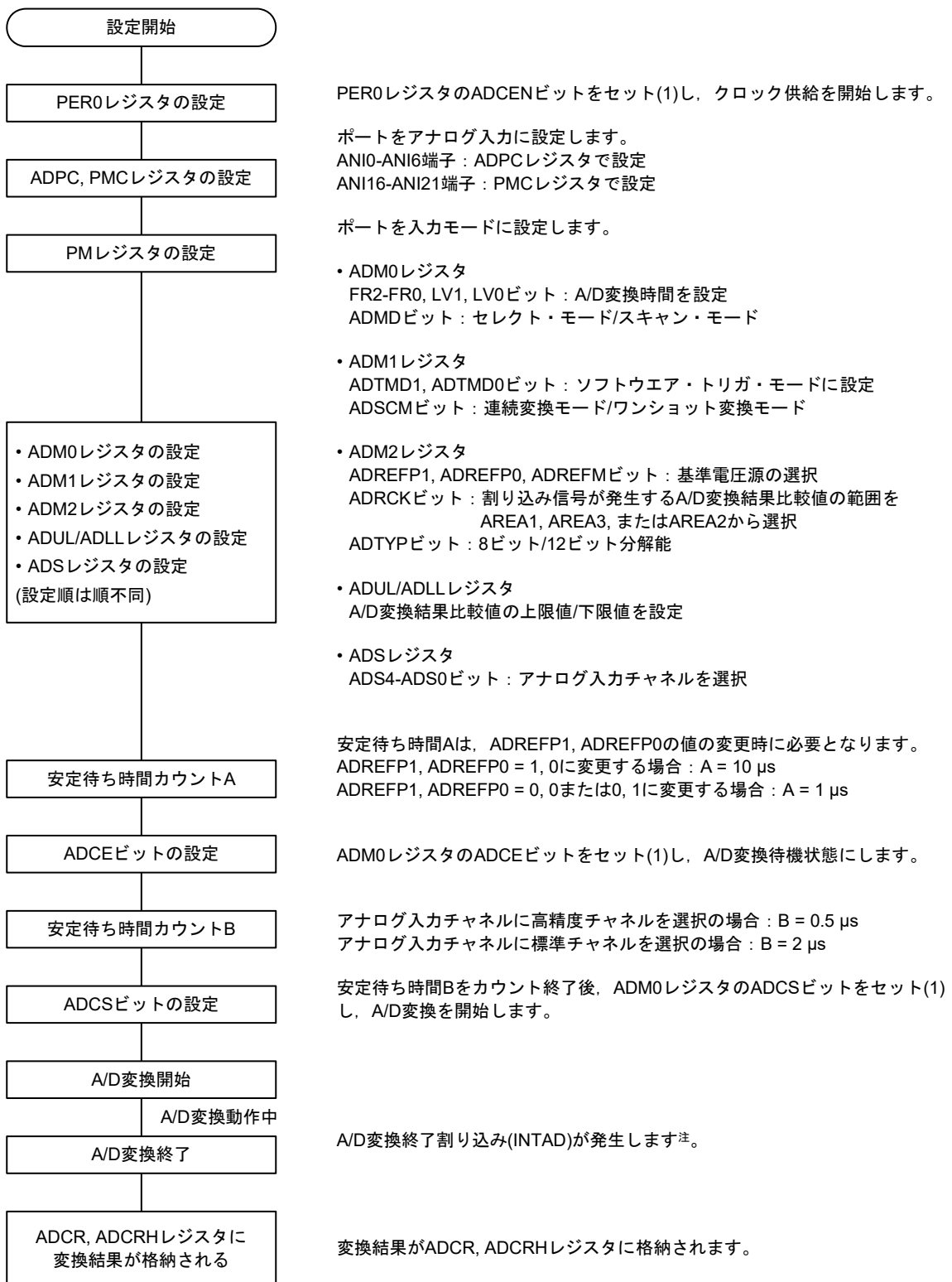


12.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

12.7.1 ソフトウェア・トリガ・モード設定

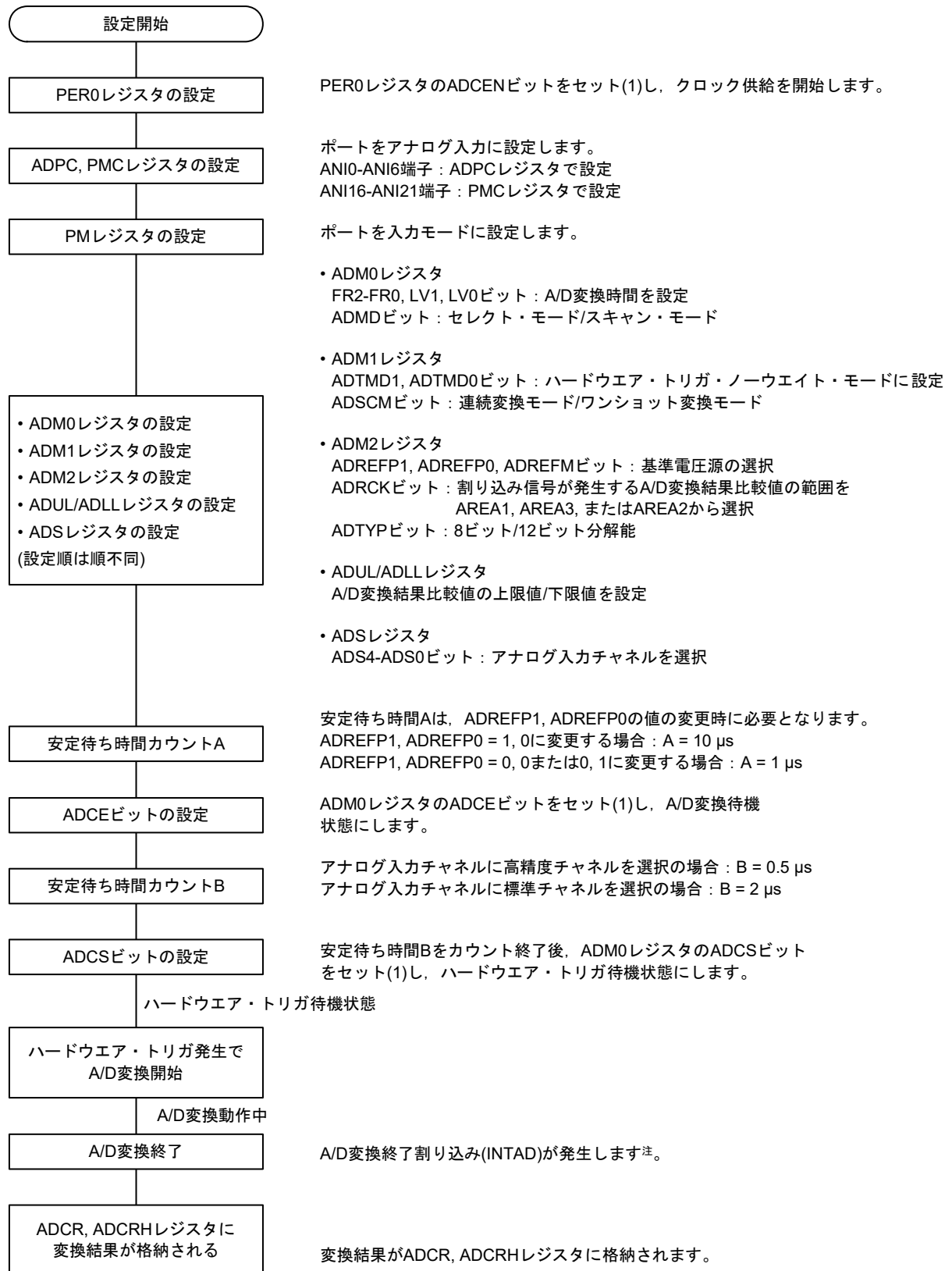
図 12 - 30 ソフトウェア・トリガ・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により, A/D変換終了割り込み信号(INTAD)が発生しない場合があります。
この場合, ADCR, ADCRHレジスタに結果は格納されません。

12.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

図12-31 ハードウェア・トリガ・ノーウエイト・モード設定

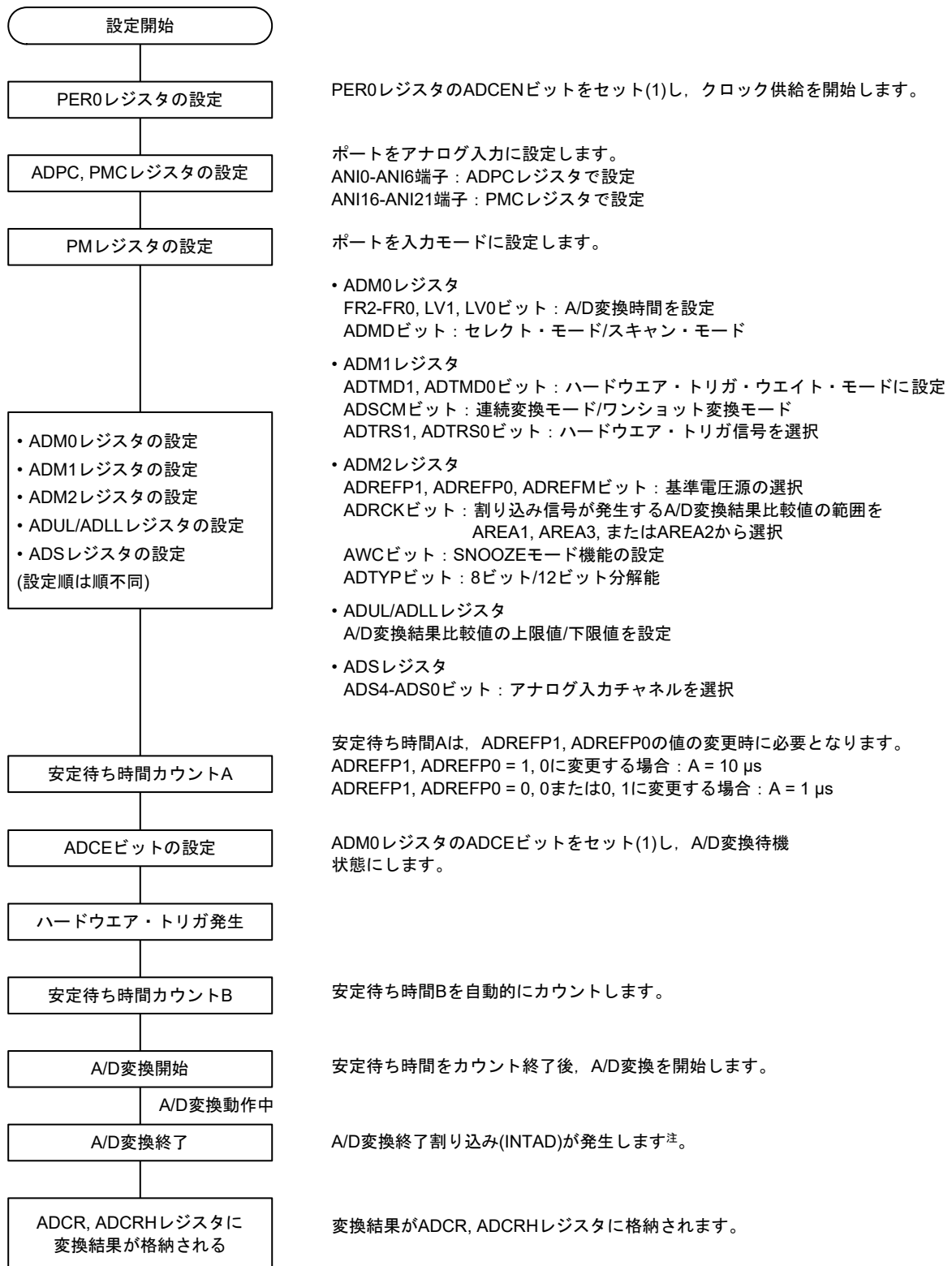


注 ADCR, ADCRHレジスタに結果は格納されません。

注 ADCR, ADCRHレジスタに結果は格納されません。

12.7.3 ハードウェア・トリガ・ウェイト・モード設定

図12-32 ハードウェア・トリガ・ウェイト・モード設定

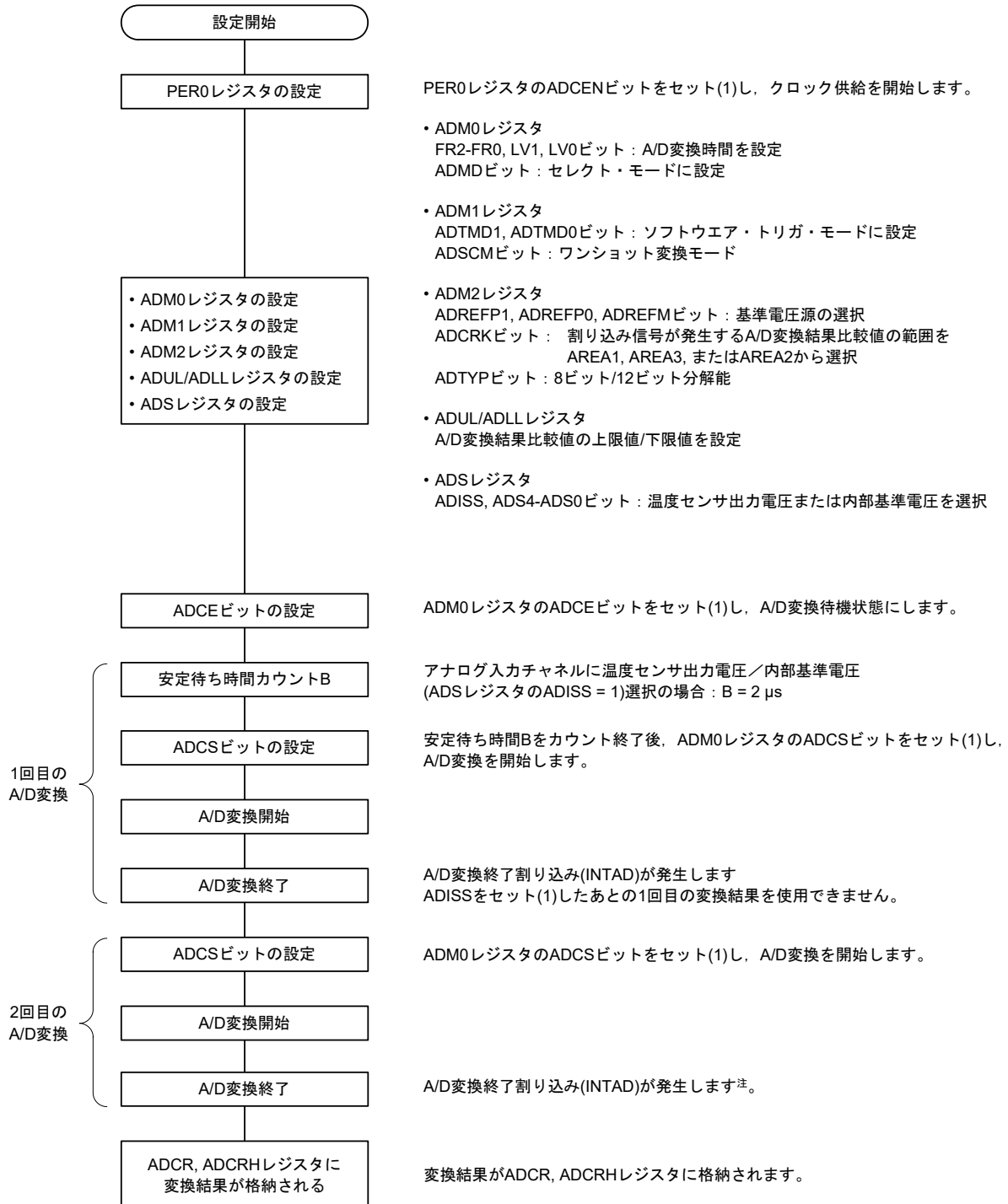


注 ADCRビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み信号(INTAD)が発生しない場合があります。
この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定

(例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図12-33 温度センサ出力電圧／内部基準電圧を選択時の設定



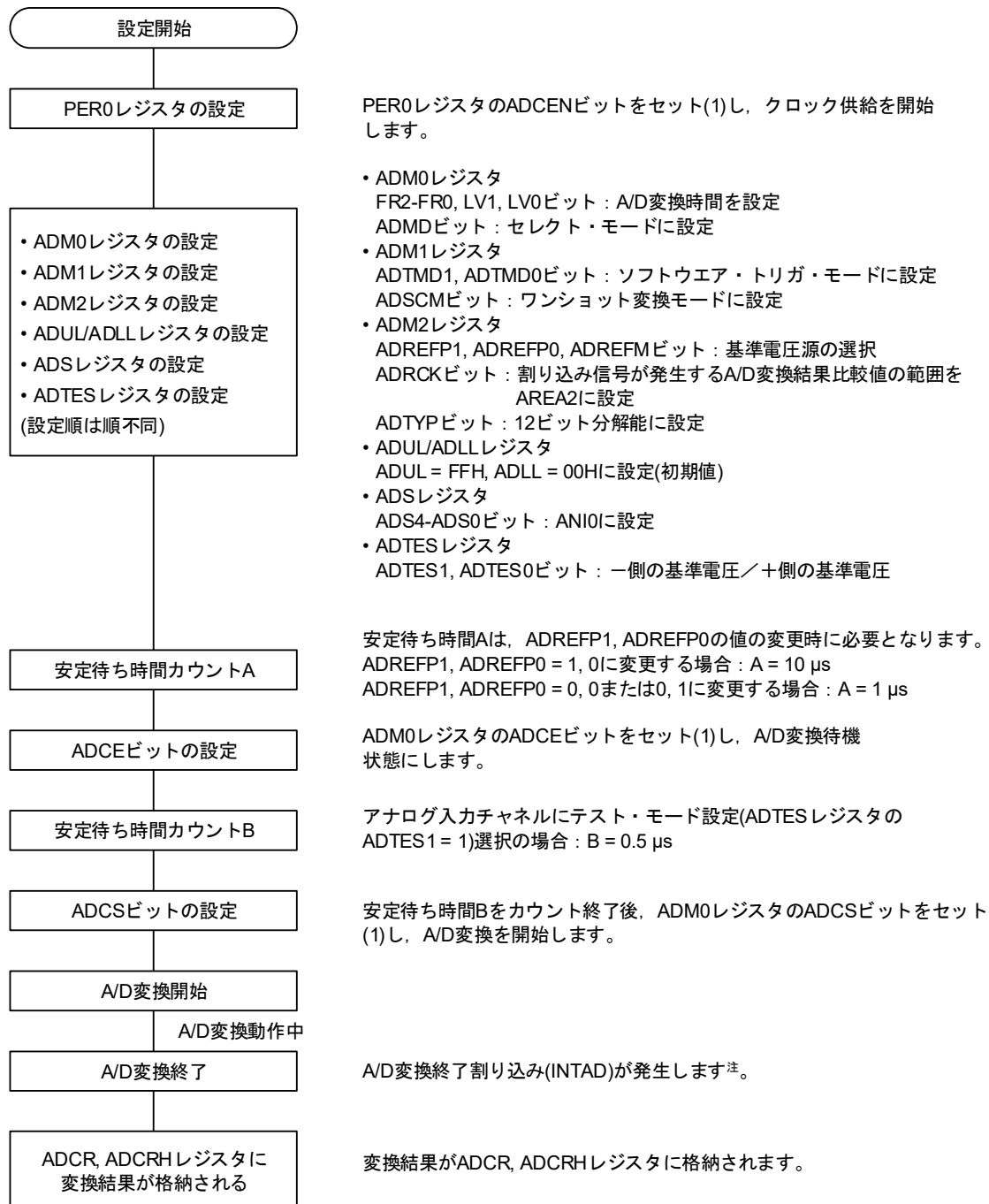
注 ADCRKビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み信号(INTAD)が発生しない場合があります。
この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 HS (高速メイン)モードでのみ選択可能です。

詳細は、図29-4 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマットを参照してください。

12.7.5 テスト・モード設定

図12-34 テスト・トリガ・モード設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み信号(INTAD)が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、27.3.8 A/Dテスト機能を参照してください。

12.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが、このモードを使うことで、ハードウェア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

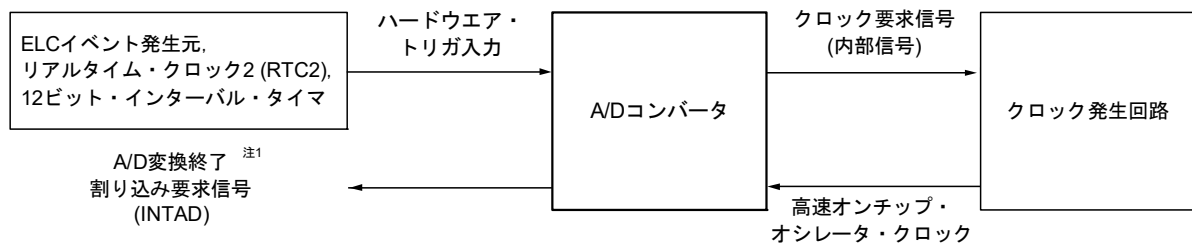
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ・ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)
- ・ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図12-35 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います(12.7.3ハードウェア・トリガ・ウエイト・モード設定を参照注2)。STOPモードへ移行する直前に、A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2 (AWC)に1を設定します。初期設定完了後、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット0 (ADCE)に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります注1。

注1. A/D変換結果比較機能の設定(ADRCKビット, ADUL/ADLLレジスタ)により、割り込み信号が発生しない場合があります。

注2. ADM1レジスタは必ずE1H, E2HまたはE3Hに設定してください。

備考1. ハードウェア・トリガは、ELCで選択されたイベント、またはINTRTC, INTITです。

INTRTCはELCイベント発生元または直接トリガとして使用できます。

備考2. ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1 (ADM1)で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲内の場合, A/D変換終了割り込み要求信号(INTAD)は発生します。

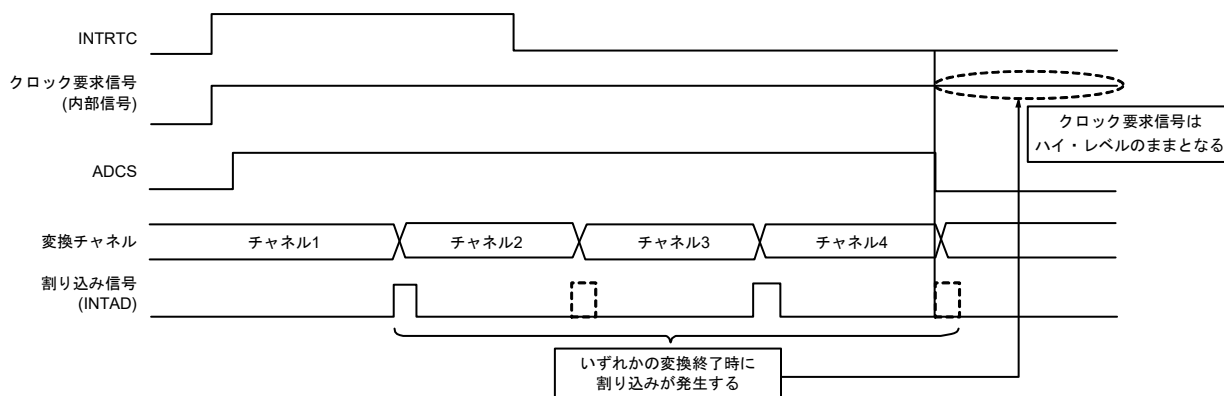
- セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号(INTAD)が発生すると, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0 : SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

- スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号(INTAD)が発生した場合, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0 : SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

図12 - 36 A/D変換終了後に割り込みが発生する場合の動作例(スキャン・モード時)



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲外の場合, A/D変換終了割り込み要求信号(INTAD)は発生しません。

- セレクト・モード時

A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, A/D変換終了後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, 4チャンネル分のA/D変換が終了した後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

図12 - 37 A/D変換終了後に割り込みが発生しない場合の動作例(スキャン・モード時)

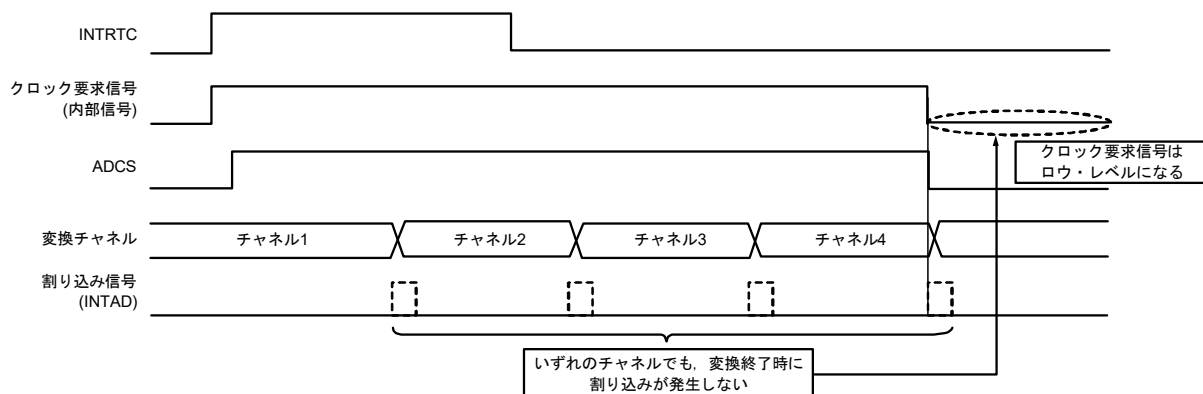
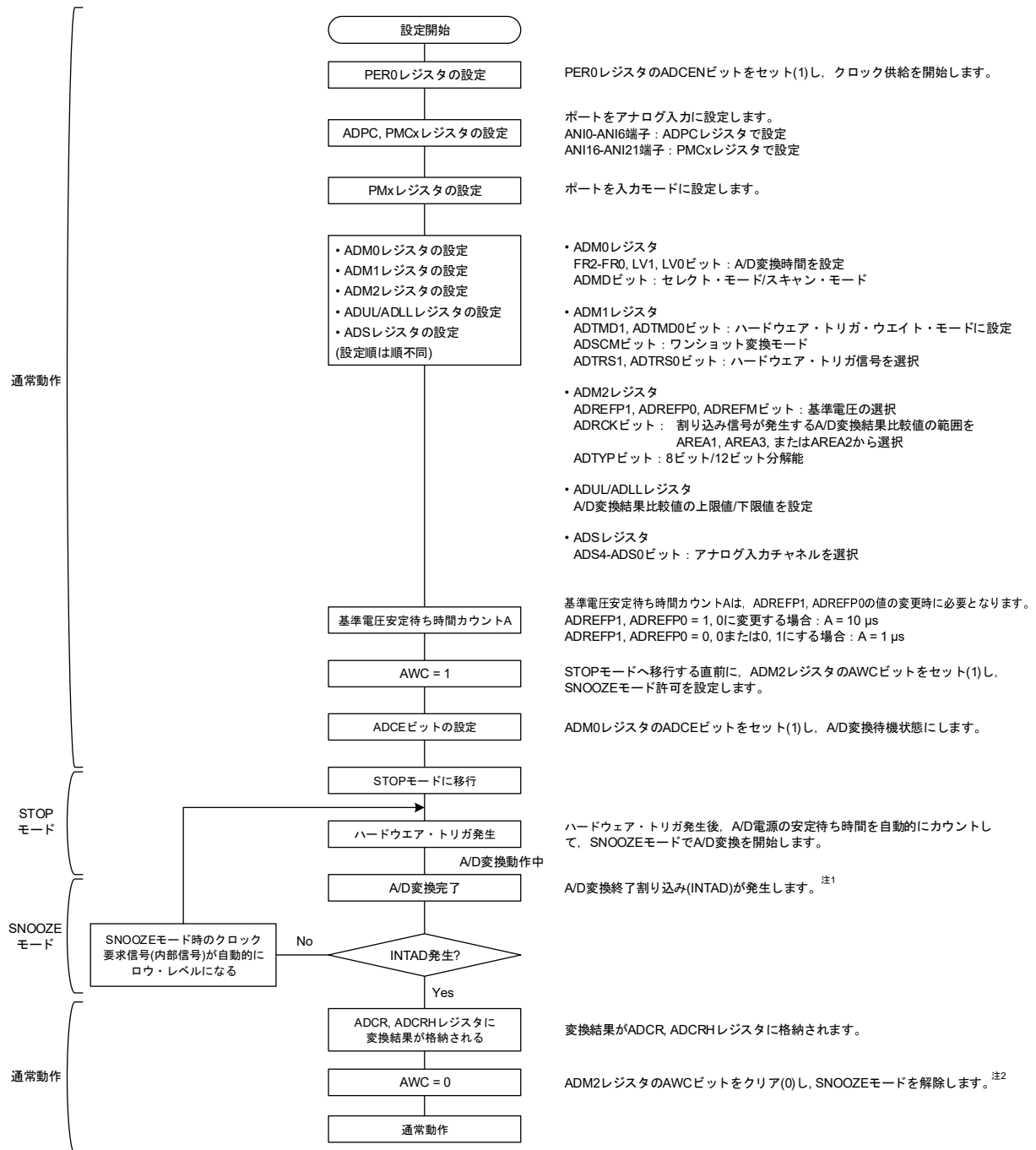


図12-38 SNOOZEモード設定のフローチャート



注1. ADRCKビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合、ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

12.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit)といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range)で表します。

分解能10ビットのとき

$$1 \text{ LSB} = 1/2^{12} = 1/4096 \\ = 0.00091 \%FSR$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12-39 総合誤差

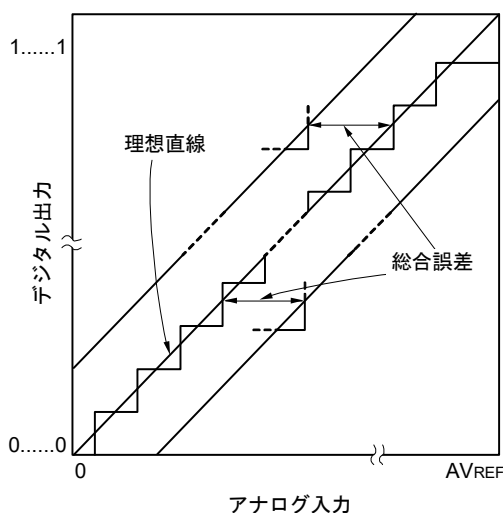
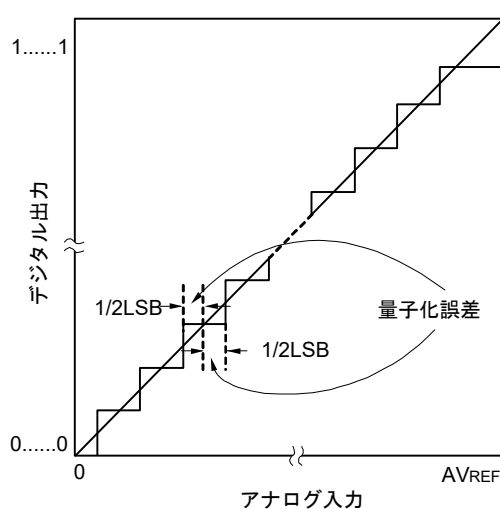


図12-40 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するとき、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するとき、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するとき、アナログ入力電圧の実測値と理論値(フルスケール-3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSB ですが、あるコードを出力する幅の実測値と理想値との差を表します。

図 12 - 41 ゼロスケール誤差

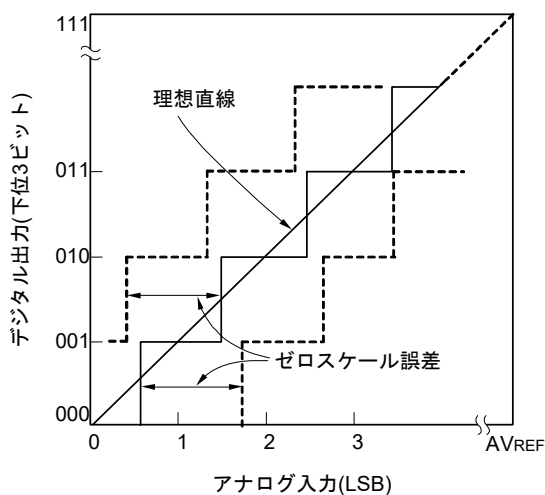


図 12 - 42 フルスケール誤差

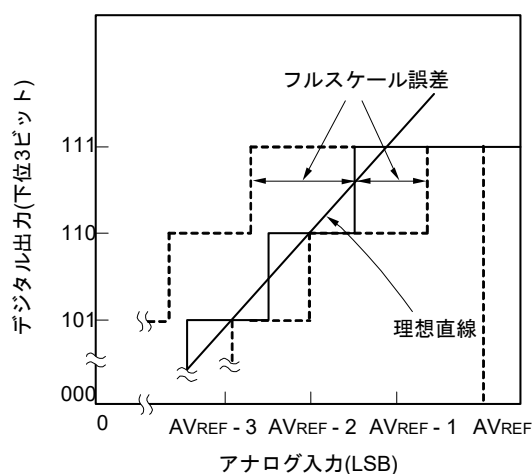


図12-43 積分直線性誤差

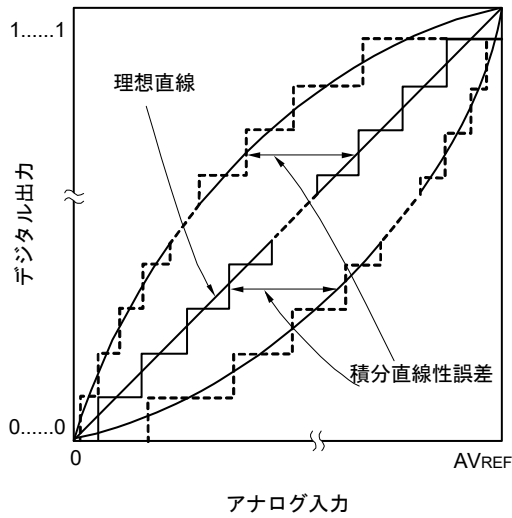
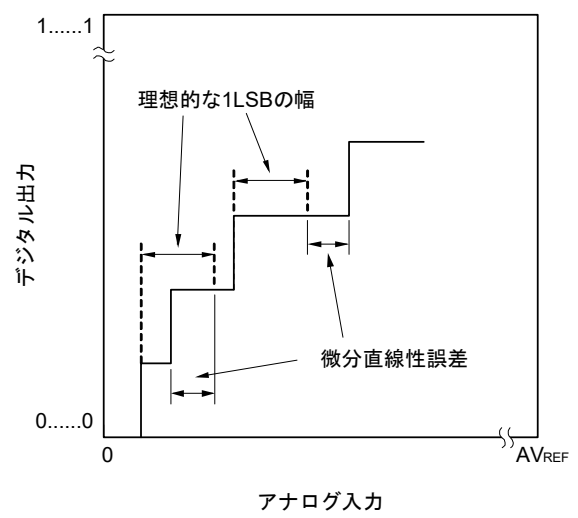


図12-44 微分直線性誤差



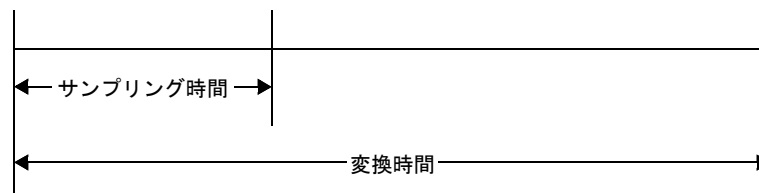
(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止(A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)を0)させてから移行してください。このときADM0レジスタのビット0 (ADCE)も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H (IF1H)のビット0 (ADIF)をクリア(0)してから、動作開始してください。

(2) ANI0-ANI6, ANI16-ANI21 端子入力範囲について

ANI0-ANI6, ANI16-ANI21 端子入力電圧は規格の範囲内でご使用ください。特にAVDD, AVREFPを超える電圧, AVSS, AVREFM未満(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧(1.45 V)を超える電圧を入れしないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧(1.45 V)を超える電圧になっていても問題ありません。

注意 内部基準電圧(1.45V)は、HS(高速メイン)モードでのみ選択可能です。

詳細は、図29-4 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマットを参照してください。

(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ(ADCR, ADCRH)へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

- ② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0 (ADM0)へのライト、アナログ入力チャネル指定レジスタ(ADS)またはA/Dポート・コンフィギュレーション・レジスタ(ADPC)へのライトの競合

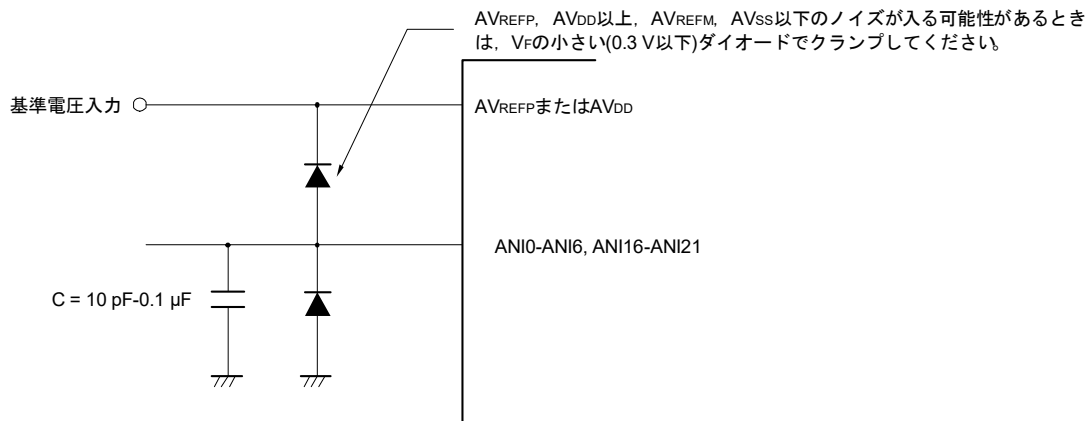
ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号(INTAD)も発生しません。

(4) ノイズ対策について

12ビット分解能を保つためには、AVREFP, AVDD, ANI0-ANI6, ANI16-ANI21 端子へのノイズに注意する必要があります。

- ① AVDD-AVSSは他の電源と分離し、AVDD-AVSS間に等価抵抗が小さく、周波数応答のよいコンデンサ(0.01 μ F程度)を最短かつ、比較的太い配線を使って接続してください。
- ② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-45のようにCを外付けすることを推奨します。
- ③ 変換中においては、他の端子とスイッチングしないようにしてください。
- ④ 変換開始直後にHALTモードに設定すると、精度が向上します。
- ⑤ デジタル信号とアナログ信号を交差させたり、近接させずに分離してください。

図12-45 アナログ入力端子の処理



(5) アナログ入力(ANIn)端子

- ① ANI0-ANI6端子(高精度チャネル)は、P150-P156端子と兼用になっています。

高精度チャネル(ANI0-ANI6端子)のいずれかを選択してA/D変換をする場合、変換中にP150-P156に対して出力値を変更しないでください。変換精度が低下することがあります。

- ② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが隣接する端子に入出力されないようにしてください。

(6) アナログ入力(ANIn)端子の入カインピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入カインピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 kΩ以下にしてください。出力インピーダンスが1 kΩ以下にできないときは、サンプリング時間を長く設定するか、ANI0-ANI6, ANI16-ANI21端子に0.1 μF程度のコンデンサを付けることを推奨します(図12-45参照)。

また、変換動作中にADCS = 0に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となり、ADCS = 0に設定した場合は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

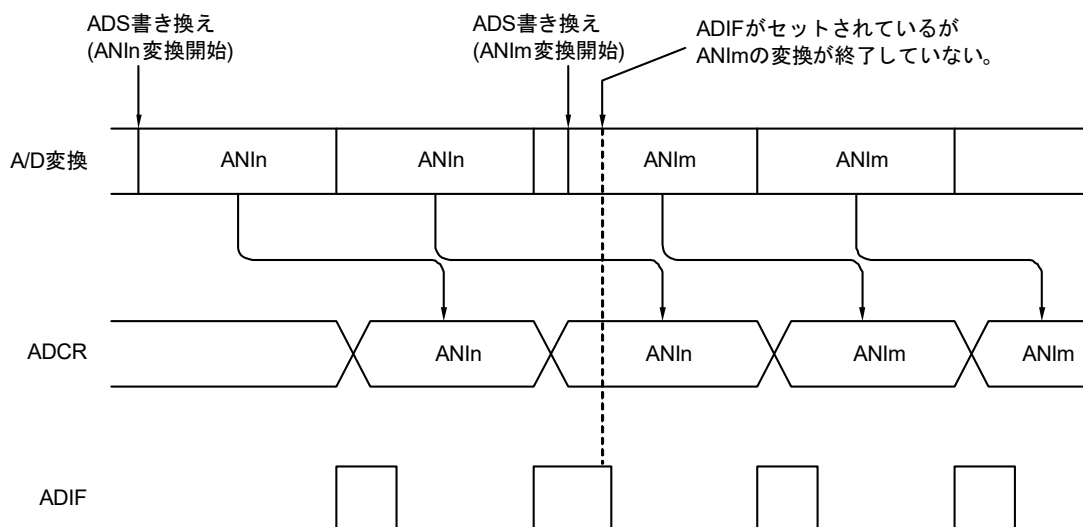
(7) 割り込み要求フラグ(ADIF)について

アナログ入力チャネル指定レジスタ(ADS)を変更しても割り込み要求フラグ(ADIF)はクリア(0)されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア(0)してください。

図12-46 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウェイト・モードでADCEビット = 1にしてから、安定待ち時間以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

[安定待ち時間]

アナログ入力チャンネルに高精度チャンネル選択の場合：0.5 μ s

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合：0.5 μ s

アナログ入力チャンネルに標準チャンネル選択の場合：2 μ s

アナログ入力チャンネルに温度センサ出力電圧/内部基準電圧(ADSレジスタのADISS = 1)選択の場合：2 μ s

(9) A/D変換結果レジスタ(ADCR, ADCRH)の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャンネル指定レジスタ(ADS), A/Dポート・コンフィギュレーション・レジスタ(ADPC), ポート・モード・コントロール・レジスタ(PMCx)に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC, PMCxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 47 ANIn 端子内部等価回路

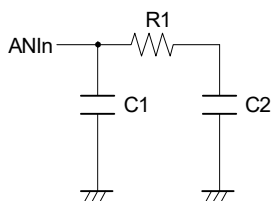


表12 - 7 等価回路の各抵抗と容量値(参考値)

AVDD, AVREFP	ANIn 端子	R1[kΩ]	C1[pF]	C2[pF]
$2.4\text{ V} \leq \text{AVDD} \leq 3.6\text{ V}$	ANI0-ANI6	7.4	8	6.3
	ANI16-ANI21	12.3	8	7.4
$1.8\text{ V} \leq \text{AVDD} \leq 3.6\text{ V}$	ANI0-ANI6	11	8	6.3
	ANI16-ANI21	41	8	7.4
$1.6\text{ V} \leq \text{AVDD} \leq 3.6\text{ V}$	ANI0-ANI6	510	8	6.3
	ANI16-ANI21	650	8	7.4

備考 表12 - 7の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, AVDDの電圧が安定してから開始してください。

(12) A/D電圧コンパレータ動作時に、AVDDは常にVDDと同電位としてください。

第13章 D/Aコンバータ

13.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ信号に変換する8ビット分解能のコンバータで、2チャンネル(ANO0, ANO1)のアナログ出力を制御できます。

D/Aコンバータには、次のような機能があります。

○8ビット分解能 × 2ch

○R-2R ラダー方式

○アナログ出力電圧

- 8ビット分解能 : $V_{DD} \times m8/256$ (m8 : DACSiレジスタに設定した値)

○動作モード

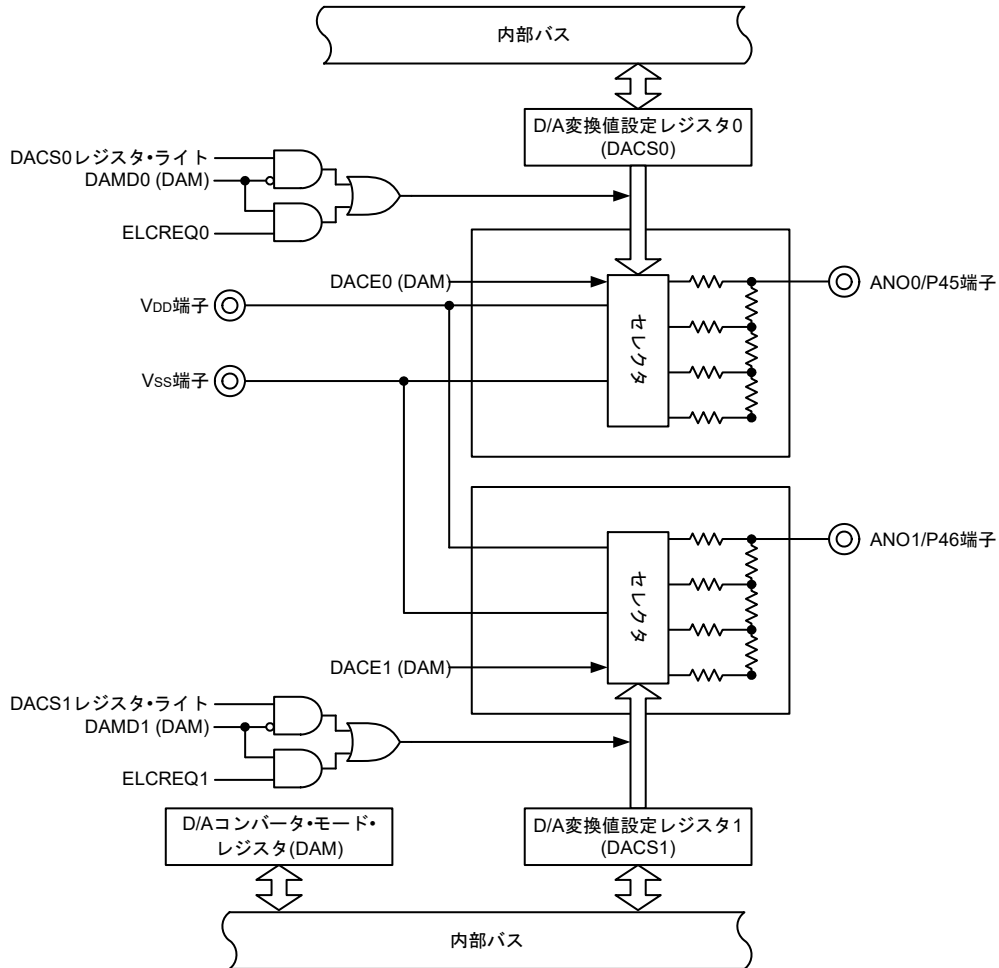
- 通常モード
- リアルタイム出力モード

備考 $i = 0, 1$

13.2 D/Aコンバータの構成

図13 - 1にD/Aコンバータのブロック図をに示します。

図13 - 1 D/Aコンバータのブロック図



備考 ELCREQ0, ELCREQ1は、リアルタイム出力モードに使用するトリガ信号(ELCからのリクエスト信号)です。

13.3 D/Aコンバータを制御するレジスタ

D/Aコンバータは、次のレジスタで制御します。

- ポート・モード・コントロール・レジスタ4 (PMC4)
- 周辺イネーブル・レジスタ1 (PER1)
- D/Aコンバータ・モード・レジスタ (DAM)
- D/A変換値設定レジスタ0, 1 (DACS0, DACS1)
- ポート・モード・レジスタ4 (PM4)

13.3.1 ポート・モード・コントロール・レジスタ4 (PMC4)

ANO0/P45-ANO1/P46のデジタル入出力／アナログ入出力を1ビット単位で設定するレジスタです。

PMC4レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-2 ポート・モード・コントロール・レジスタ4 (PMC4)のフォーマット

アドレス : F0064H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC4	0	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	0
PMC4n	P4n端子のデジタル入出力／アナログ入出力の選択 (n = 1-6)							
0	デジタル入出力 (アナログ入出力以外の兼用機能)							
1	アナログ入出力							

13.3.2 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用する場合は、必ずビット0 (DACEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1レジスタは00Hになります。

図13-3 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CMPEN	TKB20EN	DTCEN	0	0	DACEN

DACEN	D/Aコンバータの入カクロックの制御
0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ・ D/Aコンバータはリセット状態
1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード/ライト可

注意1. D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。

DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ4 (PM4)、ポート・レジスタ4 (P4)は除く)。

注意2. ビット6, 2, 1には必ず"0"を設定してください。

13.3.3 D/Aコンバータ・モード・レジスタ (DAM)

D/Aコンバータの動作を制御するレジスタです。

DAMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-4 D/Aコンバータ・モード・レジスタ (DAM)のフォーマット

アドレス : FFF76H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DAM	0	0	DACE1	DACE0	0	0	DAMD1	DAMD0
DACEi	D/Aコンバータの変換動作の制御							
0	D/A変換動作停止							
1	D/A変換動作許可							
DAMD _i	D/Aコンバータの動作モードの選択							
0	通常動作モード							
1	リアルタイム出力モード							

備考 i = 0, 1

13.3.4 D/A変換値設定レジスタ_i (DACS_i) (i = 0, 1)

D/Aコンバータを使用する場合、ANO0、ANO1端子に出力するアナログ電圧値を設定するレジスタです。

DACS_iレジスタは、8ビット・メモリ操作命令で設定します。

リセットにより、00Hになります。

図13-5 D/A変換値設定レジスタ_i (DACS_i) (i = 0, 1)のフォーマット

アドレス : FFF74H (DACS0), FFF75H (DACS1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DACS _i	DACS _i 7	DACS _i 6	DACS _i 5	DACS _i 4	DACS _i 3	DACS _i 2	DACS _i 1	DACS _i 0

備考 D/Aコンバータのアナログ出力電圧(VANO_i)は、次のようになります。

$$VANO_i = \text{D/Aコンバータ用基準電圧} \times (\text{DACS}_i) / 256$$

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDACE_iビットを0(出力禁止)にし、DACS_iレジスタを00Hにして、R-2Rの抵抗に電流が流れないようにしてください。

13.3.5 ポート・モード・レジスタ4 (PM4)

ANO0/P45, ANO1/P46端子をアナログ出力ポートとして使用するとき、PM45, PM46ビットにそれぞれ1を設定してください。

PM45, PM46ビットにそれぞれ0を設定した場合は、アナログ入出力ポートとして使用することはできません。

PM4レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図13-6 ポート・モード・レジスタ4 (PM4)のフォーマット

アドレス : FFF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	0	PM46	PM45	PM44	PM43	PM42	PM41	PM40
PM4n	P4n端子の入出力モードの選択 (n = 0-6)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

ANO0/P45, ANO1/P46端子の機能は、ポート・モード・コントロール・レジスタ4 (PMC4), D/Aコンバータ・モード・レジスタ (DAM), PM4レジスタの設定で決定します。

表13-1 ANO0/P45, ANO1/P46端子機能の設定

PMC4	PM4	DAM	ANO0/P45, ANO1/P46端子機能
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入出力選択	入力モード	D/A変換動作許可	アナログ出力
		D/A変換動作停止	アナログ出力(ハイインピーダンス出力)
	出力モード	D/A変換動作許可	設定禁止
		D/A変換動作停止	

13.4 D/Aコンバータの動作

13.4.1 通常モード時の動作

DACSiレジスタへのライト動作を起動トリガとして、D/A変換を行います。

以下にその設定動作を示します。

- ①PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ②PMC4レジスタ(ポート・モード・コントロール・レジスタ4)とPM4レジスタ(ポート・モード・レジスタ4)でアナログ出力に設定します。
- ③DAMレジスタ(D/Aコンバータ・モード・レジスタ)のDAMDiビットを0(通常モード)に設定します。
- ④DACSiレジスタ(D/A変換値設定レジスタi)に、ANOi端子出力するアナログ電圧値を設定します。

以上①～④を初期設定として行います。

- ⑤DAMレジスタのDACEiビットを1(D/A変換動作許可)に設定します。

これによりD/A変換を開始し、セトリング・タイム経過後、ANOi端子に④にて設定したアナログ電圧を出力します。

- ⑥以降、D/A変換を行う場合は、DACSiレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

また、DAMレジスタのDACEiビット=0(D/A変換動作停止)に設定すると、D/A変換を停止します。

注意1. DACEiビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、ANOi端子にDACSiレジスタにて設定したアナログ電圧を出力します。

注意2. セトリング・タイム中にDACSiレジスタを書き換えた場合、変換を中断し、書き換えた値で変換を再開します。

備考. i = 0, 1

13.4.2 リアルタイム出力モード時の動作

D/Aコンバータの各チャンネルはELCからのイベント信号を起動トリガとして、D/A変換を行います。

以下に、その設定方法を示します。

- ①PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ②PMC4レジスタ(ポート・モード・コントロール・レジスタ4)とPM4レジスタ(ポート・モード・レジスタ4)でアナログ出力に設定します。
- ③DAMレジスタ(D/Aコンバータ・モード・レジスタ)のDAMD_iビットを0(通常モード)に設定します。
- ④DACS_iレジスタ(D/A変換値設定レジスタ_i)に、ANO_i端子出力するアナログ電圧値を設定します。
- ⑤DAMレジスタのDACE_iビットを1(D/A変換動作許可)に設定します。
これによりD/A変換を開始し、セtring・タイム経過後、ANO_i端子に④にて設定したアナログ電圧を出力します。
- ⑥イベント出力先選択レジスタ_n(ELSELR_n, n = 00~25)で、リアルタイム出力モードに使用するトリガ信号を設定します。
- ⑦DAMレジスタのDAMD_iビットを1(リアルタイム出力モード)に設定します。
- ⑧イベント発生元の動作を開始します。

以上①~⑧を初期設定として行います。

- ⑨以降、リアルタイム出力モードに使用するトリガ信号の発生により、D/A変換を開始し、セtring・タイム経過後、ANO_i端子に④にて設定したアナログ電圧を出力します。

なお、次のD/A変換を行う(リアルタイム出力モードに使用するトリガ信号の発生)前までにANO_i端子に出力するアナログ電圧値をDACS_iレジスタに設定します。

なお、次のD/A変換を行う(リアルタイム出力モードに使用するトリガ信号の発生)前までに、DACS_iレジスタに、ANO_i端子に出力するアナログ電圧値を設定してください。

また、DAMレジスタのDACE_iビット=0(D/A変換動作停止)に設定すると、D/A変換を停止します。

注意1. DACE_iビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セtring・タイム経過後、ANO_i端子にDACS_iレジスタにて設定したアナログ電圧を出力します。

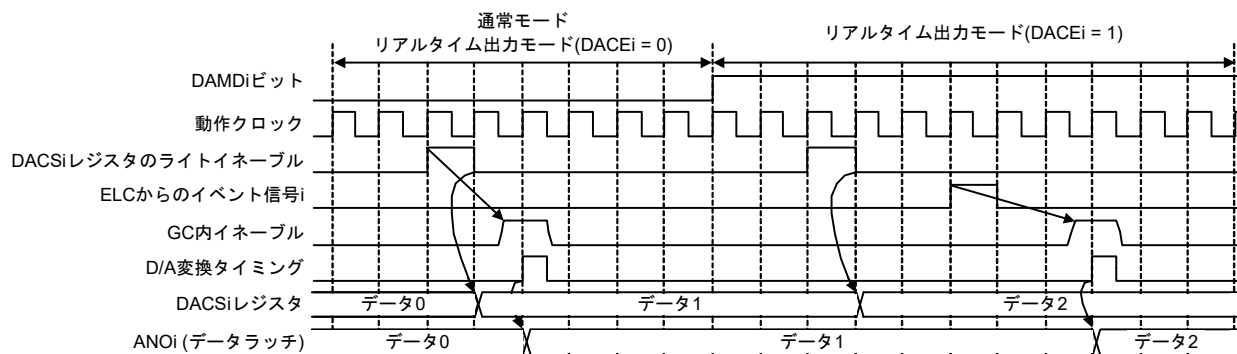
注意2. 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、セtring・タイムよりも長くしてください。セtring・タイム中にリアルタイム出力モードに使用するトリガ信号が発生した場合、D/A変換を中断し、再変換を開始します。

注意3. 同一チャンネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、fCLKの3クロックより長くしてください。fCLKの3クロック以下の間隔で連続して起動トリガを発生させると、最初のトリガでのみD/A変換をします。

13.4.3 D/A変換値の出カタイミング

図13-7にD/A変換値の出カタイミングを示します。

図13-7 D/A変換値の出カタイミング



備考 $i = 0, 1$

- 通常動作モードおよびリアルタイム出力モード(変換動作不許可時)
DACSiレジスタへのライトの1周期後(動作クロック)にデータラッチヘライト(ANOi端子から出力)
- リアルタイム出力モード(変換動作許可時)
ELCからのイベント信号の受け付けから3周期後(動作クロック)にデータラッチヘライト(ANOi端子から出力)

13.5 D/Aコンバータ使用上の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。

- (1) HALTモード時とSTOPモード時に、D/Aコンバータの動作は継続します。消費電力を低減させるためには、DACEiビットを0にクリアし、D/A変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

備考 $i = 0, 1$

- (2) リアルタイム出力モードを停止する場合(通常モードへ変更する場合を含む)には以下のいずれかの手順で行う必要があります。
 - トリガ出力元を停止させてから3クロック以上待つてからDACEiビットおよびDAMD_iビットを0にする。
 - DACEiビットおよびDAMD_iビットを0にした後、PER1レジスタのDACENビットを0にする。(DAC停止)
なお、DACENビットを0にした場合、DAC内部の全レジスタがクリアされるため再度動作させる場合は各SFRの設定が必要となります
- (3) リアルタイム出力モード時は、リアルタイム出力モードに使用するトリガ信号が発生する前までに DACSiレジスタ値を設定するようにしてください。またトリガ信号が出ている間に DACSiレジスタの設定値を変更しないでください。
- (4) D/Aコンバータの出カインピーダンスが高いため、ANO0、ANO1端子から電流を取り出すことはできません。負荷の入カインピーダンスが低い場合には、負荷とANO0、ANO1端子の間にフォロアアンプを挿入して使用してください。また、フォロアアンプや負荷までの配線は極力短くするようにしてください(出カインピーダンスが高いため)。配線が長くなるような場合は、グランド・パターンで囲むなどの処置をしてください。
- (5) リアルタイム出力モード有効時にSTOP状態に入る場合は、STOPモードに入る前にELCのイベントリンクを禁止にしてください。

第14章 コンパレータ

表14-1に製品ごとの端子構成を示します。

表14-1 コンパレータの端子構成

	100ピン製品	80/85ピン製品
VCOUT0, IVCMP0, IVREF0	○	○
VCOUT1, IVCMP1, IVREF1	○	—

14.1 コンパレータの機能

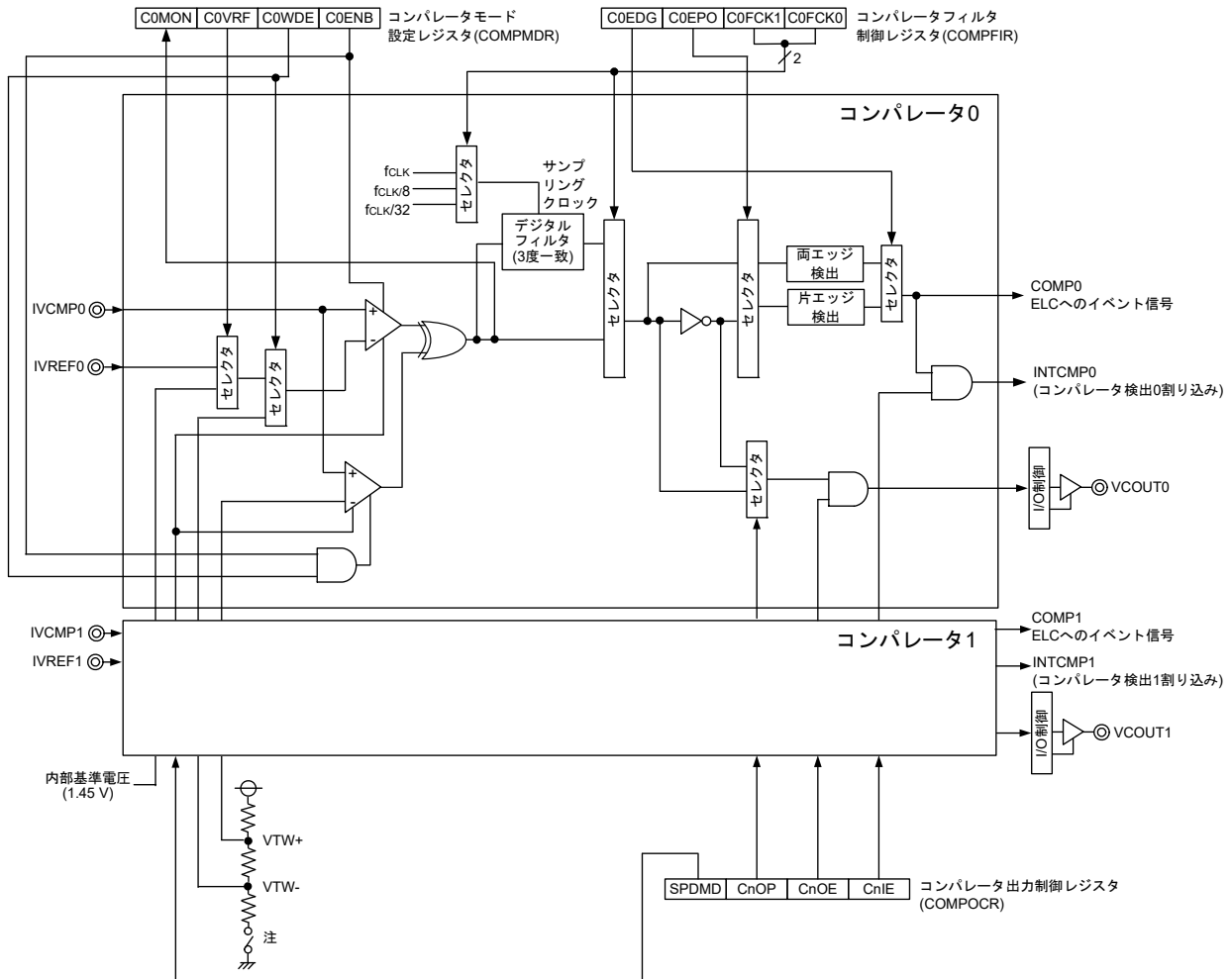
コンパレータには、次のような機能があります。

- コンパレータ高速モード/コンパレータ低速モード/コンパレータウィンドウモードが選択できます。
- 基準電圧には外部基準電圧入力と内部基準電圧が選択できます。
- ノイズ除去デジタルフィルタの除去幅が選択できます。
- コンパレータ出力の有効エッジを検出し、割り込み信号を発生できます。
- コンパレータ出力の有効エッジを検出し、イベントリンクコントローラ(ELC)へイベント信号を出力できます。

14.2 コンパレータの構成

図14-1にコンパレータのブロック図を示します。

図14-1 コンパレータのブロック図



注 C0WDEビット、C1WDEビットのいずれか一方又は両方を1にすると、このスイッチはONになり、比較電圧発生用分割抵抗が有効になります。

備考 n = 0, 1

14.3 レジスタの説明

表14-2にコンパレータのレジスタ構成を示します。

表14-2 コンパレータのレジスタ構成

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
コンパレータモード設定レジスタ	COMPMDR
コンパレータフィルタ制御レジスタ	COMPFIR
コンパレータ出力制御レジスタ	COMPOCR
ポート・モード・コントロール・レジスタ4	PMC4
ポート・モード・レジスタ1	PM1
ポート・モード・レジスタ4	PM4
ポート・レジスタ1	P1
ポート・レジスタ4	P4

14.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは、必ずビット5 (CMPEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-2 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CMPEN	TKB20EN	DTCEN	0	0	DACEN

CMPEN	コンパレータの入カクロックの制御
0	入カクロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータはリセット状態
1	入カクロック供給 ・コンパレータで使用するSFRへのリード/ライト可

注意1. コンパレータの設定をする際には、必ず最初にCMPEN = 1の設定を行ってください。

CMPEN = 0の場合は、コンパレータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ1, 4 (PM1, PM4), ポート・レジスタ1, 4 (P1, P4), ポート・モード・コントロール・レジスタ (PMC4)は除く)。

注意2. ビット6, 2, 1には必ず"0"を設定してください。

14.3.2 コンパレータモード設定レジスタ (COMPMDR)

図 14 - 3 コンパレータモード設定レジスタ (COMPMDR)のフォーマット

アドレス : F0340H リセット時 : 00H R/W注1

略号	7	6	5	4	3	2	1	0
COMPMDR	C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB
C1MON	コンパレータ1モニタフラグ注1,4							
0	基本モード時 : IVCMP1 < コンパレータ1リファレンス電圧 または コンパレータ1停止 ウィンドウモード時 : IVCMP1 < 低電圧側リファレンス または IVCMP1 > 高電圧側リファレンス							
1	基本モード時 : IVCMP1 > コンパレータ1リファレンス電圧 ウィンドウモード時 : 低電圧側リファレンス < IVCMP1 < 高電圧側リファレンス							
C1VRF	コンパレータ1リファレンス電圧選択注2,5,6,7							
0	コンパレータ1リファレンス電圧はIVREF1入力							
1	コンパレータ1リファレンス電圧は内部基準電圧(1.45 V)							
C1WDE	コンパレータ1ウィンドウモード選択注3							
0	コンパレータ1基本モード							
1	コンパレータ1ウィンドウモード							
C1ENB	コンパレータ1動作許可							
0	コンパレータ1動作禁止							
1	コンパレータ1動作許可							

注1. このビットに書き込まれた値は無視されます。

注2. 基本モード選択時のみ有効です。ウィンドウモードでは、本ビットの設定に関わらずコンパレータ内のリファレンス電圧が選択されます。

注3. 低速モード選択時(COMPOCRレジスタのSPDMDビットが0)はウィンドウモードにできません。

注4. リセット解除直後は初期値"0"ですが、一度コンパレータを動作許可にした後にC0ENB = 0かつC1ENB = 0の設定にすると値は不定となります。

注5. HS (高速メイン)モードの時に内部基準電圧(1.45 V)が選択可能です。また、HS (高速メイン)モードの時で内部基準電圧(1.45 V)を選択している場合は、A/Dコンバータで、温度センサ出力電圧をA/D変換することはできません。

注6. STOPモード時は内部基準電圧を選択しないでください。

注7. CPUクロックにサブシステム・クロック (fSUB)を選択し、高速システムクロック (fMX)と高速オンチップ・コンパレータ・クロック (fHOCO)が共に停止している場合は、内部基準電圧を選択しないでください。

COMON	コンパレータ0モニタフラグ注1,4
0	基本モード時： IVCMP0 < コンパレータ0リファレンス電圧 または コンパレータ0停止 ウィンドウモード時： IVCMP0 < 低電圧側リファレンス または IVCMP0 > 高電圧側リファレンス
1	基本モード時： IVCMP0 > コンパレータ0リファレンス電圧 ウィンドウモード時： 低電圧側リファレンス < IVCMP0 < 高電圧側リファレンス

COVRF	コンパレータ0リファレンス電圧選択注2,5,6,7
0	コンパレータ0リファレンス電圧はIVREF0入力
1	コンパレータ0リファレンス電圧は内部基準電圧(1.45 V)

COWDE	コンパレータ0ウィンドウモード選択注3
0	コンパレータ0基本モード
1	コンパレータ0ウィンドウモード

COENB	コンパレータ0動作許可
0	コンパレータ0動作禁止
1	コンパレータ0動作許可

- 注1. このビットに書き込まれた値は無視されます。
- 注2. 基本モード選択時のみ有効です。ウィンドウモードでは、本ビットの設定に関わらずコンパレータ内のリファレンス電圧が選択されます。
- 注3. 低速モード選択時(COMPOCRレジスタのSPDMDビットが0)はウィンドウモードにできません。
- 注4. リセット解除直後は初期値"0"ですが、一度コンパレータを動作許可にした後にCOENB = 0かつC1ENB = 0の設定にすると値は不定となります。
- 注5. HS (高速メイン)モードの時に内部基準電圧(1.45 V)が選択可能です。また、HS (高速メイン)モードの時に内部基準電圧(1.45 V)を選択している場合は、A/Dコンバータで、温度センサ出力電圧をA/D変換することはできません。
- 注6. STOPモード時は内部基準電圧を選択しないでください。
- 注7. CPUクロックにサブシステム・クロック(fSUB)を選択し、高速システムクロック(fMX)と高速オンチップ・オシレータ・クロック(fHOCO)が共に停止している場合は、内部基準電圧を選択しないでください。

14.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)

図 14 - 4 コンパレータフィルタ制御レジスタ (COMPFIR)のフォーマット

アドレス : F0341H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0
C1EDG	コンパレータ1エッジ検出選択 ^{注1}							
0	コンパレータ1片エッジ検出での割り込み要求							
1	コンパレータ1両エッジ検出での割り込み要求							
C1EPO	コンパレータ1エッジ極性切り替え ^{注1}							
0	コンパレータ1立ち上がりエッジで割り込み要求							
1	コンパレータ1立ち下がりエッジで割り込み要求							
C1FCK1	C1FCK0	コンパレータ1フィルタ選択 ^{注1}						
0	0	コンパレータ1フィルタなし						
0	1	コンパレータ1フィルタあり, fCLKでサンプリング						
1	0	コンパレータ1フィルタあり, fCLK/8でサンプリング						
1	1	コンパレータ1フィルタあり, fCLK/32でサンプリング						
C0EDG	コンパレータ0エッジ検出選択 ^{注2}							
0	コンパレータ0片エッジ検出での割り込み要求							
1	コンパレータ0両エッジ検出での割り込み要求							
C0EPO	コンパレータ0エッジ極性切り替え ^{注2}							
0	コンパレータ0立ち上がりエッジで割り込み要求							
1	コンパレータ0立ち下がりエッジで割り込み要求							
C0FCK1	C0FCK0	コンパレータ0フィルタ選択 ^{注2}						
0	0	コンパレータ0フィルタなし						
0	1	コンパレータ0フィルタあり, fCLKでサンプリング						
1	0	コンパレータ0フィルタあり, fCLK/8でサンプリング						
1	1	コンパレータ0フィルタあり, fCLK/32でサンプリング						

注1. C1FCK1 - C1FCK0ビット, C1EPOビット, C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR19レジスタを0(コンパレータ1出力をリンクさせない), 強制出力停止機能制御レジスタnp (TKBPACTLnp, n = 0, 1, 2, p = 0, 1)のビット15~12, 6~4を0にしてから変更してください。また、割り込み要求フラグ・レジスタ2L (IF2L)のビット7 (CMPIF1)をクリア(0)してください。

また、C1FCK1 - C1FCK0ビットを00B(コンパレータ1フィルタなし)から00B以外(コンパレータ1フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ1割り込み要求やELCへのイベント信号を使用してください。

- 注2. C0FCK1 - C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは, ELCのELSELR18レジスタを0(コンパレータ1出力をリンクさせない), 強制出力停止機能制御レジスタnp (TKBPACTLnp, n = 0, 1, 2, p = 0, 1)のビット15~12, 6~4を0にしてから変更してください。また, 割り込み要求フラグ・レジスタ2L (IF2L)のビット6 (CMPIF0)をクリア(0)してください。
- また, C0FCK1 - C0FCK0ビットを00B(コンパレータ0フィルタなし)から00B以外(コンパレータ0フィルタあり)に変更した場合は, フィルタ出力が更新されるまでのサンプリング4回を経過した後に, コンパレータ0割り込み要求やELCへのイベント信号を使用してください。

14.3.4 コンパレータ出力制御レジスタ (COMPOCR)

図 14 - 5 コンパレータ出力制御レジスタ (COMPOCR)のフォーマット

アドレス : F0342H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
SPDMD	コンパレータ速度選択 ^{注1}							
0	コンパレータ低速モード							
1	コンパレータ高速モード							
C1OP	VCOUT1出力極性選択							
0	コンパレータ1出力をVCOUT1へ出力							
1	コンパレータ1出力の反転をVCOUT1へ出力							
C1OE	VCOUT1端子出力許可							
0	コンパレータ1のVCOUT1端子出力禁止							
1	コンパレータ1のVCOUT1端子出力許可							
C1IE	コンパレータ1割り込み要求許可 ^{注2}							
0	コンパレータ1割り込み要求禁止							
1	コンパレータ1割り込み要求許可							
C0OP	VCOUT0出力極性選択							
0	コンパレータ0出力をVCOUT0へ出力							
1	コンパレータ0出力の反転をVCOUT0へ出力							
C0OE	VCOUT0端子出力許可							
0	コンパレータ0のVCOUT0端子出力禁止							
1	コンパレータ0のVCOUT0端子出力許可							
C0IE	コンパレータ0割り込み要求許可 ^{注3}							
0	コンパレータ0割り込み要求禁止							
1	コンパレータ0割り込み要求許可							

注1. SPDMDビットを書き換える場合は、必ずCOMPMDRレジスタのCiENBビット(i = 0, 1)を0にしてから書き換えてください。

注2. C1IEを0(割り込み要求禁止)から1(割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ2L(IF2L)のビット7(CMPIF1)が1(割り込み要求あり)になることがありますので、割り込み要求フラグ・レジスタ2L(IF2L)のビット7(CMPIF1)をクリア(0)してから割り込みを使用してください。

注3. C0IEを0(割り込み要求禁止)から1(割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ2L(IF2L)のビット6(CMPIF0)が1(割り込み要求あり)になることがありますので、割り込み要求フラグ・レジスタ2L(IF2L)のビット6(CMPIF0)をクリア(0)してから割り込みを使用してください。

14.3.5 ポート・モード・コントロール・レジスタ4 (PMC4)

P41-P46のデジタル入出力/アナログ入出力を1ビット単位で設定するレジスタです。

PMC4レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-6 ポート・モード・コントロール・レジスタ4 (PMC4)のフォーマット

アドレス : F0064H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC4	0	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	0
PMC4n	P4n端子のデジタル入出力/アナログ入出力の選択 (n = 1-6)							
0	デジタル入出力(アナログ入出力以外の兼用機能)							
1	アナログ入出力							

14.3.6 ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

VCOOUT0/P11, VCOOUT1/P12 端子をコンパレータ出力機能として使用するとき、PM11, PM12 ビットおよびP11, P12の出力ラッチに0を設定してください。

PM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図14-7 ポート・モード・レジスタ1 (PM1)のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
PM1n	P1n端子の入出力モードの選択 (n = 0-7)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

14.3.7 ポート・モード・レジスタ4 (PM4)

IVREF1/P41, IVCMP1/P42, IVCMP0/P43, IVREF0/P44 端子をアナログ入力ポートとして使用するとき、PM41-PM44ビットにそれぞれ1を設定してください。このときP41-P44の出カラッチは、0または1のどちらでもかまいません。

PM41-PM44ビットにそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM4レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。

図14-8 ポート・モード・レジスタ4 (PM4)のフォーマット

アドレス : FFF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	0	PM46	PM45	PM44	PM43	PM42	PM41	0
PM4n	P4n端子の入出力モードの選択 (n = 1-6)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

14.4 動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。設定方法と動作は同じです。表14-3にコンパレータ関連レジスタの設定手順を示します。

表14-3 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	PER1	CMPEN	1 (入力クロック供給)
2	PMC4	PMC4n	IVCMPi, IVREFi端子の機能選択 PMC4nビットに1 (アナログ入力) PM4nビットに1 (入力モード) 「14.3.5 ポート・モード・コントロール・レジスタ4 (PMC4)」, 「14.3.7 ポート・モード・レジスタ4 (PM4)」参照
	PM4	PM4n	
3	COMPOCR	SPDMD	コンパレータ応答速度の選択(0:低速モード/1:高速モード)注1
4	COMPMDR	CiWDE	0 (基本モード) 1 (ウィンドウモード)注2
		CiVRF	0 (リファレンス = IVREFi 入力) 1 (リファレンス = 内部基準電圧(1.45 V))注4
		CiENB	1 (動作許可)
5	コンパレータ安定時間(最大100μs)待ち		
6	COMPFIR	CiFCK1 - CiFCK0	デジタルフィルタ使用する/しない, サンプリングクロック選択
		CiEOP, CiEDG	割り込み要求のためのエッジ検出条件選択(立ち上がり/立ち下がり/両エッジ)
7	COMPOCR	CiOP, CiOE	VCOUTi出力の設定(極性選択, 出力許可/禁止を設定) 14.4.4 コンパレータi出力(i = 0, 1)
		CiIE	割り込み要求出力の許可/禁止を設定 14.4.4 コンパレータi出力(i = 0, 1)
8	PR2L注5	CMPPR0i, CMPPR1i	割り込みを使用する場合: 割り込み優先レベル選択
9	MK2L注5	CMPMKi	割り込みを使用する場合: 割り込みマスク選択
10	IF2L注5	CMPIFi	割り込みを使用する場合: 0 (割り込み要求なし: 初期化)注3

注1. コンパレータ0とコンパレータ1を独立に設定することはできません。

注2. 高速モード(SPDMD = 1)の場合のみ設定可能

注3. コンパレータの設定後, 安定動作するまでに不要な割り込みが発生することがありますので, 割り込みフラグを初期化してください。

注4. HS (高速メイン)モードの時に設定可能です。

注5. PR2L, MK2L, IF2Lはコンパレータiの割り込み制御レジスタ

備考 i = 0, 1, n = 2-5

図14-9と図14-10にコンパレータ*i* (*i* = 0, 1)の動作例を示します。基本モード時は、リファレンス入力よりアナログ入力の電圧が高い場合にCOMPMDRレジスタのCiMONビットが1になり、リファレンス入力よりアナログ入力の電圧が低い場合にCiMONビットが0になります。

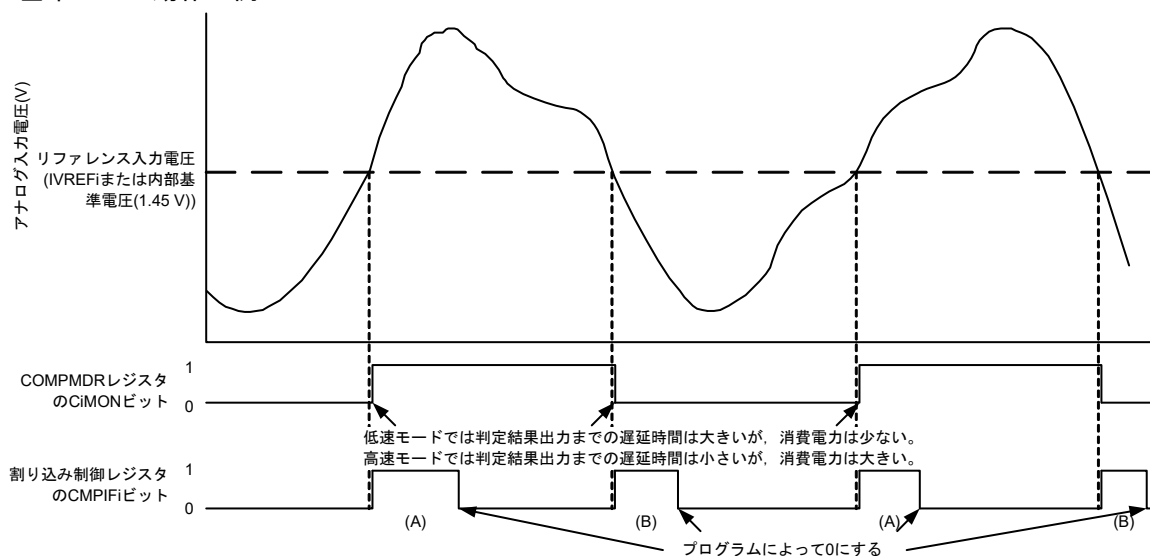
ウィンドウモード時は、アナログ入力の電圧が、次の条件を満たす場合に、COMPMDRレジスタのCiMONビットが1になり、アナログ入力の電圧がこの条件を満たさない場合はCiMONビットが0になります。

“低電圧側リファレンス電圧 < アナログ入力の電圧 < 高電圧側リファレンス電圧”

コンパレータ*i*割り込みを使用する場合は、COMPOCRレジスタのCiIEを1(割り込み要求出力許可)にしてください。このとき比較結果が変化すれば、コンパレータ*i*割り込み要求が発生します。割り込み要求の詳細については「14.4.2 コンパレータ*i*割り込み(*i* = 0, 1)」を参照してください。

図14-9 コンパレータ*i* (*i* = 0, 1)の動作例(基本モード)

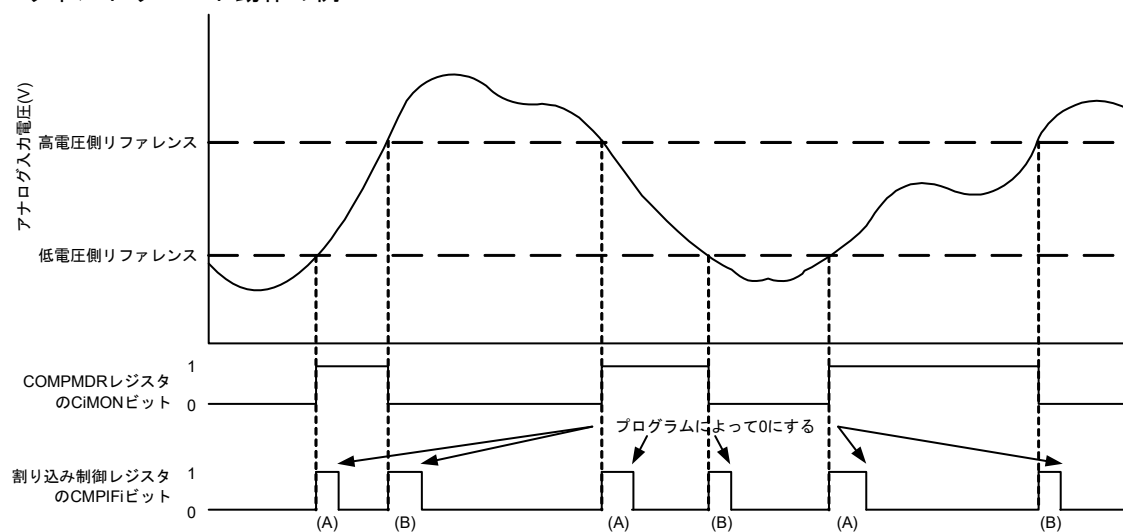
・基本モード動作の例



注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし), CiEDG = 1 (両エッジ)の場合です(CiEDG = 0, CiEOP = 0 (立ち上がりエッジ)のときのCMPIFiは(A)の変化のみ, CiEDG = 0, CiEOP = 1 (立ち下がりエッジ)のときのCMPIFiは(B)の変化のみとなります)。

図14 - 10 コンパレータ*i* (*i* = 0, 1)の動作例(ウィンドウモード)

• ウィンドウモード動作の例

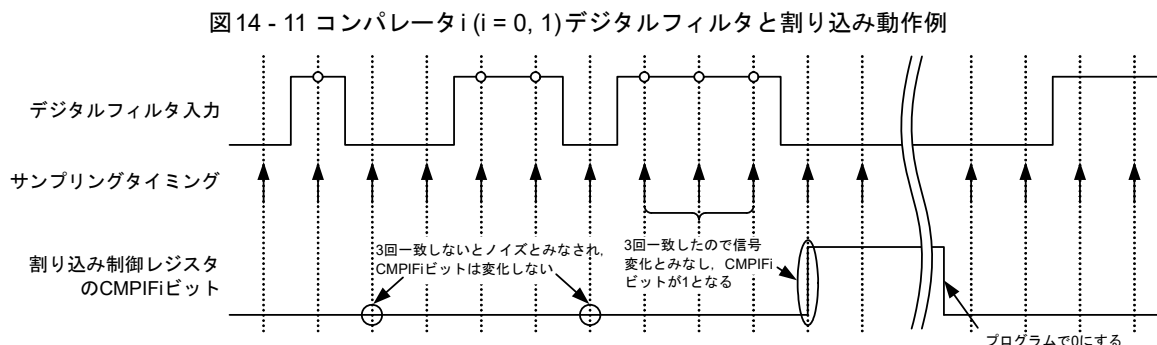


注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし), CiEDG = 1 (両エッジ)の場合です(CiEDG = 0, CiEOP = 0 (立ち上がりエッジ)のときのCMPiFiは(A)の変化のみ, CiEDG = 0, CiEOP = 1 (立ち下がりエッジ)のときのCMPiFiは(B)の変化のみとなります)。

14.4.1 コンパレータ*i*デジタルフィルタ ($i = 0, 1$)

コンパレータ*i*は、デジタルフィルタを内蔵しています。サンプリングクロックはCOMPFIRレジスタのCiFCK1 - CiFCK0ビットで選択できます。サンプリングクロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3度一致した次のサンプリングクロックで、デジタルフィルタ出力がその値になります。

図14 - 11にコンパレータ*i* ($i = 0, 1$)デジタルフィルタと割り込み動作例を示します。



注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0ビットが、01B、10B、11Bのいずれか(デジタルフィルタあり)の場合の動作例です。

14.4.2 コンパレータ*i*割り込み ($i = 0, 1$)

コンパレータはコンパレータ0およびコンパレータ1の2つの割り込み要求を発生します。コンパレータ*i*割り込みは、それぞれ1つずつの優先順位指定フラグ、割り込みマスクフラグ、割り込み要求フラグ、割り込みベクタを持ちます。

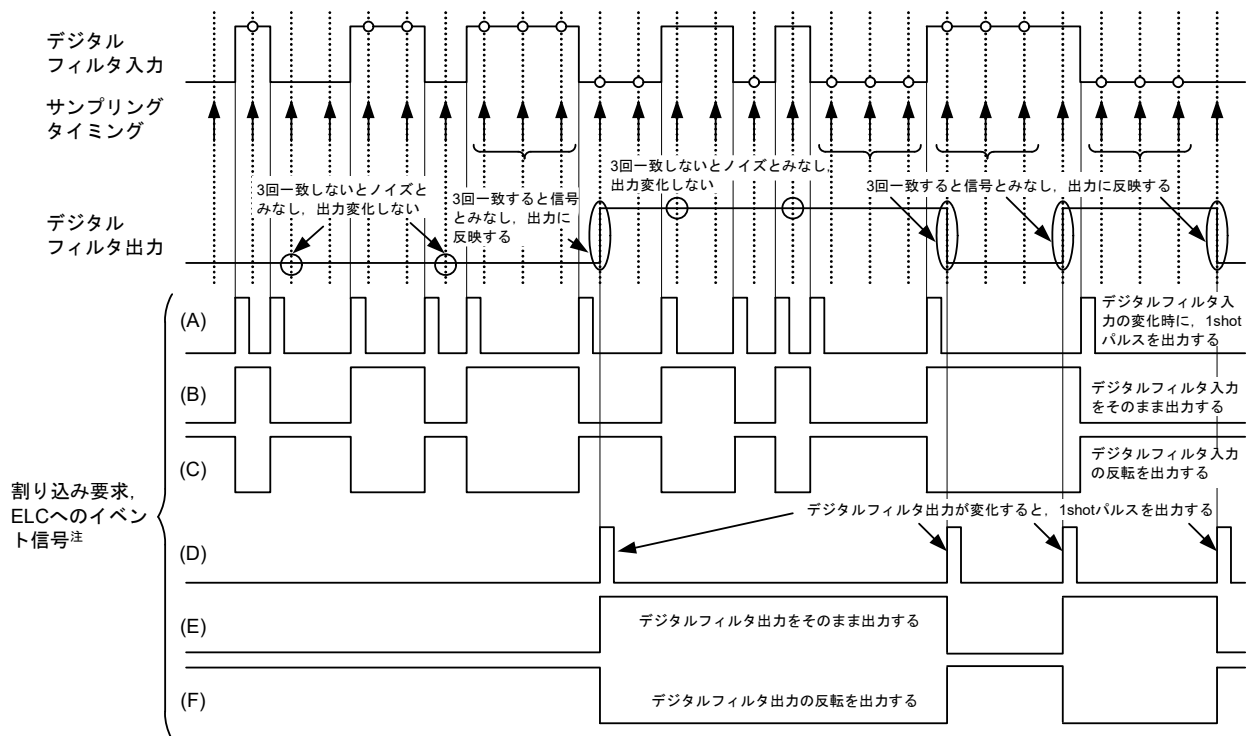
コンパレータ*i*割り込みを使用するときは、COMPOCRレジスタのCiIEビットを1(割り込み要求出力許可)にしてください。割り込み要求を発生する条件は、COMPFIRレジスタにより設定します。また、コンパレータ出力にはデジタルフィルタを付けることが可能です。デジタルフィルタは、3種類のサンプリングクロックを選択可能です。

レジスタ設定と割り込み要求発生への対応については、「14.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)」および「14.3.4 コンパレータ出力制御レジスタ (COMPOCR)」を参照してください。

14.4.3 イベントリンクコントローラ(ELC)へのイベント信号出力

ELCへのイベント信号は、割り込み要求の発生条件と同じくCOMPFIRレジスタで設定したデジタルフィルタ出力のエッジ検出により発生します。ただし、割り込み要求と異なり、COMPOCRレジスタのCiIEビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は、ELCのELSELR18レジスタ、ELSELR19レジスタで設定してください。

図14 - 12 デジタルフィルタと割り込み要求・ELCへのイベント信号出力動作



注 CiIEビット($i = 0, 1$)が1の場合は、割り込み要求とELCへのイベント信号は同じ波形になります。

CiIEビット($i = 0, 1$)が0の場合は、割り込み要求のみ0固定になります。

(A), (B), (C)の波形はCOMPFIRレジスタのCiFCKビット($i = 0, 1$)が"00B" (デジタルフィルタなし)の場合、(D), (E), (F)の波形はCOMPFIRレジスタのCiFCKビット($i = 0, 1$)が"01B", "10B", "11B"のいずれか(デジタルフィルタあり)の場合の動作例です。(A), (D)はCiEDGビットを"1" (両エッジ)に設定した場合、(B), (E)はCiEDGビット = 0, CiEPOビット = 0 (立ち上がりエッジ)の場合、(C), (F)はCiEDGビット = 0, CiEPOビット = 1 (立ち下がりエッジ)の場合です。

14.4.4 コンパレータ*i*出力($i = 0, 1$)

コンパレータの比較結果を外部端子へ出力することができます。COMPOCRレジスタのCiOP, CiOEビットにより出力極性(そのまま出力/反転出力)や出力許可/禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、「14.3.4 コンパレータ出力制御レジスタ(COMPOCR)」を参照してください。

VCOUT_i出力端子へコンパレータ比較結果を出力する場合は、以下の手順に従ってポート設定してください(リセット後、ポートは入力設定になっています)。

- ①コンパレータのモード設定をする(表 14 - 3 コンパレータ関連レジスタの設定手順の順番1~4)。
- ②コンパレータのVCOUT_i出力を設定する(COMPOCRレジスタを設定し、極性選択、出力許可にする)。
- ③VCOUT_i出力端子に対応するポートレジスタのビットを0にする。
- ④VCOUT_i出力端子に対応するポート・モードレジスタを出力に設定する(端子から出力開始)。

14.4.5 コンパレータクロック停止/供給

周辺イネーブル・レジスタ1 (PER1)の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ①COMPMDRレジスタのCiENBビットを0にする(コンパレータを停止する)。
- ②IF2LレジスタのCMPiFiビットを0にする(コンパレータ停止前の不要な割り込みをクリア)。
- ③PER1レジスタのCMPENビットを0にする。

PER1の設定によりクロック停止するとコンパレータ内部のレジスタはすべて初期化されますので、コンパレータを再度使用する場合は、表 14 - 3の手順に従ってレジスタ設定してください。

注意1. コンパレータモード設定レジスタ (COMPMDR) のコンパレータ n リファレンス電圧選択ビット (CnVRF)を“1”(コンパレータ n リファレンス電圧は内部基準電圧(1.45 V))にしている場合は、A/Dコンバータで、温度センサ出力電圧をA/D変換することはできません。($n = 0-1$)

注意2. コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0)かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CnEPO = 0)かつIVCMP > IVREF (または内部基準電圧 1.45 V)の状態または、コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定 (CnEPO = 1)、IVCMP < IVREF (または内部基準電圧 1.45 V)の状態、DTC 起動許可した場合、DTC 転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ (CnMON)を確認してからDTC 起動許可にしてください。($n = 0-1$)

第15章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに最大4つのシリアル・チャンネルを持ちます。各チャンネルは簡易SPI(CSI注)、UART、簡易I²Cの通信機能を実現できます。

RL78/L1Cで対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

○80ピン, 85ピン, 100ピン製品

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	CSI30	UART3	IIC30
	3	—		—

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やIIC00を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

注意 この章では、以降の主な説明を100ピン製品のユニット、チャンネル構成で説明しています。

15.1 シリアル・アレイ・ユニットの機能

RL78/L1Cで対応している各シリアル・インタフェースの特徴を示します。

15.1.1 簡易SPI (CSI00, CSI10, CSI20, CSI30)

マスタから出力されるシリアル・クロック (SCK)に同期してデータの送信／受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、15.5 簡易SPI (CSI00, CSI10, CSI20, CSI30)通信の動作を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート^注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)

Max. fCLK/4

スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また、CSI00, CSI20は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している、CSI00, CSI20のみ設定可能です。

注 SCKサイクル・タイム(tKCY)の特性を満たす範囲内で使用してください。詳細は、第34章 または第35章 電気的特性を参照してください。

15.1.2 UART (UART0-UART3)

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ポー・レートを使用して)データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み(INTPO)を組み合わせるとLIN-busにも対応可能です。

具体的な設定例は、15.6 UART (UART0-UART3)通信の動作を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSBファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART0, UART2受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0, UART2のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|---|---|---|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド(BF)検出 • シンク・フィールド測定、ポー・レート算出 | } | <p>外部割り込み(INTPO),
タイマ・アレイ・ユニットを使用</p> |
|---|---|---|

注 9ビット・データ長は、UART0, UART2のみ対応しています。

15.1.3 簡易 I²C (IIC00, IIC10, IIC20, IIC30)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「15.8 簡易 I²C (IIC00, IIC10, IIC20, IIC30) 通信の動作」を参照して下さい。

[データ送受信]

- マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能^注, ACK 検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACK エラー, オーバラン・エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn ビット (シリアル出力許可レジスタ m (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、15.8.3 (2) 処理フローを参照してください。

備考1. フル機能の I²C バスをご使用の場合は、第16章 シリアル・インタフェース IICA を参照してください。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10, 12

15.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 15-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット注 ¹
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn)の低位8ビットまたは9ビット注 ^{1,2}
シリアル・クロック入出力	SCK00, SCK10, SCK20, SCK30 端子 (簡易SPI用), SCL00, SCL10, SCL20, SCL30 端子 (簡易I ² C用)
シリアル・データ入力	SI00, SI10, SI20, SI30 端子 (簡易SPI用), RxD1-RxD3 端子 (UART用), RxD0 (LIN-bus対応UART用)
シリアル・データ出力	SO00, SO10, SO20, SO30 端子 (簡易SPI用), TxD1-TxD3 端子 (UART用), TxD0 (LIN-bus対応UART用)
シリアル・データ入出力	SDA00, SDA10, SDA20, SDA30 端子 (簡易I ² C用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ 0 (PER0) ・シリアル・クロック選択レジスタ m (SPSm) ・シリアル・チャンネル許可ステータス・レジスタ m (SEm) ・シリアル・チャンネル開始レジスタ m (SSm) ・シリアル・チャンネル停止レジスタ m (STm) ・シリアル出力許可レジスタ m (SOEm) ・シリアル出力レジスタ m (SOM) ・シリアル出力レベル・レジスタ m (SOLm) ・シリアル・スタンバイ・コントロール・レジスタ m (SSCm) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタ mn (SDRmn) ・シリアル・モード・レジスタ mn (SMRmn) ・シリアル通信動作設定レジスタ mn (SCRmn) ・シリアル・ステータス・レジスタ mn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) <ul style="list-style-type: none"> ・ポート入力モード・レジスタ 0-4 (PIM0-PIM4) ・ポート出力モード・レジスタ 0-4 (POM0-POM4) ・ポート・モード・レジスタ 0-4 (PM0-PM4) ・ポート・レジスタ 0-4 (P0-P4)

(注. 備考は次ページにあります。)

- 注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- ・ mn = 00, 01, 10, 11の場合：下位9ビット
 - ・ 上記以外の場合：下位8ビット
- 注2. シリアル・データ・レジスタ mn (SDRmn)の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。
- ・ CSIp通信時 SIOp (CSIpデータ・レジスタ)
 - ・ UARTq受信時RXDq (UARTq受信データ・レジスタ)
 - ・ UARTq送信時TXDq (UARTq送信データ・レジスタ)
 - ・ IICr通信時 SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20, 30)
q : UART番号 (q = 0-3) r : IIC番号 (r = 00, 10, 20, 30)

図15-1にシリアル・アレイ・ユニット0のブロック図を示します。

図15-1 シリアル・アレイ・ユニット0のブロック図

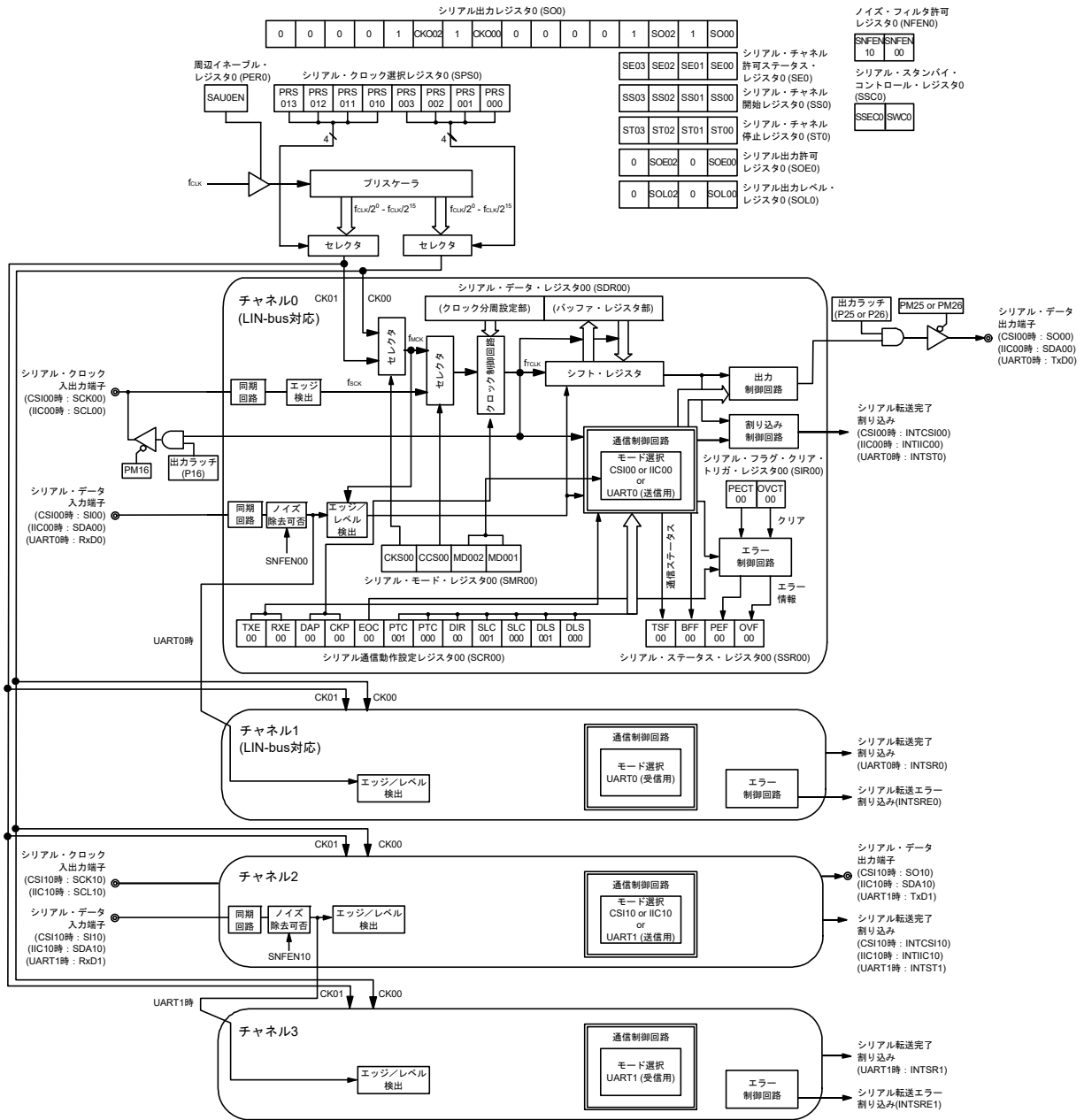
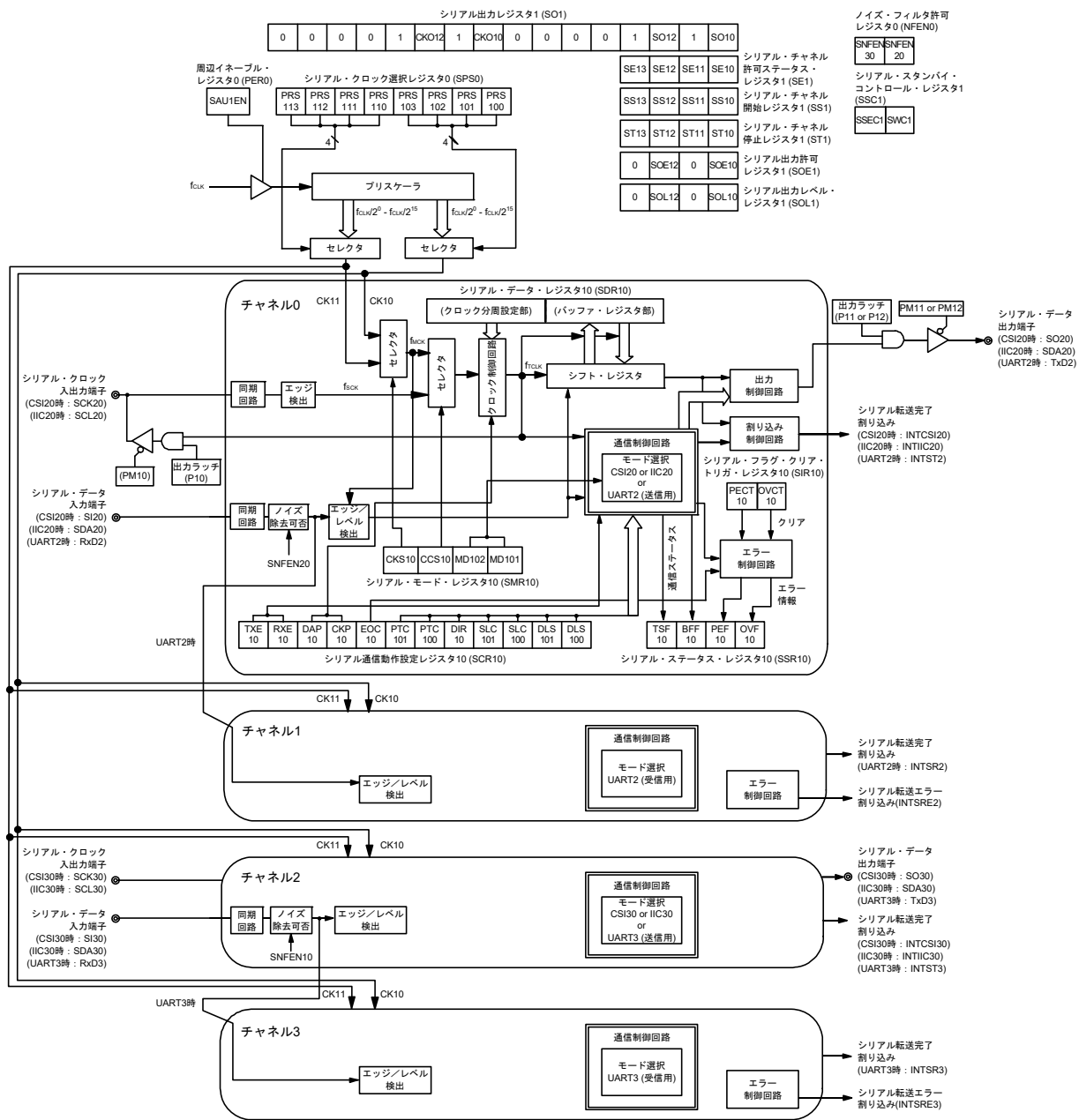


図15-2にシリアル・アレイ・ユニット1のブロック図(100ピン製品)を示します。

図15-2 シリアル・アレイ・ユニット1のブロック図(100ピン製品)



15.2.1 シフト・レジスタ

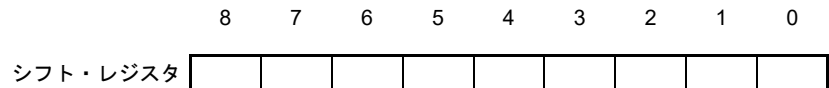
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット(ビット0~8)を使用します^{注1}。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn (SDRmn)の下位8/9ビットを使用します。



15.2.2 シリアル・データ・レジスタ mn (SDRmn)の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

ビット8-0(下位9ビット)^{注1}、またはビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック(fmck)の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタmn (SCRmn)のビット0, 1(DLSmn0, DLSmn1)の設定によって、次のようになります。

- 7ビット・データ長(SDRmnレジスタのビット0-6に格納)
- 8ビット・データ長(SDRmnレジスタのビット0-7に格納)
- 9ビット・データ長(SDRmnレジスタのビット0-8に格納)^{注1}

SDRmnレジスタは16ビット単位でリード/ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^{注2}です。

- CSIp通信時SIOp (CSIpデータ・レジスタ)
- UARTq受信時RXDq (UARTq受信データ・レジスタ)
- UARTq送信時TXDq (UARTq送信データ・レジスタ)
- IICr通信時SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmnレジスタは0000Hになります。

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

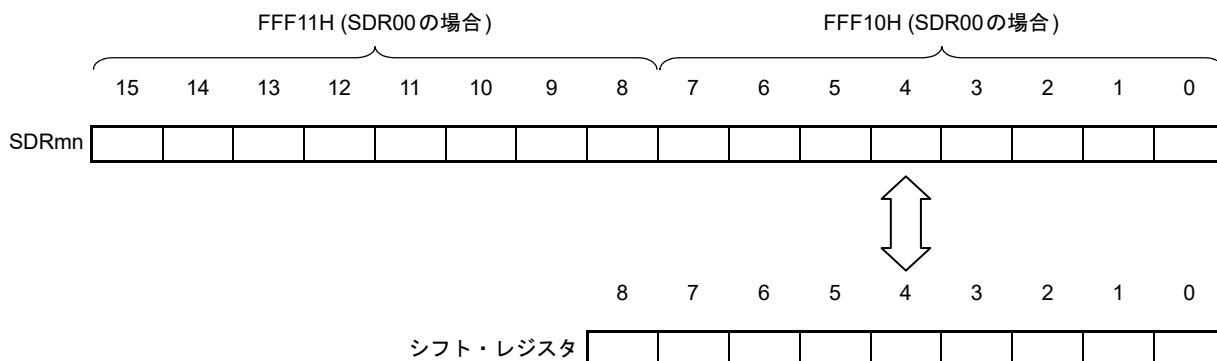
注2. 動作停止(SEmn = 0)時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です(SDRmn[15:9]がすべてクリア(0)されます)。

備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 10, 20, 30)
 q : UART番号(q = 0-3) r : IIC番号(r = 00, 10, 20, 30)

図 15 - 3 シリアル・データ・レジスタ mn (SDRmn) (mn = 00, 01, 10, 11)のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)



備考 SDRmnレジスタの上位7ビットの機能については、15.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図 15 - 4 シリアル・データ・レジスタ mn (SDRmn) (mn = 02, 03, 12, 13)のフォーマット

アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03), リセット時 : 0000H R/W
 FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、15.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

15.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャンネル開始レジスタ m (SSm)
- シリアル・チャンネル停止レジスタ m (STm)
- シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOm)
- シリアル・スタンバイ・コントロール・レジスタ m (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート入力モード・レジスタ 0-4 (PIM0-PIM4)
- ポート出力モード・レジスタ 0-4 (POM0-POM4)
- ポート・モード・レジスタ 0-4 (PM0-PM4)
- ポート・レジスタ 0-4 (P0-P4)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

15.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN)に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN)に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図15-5 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入カクロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態に、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタは初期値となり、書き込みは無視されます(入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート入力モード・レジスタ0-4 (PIM0-PIM4)、ポート出力モード・レジスタ0-4 (POM0-POM4)、ポート・モード・レジスタ0-4 (PM0-PM4)、ポート・レジスタ0-4 (P0-P4)は除く)。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

注意2. ビット1, 6には必ず“0”を設定してください。

15.3.2 シリアル・クロック選択レジスタ m (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図15-6 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0		動作クロック (CKmk) の選択注				
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 24 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中に fCLK に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAU の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

備考1. fCLK : CPU / 周辺ハードウェア・クロック周波数

備考2. m : ユニット番号 (m = 0, 1)

備考3. k = 0, 1

15.3.3 シリアル・モード・レジスタ mn (SMRmn)

SMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fmck)の選択、シリアル・クロック (fsck)入力の使用可否、スタート・トリガ設定、動作モード (簡易SPI(CSI), UART, 簡易I²C)設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMRmnレジスタは、動作中 (SEmn = 1 のとき)の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmnレジスタは0020Hになります。

図15-7 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10) - F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (fmck)の選択
0	SPSmレジスタで設定した動作クロック CKm0
1	SPSmレジスタで設定した動作クロック CKm1
動作クロック (fmck)は、エッジ検出回路に使用されます。また、CCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (ftCLK)を生成します。	

CCS mn	チャンネルnの転送クロック (ftCLK)の選択
0	CKSmnビットで指定した動作クロック fmckの分周クロック
1	SCKp端子からの入力クロック fsck (簡易SPI(CSI)モードのスレーブ転送)
転送クロック ftCLKは、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmnレジスタの上位7ビットで動作クロック (fmck)の分周設定を行います。	

STS mn注	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効(簡易SPI(CSI), UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ(UART受信時に選択)
SSmレジスタに1を設定後、上記の要因が満たされてから転送開始となります。	

注 SMR01, SMR03, SMR11, SMR13レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20, 30)
 q : UART番号 (q = 0-3) r : IIC番号 (r = 00, 10, 20, 30)

図15-8 シリアル・モード・レジスタ mn (SMRmn)のフォーマット(2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10) - F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0 注	UARTモードでのチャンネルnの受信データのレベル反転の制御															
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。															
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。															

MD mn2	MD mn1	チャンネルnの動作モードの設定														
0	0	簡易SPI(CSI)モード														
0	1	UARTモード														
1	0	簡易I ² Cモード														
1	1	設定禁止														

MD mn0	チャンネルnの割り込み要因の選択															
0	転送完了割り込み															
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)															
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。																

注 SMR01, SMR03, SMR11, SMR13レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 10, 20, 30)
 q : UART番号(q = 0-3) r : IIC番号(r = 00, 10, 20, 30)

15.3.4 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCRmnレジスタは0087Hになります。

図15-9 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) - F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易SPI(CSI)モードでのデータとクロックの位相選択	タイプ
0	0	SCKp	1
0	1	SCKp	2
1	0	SCKp	3
1	1	SCKp	4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号(INTSREx (x = 0-3))のマスク制御
0	エラー割り込みINTSRExの発生を禁止する(INTSRxが発生する)
1	エラー割り込みINTSRExの発生を許可する(エラー発生時、INTSRxは発生しない)

簡易SPI(CSI)モード、簡易I²Cモード、UART送信時には、EOCmn = 0に設定してください注3。

- 注1. SCR00, SCR02, SCR10, SCR12レジスタのみ。
- 注2. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。
- 注3. CSImnをEOCmn = 0で使用しない場合、エラー割り込みINTSREnが発生する場合があります。

注意 ビット3, 6, 11には、必ず0を設定してください(SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0-3) p : CSI番号(p = 00, 10, 20, 30)

図15-10 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット(2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) - F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1注1	SLC mn0	0	1	DLSm n1注2	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI(CSI)モード, 簡易I²Cモード時には, 必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	簡易SPI(CSI), UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易I²Cモード時には, 必ずDIRmn = 0に設定してください。

SLCm n1注1	SLC mn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10, 12のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は, 全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時, 簡易I²Cモード時には, 1ビット (SLCmn1, SLCmn0 = 0, 1)に設定してください。
 簡易SPI(CSI)モード時には, ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0)に設定してください。
 UART送信時は, 1ビット (SLCmn1, SLCmn0 = 0, 1)又は2ビット (SLCmn1, SLCmn0 = 1, 0)に設定してください。

DLSm n1注2	DLS mn0	簡易SPI(CSI), UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmn レジスタのビット0-8に格納) (UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmn レジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmn レジスタのビット0-7に格納)
その他		設定禁止

簡易I²Cモード時には, 必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

- 注1. SCR00, SCR02, SCR10, SCR12レジスタのみ。
- 注2. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。
- 注3. データの内容にかかわらず必ず0が付加されます。
- 注意 ビット3, 6, 11には, 必ず0を設定してください(SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 10, 20, 30)

15.3.5 シリアル・データ・レジスタ mn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

SDR00, SDR01, SDR10, SDR11のビット8-0(下位9ビット), またはSDR02, SDR03, SDR12, SDR13のビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9(上位7ビット)の部分は動作クロック(fMCK)の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9(上位7ビット)で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmnビットを1に設定した場合は、SDR00, SDR01, SDR10, SDR11のビット15-9(上位7ビット)に“0000000B”を設定してください。SCKp端子からの入力クロック f_{sck}(簡易SPI(CSI)モードのスレーブ転送)が転送クロックとなります。

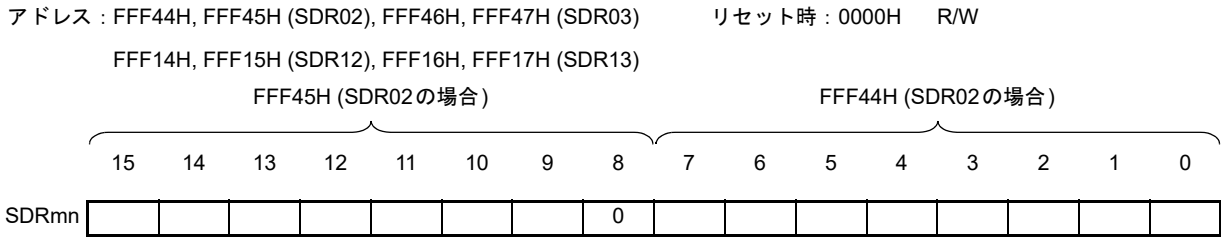
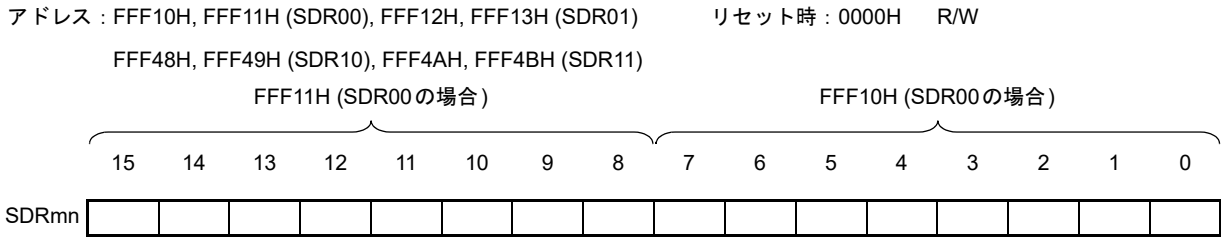
SDRmnレジスタの下位8/9ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態(SEmn = 0)のときのみ有効です。動作中(SEmn = 1)にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

図15-11 シリアル・データ・レジスタ mn (SDRmn)のフォーマット



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	$f_{mck}/2$
0	0	0	0	0	0	1	$f_{mck}/4$
0	0	0	0	0	1	0	$f_{mck}/6$
0	0	0	0	0	1	1	$f_{mck}/8$
.
.
.
1	1	1	1	1	1	0	$f_{mck}/254$
1	1	1	1	1	1	1	$f_{mck}/256$

- 注意1. SDR02, SDR03, SDR12, SDR13レジスタのビット8は、必ず0を設定してください。
 - 注意2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。
 - 注意3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
 - 注意4. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です (SDRmn[15:9]がすべてクリア (0) されます)。
- 備考1. SDRmn レジスタの下位 8/9 ビットの機能については、15.2 シリアル・アレイ・ユニットの構成を参照してください。
- 備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

15.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット(FECTmn, PECTmn, OVCTmn)を1にセットすると、シリアル・ステータス・レジスタ mn (SSRmn)の対応ビット (FEFmn, PEFmn, OVFmn)が0にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐSIRmn レジスタもクリアされます。

SIRmn レジスタは、16ビット・メモリ操作命令で設定します。

またSIRmn レジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmn レジスタは0000Hになります。

図 15 - 12 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03), リセット時 : 0000H R/W
 F0148H, F0149H (SIR10) - F014EH, F014FH (SIR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn注	PEC Tmn	OVC Tmn
FEC Tmn 注	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmn レジスタのFEFmn ビットを0にクリアする															
PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmn レジスタのPEFmn ビットを0にクリアする															
OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmn レジスタのOVFmn ビットを0にクリアする															

注 SIR01, SIR03, SIR11, SIR13 レジスタのみ。

注意 ビット 15-3 (SIR00, SIR02, SIR10, SIR12 レジスタの場合は、ビット 15-2)には、必ず0を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. SIRmn レジスタの読み出し値は常に0000Hとなります。

15.3.7 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図 15 - 13 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット(1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R

F0140H, F0141H (SSR10) - F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn ^{注1}	BFF mn ^{注1}	0	0	FEF mn ^{注2}	PEF mn	OVF mn

TSF mn ^{注1}	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> STmレジスタのSTmnビットに1を設定時(通信停止状態), もしくはSSmレジスタのSSmnビットに1を設定時(通信待機状態) 通信動作が終了時 	
<セット条件>	
通信動作を開始時	

BFF mn ^{注1}	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき STmレジスタのSTmnビットに1を設定時(通信停止状態), SSmレジスタのSSmnビットに1を設定時(通信許可状態)。 	
<セット条件>	
<ul style="list-style-type: none"> SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信, 送受信モード時)の状態 でSDRmnレジスタに送信データを書き込んだとき SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態 でSDRmnレジスタに受信データが格納されたとき 受信エラー時 	

注1. SSR00, SSR02, SSR10, SSR12レジスタのみ。

注2. SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意 SNOOZEモード(SWCm = 1)で簡易SPI(CSI)受信する場合、BFFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

図15-14 シリアル・ステータス・レジスタmn (SSRmn)のフォーマット(2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R
 F0140H, F0141H (SSR10) - F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn注1	BFF mn注1	0	0	FEF mn注2	PEF mn	OVF mn

FEF mn注2	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)
<クリア条件> ・SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ/ACKエラー検出フラグ
0	エラーなし
1	パリティエラー発生(UART受信時), またはACK未検出発生(I ² C送信時)
<クリア条件> ・SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき(パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき(ACK未検出)	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・簡易SPI(CSI)モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注1. SSR00, SSR02, SSR10, SSR12レジスタのみ。

注2. SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー(OVEmn = 1)と検出されます。

注意2. SNOOZEモード(SWCm = 1)で簡易SPI(CSI)受信する場合、OVFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

15.3.8 シリアル・チャンネル開始レジスタ m (SSm)

SSmレジスタは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(SSmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が1にセット(動作許可状態)されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図 15 - 15 シリアル・チャンネル開始レジスタ m (SSm)のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0 3	SS0 2	SS0 1	SS0 0

アドレス : F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	SS1 3	SS1 2	SS1 1	SS1 0

SSm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4, SS1レジスタのビット15-4には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

15.3.9 シリアル・チャンネル停止レジスタ m (STm)

STmレジスタは、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット(STmn)に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SEm)の対応ビット(SEmn)が0にクリア(動作停止状態)されます。STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは、16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは、STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STmレジスタは0000Hになります。

図 15 - 16 シリアル・チャンネル停止レジスタ m (STm)のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0 3	ST0 2	ST0 1	ST0 0

アドレス : F0164H, F0165H (ST1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	ST1 3	ST1 2	ST1 1	ST1 0

STm n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし、通信動作を停止する注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVfmnフラグは状態を保持します。

注意 ST0レジスタのビット15-4, ST1レジスタのビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. STmレジスタの読み出し値は常に0000Hとなります。

15.3.10 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEmレジスタは、各チャンネルのシリアル送受信動作許可/停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm)の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ m (STm)の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のCKOmnビット(チャンネルnのシリアル・クロック出力)の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図 15 - 17 シリアル・チャンネル許可ステータス・レジスタ m (SEm)のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

アドレス : F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	SE1 3	SE1 2	SE1 1	SE1 0

SEm n	チャンネルnの動作許可/停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

15.3.11 シリアル出力許可レジスタ m (SOEm)

SOEmレジスタは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタ m (SOm)のSOmnビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmレジスタは、16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmレジスタは0000Hになります。

図15-18 シリアル出力許可レジスタ m (SOEm)のフォーマット

アドレス : F012AH, F012BH (SOE0) リセット時 : 0000H RW

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	0	SOE 00

アドレス : F016AH, F016BH (SOE1) リセット時 : 0000H RW

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 12	0	SOE 10

SOE mn	チャンネルnのシリアル出力許可/停止															
0	シリアル通信動作による出力停止															
1	シリアル通信動作による出力許可															

注意 SOEmレジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2)

15.3.12 シリアル出力レジスタ m (SOm)

SOmレジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウェアによる書き換えは、シリアル出力禁止(SOEmn = 0)時のみ可能です。シリアル出力許可(SOEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウェアによる書き換えは、チャンネル動作停止(SEmn = 0)時のみ可能です。チャンネル動作許可(SEmn = 1)時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOmレジスタは0F0FHになります。

図15-19 シリアル出力レジスタ m (SOm)のフォーマット

アドレス : F0128H, F0129H (SO0) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO 02	1	CKO 00	0	0	0	0	1	SO 02	1	SO 00

アドレス : F0168H, F0169H (SO1) リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	CKO 12	1	CKO 10	0	0	0	0	1	SO 12	1	SO 10

CKO mn	チャンネルnのシリアル・クロック出力															
0	シリアル・クロック出力値が“0”															
1	シリアル・クロック出力値が“1”															

SO mn	チャンネルnのシリアル・データ出力															
0	シリアル・データ出力値が“0”															
1	シリアル・データ出力値が“1”															

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。また、ビット11, 9, 3, 1には必ず1を設定してください。

SO1レジスタのビット15-12, 7-4には、必ず0を設定してください。また、ビット11, 9, 3, 1には、必ず1を設定してください

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2)

15.3.13 シリアル出力レベル・レジスタ m (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI(CSI)モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可(SOEmn = 1)時のみ端子出力に反映されます。シリアル出力禁止(SOEmn = 0)時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000Hになります。

図 15 - 20 シリアル出力レベル・レジスタ m (SOLm)のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02	0	SOL 00

アドレス : F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 12	0	SOL 10

SOL mn	UARTモードでのチャンネルnの送信データのレベル反転の選択															
0	通信データは、そのまま出力されます。															
1	通信データは、反転して出力されます。															

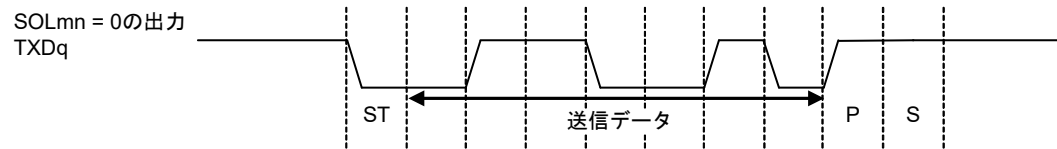
注意 SOLmレジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2)

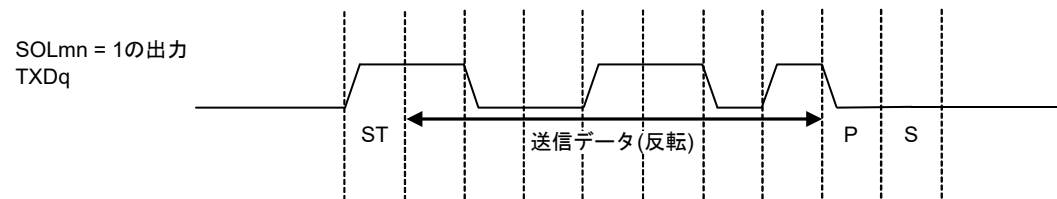
UART送信時、送信データのレベル反転例を図15-21に示します。

図15-21 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)

15.3.14 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

SSC0 レジスタは、CSI00, UART0 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御するレジスタです。

SSC1 レジスタは、CSI20, UART2 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御するレジスタです。

SSCm レジスタは、16 ビット・メモリ操作命令で設定します。

また SSCm レジスタの下位 8 ビットは、SSCmL で 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSCm レジスタは 0000H になります。

注意 SNOOZE モード時の最大転送レートは、次のようになります。

- CSI00, CSI20 の場合 : ~ 1 Mbps
- UART0, UART2 の場合 : 4800 bps のみ

図 15-22 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) のフォーマット

アドレス : F0138H (SSC0), F0178H (SSC1) リセット時 : 0000H RW

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZE モード時の通信エラー割り込み発生許可/停止の選択
0	• エラー割り込み (INTSRE0/INTSRE2) 発生許可。
1	• エラー割り込み (INTSRE0/INTSRE2) 発生停止。

• SNOOZE モード時の UART 受信で、SWCm = 1 かつ EOCmn = 1 のときのみ、SSECm ビットを 1/0 に設定することができます。その他の場合は、SSECm ビットを 0 に設定してください。
 • SSECm, SWCm = 1, 0 は設定禁止です。

SWCm	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

• STOP モード中のハードウェア・トリガ信号で、STOP モードを解除し、CPU を動作させることなく、簡易 SPI(CSI)/UART の受信動作を行います (SNOOZE モード)。
 • SNOOZE モード機能は、CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
 • SNOOZE モードを使用する場合でも、通常動作モード時は SWCm を 0 に設定し、STOP モードへ移行する直前に SWCm を 1 に変更してください。
 また STOP モードから通常動作モードへ復帰後、必ず SWCm を 0 に変更してください。

注意 SSECm, SWCm = 1, 0 は設定禁止です。

図 15 - 23 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

15.3.15 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、UART0でLIN-bus通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると、シリアル・データ入力(RxD0)端子の入力信号が外部割り込み入力(INTP0)として選択されます。これによって、ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると、シリアル・データ入力(RxD0)端子の入力信号がタイマ入力として選択されます。これによって、ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図 15 - 24 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする(通常動作)
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。

ISC0	外部割り込み(INTP0)の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)

注意 ビット7-2に必ず0を設定してください。

15.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI(CSI), 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック(fMCK)で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック(fMCK)で同期化だけを行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図15-25 ノイズ・フィルタ許可レジスタ0 (NFEN0)のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD3端子として使用するときは、SNFEN30 = 1に設定してください。	
RxD3以外の機能として使用するときは、SNFEN30 = 0に設定してください。	

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7, 5, 3, 1には、必ず0を設定してください。

15.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ (ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), ポート入力モード・レジスタ (PIMxx), ポート出力モード・レジスタ (POMxx)) を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx), 4.3.4 ポート入力モード・レジスタ (PIMxx), 4.3.5 ポート出力モード・レジスタ (POMxx) を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート (P02/SO10/TxD1/(PCLBUZ0)/SEG50 など) をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応する LCD ポート・ファンクション・レジスタ (PFSEGx) のビットおよびポート・モード・レジスタ (PMxx) のビットに0を、ポート・レジスタ (Pxx) のビットに1を設定してください。

なお、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ (POMxx) のビットに1を設定してください。異電位 (1.8V系, 2.5V系) で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位 (1.8 V系, 2.5 V系) 対応を参照してください。

例) P02/SO10/TxD1/(PCLBUZ0)/SEG50 をシリアル・データ出力として使用する場合

LCD ポート・ファンクション・レジスタ6のPFSEG50ビットを0に設定

ポート・モード・レジスタ0のPM02ビットを0に設定

ポート・レジスタ0のP02ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート (P01/SI10/RxD1/SDA10/SEG49 など) をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応する LCD ポート・ファンクション・レジスタ (PFSEGx) のビットおよびポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ (PIMxx) のビットに1を設定してください。異電位 (1.8V系, 2.5V系) で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位 (1.8 V系, 2.5 V系) 対応を参照してください。

例) P01/SI10/RxD1/SDA10/SEG49 をシリアル・データ入力として使用する場合

LCD ポート・ファンクション・レジスタ6のPFSEG49ビットを0に設定

ポート・モード・レジスタ0のPM01ビットを1に設定

ポート・レジスタ0のP01ビットを0または1に設定

15.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
 動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
 また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

15.4.1 ユニット単位で動作停止とする場合

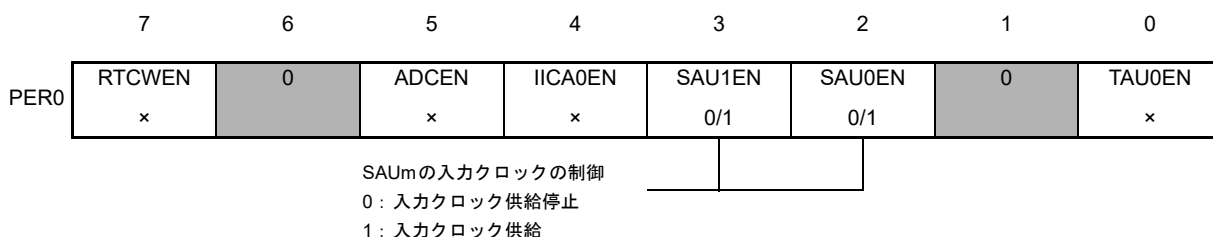
ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0)で行います。

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN)に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN)に0を設定してください。

図15-26 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0)の設定

(a)周辺イネーブル・レジスタ0 (PER0)..... 停止するSAUmのビットのみ0に設定する



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート入力モード・レジスタ0-4 (PIM0-PIM4)
- ポート出力モード・レジスタ0-4 (POM0-POM4)
- ポート・モード・レジスタ0-4 (PM0-PM4)
- ポート・レジスタ0-4 (P0-P4)

注意2. ビット1, 6には必ず“0”にしてください。

備考 ×: シリアル・アレイ・ユニットでは使用しないビット(他の周辺機能の設定による)
 0/1: ユーザの用途に応じて0または1に設定

15.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図15-27 チャンネルごとに動作停止とする場合の各レジスタの設定

(a)シリアル・チャンネル停止レジスタ m (STm)

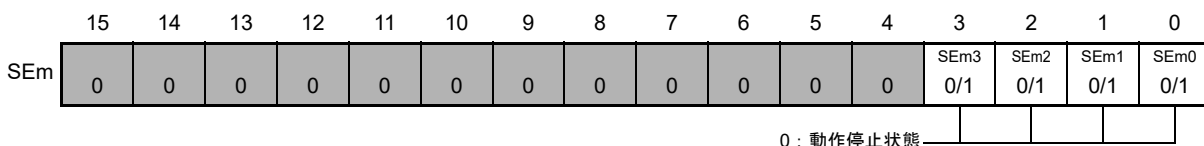
..... 各チャンネルの通信／カウント停止の許可を設定するレジスタ



※ STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

(b)シリアル・チャンネル許可ステータス・レジスタ m (SEm)

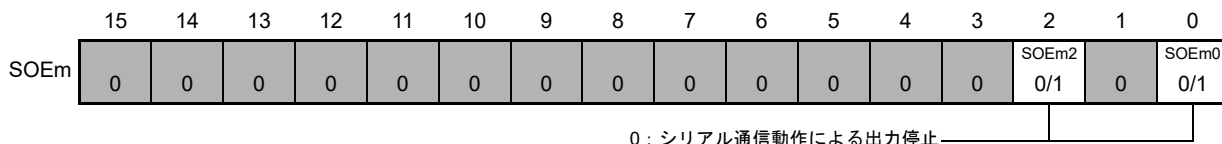
..... 各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ



※SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。
動作を停止したチャンネルは、SOMレジスタのCKOmnビットの値をソフトウェアで設定できます。

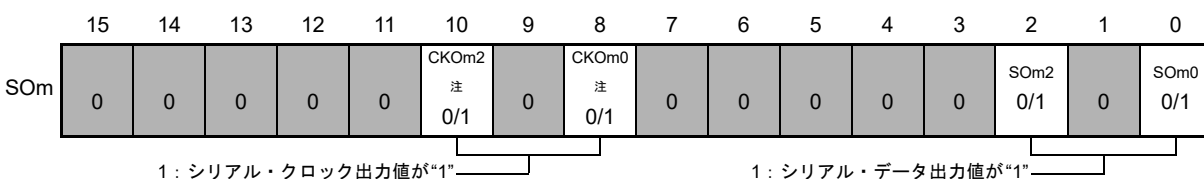
(c)シリアル出力許可レジスタ m (SOEm)

..... 各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ



※ シリアル出力を停止したチャンネルは、SOMレジスタのSOmnビットの値をソフトウェアで設定できます。

(d)シリアル出力レジスタ m (SOM) 各チャンネルのシリアル出力のバッファ・レジスタ



※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

注 シリアル・アレイ・ユニット0のみ。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

備考2. : 設定不可(初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

15.5 簡易SPI (CSI00, CSI10, CSI20, CSI30)通信の動作

シリアル・クロック(SCK)とシリアル・データ(SI, SO)の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)

Max. fCLK/4

スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また、CSI00, CSI20は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

注 SCKサイクル・タイム(tKCY)の特性を満たす範囲内で使用してください。詳細は、第34章 または第35章 電気的特性を参照してください。

簡易SPI (CSI00, CSI10, CSI20, CSI30)に対応しているチャンネルは、SAU0のチャンネル0, 2とSAU1のチャンネル0, 2です。

○80ピン, 85ピン, 100ピン製品

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	CSI30	UART3	IIC30
	3	—		—

簡易SPI (CSI00, CSI10, CSI20, CSI30)の通信動作は、以下の7種類があります。

- マスタ送信(15.5.1項を参照)
- マスタ受信(15.5.2項を参照)
- マスタ送受信(15.5.3項を参照)
- スレーブ送信(15.5.4項を参照)
- スレーブ受信(15.5.5項を参照)
- スレーブ送受信(15.5.6項を参照)
- SNOOZEモード機能(15.5.7項を参照)

15.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SO00	SCK10, SO10	SCK20, SO20	SCK30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビット			
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/ (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始 			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転 			
データ方向	MSBファーストまたはLSBファースト			

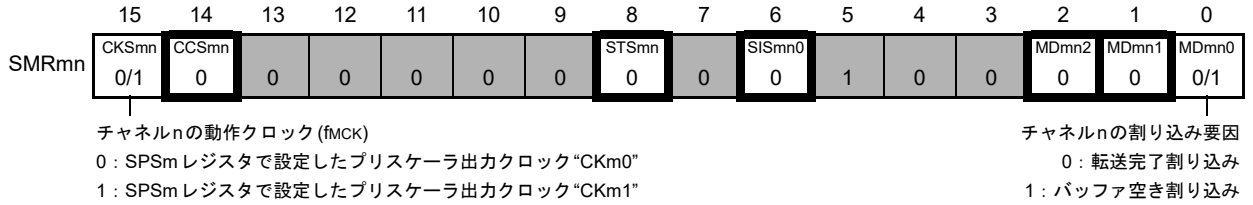
注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

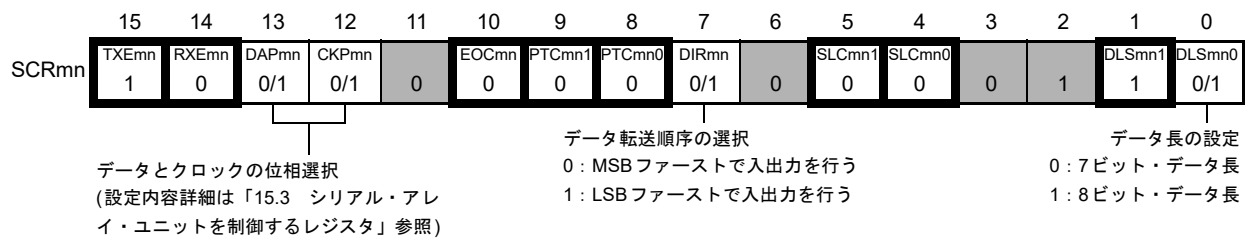
(1) レジスタ設定

図 15 - 28 簡易SPI (CSI00, CSI10, CSI20, CSI30)のマスタ送信時のレジスタ設定内容例

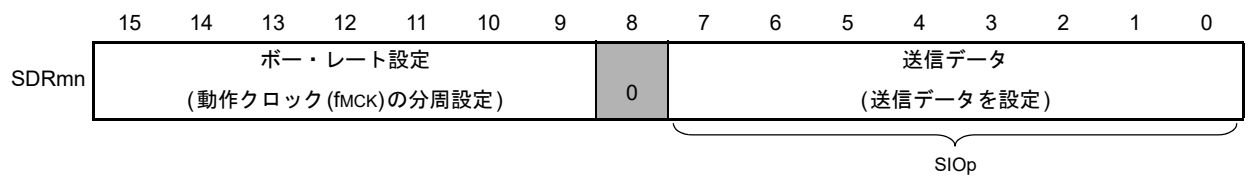
(a)シリアル・モード・レジスタ mn (SMRmn)



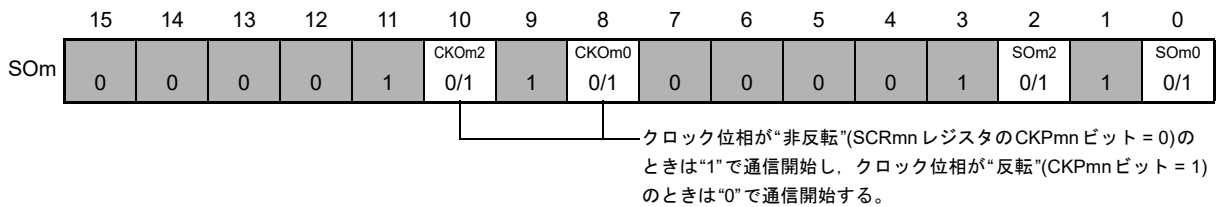
(b)シリアル通信動作設定レジスタ mn (SCRmn)



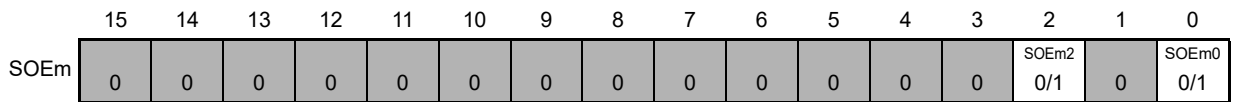
(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



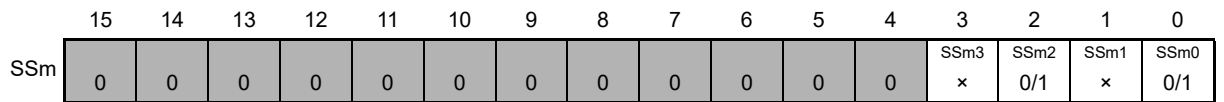
(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e)シリアル出力許可レジスタ m (SOEm)..... 対象チャンネルのビットのみ1に設定する



(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI(CSI)マスタ送信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 29 マスタ送信の初期設定手順

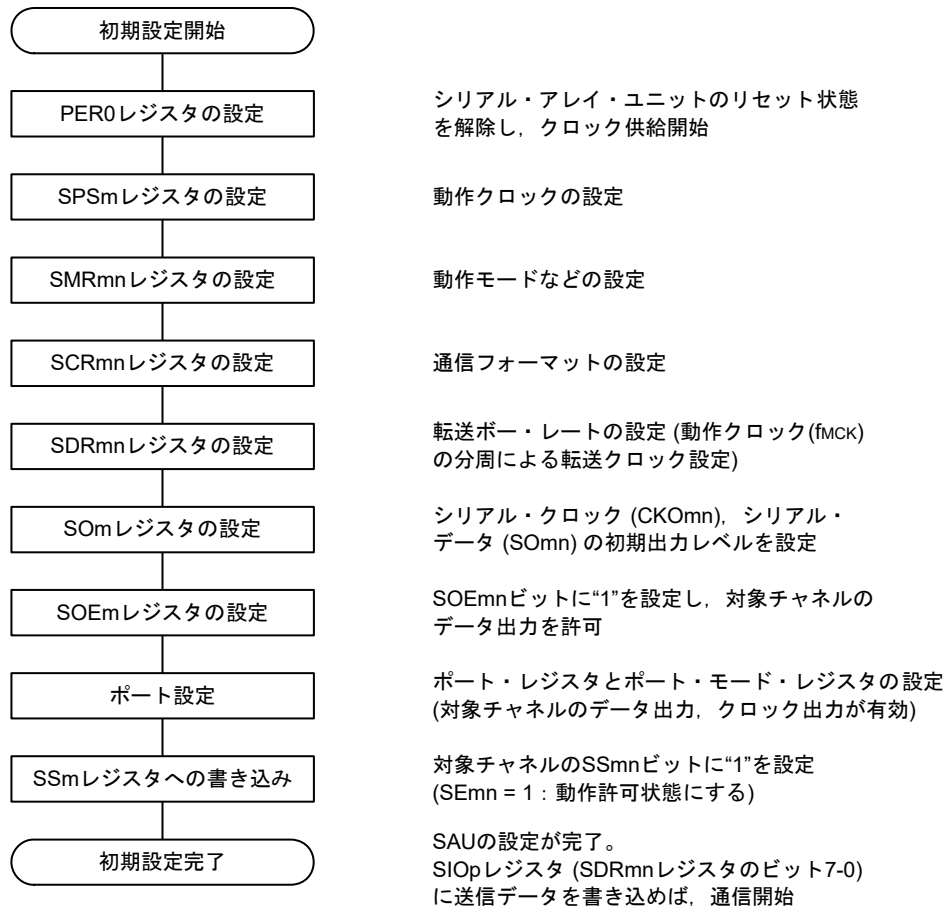


図 15 - 30 マスタ送信の中断手順

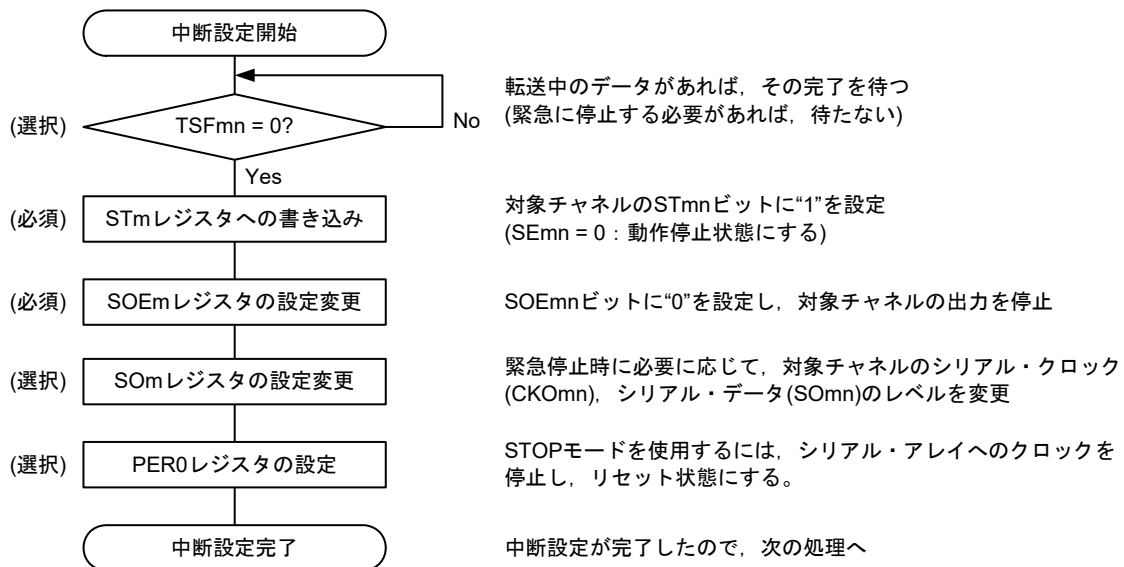
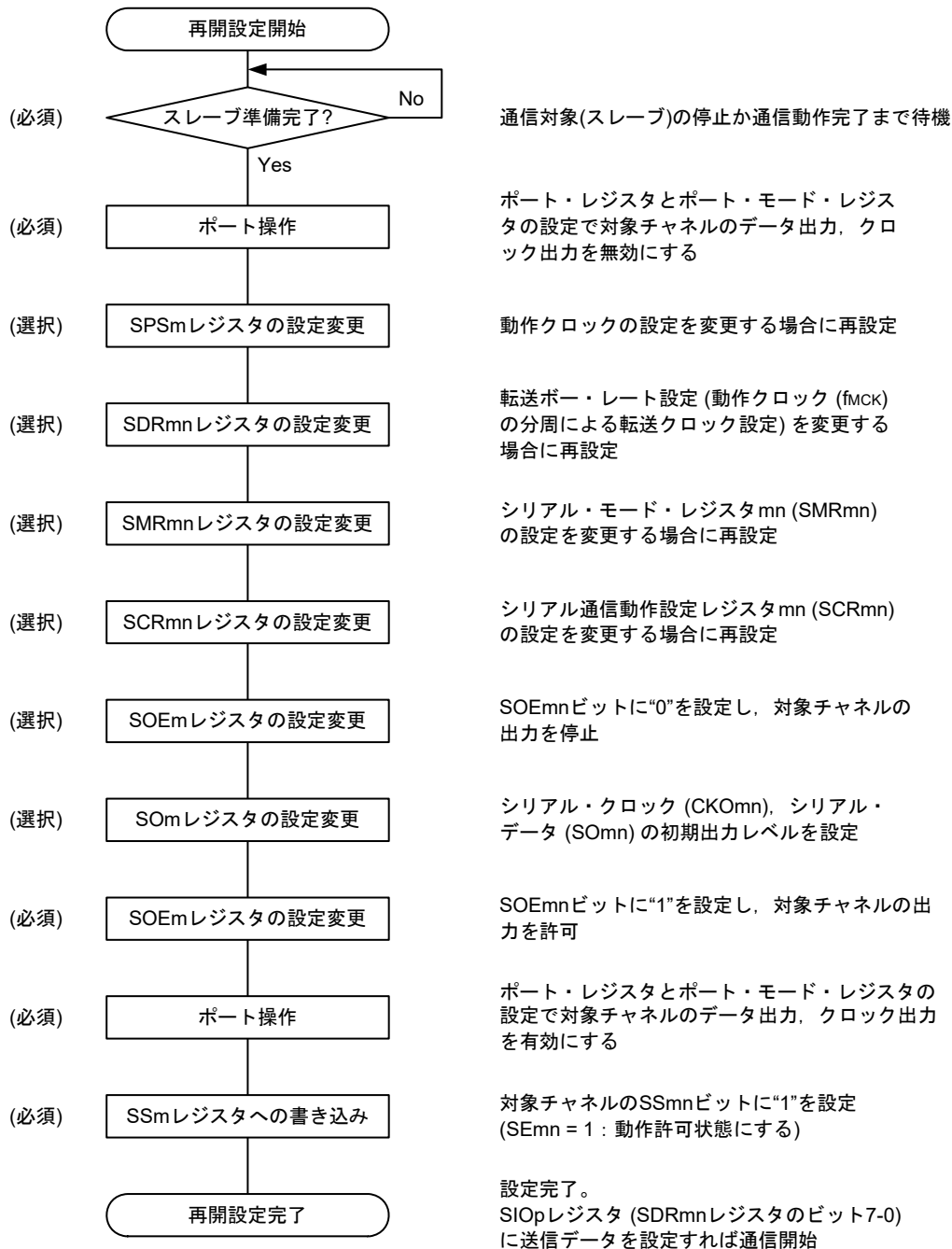


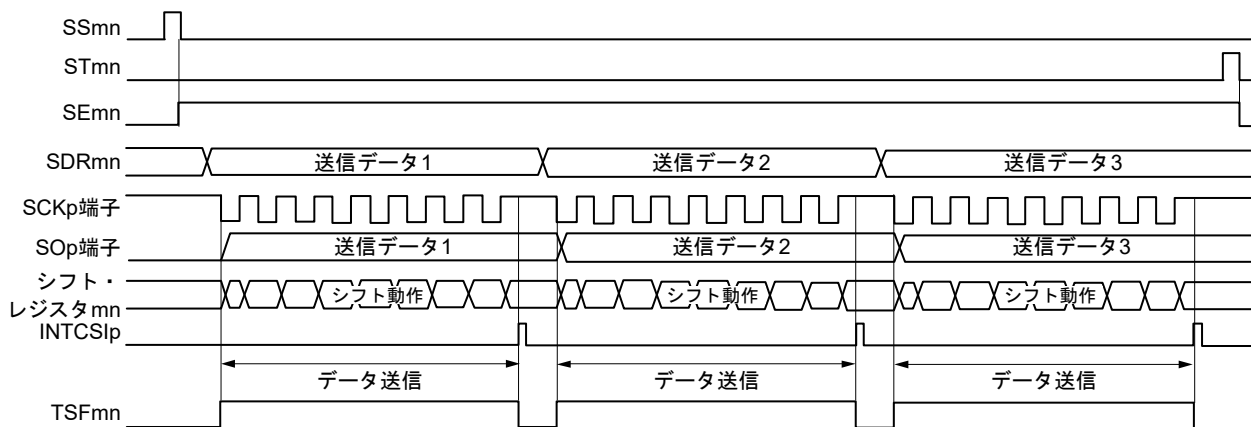
図 15 - 31 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

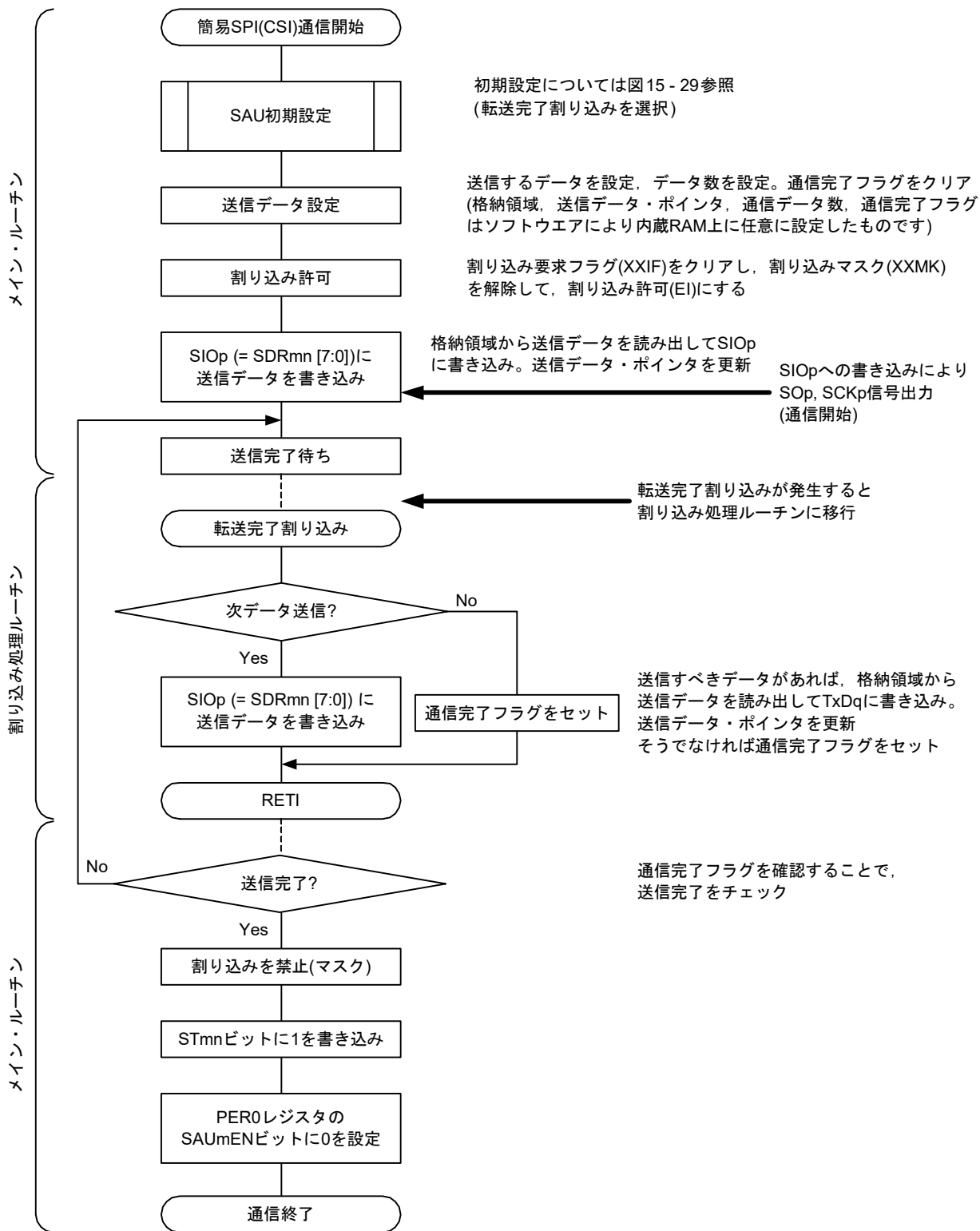
(3) 処理フロー (シングル送信モード時)

図 15 - 32 マスタ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



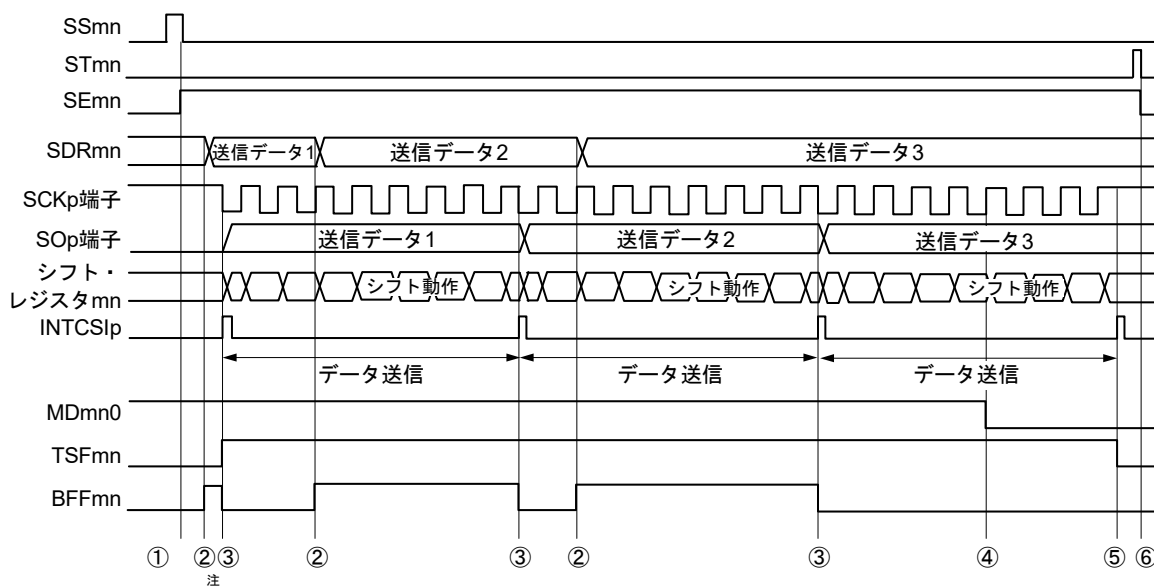
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15-33 マスタ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 15 - 34 マスタ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

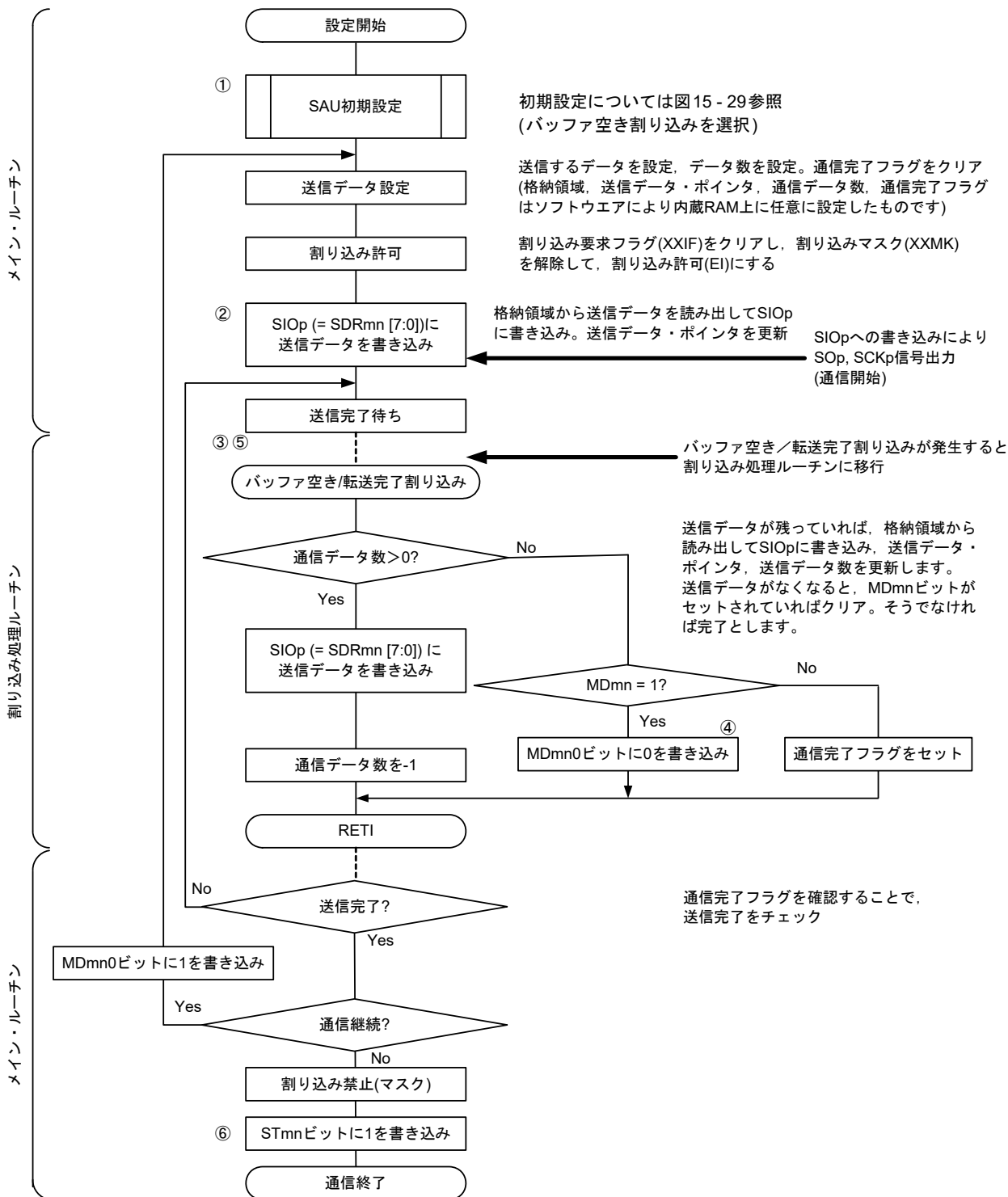


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI 番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15 - 35 マスタ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は, 図15-34 マスタ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

15.5.2 マスタ受信

マスタ受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SI00	SCK10, SI10	SCK20, SI20	SCK30, SI30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転			
データ方向	MSB ファーストまたはLSB ファースト			

注 この条件を満たし、かつ電氣的特性の周辺機能特性(第34章 または第35章 電氣的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

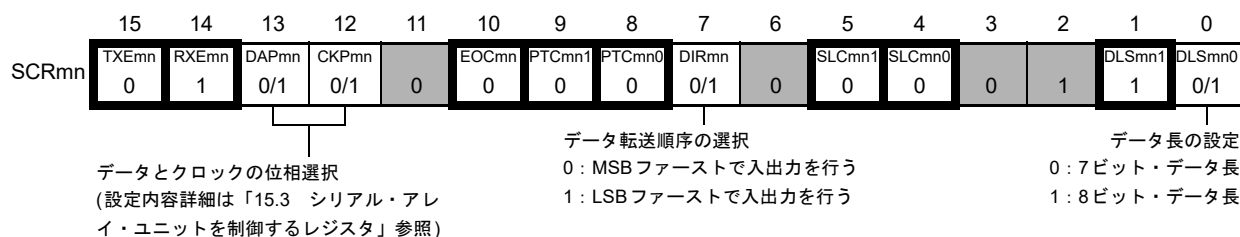
(1) レジスタ設定

図15 - 36 簡易SPI(CSI00, CSI10, CSI20, CSI30)のマスタ受信時のレジスタ設定内容例

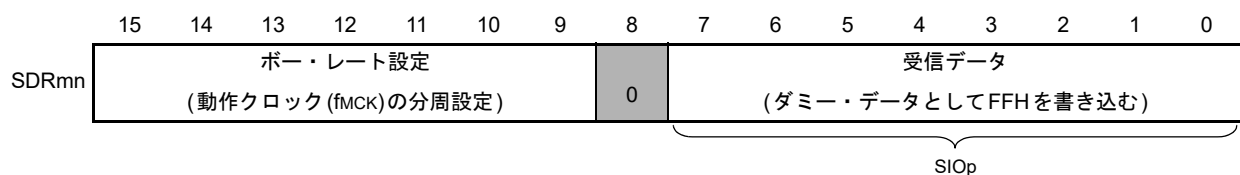
(a)シリアル・モード・レジスタ mn (SMRmn)



(b)シリアル通信動作設定レジスタ mn (SCRmn)



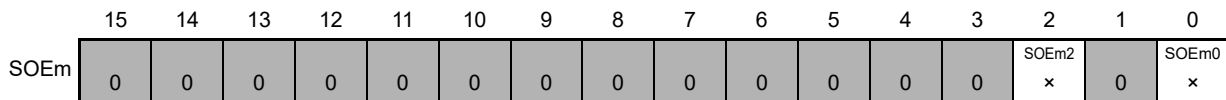
(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



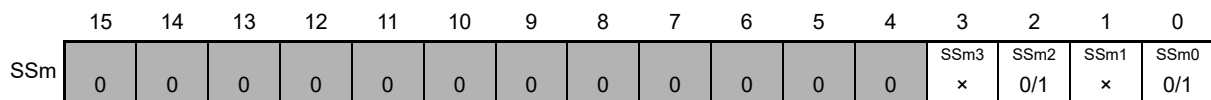
(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e)シリアル出力許可レジスタ m (SOEm)..... このモードでは使用しない



(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI(CSI)マスタ受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 37 マスタ受信の初期設定手順

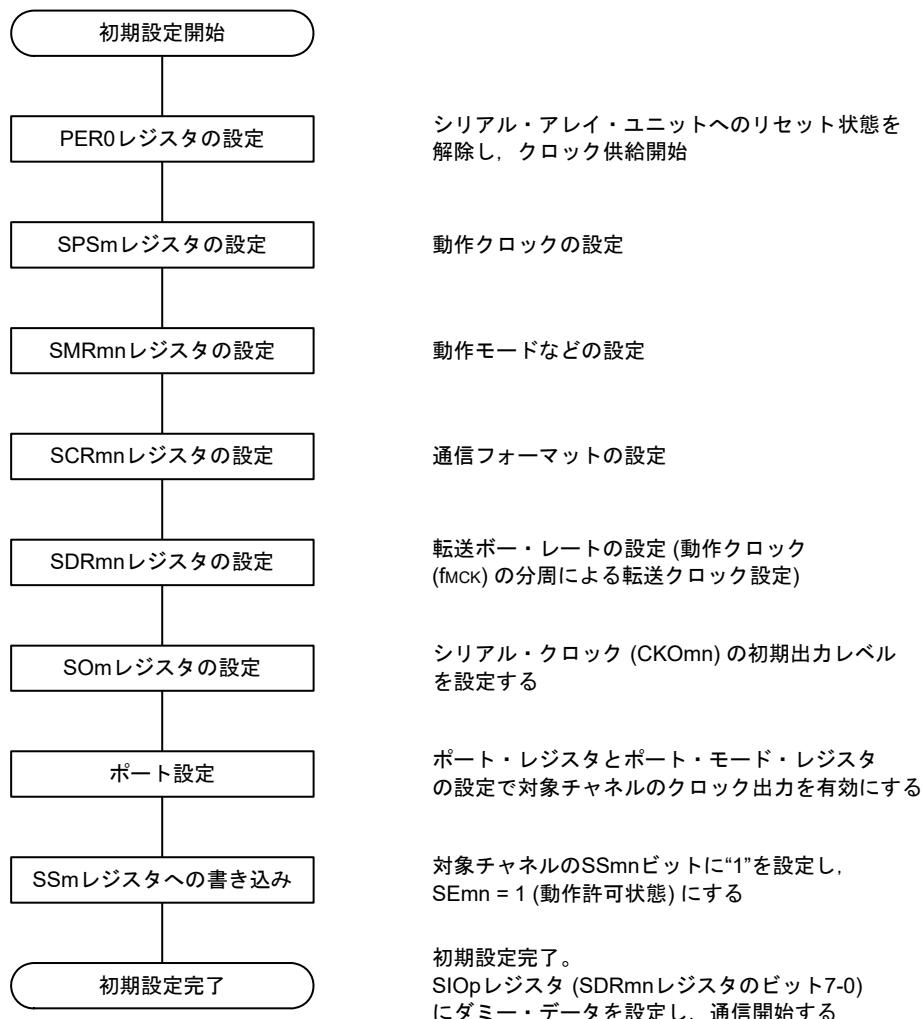


図 15 - 38 マスタ受信の中断手順

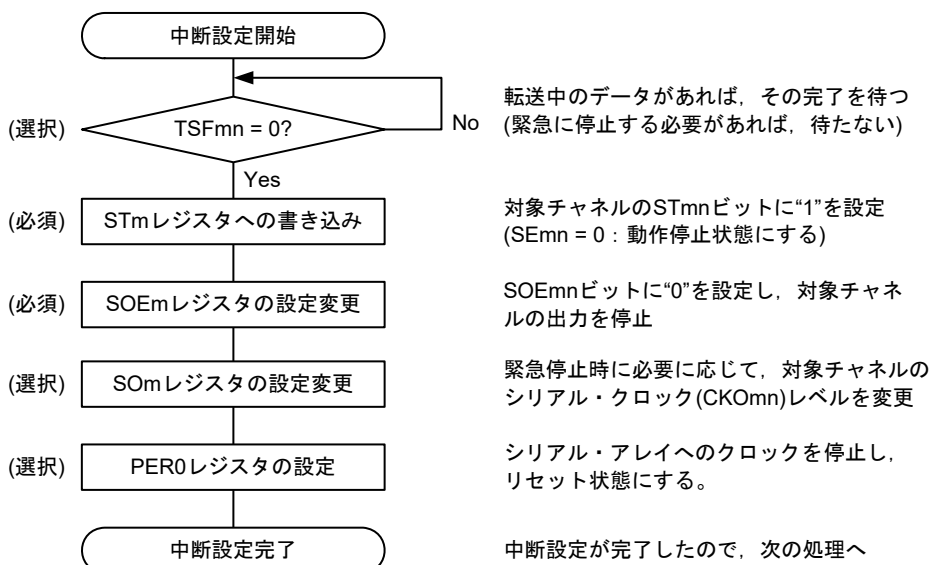
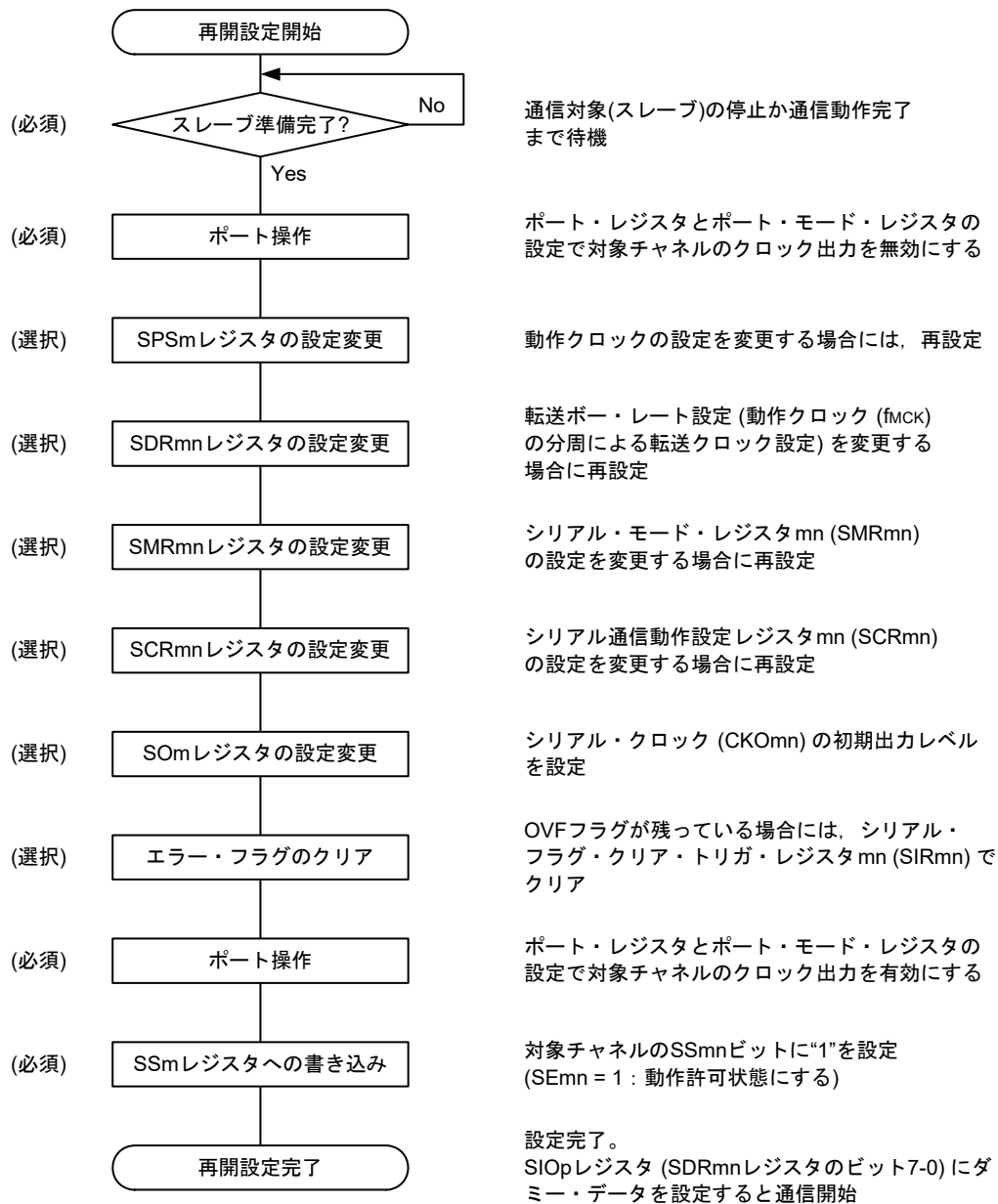


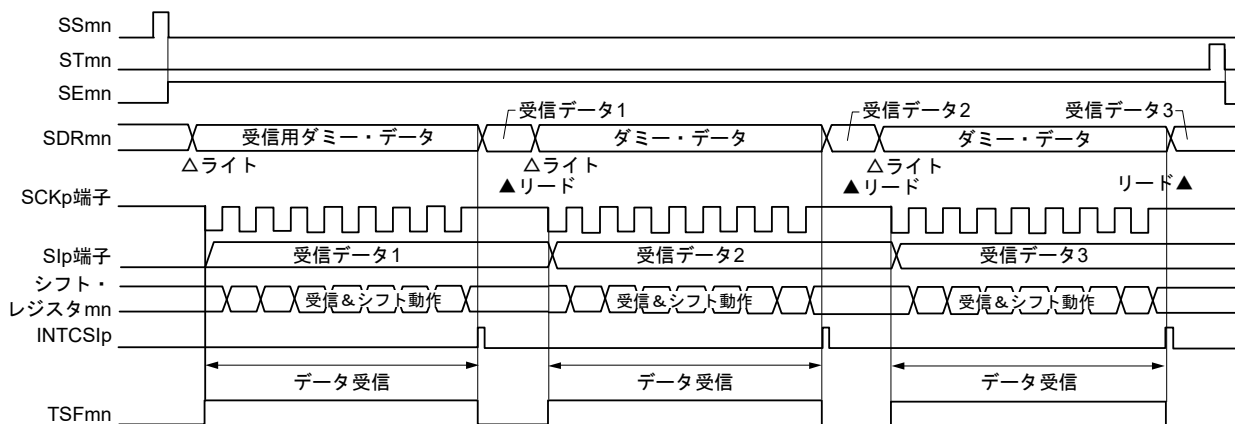
図 15 - 39 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

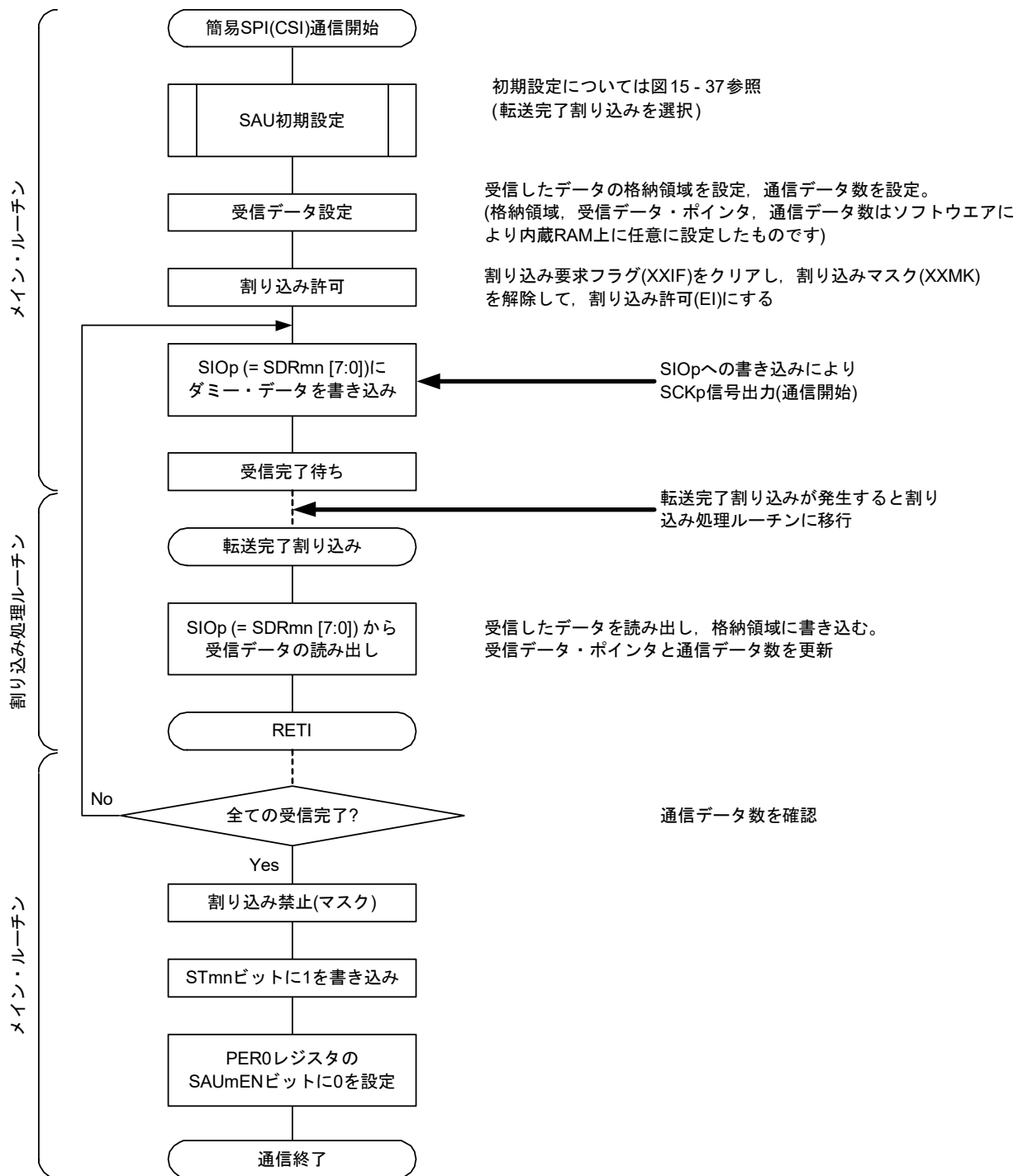
(3) 処理フロー (シングル受信モード時)

図15-40 マスタ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



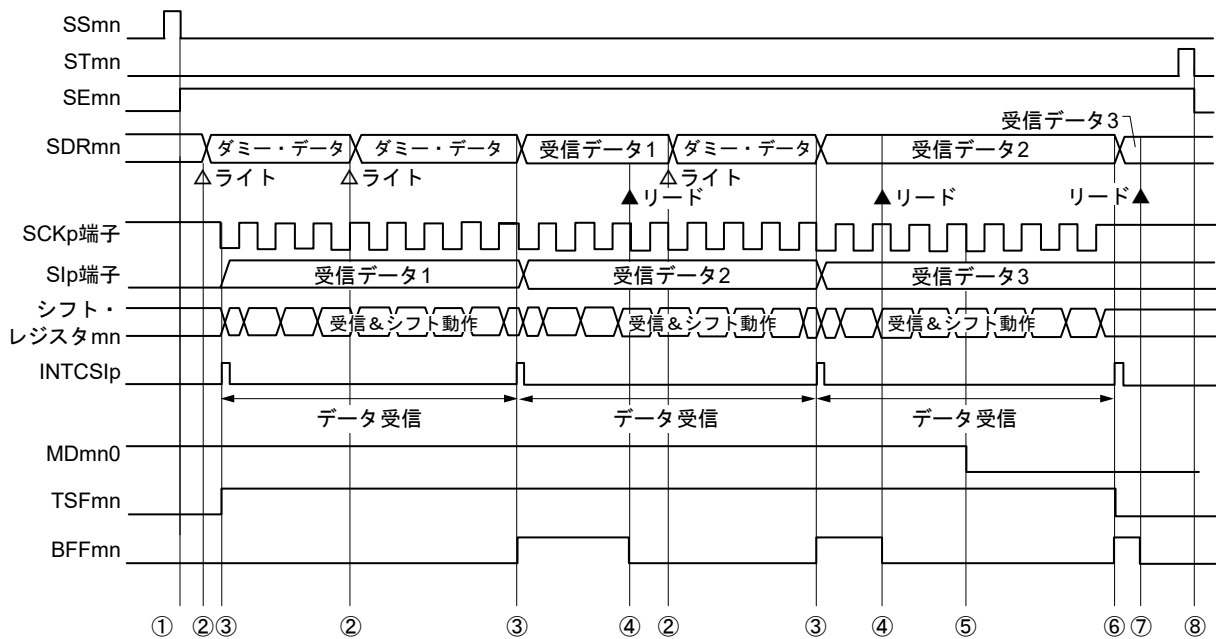
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15-41 マスタ受信(シングル受信モード時)のフロー・チャート



(4) 処理フロー (連続受信モード時)

図15-42 マスタ受信(連続受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



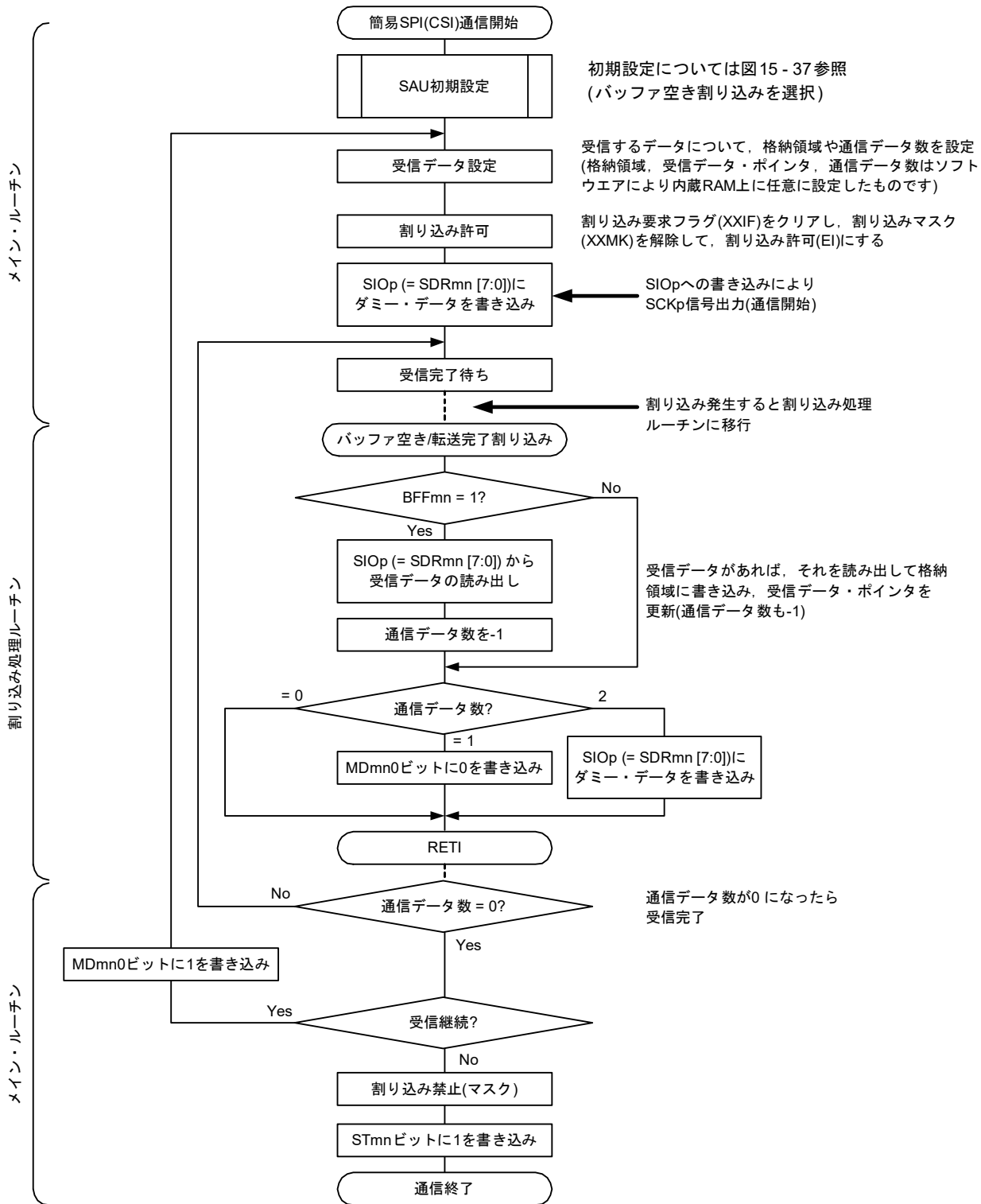
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、図15-43 マスタ受信(連続受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m: ユニット番号(m = 0, 1) n: チャネル番号(n = 0, 2) p: CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15-43 マスタ受信(連続受信モード時)のフロー・チャート



備考 図中の①～⑧は、図15-42 マスタ受信(連続受信モード時)のタイミング・チャートの①～⑧に対応しています。

15.5.3 マスタ送受信

マスタ送受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK20, SI20, SO20	SCK30, SI30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合 : 非反転 • CKPmn = 1の場合 : 反転			
データ方向	MSB ファーストまたはLSB ファースト			

注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

(1) レジスタ設定

図 15 - 44 簡易SPI (CSI00, CSI10, CSI20, CSI30)のマスタ送受信時のレジスタ設定内容例

(a)シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fMCK) チャンネルnの割り込み要因
 0: SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0: 転送完了割り込み
 1: SPSmレジスタで設定したプリスケアラ出カクロック“CKm1” 1: パツファ空き割り込み

(b)シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択 データ転送順序の選択 データ長の設定
 (設定内容詳細は「15.3 シリアル・アレイ・ユニットを制御するレジスタ」参照) 0: MSBファーストで入出力を行う 0: 7ビット・データ長
1: LSBファーストで入出力を行う 1: 8ビット・データ長

(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定 (動作クロック (fMCK)の分周設定)								0	送信データ設定/受信データ・レジスタ							

SIOp

(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1	1	0/1	0	0	0	0	1	0/1	1	0/1

クロック位相が“非反転”(SCRmnレジスタのCKPmnビット=0)のときは“1”で通信開始し、クロック位相が“反転”(CKPmnビット=1)のときは“0”で通信開始する。

(e)シリアル出力許可レジスタ m (SOEm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

(f)シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1	×	0/1

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12
 備考2. : 簡易SPI(CSI)マスタ送受信モードでは設定固定 : 設定不可(初期値を設定)
 × : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 45 マスタ送受信の初期設定手順

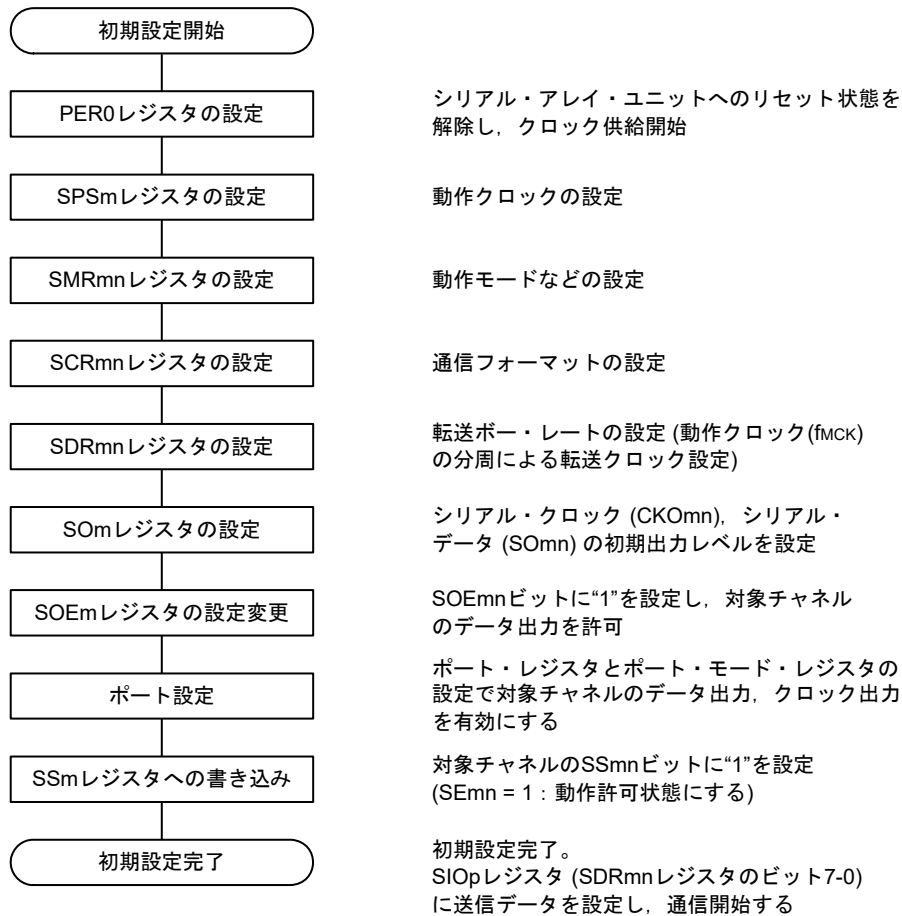


図 15 - 46 マスタ送受信の中断手順

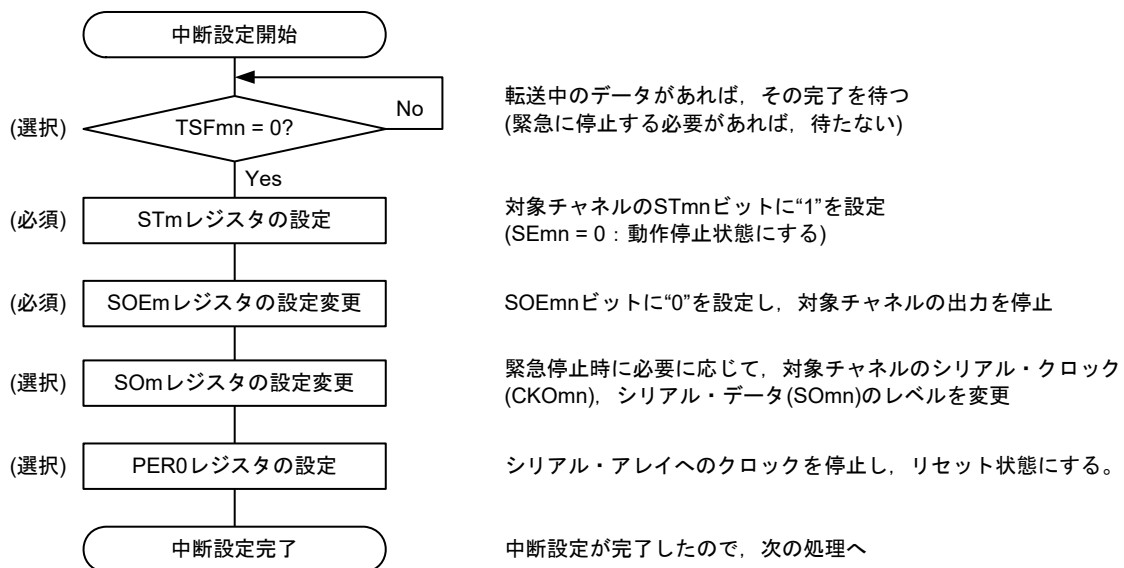
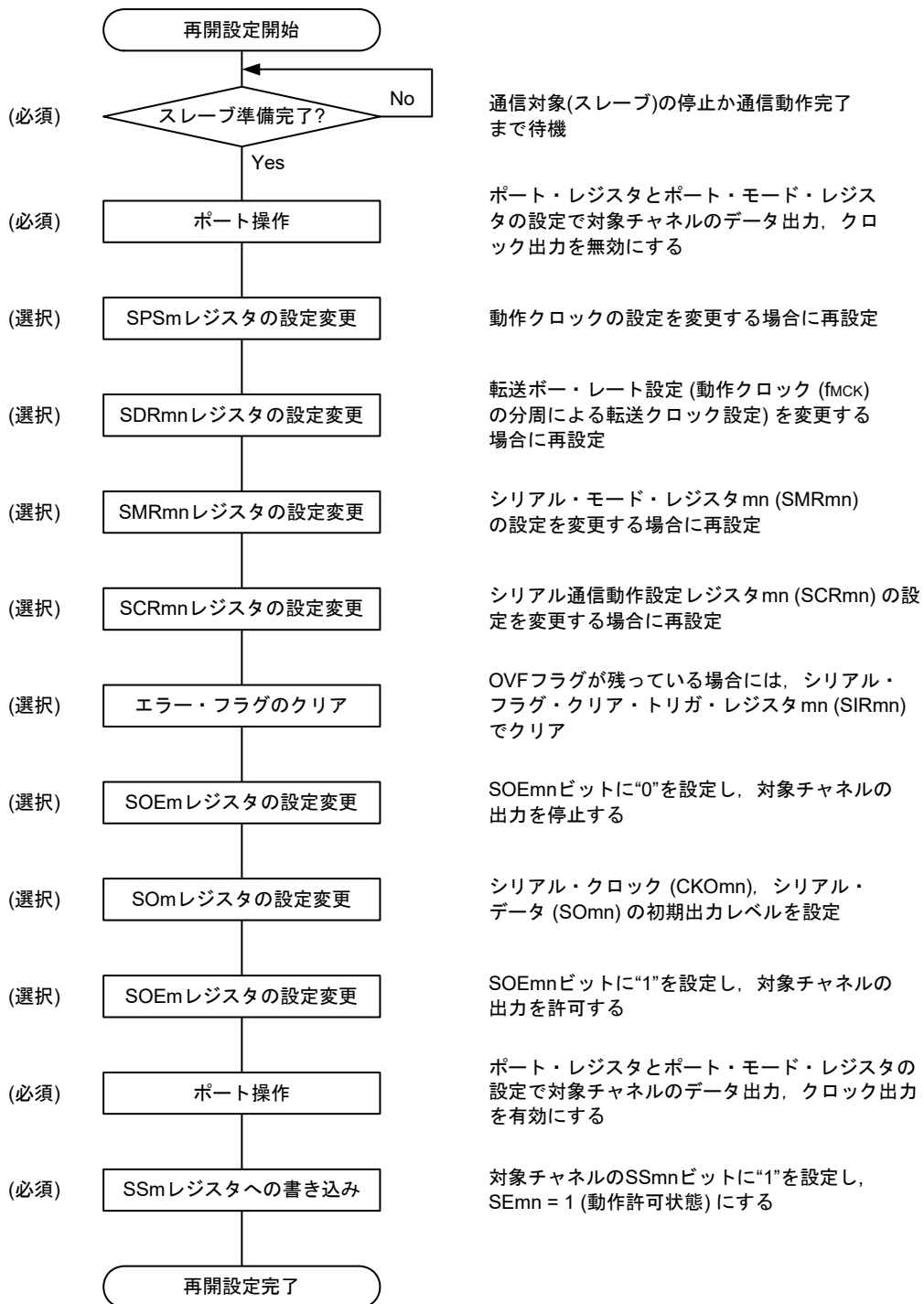
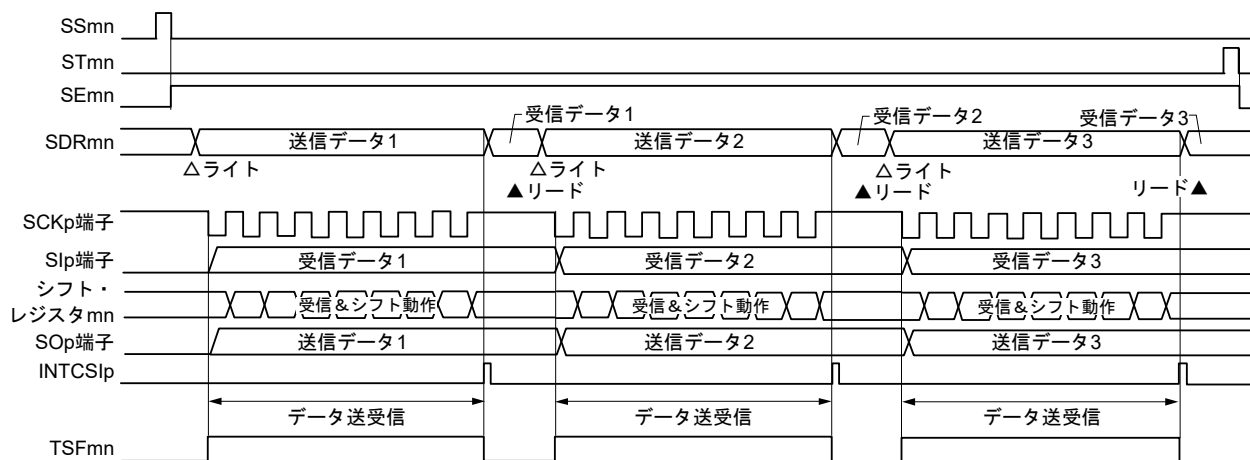


図15-47 マスタ送受信の再開設定手順



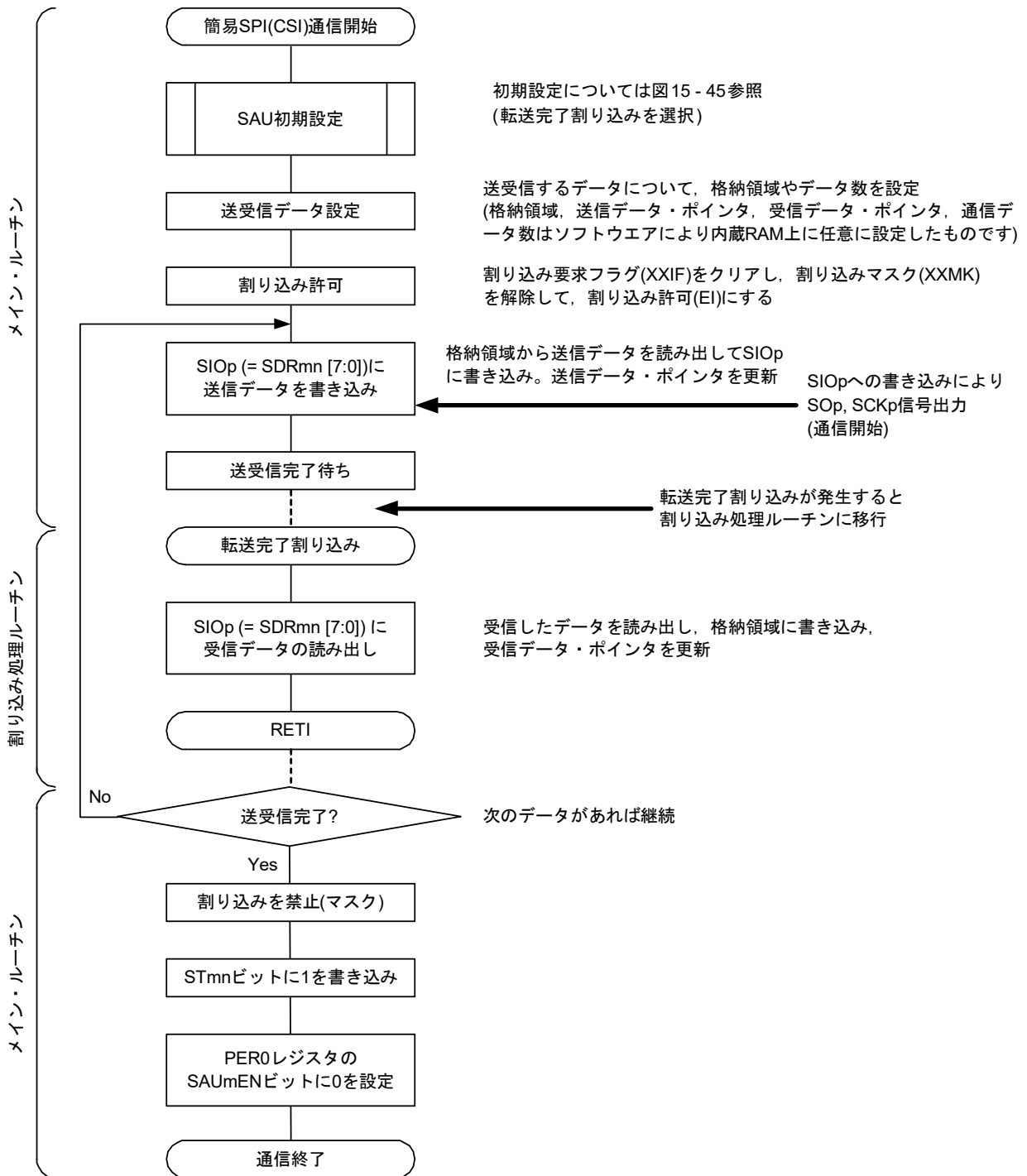
(3) 処理フロー (シングル送受信モード時)

図 15 - 48 マスタ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



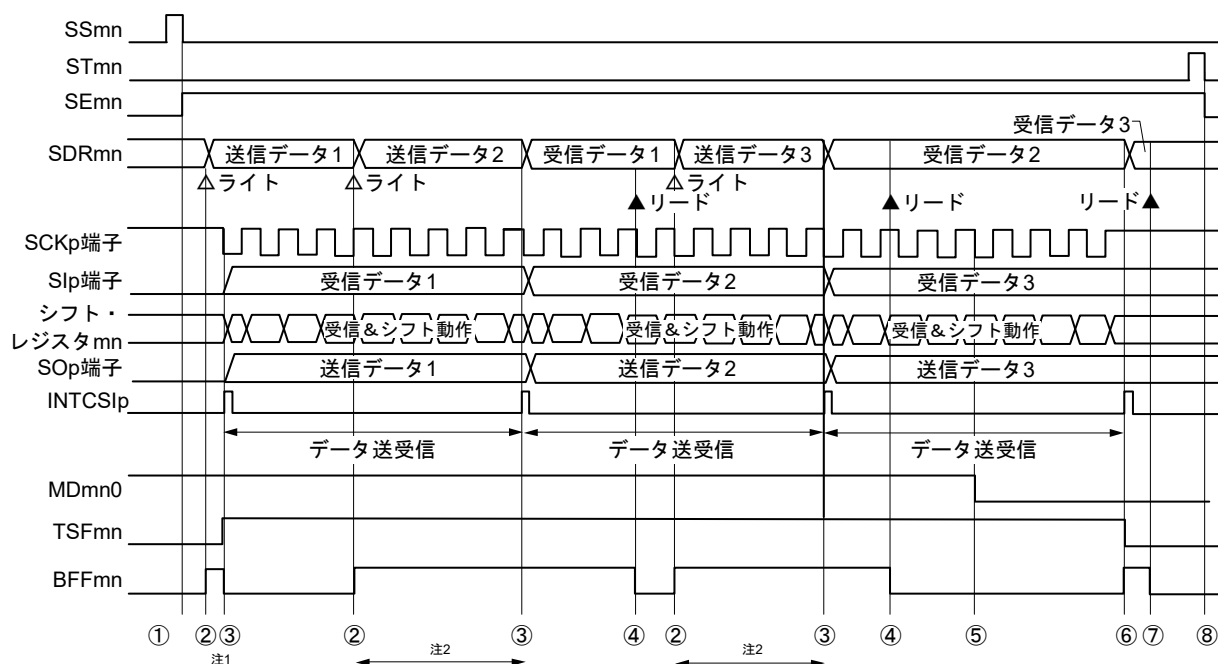
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15-49 マスタ送受信(シングル送受信モード時)のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図15-50 マスタ送受信 (連続送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn)のBFFmnビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn)に格納されている時)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

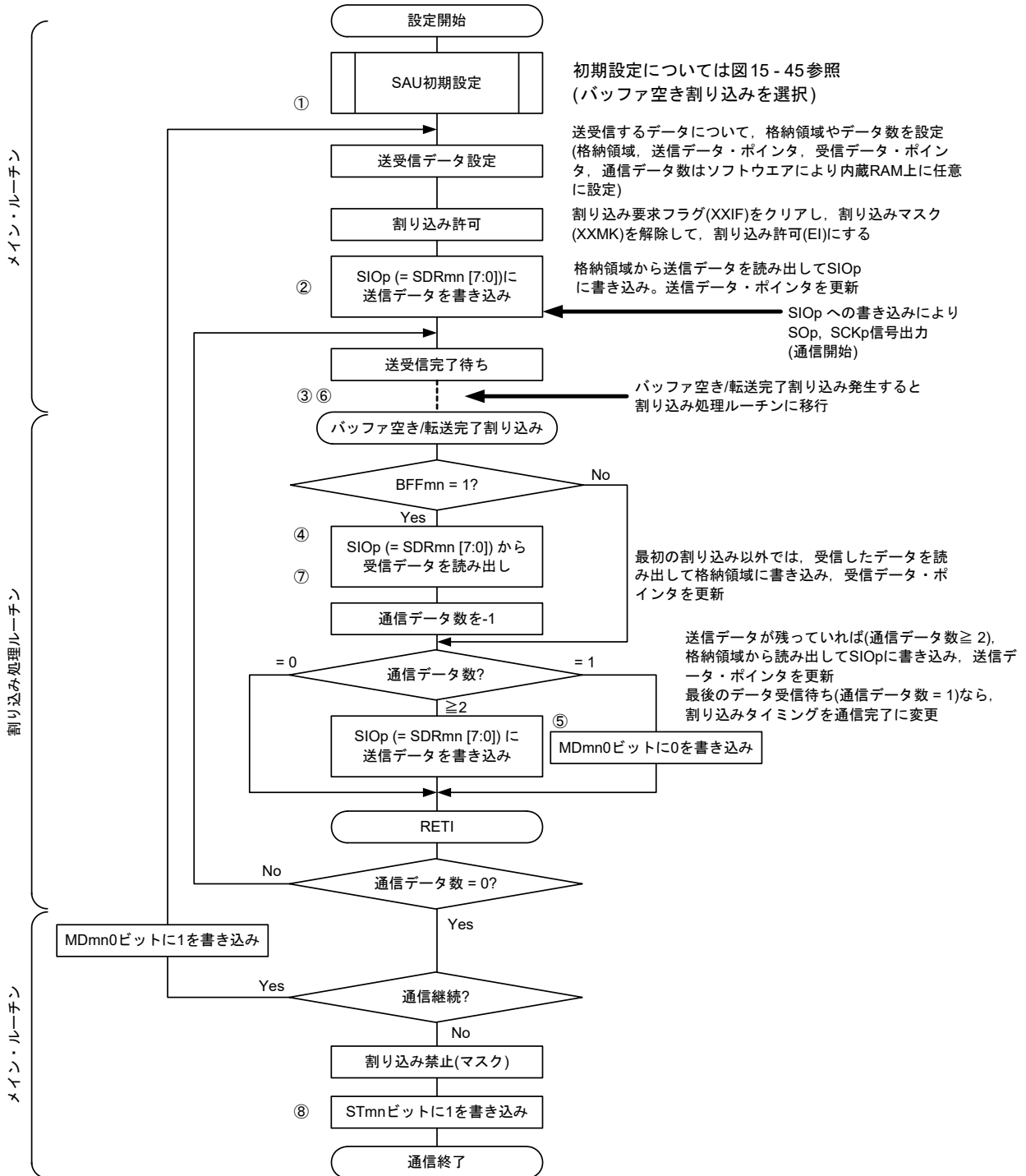
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn)のMDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込み間に間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図15-51 マスタ送受信 (連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15-51 マスタ送受信(連続送受信モード時)のフロー・チャート



備考 図中の①～⑧は、図15-50 マスタ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

15.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SO00	SCK10, SO10	SCK20, SO20	SCK30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK10, SCK20, SCK30端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

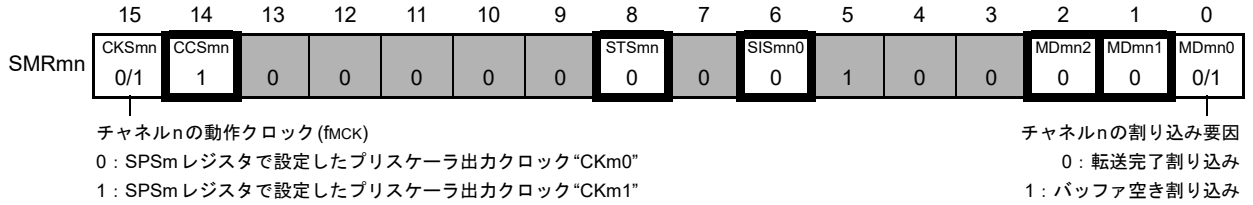
f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号(m = 0, 1) n：チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

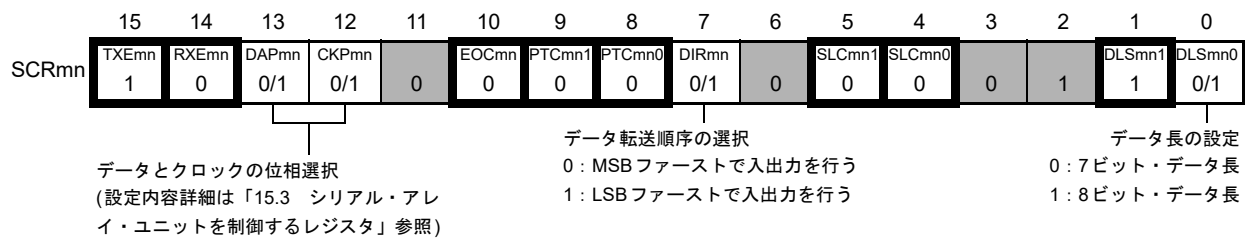
(1) レジスタ設定

図 15 - 52 簡易SPI (CSI00, CSI10, CSI20, CSI30)のスレーブ送信時のレジスタ設定内容例

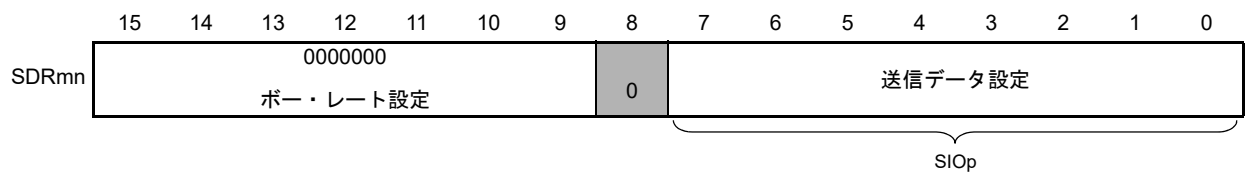
(a)シリアル・モード・レジスタ mn (SMRmn)



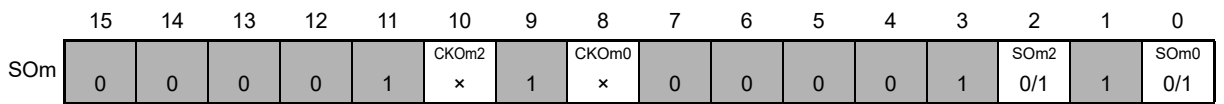
(b)シリアル通信動作設定レジスタ mn (SCRmn)



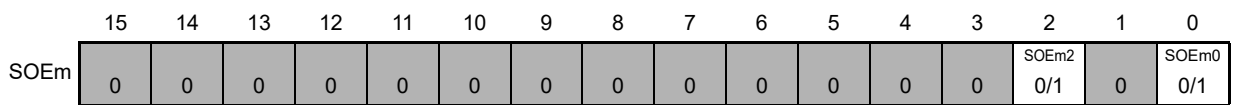
(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



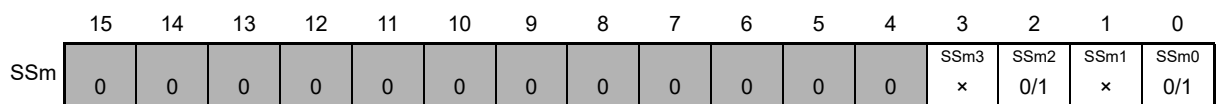
(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する



(e)シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する



(f)シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI(CSI)スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 53 スレーブ送信の初期設定手順

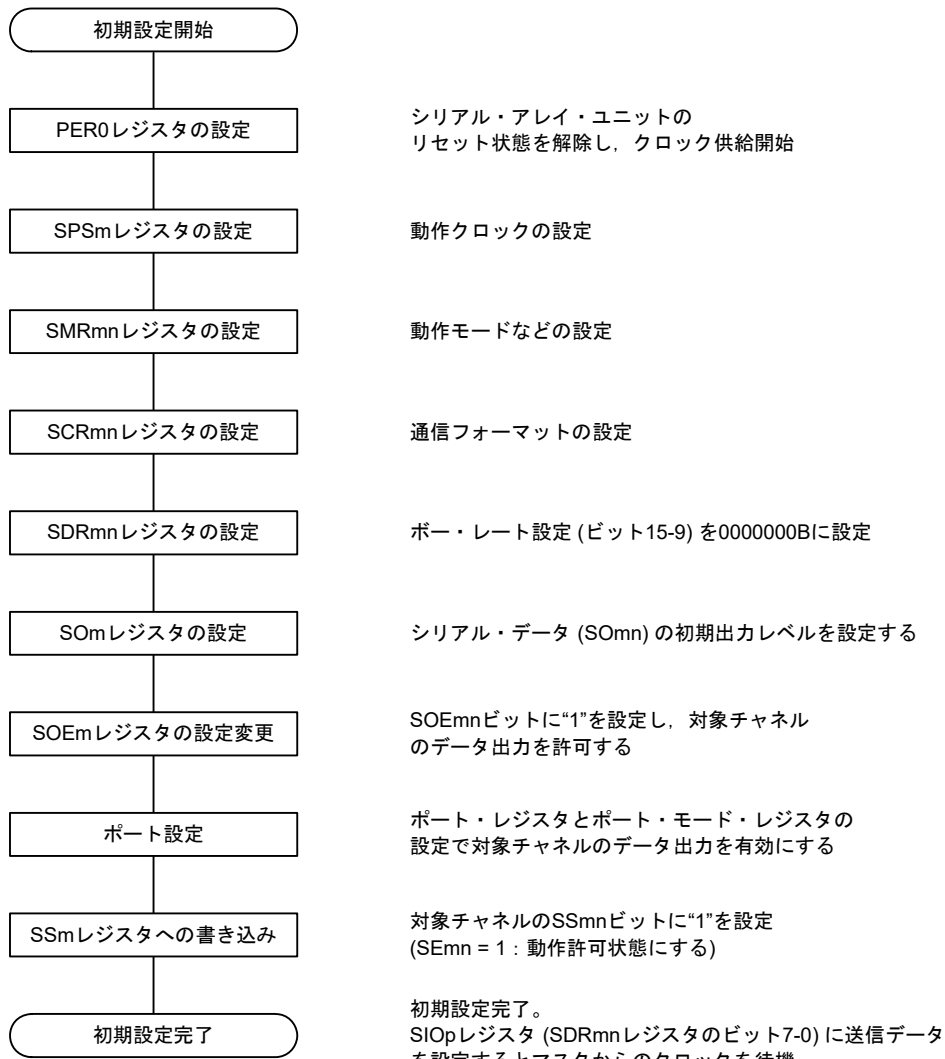


図 15 - 54 スレーブ送信の中断手順

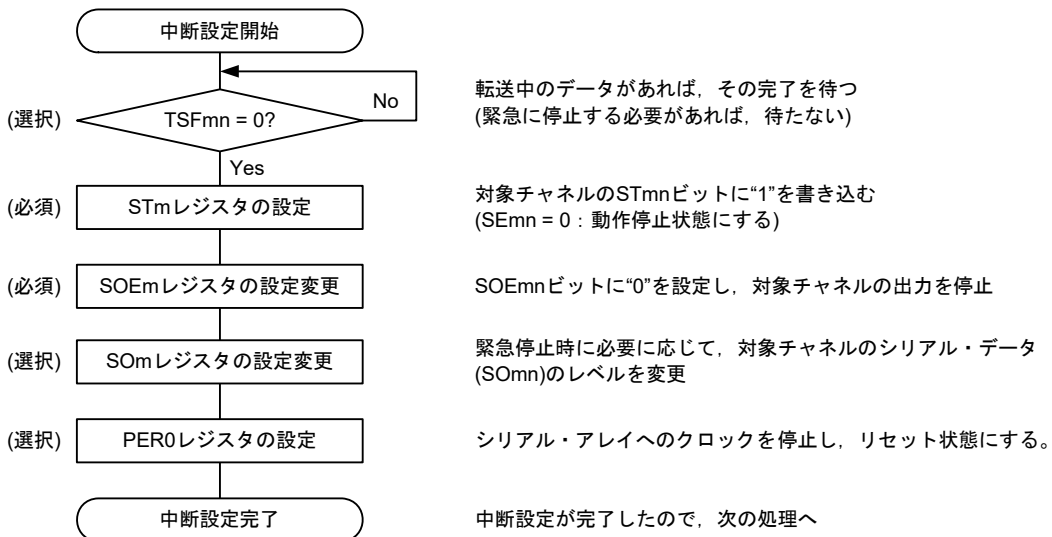
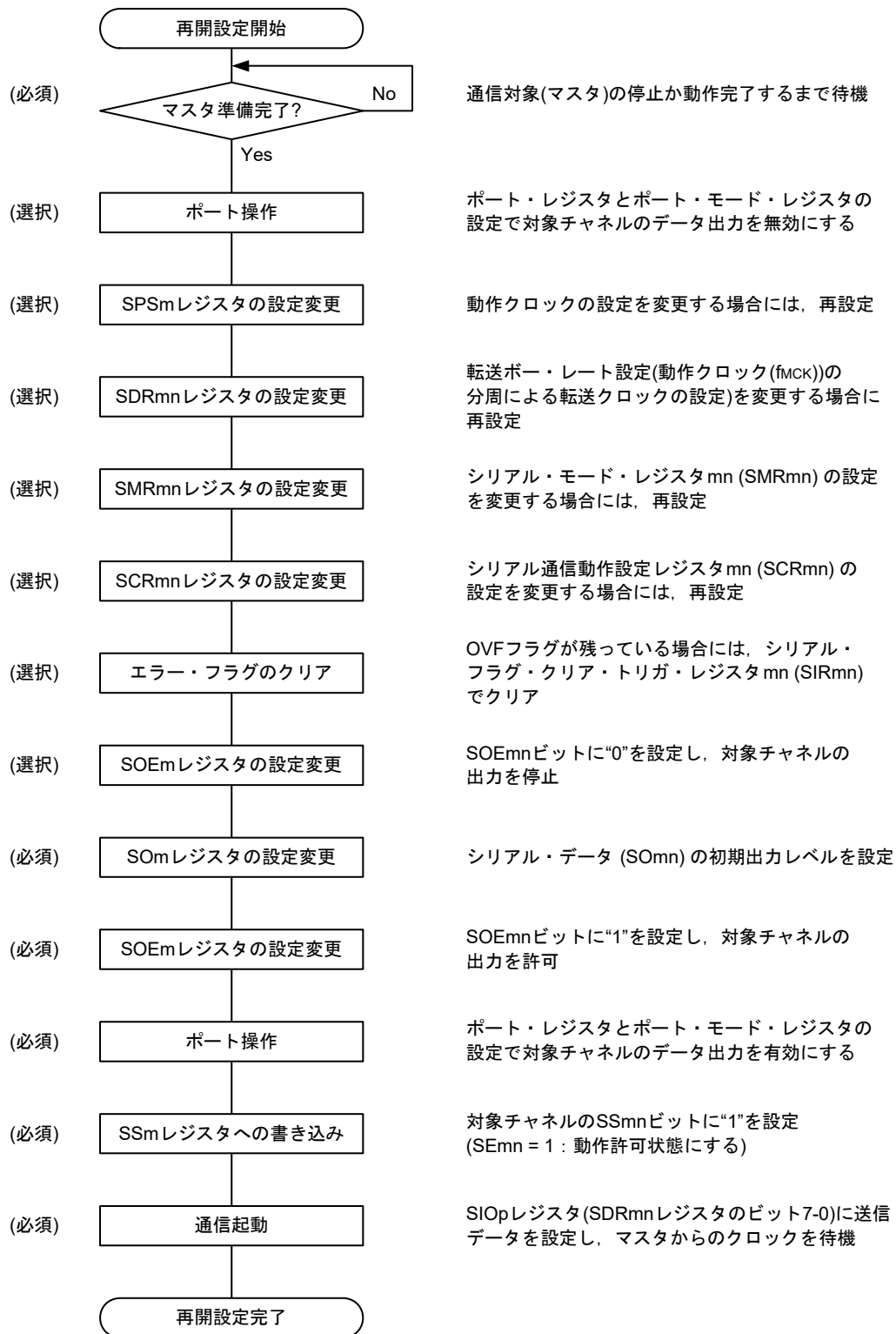


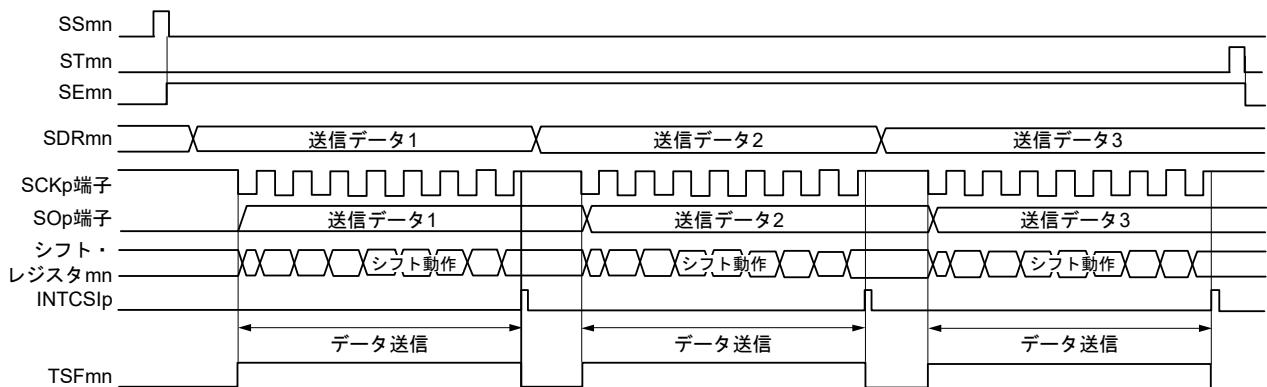
図 15 - 55 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

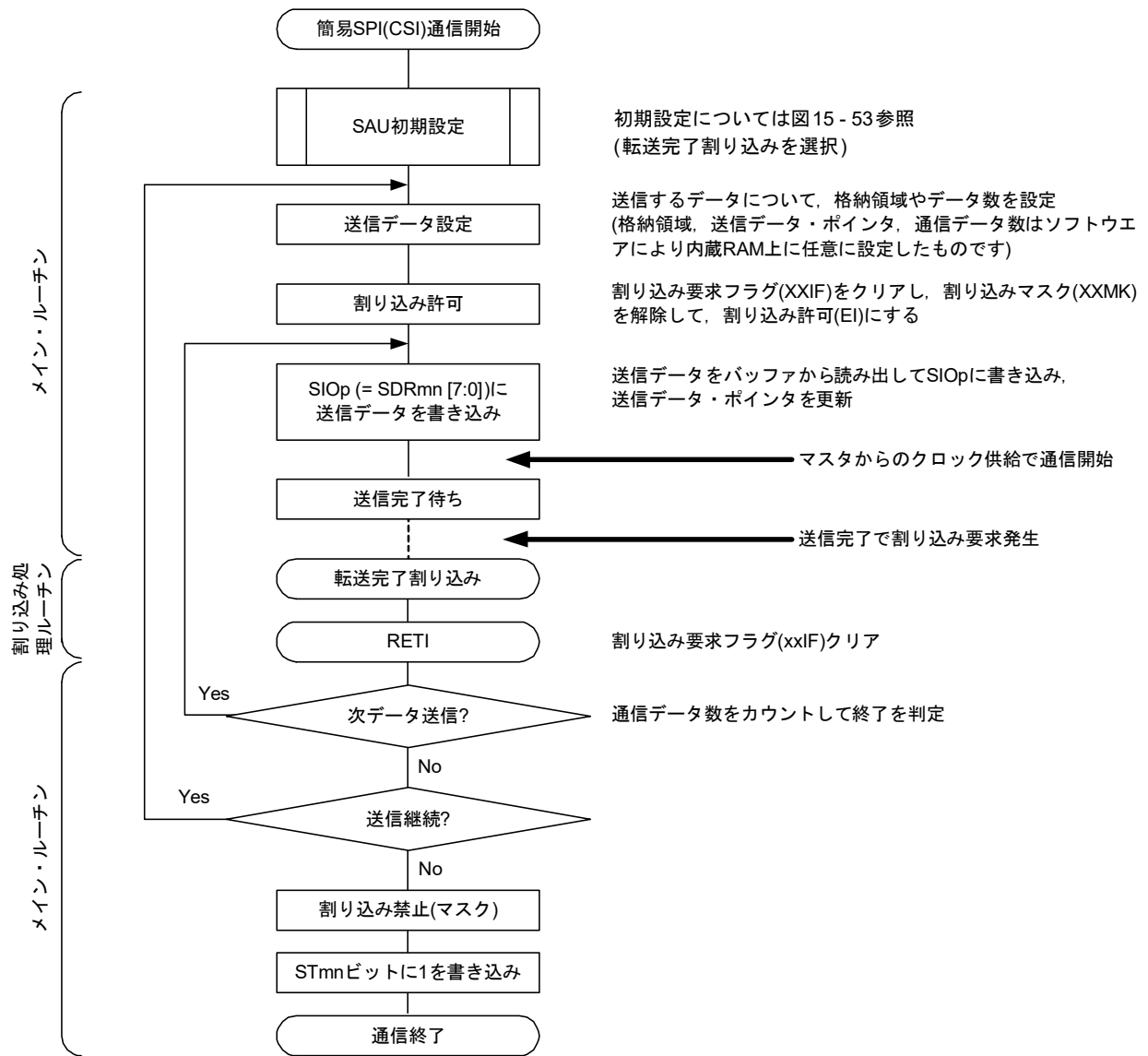
(3) 処理フロー (シングル送信モード時)

図15 - 56 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



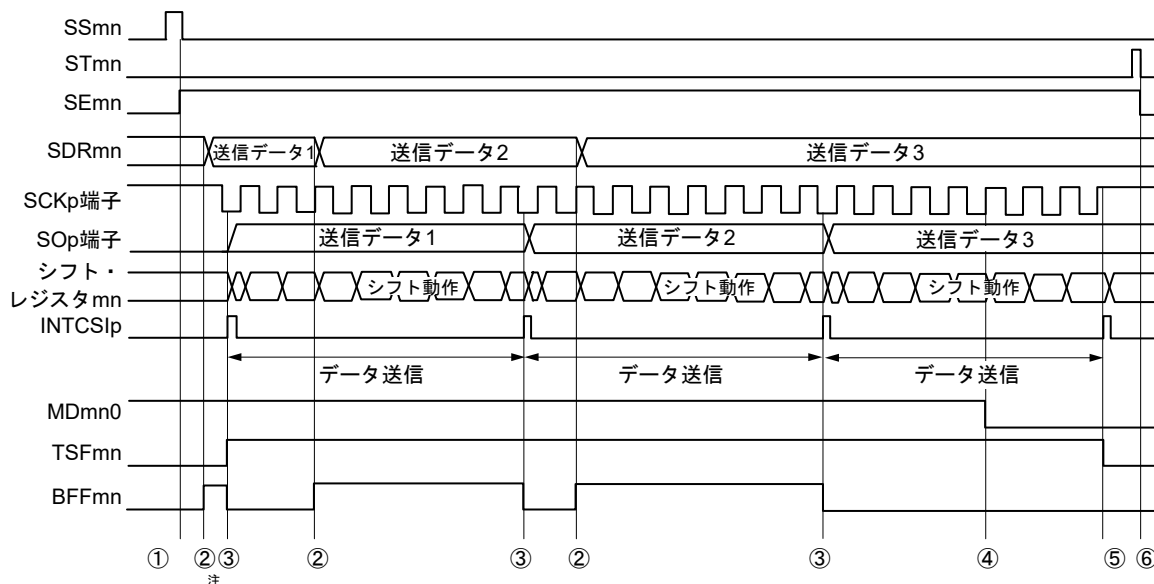
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15-57 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図15 - 58 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

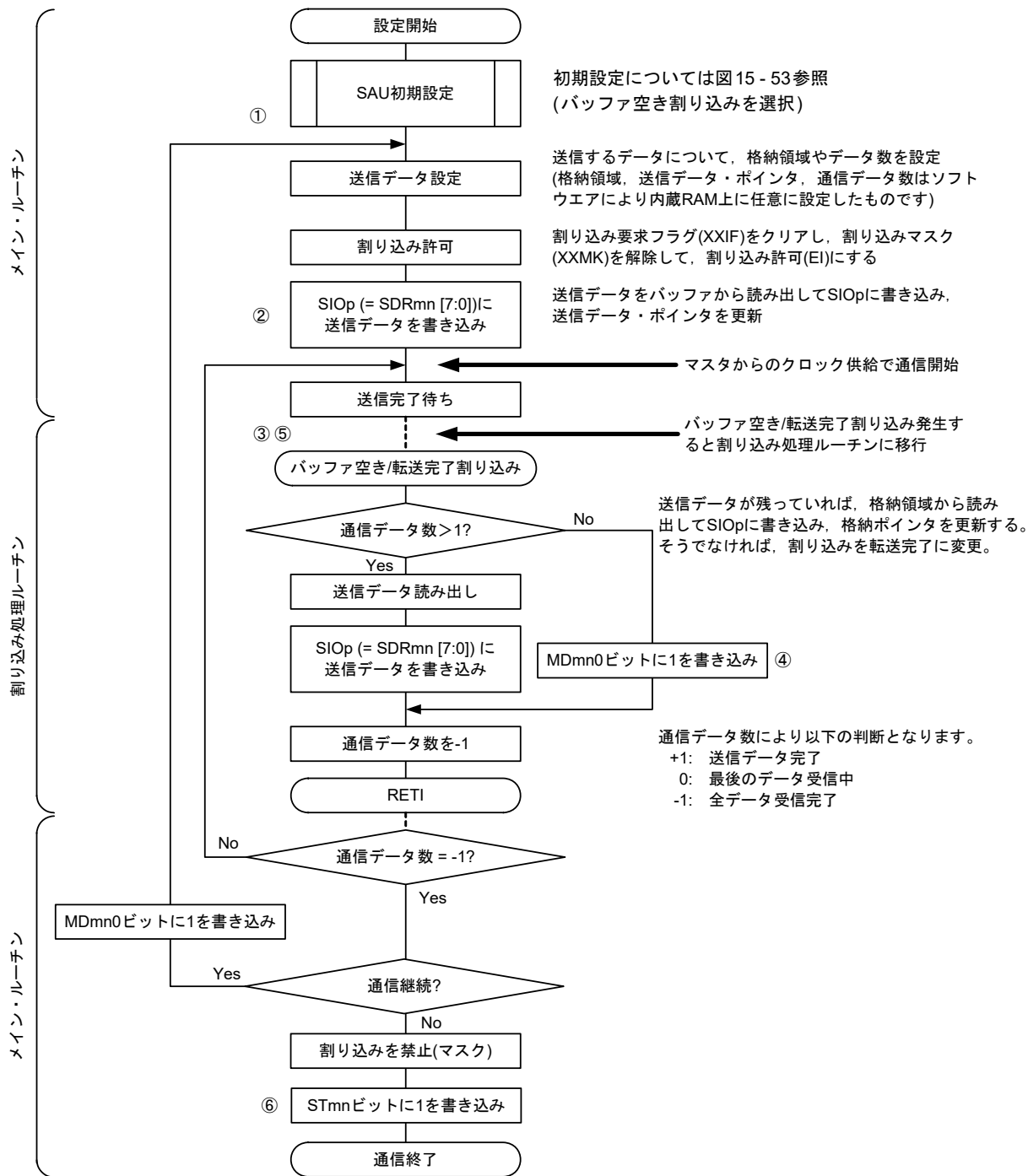


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間(有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき)に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15-59 スレーブ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図15-58 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

15.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SI00	SCK10, SI10	SCK20, SI20	SCK30, SI30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK10端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

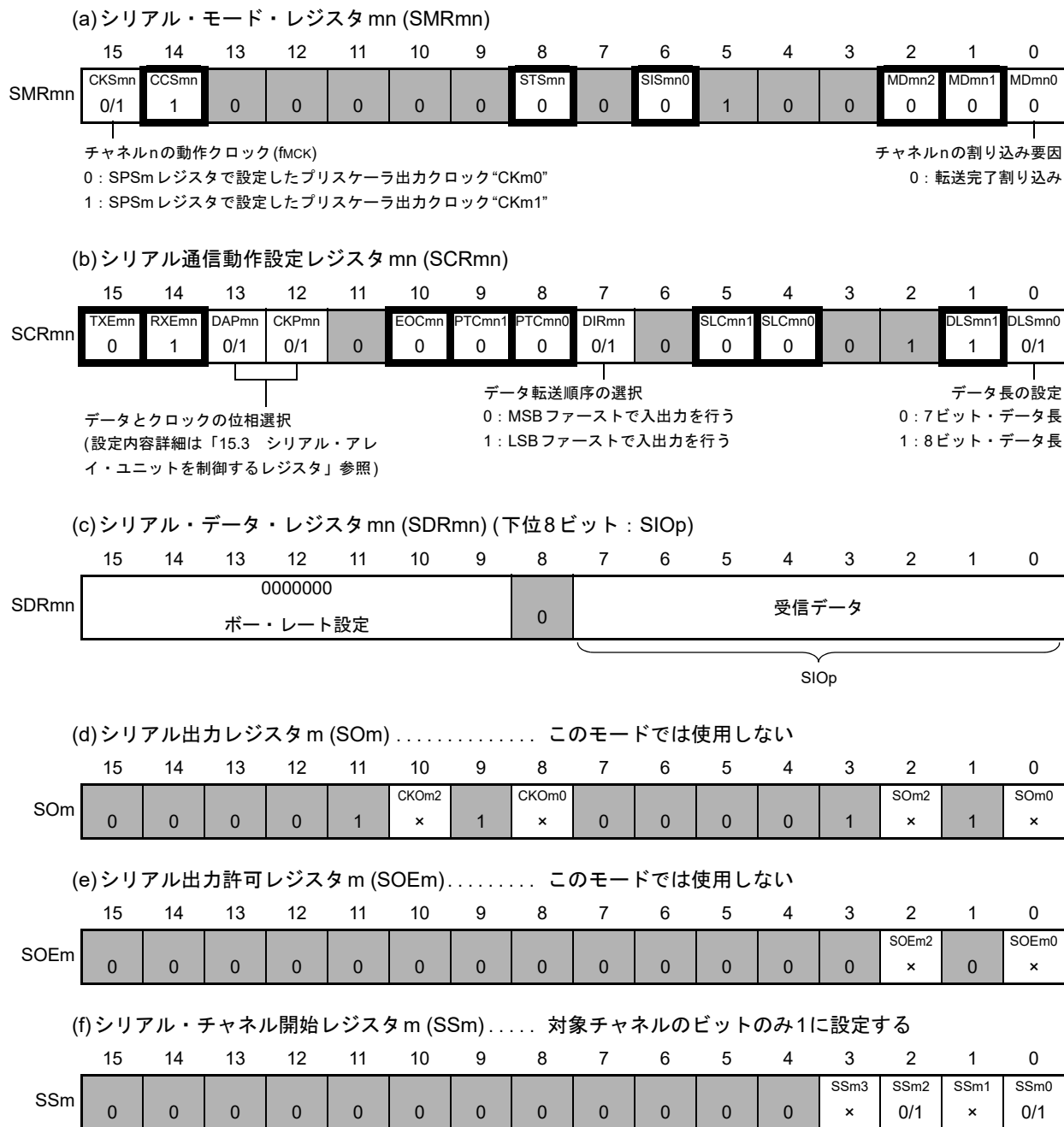
備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{SCK} : シリアル・クロック周波数

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図 15 - 60 簡易SPI (CSI00, CSI10, CSI20, CSI30)のスレーブ受信時のレジスタ設定内容例



備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI(CSI)スレーブ受信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 61 スレーブ受信の初期設定手順

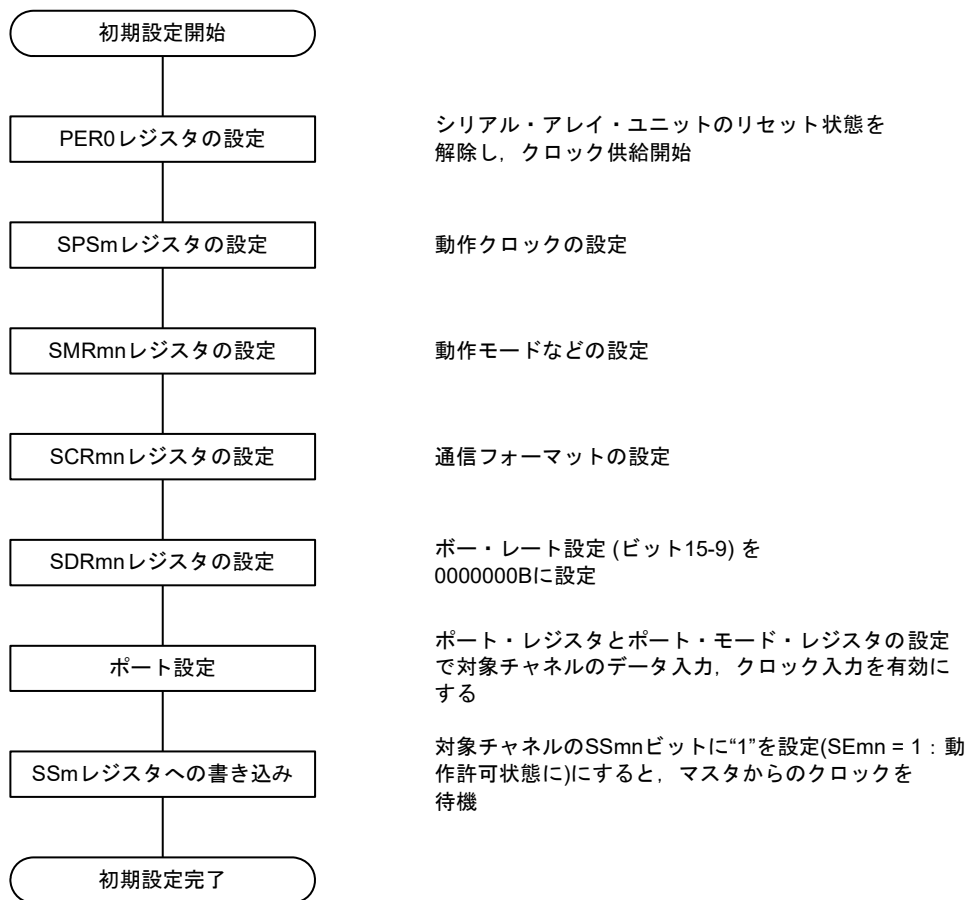


図 15 - 62 スレーブ受信の中断手順

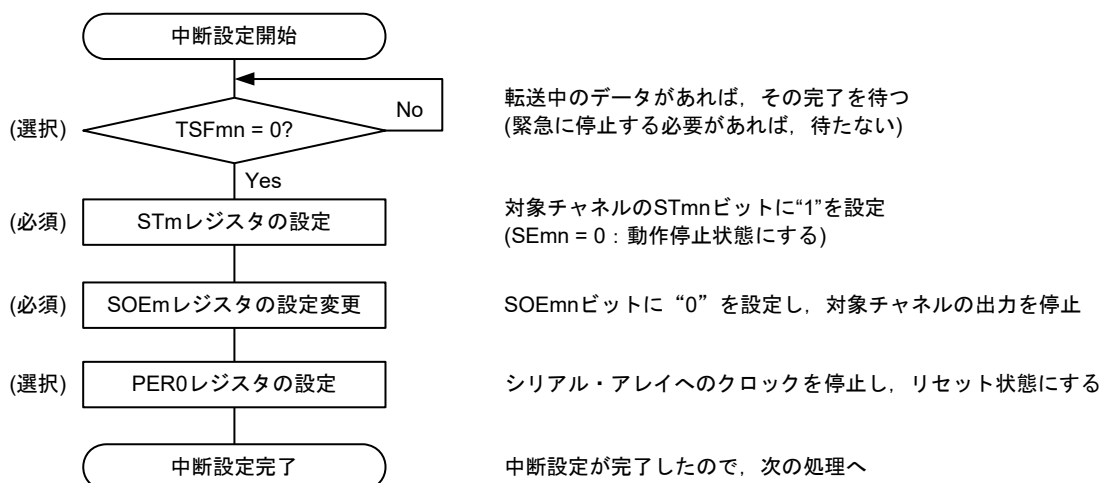
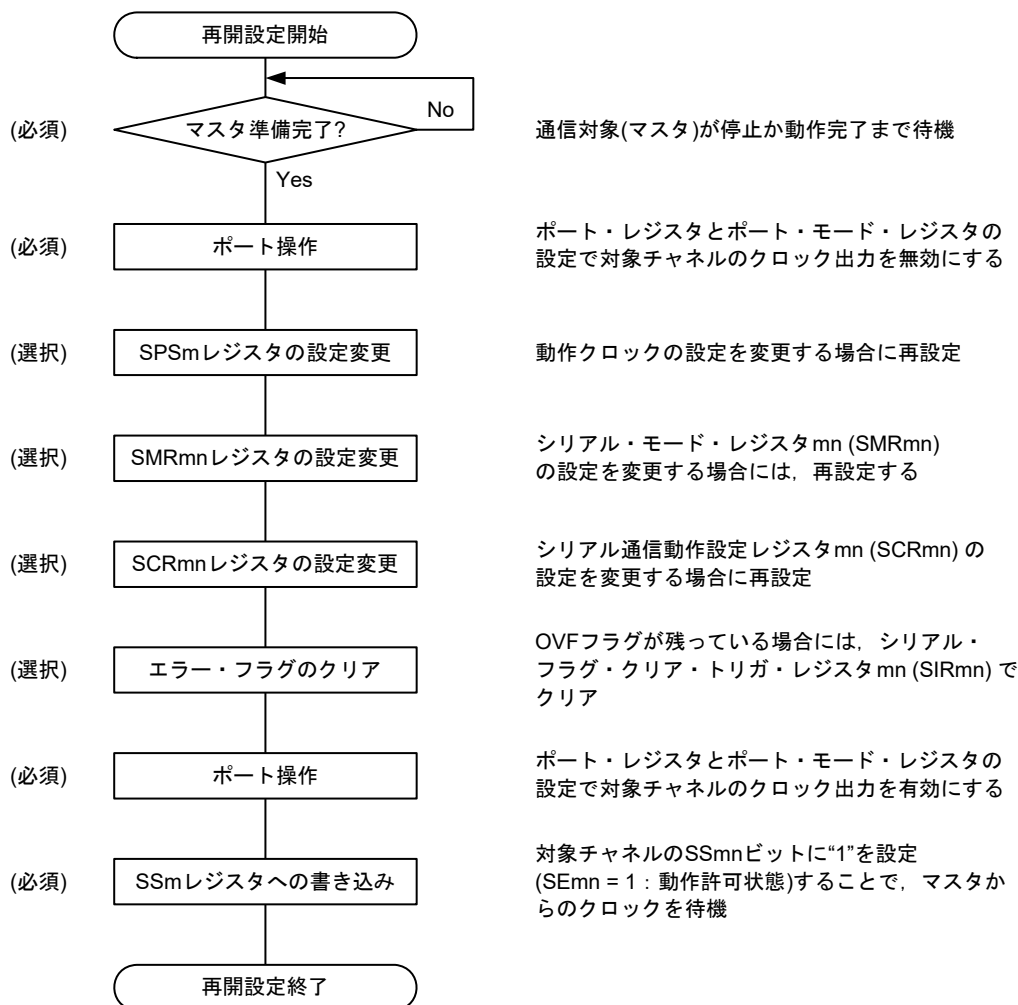


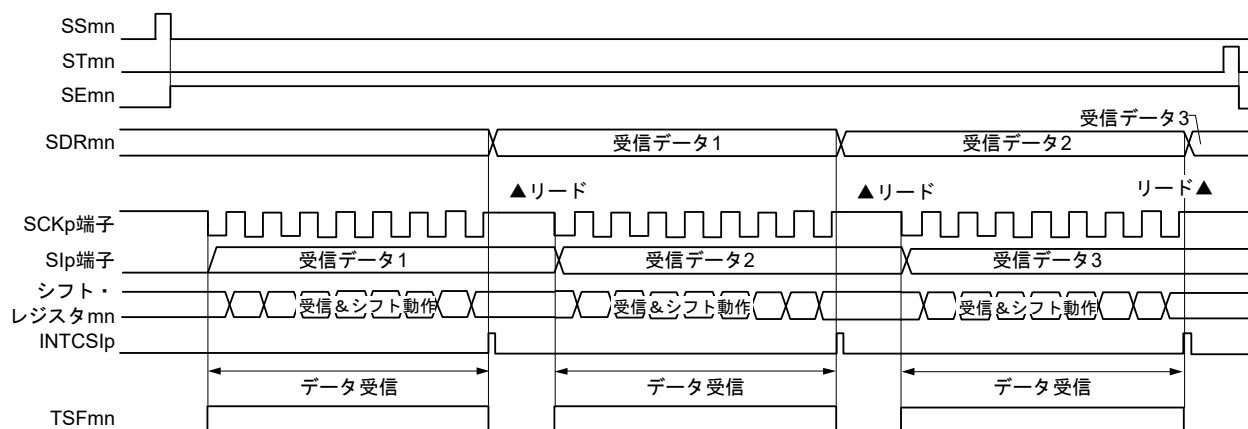
図 15 - 63 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

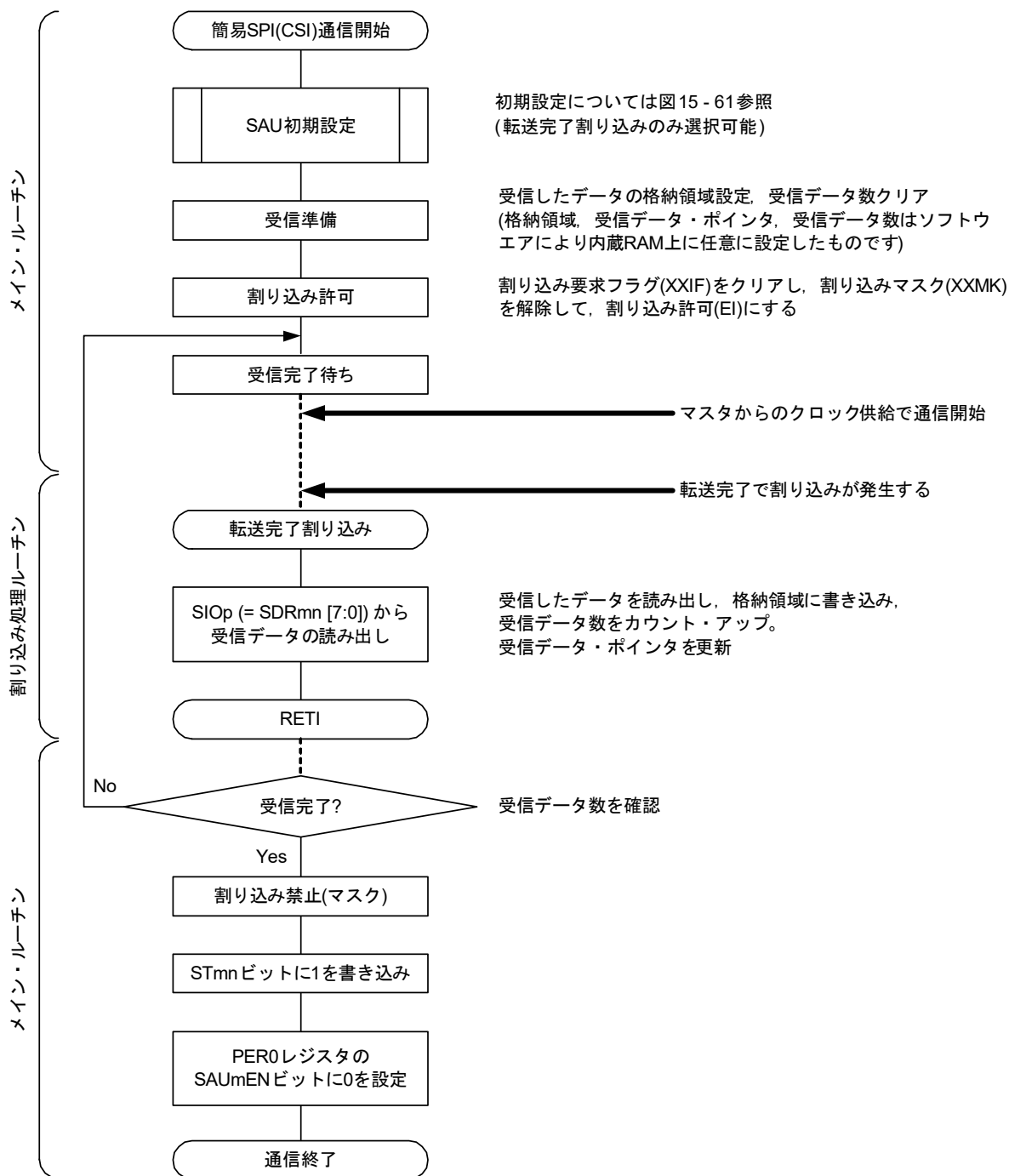
(3) 処理フロー (シングル受信モード時)

図 15 - 64 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図 15 - 65 スレーブ受信(シングル受信モード時)のフロー・チャート



15.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI10	CSI20	CSI30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK20, SI20, SO20	SCK30, SI30, SO30
割り込み	INTCSI00	INTCSI10	INTCSI20	INTCSI30
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 <ul style="list-style-type: none"> • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 <ul style="list-style-type: none"> • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK10, SCK20, SCK30端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{SCK} : シリアル・クロック周波数

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図 15 - 66 簡易SPI (CSI00, CSI10, CSI20, CSI30)のスレーブ送受信時のレジスタ設定内容例

(a)シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fMCK) チャンネルnの割り込み要因
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0” 0 : 転送完了割り込み
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1” 1 : バッファ空き割り込み

(b)シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択 データ転送順序の選択 データ長の設定
 (設定内容詳細は「15.3 シリアル・アレイ・ユニットを制御するレジスタ」参照) 0 : MSB ファーストで入出力を行う 0 : 7ビット・データ長
1 : LSB ファーストで入出力を行う 1 : 8ビット・データ長

(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	00000000								0	送信データ設定/受信データ・レジスタ							
	ボー・レート設定																

SIOp

(d)シリアル出力レジスタ m (SOm) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	x	1	x	0	0	0	0	1	0/1	1	0/1

(e)シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

(f)シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

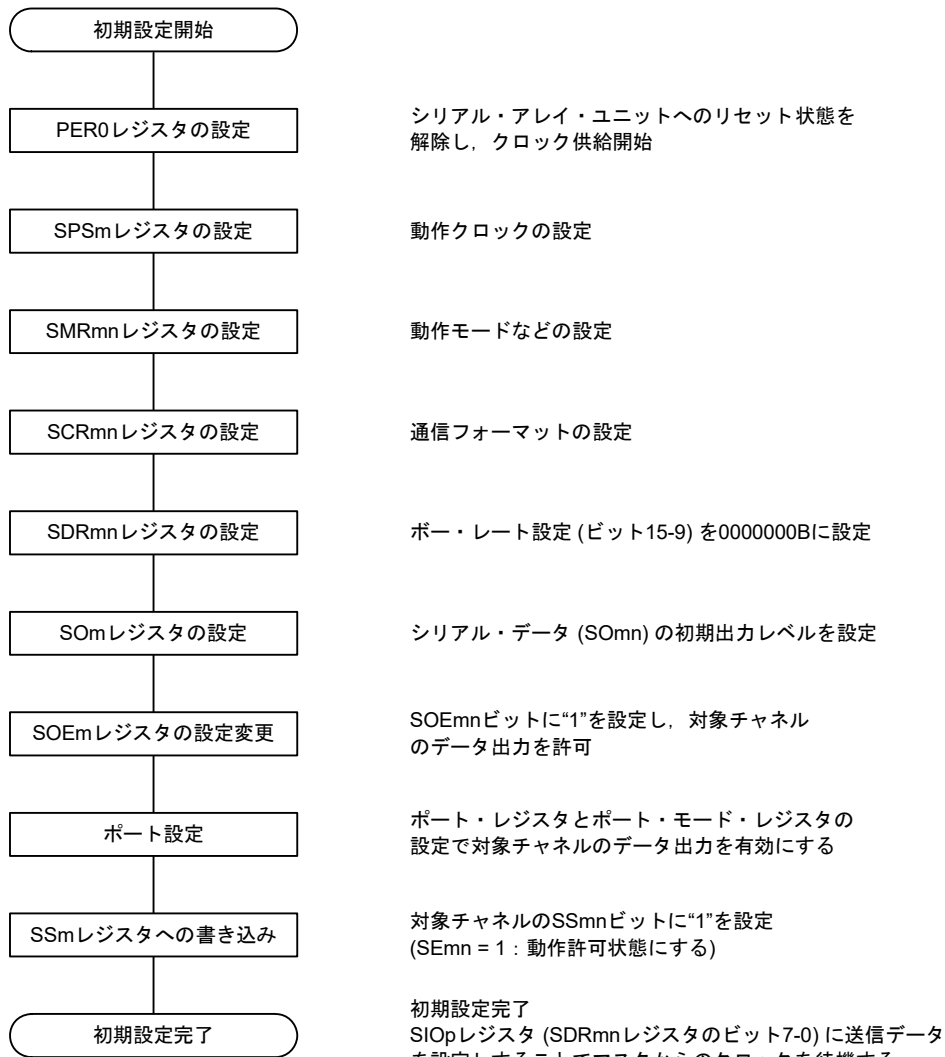
注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) p : CSI番号(p = 00, 10, 20, 30) mn = 00, 02, 10, 12

備考2. : 簡易SPI(CSI)スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)
 x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 67 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 15 - 68 スレーブ送受信の中断手順

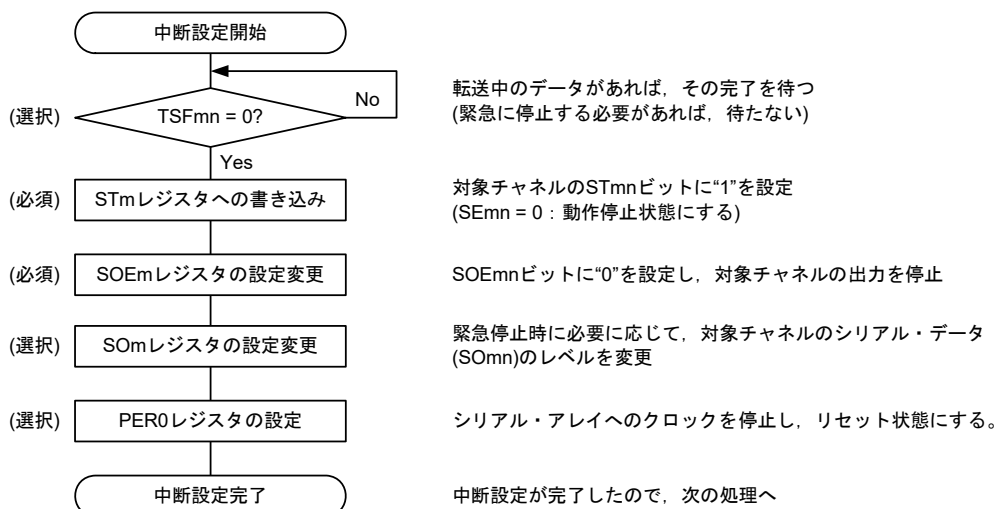
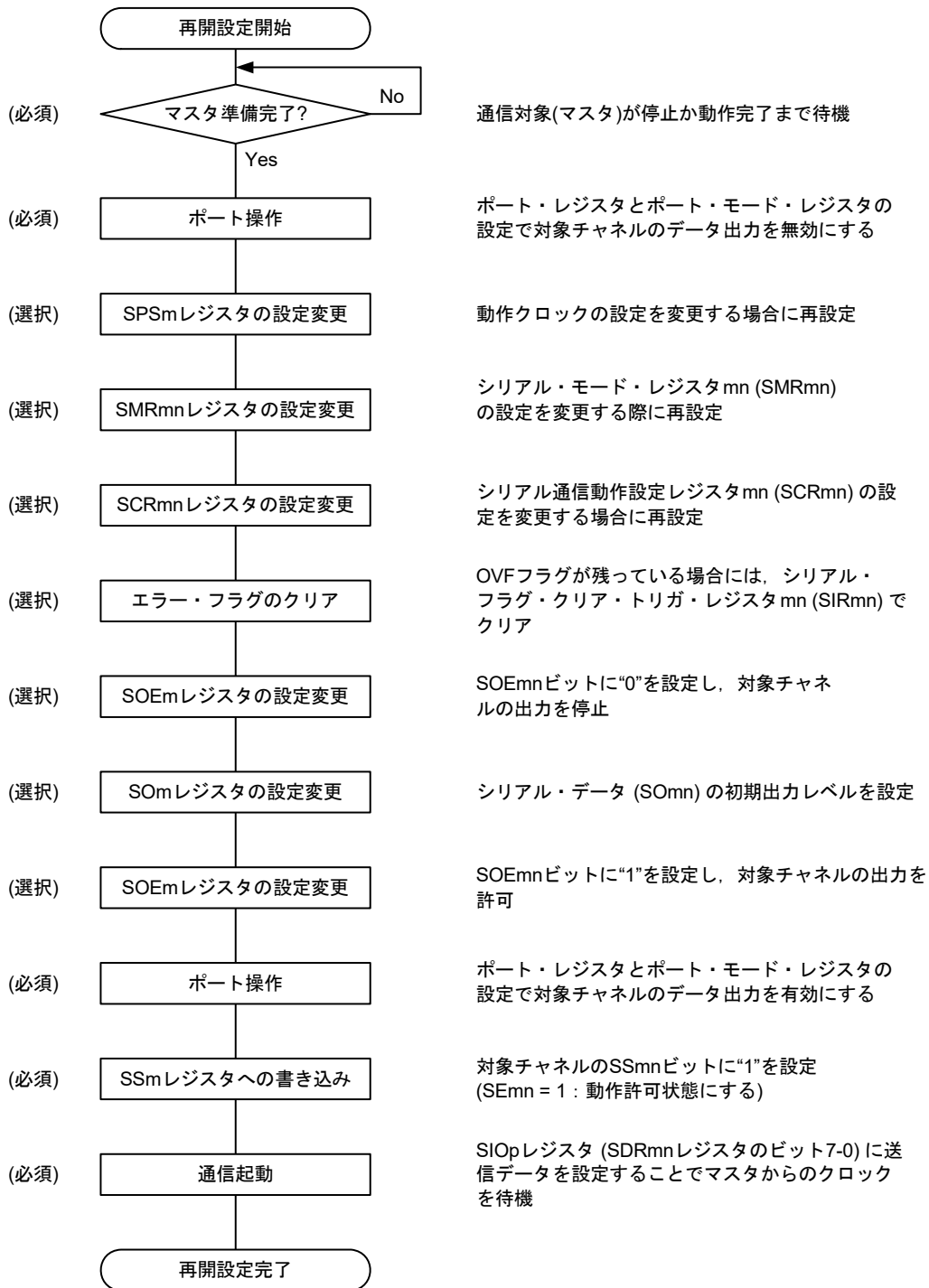


図 15 - 69 スレーブ送受信の再開設定手順

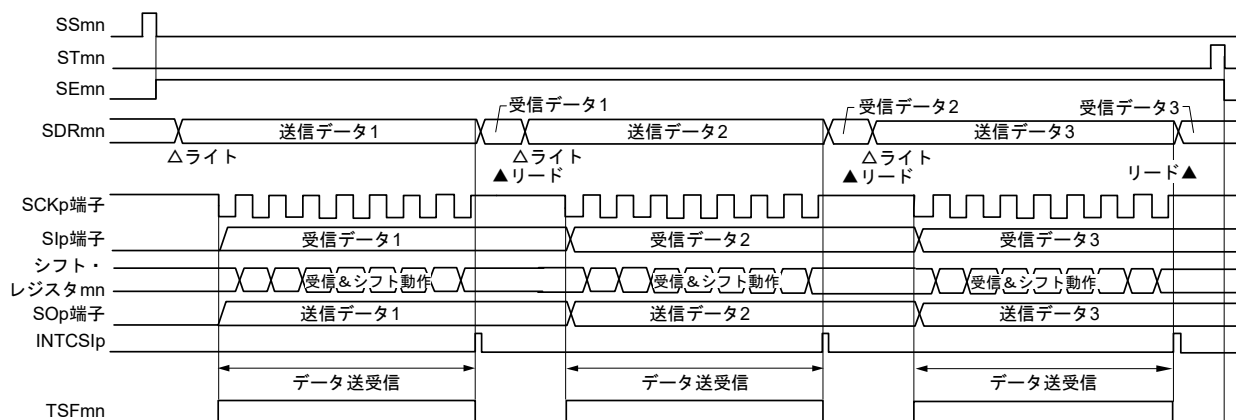


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

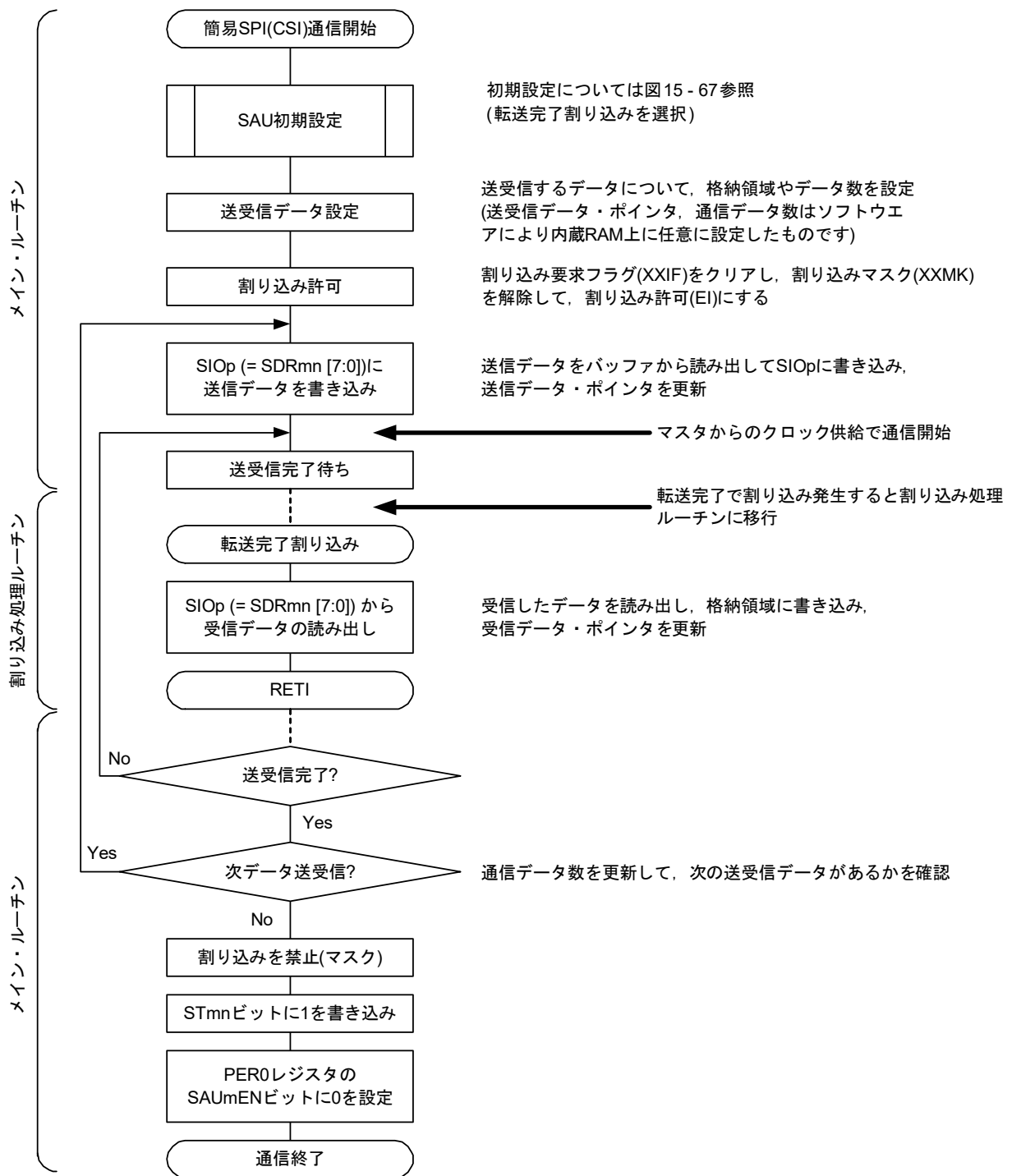
(3) 処理フロー (シングル送受信モード時)

図 15 - 70 スレーブ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

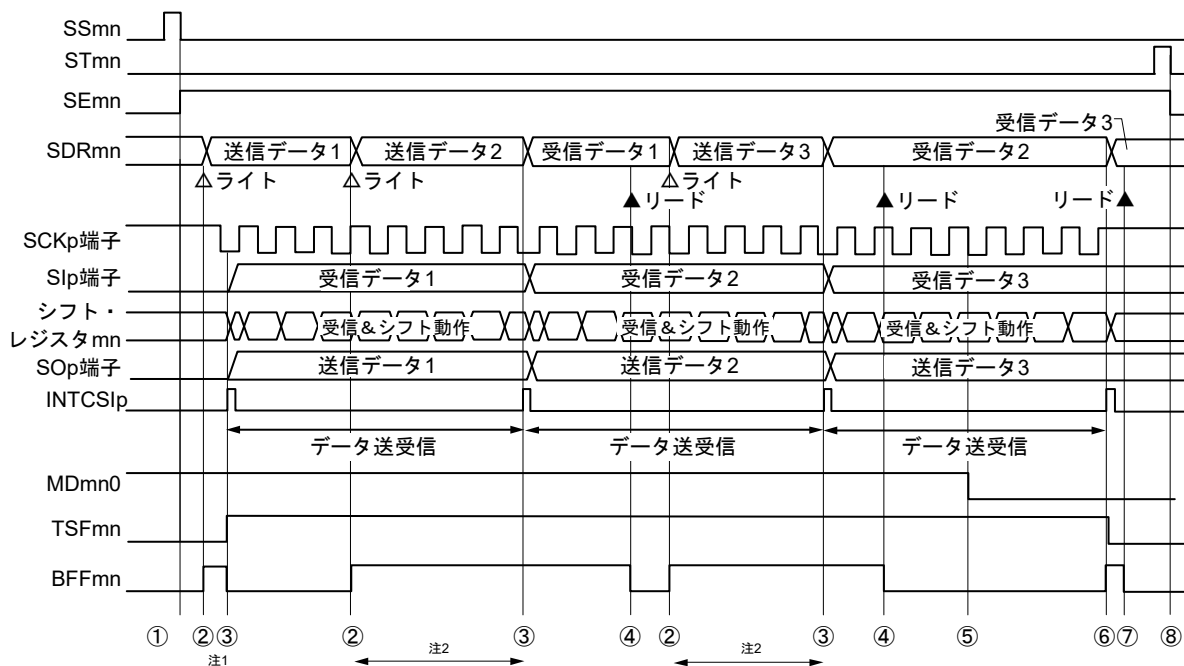
図15-71 スレーブ送受信(シングル送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図 15 - 72 スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

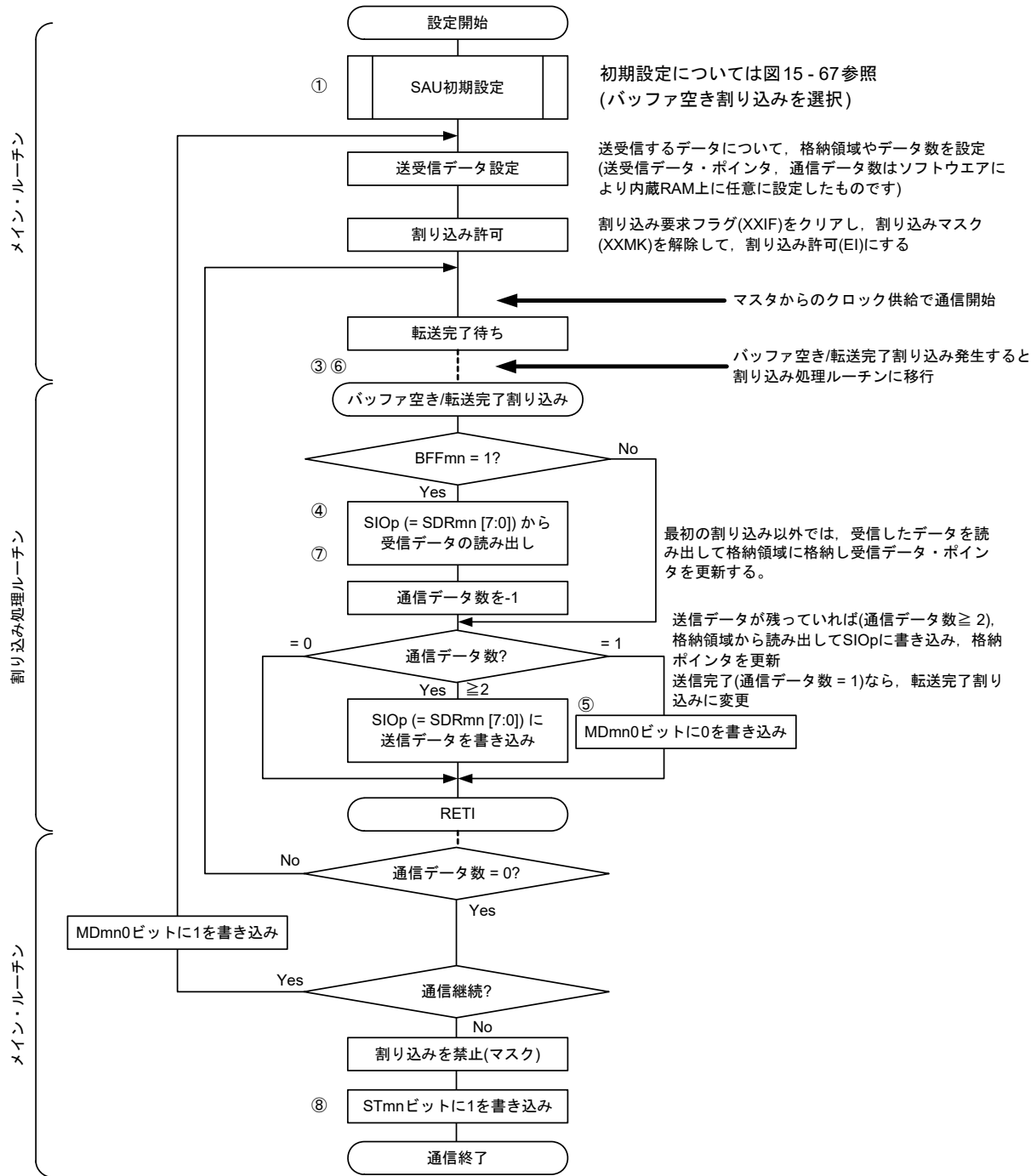
注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図 15 - 73 スレーブ送受信 (連続送受信モード時) のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) p : CSI番号 (p = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15-73 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は、図15-72 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

15.5.7 SNOOZEモード機能

STOPモード時にSCKp端子入力の検出により簡易SPI(CSI)の受信動作をさせるモードです。通常STOP時に簡易SPI(CSI)は通信動作を停止しますが、このモードを使うことで、SCKp端子入力の検出によってCPUを動作させずに簡易SPI(CSI)の受信動作を行うことができます。SNOOZEモードは、CSI00, CSI20のみ設定可能です。

簡易SPI(CSI)をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います(図15-75, 図15-77 SNOOZEモード動作時のフローチャートを参照)。

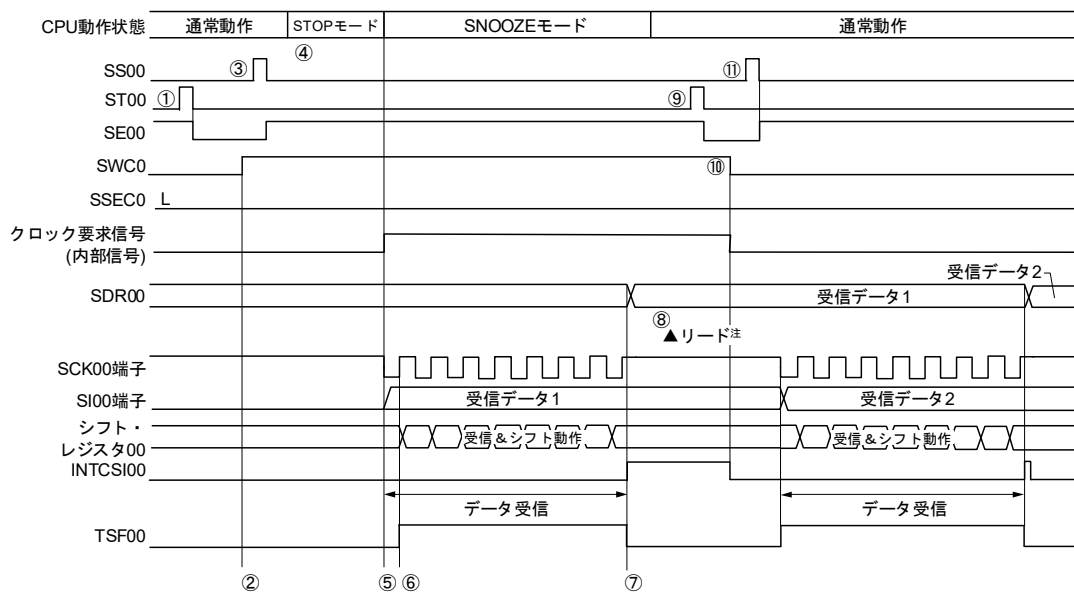
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm1ビットをセット(1)します。
- STOPモードに移行後、SCKp端子の有効エッジを検出するとSNOOZEモードへ移行します。SCKp端子のシリアル・クロック入力により、CSIpは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1) SNOOZEモード動作(1回起動)

図15-74 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

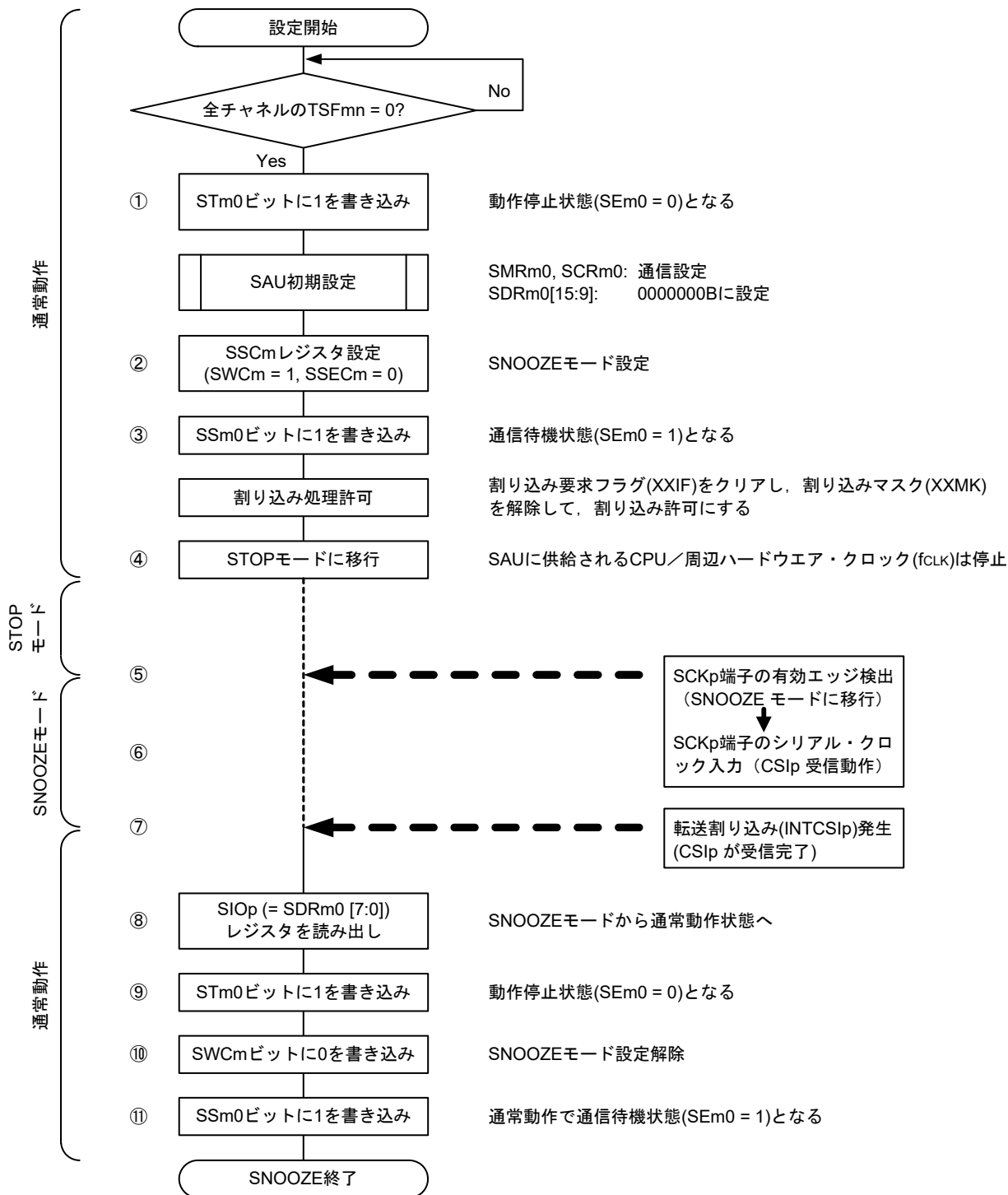
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVFm1フラグは動作しません。

備考1. 図中の①~⑪は、図15-75 SNOOZEモード動作(1回起動)時のフロー・チャートの①~⑪に対応しています。

備考2. m = 0, 1; p = 00, 20

図 15 - 75 SNOOZEモード動作(1回起動)時のフロー・チャート

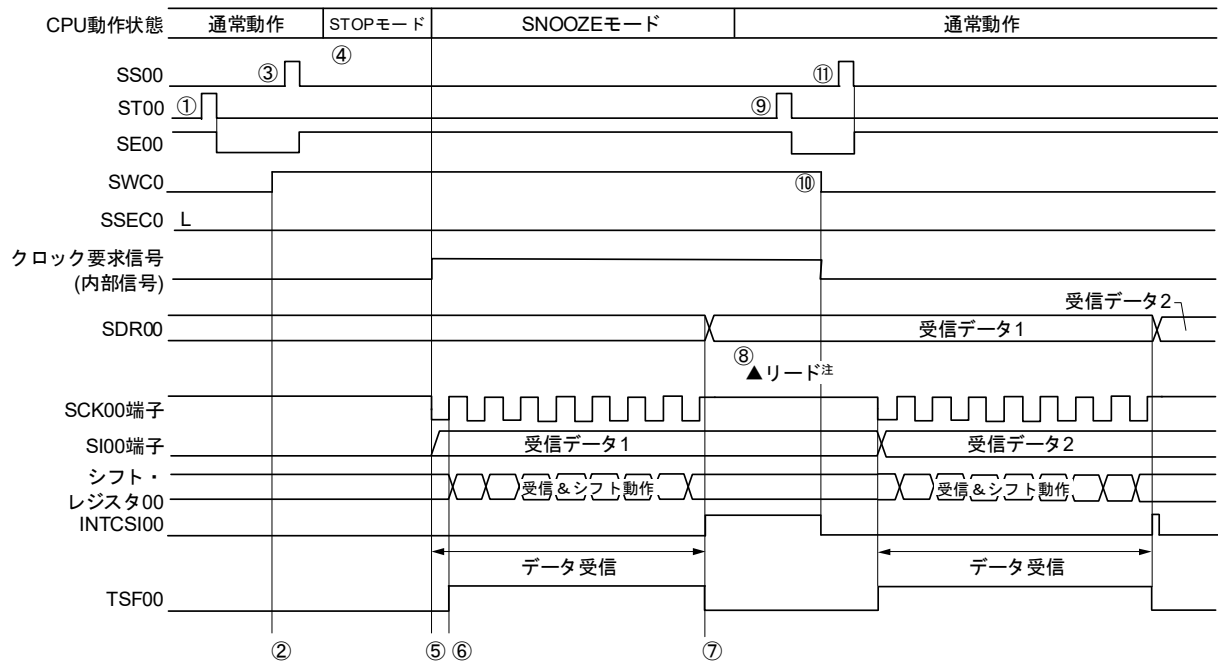


備考1. 図中の①～⑪は、図 15 - 74 SNOOZEモード動作(1回起動)時のタイミング・チャートの①～⑪に対応しています。

備考2. m = 0, 1; p = 00, 20

(2) SNOOZEモード動作(連続起動)

図15-76 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットを1に設定してください(SEm0ビットがクリアされ動作停止)。

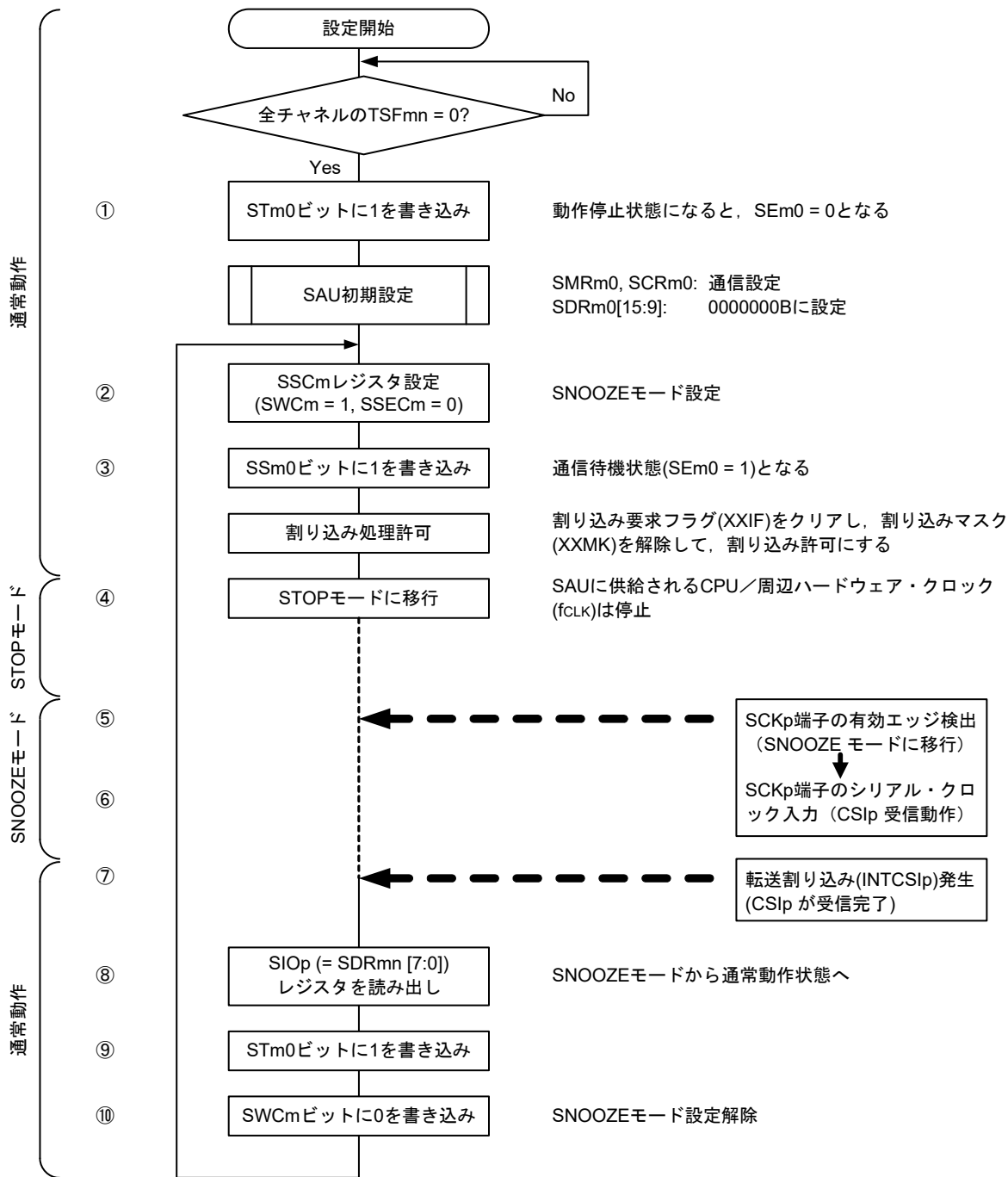
また、受信動作を完了したあとは、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SWCm = 1のときは、BFFm1, OVf1フラグは動作しません。

備考1. 図中の①~⑩は、図15-77 SNOOZEモード動作(連続起動)時のフロー・チャートの①~⑩に対応しています。

備考2. m = 0, 1; p = 00, 20

図 15 - 77 SNOOZE モード動作(連続起動)時のフロー・チャート



備考1. 図中の①～⑩は、図 15 - 76 SNOOZE モード動作(連続起動)時のタイミング・チャートの①～⑩に対応しています。

備考2. m = 0, 1; p = 00, 20

15.5.8 転送クロック周波数の算出

簡易SPI (CSI00, CSI10)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注 [Hz]}$$

注 ただし、許容最大転送クロック周波数はfMCK/6となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000000B-1111111B)なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmn)で決まります。

表 15 - 2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz
	1	1	0	0	X	X	X	X	fCLK/2 ¹²	5.86 kHz
	1	1	0	1	X	X	X	X	fCLK/2 ¹³	2.93 kHz
	1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.46 kHz
1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタm(STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

15.5.9 簡易SPI (CSI00, CSI10, CSI20, CSI30)通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI10, CSI20, CSI30)通信時にエラーが発生した場合の処理手順を図15 - 78に示します。

図15 - 78 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12

15.6 UART (UART0-UART3)通信の動作

シリアル／データ送信(TxD)とシリアル／データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ポー・レートを使用して)、データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。また、UART0とタイマ・アレイ・ユニット0(チャンネル7)と外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定(レベルを、反転するかどうかの選択)
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART0, UART2 受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。受信時ポー・レート調整機能に対応している、UART0, UART2のみ設定可能です。

UART0 (ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus 機能]

- | | | |
|--|---|--|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド(BF)検出 • シンク・フィールド測定, ポー・レート算出 | } | 外部割り込み(INTP0),
タイマ・アレイ・ユニット0(チャンネル7)を使用 |
|--|---|--|

注 9ビット・データ長は、UART0, UART2のみ対応しています。

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

UART2では、SAU1のチャンネル0, 1を使用します。

UART3では、SAU1のチャンネル2, 3を使用します。

○80ピン, 85ピン, 100ピン製品

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—		—
	2	CSI30	UART3	IIC30
	3	—		—

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は、送信側(偶数チャンネル)と受信側(奇数チャンネル)のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信(15.6.1項を参照)
- UART受信(15.6.2項を参照)
- LIN送信(UART0のみ)(15.7.1項を参照)
- LIN受信(UART0のみ)(15.7.2項を参照)

15.6.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期(調歩同期)でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	TxD0	TxD1	TxD2	TxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビットまたは9ビット注1			
転送レート注2	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加 			
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • 1ビット付加 • 2ビット付加 			
データ方向	MSBファーストまたはLSBファースト			

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

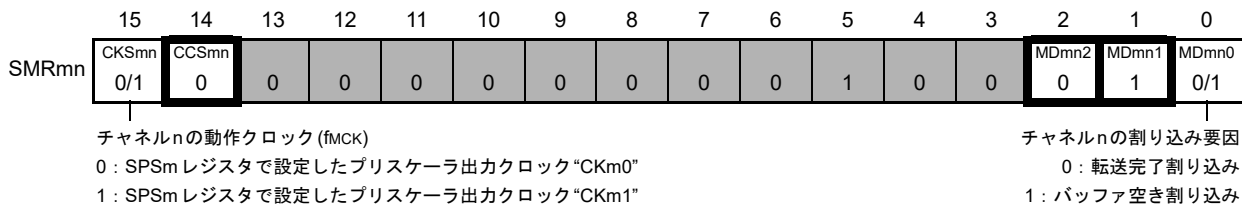
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0, 1$) n : チャンネル番号($n = 0, 2$) $mn = 00, 02, 10, 12$

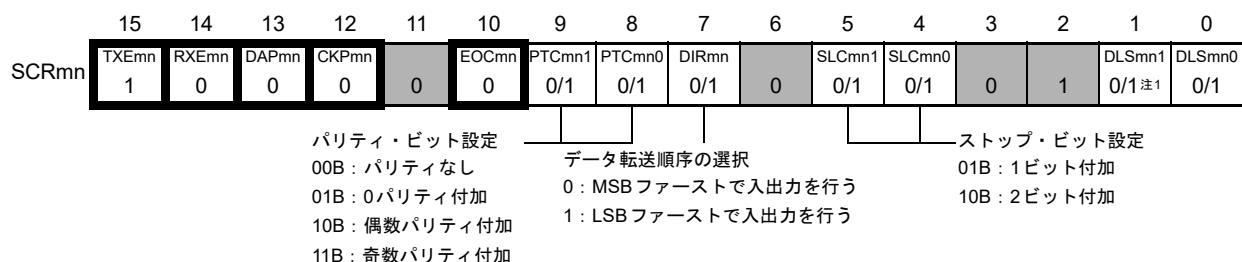
(1) レジスタ設定

図 15 - 79 UART (UART0-UART3)のUART 送信時のレジスタ設定内容例(100ピン製品) (1/2)

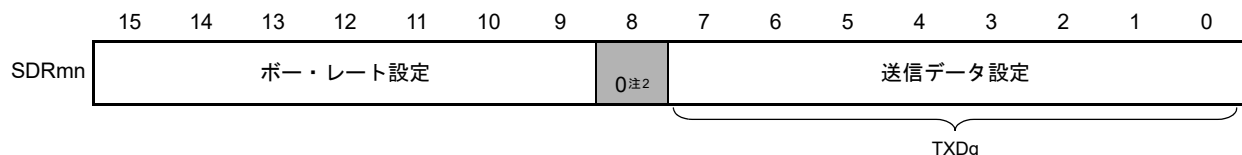
(a)シリアル・モード・レジスタ mn (SMRmn)



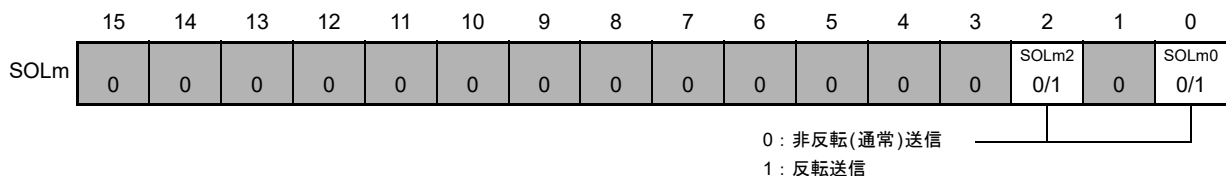
(b)シリアル通信動作設定レジスタ mn (SCRmn)



(c)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : TXDq)



(d)シリアル出力レベル・レジスタ m (SOLm) 対象チャンネルのビットのみ設定する



注1. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。
 注2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。
 9ビット・データ長での通信が行えるのは、UART0, UART2のみです。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) q : UART 番号 (q = 0-3),
 mn = 00, 02, 10, 12

備考2. : UART 送信モードでは設定固定 : 設定不可 (初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

図 15 - 80 UART (UART0-UART3)のUART送信時のレジスタ設定内容例(100ピン製品) (2/2)

(e) シリアル出力レジスタ m (SOM) 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM	0	0	0	0	1	CKOm2 注2 ×	1	CKOm0 注2 ×	0	0	0	0	1	SOM2 0/1注1	1	SOM0 0/1注1

0 : シリアル・データ出力値が“0”
1 : シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタ m (SOEm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 0/1	0	SOEm0 0/1

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

注1. 該当するチャンネルのSOLmnビットに0を設定している場合は“1”に、SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

注2. シリアル・アレイ・ユニット0のみ。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2),
mn = 00, 02, 10, 12

備考2. : UART送信モードでは設定固定 : 設定不可(初期値を設定)
× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 81 UART 送信の初期設定手順

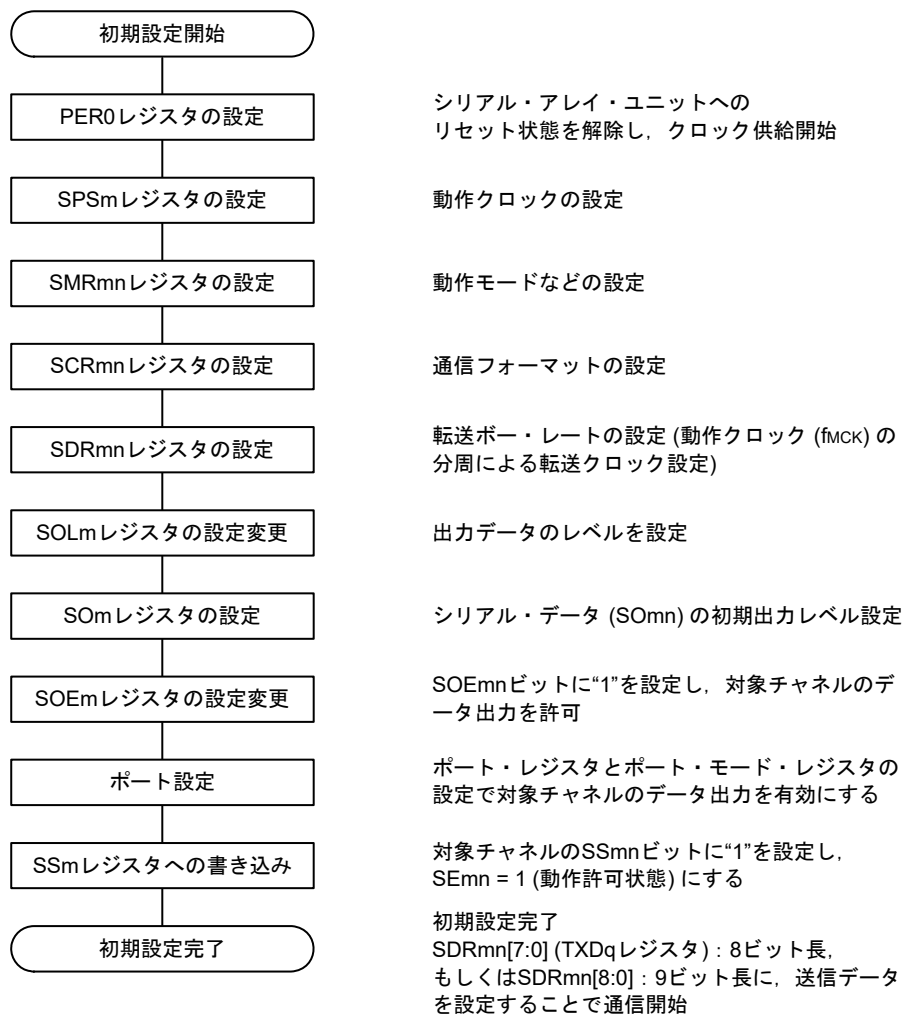


図 15 - 82 UART 送信の中断手順

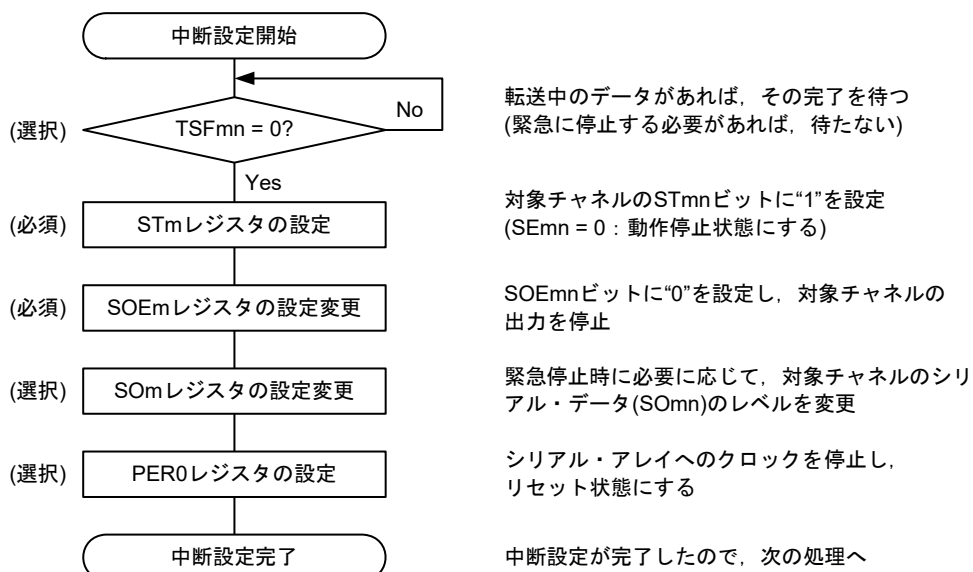
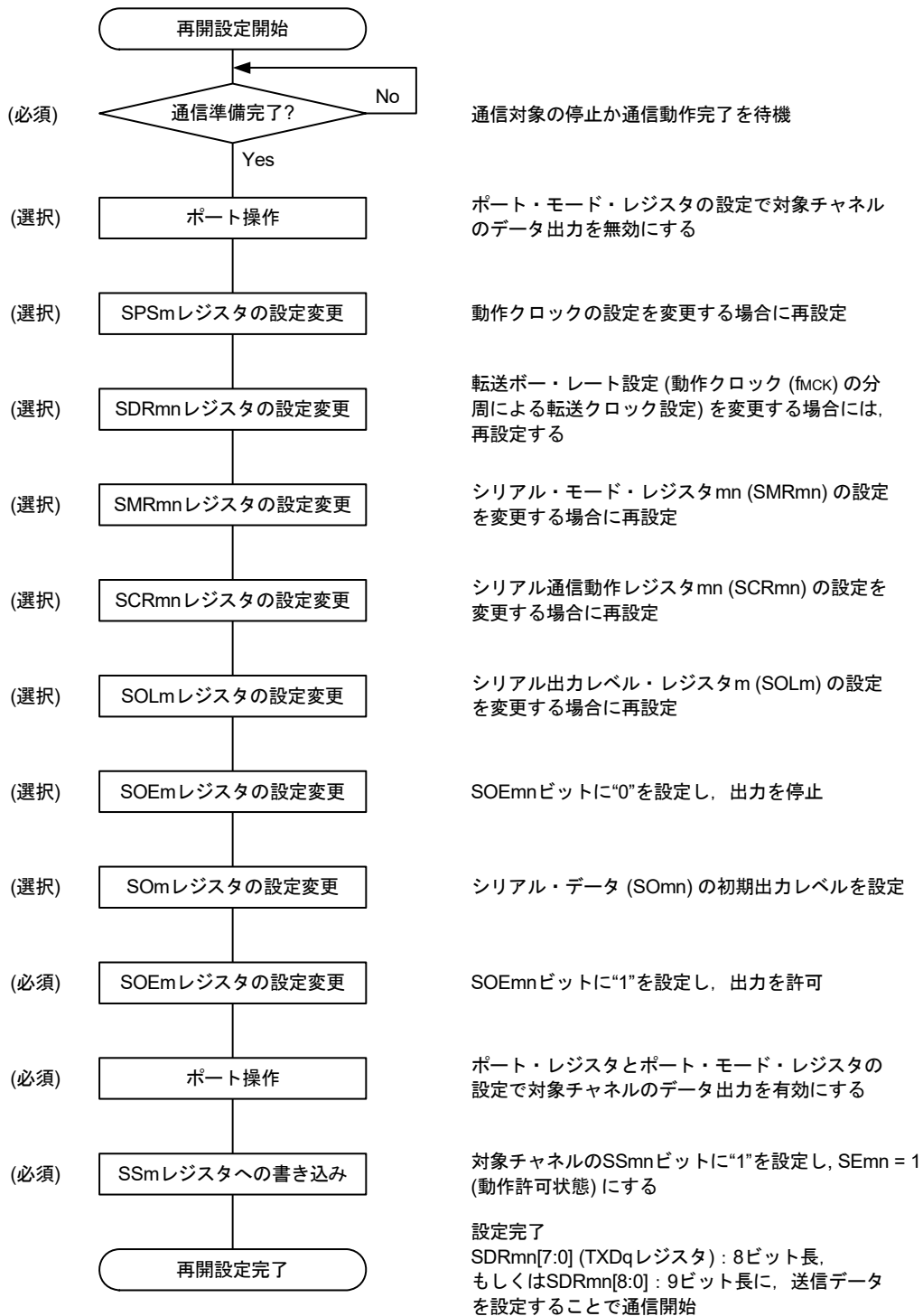


図 15 - 83 UART 送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

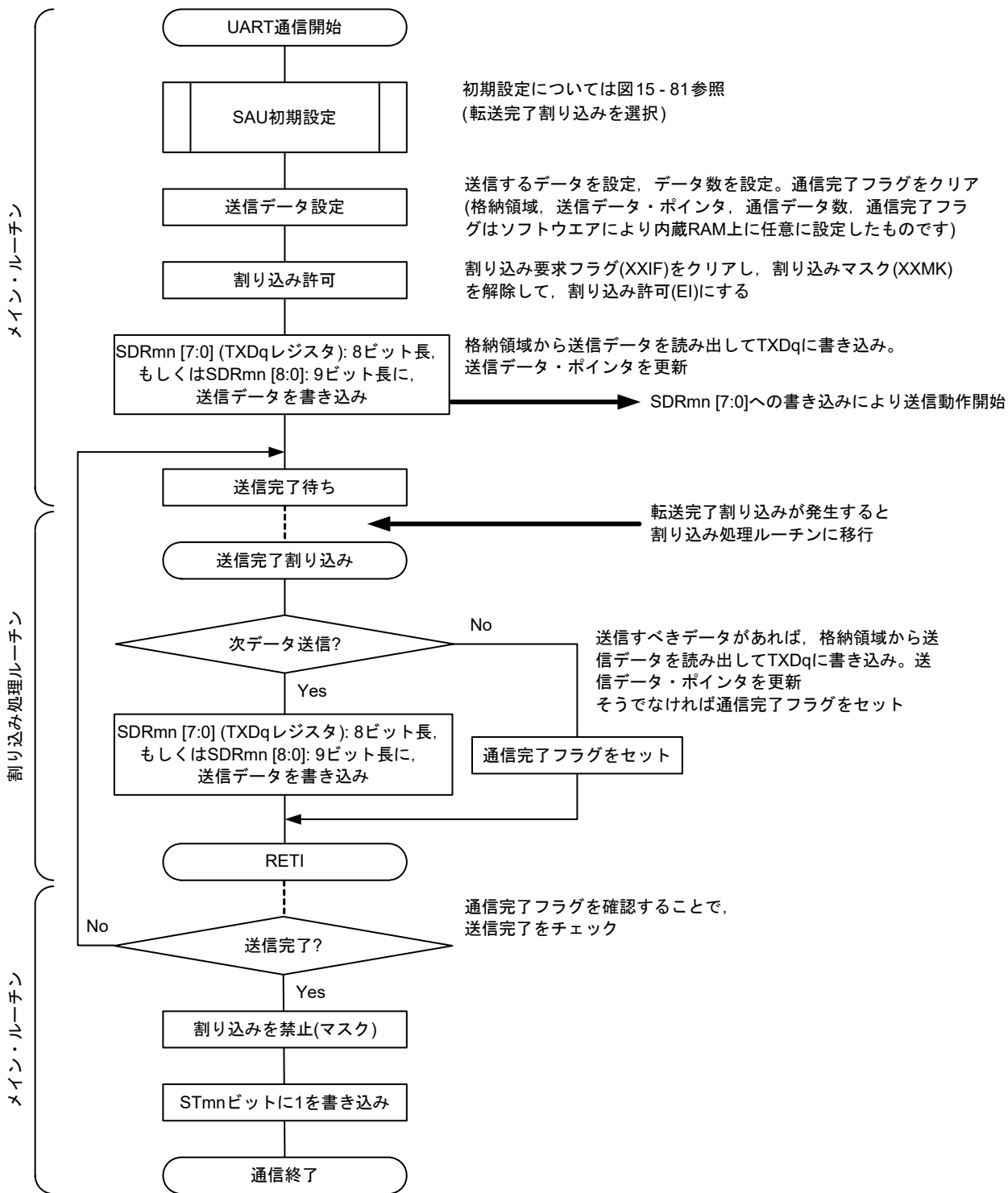
(3) 処理フロー (シングル送信モード時)

図 15 - 84 UART 送信 (シングル送信モード時) のタイミング・チャート



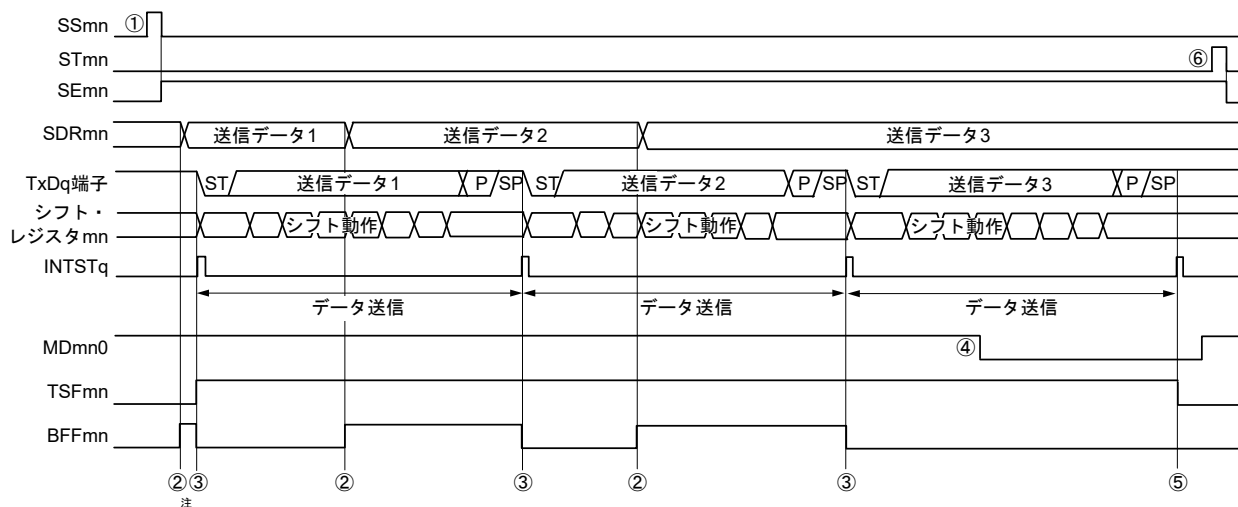
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-3)
 mn = 00, 02, 10, 12

図15 - 85 UART送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 15 - 86 UART 送信 (連続送信モード時) のタイミング・チャート

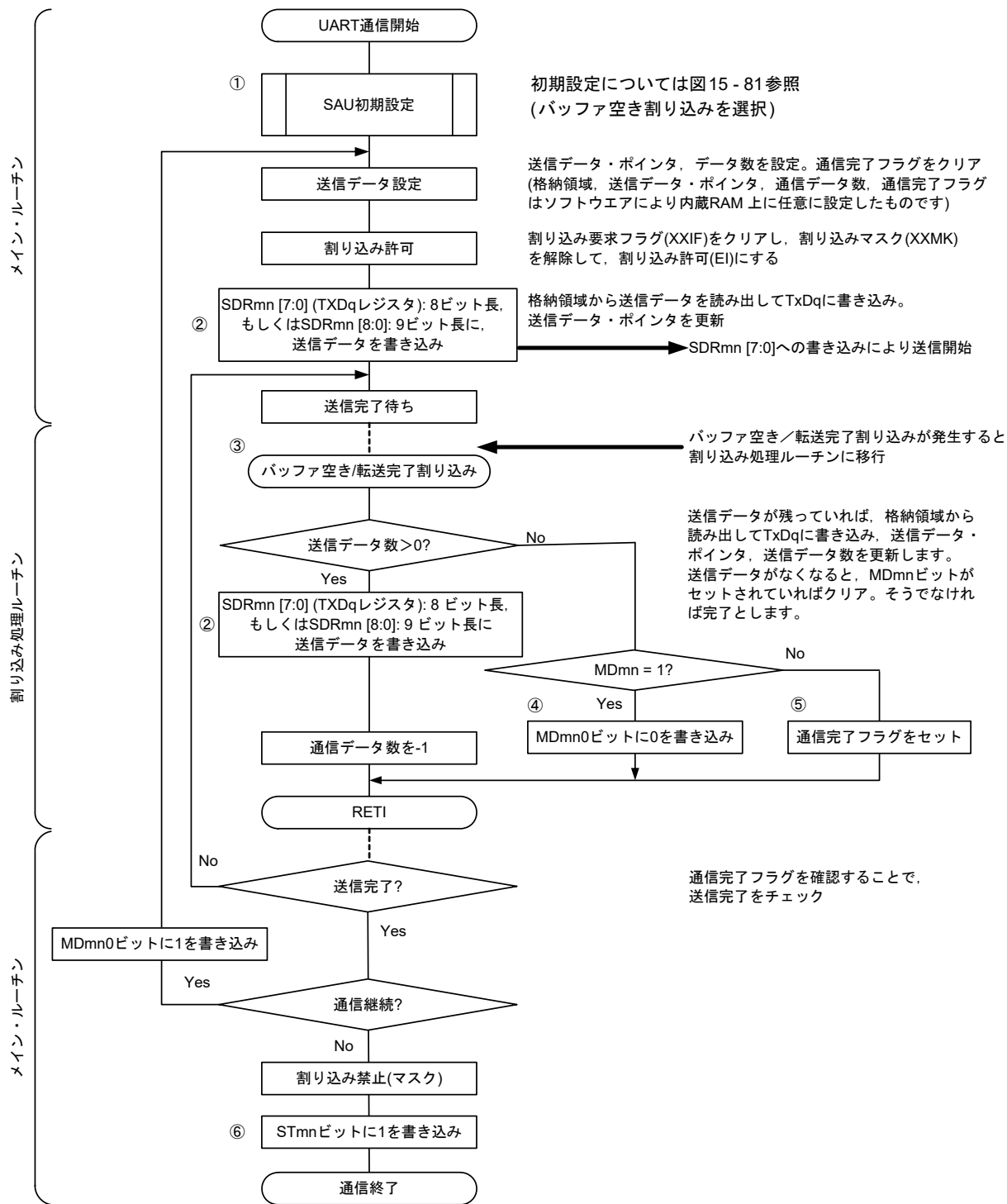


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-3)
mn = 00, 02, 10, 12

図15 - 87 UART 送信(連続送信モード時)のフロー・チャート



備考 図中の①~⑥は, 図15 - 86 UART 送信(連続送信モード時)のタイミング・チャートの①~⑥に対応しています。

15.6.2 UART 受信

UART 受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART 受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1	SAU1のチャンネル3
使用端子	RxD0	RxD1	RxD2	RxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> • フレーミング・エラー検出フラグ(FEFmn) • パリティ・エラー検出フラグ(PEFmn) • オーバラン・エラー検出フラグ(OVFmn) 			
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}			
転送レート ^{注2}	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> • パリティ・ビットなし(パリティ・チェックなし) • パリティ判定なし(0パリティ) • 偶数パリティ・チェック • 奇数パリティ・チェック 			
ストップ・ビット	1ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

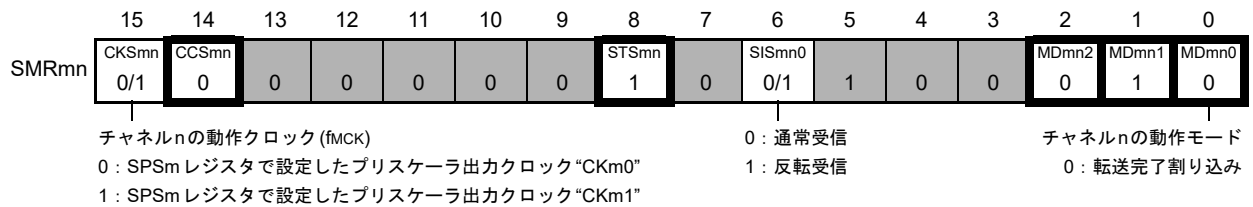
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0, 1$) n : チャンネル番号($n = 1, 3$) $mn = 01, 03, 11, 13$

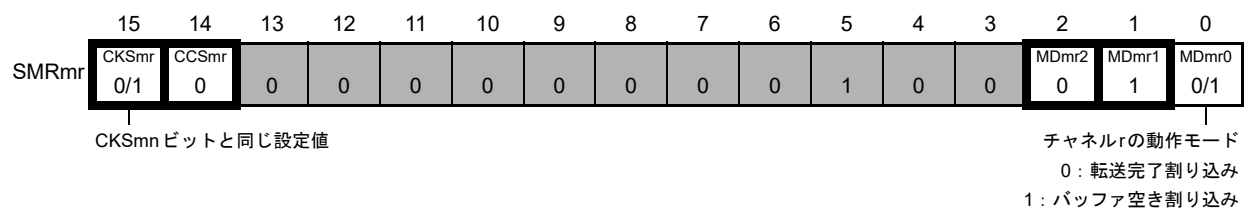
(1) レジスタ設定

図 15 - 88 UART (UART0-UART3)のUART 受信時のレジスタ設定内容例(100ピン製品) (1/2)

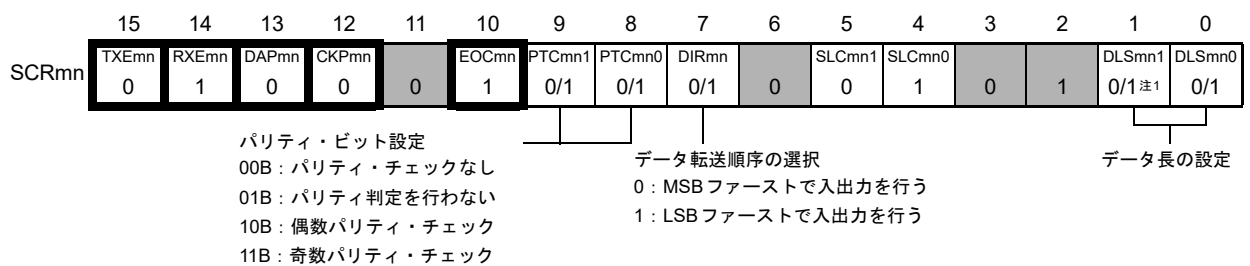
(a)シリアル・モード・レジスタ mn (SMRmn)



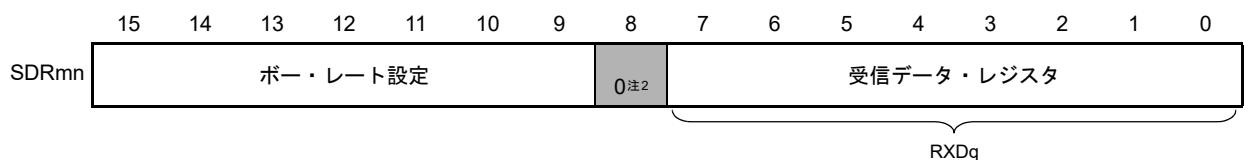
(b)シリアル・モード・レジスタ mr (SMRmr)



(c)シリアル通信動作設定レジスタ mn (SCRmn)



(d)シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : RXDq)



注1. SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が送信データ設定領域になります。
 9ビット・データ長での通信が行えるのは、UART0, UART2のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 1, 3) mn = 01, 03, 11, 13

r : チャンネル番号(r = n - 1) q : UART番号(q = 0-3)

備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図 15 - 89 UART (UART0-UART3)のUART受信時のレジスタ設定内容例(100ピン製品) (2/2)

(e) シリアル出力レジスタ m (SOm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	1	CKOm2 注 ×	1	CKOm0 注 ×	0	0	0	0	1	SOm2 ×	1	SOm0 ×

(f) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm2 ×	0	SOEm0 ×

(g) シリアル・チャンネル開始レジスタ m (SSm) 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注 シリアル・アレイ・ユニット0のみ

備考1. m : ユニット番号(m = 0, 1)

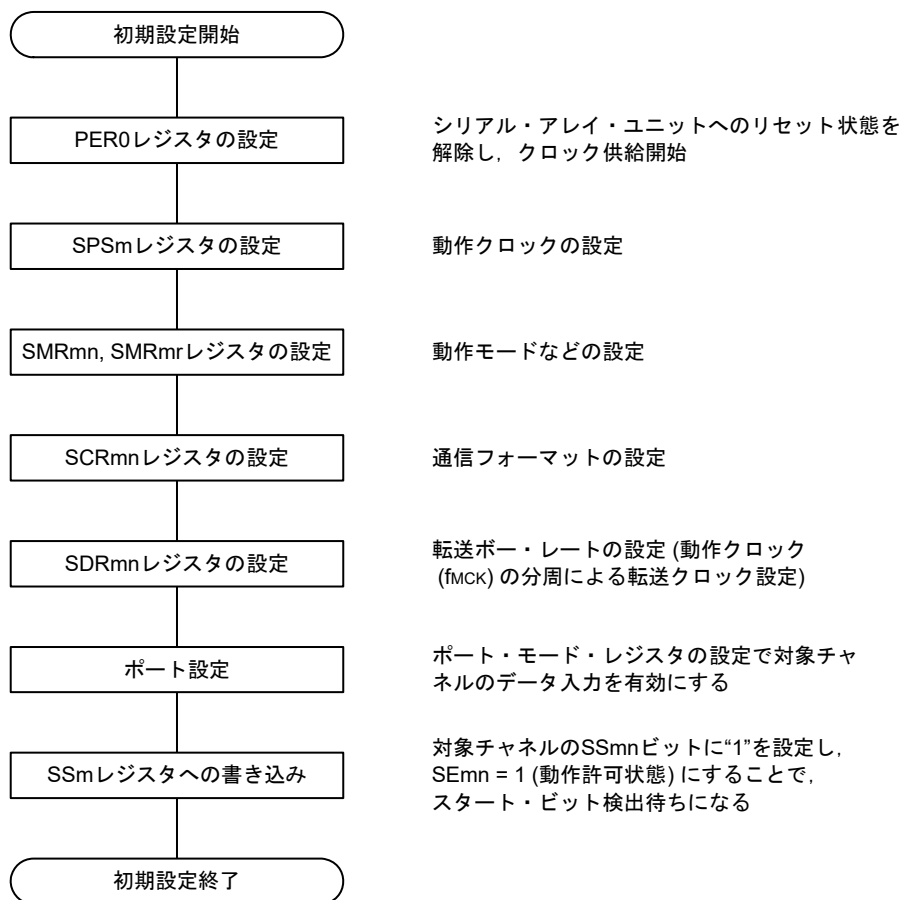
備考2. : UART受信モードでは設定固定 : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 15 - 90 UART 受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図 15 - 91 UART 受信の中断手順

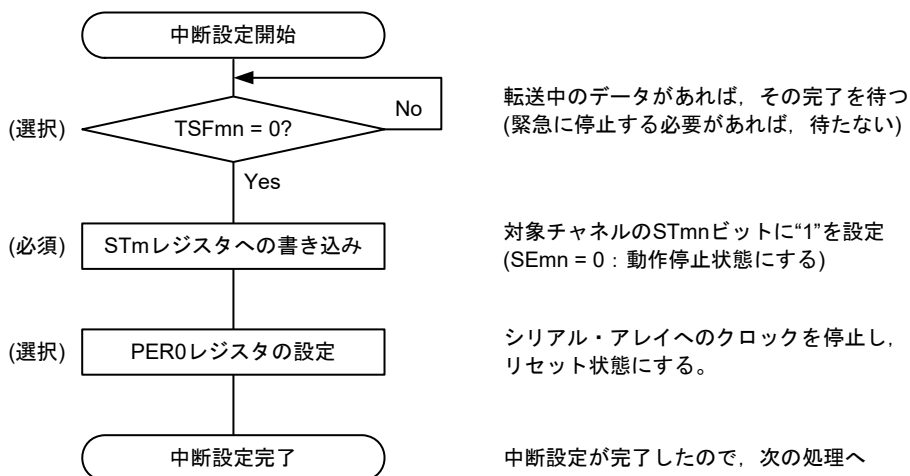
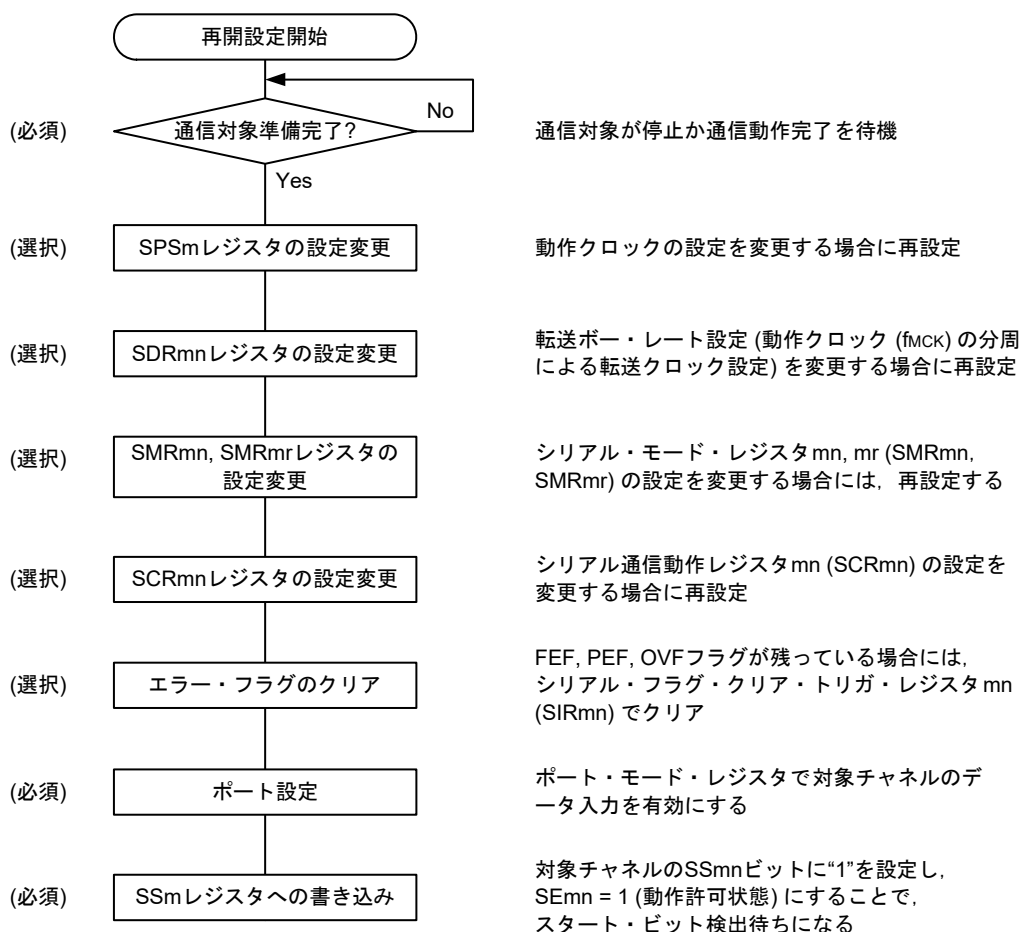


図 15 - 92 UART 受信の再開設定手順

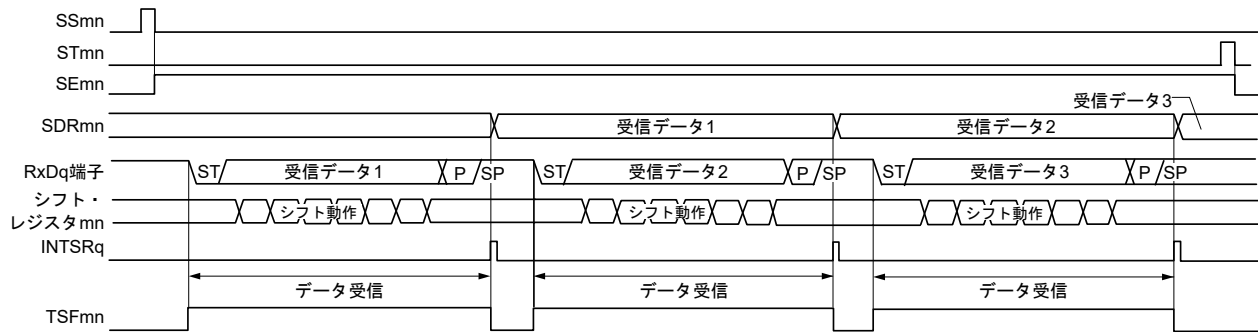


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

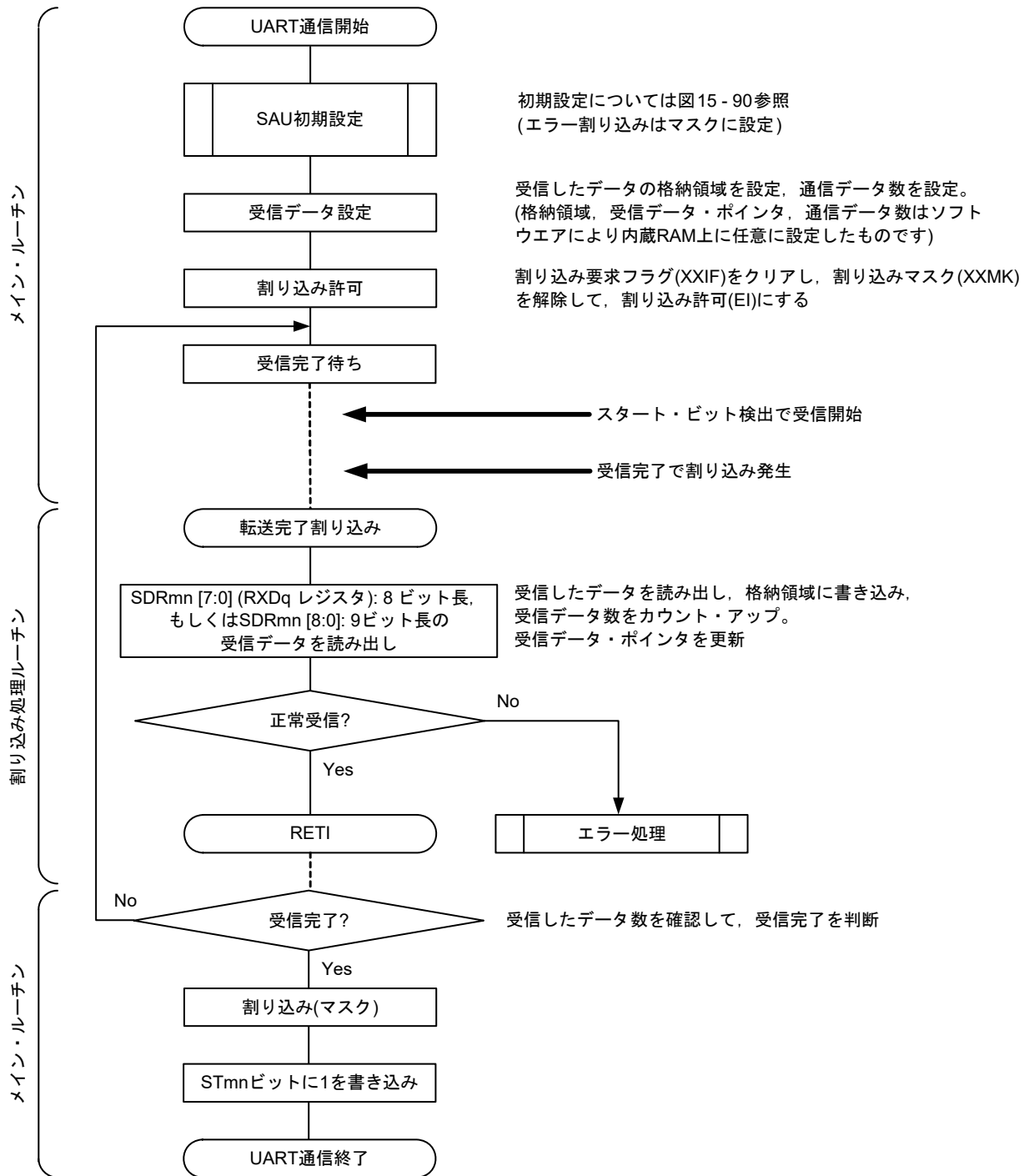
(3) 処理フロー

図 15 - 93 UART 受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11, 13
 r : チャネル番号 (r = n - 1) q : UART 番号 (q = 0-3)

図15-94 UART受信のフロー・チャート



15.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。SNOOZEモードは、UART0, UART2のみ設定可能です。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図15-97, 図15-99 SNOOZEモード動作時のフローチャートを参照)

- SNOOZEモード時は、UART受信ポーレートの設定を通常動作時とは異なる値に変更する必要があります。表15-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャンネル開始レジスタm(SSm)のSSm0ビットをセット(1)します。
- STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fHOCO)を選択している場合のみ使用できます。

注意2. SNOOZEモードでの転送レートは4800 bpsのみです。

注意3. SWCm = 1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm = 1に設定後、STOPモードに移行する前に受信開始した場合
- 他のSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm = 0に戻す前に受信開始した場合

注意4. SSECm = 1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVFmn フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときは、SWC0 = 1に設定する前にPEFmn, FEFmn, OVFmn フラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表 15 - 3 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ (fIH)	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (fMCK)	SDRmn [15:9]	最大許容値	最小許容値
24 MHz ± 1.0%注	fCLK/2 ⁵	79	1.60%	-2.18%
16 MHz ± 1.0%注	fCLK/2 ⁴	105	2.27%	-1.53%
12 MHz ± 1.0%注	fCLK/2 ⁴	79	1.60%	-2.19%
8 MHz ± 1.0%注	fCLK/2 ³	105	2.27%	-1.53%
6 MHz ± 1.0%注	fCLK/2 ³	79	1.60%	-2.19%
4 MHz ± 1.0%注	fCLK/2 ²	105	2.27%	-1.53%
3 MHz ± 1.0%注	fCLK/2 ²	79	1.60%	-2.19%
2 MHz ± 1.0%注	fCLK/2	105	2.27%	-1.54%
1 MHz ± 1.0%注	fCLK	105	2.27%	-1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

- fIH ± 1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- fIH ± 2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

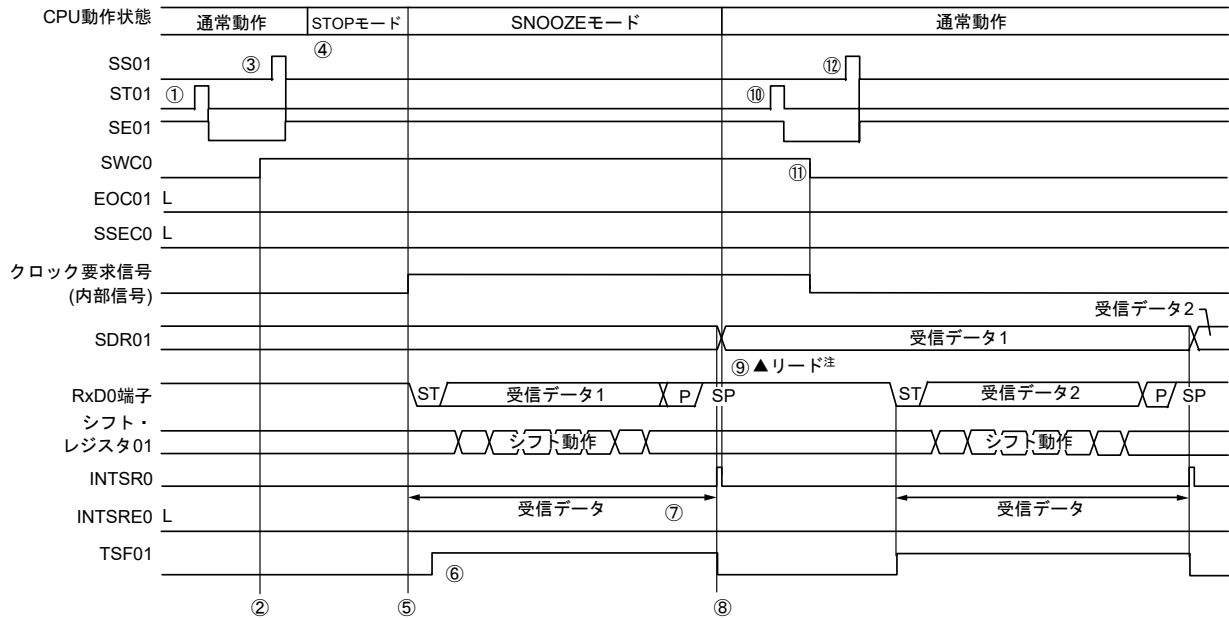
備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1)

EOCm1 = 0のためSSECMビットの設定にかかわらず、通信エラーが発生してもエラー割り込み(INTSREq)は発生しません。転送完了割り込み(INTSRq)は発生します。

図 15 - 95 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

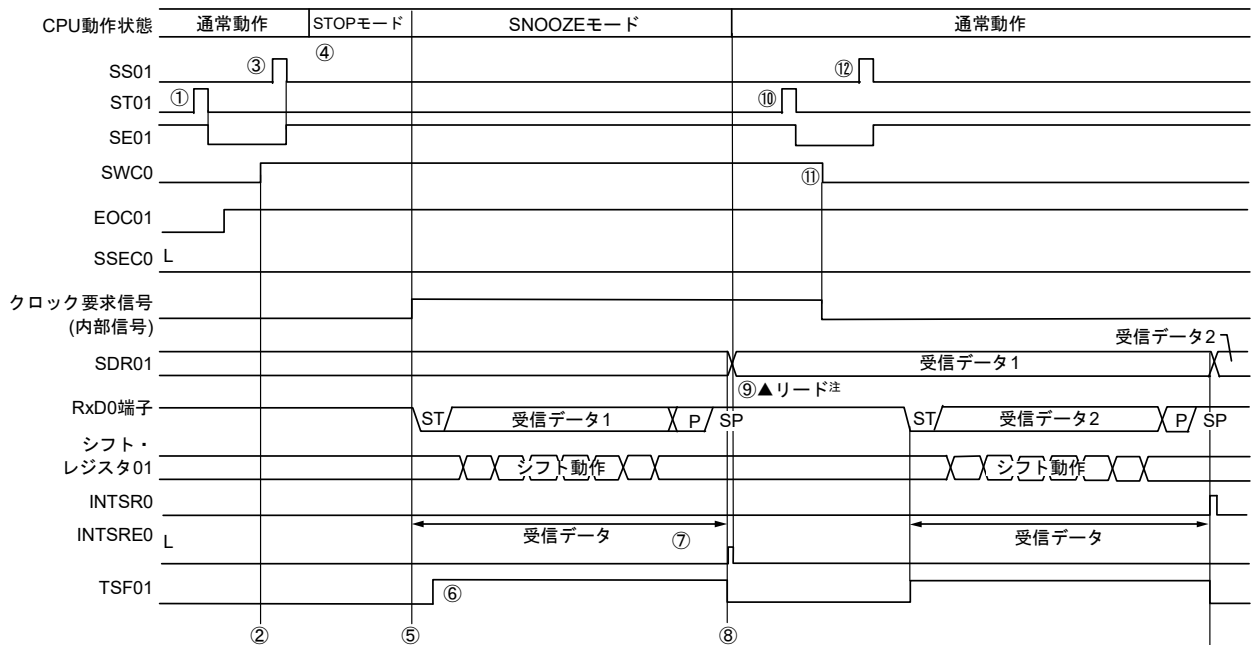
備考1. 図中の①～⑫は、図 15 - 97 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

(2) SNOOZEモード動作(EOCm1 = 1, SSECM = 0 : エラー割り込み(INTSREq)発生許可)

EOCm1 = 1, SSECM = 0のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生します。

図15-96 SNOOZEモード動作(EOCm1 = 1, SSECM = 0)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

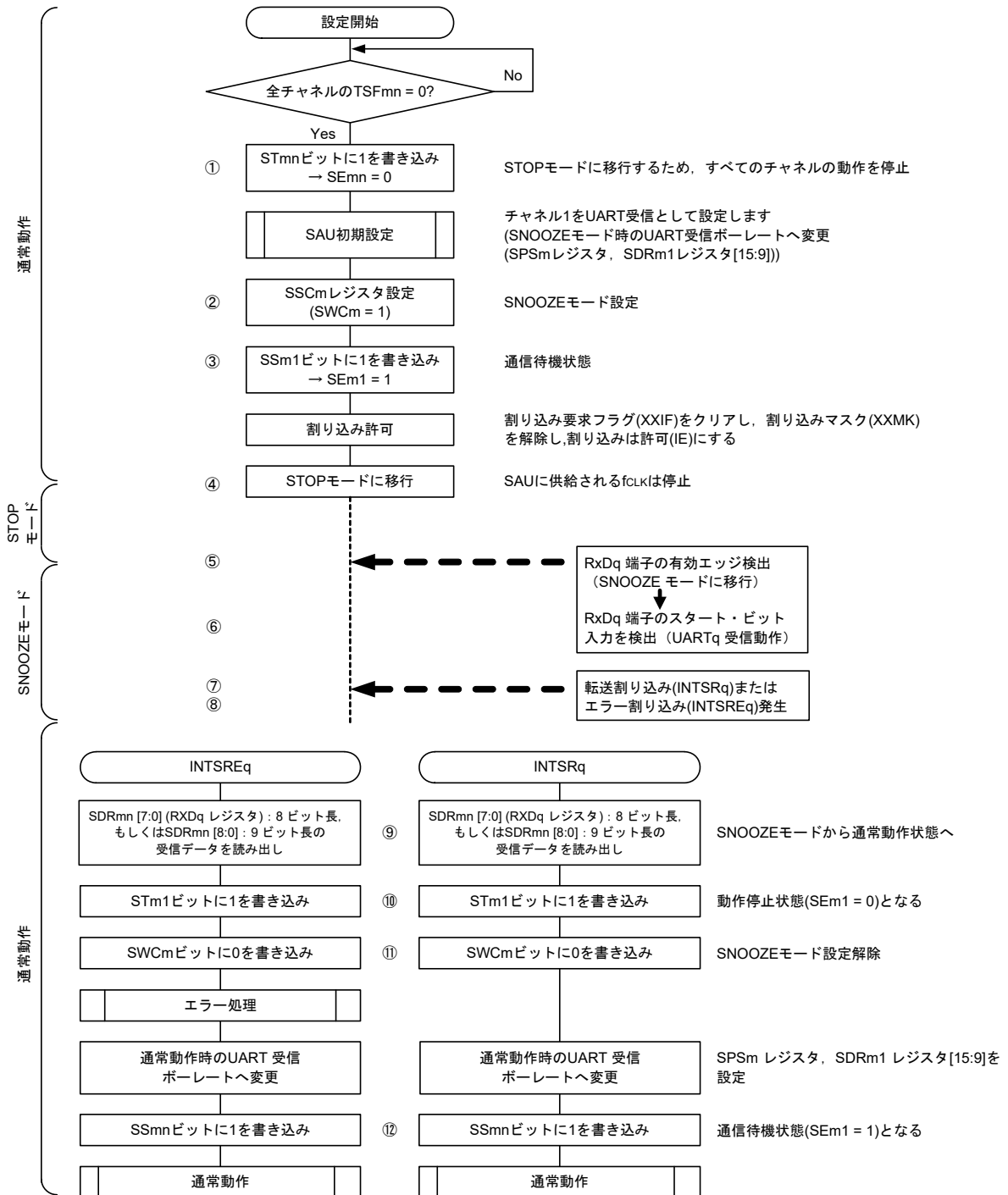
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

備考1. 図中の①~⑫は、図15-97 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャートの①~⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

図15 - 97 SNOOZEモード動作 (EOCm1 = 0, SSECM = 0/1 もしくは EOCm1 = 1, SSECM = 0) 時のフロー・チャート



備考1. 図中の①～⑫は、図15 - 95 SNOOZEモード動作 (EOCm1 = 0, SSECM = 0/1) 時のタイミング・チャート、図15 - 96 SNOOZEモード動作 (EOCm1 = 1, SSECM = 0) 時のタイミング・チャートの①～⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

(3) SNOOZEモード動作(EOCm1 = 1, SSECm = 1 : エラー割り込み(INTSREq)発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生しません。

図15 - 98 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャート



注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。

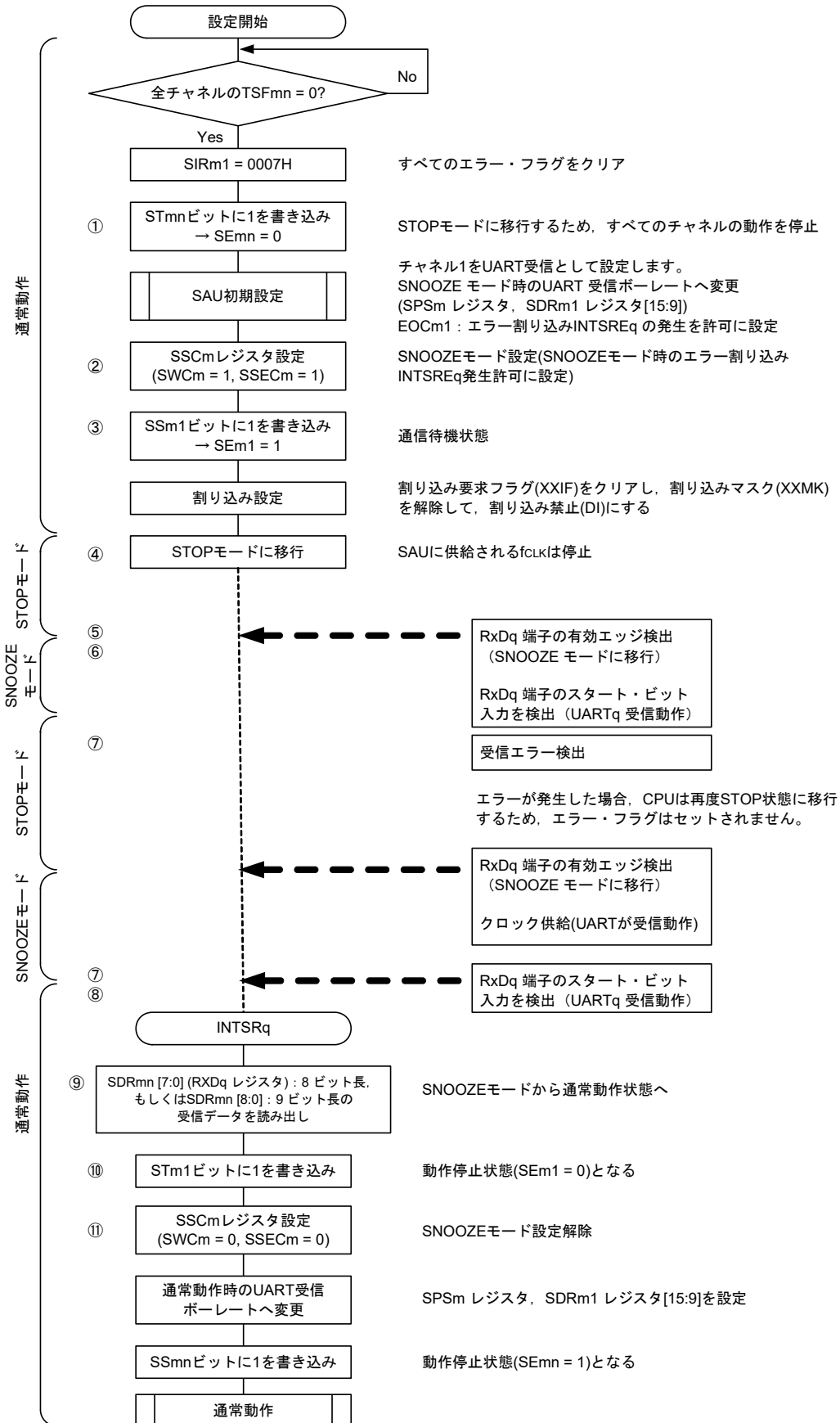
また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFm1フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm = 1で使用するときには、SWCm = 1に設定する前にPEFm1, FEFm1, OVFm1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①~⑪は、図15 - 99 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャートの①~⑪に対応しています。

備考2. m = 0, 1; q = 0, 2

図15-99 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のフロー・チャート



(注意、備考は次ページにあります。)

注意 SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み(INTSREQ)も発生しません。そのため、SSECm = 1で使用するときは、SWC0 = 1に設定する前にPEFm1, FEFm1, OVFM1 フラグをクリアし、また、SDRm1 [7:0] (RXDq レジスタ) : 8ビット長、もしくはSDRm1[8:0] : 9ビット長を読み出してください。

備考1. 図中の①~⑩は、図 15 - 98 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1)時のタイミング・チャートの①~⑩に対応しています。

備考2. m = 0, 1; q = 0, 2

15.6.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART3)通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ mn (SDRmn)SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので、2-127になります。

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) mn = 00-03, 10-13

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 15 - 4 UART 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	5.86 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	2.93 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.46 kHz
X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	732 Hz	
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz
	1	1	0	0	X	X	X	X	fCLK/2 ¹²	5.86 kHz
	1	1	0	1	X	X	X	X	fCLK/2 ¹³	2.93 kHz
	1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.46 kHz
1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	732 Hz	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタm(STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) mn = 00-03, 10-13

(2) 送信時のボー・レート誤差

UART (UART0-UART3)通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 24 MHzの場合のUARTボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 24 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート差	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	77	300.48 bps	+0.16 %
600 bps	fCLK/2 ⁸	77	600.96 bps	+0.16 %
1200 bps	fCLK/2 ⁷	77	1201.92 bps	+0.16 %
2400 bps	fCLK/2 ⁶	77	2403.85 bps	+0.16 %
4800 bps	fCLK/2 ⁵	77	4807.69 bps	+0.16 %
9600 bps	fCLK/2 ⁴	77	9615.38 bps	+0.16 %
19200 bps	fCLK/2 ³	77	19230.8 bps	+0.16 %
31250 bps	fCLK/2 ³	47	31250.0 bps	±0.0 %
38400 bps	fCLK/2 ²	77	38461.5 bps	+0.16 %
76800 bps	fCLK/2	77	76923.1 bps	+0.16 %
153600 bps	fCLK	77	153846 bps	+0.16 %
312500 bps	fCLK	37	315789 bps	±1.05 %

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10, 12

(3) 受信時のポー・レート許容範囲

UART (UART0-UART3) 通信での、受信時のポー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ポー・レート範囲に送信側のポー・レートが収まるように設定してください。

$$\text{(受信可能な最大ポー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ポー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ポー・レート値(15.6.4 (1) ポー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]
 =(スタート・ビット)+(データ長)+(パリティ・ビット)+(ストップ・ビット)

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 1, 3) mn = 01, 03, 11, 13

図15-100 受信時の許容ポー・レート範囲(1データ・フレーム長 = 11ビットの場合)

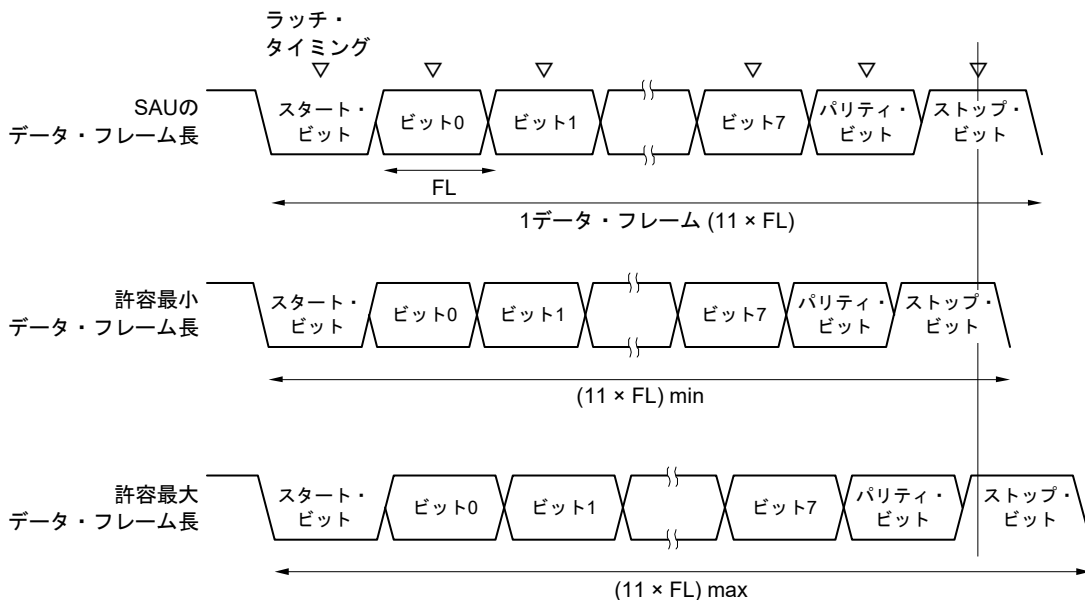


図15-100に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn)のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

15.6.5 UART (UART0-UART3)通信時におけるエラー発生時の処理手順

UART (UART0-UART3)通信時にエラーが発生した場合の処理手順を図15 - 101, 図15 - 102に示します。

図15 - 101 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図15 - 102 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“0”となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが“1”となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

15.7 LIN通信の動作

15.7.1 LIN送信

UART送信のうち、UART0はLIN通信に対応しています。

LIN送信では、ユニット0のチャンネル0を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	可	不可	不可	不可
対象チャンネル	SAU0のチャンネル0	—	—	—
使用端子	TxD0	—	—	—
割り込み	INTST0	—	—	—
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR00[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加			
データ方向	LSBファースト			

注 この条件を満たし、かつ電氣的特性の周辺機能特性(第34章 または第35章 電氣的特性参照)を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1~20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

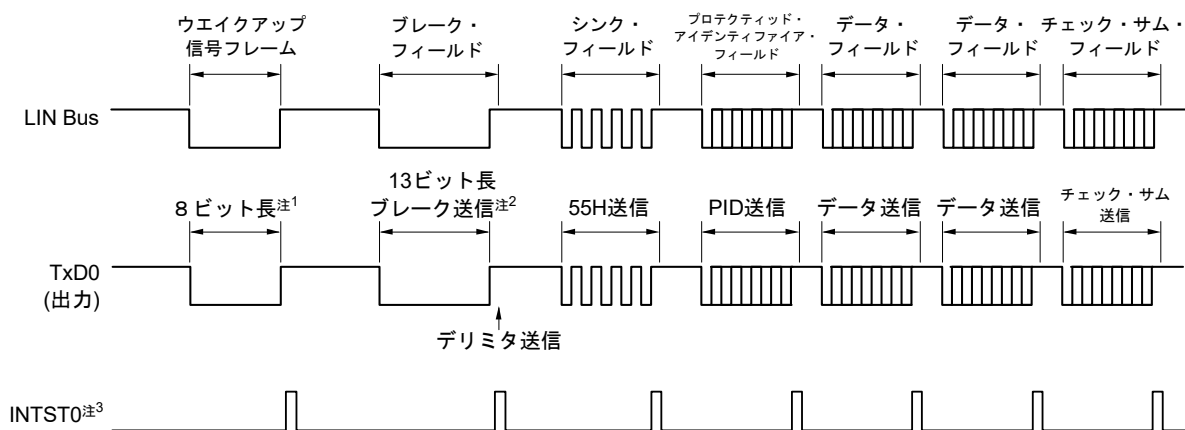
LINのマスタは通常、CAN (Controller Area Network)などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作の概略を、図15-103に示します。

図15-103 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、80Hのデータ送信をすることで対応します。

注2. シンク・ブレイク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、ブレイク・フィールドで使用するポー・レートは次のようになります。

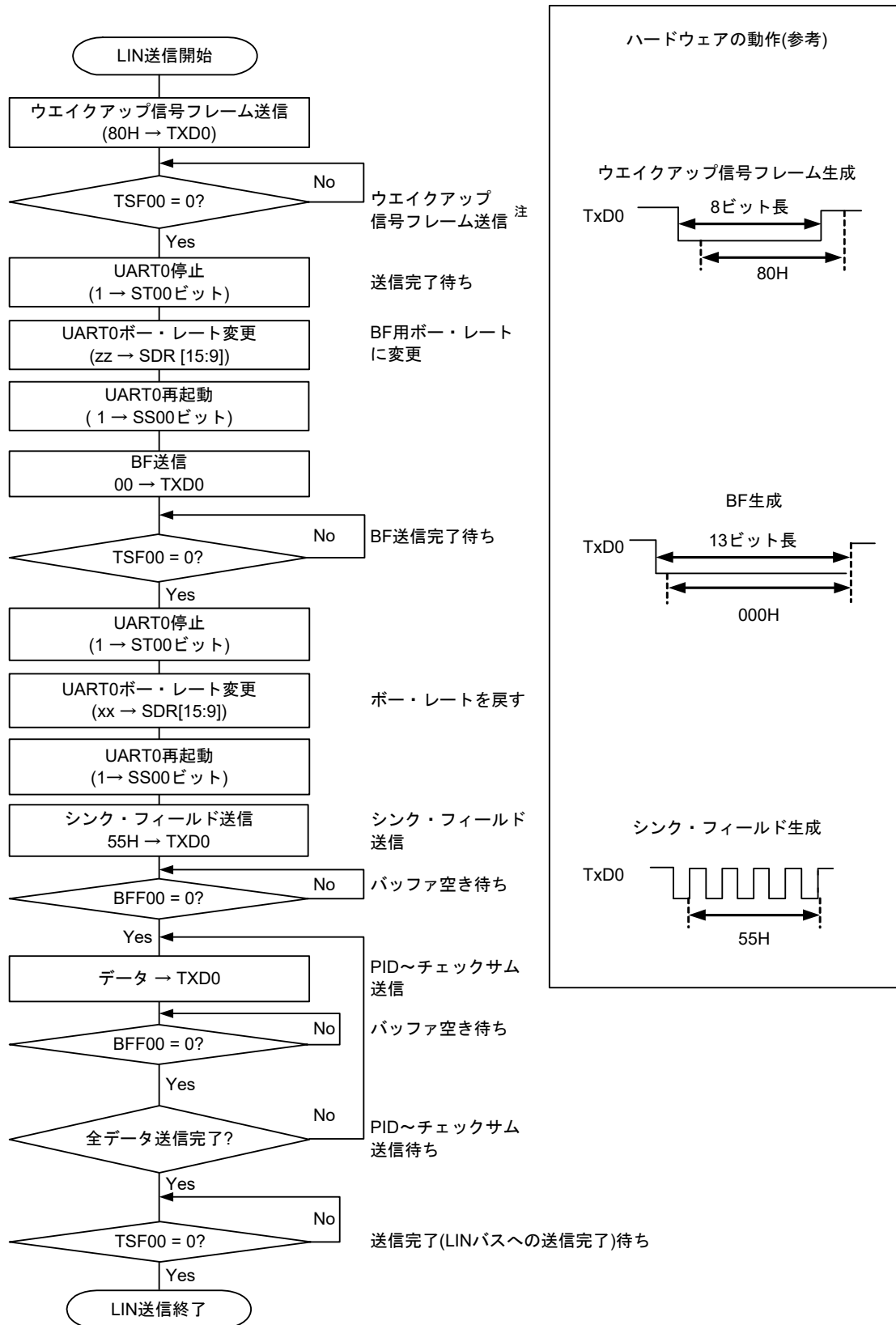
$$(\text{ブレイク・フィールド時のポー・レート}) = 9/13 \times N$$

このポー・レートで00Hのデータ送信をすることでブレイク・フィールドを生成します。

注3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図 15 - 104 LIN送信のフロー・チャート



注 LIN-bus

がスリープ状態からの起動時のみ。

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

15.7.2 LIN受信

UART受信のうち、UART0はLIN通信に対応しています。

LIN受信では、ユニット1のチャンネル1を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	可	不可	不可	不可
対象チャンネル	SAU0のチャンネル1	—	—	—
使用端子	RxD0	—	—	—
割り込み	INTSR0	—	—	—
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)			
エラー割り込み	INTSRE0	—	—	—
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ(FEF01) ・ オーバラン・エラー検出フラグ(OVF01) 			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR01[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)			
パリティ・ビット	パリティ・ビットなし(パリティ・チェックしない)			
ストップ・ビット	1ビット目チェック			
データ方向	LSBファースト			

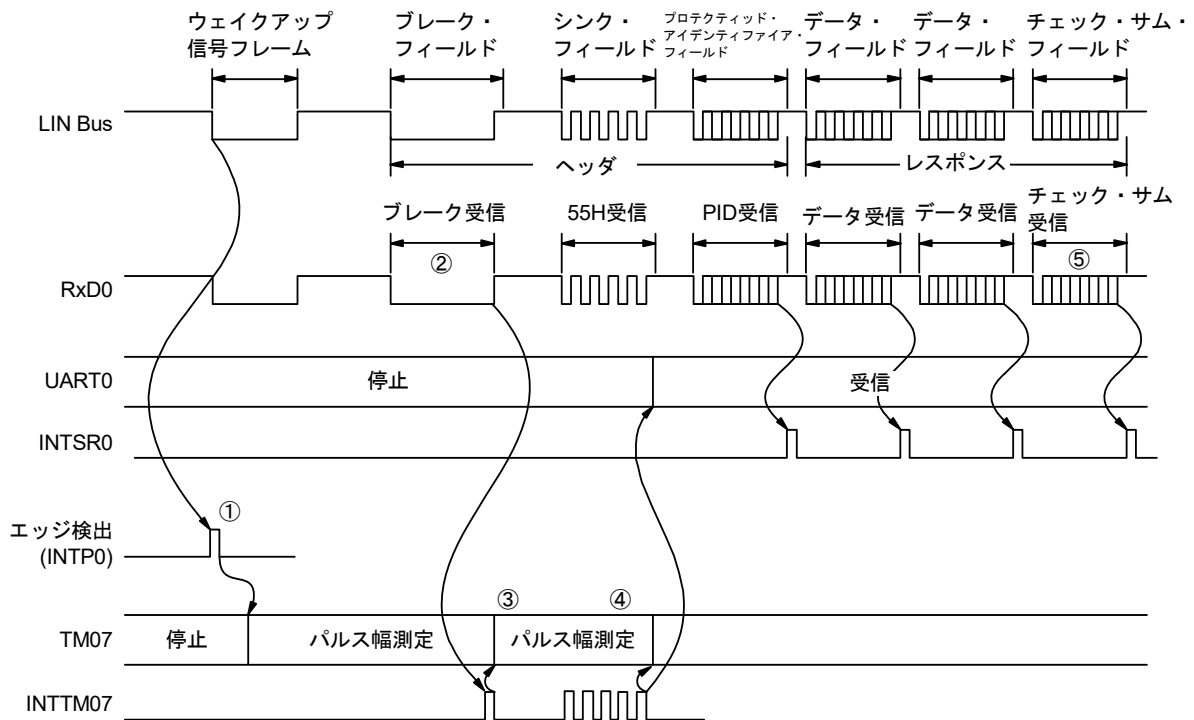
注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINの受信操作の概略を、図15-105に示します。

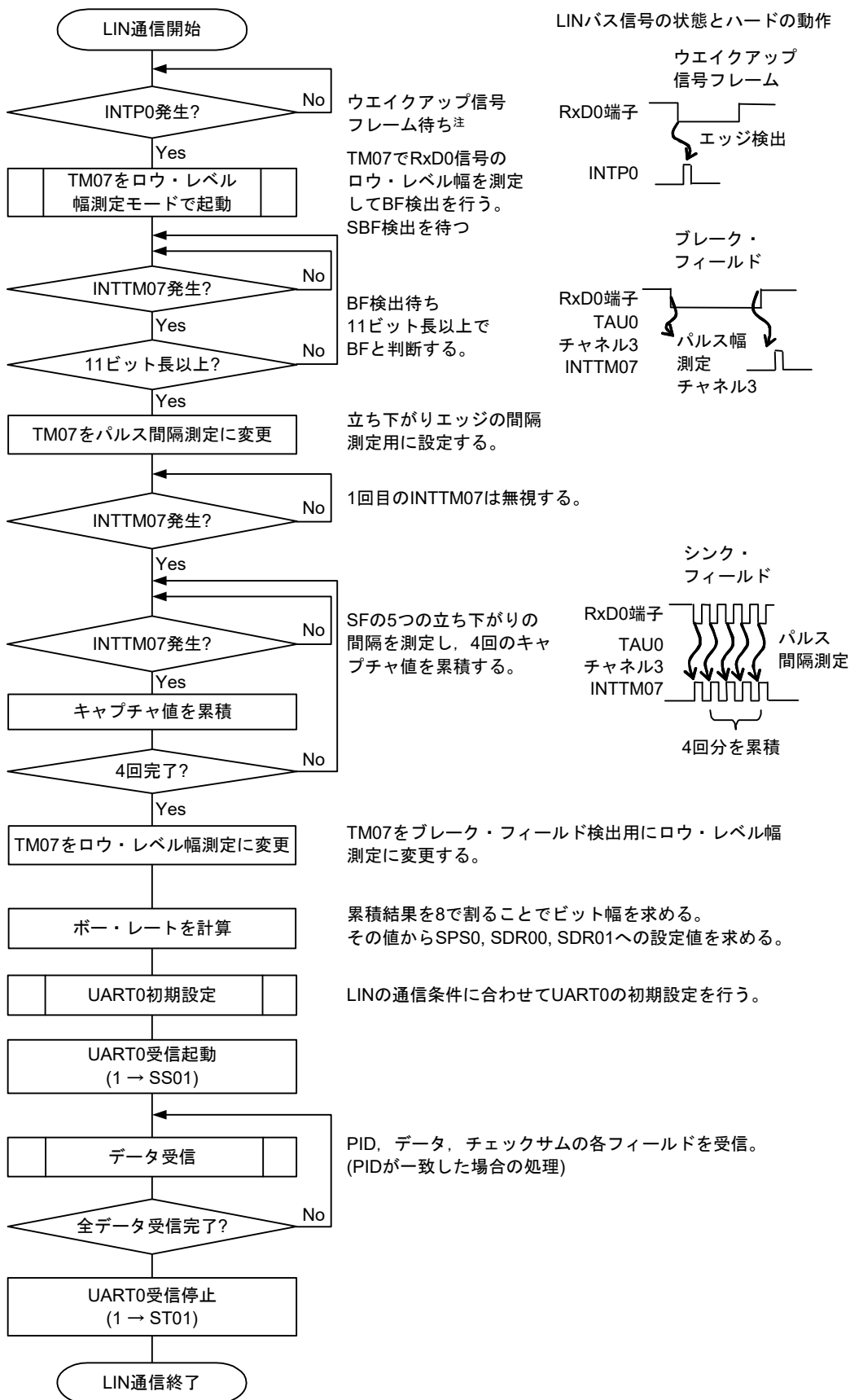
図15 - 105 LINの受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出(INTP0)で行います。ウェイクアップ信号を検出したら、TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して、BF受信待ち状態にします。
- ② BFの立ち下がりを検出したら、TM07はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。
- ③ BF受信を正常終了した場合、TM07をパルス間隔測定に設定し、シンク・フィールドのRxD0信号の立ち下がり間隔を4回測定してください(6.8.3 入力パルス間隔測定としての動作を参照)。
- ④ シンク・フィールド(SF)のビット間隔からボー・レート誤差を算出します。そして、いったんUART0を動作停止にしてからボー・レートを調整(再設定)してください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し、再びBF受信待ちに設定する処理もソフトウェアにて行ってください。

図15-106 LIN受信のフロー・チャート



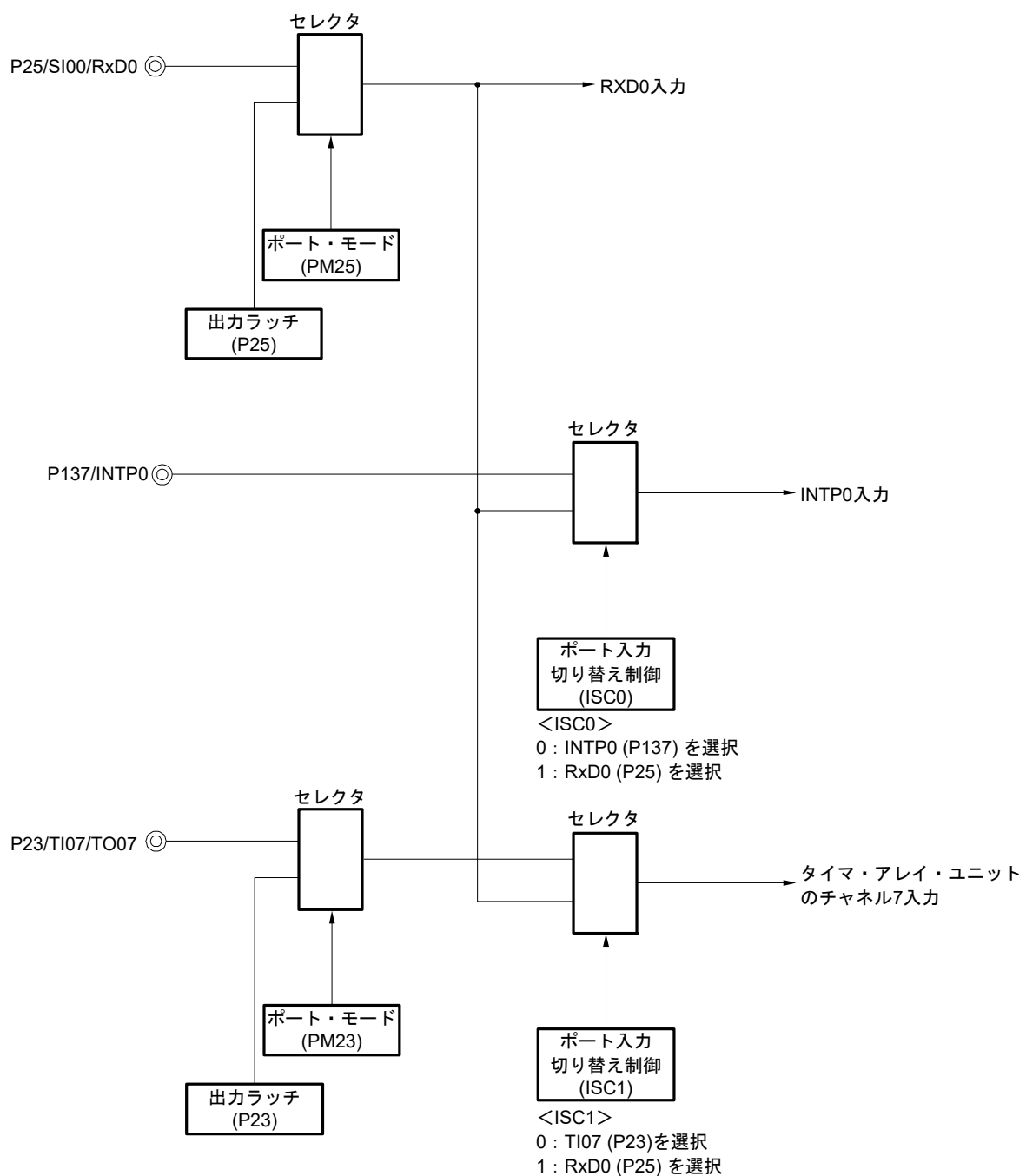
注 スリープ状態でのみ必要となります。

図15 - 107はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部で結線をせずに、受信用ポート入力(RxD0)の入力ソースを外部割り込み(INTP0)およびタイマ・アレイ・ユニットへ入力することができます。

図15 - 107 LINの受信操作のポート構成図



備考 ISC0, ISC1: 入力切り替え制御レジスタ (ISC)のビット0, 1 (図15 - 24参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- 外部割り込み(INTP0) ; ウェイクアップ信号検出

用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出

- タイマ・アレイ・ユニットのチャンネル7 ; ボー・レート誤差検出、ブレーク・フィールド(BF)検出

用途 : シンク・フィールド(SF)の長さを検出し、ビット数で割ることでボー・レート誤差を検出(RxD0)

入力エッジの間隔をキャプチャ・モードで測定

ロウ・レベル幅を測定し、ブレーク・フィールド(BF)かを判定

- シリアル・アレイ・ユニット0 (SAU0)のチャンネル0, 1 (UART0)

15.8 簡易I²C (IIC00, IIC10, IIC20, IIC30)通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²Cバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- マスタ送信, マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能注, ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信, スレーブ受信
- マルチ・マスタ機能(アービトレーション負け検出機能)
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (SOEm レジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、15.8.3 (2) 処理フローを参照してください。

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0, 2) mn = 00, 02, 10, 12

簡易I²C (IIC00, IIC10, IIC20, IIC30)に対応しているチャンネルは、SAU0のチャンネル0, 2とSAU1のチャンネル0, 2です。

○80ピン, 85ピン, 100ピン製品

ユニット	チャンネル	簡易SPI(CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	CSI10	UART1	IIC10
	3	—		—
1	0	CSI20	UART2	IIC20
	1	—	—	—
	2	CSI30	UART3	IIC30
	3	—		—

簡易I²C (IIC00, IIC10, IIC20, IIC30)の通信動作は、以下の4種類があります。

- アドレス・フィールド送信(15.8.1項を参照)
- データ送信(15.8.2項を参照)
- データ受信(15.8.3項を参照)
- ストップ・コンディション発生(15.8.4項を参照)

15.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I ² C	IIC00	IIC10	IIC20	IIC30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}	SCL20, SDA20 ^{注1}	SCL30, SDA30 ^{注1}
割り込み	INTIIC00	INTIIC10	INTIIC20	INTIIC30
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)			
エラー検出フラグ	ACKエラー検出フラグ(PEFmn)			
転送データ長	8ビット(上位7ビットをアドレス、下位1ビットをR/W制御として送信)			
転送レート ^{注2}	Max.f _{MCK} /4 [Hz] (SDRmn[15:9] = 1以上) f _{MCK} : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz(ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 			
データ・レベル	非反転出力(デフォルト:ハイ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加(ACK受信タイミング用)			
データ方向	MSBファースト			

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタ設定を参照してください。

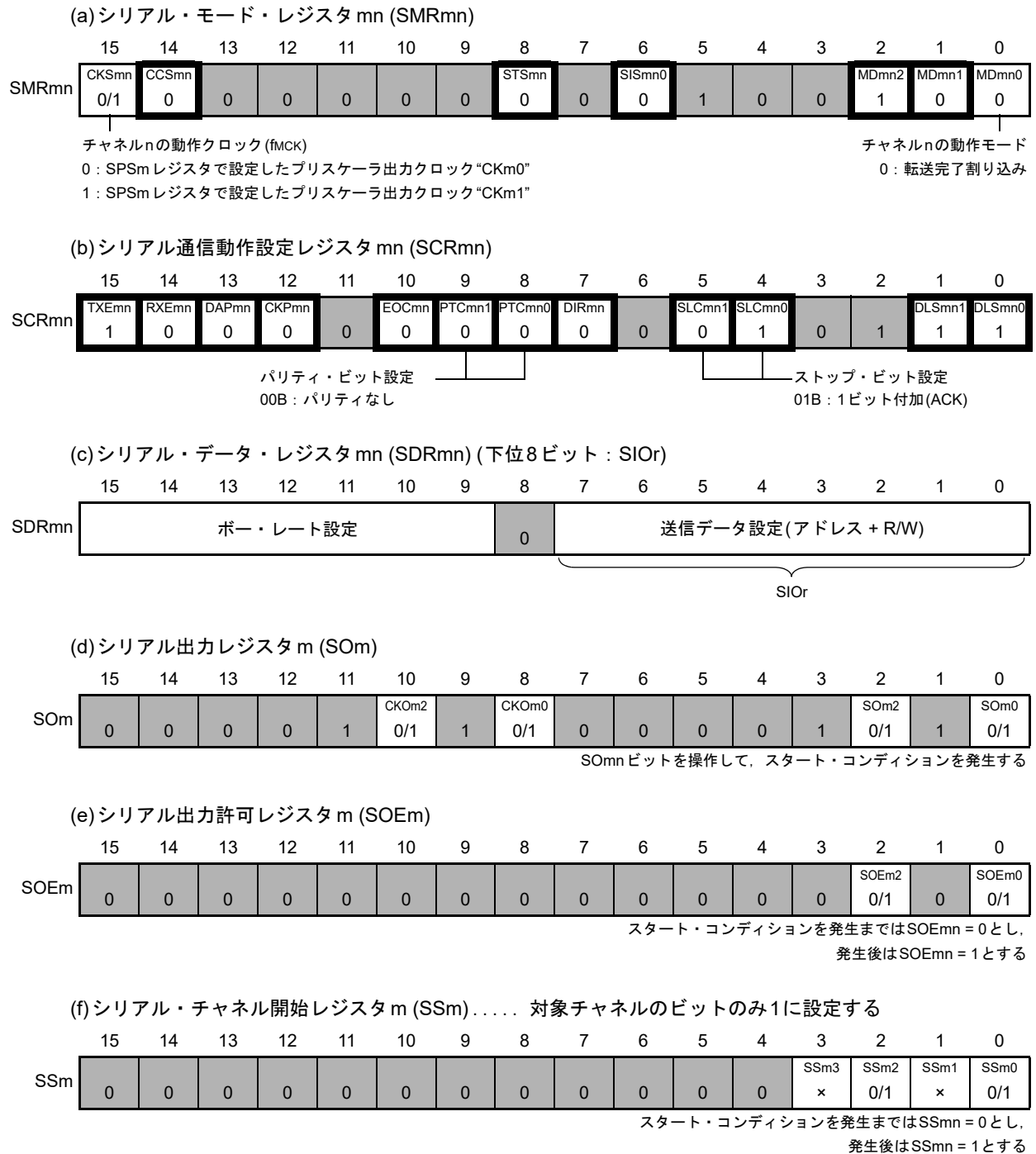
IIC00, IIC10, IIC20, IIC30を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20, SCL30)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系)対応を参照してください。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第34章 または第35章 電氣的特性参照)を満たす範囲内で使用してください。

備考 m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図 15 - 108 簡易 I²C (IIC00, IIC10, IIC20, IIC30) のアドレス・フィールド送信時のレジスタ設定内容例



備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) r: IIC番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

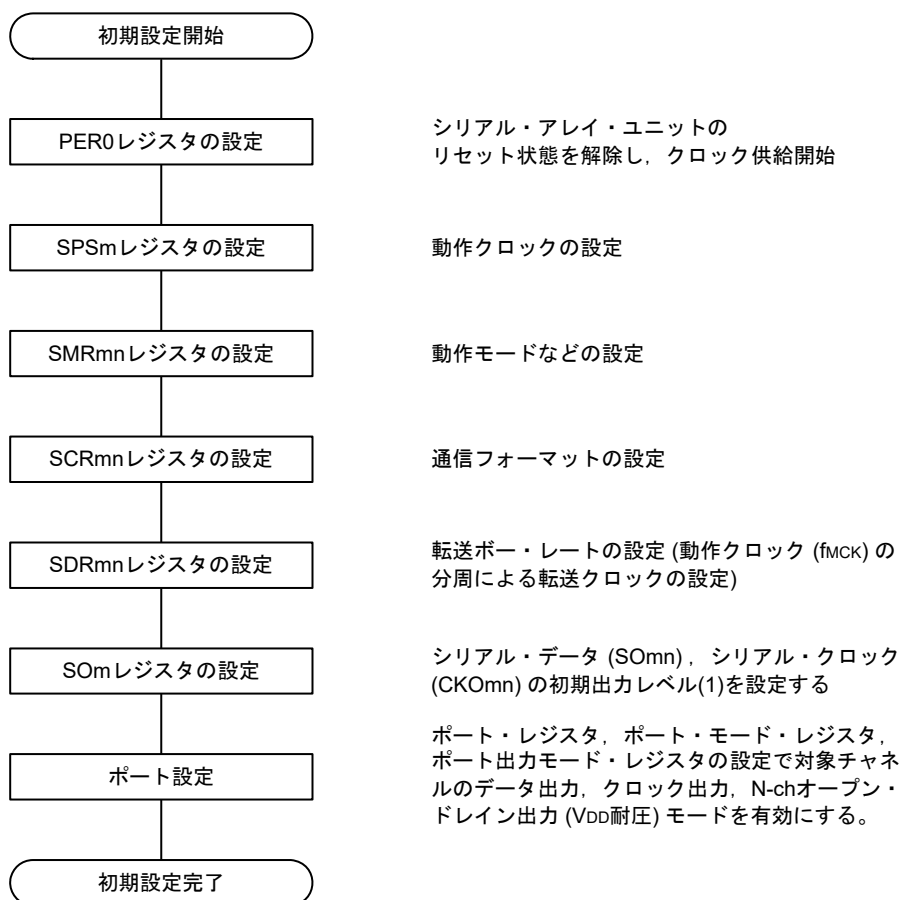
備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

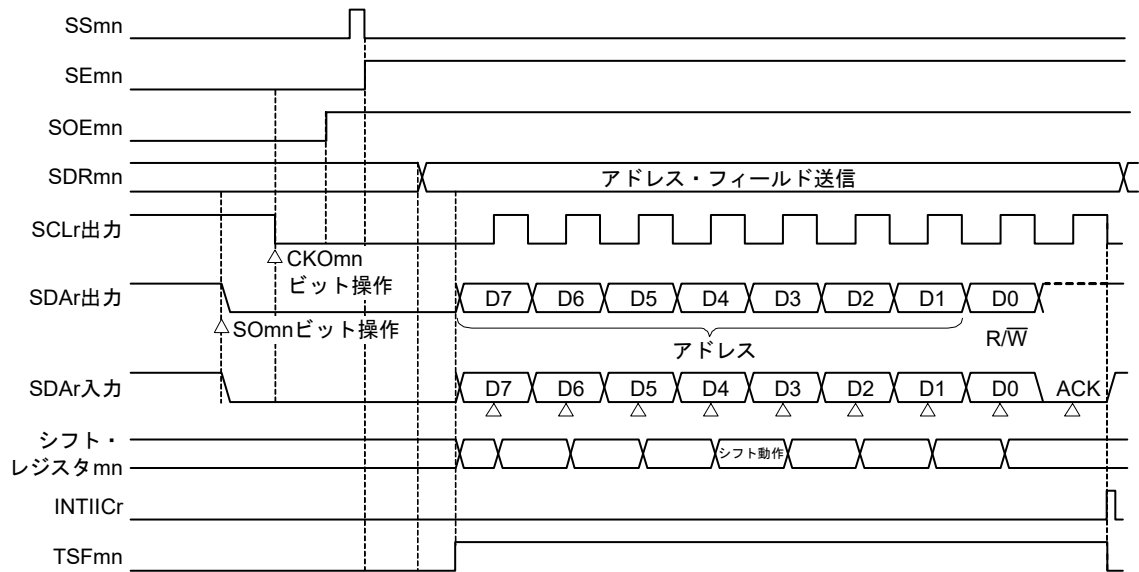
(2) 操作手順

図 15 - 109 簡易アドレス・フィールド送信の初期設定手順



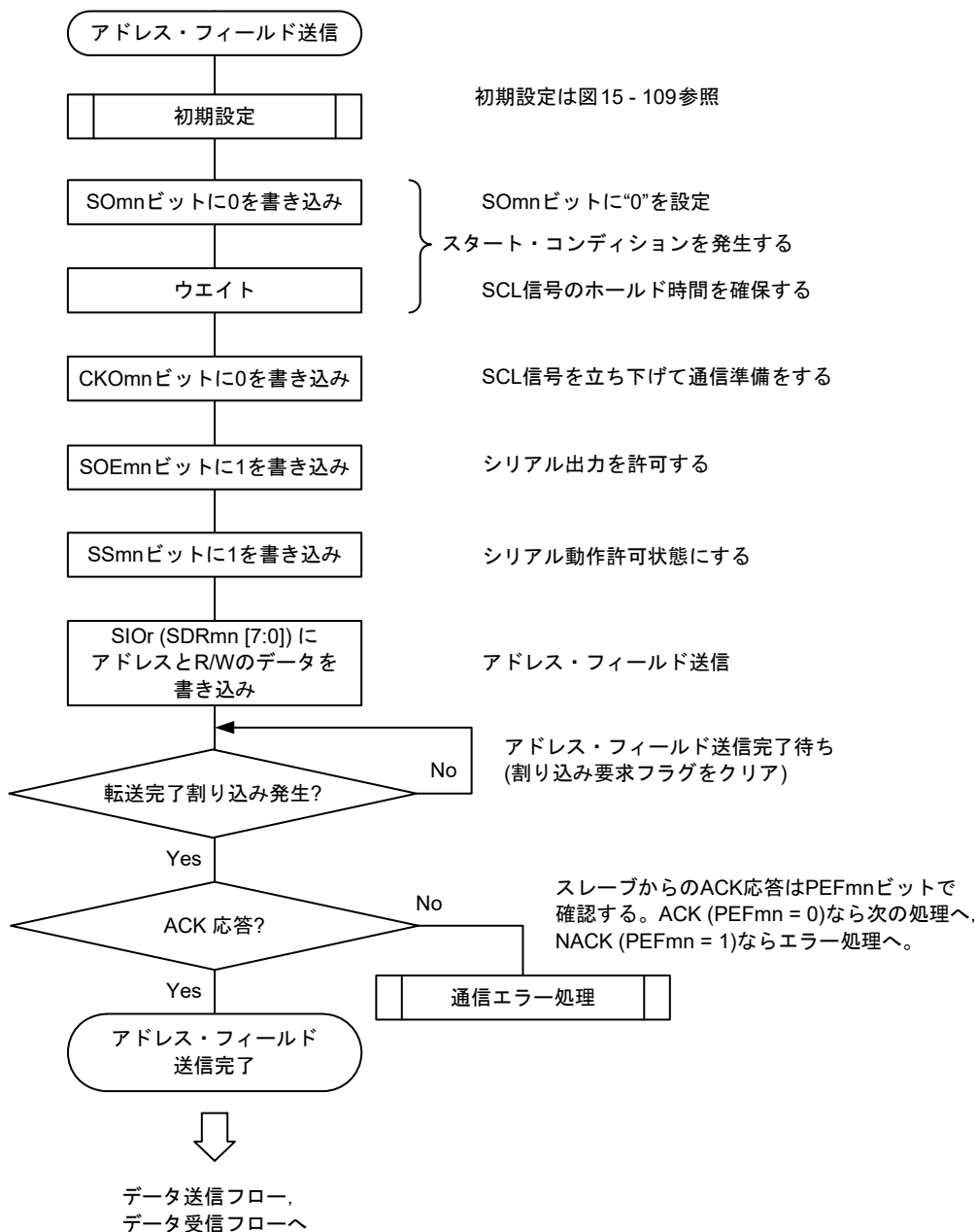
(3) 処理フロー

図15-110 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

図 15 - 111 アドレス・フィールド送信のフロー・チャート



15.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC10	IIC20	IIC30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}	SCL20, SDA20 ^{注1}	SCL30, SDA30 ^{注1}
割り込み	INTIIC00	INTIIC10	INTIIC20	INTIIC30
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)			
エラー検出フラグ	ACKエラー・フラグ(PEFmn)			
転送データ長	8ビット			
転送レート ^{注2}	Max.f _{MCK} /4 [Hz] (SDRmn[15:9] = 1以上) f _{MCK} : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 			
データ・レベル	非反転出力(デフォルト:ハイ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加(ACK受信タイミング用)			
データ方向	MSBファースト			

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20, IIC30を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20, SCL30)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図15-112 簡易I²C (IIC00, IIC10, IIC20, IIC30)のデータ送信時のレジスタ設定内容例



注1. アドレス・フィールド送信で設定済みなので、設定不要です。
 注2. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12
 備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図15 - 113 データ送信のタイミング・チャート

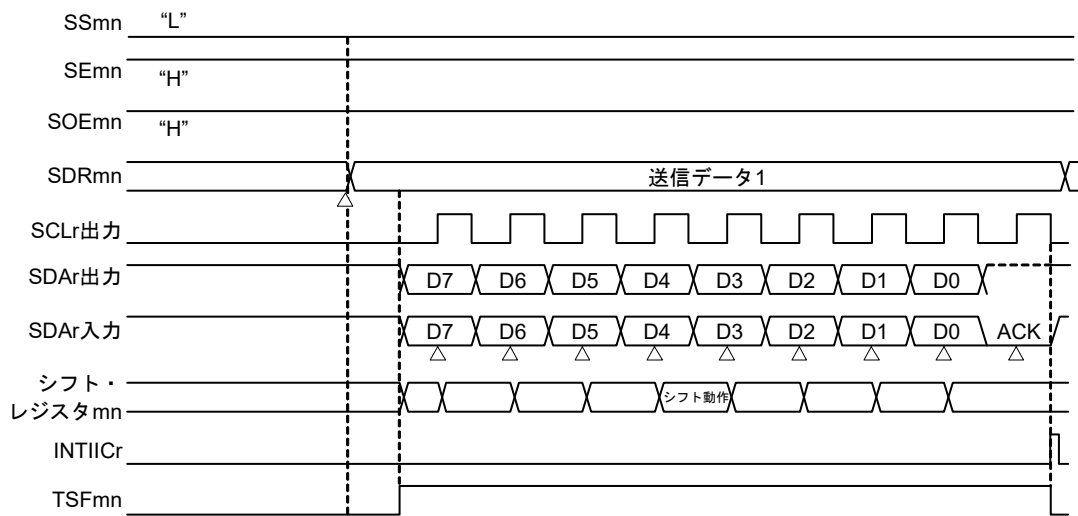
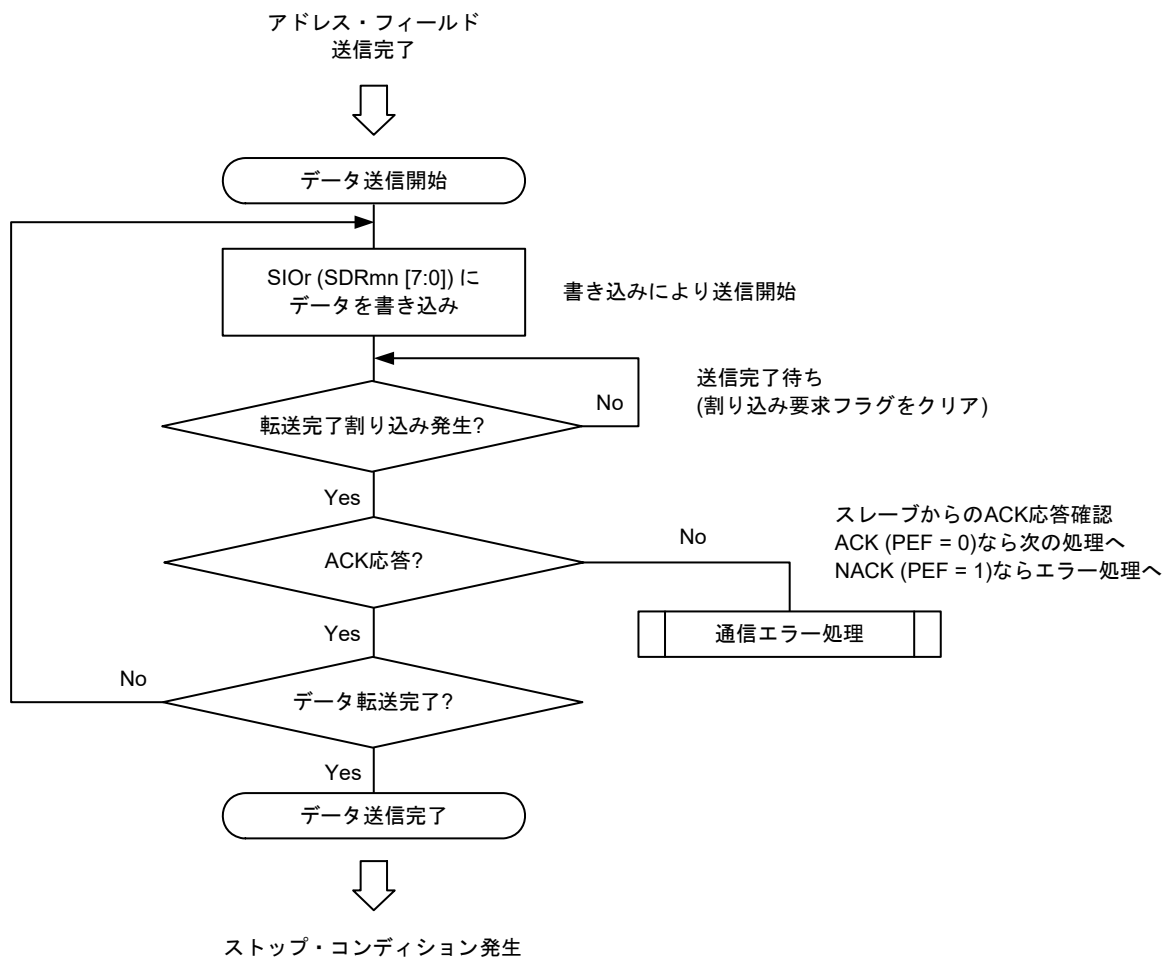


図15 - 114 簡易I2Cデータ送信のフロー・チャート



15.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象(スレーブ)からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC10	IIC20	IIC30
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	SCL00, SDA00 ^{注1}	SCL10, SDA10 ^{注1}	SCL20, SDA20 ^{注1}	SCL30, SDA30 ^{注1}
割り込み	INTIIC00	INTIIC10	INTIIC20	INTIIC30
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)			
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ			
転送データ長	8ビット			
転送レート ^{注2}	Max.fMCK/4 [Hz] (SDRmn[15:9] = 1以上) fMCK : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 <ul style="list-style-type: none"> • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード) 			
データ・レベル	非反転出力(デフォルト: ハイ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加(ACK送信)			
データ方向	MSBファースト			

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタ設定を参照してください。

IIC00, IIC10, IIC20, IIC30を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20, SCL30)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定してください(POMxx = 1)。

詳細は、4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考 m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 0, 2) mn = 00, 02, 10, 12

(1) レジスタ設定

図15 - 115 簡易 I²C (IIC00, IIC10, IIC20, IIC30)のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDRmn	ボー・レート設定 ^{注1}							0	ダミー送信データ設定 (FFH)								
										SIO _r							

(d) シリアル出力レジスタ m (SOm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm						CKOm2		CKOm0						SOm2		SOm0
	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}	0	0	0	0	1	0/1 ^{注2}	1	0/1 ^{注2}

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm													SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

注1. アドレス・フィールド送信で設定済みなので、設定不要です。

注2. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

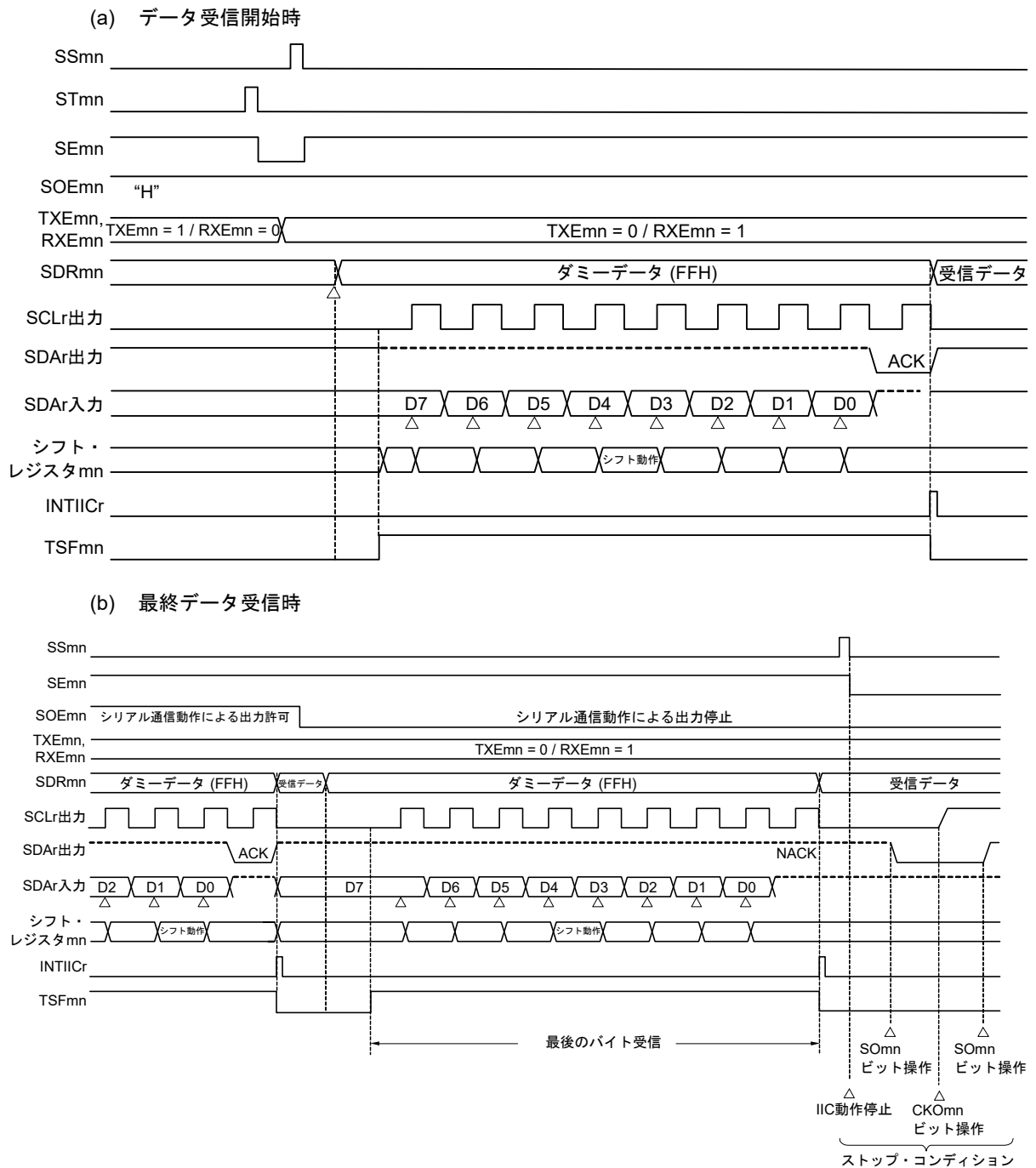
備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

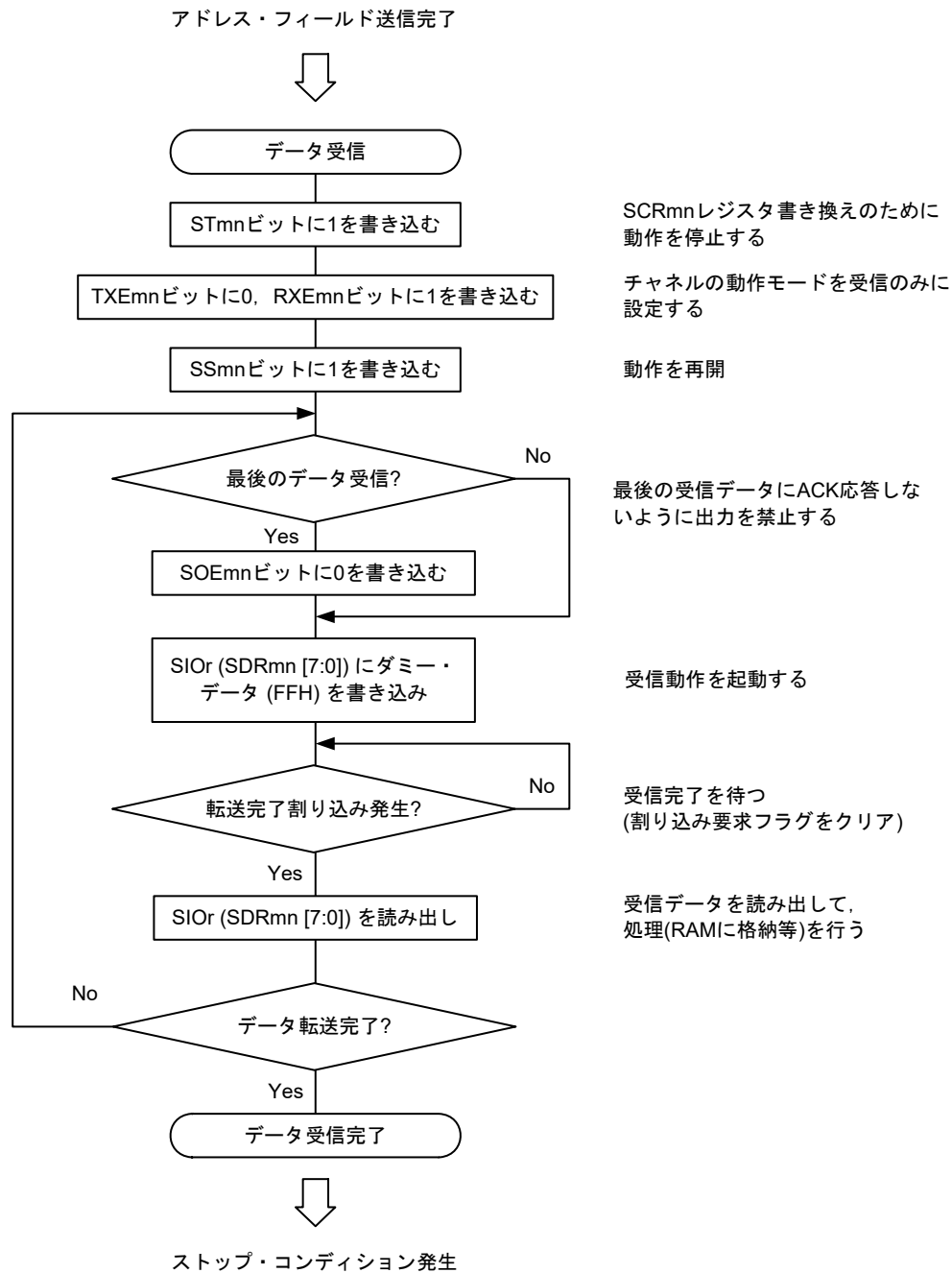
(2) 処理フロー

図15-116 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC 番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

図15 - 117 データ受信のフロー・チャート



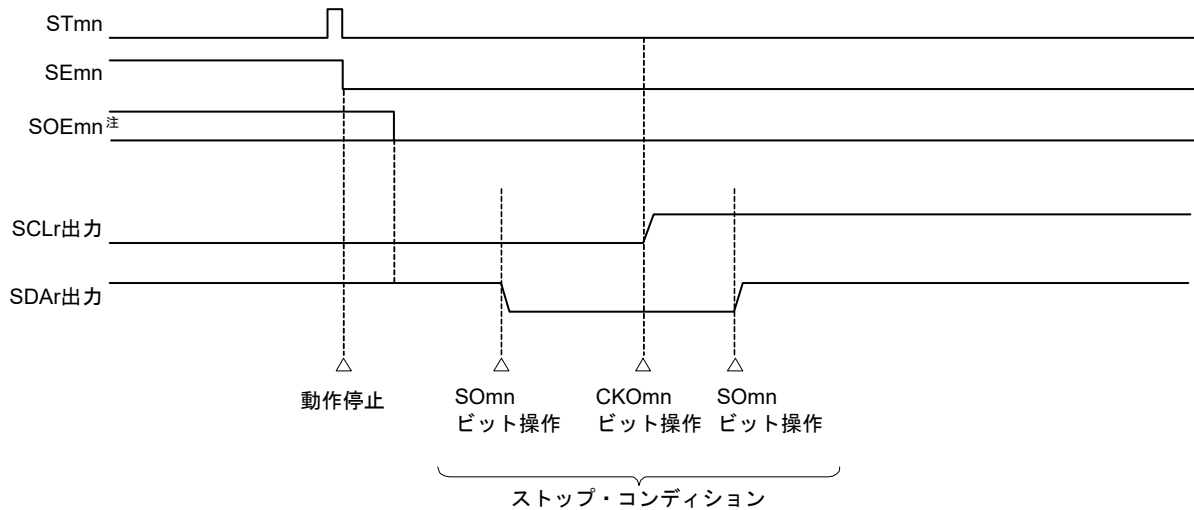
注意 最終データの受信時はACKを出力しません(NACK)。その後、シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに "1" を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

15.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

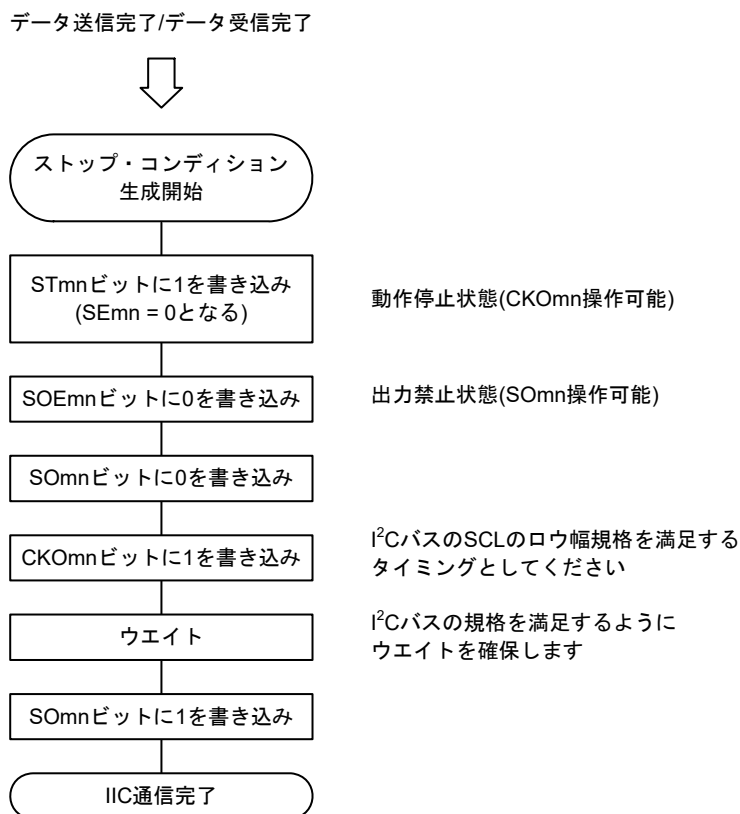
(1) 処理フロー

図15-118 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタ m (SOEm) の SOEmn ビットを“0”に設定しています。

図15-119 ストップ・コンディション発生のフロー・チャート



15.8.5 転送レートの算出

簡易I²C (IIC00, IIC10)通信での転送レートは下記の計算式にて算出できます。

$$(\text{転送レート}) = \{ \text{対象チャンネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000B は設定禁止です。SDRmn[15:9] = 0000001B 以上に設定してください。
簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9])は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000001B-1111111B)なので、1-127になります。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10, 12

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 15 - 5 簡易 I²C 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	24 MHz
	X	X	X	X	0	0	0	1	fCLK/2	12 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	6 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	3 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	750 kHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	375 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	93.8 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	46.9 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	23.4 kHz
X	X	X	X	1	0	1	1	fCLK/2 ¹¹	11.7 kHz	
1	0	0	0	0	X	X	X	X	fCLK	24 MHz
	0	0	0	1	X	X	X	X	fCLK/2	12 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	6 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	3 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	750 kHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	375 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	93.8 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	46.9 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	23.4 kHz
1	0	1	1	X	X	X	X	fCLK/2 ¹¹	11.7 kHz	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタm(STm)=000FH)させてから変更してください。

備考1. X: Don't care

備考2. m: ユニット番号(m=0, 1) n: チャンネル番号(n=0, 2) mn=00, 02, 10, 12

fMCK = fCLK = 24 MHzの場合のI²C転送レート設定例を示します。

I ² C転送モード (希望転送レート)	fCLK = 24 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	59	100 kHz	0.0%
400 kHz	fCLK	31	375 kHz	6.25%注
1 MHz	fCLK	14	0.80 MHz	20.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

15.8.6 簡易 I²C (IIC00, IIC10, IIC20, IIC30)通信時におけるエラー発生時の処理手順

簡易 I²C (IIC00, IIC10, IIC20, IIC30)通信時にエラーが発生した場合の処理手順を図 15 - 120, 図 15 - 121に示します。

図 15 - 120 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn)をリードする	→SSRmn レジスタのBFFmn ビットが“0”となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)に“1”をライトする	→エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで, 読み出し時のエラーのみをクリアできる

図 15 - 121 簡易 I²C モード時のACKエラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)をライトする	→エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで, 読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm)のSTmn ビットに“1”を設定する	→シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmn ビットが“0”となり, チャネルnは動作停止状態になる	ACKが返信されていないので, スレーブの受信準備ができていない。そのため, ストップ・コンディションを作成してバスを開放し, 再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し, アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm)のSSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ m (SEm)のSEmn ビットが“1”となり, チャネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC 番号 (r = 00, 10, 20, 30) mn = 00, 02, 10, 12

第16章 シリアル・インタフェースIICA

16.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード(マルチマスタ対応)

シリアル・クロック (SCLAn)とシリアル・データ・バス (SDAAn)の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”, “アドレス”, “転送方向指定”, “データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn)を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ n1 (IICCTLn1)のWUPnビットにより設定します。

図16-1にシリアル・インタフェースIICAのブロック図を示します。

備考 n = 0

図 16 - 1 シリアル・インタフェースIICAのブロック図

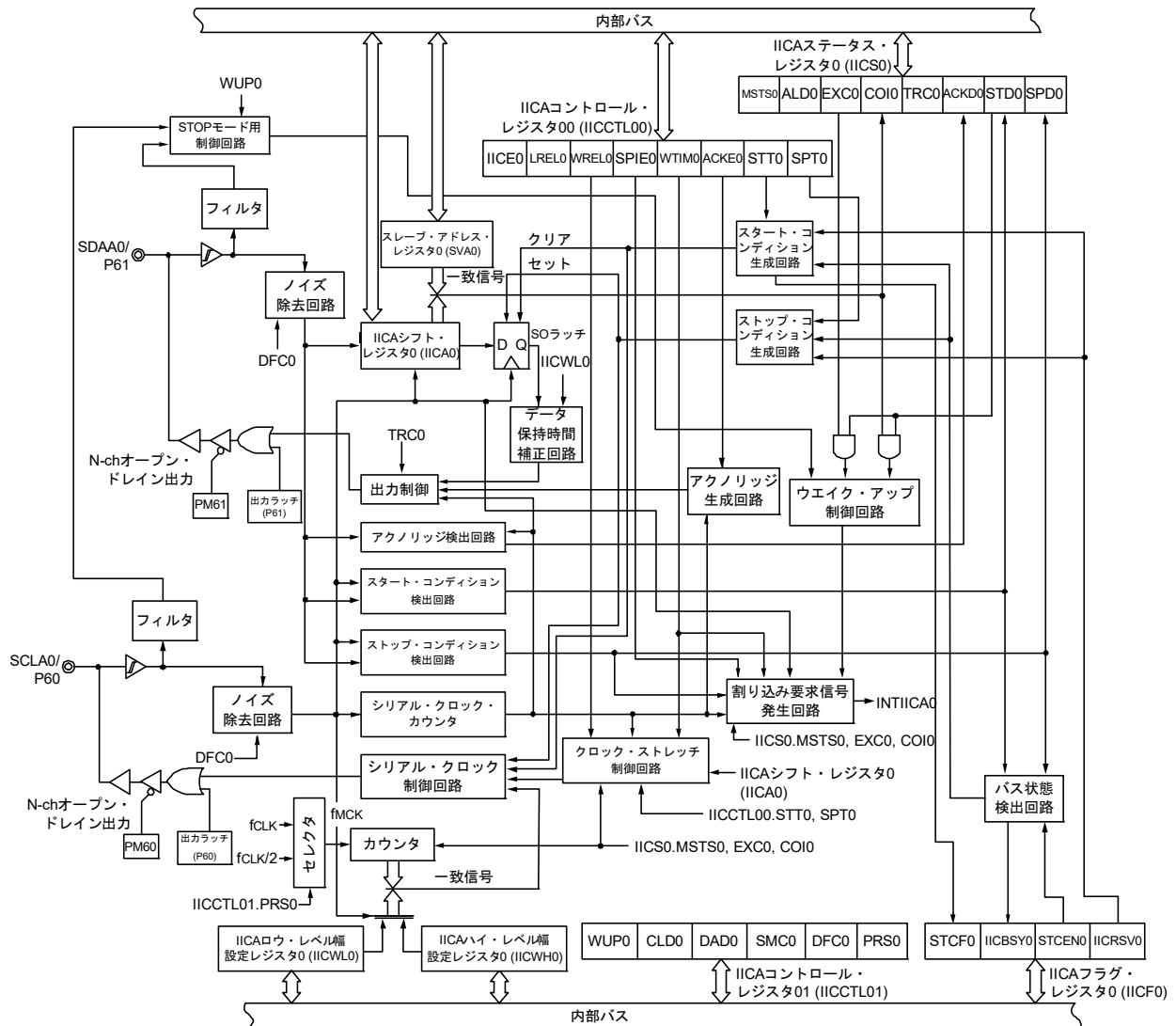
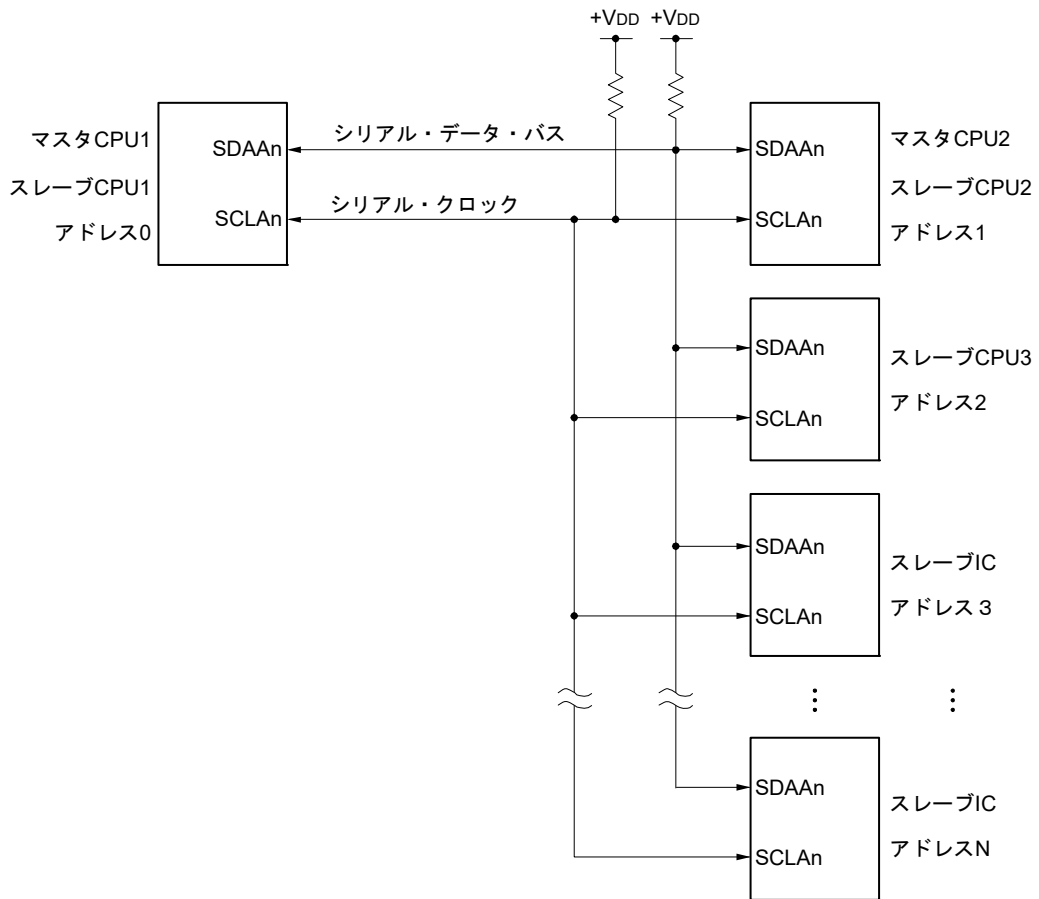


図16-2にシリアル・バス構成例を示します。

図16-2 I²Cバスによるシリアル・バス構成例



備考 n = 0

16.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表 16 - 1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ n (IICAn) スレーブ・アドレス・レジスタ n (SVAn)
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0) IICAコントロール・レジスタ n0 (IICCTLn0) IICAステータス・レジスタ n (IICSn) IICAフラグ・レジスタ n (IICFn) IICAコントロール・レジスタ n1 (IICCTLn1) IICAロウ・レベル幅設定レジスタ n (IICWLn) IICAハイ・レベル幅設定レジスタ n (IICWHn) ポート・モード・レジスタ 6 (PM6) ポート・レジスタ 6 (P6)

備考 n = 0

(1) IICAシフト・レジスタ n (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 16 - 3 IICAシフト・レジスタ n (IICAn)のフォーマット

アドレス : FFF50H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICAn								

注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み/読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット(STTn)をセット(1)したあと、1回書き込みできます。

注意3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 n = 0

(2) スレーブ・アドレス・レジスタ n (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1 (スタート・コンディション検出)のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図 16-4 スレーブ・アドレス・レジスタ n (SVAn)のフォーマット

アドレス : F0234H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ n (SVAn)に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn)の発生を制御します。

I²C 割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEnビットで設定)

備考 WTIMnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット3

SPIEnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

備考 n = 0

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

- (10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

- (11) スタート・コンディション生成回路

STTnビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVnビット = 1)で、かつバスが解放されていない(IICBSYnビット = 1)場合には、スタート・コンディション要求は無視し、STCFnビットをセット(1)します。

- (12) ストップ・コンディション生成回路

SPTnビットがセット(1)されるとストップ・コンディションを生成します。

- (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENnビットにより、バス状態検出回路の初期状態を設定してください。

備考1. STTnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

SPTnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット0

IICRSVnビット : IICAフラグ・レジスタ n (IICFn)のビット0

IICBSYnビット : IICAフラグ・レジスタ n (IICFn)のビット6

STCFnビット : IICAフラグ・レジスタ n (IICFn)のビット7

STCENnビット : IICAフラグ・レジスタ n (IICFn)のビット1

備考2. n = 0

16.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ0 (PER0)
- IICAコントロール・レジスタ n0 (IICCTLn0)
- IICAフラグ・レジスタ n (IICFn)
- IICAステータス・レジスタ n (IICSn)
- IICAコントロール・レジスタ n1 (IICCTLn1)
- IICAロウ・レベル幅設定レジスタ n (IICWLn)
- IICAハイ・レベル幅設定レジスタ n (IICWHn)
- ポート・モード・レジスタ6 (PM6)
- ポート・レジスタ6 (P6)

備考 n = 0

16.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAnを使用するときは、必ずビット4 (IICAnEN)を1に設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-5 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	0	ADCEN	IICAnEN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ・シリアル・インタフェースIICAnはリセット状態
1	入カクロック供給許可 ・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

注意1. シリアル・インタフェースIICAnの設定をする際には、必ず最初にIICAnEN = 1の状態です。下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAの制御レジスタは初期値となり、書き込みは無視されます(ポート・モード・レジスタ6 (PM6)、ポート・レジスタ6 (P6)は除く)。

- ・IICAコントロール・レジスタn0 (IICCTLn0)
- ・IICAフラグ・レジスタn (IICFn)
- ・IICAステータス・レジスタn (IICSn)
- ・IICAコントロール・レジスタn1 (IICCTLn1)
- ・IICAロウ・レベル幅設定レジスタn (IICWLn)
- ・IICAハイ・レベル幅設定レジスタn (IICWHn)
- ・IICAシフト・レジスタn (IICAn)
- ・スレーブ・アドレス・レジスタn (SVAn)

★

注意2. ビット1,6には必ず"0"を設定してください。

備考 n = 0

16.3.2 IICAコントロール・レジスタn0 (IICCTLn0)

I²Cの動作許可／停止、クロック・ストレッチ・タイミングの設定、その他I²Cの動作を設定するレジスタです。

IICCTLn0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEnビットは、IICEn = 0のとき、またはクロック・ストレッチ期間中に設定してください。またIICEnビットを"0"から"1"に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

備考 n = 0

図16-6 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(1/4)

アドレス : F0230H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn
IICEn	I ² Cの動作許可							
0	動作停止。IICAステータス・レジスタ n (IICSn)をリセット注1。内部動作も停止。							
1	動作許可。							
このビットのセット(1)は、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。								
クリアされる条件(IICEn = 0)					セットされる条件(IICEn = 1)			
・ 命令によるクリア ・ リセット時					・ 命令によるセット			
LRELn 注2, 3	通信回避							
0	通常動作。							
1	現在行っている通信から回避し、待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ n0 (IICCTLn0), IICAステータス・レジスタ n (IICSn)のうち、次のフラグがクリア(0)される。 ・ STTn ・ SPTn ・ MSTSn ・ EXCn ・ COIn ・ TRCn ・ ACKDn ・ STDn							
次の通信参加条件が満たされるまでは、通信から回避した待機状態となる。 ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信								
クリアされる条件(LRELn = 0)					セットされる条件(LRELn = 1)			
・ 実行後、自動的にクリア ・ リセット時					・ 命令によるセット			
WRELn 注2, 注3	クロック・ストレッチ解除							
0	クロック・ストレッチを解除しない。							
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。							
送信状態(TRCn = 1)で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット(クロック・ストレッチを解除)した場合、SDAAnラインをハイ・インピーダンス(TRCn = 0)にします。								
クリアされる条件(WRELn = 0)					セットされる条件(WRELn = 1)			
・ 実行後、自動的にクリア ・ リセット時					・ 命令によるセット			

注1. リセットされるのは、IICAソフト・レジスタ n (IICAn), IICAフラグ・レジスタ n (IICFn)のSTCFn, IICBSYn ビット, IICAコントロール・レジスタ n1 (IICCTLn1)レジスタのCLDn, DADnビットです。

注2. IICEn = 0の状態では、このビットの信号は無効になります。

注3. LRELn, WRELnビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル, SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1レジスタのDFCn = 1)のときにI²Cを動作許可(IICEn = 1)した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可(IICEn = 1)したあと、連続して1ビット・メモリ操作命令により、LRELnビットをセット(1)してください。

備考 n = 0

図16-7 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(2/4)

SPIEn 注1	ストップ・コンディション検出による割り込み要求発生の許可／禁止	
0	禁止	
1	許可	
IICAコントロール・レジスタ n1 (IICCTLn1)のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件(SPIEn = 0)		セットされる条件(SPIEn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット

WTIMn 注1	クロック・ストレッチおよび割り込み要求発生制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ(ACK)発生後の9クロック目の立ち下がりでのクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでのクロック・ストレッチに入ります。		
クリアされる条件(WTIMn = 0)		セットされる条件(WTIMn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット

ACKEn 注1,2	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件(ACKEn = 0)		セットされる条件(ACKEn = 1)
<ul style="list-style-type: none"> 命令によるクリア リセット時 		<ul style="list-style-type: none"> 命令によるセット

注1. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0

図16-8 IICAコントロール・レジスタn0 (IICCTLn0)のフォーマット(3/4)

STTn 注1,2	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	バスが解放されているとき(待機状態, IICBSYnが0のとき): セット(1)すると, スタート・コンディションを生成する(マスタとしての起動)。	
	第三者が通信中のとき: ・通信予約機能許可の場合(IICRSVn = 0) スタート・コンディション予約フラグとして機能する。セット(1)すると, バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合(IICRSVn = 1) セット(1)してもSTTnビットはクリアされ, STTnクリア・フラグ(STCFn)がセット(1)される。スタート・コンディションは生成しない。 クロック・ストレッチ状態(マスタ時): クロック・ストレッチを解除してリスタート・コンディションを生成する。	
	セット・タイミングに関する注意 ・マスタ受信の場合: 転送中のセット(1)は禁止です。ACKEn = 0に設定し, 受信の最後であることをスレーブに伝えたとのクロック・ストレッチ期間中にだけセット(1)可能です。 ・マスタ送信の場合: アクノリッジ期間中は, 正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット(1)してください。 ・ストップ・コンディション・トリガ(SPTn)と同時セット(1)することは禁止です。 ・STTnビットをセット(1)後, クリア条件になる前に再度セット(1)することは禁止です。	
	クリアされる条件(STTn = 0)	セットされる条件(STTn = 1)
	<ul style="list-style-type: none"> 通信予約禁止状態でのSTTnビットのセット(1) アービトレーションに負けたとき マスタでのスタート・コンディション生成 LRELn = 1 (通信退避)によるクリア IICEn = 0 (動作停止)のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット

注1. IICEn = 0の状態では, このビットの信号は無効になります。

注2. STTnビットの読み出し値は, 常に0になります。

備考1. IICRSVn : IICAフラグ・レジスタn (IICFn)のビット0

STCFn : IICAフラグ・レジスタn (IICFn)のビット7

備考2. n = 0

図 16 - 9 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(4/4)

SPTn注	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する(マスタとしての転送終了)。	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット(1)は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット(1)可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 スタート・コンディション・トリガ(STTn)と同時にセット(1)することは禁止です。 SPTnビットのセット(1)は、マスタのときのみ行ってください。 WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)すると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)してください。 SPTnビットをセット(1)後、クリア条件になる前に、再度セット(1)することは禁止です。 		
クリアされる条件(SPTn = 0)		セットされる条件(SPTn = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LRELn = 1 (通信退避)によるクリア IICEn = 0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 命令によるセット

注 SPTnビットの読み出し値は、常に0になります。

注意 IICAステータス・レジスタ n (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICCTLn0レジスタのビット5 (WRELn)をセット(1)してクロック・ストレッチ解除すると、TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタ nへの書き込みで行ってください。

備考1. ビット0 (SPTn)は、データ設定後に読み出すと0になっています。

備考2. n = 0

16.3.3 IICAステータス・レジスタ n (IICSn)

I²Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1およびクロック・ストレッチ期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可(WUPn = 1)状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1→0(ウエイク・アップ動作停止)に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可(SPIEn = 1)して割り込み検出後にIICSnレジスタを読み出して下さい。

備考 STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

WUPn: IICAコントロール・レジスタ n1 (IICCTLn1)のビット7

図 16 - 10 IICAステータス・レジスタ n (IICSn)のフォーマット(1/3)

アドレス : FFF51H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
IICSn	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACKD _n	STD _n	SPD _n

MSTS _n	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件(MSTS _n = 0)	
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • ALD_n = 1 (アービトレーション負け)のとき • LREL_n = 1 (通信退避)によるクリア • IICEn = 1→0 (動作停止)のとき • リセット時 	
セットされる条件(MSTS _n = 1)	
<ul style="list-style-type: none"> • スタート・コンディション生成時 	

ALD _n	アービトレーション負け検出
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS _n ビットがクリアされる。
クリアされる条件(ALD _n = 0)	
<ul style="list-style-type: none"> • IICSnレジスタ読み出し後、自動的にクリア注 • IICEn = 1→0 (動作停止)のとき • リセット時 	
セットされる条件(ALD _n = 1)	
<ul style="list-style-type: none"> • アービトレーションに負けたとき 	

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考1. LREL_n : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

図16-11 IICAステータス・レジスタn (IICSn)のフォーマット(2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件(EXCn = 0)		セットされる条件(EXCn = 1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LRELn = 1 (通信回避)によるクリア IICEEn = 1→0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき(8クロック目の立ち上がりでセット)
COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件(COIn = 0)		セットされる条件(COIn = 1)
<ul style="list-style-type: none"> スタート・コンディション検出時 ストップ・コンディション検出時 LRELn = 1 (通信回避)によるクリア IICEEn = 1→0 (動作停止)のとき リセット時 		<ul style="list-style-type: none"> 受信アドレスが自局アドレス(スレーブ・アドレス・レジスタn (SVAn))と一致したとき(8クロック目の立ち上がりでセット)
TRCn	送信/受信状態検出	
0	受信状態(送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする(1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件(TRCn = 0)		セットされる条件(TRCn = 1)
<p><マスタ, スレーブ共通></p> <ul style="list-style-type: none"> ストップ・コンディション検出時 LRELn = 1 (通信回避)によるクリア IICEEn = 1→0 (動作停止)のとき WRELn = 1 (クロック・ストレッチ解除)によるクリア注 ALDn = 0→1 (アービトレーション負け)のとき リセット時 通信不参加の場合(MSTS_n, EXCn, COIn = 0) <p><マスタの場合></p> <ul style="list-style-type: none"> 1バイト目のLSB (転送方向指定ビット)に“1”を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> スタート・コンディション検出時 1バイト目のLSB (転送方向指定ビット)に“0”を入力したとき 		<p><マスタの場合></p> <ul style="list-style-type: none"> スタート・コンディション生成時 1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“0” (マスタ送信)を出力したとき <p><スレーブの場合></p> <ul style="list-style-type: none"> マスタからの1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“1” (スレーブ送信)が入力されたとき

注 IICAステータス・レジスタn (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICAコントロール・レジスタn0 (IICCTLn0)のビット5 (WRELn)をセット(1)してクロック・ストレッチを解除すると、TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考1. LRELn: IICAコントロール・レジスタn0 (IICCTLn0)のビット6

IICEEn: IICAコントロール・レジスタn0 (IICCTLn0)のビット7

備考2. n = 0

図 16 - 12 IICAステータス・レジスタ n (IICSn)のフォーマット(3/3)

ACKDn	アクトリッジ(ACK)検出	
0	アクトリッジを検出していない。	
1	アクトリッジを検出している。	
クリアされる条件(ACKDn = 0)		セットされる条件(ACKDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時 		<ul style="list-style-type: none"> ・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき
STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件(STDn = 0)		セットされる条件(STDn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時
SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件(SPDn = 0)		セットされる条件(SPDn = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEn = 1→0 (動作停止)のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

16.3.4 IICAフラグ・レジスタ n (IICFn)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ(STCFn)、I²Cバス状態フラグ(IICBSYn)は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止/許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn、STCENnビットはI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = n)のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図16-13 IICAフラグ・レジスタn (IICFn)のフォーマット

アドレス : FFF52H リセット時 : 00H R/W注

略号	7	6	5	4	3	2	1	0
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STTnフラグ・クリア。
クリアされる条件(STCFn = 0)	
<ul style="list-style-type: none"> • STTn = 1によるクリア • IICEn = 0 (動作停止)のとき • リセット時 	
セットされる条件(STCFn = 1)	
<ul style="list-style-type: none"> • 通信予約禁止(IICRSVn = 1)設定時にスタート・コンディション発行できず、STTnビットがクリア(0)されたとき 	

IICBSYn	I ² Cバス状態フラグ
0	バス解放状態(STCENn = 1時の通信初期状態)。
1	バス通信状態(STCENn = 0時の通信初期状態)。
クリアされる条件(IICBSYn = 0)	
<ul style="list-style-type: none"> • ストップ・コンディション検出時 • IICEn = 0 (動作停止)のとき • リセット時 	
セットされる条件(IICBSYn = 1)	
<ul style="list-style-type: none"> • スタート・コンディション検出時 • STCENn = 0時のIICEnビットのセット 	

STCENn	初期スタート許可トリガ
0	動作許可(IICEn = 1)後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可(IICEn = 1)後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件(STCENn = 0)	
<ul style="list-style-type: none"> • 命令によるクリア • スタート・コンディション検出時 • リセット時 	
セットされる条件(STCENn = 1)	
<ul style="list-style-type: none"> • 命令によるセット 	

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件(IICRSVn = 0)	
<ul style="list-style-type: none"> • 命令によるクリア • リセット時 	
セットされる条件(IICRSVn = 1)	
<ul style="list-style-type: none"> • 命令によるセット 	

注 ビット6, 7はRead onlyです。

注意1. STCENnビットへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

注意2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態(IICBSYn = 0)と認識しますので、1回目のスタート・コンディションを発行(STTn = 1)する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVnへの書き込みは動作停止(IICEn = 0)時のみ行ってください。

備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0)のビット1

備考2. IICEn : IICAコントロール・レジスタn0 (IICCTLn0)のビット7

16.3.5 IICAコントロール・レジスタ n1 (IICCTLn1)

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1 レジスタは、WUPnビットを除きI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = 0)のときに設定してください。

リセット信号の発生により、00Hになります。

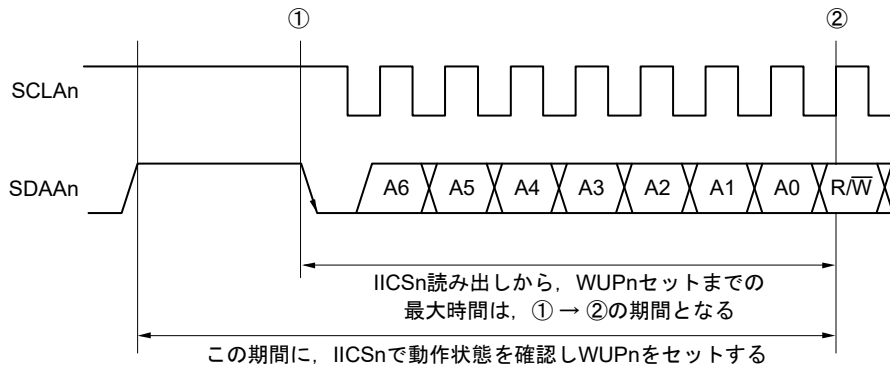
図 16 - 14 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット(1/2)

アドレス : F0231H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn
WUPn	アドレス一致ウエイク・アップの制御							
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止							
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可							
<p>WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット(1)してf_{mck}の3クロック以上経過後にSTOP命令を実行してください(図 16 - 29 WUPn = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPnビットをクリア(0)してください。WUPnビットをクリア(0)することで、その後の通信に参加する事ができます(クロック・ストレッチ解除および送信データ書き込みは、WUPnビットをクリア(0)したあとに行う必要があります)。</p> <p>WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです(クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。</p>								
クリアされる条件(WUPn = 0)					セットされる条件(WUPn = 1)			
・命令によるクリア(アドレス一致もしくは拡張コード受信後)					・命令によるセット(MSTSn, EXCn, COIn = 0であり、STDn = 0 (通信に不参加である事)のとき) ^{注2}			

注1. ビット4, 5はRead Onlyです。

注2. 次に示す期間に、IICAステータス・レジスタ n (IICSn)の状態を確認しセットする必要があります。



備考 n = 0

図16-15 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット(2/2)

CLDn	SCLAn端子のレベル検出(IICEn = 1のときのみ有効)	
0	SCLAn端子がロウ・レベルであることを検出	
1	SCLAn端子がハイ・レベルであることを検出	
クリアされる条件(CL Dn = 0)		セットされる条件(CL Dn = 1)
<ul style="list-style-type: none"> • SCLAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出(IICEn = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件(DADn = 0)		セットされる条件(DADn = 1)
<ul style="list-style-type: none"> • SDAAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時 		<ul style="list-style-type: none"> • SDAAn端子がハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作(最大転送レート: 100 kbps)
1	ファースト・モード(最大転送レート: 400 kbps)またはファースト・モード・プラス(最大転送レート: 1 Mbps)で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。
デジタル・フィルタは、ノイズ除去のために使用します。
DFCnビットのセット(1)／クリア(0)により、転送クロックが変化することはありません。

PRSn	IICA動作クロック (fMCK) の制御
0	fCLKを選択 ($1\text{ MHz} \leq f_{\text{CLK}} \leq 20\text{ MHz}$)
1	fCLK/2を選択 ($20\text{ MHz} < f_{\text{CLK}}$)

注意1. IICA動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。

fCLKが20 MHzを越える場合のみ、IICAコントロール・レジスタ n1 (IICCTLn1) のビット0 (PRSn) に"1"を設定してください。

注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。

シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

注意3. ファースト・モード・プラスは、A:民生用途(TA = -40 ~ +85°C)のみです。

備考1. IICEn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0

16.3.6 IICAロウ・レベル幅設定レジスタ n (IICWLn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のロウ・レベル幅 (tLOW) と SDAAn 端子信号を制御するレジスタです。

IICWLn レジスタは、8ビット・メモリ操作命令で設定します。

IICWLn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

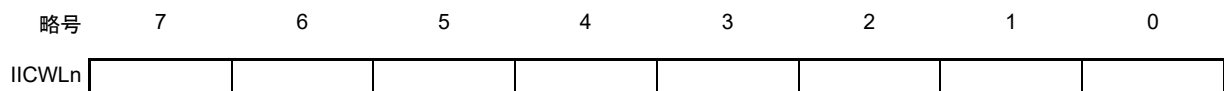
リセット信号の発生により、FFH になります。

IICWLn の設定方法については、16.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法を参照してください。

また、データ・ホールド時間は IICWLn で設定した時間の 1/4 になります。

図 16 - 16 IICA ロウ・レベル幅設定レジスタ n (IICWLn) のフォーマット

アドレス : F0232H リセット時 : FFH R/W



16.3.7 IICAハイ・レベル幅設定レジスタ n (IICWHn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のハイ・レベル幅と SDAAn 端子信号を制御するレジスタです。

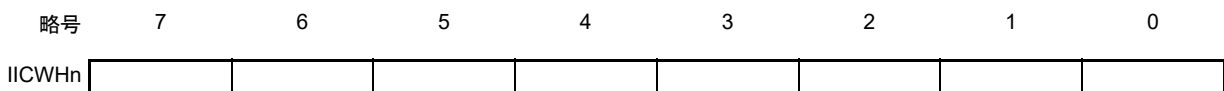
IICWHn レジスタは、8ビット・メモリ操作命令で設定します。

IICWHn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

図 16 - 17 IICA ハイ・レベル幅設定レジスタ n (IICWHn) のフォーマット

アドレス : F0233H リセット時 : FFH R/W



備考1. マスタ側の転送クロックの設定方法は 16.4.2 (1) を、スレーブ側の IICWLn, IICWHn レジスタによる転送クロックの設定方法は 16.4.2 (2) を参照してください。

備考2. n = 0

16.3.8 ポート・モード・レジスタ6 (PM6)

ポート6の入力/出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力、P61/SDAA0端子をシリアル・データ入出力として使用するとき、PM60、PM61およびP60、P61の出力ラッチに0を設定してください。

IICEn (IICAコントロール・レジスタ n0 (IICCTLn0)のビット7)が0の場合、P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力(固定)となるため、出力モードへの切り替えは、IICEnビットに1を設定してから、行ってください。

PM6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図16-18 ポート・モード・レジスタ6 (PM6)のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60
PM6n	P6n端子の入出力モードの選択 (n = 0, 1)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

16.4 I²Cバス・モードの機能

16.4.1 端子構成

シリアル・クロック端子(SCLAn)と、シリアル・データ・バス端子(SDAAn)の構成は、次のようになっています。

(1) SCLAn... シリアル・クロックを入出力するための端子。

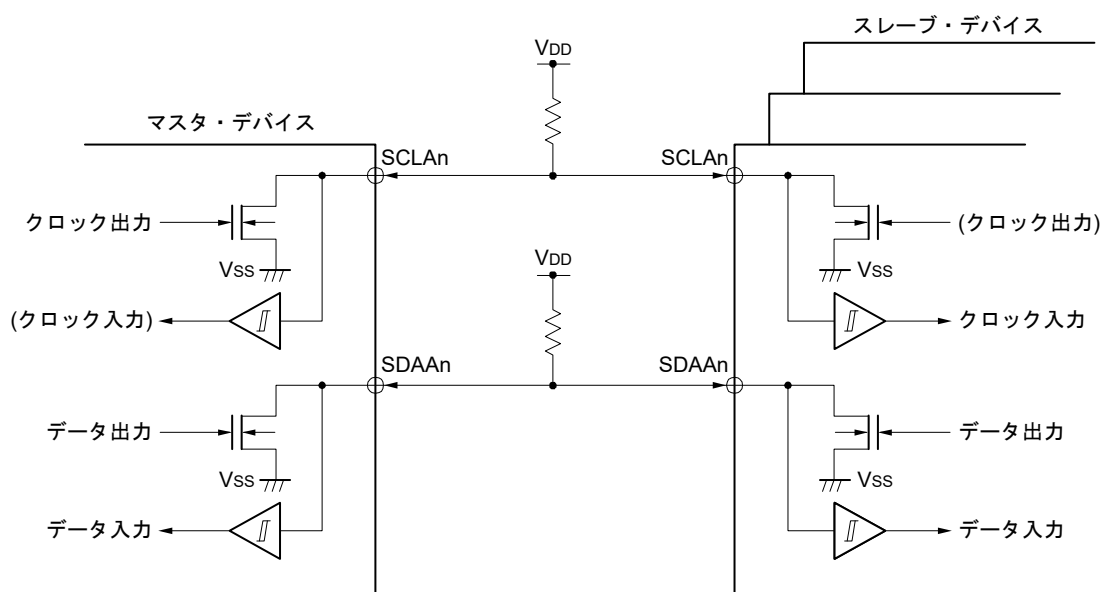
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAAn... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図 16 - 19 端子構成図



備考 n = 0

16.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき、最適な IICWLn レジスタと IICWHn レジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

・標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

・ファースト・モード・プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

(2) スレーブ側の IICWLn, IICWHn レジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWLn = 1.3 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (1.2 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

・標準モード時

$$IICWLn = 4.7 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (5.3 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

・ファースト・モード・プラス時

$$IICWLn = 0.50 \mu\text{s} \times f_{MCK}$$

$$IICWHn = (0.50 \mu\text{s} - t_R - t_F) \times f_{MCK}$$

注意1. IICA動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。

fCLKが20 MHzを越える場合のみ、IICAコントロール・レジスタ n1 (IICCTLn1) のビット0 (PRSn) に"1"を設定してください。

注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。

シリアル・インタフェース IICA はモードによって fCLK の最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

(備考は、次ページにあります。)

備考1. SDAAn, SCLAn信号の立ち上がり時間(t_R)と立ち下がり時間(t_F)は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

備考2. IICWLn : IICAロウ・レベル幅設定レジスタn

IICWHn : IICAハイ・レベル幅設定レジスタn

t_F : SDAAn, SCLAn信号の立ち下がり時間

t_R : SDAAn, SCLAn信号の立ち上がり時間

fMCK : IICA動作クロック周波数

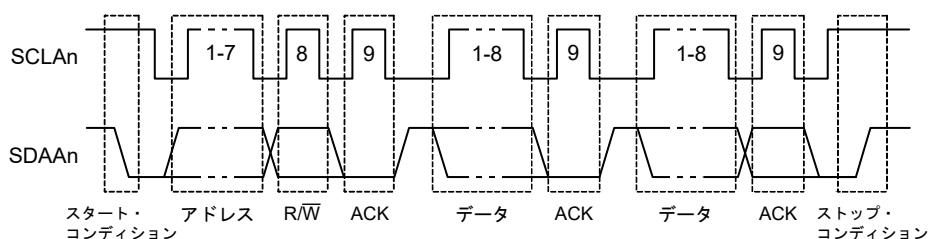
備考3. n = 0

16.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図16-20に示します。

図16-20 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

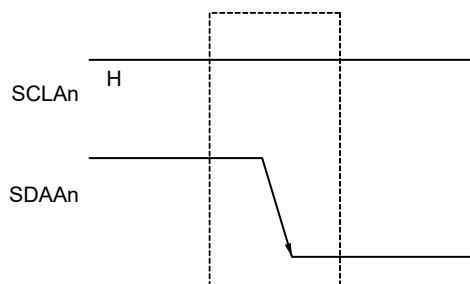
アクノリッジ(ACK)は、マスタ、スレーブのどちらでも生成できます(通常、8ビット・データの受信側が出力します)。

シリアル・クロック(SCLAn)は、マスタが出力し続けます。ただし、スレーブはSCLAn端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

16.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子、SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図16-21 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態(SPDn: IICAステータス・レジスタn (IICSn)のビット0 = 1)のときにIICAコントロール・レジスタn0 (IICCTLn0)のビット1 (STTn)をセット(1)すると出力されます。また、スタート・コンディションを検出すると、IICSnレジスタのビット1 (STDn)がセット(1)されます。

備考 n = 0

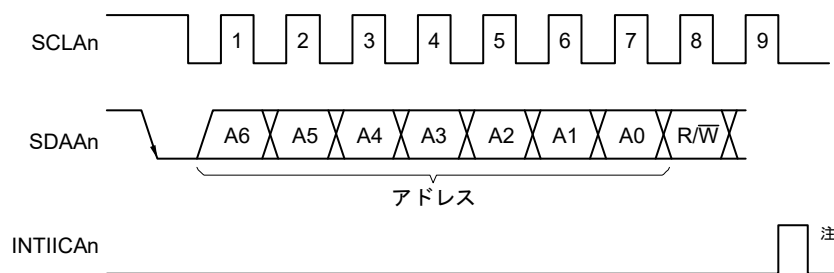
16.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn)と一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図 16 - 22 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと16.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAnシフト・レジスタ n (IICAn)に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれます。

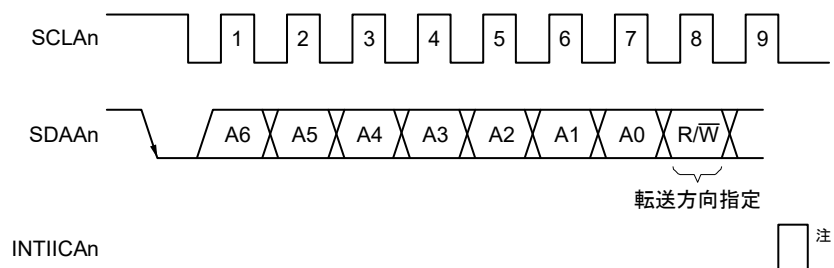
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

16.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図 16 - 23 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 $n = 0$

16.5.4 アクノリッジ(ACK)

アクノリッジ(ACK)によって、送信側と受信側におけるシリアル・データの状態を確認することができます。受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ n (IICSn)のビット2 (ACKDn)で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

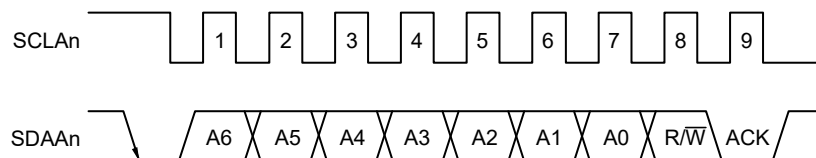
アクノリッジ生成は、受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ n0 (IICCTLn0)のビット2 (ACKEn)をセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3 (TRCn)が設定されます。受信(TRCn = 0)の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時(TRCn = 0)にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRCn = 0)に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図 16-24 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- ・ 8クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 0) :
クロック・ストレッチ解除を行う前にACKEnビットをセット(1)することによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・ 9クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 1) :
あらかじめACKEnビットをセット(1)することによって、アクノリッジを生成します。

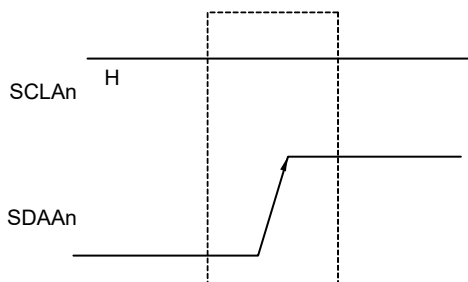
備考 n = 0

16.5.5 ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図 16 - 25 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ n0 (IICCTLn0)のビット0 (SPTn)をセット(1)すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ n (IICSn)のビット0 (SPDn)がセット(1)され、IICCTLn0レジスタのビット4 (SPIEn)がセット(1)されている場合にはINTIICAnが発生します。

備考 n = 0

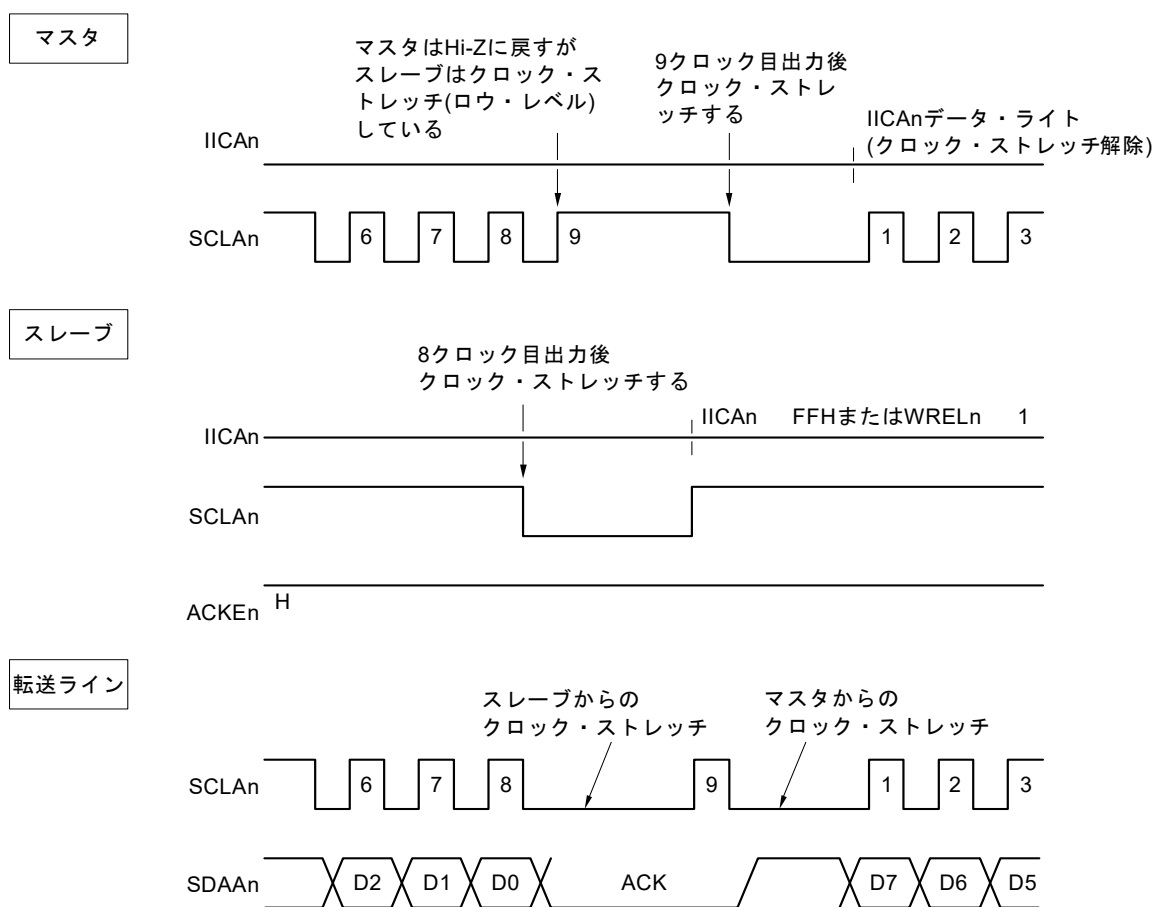
16.5.6 クロック・ストレッチ

クロック・ストレッチによっては、マスタまたはスレーブがデータの送受信のための準備中(クロック・ストレッチ状態)であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図16-26 クロック・ストレッチ(1/2)

- (1) マスタは9クロック・クロック・ストレッチ, スレーブは8クロック・クロック・ストレッチ時
(マスタ:送信, スレーブ:受信, ACKEn = 1)

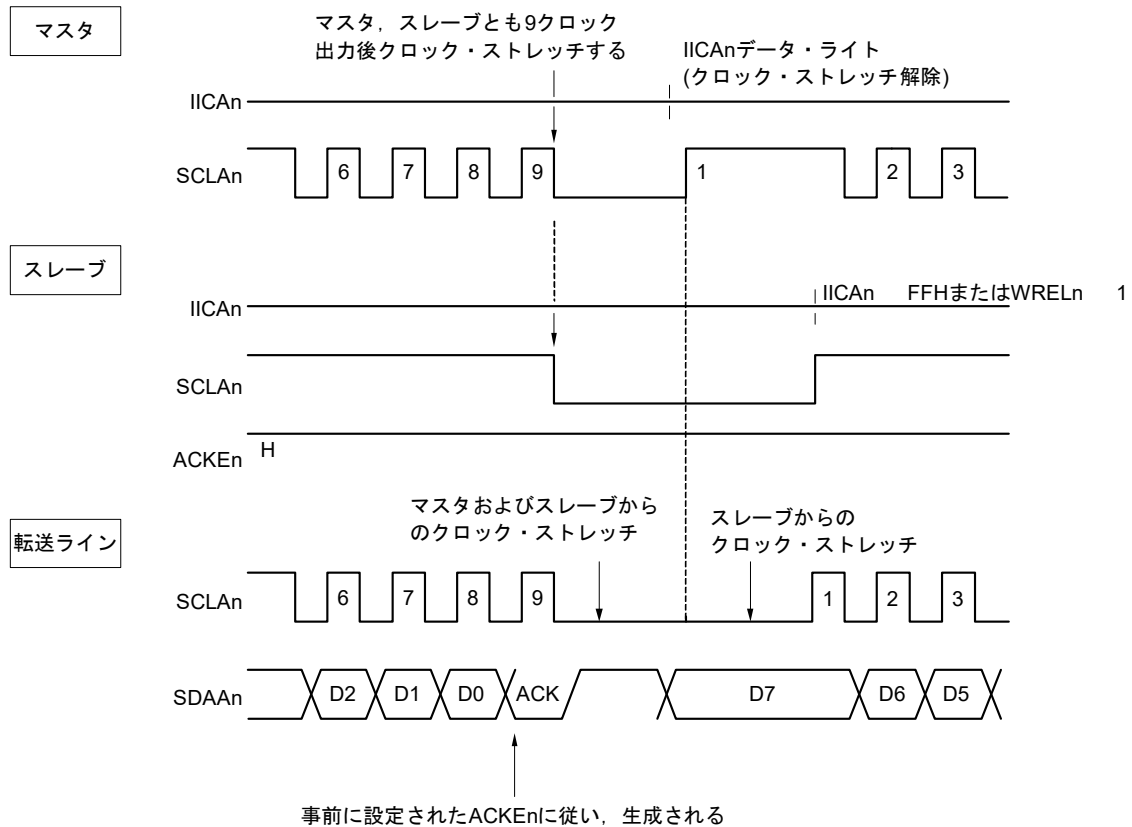


備考 n = 0

図16-27 クロック・ストレッチ(2/2)

(2) マスタ、スレーブとも9クロック・クロック・ストレッチ時

(マスタ:送信, スレーブ:受信, ACKEn = 1)



備考 ACKEn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット2

WRELn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット5

クロック・ストレッチは、IICAコントロール・レジスタ n0 (IICCTLn0)のビット3 (WTIMn)の設定により自動的に発生します。

通常、受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタ n (IICAn)にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- ・ IICCTLn0レジスタのビット1 (STTn) = 1
- ・ IICCTLn0レジスタのビット0 (SPTn) = 1

備考 n = 0

16.5.7 クロック・ストレッチ解除方法

I²Cでは、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- IICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合、I²Cはクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ(アドレスを含む)を送信する場合には、IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0レジスタのビット5 (WRELn)をセット(1)してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0レジスタのビット1 (STTn)をセット(1)してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0レジスタのビット0 (SPTn)をセット(1)してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットにセット(1)によるクロック・ストレッチ解除後、IICAnレジスタへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により、SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEnビットをクリア(0)すると通信を停止するので、クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0レジスタのビット6 (LRELn)をセット(1)すると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

備考 n = 0

16.5.8 割り込み要求 (INTIICAn)発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0 (IICCTLn0) のビット3 (WTIMn) の設定で、表 16-2 に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表 16-2 INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1,2	8注2	8注2	9	8	8
1	9注1,2	9注2	9注2	9	9	9

注1. スレーブのINTIICAn信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ n (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICCTLn0レジスタのビット2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnを発生しますが、クロック・ストレッチは発生しません。

注2. スレーブ・アドレス・レジスタ n (SVAn) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAnもクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・ スレーブ動作時：WTIMn ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- ・ マスタ動作時：WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・ マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- ・ マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考 n = 0

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- ・ IICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- ・ IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・クロック・ストレッチ選択 (WTIMn = 0)時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

16.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n (SVAn)に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

16.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn)の状態が、送信しているデバイスのIICAシフト・レジスタ n (IICAn)にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0

16.5.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXCn)をセット(1)し、8クロック目の立ち下がりで割り込み要求(INTIICAn)を発生します。スレーブ・アドレス・レジスタ n (SVAn)に格納された自局アドレスは影響しません。
- (2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIICAn)は、8クロック目の立ち下がりで発生します。

- ・ 上位4ビット・データの一致 : EXCn = 1
- ・ 7ビット・データの一致 : COIn = 1

備考 EXCn : IICAステータス・レジスタ n (IICSn)のビット5
COIn : IICAステータス・レジスタ n (IICSn)のビット4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表 16 - 3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

備考2. n = 0

16.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合($STDn = 1$ になる前に $STTn = 1$ にしたとき)、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICAステータス・レジスタ n (IICSn)のアービトレーション負けフラグ(ALDn)をセット(1)し、SCLAn, SDAAnラインともハイ・インピーダンス状態にしてバスを解放します。

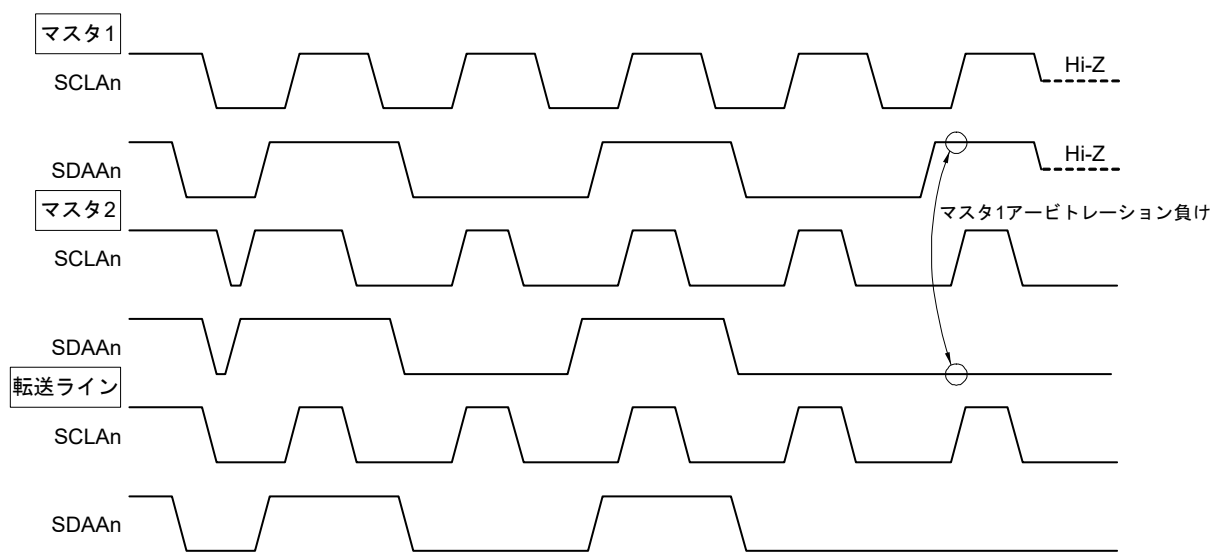
アービトレーションに負けたことは、次の割り込み要求発生タイミング(8または9クロック目、ストップ・コンディション検出など)で、ソフトウェアで $ALDn = 1$ になっていることで検出します。

割り込み要求発生タイミングについては、16.5.8 割り込み要求(INTIICAn)発生タイミングおよびクロック・ストレッチ制御を参照してください。

備考 $STDn$: IICAステータス・レジスタ n (IICSn)のビット1

$STTn$: IICAコントロール・レジスタ $n0$ (IICCTLn0)のビット1

図16 - 28 アービトレーション・タイミング例



備考 $n = 0$

表 16 - 4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIMnビット(IICAコントロール・レジスタ n0 (IICCTLn0)のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット 4

備考2. n = 0

16.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生する機能です。

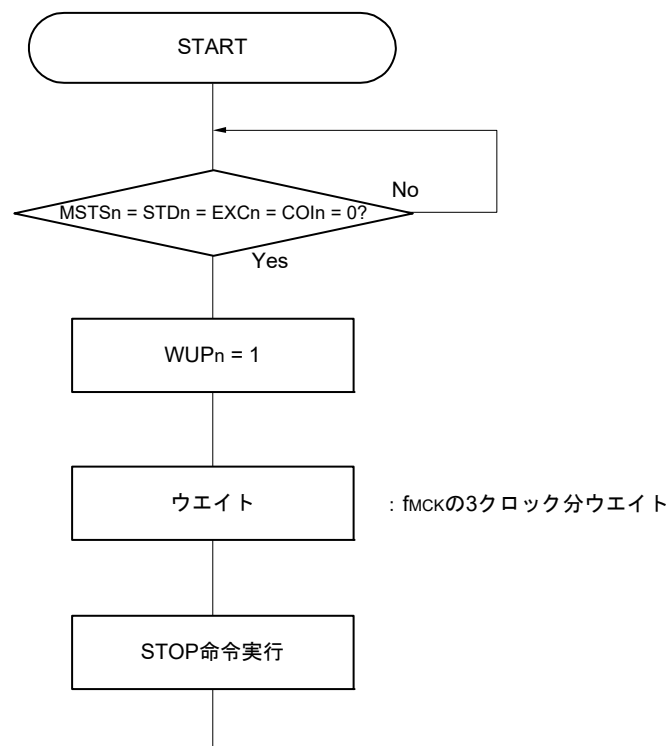
アドレスが一致しないときは不要なINTIICAn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ(スタート・コンディションを生成した場合)でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生します。この割り込み発生後に命令でWUPnビットをクリア(0)することで通常動作に戻ります。

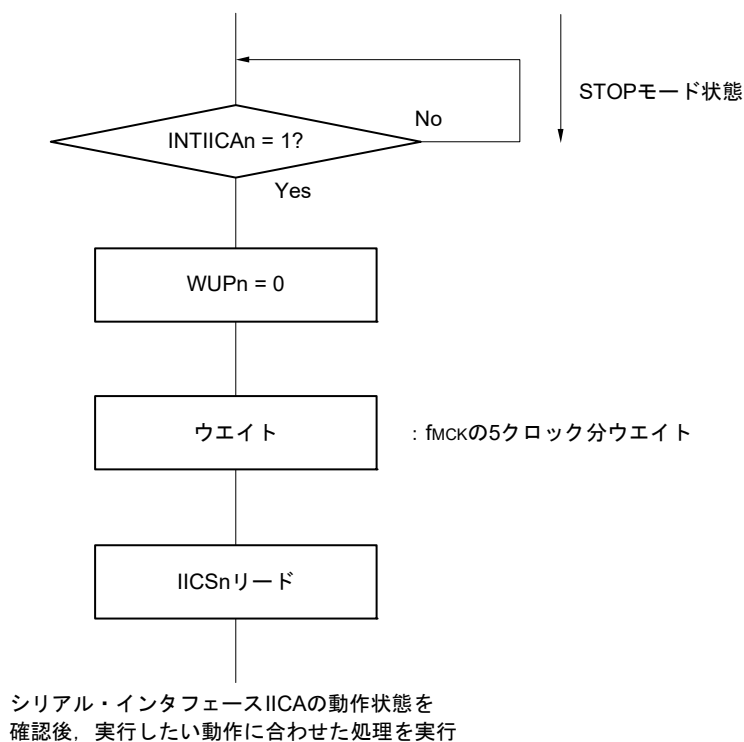
WUPn = 1に設定する場合のフローを図16 - 29に、アドレス一致によりWUPn = 0に設定する場合のフローを図16 - 30に示します。

図16 - 29 WUPn = 1を設定する場合のフロー



備考 n = 0

図16 - 30 アドレス一致によりWUPn = 0に設定する場合のフロー (拡張コード受信含む)

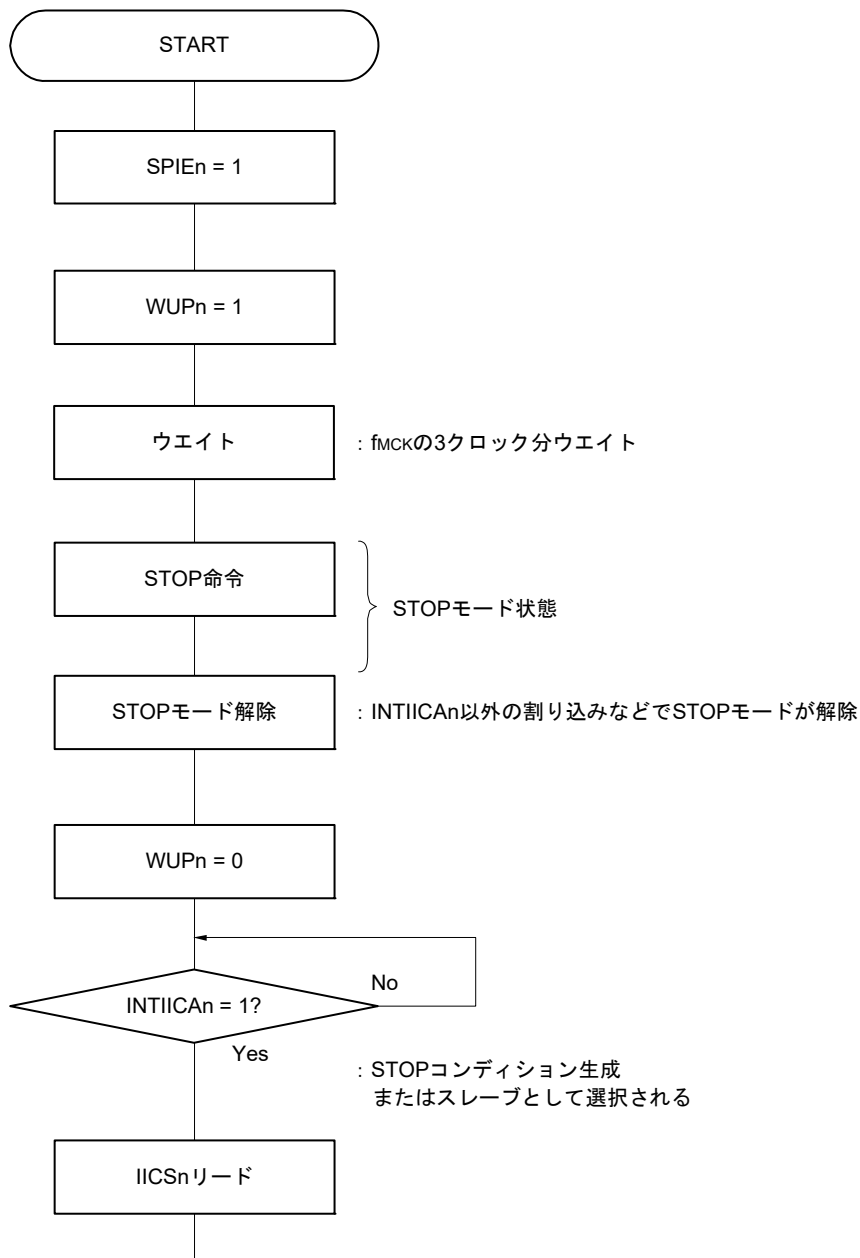


また、シリアル・インタフェースIICAからの割り込み要求 (INTIICAn) 以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- 次のIIC通信をマスタとして動作させる場合：図16 - 31のフロー
- 次のIIC通信をスレーブとして動作させる場合：
 - INTIICAn割り込みで復帰した場合： 図16 - 30のフローと同じになります。
 - INTIICAn割り込み以外の割り込みで復帰した場合： INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考 n = 0

図 16 - 31 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

備考 n = 0

16.5.14 通信予約

(1) 通信予約機能許可の場合(IICAフラグ・レジスタ n (IICFn)のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICAコントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1で通信退避してバスを解放した)とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn)をセット(1)すると、バスが解放されたあと(ストップ・コンディション検出時)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn)をセット(1)し、割り込み要求信号 (INTIICAn)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IICAシフト・レジスタ n (IICAn)にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・ バスが解放されているとき スタート・コンディション生成
- ・ バスが解放されていないとき(待機状態) 通信予約

通信予約として動作するのかどうかは、STTnビットをセット(1)し、ウェイト時間をとったあと、MSTS_nビット(IICAステータス・レジスタ n (IICSn)のビット7)で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$\text{STTn} = 1 \text{ から MSTSn フラグ 確認 までの ウェイト 時間 :}$ $(\text{IICWLn の 設定 値} + \text{IICWHn の 設定 値} + 4) / \text{fMCK} + \text{tf} \times 2$
--

備考1. IICWLn : IICA ロウ・レベル幅設定レジスタ n

IICWHn : IICA ハイ・レベル幅設定レジスタ n

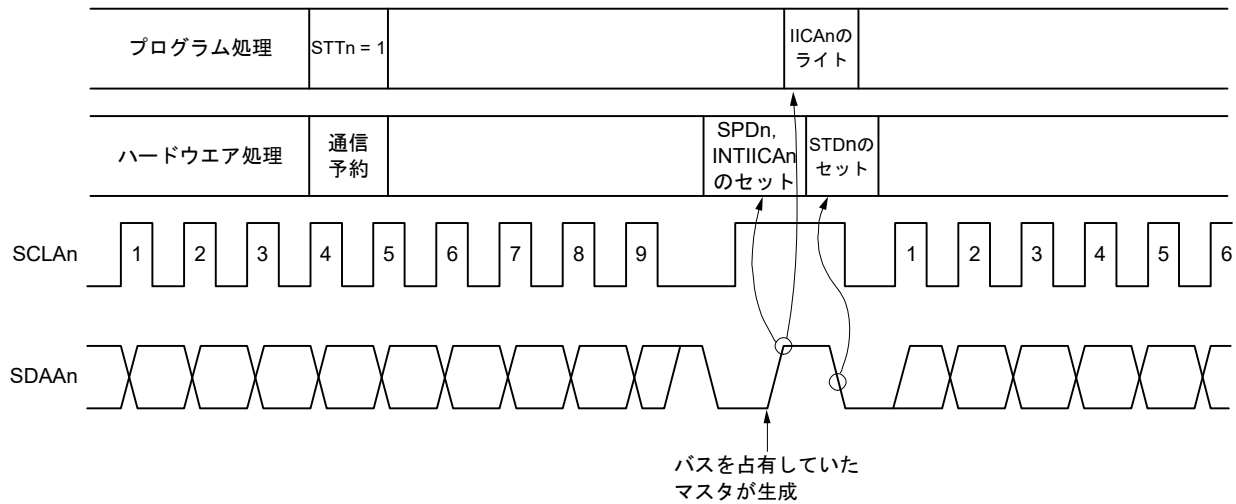
tf : SDAAn, SCLAn 信号の立ち下がり時間

fMCK : IICA 動作クロック周波数

備考2. n = 0

通信予約のタイミングを図16 - 32に示します。

図16 - 32 通信予約のタイミング



- 備考 IICAn : IICAシフト・レジスタ n
 STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1
 STDn : IICAステータス・レジスタ n (IICSn)のビット1
 SPDn : IICAステータス・レジスタ n (IICSn)のビット0

通信予約は図16 - 33に示すタイミングで受け付けられます。IICAステータス・レジスタ n (IICSn)のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ n0 (IICCTLn0)のビット1 (STTn) = 1で通信予約をします。

図16 - 33 通信予約受け付けタイミング

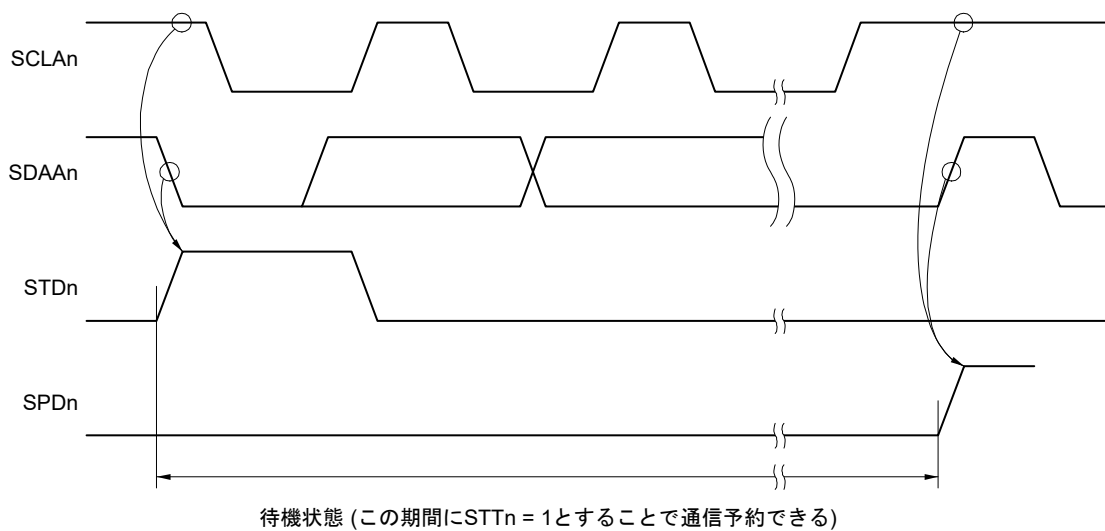
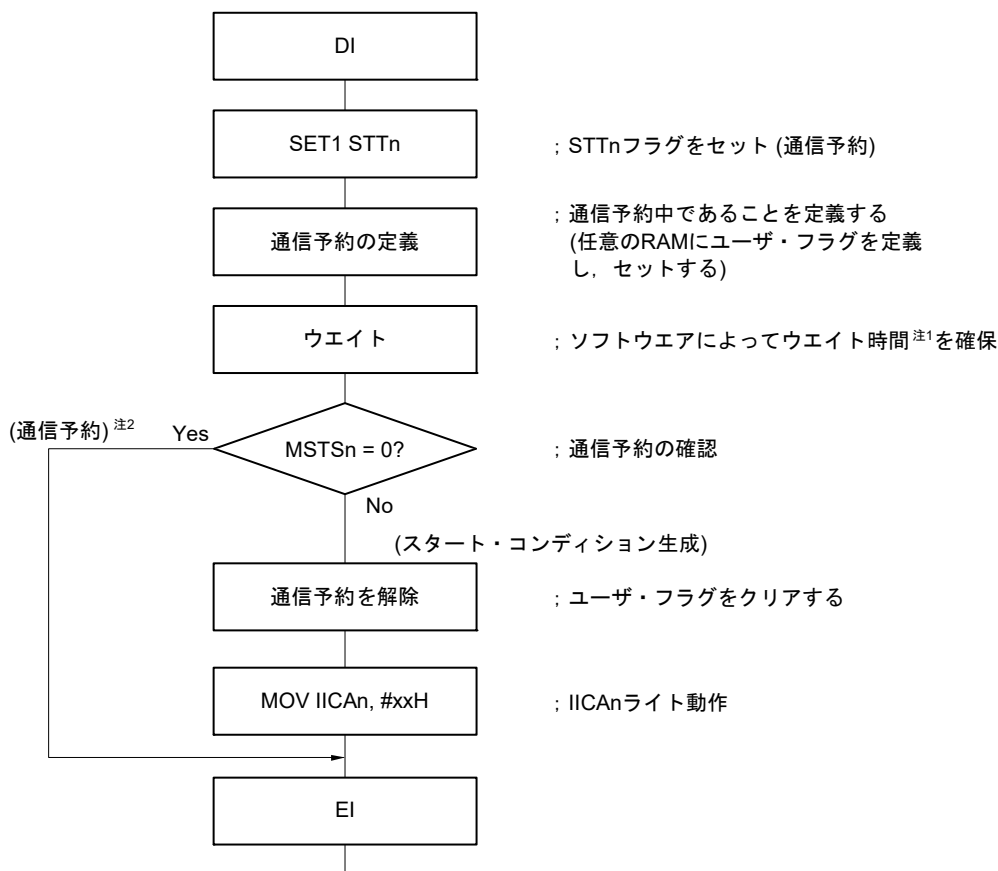


図16 - 34に通信予約の手順を示します。

備考 n = 0

図 16 - 34 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / fMCK + tF \times 2$$

注2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ n (IICAn)への書き込みを実行します。

備考1. STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

MSTS n : IICAステータス・レジスタ n (IICSn)のビット7

IICAn : IICAシフト・レジスタ n

IICWLn : IICAロウ・レベル幅設定レジスタ n

IICWHn : IICAハイ・レベル幅設定レジスタ n

tF : SDAAn, SCLAn信号の立ち下がり時間

fMCK : IICA動作クロック周波数

備考2. n = 0

(2) 通信予約機能禁止の場合(IICAフラグ・レジスタ n (IICFn)のビット0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態(IICAコントロール・レジスタ n0 (IICCTLn0)のビット1 (STTn)をセット(1)すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICCTLn0レジスタのビット6 (LRELn) = 1で通信退避してバスを解放した)とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFn レジスタのビット7)で確認できます。STTn = 1としてからSTCFnがセット(1)されるまでfmckの5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0

16.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可(IICEn = 1)直後、実際のバス状態にかかわらず通信状態(IICBSYn = 1)と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタ n1 (IICCTLn1)を設定する
- ② IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn)をセット(1)する
- ③ IICCTLn0レジスタのビット0 (SPTn)をセット(1)する

(2) STCENn = 1の場合

I²C動作許可(IICEn = 1)直後、実際のバス状態にかかわらず解放状態(IICBSYn = 0)と認識しますので、1回目のスタート・コンディションを生成(STTn = 1)する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識(スタート・コンディション検出)します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

- ① IICCTLn0レジスタのビット4 (SPIEn)をクリア(0)し、ストップ・コンディション検出による割り込み要求信号(INTIICAn)発生を禁止する
- ② IICCTLn0レジスタのビット7 (IICEn)をセット(1)し、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで(IICEnビットをセット(1)してから、fMCKの4~72クロック中)に、IICCTLn0レジスタのビット6 (LRELn)をセット(1)にし、強制的に検出を無効とする

(4) STTn, SPTnビット(IICCTLn0レジスタのビット1, 0)をセットしたあと、クリア(0)される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット(IICCTLn0レジスタのビット4)をセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ n (IICAn)に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTSnビット(IICAステータス・レジスタ n (IICSn)のビット7)を検出する場合には、SPIEnビットをセット(1)する必要はありません。

備考 n = 0

16.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

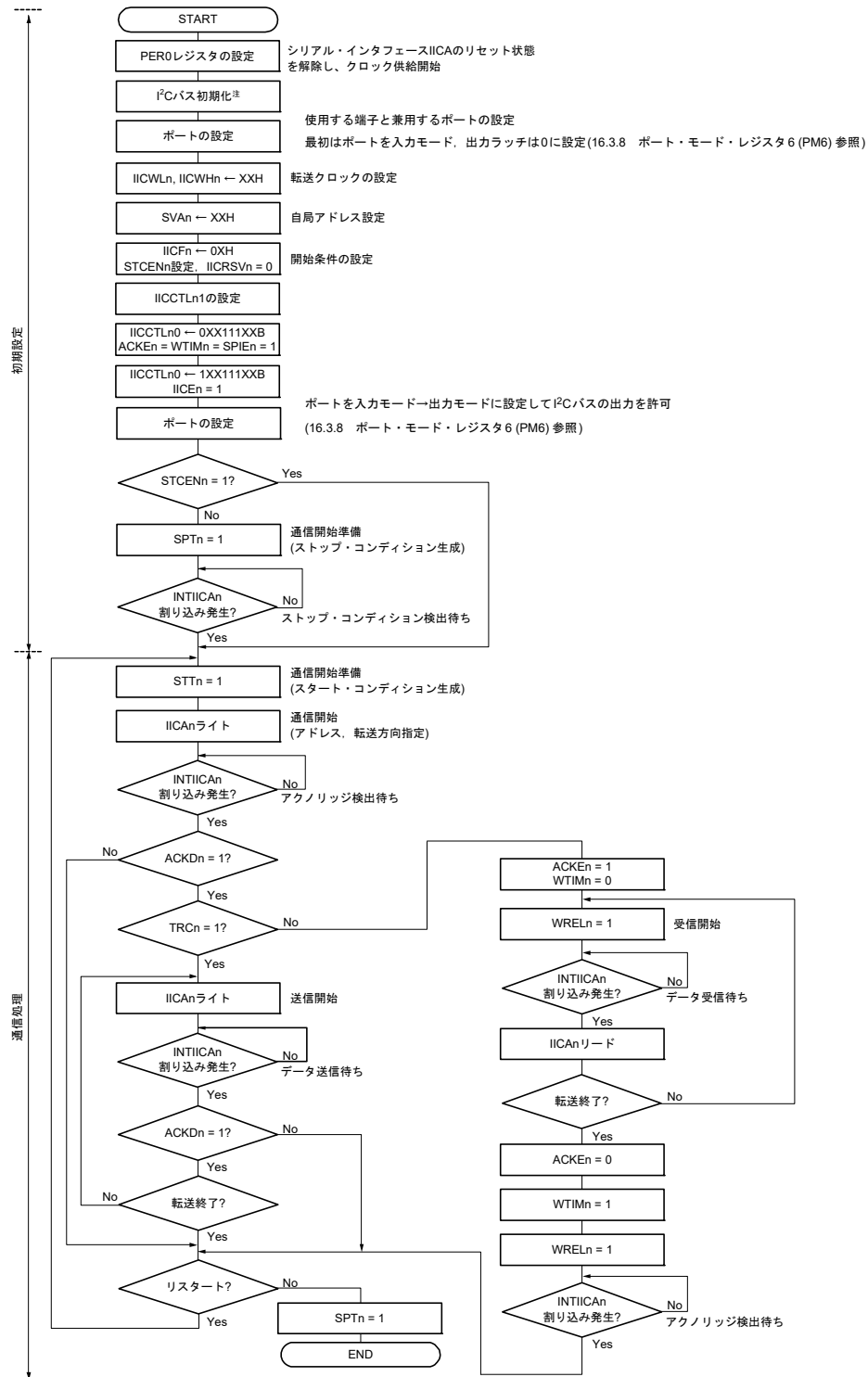
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0

(1) シングルマスタ・システムでのマスタ動作

図 16 - 35 シングルマスタ・システムでのマスタ動作



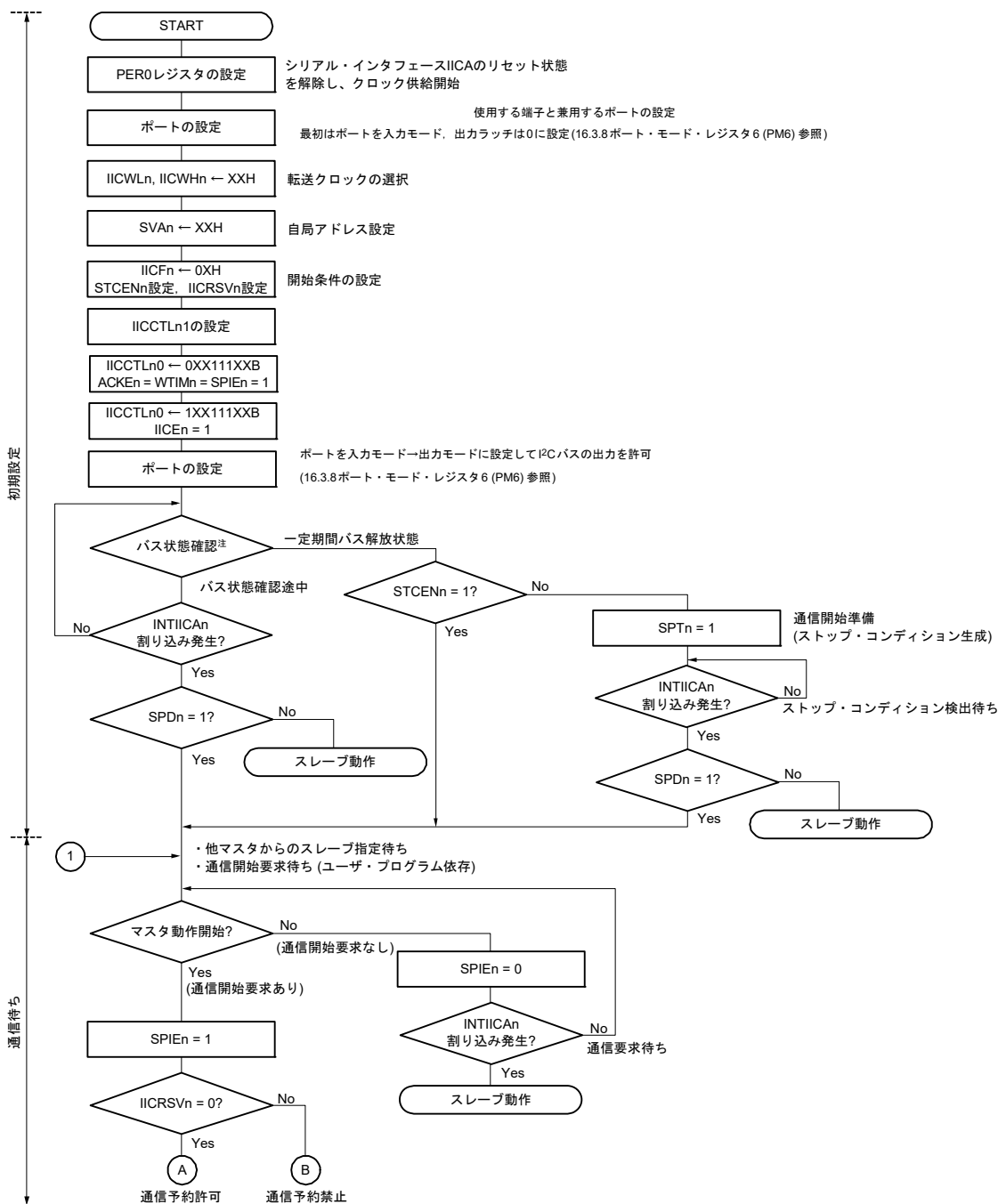
注 通信している製品の仕様に準拠し、I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

備考2. n = 0

(2) マルチマスタ・システムでのマスタ動作

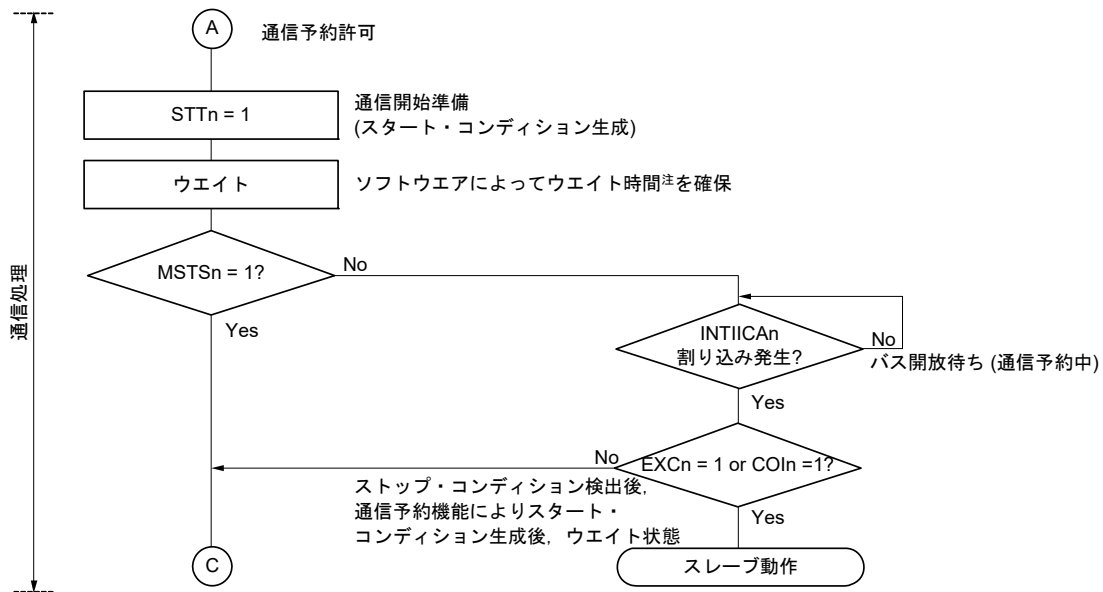
図 16 - 36 マルチマスタ・システムでのマスタ動作(1/3)



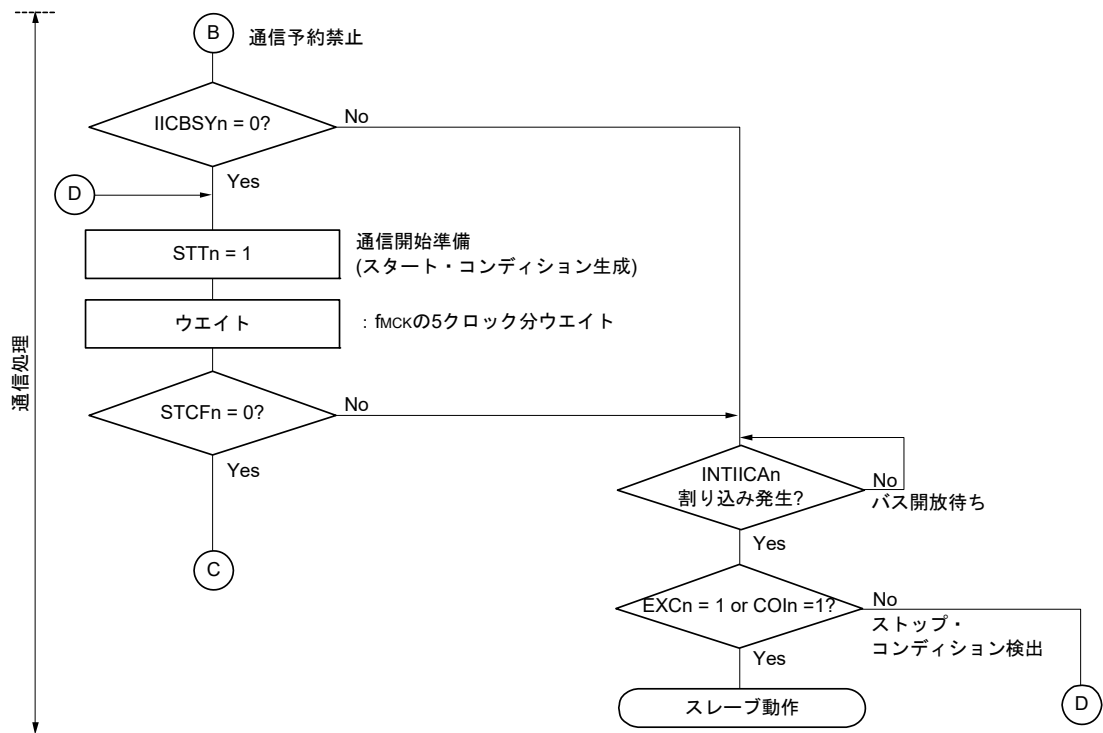
注 一定期間(たとえば1フレーム分), バス解放状態(CLD_nビット = 1, DAD_nビット = 1)であることを確認してください。定期的にSDA_n端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放(SCL_n, SDA_n端子 = ハイ・レベル)するか判断してください。

備考 n = 0

図 16-37 マルチマスタ・システムでのマスタ動作(2/3)



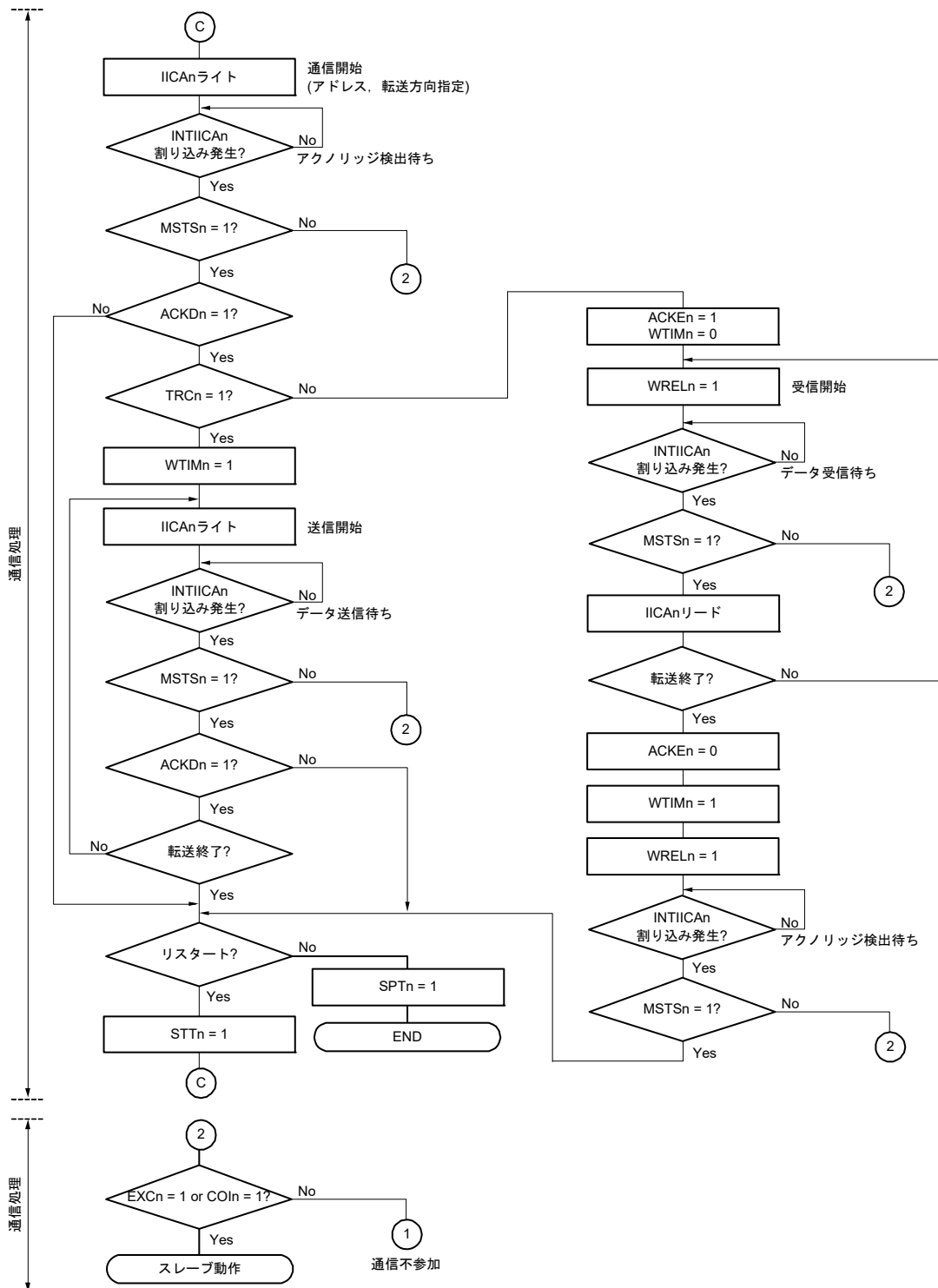
注 ウェイト時間は次のようになります。
 $(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / f_{MCK} + t_F \times 2$



備考1. IICWL_n : IICA ロウ・レベル幅設定レジスタ n
 IICWH_n : IICA ハイ・レベル幅設定レジスタ n
 t_F : SDAAn, SCLAn 信号の立ち下がり時間
 f_{MCK} : IICA 動作クロック周波数

備考2. n = 0

図 16 - 38 マルチマスタ・システムでのマスタ動作(3/3)



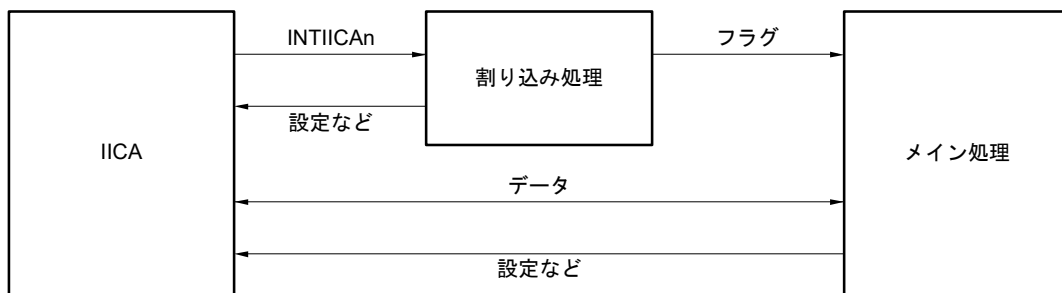
- 備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
- 備考 2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。
- 備考 3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn 割り込み発生ごとに IICA ステータス・レジスタ n (IICSn), IICA フラグ・レジスタ n (IICFn) でステータスを確認して次に行う処理を決定してください。
- 備考 4. n = 0

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn 割り込みによる処理(通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理)が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICAn 割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード： データ通信を行っていない状態
- ・通信モード： データ通信を行っている状態(有効アドレス検出～ストップ・コンディション検出, マスタからのアクノリッジ未検出, アドレス不一致)

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn 割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります(アドレス一致自体が次のデータの要求と解釈します)。

③ 通信方向フラグ

通信の方向を示します。TRCnビットの値と同じです。

備考 n = 0

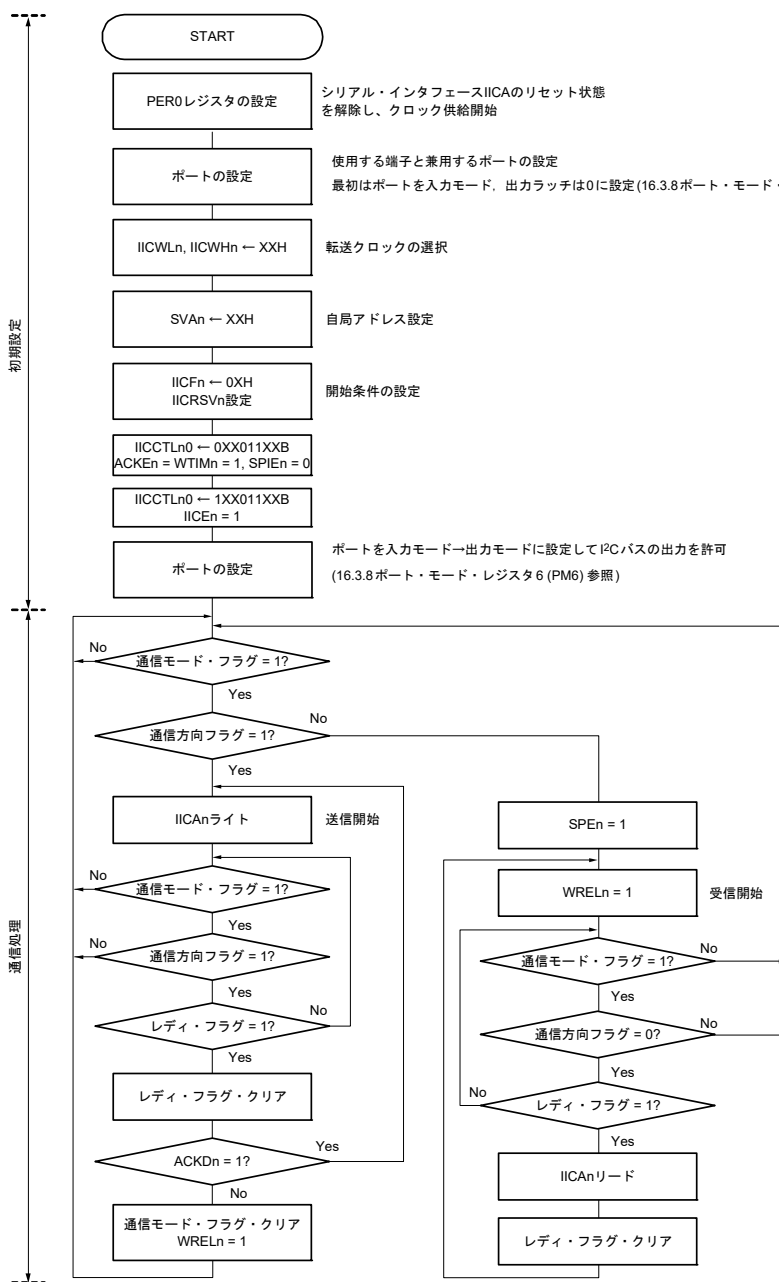
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェース IICA を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います (ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します)。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図 16 - 39 スレーブ動作手順(1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

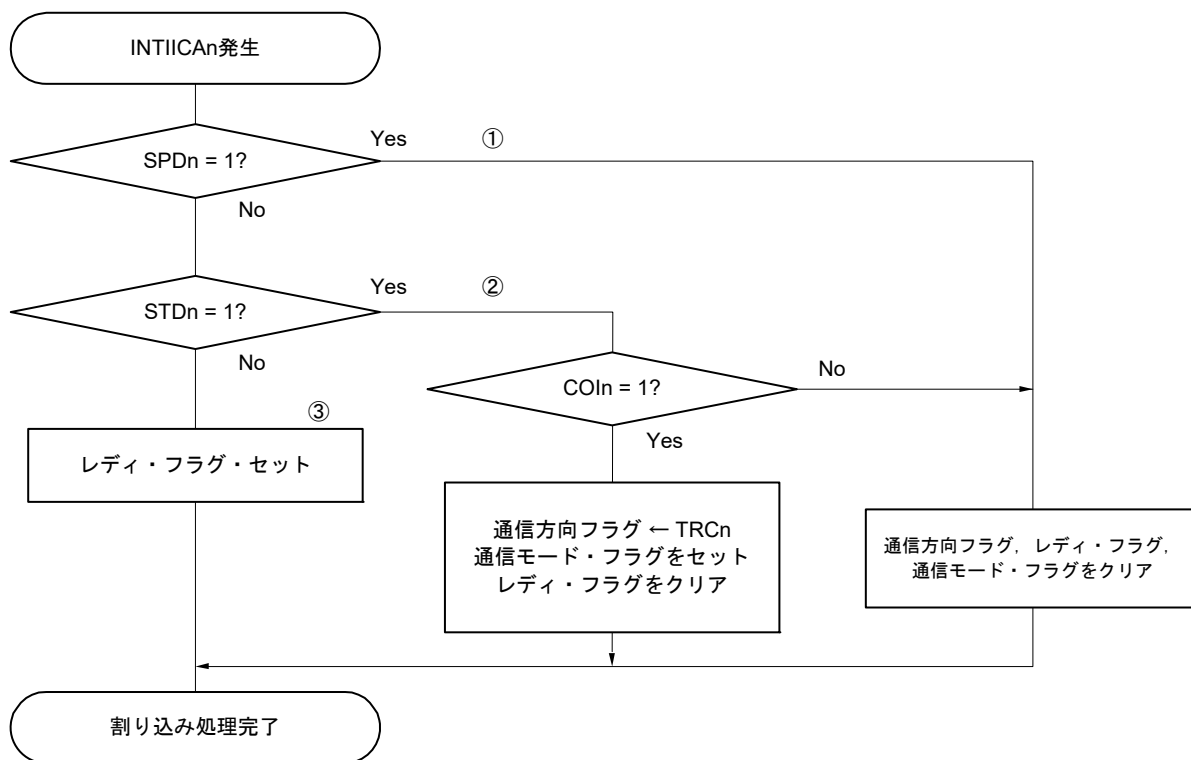
備考2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図16-40 スレーブ動作手順(2)の①～③と対応しています。

図16-40 スレーブ動作手順(2)



備考 n = 0

16.5.17 I²C 割り込み要求 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでの IICA ステータス・レジスタ n (IICSn) の値を示します。

備考1. ST : スタート・コンディション

AD6-AD0 : アドレス

R/W : 転送方向指定

ACK : アクノリッジ

D7-D0 : データ

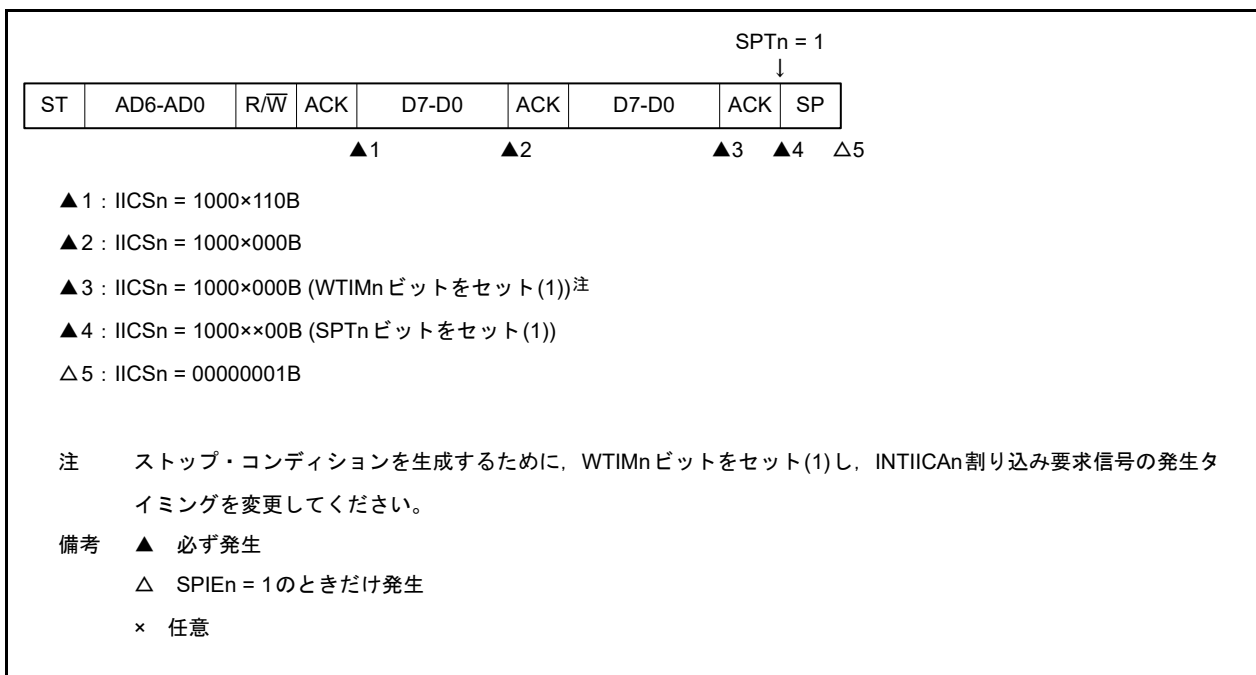
SP : ストップ・コンディション

備考2. n = 0

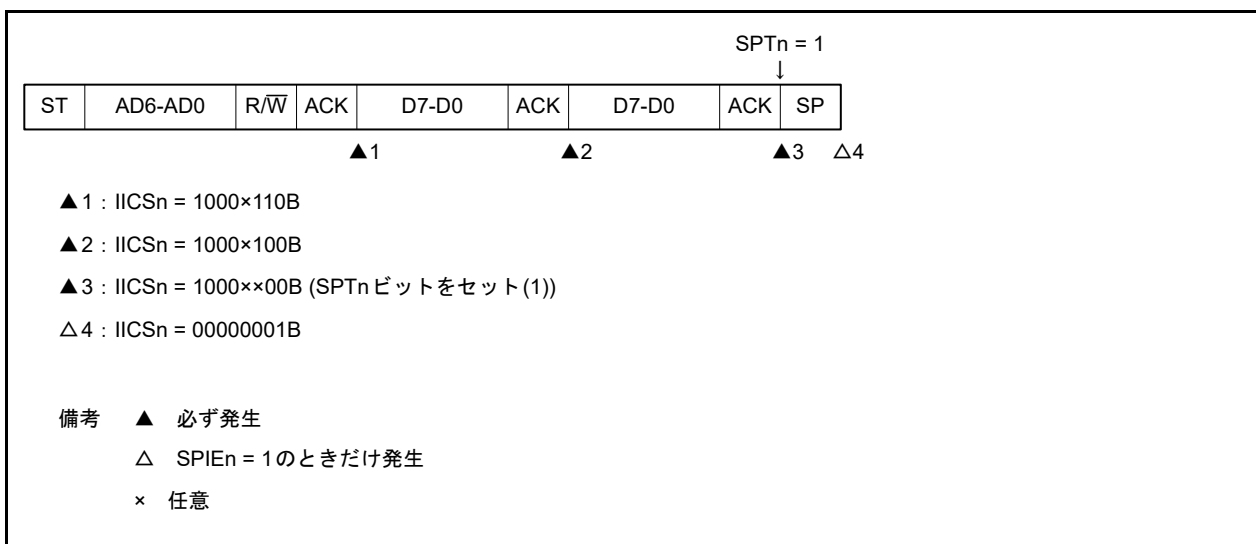
(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIMn = 0 のとき



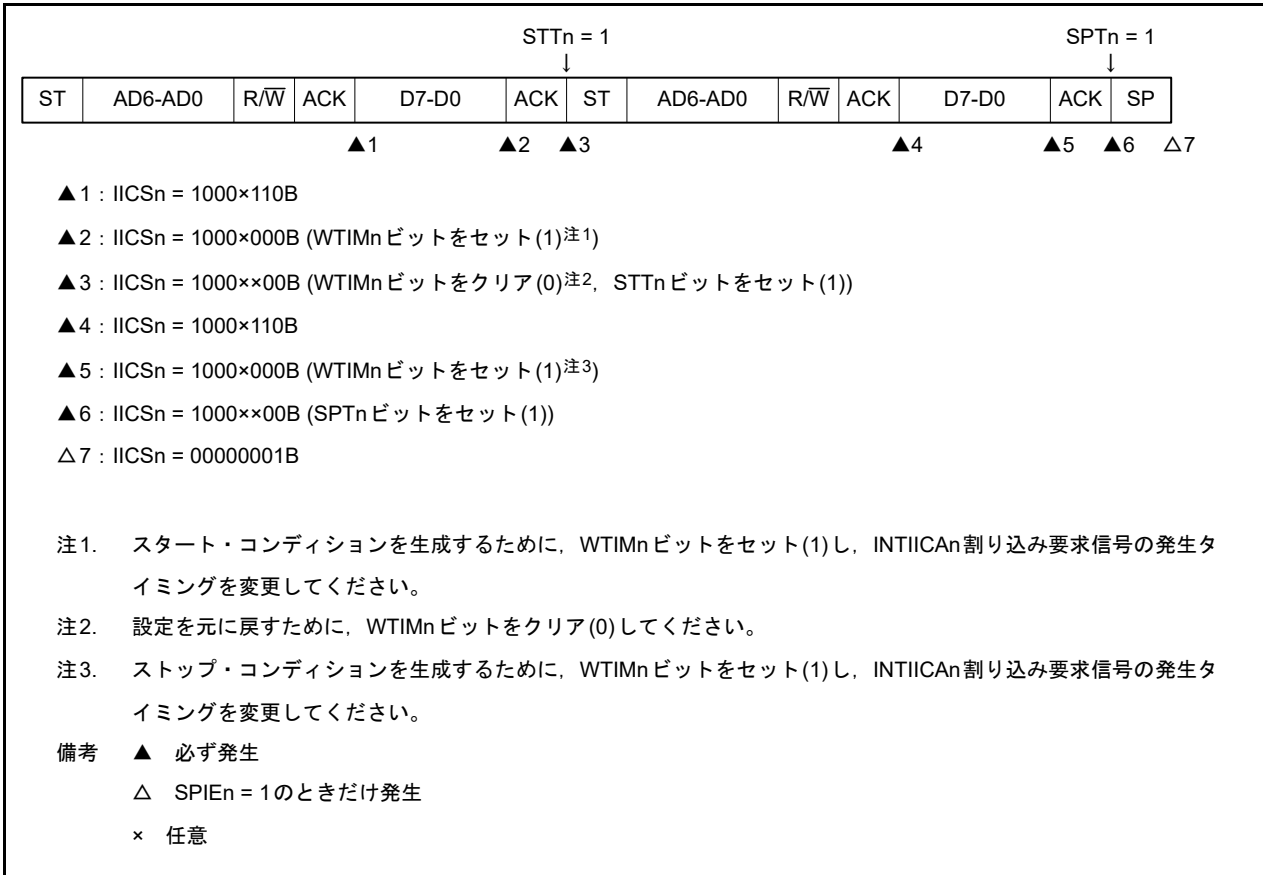
(ii) WTIMn = 1 のとき



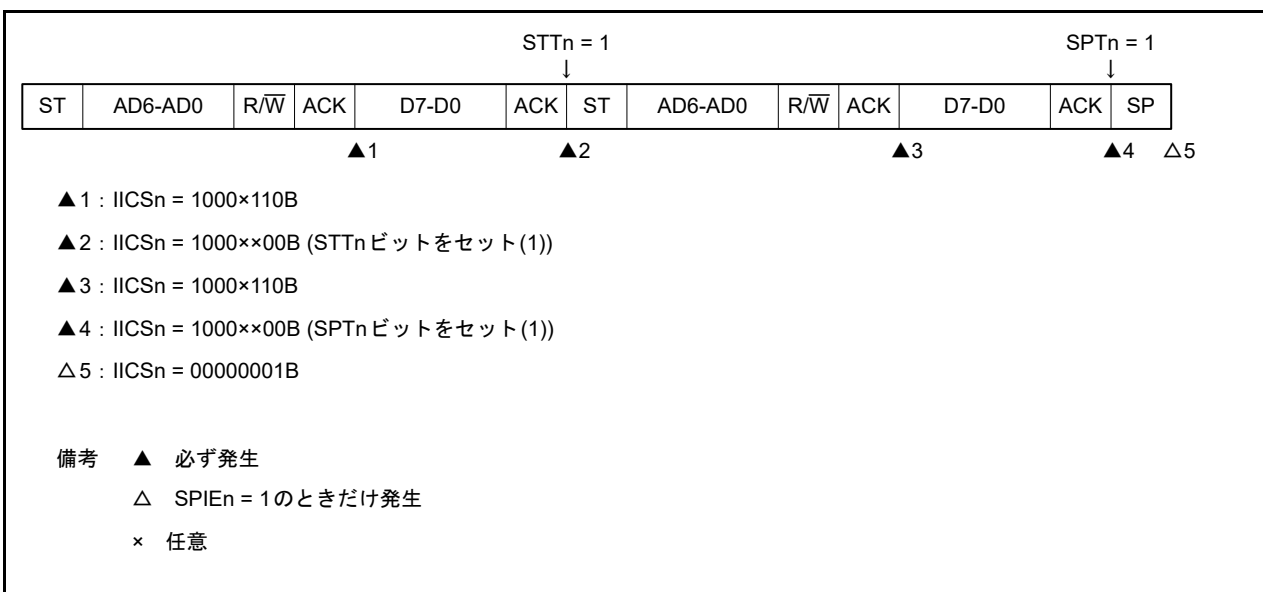
備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIMn = 0 のとき



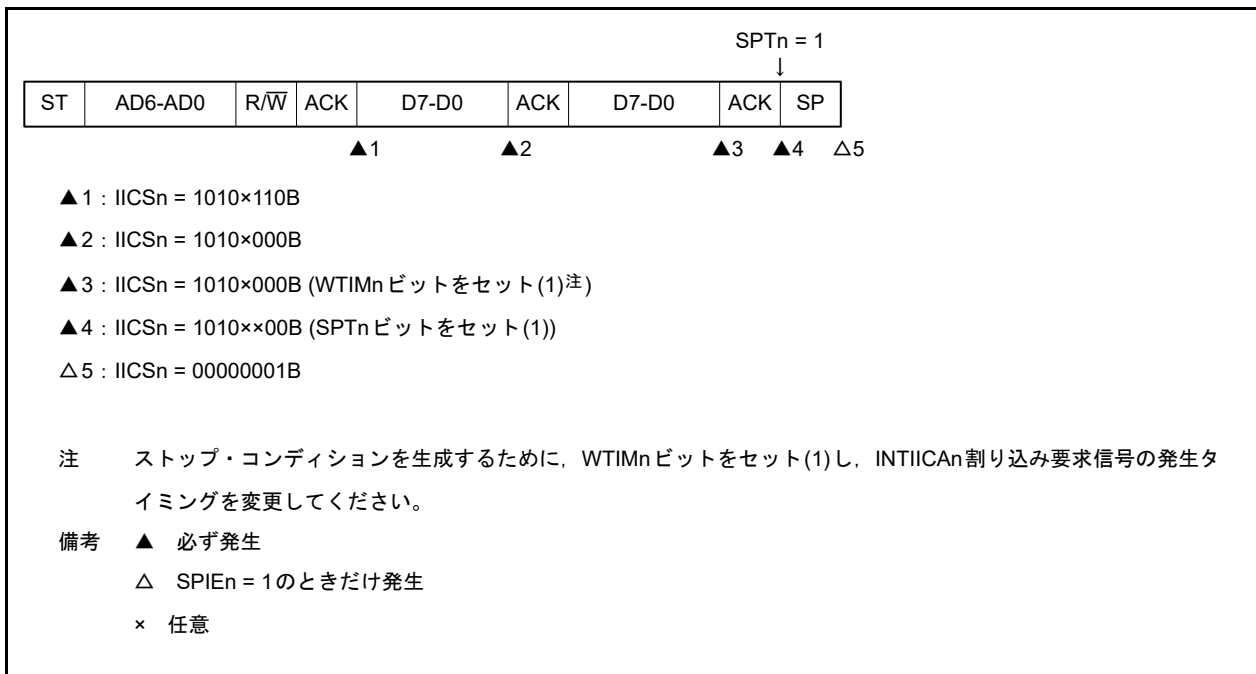
(ii) WTIMn = 1 のとき



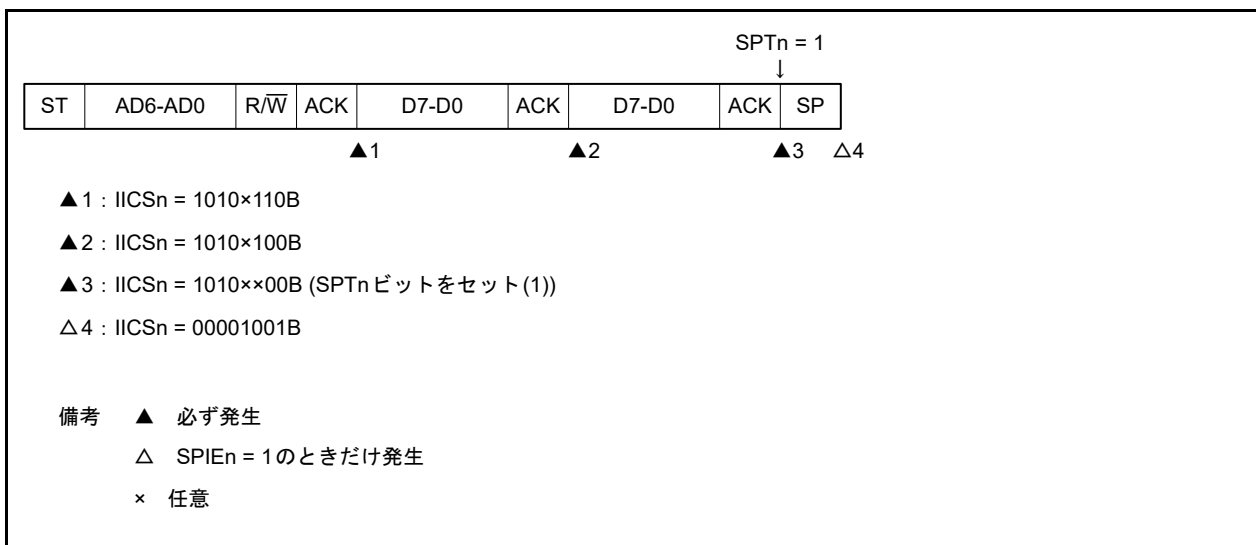
備考 n = 0

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき

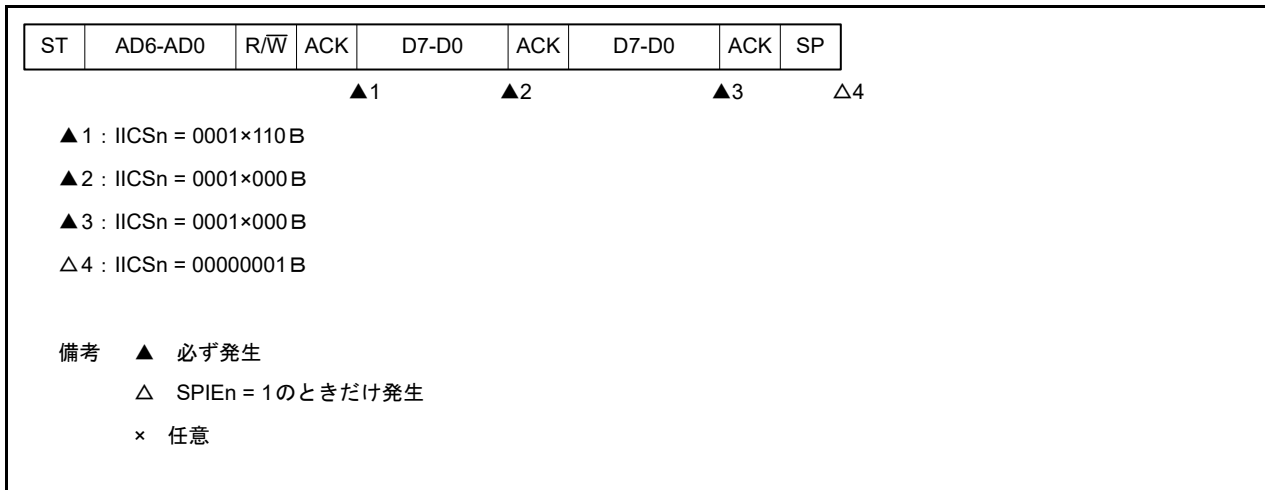


備考 n = 0

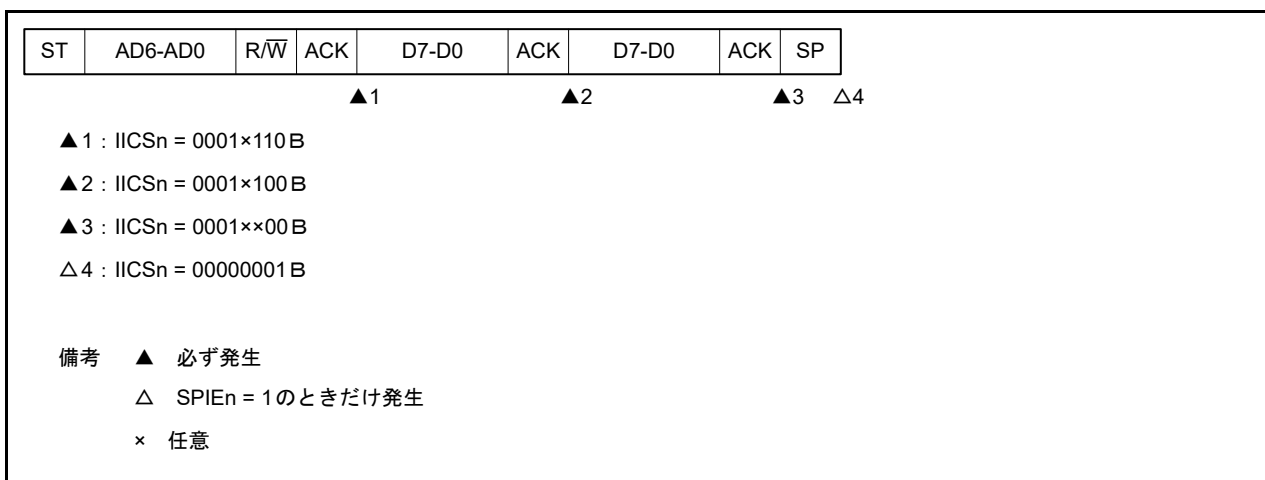
(2) スレーブ動作(スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIMn = 0のとき



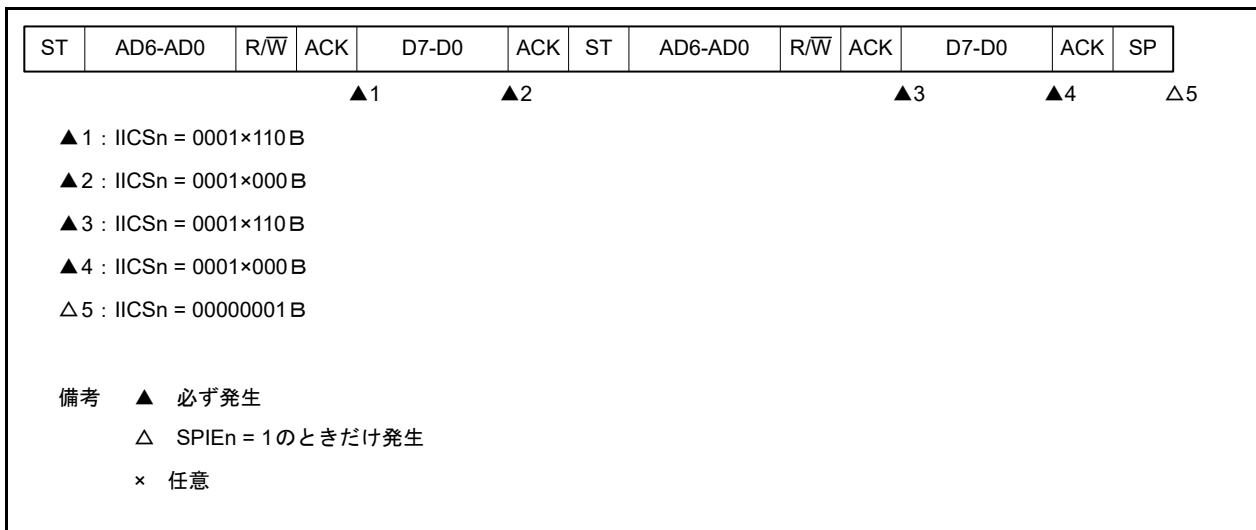
(ii) WTIMn = 1のとき



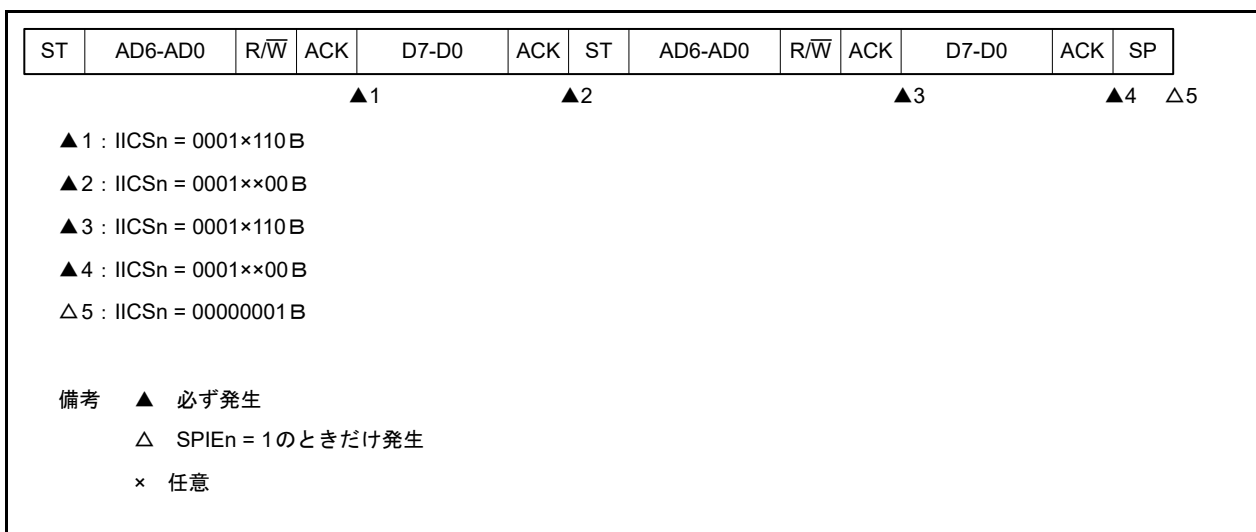
備考 n = 0

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0のとき (リスタート後, SVAn一致)



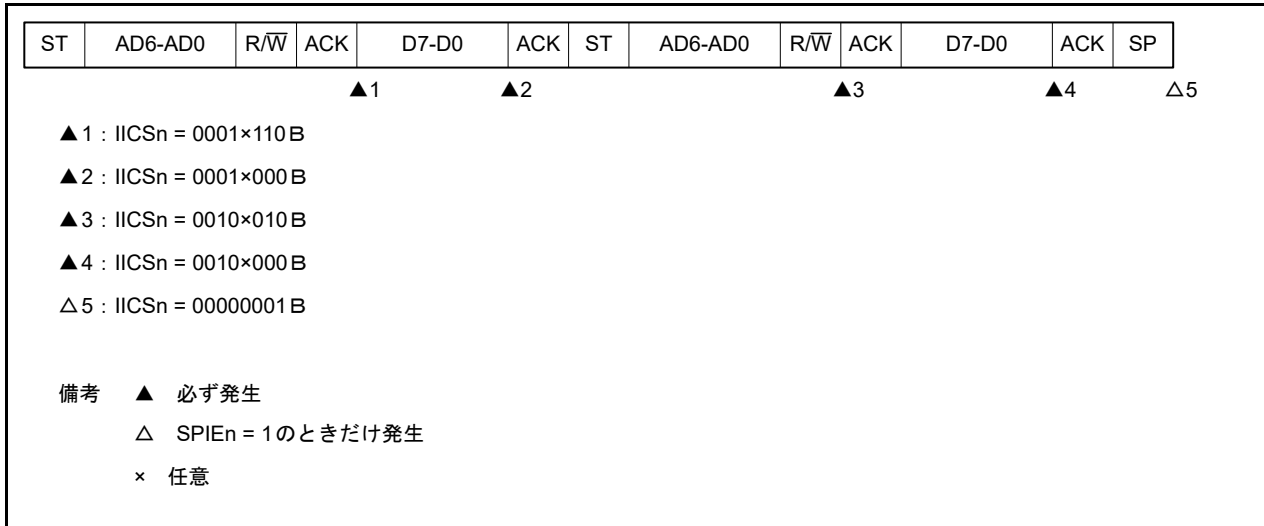
(ii) WTIMn = 1のとき (リスタート後, SVAn一致)



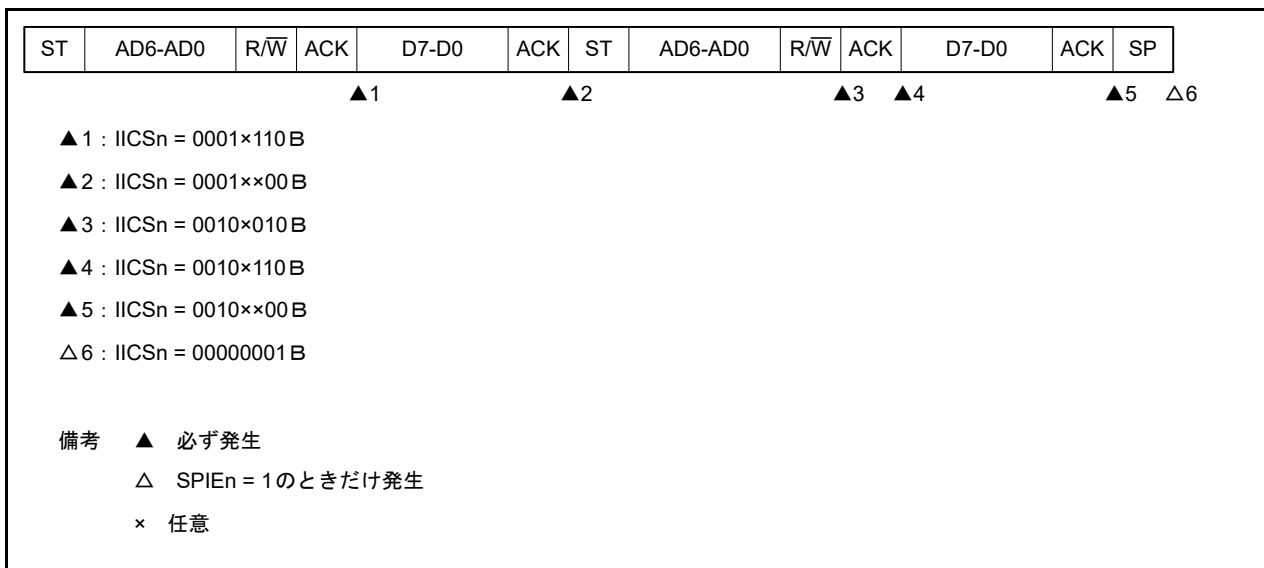
備考 n = 0

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード))



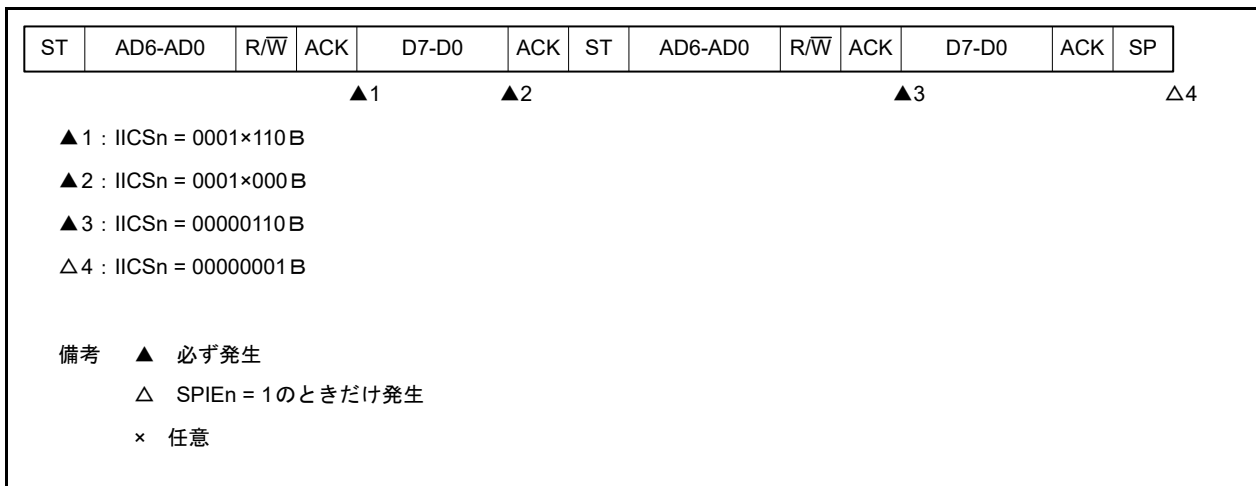
(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード))



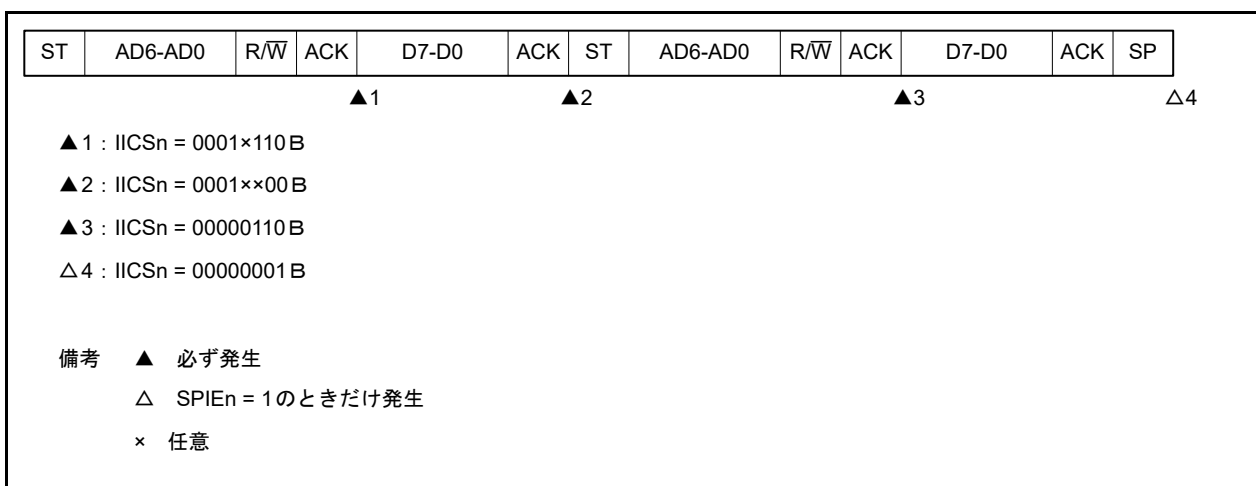
備考 n = 0

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0のとき(リスタート後, アドレス不一致(拡張コード以外))



(ii) WTIMn = 1のとき(リスタート後, アドレス不一致(拡張コード以外))



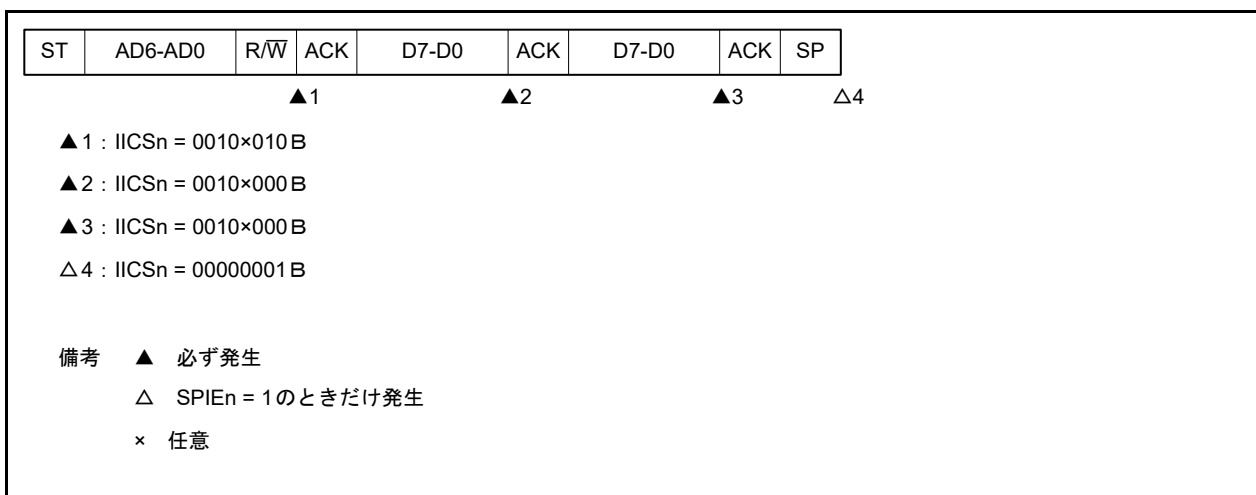
備考 n = 0

(3) スレーブ動作(拡張コード受信時)

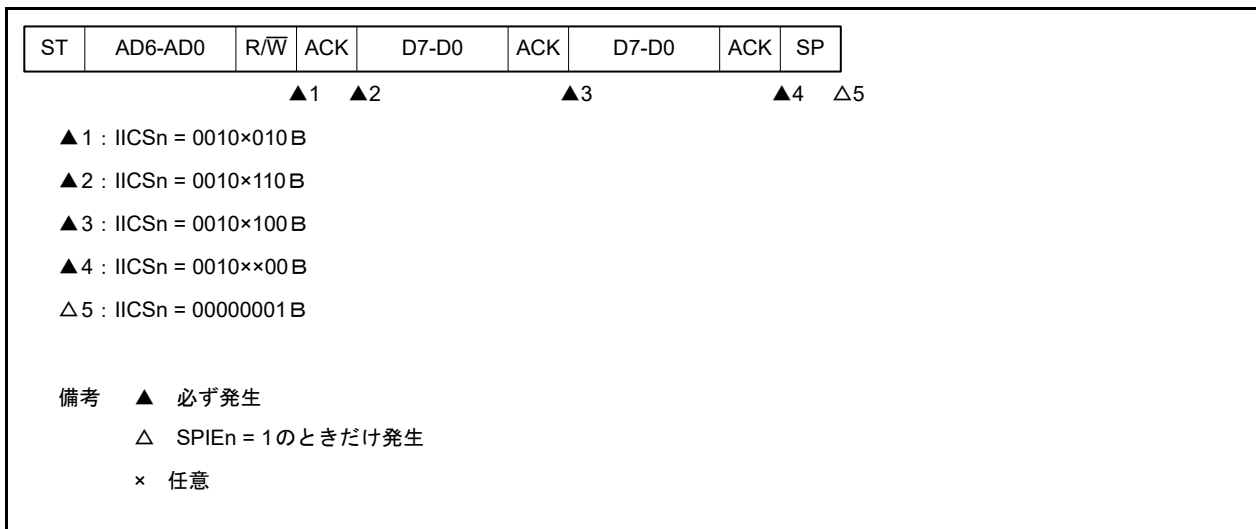
拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



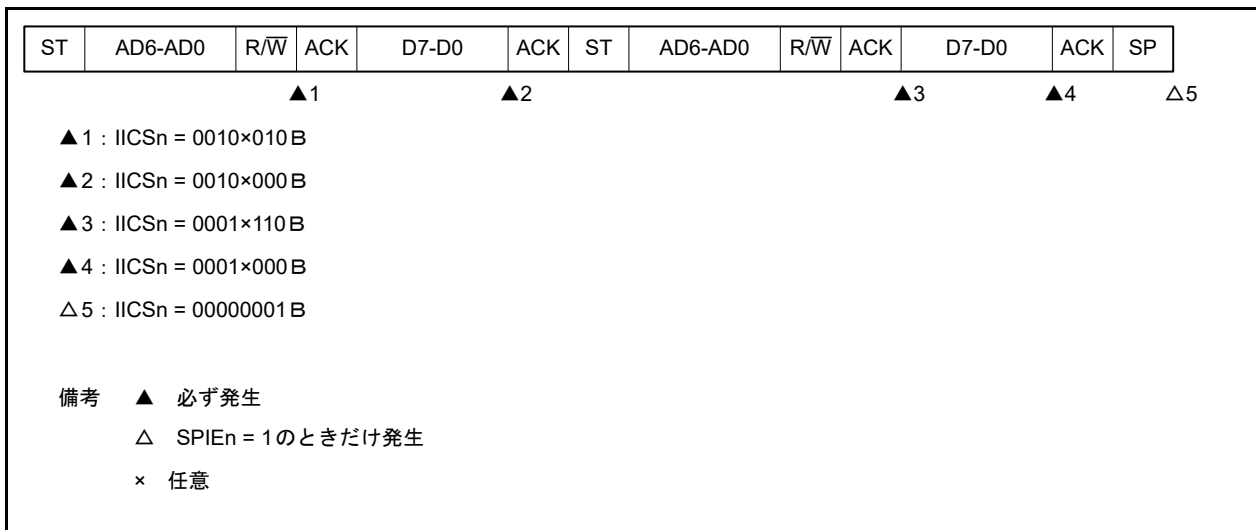
(ii) WTIMn = 1 のとき



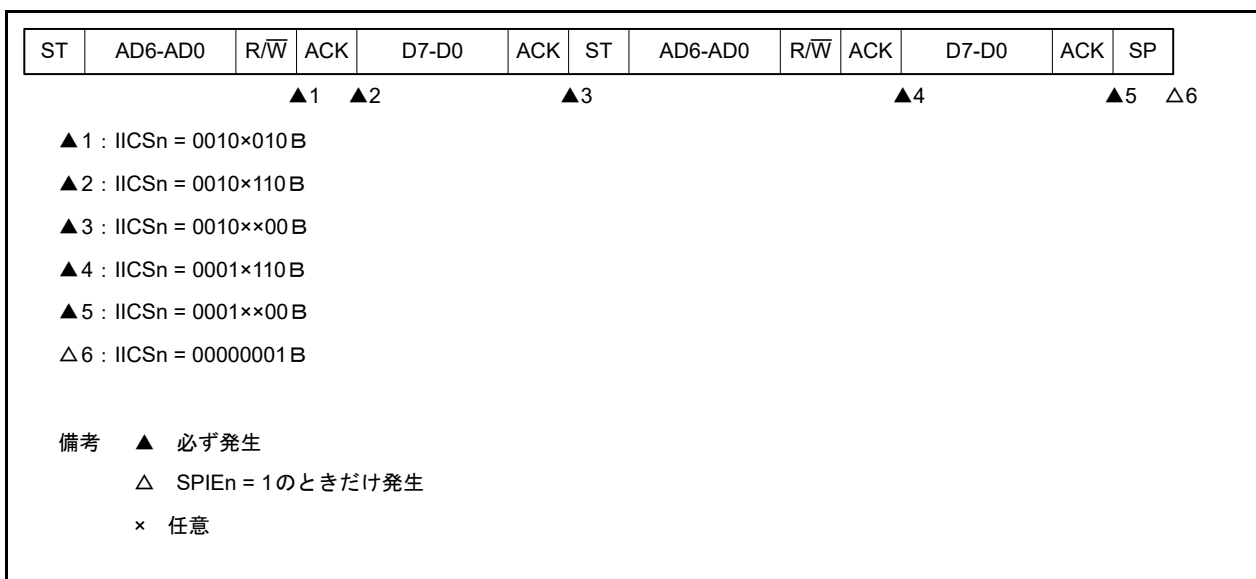
備考 n = 0

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn 一致)



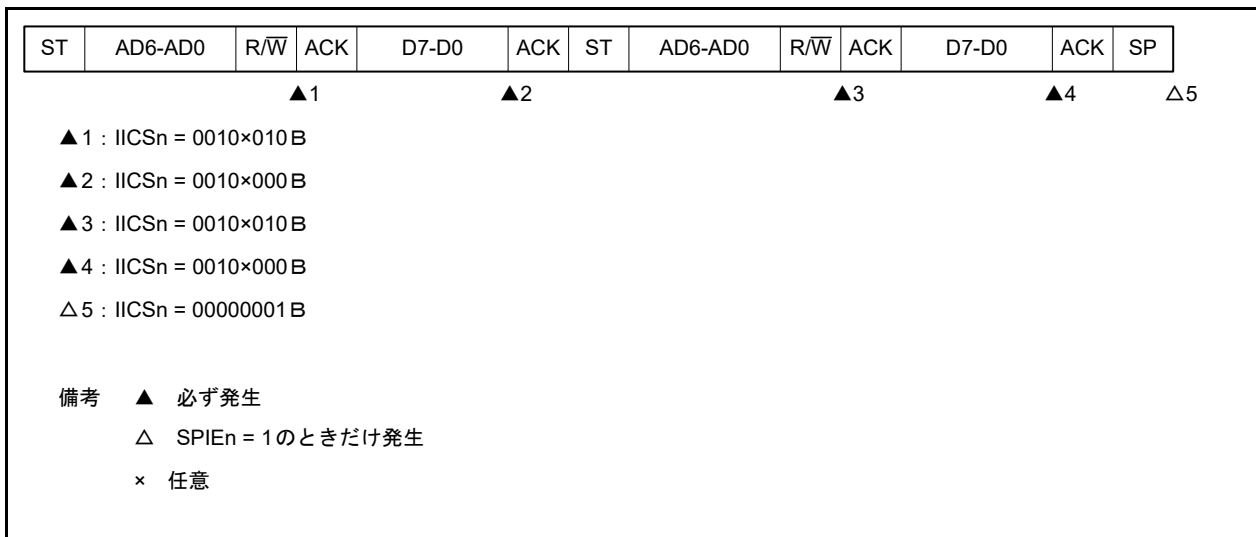
(ii) WTIMn = 1 のとき (リスタート後, SVAn 一致)



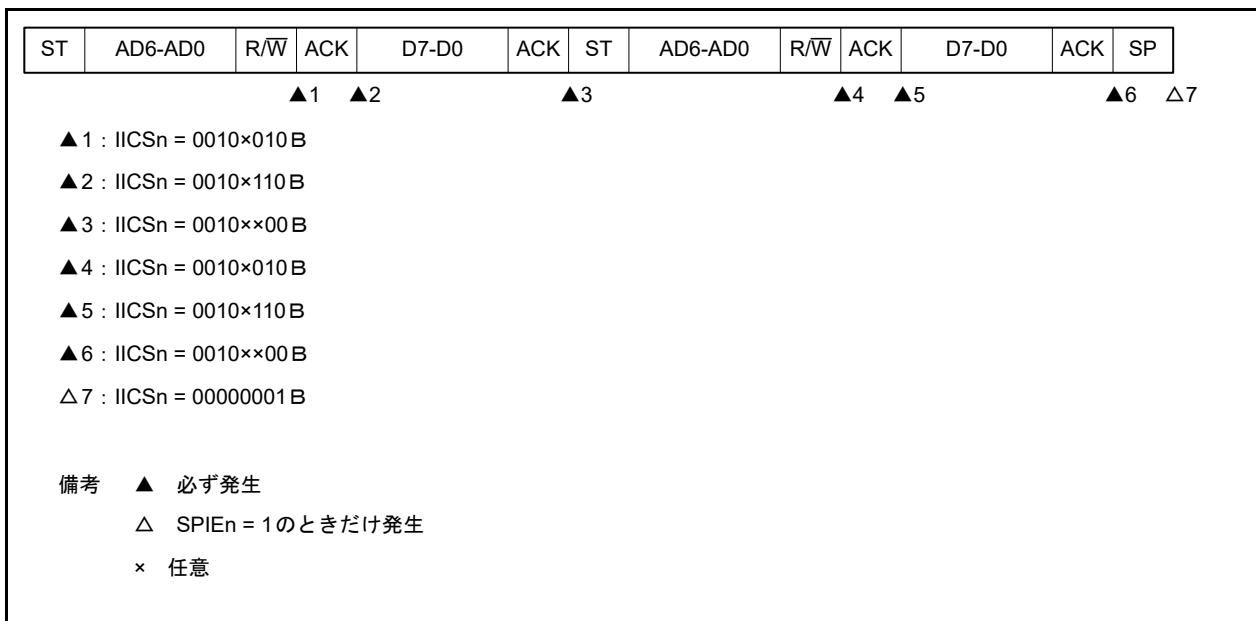
備考 n = 0

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, 拡張コード受信)



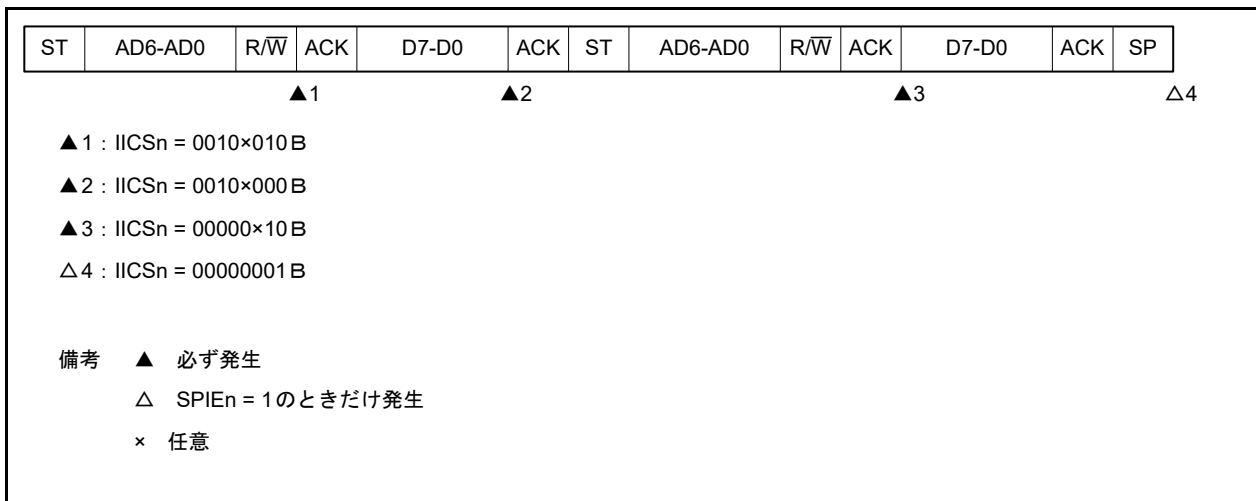
(ii) WTIMn = 1 のとき (リスタート後, 拡張コード受信)



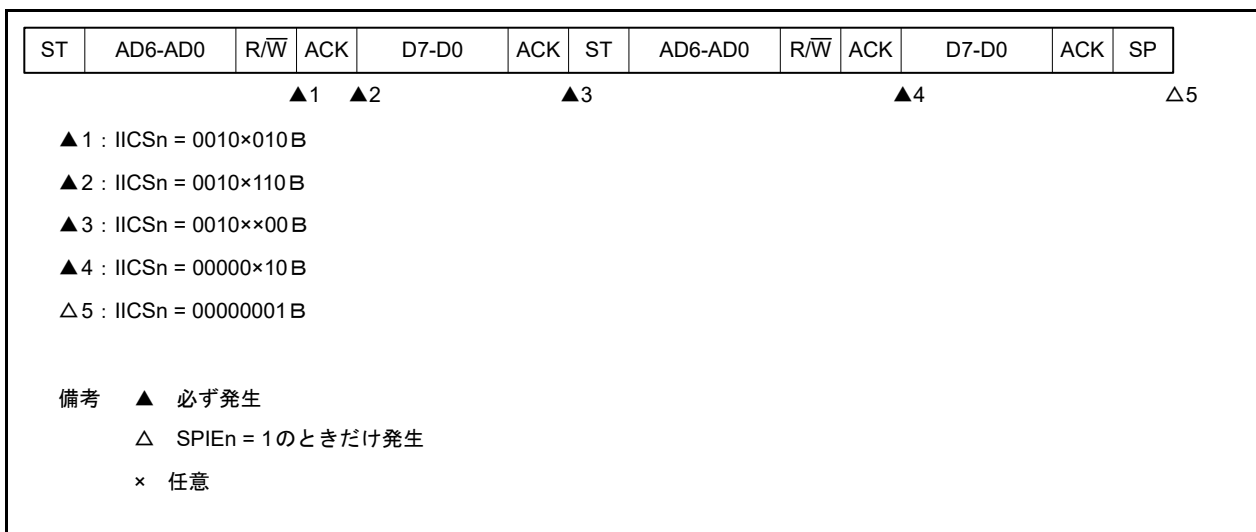
備考 n = 0

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0のとき (リスタート後, アドレス不一致(拡張コード以外))



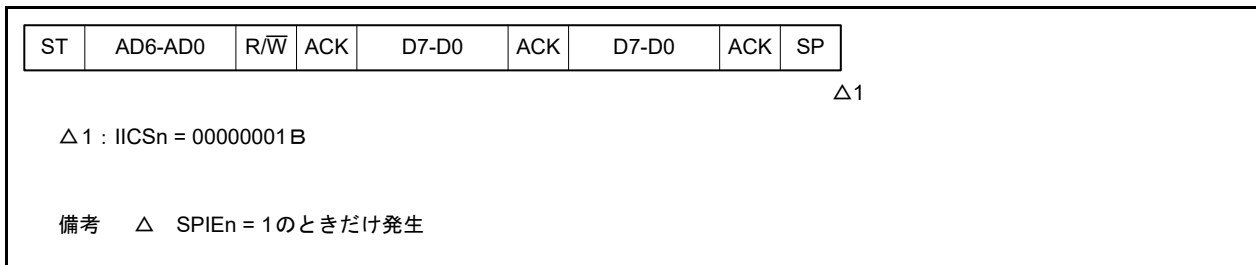
(ii) WTIMn = 1のとき (リスタート後, アドレス不一致(拡張コード以外))



備考 n = 0

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

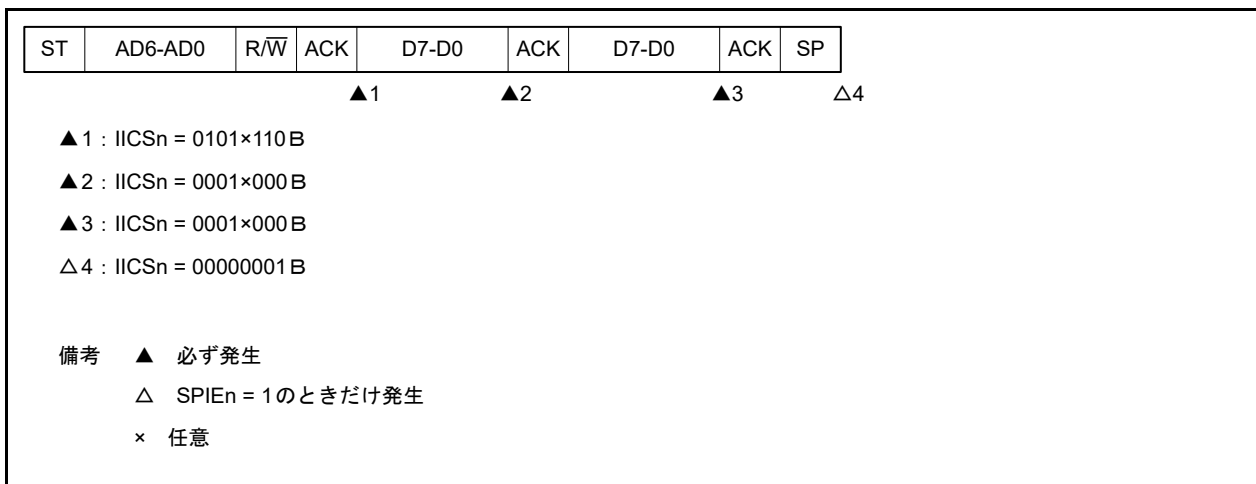


(5) アービトレーション負けの動作(アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

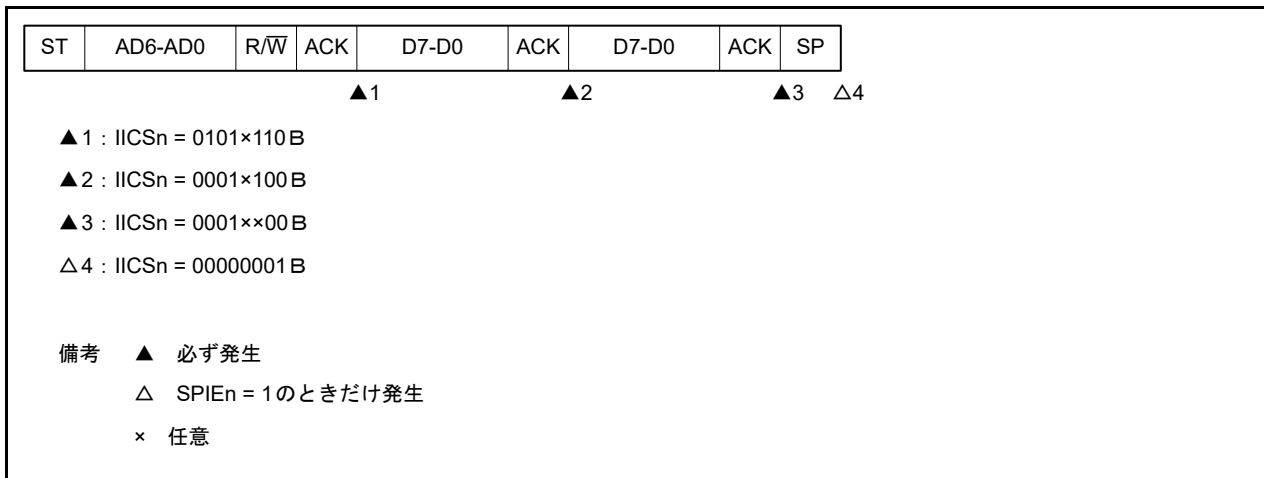
(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



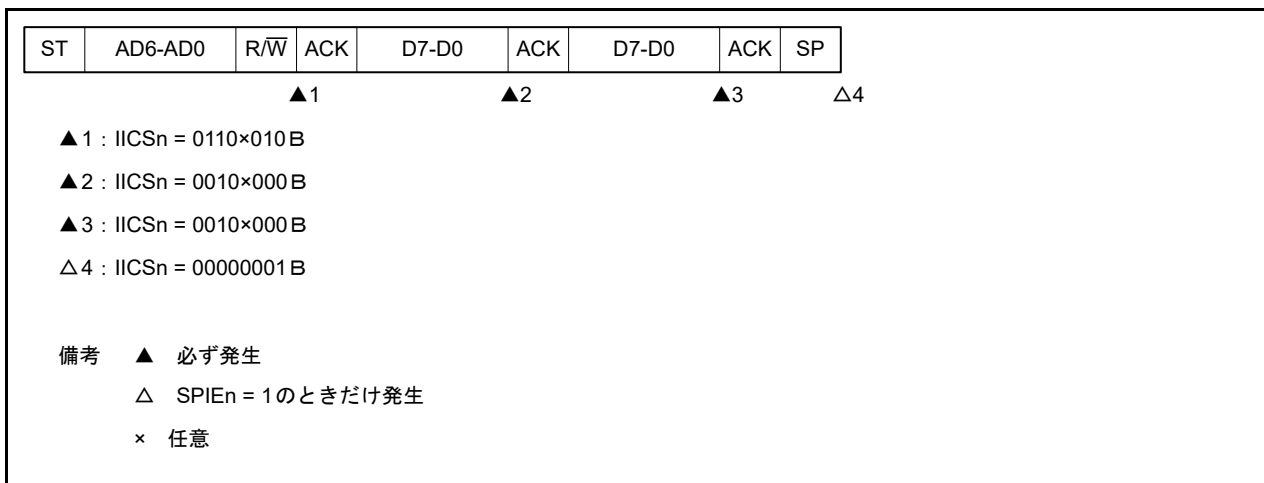
備考 n = 0

(ii) WTIMn = 1 のとき



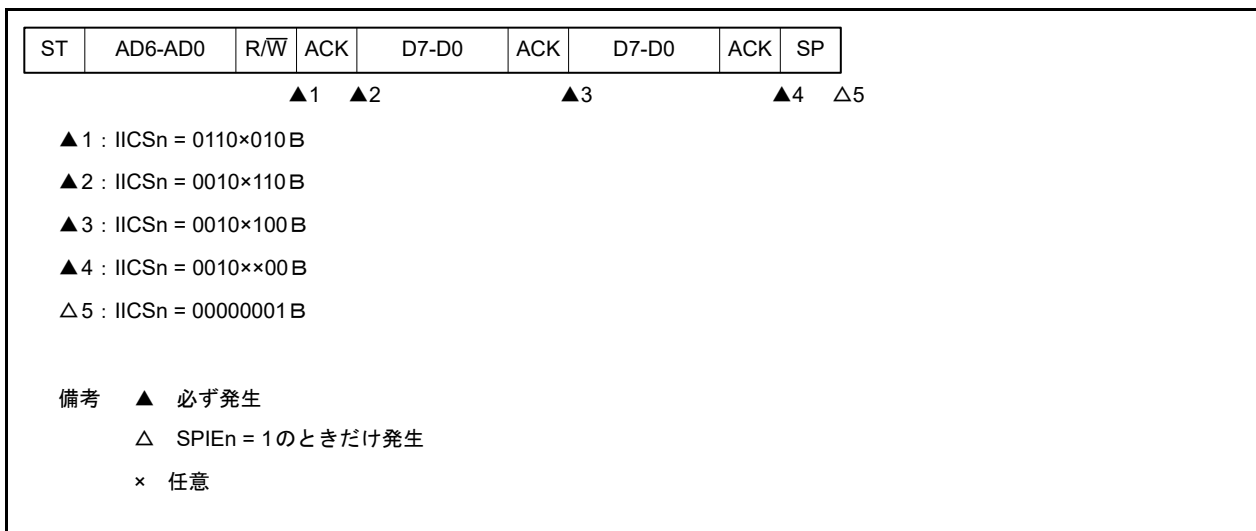
(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



備考 n = 0

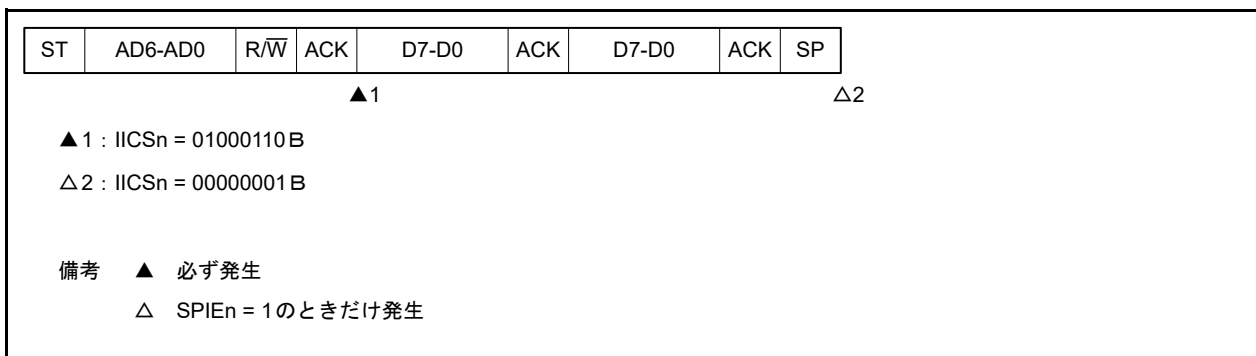
(ii) WTIMn = 1 のとき



(6) アービトレーション負けの動作(アービトレーション負けのあと、不参加)

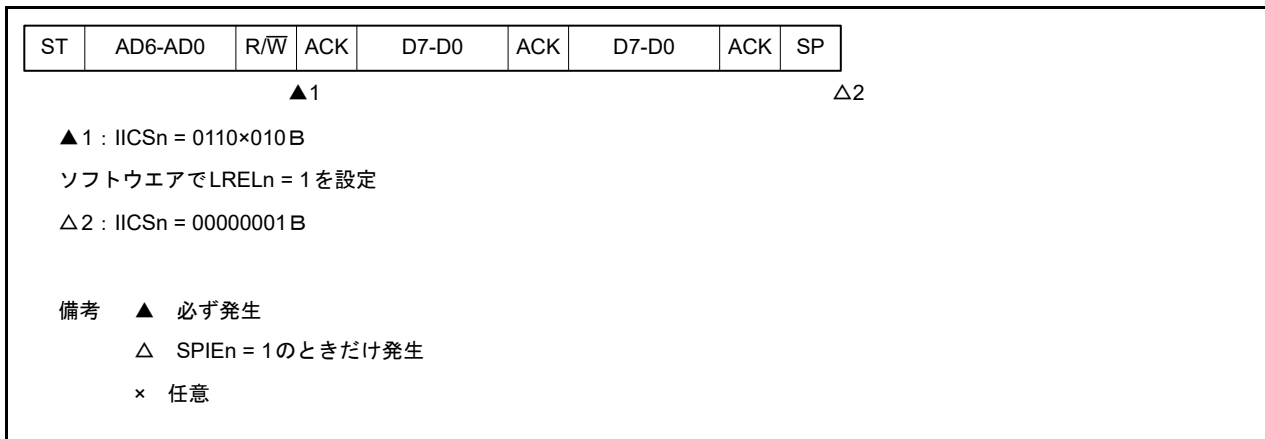
マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合(WTIMn = 1 のとき)



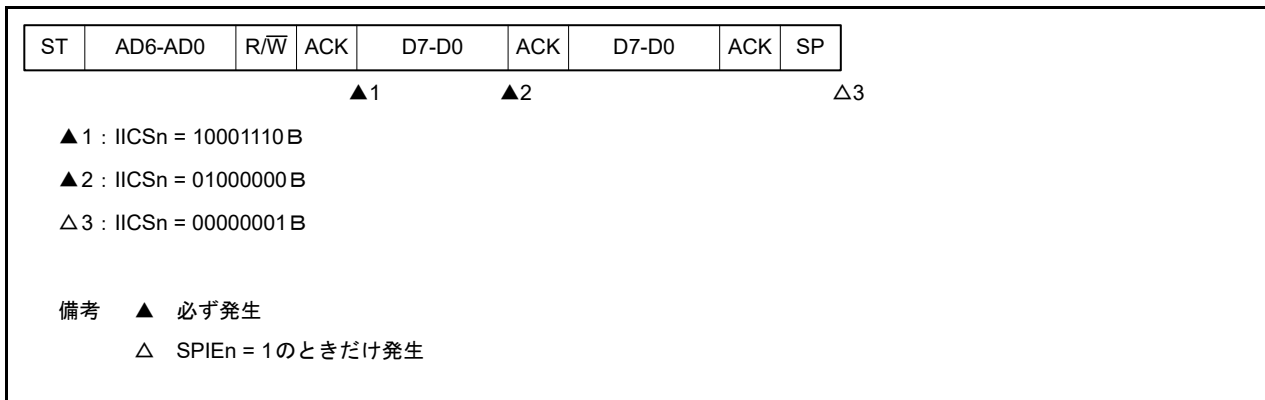
備考 n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合



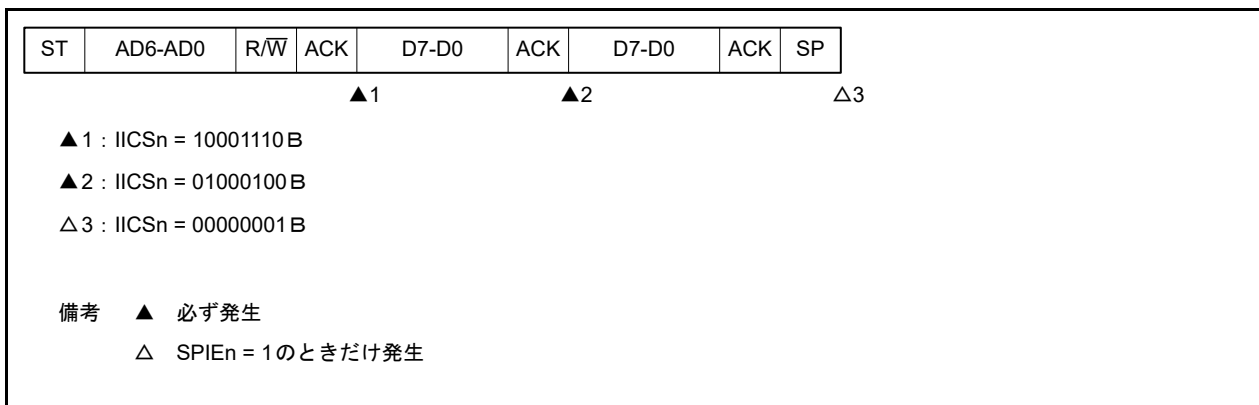
(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0のとき



備考 n = 0

(ii) WTIMn = 1 のとき



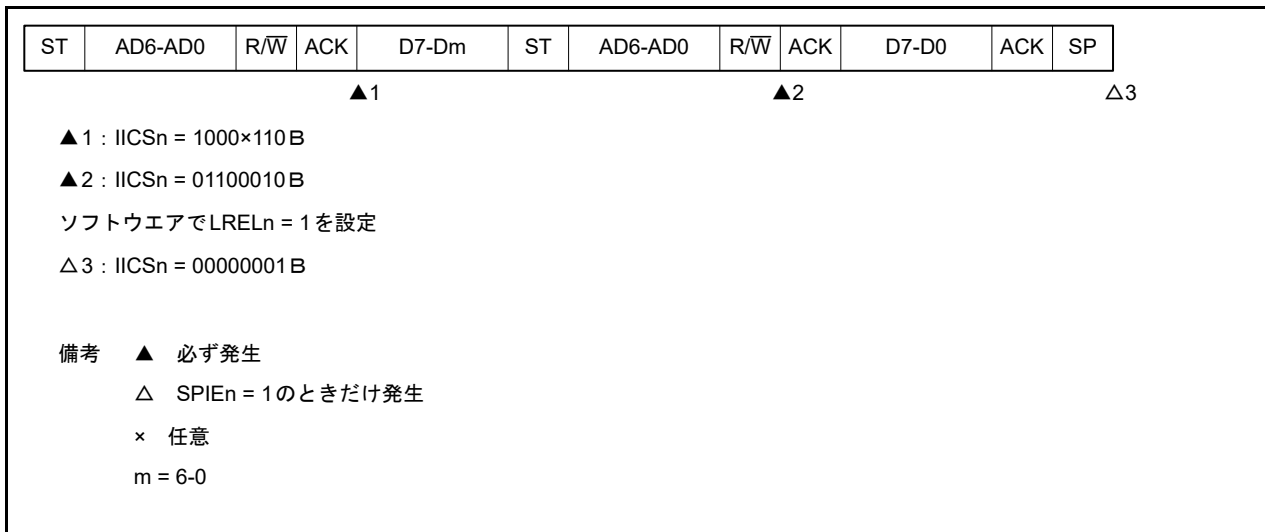
(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外(例 SVAn 不一致)

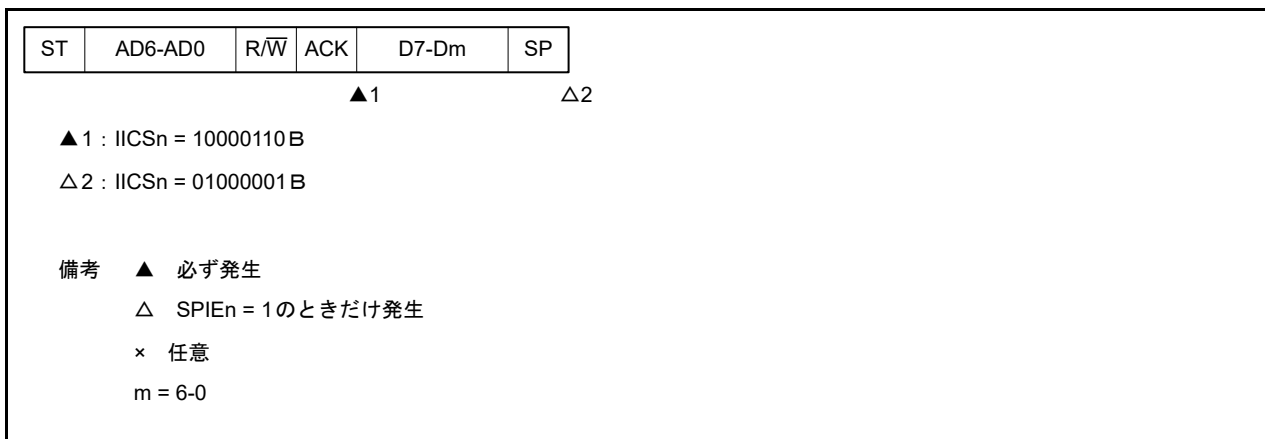


備考 n = 0

(ii) 拡張コード



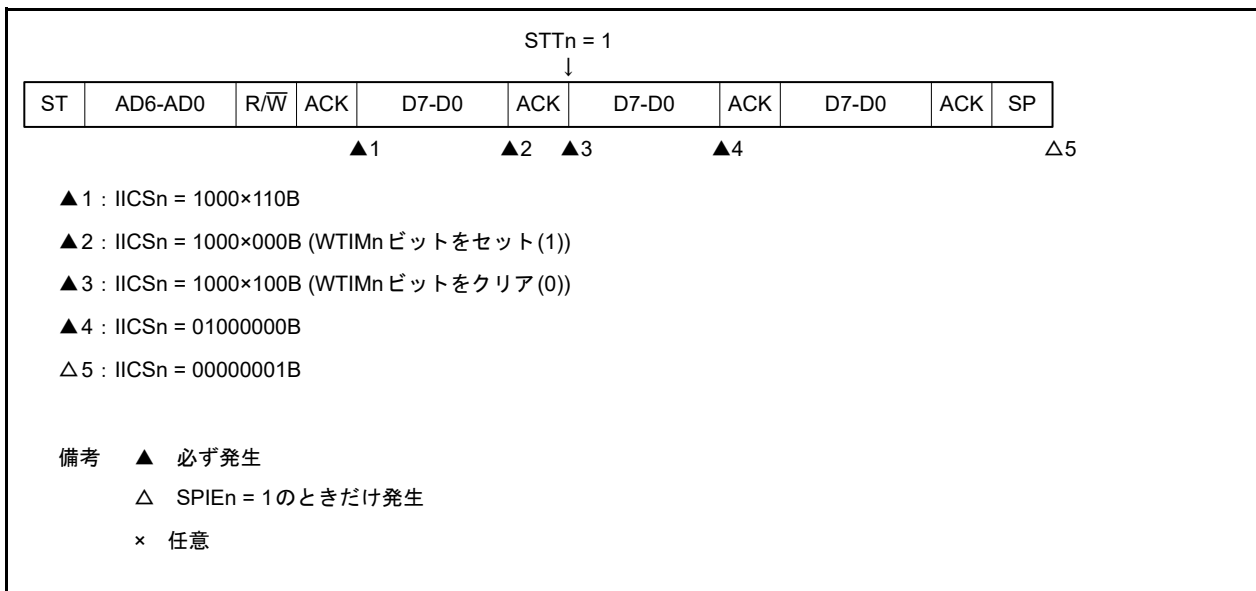
(e) データ転送時にストップ・コンディションで負けた場合



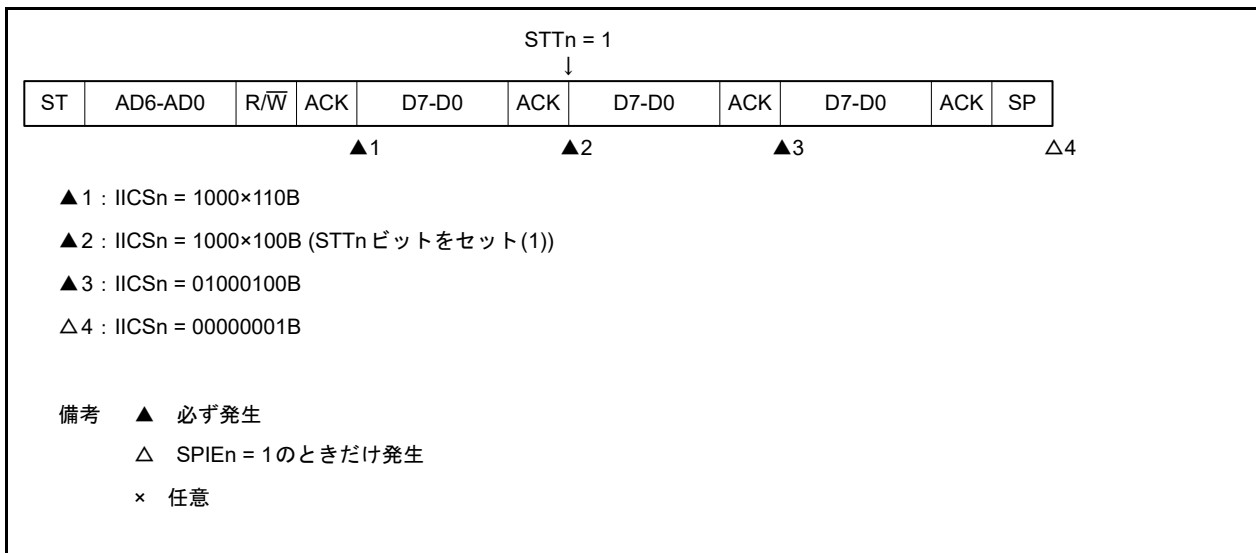
備考 n = 0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



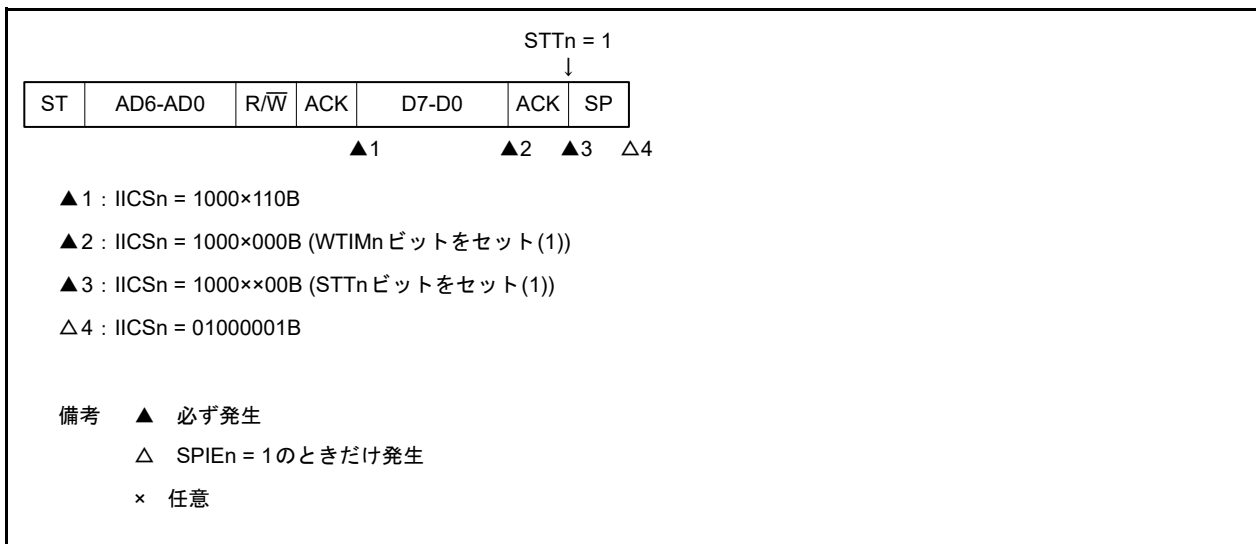
(ii) WTIMn = 1 のとき



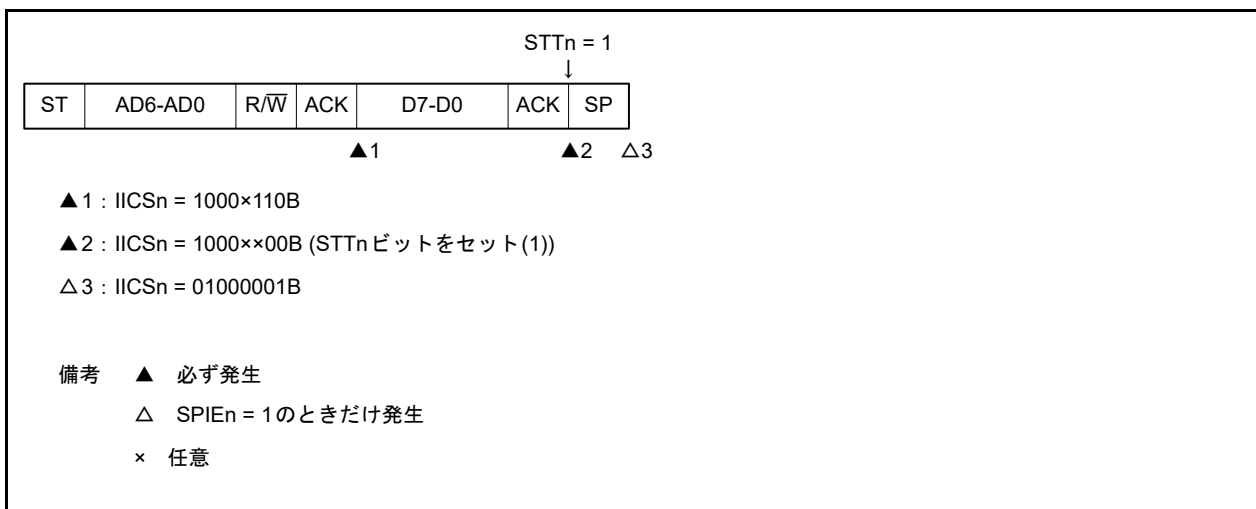
備考 n = 0

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



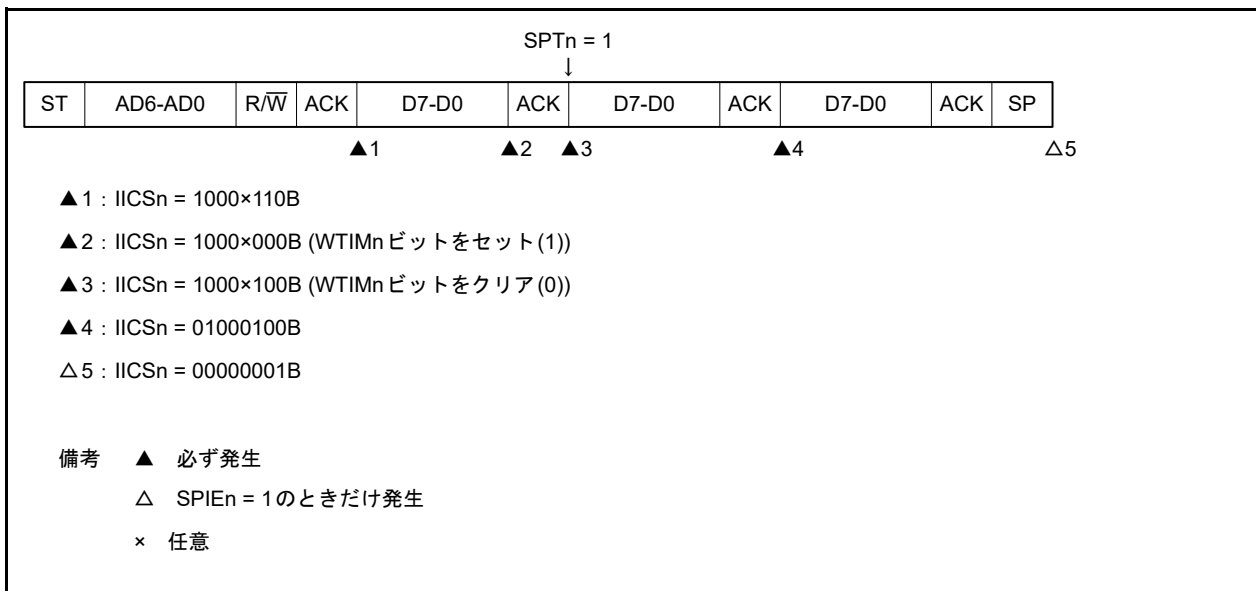
(ii) WTIMn = 1 のとき



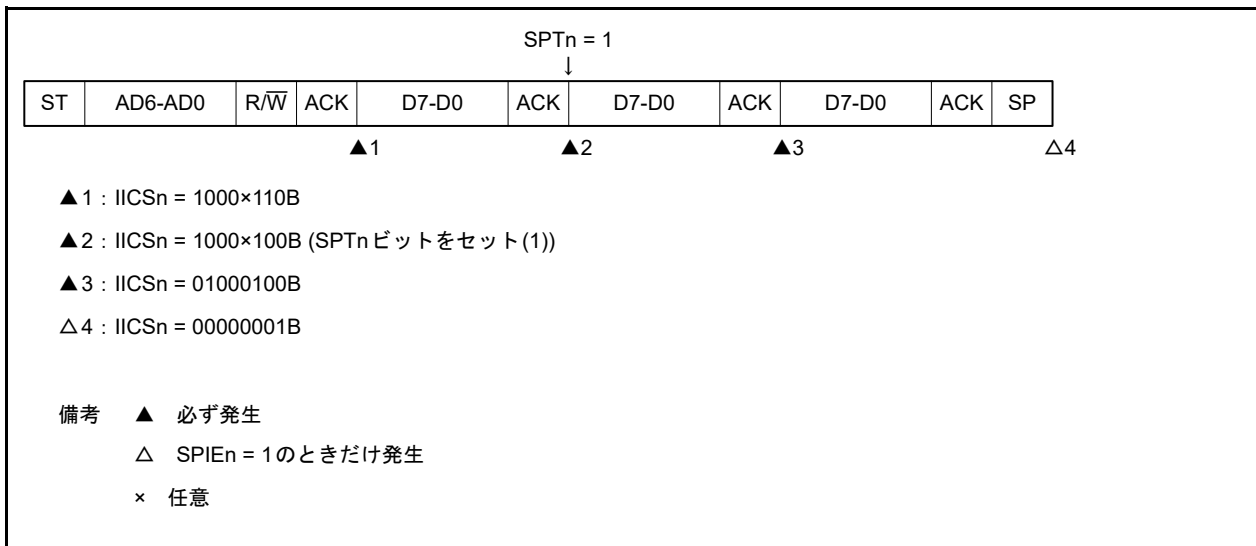
備考 n = 0

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき



備考 n = 0

16.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCnビット(IICAステータス・レジスタn(IICSn)のビット3)を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図16-41～図16-47に示します。

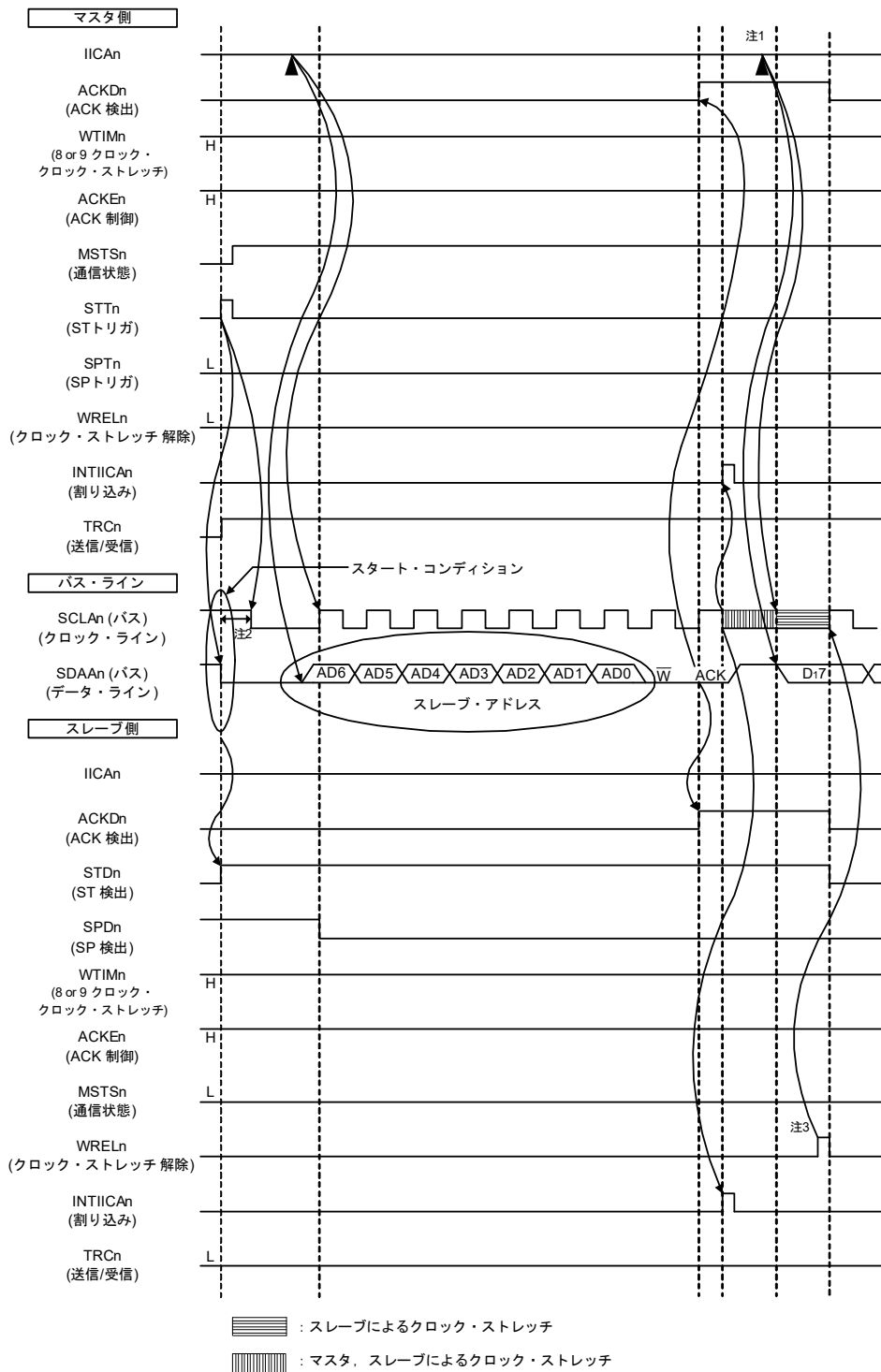
シリアル・クロック(SCLAn)の立ち下がりに同期してIICAシフト・レジスタn(IICAn)のシフト動作が行われ、送信データがSOラッチに転送され、SDAAn端子からMSBファーストで出力されます。

また、SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICAnに取り込まれます。

備考 n = 0

図16-41 マスタ→スレーブ通信例(マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択時)(1/4)

(1) スタート・コンディション～アドレス～データ



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図16-41 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット($STTn = 1$)されると、バス・データ・ライン($SDAAn$)が立ち下がり、スタート・コンディション($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態($MSTSn = 1$)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$)にアドレス + W (送信)が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス($SVAAn$ の値)が一致した場合注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出($ACKDn = 1$)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み($INTIICAn$: アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブは、クロック・ストレッチ($SCLAn = 0$)をかけ、割り込み($INTIICAn$: アドレス一致割り込み)が発生します注。
- ⑤ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除($WRELn = 1$)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが、(NACK: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図16-41～図16-43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図16-41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

図16-42 (2)アドレス～データ～データでは手順③～⑩

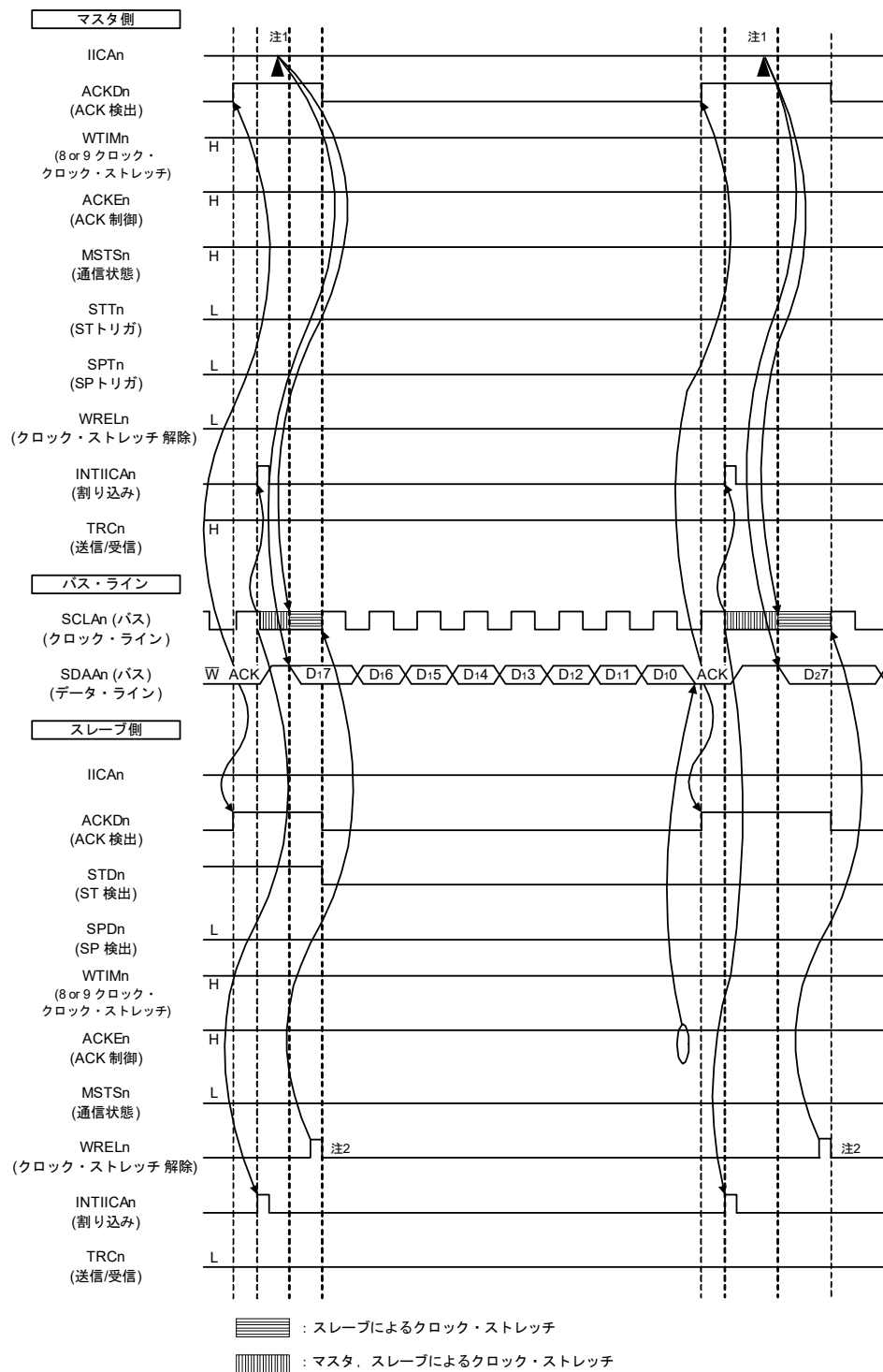
図16-43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. $n = 0$

図16-42 マスタ→スレーブ通信例(マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(2/4)

(2) アドレス～データ～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図16-42 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス(SVAnの値)が一致した場合^注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み(INTIICAn: アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn: アドレス一致割り込み)が発生します^注。
- ⑤ マスタ側がIICAシフト・レジスタn(IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn: 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません(NACK: SDAAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図16-41～図16-43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図16-41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

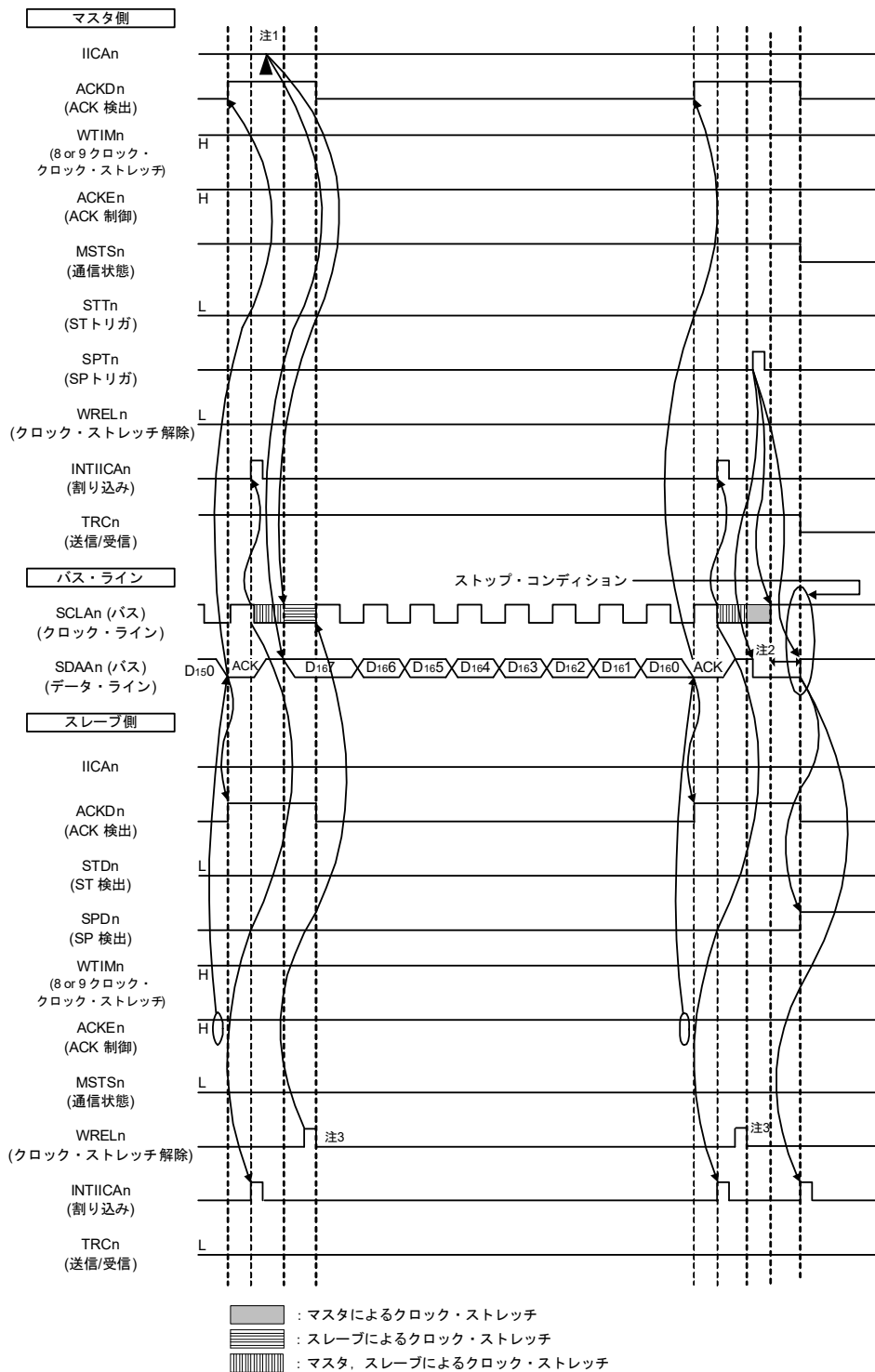
図16-42 (2)アドレス～データ～データでは手順③～⑩

図16-43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0

図16-43 マスタ→スレーブ通信例(マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(3/4)
 (3) データ~データ~ストップ・コンディション



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がりからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0

図16-43 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側(ACKEn = 1)のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑫ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除(WRELn = 1)します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット(SPTn = 1)すると、バス・データ・ラインがクリア(SDAAn = 0)され、バス・クロック・ラインがセット(SCLAn = 1)され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット(SDAAn = 1)されることでストップ・コンディション(SCLAn = 1でSDAAn = 0→1)が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み(INTIICAn : ストップ・コンディション割り込み)が発生します。

備考1. 図16-41～図16-43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図16-41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

図16-42 (2)アドレス～データ～データでは手順③～⑩

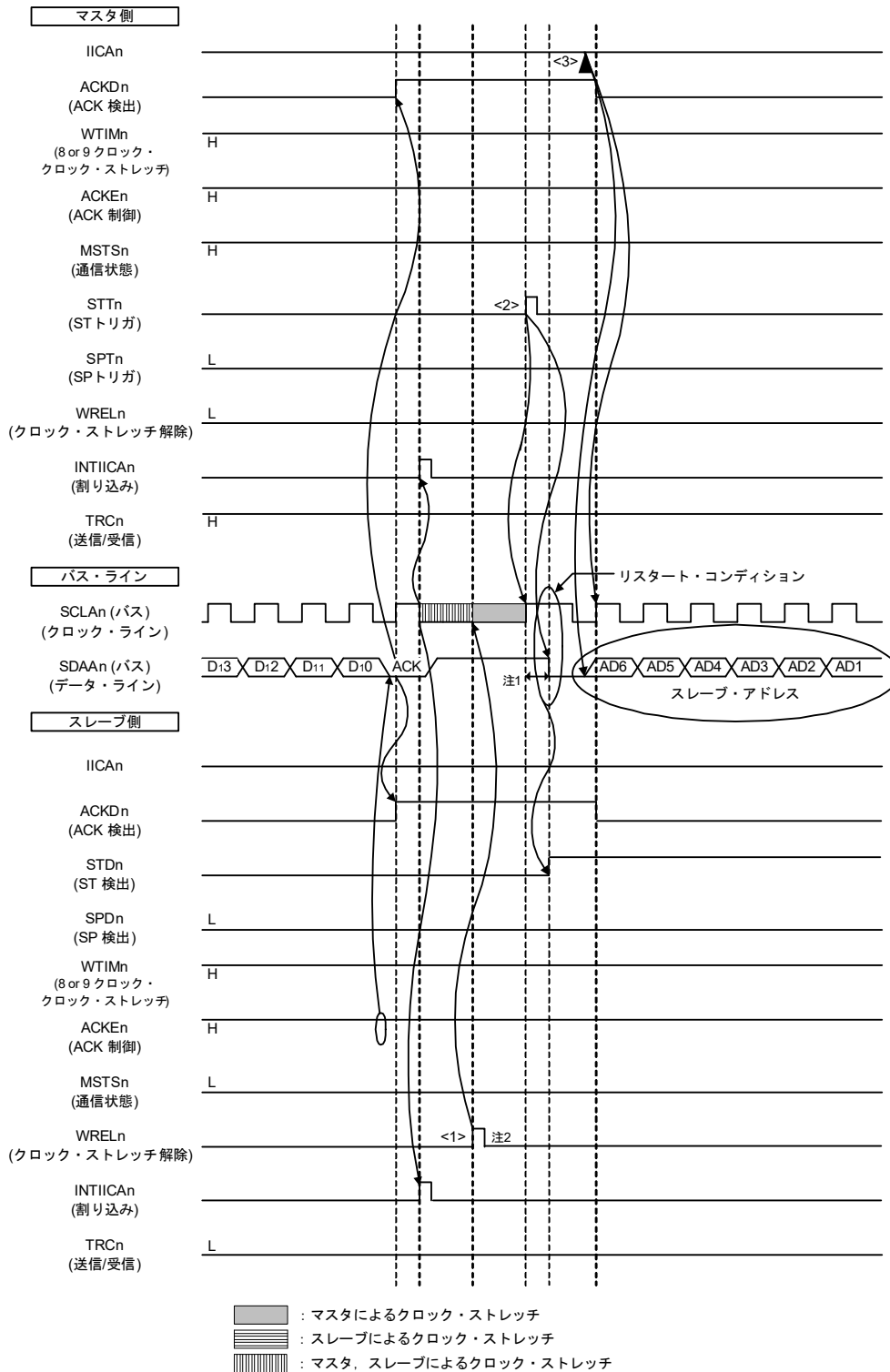
図16-43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0

図16-44 マスタ→スレーブ通信例(マスタ:9クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(4/4)

(4) データ～リスタート・コンディション～アドレス



注1. リスタート・コンディションの発行後, SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は, 標準モード設定時は4.7 μs以上, ファースト・モード設定時は0.6 μs以上です。

注2. スレーブ側での受信時のクロック・ストレッチ解除は, IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

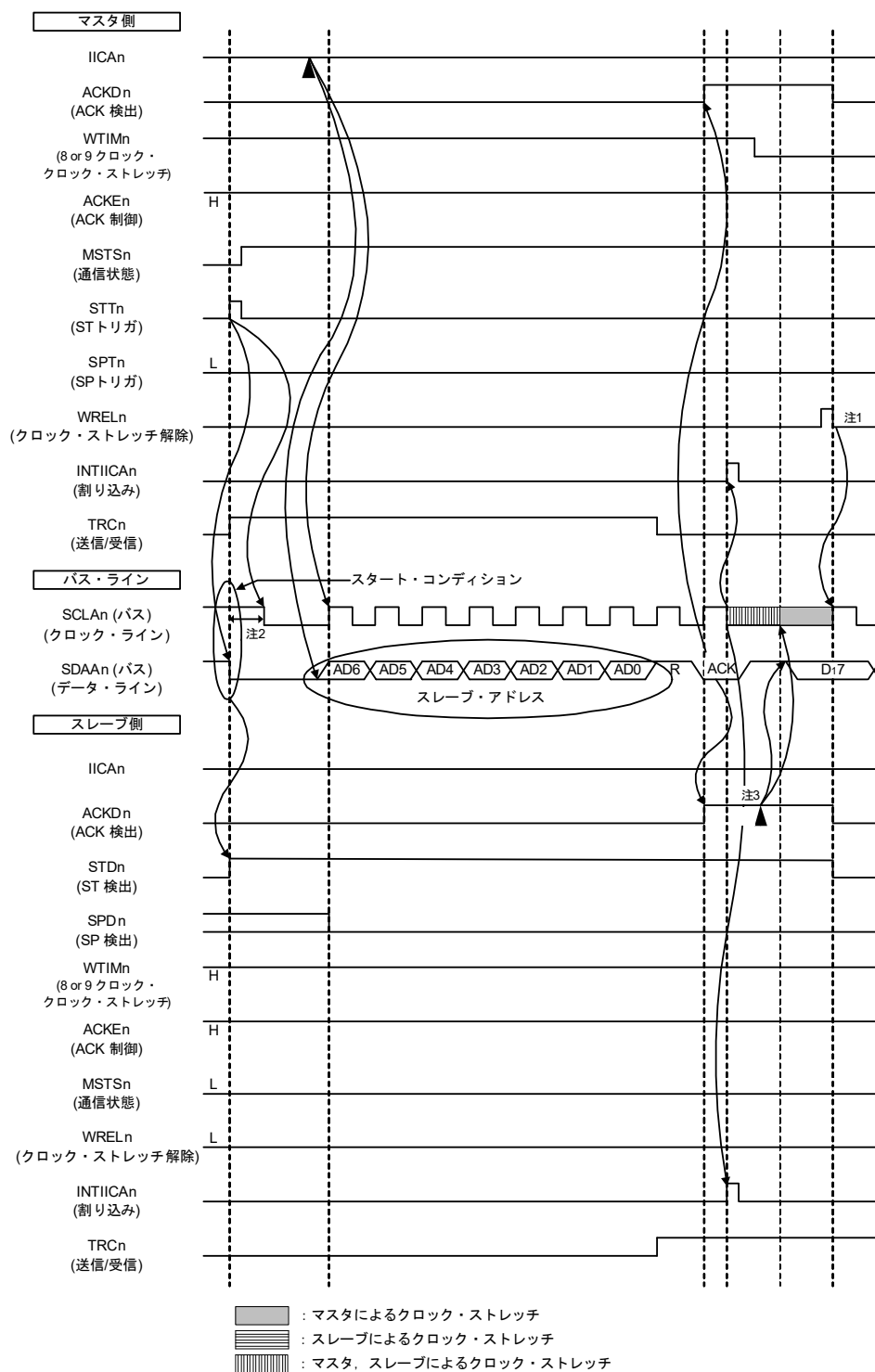
備考 n = 0

図 16 - 44 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>～<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され, 9クロック目の立ち上がり時に, マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がり, マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり, マスタ側, スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
 - <1> スレーブ側が受信データを読み出して, クロック・ストレッチを解除(WRELn = 1)します。
 - <2> マスタ側で再度スタート・コンディション・トリガがセット(STTn = 1)されると, バス・クロック・ラインが立ち上がり(SCLAn = 1), リスタート・コンディション・セットアップ時間後バス・データ・ライン(SDAAn = 0)が立ち下がり, スタート・コンディション(SCLAn = 1でSDAAn = 1→0)が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり(SCLAn = 0), 通信準備が完了となります。
 - <3> マスタ側がIICAシフト・レジスタn(IICAn)にアドレス + R/W (送信)を書き込むと, スレーブ・アドレスが送信されます。

備考 n = 0

図16-45 スレーブ→マスタ通信例(マスタ:8クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(1/3)
 (1) スタート・コンディション~アドレス~データ



- 注1. マスタ側での受信時クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図16-45 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット($STTn = 1$)されると、バス・データ・ライン($SDAAn$)が立ち下がり、スタート・コンディション($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態($MSTSn = 1$)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタ n ($IICAn$)にアドレス + R (受信)が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVA_n の値) が一致した場合注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出($ACKDn = 1$)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み($INTIICAn$: アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ($SCLAn = 0$)をかけ、割り込み($INTIICAn$: アドレス一致割り込み)が発生します注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に($WTIMn = 0$)に変更します。
- ⑥ スレーブ側がIICAnレジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除($WRELn = 1$)して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図16-45～図16-47の①～⑯は、I²Cバスによるデータ通信の一連の操作手順です。

図16-45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図16-46 (2)アドレス～データ～データでは手順③～⑫

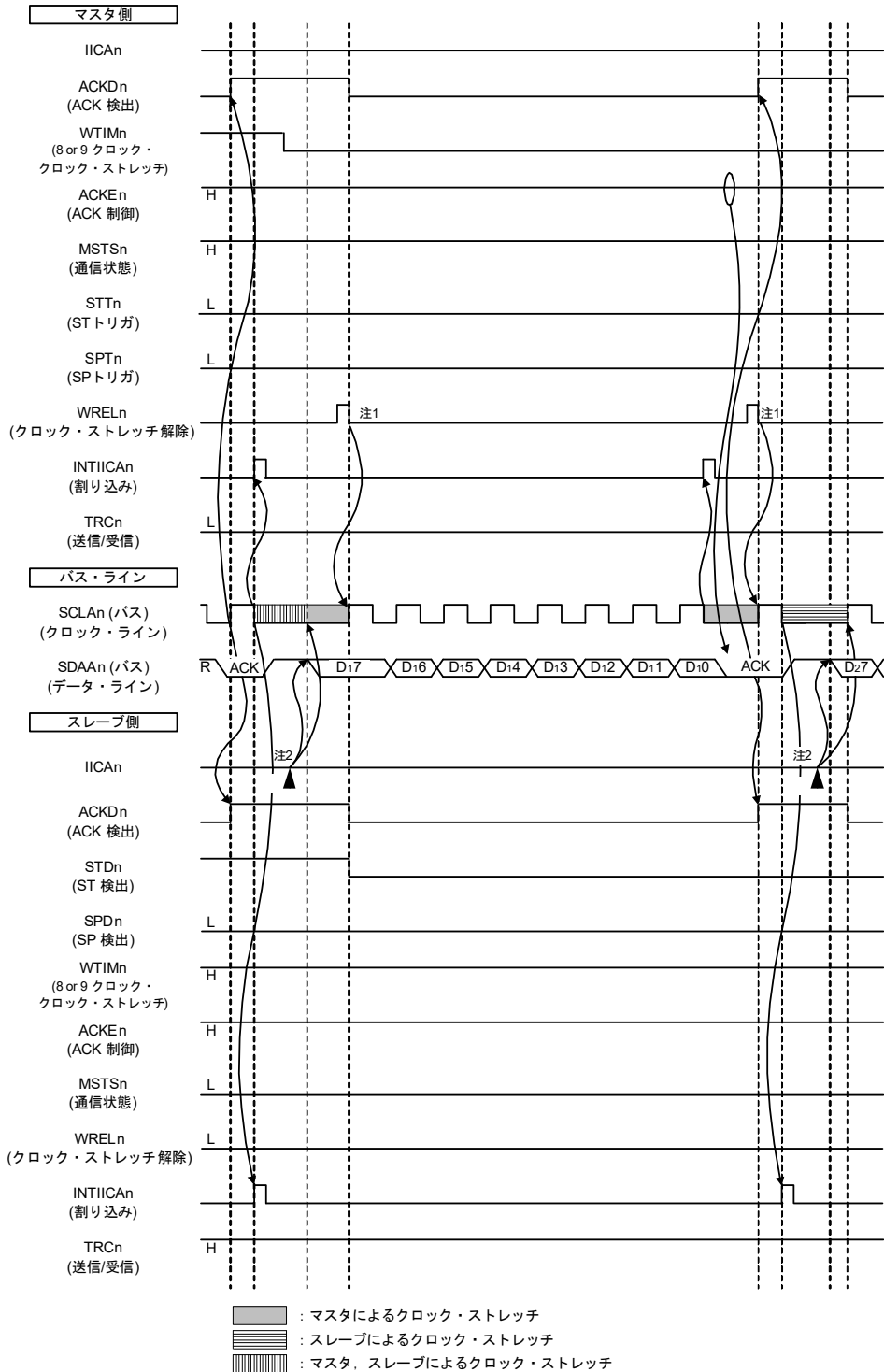
図16-47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑱

について説明しています。

備考2. $n = 0$

図16-46 スレーブ→マスタ通信例(マスタ:8クロック, スレーブ:9クロックでクロック・ストレッチ選択時)(2/3)

(2) アドレス～データ～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0

図16-46 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み(INTIICAn : アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn : アドレス一致割り込み)が発生します注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目に(WTIMn = 0)に変更します。
- ⑥ スレーブ側がIICAシフト・レジスタn (IICAn)に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除(WRELn = 1)して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み)が発生し、マスタ側ACKEn = 1なのでハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除(WRELn = 1)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出(ACKDn = 1)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、スレーブ側は割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAnレジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません (NACK : SDAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図16-45～図16-47の①～⑯は、I²Cバスによるデータ通信の一連の操作手順です。

図16-45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図16-46 (2)アドレス～データ～データでは手順③～⑫

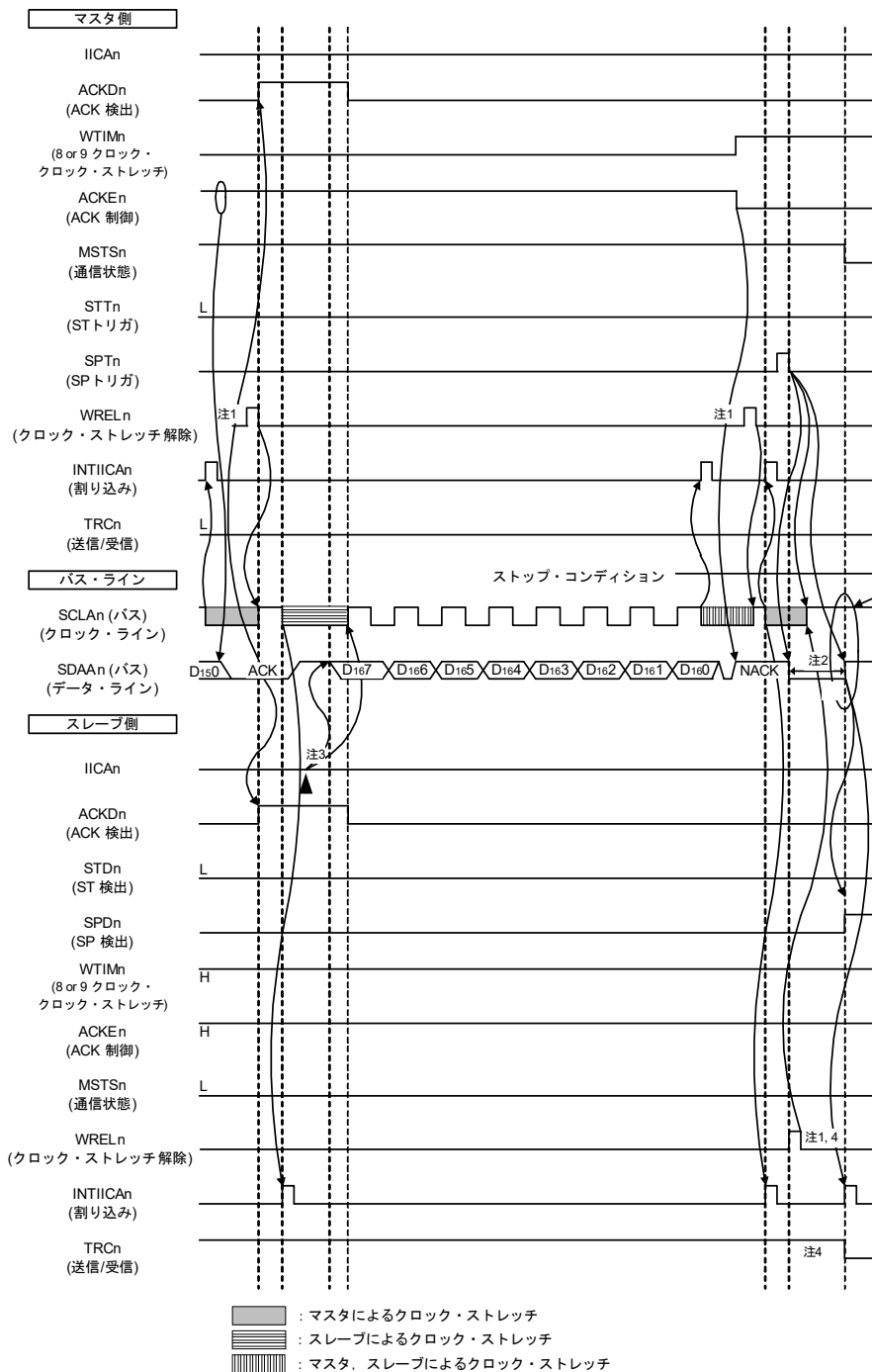
図16-47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑯

について説明しています。

備考2. n = 0

図16-47 スレーブ→マスタ通信例(マスタ：8→9クロック、スレーブ：9クロックでクロック・ストレッチ選択時)
(3/3)

(3) データ～データ～ストップ・コンディション



- 注1. クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がりからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 注4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnビットはクリアされます。

備考 n = 0

図16-47 (3) データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ($SCLAn = 0$)がかかり、マスタ側の割り込み
($INTIICAn$: 転送完了割り込み)が発生し、マスタ側は $ACKEn = 0$ なので、ハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除($WRELn = 1$)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出($ACKDn = 1$)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ($SCLAn = 0$)がかかり、スレーブ側は割り込み($INTIICAn$: 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAシフト・レジスタn($IICAn$)に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み($INTIICAn$: 転送完了割り込み)が発生し、マスタ側によるクロック・ストレッチ($SCLAn = 0$)がかかります。ACK制御($ACKEn = 1$)されているので、この段階でのバス・データ・ラインはロウ・レベル($SDAAn = 0$)となります。
- ⑭ マスタ側はNACK応答に設定($ACKEn = 0$)し、クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ($WTIMn = 1$)に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除($WRELn = 1$)すると、スレーブ側は9クロック目の立ち上がりでNACKを検出($ACKDn = 0$)します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ($SCLAn = 0$)がかかり、マスタ側、スレーブ側で割り込み($INTIICAn$: 転送完了割り込み)が発生します。
- ⑰ マスタ側でストップ・コンディション発行($SPTn = 1$)すると、バス・データ・ラインがクリア($SDAAn = 0$)され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット($SCLAn = 1$)されるまで待機します。
- ⑱ スレーブ側はNACKを確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除($WRELn = 1$)します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット($SCLAn = 1$)されます。
- ⑲ マスタ側はバス・クロック・ラインがセット($SCLAn = 1$)されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット($SDAAn = 1$)してストップ・コンディション($SCLAn = 1$ で $SDAAn = 0 \rightarrow 1$)を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み($INTIICAn$: ストップ・コンディション割り込み)が発生します。

備考1. 図16-45～図16-47の①～⑲は、I²Cバスによるデータ通信の一連の操作手順です。

図16-45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図16-46 (2)アドレス～データ～データでは手順③～⑫

図16-47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑲

について説明しています。

備考2. $n = 0$

第17章 USB2.0 ファンクション・モジュール (USB)

17.1 USB2.0 ファンクション・モジュールの機能

RL78/L1CはUSB (Universal Serial Bus)規格 2.0に準拠したUSB2.0 ファンクション・モジュール(USBモジュール)を内蔵し、Full-speed (12 Mbps)、Low-speed (1.5 Mbps)の転送速度に対応した、ファンクション機能が使用可能です。

また、Battery Charging Specification Revision 1.2に準拠したファンクション時のBattery Charging (以下BC)接続検知が可能です。

表 17 - 1にUSBモジュールの仕様を示します。

表 17 - 1 USBモジュールの仕様

項目	内容
特長	<ul style="list-style-type: none"> • USB2.0に対応したUDC (USB Device Controller)およびトランシーバを内蔵 • USB ファンクション・コントローラを内蔵 • 1ポート搭載 • フル・スピード転送 (12 Mbps)、ロウ・スピード (1.5 Mbps)に対応 • コントロール転送ステージ管理機能 • デバイス・ステート管理機能 • SET_ADDRESSリクエストに対する自動応答機能 • SOF補間機能 • D+/D-端子プルアップ抵抗内蔵
通信データ転送タイプ	<ul style="list-style-type: none"> • コントロール転送 • バルク転送 • インタラプト転送
パイプ・コンフィグレーション	<ul style="list-style-type: none"> • USB通信バッファ・メモリを448バイト内蔵 • 最大5本のパイプを選択可能 (デフォルト・コントロール・パイプを含む) • 使用可能なパイプ番号は0, 4~7 • パイプ4~7は任意のエンド・ポイント番号を割り付け可能 <p>各パイプの設定可能な転送条件は以下のとおりです。</p> <ul style="list-style-type: none"> • パイプ0: コントロール転送専用のパイプ (デフォルト・コントロール・パイプ: DCP) バッファ・サイズは8, 16, 32, 64 バイトから選択 (シングル・バッファ) • パイプ4, 5: バルク転送専用パイプ バッファ・サイズは8, 16, 32, 64 バイトから選択 (ダブル・バッファ指定可能) • パイプ6, 7: インタラプト転送専用のパイプ バッファ・サイズは1~64 バイトから選択 (シングル・バッファ)
その他の機能	<ul style="list-style-type: none"> • トランザクション・カウントによる受信トランスファ終了機能 • BRDY割り込みイベント通知タイミング変更機能 (BFRE) • トランスファ終了による応答PIDのNAK設定機能 (SHTNAK) • DnFIFO (n = 0, 1)ポートで指定したパイプのデータ読み出し後自動バッファ・メモリ・クリア機能 (DCLRM) • Battery Charging 対応 (Battery Charging Specification Revision 1.2) <ul style="list-style-type: none"> - ファンクション (Portable Device) ・ BC接続検知機能 (1ポート)に対応 • Battery Charging 接続検知オプション機能搭載 <ul style="list-style-type: none"> - USBポート電圧検知機能 (16段階)

17.2 USB2.0 ファンクション・モジュールの構成

USBモジュールは、次のハードウェアで構成されています。

- USB ファンクション・コントローラ

Full-speed (12 Mbps), Low-speed (1.5 Mbps)の転送速度に対応した、ファンクション制御を実施します。

- USB トランシーバ

ファンクション専用 1ポート(USBポート)のUSB トランシーバです。

転送速度検出用のプルアップ抵抗(ファンクション用)を内蔵しています。

USB トランシーバ用の電源(以下USB電源)として外部印加(UVBUS端子)を使用します。

- USB通信用バッファ・メモリとFIFO/メモリ制御部

最大5本のパイプを使用できます。また、パイプ4~7に対しては、通信を行う周辺デバイスやユーザ・システムに合わせた任意のエンド・ポイント番号の割り付けが可能です。

- Battery Charging 検知/制御部

Battery Charging Specification Revision 1.2に準拠したファンクション時におけるBC接続検知処理をします。

- 各種レジスタ

各種の制御用レジスタ、モニタ用レジスタ、送受信データ用レジスタがあります。

表 17 - 3, 表 17 - 4を参照してください。

- 各種端子

USBポート入出力端子 (UDP, UDM)

VBUS入力端子 (UVBUS)

USB電源安定容量接続端子(UREGC)

詳細は表 17 - 2を参照してください。

- その他

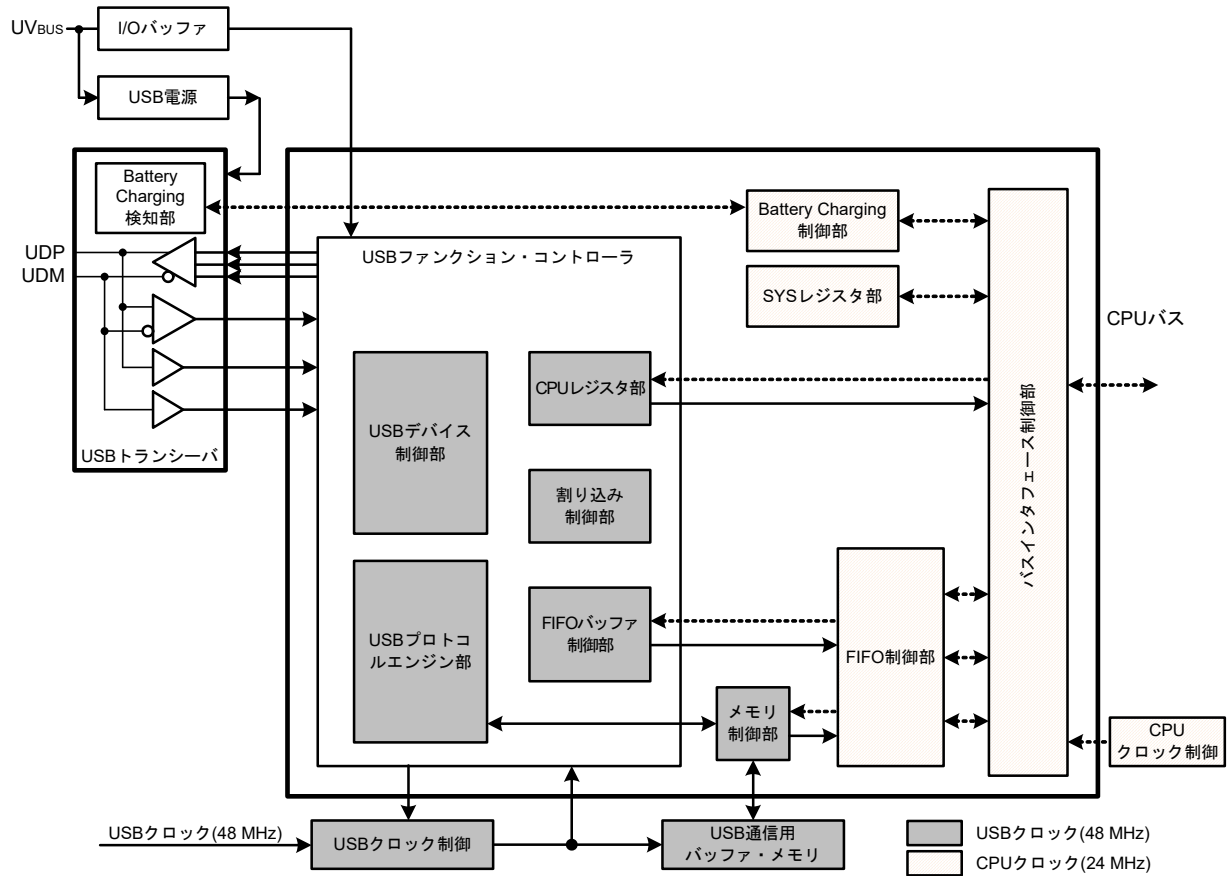
クロック制御部によってUSBモジュールで使用する各種クロックの動作/停止の制御や分周などを実施します。また、バスインターフェイス制御部によってCPU, DTCとUSBモジュールの各レジスタとの間のアクセス制御を実施します。

表 17 - 2にUSBモジュールの入出力端子を、図 17 - 1にUSBモジュールのブロック図を示します。

表 17 - 2 USBモジュールの入出力端子

端子名	入出力	機能
UDP	入出力	USBポートのD+入出力端子です。 USBバスのD+端子に接続してください。
UDM	入出力	USBポートのD-入出力端子です。 USBバスのD-端子に接続してください。
UVBUS	入力	USBケーブル接続モニタおよびUSBトランシーバ用正電源端子です。 USBバスのVBUSに接続してください。
UREGC	出力	USB電源安定容量接続端子です。 Vssに対してコンデンサ(0.33 μ F)を接続して使用してください。

図17-1 USBモジュールのブロック図



17.3 USB2.0 ファンクション・モジュールで使用するレジスタの説明

表 17 - 3, 表 17 - 4にUSBのレジスタ一覧を示します。

表 17 - 3 USBのレジスタ一覧 (1/2)

レジスタ名	シンボル
システム・コンフィグレーション・コントロール・レジスタ	SYSCFG
システム・コンフィグレーション・ステータス・レジスタ0	SYSSTS0
デバイス・ステート・コントロール・レジスタ0	DVSTCTR0
DTC0-FIFOピン・コンフィグレーション・レジスタ	DTC0PCFG
DTC1-FIFOピン・コンフィグレーション・レジスタ	DTC1PCFG
CFIFOポート・レジスタ	CFIFOM
D0FIFOポート・レジスタ	D0FIFOM
D1FIFOポート・レジスタ	D1FIFOM
CFIFOポート選択レジスタ	CFIFOSEL
CFIFOポート・コントロール・レジスタ	CFIFOCTR
D0FIFOポート選択レジスタ	D0FIFOSEL
D0FIFOポート・コントロール・レジスタ	D0FIFOCTR
D1FIFOポート選択レジスタ	D1FIFOSEL
D1FIFOポート・コントロール・レジスタ	D1FIFOCTR
割り込み許可レジスタ0	INTENB0
割り込み許可レジスタ1	INTENB1
BRDY割り込み許可レジスタ	BRDYENB
NRDY割り込み許可レジスタ	NRDYENB
BEMP割り込み許可レジスタ	BEMPENB
SOF出力コンフィグレーション・レジスタ	SOFCFG
割り込みステータス・レジスタ0	INTSTS0
割り込みステータス・レジスタ1	INTSTS1
BRDY割り込みステータス・レジスタ	BRDYSTS
NRDY割り込みステータス・レジスタ	NRDYSTS
BEMP割り込みステータス・レジスタ	BEMPSTS
フレーム・ナンバー・レジスタ	FRMNUM
USBアドレス・レジスタ	USBADDR
USBリクエスト・タイプ・レジスタ	USBREQ
USBリクエスト・バリュー・レジスタ	USBVAL
DTC転送用D0FIFOポート・レジスタ	D0FIFOD00
DTC転送用D1FIFOポート・レジスタ	D1FIFOD00
USBリクエスト・インデックス・レジスタ	USBINDX
USBリクエスト・レングス・レジスタ	USBLENG
DCPコンフィグレーション・レジスタ	DCPCFG
DCPマックス・パケット・サイズ・レジスタ	DCPMAXP
DCPコントロール・レジスタ	DCPCTR
パイプ・ウィンドウ選択レジスタ	PIPESEL
パイプ・コンフィグレーション・レジスタ	PIPECFG
パイプ・マックス・パケット・サイズ・レジスタ	PIPEMAXP
パイプ4コントロール・レジスタ	PIPE4CTR
パイプ5コントロール・レジスタ	PIPE5CTR
パイプ6コントロール・レジスタ	PIPE6CTR

表 17 - 4 USBのレジスタ一覧 (2/2)

レジスタ名	シンボル
パイプ7コントロール・レジスタ	PIPE7CTR
パイプ4トランザクション・カウンタ・イネーブル・レジスタ	PIPE4TRE
パイプ4トランザクション・カウンタ・レジスタ	PIPE4TRN
パイプ5トランザクション・カウンタ・イネーブル・レジスタ	PIPE5TRE
パイプ5トランザクション・カウンタ・レジスタ	PIPE5TRN
BCコントロール・レジスタ0	USBBCCTRL0
BCオプション・コントロール・レジスタ0	USBBCOPT0
USBクロック選択レジスタ	UCKSEL
USBモジュール制御レジスタ	USBMC

表 17 - 5 USBE = 0書き込みにより初期化されるレジスタ

レジスタ	シンボル
SYSSTS0	LNST1, LNST0
DVSTCTR0	RHST2 ~ RHST0
INTSTS0	DVSQ2 ~ DVSQ0
USBADDR	USBADDR
USBREQ	BREQUEST, BMREQUESTTYPE
USBVAL	WVALUE
USBINDX	WINDEX
USBLENG	WLENGTH

17.3.1 システム・コンフィグレーション・コントロール・レジスタ (SYSCFG)

図 17-2 システム・コンフィグレーション・コントロール・レジスタ (SYSCFG) のフォーマット

アドレス : F0600H, F0601H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYSCFG	0	0	0	0	0	SCKE	0	CNEN	0	0	0	DPRP U	DMRP U	0	0	USBE

SCKE	USB モジュール・クロック許可
0	USB モジュールへのクロック供給停止
1	USB モジュールへのクロック供給許可
USB モジュールへの48MHzクロック供給の停止/許可を指定します。 SCKE ビットが“0”の場合、SYSCFG レジスタ、DTC0PCFG レジスタおよびDTC1PCFG レジスタのみ、読み出し/書き込みができます。 USB モジュール内の他のレジスタは、SCKE ビットが“0”の場合には、読み出し/書き込みはできません。 SCKE ビットに“1”を書き込んだあと、必ず SCKE ビットを読み出し、“1”となっていることを確認してください。	

CNEN	USB ポート用のシングル・エンド・レシーバ許可
0	シングル・エンド・レシーバ動作禁止
1	シングル・エンド・レシーバ動作許可
シングル・エンド・レシーバの禁止/許可を指定します。 CNEN ビットに“1”を設定すると、USB モジュールはUSBポートのシングル・エンド・レシーバを許可し、LNST ビットでD+/D-のステータスをモニタすることができます。 CNEN ビットは、Battery Charging のPortable Device 動作時のLNST モニタする時に使用します。	

DPRPU	USB ポート用の D+ ライン抵抗制御 ^注
0	プルアップ禁止
1	プルアップ許可
D+ ラインのプルアップの禁止/許可を指定します。 DPRPU = 1にすると、USB モジュールはUSBポートのD+ラインをプルアップ許可し、USBホストに対してフル・スピードデバイスとしてアタッチを通知することができます。また、DPRPU ビットを“1”から“0”に変更することにより、USB モジュールはUSBポートのD+ラインのプルアップを禁止にしますので、USBホストに対してデタッチしたと見せることができます。	

DMRPU	USB ポート用のD-ライン抵抗制御 ^注
0	プルアップ禁止
1	プルアップ許可
D-ラインのプルアップの禁止/許可を指定します。 DMRPU ビットを“1”に設定すると、USB モジュールはUSBポートのD-ラインをプルアップ許可し、USBホストに対してロウ・スピード・デバイスとしてアタッチを通知することができます。また、DMRPU ビットを“1”から“0”に変更することにより、USB モジュールはUSBポートのD-ラインのプルアップを禁止にしますので、USBホストに対してデタッチしたと見せることができます。	

USB_E	USBモジュール動作許可
0	USBモジュール動作禁止
1	USBモジュール動作許可
USBモジュールの動作禁止/許可を指定します。 USB_Eビットを“1”から“0”に変更したときに初期化されるレジスタとビットを表17-5に示します。 USB_Eビットの変更は、SCKE = 1のときに行ってください。	

注 DMRPUビットとDPRPUビットを同時に“1”(プルアップ許可)にすることは禁止です。

17.3.2 システム・コンフィグレーション・ステータス・レジスタ0 (SYSSTS0)

図17-3 システム・コンフィグレーション・ステータス・レジスタ0 (SYSSTS0)のフォーマット

アドレス : F0604H, F0605H リセット時 : 00000000 000000XXB R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYSSTS0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LNST1 1	LNST0 0

LNST1	LNST0	USBポート用のUSBデータ・ライン・ステータス・モニタ
0	0	SE0
0	1	J-State(フル・スピード)/K-State(ロウ・スピード)
1	0	K-State(フル・スピード)/J-State(ロウ・スピード)
1	1	SE1
USBデータ・バス・ライン(D+ライン, D-ライン)のステータスが表示されます。		

17.3.3 デバイス・ステート・コントロール・レジスタ0 (DVSTCTR0)

図 17-4 デバイス・ステート・コントロール・レジスタ0 (DVSTCTR0)のフォーマット

アドレス : F0608H, F0609H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DVSTCTR0	0	0	0	0	0	0	0	WKUP	0	0	0	0	0	RHST 2	RHST 1	RHST 0

WKUP	USBポート用のウェイク・アップ出力
0	リモート・ウェイク・アップ信号非出力
1	リモート・ウェイク・アップ信号出力注
<p>USBバス上へのリモート・ウェイク・アップ (レジューム信号出力) 禁止/許可を指定します。</p> <p>USBモジュールは、リモート・ウェイク・アップ信号の出力時間を管理しています。WKUPビットを“1”にすると、USBモジュールは10msのK-Stateを出力します。その後、WKUPビットを“0”にします。</p> <p>USB規格では、リモート・ウェイク・アップ信号の送信までに最短5msのUSBバスアイドル状態を保持する必要があります。このため、USBモジュールは、サスペンド状態を検出した直後にWKUPビットに“1”を書き込んでも、2ms待つてからK-Stateを出力します。</p> <p>WKUPビットへの“1”書き込みは、デバイス・ステートがサスペンド (INTSTS0レジスタのDVSQ2~DVSQ0ビット=“1xxB”)であり、かつUSBホストからリモート・ウェイク・アップが許可されている場合のみ行ってください。</p> <p>WKUPビットを“1”にする場合は、サスペンド中であっても内部クロックを停止しないでください。(SYSCFGレジスタのSCKE = 1の状態にWKUP = 1を書いてください。)</p>	

RHST2	RHST1	RHST0	USBポート用のUSBバス・リセット・ステータス
0	0	0	通信速度不定
0	1	0	USBバス・リセット処理中
0	0	1	ロウ・スピード接続時
0	1	0	フル・スピード接続時
<p>USBバス・リセットの状態を表示します。</p> <p>USBモジュールがUSBバス・リセットを検出すると、RHST[2:0]ビットは“010B”を示し、DVST割り込みが発生します。</p>			

注 “1”のみ書けます。

17.3.4 DTCn-FIFOピン・コンフィグレーション・レジスタ (DTCnPCFG) (n = 0, 1)

図17 - 5 DTCn-FIFOピン・コンフィグレーション・レジスタ (DTCnPCFG)のフォーマット

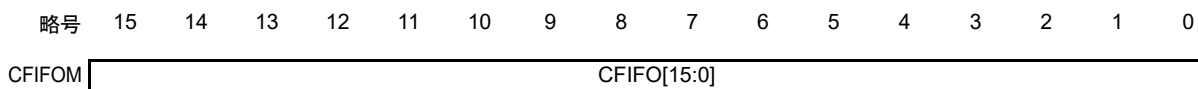
アドレス : F06A8H, F06A9H (DTC0PCFG), F06ACH, F06ADH (DTC1PCFG) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DTCnPCFG	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	DnDBLK
DnDBLK		DTCブロック転送モード															
0		サイクルスチール転送モード															
1		ブロック転送モード															

17.3.5 CFIFOポート・レジスタ (CFIFOM) DnFIFOポート・レジスタ (DnFIFOM) (n = 0, 1)

図17-6 CFIFOポート・レジスタ (CFIFOM)のフォーマット

アドレス : F0614H, F0615H リセット時 : 0000H R/W



CFIFOM[15:0]	CFIFOポート
<p>CFIFOビットにアクセスすることにより、FIFOバッファからの受信データを読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。</p> <p>CFIFOポート・レジスタへのアクセスは、CFIFOポート・コントロール・レジスタ (CFIFOCTR)のFRDYビットが“1”を示しているときのみ可能です。</p> <p>CFIFOポート・レジスタの有効ビットは、ポート選択レジスタのMBWビットの設定値およびBIGENDビットの設定値により異なります。有効ビットを表17-6、表17-7に示します。</p>	

- 注意1. DTC転送によるFIFOバッファ・アクセスはできません。
- 注意2. FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号(選択パイプ)を変更できません。
- 注意3. 同一パイプを別々のFIFOポートに割り当てないでください。
- 注意4. FIFOバッファの状況には、アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。FIFOバッファのアクセス権がSIE側にある場合は、CPUからアクセスできません。

表17-6 16ビットアクセス時のエンディアン動作表

CFIFOポート・レジスタ, DnFIFOポート・レジスタの BIGENDビット	ビット15~8	ビット7~0
0	N+1データ	N+0データ
1	N+0データ	N+1データ

表17-7 8ビットアクセス時のエンディアン動作表

CFIFOポート・レジスタ, DnFIFOポート・レジスタの BIGENDビット	ビット15~8	ビット7~0
0	アクセス禁止	N+0データ
1	アクセス禁止	N+0データ

図 17 - 7 D0FIFn ポート・レジスタ (DnFIFOM) のフォーマット (n = 0, 1)

アドレス : F0618H, F0619H (D0FIFOM), F061CH, F061DH (D1FIFOM) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DnFIFOM	DnFIFO[15:0]															
	DnFIFO[15:0]		FIFOポート													
<p>DnFIFOポートをCPU転送で行う場合のアドレスです。</p> <p>DnFIFOビットにアクセスすることにより、FIFOバッファからの受信データを読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。</p> <p>DnFIFOポート・レジスタへのアクセスは、DnFIFOポート・コントロール・レジスタ (DnFIFOCTR) のFRDYビットが“1”を示しているときのみ可能です。</p> <p>DnFIFOポート・レジスタの有効ビットは、ポート選択レジスタのMBWビットの設定値およびBIGENDビットの設定値により異なります。有効ビットを表 17 - 6、表 17 - 7に示します。</p>																

注意1. DCP用FIFOバッファへのアクセスはできません。また、DTC転送用アドレスには使用できません。

注意2. FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号(選択パイプ)を変更できません。

注意3. 同一パイプを別々のFIFOポートに割り当てないでください。

注意4. FIFOバッファの状況には、アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。FIFOバッファのアクセス権がSIE側にある場合は、CPUからアクセスできません。

17.3.6 DTC 転送用 DnFIFO ポート・レジスタ (DnFIFOD00) (n = 0, 1)

図 17 - 8 DTC 転送用 DnFIFO ポート・レジスタ (DnFIFOD00) のフォーマット (n = 0, 1)

アドレス : F0580H, F0581H (D0FIFOD00), F05C0H, F05C1H (D1FIFOD00) リセット時 : 0000H R/W



注意 1. CPU による本レジスタへのアクセスは禁止です。

注意 2. FIFO ポート固有の機能を使用する場合は、CURPIPE ビットに設定するパイプ番号 (選択パイプ) を変更できません。

注意 3. 同一パイプを別々の FIFO ポートに割り当てないでください。

17.3.7 CFIFOポート選択レジスタ (CFIFOSEL) DnFIFOポート選択レジスタ (DnFIFOSEL) (n = 0, 1)

図17-9 CFIFOポート選択レジスタ (CFIFOSEL)のフォーマット

アドレス : F0620H, F0621H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFIFOSEL	RCNT	REW	0	0	0	MBW	0	BIGEND	0	0	ISEL	0	CURPIPE3	CURPIPE2	CURPIPE1	CURPIPE0

RCNT	リードカウントモード
0	CFIFOの全受信データ読み出し終了時にDTLNビットを“0”ライト (ダブル・バッファの場合は一面のみ読み出し終了時)
1	CFIFO受信データ読み出しごとにDTLNビットをカウントダウン
CFIFOCTRレジスタのDTLN[8:0]ビットの読み出しモードを指定します。	

REW	バッファ・ポインタ・リワインド
0	無効(バッファ・ポインタ・リワインドしない) ^{注1}
1	バッファ・ポインタ・リワインドする
REW = 1 でリワインドします。 選択パイプが受信方向の場合に、FIFOバッファの読み出し中にREWビットを“1”にすると、FIFOバッファの最初のデータから読み出しを行うことができます (ダブル・バッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。 REWビットを“1”にすることとCURPIPE3～CURPIPE0ビットの設定変更を同時に行わないでください。REWビットを“1”にするときは、FRDYビットが“1”であることを確認してから行ってください。 送信方向のパイプに対してFIFOバッファの最初のデータから書き込みをやり直す場合は、BCLRビットを使用してください。	

MBW	CFIFOポート・アクセス幅
0	8ビット幅
1	16ビット幅
CFIFOポートへのアクセス・ビット幅を指定します。 選択パイプが受信方向の場合、MBWビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまでMBWビットの変更を行わないでください。 また選択パイプが受信方向の場合、CURPIPE3～CURPIPE0ビットとMBWビットを同時に設定してください。読み出しデータ・サイズが奇数バイトで16ビット幅設定の場合にはワード読み出し後に不要バイトを削除してください。 選択パイプが送信方向の場合、バッファ・メモリへの書き込み処理実行中に8ビット幅から16ビット幅へのビット幅切り替えは行えません。 16ビット幅の設定でも、バイト・アクセス制御することにより、奇数バイトの書き込みは可能です。	

BIGEND	CFIFOポート・エンディアン制御
0	リトル・エンディアン
1	ビッグ・エンディアン

CFIFOポートのバイト・エンディアンを指定します。

ISEL	DCP選択時のCFIFOポート・アクセス方向
0	バッファ・メモリ読み出し選択
1	バッファ・メモリ書き込み選択

選択パイプがDCPのときに、ISELビットを変更するときは、ISELビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。
ISELビットの設定は、CURPIPE3～CURPIPE0ビットの設定と同時に行ってください。

CURPIPE3	CURPIPE2	CURPIPE1	CURPIPE0	CFIFOポート・アクセス・パイプ指定注2
0	0	0	0	DCP (デフォルト・コントロール・パイプ)
0	1	0	0	パイプ4
0	1	0	1	パイプ5
0	1	1	0	パイプ6
0	1	1	1	パイプ7
上記以外				設定しないでください

CFIFOポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。
CURPIPE3～CURPIPE0ビットを変更するときは、CURPIPE3～CURPIPE0ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。
FIFOバッファへのアクセスの途中でCURPIPE3～CURPIPE0ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE3～CURPIPE0ビットの書き戻し後、続けてアクセスすることができます。

注1. “0”を読み出すことのみ可能です。

注2. CFIFOSELレジスタ、D0FIFOSELレジスタおよびD1FIFOSELレジスタのCURPIPE3～CURPIPE0ビットに同じパイプ番号を設定しないでください。

図 17 - 10 DnFIFO ポート選択レジスタ (DnFIFOSEL) のフォーマット (n = 0, 1)

アドレス : F0628H, F0629H (D0FIFOSEL), F062CH, F062DH (D1FIFOSEL) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DnFIFOSEL	RCNT	REW	DCLR M	DREQ E	0	MBW	0	BIGE ND	0	0	0	0	CURP IPE3	CURP IPE2	CURP IPE1	CURP IPE0
RCNT		リードカウントモード														
0		DnFIFOの全受信データ読み出し終了時にDTLN[8:0]ビットを“0”ライト (ダブル・バッファの場合は一面のみ読み出し終了時)														
1		DnFIFO受信データ読み出しごとにDTLN[8:0]ビットをカウントダウン														
DnFIFOCTRレジスタのDTLN[8:0]ビットの読み出しモードを指定します。 BFREビットに“1”を設定してDnFIFOにアクセスを行う場合は、RCNTビットに“0”を設定してください。																
REW		バッファ・ポインタ・リワインド														
0		無効(バッファ・ポインタ・リワインドしない)注1														
1		バッファ・ポインタ・リワインドする														
バッファ・ポインタのリワインドをする/しないを指定します。 選択パイプが受信方向の場合に、FIFOバッファの読み出し中にREWビットに“1”を設定すると、FIFOバッファの最初のデータから読み出しを行うことができます (ダブル・バッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。 REW = 1の設定とCURPIPEビットの設定変更を同時に行わないでください。REW = 1の設定は、必ずFRDY = 1であることを確認してから行ってください。BFREビットに“1”を設定してDnFIFOにアクセスを行う場合は、ショート・パケット・データを読み出し終えた状態でREWビットに“1”を設定しないでください。送信方向のパイプに対してFIFOバッファの最初のデータから書き込みをやり直す場合は、BCLRビットを使用してください。																
DCLRM		選択パイプのデータ読み出し後自動バッファ・メモリ・クリア・モード														
0		自動バッファ・クリア・モード禁止														
1		自動バッファ・クリア・モード許可														
選択パイプのデータ読み出し後、自動バッファ・メモリ・クリアの禁止/許可を指定します。 DCLRMビットに“1”を設定した場合、選択パイプに割り当てたFIFOバッファが空の状態Zero-Length packetを受信したとき、またはPIPECFGレジスタのBFRE = 1の状態ショート・パケット受信し、データ読み出しを完了ときに、FIFOバッファへのBCLR = 1の処理をUSBモジュールが行います。SOFCFGレジスタのBRDYM = 1に設定してUSBモジュールを使用するときには、必ずDCLRMビットに“0”を設定してください。																
DREQE		DTC転送要求許可														
0		DTC転送要求禁止														
1		DTC転送要求許可														
DTC転送要求発行の禁止/許可を指定します。 DTC転送要求発行を許可する場合、CURPIPEビット設定後にDREQEビットに“1”を設定してください。 CURPIPEビット設定を変更するときには、DREQEビットに“0”を設定した後で変更を行ってください。																

MBW	DnFIFO (n = 0, 1)ポート・アクセス・ビット幅
0	8ビット幅
1	16ビット幅

DnFIFOポートへのアクセス・ビット幅を指定します。

選択パイプが受信方向の場合、MBWビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまでMBWビットの変更を行わないでください。

また選択パイプが受信方向の場合、CURPIPEビットとMBWビットを同時に設定してください。読み出しデータ・サイズが奇数バイトで16ビット幅設定の場合にはワード読み出し後に不要バイトを削除してください。

選択パイプが送信方向の場合、バッファ・メモリへの書き込み処理実行中に8ビット幅から16ビット幅へのビット幅切り替えは行えません。

16ビット幅の設定でも、バイト・アクセス制御することにより、奇数バイトの書き込みは可能です。

BIGEND	DnFIFO (n = 0, 1)ポート・エンディアン制御
0	リトル・エンディアン
1	ビッグ・エンディアン

DnFIFOポートのバイト・エンディアンを指定します。

CURPIPE3	CURPIPE2	CURPIPE1	CURPIPE0	DnFIFO (n = 0, 1)ポート・アクセス・パイプ指定 ^{注2}
0	0	0	0	指定なし
0	1	0	0	パイプ4
0	1	0	1	パイプ5
0	1	1	0	パイプ6
0	1	1	1	パイプ7
上記以外				設定しないでください

DnFIFOポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE3～CURPIPE0ビットを変更するときは、CURPIPE3～CURPIPE0ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFOバッファへのアクセスの途中でCURPIPE3～CURPIPE0ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE3～CURPIPE0ビットの書き戻し後、続けてアクセスすることができます。

注1. “0”を読み出すことのみ可能です。

注2. CFIFOSELレジスタ、D0FIFOSELレジスタおよびD1FIFOSELレジスタのCURPIPE3～CURPIPE0ビットに同じパイプ番号を設定しないでください。

17.3.8 CFIFOポート・コントロール・レジスタ (CFIFOCTR) DnFIFOポート・コントロール・レジスタ (DnFIFOCTR) (n = 0, 1)

図17-11 CFIFOポート・コントロール・レジスタ (CFIFOCTR)のフォーマット

アドレス : F0622H, F0623H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFIFOCTR	BVAL	BCLR	FRDY	0	0	0	0	DTLN[8:0]								

BVAL	バッファ・メモリ有効フラグ
0	無効
1	書き込み終了注1

CURPIPE3～CURPIPE0に指定したパイプ(選択パイプ)のCPU側のFIFOバッファの書き込み終了時に“1”にします。選択パイプが送信方向のとき、以下の場合にBVALビットを“1”にしてください。USBモジュールはCPU側のFIFOバッファをSIE側にし、送信可能状態にします。

- ・ショート・パケットの送信を行いたいとき、データ書き込み終了時にBVALビットに“1”を設定
- ・Zero-Lengthパケットの送信を行いたいとき、FIFOバッファが空の状態にBVALビットに“1”を設定

MaxPacketSize分のデータを書くと、USBモジュールがBVALビットを“1”にし、CPU側のFIFOバッファをSIE側にし、送信可能状態にします。

BVALビットへの“1”書き込みは、USBモジュールがFRDY = 1を示しているときに実施してください。

選択パイプが受信方向のときには、BVALビットへの“1”書き込みを行わないでください。

BCLR	CPUバッファ・クリア注2
0	無効
1	CPU側バッファ・メモリ・クリア

選択パイプのCPU側のFIFOバッファをクリアする場合に“1”にします。

選択パイプにアサインされているFIFOバッファがダブル・バッファ設定の場合で、両面ともに読み出し可能状態である場合でも、USBモジュールは片面のFIFOバッファのみをクリアします。

選択パイプがDCPの場合は、FIFOバッファがCPU側、SIE側に関わらず、BCLR = 1を書くことによってUSBモジュールはFIFOバッファをクリアします。SIE側のバッファをクリアするときには、DCPコントロール・レジスタのPIDビットを必ずNAKに設定したあとでBCLR = 1にしてください。

選択パイプが送信方向の場合、BVALビットとBCLRビットへ同時に“1”を書いた場合には、USBモジュールはそれ以前に書き込んだデータをクリアし、Zero-Lengthパケットを送信可能な状態にします。

選択パイプがDCP以外の場合、BCLRビットへの“1”書き込みは、USBモジュールがFIFOポート・コントロールのFRDY = 1を示しているときに実施してください。

FRDY	FIFOポートレディ
0	FIFOポート・アクセス不可
1	FIFOポート・アクセス可能

CPUからFIFOポートにアクセス可能かどうかが表示されます。

以下の場合には、USBモジュールはFRDY = 1を表示しますが、読み出すべきデータがないためFIFOポートからのデータ読み出しはできません。これらのケースでは、BCLR = 1にしてFIFOバッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされているFIFOバッファが空の状態Zero-Lengthパケット受信した場合
- PIPECFGレジスタのBFRE = 1にしたとき、ショート・パケットを受信し、データ読み出しを完了した場合

DTLN[8:0]	受信データ長表示
<p>受信データ長が表示されます。</p> <p>FIFOバッファ読み出し中のDTLN[8:0]ビットの値は、RCNTビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • RCNT = 0のとき <p>CPUがFIFOバッファ1面分の受信データを読み出し完了するまで、USBモジュールは受信データ長をDTLN[8:0]ビットに表示します。PIPECFGレジスタのBFRE = 1のときには、読み出しが完了してもBCLR = 1を行うまではUSBモジュールは受信データ長を保持します。</p> • RCNT = 1のとき <p>読み出しごとにUSBモジュールはDTLN[8:0]ビットの表示をダウン・カウントします。(MBW = 0のときは-1, MBW = 1のときは-2ずつダウン・カウン)1面分のFIFOバッファ読み出し完了時に、USBモジュールはDTLN[8:0] = 0を表示します。ただし、ダブル・バッファ設定時かつFIFOバッファ1面分の受信データの読み出しを完了する前にもう1面分のFIFOバッファに受信完了した場合は、先の1面分の読み出し完了時にあとの1面分の受信データ長をFIFOポート・コントロール・レジスタのDTLN[8:0]ビットに表示します。</p> 	

注1. “1”を書き込むことのみ可能です。

注2. “0”を読み出し，“1”を書き込むことのみ可能です。

図 17 - 12 DnFIFOポート・コントロール・レジスタ (DnFIFOCTR)のフォーマット(n = 0, 1)

アドレス : F062AH, F062BH (D0FIFOCTR), F062EH, F062FH (D1FIFOCTR) リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DnFIFOCTR	BVAL	BCLR	FRDY	0	0	0	0	DTLN[8:0]							
-----------	------	------	------	---	---	---	---	-----------	--	--	--	--	--	--	--

BVAL	バッファ・メモリ有効フラグ
0	無効
1	書き込み終了注1

CURPIPE3～CURPIPE0ビットに指定したパイプ (選択パイプ)のCPU側のFIFOバッファの書き込み終了時に“1”を指定します。

選択パイプが送信方向のとき、以下の場合にBVALビットに“1”を設定してください。USBモジュールはCPU側のFIFOバッファをSIE側にし、送信可能状態にします。

- ・ショート・パケットの送信を行いたいとき、データ書き込み終了時にBVALビットに“1”を設定
- ・Zero-Lengthパケットの送信を行いたいとき、FIFOバッファが空の状態ではBVALビットに“1”を設定

MaxPacketSize分のデータを書き込むと、USBモジュールがBVALビットを“1”にし、CPU側のFIFOバッファをSIE側にして、送信可能状態にします。

BVALビットへの“1”書き込みは、USBモジュールがFRDY = 1を示しているときに実施してください。

選択パイプが受信方向のときには、BVALビットへの“1”書き込みを行わないでください。

BCLR	CPUバッファ・クリア注2
0	無効
1	CPU側バッファ・メモリ・クリア

選択パイプのCPU側のFIFOバッファをクリアする場合に“1”を指定します。

選択パイプにアサインされているFIFOバッファがダブル・バッファ設定の場合で、両面共に読み出し可能状態である場合でも、USBモジュールは片面のFIFOバッファのみをクリアします。

選択パイプが送信方向の場合、BVALビットとBCLRビットへ同時に“1”を書き込んだ場合には、USBモジュールは、それ以前に書き込んだデータをクリアし、Zero-Lengthパケットを送信可能な状態にします。

BCLRビットへの“1”書き込みは、USBモジュールがFRDY = 1を示しているときに実施してください。

FRDY	FIFOポートレディ
0	FIFOポート・アクセス不可
1	FIFOポート・アクセス可能

CPUまたはDTCからFIFOポートにアクセス可能かどうかが表示されます。

以下の場合には、USBモジュールはFRDY = 1を表示しますが、読み出すべきデータがないためFIFOポートからのデータ読み出しはできません。これらのケースでは、BCLR = 1を設定してFIFOバッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- ・選択パイプにアサインされているFIFOバッファが空の状態ではZero-Lengthパケット受信した場合。
- ・BFRE = 1設定時に、ショート・パケットを受信し、データ読み出しを完了した場合。

DTLN[8:0]	受信データ長表示
<p>受信データ長が表示されます。</p> <p>FIFOバッファ読み出し中のDTLN[8:0]ビットの値は、RCNTビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • RCNT = 0のとき <p>CPUがFIFOバッファ1面分の受信データを読み出し完了するまで、USBモジュールは受信データ長をDTLN[8:0]ビットに表示します。PIPECFGレジスタのBFRE = 1のときには、読み出しが完了してもBCLR = 1を行うまではUSBモジュールは受信データ長を保持します。</p> • RCNT = 1のとき <p>読み出しごとにUSBモジュールはDTLNビットの表示をダウン・カウントします。(MBW = 0のときは-1, MBW = 1のときは-2ずつダウン・カウント)1面分のFIFOバッファ読み出し完了時に、USBモジュールはDTLN = 0を表示します。ただし、ダブル・バッファ設定時かつFIFOバッファ1面分の受信データの読み出しを完了する前にもう1面分のFIFOバッファに受信完了した場合は、先の1面分の読み出し完了時に後の1面分の受信データ長をFIFOポート・コントロール・レジスタのDTLNビットに表示します。</p> 	

注1. “1”を書き込むことのみ可能です。

注2. “0”を読み出し，“1”を書き込むことのみ可能です。

17.3.9 割り込み許可レジスタ 0 (INTENB0)

図 17 - 13 割り込み許可レジスタ 0 (INTENB0)のフォーマット

アドレス : F0630H, F0631H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMP E	NRDY E	BRDY E	0	0	0	0	0	0	0	0

VBSE	VBUS 割り込み許可
0	割り込み出力禁止
1	割り込み出力許可
VBINT 割り込み検出時, USB 割り込み出力の禁止/許可を指定します。	

RSME	レジューム 割り込み許可
0	割り込み出力禁止
1	割り込み出力許可
RESM 割り込み検出時, USB 割り込み出力の禁止/許可を指定します。	

SOFE	フレーム番号更新 割り込み許可
0	割り込み出力禁止
1	割り込み出力許可
SOFR 割り込み検出時, USB 割り込み出力の禁止/許可を指定します。	

DVSE	デバイス・ステート 遷移 割り込み許可
0	割り込み出力禁止
1	割り込み出力許可
DVST 割り込み検出時, USB 割り込み出力の禁止/許可を指定します。	

CTRE	コントロール転送ステージ 遷移 割り込み許可
0	割り込み出力禁止
1	割り込み出力許可
CTRTR 割り込み検出時, USB 割り込み出力の禁止/許可を指定します。	

BEMPE	バッファ・エンプティ 割り込み許可
0	割り込み出力禁止
1	割り込み出力許可
BEMP 割り込み検出時, USB 割り込み出力の禁止/許可を指定します。	

NRDYE	バッファ・ノット・レディ 応答 割り込み許可
0	割り込み出力禁止
1	割り込み出力許可
NRDY 割り込み検出時, USB 割り込み出力の禁止/許可を指定します。	

BRDYE	パッファ・レディ割り込み許可
0	割り込み出力禁止
1	割り込み出力許可
BRDY割り込み検出時，USB割り込み出力の禁止/許可を指定します。	

17.3.10 割り込み許可レジスタ 1 (INTENB1)

図 17 - 14 割り込み許可レジスタ 1 (INTENB1)のフォーマット

アドレス : F0632H, F0633H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
INTENB1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PDDE TINTE
PDDDETINTE		PortableDevice 検知割り込み許可															
0		割り込み出力禁止															
1		割り込み出力許可															
PDDDETINT割り込み検出時，USB割り込み出力の禁止/許可を指定します。																	

17.3.11 BRDY割り込み許可レジスタ (BRDYENB)

図 17 - 15 BRDY割り込み許可レジスタ (BRDYENB)のフォーマット

アドレス : F0636H, F0637H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
BRDYENB	0	0	0	0	0	0	0	0	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	0	0	0	PIPE0 BRDYE	
PIPE _n BRDYE		パイプ _n のBRDY割り込み許可															
0		割り込み出力禁止															
1		割り込み出力許可															

備考 n = 7 ~ 4, 0

17.3.12 NRDY 割り込み許可レジスタ (NRDYENB)

図 17 - 16 NRDY 割り込み許可レジスタ (NRDYENB) のフォーマット

アドレス : F0638H, F0639H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRDYENB	0	0	0	0	0	0	0	0	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	0	0	0	PIPE0 NRDYE
PIPE _n NRDYE	パイプ _n のNRDY割り込み許可															
0	割り込み出力禁止															
1	割り込み出力許可															

備考 n = 7 ~ 4, 0

17.3.13 BEMP 割り込み許可レジスタ (BEMPENB)

図 17 - 17 BEMP 割り込み許可レジスタ (BEMPENB) のフォーマット

アドレス : F063AH, F063BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BEMPENB	0	0	0	0	0	0	0	0	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	0	0	0	PIPE0 BEMPE
PIPE _n BEMPE	パイプ _n のBEMP割り込み許可															
0	割り込み出力禁止															
1	割り込み出力許可															

備考 n = 7 ~ 4, 0

17.3.14 SOF出力コンフィグレーション・レジスタ (SOFCFG)

図17-18 SOF出力コンフィグレーション・レジスタ (SOFCFG)のフォーマット

アドレス : F063CH, F063DH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOFCFG	0	0	0	0	0	0	0	0	0	BRDY M	0	EDGE STS	0	0	0	0

BRDYM	各パイプのBRDY割り込みステータス・クリア・タイミング設定
0	ソフトウェアがステータスをクリア
1	FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBモジュールがステータスをクリア
各パイプのBRDY割り込みステータスをクリアするタイミングを指定します。	

EDGESTS	エッジ割り込み出力ステータス・モニタ注
0	エッジ割り込み出力信号がエッジ処理中でない
1	エッジ割り込み出力信号がエッジ処理中
エッジ割り込み出力信号がエッジ処理中であるとき“1”を示します。	

注 USBモジュールのクロックを停止する時には、必ず本ビットが“0”であることを確認してください。

17.3.15 割り込みステータス・レジスタ 0 (INTSTS0)

図 17 - 19 割り込みステータス・レジスタ 0 (INTSTS0)のフォーマット

アドレス : F0640H, F0641H リセット時 : 00000000 X0000000B R/W注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBST	DVSQ	DVSQ	DVSQ	VALID	CTSQ	CTSQ	CTSQ
									S	2	1	0		2	1	0

VBINT	VBUS割り込みステータス注2
0	VBUS割り込み非発生注3
1	VBUS割り込み発生
<p>USBモジュールがUVBUS端子入力値の変化 (HighからLowへの変化あるいはLowからHighへの変化)を検出したときに、VBINTビットに“1”を表示します。USBモジュールはUVBus端子の入力値を、VBSTSビットに表示します。VBINT割り込み発生時は、ソフトウェアでVBSTSビット読み出しの回数一致を行い、チャタリング除去を実施してください。</p>	

RESM	レジューム割り込みステータス注2, 4
0	レジューム割り込み非発生注3
1	レジューム割り込み発生
<p>USBモジュールがサスペンド状態 (DVSQ2～DVSQ0ビット=“1xxB”)であり、かつ、DP端子の立ち下りを検出したときに、RESMビットに“1”を表示します。</p>	

SOFR	フレーム番号更新割り込みステータス
0	SOF割り込み非発生注3
1	SOF割り込み発生
<p>フレーム・ナンバーの更新時にUSBモジュールはSOFRビットに“1”を表示します。(フレーム番号更新割り込みは、1msごとに検出します。)</p> <p>USBホストからのSOFパッケージが破損したときでも、内部補間により、USBモジュールはSOFR割り込みを検出します。</p>	

DVST	デバイス・ステート遷移割り込みステータス注4
0	デバイス・ステート遷移割り込み非発生注3
1	デバイス・ステート遷移割り込み発生
<p>USBモジュールがデバイス・ステートの变化を検出したときに、USBモジュールはDVSQ2～DVSQ0の値を更新し、DVSTビットに“1”を表示します。</p> <p>デバイス・ステート遷移割り込みが発生したときには、USBモジュールが次のデバイス・ステート遷移を検出する前に、ステータス・クリアを実施してください。</p>	

CTRT	コントロール転送ステージ遷移割り込みステータス注4
0	コントロール転送ステージ遷移割り込み非発生注3
1	コントロール転送ステージ遷移割り込み発生

USBモジュールがコントロール転送のステージ遷移を検出したときに、USBモジュールはCTS_{Q2}～CTS_{Q0}の値を更新し、CTRTビットに“1”を表示します。

コントロール転送ステージ遷移割り込みが発生したときには、USBモジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータス・クリアを実施してください。

BEMP	バッファ・エンプティ割り込みステータス
0	BEMP割り込み非発生
1	BEMP割り込み発生

BEMP割り込みステータスが表示されます。

BEMPENBレジスタのPIPEBEMPEビットを“1”にしたパイプに対応するBEMPSTSレジスタのPIPEBEMPビットのうち、少なくともひとつが“1”になったとき(ソフトウェアがBEMP割り込み通知を許可したパイプのうち少なくともひとつに対しUSBモジュールがBEMP割り込み状態を検出したときに)、USBモジュールはBEMPビットに“1”を表示します。

PIPEBEMPステータスのアサート条件は、17.4.3.3 BEMP割り込みを参照ください。

ソフトウェアが、PIPEBEMPEビットで許可しているパイプに対応するPIPEBEMPビットすべてに“0”を書くと、USBモジュールはBEMPビットを“0”にします。

ソフトウェアがBEMPビットに対して“0”を書いても、BEMPビットを“0”にすることはできません。

NRDY	バッファ・ノット・レディ割り込みステータス
0	NRDY割り込み非発生
1	NRDY割り込み発生

NRDY割り込みステータスが表示されます。

NRDYENBレジスタのPIPENRDYEビットを“1”にしたパイプに対応するNRDYSTSレジスタのPIPENRDYビットのうち、少なくともひとつが“1”になったとき(ソフトウェアがNRDY割り込み通知を許可したパイプのうち少なくともひとつに対しUSBモジュールがNRDY割り込み状態を検出したときに)、USBモジュールはNRDYビットに“1”を表示します。

PIPENRDYステータスのアサート条件は、17.4.3.2 NRDY割り込みを参照ください。

ソフトウェアが、PIPENRDYEビットで許可しているパイプに対応するPIPENRDYビットのすべてに“0”を書くと、USBモジュールはNRDYビットを“0”にします。

ソフトウェアがNRDYビットに対して“0”を書いても、NRDYビットを“0”にすることはできません。

BRDY	バッファ・レディ割り込みステータス
0	BRDY割り込み非発生
1	BRDY割り込み発生

BRDY割り込みステータスが表示されます。

BRDYENBレジスタのPIPEBRDYEビットを“1”にしたパイプに対応するBRDYSTSレジスタのPIPEnBRDYビットのうち、少なくともひとつが“1”になったとき(ソフトウェアがBRDY割り込み通知を許可したパイプのうち少なくともひとつに対しUSBモジュールがBRDY割り込み状態を検出したとき)に、USBモジュールはBRDYビットに“1”を表示します。

PIPEBRDYステータスのアサート条件は、17.4.3.1 BRDY割り込みを参照ください。

ソフトウェアが、PIPEBRDYEビットで許可しているパイプに対応するPIPEnBRDYビットのすべてに“0”を書くと、USBモジュールはBRDYビットを“0”にします。

ソフトウェアがBRDYビットに対して“0”を書いても、BRDYビットを“0”にすることはできません。

VBSTS	VBUS入カステータス注4
0	UVBUS端子がLow
1	UVBUS端子がHigh

DVSQ2	DVSQ1	DVSQ0	デバイス・ステート
0	0	0	パワードステート
0	0	1	デフォルト・ステート
0	1	0	アドレスステート
0	1	1	コンフィグレーションステート
1	x	x	サスペンドステート

デバイス・ステートを示します。

VALID	USBリクエスト
0	未検出注3
1	セットアップ・パケット受信

USBリクエストの受信状態を示します。

CTSQ2	CTSQ1	CTSQ0	コントロール転送ステージ
0	0	0	アイドルまたはセットアップ・ステージ
0	0	1	コントロール・リード・データ・ステージ
0	1	0	コントロール・リード・ステータス・ステージ
0	1	1	コントロール・ライト・データ・ステージ
1	0	0	コントロール・ライト・ステータス・ステージ
1	0	1	コントロール・ライト (NoData)ステータス・ステージ
1	1	0	コントロール転送シーケンス・エラー
1	1	1	設定しないでください

コントロール転送のシーケンス状態を示します。

- 注1. ビット12～4, 2～0ビットはRead Onlyです。
- 注2. VBINTビット, RESMビットが示すステータス変化をクロック停止中 (SCKE = 0)でも検出し, 対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。
- 注3. VBINTビット, RESMビット, SOFRビット, DVSTビット, CTRTビットまたはVALIDビットをクリアする場合は, クリアしたいビットにのみ“0”を, その他のビットには“1”を書き込んでください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。
- 注4. リセット時の値はUVBUS端子の値に依存します。UVBUS端子がハイ・レベルのとき“1”, ロウ・レベルのとき“0”です。

17.3.16 割り込みステータス・レジスタ1 (INTSTS1)

図17-20 割り込みステータス・レジスタ1 (INTSTS1)のフォーマット

アドレス : F0642H, F0643H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
INTSTS1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	PDDETINT

PDDETINT	USBポート用のPortableDecive検知割り込みステータス注
0	割り込み非発生
1	割り込み発生
USBモジュールがUSBトランシーバのVDPET入力値の変化(ハイ・レベルからロウ・レベルへの変化, あるいはロウ・レベルからハイ・レベルへの変化)を検出したときに, 本ビットに“1”を表示します。USBモジュールはUSBトランシーバのVDPDET入力値を, PDDETSTS0ビットに表示します。 PDDETINT割り込み発生時は, ソフトウェアでPDDETSTS0ビット読み出しの数度一致を行い, チャタリング除去を実施してください。	

注 PDDETINTが示すステータスをクリアする場合は, クリアしたいビットにのみ“0”を, その他のビットには“1”を書き込んでください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

17.3.17 BRDY 割り込みステータス・レジスタ (BRDYSTS)

図 17 - 21 BRDY 割り込みステータス・レジスタ (BRDYSTS) のフォーマット

アドレス : F0646H, F0647H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRDYSTS	0	0	0	0	0	0	0	0	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	0	0	0	PIPE0 BRDY
	PIPEnBRDY		パイプ n の BRDY 割り込みステータス注1													
	0		割り込み非発生注2													
	1		割り込み発生													

注1. SOFCFG レジスタの BRDYM = 0 の場合、BRDY 割り込みのクリアは、必ず FIFO アクセスを行う前に実施してください。

注2. SOFCFG レジスタの BRDYM = 0 の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

備考 n = 7 ~ 4, 0

17.3.18 NRDY 割り込みステータス・レジスタ (NRDYSTS)

図 17 - 22 NRDY 割り込みステータス・レジスタ (NRDYSTS) のフォーマット

アドレス : F0648H, F0649H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRDYSTS	0	0	0	0	0	0	0	0	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	0	0	0	PIPE0 NRDY
PIPE _n NRDY	パイプ _n のNRDY割り込みステータス															
0	割り込み非発生注															
1	割り込み発生															

注 NRDYSTSレジスタの各ビットが示すステータスを“0”にする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

備考 n = 7 ~ 4, 0

17.3.19 BEMP 割り込みステータス・レジスタ (BEMPSTS)

図 17 - 23 BEMP 割り込みステータス・レジスタ (BEMPSTS) のフォーマット

アドレス : F064AH, F064BH リセット時 : 0000H R/W

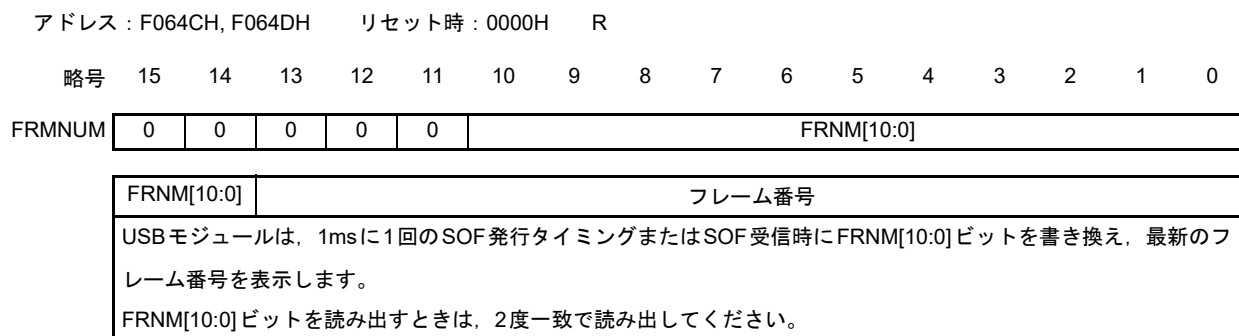
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BEMPSTS	0	0	0	0	0	0	0	0	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	0	0	0	PIPE0 BEMP
PIPE _n BEMP	パイプ _n のBEMP割り込みステータス															
0	割り込み非発生注															
1	割り込み発生															

注 BEMPSTSレジスタの各ビットが示すステータスを“0”にする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

備考 n = 7 ~ 4, 0

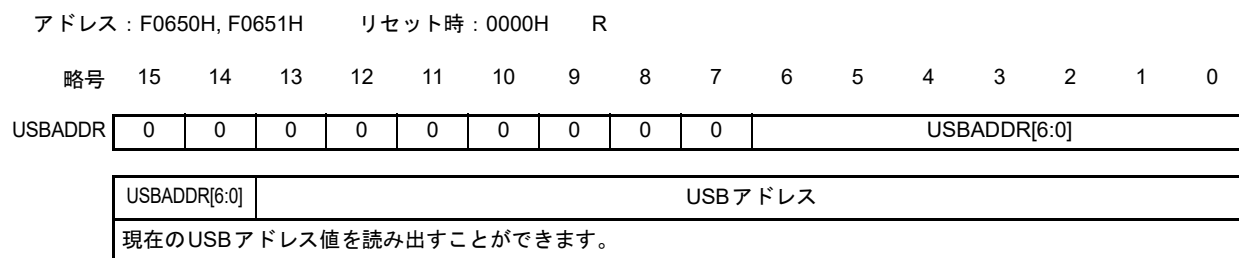
17.3.20 フレーム・ナンバー・レジスタ (FRMNUM)

図 17-24 フレーム・ナンバー・レジスタ (FRMNUM) のフォーマット



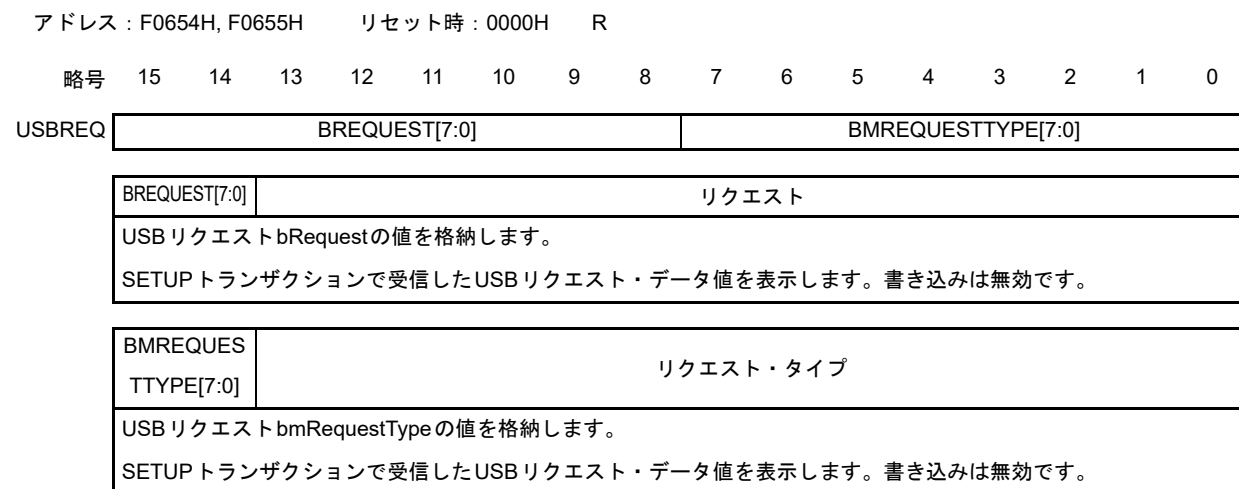
17.3.21 USBアドレス・レジスタ (USBADDR)

図 17-25 USBアドレス・レジスタ (USBADDR) のフォーマット



17.3.22 USBリクエスト・タイプ・レジスタ (USBREQ)

図 17-26 USBリクエスト・タイプ・レジスタ (USBREQ) のフォーマット



17.3.23 USB リクエスト・バリュウ・レジスタ (USBVAL)

図 17 - 27 USB リクエスト・バリュウ・レジスタ (USBVAL) のフォーマット

アドレス : F0656H, F0657H リセット時 : 0000H R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

USBVAL

WVALUE[15:0]

WVALUE[15:0]	バリュウ
USB リクエスト wValue の値を格納します。	
SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。WVALU[15:0] ビットへの書き込みは無効です。	

17.3.24 USB リクエスト・インデックス・レジスタ (USBINDX)

図 17 - 28 USB リクエスト・インデックス・レジスタ (USBINDX) のフォーマット

アドレス : F0658H, F0659H リセット時 : 0000H R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

USBINDX

WINDEX[15:0]

WINDEX[15:0]	インデックス
USB リクエスト wIndex の値を格納します。	
SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します。WINDEX[15:0] ビットへの書き込みは無効です。	

17.3.25 USB リクエスト・レンジス・レジスタ (USBLENG)

図 17 - 29 USB リクエスト・レンジス・レジスタ (USBLENG) のフォーマット

アドレス : F065AH, F065BH リセット時 : 0000H R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

USBLENG

WLENGTH[15:0]

WLENGTH[15:0]	レンジス
USB リクエスト wLength の値を格納します。	
SETUP トランザクションで受信した USB リクエスト wLength の値を表示します。WLENGTH [15:0] ビットへの書き込みは無効です。	

17.3.26 DCPコンフィグレーション・レジスタ (DCPCFG)

図 17 - 30 DCPコンフィグレーション・レジスタ (DCPCFG)のフォーマット

アドレス : F065CH, F065DH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCPCFG	0	0	0	0	0	0	0	0	SHTN AK	0	0	0	0	0	0	0

SHTNAK	トランスファ終了時のパイプ禁止 ^注
0	トランスファ終了時にパイプ継続
1	トランスファ終了時にパイプ禁止
<p>コントロール転送が受信方向の場合に、トランスファ終了時にPIDをNAKに変更するかどうかを指定します。 SHTNAKビットは、受信方向である場合に有効なビットです。 SHTNAKビットを“1”にしている場合、USBモジュールは、トランスファの終了を判定したときにDCPのPIDビットをNAKに変更します。USBモジュールは、以下条件が満たされたときにトランスファ終了と判定します。</p> <ul style="list-style-type: none"> ・ショート・パケット・データ (Zero-Lengthパケットを含む)を正常に受信したとき 	

注 設定の変更は、PID = NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

17.3.27 DCPマックス・パケット・サイズ・レジスタ (DCPMAXP)

図 17 - 31 DCPマックス・パケット・サイズ・レジスタ (DCPMAXP)のフォーマット

アドレス : F065EH, F065FH リセット時 : 0040H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCPMAXP	0	0	0	0	0	0	0	0	0	MXPS[6:0]						

MXPS[6:0]	マックス・パケット・サイズ ^注
<p>DCPの最大データペイロード (マックス・パケット・サイズ)をMXPS[6:0]ビットに設定してください。初期値は、40H (64バイト)です。 MXPSビットの設定は、USB規格に準拠した値を設定してください。 MXPS = 0の設定でのFIFOバッファへの書き込み、またはPID = BUFの設定は行わないでください。</p>	

注 MXPS[6:0]ビットの設定の変更は、PID = NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には、CURPIPEビットへDCPを設定後、BCLR = 1にてバッファ・クリア処理を実施してください。

17.3.28 DCPコントロール・レジスタ (DCPCTR)

図 17 - 32 DCPコントロール・レジスタ (DCPCTR)のフォーマット

アドレス : F0660H, F0661H リセット時 : 0040H R/W^{注1}

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCPCTR	BSTS	0	0	0	0	0	0	SQCLR R	SQSE T	SQMO N	PBUS Y	0	0	CCPL	PID1	PID0

BSTS	バッファ・ステータス
0	バッファ・アクセス不可
1	バッファ・アクセス可
<p>DCP FIFOバッファへのアクセス可否ステータスが表示されます。</p> <p>BSTSビットの意味は、ISELビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • ISEL = 0のとき、受信データの読み出しが可能かどうかを表示 • ISEL = 1のとき、送信データの書き込みが可能かどうかを表示 	

SQCLR	トグル・ビット・クリア ^{注2}
0	無効
1	DATA0指定 ^{注3}
<p>DCPの転送において、次のトランザクションのシーケンス・トグル・ビット値をDATA0に設定することができます。</p> <p>SQCLRビットは常に“0”を表示します。</p> <p>SQCLRビットとSQSETビットを同時に“1”にしないでください。</p>	

SQSET	トグル・ビット・セット ^{注2}
0	無効
1	DATA1指定 ^{注3}
<p>DCPの転送において、次のトランザクションのシーケンス・トグル・ビット値をDATA1に設定することができます。</p> <p>SQCLRビットとSQSETビットを同時に“1”にしないでください。</p>	

SQMON	シーケンス・トグル・ビットモニタ
0	DATA0
1	DATA1
<p>DCPの転送において、次のトランザクションのシーケンス・トグル・ビット値が表示されます。</p> <p>トランザクションが正常処理するとUSBモジュールはSQMONビットをトグルさせます。ただし、受信方向転送時のDATA-PIDミスマッチ発生時には、SQMONビットをトグルさせません。</p> <p>SETUPパケット正常受信時に、USBモジュールはSQMONビットを“1” (期待値をDATA1に設定) にします。</p> <p>ただし、ステータス・ステージのIN/OUTトランザクションではSQMONビットを参照しません。また正常終了してもトグルさせません。</p>	

PBUSY	パイプ・ビジー
0	DCPはトランザクションで未使用
1	DCPはトランザクションで使用

DCPがPIDビットをBUFからNAKに変更した場合に、DCPのトランザクションで使用されなくなったかを表示します。

USBモジュールは、当該パイプのUSBトランザクションを開始したときにPBUSYビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYビットを“1”から“0”に変更します。

ソフトウェアがPID = NAKを設定した後、PBUSYビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は17.4.4.1 パイプ・コントロール・レジスタの切り替え手順を参照してください。

CCPL	コントロール転送終了許可
0	無効
1	コントロール転送終了許可

CCPLビットを“1”にすることによりコントロール転送のステータス・ステージの終了許可を設定します。

対応するPIDビットがBUFのとき、ソフトウェアがCCPLビットを“1”にすると、USBモジュールはコントロール転送のステージを完了させます。

すなわち、コントロール・リード転送時ではUSBホストからのOUTトランザクションに対してACKハンドシェイクを送信し、コントロール・ライトおよびノー・データ・コントロール転送時ではUSBホストからのINトランザクションに対してZero-Lengthパケットを送信します。ただし、SET_ADDRESSリクエスト検出時は、CCPLビットの設定値に関係なくUSBモジュールはSETUPステージからステータス・ステージ完了まで自動応答を行います。

新たなSETUPパケットを受信したときに、USBモジュールはCCPLビットを“1”から“0”に変更します。

VALID = 1のとき、ソフトウェアはCCPLビットへの“1”書き込みを行うことができません。

PID1	PID0	応答PID
0	0	NAK応答
0	1	BUF応答 (バッファ状態に従う)
1	0	STALL応答
1	1	STALL応答

PID1, PID0ビットでコントロール転送におけるUSBモジュールの応答を制御します。

以下の場合に、USBモジュールがPID1, PID0ビットの値を変更します。

- USBモジュールがSETUPパケットを受信したときに、USBモジュールはPID1, PID0ビットをPID = NAKに変更します。このとき、USBモジュールはVALID = 1を表示し、ソフトウェアでVALID = 0にするまでは、ソフトウェアはPID1, PID0ビットを変更できません。
- ソフトウェアがPID1, PID0ビットにBUFを設定しているときに、USBモジュールがMaxPacketSizeを超えるデータを受信した場合、USBモジュールはPID = STALL (11B)を表示します。
- USBモジュールがコントロール転送シーケンス・エラーを検出した場合、PID = STALL (1xB)を表示します。
- USBモジュールがUSBバス・リセットを検出した場合、PID = NAKを表示します。

SET_ADDRESSリクエスト処理 (自動処理) 時には、USBモジュールはPID1, PID0ビットの設定値を参照しません。

注1. ビット15, 6, 5はRead Onlyです。

注2. SQSETビットおよびSQCLRビットへの“1”書き込みは、PID = NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注3. 読むと“0”が読めます。“1”を書くことのみ有効です。

17.3.29 パイプ・ウィンドウ選択レジスタ (PIPESEL)

図17-33 パイプ・ウィンドウ選択レジスタ (PIPESEL) のフォーマット

アドレス : F0664H, F0665H リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PIPESEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
																PIPES EL3	PIPES EL2	PIPES EL1	PIPES EL0

PIPESEL3	PIPESEL2	PIPESEL1	PIPESEL0	パイプ・ウィンドウ選択
0	0	0	0	未選択
0	1	0	0	パイプ4
0	1	0	1	パイプ5
0	1	1	0	パイプ6
0	1	1	1	パイプ7
上記以外				設定しないでください
書き込み/読み出しを対象とするPIPECFGレジスタ, PIPEBUFレジスタ, PIPEMAXPレジスタに対応するパイプ番号を指定します。				
PIPESEL3~PIPESEL0ビットで指定したパイプ番号に対応するPIPECFG, PIPEMAXPレジスタの読み出し/書き込みができます。				
PIPESEL3~PIPESEL0ビットを"0000B"にしたときは, PIPECFGレジスタ, PIPEMAXPレジスタの各ビットは, すべて"0"が読めます。書き込みは無効です。				

注意 PIPESELレジスタにて使用するパイプを設定した後, PIPECFG, PIPEMAXPレジスタに各パイプの機能設定を行います。なお, PIPEnCTR, PIPnTRE, およびPIPnTRNレジスタは, PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

17.3.30 パイプ・コンフィグレーション・レジスタ (PIPECFG)

図 17 - 34 パイプ・コンフィグレーション・レジスタ (PIPECFG) のフォーマット

アドレス : F0668H, F0669H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPECFG	TYPE 1	TYPE 0	0	0	0	BFRE	DBLB	0	SHTN AK	0	0	DIR	EPNUM[3:0]			

TYPE1	TYPE0	転送タイプ注1
パイプ4, 5の場合		
0	0	パイプを不使用
0	1	バルク転送
1	0	設定しないでください
1	1	設定しないでください
パイプ6, 7の場合		
0	0	パイプ不使用
0	1	設定しないでください
1	0	インタラプト転送
1	1	設定しないでください
PIPESEL3～PIPESEL0ビットに指定したパイプ(選択パイプ)の転送タイプを指定します。 選択パイプをPID = BUFに設定する(選択したパイプを使用したUSB通信を開始する)前に、必ずTYPE1～TYPE0ビットを“00B”以外の値に設定してください。		

BFRE	BRDY 割り込み動作指定注2, 3
0	データ送受信でBRDY割り込み
1	データ読み出し完了時にBRDY割り込み
USBモジュールからCPUへの選択パイプに関するBRDY割り込みの発行タイミングを指定します。 ソフトウェアがBFREビットを“1”にし、かつ選択パイプを受信方向で使用している場合、USBモジュールは、トランスファの終了を検出し、そのパケットを読み出し終えたときにBRDY割り込みを発行します。 この設定でBRDY割り込みが発生したときには、ソフトウェアはBCLRビットに“1”を書く必要があります。BCLRビットに“1”を書くまでは選択パイプに割り付けられたFIFOバッファは受信可能状態になりません。 ソフトウェアがBFREビットを“1”にし、かつ、選択パイプを送信方向で使用している場合、USBモジュールはBRDY割り込みを発生させません。 詳細は、17.4.3.1 BRDY 割り込みを参照してください。	

DBLB	ダブル・バッファモード注2, 3
0	シングル・バッファ
1	ダブル・バッファ
選択パイプが使用するFIFOバッファがシングル・バッファかダブル・バッファかを指定します。 DBLBビットはパイプ4, 5選択時に有効です。	

SHTNAK	トランスファ終了時のパイプ禁止注1
0	トランスファ終了時にパイプ継続
1	トランスファ終了時にパイプ禁止

選択パイプが受信方向の場合に、トランスファ終了時にPIDをNAKに変更するかどうかを指定します。

SHTNAKビットは、選択パイプがパイプ4、5であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアがSHTNAKビットを“1”にしている場合、USBモジュールは、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応するPIDビットをNAKに変更します。USBモジュールは、以下条件が満たされたときにトランスファ終了と判定します。

- ・ショート・パケット・データ (Zero-Lengthパケットを含む) を正常に受信したとき
- ・トランザクション・カウンタを使用し、トランザクション・カウンタ分のパケットを正常受信したとき

DIR	転送方向指定注2,3
0	受信方向
1	送信方向

選択パイプの転送方向を指定します。

ソフトウェアがDIRビットを“0”にしている場合、USBモジュールは選択パイプを受信方向に、DIRビットを“1”にしている場合、USBモジュールは選択パイプを送信方向に使用します。

EPNUM[3:0]	エンド・ポイント番号注1
<p>選択パイプのエンド・ポイント番号を指定します。</p> <p>“0000B”の設定は、未使用パイプを意味します。</p> <p>DIRビットとEPNUMビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください。(EPNUM = 0000Bの設定は重複可能です。)</p>	

- 注1. TYPE1～TYPE0ビット、SHTNAKビットおよびEPNUMビットの設定の変更は、PID = NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
- 注2. BFREビット、DBLBビットおよびDIRビットの設定の変更は、PID = NAKおよびCURPIPE3～CURPIPE0ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
- 注3. 選択パイプを使用したUSB通信を行った後、BFREビット、DBLBビットおよびDIRビットの設定を変更する場合には、注2の注意事項の状態に加え、ソフトウェアでACLRM = 1、ACLRM = 0を連続して書き込み、選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

17.3.31 パイプ・マックス・パケット・サイズ・レジスタ (PIPEMAXP)

図17-35 パイプ・マックス・パケット・サイズ・レジスタ (PIPEMAXP) のフォーマット

アドレス : F066CH, F066DH リセット時 : 0000H/ 0040H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEMAXP	0	0	0	0	0	0	0	MXPS[8:0]								

MXPS[8:0]	マックス・パケット・サイズ注
<p>選択パイプの最大データペイロード (マックス・パケット・サイズ) を指定します。</p> <p>パイプごとに設定可能な値の範囲を以下に示します。</p> <p>パイプ4, 5 : 8バイト (008H), 16バイト (010H), 32バイト (020H), 64バイト (040H) ([8:7]ビットおよび[2:0]のビットはありません)</p> <p>パイプ6, 7 : 1バイト (001H)~64バイト (040H) ([8:7]ビットのビットはありません)</p> <p>MXPSビットの設定は、転送タイプごとにUSB規格に準拠した値を設定してください。MXPSビットが“0”のとき、FIFOバッファへの書き込み、またはPID = BUFの設定は行わないでください。</p>	

注 MXPSビットの設定の変更は、PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注意 PIPEMAXPレジスタのリセット時の値は、PIPESELレジスタのPIPESEL3~PIPESEL0ビットでパイプを選択していないときと、パイプを選択しているときで異なります。

パイプを選択していないときのリセット時の値は“0000H”です。パイプを選択しているときのリセット時の値は“0040H”です。

17.3.32 パイプnコントロール・レジスタ (PIPEnCTR) (n = 4~7)

図 17 - 36 パイプnコントロール・レジスタ (PIPEnCTR) (n = 4, 5)のフォーマット

アドレス : F0676H, F0677H (PIPE4CTR), F0678H, F0679H (PIPE5CTR) リセット時 : 0000H R/W注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEnCTR	BSTS	INBUF M	0	0	0	ATRE PM	ACLR M	SQCL R	SQSE T	SQMO N	PBUS Y	0	0	0	PID1	PID0

BSTS	バッファ・ステータス
0	CPUからのバッファ・アクセス不可
1	CPUからのバッファ・アクセス可

当該パイプのFIFOバッファ・ステータスが表示されます。
BSTSビットの意味は、DIR、BFREおよびDCLRMビットの設定値により表 17 - 8に示すように異なります。

INBUFM	送信バッファ・モニタ
0	バッファ・メモリに送信可能データなし
1	バッファ・メモリに送信可能データあり

当該パイプが送信方向の場合に、当該パイプのFIFOバッファ・ステータスが表示されます。
当該パイプを送信方向 (DIR = 1)に設定している場合に、ソフトウェア (またはDTC)が少なくとも1面分のデータをFIFOバッファに書き込み完了したときに、USBモジュールはINBUFMビットに“1”を表示します。
書き込みが完了している面のFIFOバッファ上のデータをUSBモジュールがすべて送信完了したときに、USBモジュールはINBUFMビットに“0”を表示します。
ダブル・バッファ使用時 (DBLB = 1設定時)には、USBモジュールが2面分のデータを送信完了しかつソフトウェア (またはDTC)が1面分のデータ書き込みを完了していないときに、INBUFMビットに“0”を表示します。
当該パイプを受信方向 (DIR = 0)に設定している場合には、INBUFMビットはBSTSビットと同じ値を示します。

ATREPM	自動応答モード注2
0	自動応答禁止
1	自動応答許可

当該パイプの自動応答禁止/許可を指定します。
当該パイプの転送タイプをバルクに設定している場合、ATREPMビットを“1”にすることが可能です。
ATREPMビットを“1”にした場合、USBホストからのトークンに対しUSBモジュールは以下のように応答します。
[当該パイプがバルク IN転送 (TYPEビット = “01B”かつDIR = 1を設定)の場合]
ATREPM = 1かつPID = BUFにしている場合、INトークンに対してUSBモジュールはZero-Lengthパケットを送信します。
USBホストからのACK受信の度に (1トランザクションはINトークン受信→Zero Lengthパケット送信→ACK受信、USBモジュールはシーケンス・トグル・ビット (DATA-PID)の更新 (トグル)を行います。
BRDY割り込み、BEMP割り込みは発生させません。
[当該パイプがバルク OUT転送 (TYPEビット = “01B”かつDIR = 0を設定)の場合]
ATREPM = 1かつPID = BUFにしている場合、OUTトークンに対してUSBモジュールはNAK応答を行い、NRDY割り込みを発生させます。
ATREPMビットを“1”にしてUSB通信を行う場合、FIFOバッファは必ず空の状態を設定を行ってください。
ATREPMビットを“1”にしてUSB通信を行っている期間はFIFOバッファへの書き込みを行わないでください。

ACLRM	自動バッファ・クリア・モード注3
0	禁止
1	許可 (全バッファ初期化)
<p>当該パイプの自動バッファ・クリア・モードの禁止/許可を指定します。</p> <p>当該パイプに割り付けたFIFOバッファの内容をすべて削除したい場合に、ACLRMビットに“1”，“0”を連続して書いてください。</p> <p>ACLRMビットに“1”，“0”を連続して設定した場合にUSBモジュールがクリアする内容と、当該項目のクリアが必要なケースについて表17-9に示します。</p>	
SQCLR	トグル・ビット・クリア注2
0	無効
1	DATA0指定注3
<p>当該パイプの次回トランザクションにおけるシーケンス・トグル・ビット値をDATA0にクリアするときに“1”を指定します。</p> <p>ソフトウェアがSQCLRビットを“1”にするとUSBモジュールは当該パイプのシーケンス・トグル・ビットの期待値をDATA0に設定します。USBモジュールは、常にSQCLRビットに“0”を表示します。</p>	
SQSET	トグル・ビット・セット注2
0	無効
1	DATA1指定注3
<p>当該パイプの次回トランザクションにおけるシーケンス・トグル・ビット値をDATA1にセットするときに“1”を指定します。</p> <p>ソフトウェアがSQSETビットを“1”にするとUSBモジュールは当該パイプのシーケンス・トグル・ビットの期待値をDATA1に設定します。USBモジュールは、常にSQSETビットに“0”を表示します。</p>	
SQMON	トグル・ビット・モニタ
0	DATA0
1	DATA1
<p>当該パイプの次回トランザクションにおけるシーケンス・トグル・ビット値が表示されます。</p> <p>当該パイプのトランザクションが正常処理するとUSBモジュールはSQMONビットをトグルさせます。ただし、受信方向転送時のDATA-PID ミスマッチ発生時には、SQMONビットをトグルさせません。</p>	
PBUSY	パイプ・ビジー
0	当該パイプはトランザクションで未使用
1	当該パイプはトランザクションで使用
<p>当該パイプを現在トランザクションで使用しているかどうかが表示されます。</p> <p>USBモジュールは、当該パイプのUSBトランザクションを開始したときにPBUSYビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYビットを“1”から“0”に変更します。</p> <p>ソフトウェアがPID = NAKを設定した後、PBUSYビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p> <p>詳細は17.4.4.1 パイプ・コントロール・レジスタの切り替え手順を参照してください。</p>	

PID1	PID0	応答PID
0	0	NAK応答
0	1	BUF 応答 (バッファ状態に従う)
1	0	STALL 応答
1	1	STALL 応答

当該パイプの次回トランザクションにおける応答方法を指定します。

PID1, PID0 ビットの初期値はNAKです。当該パイプでUSB転送を行う場合にはPID1, PID0 ビットをBUFに変更してください。PID ビット設定値ごとの基本動作 (通信パケットにエラーがない場合の動作) は表 17 - 10のとおりです。当該パイプがUSB通信中であるときに、ソフトウェアでPID1, PID0 ビットをBUFからNAKに変更する場合、NAKを書いた後、実際に当該パイプのUSB転送がNAK状態に移移したことを確認するためにPBUSY = 1であることを確認してください。

以下の場合にはUSBモジュールがPID1, PID0 ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアが選択パイプのSHTNAKビットを“1”にしている場合、USBモジュールがトランスファ終了を認識したときに、PID = NAKを表示します。
- 当該パイプに対し、MaxPacketSizeを超えるペイロードのデータ・パケットを受信した場合、USBモジュールはPID = STALL (11B)を表示します。
- USBバス・リセットを検出した場合、USBモジュールはPID = NAKを表示します。

PID1, PID0 ビットの設定は以下の手順で行ってください。

- NAK (00B)状態からSTALL状態にする場合には、“10B”を書き込んでください。
- BUF (01B)状態からSTALL状態にする場合には、“11B”を書き込んでください。
- STALL (11B)からNAK状態にする場合には、一度“10B”を書き込んでから“00B”を書き込んでください。
- STALL状態からBUF状態にする場合には、一度NAK状態に変更し、その後、BUF状態にしてください。

注1. ビット 15, 14, 6, 5はRead Onlyです。

注2. ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID = NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

注4. “0”読み出し、“1”書き込みのみ有効です。

表 17 - 8 BSTS ビットの動作

DIR ビット	BFRE ビット	BFRE ビット	BSTS ビットの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了したときに“0”を表示します。
		1	この組み合わせは設定禁止です。
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了した後でソフトウェアがBCLR = 1を書き込んだときに“0”を表示します
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了したときに“0”を表示します。
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”を表示し、データの書き込みが完了したときに“0”を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

表 17 - 9 ACLRM = 1 設定時に USB モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容 (ダブル・バッファ設定時はFIFOバッファを2面ともクリア)	
2	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
3	FIFOバッファ・トグル制御	DBLB ビットの設定値変更時
4	トランザクション・カウントに関する内部フラグ	トランザクション・カウント機能の強制終了実行時

表 17 - 10 PID ビットによる USB モジュールの動作一覧

PID ビット (PID1, PID0)	転送タイプ	転送方向 (DIR ビット)	USB モジュールの動作
00 (NAK)	バルク, または インタラプト	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う ただし, ATREPM = 1 のときの動作は ATREPM ビットの説明を 参照してください
01 (BUF)	バルク	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し, 当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答 を行う。受信可能な状態でなければ NAK 応答を行う
	インタラプト	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し, 当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答 を行う。受信可能な状態でなければ NAK 応答を行う
	バルク, または インタラプト	送信方向 (DIR = 1)	対応する FIFO バッファが送信可能な状態ならば USB ホストから のトークンに対しデータを送信する。送信可能でなければ NAK 応答を行う
10 (STALL) または 11 (STALL)	バルク, または インタラプト	設定値に依存しない	USB ホストからのトークンに STALL 応答を行う

図17-37 パイプnコントロール・レジスタ (PIPEnCTR) (n = 6, 7)のフォーマット

アドレス : F067AH, F067BH (PIPE6CTR), F067CH, F067DH (PIPE7CTR) リセット時 : 0000H R/W

	略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEnCTR	BSTS	0	0	0	0	0	0	ACL M	SQCL R	SQSE T	SQMO N	PBUS Y	0	0	0	PID1	PID0

BSTS	バッファ・ステータス
0	CPU からのバッファ・アクセス不可
1	CPU からのバッファ・アクセス可
当該パイプのFIFOバッファ・ステータスが表示されます。	
BSTSビットの意味は、DIR、BFREおよびDCLRMビットの設定値により表17-8に示すように異なります。	

ACLRM	自動バッファ・クリア・モード注1
0	自動バッファ・クリア・モード禁止
1	自動バッファ・クリア・モード許可 (全バッファ初期化)
当該パイプの自動バッファ・クリア・モードの禁止/許可を指定します。	
当該パイプに割り付けたFIFOバッファの内容をすべて削除したい場合に、ACLRMビットに“1”、“0”を連続して書いてください。	
ACLRMビットに“1”、“0”を連続して設定した場合にUSBモジュールがクリアする内容と、当該項目のクリアが必要なケースについて表17-11に示します。	

SQCLR	トグル・ビット・クリア注2
0	無効
1	DATA0 指定注3
当該パイプの次回トランザクションにおけるシーケンス・トグル・ビットの期待値をDATA0にクリアするときに“1”を指定します。	
ソフトウェアがSQCLRビットを“1”にするとUSBモジュールは当該パイプのシーケンス・トグル・ビットの期待値をDATA0に設定します。USBモジュールは、常にSQCLRビットに“0”を表示します。	

SQSET	トグル・ビット・セット注2
0	無効
1	DATA1 指定注3
当該パイプの次回トランザクションにおけるシーケンス・トグル・ビットの期待値をDATA1にセットするときに“1”を指定します。	
ソフトウェアがSQSETビットを“1”にするとUSBモジュールは当該パイプのシーケンス・トグル・ビットの期待値をDATA1に設定します。USBモジュールは、常にSQSETビットに“0”を表示します。	

SQMON	トグル・ビット・モニタ
0	DATA0
1	DATA1
当該パイプの次回トランザクションにおけるシーケンス・トグル・ビット値が表示されます。	
該当パイプのトランザクションが正常処理するとUSBモジュールはSQMONビットをトグルさせます。ただし、受信方向転送時のDATA-PID mismatch発生時には、SQMONビットをトグルさせません。	

PBUSY	パイプ・ビジー
0	当該パイプは トランザクションで未使用
1	当該パイプは トランザクションで使用

当該パイプを現在トランザクションで使用しているかどうかが表示されます。

USBモジュールは、当該パイプのUSBトランザクションを開始したときにPBUSYビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYビットを“1”から“0”に変更します。

ソフトウェアがPID = NAKを設定した後、PBUSYビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。詳細は、17.4.4.1 パイプ・コントロール・レジスタの切り替え手順を参照してください。

PID1	PID0	応答PID
0	0	NAK応答
0	1	BUF 応答 (バッファ状態に従う)
1	0	STALL 応答
1	1	STALL 応答

当該パイプの次回トランザクションにおける応答方法を指定します。

PID1, PID0ビットの初期値はNAKです。当該パイプでUSB転送を行う場合にはPID1, PID0ビットをBUFに変更してください。PIDビットの設定値ごとの基本動作 (通信パケットにエラーがない場合の動作)は表 17 - 10のとおりです。

当該パイプがUSB通信中であるときに、ソフトウェアでPID1, PID0ビットをBUFからNAKに変更する場合、NAKを書き込んだ後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSY = 1であることを確認してください。

以下の場合にはUSBモジュールがPID1, PID0ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアが選択パイプのSHTNAKビットを“1”にしている場合、USBモジュールがトランスファ終了を認識したときに、PID = NAKを表示します。
- 当該パイプに対し、MaxPacketSizeを超えるペイロードのデータ・パケットを受信した場合、USBモジュールはPID = STALL (11B)を表示します。
- USBバス・リセットを検出した場合、USBモジュールはPID = NAKを表示します。

PID1, PID0ビットの設定は以下の手順で行ってください。

- NAK (00B)状態からSTALL状態にする場合には、“10B”を書き込んでください。
- BUF (01B)状態からSTALL状態にする場合には、“11B”を書き込んでください。
- STALL (11B)からNAK状態にする場合には、一度“10B”を書き込んでから“00B”を書き込んでください。
- STALL状態からBUF状態にする場合には、一度NAK状態に変更し、その後、BUF状態にしてください。

- 注1. ACLRMビットの設定の変更は、PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
- 注2. SQCLRビットまたはSQSETビットへの“1”書き込みは、PID = NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定する場合には、PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
- 注3. “0”読み出し、“1”書き込みのみ有効です。

表 17 - 11 ACLRM = 1 設定時にUSBモジュールがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	
2	BFREビットに関する内部フラグ	BFREビットの設定値変更時
3	トランザクション・カウントに関する内部フラグ	トランザクション・カウント機能の強制終了実行時

17.3.33 パイプnトランザクション・カウンタ・イネーブル・レジスタ (PIPEnTRE) (n = 4, 5)

図17-38 パイプnトランザクション・カウンタ・イネーブル・レジスタ (PIPEnTRE) (n = 4, 5)のフォーマット

アドレス : F069CH, F069DH (PIPE4TRE), F06A0H, F06A1H (PIPE5TRE) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEnTRE	0	0	0	0	0	0	TREN B	TRCL R	0	0	0	0	0	0	0	0

TREN B	トランザクション・カウンタ許可
0	トランザクション・カウンタ機能無効
1	トランザクション・カウンタ機能有効
<p>トランザクション・カウンタ無効/有効を指定します。</p> <p>受信パイプに対して、ソフトウェアでTRNCNTビットに総パケット数を設定した後でTREN Bビットを“1”にすると、USBモジュールはTRNCNTビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。</p> <ul style="list-style-type: none"> • SHTNAK = 1のとき、TRNCNTビットの設定値と同数のパケット受信を終了時点で対応するパイプのPIDビットをNAKに変更します。 • BFRE = 1のとき、TRNCNTビットの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY割り込みをアサートします <p>送信パイプについては、TREN Bビットを“0”にしてください。</p> <p>トランザクション・カウンタ機能を使用しない場合は、TREN Bビットに“0”を設定してください。</p> <p>トランザクション・カウンタ機能を使用する場合、TREN Bビットを“1”にする前にTRNCNTビットの設定を行ってください。また、トランザクション・カウンタの対象となる最初のパケットを受信する前にTREN Bビットを“1”にしてください。</p>	

TRCLR	トランザクション・カウンタクリア
0	無効
1	カレント・カウンタ・クリア
<p>当該パイプに対応するトランザクション・カウンタの現在のカウンタ値をクリアし、TRCLRビットに“0”を表示します。</p>	

注意 PIPEnTRE レジスタの各ビットの変更は、CSSTS = 1, PID = NAK 時に実施してください。対応するパイプのPIDビットをBUFからNAKへ変更したあとで各ビットの設定値を変更する場合には、PBUSY = 0を確認してから各ビットを変更してください。ただし、USBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

17.3.34 パイプnトランザクション・カウンタ・レジスタ (PIPE_nTRN) (n = 4, 5)

図 17 - 39 パイプnトランザクション・カウンタ・レジスタ (PIPE_nTRN) (n = 4, 5)のフォーマット

アドレス : F069EH, F069FH (PIPE4TRN), F06A2H, F06A3H (PIPE5TRN) リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PIPE _n TRN	TRNCNT[15:0]
-----------------------	--------------

TRNCNT[15:0]	トランザクション・カウンタ
[レジスタ書き込み時]	
DTC転送のトランザクション回数を設定します。	
[レジスタ読み出し時]	
TREN _B = 0の場合は、設定したトランザクション回数が表示されます。	
TREN _B = 1の場合は、カウント中のトランザクション回数が表示されます。	
USBモジュールは、受信時の状態が以下のすべてを満たしたときにTRNCNTビットを“1”インクリメントします。	
<ul style="list-style-type: none"> • TREN_B = 1である • パケット受信時に (TRNCNT 設定値 ≠ 現在のカウンタ値 + 1) である • 受信したパケットのペイロードがMXPSビットへの設定値と一致した 	
USBモジュールは、以下のいずれかの条件が満たされたときにTRNCNTビットの表示を“0”にします。	
(1) 以下の条件がすべて満たされたとき	
<ul style="list-style-type: none"> • TREN_B = 1である • パケット受信時に (TRNCNT 設定値 = 現在のカウンタ値 + 1) である • 受信したパケットのペイロードがMXPSビットへの設定値と一致した 	
(2) 以下条件がすべて満たされたとき	
<ul style="list-style-type: none"> • TREN_B = 1である • ショート・パケットを受信した 	
(3) 以下の条件がすべて満たされたとき	
<ul style="list-style-type: none"> • TREN_B = 1である • ソフトウェアがTRCLRビットを“1”にした 	
送信パイプについては、TRNCNTビットを“0”にしてください。	
トランザクション・カウンタ機能を使用しない場合は、TRNCNTビットを“0”にしてください。	
TRNCNTビットのトランザクション回数の設定は、PIPE _n TREレジスタのTREN _B が“0”のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始 (TREN _B = 1)前に	
PIPE _n TREレジスタのTRCLRビットに“1”書き込み (カレント・カウンタ値のクリア)を行ってください。	

17.3.35 BCコントロール・レジスタ0 (USBBCCTRL0)

図 17 - 40 BCコントロール・レジスタ0 (USBBCCTRL0)のフォーマット

アドレス : F06B0H, F06B1H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
USBBCCTRL0	0	0	0	0	0	0	0	PDDET STS0	CHGDE TSTS0	BATC HGE0	0	VDMS RCE0	IDPSI NKE0	VDPS RCE0	IDMSI NKE0	IDPSR CE0	RPDM E0

PDDETSTS0	UDP端子VDP_SRC (0.6 V)入力検知フラグ
0	未検知
1	検知
<p>接続先からUDP端子にVDP_SRC (0.6 V)が印加されたことを検知します。 (UDPへの印加電圧がVDAT_REF ~ VIH (UDP)の範囲内であることを検知します。)</p> <p>本ビットの検知を使用する場合はSYSCFGレジスタのCNENビット(ビット8)を1にセットし、USBポートのシングル・エンド・レシーバを許可にしてください。 IDPSINKE0 = 1のときに有効です。</p>	

CHGDETSTS0	UDM端子VDM_SRC (0.6 V)入力検知フラグ
0	未検知
1	検知
<p>接続先からUDM端子にVDM_SRC (0.6 V)が印加されたことを検知します。 (UDMへの印加電圧がVDAT_REF ~ VIH (UDM)の範囲内であることを検知します。)</p> <p>本ビットの検知を使用する場合はSYSCFGレジスタのCNENビット(ビット8)を1にセットし、USBポートのシングル・エンド・レシーバを許可にしてください。 IDMSINKE0 = 1のときに有効です。</p>	

BATCHGE0	USBポート BC接続検知動作許可
0	動作禁止
1	動作許可
<p>本ビットの許可設定により、VDPSRCE0, VDMSRCE0, IDPSINKE0, IDMSINKE0, IDPSRCE0の各ビット設定が有効となり、USBポートでのBC接続検知動作が可能となります。</p>	

VDMSRCE0	UDM端子VDM_SRC (0.6V)出力制御
0	VDM_SRC回路Disable
1	VDM_SRC回路Enable (0.6V出力)
<p>VDM_SRC出力を制御します。</p>	

IDPSINKE0	UDP端子VDP_SRC (0.6 V)入力検知 (コンパレータ & シンク)制御
0	UDP端子0.6 V入力検知Disable
1	UDP端子0.6 V入力検知Enable
<p>UDP端子の0.6 V入力検知回路(コンパレータ)と検知で使用するIDP_SINK (シンク電流)を制御します。</p>	

VDP_SRC_E0	UDP 端子 VDP_SRC (0.6 V) 出力制御
0	VDP_SRC 出力 Disable
1	VDP_SRC 出力 Enable (0.6V 出力)
VDP_SRC 出力を制御します。	

IDM_SINK_E0	UDM 端子 VDM_SRC (0.6 V) 入力検知 (コンパレータ & シンク) 制御
0	UDM 端子 0.6 V 入力検知 Disable
1	UDM 端子 0.6 V 入力検知 Enable
UDM 端子の 0.6 V 入力検知回路 (コンパレータ) と検知で使用する IDM_SINK (シンク電流) を制御します。	

IDP_SRC_E0	UDP 端子 IDP_SRC (10 μ A) 出力制御
0	IDP_SRC 出力 Disable
1	IDP_SRC 出力 Enable (10 μ A 出力)
IDP_SRC 出力を制御します。	

RPDME0	UDM ブルダウン制御
0	ブルダウン OFF
1	ブルダウン ON
本ビットによって UDM 端子のみをブルダウン (RPD) することができます。	

17.3.36 BCオプション・コントロール・レジスタ0 (USBBCOPT0)

図17-41 BCオプション・コントロール・レジスタ0 (USBBCOPT0)のフォーマット

アドレス : F06B8H, F06B9H リセット時 : 0000H R/W注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBBCOPT0	0	0	0	0	0	0	DMCU SDET0	DPCU SDET0	0	CUSD ETE0	0	0	VDSE L03	VDSE L02	VDSE L01	VDSE L00

DMCUSDET0 注2	UDM電圧検知(オプションBC)	
0	UDM端子電圧がVDSEL0xビットで選択された比較電圧未満	
1	UDM端子電圧がVDSEL0xビットで選択された比較電圧超過	

DPCUSDET0 注2	UDP電圧検知(オプションBC)	
0	UDP端子電圧がVDSEL0xビットで選択された比較電圧未満	
1	UDP端子電圧がVDSEL0xビットで選択された比較電圧超過	

CUSDETE0	オプション電圧検知回路制御(オプションBC)	
0	禁止	
1	許可	

VDSEL03~ VDSEL00	UDP/UDM端子オプション比較電圧選択(オプションBC)	
UDP/UDM端子の比較電圧値を選択する(備考参照)		

注1. ビット9,8はRead Onlyです。

注2. CUSDETE0 = 1のとき, 有効です。

備考 UVBUS = 5.0 V時のUDP/UDM端子のオプションBC検知回路の比較電圧値を以下に示します。下記の電圧は、UVBUS入力電圧に比例して変動します。

VDSEL03	VDSEL02	VDSEL01	VDSEL00	比較電圧 (V) (CUSDETE0 = 1のときに有効)	
				UDP	UDM
0	0	0	0	1.60	
0	0	0	1	1.70	
0	0	1	0	1.85	
0	0	1	1	2.00	
0	1	0	0	2.15	
0	1	0	1	2.30	
0	1	1	0	2.45	
0	1	1	1	2.60	
1	0	0	0	2.80	
1	0	0	1	3.00	
1	0	1	0	3.20	
1	0	1	1	3.40	
1	1	0	0	3.60	
1	1	0	1	3.80	
1	1	1	0	4.00	
1	1	1	1	4.20	

17.3.37 USBクロック選択レジスタ (UCKSEL)

図17 - 42 USBクロック選択レジスタ (UCKSEL)のフォーマット

アドレス : F06C4H, F06C5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
UCKSEL	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	UCKSEL

UCKSEL	USBクロック選択
0	USBクロックに高速オンチップ・オシレータ・クロック (fHOCO) を選択しない
1	USBクロックに高速オンチップ・オシレータ・クロック (fHOCO) を選択する

- 注意1. USBクロックに高速オンチップ・オシレータ・クロック (fHOCO) を選択する場合は、UCKSEL = 1 とともに、MCKCレジスタのCKSELRビットに“0”を設定してください。
- 注意2. USBクロック選択レジスタの書き換えはUSBディスコネク時のみ可能です。
- 注意3. TA = -20 ~ +85°C の場合のみ高速オンチップ・オシレータ・クロックを選択可能です。
- 注意4. USBクロックに高速オンチップ・オシレータ・クロックを選択した場合、サスペンド時は高速オンチップ・オシレータ・クロックを選択した (UCKSEL = 1) のまま、USBサスペンド処理を実施してください。
- 注意5. USBクロックに高速オンチップ・オシレータ・クロックを選択した場合、ディスコネク時はUSB停止処理 (DPRPU = 0の処理を含む)後、UCKSEL = “0”にしてください。

17.3.38 USBモジュール制御レジスタ(USBMC)

図17-43 USBモジュール制御レジスタ(USBMC)のフォーマット

アドレス : F06CCH, F06CDH リセット時 : 0002H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBMC	0	0	0	0	0	0	0	0	VBRP DCUT	0	0	0	0	0	PXXC ON	VDDU SBE
VBRPDCUT 注1	UVBUS端子プルダウン抵抗制御															
0	プルダウン抵抗有効															
1	プルダウン抵抗無効															
PXXCON注2	USB電源制御ビット1															
0	VDDUSBEビット無効															
1	VDDUSBEビット有効															
VDDUSBE 注3	USB電源制御ビット0															
0	USB電源停止															
1	USB電源3.3V供給															

注1. UVBUS端子に正電圧が印加されている場合、VBRPDCUT = 1 (プルダウン抵抗無効)にすることで入力リーク電流を抑えることができます。

注2. USB機能を使用する場合は、PXXCON = 1にしてください。

注3. PXXCONが1 (VDDUSBEビット有効)のとき、有効です。

VDDUSBE = 1のとき、UDP/UDM端子はUSB電源の3.3Vをハイ・レベルとして動作し、UREGC端子は3.3Vを出力します。

17.4 動作説明

17.4.1 システム制御

USB モジュールの初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

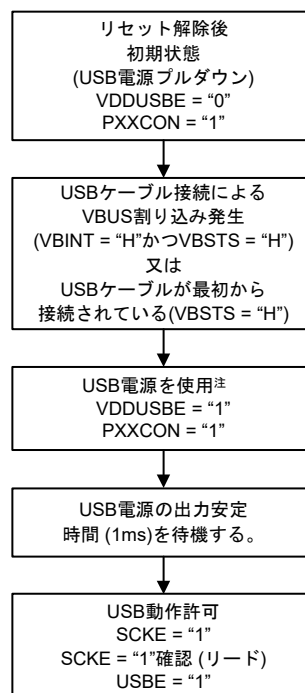
17.4.1.1 動作開始

USBモジュールへのクロック供給が開始された (SYSCFG レジスタの SCKE ビット = "1") 状態で, SYSCFG レジスタの USBE ビットを "1" にすることにより, USBモジュールは動作を開始します。

内蔵する USB 電源を使用するため, UREGC 端子に外付け 0.33 μ F の安定化容量 (対 VSS) を接続する必要があります。また, USB 電源の使用と同時に温度センサや内部基準電圧を使用した A/D 変換を動作させることはできません。

図 17 - 44 に USB 電源投入フローを示します。

図 17 - 44 USB 電源投入フロー



注 USB 電源使用時は温度センサや内部基準電圧を使用した A/D 変換を動作させることはできません。

17.4.1.2 USBデータ・バス抵抗制御

USBモジュールは、D+、D-のプルアップ抵抗を内蔵しています。SYSCFGレジスタのDPRPUビットの設定によりプルアップを設定してください。

USBホストへの接続を認識した後で、SYSCFGレジスタのDPRPUビットを"1"に設定し、D+(フル・スピード時)／D-(ロウ・スピード時)をプルアップしてください。

また、PCと通信中にSYSCFGレジスタのDPRPUビットに"0"を設定した場合は、USBデータ・ラインのプルアップ抵抗をディセーブルにしますので、USBホストにデバイス切断を通知することができます。

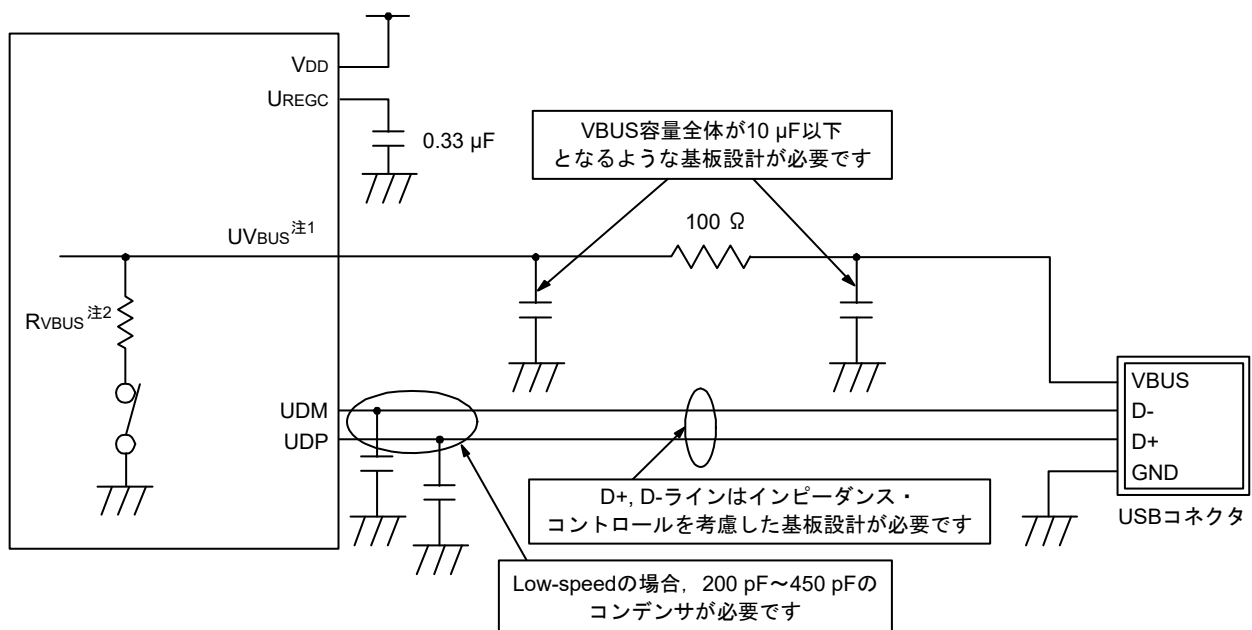
表17-12にUSBポートUSBデータ・バス抵抗制御を示します。

表17-12 USBポートUSBデータ・バス抵抗制御

設定内容		USBデータ・バス抵抗制御		
DPRPU	DMRPU	D- Line	D+ Line	Remarks
0	0	Open	Open	USBポート未使用時
1	0	Open	Pull-Up	ファンクション・コントローラ(フル・スピード)として動作させる場合は、この状態に設定します。
0	1	Pull-Up	Open	ファンクション・コントローラ(ロウ・スピード)として動作させる場合は、この状態に設定します。
1	1	—	—	設定禁止

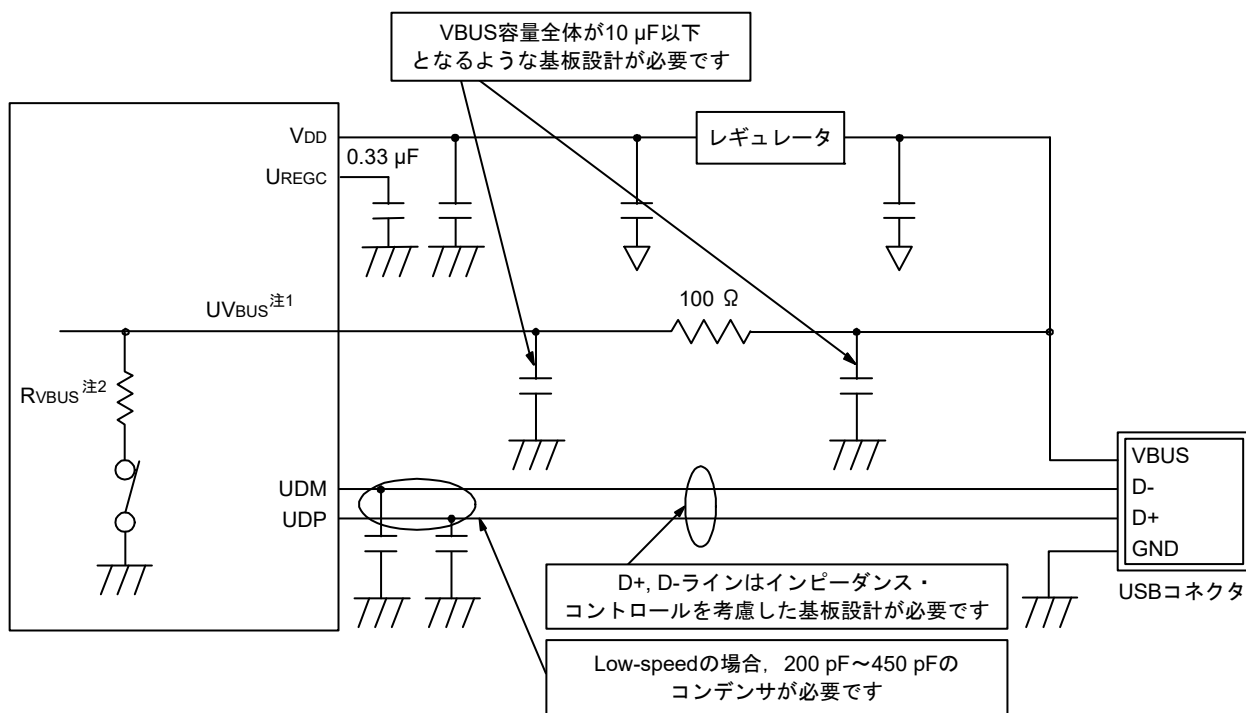
図17-45にセルフパワード時(3.3V)のUSBコネクタの接続例を、図17-46にバスパワード時(3.3V)のUSBコネクタの接続例を示します。

図17-45 セルフパワード時(3.3V)のUSBコネクタの接続例



(注は次ページにあります。)

図17-46 バスパワー時(3.3 V)のUSBコネクタの接続例



注1. 5Vトレラント

注2. VBRPDCUTビット(USBMCレジスタのビット7)を“0”にクリアして内蔵のUVBUS端子プルダウン抵抗を接続してください。

17.4.2 割り込み要因

表 17 - 13にUSBモジュールの割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可が設定されているとき、USBは割り込みコントローラに対してUSB割り込み要求を発行し、USB割り込みが発生します。

表 17 - 13 割り込み要因一覧

ステータスビット	名称	割り込み要因	ステータスフラグ
VBINT	VBUS割り込み	VBUS入力端子の状態変化を検出したとき (Low→High, High→Lowの両方の変化)	VBSTS
RESM	レジューム割り込み	サスペンド状態においてUSBバスの状態変化を検出したとき (J-State→K-StateまたはJ-State→SE0)	—
SOFR	フレーム番号更新割り込み	• フレーム番号の異なるSOFパケットを受信したとき	—
DVST	デバイス・ステート遷移割り込み	• デバイス・ステートの遷移を検出したとき USBバス・リセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信	DVSQ2～DVSQ0
CTRT	コントロール転送ステージ遷移割り込み	• コントロール転送のステージ遷移を検出したとき セットアップ・ステージ完了 コントロール・ライト転送ステータス・ステージ遷移 コントロール・リード転送ステータス・ステージ遷移 コントロール転送完了 コントロール転送シーケンス・エラー発生	CTSQ2～CTSQ0
BEMP	バッファ・エンプティ割り込み	• バッファ・メモリ中の全データを送信してバッファが空になったとき • マックス・パケット・サイズを超えたパケットを受信したとき	BEMPSTSレジスタのPIPEnBEMP (n = 0, 4～7)
NRDY	バッファ・ノット・レディ割り込み	• INトークン/OUTトークンに対してNAKを応答したとき	NRDYSTSレジスタのPIPEnNRDY (n = 0, 4～7)
BRDY	バッファ・レディ割り込み	• バッファがリードまたはライト可能状態になったとき	BRDYSTSレジスタのPIPEnBRDY (n = 0, 4～7)
PDDTINT	PortableDevice検知割り込み	• PortableDeviceの接続を検知したとき	PDDTSTS0
DREQE0/ DTCEN31	D0FIFOのDTC転送要求	• D0FIFO転送が完了したとき	—
DREQE1/ DTCEN30	D1FIFOのDTC転送要求	• D1FIFO転送が完了したとき	—

図17-47にUSB割り込み関連図を、表17-14にUSB割り込み一覧を示します。

図17-47 USB割り込み関連図

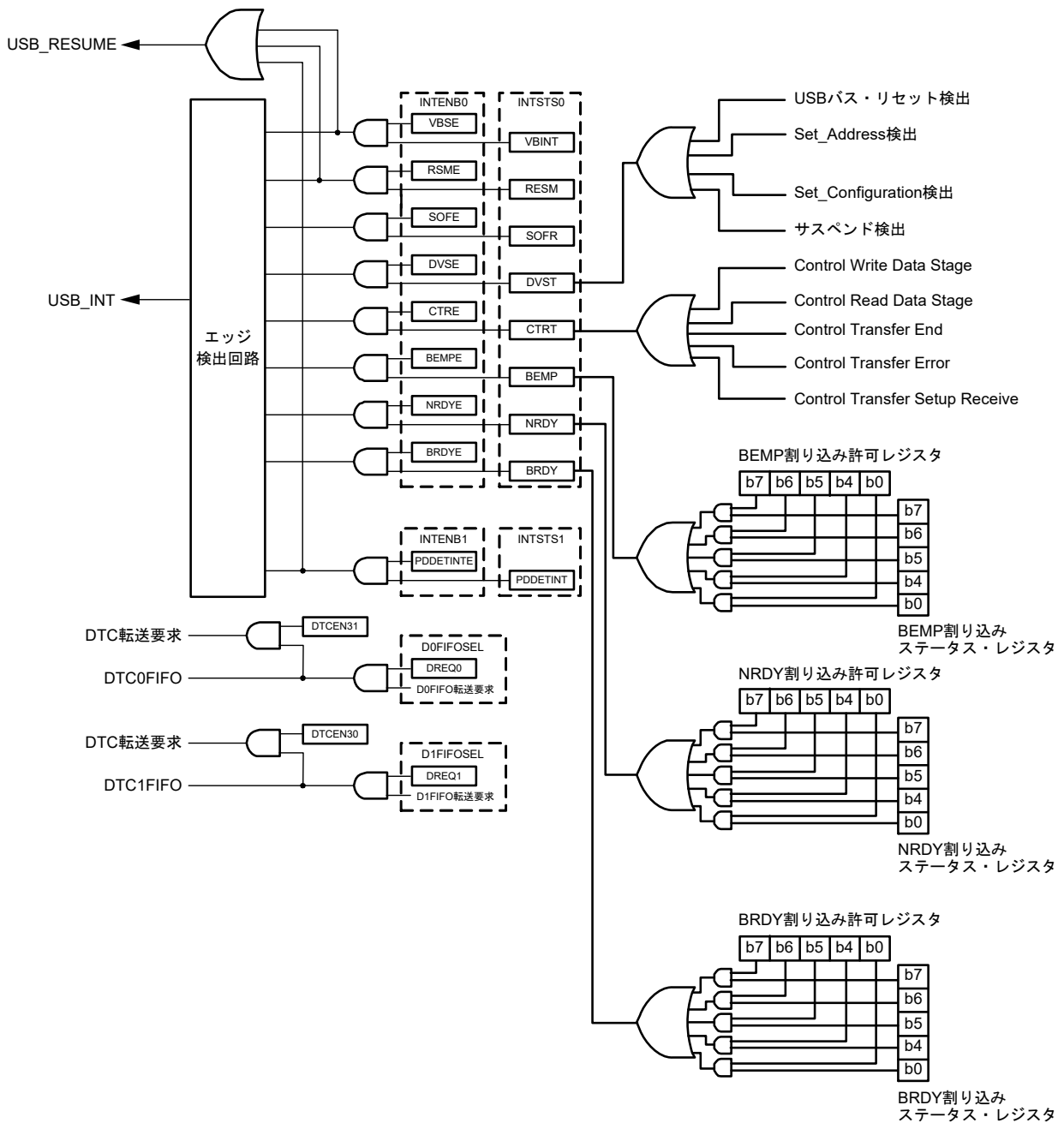


表 17 - 14 USB 割り込み一覧

割り込み名称	割り込みフラグ	優先順位
USB_INT	VBUS 割り込み レジューム割り込み フレーム番号更新割り込み デバイス・ステート遷移割り込み コントロール転送ステージ遷移割り込み バッファ・エンプティ割り込み バッファ・ノット・レディ割り込み バッファ・レディ割り込み PortableDevice 検知割り込み	高
USB_RESUME	VBUS 割り込み レジューム割り込み PortableDevice 検知割り込み	
DTC0FIFO	D0FIFO 転送完了割り込み	
DTC1FIFO	D1FIFO 転送完了割り込み	低

17.4.3 割り込みの説明

17.4.3.1 BRDY割り込み

各パイプが下記の条件を満たしたときに、USBモジュールはBRDYSTSレジスタの該当ビットを“1”にします。このとき、ソフトウェアが当該パイプに対応するBRDYENBレジスタのPIPEBRDYEビットを“1”にし、かつ、INTENB0レジスタのBRDYEビットを“1”にしていれば、USBモジュールはBRDY割り込みを発生させます。

BRDY割り込みは、BRDYMビットおよび各パイプのBFREビットの設定により、発生条件およびクリア方法が異なります。

(1) BRDYM = 0かつBFRE = 0設定時

この設定の場合、BRDY割り込みはFIFOポートにアクセス可能になったことを示す割り込みになります。

USBモジュールは、下記に示す条件の場合に、内部BRDY割り込み要求トリガを発生させ、要求トリガ発生パイプに対応するPIPEBRDYビットに“1”を表示します。

【送信方向に設定したパイプの場合】

- ソフトウェアがDIRビットを“0”から“1”に変更したとき。
- 当該パイプに割り付けたFIFOバッファへのCPUからの書き込みが不可状態のとき (BSTSビット読み出し値が“0”のとき)に、USBモジュールが当該パイプの packets 送信を完了したとき。
- FIFOバッファをダブル・バッファに設定しているときで、FIFOバッファ書き込み完了時にもう一方のFIFOバッファが空であったとき。
- FIFOバッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- ACLRMビットに“1”を書くことより、FIFOバッファが書き込み不可能な状態から書き込み可能な状態になったとき。

DCPに対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

【受信方向に設定したパイプの場合】

- 当該パイプに割り付けたFIFOバッファへのCPUからの読み出しが不可状態のとき (BSTSビット読み出し値が“0”のとき)に、パケット受信が正常に完了し、FIFOバッファが読み出し可能状態になったとき。データPIDミスマッチのトランザクションに対し、要求トリガは発生しません。
 - FIFOバッファをダブル・バッファに設定しているときで、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき。
- 読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

コントロール転送のステータス・ステージでの通信ではBRDY割り込みは発生しません。

ソフトウェアは、当該パイプに対応するBRDYSTSレジスタのPIPEBRDYビットに“0”を書き込むことにより、当該パイプのPIPEBRDY 割り込みステータスを“0”にすることができます。このとき、他のパイプに対応するビットには“1”を書いてください。

この割り込みステータスのクリアは、必ずFIFOバッファへのアクセスを行う前に実施してください。

(2) BRDYM = 0かつBFRE = 1設定時

この設定の場合、USBモジュールは、受信パイプにおいて1トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、BRDYSTSレジスタの当該パイプに対応するビットに“1”を表示します。

USBモジュールは、以下のいずれかのときに1トランスファにおける最後のデータを受信したと判定します。

- Zero-Lengthパケットを含むショート・パケットを受信したとき
- トランザクション・カウンタ (TRNCNTビット)を使用し、TRNCNTビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USBモジュールは1トランスファ分の全データ読み出し完了と判断します。

FIFOバッファが空の状態 Zero-Lengthパケット受信した場合は、Zero-Lengthパケット・データがCPU側へトグルされた時点で、USBモジュールは1トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応するFIFOCTRレジスタのBCLRビットにソフトウェアで“1”を書いてください。

この設定の場合には、USBモジュールは送信パイプに対してBRDY 割り込みを検出しません。

ソフトウェアは、当該パイプに対応するPIPEBRDYビットに“0”を書くことにより、当該パイプのPIPEBRDY 割り込みステータスを“0”にすることができます。このとき他のパイプに対応するビットには“1”を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまでBFREビットの設定値を変更しないでください。

途中でBFREビットを変更する場合には、ACLRMビットにより対応するパイプのFIFOバッファをすべてクリアしてください。

(3) BRDYM = 1かつBFRE = 0設定時

この設定の場合、PIPEBRDYビットの値は各パイプのBSTSビットに連動します。すなわち、BRDY 割り込みステータスはFIFOバッファの状態によってUSBモジュールが“1”、“0”を表示します。

【送信方向に設定したパイプの場合】

FIFOポートにデータが書き込み可能な状態であれば“1”を表示し、書き込み不可の状態になれば“0”を表示します。

ただし、DCPの送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

【受信方向に設定したパイプの場合】

FIFOポートにデータが読み出し可能な状態であれば“1”を表示し、すべてのデータを読み出したら(読み出し不可の状態になったら)“0”を表示します。

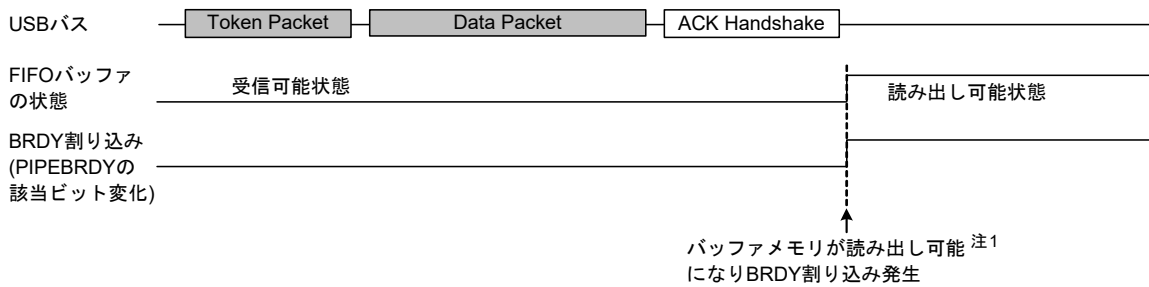
FIFOバッファが空でZero-Lengthパケットを受信した場合、ソフトウェアがBCLR = 1を書き込むまで該当ビットには“1”が表示されBRDY割り込みは発生し続けます。

受信方向に設定したパイプ設定時、ソフトウェアは、PIPEBRDYビットの“0”クリアを行うことはできません。BRDYM = 1設定時は、BFRE ビットは必ずすべて(全パイプ)“0”に設定してください。

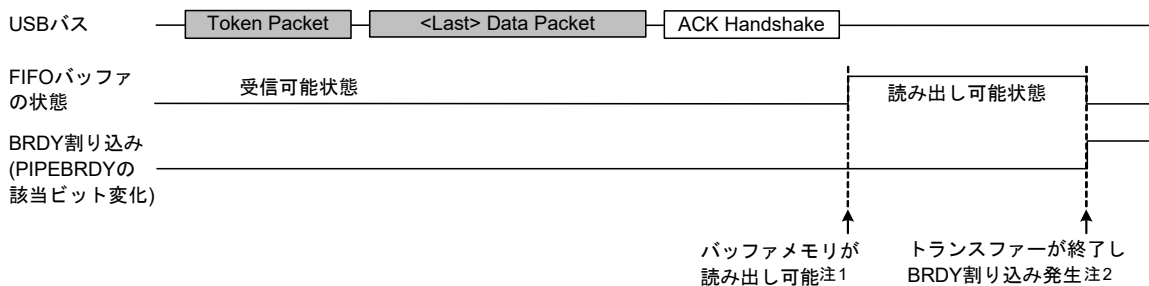
図17-48にBRDY割り込み発生タイミングを示します。

図17-48 BRDY割り込み発生タイミング

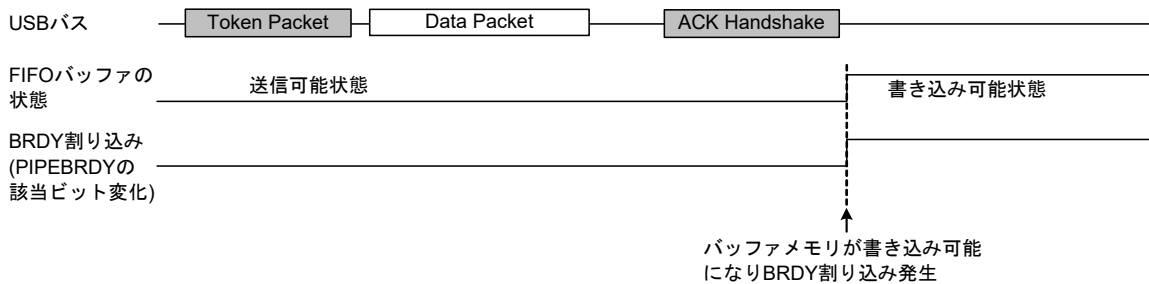
(1) Zero-Lengthパケット受信, またはBFRE = 0でデータパケット受信時の例(シングルバッファ設定時)



(2) BFRE = 1でデータパケット受信時の例(シングルバッファ設定時)



(3) パケット送信時の例(シングルバッファ設定時)



■ Hostが送信するパケット □ Peripheralが送信するパケット

- 注1. FIFOバッファ読み出し可能になる条件は以下のとおりです。
未読み出しデータがCPU側バッファ・メモリに存在しない状態で1パケット受信が発生した。
- 注2. トランスファー終了の条件は以下のとおりです。
以下(1), (2)いずれかの受信が発生した時
(1) Zero-Lengthを含むショート・パケット受信
(2) トランザクション・カウンタ分のパケット受信

USBモジュールがINTSTS0レジスタのBRDYビットをクリアする条件は、SOFCFGレジスタのBRDYMビットの設定値によって異なります。表17-15にBRDYビットクリア条件表を示します。

表17-15 BRDYビットクリア条件表

BRDYM	BRDYビットのクリア条件
0	ソフトウェアがBRDYSTSレジスタの全ビットを“0”にすると、USBモジュールはINTSTS0レジスタのBRDYビットを“0”にします
1	全パイプのBSTSビットが“0”になったときに、USBモジュールはINTSTS0レジスタのBRDYビットを“0”にします

17.4.3.2 NRDY割り込み

ソフトウェアがPID = BUFに設定したパイプに対して、USBモジュールが内部NRDY割り込み要求を発生させた場合に、USBモジュールはNRDYSTSレジスタのPIPENRDYビットの対応するビットに“1”を表示します。このとき、ソフトウェアによってNRDYENBレジスタの対応するビットを“1”にしている場合、USBモジュールはINTSTS0レジスタのNRDYビットに“1”を表示し、USB割り込みを発生させます。

USBモジュールが、あるパイプに対して内部NRDY割り込み要求を発生させる条件を以下に示します。コントロール転送ステータス・ステージ実行時は割り込み要求を発生させません。

USBモジュールは、以下のいずれかの条件を満たした場合に、NRDY割り込みを検出します。

【送信方向に設定したパイプの場合】

- FIFOバッファに送信データがない状態でINトークンを受信したとき

INトークン受信時にUSBモジュールはNRDY割り込み要求を発生させPIPENRDYビットに“1”を表示します。

【受信方向に設定したパイプの場合】

- FIFOバッファに空きがない状態でOUTトークンを受信したとき

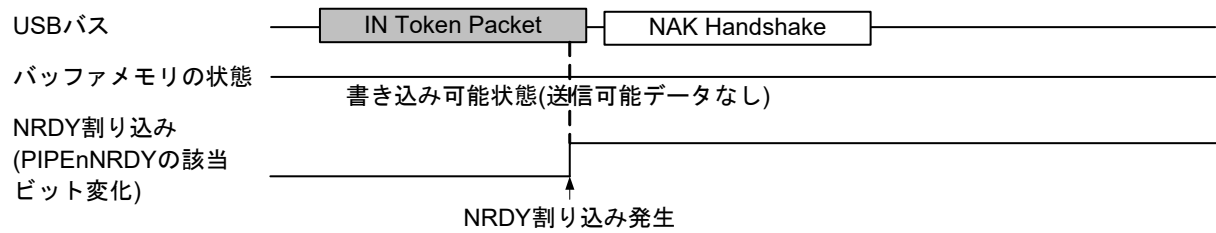
USBモジュールはOUTトークンに続くデータ受信後NAK Handshakeを送信するときにNRDY割り込み要求を発生させ、PIPENRDYビットに“1”を表示します。

ただし、再送時 (DATA-PID ミスマッチ発生時) には、NRDY割り込み要求を発生させません。また、DATAパケットにエラーがある場合にも、発生させません。

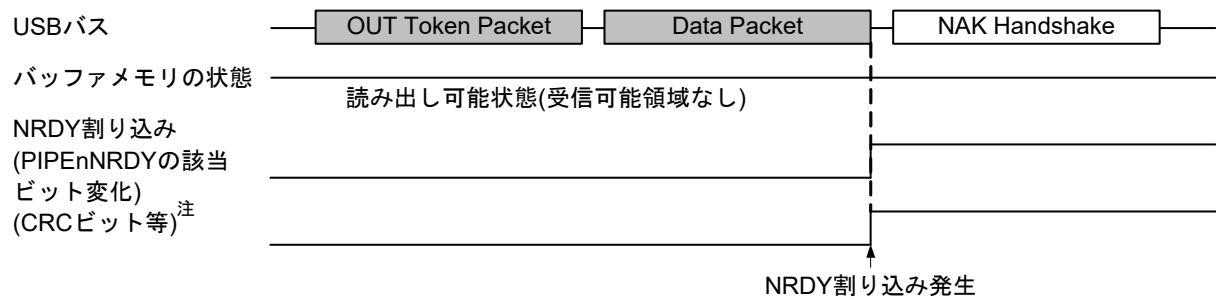
図17-49にNRDY割り込み発生タイミングを示します。

図17 - 49 NRDY 割り込み発生タイミング

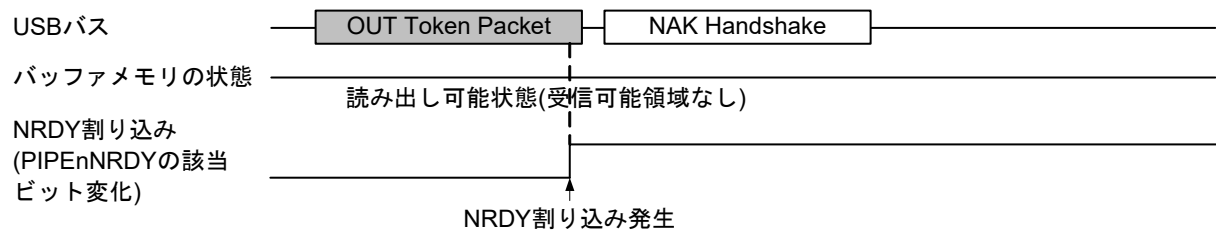
(1) データ送信時の(シングルバッファ設定時)



(2) データ受信 : OUTトークン受信時の例(シングルバッファ設定時)



(3) データ受信 : PINGトークン受信時の例(シングルバッファ設定時)



■ Hostが送信するパケット □ Peripheralが送信するパケット

注 当該Pipeの転送タイプがIsochronous転送の場合のときのみCRCビット、OVRNビットが変化します。

17.4.3.3 BEMP 割り込み

ソフトウェアがPID = BUFに設定したパイプに対して、USBモジュールが、BEMP 割り込みを検出した場合に、USBモジュールはBEMPSTSレジスタのPIPEBEMPビットの対応するビットに“1”を表示します。このとき、ソフトウェアによってBEMPENBレジスタの対応するビットに“1”が設定されている場合、USBモジュールはINTSTS0レジスタのBEMPビットに“1”を表示し、USB割り込みが発生します。

以下の場合に、USBモジュールは内部BEMP割り込み要求を発生させます。

【送信方向に設定したパイプの場合】

- 送信完了時 (Zero-Lengthパケットの送信時を含む)に、対応するパイプのFIFOバッファが空のとき
シングル・バッファ設定時は、DCP以外のパイプに対してはBRDY割り込みと同時に内部BEMP割り込み要求を発生させます。
ただし、以下の場合には内部BEMP割り込み要求を発生させません。
- ダブル・バッファ設定時に、1面分のデータ送信完了時にソフトウェア (DTC)がCPU側のFIFOバッファに対する書き込みを開始している場合
- また、ACLRMビットまたはBCLRビットに“1”を書くことによるバッファ・クリア (エンプティ)。
- コントロール転送 Status ステージのIN転送 (Zero-Lengthパケット送信)時

【受信方向に設定したパイプの場合】

MaxPacketSizeの設定値より大きなデータ・サイズを正常受信したとき。

この場合、USBモジュールは、BEMP割り込み要求を発生させ、BEMPSTSレジスタのPIPEnBEMPビットの対応するビットに“1”を表示し、受信データを破棄し、対応するパイプのPIDビットをSTALL (“11B”)に変更します。

このときUSBモジュールは、STALL応答を行います。

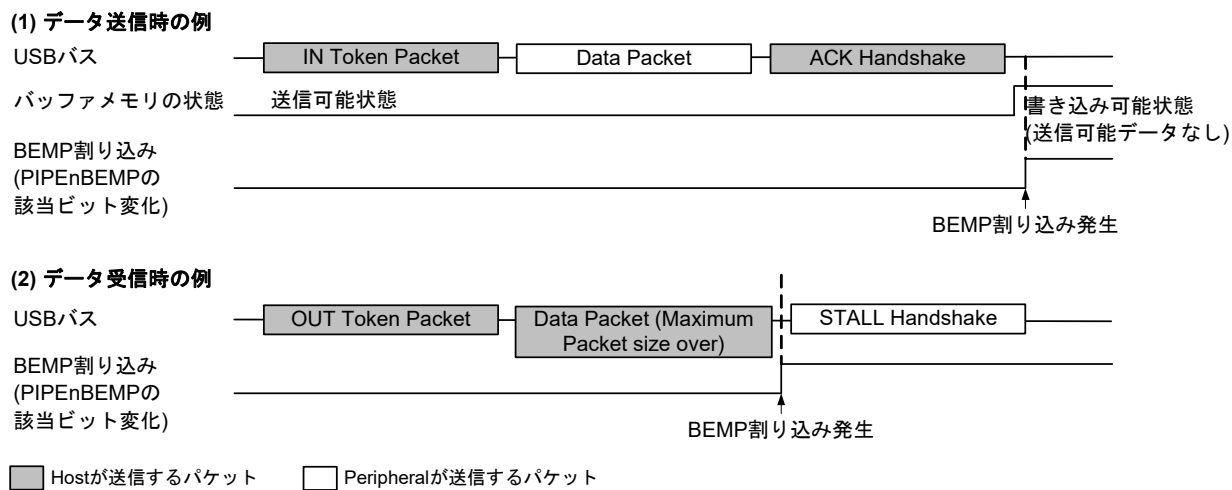
ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- 受信データにCRCエラー、またはビットスタッフィングエラー等を検出したとき
- SETUPトランザクション実行時

BEMPSTSレジスタのPIPEnBEMPビットに“0”を書くことにより、ステータスをクリアすることができます。
BEMPSTSレジスタのPIPEnBEMPビットに“1”を書いても、動作に影響ありません。

図17 - 50にBEMP 割り込み発生タイミングを示します。

図17 - 50 BEMP 割り込み発生タイミング

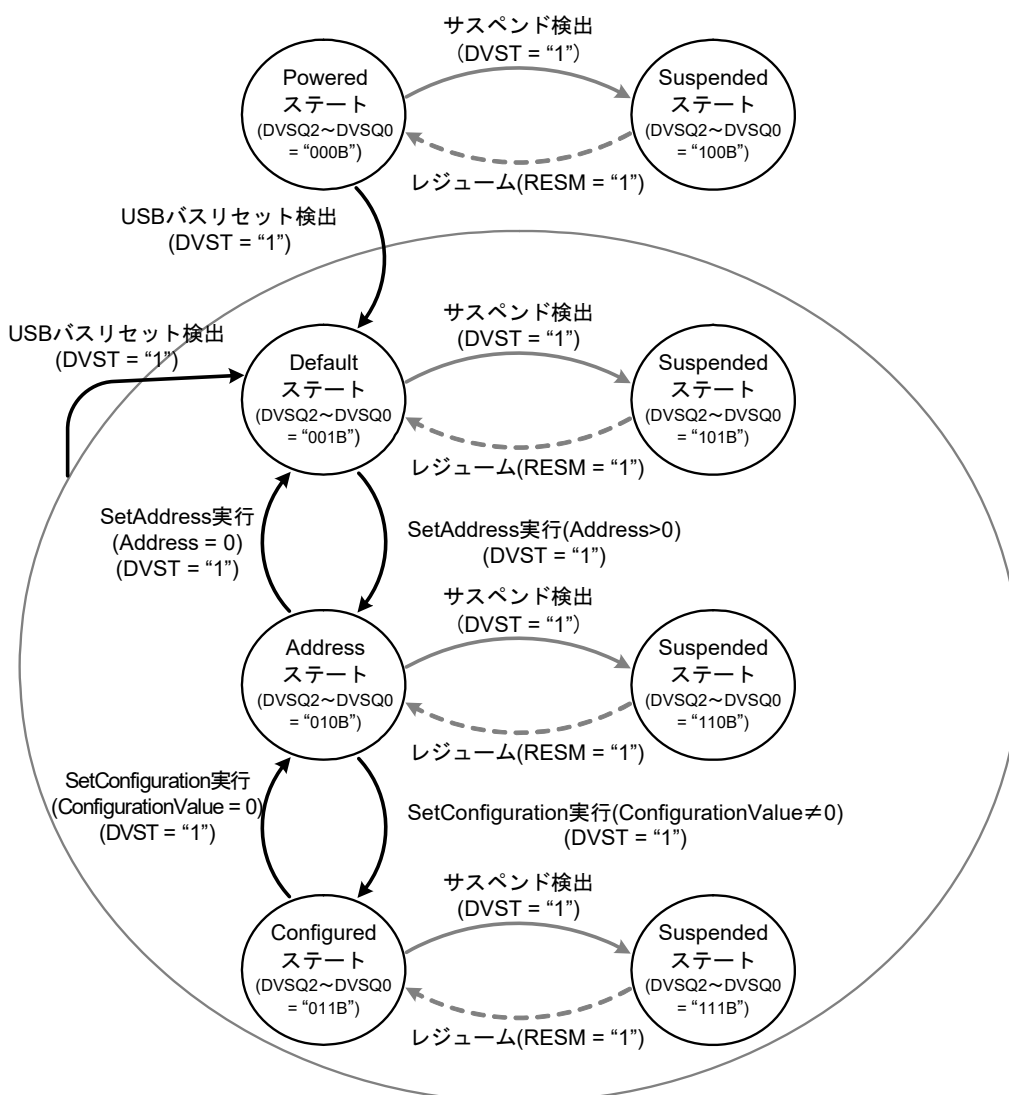


17.4.3.4 デバイス・ステート遷移割り込み

図17-51にデバイス・ステート遷移図を示します。USBモジュールは、デバイス・ステートを管理し、デバイス・ステート遷移割り込みが発生します。ただし、サスペンドからの復帰(レジューム信号検出)は、レジューム割り込みで検出します。デバイス・ステート遷移割り込みは、INTENB0レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイス・ステートは、INTSTS0レジスタのDVSQ2～DVSQ0ビットにて確認できます。

デフォルト・ステートに遷移する場合には、USBバス・リセット検出後に、デバイス・ステート遷移割り込みが発生します。

図17-51 デバイス・ステート遷移図



注意. 上図の実線の遷移が発生したとき、DVSTビットが“1”になります。
破線は、RESMビットが“1”になります。

17.4.3.5 コントロール転送ステージ遷移割り込み

図17-52にUSBモジュールのコントロール転送ステージ遷移図を示します。USBモジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージはINTSTS0レジスタのCTS2Q2～CTS2Q0ビットにて確認できます。

コントロール転送のシーケンス・エラーを下記に示します。エラーが発生した場合は、DCPCTRレジスタのPIDビットが1xB (STALL 応答)になります。

(1) コントロール・リード転送時

- データ・ステージのINトークンに対して、1度もデータ転送していない状態でOUTトークンを受信
- ステータス・ステージでINトークン受信
- ステータス・ステージでデータ・パケットがDATA PID = DATA0のパケットを受信

(2) コントロール・ライト転送時

- データ・ステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータ・パケットがDATA PID = DATA0のパケットを受信
- ステータス・ステージでOUTトークン受信

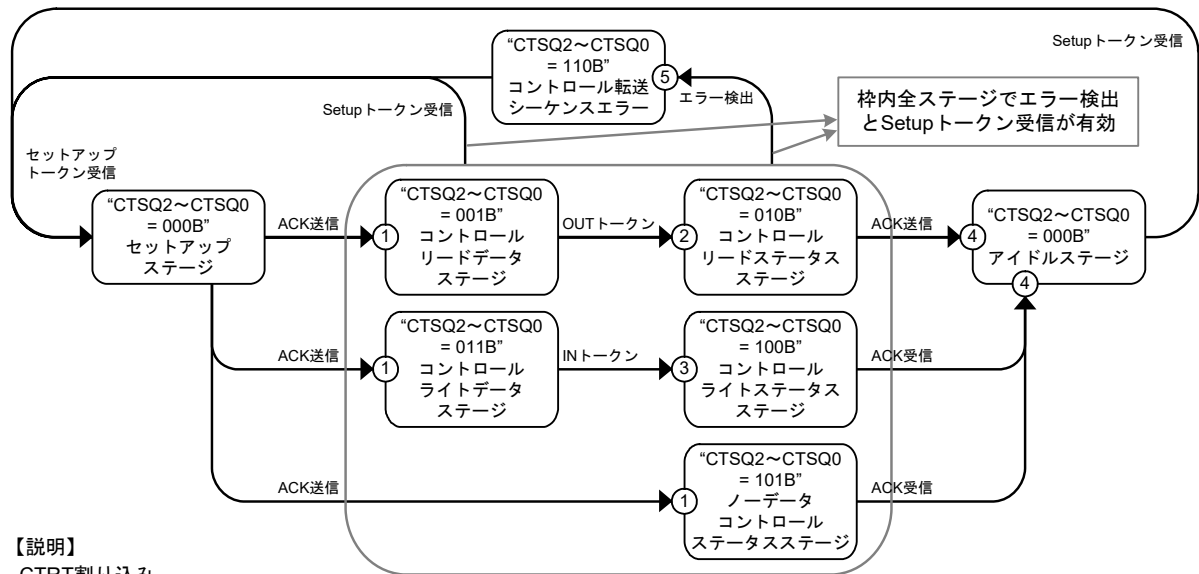
(3) コントロール・ライトノー・データ・コントロール転送時

- ステータス・ステージでOUTトークン受信

なお、コントロール・ライト転送データ・ステージで、受信データ数がUSBリクエストのwLength値を超えた場合は、コントロール転送シーケンス・エラーと認識できません。また、コントロール・リード転送ステータス・ステージで、Zero-Lengthパケット以外のパケット受信には、ACK応答を行い正常終了します。

シーケンス・エラーによるCTRT割り込み発生時 (SERR = 1)は、CTS2Q2～CTS2Q0ビット = "110B"の値がシステムからCTRT = 0書き込み (割り込みステータス・クリア)するまで保持されます。このため、CTS2Q2～CTS2Q0ビット = "110B"が保持されている状態では、新しいUSBリクエストを受信しても、セットアップ・ステージ完了のCTRT割り込みは発生しません (セットアップ・ステージ完了は、USBモジュールで保持されており、ソフトウェアによる割り込みステータス・クリア後に、セットアップ・ステージ完了割り込みが発生します)。

図17-52 コントロール転送ステージ遷移図



【説明】

CTRT割り込み

- ①セットアップステージ完了
- ②コントロールリード転送ステータスステージ遷移
- ③コントロールライト転送ステータスステージ遷移
- ④コントロール転送完了
- ⑤コントロール転送シーケンスエラー

17.4.3.6 フレーム番号更新割り込み

USB モジュールは、フル・スピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生します。

17.4.3.7 VBUS 割り込み

VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0 レジスタの VBSTS ビットにて VBUS 端子のレベルを確認できます。VBUS 割り込みによってホスト・コントローラの接続および切断の確認ができます。ただし、ホスト・コントローラが接続された状態でシステムが起動された場合は、VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

17.4.3.8 レジューム割り込み

デバイス・ステートがサスペンド状態で USB バス状態が変化 (J-State→K-State または J-State→SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

17.4.3.9 PortableDevice 検知割り込み

USB トランシーバからの PDDDET 出力の変化 ("High" から "Low" への変化、および "Low" から "High" への変化) を検出した時に割り込みを発生します。PortableDevice 検知割り込み発生時は、ソフトウェアで PDDDETSTS ビット読み出しの回数一致を行い、チャタリング処理を実施してください。

17.4.3.10 D0FIFO/D1FIFOのDTC転送完了割り込み

パイプ4～7に対して、DTCによるFIFOポートアクセスが可能です。DTCに設定したパイプのバッファがアクセス可能になったとき、DTC転送要求を出力します。DTC転送完了したときに、D0FIFO/D1FIFO割り込み要求が発生します。

17.4.4 パイプ・コントロール

表 17 - 16にUSBモジュールのパイプ設定項目一覧を示します。USBデータ転送は、エンド・ポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。USBモジュールにはデータ転送用に5本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 17 - 16 パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備考
DCPCFG	TYPE	転送タイプを指定	パイプ4, 5: 設定可能
PIPECFG	BFRE	BRDY割り込みモードを選択	パイプ4, 5: 設定可能
	DBLB	ダブル・バッファを選択	パイプ4, 5: 設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM	エンド・ポイント番号	パイプ4, 5: 設定可能 パイプ使用時は"0000B"以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ4, 5: 設定可能
DCPMAXP PIPEMAXP	MXPS	マックス・パケット・サイズ	USB規格に準拠した設定
DCPCTR PIPECTR	BSTS	バッファ・ステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファ・モニタ	パイプ4, 5のみ内蔵
	ATREPM	自動応答モード	パイプ4, 5: 設定可能
	ACLRM	自動バッファ・クリア	パイプ4~7: 設定可能
	SQCLR	シーケンス・クリア	データトグルビットのクリア
	SQSET	シーケンス・セット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY PID	パイプ・ビジー確認 応答PID	パイプ・ビジーの確認 17.4.4.6 応答PIDを参照してください。
PIPEnTRE	TRENB	トランザクション・カウント許可	パイプ4, 5: 設定可能
	TRCLR	カレント・トランザクション・カウンタのクリア	パイプ4, 5: 設定可能
PIPEnTRN	TRNCNT	トランザクション・カウンタ	パイプ4, 5: 設定可能

17.4.4.1 パイプ・コントロール・レジスタの切り替え手順

パイプ・コントロール・レジスタの以下のビットは、USB通信が不許可 (PID = NAK) であるときのみ書き換えが可能になります。

USB通信許可 (PID = BUF) 状態では設定禁止であるレジスタ

- DCPCFG レジスタ, DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR ビット, DCPCTR レジスタの SQSET ビット
- PIPECFG レジスタ, PIPEMAXP レジスタの各ビット
- PIPEnCTR レジスタの ATREPM ビット, PIPEnCTR レジスタの ACLRM ビット, PIPEnCTR レジスタの SQCLR ビット, PIPEnCTR レジスタの SQSET ビット
- PIPEnTRE レジスタ, PIPEnTRN レジスタの各ビット

USB通信許可 (PID = BUF) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

- (1) パイプ・コントロール・レジスタのビット変更要求が発生します。
- (2) 当該パイプのPIDをNAKに変更します。
- (3) 当該パイプのPBUSYビットが“0”になるまで待ちます。
- (4) パイプ・コントロール・レジスタのビット変更が開始されます。

またパイプ・コントロール・レジスタの以下のビットは、CFIFOSEL, D0FIFOSEL, D1FIFOSEL レジスタのいずれのCURPIPEビットにも設定されていないパイプ情報のみ書き換えが可能です。

FIFO-PORTのCURPIPEに設定中に設定禁止であるレジスタ

- DCPCFG レジスタ, DCPMAXP レジスタの各ビット
- PIPECFG レジスタ, PIPEMAXP レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタのCURPIPEビットの設定を変更パイプ以外に指定してください。なお、DCPについてはパイプ情報修正後、BCLRにてバッファのクリア処理をしてください。

17.4.4.2 転送タイプ

PIPECFG レジスタのTYPEビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP : 設定不要 (コントロール転送固定) です。
- パイプ4, 5 : バルク転送を設定してください。
- パイプ6, 7 : インタラプト転送を設定してください。

17.4.4.3 エンド・ポイント番号

PIPEPCFGレジスタのEPNUMビットにて各パイプのエンド・ポイント番号を設定します。DCPは、エンド・ポイント“0”に固定されています。他のパイプは、エンド・ポイント1からエンド・ポイント15までの設定が可能です。

- DCP：設定不要(エンド・ポイント“0”固定)です。
- パイプ4～7：1から15までを選択して設定してください。

ただし、DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。

17.4.4.4 マックス・パケット・サイズ設定

DCPMAXPレジスタおよびPIPEMAXPレジスタのMXPSビットにて各パイプのマックス・パケット・サイズを設定します。DCPおよびパイプ4, 5はUSB規格で定義されているすべてのマックス・パケット・サイズに設定が可能です。パイプ6, 7は最大64バイトがマックス・パケット・サイズの上限です。マックス・パケット・サイズは転送を開始する前(PID = BUF)に設定してください。

- DCP：8, 16, 32, 64から選択して設定してください。
- パイプ4, 5：バルク転送時は、8, 16, 32, 64から選択して設定してください。
- パイプ6, 7：1から64の値を設定してください。

17.4.4.5 トランザクション・カウンタ (パイプ4, 5読み出し方向)

USBモジュールは、データ・パケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクション・カウンタには、トランザクション回数を指定するTRNCNTレジスタと、内部でトランザクションをカウントするカレント・カウンタがあり、SHTNAKビット設定=1との組み合わせによりカレント・カウンタが指定回数に一致すると、該当PIPEのPIDをNAK状態とし、次の転送を不許可状態にします。TRCLRビットにて、トランザクション・カウンタ機能のカレント・カウンタを初期化し、トランザクションを最初からカウントし直すことができます。TRENBビットの設定により、TRNCNTレジスタ読み出し時の情報が異なります。

- TRENB = 0：設定したトランザクション・カウンタ値が読めます。
- TRENB = 1：内部でカウントしたカレント・カウンタ値が読めます。

TRCLRビットの操作条件は下記のとおりです。

- トランザクション・カウント中、かつ、PID = BUFの場合は、カレント・カウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレント・カウンタはクリアできません。

17.4.4.6 応答PID

DCPCTRレジスタおよびPIPEnCTRレジスタのPIDビットにて各パイプの応答PIDを設定します。
各設定におけるUSBモジュールの動作は下記のとおりです。

(1) 応答PID設定

応答PIDは、ホストからのトランザクションに対する応答を指定します。

- NAK設定：発生したトランザクションに対して常にNAK応答します。
- BUF設定：バッファ・メモリの状況に応じてトランザクションに応答します。
- STALL設定：発生したトランザクションに対して常にSTALL応答します。

注意 セットアップ・トランザクションに対しては、PIDの設定にかかわらず、常にACK応答し、レジスタにUSBリクエストを格納します。

PIDビットは、トランザクション結果によりUSBモジュールによる書き込みが発生する場合があります。USBモジュールによりPIDビットへの書き込みが発生するのは以下の場合です。

(2) ハードウェアが応答PIDを設定する場合

NAK設定：以下の場合にPID = NAKとなり、トランザクションに対して常にNAK応答します。

- SETUPトークンを正常に受信したとき (DCPのみ)
- バルク転送時にPIPECFGレジスタのSHTNAKビットを“1”にし、トランザクション・カウンタが終了したとき、またはショート・パケットを受信したとき

BUF設定：USBモジュールによるBUF書き込みはありません。

STALL設定：以下の場合にPID = STALLとなり、トランザクションに対して常にSTALL応答します。

- 受信データ・パケットでマックス・パケット・サイズオーバーエラーを検出したとき
- コントロール転送シーケンス・エラーを検出したとき (DCPのみ)

17.4.4.7 データPIDシーケンス・ビット

コントロール転送のデータ・ステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBモジュールによりデータPIDのシーケンス・ビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンス・ビットは、DCPCTRレジスタおよびPIPEnCTRレジスタのSQMONビットにて確認できます。データ送信時はACKハンドシェイク受信タイミングで、データ受信時はACKハンドシェイク送信タイミングでシーケンス・ビットが切り替わります。また、DCPCTRレジスタおよびPIPEnCTRレジスタのSQCLRビット、SQSETビットにてデータPIDシーケンス・ビットを変更可能です。

コントロール転送では、ステージ遷移時にUSBモジュールが自動的にシーケンス・ビットを設定します。セットアップ・ステージ終了時はDATA0になり、ステータス・ステージではDATA1で応答します。このため、ソフトウェアによる設定は必要ありません。

ClearFeatureリクエストの送信または受信時などは、ソフトウェアでデータPIDシーケンス・ビットを設定する必要がありますので注意してください。

17.4.4.8 応答PID = NAK機能

USBモジュールには、PIPECFGレジスタのSHTNAKビットを“1”にすることで、トランスファの最後(ショート・パケット受信またはトランザクション・カウンタでモジュールが自動識別)のデータ・パケット受信タイミングで、パイプ動作を禁止(応答PID = NAK)する機能があります。

この機能を使用することで、バッファ・メモリをダブル・バッファで使用している場合に、トランスファ単位でのデータ・パケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可(応答PID = BUF)設定を行う必要があります。

なお、応答PID = NAK機能はバルク転送時のみ動作することが可能です。

17.4.4.9 自動応答モード

バルク転送のパイプ(パイプ4, 5)において、PIPECTRレジスタのATREPMビットを“1”にすると、自動応答モードとなります。OUT転送時(DIR = 0)にはOUT-NAKモードとなり、IN転送時(DIR = 1)にはNull自動応答モードとなります。

17.4.4.10 OUT-NAKモード

バルクOUT転送のパイプにおいて、ATREPMビットに“1”をセットすると、OUTトークンに対してNAK応答し、NRDY割り込みを出力します。通常モードからOUT-NAKモードへ設定するためには、パイプ動作禁止状態(応答PID = NAK)でOUT-NAKモードに設定して、パイプ動作許可(応答PID = BUF)を行ってください。パイプ動作許可後に、OUT-NAKモードが有効になります。ただし、パイプ動作禁止にする直前でOUTトークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへACK応答されます。

OUT-NAKモードから通常モードへ遷移させるためには、パイプ動作禁止状態(応答PID = NAK)でOUT-NAKモードを解除して、パイプ動作許可(応答PID = BUF)を行ってください。通常モードでは、OUTデータ受信が可能となります。

17.4.4.11 Null自動応答モード

バルクIN転送のパイプにおいて、ATREPMビットに“1”をセットすると、Zero-Lengthパケットを送信し続けます。

通常モードからNull自動応答モードへ設定するためには、パイプ動作禁止状態(応答PID = NAK)で、Null自動応答モードに設定して、パイプ動作許可(応答PID = BUF)を行ってください。パイプ動作許可後に、Null自動応答モードが有効になります。ただし、Null自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFMビットが“0”であることで確認してください。INBUFMビットが“1”の場合には、バッファ内にデータが存在しているため、ACLRMビットにより空にしてください。また、Null自動応答モードへの設定中には、FIFOポートからのデータ書き込みは行わないでください。

Null自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態(応答PID = NAK)をZero-Lengthパケット送信分ウェイト(約10 μs)した後、Null自動応答モードを解除してください。通常モードでは、FIFOポートからの書き込みが可能となり、パイプ動作許可(応答PID = BUF)を行うことにより、ホストへのパケット送信が可能となります。

17.4.5 FIFOバッファ・メモリ

17.4.5.1 FIFOバッファ・メモリ

USBモジュールはデータ転送用のFIFOバッファ・メモリを内蔵します。各パイプの使用領域は、USBモジュールにて管理しています。FIFOバッファ・メモリの状況には、アクセス権がシステム (CPU側)にある場合とUSBモジュール (SIE側)にある場合があります。

(1) バッファ・ステータス

表17-17および表17-18にUSBモジュールのバッファ・ステータス表を示します。バッファ・メモリステータスをDCPCTRレジスタのBSTSビットおよびPIPEnCTRレジスタのINBUFMビットにて確認できます。バッファ・メモリのアクセス方向は、PIPEnCFGレジスタのDIRビットまたはCFIFOSELレジスタのISELビット (DCP選択時)で、バッファ・メモリのアクセス方向を指定します。

なお、INBUFMビットは送信方向のパイプ4、5でのみ有効です。

送信側の転送パイプをダブル・バッファに設定している場合、BSTSビットはCPU側のバッファの状態を、INBUFMビットはSIE側のバッファの状態を判断するために使用します。CPU (DTC)によるFIFOポートへの書き込みが遅く、BEMP割り込みではバッファの空きが判別できない場合に、INBUFMビットで送信完了を確認できます。

表17-17 BSTSビットによるバッファ・ステータス

ISELまたはDIR	BSTS	バッファ・メモリの状態
0 (受信方向)	0	受信データなし、または受信 FIFOポートからの読み出し不可
0 (受信方向)	1	受信データあり、またはZero-Lengthパケット受信 FIFOポートからの読み出し可能 ただし、Zero-Lengthパケット受信時は読み出し不可のためバッファ・クリアが必要
1 (送信方向)	0	送信を完了していない FIFOポートへの書き込み不可
1 (送信方向)	1	送信完了 CPUは書き込み可能

表17-18 INBUFMビットによるバッファ・ステータス

DIR	INBUFM	バッファ・メモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

(2) FIFOバッファ・クリア

表17-19にUSBモジュールによるFIFOバッファ・メモリのクリア一覧表を示します。バッファ・メモリは、BCLR, DCLRM, ACLRMの各ビットでクリアすることができます。

表17-19 各バッファ・クリア機能一覧表

FIFOバッファ クリアの種類	CPU側バッファ・メモリを クリアします。	指定パイプのデータを読み出した 後で、自動でバッファ・メモリを クリアするモード	受信したパケットをすべて破棄する 自動バッファ・クリア・モード
当該レジスタ	CFIFOCTR DnFIFOCTR	DnFIFOSEL	PIPEnCTR
当該ビット	BCLR	DCLRM	ACLRM
クリア条件	“1”書き込み	1: モード有効 0: モード無効	1: モード有効 0: モード無効

(3) 自動バッファ・クリア・モード機能

USBモジュールには、PIPEnCTRレジスタのACLRMビットを“1”にすることで、受信したすべてのデータ・パケットを破棄します。ただし、正常なデータ・パケットを受信した場合は、ホスト・コントローラに対してACK応答を行います。なお、自動バッファ・クリア・モード機能はバッファ・メモリ読み出し方向のみ設定可能です。

また、ACLRMビットを“1”にし、続けて“0”にすることで、アクセス方向に関係なく、選択パイプのバッファ・メモリをクリアできます。

ただし、ハードウェアの内部シーケンス実行時間として、ACLRMビットへの“1”書き込みと“0”書き込みの間隔を100ns以上とってください。

(4) バッファ・メモリ仕様 (シングル/ダブル設定)

パイプ4, 5は、PIPEnCFGレジスタのDBLBビットにてシングル・バッファまたはダブル・バッファを選択できます。

17.4.5.2 FIFOポートの機能

表 17 - 20にUSBモジュールのFIFOポート機能設定表を示します。データ書き込みアクセス時は、マックス・パケット・サイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックス・パケット・サイズ数未満のデータを送信可能状態にするには、CFIFOCTR, DnFIFOCTRレジスタのBVALビットによる書き込み終了設定が必要です。また、Zero-Lengthパケットの送信は、同レジスタのBCLRビットによるバッファ・クリアの上、BVALビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Lengthパケット受信時 (DTLN = 0)は、データは読み出せませんので、同レジスタのBCLRビットによるバッファ・クリアが必要です。受信データ長は、CFIFOCTR, DnFIFOCTRレジスタのDTLNビットにて確認します。

表 17 - 20 FIFOポート機能設定

レジスタ名	ビット名	機能	備考
CFIFOSEL DnFIFOSEL	RCNT	DTLN読み出しモード選択	
	REW	バッファ・メモリ・リワインド (再読み出し, 再書き込み)	
	DCLRM	指定パイプの受信データ読み出し後自動クリア・モード	DnFIFO専用
	DREQE	DTC転送許可	DnFIFO専用
	MBW	FIFOポート・アクセス・ビット幅選択	
	BIGEND	FIFOポート・エンディアン選択	
	ISEL	FIFOポート・アクセス方向	DCP専用
	CURPIPE	カレントパイプ選択	
CFIFOCTR DnFIFOCTR	BVAL	バッファ・メモリ書き込み終了	
	BCLR	CPU側バッファ・メモリ・クリア	
	DTLN	受信データ長確認	

(1) FIFOポート選択

表 17 - 21に各FIFOポートで選択可能なパイプ表を示します。CFIFOSEL, DnFIFOSELレジスタのCURPIPEビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだCURPIPE値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、USBコントローラがパイプ変更処理中であることを示します)FRDY = 1を確認しFIFOポートへアクセスしてください。

また、MBWビットでアクセスするバス幅を選択してください。バッファ・メモリアクセス方向は、PIPEnCFGレジスタのDIRビットに従います。ただし、DCPのみISELビットにより決定します。

表 17 - 21 パイプ別FIFOポート・アクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポート・レジスタ (CFIFOM)
パイプ4~7	CPUアクセス	CFIFOポート・レジスタ (CFIFOM) D0FIFO/D1FIFOポート・レジスタ (D0FIFOM/D1FIFOM)
	DTCアクセス	DTC転送用D0FIFO/D1FIFOポート・レジスタ (D0FIFOD00/D1FIFOD00)

(2) REWビット

現在アクセス中のパイプ・アクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、CFIFOSEL、DnFIFOSELレジスタのREWビットを使用します。

CFIFOSEL、DnFIFOSELレジスタのCURPIPEビット設定と同時にREWビットを“1”にしてパイプ選択を行うと、バッファ・メモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0”にしパイプ選択を行うと、バッファ・メモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。FIFOポートへアクセスするには、パイプ選択後、FRDY = 1であることを確認する必要があります。

17.4.5.3 DTC転送(D0FIFO/D1FIFOポート)

(1) DTC転送概要

パイプ4~7に対して、DTCによるFIFOポート・アクセスが可能です。DTCに設定したパイプのバッファがアクセス可能になったとき、DTC転送要求を出力します。

DnFIFOSELレジスタのMBWビットにてFIFOポートへの転送単位を、CURPIPEビットにてDTC転送するパイプを選択してください。なお、DTC転送中は選択しているパイプを変更しないでください。

DTC転送にはサイクルスチール転送とブロック転送があり、D0DBLK/D1DBLKビットで設定できます。

サイクルスチール転送では、バスアクセス毎にDTC転送割り込みが発生します。ブロック転送では、1回のDTC割り込みで1ブロック分のデータ転送を行います。

USBモジュールは、DTC転送終了信号入力を制御することによって、DTC転送によるFIFOデータ書き込みを終了させることが可能です。転送終了信号をサンプリングすると、バッファ・メモリを送信可能状態(BVAL = 1を設定したのと同じ状態)にします。

(2) DTC設定

DTCとUSBの設定手順を図17-53に示します。また、DTCの設定値を表17-22に示します。

図 17 - 53 DTC 転送設定手順

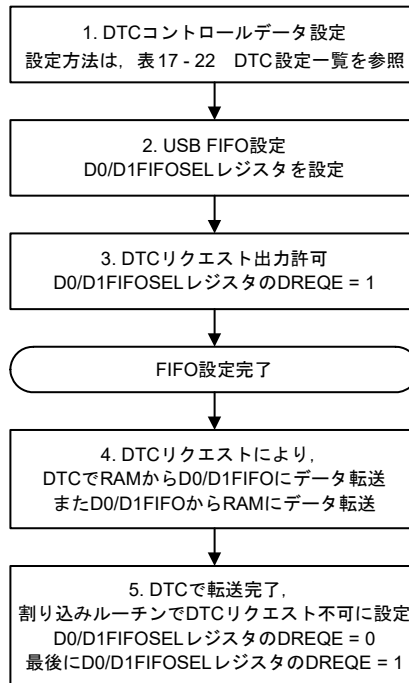


表 17 - 22 DTC 設定一覧

	サイクルスチール転送	ブロック転送
DTCCRj	MODE = 0 (ノーマルモードで使用してください。) SAMOD = FIFO読み出し方向 : 0, FIFO書き込み方向 : 1 DAMOD = FIFO読み出し方向 : 1, FIFO書き込み方向 : 0 (FIFO側のアドレスを固定してください。) CHNE = 0 (チェーン転送を禁止にしてください。) Sz = MBWの設定と合わせてください。 ノーマルモードのため他のビットの設定は無効になります。	
DTBLSj (DTCブロックサイズ)	01H (Sz = 0 : 1バイト/Sz = 1 : 2バイト)	Sz = 0 : Max. Packet Size Sz = 1 : Max. Packet Size/2
DTCCTj	任意(Max. 256回)	任意(Max. 256回)
DTDARj (ディスティネーションアドレス)	FIFO読み出し方向 : FIFOデータの送信先 FIFO書き込み方向 : D0FIFOD00/D1FIFOD00	
DTSARj (ソースアドレス)	FIFO読み出し方向 : D0FIFOD00/D1FIFOD00 FIFO書き込み方向 : FIFOデータの送信元	

注意 j = D0FIFO/D1FIFOに割り当てた起動要因番号 (0~23)

DTC の設定方法の詳細は、「第19章 データトランスファコントローラ(DTC)」を参照してください。

(3) DnFIFO 自動クリア・モード(D0FIFO/D1FIFO ポート読み出し方向)

USB モジュールは、DnFIFOSEL レジスタのDCLRM ビットに“1”を設定することで、バッファ・メモリからのデータ読み出しを完了した場合に、選択パイプのバッファ・メモリを自動的にクリアします。

表 17 - 23に各設定での、パケット受信とソフトウェアによるバッファ・メモリ・クリア処理の関連を示します。表 17 - 23に示すように、BFRE ビットの設定値によりバッファ・クリア条件が異なりますが、クリアが必要などのような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファ・クリアが不要になり、ソフトウェアを介在させないDTC転送が可能となります。

なお、本機能はバッファ・メモリ読み出し方向のみ設定できます。

表 17 - 23 パケット受信とソフトウェアによるバッファ・メモリ・クリア処理の関連

レジスタ設定	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態				
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショート・パケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクション・カウント終了	クリア不要	クリア必要	クリア不要	クリア不要

17.4.6 コントロール転送 (DCP)

コントロール転送のデータ・ステージのデータ転送は、デフォルト・コントロール・パイプ (DCP) を使用します。DCPのバッファ・メモリは、コントロール・リードおよびコントロール・ライト共用の固定領域で64バイトシングル・バッファです。バッファ・メモリへのアクセスは、CFIFOポートのみ可能です。

(1) セットアップ・ステージ

USBモジュールは、USBモジュールに対する正常なセットアップ・パケットに対して必ずACK応答します。セットアップ・ステージのUSBモジュールの動作を以下に示します。

(i) 新しいセットアップ・パケットを受信すると、USBモジュールは以下のビットをセットします。

- INTSTS0レジスタのVALIDビットを“1”にする
- DCPCTRレジスタのPIDビットをNAKにセット
- DCPCTRレジスタのCCPLビットを“0”にする

(ii) セットアップ・パケットに引き続きデータ・パケットを受信すると、USBモジュールは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、VALID = 0にした後に行ってください。VALID = 1の状態ではPID = BUF設定が行えず、データ・ステージを終了することができません。

VALIDビットの機能により、USBモジュールは、コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBモジュールは、受信したUSBリクエストの方向ビット (bmRequestTypeのビット8) およびリクエスト・データ長 (wLength) を自動判別し、コントロール・リード転送、コントロール・ライト転送、およびコントロール・ライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンス・エラーが発生し、ソフトウェアに通知します。USBモジュールのステージ管理については図17-52を参照してください。

(2) データ・ステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファ・メモリへアクセスする前に、CFIFOSELレジスタのISELビットにてアクセス方向指定を行ってください。

転送データがDCPバッファ・メモリのサイズより大きい場合には、コントロール・ライト転送ではBRDY割り込みを、コントロール・リード転送ではBEMP割り込みを使用してデータ転送を行ってください。

(3) ステータス・ステージ

DCPCTRレジスタのPIDビットがPID = BUFの状態、CCPLビットを“1”にすることによりコントロール転送を終了します。

上記設定後、セットアップ・ステージで確定したデータ転送方向に従い、USBモジュールが自動的にステータス・ステージを実行します。具体的には下記のとおりです。

【コントロール・リード転送の場合】

USBモジュールはZero-Lengthパケットを受信し、ACK応答を送信します。

【コントロール・ライト転送、ノー・データ・コントロール転送の場合】

USBモジュールはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

(4) コントロール転送自動応答機能

USBモジュールは、正常なSET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- コントロール・リード転送以外の場合：bmRequestType ≠ 00H
- リクエスト・エラーの場合：wIndex ≠ 00H
- ノー・データ・コントロール転送以外の場合：wLength ≠ 00H
- リクエスト・エラーの場合：wValue > 7FH
- デバイス・ステート・エラーのコントロール転送：DVSQ2～DVSQ0ビット = “011B” (Configured)

SET_ADDRESS以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

17.4.7 バルク転送 (パイプ4, 5)

バルク転送は、バッファ・メモリ使用方法 (シングル/ダブル・バッファ設定)の選択ができます。

USBモジュールは、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能 (BFRE ビット：17.4.3.1 BRDY 割り込み 参照)
- トランザクション・カウント機能
(TRENB ビット, TRCLR ビット, TRNCNT ビット：17.4.4.5 トランザクション・カウンタ (パイプ4, 5 読み出し方向)参照)
- 応答PID = NAK機能 (SHTNAK ビット：17.4.4.8 応答PID = NAK機能参照)
- 自動応答モード (ATREPM ビット：17.4.4.9 自動応答モード参照)

17.4.8 インタラプト転送 (パイプ6, 7)

USBモジュールは、ホスト・コントローラが管理している周期に従ってインタラプト転送を行います。

17.4.9 SOF補間機能

SOFパケットの破損または欠落のために、1ms間隔でSOFパケットを受信できなかった場合に、USBモジュールはSOFを補間します。SOF補間動作の開始はSYSCFGレジスタのUSBE = 1、SYSCFGレジスタのSCKE = 1かつSOFパケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオン・リセット
- USBバス・リセット
- サスペンド検出

また、SOF補間は次の仕様で動作します。

- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後は内部クロック48MHzで1msをカウントし補間する
- 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する
- サスペンド時およびUSBバス・リセット受信中は補間しない

USBモジュールは、SOFパケットの受信に基づいて下記の機能を動作させますが、SOFパケットが欠落した場合にはSOF補間を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR割り込みタイミング

パケットが欠落した場合には、FRMNUMレジスタのFRNMビットは更新されません。

17.4.10 Battery Charging 接続検知制御

Battery Charging Specification Revision 1.2に準拠した Data Contact Detection 処理(D+線接触確認), Primary Detection 処理(Charger 検知処理), Secondary Detection 処理(Charger 判定処理)の制御が可能です。

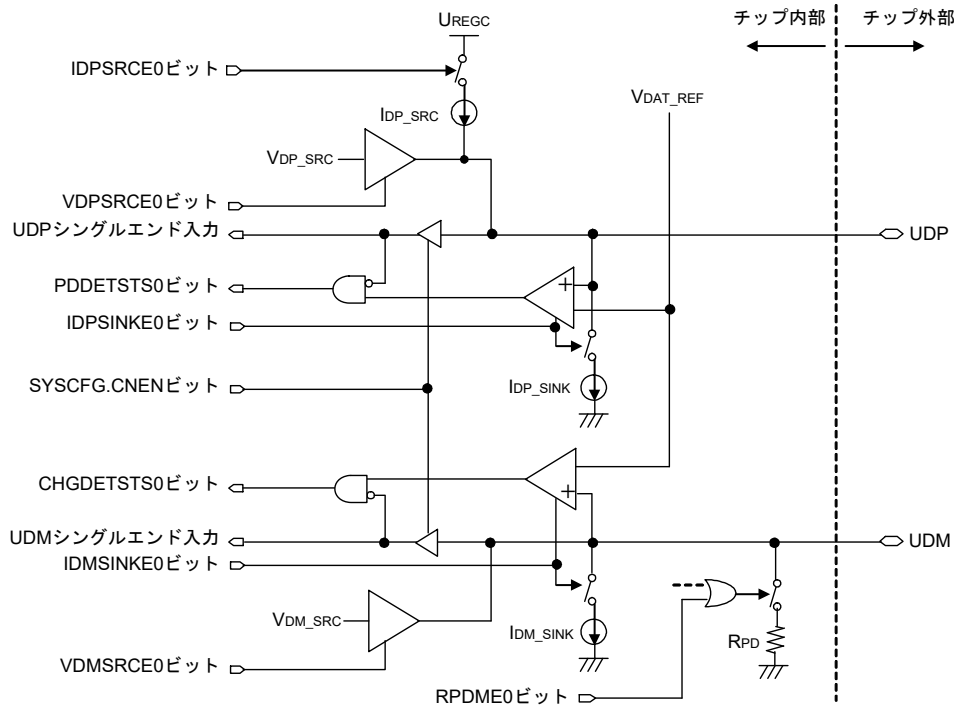
Charger Detection Algorithmsにしたがってこれらの処理を実施することにより, Portable Deviceとして接続先がStandard Downstream Port, Charging Downstream PortもしくはDedicated Charging Portであることを判別(BC接続検知機能; USBポート)することができます。

BC接続検知処理(フロー)の詳細は「応用技術資料(アプリケーションノート)」をご参照ください。

上記の Data Contact Detection, Primary Detection, Secondary Detection の各検知はUSBトランシーバに併設されるBC接続検知用のインターフェイス回路によって実施されます。この回路はBattery Charging Specification Revision 1.2に準拠した接続検知を実施するために必要な電圧源(VDP_SRC, VDM_SRC), 電流源(IDP_SRC)や電圧(VDAT_REF)検知機能を持ち, それぞれをBCコントロール・レジスタ0 (USBBCCTRL0)の各ビットにて制御, モニタすることができます。

図17-54にBC接続検知用のインターフェイス回路を示します。

図17-54 BC接続検知用インターフェイス回路(USBポート) BC接続検知機能



17.4.11 Battery Charging 接続検知オプション機能

Battery Charging仕様の拡張性を考慮して接続検知制御に以下のオプション機能を追加しています。

- USBポート電圧検知機能(16段階)

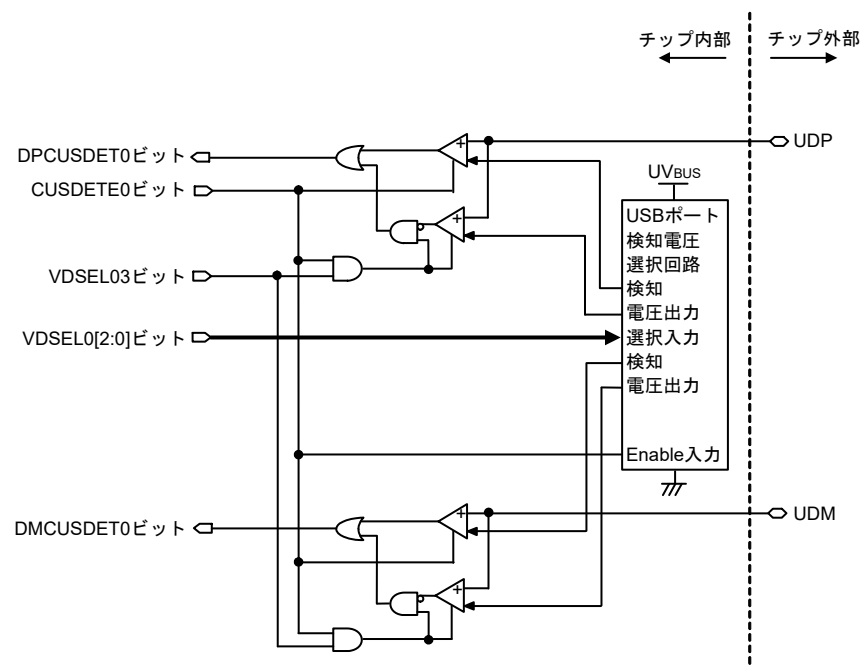
BC接続検知機能のオプション機能として、UVBUS端子に印加される5Vを分圧した16段階のリファレンス電圧を使用して、USBポートに入力される電圧レベルを検知することができます。

UVBUS端子への電圧印加を実施した上でBCオプション・コントロール・レジスタ0 (USBBCOPT0)を設定することによって各種機能の制御や各種検知結果のモニタが可能です。

BC接続検知オプション機能の詳細は「応用技術資料(アプリケーションノート)」をご参照ください。

図17-55にBC接続検知オプション機能用インターフェイス回路(USBポート) BC接続検知機能を示します。

図17-55 BC接続検知オプション機能用インターフェイス回路(USBポート) BC接続検知機能



17.4.12 Battery Charging 検知処理

Battery Charging 規格が定める Data Contact Detection 処理(D+線接触確認)、Primary Detection 処理(Charger 検知処理)、Secondary Detection 処理(Charger 判定処理)の制御をコントロールすることができます。

以下に Peripheral Device の場合に求められる動作を説明します。

17.4.12.1 ファンクション・コントローラ時の処理

Battery Charging の Portable Device として動作させる場合、以下の処理が必要です。

- (1) Data 線(D+/D-)の接触を検知し、Primary Detection 処理を開始。
- (2) Primary Detection 開始後、40 ms のマスク期間後、D- の電圧レベルにより、Primary Detection の結果を確認。
- (3) Primary Detection で Charger 検知となった場合、さらに Secondary Detection を開始する。
- (4) Secondary Detection 開始後、40 ms のマスク期間後、D+ の電圧レベルにより Secondary Detection の結果を確認。

上記(1)に対しては、VBINT 割り込み、VBSTS ビットにより VBUS を検知したあと、300 ms ~ 900 ms のソフトウェアウェイトし、USBBCCTRL レジスタの VDPSRCE ビット、IDMSINKE ビットをセットします。あるいは、IDPSRCE ビットをセットし、LNST ビットにより D+ 線が High から Low になることを検知後、IDPSRCE ビットをクリア、VDPSRCE ビットおよび IDMSINKE ビットをセットします。VDPSRCE ビット、IDMSINKE ビットは同時にセットしてください。注¹

上記(2)に対しては、VDPSRCE ビット、IDMSINKE ビットをセットして 40 ms のソフトウェアのウェイト後、CHGDETSTS ビットにより Primary Detection の結果を判断します。注²

上記(3)に対しては、上記(2)の処理で CHGDETSTS ビットがセットされている場合、Charger 検知したとして判断し、VDPSRCE ビットおよび IDMSINKE ビットをクリア、VDMSRCE ビットおよび IDPSINKE ビットをセットします。

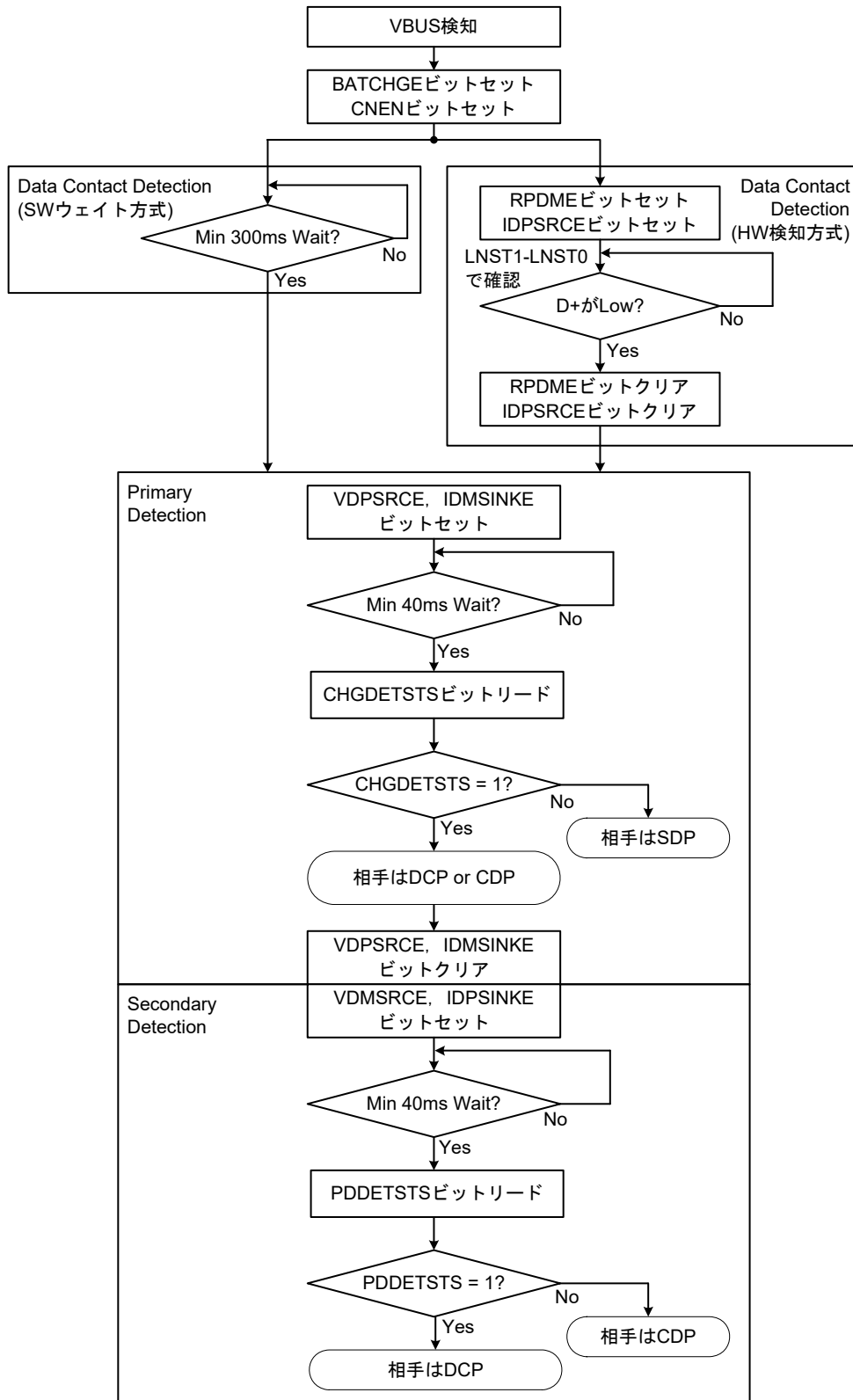
上記(4)に対しては、VDMSRCE ビットおよび IDPSINKE ビットをセットして 40 ms のソフトウェアのウェイト後、PDDTSTS ビットにより Secondary Detection の結果を判断します。

図 17 - 56 に Portable Device としての処理フローを示します。

注¹. Battery Charging 規格では、Data Contact Detection (D+/D- ラインの接触確認)のための処理フローとして 2 通りのインプリ方法を示してあります。一つは、D+ ラインに 7 ~ 13 uA の電流を印加することで D+ ラインを Logic High 状態にしておき、D+/D- ラインが相手と接触すると Host 機器側のプルダウン抵抗により Logic Low になることを検知する方法です。もう一方の方法は、VBUS 検知後 300 ms ~ 900 ms 間ウェイトする方法です。

注². Primary Detection では、D- ラインが 0.25 V ~ 0.4 V 以上、0.8 V ~ 2.0 V 以下であることを検知することで、相手機器が Battery Charging 対応 Host 機器 (Charging Downstream Port) と判断します。CHGDETSTS ビットが D- ラインの 0.25 V ~ 0.4 V 以上ということだけを示すような PHY を使用される場合、LNST ビットにより D- ラインが 0.8 V ~ 2.0 V 以下であることの確認処理を適宜追加してください。

図 17 - 56 Portable Device としての処理フロー



第18章 LCDコントローラ／ドライバ

RL78/L1CのLCD表示機能端子は製品ごとに搭載する数が異なります。次の表に製品ごとのLCD表示機能端子数を示します。

表 18 - 1 製品ごとのLCD表示機能端子

項目		RL78/L1C															
		80/85ピン(R5F11xM/R5F11xN (x = 0, 1))								100ピン(R5F11xP (x = 0, 1))							
LCD出力端子数		セグメント信号出力 : 44 (40) ^注 コモン信号出力 : 8								セグメント信号出力 : 56 (52) ^注 コモン信号出力 : 8							
兼用 I/Oポート		bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
セグメント	P0	SEG 55	SEG 54	SEG 53	SEG 52	SEG 51	SEG 50	SEG 49	SEG 48	SEG 55	SEG 54	SEG 53	SEG 52	SEG 51	SEG 50	SEG 49	SEG 48
	P1	—	—	—	—	—	SEG 42	SEG 41	SEG 40	SEG 47	SEG 46	SEG 45	SEG 44	SEG 43	SEG 42	SEG 41	SEG 40
	P2	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 34	SEG 33	SEG 32
	P3	—	—	SEG 25	SEG 24	SEG 23	SEG 22	SEG 21	SEG 20	SEG 27	SEG 26	SEG 25	SEG 24	SEG 23	SEG 22	SEG 21	SEG 20
	P5	—	—	—	—	—	SEG 6	SEG 5	SEG 4	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4
	P7	SEG 19	SEG 18	SEG 17	SEG 16	SEG 15	SEG 14	SEG 13	SEG 12	SEG 19	SEG 18	SEG 17	SEG 16	SEG 15	SEG 14	SEG 13	SEG 12
	P14	—	—	—	—	SEG 31	SEG 30	SEG 29	SEG 28	—	—	—	—	SEG 31	SEG 30	SEG 29	SEG 28
COM信号出力端子とI/Oポートの兼用関係		—								—							
COM信号出力端子と他のLCD表示機能端子の兼用関係	COM4	SEG0								SEG0							
	COM5	SEG1								SEG1							
	COM6	SEG2								SEG2							
	COM7	SEG3								SEG3							

注 ()内は8 com使用時の信号出力本数です。

18.1 LCDコントローラ／ドライバの機能

RL78/L1Cに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) A波形, B波形の選択が可能
- (2) LCD駆動電圧生成回路は, 内部昇圧／容量分割／外部抵抗分割の切り替えが可能
- (3) 表示データ・レジスタの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (4) 昇圧回路動作時に生成する基準電圧を16段階から選択可能(コントラスト調整)
- (5) LCD点滅が可能

各表示モードにおける表示可能な最大画素数を表 18 - 2, 表 18 - 3に示します。

表 18 - 2 最大表示画素数(1/2)

(a) 80/85 ピン製品

LCD ドライバ用駆動波形	LCD ドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割	—	スタティック	44 (44セグメント×1コモン)
		1/2	2	88 (44セグメント×2コモン)
			3	132 (44セグメント×3コモン)
		1/3	3	176 (44セグメント×4コモン)
			4	
		1/4	8	320 (40セグメント×8コモン)
	内部昇圧	1/3	3	132 (44セグメント×3コモン)
			4	176 (44セグメント×4コモン)
		1/4	8	320 (40セグメント×8コモン)
	容量分割	1/3	3	132 (44セグメント×3コモン)
			4	176 (44セグメント×4コモン)
	B波形	外部抵抗分割, 内部昇圧	1/3	4
1/4			8	
容量分割		1/3	4	176 (44セグメント×4コモン)

表 18 - 3 最大表示画素数(2/2)

(b) 100 ピン製品

LCD ドライバ用駆動波形	LCD ドライバ用 駆動電圧生成回路	バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割	—	スタティック	56 (56セグメント×1コモン)
		1/2	2	112 (56セグメント×2コモン)
			3	168 (56セグメント×3コモン)
		1/3	3	224 (56セグメント×4コモン)
			4	
		1/4	8	416 (52セグメント×8コモン)
	内部昇圧	1/3	3	168 (56セグメント×3コモン)
			4	224 (56セグメント×4コモン)
		1/4	8	416 (52セグメント×8コモン)
	容量分割	1/3	3	168 (56セグメント×3コモン)
			4	224 (56セグメント×4コモン)
	B波形	外部抵抗分割, 内部昇圧	1/3	4
1/4			8	
容量分割		1/3	4	224 (56セグメント×4コモン)

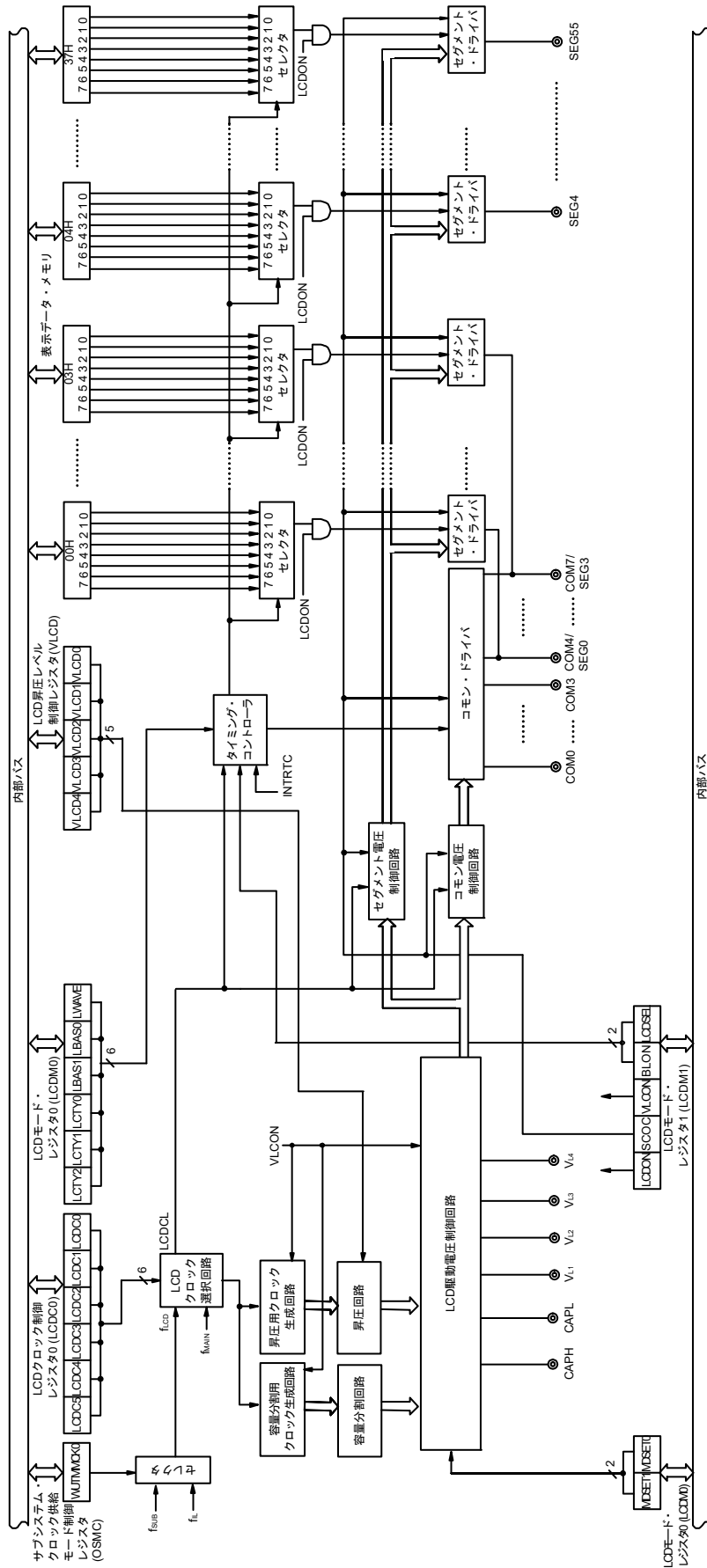
18.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表 18 - 4 LCDコントローラ／ドライバの構成

項目	構成
制御レジスタ	LCDモード・レジスタ0 (LCDM0) LCDモード・レジスタ1 (LCDM1) サブシステム・クロック供給モード制御レジスタ (OSMC) LCDクロック制御レジスタ0 (LCDC0) LCD昇圧レベル制御レジスタ (VLCD) LCD入力切り替え制御レジスタ (ISCLCD) LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6) ポート・モード・レジスタ0-3, 5, 7, 14 (PM0-PM3, PM5, PM7, PM14)

図18-1 LCDコントローラ/ドライバのブロック図



18.3 LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは、次の9種類のレジスタで制御します。

- LCDモード・レジスタ0 (LCDM0)
- LCDモード・レジスタ1 (LCDM1)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- LCDクロック制御レジスタ0 (LCDC0)
- LCD昇圧レベル制御レジスタ (VLCD)
- LCD入力切り替え制御レジスタ (ISCLCD)
- LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6)
- ポート・モード・レジスタ0-3, 5, 7, 14 (PM0-PM3, PM5, PM7, PM14)

18.3.1 LCDモード・レジスタ0 (LCDM0)

LCDの動作を設定するレジスタです。

LCDM0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-2 LCDモード・レジスタ0 (LCDM0)のフォーマット

アドレス : FFF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0
	MDSET1	MDSET0	LCD駆動電圧生成回路の選択					
	0	0	外部抵抗分割方式					
	0	1	内部昇圧方式					
	1	0	容量分割方式					
	1	1	設定禁止					
	LWAVE	LCD表示波形の選択						
	0	A波形						
	1	B波形						
	LDTY2	LDTY1	LDTY0	LCD表示の時分割数選択				
	0	0	0	スタティック				
	0	0	1	2時分割				
	0	1	0	3時分割				
	0	1	1	4時分割				
	1	0	1	8時分割				
	上記以外			設定禁止				
	LBAS1	LBAS0	LCD表示のバイアス法選択					
	0	0	1/2バイアス法					
	0	1	1/3バイアス法					
	1	0	1/4バイアス法					
	1	1	設定禁止					

注意1. LCDM1のSCOC = 1のときに、LCDM0の値を書き換えないでください。

注意2. スタティックを選択した場合(LDTY2-LDTY0ビット = 000B)、LBAS1、LBAS0ビットの設定は必ず初期値(00B)にしてください。初期値以外の値を設定した場合の動作は保証しません。

注意3. 表示波形、時分割数、バイアス法の設定は表18-5に示す組み合わせのみサポートします。

表18-5で示す組み合わせ以外は設定禁止です。

表 18 - 5 表示波形/時分割数/バイアス法とフレーム周波数の設定の組み合わせ

表示モード			設定値							駆動電圧生成方式		
表示波形	時分割数	バイアス法	LCTZS	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0	外部抵抗分割	内部昇圧	容量分割
A波形	8	1/4	0	0	1	0	1	1	0	○ (24~128Hz)	○ (24~64Hz)	×
A波形	4	1/3	0	0	0	1	1	0	1	○ (24~128Hz)	○ (24~128Hz)	○ (24~128Hz)
A波形	3	1/3	0	0	0	1	0	0	1	○ (32~128Hz)	○ (32~128Hz)	○ (32~128Hz)
A波形	3	1/2	0	0	0	1	0	0	0	○ (32~128Hz)	×	×
A波形	2	1/2	0	0	0	0	1	0	0	○ (24~128Hz)	×	×
A波形	スタティック		0	0	0	0	0	0	0	○ (24~128Hz)	×	×
B波形	8	1/4	0	1	1	0	1	1	0	○ (24~128Hz)	○ (24~64Hz)	×
B波形	4	1/3	0	1	0	1	1	0	1	○ (24~128Hz)	○ (24~128Hz)	○ (24~128Hz)

備考 ○ : 対応

× : 非対応

18.3.2 LCDモード・レジスタ1 (LCDM1)

表示動作の許可／禁止、昇圧回路もしくは容量分割回路の動作許可／停止、表示データ領域、低電圧モードを設定するレジスタです。

LCDM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-3 LCDモード・レジスタ1 (LCDM1)のフォーマット

アドレス : FFF41H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM
	SCOC	LCDON	LCD表示の許可／禁止					
	0	0	セグメント端子／コモン端子にグラウンド・レベルを出力					
	0	1						
	1	0	表示オフ(セグメント出力はすべて非選択信号出力)					
	1	1	表示オン					
	VLCON	昇圧回路もしくは容量分割回路の動作許可／停止						
	0	昇圧回路もしくは容量分割回路の動作停止						
	1注1	昇圧回路もしくは容量分割回路の動作許可						
	BLON注2	LCDSEL	表示データ領域の制御					
	0	0	Aパターン領域(LCD表示データ・レジスタの下位4ビット)のデータを表示					
	0	1	Bパターン領域(LCD表示データ・レジスタの上位4ビット)のデータを表示					
	1	0	Aパターン領域とBパターン領域のデータを交互に表示(リアルタイム・クロック2					
	1	1	(RTC2)の定周期割り込み(INTRTC)タイミングに対応した点滅表示)					
	LCDVLM注3	昇圧端子の初期化制御						
	0	昇圧端子の初期化制御を実行しない						
	1	昇圧端子の初期化制御を実行する						

注1. 外部抵抗分割モード時には設定禁止。

注2. LCDソース・クロック(fLCD)としてfILを選択する場合は、必ずBLONビット=0にしてください。

注3. 昇圧回路使用時に、VLx端子の初期状態を設定して効率的に昇圧を行うための機能です。

内部昇圧方式を使用する場合は、1に設定してください。

抵抗分割もしくは容量分割方式を使用する場合は、0に設定してください。

注意1. 昇圧回路使用時にLCD表示を行わないときに消費電力を削減したい場合は、SCOC = 0, VLCON = 0を設定し、さらにMDSET1, MDSET0 = 00を設定してください。

MDSET1, MDSET0 = 01の場合、内部の基準電圧生成部が動作するため電力を消費します。

注意2. 外部抵抗分割方式設定時(LCDM0のMDSET1, MDSET0ビット = 00B)または容量分割方式設定時(MDSET1, MDSET0ビット = 10B)は、LCDVLMに0を設定してください。

注意3. SCOC = 1のときVLCON, LCDVLMを書き換えないでください。

注意4. 表示モードに8時分割数を選択した場合、BLONとLCDSELに0を設定してください。

注意5. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから)、基準電圧セットアップ時間(5 ms (MIN.))をウエイトしたあとに、VLCONに1を設定してください。

18.3.3 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバの動作クロックを選択できます。

OSMC レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 18 - 4 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表 23 - 1 参照)
1	リアルタイム・クロック2、12ビット・インターバル・タイマ、クロック出力／ブザー出力、LCDコントローラ／ドライバ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0 注	リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDドライバ／コントローラの動作クロックの選択	クロック出力／ブザー出力のPCLBUZn端子の出力クロックの選択
0	サブシステム・クロック (fsUB)	サブシステム・クロック (fsUB) 選択許可
1	低速オンチップ・オシレータ・クロック (fil)	サブシステム・クロック (fsUB) 選択禁止

注 サブシステム・クロック発振中の場合は、必ずサブシステム・クロックを選択 (WUTMMCK0 ビット = 0) にしてください。

注意 WUTMMCK0 ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック2、12ビット・インターバル・タイマ、LCDコントローラ／ドライバの動作開始前に一度のみ可能です。

各機能の動作停止方法は次のとおりです。

リアルタイム・クロック2の停止設定 : RTCE = 0

12ビット・インターバル・タイマの停止設定 : RINTE = 0

LCDコントローラ／ドライバの停止設定 : SCOC = 0かつVLCON = 0

備考 RTCE : リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット7

RINTE : インターバル・タイマ・コントロール・レジスタ (ITMC)のビット15

SCOC : LCDモード・レジスタ1 (LCDM1)のビット6

VLCON : LCDモード・レジスタ1 (LCDM1)のビット5

18.3.4 LCDクロック制御レジスタ0 (LCDC0)

LCDクロックを設定するレジスタです。

LCDクロックと時分割数で、フレーム周波数が決まります。

LCDC0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 18 - 5 LCDクロック制御レジスタ0 (LCDC0)のフォーマット

アドレス : FFF42H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00

LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00	LCDクロック (LCDCL)
0	0	0	1	0	0	$f_{SUB}/2^5$ or $f_{IL}/2^5$
0	0	0	1	0	1	$f_{SUB}/2^6$ or $f_{IL}/2^6$
0	0	0	1	1	0	$f_{SUB}/2^7$ or $f_{IL}/2^7$
0	0	0	1	1	1	$f_{SUB}/2^8$ or $f_{IL}/2^8$
0	0	1	0	0	0	$f_{SUB}/2^9$ or $f_{IL}/2^9$
0	0	1	0	0	1	$f_{SUB}/2^{10}$
0	1	0	0	1	1	$f_{MAIN}/2^{10}$
0	1	0	1	0	0	$f_{MAIN}/2^{11}$
0	1	0	1	0	1	$f_{MAIN}/2^{12}$
0	1	0	1	1	0	$f_{MAIN}/2^{13}$
0	1	0	1	1	1	$f_{MAIN}/2^{14}$
0	1	1	0	0	0	$f_{MAIN}/2^{15}$
0	1	1	0	0	1	$f_{MAIN}/2^{16}$
0	1	1	0	1	0	$f_{MAIN}/2^{17}$
0	1	1	0	1	1	$f_{MAIN}/2^{18}$
1	0	1	0	1	1	$f_{MAIN}/2^{19}$
上記以外						設定禁止

注意1. LCDM1レジスタのSCOCビット = 1のときLCDC0を設定しないでください。

注意2. ビット6, 7には、必ず0を設定してください。

注意3. 内部昇圧方式、容量分割方式に設定した場合、LCDクロック (LCDCL)は次のように設定してください。

- f_{SUB} 選択時 512 Hz 以下
- f_{IL} 選択時 235 Hz 以下

詳細は、表 18 - 5 表示波形／時分割数／バイアス法とフレーム周波数の設定の組み合わせを参照してください。

備考 f_{MAIN} : メイン・システム・クロック周波数
 f_{IL} : 低速オンチップ・オシレータ・クロック周波数
 f_{SUB} : サブシステム・クロック周波数

18.3.5 LCD昇圧レベル制御レジスタ (VLCD)

昇圧回路動作時に生成する基準電圧を選択(コントラスト調整)するレジスタです。基準電圧は、16段階から選択することができます。

VLCDは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、04Hになります。

図 18 - 6 LCD昇圧レベル制御レジスタ (VLCD)のフォーマット

アドレス : FFF43H リセット時 : 04H R/W

略号	7	6	5	4	3	2	1	0
VLCD	0	0	0	VLCD4	VLCD3	VLCD2	VLCD1	VLCD0

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	基準電圧選択 (コントラスト 調整)	VL4 電圧	
						1/3バイアス 法時	1/4バイアス 法時
0	0	1	0	0	1.00 V (デフォルト)	3.00 V	4.00 V
0	0	1	0	1	1.05 V	3.15 V	4.20 V
0	0	1	1	0	1.10 V	3.30 V	4.40 V
0	0	1	1	1	1.15 V	3.45 V	4.60 V
0	1	0	0	0	1.20 V	3.60 V	4.80 V
0	1	0	0	1	1.25 V	3.75 V	5.00 V
0	1	0	1	0	1.30 V	3.90 V	5.20 V
0	1	0	1	1	1.35 V	4.05 V	設定禁止
0	1	1	0	0	1.40 V	4.20 V	設定禁止
0	1	1	0	1	1.45 V	4.35 V	設定禁止
0	1	1	1	0	1.50 V	4.50 V	設定禁止
0	1	1	1	1	1.55 V	4.65 V	設定禁止
1	0	0	0	0	1.60 V	4.80 V	設定禁止
1	0	0	0	1	1.65 V	4.95 V	設定禁止
1	0	0	1	0	1.70 V	5.10 V	設定禁止
1	0	0	1	1	1.75 V	5.25 V	設定禁止
上記以外					設定禁止		

注意 1. VLCDレジスタの設定は、昇圧回路動作時のみ有効です。

注意 2. ビット5-7には、必ず0を設定してください。

注意 3. VLCDレジスタの値を変更する場合は、必ず昇圧回路の動作を停止(VLCON = 0)してから行ってください。

注意 4. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから)、基準電圧セットアップ時間(5 ms (MIN.))をウエイトしたあとに、VLCONに1を設定してください。

注意 5. 外部抵抗分割方式または容量分割方式では、VLCDレジスタは初期値(04H)で使用してください。

18.3.6 LCD入力切り替え制御レジスタ (ISCLCD)

CAPL/P126, CAPH/P127, VL3/P125 端子をLCD機能として動作するように設定を行うまでの期間、貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCDレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-7 LCD入力切り替え制御レジスタ (ISCLCD)のフォーマット

アドレス : F0308H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISCLCD	0	0	0	0	0	0	ISCVL3	ISCCAP

ISCVL3	VL3/P125端子のシュミット・トリガ・バッファの制御	
0	入力無効	
1	入力有効	

ISCCAP	CAPL/ P126, CAPH/P127端子のシュミット・トリガ・バッファの制御	
0	入力無効	
1	入力有効	

注意1. ISCVL3ビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU125ビット = 0, P12レジスタのP125ビット = 0

注意2. ISCCAPビット = 0の場合、対応するポート制御レジスタは、次のように設定してください。

PU12レジスタのPU127ビット = 0, P12レジスタのP127ビット = 0

(1) VL3, CAPL, CAPH端子兼用ポートの動作

VL3/P125, CAPL/P126, CAPH/P127端子の機能は、LCD入力切り替え制御レジスタ (ISCLCD)、LCDモード・レジスタ0 (LCDM0)、ポート・モード・レジスタ12 (PM12)の設定で決定します。

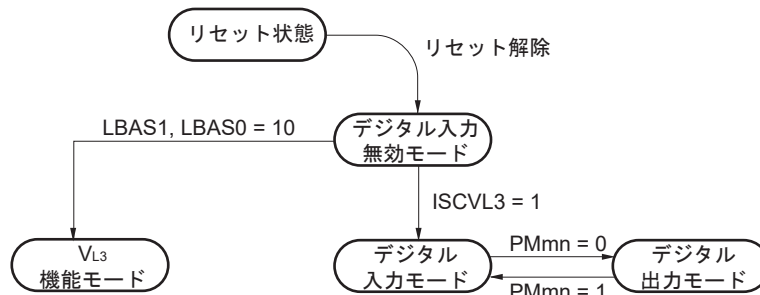
- VL3/P125

表18-6 VL3/P125端子機能の設定

バイアス法設定 (LCDM0レジスタのLBAS1, LBAS0ビットで設定)	ISCLCDレジスタ のISCVL3ビット	PM12レジスタ のPM125ビット	端子機能	初期状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00または01)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
1/4バイアス法 (LBAS1, LBAS0 = 10)	0	1	VL3機能モード	—
上記以外			設定禁止	

VL3/P125端子機能の状態遷移を次に示します。

図 18 - 8 VL3/P125端子機能の状態遷移図



注意 VL3機能モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット = 0の期間)に設定してください。

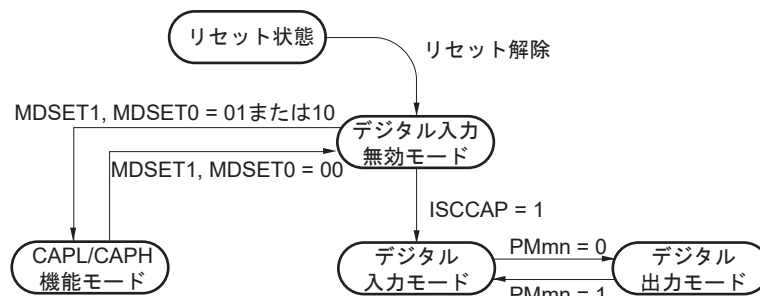
- CAPL/P126, CAPH/P127

表 18 - 7 CAPL/P126, CAPH/P127端子機能の設定

LCD駆動電圧生成 (LCDM0レジスタのMDSET1, MDSET0ビット)	ISCLCDレジスタ のISCCAPビット	PM12レジスタの PM126, PM127ビット	端子機能	初期状態
外部抵抗分割 (MDSET1, MDSET0 = 00)	0	1	デジタル入力無効モード	○
	1	0	デジタル出力モード	—
	1	1	デジタル入力モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01または10)	0	1	CAPL/CAPH機能モード	—
上記以外			設定禁止	

CAPL/P126, CAPH/P127端子機能の状態遷移を次に示します。

図 18 - 9 CAPL/P126, CAPH/P127端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1 (LCDM1)のSCOCビット = 0の期間)に設定してください。

18.3.7 LCDポート・ファンクション・レジスタ0-6 (PFSEG0-PFSEG6)

P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P140-P143端子をポート(セグメント出力以外)/セグメント出力のどちらかで使用するかを設定するレジスタです。PFSEG0-PFSEG6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります(PFSEG0はF0H)。

備考 セグメント出力端子(SEGxx)とPFSEGレジスタ(PFSEGxxビット)の対応と、製品によるSEGxx端子の有無を表18-8 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)に示します。

図18-10 LCDポート・ファンクション・レジスタのフォーマット(100ピン製品)

アドレス : F0300H		リセット時 : F0H		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG0	PFSEG07	PFSEG06	PFSEG05	PFSEG04	0	0	0	0
アドレス : F0301H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08
アドレス : F0302H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16
アドレス : F0303H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24
アドレス : F0304H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG39	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32
アドレス : F0305H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG5	PFSEG47	PFSEG46	PFSEG45	PFSEG44	PFSEG43	PFSEG42	PFSEG41	PFSEG40
アドレス : F0306H		リセット時 : FFH		R/W				
略号	7	6	5	4	3	2	1	0
PFSEG6	PFSEG55	PFSEG54	PFSEG53	PFSEG52	PFSEG51	PFSEG50	PFSEG49	PFSEG48
PFSEGxx	Pmn端子のポート(セグメント出力以外)/セグメント出力の指定							
(xx = 04-55)	(mn = 00-07, 10-17, 20-27, 30-37, 50-57, 70-77, 140-143)							
0	ポート(セグメント出力以外)として使用							
1	セグメント出力として使用							

注意 セグメント出力として使用する(PFSEGxx = 1)場合には必ずPUmレジスタのPUmnビット = 0, POMmレジスタのPOMmnビット = 0, PIMmレジスタのPIMmnビット = 0に設定してください。

表 18 - 8 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)

PFSEGレジスタのビット名	対応するSEGxx端子	兼用するポート	100-pin	80/85-pin
PFSEG04	SEG4	P50	○	○
PFSEG05	SEG5	P51	○	○
PFSEG06	SEG6	P52	○	○
PFSEG07	SEG7	P53	○	—
PFSEG08	SEG8	P54	○	—
PFSEG09	SEG9	P55	○	—
PFSEG10	SEG10	P56	○	—
PFSEG11	SEG11	P57	○	—
PFSEG12	SEG12	P70	○	○
PFSEG13	SEG13	P71	○	○
PFSEG14	SEG14	P72	○	○
PFSEG15	SEG15	P73	○	○
PFSEG16	SEG16	P74	○	○
PFSEG17	SEG17	P75	○	○
PFSEG18	SEG18	P76	○	○
PFSEG19	SEG19	P77	○	○
PFSEG20	SEG20	P30	○	○
PFSEG21	SEG21	P31	○	○
PFSEG22	SEG22	P32	○	○
PFSEG23	SEG23	P33	○	○
PFSEG24	SEG24	P34	○	○
PFSEG25	SEG25	P35	○	○
PFSEG26	SEG26	P36	○	—
PFSEG27	SEG27	P37	○	—
PFSEG28	SEG28	P140	○	○
PFSEG29	SEG29	P141	○	○
PFSEG30	SEG30	P142	○	○
PFSEG31	SEG31	P143	○	○
PFSEG32	SEG32	P20	○	○
PFSEG33	SEG33	P21	○	○
PFSEG34	SEG34	P22	○	○
PFSEG35	SEG35	P23	○	○
PFSEG36	SEG36	P24	○	○
PFSEG37	SEG37	P25	○	○
PFSEG38	SEG38	P26	○	○
PFSEG39	SEG39	P27	○	○
PFSEG40	SEG40	P10	○	○
PFSEG41	SEG41	P11	○	○
PFSEG42	SEG42	P12	○	○
PFSEG43	SEG43	P13	○	—
PFSEG44	SEG44	P14	○	—
PFSEG45	SEG45	P15	○	—
PFSEG46	SEG46	P16	○	—
PFSEG47	SEG47	P17	○	—
PFSEG48	SEG48	P00	○	○
PFSEG49	SEG49	P01	○	○
PFSEG50	SEG50	P02	○	○
PFSEG51	SEG51	P03	○	○
PFSEG52	SEG52	P04	○	○
PFSEG53	SEG53	P05	○	○
PFSEG54	SEG54	P06	○	○
PFSEG55	SEG55	P07	○	○

(1) SEGxx端子兼用ポートの動作

セグメント出力端子 (SEGxx) の機能は、ポート・モード・コントロール・レジスタ (PMCxx)、ポート・モード・レジスタ (PMxx)、LCDポート・ファンクション・レジスタ 0-6 (PFSEG0-PFSEG6) の設定で決定します。

- P00-P07, P10-P17, P22-P27, P30-P37, P50-P57, P70-P77

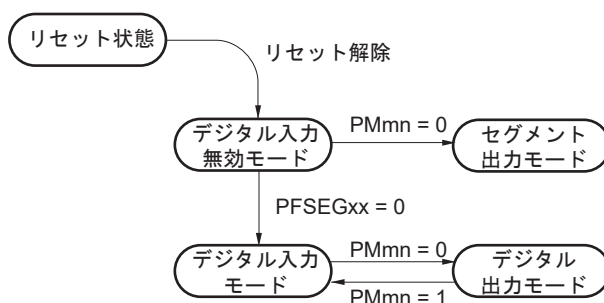
(アナログ入力端子 (ANlxx) を兼用していないポート)

表 18 - 9 SEGxx/ポート端子機能の設定

PFSEG0-PFSEG6レジスタの PFSEGxxビット	PMxxレジスタのPMxxビット	端子機能	初期状態
1	1	デジタル入力無効モード	○
0	0	デジタル出力モード	—
0	1	デジタル入力モード	—
1	0	セグメント出力モード	—

SEGxx/ポート端子機能の状態遷移を次に示します。

図 18 - 11 SEGxx/ポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ 1 (LCDM1)のSCOCビット = 0の期間)に設定してください。

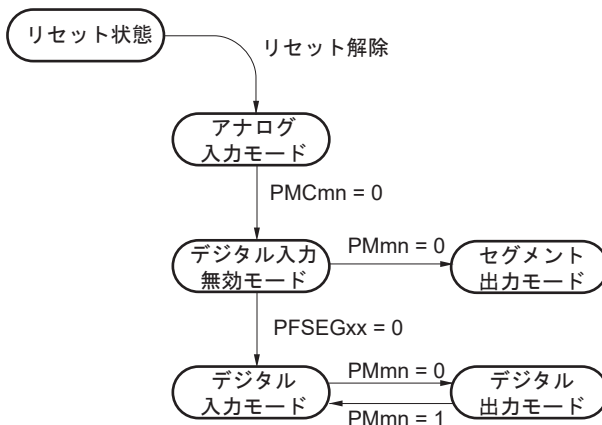
- P20, P21, P140-P143 (アナログ入力端子(ANLxx)を兼用するポート)

表 18 - 10 ANLxx/SEGxx/ポート端子機能の設定

PMCxxレジスタのPMCxxビット	PFSEG2, PFSEG3レジスタのPFSEGxxビット	PMxxレジスタのPMxxビット	端子機能	初期状態
1	1	1	アナログ入力モード	○
0	0	0	デジタル出力モード	—
0	0	1	デジタル入力モード	—
0	1	0	セグメント出力モード	—
0	1	1	デジタル入力無効モード	—
上記以外			設定禁止	

ANLxx/SEGxx/ポート端子機能の状態遷移を次に示します。

図 18 - 12 ANLxx/SEGxx/ポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前(LCDモード・レジスタ1(LCDM1)のSCOCビット=0の期間)に設定してください。

18.3.8 ポート・モード・レジスタ 0-3, 5, 7, 14 (PM0-PM3, PM5, PM7, PM14)

ポート0-3, 5, 7, 14の入力/出力を1ビット単位で設定するレジスタです。

セグメント出力端子を兼用するポート(P00/SEG48など)をセグメント出力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

例) P00/SEG48をセグメント出力として使用する場合

ポート・モード・レジスタ0のPM00ビットを0に設定

ポート・レジスタ0のP00ビットを0に設定

PM0-PM3, PM5, PM7, PM14レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図18 - 13 ポート・モード・レジスタ 0-3, 5, 7, 14 (PM0-PM3, PM5, PM7, PM14) (100ピン製品の場合)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM14	1	1	1	1	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 5, 7, 14; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

備考 上記は、100ピン製品のポート・モード・レジスタ0-3, 5, 7, 14のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-2～表4-5各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

18.4 LCD表示データ・レジスタ

LCD表示データ・レジスタは、表18-11～表18-14のようにマッピングしています。LCD表示データ・レジスタの内容を変更することでLCD表示内容を変更できます。

表18-11 LCD表示データ・レジスタの内容とセグメント出力/コモン出力の関係(1/4)

(a) 8時分割以外(スタティック, 2時分割, 3時分割, 4時分割) (1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80/85-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0 (Bパターン領域)				SEG0 (Aパターン領域)				○	○
SEG1	F0401H	SEG1 (Bパターン領域)				SEG1 (Aパターン領域)				○	○
SEG2	F0402H	SEG2 (Bパターン領域)				SEG2 (Aパターン領域)				○	○
SEG3	F0403H	SEG3 (Bパターン領域)				SEG3 (Aパターン領域)				○	○
SEG4	F0404H	SEG4 (Bパターン領域)				SEG4 (Aパターン領域)				○	○
SEG5	F0405H	SEG5 (Bパターン領域)				SEG5 (Aパターン領域)				○	○
SEG6	F0406H	SEG6 (Bパターン領域)				SEG6 (Aパターン領域)				○	○
SEG7	F0407H	SEG7 (Bパターン領域)				SEG7 (Aパターン領域)				○	—
SEG8	F0408H	SEG8 (Bパターン領域)				SEG8 (Aパターン領域)				○	—
SEG9	F0409H	SEG9 (Bパターン領域)				SEG9 (Aパターン領域)				○	—
SEG10	F040AH	SEG10 (Bパターン領域)				SEG10 (Aパターン領域)				○	—
SEG11	F040BH	SEG11 (Bパターン領域)				SEG11 (Aパターン領域)				○	—
SEG12	F040CH	SEG12 (Bパターン領域)				SEG12 (Aパターン領域)				○	○
SEG13	F040DH	SEG13 (Bパターン領域)				SEG13 (Aパターン領域)				○	○
SEG14	F040EH	SEG14 (Bパターン領域)				SEG14 (Aパターン領域)				○	○
SEG15	F040FH	SEG15 (Bパターン領域)				SEG15 (Aパターン領域)				○	○
SEG16	F0410H	SEG16 (Bパターン領域)				SEG16 (Aパターン領域)				○	○
SEG17	F0411H	SEG17 (Bパターン領域)				SEG17 (Aパターン領域)				○	○
SEG18	F0412H	SEG18 (Bパターン領域)				SEG18 (Aパターン領域)				○	○
SEG19	F0413H	SEG19 (Bパターン領域)				SEG19 (Aパターン領域)				○	○
SEG20	F0414H	SEG20 (Bパターン領域)				SEG20 (Aパターン領域)				○	○
SEG21	F0415H	SEG21 (Bパターン領域)				SEG21 (Aパターン領域)				○	○
SEG22	F0416H	SEG22 (Bパターン領域)				SEG22 (Aパターン領域)				○	○
SEG23	F0417H	SEG23 (Bパターン領域)				SEG23 (Aパターン領域)				○	○
SEG24	F0418H	SEG24 (Bパターン領域)				SEG24 (Aパターン領域)				○	○
SEG25	F0419H	SEG25 (Bパターン領域)				SEG25 (Aパターン領域)				○	○
SEG26	F041AH	SEG26 (Bパターン領域)				SEG26 (Aパターン領域)				○	—
SEG27	F041BH	SEG27 (Bパターン領域)				SEG27 (Aパターン領域)				○	—
SEG28	F041CH	SEG28 (Bパターン領域)				SEG28 (Aパターン領域)				○	○
SEG29	F041DH	SEG29 (Bパターン領域)				SEG29 (Aパターン領域)				○	○
SEG30	F041EH	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				○	○
SEG31	F041FH	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				○	○
SEG32	F0420H	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				○	○
SEG33	F0421H	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				○	○

表 18 - 12 LCD表示データ・レジスタの内容とセグメント出力/コモン出力の関係(2/4)

(a) 8時分割以外(スタティック, 2時分割, 3時分割, 4時分割) (2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80/85-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG34	F0422H	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				○	○
SEG35	F0423H	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				○	○
SEG36	F0424H	SEG36 (Bパターン領域)				SEG36 (Aパターン領域)				○	○
SEG37	F0425H	SEG37 (Bパターン領域)				SEG37 (Aパターン領域)				○	○
SEG38	F0426H	SEG38 (Bパターン領域)				SEG38 (Aパターン領域)				○	○
SEG39	F0427H	SEG39 (Bパターン領域)				SEG39 (Aパターン領域)				○	○
SEG40	F0428H	SEG40 (Bパターン領域)				SEG40 (Aパターン領域)				○	○
SEG41	F0429H	SEG41 (Bパターン領域)				SEG41 (Aパターン領域)				○	○
SEG42	F042AH	SEG42 (Bパターン領域)				SEG42 (Aパターン領域)				○	○
SEG43	F042BH	SEG43 (Bパターン領域)				SEG43 (Aパターン領域)				○	—
SEG44	F042CH	SEG44 (Bパターン領域)				SEG44 (Aパターン領域)				○	—
SEG45	F042DH	SEG45 (Bパターン領域)				SEG45 (Aパターン領域)				○	—
SEG46	F042EH	SEG46 (Bパターン領域)				SEG46 (Aパターン領域)				○	—
SEG47	F042FH	SEG47 (Bパターン領域)				SEG47 (Aパターン領域)				○	—
SEG48	F0430H	SEG48 (Bパターン領域)				SEG48 (Aパターン領域)				○	○
SEG49	F0431H	SEG49 (Bパターン領域)				SEG49 (Aパターン領域)				○	○
SEG50	F0432H	SEG50 (Bパターン領域)				SEG50 (Aパターン領域)				○	○
SEG51	F0433H	SEG51 (Bパターン領域)				SEG51 (Aパターン領域)				○	○
SEG52	F0434H	SEG52 (Bパターン領域)				SEG52 (Aパターン領域)				○	○
SEG53	F0435H	SEG53 (Bパターン領域)				SEG53 (Aパターン領域)				○	○
SEG54	F0436H	SEG54 (Bパターン領域)				SEG54 (Aパターン領域)				○	○
SEG55	F0437H	SEG55 (Bパターン領域)				SEG55 (Aパターン領域)				○	○

備考 ○ : サポートする — : サポートしない

表 18 - 13 LCD 表示データ・レジスタの内容とセグメント出力/コモン出力の関係 (3/4)

(b) 8時分割(1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80/85-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG0	F0400H	SEG0注								○	○
SEG1	F0401H	SEG1注								○	○
SEG2	F0402H	SEG2注								○	○
SEG3	F0403H	SEG3注								○	○
SEG4	F0404H	SEG4								○	○
SEG5	F0405H	SEG5								○	○
SEG6	F0406H	SEG6								○	○
SEG7	F0407H	SEG7								○	—
SEG8	F0408H	SEG8								○	—
SEG9	F0409H	SEG9								○	—
SEG10	F040AH	SEG10								○	—
SEG11	F040BH	SEG11								○	—
SEG12	F040CH	SEG12								○	○
SEG13	F040DH	SEG13								○	○
SEG14	F040EH	SEG14								○	○
SEG15	F040FH	SEG15								○	○
SEG16	F0410H	SEG16								○	○
SEG17	F0411H	SEG17								○	○
SEG18	F0412H	SEG18								○	○
SEG19	F0413H	SEG19								○	○
SEG20	F0414H	SEG20								○	○
SEG21	F0415H	SEG21								○	○
SEG22	F0416H	SEG22								○	○
SEG23	F0417H	SEG23								○	○
SEG24	F0418H	SEG24								○	○
SEG25	F0419H	SEG25								○	○
SEG26	F041AH	SEG26								○	—
SEG27	F041BH	SEG27								○	—
SEG28	F041CH	SEG28								○	○
SEG29	F041DH	SEG29								○	○
SEG30	F041EH	SEG30								○	○
SEG31	F041FH	SEG31								○	○
SEG32	F0420H	SEG32								○	○
SEG33	F0421H	SEG33								○	○
SEG34	F0422H	SEG34								○	○
SEG35	F0423H	SEG35								○	○
SEG36	F0424H	SEG36								○	○
SEG37	F0425H	SEG37								○	○
SEG38	F0426H	SEG38								○	○
SEG39	F0427H	SEG39								○	○
SEG40	F0428H	SEG40								○	○

表 18 - 14 LCD 表示データ・レジスタの内容とセグメント出力/コモン出力の関係(4/4)

(b) 8時分割(2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100-pin	80/85-pin
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
SEG41	F0429H	SEG41								○	○
SEG42	F042AH	SEG42								○	○
SEG43	F042BH	SEG43								○	—
SEG44	F042CH	SEG44								○	—
SEG45	F042DH	SEG45								○	—
SEG46	F042EH	SEG46								○	—
SEG47	F042FH	SEG47								○	—
SEG48	F0430H	SEG48								○	○
SEG49	F0431H	SEG49								○	○
SEG50	F0432H	SEG50								○	○
SEG51	F0433H	SEG51								○	○
SEG52	F0434H	SEG52								○	○
SEG53	F0435H	SEG53								○	○
SEG54	F0436H	SEG54								○	○
SEG55	F0437H	SEG55								○	○

注 COM4-COM7 端子と SEG0-SEG3 端子は兼用しています。

備考 ○ : サポートする — : サポートしない

スタティック、2時分割、3時分割、または4時分割で使用する場合、LCD表示データ・レジスタの各アドレスの下位4ビットはAパターン領域、上位4ビットはBパターン領域となります。

Aパターン領域のデータとCOM信号の対応は、ビット0⇔COM0、ビット1⇔COM1、ビット2⇔COM2、ビット3⇔COM3となります。

Bパターン領域のデータとCOM信号の対応は、ビット4⇔COM0、ビット5⇔COM1、ビット6⇔COM2、ビット7⇔COM3となります。

BLON = LCDSEL = 0 選択時にはAパターン領域のデータを、BLON = 0, LCDSEL = 1 選択時には、Bパターン領域のデータを、LCDパネルに表示します。

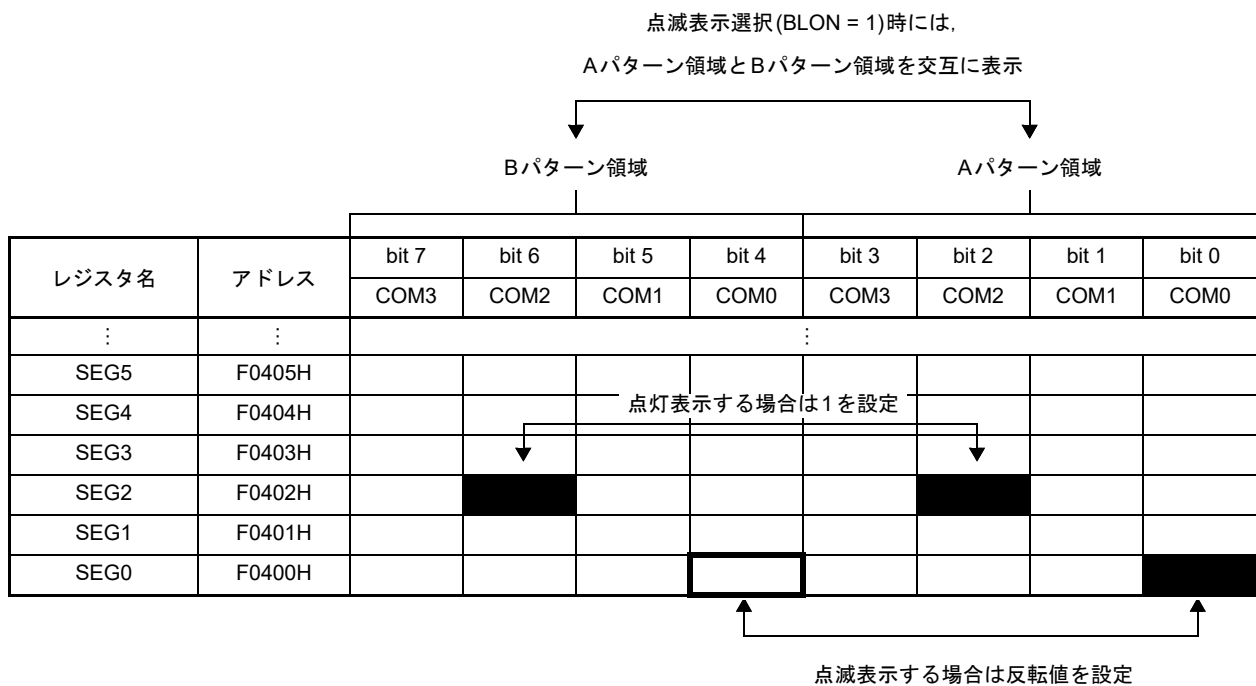
18.5 LCD表示レジスタの選択

RL78/L1Cでは、スタティック、2時分割、3時分割、または4時分割で使用する場合、BLONビットとLCDSELビットの設定により、LCD表示データ・レジスタを次の3種類から選択することができます。

- Aパターン領域(LCD表示データ・レジスタの下位4ビット)のデータ表示
- Bパターン領域(LCD表示データ・レジスタの上位4ビット)のデータ表示
- Aパターン領域とBパターン領域のデータを交互に表示(リアルタイム・クロック2(RTC2)の定周期割り込みタイミングに対応した点滅表示)

注意 8時分割使用時、LCD表示データ・レジスタ(Aパターン、Bパターンまたは点滅表示)を選択することはできません。

図18-14 パターン切り替え表示時のLCD表示レジスタの設定例



18.5.1 Aパターン領域, Bパターン領域のデータ表示

BLON = LCDSEL = 0設定時では, Aパターン領域(LCD表示データ・レジスタの低位4ビット)のデータがLCD表示レジスタとして出力されます。

BLON = 0, LCDSEL = 1設定時では, Bパターン領域(LCD表示データ・レジスタの上位4ビット)のデータがLCD表示レジスタとして出力されます。

表示領域については, 18.4 LCD表示データ・レジスタを参照してください。

18.5.2 点滅表示(Aパターン領域とBパターン領域のデータを交互に表示)

BLON = 1設定時では, リアルタイム・クロック2 (RTC2)の定周期割り込み(INTRTC)タイミングに対応して, Aパターン領域とBパターン領域のデータを交互に表示します。RTCの定周期割り込み(INTRTC, 0.5 s設定のみ)タイミングの設定については, 第8章 リアルタイム・クロック2を参照してください。

LCDを点滅表示する場合, Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください(ex. F0400Hのビット0に1を設定し, 点滅表示する場合は, F0400Hのビット4に0を設定)。また, LCDを点滅表示しない場合は, 同値を設定してください(ex. F0402Hのビット2に1を設定し, 点灯表示する場合は, F0402Hのビット6に1を設定)。

表示領域については, 18.4 LCD表示データ・レジスタを参照してください。

次に, 表示切り替えのタイミング動作を示します。

図18 - 15 Aパターン表示から点滅表示への切り替え動作

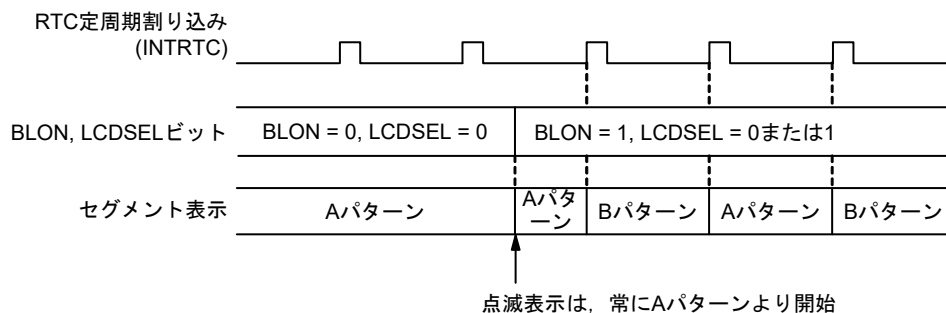
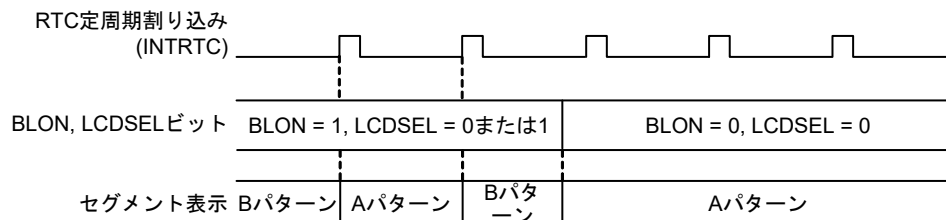


図18 - 16 点滅表示からAパターン表示への切り替え動作



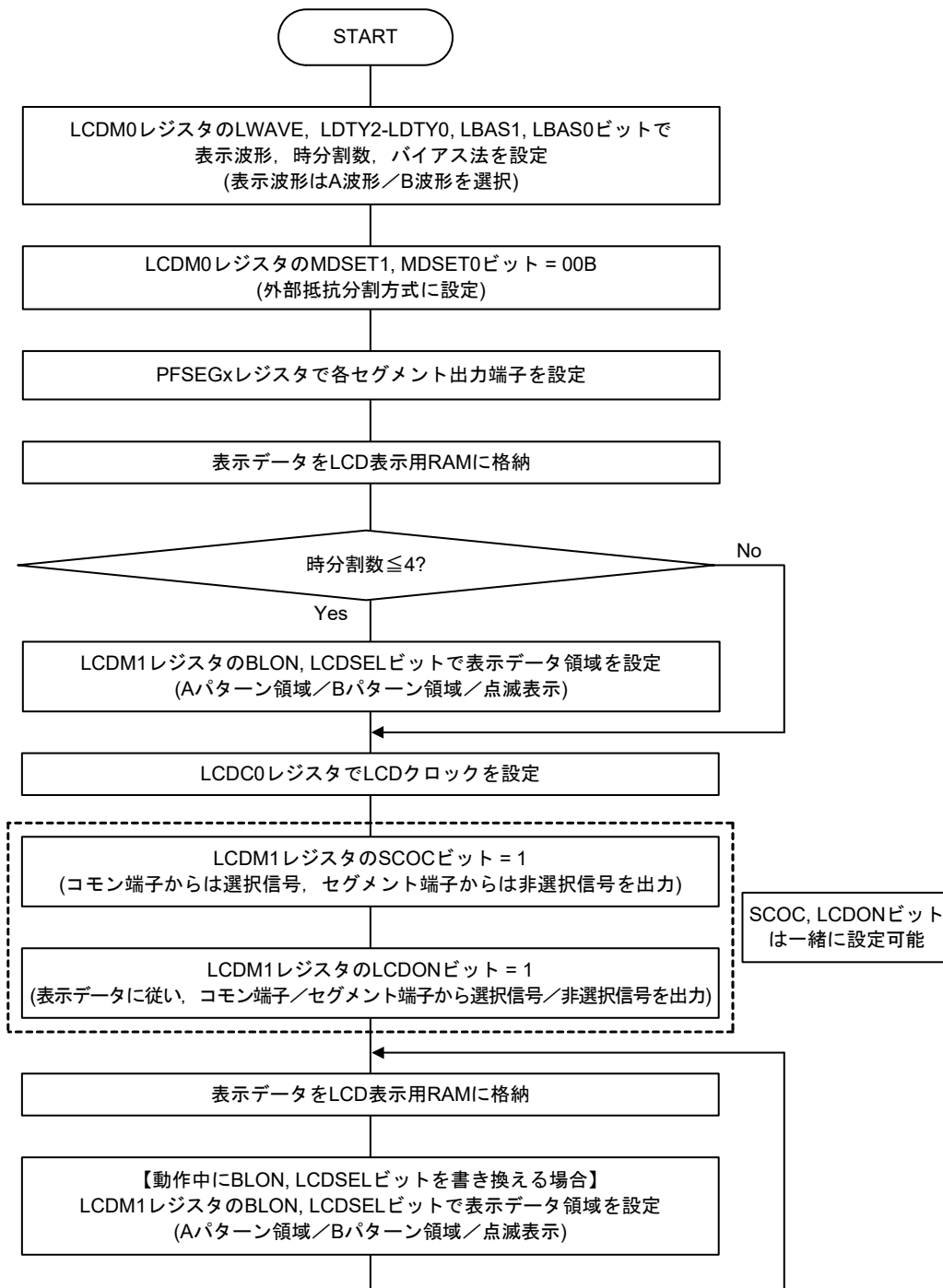
18.6 LCDコントローラ／ドライバの設定

LCDコントローラ／ドライバの設定は、次のように行ってください。

注意 LCDコントローラ／ドライバを動作させる場合は、必ず(1) - (4)の設定手順に従って動作させてください。設定手順を守らない場合の動作は保証しません。

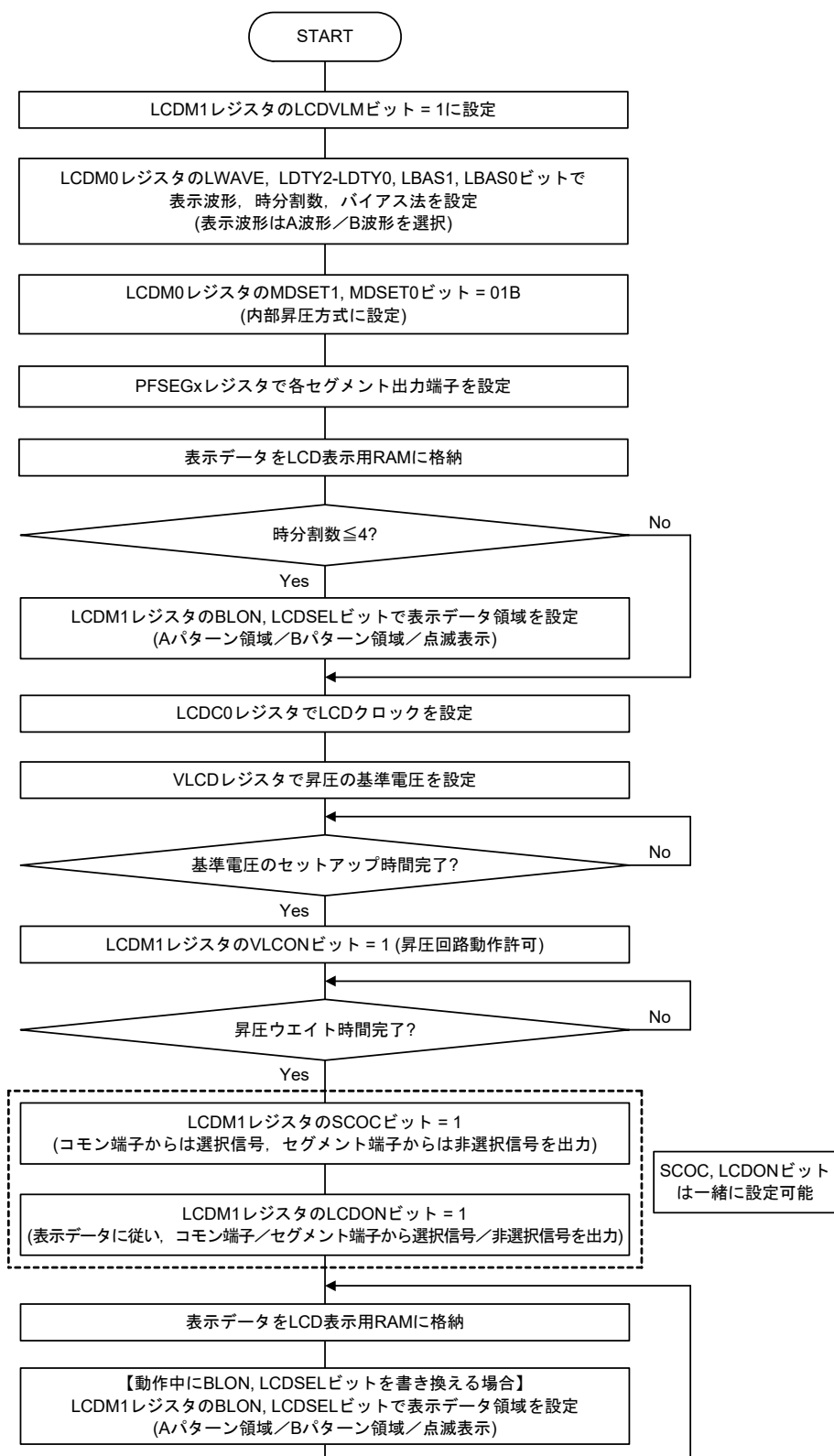
(1) 外部抵抗分割方式

図18 - 17 外部抵抗分割方式の設定手順



(2) 内部昇圧方式

図 18 - 18 内部昇圧方式の設定手順

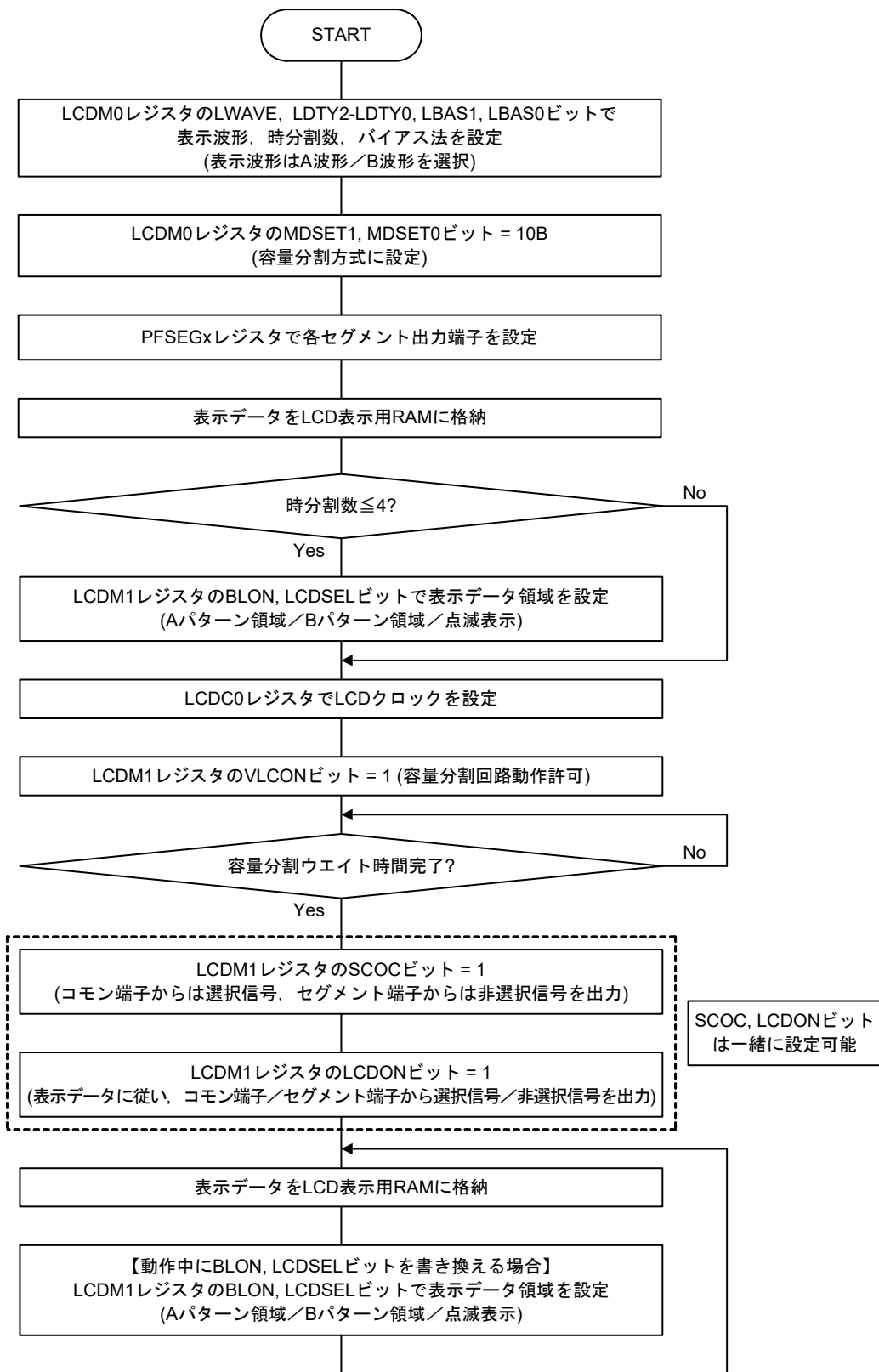


注意1. VLCDレジスタを変更しない場合でもセットアップ時間完了まで待ってください。

注意2. 基準電圧セットアップ時間, および昇圧ウエイト時間のスペックについては, 第34章 または第35章 電気的特性を参照してください。

(3) 容量分割方式

図 18 - 19 容量分割方式の設定手順



注意 容量分割ウェイト時間のスペックについては、第34章 または第35章 電気的特性を参照してください。

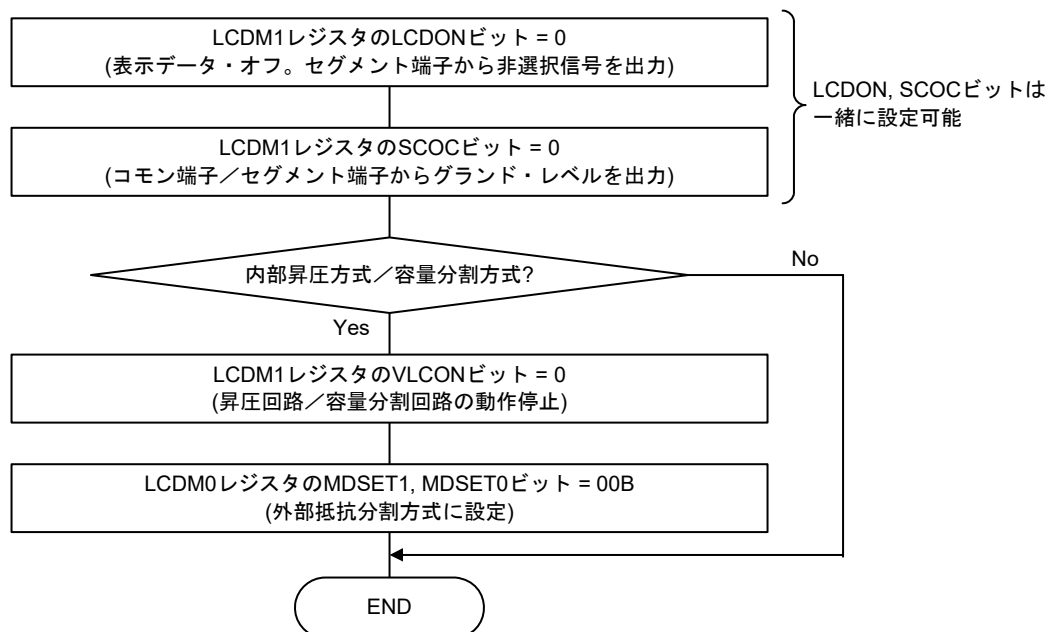
18.7 動作停止手順

LCDパネル表示中に動作を停止させたい場合は、次に示すフロー・チャートの設定で行ってください。

LCDM1レジスタのLCDONビット = 0かつLCDM1レジスタのSCOCビット = 0に設定することで、LCDの動作は停止します。

図 18 - 20 動作停止手順

(a) A波形時, B波形時



注意 表示オン状態(LCDM1レジスタのSCOC, LCDONビット = 11B)で、昇圧／容量分割回路を停止すること(LCDM1レジスタのVLCONビット = 0)は禁止です。設定した場合の動作は保証しません。必ず表示オフ(LCDM1レジスタのSCOC, LCDONビット = 10B)にしてから昇圧／容量分割回路を停止(LCDM1レジスタのVLCONビット = 0)してください。

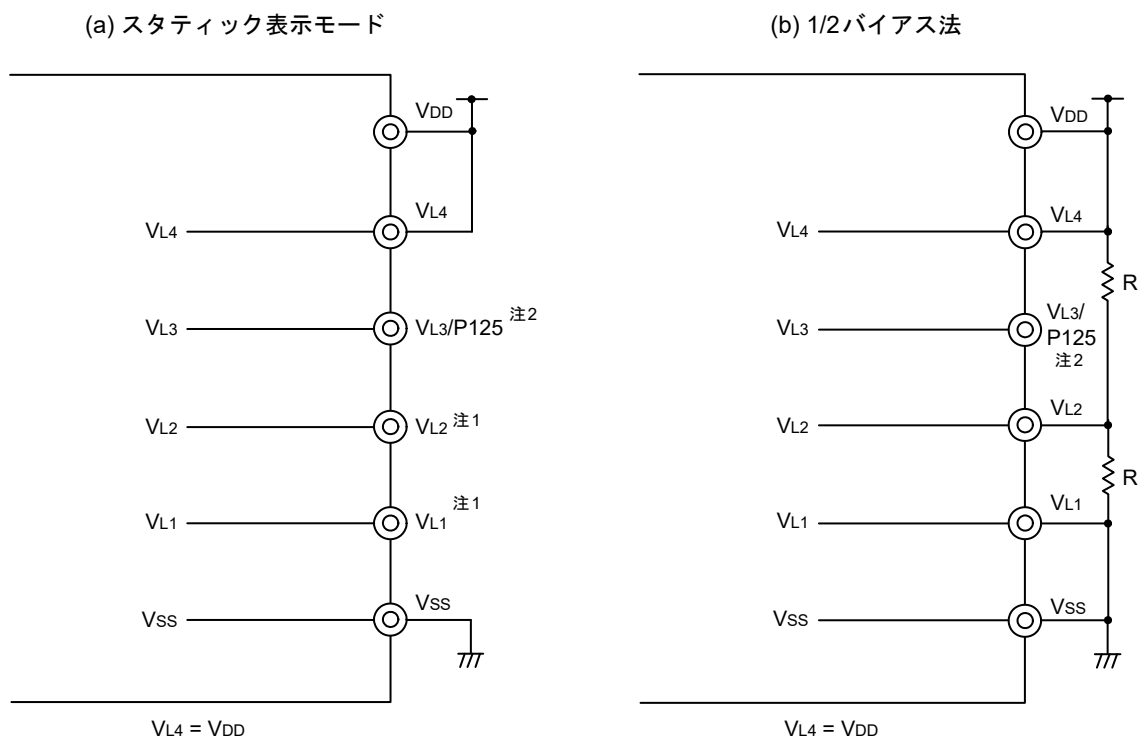
18.8 LCD駆動電圧 VL1, VL2, VL3, VL4の供給

LCD駆動用電源の生成方法として、抵抗分割方式、内部昇圧方式、容量分割方式の3種類を選択できます。

18.8.1 抵抗分割方式

図18-21、図18-22に各バイアス法に応じたLCD駆動電圧の接続例を示します。

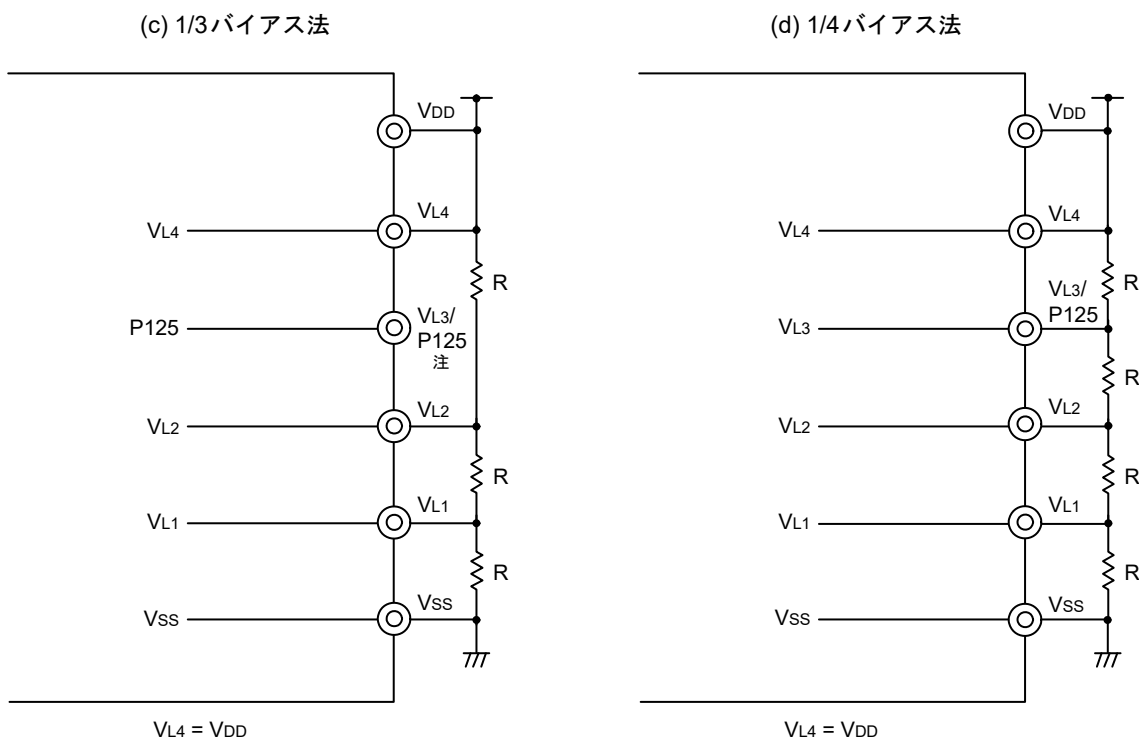
図18-21 LCD駆動用電源の接続例(外部抵抗分割方式)(1/2)



注1. VL1, VL2は、GNDもしくはオープンにしてください。

注2. VL3は、ポート(P125)として使用できます。

図18-22 LCD駆動用電源の接続例(外部抵抗分割方式)(2/2)



注 VL3は、ポート(P125)として使用できます。

注意 外部抵抗分解用抵抗Rの参考値は10 k Ω ~1 M Ω です。また、VL1-VL4端子の電圧を安定させる場合には、必要に応じてVL1-VL4端子-GND間にコンデンサを接続してください。これらの参考値は、0.47 μ F程度です。

使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムに合わせた評価を十分に行った上で、値を調整して決定してください。

18.8.2 内部昇圧方式

RL78/L1Cは、LCD駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ(0.47 $\mu\text{F} \pm 30\%$)により、LCD駆動電圧を生成します。内部昇圧方式は、1/3バイアス法または1/4バイアス法のみ使用できます。

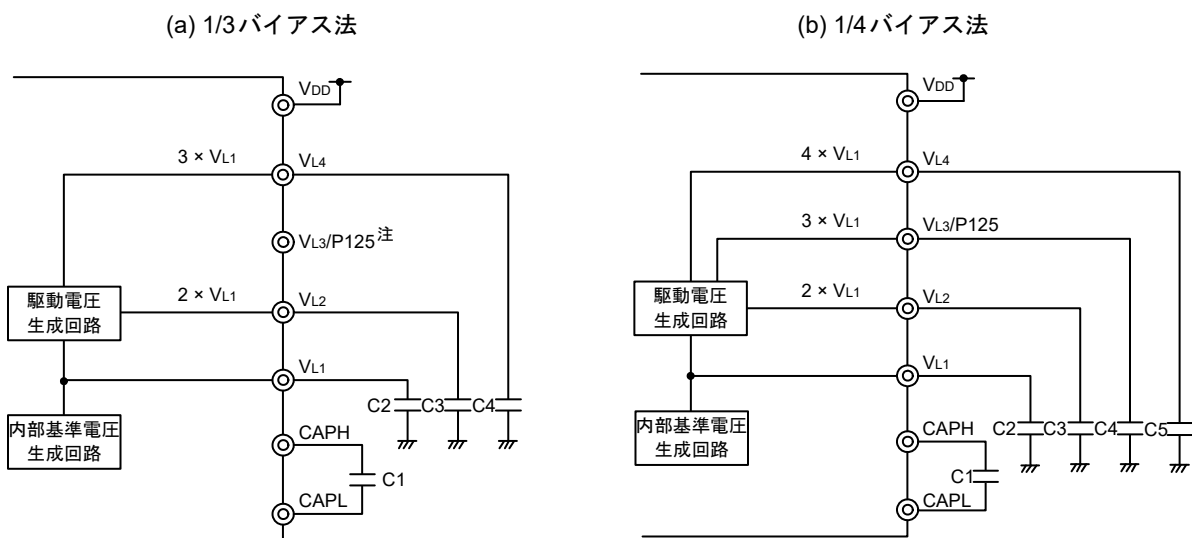
内部昇圧方式のLCD駆動電圧は、本体とは別の電源なので、VDDの変化に関わらず、一定の電圧を供給できます。

また、LCD昇圧制御レジスタ(VLCD)の設定により、コントラストを調整することができます。

表 18 - 15 LCD駆動電圧(内部昇圧方式)

LCD駆動電源端子	表示モード	1/3バイアス法	1/4バイアス法
V _{L4}		3 × V _{L1}	4 × V _{L1}
V _{L3}		—	3 × V _{L1}
V _{L2}		2 × V _{L1}	2 × V _{L1}
V _{L1}		LCD基準電圧	LCD基準電圧

図 18 - 23 LCD駆動電源の接続例(内部昇圧方式)



注 VL3は、ポート(P125)として使用できます。

備考 なるべくリークが少ないコンデンサをご使用ください。
 なお、C1は無極性コンデンサにしてください。

18.8.3 容量分割方式

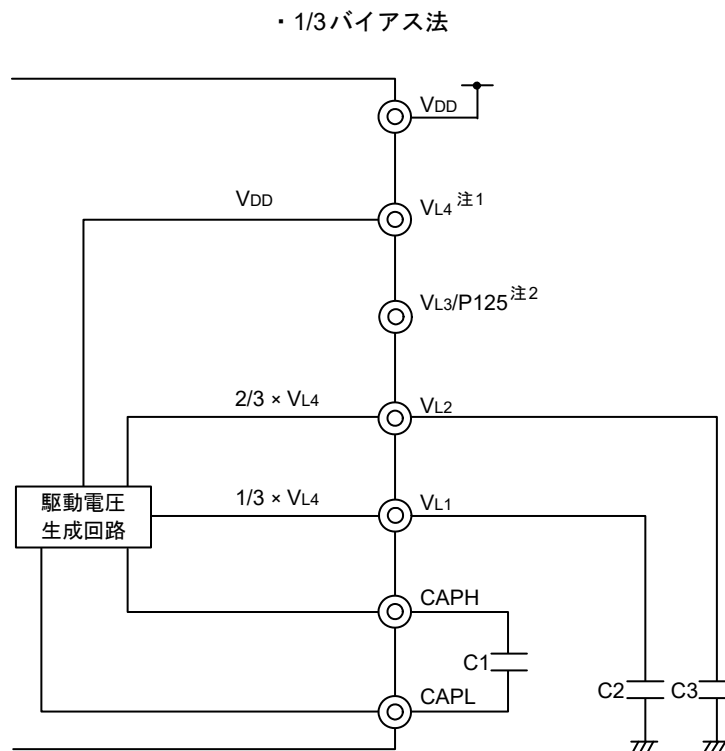
RL78/L1Cは、LCD駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ(0.47 μ F \pm 30%)により、LCD駆動電圧を生成します。容量分割方式は、1/3バイアス法のみ使用できます。

外部抵抗分割方式とは異なり、容量分割方式では常時電流が流れないため、消費電流を低減することができます。

表 18 - 16 LCD駆動電圧(容量分割方式)

LCD駆動用電源端子	表示モード	1/3バイアス法
VL4	VDD	
VL3		—
VL2	$2/3 \times VL4$	
VL1	$1/3 \times VL4$	

図 18 - 24 LCD駆動用電源の接続例(容量分割方式)



注1. 内部昇圧方式に切り替えて使用する場合は、図 18 - 23 LCD駆動用電源の接続例(内部昇圧方式)のようにコンデンサC4を接続してください。

注2. VL3は、ポート(P125)として使用できます。

備考 なるべくリークの少ないコンデンサをご使用ください。
なお、C1は無極性コンデンサにしてください。

18.9 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧(LCD駆動電圧VLCD)以上になると点灯します。VLCD以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表 18 - 17 に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお、2時分割の場合のCOM2, COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

また、8時分割以外の場合のCOM4-COM7端子は、オープンまたはセグメント端子として使用してください。

表 18 - 17 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック	↑	↑	↑	↑	注	注	注	注
2時分割	↑	↑	オープン	オープン	注	注	注	注
3時分割	↑	↑	↑	オープン	注	注	注	注
4時分割	↑	↑	↑	↑	注	注	注	注
8時分割	↑	↑	↑	↑	↑	↑	↑	↑

注 オープン、またはセグメント端子として使用してください。

(2) セグメント信号

セグメント信号は、LCD表示データ・レジスタ(18.4 LCD表示データ・レジスタ参照)に対応しています。

8時分割方式で使用する場合、各表示データ・レジスタのビット0からビット7が、COM0からCOM7に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子(SEG4-SEG55)に出力されます。

8時分割方式以外で使用する場合、Aパターン領域では、各表示データ・レジスタのビット0からビット3がCOM0からCOM3に、Bパターン領域では、各表示データ・レジスタのビット4からビット7がCOM0からCOM3に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子(SEG0-SEG55)に出力されます。

以上のことから、LCD表示データ・レジスタには使用するLCDパネルの前面電極(セグメント信号に対応)と背面電極(コモン信号に対応)がどのような組み合わせで表示パターンを形成するのかを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

備考 搭載するセグメント端子は、製品により異なります。

- 80/85ピン製品 : SEG0-SEG6, SEG12-SEG25, SEG28-SEG42, SEG48-SEG55
- 100ピン製品 : SEG0-SEG55

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表 18 - 18に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表 18 - 18 LCD 駆動電圧

(a) スタティック表示モード

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
V_{L4}/V_{SS}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2 バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	V_{L2}	$-\frac{1}{2} V_{LCD}/+\frac{1}{2} V_{LCD}$	$+\frac{1}{2} V_{LCD}/-\frac{1}{2} V_{LCD}$

(c) 1/3 バイアス法 (A 波形, B 波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}/V_{L1}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3} V_{LCD}/+\frac{1}{3} V_{LCD}$
非選択信号レベル	V_{L1}/V_{L2}	$-\frac{1}{3} V_{LCD}/+\frac{1}{3} V_{LCD}$	$+\frac{1}{3} V_{LCD}/-\frac{1}{3} V_{LCD}$

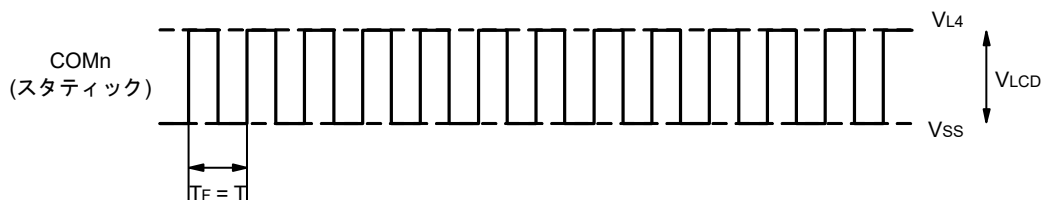
(d) 1/4 バイアス法 (A 波形, B 波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{2} V_{LCD}/+\frac{1}{2} V_{LCD}$
非選択信号レベル	V_{L1}/V_{L3}	$-\frac{1}{4} V_{LCD}/+\frac{1}{4} V_{LCD}$	$+\frac{1}{4} V_{LCD}/-\frac{1}{4} V_{LCD}$

図18 - 25, 図18 - 26にコモン信号波形を, 図18 - 27~図18 - 29にコモン信号とセグメント信号の電圧と位相を示します。

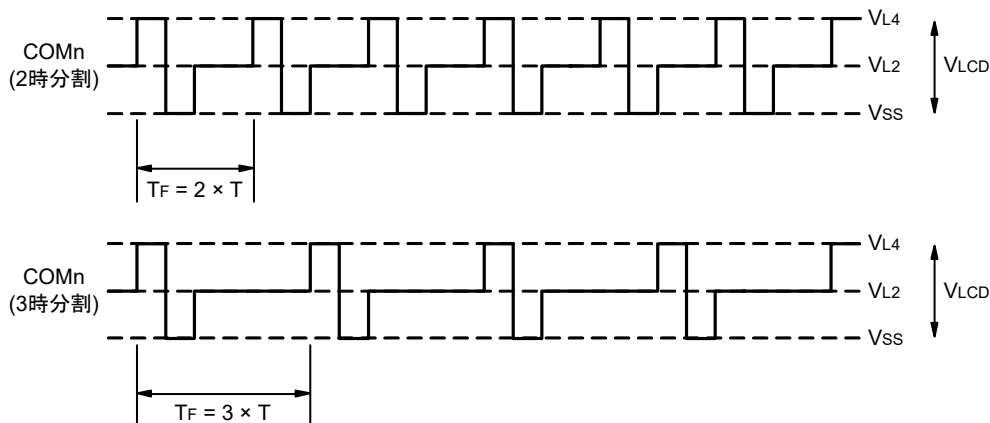
図18 - 25 コモン信号波形(1/2)

(a) スタティック表示モード



T : LCDクロックの1周期分 T_F : フレーム周波数

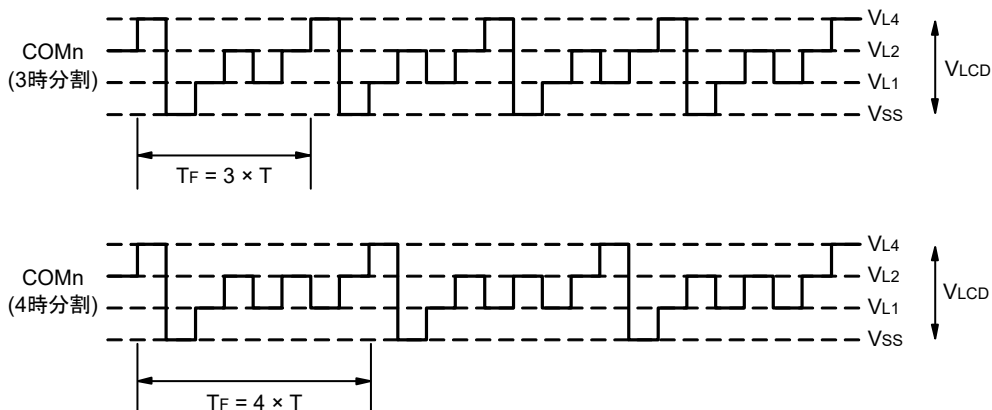
(b) 1/2バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

図18-26 コモン信号波形(2/2)

(c) 1/3バイアス法



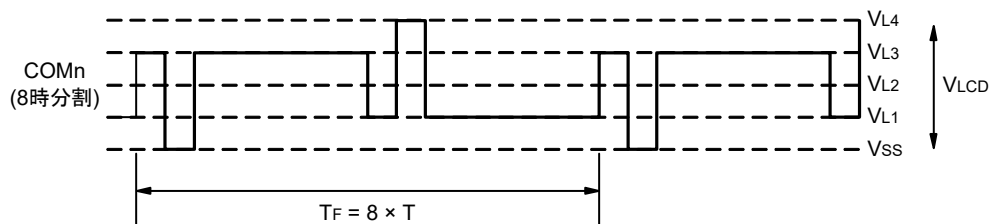
T : LCDクロックの1周期分 T_F : フレーム周波数

<LCDフレーム周波数の算出例(4時分割使用時)>

LCDクロック : $32768/2^8 = 256 \text{ Hz}$ (LCDC0 = 07H 設定時)

LCDフレーム周波数 : 64 Hz

(d) 1/4バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

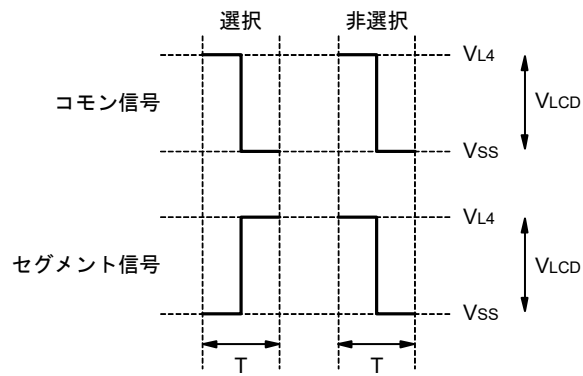
<LCDフレーム周波数の算出例(8時分割使用時)>

LCDクロック : $32768/2^8 = 256 \text{ Hz}$ (LCDC0 = 07H 設定時)

LCDフレーム周波数 : 32 Hz

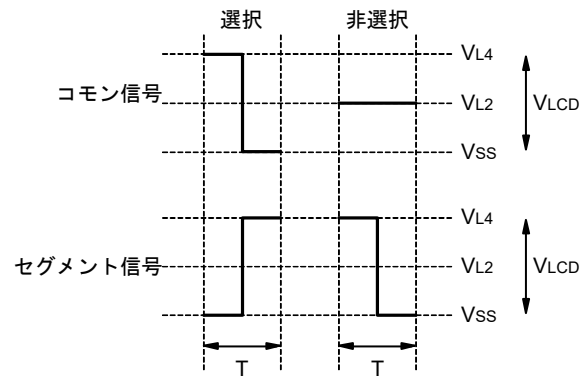
図18-27 コモン信号とセグメント信号の電圧と位相(1/3)

(a) スタティック表示モード(A波形)



T : LCDクロックの1周期分

(b) 1/2バイアス法(A波形)



T : LCDクロックの1周期分

図18 - 28 コモン信号とセグメント信号の電圧と位相 (2/3)

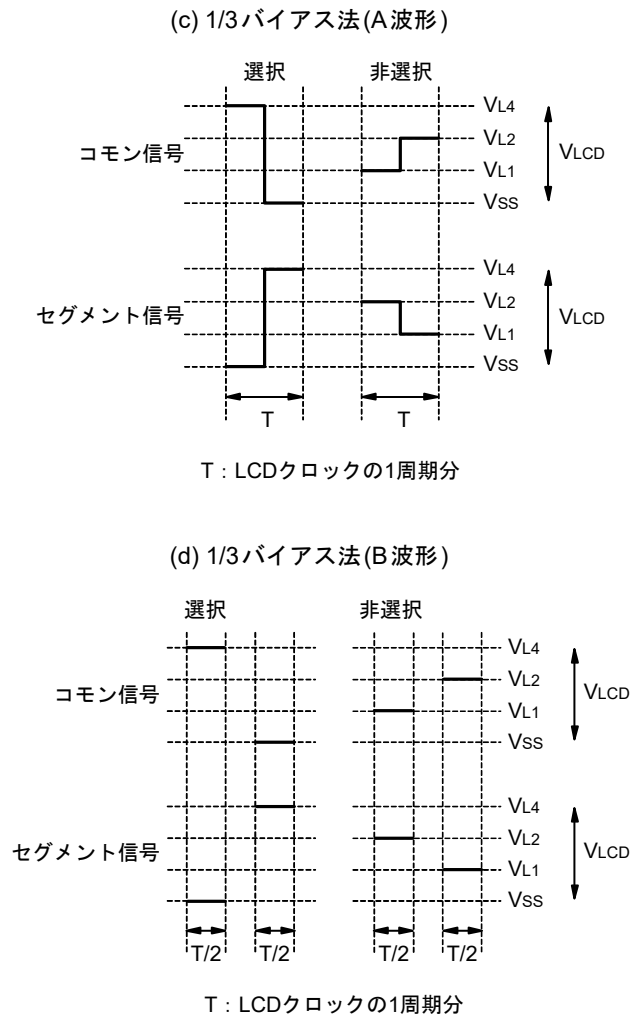
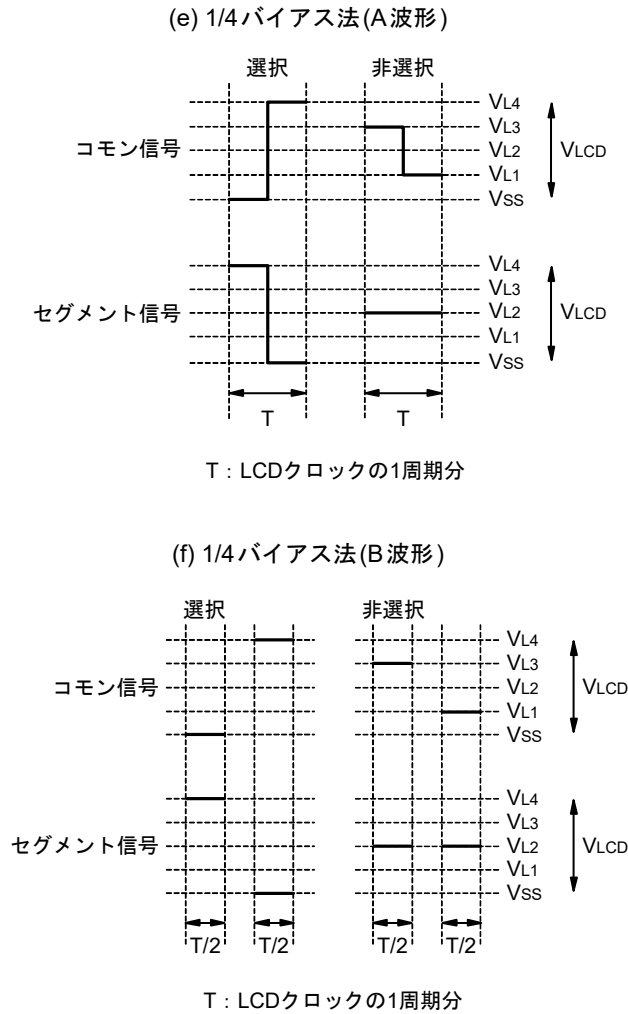


図18 - 29 コモン信号とセグメント信号の電圧と位相 (3/3)



18.10 表示モード

18.10.1 スタティック表示例

図18-31は、図18-30の表示パターンを持つスタティック方式の3桁のLCDパネルとセグメント信号(SEG0-SEG23)およびコモン信号(COM0)との接続を示します。表示例は12.3で、表示データ・レジスタ(F0400H-F0417H)の内容はこれに対応しています。

ここでは2桁目の2.(?)を例にとって説明します。図18-30の表示パターンに従って、COM0のコモン信号のタイミングで表18-19に示すような選択、非選択電圧をSEG8-SEG15端子に出力する必要があります。

表18-19 選択、非選択電圧(COM0)

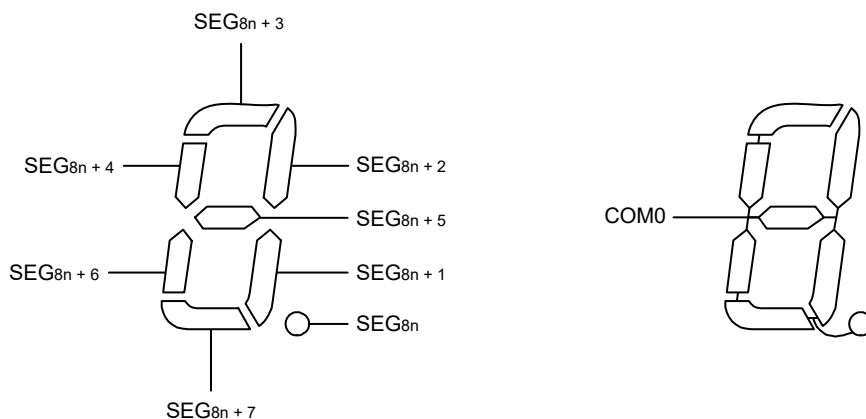
セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・レジスタ(F0408H-F040FH)のビット0には、10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を図18-32に示します。COM0との選択タイミングでSEG11が選択電圧になるときに、LCD点灯レベルである+VLCD/-VLCDの交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図18-30 スタティックLCDの表示パターンと電極結線



備考 80/85ピン製品 : n = 0-5

図18-31 スタティックLCDパネルの結線例

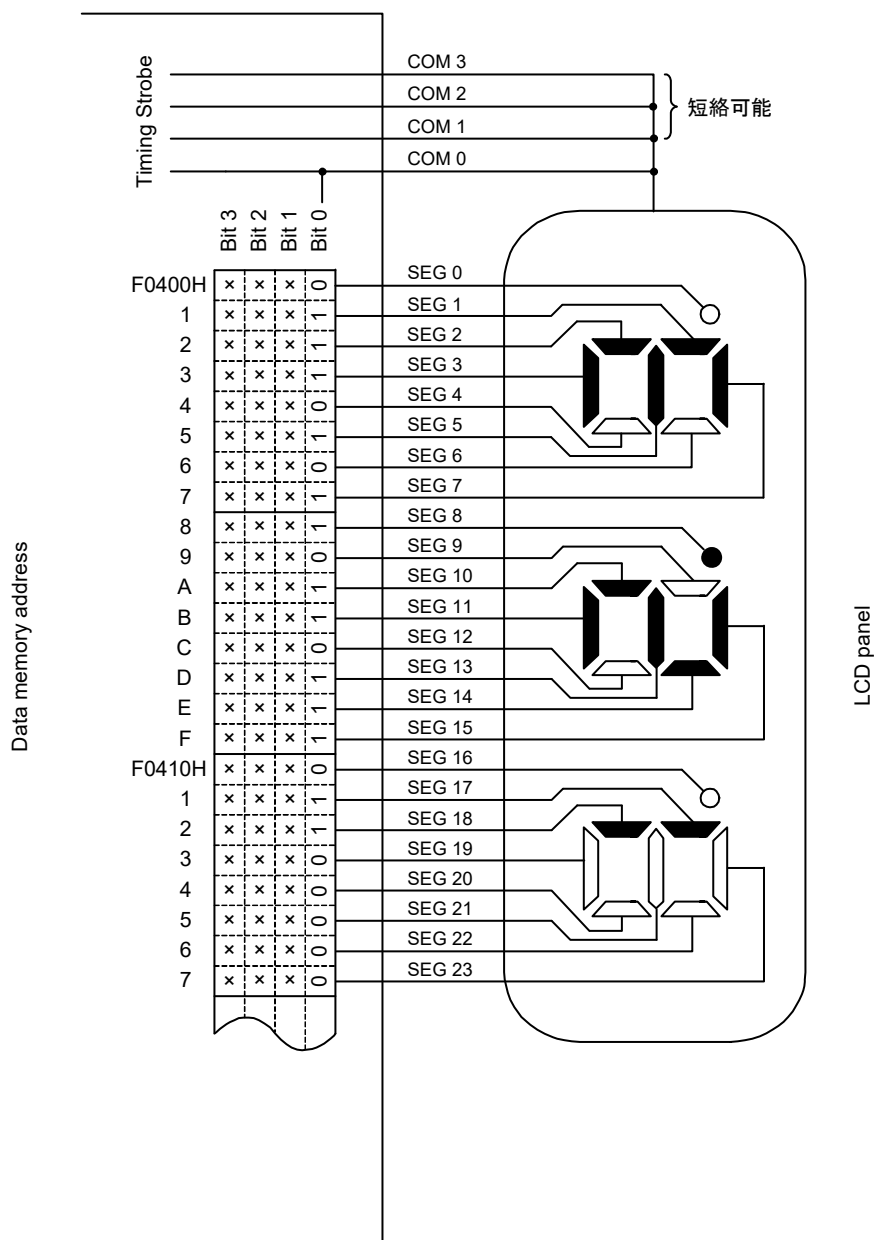
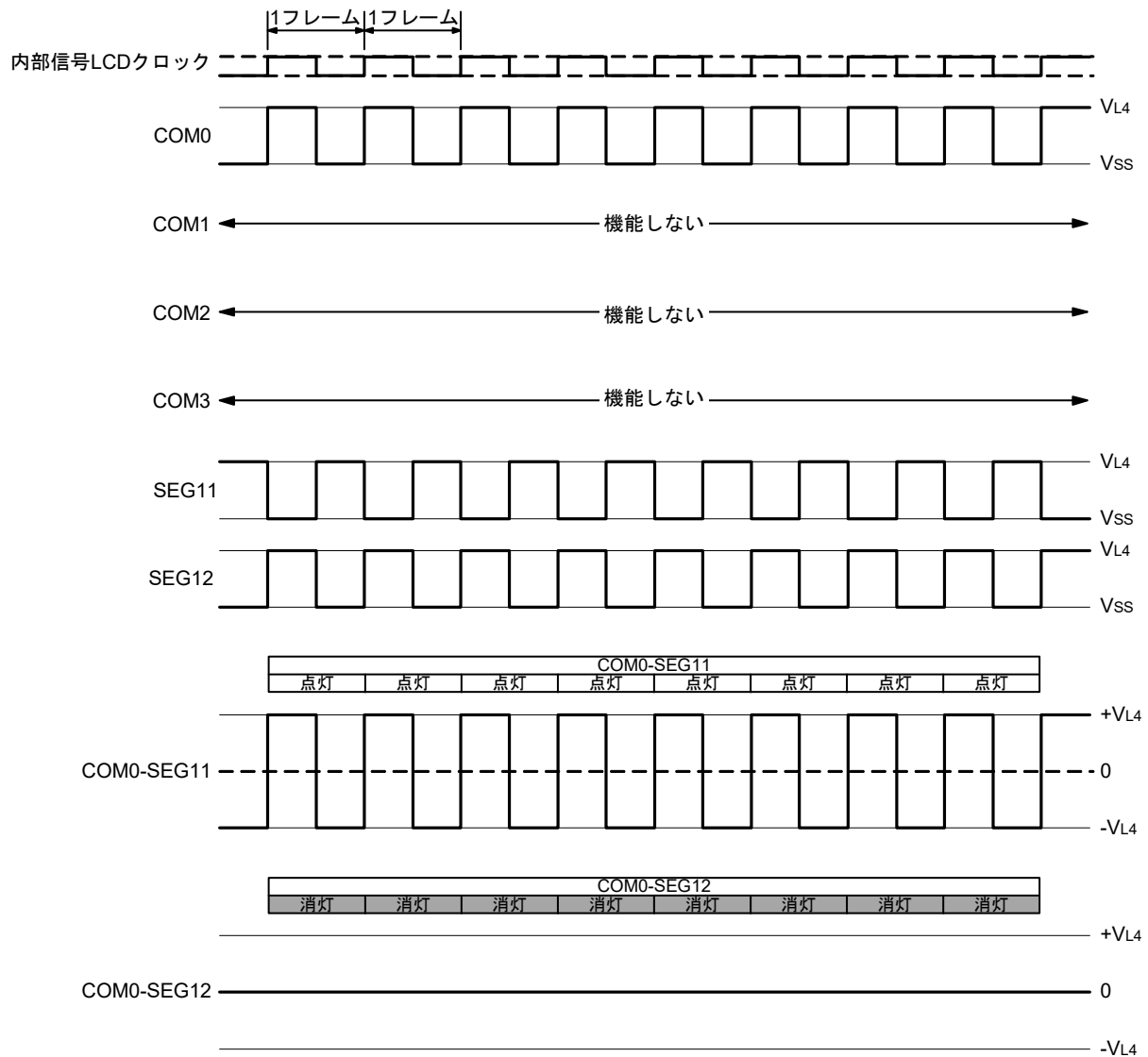


図 18 - 32 SEG11, SEG12とCOM0とのスタティックLCD駆動波形例



18.10.2 2時分割表示例

図18-34は、図18-33の表示パターンを持つ2時分割方式の6桁LCDパネルとセグメント信号(SEG0-SEG23)およびコモン信号(COM0, COM1)との接続を示します。表示例は12345.6で、表示データ・レジスタ(F0400H-F0417H)の内容はそれらに対応しています。

ここでは4桁目の3(3)を例にとって説明します。図18-33の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表18-20に示すような選択、非選択電圧をSEG12-SEG15端子に出力する必要があります。

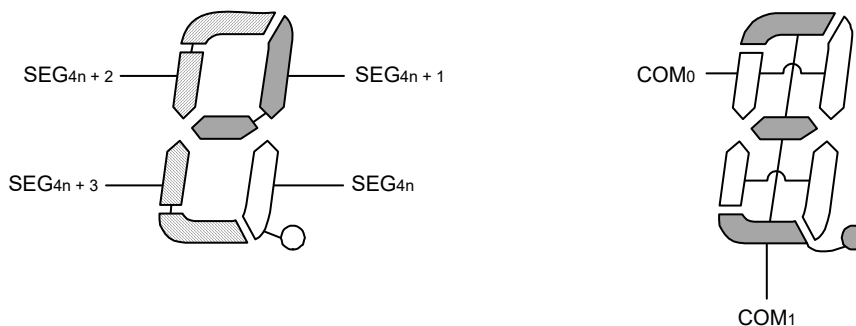
表18-20 選択、非選択電圧(COM0, COM1)

セグメント コモン	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえばSEG15に対応する表示データ・レジスタ(F040FH番地)には、 $\times 10$ を用意すればよいことが分かります。

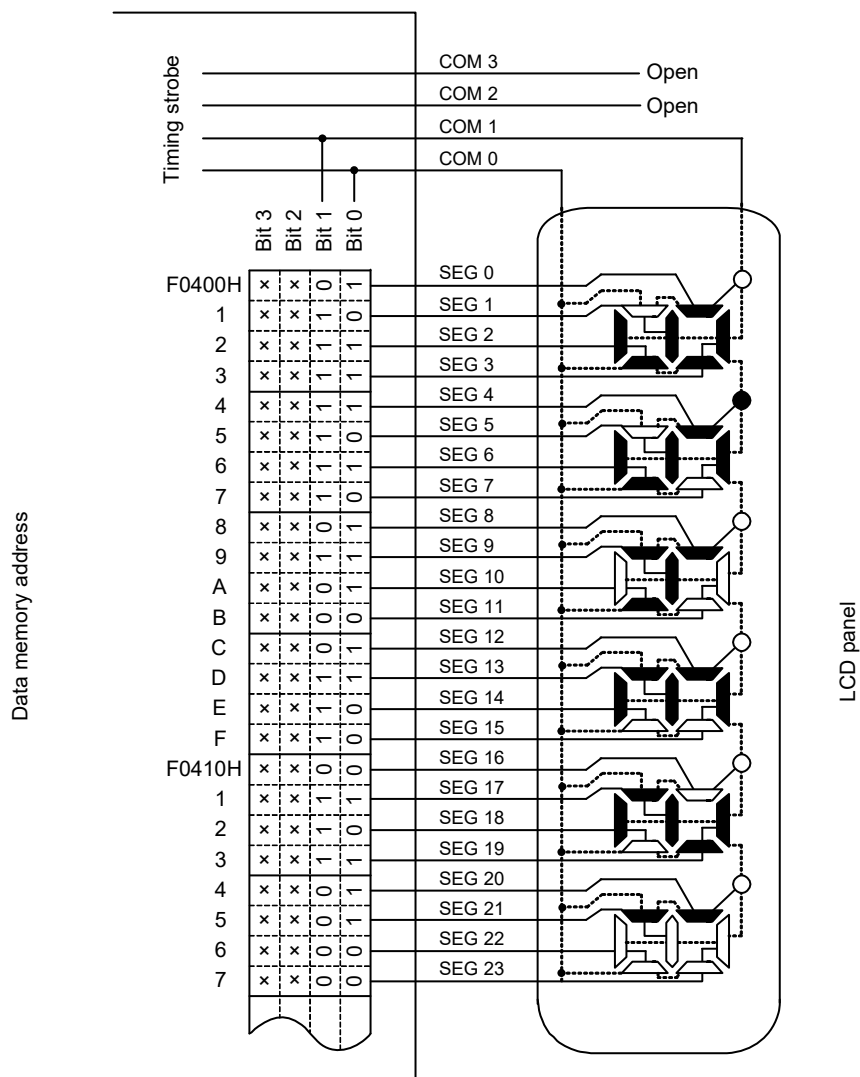
SEG15と各コモン信号間のLCD駆動波形例を図18-35に示します。COM1の選択タイミングでSEG15が選択電圧のときに、LCD点灯レベルである+VLCD/-VLCDの交流矩形波が発生することが分かります。

図18-33 2時分割LCD表示パターンと電極結線



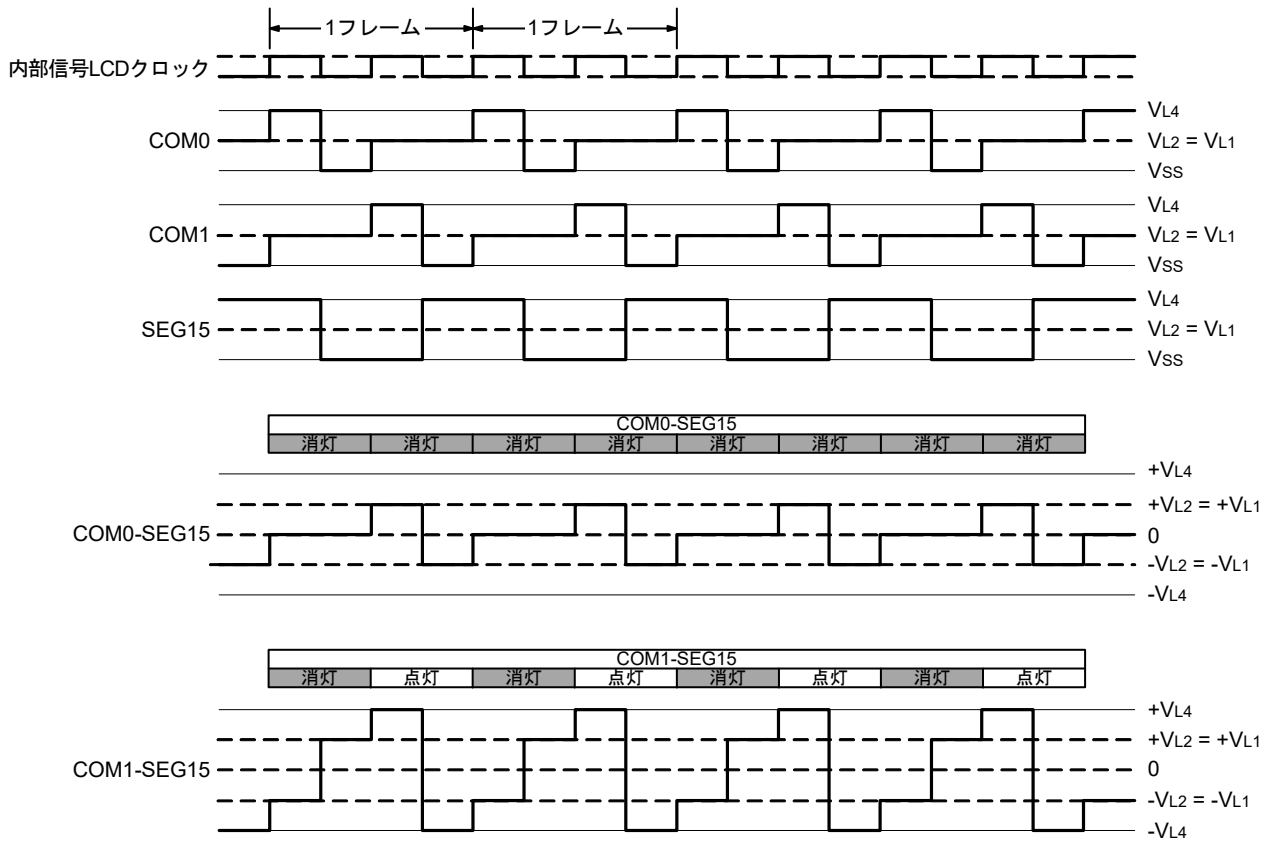
備考 80/85ピン製品 : n = 0-12

図18-34 2時分割LCDパネルの結線例



× : 2時分割表示のため、常に任意のデータをストア可能です。

図18 - 35 SEG15と各コモン信号間の2時分割LCD駆動波形例(1/2バイアス法)



18.10.3 3時分割表示例

図18-37は、図18-36の表示パターンを持つ3時分割方式の8桁LCDパネルとセグメント信号(SEG0-SEG23)およびコモン信号(COM0-COM2)との接続を示します。表示例は123456.78で、表示データ・レジスタ(F0400H-F0417H)の内容はこれに対応しています。

ここでは3桁目の6. (6.)を例にとって説明します。図18-36の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表18-21に示すような選択、非選択電圧をSEG6-SEG8端子に出力する必要があります。

表18-21 選択、非選択電圧(COM0-COM2)

セグメント コモン	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これによりSEG6に対応する表示データ・レジスタ(F0406H番地)には、×110を用意すればよいことが分かります。

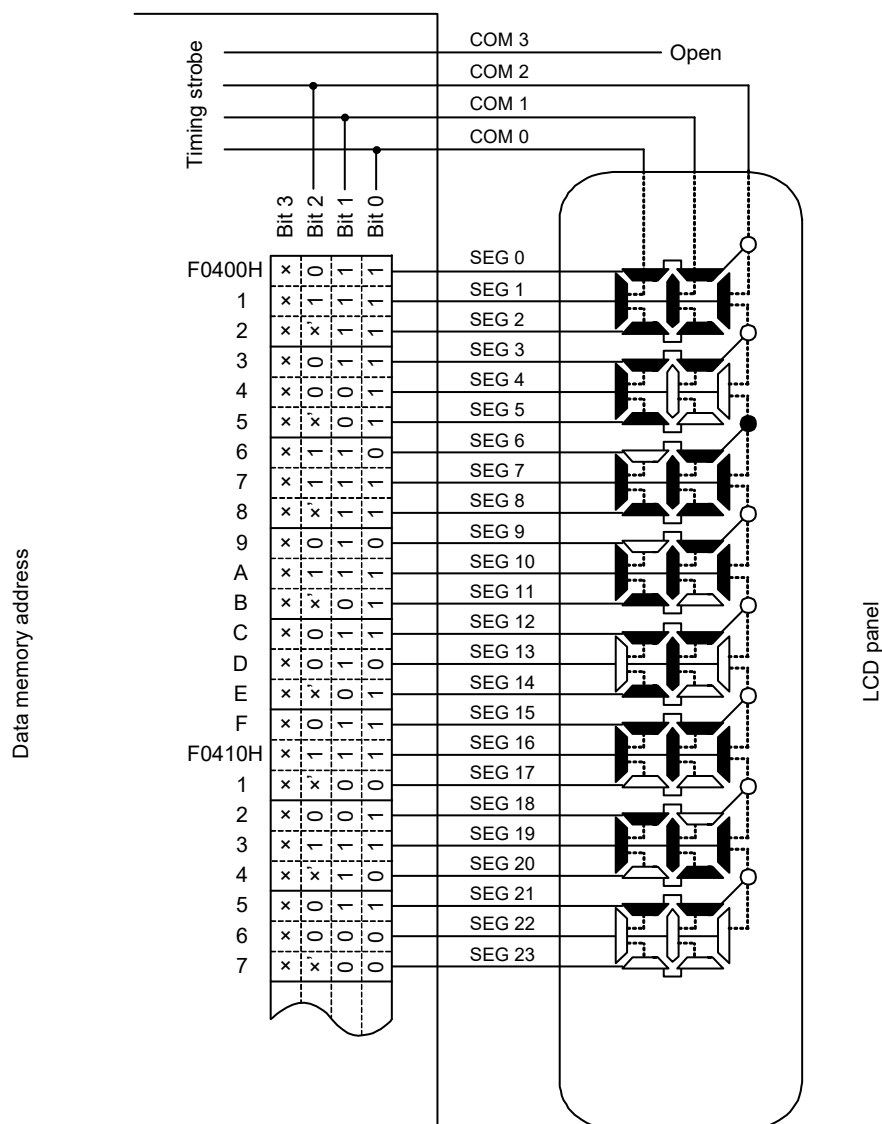
SEG6と各コモン信号間のLCD駆動波形例を図18-38(1/2バイアス法)、図18-39(1/3バイアス法)に示します。COM1の選択タイミングでSEG6が選択電圧のとき、およびCOM2の選択タイミングでSEG6が選択電圧のときに、LCD点灯レベルである+VLCD/-VLCDの交流矩形波が発生することが分かります。

図18-36 3時分割LCD表示パターンと電極結線



備考 80/85ピン製品 : n = 0-16

図18 - 37 3時分割LCDパネルの結線例



x' : LCDパネルに対応セグメントがないため任意のデータをストア可能です。
 x : 3時分割表示のため、常に任意のデータをストア可能です。

図18 - 38 SEG6と各コモン信号間の3時分割LCD駆動波形例(1/2バイアス法)

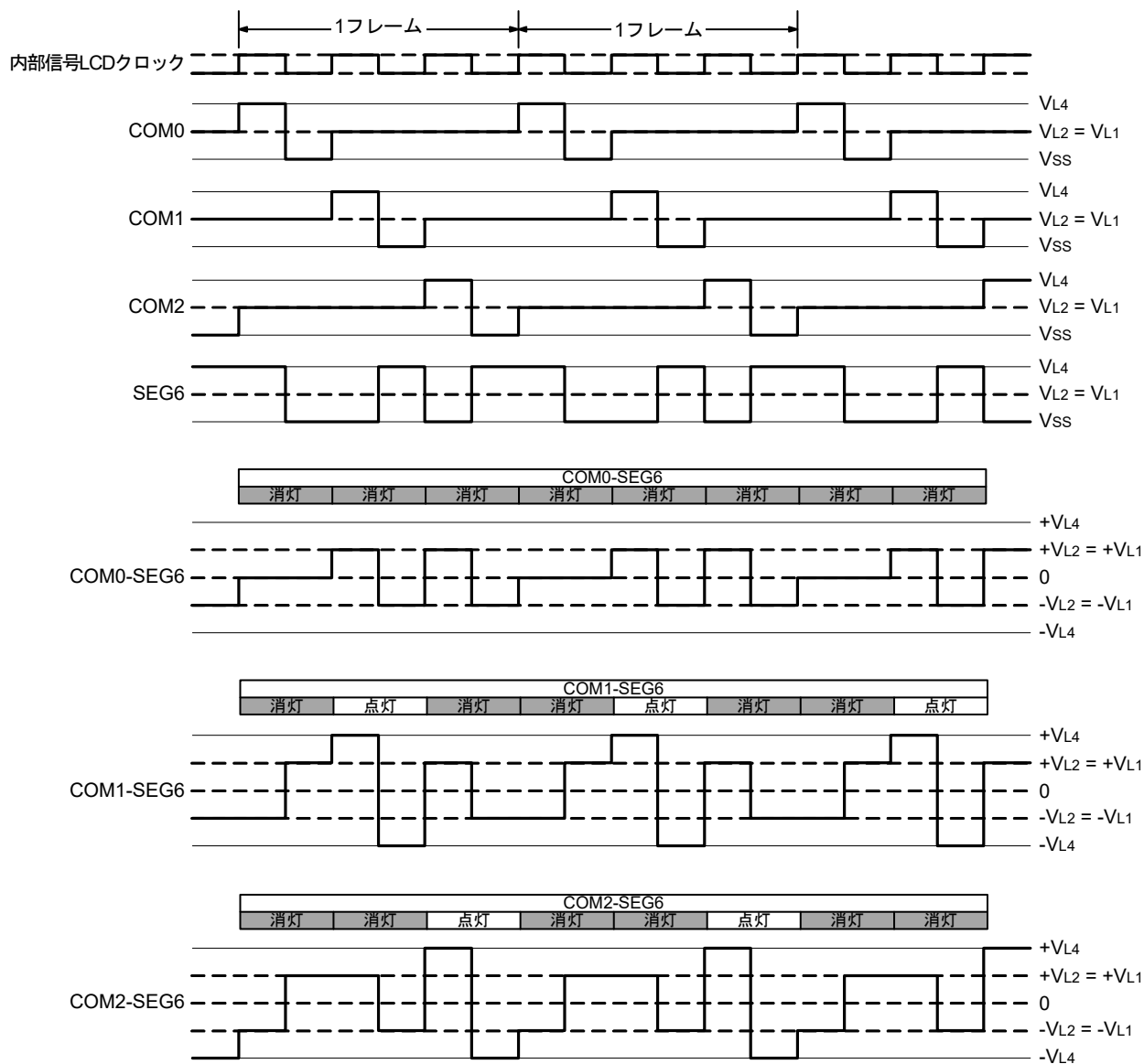
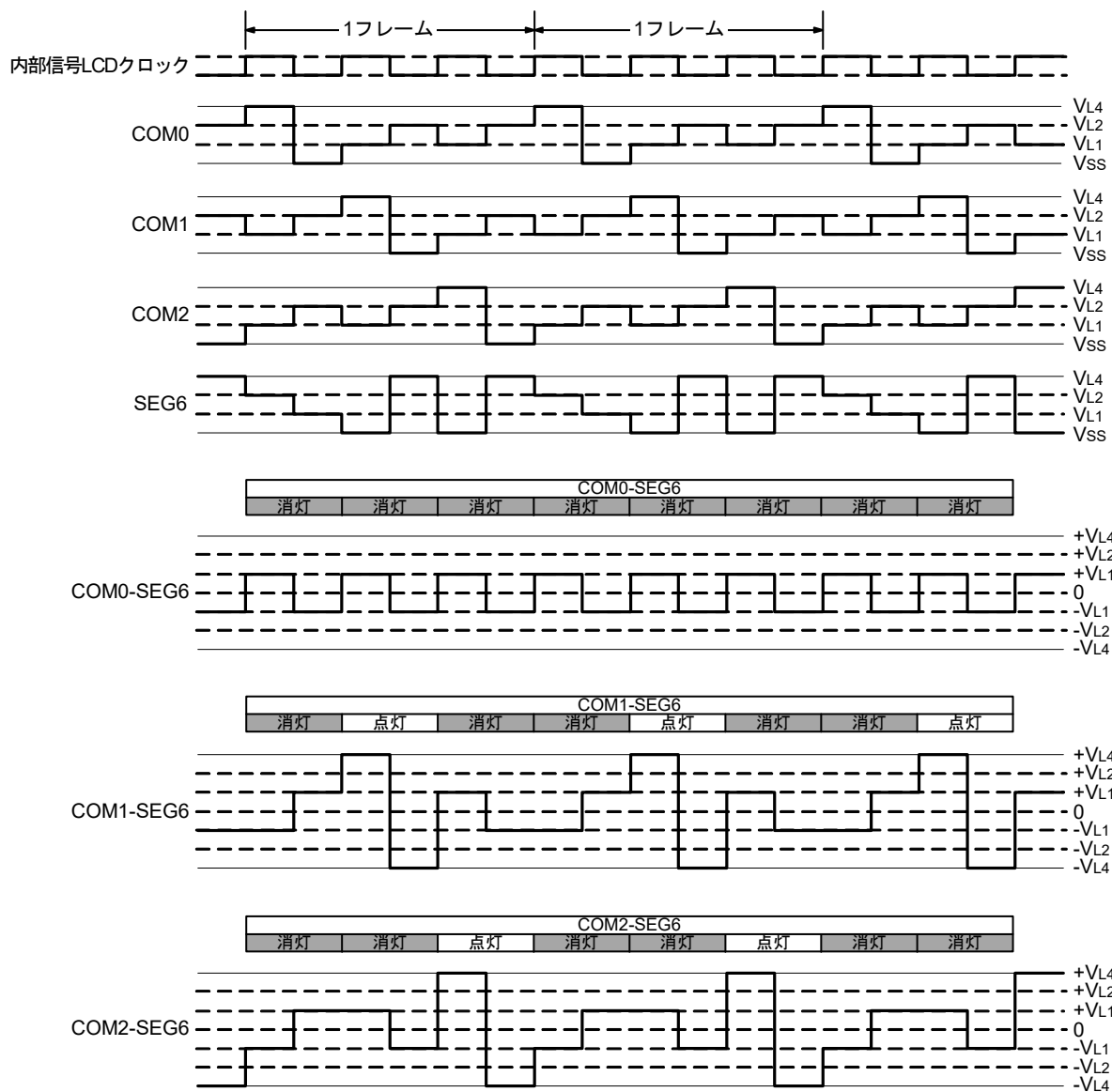


図18 - 39 SEG6と各コモン信号間の3時分割LCD駆動波形例(1/3バイアス法)



18.10.4 4時分割表示例

図18-41は、図18-40の表示パターンを持つ4時分割方式の12桁LCDパネルとセグメント信号(SEG0-SEG23)およびコモン信号(COM0-COM3)との接続を示します。表示例は123456.789012で、表示データ・レジスタ(F0400H-F0417H番地)の内容はこれに対応しています。

ここでは7桁目の6. (6.)を例にとって説明します。図18-40の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表18-22に示すような選択、非選択電圧をSEG12, SEG13端子に出力する必要があります。

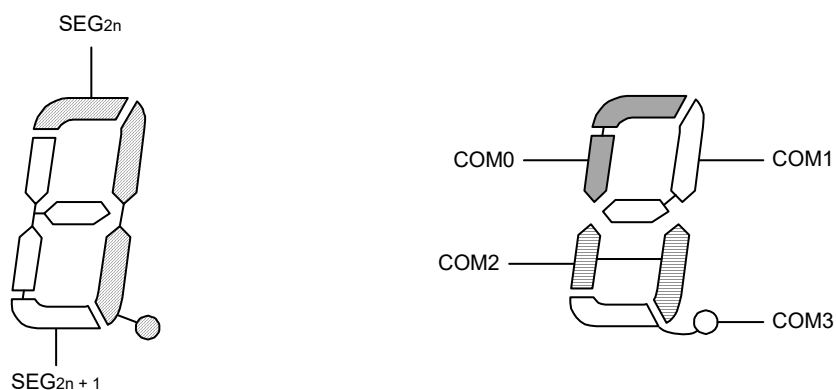
表18-22 選択、非選択電圧(COM0-COM3)

セグメント コモン	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりSEG12に対応する表示データ・レジスタ(F040CH番地)には、1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を図18-42～図18-43に示します。COM0の選択タイミングでSEG12が選択電圧になるときに、LCD点灯レベルである+VLCD/-VLCDの交流矩形波が発生することが分かります。

図18-40 4時分割LCD表示パターンと電極結線



備考 80/85ピン製品 : n = 0-25

図18 - 41 4時分割LCDパネルの結線例

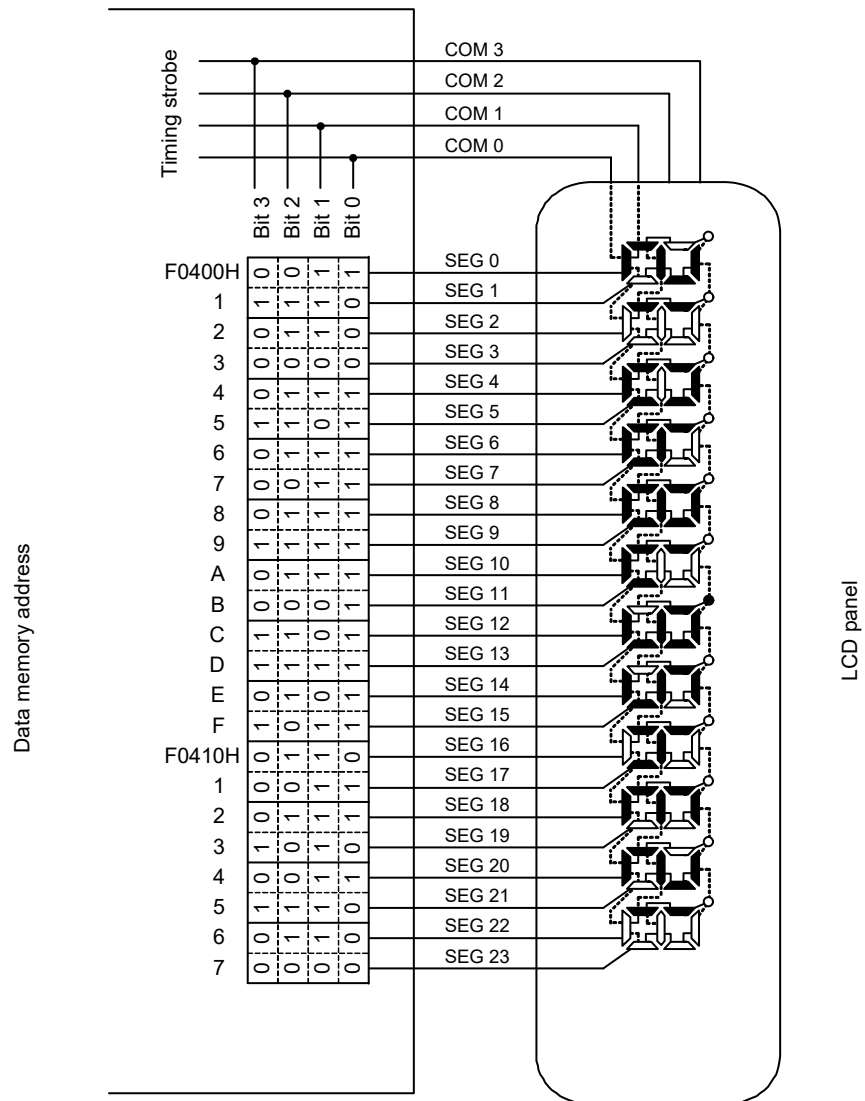


図18 - 42 SEG12と各コモン信号間の4時分割LCD駆動波形例(1/3バイアス法) (1/2)

(a) A波形の場合

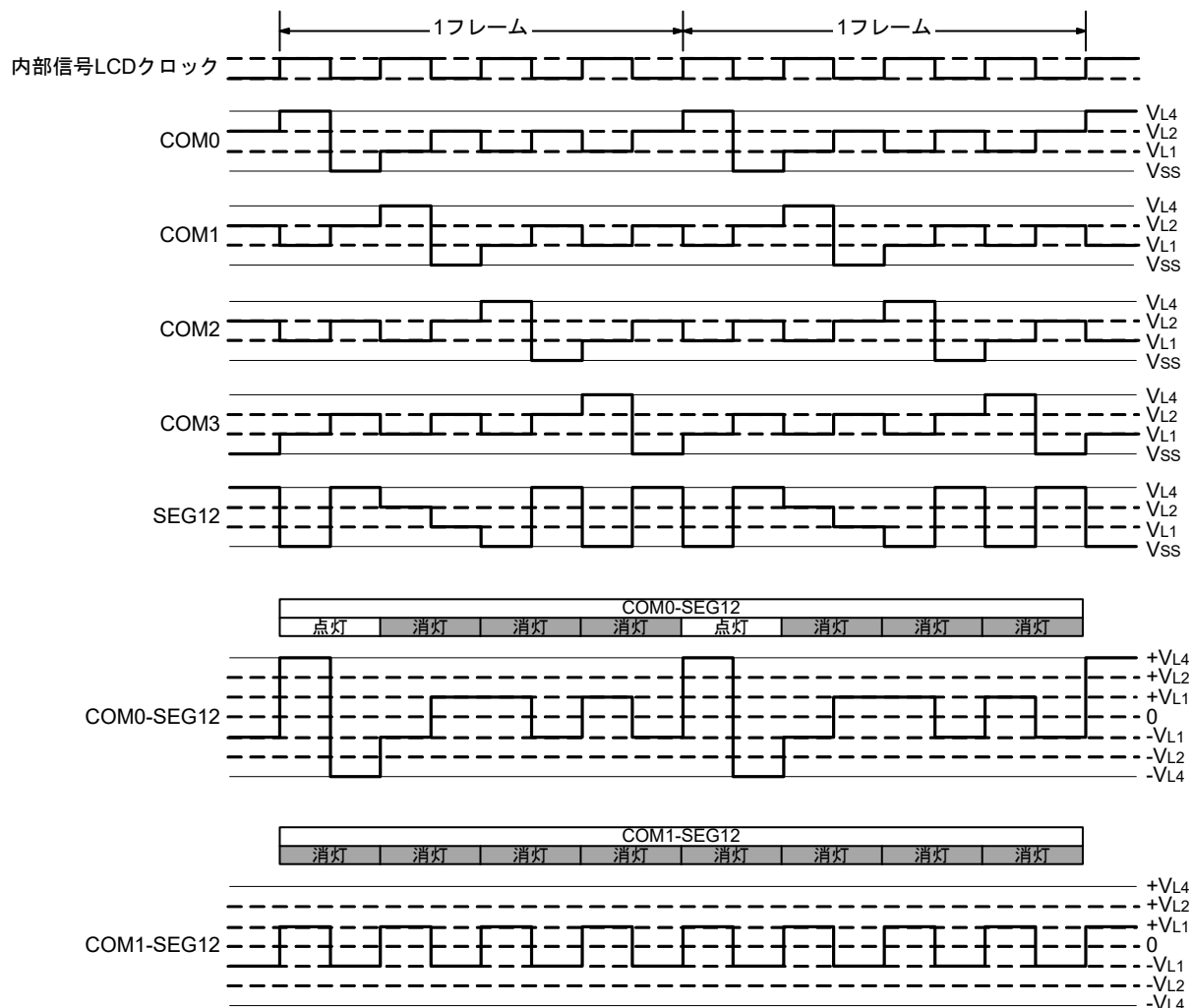
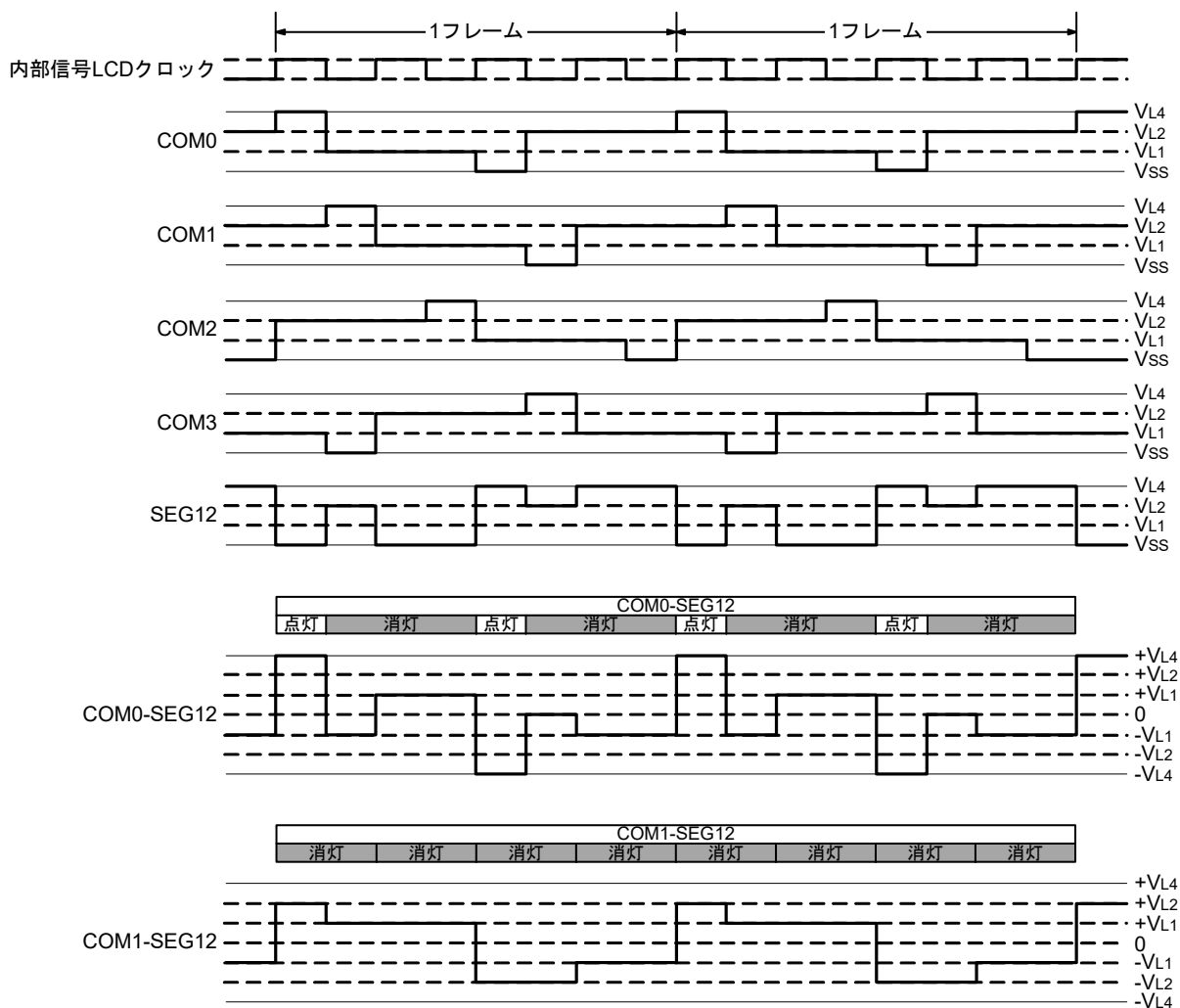


図18 - 43 SEG12と各コモン信号間の4時分割LCD駆動波形例(1/3バイアス法) (2/2)

(b) B波形の場合



18.10.5 8時分割表示例

図 18 - 45 は、図 18 - 44 の表示パターンを持つ 8 時分割方式の 15 × 8 のドット LCD パネルとセグメント信号 (SEG4-SEG18) およびコモン信号 (COM0-COM7) との接続を示します。表示例は 123 で、表示データ・レジスタ (F0404H-F0412H 番地) の内容はこれに対応しています。

ここでは 1 桁目の 3 (3) を例にとって説明します。図 18 - 44 の表示パターンに従って、COM0-COM7 の各コモン信号のタイミングで表 18 - 23 に示すような選択、非選択電圧を SEG4-SEG8 端子に出力する必要があります。

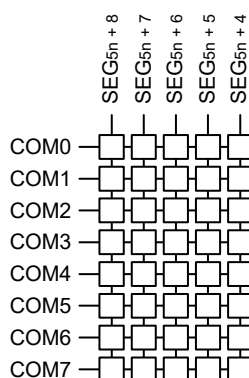
表 18 - 23 選択、非選択電圧 (COM0-COM7)

セグメント コモン	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	非
COM5	選	非	非	非	選
COM6	非	選	選	選	非
COM7	非	非	非	非	非

これにより SEG4 に対応する表示データ・レジスタ (F0404H 番地) には、00110001 を用意すればよいことが分かります。

SEG4 と各コモン信号間の LCD 駆動波形例を図 18 - 46、図 18 - 47 に示します。COM0 の選択タイミングで SEG4 が選択電圧になるときに、LCD 点灯レベルの波形が発生することが分かります。

図 18 - 44 8 時分割 LCD 表示パターンと電極結線



備考 80/85 ピン製品 : n = 0-8

図18 - 45 8時分割LCDパネルの結線例

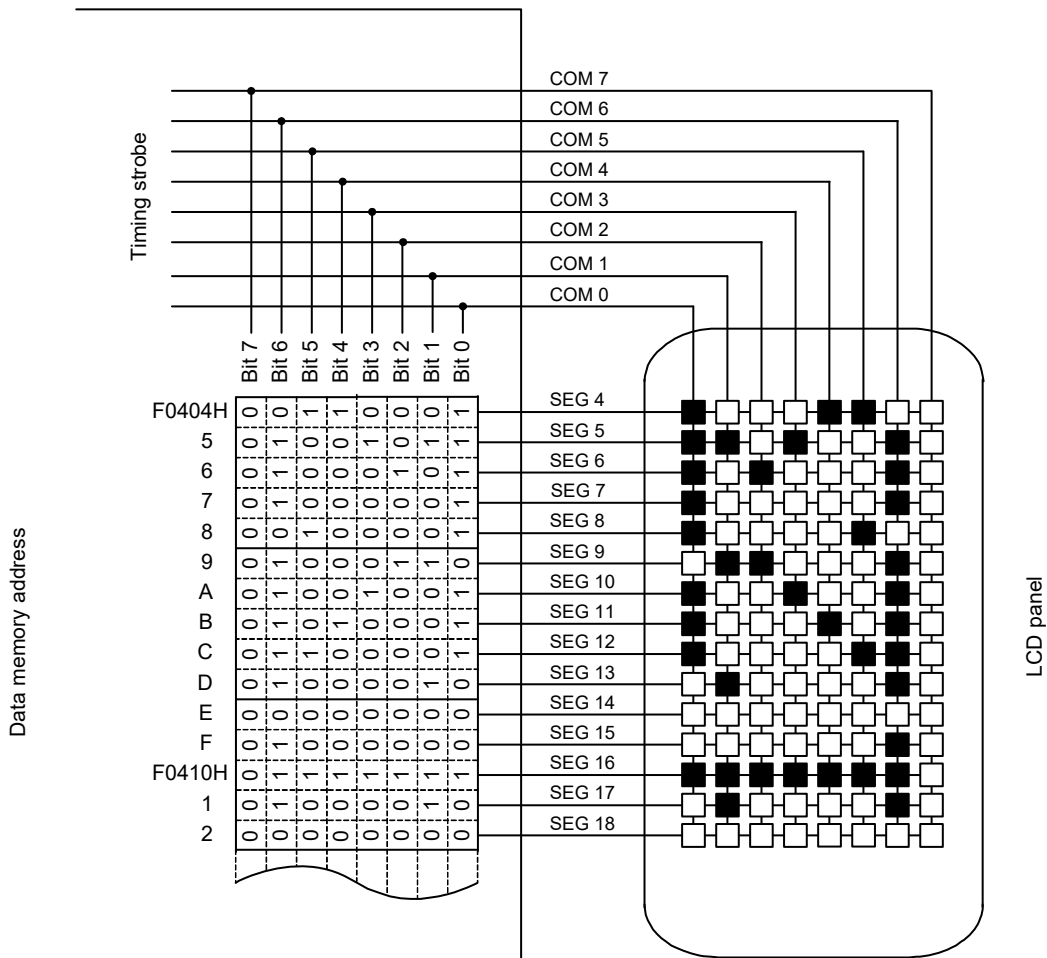


図18 - 46 SEG4と各コモン信号間の8時分割LCD駆動波形例(1/4バイアス法) (1/2)

(a) A波形の場合

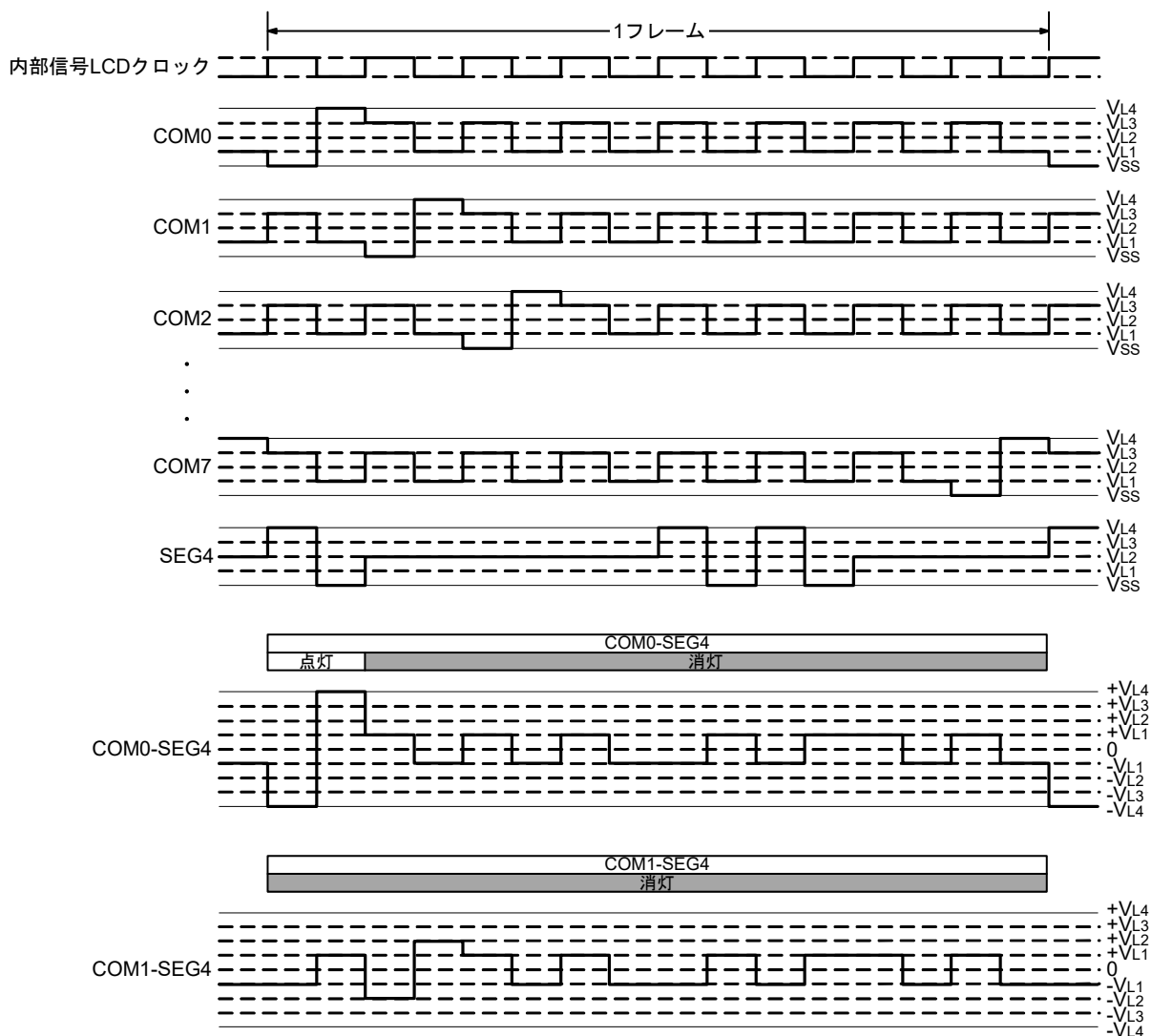
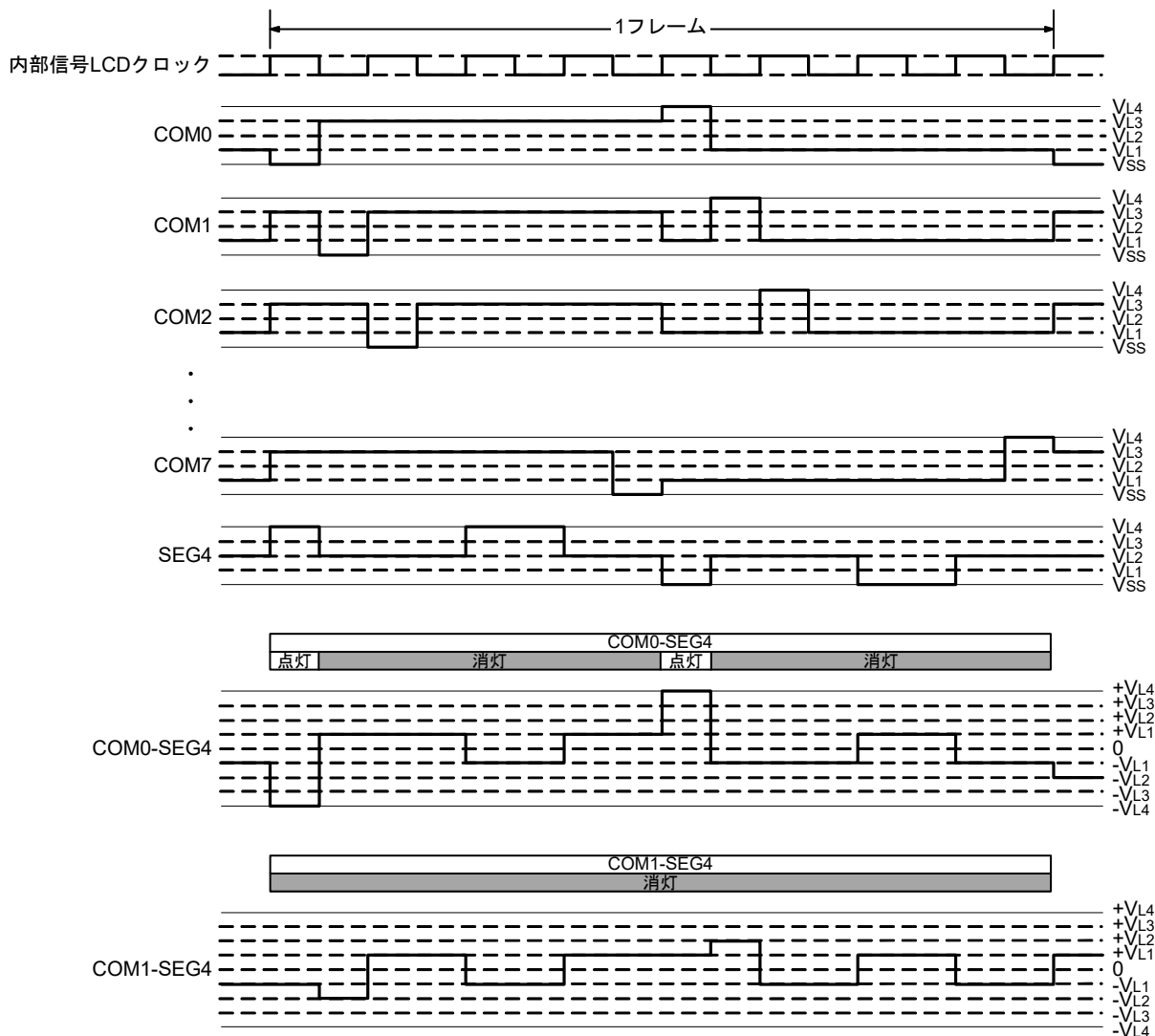


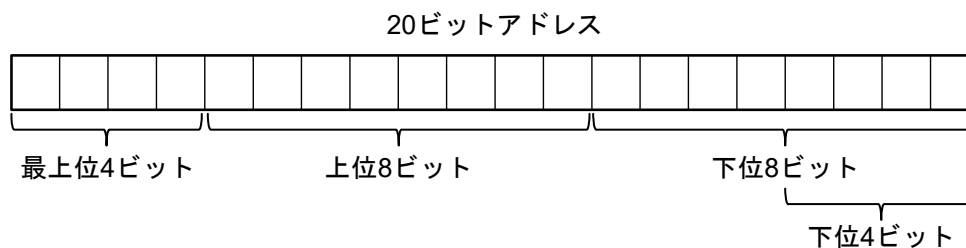
図18 - 47 SEG4と各コモン信号間の8時分割LCD駆動波形例(1/4バイアス法) (2/2)

(b) B波形の場合



第19章 データトランスファコントローラ(DTC)

本章の説明に記載されているアドレスの上位8ビットとは下記のとおり、20ビットアドレスのビット(15-8)になります。



また、本章の説明の中で、特に指定が無い場合、アドレスの最上位4ビットは全て1(FxxxH)になります。

19.1 DTCの機能

データトランスファコントローラ (DTC) は、CPU を使わずにメモリとメモリの間でデータを転送する機能です。

DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用権はCPUよりも優先されます。

表 19 - 1にDTCの仕様を示します。

表 19 - 1 DTCの仕様

項目		仕様
起動要因		30要因(80/85ピン製品)(USB非搭載製品)/31要因(100ピン製品)(USB非搭載製品)/ 32要因(80/85ピン製品)(USB搭載製品)/33要因(100ピン製品)(USB搭載製品)
配置可能なコントロールデータ		24通り
転送可能な アドレス空間	アドレス空間	64 Kバイト空間(F0000H~FFFFFH)ただし、汎用レジスタを除く
	ソース	1st SFR領域、RAM領域(汎用レジスタを除く)、ミラー領域 ^注 、データ・フラッシュ・メモリ領域 ^注 、2nd SFR領域
	デスティネーション	1st SFR領域、RAM領域(汎用レジスタを除く)、2nd SFR領域
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送 ブロックサイズ	ノーマルモード(8ビット転送)	256バイト
	ノーマルモード(16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、 DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		表 19 - 4 DTC起動要因とベクタアドレス参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0~DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	<ul style="list-style-type: none"> • DTCENi0~DTCENi7ビットを0(起動禁止)にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	<ul style="list-style-type: none"> • DTCENi0~DTCENi7ビットを0(起動禁止)にする • RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき
スタンバイ モード時の動作	HALT状態	DTC動作
	SNOOZE状態	DTC動作
	STOP状態	DTC停止

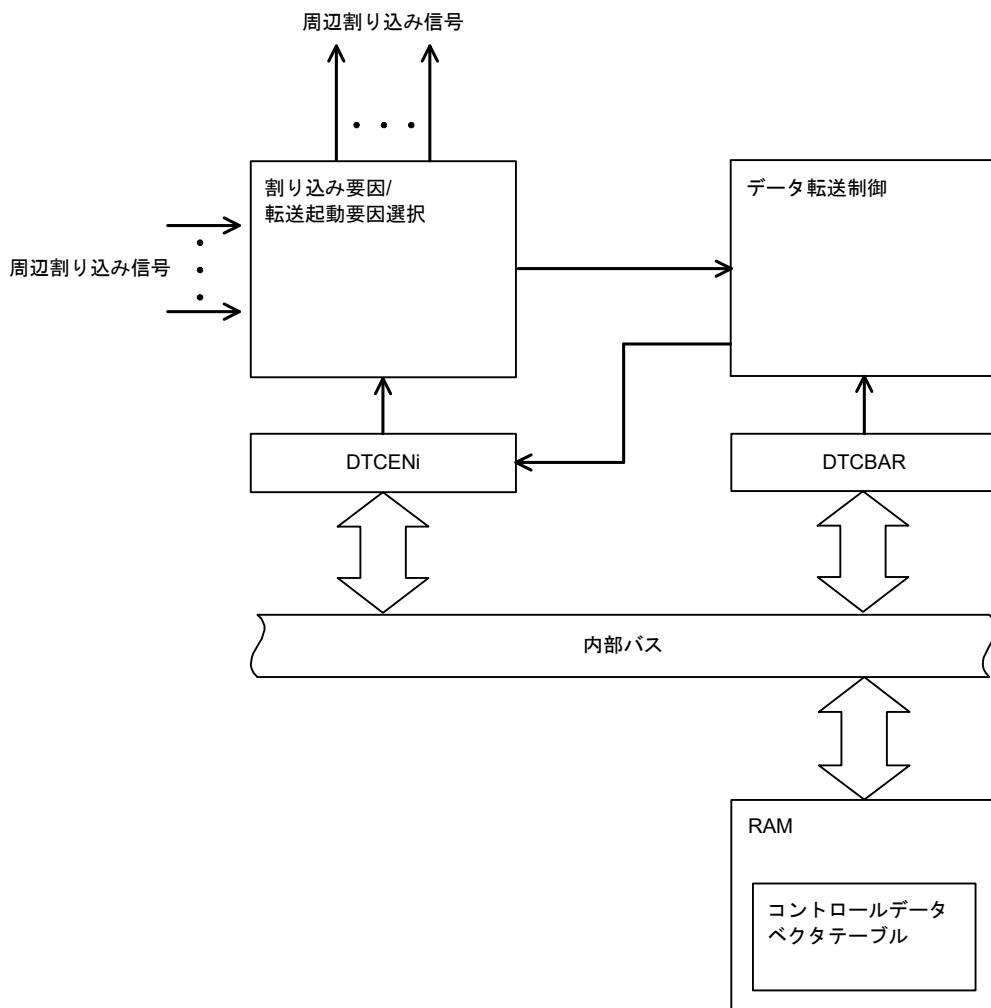
注 HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0~4, j = 0~23

19.2 DTCの構成

図19-1にDTCのブロック図を示します。

図19-1 DTCのブロック図



19.3 DTCを制御するレジスタ

表19-2にDTCを制御するレジスタを示します。

表19-2 DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTC起動許可レジスタ3	DTCEN3
DTC起動許可レジスタ4	DTCEN4
DTCベースアドレスレジスタ	DTCBAR

表19-3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と、コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表19-3 DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロックサイズレジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロードレジスタj	DTRLdj
DTCソースアドレスレジスタj	DTSARj
DTCデスティネーションアドレスレジスタj	DTDARj

備考 j = 0 ~ 23

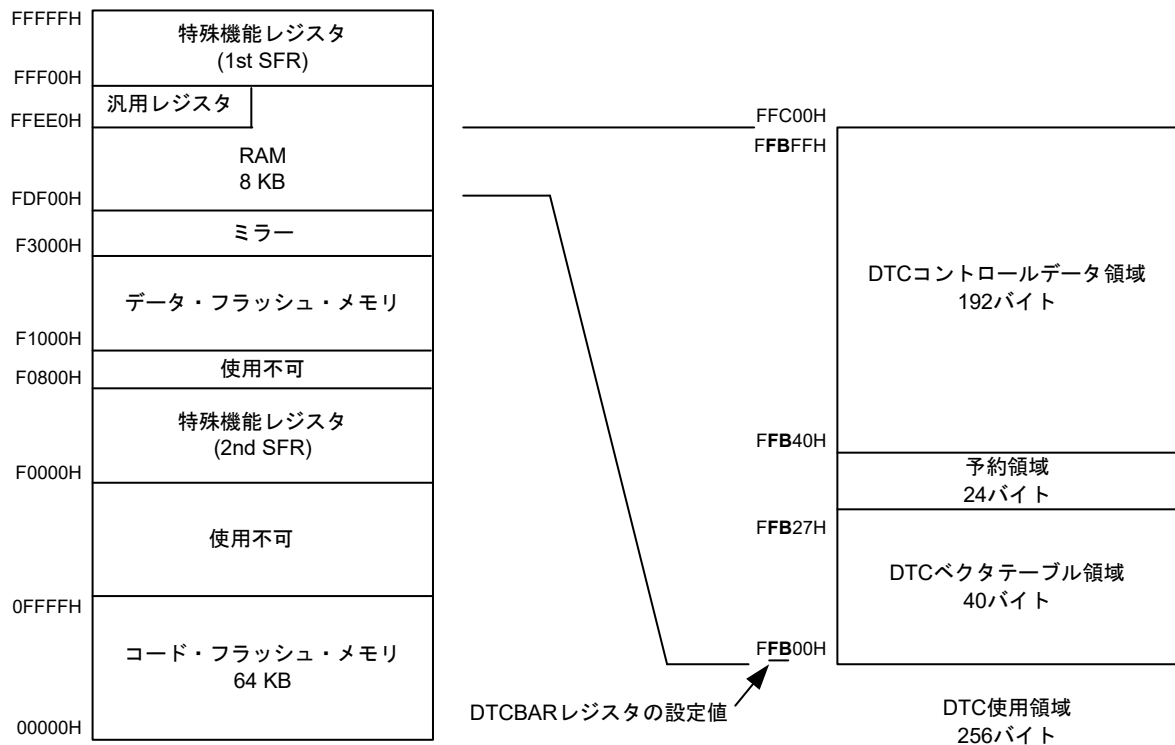
19.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで、DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図19-2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロールデータ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図19-2 DTCBARレジスタにFBHを設定したときのメモリマップ例



DTCコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- 注意2. スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- 注意3. 次に示す製品の内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
- R5F110xH, R5F111xH (x = M, N, P) : FBF00H-FC309H
- R5F110xJ, R5F111xJ (x = M, N, P) : FBF00H-FC309H
- 注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
- R5F110xH, R5F111xH (x = M, N, P) : FC300H-FC6FFH
- R5F110xJ, R5F111xJ (x = M, N, P) : FC300H-FC6FFH

19.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0~23) レジスタの順に配置します。

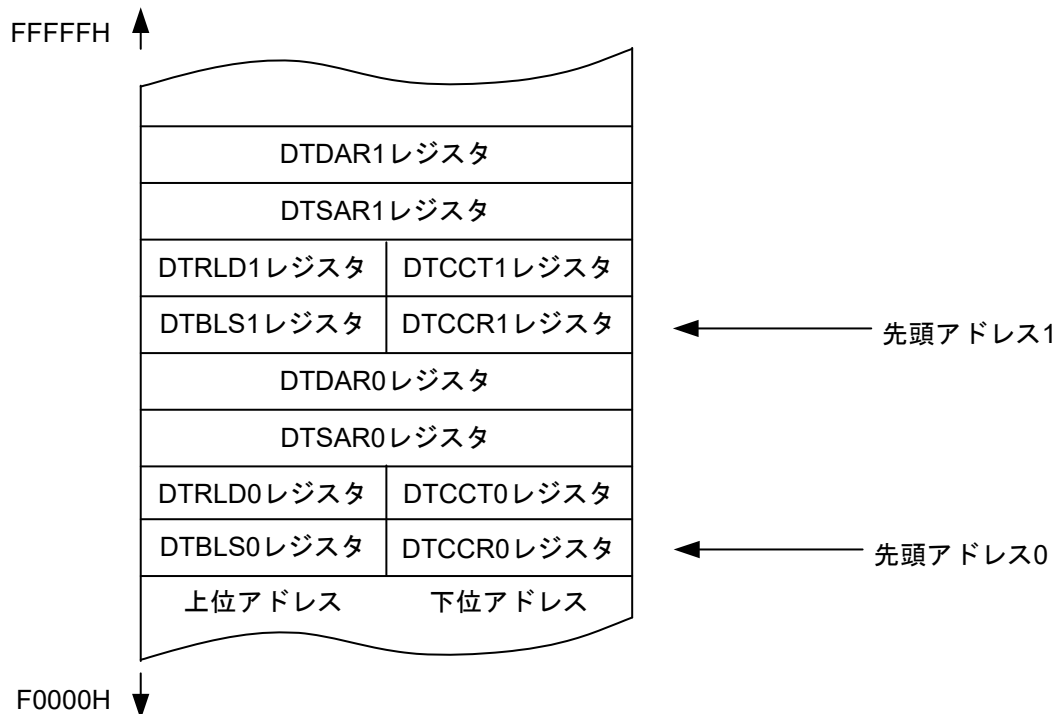
先頭アドレス0~23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図19-3にコントロールデータの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0~4)のDTCENi0~DTCENi7ビットが0 (DTC起動禁止)のときに変更してください。

注意2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図19-3 コントロールデータの配置



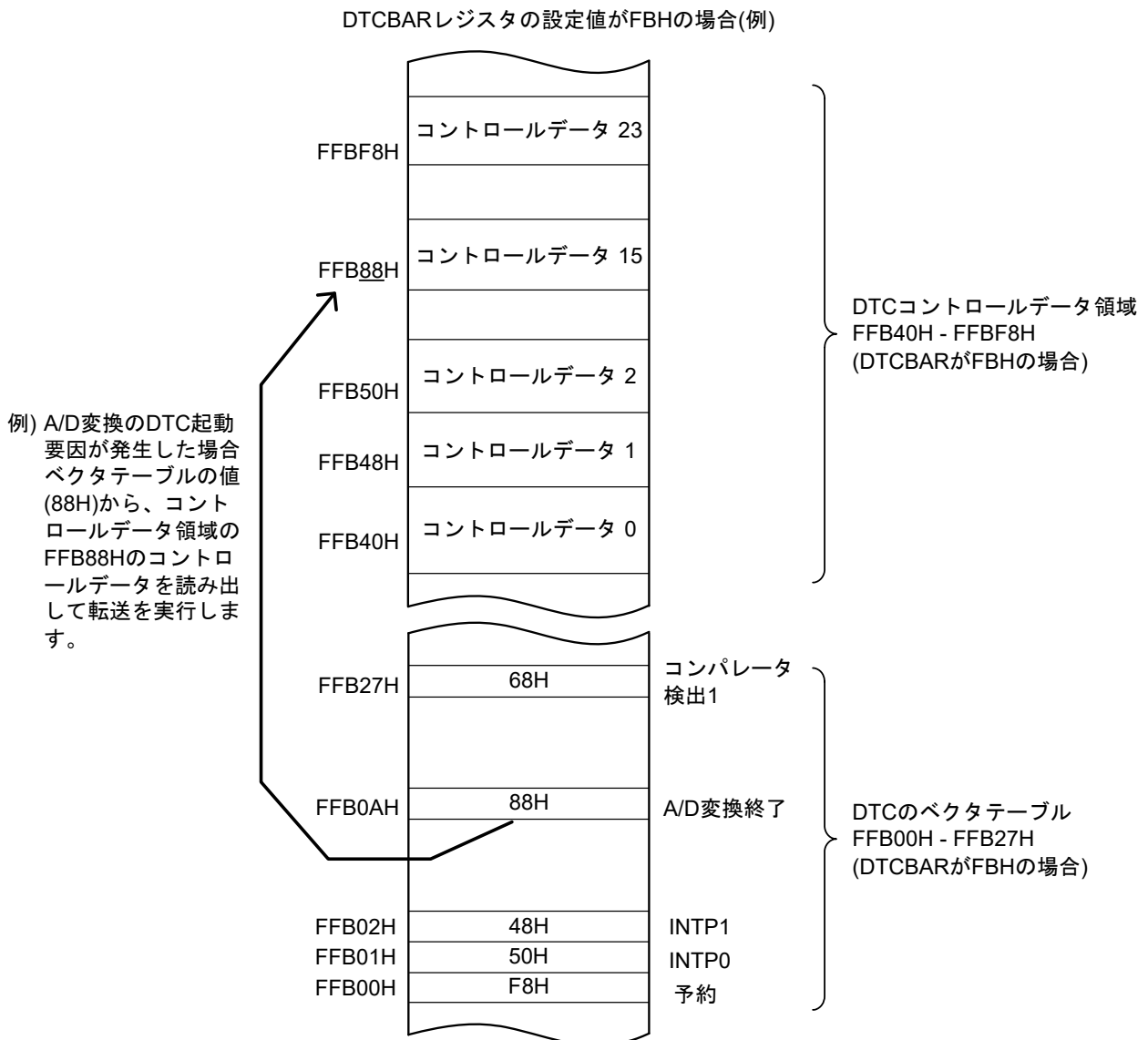
19.3.3 ベクタテーブル

DTCが起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表19-4にDTC起動要因とベクタアドレスを示します。起動要因ごとにDTCベクタテーブルが1バイトあり、40HからF8Hのデータを格納し、24組のコントロールデータから1つを選択します。DTCベクタアドレスの上位8ビットはDTCBARレジスタで設定し、下位8ビットはDTC起動要因に対応して00Hから21Hまでが割り当てられます。

注意 ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i=0~4)レジスタのDTCENi0~DTCENi7ビットが0(起動禁止)のときに変更してください。

図19-4 コントロールデータの先頭アドレスとベクタテーブル



19.3.4 周辺イネーブル・レジスタ1 (PER1)

PER1レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTCを使用する場合は、必ずビット3 (DTCEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-5 周辺イネーブル・レジスタ1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	TMKAEN	0	CMPEN	TKB20EN	DTCEN	0	0	DACEN

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 • DTCは動作不可
1	入カクロック供給 • DTCは動作可

注意 ビット6, 2, 1には必ず“0”を設定してください。

19.3.5 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

DTCCRjレジスタは、DTCの動作モードを制御します。

図19-6 DTC制御レジスタj (DTCCRj)のフォーマット

アドレス : 19.3.2 コントローラデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
SZ		データサイズを選択						
	0	8ビット						
	1	16ビット						
RPTINT		リピートモード割り込みの許可・禁止						
	0	割り込み発生禁止						
	1	割り込み発生許可						
MODEビットが0 (ノーマルモード)のときRPTINTビットの設定は無効です。								
CHNE		チェーン転送の許可・禁止						
	0	チェーン転送禁止						
	1	チェーン転送許可						
DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止)にしてください。								
DAMOD		転送先アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード)でRPTSELビットが0 (転送先がリピートエリア)のときDAMODビットの設定は無効です。								
SAMOD		転送元アドレスの制御						
	0	固定						
	1	加算						
MODEビットが1 (リピートモード)でRPTSELビットが1 (転送元がリピートエリア)のときSAMODビットの設定は無効です。								
RPTSEL		リピートエリアの選択						
	0	転送先がリピートエリア						
	1	転送元がリピートエリア						
MODEビットが0 (ノーマルモード)のときRPTSELビットの設定は無効です。								
MODE		転送モードの選択						
	0	ノーマルモード						
	1	リピートモード						

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

19.3.6 DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)

1回の起動で転送されるデータのブロックサイズを設定します。

図19-7 DTCブロックサイズレジスタj (DTBLSj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロックサイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

19.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図19-8 DTC転送回数レジスタj (DTCCTj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
.	.
.	.
.	.
FDH	253回
FEH	254回
FFH	255回

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

19.3.8 DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図19-9 DTC転送回数リロードレジスタj (DTRLDj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

19.3.9 DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図19-10 DTCソースアドレスレジスタj (DTSARj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

注意1. 転送元アドレスに汎用レジスタ (FFEE0H ~ FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

19.3.10 DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図19-11 DTCデスティネーションアドレスレジスタj (DTDARj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照 リセット時 : 不定 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

注意1. 転送先アドレスに汎用レジスタ (FFEE0H ~ FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

19.3.11 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0 ~ 4)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビットレジスタです。表 19 - 5に割り込み要因とDTCEN*i*0 ~ DTCEN*i*7ビットの対応を示します。

DTCEN*i*レジスタは8ビット・メモリ操作命令, および1ビット・メモリ操作命令で設定できます。

注意1. DTCEN*i*0 ~ DTCEN*i*7ビットは, そのビットに対応する起動要因が発生しない箇所で変更してください。

注意2. DTC転送でDTCEN*i*レジスタをアクセスしないでください。

図 19 - 12 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0 ~ 4)のフォーマット

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), リセット時 : 00H R/W
 F02EBH (DTCEN3), F02ECH (DTCEN4)

略号	7	6	5	4	3	2	1	0
DTCEN <i>i</i>	DTCEN <i>i</i> 7	DTCEN <i>i</i> 6	DTCEN <i>i</i> 5	DTCEN <i>i</i> 4	DTCEN <i>i</i> 3	DTCEN <i>i</i> 2	DTCEN <i>i</i> 1	DTCEN <i>i</i> 0

DTCEN <i>i</i> 7	DTC起動許可 <i>i</i> 7
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 7ビットは0 (起動禁止)になります。	

DTCEN <i>i</i> 6	DTC起動許可 <i>i</i> 6
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 6ビットは0 (起動禁止)になります。	

DTCEN <i>i</i> 5	DTC起動許可 <i>i</i> 5
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 5ビットは0 (起動禁止)になります。	

DTCEN <i>i</i> 4	DTC起動許可 <i>i</i> 4
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 4ビットは0 (起動禁止)になります。	

DTCEN <i>i</i> 3	DTC起動許可 <i>i</i> 3
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 3ビットは0 (起動禁止)になります。	

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0(起動禁止)になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0(起動禁止)になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0(起動禁止)になります。	

表 19 - 5 割り込み要因とDTCENi0～DTCENi7ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	INTP7	キー入力	A/D変換終了	UART0受信の 転送完了	UART0送信の 転送完了/ CSI00の転送 完了または バッファ空き/ IIC00の転送 完了	UART1受信の 転送完了	UART1送信の 転送完了/ CSI10の転送 完了または バッファ空き/ IIC10の転送 完了	UART2受信の 転送完了
DTCEN2	UART2送信の 転送完了/ CSI20の転送 完了または バッファ空き/ IIC20の転送 完了	UART3受信の 転送完了	UART3送信の 転送完了/ CSI30の転送 完了または バッファ空き/ IIC30の転送 完了注1	タイマ・アレ イ・ユニット0 のチャンネル0の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル1の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル2の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル3の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル4の カウント完了 またはキャプ チャ完了
DTCEN3	タイマ・アレ イ・ユニット0 のチャンネル5の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル6の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャンネル7の カウント完了 またはキャプ チャ完了	TMKB2_0 カウント完了	TMKB2_1 カウント完了	TMKB2_2 カウント完了	USBの DTCDFIFO 注1	USBの DTCDFIFO 注1
DTCEN4	コンパレータ 検出0	コンパレータ 検出1注2	予約	予約	予約	予約	予約	予約

注1. USB搭載製品のみ。

注2. 100ピン製品のみ。

備考 i = 0～4

19.3.12 DTCベースアドレスレジスタ(DTCBAR)

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと、DTCコントロールデータ領域のアドレスを設定する8ビットレジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

- 注意1. DTCBARレジスタは、全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- 注意2. DTCBARレジスタを2回以上書き換えしないでください。
- 注意3. DTC転送でDTCBARレジスタをアクセスしないでください。
- 注意4. DTCコントロールデータ領域とDTCベクタテーブル領域の配置については、19.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図19-13 DTCベースアドレスレジスタ(DTCBAR)のフォーマット

アドレス : F02E0H リセット時 : FDH R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

19.4 DTCの動作

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリポートモードがあり、転送サイズは8ビット転送と16ビット転送があります。また、DTCCTj (j = 0~23) レジスタのCHNEビットが1 (チェーン転送許可) のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェーン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って加算されるか固定されます。

19.4.1 起動要因

DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0 ~ 4)レジスタで選択します。

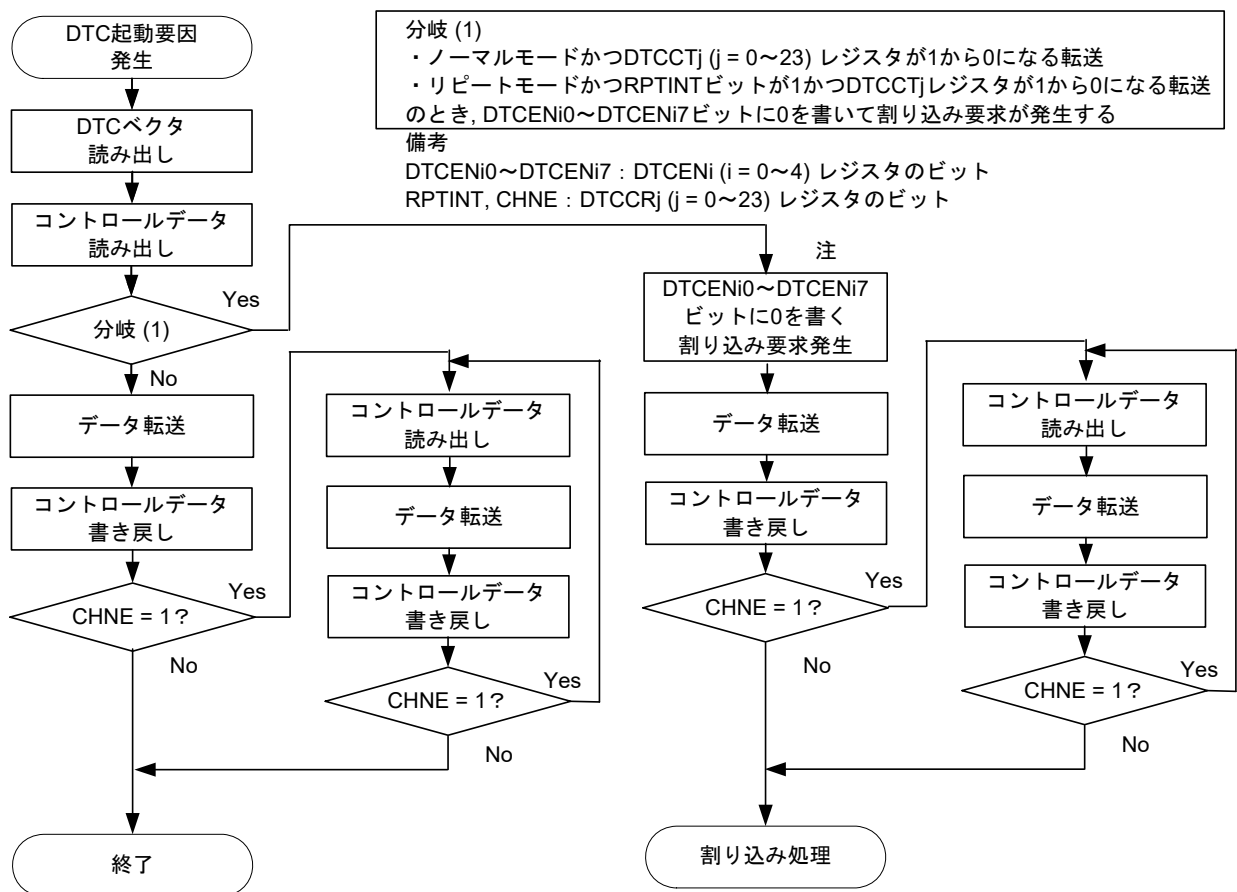
データ転送(チェーン転送の場合、連続して行う最初の転送)の設定が、

- ・ノーマルモードでDTCCTj (j = 0 ~ 23)レジスタが0になる転送
- ・リピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になる転送

のとき、DTCは動作中にDTCENiレジスタの対応するDTCENi0 ~ DTCENi7ビットを0(起動禁止)にします。

図19-14にDTC内部動作フローチャートを示します。

図19-14 DTC内部動作フローチャート



注 チェーン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では、DTCENi0 ~ DTCENi7ビットに0を書きません。また、割り込み要求は発生しません。

19.4.2 ノーマルモード

1回の起動で、8ビット転送の場合1~256バイト、16ビット転送の場合2~512バイトをデータ転送します。転送回数は1~256回です。DTCCTj (j = 0~23)レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0~4)レジスタの対応するDTCENi0~DTCENi7ビットを0(起動禁止)にします。

表19-6にノーマルモードでのレジスタ機能を示します。図19-15にノーマルモードでのデータ転送を示します。

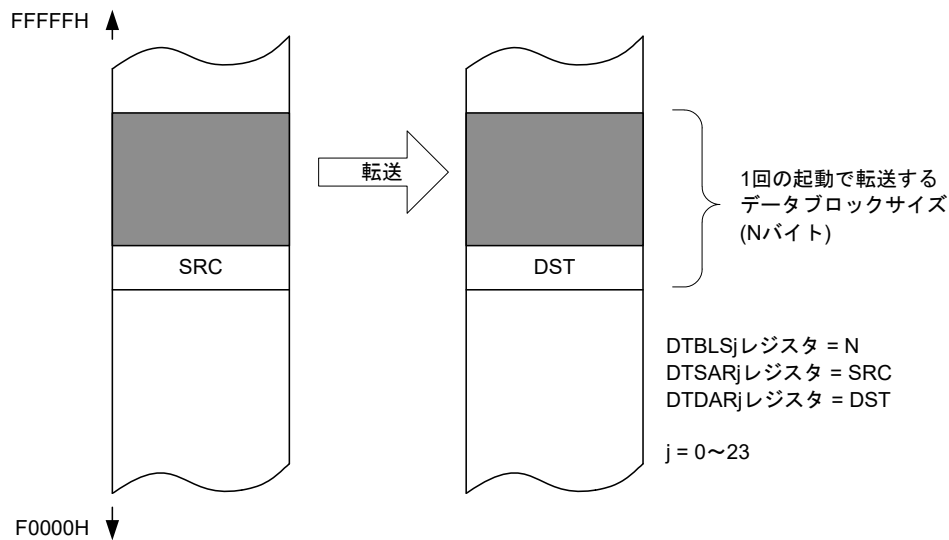
表19-6 ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRL Dj	使用しません注
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、初期化(00H)してください。

備考 j = 0~23

図19-15 ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC + N	DST
1	0	X	0	固定	加算	SRC	DST + N
1	1	X	0	加算	加算	SRC + N	DST + N

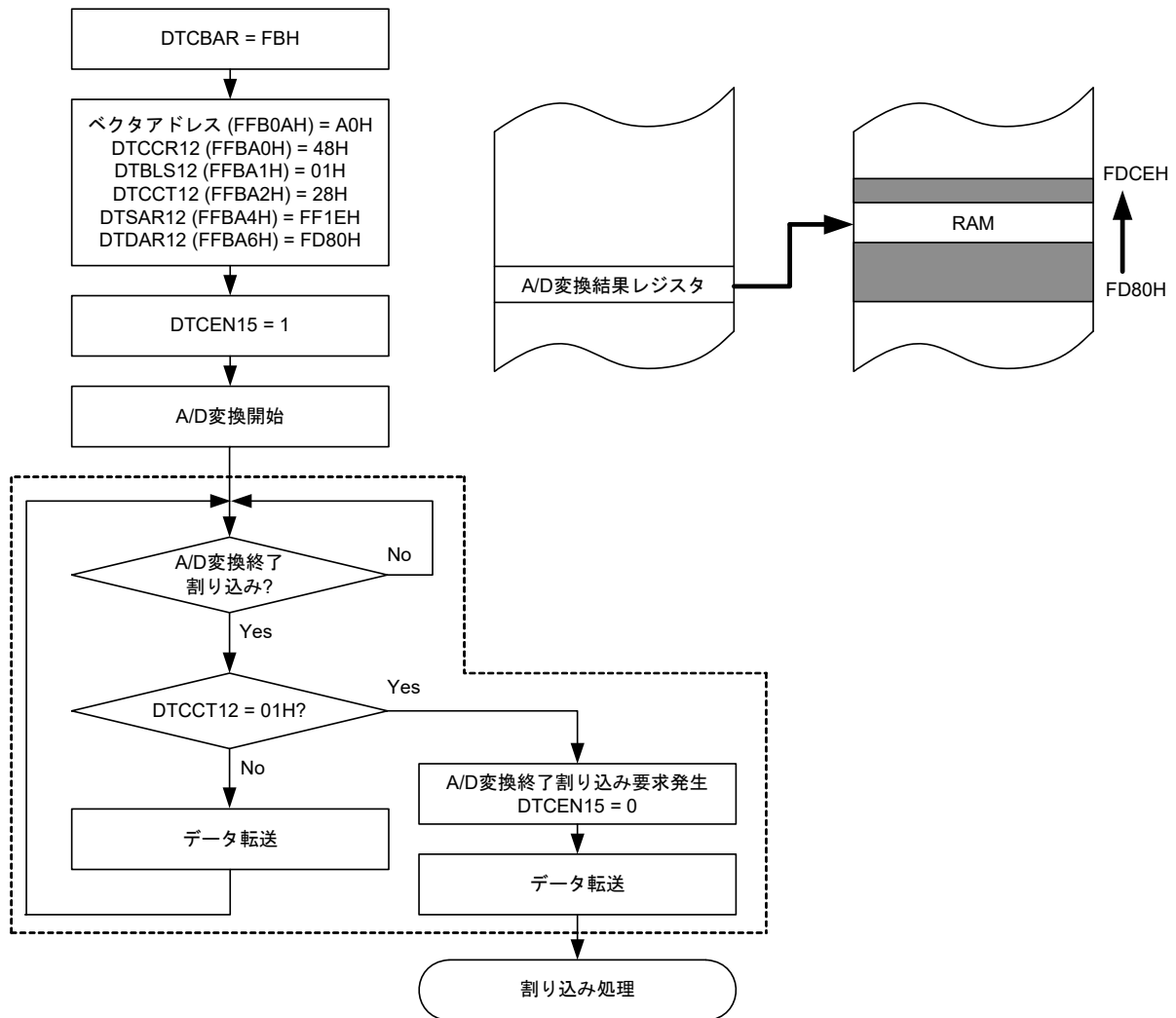
X : 0または1

(1) ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタアドレスはFFB0AH, コントロールデータはFFBA0H～FFBA7Hに配置
- A/D変換結果レジスタ(FFF1EH, FFF1FH)の2バイトデータをRAMのFFD80H～FFDCFHの80バイトへ40回転送

図19-16 ノーマルモードの使用例1：A/D変換結果の連続取り込み



〔 〕内の処理はDTCが自動で実行します。

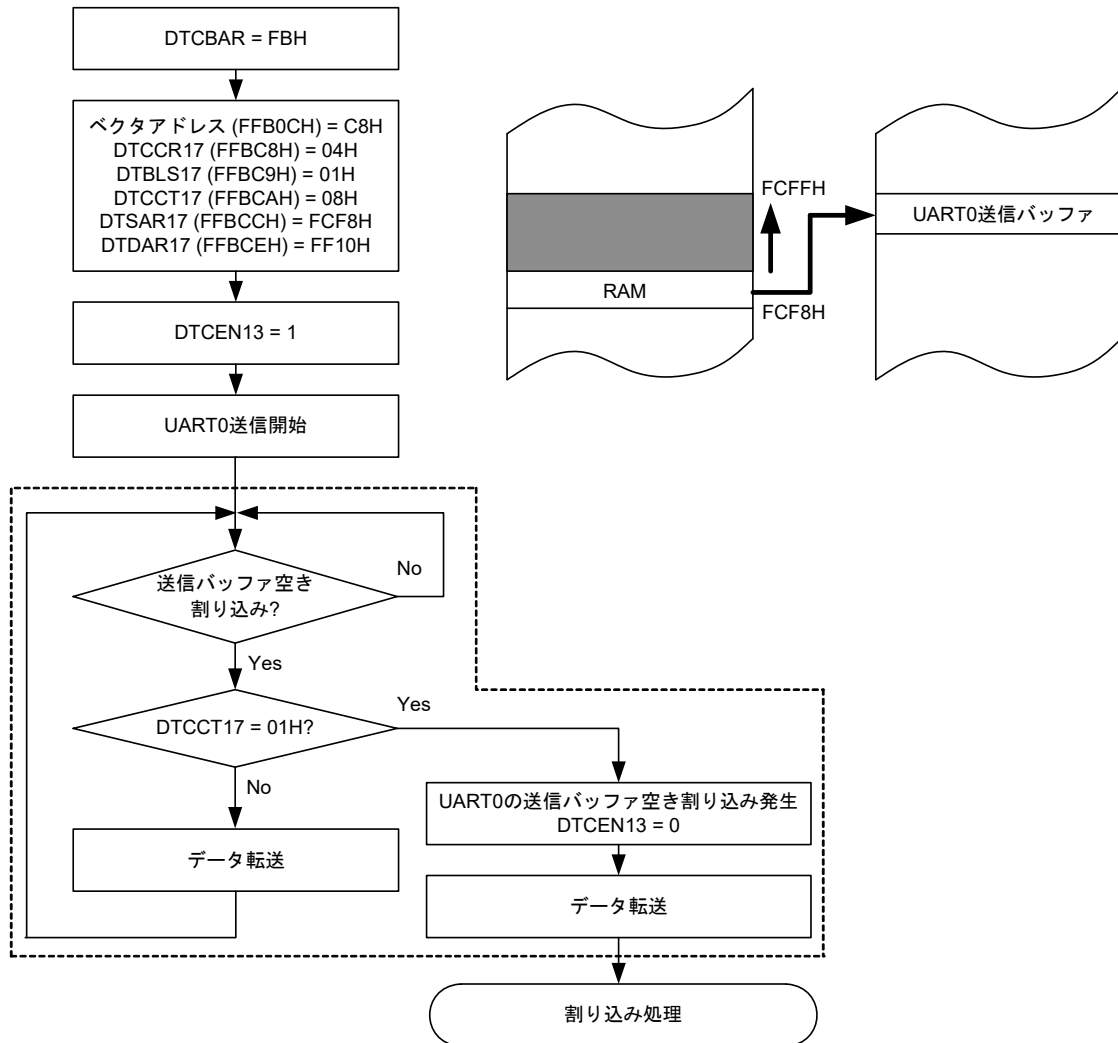
ノーマルモードのため、DTRL12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRL12レジスタを初期化(00H)してください。

(2) ノーマルモードの使用例2 : UART連続送信

UART0の送信バッファ空き割り込みでDTCを起動し, RAMの値をUART0の送信バッファに転送します。

- ベクタアドレスはFFB0CH, コントロールデータはFFBC8H~FFBCFHに配置
- RAMのFFCF8H~FFCFEHの8バイトをUART0の送信バッファ(FFF10H)へ転送

図19-17 ノーマルモードの使用例2 : UART0連続送信



【---】内の処理はDTCが自動で実行します。

ノーマルモードのため, DTRLD17レジスタの値は使用しませんが, RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は, DTRLD17レジスタを初期化(00H)してください。

UART0の最初の送信は, ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより, 自動的に送信されます。

19.4.3 リピートモード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j = 0～23)レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)でDTCCTjレジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0～4)レジスタの対応するDTCENi0～DTCENi7ビットを0(起動禁止)にします。DTCCRjレジスタのRPTINTビットが0(割り込み発生禁止)の場合は、DTCCTjレジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0～DTCENi7ビットは0になりません。

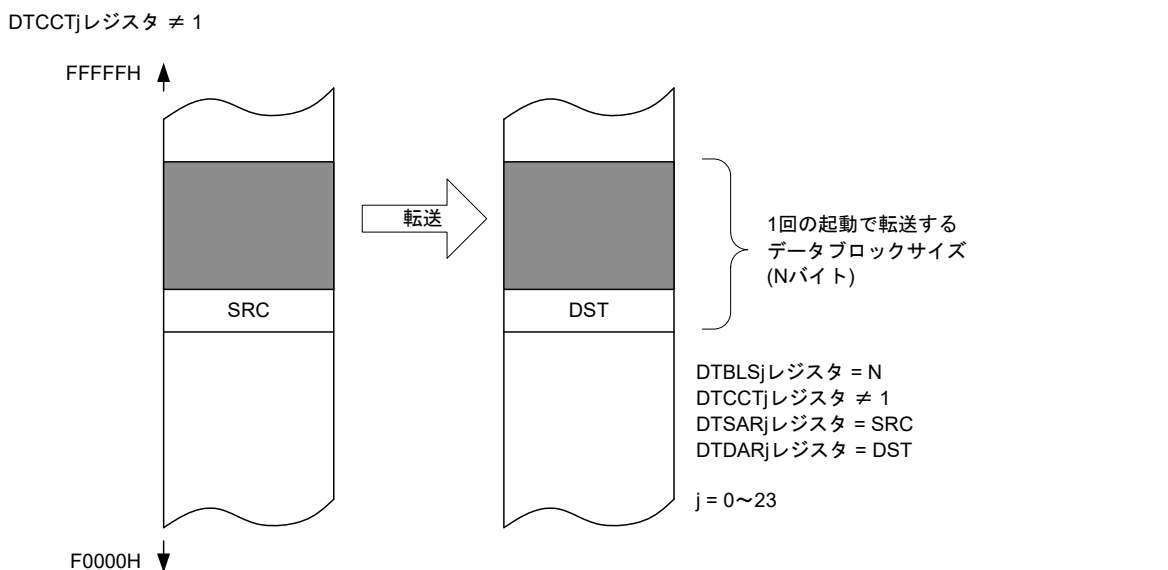
表19-7にリピートモードでのレジスタ機能を示します。図19-18にリピートモードでのデータ転送を示します。

表19-7 リピートモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTjレジスタへリロード(データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

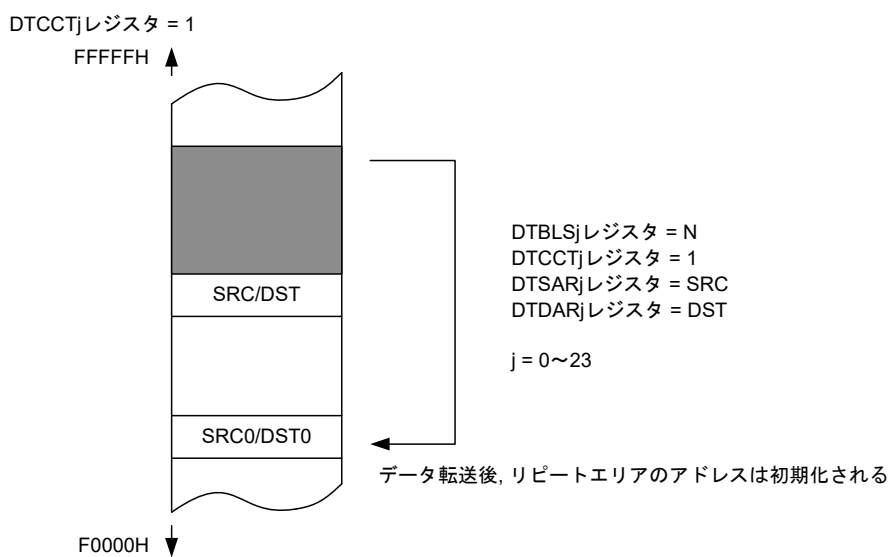
備考 j = 0～23

図19-18 リpeatモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス 制御	デスティネーション アドレス制御	転送後の ソースアドレス	転送後の デスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC + N	DST
1	X	1	1	リピートエリア	加算	SRC + N	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST + N
X	1	0	1	加算	リピートエリア	SRC + N	DST + N

X : 0または1



DTCCRレジスタ設定				ソースアドレス 制御	デスティネーション アドレス制御	転送後の ソースアドレス	転送後の デスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC0	DST
1	X	1	1	リピートエリア	加算	SRC0	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST0
X	1	0	1	加算	リピートエリア	SRC + N	DST0

SRC0 : ソースアドレス初期値

DST0 : デスティネーションアドレス初期値

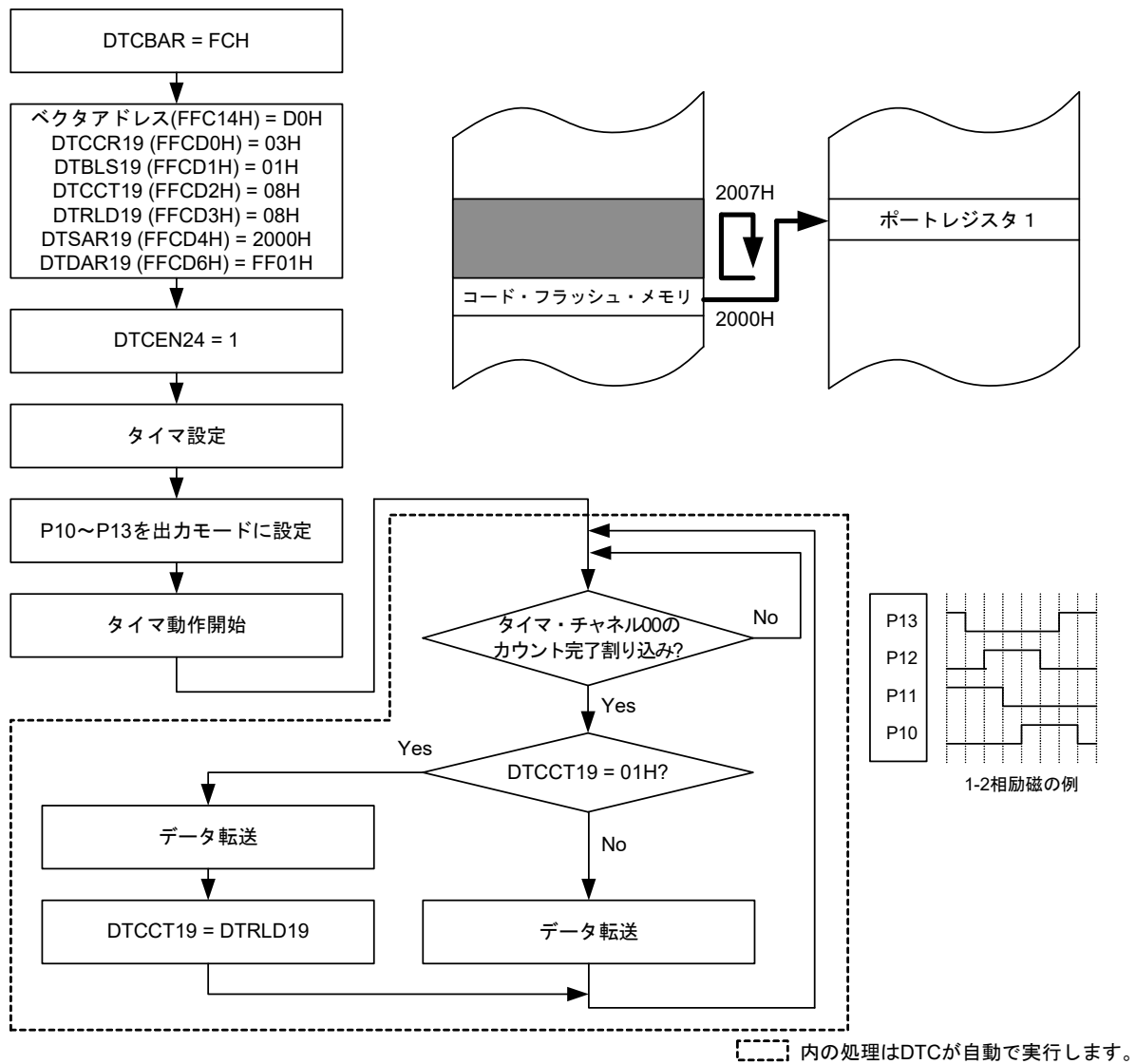
X : 0または1

注意1. リpeatモード使用時は、リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

注意2. リpeatモード使用時は、リピートエリアのデータサイズを255バイト以内にしてください。

- (1) リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力
- タイマ・アレイ・ユニット0のチャンネル0のインターバルタイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。
- ベクタアドレスはFFC14H, コントロールデータはFFCD0H~FFCD7Hに配置
 - コード・フラッシュ・メモリの02000H~02007Hの8バイトデータをミラー空間F2000H~F2007Hからポートレジスタ1 (FFF01H)へ転送
 - リピートモード割り込みは禁止

図19-19 リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN24をクリアしてください。

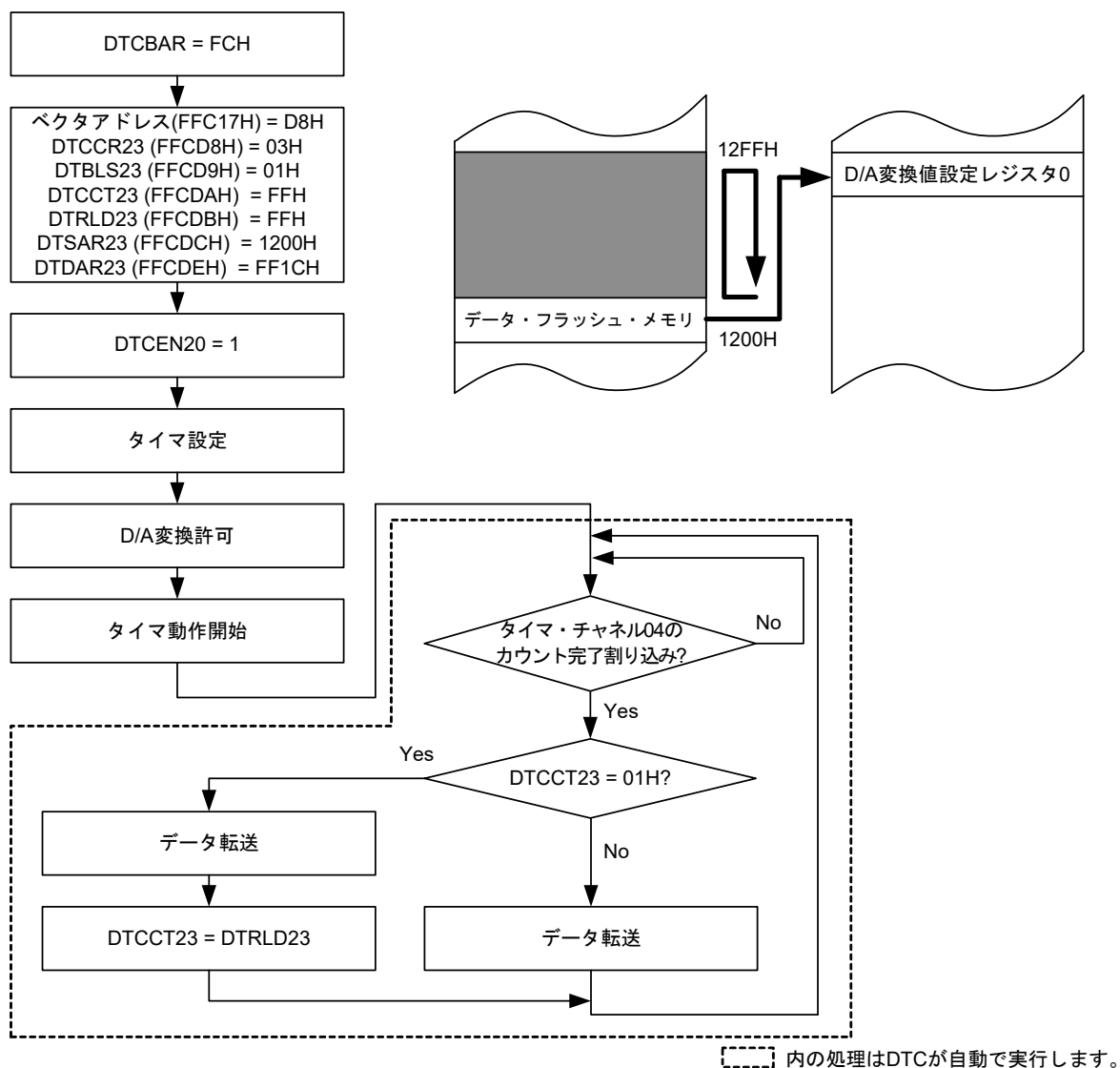
(2) リピートモードの使用例2：8ビットD/Aコンバータを使ったサイン波出力

タイマ・アレイ・ユニット0のチャンネル4のインターバルタイマの割り込みでDTCを起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを8ビットのD/A変換値設定レジスタ0 (FFF74H)に転送します。

タイマのインターバル時間は、D/Aの出力セットアップ時間を設定します。

- ベクタアドレスはFFC17H, コントロールデータはFFCD8H~FFCDFHに配置
- データ・フラッシュ・メモリの F1200H ~ F12FEH の 255 バイトデータを D/A 変換値設定レジスタ (FFF74H)へ転送
- リピートモード割り込みは禁止

図 19 - 20 リピートモードの使用例2：8ビットD/Aコンバータを使ったサイン波出力



出力を停止する場合は、タイマを停止してから、DTCEN20をクリアしてください。

19.4.4 チェイン転送

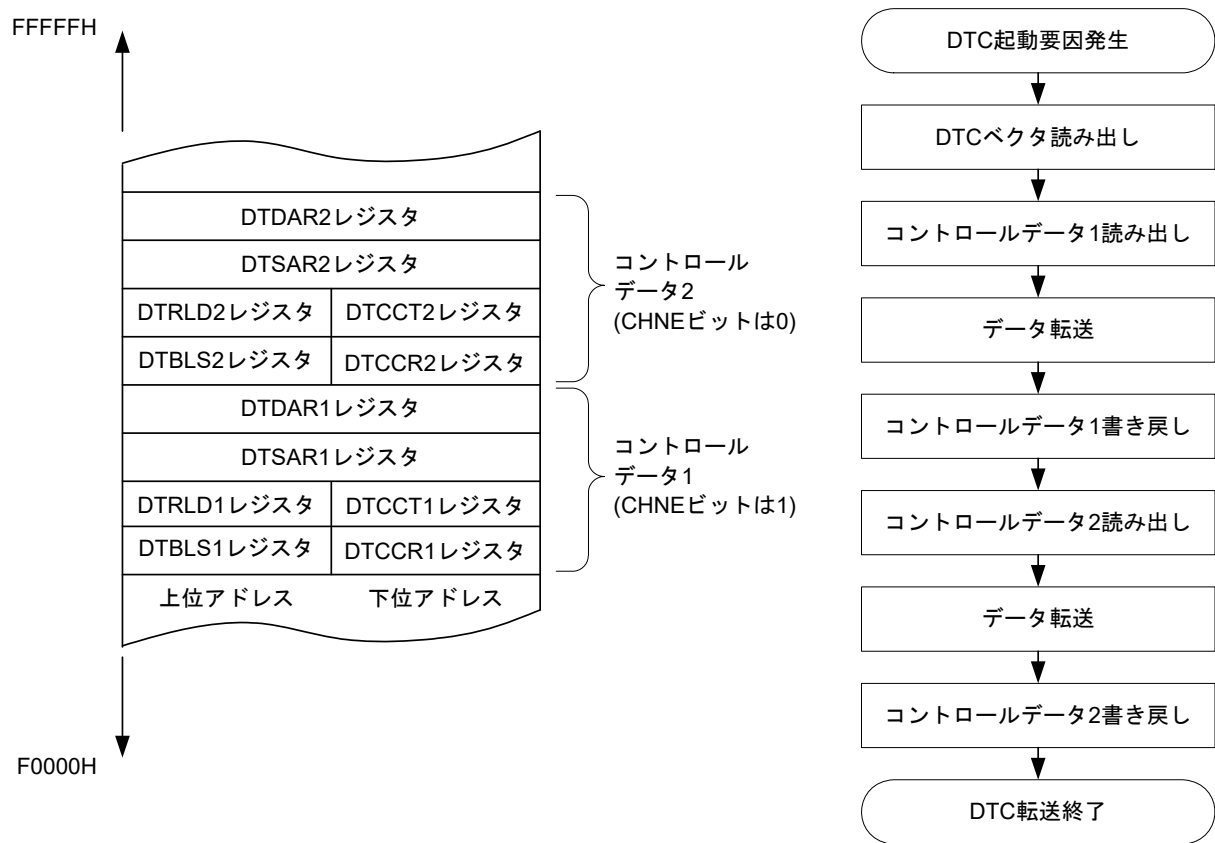
DTCCRj (j = 0~22)レジスタのCHNEビットが1 (チェイン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると、起動要因に対応したベクタアドレスから読み出されたデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1 (チェイン転送許可)であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0 (チェイン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェイン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番日以降に処理されるコントロールデータの転送回数は無効となります。

図19-21にチェイン転送でのデータ転送を示します。

図19-21 チェイン転送でのデータ転送



注意1. DTCCR23レジスタのCHNEビットは0 (チェイン転送禁止)にしてください。

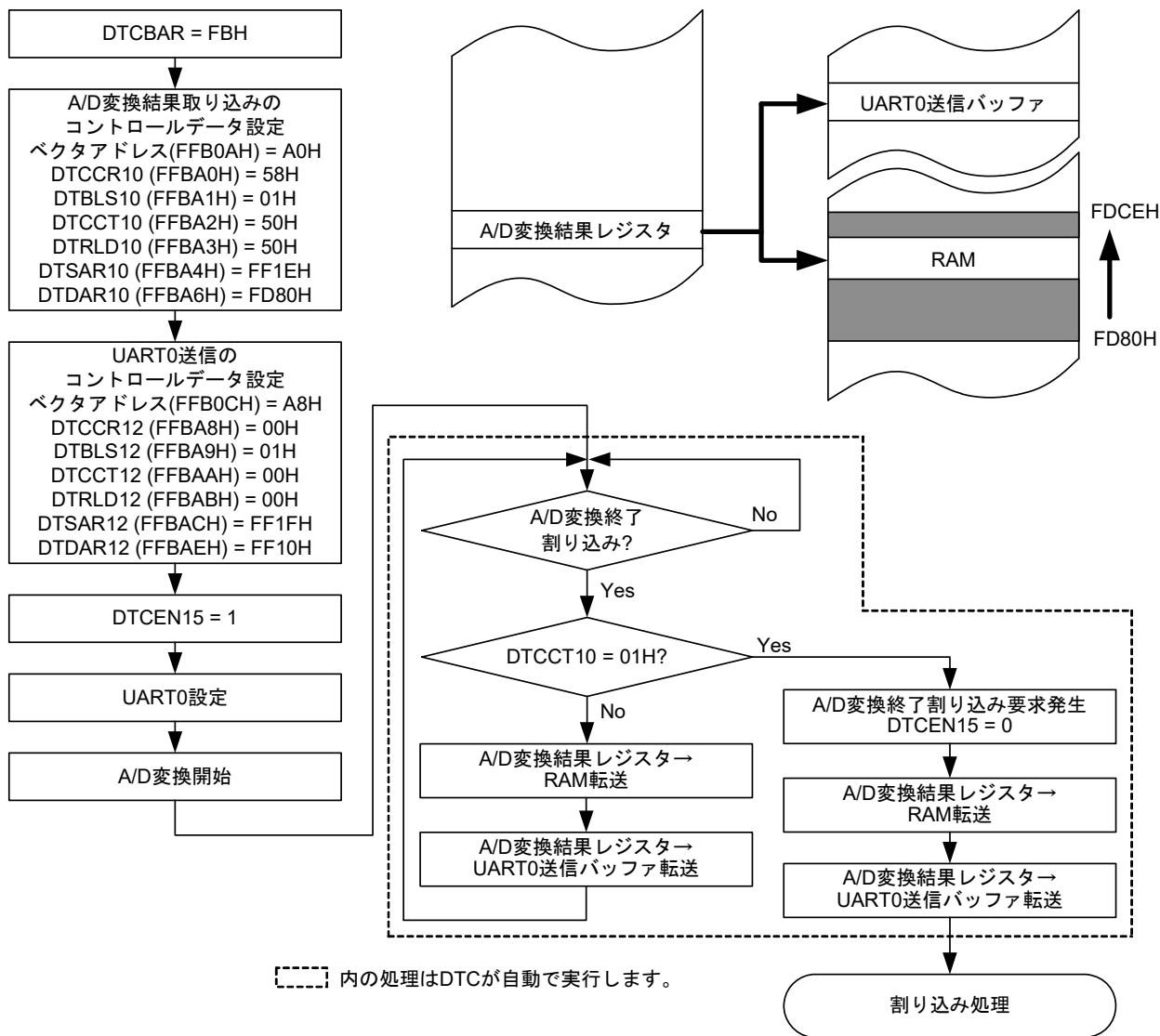
注意2. チェイン転送の場合、2回目以降のデータ転送では、DTCENi (i = 0~4)レジスタのDTCENi0~DTCENi7ビットは0 (起動禁止)になりません。また、割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UART0で送信します。

- ベクタアドレスはFFB0AH
- A/D変換結果取り込みのコントロールデータはFFBA0H～FFBA7Hに配置
- UART0送信のコントロールデータはFFBA8H～FFBAFHに配置
- A/D変換結果レジスタ(FFF1FH, FFF1EH)の2バイトデータをRAMのFFD80H～FFDCFHに転送し、A/D変換結果レジスタの上位1バイト(FFF1FH)をUART0の送信バッファ(FFF10H)へ転送

図19-22 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



19.5 DTC使用上の注意事項

19.5.1 DTCレジスタおよびベクタテーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ(2nd SFR)およびDTCコントロールデータ領域, DTCベクタテーブル領域, 汎用レジスタ(FFEE0H-FFEFFH)空間をアクセスしないでください。
- DTCベースアドレスレジスタ(DTCBAR)は, 全てのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベースアドレスレジスタ(DTCBAR)を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0 ~ 23) レジスタのデータは対応するDTCENi (i = 0-4)レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は, 対応するDTCENi (i = 0-4)レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は, DTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

19.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCコントロールデータとベクタテーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ(FFEE0H-FFEFFH)の空間は, DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- 次に示す製品の内部RAM領域は, セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F110xH, R5F111xH (x = M, N, P) : FBF00H-FC309H
R5F110xJ, R5F111xJ (x = M, N, P) : FBF00H-FC309H
- 次に示す製品の内部RAM領域は, オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F110xH, R5F111xH (x = M, N, P) : FC300H-FC6FFH
R5F110xJ, R5F111xJ (x = M, N, P) : FC300H-FC6FFH
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は, ノーマルモード使用時においてもDTRLDレジスタを初期化(00H)してください。

19.5.3 DTC保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コールリターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和算命令(MULU命令を除く)

注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、全ての割り込み要求が保留されます。

注意2. DTC保留命令によるDTC 保留中は、全ての割り込み要求が保留されます。

19.5.4 データ・フラッシュ空間にアクセスする場合の動作

データ・フラッシュ空間にアクセスするとDTCのデータ転送が保留されます。またDTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合、間の命令に3クロック分のウェイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウェイト発生

MOV A, ! DataFlash空間

19.5.5 DTC実行クロック数

表 19 - 8にDTC起動時の実行状況と必要なクロック数を示します。

表 19 - 8 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロールデータの書き戻しに必要なクロック数は、表 19 - 9 コントロールデータの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し/書き込みに必要なクロック数は、表 19 - 10 1データの読み出し/書き込みに必要なクロック数を参照してください。

表 19 - 9 コントロールデータの書き戻しに必要なクロック数

DTCCR レジスタ設定				アドレス設定		書き戻すコントロールレジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算	エリア	書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0 ~ 23, X: 0または1

表 19 - 10 1データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	特殊機能レジスタ(SFR)	拡張特殊機能レジスタ(2nd SFR)	
					ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1+ウェイト数注
データ書き込み	1	—	—	1	1	1+ウェイト数注

注 ウェイト数はアクセスする拡張特殊機能レジスタ(2nd SFR)に配置されたレジスタの仕様によって異なります。

19.5.6 DTC 応答時間

表 19 - 11にDTCにおける応答時間を示します。DTC応答時間とはDTC起動要因の検出からDTC転送開始までの時間です。DTC応答時間にDTC実行クロック数は含まれません。

表 19 - 11 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合には更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合
最大応答時間：20クロック
- DTC保留命令実行の場合(19.5.3 DTC保留命令を参照)
最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック
- ウェイトが発生するUSBレジスタをアクセスした場合
最大応答時間：各条件時の最大応答時間 + 1クロック

備考 1クロック：1/fCLK (fCLK：CPU/周辺ハードウェアクロック)

19.5.7 DTC 起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- DTC起動要因が発生する箇所では、その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因が競合した場合は、CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は19.3.3 ベクタテーブルを参照してください。
- コンパレータ注を片エッジ検出での割り込み要求に設定(CnEDG = 0)かつコンパレータの立ち上がりエッジで割り込み要求に設定(CnEPO = 0)かつIVCMP > IVREF (または内部基準電圧1.45 V)の状態または、コンパレータを片エッジ検出での割り込み要求に設定(CnEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定(CnEPO = 1)、IVCMP < IVREF (または内部基準電圧1.45 V)の状態では、DTC起動許可した場合、DTC転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ(CnMON)を確認してからDTC起動許可にしてください。(n = 0-1)

注： コンパレータ1は100ピン製品に搭載されます。

19.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能(低消費RTCモード時は動作禁止)
STOPモード	DTC起動要因受付可能 ^{注1}
SNOOZEモード	動作可能 ^{注2, 3, 4, 5}

注1. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元(ソース)にすることはできません。

注2. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注3. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定(STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)をDTC転送で行ってください。

注4. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定(STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。

注5. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定(AWCビットをクリアしたのちにセットする)を行ってください。

備考 p = 00, 20; q = 0, 2; m = 0, 1

第20章 イベントリンクコントローラ(ELC)

20.1 ELCの機能

イベントリンクコントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

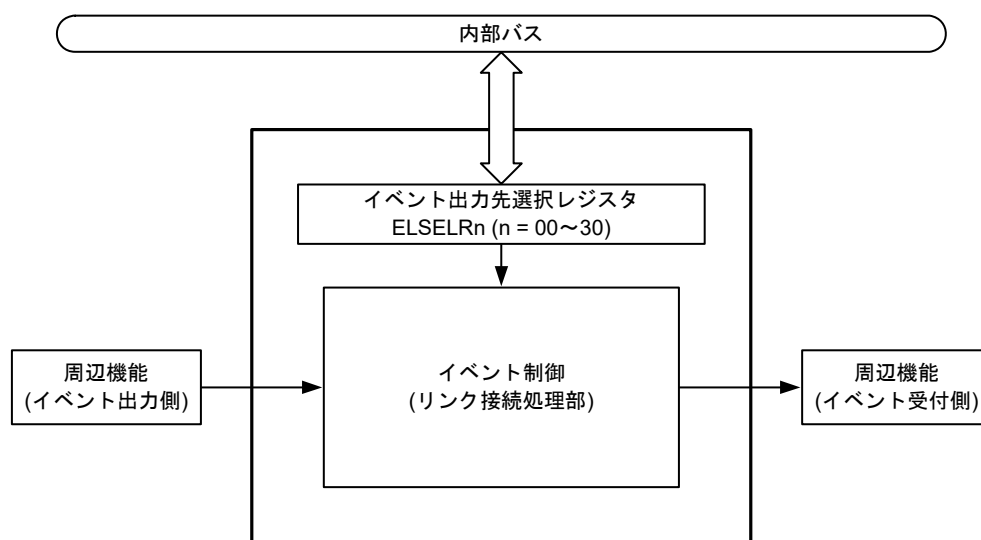
ELCには次の機能があります。

- 30種類(80/85ピン製品)／31種類(100ピン製品)の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 23種類(80/85ピン製品, 100ピン製品)の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

20.2 ELCの構成

図20-1にELCのブロック図を示します。

図20-1 ELCのブロック図



20.3 ELCを制御するレジスタ

表20-1にELCを制御するレジスタを示します。

表20-1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03	ELSELR03
イベント出力先選択レジスタ04	ELSELR04
イベント出力先選択レジスタ05	ELSELR05
イベント出力先選択レジスタ06	ELSELR06
イベント出力先選択レジスタ07	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15
イベント出力先選択レジスタ16	ELSELR16
イベント出力先選択レジスタ17	ELSELR17
イベント出力先選択レジスタ18	ELSELR18
イベント出力先選択レジスタ19 ^{注1}	ELSELR19
イベント出力先選択レジスタ20	ELSELR20
イベント出力先選択レジスタ21	ELSELR21
イベント出力先選択レジスタ22	ELSELR22
イベント出力先選択レジスタ23 ^{注2}	ELSELR23
イベント出力先選択レジスタ24 ^{注2}	ELSELR24
イベント出力先選択レジスタ25 ^{注2}	ELSELR25
イベント出力先選択レジスタ26 ^{注2}	ELSELR26
イベント出力先選択レジスタ27 ^{注2}	ELSELR27
イベント出力先選択レジスタ28 ^{注2}	ELSELR28
イベント出力先選択レジスタ29 ^{注2}	ELSELR29
イベント出力先選択レジスタ30 ^{注2}	ELSELR30

注1. 100ピン製品のみ。

注2. 16ビット・タイマKB20, KB21, KB22専用イベント出力先選択レジスタ

20.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 30)

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRnレジスタを設定してください。

表 20 - 2 に ELSELRn レジスタ (n = 00 ~ 30) と周辺機能の対応を、表 20 - 3 ~ 表 20 - 6 に ELSELRn レジスタ (n = 00 ~ 30) に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図 20 - 2 イベント出力先選択レジスタ n (ELSELRn) のフォーマット

アドレス : F01C0H (ELSELR00) ~ F01DEH (ELSELR30) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	ELSELn4	ELSELn3	ELSELn2	ELSELn1	ELSELn0

ELSELn4	ELSELn3	ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	0	0	イベントリンク禁止
0	0	0	0	1	リンクする周辺機能1の動作を選択注
0	0	0	1	0	リンクする周辺機能2の動作を選択注
0	0	0	1	1	リンクする周辺機能3の動作を選択注
0	0	1	0	0	リンクする周辺機能4の動作を選択注
0	0	1	0	1	リンクする周辺機能5の動作を選択注
0	0	1	1	0	リンクする周辺機能6の動作を選択注
0	0	1	1	1	リンクする周辺機能7の動作を選択注
0	1	0	0	0	リンクする周辺機能8の動作を選択注
0	1	0	0	1	リンクする周辺機能9の動作を選択注
0	1	0	1	0	リンクする周辺機能10の動作を選択注
0	1	0	1	1	リンクする周辺機能11の動作を選択注
0	1	1	0	0	リンクする周辺機能12の動作を選択注
0	1	1	0	1	リンクする周辺機能13の動作を選択注
0	1	1	1	0	リンクする周辺機能14の動作を選択注
0	1	1	1	1	リンクする周辺機能15の動作を選択注
1	0	0	0	0	リンクする周辺機能16の動作を選択注
1	0	0	0	1	リンクする周辺機能17の動作を選択注
上記以外					設定禁止

注 表 20 - 3 ~ 表 20 - 6 ELSELRn レジスタ (n = 00 ~ 30) に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表 20 - 2 ELSELRn レジスタ (n = 00 ~ 30) と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0 ^{注1}
ELSELR01	外部割り込みエッジ検出1	INTP1 ^{注1}
ELSELR02	外部割り込みエッジ検出2	INTP2 ^{注1}
ELSELR03	外部割り込みエッジ検出3	INTP3 ^{注1}
ELSELR04	外部割り込みエッジ検出4	INTP4 ^{注1}
ELSELR05	外部割り込みエッジ検出5	INTP5 ^{注1}
ELSELR06	外部割り込みエッジ検出6	INTP6 ^{注1}
ELSELR07	外部割り込みエッジ検出7	INTP7 ^{注1}
ELSELR08	キーリターン信号検出	INTKR
ELSELR09	RTC定周期信号/アラーム一致検出	INTRTC
ELSELR10	TAUチャンネル00カウント完了/キャプチャ完了	INTTM00
ELSELR11	TAUチャンネル01カウント完了/キャプチャ完了	INTTM01
ELSELR12	TAUチャンネル02カウント完了/キャプチャ完了	INTTM02
ELSELR13	TAUチャンネル03カウント完了/キャプチャ完了	INTTM03
ELSELR14	TAUチャンネル04カウント完了/キャプチャ完了	INTTM04
ELSELR15	TAUチャンネル05カウント完了/キャプチャ完了	INTTM05
ELSELR16	TAUチャンネル06カウント完了/キャプチャ完了	INTTM06
ELSELR17	TAUチャンネル07カウント完了/キャプチャ完了	INTTM07
ELSELR18	コンパレータ検出0	COMP_C0EVT (コンパレータ0検出)
ELSELR19	コンパレータ検出1	COMP_C1EVT ^{注3} (コンパレータ1検出)
ELSELR20	タイマKB20トリガ出力	タイマKB20コンペアー一致信号
ELSELR21	タイマKB21トリガ出力	タイマKB21コンペアー一致信号
ELSELR22	タイマKB22トリガ出力	タイマKB22コンペアー一致信号
ELSELR23	外部割り込み検出0	INTP0NF ^{注2}
ELSELR24	外部割り込み検出1	INTP1NF ^{注2}
ELSELR25	外部割り込み検出2	INTP2NF ^{注2}
ELSELR26	外部割り込み検出3	INTP3NF ^{注2}
ELSELR27	外部割り込み検出4	INTP4NF ^{注2}
ELSELR28	外部割り込み検出5	INTP5NF ^{注2}
ELSELR29	外部割り込み検出6	INTP6NF ^{注2}
ELSELR30	外部割り込み検出7	INTP7NF ^{注2}

注1. INTPm (m = 0 ~ 7) はエッジ検出できる、外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0) の設定の影響を受けます。

注2. INTPmNF (m = 0 ~ 7) は外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0) の設定の影響を受けません。16ビット・タイマKB20, KB21, KB22リンク先の専用イベント発生元です。

注3. 100ピン製品のみ

表 20 - 3 ELSELn レジスタ (n = 00 ~ 17) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELn レジスタの ELSELn4 ~ ELSELn0 ビット	リンク先 の番号	リンク先周辺機能	イベント受付時の動作
00000B	—	イベントリンク禁止	—
00001B	1	A/D コンバータ	A/D 変換開始
00010B	2	タイマ・アレイ・ユニット0チャンネル0 の入カソース注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
00011B	3	タイマ・アレイ・ユニット0チャンネル1 の入カソース注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
00100B	4	16ビット・タイマKB20 カウンタリスタートトリガ要因0	タイマ出力リスタート コンペアレジスタ斉書き換え
00101B	5	16ビット・タイマKB20 カウンタリスタートトリガ要因1	タイマ出力リスタート コンペアレジスタ斉書き換え
00110B	6	16ビット・タイマKB20 カウンタリスタートトリガ要因2	タイマ出力リスタート コンペアレジスタ斉書き換え
01000B	8	16ビット・タイマKB21 カウンタリスタートトリガ要因0	タイマ出力リスタート コンペアレジスタ斉書き換え
01001B	9	16ビット・タイマKB21 カウンタリスタートトリガ要因1	タイマ出力リスタート コンペアレジスタ斉書き換え
01010B	10	16ビット・タイマKB21 カウンタリスタートトリガ要因2	タイマ出力リスタート コンペアレジスタ斉書き換え
01100B	12	16ビット・タイマKB22 カウンタリスタートトリガ要因0	タイマ出力リスタート コンペアレジスタ斉書き換え
01101B	13	16ビット・タイマKB22 カウンタリスタートトリガ要因1	タイマ出力リスタート コンペアレジスタ斉書き換え
01110B	14	16ビット・タイマKB22 カウンタリスタートトリガ要因2	タイマ出力リスタート コンペアレジスタ斉書き換え
10000B	16	DA0注3	リアルタイム出力
10001B	17	DA1注3	リアルタイム出力
上記以外	—	設定禁止	—

注1. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル0 のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1(NFEN1)でTI00端子のノイズフィルタをOFF(TNFEN0 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注2. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル1のタイマ入力を選択する場合、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1(NFEN1)でTI01端子のノイズフィルタをOFF(TNFEN01 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注3. D/A変換のリアルタイム出力モード有効時にSTOP状態に入る場合は、STOPに入る前にELCのイベントリンクを禁止にしてください。

表 20 - 4 ELSELRn レジスタ (n = 18, 19) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSELn4 ~ ELSELn0 ビット	リンク先 の番号	リンク先周辺機能	イベント受付時の動作
00000B	—	イベントリンク禁止	—
00001B	1	A/D コンバータ	A/D 変換開始
00010B	2	タイマ・アレイ・ユニット0チャンネル0の入力 ソース注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
00011B	3	タイマ・アレイ・ユニット0チャンネル1の入力 ソース注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
00100B	4	16ビット・タイマKB20 カウンタリスタートトリガ要因0	タイマ出カリストート コンペアレジスタ一斉書き換え
00101B	5	16ビット・タイマKB20 カウンタリスタートトリガ要因1	タイマ出カリストート コンペアレジスタ一斉書き換え
00110B	6	16ビット・タイマKB20 カウンタリスタートトリガ要因2	タイマ出カリストート コンペアレジスタ一斉書き換え
01000B	8	16ビット・タイマKB21 カウンタリスタートトリガ要因0	タイマ出カリストート コンペアレジスタ一斉書き換え
01001B	9	16ビット・タイマKB21 カウンタリスタートトリガ要因1	タイマ出カリストート コンペアレジスタ一斉書き換え
01010B	10	16ビット・タイマKB21 カウンタリスタートトリガ要因2	タイマ出カリストート コンペアレジスタ一斉書き換え
01100B	12	16ビット・タイマKB22 カウンタリスタートトリガ要因0	タイマ出カリストート コンペアレジスタ一斉書き換え
01101B	13	16ビット・タイマKB22 カウンタリスタートトリガ要因1	タイマ出カリストート コンペアレジスタ一斉書き換え
01110B	14	16ビット・タイマKB22 カウンタリスタートトリガ要因2	タイマ出カリストート コンペアレジスタ一斉書き換え
10000B	16	DA0注3	リアルタイム出力
10001B	17	DA1注3	リアルタイム出力
10010B	18	16ビット・タイマKB20,BK21,KB22 強制出力停止要因0注4	16ビット・タイマKB20,KB21,KB22強制出力停止 機能1/2
10011B	19	16ビット・タイマKB20,BK21,KB22 強制出力停止要因1注4	16ビット・タイマKB20,KB21,KB22強制出力停止 機能1/2
10100B	20	16ビット・タイマKB20 強制出力停止要因注4	16ビット・タイマKB20 強制出力停止機能1/2
10101B	21	16ビット・タイマKB21 強制出力停止要因注4	16ビット・タイマKB21 強制出力停止機能1/2
10110B	22	16ビット・タイマKB22 強制出力停止要因注4	16ビット・タイマKB22 強制出力停止機能1/2
10111B	23	16ビット・タイマKB20,BK21,KB22 強制出力停止要因3注4	16ビット・タイマKB20,KB21,KB22強制出力停止 機能2
上記以外	—	設定禁止	—

(注は次ページにあります。)

- 注1. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル0 のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI00端子のノイズフィルタをOFF(TNFEN00 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注2. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル1 のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1)でTI01端子のノイズフィルタをOFF(TNFEN01 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注3. D/A 変換のリアルタイム出力モード有効時にSTOPモードに入る場合は、STOPに入る前にELCのイベントリンクを禁止にしてください。
- 注4. 16ビット・タイマKB20,KB21,KB22の強制出力停止要因の詳細は、強制出力停止機能制御レジスタTKBPACTL0p, TKBPACTL1p,TKBPACTL2pを参照してください。

表 20 - 5 ELSELRn レジスタ (n = 20 ~ 22) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSELn4 ~ ELSELn0 ビット	リンク先 の番号	リンク先周辺機能	イベント受付時の動作
00000B	—	イベントリンク禁止	—
00001B	1	A/D コンバータ	A/D 変換開始
00010B	2	タイマ・アレイ・ユニット0チャンネル0 の入カソース注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
00011B	3	タイマ・アレイ・ユニット0チャンネル1 の入カソース注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
10000B	16	DA0注3	リアルタイム出力
10001B	17	DA1注3	リアルタイム出力
上記以外	—	設定禁止	—

- 注1. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル0 のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル0の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI00端子のノイズフィルタをOFF(TNFEN00 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注2. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル1 のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル1の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI01端子のノイズフィルタをOFF(TNFEN01 = 0)に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注3. D/A 変換のリアルタイム出力モード有効時にSTOPモードに入る場合は、STOPに入る前にELCのイベントリンクを禁止にしてください。

表 20 - 6 ELSELRn レジスタ (n = 23 ~ 30) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSELn4 ~ ELSELn0 ビット	リンク先 の番号	リンク先周辺機能	イベント受付時の動作
00000B	—	イベントリンク禁止	—
10010B	18	16ビット・タイマKB20,BK21,KB22 強制出力停止要因0注	16ビット・タイマKB20,KB21,KB22強制出 力停止機能 1/2
10011B	19	16ビット・タイマKB20,BK21,KB22 強制出力停止要因1注	16ビット・タイマKB20,KB21,KB22強制出 力停止機能 1/2
10100B	20	16ビット・タイマKB20 強制出力停止要因注	16ビット・タイマKB20 強制出力停止機能 1/2
10101B	21	16ビット・タイマKB21 強制出力停止要因注	16ビット・タイマKB21 強制出力停止機能 1/2
10110B	22	16ビット・タイマKB22 強制出力停止要因注	16ビット・タイマKB22 強制出力停止機能 1/2
10111B	23	16ビット・タイマKB20,BK21,KB22 強制出力停止要因3注	16ビット・タイマKB20,KB21,KB22強制出 力停止機能2
上記以外	—	設定禁止	—

注 16 ビット・タイマ KB20, KB21, KB22 の強制出力停止要因の詳細は、強制出力停止機能制御レジスタ TKBPACTL0p, TKBPACTL1p, TKBPACTL2pを参照してください。

20.4 ELCの動作

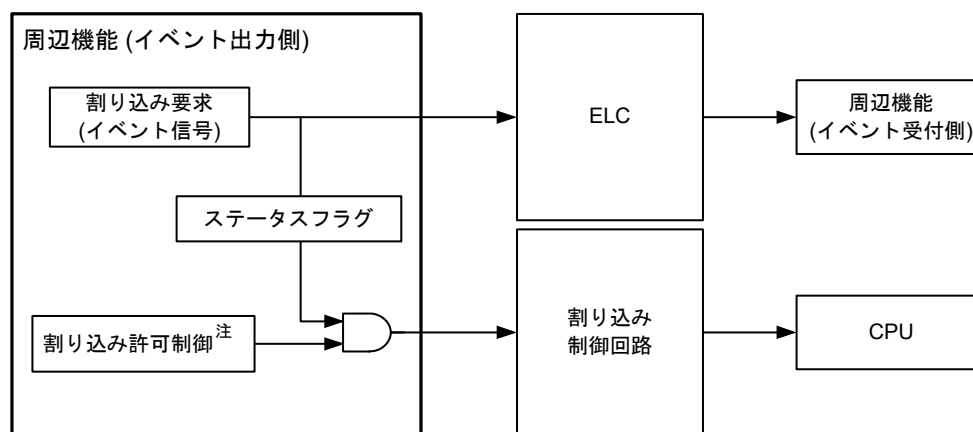
各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

また、イベントリンク動作はCPUクロックの供給の有無に、影響されずに行うことができます。ただし、周辺機能の動作クロックが供給されて、動作できる状態にしてください。

図20-3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします。

図20-3 割り込み処理とELCの関係



注 周辺機能によっては、搭載していません。

表20-7にイベントを受取る周辺機能の応答性を示します。

表20-7 イベントを受取る周辺機能の応答性

イベント 受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換動作	ELCからのイベント発生からfCLKの2, 3サイクル後に, A/D変換のハードウェア・トリガになります。
2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定	ELCのイベント発生からfCLKの3, 4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力	外部イベント・カウンタ	
4	16ビット・タイマKB20 カウンタリスタートトリガ要因0	16ビット・タイマKB20出力 リスタートコンペアレジスタ書き換え	ELCのイベント発生からfCLKの2, 3サイクル後にエッジの検出を行います。
5	16ビット・タイマKB20 カウンタリスタートトリガ要因1		
6	16ビット・タイマKB20 カウンタリスタートトリガ要因2		
7	予約	—	—
8	16ビット・タイマKB21 カウンタリスタートトリガ要因0	16ビット・タイマKB21出力 リスタートコンペアレジスタ書き換え	ELCのイベント発生からfCLKの2, 3サイクル後にエッジの検出を行います。
9	16ビット・タイマKB21 カウンタリスタートトリガ要因1		
10	16ビット・タイマKB21 カウンタリスタートトリガ要因2		
11	予約	—	—
12	16ビット・タイマKB22 カウンタリスタートトリガ要因0	16ビット・タイマKB22出力 リスタートコンペアレジスタ書き換え	ELCのイベント発生からfCLKの2, 3サイクル後にエッジの検出を行います。
13	16ビット・タイマKB22 カウンタリスタートトリガ要因1		
14	16ビット・タイマKB22 カウンタリスタートトリガ要因2		
15	予約	—	—
16	D/Aコンバータのチャンネル0	リアルタイム出力(チャンネル0)	ELCのイベントが直接, チャンネル0のD/A変換トリガになります。
17	D/Aコンバータのチャンネル1	リアルタイム出力(チャンネル1)	ELCのイベントが直接, チャンネル1のD/A変換トリガになります。
18	16ビット・タイマKB20, BK21, KB22 強制出力停止要因0	16ビット・タイマKB20, KB21, KB22 出力停止機能1/2	ELCからのイベントが直接, 出力停止機能のトリガになります。
19	16ビット・タイマKB20, BK21, KB22 強制出力停止要因1		
20	16ビット・タイマKB20 強制出力停止要因	16ビット・タイマKB20 出力停止機能1/2	
21	16ビット・タイマKB21 強制出力停止要因	16ビット・タイマKB21 出力停止機能1/2	
22	16ビット・タイマKB22 強制出力停止要因	16ビット・タイマKB22 出力停止機能1/2	
23	16ビット・タイマKB20, BK21, KB22 強制出力停止要因2	16ビット・タイマKB20, KB21, KB22 出力停止機能2	

第21章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		USB 搭載製品		USB 非搭載製品	
		80/85ピン	100ピン	80/85ピン	100ピン
マスカブル割り込み	外部	9	9	9	9
	内部	36	37	32	33

21.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表21-1～表21-4を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

21.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計5要因あります(表21-1～表21-4参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表 21 - 1 割り込み要因一覧(1/4)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	USB搭載製品		USB非搭載製品	
		名称	トリガ				100ピン	80/85ピン	100ピン	80/85ピン
マスクابل	0	INTWDTI	ウォッチドッグ・タイマのインターバル注3 (オーバフロー時間の75% + 1/2fIL)	内部	00004H	(A)	○	○	○	○
	1	INTLVI	電圧検出注4		00006H		○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)	○	○	○	○
	3	INTP1			0000AH		○	○	○	○
	4	INTP2			0000CH		○	○	○	○
	5	INTP3			0000EH		○	○	○	○
	6	INTP4			00010H		○	○	○	○
	7	INTP5			00012H		○	○	○	○
	8	INTST2/ INTCSI20/ INTIIC20	UART2送信の転送完了, バッファ空き割り込み/ CSI20の転送完了, バッファ空き割り込み/ IIC20の転送完了	内部	00014H	(A)	○	○	○	○
	9	INTSR2	UART2受信の転送完了		00016H		○	○	○	○
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	○	○	○
	11	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了, バッファ空き割り込み/ CSI00の転送完了, バッファ空き割り込み/ IIC00の転送完了		0001EH		○	○	○	○
	12	INTTM00	タイマ・チャンネル0のカウント完了または キャプチャ完了		00020H		○	○	○	○
13	INTSR0	UART0受信の転送完了	00022H	○	○	○	○			

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが発生している場合に、優先する順位です。

0が最高順位、45が最低順位です。

注2. 基本構成タイプの(A) - (D)は、それぞれ図21 - 1の(A) - (D)に対応しています。

注3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 0選択時。

表 21 - 2 割り込み要因一覧(2/4)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	USB搭載製品		USB非搭載製品	
		名称	トリガ				100ピン	80/85ピン	100ピン	80/85ピン
マスクブル	14	INTSRE0	UART0受信の通信エラー発生	内部	00024H	(A)	○	○	○	○
		INTTM01H	タイマ・チャンネル1のカウント完了またはキャプチャ完了(上位8ビット・タイマ動作時)				○	○	○	○
	15	INTST1/ INTCSI10/ INTIIC10	UART1送信の転送完了, バッファ空き割り込み/ CSI10の転送完了, バッファ空き割り込み/ IIC10の転送完了		00026H		○	○	○	○
	16	INTSR1	UART1受信の転送完了		00028H		○	○	○	○
	17	INTSRE1	UART1受信の通信エラー発生		0002AH		○	○	○	○
		INTTM03H	タイマ・チャンネル03のカウント完了またはキャプチャ完了(上位8ビット・タイマ動作時)				○	○	○	○
	18	INTIICA0	IICA0通信完了		0002CH		○	○	○	○
	19	INTRTIT	RTC補正タイミング		0002EH		○	○	○	○
	20	INTTM01	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		00032H		○	○	○	○
	21	INTTM02	タイマ・チャンネル02のカウント完了またはキャプチャ完了		00034H		○	○	○	○
	22	INTTM03	タイマ・チャンネル03のカウント完了またはキャプチャ完了 (16ビット/下位8ビット・タイマ動作時)		00036H		○	○	○	○
	23	INTAD	A/D変換終了		00038H		○	○	○	○
	24	INTRTC	リアルタイム・クロックの定周期信号/ アラーム一致検出		0003AH		○	○	○	○
	25	INTIT	12ビット・インターバル・タイマの インターバル信号検出		0003CH		○	○	○	○
26	INTKR	キー・リターン信号検出	外部	0003EH	(C)	○	○	○	○	
27	INTST3/ INTCSI30/ INTIIC30	UART3送信の転送完了, バッファ空き割り込み/ CSI30の転送完了, バッファ空き割り込み/ IIC30の転送完了	内部	00040H	(A)	○	○	○	○	

注1. デフォルト・プライオリティは、複数のマスクブル割り込みが発生している場合に、優先する順位です。

0が最高順位、45が最低順位です。

注2. 基本構成タイプの(A) - (D)は、それぞれ図21 - 1の(A) - (D)に対応しています。

表 21 - 3 割り込み要因一覧(3/4)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	USB搭載製品		USB非搭載製品	
		名称	トリガ				100ピン	80/85ピン	100ピン	80/85ピン
マスクブル	28	INTSR3	UART3受信の転送完了	内部	00042H	(A)	○	○	○	○
	29	INTTM04	タイマ・チャンネル04のカウンタ完了またはキャプチャ完了		00046H		○	○	○	○
	30	INTTM05	タイマ・チャンネル05のカウンタ完了またはキャプチャ完了		00048H		○	○	○	○
	31	INTP6	端子入力エッジ検出	外部	0004AH	(B)	○	○	○	○
	32	INTP7			0004CH		○	○	○	○
	33	INTCMP0	コンパレータ検出0	内部	00050H	(A)	○	○	○	○
	34	INTCMP1	コンパレータ検出1		00052H		○	—	○	—
	35	INTTM06	タイマ・チャンネル06のカウンタ完了またはキャプチャ完了		00054H		○	○	○	○
	36	INTTM07	タイマ・チャンネル07のカウンタ完了またはキャプチャ完了		00056H		○	○	○	○
	37	INTUSB	USB INT割り込み		00058H		○	○	—	—
	38	INTRSUM	USB RESUME割り込み		0005AH		○	○	—	—
	39	INTSRE3	UART3受信の通信エラー発生		0005CH		○	○	○	○
	40	INTTKB2_0	タイマKB2_0のカウンタ完了		0005EH		○	○	○	○
	41	INTTKB2_1	タイマKB2_1のカウンタ完了	00060H	○	○	○	○		
	42	INTFL	予約注3	00062H	○	○	○	○		
	43	INTTKB2_2	タイマKB2_2のカウンタ完了	00064H	○	○	○	○		
	44	DTC0FIFO	DFIFO0割り込み転送完了	00066H	○	○	—	—		
	45	DTC1FIFO	DFIFO1割り込み転送完了	00068H	○	○	—	—		

注1. デフォルト・プライオリティは、複数のマスクブル割り込みが発生している場合に、優先する順位です。

0が最高順位、45が最低順位です。

注2. 基本構成タイプの(A)-(D)は、それぞれ図21-1の(A)-(D)に対応しています。

注3. フラッシュ・セルフ・プログラミング・ライブラリ、データ・フラッシュ・ライブラリでのみ使用します。

表 21 - 4 割り込み要因一覧(4/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	USB搭載製品		USB非搭載製品	
		名称	トリガ				100ピン	80/85ピン	100ピン	80/85ピン
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(D)	○	○	○	○
リセット	—	RESET	RESET端子入力	—	00000H	—	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○
		LVD	電圧検出 ^{注3}				○	○	○	○
		WDT	ウォッチドッグ・タイマのオーパフロー				○	○	○	○
		TRAP	不正命令の実行 ^{注4}				○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、45が最低順位です。

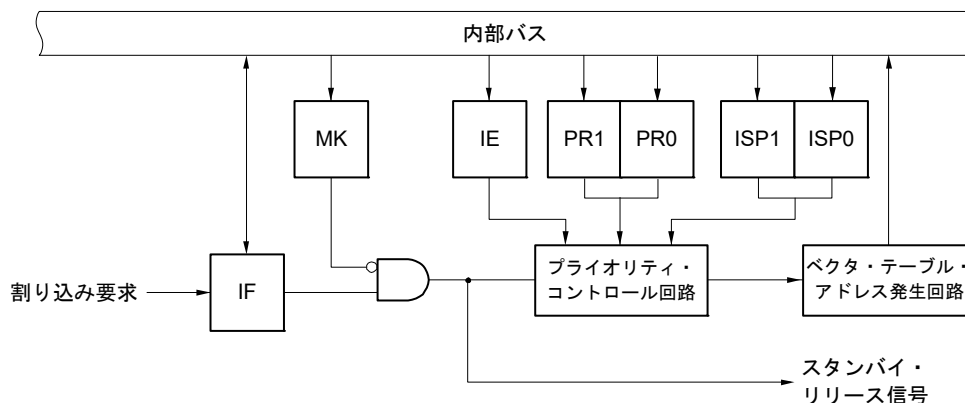
注2. 基本構成タイプの(A)-(D)は、それぞれ図21-1の(A)-(D)に対応しています。

注3. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD)=1選択時。

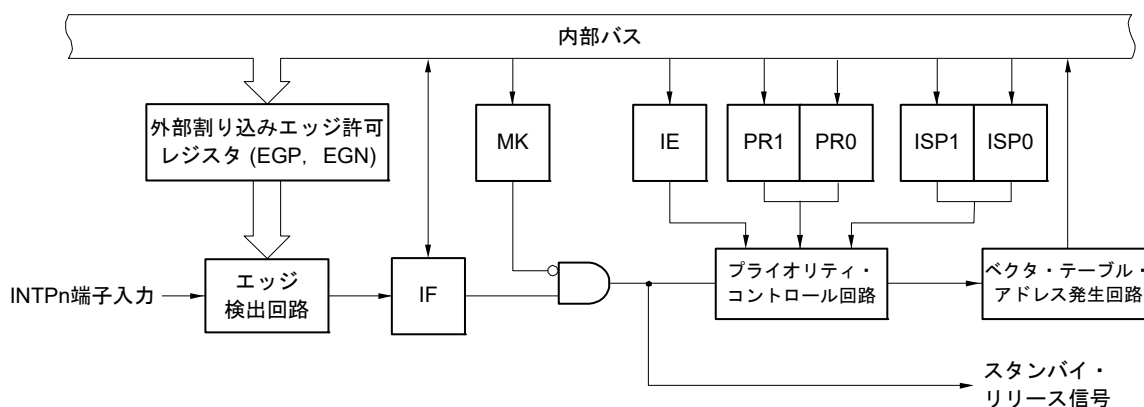
注4. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図21 - 1 割り込み機能の基本構成

(A)内部マスカブル割り込み



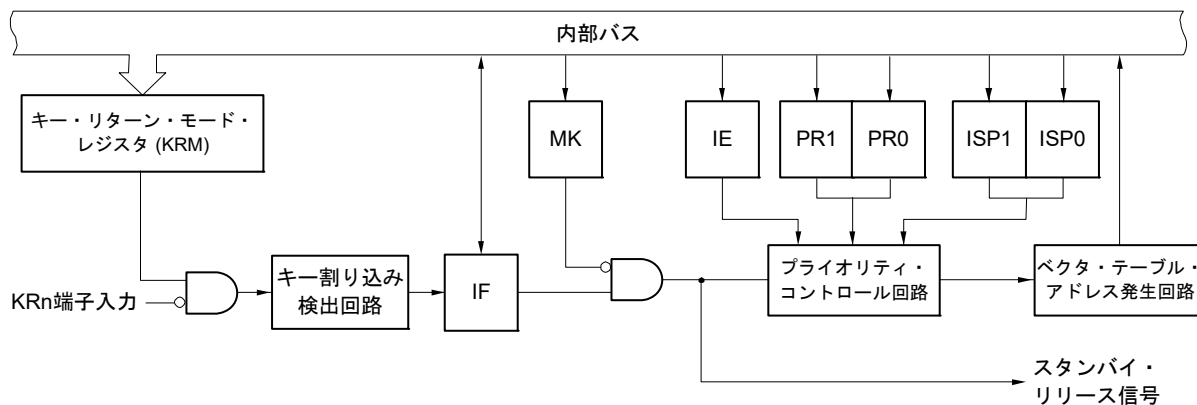
(B)外部マスカブル割り込み(INTPn)



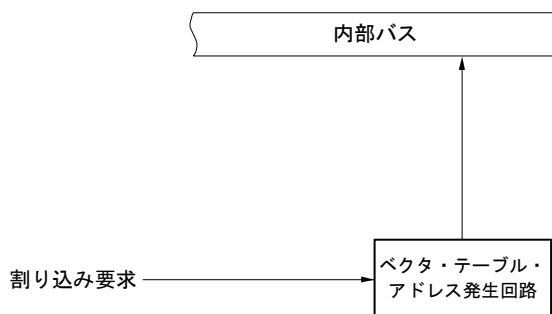
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0-7

(C)外部マスクابل割り込み (INTKR)



(D)ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0-7

21.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表21-5～表21-8に示します。

表21-5 割り込み要求ソースに対応する各種フラグ(1/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ レジスタ	USB搭載製品		USB非搭載製品		
	レジスタ	レジスタ	レジスタ	レジスタ		100ピン	80/85ピン	100ピン	80/85ピン	
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○

表 21 - 6 割り込み要求ソースに対応する各種フラグ (2/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	USB搭載製品		USB非搭載製品		
		レジスタ		レジスタ	レジスタ	100ピン	80/85ピン	100ピン	80/85ピン	
INTST2 ^{注1}	STIF2 ^{注1}	IF0H	STMK2 ^{注1}	MK0H	STPR02, STPR12 ^{注1}	PR00H, PR10H	○	○	○	○
INTCSI20 ^{注1}	CSIIF20 ^{注1}		CSIMK20 ^{注1}		CSIPR020, CSIPR120 ^{注1}		○	○	○	○
INTIIC20 ^{注1}	IICIF20 ^{注1}		IICMK20 ^{注1}		IICPR020, IICPR120 ^{注1}		○	○	○	○
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12		○	○	○	○
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	○	○	○
INTST0 ^{注2}	STIF0 ^{注2}		STMK0 ^{注2}		STPR00, STPR10 ^{注2}		○	○	○	○
INTCSI00 ^{注2}	CSIIF00 ^{注2}		CSIMK00 ^{注2}		CSIPR000, CSIPR100 ^{注2}		○	○	○	○
INTIIC00 ^{注2}	IICIF00 ^{注2}		IICMK00 ^{注2}		IICPR000, IICPR100 ^{注2}		○	○	○	○
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10		○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○

注1. 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF0Hレジスタのビット0はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。

注2. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

表 21 - 7 割り込み要求ソースに対応する各種フラグ (3/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	USB搭載製品		USB非搭載製品		
		レジスタ		レジスタ		レジスタ	100ピン	80/85ピン	100ピン	80/85ピン
INTSRE0注1	SREIF0注1	IF1L	SREMK0注1	MK1L	SREPR00, SREPR10注1	PR01L, PR11L	○	○	○	○
INTTM01H注1	TMIF01H注1		TMMK01H注1		TMPR001H, TMPR101H注1		○	○	○	○
INTCSI10注2	CSIF10注2		CSIMK10注2		CSIPR010, CSIPR110注2		○	○	○	○
INTIIC10注2	IICIF10注2		IICMK10注2		IICPR010, IICPR110注2		○	○	○	○
INTST1注2	STIF1注2		STMK10注2		STPR01, STPR11注2		○	○	○	○
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11		○	○	○	○
INTSRE1注3	SREIF1注3		SREMK1注3		SREPR01, SREPR11注3		○	○	○	○
INTTM03H注3	TMIF03H注3		TMMK03H注3		TMPR003H, TMPR103H注3		○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○
INTRTIT	RTITIF		RTITMK		RTITPR0, RTITPR1		○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○
INTTM02	TMIF02	IF1H	TMMK02	MK1H	TMPR002, TMPR102	PR01H, PR11H	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○
INTAD	ADIF		ADMK		ADPR0, ADPR1		○	○	○	○
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○	○	○
INTIT	TMKAIF		TMKAMK		TMKAPR0, TMKAPR1		○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○
INTST3注4	STIF3注4		STMK3注4		STPR03, STPR13注4		○	○	○	○
INTCSI30注4	CSIF30注4		CSIMK30注4		CSIPR030, CSIPR130注4		○	○	○	○
INTIIC30注4	IICIF30注4		IICMK30注4		IICPR030, IICPR130注4		○	○	○	○
INTSR3	SRIF3		SRMK3		SRPR03, SRPR13		○	○	○	○

- 注1. UART0受信のエラー割り込み, TAU0のチャンネル1(上位8ビット・タイマ動作時)の割り込みは, 割り込み要求ソースに対する各種フラグを兼用しているため, 同時に使用しないでください。UART0受信のエラー割り込みを使用しない(EOC01 = 0)場合は, UART0, TAU0のチャンネル1(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち, どちらかが発生したら, IF1Lレジスタのビット0はセット(1)されます。また, MK1L, PR01L, PR11Lレジスタのビット0は, 両方の割り込み要因に対応しています。
- 注2. 割り込み要因INTST1, INTCSI10, INTIIC10のうち, いずれかが発生したら, IF1Lレジスタのビット1はセット(1)されます。また, MK1L, PR01L, PR11Lレジスタのビット1は, 3つすべての割り込み要因に対応しています。
- 注3. UART1受信のエラー割り込み, TAU0のチャンネル3(上位8ビット・タイマ動作時)の割り込みは, 割り込み要求ソースに対する各種フラグを兼用しているため, 同時に使用しないでください。UART1受信のエラー割り込みを使用しない(EOC03 = 0)場合は, UART1, TAU0のチャンネル3(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち, どちらかが発生したら, IF1Lレジスタのビット3はセット(1)されます。また, MK1L, PR01L, PR11Lレジスタのビット3は, 両方の割り込み要因に対応しています。
- 注4. 割り込み要因INTST3, INTCSI30, INTIIC30のうち, いずれかが発生したら, IF1Hレジスタのビット6はセット(1)されます。また, MK1H, PR01H, PR11Hレジスタのビット6は, 3つすべての割り込み要因に対応しています。

表 21 - 8 割り込み要求ソースに対応する各種フラグ(4/4)

割り込み要因	割り込み要求 フラグ		割り込みマスク・ フラグ		優先順位指定フラグ		USB搭載 製品		USB非搭載 製品	
		レジ スタ		レジ スタ		レジスタ	100 ピン	80/85 ピン	100 ピン	80/85 ピン
INTTM04	TMIF04	IF2L	TMMK04	MK2L	TMPR004, TMPR104	PR02L, PR12L	○	○	○	○
INTTM05	TMIF05		TMMK05		TMPR005, TMPR105		○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○	○	○
INTP7	PIF7		PMK7		PPR07, PPR17		○	○	○	○
INTCMP0	CMPIF0		CMPMK0		CMPPR00, CMPPR10		○	○	○	○
INTCMP1	CMPIF1		CMPMK1		CMPPR01, CMPPR11		○	—	○	—
INTTM06	TMIF06	IF2H	TMMK06	MK2H	TMPR006, TMPR106	PR02H, PR12H	○	○	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○	○	○
INTUSB	USBIF		USBMK		USBPR0, USBPR1		○	○	—	—
INTRSUM	RSUIF		RSUMK		RSUPR0, RSUPR1		○	○	—	—
INTSRE3	SREIF3		SREMK3		SREPR03, SREPR13		○	○	○	○
INTTKB20	TKB2IF0		TKB2MK0		TKB2PR00, TKB2PR10		○	○	○	○
INTTKB21	TKB2IF1		TKB2MK1		TKB2PR01, TKB2PR11		○	○	○	○
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○
INTTKB22	TKB2IF2	IF3L	TKB2MK2	MK3L	TKB2PR02, TKB2PR12	PR03L, PR13L	○	○	○	○
INTD0FIFO	FIFOIF0		FIFOMK0		FIFOPR00, FIFOPR10		○	○	—	—
INTD1FIFO	FIFOIF1		FIFOMK1		FIFOPR01, FIFOPR11		○	○	—	—

21.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3Lレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)のフォーマット(1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SRIF0	TMIF00	STIF0 CSIF00 IICIF00	0	0	SREIF2	SRIF2	STIF2 CSIF20 IICIF20

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF01	0	RTITIF	IICAI0	SREIF1 TMIF03H	SRIF1	CSIF10 IICIF10 STIF1	SREIF0 TMMK01H

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	SRIF3	CSIF30 IICIF30 STIF3	KRIF	TMKAIF	RTCIF	ADIF	TMIF03	TMIF02

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	CMPIF1	CMPIF0	0	PIF7	PIF6	TMIF05	TMIF04	0

図21 - 3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L)のフォーマット(2/2)

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	TKB2IF1	TKB2IF0	SREIF3	RSUIF	USBIF	TMIF07	TMIF06

アドレス : FFFD2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF3L	0	0	0	0	0	FIFOIF1	FIFOIF0	TKB2IF2

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21 - 5～表21 - 8を参照してください。また、搭載していないビットには、必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令(CLR1)を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令(CLR1)になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ(IF0L)の他ビットの要求フラグがセット(1)されても、「mov IF0L, a」でクリア(0)されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

21.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0L レジスタと MK0H レジスタ、MK1L レジスタと MK1H レジスタ、MK2L レジスタと MK2H レジスタをあわせて16ビット・レジスタ MK0, MK1, MK2として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図 21 - 4 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)のフォーマット(1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SRMK0	TMMK00	STMK0 CSIMK00 IICMK00	1	1	SREMK2	SRMK2	STMK2 CSIMK20 IICMK20

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK01	1	RTITMK	IICAMK0	SREMK1 TMMK03H	SRMK1	CSIMK10 IICMK10 STMK1	SREMK0 TMMK01H

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	SRMK3	CSIMK30 IICMK30 STMK3	KRMK	TMKAMK	RTCMK	ADMK	TMMK03	TMMK02

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	CMPMK1	CMPMK0	1	PMK7	PMK6	TMMK05	TMMK04	1

図21 - 5 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L)のフォーマット(2/2)

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	TKB2MK1	TKB2MK0	SREMK3	RSUMK	USBMK	TMMK07	TMMK06

アドレス : FFFD6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK3L	1	1	1	1	1	FIFOMK1	FIFOMK0	TKB2MK2

XXMKX	割り込み処理の制御	
0	割り込み処理許可	
1	割り込み処理禁止	

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21 - 5～表21 - 8を参照してください。また、搭載していないビットには必ず初期値を設定してください。

21.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせ、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00L レジスタとPR00Hレジスタ, PR01LレジスタとPR01Hレジスタ, PR02LレジスタとPR02Hレジスタ, PR10LレジスタとPR10Hレジスタ, PR11LレジスタとPR11Hレジスタ, PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタ PR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21 - 6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)のフォーマット(1/3)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SRPR00	TMPR000	STPR00 CSIPR000 IICPR000	1	1	SREPR02	SRPR02	STPR02 CSIPR020 IICPR020

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SRPR10	TMPR100	STPR10 CSIPR100 IICPR100	1	1	SREPR12	SRPR12	STPR12 CSIPR120 IICPR120

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR001	1	RTITPR0	IICAPR00	SREPR01 TMPR003H	SRPR01	CSIPR010 IICPR010 STPR01	SREPR00 TMPR001H

図21-7 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)のフォーマット(2/3)

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR101	1	RTITPR1	IICAPR10	SREPR11 TMPR103H	SRPR11	CSIPR110 IICPR110 STPR11	SREPR10 TMPR101H

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	SRPR03	CSIPR030 IICPR030 STPR03	KRPR0	TMKAPR0	RTCPR0	ADPR0	TMPR003	TMPR002

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	SRPR13	CSIPR130 IICPR130 STPR13	KRPR1	TMKAPR1	RTCPR1	ADPR1	TMPR103	TMPR102

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	CMPPR001	CMPPR00	1	PPR07	PPR06	TMPR005	TMPR004	1

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	CMPPR11	CMPPR10	1	PPR17	PPR16	TMPR105	TMPR104	1

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	TKB2PR01	TKB2PR00	SREPR03	RSUPR0	USBPR0	TMPR007	TMPR006

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	TKB2PR11	TKB2PR10	SREPR13	RSUPR1	USBPR1	TMPR107	TMPR106

図21 - 8 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L)のフォーマット(3/3)

アドレス : FFFDAH リセット時 : FFH R/W

略号	7	6	5	4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR03L	<input type="checkbox"/> 1	<input type="checkbox"/> 1	<input type="checkbox"/> 1	<input type="checkbox"/> 1	<input type="checkbox"/> 1	FIFOPR01	FIFOPR00	TKB2PR02

アドレス : FFFDEH リセット時 : FFH R/W

略号	7	6	5	4	3	<input type="checkbox"/> 2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
PR13L	<input type="checkbox"/> 1	<input type="checkbox"/> 1	<input type="checkbox"/> 1	<input type="checkbox"/> 1	<input type="checkbox"/> 1	FIFOPR11	FIFOPR10	TKB2PR12

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定(高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定(低優先順位)

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21 - 5 ~表21 - 8を参照してください。また、搭載していないビットには必ず初期値を設定してください。

21.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP0, EGN0レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21 - 9 外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

EGPnビットとEGNnビットに対応する割り込み要求信号を表21 - 9に示します。

表21-9 EGPnビットとEGNnビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号
EGP0	EGN0	INTP0
EGP1	EGN1	INTP1
EGP2	EGN2	INTP2
EGP3	EGN3	INTP3
EGP4	EGN4	INTP4
EGP5	EGN5	INTP5
EGP6	EGN6	INTP6
EGP7	EGN7	INTP7

注意 外部割り込み機能で使用している入力ポートを出力モード機能に切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止(EGPn, EGNn=0)にしてからポート・モード・レジスタ(PMxx)を0に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

備考2. n = 0-7

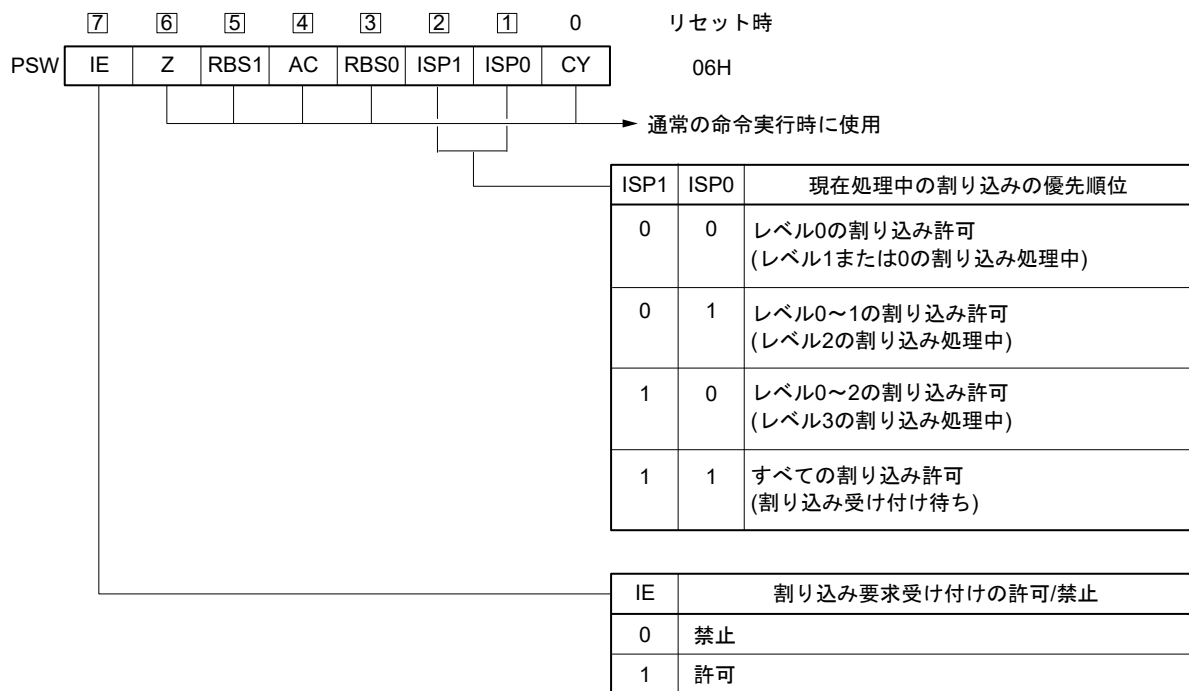
21.3.5 プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスクブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、“-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図21-10 プログラム・ステータス・ワードの構成



21.4 割り込み処理動作

21.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表21 - 10のようになります。

割り込み要求の受け付けタイミングについては、図21 - 12, 図21 - 13を参照してください。

表21 - 10 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック : 1/fCLK (fCLK : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

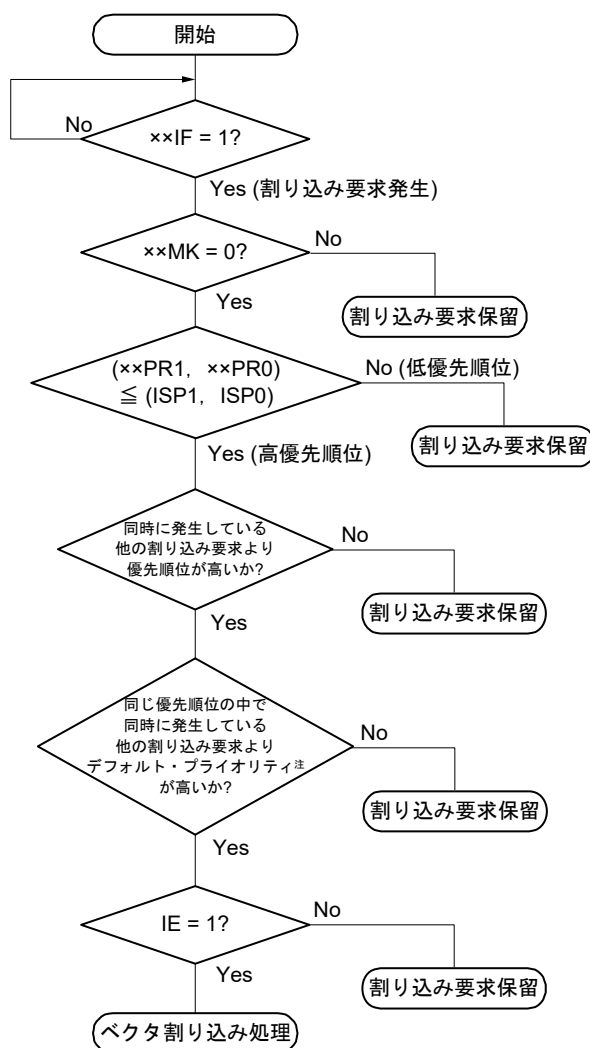
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図21 - 11に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図21 - 11 割り込み要求受け付け処理アルゴリズム



xxIF : 割り込み要求フラグ

xxMK : 割り込みマスク・フラグ

xxPR0 : 優先順位指定フラグ0

xxPR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

ISP0, ISP1: 現在処理中の割り込みの優先順位を示すフラグ(図21 - 10参照)

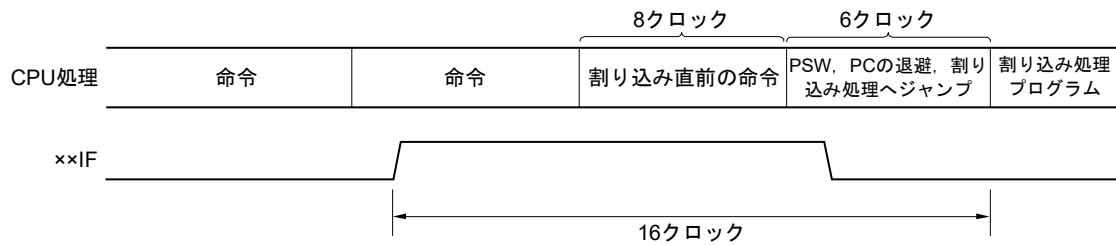
注 デフォルト・プライオリティは、表21 - 1～表21 - 4 割り込み要因一覧を参照してください。

図21 - 12 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

図21 - 13 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック : 1/fCLK (fCLK : CPUクロック)

21.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

21.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット(1)した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表21 - 11に割り込み処理中に多重割り込み可能な割り込み要求の関係を、図21 - 14, 図21 - 15に多重割り込みの例を示します。

表 21 - 11 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

備考2. × : 多重割り込み不可能。

備考3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち(すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタに含まれるフラグです。

PR = 00 : **PR1× = 0, **PR0× = 0でレベル0を指定(高優先順位)

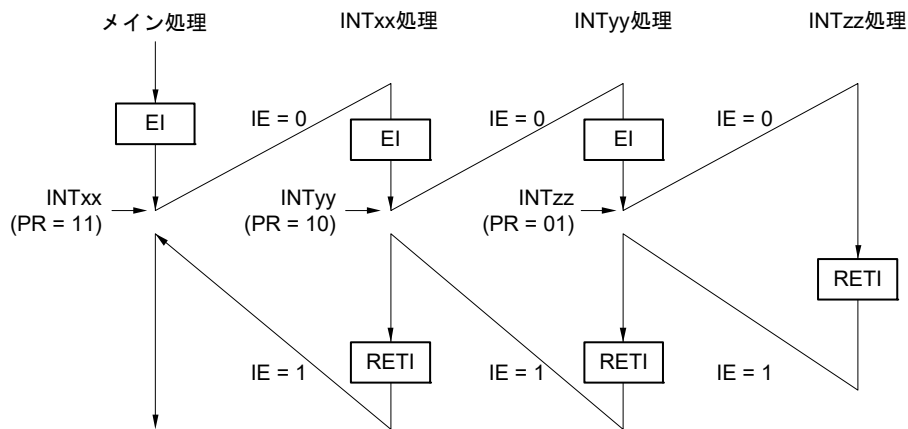
PR = 01 : **PR1× = 0, **PR0× = 1でレベル1を指定

PR = 10 : **PR1× = 1, **PR0× = 0でレベル2を指定

PR = 11 : **PR1× = 1, **PR0× = 1でレベル3を指定(低優先順位)

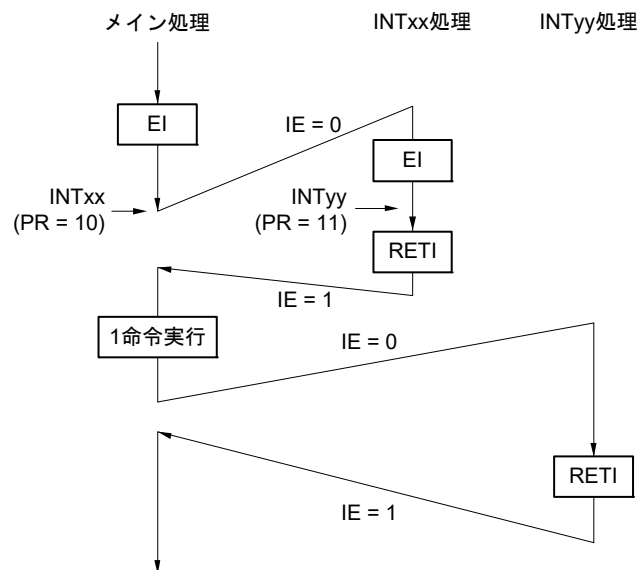
図21-14 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ でレベル0を指定(高優先順位)

PR = 01 : $\times\times PR1\times = 0$, $\times\times PR0\times = 1$ でレベル1を指定

PR = 10 : $\times\times PR1\times = 1$, $\times\times PR0\times = 0$ でレベル2を指定

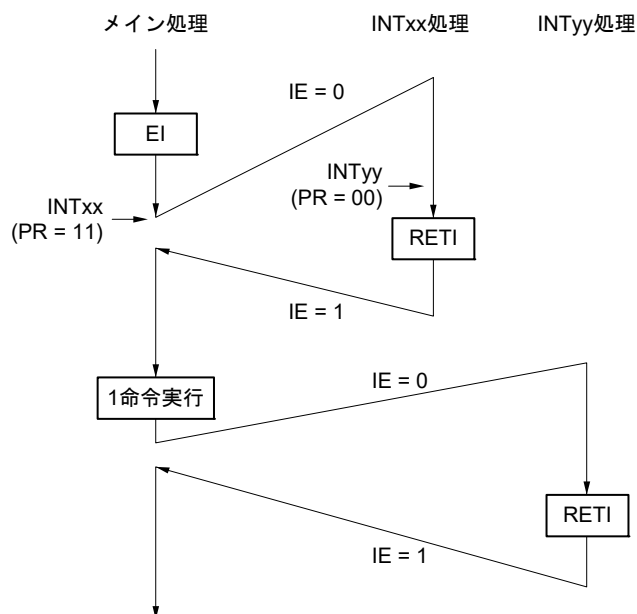
PR = 11 : $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図21 - 15 多重割り込みの例(2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $\times\times PR1\times = 0$, $\times\times PR0\times = 0$ でレベル0を指定(高優先順位)

PR = 01 : $\times\times PR1\times = 0$, $\times\times PR0\times = 1$ でレベル1を指定

PR = 10 : $\times\times PR1\times = 1$, $\times\times PR0\times = 0$ でレベル2を指定

PR = 11 : $\times\times PR1\times = 1$, $\times\times PR0\times = 1$ でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

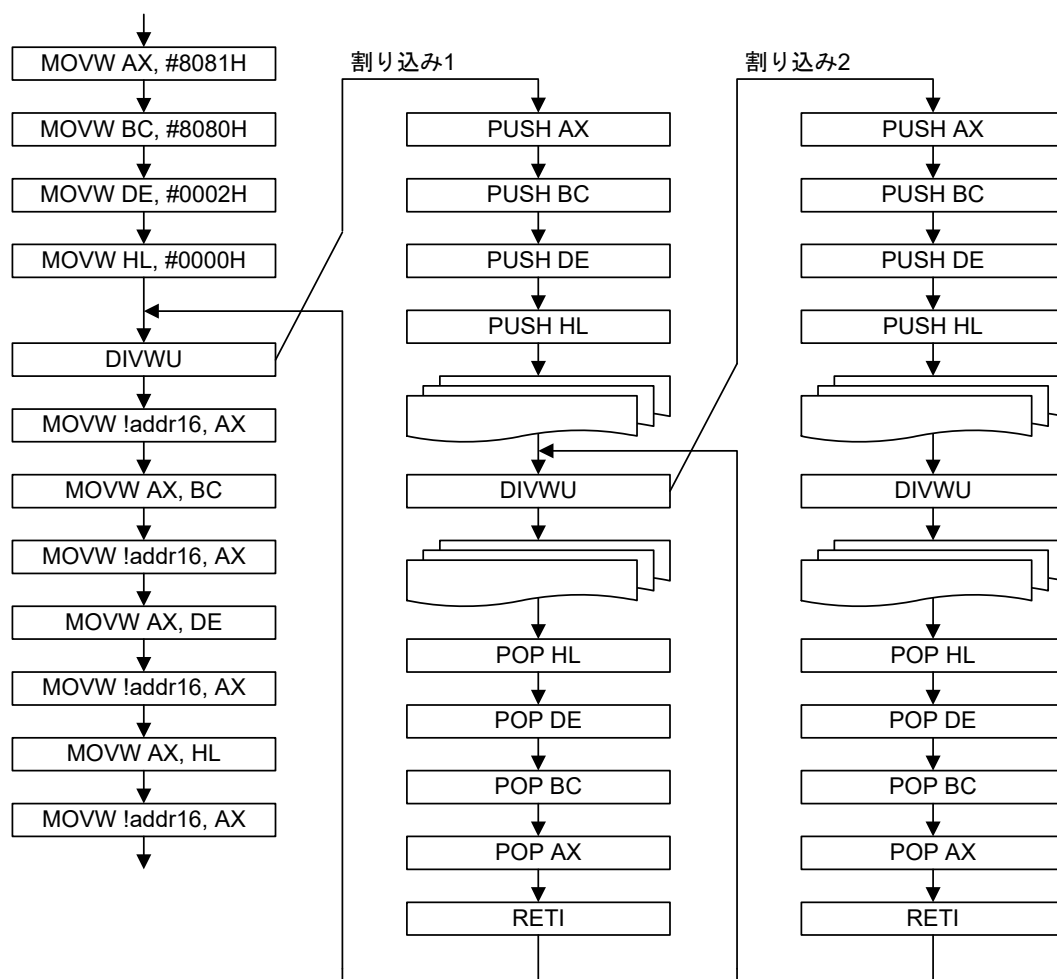
21.4.4 除算命令中の割り込み処理

RL78/L1Cは、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← (PC)s	(SP-2) ← (PC-3)s
(SP-3) ← (PC)H	(SP-3) ← (PC-3)H
(SP-4) ← (PC)L	(SP-4) ← (PC-3)L
PCs ← 0000	PCs ← 0000
PCH ← (Vector)	PCH ← (Vector)
PCL ← (Vector)	PCL ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品) V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

21.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L
レジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図21 - 16に示します。

図21 - 16 割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

備考2. 命令M：割り込み要求の保留命令以外の命令

第22章 キー割り込み機能

22.1 キー割り込みの機能

キー割り込み入力端子 (KR0-KR7) に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表22 - 1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ (KRM0)
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05
KR6	KRM06
KR7	KRM07

備考 KR1-KR3 : 80/85ピン

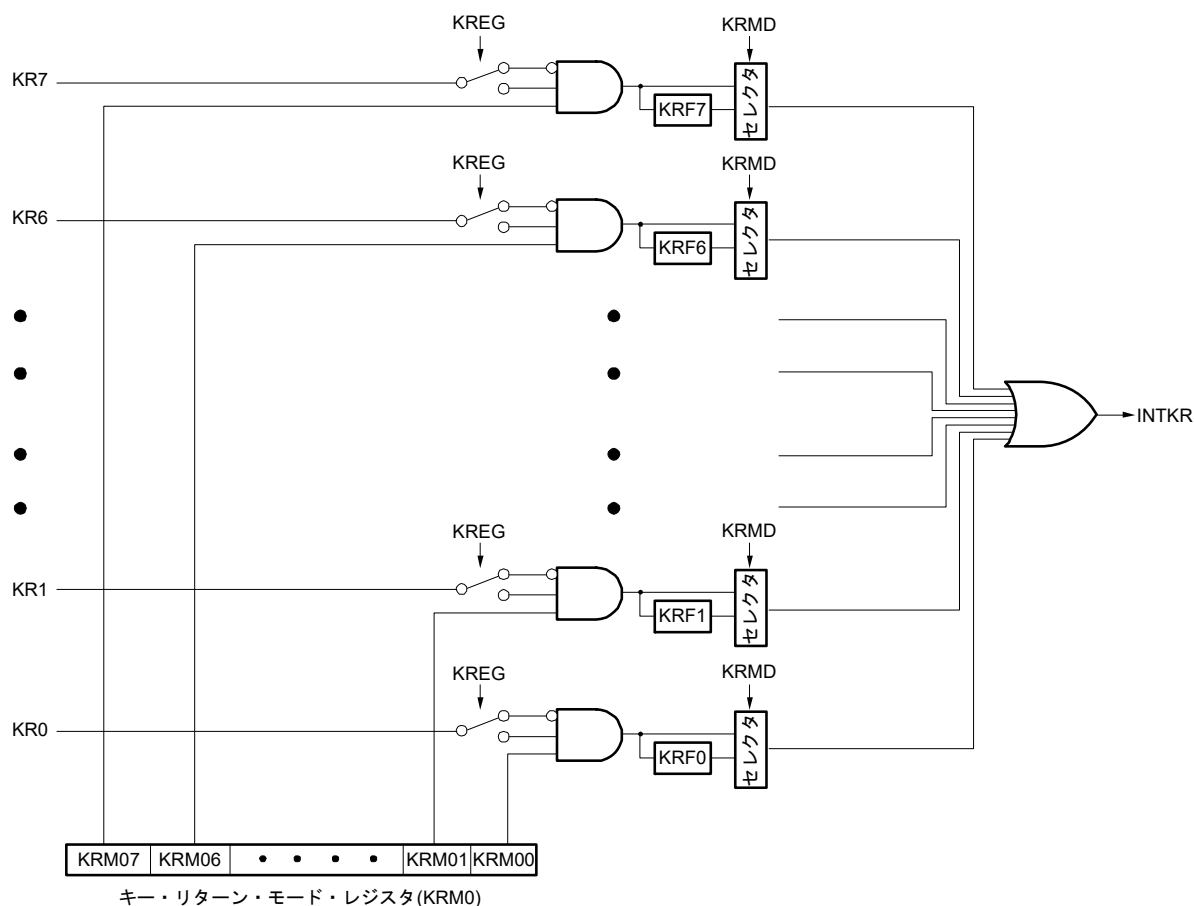
22.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表22-2 キー割り込みの構成

項目	構成
入力	KR0 – KR7
制御レジスタ	キー・リターン・コントロール・レジスタ (KRCTL) キー・リターン・モード・レジスタ (KRM0) キー・リターン・フラグ・レジスタ (KRF) ポート・モード・レジスタ7 (PM7)

図22-1 キー割り込みのブロック図



22.3 キー割り込みを制御するレジスタ

キー割り込み機能は、次の5種類のレジスタで制御します。

- キー・リターン・コントロール・レジスタ (KRCTL)
- キー・リターン・モード・レジスタ (KRM0)
- キー・リターン・フラグ・レジスタ (KRF)
- ポート・モード・レジスタ7 (PM7)

22.3.1 キー・リターン・コントロール・レジスタ (KRCTL)

キー・リターン・フラグ (KRF0-KRF7) の使用と検出エッジを設定するレジスタです。

KRCTLレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-2 キー・リターン・コントロール・レジスタ (KRCTL) のフォーマット

アドレス : FFF34H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRCTL	KRMD	0	0	0	0	0	0	KREG
KRMD	キー・リターン・フラグ (KRF0-KRF7) の使用							
0	キー・リターン・フラグを使用しない							
1	キー・リターン・フラグを使用する							
KREG	検出エッジの選択 (KR0-KR7)							
0	立ち下がリエッジ							
1	立ち上がリエッジ							

22.3.2 キー・リターン・モード・レジスタ (KRM0)

キー割り込みモードを設定するレジスタです。

KRM0レジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-3 キー・リターン・モード・レジスタ (KRM0) のフォーマット

アドレス : FFF37H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御 (n = 0-7)
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. KRM00-KRM07 ビットのうち使用するビットに1を設定する場合、対応する入力端子を外部抵抗でV_{DD}にプルアップしてください。

注意2. KRM0レジスタの内容を変更すると、割り込みが発生することがあります。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理を禁止にしてから、内容を変更してください。その後、キー割り込み入力ロウ・レベル幅(t_{KR}) (34.4または35.4 AC特性参照)を待ってから、割り込み要求フラグをクリアし、割り込み処理を許可にしてください。

注意3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

22.3.3 キー・リターン・フラグ・レジスタ (KRF)

キー・リターン・フラグ(KRF0-KRF7)を制御するレジスタです。

KRFレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-4 キー・リターン・フラグ・レジスタ (KRF)のフォーマット

アドレス : FFF35H リセット時 : 00H R/W注

略号	7	6	5	4	3	2	1	0
KRF	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
KRFn	キー割り込みフラグ(n = 0-7)							
0	キー割り込み信号を未検出							
1	キー割り込み信号を検出							

注 1の書き込みは無効です。KRFnビットをクリアするには、対象ビットに0、他のビットに1を8ビット・メモリ操作命令で書いてください。

注意 KRMD = 0のとき、KRFn = 1の設定は禁止です。

22.3.4 ポート・モード・レジスタ7 (PM7)

キー割り込み入力端子(KR0-KR7)として使用するとき、PM7nビットにそれぞれ1を設定してください。このときP7nの出カラッチは、0または1のどちらでもかまいません。

PM7レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PM7レジスタはFFHになります。

また、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用することができます。

図22-5 ポート・モード・レジスタ7 (PM7)のフォーマット

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	P7n/KRn端子の入出力モードの選択(n = 7)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

第23章 スタンバイ機能

23.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSIp, UARTqのデータ受信、タイマ・トリガ信号(割り込み要求信号(INTRTC/INTIT)またはELCイベント入力)によるA/D変換要求により、DTC起動要因により、STOPモードを解除し、CPUを動作させることなくCSIp, UARTqのデータ受信、A/D変換、DTC動作を行います。CPU/周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください(SNOOZEモード設定ユニットを除く)。
- 注意3. CSIp, UARTq, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm), A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は、15.3 シリアル・アレイ・ユニットを制御するレジスタ, 12.3 A/Dコンバータを制御するレジスタを参照してください。
- 注意4. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)とビット0 (ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
- 注意5. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第29章 オプション・バイトを参照してください。

備考 p = 00, 20; q = 0, 2; m = 0, 1

23.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ (OSMC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は、第5章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第12章 A/Dコンバータ、第15章 シリアル・アレイ・ユニットを参照してください。

23.3 スタンバイ機能の動作

23.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0”(割り込み処理許可)で且つ割り込み要求フラグが“1”(割り込み要求信号が発生)の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表 23 - 1 HALTモード時の動作状態 (1/2)

HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時				
項目			高速オンチップ・オシレータ・クロック (fHOCO)でCPU動作時	X1クロック (fx)でCPU動作時	外部メイン・システム・クロック (fEX)でCPU動作時	PLLクロック (fPLL)でCPU動作時
	システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	fHOCO	動作継続 (停止不可)	動作禁止			
	fx	動作禁止	動作継続 (停止不可)	動作不可	PLLへのクロック供給時は停止不可	
	fEX		動作不可	動作継続 (停止不可)	PLLへのクロック供給時は停止不可	
	fPLL	動作禁止	動作禁止	動作禁止	動作継続 (停止不可)	
サブシステム・クロック		fXT	HALTモード設定前の状態を継続			
		fEXT				
fil		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止				
CPU		動作停止				
コード・フラッシュ・メモリ		動作停止				
データ・フラッシュ・メモリ						
RAM		動作停止 (DMA実行時は動作可能)				
ポート (ラッチ)		HALTモード設定前の状態を保持				
タイマ・アレイ・ユニット		動作可能				
タイマKB2						
リアルタイム・クロック2						
12ビット・インターバル・タイマ						
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照				
クロック出力/ブザー出力		動作可能				
A/Dコンバータ						
D/Aコンバータ						
コンパレータ						
シリアル・アレイ・ユニット (SAU)						
シリアル・インタフェース (IICA)						
USB		動作可能	動作禁止	動作禁止	動作可能	
LCDコントローラ/ドライバ		動作可能 (ただし, LCDソース・クロックとして選択したクロックの状態に従う (選択クロックが動作中なら動作可能, 停止中なら動作停止))				
DTC		動作可能				
ELC		動作可能な機能ブロック間のリンクが可能				
パワーオン・リセット機能		動作可能				
電圧検出機能						
外部割り込み						
キー割り込み機能						
CRC演算機能		高速CRC				
		汎用CRC	動作停止 (DTC実行時は動作可能)			
RAMパリティ・エラー検出機能						
RAMガード機能						
SFRガード機能						
不正メモリ・アクセス検出機能						

備考 動作停止 : HALTモード移行時に自動的に動作停止
 動作禁止 : HALTモード移行前に動作を停止させる
 fHOCO : 高速オンチップ・オシレータ・クロック
 fil : 低速オンチップ・オシレータ・クロック
 fx : X1クロック
 fEX : 外部メイン・システム・クロック
 fXT : XT1クロック
 fEXT : 外部サブシステム・クロック

表 23 - 1 HALTモード時の動作状態 (2/2)

項目		HALTモードの設定	サブシステム・クロックでCPU動作中のHALT命令実行時	
			XT1クロック (fXT)でCPU動作時	外部サブシステム・クロック (fEXT)でCPU動作時
システム・クロック			CPUへのクロック供給は停止	
メイン・システム・クロック	fHOCO	動作禁止		
	fX			
	fEX			
	fPLL			
サブシステム・クロック	fXT	動作継続(停止不可)	動作不可	
	fEXT	動作不可	動作継続(停止不可)	
fIL		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 設定禁止 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM		動作停止(DMA実行時は動作可能)		
ポート(ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)		
タイマKB2				
リアルタイム・クロック2		動作可能		
12ビット・インターバル・タイマ				
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照		
クロック出力/ブザー出力		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)		
A/Dコンバータ		動作禁止		
D/Aコンバータ		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)		
コンパレータ				
シリアル・アレイ・ユニット(SAU)		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)		
シリアル・インタフェース(IICA)		動作禁止		
USB				
LCDコントローラ/ドライバ		動作可能(ただし、LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能、停止中なら動作停止))		
DTC		動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)		
ELC		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	動作停止(DTC実行時は動作可能)		
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

備考 動作停止 : HALTモード移行時に自動的に動作停止 fX : X1クロック
 動作禁止 : HALTモード移行前に動作を停止させる fEX : 外部メイン・システム・クロック
 fHOCO : 高速オンチップ・オシレータ・クロック fXT : XT1クロック
 fIL : 低速オンチップ・オシレータ・クロック fEXT : 外部サブシステム・クロック

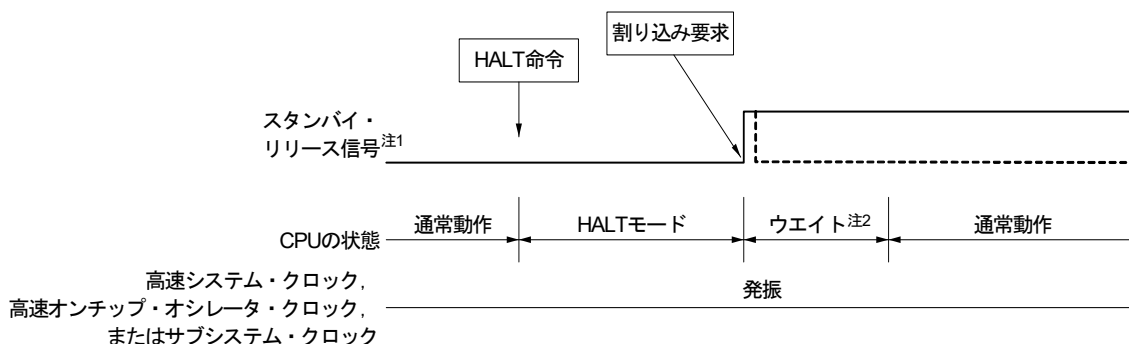
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図23 - 1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関するの詳細は、図21 - 1を参照してください。

注2. HALTモード解除のウェイト時間

- ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時 : 15～16クロック
 - サブシステム・クロック時(RTCLPC = 0) : 10～11クロック
 - サブシステム・クロック時(RTCLPC = 1) : 11～12クロック
- ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時 : 9～10クロック
 - サブシステム・クロック時(RTCLPC = 0) : 4～5クロック
 - サブシステム・クロック時(RTCLPC = 1) : 5～6クロック

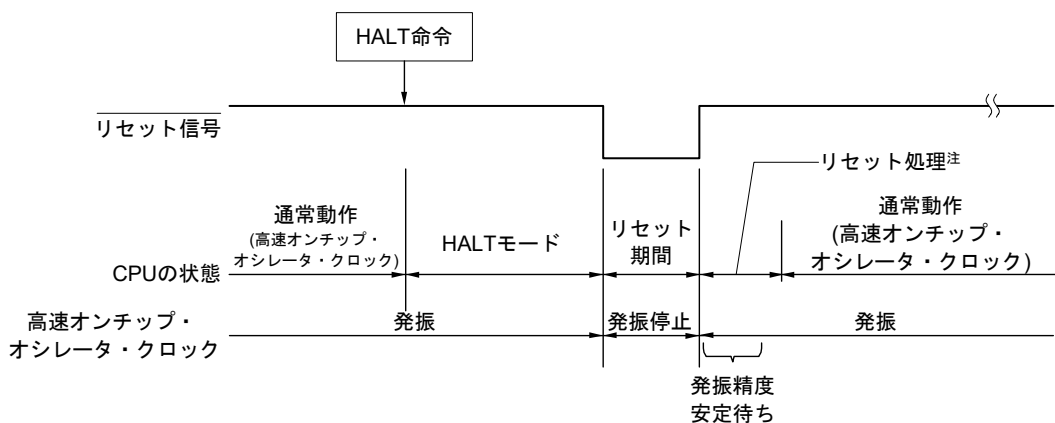
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

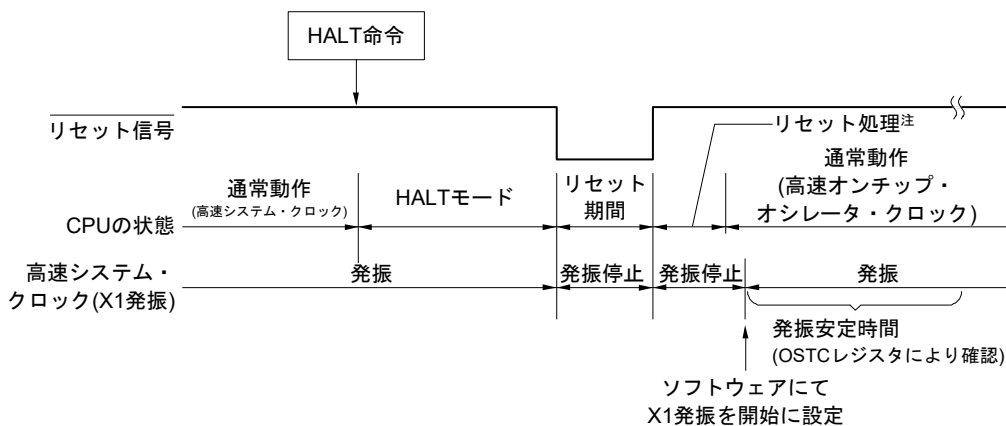
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23 - 2 HALTモードのリセットによる解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



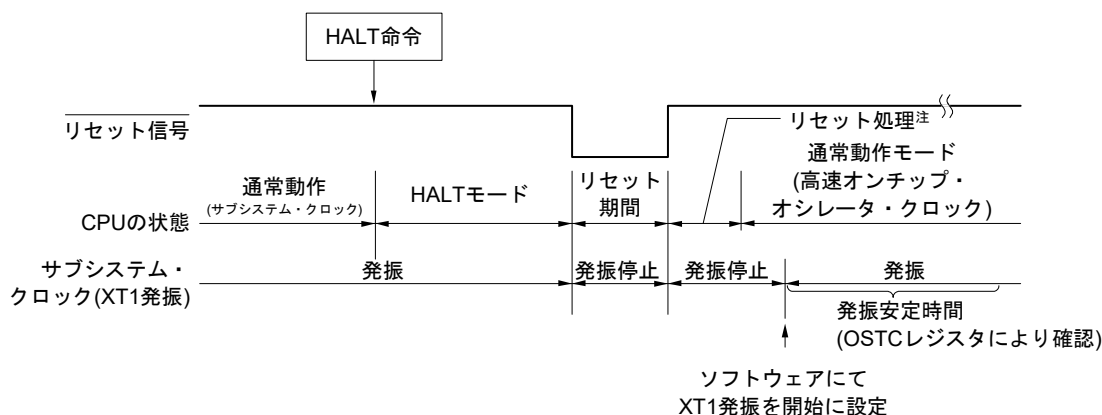
(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

図23-3 HALTモードのリセットによる解除(2/2)

(3) CPUクロックがサブシステム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

23.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込みマスク・フラグが“0” (割り込み処理許可)で且つ割り込み要求フラグが“1” (割り込み要求信号が発生)の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入っただちに解除されます。

したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表 23 - 2 STOPモード時の動作状態

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・ オシレータ・クロック (fHOCO)でCPU動作時	X1クロック (fx)で CPU動作時	外部メイン・システム・ クロック (fEX)で CPU動作時	PLLクロック (fPLL)で CPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・ クロック	fHOCO	停止			
	fx				
	fEX				
	fPLL				動作禁止
サブシステム・ク ロック	fXT	STOPモード設定前の状態を継続			
	fEXT				
fil		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 ・ WUTMMCK0 = 1 : 発振 ・ WUTMMCK0 = 0かつWDTON = 0 : 停止 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU		動作停止			
コード・フラッシュ・メモリ		動作停止			
データ・フラッシュ・メモリ		動作停止			
RAM		動作停止			
ポート(ラッチ)		STOPモード設定前の状態を継続			
タイマ・アレイ・ユニット		動作禁止			
タイマKB2		動作禁止			
リアルタイム・クロック2		動作可能			
12ビット・インターバル・タイマ		動作可能			
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照			
クロック出力/ブザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能(低消費RTCモード(OSMCレジスタのRTCLPC = 1)は, 動作禁止)			
A/Dコンバータ		ウエイク・アップ動作可能(SNOOZEモードへ移行)			
D/Aコンバータ		動作可能(STOPモード設定前の状態を継続)			
コンパレータ		動作可能(デジタルフィルタ未使用時のみ)			
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみウエイク・アップ動作可能(SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止			
シリアル・インタフェース(IICA)		アドレス一致によるウエイク・アップ動作可能			
USB		動作禁止			
LCDコントローラ/ドライバ		動作可能(ただし, LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能, 停止中なら動作停止))			
DTC		DTC起動要因受付動作可能(SNOOZEモードに遷移)			
ELC		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能		動作可能			
外部割り込み		動作可能			
キー割り込み機能		動作可能			
CRC演算機能	高速CRC	動作停止			
	汎用CRC				
RAMパリティ・エラー検出機能		動作停止			
RAMガード機能		動作停止			
SFRガード機能		動作停止			
不正メモリ・アクセス検出機能		動作停止			

(注意, 備考は次ページにあります。)

注意 STOP モード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアを STOP モード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。

備考1. 動作停止 :	STOPモード移行時に自動的に動作停止	fx :	X1クロック
動作禁止 :	STOPモード移行前に動作を停止させる	fil :	低速オンチップ・オシレータ・クロック
fHOCO :	高速オンチップ・オシレータ・クロック	fEX :	外部メイン・システム・クロック
fXT :	XT1クロック	fEXT :	外部サブシステム・クロック

備考2. p = 00, 20; q = 0, 2

(2) STOPモードの解除

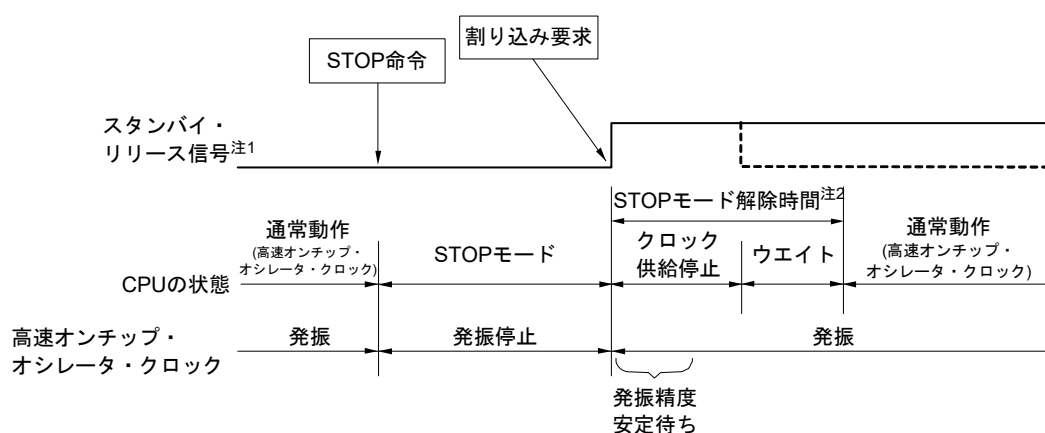
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図23-4 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関するの詳細は、図21-1を参照してください。

注2. STOPモード解除時間

クロック供給停止：

• FRQSEL4 = 0の場合：18 μ s ~ 65 μ s

• FRQSEL4 = 1の場合：18 μ s ~ 75 μ s

ウェイト：

• ベクタ割り込み処理を行う場合：7クロック

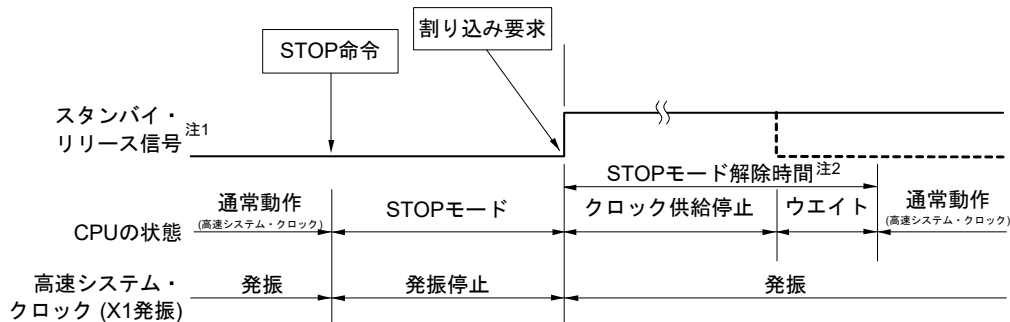
• ベクタ割り込み処理を行わない場合：1クロック

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図23 - 5 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号に関する詳細は、図21 - 1を参照してください。

注2. STOPモード解除時間

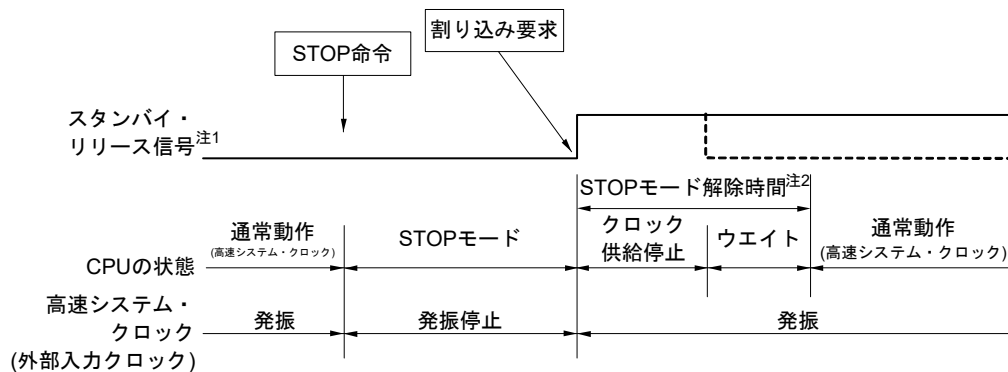
クロック供給停止：

- FRQSEL4 = 0の場合：18 μ s ~ “65 μ s または発振安定時間(OSTSで設定)の長い方”
- FRQSEL4 = 1の場合：18 μ s ~ “75 μ s または発振安定時間(OSTSで設定)の長い方”

ウェイト：

- ベクタ割り込み処理を行う場合：10~11クロック
- ベクタ割り込み処理を行わない場合：4~5クロック

(3) CPUクロックが高速システム・クロック(外部クロック入力)の場合



注1. スタンバイ・リリース信号に関する詳細は、図21 - 1を参照してください。

注2. STOPモード解除時間

クロック供給停止：

- FRQSEL4 = 0の場合：18 μ s ~ 65 μ s
- FRQSEL4 = 1の場合：18 μ s ~ 75 μ s

ウェイト：

- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

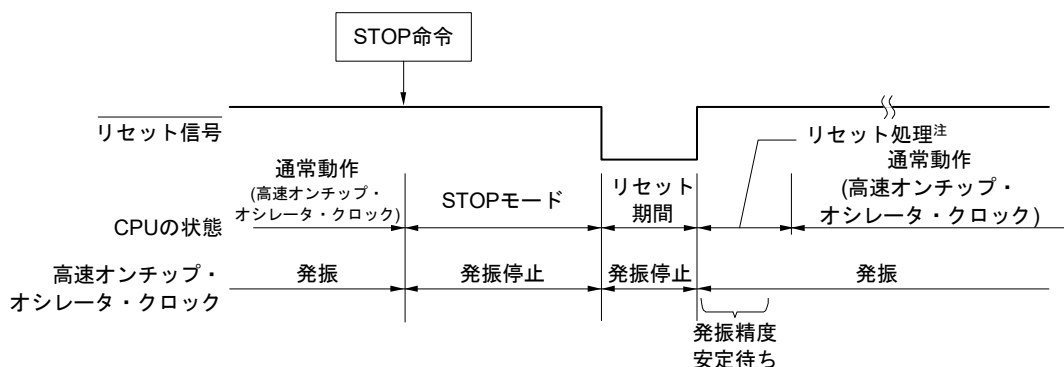
備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

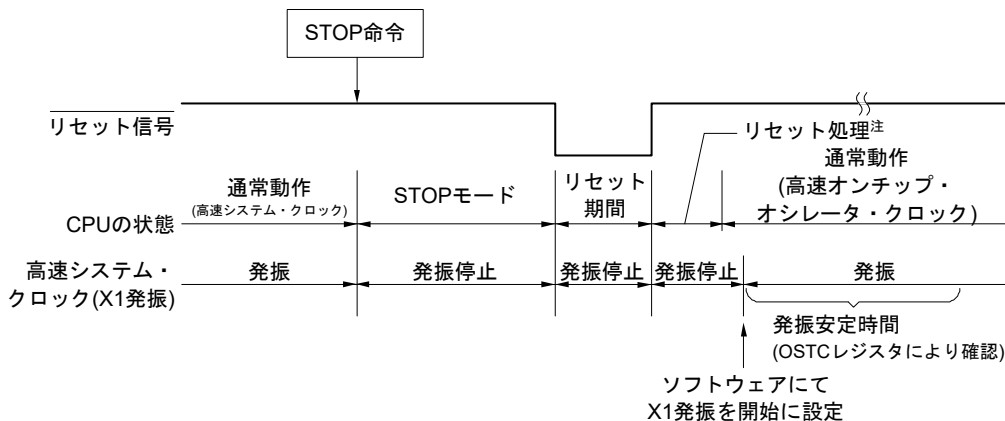
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23-6 STOPモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

23.3.3 SNOOZE モード

(1) SNOOZE モードの設定および動作状態

CSIp, UARTq, A/Dコンバータ, DTCのみ設定可能です。また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSIp, UARTqをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm)をSTOPモードに移行前に設定してください。詳細は、15.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は、A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は、12.3 A/Dコンバータを制御するレジスタを参照してください。

DTC転送をSNOOZEモードで使用する場合は、STOPモードに移行する前に、使用するDTC起動要因を許可してください。STOPモード中に、許可したDTC起動要因を検出すると自動的にSNOOZEモードに遷移します。詳細は、19.3 DTCを制御するレジスタを参照してください。

備考 $p = 00, 20; q = 0, 2; m = 0, 1$

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード→SNOOZEモードの遷移時間：

- FRQSEL4 = 0の場合：18 μ s ~ 65 μ s
- FRQSEL4 = 1の場合：18 μ s ~ 75 μ s

備考 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間：

- ベクタ割り込み処理を行う場合
 - HS (高速メイン)モード：“4.99~9.44 μ s” + 7クロック
 - LS (低速メイン)モード：“1.10~5.08 μ s” + 7クロック
 - LV (低電圧メイン)モード：“16.58~25.40 μ s” + 7クロック
- ベクタ割り込み処理を行わない場合
 - HS (高速メイン)モード：“4.99~9.44 μ s” + 1クロック
 - LS (低速メイン)モード：“1.10~5.08 μ s” + 1クロック
 - LV (低電圧メイン)モード：“16.58~25.40 μ s” + 1クロック

次にSNOOZEモード時の動作状態を示します。

表 23 - 3 SNOOZEモード時の動作状態

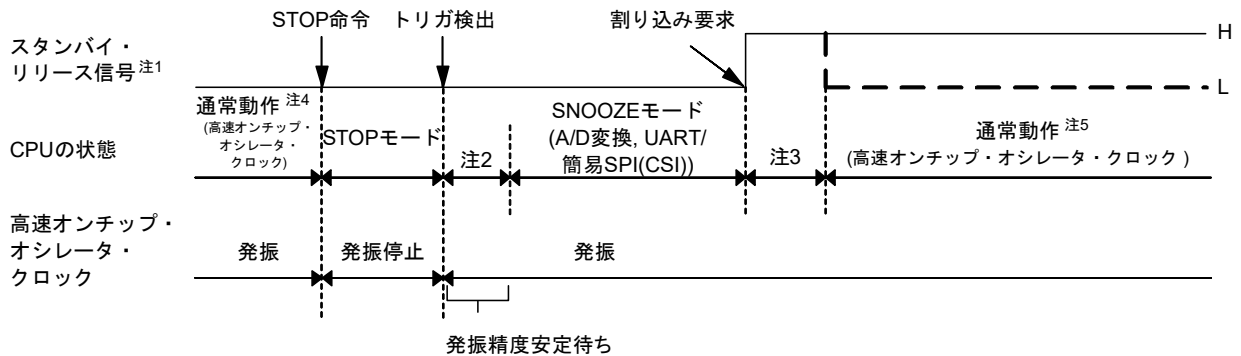
STOPモードの設定		STOPモード中にCSIp, UARTqのデータ受信信号, A/Dコンバータのタイマ・トリガ信号入力, DTC起動要因発生時
項目		高速オンチップ・オシレータ・クロック (fHOCO)でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	fHOCO	動作開始
	fX	停止
	fEX	
	fPLL	
サブシステム・クロック	fXT	STOPモード中の状態を継続
fIL	fEXT	
fIL		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットにて設定 <ul style="list-style-type: none"> WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止
CPU		動作停止
コード・フラッシュ・メモリ		
データ・フラッシュ・メモリ		
RAM		
ポート(ラッチ)		STOPモード中の状態を継続
タイマ・アレイ・ユニット		動作禁止
タイマKB2		
リアルタイム・クロック2		動作可能
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		第11章 ウォッチドッグ・タイマ参照
クロック出力/プザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能(低消費RTCモード時(OSMCレジスタのRTCLPC = 1)は、動作禁止)
A/Dコンバータ		動作可能
D/Aコンバータ		動作可能(SNOOZEモード遷移前の状態を保持)
コンパレータ		動作可能(デジタルフィルタ未使用時のみ)
シリアル・アレイ・ユニット(SAU)		CSIp, UARTqのみ動作可能 CSIp, UARTq以外は動作禁止
シリアル・インタフェース(IICA)		動作禁止
USB		
LCDコントローラ/ドライバ		動作可能(ただし、LCDソース・クロックとして選択したクロックの状態に従う(選択クロックが動作中なら動作可能、停止中なら動作停止))
DTC		動作可能
ELC		動作可能な機能ブロック間のリンクが可能
パワーオン・リセット機能		動作可能
電圧検出機能		
外部割り込み		
キー割り込み機能		
CRC演算機能	高速CRC	動作停止
	汎用CRC	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

- 備考1. 動作停止 : STOPモード移行時に自動的に動作停止 fX : X1クロック
 動作禁止 : STOPモード移行前に動作を停止させる fEX : 外部メイン・システム・クロック
 fHOCO : 高速オンチップ・オシレータ・クロック fXT : XT1クロック
 fIL : 低速オンチップ・オシレータ・クロック fEXT : 外部サブシステム・クロック

備考2. p = 00, 20; q = 0, 2

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

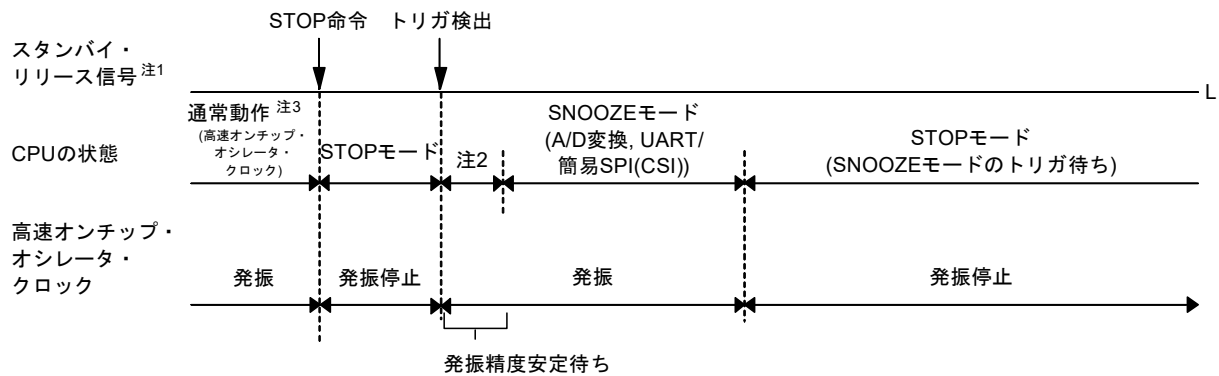
図23 - 7 SNOOZEモードの割り込み要求が発生する場合



- 注1. スタンバイ・リリース信号に関する詳細は、図21 - 1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. SNOOZEモード→通常動作の遷移時間
- 注4. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWCm = 1)に設定してください。
- 注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除(AWC = 0/SWCm = 0)に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図23 - 8 SNOOZEモードの割り込み要求が発生しない場合



- 注1. スタンバイ・リリース信号に関する詳細は、図21 - 1を参照してください。
- 注2. STOPモード→SNOOZEモードの遷移時間
- 注3. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWCm = 1)に設定してください。

備考 SNOOZEモード機能の詳細は、第12章 A/Dコンバータ、第15章 シリアル・アレイ・ユニットを参照してください。

第24章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット(POR)回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路(LVD)の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR回路、LVD回路の電圧検出、不正命令の実行注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表24-1に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、34.4または35.4 AC特性に示す動作電圧範囲内の期間で10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

注意2. リセット信号発生中では、X1クロック、XT1クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。

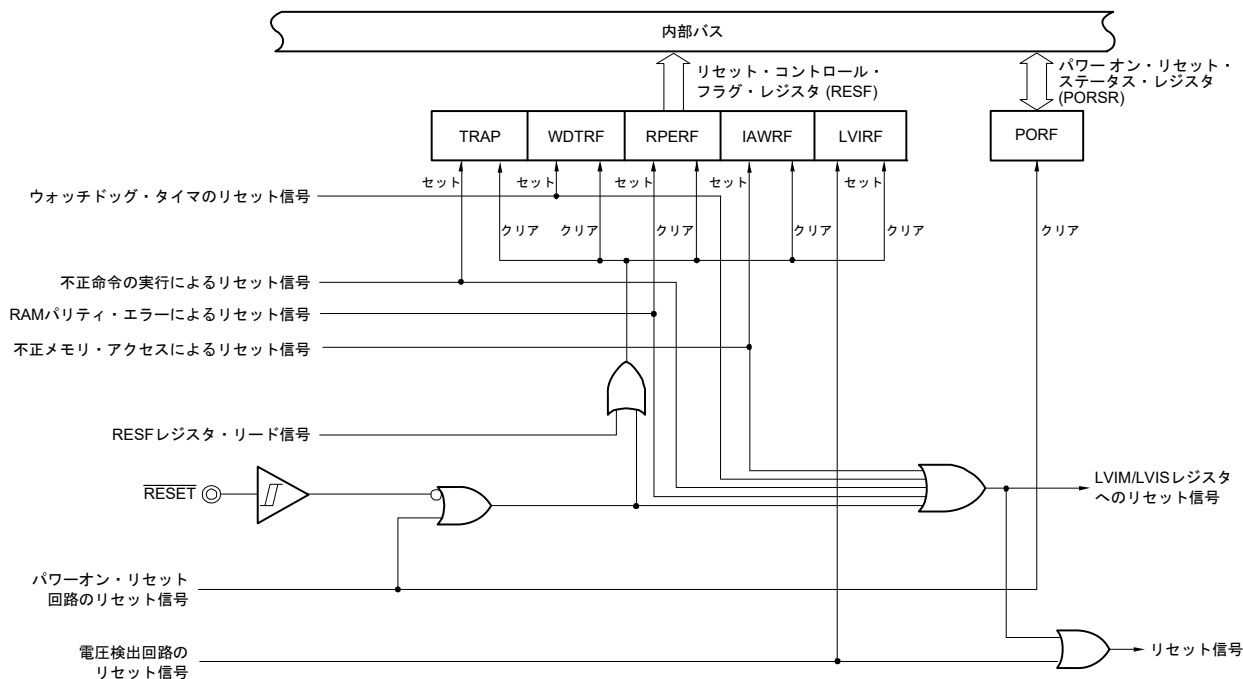
注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内部プルアップ抵抗接続)
- P130：リセット期間中およびリセット受け付け後はロウ・レベル出力
- P40, P130以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考 VPOR：POR電源立ち上がり検出電圧

VLVD：LVD検出電圧

図24-1 リセット機能のブロック図



注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

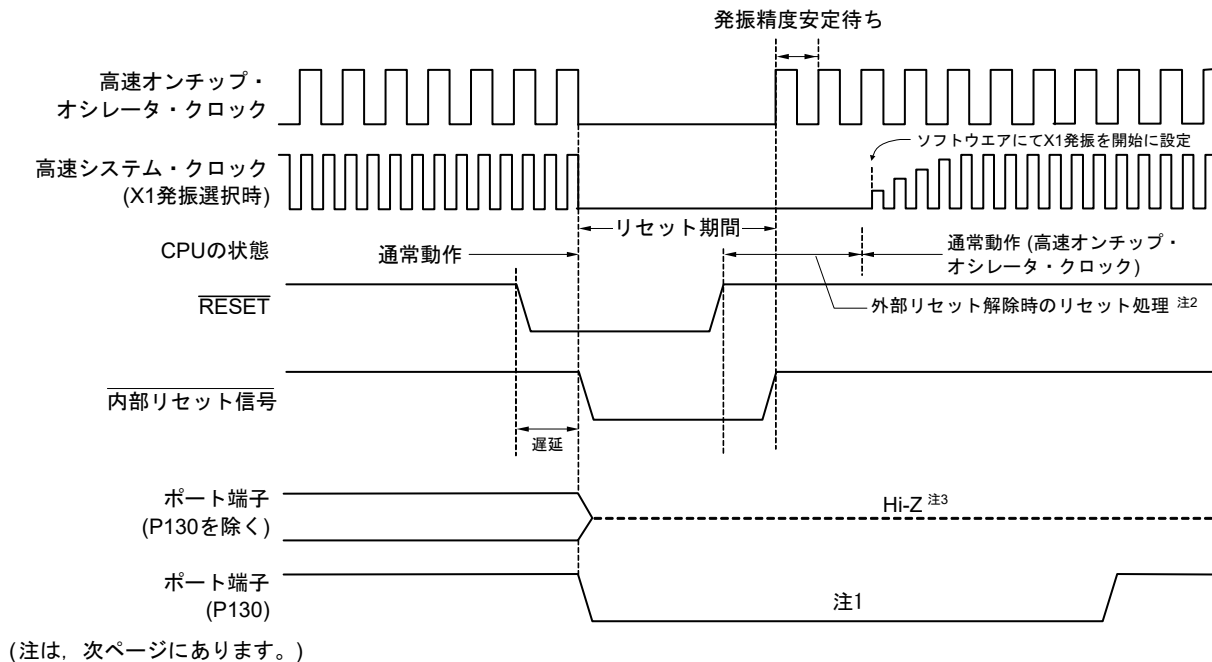
備考1. LVIM : 電圧検出レジスタ

備考2. LVIS : 電圧検出レベル・レジスタ

24.1 リセット動作のタイミング

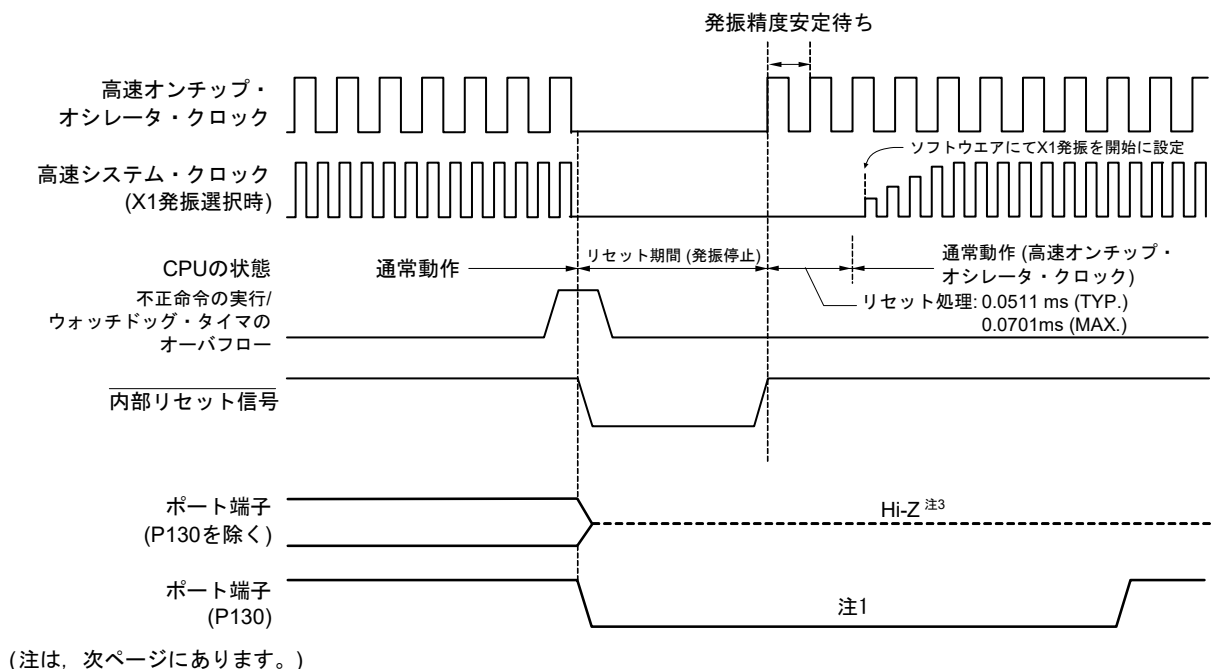
$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図24 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング



ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図24 - 3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



- 注1. リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。
- 注2. 外部リセット解除時のリセット時間：
POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)
POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)
電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.)がかかります。
- 注3. ポート端子P40は次の状態になります。
- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
 - それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内部プルアップ抵抗接続)になります。

24.2 リセット期間中の動作状態

表24-1にリセット期間中の動作状態を、表24-2にリセット受け付け後の各ハードウェアの状態を示します。

表24-1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	fHOCO	動作停止
	fX	動作停止 (X1, X2端子は入力ポート・モード)
	fEX	クロックの入力無効 (端子は入力ポート・モード)
	fPLL	動作停止
サブシステム・クロック	fXT	動作可能
	fEXT	クロックの入力無効 (端子は入力ポート・モード)
fil	動作停止	
CPU	動作停止	
コード・フラッシュ・メモリ	動作停止	
データ・フラッシュ・メモリ	動作停止	
RAM	動作停止 (DMA実行時は動作可能)	
ポート(ラッチ)	ハイ・インピーダンス注	
タイマ・アレイ・ユニット	動作停止	
16ビット・タイマKB2		
リアルタイム・クロック2	PORリセット以外：動作可能 PORリセット：カレンダー動作可能, RTCC0, RTCC1, SUBCUDレジスタは動作停止	
12ビット・インターバル・タイマ	動作停止	
ウォッチドッグ・タイマ		
クロック出力/プザー出力		
A/Dコンバータ		
D/Aコンバータ		
コンパレータ		
シリアル・アレイ・ユニット(SAU)		
シリアル・インタフェース(IICA)		
USB		
LCDコントローラ/ドライバ	動作停止 (COM専用端子, COM/SEG兼用端子：GND出力, SEG/汎用ポート兼用端子：ハイ・インピーダンス出力, VL1-VL4端子：ハイ・インピーダンス出力, CAPH/P127端子, CAPL/P126端子：ハイ・インピーダンス出力)	
DTC	動作停止	
ELC		
パワーオン・リセット機能	検出動作可能	
電圧検出機能	LVDリセット時は動作可能。それ以外のリセット時は動作停止。	
外部割り込み	動作停止	
キー割り込み機能		
CRC演算機能	高速CRC	
	汎用CRC	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
不正メモリ・アクセス検出機能		

注 ポート端子P40, P130は次の状態になります。

- P40：外部リセットか POR によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル (内部プルアップ抵抗接続)
- P130：リセット期間中はロウ・レベル出力

備考 fHOCO： 高速オンチップ・オシレータ・クロック
 fX： X1 発振クロック
 fEX： 外部メイン・システム・クロック
 fXT： XT1 発振クロック
 fEXT： 外部サブシステム・クロック周波数
 fil： 低速オンチップ・オシレータ・クロック

表24-2 リセット受け付け後の各ハードウェアの状態

ハードウェア		リセット受け付け後の状態注
プログラム・カウンタ(PC)		リセット・ベクタ・テーブル(00000H, 00001H)の内容がセットされる。
スタック・ポインタ(SP)		不定
プログラム・ステータス・ワード(PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) のリセット受付後の状態は、3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域、3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域を参照してください。

24.3 リセット要因を確認するレジスタ

24.3.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESF レジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット (POR) 回路によるリセットおよび RESF レジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRF フラグはクリアされます。

図24-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 不定注¹ R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP	不正命令の実行による内部リセット要求注 ²							
0	内部リセット要求は発生していない、または RESF レジスタをクリアした							
1	内部リセット要求は発生した							
WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求							
0	内部リセット要求は発生していない、または RESF レジスタをクリアした							
1	内部リセット要求は発生した							
RPERF	RAM パリティ・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、または RESF レジスタをクリアした							
1	内部リセット要求は発生した							
IAWRF	不正メモリ・アクセスによる内部リセット要求							
0	内部リセット要求は発生していない、または RESF レジスタをクリアした							
1	内部リセット要求は発生した							
LVIRF	電圧検出 (LVD) 回路による内部リセット要求							
0	内部リセット要求は発生していない、または RESF レジスタをクリアした							
1	内部リセット要求は発生した							

注1. リセット要因により異なります。表24-3を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAM フェッチ中の命令コードは、パリティ・エラー検出対象外です。ただし、RAMの命令フェッチによるRAMデータ読み出しは、パリティ・エラー検出を行います。

注意3. RL78はパイプ・ライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

リセット要求時のRESFレジスタの状態を表24-3に示します。

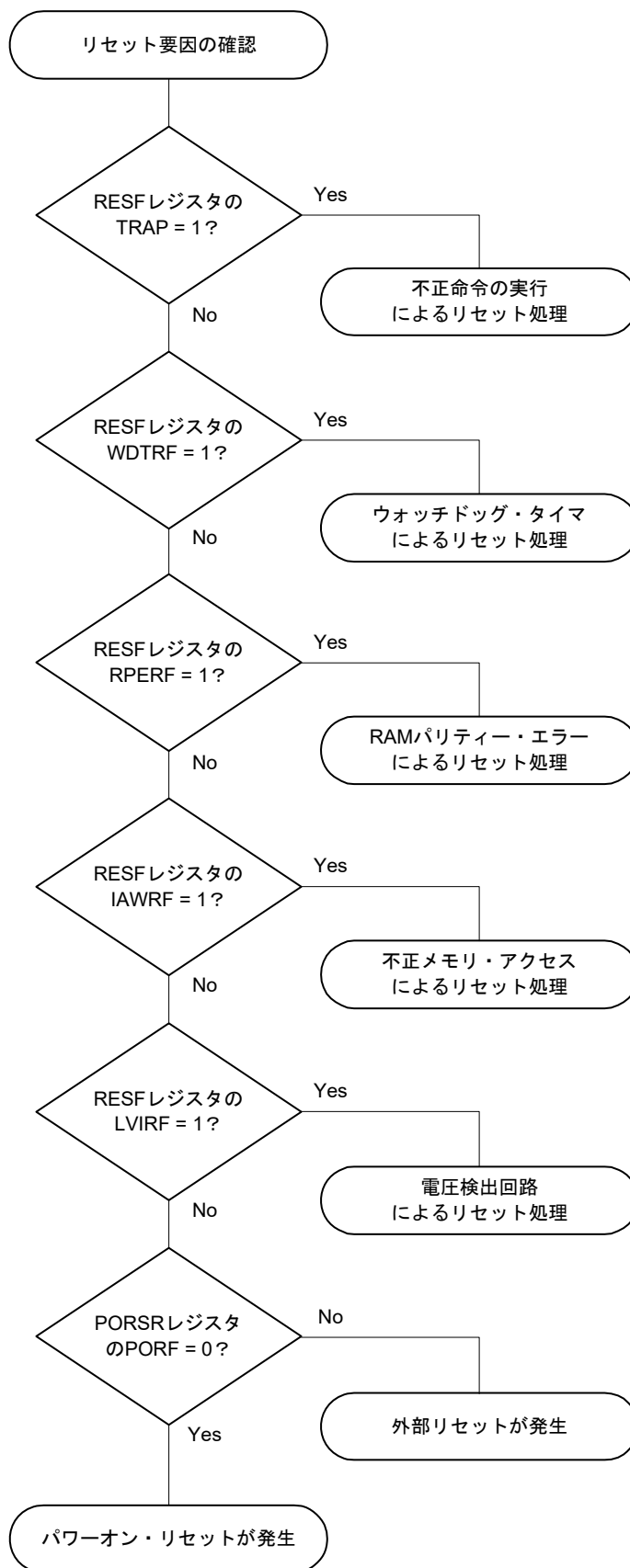
表24-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の 実行による リセット	WDTによる リセット	RAM パリティ・ エラーによる リセット	不正メモリ・ アクセスに よるリセット	LVDによる リセット
TRAP	クリア(0)	クリア(0)	セット(1)	保持	保持	保持	保持
WDTRF			保持	セット(1)			
RPERF			保持	セット(1)			
IAWRF			保持	セット(1)			
LVIRF			保持	セット(1)			

RESFレジスタは、8ビット・メモリ操作命令で読み出すと、自動的にクリアされます。

リセット要因の確認手順例を図24-5に示します。

図24-5 リセット要因の確認手順例



注意 上記フローは確認手順の一例です。

24.3.2 パワーオン・リセット・ステータス・レジスタ (PORSR)

PORSRレジスタは、パワーオン・リセットの発生を確認するレジスタです。

PORSRレジスタのビット0 (PORF)は“1”書き込み有効であり、“0”書き込みは無効です。

パワーオン・リセット発生の有無を確認するときは、あらかじめPORFビットに“1”を書き込んでおいてください。

PORSRレジスタは、8ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00Hになります。

注意1. PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します)。

注意2. PORFが“1”のとき、パワーオン・リセットが発生していないことは保証されますが、RAMの値が保持されていることを保証するものではありません。

図24 - 6 パワーオン・リセット・ステータス・レジスタ (PORSR)のフォーマット

アドレス : F00F9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PORSR	0	0	0	0	0	0	0	PORF
PORF	パワーオン・リセット発生確認							
0	“1”書き込みが行われていない、またはパワーオン・リセットが発生							
1	パワーオン・リセットは発生していない							

第25章 パワーオン・リセット回路

25.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。

電源電圧(VDD)が検出電圧(VPOR)を越えた場合に、リセットを解除します。ただし、34.4または35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- 電源電圧(VDD)と検出電圧(VPDR)を比較し、 $VDD < VPDR$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、34.4または35.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)およびパワーオン・リセット・ステータス・レジスタ(PORSR)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。

ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第24章 リセット機能を参照してください。

備考2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ(PORSR)で確認することができます。PORSRレジスタの詳細については、第24章 リセット機能を参照してください。

備考3. VPOR : POR電源立ち上がり検出電圧

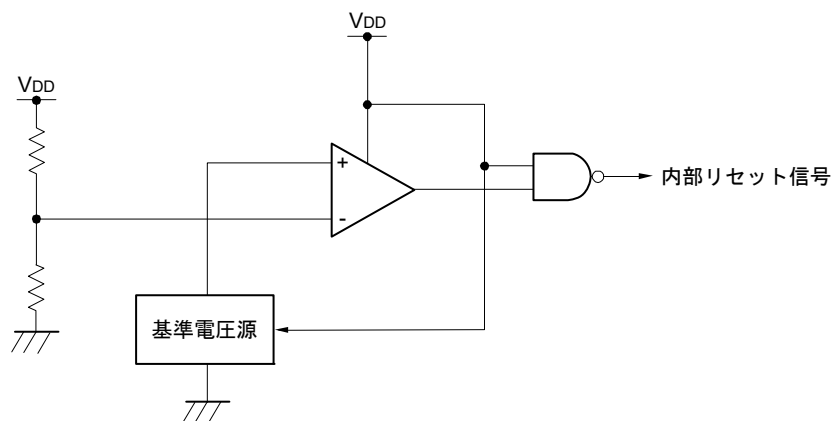
VPDR : POR電源立ち下がり検出電圧

詳細は、34.6.5または35.6.5 POR回路特性を参照してください。

25.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図25 - 1に示します。

図25 - 1 パワーオン・リセット回路のブロック図

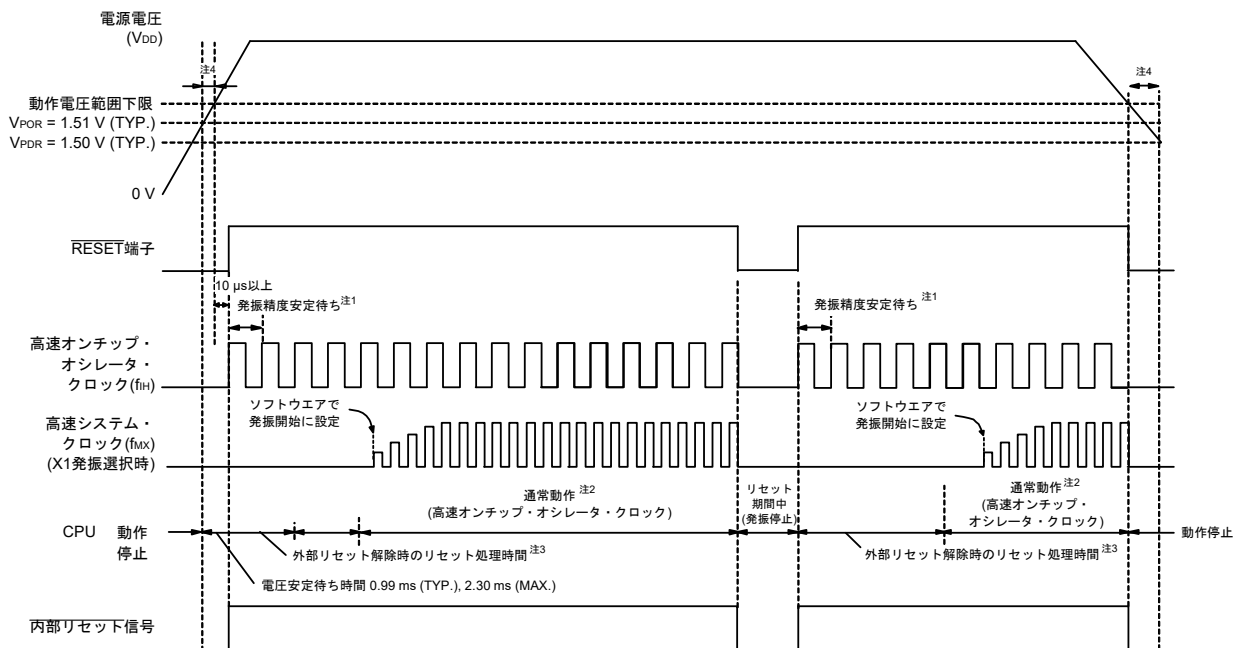


25.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(1/3)

(1) RESET端子による外部リセット使用時



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目 : 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
 0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降 : 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
 0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

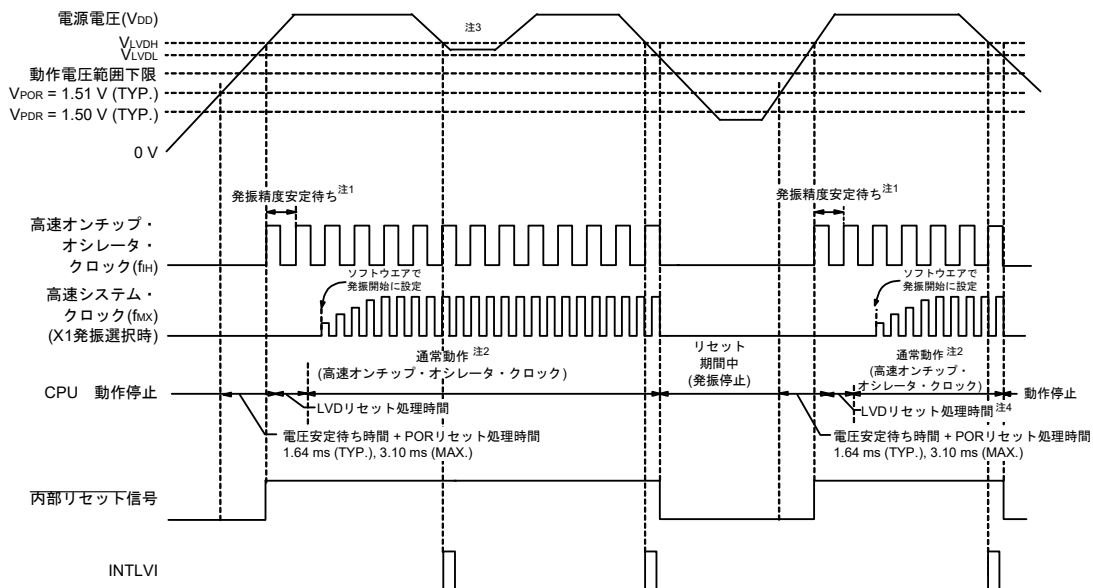
- 注4. 電源立ち上がり時は、34.4または35.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧
 V_{PDR} : POR電源立ち下がり検出電圧

注意 LVDオフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第26章 電圧検出回路を参照してください。

図25-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生時のタイミング(2/3)

(2) LVD割り込み&リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)

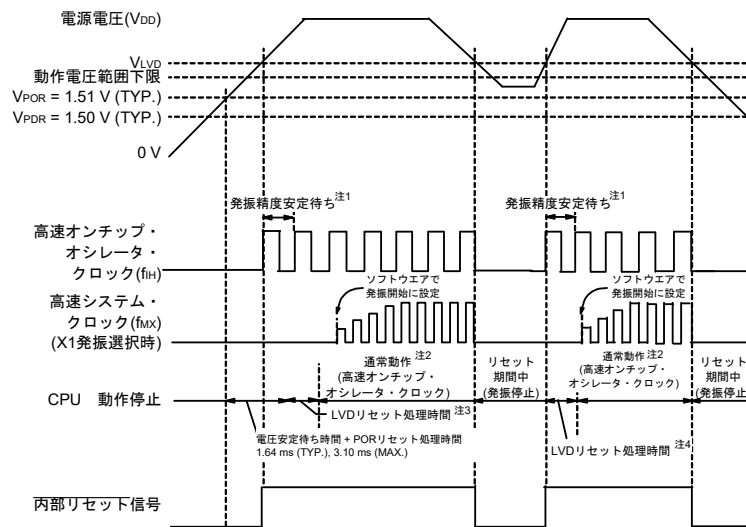


- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 割り込み要求信号 (INTLVI)が発生したあと、電圧検出レベル・レジスタ (LVIS)のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧 (VLVDL)を下回らずに、高電圧検出電圧 (VLVDH)以上に復帰する場合は考慮して、INTLVI発生後は、“図26-10 動作電圧確認/リセットの設定手順”と“図26-11 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。
- 注4. 通常動作が開始されるまでの時間は、VPOR (1.51V(TYP.))に到達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (VLVDH)に達してから次の“LVDリセット処理時間”が掛かります。
- リセット処理時間 : 0 ms ~ 0.0701 ms (MAX.)

備考 VLVDH, VLVDL : LVD検出電圧
 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

図25-4 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング(3/3)

(3) LVD リセット・モード時 (オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 1)



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 通常動作が開始されるまでの時間は、V_{POR} (1.51V(TYP.))に到達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)
- 注4. 電源電圧降下時、電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間：0.0511 ms (TYP.) ~ 0.0701 ms (MAX.)

備考1. V_{LVDH}, V_{LVLDL} : LVD検出電圧V_{POR} : POR電源立ち上がり検出電圧V_{PDR} : POR電源立ち下がり検出電圧

備考2. LVD割り込みモード(オプション・バイト000C1HのLVIMD1, LVIMD0 = 0,1)を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図25-4 (3) LVDリセット・モード時の“注3”の時間と同じです。

第26章 電圧検出回路

26.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト(000C1H)で動作モードと検出電圧(VLVDH, VLVDL, VLVD)を設定します。

電圧検出(LVD)回路は、次のような機能を持ちます。

- 電源電圧(VDD)と検出電圧(VLVDH, VLVDL, VLVD)を比較し、内部リセットまたは割り込み要求信号を発生します。
- 電源電圧の検出電圧(VLVDH, VLVDL, VLVD)は、オプション・バイトにて検出レベルを12段階より選択できます(第29章 オプション・バイト参照)。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、34.4 または 35.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
- 動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

(a) 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧(VLVDH, VLVDL)を選択します。高電圧検出レベル(VLVDH)はリセット解除用/割り込み発生用として使用します。低電圧検出レベル(VLVDL)はリセット発生用として使用します。

(b) リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット発生/解除用として使用します。

(c) 割り込みモード(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット解除用/割り込み発生用として使用します。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して割り込み要求信号を発生し、 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセットを発生。	リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号(INTLVI)を発生します。

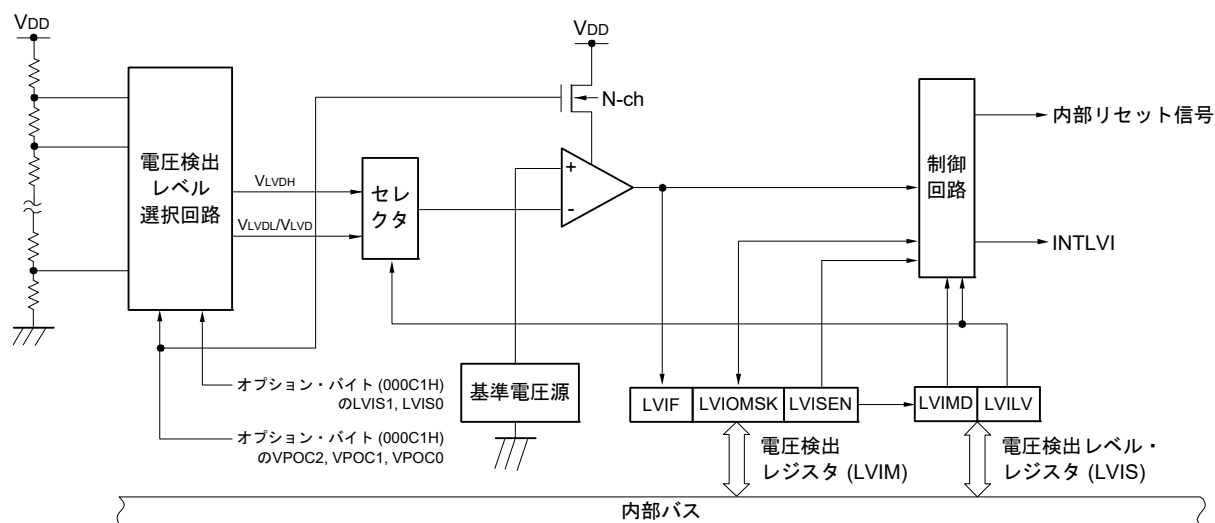
電圧検出回路動作時では、電圧検出フラグ (LVIF : 電圧検出レジスタ (LVIM) のビット 0) を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット 0 (LVIRF) がセット (1) されます。RESF レジスタについての詳細は、第 24 章 リセット機能を参照してください。

26.2 電圧検出回路の構成

電圧検出回路のブロック図を図 26 - 1 に示します。

図 26 - 1 電圧検出回路のブロック図



26.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベル・レジスタ (LVIS)

26.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD 出力のマスク状態を確認するレジスタです。

LVIM レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図26-2 電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN ^{注3}	0	0	0	0	0	LVIOMSK	LVIF
LVISEN ^{注3}	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定							
0	LVIS レジスタの書き換え禁止 (LVIOMSK = 0 (LVD 出力マスク無効) になる)							
1	LVIS レジスタの書き換え許可 (LVIOMSK = 1 (LVD 出力マスク有効) になる)							
LVIOMSK	LVD 出力マスク状態フラグ							
0	LVD 出力マスク無効							
1	LVD 出力マスク有効 ^{注4}							
LVIF	電圧検出フラグ							
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD}), または LVD オフ時							
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})							

注1. リセット値は、リセット要因により変化します。

LVD によるリセットのときには、LVIM レジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“00H”にクリアされます。

注2. ビット0, 1は、Read Onlyです。

注3. 割り込み&リセット・モード(オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0)選択時のみ設定できます。その他のモードでは初期値から変更しないでください。

注4. 割り込み&リセット・モード(オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0)選択時のみ、LVIOMSKビットは以下の期間に自動で“1”となり、LVDによるリセットまたは割り込み発生がマスクされます。

- ・ LVISEN = 1の期間
- ・ LVD 割り込み発生から、LVD 検出電圧が安定するまでの待ち時間
- ・ LVILV ビットの値変更から、LVD 検出電圧が安定するまでの待ち時間

26.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図26 - 3 電圧検出レベル・レジスタ (LVIS)のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	<input type="checkbox"/>	7	6	5	4	3	2	1	<input type="checkbox"/>	0
LVIS	LVIMD ^{注2}	0	0	0	0	0	0	0	0	LVILV ^{注2}
LVIMD ^{注2}	電圧検出の動作モード									
0	割り込みモード									
1	リセット・モード									
LVILV ^{注2}	LVD 検出レベル									
0	高電圧検出レベル(VLVDH)									
1	低電圧検出レベル(VLVDLまたはVLVD)									

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア(00H)されません。

LVD以外のリセット時は、次のようになります。

- オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

注2. 割り込み&リセット・モード(オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0)選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、図26 - 9, 図26 - 10の手順で行ってください。

注意2. LVDの動作モードと各モードの検出電圧(VLVDH, VLVDL, VLVD)は、オプション・バイト(000C1H)で選択します。ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを図26 - 4に示します。オプション・バイトの詳細は第29章 オプション・バイトを参照してください。

図26-4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H注

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
2.92 V	2.86 V					1	0		
3.02 V	2.96 V	2.75 V	1	1	1	0			
					0	1			
-			上記以外は設定禁止						

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
-			上記以外は設定禁止					

注 ブート・スワップ時は、000C1H と 010C1H が切り替わるので、010C1H にも 000C1H と同じ値を設定してください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、34.6.6または35.6.6 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図26 - 5 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
—	—		上記以外は設定禁止					

• LVDオフ(RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	x	x	x	x	x	1
—	—	上記以外は設定禁止						

注 ブート・スワップ時は、000C1H と 010C1H が切り替わるので、010C1H にも 000C1H と同じ値を設定してください。

注意1. ビット4には、必ず“1”を書き込んでください。

注意2. 電源立ち上がり時は、34.4 または 35.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. x : don't care

備考2. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、34.6.6または35.6.6 LVD回路特性を参照してください。

26.4 電圧検出回路の動作

26.4.1 リセット・モードとして使用する場合の設定

動作モード(リセット・モード(LVIMDS1, LVIMDS0 = 1, 1))と検出電圧(VLVD)の設定は、オプション・バイト 000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、81Hに設定されます。
ビット7(LVIMD)は“1”(リセット・モード)
ビット0(LVILV)は“1”(電圧検出レベル: VLVD)

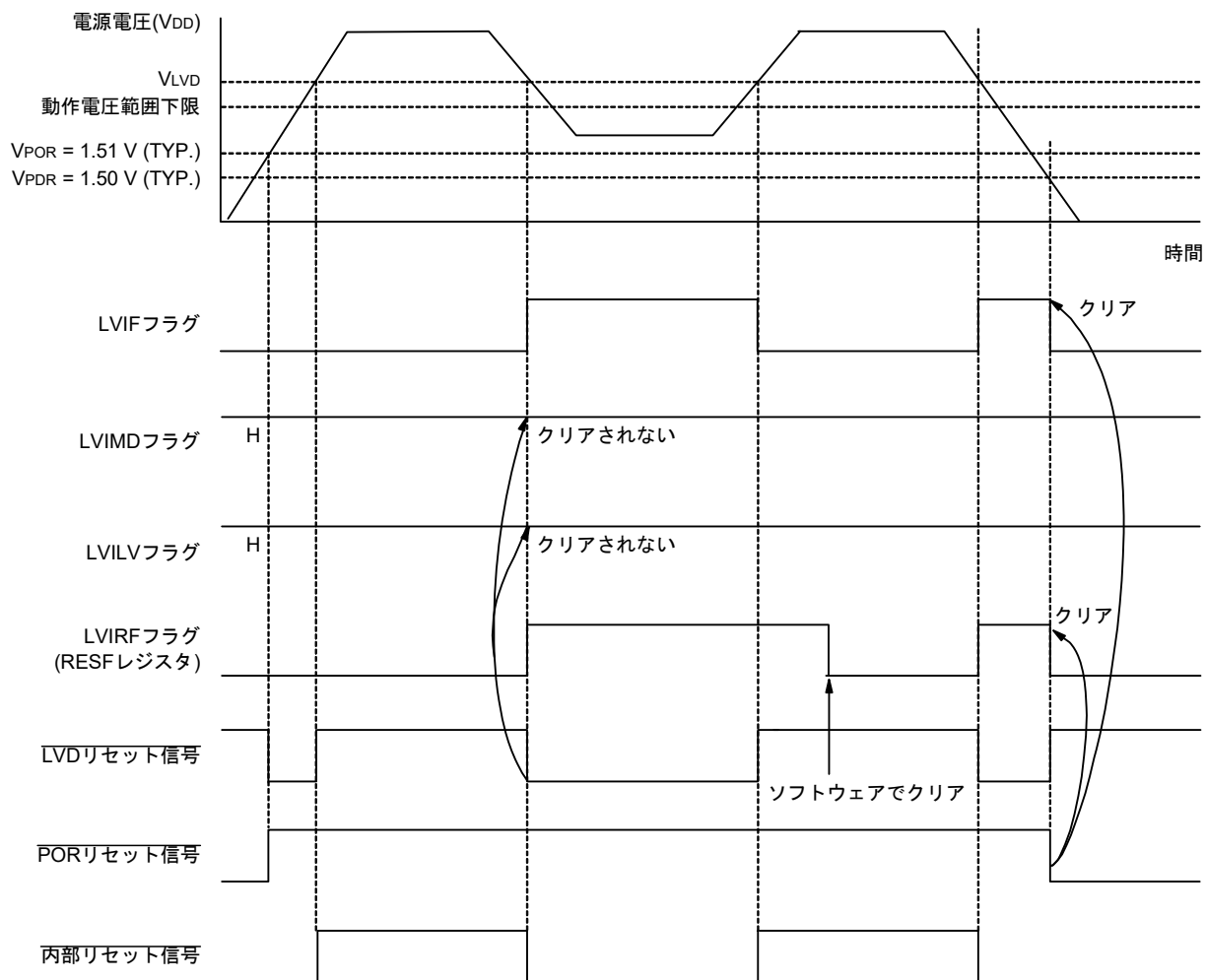
●LVDリセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は、電源投入時、電源電圧(VDD)が電圧検出レベル(VLVD)を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(VDD)が電圧検出レベル(VLVD)を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(VDD)が電圧検出レベル(VLVD)を下回るとLVDによる内部リセットが発生します。

図26-6に、LVDリセット・モードの内部リセット信号発生のタイミングを示します。

図26 - 6 内部リセット信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)



備考 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

26.4.2 割り込みモードとして使用する場合の設定

動作モード (割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)) と検出電圧 (VLVD) の設定は、オプション・バイト 000C1H で設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、01H に設定されます。
ビット7 (LVIMD) は“0” (割り込みモード)
ビット0 (LVILV) は“1” (電圧検出レベル : VLVD)

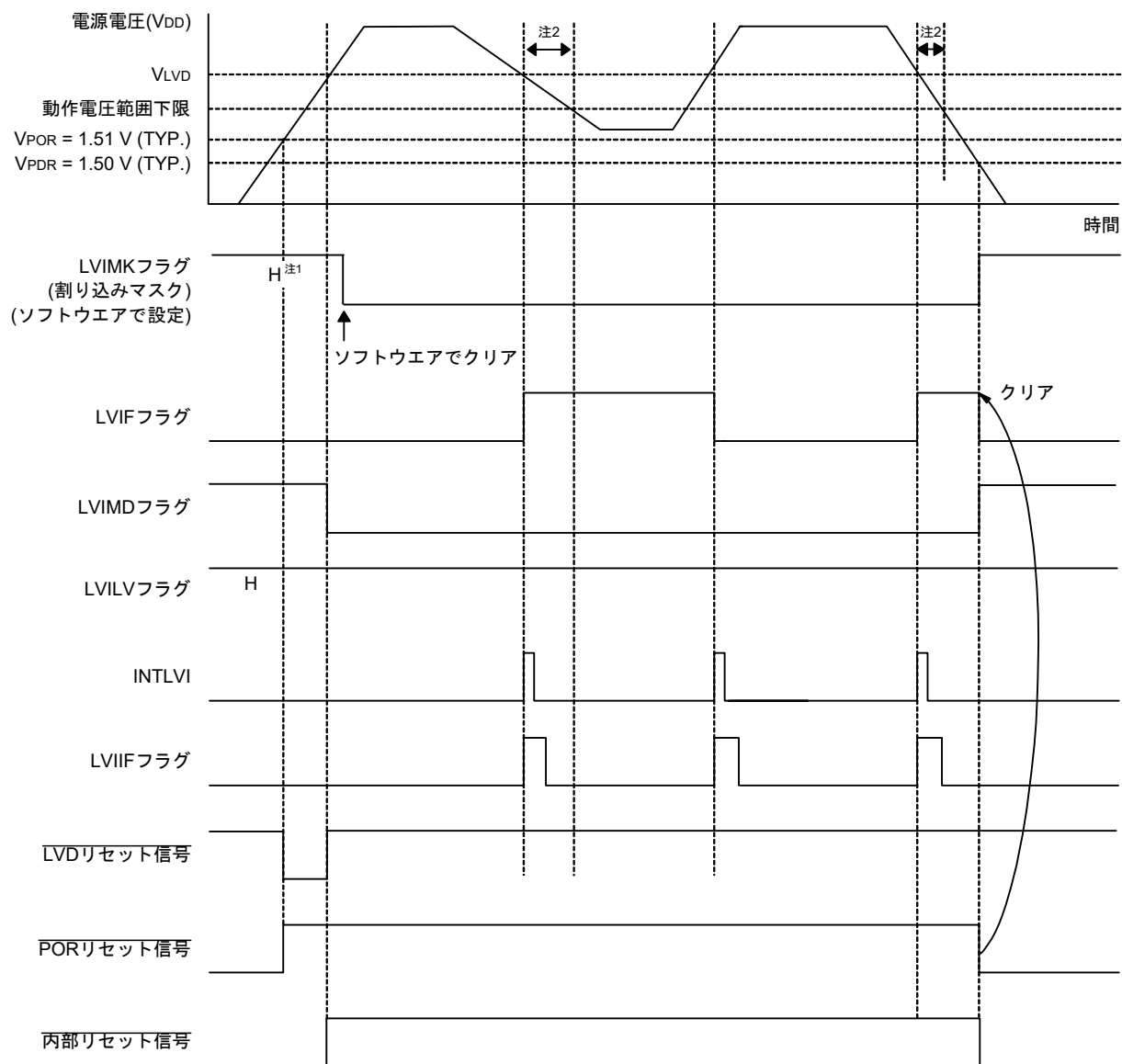
●LVD 割り込みモードの動作

割り込みモード (オプション・バイトの LVIMDS1, LVIMDS0 = 0, 1) は、リセット発生直後、電源電圧 (VDD) が電圧検出レベル (VLVD) を上回るまでは LVD による内部リセット状態を保ちます。動作電圧 (VDD) が電圧検出レベル (VLVD) を上回ると LVD による内部リセットを解除します。

LVD の内部リセット解除後は、電源電圧 (VDD) が電圧検出レベル (VLVD) を超えると LVD による割り込み要求信号 (INTLVD) が発生します。動作電圧降下時は、34.4 または 35.4 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図 26 - 7 に、LVD 割り込みモードの割り込み要求信号発生タイミングを示します。

図26 - 7 割り込み要求信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

注2. 動作電圧降下時は、34.4または35.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

26.4.3 割り込み&リセット・モードとして使用する場合の設定

動作モード(割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0))と検出電圧(VLVDH, VLVDL)の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、00Hに設定されます。
ビット7(LVIMD)は“0”(割り込みモード)
ビット0(LVILV)は“0”(高電圧検出レベル: VLVDH)

●LVD割り込み&リセット・モードの動作

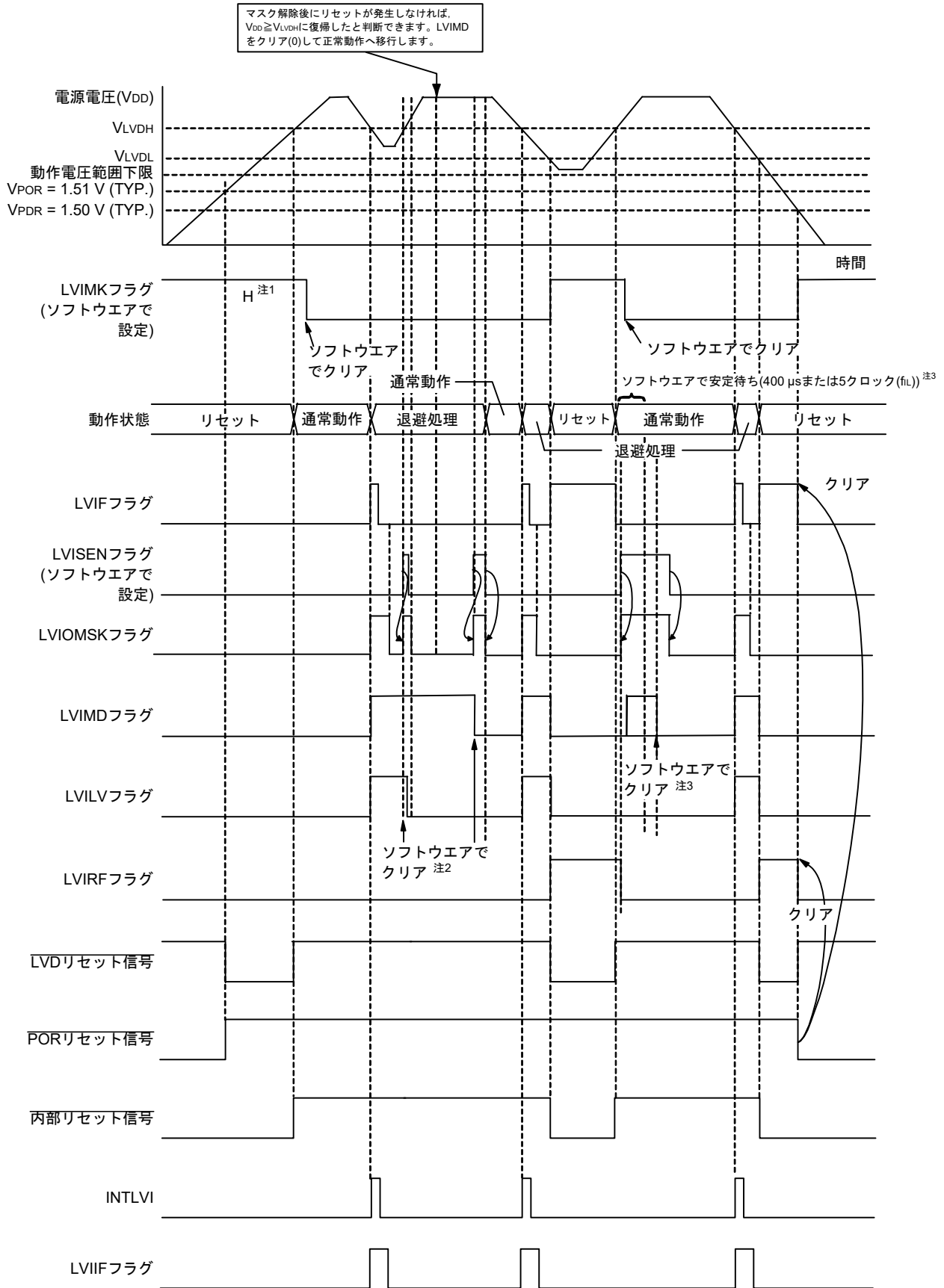
割り込み&リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0)は、電源投入時、電源電圧(VDD)が高電圧検出レベル(VLVDH)を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(VDD)が高電圧検出レベル(VLVDH)を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(VDD)が高電圧検出レベル(VLVDH)を下回るとLVDによる割り込み要求信号(INTLVI)が発生し、任意の回避処理を行うことができます。その後、電源電圧(VDD)が低電圧検出レベル(VLVDL)を下回るとLVDによる内部リセットが発生します。ただし、INTLVI発生後、電源電圧(VDD)が低電圧検出電圧(VLVDL)を下回らずに高電圧検出電圧(VLVDH)以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み&リセット・モードとして使用する場合は、“図26-10 動作電圧確認/リセットの設定手順”と、“図26-11 割り込み&リセット・モードの初期設定の設定手順”に示すフローチャートの手順に従って実施してください。

図26-8～図26-9に、LVD割り込み&リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図26 - 8 内部リセット信号と割り込み信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (1/2)



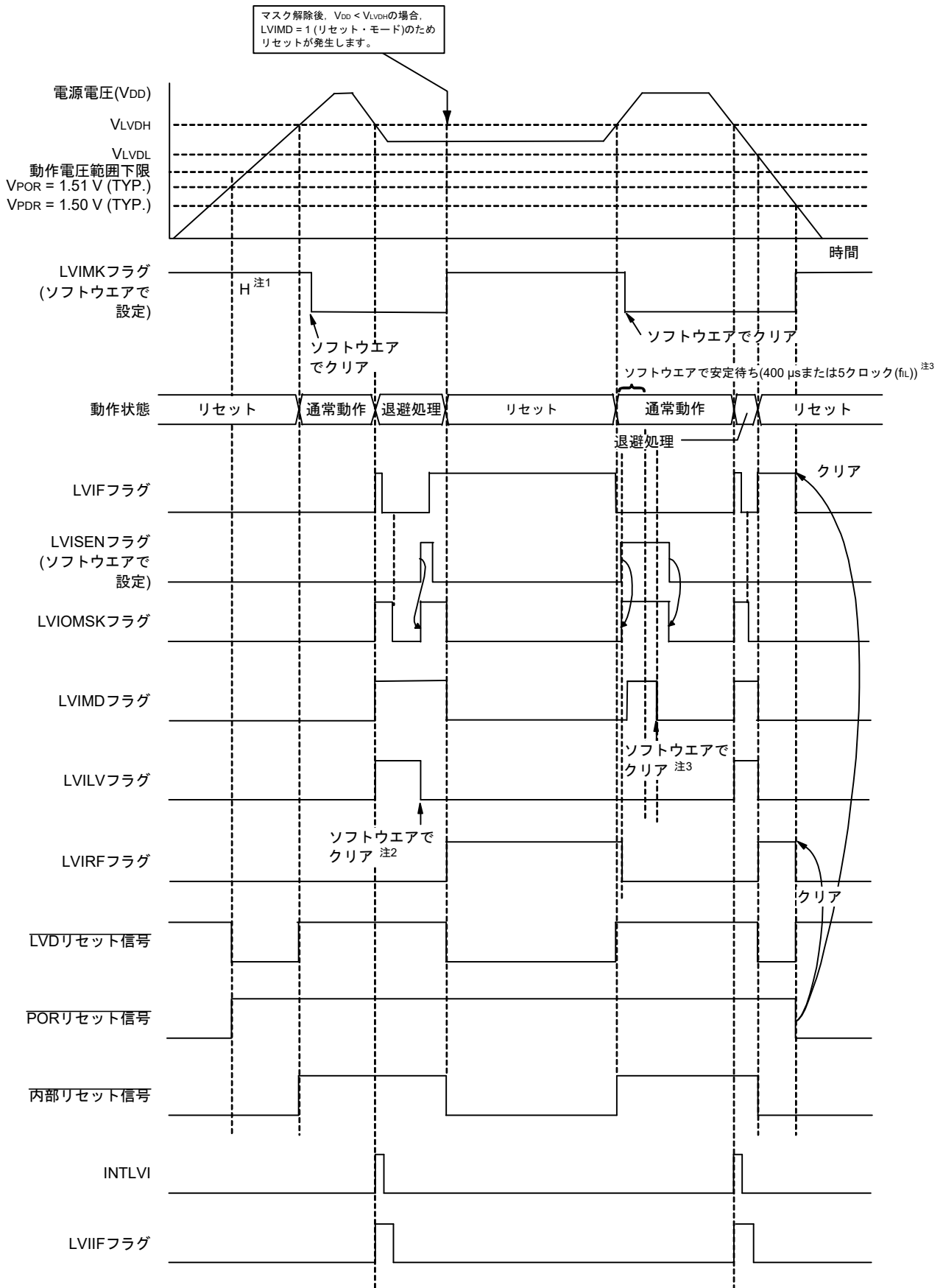
(注, 備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用时，割り込み発生後は，図26 - 10 動作電圧確認／リセットの設定手順に従って設定をしてください。
- 注3. 割り込み&リセット・モード使用时，リセット解除後は，図26 - 11 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

図26 - 9 内部リセット信号と割り込み信号発生タイミング(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0) (2/2)

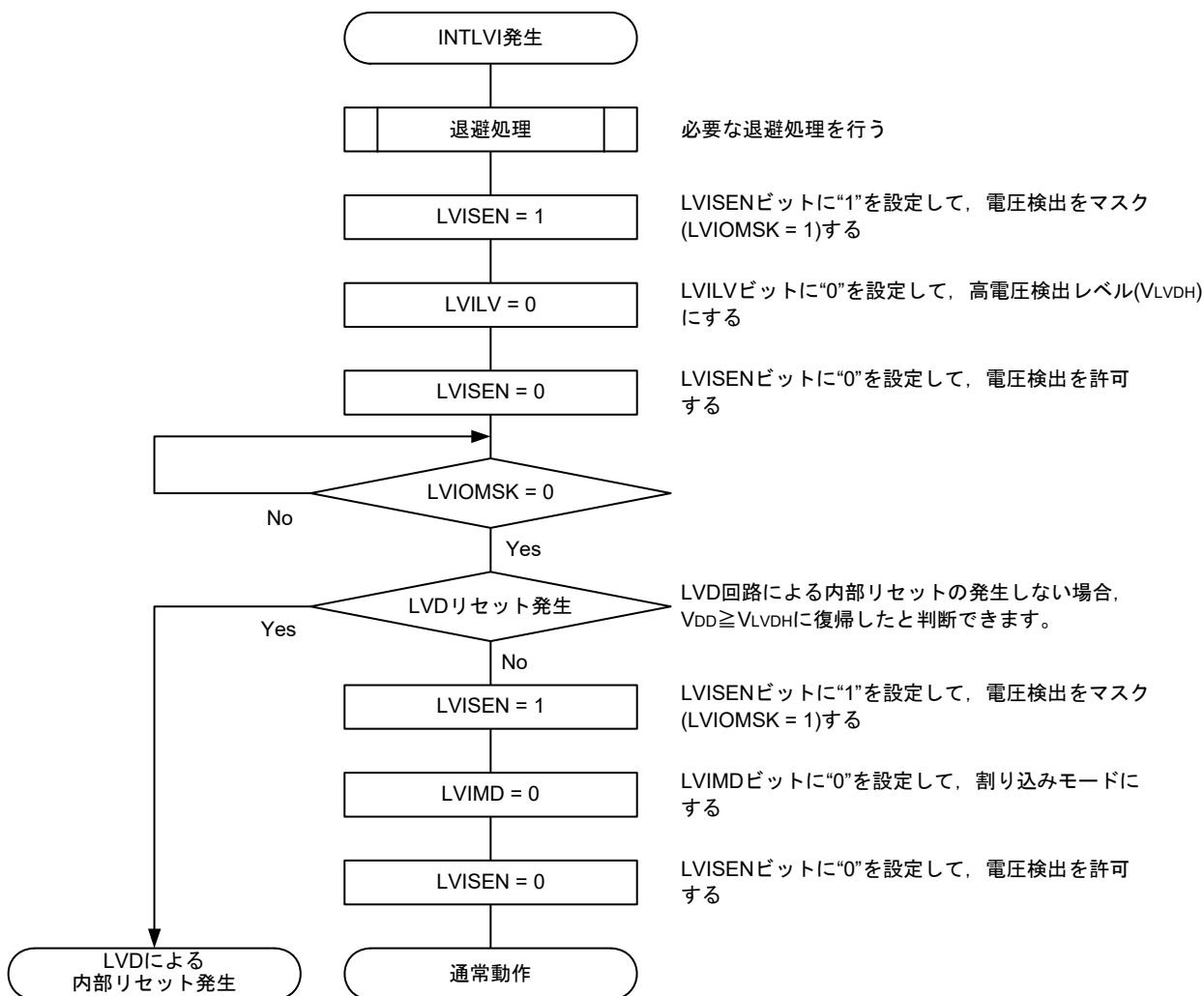


(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図26 - 10 動作電圧確認／リセットの設定手順に従って設定をしてください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図26 - 11 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考 VPOR : POR電源立ち上がり検出電圧
 VPDR : POR電源立ち下がり検出電圧

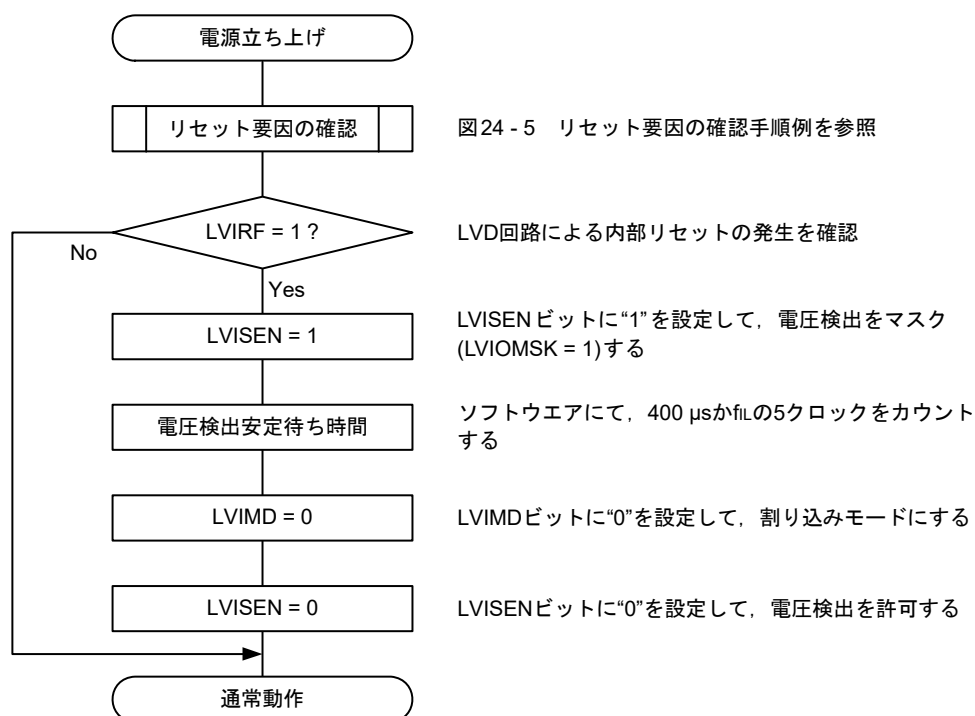
図26 - 10 動作電圧確認／リセットの設定手順



割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0)を設定した場合、LVDリセット解除後(LVIRF = 1)から400 μ sかf_{IL}の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後、LVIMDビットをクリア(0)して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は、LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図26 - 11に割り込み&リセット・モードの初期設定の設定手順を示します。

図26 - 11 割り込み&リセット・モードの初期設定の設定手順



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

26.5 電圧検出回路の注意事項

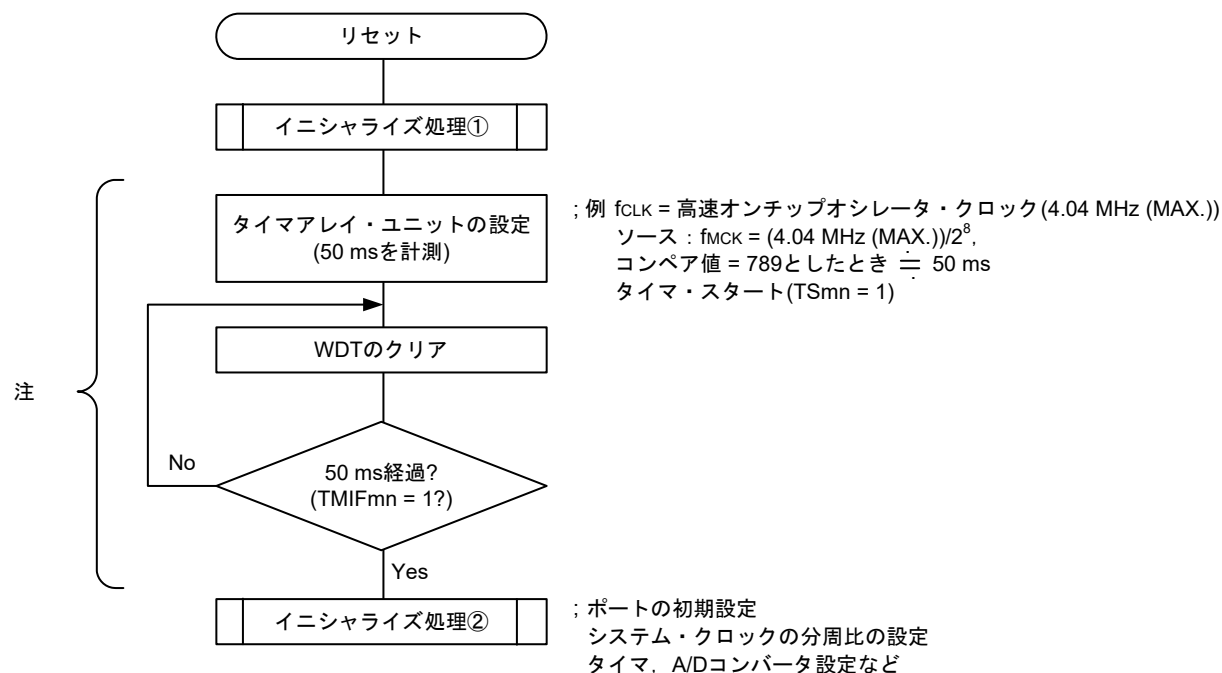
(1) 電源投入時の電圧変動について

電源電圧(VDD)がLVD検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図26 - 12 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



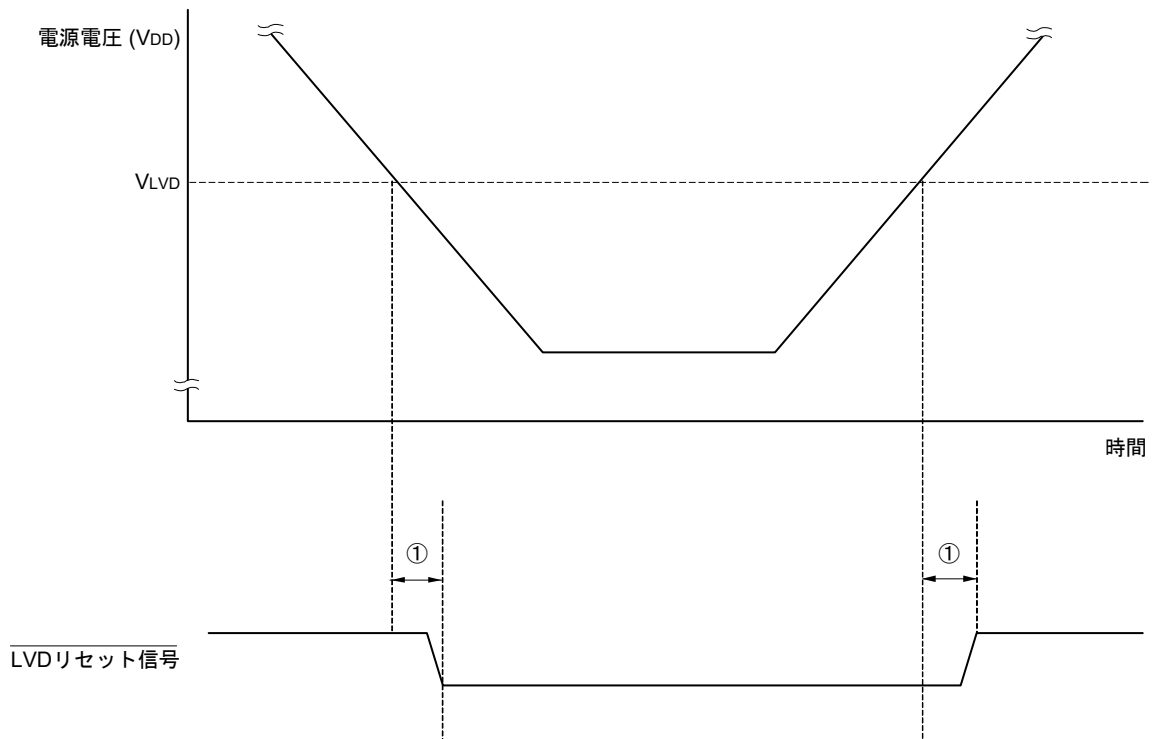
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません

備考 m = 0 n = 0-7

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧(V_{DD}) < LVD検出電圧(V_{LVD})になってから、LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧(V_{LVD}) \leq 電源電圧(V_{DD})になってから、LVDリセットが解除されるまでにも遅延が生じます(図26 - 13参照)。

図26 - 13 LVDリセット要因発生からLVDリセット発生または解除までの遅延



① : 検出遅延(300 μ s (MAX.))

(3) LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、34.4または35.4 AC特性に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は、34.4または35.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

第27章 安全機能

27.1 安全機能の概要

安全規格 IEC60730 に対応するため、RL78/L1C では以下の安全機能を搭載しています。

この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)

CRC 演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて、以下の2つのCRCを使い分けていただくことができます。

- 「高速 CRC」... 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。

- 「汎用 CRC」... CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) RAM パリティ・エラー検出機能

RAM をデータとして読み出すとき、パリティ・エラーを検出します。

(3) RAM ガード機能

CPU の暴走による RAM データの書き換えを防止します。

(4) SFR ガード機能

CPU の暴走による SFR の書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域 (メモリが存在しない、アクセスが制限されている領域) への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

(7) A/D テスト機能

A/D コンバータの+側基準電圧、一側基準電圧、アナログ入力チャネル (ANI)、温度センサ出力電圧および内部基準電圧を A/D 変換することにより、A/D コンバータの自己チェックができます。

(8) 入出力ポートのデジタル出力信号レベル検出機能

入出力ポートが出力モード (ポート・モード・レジスタ (PMm) の PMmn ビットが 0) 時に、端子の出力レベルをリードすることができます。

備考 1. $m = 0-8, 12, 14, 15$ $n = 0-7$

備考 2. 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの IEC60730/60335 セルフテスト・ライブラリアプリケーション・ノート (R01AN1062, R01AN1296) をご参照ください。

27.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
<ul style="list-style-type: none"> • フラッシュ・メモリCRC制御レジスタ (CRC0CTL) • フラッシュ・メモリCRC演算結果レジスタ (PGCRCL) 	フラッシュ・メモリCRC演算機能 (高速CRC)
<ul style="list-style-type: none"> • CRC入力レジスタ (CRCIN) • CRCデータ・レジスタ (CRCD) 	CRC演算機能 (汎用CRC)
<ul style="list-style-type: none"> • RAMパリティ・エラー制御レジスタ (RPECTL) 	RAMパリティ・エラー検出機能
<ul style="list-style-type: none"> • 不正メモリ・アクセス検出制御レジスタ (IAWCTL) 	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
<ul style="list-style-type: none"> • タイマ入力選択レジスタ0 (TIS0) 	周波数検出機能
<ul style="list-style-type: none"> • A/Dテスト・レジスタ (ADTES) 	A/Dテスト機能
<ul style="list-style-type: none"> • ポート・モード選択レジスタ (PMS) 	入出力ポートのデジタル出力信号レベル検出機能

各レジスタの内容については、27.3 安全機能の動作の中で説明します。

27.3 安全機能の動作

27.3.1 フラッシュ・メモリCRC演算機能(高速CRC)

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定(イニシャライズ)ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です(例 フラッシュ・メモリ32KB: 341 μ s@24MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

27.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0
CRC0EN	高速CRC演算器の動作制御							
0	動作停止							
1	HALT命令実行により演算開始							
FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲		
0	0	0	0	0	0	00000H-03FFBH (16K-4バイト)		
0	0	0	0	0	1	00000H-07FFBH (32K-4バイト)		
0	0	0	0	1	0	00000H-0BFFBH (48K-4バイト)		
0	0	0	0	1	1	00000H-0FFFBH (64K-4バイト)		
0	0	0	1	0	0	00000H-13FFBH (80K-4バイト)		
0	0	0	1	0	1	00000H-17FFBH (96K-4バイト)		
0	0	0	1	1	0	00000H-1BFFBH (112K-4バイト)		
0	0	0	1	1	1	00000H-1FFFBH (128K-4バイト)		
0	0	1	0	0	0	00000H-23FFBH (144K-4バイト)		
0	0	1	0	0	1	00000H-27FFBH (160K-4バイト)		
0	0	1	0	1	0	00000H-2BFFBH (176K-4バイト)		
0	0	1	0	1	1	00000H-2FFFBH (192K-4バイト)		
0	0	1	1	0	0	00000H-33FFBH (208K-4バイト)		
0	0	1	1	0	1	00000H-37FFBH (224K-4バイト)		
0	0	1	1	1	0	00000H-3BFFBH (240K-4バイト)		
0	0	1	1	1	1	00000H-3FFFBH (256K-4バイト)		
上記以外						設定禁止		

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

27.3.1.2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)のフォーマット

アドレス : F02F2H リセット時 : 0000H R/W

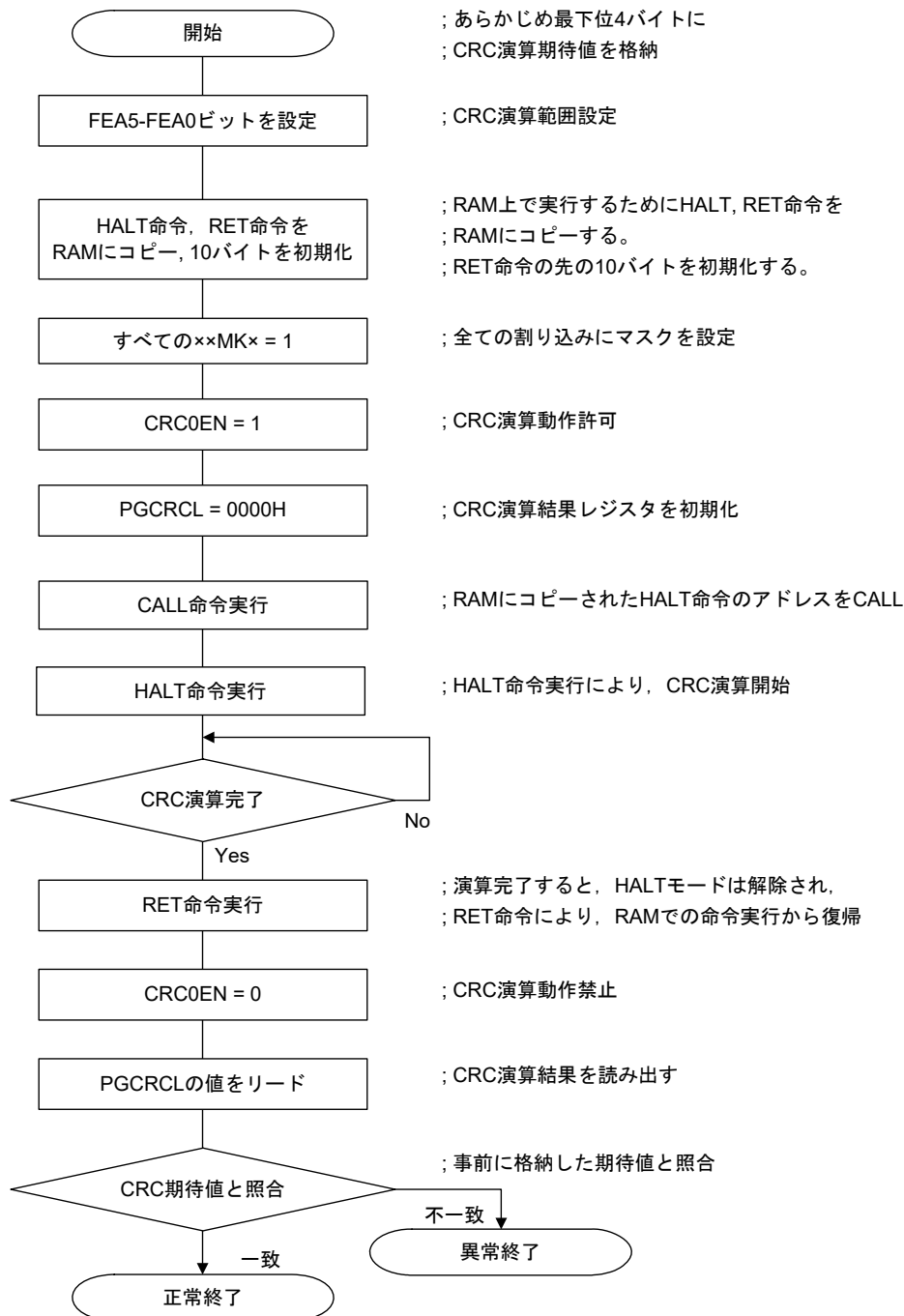
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0	高速CRC演算結果						
	0000H-FFFFH	高速CRC演算結果を格納						

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを図27-3に示します。

<動作フロー>

図27-3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュのみです。

注意2. CRC演算の期待値は、コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

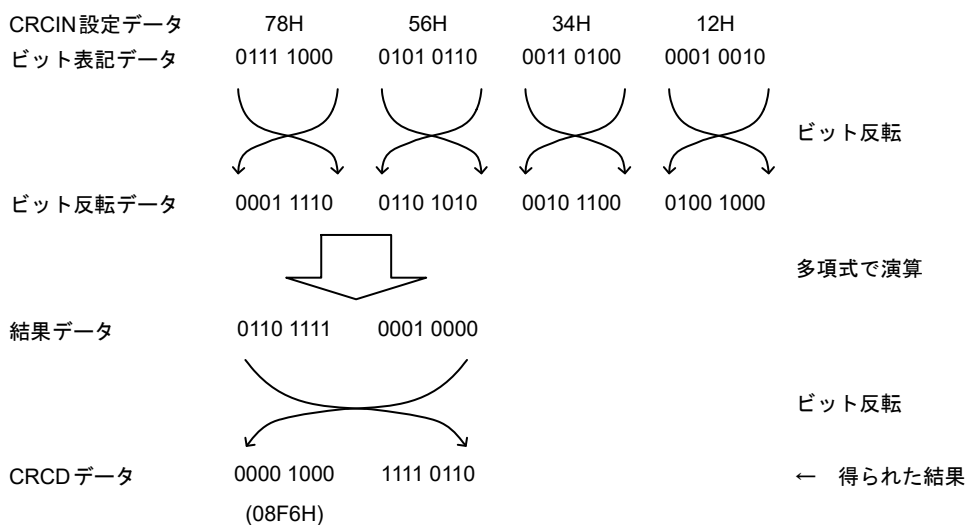
CRC演算の期待値は、総合開発環境CubeSuite+を使用して算出することができます。詳細は、CubeSuite+統合開発環境ユーザーズマニュアルを参照してください。

27.3.2 CRC演算機能(汎用CRC)

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア(ユーザ・プログラム)で指定します。HALTモード時のCRC演算機能は、DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッグはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

27.3.2.1 CRC入力レジスタ(CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-4 CRC入力レジスタ(CRCIN)のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
	ビット7-0			機能				
	00H-FFH			データ入力				

27.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

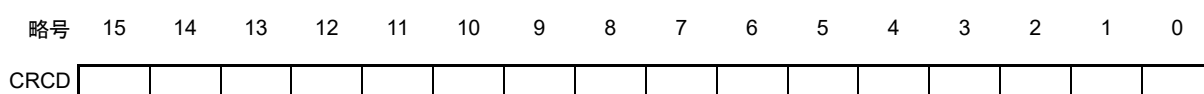
CRCINレジスタ書き込みから、CPU/周辺ハードウェア・クロック (fCLK)の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-5 CRCデータ・レジスタ (CRCD)のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

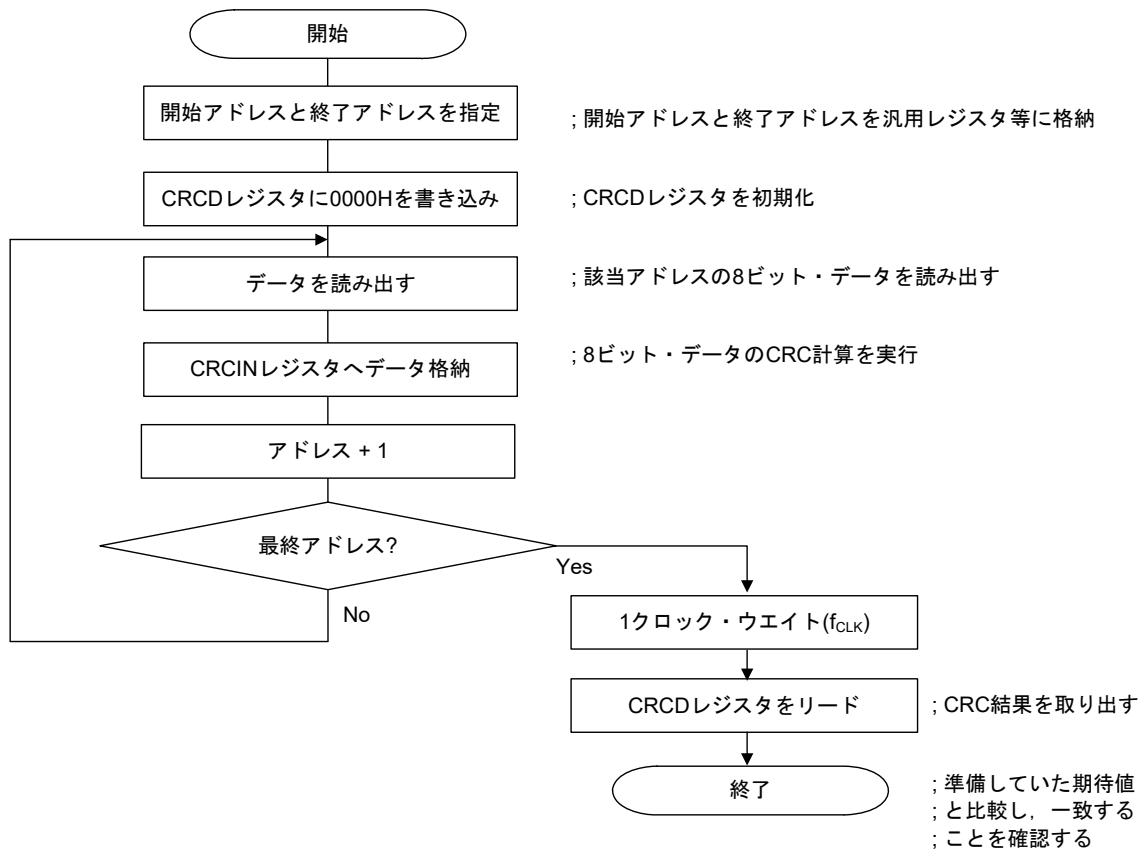


注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図27-6 CRC演算機能(汎用CRC)のフロー・チャート



27.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/L1CのRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

27.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。RPECTL レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図27-7 RAMパリティ・エラー制御レジスタ (RPECTL)のフォーマット

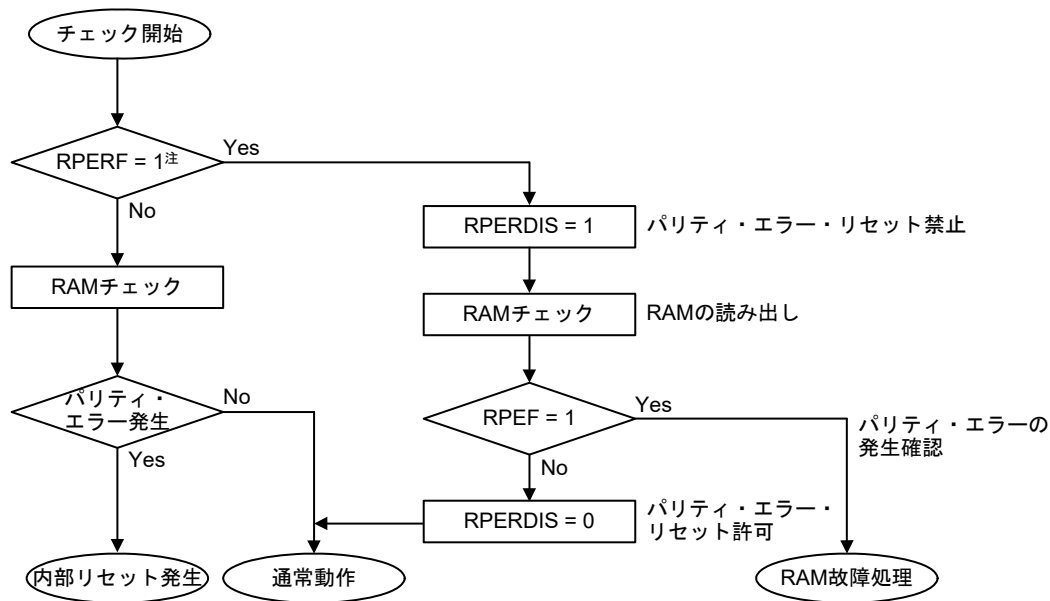
アドレス : F00F5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

- 備考1.** 初期状態では、パリティ・エラー・リセットは発生許可(RPERDIS = 0)になっています。
- 備考2.** パリティ・エラー・リセット発生禁止(RPERDIS = 1)を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット(1)されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)に設定すると、RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。
- 備考3.** RPECTLレジスタのRPEFフラグは、パリティ・エラー発生時にセット(1)され、0の書き込み、またはすべてのリセット要因によりクリア(0)されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
- 備考4.** 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図27-8 RAMパリティ・チェックのフローチャート



注 RAMパリティ・エラーによる内部リセットの確認は、第24章 リセット機能を参照してください。

27.3.4 RAMガード機能

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

27.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-9 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GRAM1	GRAM0	RAMガード空間注					
	0	0	無効。RAMへのライト可能					
	0	1	RAM先頭アドレスから128バイト					
	1	0	RAM先頭アドレスから256バイト					
	1	1	RAM先頭アドレスから512バイト					

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

27.3.5 SFRガード機能

SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

27.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GPORT ポート機能の制御レジスタのガード							
	0	無効。ポート機能の制御レジスタのリード/ライト可能。						
	1	有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIOR, PFSEGxx, ISCLCD 注						
	GINT 割り込み機能のレジスタのガード							
	0	無効。割り込み機能の制御レジスタのリード/ライト可能。						
	1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx						
	GCSC クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのガード							
	0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのリード/ライト可能。						
	1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL, DSCCTL						

注 Pxx (ポート・レジスタ), TOS (タイマ出力選択レジスタ)はガードされません。

27.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図27-11で「NG」と記載した範囲になります。

図27-11 不正アクセス検出空間

アドレス	機能	アクセス可否		命令フェッチ (実行)
		読み出し	書き込み	
FFFFFH	特殊機能レジスタ (SFR) 256 バイト	OK	OK	NG
FFF00H				NG
FFEF0H	汎用レジスタ 32バイト	OK	OK	OK
FFEDFH				OK
zzzzzH	RAM ^注	OK	OK	OK
zzzzzH				OK
~	Mirror	OK	NG	NG
~	データ・フラッシュ・メモリ	OK	NG	NG
F1000H	使用不可	OK	OK	OK
F0FFFH				OK
F0800H	特殊機能レジスタ (2nd SFR) 2 K バイト	OK	OK	NG
F07FFH				NG
F0000H	使用不可	NG	NG	OK
EF000H				NG
~	使用不可	NG	NG	NG
~	使用不可	NG	NG	NG
yyyyyH	コード・フラッシュ・メモリ ^注	OK	OK	OK
xxxxxH				OK
00000H	コード・フラッシュ・メモリ ^注	OK	OK	OK

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEF0H)	読み出し/命令フェッチ (実行)時 の検出最下位アドレス (yyyyyH)
R5F110xE, R5F111xE (x = M, N, P)	65536 × 8 ビット (00000H-0FFFFH)	8192 × 8 ビット (FDF00H-FFEF0H)	10000H
R5F110xF, R5F111xF (x = M, N, P)	98304 × 8 ビット (00000H-1FFFFH)	10240 × 8 ビット (FD700H-FFEF0H)	20000H
R5F110xG, R5F111xG (x = M, N, P)	131072 × 8 ビット (00000H-1FFFFH)	12288 × 8 ビット (FCF00H-FFEF0H)	20000H
R5F110xH, R5F111xH (x = M, N, P)	196608 × 8 ビット (00000H-2FFFFH)	16384 × 8 ビット (FBF00H-FFEF0H)	30000H
R5F110xJ, R5F111xJ (x = M, N, P)	262144 × 8 ビット (00000H-3FFFFH)	16384 × 8 ビット (FBF00H-FFEF0H)	40000H

27.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWENビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 12 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
IAWEN ^注	不正メモリ・アクセスの検出制御							
0	不正メモリ・アクセスの検出無効							
1	不正メモリ・アクセスの検出有効							

注 IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイト(000C0H)のWDTON = 1 (ウォッチドッグ・タイマ動作許可)のとき、IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

27.3.7 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能では、CPU/周辺ハードウェア・クロック周波数(fCLK)を使用して、タイマ・アレイ・ユニット(TAU)のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロック、もしくは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

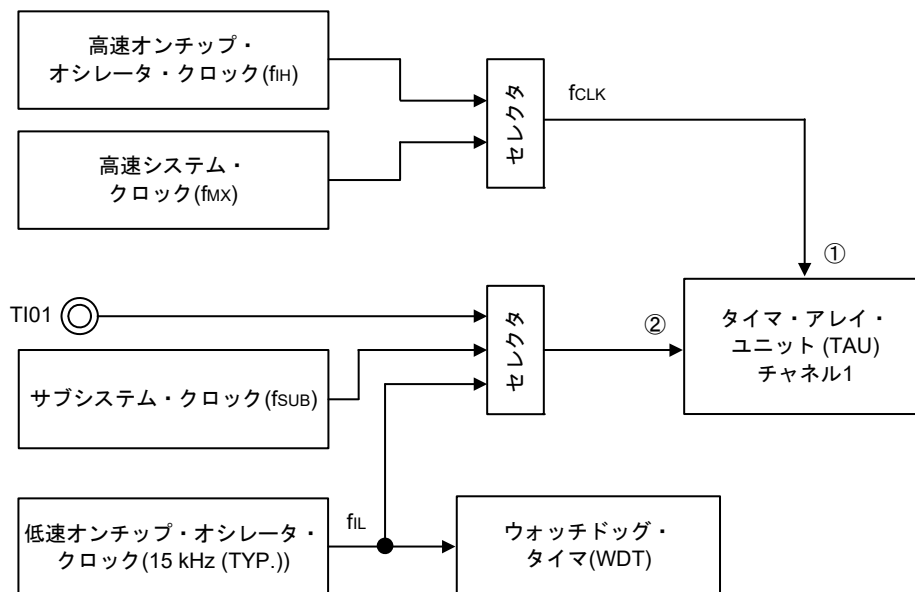
①CPU/周辺ハードウェア・クロック周波数(fCLK) :

- ・高速オンチップ・オシレータ・クロック (fiH)
- ・高速システム・クロック (fMX)

②タイマ・アレイ・ユニットのチャンネル1入力 :

- ・チャンネル1のタイマ入力(TI01)
- ・低速オンチップ・オシレータ・クロック (fiL : 15 kHz (TYP.))
- ・サブシステム・クロック (fSUB)

図 27 - 13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。入力パルス間隔測定の方法については、6.8.3 入力パルス間隔測定としての動作を参照してください。

27.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0 (TAU0)のチャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 14 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00
TIS04	チャンネル0で使用するタイマ入力の選択							
0	タイマ入力端子(TI00)の入力信号							
1	ELCからのイベント入力信号							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子(TI01)の入力信号					
0	1	0						
0	1	1						
0	0	1	ELCからのイベント入力信号					
1	0	0	低速オンチップ・オシレータ・クロック (fIL)					
1	0	1	サブシステム・クロック (fSUB)					
上記以外			設定禁止					

27.3.8 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル(ANI)、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能(A/Dテスト)アプリケーションノート(R01AN0955)を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

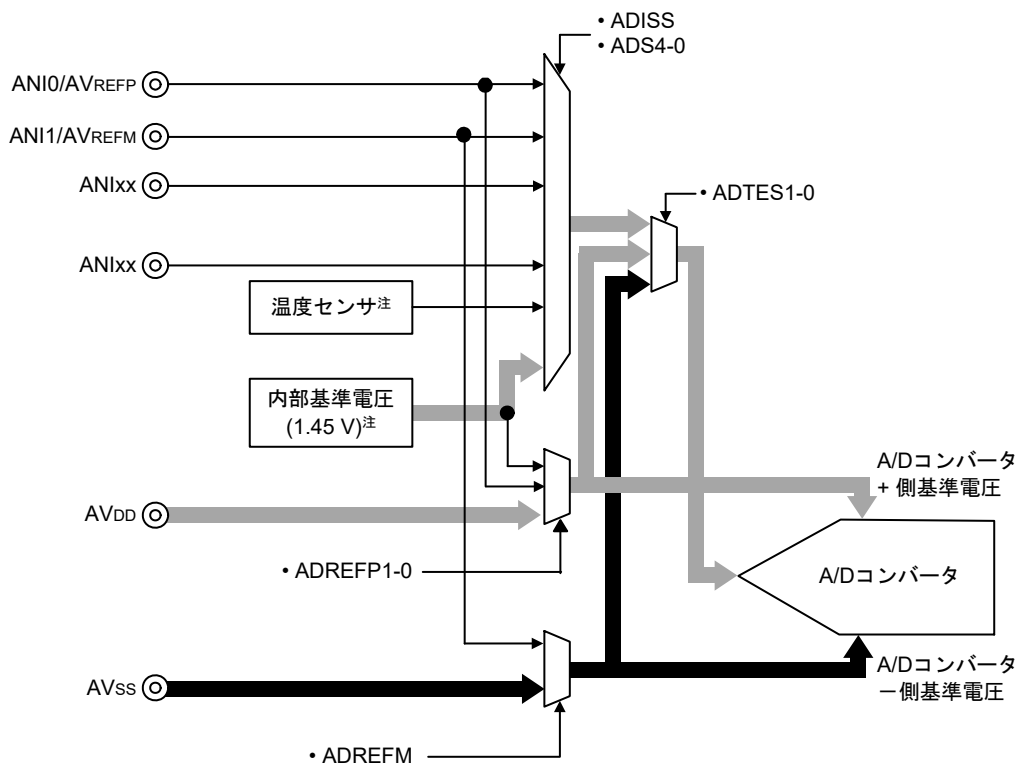
- ① ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ② ANix端子のA/D変換を行う(変換結果1-1)。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの対象に-側基準電圧を選択(ADTES1, ADTES0 = 1, 0)
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う(変換結果2-1)。
- ⑤ ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑥ ANix端子のA/D変換を行う(変換結果1-2)。
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択(ADTES1, ADTES0 = 1, 1)
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う(変換結果2-2)。
- ⑨ ADTESレジスタでA/D変換対象にANix端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑩ ANix端子のA/D変換を行う(変換結果1-3)
- ⑪ 「変換結果1-1」=「変換結果1-2」=「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0、「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図27 - 15 A/Dテスト機能の構成



注 HS (高速メイン)モードでのみ選択可能です。

27.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANLxx)温度センサ出力電圧、内部基準電圧(1.45V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図27 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANLxx/温度センサ出力電圧注/内部基準電圧出力(1.45 V)注 (アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	-側の基準電圧(ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 温度センサ出力電圧、内部基準電圧(1.45 V)は、HS (高速メイン)モードでのみ選択可能です。

27.3.8.2 アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

A/Dテスト機能で ANI_{xx}/温度センサ出力電圧/内部基準電圧(1.45 V)を測定するときは、A/Dテスト・レジスタ (ADTES)を00Hに設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-17 アナログ入力チャンネル指定レジスタ (ADS)のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0
-----	-------	---	---	------	------	------	------	------

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P150/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P151/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P152/ANI2 端子
0	0	0	0	1	1	ANI3	P153/ANI3 端子
0	0	0	1	0	0	ANI4	P154/ANI4 端子
0	0	0	1	0	1	ANI5	P155/ANI5 端子
0	0	0	1	1	0	ANI6	P156/ANI6 端子
0	1	0	0	0	0	ANI16	P140/ANI16 端子
0	1	0	0	0	1	ANI17	P141/ANI17 端子
0	1	0	0	1	0	ANI18	P142/ANI18 端子
0	1	0	0	1	1	ANI19	P143/ANI19 端子
0	1	0	1	0	0	ANI20	P20/ANI20 端子
0	1	0	1	0	1	ANI21	P21/ANI21 端子
1	0	0	0	0	0	—	温度センサ出力電圧注
1	0	0	0	0	1	—	内部基準電圧出力 (1.45 V)注
上記以外						設定禁止	

注 HS (高速メイン)モードでのみ選択可能です。

注意1. ビット5, 6には必ず0を設定してください。

注意2. ADPC,PMC レジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ 2,14,15 (PM2, PM14, PM15) で入力モードに選択してください。

注意3. A/Dポート・コンフィギュレーション・レジスタ (ADPC)でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。

注意4. ポート・モード・コントロール・レジスタ 2,14 (PMC2, PMC14)でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。

注意5. ADISSビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0)のときに行ってください。

注意6. AVREFPをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャンネルとして選択しないでください。

注意7. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャンネルとして選択しないでください。

注意8. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧(1.45 V)は使用できません。
また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、12.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定を参照してください。

注意9. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、34.3.2または35.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(IADREF)の電流値が加算されます。

27.3.9 入出力ポートのデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力ポートのデジタル出力信号レベル検出機能では、ポートが出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、端子のデジタル出力レベルをリードすることができます。

27.3.9.1 ポート・モード選択レジスタ(PMS)

ポートが出力モード(ポート・モード・レジスタ(PMm)のPMmnビットが0)時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-18 ポート・モード選択レジスタ(PMS)のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	ポートが出力モード時(PMmn = 0)にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

注意1. PMS0ビットを"1"に設定してポート・レジスタ(Pmレジスタ)を書き換える場合は、8ビット・メモリ操作命令のみ使用してください。

注意2. P60, P61は汎用ポートとして使用する場合、PMS0による端子の出力レベルのリードはできません(ただし、P60, P61はPER0レジスタのIICA0ENビットを"1"にした場合にのみ、PMS0ビットによる端子のデジタル出力レベルのリードが可能です)。

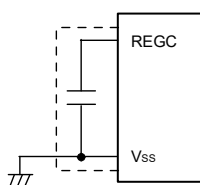
備考 m = 0-8, 12, 14, 15
n = 0-7

第28章 レギュレータ

28.1 レギュレータの概要

RL78/L1Cは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、表28-1のようになります。



注意 上図の破線部分の配線を極力短くしてください。

表28-1 レギュレータ出力電圧条件

モード	出力電圧	条件
LV (低電圧メイン)モード	1.8 V	—
LS (低速メイン)モード		—
HS (高速メイン)モード	1.8 V	STOPモード時
		サブシステム・クロック (f _{SUB})でCPU動作中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{HOCO})が共に停止
	サブシステム・クロック (f _{SUB})でCPU動作設定時のHALTモード中で、高速システム・クロック (f _{MX})と高速オンチップ・オシレータ・クロック (f _{HOCO})が共に停止	
	2.1 V	上記以外(オンチップ・デバッグ中を含む) ^注

注 オンチップ・デバッグ中に、サブシステム・クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1 Vを継続します(1.8 Vにはなりません)。

第29章 オプション・バイト

29.1 オプション・バイトの機能

RL78/L1Cのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト(000C0H-000C2H)とオンチップ・デバッグ・オプション・バイト(000C3H)で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

29.1.1 ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可/禁止
 - ・HALT/STOPモード時のカウンタの動作可能/停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - ・インターバル割り込みを使用する/使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

- LVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ($\overline{\text{RESET}}$ 端子による外部リセットを使用)
- LVD検出レベル(VLVDH, VLVDL, VLVD)の設定

注意1. 電源立ち上がり時は、34.4または35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H /010C2H)の設定により変わります。

注意2. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

- フラッシュの動作モード設定
使用するメイン・システム・クロック周波数 (fMAIN)、電源電圧 (VDD) に応じて設定。
 - ・LV (低電圧メイン)モード
 - ・LS (低速メイン)モード
 - ・HS (高速メイン)モード
- 高速オンチップ・オシレータの周波数設定
 - ・48 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz(TYP.)から選択

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

29.1.2 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)

- オンチップ・デバッグ動作制御
 - ・オンチップ・デバッグ動作禁止/許可
- セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理
 - ・オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

29.2 ユーザ・オプション・バイトのフォーマット

図29-1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット

アドレス : 000C0H/010C0H^{注1}

略号	7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON	
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用							
0	インターバル割り込みを使用しない							
1	オーバフロー時間の75% + 1/2f _{IL} 到達時にインターバル割り込みを発生する							
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}						
0	0	設定禁止						
0	1	50%						
1	0	75% ^{注3}						
1	1	100%						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御							
0	カウンタ動作禁止(リセット解除後, カウント停止)							
1	カウンタ動作許可(リセット解除後, カウント開始)							
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)					
0	0	0	2 ⁹ /f _{IL} (3.71 ms)					
0	0	1	2 ⁷ /f _{IL} (7.42 ms)					
0	1	0	2 ⁸ /f _{IL} (14.84 ms)					
0	1	1	2 ⁹ /f _{IL} (29.68 ms)					
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)					
1	0	1	2 ¹³ /f _{IL} (474.89 ms)					
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)					
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)					
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)							
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}							
1	HALT/STOPモード時, カウンタ動作許可							

注1. ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

注2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値に関係なく、ウインドウ・オープン期間100%となります。

注3. ウインドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア(WDTEへのACHの書き込み)を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ(WDTIIF)を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 17.25 \text{ kHz (MAX.)}$ の場合)	ウインドウ・オープン期間を75%に設定した 時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms ~ 2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms ~ 5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms ~ 10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms ~ 20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms ~ 80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms ~ 321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms ~ 642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms ~ 2570.04 ms

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図29-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H注

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V		0			1			
—			上記以外は設定禁止						

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値								
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定			
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0		
1.67 V	1.63 V	0	0	0	1	1	1	1		
1.77 V	1.73 V				1	0				
1.88 V	1.84 V				0	1			1	1
1.98 V	1.94 V				1	0			1	0
2.09 V	2.04 V		1	0	0	1				
2.50 V	2.45 V				1	1				
2.61 V	2.55 V				1	0				
2.71 V	2.65 V				0	1				
2.81 V	2.75 V		1	1	1	1				
2.92 V	2.86 V				1	0				
3.02 V	2.96 V				0	1				
3.13 V	3.06 V				0	0				
—		上記以外は設定禁止								

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出検圧はTYP.値です。詳細は、34.6.6また35.6.6 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図29-3 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H注

7 6 5 4 3 2 1 0

VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0
-------	-------	-------	---	-------	-------	---------	---------

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値								
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定			
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0		
1.67 V	1.63 V	0	0	0	1	1	0	1		
1.77 V	1.73 V				1	0				
1.88 V	1.84 V				0	1			1	1
1.98 V	1.94 V								1	0
2.09 V	2.04 V								0	1
2.50 V	2.45 V	1	0	1	1	0	1			
2.61 V	2.55 V			1	0					
2.71 V	2.65 V			0	1					
2.81 V	2.75 V	1	1	1	1	0	1			
2.92 V	2.86 V			1	0					
3.02 V	2.96 V			0	1					
3.13 V	3.06 V	0	1	0	0	—	—			
—	—	上記以外は設定禁止								

• LVDオフ(RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	x	x	x	x	x	1
—	—	上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、34.4または35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立下り時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. x : don't care

備考2. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考3. 検出電圧TYP.値です。詳細は、34.6.6または35.6.6 LVD回路特性を参照してください。

図29-4 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス : 000C2H/010C2H^{注1}

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
CMODE1	CMODE0	フラッシュの動作モード設定			高速オンチップオシレータ・クロックの周波数		
					動作周波数範囲 (fMAIN)	動作電圧範囲 (VDD)	
0	0	LV (低電圧メイン)モード			1 MHz~4 MHz	1.6 V~3.6 V	
1	0	LS (低速メイン)モード			1 MHz~8 MHz	1.8 V~3.6 V	
1	1	HS (高速メイン)モード			1 MHz~16 MHz	2.4 V~3.6 V	
					1 MHz~24 MHz	2.7 V~3.6 V	
上記以外		設定禁止					
FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロックの周波数		
					fHOCO	fIH	
1	0	0	0	0	48 MHz ^{注3}	24 MHz/12 MHz/ 6 MHz ^{注2}	
0	0	0	0	0	24 MHz	24 MHz	
0	1	0	0	1	16 MHz	16 MHz	
0	0	0	0	1	12 MHz	12 MHz	
0	1	0	1	0	8 MHz	8 MHz	
0	0	0	1	0	6 MHz	6 MHz	
0	1	0	1	1	4 MHz	4 MHz	
0	0	0	1	1	3 MHz	3 MHz	
0	1	1	0	0	2 MHz	2 MHz	
0	1	1	0	1	1 MHz	1 MHz	
上記以外					設定禁止		

- 注1. ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。
- 注2. fIH分周の設定はMCKCレジスタを参照してください。
- 注3. 高速オンチップ・オシレータ・クロック (fHOCO)でUSB/ファンクションコントローラを動作させる際は、必ずfHOCO = 48 MHzを設定してください。

29.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図29-5 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)のフォーマット

アドレス : 000C3H/010C3H注

略号	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去しない						

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD)のみ、値を指定できます。
ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値(0, 1, 0)を設定してください。

29.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	1AH	;VLVDLに1.63 Vを選択 ;VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB	2DH	;フラッシュの動作モードにLV (低電圧メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	;ウォッチドッグ・タイマのインターバル割り込みを使用しない, ;ウォッチドッグ・タイマ動作許可, ;ウォッチドッグ・タイマのウインドウ・オープン期間50%, ;ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ;HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		1AH	;VLVDLに1.63 Vを選択 ;VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択 ;LVDの動作モードに割り込み&リセット・モードを選択
	DB		2DH	;フラッシュの動作モードにLV (低電圧メイン)モード, 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB		85H	;オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ;フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第30章 フラッシュ・メモリ

RL78マイクロコントローラは、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス(UART通信)によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング(30.4参照)

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みできます。

- 外部デバイス(UART通信)によるシリアル・プログラミング(30.2参照)

外部デバイス(マイコンやASIC)とのUART通信を使用してオンボードで書き込みができます。

- セルフ・プログラミング(30.6参照)

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリを自己書き換えができます。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます(バックグラント・オペレーション)。データ・フラッシュへのアクセスや書き込みについては、30.8 データ・フラッシュを参照してください。

30.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6, FL-PR6
- E1, E2, E2 Lite, E20オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ(FAシリーズ)などでフラッシュ・メモリに書き込みます。

備考 FL-PR6, FAシリーズは、(株)内藤電誠町田製作所の製品です。

表 30 - 1 RL78/L1Cと専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラム接続端子				端子名	ピン番号		
信号名		入出力	端子機能		80ピン	85ピン	100ピン
PG-FP6, FL-PR6	E1, E2, E2 Lite, E20オン チップデバグgingエ ミュレータ						LQFP (12 × 12)
—	TOOL0	入出力	送受信信号	TOOL0/ P40	9	E8	12
SI/RxD	—	入出力	送受信信号				
—	RESET	出力	リセット信号	RESET	10	F9	13
/RESET	—	出力					
VDD		入出力	VDD 電圧生成/電源監視	VDD	18	C10	21, 90
GND		—	グランド	VSS	17	F10	20, 91
				REGC注	16	D9	19
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD	18	C10	21, 90

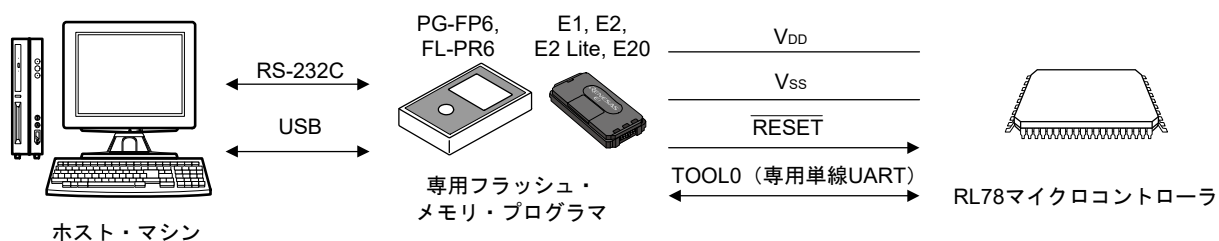
注 REGC端子はコンデンサ(0.47~1 μF)を介してグランドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラムによるプログラミング時にはオープンで構いません。

30.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

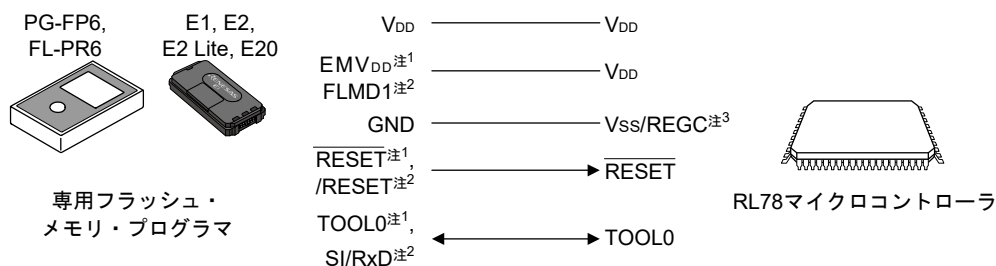
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。

30.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図30-2 専用フラッシュ・メモリ・プログラマとの通信



注1. E1, E2, E2 Lite, E20オンチップデバッグエミュレータ使用時。

注2. PG-FP6, FL-PR6使用時。

注3. REGC端子はコンデンサ(0.47~1 μF)を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP6, FL-PR6またはE1, E2, E2 Lite, E20 オンチップデバッグエミュレータの各マニュアルを参照してください。

表30 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ		RL78マイクロコントローラ		
信号名		入出力	端子機能	端子名注2
PG-FP6, FL-PR6	E1, E2, E2 Lite, E20 オンチップデバッグエミュレータ			
VDD		入出力	VDD 電圧生成／電圧監視	VDD
GND		—	グラウンド	Vss, REGC注1
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD
/RESET	—	出力	リセット信号	$\overline{\text{RESET}}$
—	RESET	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. REGC端子はコンデンサ(0.47～1 μF)を介してグラウンドに接続してください。

注2. 接続先端子は、製品によって異なります。詳細は、表30 - 1を参照してください。

30.2 外部デバイス(UART内蔵)によるシリアル・プログラミング

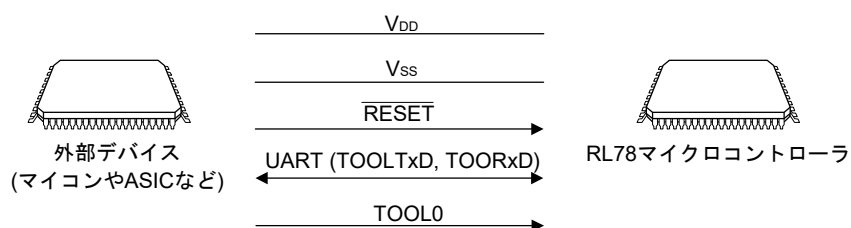
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス(マイコンやASIC)を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラムの開発については、RL78マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

30.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30-3 フラッシュ・メモリにプログラムを書き込むための環境

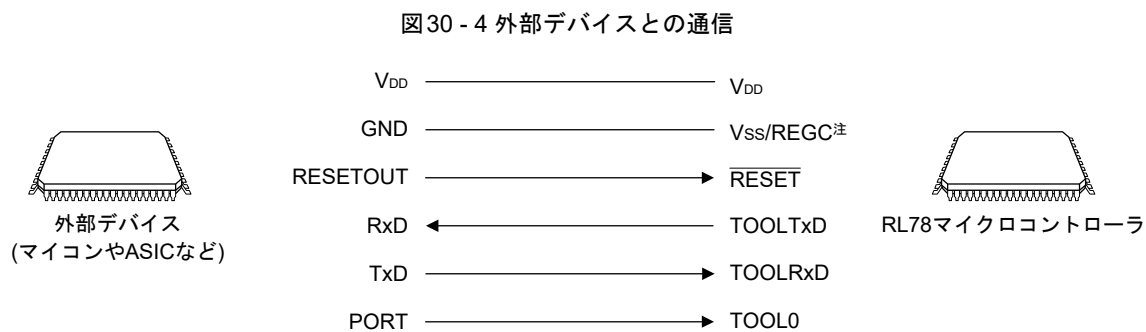


外部デバイスからRL78マイクロコントローラに書き込み/消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

30.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps



注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表30 - 3 端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD電圧生成／電圧監視	VDD
GND	—	グラウンド	Vss, REGC注
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注 REGC端子はコンデンサ(0.47~1 μ F)を介してグラウンドに接続してください。

30.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、30.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

30.3.1 P40/TOOL0 端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 kΩの抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合は、以下の方法で使用してください。

入力時： 端子リセット解除時からtHDの期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

出力時： プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

備考1. tHD：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。34.12または35.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

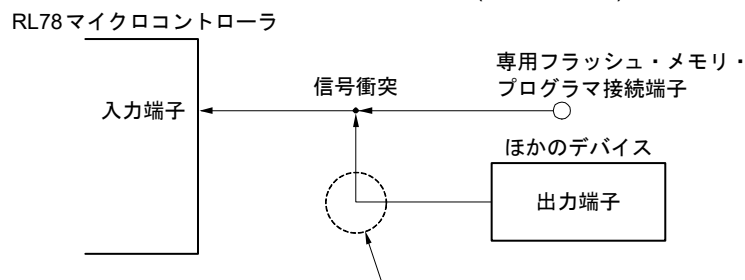
備考2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子)を使用するので、SAUやIICAの端子は使用しません。

30.3.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図30-5 信号の衝突 (RESET 端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

30.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してVDDに接続するか、もしくは抵抗を介してVSSに接続するなどの端子処理が必要です。

30.3.4 REGC 端子

REGC 端子は、通常動作時と同様に、特性の良いコンデンサ(0.47~1 μF)を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

30.3.5 X1, X2 端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック (fHOCO) を使用します。

30.3.6 電源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、VDD 端子はフラッシュ・メモリ・プログラマのVDDに、VSS端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

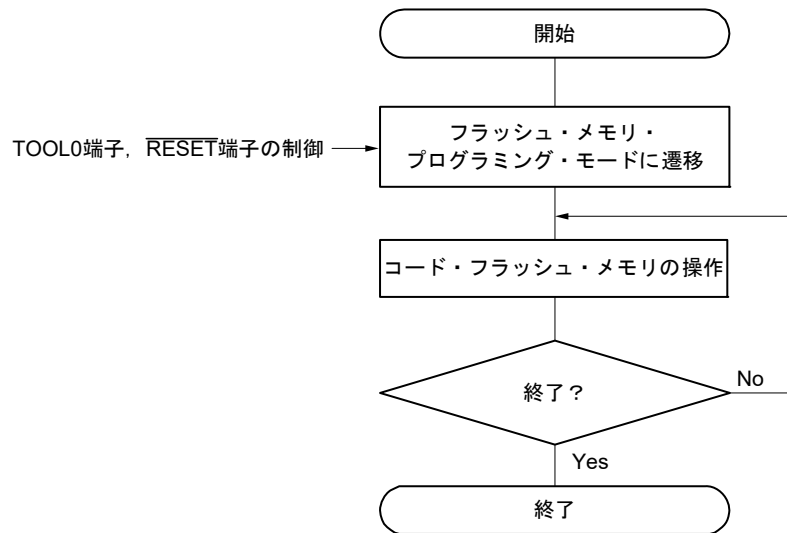
ただしフラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、VDD, VSS端子はフラッシュ・メモリ・プログラマのVDD, GNDと必ず接続してください。

30.4 シリアル・プログラミング方法

30.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図30-6 コード・フラッシュ・メモリの操作手順



30.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

<専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合>

RL78 マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

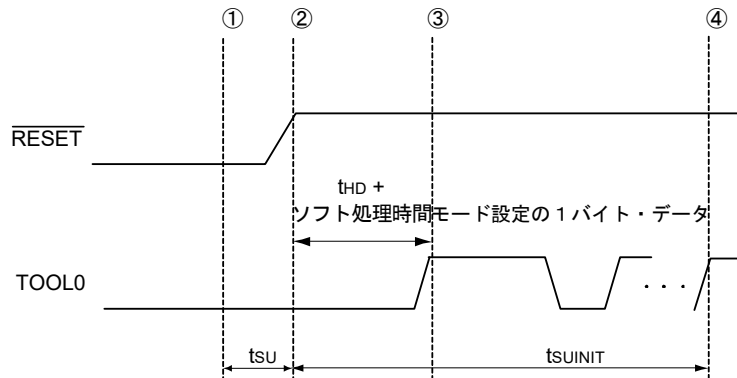
<外部デバイス(UART通信)を使用してシリアル・プログラミングする場合>

TOOL0端子をロウ・レベルに設定後、リセットを解除します(表30-4参照)。その後、図30-7に示す①~④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78 マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表30-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図30-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 端子リセットを解除(その前にPOR, LVDリセットは解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるポー・レート設定完了

備考 tsuINIT : この区間では、リセット解除から 100 ms 以内に初期設定通信を完了してください。
 tsu : TOOL0端子をロウ・レベルにしてから、端子リセットを解除するまでの時間
 tHD : 外部/内部リセット解除から、TOOL0 端子レベルをロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)

詳細は、34.12または35.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコン供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラミングを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表30-5 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

電源電圧(VDD)	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ・書き換えモード
	フラッシュ動作モード	動作周波数	
$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	ブランク状態		フルスピード・モード
	HS(高速メイン)モード	1 MHz~24 MHz	フルスピード・モード
	LS(低速メイン)モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
	LV(低電圧メイン)モード	1 MHz~4 MHz	ワイド・ボルテージ・モード
$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	ブランク状態		フルスピード・モード
	HS(高速メイン)モード	1 MHz~16 MHz	フルスピード・モード
	LS(低速メイン)モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
	LV(低電圧メイン)モード	1 MHz~4 MHz	ワイド・ボルテージ・モード
$1.8\text{ V} \leq V_{DD} < 2.4\text{ V}$	ブランク状態		ワイド・ボルテージ・モード
	LS(低速メイン)モード	1 MHz~8 MHz	ワイド・ボルテージ・モード
	LV(低電圧メイン)モード	1 MHz~4 MHz	ワイド・ボルテージ・モード

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

備考2. 通信コマンドの詳細は、30.4.4 通信コマンドを参照してください。

30.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表 30 - 6 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線 UART (フラッシュ・メモリ・ プログラマ使用時、また は外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用 UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

30.4.4 通信コマンド

RL78マイクロコントローラは、表 30 - 7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78マイクロコントローラ (RL78プロトコルA) プラグラマ編アプリケーション・ノート (R01AN0815) を参照してください。

表 30 - 7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。注
情報取得	Silicon Signature	RL78マイクロコントローラ情報(品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど)を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドが実行されると、情報(品名, ファームウェア・バージョン)を取得することができます。

表30-8 シグネチャ・データ一覧, 表30-9 シグネチャ・データ例を示します。

表30-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名(ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-0FFFFH (64 KB) → FFH, FFH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F2FFFH (8 KB) → FFH, 2FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表30-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ(16進数)
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F110PE	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 31 = “1” 30 = “0” 50 = “P” 45 = “E” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-0FFFFH (64 KB)	3バイト	FF FF 00
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F2FFFH (8 KB)	3バイト	FF 2F 0F
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

30.5 PG-FP6使用時の各コマンド処理時間(参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP6を使用した場合の各コマンド処理時間(参考値)を次に示します。

表 30 - 10 PG-FP6使用時の各コマンド処理時間(参考値)

PG-FP6のコマンド	コード・フラッシュ				
	64 Kバイト	96 Kバイト	128 Kバイト	192 Kバイト	256 Kバイト
消去	1.5 s	1.5 s	2 s	2 s	2.5 s
書き込み	2.3 s	2.7 s	3.2 s	4.6 s	5.5 s
ベリファイ	2 s	3 s	3.5 s	4.5 s	5.5 s
消去後、書き込み	3 s	4 s	4.5 s	6.5 s	8 s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port : TOOL0 (単線UART)

Speed : 1,000,000 bps

Mode : フルスピード・モード(フラッシュ動作モード : HS (高速メイン)モード)

30.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、セルフ・プログラミング・ライブラリを実行してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作(HIOSTOP = 0)させ、30 μ s 経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1. セルフ・プログラミング機能の詳細は、RL78 マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル(R01US0050)を参照してください。

備考2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト 000C2H の CMODE1, CMODE0 設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS(高速メイン)モード設定時はフルスピード・モードに、LS(低速メイン)モードおよびLV(低電圧メイン)モード設定時はワイド・ボルテージ・モードに設定してください。

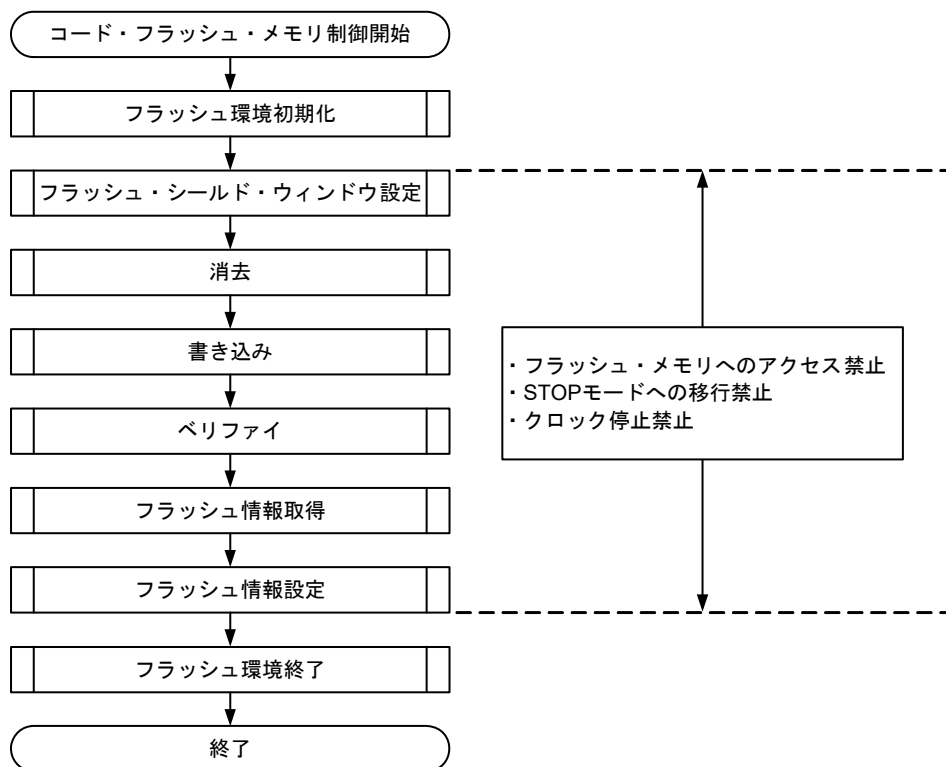
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み/消去/ベリファイを行ううえで制限事項はありません。

30.6.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図30-8 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ



30.6.2 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

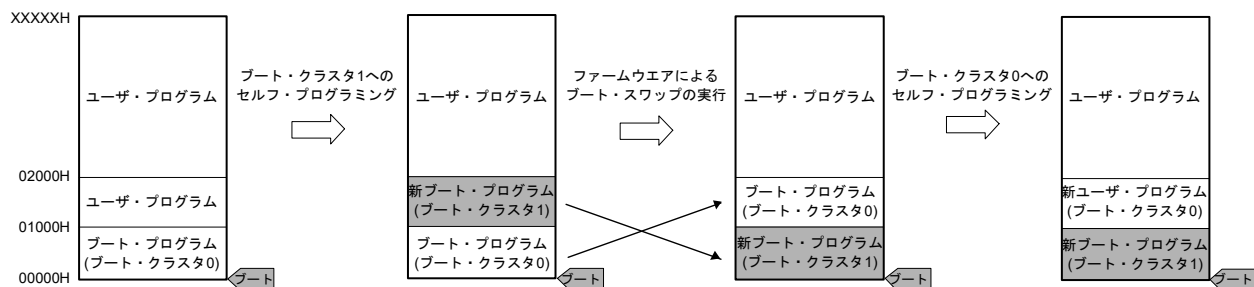
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート領域であるブート・クラスタ0注の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4 Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図30-9 ブート・スワップ機能

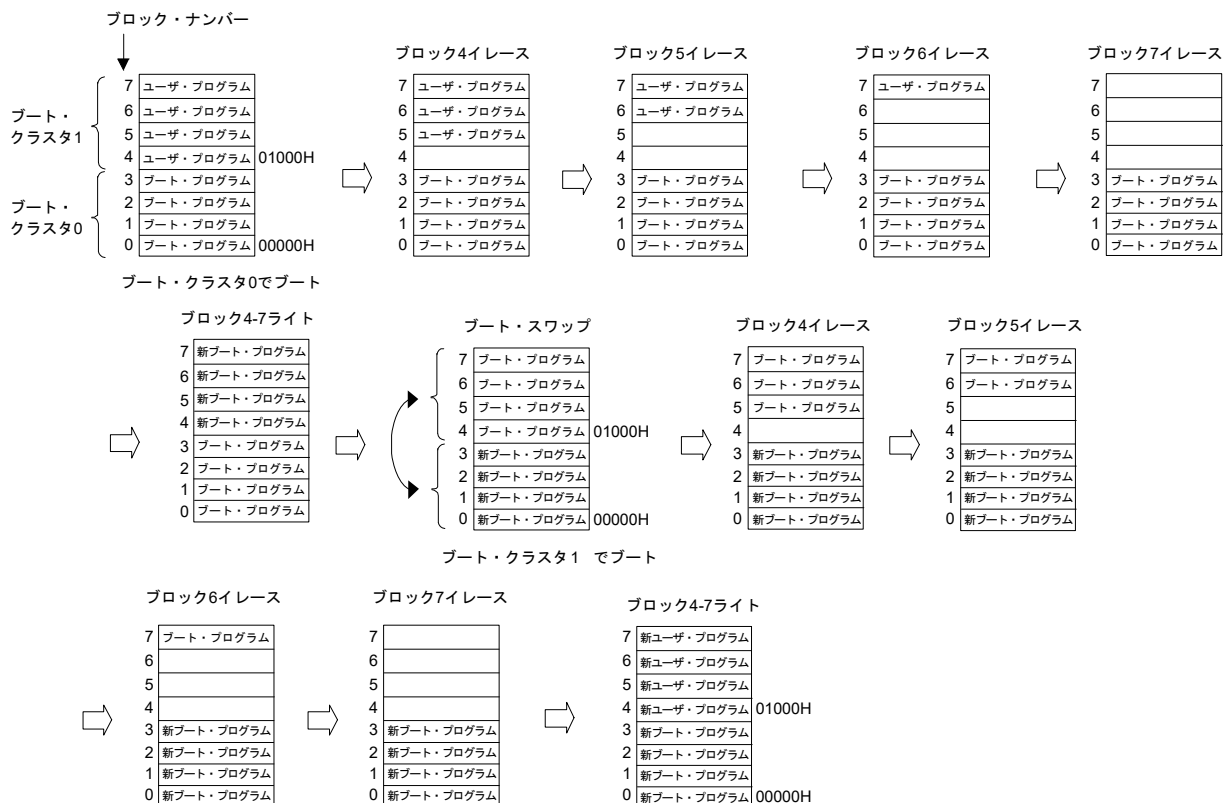


この図の例では、次のようになっています。

ブート・クラスタ0：ブート・スワップ前のブート領域です。

ブート・クラスタ1：ブート・スワップ後のブート領域です。

図30-10 ブート・スワップの実行例



30.7 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Set コマンドを使用することにより、次の操作をすることができます。

- ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

シリアル・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止に設定後、Security Release コマンドによる解除はリセットで有効になります。

- ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 30-12 に示します。

注意 ただし、専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は30.6.3を参照)。

表 30 - 12 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は30.6.3を参照)。

表 30 - 13 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 “書き込み禁止”設定の解除は、“ブロック消去禁止”、“ブート・クラスタ0の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域およびデータ・フラッシュ領域がブランクの場合のみ可能です。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない(シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマのGUI上などで設定する)
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

30.8 データ・フラッシュ

30.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、RL78ファミリ データ・フラッシュ・ライブラリ ユーザーズ・マニュアルを参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行が可能
(バックグラウンド・オペレーション(BGO)対応)
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中(セルフ・プログラミング時)に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を必ず設定してください。

注意2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、30 μ s 経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、30.6セルフ・プログラミングを参照してください。

30.8.2 データ・フラッシュを制御するレジスタ

30.8.2.1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図30-12 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

30.8.3 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには、以下の手順で初期設定を行う必要があります。

初期設定後は、CPU命令による読み出し、またはデータ・フラッシュ・ライブラリによる読み出し／書き換えが可能です。

①データ・フラッシュ・コントロール・レジスタ (DFLCTL) のビット0 (DFLEN) に“1”を設定する。

②ソフトウェア・タイマなどでセットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。

<各フラッシュの動作モードでのセットアップ時間>

- HS (高速メイン) モード時 : 5 μ s
- LS (低速メイン) モード時 : 720 ns
- LV (低電圧メイン) モード時 : 10 μ s

③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、30 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

注意4. CPU／周辺ハードウェア・クロック周波数にサブシステム・クロックを選択した状態 (CLS = 1) でデータ・フラッシュを読み出した場合は、CPU／周辺ハードウェア・クロックをサブシステム・ク

ロックからメイン・システム・クロックに切り替え後、最初にデータ・フラッシュを読み出すときは以下の(1)~(3)の手順で読み出してください。

- (1) メイン・システム・クロックに切り替わったこと (CLS = 0) 確認します。
- (2) 次に任意のデータ・フラッシュを読み出します。(読み出し値は不正)
- (3) 最後に各動作モードに応じて、以下時間経過後に読み出しを行ってください。

HS (高速メイン) モード : 5 μ s

LS (低速メイン) モード : 1 μ s

LV (低電圧メイン) モード : 10 μ s

初期設定後は、CPU 命令による読み出し、またはデータ・フラッシュ・ライブラリによる読み出し/書き換えが可能です。

ただし、データ・フラッシュ・アクセス時に DMA コントローラが動作する場合は、次のいずれかの手順に従って実施してください。

(A) DMAの転送保留/強制終了

データ・フラッシュを読み出す前に、使用している全てのチャンネルの DMA 転送を保留してください。但し、DWAITn ビットに 1 を設定後、データ・フラッシュの読み出し前までに 3 クロック (fCLK) 以上の間隔をあけてください。データ・フラッシュの読み出し後に、DWAITn ビットを 0 に設定し転送保留を解除してください。

または、データ・フラッシュを読み出す前に、15.5.5 ソフトウェアでの強制終了の手順に従って DMA 転送を強制終了してください。DMA 転送の再開はデータ・フラッシュ読み出し後に行ってください。

(B) ライブラリを使用してデータ・フラッシュにアクセス

最新のデータ・フラッシュ・ライブラリを使用して、データ・フラッシュにアクセスしてください。

(C) NOPの挿入

データ・フラッシュの読み出し命令の直前に NOP 命令を挿入してください。

<例>

```
MOVW      HL, laddr16      ; RAMの読み出し
NOP                               ; データ・フラッシュのリード前にNOP命令を挿入
MOV       A,[DE]           ; データ・フラッシュの読み出し
```

ただし、C 言語など的高级言語を使用している場合、1 コードに対してコンパイラが 2 命令を生成する場合があります。この場合、データ・フラッシュの読み出し命令の直前に NOP 命令が挿入されないため、(A) または (B) にて、読み出してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

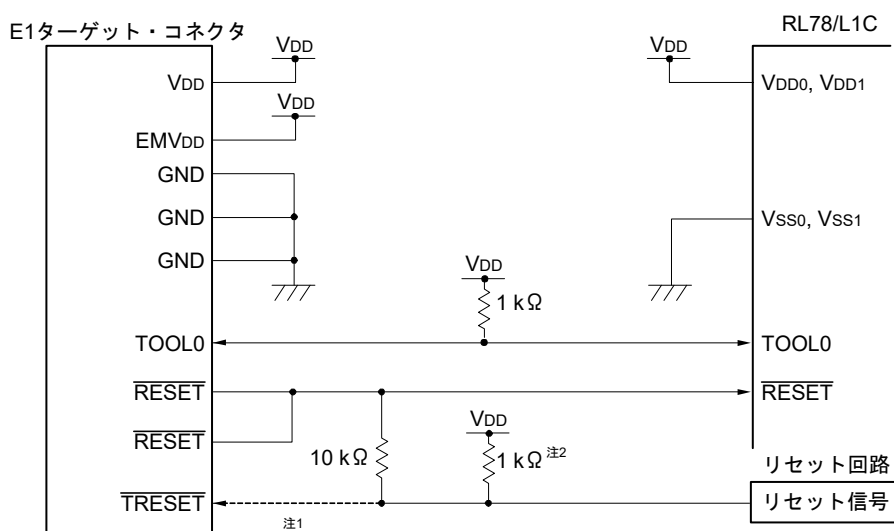
第31章 オンチップ・デバッグ機能

31.1 E1オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、 $\overline{\text{RESET}}$ 、TOOL0、 V_{SS} 端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図31 - 1 E1オンチップデバッグエミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

31.2 オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第29章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

表31-1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード注 (All FFHを除く)
010C4H-010CDH	

注 “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

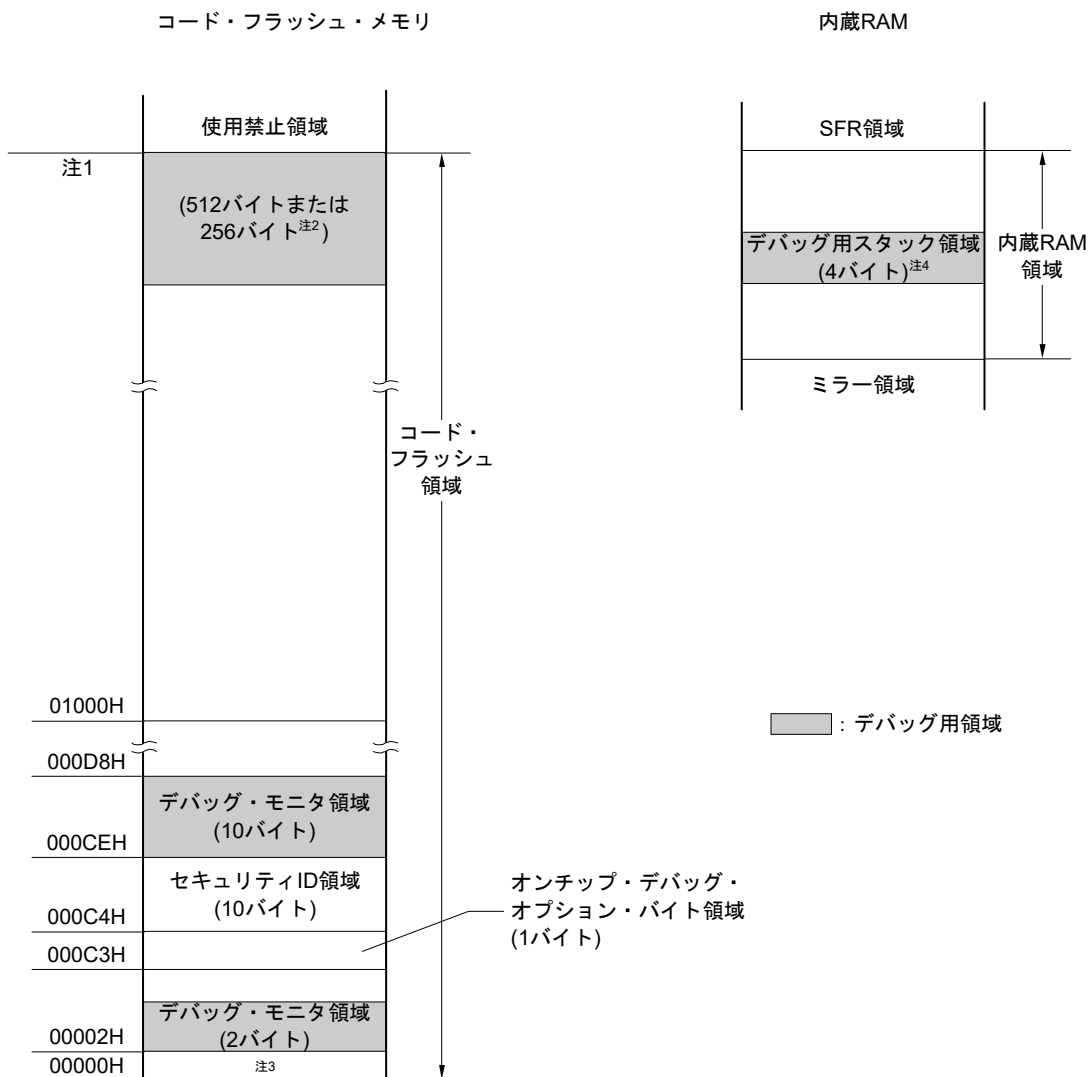
31.3 ユーザ資源の確保

RL78 マイクロコントローラとE1オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図31-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図 31 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名(コード・フラッシュ・メモリ容量)	注1のアドレス
R5F110xE, R5F111xE (x = M, N, P)	0FFFFH
R5F110xF, R5F111xF (x = M, N, P)	17FFFH
R5F110xG, R5F111xG (x = M, N, P)	1FFFFH
R5F110xH, R5F111xH (x = M, N, P)	2FFFFH
R5F110xJ, R5F111xJ (x = M, N, P)	3FFFFH

注2. リアルタイムRAMモニタ (RRM)機能, Dynamic Memory Modification (DMM)機能を使用しない場合は256バイトになります。

注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。セルフプログラミングを行う場合は、12バイト余分に消費します。

第32章 10進補正(BCD)回路

32.1 10進補正回路の機能

BCDコード(2進化10進数)とBCDコード(2進化10進数)の加減算結果を、BCDコード(2進化10進数)で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ(BCDADJ)を加減算することで10進補正演算結果が求められます。

32.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- BCD補正結果レジスタ(BCDADJ)

32.2.1 BCD補正結果レジスタ(BCDADJ)

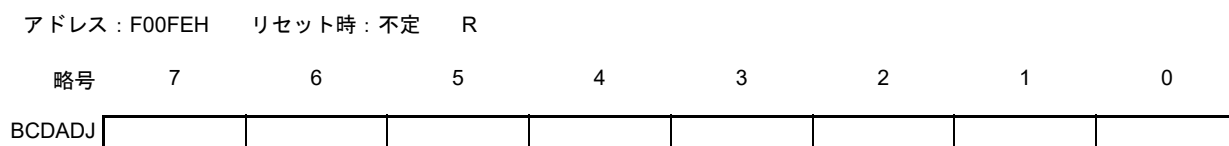
BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図32-1 BCD補正結果レジスタ(BCDADJ)のフォーマット



32.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

- ①加算したいBCDコード値(被加算値)をAレジスタに格納する。
- ②Aレジスタと第2オペランドの値(もう1つの加算したいBCDコード値, 加算値)を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での加算結果)とBCDADJレジスタの値(補正値)を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ;①	99H	—	—	—
ADD A, #89H ;②	22H	1	1	66H
ADD A, !BCDADJ ;③	88H	1	0	—

例2 $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ;①	85H	—	—	—
ADD A, #15H ;②	9AH	0	0	66H
ADD A, !BCDADJ ;③	00H	1	1	—

例3 $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ;①	80H	—	—	—
ADD A, #80H ;②	00H	1	0	60H
ADD A, !BCDADJ ;③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ①減算されるBCDコード値(被減算値)をAレジスタに格納する。
- ②Aレジスタから第2オペランドの値(減算するBCDコード値, 減算値)を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での減算結果)からBCDADJレジスタの値(補正值)を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令		Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #91H ;①	91H	—	—	—
SUB	A, #52H ;②	3FH	0	1	06H
SUB	A, !BCDADJ ;③	39H	0	0	—

第33章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015)を参照してください。

33.1 凡例

33.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様によります)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- #: イミーディエト・データ指定
- !: 16ビット絶対アドレス指定
- !!: 20ビット絶対アドレス指定
- \$: 8ビット相対アドレス指定
- \$!: 16ビット相対アドレス指定
- []: 間接アドレス指定
- ES: :拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称(X, A, Cなど)、絶対名称(表33-1の中のカッコ内の名称, R0, R1, R2など)のいずれの形式でも記述可能です。

表33-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号(SFR略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号(16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル(偶数アドレスのみ注)
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル(16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH イミーディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-7～表3-10 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-11～表3-25 拡張SFR(2nd SFR)一覧を参照してください。

33.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表33-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	()内のアドレスまたはレジスタの内容で示されるメモリの内容
XH, XL	16ビット・レジスタの場合はXH=上位8ビット, XL=下位8ビット
Xs, XH, XL	20ビット・レジスタの場合はXs(ビット19-16), XH(ビット15-8), XL(ビット7-0)
∧	論理積(AND)
∨	論理和(OR)
⊖	排他的論理和(exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ(0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ(ディスプレイースメント値)
jdisp16	符号付き16ビット・データ(ディスプレイースメント値)

33.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表 33 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

33.1.4 PREFIX命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFFH の 64 Kバイト空間から、ES レジスタの値を付加した 00000H-FFFFFFH の 1 Mバイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表 33 - 4 PREFIX 命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A などで事前に設定しておいてください。

33.2 オペレーション一覧

表33-5 オペレーション一覧(1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ デー タ 転 送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	x	x	x
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte			
		word[B], #byte	4	1	—	(B + word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte			
		word[C], #byte	4	1	—	(C + word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte			
		word[BC], #byte	4	1	—	(BC + word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte			
		A, r 注3	1	1	—	A ← r			
		r, A 注3	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	x	x	x
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
ES:!addr16, A	4	2	—	(ES, addr16) ← A					
A, saddr	2	1	—	A ← (saddr)					
saddr, A	2	1	—	(saddr) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 6 オペレーション一覧 (2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット・ データ 転送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (\text{DE})$			
		[DE], A	1	1	—	$(\text{DE}) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (\text{ES}, \text{DE})$			
		ES:[DE], A	2	2	—	$(\text{ES}, \text{DE}) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (\text{HL})$			
		[HL], A	1	1	—	$(\text{HL}) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (\text{ES}, \text{HL})$			
		ES:[HL], A	2	2	—	$(\text{ES}, \text{HL}) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (\text{DE} + \text{byte})$			
		[DE+byte], A	2	1	—	$(\text{DE} + \text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{DE}) + \text{byte})$			
		ES:[DE+byte], A	3	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (\text{HL} + \text{byte})$			
		[HL+byte], A	2	1	—	$(\text{HL} + \text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{HL}) + \text{byte})$			
		ES:[HL+byte], A	3	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (\text{SP} + \text{byte})$			
		[SP+byte], A	2	1	—	$(\text{SP} + \text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (\text{B} + \text{word})$			
		word[B], A	3	1	—	$(\text{B} + \text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((\text{ES}, \text{B}) + \text{word})$			
		ES:word[B], A	4	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (\text{C} + \text{word})$			
		word[C], A	3	1	—	$(\text{C} + \text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((\text{ES}, \text{C}) + \text{word})$			
		ES:word[C], A	4	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (\text{BC} + \text{word})$			
		word[BC], A	3	1	—	$(\text{BC} + \text{word}) \leftarrow A$			
A, ES:word[BC]	4	2	5	$A \leftarrow ((\text{ES}, \text{BC}) + \text{word})$					
ES:word[BC], A	4	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow A$					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33-7 オペレーション一覧(3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$			
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$			
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
	C, saddr	2	1	—	$C \leftarrow (saddr)$				
	ES, saddr	3	1	—	$ES \leftarrow (saddr)$				
	XCH	A, r 注3	1 (r = X) 2 (r = X 以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
A, ES:!addr16		5	3	—	$A \leftrightarrow (ES, addr16)$				
A, saddr		3	2	—	$A \leftrightarrow (saddr)$				
A, sfr		3	2	—	$A \leftrightarrow sfr$				
A, [DE]		2	2	—	$A \leftrightarrow (DE)$				
A, ES:[DE]		3	3	—	$A \leftrightarrow (ES, DE)$				
A, [HL]		2	2	—	$A \leftrightarrow (HL)$				
A, ES:[HL]		3	3	—	$A \leftrightarrow (ES, HL)$				
A, [DE+byte]		3	2	—	$A \leftrightarrow (DE + byte)$				
A, ES:[DE+byte]		4	3	—	$A \leftrightarrow ((ES, DE) + byte)$				
A, [HL+byte]		3	2	—	$A \leftrightarrow (HL + byte)$				
A, ES:[HL+byte]		4	3	—	$A \leftrightarrow ((ES, HL) + byte)$				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 8 オペレーション一覧(4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8 ビット ・ デー タ 転 送	XCH	A, [HL+B]	2	2	—	$A \leftrightarrow (HL + B)$				
		A, ES:[HL+B]	3	3	—	$A \leftrightarrow ((ES, HL) + B)$				
		A, [HL+C]	2	2	—	$A \leftrightarrow (HL + C)$				
		A, ES:[HL+C]	3	3	—	$A \leftrightarrow ((ES, HL) + C)$				
	ONEB	A	1	1	—	$A \leftarrow 01H$				
		X	1	1	—	$X \leftarrow 01H$				
		B	1	1	—	$B \leftarrow 01H$				
		C	1	1	—	$C \leftarrow 01H$				
		!addr16	3	1	—	$(addr16) \leftarrow 01H$				
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 01H$				
		saddr	2	1	—	$(saddr) \leftarrow 01H$				
	CLR B	A	1	1	—	$A \leftarrow 00H$				
		X	1	1	—	$X \leftarrow 00H$				
		B	1	1	—	$B \leftarrow 00H$				
		C	1	1	—	$C \leftarrow 00H$				
		!addr16	3	1	—	$(addr16) \leftarrow 00H$				
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 00H$				
		saddr	2	1	—	$(saddr) \leftarrow 00H$				
	MOVS	[HL+byte], X	3	1	—	$(HL + byte) \leftarrow X$	×		×	
		ES:[HL+byte], X	4	2	—	$(ES, HL + byte) \leftarrow X$	×		×	
	16 ビット ・ デー タ 転 送	MOVW	rp, #word	3	1	—	$rp \leftarrow word$			
			saddrp, #word	4	1	—	$(saddrp) \leftarrow word$			
sfrp, #word			4	1	—	$sfrp \leftarrow word$				
AX, rp 注3			1	1	—	$AX \leftarrow rp$				
rp, AX 注3			1	1	—	$rp \leftarrow AX$				
AX, !addr16			3	1	4	$AX \leftarrow (addr16)$				
!addr16, AX			3	1	—	$(addr16) \leftarrow AX$				
AX, ES:!addr16			4	2	5	$AX \leftarrow (ES, addr16)$				
ES:!addr16, AX			4	2	—	$(ES, addr16) \leftarrow AX$				
AX, saddrp			2	1	—	$AX \leftarrow (saddrp)$				
saddrp, AX			2	1	—	$(saddrp) \leftarrow AX$				
AX, sfrp			2	1	—	$AX \leftarrow sfrp$				
sfrp, AX			2	1	—	$sfrp \leftarrow AX$				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。
CPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33-9 オペレーション一覧(5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット・ データ 転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)					
ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33 - 10 オペレーション一覧(6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp <small>注3</small>	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
BC		1	1	—	BC ← 0000H				
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	x	x	x
		A, r <small>注4</small>	2	1	—	A, CY ← A + r	x	x	x
		r, A	2	1	—	r, CY ← r + A	x	x	x
		A, !addr16	3	1	4	A, CY ← A + (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A + (saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A + (HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33 - 11 オペレーション一覧(7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, laddr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (\text{saddr}) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	x	x	x
	A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	x	x	x	
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, laddr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:laddr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (\text{saddr})$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	x	x	x
A, [HL+B]		2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	x	x	x	
A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	x	x	x		
A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	x	x	x		
A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33 - 12 オペレーション一覧(8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	SUBC	A, #byte	2	1	—	A, CY ← A - byte - CY	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) - byte - CY	x	x	x
		A, r 注3	2	1	—	A, CY ← A - r - CY	x	x	x
		r, A	2	1	—	r, CY ← r - A - CY	x	x	x
		A, laddr16	3	1	4	A, CY ← A - (addr16) - CY	x	x	x
		A, ES:laddr16	4	2	5	A, CY ← A - (ES, addr16) - CY	x	x	x
		A, saddr	2	1	—	A, CY ← A - (saddr) - CY	x	x	x
		A, [HL]	1	1	4	A, CY ← A - (HL) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A - (ES, HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A - (HL + byte) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A - ((ES, HL) + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A - (HL + B) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A - ((ES, HL) + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A - (HL + C) - CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY ← A - ((ES:HL) + C) - CY	x	x	x	
	AND	A, #byte	2	1	—	A ← A ∧ byte	x		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∧ byte	x		
		A, r 注3	2	1	—	A ← A ∧ r	x		
		r, A	2	1	—	r ← r ∧ A	x		
		A, laddr16	3	1	4	A ← A ∧ (addr16)	x		
		A, ES:laddr16	4	2	5	A ← A ∧ (ES:addr16)	x		
		A, saddr	2	1	—	A ← A ∧ (saddr)	x		
		A, [HL]	1	1	4	A ← A ∧ (HL)	x		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	x		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	x		
A, ES:[HL+byte]		3	2	5	A ← A ∧ ((ES:HL) + byte)	x			
A, [HL+B]		2	1	4	A ← A ∧ (HL + B)	x			
A, ES:[HL+B]		3	2	5	A ← A ∧ ((ES:HL) + B)	x			
A, [HL+C]		2	1	4	A ← A ∧ (HL + C)	x			
A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	x				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33 - 13 オペレーション一覧(9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		x	
		A, r 注3	2	1	—	$A \leftarrow A \vee r$		x	
		r, A	2	1	—	$r \leftarrow r \vee A$		x	
		A, laddr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$		x	
		A, ES:laddr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$		x	
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$		x	
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$		x	
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$		x	
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$		x	
	A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$		x		
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$		x	
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$		x	
		A, r 注3	2	1	—	$A \leftarrow A \nabla r$		x	
		r, A	2	1	—	$r \leftarrow r \nabla A$		x	
		A, laddr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$		x	
		A, ES:laddr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$		x	
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$		x	
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$		x	
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$		x	
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$		x	
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$		x	
A, [HL+B]		2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$		x		
A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$		x			
A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$		x			
A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$		x			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33 - 14 オペレーション一覧(10/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	CMP	A, #byte	2	1	—	A - byte	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x
		saddr, #byte	3	1	—	(saddr) - byte	x	x	x
		A, r 注3	2	1	—	A - r	x	x	x
		r, A	2	1	—	r - A	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, saddr	2	1	—	A - (saddr)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
	CMP0	A	1	1	—	A - 00H	x	0	0
		X	1	1	—	X - 00H	x	0	0
		B	1	1	—	B - 00H	x	0	0
		C	1	1	—	C - 00H	x	0	0
		!addr16	3	1	4	(addr16) - 00H	x	0	0
		ES:!addr16	4	2	5	(ES:addr16) - 00H	x	0	0
		saddr	2	1	—	(saddr) - 00H	x	0	0
	CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x
		X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK)数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 15 オペレーション一覧(11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	x	x	x
		AX, AX	1	1	—	AX, CY ← AX + AX	x	x	x
		AX, BC	1	1	—	AX, CY ← AX + BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX + DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX + HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	—	AX, CY ← AX - word	x	x	x
		AX, BC	1	1	—	AX, CY ← AX - BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX - DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX - HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX - (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX - (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX - (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX - (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	—	AX - word	x	x	x
		AX, BC	1	1	—	AX - BC	x	x	x
		AX, DE	1	1	—	AX - DE	x	x	x
		AX, HL	1	1	—	AX - HL	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX - (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 16 オペレーション一覧(12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)		×	×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)		×	×

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合, 割り込み禁止状態(DI)で実行してください。

ただし, RAM領域での命令実行を除き, アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は, 割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合, その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

備考2. MACR : 積和演算累計レジスタ (MACRH, MACRL)

表33 - 17 オペレーション一覧(13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	x	x	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	x	x	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	x	x	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	x	x	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	x	x	
	DEC	r	1	1	—	$r \leftarrow r - 1$	x	x	
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	x	x	
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	x	x	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	x	x	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	x	x	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	x	x	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		laddr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		ES:laddr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			x
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			x
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			x
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			x
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			x
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			x
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			x
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			x
SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考1. クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

備考2. cntはビット・シフト数です。

表33 - 18 オペレーション一覧(14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
BC, 1		2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×	
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
CY, [HL].bit		2	1	4	$CY \leftarrow CY \vee (HL).bit$			×	
CY, ES:[HL].bit		3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33 - 19 オペレーション一覧(15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			x
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			x
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			x
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			x
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			x
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			x
SET1	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
CLR1	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	x	x	x
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
SET1	SET1	CY	2	1	—	$CY \leftarrow 1$			1
CLR1	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
NOT1	NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表 33 - 20 オペレーション一覧(16/18)

命令群	ニモニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC ← CS, rp, SP ← SP - 4			
		\$!addr20	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← PC + 3 + jdisp16, SP ← SP - 4			
		!addr16	3	3	—	(SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← 0000, addr16, SP ← SP - 4			
		!!addr20	4	3	—	(SP - 2) ← (PC + 4) _s , (SP - 3) ← (PC + 4) _H , (SP - 4) ← (PC + 4) _L , PC ← addr20, SP ← SP - 4			
	CALLT	[addr5]	2	5	—	(SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PC _H ← (0000, addr5 + 1), PC _L ← (0000, addr5), SP ← SP - 4			
	BRK	—	2	5	—	(SP - 1) ← PSW, (SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP - 4, IE ← 0			
	RET	—	1	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), SP ← SP + 4			
	RETI	—	2	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R
	RETB	—	2	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33-21 オペレーション一覧(17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2			
		rp	1	1	—	(SP - 1) ← rpH, (SP - 2) ← rpL, SP ← SP - 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
ADDW	SP, #byte	2	1	—	SP ← SP + byte				
SUBW	SP, #byte	2	1	—	SP ← SP - byte				
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		\$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 0			
	BNH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
ES:[HL].bit, \$addr20		4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表 33 - 22 オペレーション一覧(18/18)

命令群	モニタック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 1			
CPU制御	SEL注4	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。
- 注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。
- 注3. クロック数は“条件不成立時/条件成立時”を表しています。
- 注4. nはレジスタ・バンク番号です(n = 0-3)。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

第34章 電気的特性(TA = -40 ~ +85°C)

この章では、A : 民生用途(TA = -40 ~ +85°C), G : 産業用途(TA = -40 ~ +85°Cにて使用する場合)の電気的特性を示します。

- 注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
- 注意2. 製品により搭載している端子が異なります。2.1ポート機能~2.2.1製品別の搭載機能を参照してください。

34.1 絶対最大定格

絶対最大定格(TA = 25°C)

(1/3)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	UVBUS		-0.5 ~ +6.5	V
	AVDD	$AVDD \leq VDD$	-0.5 ~ +4.6	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD+0.3注1	V
UREGC端子入力電圧	VIUREGC	UREGC	-0.3 ~ UVBUS+0.3注2	V
入力電圧	Vi1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P137 P140-P143, EXCLK, EXCLKS, RESET	-0.3 ~ VDD+0.3注3	V
	Vi2	P60, P61 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	UDP, UDM	-0.3 ~ +6.5	V
	Vi4	P150-P156	-0.3 ~ AVDD+0.3注4	V
出力電圧	VO1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143	-0.3 ~ VDD+0.3注3	V
	VO2	P150-P156	-0.3 ~ AVDD+0.3注3	V
	VO3	UDP, UDM	-0.3 ~ +3.8	V
アナログ入力電圧	VAI1	ANI16-ANI21	-0.3 ~ VDD+0.3 かつ AVREF(+)+0.3注3, 5	V
	VAI2	ANI0-ANI6	-0.3 ~ AVDD+0.3 かつ AVREF(+)+0.3注3, 5	V

- 注1. REGC端子にはコンデンサ(0.47 ~ 1 μ F)を介してVssに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。
- 注2. UREGC端子にはコンデンサ(0.33 μ F)を介してVssに接続してください。この値は、UREGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。
- 注3. 6.5 V以下であること。
- 注4. 4.6以下であること。
- 注5. A/D変換対象の端子は、AVREF(+)+0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF(+): A/Dコンバータの+側基準電圧

備考3. Vssを基準電圧とする。

絶対最大定格(TA = 25°C)

(2/3)

項目	略号	条件	定格	単位	
LCD 電圧	VL1	VL1入力電圧注1	-0.3 ~ +2.8	V	
	VL2	VL2入力電圧注1	-0.3 ~ +6.5	V	
	VL3	VL3入力電圧注1	-0.3 ~ +6.5	V	
	VL4	VL4入力電圧注1	-0.3 ~ +6.5	V	
	VL5	CAPL, CAPH入力電圧注1	-0.3 ~ +6.5	V	
	VLO1	VL1出力電圧	-0.3 ~ +2.8	V	
	VLO2	VL2出力電圧	-0.3 ~ +6.5	V	
	VLO3	VL3出力電圧	-0.3 ~ +6.5	V	
	VLO4	VL4出力電圧	-0.3 ~ +6.5	V	
	VLO5	CAPL, CAPH出力電圧	-0.3 ~ +6.5	V	
	VLO6	COM0-COM7 SEG0-SEG55 出力電圧	外部抵抗分割方式	-0.3 ~ VDD+0.3注2	V
			容量分割方式	-0.3 ~ VDD+0.3注2	V
内部昇圧方式			-0.3 ~ VL4+0.3注2	V	

注1. この値は、VL1, VL2, VL3, VL4端子への電圧印加する場合の絶対最大定格を規定するものであり、電圧印加して使用することを推奨しているわけではありません。内部昇圧方式、容量分割方式の場合、VL1, VL2, VL3, VL4端子にはコンデンサ(0.47±30%)を介してVssに接続し、CAPL端子、CAPH端子間にもコンデンサ(0.47±30%)を接続してください。

注2. 6.5V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

絶対最大定格(TA = 25°C)

(3/3)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	-40	mA
		端子合計	P40-P46	-70	mA
		-170 mA	P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	-100	mA
	IOH2	1端子	P150-P156	-0.1	mA
		端子合計		-0.7	mA
	IOH3	1端子	UDP, UDM	-3	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143	40	mA
		端子合計	P40-P46	70	mA
		170 mA	P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	100	mA
	IOL2	1端子	P150-P156	0.4	mA
		端子合計		2.8	mA
	IOL3	1端子	UDP, UDM	3	mA
	動作周囲温度	TA	通常動作時	-40 ~ +85	°C
フラッシュ・メモリ・プログラミング時					
保存温度	Tstg		-65 ~ +150	°C	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.2 発振回路特性

34.2.1 X1, XT1 発振回路特性

(TA = -40 ~ +85°C, 1.6 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (fx) ^注	セラミック発振子/水晶振動子	2.7 V ≤ V _{DD} ≤ 3.6 V	1.0		20.0	MHz
		2.4 V ≤ V _{DD} < 2.7 V	1.0		16.0	
		1.8 V ≤ V _{DD} < 2.4 V	1.0		8.0	
		1.6 V ≤ V _{DD} < 1.8 V	1.0		4.0	
XT1クロック発振周波数 (fxT) ^注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

34.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

発振子	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1,2	fHOCO			1		48	MHz
高速オンチップ・オシレータ・クロック周波数精度		-20 ~ +85°C	1.8 V ≤ VDD ≤ 3.6 V	-1.0		+1.0	%
			1.6 V ≤ VDD < 1.8 V	-5.0		+5.0	%
		-40 ~ -20°C	1.8 V ≤ VDD ≤ 3.6 V	-1.5		+1.5	%
			1.6 V ≤ VDD < 1.8 V	-5.5		+5.5	%
低速オンチップ・オシレータ・クロック周波数	fIL				15		kHz
低速オンチップ・オシレータ・クロック周波数精度				-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

34.2.3 PLL発振回路特性

(TA = -40 ~ +85°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
PLL入力周波数注	fPLLIN	高速システム・クロック	6.00		16.00	MHz
PLL出力周波数注	fPLL			48.00		MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

34.3 DC特性

34.3.1 端子特性

(TA = -40 ~ +85°C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143 1端子			-10.0 ^{注2}	mA
		P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143 合計	2.7 V ≤ VDD ≤ 3.6 V		-15.0	mA
		(デューティ ≤ 70%時 ^{注3})	1.8 V ≤ VDD < 2.7 V		-7.0	mA
		1.6 V ≤ VDD < 1.8 V		-3.0	mA	
	IOH2	P150-P156 1端子	1.6 V ≤ VDD ≤ 3.6 V			-0.1 ^{注2}
	全端子合計	1.6 V ≤ VDD ≤ 3.6 V			-0.7	mA

注1. VDD端子から出力端子に流れ出しても、デバイスの動作を保证する電流値です。

注2. ただし、合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00-P02, P10-P12, P24-P26, P33-P35, P42-P44は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143 1端子			20.0 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
		P40-P46, P130 合計 (デューティ ≤ 70% ^{注3})	2.7 V ≤ VDD ≤ 3.6 V			15.0	mA
			1.8 V ≤ VDD < 2.7 V			9.0	mA
			1.6 V ≤ VDD < 1.8 V			4.5	mA
		P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P140-P143 合計 (デューティ ≤ 70% ^{注3})	2.7 V ≤ VDD ≤ 3.6 V			35.0	mA
			1.8 V ≤ VDD < 2.7 V			20.0	mA
	1.6 V ≤ VDD < 1.8 V				10.0	mA	
	全端子合計 (デューティ ≤ 70% ^{注3})				50.0	mA	
	IOL2	P150-P156 1端子				0.4 ^{注2}	mA
全端子合計		1.6 V ≤ VDD ≤ 3.6 V			2.8	mA	

注1. 出力端子からVSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

• 端子合計の出力電流 = (IOL × 0.7)/(n × 0.01)

<計算例> IOL = 10.0 mAの場合, n = 80%

端子合計の出力電流 = (10.0 × 0.7)/(80 × 0.01) ≒ 8.7 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	通常入力バッファ	0.8 VDD		VDD	V
	VIH2	P00, P01, P10, P11, P24, P25, P33, P34, P43, P44	TTL入力バッファ 3.3 V ≤ VDD ≤ 3.6 V	2.0		VDD	V
			TTL入力バッファ 1.6 V ≤ VDD < 3.3 V	1.50		VDD	V
	VIH3	P150-P156		0.7 AVDD		AVDD	V
	VIH4	P60, P61		0.7 VDD		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	通常入力バッファ	0		0.2 VDD	V
	VIL2	P00, P01, P10, P11, P24, P25, P33, P34, P43, P44	TTL入力バッファ 3.3 V ≤ VDD ≤ 3.6 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ VDD < 3.3 V	0		0.32	V
	VIL3	P150-P156		0		0.3 AVDD	V
	VIL4	P60, P61		0		0.3 VDD	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2 VDD	V

注意 P00-P02, P10-P12, P24-P26, P33-P35, P42-P44は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	2.7 V ≤ VDD ≤ 3.6 V, IOH1 = -2.0 mA		VDD - 0.6	V	
			1.8 V ≤ VDD ≤ 3.6 V, IOH1 = -1.5 mA		VDD - 0.5	V	
			1.6 V ≤ VDD < 3.6 V, IOH1 = -1.0 mA		VDD - 0.5	V	
	VOH2	P150-P156	1.6 V ≤ VDD ≤ 3.6 V, IOH2 = -100 μA		AVDD - 0.5	V	
ロウ・レベル出力電圧	VOL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	2.7 V ≤ VDD ≤ 3.6 V, IOL1 = 3.0 mA			0.6	V
			2.7 V ≤ VDD ≤ 3.6 V, IOL1 = 1.5 mA			0.4	V
			1.8 V ≤ VDD ≤ 3.6 V, IOL1 = 0.6 mA			0.4	V
			1.6 V ≤ VDD < 1.8 V, IOL1 = 0.3 mA			0.4	V
			1.6 V ≤ VDD ≤ 3.6 V, IOL2 = 400 μA			0.4	V
	VOL3	P60, P61	2.7 V ≤ VDD ≤ 3.6 V, IOL3 = 3.0 mA			0.4	V
			1.8 V ≤ VDD ≤ 3.6 V, IOL3 = 2.0 mA			0.4	V
			1.6 V ≤ VDD ≤ 1.8 V, IOL3 = 1.0 mA			0.4	V

注意 P00-P02, P10-P12, P24-P26, P33-P35, P42-P44 は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85°C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力リーク電流	ILIH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P137, P140-P143, RESET	Vi = VDD			1	μA	
	ILIH2	P20, P21, P140-P143	Vi = VDD			1	μA	
	ILIH3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VDD	入力ポート時, 外部 クロック入力時		1	μA	
				発振子接続時			10	μA
ILIH4	P150-P156	Vi = AVDD			1	μA		
ロウ・レベル 入力リーク電流	ILIL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P137, P140-P143, RESET	Vi = VSS			-1	μA	
	ILIL2	P20, P21, P140-P143	Vi = VSS			-1	μA	
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VSS	入力ポート時, 外部 クロック入力時		-1	μA	
				発振子接続時			-10	μA
ILIL4	P150-P156	Vi = AVSS			-1	μA		
内蔵プルアップ抵抗	RU1	P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P140-P143, P125-P127	Vi = VSS	2.4 V ≤ VDD ≤ 3.6 V	10	20	100	kΩ
				1.6 V ≤ VDD < 2.4 V	10	30	100	
	RU2	P40-P46, P80-P83	Vi = VSS		10	20	100	kΩ

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

34.3.2 電源電流特性

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作 モード	HS(高速メイン) モード ^{注5}	fHOCO = 48 MHz ^{注3} , fIH = 24 MHz ^{注3}	基本動作	VDD = 3.6 V		2.2	2.8	mA
						VDD = 3.0 V		2.2	2.8	
				通常動作	VDD = 3.6 V		4.4	8.5		
					VDD = 3.0 V		4.4	8.5		
				fHOCO = 24 MHz ^{注3} , fIH = 24 MHz ^{注3}	基本動作	VDD = 3.6 V		2.0	2.6	
						VDD = 3.0 V		2.0	2.6	
			通常動作	VDD = 3.6 V		4.2	6.8			
				VDD = 3.0 V		4.2	6.8			
			fHOCO = 16 MHz ^{注3} , fIH = 16 MHz ^{注3}	通常動作	VDD = 3.6 V		3.1	4.9		
					VDD = 3.0 V		3.1	4.9		
			LS(低速メイン) モード ^{注5}	fHOCO = 8 MHz ^{注3} , fIH = 8 MHz ^{注3}	通常動作	VDD = 3.0 V		1.4	2.2	mA
						VDD = 2.0 V		1.4	2.2	
		LV(低電圧メイン) モード ^{注5}	fHOCO = 4 MHz ^{注3} , fIH = 4 MHz ^{注3}	通常動作	VDD = 3.0 V		1.3	1.8	mA	
					VDD = 2.0 V		1.3	1.8		
		HS(高速メイン) モード ^{注5}	fMX = 20 MHz ^{注2} , VDD = 3.6 V	通常動作	方形波入力		3.5	5.5	mA	
					発振子接続		3.6	5.7		
				通常動作	方形波入力		3.5	5.5		
					発振子接続		3.6	5.7		
				fMX = 16 MHz ^{注2} , VDD = 3.6 V	通常動作	方形波入力		2.9		4.5
						発振子接続		3.1		4.6
			fMX = 16 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		2.9	4.5		
					発振子接続		3.1	4.6		
			fMX = 10 MHz ^{注2} , VDD = 3.6 V	通常動作	方形波入力		2.1	3.2		
					発振子接続		2.2	3.2		
			fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		2.1	3.2		
					発振子接続		2.2	3.2		
		LS(低速メイン) モード ^{注5}	fMX = 8 MHz ^{注2} , VDD = 3.6 V	通常動作	方形波入力		1.2	2.0	mA	
					発振子接続		1.3	2.0		
			fMX = 8 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		1.2	2.1		
					発振子接続		1.3	2.2		
		HS(高速メイン) モード(PLL動作)	fPLL = 48 MHz, fCLK = 24 MHz ^{注2}	通常動作	VDD = 3.6 V		4.7	7.5	mA	
					VDD = 3.0 V		4.7	7.5		
			fPLL = 48 MHz, fCLK = 12 MHz ^{注2}	通常動作	VDD = 3.6 V		3.1	5.1		
					VDD = 3.0 V		3.1	5.1		
			fPLL = 48 MHz, fCLK = 6 MHz ^{注2}	通常動作	VDD = 3.6 V		2.3	3.9		
					VDD = 3.0 V		2.3	3.9		
サブシステム・ クロック動作	fsUB = 32.768 kHz ^{注4} TA = -40°C	通常動作	方形波入力		4.6	6.9	μA			
			発振子接続		4.7	6.9				
	fsUB = 32.768 kHz ^{注4} TA = +25°C	通常動作	方形波入力		4.9	7.0				
			発振子接続		5.0	7.2				
	fsUB = 32.768 kHz ^{注4} TA = +50°C	通常動作	方形波入力		5.2	7.6				
			発振子接続		5.2	7.7				
fsUB = 32.768 kHz ^{注4} TA = +70°C	通常動作	方形波入力		5.5	9.3					
		発振子接続		5.6	9.4					
fsUB = 32.768 kHz ^{注4} TA = +85°C	通常動作	方形波入力		6.2	13.3					
		発振子接続		6.2	13.4					

(注, 備考は次ページにあります。)

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LV（低電圧メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、LCDコントローラ/ドライバ、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、USB 2.0ファンクション・モジュール、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

注2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速システム・クロック、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振(AMPHS1 = 1)設定時。

注5. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$

LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 4\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数(最大48 MHz)

備考3. f_{IH} : 高速オンチップ・オシレータ・クロックの1/2/4/8分周、もしくはPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)

備考4. f_{SUB} : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25°Cです。

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(2/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS(高速メイン) モード ^{注6}	fHOCO = 48 MHz ^{注4} , fIH = 24 MHz ^{注4}	VDD = 3.6 V	0.77	2.70	mA			
					VDD = 3.0 V	0.77	2.70				
				fHOCO = 24 MHz ^{注4} , fIH = 24 MHz ^{注4}	VDD = 3.6 V	0.55	1.91				
					VDD = 3.0 V	0.55	1.90				
				fHOCO = 16 MHz ^{注4} , fIH = 16 MHz ^{注4}	VDD = 3.6 V	0.48	1.41				
					VDD = 3.0 V	0.47	1.41				
				LS(低速メイン) モード ^{注6}	fHOCO = 8 MHz ^{注4} , fIH = 8 MHz ^{注4}	VDD = 3.0 V	300		770	μA	
						VDD = 2.0 V	300		770		
			LV(低電圧メイン) モード ^{注6}	fHOCO = 4 MHz ^{注4} , fIH = 4 MHz ^{注4}	VDD = 3.0 V	440	770	μA			
					VDD = 2.0 V	440	770				
			HS(高速メイン) モード ^{注6}		fMX = 20 MHz ^{注3} , VDD = 3.6 V	方形波入力	0.35	1.63	mA		
						発振子接続	0.51	1.68			
					fMX = 20 MHz ^{注3} , VDD = 3.0 V	方形波入力	0.34	1.63			
						発振子接続	0.51	1.68			
					fMX = 16 MHz ^{注3} , VDD = 3.6 V	方形波入力	0.30	1.22			
						発振子接続	0.45	1.39			
		fMX = 16 MHz ^{注3} , VDD = 3.0 V			方形波入力	0.29	1.20				
					発振子接続	0.45	1.38				
		fMX = 10 MHz ^{注3} , VDD = 3.6 V			方形波入力	0.23	0.82				
					発振子接続	0.30	0.90				
		fMX = 10 MHz ^{注3} , VDD = 3.0 V			方形波入力	0.22	0.81				
					発振子接続	0.30	0.89				
		LS(低速メイン) モード ^{注6}				fMX = 8 MHz ^{注3} , VDD = 3.0 V	方形波入力	120		510	μA
							発振子接続	170		560	
						fMX = 8 MHz ^{注3} , VDD = 2.0 V	方形波入力	130		520	
							発振子接続	170		570	
		HS(高速メイン) モード(PLL動作)		fMX = 48 MHz, fCLK = 24 MHz ^{注3}	VDD = 3.6 V	0.99	2.89	mA			
					VDD = 3.0 V	0.99	2.88				
				fMX = 48 MHz, fCLK = 12 MHz ^{注3}	VDD = 3.6 V	0.89	2.48				
					VDD = 3.0 V	0.89	2.47				
				fMX = 48 MHz, fCLK = 6 MHz ^{注3}	VDD = 3.6 V	0.84	2.27				
					VDD = 3.0 V	0.84	2.27				
サブシステム・ クロック動作				fSUB = 32.768 kHz ^{注5} TA = -40°C	方形波入力	0.32	0.61		μA		
					発振子接続	0.51	0.80				
		fSUB = 32.768 kHz ^{注5} TA = +25°C	方形波入力	0.41	0.74						
			発振子接続	0.62	0.91						
		fSUB = 32.768 kHz ^{注5} TA = +50°C	方形波入力	0.52	2.30						
			発振子接続	0.75	2.49						
		fSUB = 32.768 kHz ^{注5} TA = +70°C	方形波入力	0.82	4.03						
			発振子接続	1.08	4.22						
fSUB = 32.768 kHz ^{注5} TA = +85°C	方形波入力	1.38	8.04								
	発振子接続	1.62	8.23								
IDD3	STOPモード ^{注7}	TA = -40°C		0.18	0.52	μA					
		TA = +25°C		0.25	0.52						
		TA = +50°C		0.34	2.21						
		TA = +70°C		0.64	3.94						
		TA = +85°C		1.18	7.95						

(注, 備考は次ページにあります。)

- 注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LV（低電圧メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、LCDコントローラ/ドライバ、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、USB2.0ファンクション・モジュール、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。
- STOPモード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。RTCLPC = 1、かつ超低消費発振(AMPHS1 = 1)設定時。
- 注6. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$
- LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$
- LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 4\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大48 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロックの1/2/4/8分周、もしくはPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)

備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」、「STOPモード」以外のTYP.値の温度条件は、TA = 25°Cです。

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件				MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL注1						0.20		μA
RTC2動作電流	IRTC注1, 3						0.02		μA
12ビット・インターバル・タイマ動作電流	ITMKA注1, 2, 4						0.02		μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 2, 5	fIL = 15 kHz					0.22		μA
A/Dコンバータ動作電流	IADC注6, 7	AVDD = 3.0 V, 最高速変換時					422	720	μA
AVREF(+)電流	IAVREF注8	AVDD = 3.0 V, ADREFP1 = 0, ADREFP0 = 0注7					14.0	25.0	μA
		AVREFP = 3.0 V, ADREFP1 = 0, ADREFP0 = 1注10					14.0	25.0	
		ADREFP1 = 1, ADREFP0 = 0注1					14.0	25.0	
A/Dコンバータ基準電圧電流	IADREF注1, 9	VDD = 3.0 V					75.0		μA
温度センサ動作電流	ITMPS注1						78		μA
D/Aコンバータ動作電流	IDAC注1, 11	1チャンネル当たり					0.53	1.5	mA
コンパレータ動作電流	ICMP注1, 12	VDD = 3.6 V, レギュレータ 出力電圧 = 2.1 V	ウインドウモード			12.5		μA	
			コンパレータ高速モード			4.5		μA	
			コンパレータ低速モード			1.2		μA	
		VDD = 3.6 V, レギュレータ 出力電圧 = 1.8 V	ウインドウモード			7.05		μA	
			コンパレータ高速モード			2.2		μA	
			コンパレータ低速モード			0.9		μA	
LVD動作電流	ILVI注1, 13						0.06		μA
セルフ・プログラミング動作電流	IFSP注1, 14						2.50	12.2	mA
BGO動作電流	IBGO注1, 15							0	mA
SNOOZE動作電流	ISNOZ注1	ADC動作	モード遷移中注16				0.34	1.10	mA
			変換動作中, 低電圧モード, AVREFP = VDD = 3.0 V				0.53	2.04	
		簡易SPI(CSI)/UART動作				0.70	1.54	mA	
LCD動作電流	ILCD1注17, 18	外部抵抗分割方式	fLCD = fSUB	1/3バイアス	VDD = 3.6 V, LV4 = 3.6 V		0.14		μA
			LCDクロック = 128 Hz	4時分割					
	ILCD2注17	内部昇圧方式	fLCD = fSUB	1/3バイアス	VDD = 3.0 V, LV4 = 3.0 V (VLCD = 04H)		0.61		μA
ILCD3注17	容量分割方式	fLCD = fSUB	1/3バイアス	VDD = 3.0 V, LV4 = 3.0 V		0.12		μA	
USB電流注19	IUSB注20	USB通信時の動作電流					4.88		mA
	IUSB注21	USBサスペンド時の動作電流					0.04		mA

(注, 備考は次ページにあります。)

- 注1. VDDに流れる電流です。
- 注2. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
- 注3. リアルタイム・クロック2にのみ流れる電流です(低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロック2の動作時は、IDD1またはIDD2にIRTCを加算した値がRL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロック2の動作電流が含まれています。
- 注4. 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマが動作時は、IDD1またはIDD2にITMKAを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作には12ビット・インターバル・タイマの動作電流が含まれています。
- 注5. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。STOPモード時にウォッチドッグ・タイマが動作中の場合、IDD1またはIDD2またはIDD3にIWDTCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータ動作時は、IDD1またはIDD2にIADC、IAVREF、IADREFを加算した値が、RL78マイクロコントローラの電流値となります。
- 注7. AVDDに流れる電流です。
- 注8. A/Dコンバータの基準電圧源から流れる電流です。
- 注9. 内部基準電圧の動作電流です。
- 注10. AVREFPに流れる電流です。
- 注11. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモード時にD/Aコンバータが動作中の場合、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注12. コンパレータ回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にコンパレータ回路が動作中の場合、IDD1またはIDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注13. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合、IDD1またはIDD2またはIDD3にILVIを加算した値が、RL78マイクロコントローラの電流値となります。
- 注14. セルフ・プログラミング動作に流れる電流です。
- 注15. データ・フラッシュ書き換え動作に流れる電流です。
- 注16. SNOOZEモードへの遷移時間は、23.3.3 SNOOZEモードを参照してください。
- 注17. LCDコントローラ／ドライバ(VDD端子)にのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ／ドライバが動作中の場合、電源電流(IDD1またはIDD2)にLCD動作電流(ILCD1またはILCD2またはILCD3)を加算した値が、RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。
- 注18. 外部分割抵抗に流れる電流は含みません。
- 注19. UVBUSに流れる電流です。
- 注20. fPLL = 48 MHz 動作電流を含みます。
- 注21. サスペンド状態における本製品の自己消費電流に加えて、UDP端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考3. fCLK : CPU/周辺ハードウェア・クロック周波数

備考4. TYP.値の温度条件は、TA = 25°Cです。

34.4 AC特性

34.4.1 基本動作

(TA = -40 ~ +85°C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN)動作	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 3.6 V	0.0417		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LS(低速メイン)モード	1.8 V ≤ VDD ≤ 3.6 V	0.125		1	μs
			LV(低電圧メイン)モード	1.6 V ≤ VDD ≤ 3.6 V	0.25		1	μs
		サブシステム・クロック (fSUB)動作		1.8 V ≤ VDD ≤ 3.6 V	28.5	30.5	31.3	μs
	セルフ・プログラミング時		HS(高速メイン)モード	2.7 V ≤ VDD ≤ 3.6 V	0.0417		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LS(低速メイン)モード	1.8 V ≤ VDD ≤ 3.6 V	0.125		1	μs
1.6 V ≤ VDD ≤ 3.6 V				0.25		1	μs	
外部メイン・システム・クロック 周波数	fEX	2.7 V ≤ VDD ≤ 3.6 V				20.0	MHz	
		2.4 V ≤ VDD < 2.7 V				16.0	MHz	
		1.8 V ≤ VDD < 2.4 V				8.0	MHz	
		1.6 V ≤ VDD < 1.8 V				4.0	MHz	
	fEXT					32	35	kHz
外部メイン・システム・クロック 入力ハイ、ロウ・レベル幅	tEXH, tEXL	2.7 V ≤ VDD ≤ 3.6 V				24		ns
		2.4 V ≤ VDD < 2.7 V				30		ns
		1.8 V ≤ VDD < 2.4 V				60		ns
		1.6 V ≤ VDD < 1.8 V				120		ns
	tEXHS, tEXLS					13.7		μs
T100-T107入力 ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL					1/fMCK + 10		ns

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号(m = 0),

n : チャネル番号(n = 0-7))

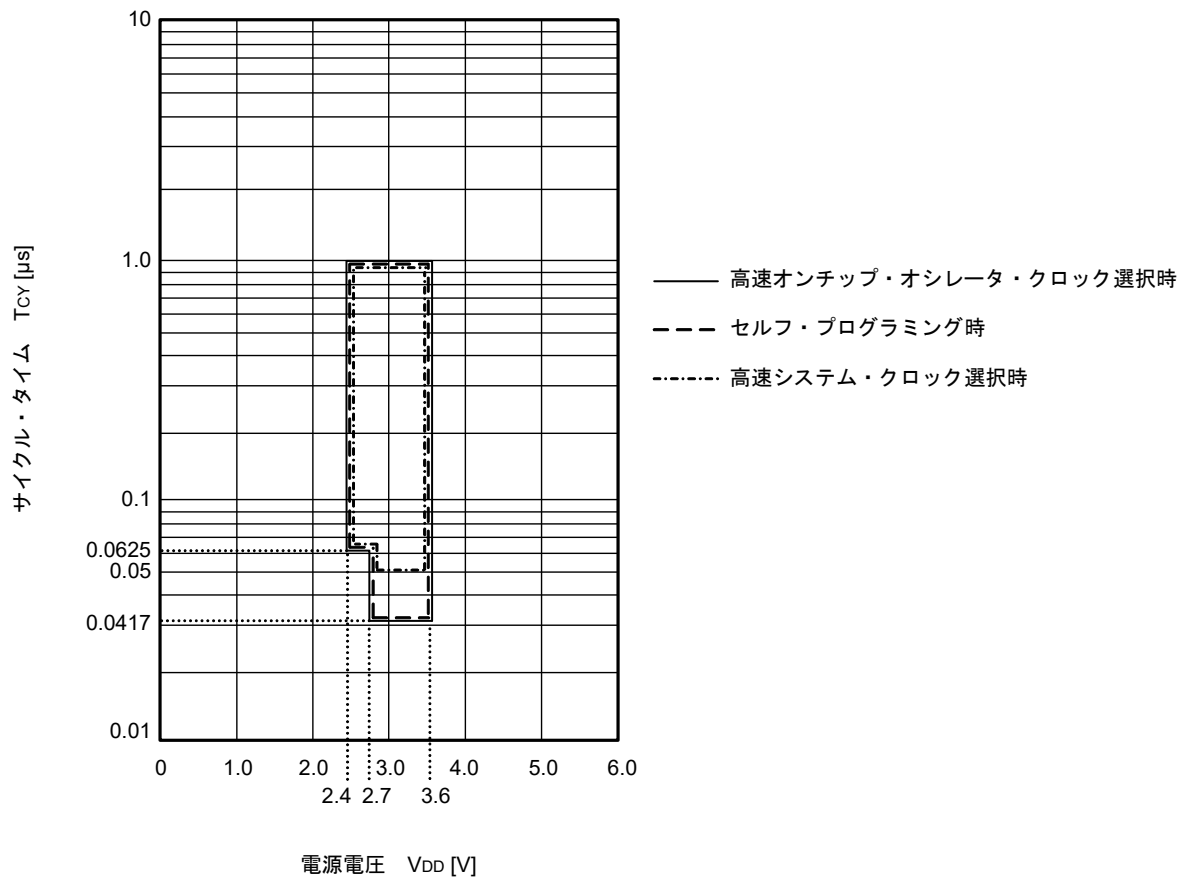
(TA = -40 ~ +85°C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

(2/2)

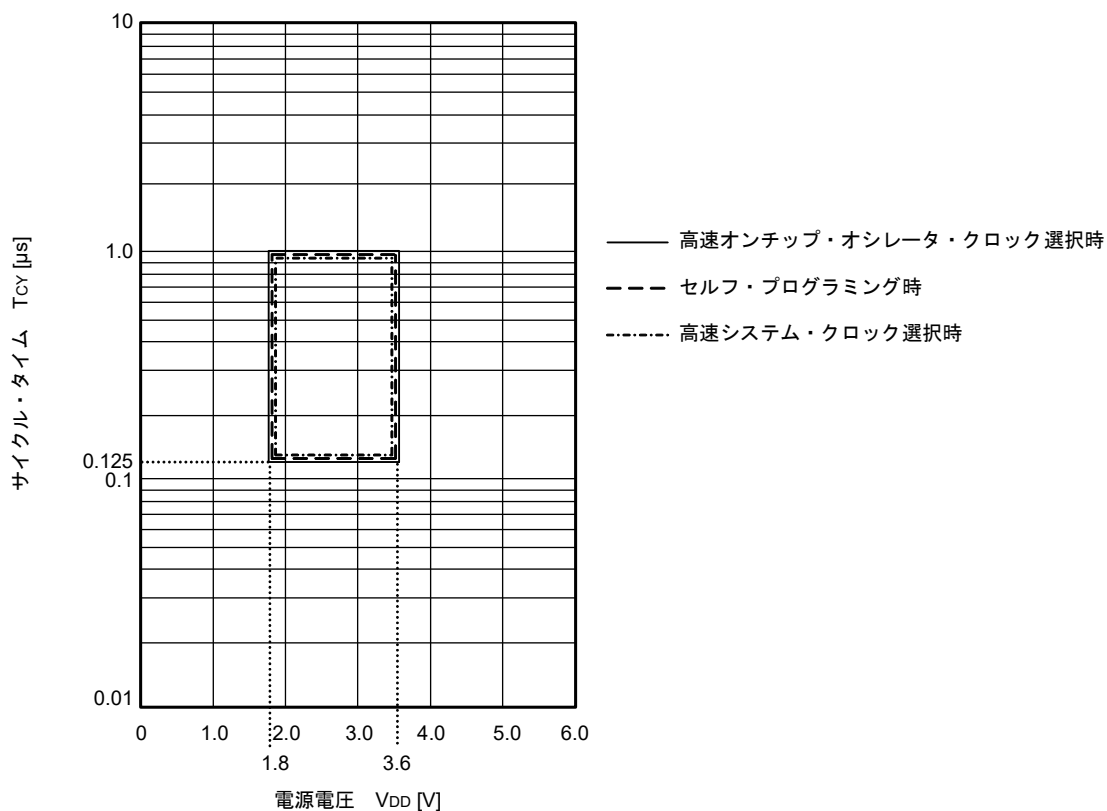
項目	略号	条件	MIN.	TYP.	MAX.	単位
TO00-TO07, TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21 出力周波数	f _{TO}	HS(高速メイン)モード	2.7 V ≤ V _{DD} ≤ 3.6 V		8	MHz
			2.4 V ≤ V _{DD} < 2.7 V		8	MHz
		LS(低速メイン)モード	1.8 V ≤ V _{DD} ≤ 3.6 V		4	MHz
			LV(低電圧メイン)モード	1.6 V ≤ V _{DD} ≤ 3.6 V		2
PCLBUZ0, PCLBUZ1出力周波数	f _{PCL}	HS(高速メイン)モード	2.7 V ≤ V _{DD} ≤ 3.6 V		8	MHz
			2.4 V ≤ V _{DD} < 2.7 V		8	MHz
		LS(低速メイン)モード	1.8 V ≤ V _{DD} ≤ 3.6 V		4	MHz
			LV(低電圧メイン)モード	1.6 V ≤ V _{DD} ≤ 3.6 V		2
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}	INTP0-INTP7	1.6 V ≤ V _{DD} ≤ 3.6 V	1		μs
キー割り込み入力 ロウ・レベル幅	t _{KR}	1.8 V ≤ V _{DD} ≤ 3.6 V		250		ns
		1.6 V ≤ V _{DD} < 1.8 V		1		μs
TMKB2 強制出力停止入力 ハイ・レベル幅	t _{IHR}	INTP0-INTP7	f _{CLK} > 16 MHz	125		ns
			f _{CLK} ≤ 16 MHz	2		f _{CLK}
RESETロウ・レベル幅	t _{RSL}			10		μs

メイン・システム・クロック動作時の最小命令実行時間

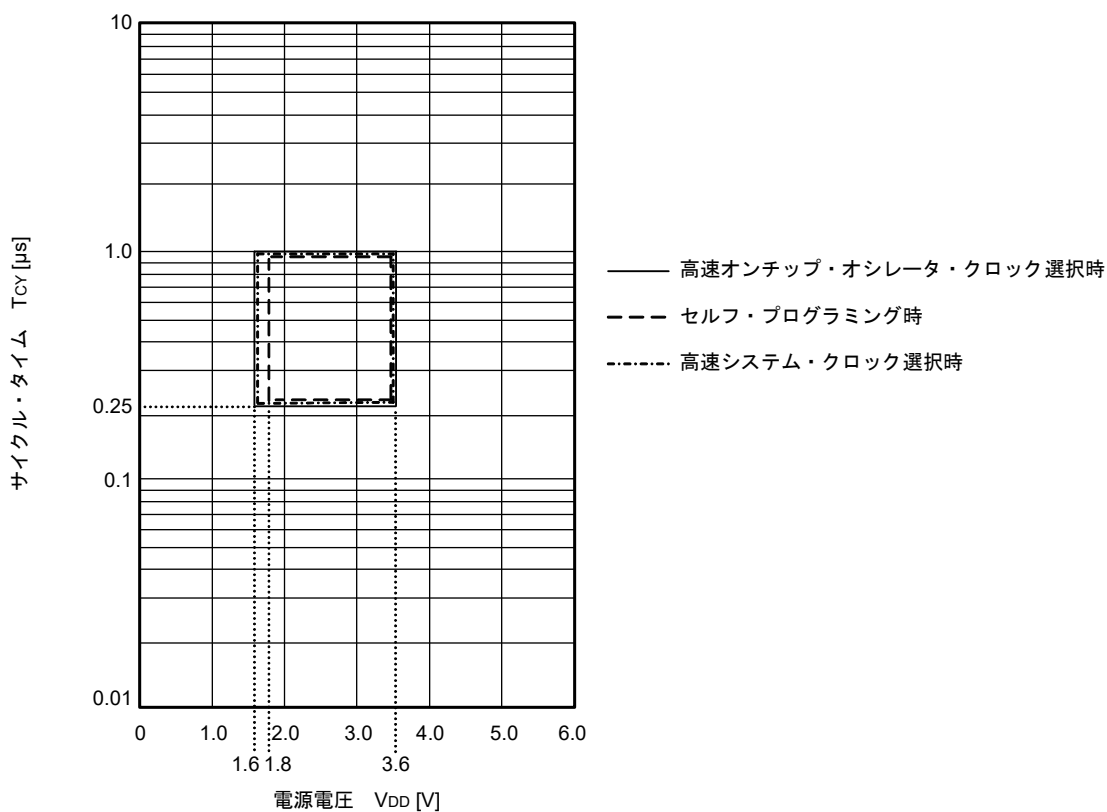
Tcy vs VDD (HS (高速メイン)モード)



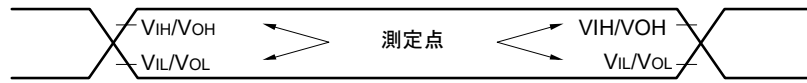
TCY vs VDD (LS (低速メイン)モード)



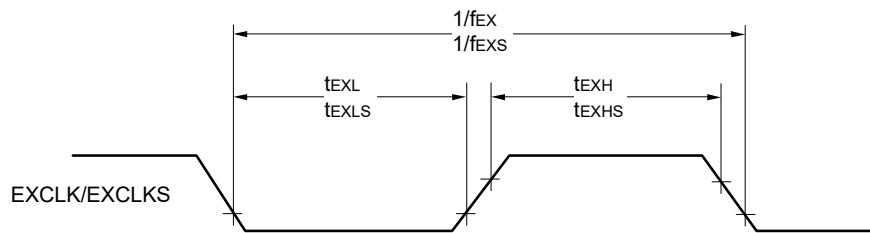
TCY vs VDD (LV (低電圧メイン)モード)



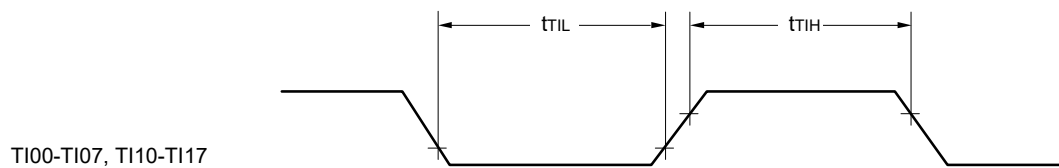
AC タイミング測定点



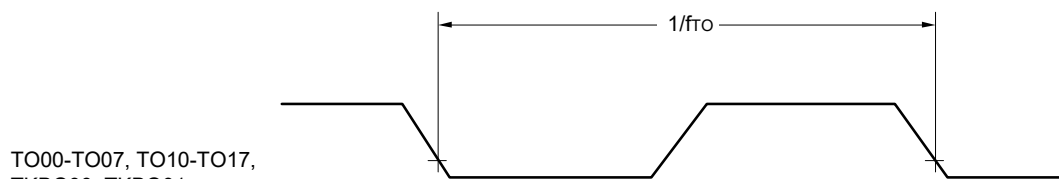
外部システム・クロック・タイミング



TI/TO タイミング

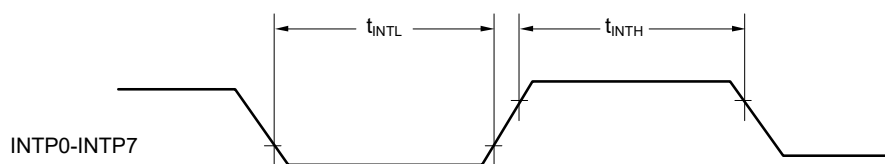


TI00-TI07, TI10-TI17



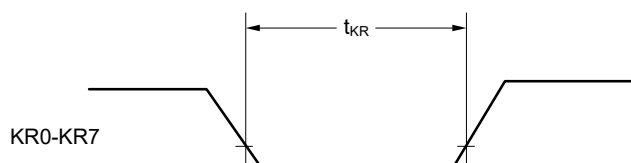
TO00-TO07, TO10-TO17,
TKBO00, TKBO01,
TKBO10, TKBO11,
TKBO20, TKBO21

割り込み要求入力タイミング

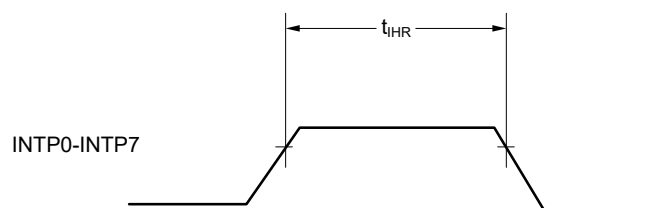
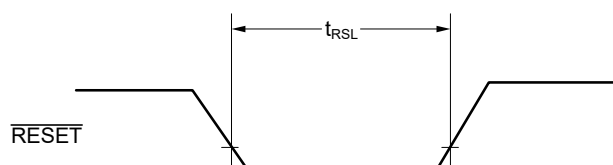


INTP0-INTP7

キー割り込み入カタイミング

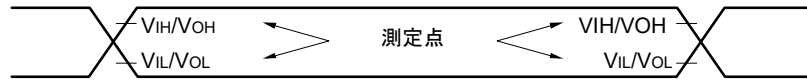


タイマKB2入カタイミング

 $\overline{\text{RESET}}$ 入カタイミング

34.5 周辺機能特性

ACタイミング測定点



34.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート注1		2.7 V ≤ VDD ≤ 3.6 V		fMCK/6注2		fMCK/6		fMCK/6	bps
		最大転送レート理論値		4.0		1.3		0.6	Mbps
		fMCK = fCLK注3							
		2.4 V ≤ VDD ≤ 3.6 V		fMCK/6注2		fMCK/6		fMCK/6	bps
		最大転送レート理論値		2.6		1.3		0.6	Mbps
		fMCK = fCLK注3							
		1.8 V ≤ VDD ≤ 3.6 V		—		fMCK/6注2		fMCK/6	bps
		最大転送レート理論値		—		1.3		0.6	Mbps
fMCK = fCLK注3									
1.6 V ≤ VDD ≤ 3.6 V		—		—		fMCK/6		bps	
最大転送レート理論値		—		—		0.6		Mbps	
fMCK = fCLK注3									

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ VDD < 2.7 V : MAX. 2.6 Mbps

1.8 V ≤ VDD < 2.4 V : MAX. 1.3 Mbps

1.6 V ≤ VDD < 1.8 V : MAX. 0.6 Mbps

注3. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード : 24 MHz (2.7 V ≤ VDD ≤ 3.6 V)

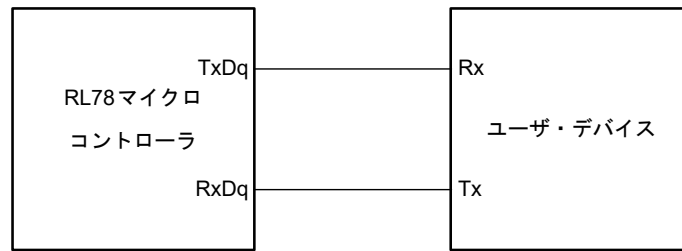
16 MHz (2.4 V ≤ VDD ≤ 3.6 V)

LS (低速メイン)モード : 8 MHz (1.8 V ≤ VDD ≤ 3.6 V)

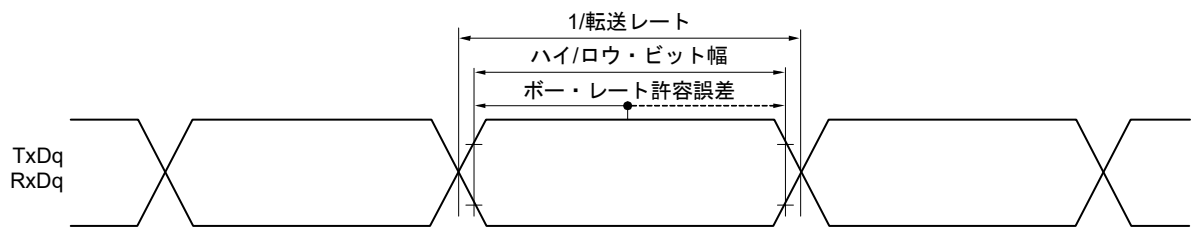
LV (低電圧メイン)モード : 4 MHz (1.6 V ≤ VDD ≤ 3.6 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART番号 (q = 0-3), g : PIM, POM番号 (g = 0-3)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)の CKSmn ビットで設定する動作クロック。m : ユニット番号,

n : チャンネル番号 (mn = 00-03, 10-13))

(2) 同電位通信, 簡易SPI (CSI)モード時 (マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85°C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム	tkCY1	$tkCY1 \geq fCLK/2$	$2.7 V \leq VDD \leq 3.6 V$	167		250		500		ns
SCKpハイ、ロウ・ レベル幅	tkL1	$2.7 V \leq VDD \leq 3.6 V$		$tkCY1/2 - 10$		$tkCY1/2 - 50$		$tkCY1/2 - 50$		ns
Slpセットアップ時間 (対SCKp↑)注1	tsIK1	$2.7 V \leq VDD \leq 3.6 V$		33		110		110		ns
Slpホールド時間 (対SCKp↑)注2	tkSI1	$2.7 V \leq VDD \leq 3.6 V$		10		10		10		ns
SCKp↓→SOp出力 遅延時間注3	tkSO1	$C = 20 \text{ pF}$ 注4			10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpセットアップ時間が“対SCKp↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpホールド時間が“対SCKp↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注4. Cは、SCKp, SOp出カラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00), m : ユニット番号 (m = 0), n : チャネル番号 (n = 0), g : PIM, POM番号 (g = 2)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号 (mn = 00))

(3) 同電位通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ fCLK/4	2.7 V ≤ VDD ≤ 3.6 V	167		500		1000		ns
			2.4 V ≤ VDD ≤ 3.6 V	250		500		1000		ns
			1.8 V ≤ VDD ≤ 3.6 V	—		500		1000		ns
			1.6 V ≤ VDD ≤ 3.6 V	—		—		1000		ns
SCKpハイ, ロウ・レベル幅	tkH1, tkL1	2.7 V ≤ VDD ≤ 3.6 V	tkCY1/2 - 18		tkCY1/2 - 50		tkCY1/2 - 50		ns	
		2.4 V ≤ VDD ≤ 3.6 V	tkCY1/2 - 38		tkCY1/2 - 50		tkCY1/2 - 50		ns	
		1.8 V ≤ VDD ≤ 3.6 V	—		tkCY1/2 - 50		tkCY1/2 - 50		ns	
		1.6 V ≤ VDD ≤ 3.6 V	—		—		tkCY1/2 - 100		ns	
Slpセットアップ時間 (対SCKp↑)注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V	44		110		110		ns	
		2.4 V ≤ VDD ≤ 3.6 V	75		110		110		ns	
		1.8 V ≤ VDD ≤ 3.6 V	—		110		110		ns	
		1.6 V ≤ VDD ≤ 3.6 V	—		—		220		ns	
Slpホールド時間 (対SCKp↑)注2	tKS1	2.4 V ≤ VDD ≤ 3.6 V	19		19		19		ns	
		1.8 V ≤ VDD ≤ 3.6 V	—		19		19		ns	
		1.6 V ≤ VDD ≤ 3.6 V	—		—		19		ns	
SCKp ↓ → SOp出力 遅延時間注3	tkSO1	C = 30 pF注4	2.7 V ≤ VDD ≤ 3.6 V		25		50		50	ns
			2.4 V ≤ VDD ≤ 3.6 V		25		50		50	ns
			1.8 V ≤ VDD ≤ 3.6 V		—		50		50	ns
			1.6 V ≤ VDD ≤ 3.6 V		—		—		50	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpセットアップ時間が“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpホールド時間が“対SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注4. Cは、SCKp, SOp出カラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号(p = 00, 10, 20, 30), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),
g : PIM, POM番号(g = 0-3)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号(mn = 00-03, 10-13))

(4) 同電位通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム注5	tkCY2	2.7 V ≤ VDD < 3.6 V	fMCK > 16 MHz	8/fMCK	—	—	—	—	ns	
			fMCK ≤ 16 MHz	6/fMCK	6/fMCK	6/fMCK	6/fMCK	ns		
		2.4 V ≤ VDD < 3.6 V		6/fMCK かつ500	6/fMCK	6/fMCK	6/fMCK	6/fMCK	ns	
		1.8 V ≤ VDD < 3.6 V		—	6/fMCK かつ750	6/fMCK	6/fMCK	6/fMCK	ns	
		1.6 V ≤ VDD < 3.6 V		—	—	6/fMCK かつ1500	6/fMCK	6/fMCK	ns	
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	2.7 V ≤ VDD ≤ 3.6 V		tkCY2/2 - 8		tkCY2/2 - 8		tkCY2/2 - 8		ns
		1.8 V ≤ VDD ≤ 3.6 V		—		tkCY2/2 - 18		tkCY2/2 - 18		ns
		1.6 V ≤ VDD ≤ 3.6 V		—		—		tkCY1/2 - 66		ns
Slpセットアップ時間(対SCKp↑)注1	tsIK2	2.7 V ≤ VDD ≤ 3.6 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		ns
		2.4 V ≤ VDD ≤ 3.6 V		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
		1.8 V ≤ VDD < 3.6 V		—		1/fMCK + 30		1/fMCK + 30		ns
		1.6 V ≤ VDD < 3.6 V		—		—		1/fMCK + 40		ns
Slpホールド時間(対SCKp↑)注2	tkSI2	2.4 V ≤ VDD < 3.6 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
		1.8 V ≤ VDD < 3.6 V		—		1/fMCK + 31		1/fMCK + 31		ns
		1.6 V ≤ VDD < 3.6 V		—		—		1/fMCK + 250		ns
SCKp ↓ → SOp出力遅延時間注3	tkSO2	C = 30 pF注4	2.7 V ≤ VDD ≤ 3.6 V	2/fMCK + 44	2/fMCK + 110	2/fMCK + 110	2/fMCK + 110	ns		
			2.4 V ≤ VDD < 3.6 V	2/fMCK + 75	2/fMCK + 110	2/fMCK + 110	2/fMCK + 110	ns		
			1.8 V ≤ VDD < 3.6 V	—	2/fMCK + 110	2/fMCK + 110	2/fMCK + 110	ns		
			1.6 V ≤ VDD < 3.6 V	—	—	2/fMCK + 220	2/fMCK + 220	ns		

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpセットアップ時間が“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpホールド時間が“対SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注4. Cは, SCKp, SOp出力ラインの負荷容量です。

注5. SNOOZEモードでの転送レートは, MAX.: 1 Mbpsです。

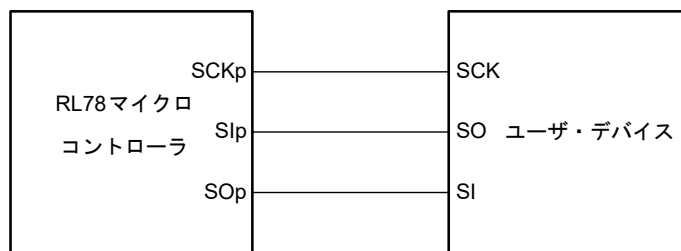
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子は通常入力バッファを選択し, SOp端子は通常出力モードを選択します。

備考1. p : CSI番号(p = 00, 10, 20, 30), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),
g : PIM, POM番号(g = 0-3)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号(mn = 00-03, 10-13))

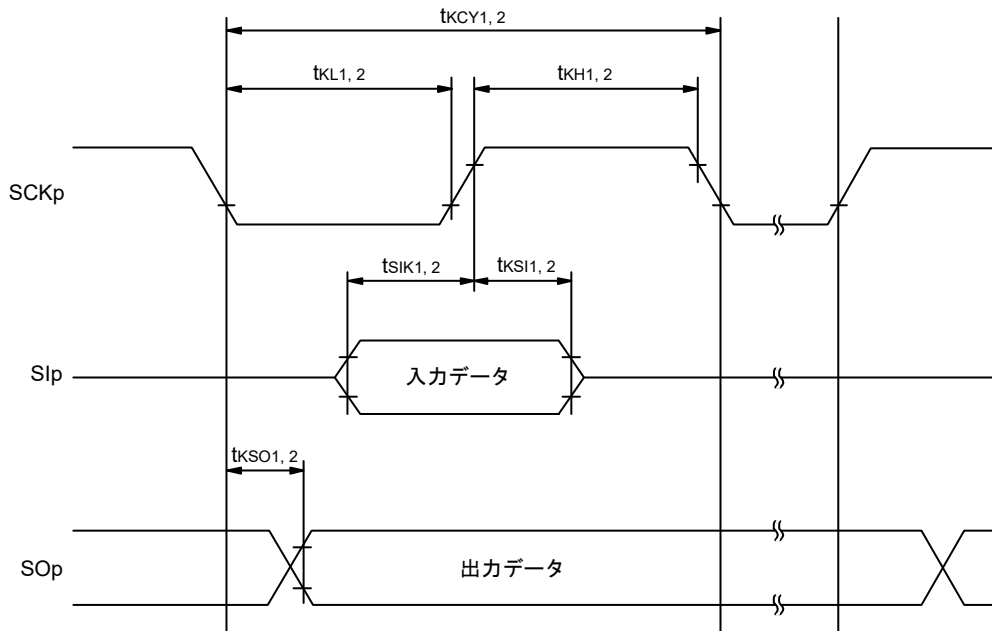
簡易SPI (CSI)モード接続図(同電位通信時)



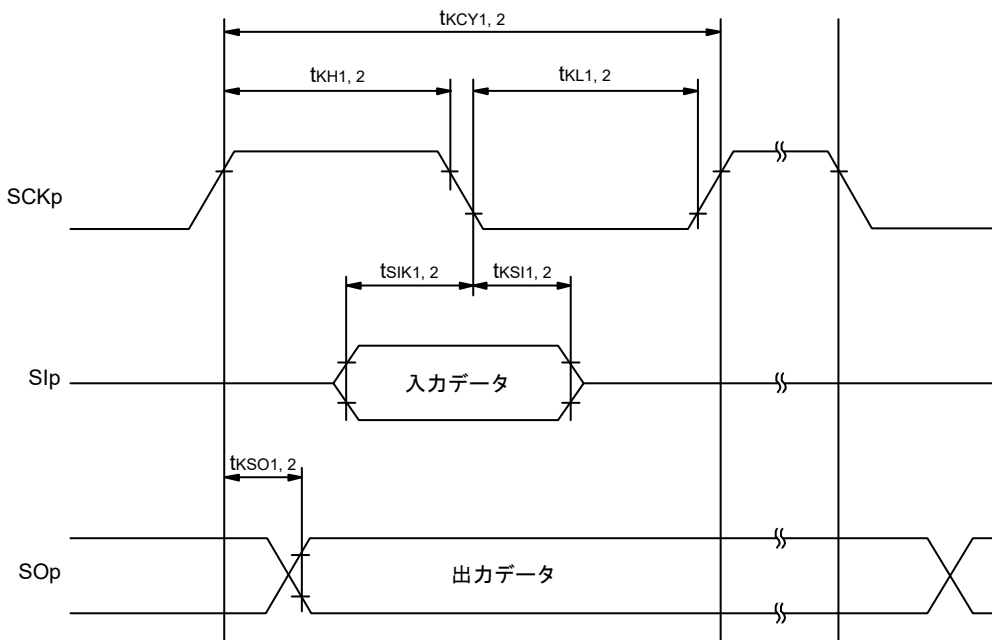
備考1. p : CSI番号(p = 00, 10, 20, 30)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10-13)

簡易SPI (CSI)モード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI)モード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考1. p : CSI番号 (p = 00, 10, 20, 30)

備考2. m : ユニット番号, n : チャネル番号 (mn = 00-03, 10-13)

(5) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

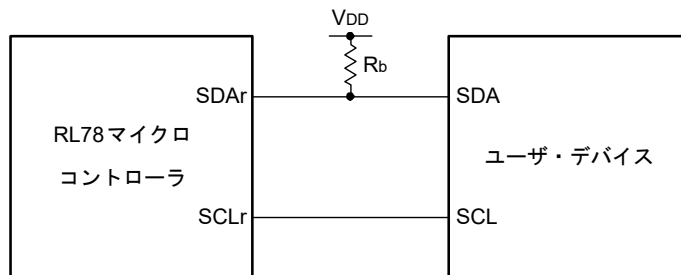
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fsCL	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ		400 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.6 V ≤ VDD < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		—		—		250	kHz
SCLr = "L" の ホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.6 V ≤ VDD < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		—		1850		ns
SCLr = "H" の ホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.6 V ≤ VDD < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		—		1850		ns
データ・セット アップ時間(受信時)	tsu: DAT	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 85 注2		1/fMCK + 145 注2		1/fMCK + 145 注2		ns
		1.8 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK + 145 注2		1/fMCK + 145 注2		1/fMCK + 145 注2		ns
		1.8 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK + 230 注2		1/fMCK + 230 注2		1/fMCK + 230 注2		ns
		1.6 V ≤ VDD < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		—		1/fMCK + 290 注2		ns
データ・ホールド 時間(送信時)	tHD: DAT	2.7 V ≤ VDD ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V ≤ VDD ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V ≤ VDD < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—	—	—	—	0	405	ns

注1. fMCK/4以下に設定してください。

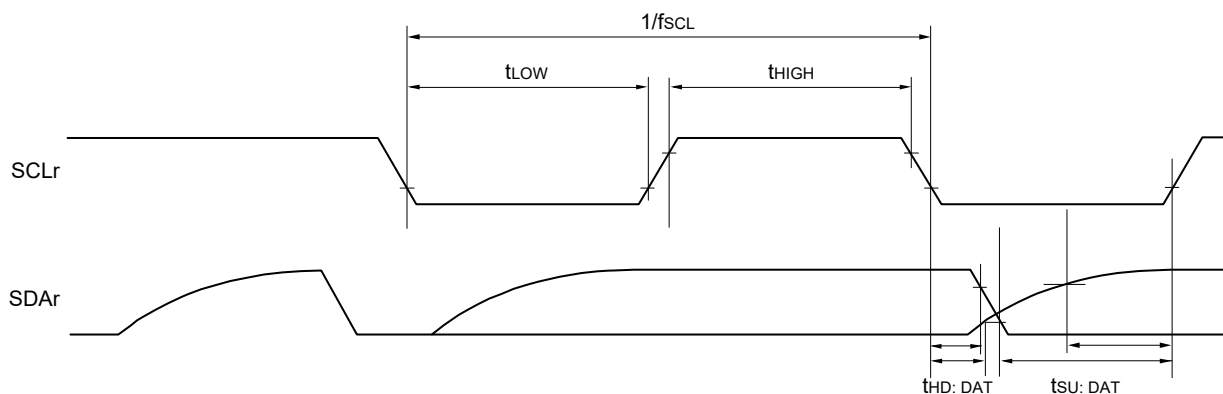
注2. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオー
プン・ドレイン出力(VDD耐圧)モードを選択し、SCLrは通常出力モードを選択します。

簡易 I²C モード 接続図 (同電位通信時)



簡易 I²C モード・シリアル転送タイミング (同電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr)プルアップ抵抗値, C_b [F] : 通信ライン(SCLr, SDAr)負荷容量値

備考2. r : IIC番号 (r = 00, 10, 20, 30), g : PIM番号 (g = 0-3),

h : POM番号 (h = 0-3)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR_{mn}レジスタのCKS_{mn}ビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3), mn = 00-03, 10-13)

(6) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
転送レート 注1,2		受信	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6注1		fMCK/6注1		fMCK/6注1	bps
			最大転送レート理論値 fMCK = fCLK注4		4.0		1.3		0.6	Mbps
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1,2,3		fMCK/6 注1,2,3		fMCK/6 注1,2,3	bps	
		最大転送レート理論値 fMCK = fCLK注4		4.0		1.3		0.6	Mbps	

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. VDD ≥ Vbで使用してください。

注3. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ VDD < 2.7 V: MAX. 2.6 Mbps

1.8 V ≤ VDD < 2.4 V: MAX. 1.3 Mbps

1.6 V ≤ VDD < 1.8 V: MAX. 0.6 Mbps

注4. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 24 MHz (2.7 V ≤ VDD ≤ 3.6 V)

16 MHz (2.4 V ≤ VDD ≤ 3.6 V)

LS (低速メイン)モード: 8 MHz (1.8 V ≤ VDD ≤ 3.6 V)

LV (低電圧メイン)モード: 4 MHz (1.6 V ≤ VDD ≤ 3.6 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-3), g: PIM, POM番号(g = 0-3)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03, 10-13))

(6) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート 注2	送信	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		注1		注1		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注2		1.2注2		1.2注2	Mbps
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注3,4		注3,4		注3,4	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注5		0.43注5		0.43注5	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. VDD ≥ Vbで使用してください。

注4. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

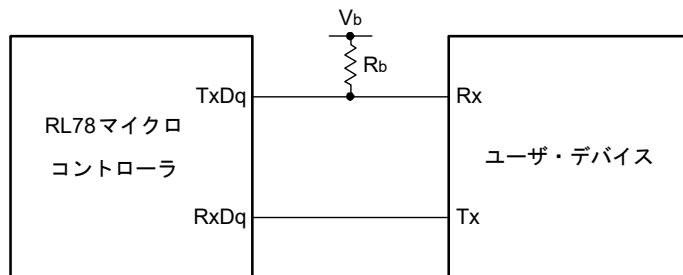
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

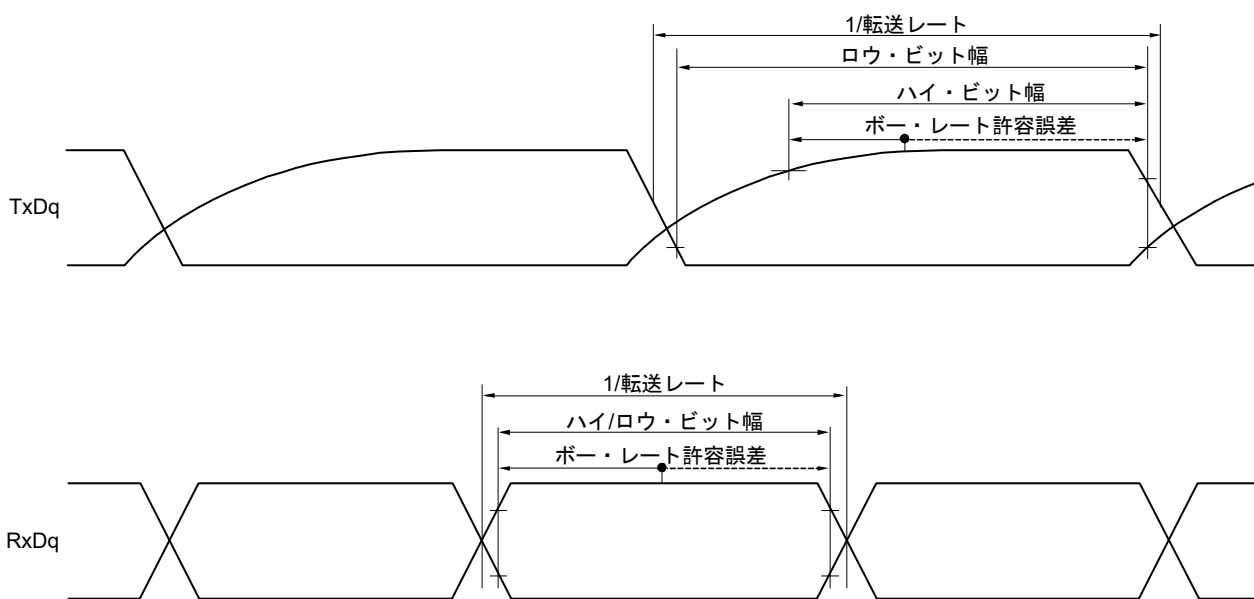
注5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q: UART番号 (q = 0-3), g: PIM, POM番号 (g = 0-3)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号 (mn = 00-03, 10-13))

(7) 異電位(2.5 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85°C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ fCLK/2	2.7V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	300		1150		1150		ns
SCKp ハイ・レベル幅	tkH1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		tkCY1/2 - 120		tkCY1/2 - 120		tkCY1/2 - 120		ns
SCKp ロー・レベル幅	tkL1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 1.4 kΩ		tkCY1/2 - 10		tkCY1/2 - 50		tkCY1/2 - 50		ns
Slp セットアップ時間 (対 SCKp ↑)注1	tsIK1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		121		479		479		ns
Slp ホールド時間 (対 SCKp ↑)注1	tkSI1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10		ns
SCKp ↓ → Sop 出力遅延時間注1	tkSO1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 1.4 kΩ			130		130		130	ns
Slp セットアップ時間 (対 SCKp ↓)注2	tsIK1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		33		110		110		ns
Slp ホールド時間 (対 SCKp ↓)注2	tkSI1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10		ns
SCKp ↑ → Sop 出力遅 延時間注2	tkSO1	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ			10		10		10	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は TTL 入力バッファを選択し, Sop 端子と SCKp 端子は N-ch オープン・ドレイン出力 (VDD 耐圧) モードを選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

備考1. Rb [Ω]: 通信ライン (SCKp, Sop) プルアップ抵抗値, Cb [F]: 通信ライン (SCKp, Sop) 負荷容量値, Vb [V]: 通信ライン電圧

備考2. p: CSI 番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0), g: PIM, POM 番号 (g = 2)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号 (mn = 00))

(8) 異電位(1.8 V, 2.5 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ fCLK/4	2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500注		1150		1150		ns
			1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 1.8 V, Cb = 30 pF, Rb = 5.5 kΩ	1150注		1150		1150		ns
SCKp ハイ・レベル幅	tkH1		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 170		tkCY1/2 - 170		tkCY1/2 - 170		ns
			1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 458		tkCY1/2 - 458		tkCY1/2 - 458		ns
SCKp ロウ・レベル幅	tkL1		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 18		tkCY1/2 - 50		tkCY1/2 - 50		ns
			1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns

注 VDD ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子はTTL入力バッファを選択し, SOp 端子と SCKp 端子はN-chオープン・ドレイン出力(VDD 耐圧)モードを選択します。なお VIH, VIL は, TTL 入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V, 2.5 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp↑)注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		479		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	479		479		479		ns
Slpホールド時間 (対SCKp↑)注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↓ → SOp出力 遅延時間注1	tSKO1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		483		483		483	ns
Slpセットアップ時間 (対SCKp↓)注2	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		110		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	110		110		110		ns
Slpホールド時間 (対SCKp↓)注2	tSIK1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↑ → SOp出力 遅延時間注2	tSKO1	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注3, Cb = 30 pF, Rb = 5.5 kΩ		25		25		25	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

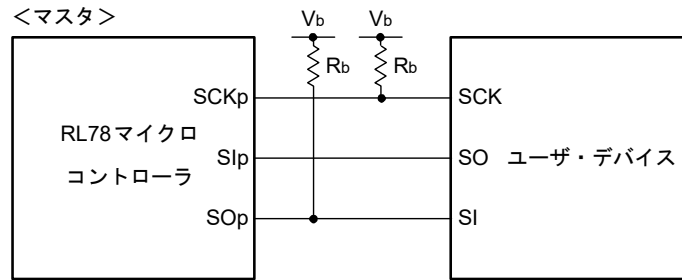
注2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注3. VDD ≥ Vbで使用してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子はTTL入力バッファを選択し,
SOOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH, VILは, TTL入力バッ
ファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI)モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SCKp, SOp)負荷容量値, V_b [V] : 通信ライン電圧

備考2. p : CSI番号(p = 00, 10, 20, 30), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),

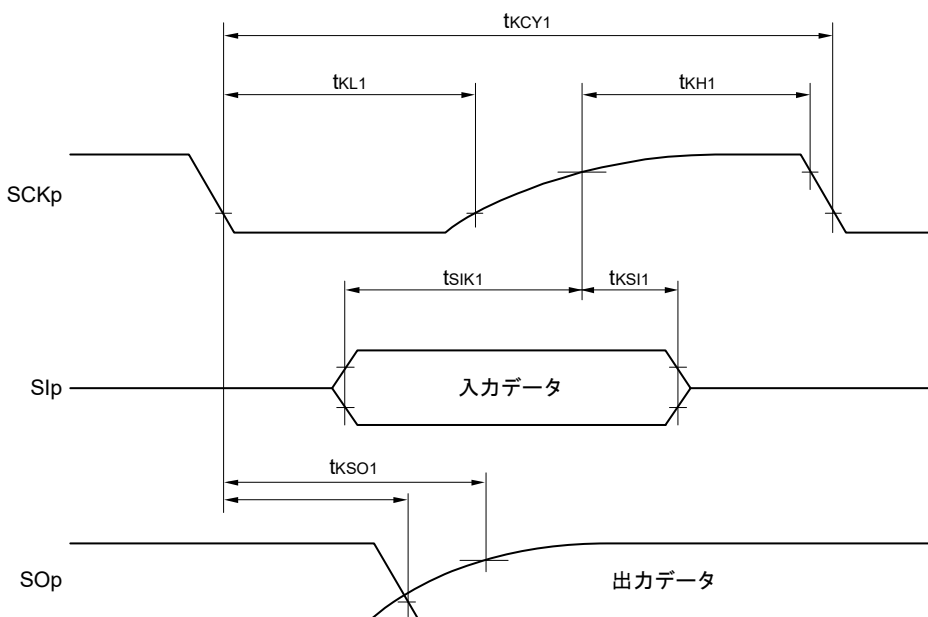
g : PIM, POM番号(g = 0-3)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

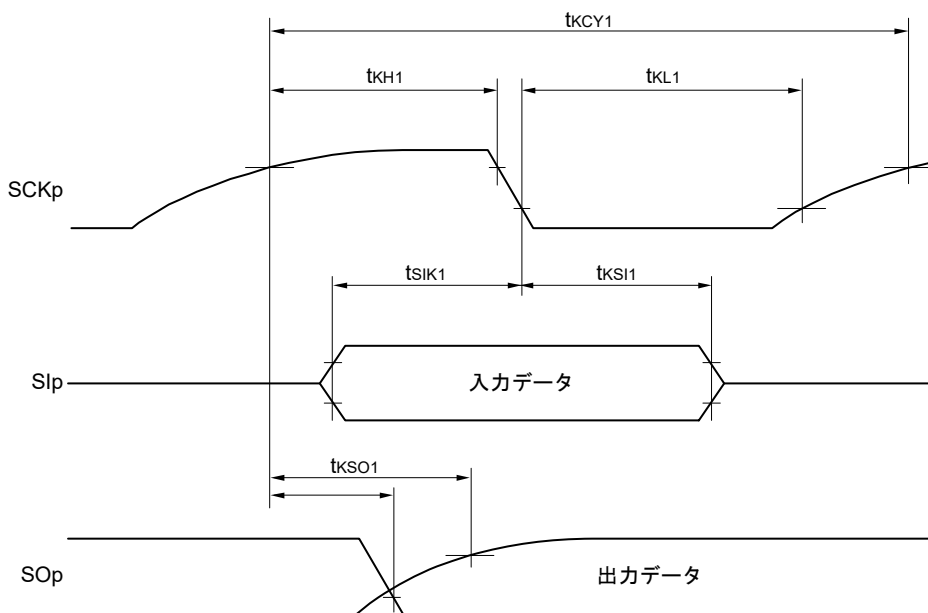
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号(mn = 00))

簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 10, 20, 30), m : ユニット番号(m = 0, 1),
 n : チャネル番号(n = 0, 2), g : PIM, POM番号(g = 0-3)

(9) 異電位(1.8 V系, 2.5 V系)通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

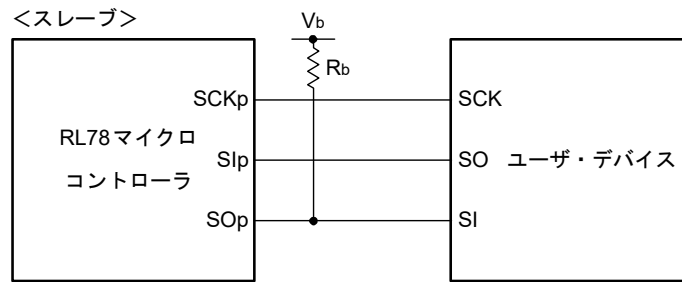
項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム 注1	tkCY2	2.7 V ≤ VDD ≤ 3.6 V,	20 MHz < fMCK ≤ 24 MHz	16/fMCK	—	—	—	—	ns	
			16 MHz < fMCK ≤ 20 MHz	14/fMCK	—	—	—	ns		
		2.3 V ≤ Vb ≤ 2.7 V	8 MHz < fMCK ≤ 16 MHz	12/fMCK	—	—	—	ns		
			4 MHz < fMCK ≤ 8 MHz	8/fMCK	16/fMCK	—	—	ns		
			fMCK ≤ 4 MHz	6/fMCK	10/fMCK	10/fMCK	—	ns		
	注2	1.8 V ≤ VDD < 3.3 V,	20 MHz < fMCK ≤ 24 MHz	36/fMCK	—	—	—	ns		
			16 MHz < fMCK ≤ 20 MHz	32/fMCK	—	—	—	ns		
		1.6 V ≤ Vb ≤ 2.0 V	8 MHz < fMCK ≤ 16 MHz	26/fMCK	—	—	—	ns		
			4 MHz < fMCK ≤ 8 MHz	16/fMCK	16/fMCK	—	—	ns		
			fMCK ≤ 4 MHz	10/fMCK	10/fMCK	10/fMCK	—	ns		
SCKp ハイ・ロウ・レベル幅	tkH2, tkL2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		tkCY2/2 - 18	tkCY2/2 - 50	tkCY2/2 - 50	tkCY2/2 - 50	ns		
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2		tkCY2/2 - 50	tkCY2/2 - 50	tkCY2/2 - 50	tkCY2/2 - 50	ns		
Slp セットアップ時間 (対SCKp ↑)注3	tsIK2	2.7 V ≤ VDD ≤ 3.6 V		1/fMCK + 20	1/fMCK + 30	1/fMCK + 30	1/fMCK + 30	ns		
		1.8 V ≤ VDD < 3.3 V		1/fMCK + 30	1/fMCK + 30	1/fMCK + 30	1/fMCK + 30	ns		
Slp ホールド時間 (対SCKp ↑)注4	tkSI2			1/fMCK + 31	1/fMCK + 31	1/fMCK + 31	1/fMCK + 31	ns		
SCKp ↓ → SOp 出力遅延時間注5	tkSO2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			2/fMCK + 214	2/fMCK + 573	2/fMCK + 573	ns		
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ			2/fMCK + 573	2/fMCK + 573	2/fMCK + 573	ns		

(注, 注意は次ページに, 備考は次々ページにあります。)

- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. $V_{DD} \geq V_b$ で使用してください。
- 注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpセットアップ時間が“対SCKp ↓”となります。
- 注4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpホールド時間が“対SCKp ↓”となります。
- 注5. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択します。なお V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI)モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SOp)負荷容量値,

V_b [V] : 通信ライン電圧

備考2. p : CSI番号($p = 00, 10, 20, 30$), m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0-3$),

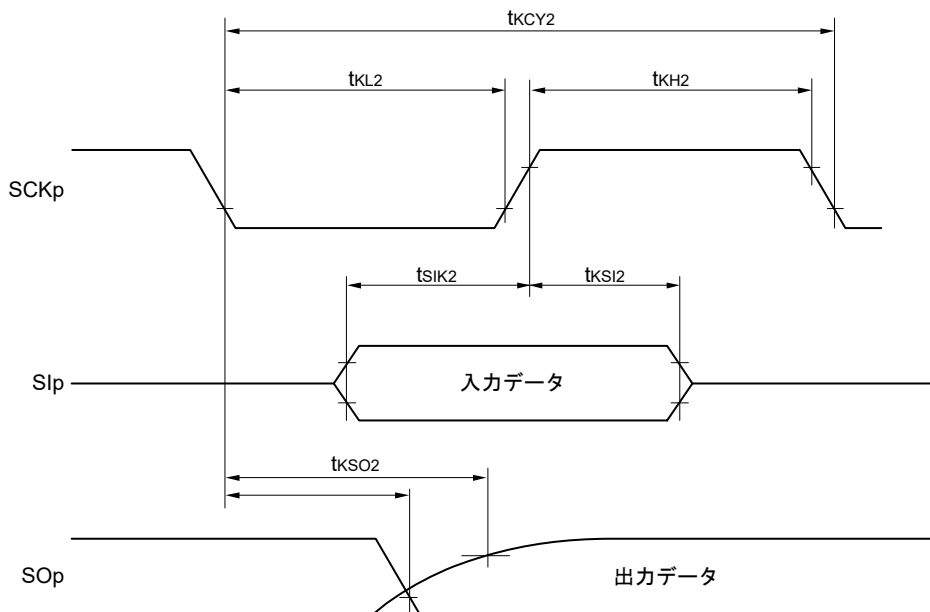
g : PIM, POM番号($g = 0-3$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

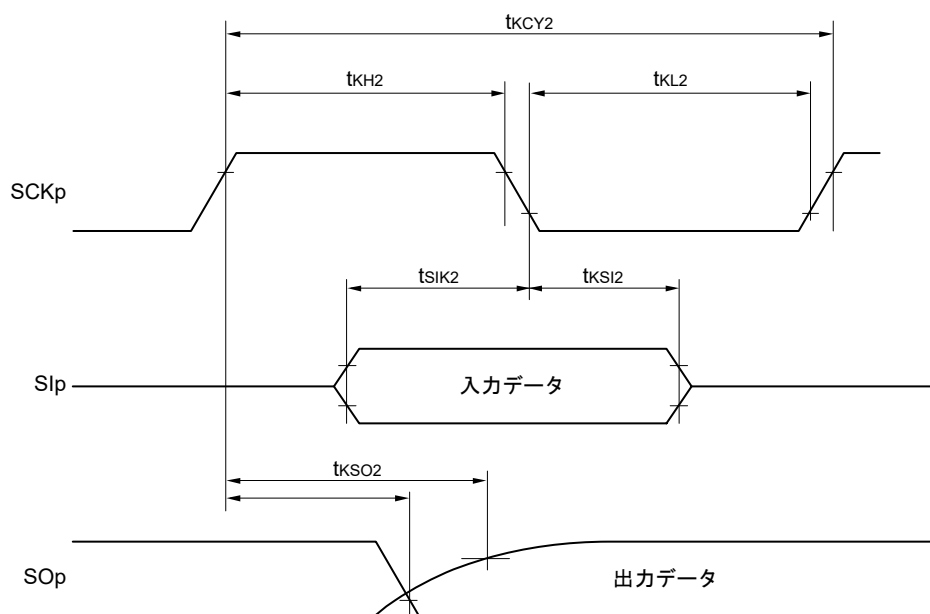
(シリアル・モード・レジスタ mn (SMR mn)のCKSm n ビットで設定する動作クロック。 m : ユニット番号,

n : チャネル番号($mn = 00, 02, 10, 12$))

簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 10, 20, 30), m : ユニット番号(m = 0, 1),
 n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0-3)

(10) 異電位通信時(1.8 V系, 2.5 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
			モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	fsCL	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 注1		300注1		300注1	kHz
		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400注1		300注1		300注1	kHz
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ		400注1		300注1		300注1	kHz
SCLr = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		2.7 V ≤ VDD < 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		ns
SCLr = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		610		610		ns
		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		610		610		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		ns
データ・セットアップ時間(受信時)	tsu : DAT	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135注3		1/fMCK + 190注2		1/fMCK + 190注3		ns
		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK + 190注3		1/fMCK + 190注3		1/fMCK + 190注3		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK + 190注3		1/fMCK + 190注3		1/fMCK + 190注3		ns
データ・ホールド時間(送信時)	tHD : DAT	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb < 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	0	405	ns

注1. fMCK/4以下に設定してください。

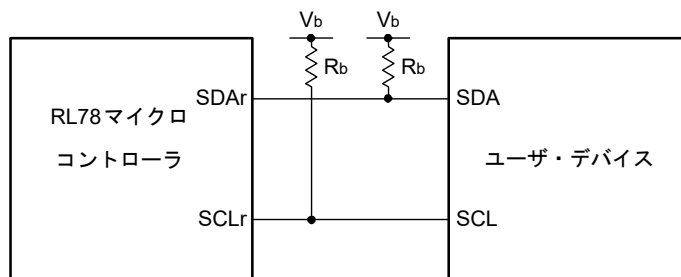
注2. VDD ≥ Vbで使用してください。

注3. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

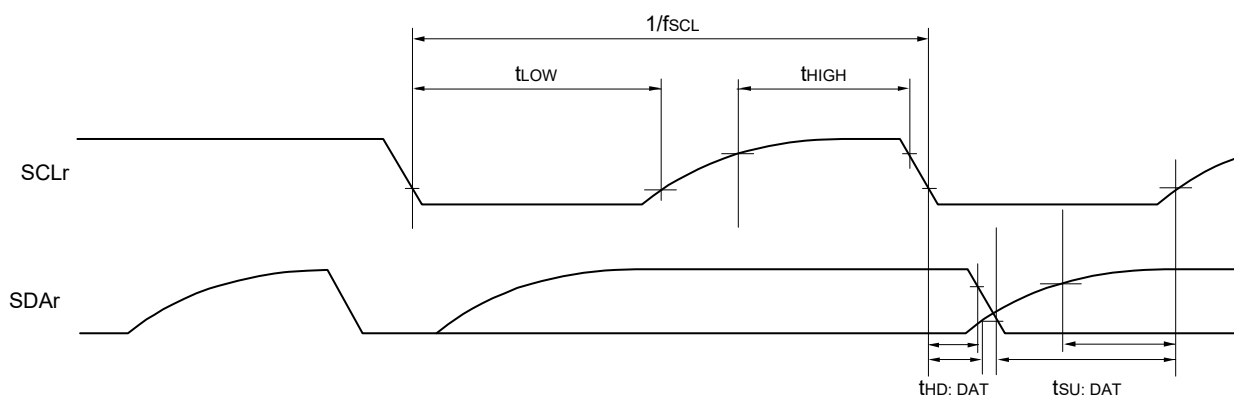
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力(VDD耐圧)モードを選択し、SCLrはN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)



簡易I²Cモード・シリアル転送タイミング(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F] : 通信ライン(SDAr, SCLr)負荷容量値,

V_b [V] : 通信ライン電圧

備考2. r : IIC番号($r = 00, 10, 20, 30$), g : PIM, POM番号($g = 0-3$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKS mn ビットで設定する動作クロック。 m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0, 2$), $mn = 00, 02, 10, 12$)

34.5.2 シリアル・インタフェース I2C A

(1) I²C 標準モード

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCLA0クロック周波数	fSCL	標準モード: fCLK ≥ 1 MHz	2.7 V ≤ VDD ≤ 3.6 V	0	100	0	100	0	100	kHz
		1.8 V ≤ VDD ≤ 3.6 V	—	—	0	100	0	100	kHz	
		1.6 V ≤ VDD ≤ 3.6 V	—	—	—	—	0	100	kHz	
リスタート・コンディションのセットアップ時間	tSU : STA	2.7 V ≤ VDD ≤ 3.6 V	4.7	—	4.7	—	4.7	—	μs	
		1.8 V ≤ VDD ≤ 3.6 V	—	—	4.7	—	4.7	—	μs	
		1.6 V ≤ VDD ≤ 3.6 V	—	—	—	—	4.7	—	μs	
ホールド時間注1	tHD : STA	2.7 V ≤ VDD ≤ 3.6 V	4.0	—	4.0	—	4.0	—	μs	
		1.8 V ≤ VDD ≤ 3.6 V	—	—	4.0	—	4.0	—	μs	
		1.6 V ≤ VDD ≤ 3.6 V	—	—	—	—	4.0	—	μs	
SCLA0 = "L" のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 3.6 V	4.7	—	4.7	—	4.7	—	μs	
		1.8 V ≤ VDD ≤ 3.6 V	—	—	4.7	—	4.7	—	μs	
		1.6 V ≤ VDD ≤ 3.6 V	—	—	—	—	4.7	—	μs	
SCLA0 = "H" のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 3.6 V	4.0	—	4.0	—	4.0	—	μs	
		1.8 V ≤ VDD ≤ 3.6 V	—	—	4.0	—	4.0	—	μs	
		1.6 V ≤ VDD ≤ 3.6 V	—	—	—	—	4.0	—	μs	
データ・セットアップ時間(受信時)	tSU : DAT	2.7 V ≤ VDD ≤ 3.6 V	250	—	250	—	250	—	ns	
		1.8 V ≤ VDD ≤ 3.6 V	—	—	250	—	250	—	ns	
		1.6 V ≤ VDD ≤ 3.6 V	—	—	—	—	250	—	ns	
データ・ホールド時間(送信時)注2	tHD : DAT	2.7 V ≤ VDD ≤ 3.6 V	0	3.45	0	3.45	0	3.45	μs	
		1.8 V ≤ VDD ≤ 3.6 V	—	—	0	3.45	0	3.45	μs	
		1.6 V ≤ VDD ≤ 3.6 V	—	—	—	—	0	3.45	μs	
ストップ・コンディションのセットアップ時間	tSU : STO	2.7 V ≤ VDD ≤ 3.6 V	4.0	—	4.0	—	4.0	—	μs	
		1.8 V ≤ VDD ≤ 3.6 V	—	—	4.0	—	4.0	—	μs	
		1.6 V ≤ VDD ≤ 3.6 V	—	—	—	—	4.0	—	μs	
パス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 3.6 V	4.7	—	4.7	—	4.7	—	μs	
		1.8 V ≤ VDD ≤ 3.6 V	—	—	4.7	—	4.7	—	μs	
		1.6 V ≤ VDD ≤ 3.6 V	—	—	—	—	4.7	—	μs	

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. tHD : DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は, 次のとおりです。
標準モード : Cb = 400 pF, Rb = 2.7 kΩ

(2) I²Cファースト・モード(TA = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード: fCLK ≥ 3.5 MHz	2.7 V ≤ V _{DD} ≤ 3.6 V	0	400	0	400	0	400	kHz
			1.8 V ≤ V _{DD} ≤ 3.6 V	0	400	0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ V _{DD} ≤ 3.6 V		0.6		0.6		0.6		μs
		1.8 V ≤ V _{DD} ≤ 3.6 V		0.6		0.6		0.6		μs
ホールド時間 ^{注1}	tHD: STA	2.7 V ≤ V _{DD} ≤ 3.6 V		0.6		0.6		0.6		μs
		1.8 V ≤ V _{DD} ≤ 3.6 V		0.6		0.6		0.6		μs
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ V _{DD} ≤ 3.6 V		1.3		1.3		1.3		μs
		1.8 V ≤ V _{DD} ≤ 3.6 V		1.3		1.3		1.3		μs
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ V _{DD} ≤ 3.6 V		0.6		0.6		0.6		μs
		1.8 V ≤ V _{DD} ≤ 3.6 V		0.6		0.6		0.6		μs
データ・セットアップ時間(受信時)	tSU: DAT	2.7 V ≤ V _{DD} ≤ 3.6 V		100		100		100		ns
		1.8 V ≤ V _{DD} ≤ 3.6 V		100		100		100		ns
データ・ホールド時間(送信時) ^{注2}	tHD: DAT	2.7 V ≤ V _{DD} ≤ 3.6 V		0	0.9	0	0.9	0	0.9	μs
		1.8 V ≤ V _{DD} ≤ 3.6 V		0	0.9	0	0.9	0	0.9	μs
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ V _{DD} ≤ 3.6 V		0.6		0.6		0.6		μs
		1.8 V ≤ V _{DD} ≤ 3.6 V		0.6		0.6		0.6		μs
バス・フリー時間	tBUF	2.7 V ≤ V _{DD} ≤ 3.6 V		1.3		1.3		1.3		μs
		1.8 V ≤ V _{DD} ≤ 3.6 V		1.3		1.3		1.3		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるC_b(通信ライン容量)のMAX.値と, そのときのR_b(通信ライン・プルアップ抵抗値)の値は次のとおりです。
ファースト・モード: C_b = 320 pF, R_b = 1.1 kΩ

(3) I²C ファースト・モード・プラス

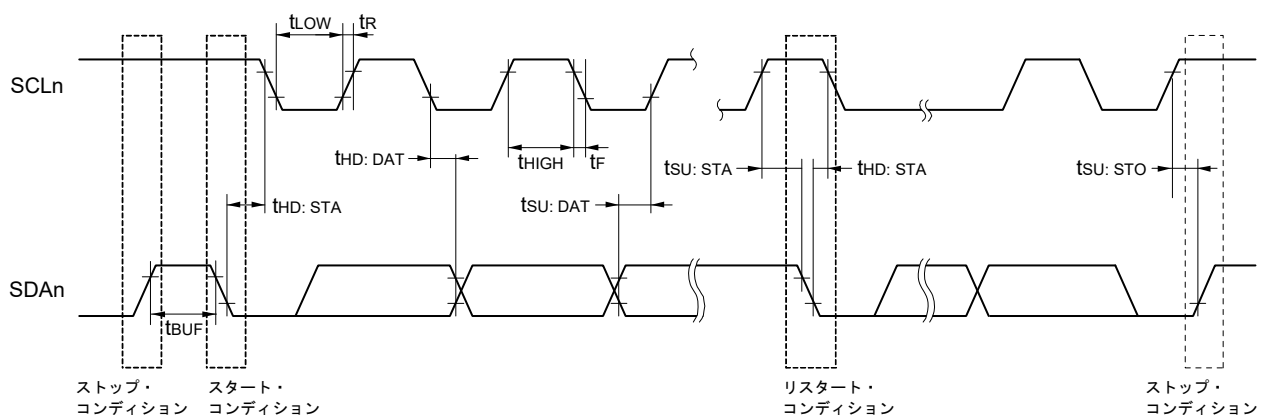
(TA = -40 ~ +85°C, 2.7 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
				SCLA0クロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz	2.7 V ≤ VDD ≤ 3.6 V	0	1000	
リスタート・コンディションのセットアップ時間	tSU: STA	2.7 V ≤ VDD ≤ 3.6 V		0.26		—	—	—	—	μs
ホールド時間注1	tHD: STA	2.7 V ≤ VDD ≤ 3.6 V		0.26		—	—	—	—	μs
SCLA0 = "L"のホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 3.6 V		0.5		—	—	—	—	μs
SCLA0 = "H"のホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 3.6 V		0.26		—	—	—	—	μs
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ VDD ≤ 3.6 V		50		—	—	—	—	ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ VDD ≤ 3.6 V		0	0.45	—	—	—	—	μs
ストップ・コンディションのセットアップ時間	tSU: STO	2.7 V ≤ VDD ≤ 3.6 V		0.26		—	—	—	—	μs
パス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 3.6 V		0.5		—	—	—	—	μs

- 注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。
 注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。
 ファースト・モード・プラス : Cb = 120 pF, Rb = 1.1 kΩ

I²Cシリアル転送タイミング



34.5.3 USB

(1) 電気的特性

(TA = -40 ~ +85°C, 2.4 V ≤ VDD ≤ 3.6, VSS = 0 V, HS (高速メイン)モードのみ)

項目		略号	条件	MIN.	TYP.	MAX.	単位
UREGC	UREGC出力電圧特性	UREGC	UVBUS = 4.0 ~ 5.5 V PXXCON = VDDUSBE = 1	3.0	3.3	3.6	V
UVBUS	UVBUS入力電圧特性	UVBUS	ファンクション時	4.35 (4.02注)	5.00	5.25	V

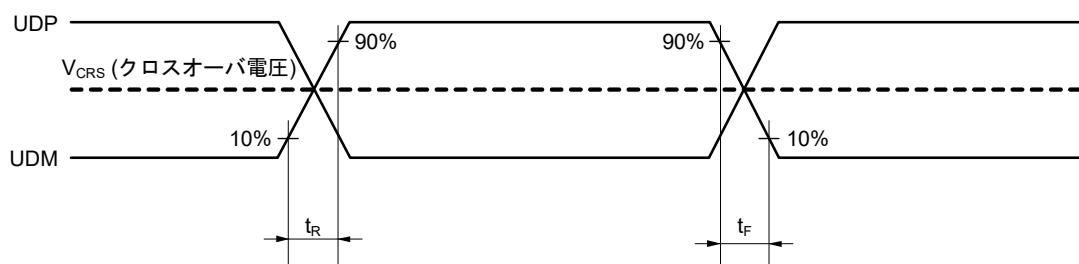
注 瞬時電圧

(TA = -40 ~ +85°C, 4.35 V ≤ UVBUS ≤ 5.25 V, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V, HS (高速メイン)モードのみ)

項目		略号	条件	MIN.	TYP.	MAX.	単位	
入力特性 (FS/LS レシーバ)	入力電圧	VIH		2.0			V	
		VIL				0.8	V	
	差動入力感度	VDI	UDP電圧 - UDM電圧	0.2			V	
	差動コモン・モード・レンジ	VCM		0.8		2.5	V	
出力特性 (FS ドライバ)	出力電圧	VOH	IOH = -200 μA	2.8		3.6	V	
		VOL	IOL = 2 mA	0		0.3	V	
	遷移時間	立ち上がり	tFR	立ち上がり : 振幅の10% → 90%	4		20	ns
		立ち下がり	tFF	立ち下がり : 振幅の90% → 10%	4		20	ns
	マッチング(TFR/TFF)	VFRFM	CL = 50 pF	90		111.1	%	
	クロスオーバー電圧	VFCRS		1.3		2.0	V	
出カインピーダンス	ZDRV		28		44	Ω		
出力特性 (LS ドライバ)	出力電圧	VOH		2.8		3.6	V	
		VOL		0		0.3	V	
	遷移時間	立ち上がり	tLR	立ち上がり : 振幅の10% → 90%	75		300	ns
		立ち下がり	tLF	立ち下がり : 振幅の90% → 10%	75		300	ns
	マッチング(TFR/TFF) 注	VLTFM	CL = 250 pF ~ 750 pF	80		125	%	
クロスオーバー電圧注	VLCRS	UDP, UDM端子をそれぞれ15 kΩでプルダウン	1.3		2.0	V		
ブルアップ、ブル ダウン	プルダウン抵抗	RPD		14.25		24.80	kΩ	
	ブルアップ抵抗	アイドル時	RPUI	0.9		1.575	kΩ	
		受信時	RPUA	1.425		3.09	kΩ	
UVBUS	UVBUSプルダウン抵抗	RVBUS	UVBUS電圧 = 5.5 V		1000		kΩ	
	UVBUS入力電圧	VIH		3.20			V	
		VIL					0.8	V

注 アイドル状態から初回の信号遷移を除く。

UDP, UDM タイミング



(2) BC規格

(TA = -40 ~ +85°C, 4.35 V ≤ UVBUS ≤ 5.25 V, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V, HS (高速メイン)モードのみ)

項目		略号	条件	MIN.	TYP.	MAX.	単位
USB 規格 BC1.2	UDP シンク電流	IDP_SINK		25	100	175	μA
	UDM シンク電流	IDM_SINK		25	100	175	μA
	DCD ソース電流	IDP_SRC		7	10	13	μA
	データ検出電圧	VDAT_REF		0.25	0.325	0.4	V
	UDP ソース電圧	VDP_SRC	出力電流 250 μA	0.5	0.6	0.7	V
	UDM ソース電圧	VDM_SRC	出力電流 250 μA	0.5	0.6	0.7	V

(3) BCオプション規格

(TA = -40 ~ +85°C, 4.35 V ≤ UVBUS ≤ 5.25 V, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V, HS (高速メイン)モードのみ)

項目		略号	条件	MIN.	TYP.	MAX.	単位	
UDP/UDM入力基準電圧 (UVBUS分圧比) (ファンクション時)	VDSELi [3: 0] (i = 0, 1)	0000	VDDDET0		27	32	37	%UVBUS
		0001	VDDDET1		29	34	39	%UVBUS
		0010	VDDDET2		32	37	42	%UVBUS
		0011	VDDDET3		35	40	45	%UVBUS
		0100	VDDDET4		38	43	48	%UVBUS
		0101	VDDDET5		41	46	51	%UVBUS
		0110	VDDDET6		44	49	54	%UVBUS
		0111	VDDDET7		47	52	57	%UVBUS
		1000	VDDDET8		51	56	61	%UVBUS
		1001	VDDDET9		55	60	65	%UVBUS
		1010	VDDDET10		59	64	69	%UVBUS
		1011	VDDDET11		63	68	73	%UVBUS
		1100	VDDDET12		67	72	73	%UVBUS
		1101	VDDDET13		71	76	81	%UVBUS
		1110	VDDDET14		75	80	85	%UVBUS
		1111	VDDDET15		79	84	89	%UVBUS

34.6 アナログ特性

34.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャンネル	基準電圧 基準電圧(+) = AVREFP 基準電圧(-) = AVREFM	基準電圧(+) = AVDD 基準電圧(-) = AVSS	基準電圧(+) = 内部基準電圧 基準電圧(-) = AVSS
高精度チャンネルANI0-ANI6 (入力バッファ電源: AVDD)	34.6.1 (1)参照 34.6.1 (2)参照	34.6.1 (3)参照	34.6.1 (6)参照
標準チャンネルANI16-ANI21 (入力バッファ電源: VDD)	34.6.1 (4)参照	34.6.1 (5)参照	
内部基準電圧, 温度センサ出力電圧	34.6.1 (4)参照	34.6.1 (5)参照	—

- (1) 基準電圧 (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM/ANI1
(ADREFM = 1)選択時, 変換対象: ANI2-ANI6

(TA = -40 ~ +85°C, 2.4 V ≤ AVREFP ≤ AVDD = VDD ≤ 3.6V, VSS = 0 V, AVSS = 0 V, 基本電圧(+) = AVREFP,
基準電圧(-) = AVREFM = 0 V, HALT モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差注1, 2, 3	AINL	12ビット分解能		±1.7	±3.3	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能	3.375			μs
ゼロスケール誤差注1, 2, 3	EZS	12ビット分解能		±1.3	±3.2	LSB
フルスケール誤差注1, 2, 3	EFS	12ビット分解能		±0.7	±2.9	LSB
積分直線性誤差注1, 2, 3	ILE	12ビット分解能		±1.0	±1.4	LSB
微分直線性誤差注1, 2, 3	DLE	12ビット分解能		±0.9	±1.2	LSB
アナログ入力電圧	VAIN		0		AVREFP	V

注1. TYP.値は, AVDD = AVREFP = 3V, TA = 25°Cの平均値です。MAX.値は正規分布における, 平均値±3σの値です。

注2. この値は特性評価結果による値であり, 出荷検査は行っていません。

注3. 量子化誤差(±1/2 LSB)を含みません。

注意1. 各電源/グランド・ラインにノイズが載らないよう配線を引き回し, コンデンサを挿入する等の対策をしてください。
また, AVREFPの基準電圧ラインは他の電源ラインと分離し, ノイズの影響が及ばないようにしてください。

注意2. A/D変換中は, 変換端子の隣接端子とP150-P156に対して, デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

- (2) 基準電圧 (+) = $AVREFP/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = $AVREFM/ANI1$ (ADREFM = 1)
 選択時, 変換対象: ANI2-ANI6

(TA = -40 ~ +85°C, $1.6\text{ V} \leq AVREFP \leq AVDD = VDD \leq 3.6\text{ V}$, $VSS = 0\text{ V}$, $AVSS = 0\text{ V}$, 基準電圧 (+) = $AVREFP$,
 基準電圧 (-) = $AVREFM = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES	$2.4\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$	8		12	bit	
		$1.8\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$	8		10 ^{注1}		
		$1.6\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$	8 ^{注2}				
総合誤差 ^{注3}	AINL	12ビット分解能 $2.4\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±6.0	LSB	
		10ビット分解能 $1.8\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±5.0		
		8ビット分解能 $1.6\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±2.5		
変換時間	tCONV	ADTYP = 0, 12ビット分解能 $2.4\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$	3.375			μs	
		ADTYP = 0, 10ビット分解能 ^{注1} $1.8\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$	6.75				
		ADTYP = 0, 8ビット分解能 ^{注2} $1.6\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$	13.5				
		ADTYP = 1, 8ビット分解能	$2.4\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$	2.5625			
			$1.8\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$	5.125			
			$1.6\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$	10.25			
ゼロスケール誤差 ^{注3}	EZS	12ビット分解能 $2.4\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±4.5	LSB	
		10ビット分解能 $1.8\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±4.5		
		8ビット分解能 $1.6\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±2.0		
フルスケール誤差 ^{注3}	EFS	12ビット分解能 $2.4\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±4.5	LSB	
		10ビット分解能 $1.8\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±4.5		
		8ビット分解能 $1.6\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±2.0		
積分直線性誤差 ^{注3}	ILE	12ビット分解能 $2.4\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±2.0	LSB	
		10ビット分解能 $1.8\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±1.5		
		8ビット分解能 $1.6\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±1.0		
微分直線性誤差 ^{注3}	DLE	12ビット分解能 $2.4\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±1.5	LSB	
		10ビット分解能 $1.8\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±1.5		
		8ビット分解能 $1.6\text{ V} \leq AVREFP \leq AVDD \leq 3.6\text{ V}$			±1.0		
アナログ入力電圧	VAIN		0		AVREFP	V	

注1. ADCRレジスタの下位2bitは使用できません。

注2. ADCRレジスタの下位4bitは使用できません。

注3. 量子化誤差(±1/2 LSB)を含みません。

注意 AVDDは常にVDDと同電位としてください。

- (3) 基準電圧 (+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,
変換対象 : ANI0-ANI6

(TA = -40 ~ +85°C, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基準電圧 (+) = AVDD,
基準電圧 (-) = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	2.4 V ≤ AVDD ≤ 3.6 V	8		12	bit
		1.8 V ≤ AVDD ≤ 3.6 V	8		10 ^{注1}	
		1.6 V ≤ AVDD ≤ 3.6 V	8 ^{注2}			
総合誤差 ^{注3}	AINL	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±7.5	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±5.5	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±3.0	
変換時間	tCONV	ADTYP = 0, 12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	3.375		μs
		ADTYP = 0, 10ビット分解能 ^{注1}	1.8 V ≤ AVDD ≤ 3.6 V	6.75		
		ADTYP = 0, 8ビット分解能 ^{注2}	1.6 V ≤ AVDD ≤ 3.6 V	13.5		
		ADTYP = 1, 8ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	2.5625		
			1.8 V ≤ AVDD ≤ 3.6 V	5.125		
			1.6 V ≤ AVDD ≤ 3.6 V	10.25		
ゼロスケール誤差 ^{注3}	EZS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±6.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±5.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±2.5	
フルスケール誤差 ^{注3}	EFS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±6.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±5.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±2.5	
積分直線性誤差 ^{注3}	ILE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±3.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±2.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±1.5	
微分直線性誤差 ^{注3}	DLE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±2.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±2.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±1.5	
アナログ入力電圧	VAIN		0		AVDD	V

注1. ADCRレジスタの下位2bitは使用できません。

注2. ADCRレジスタの下位4bitは使用できません。

注3. 量子化誤差(±1/2 LSB)を含みません。

注意 AVDDは常にVDDと同電位としてください。

- (4) 基準電圧(+) = $AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = $AV_{REFM}/ANI1$ (ADREFM = 1)
 選択時, 変換対象: ANI16-ANI21, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +85°C, $1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} = V_{DD} \leq 3.6\text{ V}$, $V_{SS} = 0\text{ V}$, $AV_{SS} = 0\text{ V}$,

基準電圧(+) = AV_{REFP} , 基準電圧(-) = $AV_{REFM} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	8		12	bit
		$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	8		10注1	
		$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	8注2			
総合誤差注3	AINL	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±7.0	LSB
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±5.5	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±3.0	
変換時間	tCONV	ADTYP = 0, 12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	4.125		μs
		ADTYP = 0, 10ビット分解能注1	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	9.5		
		ADTYP = 0, 8ビット分解能注2	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	57.5		
		ADTYP = 1, 8ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	3.3125		
			$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	7.875		
			$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	54.25		
ゼロスケール誤差注3	EZS	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±5.0	LSB
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±5.0	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±2.5	
フルスケール誤差注3	EFS	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±5.0	LSB
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±5.0	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±2.5	
積分直線性誤差注3	ILE	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±3.0	LSB
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±2.0	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±1.5	
微分直線性誤差注3	DLE	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±2.0	LSB
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±2.0	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$		±1.5	
アナログ入力電圧	VAIN		0		AV_{REFP}	V
		内部基準電圧 ($2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, HS (高速メイン)モード)	$VBGR$ 注4			
		温度センサ出力電圧 ($2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, HS (高速メイン)モード)	$VTMP525$ 注4			

注1. ADCRレジスタの下位2bitは使用できません。

注2. ADCRレジスタの下位4bitは使用できません。

注3. 量子化誤差(±1/2 LSB)を含みません。

注4. 34.6.2 温度センサ/内部基準電圧出力特性を参照してください。

注意 AV_{DD} は常に V_{DD} と同電位としてください。

(5) 基準電圧 (+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,
変換対象 : ANI16-ANI21, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, 1.6 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基準電圧 (+) = AVDD,
基準電圧 (-) = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	2.4 V ≤ AVDD ≤ 3.6 V	8		12	bit
		1.8 V ≤ AVDD ≤ 3.6 V	8		10注1	
		1.6 V ≤ AVDD ≤ 3.6 V	8注2			
総合誤差注3	AINL	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±8.5	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±6.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±3.5	
変換時間	tCONV	ADTYP = 0, 12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	4.125		μs
		ADTYP = 0, 10ビット分解能注1	1.8 V ≤ AVDD ≤ 3.6 V	9.5		
		ADTYP = 0, 8ビット分解能注2	1.6 V ≤ AVDD ≤ 3.6 V	57.5		
		ADTYP = 1, 8ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	3.3125		
			1.8 V ≤ AVDD ≤ 3.6 V	7.875		
			1.6 V ≤ AVDD ≤ 3.6 V	54.25		
ゼロスケール誤差注3	EZS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±8.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±5.5	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±3.0	
フルスケール誤差注3	EFS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±8.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±5.5	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±3.0	
積分直線性誤差注3	ILE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±3.5	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±2.5	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±1.5	
微分直線性誤差注3	DLE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±2.5	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±2.5	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±2.0	
アナログ入力電圧	VAIN		0		AVDD	V
		内部基準電圧 (2.4 V ≤ VDD ≤ 3.6 V, HS (高速メイン)モード)	VBGR注4			
		温度センサ出力電圧 (2.4 V ≤ VDD ≤ 3.6 V, HS (高速メイン)モード)	VTMPS25注4			

- 注1. ADCRレジスタの下位2bitは使用できません。
- 注2. ADCRレジスタの下位4bitは使用できません。
- 注3. 量子化誤差(±1/2 LSB)を含みません。
- 注4. 34.6.2 温度センサ/内部基準電圧出力特性を参照してください。

注意 AVDDは常にVDDと同電位としてください。

- (6) 基準電圧 (+) = 内部基準電圧(1.45 V) (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0)選択時, 対象ANI端子 : ANI0-ANI6, ANI16-ANI21

(TA = -40 ~ +85°C, 2.4 V ≤ VDD ≤ 3.6 V, 1.6 V ≤ VDD, 1.6 V ≤ AVDD = VDD, VSS = 0 V, AVSS = 0 V,

基準電圧(+)=内部基準電圧, 基準電圧(-)=AVSS=0 V, HS(高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	16			μs
ゼロスケール誤差注	EZS	8ビット分解能			±4.0	LSB
積分直線性誤差	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差	DLE	8ビット分解能			±2.5	LSB
基準電圧(+)	AVREF (+)	= 内部基準電圧(VBGR)	1.38	1.45	1.5	V
アナログ入力電圧	VAIN		0		VBGR	V

注 量子化誤差(±1/2 LSB)を含みません。

注意 AVDDは常にVDDと同電位としてください。

34.6.2 温度センサ/内部基準電圧出力特性

(TA = -40 ~ +85°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V (HS (高速メイン)モード))

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	ADSレジスタ = 80H設定, TA = +25°C		1.05		V
内部基準電圧	VBGR	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ出力電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	tAMP		10			μs

34.6.3 D/Aコンバータ

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4 MΩ	1.8 V ≤ VDD ≤ 3.6 V		±2.5	LSB
		Rload = 8 MΩ	1.8 V ≤ VDD ≤ 3.6 V		±2.5	LSB
セトリング・タイム	tSET	Cload = 20pF	2.7 V ≤ VDD ≤ 3.6 V		3	μs
			1.6 V ≤ VDD < 2.7 V		6	μs

34.6.4 コンパレータ

(TA = -40 ~ +85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力電圧範囲	lvref		0		VDD - 1.4	V	
	lvcmp		-0.3		VDD + 0.3	V	
出力遅延	td	VDD = 3.0 V 入カスルーレート > 50 mV/μs	高速コンパレータモード, 基本モード			1.2	μs
			高速コンパレータモード, ウィンドウモード			2.0	μs
			低速コンパレータモード, 基本モード		3	5.0	μs
高電位側判定電圧	VTW+	高速コンパレータモード, ウィンドウモード		0.76 VDD		V	
低電位側判定電圧	VTW-	高速コンパレータモード, ウィンドウモード		0.24 VDD		V	
動作安定待ち時間	tCMP		100			μs	
内部基準電圧注	VBGR		1.38	1.45	1.50	V	

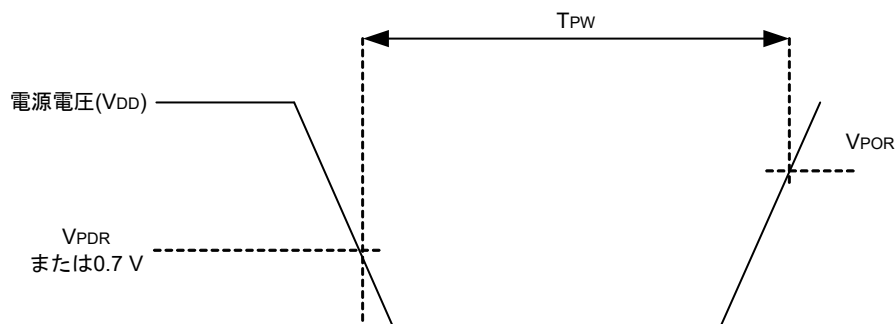
注 LS (低速メイン)モード, LV (低電圧メイン)モード, サブ・クロック動作, STOPモード時は使用できません。

34.6.5 POR回路特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.47	1.51	1.55	V
	VPDR	電源立ち下がり時注	1.46	1.50	1.54	V
最小パルス幅	TPW		300			μs

注 VDDがVPDRを下回った場合に, PORによるリセット動作に必要な時間です。またSTOPモード時および, クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定によりメイン・システム・クロック(fMAIN)を停止時は, VDDが0.7Vを下回ってから, VPORを上回るまでのPORによるリセット動作に必要な時間です。



34.6.6 LVD回路特性

(TA = -40 ~ +85°C, VPDR ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		VLVD9	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		VLVD10	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		VLVD11	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		VLVD12	電源立ち上がり時	1.74	1.77	1.81	V
			電源立ち下がり時	1.70	1.73	1.77	V
		VLVD13	電源立ち上がり時	1.64	1.67	1.70	V
			電源立ち下がり時	1.60	1.63	1.66	V
最小パルス幅		tlw		300			μs
検出遅延						300	μs

注意 検出電圧(VLVD)は、動作電圧範囲内になるように設定してください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定で決まります。動作電圧範囲は以下の通りです。

HS (高速メイン)モード : VDD = 2.7 ~ 3.6 V @ 1 MHz ~ 24 MHz

VDD = 2.4 ~ 3.6 V @ 1 MHz ~ 16 MHz

LS (低速メイン)モード : VDD = 1.8 ~ 3.6 V @ 1 MHz ~ 8 MHz

LV (低電圧メイン)モード : VDD = 1.6 ~ 3.6 V @ 1 MHz ~ 4 MHz

割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +85°C, VPDR ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDA0	VPOC0, VPOC1, VPOC2 = 0, 0, 0, 立ち下がりリセット電圧 : 1.6 V	1.60	1.63	1.66	V	
	VLVDA1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	1.74	1.77	1.81	V
			立ち下がり割り込み電圧	1.70	1.73	1.77	V
	VLVDA2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	1.84	1.88	1.91	V
			立ち下がり割り込み電圧	1.80	1.84	1.87	V
	VLVDA3	LVIS0, LVIS1 = 0, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVDB0	VPOC0, VPOC1, VPOC2 = 0, 0, 1, 立ち下がりリセット電圧 : 1.8 V	1.80	1.84	1.87	V	
	VLVDB1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がり割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がり割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS0, LVIS1 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC0, VPOC1, VPOC2 = 0, 1, 0, 立ち下がりリセット電圧 : 2.4 V	2.40	2.45	2.50	V	
	VLVDC1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がり割り込み電圧	2.60	2.65	2.70	V
	VLVDD0	VPOC0, VPOC1, VPOC2 = 0, 1, 1, 立ち下がりリセット電圧 : 2.7 V	2.70	2.75	2.81	V	
VLVDD1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V	
		立ち下がり割り込み電圧	2.80	2.86	2.91	V	
VLVDD2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V	
		立ち下がり割り込み電圧	2.90	2.96	3.02	V	

34.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD			54	V/ms

注意 VDDが34.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

34.8 LCD特性

34.8.1 外部抵抗分割方式

(1) スタティック・モード

(TA = -40 ~ +85°C, VL4 (MIN.) ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.0		VDD	V

(2) 1/2バイアス, 1/4バイアス

(TA = -40 ~ +85°C, VL4 (MIN.) ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.7		VDD	V

(3) 1/3バイアス

(TA = -40 ~ +85°C, VL4 (MIN.) ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.5		VDD	V

34.8.2 内部昇圧方式

(1) 1/3バイアス

(TA = -40 ~ +85°C, 1.8V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4 ^{注1} = 0.47 μF ^{注2}	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C4 ^{注1} = 0.47 μF	2 VL1 - 0.1	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C4 ^{注1} = 0.47 μF	3 VL1 - 0.15	3 VL1	3 VL1	V	
基準電圧セットアップ時間 ^{注2}	tVWAIT1		5			ms	
昇圧ウェイト時間 ^{注3}	tVWAIT2	C1-C4 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ± 30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウェイト時間です。

(2) 1/4バイアス

(TA = -40 ~ +85°C, 1.8V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4注1 = 0.47 μF注2	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
ダブル出力電圧	VL2	C1-C4注1 = 0.47 μF	2 VL1 - 0.08	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C4注1 = 0.47 μF	3 VL1 - 0.12	3 VL1	3 VL1	V	
クアドロプル出力電圧	VL4	C1-C5注1 = 0.47 μF	4 VL1 - 0.16	4 VL1	4 VL1	V	
基準電圧セットアップ時間注2	tVWAIT1		5			ms	
昇圧ウェイト時間注3	tVWAIT2	C1-C5注1 = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです

C1 = C2 = C3 = C4 = C5 = 0.47 μF±30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウェイト時間です。

34.8.3 容量分割方式

(1) 1/3バイアス

(TA = -40 ~ +85°C, 2.2 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
VL4電圧	VL4	C1-C4 = 0.47 μF注2		VDD		V
VL2電圧	VL2	C1-C4 = 0.47 μF注2	2/3 VL4 - 0.1	2/3 VL4	2/3 VL4 + 0.1	V
VL1電圧	VL1	C1-C4 = 0.47 μF注2	1/3 VL4 - 0.1	1/3 VL4	1/3 VL4 + 0.1	V
容量分割ウェイト時間注1	tvWAIT		100			ms

注1. 降圧を開始してから (VLCON = 1), 表示が可能になる (LCDON = 1) までのウェイト時間です。

注2. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

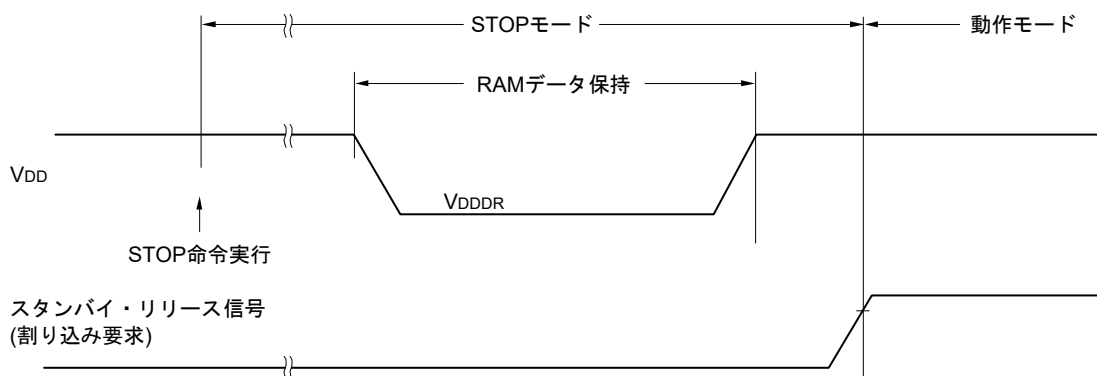
C1 = C2 = C3 = C4 = 0.47 μF±30%

34.9 RAMデータ保持特性

(TA = -40 ~ +85°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46注		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



34.10 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≤ VDD ≤ 3.6 V	1		24	MHz
コード・フラッシュの書き換え回数注1, 2, 3	C _{erwr}	保持年数：20年 TA = 85°C	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持年数：1年 TA = 25°C		1,000,000		
		保持年数：5年 TA = 85°C	100,000			
		保持年数：20年 TA = 85°C	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

34.11 専用フラッシュ・メモリ・プログラマ通信 (UART)

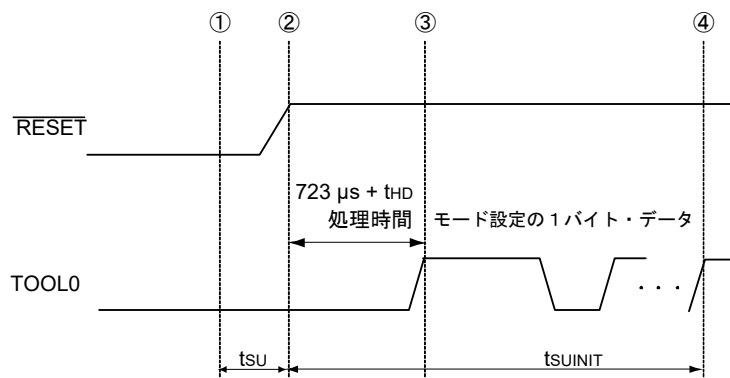
(TA = -40 ~ +85°C, 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

34.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

(TA = -40 ~ +85°C, 1.8 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsUINIT	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前にPOR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットが解除(外部リセット解除前にPOR, LVDリセットは解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるモード引きこみ, ボー・レート設定完了

備考 tsUINIT : この区間では, リセット解除から100 ms以内に初期設定通信を完了してください。

tsu : TOOL0端子をロウ・レベルにしてから, 外部リセットを解除するまでの時間

tHD : 外部リセット解除から, TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)

第35章 電気的特性 (G : 産業用途 TA = -40 ~ +105°C)

この章では、以下の対象製品の電気的特性を示します。

対象製品 G : 産業用途 TA = -40 ~ 105°C

R5F100xxGxx, R5F111xxGxx

注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. 製品により搭載している端子が異なります。2.1ポート機能~2.2.1製品別の搭載機能を参照してください。

注意3. TA = +85°C ~ +105°C で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

備考 TA = -40 ~ +85°C の範囲で使用する場合は第34章 電気的特性(TA = -40 ~ +85°C)を参照してください。

“G : 産業用途(TA = -40 ~ +105°C)”は、“A : 民生用途, G : 産業用途(TA = -40 ~ +85°Cにて使用する場合)”と次に示す機能が異なります。

用途区分	A : 民生用途	G : 産業用途
動作周囲温度	TA = -40 ~ +85°C	TA = -40 ~ +105°C
動作モード 動作電圧範囲	HS (高速メイン)モード : 2.7 V ≤ V _{DD} ≤ 3.6 V @ 1 MHz ~ 24 MHz 2.4 V ≤ V _{DD} ≤ 3.6 V @ 1 MHz ~ 16 MHz LS (低速メイン)モード : 1.8 V ≤ V _{DD} ≤ 3.6 V @ 1 MHz ~ 8 MHz LV (低電圧メイン)モード : 1.6 V ≤ V _{DD} ≤ 3.6 V @ 1 MHz ~ 4 MHz	HS (高速メイン)モードのみ : 2.7 V ≤ V _{DD} ≤ 3.6 V @ 1 MHz ~ 24 MHz 2.4 V ≤ V _{DD} ≤ 3.6 V @ 1 MHz ~ 16 MHz
高速オンチップ・オシレータ・ クロック精度	1.8 V ≤ V _{DD} ≤ 3.6 V : ±1.0% @ TA = -20 ~ +85°C ±1.5% @ TA = -40 ~ -20°C 1.6 V ≤ V _{DD} < 1.8 V : ±5.0% @ TA = -20 ~ +85°C ±5.5% @ TA = -40 ~ -20°C	2.4 V ≤ V _{DD} ≤ 3.6 V : ±2.0% @ TA = +85 ~ +105°C ±1.0% @ TA = -20 ~ +85°C ±1.5% @ TA = -40 ~ -20°C
シリアル・アレイ・ユニット	UART 簡易SPI (CSI): f _{CLK} /4 簡易I ² C	UART 簡易SPI (CSI): f _{CLK} /4 簡易I ² C
IICA	標準モード ファースト・モード ファースト・モード・プラス	標準モード ファースト・モード
電圧検出回路	・ 立ち上がり : 1.67 V ~ 3.13 V (12段階) ・ 立ち下がり : 1.63 V ~ 3.06 V (12段階)	・ 立ち上がり : 2.61 V ~ 3.13 V (6段階) ・ 立ち下がり : 2.55 V ~ 3.06 V (6段階)

備考 G : 産業用途(TA = -40 ~ +105°C)の電気的特性は、“A : 民生用途”と異なります。詳細は、このページ以降の35.1 ~ 35.12を参照してください。

35.1 絶対最大定格

絶対最大定格 (TA = 25°C)

(1/3)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	UVBUS		-0.5 ~ +6.5	V
	AVDD	$AVDD \leq VDD$	-0.5 ~ +4.6	V
REGC 端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ $VDD+0.3$ 注1	V
UREGC 端子入力電圧	VIUREGC	UREGC	-0.3 ~ $UVBUS+0.3$ 注2	V
入力電圧	Vi1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P137 P140-P143, EXCLK, EXCLKS, RESET	-0.3 ~ $VDD+0.3$ 注3	V
	Vi2	P60, P61 (N-ch オープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	UDP, UDM	-0.3 ~ +6.5	V
	Vi4	P150-P156	-0.3 ~ $AVDD+0.3$ 注4	V
出力電圧	Vo1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143	-0.3 ~ $VDD+0.3$ 注3	V
	Vo2	P150-P156	-0.3 ~ $AVDD+0.3$ 注3	V
	Vo3	UDP, UDM	-0.3 ~ +3.8	V
アナログ入力電圧	VAi1	ANI16-ANI21	-0.3 ~ $VDD+0.3$ かつ $AVREF(+)+0.3$ 注3, 5	V
	VAi2	ANI0-ANI6	-0.3 ~ $AVDD+0.3$ かつ $AVREF(+)+0.3$ 注3, 5	V

- 注1. REGC 端子にはコンデンサ (0.47 ~ 1 μ F) を介して VSS に接続してください。この値は、REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。
- 注2. UREGC 端子にはコンデンサ (0.33 μ F) を介して VSS に接続してください。この値は、UREGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。
- 注3. 6.5 V 以下であること。
- 注4. 4.6 以下であること。
- 注5. A/D 変換対象の端子は、 $AVREF(+)+0.3$ を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. $AVREF(+)$: A/D コンバータの+側基準電圧

備考3. VSS を基準電圧とする。

絶対最大定格 (TA = 25°C)

(2/3)

項目	略号	条件	定格	単位	
LCD 電圧	VL11	VL1入力電圧注1	-0.3 ~ +2.8	V	
	VL12	VL2入力電圧注1	-0.3 ~ +6.5	V	
	VL13	VL3入力電圧注1	-0.3 ~ +6.5	V	
	VL14	VL4入力電圧注1	-0.3 ~ +6.5	V	
	VL15	CAPL, CAPH入力電圧注1	-0.3 ~ +6.5	V	
	VLO1	VL1出力電圧	-0.3 ~ +2.8	V	
	VLO2	VL2出力電圧	-0.3 ~ +6.5	V	
	VLO3	VL3出力電圧	-0.3 ~ +6.5	V	
	VLO4	VL4出力電圧	-0.3 ~ +6.5	V	
	VLO5	CAPL, CAPH出力電圧	-0.3 ~ +6.5	V	
	VLO6	COM0-COM7 SEG0-SEG55 出力電圧	外部抵抗分割方式	-0.3 ~ VDD+0.3注2	V
			容量分割方式	-0.3 ~ VDD+0.3注2	V
内部昇圧方式			-0.3 ~ VL14+0.3注2	V	

注1. この値は、VL1, VL2, VL3, VL4端子への電圧印加する場合の絶対最大定格を規定するものであり、電圧印加して使用することを推奨しているわけではありません。内部昇圧方式、容量分割方式の場合、VL1, VL2, VL3, VL4端子にはコンデンサ(0.47±30%)を介してVssに接続し、CAPL端子、CAPH端子間にもコンデンサ(0.47±30%)を接続してください。

注2. 6.5V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

絶対最大定格 (TA = 25°C)

(3/3)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130 P140-P143	-40	mA
		端子合計	P40-P46	-70	mA
		-170 mA	P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	-100	mA
	IOH2	1端子	P150-P156	-0.1	mA
		端子合計		-0.7	mA
	IOH3	1端子	UDP, UDM	-3	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P130, P140-P143	40	mA
		端子合計	P40-P46	70	mA
		170 mA	P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	100	mA
	IOL2	1端子	P150-P156	0.4	mA
		端子合計		2.8	mA
	IOL3	1端子	UDP, UDM	3	mA
	動作周囲温度	TA	通常動作時	-40 ~ +105	°C
フラッシュ・メモリ・プログラミング時			-40 ~ +105		
保存温度	Tstg		-65 ~ +150	°C	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

35.2 発振回路特性

35.2.1 X1, XT1 発振回路特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数 (fx) ^注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 3.6 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	
XT1クロック発振周波数 (fxT) ^注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1 発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

35.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1,2	fHOCO		1		24	MHz
高速オンチップ・オシレータ・クロック周波数精度		-20 ~ +85°C	-1.0		+1.0	%
		-40 ~ -20°C	-1.5		+1.5	%
		+85 ~ +105°C	-2.0		+2.0	%
低速オンチップ・オシレータ・クロック周波数	fIL			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

35.2.3 PLL発振回路特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
PLL入力周波数注	fPLLIN	高速システム・クロック	6.00		16.00	MHz
PLL出力周波数注	fPLL			48.00		MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

35.3 DC特性

35.3.1 端子特性

(TA = -40 ~ +105°C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143 1端子			-3.0 ^{注2}	mA
		P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143 合計 (デューティ ≤ 70% 時 ^{注3})	2.7 V ≤ VDD ≤ 3.6 V		-15.0	mA
			2.4 V ≤ VDD < 2.7 V		-7.0	mA
	IOH2	P150-P156 1端子			-0.1 ^{注2}	mA
		全端子合計	2.4 V ≤ VDD ≤ 3.6 V		-0.7	mA

注1. VDD端子から出力端子に流れ出しても、デバイスの動作を保證する電流値です。

注2. ただし、合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OH} = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00-P02, P10-P12, P24-P26, P33-P35, P42-P44は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143 1端子			8.5 ^{注2}	mA	
		P60, P61 1端子			15.0 ^{注2}	mA	
		P40-P46, P130 合計	2.7 V ≤ VDD ≤ 3.6 V		15.0	mA	
		(デューティ ≤ 70%時 ^{注3})	2.4 V ≤ VDD < 2.7 V		9.0	mA	
		P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P140-P143 合計	2.7 V ≤ VDD ≤ 3.6 V		35.0	mA	
		(デューティ ≤ 70%時 ^{注3})	2.4 V ≤ VDD < 2.7 V		20.0	mA	
	全端子合計 (デューティ ≤ 70%時 ^{注3})			50.0	mA		
	IOL2	P150-P156 1端子				0.4 ^{注2}	mA
		全端子合計	2.4 V ≤ VDD ≤ 3.6 V			2.8	mA

注1. 出力端子からVSS端子に流れ込んでも、デバイスの動作を保证する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\bullet \text{ 端子合計の出力電流} = (\text{IOL} \times 0.7) / (n \times 0.01)$$

<計算例> IOL = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	通常入力バッファ	0.8 VDD		VDD	V
	VIH2	P00, P01, P10, P11, P24, P25, P33, P34, P43, P44	TTL入力バッファ 3.3 V ≤ VDD ≤ 3.6 V	2.0		VDD	V
			TTL入力バッファ 2.4 V ≤ VDD < 3.3 V	1.50		VDD	V
	VIH3	P150-P156		0.7 AVDD		AVDD	V
	VIH4	P60, P61		0.7 VDD		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P140-P143	通常入力バッファ	0		0.2 VDD	V
	VIL2	P00, P01, P10, P11, P24, P25, P33, P34, P43, P44	TTL入力バッファ 3.3 V ≤ VDD ≤ 3.6 V	0		0.5	V
			TTL入力バッファ 2.4 V ≤ VDD < 3.3 V	0		0.32	V
	VIL3	P150-P156		0		0.3 AVDD	V
	VIL4	P60, P61		0		0.3 VDD	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2 VDD	V

注意 P00-P02, P10-P12, P24-P26, P33-P35, P42-P44は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	2.7 V ≤ VDD ≤ 3.6 V, IOH1 = -2.0 mA	VDD - 0.6			V
			2.4 V ≤ VDD ≤ 3.6 V, IOH1 = -1.5 mA	VDD - 0.5			V
	VOH2	P150-P156	2.4 V ≤ VDD ≤ 3.6 V, IOH2 = -100 μA	AVDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P70-P77, P80-P83, P125-P127, P130, P140-P143	2.7 V ≤ VDD ≤ 3.6 V, IOL1 = 3.0 mA			0.6	V
			2.4 V ≤ VDD ≤ 3.6 V, IOL1 = 1.5 mA			0.4	V
			2.4 V ≤ VDD ≤ 3.6 V, IOL1 = 0.6 mA			0.4	V
	VOL2	P150-P156	2.4 V ≤ VDD ≤ 3.6 V, IOL2 = 400 μA			0.4	V
	VOL3	P60, P61	2.7 V ≤ VDD ≤ 3.6 V, IOL3 = 3.0 mA			0.4	V
			2.4 V ≤ VDD ≤ 3.6 V, IOL3 = 2.0 mA			0.4	V

注意 P00-P02, P10-P12, P24-P26, P33-P35, P42-P44は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 入力リーク電流	ILIH1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P137, P140-P143, RESET	Vi = VDD			1	μA	
	ILIH2	P20, P21, P140-P143	Vi = VDD			1	μA	
	ILIH3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VDD	入力ポート時, 外 部クロック入力時			1	μA
				発振子接続時			10	μA
ILIH4	P150-P156	Vi = AVDD			1	μA		
ロウ・レベル 入力リーク電流	ILIL1	P00-P07, P10-P17, P20-P27, P30-P37, P40-P46, P50-P57, P60, P61, P70-P77, P80-P83, P125-P127, P137, P140-P143, RESET	Vi = VSS			-1	μA	
	ILIL2	P20, P21, P140-P143	Vi = VSS			-1	μA	
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	Vi = VSS	入力ポート時, 外 部クロック入力時			-1	μA
				発振子接続時			-10	μA
ILIL4	P150-P156	Vi = AVSS			-1	μA		
内蔵プルアップ抵抗	RU1	P00-P07, P10-P17, P20-P27, P30-P37, P50-P57, P70-P77, P140-P143, P125-P127	Vi = VSS	2.4 V ≤ VDD ≤ 3.6	10	20	100	kΩ
	RU2	P40-P46, P80-P83	Vi = VSS	V	10	20	100	kΩ

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

35.3.2 電源電流特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位				
電源電流 ^{注1}	IDD1	動作 モード	HS(高速メイン) モード ^{注5}	fHOCO = 48 MHz ^{注3} , fIH = 24 MHz ^{注3}	基本動作	VDD = 3.6 V		2.2	2.9	mA	
						VDD = 3.0 V		2.2	2.9		
				通常動作	VDD = 3.6 V		4.4	9.2			
					VDD = 3.0 V		4.4	9.2			
				基本動作	VDD = 3.6 V		2.0	2.6			
					VDD = 3.0 V		2.0	2.6			
			通常動作	VDD = 3.6 V		4.2	7.0				
				VDD = 3.0 V		4.2	7.0				
			通常動作	VDD = 3.6 V		3.1	5.0				
				VDD = 3.0 V		3.1	5.0				
			HS(高速メイン) モード ^{注5}	fMX = 20 MHz ^{注2} , VDD = 3.6 V	通常動作	方形波入力		3.5	5.9		mA
						発振子接続		3.6	6.0		
		fMX = 20 MHz ^{注2} , VDD = 3.0 V		通常動作	方形波入力		3.5	5.9			
					発振子接続		3.6	6.0			
		fMX = 16 MHz ^{注2} , VDD = 3.6 V		通常動作	方形波入力		2.9	4.5			
					発振子接続		3.1	4.6			
		fMX = 16 MHz ^{注2} , VDD = 3.0 V		通常動作	方形波入力		2.9	4.5			
					発振子接続		3.1	4.6			
		fMX = 10 MHz ^{注2} , VDD = 3.6 V		通常動作	方形波入力		2.1	3.5			
					発振子接続		2.2	3.5			
		fMX = 10 MHz ^{注2} , VDD = 3.0 V		通常動作	方形波入力		2.1	3.5			
					発振子接続		2.2	3.5			
		HS(高速メイン) モード(PLL動作)	fPLL = 48 MHz, fCLK = 24 MHz ^{注2}	通常動作	VDD = 3.6 V		4.7	7.6	mA		
					VDD = 3.0 V		4.7	7.6			
			fPLL = 48 MHz, fCLK = 12 MHz ^{注2}	通常動作	VDD = 3.6 V		3.1	5.2			
					VDD = 3.0 V		3.1	5.1			
			fPLL = 48 MHz, fCLK = 6 MHz ^{注2}	通常動作	VDD = 3.6 V		2.3	3.9			
					VDD = 3.0 V		2.3	3.9			
サブシステム・ クロック動作	fSUB = 32.768 kHz ^{注4} TA = -40°C		通常動作	方形波入力		4.6	6.9	μA			
				発振子接続		4.7	6.9				
	fSUB = 32.768 kHz ^{注4} TA = +25°C	通常動作	方形波入力		4.9	7.0					
			発振子接続		5.0	7.2					
	fSUB = 32.768 kHz ^{注4} TA = +50°C	通常動作	方形波入力		5.2	7.6					
			発振子接続		5.2	7.7					
	fSUB = 32.768 kHz ^{注4} TA = +70°C	通常動作	方形波入力		5.5	9.3					
			発振子接続		5.6	9.4					
fSUB = 32.768 kHz ^{注4} TA = +85°C	通常動作	方形波入力		6.2	13.3						
		発振子接続		6.2	13.4						
fSUB = 32.768 kHz ^{注4} TA = +105°C	通常動作	方形波入力		8.3	46.0						
		発振子接続		8.4	46.0						

(注. 備考は次ページにあります。)

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS (高速メイン) モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、LCDコントローラ/ドライバ、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、USB 2.0ファンクション・モジュール、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。

注2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速システム・クロック、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振(AMPHS1 = 1)設定時。

注5. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大48 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロックの1/2/4/8分周、もしくはPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数(最大24 MHz)

備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、TA = 25°Cです。

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(2/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS(高速メイン)モード ^{注6}	fHOCO = 48 MHz ^{注4} , fIH = 24 MHz ^{注4}	VDD = 3.6 V	0.77	3.4	mA	
					VDD = 3.0 V	0.77	3.4		
				fHOCO = 24 MHz ^{注4} , fIH = 24 MHz ^{注4}	VDD = 3.6 V	0.55	2.7		
					VDD = 3.0 V	0.55	2.7		
				fHOCO = 16 MHz ^{注4} , fIH = 16 MHz ^{注4}	VDD = 3.6 V	0.48	1.9		
					VDD = 3.0 V	0.47	1.9		
				HS(高速メイン)モード ^{注6}	fMX = 20 MHz ^{注3} , VDD = 3.6 V	方形波入力 発振子接続	0.35 0.51		2.10 2.20
					fMX = 20 MHz ^{注3} , VDD = 3.0 V	方形波入力 発振子接続	0.34 0.51		2.10 2.20
			fMX = 16 MHz ^{注3} , VDD = 3.6 V		方形波入力 発振子接続	0.30 0.45	1.25 1.41		
			fMX = 16 MHz ^{注3} , VDD = 3.0 V		方形波入力 発振子接続	0.29 0.45	1.23 1.41		
			fMX = 10 MHz ^{注3} , VDD = 3.6 V		方形波入力 発振子接続	0.23 0.30	1.10 1.20		
			fMX = 10 MHz ^{注3} , VDD = 3.0 V		方形波入力 発振子接続	0.22 0.30	1.10 1.20		
			HS(高速メイン)モード(PLL動作)		fMX = 48 MHz, fCLK = 24 MHz ^{注3}	VDD = 3.6 V VDD = 3.0 V	0.99 0.99	2.93 2.92	
					fMX = 48 MHz, fCLK = 12 MHz ^{注3}	VDD = 3.6 V VDD = 3.0 V	0.89 0.89	2.51 2.50	
				fMX = 48 MHz, fCLK = 6 MHz ^{注3}	VDD = 3.6 V VDD = 3.0 V	0.84 0.84	2.30 2.29		
				サブシステム・クロック動作	fSUB = 32.768 kHz ^{注5} TA = -40°C	方形波入力 発振子接続	0.32 0.51	0.61 0.80	
			fSUB = 32.768 kHz ^{注5} TA = +25°C		方形波入力 発振子接続	0.41 0.62	0.74 0.91		
			fSUB = 32.768 kHz ^{注5} TA = +50°C		方形波入力 発振子接続	0.52 0.75	2.30 2.49		
			fSUB = 32.768 kHz ^{注5} TA = +70°C		方形波入力 発振子接続	0.82 1.08	4.03 4.22		
			fSUB = 32.768 kHz ^{注5} TA = +85°C		方形波入力 発振子接続	1.38 1.62	8.04 8.23		
			fSUB = 32.768 kHz ^{注5} TA = +105°C		方形波入力 発振子接続	3.29 3.63	41.00 41.00		
			IDD3		STOPモード ^{注7}	TA = -40°C		0.18	0.52
				TA = +25°C			0.25	0.52	
				TA = +50°C			0.34	2.21	
				TA = +70°C			0.64	3.94	
				TA = +85°C			1.18	7.95	
				TA = +105°C			2.92	40.00	

(注, 備考は次ページにあります。)

- 注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS (高速メイン) モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、LCDコントローラ/ドライバ、A/Dコンバータ、D/Aコンバータ、コンパレータ、LVD回路、USB2.0ファンクション・モジュール、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はリアルタイム・クロック2に流れる電流を含みます。STOPモード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。RTCLPC = 1、かつ超低消費発振 (AMPHS1 = 1) 設定時。
- 注6. 動作モード、動作電圧範囲、CPU動作周波数の関係を次に示します。
HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. fMX : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数 (最大48 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロックの1/2/4/8分周、もしくはPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数 (最大24 MHz)

備考4. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」、「STOPモード」以外のTYP.値の温度条件は、TA = 25°Cです。

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件				MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL 注1						0.20		μA
RTC2動作電流	IRTC 注1, 3						0.02		μA
12ビット・インターバル・タイマ動作電流	ITMKA 注1, 2, 4						0.02		μA
ウォッチドッグ・タイマ動作電流	IWDT 注1, 2, 5	fIL = 15 kHz					0.22		μA
A/Dコンバータ動作電流	IADC 注6, 7	AVDD = 3.0 V, 最高速変換時					422	720	μA
AVREF(+)電流	IAVREF 注8	AVDD = 3.0 V, ADREFP1 = 0, ADREFP0 = 0 注7					14.0	25.0	μA
		AVREFP = 3.0 V, ADREFP1 = 0, ADREFP0 = 1 注10					14.0	25.0	
		ADREFP1 = 1, ADREFP0 = 0 注1					14.0	25.0	
A/Dコンバータ基準電圧電流	IADREF 注1, 9	VDD = 3.0 V					75.0		μA
温度センサ動作電流	ITMPS 注1						78		μA
D/Aコンバータ動作電流	IDAC 注1, 11	1チャンネル当たり					0.53	1.5	mA
コンパレータ動作電流	ICMP 注1, 12	VDD = 3.6 V,		ウインドウモード			12.5		μA
		レギュレータ		コンパレータ高速モード			4.5		μA
		出力電圧 = 2.1 V		コンパレータ低速モード			1.2		μA
LVD動作電流	ILVI 注1, 13						0.06		μA
セルフ・プログラミング動作電流	IFSP 注1, 14						2.50	12.20	mA
BGO動作電流	IBGO 注1, 15						1.68	12.20	mA
SNOOZE動作電流	ISNOZ 注1	ADC動作		モード遷移中注16			0.34	1.10	mA
				変換動作中, 低電圧モード, AVREFP = VDD = 3.0 V			0.53	2.04	
		簡易SPI (CSI)/UART動作					0.70	1.54	mA
LCD動作電流	ILCD1 注17, 18	外部抵抗分割方式	fLCD = fSUB	1/3バイアス	VDD = 3.6 V, LV4 = 3.6 V		0.14		μA
			LCDクロック = 128 Hz	4時分割					
	ILCD2 注17	内部昇圧方式	fLCD = fSUB	1/3バイアス	VDD = 3.0 V, LV4 = 3.0 V (VLCD = 04H)		0.61		μA
ILCD3 注17	容量分割方式	fLCD = fSUB	1/3バイアス	VDD = 3.0 V, LV4 = 3.0 V		0.12		μA	
USB電流注19	IUSB 注20	USB通信時の動作電流					4.88		mA
	IUSB 注21	USBサスペンド時の動作電流					0.04		mA

(注, 備考は次ページにあります。)

- 注1. VDDに流れる電流です。
- 注2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- 注3. リアルタイム・クロック2にのみ流れる電流です(低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロック2の動作時は, IDD1またはIDD2にIRTCを加算した値がRL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロック2の動作電流が含まれています。
- 注4. 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマが動作時は, IDD1またはIDD2にITMKAを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作には12ビット・インターバル・タイマの動作電流が含まれています。
- 注5. ウォッチドッグ・タイマにのみ流れる電流です(低速オンチップ・オシレータの動作電流を含みます)。STOPモード時にウォッチドッグ・タイマが動作中の場合, IDD1またはIDD2またはIDD3にIWDTを加算した値が, RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータ動作時は, IDD1またはIDD2にIADC, IAVREF, IADREFを加算した値が, RL78マイクロコントローラの電流値となります。
- 注7. AVDDに流れる電流です。
- 注8. A/Dコンバータの基準電圧源から流れる電流です。
- 注9. 内部基準電圧の動作電流です。
- 注10. AVREFPに流れる電流です。
- 注11. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモード時にD/Aコンバータが動作中の場合, IDD1またはIDD2にIDACを加算した値が, RL78マイクロコントローラの電流値となります。
- 注12. コンパレータ回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にコンパレータ回路が動作中の場合, IDD1またはIDD2またはIDD3にICMPを加算した値が, RL78マイクロコントローラの電流値となります。
- 注13. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合, IDD1またはIDD2またはIDD3にILVIを加算した値が, RL78マイクロコントローラの電流値となります。
- 注14. セルフ・プログラミング動作に流れる電流です。
- 注15. データ・フラッシュ書き換え動作に流れる電流です。
- 注16. SNOOZEモードへの遷移時間は, 23.3.3 SNOOZEモードを参照してください。
- 注17. LCDコントローラ/ドライバ(VDD端子)にのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ/ドライバが動作中の場合, 電源電流(IDD1またはIDD2)にLCD動作電流(ILCD1またはILCD2またはILCD3)を加算した値が, RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。
- 注18. 外部分割抵抗に流れる電流は含みません。
- 注19. UVBUSに流れる電流です。
- 注20. fPLL = 48 MHz 動作電流を含みます。
- 注21. サスペンド状態における本製品の自己消費電流に加えて, UDP端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

備考1. fIL: 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB: サブシステム・クロック周波数(XT1クロック発振周波数)

備考3. fCLK: CPU/周辺ハードウェア・クロック周波数

備考4. TYP.値の温度条件は, TA = 25°Cです。

35.4 AC特性

35.4.1 基本動作

(TA = -40 ~ +105°C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN)動作	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 3.6 V	0.0417		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
		サブシステム・クロック (fSUB)動作		2.4 V ≤ VDD ≤ 3.6 V	28.5	30.5	31.3	μs
			セルフ・プログラミング時	HS(高速メイン)モード	2.7 V ≤ VDD ≤ 3.6 V	0.0417		1
			2.4 V ≤ VDD < 2.7 V	0.0625		1	μs	
外部メイン・システム・クロック 周波数	fEX	2.7 V ≤ VDD ≤ 3.6 V		1.0		20.0	MHz	
		2.4 V ≤ VDD < 2.7 V		1.0		16.0	MHz	
	fEXT			32		35	kHz	
外部メイン・システム・クロック 入力ハイ、ロウ・レベル幅	tEXH,	2.7 V ≤ VDD ≤ 3.6 V		24			ns	
	tEXL	2.4 V ≤ VDD < 2.7 V		30			ns	
	tEXHS, tEXLS			13.7			μs	
Ti00-Ti07入力 ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL			1/fMCK + 10			ns	

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0),

n : チャネル番号 (n = 0-7))

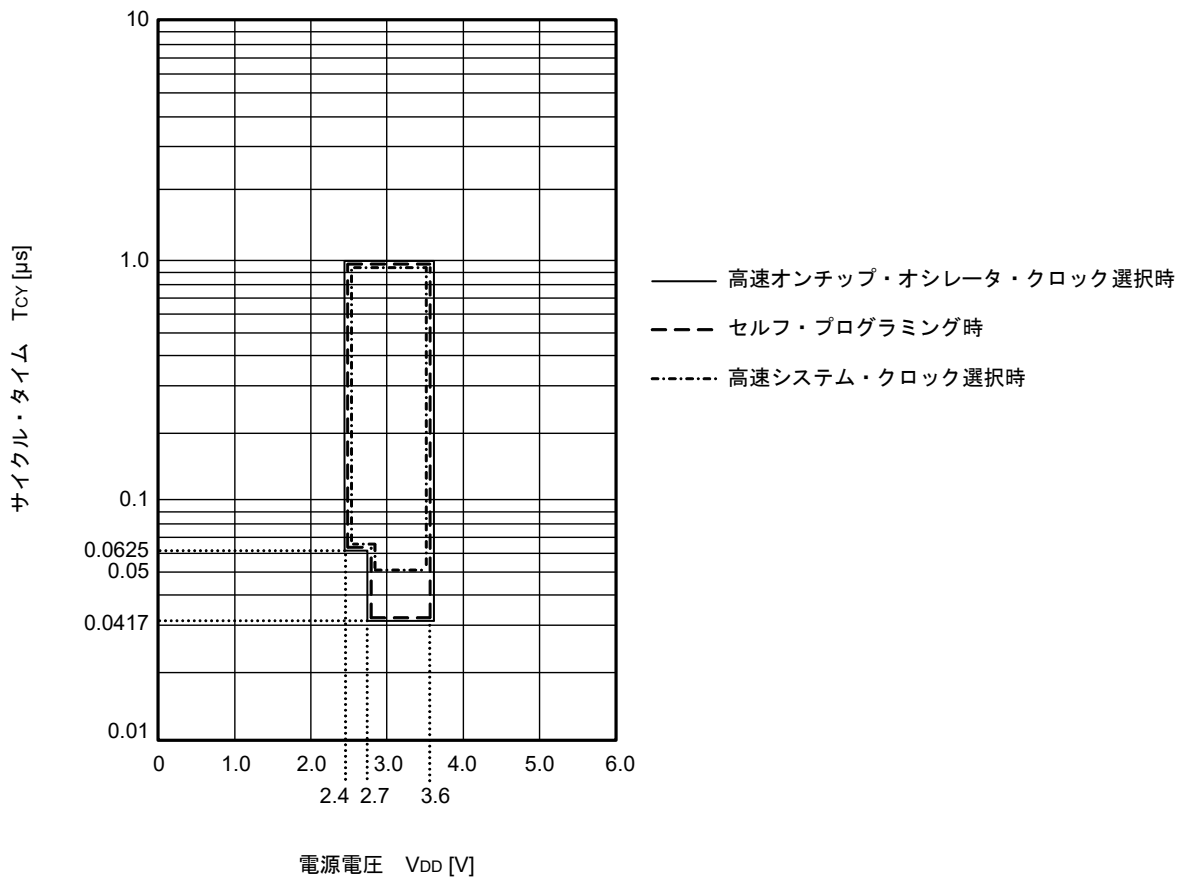
(TA = -40 ~ +105°C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V)

(2/2)

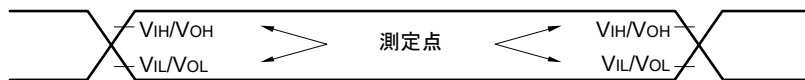
項目	略号	条件	MIN.	TYP.	MAX.	単位	
TO00-TO07, TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21 出力周波数	f _{TO}	HS(高速メイン)モード	2.7 V ≤ V _{DD} ≤ 3.6 V			8	MHz
			2.4 V ≤ V _{DD} < 2.7 V			8	MHz
PCLBUZ0, PCLBUZ1出力周波数	f _{PCL}	LS(低速メイン)モード INTP0-INTP7	2.7 V ≤ V _{DD} ≤ 3.6 V			8	MHz
			2.4 V ≤ V _{DD} < 2.7 V			8	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}		2.4 V ≤ V _{DD} ≤ 3.6 V	1			μs
キー割り込み入力 ロウ・レベル幅	t _{KR}	2.4 V ≤ V _{DD} ≤ 3.6 V		250			ns
TMKB2 強制出力停止入力 ハイ・レベル幅	t _{IHR}	INTP0-INTP7	f _{CLK} > 16 MHz	125			ns
			f _{CLK} ≤ 16 MHz	2			f _{CLK}
RESET ロウ・レベル幅	t _{RSL}			10			μs

メイン・システム・クロック動作時の最小命令実行時間

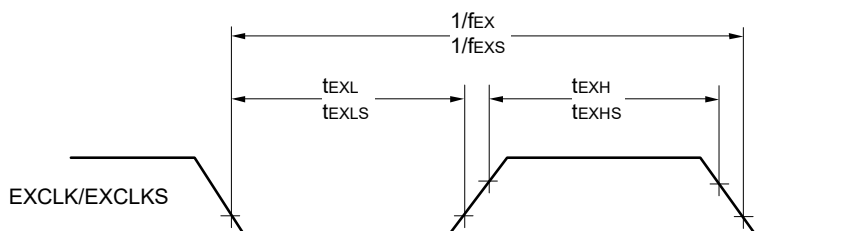
Tcy vs VDD (HS (高速メイン)モード)



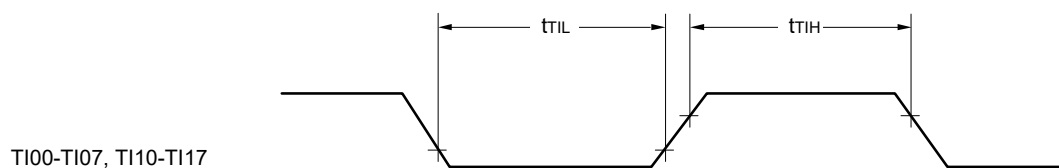
AC タイミング測定点



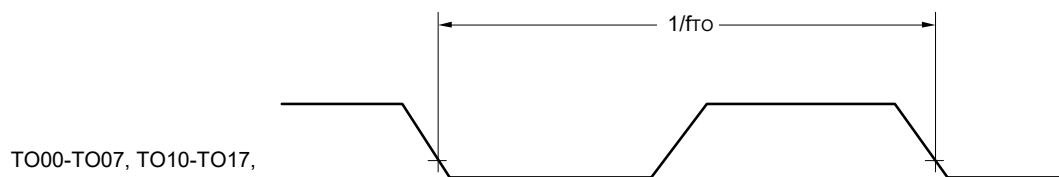
外部システム・クロック・タイミング



TI/TO タイミング

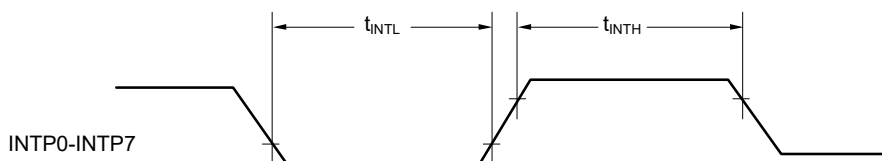


TI00-TI07, TI10-TI17



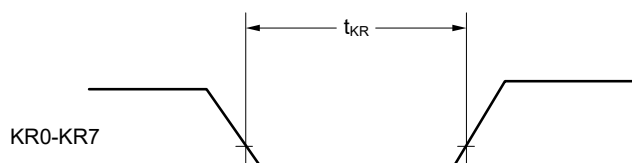
TO00-TO07, TO10-TO17,
TKBO00, TKBO01,
TKBO10, TKBO11,
TKBO20, TKBO21

割り込み要求入力タイミング

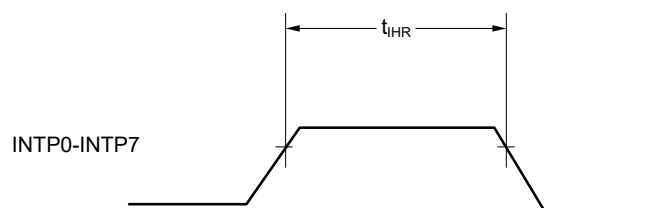
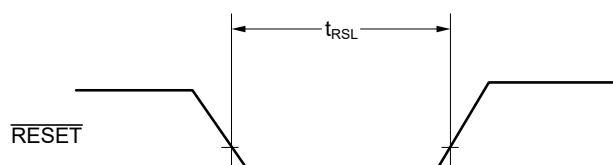


INTP0-INTP7

キー割り込み入カタイミング

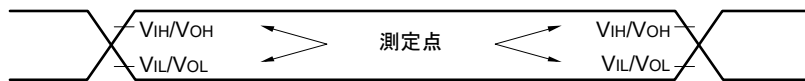


タイマKB2入カタイミング

 $\overline{\text{RESET}}$ 入カタイミング

35.5 周辺機能特性

AC タイミング測定点



35.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UARTモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート注1		2.4 V ≤ VDD ≤ 3.6 V		fMCK/12注2	bps
		最大転送レート理論値 fMCK = fCLK注3		2.0	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. 低電圧インターフェース時は、次の条件も必要になります。

2.4 V ≤ VDD < 2.7 V : MAX. 1.3 Mbps

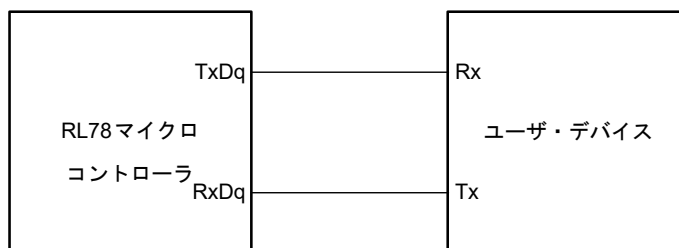
注3. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン)モード : 24 MHz (2.7 V ≤ VDD ≤ 3.6 V)

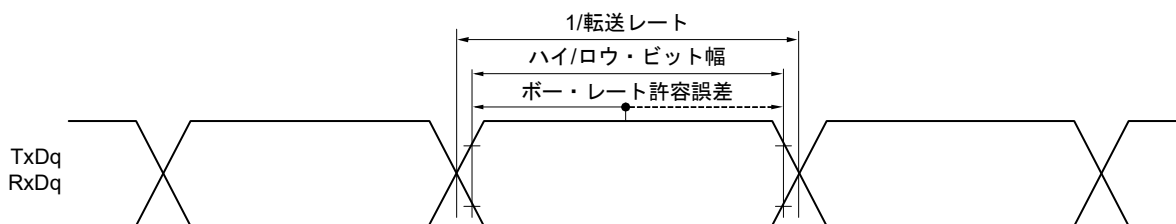
16 MHz (2.4 V ≤ VDD ≤ 3.6 V)

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Rx/Dq 端子は通常入力バッファを選択し、Tx/Dq 端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART 番号 (q = 0-3), g : PIM, POM 番号 (g = 0-3)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03, 10-13))

(2) 同電位通信, 簡易SPI (CSI)モード時 (マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ fCLK/4	2.7 V ≤ VDD ≤ 3.6 V	250	ns
			2.4 V ≤ VDD ≤ 3.6 V	500	ns
SCKp ハイ, ロウ・レベル幅	tkH1,	2.7 V ≤ VDD ≤ 3.6 V		tkCY1/2 - 36	ns
	tkL1	2.4 V ≤ VDD ≤ 3.6 V			
Slp セットアップ時間 (対 SCKp ↑) 注1	tSIK1	2.7 V ≤ VDD ≤ 3.6 V		66	ns
		2.4 V ≤ VDD ≤ 3.6 V		133	ns
Slp ホールド時間 (対 SCKp ↑) 注2	tKSI1			38	ns
SCKp ↓ → SOp 出力遅延時間 注3	tKSO1	C = 30 pF 注4		50	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは, Slp セットアップ時間が“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは, Slp ホールド時間が“対 SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注4. Cは, SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00, 10, 20, 30), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3),
g : PIM, POM 番号 (g = 0-3)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号 (mn = 00-03, 10-13))

(3) 同電位通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム ^{注5}	tkCY2	2.7 V ≤ VDD ≤ 3.6 V	fMCK > 16 MHz	16/fMCK		ns
			fMCK ≤ 16 MHz	12/fMCK		ns
		2.4 V ≤ VDD ≤ 3.6 V		12/fMCK かつ1000		ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	2.7 V ≤ VDD ≤ 3.6 V		tkCY2/2 - 16		ns
		2.4 V ≤ VDD ≤ 3.6 V		tkCY2/2 - 36		ns
Slpセットアップ時間(対SCKp ↑) ^{注1}	tsIK2	2.7 V ≤ VDD ≤ 3.6 V		1/fMCK + 40		ns
		2.4 V ≤ VDD ≤ 3.6 V		1/fMCK + 60		ns
Slpホールド時間(対SCKp ↑) ^{注2}	tkSI2			1/fMCK + 62		ns
SCKp ↓ → SOp出力遅延時間 ^{注3}	tkSO2	C = 30 pF ^{注4}	2.7 V ≤ VDD ≤ 3.6 V		2/fMCK + 66	ns
			2.4 V ≤ VDD ≤ 3.6 V		2/fMCK + 113	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpセットアップ時間が“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは, Slpホールド時間が“対SCKp ↓”となります。

注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注4. Cは, SCKp, SOp出力ラインの負荷容量です。

注5. SNOOZEモードでの転送レートは, MAX.: 1 Mbpsです。

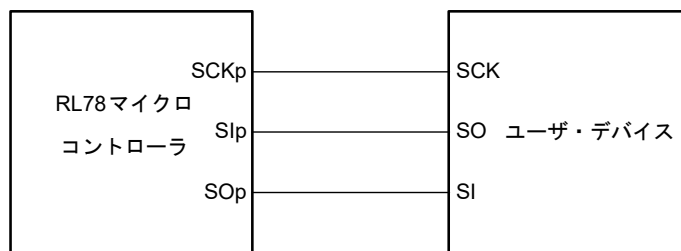
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子は通常入力バッファを選択し, SOp端子は通常出力モードを選択します。

備考1. p: CSI番号(p = 00, 10, 20, 30), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),
g: PIM, POM番号(g = 0-3)

備考2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号(mn = 00-03, 10-13))

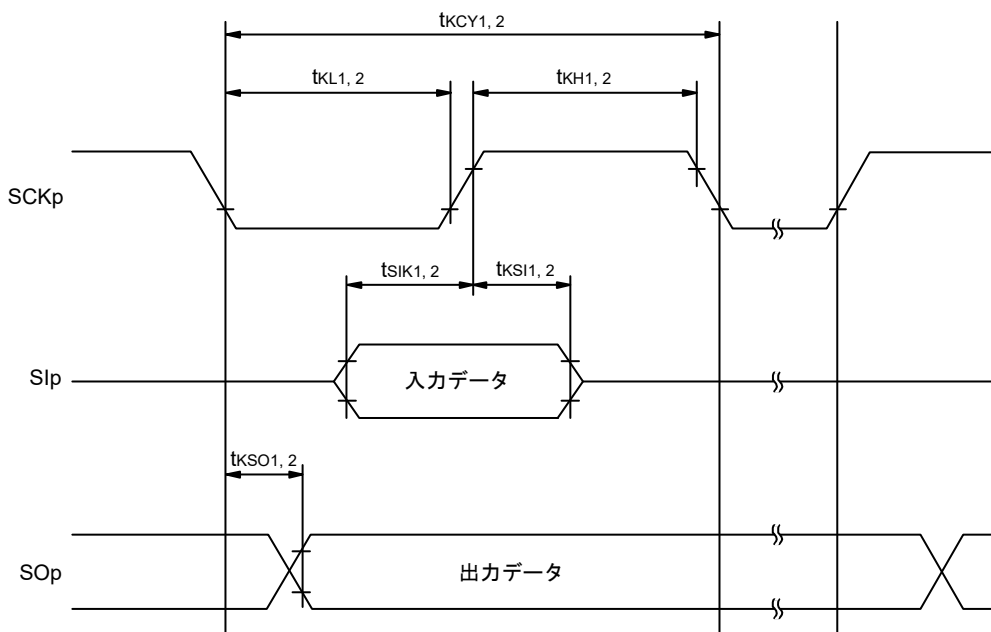
簡易SPI (CSI)モード接続図(同電位通信時)



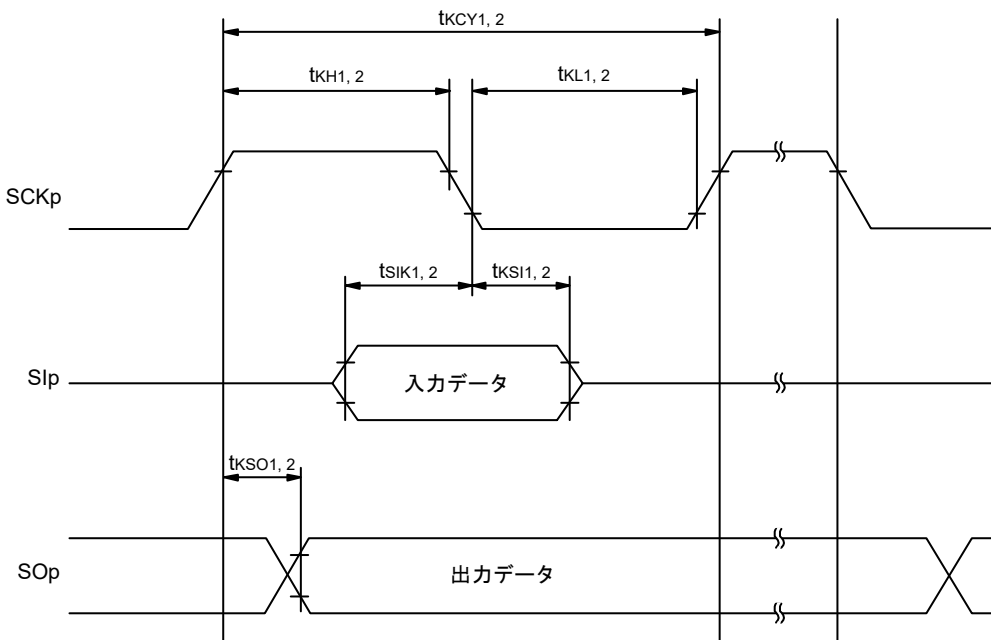
備考1. p : CSI番号(p = 00, 10, 20, 30)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10-13)

簡易SPI (CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング(同電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 10, 20, 30)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10-13)

(4) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +105°C, 2.4 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

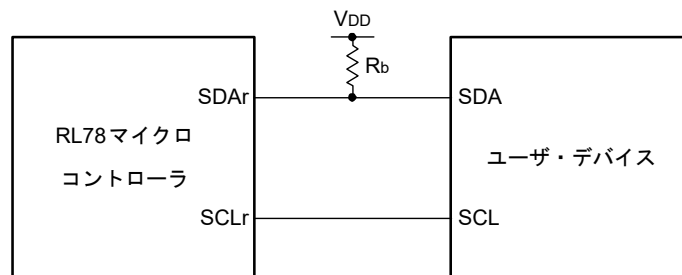
項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	fSCL	2.7 V ≤ V _{DD} ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ		400注1	kHz
		2.4 V ≤ V _{DD} ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ		100注1	kHz
SCLr = "L"のホールド・タイム	tLOW	2.7 V ≤ V _{DD} ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ V _{DD} ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
SCLr = "H"のホールド・タイム	tHIGH	2.7 V ≤ V _{DD} ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ V _{DD} ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
データ・セットアップ時間(受信時)	tsu: DAT	2.7 V ≤ V _{DD} ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 200 注2		ns
		2.4 V ≤ V _{DD} ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK + 580 注2		ns
データ・ホールド時間(送信時)	thd: DAT	2.7 V ≤ V _{DD} ≤ 3.6 V, Cb = 50 pF, Rb = 2.7 kΩ	0	770	ns
		2.4 V ≤ V _{DD} ≤ 3.6 V, Cb = 100 pF, Rb = 3 kΩ	0	1420	ns

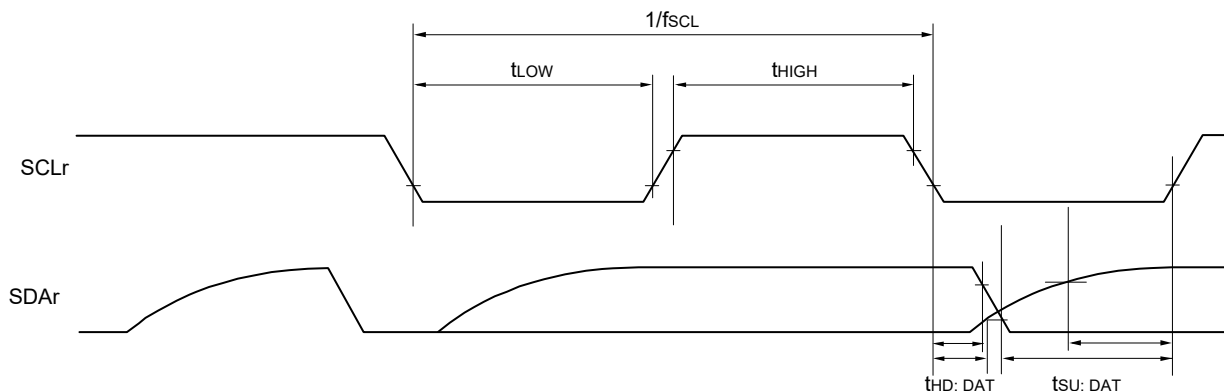
注1. fMCK/4以下に設定してください。

注2. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択し、SCLrは通常出力モードを選択します。

簡易I²Cモード接続図(同電位通信時)



簡易I²Cモード・シリアル転送タイミング(同電位通信時)

備考1. R_b [Ω] : 通信ライン(SDAr)プルアップ抵抗値, C_b [F] : 通信ライン(SCLr, SDAr)負荷容量値

備考2. r : IIC番号($r = 00, 10, 20, 30$), g : PIM番号($g = 0-3$),

h : POM番号($h = 0-3$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKS mn ビットで設定する動作クロック。 m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0-3$),

$mn = 00-03, 10-13$)

(5) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード)

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
転送レート注1,2		受信	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/12注1	bps
			最大転送レート理論値 fMCK = fCLK注4		2.0	Mbps
			2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/12注1,2,3	bps
			最大転送レート理論値 fMCK = fCLK注4		1.3	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

注2. VDD ≥ Vbで使用してください。

注3. 低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ VDD < 2.7 V: MAX. 2.6 Mbps

注4. CPU/周辺ハードウェア・クロック (fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 24 MHz (2.7 V ≤ VDD ≤ 3.6 V)

16 MHz (2.4 V ≤ VDD ≤ 3.6 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-3), g: PIM, POM番号(g = 0-3)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00-03, 10-13))

(5) 異電位(1.8 V系, 2.5 V系)通信時(UARTモード)

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート注2	送信	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注2	Mbps
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注3, 4	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43注5	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. VDD ≥ Vbで使用してください。

注4. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

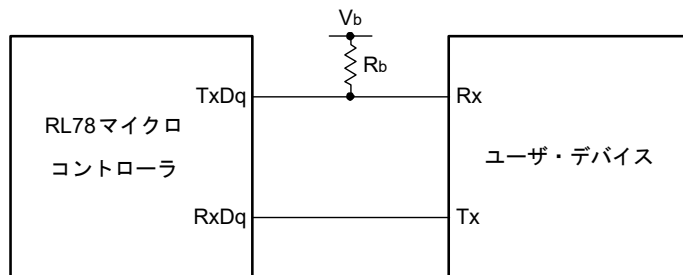
$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{\left(\frac{1}{\text{転送レート}}\right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

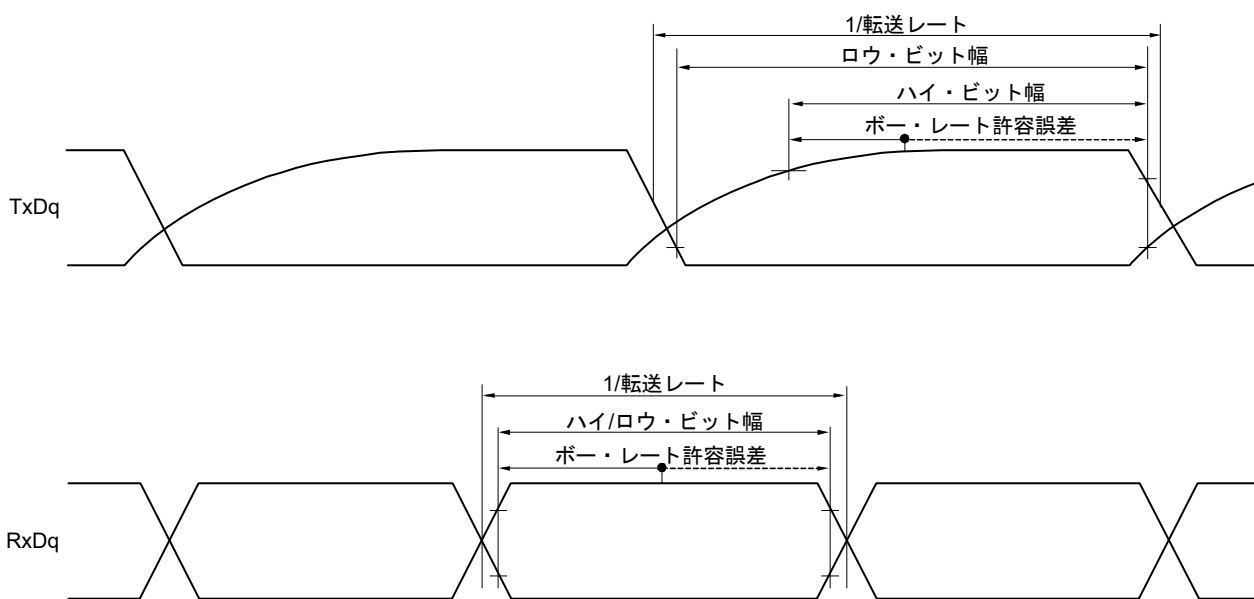
注5. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω] : 通信ライン(TxDq)プルアップ抵抗値, C_b [F] : 通信ライン(TxDq)負荷容量値, V_b [V] : 通信ライン電圧

備考2. q : UART番号 (q = 0-3), g : PIM, POM番号 (g = 0-3)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSMnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03, 10-13))

(6) 異電位(1.8 V, 2.5 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105°C, 2.4 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ fCLK/4 2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	1000 ^注		ns
			2300 ^注		ns
SCKp ハイ・レベル幅	tkH1	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	tkCY1/2 - 340		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	tkCY1/2 - 916		ns
SCKp ロウ・レベル幅	tkL1	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	tkCY1/2 - 36		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	tkCY1/2 - 100		ns

注 V_{DD} ≥ V_b で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は TTL 入力バッファを選択し, SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧) モードを選択します。なお V_{IH}, V_{IL} は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位(1.8 V, 2.5 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105°C, 2.4 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
Slpセットアップ時間(対SCKp ↑)注1	tSIK1	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	354		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注3, C _b = 30 pF, R _b = 5.5 kΩ	958		ns
Slpホールド時間(対SCKp ↑)注1	tKSI1	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注3, C _b = 30 pF, R _b = 5.5 kΩ	38		ns
SCKp ↓ → SOp出力遅延時間注1	tKSO1	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		390	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注3, C _b = 30 pF, R _b = 5.5 kΩ		966	ns
Slpセットアップ時間(対SCKp ↓)注2	tSIK1	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	88		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注3, C _b = 30 pF, R _b = 5.5 kΩ	220		ns
Slpホールド時間(対SCKp ↓)注2	tKSI1	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注3, C _b = 30 pF, R _b = 5.5 kΩ	38		ns
SCKp ↑ → SOp出力遅延時間注2	tKSO1	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		50	ns
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V注3, C _b = 30 pF, R _b = 5.5 kΩ		50	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

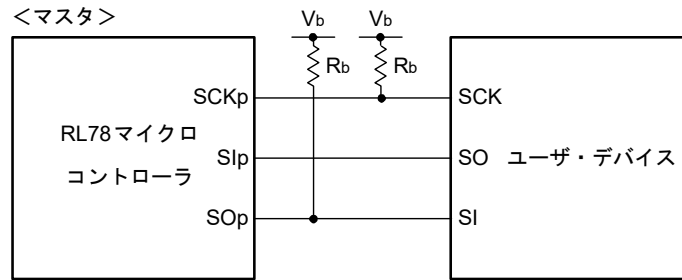
注2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注3. V_{DD} ≥ V_bで使用してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子はTTL入力バッファを選択し、SOOp端子とSCKp端子はN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI)モード接続図(異電位通信時)



備考1. R_b [Ω]: 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SCKp, SOp)負荷容量値, V_b [V]: 通信ライン電圧

備考2. p: CSI番号(p = 00, 10, 20, 30), m: ユニット番号(m = 0, 1), n: チャネル番号(n = 0-3),

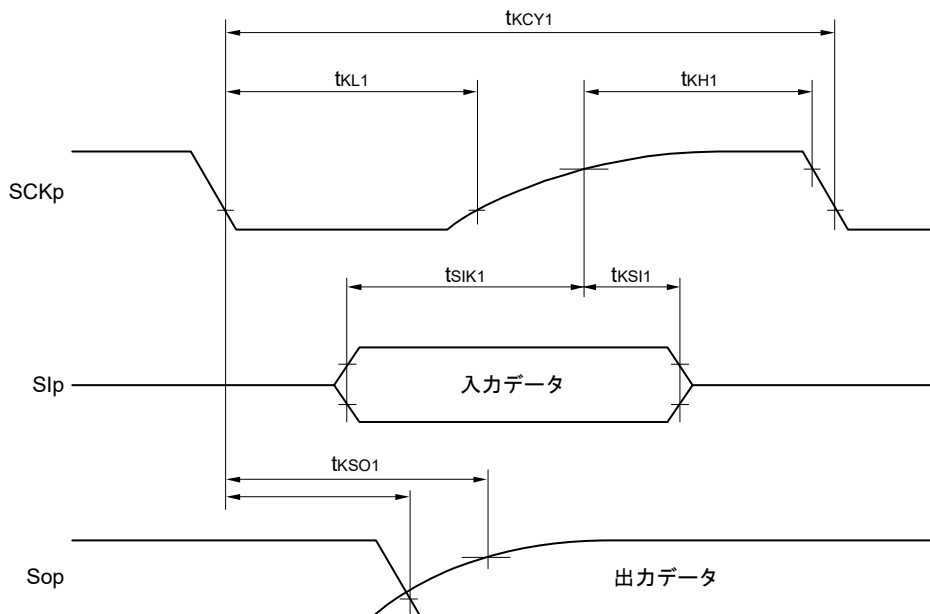
g: PIM, POM番号(g = 0-3)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

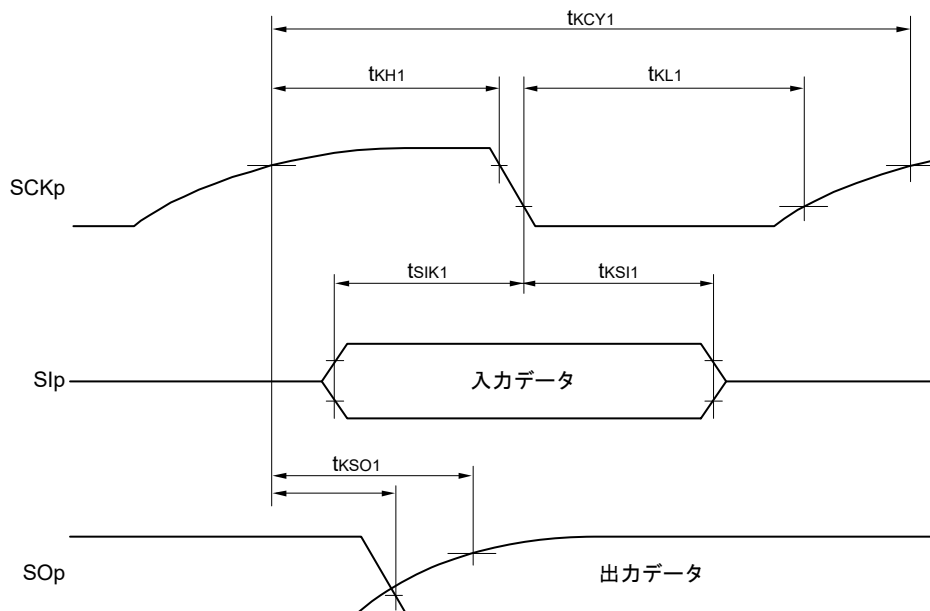
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00))

簡易SPI (CSI)モード・シリアル転送タイミング : マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング : マスタ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号 (p = 00, 10, 20, 30), m : ユニット番号 (m = 0, 1),
 n : チャネル番号 (n = 0, 2), g : PIM, POM番号 (g = 0-3)

(7) 異電位(1.8 V系, 2.5 V系)通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

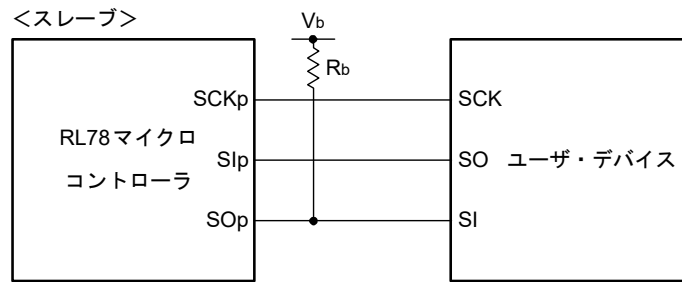
項目	略号	条件	HS (高速メイン)モード		単位	
			MIN.	MAX.		
SCKpサイクル・タイム注1	tkCY2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < fMCK ≤ 24 MHz	32/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	28/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	24/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		ns
			fMCK ≤ 4 MHz	12/fMCK		ns
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	20 MHz < fMCK ≤ 24 MHz	72/fMCK		ns
			16 MHz < fMCK ≤ 20 MHz	64/fMCK		ns
			8 MHz < fMCK ≤ 16 MHz	52/fMCK		ns
			4 MHz < fMCK ≤ 8 MHz	32/fMCK		ns
			fMCK ≤ 4 MHz	20/fMCK		ns
SCKpハイ, ロウ・レベル幅	tkH2,	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V	tkCY2/2 - 36		ns	
	tkL2	2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2	tkCY2/2 - 100		ns	
Slpセットアップ時間(対SCKp ↑) 注3	tSIK2	2.7 V ≤ VDD ≤ 3.6 V	1/fMCK + 40		ns	
		2.4 V ≤ VDD < 3.3 V	1/fMCK + 60		ns	
Slpホールド時間(対SCKp ↑)注4	tkSI2		1/fMCK + 62		ns	
SCKp ↓ → SOp出力遅延時間注5	tkSO2	2.7 V ≤ VDD ≤ 3.6 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	2/fMCK + 428		ns	
		2.4 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	2/fMCK + 1146		ns	

(注, 注意は次ページに, 備考は次々ページにあります。)

- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. $V_{DD} \geq V_b$ で使用してください。
- 注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpセットアップ時間が“対SCKp ↓”となります。
- 注4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは、Slpホールド時間が“対SCKp ↓”となります。
- 注5. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択します。なお V_{IH} 、 V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI)モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SOp)負荷容量値,

V_b [V] : 通信ライン電圧

備考2. p : CSI番号 (p = 00, 10, 20, 30), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3),

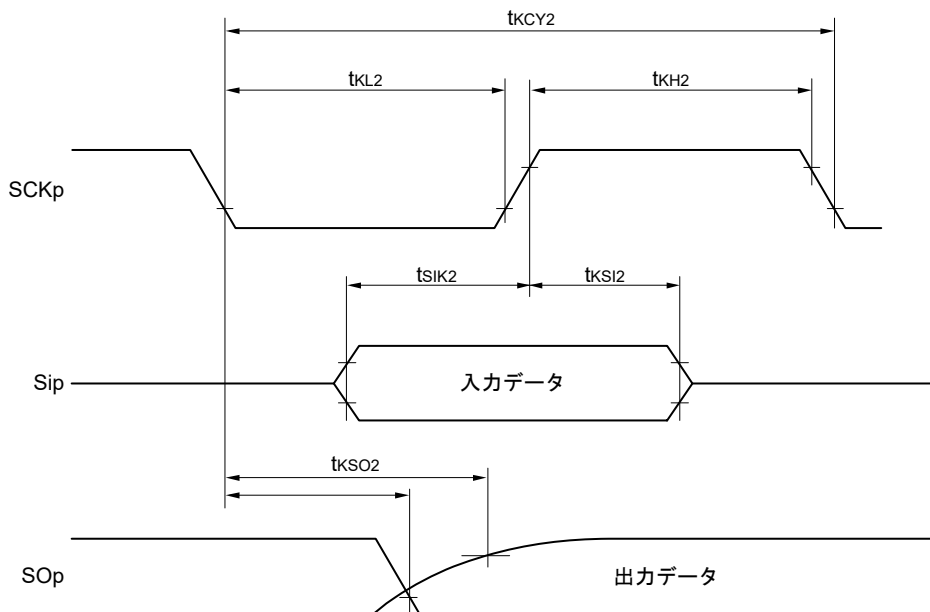
g : PIM, POM番号 (g = 0-3)

備考3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

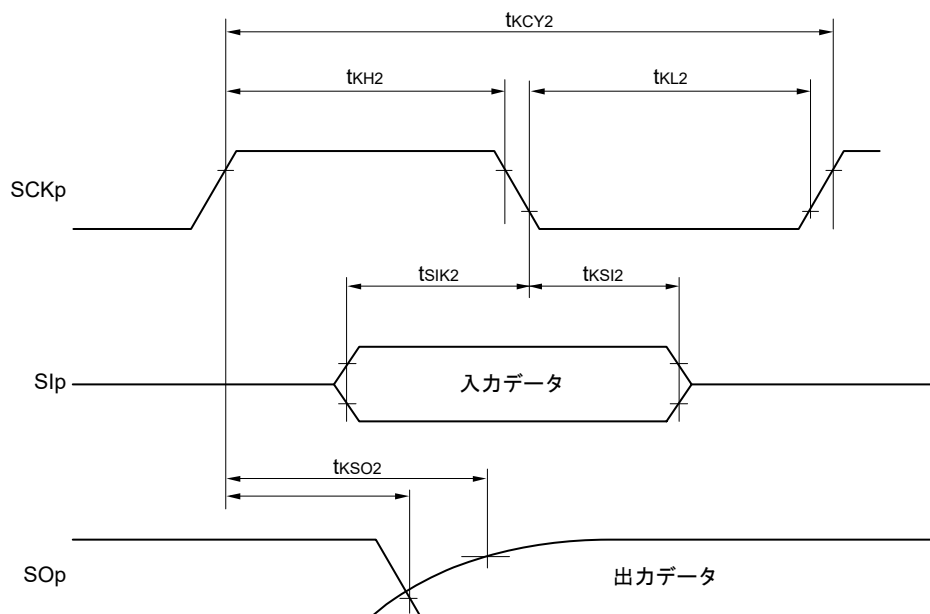
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00, 02, 10, 12))

簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 p : CSI番号(p = 00, 10, 20, 30), m : ユニット番号(m = 0, 1),
 n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0-3)

(8) 異電位通信時(1.8 V系, 2.5 V系) 通信時(簡易I²Cモード)(TA = -40 ~ +105°C, 2.4 V ≤ V_{DD} ≤ 3.6 V, V_{SS} = 0 V)

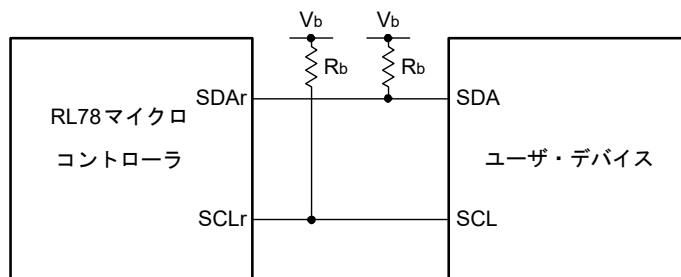
項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ		400 ^{注1}	kHz
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		100 ^{注1}	
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ		100 ^{注1}	
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		2.7 V ≤ V _{DD} < 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	4600		
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	4650		
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	500		ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	2400		
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1830		
データ・セットアップ時間(受信時)	t _{SU : DAT}	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340 ^{注3}		ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 760 ^{注3}		
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 570 ^{注3}		
データ・ホールド時間(送信時)	t _{HD : DAT}	2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		2.7 V ≤ V _{DD} ≤ 3.6 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	1420	
		2.4 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	0	1215	

注1. f_{MCK}/4以下に設定してください。注2. V_{DD} ≥ V_bで使用してください。注3. f_{MCK}値は, SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

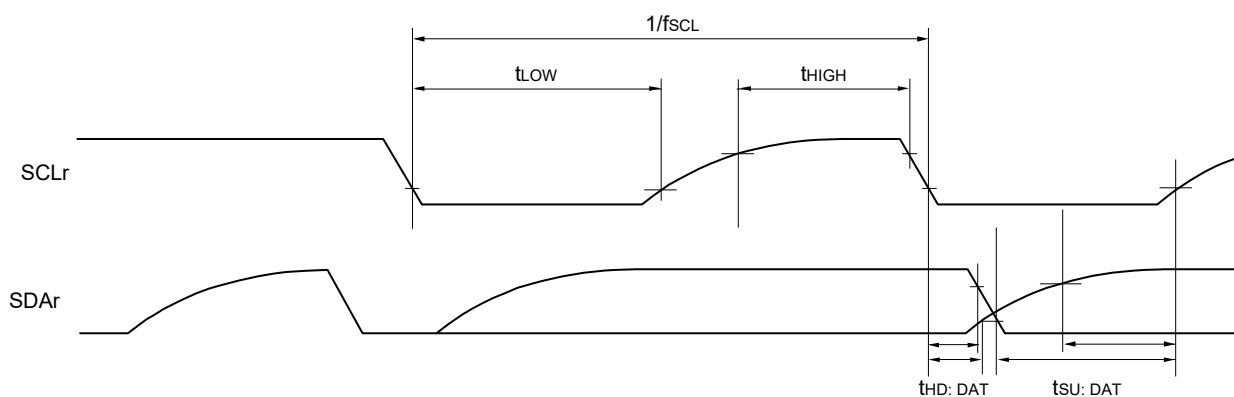
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択し, SCLrはN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図(異電位通信時)



簡易I²Cモード・シリアル転送タイミング(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SDAr, SCLr)プルアップ抵抗値, C_b [F] : 通信ライン(SDAr, SCLr)負荷容量値,

V_b [V] : 通信ライン電圧

備考2. r : IIC番号($r = 00, 10, 20, 30$), g : PIM, POM番号($g = 0-3$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKS mn ビットで設定する動作クロック。 m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0-3$), $mn = 00, 02, 10, 12$)

35.5.2 シリアル・インタフェース IICA

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	HS (高速メイン)モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz	—	—	0	400	kHz
		標準モード : fCLK ≥ 1 MHz	0	100	—	—	kHz
リスタート・コンディションのセットアップ時間	tSU: STA		4.7		0.6		μs
ホールド時間注1	tHD: STA		4.0		0.6		μs
SCLA0 = "L"のホールド・タイム	tLOW		4.7		1.3		μs
SCLA0 = "H"のホールド・タイム	tHIGH		4.0		0.6		μs
データ・セットアップ時間(受信時)	tSU: DAT		250		100		ns
データ・ホールド時間(送信時)注2	tHD: DAT		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	tSU: STO		4.0		0.6		μs
バス・フリー時間	tBUF		4.7		1.3		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

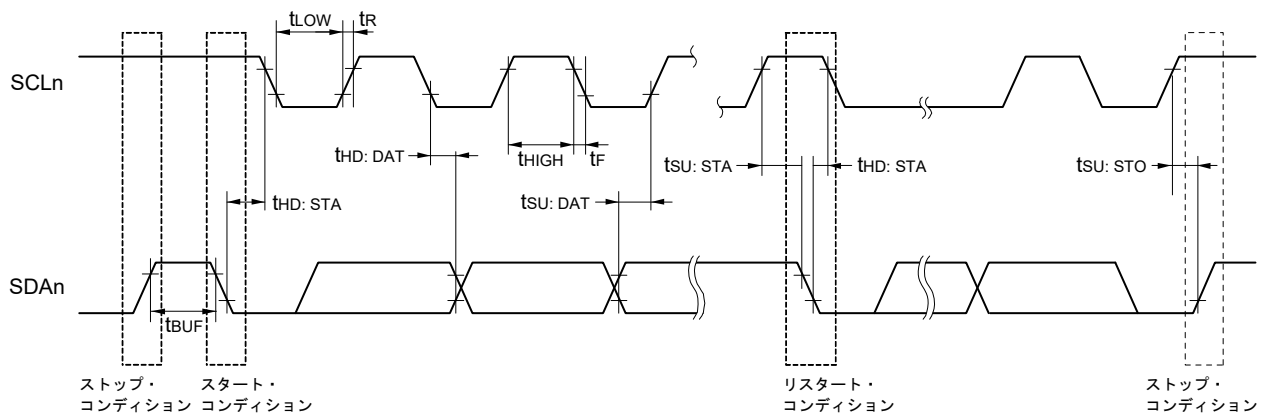
注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチがかかります。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は, 次のとおりです。

標準モード : Cb = 400 pF, Rb = 2.7 kΩ

ファースト・モード : Cb = 320 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



35.5.3 USB

(1) 電気的特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6, VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位
UREGC	UREGC出力電圧特性	UREGC	UVBUS = 4.0 ~ 5.5 V PXXCON = VDDUSBE = 1	3.0	3.3	3.6	V
UVBUS	UVBUS入力電圧特性	UVBUS	ファンクション時	4.35 (4.02注)	5.00	5.25	V

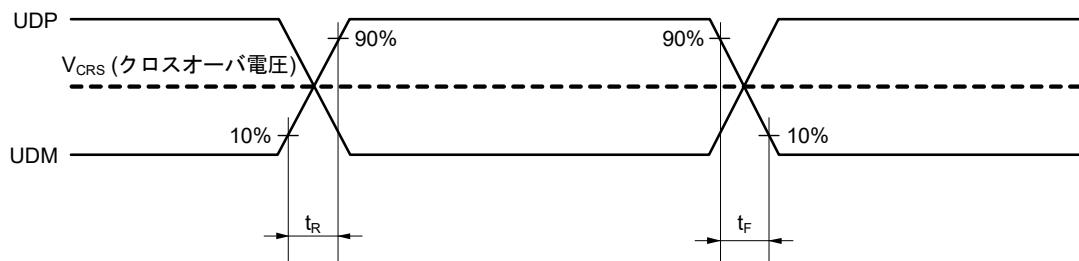
注 瞬時電圧

(TA = -40 ~ +105°C, 4.35 V ≤ UVBUS ≤ 5.25 V, 2.4 V ≤ VDD ≤ 3.6, VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位	
入力特性 (FS/LS レシーバ)	入力電圧	VIH		2.0			V	
		VIL				0.8	V	
	差動入力感度	VDI	UDP電圧 - UDM電圧	0.2			V	
	差動コモン・モード・レンジ	VCM		0.8		2.5	V	
出力特性 (FS ドライバ)	出力電圧	VOH	IOH = -200 μA	2.8		3.6	V	
		VOL	IOL = 2 mA	0		0.3	V	
	遷移時間	立ち上がり	tFR	立ち上がり : 振幅の10% → 90%	4		20	ns
		立ち下がり	tFF	立ち下がり : 振幅の90% → 10%	4		20	ns
	マッチング(TFR/TFF)	VFRFM	CL = 50 pF	90		111.1	%	
	クロスオーバー電圧	VFCRS		1.3		2.0	V	
出カインピーダンス	ZDRV		28		44	Ω		
出力特性 (LS ドライバ)	出力電圧	VOH		2.8		3.6	V	
		VOL		0		0.3	V	
	遷移時間	立ち上がり	tLR	立ち上がり : 振幅の10% → 90%	75		300	ns
		立ち下がり	tLF	立ち下がり : 振幅の90% → 10%	75		300	ns
	マッチング(TFR/TFF) 注	VLTFM	CL = 250 pF ~ 750 pF	80		125	%	
クロスオーバー電圧注	VLCRS	UDP, UDM端子をそれぞれ15 kΩでプルダウン	1.3		2.0	V		
ブルアップ、ブル ダウン	プルダウン抵抗	RPD		14.25		24.80	kΩ	
	ブルアップ抵抗	アイドル時	RPUI	0.9		1.575	kΩ	
		受信時	RPUA	1.425		3.09	kΩ	
UVBUS	UVBUSプルダウン抵抗	RVBUS	UVBUS電圧 = 5.5 V		1000		kΩ	
	UVBUS入力電圧	VIH		3.20			V	
		VIL					0.8	V

注 アイドル状態から初回の信号遷移を除く。

UDP, UDM タイミング



(2) BC規格

(TA = -40 ~ +105 °C, 4.35 V ≤ UVBUS ≤ 5.25 V, 2.4 V ≤ VDD ≤ 3.6, VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位
USB 規格 BC1.2	UDP シンク電流	IDP_SINK		25	100	175	μA
	UDM シンク電流	IDM_SINK		25	100	175	μA
	DCD ソース電流	IDP_SRC		7	10	13	μA
	データ検出電圧	VDAT_REF		0.25	0.325	0.4	V
	UDP ソース電圧	VDP_SRC	出力電流 250 μA	0.5	0.6	0.7	V
	UDM ソース電圧	VDM_SRC	出力電流 250 μA	0.5	0.6	0.7	V

(3) BCオプション規格

(TA = -40 ~ +105°C, 4.35 V ≤ UVBUS ≤ 5.25 V, 2.4 V ≤ VDD ≤ 3.6, VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位	
UDP/UDM入力基準電圧 (UVBUS分圧比) (ファンクション時)	VDSELi [3: 0] (i = 0, 1)	0000	VDDDET0		27	32	37	%UVBUS
		0001	VDDDET1		29	34	39	%UVBUS
		0010	VDDDET2		32	37	42	%UVBUS
		0011	VDDDET3		35	40	45	%UVBUS
		0100	VDDDET4		38	43	48	%UVBUS
		0101	VDDDET5		41	46	51	%UVBUS
		0110	VDDDET6		44	49	54	%UVBUS
		0111	VDDDET7		47	52	57	%UVBUS
		1000	VDDDET8		51	56	61	%UVBUS
		1001	VDDDET9		55	60	65	%UVBUS
		1010	VDDDET10		59	64	69	%UVBUS
		1011	VDDDET11		63	68	73	%UVBUS
		1100	VDDDET12		67	72	73	%UVBUS
		1101	VDDDET13		71	76	81	%UVBUS
		1110	VDDDET14		75	80	85	%UVBUS
1111	VDDDET15		79	84	89	%UVBUS		

35.6 アナログ特性

35.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャネル	基準電圧	基準電圧 (+) = AVREFF 基準電圧 (-) = AVREFM	基準電圧 (+) = AVDD 基準電圧 (-) = AVSS	基準電圧 (+) = 内部基準電圧 基準電圧 (-) = AVSS
高精度チャネル ANI0-ANI6 (入力バッファ電源 : AVDD)		35.6.1 (1)参照	35.6.1 (2)参照	35.6.1 (5)参照
標準チャネル ANI16-ANI21 (入力バッファ電源 : VDD)		35.6.1 (3)参照	35.6.1 (4)参照	
内部基準電圧, 温度センサ出力電圧		35.6.1 (3)参照	35.6.1 (4)参照	—

- (1) 基準電圧 (+) = AVREFF/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1)選択時, 変換対象 : ANI2-ANI6

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFF ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基準電圧 (+) = AVREFF, 基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	2.4 V ≤ AVREFF ≤ AVDD ≤ 3.6 V	8		12	bit
総合誤差注	AINL	12ビット分解能 2.4 V ≤ AVREFF ≤ AVDD ≤ 3.6 V			±6.0	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能 2.4 V ≤ AVREFF ≤ AVDD ≤ 3.6 V	3.375			μs
ゼロスケール誤差注	EZS	12ビット分解能 2.4 V ≤ AVREFF ≤ AVDD ≤ 3.6 V			±4.5	LSB
フルスケール誤差注	EFS	12ビット分解能 2.4 V ≤ AVREFF ≤ AVDD ≤ 3.6 V			±4.5	LSB
積分直線性誤差注	ILE	12ビット分解能 2.4 V ≤ AVREFF ≤ AVDD ≤ 3.6 V			±2.0	LSB
微分直線性誤差注	DLE	12ビット分解能 2.4 V ≤ AVREFF ≤ AVDD ≤ 3.6 V			±1.5	LSB
アナログ入力電圧	VAIN		0		AVREFF	V

注 量子化誤差(±1/2 LSB)を含みません。

注意 AVDDは常にVDDと同電位としてください。

- (2) 基準電圧 (+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,
変換対象 : ANI0-ANI6

(TA = -40 ~ +105°C, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基準電圧 (+) = AVDD,
基準電圧 (-) = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES		2.4 V ≤ AVDD ≤ 3.6 V	8		12	bit
総合誤差注	AINL	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±7.5	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	3.375			μs
ゼロスケール誤差注	EZS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±6.0	LSB
フルスケール誤差注	EFS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±6.0	LSB
積分直線性誤差注	ILE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±3.0	LSB
微分直線性誤差注	DLE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±2.0	LSB
アナログ入力電圧	VAIN			0		AVDD	V

注 量子化誤差 (±1/2 LSB) を含みません。

注意 AVDDは常にVDDと同電位としてください。

- (3) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)
 選択時, 変換対象: ANI16-ANI21, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, 2.4 V ≤ AVREFP ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V,
 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES		2.4 V ≤ AVREFP ≤ AVDD ≤ 3.6 V	8		12	bit
総合誤差注1	AINL	12ビット分解能	2.4 V ≤ AVREFP ≤ AVDD ≤ 3.6 V			±7.0	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能	2.4 V ≤ AVREFP ≤ AVDD ≤ 3.6 V	4.125			μs
ゼロスケール誤差注1	EZS	12ビット分解能	2.4 V ≤ AVREFP ≤ AVDD ≤ 3.6 V			±5.0	LSB
フルスケール誤差注1	EFS	12ビット分解能	2.4 V ≤ AVREFP ≤ AVDD ≤ 3.6 V			±5.0	LSB
積分直線性誤差注1	ILE	12ビット分解能	2.4 V ≤ AVREFP ≤ AVDD ≤ 3.6 V			±3.0	LSB
微分直線性誤差注1	DLE	12ビット分解能	2.4 V ≤ AVREFP ≤ AVDD ≤ 3.6 V			±2.0	LSB
アナログ入力電圧	VAIN			0		AVREFP	V
		内部基準電圧 (2.4 V ≤ VDD ≤ 3.6 V, HS (高速メイン)モード)		VBGR注2			V
		温度センサ出力電圧 (2.4 V ≤ VDD ≤ 3.6 V, HS (高速メイン)モード)		VTMP25注2			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. 35.6.2 温度センサ/内部基準電圧特性を参照してください。

注意 AVDDは常にVDDと同電位としてください。

- (4) 基準電圧 (+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時,
変換対象 : ANI16-ANI21, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, 2.4 V ≤ AVDD = VDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基準電圧 (+) = AVDD,
基準電圧 (-) = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES		2.4 V ≤ AVDD ≤ 3.6 V	8		12	bit
総合誤差注1	AINL	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±8.5	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	4.125			μs
ゼロスケール誤差注1	EZS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±8.0	LSB
フルスケール誤差注1	EFS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±8.0	LSB
積分直線性誤差注1	ILE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±3.5	LSB
微分直線性誤差注1	DLE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V			±2.5	LSB
アナログ入力電圧	VAIN			0		AVDD	V
		内部基準電圧 (2.4 V ≤ VDD ≤ 3.6 V, HS (高速メイン)モード)		VBGR注2			V
		温度センサ出力電圧 (2.4 V ≤ VDD ≤ 3.6 V, HS (高速メイン)モード)		VTMP25注2			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. 35.6.2 温度センサ/内部基準電圧特性を参照してください。

注意 AVDDは常にVDDと同電位としてください。

- (5) 基準電圧 (+) = 内部基準電圧 (1.45 V) (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = AVSS (ADREFM = 0) 選択時, 変換対象: ANI0-ANI6, ANI16-ANI21

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, 2.4 V ≤ VDD, 2.4 V ≤ AVDD = VDD, VSS = 0 V, AVSS = 0 V, 基準電圧 (+) = 内部基準電圧, 基準電圧 (-) = AVSS = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	tCONV	8ビット分解能	16.0			μs
ゼロスケール誤差注	EZS	8ビット分解能			±4.0	LSB
積分直線性誤差注	ILE	8ビット分解能			±2.0	LSB
微分直線性誤差注	DLE	8ビット分解能			±2.5	LSB
基準電圧(+)	AVREF (+)	= 内部基準電圧 (VBGR)	1.38	1.45	1.50	V
アナログ入力電圧	VAIN		0		VBGR	V

注 量子化誤差 (±1/2 LSB) を含みません。

注意 AVDDは常にVDDと同電位としてください。

35.6.2 温度センサ/内部基準電圧特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V (HS (高速メイン) モード))

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	ADSレジスタ = 80H設定, TA = +25°C		1.05		V
内部基準電圧	VBGR	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ出力電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	tAMP		10			μs

35.6.3 D/Aコンバータ

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4 MΩ	2.4 V ≤ VDD ≤ 3.6 V		±2.5	LSB
		Rload = 8 MΩ	2.4 V ≤ VDD ≤ 3.6 V		±2.5	LSB
セトリング・タイム	tSET	Cload = 20pF	2.7 V ≤ VDD ≤ 3.6 V		3	μs
			2.4 V ≤ VDD < 2.7 V		6	μs

35.6.4 コンパレータ

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	lvref		0		VDD - 1.4	V
	lvcmp		-0.3		VDD + 0.3	V
出力遅延	td	VDD = 3.0 V 入カスルーレート > 50 mV/μs	高速コンパレータモード, 基本モード		1.2	μs
			高速コンパレータモード, ウィンドウモード		2.0	μs
			低速コンパレータモード, 基本モード	3	5.0	μs
高電位側判定電圧	VTW+	高速コンパレータモード, ウィンドウモード		0.76 VDD		V
低電位側判定電圧	VTW-	高速コンパレータモード, ウィンドウモード		0.24 VDD		V
動作安定待ち時間	tCMP		100			
内部基準電圧注	VBGR	2.4 V ≤ VDD ≤ 3.6 V, HS (高速メイン)モード	1.38	1.45	1.50	V

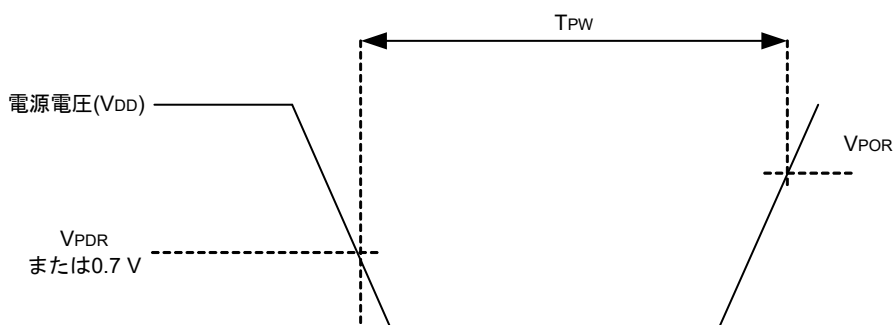
注 サブ・クロック動作, STOPモード時は使用できません。

35.6.5 POR回路特性

(TA = -40 ~ +105°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.45	1.51	1.57	V
	VPDR	電源立ち下がり時注	1.44	1.50	1.56	V
最小パルス幅	TPW		300			μs

注 VDDがVPDRを下回った場合に, PORによるリセット動作に必要な時間です。またSTOPモード時および, クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)とビット7(MSTOP)の設定によりメイン・システム・クロック(fMAIN)を停止時は, VDDが0.7Vを下回ってから, VPORを上回るまでのPORによるリセット動作に必要な時間です。



35.6.6 LVD回路特性

(TA = -40 ~ +105°C, VPDR ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位		
検出電圧	電源電圧レベル	VLVD2	電源立ち上がり時	3.01	3.13	3.25	V		
			電源立ち下がり時	2.94	3.06	3.18	V		
		VLVD3	電源立ち上がり時	2.90	3.02	3.14	V		
			電源立ち下がり時	2.85	2.96	3.07	V		
		VLVD4	電源立ち上がり時	2.81	2.92	3.03	V		
			電源立ち下がり時	2.75	2.86	2.97	V		
		VLVD5	電源立ち上がり時	2.71	2.81	2.92	V		
			電源立ち下がり時	2.64	2.75	2.86	V		
		VLVD6	電源立ち上がり時	2.61	2.71	2.81	V		
			電源立ち下がり時	2.55	2.65	2.75	V		
		VLVD7	電源立ち上がり時	2.51	2.61	2.71	V		
			電源立ち下がり時	2.45	2.55	2.65	V		
		最小パルス幅		tlw		300			μs
		検出遅延						300	μs

注意 検出電圧(VLVD)は、動作電圧範囲内になるように設定してください。動作電圧範囲は、ユーザ・オプション・バイト (000C2H/010C2H)の設定で決まります。動作電圧範囲は以下の通りです。

HS (高速メイン)モード : VDD = 2.7 ~ 3.6 V @ 1 MHz ~ 24 MHz
VDD = 2.4 ~ 3.6 V @ 1 MHz ~ 16 MHz

割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +105°C, VPDR ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVDD0	VPOC0, VPOC1, VPOC2 = 0, 1, 1, 立ち下がりリセット電圧 : 2.7 V	2.64	2.75	2.86	V	
	VLVDD1	LVIS0, LVIS1 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
			立ち下がり割り込み電圧	2.75	2.86	2.97	V
	VLVDD2	LVIS0, LVIS1 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
立ち下がり割り込み電圧			2.85	2.96	3.07	V	

35.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +105°C, VSS = 0 V)

項目	略号	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD			54	V/ms

注意 VDDが35.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

35.8 LCD特性

35.8.1 外部抵抗分割方式

(1) スタティック・モード

(TA = -40 ~ +105°C, VL4 (MIN.) ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.0		VDD	V

(2) 1/2バイアス, 1/4バイアス

(TA = -40 ~ +105°C, VL4 (MIN.) ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.7		VDD	V

(3) 1/3バイアス

(TA = -40 ~ +105°C, VL4 (MIN.) ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	VL4		2.5		VDD	V

35.8.2 内部昇圧方式

(1) 1/3バイアス

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4 ^{注1} = 0.47 μF ^{注2}	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C4 ^{注1} = 0.47 μF	2 VL1 - 0.1	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C4 ^{注1} = 0.47 μF	3 VL1 - 0.15	3 VL1	3 VL1	V	
基準電圧セットアップ時間 ^{注2}	tVWAIT1		5			ms	
昇圧ウェイト時間 ^{注3}	tVWAIT2	C1-C4 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ± 30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウェイト時間です。

(2) 1/4バイアス

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4注1 = 0.47 μF注2	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
ダブル出力電圧	VL2	C1-C4注1 = 0.47 μF	2 VL1 - 0.08	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C4注1 = 0.47 μF	3 VL1 - 0.12	3 VL1	3 VL1	V	
クアドロプル出力電圧	VL4	C1-C5注1 = 0.47 μF	4 VL1 - 0.16	4 VL1	4 VL1	V	
基準電圧セットアップ時間注2	tVWAIT1		5			ms	
昇圧ウェイト時間注3	tVWAIT2	C1-C5注1 = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです

C1 = C2 = C3 = C4 = C5 = 0.47 μF±30%

注2. VLCDレジスタで基準電圧を設定してから(基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択(LCDM0レジスタのMDSET1, MDSET0ビット = 01B)にしてから), 昇圧を開始する(VLCON = 1)までに必要なウェイト時間です。

注3. 昇圧を開始してから(VLCON = 1), 表示が可能になる(LCDON = 1)までのウェイト時間です。

35.8.3 容量分割方式

(1) 1/3バイアス

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
VL4電圧	VL4	C1-C4 = 0.47 μF注2		VDD		V
VL2電圧	VL2	C1-C4 = 0.47 μF注2	2/3 VL4 - 0.07	2/3 VL4	2/3 VL4 + 0.07	V
VL1電圧	VL1	C1-C4 = 0.47 μF注2	1/3 VL4 - 0.08	1/3 VL4	1/3 VL4 + 0.08	V
容量分割ウェイト時間注1	tvWAIT		100			ms

注1. 降圧を開始してから (VLCON = 1), 表示が可能になる (LCDON = 1) までのウェイト時間です。

注2. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

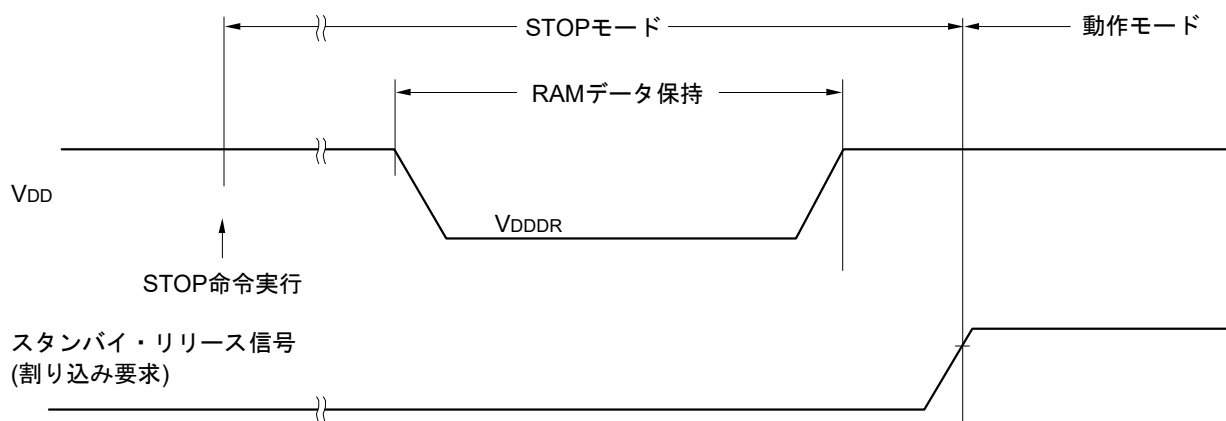
C1 = C2 = C3 = C4 = 0.47 μF±30%

35.9 RAMデータ保持特性

(TA = -40 ~ +105°C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.44注		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



35.10 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≤ VDD ≤ 3.6 V	1		24	MHz
コード・フラッシュの書き換え回数注1, 2, 3	Cenwr	保持年数 : 20年 TA注4 = 85°C	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持年数 : 1年 TA注4 = 25°C		1,000,000		
		保持年数 : 5年 TA注4 = 85°C	100,000			
		保持年数 : 20年 TA注4 = 85°C	10,000			

- 注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。
- 注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
- 注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。
- 注4. 保持の平均温度です。

35.11 専用フラッシュ・メモリ・プログラマ通信(UART)

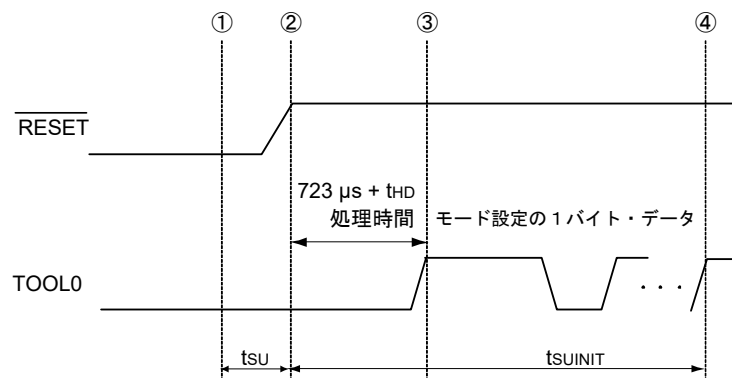
(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

35.12 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

(TA = -40 ~ +105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsUINIT	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsU	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前にPOR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットが解除(外部リセット解除前にPOR, LVDリセットは解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるモード引きこみ, ボー・レート設定完了

備考 tsUINIT : この区間では, リセット解除から100 ms以内に初期設定通信を完了してください。

tsU : TOOL0端子をロウ・レベルにしてから, 外部リセットを解除するまでの時間

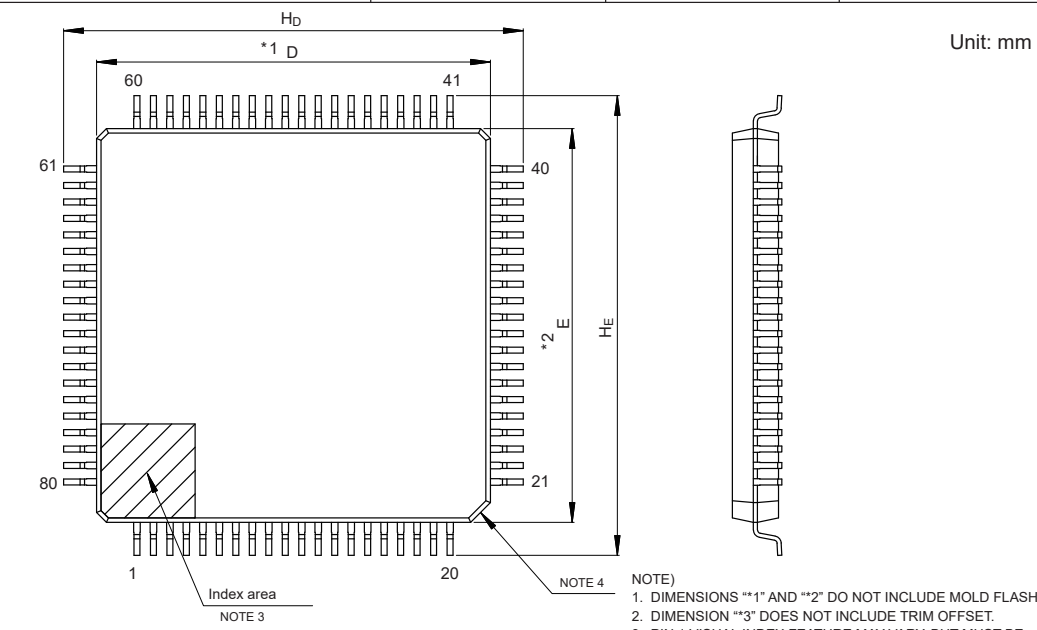
tHD : 外部リセット解除から, TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)

第36章 外形図

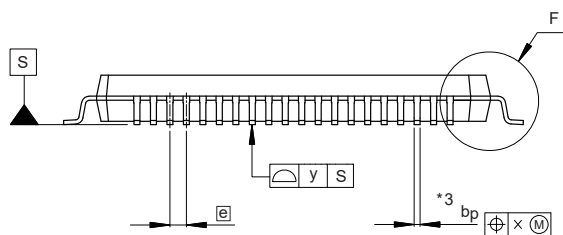
36.1 80ピン製品

R5F110MEAFB, R5F110MFAFB, R5F110MGAFB, R5F110MHAFB, R5F110MJAFB
 R5F111MEAFB, R5F111MFAFB, R5F111MGAFB, R5F111MHAFB, R5F111MJAFB
 R5F110MEGFB, R5F110MFGFB, R5F110MGGFB, R5F110MHGFB, R5F110MJGFB
 R5F111MEGFB, R5F111MFGFB, R5F111MGGFB, R5F111MHGFB, R5F111MJGFB

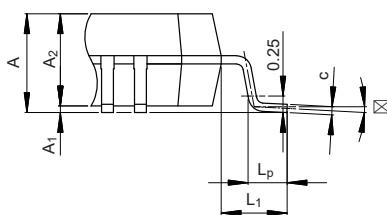
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

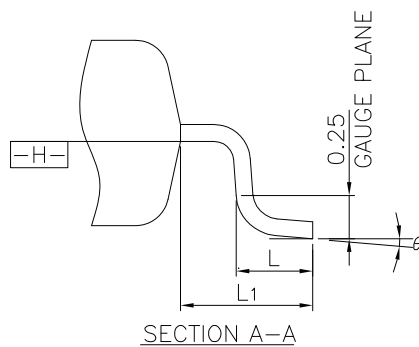
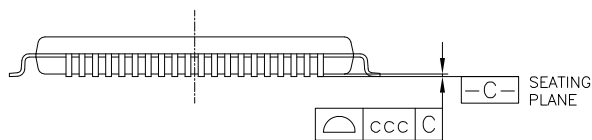
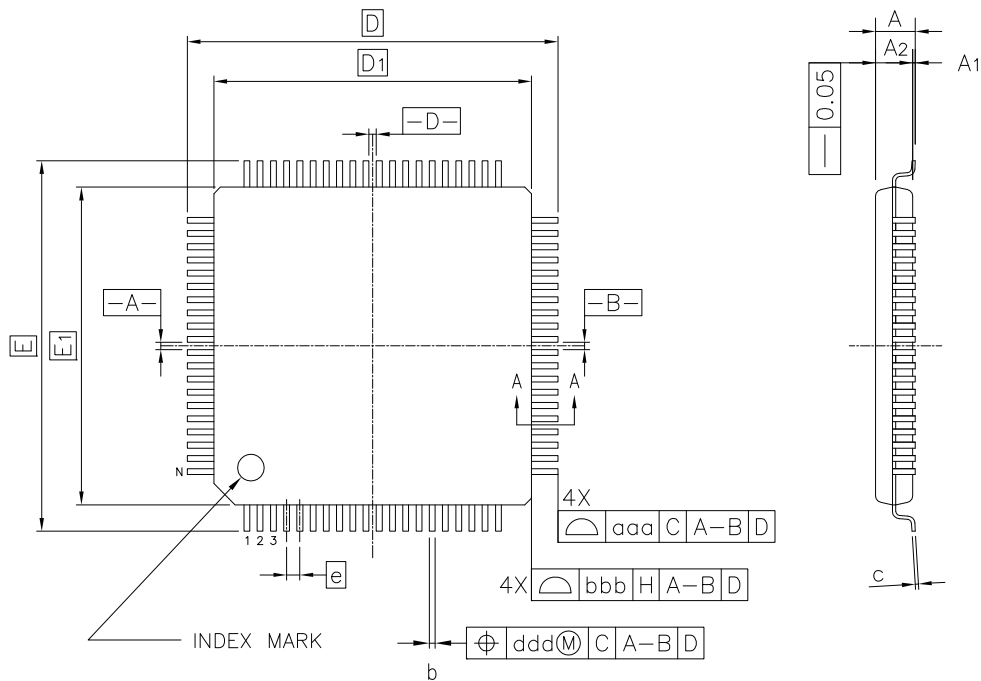


Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—



Detail F

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP80-12x12-0.50	PLQP0080KJ-A	0.49

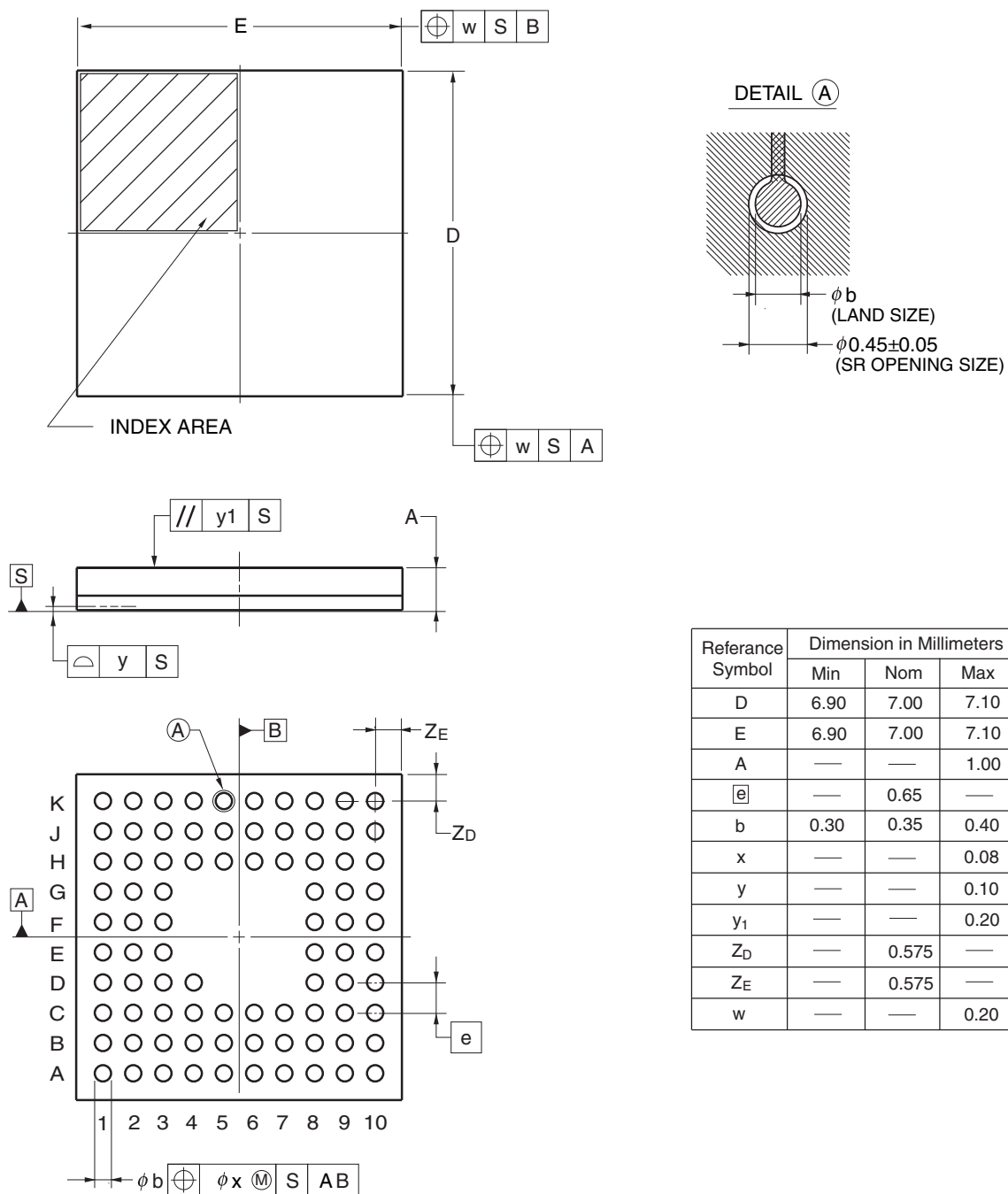


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	-	-	1.60
A ₁	0.05	-	0.15
A ₂	1.35	1.40	1.45
D	-	14.00	-
D ₁	-	12.00	-
E	-	14.00	-
E ₁	-	12.00	-
N	-	80	-
e	-	0.50	-
b	0.17	0.22	0.27
c	0.09	-	0.20
☒	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	-	1.00	-
aaa	-	-	0.20
bbb	-	-	0.20
ccc	-	-	0.08
ddd	-	-	0.08

36.2 85ピン製品

R5F110NEALA, R5F110NFALA, R5F110NGALA, R5F110NHALA, R5F110NJALA
 R5F111NEALA, R5F111NFALA, R5F111NGALA, R5F111NHALA, R5F111NJALA
 R5F110NEGLA, R5F110NFGLA, R5F110NGGLA, R5F110NHGLA, R5F110NJGLA
 R5F111NEGLA, R5F111NFGLA, R5F111NGGLA, R5F111NHGLA, R5F111NJGLA

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-VFLGA85-7x7-0.65	PVLG0085JA-A	P85FC-65-BN4	0.1

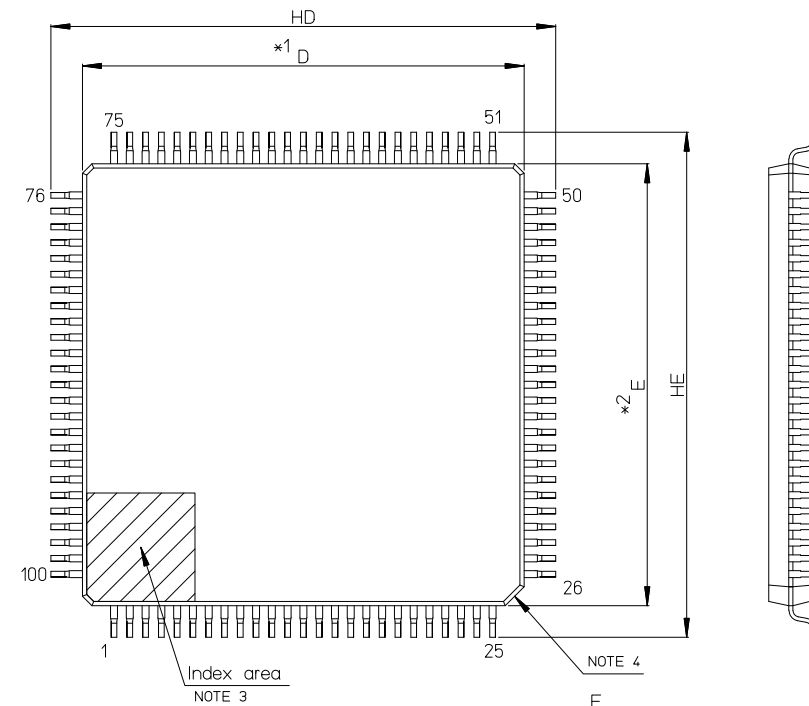


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.90	7.00	7.10
E	6.90	7.00	7.10
A	—	—	1.00
ϕ	—	0.65	—
b	0.30	0.35	0.40
x	—	—	0.08
y	—	—	0.10
y_1	—	—	0.20
Z_D	—	0.575	—
Z_E	—	0.575	—
w	—	—	0.20

36.3 100ピン製品

R5F110PEAFB, R5F110PFAFB, R5F110PGAFB, R5F110PHAFB, R5F110PJAFB
 R5F111PEAFB, R5F111PFAFB, R5F111PGAFB, R5F111PHAFB, R5F111PJAFB
 R5F110PEGFB, R5F110PFGFB, R5F110PGGFB, R5F110PHGFB, R5F110PJGFB
 R5F111PEGFB, R5F111PFGFB, R5F111PGGFB, R5F111PHGFB, R5F111PJGFB

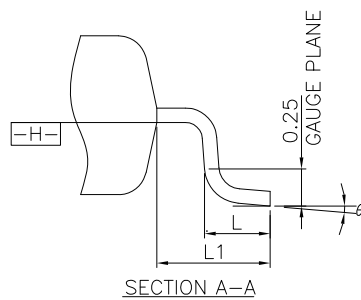
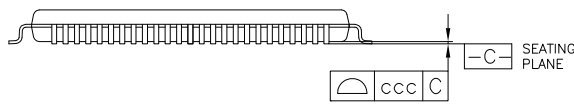
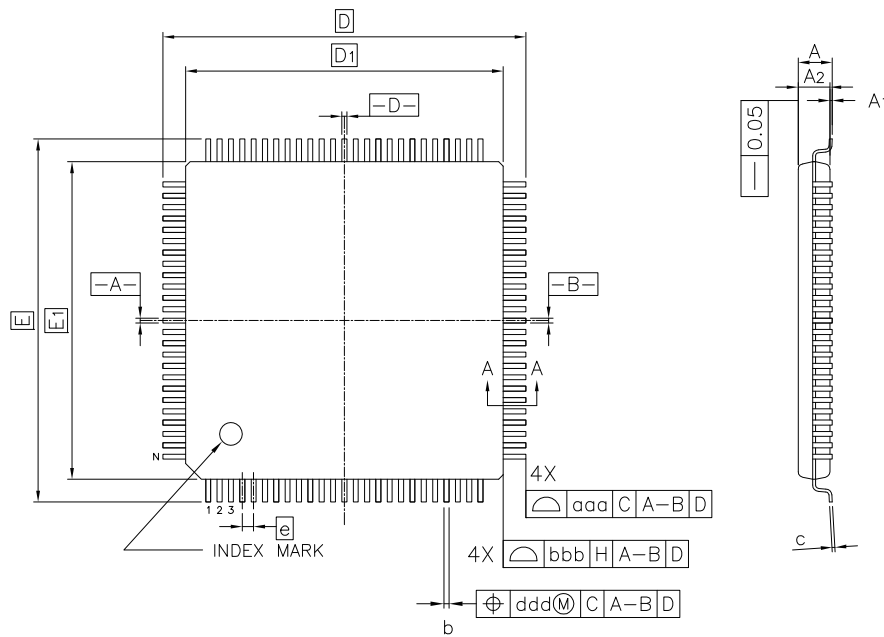
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6g



- NOTE)
1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A2	—	1.4	—
HD	15.8	16.0	16.2
HE	15.8	16.0	16.2
A	—	—	1.7
A1	0.05	—	0.15
bp	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Lp	0.45	0.6	0.75
L1	—	1.0	—

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP100-14x14-0.50	PLQP0100KP-A	0.67



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	-	-	1.60
A ₁	0.05	-	0.15
A ₂	1.35	1.40	1.45
D	-	16.00	-
D ₁	-	14.00	-
E	-	16.00	-
E ₁	-	14.00	-
N	-	100	-
e	-	0.50	-
b	0.17	0.22	0.27
c	0.09	-	0.20
☒	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	-	1.00	-
aaa	-	-	0.20
bbb	-	-	0.20
ccc	-	-	0.08
ddd	-	-	0.08

付録A 改版履歴

A.1 本版で改訂された主な箇所

箇所	内容	分類
第4章 ポート機能		
P. 144	4. 5. 2 出力機能を使用しない兼用機能のレジスタ設定 備考を追加	(c)
P. 160	4. 6. 1 ポート・レジスタ n (Pn) に対する1ビット・メモリ操作命令に関する注意事項 説明を変更	(a)
第5章 クロック発生回路		
P. 183	5. 3. 8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 注3を変更	(c)
P. 242	図6 - 12 タイマ・クロック選択レジスタ m (TPSm) のフォーマット (1/2) 注意2を変更	(a)
第6章 タイマ・アレイ・ユニット		
P. 275	6. 6. 1 T0mn 端子の出力回路の構成 ③・④を変更	(a)
P. 280	図6 - 41 タイマ動作中に T0Lm レジスタの内容を変更した場合の動作 図を変更	(e)
P. 296	図6 - 58 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0) 図を変更	(e)
第8章 リアルタイム・クロック2		
P. 471	図8 - 22 リアルタイム・クロック2の読み出し手順	(c)
P. 472	図8 - 23 リアルタイム・クロック2の読み出し手順 (アラーム割り込み機能使用時) 注を変更	(c)
P. 473	図8 - 24 リアルタイム・クロック2の書き込み手順 注2を変更	(c)
P. 474	図8 - 25 リアルタイム・クロック2の書き込み手順 (アラーム割り込み機能使用時) 注を変更	(c)
第9章 12ビット・インターバル・タイマ		
P. 483	図9 - 4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC) のフォーマット 注意1を変更	(c)
第12章 A/Dコンバータ		
P. 521	図12 - 12 アナログ入力チャネル指定レジスタ (ADS) のフォーマット 注1、注2へ変更・追加	(c)
第16章 シリアル・インタフェース IICA		
P. 738	図16 - 5 周辺イネーブル・レジスタ0 (PER0) のフォーマット 注意1を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/18)

版数	内容	適用箇所
Rev.2.40	図1-1 RL78/L1Cの型名とメモリ・サイズ・パッケージ 説明を変更	第1章 概説
	表1-1 発注型名一覧 説明を変更	
	2.1.1 80/85ピン製品(USB搭載製品)(2/3) 機能名称 P60の端子タイプを変更	第2章 端子機能
	2.1.2 80/85ピン製品(USB非搭載製品)(2/3) 機能名称 P60の端子タイプを変更	
	2.1.3 100ピン製品(USB搭載製品)(2/3) 機能名称 P60の端子タイプを変更	
	2.1.4 100ピン製品(USB非搭載製品)(2/3) 機能名称 P60の端子タイプを変更	
	表2-3 各端子の未使用端子処理 説明を変更	
	図2-16 端子タイプ12-1-3の端子ブロック図 タイトルおよび図を変更	
	表11-3 ウォッチドッグ・タイマのオーバフロー時間の設定 注を追加	第11章 ウォッチドッグ・タイマ
	図15-74 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0) 図を変更	第15章 シリアル・アレイ・ユニット
	図15-76 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0) 図を変更	
	27.1 安全機能の概要 説明を変更	第27章 安全機能
	27.3.2 CRC演算機能(汎用CRC) 説明を変更	
	27.3.4 RAMガード機能 説明を変更	
	27.3.5 SFRガード機能 説明を変更	
	30.8.3 データ・フラッシュへのアクセス手順 注意4を追加	第30章 フラッシュ・メモリ

(2/18)

版数	内容	適用箇所
Rev. 2.30	図8-8 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(3/3) 説明を追加	第8章 リアルタイム・クロック2
	8.4.3 リアルタイム・クロック2のカウンタ読み出し 説明を追加	
	図8-23 リアルタイム・クロック2の読み出し手順 (アラーム割り込み機能使用時) 図を追加	
	8.4.4 リアルタイム・クロック2のカウンタ書き込み 説明を追加	
	図8-24 リアルタイム・クロック2の書き込み手順 備考を変更	
	図8-25 リアルタイム・クロック2の書き込み手順 (アラーム割り込み機能使用時) 図を追加	
	19.5.1 DTCのコントロール・データおよびベクタ・テーブルの設定 説明を変更	第19章 データ・トランスファ・コントローラ(DTC)
	34.3.2 電源電流特性 (TA = -40~+85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V) (1/2) 注を変更	第34章 電気的特性(A: TA = -40~+85°C)
	34.3.2 電源電流特性 (TA = -40~+85°C, 1.6 V ≤ VDD ≤ 3.6 V, VSS = 0 V) (2/2) 注および備考を変更	
	35.3.2 電源電流特性 (TA = -40~+105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V) (1/2) 注を変更	第35章 電気的特性(G: 産業用途 TA = -40~+105°C)
35.3.2 電源電流特性 (TA = -40~+105°C, 2.4 V ≤ VDD ≤ 3.6 V, VSS = 0 V) (2/2) 注および備考を変更		
36.1 80ピン製品 図を変更	第36章 外形図	
36.2 100ピン製品 図を変更		
Rev. 2.21	3線シリアルI/O、3線シリアルを簡易SPIに変更	全般
	CSIを簡易SPIに変更	
	IICAのウェイトをクロック・ストレッチに変更	
	1.1 特徴 注を追加	第1章 概説
	1.2 型名一覧 表1-1 発注型名一覧を変更	
	4.4.4 入出力バッファによる異電位 (1.8V系, 2.5V系) 対応 注を追加	第4章 ポート機能
	注を追加	第15章 シリアル・アレイ・ユニット
	36.1 80ピン製品 図を追加	第36章 外形図
36.3 100ピン製品 図を追加		

(3/18)

版数	内容	適用箇所
Rev. 2.20	PG-FP5をPG-FP6に,FL-PR5をFL-PR6に変更、E2, E2 Lite, E20を追加	全般
	表3 - 11 拡張SFR (2nd SFR)一覧を修正	第3章 CPUアーキテクチャ
	表4 - 1 ポートの構成を修正	第4章 ポート機能
	4.3 ポート機能を制御するレジスタを修正	
	4.3.9 グローバル・アナログ・インプット・ディスエーブル・レジスタ (GAIDIS)を削除	
	5.4.4 低速オンチップ・オシレータ 説明を修正	第5章 クロック発生回路
	表11 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 注を追加	第11章 ウォッチドッグ・タイマ
	図15 - 103 LINの送信操作を修正	第15章 シリアル・アレイ・ユニット
	図15 - 104 LIN送信のフロー・チャートを修正	
	図15 - 105 LINの受信操作を修正	
	図15 - 106 LIN受信のフロー・チャートを修正	
	図29 - 1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット 注3を追加	第29章 オプション・バイト
	図30 - 7 フラッシュ・メモリ・プログラミング・モードへの引き込みを修正	第30章 フラッシュ・メモリ
	34.3.1 端子特性 表および注3を修正	第34章 電気的特性 (TA = -40 ~ +85°C)
	34.12 モード引き込み時のタイミング・スペック 図を修正	
35.1 絶対最大定格 表を修正	第35章 電気的特性 (G : 産業用途 TA = -40 ~ +105°C)	
35.3.1 端子特性 表と注3を修正		
35.12 モード引き込み時のタイミング・スペック 図を修正		
Rev. 2.10	1.3.1 80ピン製品(USB搭載製品) 端子接続図に製品名および(Top View)を記載	第1章 概説
	1.3.2 80ピン製品(USB非搭載製品) 端子接続図に製品名および(Top View)を記載	
	1.3.5 100ピン製品(USB搭載製品) 端子接続図に製品名および(Top View)を記載	
	1.3.6 100ピン製品(USB非搭載製品) 端子接続図に製品名および(Top View)を記載	
	1.6 機能概要を修正	

版数	内容	適用箇所
Rev. 2.10	表2 - 1 各端子の入出力バッファ電源 P130のポート端子を削除	第2章 端子機能
	2.1.1 80/85ピン製品(USB搭載製品) 表見出しを修正	
	2.1.2 80/85ピン製品(USB非搭載製品) 表見出しを修正	
	2.1.3 100ピン製品(USB搭載製品) 表見出しを修正	
	2.1.4 100ピン製品(USB非搭載製品) 表見出しを修正	
	図2-7~図2-15、図2-17~図2-19の端子ブロック図を端子タイプ順に並び替え	
	図2 - 7 端子タイプ7-3-4の端子ブロック図 注意を追加	
	図2 - 12 端子タイプ7-5-10の端子ブロック図 注意を追加	
	図2 - 14 端子タイプ8-3-4の端子ブロック図 注意1、注意2を追加	
	図2 - 15 端子タイプ8-5-10の端子ブロック図 注意1、注意2を追加	
	3.1 概要 削除	第3章 CPUアーキテクチャ
	表3 - 4 ベクタ・テーブル(1/2) ベクタ・テーブル・アドレスを5桁表示(XXXXXH)に修正	
	表3 - 5 ベクタ・テーブル(2/2) ベクタ・テーブル・アドレスを5桁表示(XXXXXH)に修正	
	3.2.1 制御レジスタ (1) プログラム・カウンタ(PC) アドレスを5桁表示(XXXXXH)に修正	
	表3 - 7 SFR一覧(1/4) FFF14H, FFF15Hの略号を修正	
	表3 - 8 SFR一覧(2/4) FFF48H, FFF49Hの略号を修正	
	表3 - 16 拡張SFR (2nd SFR)一覧(6/15), (7/15)を修正	
	5.1 クロック発生回路の機能 (1) メイン・システム・クロック 説明を追加	第5章 クロック発生回路
	図5 - 2 クロック発生回路のブロック図(USB非搭載製品) 備考にfPLL, fUSBを追加	
	5.3.2 システム・クロック制御レジスタ(CKC) 注意5を修正	
	図5 - 8 周辺イネーブル・レジスタ0 (PER0)のフォーマット(1/2) 注を削除、RTCWENビットの0機能の説明を修正	
	図5 - 9 周辺イネーブル・レジスタ0 (PER0)のフォーマット(2/2) 注を削除	
	図5 - 15 PLL制御レジスタ(DSCCTL)のフォーマット 注意2、注意3を追加	
	5.4.4 低速オンチップ・オシレータ 説明を修正	
	5.4.5 PLL (Phase Locked Loop) 注意2を修正	
	図5 - 23 電源電圧投入時のクロック発生回路の動作 ①の説明を修正	
	5.6.1 高速オンチップ・オシレータの設定例 注1、注2を追加、注→注3に変更	
	5.6.3 XT1発振回路の設定例 【レジスタの設定】①の説明を修正	
	5.6.4 PLL回路の設定例 【レジスタの設定】①、⑦、⑧を追加、③の説明を追加、④、⑥の説明を修正、注1、注3を追加、注→注2に変更	
図5 - 24 CPUクロック状態移行図(USB搭載製品) 修正		
表5 - 4 CPUクロックの移行とSFRレジスタの設定例(1/7)の(2) (A) → (B) → (C) (X1クロック : 10 MHz < fX ≤ 20MHz)のAMPHビットの設定値を修正		

版数	内容	適用箇所	
Rev. 2.10	表5-5 CPUクロックの移行とSFRレジスタの設定例(2/7)の(4) 状態遷移を修正	第5章 クロック発生回路	
	表5-6 CPUクロックの移行とSFRレジスタの設定例(3/7)の(6)、(8) 注を修正		
	表5-8 CPUクロックの移行とSFRレジスタの設定例(5/7), (6/7)の(10) 説明を修正		
	表5-9 CPUクロックの移行とSFRレジスタの設定例(6/8) 削除		
	表5-9 CPUクロックの移行とSFRレジスタの設定例(6/7)の(11) 説明と表を削除		
	表5-10 CPUクロックの移行とSFRレジスタの設定例(7/7)の(12) 説明を修正		
	表5-10 CPUクロックの移行とSFRレジスタの設定例(7/7)の(15) 説明を修正		
	表5-16 CPUクロックの移行について(1/3) 移行前 (X1クロック) →移行後 (PLLクロック) の移行前の条件を修正		
	表5-17 CPUクロックの移行について(2/3) 移行前 (外部メイン・システム・クロック) →移行後 (PLLクロック) の移行前の条件を修正		
	5.6.8 クロック発振停止前の条件 説明を修正		
	5.7 発振子と発振回路定数 説明を修正		
	5.7 (1) X1発振 注3→注2に変更、注3を変更		
	図6-11 周辺イネーブル・レジスタ0 (PER0)のフォーマット 注を削除		第6章 タイマ・アレイ・ユニット
	図6-14 タイマ・モード・レジスタmn (TMRmn)のフォーマット(1/4) CCSmnビットの説明を修正		
図6-17 タイマ・モード・レジスタmn (TMRmn)のフォーマット (4/4) ワンカウント・モードのMDmn0=1のカウント・スタートと割り込みの設定を修正			
6.8.1 インターバル・タイマ/方形波出力としての動作 (1) インターバル・タイマの式を修正			
図6-64 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順 動作中のソフトウェア操作を修正			
6.9.1 ワンショット・パルス出力機能としての動作 注意を修正			
第7章 16ビット・タイマKB20, KB21, KB22 説明を修正	第7章 16ビット・タイマKB20, KB21, KB22		
図8-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット RTCWENビットの0機能のリアルタイム・クロック2の入力クロック供給の制御の説明を修正、注を削除	第8章 リアルタイム・クロック2		
図8-8 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(3/3) 注1、注2を追加			
10.5 クロック出力/ブザー出力制御回路の注意事項 説明を修正	第10章 クロック出力/ブザー出力制御回路		
図12-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット 注を削除	第12章 A/Dコンバータ		
12.10 A/Dコンバータの注意事項 (2) ANI0-ANI6, ANI16-ANI21 端子入力範囲について 説明を修正			
図15-5 周辺イネーブル・レジスタ0 (PER0)のフォーマット 注を削除	第15章 シリアル・アレイ・ユニット		
図15-11 シリアル・データ・レジスタmn (SDRmn)のフォーマット 注意4を変更			

版数	内容	適用箇所
Rev. 2.10	図 15 - 21 送信データのレベル反転例 端子名を修正 (SOUT0n→TXDq)	第15章 シリアル・アレイ・ユニット
	15.5.7 SNOOZEモード機能 説明を修正	
	図 15 - 74 SNOOZEモード動作(1回起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0) タイミング・チャートを修正、注を修正	
	図 15 - 75 SNOOZEモード動作(1回起動)時のフロー・チャート SNOOZEモードのフロー・チャートを修正	
	図 15 - 76 SNOOZEモード動作(連続起動)時のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0) タイミング・チャートを修正	
	図 15 - 77 SNOOZEモード動作(連続起動)時のフロー・チャート SNOOZEモードのフロー・チャートを修正	
	15.6.3 SNOOZEモード機能 説明を修正、注意5を追加	
	図 15 - 95 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1)時のタイミング・チャート	
	図 15 - 96 SNOOZEモード動作(EOCm1 = 1, SSECM = 0)時のタイミング・チャート タイミング・チャートを修正	
	図 15 - 97 SNOOZEモード動作(EOCm1 = 0, SSECM = 0/1もしくはEOCm1 = 1, SSECM = 0)時のフロー・チャート SNOOZEモードのフロー・チャートを修正	
	図 15 - 98 SNOOZEモード動作(EOCm1 = 1, SSECM = 1)時のタイミング・チャート タイミング・チャートを修正	
	図 15 - 99 SNOOZEモード動作(EOCm1 = 1, SSECM = 1)時のフロー・チャート SNOOZEモードのフロー・チャートを修正	
	図 16 - 1 シリアル・インタフェースIICAのブロック図 fMCKを追記	
	図 16 - 5 周辺イネーブル・レジスタ0 (PER0)のフォーマット 注を削除	
	図 16 - 14 IICAコントロール・レジスタn1 (IICCTLn1)のフォーマット(1/2) WUPnビットの説明を修正	
	図 16 - 15 IICAコントロール・レジスタn1 (IICCTLn1)のフォーマット(2/2) PRSnビットの0, 1機能の説明を修正、注意1を追加、注意2を修正	
	16.3.6 IICAロウ・レベル幅設定レジスタn (IICWLn) 説明を修正	
	16.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法 fCLK→fMCKに変更、注意1を追加、注意2を修正、備考2を修正 (fCLK→fMCK)	
	図 16 - 29 WUPn = 1を設定する場合のフロー ウエイトの説明を修正	
	図 16 - 30 アドレス一致によりWUPn = 0に設定する場合のフロー (拡張コード受信含む) 処理「ウエイト」の説明を修正	
	図 16 - 31 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合 処理「ウエイト」の説明を修正	
	16.5.14 通信予約 (1) 通信予約機能許可の場合(IICAフラグ・レジスタn (IICFn)のビット0 (IICRSVn) = 0) STTnの式を修正、備考1を修正 (fCLK→fMCK)	
	図 16 - 34 通信予約の手順 注1、備考 (fMCK) を修正	
16.5.14 通信予約 (2) 通信予約機能禁止の場合(IICAフラグ・レジスタn (IICFn)のビット0 (IICRSVn) = 1) 説明を修正		

(7/18)

版数	内容	適用箇所
Rev. 2.10	16.5.15 その他の注意事項 (3)すでに他者との間でI ² C通信が行われている場合 ④の説明を修正	第16章 シリアル・インタフェースIICA
	図16-35 シングルマスタ・システムでのマスタ動作 処理「PER0レジスタの設定」を追加	
	図16-36 マルチマスタ・システムでのマスタ動作(1/3) 処理「PER0レジスタの設定」を追加	
	図16-37 マルチマスタ・システムでのマスタ動作(2/3) 注を修正、処理「ウェイト」に説明を追加、備考1を修正 (fCLK→fMCK)	
	図16-39 スレープ動作手順(1) 処理「PER0レジスタの設定」を追加	
	表17-22 DTC設定一覧 DTDARj(ディスティネーションアドレス)、DTSARj(ソースアドレス)を追加	第17章 USB2.0ファンクション・モジュール(USB)
	説明を追加	第19章 データ転送ファコントローラ(DTC)
	表19-1 DTCの仕様 注を修正	
	図19-4 コントロールデータの先頭アドレスとベクタテーブル 追加	
	図19-16 ノーマルモードの使用例1:A/D変換結果の連続取り込み DTCCT12の値を修正	
	19.5.3 DTC保留命令 説明を修正	
	表21-1~表21-4 割り込み要因一覧 ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正	第21章 割り込み機能
	21.4.4 除算命令中の割り込み処理 注意を追加	
	21.4.5 割り込み要求の保留 割り込み要求の保留命令を追加	
	表23-1 HALTモード時の動作状態(1/2) RAMのメイン・システム・クロックでCPU動作中のHALT命令実行時の説明を修正	第23章 スタンバイ機能
	表23-1 HALTモード時の動作状態(2/2) サブシステム・クロックでCPU動作中のHALT命令実行時の説明を修正	
	アドレスを5桁表示(xxxxxH)に変更	第24章 リセット機能
	24.1 リセット動作のタイミング 注意削除	
	表24-1 リセット期間中の動作状態 RAMのリセット期間中の説明を修正	
	表24-2 リセット受け付け後の各ハードウェアの状態 アドレスを5桁表示(xxxxxH)に変更	
	図24-4 リセット・コントロール・フラグ・レジスタ(RESF)のフォーマット リセット時の説明を修正	
	図24-5 リセット要因の確認手順例 注意を追加	
	図25-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング(2/3) (2)LVD割り込み&リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0) 注3を修正	第25章 パワーオン・リセット回路
	26.1 電圧検出回路の機能 表中の割り込みモードを修正	第26章 電圧検出回路
	図26-5 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)「上記以外は設定禁止」に修正	
	26.4.2 割り込みモードとして使用する場合の設定 LVD割り込みモードの動作の説明を修正	

版数	内容	適用箇所
Rev. 2.10	29.1.1 ユーザ・オプション・バイト (3) 000C2H/010C2H 説明を修正	第29章 オプション・バイト
	図29-4 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット 表見出し (動作周波数範囲、動作電圧範囲) を修正	
	表30-1 RL78/L1Cと専用フラッシュ・メモリ・プログラムの配線表 信号名を修正	第30章 フラッシュ・メモリ
	図30-2 専用フラッシュ・メモリ・プログラムの通信 FLMD1を追加	
	表30-2 端子接続一覧 表見出しの端子名に注2を追加	
	30.6 セルフ・プログラミング 備考1を修正 (参照マニュアルのドキュメント番号を修正)	
	30.8.3 データ・フラッシュへのアクセス手順 説明を追加	
	表31-1 オンチップ・デバッグ・セキュリティ ID 注を追加	第31章 オンチップ・デバッグ機能
	表33-16 オペレーション一覧(12/18) 注3を追加、注意を追加、備考1を削除	第33章 命令セットの概要
	絶対最大定格 (1/3) VO1, VO2の条件を修正	第34章 電気的特性(A: TA = -40 ~ +85°C)
	絶対最大定格 (3/3) IOH1, IOL1の条件を修正、IOH2 (端子合計), IOL2 (端子合計) の定格値を修正	
	34.3.1 端子特性 IOH1, IOH2の条件を修正、IOH2 (端子合計) の定格値を修正	
	34.3.1 端子特性 IOL1, IOL2の条件を修正、IOL2 (全端子合計) の定格値を修正	
	34.3.1 端子特性 VOH1, VOH2, VOL1, VOL2の条件を修正	
	メイン・システム・クロック動作時の最小命令実行時間 Tcy vs VDDのグラフを修正	
	34.6.1 A/Dコンバータ特性 (1) 基準電圧 (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM/ANI1(ADREFM = 1)選択時, 変換対象: ANI2-ANI6 条件を修正	
	34.9 RAMデータ保持特性 タイトルを修正、注を修正	
	34.10 フラッシュ・メモリ・プログラミング特性 条件を修正	
	説明を修正	第35章 電気的特性 (G: 産業用途 TA = -40 ~ +105°C)
	絶対最大定格 (1/3) VO1, VO2の条件を修正	
	絶対最大定格 (3/3) IOH1, IOH2, IOL1, IOL2の条件を修正、IOH2 (端子合計), IOL2 (端子合計) の定格値を修正	
	35.3.1 端子特性 IOH1, IOH2の条件を修正、IOH2 (全端子合計) の定格値を修正	
	35.3.1 端子特性 IOL1, IOL2の条件を修正、IOL2 (全端子合計) の定格値を修正	
	35.3.1 端子特性 VOH1, VOH2, VOL1, VOL2の条件を修正	
	メイン・システム・クロック動作時の最小命令実行時間 Tcy vs VDDのグラフを修正	第35章 電気的特性 (G: 産業用途 TA = -40 ~ +105°C)
	35.9 RAMデータ保持特性 タイトルを修正、注を修正	
	35.10 フラッシュ・メモリ・プログラミング特性 条件を修正、注4を追加	

版数	内容	適用箇所
Rev. 2.00	85ピン製品の内容を追加	全般
	80ピンを80/85ピンに変更	
	x = M, Pをx = M, N, Pに変更	
	高精度リアルタイム・クロックをリアルタイム・クロック2に変更	
	RTCをRTC2に変更	
	1.1 特徴のLCDコントローラ/ドライバを変更	第1章 概説
	1.2 型名一覧を変更	
	図1-1 RL78/L1Cの型名とメモリ・サイズ・パッケージを変更	
	4.5.2 出力機能を使用しない兼用機能のレジスタ設定の(6)を変更	第4章 ポート機能
	5.7 発振子と発振回路定数を追加	第5章 クロック発生回路
	図8-4 リアルタイム・クロック・コントロール・レジスタ0(RTCC0)のフォーマット(1/2)の変更	第8章 リアルタイム・クロック2
	図8-5 リアルタイム・クロック・コントロール・レジスタ0(RTCC0)のフォーマット(2/2)の変更	
	図8-25 1Hz出力の設定手順の変更	
	17.4.1.1 動作開始の変更	第17章 USB2.0ファンクション・モジュール(USB)
	図17-45 セルフパワード時(3.3V)のUSBコネクタの接続例の変更	
	図17-46 バスパワード時(3.3V)のUSBコネクタの接続例の変更	
	図23-8 SNOOZEモードの割り込み要求が発生しない場合を変更	第23章 スタンバイ機能
	34.5.3 USBの(1)電気的特性を変更	第34章 電気的特性(A: TA = -40~+85°C)
	34.6.1 A/Dコンバータ特性の(3)を変更	
	34.8.2 内部昇圧方式の(1)1/3バイアスの注1を変更	
35.5.3 USBの(1)電気的特性を変更	第35章 電気的特性(G: TA = -40~+105°C)	
35.8.2 内部昇圧方式の(1)1/3バイアスの注1を変更		
Rev. 1.00	SCKxx, ACKのオーバーバーを削除	全般
	COMEXP, COMEXP端子を削除	
	メモリ性液晶制御レジスタ(MLCD)を削除	
	高速オンチップ・オシレータ・トリミング・レジスタ(HIOTRM)を追加	
	割り込み許可レジスタ1(INTENB1)を追加(USB搭載製品のみ)	
	割り込みステータス・レジスタ1(INTSTS1)を追加(USB搭載製品のみ)	
	USBクロック選択レジスタ(UCKSEL)を追加(USB搭載製品のみ)	
	1.1 特徴を変更	第1章 概説
	1.2 型名一覧を変更	
	1.3 端子接続図(Top View)のパッケージ名称を変更	
	1.6 機能概要のベクタ割り込み要因を変更	
	1.6 機能概要の動作周囲温度を変更	
	2.1 ポート機能に注意を追加	第2章 端子機能

版数	内容	適用箇所
Rev. 1.00	2.1.1～2.1.4の表, 備考を変更	第2章 端子機能
	2.3 未使用端子の処理の説明, 表を変更	
	2.4 端子ブロック図を変更	
	3.1 概要を変更	第3章 CPUアーキテクチャ
	図3-1～図3-5の注を変更	
	表3-4を変更 (INTLCD0を削除)	
	3.2.3 内部データ・メモリ空間の説明, 注意を変更	
	3.2.6 データ・メモリ・アドレッシングの図を変更	
	(3) スタック・ポインタ(SP)の誤記訂正	
	3.3.2 汎用レジスタの説明を変更	
	図3-13 データ・アクセス領域の拡張を変更	
	3.3.4 特殊機能レジスタ(SFR: Special Function Register)の説明を変更	
	3.3.5 拡張特殊機能レジスタ(2nd SFR: 2nd Special Function Register)の説明を変更	
	表3-11～表3-25を変更	
	表4-1 ポートの構成を変更	
	4.2.1 ポート0～4.2.13 ポート15の説明を変更	
	4.3 ポート機能を制御するレジスタに注意を追加	
	4.3.5 ポート出力モード・レジスタ(POMxx)の説明を変更	
	図4-49 周辺I/Oリダイレクション・レジスタ(PIOR)のフォーマットを変更	
	4.3.9 グローバル・アナログ・インプット・ディスエーブル・レジスタ(GAIDIS)の説明を変更	
	表4-6 各製品で搭載しているセグメント出力端子と対応するPFSEGレジスタ(PFSEGビット)の注意を追加	
	4.4.4 入出力バッファによる異電位(1.8V系, 2.5V系)対応の説明を変更	
	4.5 兼用機能使用時のレジスタの設定の説明を変更	
	5.1 クロック発生回路の機能の説明を変更	第5章 クロック発生回路
	図5-1, 図5-2を変更	
	5.3 クロック発生回路を制御するレジスタの注意を追加	
	5.3.2 システム・クロック制御レジスタ(CKC)の説明, 備考, 注意を変更	
	5.3.5 発振安定時間選択レジスタ(OSTS)の説明を変更	
	図5-10 周辺イネーブル・レジスタ1(PER1)のフォーマットの説明, 注を変更	
	図5-11 周辺イネーブル・レジスタ2(PER2)のフォーマットの注を変更	
	5.3.7 サブシステム・クロック供給モード制御レジスタ(OSMC)の説明を変更	
	5.3.8 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)の説明を変更	
	5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ(HIOTRM)を追加	
5.3.11 メイン・クロック制御レジスタ(MCKC)の説明, 注, 注意を変更		
5.3.12 USBクロック選択レジスタ(UCKSEL)を追加		
5.4.3 高速オンチップ・オシレータのクロック拡張		
5.4.4 低速オンチップ・オシレータの説明を変更		

版数	内容	適用箇所	
Rev. 1.00	図5 - 23 電源電圧投入時のクロック発生回路の動作の説明を変更	第5章 クロック発生回路	
	5.6.1 高速オンチップ・オシレータの設定例の選択クロック拡張		
	5.6.2 X1 発振回路の設定例の説明を変更		
	5.6.5 CPUクロック状態移行図の説明を変更		
	5.6.6 CPUクロックの移行前の条件と移行後の処理の表を変更		
	タイマ・アレイ・ユニットの説明を変更	第6章 タイマ・アレイ・ユニット	
	(1) ワンショット・パルス出力の図を変更		
	図6 - 1, 図6 - 4, 図6 - 5を変更		
	6.3 タイマ・アレイ・ユニットを制御するレジスタの注意を追加		
	図6 - 11 周辺イネーブル・レジスタ0 (PER0)のフォーマットの注意を変更		
	6.3.2 タイマ・クロック選択レジスタm (TPSm)の説明を変更		
	6.3.7 タイマ・チャンネル停止レジスタm (TTm)の説明を変更		
	図6 - 22 タイマ入力選択レジスタ0 (TIS0)のフォーマットの説明を変更		
	図6 - 24 タイマ出力許可レジスタm (TOEm)のフォーマットの説明を変更		
	6.3.15 ノイズ・フィルタ許可レジスタ1 (NFEN1)の説明を変更		
	6.3.16 タイマ入出力端子のポート機能を制御するレジスタの説明を変更		
	6.5.3 カウンタの動作 (2), (3)の備考を変更		
	6.6.2 TOmn端子の出力設定の説明を変更		
	6.7 タイマ入力(TImn)の制御の説明を追加		
	図6 - 50, 図6 - 51の誤記を訂正		
	図6 - 53の説明を変更		
	図6 - 55, 図6 - 56の誤記を訂正		
	図6 - 60の説明を追加		
	図6 - 61の説明を変更		
	図6 - 64の説明を変更		
	図6 - 65の説明を追加		
	図6 - 67, 図6 - 68の誤記を訂正, 説明を追加		
	図6 - 69の説明を追加		
	図6 - 71の誤記を訂正		
	図6 - 73, 図6 - 74の説明を変更		
	図6 - 77, 図6 - 78の誤記を訂正, 説明を追加		
	図6 - 83, 図6 - 84の誤記を訂正, 説明を追加		
	第7章 16ビット・タイマKB20, KB21, KB22のタイトル, 表を変更		第7章 16ビット・タイマ KB20, KB21, KB22
	(5) タイマ・リスタート機能の説明を変更		
	(6)の備考を変更, (7)の備考を追加		
	表7 - 1 16ビット・タイマKB20, KB21, KB22の構成を変更(名称の変更)		
	図7 - 1 16ビット・タイマKB2のブロック図の説明を変更		
	(1) 16ビット・タイマ・カウンタ・レジスタn (TKBCNTn)を追加		
	(2), (3)の説明を変更		
	図7 - 5 周辺イネーブル・レジスタ1 (PER1)フォーマットの注意を変更		

(12/18)

版数	内容	適用箇所
Rev. 1.00	図7-7 16ビット・タイマKB2・カウントクロック分周選択レジスタn (TKBPSCSn)のフォーマットの動作クロックを拡張	第7章 16ビット・タイマ KB20, KB21, KB22
	7.3.4 16ビット・タイマKB2動作制御レジスタn0 (TKBCTLn0)の説明を変更	
	図7-9 16ビット・タイマKB2動作制御レジスタn0 (TKBCTLn0)のフォーマット(2/2)の注を追加, 注意を変更	
	図7-10 16ビット・タイマKB2動作制御レジスタn1 (TKBCTLn1)のフォーマットの説明を変更	
	図7-11 16ビット・タイマKB2出力制御レジスタn0 (TKBIOcn0)のフォーマットの誤記を訂正	
	図7-12 16ビット・タイマKB2出力制御レジスタn1 (TKBIOcn1)のフォーマットの説明を変更	
	図7-13 16ビット・タイマKB2フラグ・レジスタn (TKBFLGn)のフォーマットの誤記を訂正	
	図7-14 16ビット・タイマKB2トリガ・レジスタn (TKBTRGn)のフォーマットの説明を追加	
	図7-15 16ビット・タイマKB2フラグ・クリア・トリガ・レジスタn (TKBCLRn)のフォーマットの説明, 注意を変更	
	7.3.17 強制出力停止機能制御レジスタ0p (TKBPACTL0p)の説明を変更	
	7.3.18 強制出力停止機能制御レジスタ1p (TKBPACTL1p)の説明を変更	
	7.3.19 強制出力停止機能制御レジスタ2p (TKBPACTL2p)の説明を変更	
	図7-33 強制出力停止機能フラグ・レジスタn (TKBPAFLGn)のフォーマットの説明(ビットシンボル)を変更	
	7.4 16ビット・タイマKB20, KB21, KB22の動作のタイトル, 説明, 7.4.1(1)の説明を変更	
	7.4.2 デフォルトレベルとアクティブレベルの説明を変更	
	7.4.3 動作停止と動作開始の説明を変更	
	(1)一斉書き込みのタイミングの誤記を訂正	
	図7-50 単体動作時の構成図(TKBCRn0による周期制御)の説明を変更	
	(5)単体動作モード(TKBCRn0による周期制御)でのレジスタ設定内容例の説明を変更	
	(4)単体動作モード(外部トリガ入力による周期制御)でのレジスタ設定内容例の説明を変更	
	7.4.7 同時スタート&ストップ・モードの説明を変更	
	(3)同時スタート&ストップ・モード~(6)同時スタート&ストップ・モードの内容を変更	
	図7-57の内容を変更	
	7.4.8 同時スタート&クリア・モードの説明を変更	
	(2)同時スタート&クリア・モード: マスタでのレジスタ設定一覧, (3)同時スタート&ストップ・モード: スレーブでのレジスタ設定一覧を変更	
	図7-59の内容を変更	
	(1)インターリーブPFCにおけるTKBOn1の出力条件の内容を変更	
	(2)インターリーブPFC出力モードでのレジスタ設定一覧の説明を変更	

版数	内容	適用箇所
Rev. 1.00	7.5 16ビット・タイマKB20, KB21, KB22のオプション機能の表を変更	第7章 16ビット・タイマ KB20, KB21, KB22
	図7-77 ディザリング動作の波形図の誤記を訂正	
	7.5.3 PWM出力ソフト・スタート機能の説明を変更	
	7.5.5 IH制御用のPWM出力機能を削除	
	図7-82 強制出力停止機能のシステム構成図を変更	
	7.6.1 強制出力停止機能1と強制出力停止機能2の説明を変更	
	7.7.1 強制出力停止機能1の入出力設定の説明, 注意, 備考を変更 注を削除	
	7.8.1 強制出力停止機能2の入出力設定の説明, 注意, 備考を変更	
	7.9 使用上の注意事項の説明を変更	
	図8-20 高精度リアルタイム・クロックの動作開始手順に設定を追加	第8章 高精度リアルタイム・クロック
	図8-21 RTCE = 1に設定後のHALT/STOPモードへの移行手順を変更	
	8.4.3, 8.4.4の説明, 図を変更 注を追加	
	図8-24, 図8-25に設定を追加	
	8.4.7 時計誤差補正レジスタの設定手順を変更	
	8.4.8 高精度リアルタイム・クロックの時計誤差補正例の説明を変更	
	図9-1 ブロック図の誤記を訂正	第9章 12ビット・インターバル・タイマ
	図9-2 周辺イネーブル・レジスタ1 (PER1)のフォーマットの注意を変更	
	9.4.1 12ビット・インターバル・タイマの動作タイミングの誤記を訂正	
	9.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し, 再度HALT/STOPモードへの移行を追加	
	図10-2 クロック出力選択レジスタn (CKSn)のフォーマットの注意を変更	
	10.3.2 クロック出力ノブザー出力端子のポート機能を制御するレジスタを追加	第10章 クロック出力ノブザー出力制御回路
	10.4.1 出力端子の動作の説明を変更	
	10.5 クロック出力ノブザー出力制御回路の注意事項の説明を変更	
	11.1 ウォッチドッグ・タイマの機能の説明を変更	第11章 ウォッチドッグ・タイマ
	11.2 ウォッチドッグ・タイマの構成の説明を追加	
	11.4.1 ウォッチドッグ・タイマの動作制御の注意を変更	
	A/Dコンバータの表の誤記を訂正	第12章 A/Dコンバータ
	12.1 A/Dコンバータの機能の説明を変更	
	12.3.1 周辺イネーブル・レジスタ0 (PER0)の注意を変更	
	12.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)の説明を変更	
	12.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)の注意を変更	
	12.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)の説明を追加	
	12.3.5 12ビットA/D変換結果レジスタ (ADCR)の説明を変更	
12.3.7 アナログ入力チャンネル指定レジスタ (ADS)の注, 注意を変更		
12.3.10 A/Dテスト・レジスタ (ADTES)の説明を変更		
12.3.11 アナログ入力端子のポート機能を制御するレジスタの説明を変更		
12.4 A/Dコンバータの変換動作の注を追加, 説明を変更		
12.7.4 温度センサ出力電圧/内部基準電圧を選択時の設定の誤記を訂正		
12.8 SNOOZEモード機能の図, 備考を変更		
図12-38 SNOOZEモード設定のフローチャートを追加		

(14/18)

版数	内容	適用箇所
Rev. 1.00	(2) ANI0-ANI14, ANI16-ANI20 端子入力範囲についての説明を変更	第12章 A/Dコンバータ
	(4) ノイズ対策についての説明を変更	
	(5) アナログ入力(ANIn)端子の説明を変更	
	(6) アナログ入力(ANIn)端子の入力インピーダンスについての説明を変更	
	(8) A/D変換スタート直後の変換結果についての説明を変更	
	(10) 内部等価回路についての説明を変更	
	(12)を追加	
	13.1 D/Aコンバータの機能の説明を変更	第13章 D/Aコンバータ
	13.3.1 ポート・モード・コントロール・レジスタ4 (PMC4)を追加	
	13.3.5 ポート・モード・レジスタ4 (PM4)の説明を変更	
	13.4 D/Aコンバータの動作の注意を変更	
	13.4.2 リアルタイム出力モード時の動作の説明を変更	
	13.4.3 D/A変換値の出力タイミングを追加	
	13.5 D/Aコンバータ使用上の注意事項の説明を変更	
	コンパレータの機能を変更	第14章 コンパレータ
	図14-1 コンパレータのブロック図を変更	
	14.3.2 コンパレータモード設定レジスタ (COMPMDR)~14.3.4 コンパレータ出力制御レジスタ (COMPOCR)の注を変更	
	表14-3 コンパレータ関連レジスタの設定手順を変更	
	14.4.1~14.4.3の説明を変更	
	14.4.5 コンパレータクロック停止/供給の注意を変更	
	15.1.1 3線シリアルI/O (CSI00, CSI10, CSI20, CSI30)の説明を変更	
	15.1.3 簡易I ² C (IIC00, IIC10, IIC20, IIC30)の備考を変更	
	図15-1 シリアル・アレイ・ユニット0のブロック図を変更	
	図15-2 シリアル・アレイ・ユニット1のブロック図を変更	
	15.2.2 シリアル・データ・レジスタmn (SDRmn)の下位8/9ビットの説明を変更	
	15.3 シリアル・アレイ・ユニットを制御するレジスタの説明を変更	
	15.3.1 周辺イネーブル・レジスタ0 (PER0)の注意を変更	
15.3.4 シリアル通信動作設定レジスタmn (SCRmn)の説明を変更		
15.3.5 シリアル・データ・レジスタmn (SDRmn)の説明を変更		
15.3.7 シリアル・ステータス・レジスタmn (SSRmn)の注意を変更		
15.3.13 シリアル出力レベル・レジスタm (SOLm)の説明を変更		
15.3.14 シリアル・スタンバイ・コントロール・レジスタm (SSCm)の説明を変更		
15.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)の説明を変更		
15.3.17 シリアル入出力端子のポート機能を制御するレジスタの説明を変更		
15.4.1 ユニット単位で動作停止とする場合の注意を変更		
15.5 3線シリアルI/O (CSI00, CSI10, CSI20, CSI30)通信の動作の説明を変更		
15.5.1 マスタ送信の説明を変更		
15.5.2 マスタ受信の説明を変更		
15.5.3 マスタ送受信の説明を変更		

(15/18)

版数	内容	適用箇所
Rev. 1.00	15.5.4 スレーブ送信の説明を変更	第15章 シリアル・アレイ・ユニット
	15.5.5 スレーブ受信の説明を変更	
	15.5.6 スレーブ送受信の説明を変更	
	15.5.7 SNOOZEモード機能の説明を変更	
	15.6 UART (UART0-UART3)通信の動作の説明を変更	
	15.6.1 UART送信の説明を変更	
	15.6.2 UART受信の説明を変更	
	15.6.3 SNOOZEモード機能の説明を変更	
	15.7.1 LIN送信の説明を変更	
	15.7.2 LIN受信の説明を変更	
	15.8 簡易I ² C (IIC00, IIC10, IIC20, IIC30)通信の動作の説明を変更	
	15.8.1 アドレス・フィールド送信の説明を変更	
	15.8.2 データ送信の説明を変更	
	15.8.3 データ受信の説明を変更	
	15.8.6 簡易I ² C (IIC00, IIC10, IIC20, IIC30)通信時におけるエラー発生時の処理手順の説明を変更	
	16.3.1 周辺イネーブル・レジスタ0 (PER0)の注意を変更	第16章 シリアル・インタフェースIICA
	図16-8, 図16-9の注, 備考を変更	
	16.3.5 IICAコントロール・レジスタn1 (IICCTLn1)の説明を変更	
	16.3.6 IICAロウ・レベル幅設定レジスタn (IICWLn)の説明を変更	
	16.3.7 IICAハイ・レベル幅設定レジスタn (IICWHn)の説明を変更	
	16.5.13 ウェイク・アップ機能の説明を変更	
	図16-31 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合を変更	
	図16-35 シングルマスタ・システムでのマスタ動作の誤記を訂正	
	図16-38 マルチマスタ・システムでのマスタ動作(3/3)の誤記を訂正	
	図16-39 スレーブ動作手順(1)の誤記を訂正	
	表17-1 USBモジュールの仕様の説明を追加	第17章 USB2.0ファンクション・モジュール(USB)
	表17-2 USBモジュールの入出力端子の誤記を訂正	
	17.3 USB2.0ファンクション・モジュールで使用するレジスタの説明の表を変更	
	図17-10 DnFIFOポート選択レジスタ(DnFIFOSEL)のフォーマット(n=0, 1)の説明を変更	
	17.3.10 割り込み許可レジスタ1 (INTENB1)を追加	
	17.3.16 割り込みステータス・レジスタ1 (INTSTS1)を追加	
	17.3.37 USBクロック選択レジスタ(UCKSEL)を追加	
	17.4.1.2 USBデータ・バス抵抗制御の説明, 図を変更	
17.4.2 割り込み要因の表, 図を変更		
図17-48 NRDY割り込み発生タイミングの図, 注を変更		
図17-49 BEMP割り込み発生タイミングを変更		
17.4.3.10 D0FIFO/D1FIFOのDTC転送完了割り込みを追加		

版数	内容	適用箇所
Rev. 1.00	図17-52 DTC転送設定手順を変更	第17章 USB2.0ファンクション・モジュール(USB)
	17.4.12 Battery Charging 検知処理を追加	
	表18-1 製品ごとのLCD表示機能端子を変更	第18章 LCDコントローラ/ドライバ
	18.1 LCDコントローラ/ドライバの機能の説明, 表を変更	
	図18.1 LCDコントローラ/ドライバのブロック図を変更	
	18.3.1 LCDモード・レジスタ0(LCDM0)の説明を変更	
	18.3.2 LCDモード・レジスタ1(LCDM1)の説明を変更	
	18.3.3 サブシステム・クロック供給モード制御レジスタ(OSMC)の注意2を削除	
	18.3.4 LCDクロック制御レジスタ0(LCDC0)の説明を変更	
	18.3.5 LCD昇圧レベル制御レジスタ(VLCD)の説明を変更	
	18.3.6 LCD入力切り替え制御レジスタ(ISCLCD)の注意を変更	
	18.5 LCD表示レジスタの選択の注意を変更	
	18.6 LCDコントローラ/ドライバの設定を変更	
	18.7 動作停止手順を変更((b)メモリ性液晶波形時を削除)	
	18.8 LCD駆動電圧VL1, VL2, VL3, VL4の供給の説明を変更	
	図18-24 LCD駆動用電源の接続例(容量分割方式)を変更	
	18.11 メモリ性液晶波形時の波形例を削除	
	図19-1 DTCのブロック図を変更	第19章 データ転送コントローラ(DTC)
	19.3.3 ベクタテーブルの誤記を訂正	
	表19-6 ノーマルモードでのレジスタ機能の誤記を訂正	
	(1) ノーマルモードの使用例1: A/D変換結果の連続取り込みの誤記を訂正	
	(2) ノーマルモードの使用例2: UART連続送信の誤記を訂正	
	(1) リピートモードの使用例1: ポートを使ったステップモータ制御パルス出力の誤記を訂正	
	(2) リピートモードの使用例2: 8ビットD/Aコンバータを使ったサイン波出力の誤記を訂正	
	19.4.4 チェイン転送の説明を変更	
	(1) チェイン転送の使用例: A/D変換結果の連続取り込みとUART0送信の誤記を訂正	
	表20-1 ELCを制御するレジスタの説明を追加	第20章 イベントリンクコントローラ(ELC)
	20.3.1 イベント出力先選択レジスタn(ELSELn) (n = 00~30)の説明を変更	
	表20-7 イベントを受付る周辺機能の応答性を追加	
	割り込み機能の表を変更	第21章 割り込み機能
	21.2 割り込み要因と構成の説明を変更(LCDフレーム割り込みを削除)	
	表21-7 割り込み要求ソースに対応する各種フラグ(3/4)の注を変更	
	21.3.1~21.3.5の説明を変更	
図21-11~図21-13を変更		
表21-11 割り込み処理中に多重割り込み可能な割り込み要求の関係を変更		
表22-1 キー割り込み検出端子の割り当てを変更	第22章 キー割り込み機能	
図22-3 キー・リターン・モード・レジスタ(KRM0)のフォーマットの注意を変更		
22.3.4 ポート・モード・レジスタ7(PM7)の説明を変更		

(17/18)

版数	内容	適用箇所
Rev. 1.00	表 23 - 1 HALTモード時の動作状態(1/2)を変更	第23章 スタンバイ機能
	表 23 - 2 HALTモード時の動作状態(2/2)を変更	
	23.3.2 STOPモードの説明を変更	
	23.3.3 SNOOZEモードの説明を変更	
	リセット機能の説明を変更	第24章 リセット機能
	24.1 リセット動作のタイミングを変更	
	24.2 リセット期間中の動作状態を変更	
	24.3 リセット要因を確認するレジスタを変更	第25章 パワーオン・リセット回路
	25.1 パワーオン・リセット回路の機能の説明を変更	
	25.3 パワーオン・リセット回路の動作を変更	
	26.1 電圧検出回路の機能の説明を変更	第26章 電圧検出回路
	図 26 - 1 電圧検出回路のブロック図の説明を変更	
	26.3 電圧検出回路を制御するレジスタを変更	
	26.4 電圧検出回路の動作を変更	
	26.5 電圧検出回路の注意事項を変更	
	図 27 - 3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートの説明を追加	第27章 安全機能
	27.3.3.1 RAMパリティ・エラー制御レジスタ(RPECTL)の注意, 備考を変更	
	27.3.5.1 不正メモリ・アクセス検出制御レジスタ(IAWCTL)の注を変更	
	27.3.6 不正メモリ・アクセス検出機能の誤記を訂正	
	27.3.7 周波数検出機能の説明を変更	
	27.3.9 A/Dテスト機能の説明を変更	
	29.1 オプション・バイトの機能の説明を変更	第29章 オプション・バイト
	29.2 ユーザ・オプション・バイトのフォーマットの誤記を訂正, 説明を追加	第30章 フラッシュ・メモリ
	フラッシュ・メモリの説明を追加	
	30.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミングを追加	
	30.2 外部デバイス(UART内蔵)によるシリアル・プログラミングを変更	
	30.3 オンボード上の端子処理の説明を追加	
	30.4 シリアル・プログラミング方法を変更	
	30.5 PG-FP5使用時の各コマンド処理時間(参考値)を追加	
	30.6 セルフ・プログラミングの説明を変更	
	30.7 セキュリティ設定の説明を変更	
	30.8 データ・フラッシュの概要を追加	
	30.8.3 データ・フラッシュへのアクセス手順を追加	
	31.1 E1オンチップデバッグエミュレータとの接続の誤記を訂正	第31章 オンチップ・デバッグ機能
	表 33 - 2 オペレーション欄の記号の説明を追加	第33章 命令セットの概要
	33.2 オペレーション一覧の注2を変更	
	33.2 オペレーション一覧 CMP0命令命令を実行したときのフラグの誤記を訂正	
	34.1 絶対最大定格の表の記述を変更	第34章 電気的特性 (A: TA = -40~+85°C)

(18/18)

版数	内容	適用箇所
Rev. 1.00	34.2 発振回路特性の説明を変更	第34章 電気的特性 (A: TA = -40 ~ +85°C)
	34.3.1 端子特性のロウ・レベル出力電流を変更	
	34.3.1 端子特性のハイ・レベル入力電圧の条件の誤記を訂正	
	34.3.1 端子特性のロウ・レベル入力電圧の条件の誤記を訂正	
	34.3.1 端子特性のロウ・レベル出力電圧を変更	
	34.3.1 端子特性の内蔵プルアップ抵抗の条件の誤記を訂正	
	34.3.2 電源電流特性を変更	
	34.4 AC特性を変更	
	メイン・システム・クロック動作時の最小命令実行時間を追加	
	34.5.1 シリアル・アレイ・ユニットにLSモード, LVモードの特性を追加	
	34.5.2 シリアル・インタフェースIICAにLSモード, LVモードの特性を追加	
	34.5.3 USBの条件を変更	
	34.5.3 USBの(3)BCオプション規格を追加	
	34.6.1 A/Dコンバータ特性に内部基準電圧, 温度センサの変換に関する特性を追加	
	34.6.4 コンパレータに特性を追加	
	34.6.5 POR回路特性の検出遅延を削除	
	34.7 電源電圧立ち上がり傾き特性を変更	
	34.8 LCD特性を変更	
	34.9 データ・メモリSTOPモード低電源電圧データ保持特性を変更	
	34.10 フラッシュ・メモリ・プログラミング特性を変更	
34.12 モード引き込み時のタイミング・スペックの説明を追加		
新規	第35章 電気的特性 (G: TA = -40 ~ +105°C)	

RL78/L1C ユーザーズマニュアル ハードウェア編

発行年月日 2012年12月14日 Rev.0.01
2025年01月31日 Rev.2.41

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RL78/L1C