

RX260 グループ、RX261 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ
RXファミリ/RX200シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash® は、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振器（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振器（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX260グループ、RX261グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

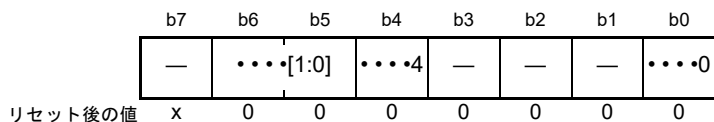
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX260グループ、RX261グループ データシート	R01DS0430JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、 メモリマップ、周辺機能の仕様、 電気的特性、タイミング)と動作 説明 ※周辺機能の使用方法はアプリ ケーションノートを参照してくだ さい。	RX260グループ、RX261グループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU命令セットの説明	RXファミリ RXv3命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編	R01US0316JJ
アプリケーション ノート	基板設計上の注意事項	RXファミリ ハードウェアデザインガイド	R01AN1411JJ
	レジスタ初期設定例	RX260グループ、RX261グループ 初期設定例	—
	周辺機能の使用法、応用例 参考プログラム	ルネサス エレクトロニクス ホームページに掲載されて います。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に 関する速報		

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X …… レジスタ

アドレス xxxx xxxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W (1)
b0	……0	……ビット	0 : …… 1 : 設定しないでください (3)	R/W
b3-b1	—	予約ビット (2)	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	……4	……ビット	0 : …… 1 : ……	R
b6-b5	……[1:0]	……ビット	00 : …… 01 : …… 上記以外は設定しないでください (3)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
 R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。制限の内容については、各レジスタの説明や注記を参照ください。
 R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

注意：本製品はSilicon Storage Technology, Inc. からライセンスを受けたSuperFlash®を使用しています。

目次

特長	56
1. 概要	57
1.1 仕様概要	57
1.2 製品一覧	64
1.3 ブロック図	68
1.4 端子機能	69
1.5 ピン配置図	73
1.5.1 100 ピン LFQFP	73
1.5.2 80 ピン LFQFP	74
1.5.3 64 ピン LFQFP	75
1.5.4 48 ピン LFQFP、48 ピン HWQFN	76
1.6 機能別端子一覧	78
1.6.1 100 ピン LFQFP	78
1.6.2 80 ピン LFQFP	83
1.6.3 64 ピン LFQFP	87
1.6.4 48 ピン LFQFP、48 ピン HWQFN	90
2. CPU	93
2.1 特長	93
2.2 CPU レジスタセット	94
2.2.1 汎用レジスタ (R0 ~ R15)	95
2.2.2 制御レジスタ	95
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	96
2.2.2.2 例外テーブルレジスタ (EXTB)	96
2.2.2.3 割り込みテーブルレジスタ (INTB)	96
2.2.2.4 プログラムカウンタ (PC)	96
2.2.2.5 プロセッサステータスワード (PSW)	97
2.2.2.6 バックアップ PC (BPC)	98
2.2.2.7 バックアップ PSW (BPSW)	99
2.2.2.8 高速割り込みベクタレジスタ (FINTV)	99
2.2.2.9 単精度浮動小数点ステータスワード (FPSW)	100
2.2.3 アキュムレータ	102
2.3 プロセッサモード	103
2.3.1 スーパーバイザモード	103
2.3.2 ユーザモード	103
2.3.3 特権命令	103
2.3.4 プロセッサモード間の移行	103
2.4 データタイプ	104
2.4.1 整数	104
2.4.2 単精度浮動小数点数	105
2.4.3 ビット	105

2.4.4	ストリング	106
2.5	エンディアン	107
2.5.1	エンディアンの設定	107
2.5.2	I/O レジスタアクセス	110
2.5.3	I/O レジスタアクセスの注意事項	110
2.5.4	データ配置	111
2.5.4.1	レジスタのデータ配置	111
2.5.4.2	メモリ上のデータ配置	111
2.5.5	命令コード配置の注意事項	111
2.6	ベクタテーブル	112
2.6.1	例外ベクタテーブル	112
2.6.2	割り込みベクタテーブル	113
2.7	命令動作	114
2.7.1	RMPA 命令、ストリング操作命令に関する制約事項	114
2.7.1.1	転送サイズとデータプリフェッチ	114
2.7.1.2	外部空間へのアクセス	114
2.7.1.3	I/O レジスタへのアクセス	114
2.8	サイクル数	115
2.8.1	命令とサイクル数	115
2.8.2	割り込み応答サイクル数	119
3.	動作モード	120
3.1	動作モードの種類と選択	120
3.2	レジスタの説明	121
3.2.1	モードモニタレジスタ (MDMONR)	121
3.2.2	システムコントロールレジスタ 1 (SYSCR1)	122
3.3	動作モードの説明	123
3.3.1	シングルチップモード	123
3.3.2	ブートモード (USB インタフェース)	123
3.3.3	ブートモード (SCI インタフェース)	123
3.3.4	ブートモード (FINE インタフェース)	123
3.4	動作モード遷移	124
3.4.1	モード設定端子のレベルと動作モード遷移	124
4.	アドレス空間	125
4.1	アドレス空間	125
5.	I/O レジスタ	126
5.1	I/O レジスタアドレス一覧 (アドレス順)	128
6.	リセット	157
6.1	概要	157
6.2	レジスタの説明	159
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	159

6.2.2	リセットステータスレジスタ 1 (RSTSR1)	160
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	161
6.2.4	ソフトウェアリセットレジスタ (SWRR)	162
6.3	動作説明	163
6.3.1	RES# 端子リセット	163
6.3.2	パワーオンリセット、電圧監視 0 リセット	163
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	165
6.3.4	独立ウォッチドッグタイマリセット	167
6.3.5	ウォッチドッグタイマリセット	167
6.3.6	ソフトウェアリセット	167
6.3.7	コールドスタート/ウォームスタート判定機能	168
6.3.8	リセット発生要因の判定	169
7.	オプション設定メモリ (OFSM)	170
7.1	概要	170
7.2	レジスタの説明	171
7.2.1	オプション機能選択レジスタ 0 (OFS0)	171
7.2.2	オプション機能選択レジスタ 1 (OFS1)	175
7.2.3	エンディアン選択レジスタ (MDE)	177
7.3	使用上の注意事項	178
7.3.1	オプション設定メモリの設定例	178
8.	電圧検出回路 (LVDAb)	179
8.1	概要	179
8.2	レジスタの説明	182
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	182
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	183
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	184
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	185
8.2.5	電圧監視回路制御レジスタ (LVCMPCR)	186
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	187
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	188
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	189
8.3	VCC 入力電圧のモニタ	190
8.3.1	Vdet0 のモニタ	190
8.3.2	Vdet1 のモニタ	190
8.3.3	Vdet2 のモニタ	190
8.4	電圧監視 0 リセット	191
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	192
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	194
8.7	イベントリンク出力機能	196
8.7.1	割り込み処理とイベントリンクの関係	196

8.8	使用上の注意事項	196
8.8.1	LVD0 有効時の LVD1 検出レベル設定に関する注意事項について	196
9.	クロック発生回路	197
9.1	概要	197
9.2	レジスタの説明	201
9.2.1	システムクロックコントロールレジスタ (SCKCR)	201
9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3)	203
9.2.3	PLL コントロールレジスタ (PLLCR)	204
9.2.4	PLL コントロールレジスタ 2 (PLLCR2)	205
9.2.5	PLL2 コントロールレジスタ (PLL2CR)	206
9.2.6	PLL2 コントロールレジスタ 2 (PLL2CR2)	207
9.2.7	メインクロック発振器コントロールレジスタ (MOSCCR)	208
9.2.8	サブクロック発振器コントロールレジスタ (SOSCCR)	209
9.2.9	低速オンチップオシレータコントロールレジスタ (LOCOCR)	210
9.2.10	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	211
9.2.11	高速オンチップオシレータコントロールレジスタ (HOCOCCR)	212
9.2.12	発振安定フラグレジスタ (OSCOVFSR)	213
9.2.13	CLKOUT 出力コントロールレジスタ (CKOCR)	215
9.2.14	発振停止検出コントロールレジスタ (OSTDCR)	216
9.2.15	発振停止検出ステータスレジスタ (OSTDSR)	217
9.2.16	低速オンチップオシレータ強制発振コントロールレジスタ (LOFCR)	218
9.2.17	低速オンチップオシレータトリミングレジスタ 2 (LOCOTRR2)	219
9.2.18	IWDT 専用オンチップオシレータトリミングレジスタ (ILOCOTRR)	219
9.2.19	高速オンチップオシレータトリミングレジスタ 0 (HOCOTRR0)	220
9.2.20	CANFD クロック分周コントロールレジスタ (CANFDCKDIVCR)	221
9.2.21	USB クロックコントロールレジスタ (USBCKCR)	222
9.2.22	CANFD クロックコントロールレジスタ (CANFDCKCR)	224
9.2.23	サブクロック発振器モードコントロールレジスタ (SOMCR)	225
9.2.24	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	226
9.2.25	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	227
9.3	メインクロック発振器	228
9.3.1	発振子を接続する方法	228
9.3.2	外部クロックを入力する方法	228
9.3.3	メインクロックを使用しない場合の端子処理	229
9.3.4	外部クロック入力に関する注意事項	229
9.4	サブクロック発振器	230
9.4.1	32.768kHz 水晶振動子を接続する方法	230
9.4.2	外部クロックを入力する方法	230
9.4.3	サブクロックを使用しない場合の端子処理	230
9.5	発振停止検出機能	231

9.5.1	発振停止検出と検出後の動作	231
9.5.2	発振停止検出割り込み	232
9.6	PLL 回路	233
9.7	内部クロック	233
9.7.1	システムクロック	233
9.7.2	周辺モジュールクロック	233
9.7.3	FlashIF クロック	234
9.7.4	USB クロック	234
9.7.5	REMC クロック	234
9.7.6	CAC クロック	234
9.7.7	RTC クロック	234
9.7.8	IWDT 専用クロック	234
9.7.9	ローパワータイマクロック	234
9.7.10	CANFD クロック	235
9.8	使用上の注意事項	236
9.8.1	クロック発生回路に関する注意事項	236
9.8.2	SCKCR3 レジスタ書き換え時の注意事項	236
9.8.3	発振子に関する注意事項	236
9.8.4	ボード設計上の注意	237
9.8.5	発振子接続端子に関する注意事項	237
9.8.6	低 CL 水晶振動子の使用に関する注意事項	237
9.8.7	サブクロックに関する注意事項	238
10.	クロック周波数精度測定回路 (CAC)	239
10.1	概要	239
10.2	レジスタの説明	241
10.2.1	CAC コントロールレジスタ 0 (CACR0)	241
10.2.2	CAC コントロールレジスタ 1 (CACR1)	242
10.2.3	CAC コントロールレジスタ 2 (CACR2)	243
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	244
10.2.5	CAC ステータスレジスタ (CASTR)	245
10.2.6	CAC 上限値設定レジスタ (CAULVR)	246
10.2.7	CAC 下限値設定レジスタ (CALLVR)	246
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	246
10.3	動作説明	247
10.3.1	クロック周波数測定	247
10.3.2	CACREF 端子のデジタルフィルタ機能	248
10.4	割り込み要求	248
10.5	使用上の注意事項	249
10.5.1	モジュールストップ機能の設定	249

11.	消費電力低減機能	250
11.1	概要	250
11.2	レジスタの説明	254
11.2.1	スタンバイコントロールレジスタ (SBYCR)	254
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	255
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	256
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	258
11.2.5	モジュールストップコントロールレジスタ D (MSTPCRD)	259
11.2.6	動作電力コントロールレジスタ (OPCCR)	260
11.2.7	サブ動作電力コントロールレジスタ (SOPCCR)	262
11.2.8	スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)	269
11.2.9	スヌーズコントロールレジスタ (SNZCR)	271
11.2.10	スヌーズコントロールレジスタ 2 (SNZCR2)	274
11.2.11	RAM 省電力制御レジスタ (RPSCR)	276
11.3	クロックの切り替えによる消費電力の低減	277
11.4	モジュールストップ機能	277
11.5	動作電力低減機能	277
11.5.1	動作電力制御モード設定方法	277
11.6	低消費電力状態	279
11.6.1	スリープモード	279
11.6.1.1	スリープモードへの移行	279
11.6.1.2	スリープモードの解除	280
11.6.1.3	スリープモード復帰クロックソース切り替え機能	280
11.6.2	ディープスリープモード	281
11.6.2.1	ディープスリープモードへの遷移	281
11.6.2.2	ディープスリープモードの解除	282
11.6.3	ソフトウェアスタンバイモード	283
11.6.3.1	ソフトウェアスタンバイモードへの移行	283
11.6.3.2	ソフトウェアスタンバイモードの解除	284
11.6.3.3	ソフトウェアスタンバイモードの応用例	285
11.6.4	スヌーズモード	286
11.6.4.1	スヌーズモードへの移行	286
11.6.4.2	スヌーズモードからソフトウェアスタンバイモードへの復帰	286
11.6.4.3	スヌーズモードの解除	286
11.6.4.4	スヌーズ解除割り込み	287
11.6.4.5	スヌーズモードでの SCI5 データ受信動作例	287
11.6.4.6	スヌーズモードでの A/D 変換動作例	290
11.6.4.7	スヌーズモードでの CTSU 計測動作例	293
11.6.4.8	スヌーズモードでの REMC 動作例	296
11.6.4.9	スヌーズモードでの A/D 変換結果比較動作例	296

11.7	使用上の注意事項	298
11.7.1	I/O ポートの状態	298
11.7.2	DMAC、DTC のモジュールストップ	298
11.7.3	RSIP の動作周波数の変更について	298
11.7.4	内蔵周辺モジュールの割り込み	298
11.7.5	MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み	298
11.7.6	WAIT 命令の実行タイミング	298
11.7.7	スリープモード中の DMAC、DTC によるレジスタの書き換えについて	298
11.7.8	スヌーズモードでの DTC 転送について	299
11.7.9	スヌーズモードでの SCI5 データ受信動作について	299
11.7.10	スヌーズモードでの LPT 動作について	299
11.7.11	スヌーズモードでの A/D 変換動作について	299
11.7.12	スヌーズモードでの CTSU 計測動作について	299
11.7.13	スヌーズモードでの REMC 動作について	299
12.	レジスタライトプロテクション機能	300
12.1	レジスタの説明	301
12.1.1	プロテクトレジスタ (PRCR)	301
13.	例外処理	302
13.1	例外事象	302
13.1.1	未定義命令例外	303
13.1.2	特権命令例外	303
13.1.3	アクセス例外	303
13.1.4	単精度浮動小数点例外	303
13.1.5	リセット	303
13.1.6	ノンマスカブル割り込み	303
13.1.7	割り込み	303
13.1.8	無条件トラップ	303
13.2	例外の処理手順	304
13.3	例外事象の受け付け	306
13.3.1	受け付けタイミングと退避される PC 値	306
13.3.2	ベクタと PC、PSW の退避場所	306
13.4	例外の受け付け / 復帰時のハードウェア処理	307
13.5	ハードウェア前処理	308
13.5.1	未定義命令例外	308
13.5.2	特権命令例外	308
13.5.3	アクセス例外	308
13.5.4	単精度浮動小数点例外	308
13.5.5	リセット	308
13.5.6	ノンマスカブル割り込み	309
13.5.7	割り込み	309

13.5.8	無条件トラップ	309
13.6	例外処理ルーチンからの復帰	310
13.7	例外事象の優先順位	310
14.	割り込みコントローラ (ICUb)	311
14.1	概要	311
14.2	レジスタの説明	313
14.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	313
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	314
14.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)	315
14.2.4	高速割り込み設定レジスタ (FIR)	316
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	317
14.2.6	DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	318
14.2.7	DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャンネル番号)	319
14.2.8	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	320
14.2.9	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	321
14.2.10	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	322
14.2.11	ノンマスクابل割り込みステータスレジスタ (NMISR)	323
14.2.12	ノンマスクابل割り込み許可レジスタ (NMIER)	325
14.2.13	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	327
14.2.14	NMI 端子割り込みコントロールレジスタ (NMICR)	328
14.2.15	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	328
14.2.16	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	329
14.3	ベクタテーブル	330
14.3.1	割り込みのベクタテーブル	330
14.3.2	高速割り込みのベクタテーブル	336
14.3.3	ノンマスクابل割り込みのベクタ領域	337
14.4	割り込みの動作説明	338
14.4.1	割り込み検出	338
14.4.1.1	エッジ検出の割り込みステータスフラグ	338
14.4.1.2	レベル検出の割り込みステータスフラグ	340
14.4.2	割り込み要求の許可 / 禁止	341
14.4.3	割り込み要求先の選択	342
14.4.4	優先順位の判定	344
14.4.5	多重割り込み	344
14.4.6	高速割り込み	344
14.4.7	デジタルフィルタ	345
14.4.8	外部端子割り込み	346
14.5	ノンマスクابل割り込みの動作説明	347
14.6	低消費電力状態からの復帰	348
14.6.1	スリープモードおよびディープスリープモードからの復帰	348

14.6.2	ソフトウェアスタンバイモードからの復帰	348
14.6.3	スヌーズモードからの復帰	349
14.7	使用上の注意事項	349
14.7.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	349
15.	バス	350
15.1	概要	350
15.2	バスの説明	352
15.2.1	CPU バス	352
15.2.2	メモリバス	352
15.2.3	内部メインバス	352
15.2.4	内部周辺バス	353
15.2.5	ライトバッファ機能 (内部周辺バス)	354
15.2.6	並列動作	355
15.2.7	制約事項	355
15.3	レジスタの説明	356
15.3.1	バスエラーステータスクリアレジスタ (BERCLR)	356
15.3.2	バスエラー監視許可レジスタ (BEREN)	356
15.3.3	バスエラーステータスレジスタ 1 (BERSR1)	357
15.3.4	バスエラーステータスレジスタ 2 (BERSR2)	357
15.3.5	バスプライオリティ制御レジスタ (BUSPRI)	358
15.4	バスエラー監視部	360
15.4.1	バスエラーの種類	360
15.4.1.1	不正アドレスアクセス	360
15.4.1.2	タイムアウト	360
15.4.2	バスエラー発生時の動作	360
15.4.3	バスエラーの発生条件	361
15.5	割り込み	362
15.5.1	割り込み要因	362
16.	メモリプロテクションユニット (MPU)	363
16.1	概要	363
16.1.1	アクセス制御の種類	365
16.1.2	アクセス制御領域	365
16.1.3	バックグラウンド領域	365
16.1.4	領域のオーバーラップ	365
16.1.5	領域をまたぐ命令とデータ	365
16.2	レジスタの説明	366
16.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)	366
16.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)	367
16.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	368
16.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	369

16.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	370
16.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	371
16.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	372
16.2.8	領域サーチアドレスレジスタ (MPSA)	372
16.2.9	領域サーチオペレーションレジスタ (MPOPS)	373
16.2.10	領域インバリデートオペレーションレジスタ (MPOPI)	373
16.2.11	命令ヒット領域レジスタ (MHITI)	374
16.2.12	データヒット領域レジスタ (MHITD)	376
16.3	機能	378
16.3.1	メモリプロテクション機能	378
16.3.2	領域サーチ機能	378
16.3.3	メモリプロテクションユニット関連レジスタの保護	378
16.3.4	メモリプロテクション機能のアクセス判定フロー	379
16.4	メモリプロテクション機能使用手順	381
16.4.1	アクセス制御情報の設定	381
16.4.2	メモリプロテクション機能の有効化	381
16.4.3	ユーザモードへの移行	381
16.4.4	メモリプロテクションエラー発生時の処理	381
17.	DMA コントローラ (DMACA)	383
17.1	概要	383
17.2	レジスタの説明	385
17.2.1	DMA 転送元アドレスレジスタ (DMSAR)	385
17.2.2	DMA 転送先アドレスレジスタ (DMDAR)	385
17.2.3	DMA 転送カウンタレジスタ (DMCRA)	386
17.2.4	DMA ブロック転送カウンタレジスタ (DMCRB)	388
17.2.5	DMA 転送モードレジスタ (DMTMD)	389
17.2.6	DMA 割り込み設定レジスタ (DMINT)	390
17.2.7	DMA アドレスモードレジスタ (DMAMD)	392
17.2.8	DMA オフセットレジスタ (DMOFR)	395
17.2.9	DMA 転送許可レジスタ (DMCNT)	396
17.2.10	DMA ソフトウェア起動レジスタ (DMREQ)	397
17.2.11	DMA ステータスレジスタ (DMSTS)	398
17.2.12	DMAC 起動要因フラグ制御レジスタ (DMCSL)	400
17.2.13	DMAC モジュール起動レジスタ (DMAST)	401
17.3	動作説明	402
17.3.1	転送モード	402
17.3.2	拡張リピートエリア機能	406
17.3.3	オフセットを使ったアドレス更新機能	408
17.3.4	起動要因	412
17.3.5	動作タイミング	413

17.3.6	DMAC の実行サイクル	414
17.3.7	DMAC の起動	415
17.3.8	DMA 転送の開始	416
17.3.9	DMA 転送中のレジスタ	416
17.3.10	チャンネルの優先順位	417
17.4	DMA 転送終了	418
17.4.1	設定した総データ転送による転送終了	418
17.4.2	リピートサイズ終了割り込みによる転送終了	418
17.4.3	拡張リピートエリアオーバーフロー割り込みによる転送終了	419
17.5	割り込み	420
17.6	イベントリンク機能	421
17.7	消費電力低減機能	422
17.8	使用上の注意事項	423
17.8.1	周辺モジュールへ DMA 転送する場合	423
17.8.2	DMA 動作中のレジスタアクセスについて	423
17.8.3	予約領域への DMA 転送について	423
17.8.4	DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの 割り込み要求について	423
17.8.5	割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定	423
17.8.6	DMA 起動の保留 / 再開方法	423
18.	データトランスファコントローラ (DTCb)	424
18.1	概要	424
18.2	レジスタの説明	426
18.2.1	DTC モードレジスタ A (MRA)	426
18.2.2	DTC モードレジスタ B (MRB)	428
18.2.3	DTC モードレジスタ C (MRC)	430
18.2.4	DTC 転送元レジスタ (SAR)	431
18.2.5	DTC 転送先レジスタ (DAR)	431
18.2.6	DTC 転送カウントレジスタ A (CRA)	432
18.2.7	DTC 転送カウントレジスタ B (CRB)	433
18.2.8	DTC コントロールレジスタ (DTCCR)	433
18.2.9	DTC ベクタベースレジスタ (DTCVBR)	434
18.2.10	DTC アドレスモードレジスタ (DTCADM)	434
18.2.11	DTC モジュール起動レジスタ (DTCST)	435
18.2.12	DTC ステータスレジスタ (DTCSTS)	436
18.2.13	DTC インデックステーブルベースレジスタ (DTCIBR)	437
18.2.14	DTC オペレーションレジスタ (DTCOR)	438
18.2.15	DTC シーケンス転送許可レジスタ (DTCSQE)	439
18.2.16	DTC アドレスディスプレイメントレジスタ (DTCDISP)	439
18.3	起動要因	440

18.3.1	転送情報の配置と DTC ベクタテーブル	440
18.4	動作説明	442
18.4.1	転送情報リードスキップ機能	444
18.4.2	転送情報ライトバックスキップ機能	445
18.4.2.1	アドレス固定によるライトバックスキップ	445
18.4.2.2	MRA.WBDIS ビットによるライトバックスキップ	445
18.4.3	ノーマル転送モード	446
18.4.4	リピート転送モード	447
18.4.5	ブロック転送モード	448
18.4.6	チェーン転送	449
18.4.7	動作タイミング	450
18.4.8	DTC の実行サイクル	453
18.4.9	DTC のバス権解放タイミング	453
18.4.10	シーケンス転送	454
18.4.11	DTC インデックステーブル	456
18.4.12	シーケンス転送の動作例	458
18.5	DTC の設定手順	464
18.6	DTC 使用例	465
18.6.1	ノーマル転送	465
18.6.2	カウンタが“0”のときのチェーン転送	466
18.6.3	シーケンス転送	467
18.7	割り込み要因	468
18.8	イベントリンク	468
18.9	消費電力低減機能	469
18.10	使用上の注意事項	470
18.10.1	転送情報先頭アドレス	470
18.10.2	転送情報の配置	470
18.10.3	割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定	471
18.10.4	シーケンス転送使用時の注意事項	471
19.	イベントリンクコントローラ (ELC)	472
19.1	概要	472
19.2	レジスタの説明	473
19.2.1	イベントリンクコントロールレジスタ (ELCR)	473
19.2.2	イベントリンク設定レジスタ n (ELSRn) (n = 7, 8, 10, 12, 14 ~ 16, 18 ~ 28, 48 ~ 56)	474
19.2.3	イベントリンクオプション設定レジスタ C (ELOPC)	479
19.2.4	イベントリンクオプション設定レジスタ D (ELOPD)	479
19.2.5	ポートグループ指定レジスタ n (PGRn) (n = 1, 2)	480
19.2.6	ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)	481
19.2.7	ポートバッファレジスタ n (PDBFn) (n = 1, 2)	482

19.2.8	イベント接続ポート指定レジスタ m (PELm) (m = 0 ~ 3)	483
19.2.9	イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)	484
19.3	動作説明	485
19.3.1	割り込み処理とイベントリンクの関係	485
19.3.2	イベントのリンク	486
19.3.3	タイマ系周辺モジュールのイベント信号入力時の動作	487
19.3.4	GPTW のイベント信号入力時の動作	487
19.3.5	CTSU のイベント信号入力時の動作	487
19.3.6	A/D コンバータ、D/A コンバータのイベント信号入力時の動作	488
19.3.7	I/O ポートのイベント信号入力時の動作とイベント生成	488
19.3.8	イベントリンクの動作設定手順例	492
19.4	使用上の注意事項	493
19.4.1	ELSRn レジスタの設定について	493
19.4.2	出力ポートグループのビットローテート動作の設定について	493
19.4.3	DMA/DTC 転送終了のイベント信号使用時の注意事項	493
19.4.4	クロック設定について	493
19.4.5	モジュールストップ機能の設定	493
20.	I/O ポート	494
20.1	概要	494
20.2	入出力ポートの構成	496
20.3	レジスタの説明	506
20.3.1	ポート方向レジスタ (PDR)	506
20.3.2	ポート出力データレジスタ (PODR)	507
20.3.3	ポート入力データレジスタ (PIDR)	508
20.3.4	ポートモードレジスタ (PMR)	509
20.3.5	オープンドレイン制御レジスタ 0 (ODR0)	510
20.3.6	オープンドレイン制御レジスタ 1 (ODR1)	511
20.3.7	プルアップ制御レジスタ (PCR)	512
20.3.8	ポート切り替えレジスタ A (PSRA)	513
20.3.9	ポート切り替えレジスタ B (PSRB)	514
20.3.10	ポートリードウェイト制御レジスタ (PRWCNTR)	515
20.4	ポート方向レジスタ (PDR) の初期化	516
20.5	未使用端子の処理	518
21.	マルチファンクションピンコントローラ (MPC)	519
21.1	概要	519
21.2	レジスタの説明	531
21.2.1	書き込みプロテクトレジスタ (PWPR)	531
21.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 3, 5, 7)	532
21.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)	533
21.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)	535

21.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4, 6, 7)	537
21.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)	540
21.2.7	P5n 端子機能制御レジスタ (P5nPFS) (n = 1, 3 ~ 5)	541
21.2.8	PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)	542
21.2.9	PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)	545
21.2.10	PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)	548
21.2.11	PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)	550
21.2.12	PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)	551
21.2.13	PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)	553
21.2.14	PJn 端子機能制御レジスタ (PJnPFS) (n = 1, 3, 6, 7)	554
21.3	使用上の注意事項	555
21.3.1	端子入出力機能設定手順	555
21.3.2	MPC レジスタ設定する場合の注意事項	555
21.3.3	アナログ機能を使う場合の注意事項	556
21.3.4	静電容量式タッチセンサ CTSU 機能を使う場合の注意事項	556
21.3.5	GPTW 入出力端子の反転入出力機能についての注意事項	557
22.	汎用 PWM タイマ (GPTWa)	558
22.1	概要	558
22.2	レジスタの説明	565
22.2.1	汎用 PWM タイマ書き込み保護レジスタ (GTWP)	565
22.2.2	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)	568
22.2.3	汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)	569
22.2.4	汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)	570
22.2.5	汎用 PWM タイマスタート要因セレクトレジスタ (GTSSR)	571
22.2.6	汎用 PWM タイマストップ要因セレクトレジスタ (GTPSR)	573
22.2.7	汎用 PWM タイマクリア要因セレクトレジスタ (GTCSR)	575
22.2.8	汎用 PWM タイマカウントアップ要因セレクトレジスタ (GTUPSR)	578
22.2.9	汎用 PWM タイマカウントダウン要因セレクトレジスタ (GTDNSR)	581
22.2.10	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A (GTICASR)	584
22.2.11	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B (GTICBSR)	587
22.2.12	汎用 PWM タイマ制御レジスタ (GTCR)	590
22.2.13	汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)	596
22.2.14	汎用 PWM タイマ I/O 制御レジスタ (GTIOR)	599
22.2.15	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)	605
22.2.16	汎用 PWM タイマステータスレジスタ (GTST)	609
22.2.17	汎用 PWM タイマバッファイネーブルレジスタ (GTBER)	615
22.2.18	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)	618
22.2.19	汎用 PWM タイマカウンタ (GTCNT)	620
22.2.20	汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ~ F)	621
22.2.21	汎用 PWM タイマ周期設定レジスタ (GTPR)	622

22.2.22	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)	623
22.2.23	汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)	623
22.2.24	A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B)	624
22.2.25	A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B)	624
22.2.26	A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B)	625
22.2.27	汎用 PWM タイマデッドタイム制御レジスタ (GTDTCR)	626
22.2.28	汎用 PWM タイマデッドタイム値レジスタ U (GTDVU)	627
22.2.29	汎用 PWM タイマ動作許可ビット同時制御チャンネル選択レジスタ (GTSECSR)	628
22.2.30	汎用 PWM タイマ動作許可ビット同時制御レジスタ (GTSECR)	629
22.2.31	汎用 PWM タイマチャンネル間連携インプットキャプチャ制御レジスタ (GTICCR)	631
22.2.32	出力位相スイッチ制御レジスタ (OPSCR)	635
22.3	動作説明	638
22.3.1	基本動作	638
22.3.1.1	カウンタの動作	638
22.3.1.2	コンペアマッチによる波形出力機能	645
22.3.1.3	インプットキャプチャ機能	649
22.3.2	バッファ動作	653
22.3.2.1	GTPR レジスタのバッファ動作	653
22.3.2.2	GTCCRA, GTCCRB レジスタのバッファ動作	659
22.3.2.3	GTADTRA, GTADTRB レジスタのバッファ動作	665
22.3.3	PWM 出力動作モード	669
22.3.4	デッドタイム自動設定機能	718
22.3.5	カウント方向切り替え機能	723
22.3.6	デューティ 0%/100% 出力機能	724
22.3.7	ハードウェアカウントスタート、カウントストップ、カウンタクリア動作	726
22.3.7.1	ハードウェアスタート動作	726
22.3.7.2	ハードウェアストップ動作	729
22.3.7.3	ハードウェアクリア動作	734
22.3.8	同期動作	740
22.3.8.1	ソフトウェアによる同期動作	740
22.3.8.2	ハードウェア要因による同期動作	743
22.3.8.3	チャンネル間連携による同期クリア動作	745
22.3.8.4	チャンネル間連携によるインプットキャプチャ動作	748
22.3.9	PWM 出力動作例	750
22.3.10	位相計数機能	755
22.3.11	パルス幅測定機能	763
22.3.12	出力位相スイッチコントロール (OPS) 機能	765
22.3.12.1	入力選択とサンプリング	768
22.3.12.2	回転方向制御	768
22.3.12.3	入力相デコード	769

22.3.12.4	出力選択制御	770
22.3.12.5	出力選択制御 (グループ出力ディセーブル機能)	771
22.3.12.6	イベントコントローラ (ELC) 出力	771
22.3.12.7	OPS スタート動作設定フロー	771
22.4	割り込み要因	772
22.4.1	割り込み要因と優先順位	772
22.4.2	DMAC/DTC の起動	775
22.4.3	割り込み、A/D 変換開始要求の間引き機能	775
22.4.3.1	GTITC レジスタによる割り込み間引き機能	775
22.5	A/D 変換開始要求	779
22.6	ELC によるリンク動作	783
22.6.1	ELC へのイベント信号出力	783
22.6.2	ELC からのイベント信号による動作	783
22.7	ノイズフィルタ機能	784
22.8	保護機能	785
22.8.1	レジスタの書き込み保護	785
22.8.2	バッファ動作の抑止	785
22.8.2.1	バッファ動作の複数チャネル同時制御	787
22.8.3	GTIOcnm 端子出力の出力ネゲート制御 (n = 0 ~ 7, m = A, B)	790
22.9	出力端子の初期化方法	791
22.9.1	リセット後の端子設定	791
22.9.2	動作中の異常などによる端子の初期化	791
22.10	使用上の注意事項	792
22.10.1	モジュールストップ機能の設定	792
22.10.2	コンペアマッチ動作時の GTCCRm レジスタの設定 (m = A ~ F)	792
22.10.3	相補 PWM モード中の GTPBR、GTPDBR レジスタの設定範囲	793
22.10.4	GTCNT カウンタ値の設定範囲	794
22.10.5	GTCNT カウンタのスタート/ストップ	794
22.10.6	イベントの優先順序	794
22.10.7	相補 PWM モード動作中のカウンタクリアに関する注意事項	795
22.10.8	相補 PWM モードで同期クリア後の PWM 初期出力を抑止する際の注意事項	795
23.	GPTW 用ポートアウトプットイネーブル (POEGc)	796
23.1	概要	796
23.2	レジスタの説明	799
23.2.1	POEG グループ x 設定レジスタ (POEGGx) (x = A ~ D)	799
23.3	動作説明	801
23.3.1	GTETRgx 端子 (x = A ~ D) の入力レベル検出による出力停止要求	801
23.3.1.1	デジタルノイズフィルタ	801
23.3.2	GPTW の出力停止条件検出信号による出力停止要求	802
23.3.3	コンパレータの検出信号による出力停止要求	802

23.3.4	発振停止検出信号による出力停止要求	802
23.3.5	レジスタによる出力停止要求	802
23.3.6	出力停止要求の解除	803
23.3.6.1	リセットによる出力停止要求の解除	803
23.3.6.2	POEGGx レジスタのフラグクリアによる出力停止要求の解除	803
23.4	割り込み要因	804
23.5	GPTW に対する外部トリガ出力	805
23.6	使用上の注意事項	805
23.6.1	低消費電力モードへの遷移	805
23.6.2	モジュールストップ機能の設定	805
23.6.3	出力停止要求の重複について	805
24.	8 ビットタイマ (TMRa)	806
24.1	概要	806
24.2	レジスタの説明	811
24.2.1	タイマカウンタ (TCNT)	811
24.2.2	タイムコンスタントレジスタ A (TCORA)	812
24.2.3	タイムコンスタントレジスタ B (TCORB)	812
24.2.4	タイマコントロールレジスタ (TCR)	813
24.2.5	タイマカウンタコントロールレジスタ (TCCR)	814
24.2.6	タイマコントロール/ステータスレジスタ (TCSR)	816
24.2.7	タイマカウンタスタートレジスタ (TCSTR)	818
24.3	動作説明	819
24.3.1	パルス出力	819
24.3.2	外部カウンタリセット入力	820
24.4	動作タイミング	821
24.4.1	TCNT カウンタのカウントタイミング	821
24.4.2	コンペアマッチ時の割り込みタイミング	822
24.4.3	コンペアマッチ時の出力信号タイミング	822
24.4.4	コンペアマッチによるカウンタクリアタイミング	823
24.4.5	TCNT カウンタの外部リセットタイミング	823
24.4.6	オーバフローによる割り込みタイミング	824
24.5	カスケード接続時の動作	825
24.5.1	16 ビットカウントモード	825
24.5.2	コンペアマッチカウントモード	825
24.6	割り込み要因	826
24.6.1	割り込み要因と DTC 起動	826
24.7	ELC によるリンク動作	827
24.7.1	ELC へのイベント信号出力	827
24.7.2	ELC からのイベント信号受信による TMR 動作	827
24.7.3	ELC からのイベント信号受信による TMR の注意事項	828

24.8	使用上の注意事項	829
24.8.1	モジュールストップ機能の設定	829
24.8.2	周期設定上の注意	829
24.8.3	TCNT カウンタへの書き込みとカウンタクリアの競合	829
24.8.4	TCNT カウンタへの書き込みとカウントアップの競合	830
24.8.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	830
24.8.6	コンペアマッチ A、B の競合	831
24.8.7	内部クロックの切り替えと TCNT カウンタの動作	831
24.8.8	カスケード接続時のクロックソース設定	833
24.8.9	コンペアマッチ割り込みの連続出力	833
25.	コンペアマッチタイマ (CMT)	834
25.1	概要	834
25.2	レジスタの説明	835
25.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	835
25.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	835
25.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	836
25.2.4	コンペアマッチタイマカウンタ (CMCNT)	837
25.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	837
25.3	動作説明	838
25.3.1	周期カウント動作	838
25.3.2	CMCNT カウンタのカウントタイミング	838
25.4	割り込み	839
25.4.1	割り込み要因	839
25.4.2	コンペアマッチ割り込みの発生タイミング	839
25.5	ELC によるリンク動作	840
25.5.1	ELC へのイベント信号出力	840
25.5.2	ELC からのイベント信号受信による CMT の動作	840
25.5.3	ELC からのイベント信号受信による CMT の注意事項	840
25.6	使用上の注意事項	841
25.6.1	モジュールストップ機能の設定	841
25.6.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	841
25.6.3	CMCNT カウンタへの書き込みとカウントアップの競合	841
26.	リアルタイムクロック (RTCBa)	842
26.1	概要	842
26.2	レジスタの説明	844
26.2.1	64 Hz カウンタ (R64CNT)	844
26.2.2	秒カウンタ (RSECCNT)/ バイナリカウンタ 0 (BCNT0)	845
26.2.3	分カウンタ (RMINCNT)/ バイナリカウンタ 1 (BCNT1)	846
26.2.4	時カウンタ (RHRCNT)/ バイナリカウンタ 2 (BCNT2)	847
26.2.5	曜日カウンタ (RWKCNT)/ バイナリカウンタ 3 (BCNT3)	848

26.2.6	日カウンタ (RDAYCNT)	849
26.2.7	月カウンタ (RMONCNT)	850
26.2.8	年カウンタ (RYRCNT)	851
26.2.9	秒アラームレジスタ (RSECAR)/ バイナリカウンタ 0 アラームレジスタ (BCNT0AR)	852
26.2.10	分アラームレジスタ (RMINAR)/ バイナリカウンタ 1 アラームレジスタ (BCNT1AR)	853
26.2.11	時アラームレジスタ (RHRAR)/ バイナリカウンタ 2 アラームレジスタ (BCNT2AR)	854
26.2.12	曜日アラームレジスタ (RWKAR)/ バイナリカウンタ 3 アラームレジスタ (BCNT3AR)	856
26.2.13	日アラームレジスタ (RDAYAR)/ バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)	857
26.2.14	月アラームレジスタ (RMONAR)/ バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)	858
26.2.15	年アラームレジスタ (RYRAR)/ バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)	859
26.2.16	年アラーム許可レジスタ (RYRAREN)/ バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)	860
26.2.17	RTC コントロールレジスタ 1 (RCR1)	861
26.2.18	RTC コントロールレジスタ 2 (RCR2)	863
26.2.19	時間誤差補正レジスタ (RADJ)	866
26.2.20	時間キャプチャ制御レジスタ n (RTCCRn) (n = 0 ~ 2)	867
26.2.21	秒キャプチャレジスタ n (RSECCPn) (n = 0 ~ 2)/ BCNT0 キャプチャレジスタ n (BCNT0CPn) (n = 0 ~ 2)	869
26.2.22	分キャプチャレジスタ n (RMINCPn) (n = 0 ~ 2)/ BCNT1 キャプチャレジスタ n (BCNT1CPn) (n = 0 ~ 2)	870
26.2.23	時キャプチャレジスタ n (RHRCpN) (n = 0 ~ 2)/ BCNT2 キャプチャレジスタ n (BCNT2CPn) (n = 0 ~ 2)	871
26.2.24	日キャプチャレジスタ n (RDAYCPn) (n = 0 ~ 2)/ BCNT3 キャプチャレジスタ n (BCNT3CPn) (n = 0 ~ 2)	872
26.2.25	月キャプチャレジスタ n (RMONCPn) (n = 0 ~ 2)	873
26.3	動作説明	874
26.3.1	電源投入後のレジスタの初期設定概要	874
26.3.2	クロックとカウントモード設定手順	875
26.3.3	時刻設定手順	876
26.3.4	30 秒調整手順	876
26.3.5	64 Hz カウンタおよび時刻読み出し手順	877
26.3.6	アラーム機能	878
26.3.7	アラーム割り込み禁止手順	879
26.3.8	時計誤差補正機能	879
26.3.8.1	自動補正機能	880
26.3.8.2	ソフトウェアによる補正	881
26.3.8.3	補正モードの変更手順	881

26.3.8.4	補正機能の停止手順	881
26.3.9	時間キャプチャ機能	882
26.4	割り込み要因	883
26.5	イベントリンク出力機能	885
26.5.1	割り込み処理とイベントリンクの関係	885
26.6	使用上の注意事項	886
26.6.1	カウント動作時のレジスタ書き込みについて	886
26.6.2	周期割り込みの使用について	886
26.6.3	RTCOUT (1 Hz/64 Hz) 出力について	886
26.6.4	レジスタ設定後の低消費電力モード移行について	887
26.6.5	レジスタの書き込み / 読み出し時の注意事項	887
26.6.6	カウントモードの変更について	887
26.6.7	リアルタイムクロックを使用しない場合の初期化手順	888
27.	ローパワータイマ (LPTa)	889
27.1	概要	889
27.2	レジスタの説明	891
27.2.1	ローパワータイマコントロールレジスタ 1 (LPTCR1)	891
27.2.2	ローパワータイマコントロールレジスタ 2 (LPTCR2)	893
27.2.3	ローパワータイマコントロールレジスタ 3 (LPTCR3)	894
27.2.4	ローパワータイマ周期設定レジスタ (LPTPRD)	895
27.2.5	ローパワータイマコンペアレジスタ 0 (LPCMR0)	899
27.2.6	ローパワータイマコンペアレジスタ 1 (LPCMR1)	899
27.2.7	ローパワータイマスタンバイ復帰許可レジスタ (LPWUCR)	900
27.3	動作説明	901
27.3.1	周期カウント動作	901
27.3.2	PWM 動作	903
27.3.3	ローパワータイマカウンタのカウントタイミング	905
27.3.4	ローパワータイマカウンタのクリアタイミング	905
27.4	割り込み要因	906
27.5	イベントリンク機能 (出力)	906
27.6	スヌーズモードへの遷移要求	906
27.7	イベントリンクコントローラ (ELC) を介した割り込みによるソフトウェアスタンバイ モードの解除について	906
27.8	使用上の注意事項	906
27.8.1	ソフトウェアスタンバイモードへの遷移に関する注意事項について	906
28.	ウォッチドッグタイマ (WDTa)	907
28.1	概要	907
28.2	レジスタの説明	909
28.2.1	WDT リフレッシュレジスタ (WDTRR)	909
28.2.2	WDT コントロールレジスタ (WDTCR)	910

28.2.3	WDT ステータスレジスタ (WDTSR)	913
28.2.4	WDT リセットコントロールレジスタ (WDTRCR)	914
28.2.5	オプション機能選択レジスタ 0 (OFS0)	914
28.3	動作説明	915
28.3.1	カウント開始条件別の各動作	915
28.3.1.1	レジスタスタートモード	915
28.3.1.2	オートスタートモード	917
28.3.2	リフレッシュ動作	918
28.3.3	リセット出力	919
28.3.4	割り込み要因	919
28.3.5	カウンタ値の読み出し	919
28.3.6	オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応	920
29.	独立ウォッチドッグタイマ (IWDtA)	921
29.1	概要	921
29.2	レジスタの説明	923
29.2.1	IWDT リフレッシュレジスタ (IWDTRR)	923
29.2.2	IWDT コントロールレジスタ (IWDTCR)	924
29.2.3	IWDT ステータスレジスタ (IWDTSR)	927
29.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	928
29.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	929
29.2.6	オプション機能選択レジスタ 0 (OFS0)	929
29.3	動作説明	930
29.3.1	カウント開始条件別の各動作	930
29.3.1.1	レジスタスタートモード	930
29.3.1.2	オートスタートモード	932
29.3.2	リフレッシュ動作	933
29.3.3	ステータスフラグ	935
29.3.4	リセット出力	935
29.3.5	割り込み要因	935
29.3.6	カウンタ値の読み出し	936
29.3.7	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	937
29.4	ELC によるリンク動作	937
29.5	使用上の注意事項	937
29.5.1	リフレッシュ動作について	937
29.5.2	クロック分周比の設定	937
30.	USB2.0FS ホスト/ファンクションモジュール (USB _e)	938
30.1	概要	938
30.2	レジスタの説明	940
30.2.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG)	940
30.2.2	システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)	942

30.2.3	デバイスステートコントロールレジスタ 0 (DVSTCTR0)	943
30.2.4	CFIFO ポートレジスタ (CFIFO)、 D0FIFO ポートレジスタ (D0FIFO)、 D1FIFO ポートレジスタ (D1FIFO)	946
30.2.5	CFIFO ポート選択レジスタ (CFIFOSEL)、 D0FIFO ポート選択レジスタ (D0FIFOSEL)、 D1FIFO ポート選択レジスタ (D1FIFOSEL)	948
30.2.6	CFIFO ポートコントロールレジスタ (CFIFOCTR)、 D0FIFO ポートコントロールレジスタ (D0FIFOCTR)、 D1FIFO ポートコントロールレジスタ (D1FIFOCTR)	952
30.2.7	割り込み許可レジスタ 0 (INTENB0)	954
30.2.8	割り込み許可レジスタ 1 (INTENB1)	955
30.2.9	BRDY 割り込み許可レジスタ (BRDYENB)	956
30.2.10	NRDY 割り込み許可レジスタ (NRDYENB)	957
30.2.11	BEMP 割り込み許可レジスタ (BEMPENB)	958
30.2.12	SOF 出力コンフィギュレーションレジスタ (SOFCFG)	959
30.2.13	割り込みステータスレジスタ 0 (INTSTS0)	960
30.2.14	割り込みステータスレジスタ 1 (INTSTS1)	963
30.2.15	BRDY 割り込みステータスレジスタ (BRDYSTS)	966
30.2.16	NRDY 割り込みステータスレジスタ (NRDYSTS)	967
30.2.17	BEMP 割り込みステータスレジスタ (BEMPSTS)	968
30.2.18	フレームナンバレジスタ (FRMNUM)	969
30.2.19	USB リクエストタイプレジスタ (USBREQ)	970
30.2.20	USB リクエストバリューレジスタ (USBVAL)	971
30.2.21	USB リクエストインデックスレジスタ (USBINDX)	971
30.2.22	USB リクエストレングスレジスタ (USBLENG)	972
30.2.23	DCP コンフィギュレーションレジスタ (DCPCFG)	973
30.2.24	DCP マックスパケットサイズレジスタ (DCPMAXP)	974
30.2.25	DCP コントロールレジスタ (DCPCTR)	975
30.2.26	パイプウィンドウ選択レジスタ (PIPESEL)	978
30.2.27	パイプコンフィギュレーションレジスタ (PIPECFG)	979
30.2.28	パイプマックスパケットサイズレジスタ (PIPEMAXP)	981
30.2.29	パイプ周期制御レジスタ (PIPEPERI)	982
30.2.30	パイプ n コントロールレジスタ (PIPE _n CTR) (n = 1 ~ 9)	983
30.2.31	パイプ n トランザクションカウンタイネーブルレジスタ (PIPE _n TRE) (n = 1 ~ 5)	991
30.2.32	パイプ n トランザクションカウンタレジスタ (PIPE _n TRN) (n = 1 ~ 5)	992
30.2.33	デバイスアドレス n コンフィギュレーションレジスタ (DEVADD _n) (n = 0 ~ 5)	993
30.3	動作説明	994
30.3.1	システム制御	994
30.3.1.1	USB 関連レジスタの設定	994
30.3.1.2	コントローラ機能の選択設定	994

30.3.1.3	USB データバス抵抗制御	994
30.3.1.4	USB 外部接続回路例	995
30.3.2	割り込み要因	999
30.3.3	割り込みの説明	1001
30.3.3.1	BRDY 割り込み	1001
30.3.3.2	NRDY 割り込み	1005
30.3.3.3	BEMP 割り込み	1007
30.3.3.4	デバイスステート遷移割り込み	1009
30.3.3.5	コントロール転送ステージ遷移割り込み	1010
30.3.3.6	フレーム番号更新割り込み	1011
30.3.3.7	VBUS 割り込み	1011
30.3.3.8	レジューム割り込み	1011
30.3.3.9	OVRCCR 割り込み	1011
30.3.3.10	BCHG 割り込み	1012
30.3.3.11	DTCH 割り込み	1012
30.3.3.12	SACK 割り込み	1012
30.3.3.13	SIGN 割り込み	1012
30.3.3.14	ATTCH 割り込み	1012
30.3.3.15	EOFERR 割り込み	1012
30.3.4	パイプコントロール	1013
30.3.4.1	パイプコントロールレジスタの切り替え手順	1014
30.3.4.2	転送タイプ	1014
30.3.4.3	エンドポイント番号	1015
30.3.4.4	マックスパケットサイズ設定	1015
30.3.4.5	トランザクションカウンタ (パイプ 1 ~ 5 読み出し方向)	1015
30.3.4.6	応答 PID	1016
30.3.4.7	データ PID シーケンスビット	1017
30.3.4.8	応答 PID = NAK 機能	1017
30.3.4.9	自動応答モード	1017
30.3.4.10	OUT-NAK モード	1017
30.3.4.11	Null 自動応答モード	1018
30.3.5	FIFO バッファメモリ	1018
30.3.5.1	FIFO バッファメモリ	1018
30.3.5.2	FIFO バッファクリア	1019
30.3.5.3	FIFO ポートの機能	1020
30.3.5.4	DMA 転送 (D0FIFO/D1FIFO ポート)	1021
30.3.6	DCP を使用したコントロール転送	1022
30.3.6.1	ホストコントローラ機能選択時のコントロール転送	1022
30.3.6.2	ファンクションコントローラ機能選択時のコントロール転送	1023
30.3.7	バルク転送 (パイプ 1 ~ 5)	1024

30.3.8	インタラプト転送 (パイプ 6 ~ 9)	1025
30.3.8.1	ホストコントローラ機能選択時のインタラプト転送時のインターバル カウンタ	1025
30.3.9	アイソクロナス転送 (パイプ 1、2)	1026
30.3.9.1	アイソクロナス転送のエラー検出	1026
30.3.9.2	データ PID	1027
30.3.9.3	インターバルカウンタ	1027
30.3.10	SOF 補完機能	1033
30.3.11	パイプスケジュール	1033
30.3.11.1	トランザクション発行条件	1033
30.3.11.2	転送スケジュール	1034
30.3.11.3	USB 通信許可	1034
30.4	使用上の注意事項	1034
30.4.1	モジュールストップ機能の設定	1034
31.	シリアルコミュニケーションインタフェース (SClk, SC1h)	1035
31.1	概要	1035
31.2	レジスタの説明	1044
31.2.1	レシーブシフトレジスタ (RSR)	1044
31.2.2	レシーブデータレジスタ (RDR)	1044
31.2.3	レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)	1045
31.2.4	トランスミットデータレジスタ (TDR)	1046
31.2.5	トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)	1047
31.2.6	トランスミットシフトレジスタ (TSR)	1047
31.2.7	シリアルモードレジスタ (SMR)	1048
31.2.8	シリアルコントロールレジスタ (SCR)	1052
31.2.9	シリアルステータスレジスタ (SSR)	1056
31.2.10	スマートカードモードレジスタ (SCMR)	1061
31.2.11	ビットレートレジスタ (BRR)	1063
31.2.12	モジュレーションデューティレジスタ (MDDR)	1073
31.2.13	シリアル拡張モードレジスタ (SEMR)	1075
31.2.14	ノイズフィルタ設定レジスタ (SNFR)	1078
31.2.15	I ² C モードレジスタ 1 (SIMR1)	1079
31.2.16	I ² C モードレジスタ 2 (SIMR2)	1080
31.2.17	I ² C モードレジスタ 3 (SIMR3)	1081
31.2.18	I ² C ステータスレジスタ (SISR)	1083
31.2.19	SPI モードレジスタ (SPMR)	1084
31.2.20	比較データレジスタ (CDR)	1086
31.2.21	データ比較制御レジスタ (DCCR)	1087
31.2.22	シリアルポートレジスタ (SPTR)	1089
31.2.23	送受信タイミング選択レジスタ (TMGR)	1091

31.2.24	拡張シリアルモード有効レジスタ (ESMER)	1093
31.2.25	コントロールレジスタ 0 (CR0)	1093
31.2.26	コントロールレジスタ 1 (CR1)	1094
31.2.27	コントロールレジスタ 2 (CR2)	1095
31.2.28	コントロールレジスタ 3 (CR3)	1096
31.2.29	ポートコントロールレジスタ (PCR)	1096
31.2.30	割り込みコントロールレジスタ (ICR)	1097
31.2.31	ステータスレジスタ (STR)	1098
31.2.32	ステータスクリアレジスタ (STCR)	1099
31.2.33	Control Field 0 データレジスタ (CF0DR)	1099
31.2.34	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	1100
31.2.35	Control Field 0 受信データレジスタ (CF0RR)	1100
31.2.36	プライマリ Control Field 1 データレジスタ (PCF1DR)	1100
31.2.37	セカンダリ Control Field 1 データレジスタ (SCF1DR)	1101
31.2.38	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	1101
31.2.39	Control Field 1 受信データレジスタ (CF1RR)	1101
31.2.40	タイマコントロールレジスタ (TCR)	1102
31.2.41	タイマモードレジスタ (TMR)	1102
31.2.42	タイマプリスケアラレジスタ (TPRE)	1103
31.2.43	タイマカウントレジスタ (TCNT)	1103
31.3	調歩同期式モードの動作	1104
31.3.1	シリアル送信 / 受信フォーマット	1104
31.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	1106
31.3.2.1	受信データのサンプリングタイミング調整	1107
31.3.2.2	送信データの変化タイミング調整	1108
31.3.3	クロック	1109
31.3.4	倍速モードと 6 分周モード	1109
31.3.5	CTS、RTS 機能	1110
31.3.6	データ一致検出機能	1110
31.3.7	SCI の初期化 (調歩同期式モード)	1113
31.3.8	シリアルデータの送信 (調歩同期式モード)	1115
31.3.9	シリアルデータの受信 (調歩同期式モード)	1119
31.4	マルチプロセッサ通信機能	1123
31.4.1	マルチプロセッサシリアルデータ送信	1124
31.4.2	マルチプロセッサシリアルデータ受信	1125
31.5	クロック同期式モードの動作	1128
31.5.1	クロック	1128
31.5.2	CTS、RTS 機能	1129
31.5.3	SCI の初期化 (クロック同期式モード)	1130
31.5.4	シリアルデータの送信 (クロック同期式モード)	1131

31.5.5	シリアルデータの受信 (クロック同期式モード)	1135
31.5.6	シリアルデータの送受信同時動作 (クロック同期式モード)	1138
31.6	スマートカードインタフェースモードの動作	1139
31.6.1	接続例	1139
31.6.2	データフォーマット (ブロック転送モード時を除く)	1140
31.6.3	ブロック転送モード	1141
31.6.4	受信データサンプリングタイミングと受信マージン	1142
31.6.5	SCIの初期化 (スマートカードインタフェースモード)	1143
31.6.6	シリアルデータの送信 (ブロック転送モードを除く)	1145
31.6.7	シリアルデータの受信 (ブロック転送モードを除く)	1148
31.6.8	クロック出力制御	1150
31.7	簡易 I ² C モードの動作	1151
31.7.1	開始条件、再開条件、停止条件の生成	1152
31.7.2	クロック同期化	1154
31.7.3	SSDA 出力遅延	1155
31.7.4	SCIの初期化 (簡易 I ² C モード)	1156
31.7.5	マスタ送信動作 (簡易 I ² C モード)	1157
31.7.6	マスタ受信動作 (簡易 I ² C モード)	1159
31.7.7	バスハングアップからの回復	1161
31.8	簡易 SPI モードの動作	1162
31.8.1	マスタモード、スレーブモードと各端子の状態	1163
31.8.2	マスタモード時の SS 機能	1163
31.8.3	スレーブモード時の SS 機能	1163
31.8.4	クロックと送受信データの関係	1164
31.8.5	SCIの初期化 (簡易 SPI モード)	1164
31.8.6	シリアルデータの送受信 (簡易 SPI モード)	1165
31.9	ビットレートモジュレーション機能	1165
31.10	拡張シリアルモード制御部の動作説明	1166
31.10.1	シリアル通信プロトコル	1166
31.10.2	Start Frame 送信	1166
31.10.3	Start Frame 受信	1170
31.10.3.1	プライオリティインタラプトビット	1175
31.10.4	バス衝突検出機能	1176
31.10.5	RXDX12 端子入力デジタルフィルタ機能	1177
31.10.6	ビットレート測定機能	1178
31.10.7	RXDX12 受信データサンプリングタイミング選択機能	1179
31.10.8	タイマ	1180
31.11	ノイズ除去機能	1182
31.12	割り込み要因	1183
31.12.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1183

31.12.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	1183
31.12.3	スマートカードインタフェースモードにおける割り込み	1184
31.12.4	簡易 I ² C モードにおける割り込み	1185
31.12.5	拡張シリアルモード制御部の割り込み要求	1186
31.13	イベントリンク機能	1187
31.14	使用上の注意事項	1188
31.14.1	モジュールストップ機能の設定	1188
31.14.2	ブレークの検出と処理について	1188
31.14.3	マーク状態とブレークの送付	1188
31.14.4	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	1188
31.14.5	TDR レジスタへのライトについて	1189
31.14.6	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	1190
31.14.7	DMAC または DTC 使用上の制約事項	1191
31.14.8	通信の開始に関する注意事項	1191
31.14.9	低消費電力状態時の動作について	1191
31.14.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	1193
31.14.11	簡易 SPI モードの制約事項	1194
31.14.12	拡張シリアルモード制御部の使用上の制約事項 1	1195
31.14.13	拡張シリアルモード制御部の使用上の制約事項 2	1195
31.14.14	トランスミットイネーブルビット (TE ビット) に関する注意事項	1196
31.14.15	調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項	1196
32.	シリアルコミュニケーションインタフェース (RSCI)	1197
32.1	概要	1197
32.2	レジスタの説明	1204
32.2.1	受信シフトレジスタ (RSR)	1204
32.2.2	受信データレジスタ (RDR)	1204
32.2.3	送信データレジスタ (TDR)	1206
32.2.4	送信シフトレジスタ (TSR)	1207
32.2.5	制御レジスタ 0 (SCR0)	1208
32.2.6	制御レジスタ 1 (SCR1)	1211
32.2.7	制御レジスタ 2 (SCR2)	1216
32.2.8	制御レジスタ 3 (SCR3)	1231
32.2.9	制御レジスタ 4 (SCR4)	1235
32.2.10	I ² C モードレジスタ (SIMR)	1237
32.2.11	マンチェスタモード制御レジスタ (MMCR)	1240
32.2.12	DE 信号制御レジスタ (DECR)	1244
32.2.13	拡張シリアルモード制御レジスタ 0 (XCR0)	1245
32.2.14	拡張シリアルモード制御レジスタ 1 (XCR1)	1248

32.2.15	拡張シリアルモード制御レジスタ 2 (XCR2)	1250
32.2.16	ステータスレジスタ (SSR)	1251
32.2.17	I ² C ステータスレジスタ (SISR)	1257
32.2.18	マンチェスタモードステータスレジスタ (MMSR)	1258
32.2.19	拡張シリアルモードステータスレジスタ 0 (XSR0)	1261
32.2.20	拡張シリアルモードステータスレジスタ 1 (XSR1)	1263
32.2.21	ステータスクリアレジスタ (SSCR)	1264
32.2.22	I ² C ステータスクリアレジスタ (SISCR)	1265
32.2.23	マンチェスタモードステータスクリアレジスタ (MMSCR)	1266
32.2.24	拡張シリアルモードステータスクリアレジスタ (XSCR)	1267
32.2.25	HBS サポートモード制御レジスタ (HBSCR)	1268
32.3	調歩同期式モードの動作	1269
32.3.1	シリアル送信 / 受信フォーマット	1269
32.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	1271
32.3.3	クロック	1273
32.3.4	倍速モードと 6 分周モード	1273
32.3.5	CTS、RTS 機能	1274
32.3.6	データ一致検出機能	1274
32.3.7	RSCI の初期化 (調歩同期式モード)	1277
32.3.8	シリアルデータの送信 (調歩同期式モード)	1280
32.3.9	シリアルデータの受信 (調歩同期式モード)	1284
32.3.10	調歩同期式モードの受信サンプリングタイミング調整機能	1288
32.3.11	調歩同期式モードの送信タイミング調整機能	1289
32.4	マルチプロセッサ通信機能	1290
32.4.1	マルチプロセッサシリアルデータ送信	1291
32.4.2	マルチプロセッサシリアルデータ受信	1292
32.5	マンチェスタモード	1295
32.5.1	フレームフォーマット	1295
32.5.2	クロック	1300
32.5.3	マンチェスタモード時の RSCI 初期化	1300
32.5.4	倍速動作	1301
32.5.5	CTS、RTS 機能	1302
32.5.6	マンチェスタデータ送信	1302
32.5.7	マンチェスタデータ受信	1306
32.5.8	マルチプロセッサビット使用時の動作	1310
32.5.9	受信リタイミング	1310
32.5.10	マンチェスタコードの極性設定	1312
32.5.11	マンチェスタモードにおけるエラー	1313
32.6	HBS サポートモード	1318
32.6.1	HBS サポートモードの受信	1318

32.6.2	HBS サポートモードの送信	1319
32.6.3	HBS サポートモードのレジスタ設定	1321
32.7	スマートカードインタフェースモードの動作	1322
32.7.1	接続例	1322
32.7.2	データフォーマット (ブロック転送モード時を除く)	1323
32.7.3	ブロック転送モード	1324
32.7.4	受信データサンプリングタイミングと受信マージン	1325
32.7.5	RSCI の初期化 (スマートカードインタフェースモード)	1326
32.7.6	シリアルデータの送信 (ブロック転送モードを除く)	1328
32.7.7	シリアルデータの受信 (ブロック転送モードを除く)	1331
32.7.8	クロック出力制御	1333
32.8	拡張シリアルモードの動作	1334
32.8.1	シリアル通信プロトコル	1334
32.8.2	Start Frame 送信	1335
32.8.3	Start Frame 受信	1338
32.8.3.1	PIB 未使用時、ノーマル受信	1338
32.8.3.2	プライオリティインタラプトビット	1343
32.8.4	バス衝突検出機能	1344
32.8.5	ビットレート測定機能	1346
32.9	簡易 I ² C モードの動作	1348
32.9.1	スタートコンディション、リスタートコンディション、 ストップコンディションの生成	1349
32.9.2	クロック同期化	1351
32.9.3	SDA 出力遅延	1352
32.9.4	RSCI の初期化 (簡易 I ² C モード)	1353
32.9.5	マスタ送信動作 (簡易 I ² C モード)	1354
32.9.6	マスタ受信動作 (簡易 I ² C モード)	1359
32.10	クロック同期式モードの動作	1362
32.10.1	クロック	1362
32.10.2	CTS、RTS 機能	1363
32.10.3	RSCI の初期化 (クロック同期式モード)	1364
32.10.4	シリアルデータの送信 (クロック同期式モード)	1365
32.10.5	シリアルデータの受信 (クロック同期式モード)	1369
32.10.6	シリアルデータの送受信同時動作 (クロック同期式モード)	1372
32.10.7	クロック同期式モード内部クロック使用時の受信サンプリングタイミング 調整機能	1373
32.11	簡易 SPI モードの動作	1374
32.11.1	マスタモード、スレーブモードと各端子の状態	1375
32.11.2	マスタモード時の SS 機能	1375
32.11.3	スレーブモード時の SS 機能	1375
32.11.4	クロックと送受信データの関係	1376

32.11.5	RSCI の初期化 (簡易 SPI モード)	1376
32.11.6	シリアルデータの送受信 (簡易 SPI モード)	1377
32.11.7	簡易 SPI モード内部クロック使用時の受信サンプリングタイミング調整機能	1377
32.12	ビットレートモジュレーション機能	1377
32.13	ノイズ除去機能	1378
32.14	RS-485 ドライバ制御機能	1379
32.15	ループバック機能	1380
32.16	半二重通信機能	1381
32.17	割り込み信号	1382
32.17.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1382
32.17.2	調歩同期式モード、マンチェスタモード、クロック同期式モードおよび 簡易 SPI モードにおける割り込み	1383
32.17.3	スマートカードインタフェースモードにおける割り込み	1384
32.17.4	簡易 I ² C モードにおける割り込み	1385
32.17.5	拡張シリアルモードにおける割り込み	1386
32.18	使用上の注意事項	1387
32.18.1	モジュールストップ機能の設定	1387
32.18.2	消費電力低減機能の注意事項	1387
32.18.3	ブレークの検出と処理について	1391
32.18.4	マーク状態とブレークの送出	1391
32.18.5	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	1391
32.18.6	TDR レジスタへのライト	1391
32.18.7	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	1392
32.18.8	DMAC または DTC 使用上の制約事項	1394
32.18.9	通信の開始に関する注意事項	1394
32.18.10	簡易 SPI モードの制約事項	1394
32.18.11	トランスミットイネーブルビット (TE ビット) に関する注意事項	1395
32.18.12	拡張シリアルモードに関する注意事項	1395
32.18.13	RS-485 ドライバ制御機能に関する注意事項	1396
32.18.14	ループバック機能に関する注意事項	1396
32.18.15	動作中断時の注意事項	1396
33.	I ² C バスインタフェース (RII Ca)	1397
33.1	概要	1397
33.2	レジスタの説明	1400
33.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	1400
33.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	1402
33.2.3	I ² C バスモードレジスタ 1 (ICMR1)	1405
33.2.4	I ² C バスモードレジスタ 2 (ICMR2)	1406
33.2.5	I ² C バスモードレジスタ 3 (ICMR3)	1408

33.2.6	I ² C バスファンクション許可レジスタ (ICFER)	1410
33.2.7	I ² C バスステータス許可レジスタ (ICSER)	1412
33.2.8	I ² C バス割り込み許可レジスタ (ICIER)	1414
33.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	1416
33.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	1418
33.2.11	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)	1421
33.2.12	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)	1422
33.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	1423
33.2.14	I ² C バスビットレート High レジスタ (ICBRH)	1424
33.2.15	I ² C バス送信データレジスタ (ICDRT)	1426
33.2.16	I ² C バス受信データレジスタ (ICDRR)	1426
33.2.17	I ² C バスシフトレジスタ (ICDRS)	1426
33.3	動作説明	1427
33.3.1	通信データフォーマット	1427
33.3.2	初期設定	1428
33.3.3	マスタ送信動作	1429
33.3.4	マスタ受信動作	1432
33.3.5	スレーブ送信動作	1438
33.3.6	スレーブ受信動作	1441
33.4	SCL 同期回路	1443
33.5	SDA 出力遅延機能	1444
33.6	デジタルノイズフィルタ回路	1445
33.7	アドレス一致検出機能	1446
33.7.1	スレーブアドレス一致検出機能	1446
33.7.2	ジェネラルコールアドレス検出機能	1448
33.7.3	デバイス ID アドレス検出機能	1449
33.7.4	ホストアドレス検出機能	1451
33.8	SCL の自動 Low ホールド機能	1452
33.8.1	送信データ誤送信防止機能	1452
33.8.2	NACK 受信転送中断機能	1453
33.8.3	受信データ取りこぼし防止機能	1454
33.9	アービトレーションロスト検出機能	1456
33.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1456
33.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	1458
33.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1459
33.10	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	1460
33.10.1	スタートコンディション発行動作	1460
33.10.2	リスタートコンディション発行動作	1460
33.10.3	ストップコンディション発行動作	1461
33.11	バスハングアップ	1462

33.11.1	タイムアウト検出機能	1462
33.11.2	SCL 追加出力機能	1463
33.11.3	RIIC リセット、内部リセット	1464
33.12	SMBus 動作	1465
33.12.1	SMBus タイムアウト測定	1465
33.12.2	パケットエラーコード (PEC)	1466
33.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	1467
33.13	割り込み要因	1468
33.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1468
33.14	リセット時 / コンディション検出時のレジスタおよび機能の初期化	1469
33.15	イベントリンク機能 (出力)	1470
33.15.1	割り込み処理とイベントリンクの関係	1470
33.16	使用上の注意事項	1471
33.16.1	モジュールストップ機能の設定	1471
33.16.2	通信の開始に関する注意事項	1471
34.	CAN FD モジュール (CANFD)	1472
34.1	概要	1472
34.2	レジスタの説明	1475
34.2.1	公称ビットレート設定レジスタ (NBCR)	1475
34.2.2	チャンネル制御レジスタ (CHCR)	1477
34.2.3	チャンネルステータスレジスタ (CHSR)	1482
34.2.4	チャンネルエラーステータスレジスタ (CHESR)	1485
34.2.5	データビットレート設定レジスタ (DBCR)	1490
34.2.6	CAN FD 設定レジスタ (FDCFG)	1492
34.2.7	CAN FD 制御レジスタ (FDCTR)	1495
34.2.8	CAN FD ステータスレジスタ (FDSTS)	1496
34.2.9	CAN FD CRC レジスタ (FDCRC)	1498
34.2.10	グローバル設定レジスタ (GCFG)	1499
34.2.11	グローバル制御レジスタ (GCR)	1502
34.2.12	グローバルステータスレジスタ (GSR)	1504
34.2.13	グローバルエラーステータスレジスタ (GESR)	1505
34.2.14	送信割り込みステータスレジスタ (TISR)	1507
34.2.15	タイムスタンプカウンタレジスタ (TSCR)	1509
34.2.16	アクセプタンスフィルタリスト制御レジスタ (AFCR)	1510
34.2.17	アクセプタンスフィルタリスト設定レジスタ (AFCFG)	1511
34.2.18	アクセプタンスフィルタリスト n ID レジスタ (AFLn.IDR) (n = 0 ~ 15)	1512
34.2.19	アクセプタンスフィルタリスト n マスクレジスタ (AFLn.MASK) (n = 0 ~ 15)	1514
34.2.20	アクセプタンスフィルタリスト n ポインタレジスタ 0 (AFLn.PTR0) (n = 0 ~ 15)	1516
34.2.21	アクセプタンスフィルタリスト n ポインタレジスタ 1 (AFLn.PTR1) (n = 0 ~ 15)	1518
34.2.22	受信メッセージバッファ設定レジスタ (RMCR)	1519

34.2.23	受信メッセージバッファ新データレジスタ (RMNDR)	1520
34.2.24	受信 FIFO n 設定レジスタ (RFCRn) (n = 0, 1)	1521
34.2.25	受信 FIFO n ステータスレジスタ (RFSRn) (n = 0, 1)	1523
34.2.26	受信 FIFO n ポインタ制御レジスタ (RFPCRn) (n = 0, 1)	1525
34.2.27	共通 FIFO 0 設定レジスタ (CFCR0)	1526
34.2.28	共通 FIFO 0 ステータスレジスタ (CFSR0)	1529
34.2.29	共通 FIFO 0 ポインタ制御レジスタ (CFPCR0)	1532
34.2.30	FIFO エンプティステータスレジスタ (FESR)	1533
34.2.31	FIFO フルスステータスレジスタ (FFSR)	1534
34.2.32	FIFO メッセージロストステータスレジスタ (FMLSR)	1535
34.2.33	受信 FIFO 割り込みステータスレジスタ (RFISR)	1536
34.2.34	DMA 転送制御レジスタ (DTCR)	1537
34.2.35	DMA 転送ステータスレジスタ (DTSR)	1538
34.2.36	送信メッセージバッファ n 制御レジスタ (TMCRn) (n = 0 ~ 3)	1540
34.2.37	送信メッセージバッファ n ステータスレジスタ (TMSRn) (n = 0 ~ 3)	1542
34.2.38	送信メッセージバッファ送信要求ステータスレジスタ 0 (TMTRSR0)	1543
34.2.39	送信メッセージバッファ送信アボート要求ステータスレジスタ 0 (TMARSR0)	1544
34.2.40	送信メッセージバッファ送信完了ステータスレジスタ 0 (TMTCSR0)	1545
34.2.41	送信メッセージバッファ送信アボートステータスレジスタ 0 (TMTASR0)	1546
34.2.42	送信メッセージバッファ割り込み許可レジスタ 0 (TMIER0)	1547
34.2.43	送信キュー 0 設定レジスタ (TQCR0)	1548
34.2.44	送信キュー 0 ステータスレジスタ (TQSR0)	1550
34.2.45	送信キュー 0 ポインタ制御レジスタ (TQPCR0)	1552
34.2.46	送信履歴設定レジスタ (THCR)	1553
34.2.47	送信履歴ステータスレジスタ (THSR)	1554
34.2.48	送信履歴アクセスレジスタ 0 (THACR0)	1556
34.2.49	送信履歴アクセスレジスタ 1 (THACR1)	1557
34.2.50	送信履歴ポインタ制御レジスタ (THPCR)	1558
34.2.51	グローバルリセット制御レジスタ (GRCR)	1559
34.2.52	グローバルテストモード設定レジスタ (GTMCR)	1560
34.2.53	グローバルテストモード許可レジスタ (GTMER)	1561
34.2.54	グローバル CAN FD 設定レジスタ (GFDCFG)	1562
34.2.55	グローバルテストモードロックキーレジスタ (GTMLKR)	1563
34.2.56	RAM テストページアクセスレジスタ k (RTPARK) (k = 0 ~ 63)	1563
34.2.57	アクセプタンスフィルタ無効エン트리設定レジスタ (AFIGSR)	1564
34.2.58	アクセプタンスフィルタ無効エン트리許可レジスタ (AFIGER)	1565
34.2.59	受信メッセージバッファ割り込み許可レジスタ (RMIER)	1566
34.2.60	ID ビットの配置	1568
34.2.61	メッセージバッファの構造	1569
34.2.61.1	開始アドレス	1569

34.2.61.2	受信メッセージバッファ n (RMBn) (n = 0 ~ 31)	1570
34.2.61.3	受信メッセージバッファ n ヘッダフィールド 0 (RMBn.HF0) (n = 0 ~ 31)	1571
34.2.61.4	受信メッセージバッファ n ヘッダフィールド 1 (RMBn.HF1) (n = 0 ~ 31)	1572
34.2.61.5	受信メッセージバッファ n ヘッダフィールド 2 (RMBn.HF2) (n = 0 ~ 31)	1573
34.2.61.6	受信メッセージバッファ n データフィールド p (RMBn.DFp) (n = 0 ~ 31、p = 0 ~ 15)	1575
34.2.61.7	受信メッセージバッファ n データ k (RMBn.DATAk) (n = 0 ~ 31、k = 0 ~ 63)	1576
34.2.61.8	受信 FIFO n (RFBn) (n = 0, 1)	1577
34.2.61.9	受信 FIFO n ヘッダフィールド 0 (RFBn.HF0) (n = 0, 1)	1578
34.2.61.10	受信 FIFO n ヘッダフィールド 1 (RFBn.HF1) (n = 0, 1)	1579
34.2.61.11	受信 FIFO n ヘッダフィールド 2 (RFBn.HF2) (n = 0, 1)	1580
34.2.61.12	受信 FIFO n データフィールド p (RFBn.DFp) (n = 0, 1、p = 0 ~ 15)	1581
34.2.61.13	受信 FIFO n データ k (RFBn.DATAk) (n = 0, 1、k = 0 ~ 63)	1581
34.2.61.14	共通 FIFO 0 (CFB0)	1582
34.2.61.15	共通 FIFO 0 ヘッダフィールド 0 (CFB0.HF0)	1583
34.2.61.16	共通 FIFO 0 ヘッダフィールド 1 (CFB0.HF1)	1584
34.2.61.17	共通 FIFO 0 ヘッダフィールド 2 (CFB0.HF2)	1585
34.2.61.18	共通 FIFO 0 データフィールド p (CFB0.DFp) (p = 0 ~ 15)	1587
34.2.61.19	共通 FIFO 0 データ k (CFB0.DATAk) (k = 0 ~ 63)	1587
34.2.61.20	送信メッセージバッファ n (TMBn) (n = 0 ~ 3)	1588
34.2.61.21	送信メッセージバッファ n ヘッダフィールド 0 (TMBn.HF0) (n = 0 ~ 3)	1589
34.2.61.22	送信メッセージバッファ n ヘッダフィールド 1 (TMBn.HF1) (n = 0 ~ 3)	1590
34.2.61.23	送信メッセージバッファ n ヘッダフィールド 2 (TMBn.HF2) (n = 0 ~ 3)	1591
34.2.61.24	送信メッセージバッファ n データフィールド p (TMBn.DFp) (n = 0 ~ 3、p = 0 ~ 15)	1592
34.2.61.25	送信メッセージバッファ n データ k (TMBn.DATAk) (n = 0 ~ 3、k = 0 ~ 63)	1592
34.2.62	ECC 制御 / ステータスレジスタ (ECCSR)	1593
34.2.63	ECC テストモードレジスタ (ECTMR)	1597
34.2.64	ECC デコーダテストデータレジスタ (ECTDR)	1598
34.2.65	ECC エラーアドレスレジスタ (ECEAR)	1599
34.3	動作モード	1600
34.3.1	グローバルモード	1600
34.3.1.1	GL_SLEEP モード	1600
34.3.1.2	GL_RESET モード	1602
34.3.1.3	GL_HALT モード	1602
34.3.1.4	GL_OPERATION モード	1605
34.3.2	チャンネルモード	1606
34.3.2.1	CH_SLEEP モード	1606
34.3.2.2	CH_RESET モード	1607

34.3.2.3	CH_HALT モード	1607
34.3.2.4	CH_OPERATION モード (バスオフ状態以外)	1608
34.3.2.5	CH_OPERATION モード (バスオフ状態)	1609
34.3.3	グローバルモード遷移とチャンネルモード遷移の相互作用	1612
34.3.3.1	グローバルモードの変更タイミング	1612
34.3.3.2	チャンネルモードの変更タイミング	1613
34.4	CANFD モジュールの初期化	1614
34.4.1	CAN クロック、ビットタイミング、ビットレートの初期化	1614
34.4.1.1	ビットタイミング条件	1614
34.4.1.2	ビットタイミング	1615
34.4.1.3	ビットレート	1616
34.4.1.4	CAN クロック、ビットタイミング、ビットレートの設定	1618
34.4.1.5	トランシーバ遅延補償	1618
34.4.2	リセット後の CANFD モジュール設定	1621
34.5	アクセプタンスフィルタリスト (AFL) を使用したフィルタ処理	1623
34.5.1	アクセプタンスフィルタ処理	1623
34.5.2	DLC フィルタ処理	1623
34.5.3	メッセージ格納	1624
34.5.4	ペイロードオーバーフロー処理	1624
34.5.5	AFL エントリの割り当て	1624
34.5.6	AFL エントリの説明	1625
34.5.7	AFL へのエントリの入力	1627
34.5.8	ループバックモード	1629
34.5.9	IDE マスク処理	1630
34.5.10	通信中の AFL エントリの更新	1630
34.6	FIFO バッファとメッセージバッファの構成	1633
34.6.1	受信メッセージバッファ	1634
34.6.1.1	受信メッセージバッファの構成	1634
34.6.2	FIFO バッファ	1635
34.6.2.1	FIFO バッファの設定	1635
34.6.2.2	FIFO バッファの制御	1639
34.7	受信 / 送信	1640
34.7.1	受信	1640
34.7.1.1	受信メッセージバッファへのメッセージ格納	1640
34.7.1.2	FIFO バッファへのメッセージ格納	1642
34.7.1.3	タイムスタンプ	1644
34.7.2	送信	1644
34.7.2.1	送信優先順位	1645
34.7.2.2	送信メッセージバッファからの送信	1646
34.7.2.3	FIFO バッファからの送信	1650

34.7.2.4	送信キュー	1654
34.7.2.5	送信履歴	1655
34.7.2.6	送信データパディング	1657
34.8	ECC チェック	1658
34.8.1	ECC 機能設定	1658
34.8.2	ECC デコーダテスト	1659
34.9	テストモード	1660
34.9.1	チャンネル固有のテストモード	1660
34.9.1.1	基本テストモード	1660
34.9.1.2	リッスンオンリモード	1660
34.9.1.3	セルフテストモード 0 (外部ループバックモード)	1661
34.9.1.4	セルフテストモード 1 (内部ループバックモード)	1661
34.9.1.5	制限付き動作モード	1662
34.9.2	グローバルテストモード	1663
34.9.2.1	RAM テストモード	1664
34.9.2.2	ビットフリップテスト	1666
34.10	割り込みと DTC/DMA 転送要求	1667
34.10.1	CANFD 割り込み	1667
34.10.2	ECC 割り込み	1671
34.10.3	DTC/DMA 転送要求	1671
34.11	使用上の注意事項	1672
34.11.1	モジュールストップ機能の設定	1672
34.11.2	DLL クロック設定に関する注意事項	1672
34.11.3	受信メッセージバッファと FIFO バッファの設定に関する注意事項	1672
35.	シリアルペリフェラルインタフェース (RSPIc)	1673
35.1	概要	1673
35.2	レジスタの説明	1677
35.2.1	RSPI 制御レジスタ (SPCR)	1677
35.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1679
35.2.3	RSPI 端子制御レジスタ (SPPCR)	1680
35.2.4	RSPI ステータスレジスタ (SPSR)	1681
35.2.5	RSPI データレジスタ (SPDR)	1684
35.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1688
35.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1689
35.2.8	RSPI ビットレートレジスタ (SPBR)	1690
35.2.9	RSPI データコントロールレジスタ (SPDCR)	1691
35.2.10	RSPI クロック遅延レジスタ (SPCKD)	1693
35.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1694
35.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1695
35.2.13	RSPI 制御レジスタ 2 (SPCR2)	1696

35.2.14	RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)	1697
35.2.15	RSPI データコントロールレジスタ 2 (SPDCR2)	1700
35.3	動作説明	1701
35.3.1	RSPI 動作の概要	1701
35.3.2	RSPI 端子の制御	1702
35.3.3	RSPI システム構成例	1703
35.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	1703
35.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	1704
35.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	1705
35.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	1706
35.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	1707
35.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	1708
35.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	1708
35.3.4	データフォーマット	1709
35.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	1710
35.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	1714
35.3.4.3	バイトスワップ送信	1718
35.3.4.4	バイトスワップ受信	1719
35.3.5	転送フォーマット	1720
35.3.5.1	CPHA ビット = 0 の場合	1720
35.3.5.2	CPHA ビット = 1 の場合	1721
35.3.6	通信動作モード	1722
35.3.6.1	全二重通信 (SPCR.TXMD = 0)	1722
35.3.6.2	送信のみの単方向通信 (SPCR.TXMD = 1)	1723
35.3.7	送信バッファエンプティ / 受信バッファフル割り込み	1724
35.3.8	アイドル割り込み	1725
35.3.9	エラー検出	1726
35.3.9.1	オーバランエラー	1727
35.3.9.2	パリティエラー	1730
35.3.9.3	モードフォルトエラー	1731
35.3.9.4	アンダランエラー	1731
35.3.10	RSPI の初期化	1732
35.3.10.1	SPE ビットのクリアによる初期化	1732
35.3.10.2	システムリセット	1732
35.3.11	SPI 動作	1733
35.3.11.1	マスタモード動作	1733
35.3.11.2	スレーブモード動作	1743
35.3.12	クロック同期式動作	1747
35.3.12.1	マスタモード動作	1747

35.3.12.2	スレーブモード動作	1751
35.3.13	ループバックモード	1753
35.3.14	パリティビット機能の自己判断	1754
35.3.15	割り込み要因	1755
35.4	イベントリンク機能によるリンク動作	1756
35.4.1	受信バッファフルイベント出力	1756
35.4.2	送信バッファエンプティイベント出力	1756
35.4.3	モードフォルト/アンダラン/オーバラン/パリティエラーイベント出力	1756
35.4.4	アイドルイベント出力	1757
35.4.5	送信完了イベント出力	1757
35.5	使用上の注意事項	1758
35.5.1	モジュールストップ機能の設定	1758
35.5.2	消費電力低減機能の注意事項	1758
35.5.3	通信の開始に関する注意事項	1758
35.5.4	SPRF/SPTEF フラグに関する注意事項	1758
36.	CRC 演算器 (CRC)	1759
36.1	概要	1759
36.2	レジスタの説明	1760
36.2.1	CRC コントロールレジスタ (CRCCR)	1760
36.2.2	CRC データ入力レジスタ (CRCDIR)	1760
36.2.3	CRC データ出力レジスタ (CRCDOR)	1761
36.3	CRC 演算器の動作説明	1762
36.4	使用上の注意事項	1765
36.4.1	モジュールストップ機能の設定	1765
36.4.2	転送時の注意事項	1765
37.	リモコン信号受信機能 (REMCa)	1766
37.1	概要	1766
37.2	レジスタの説明	1768
37.2.1	機能選択レジスタ 0 (REMC0N0)	1768
37.2.2	機能選択レジスタ 1 (REMC0N1)	1769
37.2.3	ステータスレジスタ (REMCSTS)	1770
37.2.4	割り込み制御レジスタ (REMCINT)	1773
37.2.5	コンペア制御レジスタ (REMCPC)	1774
37.2.6	コンペア値設定レジスタ (REMCPCD)	1774
37.2.7	ヘッダパターン最小幅設定レジスタ (HDPMIN)	1775
37.2.8	ヘッダパターン最大幅設定レジスタ (HDPMAX)	1775
37.2.9	データ“0”パターン最小幅設定レジスタ (D0PMIN)	1775
37.2.10	データ“0”パターン最大幅設定レジスタ (D0PMAX)	1776
37.2.11	データ“1”パターン最小幅設定レジスタ (D1PMIN)	1776
37.2.12	データ“1”パターン最大幅設定レジスタ (D1PMAX)	1776

37.2.13	特殊データパターン最小幅設定レジスタ (SDPMIN)	1777
37.2.14	特殊データパターン最大幅設定レジスタ (SDPMAX)	1777
37.2.15	パターンエンド設定レジスタ (REMPE)	1778
37.2.16	受信機能スタンバイコントロールレジスタ (REMSTC)	1779
37.2.17	受信ビット数レジスタ (REMRBIT)	1780
37.2.18	受信データ 0 レジスタ (REMDAT0)	1780
37.2.19	受信データ j レジスタ (REMDATj) (j = 1 ~ 7)	1781
37.2.20	測定結果レジスタ (REMTIM)	1781
37.3	動作説明	1782
37.3.1	REMC 動作の概要	1782
37.3.2	初期設定	1782
37.3.3	パターン設定	1784
37.3.4	動作クロック	1787
37.3.4.1	REMC 動作クロックとして IWDTCCLK を使用する場合	1787
37.3.4.2	REMC 動作クロックとしてサブクロックを使用する場合	1788
37.3.4.3	REMC 動作クロックとして TMR コンペアマッチ出力を使用する場合	1788
37.3.5	PMC0 入力	1788
37.3.6	パターン検出	1790
37.3.6.1	ヘッダパターン検出	1791
37.3.6.2	データ “0” パターン検出	1791
37.3.6.3	データ “1” パターン検出	1792
37.3.6.4	特殊データパターン検出	1792
37.3.6.5	パターン設定レジスタの設定例	1793
37.3.6.6	パターン検出によるステータスフラグ更新動作	1793
37.3.7	パターンエンド	1795
37.3.8	受信データバッファ	1796
37.3.9	コンペア機能	1800
37.3.10	エラーパターン受信	1801
37.3.11	パターン検出時のベースタイム値格納	1803
37.3.12	割り込み	1804
37.3.13	低消費電力状態でのデータ受信動作	1805
37.3.13.1	REMC 割り込み要求による低消費電力状態からの復帰	1805
37.3.13.2	ソフトウェアスタンバイモードでのデータ受信動作	1806
37.4	使用上の注意事項	1810
37.4.1	モジュールストップ機能の設定	1810
37.4.2	周辺モジュールクロックと REMC 動作クロックの設定	1810
37.4.3	独立ウォッチドッグタイマ (IWDT) の使用制限	1810
37.4.4	ローパワータイマ (LPT) の使用制限	1810
37.4.5	リモコン信号受信機能の動作開始、停止	1810
37.4.6	レジスタアクセス	1810

37.4.7	PMC0 入力制御	1811
37.4.8	動作クロック変更時の注意事項	1811
37.4.9	レジスタ読み出し手順	1811
38.	Renesas Secure IP (RSIP-E11A)	1812
38.1	概要	1812
38.2	動作説明	1814
38.2.1	暗号エンジン	1814
38.2.2	暗号 / 復号処理	1815
38.3	割り込み	1816
38.4	使用上の注意事項	1816
38.4.1	スタンバイモード	1816
38.4.2	モジュールストップ機能の設定	1816
38.4.3	RSIP ライブラリ	1816
39.	静電容量式タッチセンサ (CTSUS2SLa)	1817
39.1	概要	1818
39.2	レジスタの説明	1821
39.2.1	CTSUS 制御レジスタ A (CTSUCRA)	1821
39.2.2	CTSUS 制御レジスタ B (CTSUCRB)	1827
39.2.3	CTSUS 計測チャネルレジスタ (CTSUSMCH)	1829
39.2.4	CTSUS チャネル有効制御レジスタ A (CTSUSCHACA)	1831
39.2.5	CTSUS チャネル有効制御レジスタ B (CTSUSCHACB)	1832
39.2.6	CTSUS チャネル送受信制御レジスタ A (CTSUSCHTRCA)	1833
39.2.7	CTSUS チャネル送受信制御レジスタ B (CTSUSCHTRCB)	1834
39.2.8	CTSUS ステータスレジスタ (CTSUSUR)	1835
39.2.9	CTSUS センサオフセットレジスタ (CTSUSUSO)	1838
39.2.10	CTSUS センサカウンタ (CTSUSCNT)	1840
39.2.11	CTSUS キャリブレーションレジスタ (CTSUSCALIB)	1841
39.2.12	CTSUS センサユニットクロック制御レジスタ A (CTSUSUCLKA)	1844
39.2.13	CTSUS センサユニットクロック制御レジスタ B (CTSUSUCLKB)	1845
39.2.14	CTSUS トリミングレジスタ A (CTSUSTRIMA)	1846
39.2.15	CTSUS トリミングレジスタ B (CTSUSTRIMB)	1847
39.2.16	CTSUS オプション設定レジスタ (CTSUSOPT)	1848
39.2.17	CTSUS センサカウンタ自動補正テーブルアクセスレジスタ (CTSUSCNTACT)	1850
39.2.18	CTSUS マルチクロック自動補正テーブル n (CTSUSMCACTn) (n = 1 ~ 3)	1851
39.2.19	CTSUS 自動判定制御レジスタ (CTSUSAJCR)	1852
39.2.20	CTSUS しきい値レジスタ (CTSUSAJTHR)	1853
39.2.21	CTSUS 移動平均結果レジスタ (CTSUSAJMMAR)	1854
39.2.22	CTSUS ベースライン平均中間結果レジスタ (CTSUSAJBLACT)	1854
39.2.23	CTSUS ベースライン平均結果レジスタ (CTSUSAJBLAR)	1855
39.2.24	CTSUS 自動判定結果レジスタ (CTSUSAJRR)	1856

39.2.25	CTSU A/D コンバータ接続制御レジスタ (CTSUADCC)	1857
39.3	動作説明	1858
39.3.1	計測動作原理	1858
39.3.2	初期設定フロー	1860
39.3.3	計測ステート	1861
39.3.4	計測方式	1862
39.3.4.1	自己容量方式動作	1863
39.3.4.2	相互容量方式動作	1864
39.3.5	スキャンモード	1866
39.3.6	マルチクロック計測	1866
39.3.7	自動判定機能	1866
39.3.7.1	自動判定機能の動作	1868
39.3.7.2	自己容量方式動作	1869
39.3.7.3	相互容量方式動作	1871
39.3.8	複数電極接続機能	1873
39.4	割り込み	1874
39.4.1	レジスタ設定要求割り込み (CTSUWR)	1874
39.4.2	計測結果読み出し要求割り込み (CTSURD)	1875
39.4.3	測定終了割り込み (CTSUFN)	1875
39.5	スヌーズ終了要求	1876
39.6	使用上の注意事項	1876
39.6.1	モジュールストップ機能の設定	1876
39.6.2	計測結果データ (CTSUSCNT レジスタ)	1876
39.6.3	ソフトウェアトリガ	1876
39.6.4	外部トリガ	1877
39.6.5	強制停止の注意事項	1877
39.6.6	TSCAP 端子	1877
39.6.7	周波数拡散時のサンプリング周期設定	1877
39.6.8	計測動作中 (CTSUCRA.STRT ビット = 1) の注意事項	1877
39.6.9	自己容量方式の送信端子	1877
40.	12 ビット A/D コンバータ (S12ADE)	1878
40.1	概要	1878
40.2	レジスタの説明	1882
40.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 8, 16 ~ 31)、 A/D データ二重化レジスタ (ADDBLDR)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)	1882
40.2.2	A/D 自己診断データレジスタ (ADRD)	1884
40.2.3	A/D コントロールレジスタ (ADCSR)	1885
40.2.4	A/D チャネル選択レジスタ A0 (ADANSA0)	1889
40.2.5	A/D チャネル選択レジスタ A1 (ADANSA1)	1890

40.2.6	A/D チャンネル選択レジスタ B0 (ADANSB0)	1891
40.2.7	A/D チャンネル選択レジスタ B1 (ADANSB1)	1892
40.2.8	A/D 変換値加算 / 平均機能チャンネル選択レジスタ 0 (ADADS0)	1893
40.2.9	A/D 変換値加算 / 平均機能チャンネル選択レジスタ 1 (ADADS1)	1894
40.2.10	A/D 変換値加算 / 平均回数選択レジスタ (ADADC)	1896
40.2.11	A/D コントロール拡張レジスタ (ADCER)	1897
40.2.12	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	1899
40.2.13	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	1901
40.2.14	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 8, L, T, O)	1903
40.2.15	A/D 断線検出コントロールレジスタ (ADDISCR)	1904
40.2.16	A/D イベントリンクコントロールレジスタ (ADELCCR)	1905
40.2.17	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1906
40.2.18	A/D コンペア機能コントロールレジスタ (ADCMPCR)	1907
40.2.19	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)	1909
40.2.20	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCMPANSR1)	1910
40.2.21	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)	1911
40.2.22	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)	1912
40.2.23	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)	1914
40.2.24	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)	1915
40.2.25	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)	1916
40.2.26	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)	1918
40.2.27	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0 (ADCMPSR0)	1919
40.2.28	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1 (ADCMPSR1)	1920
40.2.29	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ (ADCMPSER)	1921
40.2.30	A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)	1922
40.2.31	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)	1923
40.2.32	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)	1924
40.2.33	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)	1926
40.2.34	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)	1928
40.2.35	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ (ADCMPBSR)	1929
40.2.36	A/D データ格納バッファレジスタ n (ADBUFn) (n = 0 ~ 15)	1930
40.2.37	A/D データ格納バッファイネーブルレジスタ (ADBUFEN)	1931
40.2.38	A/D データ格納バッファポインタレジスタ (ADBUFPTR)	1932
40.2.39	A/D 変換サイクル制御レジスタ (ADCCR)	1933
40.3	動作説明	1934
40.3.1	スキャンの動作説明	1934
40.3.2	シングルスキャンモード	1935
40.3.2.1	基本動作	1935
40.3.2.2	チャンネル選択と自己診断	1936
40.3.2.3	温度センサ出力 / 内部基準電圧選択時の A/D 変換動作	1937

40.3.2.4	ダブルトリガモード選択時の動作	1938
40.3.3	連続スキャンモード	1939
40.3.3.1	基本動作	1939
40.3.3.2	チャンネル選択と自己診断	1940
40.3.4	グループスキャンモード	1941
40.3.4.1	基本動作	1941
40.3.4.2	ダブルトリガモード選択時の動作	1942
40.3.4.3	グループ A 優先制御動作	1943
40.3.5	コンペア機能 (ウィンドウ A、ウィンドウ B)	1953
40.3.5.1	コンペア機能ウィンドウ A/B	1953
40.3.5.2	コンペア機能の ELC 出力	1955
40.3.5.3	データ格納バッファの使用方法	1957
40.3.5.4	コンペア機能制約	1958
40.3.6	アナログ入力のサンプリング時間とスキャン変換時間	1958
40.3.7	A/D データレジスタの自動クリア機能の使用例	1961
40.3.8	A/D 変換値加算 / 平均機能	1961
40.3.9	断線検出アシスト機能	1961
40.3.10	非同期トリガによる A/D 変換の開始	1963
40.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始	1963
40.4	割り込み要因と DTC、DMA 転送要求	1963
40.4.1	割り込み要求	1963
40.5	イベントリンク機能	1964
40.5.1	ELC へのイベント出力動作	1964
40.5.2	ELC からのイベントによる 12 ビット A/D コンバータの動作	1964
40.5.3	ELC からのイベントによる 12 ビット A/D コンバータの注意事項	1964
40.6	基準電圧の選択方法	1964
40.7	許容信号源インピーダンスについて	1965
40.8	使用上の注意事項	1966
40.8.1	データレジスタの読出し注意事項	1966
40.8.2	A/D 変換停止時の注意事項	1966
40.8.3	A/D 変換強制停止と開始時の動作タイミング	1967
40.8.4	スキャン終了割り込み処理の注意事項	1967
40.8.5	モジュールストップ機能の設定	1967
40.8.6	低消費電力状態への遷移時の注意	1967
40.8.7	ソフトウェアスタンバイモード解除時の注意	1967
40.8.8	12 ビット A/D コンバータを使用する場合の端子の設定	1967
40.8.9	断線検出アシスト機能使用時の絶対精度誤差	1968
40.8.10	ADHSC ビットの書き換え手順	1968
40.8.11	アナログ電源端子他の設定範囲	1969
40.8.12	ボード設計上の注意	1970

40.8.13	ノイズ対策上の注意	1970
41.	D/A コンバータ (DAa)	1971
41.1	概要	1971
41.2	レジスタの説明	1972
41.2.1	D/A データレジスタ m (DADRm) (m = 0, 1)	1972
41.2.2	D/A 制御レジスタ (DACR)	1973
41.2.3	データレジスタフォーマット選択レジスタ (DADPR)	1973
41.2.4	D/A A/D 同期スタート制御レジスタ (DAADSCR)	1974
41.3	動作説明	1975
41.3.1	D/A 変換と A/D 変換の干渉対策	1976
41.4	イベントリンクの動作設定手順	1978
41.5	イベントリンク動作における注意事項	1978
41.6	使用上の注意事項	1979
41.6.1	モジュールストップ機能の設定	1979
41.6.2	モジュールストップ時の D/A コンバータの動作	1979
41.6.3	ソフトウェアスタンバイモード時の D/A コンバータの動作	1979
41.6.4	D/A 変換と A/D 変換の干渉対策有効時の注意事項	1979
42.	温度センサ (TEMPSA)	1980
42.1	概要	1980
42.2	レジスタの説明	1981
42.2.1	温度センサ校正データレジスタ (TSCDR)	1981
42.3	温度センサの使用方法	1982
42.3.1	使用前の準備	1982
42.3.2	12 ビット A/D コンバータの設定	1983
43.	コンパレータ B (CMPBa)	1984
43.1	概要	1984
43.2	レジスタの説明	1987
43.2.1	コンパレータ B 制御レジスタ 1 (CPBCNT1)	1987
43.2.2	コンパレータ B 制御レジスタ 2 (CPBCNT2)	1987
43.2.3	コンパレータ B フラグレジスタ (CPBFLG)	1988
43.2.4	コンパレータ B 割り込み制御レジスタ (CPBINT)	1989
43.2.5	コンパレータ B フィルタ選択レジスタ (CPBF)	1990
43.2.6	コンパレータ B モード選択レジスタ (CPBMD)	1990
43.2.7	コンパレータ B リファレンス入力電圧選択レジスタ (CPBREF)	1991
43.2.8	コンパレータ B 出力制御レジスタ (CPBOCR)	1992
43.3	動作説明	1993
43.3.1	設定手順	1993
43.3.2	動作例	1995
43.3.3	コンパレータ B _n デジタルフィルタ (n = 0, 1)	1997
43.3.4	コンパレータ B _n 出力機能 (n = 0, 1)	1998

43.3.5	コンパレータ B を使用したソフトウェアスタンバイモード復帰例	1998
43.4	割り込み	1999
43.5	イベントリンク出力機能	1999
43.5.1	割り込み処理とイベントリンクの関係	1999
43.6	POEG への POE 要因出力	1999
43.7	使用上の注意事項	1999
43.7.1	モジュールストップ機能の設定	1999
44.	データ演算回路 (DOC)	2000
44.1	概要	2000
44.2	レジスタの説明	2001
44.2.1	DOC コントロールレジスタ (DOCR)	2001
44.2.2	DOC データインプットレジスタ (DODIR)	2002
44.2.3	DOC データセッティングレジスタ (DODSR)	2002
44.3	動作説明	2003
44.3.1	データ比較モード	2003
44.3.2	データ加算モード	2004
44.3.3	データ減算モード	2005
44.4	割り込み要求	2005
44.5	イベントリンク出力機能	2006
44.5.1	割り込み処理とイベントリンクの関係	2006
44.6	使用上の注意事項	2006
44.6.1	モジュールストップ機能の設定	2006
45.	RAM	2007
45.1	概要	2007
45.2	レジスタの説明	2008
45.2.1	RAM 動作モード制御レジスタ (RAMMODE)	2008
45.2.2	RAM エラーステータスレジスタ (RAMSTS)	2008
45.2.3	RAM エラーアドレスキャプチャレジスタ (RAMECAD)	2009
45.2.4	RAM プロテクトレジスタ (RAMPRCR)	2009
45.3	動作説明	2010
45.3.1	パリティチェック機能	2010
45.3.2	RAM エラー割り込み機能	2010
45.3.3	割り込み要因	2010
45.4	使用上の注意事項	2011
45.4.1	消費電力低減機能	2011
45.4.2	RAM のエラーチェック機能使用時の注意事項	2011
45.4.3	RAM の自己診断に関する注意事項	2011
46.	フラッシュメモリ (FLASH)	2012
46.1	概要	2012
46.2	ROM の領域とブロックの構成	2013

46.3	E2 データフラッシュの領域とブロックの構成	2014
46.4	レジスタの説明	2015
46.4.1	E2 データフラッシュ制御レジスタ (DFLCTL)	2015
46.4.2	フラッシュ P/E モードエン트리レジスタ (FENTRYR)	2016
46.4.3	メモリウェイトサイクル設定レジスタ (MEMWAITR)	2017
46.4.4	プロテクト解除レジスタ (FPR)	2018
46.4.5	プロテクト解除ステータスレジスタ (FPSR)	2018
46.4.6	フラッシュ P/E モード制御レジスタ (FPMCR)	2019
46.4.7	フラッシュ初期設定レジスタ (FISR)	2020
46.4.8	フラッシュリセットレジスタ (FRESETR)	2021
46.4.9	フラッシュ領域選択レジスタ (FASR)	2022
46.4.10	フラッシュ制御レジスタ (FCR)	2023
46.4.11	フラッシュエクストラ領域制御レジスタ (FEXCR)	2025
46.4.12	フラッシュ処理開始アドレスレジスタ H (FSARH)	2026
46.4.13	フラッシュ処理開始アドレスレジスタ L (FSARL)	2026
46.4.14	フラッシュ処理終了アドレスレジスタ H (FEARH)	2027
46.4.15	フラッシュ処理終了アドレスレジスタ L (FEARL)	2027
46.4.16	フラッシュライトバッファレジスタ n (FWBn) (n = 0 ~ 3)	2028
46.4.17	フラッシュステータスレジスタ 0 (FSTATR0)	2029
46.4.18	フラッシュステータスレジスタ 1 (FSTATR1)	2031
46.4.19	フラッシュエラーアドレスモニタレジスタ H (FEAMH)	2032
46.4.20	フラッシュエラーアドレスモニタレジスタ L (FEAML)	2032
46.4.21	フラッシュスタートアップ設定モニタレジスタ (FSCMR)	2033
46.4.22	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)	2034
46.4.23	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)	2034
46.4.24	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)	2034
46.5	スタートアッププログラム保護機能	2035
46.6	エリアプロテクション	2036
46.7	プログラム / イレーズ	2037
46.7.1	シーケンサのモード	2037
46.7.1.1	E2 データフラッシュアクセス禁止モード	2037
46.7.1.2	リードモード	2038
46.7.1.3	P/E モード	2038
46.7.2	モード遷移	2038
46.7.2.1	E2 データフラッシュアクセス禁止モードからリードモードへの遷移	2038
46.7.2.2	リードモードから P/E モードへの遷移	2039
46.7.2.3	P/E モードからリードモードへの遷移	2041
46.7.3	ソフトウェアコマンド一覧	2042
46.7.4	ソフトウェアコマンド使用方法	2043
46.7.4.1	プログラム	2043

46.7.4.2	ブロックイレーズ	2045
46.7.4.3	全ブロックイレーズ	2047
46.7.4.4	ブランクチェック	2049
46.7.4.5	スタートアップ領域情報プログラム / アクセスウィンドウプロテクト / アクセスウィンドウ情報プログラム	2051
46.7.4.6	ソフトウェアコマンドの強制停止	2052
46.7.5	割り込み	2052
46.8	ブートモード	2053
46.8.1	ブートモード (USB インタフェース)	2054
46.8.1.1	ブートモード (USB インタフェース) の動作条件	2054
46.8.2	ブートモード (SCI インタフェース)	2057
46.8.2.1	ブートモード (SCI インタフェース) の動作条件	2057
46.8.2.2	ブートモード (SCI インタフェース) の起動方法	2058
46.8.3	ブートモード (FINE インタフェース)	2059
46.8.3.1	ブートモード (FINE インタフェース) の動作条件	2059
46.9	フラッシュメモリプロテクト機能	2060
46.9.1	ID コードプロテクト	2060
46.9.1.1	ブートモード ID コードプロテクト	2061
46.9.1.2	オンチップデバッグエミュレータ ID コードプロテクト	2062
46.10	通信プロトコル	2063
46.10.1	ブートモード (SCI インタフェース) の状態遷移	2063
46.10.2	コマンドとレスポンスの構成	2064
46.10.3	未定義コマンドに対するレスポンス	2064
46.10.4	ブートモードステータス問い合わせ	2065
46.10.5	問い合わせコマンド	2066
46.10.5.1	サポートデバイス問い合わせ	2066
46.10.5.2	データ領域有無問い合わせ	2067
46.10.5.3	ユーザ領域情報問い合わせ	2067
46.10.5.4	データ領域情報問い合わせ	2068
46.10.5.5	ブロック情報問い合わせ	2068
46.10.6	設定コマンド	2069
46.10.6.1	デバイス選択	2069
46.10.6.2	動作周波数選択	2070
46.10.6.3	プログラム / イレーズホストコマンド待ちステート遷移	2071
46.10.7	ID コード認証コマンド	2072
46.10.7.1	ID コードチェック	2072
46.10.8	プログラム / イレーズコマンド	2073
46.10.8.1	ユーザ / データ領域プログラム準備	2073
46.10.8.2	プログラム	2074
46.10.8.3	データ領域プログラム	2075
46.10.8.4	イレーズ準備	2076

46.10.8.5	ブロックイレーズ	2076
46.10.9	リードチェックコマンド	2077
46.10.9.1	メモリリード	2077
46.10.9.2	ユーザ領域チェックサム	2078
46.10.9.3	データ領域チェックサム	2079
46.10.9.4	ユーザ領域ブランクチェック	2079
46.10.9.5	データ領域ブランクチェック	2080
46.10.9.6	アクセスウィンドウ情報プログラム	2080
46.10.9.7	アクセスウィンドウリード	2081
46.10.9.8	アクセスウィンドウプロテクト	2082
46.10.9.9	アクセスウィンドウプロテクトフラグリード	2082
46.11	ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明	2083
46.11.1	ビットレート自動調整	2084
46.11.2	MCU の情報取得	2085
46.11.3	デバイスの指定、ビットレートの変更	2086
46.11.4	プログラム / イレーズホストコマンド待ちステートへの遷移	2087
46.11.5	ブートモード ID コードプロテクトの解除	2088
46.11.6	ユーザ領域、データ領域のイレーズ	2089
46.11.7	ユーザ領域、データ領域のプログラム	2090
46.11.8	ユーザ領域のデータ確認	2091
46.11.9	データ領域のデータ確認	2092
46.11.10	ユーザ領域のアクセスウィンドウ設定	2093
46.11.11	アクセスウィンドウの保護	2094
46.12	セルフプログラミングでの書き換え	2095
46.12.1	概要	2095
46.13	使用上の注意事項	2096
46.14	使用上の注意事項 (ブートモード)	2097
47.	電气的特性	2098
47.1	絶対最大定格	2098
47.2	推奨動作条件	2099
47.3	DC 特性	2100
47.4	標準 I/O 端子出力特性	2119
47.5	AC 特性	2121
47.5.1	クロックタイミング	2121
47.5.2	リセットタイミング	2128
47.5.3	低消費電力状態からの復帰タイミング	2129
47.5.4	動作モード遷移タイミング	2135
47.5.5	制御信号タイミング	2136
47.5.6	内蔵周辺モジュールタイミング	2137
47.5.6.1	I/O ポート	2137

47.5.6.2	GPTW	2138
47.5.6.3	POEG	2140
47.5.6.4	TMR	2143
47.5.6.5	SCI	2144
47.5.6.6	RSCI	2152
47.5.6.7	RIIC	2159
47.5.6.8	RSPI	2161
47.5.6.9	CANFD	2167
47.5.6.10	A/D コンバータトリガ	2168
47.5.6.11	CAC	2168
47.5.6.12	CLKOUT	2169
47.6	USB 特性	2170
47.7	A/D 変換特性	2171
47.8	D/A 変換特性	2181
47.9	温度センサ特性	2182
47.10	コンパレータ特性	2182
47.11	CTSU 特性	2184
47.12	パワーオンリセット回路、電圧検出回路特性	2185
47.13	発振停止検出タイミング	2189
47.14	ROM (コード格納用フラッシュメモリ) 特性	2190
47.15	E2 データフラッシュ (データ格納用フラッシュメモリ) 特性	2192
47.16	使用上の注意事項	2194
47.16.1	VCL コンデンサ、バイパスコンデンサ接続方法	2194
付録 1.	各処理状態におけるポートの状態	2199
付録 2.	外形寸法図	2201
改訂記録	2206

64MHz、32ビットRX MCU、FPU内蔵、355 Coremark、最大512Kバイトフラッシュメモリ、最大36端子の静電容量式タッチセンサ、最大11本の通信機能、12ビットA/D、D/A、RTC、IEC60730対応機能、1.6~5.5V動作、暗号機能(オプション)

特長

■ 32ビットRXv3 CPUコア内蔵

- 最高動作周波数 64MHz
355 Coremark の性能 (64MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速 2クロックで実行)
- 高速割り込み
- 5段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■ 消費電力低減機能

- 1.6V ~ 5.5V 単一電源動作
- 4種類の低消費電力モード
- ソフトウェアスタンバイ中も動作可能なローパワータイマを搭載
- 消費電流
高速動作モード: 84 μ A/MHz
ソフトウェアスタンバイモード: 1.01 μ A (typ.) ($T_a = 25^\circ\text{C}$)
- ソフトウェアスタンバイからの復帰時間: 6.3 μ s (typ.)
(クロックソース: HOCO 64MHz 選択時、 $T_a = 25^\circ\text{C}$)

■ 内蔵コードフラッシュメモリ

- 256K/384K/512K バイトの容量
- オンボードによるユーザ書き込み
- 1.6V で書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 128K バイトの容量

■ データ転送機能

- DMAC: 4チャンネル内蔵
- DTC: 5種類の転送モード

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態でも、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など 8種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- 外部メインクロック入力周波数: ~ 20MHz
- 外部サブクロック入力周波数: 32.768kHz
- メインクロック発振子周波数: 1 ~ 20MHz
- サブクロック発振子周波数: 32.768kHz
- PLL/PLL2 回路入力: 4MHz ~ 12.5MHz
- 低速オンチップオシレータ: 4MHz
- 高速オンチップオシレータ: 24/32/48/64MHz $\pm 1\%$
- IWDT 専用オンチップオシレータ内蔵: 15kHz
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■ リアルタイムクロック内蔵

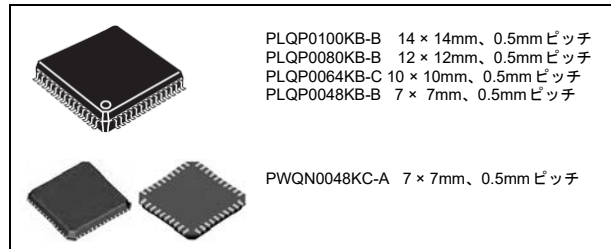
- 補正機能 (30秒、うるうる年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能
- 時間キャプチャ機能
- 外部端子のイベント入力で時間をキャプチャ

■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など



PLQP0100KB-B 14 × 14mm、0.5mm ピッチ
PLQP0080KB-B 12 × 12mm、0.5mm ピッチ
PLQP0064KB-C 10 × 10mm、0.5mm ピッチ
PLQP0048KB-B 7 × 7mm、0.5mm ピッチ

PWQN0048KC-A 7 × 7mm、0.5mm ピッチ

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能

■ 最大 11 本の通信機能を内蔵

- USB2.0 フルスピードホスト / ファンクション / OTG (ON-The-Go) (1チャンネル)、フルスピード (12Mbps)、ロースピード (1.5Mbps) (ホストのみ)、アイソクロナス転送
- CAN FD (ISO11898-1:2015 準拠) (標準フレーム/拡張フレーム) (1チャンネル)
- 多彩な機能に対応した SCI (最大4チャンネル) 調歩同期モード/クロック同期モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- マンチエスタコード機能、HBS 機能をサポートした RSCI (最大3チャンネル)
- I²C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1チャンネル)
- RSPI (1チャンネル) 最大 16Mbps 転送

■ リモコン信号受信機能

■ 最大 16 本の拡張タイマ機能

- 32ビット (2チャンネル) と 16ビット (6チャンネル) の GPTW: 64MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形: 単相相補 10ch 出力 / 3 相相補 3ch 出力 / 5 相相補 2ch 出力など、位相計数モード、コンパレータ連動 (カウント動作、PWM ネゲート制御)
- 8ビット TMR (4チャンネル)
- 16ビット CMT (4チャンネル)

■ 12ビット A/D コンバータ内蔵

- 最小 0.5 μ s 変換が可能
- 24 (外部端子入力) + 1チャンネル (内部入力)
- チャンネルごとにサンプリング時間を設定可能
- 変換結果コンペア機能内蔵
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵
- モータ制御に適したダブルトリガ (データ二重化) 機能

■ D/A コンバータ内蔵

- 2チャンネル

■ 静電容量式タッチセンサ

- 自己容量方式: 1端子1キー構成で最大 36キーに対応
- 相互容量方式: 8 × 8 のマトリクス構成により最大 64キーに対応

■ コンパレータ B

- 2チャンネル

■ 汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

■ Renesas Secure IP (RSIP-E11A) (オプション)

- AES128/256、ECC、真性乱数生成回路 (TRNG)、SHA224、SHA256

■ 温度センサ内蔵

■ ユニーク ID

- マイコン個体ごとの 32 バイト長の ID コード

■ 動作周囲温度

- -40 ~ +85 $^\circ\text{C}$
- -40 ~ +105 $^\circ\text{C}$

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールの機能やチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 6)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：64MHz 32ビットRX CPU (RXv3) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 111命令 <ul style="list-style-type: none"> 標準搭載命令：111命令 基本命令：77命令 単精度浮動小数点演算命令：11命令 DSP機能命令：23命令 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット メモリプロテクションユニット(MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数(32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：512Kバイト/384Kバイト/256Kバイト 32MHz以下：ウェイトなし 32MHz～64MHz：ウェイトあり 書き換え方法：シリアルライタープログラミング(調歩同期式シリアル通信/USB通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：128Kバイト 64MHz、ノーウェイトアクセス パリティエラー検出
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：1,000,000回(typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、PLL2周波数シンセサイザ、IWDTP専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路(CAC)：あり システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKD)、FlashIFクロック(FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 64MHz GPTW/CANFD内ECCレジスタの周辺モジュールはPCLKA同期：Max 64MHz S12ADのADCLKはPCLKD同期：Max 64MHz 上記以外の周辺モジュールはPCLKB同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 64MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出回路(LVDAb)		<p>VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生</p> <ul style="list-style-type: none"> 電圧検出0は検出電圧を5レベルから選択可能 電圧検出1は検出電圧を16レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2 / 6)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、ディープスリープモード、ソフトウェアスタンバイモード、スヌーズモード
	動作電力低減機能	動作電力制御モード <ul style="list-style-type: none"> 高速動作モード、 中速動作モード (デフォルト) 中速動作モード2 低速動作モード
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数256 外部割り込み：要因数9 (NMI、IRQ0～IRQ7端子) ノンマスクブル割り込み：要因数7 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、WDT割り込み、IWDWT割り込み、RAMエラー割り込み) 16レベルの割り込み優先順位を設定可能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> 4チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファコントローラ (DTCb)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み シーケンス転送が可能
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 100ピンLFQFP 入出力：89 (RX260グループ)、87 (RX261グループ) 入力：3 プルアップ抵抗：89 (RX260グループ)、87 (RX261グループ) オープンドレイン出力：63 5Vトレラント：4 80ピンLFQFP 入出力：69 (RX260グループ)、67 (RX261グループ) 入力：3 プルアップ抵抗：69 (RX260グループ)、67 (RX261グループ) オープンドレイン出力：47 5Vトレラント：4 64ピンLFQFP 入出力：53 (RX260グループ)、51 (RX261グループ) 入力：3 プルアップ抵抗：53 (RX260グループ)、51 (RX261グループ) オープンドレイン出力：35 5Vトレラント：2 48ピンLFQFP、48ピンHWQFN 入出力：39 (RX260グループ)、37 (RX261グループ) 入力：1 プルアップ抵抗：39 (RX260グループ)、37 (RX261グループ) オープンドレイン出力：27 5Vトレラント：2
	イベントリンクコントローラ (ELC)	<ul style="list-style-type: none"> 116種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能
	マルチファンクションピンコントローラ (MPC)	入出力機能を複数の端子から選択可能

表 1.1 仕様概要 (3 / 6)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTWa)	<ul style="list-style-type: none"> • (32ビット×2チャンネル 16ビット×6チャンネル)×1ユニット • 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) • チャンネルごとに独立したクロックソースを選択可能 • チャンネルごとに2本の入出力端子 • チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右対称なPWM波形を生成 • チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) • PWM動作の際にデットタイム生成が可能 • 任意チャンネルのカウンタの同期スタート/ストップ/クリアが可能 • 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 出力端子間の短絡検出による出力端子無効機能 • A/Dコンバータの変換開始トリガ生成が可能 • コンペアマッチA~Fイベント、オーバフローイベント/アンダフローイベントをELCに出力可能 • インプットキャプチャのノイズフィルタを使用可能
	GPTW用ポートアウトプットイネーブル (POEGc)	<ul style="list-style-type: none"> • GPTW波形出力の出力禁止制御 • GTETRG 端子の入力レベル検出による起動 • GPTWからの出力禁止要求による起動 • コンパレータ検出による起動 • 発振停止検出/ソフトウェアによる起動
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル)×2ユニット • 4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512)を選択可能
	ウォッチドッグタイマ (WDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウントクロック (PCLK/4, PCLK/64, PCLK/128, PCLK/512, PCLK/2048, PCLK/8192)を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウントクロック: IWDT専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイムクロック (RTCBa)	<ul style="list-style-type: none"> • クロックソース: サブクロックにて動作 • 時計/カレンダー機能 • 割り込み: アラーム割り込み、周期割り込み、桁上げ割り込み • 時間キャプチャ機能(最大3端子)
	ローパワータイマ (LPTa)	<ul style="list-style-type: none"> • 16ビット×1チャンネル • クロックソース: サブクロック、LOCOの4分周クロック、IWDT専用低速クロックから選択可能 • クロック分周比: 分周なし、2分周、4分周、8分周、16分周、32分周から選択可能 • PWM出力モード
	8ビットタイマ (TMRa)	<ul style="list-style-type: none"> • (8ビット×2チャンネル)×2ユニット • 7種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192)と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能

表 1.1 仕様概要 (4 / 6)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインターフェース (SCIk, SCIlh)	<ul style="list-style-type: none"> 4チャンネル SCIk : SCI1, SCI5, SCI6 SCIlh : SCI12 SCIk, SCIlh シリアル通信方式：調歩同期式/クロック同期式/スマートカードインターフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 7、8、9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート データ一致検出をサポート(SCI12以外) ELCによるイベントリンク機能をサポート(SCI5のみ) SCIkのみ データ一致検出をサポート RXDサンプリング調整機能 SCIlhのみ スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	シリアルコミュニケーションインターフェース (RSCI)	<ul style="list-style-type: none"> 3チャンネル(RSCIO, RSCI8, RSCI9) シリアル通信方式：調歩同期式/クロック同期式/スマートカードインターフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート(RSCI9) 送信部、受信部ともに32バイトのFIFOバッファ構造による連続送信、受信が可能 マンチェスタコード機能をサポート(RSCI9) HBS機能をサポート データ一致検出をサポート RXDサンプリング調整機能
	I ² Cバス インターフェース (RlICa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット：I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアル ペリフェラル インターフェース (RSPIC)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIC Clock) 信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長(8～16、20、24、32ビット)を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能

表 1.1 仕様概要 (5 / 6)

分類	モジュール/機能	説明
通信機能	CAN FDモジュール (CANFD)	<ul style="list-style-type: none"> 1チャンネル ISO 11898-1:2015仕様に準拠(標準フレーム/拡張フレーム)
	USB2.0 FS ホスト/ファンクション モジュール(USB _e)	<ul style="list-style-type: none"> USB2.0 FSに対応したUDC (USB Device Controller)およびトランシーバを内蔵 1ポート USBバージョン2.0準拠 転送スピード: フルスピード(12Mbps)、ロースピード(1.5Mbps) (ホストのみ) セルフパワーモードおよびバスパワーモードの両方に対応 OTG (On-The-Go)に対応 (ロースピードは未対応) 通信バッファとして2KバイトのRAMを内蔵 外付けPull-Up抵抗、Pull-Down抵抗が不要
	リモコン信号受信機能 (REM _{Ca})	<ul style="list-style-type: none"> 1チャンネル 4パターン波形マッチング(ヘッダ、データ0、データ1、特殊データ判別) 受信バッファ 8バイト(1ユニットあたり) 動作クロックを、PCLKB、サブクロック、IWDTCLK、TMRから選択可能
12ビットA/Dコンバータ (S12ADE)	<ul style="list-style-type: none"> 12ビット(1ユニット×25チャンネル(注1)) 分解能: 12ビット 最小変換時間: 1チャンネル当たり0.50μs (ADCLK = 64MHz動作時) 動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作(グループスキャンモードのみ) サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 自己診断機能 ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出機能 変換結果コンペア機能 A/D変換開始条件 ソフトウェアトリガ、タイマ(GPTW)のトリガ、外部トリガ、ELC ELCによるイベントリンク機能をサポート 	
温度センサ (TEMP _{SA})	<ul style="list-style-type: none"> 1チャンネル 温度を電圧に変換し12ビットA/Dコンバータでデジタル化 	
D/Aコンバータ (DA _a)	<ul style="list-style-type: none"> 2チャンネル 分解能: 8ビット 出力電圧: 0V~AVCC0 	
CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能 	
コンパレータ B (CMP _{Ba})	<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 ウィンドウコンパレータ動作/基本コンパレータ動作の選択 	
静電容量式タッチセンサ (CTS _{U2SLa})	<ul style="list-style-type: none"> 自己容量方式: 1端子1キー構成で最大36キーに対応 相互容量方式: 8×8のマトリクス構成により最大64キーに対応 自動補正機能 自動判定機能 	
暗号機能	ユニークID	マイコン個体ごとの32バイト長のIDコード
	Renesas Secure IP (RSIP-E11A)	<ul style="list-style-type: none"> 共通鍵暗号方式: AES 公開鍵暗号方式: ECC ハッシュ値生成: SHA224, SHA256 真性乱数生成回路
データ演算回路 (DOC)	16ビットのデータを比較、加算、減算する機能	
電源電圧/動作周波数	VCC = 1.6 ~ 1.8V : 4MHz、VCC = 1.8 ~ 2.4V : 48MHz、VCC = 2.4 ~ 5.5V : 64MHz	
動作周囲温度	Dバージョン: -40 ~ +85°C、Gバージョン: -40 ~ +105°C	
パッケージ	100ピンLFQFP (PLQP0100KB-B) 14 × 14mm、0.5mmピッチ 80ピンLFQFP (PLQP0080KB-B) 12 × 12mm、0.5mmピッチ 64ピンLFQFP (PLQP0064KB-C) 10 × 10mm、0.5mmピッチ 48ピンLFQFP (PLQP0048KB-B) 7 × 7mm、0.5mmピッチ 48ピンHWQFN (PWQN0048KC-A) 7 × 7mm、0.5mmピッチ	

表 1.1 仕様概要 (6 / 6)

分類	モジュール/機能	説明
デバッグインタフェース		• FINE インタフェース

注1. 25チャンネルは24チャンネルの外部端子入力と1チャンネルのCTSU専用内部入力を含みます。

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX260グループ				RX261グループ			
		100ピン	80ピン	64ピン	48ピン	100ピン	80ピン	64ピン	48ピン
割り込み	外部割り込み	NMI, IRQ0 ~ IRQ7	NMI, IRQ0 ~ IRQ7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ IRQ7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ IRQ7	NMI, IRQ0 ~ IRQ7	NMI, IRQ0 ~ IRQ7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ IRQ7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ IRQ7
DMA	DMAコントローラ	4チャンネル (DMAC0 ~ DMAC3)				4チャンネル (DMAC0 ~ DMAC3)			
	データ転送ファコン トローラ	あり				あり			
タイマ	汎用PWMタイマ	8チャンネル				8チャンネル			
	GPTW用ポートアウト プットイネーブル	あり				あり			
	8ビットタイマ	2チャンネル×2ユニット				2チャンネル×2ユニット			
	コンペアマッチタイマ	2チャンネル×2ユニット				2チャンネル×2ユニット			
	ローパワータイマ	1チャンネル				1チャンネル			
	リアルタイムクロック	あり		なし		あり		なし	
	ウォッチドックタイマ	あり				あり			
	独立ウォッチドックタイマ	あり				あり			
通信機能	シリアルコミュニケーション インタフェース (SCIk)	ch1, 5, 6				ch1, 5, 6			
	シリアルコミュニケーション インタフェース (SCIh)	ch12				ch12			
	シリアルコミュニケーション インタフェース (RSCI)	ch0, 8, 9		ch0, 8		ch0, 8, 9		ch0, 8	
	I ² Cバスインタフェース (RIIC)	1チャンネル				1チャンネル			
	シリアルペリフェラル インタフェース (RSPI)	1チャンネル				1チャンネル			
	CAN FDモジュール (CANFD)	なし				1チャンネル			
	USB2.0FSホスト/ファン クションモジュール	なし				1チャンネル			
	REMCモジュール	1チャンネル				1チャンネル			
静電容量式タッチセンサ	36チャンネル		32チャ ネル	24チャ ネル	34チャンネル		30チャ ネル	22チャ ネル	
12ビットA/Dコンバータ	25チャ ネル	18チャ ネル	15チャ ネル	11チャ ネル	25チャ ネル	18チャ ネル	15チャ ネル	11チャ ネル	
温度センサ	あり				あり				
D/Aコンバータ	2チャンネル			なし	2チャンネル			なし	
CRC演算器 (CRC)	あり				あり				
イベントリンクコントローラ (ELC)	あり				あり				
コンパレータB	2チャンネル				2チャンネル				
Renesas Secure IP (RSIP-E11A)	なし				あり/なし				
パッケージ	100ピン LFQFP	80ピン LFQFP	64ピン LFQFP	48ピン LFQFP 48ピン HWQFN	100ピン LFQFP	80ピン LFQFP	64ピン LFQFP	48ピン LFQFP 48ピン HWQFN	

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数	暗号	CANFD	USB	動作周囲温度
RX261 (Dバージョン)	R5F52618ADFP	PLQP0100KB-B	512Kバイト	128Kバイト	8Kバイト	64MHz	なし	あり(注1)	あり	-40~+85°C
	R5F52618BDFP	PLQP0100KB-B					あり	あり	あり	
	R5F52618ADFN	PLQP0080KB-B					なし	あり(注1)	あり	
	R5F52618BDFN	PLQP0080KB-B					あり	あり	あり	
	R5F52618ADFM	PLQP0064KB-C					なし	あり(注1)	あり	
	R5F52618BDFM	PLQP0064KB-C					あり	あり	あり	
	R5F52618ADFL	PLQP0048KB-B					なし	あり(注1)	あり	
	R5F52618BDFL	PLQP0048KB-B					あり	あり	あり	
	R5F52618ADNE	PWQN0048KC-A					なし	あり(注1)	あり	
	R5F52618BDNE	PWQN0048KC-A					あり	あり	あり	
	R5F52617ADFP	PLQP0100KB-B	384Kバイト				なし	あり(注1)	あり	
	R5F52617BDFP	PLQP0100KB-B					あり	あり	あり	
	R5F52617ADFN	PLQP0080KB-B					なし	あり(注1)	あり	
	R5F52617BDFN	PLQP0080KB-B					あり	あり	あり	
	R5F52617ADFM	PLQP0064KB-C					なし	あり(注1)	あり	
	R5F52617BDFM	PLQP0064KB-C					あり	あり	あり	
	R5F52617ADFL	PLQP0048KB-B					なし	あり(注1)	あり	
	R5F52617BDFL	PLQP0048KB-B					あり	あり	あり	
	R5F52617ADNE	PWQN0048KC-A					なし	あり(注1)	あり	
	R5F52617BDNE	PWQN0048KC-A					あり	あり	あり	
	R5F52616ADFP	PLQP0100KB-B	256Kバイト				なし	あり(注1)	あり	
	R5F52616BDFP	PLQP0100KB-B					あり	あり	あり	
	R5F52616ADFN	PLQP0080KB-B					なし	あり(注1)	あり	
	R5F52616BDFN	PLQP0080KB-B					あり	あり	あり	
	R5F52616ADFM	PLQP0064KB-C					なし	あり(注1)	あり	
	R5F52616BDFM	PLQP0064KB-C					あり	あり	あり	
	R5F52616ADFL	PLQP0048KB-B					なし	あり(注1)	あり	
	R5F52616BDFL	PLQP0048KB-B					あり	あり	あり	
R5F52616ADNE	PWQN0048KC-A	なし		あり(注1)	あり					
R5F52616BDNE	PWQN0048KC-A	あり		あり	あり					
RX261 (Gバージョン)	R5F52618AGFP	PLQP0100KB-B	512Kバイト	128Kバイト	8Kバイト	64MHz	なし	あり(注1)	あり	-40~+105°C
	R5F52618BGFP	PLQP0100KB-B					あり	あり	あり	
	R5F52618AGFN	PLQP0080KB-B					なし	あり(注1)	あり	
	R5F52618BGFN	PLQP0080KB-B					あり	あり	あり	
	R5F52618AGFM	PLQP0064KB-C					なし	あり(注1)	あり	
	R5F52618BGFM	PLQP0064KB-C					あり	あり	あり	
	R5F52618AGFL	PLQP0048KB-B					なし	あり(注1)	あり	
	R5F52618BGFL	PLQP0048KB-B					あり	あり	あり	
	R5F52618AGNE	PWQN0048KC-A					なし	あり(注1)	あり	
	R5F52618BGNE	PWQN0048KC-A					あり	あり	あり	

表 1.3 製品一覧表 (2 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データ フラッシュ	動作周波数	暗号	CANFD	USB	動作周囲温度						
RX261 (Gバージョン)	R5F52617AGFP	PLQP0100KB-B	384Kバイト	128Kバイト	8Kバイト	64MHz	なし	あり(注1)	あり	-40~+105°C						
	R5F52617BGFP	PLQP0100KB-B					あり	あり	あり							
	R5F52617AGFN	PLQP0080KB-B					なし	あり(注1)	あり							
	R5F52617BGFN	PLQP0080KB-B					あり	あり	あり							
	R5F52617AGFM	PLQP0064KB-C					なし	あり(注1)	あり							
	R5F52617BGFM	PLQP0064KB-C					あり	あり	あり							
	R5F52617AGFL	PLQP0048KB-B					なし	あり(注1)	あり							
	R5F52617BGFL	PLQP0048KB-B					あり	あり	あり							
	R5F52617AGNE	PWQN0048KC-A					なし	あり(注1)	あり							
	R5F52617BGNE	PWQN0048KC-A					あり	あり	あり							
	R5F52616AGFP	PLQP0100KB-B	256Kバイト	128Kバイト	8Kバイト	64MHz	なし	あり(注1)	あり							
	R5F52616BGFP	PLQP0100KB-B					あり	あり	あり							
	R5F52616AGFN	PLQP0080KB-B					なし	あり(注1)	あり							
	R5F52616BGFN	PLQP0080KB-B					あり	あり	あり							
	R5F52616AGFM	PLQP0064KB-C					なし	あり(注1)	あり							
	R5F52616BGFM	PLQP0064KB-C					あり	あり	あり							
	R5F52616AGFL	PLQP0048KB-B					なし	あり(注1)	あり							
	R5F52616BGFL	PLQP0048KB-B					あり	あり	あり							
	R5F52616AGNE	PWQN0048KC-A					なし	あり(注1)	あり							
	R5F52616BGNE	PWQN0048KC-A					あり	あり	あり							
RX260 (Dバージョン)	R5F52608ADFP	PLQP0100KB-B	512Kバイト	128Kバイト	8Kバイト	64MHz	なし	なし	なし	-40~+85°C						
	R5F52608ADFN	PLQP0080KB-B					なし	なし	なし							
	R5F52608ADFM	PLQP0064KB-C					なし	なし	なし							
	R5F52608ADFL	PLQP0048KB-B					なし	なし	なし							
	R5F52608ADNE	PWQN0048KC-A					なし	なし	なし							
	R5F52607ADFP	PLQP0100KB-B	384Kバイト				128Kバイト	8Kバイト	64MHz		なし	なし	なし			
	R5F52607ADFN	PLQP0080KB-B									なし	なし	なし			
	R5F52607ADFM	PLQP0064KB-C									なし	なし	なし			
	R5F52607ADFL	PLQP0048KB-B									なし	なし	なし			
	R5F52607ADNE	PWQN0048KC-A									なし	なし	なし			
	R5F52606ADFP	PLQP0100KB-B	256Kバイト								128Kバイト	8Kバイト	64MHz	なし	なし	なし
	R5F52606ADFN	PLQP0080KB-B												なし	なし	なし
	R5F52606ADFM	PLQP0064KB-C												なし	なし	なし
	R5F52606ADFL	PLQP0048KB-B												なし	なし	なし
	R5F52606ADNE	PWQN0048KC-A												なし	なし	なし

表 1.3 製品一覧表 (3 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データ フラッシュ	動作周波数	暗号	CANFD	USB	動作周囲温度
RX260 (Gバージョン)	R5F52608AGFP	PLQP0100KB-B	512Kバイト	128Kバイト	8Kバイト	64MHz	なし	なし	なし	-40~+105°C
	R5F52608AGFN	PLQP0080KB-B					なし	なし	なし	
	R5F52608AGFM	PLQP0064KB-C					なし	なし	なし	
	R5F52608AGFL	PLQP0048KB-B					なし	なし	なし	
	R5F52608AGNE	PWQN0048KC-A					なし	なし	なし	
	R5F52607AGFP	PLQP0100KB-B	384Kバイト				なし	なし	なし	
	R5F52607AGFN	PLQP0080KB-B					なし	なし	なし	
	R5F52607AGFM	PLQP0064KB-C					なし	なし	なし	
	R5F52607AGFL	PLQP0048KB-B					なし	なし	なし	
	R5F52607AGNE	PWQN0048KC-A					なし	なし	なし	
	R5F52606AGFP	PLQP0100KB-B	256Kバイト				なし	なし	なし	
	R5F52606AGFN	PLQP0080KB-B					なし	なし	なし	
	R5F52606AGFM	PLQP0064KB-C					なし	なし	なし	
	R5F52606AGFL	PLQP0048KB-B					なし	なし	なし	
	R5F52606AGNE	PWQN0048KC-A					なし	なし	なし	

注1. CAN 2.0 プロトコルのみ対応

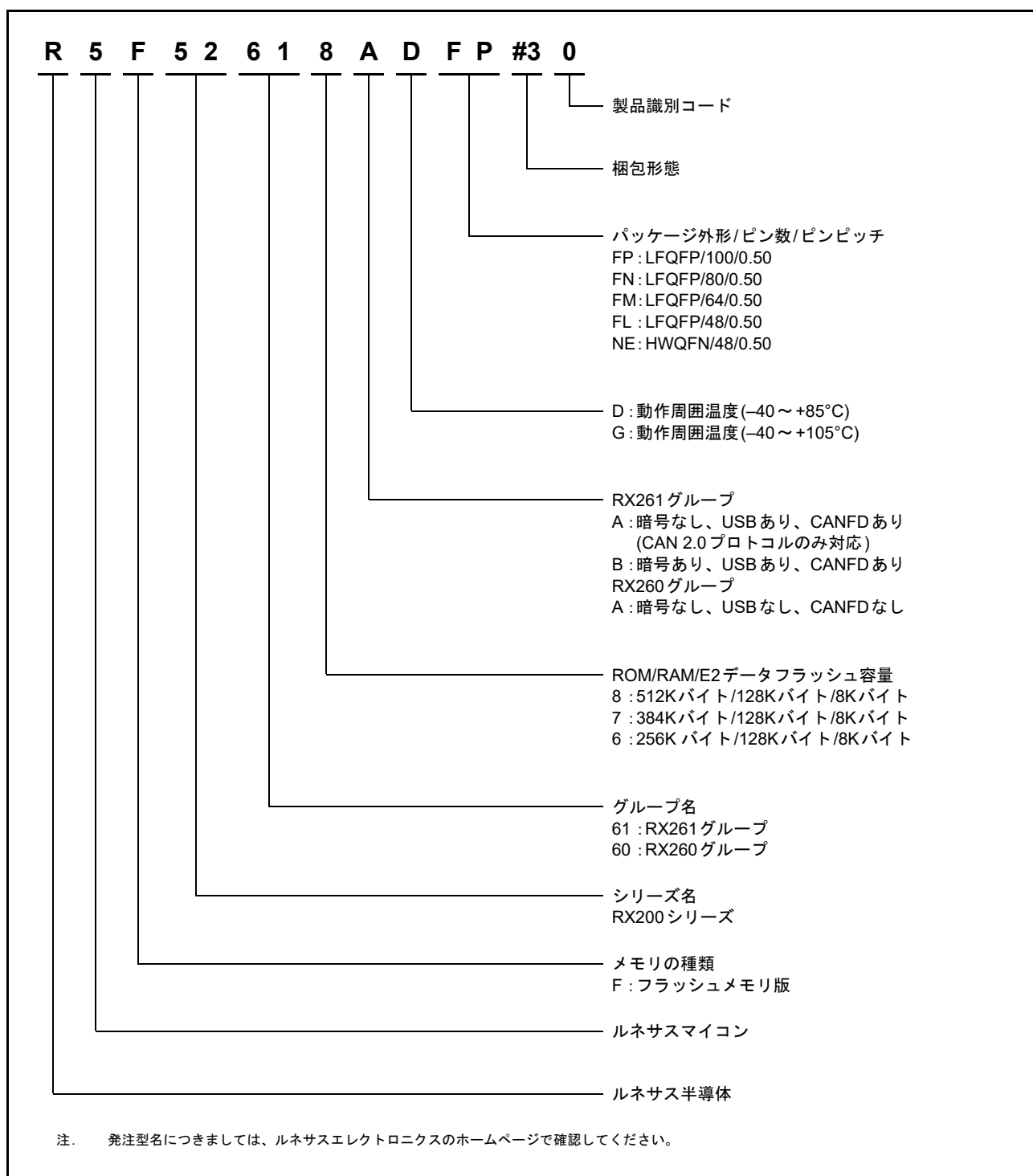


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

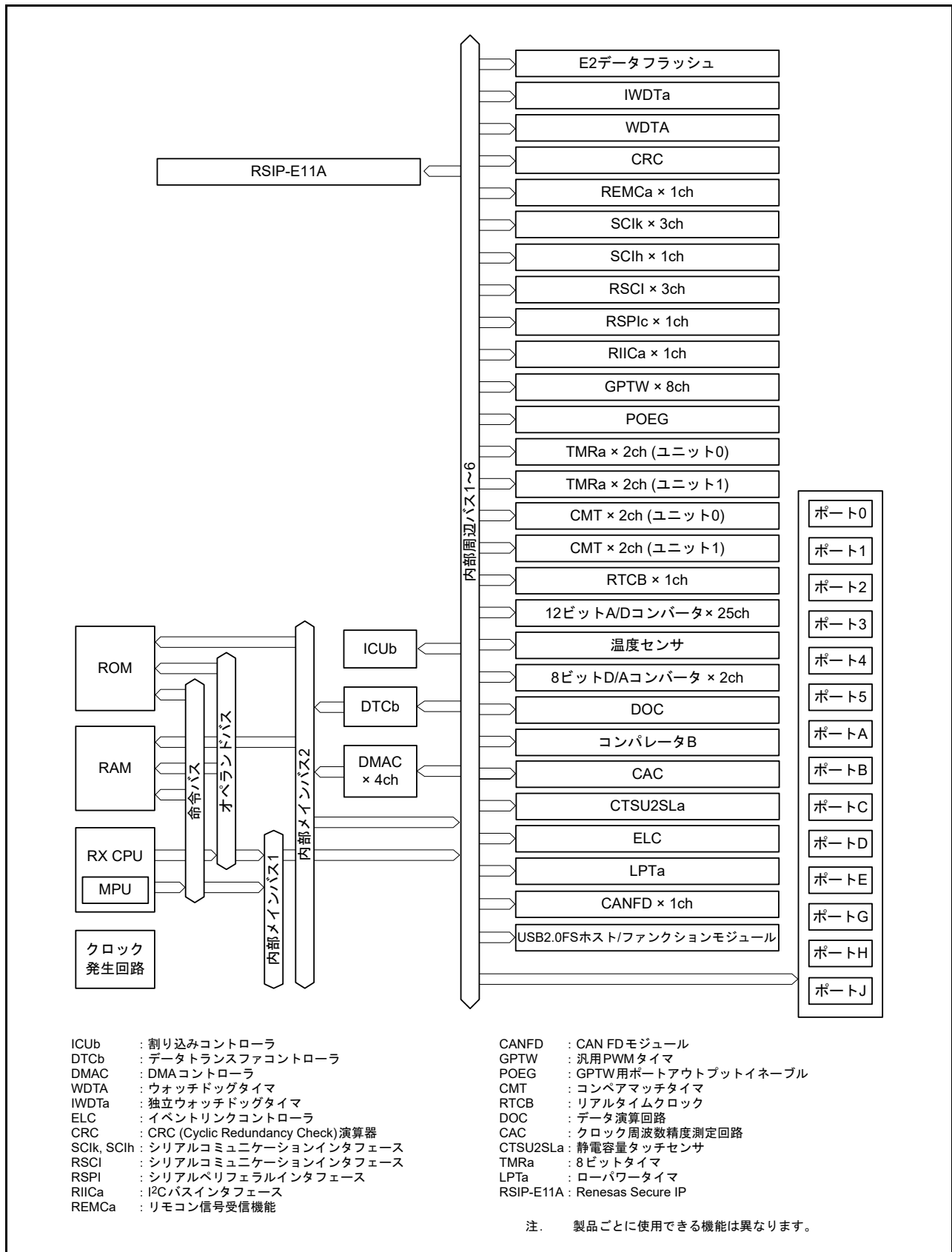


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 4)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。
	VCL	入力	内部電源安定用の平滑コンデンサ(4.7μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グラウンド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶発振子を接続してください
	XCOUT	出力	
	EXCIN	入力	サブクロック用の外部クロック入力端子
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
	UB	入力	ブートモード(USBインタフェース)で使用する端子
	UPSEL	入力	ブートモード(USBインタフェース)で使用する端子
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
電圧検出回路	CMPA2	入力	電圧検出2用検出対象電圧端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0~IRQ7	入力	割り込み要求端子
汎用PWMタイマ	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOC0A~GTIOC7A, GTIOC0B~GTIOC7B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A#~GTIOC7A#, GTIOC0B#~GTIOC7B#	入出力	インプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTCPP00	出力	PWM周期同期出力
	GTIU, GTIV, GTIW	入力	ホール素子入力端子
	GTOUUP	出力	BLDCモータ制御3相PWM出力(正相U相)
	GTOULO	出力	BLDCモータ制御3相PWM出力(逆相U相)
	GTOVUP	出力	BLDCモータ制御3相PWM出力(正相V相)
	GTOVLO	出力	BLDCモータ制御3相PWM出力(逆相V相)
	GTOWUP	出力	BLDCモータ制御3相PWM出力(正相W相)
	GTOWLO	出力	BLDCモータ制御3相PWM出力(逆相W相)
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMCI0~TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI3	入力	カウンタリセット入力端子
ローパワータイマ	LPTO	出力	PWMの出力端子

表 1.4 端子機能一覧 (2 / 4)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIk)	・ 調歩同期式モード/クロック同期式モード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	RXD1, RXD5, RXD6	入力	受信データ入力端子
	TXD1, TXD5, TXD6	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#	入力	送受信開始制御入力端子
	RTS1#, RTS5#, RTS6#	出力	送受信開始制御出力端子
	・ 簡易I ² Cモード		
	SSCL1, SSCL5, SSCL6	入出力	I ² Cクロック入出力端子
	SSDA1, SSDA5, SSDA6	入出力	I ² Cデータ入出力端子
	・ 簡易SPIモード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース (SCIh)	・ 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御入力端子
	RTS12#	出力	送受信開始制御出力端子
	・ 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	・ 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	・ 拡張シリアルモード		
	RDX12	入力	受信データ入力端子
	TXDX12	出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子

表 1.4 端子機能一覧 (3 / 4)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (RSCI)	・ 調歩同期式モード/クロック同期式モード		
	SCK000, SCK008, SCK009	入出力	クロック入出力端子
	RXD000, RXD008, RXD009	入力	受信データ入力端子
	TXD000, TXD008, TXD009	出力	送信データ出力端子
	CTS000#, CTS008#, CTS009#	入力	送受信開始制御用入力端子
	RTS000#, RTS008#, RTS009#	出力	送受信開始制御用出力端子
	DE000, DE008, DE009	出力	DriveEnable出力端子
	・ 簡易I ² Cモード		
	SSCL000, SSCL008, SSCL009	入出力	I ² Cクロック入出力端子
	SSDA000, SSDA008, SSDA009	入出力	I ² Cデータ入出力端子
	・ 簡易SPIモード		
	SCK000, SCK008, SCK009	入出力	クロック入出力端子
	SMISO000, SMISO008, SMISO009	入出力	スレーブ送出データ入出力端子
	SMOSI000, SMOSI008, SMOSI009	入出力	マスタ送出データ入出力端子
	SS000#, SS008#, SS009#	入力	チップセレクト入力端子
	・ HBSサポートモード		
	RXD000, RXD008, RXD009	入力	受信データ入力端子
TXDA000, TXDA008, TXDA009	出力	送信データ出力端子	
TXDB000, TXDB008, TXDB009	出力	送信データ出力端子	
リモコン信号受信機能 (REMC)	PMC0	入力	外部パルス信号入力端子
I ² Cバスインタフェース	SCL0	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
USB2.0FSホスト/ファン クションモジュール	USB0_DP	入出力	USB内蔵トランシーバD+入出力端子
	USB0_DM	入出力	USB内蔵トランシーバD-入出力端子
	USB0_VBUS	入力	USBケーブル接続モニタ端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS (5V)の供給許可信号
	USB0_OVRCURA, USB0_OVRCURB	入力	外部オーバカレント検出端子
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
CAN FDモジュール	CRX0	入力	データ受信用端子
	CTX0	出力	データ送信用端子
12ビットA/Dコンバータ	AN000~AN007, AN016~AN031	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
8ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子

表 1.4 端子機能一覧 (4 / 4)

分類	端子名	入出力	機能
コンパレータB	CMPB0, CMPB1	入力	コンパレータB用のアナログ端子
	CVREFB0, CVREFB1	入力	コンパレータB用のリファレンス電圧端子
	CMPOB0, CMPOB1	出力	コンパレータB用出力端子
CTSU	TS0 ~ TS35	入出力	静電容量計測端子(タッチ端子)
	TSCAP	—	内部電源安定用の平滑コンデンサ(0.01 μ F)を介してVSSに接続してください。コンデンサは端子近くに配置してください
アナログ電源	AVCC0	入力	12ビットA/DコンバータとD/Aコンバータのアナログ電源端子。12ビットA/DコンバータとD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/DコンバータとD/Aコンバータのアナロググランド端子。12ビットA/DコンバータとD/Aコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
I/Oポート	P03 ~ P07	入出力	5ビット汎用入出力端子
	P12 ~ P17	入出力	6ビット汎用入出力端子
	P20 ~ P27	入出力	8ビット汎用入出力端子
	P30 ~ P37	入出力	8ビット汎用入出力端子(P35は入力端子)
	P40 ~ P47	入出力	8ビット汎用入出力端子
	P50 ~ P55	入出力	6ビット汎用入出力端子
	PA0 ~ PA7	入出力	8ビット汎用入出力端子
	PB0 ~ PB7	入出力	8ビット汎用入出力端子
	PC0 ~ PC7	入出力	8ビット汎用入出力端子
	PD0 ~ PD7	入出力	8ビット汎用入出力端子
	PE0 ~ PE7	入出力	8ビット汎用入出力端子
	PG7	入出力	1ビット汎用入出力端子
	PH0 ~ PH3, PH6, PH7	入出力	6ビット汎用入出力端子(PH6、PH7は入力端子)
	PJ1, PJ3, PJ6, PJ7	入出力	4ビット汎用入出力端子

1.5 ピン配置図

1.5.1 100ピン LQFP

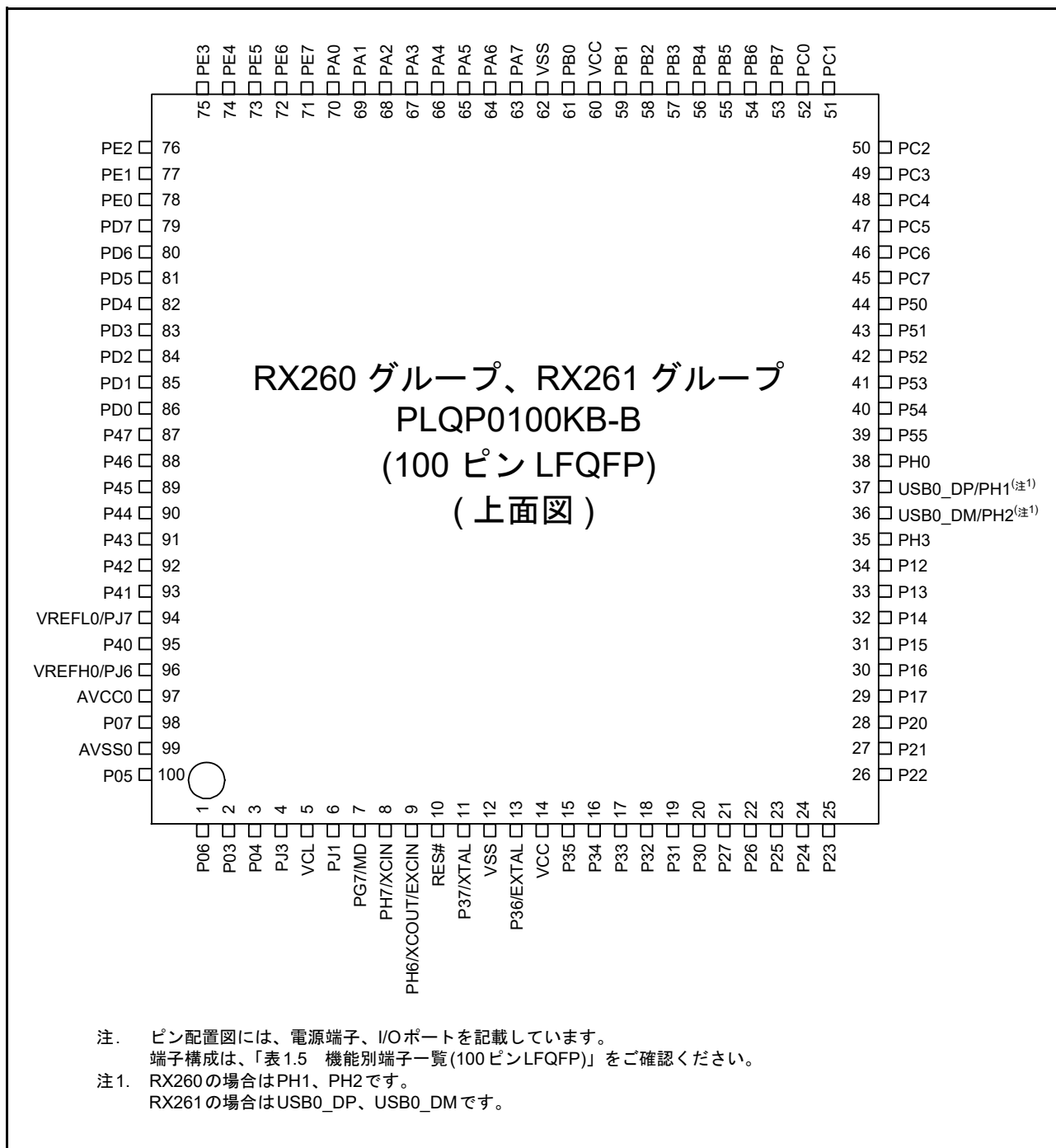


図 1.3 100ピン (LQFP) ピン配置図

1.5.2 80ピンLFQFP

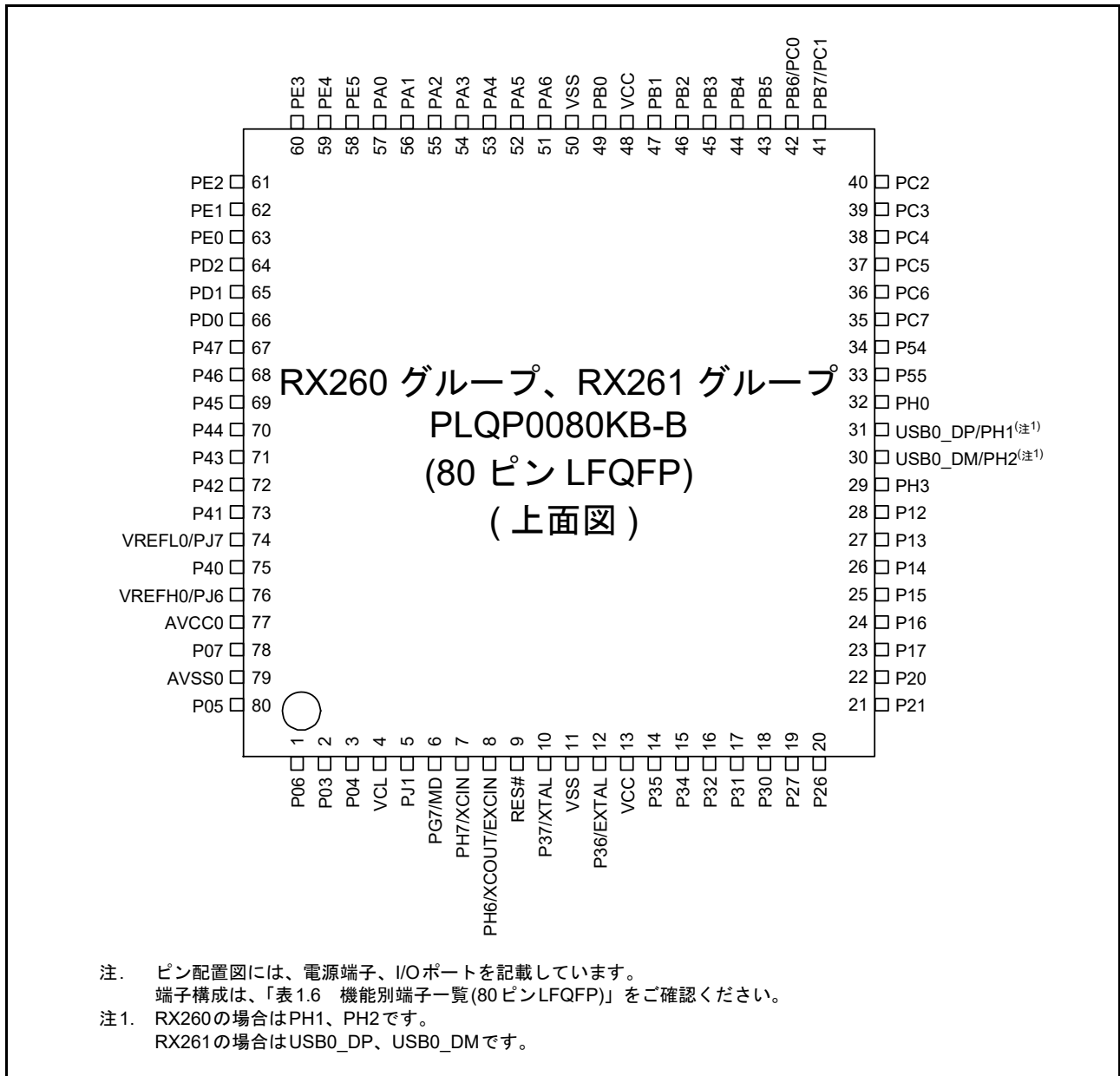


図 1.4 80ピン(LFQFP)ピン配置図

1.5.3 64ピンLFQFP

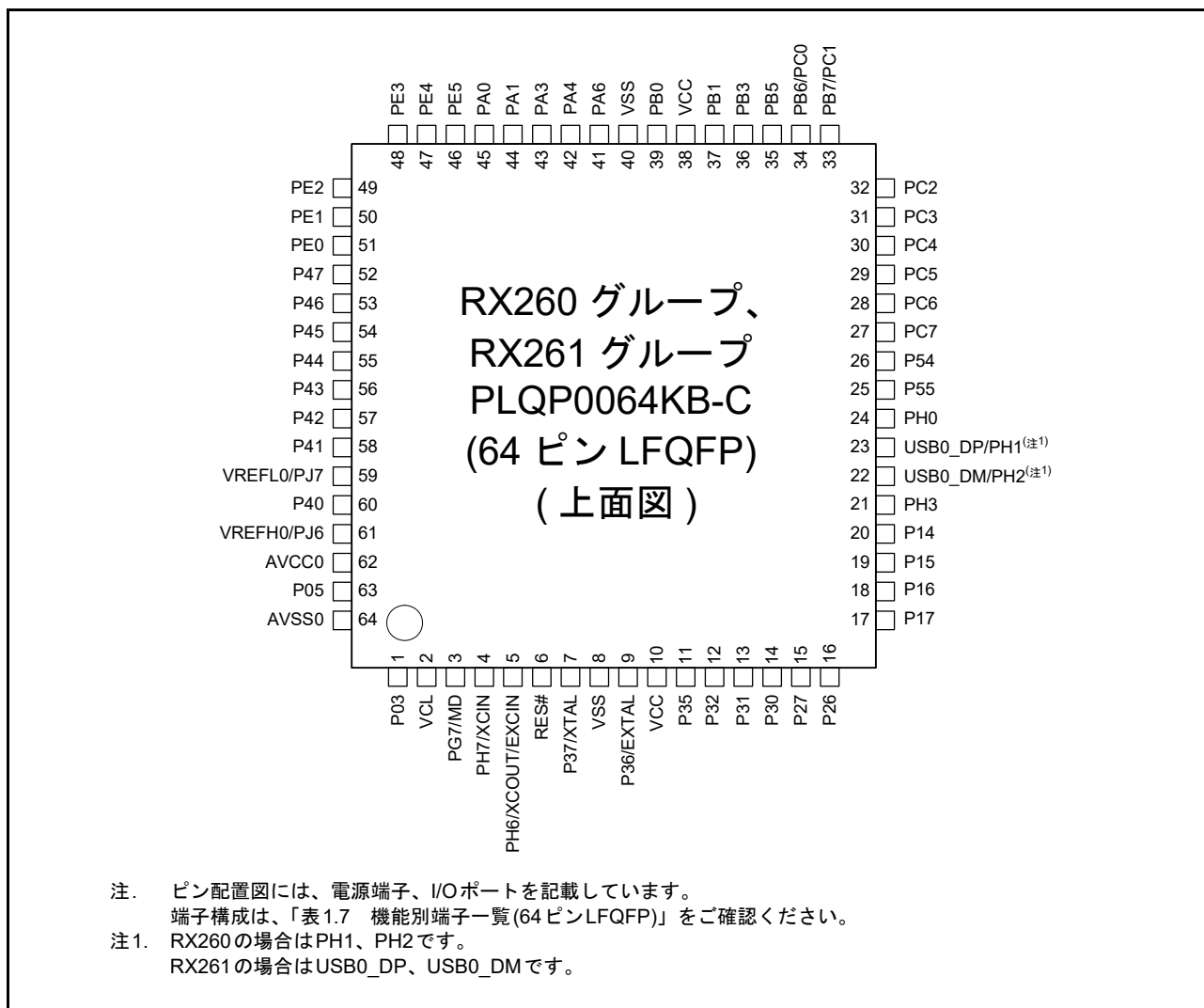


図 1.5 64ピン(LFQFP)ピン配置図

1.5.4 48ピンLFQFP、48ピンHWQFN

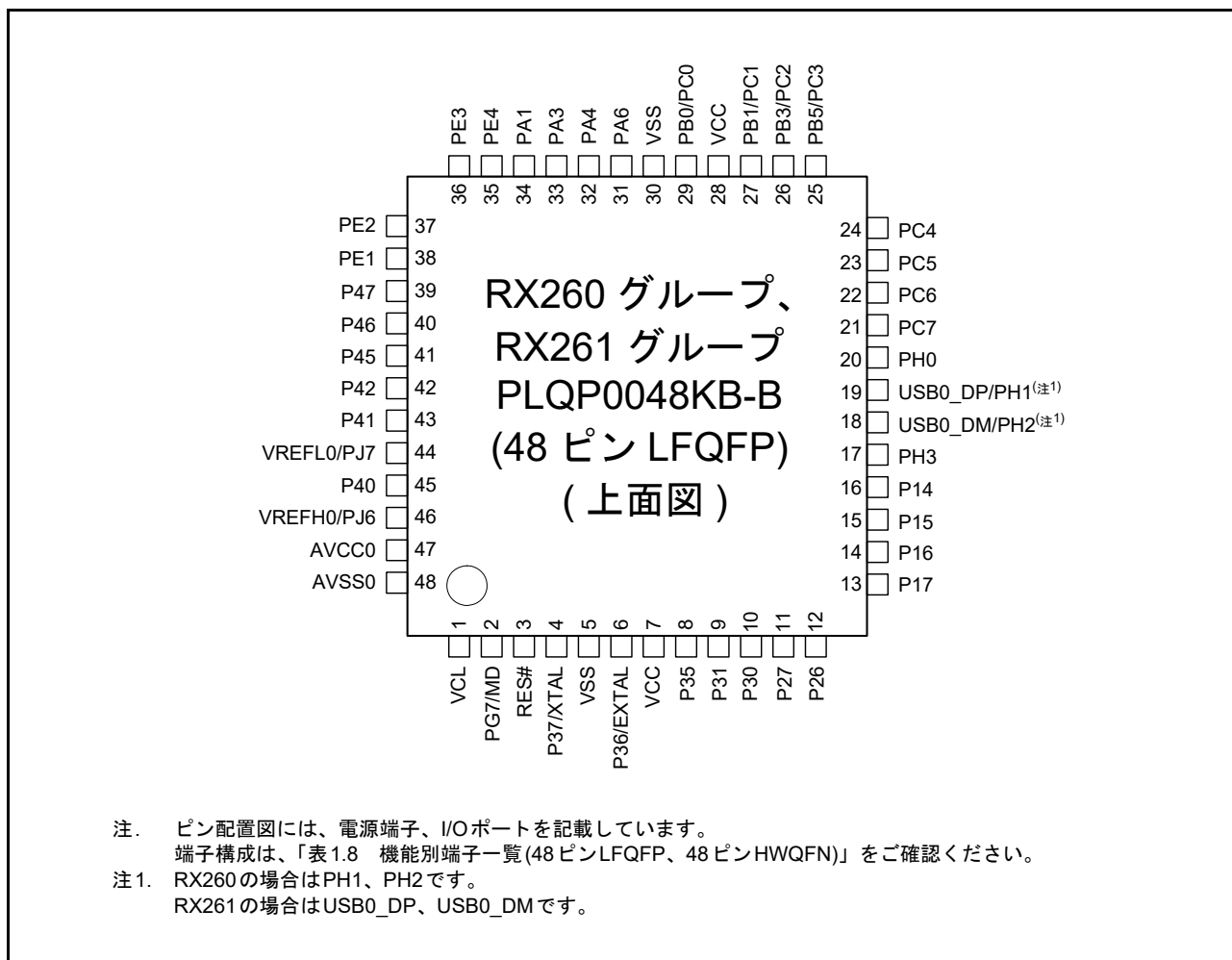


図 1.6 48ピン(LFQFP)ピン配置図

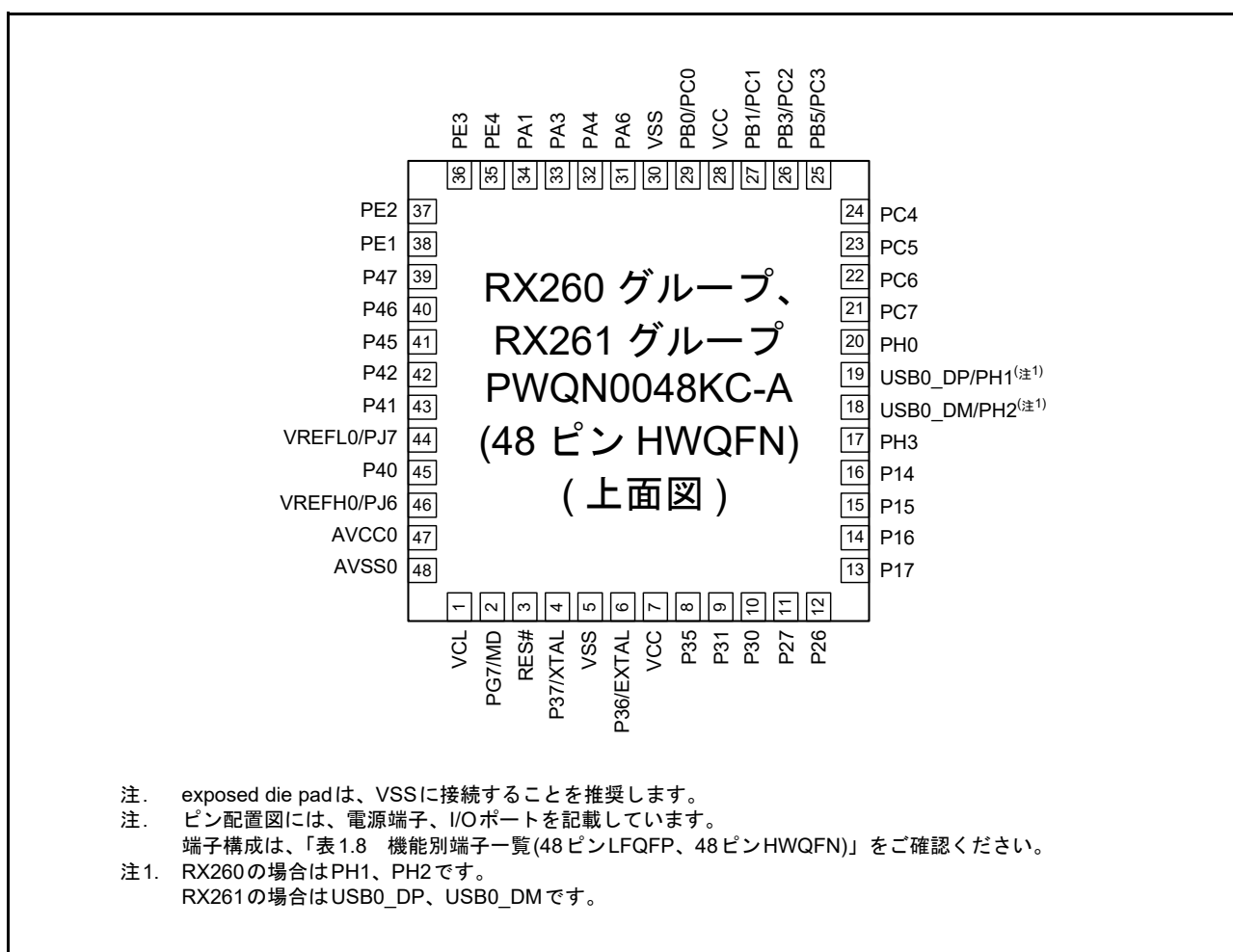


図 1.7 48ピン(HWQFN)ピン配置図

1.6 機能別端子一覧

1.6.1 100ピンLFQFP

表 1.5 機能別端子一覧(100ピンLFQFP) (1 / 5)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
1		P06 (注1)					
2		P03 (注1)					DA0
3		P04 (注1)					
4		PJ3	GTIOC6B/GTIOC6B#	CTS6#/RTS6#/SS6#			
5	VCL						
6		PJ1	GTIOC6A/GTIOC6A#/ GTCPP00				
7	MD/FINED	PG7					
8	XCIN	PH7					
9	XCOUT/ EXCIN	PH6					
10	RES#						
11	XTAL	P37				IRQ4	
12	VSS						
13	EXTAL	P36				IRQ2	
14	VCC						
15	UPSEL	P35				NMI	
16		P34	GTIOC3A/GTIOC3A#/ GTIU/TMCI3	SCK6		IRQ4	
17		P33	GTIOC1B/GTIOC7B/ GTIOC1B#/GTIOC7B#/ TMRI3	RXD6/SMISO6/SSCL6/ CRX0 (注2)		IRQ3	
18		P32	GTIOC1A/GTIOC7A/ GTIOC1A#/GTIOC7A#/ GTIW/TMO3/RTCOUT/ RTCIC2	TXD6/SMOSI6/SSDA6/ CTX0 (注2)/ USB0_VBUSEN (注2)	TS0	IRQ2	
19		P31	GTIOC2B/GTIOC2B#/ GTOWLO/TMCI2/ RTCIC1	CTS1#/RTS1#/SS1#	TS1	IRQ1	
20		P30	GTIOC2A/GTIOC2A#/ GTOWUP/TMRI3/ RTCIC0	RXD1/SMISO1/SSCL1	TS2	IRQ0	
21		P27	GTIOC5B/GTIOC5B#/ TMCI3	SCK1	TS3		
22		P26	GTIOC5A/GTIOC5A#/ TMO1/LPTO	TXD1/SMOSI1/SSDA1/ USB0_VBUSEN (注2)	TS4		
23		P25	GTIOC1B/GTIOC6A/ GTIOC1B#/GTIOC6A#/ GTETRGB				ADTRG0#
24		P24	GTIOC1A/GTIOC6B/ GTIOC1A#/GTIOC6B#/ GTETRGA/TMRI1	USB0_VBUSEN (注2)			
25		P23	GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTETRGD	CTS000#/RTS000#/ SS000#/DE000			

表 1.5 機能別端子一覧(100ピンLFQFP) (2 / 5)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
26		P22	GTIOC0A/GTIOC3A/ GTIOC0A#/GTIOC3A#/ GTETRGC/TMO0	SCK000/TXDB000/ USB0_OVRCURB (注2)			
27		P21	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ TMCI0	RXD000/SMISO000/ SSCL000/ USB0_EXICEN (注2)			
28		P20	GTIOC2B/GTIOC4A/ GTIOC2B#/GTIOC4A#/ TMR10	TXD000/TXDA000/ SMOSI000/SSDA000/ USB0_ID (注2)			
29		P17	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC6A/GTIOC6A#/ GTETRGD/GTCPPO0/ GTOUUP/TMO1	SCK1/MISOA/SDA0		IRQ7	
30		P16	GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTIOC6B/GTIOC6B#/ GTETRGC/GTOULO/ TMO2/RTCOU	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0/ USB0_VBUS (注2)/ USB0_VBUSEN (注2)/ USB0_OVRCURB (注2)		IRQ6	ADTRG0#
31		P15	GTIOC3B/GTIOC5B/ GTIOC3B#/GTIOC5B#/ GTETRGB/GTIV/TMCI2	RXD1/SMISO1/SSCL1/ CRX0 (注2)	TS5	IRQ5	
32		P14	GTIOC6A/GTIOC7B/ GTIOC6A#/GTIOC7B#/ GTETRGA/GTCPPO0/ TMR12	CTS1#/RTS1#/SS1#/ CTX0 (注2)/ USB0_OVRCURA (注2)	TS6	IRQ4	
33		P13	GTIOC3B/GTIOC7A/ GTIOC3B#/GTIOC7A#/ GTIV/TMO3	SDA0		IRQ3	
34		P12	TMCI1	SCL0		IRQ2	
35		PH3	GTIOC2B/GTIOC2B#/ TMCI0		TS7		
36		PH2 (注3)	GTIOC1B (注3)/ GTIOC1B# (注3)/ TMR10 (注3)	USB0_DM (注2)	TS8 (注3)	IRQ1 (注3)	
37		PH1 (注3)	GTIOC0B (注3)/ GTIOC0B# (注3)/ GTOULO (注3)/ TMO0 (注3)	USB0_DP (注2)	TS9 (注3)	IRQ0 (注3)	
38		PH0	GTIOC0A/GTIOC0A#/ GTOUUP/CACREF		TS10		
39		P55	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ TMO3	CRX0 (注2)	TS11		
40		P54	GTIOC2A/GTIOC2A#/ TMCI1	CTX0 (注2)	TS12		
41		P53		PMC0			
42		P52					
43		P51		PMC0			
44		P50					
45	UB	PC7	GTIOC6A/GTIOC6A#/ GTETRGB/GTCPPO0/ TMO2/LPTO/CACREF	TXD008/TXDA008/ SMOSI008/SSDA008/ MISOA	TS13		

表 1.5 機能別端子一覧(100ピンLFQFP)(3 / 5)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
46		PC6	GTIOC6B/GTIOC6B#/ GTETRGA/TMCI2	RXD008/SMISO008/ SSCL008/MOSIA/ USB0_EXICEN (注2)	TS14		
47		PC5	GTIOC0A/GTIOC7A/ GTIOC0A#/GTIOC7A#/ GTETRGD/GTOUUP/ GTIW/TMRI2	SCK008/TXDB008/ RSPCKA/USB0_ID (注2)/ PMC0	TS15		
48		PC4	GTIOC0B/GTIOC3A/ GTIOC0B#/GTIOC3A#/ GTETRGC/GTIU/ GTOULO/TMCI1	SCK5/CTS008#/ RTS008#/SS008#/ DE008/SSLA0/PMC0	TSCAP		
49		PC3	GTIOC2B/GTIOC2B#/ GTETRGB	TXD5/SMOSI5/SSDA5/ PMC0	TS16		
50		PC2	GTIOC2A/GTIOC2A#/ GTETRGA/GTOWUP	RXD5/SMISO5/SSCL5/ SSLA3	TS17		
51		PC1	GTIOC6A/GTIOC6A#/ GTETRGD/GTCPPO0	SCK5/SSLA2			
52		PC0	GTIOC6B/GTIOC6B#/ GTETRGC	CTS5#/RTS5#/SS5#/ SSLA1			
53		PB7	GTIOC0A/GTIOC7B/ GTIOC0A#/GTIOC7B#	TXD009/TXDA009/ SMOSI009/SSDA009	TS18		
54		PB6	GTIOC0B/GTIOC7A/ GTIOC0B#/GTIOC7A#	RXD009/SMISO009/ SSCL009	TS19		
55		PB5	GTIOC4B/GTIOC5A/ GTIOC4B#/GTIOC5A#/ GTIOC6B/GTIOC6B#/ TMRI1	SCK009/TXDB009/ USB0_VBUS (注2)	TS20		
56		PB4	GTIOC6A/GTIOC6A#	CTS009#/RTS009#/ SS009#/DE009	TS21		
57		PB3	GTIOC1A/GTIOC3A/ GTIOC1A#/GTIOC3A#/ GTIOC3B/GTIOC3B#/ GTETRGD/GTIU/ GTOVUP/TMO0/LPTO	SCK6/PMC0	TS22		
58		PB2	GTIOC3A/GTIOC3A#/ GTETRGC	CTS6#/RTS6#/SS6#	TS23		
59		PB1	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7A/GTIOC7A#/ GTOVLO/GTIW/ GTOWLO/TMCI0	TXD6/SMOSI6/SSDA6	TS24	IRQ4	CMPOB1
60	VCC						
61		PB0	GTIOC0B/GTIOC2A/ GTIOC0B#/GTIOC2A#/ GTOWUP	RXD6/SMISO6/SSCL6/ RSPCKA	TS25		
62	VSS						
63		PA7	GTIOC5B/GTIOC5B#	MISOA			
64		PA6	GTIOC0B/GTIOC5A/ GTIOC0B#/GTIOC5A#/ GTETRGB/GTOULO/ TMCI3	CTS5#/RTS5#/SS5#/ MOSIA	TS26		
65		PA5	GTIOC4B/GTIOC4B#	RSPCKA	TS27		

表 1.5 機能別端子一覧(100ピンLFQFP) (4 / 5)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
66		PA4	GTIOC1B/GTIOC4A/ GTIOC1B#/GTIOC4A#/ GTETRGA/GTOVLO/ TMRIO	TXD5/SMOSI5/SSDA5/ SSLA0	TS28	IRQ5	CVREFB1
67		PA3	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7B/GTIOC7B#/ GTETRGA/GTETRGD/ GTOVLO/GTOWLO	RXD5/SMISO5/SSCL5	TS29	IRQ6	CMPB1
68		PA2		RXD5/SMISO5/SSCL5/ SSLA3	TS30		
69		PA1	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC3B/GTIOC3B#/ GTETRGC/GTIV/ GTOUUP	SCK5/SSLA2	TS31		
70		PA0	GTIOC0A/GTIOC1A/ GTIOC0A#/GTIOC1A#/ GTOVUP/CACREF	SSLA1	TS32		
71		PE7				IRQ7	AN023
72		PE6				IRQ6	AN022
73		PE5	GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#			IRQ5	AN021/ CMPOB0
74	CLKOUT	PE4	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ GTIOC4A/GTIOC4A#/ GTOVUP/GTOWLO		TS33		AN020/ CMPA2
75	CLKOUT	PE3	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ GTOWUP	CTS12#/RTS12#/SS12#	TS34		AN019
76		PE2	GTIOC1A/GTIOC1A#/ GTOVUP	RXD12/SMISO12/ SSCL12/RXDX12	TS35	IRQ7	AN018/ CVREFB0
77		PE1	GTIOC1B/GTIOC1B#/ GTOVLO	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12			AN017/ CMPB0
78		PE0		SCK12			AN016
79		PD7				IRQ7	AN031
80		PD6				IRQ6	AN030
81		PD5				IRQ5	AN029
82		PD4				IRQ4	AN028
83		PD3				IRQ3	AN027
84		PD2	GTIOC2B/GTIOC2B#	SCK6/CRX0 (注2)		IRQ2	AN026
85		PD1	GTIOC2A/GTIOC2A#	RXD6/SMISO6/SSCL6/ CTX0 (注2)		IRQ1	AN025
86		PD0		TXD6/SMOSI6/SSDA6		IRQ0	AN024
87		P47 (注1)					AN007
88		P46 (注1)					AN006
89		P45 (注1)					AN005
90		P44 (注1)					AN004
91		P43 (注1)					AN003
92		P42 (注1)					AN002

表 1.5 機能別端子一覧(100ピンLFQFP)(5 / 5)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
93		P41(注1)					AN001
94	VREFL0	PJ7(注1)					
95		P40(注1)					AN000
96	VREFH0	PJ6(注1)					
97	AVCC0						
98		P07(注1)					ADTRG0#
99	AVSS0						
100		P05(注1)					DA1

注1. これら端子の入出力バッファの電源はAVCC0です。

注2. RX260にはありません。

注3. RX261にはありません。

1.6.2 80ピンLFQFP

表 1.6 機能別端子一覧(80ピンLFQFP) (1 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
1		P06 (注1)					
2		P03 (注1)					DA0
3		P04 (注1)					
4	VCL						
5		PJ1	GTIOC6A/GTIOC6A#/ GTCPP00				
6	MD/FINED	PG7					
7	XCIN	PH7					
8	XCOUT/ EXCIN	PH6					
9	RES#						
10	XTAL	P37				IRQ4	
11	VSS						
12	EXTAL	P36				IRQ2	
13	VCC						
14	UPSEL	P35				NMI	
15		P34	GTIOC3A/GTIOC3A#/ GTIU/TMCI3	SCK6		IRQ4	
16		P32	GTIOC1A/GTIOC7A/ GTIOC1A#/GTIOC7A#/ GTIW/TMO3/RTCOUT/ RTCIC2	TXD6/SMOSI6/SSDA6/ CTX0 (注2)/ USB0_VBUS (注2)	TS0	IRQ2	
17		P31	GTIOC2B/GTIOC2B#/ GTOWLO/TMCI2/ RTCIC1	CTS1#/RTS1#/SS1#	TS1	IRQ1	
18		P30	GTIOC2A/GTIOC2A#/ GTOWUP/TMRI3/ RTCIC0	RXD1/SMISO1/SSCL1	TS2	IRQ0	
19		P27	GTIOC5B/GTIOC5B#/ TMCI3	SCK1	TS3		
20		P26	GTIOC5A/GTIOC5A#/ TMO1/LPTO	TXD1/SMOSI1/SSDA1/ USB0_VBUS (注2)	TS4		
21		P21	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ TMCI0	RXD000/SMISO000/ SSCL000/ USB0_EXICEN (注2)			
22		P20	GTIOC2B/GTIOC4A/ GTIOC2B#/GTIOC4A#/ TMRI0	TXD000/SMOSI000/ SSDA000/USB0_ID (注2)			
23		P17	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC6A/GTIOC6A#/ GTETRGD/GTCPP00/ GTUUP/TMO1	SCK1/MISOA/SDA0		IRQ7	
24		P16	GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTIOC6B/GTIOC6B#/ GTETRGC/GTOWLO/ TMO2/RTCOUT	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0/ USB0_VBUS (注2)/ USB0_VBUS (注2)/ USB0_OVRCURB (注2)		IRQ6	ADTRG0#

表 1.6 機能別端子一覧(80ピンLQFP) (2 / 4)

ピン番号 80ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
25		P15	GTIOC3B/GTIOC5B/ GTIOC3B#/GTIOC5B#/ GTETRGA/GTIV/TMC12	RXD1/SMISO1/SSCL1/ CRX0 (注2)	TS5	IRQ5	
26		P14	GTIOC6A/GTIOC7B/ GTIOC6A#/GTIOC7B#/ GTETRGA/GTCPPO0/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0 (注2)/ USB0_OVRCURA (注2)	TS6	IRQ4	
27		P13	GTIOC3B/GTIOC7A/ GTIOC3B#/GTIOC7A#/ GTIV/TMO3	SDA0		IRQ3	
28		P12	TMCI1	SCL0		IRQ2	
29		PH3	GTIOC2B/GTIOC2B#/ TMC10		TS7		
30		PH2 (注3)	GTIOC1B (注3)/ GTIOC1B# (注3)/ TMRI0 (注3)	USB0_DM (注2)	TS8 (注3)	IRQ1 (注3)	
31		PH1 (注3)	GTIOC0B (注3)/ GTIOC0B# (注3)/ GTOULO (注3)/ TMO0 (注3)	USB0_DP (注2)	TS9 (注3)	IRQ0 (注3)	
32		PH0	GTIOC0A/GTIOC0A#/ GTOUUP/CACREF		TS10		
33		P55	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ TMO3	CRX0 (注2)	TS11		
34		P54	GTIOC2A/GTIOC2A#/ TMC11	CTX0 (注2)	TS12		
35	UB	PC7	GTIOC6A/GTIOC6A#/ GTETRGA/GTCPPO0/ TMO2/LPTO/CACREF	TXD008/TXDA008/ SMOSI008/SSDA008/ MISOA	TS13		
36		PC6	GTIOC6B/GTIOC6B#/ GTETRGA/TMC12	RXD008/SMISO008/ SSCL008/MOSIA/ USB0_EXICEN (注2)	TS14		
37		PC5	GTIOC0A/GTIOC7A/ GTIOC0A#/GTIOC7A#/ GTETRGA/GTOUUP/ GTIV/TMR12	SCK008/TXDB008/ RSPCKA/USB0_ID (注2)/ PMC0	TS15		
38		PC4	GTIOC0B/GTIOC3A/ GTIOC0B#/GTIOC3A#/ GTETRGA/GTIU/ GTOULO/TMC11	SCK5/CTS008#/ RTS008#/SS008#/ DE008/SSLA0/PMC0	TSCAP		
39		PC3	GTIOC2B/GTIOC2B#/ GTETRGA	TXD5/SMOSI5/SSDA5/ PMC0	TS16		
40		PC2	GTIOC2A/GTIOC2A#/ GTETRGA/GTOUUP	RXD5/SMISO5/SSCL5/ SSLA3	TS17		
41		PB7/PC1 (注4)	GTIOC0A/GTIOC7B/ GTIOC0A#/GTIOC7B#	TXD009/TXDA009/ SMOSI009/SSDA009	TS18		
42		PB6/PC0 (注4)	GTIOC0B/GTIOC7A/ GTIOC0B#/GTIOC7A#	RXD009/SMISO009/ SSCL009	TS19		
43		PB5	GTIOC4B/GTIOC5A/ GTIOC4B#/GTIOC5A#/ GTIOC6B/GTIOC6B#/ TMRI1	SCK009/TXDB009/ USB0_VBUS (注2)	TS20		
44		PB4	GTIOC6A/GTIOC6A#	CTS009#/RTS009#/ SS009#/DE009	TS21		

表 1.6 機能別端子一覧(80ピンLQFP) (3 / 4)

ピン番号 80ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
45		PB3	GTIOC1A/GTIOC3A/ GTIOC1A#/GTIOC3A#/ GTIOC3B/GTIOC3B#/ GTETRGD/GTIU/ GTOVUP/TMO0/LPTO	SCK6/PMC0	TS22		
46		PB2	GTIOC3A/GTIOC3A#/ GTETRGC	CTS6#/RTS6#/SS6#	TS23		
47		PB1	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7A/GTIOC7A#/ GTOVLO/GTIW/ GTOWLO/TMCI0	TXD6/SMOSI6/SSDA6	TS24	IRQ4	CMPOB1
48	VCC						
49		PB0	GTIOC0B/GTIOC2A/ GTIOC0B#/GTIOC2A#/ GTOWUP	RXD6/SMISO6/SSCL6/ RSPCKA	TS25		
50	VSS						
51		PA6	GTIOC0B/GTIOC5A/ GTIOC0B#/GTIOC5A#/ GTETRGB/GTOULO/ TMCI3	CTS5#/RTS5#/SS5#/ MOSIA	TS26		
52		PA5	GTIOC4B/GTIOC4B#	RSPCKA	TS27		
53		PA4	GTIOC1B/GTIOC4A/ GTIOC1B#/GTIOC4A#/ GTETRGA/GTOVLO/ TMRI0	TXD5/SMOSI5/SSDA5/ SSLA0	TS28	IRQ5	CVREFB1
54		PA3	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7B/GTIOC7B#/ GTETRGB/GTETRGD/ GTOVLO/GTOWLO	RXD5/SMISO5/SSCL5	TS29	IRQ6	CMPB1
55		PA2		RXD5/SMISO5/SSCL5/ SSLA3	TS30		
56		PA1	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC3B/GTIOC3B#/ GTETRGC/GTIV/ GTOUUP	SCK5/SSLA2	TS31		
57		PA0	GTIOC0A/GTIOC1A/ GTIOC0A#/GTIOC1A#/ GTOVUP/CACREF	SSLA1	TS32		
58		PE5	GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#			IRQ5	AN021/ CMPOB0
59	CLKOUT	PE4	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ GTIOC4A/GTIOC4A#/ GTOVUP/GTOWLO		TS33		AN020/ CMPA2
60	CLKOUT	PE3	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ GTOWUP	CTS12#/RTS12#/SS12#	TS34		AN019
61		PE2	GTIOC1A/GTIOC1A#/ GTOVUP	RXD12/SMISO12/ SSCL12/RXDX12	TS35	IRQ7	AN018/ CVREFB0
62		PE1	GTIOC1B/GTIOC1B#/ GTOVLO	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12			AN017/ CMPB0
63		PE0		SCK12			AN016

表 1.6 機能別端子一覧(80ピンLFQFP) (4 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
64		PD2	GTIOC2B/GTIOC2B#	SCK6/CRX0 (注2)		IRQ2	AN026
65		PD1	GTIOC2A/GTIOC2A#	RXD6/SMISO6/SSCL6/ CTX0 (注2)		IRQ1	AN025
66		PD0		TXD6/SMOSI6/SSDA6		IRQ0	AN024
67		P47 (注1)					AN007
68		P46 (注1)					AN006
69		P45 (注1)					AN005
70		P44 (注1)					AN004
71		P43 (注1)					AN003
72		P42 (注1)					AN002
73		P41 (注1)					AN001
74	VREFL0	PJ7 (注1)					
75		P40 (注1)					AN000
76	VREFH0	PJ6 (注1)					
77	AVCC0						
78		P07 (注1)					ADTRG0#
79	AVSS0						
80		P05 (注1)					DA1

注1. これら端子の入出力バッファの電源はAVCC0です。

注2. RX260にはありません。

注3. RX261にはありません。

注4. PC0、PC1は、ポート切り替え機能選択時のみ有効です

1.6.3 64ピンLFQFP

表 1.7 機能別端子一覧(64ピンLFQFP) (1 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
1		P03(注1)					DA0
2	VCL						
3	MD/FINED	PG7					
4	XCIN	PH7					
5	XCOUT/ EXCIN	PH6					
6	RES#						
7	XTAL	P37				IRQ4	
8	VSS						
9	EXTAL	P36				IRQ2	
10	VCC						
11	UPSEL	P35				NMI	
12		P32	GTIOC1A/GTIOC7A/ GTIOC1A#/GTIOC7A#/ GTIW/TMO3/RTCOUT/ RTCIC2	TXD6/SMOSI6/SSDA6/ CTX0(注2)/ USB0_VBUS(注2)	TS0	IRQ2	
13		P31	GTIOC2B/GTIOC2B#/ GTOWLO/TMCI2/ RTCIC1	CTS1#/RTS1#/SS1#	TS1	IRQ1	
14		P30	GTIOC2A/GTIOC2A#/ GTOWUP/TMRI3/ RTCIC0	RXD1/SMISO1/SSCL1	TS2	IRQ0	
15		P27	GTIOC5B/GTIOC5B#/ TMCI3	SCK1	TS3		
16		P26	GTIOC5A/GTIOC5A#/ TMO1/LPTO	TXD1/SMOSI1/SSDA1/ USB0_VBUS(注2)	TS4		
17		P17	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC6A/GTIOC6A#/ GTETRGD/GTCPPO0/ GTOUUP/TMO1	SCK1/MISOA/SDA0		IRQ7	
18		P16	GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTIOC6B/GTIOC6B#/ GTETRGC/GTOULO/ TMO2/RTCOUT	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0/ USB0_VBUS(注2)/ USB0_VBUS(注2)/ USB0_OVRCURB(注2)		IRQ6	ADTRG0#
19		P15	GTIOC3B/GTIOC5B/ GTIOC3B#/GTIOC5B#/ GTETRGA/GTIV/TMCI2	RXD1/SMISO1/SSCL1/ CRX0(注2)	TS5	IRQ5	
20		P14	GTIOC6A/GTIOC7B/ GTIOC6A#/GTIOC7B#/ GTETRGA/GTCPPO0/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0(注2)/ USB0_OVRCURA(注2)	TS6	IRQ4	
21		PH3	GTIOC2B/GTIOC2B#/ TMCI0		TS7		
22		PH2(注3)	GTIOC1B(注3)/ GTIOC1B(注3)/ TMRI0(注3)	USB0_DM(注2)	TS8(注3)	IRQ1(注3)	

表 1.7 機能別端子一覧(64ピンLQFP) (2 / 3)

ピン番号 64ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
23		PH1 (注3)	GTIOC0B (注3)/ GTIOC0B# (注3)/ GTOULO (注3)/ TMO0 (注3)	USB0_DP (注2)	TS9 (注3)	IRQ0 (注3)	
24		PH0	GTIOC0A/GTIOC0A#/ GTOUUP/CACREF		TS10		
25		P55	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ TMO3	CRX0 (注2)	TS11		
26		P54	GTIOC2A/GTIOC2A#/ TMC11	CTX0 (注2)	TS12		
27	UB	PC7	GTIOC6A/GTIOC6A#/ GTETRGB/GTCPPO0/ TMO2/LPTO/CACREF	TXD008/TXDA008/ SMOSI008/SSDA008/ MISOA	TS13		
28		PC6	GTIOC6B/GTIOC6B#/ GTETRGA/TMC12	RXD008/SMISO008/ SSCL008/MOSIA/ USB0_EXICEN (注2)	TS14		
29		PC5	GTIOC0A/GTIOC7A/ GTIOC0A#/GTIOC7A#/ GTETRGD/GTOUUP/ GTIW/TMRI2	SCK008/TXDB008/ RSPCKA/USB0_ID (注2)/ PMC0	TS15		
30		PC4	GTIOC0B/GTIOC3A/ GTIOC0B#/GTIOC3A#/ GTETRGC/GTIU/ GTOULO/TMC11	SCK5/CTS008#/ RTS008#/SS008#/ DE008/SSLA0/PMC0	TSCAP		
31		PC3	GTIOC2B/GTIOC2B#/ GTETRGB	TXD5/SMOSI5/SSDA5/ PMC0	TS16		
32		PC2	GTIOC2A/GTIOC2A#/ GTETRGA/GTOWUP	RXD5/SMISO5/SSCL5/ SSLA3	TS17		
33		PB7/PC1 (注4)	GTIOC0A/GTIOC7B/ GTIOC0A#/GTIOC7B#	TXD009/TXDA009/ SMOSI009/SSDA009	TS18		
34		PB6/PC0 (注4)	GTIOC0B/GTIOC7A/ GTIOC0B#/GTIOC7A#	RXD009/SMISO009/ SSCL009	TS19		
35		PB5	GTIOC4B/GTIOC5A/ GTIOC4B#/GTIOC5A#/ GTIOC6B/GTIOC6B#/ TMR11	SCK009/TXDB009/ USB0_VBUS (注2)	TS20		
36		PB3	GTIOC1A/GTIOC3A/ GTIOC1A#/GTIOC3A#/ GTIOC3B/GTIOC3B#/ GTETRGD/GTIU/ GTOVUP/TMO0/LPTO	SCK6/PMC0	TS22		
37		PB1	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7A/GTIOC7A#/ GTOVLO/GTIW/ GTOWLO/TMC10	TXD6/SMOSI6/SSDA6	TS24	IRQ4	CMPOB1
38	VCC						
39		PB0	GTIOC0B/GTIOC2A/ GTIOC0B#/GTIOC2A#/ GTOWUP	RXD6/SMISO6/SSCL6/ RSPCKA	TS25		
40	VSS						
41		PA6	GTIOC0B/GTIOC5A/ GTIOC0B#/GTIOC5A#/ GTETRGB/GTOULO/ TMC13	CTS5#/RTS5#/SS5#/ MOSIA	TS26		

表 1.7 機能別端子一覧(64ピンLFQFP) (3 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
42		PA4	GTIOC1B/GTIOC4A/ GTIOC1B#/GTIOC4A#/ GTETRGA/GTOVLO/ TMRIO	TXD5/SMOSI5/SSDA5/ SSLA0	TS28	IRQ5	CVREFB1
43		PA3	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7B/GTIOC7B#/ GTETRGA/GTETRGD/ GTOVLO/GTOWLO	RXD5/SMISO5/SSCL5	TS29	IRQ6	CMPB1
44		PA1	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC3B/GTIOC3B#/ GTETRGC/GTIV/ GTOUUP	SCK5/SSLA2	TS31		
45		PA0	GTIOC0A/GTIOC1A/ GTIOC0A#/GTIOC1A#/ GTOVUP/CACREF	SSLA1	TS32		
46		PE5	GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#			IRQ5	AN021/ CMPOB0
47	CLKOUT	PE4	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ GTIOC4A/GTIOC4A#/ GTOVUP/GTOWLO		TS33		AN020/ CMPA2
48	CLKOUT	PE3	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ GTOWUP	CTS12#/RTS12#/SS12#	TS34		AN019
49		PE2	GTIOC1A/GTIOC1A#/ GTOVUP	RXD12/SMISO12/ SSCL12/RXDX12	TS35	IRQ7	AN018/ CVREFB0
50		PE1	GTIOC1B/GTIOC1B#/ GTOVLO	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12			AN017/ CMPB0
51		PE0		SCK12			AN016
52		P47 (注1)					AN007
53		P46 (注1)					AN006
54		P45 (注1)					AN005
55		P44 (注1)					AN004
56		P43 (注1)					AN003
57		P42 (注1)					AN002
58		P41 (注1)					AN001
59	VREFL0	PJ7 (注1)					
60		P40 (注1)					AN000
61	VREFH0	PJ6 (注1)					
62	AVCC0						
63		P05 (注1)					DA1
64	AVSS0						

注1. これら端子の入出力バッファの電源はAVCC0です。

注2. RX260にはありません。

注3. RX261にはありません。

注4. PC0、PC1は、ポート切り替え機能選択時のみ有効です

1.6.4 48ピンLFQFP、48ピンHWQFN

表 1.8 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (1 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
1	VCL						
2	MD/FINED	PG7					
3	RES#						
4	XTAL	P37				IRQ4	
5	VSS						
6	EXTAL	P36				IRQ2	
7	VCC						
8	UPSEL	P35				NMI	
9		P31	GTIOC2B/GTIOC2B#/ GTOWLO/TMCI2	CTS1#/RTS1#/SS1#	TS1	IRQ1	
10		P30	GTIOC2A/GTIOC2A#/ GTOWUP/TMRI3	RXD1/SMISO1/SSCL1	TS2	IRQ0	
11		P27	GTIOC5B/GTIOC5B#/ TMCI3	SCK1	TS3		
12		P26	GTIOC5A/GTIOC5A#/ TMO1/LPTO	TXD1/SMOSI1/SSDA1/ USB0_VBUSEN (注1)	TS4		
13		P17	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC6A/GTIOC6A#/ GTETRGD/GTCPPO0/ GTOUUP/TMO1	SCK1/MISOA/SDA0		IRQ7	
14		P16	GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTIOC6B/GTIOC6B#/ GTETRGC/GTOULO/ TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0/ USB0_VBUS (注1)/ USB0_VBUSEN (注1)/ USB0_OVRCURB (注1)		IRQ6	ADTRG0#
15		P15	GTIOC3B/GTIOC5B/ GTIOC3B#/GTIOC5B#/ GTETRGB/GTIV/TMCI2	RXD1/SMISO1/SSCL1/ CRX0 (注1)	TS5	IRQ5	
16		P14	GTIOC6A/GTIOC7B/ GTIOC6A#/GTIOC7B#/ GTETRGA/GTCPPO0/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0 (注1)/ USB0_OVRCURA (注1)	TS6	IRQ4	
17		PH3	GTIOC2B/GTIOC2B#/ TMCI0		TS7		
18		PH2 (注2)	GTIOC1B (注2)/ GTIOC1B# (注2)/ TMRI0 (注2)	USB0_DM (注1)	TS8 (注2)	IRQ1 (注2)	
19		PH1 (注2)	GTIOC0B (注2)/ GTIOC0B# (注2)/ GTOULO (注2)/ TMO0 (注2)	USB0_DP (注1)	TS9 (注2)	IRQ0 (注2)	
20		PH0	GTIOC0A/GTIOC0A#/ GTOUUP/CACREF		TS10		
21	UB	PC7	GTIOC6A/GTIOC6A#/ GTETRGB/GTCPPO0/ TMO2/LPTO/CACREF	TXD008/TXDA008/ SMOSI008/SSDA008/ MISOA	TS13		
22		PC6	GTIOC6B/GTIOC6B#/ GTETRGA/TMCI2	RXD008/SMISO008/ SSCL008/MOSIA/ USB0_EXICEN (注1)	TS14		

表 1.8 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (2 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
23		PC5	GTIOC0A/GTIOC7A/ GTIOC0A#/GTIOC7A#/ GTETRGD/GTOUUP/ GTIW/TMRI2	SCK008/TXDB008/ RSPCKA/USB0_ID(注1)/ PMC0	TS15		
24		PC4	GTIOC0B/GTIOC3A/ GTIOC0B#/GTIOC3A#/ GTETRGC/GTIU/ GTOULO/TMCI1	SCK5/CTS008#/ RTS008#/SS008#/ DE008/SSLA0/PMC0	TSCAP		
25		PB5/PC3 (注3)	GTIOC4B/GTIOC5A/ GTIOC4B#/GTIOC5A#/ GTIOC6B/GTIOC6B#/ TMRI1	USB0_VBUS(注1)	TS20		
26		PB3/PC2 (注3)	GTIOC1A/GTIOC3A/ GTIOC1A#/GTIOC3A#/ GTIOC3B/GTIOC3B#/ GTETRGD/GTIU/ GTOVUP/TMO0/LPTO	SCK6/PMC0	TS22		
27		PB1/PC1 (注3)	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7A/GTIOC7A#/ GTOVLO/GTIW/ GTOWLO/TMCI0	TXD6/SMOSI6/SSDA6	TS24	IRQ4	CMPOB1
28	VCC						
29		PB0/PC0 (注3)	GTIOC0B/GTIOC2A/ GTIOC0B#/GTIOC2A#/ GTOWUP	RXD6/SMISO6/SSCL6/ RSPCKA	TS25		
30	VSS						
31		PA6	GTIOC0B/GTIOC5A/ GTIOC0B#/GTIOC5A#/ GTETRGB/GTOULO/ TMCI3	CTS5#/RTS5#/SS5#/ MOSIA	TS26		
32		PA4	GTIOC1B/GTIOC4A/ GTIOC1B#/GTIOC4A#/ GTETRGA/GTOVLO/ TMRIO	TXD5/SMOSI5/SSDA5/ SSLA0	TS28	IRQ5	CVREFB1
33		PA3	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7B/GTIOC7B#/ GTETRGB/GTETRGD/ GTOVLO/GTOWLO	RXD5/SMISO5/SSCL5	TS29	IRQ6	CMPB1
34		PA1	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC3B/GTIOC3B#/ GTETRGC/GTIV/ GTOUUP	SCK5/SSLA2	TS31		
35	CLKOUT	PE4	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ GTIOC4A/GTIOC4A#/ GTOVUP/GTOWLO		TS33		AN020/ CMPA2
36	CLKOUT	PE3	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ GTOWUP	CTS12#/RTS12#	TS34		AN019
37		PE2	GTIOC1A/GTIOC1A#/ GTOVUP	RXD12/SSCL12/ RXDX12	TS35	IRQ7	AN018/ CVREFB0
38		PE1	GTIOC1B/GTIOC1B#/ GTOVLO	TXD12/SSDA12/ TXDX12/SIOX12			AN017/ CMPB0

表 1.8 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (3 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
39		P47 (注4)					AN007
40		P46 (注4)					AN006
41		P45 (注4)					AN005
42		P42 (注4)					AN002
43		P41 (注4)					AN001
44	VREFL0	PJ7 (注4)					
45		P40 (注4)					AN000
46	VREFH0	PJ6 (注4)					
47	AVCC0						
48	AVSS0						

注1. RX260にはありません。

注2. RX261にはありません。

注3. PC0～PC3は、ポート切り替え機能選択時のみ有効です

注4. これら端子の入出力バッファの電源はAVCC0です。

2. CPU

RXv3 CPU は、RXv3 命令セットアーキテクチャに基づいた CPU です。RXv2 CPU に比べ命令処理効率が向上しており、より高い性能を発揮します。

RXv3 命令セットアーキテクチャ (RXv3) は、RXv2 命令セットアーキテクチャ (RXv2)、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

- 可変長命令方式の採用
可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。
- 強力な命令セット
DSP 機能命令や浮動小数点演算命令により、DSP に匹敵するデータ処理能力を発揮します。
- 豊富なアドレッシングモード
豊富なアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間の演算や、ビットを対象とする演算ができます。また、メモリ-メモリ間の転送ができます。

2.1 特長

- 最短命令実行時間：1 サイクルで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
汎用レジスタ：32 ビット×16 本
制御レジスタ：32 ビット×10 本
アキュムレータ：72 ビット×2 本
- 可変長命令形式 (1 バイト長～8 バイト長)
- 111 命令
標準搭載命令：111 命令
基本命令：77 命令
単精度浮動小数点演算命令：11 命令
DSP 機能命令：23 命令
- プロセッサモード
スーパバイザモード、ユーザモード
- ベクタテーブル
例外ベクタテーブル、割り込みベクタテーブル
- メモリプロテクションユニット
- データ配置
リトルエンディアン/ビッグエンディアン選択可能

2.2 CPU レジスタセット

CPUのレジスタには、汎用レジスタ(16本)と、制御レジスタ(10本)、およびDSP機能命令で使用するアキュムレータ(2本)があります。

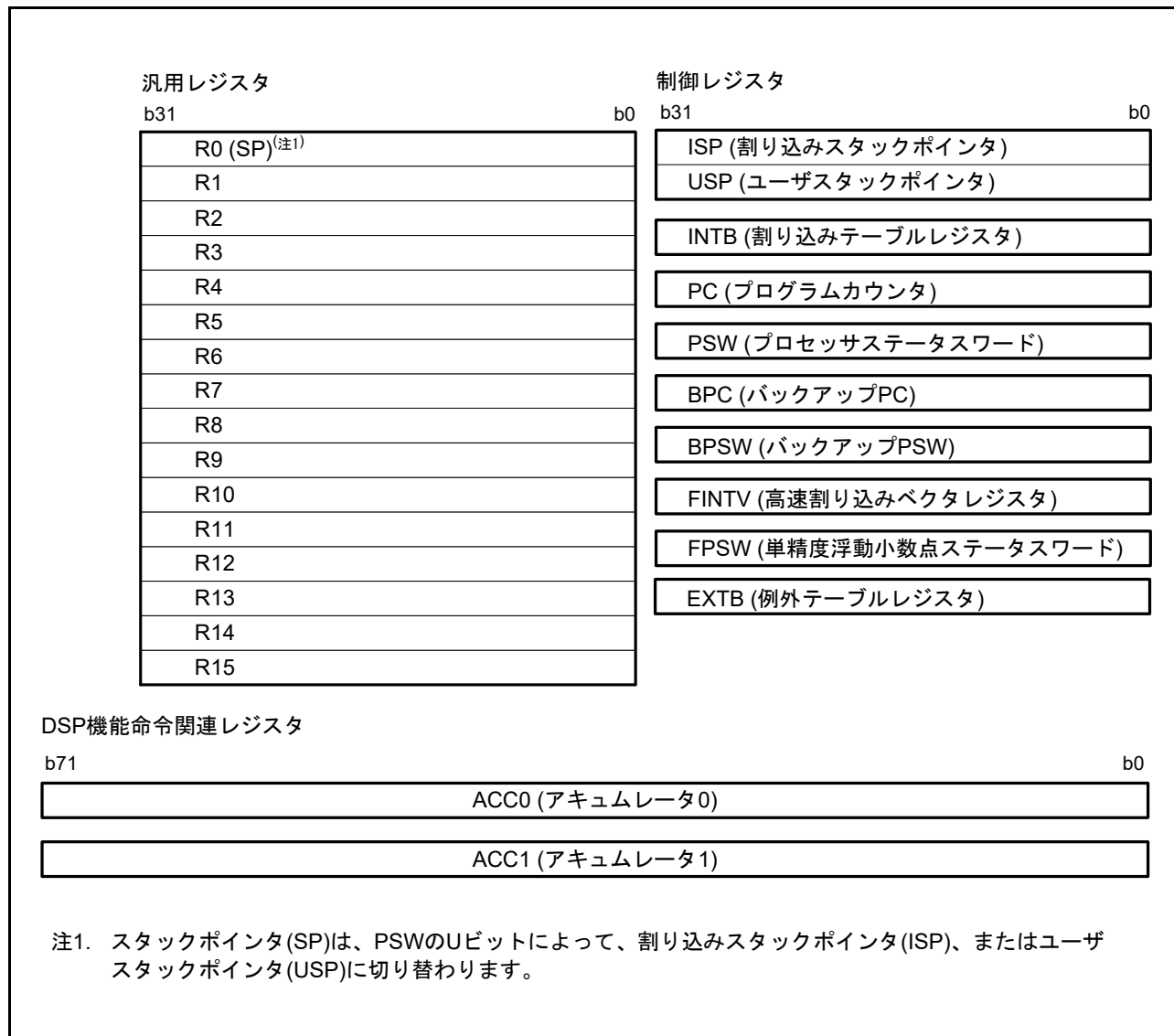


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本(R0 ~ R15)あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

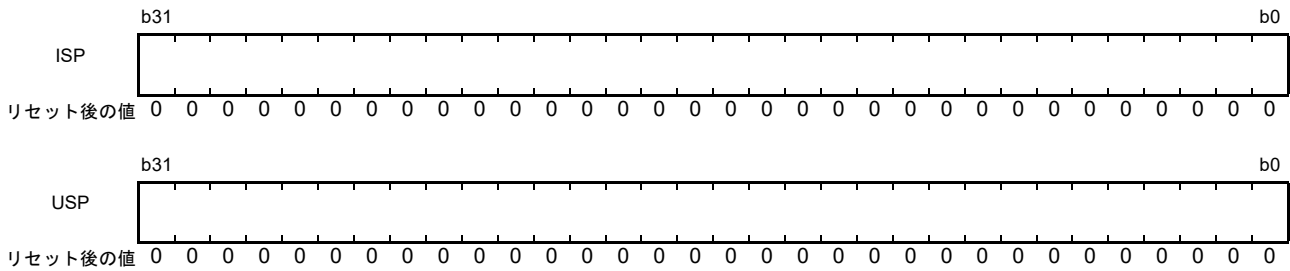
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の10本のレジスタがあります。

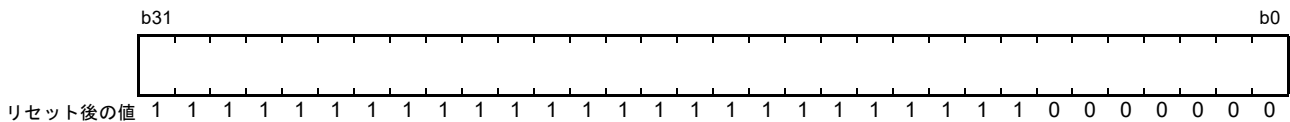
- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 単精度浮動小数点ステータスワード (FPSW)

2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



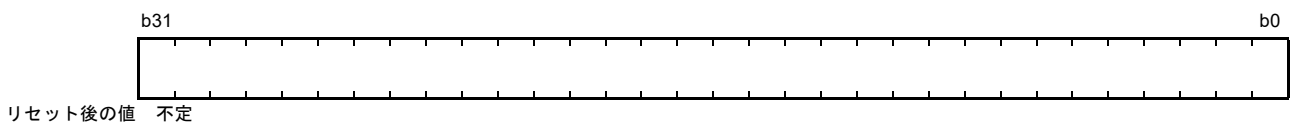
スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

2.2.2.2 例外テーブルレジスタ (EXTB)



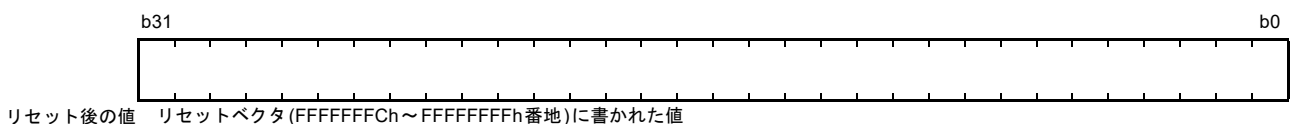
例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

2.2.2.3 割り込みテーブルレジスタ (INTB)



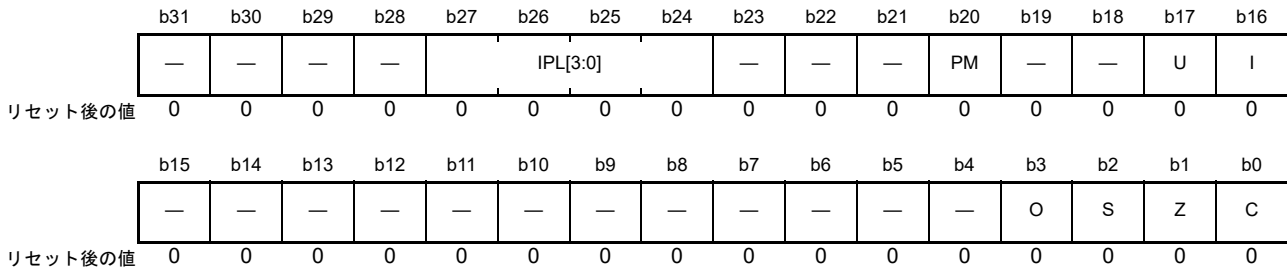
割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

2.2.2.4 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I(注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U(注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP)を指定 1: ユーザスタックポインタ (USP)を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM(注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0](注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタック上のPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

キャリ、ボロー、シフトアウトしたビット等を保持します。

Z フラグ (ゼロフラグ)

演算の結果が0 のとき “1” になり、それ以外るとき “0” になります。

S フラグ (サインフラグ)

演算の結果が負のとき “1” になり、それ以外るとき “0” になります。

O フラグ (オーバフローフラグ)

演算の結果がオーバフローしたとき “1” になり、それ以外るとき “0” になります。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。このビットは、WAIT 命令を実行すると “1” になり、例外を受け付けると、“0” になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは “0” になります。スーパーバイザモードからユーザモードに移行すると、このビットは “1” になります。

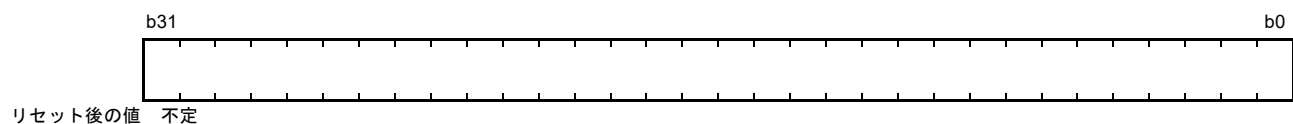
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは “0” になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

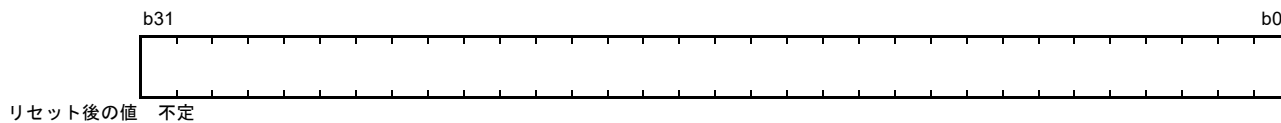
IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.6 バックアップ PC (BPC)



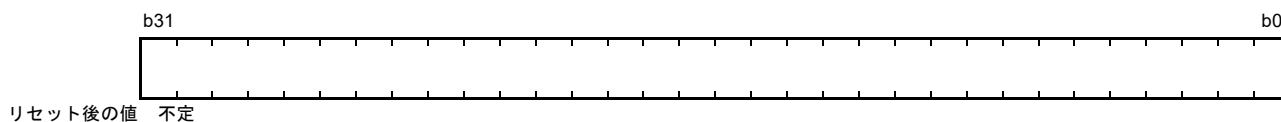
バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避させられます。

2.2.2.7 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。
高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避させられます。
BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 単精度浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	単精度浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う(注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV(注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり(注8)	R/W
b27	FO(注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり(注8)	R/W
b28	FZ(注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり(注8)	R/W
b29	FU(注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり(注8)	R/W
b30	FX(注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり(注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	単精度浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

単精度浮動小数点ステータスワード (FPSW) は、単精度浮動小数点演算結果を示します。

例外処理許可ビット (Ej) で例外処理を許可 (Ej = 1) した場合は、例外処理ルーチンで該当する Cj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (Ej = 0) した場合は、一連の処理の最後に Fj フラグをチェックし、例外発生の有無を確認することができます。Fj フラグは蓄積フラグです (j = X, U, Z, O, V)。

RM[1:0] ビット (単精度浮動小数点丸めモード設定ビット)

単精度浮動小数点丸めモードを設定します。

【単精度浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つと仮定して計算した結果に近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- +∞方向への丸め : 結果の値が大きくなる方向へ丸める
- -∞方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「+∞方向への丸め」、「-∞方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)、

CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)、

CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他に、非実装処理が発生した場合に該当するフラグが“1”になります。

- 単精度浮動小数点演算命令実行時にこれらの例外・非実装処理が発生しなかった場合は該当するフラグが“0”になります。
- MVTC、POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の 0 フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を 0 として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)、

EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)、

EX ビット (精度異常例外処理許可ビット)

単精度浮動小数点演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ (無効演算フラグ)、FO フラグ (オーバフローフラグ)、FZ フラグ (ゼロ除算フラグ)、FU フラグ (アンダフローフラグ)、FX フラグ (精度異常フラグ)

例外処理許可ビット (Ej) が “0” (例外処理を禁止) の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- $E_j = 1$ (例外処理を許可) のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します (蓄積フラグ)。

FS フラグ (単精度浮動小数点エラーサマリフラグ)

FU、FZ、FO、FV フラグの論理和を反映します。

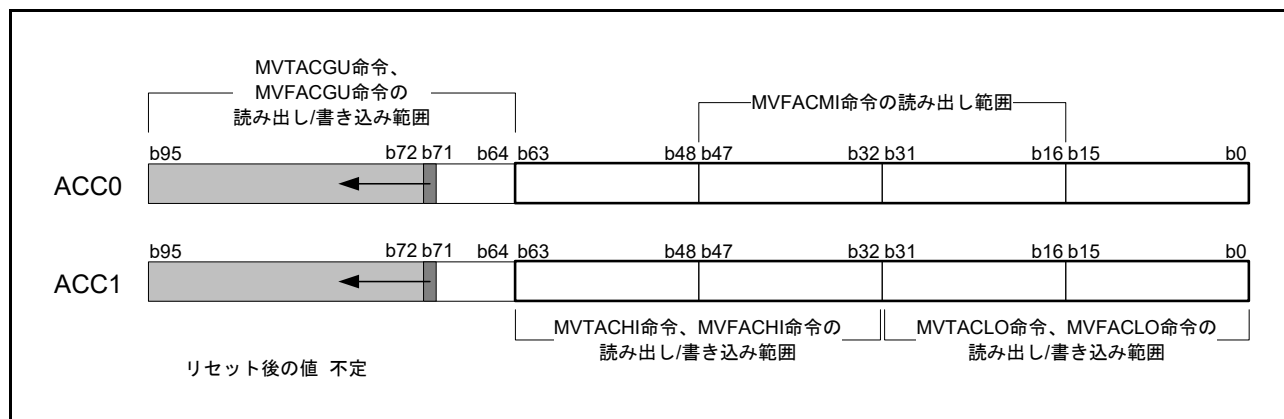
2.2.3 アキュムレータ

アキュムレータ (ACC0, ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ~ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL, EMULU, FMUL, MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は (b95 ~ b64) に、「MVTACHI 命令」は上位側 32 ビット (b63 ~ b32) に、「MVTACLO 命令」は下位側 32 ビット (b31 ~ b0) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット (b95 ~ b64)、「MVFACHI 命令」で上位側 32 ビット (b63 ~ b32)、「MVFACMI 命令」で中央の 32 ビット (b47 ~ b16)、「MVFACLO 命令」で下位側 32 ビット (b31 ~ b0) のデータをそれぞれ読み出します。



注. b95 ~ b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。これらのプロセッサモードとメモリプロテクション機能を使用して、CPUリソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべてのCPUリソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PMビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部のCPUリソースへのライトアクセスが制限されます。ライトアクセスが制限されるCPUリソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0], PM, U, I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC命令によるPMビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生するとPSW.PMビットが“0”になり、CPUはスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避させられたPSW.PMビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避させられているPSW.PMビットを“1”にした後RTE命令を実行する、あるいはバックアップPSW (BPSW) に退避させられているPSW.PMビットを“1”にした後RTFI命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSWのスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

CPU は、整数、単精度浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。

詳細は「RXファミリRXv3命令セットアーキテクチャユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2の補数で表現します。

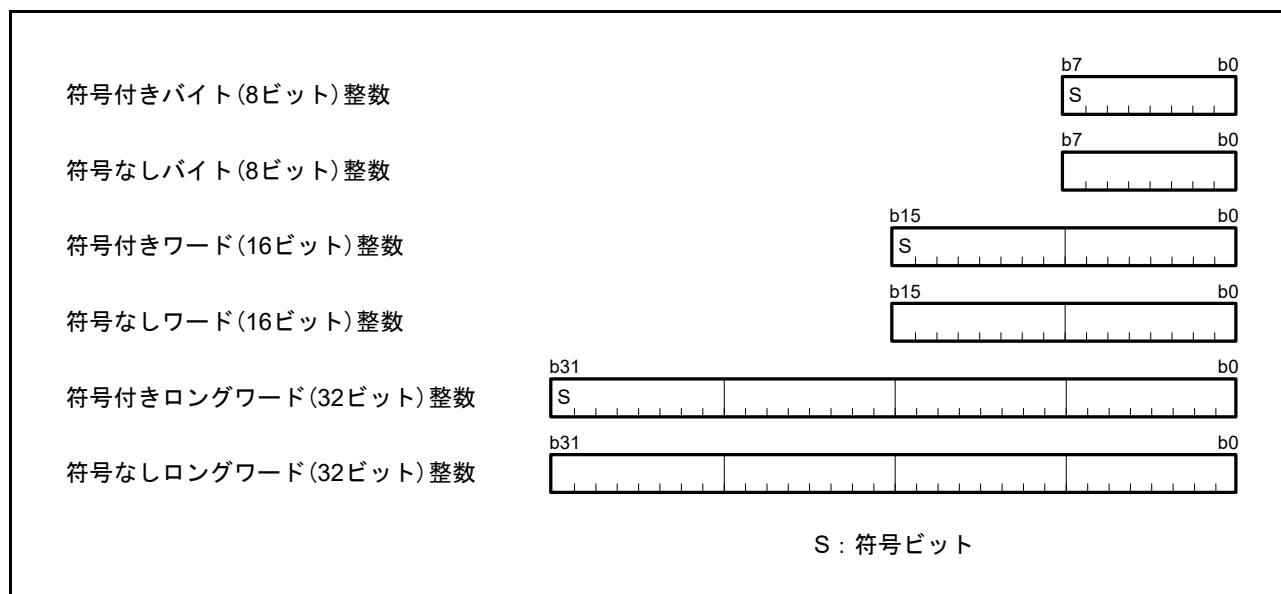


図 2.2 整数

2.4.2 単精度浮動小数点数

単精度浮動小数点数は、IEEE754規格で規定されている単精度浮動小数点数に準拠しています。単精度浮動小数点数は、単精度浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSQRT、FSUB、FTOI、FTOU、ITOF、ROUND、UTOF の 11 種類の命令で使用できます。

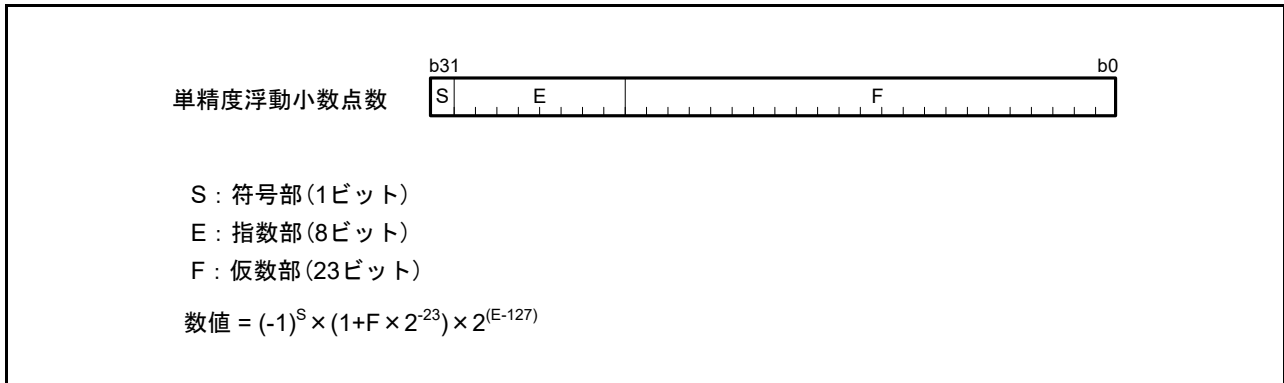


図 2.3 単精度浮動小数点数

単精度浮動小数点数は、以下の数値に対応しています。

$0 < E < 255$ (正規化数 - Normal Numbers)

$E = 0$ かつ $F = 0$ (ゼロ - Signed Zero)

$E = 0$ かつ $F > 0$ (非正規化数 - Denormalized Numbers) (注 1)

$E = 255$ かつ $F = 0$ (無限大 - Infinity)

$E = 255$ かつ $F > 0$ (非数 - NaN: Not a Number)

注 1. FPSW.DN ビットが“1”のときは、0として扱います。DN ビットが“0”のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR、BMCnd、BNOT、BSET、BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ~ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ~ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

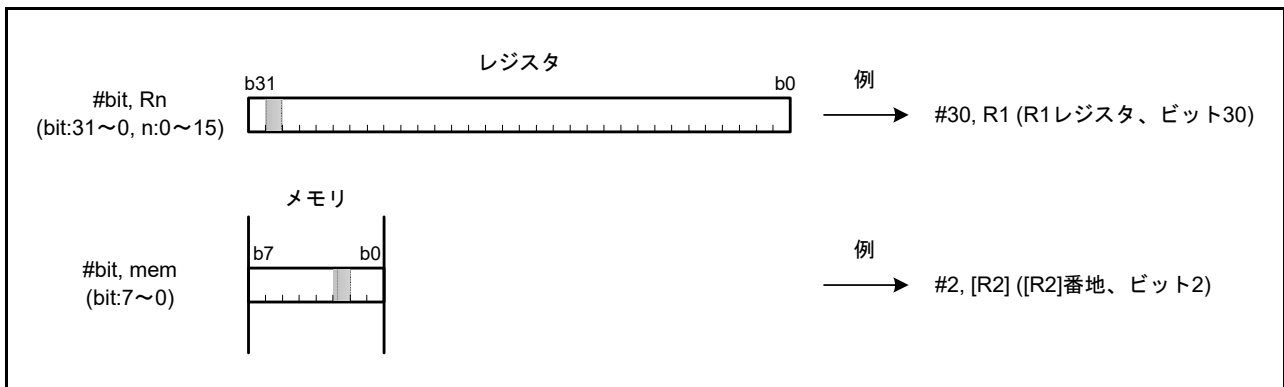


図 2.4 ビット

2.4.4 ストリング

ストリングとは、バイト(8ビット)、ワード(16ビット)、またはロングワード(32ビット)のデータを任意の数だけ連続して並べたデータタイプです。ストリングは、ストリング操作命令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、S WHILE の7種類の命令で使用できます

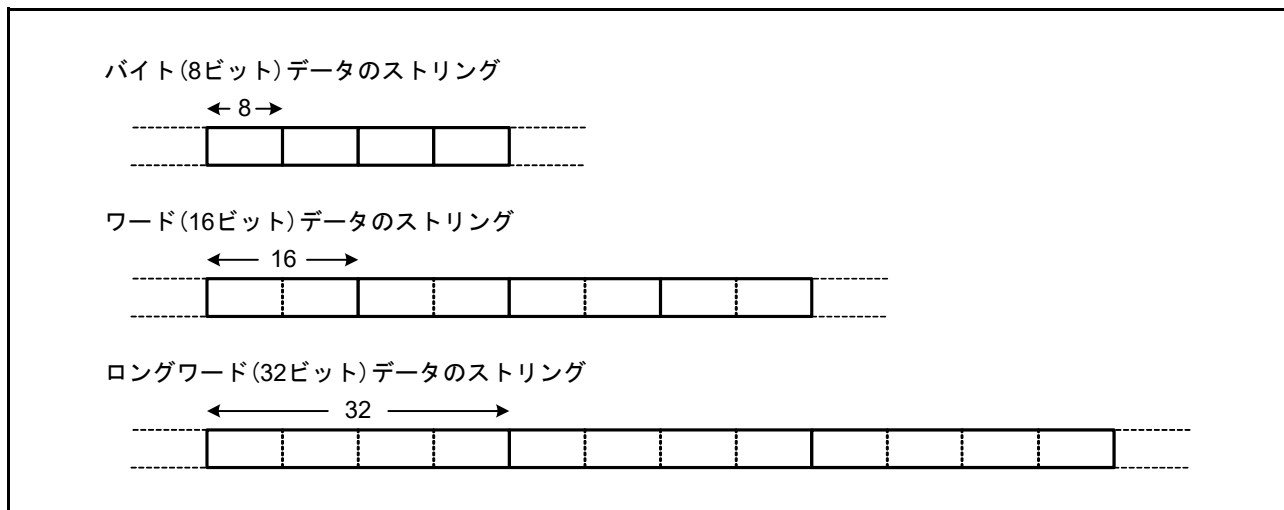


図 2.5 ストリング

2.5 エンディアン

CPUの命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本MCUでは、バイトデータの並び方を、上位バイト (MSB) が0番地になるビッグエンディアン、下位バイト (LSB) が0番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって8/16/32ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表2.1～表2.12に示します。

表中の

LLは、汎用レジスタのD7～D0

LHは、汎用レジスタのD15～D8

HLは、汎用レジスタのD23～D16

HHは、汎用レジスタのD31～D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表2.1 リトルエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	LLに転送	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—
2番地	HLに転送	LHに転送	LLに転送	—	—
3番地	HHに転送	HLに転送	LHに転送	LLに転送	—
4番地	—	HHに転送	HLに転送	LHに転送	LLに転送
5番地	—	—	HHに転送	HLに転送	LHに転送
6番地	—	—	—	HHに転送	HLに転送
7番地	—	—	—	—	HHに転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Bであるか、サイズ拡張指定子(.memex)が.Bまたは.UBである命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Wであるか、サイズ拡張指定子(.memex)が.Wまたは.UWである命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/Oレジスタは、サイズ指定子(.size)が.Lであるか、サイズ拡張指定子(.memex)が.Lである命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

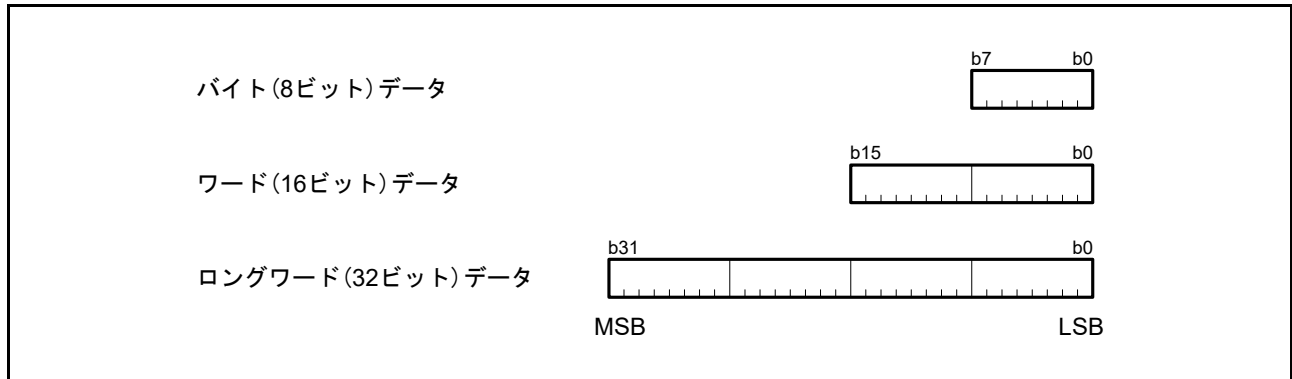


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

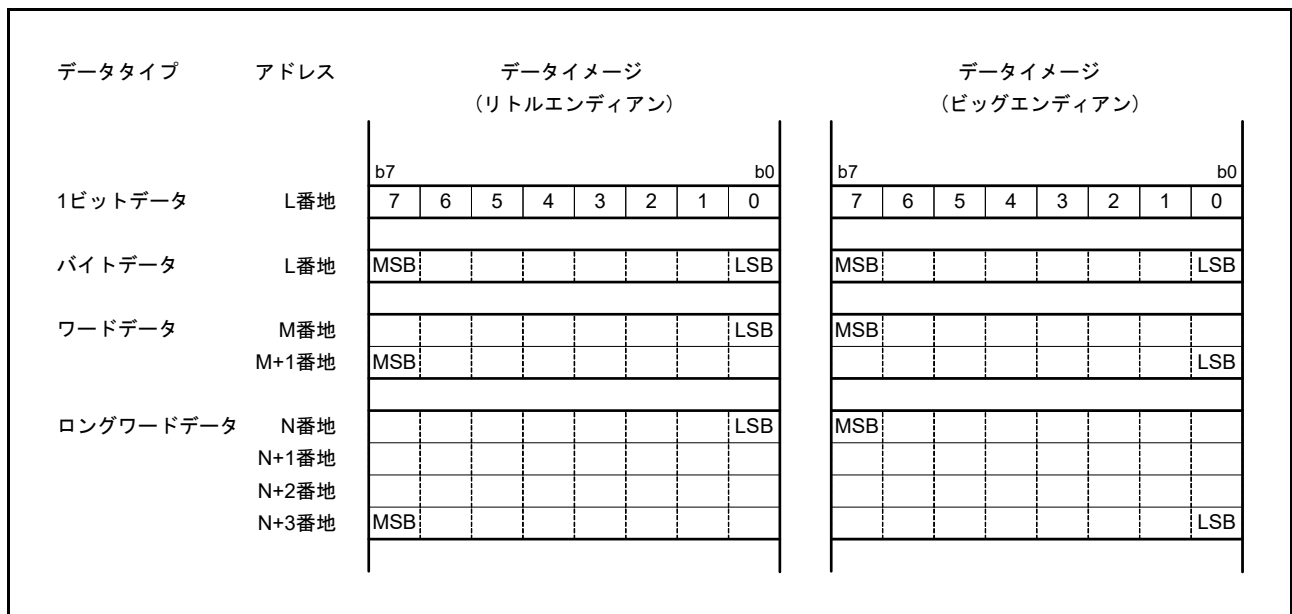


図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、アクセス例外、未定義命令例外、単精度浮動小数点例外、ノンマスカブル割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

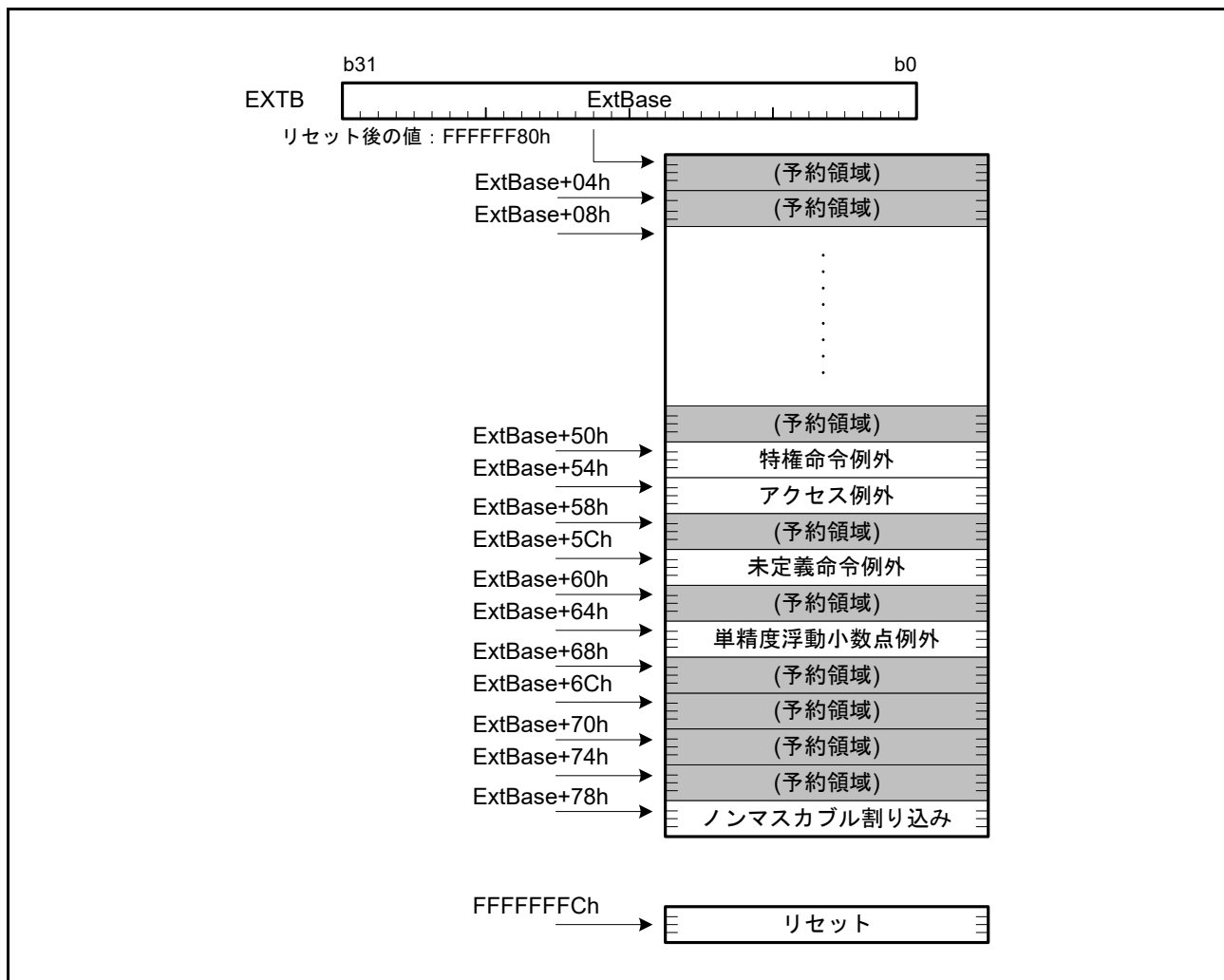


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

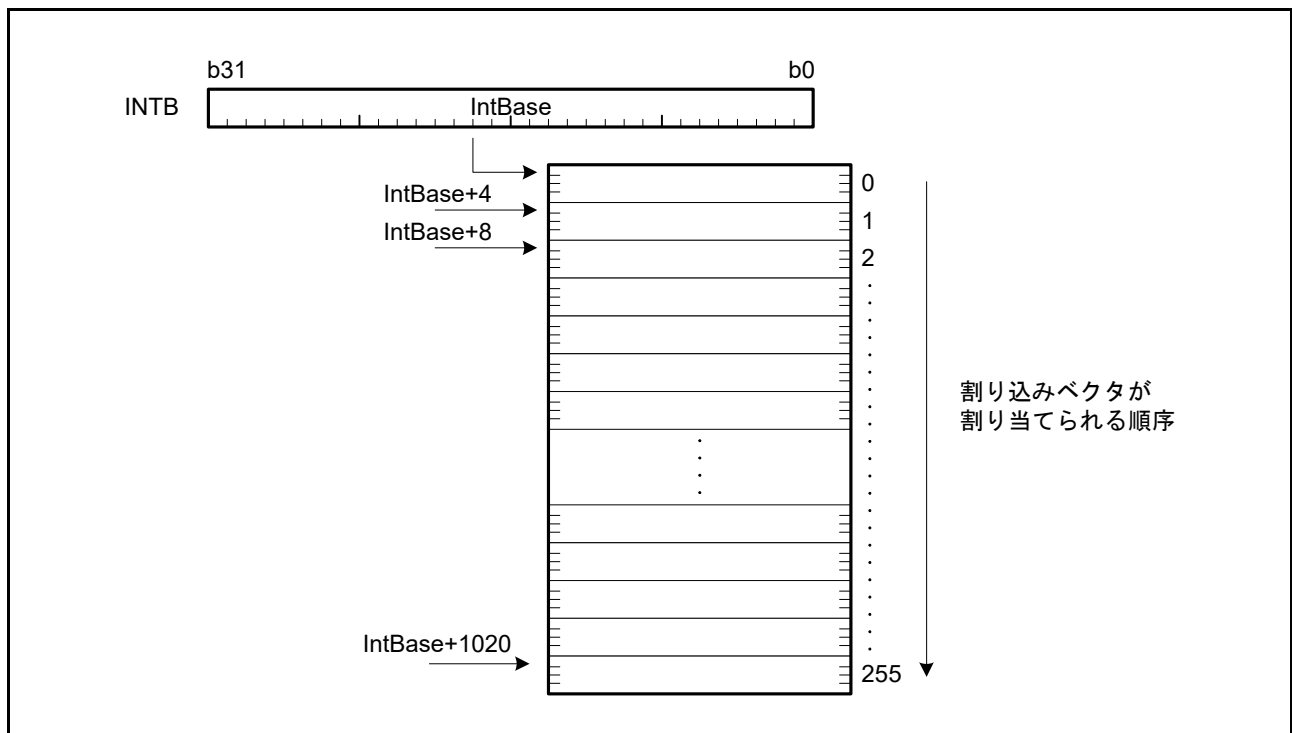


図 2.9 割り込みベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令に関する制約事項

2.7.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA、SSTR、SUNTIL、SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU、SMOVB、SMOVF、SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SUNTIL, SWHILE) は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で3バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.7.1.2 外部空間へのアクセス

外部空間には領域ごとのエンディアン切り替え機能 (データのみ) がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを配置することは禁止しており、その動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.7.1.3 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令 (SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.8 サイクル数

2.8.1 命令とサイクル数

表 2.13 ～表 2.20 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

As, Ad : アキュムレータ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

表 2.13 算術/論理演算命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB, XOR} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROLC, RORC, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	1
	• DIV "#IMM, Rd"/"Rs, Rd"	3 ~ 20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	2 ~ 18 (注1)
	• {EMUL, EMULU} "#IMM, Rd"/"Rs, Rd"	2
	• SATR	3
算術/論理演算命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> • {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} "[Rs], Rd"/"dsp[Rs], Rd" • {CMP, TST} "[Rs], Rs2"/"dsp[Rs], Rs2" 	3
	• DIV "[Rs], Rd / dsp[Rs], Rd"	5 ~ 22 (注1)
	• DIVU "[Rs], Rd / dsp[Rs], Rd"	4 ~ 20 (注1)
	• {EMUL, EMULU} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• RMPA.B	6+7×floor(n/4)+4×(n%4) nは処理バイト数(注2)
	• RMPA.W	6+5×floor(n/2)+4×(n%2) nは処理ワード数(注2)
• RMPA.L	6+4n nは処理ロングワード数	

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. floor(x) : x以下の最大の整数

表2.14 転送命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> MOV "#IMM, Rd"/"Rs, Rd" {MOVU, REVL, REVW} "Rs, Rd" SCCnd "Rd" {STNZ, STZ} "#IMM, Rd"/"Rs, Rd" 	1
	<ul style="list-style-type: none"> XCHG "Rs, Rd" 	2
転送命令 (ロード動作)	<ul style="list-style-type: none"> {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd"/"[-Rs], Rd"/"[Ri, Rb], Rd" MOVLI "[Rs], Rd" POP "Rd" 	スループット : 1 レイテンシ : 2(注1)
	<ul style="list-style-type: none"> POPC "CR" 	スループット : 3 レイテンシ : 4(注1)
	<ul style="list-style-type: none"> POPM "Rd-Rd2" 	スループット : n レイテンシ : n+1 nはレジスタ数(注1、注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" / "Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" PUSH "Rs" PUSHC "CR" SCCnd "[Rd]"/"dsp[Rd]" MOVCO "Rs, [Rd]" 	1
	<ul style="list-style-type: none"> PUSHM "Rs-Rs2" 	n nはレジスタ数(注3)
転送命令 (メモリーレジスタの交換)	<ul style="list-style-type: none"> XCHG "[Rs], Rd"/"dsp[Rs], Rd" 	2
転送命令(メモリー間転送)	<ul style="list-style-type: none"> MOV "[Rs], [Rd]"/"dsp[Rs], [Rd]"/"[Rs], dsp[Rd]"/"dsp[Rs], dsp[Rd]" PUSH "[Rs]"/"dsp[Rs]" 	3
転送命令(ビットフィールド)	<ul style="list-style-type: none"> {BFMOV, BFMOVZ} "#IMM, #IMM, #IMM, R, R" 	1

- 注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。
- 注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。
- 注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表2.15 ビット操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
ビット操作命令(レジスタ)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" BMCnd "#IMM, Rd" BTST "#IMM, Rs"/"Rs, Rs2" 	1
ビット操作命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, [Rd]"/"#IMM, dsp[Rd]"/"Rs, [Rd]"/"Rs, dsp[Rd]" BMCnd "#IMM, [Rd]"/"#IMM, dsp[Rd]" BTST "#IMM, [Rs]"/"#IMM, dsp[Rs]"/"Rs, [Rs2]"/"Rs, dsp[Rs2]" 	3

表 2.16 分岐命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
分岐命令	<ul style="list-style-type: none"> • BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	分岐成立 : 3 分岐不成立 : 1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD "#IMM"	5
	• RTSD "#IMM, Rd-Rd2"	スループット : $n < 5 ? 5 : 1 + n$ レイテンシ : $n < 4 ? 5 : 2 + n$ nはレジスタ数 (注1)

?: 条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

表 2.17 単精度浮動小数点演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
単精度浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FCMP "#IMM, Rs"/"Rs, Rs2"	1
	• FDIV "#IMM, Rd"/"Rs, Rd"	16
	• FMUL "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FSQRT "Rs, Rd"	16
	• {FTOI, ROUND, ITOF} "Rs, Rd"	2
	• {FTOU, UTOF} "Rs, Rd"	2
単精度浮動小数点演算命令 (メモリスソースオペランド)	• {FADD, FSUB} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FCMP "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• FDIV "[Rs], Rd"/"dsp[Rs], Rd"	18
	• FMUL "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FSQRT "[Rs], Rd"/"dsp[Rs], Rd"	18
	• {FTOI, ROUND, ITOF} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• {FTOU, UTOF} "[Rs], Rd"/"dsp[Rs], Rd"	4

表 2.18 DSP機能命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
DSP機能命令	<ul style="list-style-type: none"> • {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO} "Rs, Rs2, Ad" • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} "#IMM, As, Rd" • {MVTACHI, MVTACLO, MVTACGU} "Rs, Ad" • {RDACW, RDA CL, RACW, RA CL} "#IMM, Ad" 	1

表2.19 スtring操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
String操作命令(注1)	• SCMPU	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ nは比較バイト数(注2)
	• SMOVB	$n > 3 ? 6+3 \times \text{floor}(n/4)+3 \times (n\%4) : 2+3n$ nは転送バイト数(注2)
	• SMOVF, SMOVU	$2+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは転送バイト数(注2)
	• SSTR.B	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数(注2)
	• SSTR.W	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数(注2)
	• SSTR.L	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	$3+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは比較バイト数(注2)
	• SUNTIL.W, SWHILE.W	$3+3 \times \text{floor}(n/2)+3 \times (n\%2)$ nは比較ワード数(注2)
• SUNTIL.L, SWHILE.L	$3+3 \times n$ nは比較ロングワード数	

?: 条件演算子

注1. SCMPU、SMOVU、SWHILE、SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

注2. $\text{floor}(x)$: x以下の最大の整数

表2.20 システム操作命令のサイクル数

命令	ニーモニック(サイズ省略時は、全サイズ共通の動作)	サイクル数
システム操作命令	• {CLRPSW, SETPSW}“flag” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL “#IMM”	1
	• RTE	6
	• RTFI	3

2.8.2 割り込み応答サイクル数

表 2.21 に割り込み応答処理のサイクル数を示します。

表 2.21 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.21 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能な RAM とコードフラッシュメモリを搭載しています。プログラム(含むベクタ)はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.13 ~ 表 2.20 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット (RES# 端子リセット、パワーオンリセット) 解除時の端子のレベルによって選
択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子 (MD、UB) のレベルと、そのとき選択される動作モードの関係を表 3.1
に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表3.1 モード設定端子による動作モードの選択

モード端子		動作モード
MD (注1)	UB (注2)	
High	—	シングルチップモード
Low	High	ブートモード(USBインタフェース)
	Low	ブートモード(SCIインタフェース)
Low → High (注3)	Low	ブートモード(FINEインタフェース)

- 注1. RES#解除後待機時間、パワーオンリセット時間の期間中は動作モード遷移期間中のため、MD端子の入力レベルは変化させ
ないでください。RES#解除後待機時間、パワーオンリセット時間の期間中の詳細は「47. 電気的特性」を参照してくださ
い。また、MD端子の入力プルアップ抵抗は、ブートモードの場合はリセット中から動作モード遷移が完了するまでの期間、
シングルチップモードの場合はリセット中からプルアップ制御レジスタの設定で無効設定にするまで有効となっています。
- 注2. UB端子と端子を共用しているPC7端子は汎用ポートや周辺機能入出力端子としても使用可能です。
- 注3. リセット解除時はLow、その後20～100msの間にHighにしてください。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの設定は、オプション
設定メモリのMDE.MDE[2:0]ビットで設定します。

設定値は表 3.2 を参照してください。

表3.2 シングルチップモードのエンディアンの設定

MDE.MDE[2:0]ビット	エンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス SYSTEM.MDMONR 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	X	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD端子ステータスフラグ	0: MD端子は“Low” 1: MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

注1. モード端子(MD端子)の設定によって異なります。MD端子がLowの場合は“0”、Highの場合は“1”になります。
PORTG.PMR.b7の設定で、PG7/MD端子を汎用入出力ポートに設定した場合、PG7/MD端子の状態に関わらず、読むと“0”が読めます。

3.2.2 システムコントロールレジスタ 1 (SYSCR1)

アドレス SYSTEM.SYSCR1 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

RAMの有効または無効を選択します。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

RAMEビットを“0”にしても、RAMの値は保持されます。ただし、「47. 電気的特性」に規定するRAMスタンバイ電圧 (VRAM) 以上の電圧を保持する必要があります。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。

3.3.2 ブートモード (USB インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。USB を使用して、MCU 外部から内蔵フラッシュメモリ (ROM、E2 データフラッシュ) を書き換えることができます。詳細は、「46. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low、UB 端子を High にしてリセットを解除すると、ブートモード (USB インタフェース) で起動します。ブートモード (USB インタフェース) については、「46.8.1 ブートモード (USB インタフェース)」を参照してください。

3.3.3 ブートモード (SCI インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。調歩同期式シリアルインタフェース (SCI1) を使用して、MCU 外部から内蔵フラッシュメモリ (ROM、E2 データフラッシュ) を書き換えることができます。詳細は、「46. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low、UB 端子を Low にしてリセットを解除すると、ブートモード (SCI インタフェース) で起動します。ブートモード (SCI インタフェース) については、「46.8.2 ブートモード (SCI インタフェース)」を参照してください。

3.3.4 ブートモード (FINE インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。FINE を使用して、MCU 外部から内蔵フラッシュメモリ (ROM、E2 データフラッシュ) を書き換えることができます。詳細は「46. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low、UB 端子を Low にしてリセット解除後、20 ~ 100ms の間に MD 端子を High へ切り替えると、ブートモード (FINE インタフェース) で起動します。ブートモード (FINE インタフェース) については、「46.8.3 ブートモード (FINE インタフェース)」を参照してください。

3.4 動作モード遷移

3.4.1 モード設定端子のレベルと動作モード遷移

MD 端子、UB 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

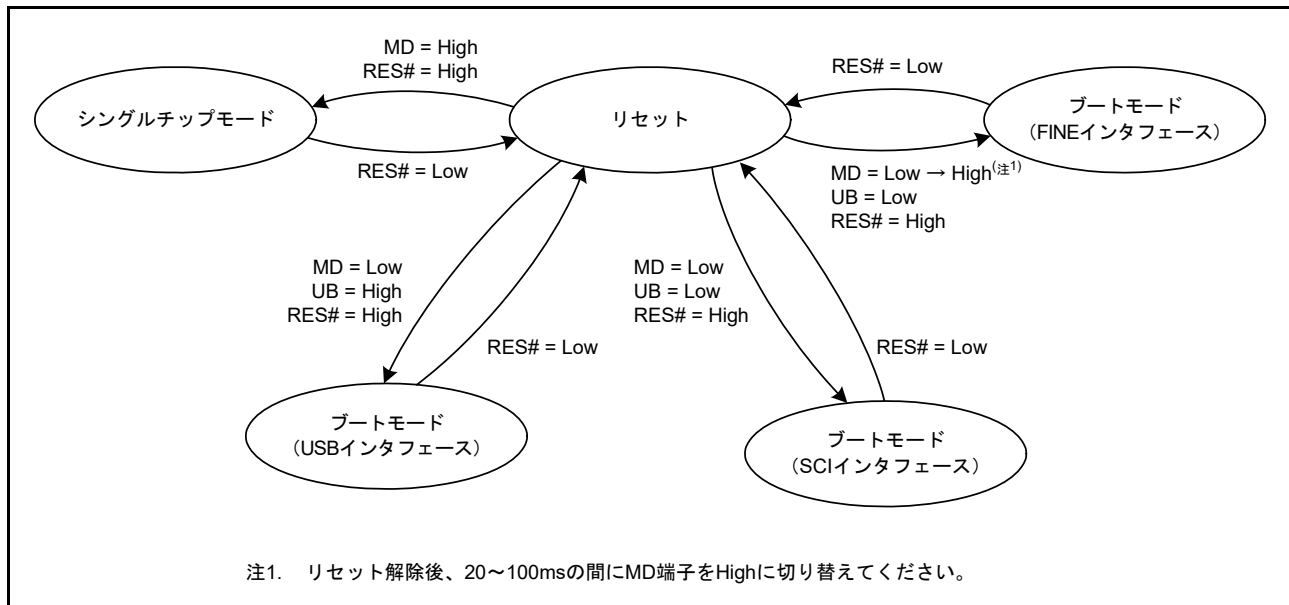


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 にメモリマップを示します。

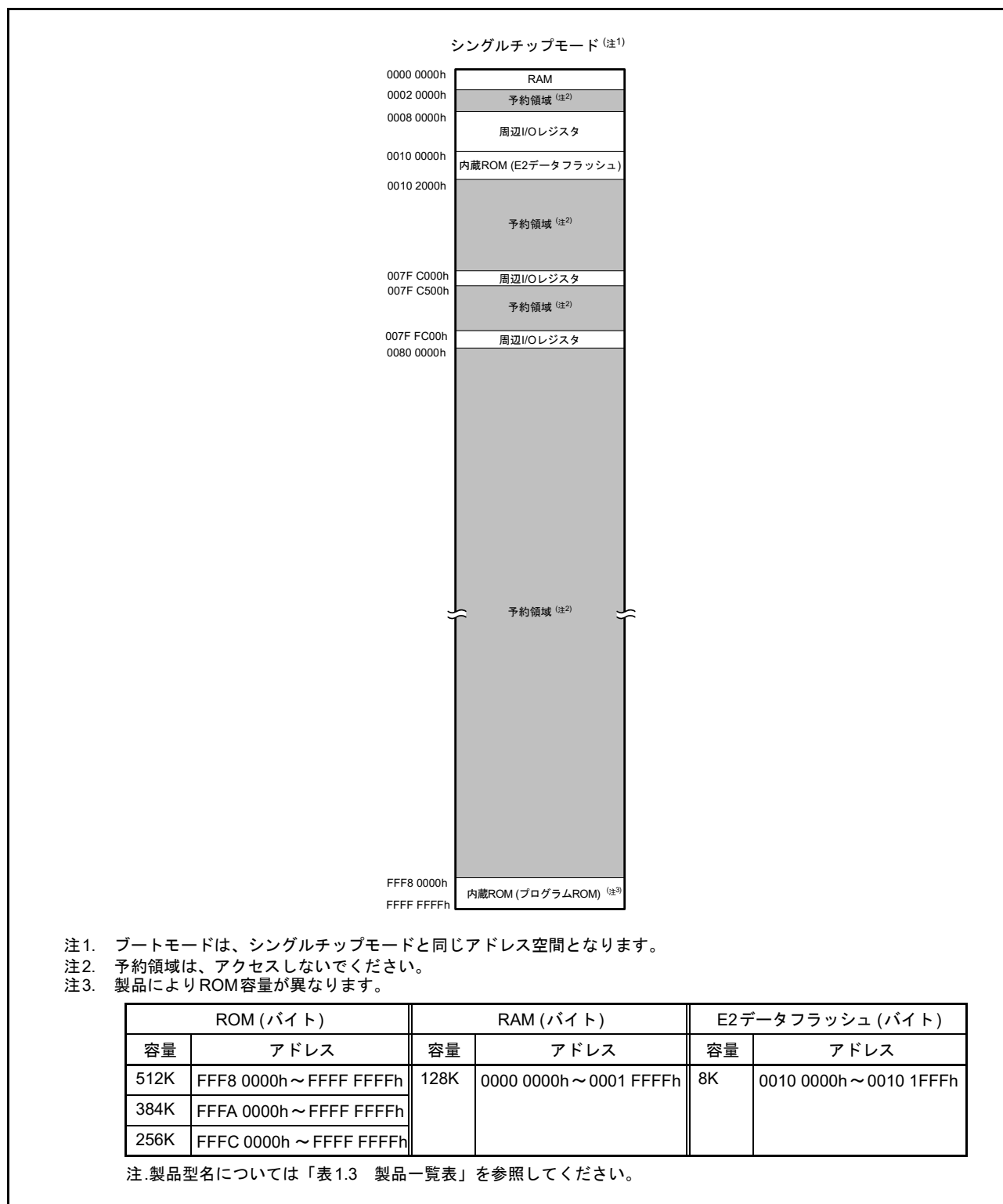


図 4.1 各動作モードのメモリマップ

5. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット(ICU.IERn.IENjビット)のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 5.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～3、6のバスサイクル数}$$

内部周辺バス1～3、6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2、3、6に接続されている周辺機能のレジスタ(バスエラー関連のレジスタは除く)へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLKとPCLK(またはFCLK)の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK)の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK(またはFCLK)で最大1サイクルとなるため、表 5.1では1PCLK(またはFCLK)の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ (または FCLK)の周波数関係の場合、次のバスアクセスが周辺機能が終了した次のICLKサイクルから開始されるため、ICLK単位の記載となっています。

注1. CPUからのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ(DTC)のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA命令、ストリング操作命令に関する制約事項

RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ(「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。

5.1 I/Oレジスタアドレス一覧(アドレス順)

表5.1 I/Oレジスタアドレス一覧(1/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	幅 [bit]	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK		3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK		11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK		11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK		11章
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK		11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK		9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK		9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK		9章
0008 002Ch	SYSTEM	PLL2コントロールレジスタ	PLL2CR	16	16	3ICLK		9章
0008 002Eh	SYSTEM	PLL2コントロールレジスタ2	PLL2CR2	8	8	3ICLK		9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK		9章
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK		9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK		9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK		9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK		9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK		9章
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16	3ICLK		9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK		9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK		9章
0008 0043h	SYSTEM	低速オンチップオシレータ強制発振コントロールレジスタ	LOFCR	8	8	3ICLK		9章
0008 0061h	SYSTEM	低速オンチップオシレータトリミングレジスタ2	LOCOTRR2	8	8	3ICLK		9章
0008 0064h	SYSTEM	IWDT専用オンチップオシレータトリミングレジスタ	ILOCOTRR	8	8	3ICLK		9章
0008 0068h	SYSTEM	高速オンチップオシレータトリミングレジスタ0	HOCOTRR0	8	8	3ICLK		9章
0008 006Eh	SYSTEM	CANFDクロック分周コントロールレジスタ	CANFDCKDIVCR	8	8	3ICLK		9章
0008 0074h	SYSTEM	USBクロックコントロールレジスタ	USBCKCR	8	8	3ICLK		9章
0008 0076h	SYSTEM	CANFDクロックコントロールレジスタ	CANFDCKCR	8	8	3ICLK		9章
0008 0083h	SYSTEM	サブクロック発振器モードコントロールレジスタ	SOMCR	8	8	3ICLK		9章
0008 009Fh	SYSTEM	RAM省電力制御レジスタ	RPSCR	8	8	3ICLK		11章
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK		11章
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK		11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK		9章
0008 00AAh	SYSTEM	サブ動作電力コントロールレジスタ	SOPCCR	8	8	3ICLK		11章
0008 00ACh	SYSTEM	スヌーズコントロールレジスタ2	SNZCR2	16	16	3ICLK		11章
0008 00AEh	SYSTEM	スヌーズコントロールレジスタ	SNZCR	16	16	3ICLK		11章
0008 00B0h	LPT	ローパワータイマコントロールレジスタ1	LPTCR1	8	8	3ICLK		27章
0008 00B1h	LPT	ローパワータイマコントロールレジスタ2	LPTCR2	8	8	3ICLK		27章
0008 00B2h	LPT	ローパワータイマコントロールレジスタ3	LPTCR3	8	8	3ICLK		27章
0008 00B4h	LPT	ローパワータイマ周期設定レジスタ	LPTPRD	16	16	3ICLK		27章
0008 00B8h	LPT	ローパワータイマコンペアレジスタ0	LPCMR0	16	16	3ICLK		27章
0008 00BAh	LPT	ローパワータイマコンペアレジスタ1	LPCMR1	16	16	3ICLK		27章
0008 00BCh	LPT	ローパワータイマスタンバイ復帰許可レジスタ	LPWUCR	16	16	3ICLK		27章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK		6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK		6章

表5.1 I/Oレジスタアドレス一覧 (2/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK		8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK		8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK		8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		12章
0008 1200h	RAM	RAM動作モード制御レジスタ	RAMMODE	8	8	2ICLK		45章
0008 1201h	RAM	RAMエラーステータスレジスタ	RAMSTS	8	8	2ICLK		45章
0008 1204h	RAM	RAMプロテクトレジスタ	RAMPSCR	8	8	2ICLK		45章
0008 1208h	RAM	RAMエラーアドレスキャプチャレジスタ	RAMECAD	32	32	2ICLK		45章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK		15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK		15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK		15章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK		15章
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK		17章
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 201Fh	DMAC0	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 205Fh	DMAC1	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 209Fh	DMAC2	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		17章
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK		17章
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK		17章
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK		17章

表5.1 I/Oレジスタアドレス一覧 (3/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK		17章
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK		17章
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK		17章
0008 20DCCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK		17章
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK		17章
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK		17章
0008 20DFh	DMAC3	DMAC起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK		17章
0008 2200h	DMAC	DMACモジュール起動レジスタ	DMAST	8	8	2ICLK		17章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK		18章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK		18章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK		18章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK		18章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK		18章
0008 2410h	DTC	DTCインデックステーブルベースレジスタ	DTCIBR	32	32	2ICLK		18章
0008 2414h	DTC	DTCオペレーションレジスタ	DTCOR	8	8	2ICLK		18章
0008 2416h	DTC	DTCシーケンス転送許可レジスタ	DTCSQE	16	16	2ICLK		18章
0008 2418h	DTC	DTCアドレスディスプレイメントレジスタ	DTCDISP	32	32	2ICLK		18章
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK		16章
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK		16章
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK		16章
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK		16章
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK		16章
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK		16章
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK		16章
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK		16章
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK		16章
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK		16章
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK		16章
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK		16章
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK		16章
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK		16章
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK		16章
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK		16章
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK		16章
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK		16章
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK		16章
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK		16章
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK		16章
0008 6520h	MPU	領域サーチャドレスレジスタ	MPSA	32	32	1ICLK		16章
0008 6524h	MPU	領域サーチャオペレーションレジスタ	MPOPS	16	16	1ICLK		16章
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK		16章
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK		16章
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK		16章
0008 7010h~ 0008 70FFh	ICU	割り込み要求レジスタ016~割り込み要求レジスタ255	IR016~IR255	8	8	2ICLK		14章
0008 711Bh~ 0008 71FFh	ICU	DTC転送要求許可レジスタ027~DTC転送要求許可レジスタ255	DTICER027~DTICER255	8	8	2ICLK		14章
0008 7202h~ 0008 721Fh	ICU	割り込み要求許可レジスタ02~割り込み要求許可レジスタ1F	IER02~IER1F	8	8	2ICLK		14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK		14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK		14章
0008 7300h~ 0008 73FFh	ICU	割り込み要因プライオリティレジスタ000~割り込み要因プライオリティレジスタ255	IPR000~IPR255	8	8	2ICLK		14章

表5.1 I/Oレジスタアドレス一覧 (4/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 7400h	ICU	DMAC起動要因選択レジスタ0	DMRSR0	8	8	2ICLK		14章
0008 7404h	ICU	DMAC起動要因選択レジスタ1	DMRSR1	8	8	2ICLK		14章
0008 7408h	ICU	DMAC起動要因選択レジスタ2	DMRSR2	8	8	2ICLK		14章
0008 740Ch	ICU	DMAC起動要因選択レジスタ3	DMRSR3	8	8	2ICLK		14章
0008 7500h~ 0008 7507h	ICU	IRQコントロールレジスタ0~IRQコントロールレジスタ7	IRQCR0~ IRQCR7	8	8	2ICLK		14章
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8	2ICLK		14章
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK		14章
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK		14章
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK		14章
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK		14章
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK		14章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK		14章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK		14章
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2~3PCLKB	2ICLK	25章
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	25章
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	25章
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	25章
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	25章
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	25章
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2~3PCLKB	2ICLK	25章
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	25章
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	25章
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	25章
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLKB	2ICLK	25章
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLKB	2ICLK	25章
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLKB	2ICLK	25章
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2~3PCLKB	2ICLK	28章
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2~3PCLKB	2ICLK	28章
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2~3PCLKB	2ICLK	28章
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2~3PCLKB	2ICLK	28章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLKB	2ICLK	29章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLKB	2ICLK	29章
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLKB	2ICLK	29章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2~3PCLKB	2ICLK	29章
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2~3PCLKB	2ICLK	29章
0008 80C0h	DA	D/Aデータレジスタ0	DADR0	16	16	2~3PCLKB	2ICLK	41章
0008 80C2h	DA	D/Aデータレジスタ1	DADR1	16	16	2~3PCLKB	2ICLK	41章
0008 80C4h	DA	D/A制御レジスタ	DACR	8	8	2~3PCLKB	2ICLK	41章
0008 80C5h	DA	データレジスタフォーマット選択レジスタ	DADPR	8	8	2~3PCLKB	2ICLK	41章
0008 80C6h	DA	D/A A/D同期スタート制御レジスタ	DAADSCR	8	8	2~3PCLKB	2ICLK	41章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	24章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	24章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	24章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	24章
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	24章
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16	2~3PCLKB	2ICLK	24章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	24章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	24章
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16	2~3PCLKB	2ICLK	24章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	24章

表5.1 I/Oレジスタアドレス一覧 (5/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	24章
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	24章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	24章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	24章
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	2ICLK	24章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	24章
0008 820Ch	TMR0	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	24章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	24章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	24章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	24章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLKB	2ICLK	24章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	24章
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA	16	16	2~3PCLKB	2ICLK	24章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8	2~3PCLKB	2ICLK	24章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	24章
0008 8216h	TMR23	タイムコンスタントレジスタB	TCORB	16	16	2~3PCLKB	2ICLK	24章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8	2~3PCLKB	2ICLK	24章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	24章
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2~3PCLKB	2ICLK	24章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2~3PCLKB	2ICLK	24章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	24章
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2~3PCLKB	2ICLK	24章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2~3PCLKB	2ICLK	24章
0008 821Ch	TMR2	タイマカウンタスタートレジスタ	TCSTR	8	8	2~3PCLKB	2ICLK	24章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLKB	2ICLK	36章
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLKB	2ICLK	36章
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLKB	2ICLK	36章
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLKB	2ICLK	33章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLKB	2ICLK	33章
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLKB	2ICLK	33章
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLKB	2ICLK	33章
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLKB	2ICLK	33章
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2~3PCLKB	2ICLK	33章
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2~3PCLKB	2ICLK	33章
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2~3PCLKB	2ICLK	33章
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLKB	2ICLK	33章
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLKB	2ICLK	33章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLKB	2ICLK	33章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLKB	2ICLK	33章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLKB	2ICLK	33章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLKB	2ICLK	33章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLKB	2ICLK	33章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLKB	2ICLK	33章
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2~3PCLKB	2ICLK	33章
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2~3PCLKB	2ICLK	33章
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLKB	2ICLK	33章
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLKB	2ICLK	33章
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2~3PCLKB	2ICLK	35章
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLKB	2ICLK	35章
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2~3PCLKB	2ICLK	35章
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2~3PCLKB	2ICLK	35章
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	8, 16, 32	2~3PCLKB	2ICLK	35章

表5.1 I/Oレジスタアドレス一覧 (6/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2~3PCLKB	2ICLK	35章
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLKB	2ICLK	35章
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2~3PCLKB	2ICLK	35章
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2~3PCLKB	2ICLK	35章
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2~3PCLKB	2ICLK	35章
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLKB	2ICLK	35章
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2~3PCLKB	2ICLK	35章
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2~3PCLKB	2ICLK	35章
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2~3PCLKB	2ICLK	35章
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2~3PCLKB	2ICLK	35章
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2~3PCLKB	2ICLK	35章
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2~3PCLKB	2ICLK	35章
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2~3PCLKB	2ICLK	35章
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2~3PCLKB	2ICLK	35章
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2~3PCLKB	2ICLK	35章
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2~3PCLKB	2ICLK	35章
0008 83A0h	RSPI0	RSPIデータコントロールレジスタ2	SPDCR2	8	8	2~3PCLKB	2ICLK	35章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2~3PCLKB	2ICLK	40章
0008 9004h	S12AD	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2~3PCLKB	2ICLK	40章
0008 9006h	S12AD	A/Dチャンネル選択レジスタA1	ADANSA1	16	16	2~3PCLKB	2ICLK	40章
0008 9008h	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2~3PCLKB	2ICLK	40章
0008 900Ah	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ1	ADADS1	16	16	2~3PCLKB	2ICLK	40章
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2~3PCLKB	2ICLK	40章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLKB	2ICLK	40章
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLKB	2ICLK	40章
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2~3PCLKB	2ICLK	40章
0008 9014h	S12AD	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2~3PCLKB	2ICLK	40章
0008 9016h	S12AD	A/Dチャンネル選択レジスタB1	ADANSB1	16	16	2~3PCLKB	2ICLK	40章
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADBLDR	16	16	2~3PCLKB	2ICLK	40章
0008 901Ah	S12AD	A/D温度センサーデータレジスタ	ADTSR	16	16	2~3PCLKB	2ICLK	40章
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2~3PCLKB	2ICLK	40章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2~3PCLKB	2ICLK	40章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2~3PCLKB	2ICLK	40章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLKB	2ICLK	40章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLKB	2ICLK	40章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLKB	2ICLK	40章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2~3PCLKB	2ICLK	40章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2~3PCLKB	2ICLK	40章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2~3PCLKB	2ICLK	40章
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2~3PCLKB	2ICLK	40章
0008 9030h	S12AD	A/Dデータレジスタ8	ADDR8	16	16	2~3PCLKB	2ICLK	40章
0008 9040h	S12AD	A/Dデータレジスタ16	ADDR16	16	16	2~3PCLKB	2ICLK	40章
0008 9042h	S12AD	A/Dデータレジスタ17	ADDR17	16	16	2~3PCLKB	2ICLK	40章
0008 9044h	S12AD	A/Dデータレジスタ18	ADDR18	16	16	2~3PCLKB	2ICLK	40章
0008 9046h	S12AD	A/Dデータレジスタ19	ADDR19	16	16	2~3PCLKB	2ICLK	40章
0008 9048h	S12AD	A/Dデータレジスタ20	ADDR20	16	16	2~3PCLKB	2ICLK	40章
0008 904Ah	S12AD	A/Dデータレジスタ21	ADDR21	16	16	2~3PCLKB	2ICLK	40章
0008 904Ch	S12AD	A/Dデータレジスタ22	ADDR22	16	16	2~3PCLKB	2ICLK	40章
0008 904Eh	S12AD	A/Dデータレジスタ23	ADDR23	16	16	2~3PCLKB	2ICLK	40章
0008 9050h	S12AD	A/Dデータレジスタ24	ADDR24	16	16	2~3PCLKB	2ICLK	40章
0008 9052h	S12AD	A/Dデータレジスタ25	ADDR25	16	16	2~3PCLKB	2ICLK	40章
0008 9054h	S12AD	A/Dデータレジスタ26	ADDR26	16	16	2~3PCLKB	2ICLK	40章

表5.1 I/Oレジスタアドレス一覧 (7/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 9056h	S12AD	A/Dデータレジスタ27	ADDR27	16	16	2~3PCLKB	2ICLK	40章
0008 9058h	S12AD	A/Dデータレジスタ28	ADDR28	16	16	2~3PCLKB	2ICLK	40章
0008 905Ah	S12AD	A/Dデータレジスタ29	ADDR29	16	16	2~3PCLKB	2ICLK	40章
0008 905Ch	S12AD	A/Dデータレジスタ30	ADDR30	16	16	2~3PCLKB	2ICLK	40章
0008 905Eh	S12AD	A/Dデータレジスタ31	ADDR31	16	16	2~3PCLKB	2ICLK	40章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2~3PCLKB	2ICLK	40章
0008 907Dh	S12AD	A/Dイベントリンクコントロールレジスタ	ADELCCR	8	8	2~3PCLKB	2ICLK	40章
0008 907Eh	S12AD	A/D変換サイクル制御レジスタ	ADCCR	8	8	2~3PCLKB	2ICLK	40章
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2~3PCLKB	2ICLK	40章
0008 908Ah	S12AD	A/D高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	8	8	2~3PCLKB	2ICLK	40章
0008 908Ch	S12AD	A/Dコンペア機能ウィンドウA/Bステータスマニタレジスタ	ADWINMON	8	8	2~3PCLKB	2ICLK	40章
0008 9090h	S12AD	A/Dコンペア機能コントロールレジスタ	ADCMPCR	16	16	2~3PCLKB	2ICLK	40章
0008 9092h	S12AD	A/Dコンペア機能ウィンドウA拡張入力選択レジスタ	ADCMPANSER	8	8	2~3PCLKB	2ICLK	40章
0008 9093h	S12AD	A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ	ADCMPLER	8	8	2~3PCLKB	2ICLK	40章
0008 9094h	S12AD	A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0	ADCMPANSR0	16	16	2~3PCLKB	2ICLK	40章
0008 9096h	S12AD	A/Dコンペア機能ウィンドウAチャンネル選択レジスタ1	ADCMPANSR1	16	16	2~3PCLKB	2ICLK	40章
0008 9098h	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0	ADCMPLR0	16	16	2~3PCLKB	2ICLK	40章
0008 909Ah	S12AD	A/Dコンペア機能ウィンドウA比較条件設定レジスタ1	ADCMPLR1	16	16	2~3PCLKB	2ICLK	40章
0008 909Ch	S12AD	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ	ADCMPDR0	16	16	2~3PCLKB	2ICLK	40章
0008 909Eh	S12AD	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ	ADCMPDR1	16	16	2~3PCLKB	2ICLK	40章
0008 90A0h	S12AD	A/Dコンペア機能ウィンドウAチャンネルステータスレジスタ0	ADCMPSR0	16	16	2~3PCLKB	2ICLK	40章
0008 90A2h	S12AD	A/Dコンペア機能ウィンドウAチャンネルステータスレジスタ1	ADCMPSR1	16	16	2~3PCLKB	2ICLK	40章
0008 90A4h	S12AD	A/Dコンペア機能ウィンドウA拡張入力チャンネルステータスレジスタ	ADCMPSESR	8	8	2~3PCLKB	2ICLK	40章
0008 90A6h	S12AD	A/Dコンペア機能ウィンドウBチャンネル選択レジスタ	ADCMPBNSR	8	8	2~3PCLKB	2ICLK	40章
0008 90A8h	S12AD	A/Dコンペア機能ウィンドウB下位側レベル設定レジスタ	ADWINLLB	16	16	2~3PCLKB	2ICLK	40章
0008 90AAh	S12AD	A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ	ADWINULB	16	16	2~3PCLKB	2ICLK	40章
0008 90ACh	S12AD	A/Dコンペア機能ウィンドウBチャンネルステータスレジスタ	ADCMPBSR	8	8	2~3PCLKB	2ICLK	40章
0008 90B0h	S12AD	A/Dデータ格納バッファレジスタ0	ADBUF0	16	16	2~3PCLKB	2ICLK	40章
0008 90B2h	S12AD	A/Dデータ格納バッファレジスタ1	ADBUF1	16	16	2~3PCLKB	2ICLK	40章
0008 90B4h	S12AD	A/Dデータ格納バッファレジスタ2	ADBUF2	16	16	2~3PCLKB	2ICLK	40章
0008 90B6h	S12AD	A/Dデータ格納バッファレジスタ3	ADBUF3	16	16	2~3PCLKB	2ICLK	40章
0008 90B8h	S12AD	A/Dデータ格納バッファレジスタ4	ADBUF4	16	16	2~3PCLKB	2ICLK	40章
0008 90BAh	S12AD	A/Dデータ格納バッファレジスタ5	ADBUF5	16	16	2~3PCLKB	2ICLK	40章
0008 90BCh	S12AD	A/Dデータ格納バッファレジスタ6	ADBUF6	16	16	2~3PCLKB	2ICLK	40章
0008 90BEh	S12AD	A/Dデータ格納バッファレジスタ7	ADBUF7	16	16	2~3PCLKB	2ICLK	40章
0008 90C0h	S12AD	A/Dデータ格納バッファレジスタ8	ADBUF8	16	16	2~3PCLKB	2ICLK	40章
0008 90C2h	S12AD	A/Dデータ格納バッファレジスタ9	ADBUF9	16	16	2~3PCLKB	2ICLK	40章
0008 90C4h	S12AD	A/Dデータ格納バッファレジスタ10	ADBUF10	16	16	2~3PCLKB	2ICLK	40章
0008 90C6h	S12AD	A/Dデータ格納バッファレジスタ11	ADBUF11	16	16	2~3PCLKB	2ICLK	40章
0008 90C8h	S12AD	A/Dデータ格納バッファレジスタ12	ADBUF12	16	16	2~3PCLKB	2ICLK	40章
0008 90CAh	S12AD	A/Dデータ格納バッファレジスタ13	ADBUF13	16	16	2~3PCLKB	2ICLK	40章
0008 90CCh	S12AD	A/Dデータ格納バッファレジスタ14	ADBUF14	16	16	2~3PCLKB	2ICLK	40章
0008 90CEh	S12AD	A/Dデータ格納バッファレジスタ15	ADBUF15	16	16	2~3PCLKB	2ICLK	40章
0008 90D0h	S12AD	A/Dデータ格納バッファファイナールレジスタ	ADBUFEN	8	8	2~3PCLKB	2ICLK	40章

表5.1 I/Oレジスタアドレス一覧 (8/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 90D2h	S12AD	A/Dデータ格納バッファポインタレジスタ	ADBUFPTR	8	8	2~3PCLKB	2ICLK	40章
0008 90DDh	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2~3PCLKB	2ICLK	40章
0008 90DEh	S12AD	A/DサンプリングステートレジスタT	ADSSTRT	8	8	2~3PCLKB	2ICLK	40章
0008 90DFh	S12AD	A/DサンプリングステートレジスタO	ADSSTRO	8	8	2~3PCLKB	2ICLK	40章
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2~3PCLKB	2ICLK	40章
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB	2ICLK	40章
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB	2ICLK	40章
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB	2ICLK	40章
0008 90E4h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB	2ICLK	40章
0008 90E5h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB	2ICLK	40章
0008 90E6h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB	2ICLK	40章
0008 90E7h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB	2ICLK	40章
0008 90E8h	S12AD	A/Dサンプリングステートレジスタ8	ADSSTR8	8	8	2~3PCLKB	2ICLK	40章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	31章
0008 A020h	SMCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	31章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	31章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	31章
0008 A022h	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	31章
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	31章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	31章
0008 A024h	SMCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	31章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	31章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	31章
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	31章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	31章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	31章
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	31章
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	31章
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	31章
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	31章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	31章
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	2~3PCLKB	2ICLK	31章
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	31章
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	31章
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	2~3PCLKB	2ICLK	31章
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	31章
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	31章
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	31章
0008 A033h	SCI1	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	31章
0008 A03Ah	SCI1	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	31章
0008 A03Ah	SCI1	比較データレジスタH	CDR.H	8	8	2~3PCLKB	2ICLK	31章
0008 A03Bh	SCI1	比較データレジスタL	CDR.L	8	8	2~3PCLKB	2ICLK	31章
0008 A03Ch	SCI1	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	31章
0008 A03Dh	SCI1	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A0h	SMCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A2h	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A4h	SMCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	31章

表5.1 I/Oレジスタアドレス一覧 (9/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	31章
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	31章
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	31章
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	31章
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	31章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	2~3PCLKB	2ICLK	31章
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	31章
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	31章
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	2~3PCLKB	2ICLK	31章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	31章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	31章
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	31章
0008 A0B3h	SCI5	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	31章
0008 A0BAh	SCI5	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	31章
0008 A0BAh	SCI5	比較データレジスタH	CDR.H	8	8	2~3PCLKB	2ICLK	31章
0008 A0BBh	SCI5	比較データレジスタL	CDR.L	8	8	2~3PCLKB	2ICLK	31章
0008 A0BCh	SCI5	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	31章
0008 A0BDh	SCI5	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C0h	SMCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C2h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C4h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	31章
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	31章
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	31章
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	31章
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	31章
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	31章
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	2~3PCLKB	2ICLK	31章
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	31章
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	31章
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	2~3PCLKB	2ICLK	31章
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	31章
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	31章
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	31章
0008 A0D3h	SCI6	データ比較制御レジスタ	DCCR	8	8	2~3PCLKB	2ICLK	31章
0008 A0DAh	SCI6	比較データレジスタ	CDR	16	16	4~5PCLKB	2ICLK	31章
0008 A0DAh	SCI6	比較データレジスタH	CDR.H	8	8	2~3PCLKB	2ICLK	31章
0008 A0DBh	SCI6	比較データレジスタL	CDR.L	8	8	2~3PCLKB	2ICLK	31章

表5.1 I/Oレジスタアドレス一覧 (10/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 A0DCh	SCI6	シリアルポートレジスタ	SPTR	8	8	2~3PCLKB	2ICLK	31章
0008 A0DDh	SCI6	送受信タイミング選択レジスタ	TMGR	8	8	2~3PCLKB	2ICLK	31章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK	10章
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	2ICLK	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK	10章
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK	44章
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	2ICLK	44章
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	2ICLK	44章
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	2ICLK	19章
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB	2ICLK	19章
0008 B109h	ELC	イベントリンク設定レジスタ8	ELSR8	8	8	2~3PCLKB	2ICLK	19章
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	2ICLK	19章
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	2ICLK	19章
0008 B10Fh	ELC	イベントリンク設定レジスタ14	ELSR14	8	8	2~3PCLKB	2ICLK	19章
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	2ICLK	19章
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2~3PCLKB	2ICLK	19章
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	2ICLK	19章
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2~3PCLKB	2ICLK	19章
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	2ICLK	19章
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2~3PCLKB	2ICLK	19章
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	2ICLK	19章
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2~3PCLKB	2ICLK	19章
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	2ICLK	19章
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	2ICLK	19章
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2~3PCLKB	2ICLK	19章
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2~3PCLKB	2ICLK	19章
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2~3PCLKB	2ICLK	19章
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB	2ICLK	19章
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	2ICLK	19章
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	2ICLK	19章
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2~3PCLKB	2ICLK	19章
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	2ICLK	19章
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2~3PCLKB	2ICLK	19章
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	2ICLK	19章
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2~3PCLKB	2ICLK	19章
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	2ICLK	19章
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK	19章
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2~3PCLKB	2ICLK	19章
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2~3PCLKB	2ICLK	19章
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK	19章
0008 B146h	ELC	イベントリンク設定レジスタ48	ELSR48	8	8	2~3PCLKB	2ICLK	19章
0008 B147h	ELC	イベントリンク設定レジスタ49	ELSR49	8	8	2~3PCLKB	2ICLK	19章
0008 B148h	ELC	イベントリンク設定レジスタ50	ELSR50	8	8	2~3PCLKB	2ICLK	19章
0008 B149h	ELC	イベントリンク設定レジスタ51	ELSR51	8	8	2~3PCLKB	2ICLK	19章
0008 B14Ah	ELC	イベントリンク設定レジスタ52	ELSR52	8	8	2~3PCLKB	2ICLK	19章
0008 B14Bh	ELC	イベントリンク設定レジスタ53	ELSR53	8	8	2~3PCLKB	2ICLK	19章
0008 B14Ch	ELC	イベントリンク設定レジスタ54	ELSR54	8	8	2~3PCLKB	2ICLK	19章

表5.1 I/Oレジスタアドレス一覧 (11/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 B14Dh	ELC	イベントリンク設定レジスタ55	ELSR55	8	8	2~3PCLKB	2ICLK	19章
0008 B14Eh	ELC	イベントリンク設定レジスタ56	ELSR56	8	8	2~3PCLKB	2ICLK	19章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	31章
0008 B300h	SMCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK	31章
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	31章
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	31章
0008 B302h	SMCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	31章
0008 B303h	SCI12	トランスミッターデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK	31章
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	31章
0008 B304h	SMCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK	31章
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK	31章
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	31章
0008 B306h	SMCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	31章
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK	31章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK	31章
0008 B309h	SCI12	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK	31章
0008 B30Ah	SCI12	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK	31章
0008 B30Bh	SCI12	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	31章
0008 B30Ch	SCI12	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK	31章
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK	31章
0008 B30Eh	SCI12	トランスミッターデータレジスタHL	TDRHL	16	16	2~3PCLKB	2ICLK	31章
0008 B30Eh	SCI12	トランスミッターデータレジスタH	TDRH	8	8	2~3PCLKB	2ICLK	31章
0008 B30Fh	SCI12	トランスミッターデータレジスタL	TDRL	8	8	2~3PCLKB	2ICLK	31章
0008 B310h	SCI12	レシーブデータレジスタHL	RDRHL	16	16	2~3PCLKB	2ICLK	31章
0008 B310h	SCI12	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	2ICLK	31章
0008 B311h	SCI12	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	2ICLK	31章
0008 B312h	SCI12	モジュレーションデューティレジスタ	MDDR	8	8	2~3PCLKB	2ICLK	31章
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK	31章
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	2ICLK	31章
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	2ICLK	31章
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	2ICLK	31章
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	2ICLK	31章
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK	31章
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK	31章
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK	31章
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK	31章
0008 B329h	SCI12	Control Field 0データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK	31章
0008 B32Ah	SCI12	Control Field 0コンペイネーブルレジスタ	CF0CR	8	8	2~3PCLKB	2ICLK	31章
0008 B32Bh	SCI12	Control Field 0受信データレジスタ	CF0RR	8	8	2~3PCLKB	2ICLK	31章
0008 B32Ch	SCI12	プライマリControl Field 1データレジスタ	PCF1DR	8	8	2~3PCLKB	2ICLK	31章
0008 B32Dh	SCI12	セカンダリControl Field 1データレジスタ	SCF1DR	8	8	2~3PCLKB	2ICLK	31章
0008 B32Eh	SCI12	Control Field 1コンペイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	2ICLK	31章
0008 B32Fh	SCI12	Control Field 1受信データレジスタ	CF1RR	8	8	2~3PCLKB	2ICLK	31章
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK	31章
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	2ICLK	31章
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	2ICLK	31章
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	2ICLK	31章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章

表5.1 I/Oレジスタアドレス一覧 (12/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C010h	PORTG	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	20章
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Ch	PORTC	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Dh	PORTD	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C030h	PORTG	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C031h	PORTH	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C032h	PORTJ	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	2ICLK	20章
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C045h	PORT5	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C04Ah	PORTA	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C04Bh	PORTB	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C04Ch	PORTC	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C04Dh	PORTD	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C04Eh	PORTE	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C050h	PORTG	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C051h	PORTH	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C052h	PORTJ	ポート入カデータレジスタ	PIDR	8	8	3~4PCLKB	3ICLK	20章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C070h	PORTG	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK	20章
0008 C082h	PORT1	オーブントレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	20章

表5.1 I/Oレジスタアドレス一覧 (13/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C083h	PORT1	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C098h	PORTC	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C099h	PORTC	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ0	ODR0	8	8	2~3PCLKB	2ICLK	20章
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C0A1h	PORTG	オーブンドレイン制御レジスタ1	ODR1	8	8	2~3PCLKB	2ICLK	20章
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CC	PORTC	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CD	PORTD	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0D0h	PORTG	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	20章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK	21章
0008 C120h	PORT	ポート切り替えレジスタB	PSRB	8	8	2~3PCLKB	2ICLK	20章
0008 C121h	PORT	ポート切り替えレジスタA	PSRA	8	8	2~3PCLKB	2ICLK	20章
0008 C122h	PORT	ポートリードウェイト制御レジスタ	PRWGNTR	8	8	2~3PCLKB	2ICLK	20章
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	2ICLK	21章

表5.1 I/Oレジスタアドレス一覧 (14/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Eh	MPC	P36端子機能制御レジスタ	P36PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C15Fh	MPC	P37端子機能制御レジスタ	P37PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C16Bh	MPC	P53端子機能制御レジスタ	P53PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A8h	MPC	PD0端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1A9h	MPC	PD1端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1AAh	MPC	PD2端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B0h	MPC	PE0端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK	21章

表5.1 I/Oレジスタアドレス一覧 (15/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C1B1h	MPC	PE1端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B3h	MPC	PE3端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B4h	MPC	PE4端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B5h	MPC	PE5端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1D1h	MPC	PJ1端子機能制御レジスタ	PJ1PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1D6h	MPC	PJ6端子機能制御レジスタ	PJ6PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C1D7h	MPC	PJ7端子機能制御レジスタ	PJ7PFS	8	8	2~3PCLKB	2ICLK	21章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK	6章
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	9章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK	8章
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2~3PCLKB	2ICLK	26章
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2~3PCLKB	2ICLK	26章
0008 C402h	RTC	バイナリカウンタ0	BCNT0	8	8	2~3PCLKB	2ICLK	26章
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2~3PCLKB	2ICLK	26章
0008 C404h	RTC	バイナリカウンタ1	BCNT1	8	8	2~3PCLKB	2ICLK	26章
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2~3PCLKB	2ICLK	26章
0008 C406h	RTC	バイナリカウンタ2	BCNT2	8	8	2~3PCLKB	2ICLK	26章
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2~3PCLKB	2ICLK	26章
0008 C408h	RTC	バイナリカウンタ3	BCNT3	8	8	2~3PCLKB	2ICLK	26章
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2~3PCLKB	2ICLK	26章
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2~3PCLKB	2ICLK	26章
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2~3PCLKB	2ICLK	26章
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2~3PCLKB	2ICLK	26章
0008 C410h	RTC	バイナリカウンタ0アラームレジスタ	BCNT0AR	8	8	2~3PCLKB	2ICLK	26章
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2~3PCLKB	2ICLK	26章
0008 C412h	RTC	バイナリカウンタ1アラームレジスタ	BCNT1AR	8	8	2~3PCLKB	2ICLK	26章
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2~3PCLKB	2ICLK	26章
0008 C414h	RTC	バイナリカウンタ2アラームレジスタ	BCNT2AR	8	8	2~3PCLKB	2ICLK	26章
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2~3PCLKB	2ICLK	26章
0008 C416h	RTC	バイナリカウンタ3アラームレジスタ	BCNT3AR	8	8	2~3PCLKB	2ICLK	26章
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2~3PCLKB	2ICLK	26章
0008 C418h	RTC	バイナリカウンタ0アラーム許可レジスタ	BCNT0AER	8	8	2~3PCLKB	2ICLK	26章
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2~3PCLKB	2ICLK	26章
0008 C41Ah	RTC	バイナリカウンタ1アラーム許可レジスタ	BCNT1AER	8	8	2~3PCLKB	2ICLK	26章
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2~3PCLKB	2ICLK	26章
0008 C41Ch	RTC	バイナリカウンタ2アラーム許可レジスタ	BCNT2AER	16	16	2~3PCLKB	2ICLK	26章
0008 C41Eh	RTC	年アラーム許可レジスタ	RYRAREN	8	8	2~3PCLKB	2ICLK	26章
0008 C41Eh	RTC	バイナリカウンタ3アラーム許可レジスタ	BCNT3AER	8	8	2~3PCLKB	2ICLK	26章
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2~3PCLKB	2ICLK	26章

表5.1 I/Oレジスタアドレス一覧 (16/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2~3PCLKB	2ICLK	26章
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2~3PCLKB	2ICLK	26章
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2~3PCLKB	2ICLK	26章
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2~3PCLKB	2ICLK	26章
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2~3PCLKB	2ICLK	26章
0008 C452h	RTC	秒キャプチャレジスタ0	RSECCP0	8	8	2~3PCLKB	2ICLK	26章
0008 C452h	RTC	BCNT0キャプチャレジスタ0	BCNT0CP0	8	8	2~3PCLKB	2ICLK	26章
0008 C454h	RTC	分キャプチャレジスタ0	RMINCP0	8	8	2~3PCLKB	2ICLK	26章
0008 C454h	RTC	BCNT1キャプチャレジスタ0	BCNT1CP0	8	8	2~3PCLKB	2ICLK	26章
0008 C456h	RTC	時キャプチャレジスタ0	RHRCP0	8	8	2~3PCLKB	2ICLK	26章
0008 C456h	RTC	BCNT2キャプチャレジスタ0	BCNT2CP0	8	8	2~3PCLKB	2ICLK	26章
0008 C45Ah	RTC	日キャプチャレジスタ0	RDAYCP0	8	8	2~3PCLKB	2ICLK	26章
0008 C45Ah	RTC	BCNT3キャプチャレジスタ0	BCNT3CP0	8	8	2~3PCLKB	2ICLK	26章
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2~3PCLKB	2ICLK	26章
0008 C462h	RTC	秒キャプチャレジスタ1	RSECCP1	8	8	2~3PCLKB	2ICLK	26章
0008 C462h	RTC	BCNT0キャプチャレジスタ1	BCNT0CP1	8	8	2~3PCLKB	2ICLK	26章
0008 C464h	RTC	分キャプチャレジスタ1	RMINCP1	8	8	2~3PCLKB	2ICLK	26章
0008 C464h	RTC	BCNT1キャプチャレジスタ1	BCNT1CP1	8	8	2~3PCLKB	2ICLK	26章
0008 C466h	RTC	時キャプチャレジスタ1	RHRCP1	8	8	2~3PCLKB	2ICLK	26章
0008 C466h	RTC	BCNT2キャプチャレジスタ1	BCNT2CP1	8	8	2~3PCLKB	2ICLK	26章
0008 C46Ah	RTC	日キャプチャレジスタ1	RDAYCP1	8	8	2~3PCLKB	2ICLK	26章
0008 C46Ah	RTC	BCNT3キャプチャレジスタ1	BCNT3CP1	8	8	2~3PCLKB	2ICLK	26章
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2~3PCLKB	2ICLK	26章
0008 C472h	RTC	秒キャプチャレジスタ2	RSECCP2	8	8	2~3PCLKB	2ICLK	26章
0008 C472h	RTC	BCNT0キャプチャレジスタ2	BCNT0CP2	8	8	2~3PCLKB	2ICLK	26章
0008 C474h	RTC	分キャプチャレジスタ2	RMINCP2	8	8	2~3PCLKB	2ICLK	26章
0008 C474h	RTC	BCNT1キャプチャレジスタ2	BCNT1CP2	8	8	2~3PCLKB	2ICLK	26章
0008 C476h	RTC	時キャプチャレジスタ2	RHRCP2	8	8	2~3PCLKB	2ICLK	26章
0008 C476h	RTC	BCNT2キャプチャレジスタ2	BCNT2CP2	8	8	2~3PCLKB	2ICLK	26章
0008 C47Ah	RTC	日キャプチャレジスタ2	RDAYCP2	8	8	2~3PCLKB	2ICLK	26章
0008 C47Ah	RTC	BCNT3キャプチャレジスタ2	BCNT3CP2	8	8	2~3PCLKB	2ICLK	26章
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2~3PCLKB	2ICLK	26章
0008 C580h	CMPB	コンパレータB制御レジスタ1	CPBCNT1	8	8	2~3PCLKB	2ICLK	43章
0008 C581h	CMPB	コンパレータB制御レジスタ2	CPBCNT2	8	8	2~3PCLKB	2ICLK	43章
0008 C582h	CMPB	コンパレータBフラグレジスタ	CPBFLG	8	8	2~3PCLKB	2ICLK	43章
0008 C583h	CMPB	コンパレータB割り込み制御レジスタ	CPBINT	8	8	2~3PCLKB	2ICLK	43章
0008 C584h	CMPB	コンパレータBフィルタ選択レジスタ	CPBF	8	8	2~3PCLKB	2ICLK	43章
0008 C585h	CMPB	コンパレータBモード選択レジスタ	CPBMD	8	8	2~3PCLKB	2ICLK	43章
0008 C586h	CMPB	コンパレータBリファレンス入力電圧選択レジスタ	CPBREF	8	8	2~3PCLKB	2ICLK	43章
0008 C587h	CMPB	コンパレータB出力制御レジスタ	CPBOCR	8	8	2~3PCLKB	2ICLK	43章
0009 E000h	POEG	POEGグループA設定レジスタ	POEGGA	32	32	2~3PCLKB	2ICLK	23章
0009 E100h	POEG	POEGグループB設定レジスタ	POEGGB	32	32	2~3PCLKB	2ICLK	23章
0009 E200h	POEG	POEGグループC設定レジスタ	POEGGC	32	32	2~3PCLKB	2ICLK	23章
0009 E300h	POEG	POEGグループD設定レジスタ	POEGGD	32	32	2~3PCLKB	2ICLK	23章
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3~4PCLKB	2ICLK	30章
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの周波数比)の整数切り上げ以上(注1)	30章
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの周波数比)の整数切り上げ以上(注1)	30章
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8, 16	3~4PCLKB	2ICLK	30章
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8, 16	3~4PCLKB	2ICLK	30章

表5.1 I/Oレジスタアドレス一覧 (17/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8, 16	3~4PCLKB	2ICLK	30章
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3~4PCLKB	2ICLK	30章
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3~4PCLKB	2ICLK	30章
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3~4PCLKB	2ICLK	30章
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3~4PCLKB	2ICLK	30章
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3~4PCLKB	2ICLK	30章
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3~4PCLKB	2ICLK	30章
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 003Ch	USB0	SOF出力コンフィギュレーションレジスタ	SOFCFG	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 004Ch	USB0	フレームナンバレジスタ	FRMNUM	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0056h	USB0	USBリクエストバリュレジスタ	USBVAL	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 005Ah	USB0	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章

表5.1 I/Oレジスタアドレス一覧 (18/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0090h	USB0	パイプ1トランザクションカウンタインエーブルレジスタ	PIPE1TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0094h	USB0	パイプ2トランザクションカウンタインエーブルレジスタ	PIPE2TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0098h	USB0	パイプ3トランザクションカウンタインエーブルレジスタ	PIPE3TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 009Ch	USB0	パイプ4トランザクションカウンタインエーブルレジスタ	PIPE4TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 00A0h	USB0	パイプ5トランザクションカウンタインエーブルレジスタ	PIPE5TRE	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 00D0h	USB0	デバイスアドレス0コンフィギュレーションレジスタ	DEVADD0	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 00D2h	USB0	デバイスアドレス1コンフィギュレーションレジスタ	DEVADD1	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 00D4h	USB0	デバイスアドレス2コンフィギュレーションレジスタ	DEVADD2	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 00D6h	USB0	デバイスアドレス3コンフィギュレーションレジスタ	DEVADD3	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 00D8h	USB0	デバイスアドレス4コンフィギュレーションレジスタ	DEVADD4	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 00DAh	USB0	デバイスアドレス5コンフィギュレーションレジスタ	DEVADD5	16	16	9PCLKB以上	1+9×(ICLK/PCLKBの 周波数比)の周波数 (注1)	30章
000A 0700h	CTSU	CTSU A/Dコンバータ接続制御レジスタ	CTSUADCC	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0900h	CTSU	CTSU制御レジスタA	CTSU CRA	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0904h	CTSU	CTSU制御レジスタB	CTSU CRB	32	16, 32	2~3PCLKB	2ICLK	39章

表5.1 I/Oレジスタアドレス一覧 (19/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 0908h	CTSU	CTSU計測チャネルレジスタ	CTSUMCH	32	16, 32	2~3PCLKB	2ICLK	39章
000A 090Ch	CTSU	CTSUチャネル有効制御レジスタA	CTSUCHACA	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0910h	CTSU	CTSUチャネル有効制御レジスタB	CTSUCHACB	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0914h	CTSU	CTSUチャネル送受信制御レジスタA	CTSUCHTRCA	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0918h	CTSU	CTSUチャネル送受信制御レジスタB	CTSUCHTRCB	32	16, 32	2~3PCLKB	2ICLK	39章
000A 091Ch	CTSU	CTSUステータスレジスタ	CTSUSR	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0920h	CTSU	CTSUセンサオフセットレジスタ	CTSUSO	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0924h	CTSU	CTSUセンサカウンタ	CTSUSCNT	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0928h	CTSU	CTSUキャリブレーションレジスタ	CTSUCALIB	32	16, 32	2~3PCLKB	2ICLK	39章
000A 092Ch	CTSU	CTSUセンサユニットクロック制御レジスタA	CTSUSUCLKA	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0930h	CTSU	CTSUセンサユニットクロック制御レジスタB	CTSUSUCLKB	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0940h	CTSU	CTSUオプション設定レジスタ	CTSUOPT	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0944h	CTSU	CTSUセンサカウンタ自動補正テーブルアクセスレジスタ	CTSUSCNTACT	32	16, 32	2~3PCLKB	2ICLK	39章
000A 094Ch	CTSU	CTSUマルチクロック自動補正テーブル1	CTSUMCACT1	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0950h	CTSU	CTSUマルチクロック自動補正テーブル2	CTSUMCACT2	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0954h	CTSU	CTSUマルチクロック自動補正テーブル3	CTSUMCACT3	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0958h	CTSU	CTSU自動判定制御レジスタ	CTSUAJCR	32	16, 32	2~3PCLKB	2ICLK	39章
000A 095Ch	CTSU	CTSUしきい値レジスタ	CTSUAJTHR	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0960h	CTSU	CTSU移動平均結果レジスタ	CTSUAJMMAR	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0964h	CTSU	CTSUベースライン平均中間結果レジスタ	CTSUAJBLACT	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0968h	CTSU	CTSUベースライン平均結果レジスタ	CTSUAJBLAR	32	16, 32	2~3PCLKB	2ICLK	39章
000A 096Ch	CTSU	CTSU自動判定結果レジスタ	CTSUAJRR	32	16, 32	2~3PCLKB	2ICLK	39章
000A 0B00h	REMC0	機能選択レジスタ0	REMCON0	8	8	2~3PCLKB	2ICLK	37章
000A 0B01h	REMC0	機能選択レジスタ1	REMCON1	8	8	2~3PCLKB	2ICLK	37章
000A 0B02h	REMC0	ステータスレジスタ	REMSTS	8	8	2~3PCLKB	2ICLK	37章
000A 0B03h	REMC0	割り込み制御レジスタ	REMINT	8	8	2~3PCLKB	2ICLK	37章
000A 0B05h	REMC0	コンペア制御レジスタ	REMCPC	8	8	2~3PCLKB	2ICLK	37章
000A 0B06h	REMC0	コンペア値設定レジスタ	REMCPCD	16	16	2~3PCLKB	2ICLK	37章
000A 0B08h	REMC0	ヘッダパターン最小幅設定レジスタ	HDPMIN	16	16	2~3PCLKB	2ICLK	37章
000A 0B0Ah	REMC0	ヘッダパターン最大幅設定レジスタ	HDPMAX	16	16	2~3PCLKB	2ICLK	37章
000A 0B0Ch	REMC0	データ"0"パターン最小幅設定レジスタ	D0PMIN	8	8	2~3PCLKB	2ICLK	37章
000A 0B0Dh	REMC0	データ"0"パターン最大幅設定レジスタ	D0PMAX	8	8	2~3PCLKB	2ICLK	37章
000A 0B0Eh	REMC0	データ"1"パターン最小幅設定レジスタ	D1PMIN	8	8	2~3PCLKB	2ICLK	37章
000A 0B0Fh	REMC0	データ"1"パターン最大幅設定レジスタ	D1PMAX	8	8	2~3PCLKB	2ICLK	37章
000A 0B10h	REMC0	特殊データパターン最小幅設定レジスタ	SDPMIN	16	16	2~3PCLKB	2ICLK	37章
000A 0B12h	REMC0	特殊データパターン最大幅設定レジスタ	SDPMAX	16	16	2~3PCLKB	2ICLK	37章
000A 0B14h	REMC0	パターンエンド設定レジスタ	REMPE	16	16	2~3PCLKB	2ICLK	37章
000A 0B16h	REMC0	受信機能スタンバイコントロールレジスタ	REMSTC	8	8	2~3PCLKB	2ICLK	37章
000A 0B17h	REMC0	受信ビット数レジスタ	REMRBIT	8	8	2~3PCLKB	2ICLK	37章
000A 0B18h	REMC0	受信データ0レジスタ	REMDAT0	8	8	2~3PCLKB	2ICLK	37章
000A 0B19h	REMC0	受信データ1レジスタ	REMDAT1	8	8	2~3PCLKB	2ICLK	37章
000A 0B1Ah	REMC0	受信データ2レジスタ	REMDAT2	8	8	2~3PCLKB	2ICLK	37章
000A 0B1Bh	REMC0	受信データ3レジスタ	REMDAT3	8	8	2~3PCLKB	2ICLK	37章
000A 0B1Ch	REMC0	受信データ4レジスタ	REMDAT4	8	8	2~3PCLKB	2ICLK	37章
000A 0B1Dh	REMC0	受信データ5レジスタ	REMDAT5	8	8	2~3PCLKB	2ICLK	37章
000A 0B1Eh	REMC0	受信データ6レジスタ	REMDAT6	8	8	2~3PCLKB	2ICLK	37章
000A 0B1Fh	REMC0	受信データ7レジスタ	REMDAT7	8	8	2~3PCLKB	2ICLK	37章
000A 0B20h	REMC0	測定結果レジスタ	REMTIM	16	16	2~3PCLKB	2ICLK	37章
000A 1000h	RSCIO	受信データレジスタ	RDR	32	8, 16, 32	2~3PCLKB	2ICLK	32章
000A 1004h	RSCIO	送信データレジスタ	TDR	32	8, 16, 32	2~3PCLKB	2ICLK	32章
000A 1008h	RSCIO	制御レジスタ0	SCR0	32	32	2~3PCLKB	2ICLK	32章

表5.1 I/Oレジスタアドレス一覧 (20/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 100Ch	RSCI0	制御レジスタ1	SCR1	32	32	2~3PCLKB	2ICLK	32章
000A 1010h	RSCI0	制御レジスタ2	SCR2	32	32	2~3PCLKB	2ICLK	32章
000A 1014h	RSCI0	制御レジスタ3	SCR3	32	32	2~3PCLKB	2ICLK	32章
000A 1018h	RSCI0	制御レジスタ4	SCR4	32	32	2~3PCLKB	2ICLK	32章
000A 101Eh	RSCI0	HBSサポートモード制御レジスタ	HBSCR	8	8	2~3PCLKB	2ICLK	32章
000A 1020h	RSCI0	I ² Cモードレジスタ	SIMR	32	32	2~3PCLKB	2ICLK	32章
000A 1030h	RSCI0	DE信号制御レジスタ	DECR	32	32	2~3PCLKB	2ICLK	32章
000A 1048h	RSCI0	ステータスレジスタ	SSR	32	32	2~3PCLKB	2ICLK	32章
000A 104Ch	RSCI0	I ² Cステータスレジスタ	SISR	32	32	2~3PCLKB	2ICLK	32章
000A 1068h	RSCI0	ステータスクリアレジスタ	SSCR	32	32	2~3PCLKB	2ICLK	32章
000A 106Ch	RSCI0	I ² Cステータスクリアレジスタ	SISCR	32	32	2~3PCLKB	2ICLK	32章
000A 1400h	RSCI8	受信データレジスタ	RDR	32	8, 16, 32	2~3PCLKB	2ICLK	32章
000A 1404h	RSCI8	送信データレジスタ	TDR	32	8, 16, 32	2~3PCLKB	2ICLK	32章
000A 1408h	RSCI8	制御レジスタ0	SCR0	32	32	2~3PCLKB	2ICLK	32章
000A 140Ch	RSCI8	制御レジスタ1	SCR1	32	32	2~3PCLKB	2ICLK	32章
000A 1410h	RSCI8	制御レジスタ2	SCR2	32	32	2~3PCLKB	2ICLK	32章
000A 1414h	RSCI8	制御レジスタ3	SCR3	32	32	2~3PCLKB	2ICLK	32章
000A 1418h	RSCI8	制御レジスタ4	SCR4	32	32	2~3PCLKB	2ICLK	32章
000A 141Eh	RSCI8	HBSサポートモード制御レジスタ	HBSCR	8	8	2~3PCLKB	2ICLK	32章
000A 1420h	RSCI8	I ² Cモードレジスタ	SIMR	32	32	2~3PCLKB	2ICLK	32章
000A 1430h	RSCI8	DE信号制御レジスタ	DECR	32	32	2~3PCLKB	2ICLK	32章
000A 1448h	RSCI8	ステータスレジスタ	SSR	32	32	2~3PCLKB	2ICLK	32章
000A 144Ch	RSCI8	I ² Cステータスレジスタ	SISR	32	32	2~3PCLKB	2ICLK	32章
000A 1468h	RSCI8	ステータスクリアレジスタ	SSCR	32	32	2~3PCLKB	2ICLK	32章
000A 146Ch	RSCI8	I ² Cステータスクリアレジスタ	SISCR	32	32	2~3PCLKB	2ICLK	32章
000A 1480h	RSCI9	受信データレジスタ	RDR	32	8, 16, 32	2~3PCLKB	2ICLK	32章
000A 1484h	RSCI9	送信データレジスタ	TDR	32	8, 16, 32	2~3PCLKB	2ICLK	32章
000A 1488h	RSCI9	制御レジスタ0	SCR0	32	32	2~3PCLKB	2ICLK	32章
000A 148Ch	RSCI9	制御レジスタ1	SCR1	32	32	2~3PCLKB	2ICLK	32章
000A 1490h	RSCI9	制御レジスタ2	SCR2	32	32	2~3PCLKB	2ICLK	32章
000A 1494h	RSCI9	制御レジスタ3	SCR3	32	32	2~3PCLKB	2ICLK	32章
000A 1498h	RSCI9	制御レジスタ4	SCR4	32	32	2~3PCLKB	2ICLK	32章
000A 149Eh	RSCI9	HBSサポートモード制御レジスタ	HBSCR	8	8	2~3PCLKB	2ICLK	32章
000A 14A0h	RSCI9	I ² Cモードレジスタ	SIMR	32	32	2~3PCLKB	2ICLK	32章
000A 14ACh	RSCI9	マンチェスタモード制御レジスタ	MMCR	32	32	2~3PCLKB	2ICLK	32章
000A 14B0h	RSCI9	DE信号制御レジスタ	DECR	32	32	2~3PCLKB	2ICLK	32章
000A 14B4h	RSCI9	拡張シリアルモード制御レジスタ0	XCR0	32	32	2~3PCLKB	2ICLK	32章
000A 14B8h	RSCI9	拡張シリアルモード制御レジスタ1	XCR1	32	32	2~3PCLKB	2ICLK	32章
000A 14BCh	RSCI9	拡張シリアルモード制御レジスタ2	XCR2	32	32	2~3PCLKB	2ICLK	32章
000A 14C8h	RSCI9	ステータスレジスタ	SSR	32	32	2~3PCLKB	2ICLK	32章
000A 14CCh	RSCI9	I ² Cステータスレジスタ	SISR	32	32	2~3PCLKB	2ICLK	32章
000A 14D8h	RSCI9	マンチェスタモードステータスレジスタ	MMSR	32	32	2~3PCLKB	2ICLK	32章
000A 14DCh	RSCI9	拡張シリアルモードステータスレジスタ0	XSR0	32	32	2~3PCLKB	2ICLK	32章
000A 14E0h	RSCI9	拡張シリアルモードステータスレジスタ1	XSR1	32	32	2~3PCLKB	2ICLK	32章
000A 14E8h	RSCI9	ステータスクリアレジスタ	SSCR	32	32	2~3PCLKB	2ICLK	32章
000A 14ECh	RSCI9	I ² Cステータスクリアレジスタ	SISCR	32	32	2~3PCLKB	2ICLK	32章
000A 14F4h	RSCI9	マンチェスタモードステータスクリアレジスタ	MMSCR	32	32	2~3PCLKB	2ICLK	32章
000A 14F8h	RSCI9	拡張シリアルモードステータスクリアレジスタ	XSCR	32	32	2~3PCLKB	2ICLK	32章
000A 8000h	CANFD0	公称ビットレート設定レジスタ	NBCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8004h	CANFD0	チャンネル制御レジスタ	CHCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8008h	CANFD0	チャンネルステータスレジスタ	CHSR	32	32	2~3PCLKB	1~2ICLK	34章
000A 800Ch	CANFD0	チャンネルエラーステータスレジスタ	CHESR	32	32	2~3PCLKB	1~2ICLK	34章

表5.1 I/Oレジスタアドレス一覧 (21/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 8014h	CANFD	グローバル設定レジスタ	GCFG	32	32	2~3PCLKB	1~2ICLK	34章
000A 8018h	CANFD	グローバル制御レジスタ	GCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 801Ch	CANFD	グローバルステータスレジスタ	GSR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8020h	CANFD	グローバルエラーステータスレジスタ	GESR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8024h	CANFD	タイムスタンプカウンタレジスタ	TSCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8028h	CANFD	アクセプタンスフィルタリスト制御レジスタ	AFCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 802Ch	CANFD	アクセプタンスフィルタリスト設定レジスタ	AFCFG	32	32	2~3PCLKB	1~2ICLK	34章
000A 8030h	CANFD	受信メッセージバッファ設定レジスタ	RMCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8034h	CANFD	受信メッセージバッファ新データレジスタ	RMNDR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8038h	CANFD	受信メッセージバッファ割り込み許可レジスタ	RMIER	32	32	2~3PCLKB	1~2ICLK	34章
000A 803Ch	CANFD	受信FIFO 0設定レジスタ	RFCR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8040h	CANFD	受信FIFO 1設定レジスタ	RFCR1	32	32	2~3PCLKB	1~2ICLK	34章
000A 8044h	CANFD	受信FIFO 0ステータスレジスタ	RFSR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8048h	CANFD	受信FIFO 1ステータスレジスタ	RFSR1	32	32	2~3PCLKB	1~2ICLK	34章
000A 804Ch	CANFD	受信FIFO 0ポインタ制御レジスタ	RFPCR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8050h	CANFD	受信FIFO 1ポインタ制御レジスタ	RFPCR1	32	32	2~3PCLKB	1~2ICLK	34章
000A 8054h	CANFD	共通FIFO 0設定レジスタ	CFCR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8058h	CANFD	共通FIFO 0ステータスレジスタ	CFSR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 805Ch	CANFD	共通FIFO 0ポインタ制御レジスタ	CFPCR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8060h	CANFD	FIFOエンプティステータスレジスタ	FESR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8064h	CANFD	FIFOフルステータスレジスタ	FFSR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8068h	CANFD	FIFOメッセージロストステータスレジスタ	FMSLR	32	32	2~3PCLKB	1~2ICLK	34章
000A 806Ch	CANFD	受信FIFO割り込みステータスレジスタ	RFISR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8070h	CANFD	送信メッセージバッファ 0制御レジスタ	TMCR0	8	8	2~3PCLKB	1~2ICLK	34章
000A 8071h	CANFD	送信メッセージバッファ 1制御レジスタ	TMCR1	8	8	2~3PCLKB	1~2ICLK	34章
000A 8072h	CANFD	送信メッセージバッファ 2制御レジスタ	TMCR2	8	8	2~3PCLKB	1~2ICLK	34章
000A 8073h	CANFD	送信メッセージバッファ 3制御レジスタ	TMCR3	8	8	2~3PCLKB	1~2ICLK	34章
000A 8074h	CANFD	送信メッセージバッファ 0ステータスレジスタ	TMSR0	8	8	2~3PCLKB	1~2ICLK	34章
000A 8075h	CANFD	送信メッセージバッファ 1ステータスレジスタ	TMSR1	8	8	2~3PCLKB	1~2ICLK	34章
000A 8076h	CANFD	送信メッセージバッファ 2ステータスレジスタ	TMSR2	8	8	2~3PCLKB	1~2ICLK	34章
000A 8077h	CANFD	送信メッセージバッファ 3ステータスレジスタ	TMSR3	8	8	2~3PCLKB	1~2ICLK	34章
000A 8078h	CANFD	送信メッセージバッファ送信要求ステータスレジスタ0	TMTRSRO	32	32	2~3PCLKB	1~2ICLK	34章
000A 807Ch	CANFD	送信メッセージバッファ送信アポート要求ステータスレジスタ0	TMARSR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8080h	CANFD	送信メッセージバッファ送信完了ステータスレジスタ0	TMTCSR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8084h	CANFD	送信メッセージバッファ送信アポートステータスレジスタ0	TMTASR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8088h	CANFD	送信メッセージバッファ割り込み許可レジスタ0	TMIER0	32	32	2~3PCLKB	1~2ICLK	34章
000A 808Ch	CANFD0	送信キュー 0設定レジスタ	TQCR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8090h	CANFD0	送信キュー 0ステータスレジスタ	TQSR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8094h	CANFD0	送信キュー 0ポインタ制御レジスタ	TQPCR0	32	32	2~3PCLKB	1~2ICLK	34章
000A 8098h	CANFD0	送信履歴設定レジスタ	THCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 809Ch	CANFD0	送信履歴ステータスレジスタ	THSR	32	32	2~3PCLKB	1~2ICLK	34章
000A 80A0h	CANFD0	送信履歴ポインタ制御レジスタ	THPCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 80A4h	CANFD	送信割り込みステータスレジスタ	TISR	32	32	2~3PCLKB	1~2ICLK	34章
000A 80A8h	CANFD	グローバルテストモード設定レジスタ	GTMCER	32	32	2~3PCLKB	1~2ICLK	34章
000A 80ACh	CANFD	グローバルテストモード許可レジスタ	GTMER	32	32	2~3PCLKB	1~2ICLK	34章
000A 80B0h	CANFD	グローバルCAN FD設定レジスタ	GFDCFG	32	32	2~3PCLKB	1~2ICLK	34章
000A 80B8h	CANFD	グローバルテストモードロックキーレジスタ	GTMLKR	32	32	2~3PCLKB	1~2ICLK	34章
000A 80C0h	CANFD	アクセプタンスフィルタ無効エントリ設定レジスタ	AFIGSR	32	32	2~3PCLKB	1~2ICLK	34章
000A 80C4h	CANFD	アクセプタンスフィルタ無効エントリ許可レジスタ	AFIGER	32	32	2~3PCLKB	1~2ICLK	34章
000A 80C8h	CANFD	DMA転送制御レジスタ	DTCR	32	32	2~3PCLKB	1~2ICLK	34章

表5.1 I/Oレジスタアドレス一覧 (22/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 80CCh	CANFD	DMA転送ステータスレジスタ	DTSR	32	32	2~3PCLKB	1~2ICLK	34章
000A 80D8h	CANFD	グローバルリセット制御レジスタ	GRCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8100h	CANFD0	データビットレート設定レジスタ	DBCR	32	32	2~3PCLKB	1~2ICLK	34章
000A 8104h	CANFD0	CAN FD設定レジスタ	FDCFG	32	32	2~3PCLKB	1~2ICLK	34章
000A 8108h	CANFD0	CAN FD制御レジスタ	FDCTR	32	32	2~3PCLKB	1~2ICLK	34章
000A 810Ch	CANFD0	CAN FDステータスレジスタ	FDSTS	32	32	2~3PCLKB	1~2ICLK	34章
000A 8110h	CANFD0	CAN FD CRCレジスタ	FDCRC	32	32	2~3PCLKB	1~2ICLK	34章
000A 8120h	CANFD	アクセプタンスフィルタリスト0	AFL0	128	32	3~4PCLKB	1~2ICLK	34章
000A 8130h	CANFD	アクセプタンスフィルタリスト1	AFL1	128	32	3~4PCLKB	1~2ICLK	34章
000A 8140h	CANFD	アクセプタンスフィルタリスト2	AFL2	128	32	3~4PCLKB	1~2ICLK	34章
000A 8150h	CANFD	アクセプタンスフィルタリスト3	AFL3	128	32	3~4PCLKB	1~2ICLK	34章
000A 8160h	CANFD	アクセプタンスフィルタリスト4	AFL4	128	32	3~4PCLKB	1~2ICLK	34章
000A 8170h	CANFD	アクセプタンスフィルタリスト5	AFL5	128	32	3~4PCLKB	1~2ICLK	34章
000A 8180h	CANFD	アクセプタンスフィルタリスト6	AFL6	128	32	3~4PCLKB	1~2ICLK	34章
000A 8190h	CANFD	アクセプタンスフィルタリスト7	AFL7	128	32	3~4PCLKB	1~2ICLK	34章
000A 81A0h	CANFD	アクセプタンスフィルタリスト8	AFL8	128	32	3~4PCLKB	1~2ICLK	34章
000A 81B0h	CANFD	アクセプタンスフィルタリスト9	AFL9	128	32	3~4PCLKB	1~2ICLK	34章
000A 81C0h	CANFD	アクセプタンスフィルタリスト10	AFL10	128	32	3~4PCLKB	1~2ICLK	34章
000A 81D0h	CANFD	アクセプタンスフィルタリスト11	AFL11	128	32	3~4PCLKB	1~2ICLK	34章
000A 81E0h	CANFD	アクセプタンスフィルタリスト12	AFL12	128	32	3~4PCLKB	1~2ICLK	34章
000A 81F0h	CANFD	アクセプタンスフィルタリスト13	AFL13	128	32	3~4PCLKB	1~2ICLK	34章
000A 8200h	CANFD	アクセプタンスフィルタリスト14	AFL14	128	32	3~4PCLKB	1~2ICLK	34章
000A 8210h	CANFD	アクセプタンスフィルタリスト15	AFL15	128	32	3~4PCLKB	1~2ICLK	34章
000A 8280h ~ 000A 837Ch	CANFD	RAMテストページアクセスレジスタ0~RAMテストページアクセスレジスタ63	RTPAR0 ~ RTPAR63	32	32	2~3PCLKB	1~2ICLK	34章
000A 8520h ~ 000A 856Bh	CANFD	受信FIFO 0	RFB0	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 856Ch ~ 000A 85B7h	CANFD	受信FIFO 1	RFB1	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 85B8h ~ 000A 8603h	CANFD	共通FIFO	CFB0	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8604h ~ 000A 864Fh	CANFD	送信メッセージバッファ 0	TMB0	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8650h ~ 000A 869Bh	CANFD	送信メッセージバッファ 1	TMB1	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 869Ch ~ 000A 86E7h	CANFD	送信メッセージバッファ 2	TMB2	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 86E8h ~ 000A 8733h	CANFD	送信メッセージバッファ 3	TMB3	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8740h	CANFD0	送信履歴アクセスレジスタ0	THACR0	32	32	3~4PCLKB	1~2ICLK	34章
000A 8744h	CANFD0	送信履歴アクセスレジスタ1	THACR1	32	32	3~4PCLKB	1~2ICLK	34章
000A 8920h ~ 000A 896Bh	CANFD	受信メッセージバッファ 0	RMB0	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 896Ch ~ 000A 89B7h	CANFD	受信メッセージバッファ 1	RMB1	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 89B8h ~ 000A 8A03h	CANFD	受信メッセージバッファ 2	RMB2	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8A04h ~ 000A 8A4Fh	CANFD	受信メッセージバッファ 3	RMB3	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8A50h ~ 000A 8A9Bh	CANFD	受信メッセージバッファ 4	RMB4	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8A9Ch ~ 000A 8AE7h	CANFD	受信メッセージバッファ 5	RMB5	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8AE8h ~ 000A 8B33h	CANFD	受信メッセージバッファ 6	RMB6	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8B34h ~ 000A 8B7Fh	CANFD	受信メッセージバッファ 7	RMB7	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8D20h ~ 000A 8D6Bh	CANFD	受信メッセージバッファ 8	RMB8	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8D6Ch ~ 000A 8DB7h	CANFD	受信メッセージバッファ 9	RMB9	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章

表5.1 I/Oレジスタアドレス一覧 (23/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000A 8DB8h ~ 000A 8E03h	CANFD	受信メッセージバッファ 10	RMB10	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8E04h ~ 000A 8E4Fh	CANFD	受信メッセージバッファ 11	RMB11	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8E50h ~ 000A 8E9Bh	CANFD	受信メッセージバッファ 12	RMB12	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8E9Ch ~ 000A 8EE7h	CANFD	受信メッセージバッファ 13	RMB13	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8EE8h ~ 000A 8F33h	CANFD	受信メッセージバッファ 14	RMB14	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 8F34h ~ 000A 8F7Fh	CANFD	受信メッセージバッファ 15	RMB15	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 9120h ~ 000A 916Bh	CANFD	受信メッセージバッファ 16	RMB16	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 916Ch ~ 000A 91B7h	CANFD	受信メッセージバッファ 17	RMB17	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 91B8h ~ 000A 9203h	CANFD	受信メッセージバッファ 18	RMB18	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 9204h ~ 000A 924Fh	CANFD	受信メッセージバッファ 19	RMB19	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 9250h ~ 000A 929Bh	CANFD	受信メッセージバッファ 20	RMB20	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 929Ch ~ 000A 92E7h	CANFD	受信メッセージバッファ 21	RMB21	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 92E8h ~ 000A 9333h	CANFD	受信メッセージバッファ 22	RMB22	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 9334h ~ 000A 937Fh	CANFD	受信メッセージバッファ 23	RMB23	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 9520h ~ 000A 956Bh	CANFD	受信メッセージバッファ 24	RMB24	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 956Ch ~ 000A 95B7h	CANFD	受信メッセージバッファ 25	RMB25	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 95B8h ~ 000A 9603h	CANFD	受信メッセージバッファ 26	RMB26	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 9604h ~ 000A 964Fh	CANFD	受信メッセージバッファ 27	RMB27	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 9650h ~ 000A 969Bh	CANFD	受信メッセージバッファ 28	RMB28	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 969Ch ~ 000A 96E7h	CANFD	受信メッセージバッファ 29	RMB29	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 96E8h ~ 000A 9733h	CANFD	受信メッセージバッファ 30	RMB30	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000A 9734h ~ 000A 977Fh	CANFD	受信メッセージバッファ 31	RMB31	608	8, 16, 32	3~4PCLKB	1~2ICLK	34章
000C 2000h	GPTW0	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4~5PCLKA	2~3ICLK	22章
000C 2004h	GPTW0	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2008h	GPTW0	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4~5PCLKA	2~3ICLK	22章
000C 200Ch	GPTW0	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2010h	GPTW0	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2014h	GPTW0	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2018h	GPTW0	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2024h	GPTW0	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2028h	GPTW0	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 202Ch	GPTW0	汎用PWMタイマ制御レジスタ	GTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2030h	GPTW0	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2034h	GPTW0	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2038h	GPTW0	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4~5PCLKA	2~3ICLK	22章
000C 203Ch	GPTW0	汎用PWMタイマステータスレジスタ	GTST	32	32	4~5PCLKA	2~3ICLK	22章
000C 2040h	GPTW0	汎用PWMタイマバッファファイナブルレジスタ	GTBER	32	32	4~5PCLKA	2~3ICLK	22章
000C 2044h	GPTW0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2048h	GPTW0	汎用PWMタイマカウンタ	GTCNT	32	32	4~5PCLKA	2~3ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (24/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 204Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2050h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2054h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2058h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4~5PCLKA	2~3ICLK	22章
000C 205Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4~5PCLKA	2~3ICLK	22章
000C 2060h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4~5PCLKA	2~3ICLK	22章
000C 2064h	GPTW0	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2068h	GPTW0	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 206Ch	GPTW0	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2070h	GPTW0	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2074h	GPTW0	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2078h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 207Ch	GPTW0	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2080h	GPTW0	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2084h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2088h	GPTW0	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 208Ch	GPTW0	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4~5PCLKA	2~3ICLK	22章
000C 20D0h	GPTW0	汎用PWMタイマ動作許可ビット同時制御チャンネル選択レジスタ	GTSECSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 20D4h	GPTW0	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4~5PCLKA	2~3ICLK	22章
000C 20ECh	GPTW0	汎用PWMタイマチャンネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2100h	GPTW1	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4~5PCLKA	2~3ICLK	22章
000C 2104h	GPTW1	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2108h	GPTW1	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4~5PCLKA	2~3ICLK	22章
000C 210Ch	GPTW1	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2110h	GPTW1	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2114h	GPTW1	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2118h	GPTW1	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2124h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2128h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 212Ch	GPTW1	汎用PWMタイマ制御レジスタ	GTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2130h	GPTW1	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2134h	GPTW1	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2138h	GPTW1	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4~5PCLKA	2~3ICLK	22章
000C 213Ch	GPTW1	汎用PWMタイマステータスレジスタ	GTST	32	32	4~5PCLKA	2~3ICLK	22章
000C 2140h	GPTW1	汎用PWMタイマバッファインプットレジスタ	GTBER	32	32	4~5PCLKA	2~3ICLK	22章
000C 2144h	GPTW1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2148h	GPTW1	汎用PWMタイマカウンタ	GTCNT	32	32	4~5PCLKA	2~3ICLK	22章
000C 214Ch	GPTW1	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2150h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2154h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2158h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4~5PCLKA	2~3ICLK	22章
000C 215Ch	GPTW1	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4~5PCLKA	2~3ICLK	22章
000C 2160h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4~5PCLKA	2~3ICLK	22章
000C 2164h	GPTW1	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2168h	GPTW1	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 216Ch	GPTW1	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2170h	GPTW1	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2174h	GPTW1	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4~5PCLKA	2~3ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (25/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 2178h	GPTW1	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 217Ch	GPTW1	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2180h	GPTW1	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2184h	GPTW1	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2188h	GPTW1	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 218Ch	GPTW1	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4~5PCLKA	2~3ICLK	22章
000C 21D0h	GPTW1	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 21D4h	GPTW1	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4~5PCLKA	2~3ICLK	22章
000C 21ECh	GPTW1	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2200h	GPTW2	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4~5PCLKA	2~3ICLK	22章
000C 2204h	GPTW2	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2208h	GPTW2	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4~5PCLKA	2~3ICLK	22章
000C 220Ch	GPTW2	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2210h	GPTW2	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2214h	GPTW2	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2218h	GPTW2	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2224h	GPTW2	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2228h	GPTW2	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 222Ch	GPTW2	汎用PWMタイマ制御レジスタ	GTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2230h	GPTW2	汎用PWMタイマカウンタ方向、デューティ設定レジスタ	GTUDDTYC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2234h	GPTW2	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2238h	GPTW2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4~5PCLKA	2~3ICLK	22章
000C 223Ch	GPTW2	汎用PWMタイマステータスレジスタ	GTST	32	32	4~5PCLKA	2~3ICLK	22章
000C 2240h	GPTW2	汎用PWMタイマバッファインプットレジスタ	GTBER	32	32	4~5PCLKA	2~3ICLK	22章
000C 2244h	GPTW2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2248h	GPTW2	汎用PWMタイマカウンタ	GTCNT	32	32	4~5PCLKA	2~3ICLK	22章
000C 224Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2250h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2254h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2258h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4~5PCLKA	2~3ICLK	22章
000C 225Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4~5PCLKA	2~3ICLK	22章
000C 2260h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4~5PCLKA	2~3ICLK	22章
000C 2264h	GPTW2	汎用PWMタイマ周期設定レジスタ	GTTPR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2268h	GPTW2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 226Ch	GPTW2	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2270h	GPTW2	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2274h	GPTW2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2278h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 227Ch	GPTW2	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2280h	GPTW2	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2284h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2288h	GPTW2	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 228Ch	GPTW2	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32	4~5PCLKA	2~3ICLK	22章
000C 22D0h	GPTW2	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 22D4h	GPTW2	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4~5PCLKA	2~3ICLK	22章
000C 22ECh	GPTW2	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4~5PCLKA	2~3ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (26/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 2300h	GPTW3	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4~5PCLKA	2~3ICLK	22章
000C 2304h	GPTW3	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2308h	GPTW3	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4~5PCLKA	2~3ICLK	22章
000C 230Ch	GPTW3	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2310h	GPTW3	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2314h	GPTW3	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2318h	GPTW3	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 231Ch	GPTW3	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2320h	GPTW3	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2324h	GPTW3	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2328h	GPTW3	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 232Ch	GPTW3	汎用PWMタイマ制御レジスタ	GTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2330h	GPTW3	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2334h	GPTW3	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2338h	GPTW3	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4~5PCLKA	2~3ICLK	22章
000C 233Ch	GPTW3	汎用PWMタイマステータスレジスタ	GTST	32	32	4~5PCLKA	2~3ICLK	22章
000C 2340h	GPTW3	汎用PWMタイマバッファインプットレジスタ	GTBER	32	32	4~5PCLKA	2~3ICLK	22章
000C 2348h	GPTW3	汎用PWMタイマカウンタ	GTCNT	32	32	4~5PCLKA	2~3ICLK	22章
000C 234Ch	GPTW3	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2350h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2354h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2358h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4~5PCLKA	2~3ICLK	22章
000C 235Ch	GPTW3	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4~5PCLKA	2~3ICLK	22章
000C 2360h	GPTW3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4~5PCLKA	2~3ICLK	22章
000C 2364h	GPTW3	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2368h	GPTW3	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 23D0h	GPTW3	汎用PWMタイマ動作許可ビット同時制御チャンネル選択レジスタ	GTSECSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 23D4h	GPTW3	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4~5PCLKA	2~3ICLK	22章
000C 23ECh	GPTW3	汎用PWMタイマチャンネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2400h	GPTW4	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4~5PCLKA	2~3ICLK	22章
000C 2404h	GPTW4	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2408h	GPTW4	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4~5PCLKA	2~3ICLK	22章
000C 240Ch	GPTW4	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2410h	GPTW4	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2414h	GPTW4	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2418h	GPTW4	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 241Ch	GPTW4	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2420h	GPTW4	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2424h	GPTW4	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2428h	GPTW4	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 242Ch	GPTW4	汎用PWMタイマ制御レジスタ	GTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2430h	GPTW4	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2434h	GPTW4	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2438h	GPTW4	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4~5PCLKA	2~3ICLK	22章
000C 243Ch	GPTW4	汎用PWMタイマステータスレジスタ	GTST	32	32	4~5PCLKA	2~3ICLK	22章
000C 2440h	GPTW4	汎用PWMタイマバッファインプットレジスタ	GTBER	32	32	4~5PCLKA	2~3ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (27/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 2448h	GPTW4	汎用PWMタイマカウンタ	GTCNT	32	32	4~5PCLKA	2~3ICLK	22章
000C 244Ch	GPTW4	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2450h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2454h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2458h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4~5PCLKA	2~3ICLK	22章
000C 245Ch	GPTW4	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4~5PCLKA	2~3ICLK	22章
000C 2460h	GPTW4	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4~5PCLKA	2~3ICLK	22章
000C 2464h	GPTW4	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2468h	GPTW4	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 24D0h	GPTW4	汎用PWMタイマ動作許可ビット同時制御チャンネル選択レジスタ	GTSECSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 24D4h	GPTW4	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4~5PCLKA	2~3ICLK	22章
000C 24ECh	GPTW4	汎用PWMタイマチャンネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2500h	GPTW5	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4~5PCLKA	2~3ICLK	22章
000C 2504h	GPTW5	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2508h	GPTW5	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4~5PCLKA	2~3ICLK	22章
000C 250Ch	GPTW5	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2510h	GPTW5	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2514h	GPTW5	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2518h	GPTW5	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 251Ch	GPTW5	汎用PWMタイマカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2520h	GPTW5	汎用PWMタイマカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2524h	GPTW5	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2528h	GPTW5	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 252Ch	GPTW5	汎用PWMタイマ制御レジスタ	GTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2530h	GPTW5	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2534h	GPTW5	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2538h	GPTW5	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32	4~5PCLKA	2~3ICLK	22章
000C 253Ch	GPTW5	汎用PWMタイマステータスレジスタ	GTST	32	32	4~5PCLKA	2~3ICLK	22章
000C 2540h	GPTW5	汎用PWMタイマバッファファイナールレジスタ	GTBER	32	32	4~5PCLKA	2~3ICLK	22章
000C 2548h	GPTW5	汎用PWMタイマカウンタ	GTCNT	32	32	4~5PCLKA	2~3ICLK	22章
000C 254Ch	GPTW5	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2550h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2554h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2558h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32	4~5PCLKA	2~3ICLK	22章
000C 255Ch	GPTW5	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32	4~5PCLKA	2~3ICLK	22章
000C 2560h	GPTW5	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4~5PCLKA	2~3ICLK	22章
000C 2564h	GPTW5	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2568h	GPTW5	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 25D0h	GPTW5	汎用PWMタイマ動作許可ビット同時制御チャンネル選択レジスタ	GTSECSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 25D4h	GPTW5	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4~5PCLKA	2~3ICLK	22章
000C 25ECh	GPTW5	汎用PWMタイマチャンネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2600h	GPTW6	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32	4~5PCLKA	2~3ICLK	22章
000C 2604h	GPTW6	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2608h	GPTW6	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32	4~5PCLKA	2~3ICLK	22章
000C 260Ch	GPTW6	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2610h	GPTW6	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2614h	GPTW6	汎用PWMタイマストップ要因セレクトレジスタ	GTSPSR	32	32	4~5PCLKA	2~3ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (28/29)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 幅	アクセス サイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 2618h	GPTW6	汎用PWMタイムクリア要因セレクトレジスタ	GTCSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 261Ch	GPTW6	汎用PWMタイムカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2620h	GPTW6	汎用PWMタイムカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2624h	GPTW6	汎用PWMタイムインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2628h	GPTW6	汎用PWMタイムインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 262Ch	GPTW6	汎用PWMタイム制御レジスタ	GTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2630h	GPTW6	汎用PWMタイムカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2634h	GPTW6	汎用PWMタイムI/O制御レジスタ	GTIOR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2638h	GPTW6	汎用PWMタイム割り込み出力設定レジスタ	GTINTAD	32	32	4~5PCLKA	2~3ICLK	22章
000C 263Ch	GPTW6	汎用PWMタイムステータスレジスタ	GTST	32	32	4~5PCLKA	2~3ICLK	22章
000C 2640h	GPTW6	汎用PWMタイムバッファファイナールレジスタ	GTBER	32	32	4~5PCLKA	2~3ICLK	22章
000C 2648h	GPTW6	汎用PWMタイムカウンタ	GTCNT	32	32	4~5PCLKA	2~3ICLK	22章
000C 264Ch	GPTW6	汎用PWMタイムコンペアキャプチャレジスタA	GTCCRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2650h	GPTW6	汎用PWMタイムコンペアキャプチャレジスタB	GTCCRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2654h	GPTW6	汎用PWMタイムコンペアキャプチャレジスタC	GTCCRC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2658h	GPTW6	汎用PWMタイムコンペアキャプチャレジスタE	GTCCRE	32	32	4~5PCLKA	2~3ICLK	22章
000C 265Ch	GPTW6	汎用PWMタイムコンペアキャプチャレジスタD	GTCCRD	32	32	4~5PCLKA	2~3ICLK	22章
000C 2660h	GPTW6	汎用PWMタイムコンペアキャプチャレジスタF	GTCCRF	32	32	4~5PCLKA	2~3ICLK	22章
000C 2664h	GPTW6	汎用PWMタイム周期設定レジスタ	GTPR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2668h	GPTW6	汎用PWMタイム周期設定バッファレジスタ	GTBPR	32	32	4~5PCLKA	2~3ICLK	22章
000C 26D0h	GPTW6	汎用PWMタイム動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 26D4h	GPTW6	汎用PWMタイム動作許可ビット同時制御レジスタ	GTSECR	32	32	4~5PCLKA	2~3ICLK	22章
000C 26ECh	GPTW6	汎用PWMタイムチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2700h	GPTW7	汎用PWMタイム書き込み保護レジスタ	GTWP	32	32	4~5PCLKA	2~3ICLK	22章
000C 2704h	GPTW7	汎用PWMタイムソフトウェアスタートレジスタ	GTSTR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2708h	GPTW7	汎用PWMタイムソフトウェアストップレジスタ	GTSTP	32	32	4~5PCLKA	2~3ICLK	22章
000C 270Ch	GPTW7	汎用PWMタイムソフトウェアクリアレジスタ	GTCLR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2710h	GPTW7	汎用PWMタイムスタート要因セレクトレジスタ	GTSSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2714h	GPTW7	汎用PWMタイムストップ要因セレクトレジスタ	GTSPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2718h	GPTW7	汎用PWMタイムクリア要因セレクトレジスタ	GTCSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 271Ch	GPTW7	汎用PWMタイムカウントアップ要因セレクトレジスタ	GTUPSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2720h	GPTW7	汎用PWMタイムカウントダウン要因セレクトレジスタ	GTDNSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2724h	GPTW7	汎用PWMタイムインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2728h	GPTW7	汎用PWMタイムインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 272Ch	GPTW7	汎用PWMタイム制御レジスタ	GTCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2730h	GPTW7	汎用PWMタイムカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2734h	GPTW7	汎用PWMタイムI/O制御レジスタ	GTIOR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2738h	GPTW7	汎用PWMタイム割り込み出力設定レジスタ	GTINTAD	32	32	4~5PCLKA	2~3ICLK	22章
000C 273Ch	GPTW7	汎用PWMタイムステータスレジスタ	GTST	32	32	4~5PCLKA	2~3ICLK	22章
000C 2740h	GPTW7	汎用PWMタイムバッファファイナールレジスタ	GTBER	32	32	4~5PCLKA	2~3ICLK	22章
000C 2748h	GPTW7	汎用PWMタイムカウンタ	GTCNT	32	32	4~5PCLKA	2~3ICLK	22章
000C 274Ch	GPTW7	汎用PWMタイムコンペアキャプチャレジスタA	GTCCRA	32	32	4~5PCLKA	2~3ICLK	22章
000C 2750h	GPTW7	汎用PWMタイムコンペアキャプチャレジスタB	GTCCRB	32	32	4~5PCLKA	2~3ICLK	22章
000C 2754h	GPTW7	汎用PWMタイムコンペアキャプチャレジスタC	GTCCRC	32	32	4~5PCLKA	2~3ICLK	22章
000C 2758h	GPTW7	汎用PWMタイムコンペアキャプチャレジスタE	GTCCRE	32	32	4~5PCLKA	2~3ICLK	22章
000C 275Ch	GPTW7	汎用PWMタイムコンペアキャプチャレジスタD	GTCCRD	32	32	4~5PCLKA	2~3ICLK	22章

表5.1 I/Oレジスタアドレス一覧 (29/29)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照章
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合	
000C 2760h	GPTW7	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32	4~5PCLKA	2~3ICLK	22章
000C 2764h	GPTW7	汎用PWMタイマ周期設定レジスタ	GTPR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2768h	GPTW7	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32	4~5PCLKA	2~3ICLK	22章
000C 27D0h	GPTW7	汎用PWMタイマ動作許可ビット同時制御チャンネル選択レジスタ	GTSECSR	32	32	4~5PCLKA	2~3ICLK	22章
000C 27D4h	GPTW7	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32	4~5PCLKA	2~3ICLK	22章
000C 27ECh	GPTW7	汎用PWMタイマチャンネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32	4~5PCLKA	2~3ICLK	22章
000C 2B00h	GPTW	出力位相スイッチ制御レジスタ	OPSCR	32	32	4~5PCLKA	2~3ICLK	22章
000E D000h	CANFD	ECC制御/ステータスレジスタ	ECCSR	32	32	2~3PCLKA	1~2ICLK	34章
000E D004h	CANFD	ECCテストモードレジスタ	ECTMR	16	16	2~3PCLKA	1~2ICLK	34章
000E D00Ch	CANFD	ECCデコーダテストデータレジスタ	ECTDR	32	32	2~3PCLKA	1~2ICLK	34章
000E D010h	CANFD	ECCエラーアドレスレジスタ	ECEAR	32	32	2~3PCLKA	1~2ICLK	34章
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2~3FCLK	2ICLK	46章
007F C100h	FLASH	フラッシュP/Eモード制御レジスタ	FPMCR	8	8	2~3FCLK	2ICLK	46章
007F C104h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2~3FCLK	2ICLK	46章
007F C108h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2~3FCLK	2ICLK	46章
007F C110h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	16	16	2~3FCLK	2ICLK	46章
007F C114h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2~3FCLK	2ICLK	46章
007F C118h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2~3FCLK	2ICLK	46章
007F C120h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	16	16	2~3FCLK	2ICLK	46章
007F C124h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2~3FCLK	2ICLK	46章
007F C128h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3FCLK	2ICLK	46章
007F C12Ch	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK	2ICLK	46章
007F C130h	FLASH	フラッシュライトバッファレジスタ0	FWB0	16	16	2~3FCLK	2ICLK	46章
007F C138h	FLASH	フラッシュライトバッファレジスタ1	FWB1	16	16	2~3FCLK	2ICLK	46章
007F C140h	FLASH	フラッシュライトバッファレジスタ2	FWB2	16	16	2~3FCLK	2ICLK	46章
007F C144h	FLASH	フラッシュライトバッファレジスタ3	FWB3	16	16	2~3FCLK	2ICLK	46章
007F C180h	FLASH	プロテクト解除レジスタ	FPR	8	8	2~3FCLK	2ICLK	46章
007F C184h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2~3FCLK	2ICLK	46章
007F C1C0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK	2ICLK	46章
007F C1C8h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2~3FCLK	2ICLK	46章
007F C1D0h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2~3FCLK	2ICLK	46章
007F C1D8h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2~3FCLK	2ICLK	46章
007F C1DCh	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2~3FCLK	2ICLK	46章
007F C1E0h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2~3FCLK	2ICLK	46章
007F C1E8h	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	16	16	2~3FCLK	2ICLK	46章
007F C228h	TEMPS	温度センサ校正データレジスタ	TSCDR	16	16	2~3FCLK	2ICLK	42章
007F C350h	FLASH	ユニークIDレジスタ0	UIDR0	32	32	2~3FCLK	2ICLK	46章
007F C354h	FLASH	ユニークIDレジスタ1	UIDR1	32	32	2~3FCLK	2ICLK	46章
007F C358h	FLASH	ユニークIDレジスタ2	UIDR2	32	32	2~3FCLK	2ICLK	46章
007F C35Ch	FLASH	ユニークIDレジスタ3	UIDR3	32	32	2~3FCLK	2ICLK	46章
007F C3A4h	CTSU	CTSU トリミングレジスタA	CTSUTRIMA	32	32	2~3FCLK	2ICLK	39章
007F C3A8h	CTSU	CTSU トリミングレジスタB	CTSUTRIMB	32	32	2~3FCLK	2ICLK	39章
007F FFB0h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2~3FCLK	2ICLK	46章
007F FFC0h	FLASH	メモリウェイトサイクル設定レジスタ	MEMWAITR	16	16	2~3FCLK	2ICLK	46章
FFFF FF80h	OFSM	エンディアン選択レジスタ	MDE	32	32	1ICLK		7章
FFFF FF88h	OFSM	オプション機能選択レジスタ1	OFS1	32	32	1ICLK		7章
FFFF FF8Ch	OFSM	オプション機能選択レジスタ0	OFS0	32	32	1ICLK		7章

注1. USB動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇(監視電圧: VPOR)(注1)
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)(注1)
電圧監視1リセット	VCCの下降(監視電圧: Vdet1)(注1)
電圧監視2リセット	VCCの下降(監視電圧: Vdet2)(注1)
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧(VPOR, Vdet0, Vdet1, Vdet2)については、「8. 電圧検出回路(LVDAb)」、「47. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因							
	RES#端子 リセット	パワー オン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	ウォッチ ドッグタイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフト ウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—	—
コールドスタート/ウォームスタート 判別フラグ (RSTSR1.CWSF)	— (注1)	○	—	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出 フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—	—
独立ウォッチドッグタイマのレジスタ (IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, ILOCOCR)	○	○	○	—	—	—	—	—
ウォッチドッグタイマリセット検出 フラグ (RSTSR2.WDTRF)	○	○	○	○	—	—	—	—
ウォッチドッグタイマのレジスタ (WDTRR, WDTCSR, WDTSR, WDTRCR)	○	○	○	○	—	—	—	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	○	—	—	—
電圧監視機能1のレジスタ (LVD1CR0, LVCMPCR.LVD1E, LVDLVL.R.LVD1LVL[3:0])	○	○	○	○	○	—	—	—
(LVD1CR1, LVD1SR)	○	○	○	○	○	—	—	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	○	—	—
電圧監視機能2のレジスタ (LVD2CR0, LVCMPCR.EXVCCINP2, LVD2E, LVDLVL.R.LVD2LVL[1:0])	○	○	○	○	○	○	—	—
(LVD2CR1, LVD2SR)	○	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	○	—
リアルタイムクロックのレジスタ (注2)	—	—	—	—	—	—	—	—
サブクロック発振器のレジスタ (SOSCCR, SOMCR)	—	○	—	—	—	—	—	—
動作モード (注3)	○	○	—	—	—	—	—	—
上記以外のレジスタ、CPUおよび内部 状態	○	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 電源投入時は初期化されます。

注2. 一部の制御ビットは、すべてのリセット、またはパワーオンリセットにより初期化されます。対象となる制御ビットについては、「26. リアルタイムクロック(RTCBa)」を参照してください。

注3. リセット解除時のモード設定端子の状態によって動作モードが決定されます。詳細は「3. 動作モード」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス SYSTEM.RSTSR0 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	0 (注1)	0 (注1)	0 (注1)	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0 : パワーオンリセット未検出 1 : パワーオンリセット検出	R/(W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0 : 電圧監視0リセット未検出 1 : 電圧監視0リセット検出	R/(W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0 : 電圧監視1リセット未検出 1 : 電圧監視1リセット検出	R/(W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0 : 電圧監視2リセット未検出 1 : 電圧監視2リセット検出	R/(W) (注2)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ (電圧監視0リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet0 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD1RF フラグ (電圧監視1リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD2RF フラグ (電圧監視 2 リセット検出フラグ)

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

[“1”になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

[“0”になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス SYSTEM.RSTSR1 0008 C291h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CWSF

リセット後の値 0 0 0 0 0 0 0 0/1
(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをセットするための“1”書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かを判定するレジスタです。

CWSF フラグ (コールドスタート/ウォームスタート判別フラグ)

コールドスタートかウォームスタートかを示します。

CWSF フラグは、電源投入時に初期化されます。

[“1”になる条件]

- プログラムで“1”を書いたとき。“0”を書いても変化しません。

[“0”になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス SYSTEM.RSTSR2 0008 00C0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SWRF	WDTRF	IWDTRF

リセット後の値 0 0 0 0 0 0 (注1) 0 (注1) 0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/(W) (注2)
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/(W) (注2)
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/(W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)

ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

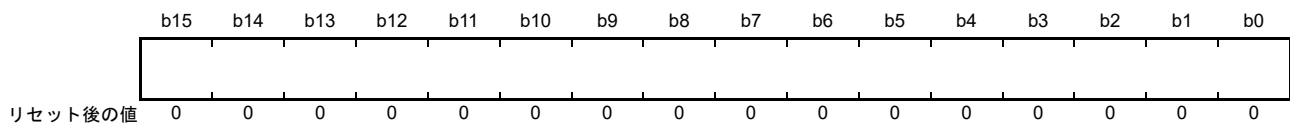
- ソフトウェアリセットを行なったとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス SYSTEM.SWRR 0008 00C2h



SWRR レジスタに“A501h”を書くと MCU がリセットされます。読むと“0000h”が読めます。このレジスタは PRCR.PRC1 ビットを“1”(書き込み許可)にした後で書き換えてください。

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「47. 電気的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子に抵抗を介して VCC に接続した状態で電源を投入すると、パワーオンリセットが発生します。RES# 端子にコンデンサを接続する場合も、RES# 端子の電圧が常に VIH 以上になるようにしてください。VIH は、「47. 電気的特性」を参照してください。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および MCU が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 レベル選択ビット (LVDAS) が“0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が Vdet0 を超えると、電圧監視 0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。Vdet0 の電圧検出レベルは、オプション機能選択レジスタ 1 (OFS1) の VDSEL2 ビットおよび VDSEL[1:0] ビットの設定により変更できます。

図 6.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

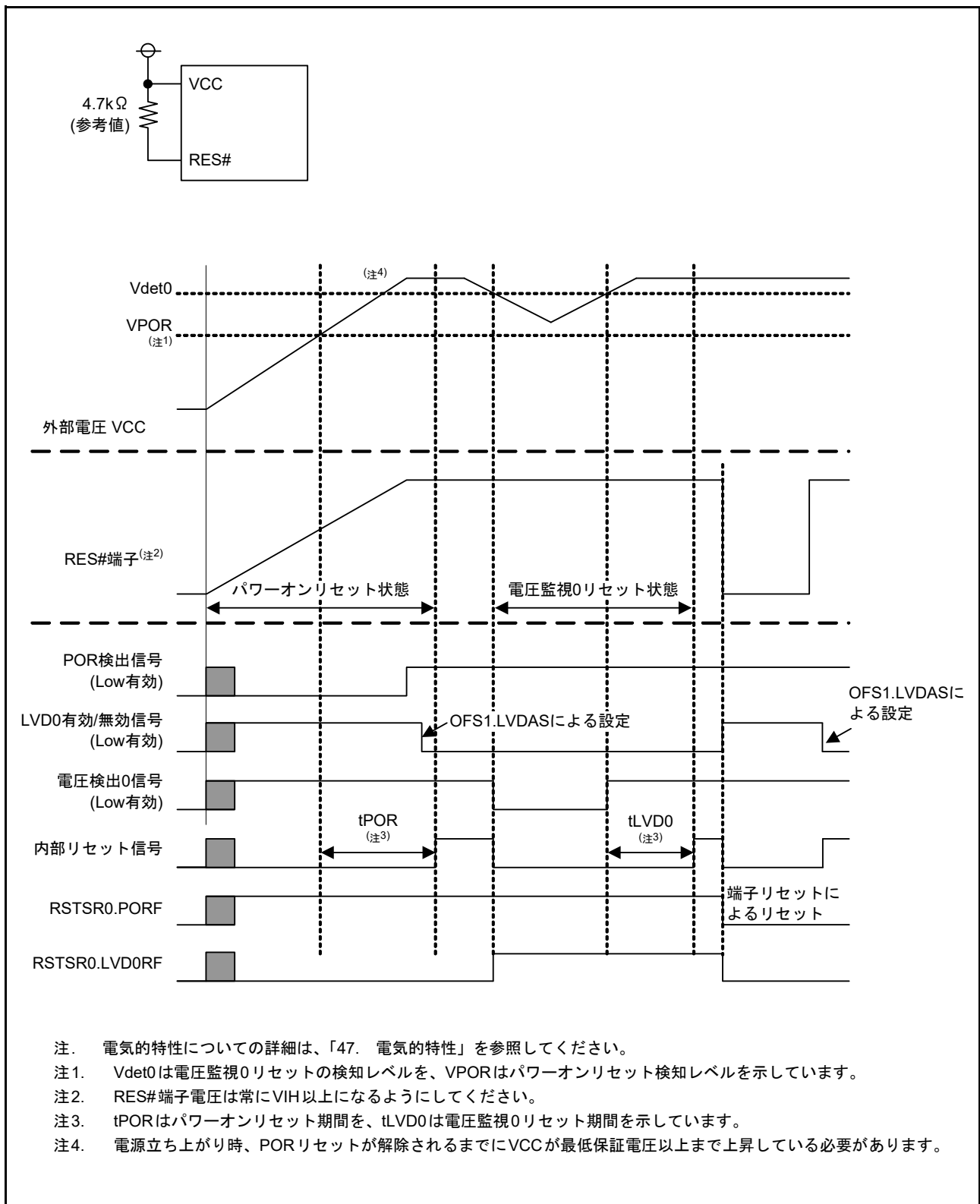


図 6.1 パワーオンリセット、電圧監視0リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (LVD1RIE) が“1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が“1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが“1”になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (LVD2RIE) が“1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が“1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが“1”になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが“0”のとき、VCC が V_{det1} 以下になり、その後 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが“1”のとき、VCC が V_{det1} 以下になってから LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

V_{det1} 、および V_{det2} の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

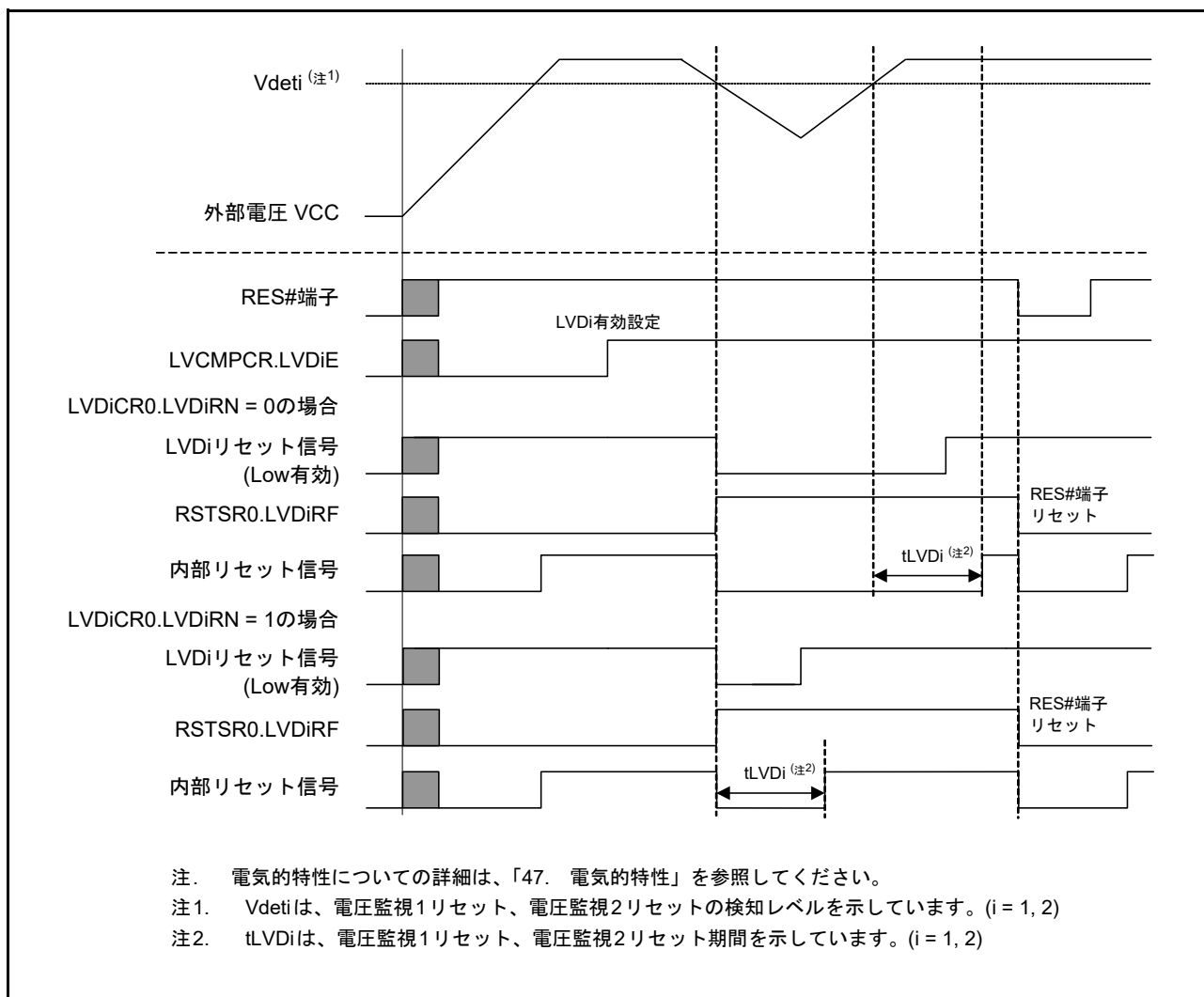


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDTRCR リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセット出力を選択した場合、ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「28. ウォッチドッグタイマ (WDTA)」を参照してください。

6.3.6 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.7 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0” (コールドスタート) になります。その他のリセットを行っても“0” になりません。また、プログラムで“1” を書くと、“1” になります。“0” を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

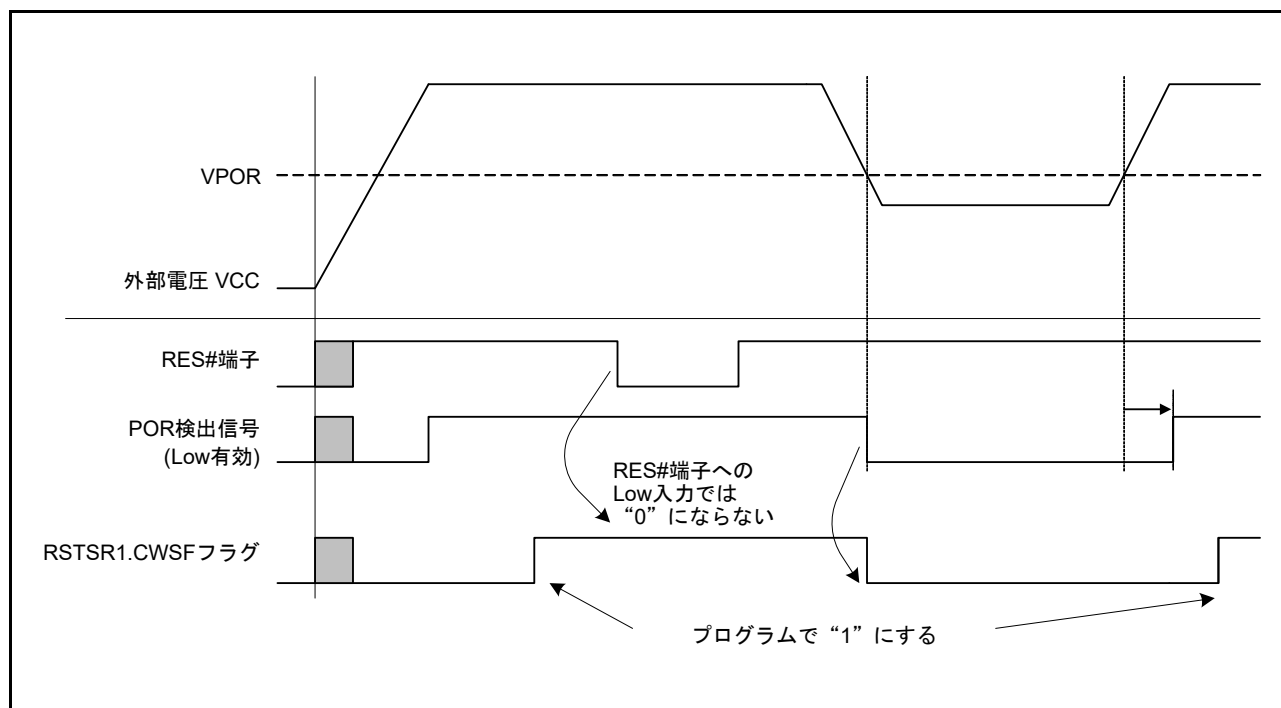


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.8 リセット発生要因の判定

RSTSR0レジスタとRSTSR2レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

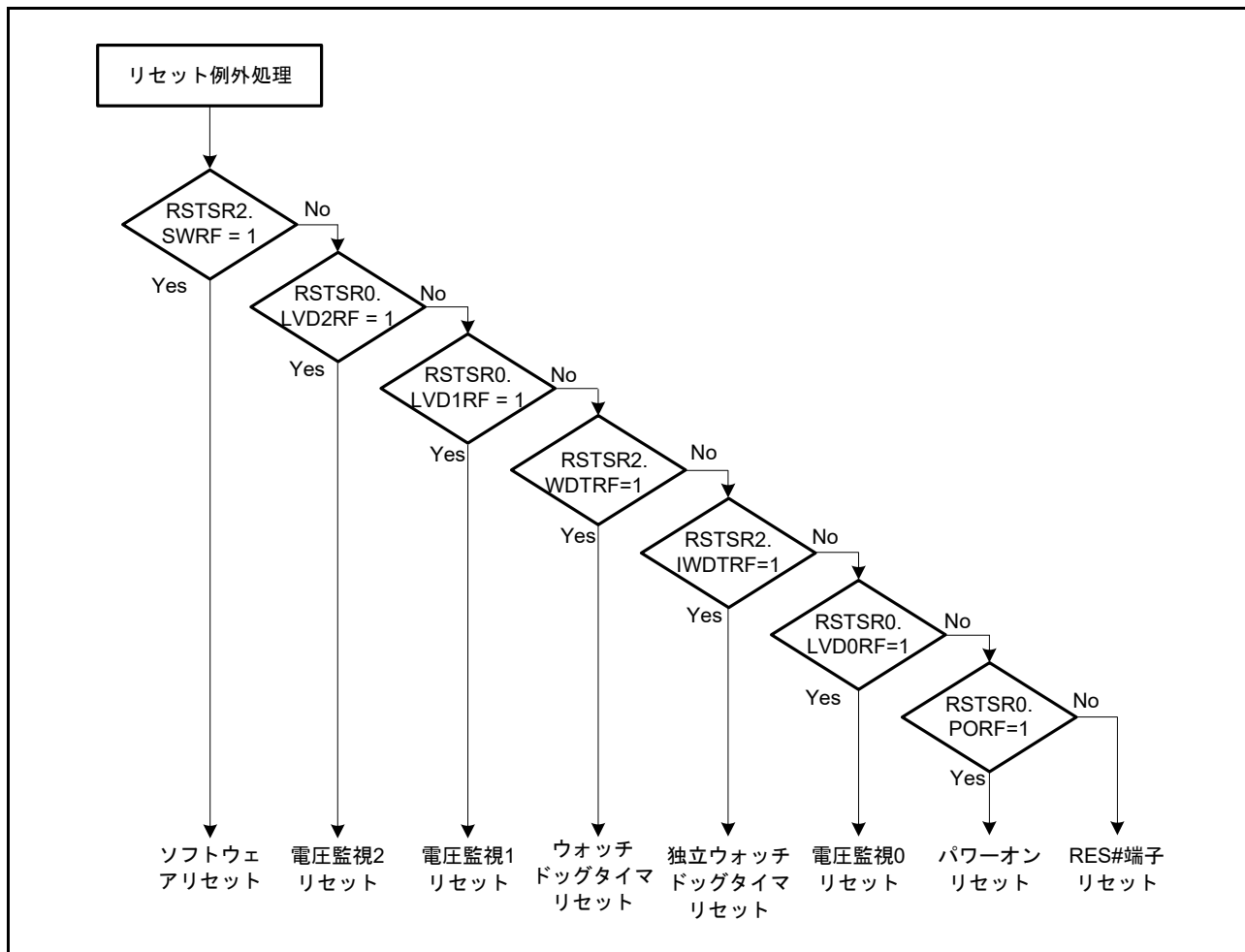


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ (OFSM)

7.1 概要

オプション設定メモリ (OFSM) は、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM上にあります。

図 7.1 にオプション設定メモリ領域を示します。

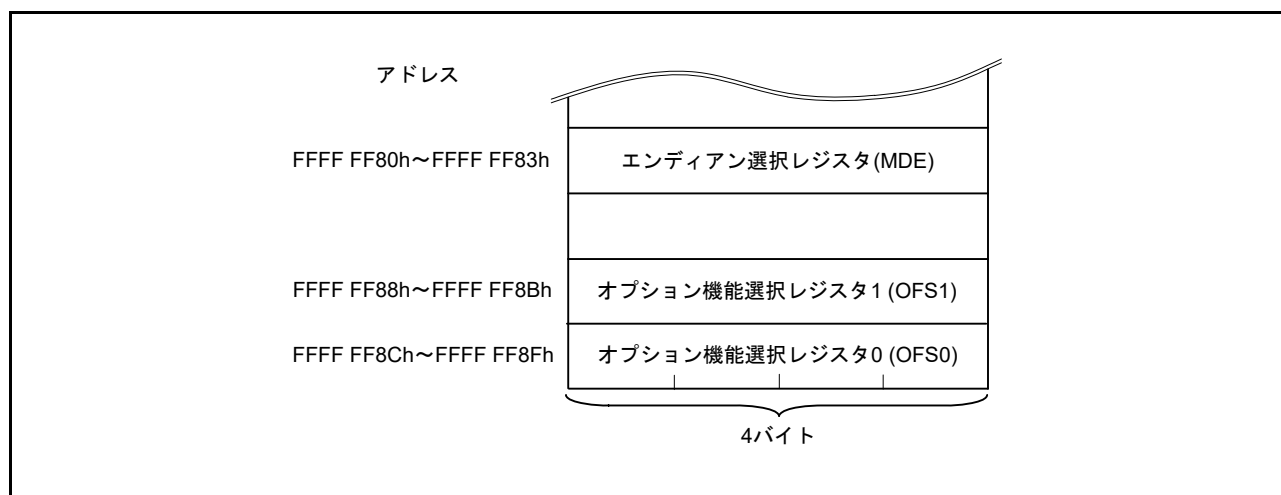


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFSM.OFS0 FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	WDTRS TIRQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]	WDTST RT	—				

リセット後の値 ユーザの設定値(注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTS LCSTP	—	IWDTR STIRQS	IWDTRPSS[1:0]	IWDTRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTS TRT	—				

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：128サイクル(00FFh) 0 1：512サイクル(01FFh) 1 0：1024サイクル(03FFh) 1 1：2048サイクル(07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDTRSTIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスクابل割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTS LCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止有効	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b17	WDTSTRT	WDTスタートモード選択ビット	0：リセット後、WDTはオートスタートモードにて自動的に起動 1：リセット後、WDTは停止状態	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTT0PS[1:0]	WDTタイムアウト期間選択ビット	b19 b18 0 0 : 1024サイクル(03FFh) 0 1 : 4096サイクル(0FFFh) 1 0 : 8192サイクル(1FFFh) 1 1 : 16384サイクル(3FFFh)	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択ビット	b23 b20 0 0 0 1 : 4分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 1 0 : 512分周 0 1 1 1 : 2048分周 1 0 0 0 : 8192分周 上記以外は設定しないでください	R
b25-b24	WDRPES[1:0]	WDTウィンドウ終了位置選択ビット	b25 b24 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R
b27-b26	WDRPSS[1:0]	WDTウィンドウ開始位置選択ビット	b27 b26 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R
b28	WDRSTIRQS	WDTリセット割り込み要求選択ビット	0 : ノンマスクブル割り込み要求を許可 1 : リセットを許可	R
b31-b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

OFS0 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。

ブートモード時はOFS0 レジスタの値は無視され、“FFFF FFFFh”が設定されているときと同じ動作になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後のIWDTの起動モード(停止状態、またはオートスタートモードでの起動)が選択できます。オートスタートモードでの起動の場合、IWDTの設定は、OFS0 レジスタの設定が有効となります。

IWDTT0PS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間をIWDTCKS[3:0] ビットで設定した分周クロックを1サイクルとして、128サイクル/512サイクル/1024サイクル/2048サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間(IWDT専用クロック数)は、IWDTCKS[3:0] ビットとIWDTT0PS[1:0] ビットの組み合わせにより決定します。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT専用クロックを分周するプリスケアラの分周比設定を1分周/16分周/32分周/64分周/128分周/256分周から選択します。IWDTT0PS[1:0] ビットと組み合わせて、IWDTのカウント期間をIWDT専用クロックの128～524288クロックの間で設定できます。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止を選択します。

詳細は「29. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択ビット)

リセット後の WDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット (WDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLKB) は、WDTCKS[3:0]、WDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTCKS[3:0] ビット (WDT クロック分周比選択ビット)

PCLKB を分周するプリスケアラの分周比設定を 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択します。WDTTOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB の 4096 ~ 134217728 クロックの間で設定できます。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDTRPES[1:0] ビット (WDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開

始位置の設定のみが有効となります。

WDRPSS[1:0] ビット、WDRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、WDTTOPS[1:0] ビットの設定により変わります。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDRPSS[1:0] ビット (WDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

WDRSTIRQS ビット (WDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「28. ウォッチドッグタイマ (WDTA)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFSM.OFS1 FFFF FF8h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	HOCOFRQ[1:0]	—	—	—	—	HOCOEN	—	—	—	VDSEL2	FASTSTUP	LVDAS	VDSEL[1:0]	—
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0 : 3.85 Vを選択 0 1 : 2.85 Vを選択 1 0 : 2.53 Vを選択 1 1 : 1.90 Vを選択	R
b2	LVDAS	電圧検出0回路起動ビット	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R
b3	FASTSTUP	電源立ち上げ時起動時間短縮ビット	0 : 電源立ち上げ時起動時間短縮 1 : 通常起動	R
b4	VDSEL2	電圧検出0レベル選択ビット2	0 : 1.69 Vを選択 1 : VDSEL[1:0]ビットで選択	R
b7-b5	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0 : リセット後、HOCO発振が有効 1 : リセット後、HOCO発振が無効	R
b11-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b13-b12	HOCOFRQ[1:0]	HOCO周波数選択ビット	b13 b12 0 0 : 64 MHzを選択 0 1 : 48 MHzを選択 1 0 : 24 MHzを選択 1 1 : 32 MHzを選択	R
b31-b14	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

OFS1 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ブートモード時はOFS1 レジスタの値は無視され、“FFFF FFFFh”が設定されているときと同じ動作になります。

VDSEL[1:0] ビット (電圧検出0レベル選択ビット)

電圧検出0回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出0回路起動ビット)

リセット後、電圧監視0リセットを有効にするか無効にするかを選択します。

電圧検出0回路で監視するVdet0電圧は、VDSEL2、VDSEL[1:0]ビットで選択します。

FASTSTUP ビット (電源立ち上げ時起動時間短縮ビット)

電気的特性の電源投入時 VCC 立ち上がり勾配 (起動時間短縮時) を満たせる場合、本ビットを “0”(電源立ち上げ時起動時間短縮) に設定すると、起動時間を短縮することができます。電源投入時 VCC 立ち上がり勾配 (起動時間短縮時) を満たせない場合は、本ビットに “0” を設定しないでください。

VDSEL2 ビット (電圧検出 0 レベル選択ビット 2)

電圧検出 0 回路の電圧検出レベルを選択します。

このビットが “1” の場合、VDSEL[1:0] ビットの設定値が有効になります。

HOCOEN ビット (HOCO 発振有効ビット)

リセット後、HOCO 用発振を有効にするか無効にするかを選択します。

HOCOEN ビットを “0” にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを “0” にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

また、HOCOEN ビットに “0” を設定している場合、HOCO 発振安定時間 (tHOCO) はハードウェアで確保されているため、CPU リセット解除後から電気的特性に記載の HOCO 発振周波数 (fHOCO) の精度のクロックが供給されます。

7.2.3 エンディアン選択レジスタ (MDE)

アドレス OFSM.MDE FFFF FF80h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値(注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	
リセット後の値 ユーザの設定値(注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0 : ビッグエンディアン 1 1 1 : リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。

MDE レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDE レジスタに追加書き込みをしないでください。

MDE レジスタを含むブロックを消去すると、MDE レジスタは“FFFF FFFFh”になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

7.3 使用上の注意事項

7.3.1 オプション設定メモリの設定例

オプション設定メモリはROM上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0レジスタに“FFFF FFF8h”を設定する場合
 .ORG 0FFFFFF8CH
 .LWORD 0FFFFFF8H

注. プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

8. 電圧検出回路 (LVDAb)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 はオプション機能選択レジスタ 1 (OFS1) で、検出電圧を 5 レベルから選択できます。

電圧検出 1 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 16 レベルから選択できます。

電圧検出 2 は、VCC と CMPA2 端子入力電圧の切り替えで、LVDLVLR レジスタで検出電圧を 4 レベルから選択できます。

電圧監視 0 リセット、電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路ブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出電圧	OFS1レジスタで5レベルから選択可能	LVDLVLR.LVD1LVL[3:0]ビットで16レベルから選択可能	LVDLVLR.LVD2LVL[1:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MONフラグ： Vdet1より高いか低いかをモニタ	LVD2SR.LVD2MONフラグ： Vdet2より高いか低いかをモニタ
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCCでリセット： VCC > Vdet0の一定時間後にCPU動作再開	Vdet1 > VCCでリセット： VCC > Vdet1の一定時間後にCPU動作再開、またはVdet1 > VCCの一定時間後にCPU動作再開を選択可能	Vdet2 > VCCまたはCMPA2端子でリセット： VCCまたはCMPA2端子 > Vdet2の一定時間後にCPU動作再開、またはVdet2 > VCCまたはCMPA2端子の一定時間後にCPU動作再開を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
		なし	ノンマスクابلまたはマスクابلを選択可能	ノンマスクابلまたはマスクابلを選択可能
イベントリンク機能	なし	あり Vdet1通過検出イベント出力	あり Vdet2通過検出イベント出力	

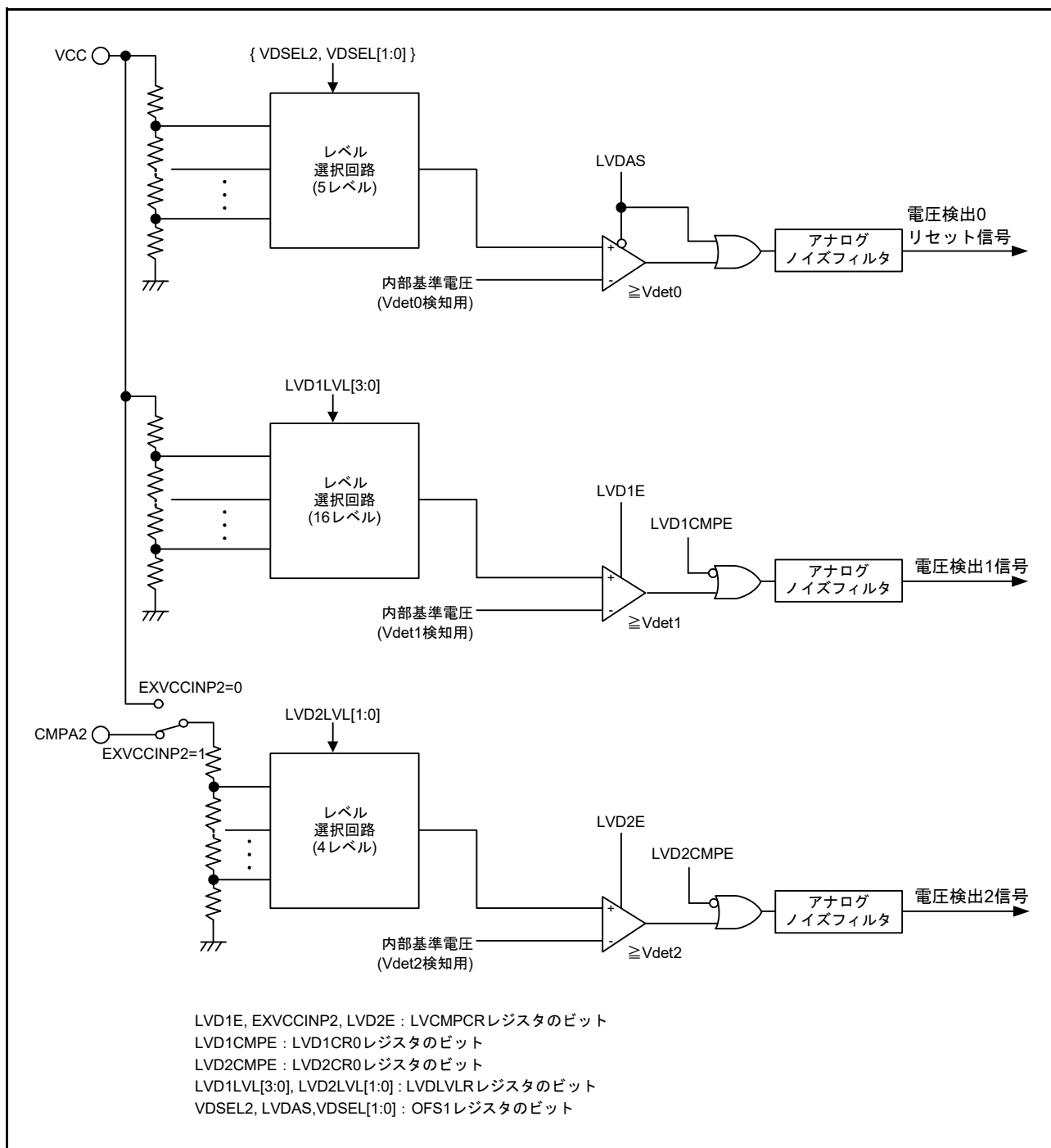


図 8.1 電圧検出回路ブロック図

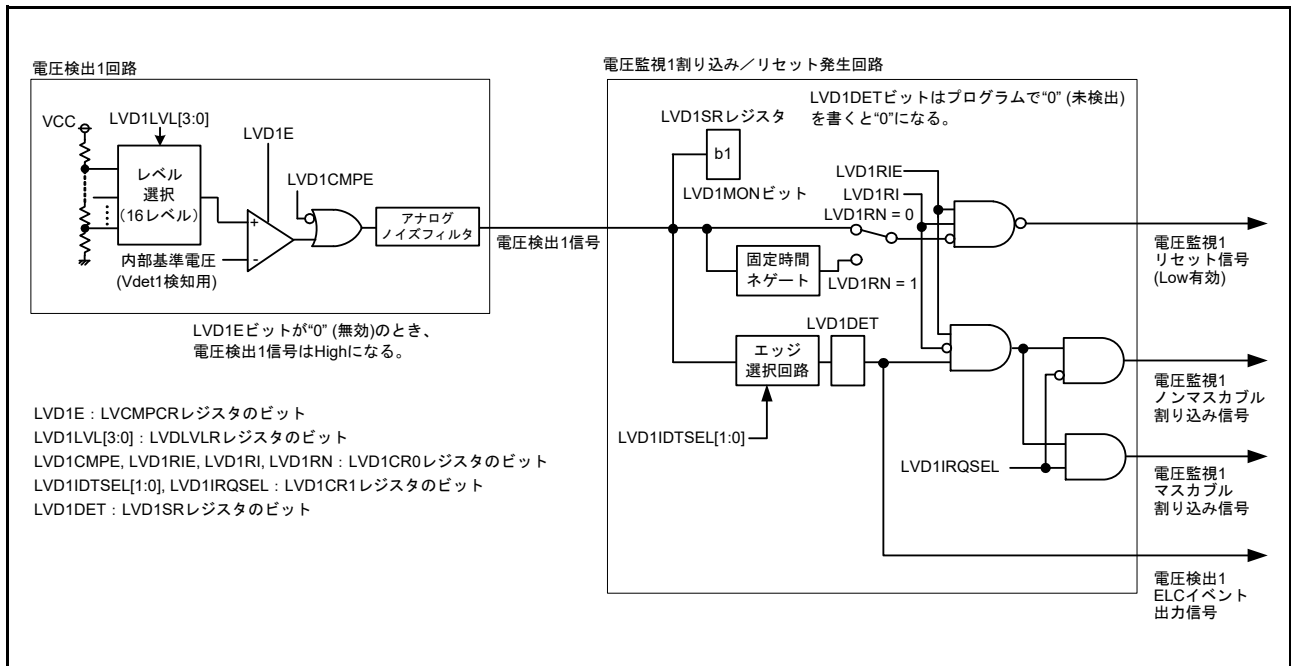


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

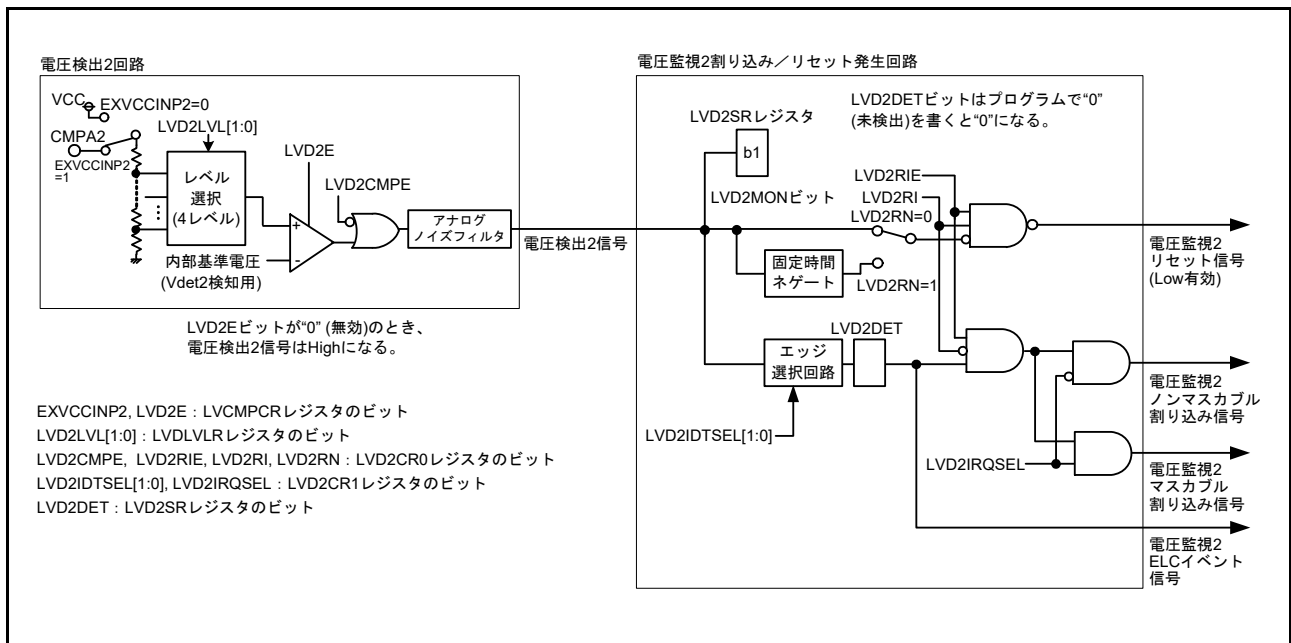


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

表 8.2 に電圧検出回路で使用する入出力端子を示します。

表 8.2 電圧検出回路の入出力端子

端子名	入出力	機能
CMPA2	入力	電圧検出2用検出対象電圧端子

8.2 レジスタの説明

8.2.1 電圧監視1回路制御レジスタ1 (LVD1CR1)

アドレス SYSTEM.LVD1CR1 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD1IR QSEL	LVD1IDTSEL[1: 0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視1割り込み/ELCイベント発生 条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇)検出時 0 1 : VCC < Vdet1 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1割り込み種類選択ビット	0 : ノンマスクابل割り込み 1 : マスクابل割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス SYSTEM.LVD1SR 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”(禁止)にしてから行ってください。再度、LVD1CR0.LVD1RIE を“1”(許可)にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で 2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

8.2.3 電圧監視2回路制御レジスタ1 (LVD2CR1)

アドレス SYSTEM.LVD2CR1 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD2IRQSEL	LVD2IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2割り込み/ELCイベント発生条件選択ビット	b1 b0 0 0 : VCCまたはCMPA2端子 \geq Vdet2 (上昇)検出時 0 1 : VCCまたはCMPA2端子 $<$ Vdet2 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス SYSTEM.LVD2SR 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0: VCCまたはCMPA2端子 < Vdet2 1: VCCまたはCMPA2端子 ≥ Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ (電圧監視 2 電圧変化検出フラグ)

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”(禁止)にしてから行ってください。再度、LVD2CR0.LVD2RIE を“1”(許可)にする場合は、PCLKB で 2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で 2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ (電圧監視 2 信号モニタフラグ)

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス SYSTEM.LVCMPCR 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	EXVCC INP2	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EXVCCINP2	電圧検出2比較電圧外部入力 選択ビット(注1)	0: 電源電圧(VCC) 1: CMPA2端子入力電圧	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. EXVCCINP2ビットは、LVD1EおよびLVD2Eビットが共に“0”(電圧検出1回路および電圧検出2回路無効)の場合にのみ変更可能です。

LVD1E ビット (電圧検出1許可ビット)

電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONフラグを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

LVD2E ビット (電圧検出2許可ビット)

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONフラグを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス SYSTEM.LVDLVLR 0008 C298h

b7	b6	b5	b4	b3	b2	b1	b0	
—	—	LVD2LVL[1:0]	LVD1LVL[3:0]					
リセット後の値	0	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b0 0 0 0 0 : 4.29V 0 0 0 1 : 4.16V 0 0 1 0 : 4.03V 0 0 1 1 : 3.86V 0 1 0 0 : 3.10V 0 1 0 1 : 3.00V 0 1 1 0 : 2.90V 0 1 1 1 : 2.80V 1 0 0 0 : 2.68V 1 0 0 1 : 2.59V 1 0 1 0 : 2.48V 1 0 1 1 : 2.20V 1 1 0 0 : 1.96V 1 1 0 1 : 1.86V 1 1 1 0 : 1.75V 1 1 1 1 : 1.65V 上記以外は設定しないでください	R/W
b5-b4	LVD2LVL[1:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b5 b4 0 0 : 4.32V 0 1 : 4.17V 1 0 : 4.03V 1 1 : 3.84V	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVDLVLR レジスタを変更するときは、LVCMPCR.LVD1E ビットおよびLVCMPCR.LVD2E ビットを共に“0”(電圧検出 n 回路無効)(n = 1, 2)にしてから行ってください。

また、LVD1LVL[3:0] ビットで設定の電圧検出レベルの範囲と LVD2LVL[1:0] ビットで設定の電圧検出レベルの範囲とがオーバーラップする設定をした場合、LVD1、LVD2 のどちらで電圧検出動作するかは特定できません。電圧検出レベルの範囲については、「47. 電気的特性」を参照してください。

LVD0 有効時、LVD1 の検出レベル設定は LVD0 の検出レベルより高い検出レベルに設定してください。また、LVD0 有効時、LVD1LVL[3:0] ビット設定での電圧検出レベル設定変更はリセット解除後 1 回のみとしてください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス SYSTEM.LVD1CR0 0008 C29Ah

b7	b6	b5	b4	b3	b2	b1	b0
LVD1RN	LVD1RI	—	—	—	LVD1CMPE	—	LVD1RIE

リセット後の値 1 0 0 0 x 0 0 0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視 1 割り込み / リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1CMPE	電圧監視 1 回路比較結果出力許可ビット	0 : 電圧監視 1 回路比較結果出力禁止 1 : 電圧監視 1 回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD1RI	電圧監視 1 回路モード選択ビット	0 : Vdet1 通過時に電圧監視 1 割り込み 1 : 下降して Vdet1 通過時に電圧監視 1 リセット	R/W
b7	LVD1RN	電圧監視 1 リセットネゲート選択ビット	0 : VCC > Vdet1 検出から一定時間(tLVD1)経過後にネゲート 1 : 電圧監視 1 リセットアサートから一定時間(tLVD1)経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD1RIE ビット (電圧監視 1 割り込み / リセット許可ビット)

LVD1RIE ビットは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)かつ LVD1CMPE ビットが“1”(電圧検出 1 回路比較結果出力許可)のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 1 リセットおよび電圧監視 1 ノンマスクブル割り込みを発生させないでください。

LVD1RN ビット (電圧監視 1 リセットネゲート選択ビット)

LVD1RN ビットを“1”(電圧監視 1 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”(VCC > Vdet1 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD1RN ビットを“1”(電圧監視 1 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス SYSTEM.LVD2CR0 0008 C29Bh

b7	b6	b5	b4	b3	b2	b1	b0
LVD2RN	LVD2RI	—	—	—	LVD2CMPE	—	LVD2RIE

リセット後の値 1 0 0 0 x 0 0 0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0 : 電圧監視2回路比較結果出力禁止 1 : 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0 : Vdet2通過時に電圧監視2割り込み 1 : 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0 : VCCまたはCMPA2端子 > Vdet2検出から一定時間(tLVD2)経過後にネゲート 1 : 電圧監視2リセットアサートから一定時間(tLVD2)経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD2RIE ビット (電圧監視 2 割り込み / リセット許可ビット)

LVD2RIE ビットは、LVCMPCR.LVD2E ビットが“1”(電圧検出 2 回路有効)かつ LVD2CMPE ビットが“1”(電圧監視 2 回路比較結果出力許可)のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 2 リセットおよび電圧監視 2 ノンマスクブル割り込みを発生させないでください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを“1”(電圧監視 2 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”(VCC または CMPA2 端子 > Vdet2 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD2RN ビットを“1”(電圧監視 2 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

以下の設定をした後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD1LVL[3:0] ビット (電圧検出 1 検出電圧) を設定する
- (2) LVCMP.R.LVD1E ビットを “1” (電圧検出 1 回路有効) にする
- (3) $t_d(E-A)$ 待ってから、LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可) にする

8.3.3 Vdet2 のモニタ

以下の設定をした後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD2LVL[1:0] ビット (電圧検出 2 検出電圧) を設定する
- (2) LVCMP.R.EXVCCINP2 ビットを “0” (VCC 電圧) または “1” (CMPA2 端子入力電圧) にする
- (3) LVCMP.R.LVD2E ビットを “1” (電圧検出 2 回路有効) にする
- (4) $t_d(E-A)$ 待ってから、LVD2CR0.LVD2CMPE ビットを “1” (電圧監視 2 回路比較結果出力許可) にする

8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1.LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図 8.4 に電圧監視0リセット動作例を示します。

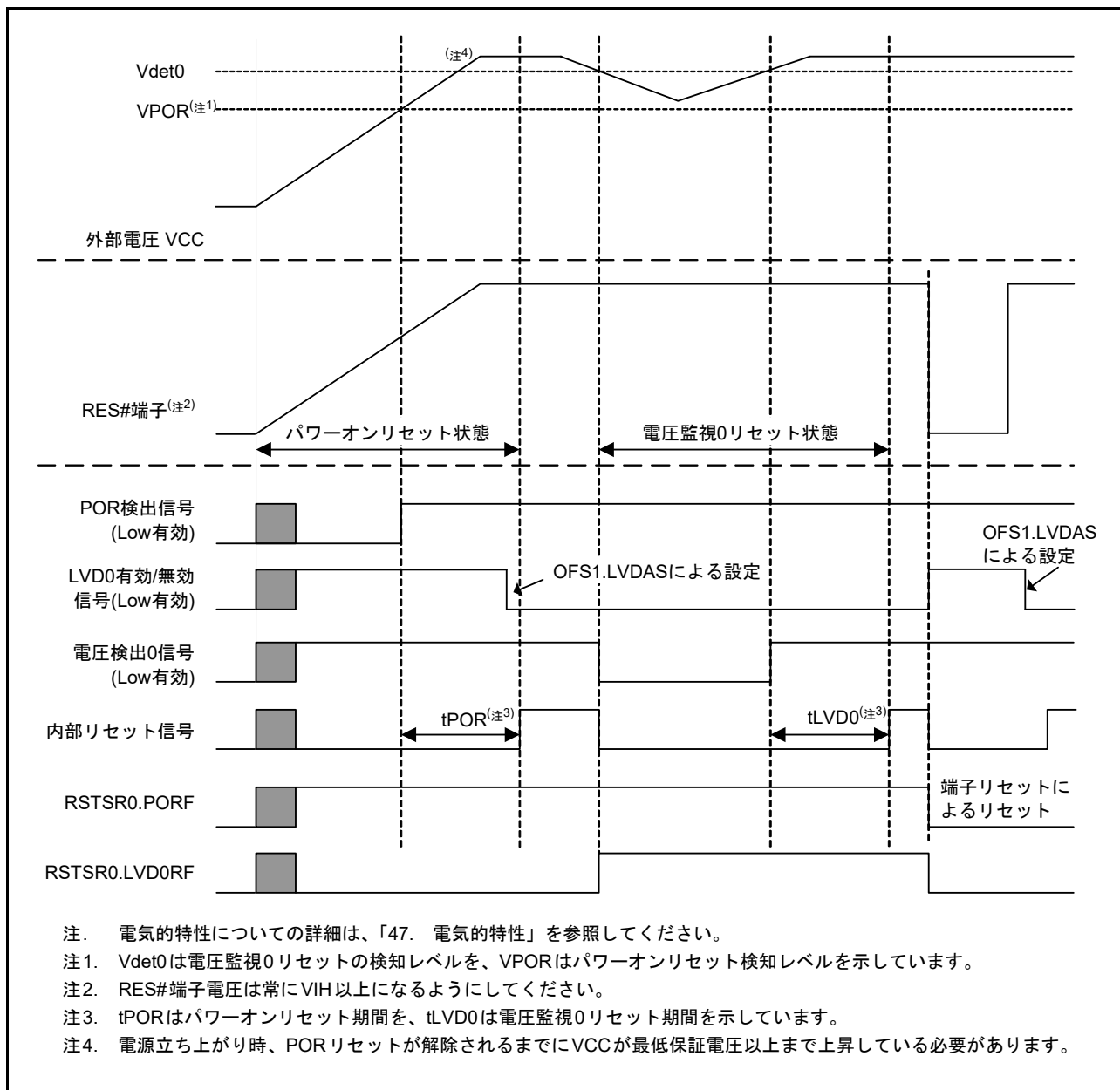


図 8.4 電圧監視0リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.3 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.4 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.3 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み 電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1 (注1)	LVDLVLR.LVD1LVL[3:0] ビットで検出電圧を選択する	
2 (注1)	LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み)にする	LVD1CR0.LVD1RI ビットを“1” (電圧監視 1 リセット)にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
3	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する。	—
4	—	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可)にする。
5 (注1)	LVCMPER.LVD1E ビットを“1” (電圧検出 1 回路有効)にする	
6 (注1)	td(E-A) 以上待つ	
7	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可)にする	
8	2 μ s 以上待つ	—
9	LVD1SR.LVD1DET ビットを“0”にする	—
10	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可)にする	—

注 1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL、LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1～10 で設定してください。

表 8.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み 電圧監視 1 ELC イベント出力	電圧監視 1 リセット
1	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止)にする	—
2	LVD1CR0.LVD1CMPE ビットを“0” (電圧監視 1 回路比較結果出力禁止)にする	
3 (注1)	LVCMPER.LVD1E ビットを“0” (電圧検出 1 回路無効)にする	
4	—	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止)にする
5	LVCMPER.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注 1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL、LVD1IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1～5 で設定してください。

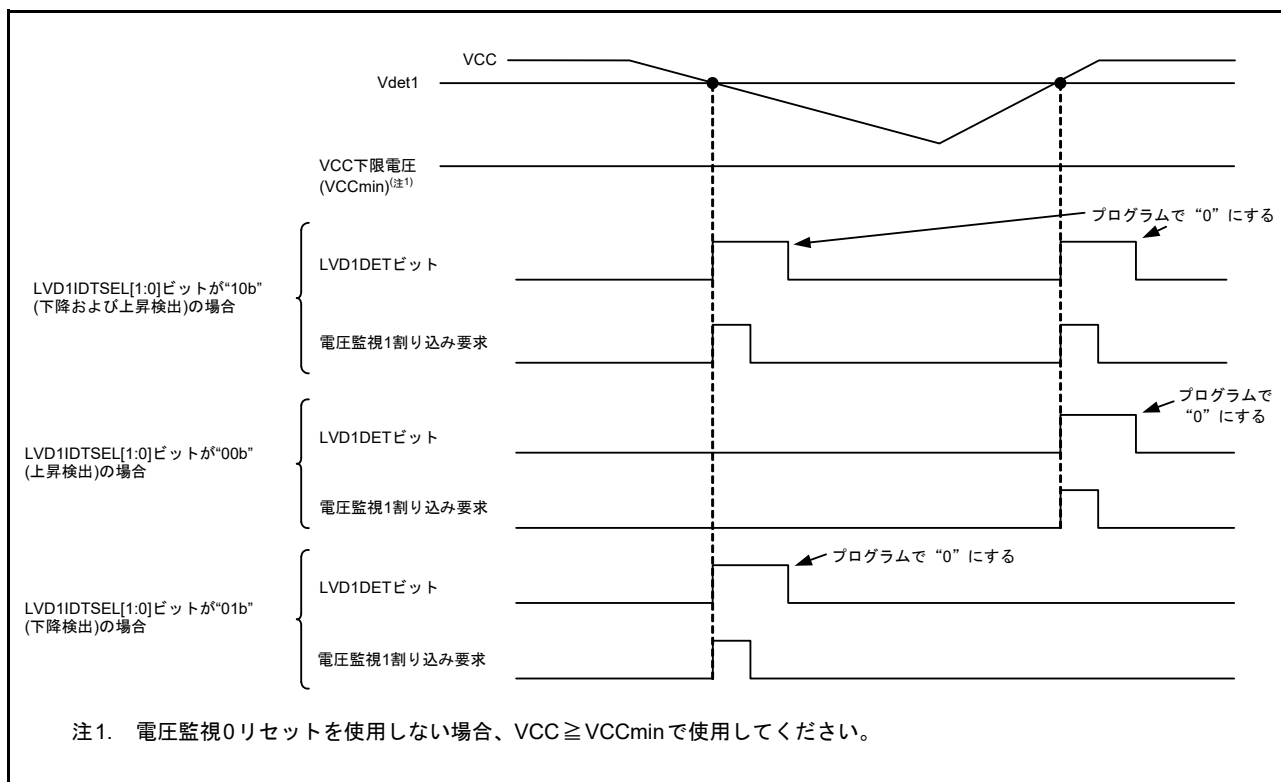


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.5 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.6 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.5 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み 電圧監視 2 ELC イベント出力	電圧監視 2 リセット
1 (注1)	LVDLVLRL.VLD2LVL[1:0] ビットで検出電圧を選択する	
2 (注1)	LVCMPCLR.EXVCCINP2 ビットを“0” (VCC 電圧) または“1” (CMPA2 端子入力電圧) にする	
3 (注1)	LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み) にする	LVD2CR0.LVD2RI ビットを“1” (電圧監視 2 リセット) にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。
4	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する	—
5	—	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可) にする
6 (注1)	LVCMPCLR.LVD2E ビットを“1” (電圧検出 2 回路有効) にする	
7 (注1)	td(E-A) 以上待つ	
8	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする	
9	2 μ s 以上待つ	—
10	LVD2SR.LVD2DET ビットを“0” にする	—
11	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可) にする	—

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL、LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、3、6、7 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1～11 で設定してください。

表 8.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み 電圧監視 2 ELC イベント出力	電圧監視 2 リセット
1	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み/リセット禁止) にする	—
2	LVD2CR0.LVD2CMPE ビットを“0” (電圧監視 2 回路比較結果出力禁止) にする	
3 (注1)	LVCMPCLR.LVD2E ビットを“0” (電圧検出 2 回路無効) にする	
4	—	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み/リセット禁止) にする
5	LVCMPCLR.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL、LVD2IDTSEL[1:0] ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1～5 で設定してください。

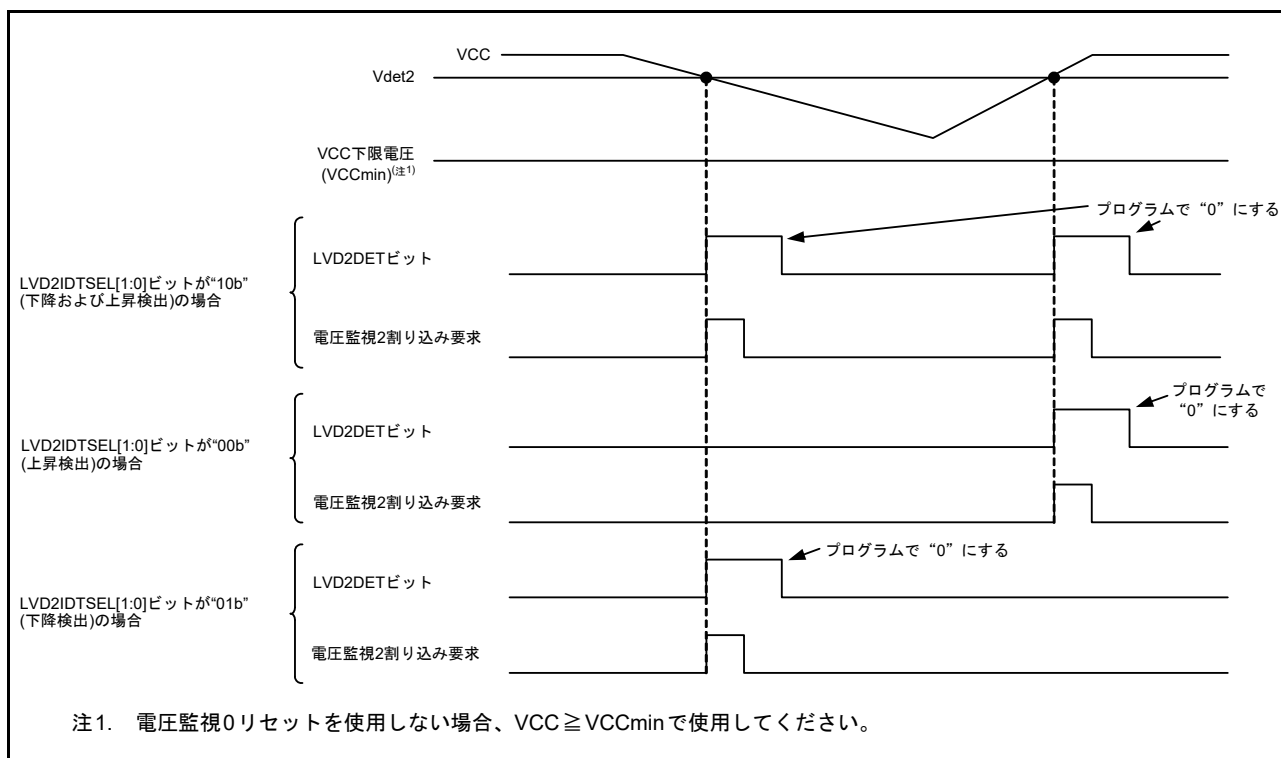


図 8.6 電圧監視 2 割り込み動作例

8.7 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。

(1) Vdet1 通過検出イベント出力

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベントを出力します。

(2) Vdet2 通過検出イベント出力

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベントを出力します。

LVD のイベントリンク出力機能を有効にする場合は、LVD の有効設定を行った後で、ELC 側の LVD イベントリンク機能を有効にしてください。また、LVD のイベントリンク出力機能を停止する場合は、LVD の停止設定を行う前に、ELC 側の LVD イベントリンク機能を無効にしてください。

8.7.1 割り込み処理とイベントリンクの関係

電圧検出回路には、電圧監視 1 割り込み、電圧監視 2 割り込みそれぞれに割り込み許可 / 禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

ソフトウェアスタンバイ中でも電圧監視 1、電圧監視 2 割り込みを出力することができますが、ELC 用のイベント信号の出力については、以下の通りです。

- ソフトウェアスタンバイモード期間中に Vdet1/Vdet2 通過検出した場合、ソフトウェアスタンバイモード期間中はクロックが供給されていないため ELC 用のイベント信号は出力しません。ただし、Vdet1/Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1/Vdet2 通過検出フラグにしたがって ELC 用のイベント信号が出力されます。

8.8 使用上の注意事項

8.8.1 LVD0 有効時の LVD1 検出レベル設定に関する注意事項について

LVD0 有効時、LVD1 の検出レベル設定は LVD0 の検出レベルより高い検出レベルに設定してください。また、LVD0 有効時、LVD1LVL[3:0] ビット設定での電圧検出レベル設定変更はリセット解除後 1 回のみとしてください。

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様 (1/2)

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、DMAC、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成 • CANFD(メッセージバッファ RAM)、GPTWに供給される周辺モジュールクロック (PCLKA) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • S12ADに供給される周辺モジュール(アナログ変換用)クロック (PCLKD) の生成 • FlashIFに供給されるFlashIFクロック (FCLK) の生成 • USBに供給されるUSBクロック (UCLK) の生成 • CANFDに供給されるCANFDクロック (CANFDCLK) の生成 • CANFDに供給されるCANFDメインクロック (CANFDMCLK) の生成 • LPTに供給されるLPTクロック (LPTCLK) の生成 • REMCに供給されるREMCクロック (REMCLK) の生成 • CACに供給されるCACクロック (CACCLK) の生成 • RTCに供給されるRTCクロック (RTCSCLK) の生成 • IWDTに供給されるIWDT専用クロック (IWDTCLK) の生成
動作周波数 (注1)	<ul style="list-style-type: none"> • ICLK : 64MHz (max) (注2) • PCLKA : 64MHz (max) (注2、注3) • PCLKB : 32MHz (max) (注2、注3) • PCLKD : 64MHz (max) (注2) • FCLK (注2) : 1MHz~64MHz (ROM、E2データフラッシュ P/E時) 64MHz (max) (E2データフラッシュ読み出し時) • UCLK : 48MHz • CANFDCLK : 32MHz (max) (注4) • CANFDMCLK : 20MHz (max) (注4) • LPTCLK : 32.768kHz (サブクロック選択時)/15kHz (IWDT専用クロック (IWDTCLK) 選択時)/ 1MHz (LOCOクロック4分周選択時) • REMCLK : 選択した発振器のクロックと同じ • CACCLK : 選択した発振器のクロックと同じ • RTCSCLK : 32.768kHz • IWDTCLK : 15kHz
メインクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 1MHz~20MHz • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL, XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、GPTWの端子 をハイインピーダンスにする機能 • ドライブ能力を切り替える機能
サブクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 32.768kHz • 外部クロック入力周波数 : 32.768kHz • 接続できる発振器、または付加回路 : 水晶振動子 • 接続端子 : XCIN, XCOU • サブクロック外部入力端子 : EXCIN • ドライブ能力を切り替える機能
PLL回路	<ul style="list-style-type: none"> • 入力クロック源 : メインクロック • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 4MHz~12.5MHz • 通倍比 : 4~15.5通倍(0.5刻み)から選択可能 • 発振周波数 : 24MHz~64MHz (VCC ≥ 1.8V)
PLL2回路	<ul style="list-style-type: none"> • 入力クロック源 : メインクロック • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 4MHz~12.5MHz • 通倍比 : 4~15.5通倍(0.5刻み)から選択可能 • 発振周波数 : 24MHz~64MHz (VCC ≥ 1.8V)
高速オンチップオンレータ (HOCO)	発振周波数 : 24MHz, 32MHz, 48MHz, 64MHz

表9.1 クロック発生回路の仕様 (2/2)

項目	仕様
低速オンチップオシレータ (LOCO)	発振周波数 : 4MHz
IWDT専用オンチップオシレータ	発振周波数 : 15kHz

注1. 高速動作モードでの最大動作周波数です。その他の動作電力モードにおける最大動作周波数については、「11.2.6 動作電力コントロールレジスタ(OPCCR)」を参照してください。

注2. ICLK:FCLK = N:1 or 1:N, ICLK:PCLKA, PCLKB, PCLKD = N:1 or 1:N (Nは整数)の分周比関係になるように設定してください。

注3. CANFD未使用の周辺モジュールクロック(PCLKA, PCLKB)周波数設定制限 : PCLKA \geq PCLKB

注4. CANFD使用時のクロック周波数設定制限 : PCLKA:PCLKB = 2:1、PCLKB \geq CANFDCLK、CANFDMCLK

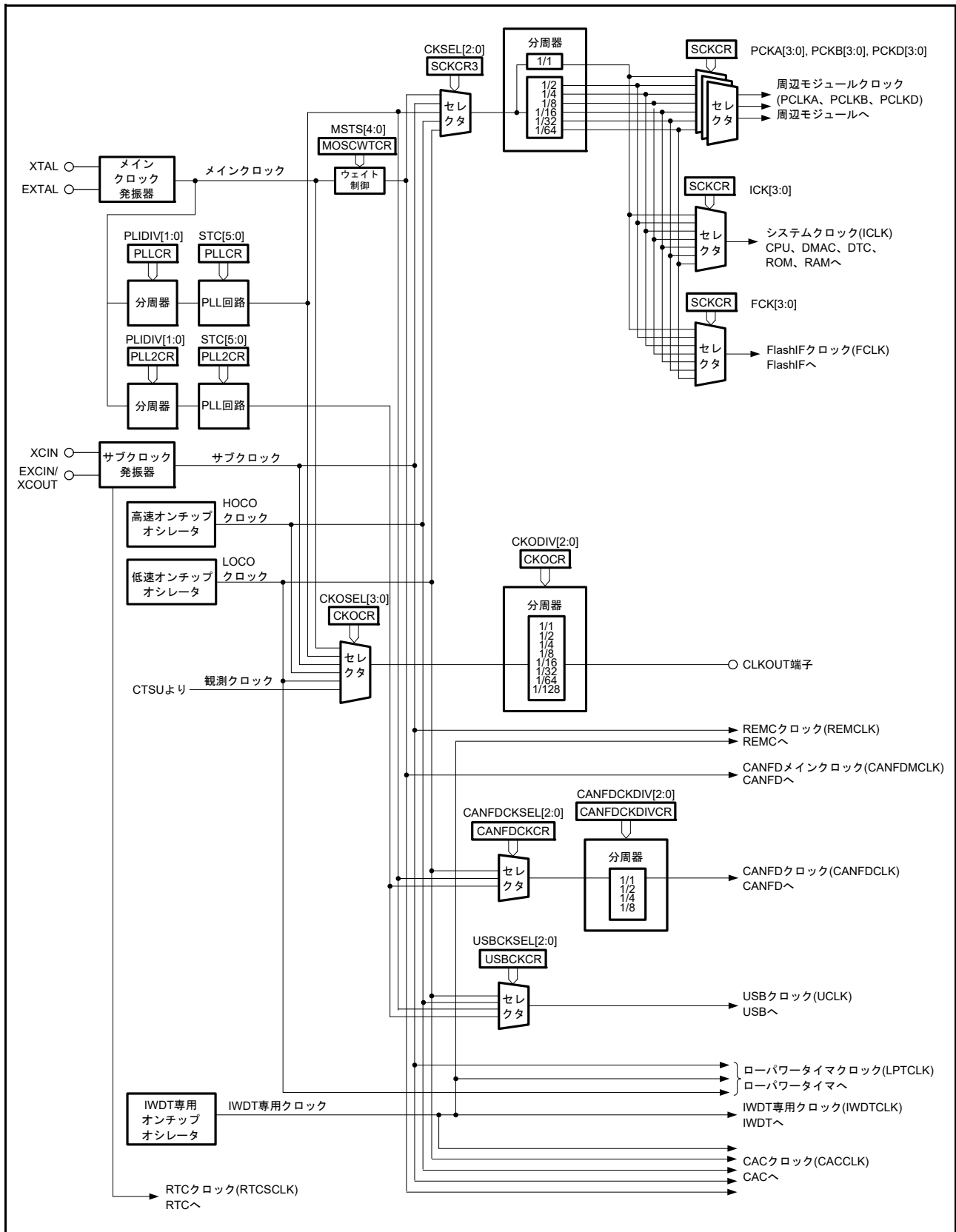


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。また、EXTAL端子は外部クロックを入力することもできます。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
XCIN	入力	32.768kHzの水晶振動子を接続 EXCIN端子は外部クロックを入力することもできます。詳細は、「9.4.2 外部クロックを入力する方法」参照
XCOUT/EXCIN	入出力	
CLKOUT	出力	クロック出力端子

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス SYSTEM.SCKCR 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FCK[3:0]				ICK[3:0]				—	—	—	—	—	—	—	—
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PCKA[3:0]				PCKB[3:0]				—	—	—	—	PCKD[3:0]			
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロック D (PCLKD) 選択ビット	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロック B (PCLKB) 選択ビット	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0]	周辺モジュールクロック A (PCLKA) 選択ビット	b15 b12 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b23-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	ICK[3:0]	システムクロック (ICK) 選択ビット (注1)	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b28	FCK[3:0]	FlashIFクロック (FCLK) 選択ビット (注1)	b31 b28 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. システムクロック (ICLK) に32MHzより高い周波数のクロックを設定する場合、ROMアクセス時のウェイト挿入を設定する必要があります。詳細は「46. フラッシュメモリ (FLASH)」を参照してください。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

PCKD[3:0] ビット (周辺モジュールクロック D (PCLKD) 選択ビット)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKB[3:0] ビット (周辺モジュールクロック B (PCLKB) 選択ビット)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

PCKA[3:0] ビット (周辺モジュールクロック A (PCLKA) 選択ビット)

周辺モジュールクロック A (PCLKA) の周波数を選択します。

ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)

システムクロック (ICLK) の周波数を選択します。

FCK[3:0] ビット (FlashIF クロック (FCLK) 選択ビット)

FlashIF クロック (FCLK) の周波数を選択します。

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス SYSTEM.SCKCR3 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 000 : LOCO 選択 001 : HOCO 選択 010 : メインクロック発振器選択 011 : サブクロック発振器選択 100 : PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIF クロック (FCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、サブクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

中速動作モード 2 ではクロックソースにメインクロック発振器を選択しないでください。

低速動作モードではクロックソースにサブクロック発振器のみ選択可能です。

9.2.3 PLL コントロールレジスタ (PLLCR)

アドレス SYSTEM.PLLCR 0008 0028h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	STC[5:0]					—	—	—	—	—	—	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数通倍率設定ビット	b13 b8 000111 : x4 001000 : x4.5 001001 : x5 001010 : x5.5 001011 : x6 001100 : x6.5 001101 : x7 001110 : x7.5 001111 : x8 010000 : x8.5 010001 : x9 010010 : x9.5 010011 : x10 010100 : x10.5 010101 : x11 010110 : x11.5 010111 : x12 011000 : x12.5 011001 : x13 011010 : x13.5 011011 : x14 011100 : x14.5 011101 : x15 011110 : x15.5 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLLCR2.PLEN ビットが“0”(PLL 動作) のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数 (4MHz ~ 12.5MHz) の範囲に入るように設定してください。

STC[5:0] ビット (周波数通倍率設定ビット)

PLL の周波数通倍率を設定します。

STC[5:0] ビットは、PLL の発振周波数 (24MHz ~ 64MHz) の範囲に入るように設定してください。

9.2.4 PLL コントロールレジスタ 2 (PLLCR2)

アドレス SYSTEM.PLLCR2 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL 停止制御ビット	0 : PLL 動作 1 : PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLLEN ビットで PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグが“1”になっていることを確認してから、PLL クロックの使用を開始してください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLL を停止設定後、再度動作設定にする場合、OSCOVFSR.PLOVF フラグの“0”を確認してから設定してください。
- PLL の停止設定は、PLL 動作かつ OSCOVFSR.PLOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで PLL を選択しているときは、PLLEN ビットを“1” (PLL 停止) にする書き込みは禁止です。

VCC が 1.8V 未満のとき、もしくは SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、PLLEN ビットを“0” (PLL 動作) にする書き込みは禁止です。

USBCKCR.USBCKSEL[2:0] ビットで UCLK に PLL を選択し、かつ、MSTPCRB.MSTPB19 ビットを“0” (モジュールストップ状態の解除) に設定しているときは、PLLEN ビットを“1” (PLL 停止) にする書き込みは禁止です。

CANFDCKCR.CANFDCKSEL[2:0] ビットで CANFDCLK に PLL を選択し、かつ、MSTPCRD.MSTPD9 ビットを“0” (モジュールストップ状態の解除) に設定しているときは、PLLEN ビットを“1” (PLL 停止) にする書き込みは禁止です。

9.2.5 PLL2 コントロールレジスタ (PLL2CR)

アドレス SYSTEM.PLL2CR 0008 002Ch

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	STC[5:0]					—	—	—	—	—	—	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL2入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数通倍率設定ビット	b13 b8 0001111 : ×4 0010000 : ×4.5 0010001 : ×5 0010100 : ×5.5 0010101 : ×6 0011000 : ×6.5 0011001 : ×7 0011100 : ×7.5 0011101 : ×8 0100000 : ×8.5 0100001 : ×9 0100100 : ×9.5 0100101 : ×10 0101000 : ×10.5 0101001 : ×11 0101100 : ×11.5 0101101 : ×12 0110000 : ×12.5 0110001 : ×13 0110100 : ×13.5 0110101 : ×14 0111000 : ×14.5 0111001 : ×15 0111100 : ×15.5 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLL2CR2.PLL2EN ビットが“0”(PLL2 動作) のとき、PLL2CR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL2 入力分周比選択ビット)

PLL2 のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL2 の入力周波数 (4MHz ~ 12.5MHz) の範囲に入るように設定してください。

STC[5:0] ビット (周波数通倍率設定ビット)

PLL2 の周波数通倍率を設定します。

STC[5:0] ビットは、PLL2 の発振周波数 (24MHz ~ 64MHz) の範囲に入るように設定してください。

9.2.6 PLL2 コントロールレジスタ 2 (PLL2CR2)

アドレス SYSTEM.PLL2CR2 0008 002Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLL2EN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLL2EN	PLL2停止制御ビット	0 : PLL2動作 1 : PLL2停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

PLL2EN ビット (PLL2 停止制御ビット)

PLL2 の動作 / 停止を制御します。

PLL2EN ビットで PLL2 を動作設定に変更後、OSCOVF.SR.PL2OVF フラグが“1”になっていることを確認してから、PLL2 クロックの使用を開始してください。

PLL2 は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLL2 を停止設定後、再度動作設定にする場合、OSCOVF.SR.PL2OVF フラグの“0”を確認してから設定してください。
- PLL2 の停止設定は、PLL2 動作かつ OSCOVF.SR.PL2OVF フラグの“1”を確認してから設定してください。
- PLL2 を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVF.SR.PL2OVF フラグの“1”を確認してから WAIT 命令を実行してください。
- PLL2 を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVF.SR.PL2OVF フラグの“0”を確認してから WAIT 命令を実行してください。

VCC が 1.8V 未満のとき、もしくは SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、PLL2EN ビットを“0” (PLL2 動作) にする書き込みは禁止です。

USBCKCR.USBCKSEL[2:0] ビットで UCLK に PLL2 を選択し、かつ、MSTPCRB.MSTPB19 ビットを“0” (モジュールストップ状態の解除) に設定しているときは、PLL2EN ビットを“1” (PLL2 停止) にする書き込みは禁止です。

CANFDCKCR.CANFDCKSEL[2:0] ビットで CANFDCLK に PLL2 を選択し、かつ、MSTPCRD.MSTPD9 ビットを“0” (モジュールストップ状態の解除) に設定しているときは、PLL2EN ビットを“1” (PLL2 停止) にする書き込みは禁止です。

9.2.7 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス SYSTEM.MOSCCR 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0: メインクロック発振器動作 1: メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

メインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

MOSTP ビットにてメインクロックを動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、OSCOVFSR.MOOVF フラグの“0”を確認してから設定してください。
- メインクロック発振器の停止設定は、メインクロック発振器動作かつ OSCOVFSR.MOOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“0”を確認してから WAIT 命令を実行してください。

以下のいずれかの条件を満たす場合、MOSTP ビットを“1”にしないでください。

- システムクロックのクロックソースにメインクロックを選択しているとき (SCKCR3.CKSEL[2:0] = 010b)
- システムクロックのクロックソースに PLL クロックを選択しているとき (SCKCR3.CKSEL[2:0] = 100b)
- PLL を動作させているとき (PLLCR2.PLEN = 0)
- PLL2 を動作させているとき (PLL2CR2.PLL2EN = 0)

以下の条件を満たす場合、MOSTP ビットを“0”にしないでください。

- 低速動作モードを選択しているとき (SOPCCR.SOPCM = 1)

9.2.8 サブクロック発振器コントロールレジスタ (SOSCCR)

アドレス SYSTEM.SOSCCR 0008 0033h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	1(注1)

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止ビット	0: サブクロック発振器動作 1: サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. パワーオンリセット以外のリセット要因では初期化されません。

SOSTP ビット (サブクロック発振器停止ビット)

サブクロック発振器の動作/停止を制御します。

SOSTP ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください(「5. I/O レジスタ」の「(2) I/O レジスタ書き込み時の注意事項」を参照してください)。

サブクロックを使用する場合は、SOSTP ビットを“0”にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定する必要があります。また、SOSTP ビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間 (t_{SUBOSC}) が経過した後、サブクロックの使用を開始してください。

サブクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- サブクロック発振器を停止設定後、再度動作設定にする場合、停止期間はサブクロックで5サイクル以上の時間となるようにしてください。
- サブクロック発振器の停止設定は、サブクロック発振器の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、サブクロック発振器を動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。
- サブクロック発振器を停止設定後、ソフトウェアスタンバイモードに移行する場合は、サブクロック発振器停止設定後、サブクロック 2 サイクル以上待ってから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットでサブクロック発振器を選択しているとき、SOSTP ビットを“1”(サブクロック発振器停止)にする書き込みは禁止です。

9.2.9 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス SYSTEM.LOCOCR 0008 0034h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定時間 (t_{LOCO}) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。
- LCSTP ビットによる LOCO の発振開始、停止制御の変更は、LOCO 以外の各発振器が発振安定または停止状態で行ってください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1”(LOCO 停止)にする書き込みは禁止です。

SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、LCSTP ビットを“0”(LOCO 動作)にする書き込みは禁止です。

ELC によるクロックソース切り替えを行う場合には、LCSTP ビットを“0”(LOCO 動作)に設定した後で ELC を有効にしてください。

USBCKCR.USBCKSEL[2:0] ビットで UCLK に LOCO を選択しているときは、MSTPCRB.MSTPB19 ビットを“0”(モジュールストップ状態の解除)に設定しないでください。

CANFDCKCR.CANFDCKSEL[2:0] ビットで CANFDCLK に LOCO を選択し、かつ、MSTPCRD.MSTPD9 ビットを“0”(モジュールストップ状態の解除)に設定しているときは、LCSTP ビットを“1”(LOCO 停止)にする書き込みは禁止です。

9.2.10 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス SYSTEM.ILOCOCR 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0 : IWDT専用オンチップオシレータ動作 1 : IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

オプション機能選択レジスタ0のIWDTスタートモード選択ビット(OFS0.IWDTSTRT)が“0”(IWDT動作)のとき、ILOCOCRレジスタの設定は無効です。OFS0.IWDTSTRTビットが“1”(IWDT停止)のとき、ILOCOCRレジスタの設定は有効です。ILOCOCRレジスタが有効、かつILCSTPビットが“0”(IWDT専用オンチップオシレータ動作)の後、“1”(IWDT専用オンチップオシレータ停止)に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT専用オンチップオシレータの動作/停止を制御します。

ILCSTPビットで、IWDT専用オンチップオシレータを停止設定から動作設定に変更した場合、IWDT専用クロック発振安定時間(t_{ILOCO})に相当する一定時間経過後、MCU内部にクロックが供給開始されます。IWDT専用クロックを使用する場合は、この待ち時間が経過した後、使用開始してください。

IWDT専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。

9.2.11 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス SYSTEM.HOCOOCR 0008 0036h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HCSTP

リセット後の値 0 0 0 0 0 0 0 0/1
(注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. オプション機能選択レジスタ1のHOCO発振有効ビット(OFS1.HOCOEN)が“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグが“1”になっていることを確認してから HOCO クロックの使用を開始してください。

フラッシュメモリの P/E モード時は、高速オンチップオシレータを動作させておく必要があります。

HOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- HOCO を停止設定後、再度動作設定にする場合、OSCOVFSR.HCOVF フラグの“0”を確認してから設定してください。
- HOCO の停止設定は、HOCO 動作かつ OSCOVFSR.HCOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、HOCO を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“0”を確認してから WAIT 命令を実行してください。
- ROM、E2 データフラッシュの P/E モード中は、高速オンチップオシレータを動作させておく必要があります。

SCKCR3.CKSEL[2:0] ビットで HOCO を選択しているとき、HCSTP ビットを“1” (HOCO 停止) にする書き込みは禁止です。

SOPCCR.SOPCM ビットで低速動作モードを選択しているときは、HCSTP ビットを“0” (HOCO 動作) にする書き込みは禁止です。

USBCKCR.USBCKSEL[2:0] ビットで UCLK に HOCO を選択し、かつ、MSTPCRB.MSTPB19 ビットを“0” (モジュールストップ状態の解除) に設定しているときは、HCSTP ビットを“1” (HOCO 停止) にする書き込みは禁止です。

9.2.12 発振安定フラグレジスタ (OSCOVFSR)

アドレス SYSTEM.OSCOVFSR 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PL2OV F	—	HCOVF	PLOVF	—	MOOV F
リセット後の値	0	0	0	0	0/1	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0: メインクロック停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能 (注2)	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLLクロック発振安定フラグ	0: PLL停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b3	HCOVF	HOCOクロック発振安定フラグ	0: HOCO停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PL2OVF	PLL2クロック発振安定フラグ	0: PLL2停止、または発振安定待ち中 1: 発振安定、使用可能	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. オプション機能選択レジスタ1のHOCO発振有効ビット(OFS1.HOCOEN)が“0”のとき、HCOVFフラグのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFフラグのリセット後の値は“0”になります。

注2. 各発振器のウェイトコントロールレジスタに適切な値を設定した場合、設定値(待ち時間)が不足している場合は、発振が安定する前にクロックの供給が開始されます。

OSCOVFSR レジスタは各発振器の発振が安定したかどうかをモニタするレジスタです。

それぞれの発振器にウェイトコントロールレジスタがある場合は、発振回路の安定時間以上になるように待ち時間を設定してください。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロックの発振安定の状態を示します。

[“1”になる条件]

- MOSCCR.MOSTP ビットが“1”(メインクロック発振器停止)のときに、MOSTP ビットを“0”(メインクロック発振器動作)にした後、MOSCWTCR レジスタの設定値に応じた時間が経過し、MCU 内部にメインクロックの供給が開始されたとき

[“0”になる条件]

- MOSCCR.MOSTP ビットを“1”にした後、メインクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLL クロック発振安定フラグ)

PLL クロックの発振安定の状態を示します。

[“1”になる条件]

- PLLCR2.PLEN ビットが“1”(PLL停止)のときに、PLEN ビットを“0”(PLL動作)にした後、MOOVF フラグが“1”になり、かつ PLL クロック発振安定時間 (tPLL) が経過し、MCU 内部に PLL クロックの供給が開始されたとき

[“0”になる条件]

- PLLCR2.PLEN ビットを“1”にした後、PLL の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

HOCO クロックの発振安定の状態を示します。

[“1”になる条件]

- HOCO CR.HCSTP ビットが“1” (HOCO 停止) のときに、HCSTP ビットを“0” (HOCO 動作) にした後、MCU 内部に HOCO クロックの供給が開始されたとき

[“0”になる条件]

- HOCO CR.HCSTP ビットを“1”にした後、HOCO の発振停止処理が完了したとき

PL2OVF フラグ (PLL2 クロック発振安定フラグ)

PLL2 クロックの発振安定の状態を示します。

[“1”になる条件]

- PLL2 CR2.PLL2EN ビットが“1” (PLL2 停止) のときに、PLL2EN ビットを“0” (PLL2 動作) にした後、MOOVF フラグが“1”になり、かつ PLL クロック発振安定時間 (tPLL) が経過し、MCU 内部に PLL2 クロックの供給が開始されたとき

[“0”になる条件]

- PLL2 CR2.PLL2EN ビットを“1”にした後、PLL2 の発振停止処理が完了したとき

9.2.13 CLKOUT 出力コントロールレジスタ (CKOCR)

アドレス SYSTEM.CKOCR 0008 003Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKOSTP	CKODIV[2:0]			CKOSEL[3:0]			—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	CKOSEL[3:0]	CLKOUT 出力ソース選択ビット	b11 b8 0000 : LOCO 選択 0001 : HOCO 選択 0010 : メインクロック発振器選択 0011 : サブクロック発振器選択 0100 : PLL 回路選択 1000 : CTSU 観測クロック選択 上記以外は設定しないでください	R/W
b14-b12	CKODIV[2:0]	CLKOUT 出力分周比選択ビット	b14 b12 000 : 1分周 001 : 2分周 010 : 4分周 011 : 8分周 100 : 16分周 101 : 32分周 110 : 64分周 111 : 128分周	R/W
b15	CKOSTP	CLKOUT 出力停止制御ビット	0 : CLKOUT 端子出力許可 (注1) 1 : CLKOUT 端子出力停止 (Low 固定)	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. 対応する端子の端子機能制御レジスタ、ポートモードレジスタの設定も必要です。

CKOCR レジスタは、CLKOUT 端子から出力するクロックの設定をします。

CKOSEL[3:0] ビット (CLKOUT 出力ソース選択ビット)

CLKOUT 端子から出力するクロックソースを LOCO クロック、HOCO クロック、メインクロック、サブクロック、PLL クロック、CTSU 観測クロックから選択します。変更するときは CKOSTP ビットを“1”にしてください。

CKODIV[2:0] ビット (CLKOUT 出力分周比選択ビット)

CKOSEL[3:0] ビットで選択したクロックの分周比を選択します。

変更するときは CKOSTP ビットを“1”にしてください。

CLKOUT 端子から出力されるクロックの特性は、「47.5.6.12 CLKOUT」を参照してください。

CLKOUT 端子出力サイクルの規定に合わせて、出力するクロックの分周比を設定してください。

CKOSTP ビット (CLKOUT 出力停止制御ビット)

CLKOUT 端子の出力を制御します。

“0”にすると選択したクロックが出力されます。“1”にすると Low が出力されます。

クロックを発振させたまま CKOSTP ビットを書き換えると、出力にグリッチが発生することがあります。

9.2.14 発振停止検出コントロールレジスタ (OSTDCR)

アドレス SYSTEM.OSTDCR 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込みを禁止、POEGへの発振停止検出通知なし 1 : 発振停止検出割り込みを許可、POEGへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0 : 発振停止検出機能は無効 1 : 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

OSTDIE ビット (発振停止検出割り込み許可ビット)

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”にセットされた後、OSTDIE ビットを“0”にする場合は、PCLKB で3サイクル以上待ってから行ってください。OSTDSR.OSTDF フラグのクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB の2サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット (発振停止検出機能許可ビット)

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1”(発振停止検出機能有効)にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”(LOCO 停止)を書いても、その書き込みは無効になります。

OSTDSR.OSTDF フラグが“1”(メインクロック発振停止検出)のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

9.2.15 発振停止検出ステータスレジスタ (OSTDSR)

アドレス SYSTEM.OSTDSR 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。

OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF = 0 が読み出し値に反映されるまで ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器 (“010b”) または PLL (“100b”) を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

- OSTDCR.OSTDE ビットが“1” (発振停止検出機能有効) の状態で、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.16 低速オンチップオシレータ強制発振コントロールレジスタ (LOFCR)

アドレス SYSTEM.LOFCR 0008 0043h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LOFXIN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOFXIN	低速オンチップオシレータ強制発振ビット	0: ソフトウェアスタンバイモード時発振停止(通常動作) 1: ソフトウェアスタンバイモード時発振停止なし(強制発振)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

LOFXIN ビット (低速オンチップオシレータ強制発振ビット)

低速オンチップオシレータ (LOCO) の強制発振を制御します。

強制発振を有効にした場合、低速オンチップオシレータがソフトウェアスタンバイであっても発振状態になります。

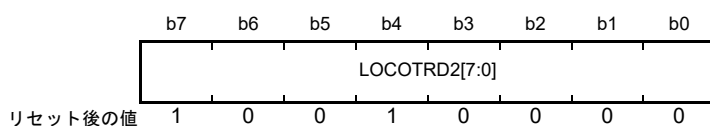
ローパワータイマ (LPT) のクロックソースに LOCO を選択し、ソフトウェアスタンバイモード中もカウント動作を継続する場合のみ LOCO 強制発振機能を有効にしてください。

LOFXIN ビットの書き換えを行う場合は、書き込み後、読み出して書き換わったのを確認してから、後続の命令を実行するようにしてください。

LOFXIN ビットの書き換えは、LOCOCR.LCSTP ビットが“0”の状態 (LOCO 動作)で行ってください。また、LOFXIN ビットを“1”に設定する場合は、LOCOCR.LCSTP ビットを“0”(LOCO 動作)にした後、LOCO クロックで5サイクル以上待ってから行ってください。LOFXIN ビットを“0”に設定した後、LOCOCR.LCSTP ビットを“1”(LOCO 停止)にする場合は、LOCO クロックで5サイクル以上待ってから行ってください。

9.2.17 低速オンチップオシレータトリミングレジスタ 2 (LOCOTRR2)

アドレス SYSTEM.LOCOTRR2 0008 0061h



ビット	シンボル	ビット名	機能	R/W
b7-b0	LOCOTRD2[7:0]	低速オンチップオシレータ周波数補正ビット2	b7 b0 0 0 0 0 0 0 0 0 : 0 (周波数 : 低) 0 0 0 0 0 0 0 1 : 1 : : 1 1 1 1 1 1 1 0 : 254 1 1 1 1 1 1 1 1 : 255 (周波数 : 高)	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

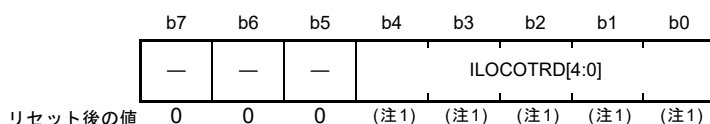
LOCOTRD2[7:0] ビット (低速オンチップオシレータ周波数補正ビット2)

低速オンチップオシレータの周波数補正值を設定してください。

設定値は通常の2進数 (0 (00h) から 255 (FFh)) で、値を大きくすると周波数が高くなります。

9.2.18 IWDT 専用オンチップオシレータトリミングレジスタ (ILOCOTRR)

アドレス SYSTEM.ILOCOTRR 0008 0064h



ビット	シンボル	ビット名	機能	R/W
b4-b0	ILOCOTRD[4:0]	IWDT専用オンチップオシレータ周波数補正ビット	b4 b0 0 0 0 0 0 : 0 (周波数 : 低) 0 0 0 0 1 : 1 : : 1 1 1 1 0 : 30 1 1 1 1 1 : 31 (周波数 : 高)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. チップごとの固定値

ILOCOTRD[4:0] ビット (IWDT 専用オンチップオシレータ周波数補正ビット)

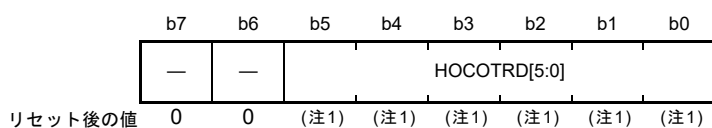
IWDT 専用オンチップオシレータの周波数補正值を設定してください。

設定値は通常の2進数 (0 (00h) から 31 (1Fh)) で、値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.2.19 高速オンチップオシレータトリミングレジスタ 0 (HOCOTRR0)

アドレス SYSTEM.HOCOTRR0 0008 0068h



ビット	シンボル	ビット名	機能	R/W
b5-b0	HOCOTRD[5:0]	高速オンチップオシレータ周波数補正ビット	b5 b0 0 0 0 0 0 : 0 (周波数 : 低) 0 0 0 0 1 : 1 : : 1 1 1 1 1 0 : 62 1 1 1 1 1 1 : 63 (周波数 : 高)	R/W (注2)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. チップごとの固定値

注2. USBCKCRレジスタの設定でUSBクロックソースにHOCOを選択する場合は、HOCOTRR0への書き込みは禁止です。

HOCOTRD[5:0] ビット (高速オンチップオシレータ周波数補正ビット)

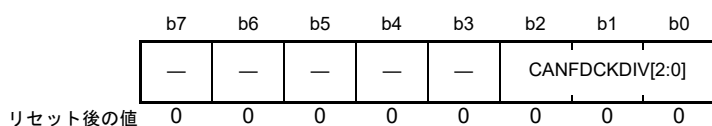
高速オンチップオシレータの周波数補正值を設定してください。

設定値は通常の2進数(0(00h)から63(3Fh))で、値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.2.20 CANFD クロック分周コントロールレジスタ (CANFDCKDIVCR)

アドレス SYSTEM.CANFDCKDIVCR 0008 006Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CANFDCKDIV[2:0]	CANFDCLK分周比選択ビット	b2 b0 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 1 0 0 : 8分周 上記以外は設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

CANFDCKDIV[2:0] ビット (CANFDCLK 分周比選択ビット)

CANFD クロック (CANFDCLK) の周波数を選択します。

MSTPCRD.MSTPD9 ビットを“1”（モジュールストップ状態へ遷移）に設定し、CANFDCKCR.CANFDCKSRDY フラグが“1”（クロック供給停止中）のときに書き換えてください。

9.2.21 USB クロックコントロールレジスタ (USBCKCR)

アドレス SYSTEM.USBCKCR 0008 0074h

	b7	b6	b5	b4	b3	b2	b1	b0
	USBCKSRDY	USBCKSREQ	—	—	—	USBCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	USBCKSEL[2:0]	USBクロックソース選択ビット	b2 b0 0 0 0 : HOCO 0 1 0 : LOCO (注1) 1 0 1 : PLL 1 1 0 : PLL2 上記以外は設定しないでください	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	USBCKSREQ	クロック供給停止要求ビット	0 : クロックソース選択回路からのクロック供給再開を要求 1 : クロックソース選択回路からのクロック供給停止を要求	R/W
b7	USBCKSRDY	クロック供給状態フラグ	0 : クロックソース選択回路からのクロック供給中 1 : クロックソース選択回路からのクロック供給停止中	R

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. USBCKCR.USBCKSEL[2:0] ビットでUCLKにLOCOを選択しているときは、MSTPCRB.MSTPB19 ビットを“0”(モジュールストップ状態の解除)に設定しないでください。

USBCKCR レジスタは、USB クロック (UCLK) を制御するレジスタです。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにするため、USBCKSEL[2:0] ビットの設定値の書き換えは、以下の手順に従ってください。

1. 切り替え前と切り替え後のクロックソースを発振させ、発振安定状態にする
2. MSTPCRB.MSTPB19 ビットに“1”を書き込む(モジュールストップ状態へ遷移)
3. USBCKSREQ ビットに“1”を書き込む
4. USBCKSRDY フラグが“1”になるまでポーリングする
(USBCKSRDY フラグが“1”である間、USB クロック (UCLK) の供給が停止する)
5. USBCKSEL[2:0] ビットの値を書き換える
6. USBCKSREQ ビットに“0”を書き込む
7. USBCKSRDY フラグが“0”になるまでポーリングする

USBCKSRDY フラグが“0”になると、USB に供給するクロック切り替えが完了する

8. MSTPCRB.MSTPB19 ビットに“0”を書き込む(モジュールストップ状態の解除)

ソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間 (USBCKSREQ = 1 かつ USBCKSRDY = 0、または、USBCKSREQ = 0 かつ USBCKSRDY = 1 であるとき) に WAIT 命令を実行しないでください。

USBCKSEL[2:0] ビット (USB クロックソース選択ビット)

USB クロック (UCLK) のクロックソースを選択します。

UCLK が 48MHz になるように、クロックソースの周波数を設定してください。

MSTPCRB.MSTPB19 ビットを“1”(モジュールストップ状態へ遷移)に設定し、USBCKSRDY フラグが“1”(クロック供給停止中)のときに書き換えてください。

USB をファンクションコントローラとして使用する場合のみ、USBCKSEL[2:0] ビットの値を“000b”に設定できます。

USB をファンクションコントローラとして使用しているときにのみ、HOCO の発振周波数誤差が ±0.25%

に補正されます。

USBCKSREQ ビット (クロック供給停止要求ビット)

USB へのクロック供給停止、再開要求を発行します。

USBCKSRDY フラグ (クロック供給状態フラグ)

USB へのクロック供給状態を示します。USBCKSRDY フラグが“1”の間、USB にクロックは供給されません。

9.2.22 CANFD クロックコントロールレジスタ (CANFDCKCR)

アドレス SYSTEM.CANFDCKCR 0008 0076h

	b7	b6	b5	b4	b3	b2	b1	b0
	CANFDCKSRDY	CANFDCKSREQ	—	—	—	CANFDCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CANFDCKSEL[2:0]	CANFDクロックソース選択ビット	b2 b0 0 1 0 : LOCO 1 0 1 : PLL 1 1 0 : PLL2 上記以外は設定しないでください	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CANFDCKSREQ	クロック供給停止要求ビット	0 : クロックソース選択回路からのクロック供給再開を要求 1 : クロックソース選択回路からのクロック供給停止を要求	R/W
b7	CANFDCKSRDY	クロック供給状態フラグ	0 : クロックソース選択回路からのクロック供給中 1 : クロックソース選択回路からのクロック供給停止中	R

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

CANFDCKCR レジスタは、CANFD クロック (CANFDCLK) を制御するレジスタです。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにするため、CANFDCKDIVCR.CANFDCKDIV[2:0] ビットと CANFDCKSEL[2:0] ビットの設定値の書き換えは、以下の手順に従ってください。

1. 切り替え前と切り替え後のクロックソースを発振させ、発振安定状態にする
2. MSTPCRD.MSTPD9 ビットに“1”を書き込む (モジュールストップ状態へ遷移)
3. CANFDCKSREQ ビットに“1”を書き込む
4. CANFDCKSRDY フラグが“1”になるまでポーリングする
(CANFDCKSRDY フラグが“1”である間、CANFD クロック (CANFDCLK) の供給が停止する)
5. CANFDCKDIVCR.CANFDCKDIV[2:0] ビットと CANFDCKSEL[2:0] ビットの色を書き換える
6. CANFDCKSREQ ビットに“0”を書き込む
7. CANFDCKSRDY フラグが“0”になるまでポーリングする
CANFDCKSRDY フラグが“0”になると、CANFD に供給するクロック切り替えが完了する
8. MSTPCRD.MSTPD9 ビットに“0”を書き込む (モジュールストップ状態の解除)

ソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間 (CANFDCKSREQ = 1 かつ CANFDCKSRDY = 0、または、CANFDCKSREQ = 0 かつ CANFDCKSRDY = 1 であるとき) に WAIT 命令を実行しないでください。

CANFDCKSEL[2:0] ビット (CANFD クロックソース選択ビット)

CANFD クロック (CANFDCLK) のクロックソースを選択します。

MSTPCRD.MSTPD9 ビットを“1”(モジュールストップ状態へ遷移) に設定し、CANFDCKSRDY フラグが“1”(クロック供給停止中) のときに書き換えてください。

CANFDCKSREQ ビット (クロック供給停止要求ビット)

CANFD へのクロック供給停止、再開要求を発行します。

CANFDCKSRDY フラグ (クロック供給状態フラグ)

CANFD へのクロック供給状態を示します。CANFDCKSRDY フラグが“1”の間、CANFD にクロックは供給されません。

9.2.23 サブクロック発振器モードコントロールレジスタ (SOMCR)

アドレス SYSTEM.SOMCR 0008 0083h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SOSEL	—	—	—	—	SODRV[1:0]	
リセット後の値	0	0(注1)	0	0	0	0	0(注1)	0(注1)

ビット	シンボル	ビット名	機能	R/W
b1-b0	SODRV[1:0]	SOSC ドライブ能力制御ビット	b1 b0 0 0 : 標準CL用ドライブ能力 0 1 : 低CL用ドライブ能力高 1 0 : 低CL用ドライブ能力中 1 1 : 低CL用ドライブ能力低	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SOSEL	SOSC発振切り替えビット	0 : 発振子 1 : 外部クロック入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. パワーオンリセット以外のリセット要因では初期化されません。

SODRV[1:0] ビット (SOSC ドライブ能力制御ビット)

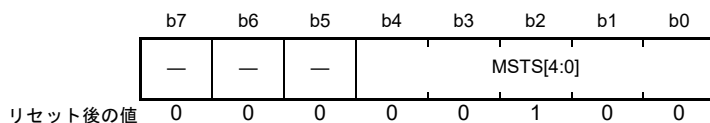
サブクロック発振器のドライブ能力を制御します。SODRV[1:0] ビットの設定は、SOSCCR.SOSTP ビットが“1”のときに行ってください。

SOSEL ビット (SOSC 発振切り替えビット)

サブクロック発振器の発振源の切り替えを行います。SOSEL ビットの設定は、SOSCCR.SOSTP ビットが“1”のときに行ってください。

9.2.24 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス SYSTEM.MOSCWTCR 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4 b0 00000: 待ち時間 = 0サイクル(0 μ s) 00001: 待ち時間 = 1024 サイクル(256 μ s) 00010: 待ち時間 = 2048 サイクル(512 μ s) 00011: 待ち時間 = 4096 サイクル(1.024ms) 00100: 待ち時間 = 8192 サイクル(2.048ms) 00101: 待ち時間 = 16384 サイクル(4.096ms) 00110: 待ち時間 = 32768 サイクル(8.192ms) 00111: 待ち時間 = 65536 サイクル(16.384ms) 01000: 待ち時間 = 131072 サイクル(32.768ms) 上記以外は設定しないでください 待ち時間はLOCO = 4.0MHz (0.25 μ s, TYP)の場合	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

MSTS[4:0] ビット (メインクロック発振器ウェイト時間設定ビット)

メインクロック発振器の発振安定待ち時間を選択します。

メインクロック発振安定待ち時間は、発振子メーカーが推奨する発振安定時間以上になるように設定してください。メインクロックを外部入力で使用している場合は、発振安定待ち時間は必要ないため、“00000b”を設定してください。

MSTS[4:0] ビットで設定した待ち時間は、LOCO クロックを使用して計測されます。LOCO は、LOCOCR.LCSTP ビットの値にかかわらず、必要なときに自動で発振します。

設定した待ち時間が経過した後、MCU 内部へのメインクロック供給が開始され、OSCOVFSR.MOOVF フラグが“1”になります。なお、設定した待ち時間が短かった場合は、メインクロックの発振が安定する前にクロックの供給が開始されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”で、OSCOVFSR.MOOVF フラグが“0”のときに書き換えてください。これ以外のときは書き換えしないでください。

9.2.25 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス SYSTEM.MOFCR 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODR V21	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	MODRV21	メインクロック発振器ドライブ能力切り替えビット	0 : 1MHz~10MHz 1 : 10MHz~20MHz	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0 : 発振子 1 : 外部発振入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

EXTAL/XTAL 端子はポートと兼用端子になっており初期設定状態ではポート機能となります。

MOFCR レジスタの書き換えは、メインクロック停止ビット MOSCCR.MOSTP が“1”の状態 (MOSC 停止)で行ってください。

MODRV21 ビット (メインクロック発振器ドライブ能力切り替えビット)

メインクロック発振器のドライブ能力の切り替えをします。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図 9.2 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表 9.1 のメインクロック発振器の発振子周波数の範囲内としてください。

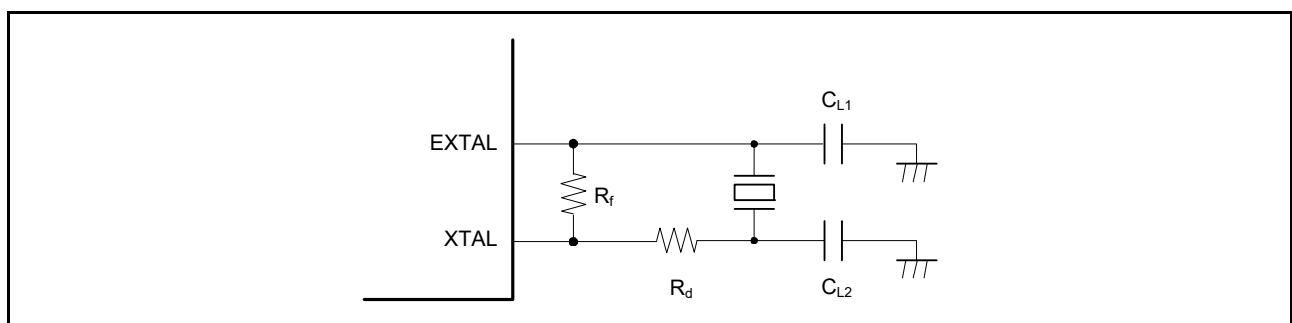


図 9.2 水晶振動子の接続例

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 9.3 に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にしてください。XTAL 端子はハイインピーダンスとなり汎用入力ポートとして使用できます。



図 9.3 外部クロックの接続例

9.3.3 メインクロックを使用しない場合の端子処理

メインクロックを使用しない場合の端子処理は、「20.5 未使用端子の処理」を参照ください。

9.3.4 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット(MOSCCR.MOSTP)に“0”(メインクロック発振器動作)が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 サブクロック発振器

サブクロック発振器へクロックを供給する方法には、水晶振動子を接続する方法と外部クロックを入力する方法があります。

9.4.1 32.768kHz 水晶振動子を接続する方法

32.768kHz の水晶振動子を接続する場合の接続例を図 9.4 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振器、発振駆動能力によって異なりますので発振器メーカーの推奨する値に設定してください。また、発振器メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って XCIN、XCOUT 間に R_f を挿入してください。発振子を接続してクロックを供給する場合、接続する発振器は表 9.1 のサブクロック発振器の発振器周波数の範囲内としてください。

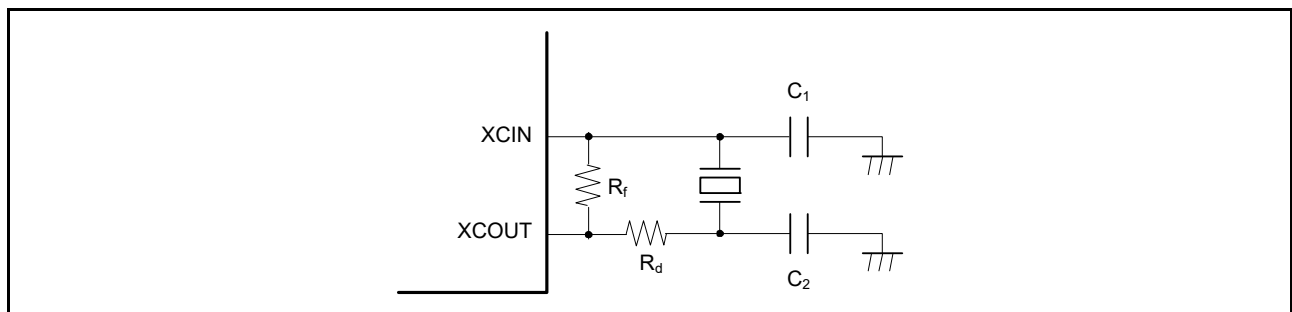


図 9.4 32.768kHz 水晶振動子の接続例

9.4.2 外部クロックを入力する方法

外部クロック入力の接続例を図 9.5 に示します。外部クロックを入力して動作させる場合には、SOMCR.SOSEL ビットを“1”にしてください。XCIN 端子はハイインピーダンスとなり汎用入力ポートとして使用できます。

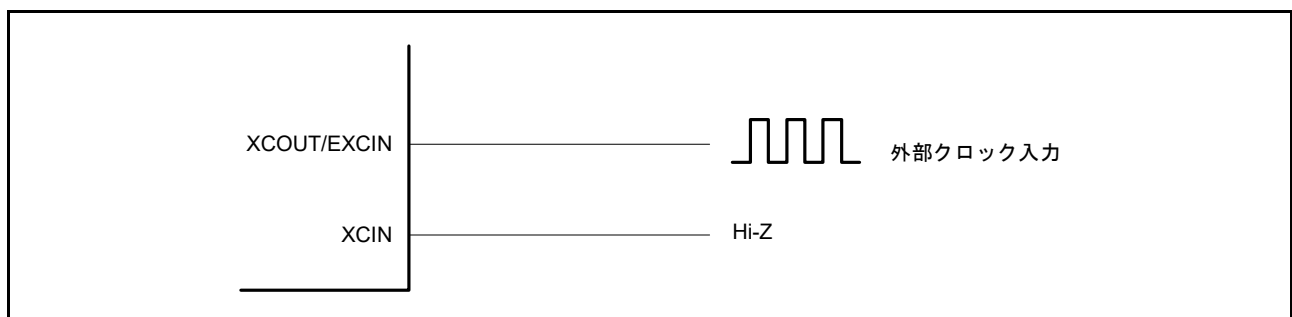


図 9.5 外部クロックの接続例

9.4.3 サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合の端子処理は、「20.5 未使用端子の処理」を参照ください。

9.5 発振停止検出機能

9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、GPTW の出力を強制的にハイインピーダンスとすることも可能です。詳細は、「23. GPTW 用ポートアウトプットイネーブル (POEGc)」を参照してください。

本 MCU は、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に、メインクロックの発振停止を検出します。検出期間の詳細は、「47. 電気的特性」の発振停止検出回路特性を参照してください。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックが、前段のセレクトにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL クロックが選択されている場合に発振停止を検出すると、SCKCR3.CKSEL[2:0] の設定値は変わらないまま、システムクロックのクロックソースは PLL クロックのままです。ただし、固有の周波数 (自励発振周波数) になります。

メインクロックと LOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが“1”になると LOCO クロックへ切り替わり、OSTDF フラグを“0”にするとメインクロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックあるいは PLL クロックを選択している場合は、OSTDF フラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻りたい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを“0”にしてください。その後、OSTDF フラグが“1”になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能を無効にしてください。

発振停止検出によって LOCO クロックに切り替わるのは、システムクロックソースとしてメインクロックを選択した場合のシステムクロック、CAC メインクロック、および CANFD メインクロック (CANFDMCLK) です。LOCO クロック動作時のシステムクロック (ICLK) の周波数については、LOCO 発振周波数とシステムクロック (ICLK) 選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

発振停止検出によって PLL の自励発振周波数で動作するのは、システムクロックソースとして PLL クロックを選択した場合のシステムクロック、CANFDCLK ソースとして PLL、PLL2 クロックを選択した場合の CANFD クロック (CANFDCLK)、UCLK ソースとして PLL、PLL2 クロックを選択した場合の USB クロック (UCLK) です。

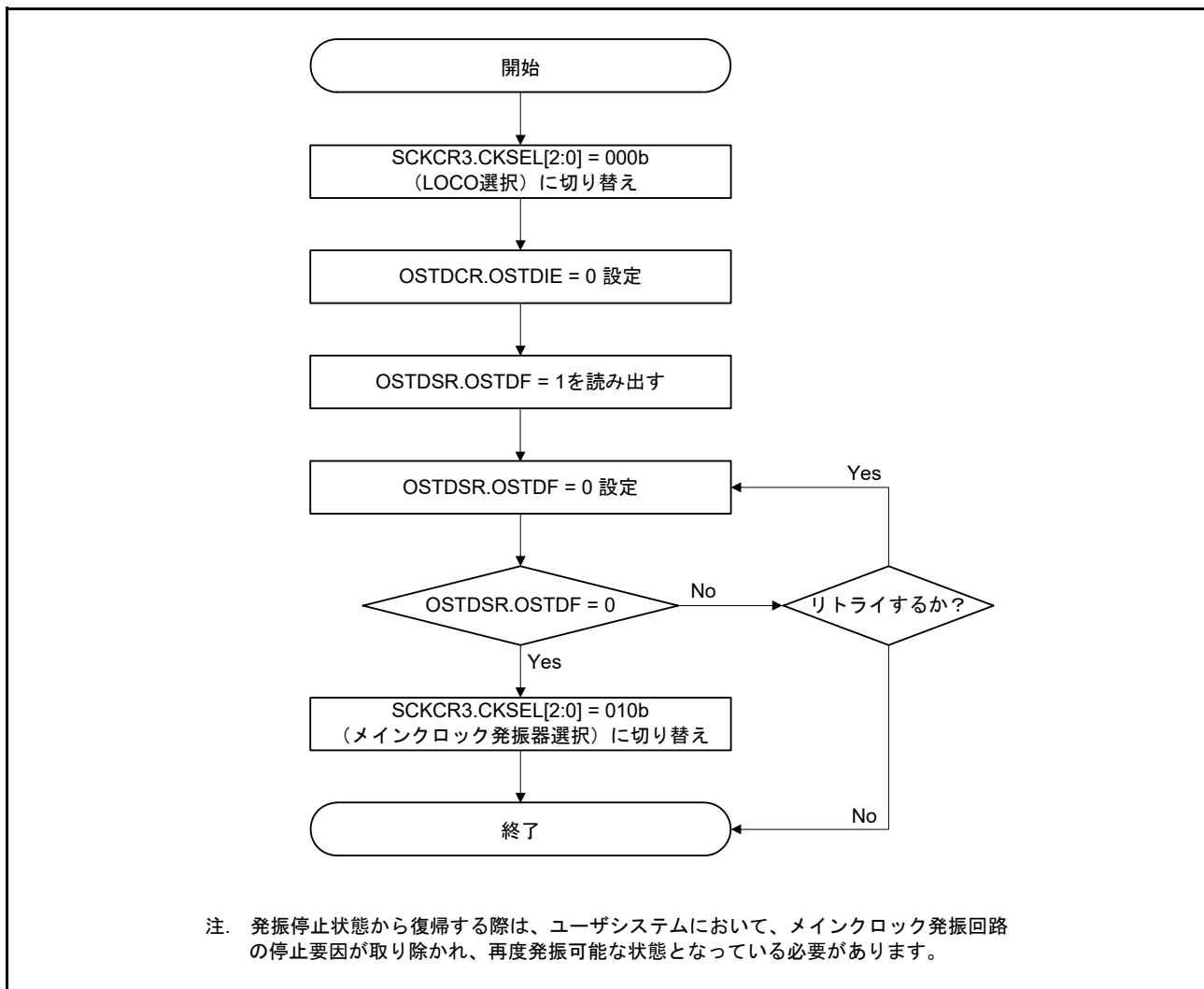


図 9.6 発振停止検出からの復帰のフローチャート例

9.5.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このとき GPTW 用ポートアウトプットイネーブル (POEG) へメインクロック発振器の停止を通知します。POEG は、発振停止の通知を受けて、POEG グループ n 設定レジスタの発振停止検出フラグ (POEGn.OSTPF (n = A ~ D)) を“1”にします。

発振停止検出フラグ (OSTDF) が“1”にセットされた後、発振停止検出割り込みイネーブルビット (OSTDIE) を“0”にする場合は PCLKB で 3 サイクル以上待つてください。

OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度“1”にする場合は、PCLKB で 2 サイクル以上待つてから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスクابل割り込みです。リセット解除後の初期状態では、「ノンマスクابل割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスクابل割り込みを有効にしてください。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

9.6 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

9.7 内部クロック

内部クロックは、クロック源としてメインクロック、サブクロック、HOCO クロック、LOCO クロック、PLL クロック、PLL2 クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DMAC、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKA, PCLKB, PCLKD)
- (3) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (4) USB モジュール用の動作クロック：USB クロック (UCLK)
- (5) REMC モジュール用の動作クロック：REMC クロック (REMCLK)
- (6) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (7) RTC モジュール用の動作クロック：RTC クロック (RTCCLK)
- (8) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)
- (9) ローパワータイマ用の動作クロック：LPT クロック (LPTCLK)
- (10) CANFD モジュール用の動作クロック：CANFD クロック (CANFDMCLK, CANFDCLK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0]、ICK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0]、PLIDIV[1:0] ビット、PLL2 回路の周波数を選択する PLL2CR.STC[5:0]、PLIDIV[1:0] ビット、HOCO 回路の周波数を選択する OFS1.HOCOFRQ[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

システムクロック (ICLK) に 32MHz より高い周波数のクロックを設定する場合、ROM アクセス時のウェイト挿入を設定する必要があります。詳細は「46. フラッシュメモリ (FLASH)」を参照してください。

9.7.1 システムクロック

システムクロック (ICLK) は、CPU、DMAC、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、OFS1.HOCOFRQ[1:0] ビットで設定します。

9.7.2 周辺モジュールクロック

周辺モジュールクロック (PCLKA, PCLKB, PCLKD) は、周辺モジュール用の動作クロックです。

PCLKA、PCLKB、PCLKD の周波数は、SCKCR.PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、OFS1.HOCOFRQ[1:0] ビットで設定します。

PCLKD は S12AD のアナログ変換用、PCLKA は CANFD (メッセージバッファ RAM) および GPTW 用、PCLKB はそれ以外の周辺モジュール用の動作クロックです。

9.7.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、OFS1.HOCOFRQ[1:0] ビットで設定します。

9.7.4 USB クロック

USB クロック (UCLK) は、USB の動作クロックです。

UCLK の周波数は、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、PLL2CR.STC[5:0]、PLIDIV[1:0] ビット、OFS1.HOCOFRQ[1:0] ビット、USBCKCR.USBCKSEL[2:0] ビットで設定します。USB モジュールを使用する場合は UCLK が 48MHz となるようにしてください。

9.7.5 REMC クロック

REMC クロック (REMCLK) は、REMC モジュールの動作クロックです。

REMCLK には、サブクロック発振器で生成されるクロックと、IWDT 専用オンチップオシレータで生成されるクロックがあります。

9.7.6 CAC クロック

CAC クロック (CACCLK) は、CAC モジュールの動作クロックです。

CACCLK にはメインクロック発振器で生成されるクロック、サブクロック発振器で生成されるクロック、高速オンチップオシレータで生成されるクロック、低速オンチップオシレータで生成されるクロック、IWDT 専用オンチップオシレータで生成されるクロックがあります。

9.7.7 RTC クロック

RTC クロック (RTCSCLK) は、RTC モジュールの動作クロックです。

RTCSCLK は、サブクロック発振器で生成されたクロックです。

9.7.8 IWDT 専用クロック

IWDT 専用クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7.9 ローパワータイマクロック

ローパワータイマクロック (LPTCLK) は、ローパワータイマ用の動作クロックです。

LPTCLK には、サブクロック発振器で生成されるクロック、IWDT 専用オンチップオシレータで生成されるクロック、低速オンチップオシレータの 4 分周で生成されるクロックがあります。

9.7.10 CANFD クロック

CANFD メインクロック (CANFDMCLK)、CANFD クロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

CANFDMCLK は、メインクロック発振器で生成されたクロックです。

CANFDCLK は、LOCO、PLL あるいは PLL2 で生成されたクロックです。

CANFDCLK の周波数は、PLLCR.STC[5:0] ビット、PLLCR.PLIDIV[1:0] ビット、PLL2CR.STC[5:0] ビット、PLL2CR.PLIDIV[1:0] ビット、CANFDCKCR.CANFDCKSEL[2:0] ビット、CANFDCKDIVCR.CANFDCKDIV[2:0] ビットで設定します。

CANFD モジュールを使用する場合は、CANFDMCLK と CANFDCLK の周波数は PCLKB 以下となるようにしてください。

9.8 使用上の注意事項

9.8.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIF クロック (FCLK) の周波数を選択します。各周波数は、以下のよう
にしてください。
各周波数は電気的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように
選択してください。
周波数は表 9.1 の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKA、PCLKB、PCLKD を基準に動作します。このため、周波数変更
の前後でタイマや SCI などの動作速度が変わりますので注意してください。
- (2) システムクロック (ICLK)、周辺モジュールクロック A、B、D (PCLKA, PCLKB, PCLKD)、FlashIF ク
ロック (FCLK) との間には下記の周波数関係が必要です。
ICLK:FCLK = N:1 or 1:N (N は整数)
ICLK:PCLKA, PCLKB, PCLKD = N:1 or 1:N (N は整数)
CANFD 使用時、PCLKA:PCLKB = 2:1 の周波数関係
CANFD 未使用時、PCLKA \geq PCLKB の周波数関係
- (3) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レ
ジスタの読み出しを行ってから次の処理を実行してください。

9.8.2 SCKCR3 レジスタ書き換え時の注意事項

SCKCR3 レジスタが書き換えられた場合、クロックソースの切り替え時に短いクロックパルス (グリッ
チ) が発生しないよう、一時的にクロック出力を停止させています。この期間内に下記の条件を満たす信号
が入力された場合、割り込みコントローラで検出できないことがあります。

- (1) PCLKB の分周比が 1 分周 (SCKCR.PCKB[3:0] ビットが “0000b”) の場合、切り替え後の PCLKB の 4 サ
イクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み
- (2) PCLKB の分周比が 2 分周 (SCKCR.PCKB[3:0] ビットが “0001b”) の場合、切り替え後の PCLKB の 2.5 サ
イクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み
- (3) SCKCR3.CKSEL[2:0] ビットを “011b” (サブクロック) に変更したときの RTC 周期割り込み
外部端子割り込み、NMI 端子割り込みを使用する場合は、上記 (1)、(2) の条件が満たされないように、十
分にパルス幅の広い信号を入力してください。また、RTC 周期割り込みを使用する場合は、RTC 周期割り
込みが発生してから、次の RTC 周期割り込みが発生するまでの間にクロックソースを切り替えてください。

9.8.3 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例
を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮
遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される
電圧が最大定格を超えないようにしてください。

9.8.4 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.7 に示すように発振回路の近くには信号線を通させないでください。電磁誘導によって正常に発振しなくなることがあります。

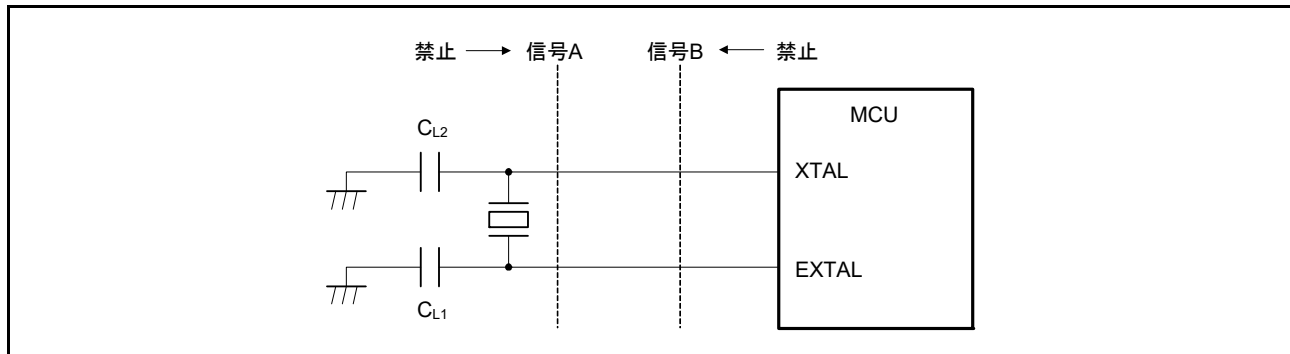


図 9.7 発振回路部のボード設計に関する注意事項（メインクロック発振器の場合、サブクロック発振器も同様）

9.8.5 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP = 1) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子、XTAL 端子を汎用ポートとして使用しないでください。

メインクロックを使用する場合は、P36、P37 を出力に設定しないでください。

なお、MOFCR.MOSEL を“1”、MOSCCR.MOSTP を“0”に設定し、EXTAL 端子から外部クロックを入力して動作させる場合は、XTAL 端子は汎用入力ポート P37 として使用することができます。

サブクロックを使用しない場合に、XCIN 端子、XCOUT 端子を汎用入力ポート PH7、PH6 として使用することができます。汎用ポートとして使用する場合は、サブクロック停止設定 (SOSCCR.SOSTP = 1) で使用してください。ただし、サブクロックを使用するシステムにおいては XCIN 端子、XCOUT 端子を汎用入力ポートとして使用しないでください。

なお、SOMCR.SOSEL を“1”、SOSCCR.SOSTP を“0”に設定し、EXCIN 端子から外部クロックを入力して動作させる場合は、XCIN 端子は汎用入力ポート PH7 として使用することができます。

9.8.6 低 CL 水晶振動子の使用に関する注意事項

XCIN 端子や XCOUT 端子の近傍の信号が変化すると、サブクロック発振器の発振精度に影響する可能性があります。影響の大きさは、基板の配線パターンや近傍の信号変化の状況により異なります。低 CL 水晶振動子を使用した基板を作成する際には、アプリケーションノート「メインクロック回路、サブクロック回路のデザインガイド」(R01AN7202JJ) を参考に、ノイズ対策を実施してください。

9.8.7 サブクロックに関する注意事項

サブクロックの動作/停止は、サブクロック発振器コントロールレジスタのサブクロック発振器停止ビット (SOSCCR.SOSTP) で制御され、SOSCCR.SOSTP ビットが動作に設定されているとサブクロックは動作状態となります。

サブクロックを使用する場合は、図 9.8 のフローチャートの例に従って初期設定してください。リアルタイムクロックのカウントソースとしても使用される場合は、続けて、「26.3.2 クロックとカウントモード 設定手順」に記載されたクロック設定手順に従って設定してください。

なお、サブクロックを使用する場合、PG7 を汎用入出力ポートとして使用しないでください。

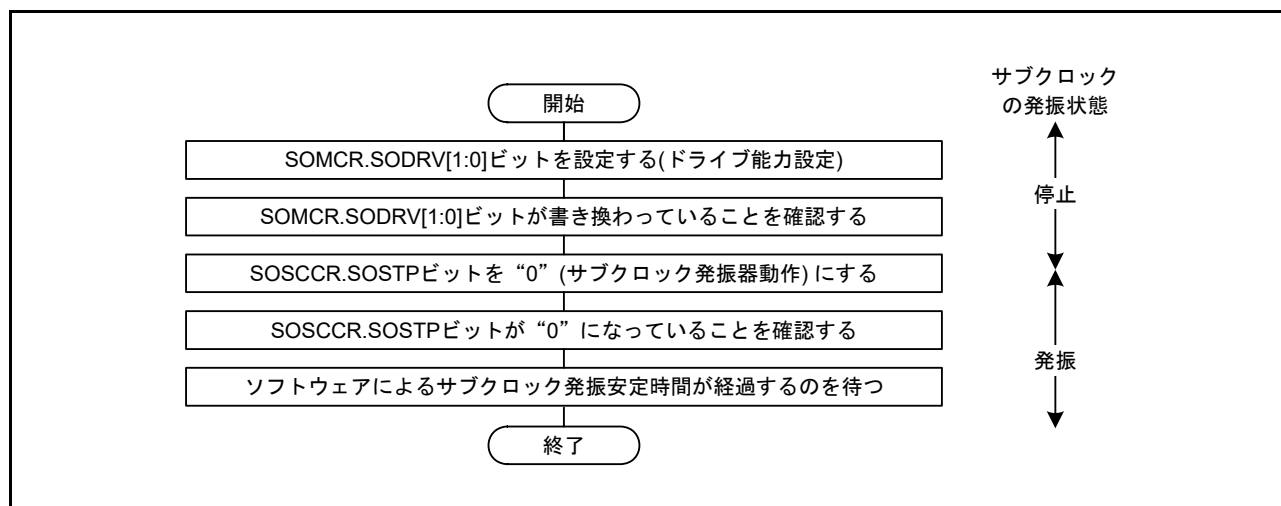


図 9.8 サブクロックを使用する場合の初期化フローチャート例

10. クロック周波数精度測定回路 (CAC)

本 MCU はクロック周波数精度測定回路 (CAC) を内蔵しています。

CAC は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

10.1 概要

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCCLK) • 周辺モジュールクロック B (PCLKB)
測定基準クロック	<ul style="list-style-type: none"> • 外部から CACREF 端子に入力したクロック • メインクロック • サブクロック • HOCOクロック • LOCOクロック • IWDT専用クロック (IWDTCCLK) • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> • 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への遷移が可能

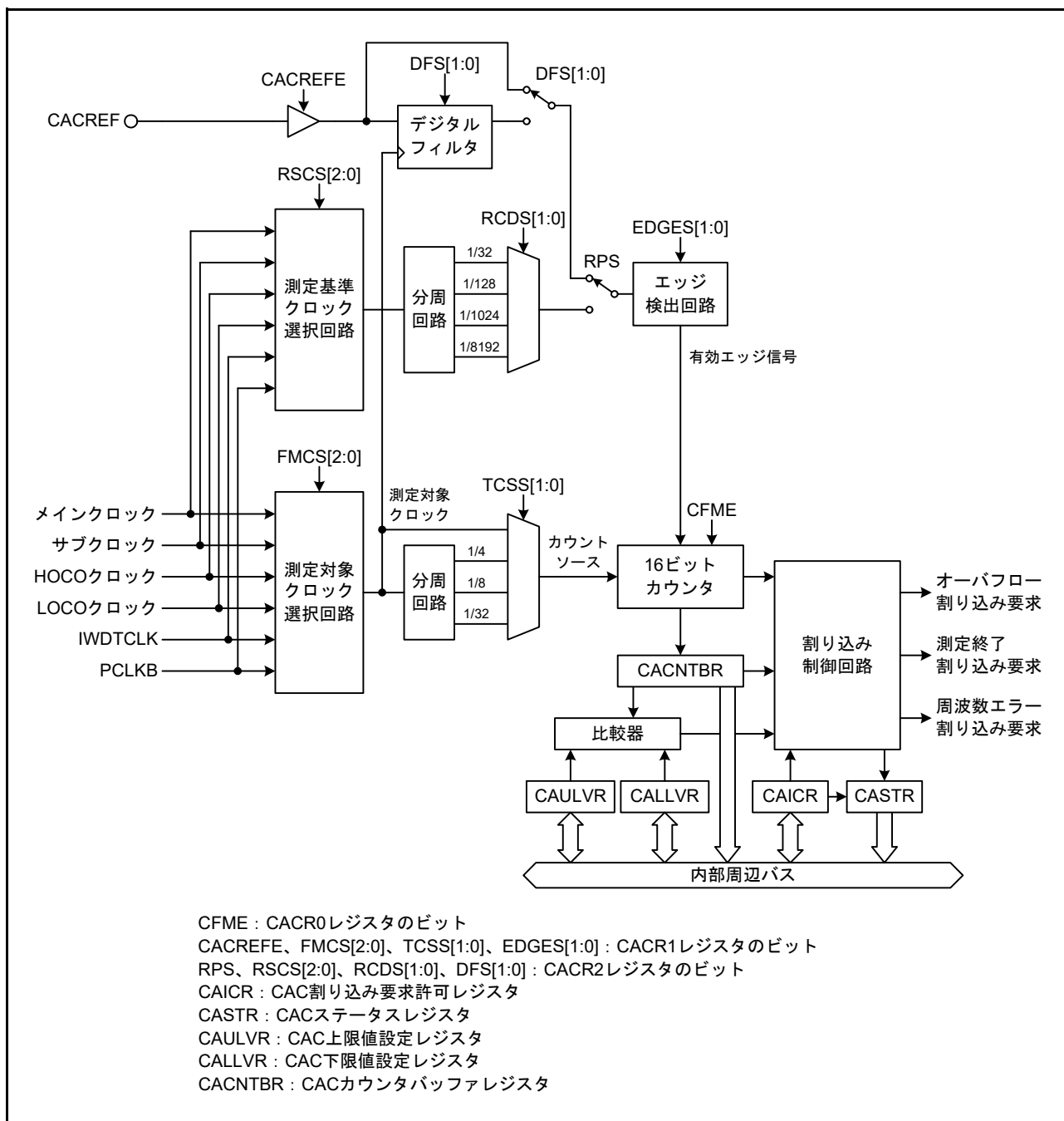


図 10.1 CACのブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

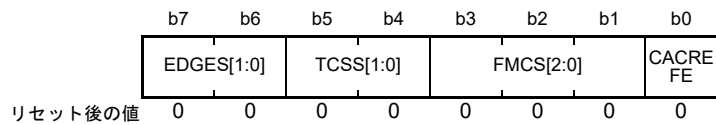
CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDT専用クロック (IWDTCCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントソース選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注. CACR1レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントソース選択ビット)

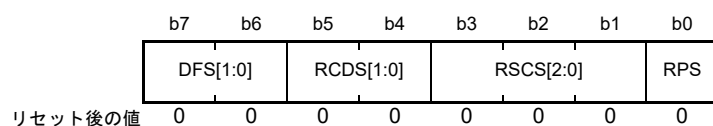
このビットの設定によりクロック周波数精度測定回路のカウントソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 0 1 : サブクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDT専用クロック (IWDTCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 測定対象クロック 1 0 : 測定対象クロックの4分周クロック 1 1 : 測定対象クロックの16分周クロック	R/W

注. CACR2レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス CAC.CAICR 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグがクリアされます。読むと“0”が読めます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグがクリアされます。読むと“0”が読めます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグがクリアされます。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効/無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効/無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効/無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグがクリアされます。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグがクリアされます。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF フラグがクリアされます。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 0008 B004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた(周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた(周波数エラー)ことを示します。

[“1”になる条件]

- クロック周波数が設定値を外れたとき

[“0”になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[“1”になる条件]

- 測定終了したとき

[“0”になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

[“1”になる条件]

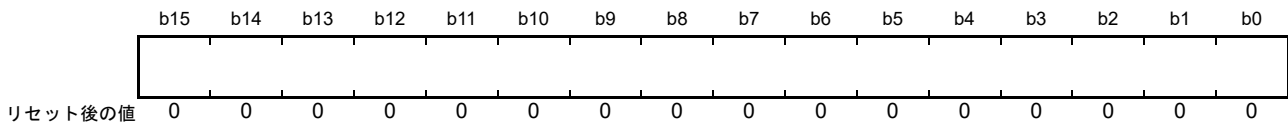
- カウンタがオーバフローしたとき

[“0”になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 0008 B006h



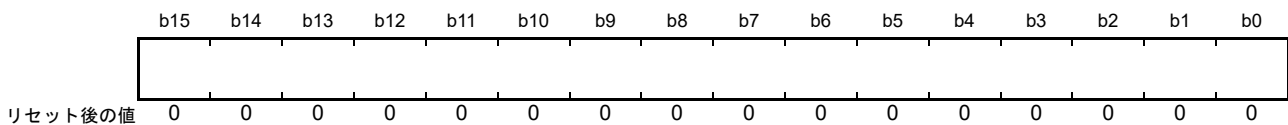
CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 0008 B008h



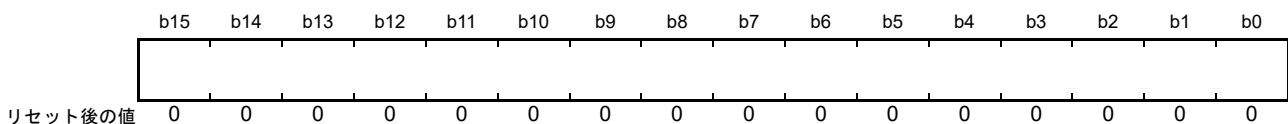
CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

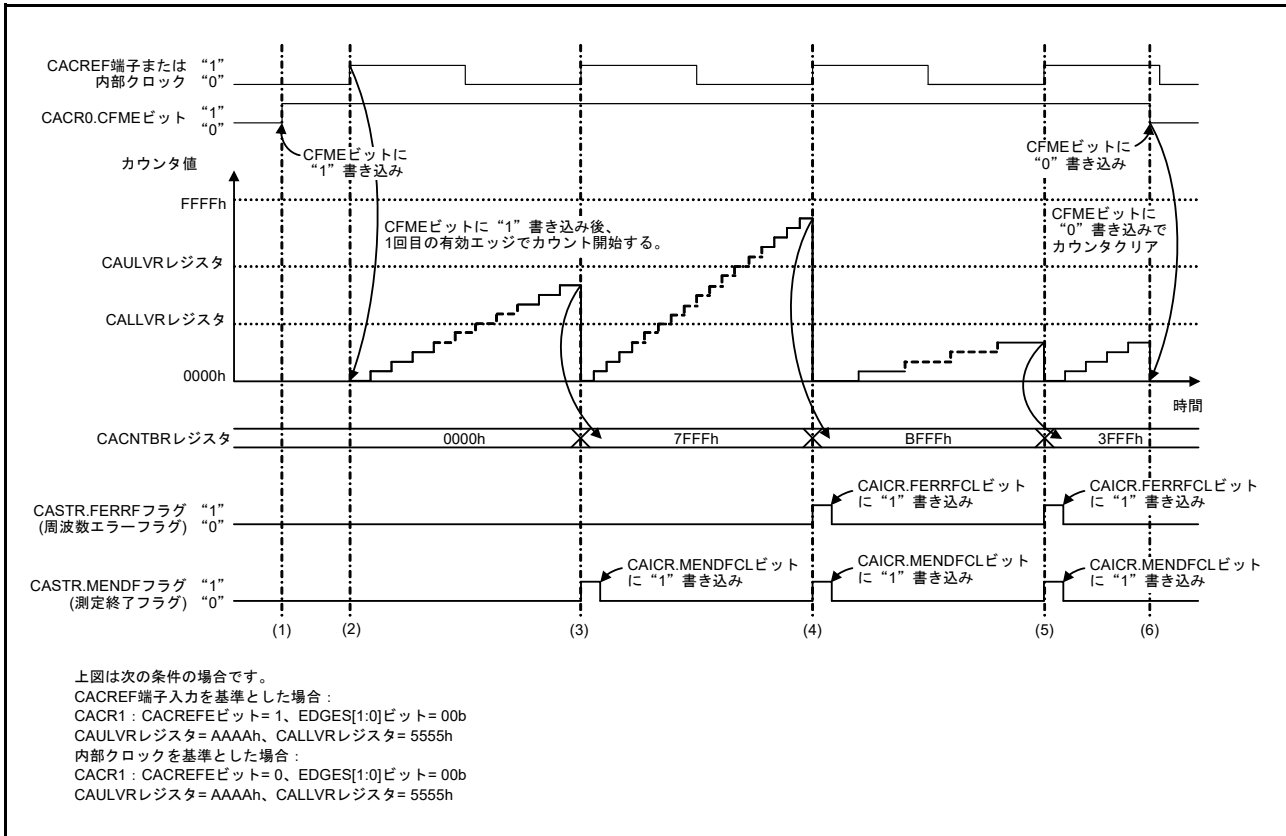


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを “0”、CACR1.CACREFE ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに “1” を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウンタアップが開始されます。
内部クロックを基準とした場合は、CFME ビットに “1” を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウンタアップが開始されます。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CALLVR レジスタ \leq CACNTBR レジスタ \leq CAULVR レジスタのときは、クロック周波数が正常なので CASTR.MENDF フラグだけが “1” になります。また、CAICR.MENDIE ビットを “1” にしている場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソース 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの 3 種類があります。各割り込み要因が発生すると各ステータスフラグが“1”になります。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタと CAULVR レジスタおよび CALLVR レジスタとを比較した結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DMAC、DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能(注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • ディープスリープモード • ソフトウェアスタンバイモード • スヌーズモード
動作電力低減機能	<ul style="list-style-type: none"> • 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時、およびスヌーズモード時の消費電力を低減することが可能 • 動作電力制御状態：4種類 高速動作モード 中速動作モード 中速動作モード2 低速動作モード

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態 (1/2)

動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード	スヌーズモード(注1)
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令	ソフトウェアスタンバイモード中にスヌーズ遷移条件発生
リセット以外の解除方法	割り込み	割り込み	割り込み(注2)	割り込み(注3)またはスヌーズ終了条件発生
解除後の状態(注4)	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)またはソフトウェアスタンバイモード
メインクロック発振器	動作可能	動作可能	停止	動作可能
サブクロック発振器	動作可能	動作可能	動作可能	動作可能
高速オンチップオシレータ (HOCO)	動作可能	動作可能	停止	動作可能
低速オンチップオシレータ (LOCO)	動作可能	動作可能	動作可能(注5)	動作可能
IWDT 専用オンチップオシレータ (ILOCO)	動作可能(注6)	動作可能(注6)	動作可能(注6)	動作可能(注6)
PLL	動作可能	動作可能	停止	動作可能
PLL2	動作可能	動作可能	停止	動作可能
CLKOUT 出力	動作可能	動作可能	動作可能(注7)	動作可能
CPU	停止(保持)	停止(保持)	停止(保持)	停止(保持)

表 11.2 各モードにおける遷移および解除方法と動作状態 (2/2)

動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード	スヌーズモード(注1)
RAM0 (0000 0000h~0001 FFFFh)	動作可能(保持)	停止(保持)	停止(保持)	動作可能(保持)(注8)
フラッシュメモリ	動作	停止(保持)	停止(保持)	停止(保持)
DMAC	動作可能(注9)	停止(保持)	停止(保持)	停止(保持)
DTC	動作可能(注10)	停止(保持)	停止(保持)	動作可能(注8、注10)
ウォッチドッグタイマ(WDT)	停止(保持)	停止(保持)	停止(保持)	停止(保持)
独立ウォッチドッグタイマ(IWDT)	動作可能(注6)	動作可能(注6)	動作可能(注6)	動作可能(注6)
リモコン信号受信機能(REMC)	動作可能	動作可能	動作可能(注11)	動作可能
リアルタイムクロック(RTC)	動作可能	動作可能	動作可能	動作可能
RTCOOUT出力	動作可能	動作可能	動作可能	動作可能
電圧検出回路(LVD)	動作可能	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作	動作
コンパレータB	動作可能	動作可能	動作可能(注12)	動作可能(注12)
ローパワータイマ(LPT)	動作可能	動作可能	動作可能	動作可能
周辺モジュール	動作可能	動作可能	停止(保持)(注13)	動作可能
I/Oポート	動作	動作	保持(注14)	動作

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。
停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

- 注1. MSTPCRm.MSTPmiビット(m = A~D, i = 31~0)を“0”に設定している内蔵周辺モジュールはすべて、スヌーズモード遷移後に動作クロックが供給され、動作が再開します。そのため、スヌーズモード中に動作が不要な内蔵周辺モジュールについては、ソフトウェアスタンバイモードに遷移する前に対応するMSTPmiビットを“1”に設定し、モジュールストップ状態としてください。
- 注2. 外部端子割り込み(NMI, IRQ0~IRQ7)、周辺機能割り込み(RTCアラーム、RTC周期、IWDT、電圧監視、USB、REMC、ELC(LPT専用割り込み))
- 注3. 外部端子割り込み(NMI, IRQ0~IRQ7)、周辺機能割り込み(RTCアラーム、RTC周期、IWDT、電圧監視、USB、REMC)、スヌーズ解除、ノンマスクابل割り込みのRAMエラー割り込み
- 注4. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
- 注5. 低速オンチップオシレータ強制発振コントロールレジスタの低速オンチップオシレータ強制発振ビット(LOFCR.LOFXIN)の設定により、動作/停止を選択することができます。
- 注6. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット(OFS0.IWDTSLCSTP)の設定により、動作/停止を選択することができます。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット(IWDTCSTPR.SLCSTP)の設定により、動作/停止を選択することができます。
- 注7. CLKOUT出カントロールレジスタのCLKOUT出力ソース選択ビット(CKOCR.CKOSEL[3:0]) = 0011b(サブクロック発振器)以外を選択している場合は、停止します。ソフトウェアスタンバイモードでLOCO強制発振が有効な場合、CKOCR.CKOSEL[3:0] = 0000b(LOCOクロック)を設定しないでください。
- 注8. スヌーズコントロールレジスタのスヌーズモード時DTC許可ビット(SNZCR.SNZDTCE)の設定により、動作/停止を選択することができます。
- 注9. スリープモード中は、システム制御関連のレジスタ(「表5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。
- 注10. スリープモード中、あるいはスヌーズモード中は、システム制御関連のレジスタ(「表5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。
- 注11. 動作クロックのクロックソースがサブクロック、IWDT専用オンチップオシレータクロックの場合に動作可能です。
- 注12. デジタルフィルタ機能は使用禁止です。比較結果のCMPOBn端子への出力のみ動作可能です。
- 注13. 周辺モジュールは状態を保持します。
- 注14. リモコン信号受信機能(REMC)を動作させている場合、関連する端子は動作を継続します。

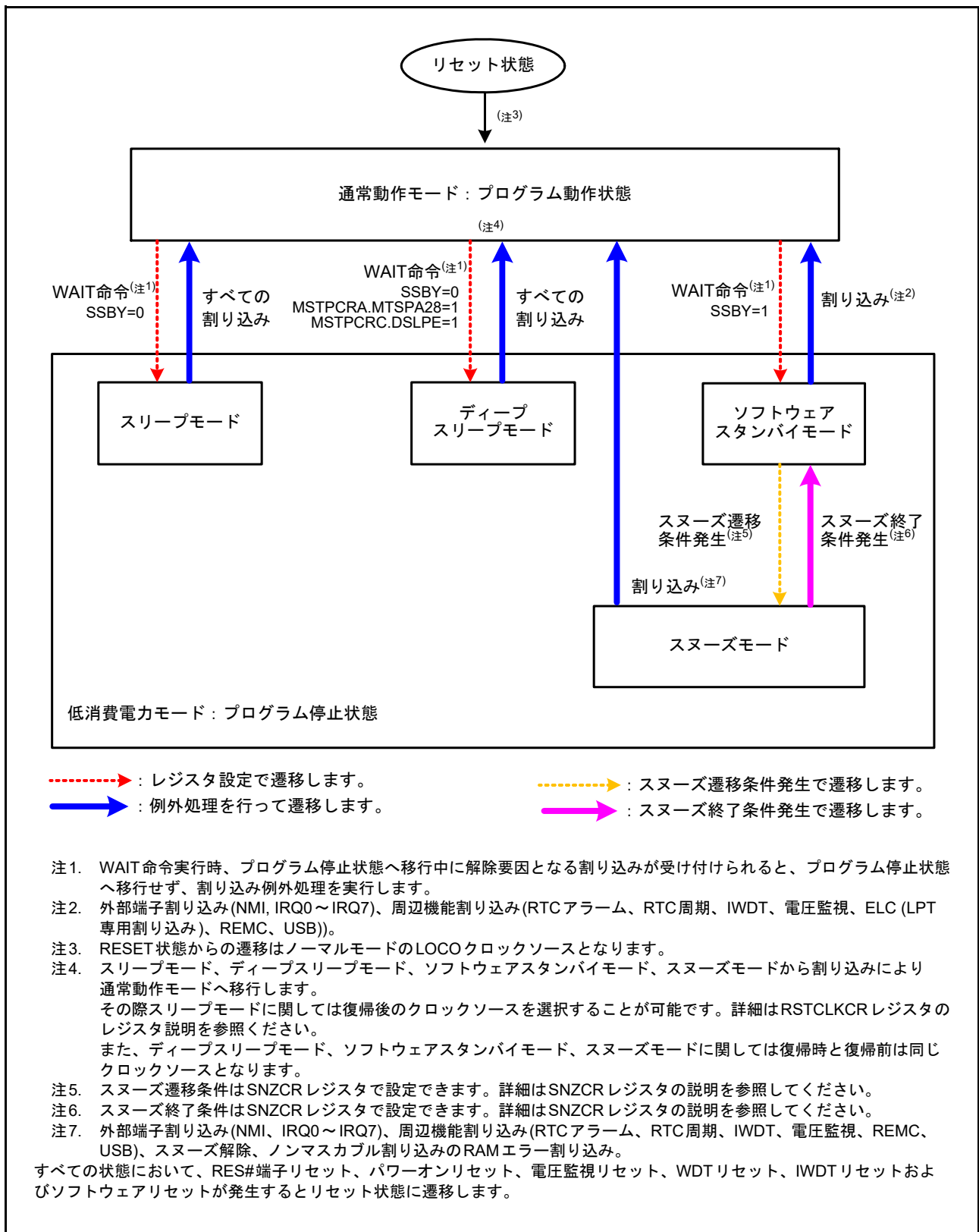


図 11.1 モード遷移

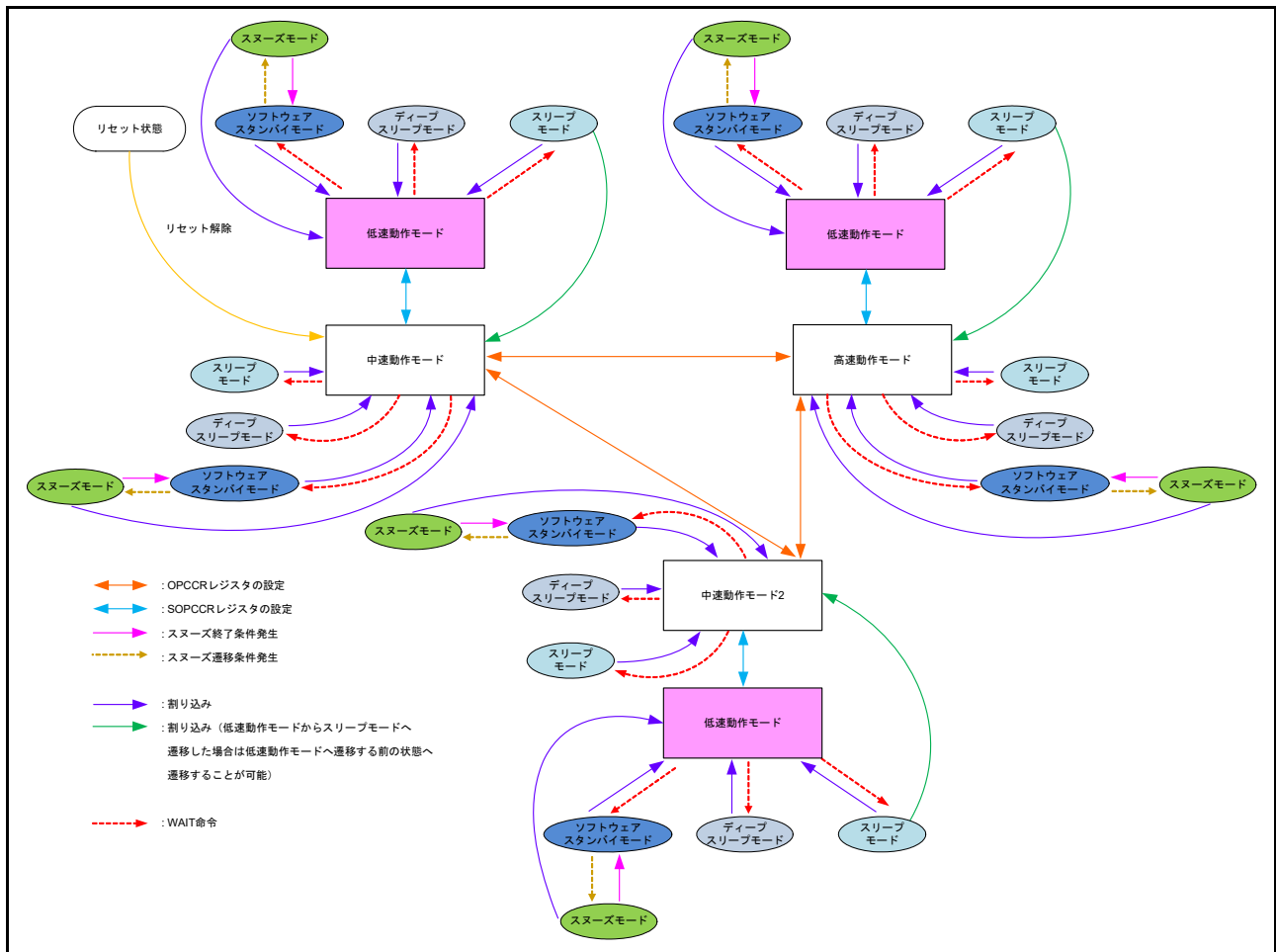


図 11.2 動作モード

- ソフトウェアスタンバイモードに遷移した場合に、サブクロック発振器の停止は行いません。
- スリープモードからはスリープモードへ遷移する前の動作状態に戻ることができます。
ただし、低速動作モードからスリープモードへ遷移した場合は低速動作モードへ遷移する前の状態 (高速動作モード、中速動作モード、または中速動作モード2) へ遷移することができます。
- リセット解除後は中速動作モードで動作開始します。
- スリープモード中、スヌーズモード中、モード遷移中は、システム制御関連のレジスタ (I/O レジスタ一覧のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

表 11.3 各動作モードでの発振器の使用可否

	PLL	PLL2	HOCO	LOCO	IWDT専用オンチップオシレータ	メインクロック発振器	サブクロック発振器
高速動作モード	○	○	○	○	○	○	○
中速動作モード	○(注1)	○(注1)	○	○	○	○	○
中速動作モード2	○(注1)	○(注1)	○	○	○	○	○
低速動作モード	×	×	×	×	○	×	○

○ : 使用可能

× : 使用不可能

注1. PLL、PLL2はVCCが1.8V以上の場合、使用可能です。

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス SYSTEM.SBYCR 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSBY	ソフトウェアスタンバイビット	0: WAIT 命令実行後、スリープモードまたはディープスリープモードに遷移 1: WAIT 命令実行後、ソフトウェアスタンバイモードに遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の遷移先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたはディープスリープモードに遷移します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス SYSTEM.MSTPCRA 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPA 28	—	—	—	—	—	—	—	—	MSTPA 19	—	MSTPA 17	—
リセット後の値	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	—	—	—	—	—	—	MSTPA 7	—	MSTPA 5	MSTPA 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2(ユニット1)モジュールストップ設定ビット	対象モジュール：TMR3, TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0(ユニット0)モジュールストップ設定ビット	対象モジュール：TMR1, TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	MSTPA7	汎用PWMタイマモジュールストップ設定ビット	対象モジュール：GPTW (GPTW0～GPTW7), POEG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ(ユニット1)モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2, CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ(ユニット0)モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0, CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPA17	12ビットA/Dコンバータモジュールストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	D/Aコンバータモジュールストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b28	MSTPA28	DMAコントローラ/データ転送ファコンローラモジュールストップ設定ビット	対象モジュール：DMAC/DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b29	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス SYSTEM.MSTPCRB 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	—	—	—	MSTPB26	MSTPB25	—	MSTPB23	—	MSTPB21	—	MSTPB19	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB10	MSTPB9	—	—	MSTPB6	—	MSTPB4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーションインタフェース12モジュールストップ設定ビット	対象モジュール：SCI12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOCモジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPB9	ELCモジュールストップ設定ビット	対象モジュール：ELC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPB10	コンパレータBモジュールストップ設定ビット	対象モジュール：CMPB 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPB19	USB2.0FSホスト/ファンクションモジュールストップ設定ビット(注1)	対象モジュール：USB 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I2Cバスインタフェース0モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6モジュールストップ設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b31	MSTPB31	シリアルコミュニケーション インタフェース0モジュールストップ設定 ビット	対象モジュール：RSCIO 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. 本ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行なってください。また、本ビットが“0”(モジュールストップ状態の解除)の状態では、クロックを発振設定にしてください。本ビットを書き変えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後UCLKで2サイクル経過したのち、WAIT命令を実行してください。また、本ビットを“1”(モジュールストップ状態へ遷移)に書き換えた後、クロックを停止する場合は、書き換え後、UCLKで2サイクル経過したのち、クロック停止を実行してください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス SYSTEM.MSTPCRC 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSLPE	—	MSTPC29	—	MSTPC27	MSTPC26	—	—	—	—	—	—	MSTPC19	—	—	—
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット(注1)	対象モジュール：RAM0 (0000 0000h~0001 FFFFh) 0：RAM0動作 1：RAM0停止	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路 モジュールストップ設定ビット(注2)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b26	MSTPC26	シリアルコミュニケーション インタフェース9 モジュールストップ設定ビット	対象モジュール：RSCI9 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPC27	シリアルコミュニケーション インタフェース8 モジュールストップ設定ビット	対象モジュール：RSCI8 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b29	MSTPC29	リモコン信号受信機能 モジュールストップ設定ビット(注3)	対象モジュール：REMC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	DSLPE	ディープスリープモード許可ビット	0：ディープスリープモード禁止 1：ディープスリープモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. RAMアクセス中に該当するMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出力クロックで2サイクル経過したのち、WAIT命令を実行してください。

注3. MSTPC29ビットの書き換えは、REMC0のクロック源となるクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、REMC0のクロック源のクロックで2サイクル経過したのち、WAIT命令を実行してください。

DSLPE ビット (ディープスリープモード許可ビット)

DSLPE ビットにて、ディープスリープモードへの移行の許可または禁止を設定します。DSLPE ビットを“1”にし、SBYCR.SBY ビットおよび MSTPCRA.MSTPA28 ビットが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、ディープスリープモードに移行します。詳細は「11.6.2 ディープスリープモード」を参照してください。

11.2.5 モジュールストップコントロールレジスタ D (MSTPCRD)

アドレス SYSTEM.MSTPCRD 0008 001Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPD 31	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPD 10	MSTPD 9	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPD9	CANFD0モジュールストップ設定ビット(注1)	対象モジュール：CANFD0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPD10	タッチセンサコントロールユニットモジュールストップ設定ビット	対象モジュール：CTSU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	MSTPD31	RSIPモジュールストップ設定ビット(注2)	対象モジュール：RSIP 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. MSTPD9ビットの書き換えは、MSTPD9ビットによって制御するクロックの発振が安定しているときに行ってください。

また、MSTPD9ビットが“0”(モジュールストップ状態の解除)の状態では、クロックを発振設定にしてください。

MSTPD9ビットを書き換えた後、ソフトウェアスタンバイモードに移行する場合は、書き換え後CANFDMCLKとCANFDCLKで2サイクル経過した後、WAIT命令を実行してください。

また、MSTPD9ビットを“1”(モジュールストップ状態へ遷移)に書き換えた後、クロックを停止する場合は、書き換え後、CANFDMCLKとCANFDCLKで2サイクル経過したのち、クロック停止を実行してください。

注2. ソフトウェアスタンバイモードに移行する場合は、MSTPD31ビットを“1”(モジュールストップ状態へ遷移)にしてください。ソフトウェアスタンバイモードから復帰後、30μs待ってからMSTPD31ビットを“0”(モジュールストップ状態の解除)にしてください。

11.2.6 動作電力コントロールレジスタ (OPCCR)

アドレス SYSTEM.OPCCR 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	b2 b0 0 0 0: 高速動作モード 0 1 0: 中速動作モード 1 0 0: 中速動作モード2 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	0: 遷移完了 1: 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、ディープスリープモード、スヌーズモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは無効になります。

- OPCCR.OPCMTSF フラグが“1”(遷移中)のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間
- SOPCCR.SOPCM ビットが“1”(低速動作モード)のとき

フラッシュメモリがプログラム/イレーズ(P/E)中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

なお、動作電力制御モードへの遷移中(OPCCR.OPCMTSF フラグが“1”)は、E2 データフラッシュから正しい値が読み出せません。DTC/DMAC 転送を使用して E2 データフラッシュを読み出す設定をしている場合は、OPCCR.OPCM[2:0] ビットを書き換える前に DTC、DMAC を停止させてください。

スリープモード中、スヌーズモード中、またはモード遷移中は、システム制御関連のレジスタ(「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ)への書き込みは禁止です。

OPCM[2:0] ビット (動作電力制御モード選択ビット)

通常動作モード、スリープモード、ディープスリープモード、スヌーズモード時の動作電力制御モードを選択します。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

中速動作モード 2 ではクロックソースにメインクロック発振器を選択しないでください。

OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を表します。

OPCM[2:0] ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、OPCM[2:0] ビットの書き換えは、このフラグが“0”のときに行ってください。

11.2.7 サブ動作電力コントロールレジスタ (SOPCCR)

アドレス SYSTEM.SOPCCR 0008 00AAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SOPC MTSF	—	—	—	SOPC M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択ビット	0: 高速動作モード、中速動作モードまたは中速動作モード2(注1) 1: 低速動作モード	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0: 遷移完了 1: 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. OPCCR.OPCM[2:0]の設定による。

SOPCCR レジスタは、低速動作モードへの遷移を制御し、通常動作モード、スリープモード時、ディープスリープモード、スヌーズモード時の消費電力を低減させるためのレジスタです。

SOPCCR レジスタの設定によって、低速動作モードへ遷移、または低速動作モードから復帰することができます。

低速動作モードはサブクロック発振器専用の動作モードです。

低速動作モード中 (SOPCM = 1 のとき) は OPCCR レジスタの書き換えは無効になります。

以下に該当する場合、SOPCCR レジスタの書き換えは無効になります。

- SOPCCR.SOPCMTSF フラグが“1”(遷移中)のとき
- スリープモードへ遷移するための WAIT 命令実行から通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間

フラッシュメモリが P/E 中はこのレジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードの遷移手順は「11.5 動作電力低減機能」を参照してください。

なお、サブ動作電力制御モードへの遷移中 (SOPCCR.SOPCMTSF フラグが“1”) は、E2 データフラッシュから正しい値が読み出せません。DTC/DMAC 転送を使用して E2 データフラッシュを読み出す設定をしている場合は、SOPCCR.SOPCM ビットを書き換える前に DTC、DMAC を停止させてください。

スリープモード中、スヌーズモード中、またはモード遷移中は、システム制御関連のレジスタ(「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ)への書き込みは禁止です。

SOPCM ビット (サブ動作電力制御モード選択ビット)

通常動作モード、スリープモード、ディープスリープモード、スヌーズモード時の動作電力制御を選択します。

このビットに“1”を設定すると低速動作モードに遷移します。“0”に設定すると、低速動作モードへ遷移する前の動作モード (OPCCR.OPCM[2:0] に設定されている動作モード) に戻ります。

表 11.4 に動作電力制御モードと OPCM[2:0] ビットおよび SOPCM ビット設定値と、動作周波数範囲・動

作電圧範囲の関係を示します。

SOPCMTSF フラグ (サブ動作電力制御モード遷移状態フラグ)

サブ動作電力制御モード切り替え時の切り替え制御状態を表します。

SOPCM ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、SOPCM ビットの書き換えは、このフラグが“0”のときに行ってください。

表 11.4 動作電力制御モードと動作周波数範囲・動作電圧範囲の関係

動作電力制御モード	OPCM [2:0] ビット	SOPCM ビット	動作電圧範囲	動作周波数範囲					
				フラッシュメモリリード時					フラッシュメモリ P/E時
				ICLK	FCLK	PCLKD	PCLKB	PCLKA	FCLK
高速動作モード	000b	0	2.4～5.5V	～64MHz(注1)	～64MHz	～64MHz	～32MHz	～64MHz	1MHz～64MHz
			1.8～2.4V	～48MHz(注1、注2) (～16MHz(注3))	～48MHz(注2) (～16MHz(注3))	～48MHz(注2) (～16MHz(注3))	～32MHz(注2) (～16MHz(注3))	～48MHz(注2) (～16MHz(注3))	1MHz～48MHz(注2) (1MHz～16MHz(注3))
中速動作モード	010b	0	2.4～5.5V	～24MHz	～24MHz	～24MHz	～24MHz	～24MHz	1MHz～24MHz
			1.8～2.4V	～24MHz(注2) (～16MHz(注3))	～24MHz(注2) (～16MHz(注3))	～24MHz(注2) (～16MHz(注3))	～24MHz(注2) (～16MHz(注3))	～24MHz(注2) (～16MHz(注3))	1MHz～24MHz(注2) (1MHz～16MHz(注3))
			1.6～1.8V	～4MHz(注2)	～4MHz(注2)	～4MHz(注2)	～4MHz(注2)	～4MHz(注2)	1MHz～4MHz(注2)
中速動作モード2	100b	0	1.8～5.5V	～1MHz	～1MHz	～1MHz	～1MHz	～1MHz	1MHz
			1.6～1.8V	～1MHz(注2)	～1MHz(注2)	～1MHz(注2)	～1MHz(注2)	～1MHz(注2)	1MHz(注2)
低速動作モード	000b	1	1.6～5.5V	～32.768KHz	～32.768KHz	～32.768KHz	～32.768KHz	～32.768KHz	—
	010b	1							
	100b	1							

注. フラッシュメモリ P/E時、FCLK を4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。

注. CANFDを使用する場合、PCLKA:PCLKB = 2:1の周波数比関係になるように設定する必要があります。詳細は「9. クロック発生回路」を参照してください。

注. 動作周波数範囲・動作電圧範囲についての詳細は「47. 電気的特性」もあわせて参照してください。

注1. 32MHzより高い周波数のクロックを設定する場合、ROMアクセス時のウェイト挿入を設定する必要があります。詳細は「46. フラッシュメモリ (FLASH)」を参照してください。

注2. RSIPは使用できません、モジュールストップを解除しないでください。

注3. RSIPを使用する場合

各動作電力制御モードについて以下に説明します。

- 高速動作モード

[動作電圧範囲が 2.4V ~ 5.5V の場合]

FLASH リード時の最高動作周波数は、ICLK、PCLKA、PCLKD、FCLK が 64MHz で、PCLKB が 32MHz です。P/E 時の動作周波数範囲は 1 ~ 64MHz です。

[動作電圧範囲が 1.8V ~ 2.4V の場合]

RSIP を使用しない場合の FLASH リード時の最高動作周波数は ICLK、FCLK、PCLKA、PCLKD が 48MHz で、PCLKB が 32MHz です。P/E 時の動作周波数範囲は 1 ~ 48MHz です。

RSIP を使用する場合の FLASH リード時の最高動作周波数は ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 16MHz、P/E 時の動作周波数範囲は 1 ~ 16MHz です。

図 11.3 に高速動作モードにおける動作電圧と動作周波数の関係を、図 11.4 に RSIP を使用しない場合の高速動作モードにおける動作電圧と動作周波数の関係を示します。

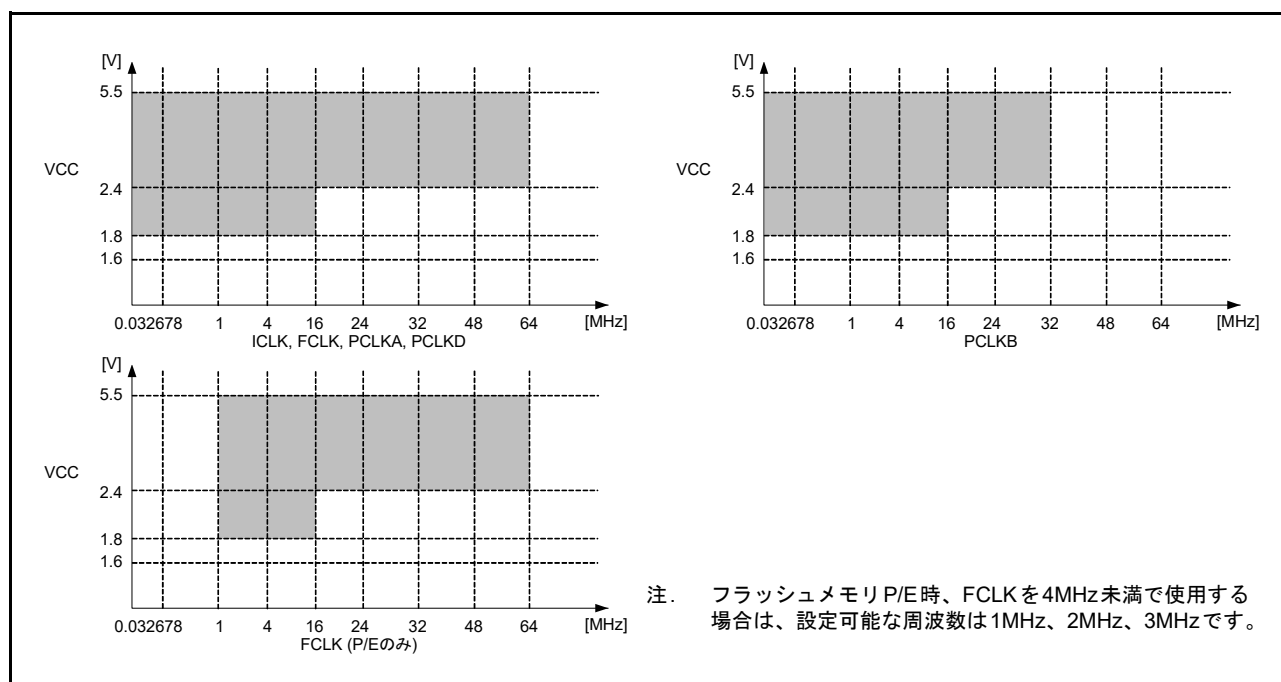


図 11.3 高速動作モードにおける動作電圧と動作周波数の関係

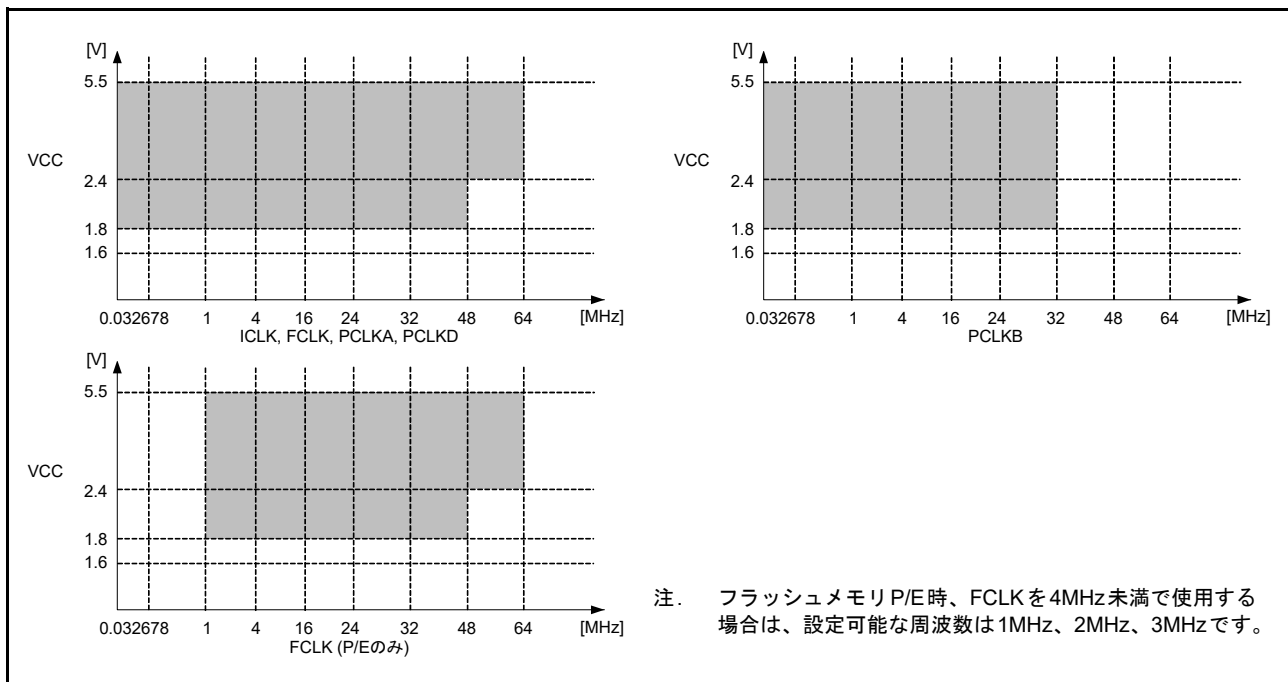


図 11.4 高速動作モードにおける動作電圧と動作周波数の関係 (RSIP を使用しない場合)

- 中速動作モード

高速動作モードよりも低速動作向けに消費電力を低減したモードです。

[動作電圧範囲が 2.4V ~ 5.5V の場合]

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD が 24MHz です。P/E 時の動作周波数範囲は 1 ~ 24MHz です。

[動作電圧範囲が 1.8V ~ 2.4V の場合]

RSIP を使用しない場合の FLASH リード時の最高動作周波数は ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 24MHz です。P/E 時の動作周波数範囲は 1 ~ 24MHz です。

RSIP を使用する場合の FLASH リード時の最高動作周波数は ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 16MHz、P/E 時の動作周波数範囲は 1 ~ 16MHz です。

[動作電圧範囲が 1.6V ~ 1.8V の場合]

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 4MHz です。P/E 時の動作周波数範囲は 1 ~ 4MHz です。RSIP は使用できません。

図 11.5 に中速動作モードにおける動作電圧と動作周波数の関係を、図 11.6 に RSIP を使用しない場合の中速動作モードにおける動作電圧と動作周波数の関係を示します。

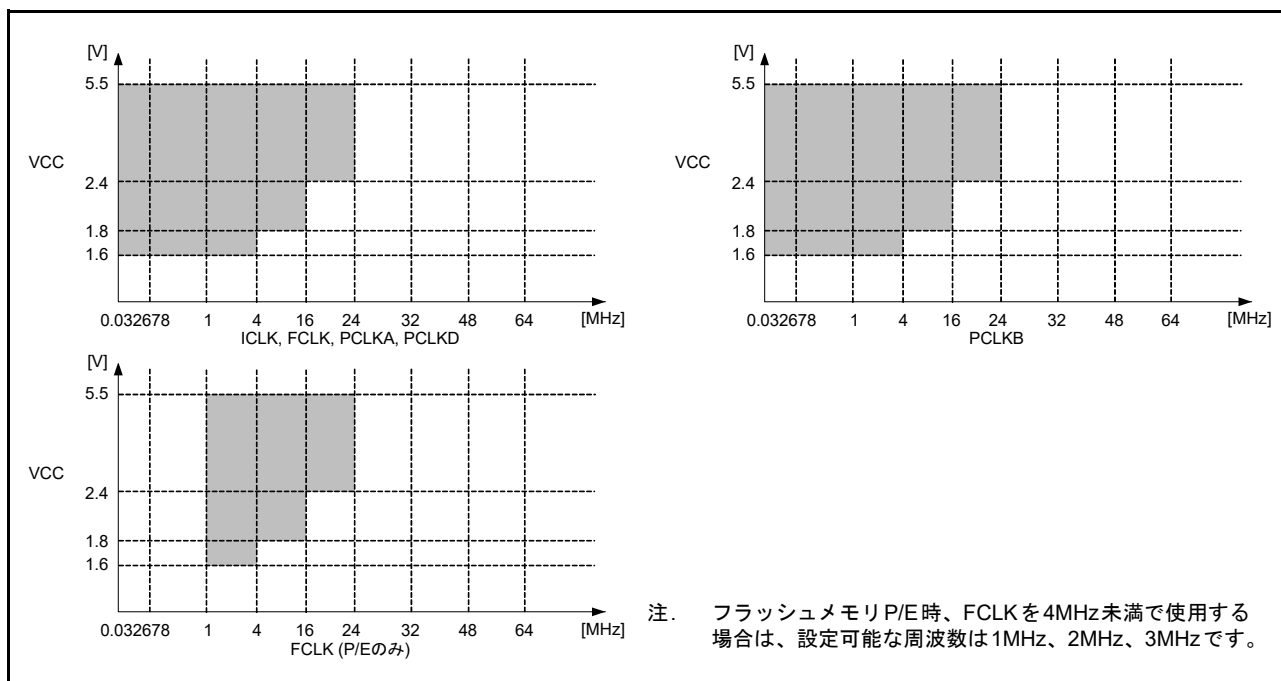


図 11.5 中速動作モードにおける動作電圧と動作周波数の関係

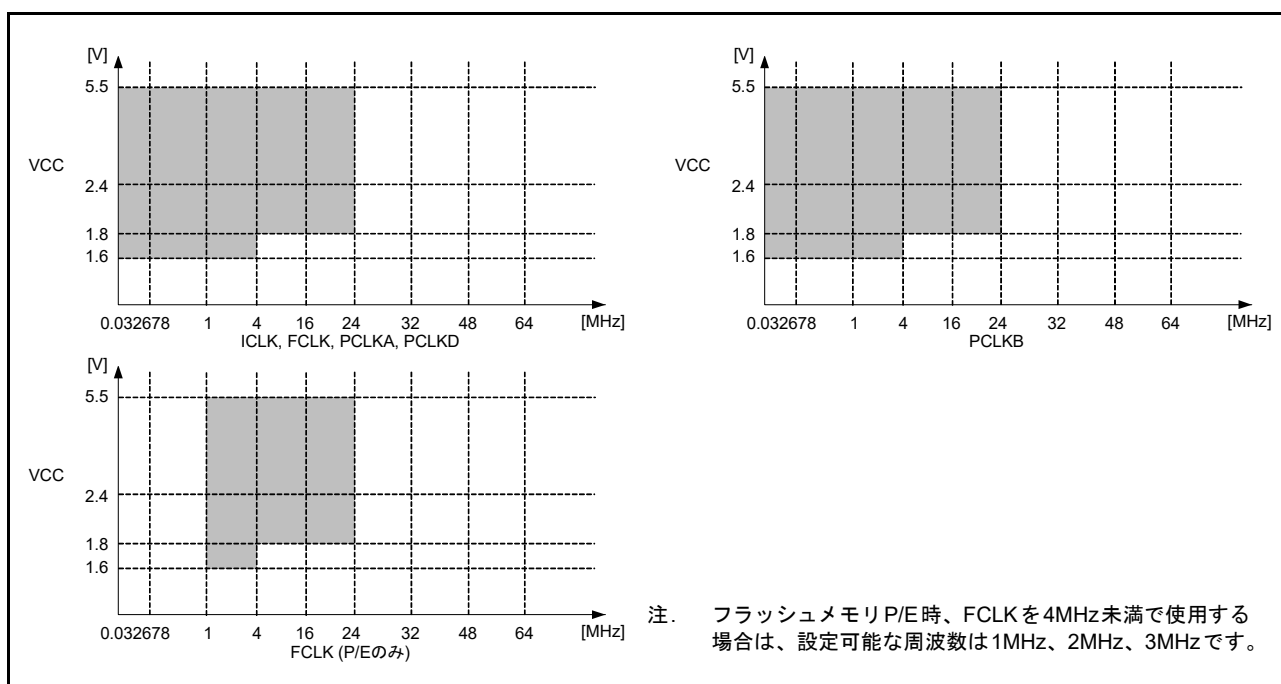


図 11.6 中速動作モードにおける動作電圧と動作周波数の関係 (RSIP を使用しない場合)

- 中速動作モード2

中速動作モードよりも低速動作向けに消費電力を低減したモードです。なお、中速動作モード2ではクロックソースにメインクロック発振器を選択しないでください。

[動作電圧範囲が1.8V～5.5Vの場合]

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKDとも1MHzです。P/E時の動作周波数は1MHzです。

[動作電圧範囲が1.6V～1.8Vの場合]

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKDとも1MHzです。P/E時の動作周波数は1MHzです。RSIPは使用できません。

図 11.7 に中速動作モード2における動作電圧と動作周波数の関係を示します。

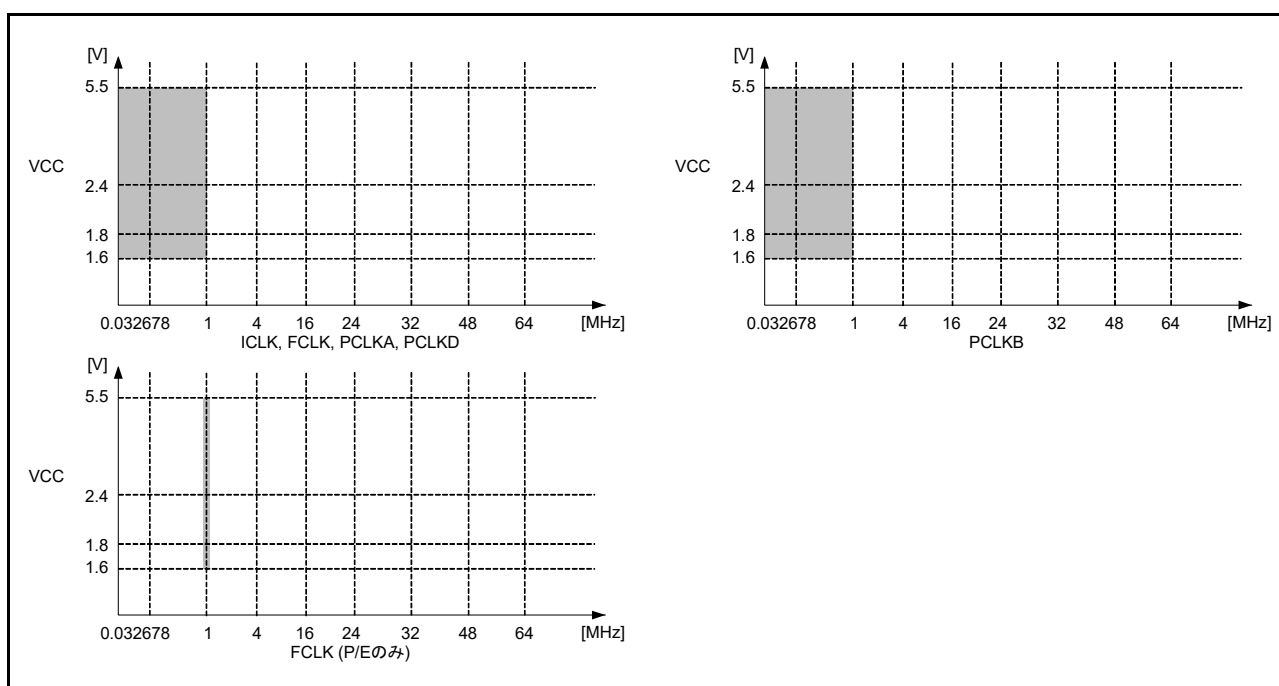


図 11.7 中速動作モード2における動作電圧と動作周波数の関係

- 低速動作モード

SOPCCR レジスタの SOPCM ビットに“1”を書くことにより、低速動作モードに遷移します。低速動作モード中に OPCM[2:0] の設定を変更することはできません。低速動作モードは 32.768kHz のサブ発振器専用の動作モードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD とも 32.768kHz で、動作電圧範囲は、1.6V ~ 5.5V です。

低速動作モード選択時には以下の制限事項があります。

- フラッシュメモリの P/E 動作は禁止です。
- PLL/PLL2、メインクロック発振器、LOCO および HOCO は使用禁止です。

注． PLLCR2.PLEN ビットが“0” (PLL 動作) のとき、SOPCM ビットへの“1”書き込みは無効になります。
 PLL2CR2.PLL2EN ビットが“0” (PLL2 動作) のとき、SOPCM ビットへの“1”書き込みは無効になります。
 HOCOCR.HCSTP ビットが“0” (HOCO 動作) のとき、SOPCM ビットへの“1”書き込みは無効になります。
 MOSCCR.MOSTP ビットが“0” (メインクロック発振器動作) のとき、SOPCM ビットへの“1”書き込みは無効になります。
 LOCOCR.LCSTP ビットが“0” (LOCO 動作) のとき、SOPCM ビットへの“1”書き込みは無効になります。

図 11.8 に低速動作モードにおける動作電圧と動作周波数の関係を示します。

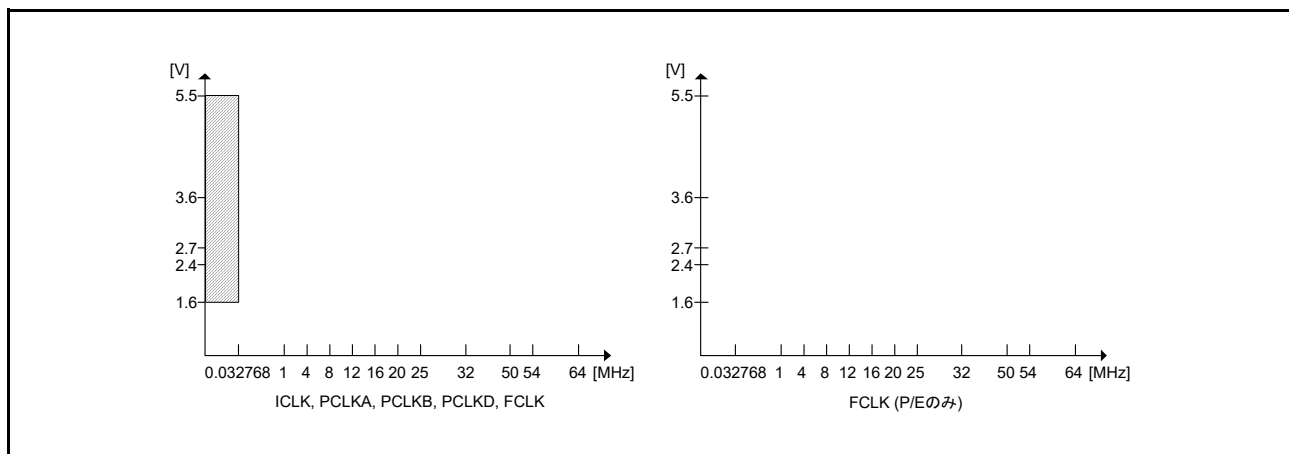


図 11.8 低速動作モードにおける動作電圧と動作周波数の関係

11.2.8 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)

アドレス SYSTEM.RSTCKCR 0008 00A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTCK EN	—	—	—	—	RSTCKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RSTCKSEL [2:0]	スリープモード復帰クロック ソース選択ビット	b2 b0 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択(注1) 0 1 0 : メインクロック発振器選択(注2) RSTCKENビットが“1”のとき、上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RSTCKEN	スリープモード復帰クロック ソース切り替え許可ビット	0 : スリープモード解除時クロックソース切り替え無効 1 : スリープモード解除時クロックソース切り替え有効	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. HOCOは復帰先が高速動作モード時のみ選択可能です。

注2. メインクロック発振器は復帰先が高速動作モード時と中速動作モード時の場合、選択可能です。

RSTCKCR レジスタは、スリープモード解除時のクロックソース切り替えの制御を行うレジスタです。

RSTCKCR レジスタの設定によってスリープモードから復帰する場合、復帰するクロックソースに対応したメインクロック発振器コントロールレジスタのメインクロック停止ビット (MOSCCR.MOSTP)、高速オンチップオシレータコントロールレジスタのHOCO停止ビット (HOCOCR.HCSTP)、低速オンチップオシレータコントロールレジスタのLOCO停止ビット (LOCOCR.LCSTP) は、自動的に動作状態に書き換えられます。また、RSTCKSEL[2:0] ビットの値が自動的にシステムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) にリロードされます。

RSTCKSEL[2:0] ビット (スリープモード復帰クロックソース選択ビット)

スリープモード解除時のクロックソースを選択します。

RSTCKSEL[2:0] ビットでのクロックソース選択は、RSTCKEN ビットが“1”の場合のみ有効です。

図 11.2 の動作モードで、スリープモードから高速動作モードへ復帰する場合は、LOCO、HOCO、メインクロック発振器が選択可能です。また、スリープモードから中速動作モードへ復帰する場合は、LOCO、メインクロック発振器が選択可能です。スリープモードから中速動作モード2へ復帰する場合は、LOCOが選択可能です。ただし、スリープモードから中速動作モード2へ復帰する場合、各クロック (ICLK、FCLK、PCLKA、PCLKB、PCLKD) の周波数は1MHz以下にしてください。

表 11.5 スリープモードから高速動作モードおよび中速動作モードへ復帰する場合

スリープ時の動作モード	スリープ時の クロックソース	RSTCKSEL[2:0]	復帰後の 動作モード	復帰後のクロックソース
高速動作モードまたは、 高速動作モードから遷移 した低速動作モード	サブクロック発振器	000b (LOCO)	高速動作モード	LOCO
		001b (HOCO)		HOCO
		010b (メインクロック発振器)		メインクロック発振器
中速動作モードまたは、 中速動作モードから遷移 した低速動作モード	サブクロック発振器	000b (LOCO)	中速動作モード	LOCO
		010b (メインクロック発振器)		メインクロック発振器
中速動作モード2または、 中速動作モード2から遷移 した低速動作モード	サブクロック発振器	000b (LOCO)	中速動作モード2	LOCO(注1)

注1. 各クロック (ICLK, FCLK, PCLKA, PCLKB, PCLKD)の周波数は1MHz以下にしてください。

RSTCKEN ビット (スリープモード復帰クロックソース切り替え許可ビット)

スリープモード解除時のクロックソース切り替えの有効/無効を制御します。

スリープモード解除時にクロックソースの切り替えを行なうのは、スリープモード遷移時のクロックとしてサブクロック発振器を選択している場合のみとしてください。HOCO、LOCO、メインクロック発振器、PLL をクロックソースに選択している状態でスリープモードに遷移する場合には、本ビットを有効に設定しないでください。

本ビットを有効に設定した状態でスリープモードから復帰する場合は、SOPCCR レジスタの SOPCM ビットは自動的に“0”(中速動作モード2、中速動作モードまたは高速動作モード)に書き換わります。

分周設定 (SCKCR レジスタ) の値は保持されます。

スリープモードから中速動作モード2へ復帰する場合は、各クロックの周波数は1MHz以下になるようにしてください。

11.2.9 スヌーズコントロールレジスタ (SNZCR)

アドレス SYSTEM.SNZCR 0008 00AEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SNZDTC	—	ADCSNZ3SEL [1:0]	ADCSNZ2SEL [1:0]	REMCNZSEL [1:0]	CTSUSNZSEL [1:0]	ADCSNZSEL [1:0]	LPTSNZSEL [1:0]	SCISNZSEL [1:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SCISNZSEL [1:0]	SCIスヌーズ動作選択ビット	SCI5の動作によるスヌーズ遷移条件、スヌーズ終了条件の設定 b1 b0 0 x : このビットの設定ではスヌーズモードに遷移しない 1 0 : RXD5の立ち下がりを検出するとスヌーズモードに遷移、受信したデータとSCI5.CDRレジスタの値が一致しなかった場合、ソフトウェアスタンバイモードに戻る 1 1 : RXD5の立ち下がりを検出するとスヌーズモードに遷移、受信したデータとSCI5.CDRレジスタの値が一致しなかった場合、または受信したデータをDTCで転送した後、ソフトウェアスタンバイモードに戻る	R/W
b3-b2	LPTSNZSEL [1:0]	LPTスヌーズ動作選択ビット	LPTの動作によるスヌーズ遷移条件、スヌーズ終了条件の設定 b3 b2 0 x : このビットの設定ではスヌーズモードに遷移しない 1 0 : LPTコンペアマッチ1によりスヌーズモードに遷移、ソフトウェアスタンバイモードには戻らない 1 1 : LPTコンペアマッチ1によりスヌーズモードに遷移、LPTコンペアマッチ1起因のDTC転送が1回終了すると、ソフトウェアスタンバイモードに戻る	R/W
b5-b4	ADCSNZSEL [1:0]	S12ADスヌーズ動作選択ビット	S12ADの動作によるスヌーズ遷移条件、スヌーズ終了条件の設定 b5 b4 0 x : このビットの設定ではスヌーズモードに遷移しない 1 0 : LPTコンペアマッチ1によりスヌーズモードに遷移、ソフトウェアスタンバイモードには戻らない 1 1 : LPTコンペアマッチ1によりスヌーズモードに遷移、A/Dコンバータの変換終了起因のDTC転送が1回終了すると、ソフトウェアスタンバイモードに戻る	R/W
b7-b6	CTSUSNZSEL [1:0]	CTSUスヌーズ動作選択ビット	CTSUの動作によるスヌーズ遷移条件、スヌーズ終了条件の設定 b7 b6 0 x : このビットの設定ではスヌーズモードに遷移しない 1 0 : LPTコンペアマッチ1によりスヌーズモードに遷移、CTSUからのスヌーズ終了要求でソフトウェアスタンバイモードに戻る 1 1 : 設定禁止	R/W
b9-b8	REMCNZSEL [1:0]	REMCスヌーズ動作選択ビット	REMCの動作によるスヌーズ遷移条件、スヌーズ終了条件の設定 b9 b8 0 x : このビットの設定ではスヌーズモードに遷移しない 1 0 : REMCからのクロック要求開始によりスヌーズモードに遷移、REMCからのクロック要求終了でソフトウェアスタンバイモードに戻る 1 1 : 設定禁止	R/W
b11-b10	ADCSNZ2SEL [1:0]	S12ADスヌーズ動作2選択ビット	S12ADの動作によるスヌーズ遷移条件、スヌーズ終了条件の設定 b11 b10 0 x : このビットの設定ではスヌーズモードに遷移しない 1 0 : LPTコンペアマッチ1によりスヌーズモードに遷移、S12AD比較条件が成立しなかった場合、ソフトウェアスタンバイモードに戻る 1 1 : 設定禁止	R/W
b13-b12	ADCSNZ3SEL [1:0]	S12ADスヌーズ動作3選択ビット	S12ADの動作によるスヌーズ遷移条件、スヌーズ終了条件の設定 b13 b12 0 x : このビットの設定ではスヌーズモードに遷移しない 1 0 : LPTコンペアマッチ1によりスヌーズモードに遷移、S12AD比較条件が成立した場合、ソフトウェアスタンバイモードに戻る 1 1 : 設定禁止	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b15	SNZDTCE	スヌーズモード時DTC許可ビット	スヌーズモードでのDTC転送の許可設定 0：スヌーズモードでのDTC転送を禁止 1：スヌーズモードでのDTC転送を許可	R/W

x：Don't care

注. このレジスタはPRCR.PRC1ビットを“1”（書込み許可）にした後で書き換えてください。

SNZCR レジスタは、ソフトウェアスタンバイモード中にスヌーズモードへ移行するためのスヌーズ遷移条件、スヌーズモードを終了するためのスヌーズ終了条件を設定するレジスタです。スヌーズモードで動作させる周辺機能の種類に合わせて、ソフトウェアスタンバイモードに移行する前にこのレジスタを設定してください。スヌーズモードで動作させる周辺機能や割り込みコントローラ、DTC の設定についても、ソフトウェアスタンバイモードに移行する前に設定してください。また、本レジスタでスヌーズ遷移条件、スヌーズ終了条件を設定する場合、ローパワータイマスタンバイ復帰許可レジスタのローパワータイマスタンバイ復帰許可ビットを“0”にしてください。

なお、本レジスタ設定は、ソフトウェアスタンバイモード以外の動作モードでは、動作に影響を与えません。

SCISNZSEL [1:0] ビット (SCI スヌーズ動作選択ビット)

ソフトウェアスタンバイモード中に SCI5 でデータ受信を行う場合に使用します。

このビットを“10b”にした場合、ソフトウェアスタンバイモード中に RXD5 端子でスタートビットを検出すると、スヌーズモードに遷移してデータ受信を行います。受信したデータと SCI5.CDR レジスタの値が一致しなかったら、スヌーズモードを抜けてソフトウェアスタンバイモードに戻ります。

このビットを“11b”にした場合、ソフトウェアスタンバイモード中に RXD5 端子でスタートビットを検出すると、スヌーズモードに遷移してデータ受信を行います。受信したデータと SCI5.CDR レジスタの値が一致しなかったとき、または一致した場合に受信データを DTC で転送し終わるとスヌーズモードを抜けてソフトウェアスタンバイモードに戻ります。受信データが一致して以降は、スタートビット検出でスヌーズモードに遷移し、受信データを DTC で転送し終わるとソフトウェアスタンバイモードに戻ります。

LPTSNZSEL [1:0] ビット (LPT スヌーズ動作選択ビット)

ソフトウェアスタンバイモード中に LPT のコンペアマッチ 1 によってスヌーズモードに遷移する場合に使用します。

このビットを“10b”または“11b”にした場合、ソフトウェアスタンバイモード中に LPT のコンペアマッチ 1 が検出されると、スヌーズモードに遷移します。

このビットを“10b”にした場合、スヌーズモードに遷移した後は、割り込みによってスヌーズモードを解除するまでスヌーズモードを保持します。

このビットを“11b”にした場合、スヌーズモード中に LPT のコンペアマッチ 1 によって起動した DTC 転送が 1 回終了すると、スヌーズモードを抜けてソフトウェアスタンバイモードに戻ります。

ADCSNZSEL [1:0] ビット (S12AD スヌーズ動作選択ビット)

ソフトウェアスタンバイモード中に S12AD で A/D 変換を行う場合に使用します。この場合、ELC を使用して、A/D 変換開始条件に LPT コンペアマッチ 1 を選択してください。

このビットを“10b”または“11b”にした場合、ソフトウェアスタンバイモード中に LPT のコンペアマッチ 1 が検出されると、スヌーズモードに遷移して A/D 変換を行います。

このビットを“10b”にした場合、スヌーズモードに遷移した後は、割り込みによってスヌーズモードを解除するまでスヌーズモードを保持します。

このビットを“11b”にした場合、スヌーズモード中に A/D コンバータの変換終了によって起動した DTC 転送が 1 回終了すると、スヌーズモードを抜けてソフトウェアスタンバイモードに戻ります。

CTSUSNZSEL [1:0] ビット (CTSUS スヌーズ動作選択ビット)

ソフトウェアスタンバイモード中に CTSU でタッチ判定を行う場合に使用します。この場合、CTSUS の計測動作開始条件に外部トリガを選択し、ELC を使用して CTSU にリンクするイベントに LPT コンペアマッチ 1 を選択してください。

このビットを“10b”にした場合、ソフトウェアスタンバイモード中に LPT のコンペアマッチ 1 が検出されると、スヌーズモードに遷移して計測動作を行います。計測が終了して CTSU からスヌーズ終了要求が発行されると、スヌーズモードを抜けてソフトウェアスタンバイモードに戻ります。

REMCNZSEL [1:0] ビット (REMC スヌーズ動作選択ビット)

ソフトウェアスタンバイモード中にリモコン信号受信機能を使う場合に使用します。

このビットを“10b”にした場合、ソフトウェアスタンバイモード中に REMC からのクロック要求開始が検出されると、スヌーズモードに遷移します。REMC からのクロック要求終了が検出されると、スヌーズモードを抜けてソフトウェアスタンバイモードに戻ります。

ADCSNZ2SEL [1:0] ビット (S12AD スヌーズ動作 2 選択ビット)

ソフトウェアスタンバイモード中に S12AD で A/D 変換を行う場合に使用します。この場合、ELC を使用して、A/D 変換開始条件に LPT コンペアマッチ 1 を選択してください。

このビットを“10b”にした場合、ソフトウェアスタンバイモード中に LPT のコンペアマッチ 1 が検出されると、スヌーズモードに遷移して A/D 変換を行います。スヌーズモード中に S12AD 変換終了時の比較条件が成立しなかった場合、スヌーズモードを抜けてソフトウェアスタンバイモードに戻ります。

ADCSNZ3SEL [1:0] ビット (S12AD スヌーズ動作 3 選択ビット)

ソフトウェアスタンバイモード中に S12AD で A/D 変換を行う場合に使用します。この場合、ELC を使用して、A/D 変換開始条件に LPT コンペアマッチ 1 を選択してください。

このビットを“10b”にした場合、ソフトウェアスタンバイモード中に LPT のコンペアマッチ 1 が検出されると、スヌーズモードに遷移して A/D 変換を行います。スヌーズモード中に S12AD 変換終了時の比較条件が成立した場合、スヌーズモードを抜けてソフトウェアスタンバイモードに戻ります。

SNZDTCE ビット (スヌーズモード時 DTC 許可ビット)

スヌーズモードでの DTC と RAM の動作を許可するビットです。スヌーズモードで DTC と RAM を動作させる場合には、ソフトウェアスタンバイモードに遷移する前に、本ビットを“1”に設定してください。

11.2.10 スヌーズコントロールレジスタ 2 (SNZCR2)

アドレス SYSTEM.SNZCR2 0008 00ACh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	ADE3	—	ADE2	CTSUFNE[1:0]	ADE[1:0]	LPTCM1E[1:0]	SCIRXE[1:0]	—	SCIERE				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SCIERE	SCI受信エラー選択ビット	0 : スヌーズ解除割り込みにSCI5受信エラー条件を選択しない 1 : スヌーズ解除割り込みにSCI5受信エラー割り込み要因を選択する	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	SCIRXE[1:0]	SCI受信データフル選択ビット	b3 b2 0 0 : スヌーズ解除割り込みにSCI5受信データフル条件を選択しない 0 1 : スヌーズ解除割り込みにSCI5受信データフル割り込み要因を選択する 1 x : スヌーズ解除割り込みにSCI5受信データフルによるDTC転送完了イベントを選択する	R/W
b5-b4	LPTCM1E[1:0]	LPTコンペアマッチ1選択ビット	b5 b4 0 0 : スヌーズ解除割り込みにLPTコンペアマッチ1条件を選択しない 0 1 : スヌーズ解除割り込みにLPTコンペアマッチ1割り込み要因を選択する 1 x : スヌーズ解除割り込みにLPTコンペアマッチ1によるDTC転送完了イベントを選択する	R/W
b7-b6	ADE[1:0]	S12AD変換終了選択ビット	b7 b6 0 0 : スヌーズ解除割り込みにS12AD変換終了条件を選択しない 0 1 : スヌーズ解除割り込みにS12AD変換終了割り込み要因を選択する 1 x : スヌーズ解除割り込みにS12AD変換終了によるDTC転送完了イベントを選択する	R/W
b9-b8	CTSUFNE[1:0]	CTSU測定終了選択ビット	b9 b8 0 0 : スヌーズ解除割り込みにCTSU測定終了条件を選択しない 0 1 : スヌーズ解除割り込みにCTSU測定終了割り込み要因を選択する 1 x : 設定禁止	R/W
b10	ADE2	S12AD比較条件不成立選択ビット	0 : スヌーズ解除割り込みにS12AD比較条件不成立イベントを条件として選択しない 1 : スヌーズ解除割り込みにS12AD比較条件不成立イベントを割り込み要因に選択する	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADE3	S12AD比較条件成立選択ビット	0 : スヌーズ解除割り込みにS12AD比較条件成立イベントを条件として選択しない 1 : スヌーズ解除割り込みにS12AD比較条件成立イベントを割り込み要因に選択する	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

SNZCR2 レジスタは、スヌーズ解除割り込みの要因を選択するレジスタです。選択された要因、イベントが発生すると、スヌーズ解除割り込みを出力します。スヌーズモードで動作させる周辺機能の種類に合わせて、ソフトウェアスタンバイモードに移行する前にこのレジスタを設定してください。複数の要因、イベントを選択した場合は、それぞれの要因、イベントが発生するたびにスヌーズ解除割り込みが出力されます。なお、本レジスタ設定は、ソフトウェアスタンバイモード以外の動作モードでも有効となります。

SCIERE ビット (SCI 受信エラー選択ビット)

スヌーズ解除割り込みに SCI5 受信エラー割り込み条件を設定するビットです。SCIERE ビットを“1”に設定すると、スヌーズ解除割り込みに SCI5 受信エラー割り込み要因が選択されます。

SCIRXE[1:0] ビット (SCI 受信データフル選択ビット)

スヌーズ解除割り込みに SCI5 受信データフル割り込み条件を設定するビットです。SCIRXE[1:0] ビットを“01b”に設定すると、スヌーズ解除割り込みに SCI5 受信データフル割り込み要因が選択されます。また、SCIRXE[1:0] ビットを“10b”または“11b”に設定すると、スヌーズ解除割り込みに SCI5 受信データフル割り込みによる DTC 転送完了イベントが選択されます。

LPTCM1E[1:0] ビット (LPT コンペアマッチ 1 選択ビット)

スヌーズ解除割り込みに LPT コンペアマッチ 1 割り込み条件を設定するビットです。LPTCM1E[1:0] ビットを“01b”に設定すると、スヌーズ解除割り込みに LPT コンペアマッチ 1 割り込み要因が選択されます。

また、LPTCM1E[1:0] ビットを“10b”または“11b”に設定すると、スヌーズ解除割り込みに LPT コンペアマッチ 1 割り込みによる DTC 転送完了イベントが選択されます。

ADE[1:0] ビット (S12AD 変換終了選択ビット)

スヌーズ解除割り込みに S12AD 変換終了割り込み条件を設定するビットです。ADE[1:0] ビットを“01b”に設定すると、スヌーズ解除割り込みに S12AD 変換終了割り込み要因が選択されます。また、ADE[1:0] ビットを“10b”または“11b”に設定すると、スヌーズ解除割り込みに S12AD 変換終了割り込みによる DTC 転送完了イベントが選択されます。

CTSUFNE[1:0] ビット (CTSU 測定終了選択ビット)

スヌーズ解除割り込みに CTSU 測定終了割り込み条件を設定するビットです。CTSUFNE[1:0] ビットを“01b”に設定すると、スヌーズ解除割り込みに CTSU 測定終了割り込み要因が選択されます。

ADE2 ビット (S12AD 比較条件不成立選択ビット)

スヌーズ解除割り込みに S12AD 比較条件不成立イベントを設定するビットです。ADE2 ビットを“1”に設定すると、スヌーズ解除割り込みに S12AD 比較条件不成立イベントが選択されます。

ADE3 ビット (S12AD 比較条件成立選択ビット)

スヌーズ解除割り込みに S12AD 比較条件成立イベントを設定するビットです。ADE3 ビットを“1”に設定すると、スヌーズ解除割り込みに S12AD 比較条件成立イベントが選択されます。

11.2.11 RAM 省電力制御レジスタ (RPSCR)

アドレス SYSTEM.RPSCR 0008 009Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PSA3	PSA2	PSA1	PSA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSA0	電源遮断領域0設定ビット	0 : 0000 0000h ~ 0000 7FFFh を電源遮断領域に設定しない 1 : 0000 0000h ~ 0000 7FFFh を電源遮断領域に設定する	R/W
b1	PSA1	電源遮断領域1設定ビット	0 : 0000 8000h ~ 0000 FFFFh を電源遮断領域に設定しない 1 : 0000 8000h ~ 0000 FFFFh を電源遮断領域に設定する	R/W
b2	PSA2	電源遮断領域2設定ビット	0 : 0001 0000h ~ 0001 7FFFh を電源遮断領域に設定しない 1 : 0001 0000h ~ 0001 7FFFh を電源遮断領域に設定する	R/W
b3	PSA3	電源遮断領域3設定ビット	0 : 0001 8000h ~ 0001 FFFFh を電源遮断領域に設定しない 1 : 0001 8000h ~ 0001 FFFFh を電源遮断領域に設定する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

PSAn ビット (電源遮断領域 n 設定ビット) (n = 0 ~ 3)

ソフトウェアスタンバイモード時に電源を遮断する領域を設定するビットです。ソフトウェアスタンバイモード時の消費電流をさらに低減させることができます。

このビットの設定は、ソフトウェアスタンバイモード遷移前に実施してください。また、ソフトウェアスタンバイモードから復帰後、RAMの電源遮断領域を使用する場合は、1.2 μ s 待つてから使用してください。

なお、ソフトウェアスタンバイモードに遷移した後、設定した領域のデータは不定になります。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0]、ICK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DMAC、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。フラッシュインタフェースはFCK[3:0] ビットで設定した動作クロックで動作します。

詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRD レジスタに対応する MSTPmi ビット ($m = A \sim D, i = 31 \sim 0$) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を続けます。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時、スヌーズモード時の消費電力を低減することができます。

11.5.1 動作電力制御モード設定方法

動作電力制御モードを切り替える場合は、その前後において、各クロックの周波数が動作周波数範囲に収まっている必要があります。動作電力制御モードの遷移手順を以下に示します。

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

- 例1：高速動作モードから中速動作モードへの切り替え

(高速動作モードで高速動作)

↓

各クロックの周波数を中速動作モードの最大動作周波数以下に設定

↓

OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

↓

OPCCR.OPCM[2:0] ビットを“010b” (中速動作モード) に設定

↓

OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

↓

(中速動作モードで中速動作)

- 例2：高速 / 中速動作モードから低速動作モードへの切り替え
(高速動作モードで高速動作 / 中速動作モードで中速動作)

↓
各クロックの周波数を低速動作モードの最大動作周波数以下に設定
↓
サブクロック発振器以外がすべて停止していることを確認
↓
SOPCCR.SOPCMTSF フラグが“0”(遷移完了)であることを確認
↓
SOPCCR.SOPCM ビットを“1”(低速動作モード)に設定
↓
SOPCCR.SOPCMTSF フラグが“0”(遷移完了)であることを確認
↓
(低速動作モードで低速動作)

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

- 例1：低速動作モードから高速 / 中速動作モードへの切り替え
(低速動作モードで低速動作)

↓
SOPCCR.SOPCMTSF フラグが“0”(遷移完了)であることを確認
↓
SOPCCR.SOPCM ビットを“0”(高速動作モードまたは中速動作モード)に設定
↓
SOPCCR.SOPCMTSF フラグが“0”(遷移完了)であることを確認
↓
各クロックの周波数を高速 / 中速動作モードの最大動作周波数以下に設定
↓
(高速動作モードで高速動作 / 中速動作モードで中速動作)

- 例2：中速動作モードから高速動作モードへの切り替え
(中速動作モードで中速動作)

↓
OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認
↓
OPCCR.OPCM[2:0] ビットを“000b”(高速動作モード)に設定
↓
OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認
↓
各クロックの周波数を高速動作モードの最大動作周波数以下に設定
↓
(高速動作モードでの高速動作)

11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

WDT を使用しているとき、スリープモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット(注1)を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先(注2)を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル(注3)を、CPU の PSW.IPL[3:0] ビット(注1)よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット(注3)を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット(注1)は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合 (割り込み優先レベルが(注1)CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合) には、スリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、スリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSLSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.1.3 スリープモード復帰クロックソース切り替え機能

スリープモード復帰クロック切り替えを行うには、スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR) による復帰後のクロックの設定と、クロックのウェイトコントロールレジスタの設定が必要となります。復帰割り込みが発生すると、復帰クロックとして設定された発振器の発振安定を待った後、自動的にクロックソースを切り替え、スリープモードから復帰します。その際、クロックソース切り替えに関連するレジスタが自動的に書き換えられます。

詳細は「11.2.8 スリープモード復帰クロックソース切り替えレジスタ (RSTCKCR)」を参照してください。また、発振安定待ち時間の設定については、「9.2.24 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)」を参照してください。

11.6.2 ディープスリープモード

11.6.2.1 ディープスリープモードへの遷移

MSTPCRC.DSLPE ビットを“1”に設定し、かつ MSTPCRA.MSTPA28 ビットを“1”に設定し SBYCR.SSBY ビットを“0”にクリアした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します。

ディープスリープモードでは、CPUに加え、DMAC、DTC、ROM、RAMのクロックも停止します。周辺機能は停止しません。

WDTを使用しているとき、ディープスリープモードへ遷移すると、WDTはカウントを停止します。

IWDTをオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDTはカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDTはカウントを停止します。

また、IWDTをオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”(低消費電力モード遷移時IWDTカウント継続)のときは、ディープスリープモードへ遷移後も、IWDTはカウントを継続します。同様にレジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ディープスリープモードへ遷移後、IWDTはカウントを継続します。

ディープスリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU.PSW.I ビット(注1)を“0”にする。
- (2) ディープスリープモードからの復帰に使用する割り込みの要求先(注2)をCPUに設定する。
- (3) ディープスリープモードからの復帰に使用する割り込みの優先レベル(注3)を、CPUのPSW.IPL[3:0] ビット(注1)よりも高く設定する。
- (4) ディープスリープモードからの復帰に使用する割り込みのIERm.IENj(注3)を“1”にする。
- (5) 最後に書きこみを行ったI/Oレジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令を実行する(WAIT 命令の実行によりCPUのPSW.I(注1)は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ(ICUb)」を参照してください。

11.6.2.2 ディープスリープモードの解除

ディープスリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
割り込みが発生すると、ディープスリープモードは解除され、割り込み例外処理を開始します。マスクされた割り込みが CPU でマスクされている場合 (割り込みの優先レベル(注1)が CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合)には、ディープスリープモードは解除されません。
- RES# 端子リセットによる解除
RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除
パワーオンリセットによって、ディープスリープモードが解除されます。
- 電圧監視リセットによる解除
電圧検出回路の電圧監視リセットにより、ディープスリープモードが解除されます。
- 独立ウォッチドッグタイマによる解除
IWDT のアンダフローの内部リセットによって、ディープスリープモードが解除されます。ただし、ディープスリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能(注1)、およびサブクロック発振器以外のすべての機能が停止します。ただし、CPUの内部レジスタの値とRAMのデータ、内蔵周辺機能とI/Oポートの状態、サブクロック発振器の状態は保持されます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DMAC の DMAST.DMST ビットを“0”にしてください。スヌーズモードにおいて DTC を起動しない場合、WAIT 命令を実行する前に DTC の DTCST.DTCST ビットを“0”にしてください。

RSIP を使用している場合は、WAIT 命令を実行する前に MSTPCRD.MSTPD31 ビットを“1”(RSIP モジュールストップ状態)にしてください。

WDT を使用しているとき、ソフトウェアスタンバイモードへ移行すると、WDT はカウントを停止します。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”(低消費電力モード遷移時 IWDT カウント継続)のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

なお、発振器停止検出機能が有効の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット(注2)を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先(注3)を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル(注4)を CPU の PSW.IPL[3:0] ビット(注2)よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット(注4)を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する(WAIT 命令の実行によって CPU の PSW.I ビット(注2)は自動的に“1”になります)。

注1. REMC は、動作クロックのクロックソースがサブクロック、IWDT 専用オンチップオシレータクロックの場合に動作可能です。

注2. 詳細は「2. CPU」を参照してください。

注3. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注4. 詳細は「14. 割り込みコントローラ(ICUb)」を参照してください。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI, IRQ0 ~ IRQ7)、周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、電圧監視、ELC (LPT 専用割り込み)、REMC、USB)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

ソフトウェアスタンバイモード解除後、RSIP を使用する場合は、30 μ s 待つてから、MSTPCRD.MSTPD31 ビットを“0” (RSIP モジュールストップ解除) にしてください。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、RTC アラーム、RTC 周期、IWDT、電圧監視、ELC (LPT 専用割り込み)、REMC、USB の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されません。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がリエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.9 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが “01b” (立ち下がリエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

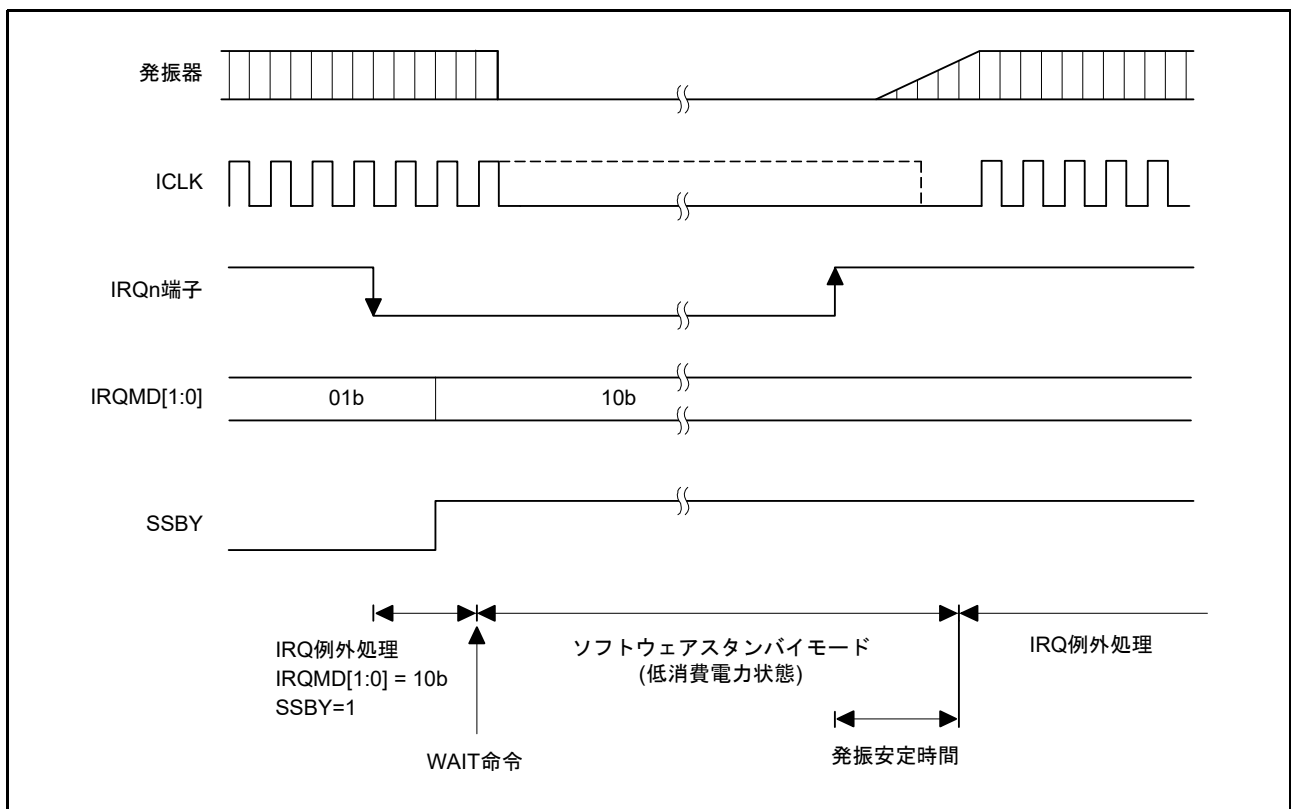


図 11.9 ソフトウェアスタンバイモードの応用例

11.6.4 スヌーズモード

スヌーズモードは、ソフトウェアスタンバイモード時に、一時的に周辺機能の動作が再開する状態です。

11.6.4.1 スヌーズモードへの移行

SNZCR レジスタでスヌーズ遷移条件を設定した状態でソフトウェアスタンバイモードに移行し、設定したスヌーズ遷移条件が検出されると、スヌーズモードへ遷移します。

スヌーズモードでは、CPU、ROM 以外の周辺機能、発振器、オンチップオシレータが動作を再開します。スヌーズモードで動作が不要な機能については、ソフトウェアスタンバイモードに移行する前に、モジュールストップ状態、停止状態に設定してください。また、スヌーズモードで動作させる必要のある機能については、ソフトウェアスタンバイモードに移行する前に動作設定を行ってください。

スヌーズモードで DTC を使用しない場合、DTC の DTCST.DTCST ビットを“0”、SNZCR.SNZDTCE を“0”にしてからソフトウェアスタンバイモードに移行してください。スヌーズモードで DTC を使用する場合は、DTC の DTCST.DTCST ビットを“1”、SNZCR.SNZDTCE を“1”にしてからソフトウェアスタンバイモードに移行してください。

11.6.4.2 スヌーズモードからソフトウェアスタンバイモードへの復帰

SNZCR レジスタでスヌーズ終了条件を設定した状態でスヌーズモードに遷移し、設定したスヌーズ終了条件が検出されると、発振器、オンチップオシレータ、周辺機能の動作が停止し、スヌーズモードからソフトウェアスタンバイモードに復帰します。

スヌーズ終了条件の受け付けはスヌーズモードでのみ有効で、スヌーズモード以外では無視されます。

SNZCR レジスタで複数のスヌーズ遷移条件、スヌーズ終了条件の組み合わせを設定した場合、いずれかの組み合わせにおいてスヌーズ遷移条件が発行され、スヌーズ終了条件が発行されていない状態であれば、他の組み合わせで発生したスヌーズ終了条件によるソフトウェアスタンバイモードへの復帰は行われません。

11.6.4.3 スヌーズモードの解除

スヌーズモードの解除は、外部端子割り込み (NMI, IRQ0 ~ IRQ7)、周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、電圧監視、REMC、USB)、スヌーズ解除割り込み、ノンマスカブル割り込みの RAM エラー割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマーリセットによって行われます。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、RTC アラーム、RTC 周期、IWDT、電圧監視、REMC、USB、スヌーズ解除、ノンマスカブル割り込みの RAM エラーの割り込み要求が発生すると、スヌーズモードおよびソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

スヌーズ解除割り込みは、スヌーズモードから通常動作モードへ復帰するためのスヌーズ解除専用の割り込みです。SNZCR2 レジスタの設定により、スヌーズ解除割り込みの発生条件が選択できます。

SNZCR2 レジスタ設定は、ソフトウェアスタンバイモードに遷移する直前にスヌーズ解除割り込みとして使用する要因を有効に設定し、通常動作モードに復帰後は要因選択を無効にしてください。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、スヌーズモードおよびソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除
電源電圧の低下によって電圧監視リセットが発生すると、スヌーズモードおよびソフトウェアスタンバイモードは解除されます。
- 独立ウォッチドッグタイマリセットによる解除
IWDTC のアンダフローの内部リセットによって、スヌーズモードおよびソフトウェアスタンバイモードが解除されます。ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTCSTRT = 0 かつ OFS0.IWDTCSLCSTP = 1、または OFS0.IWDTCSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.4.4 スヌーズ解除割り込み

スヌーズ解除割り込みは、スヌーズモードから通常動作モードへ復帰するためのスヌーズ解除専用の割り込みです。SNZCR2 レジスタの設定で選択した要因が発生すると、スヌーズ解除割り込み (SNZI) が発生します。SNZCR2 レジスタ設定と選択される要因の関係は「11.2.10 スヌーズコントロールレジスタ 2 (SNZCR2)」を参照してください。SNZCR2 レジスタ設定は、ソフトウェアスタンバイモードに遷移する直前にスヌーズ解除割り込みとして使用する要因を有効に設定し、通常動作モードに復帰後は要因選択を無効にしてください。なお、SNZCR2 レジスタの設定で選択した割り込み要因について、割り込みコントローラの設定で割り込み要求の許可を設定した場合、通常動作モードへ復帰後スヌーズ解除割り込みに加えて選択した割り込みも発生します。

表 11.6 スヌーズ解除割り込み要因

名称	割り込み要因	DTCの起動
SNZI	SNZCR2レジスタ設定で選択した要因	不可能

11.6.4.5 スヌーズモードでの SCI5 データ受信動作例

スヌーズモードでは、SCI5 の調歩同期式モードでデータ受信を行うことができます。

SNZCR.SCISNZSEL[1:0] ビットを“10b”または“11b”にした場合、ソフトウェアスタンバイ中に SCI5 がスタートビットを検出すると、スヌーズモードに遷移します。スタートビットを検出しスヌーズモードに遷移すると、ソフトウェアスタンバイモードに遷移する前に動作していた発振器、オンチップオシレータの動作が再開し、発振安定時間経過後に SCI5 の動作が再開し、データの受信を行います。基本クロックでのサンプリング動作は SCI5 の動作再開後となり、発振安定時間分データサンプリングタイミングが遅延します。クロックソースには高速オンチップオシレータ (HOCO) を選択し、低速オンチップオシレータ (LOCO)、メインクロック発振器、PLL、PLL2 は停止としてください。

SNZCR2 レジスタの設定により、スヌーズ解除割り込み条件に SCI5 受信データフル条件を設定することで、データ受信完了による通常動作モードへの復帰が可能です。

SNZCR.SCISNZSEL[1:0] ビットを“10b”にした場合、受信したデータと SCI5.CDR レジスタの値が一致しなかったら、スヌーズモードからソフトウェアスタンバイモードに戻ります。また、SNZCR.SCISNZSEL[1:0] ビットを“11b”に設定した場合、受信したデータと SCI5.CDR レジスタの値が一致しないか、一致し受信したデータを DTC で転送し終わるとスヌーズモードからソフトウェアスタンバイモードに戻ります。受信したデータと SCI5.CDR レジスタの値の一致以降は、スタートビットを検出するとスヌーズモードに遷移し、受信したデータを DTC で転送し終わるとスヌーズモードからソフトウェアスタンバイモードに戻ります。

スヌーズモードで DTC を用いて、連続したデータを受信する場合は、通常動作モードでの DTC 設定に加え、SNZCR.SNZDTCE ビットを“1”に設定してください。また、SNZCR2 レジスタによるスヌーズ解除割り

込み条件の設定は、受信データフルによる DTC 転送完了イベントを設定してください。

図 11.10 にスヌーズモードでの SCI5 データ受信設定フローの例を、図 11.11 ～図 11.13 にスヌーズモードでの SCI5 データ受信動作タイミングを示します。

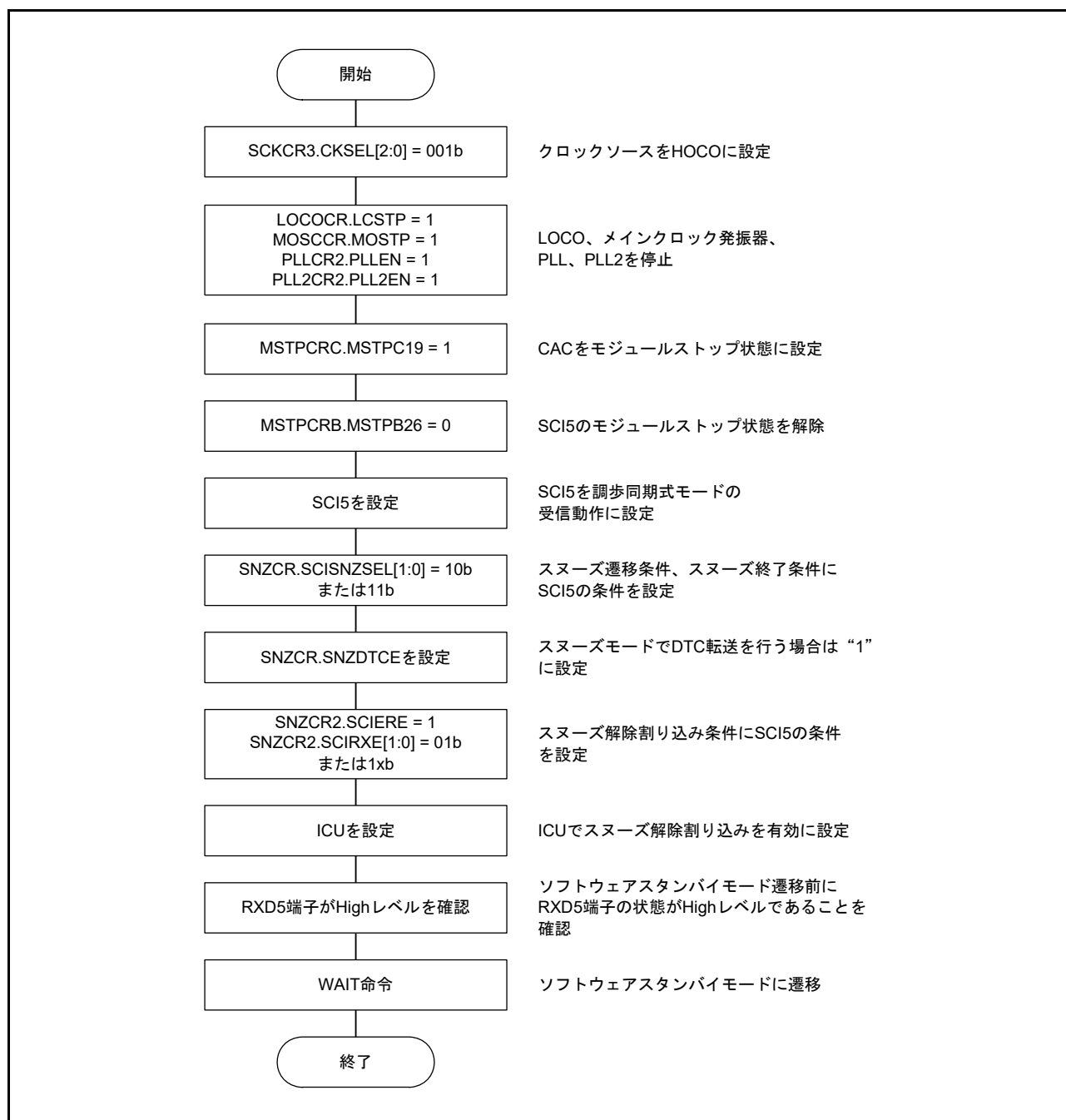


図 11.10 スヌーズモードでの SCI5 データ受信設定フローの例

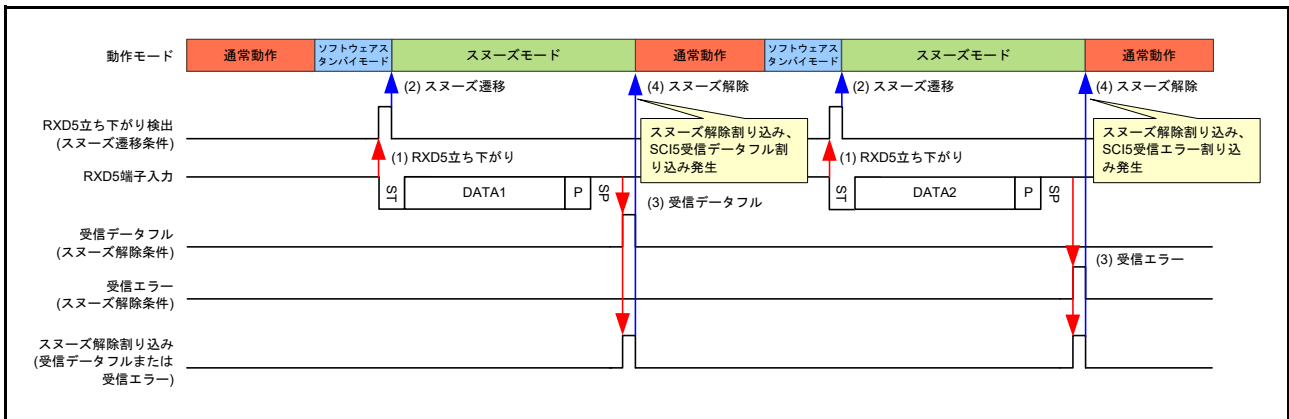


図 11.11 スリープモードでの SCI5 データ受信 (受信データフルまたは受信エラーでスリープモード解除)

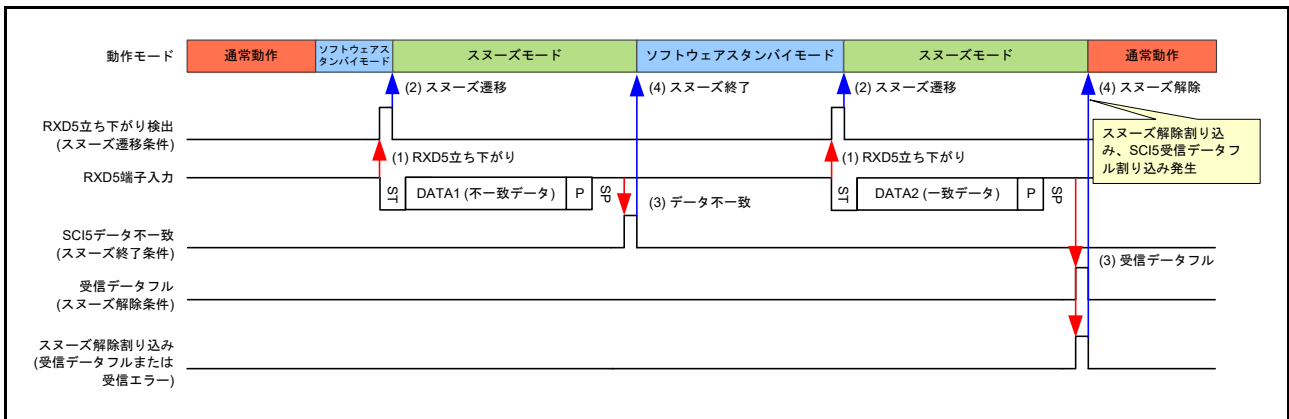


図 11.12 スリープモードでの SCI5 データ受信 (データ不一致でスリープモード終了、受信データフルでスリープモード解除)

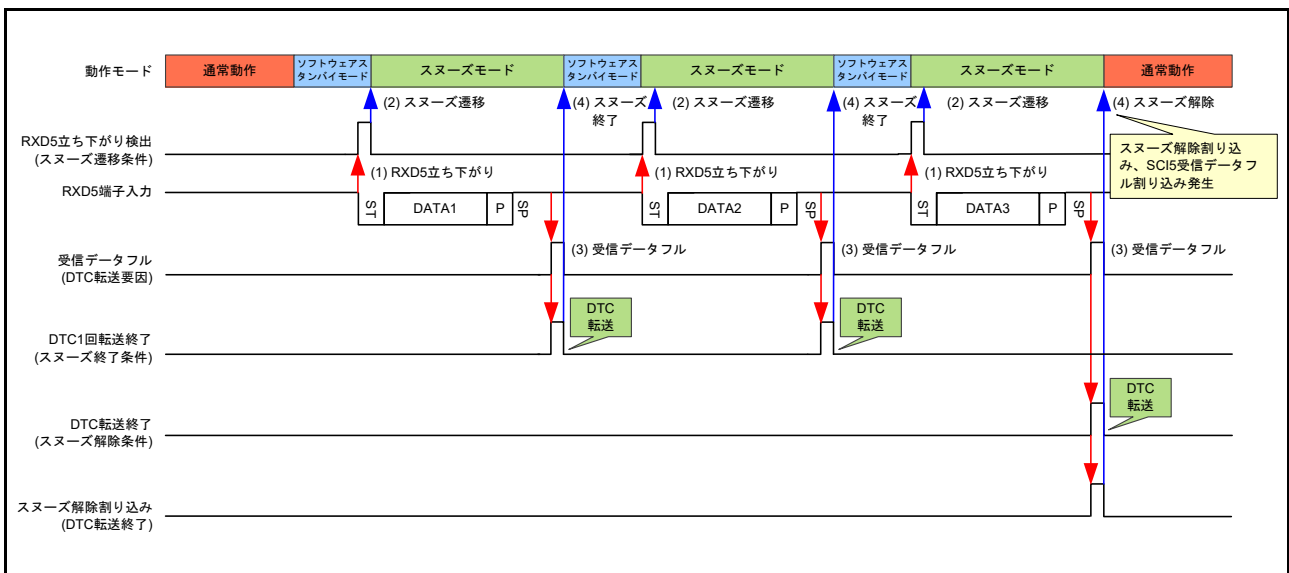


図 11.13 スリープモードでの SCI5 データ受信 (DTC 転送終了でスリープモード終了、DTC 転送終了割り込みでスリープモード解除)

11.6.4.6 スヌーズモードでの A/D 変換動作例

スヌーズモードでは、S12AD での A/D 変換動作を行うことができます。A/D 変換開始トリガに ELC を経由してソフトウェアスタンバイモードで動作する LPT コンペアマッチ 1 を使用することにより、定期的な A/D 変換動作を行うことができます。

SNZCR.ADCSNZSEL[1:0] ビットを“10b”または“11b”に設定した場合、ソフトウェアスタンバイモード中 LPT コンペアマッチ 1 が検出されると、スヌーズモードに遷移します。スヌーズモードに遷移すると、ソフトウェアスタンバイに遷移する前に動作していた発振器、オンチップオシレータの動作が再開し、発振安定時間経過後に ELC、S12AD の動作が再開します。S12AD の A/D 変換開始条件を ELC からのトリガに設定し、ELC の設定で S12AD にリンクするイベントに LPT コンペアマッチ 1 を設定することで、スヌーズモード遷移後に S12AD の A/D 変換動作を行うことができます。S12AD の動作モードはシングルスキャンモードとし、温度センサ出力、内部基準電圧の変換は行わないでください。

SNZCR2 レジスタの設定により、スヌーズ解除割り込み条件に S12AD 変換終了条件を設定することで、A/D 変換終了による通常動作モードへの復帰が可能です。

SNZCR.ADCSNZSEL[1:0] ビットを“10b”にした場合、スヌーズモードに遷移した後、割り込みによってスヌーズモードを解除するまでスヌーズモードを継続します。また、SNZCR.ADCSNZSEL[1:0] ビットを“11b”にした場合、スヌーズモード中に A/D 変換の終了によって起動した DTC 転送が 1 回終了すると、スヌーズモードからソフトウェアスタンバイモードに戻ります。ソフトウェアスタンバイモードに復帰後、LPT コンペアマッチ 1 が再度発生すると、再びスヌーズモードに遷移し A/D 変換を行います。

スヌーズモードで DTC を用いて、A/D 変換結果を RAM に転送する場合は、通常動作モードでの DTC 設定に加え、SNZCR.SNZDTCE ビットを“1”に設定してください。また、SNZCR2 レジスタによるスヌーズ解除割り込み条件の設定は、S12AD 変換終了による DTC 転送完了イベントを設定してください。

図 11.14 にスヌーズモードでの S12AD 変換動作設定フローの例を、図 11.15、図 11.16 にスヌーズモードでの S12AD 変換動作タイミングを示します。

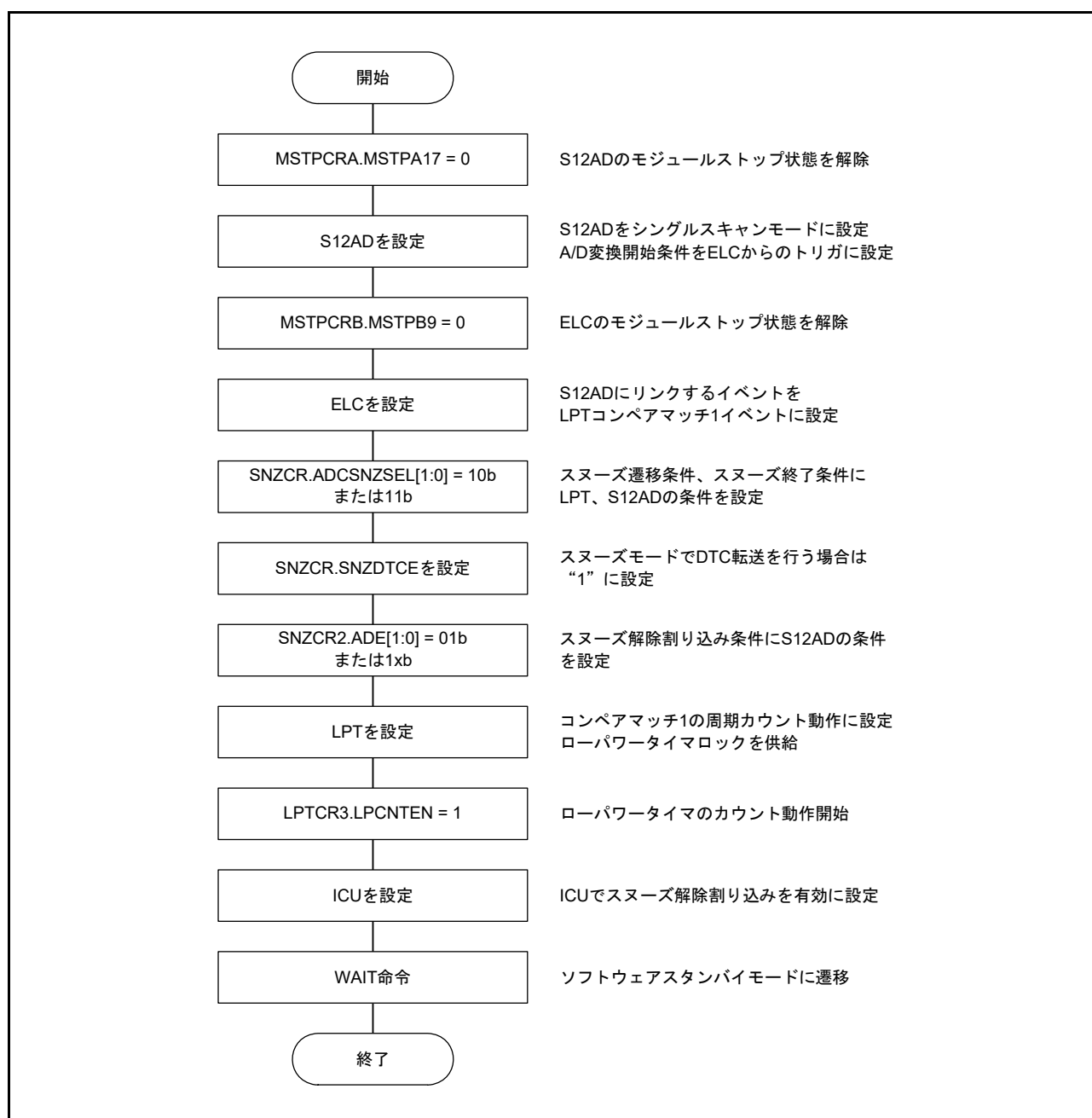


図 11.14 スヌーズモードでの S12AD 変換動作設定フローの例

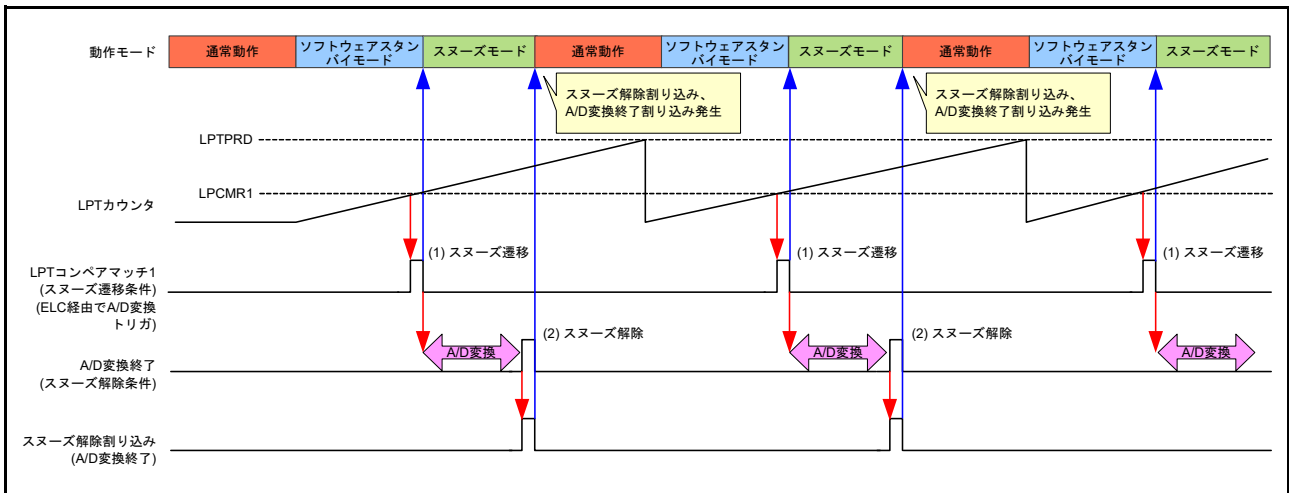


図 11.15 スリープモードでの S12AD 変換動作タイミング (DTC 転送無し)

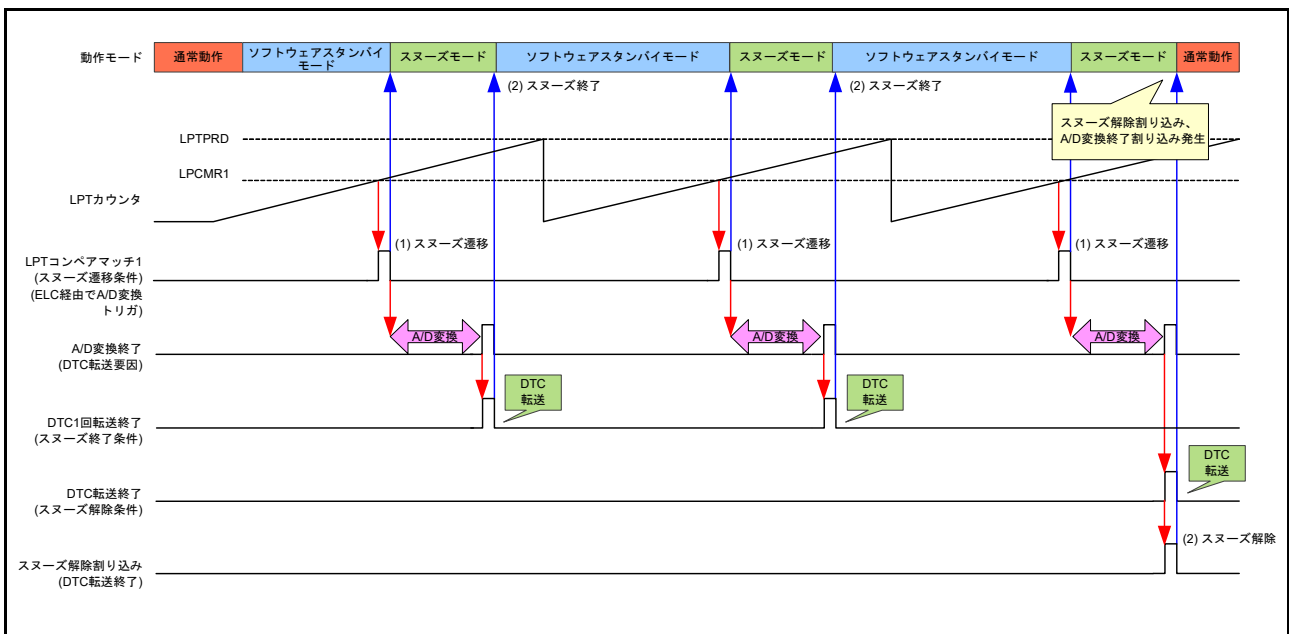


図 11.16 スリープモードでの S12AD 変換動作タイミング (DTC 転送有り)

11.6.4.7 スヌーズモードでの CTSU 計測動作例

スヌーズモードでは、CTSU での計測動作を行うことができます。CTSU の計測開始トリガに ELC を経由してソフトウェアスタンバイモードで動作する LPT のコンペアマッチ 1 を使用することにより、定期的な CTSU 計測動作を行うことができます。

SNZCR.CTSUSNZSEL[1:0] ビットを“10b”に設定した場合、ソフトウェアスタンバイモード中に LPT コンペアマッチ 1 が検出されると、スヌーズモードに遷移します。スヌーズモードに遷移すると、ソフトウェアスタンバイに遷移する前に動作していた発振器、オンチップオシレータの動作が再開し、発振安定時間経過後に ELC、CTSU の動作が再開します。CTSU の計測開始条件を外部トリガ (ELC からのイベント入力) に設定し、ELC の設定で CTSU にリンクするイベントに LPT コンペアマッチ 1 を設定することで、スヌーズモード遷移後に CTSU の計測動作を行うことができます。計測が終了して CTSU からスヌーズ終了要求が発行されると、スヌーズモードからソフトウェアスタンバイモードに戻ります。

SNZCR2 レジスタの設定により、スヌーズ解除割り込み条件に CTSU 測定終了条件を設定することで、CTSU 測定終了による通常動作モードへの復帰が可能です。

スヌーズモードにおいて、DTC を用いてチャンネル毎の設定レジスタの書き込みやチャンネル毎の測定データの転送を行う場合は、通常動作モードでの DTC 設定に加え、SNZCR.SNZDTCE ビットを“1”に設定してください。

図 11.17 にスヌーズモードでの CTSU 計測動作設定フローの例を、図 11.18 にスヌーズモードでの CTSU 計測動作タイミングを示します。

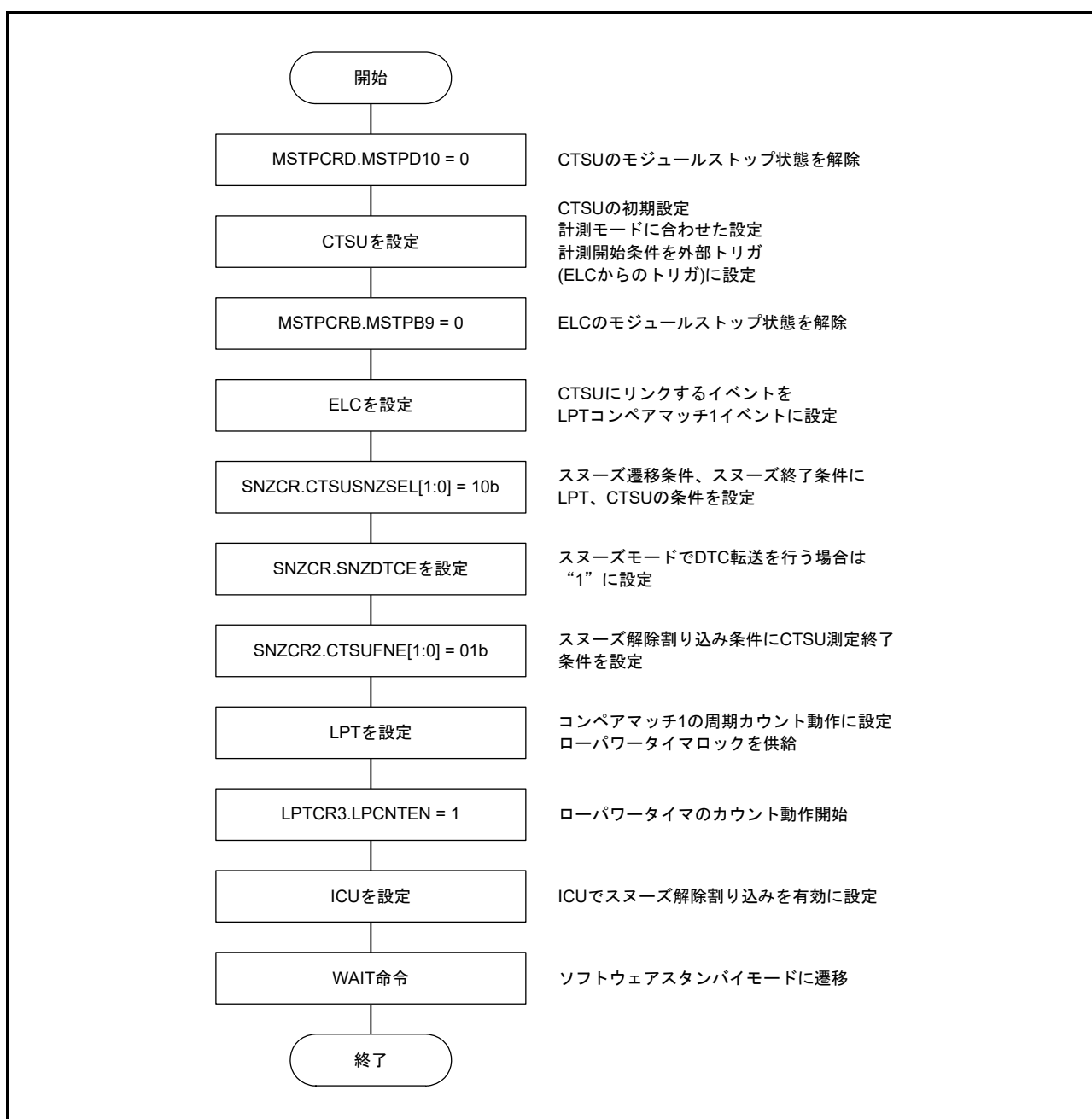


図 11.17 スヌーズモードでの CTSU 計測動作設定フローの例

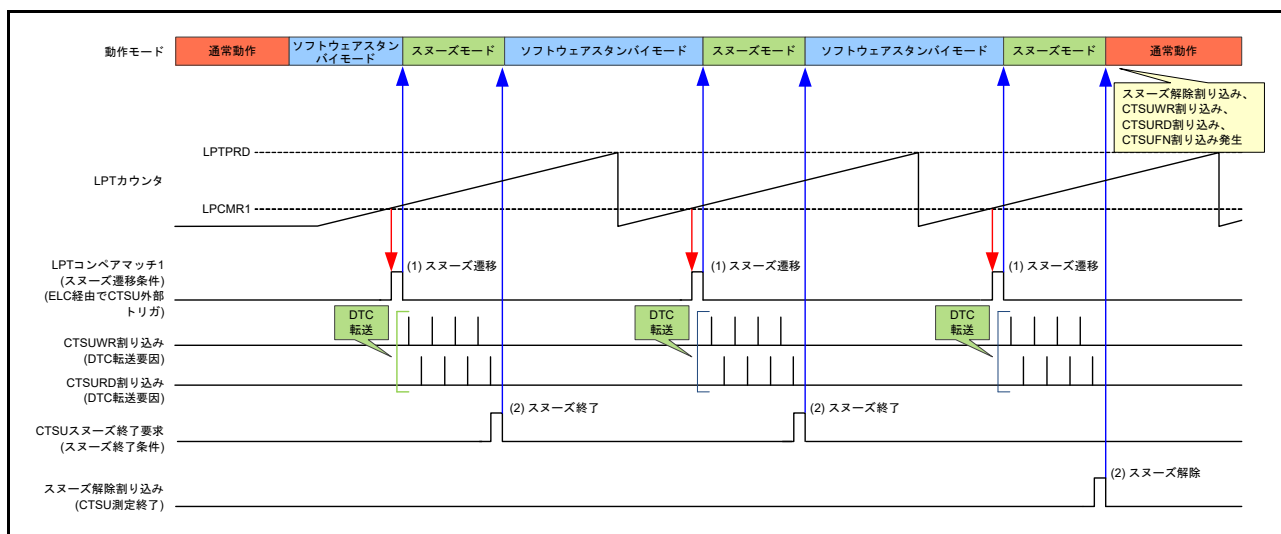


図 11.18 スヌーズモードでの CTSU 計測動作タイミング

11.6.4.8 スヌーズモードでの REMC 動作例

スヌーズモードでは、リモコン信号受信動作を行うことができます。

SNZCR.REMC SNZSEL[1:0] ビットを“10b”に設定した場合、ソフトウェアスタンバイモード中に REMC からのクロック要求が開始すると、スヌーズモードに遷移します。スヌーズモードに遷移すると、ソフトウェアスタンバイに遷移する前に動作していた発振器、オンチップオシレータの動作が再開し、発振安定時間経過後にリモコン信号受信動作が再開します。リモコン信号受信動作が行われ、REMC からのクロック要求が終了すると、スヌーズモードからソフトウェアスタンバイモードに戻ります。

スヌーズモード終了後、REMC からのクロック要求開始が再度発生すると、再びスヌーズモードに遷移します。スヌーズモードでのリモコン受信動作の詳細は、「37.3.13.2 ソフトウェアスタンバイモードでのデータ受信動作」を参照してください。

11.6.4.9 スヌーズモードでの A/D 変換結果比較動作例

スヌーズモードでは、S12AD での A/D 変換結果比較動作を行うことができます。A/D 変換開始トリガに ELC を経由してソフトウェアスタンバイモードで動作する LPT コンペアマッチ 1 を使用することにより、定期的な A/D 変換と変換結果の比較動作を行うことができます。

SNZCR.ADCSNZ2SEL[1:0] ビット、または SNZCR.ADCSNZ3SEL[1:0] ビットを“10b”に設定した場合、ソフトウェアスタンバイモード中 LPT コンペアマッチ 1 が検出されると、スヌーズモードに遷移します。スヌーズモードに遷移すると、ソフトウェアスタンバイに遷移する前に動作していた発振器、オンチップオシレータの動作が再開し、発振安定時間経過後に ELC、S12AD の動作が再開します。S12AD の A/D 変換開始条件を ELC からのトリガに設定し、ELC の設定で S12AD にリンクするイベントに LPT コンペアマッチ 1 を設定することで、スヌーズモード遷移後に S12AD の A/D 変換動作を行うことができます。S12AD の動作モードはシングルスキャンモードとし、温度センサ出力、内部基準電圧の変換は行わないでください。

SNZCR2 レジスタの設定により、スヌーズ解除割り込み条件に S12AD 変換結果の比較条件成立イベントまたは比較条件不成立イベントを設定することで、通常動作モードへの復帰が可能です。

SNZCR.ADCSNZ2SEL[1:0] ビットを“10b”に設定した場合、スヌーズモード中に行われた A/D 変換による比較条件不成立イベントが発行されると、スヌーズモードからソフトウェアスタンバイモードに戻ります。また、SNZCR.ADCSNZ3SEL[1:0] ビットを“10b”に設定した場合、スヌーズモード中に行われた A/D 変換による比較条件成立イベントが発行されると、スヌーズモードからソフトウェアスタンバイモードに戻ります。ソフトウェアスタンバイモードに復帰後、LPT コンペアマッチ 1 が再度発生すると、再びスヌーズモードに遷移し A/D 変換を行います。

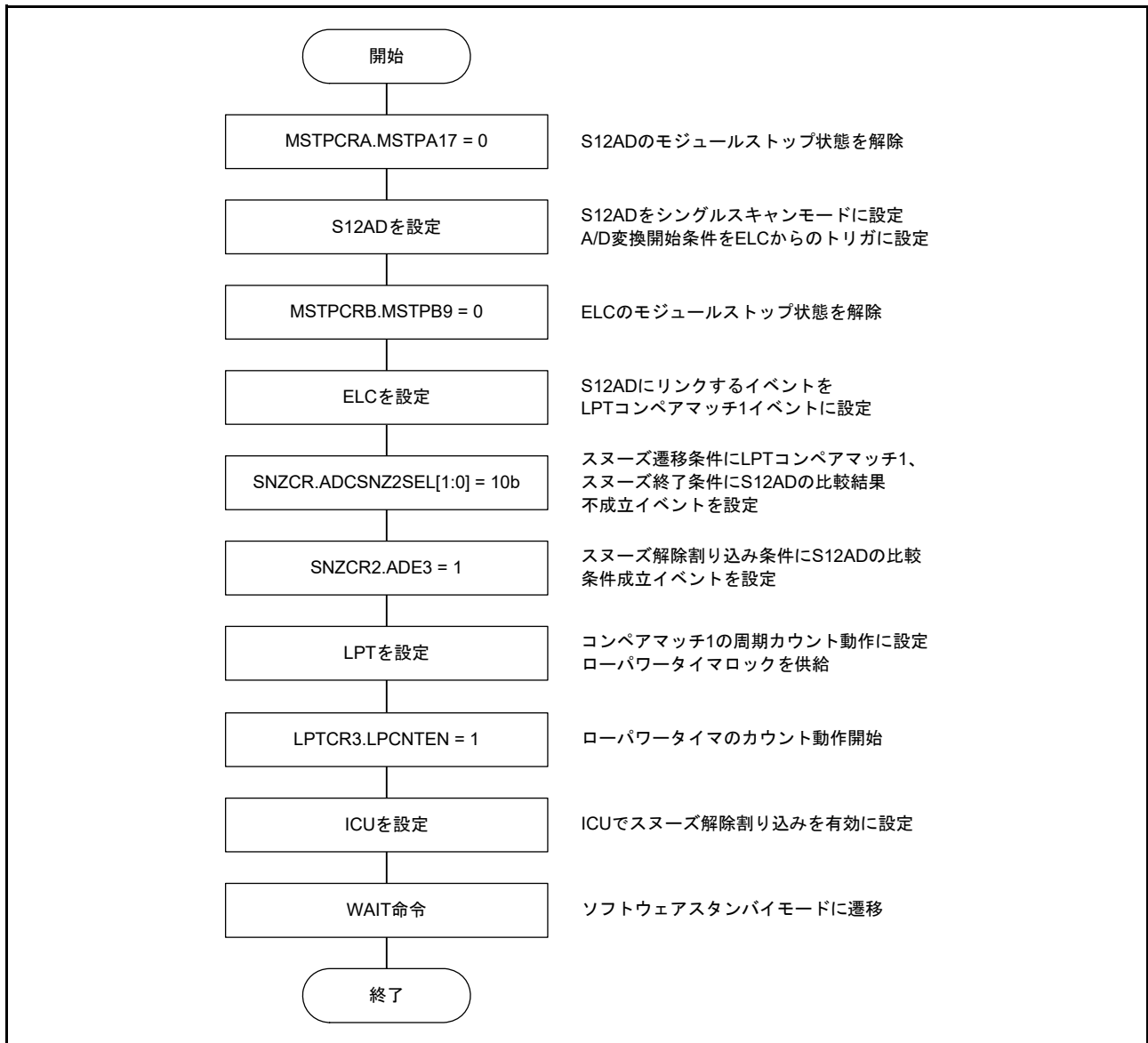


図 11.19 スヌーズモードでの S12AD 比較動作設定フローの例

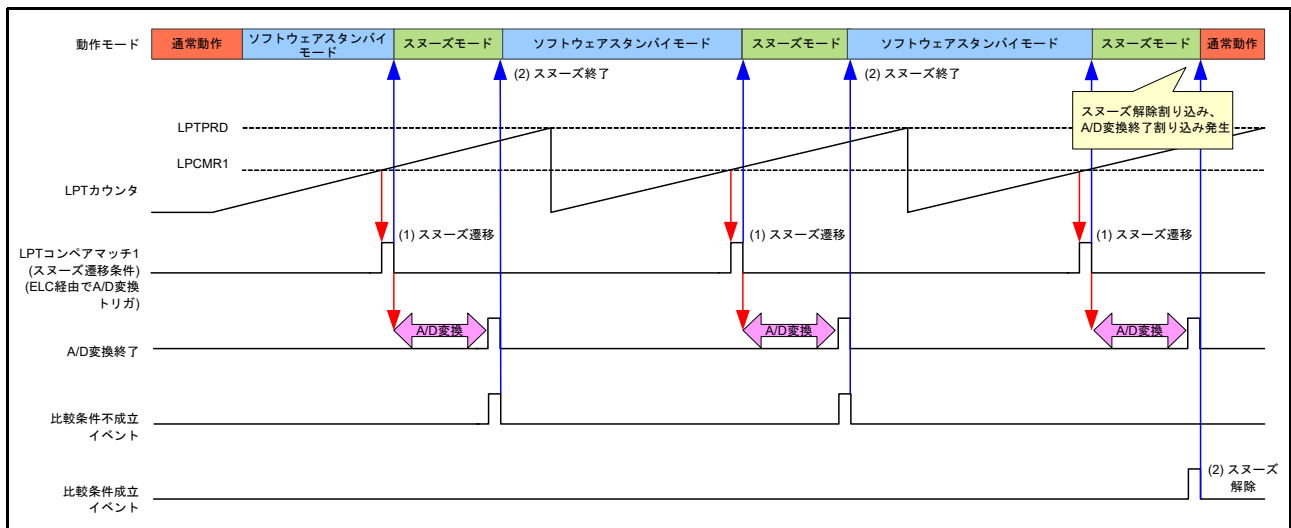


図 11.20 スヌーズモードでの S12AD 比較動作タイミング

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。

11.7.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DMAC の DMAST.DMST ビット、DTC の DTCST.DTCST ビットを“0”にして、DMAC、DTC が起動していない状態にしてください。

詳細は、「17. DMA コントローラ (DMACA)」「18. データトランスファコントローラ (DTCb)」を参照してください。

11.7.3 RSIP の動作周波数の変更について

RSIP の動作周波数を速い周波数に変更する場合は、MSTPCRD.MSTPD31 ビットを“1” (モジュールストップ状態へ遷移) にしてください。

動作周波数変更以後、30 μ s 待ってから MSTPD31 ビットを“0” (モジュールストップ状態の解除) にしてください。

11.7.4 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.5 MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD レジスタの書き込み

MSTPCRA、MSTPCRB、MSTPCRC、および MSTPCRD レジスタへの書き込みは、CPU のみで行ってください。

11.7.6 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.7 スリープモード中の DMAC、DTC によるレジスタの書き換えについて

スリープモード中は WDT が停止します。スリープモード中に DMAC、DTC によって WDT 関連のレジスタを書き換えないでください。

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTICSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DMAC、DTC によって IWDT 関連のレジスタを書き換えないでください。

RSTCKCR レジスタはスリープモードから復帰するときにクロックソースを切り替える機能に関するレジスタです。そのため、スリープモード中に書き換えを行うと意図しない動作となる可能性がありますので、

スリープモード中はRSTCKCRレジスタを書き換えないでください。

11.7.8 スヌーズモードでのDTC転送について

スヌーズモードでDTCを使用する場合は、MRA.WBDISビットを“1”に設定しないでください。

11.7.9 スヌーズモードでのSCI5データ受信動作について

スヌーズモードでSCI5データ受信動作を使用する場合は、下記の条件を満たす必要があります。

- クロックソースはHOCOであること
- LOCO、メイン発振器、PLL、PLL2は、ソフトウェアスタンバイモード遷移前に停止していること
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC19ビットに“1”を設定し、CACをモジュールストップ状態にすること
- RXD5端子は、ソフトウェアスタンバイモード遷移前にHighを維持していること
- SCI5通信中は、ソフトウェアスタンバイモードへの遷移が発生しないこと

11.7.10 スヌーズモードでのLPT動作について

スヌーズモードでLPTを使用する場合は、MSTPCRB.MSTPB9ビットを“0”に設定し、ELCのモジュールストップ状態を解除してください。

11.7.11 スヌーズモードでのA/D変換動作について

スヌーズモードでA/D変換動作を使用する場合は、MSTPCRB.MSTPB9ビットを“0”に設定し、ELCのモジュールストップ状態を解除してください。また、A/D変換の変換開始トリガはELCからのトリガを選択し、動作モードはシングルスキャンモードとしてください。なお、温度センサ出力、内部基準電圧の変換は行わないでください。

11.7.12 スヌーズモードでのCTSU計測動作について

スヌーズモードでCTSU計測動作を使用する場合は、MSTPCRB.MSTPB9ビットを“0”に設定し、ELCのモジュールストップ状態を解除してください。また、CTSUの測定開始トリガはELCからの外部トリガを選択してください。

11.7.13 スヌーズモードでのREMC動作について

スヌーズモードでリモコン信号受信動作を使用する場合は、下記の条件を満たす必要があります。

- システムクロックのクロックソースはHOCOであること
- LOCO、メイン発振器、PLL、PLL2は、ソフトウェアスタンバイモード遷移前に停止していること
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC19ビットを“1”に設定し、CACをモジュールストップ状態にすること
- リモコン信号受信動作中は、ソフトウェアスタンバイモードへの遷移が発生しないこと

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

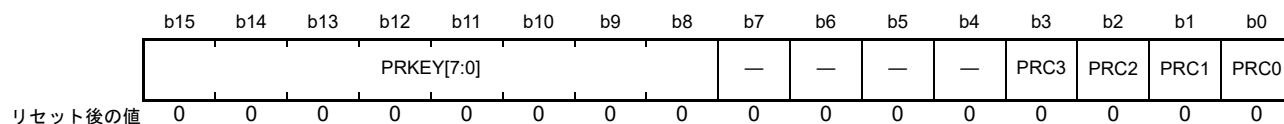
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, PLL2CR, PLL2CR2, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOCR, LOFCR, OSTDCR, OSTDSR, CKOCR, LOCOTRR2, ILOCOTRR, HOCOTRR0, SOMCR, CANFDCKCR, CANFDCKDIVCR, USBCKCR
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR1 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, OPCCR, RSTCKCR, SOPCCR, RPSCR, SNZCR, SNZCR2 クロック発生回路関連レジスタ MOFCR, MOSCWTCR ソフトウェアリセットレジスタ SWRR
PRC2 ビット	<ul style="list-style-type: none"> ローパワータイマ関連レジスタ LPTCR1, LPTCR2, LPTCR3, LPTPRD, LPCMR0, LPCMR1, LPWUCR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路への書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、クロック発生回路関連レジスタ、ソフトウェアリセット関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	PRC2	プロテクトビット2	ローパワータイマ関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i = 0 ~ 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RXv3 CPU は、8 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードになります。

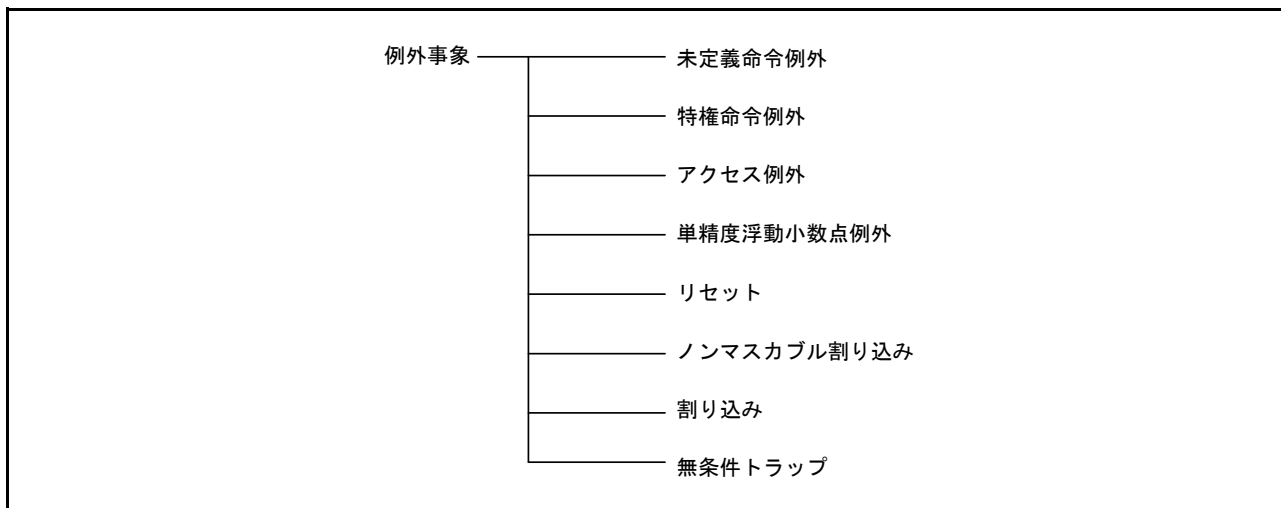


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令 (実装されていない命令) の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

13.1.3 アクセス例外

アクセス例外は、CPUからのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

13.1.4 単精度浮動小数点例外

単精度浮動小数点例外は、単精度浮動小数点演算命令実行時に、IEEE754規格で規定された5つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) および、非実装処理を検出した場合に発生します。5つの例外については、対応するFPSWのEX、EU、EZ、EO、EVビットが“1”のときのみCPUの例外処理が行われます。

13.1.5 リセット

CPUにリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.6 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.7 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15 (最高) です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

13.1.8 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム (例外処理ルーチン) によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

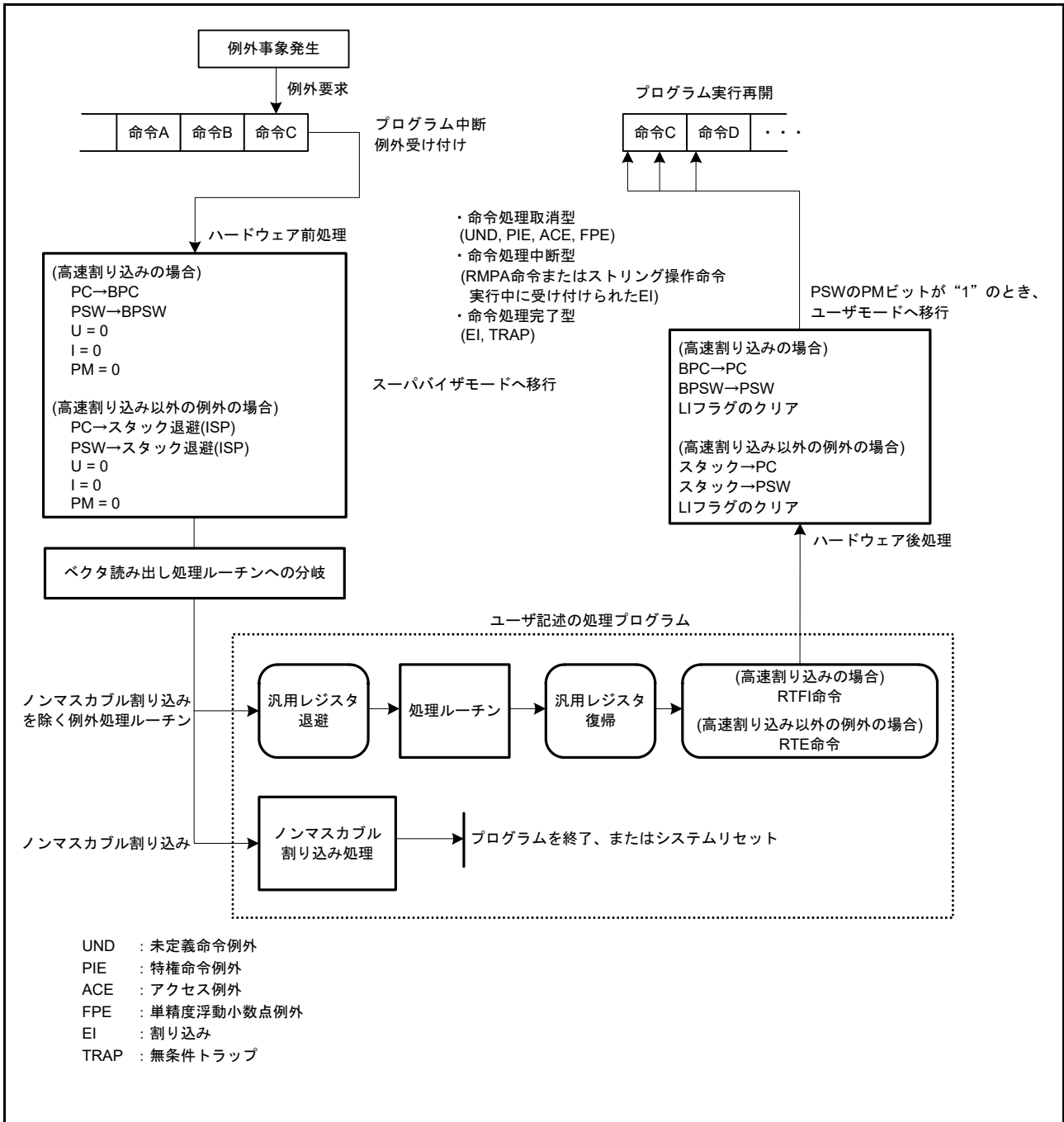


図 13.2 例外の処理手順の概要

例外が受け付けられると、RXv3 CPUはハードウェア処理を行った後、ベクタテーブルにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv3 CPUのハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ(PC)の内容をバックアップPC(BPC)に、プロセッサステータスワード(PSW)の内容をバックアップPSW(BPSW)へ退避させます。高速割り込み以外の例外では、PC、PSWをスタック領域に退避させます。例外処理ルーチン中で使用する汎用レジスタ、およびPC、PSW以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによって退避させてください。

例外処理ルーチンの完了後、退避させたレジスタを復帰させてからRTE命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv3 CPUのハードウェア後処理では、高速割り込みの場合はBPCをPCに、また、BPSWの値をPSWに戻します。高速割り込み以外の例外では、スタック領域からPC、PSWの値を復帰させます。

例外処理ルーチンの先頭・末尾で行う汎用レジスタ等の退避・復帰には、スタックが利用できます。PUSH・POP等の命令を使用してスタックへの退避・復帰を行ってください。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避されるPC値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ(PC)の値を表13.1に示します。

表13.1 受け付けタイミングと退避されるPC値

例外事象	処理型	受け付けタイミング	BPC/スタックに退避されるPC値	
未定義命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
特権命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
アクセス例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
単精度浮動小数点例外	命令処理取消型	命令実行中	例外が発生した命令のPC値	
リセット	命令処理放棄型	各マシンサイクル	なし	
ノンマスカブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ	命令処理完了型	命令の区切り	次の命令のPC値	

13.3.2 ベクタとPC、PSWの退避場所

各例外事象のベクタとプログラムカウンタ(PC)、プロセッサステータスワード(PSW)の退避場所を表13.2に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 ベクタテーブル」を参照してください。

表13.2 ベクタとPC、PSWの退避場所

例外事象	ベクタ	PC、PSWの退避場所	
未定義命令例外	例外ベクタテーブル(EXTB)	スタック	
特権命令例外	例外ベクタテーブル(EXTB)	スタック	
アクセス例外	例外ベクタテーブル(EXTB)	スタック	
単精度浮動小数点例外	例外ベクタテーブル(EXTB)	スタック	
リセット	例外ベクタテーブル(EXTB)	なし	
ノンマスカブル割り込み	例外ベクタテーブル(EXTB)	スタック	
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	割り込みベクタテーブル(INTB)	スタック
無条件トラップ	割り込みベクタテーブル(INTB)	スタック	

13.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注． FPSW は、ハードウェア前処理では退避させられません。単精度浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避させてください。

(b) PSW の PM、U、I ビットの更新

I： 0 にする

U： 0 にする

PM： 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

(c) LI フラグのクリア処理

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 0000005Ch 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 00000050h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 アクセス例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 00000054h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.4 単精度浮動小数点例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) EXTB の値 + 00000064h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 リセット

- (1) 制御を初期化します。
- (2) FFFFFFFCh 番地からベクタを取得します。
- (3) 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.6 ノンマスカブル割り込み

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。
- (4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
- (5) EXTB の値 + 00000078h 番地からベクタを取得します。
- (6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.7 割り込み

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PSW (BPSW) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令の実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避させます。高速割り込みの場合は、バックアップ PC (BPC) に退避させます。
- (4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
- (5) 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
- (6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.8 無条件トラップ

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避させます。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避させます。
- (4) INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ (BPC, BPSW) に退避させられていたプログラムカウンタ (PC) とプロセッサステータスワード (PSW) の内容が復帰させられます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
単精度浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 命令アクセス例外
	5 未定義命令例外 特権命令例外
	6 無条件トラップ
	7 オペランドアクセス例外
	8 単精度浮動小数点例外

14. 割り込みコントローラ (ICUb)

14.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC、DMAC への転送要求を行います。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

項目	内容	
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0～IRQ7端子からの割り込み 要因数：8 割り込み検出：Low/立ち上がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルフィルタ機能：あり
	ソフトウェア割り込み	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1
	イベントリンク割り込み	ELC イベントより、ELSR8I、ELSR18I、ELSR19I 割り込みを発生
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化可能。1要因にのみ設定
	DTC、DMAC制御	割り込み要因によりDTCやDMACの起動が可能(注1)
ノンマスクابل 割り込み	NMI端子割り込み	<ul style="list-style-type: none"> NMI端子からの割り込み 割り込み検出：立ち上がりエッジ/立ち上がりエッジ デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	WDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	IWDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1)の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2)の電圧監視割り込み
	RAMエラー割り込み	RAMのパリティチェックエラーを検出したときの割り込み
低消費電力状態 からの復帰	スリープモード ディープスリープモード	すべてのノンマスクابل割り込み、すべての割り込みで復帰
	ソフトウェアスタンバイ モード	ノンマスクابل割り込み、外部端子割り込み (IRQ0～IRQ7)、周辺機能割り込み (電圧監視1、電圧監視2、RTCアラーム/周期、REMC、USB0レジェーム)、ELSR8I割り込み (LPT専用割り込み) で復帰
	スヌーズモード	ノンマスクابل割り込み、外部端子割り込み (IRQ0～IRQ7)、周辺機能割り込み (電圧監視1、電圧監視2、RTCアラーム/周期、REMC、USB0レジェーム)、SNZI割り込み (スヌーズ解除割り込み) で復帰

注1. DTCおよびDMACの起動要因については、「表 14.3 割り込みのベクタテーブル」を参照してください。

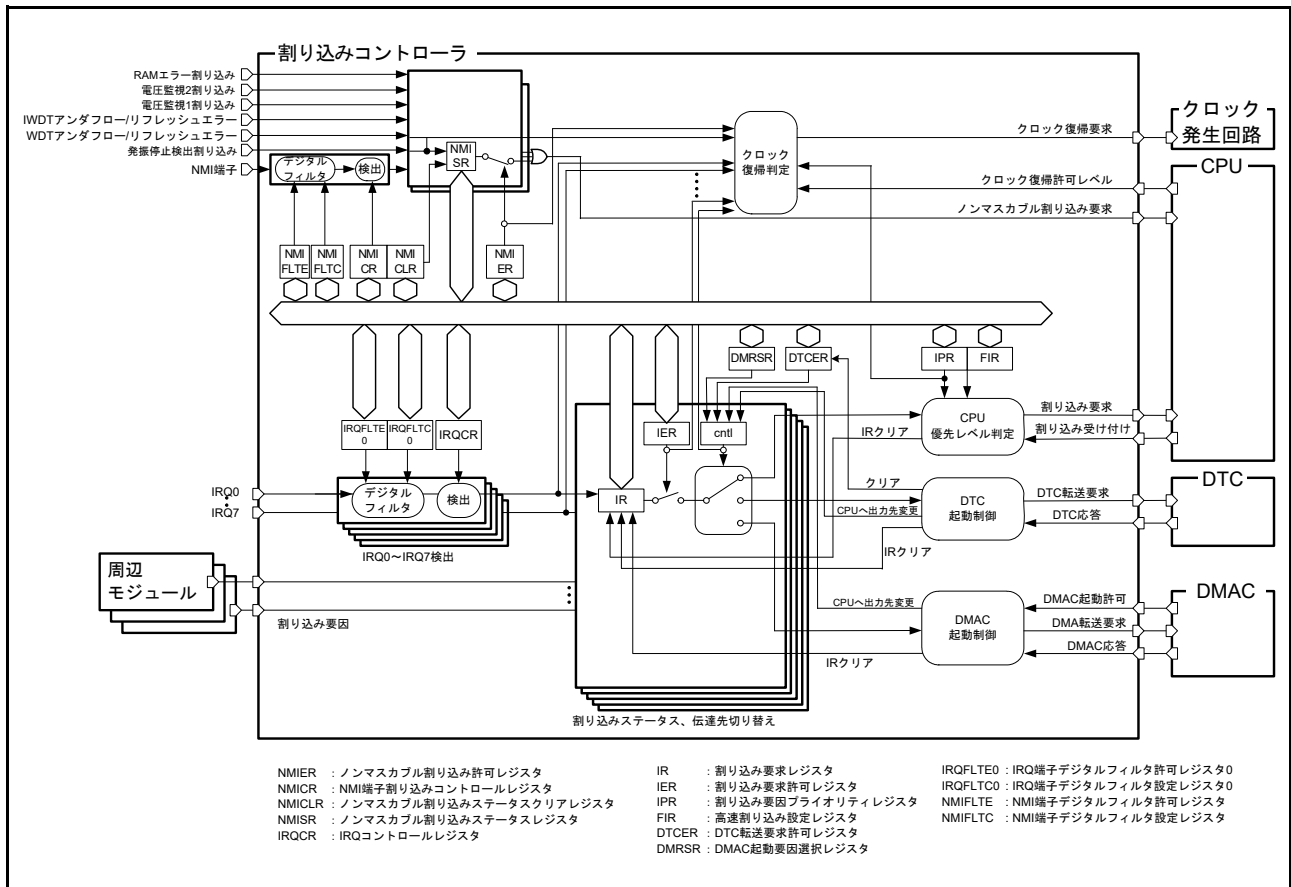


図 14.1 割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

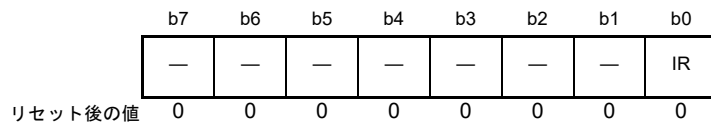
表 14.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0~IRQ7	入力	外部割り込み要求端子

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス ICU.IR016 0008 7010h~ICU.IR255 0008 70FFh



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子 (i = 0 ~ 7) からの割り込みは、IRQCRI.IRQMD[1:0] ビットの設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 14.3 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

[“1”になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

[“0”になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先を DTC または DMAC に設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

[“1”になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

[“0”になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。)周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。

レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス ICU.IER02 0008 7202h~ICU.IER1F 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0: 割り込み要求禁止 1: 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IENj ビット (割り込み要求許可ビット) (j = 0 ~ 7)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグ (n = 割り込みベクタ番号) は、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

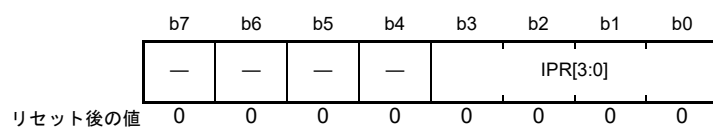
IERm.IENj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「14.4.3 割り込み要求先の選択」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)

アドレス ICU.IPR000 0008 7300h~ICU.IPR255 0008 73FFh



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止)(注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC や DMAC への転送要求には影響を与えません。

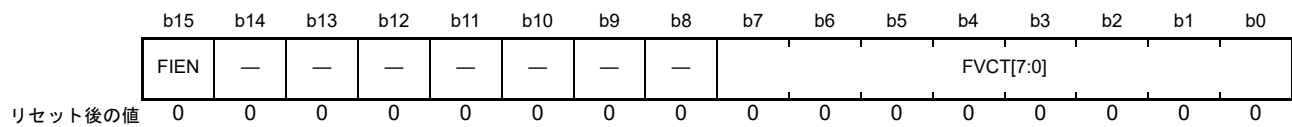
CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス ICU.FIR 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC や DMAC への転送要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタ (n = 割り込みベクタ番号) の設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「14.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビットで割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「13. 例外処理」および「14.4.6 高速割り込み」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス ICU.SWINTR 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 転送要求許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 転送要求許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 転送要求を発行します。

14.2.6 DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス ICU.DTCER027 0008 711Bh ~ ICU.DTCER255 0008 71FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC転送要求許可ビット	0 : CPUへの割り込み要因、またはDMACの起動要因に設定する 1 : DTCの起動要因に設定する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMACの起動要因に選択したものと同一の要因にDTCの起動要因を設定するのは禁止です。割り込み要因との対応は「表 14.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 転送要求許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1”になる条件]

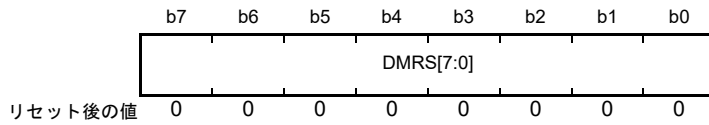
- DTCE ビットに“1”を書いたとき

[“0”になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

14.2.7 DMAC 起動要因選択レジスタ m (DMRSRm) (m = DMAC チャンネル番号)

アドレス ICU.DMRSR0 0008 7400h, ICU.DMRSR1 0008 7404h, ICU.DMRSR2 0008 7408h, ICU.DMRSR3 0008 740Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	DMRS[7:0]	DMAC起動要因選択ビット	DMAC起動要因ベクタ番号を設定します	R/W

複数の DMRSRm レジスタに同一要因を設定するのは禁止です。DMRSRm レジスタに設定したものと同一要因に DTC 転送要求許可を設定するのは禁止です。これらの禁止事項に違反した場合の動作は保証されません。

DMRS[7:0] ビット (DMAC 起動要因選択ビット)

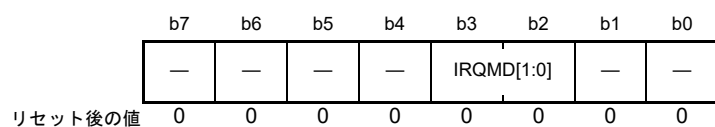
DMAC を起動する割り込み要因のベクタ番号を 8 ビットで指定します。DMAC の起動要因として割り当てられていないベクタ番号は、設定しないでください。

割り込み要因のベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

DMRSRm レジスタへの書き込みは、DMA 転送許可レジスタの DMA 転送許可ビット (DMACm.DMCNT.DTE) が “0” のときに状態で行ってください。

14.2.8 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)

アドレス ICU.IRQCR0 0008 7500h~ICU.IRQCR7 0008 7507h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後はIRフラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Lowに変更する場合は、IRフラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQ_i 端子の割り込み検出方法を設定します。

外部端子割り込みの検出設定手順は、「14.4.8 外部端子割り込み」を参照してください。

14.2.9 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス ICU.IRQFLTE0 0008 7510h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

IRQ_i 端子のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSELi[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.10 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス ICU.IRQFLTC0 0008 7514h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]		FCLKSEL6[1:0]		FCLKSEL5[1:0]		FCLKSEL4[1:0]		FCLKSEL3[1:0]		FCLKSEL2[1:0]		FCLKSEL1[1:0]		FCLKSEL0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

IRQ_i 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.11 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	RAMST	LVD2S T	LVD1S T	IWDTS T	WDTST	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	WDTST	WDTアンダフロー/リフレッシュエラーステータスフラグ	0: WDTアンダフロー/リフレッシュエラー割り込み要求なし 1: WDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b3	IWDTS	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b6	RAMST	RAMエラー割り込みステータスフラグ	0: RAMエラー割り込み要求なし 1: RAMエラー割り込み要求あり	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスクابل割り込み許可レジスタ (NMIER) の設定はこれらステータスフラグには影響しません。

ノンマスクابل割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスクابل割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

["1"になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

["0"になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

["1"になる条件]

- 発振停止検出割り込みが発生したとき

["0"になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

WDTST フラグ (WDT アンダフロー / リフレッシュエラーステータスフラグ)

WDT アンダフロー / リフレッシュエラー割り込み要求を示します。

WDTST フラグは読み出しのみ可能で、クリアは NMICLR.WDTCLR ビットによって行います。

["1" になる条件]

- WDT アンダフロー / リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.WDTCLR ビットに "1" を書いたとき

IWDTST フラグ (IWDT アンダフロー / リフレッシュエラーステータスフラグ)

IWDT アンダフロー / リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー / リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDTCLR ビットに "1" を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

RAMST フラグ (RAM エラー割り込みステータスフラグ)

RAM からの RAM エラー割り込み要求の有無を示します。

RAMST フラグは読み出しのみ可能です。RAMST フラグを "0" にするには、RAM エラー割り込み要因のステータスフラグをすべてクリアしてください。詳細は「45.3.2 RAM エラー割り込み機能」を参照してください。

["1" になる条件]

- パリティチェックエラー割り込みが発生したとき (RAM.RAMSTS.RAMERR フラグが "1" になったとき)

["0" になる条件]

- RAMST フラグを "1" にした要因すべてがクリアされたとき

14.2.12 ノンマスクابل割り込み許可レジスタ (NMIER)

アドレス ICU.NMIER 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	RAMEN	LVD2EN	LVD1EN	IWDTEN	WDTEN	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0 : NMI端子割り込み禁止 1 : NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込み禁止 1 : 発振停止検出割り込み許可	R/(W) (注1)
b2	WDTEN	WDTアンダフロー/リフレッシュエラー許可ビット	0 : WDTアンダフロー/リフレッシュエラー割り込み禁止 1 : WDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0 : IWDTアンダフロー/リフレッシュエラー割り込み禁止 1 : IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0 : 電圧監視1割り込み禁止 1 : 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0 : 電圧監視2割り込み禁止 1 : 電圧監視2割り込み許可	R/(W) (注1)
b6	RAMEN	RAMエラー割り込み許可ビット	0 : RAMエラー割り込み禁止 1 : RAMエラー割り込み許可	R/(W) (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

WDTEN ビット (WDT アンダフロー/リフレッシュエラー許可ビット)

WDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視1割り込み許可ビット)

電圧監視1割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。
“0”を書くことはできません。

LVD2EN ビット (電圧監視 2 割り込み許可ビット)

電圧監視 2 割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。
“0”を書くことはできません。

RAMEN ビット (RAM エラー割り込み許可ビット)

RAM エラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。
“0”を書くことはできません。

14.2.13 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTCL LR	WDTCL R	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	WDTCLR	WDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.WDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b3	IWDTCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

WDTCLR ビット (WDT クリアビット)

“1”を書くと、NMISR.WDTST フラグは“0”になります。読むと“0”が読めます。

IWDTCLR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

14.2.14 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0：立ち下がリエッジ 1：立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

14.2.15 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス ICU.NMIFLTE 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.16 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス ICU.NMIFLTC 0008 7594h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPUが割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

14.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPUの割り込みテーブルレジスタ(INTB)に設定した番地から、1024バイト(4バイト×256要因分)の領域に連続に配置されます。INTBレジスタは割り込みを許可する前に設定してください。INTBレジスタに4の倍数を設定してください。

なお、INT命令、およびBRK命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表14.3の割り込みのベクタテーブルと同じ領域を利用します。BRK命令はベクタ番号0のみ、INT命令は指定した番号(0～255)のベクタとなります。

表14.3に割り込みのベクタテーブルを示します。表14.3の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します
割り込み検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
DMAC起動	DMAC起動要因を“○”で示します
SSBY復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 14.3 割り込みのベクタテーブル (1/6)

割り込み 要求発生元	名称	ベクタ 番号(注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	1	0004h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	2	0008h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	3	000Ch	—	x	x	x	x	—	—	—
—	無条件トラップ専用	4	0010h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	5	0014h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	6	0018h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	7	001Ch	—	x	x	x	x	—	—	—
—	無条件トラップ専用	8	0020h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	9	0024h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	10	0028h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	11	002Ch	—	x	x	x	x	—	—	—
—	無条件トラップ専用	12	0030h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	13	0034h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	14	0038h	—	x	x	x	x	—	—	—
—	無条件トラップ専用	15	003Ch	—	x	x	x	x	—	—	—
BSC	BUSERR	16	0040h	レベル	○	x	x	x	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	x	x	x	x	—	—	—
RAM	RAMERR	18	0048h	レベル	○	x	x	x	IER02.IEN2	IPR000	—
—	予約	19	004Ch	—	x	x	x	x	—	—	—
—	予約	20	0050h	—	x	x	x	x	—	—	—
—	予約	21	0054h	—	x	x	x	x	—	—	—
—	予約	22	0058h	—	x	x	x	x	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	x	x	x	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	x	x	x	x	—	—	—
—	予約	25	0064h	—	x	x	x	x	—	—	—
—	予約	26	0068h	—	x	x	x	x	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	x	x	IER03.IEN3	IPR003	DTCER027
CMT0	CMi0	28	0070h	エッジ	○	○	○	x	IER03.IEN4	IPR004	DTCER028
CMT1	CMi1	29	0074h	エッジ	○	○	○	x	IER03.IEN5	IPR005	DTCER029
CMT2	CMi2	30	0078h	エッジ	○	○	○	x	IER03.IEN6	IPR006	DTCER030
CMT3	CMi3	31	007Ch	エッジ	○	○	○	x	IER03.IEN7	IPR007	DTCER031
CAC	FERRF	32	0080h	レベル	○	x	x	x	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	x	x	x	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	x	x	x	IER04.IEN2	IPR034	—
—	予約	35	008Ch	—	x	x	x	x	—	—	—
USB0	DOFIFO0	36	0090h	エッジ	○	○	○	x	IER04.IEN4	IPR036	DTCER036
	D1FIFO0	37	0094h	エッジ	○	○	○	x	IER04.IEN5	IPR037	DTCER037
	USBi0	38	0098h	エッジ	○	x	x	x	IER04.IEN6	IPR038	—
—	予約	39	009Ch	—	x	x	x	x	—	—	—
POEG	POEGGAI	40	00A0h	レベル	○	x	x	x	IER05.IEN0	IPR040	—
	POEGGBI	41	00A4h	レベル	○	x	x	x	IER05.IEN1	IPR041	—
	POEGGCI	42	00A8h	レベル	○	x	x	x	IER05.IEN2	IPR042	—
	POEGGDI	43	00ACh	レベル	○	x	x	x	IER05.IEN3	IPR043	—

表 14.3 割り込みのベクタテーブル (2/6)

割り込み 要求発生元	名称	ベクタ 番号(注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC 起動	DMAC 起動	SSBY 復帰	IER	IPR	DTCER
RSPIO	SPEIO	44	00B0h	レベル	○	×	×	×	IER05.IEN4	IPR044	—
	SPRIO	45	00B4h	エッジ	○	○	○	×	IER05.IEN5		DTCER045
	SPTIO	46	00B8h	エッジ	○	○	○	×	IER05.IEN6		DTCER046
	SPIIO	47	00BCh	レベル	○	×	×	×	IER05.IEN7		—
—	予約	48	00C0h	—	×	×	×	×	—	—	—
—	予約	49	00C4h	—	×	×	×	×	—	—	—
—	予約	50	00C8h	—	×	×	×	×	—	—	—
—	予約	51	00CCh	—	×	×	×	×	—	—	—
—	予約	52	00D0h	—	×	×	×	×	—	—	—
—	予約	53	00D4h	—	×	×	×	×	—	—	—
—	予約	54	00D8h	—	×	×	×	×	—	—	—
—	予約	55	00DCh	—	×	×	×	×	—	—	—
—	予約	56	00E0h	—	×	×	×	×	—	—	—
DOC	DOPCF	57	00E4h	レベル	○	×	×	×	IER07.IEN1	IPR057	—
CMPB	CMPB0	58	00E8h	エッジ	○	○	○	×	IER07.IEN2	IPR058	DTCER058
	CMPB1	59	00ECh	エッジ	○	○	○	×	IER07.IEN3	IPR059	DTCER059
CTSUSU	CTSUSUR	60	00F0h	エッジ	○	○	○	×	IER07.IEN4	IPR060	DTCER060
	CTSUSURD	61	00F4h	エッジ	○	○	○	×	IER07.IEN5		DTCER061
	CTSUSUFN	62	00F8h	エッジ	○	×	×	×	IER07.IEN6		—
RTC	CUP	63	00FCh	エッジ	○	×	×	×	IER07.IEN7	IPR063	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	×	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	×	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	×	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	×	○	IER08.IEN7	IPR071	DTCER071
—	予約	72	0120h	—	×	×	×	×	—	—	—
—	予約	73	0124h	—	×	×	×	×	—	—	—
—	予約	74	0128h	—	×	×	×	×	—	—	—
—	予約	75	012Ch	—	×	×	×	×	—	—	—
—	予約	76	0130h	—	×	×	×	×	—	—	—
—	予約	77	0134h	—	×	×	×	×	—	—	—
—	予約	78	0138h	—	×	×	×	×	—	—	—
—	予約	79	013Ch	—	×	×	×	×	—	—	—
ELC	ELSR8I	80	0140h	エッジ	○	×	×	○	IER0A.IEN0	IPR080	—
SYSTEM	SNZI	81	0144h	エッジ	○	×	×	×	IER0A.IEN1	IPR081	—
—	予約	82	0148h	—	×	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	×	—	—	—
—	予約	84	0150h	—	×	×	×	×	—	—	—
—	予約	85	0154h	—	×	×	×	×	—	—	—
—	予約	86	0158h	—	×	×	×	×	—	—	—
—	予約	87	015Ch	—	×	×	×	×	—	—	—
LVD/CMPA	LVD1	88	0160h	エッジ	○	×	×	○	IER0B.IEN0	IPR088	—
	LVD2/CMPA2	89	0164h	エッジ	○	×	×	○	IER0B.IEN1	IPR089	—

表 14.3 割り込みのベクタテーブル (3/6)

割り込み 要求発生元	名称	ベクタ 番号(注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	IER	IPR	DTCER
USB0	USB0R0	90	0168h	レベル	○	×	×	○	IER0B.IEN2	IPR090	—
—	予約	91	016Ch	—	×	×	×	×	—	—	—
RTC	ALM	92	0170h	エッジ	○	×	×	○	IER0B.IEN4	IPR092	—
	PRD	93	0174h	エッジ	○	×	×	○	IER0B.IEN5	IPR093	—
REMC0	REMCIO	94	0178h	エッジ	○	×	×	○	IER0B.IEN6	IPR094	—
—	予約	95	017Ch	—	×	×	×	×	—	—	—
—	予約	96	0180h	—	×	×	×	×	—	—	—
—	予約	97	0184h	—	×	×	×	×	—	—	—
—	予約	98	0188h	—	×	×	×	×	—	—	—
—	予約	99	018Ch	—	×	×	×	×	—	—	—
—	予約	100	0190h	—	×	×	×	×	—	—	—
—	予約	101	0194h	—	×	×	×	×	—	—	—
S12AD	S12ADI0	102	0198h	エッジ	○	○	○	×	IER0C.IEN6	IPR102	DTCER102
	GBADI	103	019Ch	エッジ	○	○	○	×	IER0C.IEN7	IPR103	DTCER103
—	予約	104	01A0h	—	×	×	×	×	—	—	—
—	予約	105	01A4h	—	×	×	×	×	—	—	—
ELC	ELSR18I	106	01A8h	エッジ	○	○	○	×	IER0D.IEN2	IPR106	DTCER106
	ELSR19I	107	01ACh	エッジ	○	○	○	×	IER0D.IEN3	IPR107	DTCER107
GPTW0	GTCIA0	108	01B0h	エッジ	○	○	○	×	IER0D.IEN4	IPR108	DTCER108
	GTCIB0	109	01B4h	エッジ	○	○	○	×	IER0D.IEN5		DTCER109
	GTCIC0	110	01B8h	エッジ	○	○	○	×	IER0D.IEN6	IPR110	DTCER110
	GTCID0	111	01BCh	エッジ	○	○	○	×	IER0D.IEN7		DTCER111
	GTCIE0	112	01C0h	エッジ	○	○	○	×	IER0E.IEN0	DTCER112	
	GTCIF0	113	01C4h	エッジ	○	○	○	×	IER0E.IEN1	DTCER113	
	GTCIV0	114	01C8h	エッジ	○	○	○	×	IER0E.IEN2	IPR114	DTCER114
	GTCIU0	115	01CCh	エッジ	○	○	○	×	IER0E.IEN3		DTCER115
GPTW1	GTCIA1	116	01D0h	エッジ	○	○	○	×	IER0E.IEN4	IPR116	DTCER116
	GTCIB1	117	01D4h	エッジ	○	○	○	×	IER0E.IEN5		DTCER117
	GTCIC1	118	01D8h	エッジ	○	○	○	×	IER0E.IEN6	IPR118	DTCER118
	GTCID1	119	01DCh	エッジ	○	○	○	×	IER0E.IEN7		DTCER119
	GTCIE1	120	01E0h	エッジ	○	○	○	×	IER0F.IEN0	DTCER120	
	GTCIF1	121	01E4h	エッジ	○	○	○	×	IER0F.IEN1	DTCER121	
	GTCIV1	122	01E8h	エッジ	○	○	○	×	IER0F.IEN2	IPR122	DTCER122
	GTCIU1	123	01ECh	エッジ	○	○	○	×	IER0F.IEN3		DTCER123
GPTW2	GTCIA2	124	01F0h	エッジ	○	○	○	×	IER0F.IEN4	IPR124	DTCER124
	GTCIB2	125	01F4h	エッジ	○	○	○	×	IER0F.IEN5		DTCER125
	GTCIC2	126	01F8h	エッジ	○	○	○	×	IER0F.IEN6	IPR126	DTCER126
	GTCID2	127	01FCh	エッジ	○	○	○	×	IER0F.IEN7		DTCER127
	GTCIE2	128	0200h	エッジ	○	○	○	×	IER10.IEN0	DTCER128	
	GTCIF2	129	0204h	エッジ	○	○	○	×	IER10.IEN1	DTCER129	
	GTCIV2	130	0208h	エッジ	○	○	○	×	IER10.IEN2	IPR130	DTCER130
	GTCIU2	131	020Ch	エッジ	○	○	○	×	IER10.IEN3		DTCER131

表 14.3 割り込みのベクタテーブル (4/6)

割り込み 要求発生元	名称	ベクタ 番号(注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC 起動	DMAC 起動	SSBY 復帰	IER	IPR	DTCER
GPTW3	GTCIA3	132	0210h	エッジ	○	○	○	×	IER10.IEN4	IPR132	DTCER132
	GTCIB3	133	0214h	エッジ	○	○	○	×	IER10.IEN5		DTCER133
	GTCIC3	134	0218h	エッジ	○	○	○	×	IER10.IEN6	IPR134	DTCER134
	GTCID3	135	021Ch	エッジ	○	○	○	×	IER10.IEN7		DTCER135
	GTCIE3	136	0220h	エッジ	○	○	○	×	IER11.IEN0		DTCER136
	GTCIF3	137	0224h	エッジ	○	○	○	×	IER11.IEN1	IPR138	DTCER137
	GTCIV3	138	0228h	エッジ	○	○	○	×	IER11.IEN2		DTCER138
	GTCIU3	139	022Ch	エッジ	○	○	○	×	IER11.IEN3		DTCER139
GPTW4	GTCIA4	140	0230h	エッジ	○	○	○	×	IER11.IEN4	IPR140	DTCER140
	GTCIB4	141	0234h	エッジ	○	○	○	×	IER11.IEN5		DTCER141
	GTCIC4	142	0238h	エッジ	○	○	○	×	IER11.IEN6	IPR142	DTCER142
	GTCID4	143	023Ch	エッジ	○	○	○	×	IER11.IEN7		DTCER143
	GTCIE4	144	0240h	エッジ	○	○	○	×	IER12.IEN0		DTCER144
	GTCIF4	145	0244h	エッジ	○	○	○	×	IER12.IEN1	IPR146	DTCER145
	GTCIV4	146	0248h	エッジ	○	○	○	×	IER12.IEN2		DTCER146
	GTCIU4	147	024Ch	エッジ	○	○	○	×	IER12.IEN3		DTCER147
GPTW5	GTCIA5	148	0250h	エッジ	○	○	○	×	IER12.IEN4	IPR148	DTCER148
	GTCIB5	149	0254h	エッジ	○	○	○	×	IER12.IEN5		DTCER149
	GTCIC5	150	0258h	エッジ	○	○	○	×	IER12.IEN6	IPR150	DTCER150
	GTCID5	151	025Ch	エッジ	○	○	○	×	IER12.IEN7		DTCER151
	GTCIE5	152	0260h	エッジ	○	○	○	×	IER13.IEN0		DTCER152
	GTCIF5	153	0264h	エッジ	○	○	○	×	IER13.IEN1	IPR154	DTCER153
	GTCIV5	154	0268h	エッジ	○	○	○	×	IER13.IEN2		DTCER154
	GTCIU5	155	026Ch	エッジ	○	○	○	×	IER13.IEN3		DTCER155
GPTW6	GTCIA6	156	0270h	エッジ	○	○	○	×	IER13.IEN4	IPR156	DTCER156
	GTCIB6	157	0274h	エッジ	○	○	○	×	IER13.IEN5		DTCER157
	GTCIC6	158	0278h	エッジ	○	○	○	×	IER13.IEN6	IPR158	DTCER158
	GTCID6	159	027Ch	エッジ	○	○	○	×	IER13.IEN7		DTCER159
	GTCIE6	160	0280h	エッジ	○	○	○	×	IER14.IEN0		DTCER160
	GTCIF6	161	0284h	エッジ	○	○	○	×	IER14.IEN1	IPR162	DTCER161
	GTCIV6	162	0288h	エッジ	○	○	○	×	IER14.IEN2		DTCER162
	GTCIU6	163	028Ch	エッジ	○	○	○	×	IER14.IEN3		DTCER163
GPTW7	GTCIA7	164	0290h	エッジ	○	○	○	×	IER14.IEN4	IPR164	DTCER164
	GTCIB7	165	0294h	エッジ	○	○	○	×	IER14.IEN5		DTCER165
	GTCIC7	166	0298h	エッジ	○	○	○	×	IER14.IEN6	IPR166	DTCER166
	GTCID7	167	029Ch	エッジ	○	○	○	×	IER14.IEN7		DTCER167
	GTCIE7	168	02A0h	エッジ	○	○	○	×	IER15.IEN0		DTCER168
	GTCIF7	169	02A4h	エッジ	○	○	○	×	IER15.IEN1	IPR170	DTCER169
	GTCIV7	170	02A8h	エッジ	○	○	○	×	IER15.IEN2		DTCER170
	GTCIU7	171	02ACh	エッジ	○	○	○	×	IER15.IEN3		DTCER171
—	予約	172	02B0h	—	×	×	×	×	—	—	—
—	予約	173	02B4h	—	×	×	×	×	—	—	—
TMR0	CMIA0	174	02B8h	エッジ	○	○	×	×	IER15.IEN6	IPR174	DTCER174
	CMIB0	175	02BCh	エッジ	○	○	×	×	IER15.IEN7		DTCER175
	OVI0	176	02C0h	エッジ	○	×	×	×	IER16.IEN0	—	—

表 14.3 割り込みのベクタテーブル (5/6)

割り込み 要求発生元	名称	ベクタ 番号(注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC 起動	DMAC 起動	SSBY 復帰	IER	IPR	DTCER	
TMR1	CMIA1	177	02C4h	エッジ	○	○	×	×	IER16.IEN1	IPR177	DTCER177	
	CMIB1	178	02C8h	エッジ	○	○	×	×	IER16.IEN2		DTCER178	
	OVI1	179	02CCh	エッジ	○	×	×	×	IER16.IEN3		—	
TMR2	CMIA2	180	02D0h	エッジ	○	○	×	×	IER16.IEN4	IPR180	DTCER180	
	CMIB2	181	02D4h	エッジ	○	○	×	×	IER16.IEN5		DTCER181	
	OVI2	182	02D8h	エッジ	○	×	×	×	IER16.IEN6		—	
TMR3	CMIA3	183	02DCh	エッジ	○	○	×	×	IER16.IEN7	IPR183	DTCER183	
	CMIB3	184	02E0h	エッジ	○	○	×	×	IER17.IEN0		DTCER184	
	OVI3	185	02E4h	エッジ	○	×	×	×	IER17.IEN1		—	
CANFD	RFRI	186	02E8h	レベル	○	×	×	×	IER17.IEN2	IPR186	—	
	GLEI	187	02ECh	レベル	○	×	×	×	IER17.IEN3	IPR187	—	
	RMRI	188	02F0h	レベル	○	×	×	×	IER17.IEN4	IPR188	—	
	RFDREQ0	189	02F4h	エッジ	○	○	○	×	IER17.IEN5	IPR189	DTCER189	
	RFDREQ1	190	02F8h	エッジ	○	○	○	×	IER17.IEN6	IPR190	DTCER190	
	EC1EI	191	02FCh	エッジ	○	×	×	×	IER17.IEN7	IPR191	—	
	EC2EI	192	0300h	エッジ	○	×	×	×	IER18.IEN0	IPR192	—	
CANFD0	ECOV1	193	0304h	エッジ	○	×	×	×	IER18.IEN1	IPR193	—	
	CHTI	194	0308h	レベル	○	×	×	×	IER18.IEN2	IPR194	—	
	CHEI	195	030Ch	レベル	○	×	×	×	IER18.IEN3	IPR195	—	
	CFRI	196	0310h	レベル	○	×	×	×	IER18.IEN4	IPR196	—	
	CFDREQ0	197	0314h	エッジ	○	○	○	×	IER18.IEN5	IPR197	DTCER197	
	DMAC	DMAC0I	198	0318h	エッジ	○	○	×	×	IER18.IEN6	IPR198	DTCER198
		DMAC1I	199	031Ch	エッジ	○	○	×	×	IER18.IEN7	IPR199	DTCER199
DMAC2I		200	0320h	エッジ	○	○	×	×	IER19.IEN0	IPR200	DTCER200	
DMAC3I		201	0324h	エッジ	○	○	×	×	IER19.IEN1	IPR201	DTCER201	
RSIP	PROC_BUSY	202	0328h	エッジ	○	×	×	×	IER19.IEN2	IPR202	—	
	ROMOK	203	032Ch	エッジ	○	×	×	×	IER19.IEN3	IPR203	—	
	LONG_PLG	204	0330h	エッジ	○	×	×	×	IER19.IEN4	IPR204	—	
	TEST_BUSY	205	0334h	エッジ	○	×	×	×	IER19.IEN5	IPR205	—	
	WRRDY0	206	0338h	エッジ	○	○	○	×	IER19.IEN6	IPR206	DTCER206	
	WRRDY2	207	033Ch	エッジ	○	○	○	×	IER19.IEN7	IPR207	DTCER207	
	RDRDY0	208	0340h	エッジ	○	○	○	×	IER1A.IEN0	IPR208	DTCER208	
	INTEGRATE_RDRDY	209	0344h	エッジ	○	○	○	×	IER1A.IEN1	IPR209	DTCER209	
	INTEGRATE_WRRDY	210	0348h	エッジ	○	○	○	×	IER1A.IEN2	IPR210	DTCER210	
RSCI9	ECCERR	211	034Ch	エッジ	○	×	×	×	IER1A.IEN3	IPR211	—	
	BFD	212	0350h	エッジ	○	×	×	×	IER1A.IEN4	IPR212	—	
RSCIO	AED	213	0354h	エッジ	○	○	○	×	IER1A.IEN5	IPR213	DTCER213	
	ERI	214	0358h	レベル	○	×	×	×	IER1A.IEN6	IPR214	—	
	RXI	215	035Ch	エッジ	○	○	○	×	IER1A.IEN7		DTCER215	
	TXI	216	0360h	エッジ	○	○	○	×	IER1B.IEN0		DTCER216	
TEI	217	0364h	レベル	○	×	×	×	IER1B.IEN1	—			
SCI1	ERI1	218	0368h	レベル	○	×	×	×	IER1B.IEN2	IPR218	—	
	RXI1	219	036Ch	エッジ	○	○	○	×	IER1B.IEN3		DTCER219	
	TXI1	220	0370h	エッジ	○	○	○	×	IER1B.IEN4		DTCER220	
	TEI1	221	0374h	レベル	○	×	×	×	IER1B.IEN5		—	

表 14.3 割り込みのベクタテーブル (6/6)

割り込み 要求発生元	名称	ベクタ 番号(注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU割り込み	DTC起動	DMAC起動	SSBY復帰	IER	IPR	DTCER
SCI5	ERI5	222	0378h	レベル	○	×	×	×	IER1B.IEN6	IPR222	—
	RXI5	223	037Ch	エッジ	○	○	○	×	IER1B.IEN7		DTCER223
	TXI5	224	0380h	エッジ	○	○	○	×	IER1C.IEN0		DTCER224
	TEI5	225	0384h	レベル	○	×	×	×	IER1C.IEN1		—
SCI6	ERI6	226	0388h	レベル	○	×	×	×	IER1C.IEN2	IPR226	—
	RXI6	227	038Ch	エッジ	○	○	○	×	IER1C.IEN3		DTCER227
	TXI6	228	0390h	エッジ	○	○	○	×	IER1C.IEN4		DTCER228
	TEI6	229	0394h	レベル	○	×	×	×	IER1C.IEN5		—
RSCI8	ERI	230	0398h	レベル	○	×	×	×	IER1C.IEN6	IPR230	—
	RXI	231	039Ch	エッジ	○	○	○	×	IER1C.IEN7		DTCER231
	TXI	232	03A0h	エッジ	○	○	○	×	IER1D.IEN0		DTCER232
	TEI	233	03A4h	レベル	○	×	×	×	IER1D.IEN1		—
RSCI9	ERI	234	03A8h	レベル	○	×	×	×	IER1D.IEN2	IPR234	—
	RXI	235	03ACh	エッジ	○	○	○	×	IER1D.IEN3		DTCER235
	TXI	236	03B0h	エッジ	○	○	○	×	IER1D.IEN4		DTCER236
	TEI	237	03B4h	レベル	○	×	×	×	IER1D.IEN5		—
SCI12	ERI12	238	03B8h	レベル	○	×	×	×	IER1D.IEN6	IPR238	—
	RXI12	239	03BCh	エッジ	○	○	○	×	IER1D.IEN7		DTCER239
	TXI12	240	03C0h	エッジ	○	○	○	×	IER1E.IEN0		DTCER240
	TEI12	241	03C4h	レベル	○	×	×	×	IER1E.IEN1		—
	SCIX0	242	03C8h	レベル	○	×	×	×	IER1E.IEN2	IPR242	—
	SCIX1	243	03CCh	レベル	○	×	×	×	IER1E.IEN3	IPR243	—
	SCIX2	244	03D0h	レベル	○	×	×	×	IER1E.IEN4	IPR244	—
	SCIX3	245	03D4h	レベル	○	×	×	×	IER1E.IEN5	IPR245	—
RIIC0	EEI0	246	03D8h	レベル	○	×	×	×	IER1E.IEN6	IPR246	—
	RXI0	247	03DCh	エッジ	○	○	○	×	IER1E.IEN7	IPR247	DTCER247
	TXI0	248	03E0h	エッジ	○	○	○	×	IER1F.IEN0	IPR248	DTCER248
	TEI0	249	03E4h	レベル	○	×	×	×	IER1F.IEN1	IPR249	—
—	予約	250	03E8h	—	×	×	×	×	—	—	—
—	予約	251	03ECh	—	×	×	×	×	—	—	—
—	予約	252	03F0h	—	×	×	×	×	—	—	—
—	予約	253	03F4h	—	×	×	×	×	—	—	—
—	予約	254	03F8h	—	×	×	×	×	—	—	—
LPT	LPTCMI1	255	03FCh	エッジ	○	○	○	×	IER1F.IEN7	IPR255	DTCER255

注1. ベクタ番号が小さいほど、優先順位は高くなります。

14.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPUの高速割り込みベクタレジスタ(FINTV)です。

14.3.3 ノンマスカブル割り込みのベクタ領域

ノンマスカブル割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。

例外ベクタテーブルは、CPUの例外テーブルレジスタ(EXTB)に設定したアドレスを先頭とする128バイト(4バイト×32要因)の領域に配置されます。EXTBレジスタはノンマスカブル割り込みを許可する前に設定してください。また、EXTBレジスタには4の倍数を設定してください。

14.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動、DMAC 起動) の選択
- 割り込み優先順位判定

14.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQi 端子 ($i = 0 \sim 7$) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 14.3 割り込みのベクタテーブル」を参照してください。

14.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IRn.IR フラグ ($n =$ 割り込みベクタ番号) の動作を図 14.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IRn.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IRn.IR フラグは自動的に“0”になります。割り込み要求先が DMAC、DTC の場合は、DMAC/DTC の転送設定、転送回数によって異なります。詳細は「表 14.4 DMAC/DTC 起動時の動作」を参照してください。ソフトウェアで IRn.IR フラグをクリアする必要はありません。

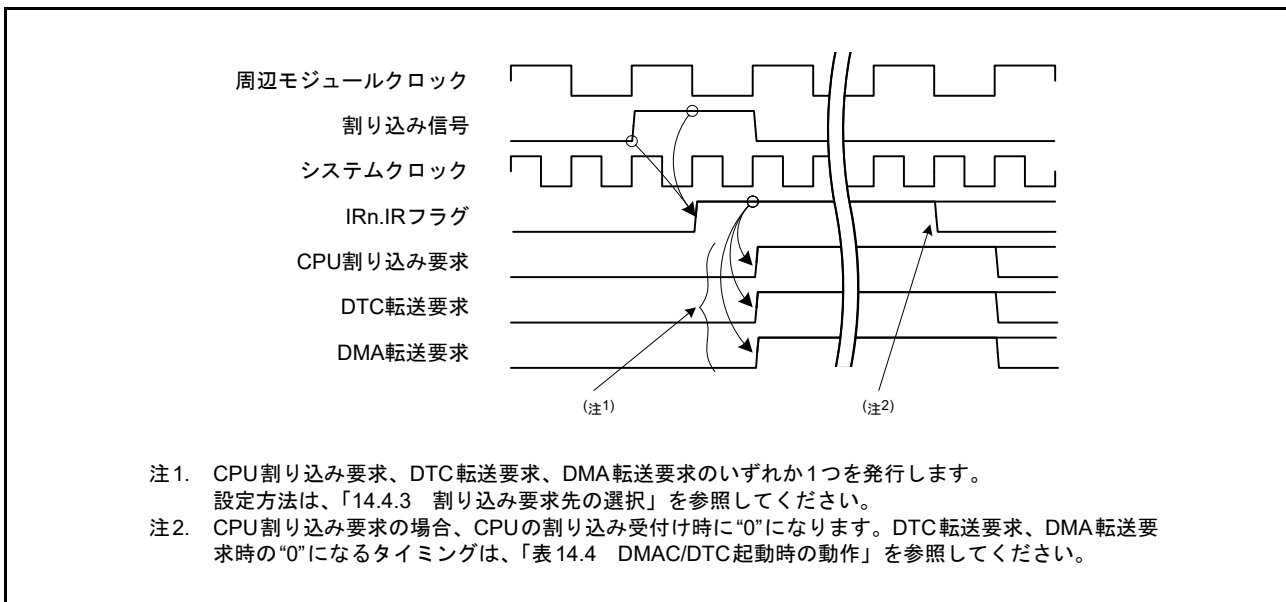


図 14.2 エッジ検出の IRn.IR フラグ ($n =$ 割り込みベクタ番号) の動作

図 14.3 ~ 図 14.6 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ~ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ~ 79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ~ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロック、周辺モジュールクロックの周波数の遅い方のクロックで 2 サイクル以上間隔をあけてください。

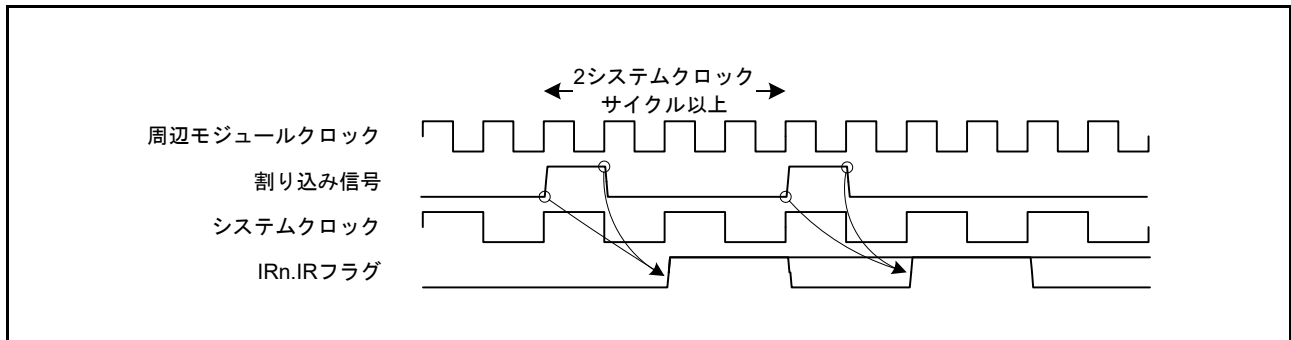


図 14.3 連続する割り込み要求発行の間隔 (システムクロック周波数 < 周辺モジュールクロック周波数の場合)

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。(注 1) IRn.IR フラグの再セットのタイミングを図 14.4 に示します。

注 1. ただし、USB、SCI、RSCI、RIIC、RSPI の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「31. シリアルコミュニケーションインタフェース (SCIk, SC1h)」、「33. I²C バスインタフェース (RIICa)」、「35. シリアルペリフェラルインタフェース (RSPIc)」の各割り込みの説明を参照してください。

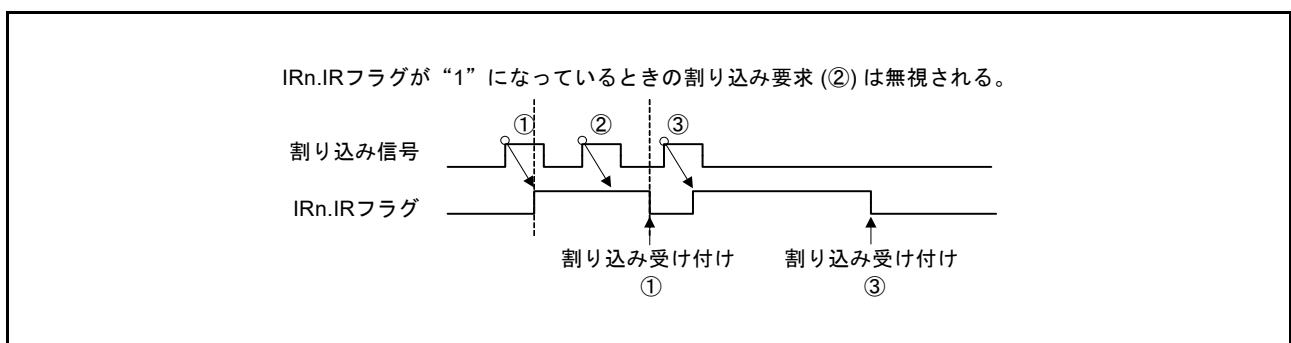


図 14.4 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止 (周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止) としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 14.5 に示します。

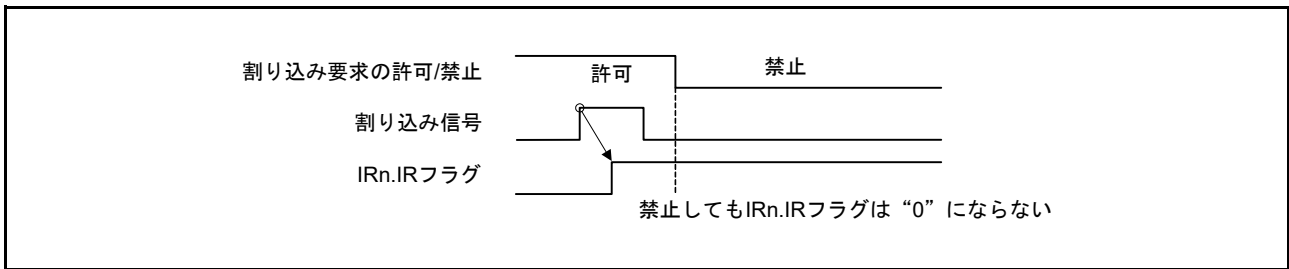


図 14.5 割り込み要求の禁止と IRn.IR フラグの関係

14.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の IRn.IR フラグ (n = 割り込みベクタ番号) の動作を図 14.6 に示します。

割り込み信号がアサートされている間、IRn.IR フラグを“1”にし続けます。IRn.IR フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および IRn.IR フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

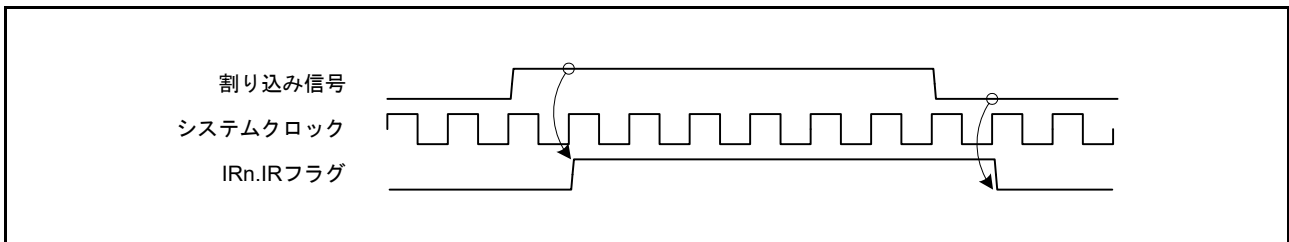


図 14.6 レベル検出時の IRn.IR フラグ (n = 割り込みベクタ番号) の動作

レベル検出割り込みの処理手順を図 14.7 に示します。

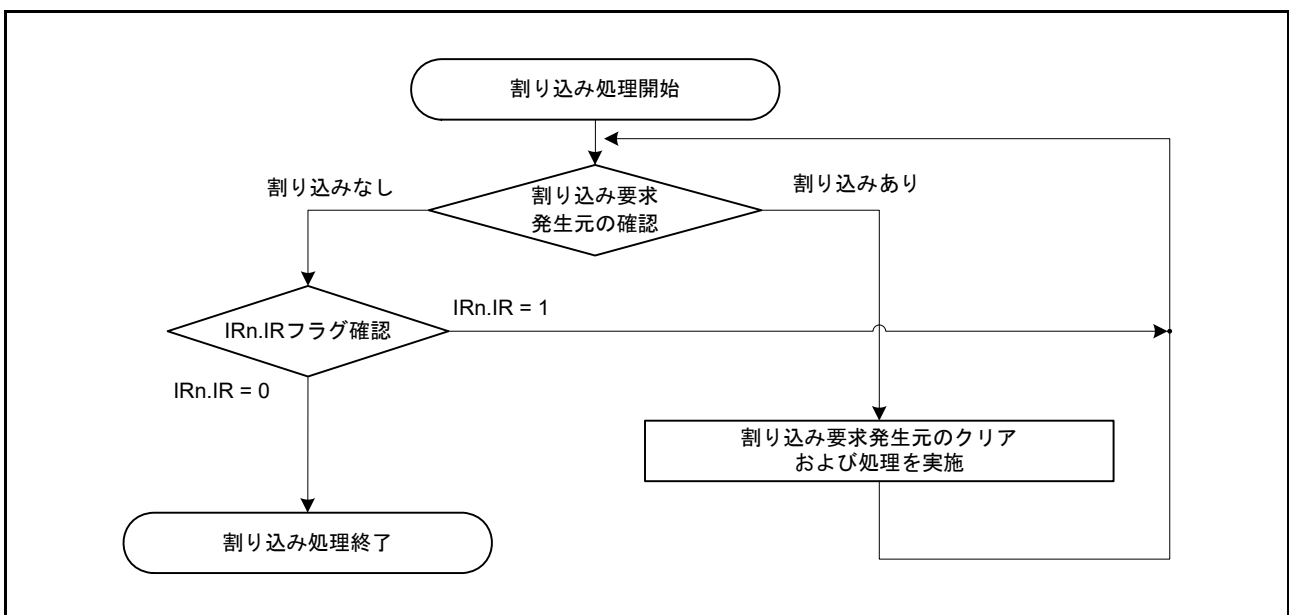


図 14.7 レベル検出割り込み処理手順

14.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) によって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグ (n = 割り込みベクタ番号) が“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注 1. SCI、RSCI、RIIC、RSPI の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「31. シリアルコミュニケーションインタフェース (SCIk, SCIlh)」、「33. I²C バスインタフェース (RIICa)」、「35. シリアルペリフェラルインタフェース (RSPIc)」の各割り込みの説明を参照してください。

14.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 14.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 14.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQ_i 端子 (i = 0 ~ 7) で DTC/DMAC を割り込み要求先に設定する場合は、IRQCR_i.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DMAC 起動

要因ごとに、IER_m.IEN_j ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が “0” のときに以下の設定を行ってください。

1. DMAC のチャンネルごとに用意されている DMAC 起動要因選択レジスタ (DMRSR_m) に該当割り込み要因ベクタ番号を指定 (注 1)
2. DMAC 該当チャンネルの起動要因 (DMAC_m.DMTMD.DCTG[1:0]) を “01b” (割り込みモジュール検出) に設定
3. DMAC の該当チャンネルの DMAC 転送要求許可 (DMAC_m.DMCNT.DTE) を “1” に設定する

上記の状態、IER_m.IEN_j ビットを “1” にしてください。

また、DMAC 動作許可ビット (DMAS_T.DMST) を “1” にしてください。要因ごとの設定と DMAC 動作許可ビットの設定はどちらを先に行っても構いません。

DMAC の設定手順は、「17. DMA コントローラ (DMACA)」の「17.3.7 DMAC の起動」を参照してください。

(2) DTC 起動

要因ごとに、IER_m.IEN_j ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が “0” のときに以下の設定を行ってください。

- 当該要因のDTC転送要求許可レジスタのDTC転送要求許可ビット(DTCER_n.DTCE (n = 割り込みベクタ番号)) を “1” に設定する (注 1)

上記の状態、IER_m.IEN_j ビットを “1” にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を “1” にしてください。要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「18. データトランスファコントローラ (DTCb)」の「18.5 DTC の設定手順」を参照してください。

- 注 1. DTC 転送要求許可ビット (DTCER_n.DTCE) と DMAC 起動要因選択レジスタ (DMRSR_m) に同一の要因を設定しないでください。また、複数の DMRSR_m レジスタに同一の要因を設定しないでください。

(3) CPU 割り込み要求

割り込み要求先が DMAC でも DTC でもない要因は、CPU 割り込み対象となります。

上記の DMAC 起動、DTC 起動の設定がされていない状態で、IERm.IENj ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) を“1”にしてください。

DMAC や DTC を割り込み要求先に設定した場合の動作は、表 14.4 に示すとおりになります。

表 14.4 DMAC/DTC 起動時の動作

割り込み要求先	DISEL (注1)	残り転送回数	1要求ごとの動作	IR (注2)	転送後の割り込み要求先
DMAC	1	≠ 0	DMA 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DMAC
		= 0	DMA 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DMACm.DMCNT.DTE ビットがクリアされCPUに切り替え
	0	≠ 0	DMA 転送	DMAC 転送開始時にクリア	DMAC
		= 0	DMA 転送 (注3)	DMAC 転送開始時にクリア (注3)	DMACm.DMCNT.DTE ビットがクリアされCPUに切り替え
DTC (注4)	1	≠ 0	DTC 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCEr.n.DTCE ビットがクリアされCPUに切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後の DTC データ転送開始時にクリア	DTC
		= 0	DTC 転送 → CPU 割り込み (注3)	CPU 割り込み受け付け時にクリア (注3)	DTCEr.n.DTCE ビットがクリアされCPUに切り替え

注1. DMACのDISELはDMACm.DMCSL.DISELビットで、DTCのDISELはDTC.MRB.DISELビットで設定します。

注2. IRn.IRフラグが“1”のとき、再度発生した割り込み要求(DTC/DMA転送要求)は無視されます。

注3. DISEL = 0で、残り転送回数が“0”のときの動作はDTCとDMACで異なります。

注4. チェーン転送の場合は、チェーン最終転送までDTC転送を継続します。チェーン最終転送時のCPU割り込みの有無、IRn.IRフラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送のDISEL、および残り転送回数によって決まります。チェーン転送については、「18. データトランスファコントローラ(DTCb)」の「表 18.4 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合はIERm.IENj ビットが“0”のときに行ってください。

「(1) DMAC 起動」を設定してから転送が完了していない状態 (DMACm.DMCNT.DTE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DMA 起動要因を別要因に変更する場合は、次の手順で変更を行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DMAC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1) DMAC 起動」の設定を行う。

「(2) DTC 起動」を設定してから転送が完了していない状態 (DTCEr.n.DTCE ビット ($n =$ 割り込みベクタ番号) がクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(2) DTC 起動」の設定を行う。

14.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0] (n = 割り込みベクタ番号)) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

(3) 割り込み要求先が DMAC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。DMAC チャンルの優先順位については「17. DMA コントローラ (DMACA)」を参照してください。

14.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1”(割り込み許可) にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15 (高速割り込み、IPR[3:0] を“1111b”に設定した割り込み) の場合は、多重割り込みは発生しません。

14.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビット (n = 割り込みベクタ番号) の設定にかかわらず、15 (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1”(高速割り込みを許可) にしてください。

高速割り込みについては「2. CPU」や「13. 例外処理」も参照してください。

14.4.7 デジタルフィルタ

外部割り込み要求端子 IRQ_i ($i=0 \sim 7$) と NMI 端子割り込みには、デジタルフィルタ機能を持っています。デジタルフィルタは入力信号をフィルタ用サンプリングクロック (PCLK) でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQ_i 端子のデジタルフィルタを使用する場合、 $IRQFLTC0.FCLKSEL_i[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $IRQFLTE0.FLTEN_i$ ビットを“1”(デジタルフィルタ有効) にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、 $NMIFLTC.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

図 14.8 にデジタルフィルタの動作例を示します。

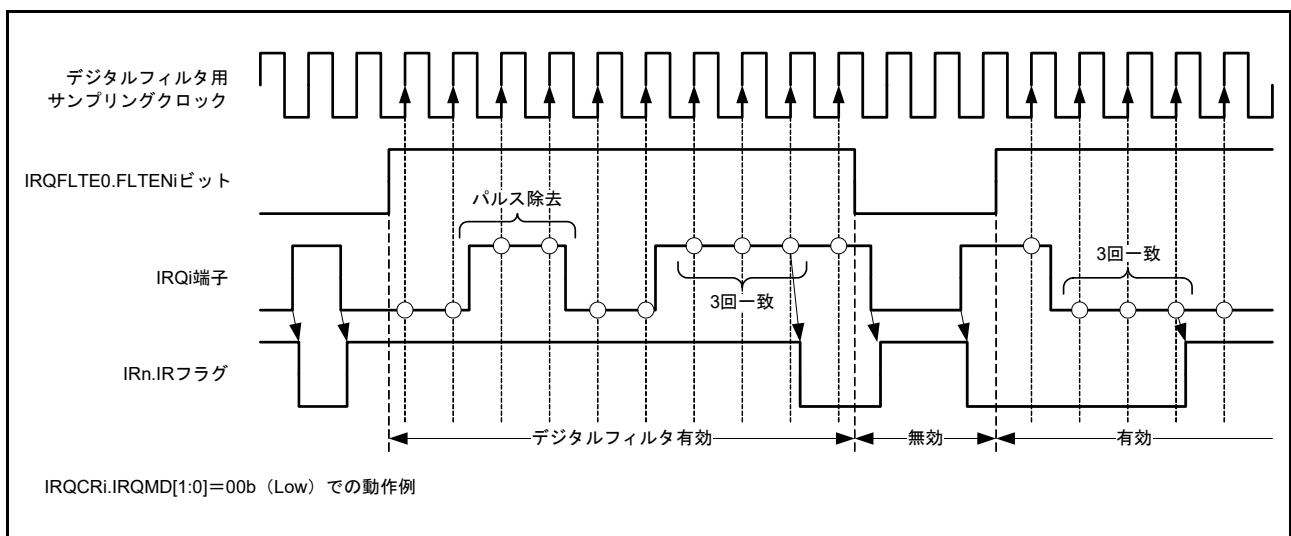


図 14.8 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、 $IRQFLTE0.FLTEN_i$ ビット、および $NMIFLTE.NFLTEN$ ビットを“0”(デジタルフィルタ無効) にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、 $IRQFLTE0.FLTEN_i$ ビット、もしくは $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

14.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) を“0”(割り込み要求禁止)にする。
2. IRQFLTE0.FLTENi ビット ($i = 0 \sim 7$) を“0”(デジタルフィルタ無効)にする。(注1)
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. I/Oポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグ ($n =$ 割り込みベクタ番号) を“0”にする(エッジ検出の場合)。
7. IRQFLTE0.FLTENi ビットを“1”(デジタルフィルタ有効)にする。(注1)
8. DMAC 起動の場合 DMRSRm.DMRS[7:0] ビットを、DTC 起動の場合 DTCERn.DTCE ビットを設定する(どちらも設定しない場合はCPU割り込み)。
9. IERm.IENj ビットを“1”(割り込み要求許可)にする。

注1. デジタルフィルタを使用する場合、設定が必要です。

14.5 ノンマスクابل割り込みの動作説明

ノンマスクابل割り込みにはNMI端子割り込み、発振停止検出割り込み、WDTアンダフロー/リフレッシュエラー、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込み、RAMエラー割り込みがあります。ノンマスクابل割り込みはCPUへの割り込みのみであり、DTCやDMACの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスクابل割り込み要求は、CPUのPSW.Iビット(割り込み許可ビット)、PSW.IPL[3:0]ビット(プロセッサ割り込み優先レベル)の状態にかかわらず受け付けられます。ノンマスクابل割り込みの有無はノンマスクابل割り込みステータスレジスタ(NMISR)で確認できます。

ノンマスクابل割り込みハンドラでは、NMISRレジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

初期状態では「ノンマスクابل割り込み禁止」となっています。ノンマスクابل割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスクابل割り込み使用手順

1. スタックポインタ(SP)を設定する。
2. NMI端子を使用する場合は、NMIFLTC.NFCLTENビットを“0”(デジタルフィルタ無効)にする。(注1)
3. NMI端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0]ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. NMI端子を使用する場合は、NMICR.NMIMDビットでNMI端子の検出センスを設定する。
5. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にする。
6. NMI端子を使用する場合は、NMIFLTC.NFCLTENビットを“1”(デジタルフィルタ有効)にする。(注1)
7. ノンマスクابل割り込み許可レジスタ(NMIER)の許可する割り込みに対応するビットを“1”にして、ノンマスクابل割り込みの使用を許可する。

注1. デジタルフィルタを使用する場合、設定が必要です。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスクابل割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスクابل割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMIステータスフラグ(NMISR.NMIST)は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ(NMISR.OSTST)は、NMICLR.OSTCLRビットに“1”を書くことで“0”になります。

WDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.WDTST)は、NMICLR.WDTCLRビットに“1”を書くことで“0”になります。

IWDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.IWDTST)は、NMICLR.IWDTCLRビットに“1”を書くことで“0”になります。

電圧監視1割り込みステータスフラグ(NMISR.LVD1ST)は、NMICLR.LVD1CLRビットに“1”を書くことで“0”になります。

電圧監視2割り込みステータスフラグ(NMISR.LVD2ST)は、NMICLR.LVD2CLRビットに“1”を書くことで“0”になります。

RAMエラー割り込みステータスフラグ(NMISR.RAMST)は、RAM.RAMSTS.RAMERRフラグに“0”を書くことで“0”になります。

14.6 低消費電力状態からの復帰

スリープモード、ディープスリープモード、ソフトウェアスタンバイモード、スヌーズモードからの復帰に割り込みが使用できます。

詳細は「11. 消費電力低減機能」を参照してください。低消費電力モードごとの復帰要因の設定方法を以下に示します。

14.6.1 スリープモードおよびディープスリープモードからの復帰

すべてのノンマスクابل割り込み、およびすべての割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスクابل割り込み

- NMIER レジスタによって該当する割り込み要求が許可されていること

(2) 割り込み

- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

14.6.2 ソフトウェアスタンバイモードからの復帰

ノンマスクابل割り込み、および「表 14.3 割り込みのベクタテーブル」の「SSBY 復帰」列に「○」のある割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスクابل割り込み

- NMIER レジスタによって該当する割り込み要求が許可されていること
- NMI 端子割り込みを使用する場合は、デジタルフィルタが無効になっていること

(2) 割り込み

- ソフトウェアスタンバイモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みを使用する場合には、FIR レジスタだけでなく、対応する IPRn.IPR[3:0] ビット (n = 割り込みベクタ番号) も CPU の PSW.IPL[3:0] ビットより高い割り込み優先レベルを設定してください)
- 外部端子割り込みを使用する場合は、使用する IRQi 端子のデジタルフィルタが無効になっていること

デジタルフィルタの設定方法については、「14.4.7 デジタルフィルタ」を参照してください。

14.6.3 スヌーズモードからの復帰

ノンマスクابل割り込み、外部端子割り込み (IRQ0 ~ IRQ7)、周辺機能割り込み (電圧監視 1、電圧監視 2、RTC アラーム/周期、REMC、USB0 レジューム)、SNZI 割り込み (スヌーズ解除割り込み) によって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスクابل割り込み

- NMIER レジスタによって該当する割り込み要求が許可されていること
- NMI 端子割り込みを使用する場合は、デジタルフィルタが無効になっていること

(2) 割り込み

- スヌーズモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) によって該当する割り込み要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みを使用する場合には、FIR レジスタだけでなく、対応する IPRn.IPR[3:0] ビット (n = 割り込みベクタ番号) も CPU の PSW.IPL[3:0] ビットより高い割り込み優先レベルを設定してください)
- 外部端子割り込みを使用する場合は、使用する IRQi 端子のデジタルフィルタが無効になっていること

デジタルフィルタの設定方法については、「14.4.7 デジタルフィルタ」を参照してください。

14.7 使用上の注意事項

14.7.1 ノンマスクابل割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU (命令)を接続 • 内蔵メモリを接続(RAM, ROM) • システムクロック (ICLK)に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU (オペランド)を接続 • 内蔵メモリを接続(RAM, ROM) • システムクロック (ICLK)に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • ROMを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック (ICLK)に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DTC、DMACを接続 • 内蔵メモリを接続(RAM, ROM) • システムクロック (ICLK)に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能(DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック (ICLK)に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能(内部周辺バス1、3、4、5以外の周辺機能)を接続 • 周辺モジュールクロック (PCLKB)に同期して動作
	内部周辺バス3	<ul style="list-style-type: none"> • 周辺機能(USB0, CANFD, CTSU, REMC, RSCI)を接続 • 周辺モジュールクロック (PCLKB)に同期して動作
	内部周辺バス4	<ul style="list-style-type: none"> • 周辺機能(GPTW)を接続 • 周辺モジュールクロック (PCLKA)に同期して動作
	内部周辺バス5	<ul style="list-style-type: none"> • 周辺機能(CANFD (メッセージバッファ RAM))を接続 • 周辺モジュールクロック (PCLKA)に同期して動作
	内部周辺バス6	<ul style="list-style-type: none"> • ROM (P/E時)、E2データフラッシュを接続 • FlashIFクロック (FCLK)に同期して動作

P/E : プログラム / イレース

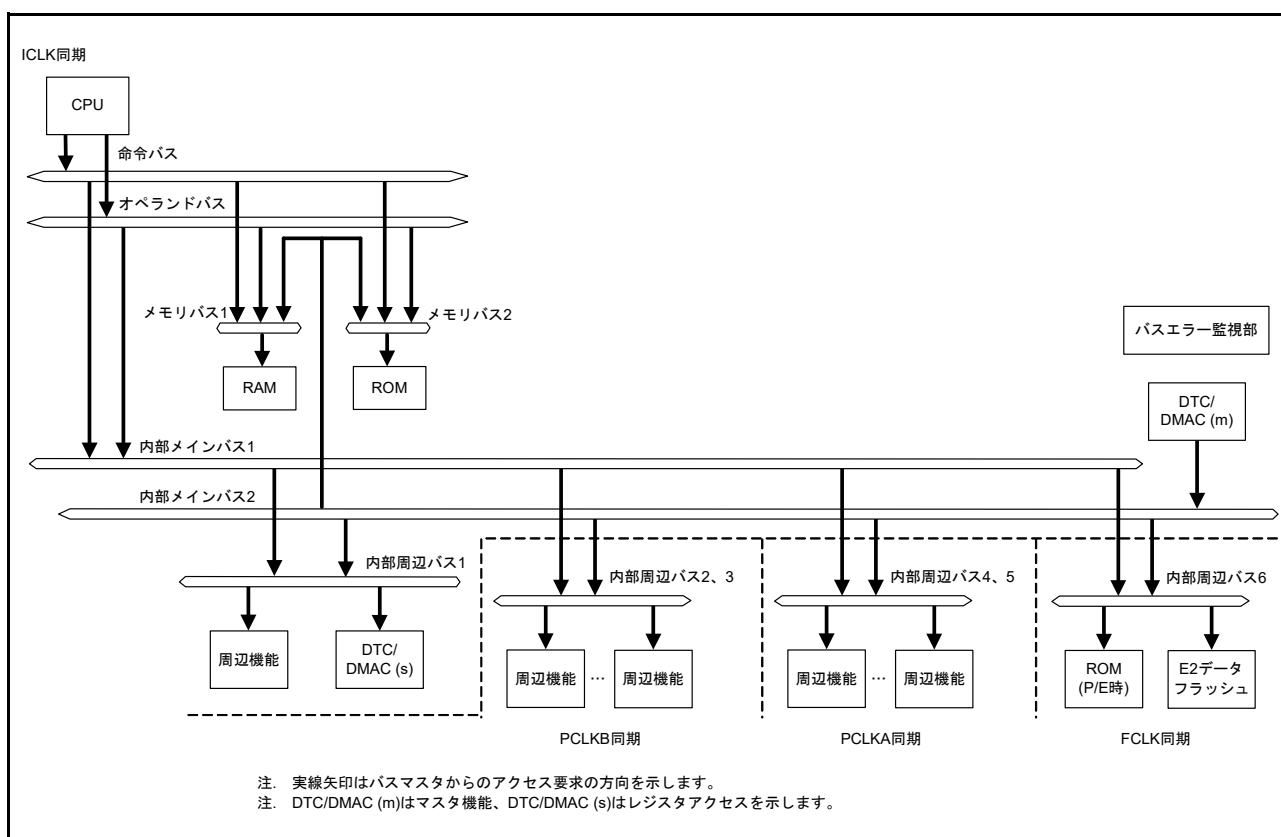


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス	内容
0000 0000h ~ 0000 FFFFh	メモリバス 1	RAM
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	
000A 0000h ~ 000B FFFFh	内部周辺バス 3	
000C 0000h ~ 000D FFFFh	内部周辺バス 4	
000E 0000h ~ 000F FFFFh	内部周辺バス 5	
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	E2 データフラッシュ、ROM (プログラム/イレーズ用)
8000 0000h ~ FFFF FFFFh	メモリバス 2	ROM (読み出し専用)
FF00 0000h ~ FFFF FFFFh		

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、32 ビットです。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、書き込み/消去は内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス (メモリバス 1、メモリバス 2、内部メインバス 1) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM などの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバスは 64 ビットです。メモリバス 1 とメモリバス 2 は、CPU バス (命令フェッチとオペランド)、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (ROM) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、2 本のバスの優先順位は、内部メインバス 2 > CPU バス (オペランド > 命令フェッチ) の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス (内部メインバス 1) と、CPU 以外のバスマスタ (DTC, DMAC) が使用するバス (内部メインバス 2) の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC、DMAC のバス権要求を調停します。優先順位は、表 15.3 に示すように、DMAC > DTC の順となります。

DTC と DMAC については、起動要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMAC の起動要求の優先順位は、BUSPRI レジスタの設定に関わらず、DMAC0 > DMAC1 > DMAC2 > DMAC3 > DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス (内蔵メモリ、内部周辺バス 1 ~ 内部周辺バス 6) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ優先順位

優先度	内部メインバス	バスマスタ
高 ↑ 低	2	DMAC
		DTC
	1	CPU

注. 上記はバス優先権が固定の場合です。
バスプライオリティ制御レジスタ (BUSPRI)により、内部メインバス1とそれ以外(内部メインバス2)のバス優先権をトグルすることができます(ラウンドロビン方式)。

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	DTC、DMAC、割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1、3、4、5以外の周辺機能
内部周辺バス3	USB0, CANFD, CTSU, REMC, RSCI
内部周辺バス4	GPTW
内部周辺バス5	CANFD (メッセージバッファ RAM)
内部周辺バス6	ROM (P/E時) / E2データフラッシュ

内部周辺バス1～6は、それぞれ、CPU (内部メインバス1)とCPU以外のバスマスタ (内部メインバス2)からのバス権要求を調停します。

2本の内部メインバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI)により設定可能です。優先順位は、内部周辺バス1プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス2、3プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス4、5プライオリティ制御ビット (BUSPRI.BPHB[1:0])、内部周辺バス6プライオリティ制御ビット (BUSPRI.BPFB[1:0])によりバスごとに設定できます。優先順位固定の場合は、内部メインバス2>内部メインバス1の順となります。優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります(ラウンドロビン方式)。

BUSPRIレジスタの設定の違いにより、受け付けられる要求の順番が変わることがありますので注意してください。図 15.2 に示すとおり、受け付けられたバス要求の優先順位が低い場合は、その優先順位は変わりません。

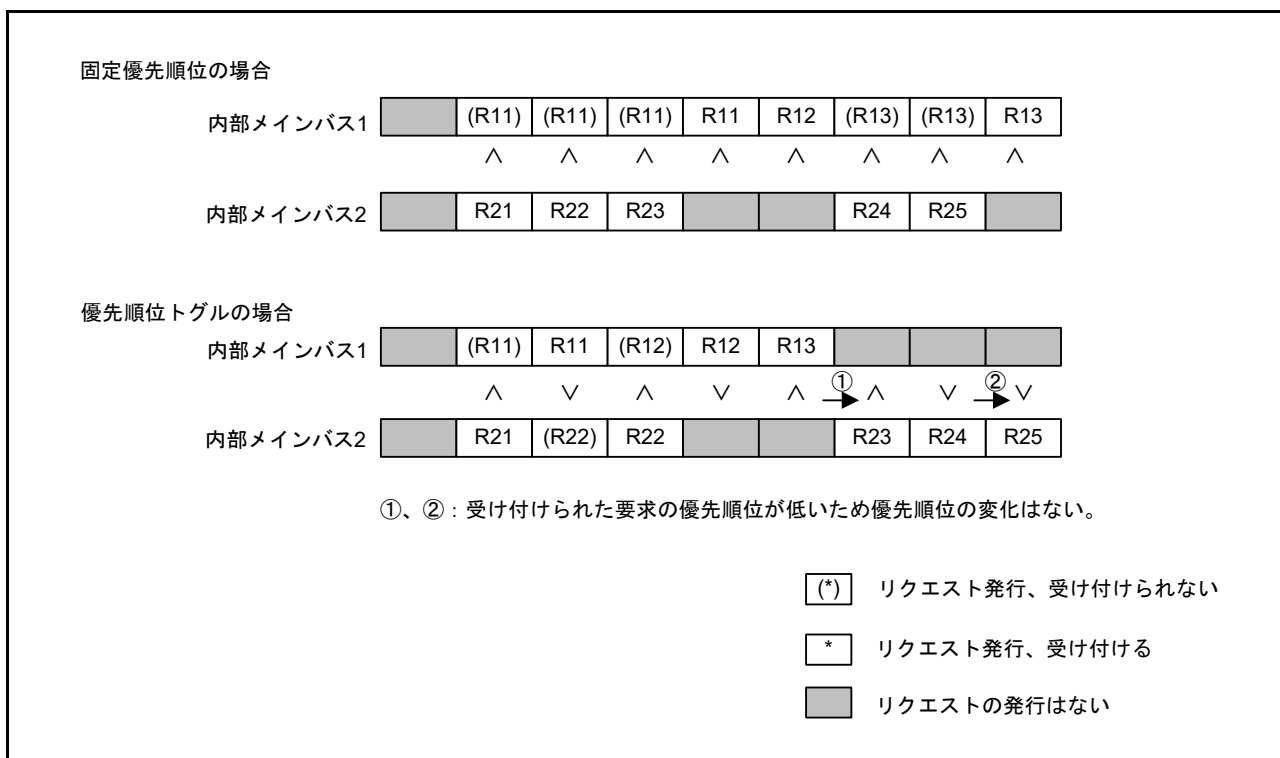


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能 (内部周辺バス)

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。

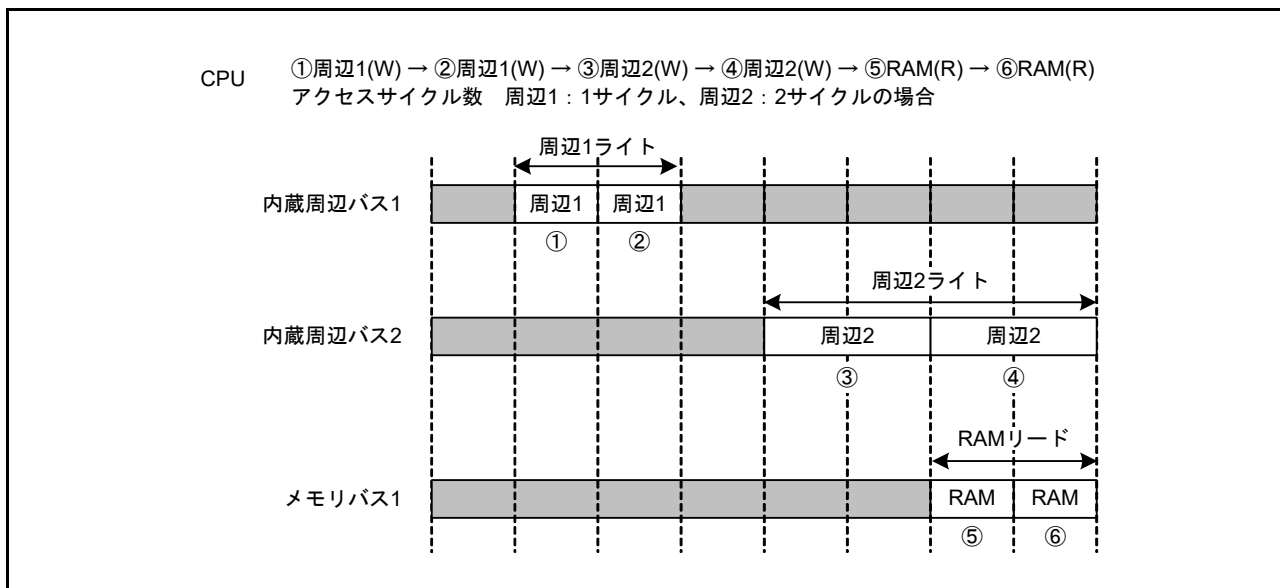


図 15.3 ライトバッファ機能

15.2.6 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUの命令フェッチがROMを、オペランドがRAMをアクセス中に、DMACは周辺-周辺バス間の転送を行うことができます。図15.4に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれROMとRAMを同時にアクセスすることが可能です。また、CPUがROMとRAMをアクセス中に、DMACは内部メインバス2を使って、周辺バスを同時にアクセスすることができます。

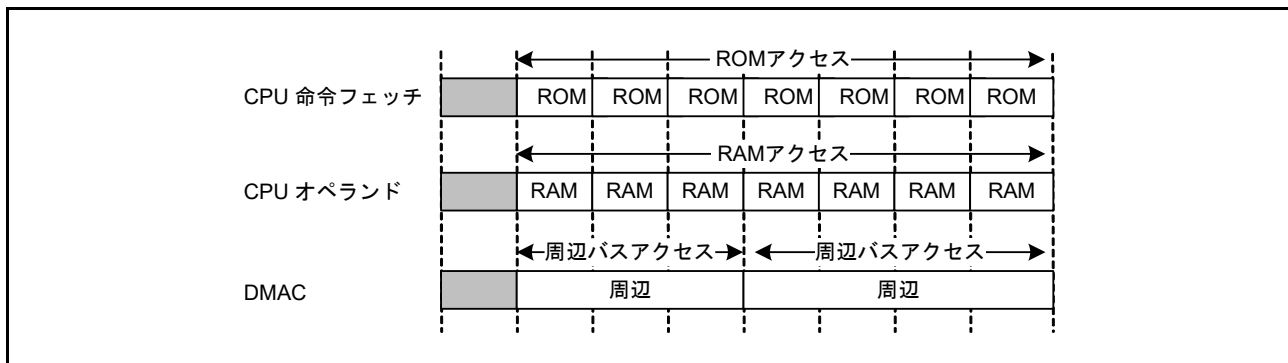


図 15.4 並列動作の例

15.2.7 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) RMPA 命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

15.3 レジスタの説明

15.3.1 バスエラーステータスクリアレジスタ (BERCLR)

アドレス BSC.BERCLR 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

15.3.2 バスエラー監視許可レジスタ (BEREN)

アドレス BSC.BEREN 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

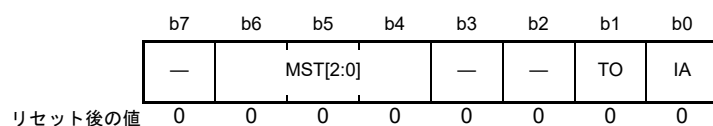
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOEN ビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中に TOEN ビットを“0” (検出禁止) にしないようにしてください。

15.3.3 バスエラーステータスレジスタ 1 (BERSR1)

アドレス BSC.BERSR1 0008 1308h



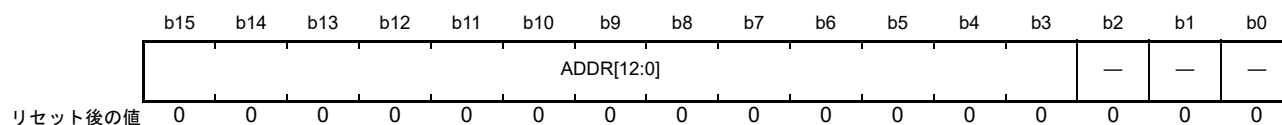
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.4 バスエラーステータスレジスタ 2 (BERSR2)

アドレス BSC.BERSR2 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット(512Kバイト単位)	R

15.3.5 バスプライオリティ制御レジスタ (BUSPRI)

アドレス BSC.BUSPRI 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BPFB[1:0]	BPHB[1:0]	BPGB[1:0]	BPIB[1:0]	BPRO[1:0]	BPRA[1:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (ROM) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1 プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2、3 プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b9-b8	BPHB[1:0]	内部周辺バス4、5 プライオリティ制御ビット	b9 b8 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b11-b10	BPFB[1:0]	内部周辺バス6 プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTC、DMACが停止した状態で、1回のみ書き込みできます。2回以上書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス1 (RAM) プライオリティ制御ビット)

メモリバス1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、内部メインバス2 と CPUバス (命令バス、オペランドバス) とでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス2 (ROM) プライオリティ制御ビット)

メモリバス2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > CPUバス (命令バス、オペランドバス) となります。

優先順位トグルの場合は、内部メインバス2 と CPUバス (命令バス、オペランドバス) とでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGb[1:0] ビット (内部周辺バス 2、3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4、5 プライオリティ制御ビット)

内部周辺バス 4 と内部周辺バス 5 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.4.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768 サイクル以内に終了しない場合に検出します。

15.4.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、不正アドレス領域にアクセスしたときに発生します。

不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 15.5 に示します。

15.4.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが768 サイクル以内に終了しない場合に発生します。

- 内部周辺バス (2, 3): バスアクセス開始後、周辺モジュールクロック (PCLKB) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (4, 5): バスアクセス開始後、周辺モジュールクロック (PCLKA) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKA で256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6): バスアクセス開始後、FlashIF クロック (FCLK) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。

15.4.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知:
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.4.3 バスエラーの発生条件

表 15.5 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態 (バスエラーステータスレジスタ n (BERSRn) ($n = 1, 2$) がクリアされている場合) で、不正アドレスアクセスエラーが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.5 発生するバスエラーの種類

アドレス	内容	種類	
		不正アドレスアクセス	タイムアウト
0000 0000h~0007 FFFFh	メモリバス1	—	—
0008 0000h~0008 7FFFh	内部周辺バス1	—	—
0008 8000h~0009 FFFFh	内部周辺バス2	△	—
000A 0000h~000B FFFFh	内部周辺バス3	△	—
000C 0000h~000D FFFFh	内部周辺バス4	△	○
000E 0000h~000F FFFFh	内部周辺バス5	△	—
0010 0000h~00FF FFFFh	内部周辺バス6	△	—
0100 0000h~07FF FFFFh	予約領域	○	—
0800 0000h~0FFF FFFFh	予約領域	○	—
1000 0000h~7FFF FFFFh	予約領域	○	—
8000 0000h~FFFF FFFFh	メモリバス2	—	—

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

注. 実装されるROMの容量は製品により異なります。製品ごとの仕様については、「46. フラッシュメモリ (FLASH)」を参照してください。

15.5 割り込み

15.5.1 割り込み要因

バスは、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると割り込みコントローラにバスエラーが発生します。

表 15.6 割り込み要因

名称	割り込み要因	DTC起動	DMAC起動
BUSERR	不正アドレスアクセスエラーまたはタイムアウト	不可	不可

16. メモリプロテクションユニット (MPU)

16.1 概要

RXv3 CPUにはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパーバイザモードのときは、メモリ保護を行いません。

表 16.1 にメモリプロテクションユニットの仕様を、図 16.1 にブロック図を示します。

表 16.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h ~ FFFF FFFFh (ユーザモード時) スーパーバイザモード時はメモリ保護なし
領域数	8
ページサイズ(最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n = 0 ~ 7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域(全アドレス空間)に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

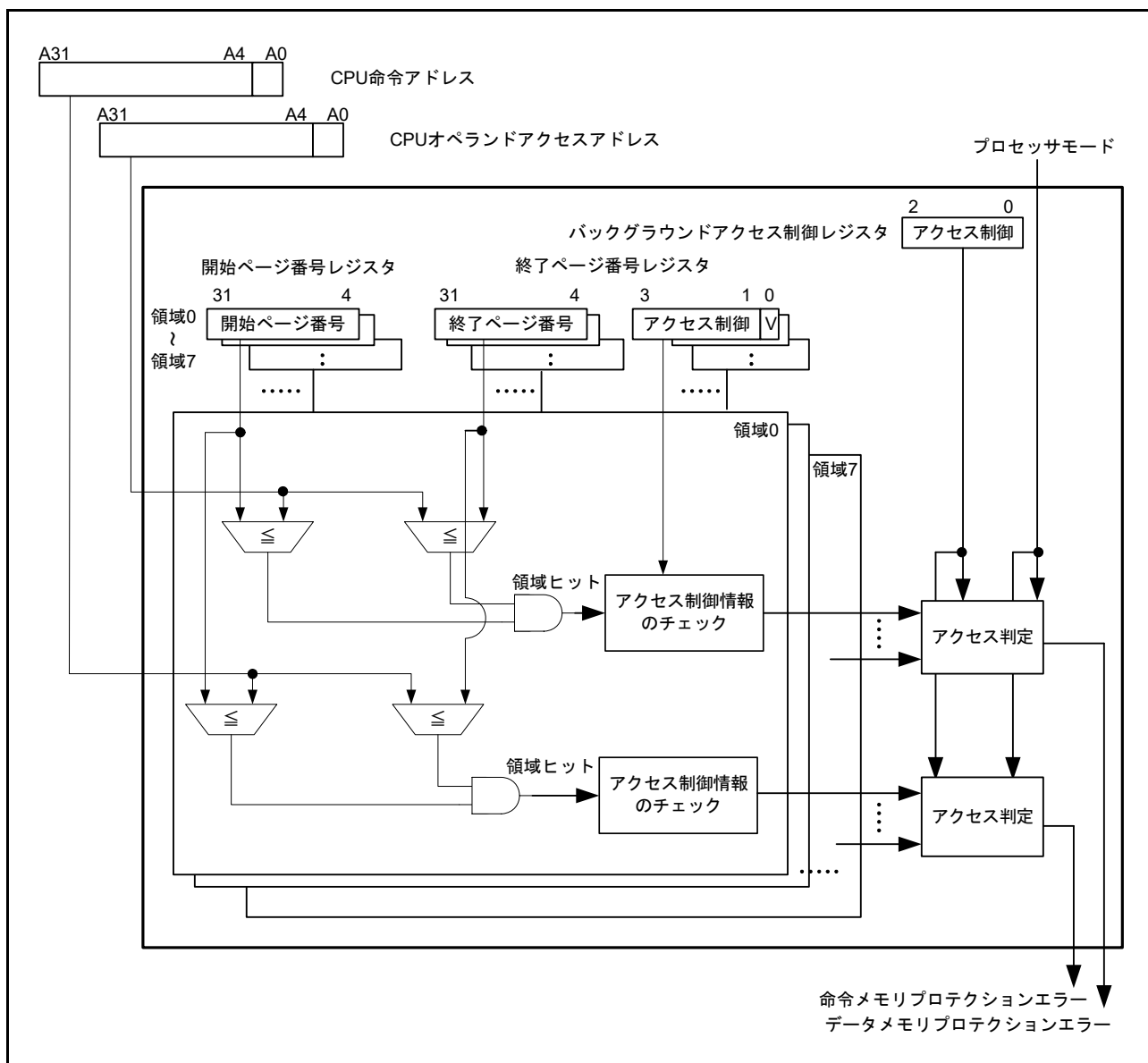


図 16.1 メモリプロテクションユニットブロック図

16.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の3種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

16.1.2 アクセス制御領域

アクセス制御領域は8つまで定義することができます。各アクセス制御領域の範囲は、領域n開始ページ番号レジスタ (RSPAGEn) および領域n終了ページ番号レジスタ (REPAGEn) で行います (n=0~7)。

ページは、アクセス制御の最小単位であり、アドレス空間を16バイトごとに区切ったものです。アドレス [31:0] の上位28ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

16.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

16.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

16.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

16.2 レジスタの説明

16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)

アドレス RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h,
RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h



x: 不定

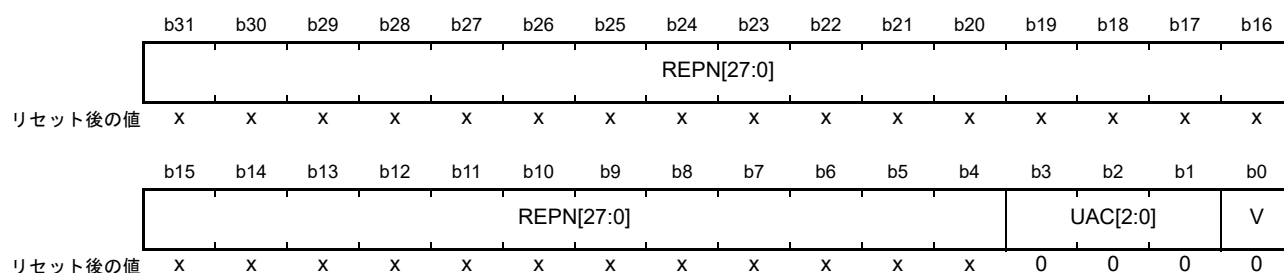
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください。	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch,
REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPN[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPN[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

16.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1:メモリプロテクション機能有効 0:メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE, RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

16.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]		—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

16.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DMPER, IMPERビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード/ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を“0”にします。

16.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPE R	IMPE R
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IMPER ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DMPER ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード/ライト属性を示します。DRW ビットは、DMPER ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

16.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x : 不定

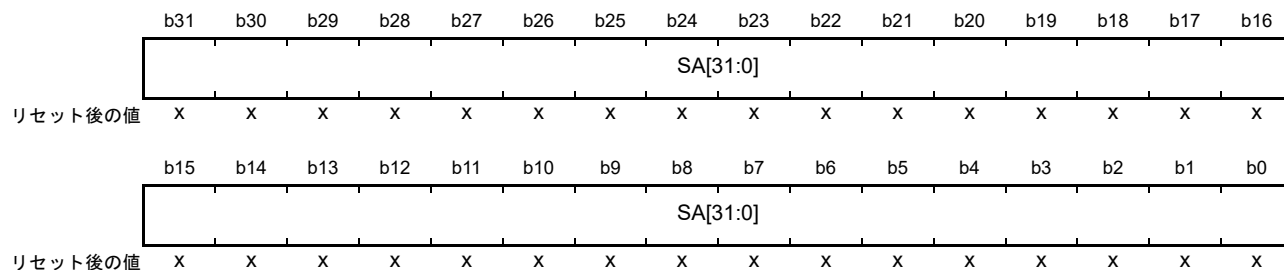
ビット	シンボル	ビット名	機能	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

16.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチアドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

16.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

S ビット (領域サーチオペレーションビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

16.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート(無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEN) の有効ビット (V) を“0”にします。REPAGEN.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

16.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	HITI[7:0]							—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	UHACI[2:0]			—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット(MPESTS.IMPER) = 1のとき、[b23:b16] = 0000 0000b: バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0: 領域7で命令メモリプロテクションエラーなし 1: 領域7で命令メモリプロテクションエラーあり b22 0: 領域6で命令メモリプロテクションエラーなし 1: 領域6で命令メモリプロテクションエラーあり b21 0: 領域5で命令メモリプロテクションエラーなし 1: 領域5で命令メモリプロテクションエラーあり b20 0: 領域4で命令メモリプロテクションエラーなし 1: 領域4で命令メモリプロテクションエラーあり b19 0: 領域3で命令メモリプロテクションエラーなし 1: 領域3で命令メモリプロテクションエラーあり b18 0: 領域2で命令メモリプロテクションエラーなし 1: 領域2で命令メモリプロテクションエラーあり b17 0: 領域1で命令メモリプロテクションエラーなし 1: 領域1で命令メモリプロテクションエラーあり b16 0: 領域0で命令メモリプロテクションエラーなし 1: 領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

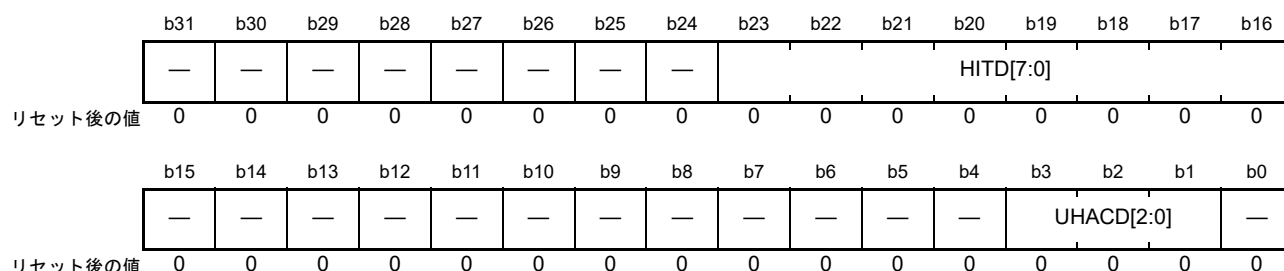
オーバーラップした領域でエラーが発生した場合、該当する領域(バックグラウンド領域も含む)のユーザーモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは“0000 0000b”にセットされます。

16.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITD[7:0]	データヒット領域 ビット	データメモリプロテクションエラー発生ビット(MPESTS.DMPER) = 1のとき、 [b23:b16] = 0000 0000b : バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0: 領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0: 領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0: 領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0: 領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0: 領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0: 領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0: 領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0: 領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACD[2:0] ビット (ユーザモード時 データヒット領域 アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域 ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

16.3 機能

16.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反(メモリプロテクションエラー)を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ(MPEN)のメモリプロテクション機能有効化ビット(MPEN)を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

16.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報(実行許可、読み出し許可、書き込み許可)がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ(MPOPS)の領域サーチオペレーションビット(S)を“1”にすることにより、領域サーチアドレスレジスタ(MPSA)で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ(MHITD)は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

16.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段(命令フェッチ、DMA)ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパーバイザモードでのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

16.3.4 メモリプロテクション機能のアクセス判定フロー

図 16.2 にデータアクセス判定フローを、図 16.3 に命令アクセス判定フローを示します。

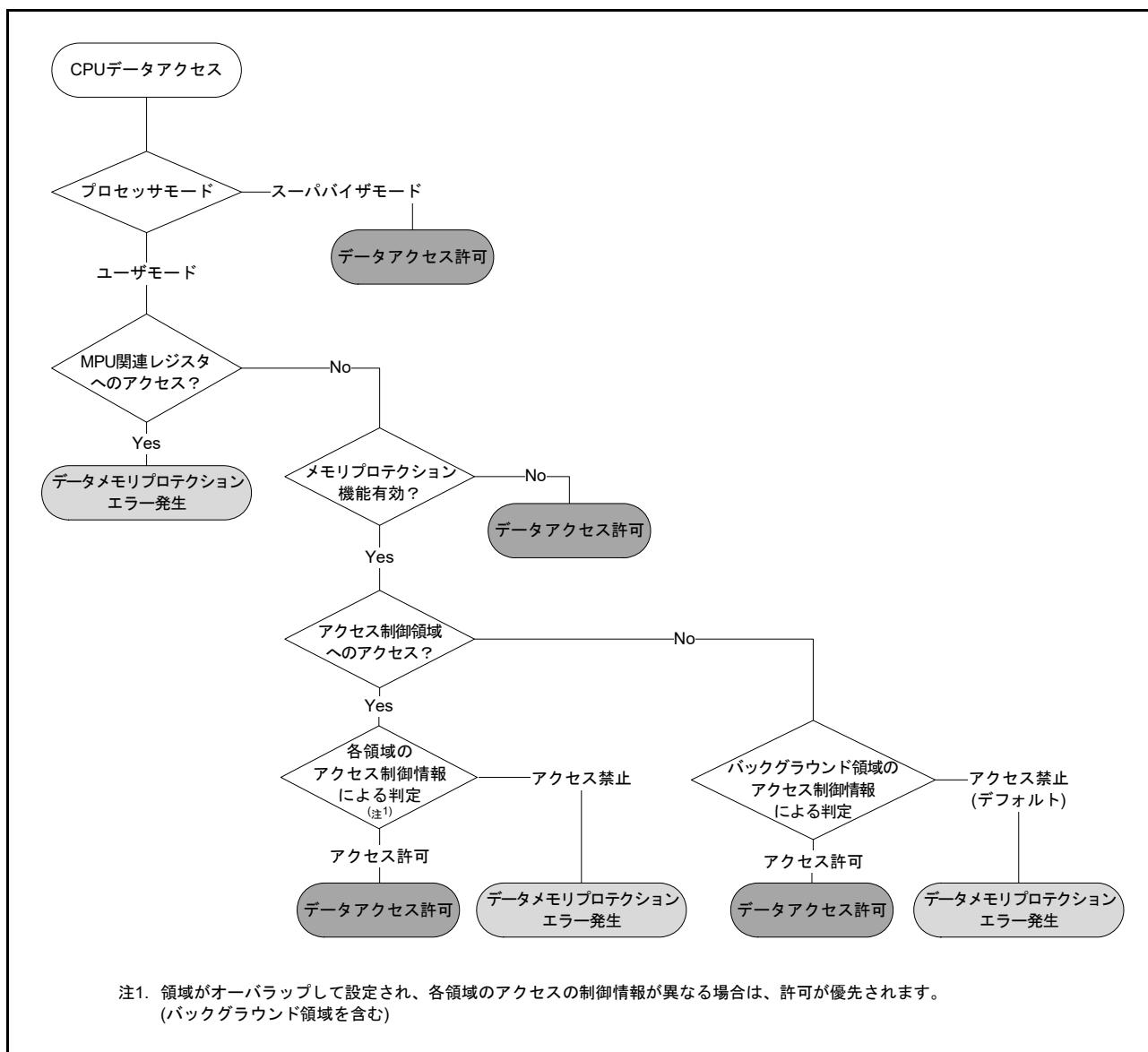


図 16.2 データアクセス判定フロー

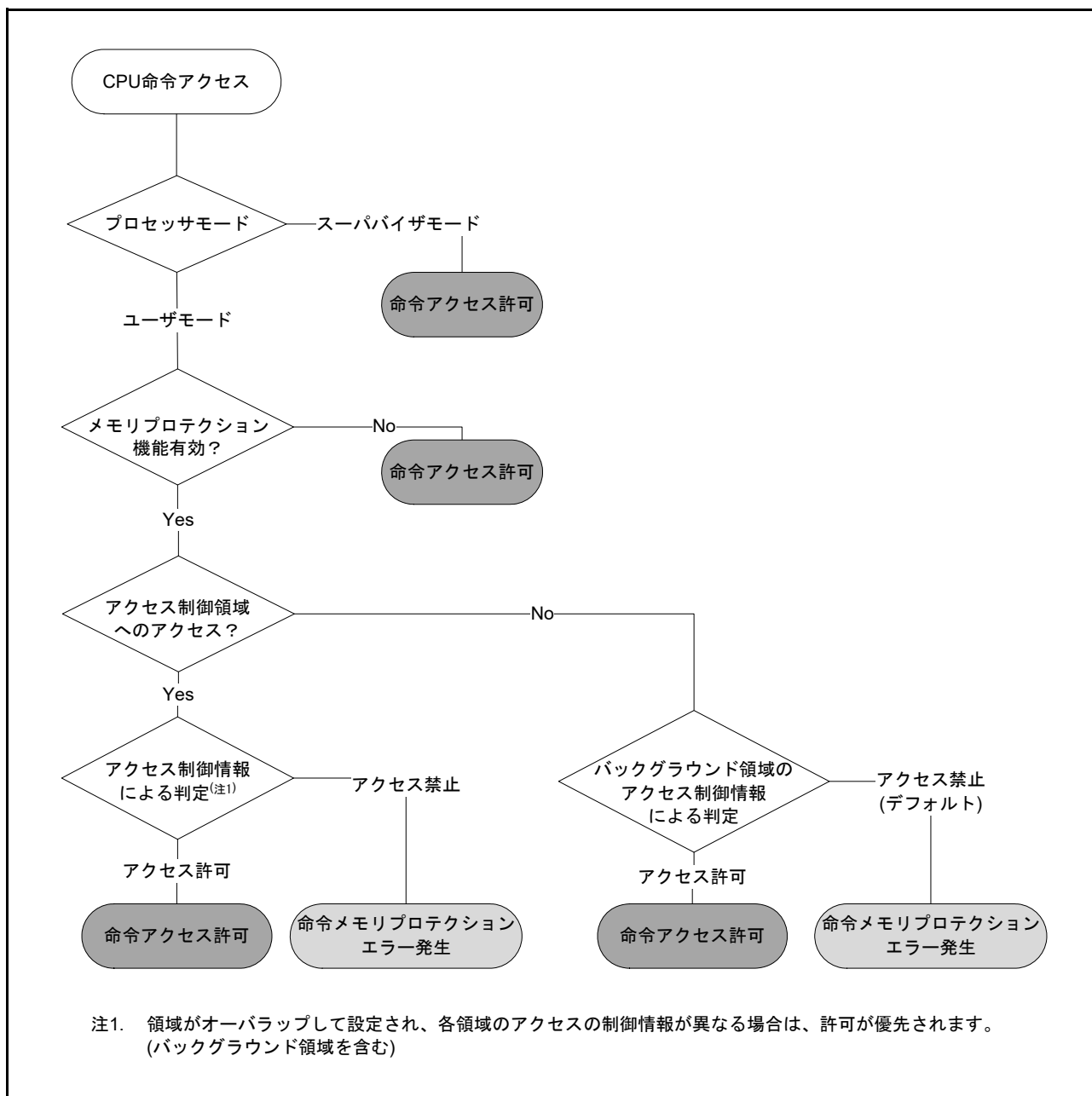


図 16.3 命令アクセス判定フロー

16.4 メモリプロテクション機能使用手順

16.4.1 アクセス制御情報の設定

スーパーバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います ($n=0 \sim 7$)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行いません。

16.4.2 メモリプロテクション機能の有効化

スーパーバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

16.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、いずれかのメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。スーパーバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1” (ユーザモードに設定) にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを“1”にした後、RTFI 命令を実行

注． MVTC, POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

16.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「13. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ(MPDEA)に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ(MHITD)に格納されます。

- 有効な領域0～7にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット(MHITD.HITD[7:0])が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット(MHITD.UHACD[2:0])にセットされます。

- 有効な領域0～7の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット(MHITD.HITD[7:0])は、“0000 0000b”になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット(MHITD.UHACD[2:0])にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ(MHITI)に格納されます。

- 有効な領域0～7にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット(MHITI.HITI[7:0])が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット(MHITI.UHACI[2:0])にセットされます。

- 有効な領域0～7の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット(MHITI.HITI[7:0])は、“0000 0000b”になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット(MHITI.UHACI[2:0])にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

17. DMAコントローラ (DMACA)

本MCUは、4チャンネルのDMAC (Direct Memory Access Controller) を内蔵しています。

DMACは、CPUを介さずにデータ転送を行います。DMACは転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

17.1 概要

表 17.1 に DMAC の仕様を、図 17.1 に DMAC のブロック図を示します。

表 17.1 DMACの仕様

項目		内容
チャンネル数		4チャンネル(DMACm (m = 0~3))
転送空間		512Mバイト (00000000h~0FFFFFFFhとF0000000h~FFFFFFFhのうち予約領域を除く領域)
最大転送データ数		1Mデータ(ブロック転送モード最大総転送数: 1024データ×1024ブロック)
DMA起動要因		<ul style="list-style-type: none"> チャンネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力(注1)
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 (チャンネル0が最優先)
転送データ	1データ	ビット長: 8ビット、16ビット、32ビット
	ブロックサイズ	データ数: 1~1024データ
転送モード	ノーマル転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 総データ転送数を指定しない設定(フリーランニングモード)が可能
	リピート転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1データを転送 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 リピートサイズは最大1024回設定可能
	ブロック転送モード	<ul style="list-style-type: none"> 1回のDMA転送要求で1ブロックのデータを転送 ブロックサイズは最大1024データ設定可能
選択機能	拡張リピートエリア機能	<ul style="list-style-type: none"> 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能
イベントリンク機能		1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生

注1. DMACの起動要因は、「14. 割り込みコントローラ(ICUb)」の「表 14.3 割り込みのベクタテーブル」を参照してください。

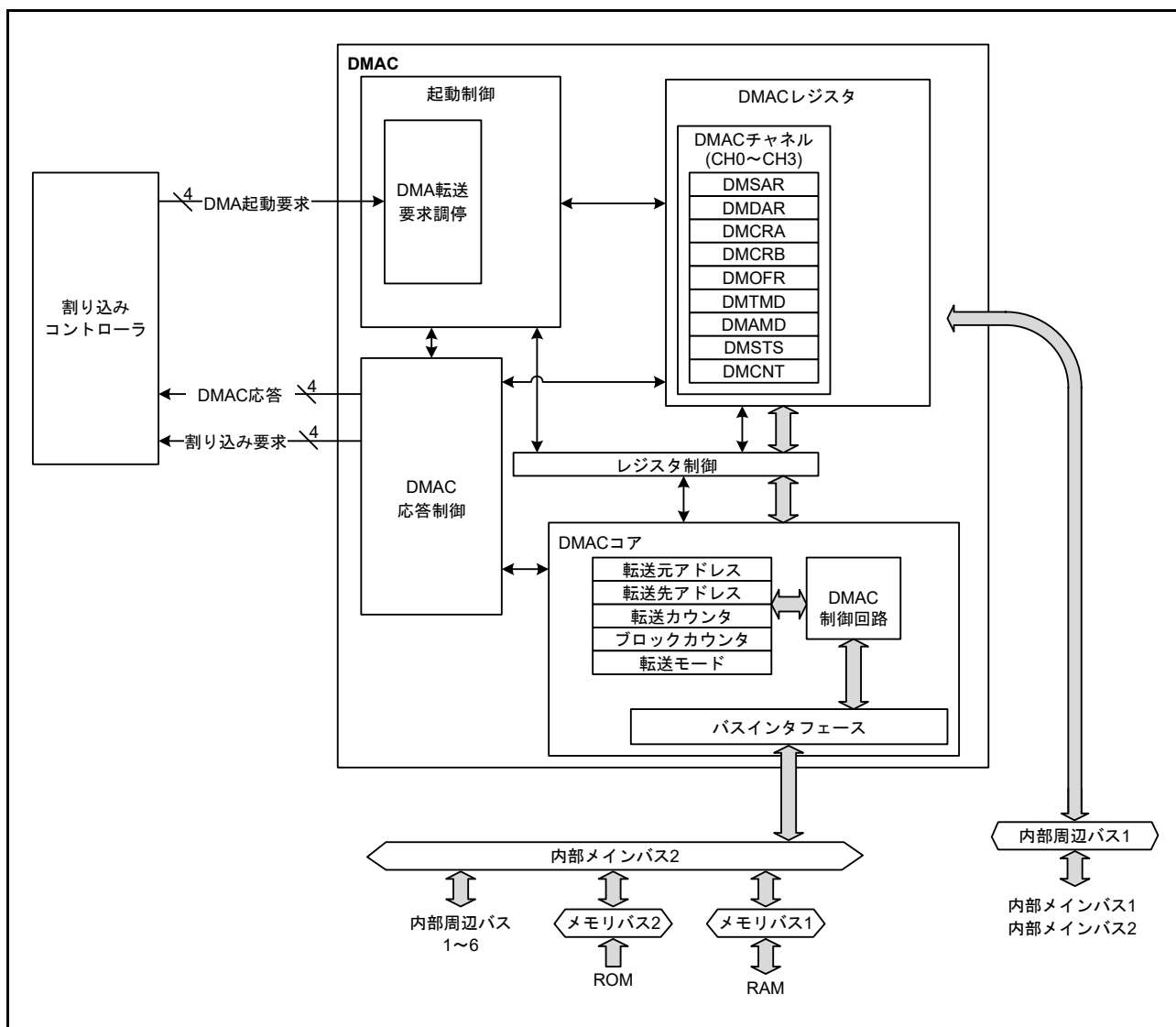
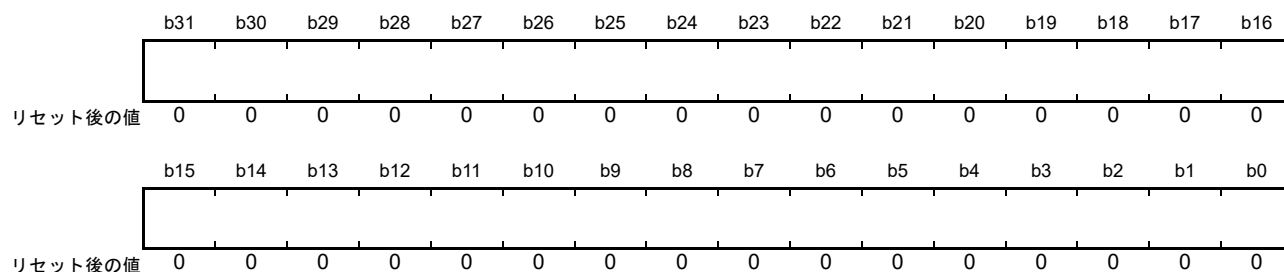


図 17.1 DMAC のブロック図

17.2 レジスタの説明

17.2.1 DMA 転送元アドレスレジスタ (DMSAR)

アドレス DMAC0.DMSAR 0008 2000h, DMAC1.DMSAR 0008 2040h,
DMAC2.DMSAR 0008 2080h, DMAC3.DMSAR 0008 20C0h



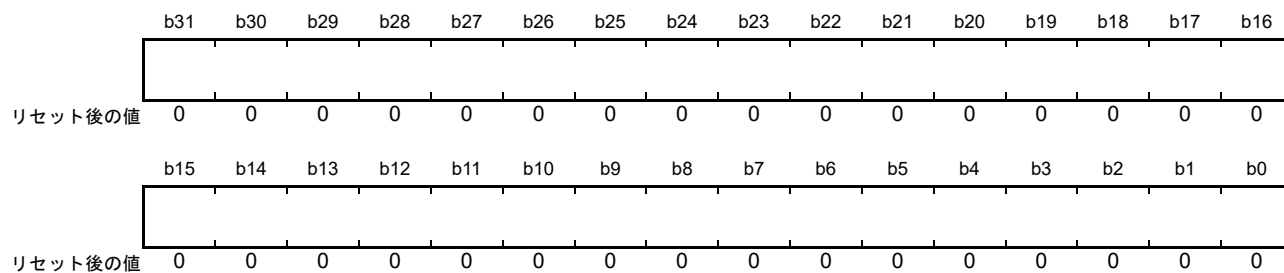
ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

DMSAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.2 DMA 転送先アドレスレジスタ (DMDAR)

アドレス DMAC0.DMDAR 0008 2004h, DMAC1.DMDAR 0008 2044h,
DMAC2.DMDAR 0008 2084h, DMAC3.DMDAR 0008 20C4h



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~0FFFFFFFh (256Mバイト) F0000000h~FFFFFFFh (256Mバイト)	R/W

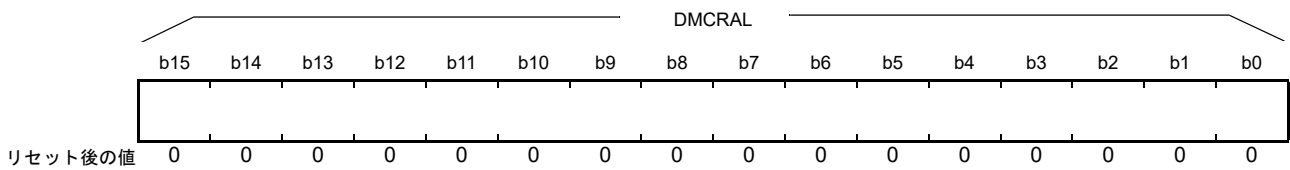
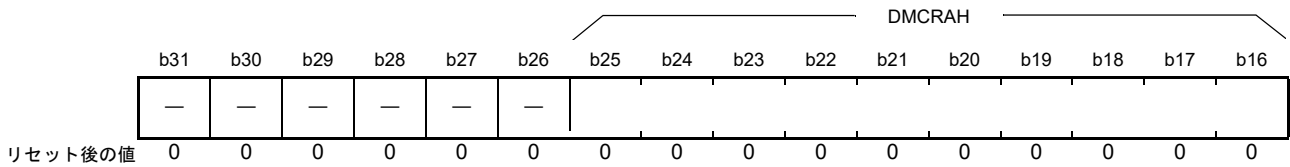
DMDAR レジスタを設定する場合は、DMAC 起動禁止 (DMAST.DMST ビット = 0)、または DMA 転送禁止 (DMCNT.DTE ビット = 0) のときに書いてください。

ビット 31 ~ 29 への設定値は無効です。ビット 31 ~ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

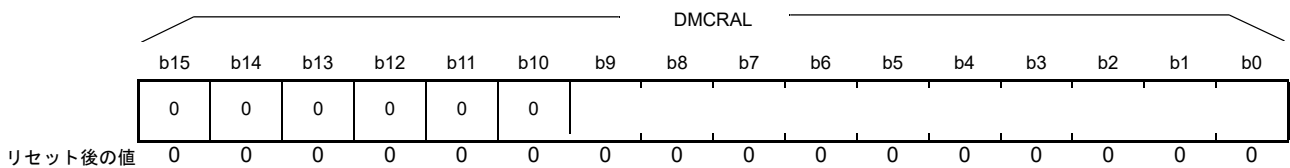
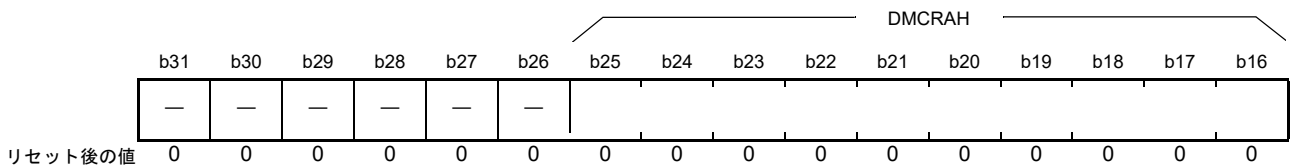
17.2.3 DMA 転送カウントレジスタ (DMCRA)

アドレス DMAC0.DMCRA 0008 2008h, DMAC1.DMCRA 0008 2048h,
DMAC2.DMCRA 0008 2088h, DMAC3.DMCRA 0008 20C8h

・ノーマル転送モード



・リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定します	R/W
DMCRAH	転送カウント上位ビット		R/W

注. リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRALレジスタには同じ値を設定してください。

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] ビット = 00b) のとき

DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント (-1) します。

設定値が“0000h”のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います (フリーランニングモード)。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは“0000h”を書いてください。

(2) リピート転送モード(DMACm.DMTMD.MD[1:0]ビット = 01b)のとき

DMCRAHレジスタはリピートサイズを保持し、DMCRALレジスタは10ビットの転送カウンタとして機能します。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。リピート転送モード時のDMCRAH、DMCRALレジスタの設定範囲はいずれも000h～3FFh(1回～1024回)です。

DMCRALレジスタのビット15～10の設定値は無効です。DMCRALレジスタのビット15～10へは“0”を書いてください。

DMCRALレジスタは1回のデータ転送を行う度にデクリメント(-1)され、“000h”になるとDMCRAHレジスタの値が転送されます。

(3) ブロック転送モード(DMACm.DMTMD.MD[1:0]ビット = 10b)のとき

DMCRAHレジスタはブロックサイズを保持し、DMCRALレジスタは10ビットのブロックサイズカウンタとして機能します。

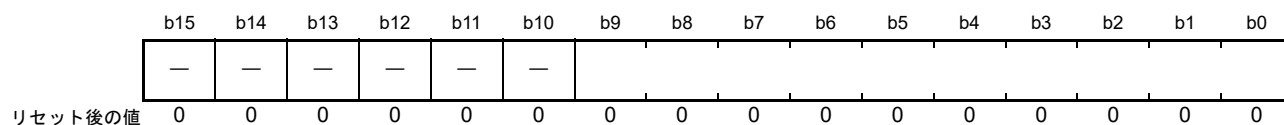
設定値が“001h”のときはブロックサイズ1、“3FFh”のときはブロックサイズ1023、“000h”のときはブロックサイズ1024となります。ブロック転送モード時のDMCRAH、DMCRALレジスタの設定範囲はいずれも000h～3FFhです。

DMCRALレジスタのビット15～10の設定値は無効です。DMCRALレジスタのビット15～10へは“0”を書いてください。

DMCRALレジスタは1回のデータ転送を行う度にデクリメント(-1)され、“000h”になるとDMCRAHレジスタの値が転送されます。

17.2.4 DMA ブロック転送カウントレジスタ (DMCRB)

アドレス DMAC0.DMCRB 0008 200Ch, DMAC1.DMCRB 0008 204Ch,
DMAC2.DMCRB 0008 208Ch, DMAC3.DMCRB 0008 20CCh



ビット	機能	設定範囲	R/W
b9-b0	ブロック転送回数、リピート転送回数を設定します	001h~3FFh (1~1023回) 000h (1024回)	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRB レジスタは、ブロック転送モード時のブロック転送回数、またはリピート転送モード時のリピート転送回数を指定するレジスタです。

転送回数は、設定値が“001h”のときは1回、“3FFh”のときは1023回、“000h”のときは1024回となります。

リピート転送モードの場合、1リピートサイズの最終データ転送時にデクリメント(-1)されます。

ブロック転送モードの場合、1ブロックサイズの最終データ転送時にデクリメント(-1)されます。

ノーマル転送モード設定時は、DMCRB レジスタを使用しません。設定値は無効です。

17.2.5 DMA 転送モードレジスタ (DMTMD)

アドレス DMAC0.DMTMD 0008 2010h, DMAC1.DMTMD 0008 2050h,
DMAC2.DMTMD 0008 2090h, DMAC3.DMTMD 0008 20D0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0 : ソフトウェア 0 1 : 周辺モジュールおよび外部割り込み入力端子からの割り込み (注1) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0 : 8ビット転送 0 1 : 16ビット転送 1 0 : 32ビット転送 1 1 : 設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0 : 転送先側がリピート領域またはブロック領域 0 1 : 転送元側がリピート領域またはブロック領域 1 0 : リピート領域、ブロック領域は設定しない 1 1 : 設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0 : ノーマル転送 0 1 : リピート転送 1 0 : ブロック転送 1 1 : 設定しないでください	R/W

注1. DMACの起動要因はICU.DMRSRmレジスタで設定します。詳細は、「14. 割り込みコントローラ(ICUb)」の「表14.3 割り込みのベクタテーブル」を参照してください。

DTS[1:0] ビット (リピート領域選択ビット)

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

17.2.6 DMA 割り込み設定レジスタ (DMINT)

アドレス DMAC0.DMINT 0008 2013h, DMAC1.DMINT 0008 2053h,
DMAC2.DMINT 0008 2093h, DMAC3.DMINT 0008 20D3h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送先アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット	0: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを禁止 1: 転送元アドレス拡張リピートエリアオーバーフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0: リピートサイズ終了割り込みを禁止 1: リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0: エスケープ割り込みを禁止 1: エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0: 転送終了割り込みを禁止 1: 転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DARIE ビット (転送先アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

DARIE ビットを“1”に設定したとき、転送先アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送先アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット (転送元アドレス拡張リピートエリアオーバーフロー割り込み許可ビット)

SARIE ビットを“1”に設定したとき、転送元アドレスの拡張リピートエリアオーバーフローが発生すると、DMCNT.DTE ビットを“0”にクリアします。同時に DMSTS.ESIF フラグが“1”にセットされ、転送元アドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は1ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャンネルの DMACm.DMCNT.DTE ビットを“1”にセットすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット (リポートサイズ終了割り込み許可ビット)

リポート転送モードにおいて、RPTIE ビットを“1”に設定したとき、1リポートサイズ分の転送終了後にDMCNT.DTE ビットを“0”にクリアします。同時にDMSTS.ESIF フラグが“1”にセットされ、リポートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b”(リポート領域、ブロック領域に指定しない)のときでも、リポートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを“1”に設定したときも同様に1ブロックの転送終了後にDMCNT.DTE ビットを“0”にクリアします。同時にDMSTS.ESIF フラグが“1”にセットされ、リポートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが“10b”(リポート領域、ブロック領域に指定しない)に設定したときでも、リポートサイズ終了割り込み要求が発生させることができます。

ESIE ビット (転送エスケープ終了割り込み許可ビット)

DMA 転送中に発生したエスケープ割り込み要求(リポートサイズ終了割り込み、拡張リポートエリアオーバーフロー割り込み)を許可または禁止します。

ESIE ビットを“1”にセットすると、DMSTS.ESIF フラグに“1”がセットされたとき、転送エスケープ終了割り込みが発生します。転送エスケープ終了割り込みは、ESIE ビットを“0”にクリアするか、DMSTS.ESIF フラグを“0”にクリアすると解除されます。

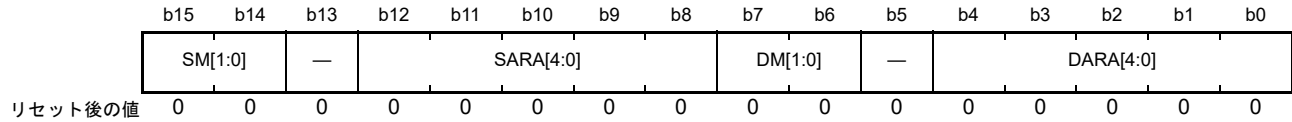
DTIE ビット (転送終了割り込み許可ビット)

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを“1”にセットすると、DMSTS.DTIF フラグに“1”がセットされたとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを“0”にクリアするか、DMSTS.DTIF フラグを“0”にクリアすると解除されます。

17.2.7 DMA アドレスモードレジスタ (DMAMD)

アドレス DMAC0.DMAMD 0008 2014h, DMAC1.DMAMD 0008 2054h,
DMAC2.DMAMD 0008 2094h, DMAC3.DMAMD 0008 20D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 17.2を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定ビット	b7 b6 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます 設定値の詳細は表 17.2を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定ビット	b15 b14 0 0 : アドレス固定 0 1 : オフセット加算 (注1) 1 0 : インクリメント 1 1 : デクリメント	R/W

注1. オフセット加算設定はDMAC0のみ可能です。

DARA[4:0] ビット (転送先アドレス拡張リピートエリア設定ビット)

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 00b (転送先側がリピート領域またはブロック領域) に設定している場合、DARA[4:0] ビットには“00000b”を書いてください。

DMINT.DARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 17.2 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット (転送先アドレス更新モード設定ビット)

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき +1、DMTMD.SZ[1:0]=01b のとき +2、DMTMD.SZ[1:0]=10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき -1、DMTMD.SZ[1:0]=01b のとき -2、DMTMD.SZ[1:0]=10b のとき -4 されます。

オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

SARA[4:0] ビット (転送元アドレス拡張リピートエリア設定ビット)

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは2バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0]=01b (転送元側がリピート領域またはブロック領域) に設定している場合、SARA[4:0] ビットには“00000b”を書いてください。

DMINT.SARIE ビットが“1”のとき、拡張リピートエリアのオーバーフローが発生したときに割り込みを発生させることができます。表 17.2 に拡張リピートエリアの設定と範囲を示します。

SM[1:0] ビット (転送元アドレス更新モード設定ビット)

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき +1、DMTMD.SZ[1:0]=01b のとき +2、DMTMD.SZ[1:0]=10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0]=00b のとき -1、DMTMD.SZ[1:0]=01b のとき -2、DMTMD.SZ[1:0]=10b のとき -4 されます。

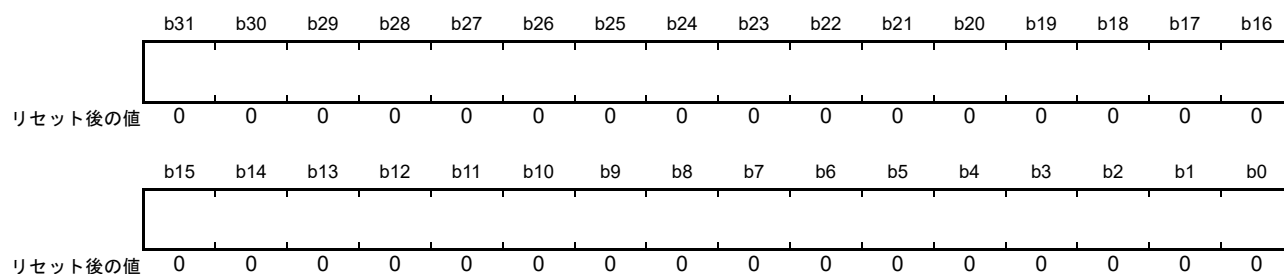
オフセット加算を選択した場合、DMAC0.DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表 17.2 拡張リピートエリアの設定と範囲

SARA[4:0]/DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット(2バイト)を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット(4バイト)を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット(8バイト)を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット(16バイト)を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット(32バイト)を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット(64バイト)を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット(128バイト)を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット(256バイト)を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット(512バイト)を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット(1Kバイト)を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット(2Kバイト)を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット(4Kバイト)を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット(8Kバイト)を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット(16Kバイト)を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット(32Kバイト)を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット(64Kバイト)を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット(128Kバイト)を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット(256Kバイト)を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット(512Kバイト)を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット(1Mバイト)を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット(2Mバイト)を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット(4Mバイト)を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット(8Mバイト)を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット(16Mバイト)を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット(32Mバイト)を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット(64Mバイト)を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット(128Mバイト)を拡張リピートエリアに設定する
11100b~11111b	設定しないでください

17.2.8 DMA オフセットレジスタ (DMOFR)

アドレス DMAC0.DMOFR 0008 2018h



ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h~00FFFFFFh (0バイト~(16M-1)バイト) FF000000h~FFFFFFFh (-16Mバイト~-1バイト)	R/W

DMOFR レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中、または DMA 転送が禁止されているときに書いてください。

ビット 31 ~ 25 への設定値は無効です、ビット 31 ~ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.9 DMA 転送許可レジスタ (DMCNT)

アドレス DMAC0.DMCNT 0008 201Ch, DMAC1.DMCNT 0008 205Ch,
DMAC2.DMCNT 0008 209Ch, DMAC3.DMCNT 0008 20DCh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DTE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA 転送許可ビット	0 : DMA 転送を禁止 1 : DMA 転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTE ビット (DMA 転送許可ビット)

DMAST.DMST ビットが“1” (DMAC 起動を許可) で、DTE ビットが“1” (DMA 転送を許可) のとき、対応するチャンネルの DMA 転送を開始することができます。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき
- 設定の総転送データ数の転送を終了したとき
- リポートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リポートエリアオーバーフロー割り込みにより DMA 転送が停止したとき

17.2.10 DMA ソフトウェア起動レジスタ (DMREQ)

アドレス DMAC0.DMREQ 0008 201Dh, DMAC1.DMREQ 0008 205Dh,
DMAC2.DMREQ 0008 209Dh, DMAC3.DMREQ 0008 20DDh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0: DMA転送要求なし 1: DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択	0: ソフトウェア起動後にSWREQビットをクリアする 1: ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SWREQ ビット (DMA ソフトウェア起動ビット)

SWREQ ビットに“1”を書き込むと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが“0”に設定されている場合、SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合、SWREQ ビットは“0”にクリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを“00b” (DMA 起動要因がソフトウェア) に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが“00b”以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS ビットが“0”でソフトウェア起動を行う場合、SWREQ ビットが“0”であることを確認してから SWREQ ビットに“1”を書いてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- CLRS ビットが“0”(ソフトウェア起動後に SWREQ ビットをクリアする)に設定されているときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0”を書き込んだとき

CLRS ビット (DMA ソフトウェア起動ビット自動クリア選択)

SWREQ ビットへ“1”書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを“0”にクリアするかしないを設定します。CLRS ビットが“0”に設定されている場合、転送が開始されると SWREQ ビットは“0”にクリアされます。CLRS ビットが“1”に設定されている場合は、SWREQ ビットは“0”クリアされません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

17.2.11 DMA ステータスレジスタ (DMSTS)

アドレス DMAC0.DMSTS 0008 201Eh, DMAC1.DMSTS 0008 205Eh,
DMAC2.DMSTS 0008 209Eh, DMAC3.DMSTS 0008 20DEh

b7	b6	b5	b4	b3	b2	b1	b0
ACT	—	—	DTIF	—	—	—	ESIF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0 : 転送エスケープ割り込み発生なし 1 : 転送エスケープ割り込み発生あり	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0 : 転送終了割り込みなし 1 : 転送終了割り込みあり	R/W (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMA アクティブフラグ	0 : DMACが停止中 1 : DMACが動作中	R

注1. “0”のみ書けます。

ESIF フラグ (転送エスケープ割り込みフラグ)

転送エスケープ割り込みが発生したことを示すフラグです。

[“1”になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが“1”に設定されており、ブロック転送モードにおいて1ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外(転送元アドレスを拡張リピートエリアに指定)に設定されているときに、転送元アドレスの拡張リピートエリアオーバーフローが発生したとき
- DMINT.DARIE ビットが“1”に設定され、DMAMD.DARA[4:0] ビットに“00000b”以外(転送先アドレスを拡張リピートエリアに指定)に設定されているときに、転送先アドレスの拡張リピートエリアオーバーフローが発生したとき

[“0”になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

DTIF フラグ (転送終了割り込みフラグ)

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき (DMCRALレジスタが“0”になり転送が終了したとき)
- リピート転送モードにおいて指定リピート回数の転送が終了したとき (DMCRBレジスタが“0”になり転送が終了したとき)
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき (DMCRBレジスタが“0”になり転送が終了したとき)

[“0” になる条件]

- “0”を書いたとき
- DMCNT.DTE ビットに“1”を書いたとき

ACT フラグ (DMA アクティブフラグ)

DMAC が動作中か停止中であることを示すフラグです。

[“1” になる条件]

- DMAC が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送がすべて終了したとき

17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)

アドレス DMAC0.DMCSL 0008 201Fh, DMAC1.DMCSL 0008 205Fh,
DMAC2.DMCSL 0008 209Fh, DMAC3.DMCSL 0008 20DFh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DISEL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0: 転送開始時に起動要因となった割り込みフラグを“0”クリアする 1: 転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DISEL ビット (インタラプト選択ビット)

DMAC の転送開始時に起動要因となった割り込みフラグを“0”クリアするか、割り込みフラグによりCPUへ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0]=00b (ソフトウェアによる起動) に設定している場合は、DISEL ビットの設定値は無効です。

17.2.13 DMAC モジュール起動レジスタ (DMAST)

アドレス 0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可ビット	0 : DMAC起動を禁止 1 : DMAC起動を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMST ビット (DMAC 動作許可ビット)

DMST ビットが“1”のとき、DMAC 全チャンネルの起動が許可されます。

複数チャンネルの DMACm.DMCNT.DTE ビットに“1”(DMA 転送を許可)を書いた後に DMST ビットを“1”(DMAC 起動を許可)にすると、複数チャンネルを同時に転送要求受け付け可能状態にすることができます。

また、DMST ビットを DMAC 動作中に“0”にすると、実行中の 1 転送要求に対するデータ転送が終了した後に DMA 動作が一時停止します。この状態で、再度 DMST ビットを“1”にすることにより継続して DMA 転送を行うことが可能です。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- “0”を書き込んだとき

17.3 動作説明

17.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは1回の転送要求について1データの転送を行います。DMACm.DMCRALレジスタの設定により、最大65535データの指定転送回数を設定できます。また、DMACm.DMCRALレジスタを“0000h”に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います(フリーランニングモード)。DMACm.DMCRAHレジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表17.3に、ノーマル転送モードの動作を図17.2に示します。

表17.3 ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/オフセット加算(注1)
DMACm.DMCRAL	転送カウンタ	1減算/更新なし(フリーランニングモード時)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)
DMACm.DMCRAH	—	更新されません。(ノーマル転送モードでは使用しません)

注1. オフセット加算はDMAC0のみ指定可能です。

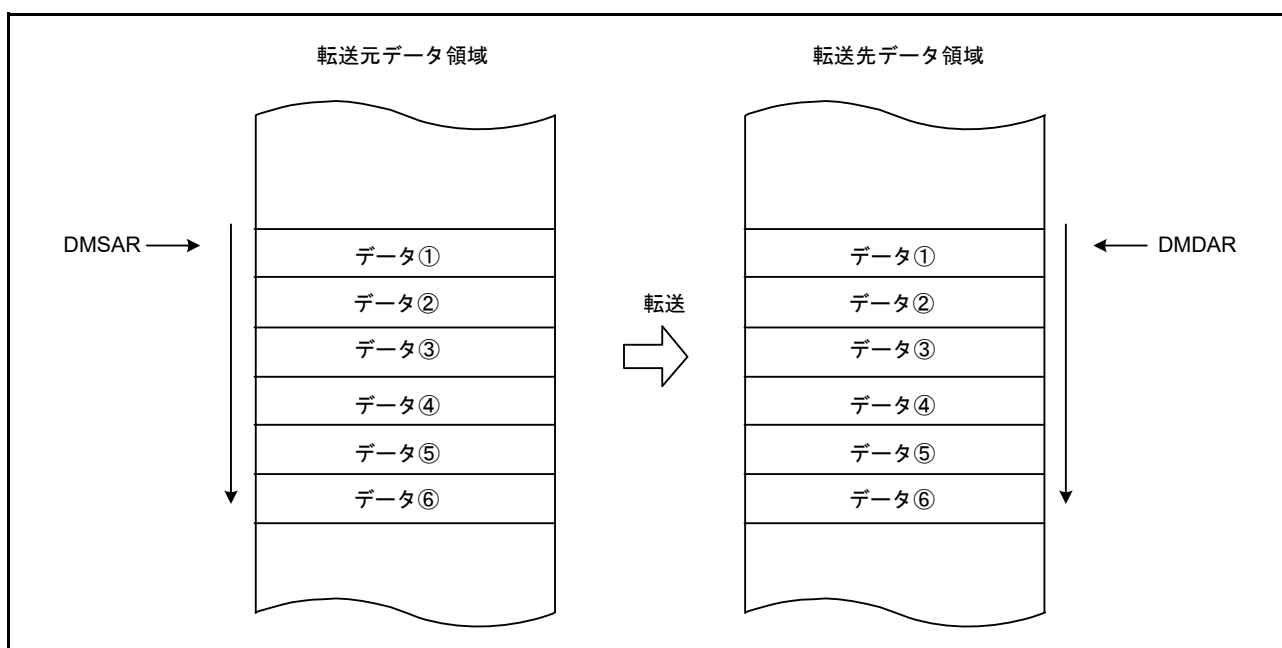


図17.2 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。

DMACm.DMCRA レジスタで最大1Kデータのリピートサイズを設定できます。

また、DMACm.DMCRB レジスタで最大1K回の指定リピート回数を設定できます。総データ転送数は最大1Kデータ×1Kリピート回数=1Mデータの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ(DMACm.DMSARまたはDMACm.DMDAR)は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA転送を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTEビットに“1”を書き込むとDMA転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表17.4に、リピート転送モードの動作を図17.3に示します。

表17.4 リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMACm.DMCRALレジスタが1以外のとき	DMACm.DMCRALレジスタが1のとき (リピートサイズ最終データ転送)
DMACm.DMSAR	転送元アドレス	インクリメント/デクリメント/固定/ オフセット加算(注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/ オフセット加算(注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算(注1)
DMACm.DMDAR	転送先アドレス	インクリメント/デクリメント/固定/ オフセット加算(注1)	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/ オフセット加算(注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/ オフセット加算(注1)
DMACm.DMCRAH	リピートサイズ	保持	保持
DMACm.DMCRAL	転送カウント	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート回数カウン ト	保持	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

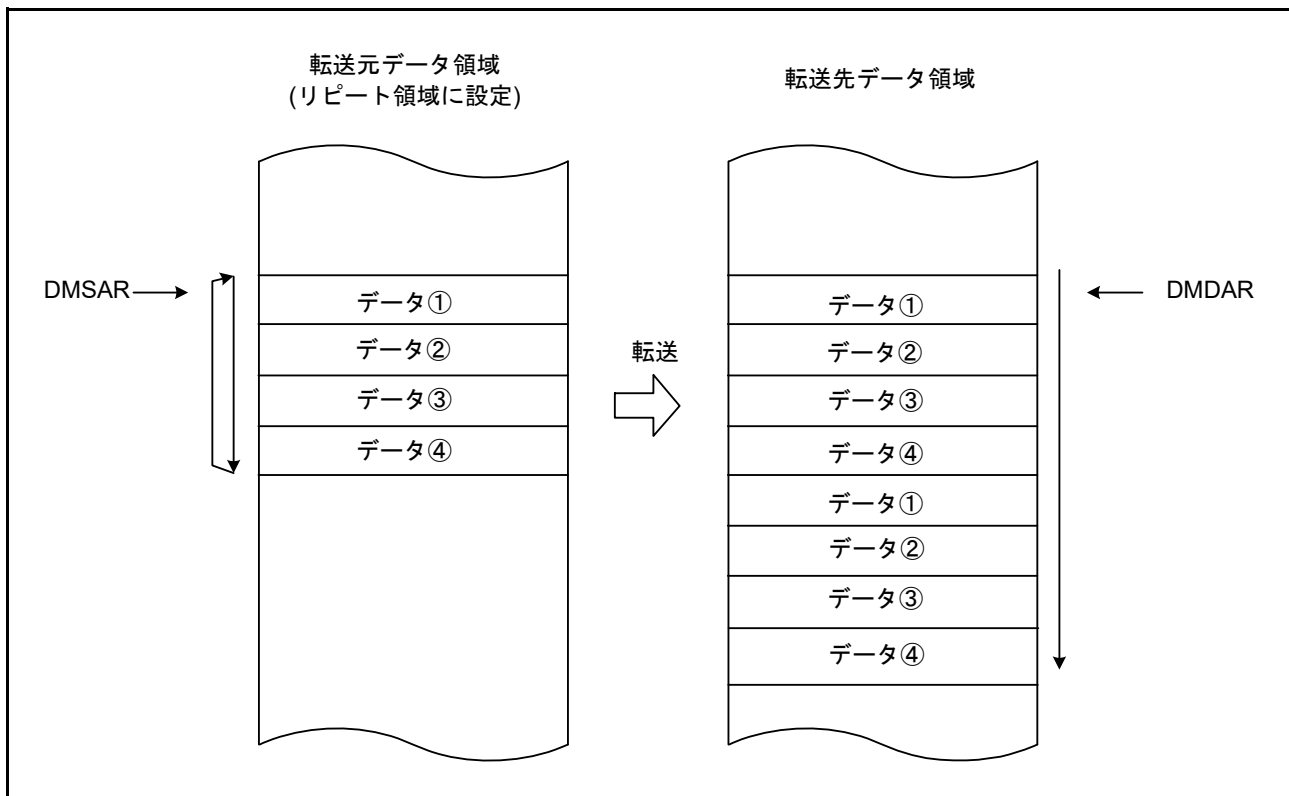


図 17.3 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックのデータ転送を行います。

DMACm.DMCRA レジスタで最大 1K データのブロックサイズを設定できます。

また、DMACm.DMCRB レジスタで最大 1K 回の指定ブロック回数を設定できます。総データ転送数は最大 1K データ × 1K ブロック回数 = 1M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ (DMACm.DMSAR または DMACm.DMDAR) は、1ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMACm.DMCNT.DTE ビットに“1”を書き込むと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 17.5 に、ブロック転送モードの動作を図 17.4 に示します。

表 17.5 ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMACm.DMSAR	転送元アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMDAR	転送先アドレス	<ul style="list-style-type: none"> DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 DMACm.DMTMD.DTS[1:0] = 01b インクリメント/デクリメント/固定/オフセット加算 (注1) DMACm.DMTMD.DTS[1:0] = 10b インクリメント/デクリメント/固定/オフセット加算 (注1)
DMACm.DMCRAH	ブロックサイズ	保持
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック回数カウント	1減算

注1. オフセット加算はDMAC0のみ指定可能です。

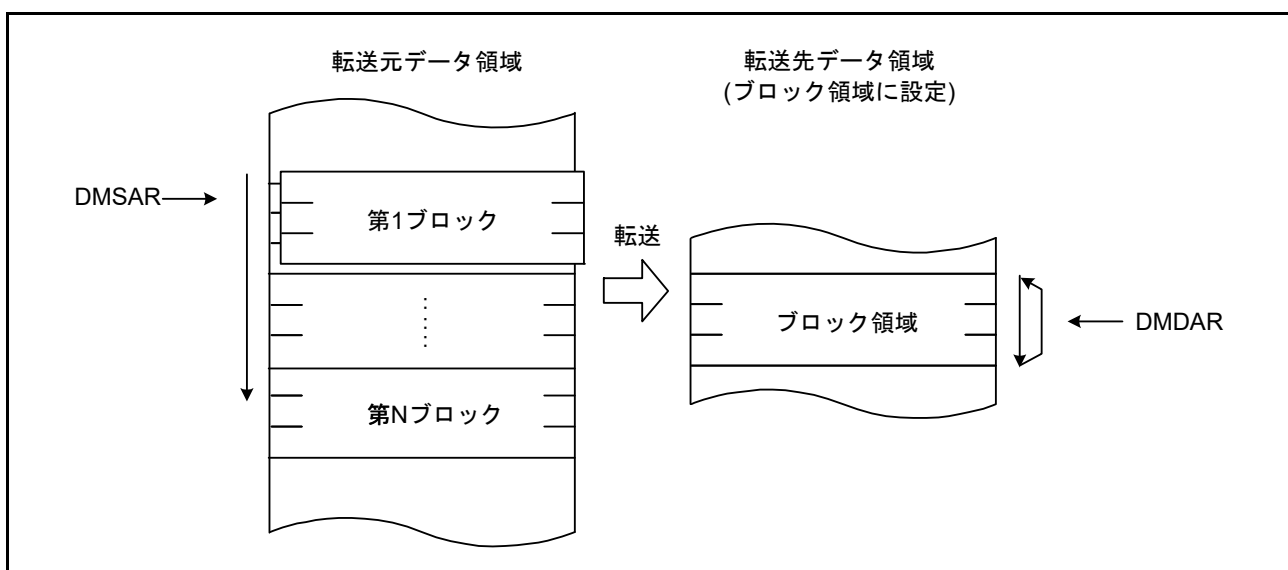


図 17.4 ブロック転送モードの動作

17.3.2 拡張リピートエリア機能

DMACには転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMACm.DMSARレジスタ(転送元アドレスレジスタ)、DMACm.DMDARレジスタ(転送先アドレスレジスタ)に独立して設定できます。

転送元アドレスの拡張リピートエリアはDMACm.DMAMD.SARA[4:0]ビットで設定します。転送先アドレスの拡張リピートエリアはDMACm.DMAMD.DARA[4:0]ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア(転送元または転送先)を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA転送を一時停止させて、拡張リピートエリアオーバーフロー割り込み要求を発生させることができます。DMACm.DMINT.SARIEビットを“1”にすると、転送元アドレスの拡張リピートエリアがオーバーフローしたときにDMACm.DMSTS.ESIFフラグが“1”になり、DMACm.DMCNT.DTEビットを“0”にしてDMA転送を終了します。このとき、DMACm.DMINT.ESIEビットが“1”になっていると、拡張リピートエリアオーバーフロー割り込み要求が発生します。

DMACm.DMINT.DARIEビットを“1”にすると転送先アドレスレジスタが対象になります。

拡張リピートエリアオーバーフロー割り込み処理で、DMACm.DMCNT.DTEビットを“1”にすると、DMA転送を再開することができます。

図17.5に拡張リピートエリア機能の例を示します。

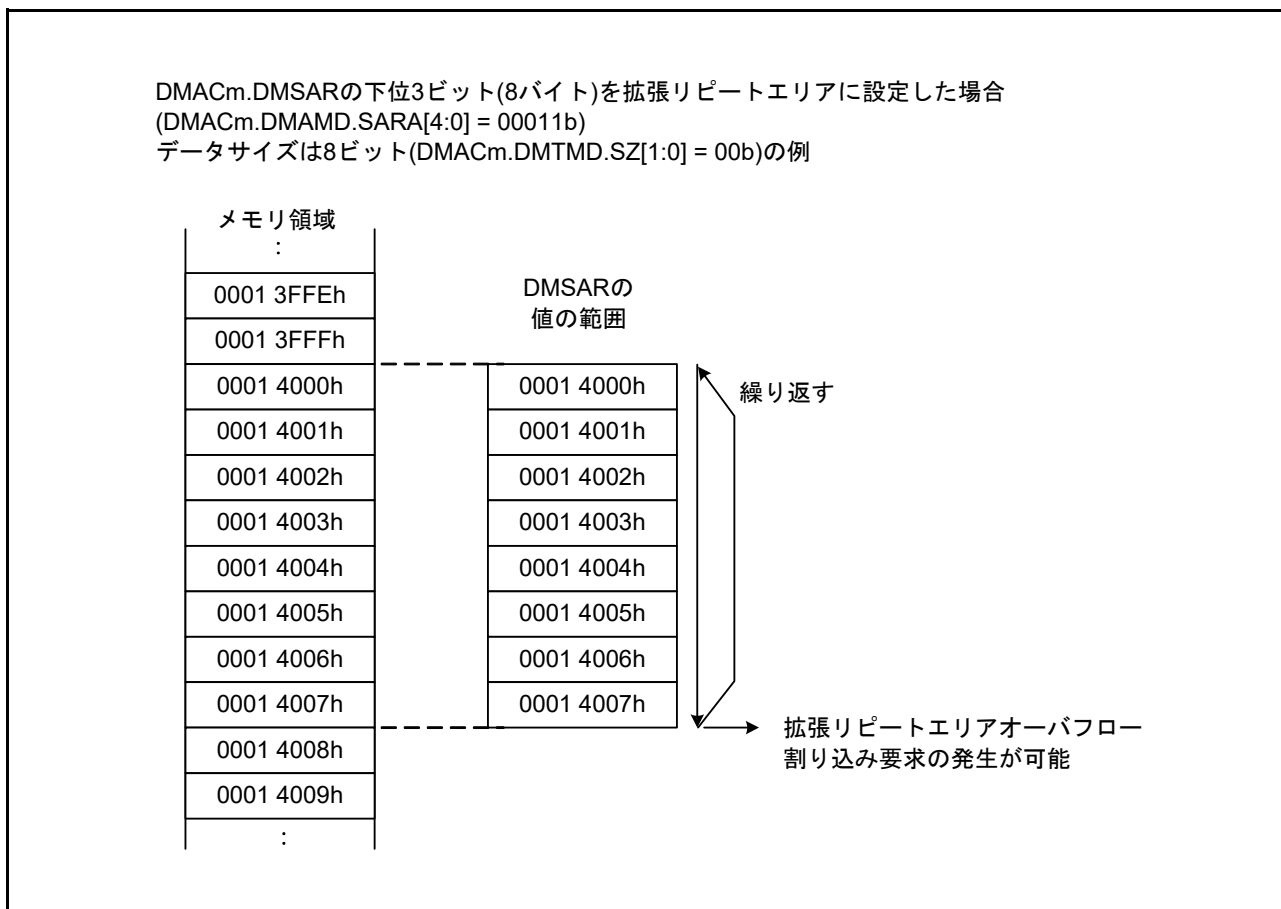


図 17.5 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックのデータを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックのデータ転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

図 17.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

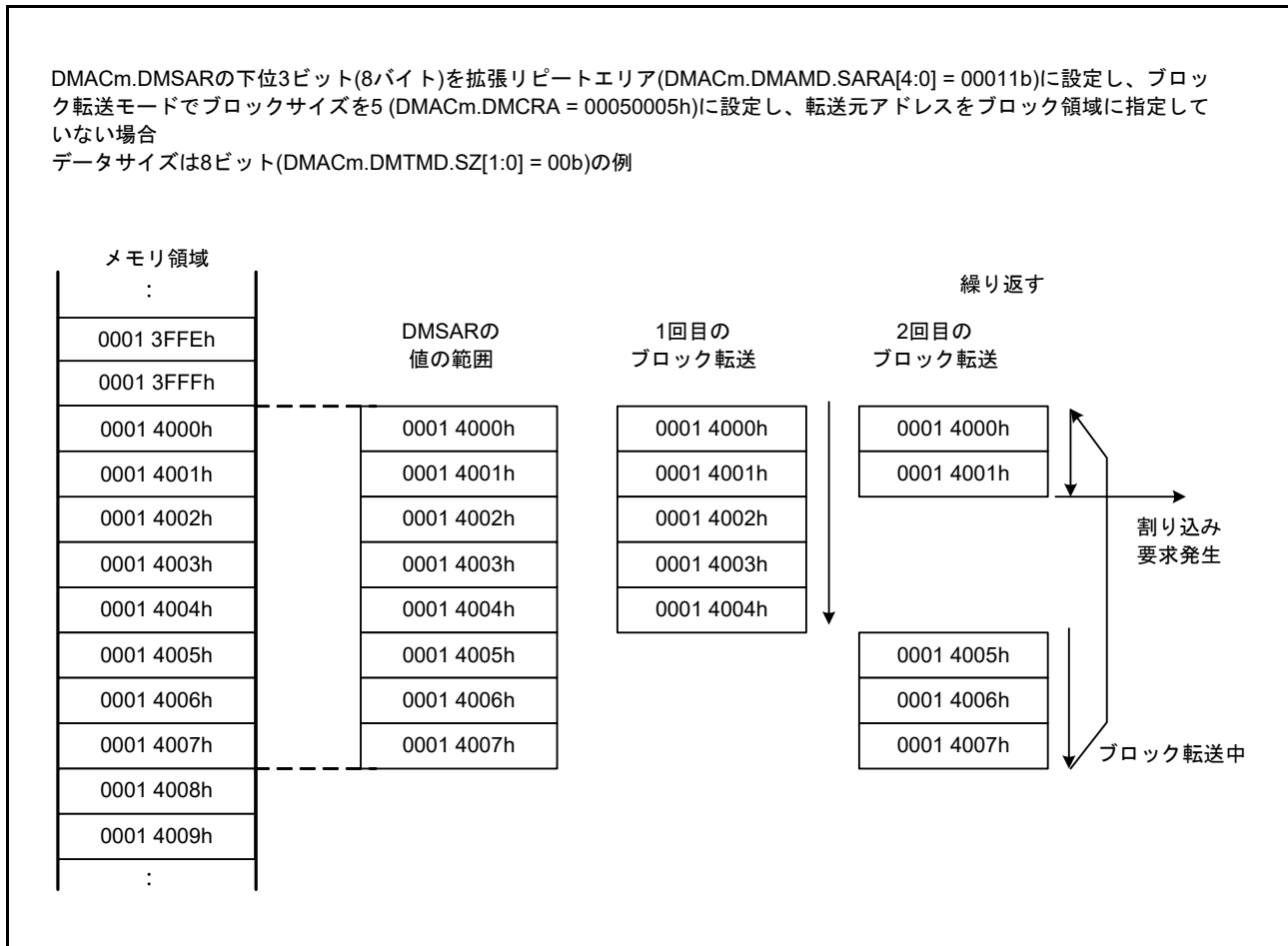


図 17.6 ブロック転送モードと拡張リピートエリア機能を併用した例

17.3.3 オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定/インクリメント/デクリメントの他にオフセット加算があります。オフセット加算では、1データの転送を行うたびにDMA オフセットレジスタ(DMAC0.DMOFR)に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFRに2の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャンネルはDMAC0のみです。

各アドレス更新モードでのアドレス更新方法を表17.6に示します。

表17.6 各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMACm.DMAMD.SM[1:0] DMACm.DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 (DMACm.DMTMD.SZ[1:0]設定値別更新方法)		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR (注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1. オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = $\sim(\text{オフセット値}) + 1$ (\sim : ビット反転)

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を図 17.7 に示します。

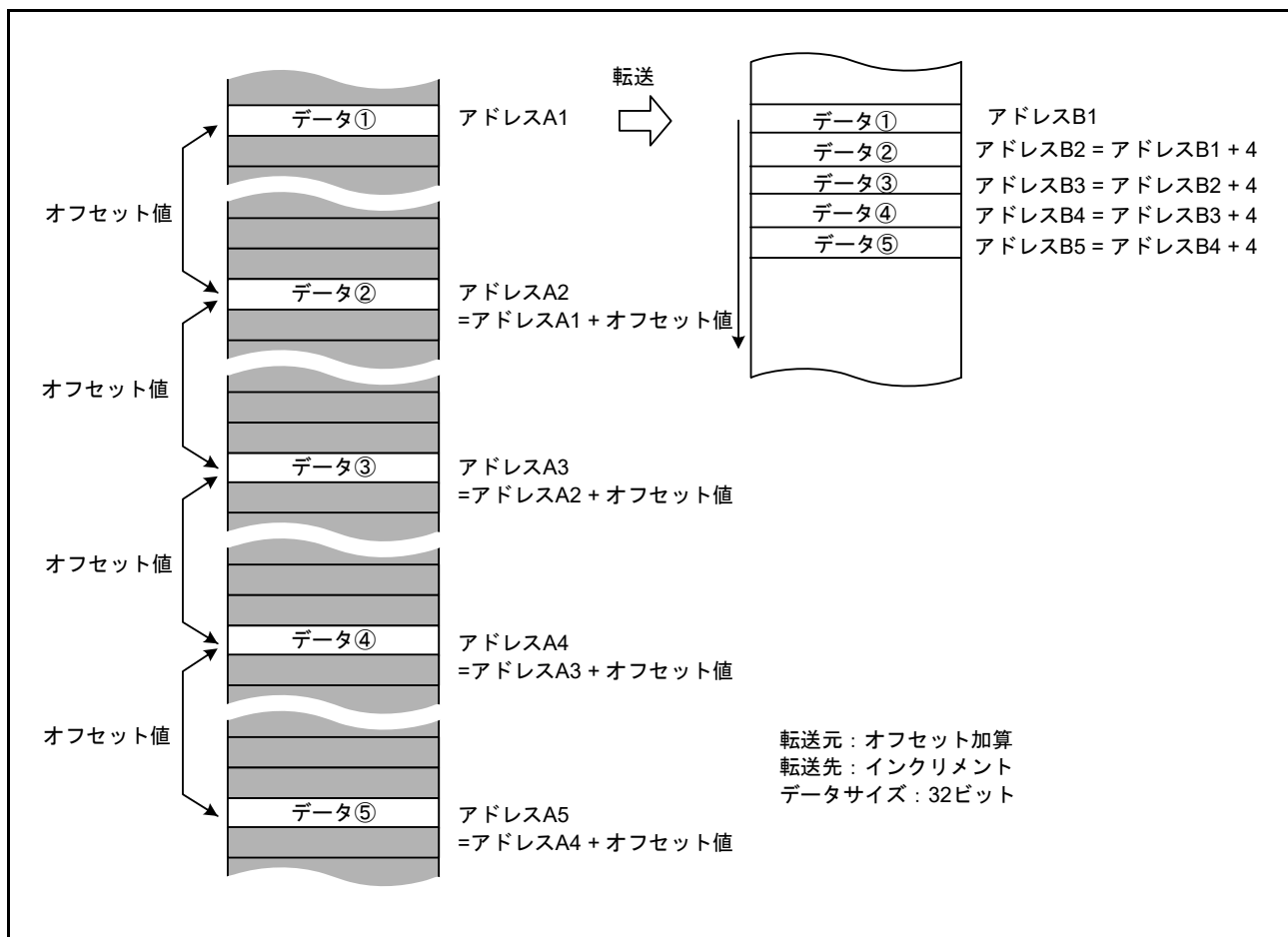


図 17.7 オフセットによるアドレス更新機能の動作例

図 17.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 17.8 にリポート転送モードとオフセット加算を組み合わせる XY 変換を行うときの動作を示します。設定方法は以下のとおりです。

- DMAC0.DMAMD レジスタ：転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD レジスタ：転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD レジスタ：転送データサイズビット：32 ビット転送
- DMAC0.DMTMD レジスタ：転送モード設定ビット：リポート転送
- DMAC0.DMTMD レジスタ：リポート領域選択ビット：転送元側がリポート領域
- DMAC0.DMOFR レジスタ：オフセットアドレス：10h
- DMAC0.DMCRA レジスタ：リポートサイズ：4h

- DMAC0.DMINT レジスタ：リピートサイズ終了割り込みを許可に設定

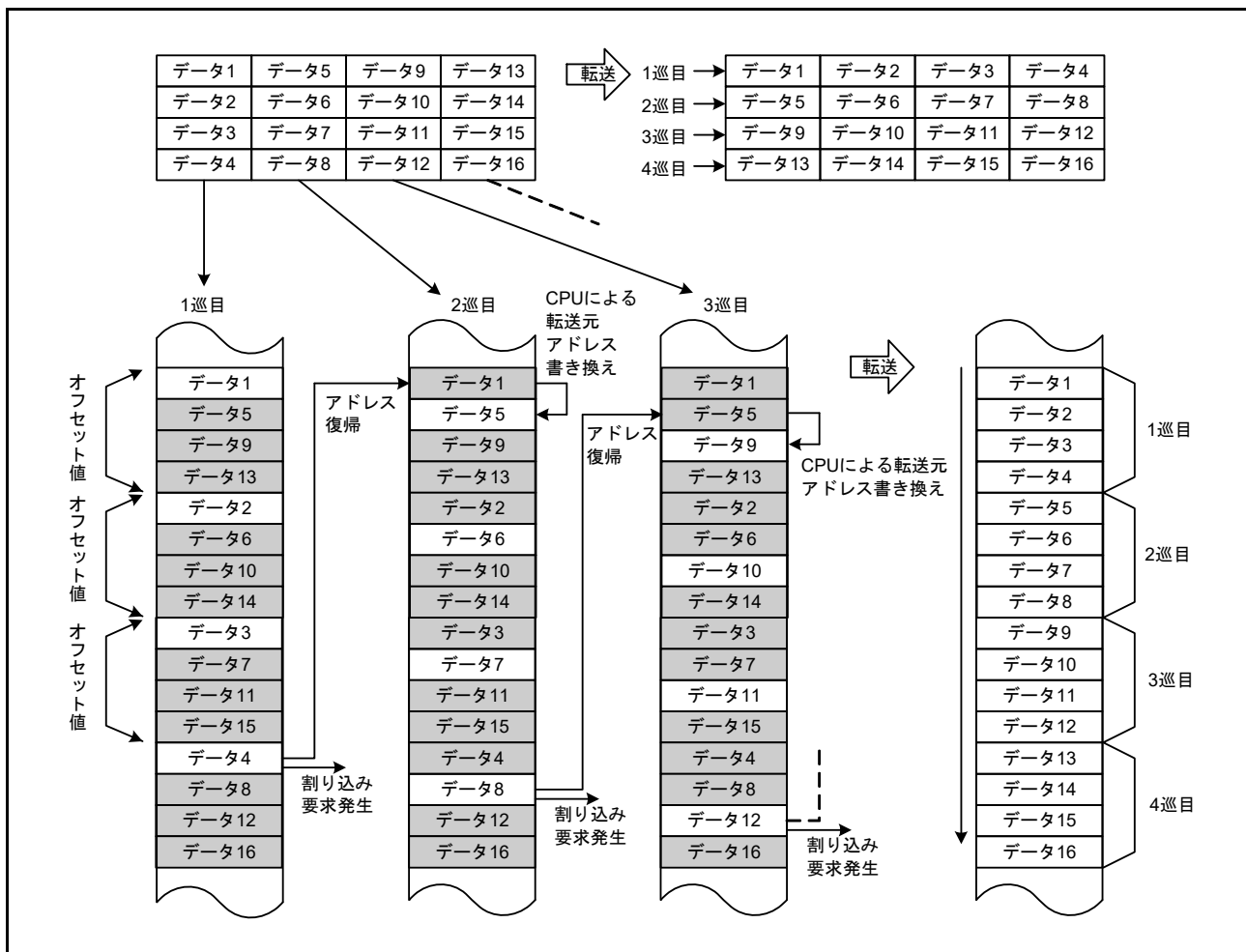


図 17.8 リピート転送モード+オフセット加算によるXY変換のときの動作

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“データ4”までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMACは転送元のアドレスを転送開始時のアドレス(転送元“データ1”のアドレス)に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断します。割り込みで以下の処理を行ってください。

- DMAC0.DMSAR レジスタ：DMA転送元アドレスを“データ5”のアドレスに書き換え
(上記の例では“データ1”のアドレスに4を加算した値に書き換え)
- DMAC0.DMCNT レジスタ：DTEビットに“1”書き込み

DMA転送が中断した状態から引き続きDMA転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先にXY変換されて転送されます。

図 17.9 にXY変換の処理フローを示します。

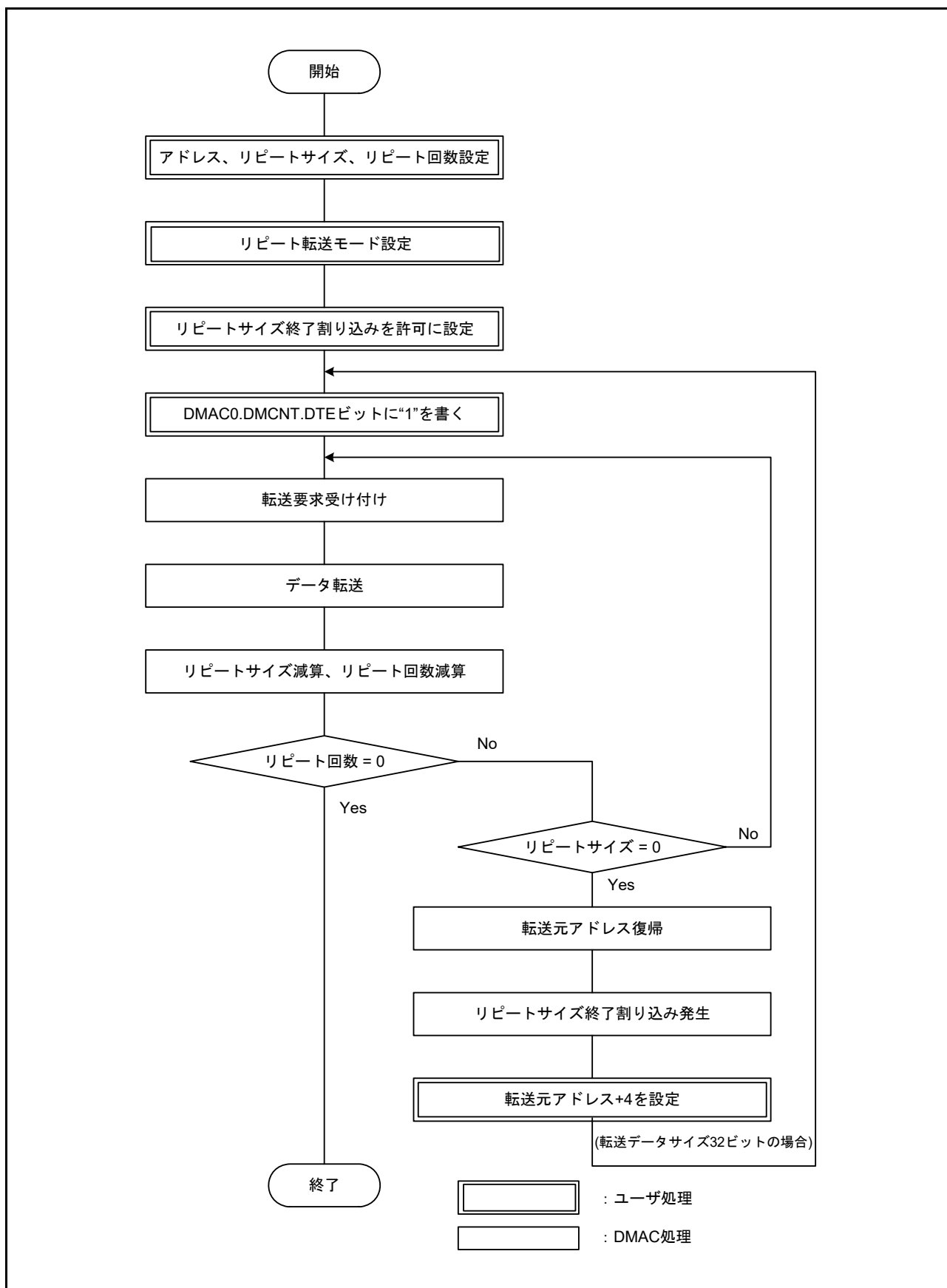


図 17.9 リピート転送モード+オフセット加算によるXY変換のフロー

17.3.4 起動要因

DMACの起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択はDMACm.DMTMD.DCTG[1:0]ビットで設定できます。

(1) ソフトウェアによる起動

DMACm.DMTMD.DCTG[1:0]ビットを“00b”にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動によりDMA転送を開始するには、DMACm.DMTMD.DCTG[1:0]ビットを“00b”にした後に、DMACm.DMCNT.DTEビットを“1”(DMA転送許可)にしてください。また、DCAST.DMSTビットを“1”(DMAC起動許可)にしてください。その後、DMACm.DMREQ.SWREQビットに“1”(DMA転送要求あり)を書くとDMA動作が開始します。

DMACm.DMREQ.CLRSビットが“0”でソフトウェア起動を行った場合、DMA転送要求に対する転送が開始されるとDMACm.DMREQ.SWREQビットが“0”になります。DMACm.DMREQ.CLRSビットが“1”でソフトウェア起動を行った場合は、転送を開始してもDMACm.DMREQ.SWREQビットは“0”になりません。要求に対する転送終了後、再びDMA転送要求が発生します。

(2) 周辺モジュール / 外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求をDMA転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ(ICU)のICU.DMRSRmレジスタ(m=0~3)で選択します。チャンネルごとに独立して設定可能です。

周辺モジュールからの割り込み要求、外部割り込み要求によりDMAを起動するには、DMACm.DMTMD.DCTG[1:0]ビットを“01b”(周辺モジュールおよび外部割り込み端子からの割り込み)にした後に、DMACm.DMCNT.DTEビットを“1”(DMA転送を許可)にしてください。また、DCAST.DMSTビットを“1”(DMAC起動を許可)にしてください。その後に割り込み要求が発生すると、DMA動作を開始します。

DMACの起動要因となる割り込み要因一覧は、「14. 割り込みコントローラ(ICUb)」の「表 14.3 割り込みのベクタテーブル」を参照してください。

17.3.5 動作タイミング

図 17.10、図 17.11 に DMAC の動作タイミングの例を示します。

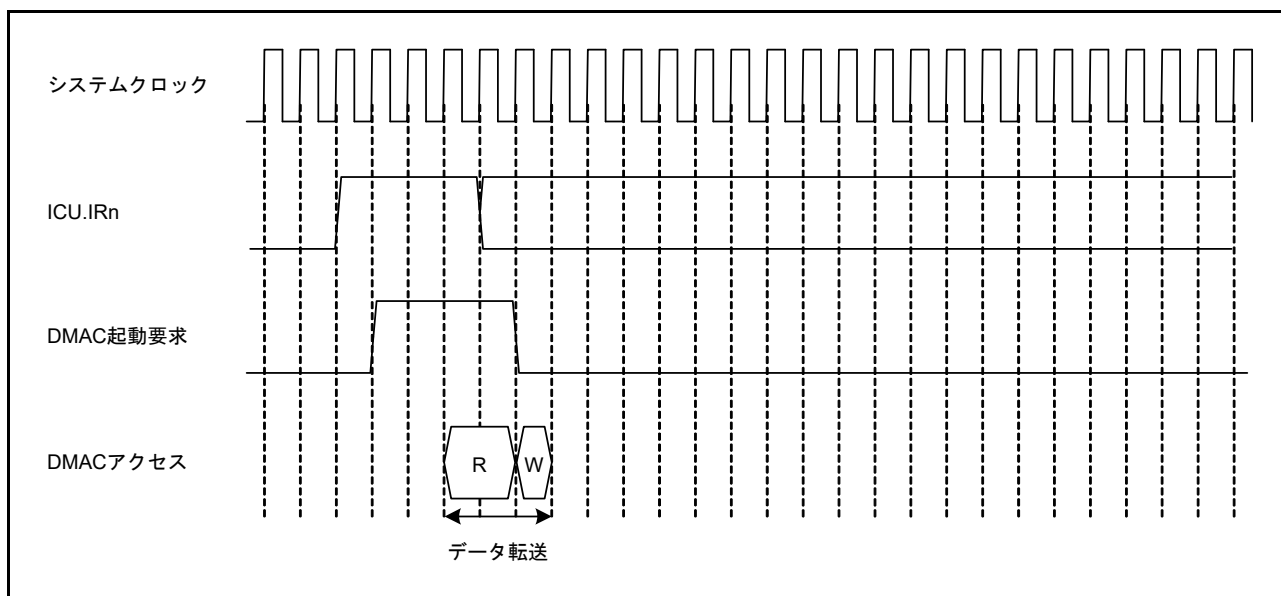


図 17.10 DMAC 動作タイミング例 (1) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 起動、ノーマル転送モード、リピート転送モードの場合)

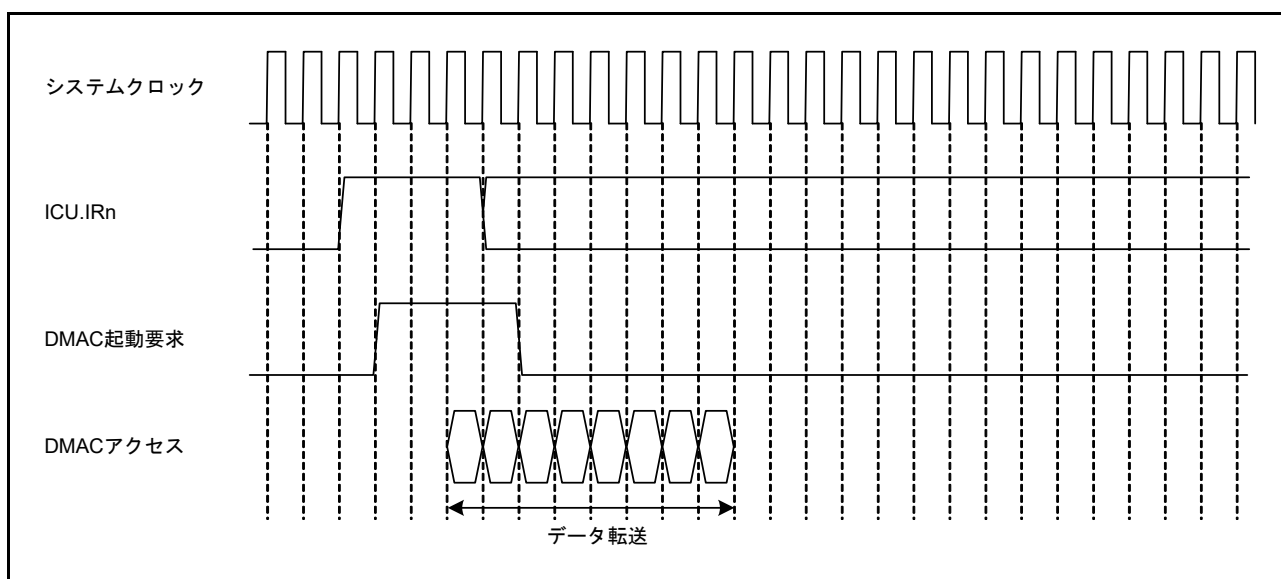


図 17.11 DMAC 動作タイミング例 (2) (周辺モジュール / 外部割り込み入力端子からの割り込みによる DMA 起動、ブロック転送モード、ブロックサイズ=4 の場合)

17.3.6 DMACの実行サイクル

表 17.7 に DMAC の 1 回のデータ転送の実行状態を示します。

表 17.7 DMACの実行サイクル

転送モード	データ転送(リード)	データ転送(ライト)
ノーマル	$Cr + 1$	Cw
リピート	$Cr + 1$	Cw
ブロック(注1)	$P \times Cr$	$P \times Cw$

注1. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

【記号説明】

P : ブロックサイズ (DMCRAH レジスタの設定値)

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「45. RAM」、「46. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」を参照してください。

データ転送 (リード) の「+1」の単位はシステムクロック (ICLK) です。

動作例は「17.3.5 動作タイミング」を参照してください。

17.3.7 DMACの起動

図 17.12 にレジスタの設定手順を示します。

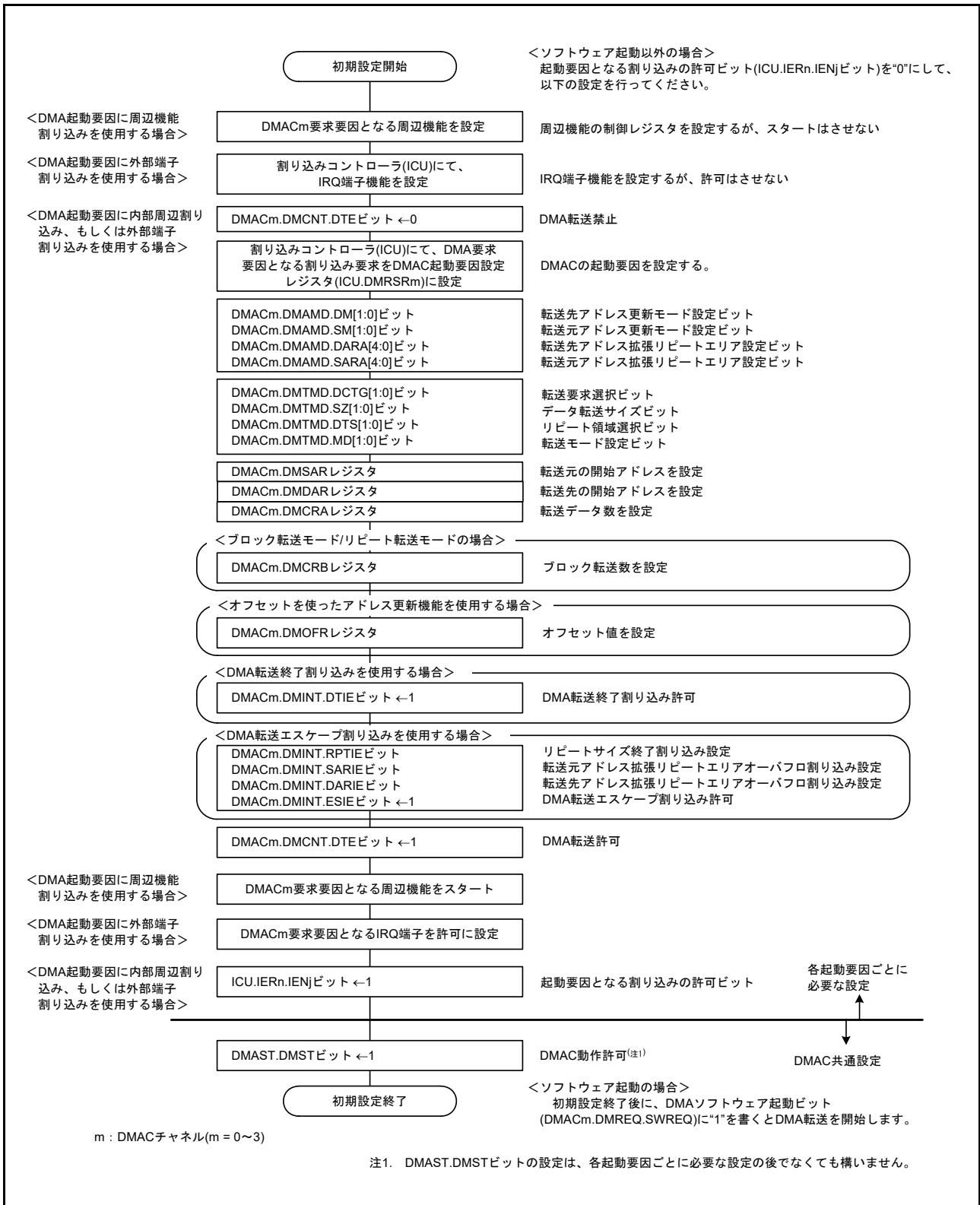


図 17.12 レジスタの設定手順

17.3.8 DMA 転送の開始

DMACm.DMCNT.DTE ビットを“1”(DMA 転送許可)にして、DMAST.DMST ビットを“1”(DMAC 起動許可)にすると、チャンネル m ($m=0 \sim 3$) の DMA 転送が可能になります。

他の DMAC チャンネル、DTC の転送中は新たな起動要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送が開始すると、DMACm.DMSTS.ACT ビットが“1”(DMAC 動作中)になります。

17.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、DMACm.DMSTS です。

(1) DMA 転送元アドレスレジスタ (DMACm.DMSAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(2) DMA 転送先アドレスレジスタ (DMACm.DMDAR)

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(3) DMA 転送カウントレジスタ (DMACm.DMCRA)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(4) DMA ブロック転送カウントレジスタ (DMACm.DMCRB)

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。各モードでのレジスタ更新は表 17.3 ~ 表 17.5 を参照してください。

(5) DMA 転送許可ビット (DMACm.DMCNT.DTE)

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可 / 禁止を制御しますが、DMA 転送状態によって以下のいずれかの条件が成立した場合は、自動的に DMACm.DMCNT.DTE ビットが“0”になります。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバーフロー割り込み要求が発生し、転送が終了したとき

DMACm.DMCNT.DTE ビットが“1”になっているチャンネルのレジスタの書き込みは禁止です (DMACm.DMCNT レジスタを除く)。DMACm.DMCNT.DTE ビットに“0”を設定した状態で、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ (DMACm.DMSTS.ACT ビット)

DMACm が停止中か動作中であることを示します。DMACm.DMSTS.ACT ビットは DMAC が転送動作を開始すると“1”にセットされ、1 転送要求に対するデータ転送を終了すると“0”になります。

DMA 転送中に DMACm.DMCNT.DTE ビットに“0”をライトし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで“1”を保持します。

(7) 転送終了割り込みフラグ (DMACm.DMSTS.DTIF フラグ)

DMA 転送によって総転送サイズ分の転送を終了すると、DMACm.DMSTS.DTIF フラグは“1”にセットされます。

DMACm.DMSTS.DTIF フラグが“1”にセットされ、DMACm.DMINT.DTIE ビットが“1”にセットされていると転送終了割り込み要求が発生します。

DMACm.DMSTS.DTIF フラグが“1”にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT ビットが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.DTIF フラグが“0”クリアされます。

(8) 転送エスケープ割り込みフラグ (DMACm.DMSTS.ESIF)

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは“1”にセットされます。DMACm.DMSTS.ESIF フラグが“1”にセットされ、DMACm.DMINT.ESIE ビットが“1”にセットされていると転送エスケープ割り込み要求が発生します。

DMACm.DMSTS.ESIF フラグに“1”がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMACm.DMSTS.ACT フラグが“0”になって転送を終了したときです。

割り込み処理中に DMACm.DMCNT.DTE ビットに“1”を書き込んだ場合、自動的に DMACm.DMSTS.ESIF フラグが“0”にクリアされます。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.3.10 チャネルの優先順位

DMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行ない、優先順位の高いチャネルの転送が開始されます。

17.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが“1”から“0”になり、DMA 転送が終了したことを示します。

17.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード (DMACm.DMTMD.MD[1:0] = 00b) のとき

DMACm.DMCRAL レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード (DMACm.DMTMD.MD[1:0] = 01b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード (DMACm.DMTMD.MD[1:0] = 10b) のとき

DMACm.DMCRB レジスタの値が“1”から“0”になると対応するチャンネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.DTIF フラグが“1”にセットされます。このとき DMACm.DMINT.DTIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが“1”にセットされているときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。またこの状態から DMACm.DMCNT.DTE ビットを“1”にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求が発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが“1”にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMACm.DMCNT.DTE ビットが“0”にクリアされ、同時に DMACm.DMSTS.ESIF フラグが“1”にセットされます。このとき DMACm.DMINT.ESIE ビットが“1”にセットされていると、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

17.5 割り込み

DMACはチャンネルごとに、1要求分の転送完了後にCPUまたはDTCに割り込み要求を出力させることができます。転送先が内部周辺バスの場合、実転送先への書き込み完了ではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求を発行します。

割り込みの要因、フラグ、許可ビットの関係を表17.8に、割り込み出力の概略論理図を図17.13に示します。また、DMAC割り込み処理で、DMA転送を再開/中止する手順を図17.14に示します。

表 17.8 割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ 転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピート エリアオーバーフロー	DMACm.DMINT.DARIE		

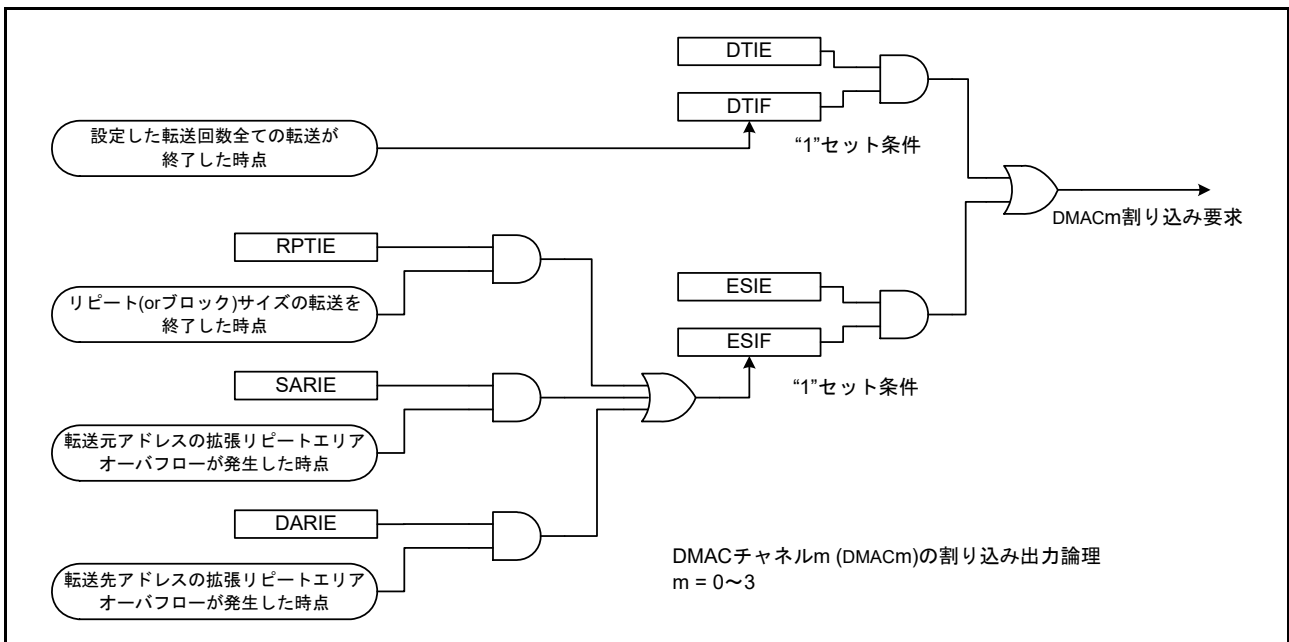


図 17.13 割り込み出力の概略論理図

割り込み処理ルーチンで、割り込みを解除してDMA転送を再開する方法は、DMA転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA転送を終了または中止させる場合

転送終了割り込みの場合はDMACm.DMSTS.DTIFフラグに、リピートサイズ割り込みおよび拡張リピートエリアオーバーフロー割り込みの場合はDMACm.DMSTS.ESIFフラグに“0”を書いてください。割り込み要因がクリアされます。DMACmは停止状態を保ちます。その後新たなDMA転送を行う場合は、必要なレジスタに設定値を書き込み、DMACm.DMCNT.DTEビットに“1”(DMA転送許可)を書き込んでください。

(2) DMA転送を継続させる場合

DMACm.DMCNT.DTEビットに“1”を書き込んでください。自動的にDMACm.DMSTS.ESIFフラグが“0”にクリア(割り込み要因がクリア)され、転送が再開します。

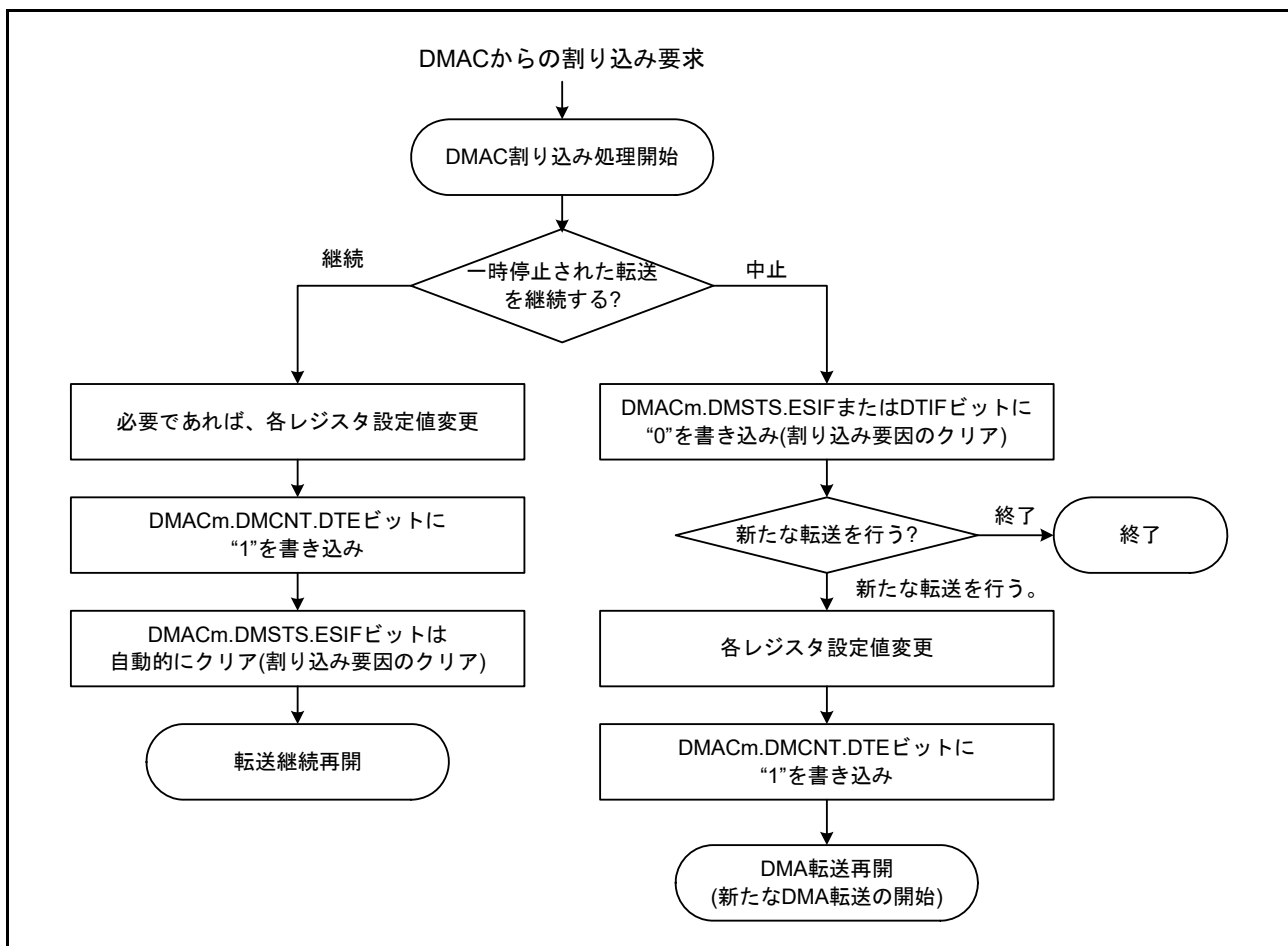


図 17.14 DMAC 割り込み処理で DMA 転送を再開 / 中止する手順

17.6 イベントリンク機能

各 DMAC チャンネルは、1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を出力します。ただし、転送先が内部周辺バスの場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求を発行します。

17.7 消費電力低減機能

モジュールストップ機能、およびソフトウェアスタンバイモードへ移行する際は、DMAST.DMST ビットに“0”(DMAC モジュール停止)を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1”(モジュールストップ状態への遷移)を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1”を書いたときに DMA 転送動作中の場合、DMA 転送の終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1”のとき、DMAC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0”(モジュールストップ状態の解除)を書くことにより、DMAC のモジュールストップが解除されます。

(2) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモードに移行します。

(3) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットに“1”を書いてください。

ソフトウェアスタンバイモード期間に発生した要求を DMAC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ(ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

17.8 使用上の注意事項

17.8.1 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMACm.DMSTS.ACT フラグが“0” (DMAC 停止中) になることがあります。

17.8.2 DMA 動作中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが“1” (DMAC 動作中)、または DMACm.DMCNT.DTE ビットが“1” (DMA 転送許可) の状態で、同じチャンネルの設定レジスタ (DMSAR, DMDAR, DMCRA, DMCRB, DMTMD, DMINT, DMAMD, DMOFR, DMCSL) へのアクセスは行わないでください。

17.8.3 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4. アドレス空間」を参照してください。

17.8.4 DMA 起動要因フラグ制御レジスタ (DMCSL) 設定による転送終了ごとの割り込み要求について

DMACm.DMCSL.DISEL ビットを“1”に設定すると、1回の DMA 起動要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMAC が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMAC の起動要因となった割り込みフラグを DMA 転送終了時に“0”クリアせずに割り込み要求先を CPU に切り替えることにより、CPU への割り込み要求が発生します。割り込みフラグは、CPU 割り込み受け付け時にクリアされます。

割り込みフラグ、割り込み要求先変更については、「14. 割り込みコントローラ (ICUb)」を参照してください。また、DMACm.DMCSL.DISEL ビットの設定は、「17.2.12 DMAC 起動要因フラグ制御レジスタ (DMCSL)」を参照してください。

17.8.5 割り込みコントローラの DMAC 起動要求レジスタ (ICU.DMRSRm) の設定

DMAC 起動要求レジスタ (ICU.DMRSRm) の設定は、DMA 転送許可ビット (DMACm.DMCNT.DTE ビット) が“0” (DMA 転送を禁止) のときに行なってください。また、ICU.DMRSRm レジスタで設定したベクタ番号と同じベクタ番号に対応する DTC 起動許可レジスタ (ICU.DTCERn) を“1”にしないでください。ICU.DTCERn、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

17.8.6 DMA 起動の保留 / 再開方法

DMA 起動要求を保留する場合は、起動要因の割り込み許可ビット (ICU.IERn.IENj ビット) を“0”にしてください。DMA 転送を再開する場合は「17.3.7 DMAC の起動」を設定した状態で、ICU.IERn.IENj ビットを“1”にしてください。

18. データトランスファコントローラ (DTCb)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。

DTC は、割り込み要求によって起動し、データ転送を行うことができます。

DTCb では、従来の DTC の転送方式 (ノーマル転送、リピート転送、ブロック転送、チェーン転送) に加え、これらを組み合わせて一連の転送として実行するシーケンス転送をサポートしています。シーケンス転送では、最初に転送したデータの値によって、最大 256 のシーケンスの中から 1 つを選択して実行できます。また、シーケンスの組み方によって、1 つのシーケンスを複数回に分けて実行することもできます。

18.1 概要

表 18.1 に DTC の仕様を、図 18.1 に DTC のブロック図を示します。

表 18.1 DTC の仕様

項目	内容
転送チャンネル数	<ul style="list-style-type: none"> DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1つのデータを転送する リピート転送モード 1回の起動で1つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32 ビットで、最大 1024 バイト転送可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能
チェーン転送機能	<ul style="list-style-type: none"> 1回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
シーケンス転送	<p>複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能</p> <ul style="list-style-type: none"> シーケンス転送の起動要因は同時に1つのみ選択可能 シーケンスは、1つの起動要因に対し最大256通り 転送要求によって最初に転送されたデータがシーケンスを決定 シーケンスは、1回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき 16M バイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) フルアドレスモードのとき 4G バイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データ : 1 バイト (8 ビット)、1 ワード (16 ビット)、1 ロングワード (32 ビット) 1 ブロックサイズ : 1 ~ 256 データ
CPU 割り込み要求	<ul style="list-style-type: none"> DTC を起動した割り込みで CPU への割り込み要求を発生可能 1回のデータ転送終了後に CPU への割り込み要求を発生可能 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	転送情報のライトバックを実行しない設定が可能
ディスプレイースメント加算	転送元アドレスにディスプレイースメントを加算可能(転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への遷移が可能

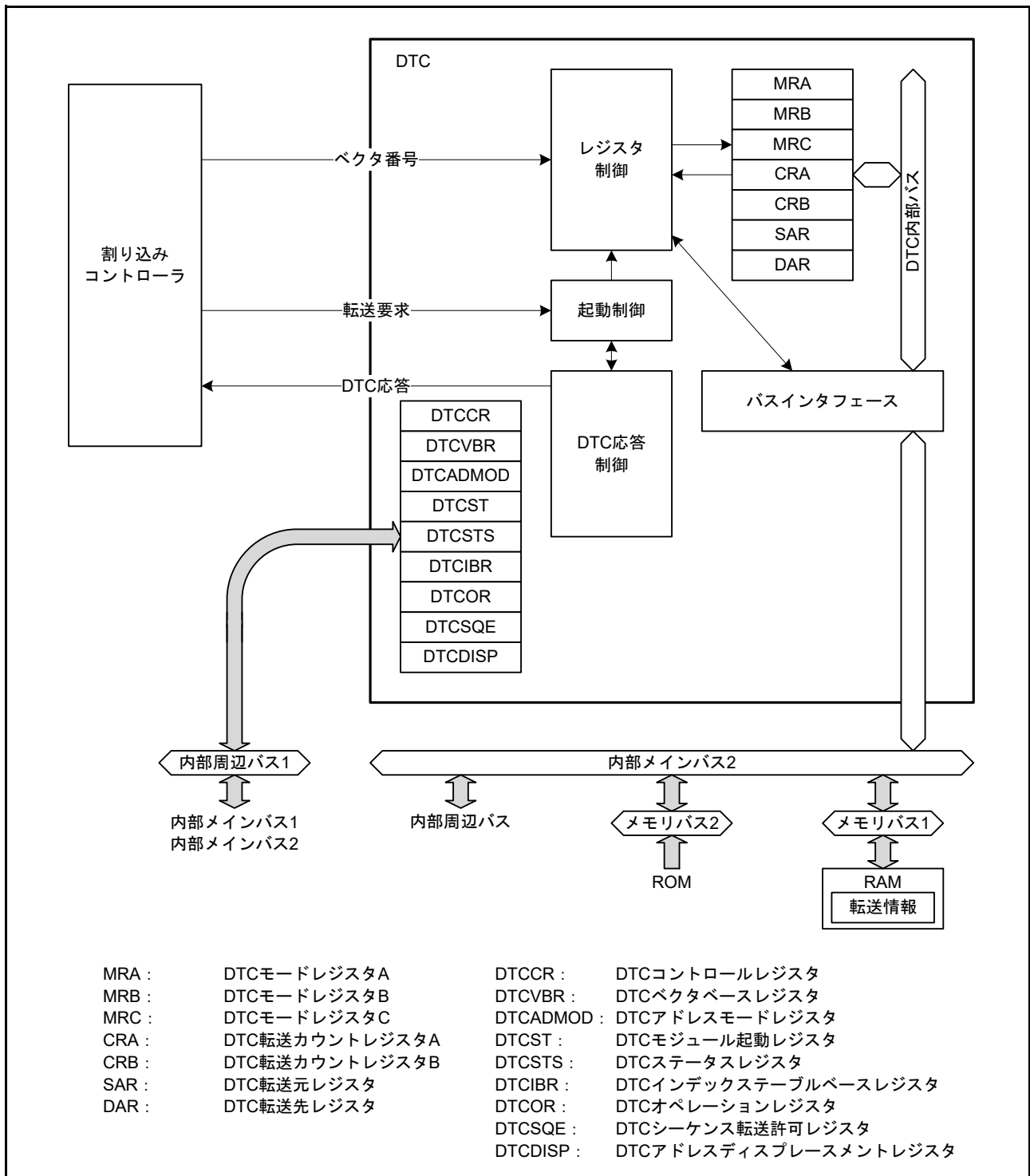


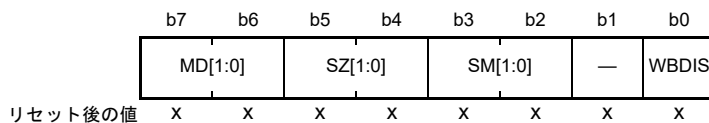
図 18.1 DTC のブロック図

18.2 レジスタの説明

MRA、MRB、MRC、SAR、DAR、CRA、CRB レジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は転送要求を受け付けると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報として RAM 領域にライトバックされます。

18.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	WBDIS	ライトバックディスエーブルビット	0: データ転送終了時、転送情報をライトバックする 1: データ転送終了時、転送情報をライトバックしない	—
b1	—	予約ビット	"0"にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0: SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1: SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0: 転送後SARレジスタをインクリメント (SZ[1:0]ビットが"00b"のとき+1、 "01b"のとき+2、"10b"のとき+4) 1 1: 転送後SARレジスタをデクリメント (SZ[1:0]ビットが"00b"のとき-1、 "01b"のとき-2、"10b"のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0: バイト(8ビット)転送 0 1: ワード(16ビット)転送 1 0: ロングワード(32ビット)転送 1 1: 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定しないでください	—

MRA レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

WBDIS ビット (ライトバックディスエーブルビット)

データ転送終了時、転送情報をライトバックするかどうかを選択します。

WBDIS ビットが "0" の場合は、更新された転送情報をライトバックします。

WBDIS ビットが "1" の場合は、転送後にアドレスがインクリメントされるような設定をしても転送情報のライトバックは行わず、転送要求ごとに毎回同じデータ転送を行います。転送情報がライトバックされないため、転送情報を ROM 上に配置することができます。

WBDIS ビットが "1" の場合、転送モードごとに下記の動作を行います。

(1) ノーマル転送モード、リピート転送モード

1回の転送要求で、1バイト、1ワード、1ロングワードの転送を行います。転送アドレス、転送回数は更新しませんので、転送要求ごとに同じ転送を繰り返します。転送回数が1の場合もICU.DTCERn.DTCE ビットを“0”にせず、次の転送要求でデータ転送を継続します。

(2) ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。転送アドレス、ブロック転送回数は更新しませんので、転送要求ごとに同じブロック転送を繰り返します。ブロック転送回数が1の場合もICU.DTCERn.DTCE ビットを“0”にせず、次の転送要求でデータ転送を継続します。

なお、MRC.DISPE ビットを“1”にする場合、WBDIS ビットも“1”(ライトバックしない)にしてください。また、WBDIS ビットを“1”にした転送情報が1つでもある場合は、DTCCR.RRS ビットを“0”(リードスキップを行わない)にしてください。

18.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	INDX	SQEND	
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	SQEND	シーケンス転送終了ビット	0 : シーケンス転送を継続 1 : シーケンス転送を終了	—
b1	INDX	インデックステーブル参照ビット	0 : インデックステーブルを参照しない 1 : 転送したデータを元にインデックステーブルを参照する(注1)	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 0 1 : DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 1 0 : 転送後、DAR レジスタをインクリメント (MRA.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1 : 転送後DAR レジスタをデクリメント (MRA.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0 : 転送先がリピート領域またはブロック領域 1 : 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0 : 指定した回数のデータ転送が終了したとき、CPUへの割り込み要求が発生 1 : データ転送のたびに、CPUへの割り込み要求が発生	—
b6	CHNS	DTC チェーン転送選択ビット	0 : 転送が終了するたびにチェーン転送を行う 1 : 転送カウンタが1 → 0、または1 → CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0 : チェーン転送禁止 1 : チェーン転送許可	—

注1. INDX ビットを“1”にする場合、MRA.MD[1:0] ビットを“00b”(ノーマル転送モード)にしてください。

MRB レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

SQEND ビット (シーケンス転送終了ビット)

シーケンス転送を継続するか、終了するかを選択します。詳細は表 18.2 を参照してください。

DTC インデックステーブルにより参照される転送情報でのみ“1”にできます。DTC ベクタテーブルにより参照される転送情報では“0”にしてください。

INDX ビット (インデックステーブル参照ビット)

INDX ビットが“1”になった転送情報が読み込まれると、シーケンス転送が開始されます。詳細は表 18.2 を参照してください。

シーケンス転送と関係のない転送情報、シーケンス転送を開始しない転送情報では“0”にしてください。また、DTCSCQE レジスタに設定した要因と異なる要因の転送情報で INDX ビットを“1”にしている場合、その要因からの転送要求が発生しないようにしてください。

表 18.2 シーケンス転送におけるCHNE、SQEND、INDXビットの設定値とDTCの動作

CHNEビット	SQENDビット	INDXビット	動作	使用場所
0	0	1	シーケンス転送を開始	DTCSQEレジスタに設定した要因からの転送要求によって、最初に読み込まれる転送情報で使用
1	0	0	シーケンス転送を継続	シーケンス内の最初または途中の転送情報で使用
0	0	0	シーケンス転送を一時中断	シーケンス内の最初または途中の転送情報で使用
0	1	0	シーケンス転送を終了	シーケンス内の最後の転送情報で使用
0	1	1	シーケンス転送を終了し、新たなシーケンス転送を開始	シーケンス内の最後の転送情報で使用

注. 上記以外の設定は使用しないでください。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときはCHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 18.4 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「18.4.6 チェーン転送」を参照してください。

シーケンス転送で使用する場合の設定値については、表 18.2 を参照してください。

18.2.3 DTC モードレジスタ C (MRC)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISPE
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	DISPE	ディスプレイメント加算ビット	0: 転送元アドレスにディスプレイメント値を加算しない 1: 転送元アドレスにディスプレイメント値を加算する	—
b7-b1	—	予約ビット	"0"にしてください	—

MRC レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

フルアドレスモード時のみ使用できます。ショートアドレスモードでは使用できませんので、ディスプレイメント加算機能を使う場合は DTCADM.SHORT ビットを“0”(フルアドレスモード)にしてください。

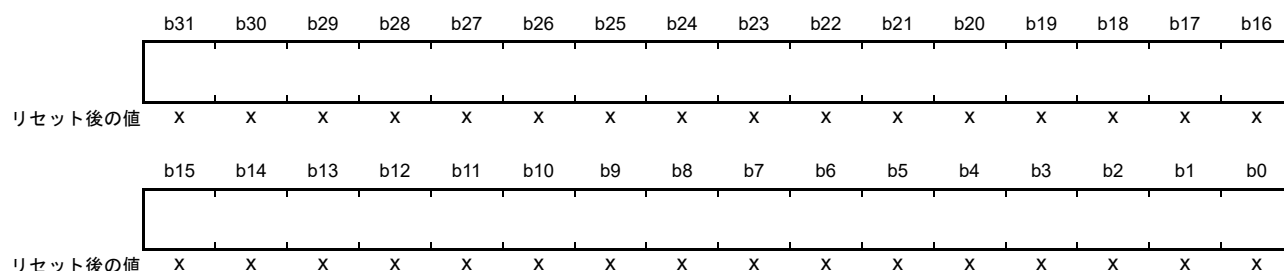
DISPE ビット (ディスプレイメント加算ビット)

転送元アドレスとして SAR + DTCDISP の値を使用するかどうかを指定します。

DISPE ビットを“1”にする場合は、MRA.WBDIS ビットを“1”(ライトバックしない)、DTCCR.RRS ビットを“0”(リードスキップを行わない)にしてください。

18.2.4 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

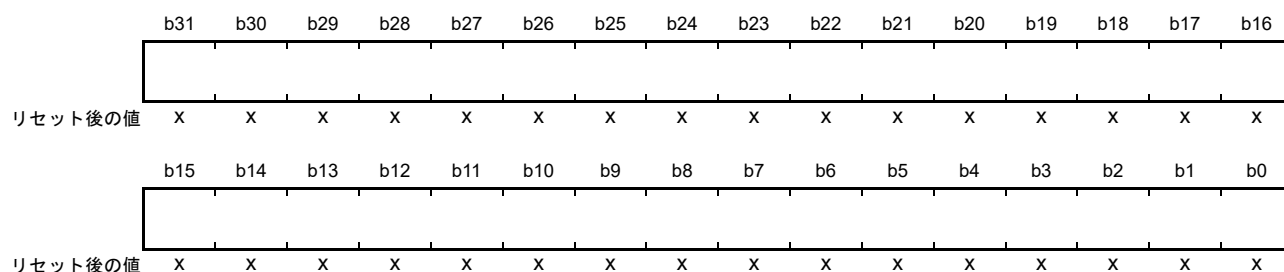
フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

18.2.5 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

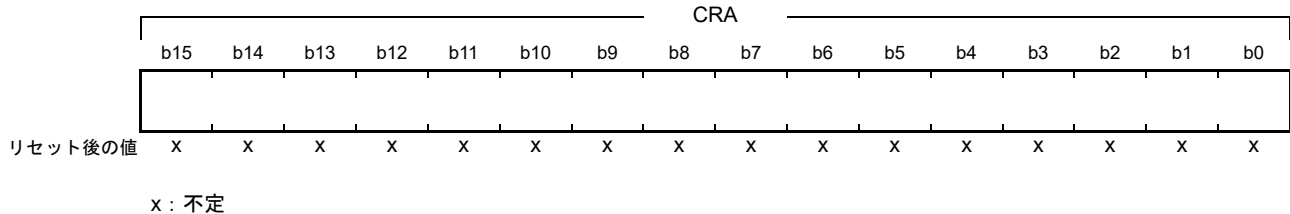
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

18.2.6 DTC 転送カウントレジスタ A (CRA)

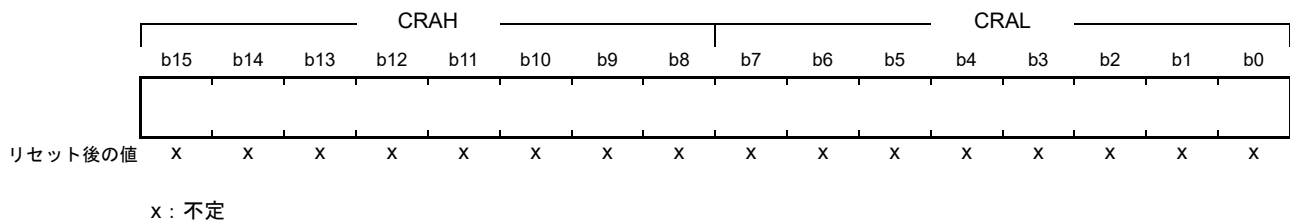
- ノーマル転送モード

アドレス (CPUから直接アクセス不可)



- リピート転送モード、ブロック転送モード

アドレス (CPUから直接アクセス不可)



シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは 1 回、“FFFFh”のときは 65535 回、“0000h”のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が“01h”のときは 1 回、“FFh”のときは 255 回、“00h”のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h”になると CRAH レジスタの値がリロードされます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

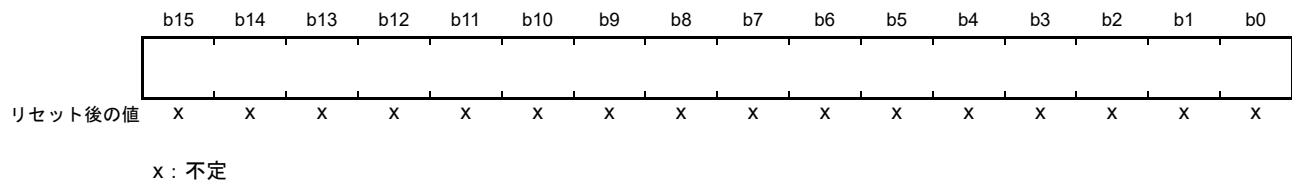
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が“01h”のときは 1 回、“FFh”のときは 255 回、“00h”のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h”になると CRAH レジスタの値がリロードされます。

18.2.7 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

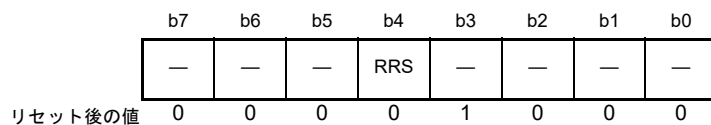
転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

18.2.8 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット(注1)	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. シーケンス転送を使用するときは、“0”にしてください。

DTCCR レジスタは、DTC の動作を制御するレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

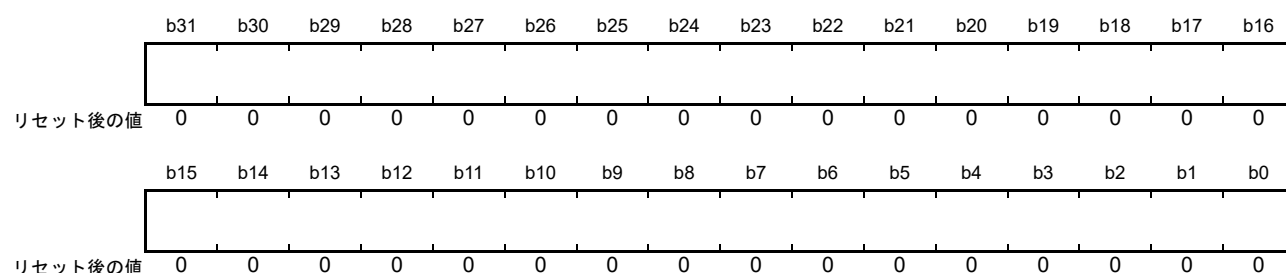
また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

MRA.WBDIS ビットを“1”にした転送情報が1つでもある場合は、RRS ビットを“0”にしてください。なお、MRC.DISPE ビットを“1”にする場合は、MRA.WBDIS ビットも“1”にする必要があります。

また、シーケンス転送は、チェーン転送と同様に複数のデータ転送を実行しますので、前回行った最後の転送を繰り返さないように、RRS ビットを“0”にして使用してください。

18.2.9 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

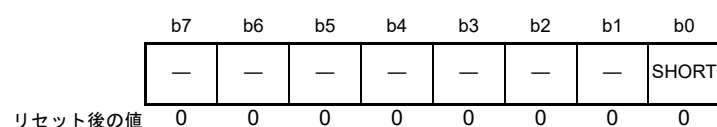


DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

18.2.10 DTC アドレスモードレジスタ (DTCADM0D)

アドレス DTC.DTCADM0D 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット (注1)	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. シーケンス転送を使用するときは、“0”(フルアドレスモード)にしてください。

DTCADM0D レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

18.2.11 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能にするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

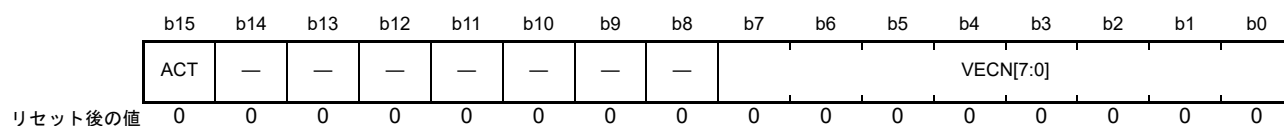
モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを“1”にすると、データ転送が再開できます。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへの移行については「18.9 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

18.2.12 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中(ACTフラグが“1”のとき)にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0：データ転送は実行していない 1：データ転送実行中	R

VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1”(データ転送実行中)であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0”(データ転送は実行していない)であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

データ転送の実行状態を示します。

[“1”になる条件]

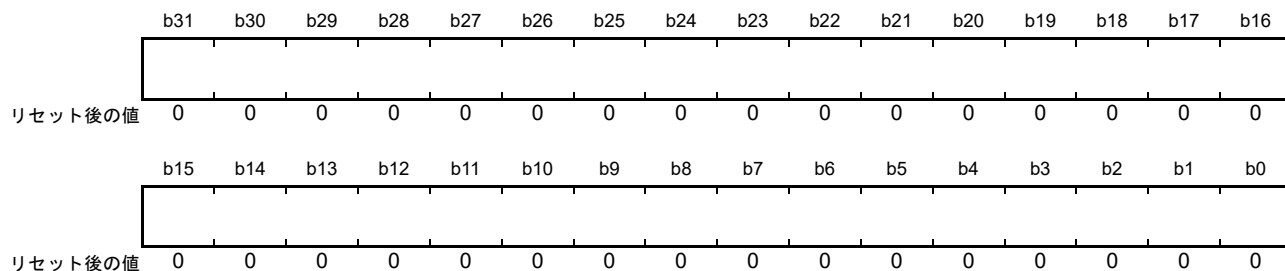
- 転送要求に対して DTC が起動したとき
- シーケンス転送が再開されたとき

[“0”になる条件]

- 1回の転送要求に対するデータ転送が終了したとき
- シーケンス転送が一時中断したとき

18.2.13 DTC インデックステーブルベースレジスタ (DTCIBR)

アドレス DTC.DTCIBR 0008 2410h



DTCIBR レジスタは DTC インデックスの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および、F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

18.2.14 DTC オペレーションレジスタ (DTCOR)

アドレス DTC.DTCOR 0008 2414h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SQTFRL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SQTFRL	シーケンス転送終了ビット	“1”を書くと実行中のシーケンス転送を強制的に終了させることができます。読むと“0”が読めます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

DTCOR レジスタは、DTC モジュールのオペレーションを設定するレジスタです。

SQTFRL ビット (シーケンス転送終了ビット)

SQTFRL ビットを“1”にすると、実行中のシーケンス転送が終了します。

DTCSQE.ESPSEL ビットが“1” (シーケンス転送を使用する) の場合、**図 18.2** の手順でシーケンス転送を終了させてください。

シーケンス転送が実行されていない場合に SQTFRL ビットに“1”を書いても、何も起こりません。

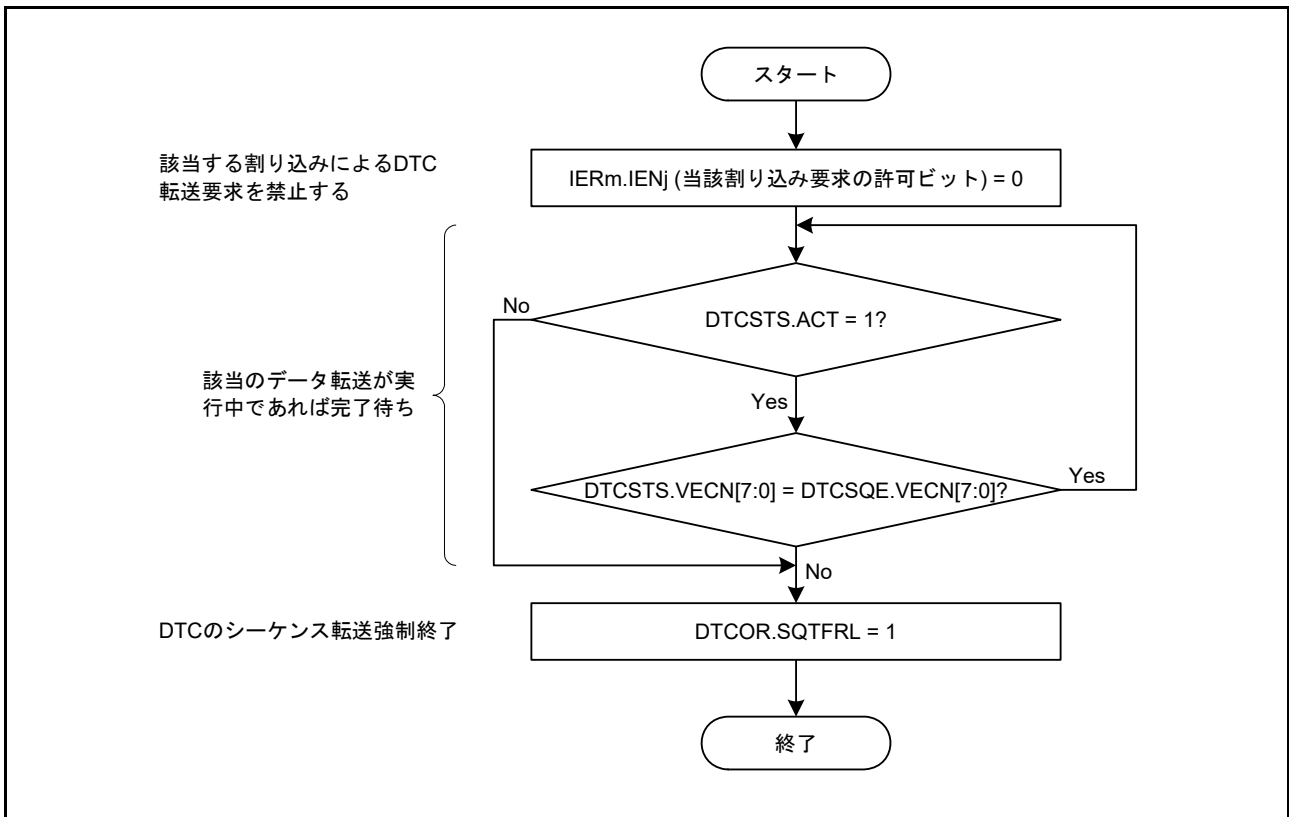
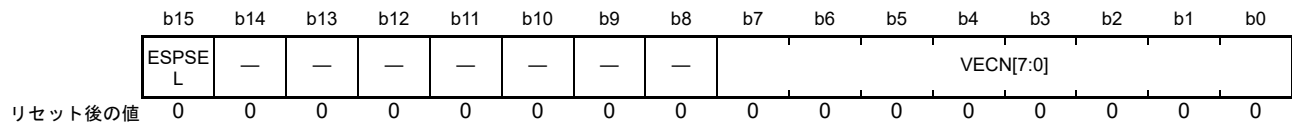


図 18.2 シーケンス転送強制終了手順

18.2.15 DTC シーケンス転送許可レジスタ (DTCSQE)

アドレス DTC.DTCSQE 0008 2416h



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	シーケンス転送ベクタ番号指定ビット	シーケンス転送を許可するベクタ番号を指定します。ESPSELビットが“1”の時のみ有効です。	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	ESPSEL	シーケンス転送許可ビット	0：シーケンス転送を使用しない 1：シーケンス転送を使用する	R/W

DTCSQE レジスタは、DTC のシーケンス転送を指定するレジスタです。設定手順は図 18.24 に従ってください。

VECN[7:0] ビット (シーケンス転送ベクタ番号指定ビット)

シーケンス転送を使用するベクタ番号を選択します。シーケンス転送は1つの起動要因でのみ動作可能です。

起動要因とベクタ番号の関係は「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。

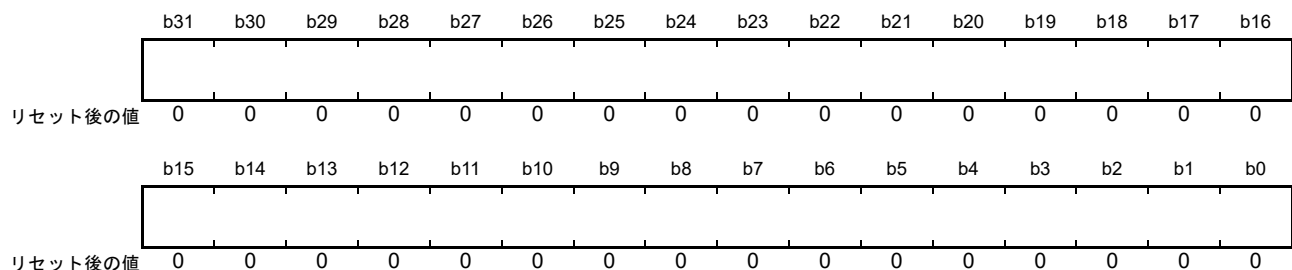
ESPSEL ビット (シーケンス転送許可ビット)

シーケンス転送を使用するかどうかを指定します。

ESPSEL ビットを“1”にする場合、DTCADM.DTCSQE.SHORT ビットを“0”(フルアドレスモード)にしてください。

18.2.16 DTC アドレスディスプレイメントレジスタ (DTCDISP)

アドレス DTC.DTCDISP 0008 2418h



DTCDISP レジスタは、DTC の転送元アドレスに加算するディスプレイメント値を指定するレジスタです。

MRC.DISPE ビットが“1”の場合、転送元アドレスとして SAR + DTCDISP の値を使用します。

18.3 起動要因

DTCは割り込み要求によって起動します。DTCを起動する割り込み要求に対応するICU.DTCERn.DTCEビット(n=割り込みベクタ番号)を“1”にするとDTCの起動要因になります。

DTC起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ(ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ(ICUb)」の「14.2.5 ソフトウェア割り込み起動レジスタ(SWINTR)」を参照してください。

DTCが一度、転送要求を受け付けると、その1要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DMAC/DTCのデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCSTビットが“0”(DTCモジュール停止)の状態でも複数の転送要求が発生した場合も、その後、DTCST.DTCSTビットを“1”(DTCモジュール動作)にした時点で最も優先順位の高い要求が受け付けられます。

1回のデータ転送(チェーン転送の場合、連続した最後の転送)を行うごとに、DTCは以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後にICU.DTCERn.DTCEビットを“0”にしてCPUに割り込みを要求します。
- MRB.DISELビットが“1”のときは、データ転送後にCPUに割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを“0”にします。

18.3.1 転送情報の配置とDTCベクタテーブル

DTCは起動要因別にDTCベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTCベクタテーブルは、ベースアドレス(先頭アドレス)の下位10ビットが“0”になるように、1Kバイト境界に配置してください。DTCベクタテーブルのベースアドレスは、DTCベクタベースレジスタ(DTCVBR)に設定してください。

転送情報は、RAM領域に配置します。ただし、MRA.WBDISビットを“1”(ライトバックしない)にした場合は、ROM領域に配置することもできます。ベクタ番号nに対する転送情報nの先頭アドレスは、DTCVBR + 4n番地に格納してください。

転送情報は、4バイト境界に配置してください。ショートアドレスモードの場合、12バイト、フルアドレスモード場合、16バイト使用します。DTCADM.SHORTビットで、ショートアドレスモード(SHORTビット=1)、フルアドレスモード(SHORTビット=0)の設定を行います。

DTCベクタテーブルと転送情報の対応を図18.3に示します。

RAM領域上の転送情報の配置を図18.4に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「18.10.2 転送情報の配置」を参照してください。

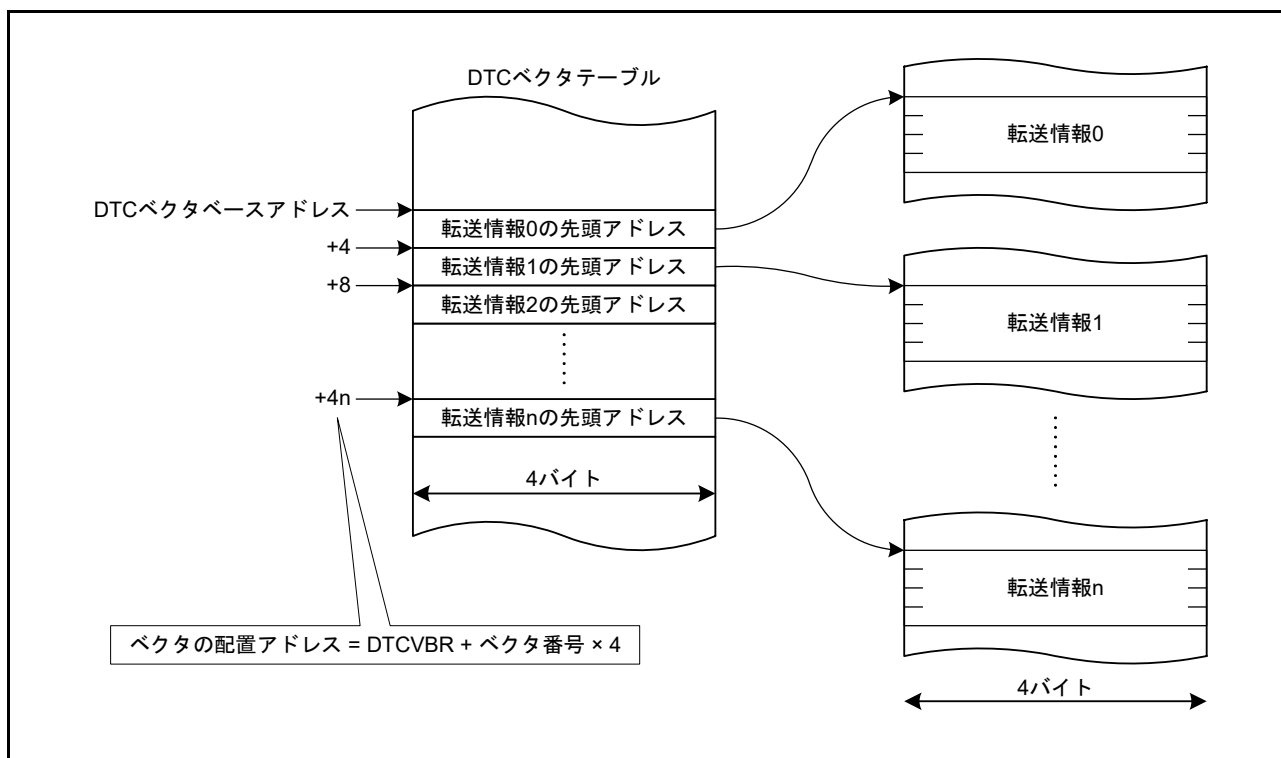


図 18.3 DTC ベクタテーブルと転送情報の対応

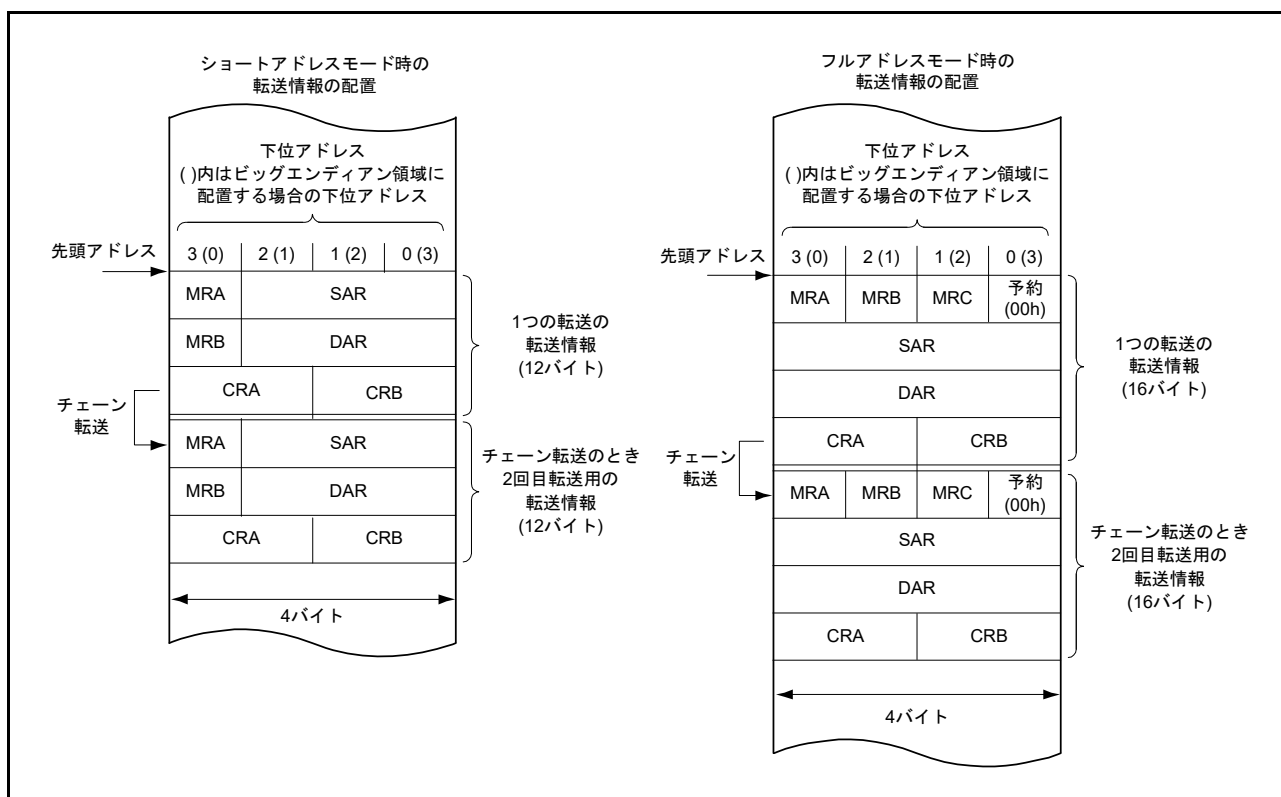


図 18.4 RAM 領域上の転送情報の配置

18.4 動作説明

DTCは、転送情報を元にデータを転送します。DTCを動作させるためには、あらかじめ転送情報をRAM領域に格納しておく必要があります。

DTCが起動すると、ベクタ番号に対応するDTCベクタを読み出します。次にDTCベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報をRAM領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスはSARレジスタ、転送先アドレスはDARレジスタで指定します。SARレジスタ、DARレジスタは、それぞれの設定(インクリメント/デクリメント/固定)に従って、転送後に更新されます。

DTCの転送モードを表18.3に示します。

表 18.3 DTCの転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード(注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回(注3)
ブロック転送モード(注2)	CRAHレジスタで指定したブロックサイズ(1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続(リピート)する。

また、MRB.CHNEビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます(チェーン転送)。MRB.CHNSビットの設定で、指定された回数のデータ転送が終了したときにチェーン転送を行う設定も可能です。

DTC動作フローチャートを図18.5に示します。チェーン転送の条件を表18.4に示します。

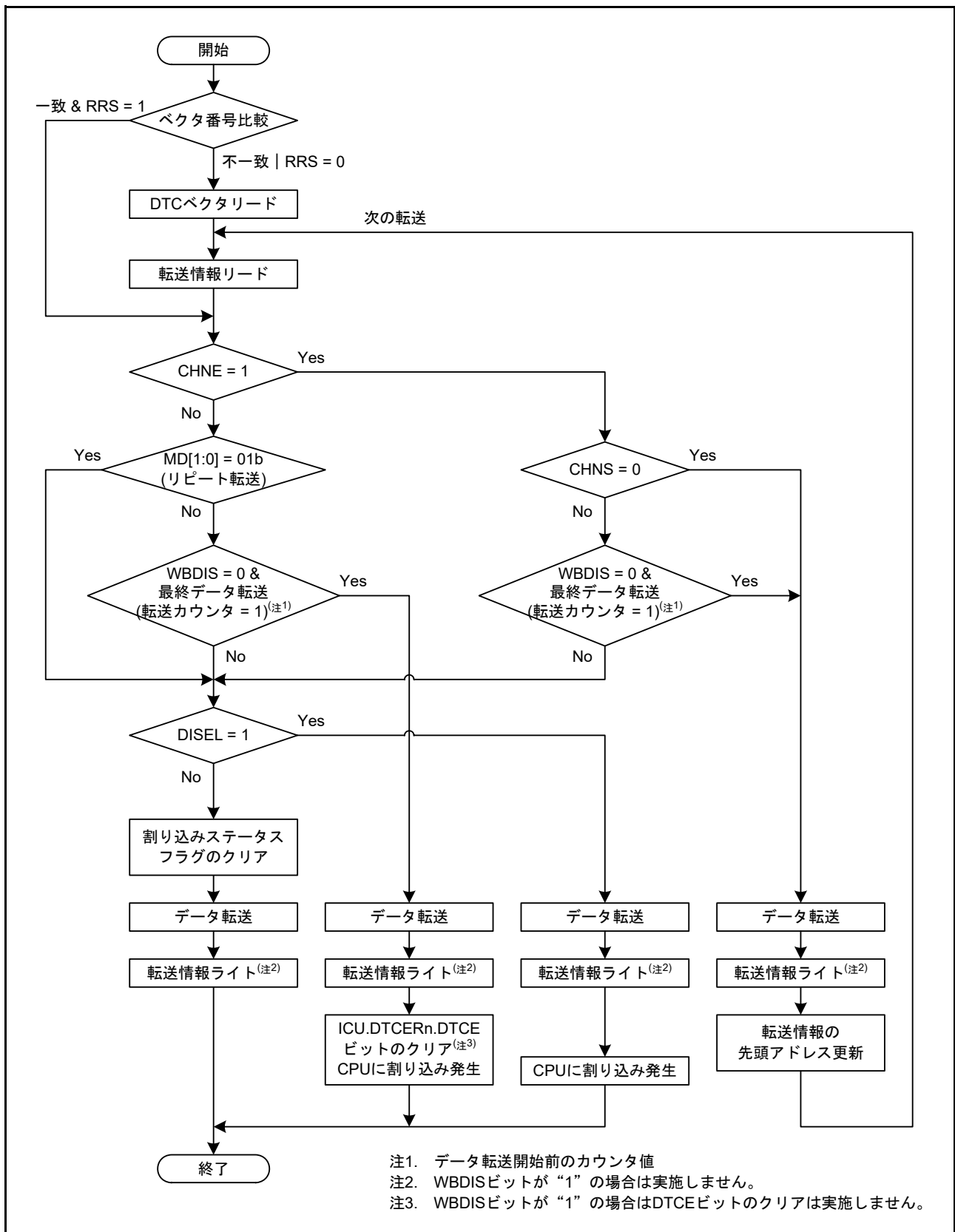


図 18.5 DTC 動作フローチャート

表 18.4 チェーン転送の条件

第1の転送				第2の転送(注3)				データ転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リポート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リポート転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

18.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 18.14 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを“1”にしてください。DTCCR.RRS ビットを“0”にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

18.4.2 転送情報ライトバックスキップ機能

18.4.2.1 アドレス固定によるライトバックスキップ

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 18.5 に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタ、MRC レジスタはライトバックスキップされます。

表 18.5 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SARレジスタ	DARレジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

18.4.2.2 MRA.WBDIS ビットによるライトバックスキップ

MRA.WBDIS ビットが “1” の場合、転送情報の設定内容にかかわらず転送情報 (SAR, DAR, CRA, CRB) はライトバックされません。

メモリ上の転送情報を更新しませんので、転送情報を ROM から RAM にコピーすることなく DTC のデータ転送を実行することができます。また、ライトバックを省略することで、データ転送の後処理にかかる時間が短縮できます。

18.4.3 ノーマル転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表18.6に、ノーマル転送モードのメモリマップを図18.6に示します。

表18.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. MRA.WBDISビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

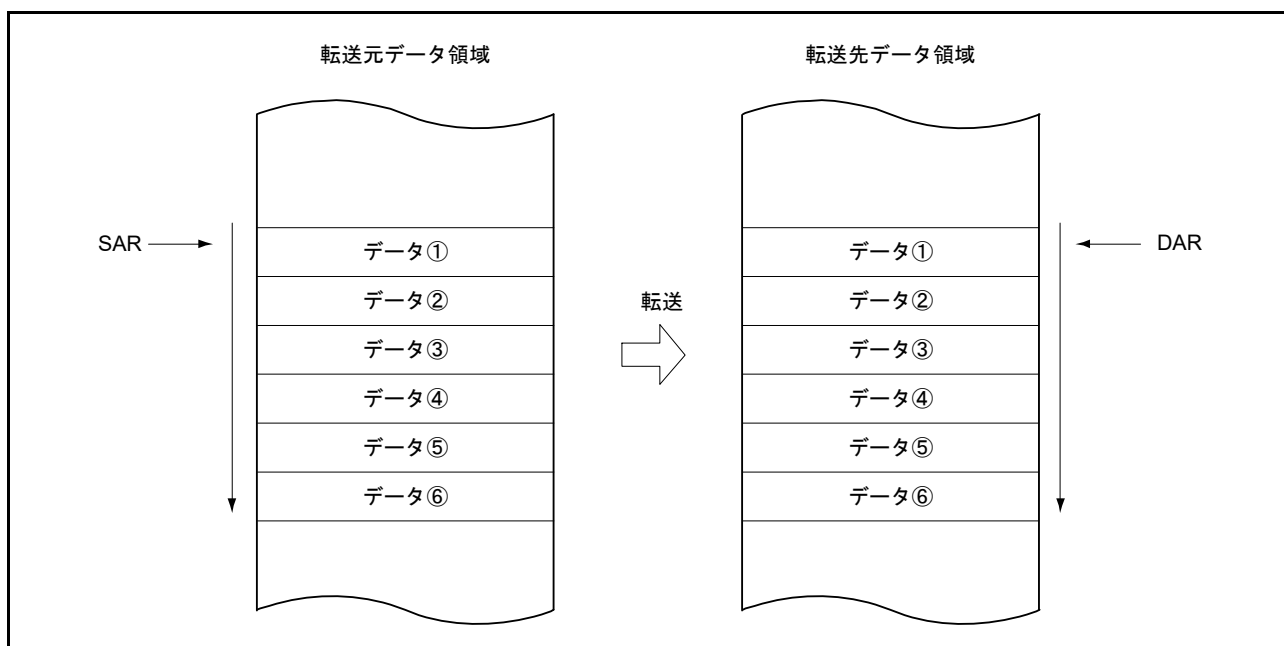


図18.6 ノーマル転送モードのメモリマップ

18.4.4 リピート転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”(指定した回数のデータ転送が終了したとき、CPU への割り込みが発生)の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 18.7 に、リピート転送モードのメモリマップを図 18.7 に示します。

表 18.7 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)		
		CRAL # 1 のとき	CRAL = 1 のとき	
			MRB.DTS ビット=0のとき	MRB.DTS ビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)	インクリメント/デクリメント/固定(注2)	SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)	DARレジスタの初期値	インクリメント/デクリメント/固定(注2)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタ A	CRAL - 1	CRAH	
CRB	転送カウンタ B	更新されない	更新されない	

注1. MRA.WBDISビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

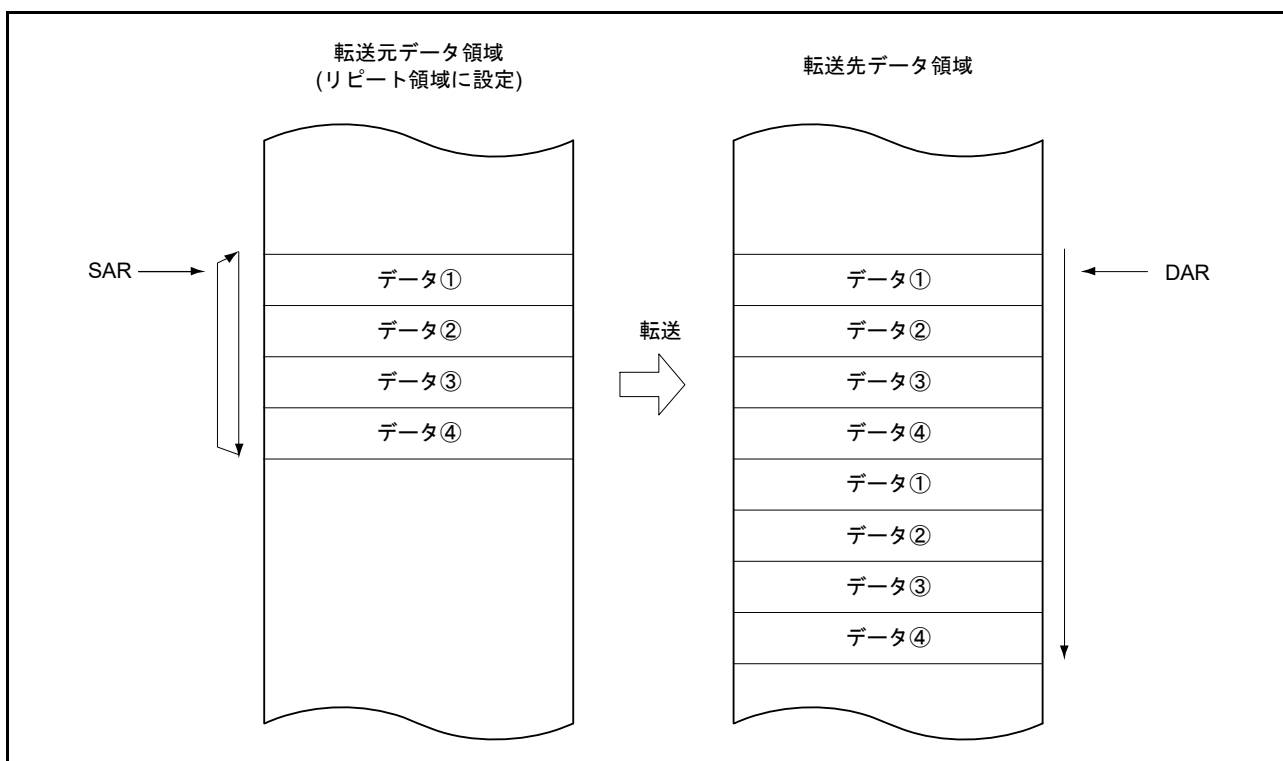


図 18.7 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

18.4.5 ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト、1～256ワードまたは1～256ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数(ブロック回数)は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 18.8 に、ブロック転送モードのメモリマップを図 18.8 に示します。

表 18.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)	
		MRB.DTSビット=0のとき	MRB.DTSビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)	SARレジスタの初期値
DAR	転送先アドレス	DARレジスタの初期値	インクリメント/デクリメント/固定(注2)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB - 1	

注1. MRA.WBDISビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

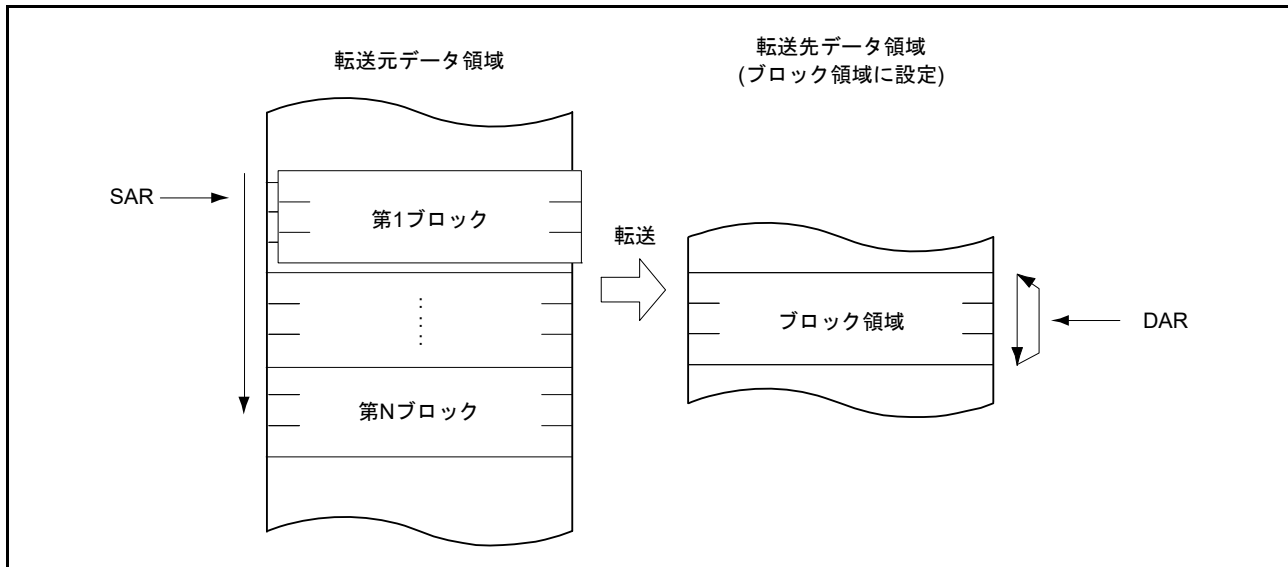


図 18.8 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

18.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを“1”(データ転送のたびに、CPU への割り込み要求が発生)にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報(SAR, DAR, CRA, CRB, MRA, MRB, MRC)はそれぞれ個別に設定できます。図 18.9 にチェーン転送の動作を示します。

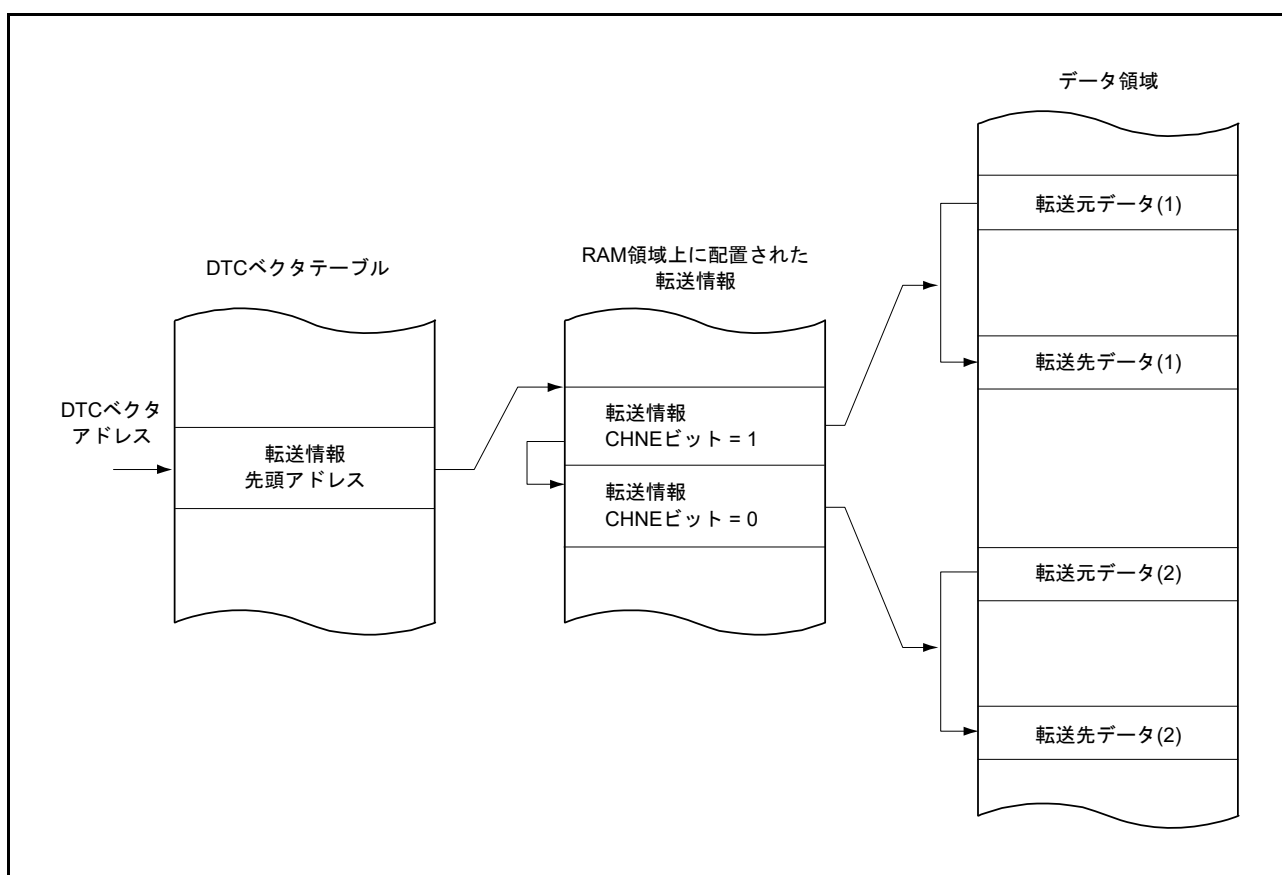


図 18.9 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、表 18.4 のチェーン転送の条件を参照してください。

18.4.7 動作タイミング

DTCの動作タイミングの例を図18.10～図18.14に示します。

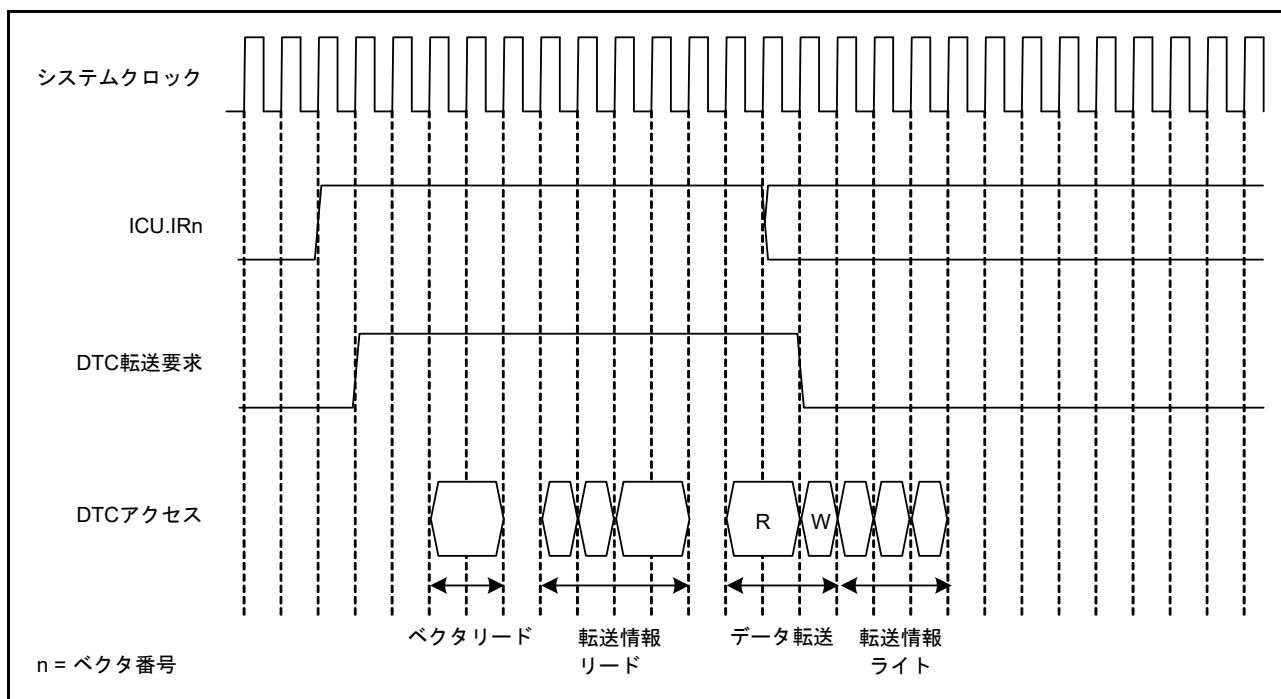


図 18.10 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

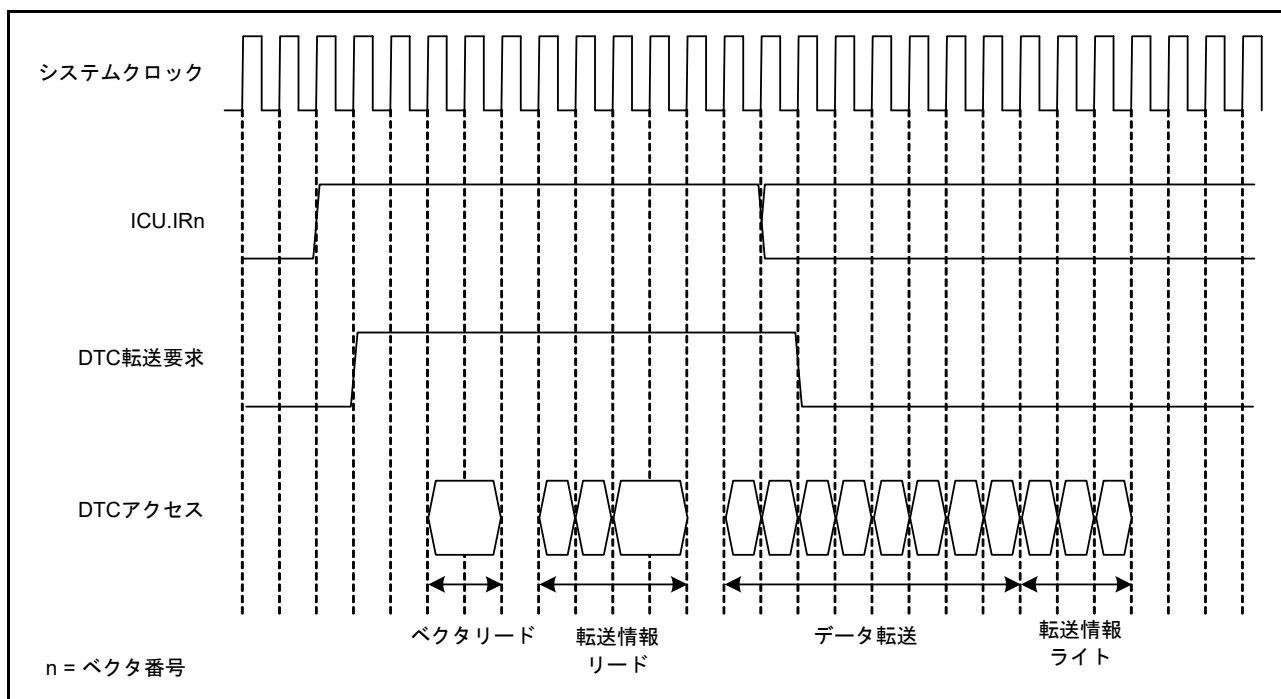


図 18.11 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

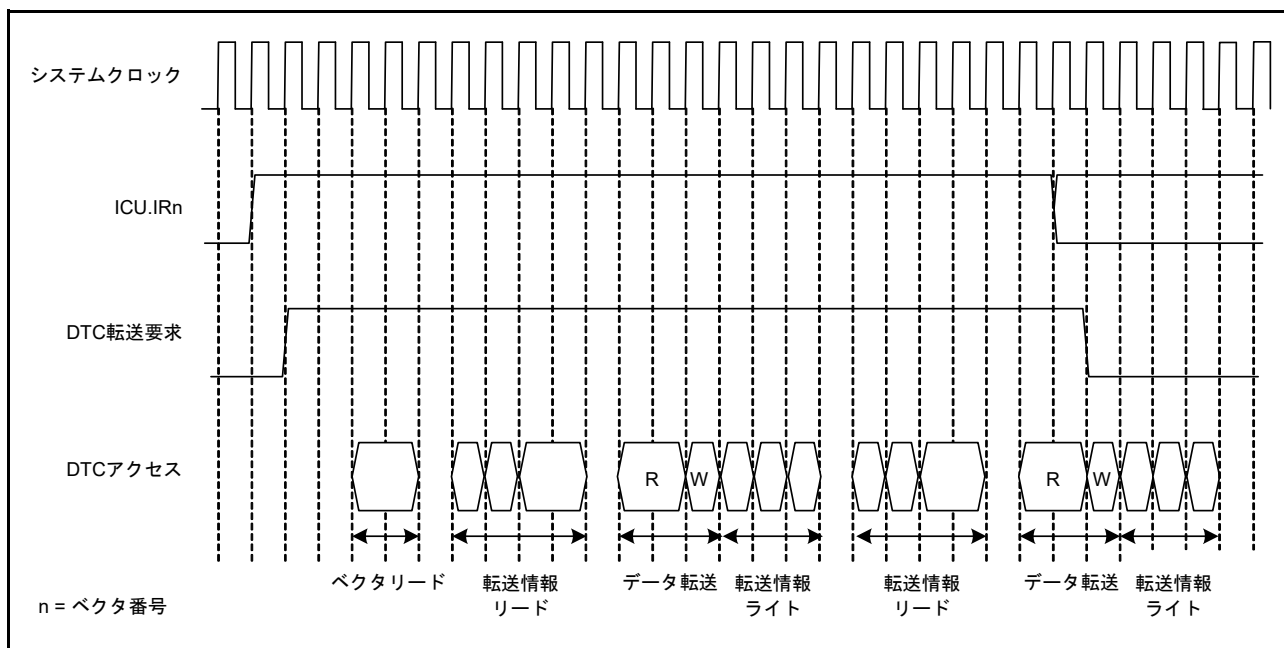


図 18.12 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

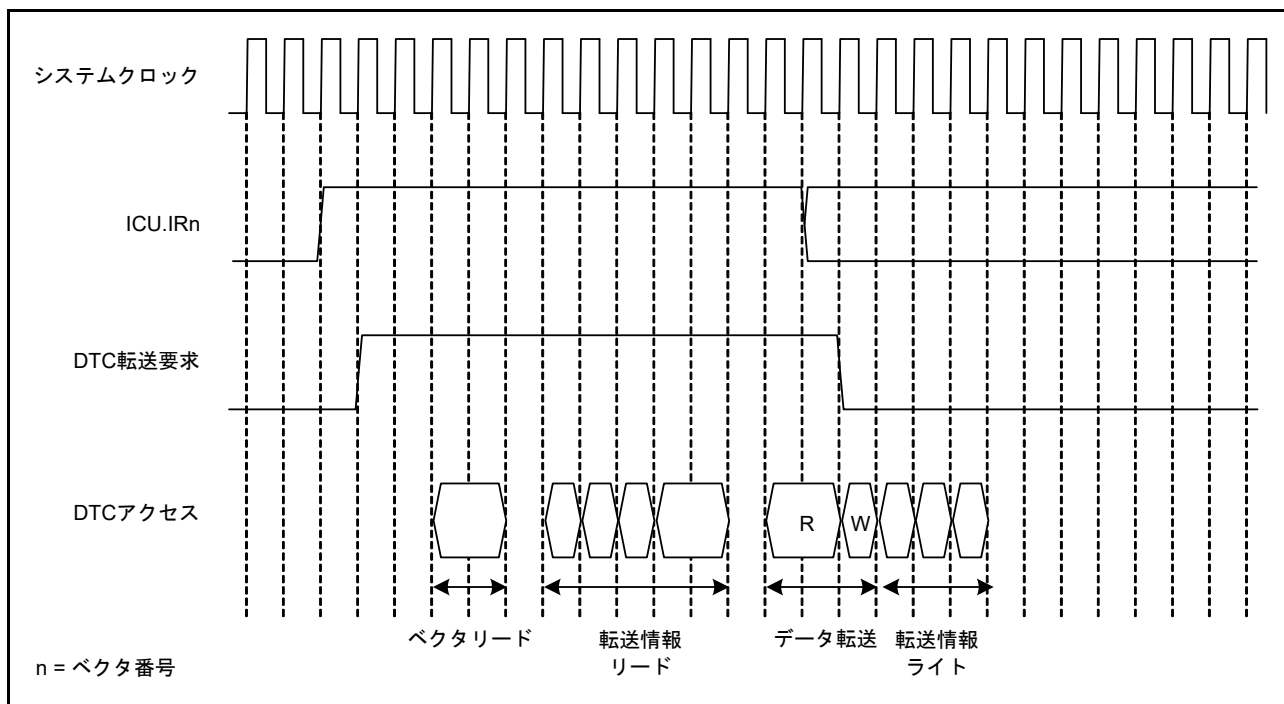


図 18.13 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

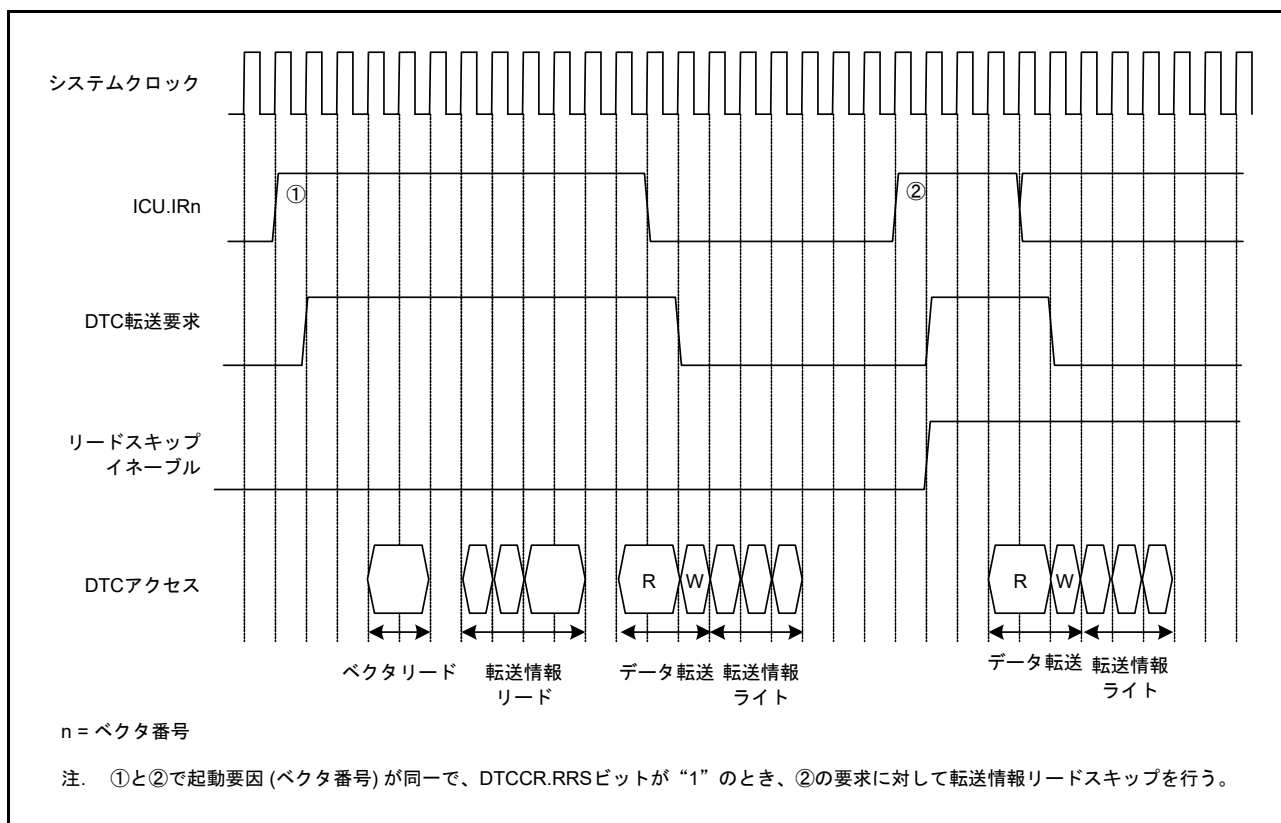


図 18.14 転送情報リードスキップ時の動作例
(ベクタ、転送情報、転送先がRAM、転送元は周辺モジュールの場合)

18.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 18.9 に示します。

各処理状態の実施順序は、「18.4.7 動作タイミング」を参照してください。

表 18.9 DTCの実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注 1)	4 × Ci + 1 (注 2)	3 × Ci + 1 (注 3)	0 (注 1)	3 × Ci (注 4)	2 × Ci (注 5)	Ci (注 6)	Cr + 1	Cw	2	0 (注 1)
リピート									Cr + 1	Cw		
ブロック (注 7)									P × Cr	P × Cw		

注 1. 転送情報リードスキップのとき

注 2. フルアドレスモード動作のとき

注 3. ショートアドレスモード動作のとき

注 4. SAR レジスタ、DAR レジスタがともにアドレス固定でないとき

注 5. SAR レジスタ、または DAR レジスタがアドレス固定のとき

注 6. SAR レジスタと DAR レジスタがともにアドレス固定のとき

注 7. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P : ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv : ベクタ転送情報格納先アクセスサイクル

Ci : 転送情報格納先アドレスアクセスサイクル

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「45. RAM」、「46. フラッシュメモリ (FLASH)」、「5. I/O レジスタ」を参照してください。)

18.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

18.4.10 シーケンス転送

DTCSQE レジスタで設定した起動要因に対してシーケンス転送を実行することができます。MRB.INDX ビットを“1”にするとシーケンス転送を開始し、MRB.SQEND ビットを“1”にするとシーケンス転送を終了します。またシーケンス転送実行中でも DTCOR.SQTFRL ビットを“1”にすることでシーケンス転送を強制的に終了させ、次の DTC 転送要求でインデックステーブル参照から開始することができます。

シーケンス転送は下記の処理を行います。

- (1) DTCSQE レジスタに設定された要因からの DTC 転送要求を受けて、DTC ベクタテーブルを参照し最初のデータ転送を実行
- (2) (1) で転送した最初のデータの下位 8 ビットの値 (シーケンス番号) に基づいて DTC インデックステーブルを参照
- (3) DTC インデックステーブルから取得したアドレスから、転送情報を読み出し
- (4) 転送情報に従ってデータ転送を実行。転送後、MRB.CHNE ビットと MRB.SQEND ビットの値によって以下のいずれかの動作を実施
 - CHNE ビットが“1”の場合、チェーン転送を実行 → 次の転送情報を読み出し → (4) へ
 - CHNE ビットが“0”かつ SQEND ビットが“0”の場合、シーケンス転送を一時中断 → (5) へ
 - CHNE ビットが“0”かつ SQEND ビットが“1”の場合、シーケンス転送を終了
- (5) DTCSQE レジスタに設定された要因から DTC 転送要求が入る (注 1) と、中断していたシーケンスを再開、次の転送情報を読み出し → (4) へ

注 1. データ転送の結果 ICU.DTCERn.DTCE ビットが“0”になると、DTC 転送要求が発生しません。シーケンス転送を再開するには、DTCE ビットを“1”にしてください。DTCE ビットが“0”になる条件は、図 18.5 または「14. 割り込みコントローラ (ICUb)」を参照してください。

シーケンス転送の基本動作を図 18.15、図 18.16 に示します。

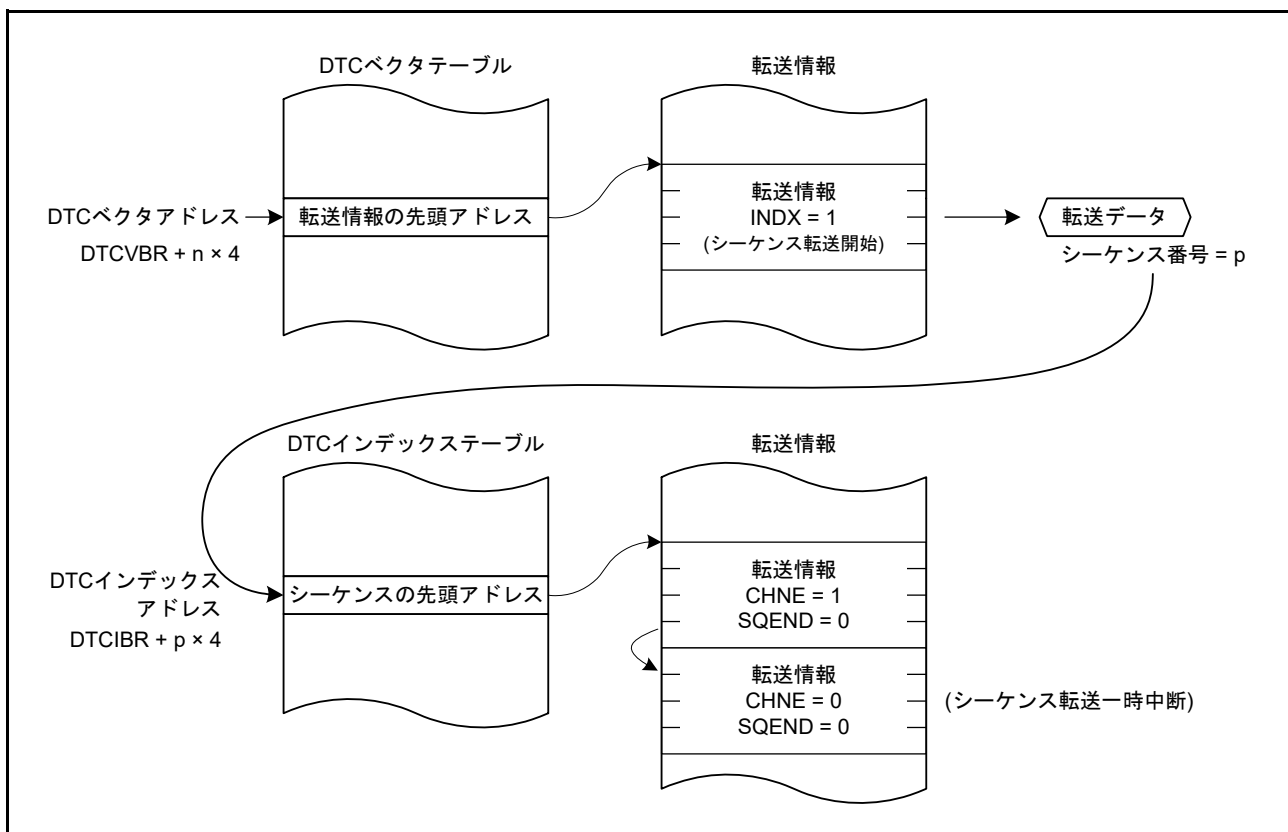


図 18.15 シーケンス転送の開始と一時中断

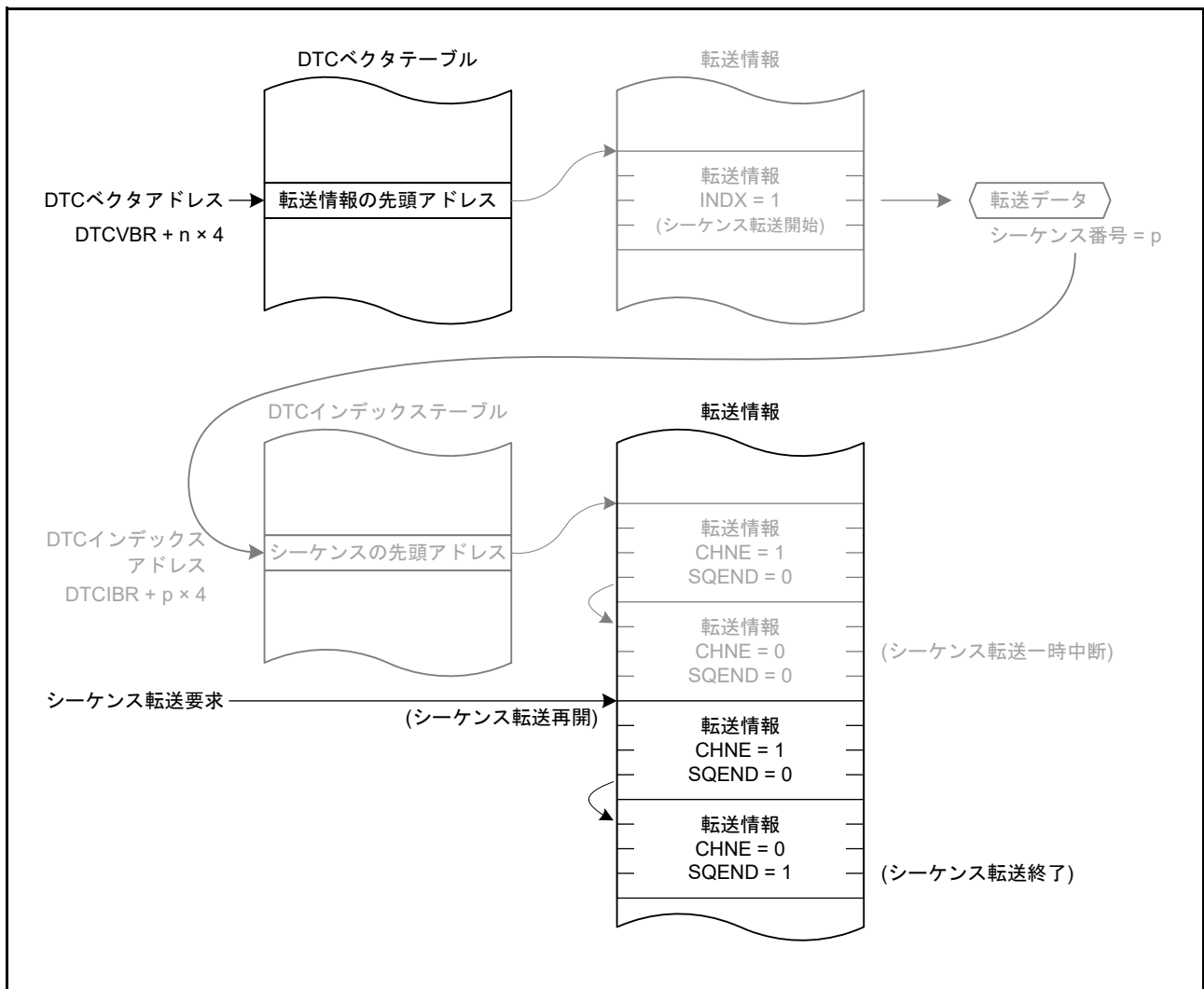


図 18.16 シーケンス転送の再開と終了

シーケンス転送実行時の CHNE、SQEND、INDX ビットの設定を表 18.10 に示します。

表 18.10 シーケンス転送と CHNE、SQEND、INDX ビット

DTCの動作	CHNEビット	SQENDビット	INDXビット
シーケンス転送開始	0	0	1(注1)
シーケンス転送継続	1	0	0
シーケンス転送一時中断(注2)	0	0	0
シーケンス転送終了	0	1	0
シーケンス転送終了、新たなシーケンス転送を開始	0	1	1(注1)
シーケンス転送以外	—	0	0

注. 上記以外の設定は使用しないでください。

注1. INDXビットを“1”にする転送情報では、MRA.MD[1:0]ビットを“00b”(ノーマル転送モード)にしてください。

注2. シーケンス転送が一時中断した場合、ICU.DTCERn.DTCEビットが“0”になっていることがあります。シーケンス転送を再開するにはDTCEビットを“1”にしてください。

シーケンス転送が一時中断していても、シーケンス転送が終了するまでは、新たなシーケンス転送は開始できません。シーケンス転送が一時中断しているときにシーケンス転送要求が入ると、中断していたシーケンス転送が再開されます。

18.4.11 DTC インデックステーブル

DTC インデックステーブルは、DTCIBR レジスタに設定されたアドレスを開始アドレスとする領域に配置されます。

シーケンス番号の値 p に対する転送情報テーブル p の先頭アドレスは、 $DTCIBR + p \times 4$ 番地に格納してください。

DTC インデックスの上位 30 ビットには、先頭アドレスの上位 30 ビットを設定します。CPUSEL ビットには、転送情報を読み出してシーケンスを開始するか、シーケンスを開始せずに CPU に割り込み要求を出力するかを設定します。DTC では処理しきれない複雑なシーケンスに対しては、CPUSEL ビットに“1”を設定し、CPU で処理を行います。

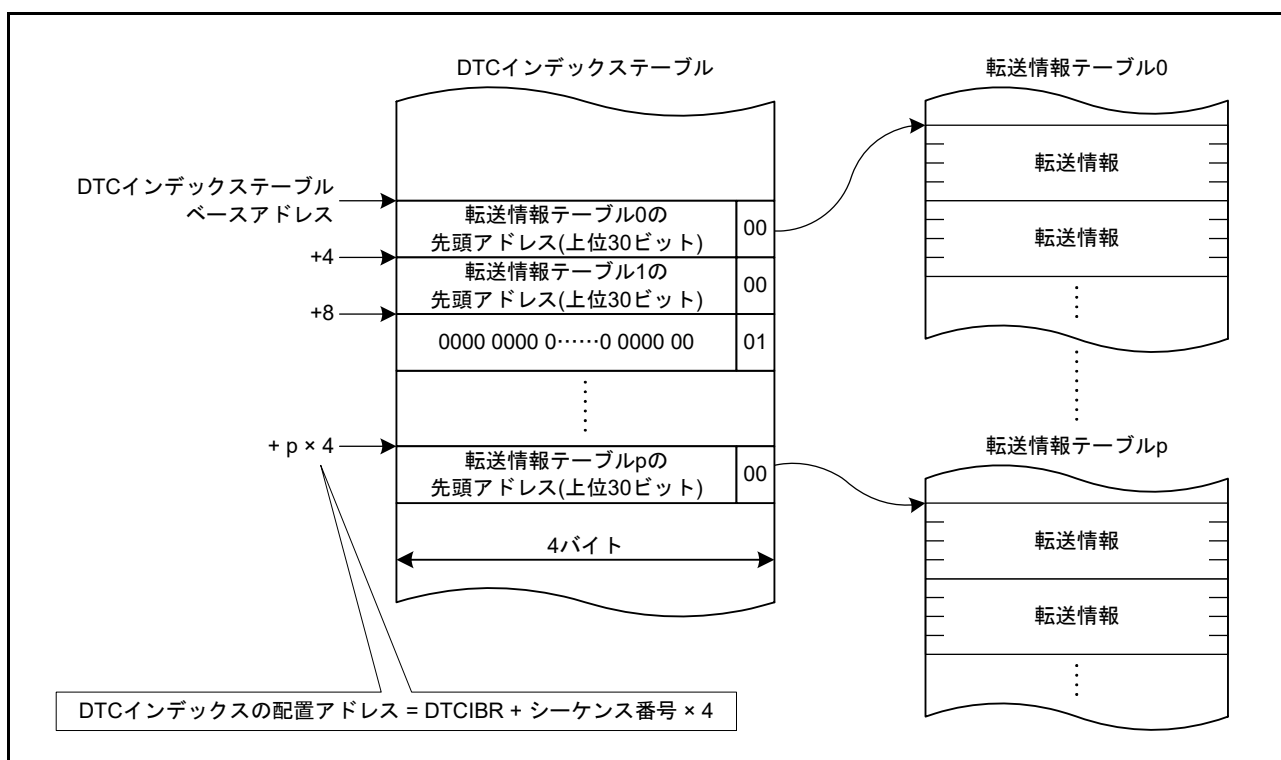
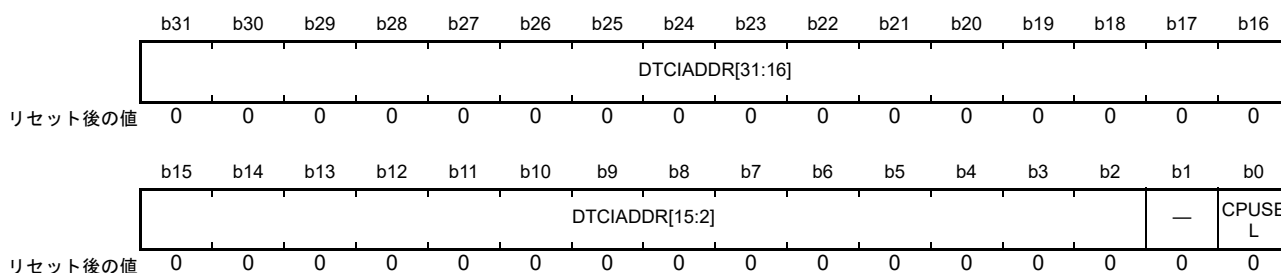


図 18.17 DTC インデックステーブル

- DTC インデックス

アドレス DTCIBR + p × 4



ビット	シンボル	ビット名	機能	R/W
b0	CPUSEL	シーケンス転送/CPU割り込み 選択ビット	0 : シーケンス転送を継続(シーケンスを開始) 1 : シーケンス転送を終了し、CPUに割り込み要求を出力	—
b1	—	予約ビット	“0”にしてください	—
b31-b2	DTCIADDR[31:2]	転送情報テーブルアドレス	転送情報テーブルの先頭アドレスの上位30ビットを設定 します。上位4ビット(b31-b28)への書き込みは無視され、 b31-b28の値はb27と同じ値になります。	—

取得したシーケンス番号が示す DTC インデックスの CPUSEL ビットが“1”の場合、CPU への割り込み要求が発生します。このとき ICU.DTCERn.DTCE ビットが“0”になりますので、これ以降、DTCSQE レジスタに設定した起動要因からの割り込み要求信号は、DTC ではなく CPU に伝えられます。CPU の割り込み処理が終わったら、次のシーケンス転送を開始できるように ICU.DTCERn.DTCE ビットを“1”にして DTC 転送要求を有効にしてください。

18.4.12 シーケンス転送の動作例

シーケンス転送の代表例を図 18.18 に、図中の転送例に対する転送情報の構成を図 18.19 ~ 図 18.23 に示します。

これらの例では、ベクタ番号 n の割り込み要因をシーケンス転送の要因に設定 (DTCSQE.VECN[7:0] ビット = n) しています。ベクタ番号 n の割り込み要因からの DTC 転送要求 (以降、単に「転送要求 n 」と記載) が入力されると、DTC は DTC ベクタテーブルを参照し、対応する転送情報を読み出します。この転送情報に従って転送されたデータの下位 8 ビットがシーケンス番号になり、256 通りのシーケンスの中から 1 つのシーケンスが選択されます。

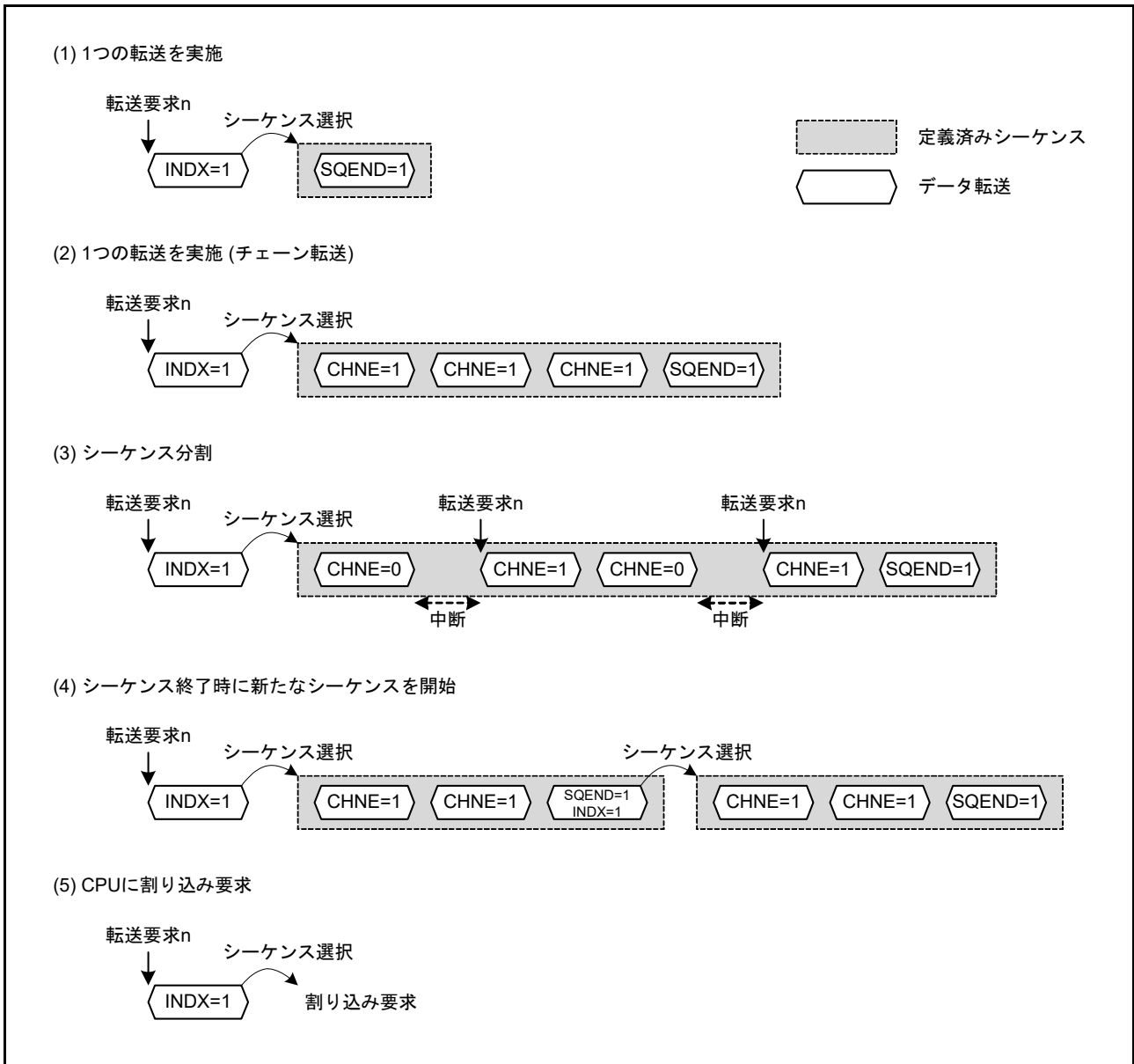


図 18.18 シーケンス転送の例

(1) 1つの転送を実施する場合

図 18.19 は、1つの転送(ノーマル転送、リピート転送、ブロック転送)を行うシーケンスの例です。

DTCは、DTCインデックステーブルを参照し、取得したシーケンス番号 p に対応する転送情報を読み出します。

転送情報中のCHNE、INDX、SQENDビットがそれぞれ“0”、“0”、“1”なので、指定された転送を行うとシーケンスを終了します。

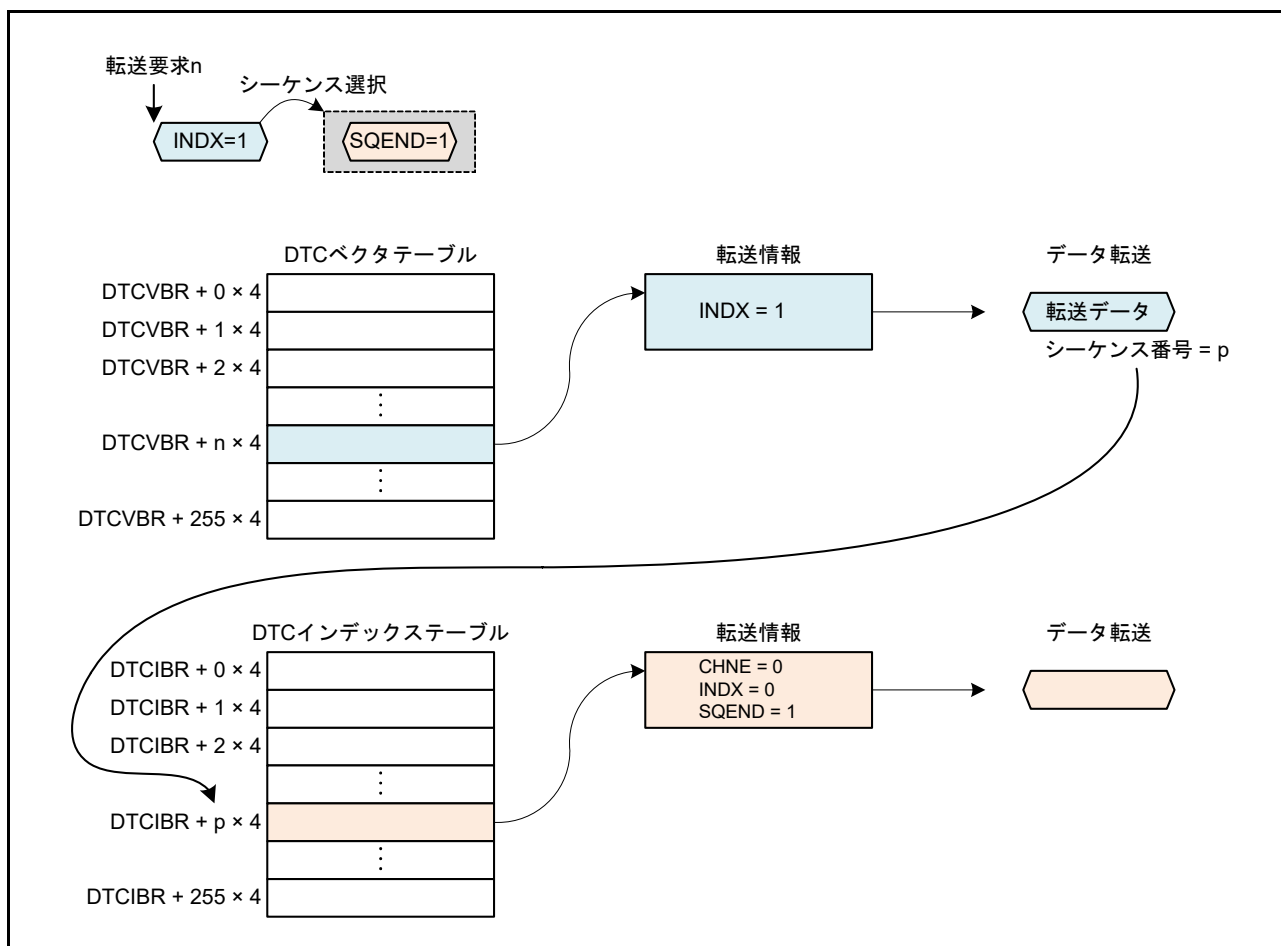


図 18.19 1つの転送を実施するシーケンスの例

(2) 1つのチェーン転送を実施する場合

図 18.20 は、1つのチェーン転送を行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 q に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ “1”、“0”、“0” の間は、指定されたチェーン転送を行います。CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

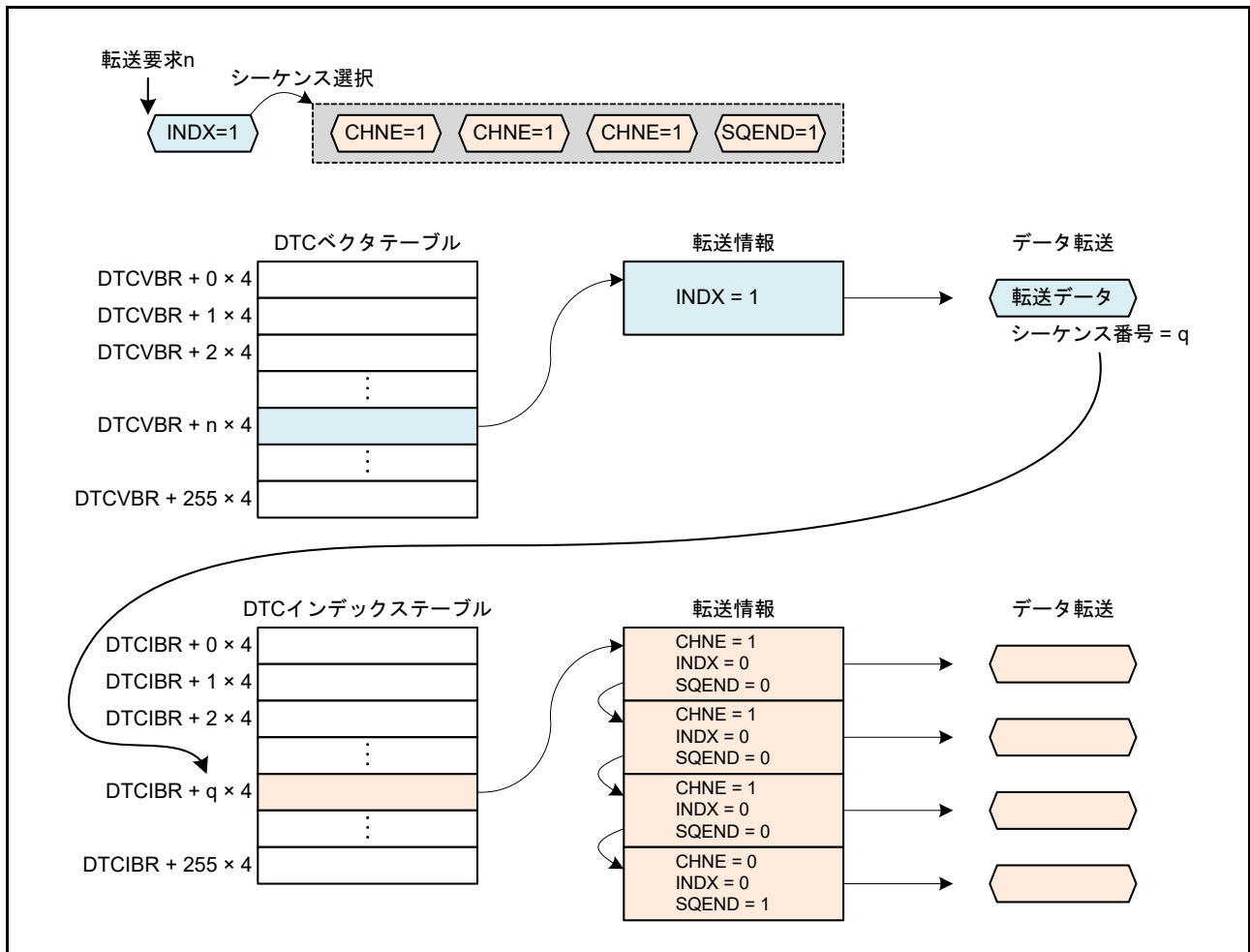


図 18.20 1つのチェーン転送を実施するシーケンスの例

(3) シーケンスを分割して実施する場合

図 18.21 は、1つのシーケンスを3つに分割して行うシーケンスの例です。

DTCは、DTCインデックステーブルを参照し、取得したシーケンス番号 r に対応する転送情報を読み出します。

転送情報中のCHNE、INDX、SQENDビットがそれぞれ“0”、“0”、“0”なので、指定された転送を行うと、シーケンスを中断して次の転送要求 n を待ちます。シーケンス転送実行中に転送要求 n が入力されると、DTCベクタテーブルは参照されず、中断していたシーケンスが再開されます。

CHNE、INDX、SQENDビットがそれぞれ“0”、“0”、“1”の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

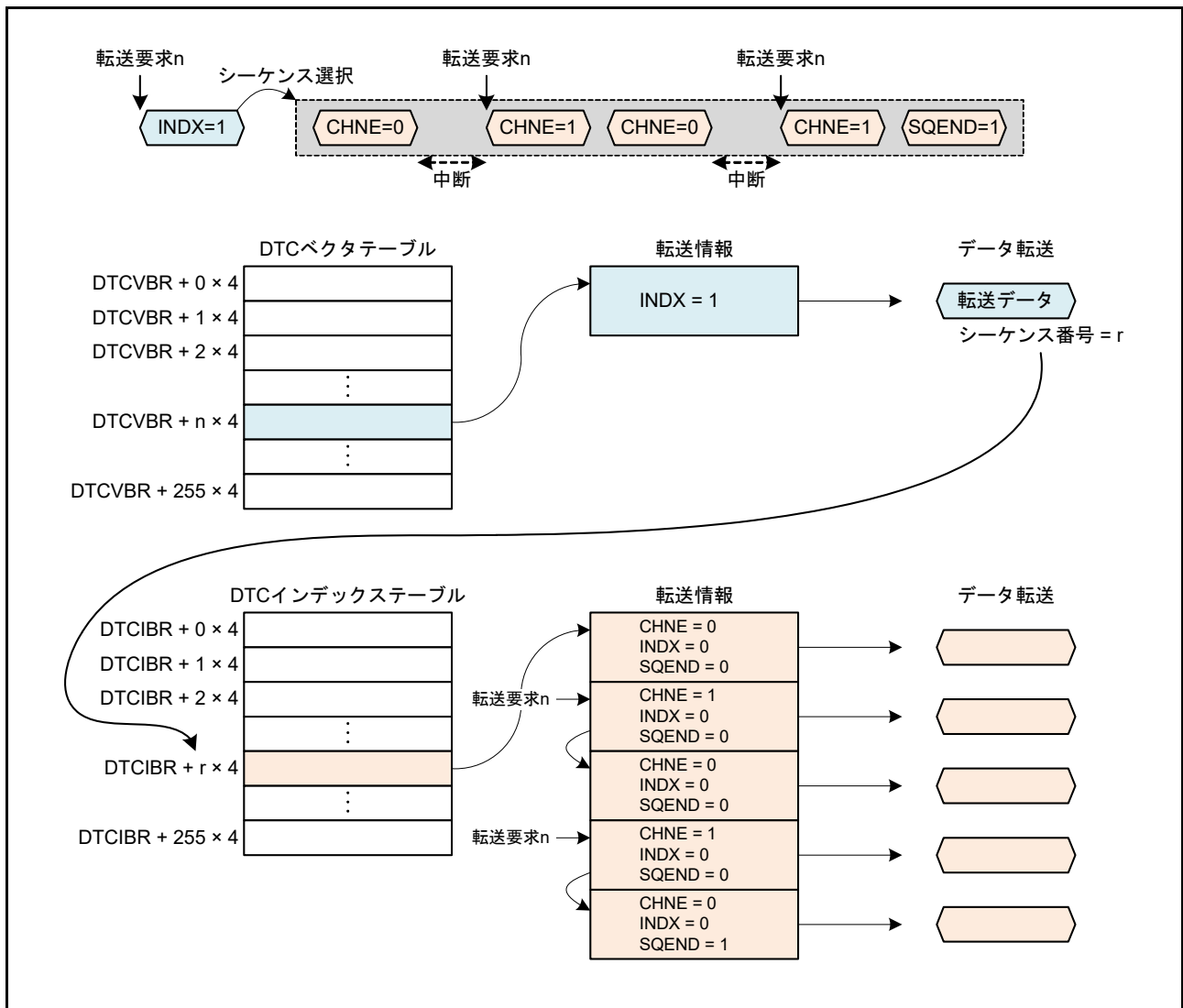


図 18.21 シーケンスを分割して実施する例

(4) シーケンス終了時に新たなシーケンスを開始する場合

図 18.22 は、1つ目のシーケンス転送終了時に次の新たなシーケンス転送を開始する例です。

DTCは、DTCインデックステーブルを参照し、取得したシーケンス番号sに対応する転送情報を読み出します。

CHNE、INDX、SQENDビットがそれぞれ“0”、“1”、“1”の転送情報を読み出すと、指定された転送を行い、転送されたデータの下位8ビットから新たなシーケンス番号を取得します。DTCは再びDTCインデックステーブルを参照し、取得したシーケンス番号kに対応する転送情報を読み出し、新たなシーケンスを開始します。

CHNE、INDX、SQENDビットがそれぞれ“0”、“0”、“1”の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

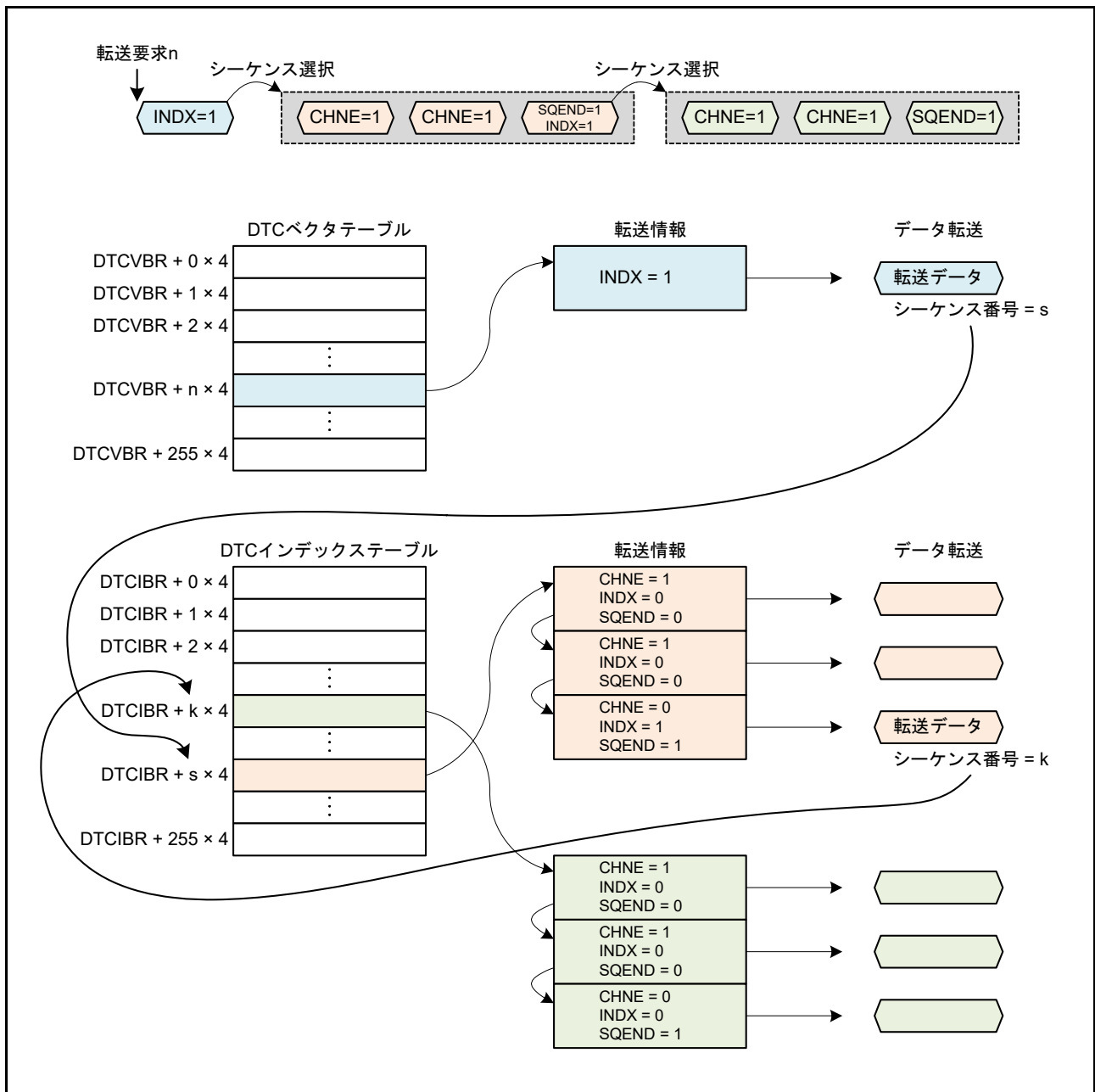


図 18.22 シーケンス終了時に新たなシーケンスを開始する例

(5) CPUに割り込み要求を出力する場合

図 18.23 は、シーケンスを開始せずに CPU に割り込み要求を出力する例です。

DTC は、取得したシーケンス番号 t に対応する DTC インデックスを取得します。取得した DTC インデックスの CPUSEL ビットが“1”であると、DTC はシーケンスを開始せずにシーケンス転送を終了し、CPU に割り込み要求を出力します。

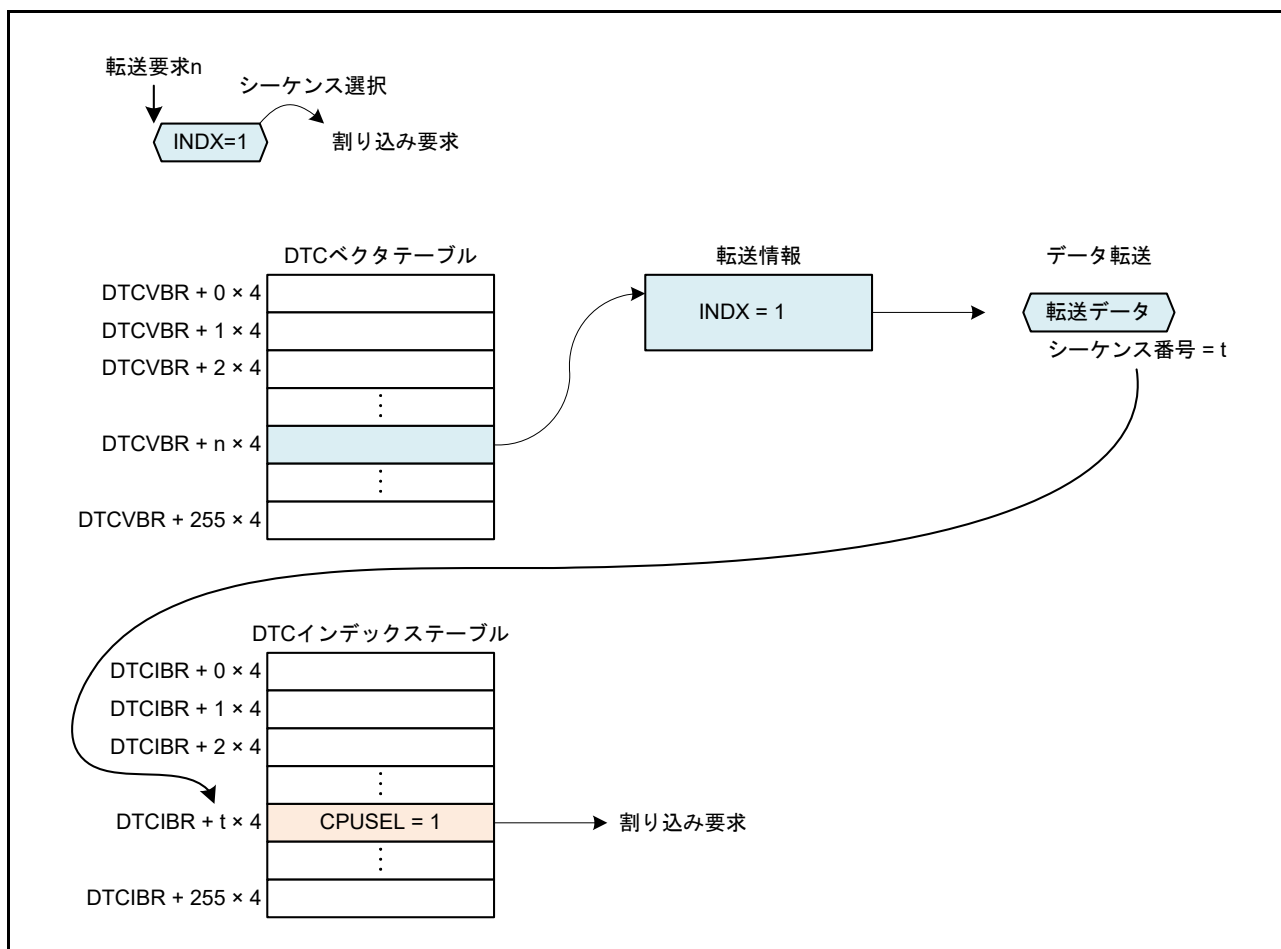


図 18.23 CPUに割り込み要求を出力する例

18.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。シーケンス転送を使用する場合は DTC インデックステーブルベースレジスタ (DTCIBR) も設定してください。

図 18.24 に DTC の起動に必要な設定手順を示します。

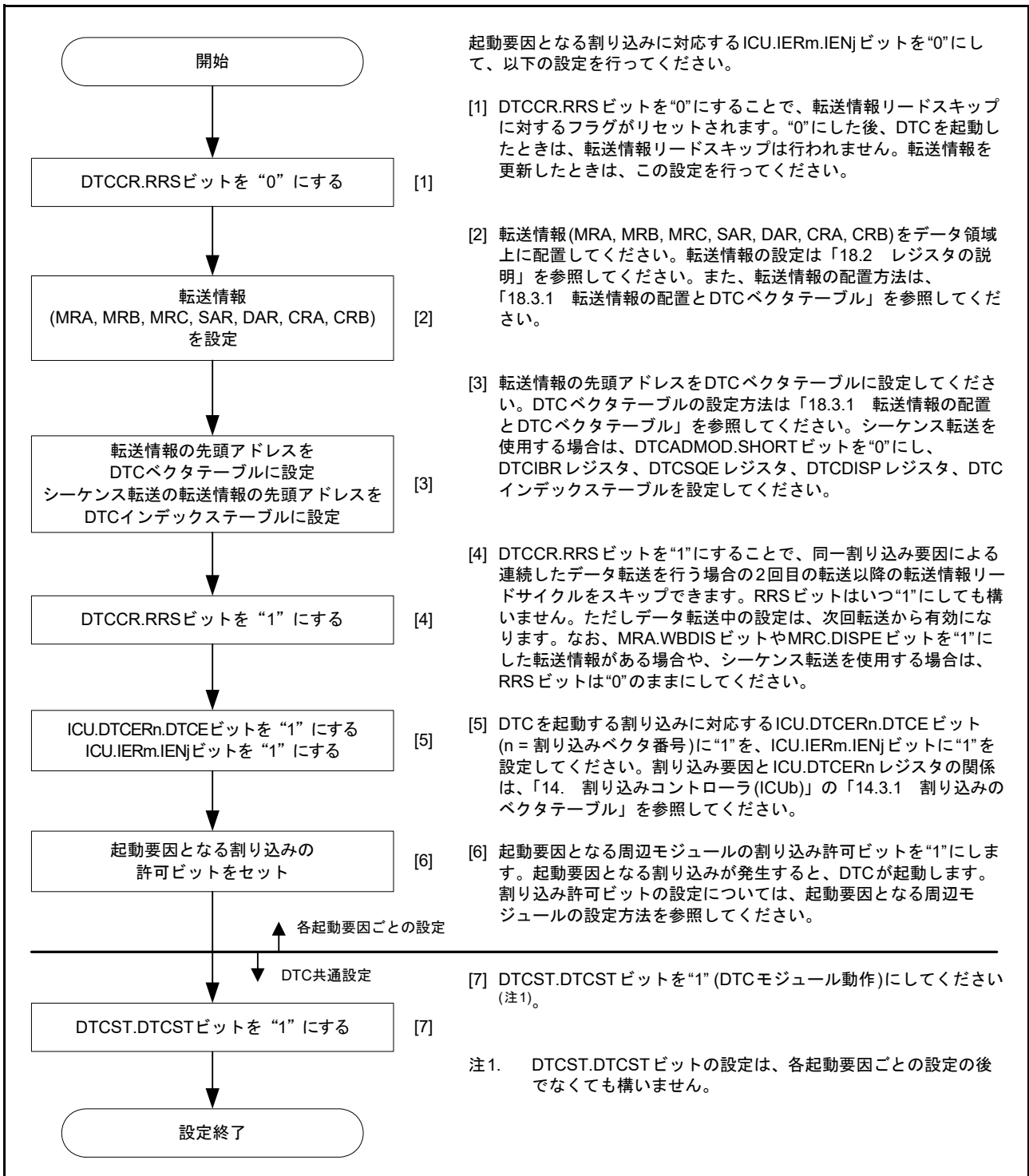


図 18.24 DTC の設定手順

18.6 DTC 使用例

18.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数のデータ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

18.6.2 カウンタが“0”のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2のデータ転送において第1の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回を超えるリピート転送を行うことができます。

128K バイトの入力バッファを 20 0000h ~ 21 FFFFh 番地に構成する例を示します (入力バッファは下位アドレス “0000h” から始まるように設定します)。カウンタが“0”のときのチェーン転送を図 18.25 に示します。

- (1) 第1のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタは “0000h” (65536 回)、MRB.CHNE ビットは “1” (チェーン転送許可)、MRB.CHNS ビットは “1” (転送カウンタが “0” になったときのみチェーン転送を行う)、MRB.DISEL ビットは “0” (指定された回数 of データ転送が終了したとき CPU への割り込みが発生) にしてください。
- (2) 第1のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビット (この例の場合は “21h” と “20h”) を別の領域 (ROM など) に用意してください。
- (3) 第2のデータ転送は、第1のデータ転送の転送先アドレス再設定用にリピート転送モード (転送元をリピート領域) にします。転送先は第1の転送情報内の DAR レジスタの上位 8 ビットが配置されているアドレスです。このとき MRB.CHNE ビットは “0” (チェーン転送禁止)、MRB.DISEL ビットは “0” (指定された回数 of データ転送が終了したとき CPU への割り込みが発生) にしてください。この例の場合は、転送カウンタを “2” にしてください。
- (4) DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “21h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは、“0000h” になっています。
- (5) 引き続き、DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “20h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは “0000h” になっています。
- (6) 上記 (4)、(5) を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPU への割り込み要求は発生しません。

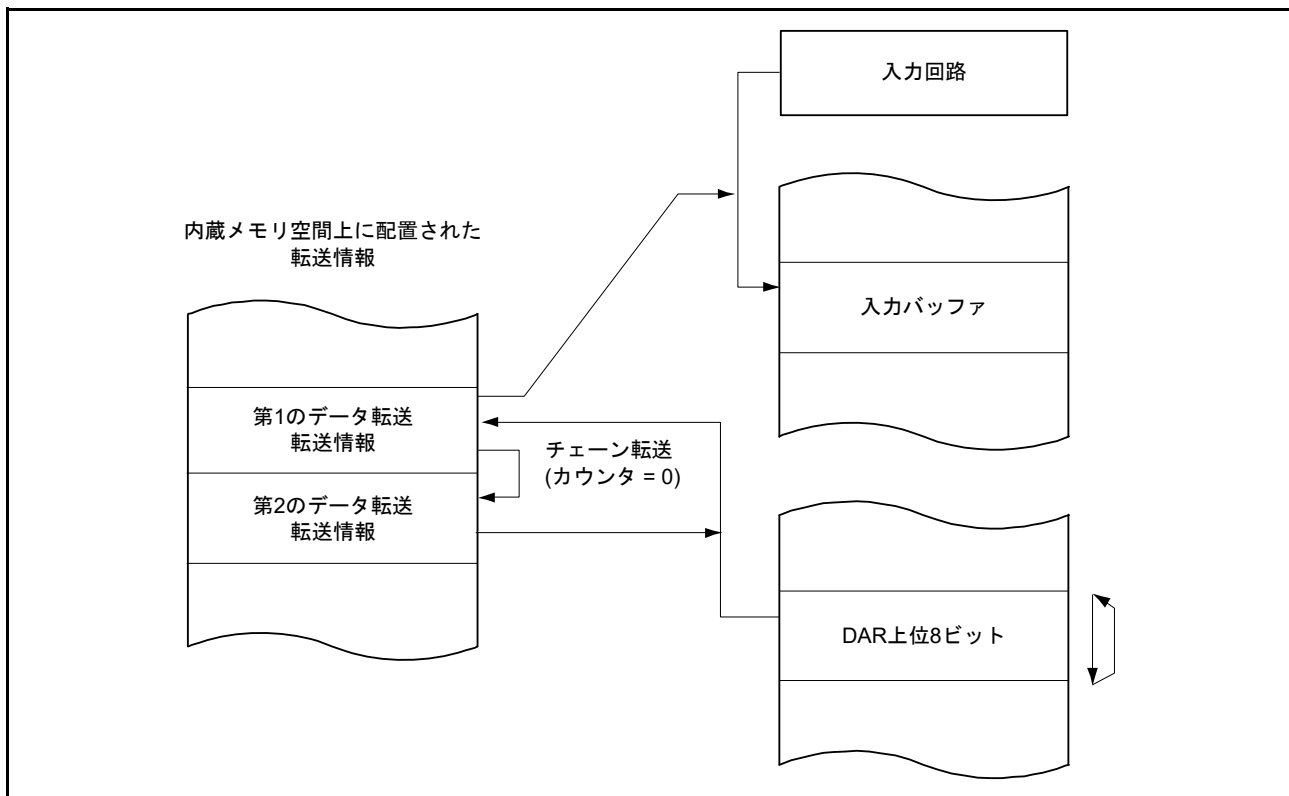


図 18.25 カウンタが“0”のときのチェーン転送

18.6.3 シーケンス転送

SCI の受信割り込みをシーケンス転送の起動要因にする例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定された回数のデータ転送が終了したとき割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタインクリメント)、INDX ビットを “1” (シーケンス転送開始)、SQEND ビットを “0” (シーケンス転送継続) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタに SCIk.RDR レジスタのアドレス、DAR レジスタにデータを格納する RAM の先頭アドレスを設定します。

WBDIS ビットを “1” (ライトバックしない) にした場合、CRA レジスタ、CRB レジスタの値は無視されます。

(2) DTC ベクタテーブルの設定

対象となる受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) DTC インデックステーブルの設定

シーケンスごとの転送情報の先頭アドレスを、DTC インデックステーブルに設定します。

(4) ICU の設定と DTC モジュールの起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(5) SCI の設定

SCIk.SCR.RIE ビットを“1”にし、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(6) シーケンス転送の開始

SCI で 1 バイトのデータ受信が完了すると RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCIk.RDR レジスタから RAM へ転送されます。この受信データの値(シーケンス番号)によって DTC インデックステーブルを参照し、引き続きシーケンス番号に対応したデータ転送を実行します。

DTC インデックスの CPUSEL ビットが“1”の場合は、転送情報をリードせず、ICU.DTCERn.DTCE ビットを“0”にし、CPU に割り込み要求を出力してシーケンス転送を終了します。

(7) シーケンス転送一時中断中

ICU.DTCERn.DTCE ビットが“0”になっている場合は、“1”にします。対象となる RXI 割り込みによる DTC 転送要求が発生するたびに、続きのデータ転送を行います。

(8) シーケンス転送終了

シーケンス転送の最後の転送情報の MRB.SQEND ビットを“1”に設定します。このデータ転送を実行後、シーケンス転送を終了し、次に対象となる RXI 割り込みによる DTC 転送要求が発生した時は、DTC ベクタテーブルの参照から開始します。

18.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが“1”(データ転送のたびに、CPU への割り込みが発生)のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット(割り込み許可ビット)、PSW.IPL[3:0] ビット(プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

18.8 イベントリンク

DTC は 1 要求分の転送完了後にイベント信号を出力します。

18.9 消費電力低減機能

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0”(DTC モジュール停止)にした後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1”(モジュールストップ状態への遷移)を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1”を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1”のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0”(モジュールストップ状態の解除)を書くことにより、DTC のモジュールストップが解除されます。

(2) ディープスリープモード

「11. 消費電力低減機能」の「11.6.2.1 ディープスリープモードへの遷移」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にディープスリープモードに移行します。

ディープスリープモードから復帰後、MSTPCRA.MSTPA28 ビットに“0”を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定手順については、「11. 消費電力低減機能」の「11.7.6 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを“1”にしてください。

ディープスリープモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

18.10 使用上の注意事項

18.10.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4の倍数を指定してください。4の倍数以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

18.10.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 18.26 に示すとおり配置してください。

たとえば、CRA、CRB設定データを16ビットで書く場合、ビッグエンディアンの場合は+8h(+Ch)番地にCRA設定データ、+Ah(+Eh)番地にCRB設定データを書いてください。リトルエンディアンの場合は+8h(+Ch)番地にCRB設定データ、+Ah(+Eh)番地にCRA設定データを書いてください。32ビットで書く場合は、エンディアンにかかわらず32ビットのMSB側にCRA設定データ、LSB側にCRB設定データを配置して+8h(+Ch)番地に書いてください。

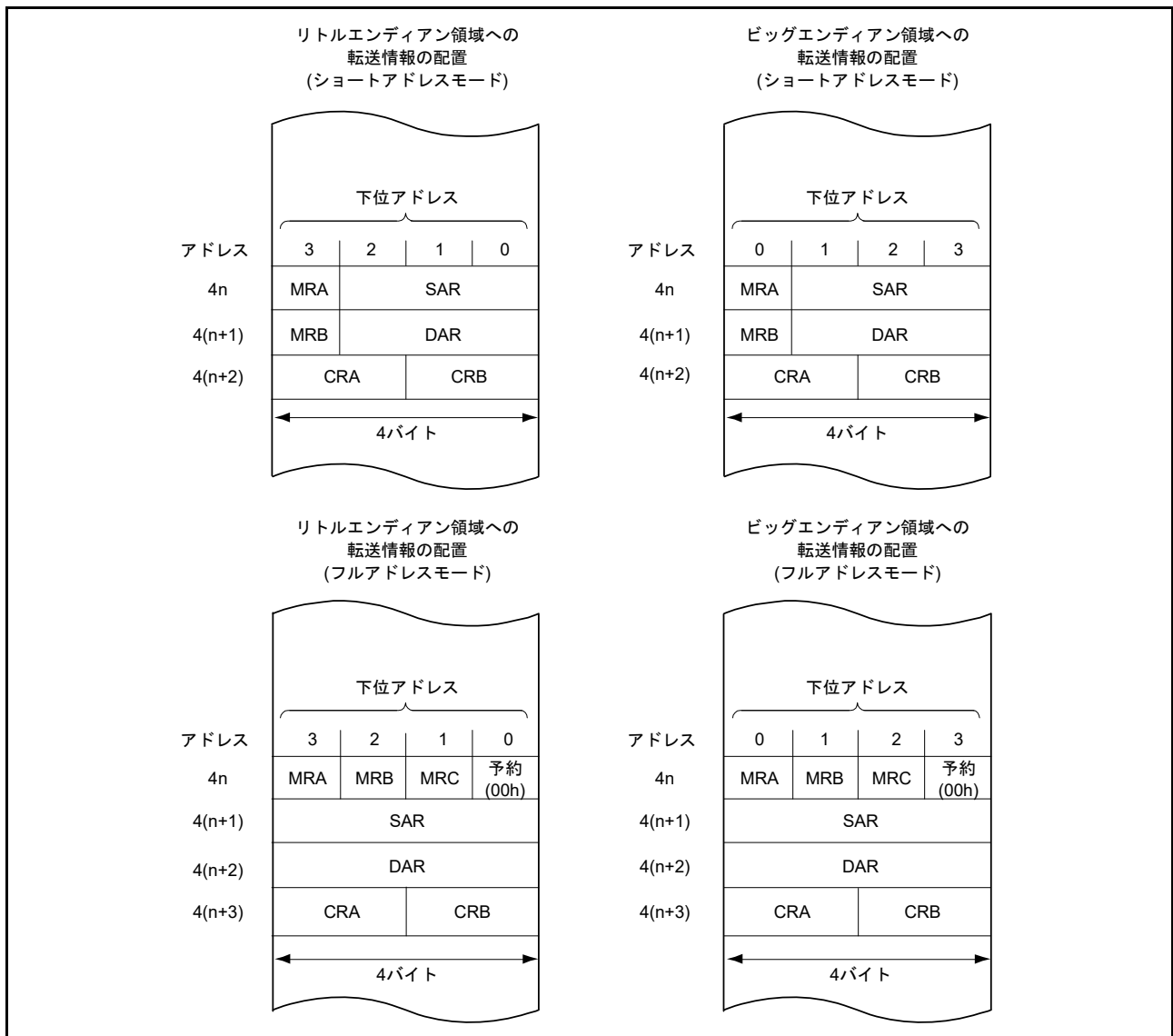


図 18.26 転送情報の配置

18.10.3 割り込みコントローラの DTC 転送要求許可レジスタ (ICU.DTCERn) の設定

ICU.DTCERn.DTCE ビットを“1”(DTC の起動要因に設定する)にした割り込みベクタ番号と同じベクタ番号を DMAC 起動要因選択レジスタ (ICU.DMRSRm (m = DMAC チャンネル番号)) に設定して DMAC を起動しないでください。ICU.DTCERn レジスタ、ICU.DMRSRm レジスタの詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

18.10.4 シーケンス転送使用時の注意事項

シーケンス転送は、DTCADM.SHORT ビットを“0”(フルアドレスモード)、DTCCR.RRS ビットを“0”(リードスキップを行わない)にして使用してください。

また、MRB.INDX ビットを“1”(シーケンス転送開始)にするとき、あるいは MRB.SQEND ビットを“1”(シーケンス転送終了)にするときは、MRB.CHNE ビットを“0”(チェーン転送禁止)にしてください。

19. イベントリンクコントローラ (ELC)

19.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続 (リンク) します。これにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作ができます。イベント信号は、該当する割り込み要求許可ビットの設定に関係なく出力することができます。

表 19.1 に ELC の仕様を示します。図 19.1 に ELC のブロック図を示します。

表 19.1 ELCの仕様

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> 116種類のイベント信号を、直接周辺モジュールへリンク可能 タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 ポートB、ポートEのイベントリンク動作が可能 シングルポート(注1): 指定した1本のポートにイベントリンクの動作設定が可能 ポートグループ(注1): 最大8本あるポートの内、指定した複数本のポートをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. 入力に設定されているシングルポート、ポートグループでは、対応する端子への入力信号が変化するとイベントが発生します。64ピンパッケージ製品において、ポート切り替えレジスタA (PSRA)でPC0、PC1を選択した場合、PB6、PB7をリンク動作させることはできません。48ピンパッケージ製品において、ポート切り替えレジスタB (PSRB)でPC0~PC3を選択した場合、PB0、PB1、PB3、PB5をリンク動作させることはできません。

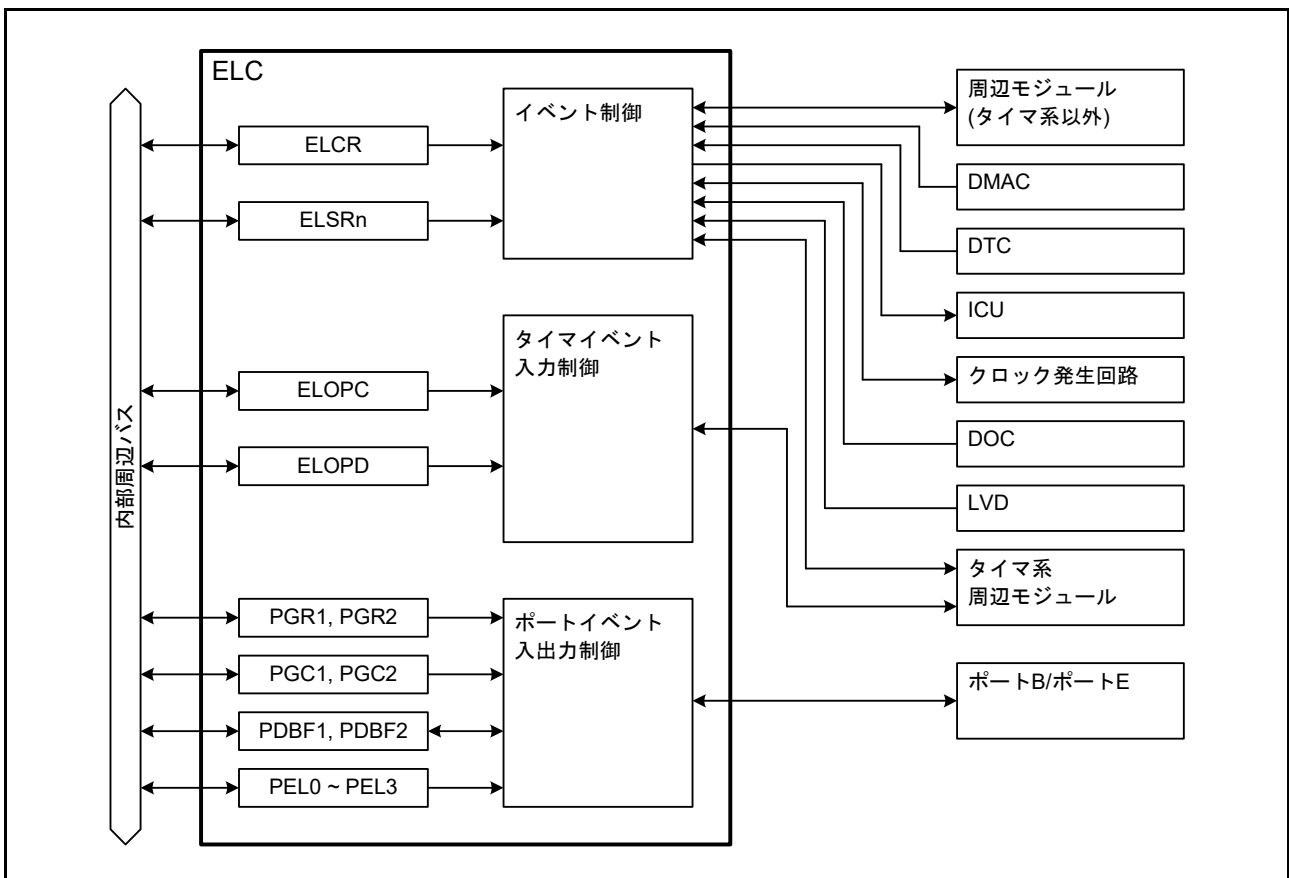


図 19.1 ELC のブロック図 (n = 7, 8, 10, 12, 14 ~ 16, 18 ~ 28, 48 ~ 56)

19.2 レジスタの説明

19.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス ELC.ELCR 0008 B100h

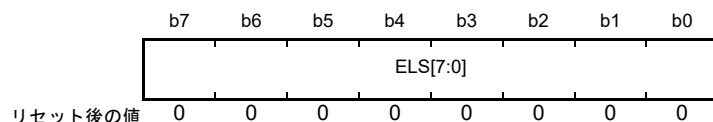
	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	ELCON	全イベントリンク許可ビット	0 : ELC機能は無効 1 : ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

19.2.2 イベントリンク設定レジスタ n (ELSRn) (n = 7, 8, 10, 12, 14 ~ 16, 18 ~ 28, 48 ~ 56)

アドレス ELC.ELSR7 0008 B108h, ELC.ELSR8 0008 B109h, ELC.ELSR10 0008 B10Bh, ELC.ELSR12 0008 B10Dh, ELC.ELSR14 0008 B10Fh, ELC.ELSR15 0008 B110h, ELC.ELSR16 0008 B111h, ELC.ELSR18 0008 B113h, ELC.ELSR19 0008 B114h, ELC.ELSR20 0008 B115h, ELC.ELSR21 0008 B116h, ELC.ELSR22 0008 B117h, ELC.ELSR23 0008 B118h, ELC.ELSR24 0008 B119h, ELC.ELSR25 0008 B11Ah, ELC.ELSR26 0008 B11Bh, ELC.ELSR27 0008 B11Ch, ELC.ELSR28 0008 B11Dh, ELC.ELSR48 0008 B146h, ELC.ELSR49 0008 B147h, ELC.ELSR50 0008 B148h, ELC.ELSR51 0008 B149h, ELC.ELSR52 0008 B14Ah, ELC.ELSR53 0008 B14Bh, ELC.ELSR54 0008 B14Ch, ELC.ELSR55 0008 B14Dh, ELC.ELSR56 0008 B14Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	ELS[7:0]	イベントリンク選択ビット	00h : 該当する周辺モジュールへのイベント信号の出力は無効 1Fh~C6h : リンクするイベント信号の番号を指定 上記以外は設定しないでください	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 19.2 に示します。また、ELSRn レジスタに設定する値とイベント信号の対応を表 19.3 に示します。

表 19.2 ELSRn レジスタと周辺モジュールの対応 (1/2)

レジスタ名	周辺モジュール
ELSR7	CMT1
ELSR8	ICU (LPT 専用割り込み)(注1)
ELSR10	TMR0
ELSR12	TMR2
ELSR14	CTSU
ELSR15	S12AD (ELCTRG00N)
ELSR16	DA0
ELSR18	ICU (割り込み1)(注2)
ELSR19	ICU (割り込み2)(注2)
ELSR20	出力ポートグループ1
ELSR21	出力ポートグループ2
ELSR22	入力ポートグループ1
ELSR23	入力ポートグループ2
ELSR24	シングルポート0
ELSR25	シングルポート1
ELSR26	シングルポート2
ELSR27	シングルポート3

表 19.2 ELSRnレジスタと周辺モジュールの対応 (2/2)

レジスタ名	周辺モジュール
ELSR28	クロックソースをLOCOへ切り替え
ELSR48	GPTWイベント要因A (全チャンネル共通)
ELSR49	GPTWイベント要因B (全チャンネル共通)
ELSR50	GPTWイベント要因C (全チャンネル共通)
ELSR51	GPTWイベント要因D (全チャンネル共通)
ELSR52	GPTWイベント要因E (全チャンネル共通)
ELSR53	GPTWイベント要因F (全チャンネル共通)
ELSR54	GPTWイベント要因G (全チャンネル共通)
ELSR55	GPTWイベント要因H (全チャンネル共通)
ELSR56	S12AD (ELCTRG01N)

注1. イベント信号は“32h” (LPT・コンペアマッチ0)を指定してください。

注2. イベント信号は“63h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

表 19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (1/3)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
1Fh	コンペアマッチタイマ	CMT1・コンペアマッチ1
22h	8ビットタイマ	TMR0・コンペアマッチA0
23h		TMR0・コンペアマッチB0
24h		TMR0・オーバフロー
28h		TMR2・コンペアマッチA2
29h		TMR2・コンペアマッチB2
2Ah		TMR2・オーバフロー
2Eh		リアルタイムクロック
31h	独立ウォッチドッグタイマ	IWDT・アンダフロー・リフレッシュエラー
32h	ローパワータイマ	LPT・コンペアマッチ0
33h	ローパワータイマ	LPT・コンペアマッチ1
34h	12ビットA/Dコンバータ	S12AD・比較条件成立
35h		S12AD・比較条件不成立
3Ah	シリアルコミュニケーション インタフェース	SCI5・エラー(受信エラー・エラーシグナル検出)
3Bh		SCI5・受信データフル
3Ch		SCI5・送信データエンプティ
3Dh		SCI5・送信完了
4Eh	I ² Cバスインタフェース	RIIC0・通信エラー、イベント発生
4Fh		RIIC0・受信データフル
50h		RIIC0・送信データエンプティ
51h		RIIC0・送信終了
52h	シリアルペリフェラルインタ フェース	RSPi0・エラー(モードフォルト・オーバラン・アンダラン・パリティ エラー)
53h		RSPi0・アイドル
54h		RSPi0・受信バッファフル
55h		RSPi0・送信バッファエンプティ
56h		RSPi0・送信完了
58h	12ビットA/Dコンバータ	S12AD・A/D変換終了
59h	コンパレータB0	コンパレータB0・比較結果変化
5Ah	コンパレータB0・B1	コンパレータB0・B1共通比較結果変化
5Bh	電圧検出回路	LVD1・電圧検出
5Ch		LVD2・電圧検出
5Dh	DMAコントローラ	DMAC0・転送終了
5Eh		DMAC1・転送終了
5Fh		DMAC2・転送終了
60h		DMAC3・転送終了
61h	データトランスファコントローラ	DTC・転送終了
62h	クロック発生回路	クロック発生回路・発振停止検出
63h	I/Oポート	入力ポートグループ1・入力エッジ検出
64h		入力ポートグループ2・入力エッジ検出
65h		シングル入力ポート0・入力エッジ検出
66h		シングル入力ポート1・入力エッジ検出
67h		シングル入力ポート2・入力エッジ検出
68h		シングル入力ポート3・入力エッジ検出
69h		イベントリンクコントローラ

表 19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (2/3)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
6Ah	データ演算回路	DOC・データ演算条件成立
80h	汎用PWMタイマ	GPTW0・コンペアマッチA
81h		GPTW0・コンペアマッチB
82h		GPTW0・コンペアマッチC
83h		GPTW0・コンペアマッチD
84h		GPTW0・コンペアマッチE
85h		GPTW0・コンペアマッチF
86h		GPTW0・オーバフロー
87h		GPTW0・アンダフロー
88h		GPTW0・A/D変換開始要求A
89h		GPTW0・A/D変換開始要求B
8Ah		GPTW1・コンペアマッチA
8Bh		GPTW1・コンペアマッチB
8Ch		GPTW1・コンペアマッチC
8Dh		GPTW1・コンペアマッチD
8Eh		GPTW1・コンペアマッチE
8Fh		GPTW1・コンペアマッチF
90h		GPTW1・オーバフロー
91h		GPTW1・アンダフロー
92h		GPTW1・A/D変換開始要求A
93h		GPTW1・A/D変換開始要求B
94h		GPTW2・コンペアマッチA
95h		GPTW2・コンペアマッチB
96h		GPTW2・コンペアマッチC
97h		GPTW2・コンペアマッチD
98h		GPTW2・コンペアマッチE
99h		GPTW2・コンペアマッチF
9Ah		GPTW2・オーバフロー
9Bh		GPTW2・アンダフロー
9Ch		GPTW2・A/D変換開始要求A
9Dh		GPTW2・A/D変換開始要求B
9Eh		GPTW3・コンペアマッチA
9Fh		GPTW3・コンペアマッチB
A0h	GPTW3・コンペアマッチC	
A1h	GPTW3・コンペアマッチD	
A2h	GPTW3・コンペアマッチE	
A3h	GPTW3・コンペアマッチF	
A4h	GPTW3・オーバフロー	
A5h	GPTW3・アンダフロー	

表 19.3 ELSRn.ELS[7:0]ビットに設定する値とイベント信号名の対応 (3/3)

ELS[7:0]ビットの値	周辺モジュール	ELSRn設定イベント信号
A6h	汎用PWMタイマ	GPTW4・コンペアマッチA
A7h		GPTW4・コンペアマッチB
A8h		GPTW4・コンペアマッチC
A9h		GPTW4・コンペアマッチD
AAh		GPTW4・コンペアマッチE
ABh		GPTW4・コンペアマッチF
ACh		GPTW4・オーバフロー
ADh		GPTW4・アンダフロー
A Eh		GPTW5・コンペアマッチA
AFh		GPTW5・コンペアマッチB
B0h		GPTW5・コンペアマッチC
B1h		GPTW5・コンペアマッチD
B2h		GPTW5・コンペアマッチE
B3h		GPTW5・コンペアマッチF
B4h		GPTW5・オーバフロー
B5h		GPTW5・アンダフロー
B6h		GPTW6・コンペアマッチA
B7h		GPTW6・コンペアマッチB
B8h		GPTW6・コンペアマッチC
B9h		GPTW6・コンペアマッチD
BAh		GPTW6・コンペアマッチE
BBh		GPTW6・コンペアマッチF
BCh		GPTW6・オーバフロー
BDh		GPTW6・アンダフロー
BEh		GPTW7・コンペアマッチA
BFh		GPTW7・コンペアマッチB
C0h		GPTW7・コンペアマッチC
C1h		GPTW7・コンペアマッチD
C2h		GPTW7・コンペアマッチE
C3h		GPTW7・コンペアマッチF
C4h		GPTW7・オーバフロー
C5h	GPTW7・アンダフロー	
C6h	汎用PWMタイマ	GPTW (OPS)・UVW相入力エッジ検出
上記以外は設定しないでください		

19.2.3 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス ELC.ELOPC 0008 B121h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LPTMD[1:0]	CMT1MD[1:0]	—	—	—	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b2	CMT1MD[1:0]	CMT1動作選択ビット	b3 b2 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b5-b4	LPTMD[1:0]	LPT動作選択ビット	b5 b4 0 0 : LPTのコンペアマッチ0イベントを割り込み要求としてICU に出力 1 1 : イベント出力禁止 上記以外は設定しないでください	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPC レジスタは、イベント信号が入力されたときのCMT1、およびLPTの動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

19.2.4 イベントリンクオプション設定レジスタ D (ELOPD)

アドレス ELC.ELOPD 0008 B122h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	TMR2MD[1:0]	—	—	—	TMR0MD[1:0]	—
リセット後の値	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TMR0MD[1:0]	TMR0動作選択ビット	b1 b0 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b3-b2	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5-b4	TMR2MD[1:0]	TMR2動作選択ビット	b5 b4 0 0 : カウントスタート 0 1 : カウントリスタート 1 0 : イベントカウンタ 1 1 : イベント出力禁止	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ELOPD レジスタは、イベント信号が入力されたときのTMR0、TMR2の動作を設定するレジスタです。ELC機能を使用しないときは、“11b”(イベント出力禁止)にしてください。

19.2.5 ポートグループ指定レジスタ n (PGRn) (n = 1, 2)

アドレス ELC.PGR1 0008 B123h, ELC.PGR2 0008 B124h

	b7	b6	b5	b4	b3	b2	b1	b0
	PGR7	PGR6	PGR5	PGR4	PGR3	PGR2	PGR1	PGR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGR0	ポートグループ指定0ビット	0 : ポートグループに指定しない 1 : ポートグループに指定する	R/W
b1	PGR1	ポートグループ指定1ビット		R/W
b2	PGR2	ポートグループ指定2ビット		R/W
b3	PGR3	ポートグループ指定3ビット		R/W
b4	PGR4	ポートグループ指定4ビット		R/W
b5	PGR5	ポートグループ指定5ビット		R/W
b6	PGR6	ポートグループ指定6ビット		R/W
b7	PGR7	ポートグループ指定7ビット		R/W

PGRn レジスタは、I/O ポートのグループ設定をするレジスタです。8 ビットのポートの内、このレジスタで“1”にしたビットに対応するポートがポートグループに選択されます。

たとえば、PGR1.PGR6 ビットと PGR1.PGR3 ビットを“1”にした場合、PB6 端子と PB3 端子がポートグループに選択されます。

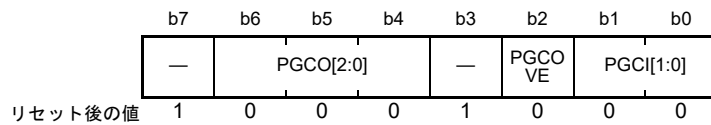
表 19.4 に PGRn レジスタとポートの対応を示します。

表 19.4 ポートグループ関連レジスタとポート番号の対応

ポート番号	ポートグループ指定レジスタ (PGRn)	ポートグループコントロールレジスタ (PGCn)	ポートバッファレジスタ (PDBFn)
ポートB	PGR1レジスタ	PGC1レジスタ	PDBF1レジスタ
ポートE	PGR2レジスタ	PGC2レジスタ	PDBF2レジスタ

19.2.6 ポートグループコントロールレジスタ n (PGCn) (n = 1, 2)

アドレス ELC.PGC1 0008 B125h, ELC.PGC2 0008 B126h



ビット	シンボル	ビット名	機能	R/W
b1-b0	PGCI[1:0]	イベント出力エッジ選択ビット	b1 b0 0 0 : ポートへの入力信号の立ち上がりエッジを検出して、イベント信号を出力 0 1 : ポートへの入力信号の立ち下がりエッジを検出して、イベント信号を出力 1 x : ポートへの入力信号の立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力	R/W
b2	PGCOVE	PDBFn上書き指定ビット	0 : PDBFnレジスタへの上書き無効 1 : PDBFnレジスタへの上書き有効	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6-b4	PGCO[2:0]	ポートグループ動作セレクトビット	b6 b4 0 0 0 : イベント信号が入力されると、Lowを出力 0 0 1 : イベント信号が入力されると、Highを出力 0 1 0 : イベント信号が入力されると、トグル(反転)出力 0 1 1 : イベント信号が入力されると、バッファ値を出力 1 x x : イベント信号が入力されると、ポートグループ内でビットローテート出力(MSB→LSBへローテート)	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PGCn レジスタは、出力に設定されたポートグループに対して、イベント信号が入力されたときにポートから出力する信号の形式を指定するレジスタです。また、入力に設定されたポートグループに対して、PDBFn レジスタへの上書き有効/無効の指定およびイベント発生条件(ポートへの入力信号の変化)の設定を行うレジスタです。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

PGCn レジスタとポートの対応については、表 19.4 を参照してください。

19.2.7 ポートバッファレジスタ n (PDBFn) (n = 1, 2)

アドレス ELC.PDBF1 0008 B127h, ELC.PDBF2 0008 B128h

	b7	b6	b5	b4	b3	b2	b1	b0
	PDBF7	PDBF6	PDBF5	PDBF4	PDBF3	PDBF2	PDBF1	PDBF0
リセット後の値	0	0	0	0	0	0	0	0

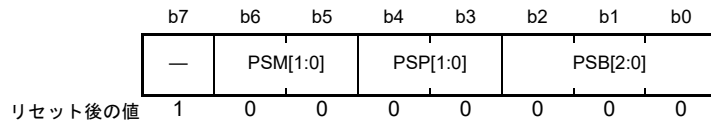
ビット	シンボル	ビット名	機能	R/W
b0	PDBF0	ポートバッファ 0 ビット	イベント信号が入力されたときにPODRレジスタに転送するデータを設定します。設定した値は、PGCn.PGCO[2:0]ビットが“011b”、“1xxb”の場合に有効です。入力ポートグループに指定したビットへの書き込みは無効となります。詳細は、「19.3 動作説明」を参照してください	R/W
b1	PDBF1	ポートバッファ 1 ビット		R/W
b2	PDBF2	ポートバッファ 2 ビット		R/W
b3	PDBF3	ポートバッファ 3 ビット		R/W
b4	PDBF4	ポートバッファ 4 ビット		R/W
b5	PDBF5	ポートバッファ 5 ビット		R/W
b6	PDBF6	ポートバッファ 6 ビット		R/W
b7	PDBF7	ポートバッファ 7 ビット		R/W

PDBFn レジスタは、PGRn レジスタと対になる 8 ビットのレジスタです。PDBFn レジスタの動作については、「19.3.7 I/O ポートのイベント信号入力時の動作とイベント生成」を参照してください。

PDBFn レジスタとポートの対応については、表 19.4 を参照してください。

19.2.8 イベント接続ポート指定レジスタ m (PELm) (m = 0 ~ 3)

アドレス ELC.PEL0 0008 B129h, ELC.PEL1 0008 B12Ah, ELC.PEL2 0008 B12Bh, ELC.PEL3 0008 B12Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	PSB[2:0]	ビット番号指定ビット	シングルポートに指定したいポートのビット番号を設定してください	R/W
b4-b3	PSP[1:0]	ポート番号指定ビット	b4 b3 0 0 : 設定無効 0 1 : ポート B (PGR1 レジスタに対応) 1 0 : ポート E (PGR2 レジスタに対応) 1 1 : 設定しないでください	R/W
b6-b5	PSM[1:0]	イベントリンク指定ビット	<ul style="list-style-type: none"> 出力ポートに設定したとき : ポート出力データを指定 b6 b5 0 0 : イベント信号が入力されると、Low を出力 0 1 : イベント信号が入力されると、High を出力 1 x : イベント信号が入力されると、トグル(反転)出力 入力ポートに設定したとき : イベント出力エッジ選択 b6 b5 0 0 : 立ち上がりエッジを検出して、イベント信号を出力 0 1 : 立ち下がりエッジを検出して、イベント信号を出力 1 x : 立ち上がり/立ち下がりの両エッジを検出して、イベント信号を出力 	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

x : Don't care

PELm レジスタは、シングルポートの指定、イベント信号が入力されたときの動作、およびイベント出力の条件を設定するレジスタです。本 MCU では、ポート B およびポート E のビットに対して、最大 4 つのシングルポートを設定できます。

ポートの入出力方向は、対応する PDR レジスタのビットで設定してください。

19.2.9 イベントリンクソフトウェアイベント発生レジスタ (ELSEGR)

アドレス ELC.ELSEGR 0008 B12Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生ビット	0: 通常動作 1: ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	WE	SEGビット書き込み許可ビット	0: SEGビットへの書き込み禁止 1: SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止ビット	0: ELSEGRレジスタへの書き込み許可 1: ELSEGRレジスタへの書き込み禁止	W

本レジスタへの書き込みは MOV 命令を使用してください。

SEG ビット (ソフトウェアイベント発生ビット)

WE ビットが“1”の状態、本ビットに“1”を書き込むとソフトウェアイベントが発生します。本ビットは読むと“0”が読めます。“1”を書いても“1”になりません。

WE ビット (SEG ビット書き込み許可ビット)

WE ビットが“1”のときのみ、SEG ビットに対する書き込みが可能になります。
WE ビットを“1”にするには、WI ビットに“0”、WE ビットに“1”を同時に書いてください。
WE ビットを“0”にするには、WI ビットに“0”、WE ビットに“0”を同時に書いてください。

WI ビット (ELSEGR レジスタ書き込み禁止ビット)

WI ビットの書き込み値が“0”のときのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと“1”が読めます。

19.3 動作説明

19.3.1 割り込み処理とイベントリンクの関係

本MCUに内蔵している周辺モジュールには、割り込みステータスフラグと、これらの割り込み要求の許可/禁止を制御する割り込み許可ビットがあります。各周辺モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグが“1”になり、割り込み要求が許可のとき、CPUに対して割り込みを要求します。

これに対して、ELCは、各周辺モジュールで発生する割り込み要求をイベント信号とし、周辺モジュール間を相互に接続(リンク)することにより、ソフトウェアを介さずに直接周辺モジュール間で連携動作をさせることができます。イベント信号は、対応する割り込み許可ビットの設定に関係なく出力することができます。図19.2に割り込み処理とELCの関係を示します。

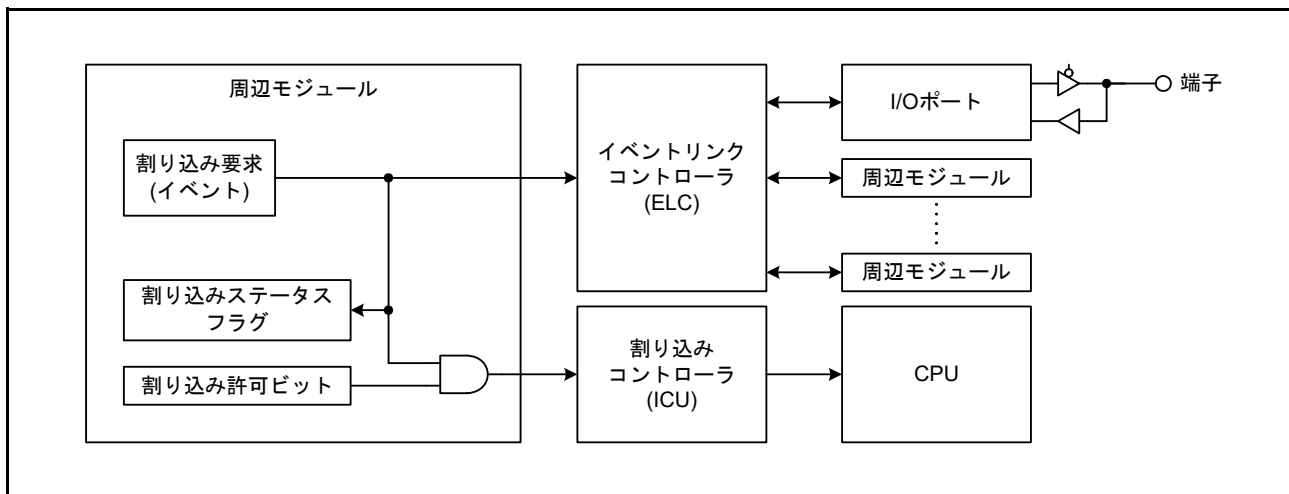


図 19.2 割り込み処理と ELC の関係

19.3.2 イベントのリンク

ELSRn レジスタにイベントを設定することにより、設定したイベントが発生した場合に対応する周辺モジュールを動作させることができます。1つの周辺モジュールに、1種類のイベントのみリンクできます。イベントにより動作させる周辺モジュールの初期設定が完了してから、ELSRn レジスタを設定してください。表 19.5 にイベント信号を入力したときの周辺モジュール別動作一覧を示します。

表 19.5 イベント信号入力時の周辺モジュール別動作一覧

周辺モジュール	イベント信号入力時の動作		
CMT TMR	ELOPC、ELOPDレジスタの設定により以下の動作が選択できます。 <ul style="list-style-type: none"> イベント信号が入力されると、カウントスタート イベント信号が入力されると、カウントリスタート 入力したイベント数をカウント(CMT, TMR) 		
GPTW	GPTWのレジスタ設定により以下の動作が選択できます。 <ul style="list-style-type: none"> イベント信号が入力されると、カウントスタート イベント信号が入力されると、カウントストップ イベント信号が入力されると、カウンタクリア イベント信号が入力されると、カウントアップ イベント信号が入力されると、カウントダウン イベント信号が入力されると、キャプチャ動作 		
CTSU	イベント信号が入力されると、静電容量の計測を開始		
A/Dコンバータ	イベント信号が入力されると、A/D変換を開始		
D/Aコンバータ	イベント信号が入力されると、D/A変換を開始		
I/Oポート(出力)	イベント信号が入力されると、PODRレジスタ(ポート出力データレジスタ)の値が変化(出力端子のレベルが変化)	ポートグループ	<ul style="list-style-type: none"> PODRレジスタの値が、指定された値に変化 PDBFnレジスタ(n = 1, 2)の値をPODRレジスタに転送 ローテート出力
		シングルポート	PODRレジスタの値が指定された値に変化
I/Oポート(入力)	入力端子のレベルが変化	ポートグループ	イベント発生
		シングルポート	
	イベント信号入力時	ポートグループ	入力端子の信号レベルをPDBFnレジスタに転送
		シングルポート	この組み合わせは使用できません
クロック発生回路	イベント信号が入力されると、クロックソースを低速オンチップオシレータへ切り替え(注1)		
割り込み制御	イベント信号が入力されると、CPUに割り込みを要求、DMA転送開始、DTC転送開始		

注1. プロテクトレジスタ(PPCR.PRC0)の値にかかわらず、SCKCR3.CKSEL[2:0]ビットが“000b”(LOCO選択)に書き換わります。

19.3.3 タイマ系周辺モジュールのイベント信号入力時の動作

GPTW を除くタイマ系周辺モジュールは、ELOPC、ELOPD レジスタによりイベント信号入力時の動作を設定します。

(1) カウントスタート動作

イベント信号が入力されると、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット(注1)が“1”になります。カウントスタートビットが“1”のときに入力されたイベント信号は無視されます。

(2) カウントリスタート動作

イベント信号が入力されると、タイマのカウンタをクリアします。各タイマの制御レジスタのカウントスタートビット(注1)は保持されるため、カウントスタートビットが“1”のときにイベント信号を入力するとカウンタは0からカウントを再開します。

(3) イベントカウンタ動作

タイマのカウントソースとして、イベント信号を使用します。イベント信号が入力されると、カウンタがインクリメントされます。

注1. 各タイマ系周辺モジュール章にあるタイマスタートに関するレジスタの説明を参照してください。

19.3.4 GPTW のイベント信号入力時の動作

ELSR48～ELSR55 レジスタで指定された8個のイベント信号は、GPTW イベント要因A～HとしてGPTWの全チャンネルに接続されています。GPTWにイベント信号入力時の動作を設定するには、GPTW内のレジスタ(表19.6参照)のイベント要因A～Hに対応するビットで要因を許可してください。

表 19.6 イベント入力時の動作と対応する要因選択レジスタ

イベント信号入力時の動作	レジスタシンボル	レジスタ名
カウントスタート	GTSSR	汎用PWMタイマスタート要因セレクトレジスタ
カウントストップ	GTPSR	汎用PWMタイマストップ要因セレクトレジスタ
カウンタクリア	GTCSR	汎用PWMタイマクリア要因セレクトレジスタ
カウントアップ	GTUPSR	汎用PWMタイマカウントアップ要因セレクトレジスタ
カウントダウン	GTDNSR	汎用PWMタイマカウントダウン要因セレクトレジスタ
インプットキャプチャA	GTICASR	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA
インプットキャプチャB	GTICBSR	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB

19.3.5 CTSU のイベント信号入力時の動作

CTSUCRA.CAP ビット、STRT ビットが“1”のときにイベント信号が入力されると、計測が開始されます。詳細はCTSUCRA.STRT ビットの説明を参照してください。

19.3.6 A/D コンバータ、D/A コンバータのイベント信号入力時の動作

ADCSR.ADST ビット、DACR.DAOE0 ビット(注1)が“1”になり、A/D 変換または D/A 変換がスタートします。

注1. A/D コンバータ、D/A コンバータ章のビット説明を参照してください。

19.3.7 I/O ポートのイベント信号入力時の動作とイベント生成

I/O ポートのイベント信号入力時の動作とイベント生成条件の設定は ELC 内のレジスタで行います。イベントリンクが設定できる I/O ポートはポート B とポート E です。

(1) シングルポートとポートグループ

I/O ポートへのイベントリンクは、8 本ある I/O ポートの内の任意の 1 本へのイベントリンク (シングルポートへのイベントリンク) と、8 本ある I/O ポートの内の任意の複数本へのイベントリンク (ポートグループへのイベントリンク) ができます。

シングルポートの設定は、PELm.PSP[1:0] ビットと PSB[2:0] ビット ($m=0\sim 3$) で行います。ポートグループの設定は、PGRn レジスタ ($n=1, 2$) により任意のビット (2 ビット以上) を“1”にすることで行います。PGRn レジスタで“1”にしたポートの内、出力に設定したポートは出力ポートグループに、入力に設定したポートは入力ポートグループになります。

1 本のポートに対してシングルポートとポートグループの両方の設定をした場合、入力ポートでは両方の機能が有効になり、出力ポートではポートグループの機能のみが有効になります。

I/O ポートの入力、出力は、PDR レジスタにより設定してください。

(2) シングル入力ポートでのイベント発生

入力に設定されているシングルポートは、対応する端子への入力信号が変化するとイベント信号を出力します。イベント発生条件は、PELm.PSM[1:0] ビット ($m=0\sim 3$) で設定します。図 19.3 (1) にシングルポートのイベントリンク動作を示します。

(3) シングル出力ポートへのイベント信号入力

出力に設定されているシングルポートにイベント信号が入力されると、対応する端子のレベル (PODR レジスタの値) が PELm.PSM[1:0] ビットで指定したとおりに変化します。図 19.3 (2) にシングルポートのイベントリンク動作を示します。

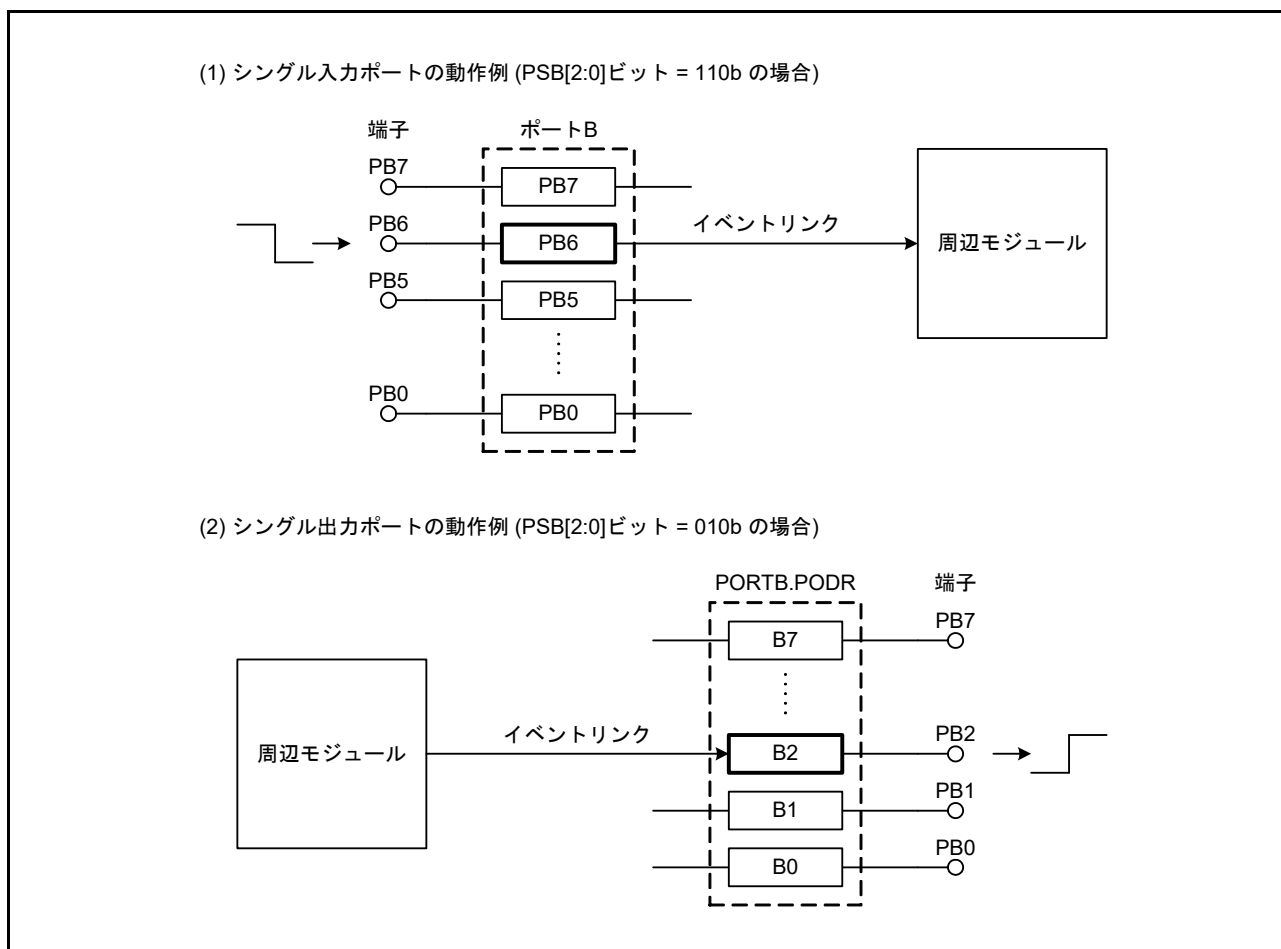


図 19.3 シングルポートのイベントリンク動作 (ポート B の場合)

(4) 入力ポートグループでのイベント発生

入力ポートグループは、対応する端子への入力信号のいずれかが変化すると、イベント信号を出力します。イベント発生条件は PGCn.PGCI[1:0] ビット (n = 1, 2) で設定します。

(5) 入力ポートグループへのイベント信号の入力

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタに転送されます。入力ポートグループに指定されていないポートに対応するビットの値は変化しません。図 19.4 に入力ポートグループのイベントリンク動作を示します。

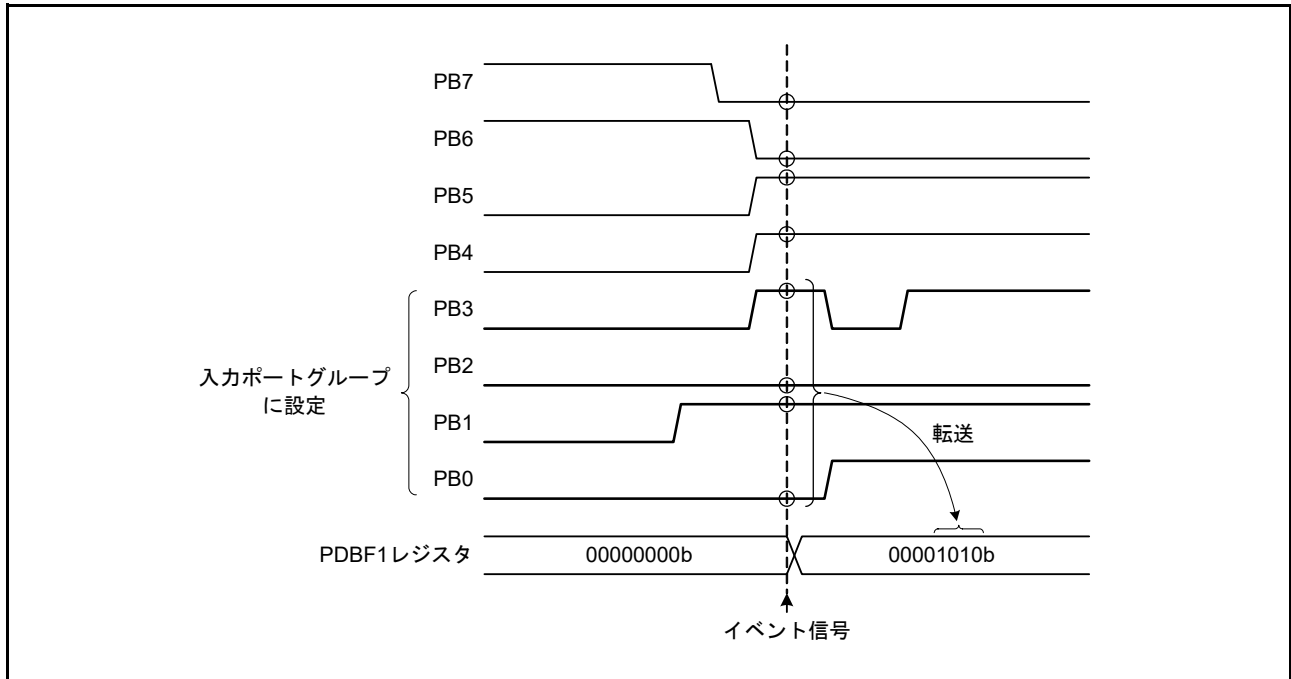


図 19.4 入力ポートグループのイベントリンク動作 (ポート B の場合)

(6) 出力ポートグループへのイベント信号の入力

出力ポートグループにイベント信号が入力されると、対応する PODR レジスタの値が PGCn.PGCO[2:0] ビット (n=1, 2) で設定されたとおりに変化します。図 19.5 に出力ポートグループのイベントリンク動作を示します。

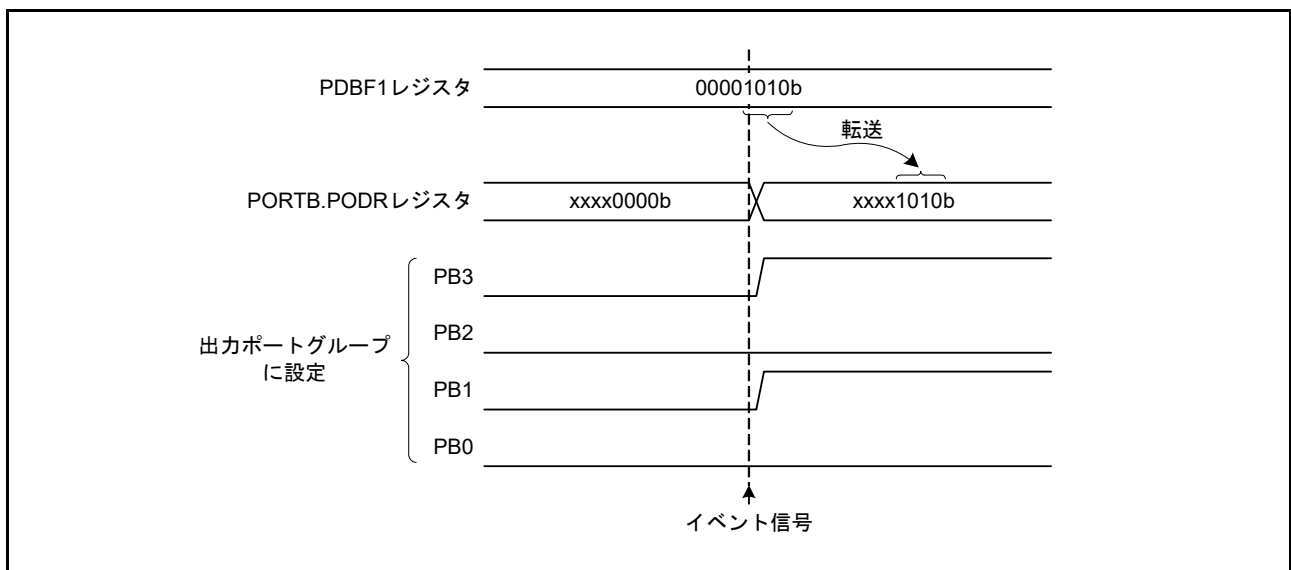


図 19.5 出力ポートグループのイベントリンク動作 (ポート B の場合)

(7) PDBFn レジスタの動作

(a) 入力ポートグループ

入力ポートグループにイベント信号が入力されると、対応する端子のレベルが PDBFn レジスタ ($n = 1, 2$) に転送されます。この状態で、再度入力ポートグループにイベント信号が入力された場合、PGCn.PGCOVE ビットの設定によって以下のように異なる動作をします。

- PGCn.PGCOVE ビット = 0 (上書き無効) のとき
 前回のイベント信号入力により PDBFn レジスタに転送された値が、CPU または DTC によってリードされている場合、そのときの端子のレベルが PDBFn レジスタに転送されます。リードされていない場合、端子のレベルは PDBFn レジスタに転送されず、入力したイベント信号は無効となります。
- PGCn.PGCOVE ビット = 1 (上書き有効) のとき
 入力ポートグループにイベント信号が入力されると、対応する端子のレベルが、PDBFn レジスタに転送されます。

(b) 出力ポートグループ

出力ポートグループが PDBFn レジスタの値を出力する設定 (PGCn.PGCO[2:0] ビット = 011b) になっている場合、出力ポートグループにイベント信号が入力されると、PDBFn レジスタの値が PODR レジスタに転送されます。出力ポートグループに設定されていないポートに対応するビットには、データは転送されません。

出力ポートグループがグループ内でのビットローテート出力 (PGCn.PGCO[2:0] ビット = 1xxb) に設定されている場合、1 回目のイベント信号で PDBFn レジスタから PODR レジスタにデータが転送され、2 回目以降のイベント信号で当該グループ内で PODR レジスタ値が MSB → LSB にローテートします。

図 19.6 にビットローテートの動作を示します。

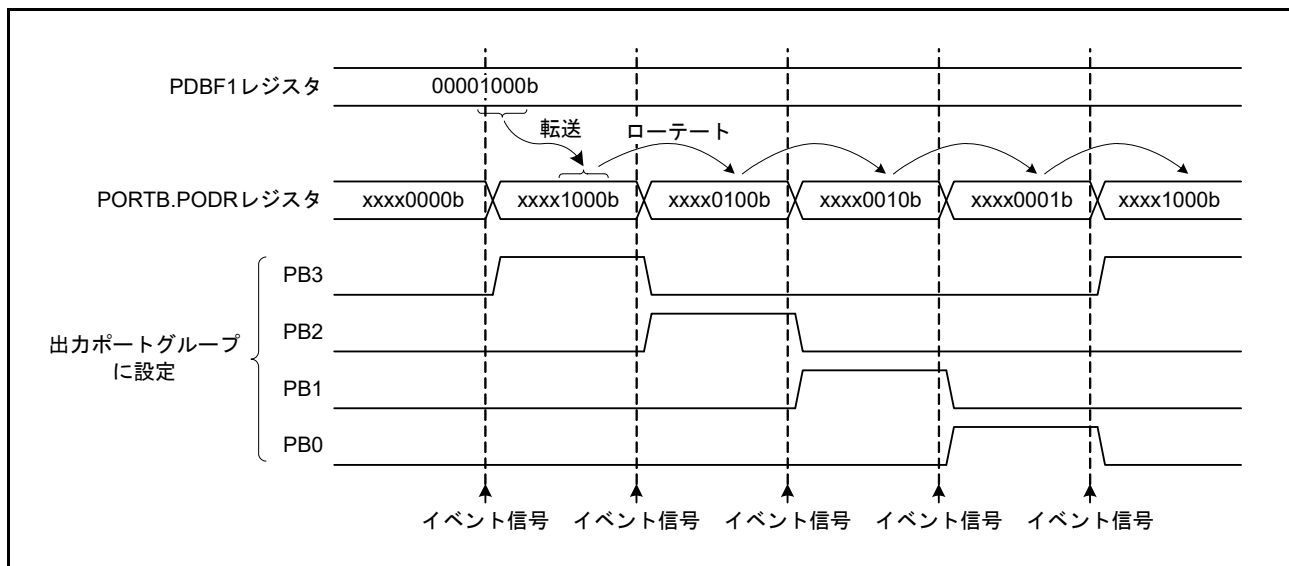


図 19.6 出力ポートグループのビットローテート動作 (ポート B の場合)

(8) PODR レジスタ、PDBFn レジスタへの書き込み制限

ELCR.ELCON ビットが“1”(ELC 機能は有効)のとき、下記の条件で PODR レジスタ、PDBFn レジスタ (n = 1, 2) への書き込みが無効となります。

- 入力ポートグループに指定しイベントリンクを設定すると、対応する PDBFn レジスタのビットへの書き込みは無効になります。
- 出力ポートグループに指定すると、対応する PODR レジスタのビットへの書き込みは無効になります。
- シングル出力ポートに指定されているとき、当該ポートへのイベント接続設定 (ELSRn レジスタの設定) を行うと、対応する PODR レジスタのビットへの書き込みは無効になります。

19.3.8 イベントリンクの動作設定手順例

イベントリンクの動作手順を以下に示します。

- (1) イベント信号により動作する (リンク先) 周辺モジュールの初期設定を行います。
- (2) ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。
PODR レジスタ： 出力に設定したポートの初期値を設定します。
PDR レジスタ： ポートの入出力方向を設定します。
PGRn レジスタ： ポートグループとして動作させる場合、グループ化の対象となるポートを設定します (n = 1, 2)。
PGCn レジスタ： ポートグループとして動作させる場合の動作を設定します。
PELm レジスタ： シングルポートとして動作させる場合、対象となるポートとイベント信号入力時の動作およびイベント発生条件を設定します (m = 0 ~ 3)。
- (3) リンク先の周辺モジュールに対応する ELSRn レジスタに、リンクするイベント信号の番号を設定します。
- (4) リンク先の周辺モジュールがタイマ系の周辺モジュールの場合は、必要に応じて ELOPC、ELOPD レジスタを設定します。
- (5) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全周辺モジュールのイベントリンク動作が有効となります。
- (6) イベント信号を出力する (リンク元) 周辺モジュールの初期設定を行い、起動させます。周辺モジュールから出力されるイベント信号により、リンク先の周辺モジュールが事前に設定した動作を開始します。
- (7) 周辺モジュール単位でイベントリンク動作を停止するときは、対応する ELSRn レジスタに“00h”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全周辺モジュールのイベントリンク動作が停止します。

注． RTC のイベント信号出力を使用する場合、RTC の設定 (初期化、時刻設定など) を行った後、ELC の設定を行ってください。ELC 設定後に RTC の設定を行うと、意図しないイベント信号が出力されることがあります。

注． LVD のイベント信号出力を使用する場合、LVD の設定を行った後、ELC の設定を行ってください。LVD を無効にする場合も、先に該当する ELSRn レジスタに“00h”を設定してから実施してください。

19.4 使用上の注意事項

19.4.1 ELSRn レジスタの設定について

(1) ELSR8 レジスタの設定

イベント信号は“32h”(LPT・コンペアマッチ 0)を指定してください。

(2) ELSR18、ELSR19 レジスタの設定

イベント信号は“63h”～“6Ah”の中から指定してください。これ以外の値は、設定しないでください。

19.4.2 出力ポートグループのビットローテート動作の設定について

出力ポートグループのビットローテート動作モードで、PDBFn レジスタ (n = 1, 2) の値を変更する場合、変更後に ELSRn レジスタを再設定してください。また、ビットローテート動作に使用するイベントの発生間隔は、1 PCLKB 以上にしてください。

19.4.3 DMA/DTC 転送終了のイベント信号使用時の注意事項

DMA/DTC 転送終了のイベント信号を使用する場合、データ転送先の周辺モジュールとリンク先の周辺モジュールを同じにしないでください。周辺モジュールへの DMA/DTC 転送が完了する前に周辺モジュールが起動する可能性があります。

19.4.4 クロック設定について

イベントリンクを使用するには ELC の設定の他に、ELC と対象の周辺モジュールが動作可能である必要があります。対象の周辺モジュールがモジュールストップ状態の場合や、周辺モジュールが停止するモード(ソフトウェアスタンバイモード)の場合は動作できません。

19.4.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、ELC の動作を禁止 / 許可することが可能です。リセット解除後は、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

20. I/Oポート

20.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODR y) ($y = 0, 1$)、入力プルアップ MOS のオン/オフを制御するプルアップ制御レジスタ (PCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「21. マルチファンクションピンコントローラ (MPC)」を参照してください。

また、48ピン、64ピン、80ピンパッケージ製品にはそれぞれ、一部端子の汎用入出力機能を切り替えて PORTC を 8ビットのポートとして使用することが可能なポート切り替えレジスタ A (PSRA)、ポート切り替えレジスタ B (PSRB) を備えています。

パッケージによって、I/Oポートの構成が異なります。表 20.1 に I/Oポートの仕様を、表 20.2 に I/Oポートの機能を示します。

表 20.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ		パッケージ	
	100ピン	本数	80ピン	本数	64ピン	本数	48ピン	本数
PORT0	P03~P07	5	P03~P07	5	P03, P05	2	なし	0
PORT1	P12~P17	6	P12~P17	6	P14~P17	4	P14~P17	4
PORT2	P20~P27	8	P20, P21, P26, P27	4	P26, P27	2	P26, P27	2
PORT3	P30~P37	8	P30~P32, P34~P37	7	P30~P32, P35~P37	6	P30, P31, P35~P37	5
PORT4	P40~P47	8	P40~P47	8	P40~P47	8	P40~P42, P45~P47	6
PORT5	P50~P55	6	P54, P55	2	P54, P55	2	なし	0
PORTA	PA0~PA7	8	PA0~PA6	7	PA0, PA1, PA3, PA4, PA6	5	PA1, PA3, PA4, PA6	4
PORTB	PB0~PB7	8	PB0~PB7	8	PB0, PB1, PB3, PB5~PB7	6	PB0, PB1, PB3, PB5	4
PORTC	PC0~PC7	8	PC0~PC7 (注1)	6 (注3)	PC0~PC7 (注1)	6 (注3)	PC0~PC7 (注2)	4 (注3)
PORTD	PD0~PD7	8	PD0~PD2	3	なし	0	なし	0
PORTE	PE0~PE7	8	PE0~PE5	6	PE0~PE5	6	PE1~PE4	4
PORTG	PG7	1	PG7	1	PG7	1	PG7	1
PORTH	PH0~PH3, PH6, PH7	6	PH0~PH3, PH6, PH7	6	PH0~PH3, PH6, PH7	6	PH0~PH3	4
PORTJ	PJ1, PJ3, PJ6, PJ7	4	PJ1, PJ6, PJ7	3	PJ6, PJ7	2	PJ6, PJ7	2
	ポートの合計数	92	ポートの合計数	72	ポートの合計数	56	ポートの合計数	40

注1. PC0, PC1は、ポート切り替えレジスタAにより、切り替えた場合のみ有効です。

注2. PC0~PC3は、ポート切り替えレジスタBにより、切り替えた場合のみ有効です。

注3. PBとの兼用端子の本数は含みません。

表 20.2 I/Oポートの機能

ポートシンボル	ポート	入出力	入力プルアップ機能	オープンドレイン 出力機能	5Vトレラント	入出力レベル	
PORT0	P03～P07	入出力	○	—	—	AVCC0	
PORT1	P12, P13, P16, P17	入出力	○	○	○	VCC	
	P14, P15	入出力	○	○	—		
PORT2	P20～P27	入出力	○	○	—		
PORT3	P30～P34	入出力	○	○	—		
	P35	入力	—	—	—		
	P36, P37	入出力	○	○	—		
PORT4	P40～P47	入出力	○	—	—		AVCC0
PORT5	P50～P52, P54	入出力	○	○	—		VCC
	P53, P55	入出力	○	—	—		
PORTA	PA0～PA7	入出力	○	○	—		
PORTB	PB0～PB7	入出力	○	○	—		
PORTC	PC0～PC7	入出力	○	○	—		
PORTD	PD0～PD2	入出力	○	○	—		
	PD3～PD7	入出力	○	—	—		
PORTE	PE0～PE7	入出力	○	○	—		
PORTG	PG7	入出力	○	○	—		
PORTH	PH0～PH3	入出力	○	—	—		
	PH6, PH7	入力	—	—	—		
PORTJ	PJ1, PJ3	入出力	○	—	—		
	PJ6, PJ7	入出力	○	—	—	AVCC0	

○：あり
—：なし

20.2 入出力ポートの構成

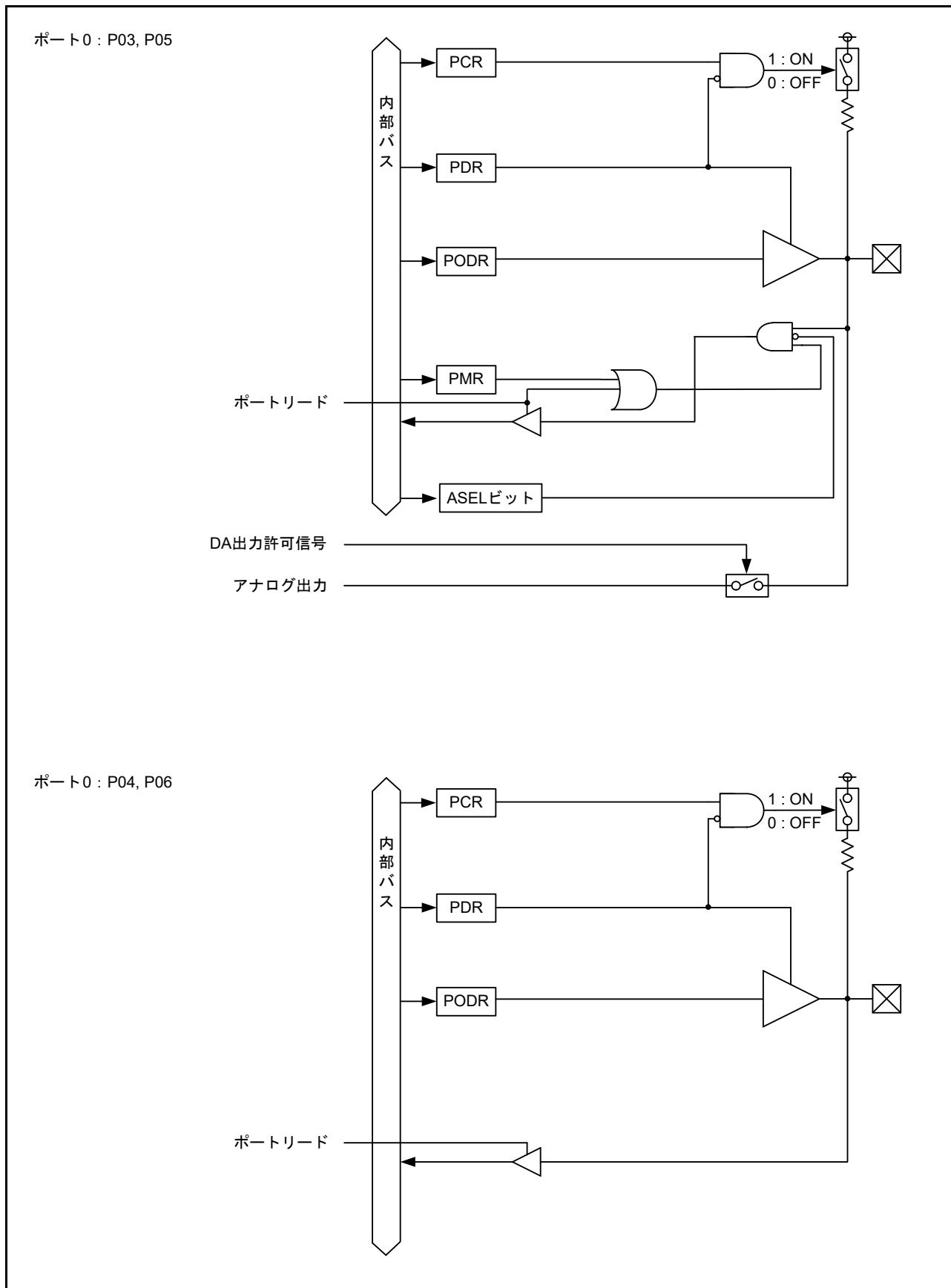


図 20.1 入出力ポートの構成 (1)

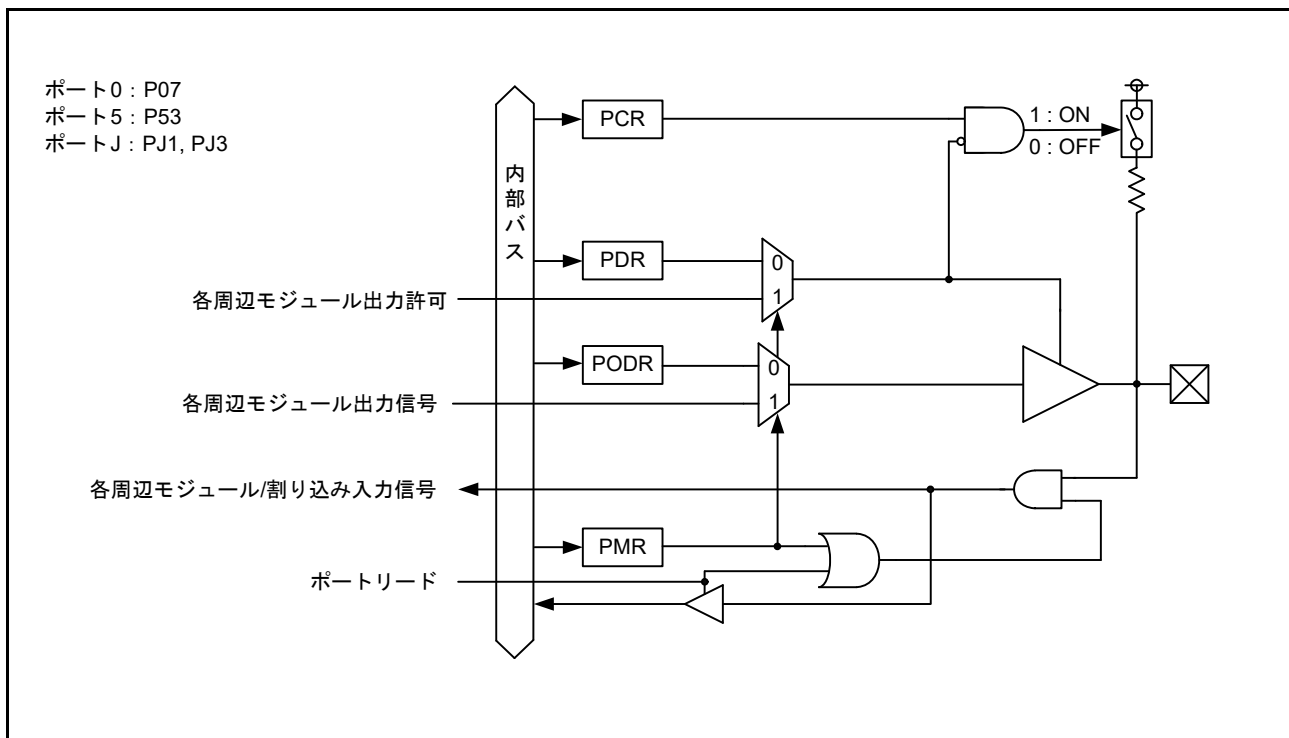


図 20.2 入出力ポートの構成 (2)

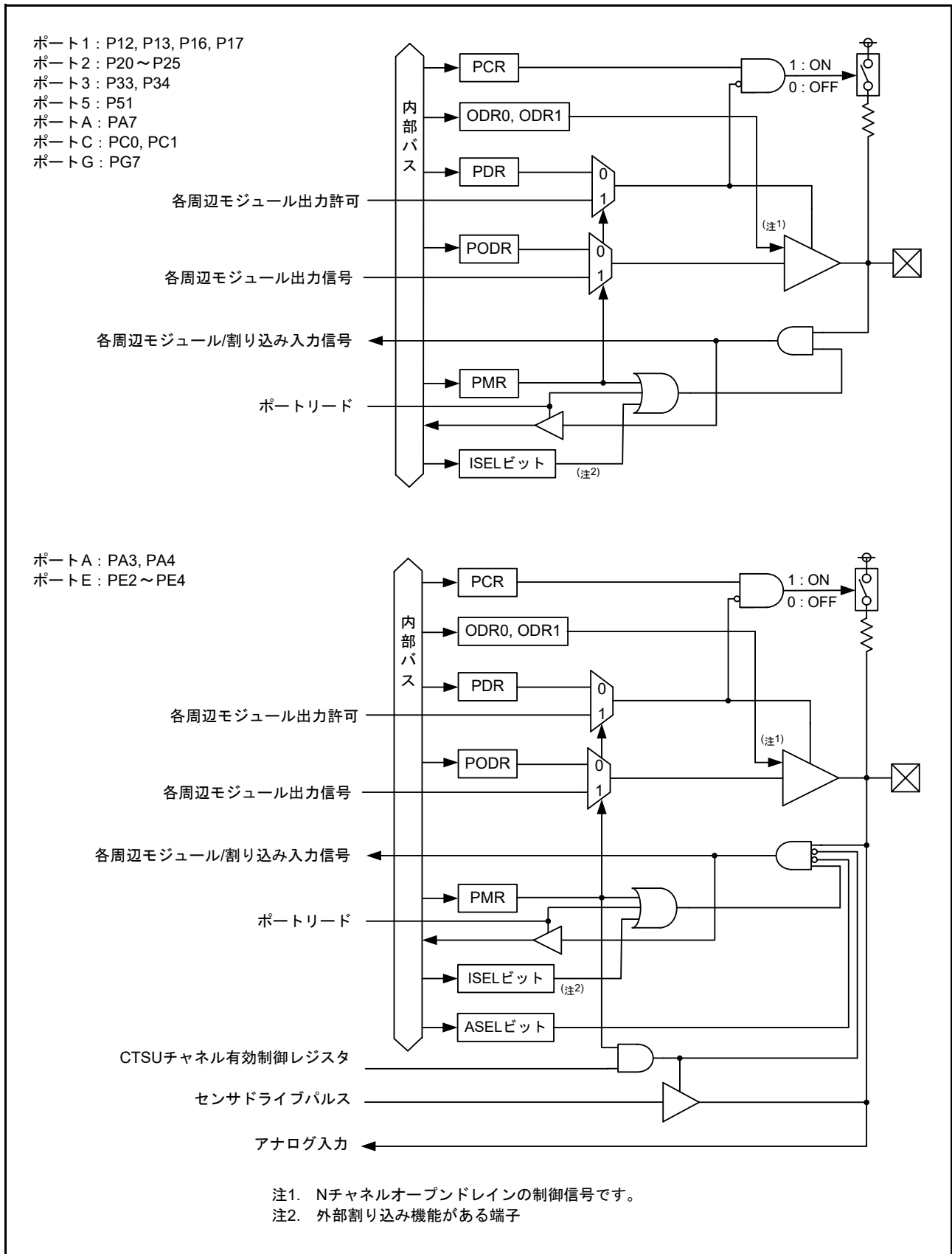


図 20.3 入出力ポートの構成 (3)

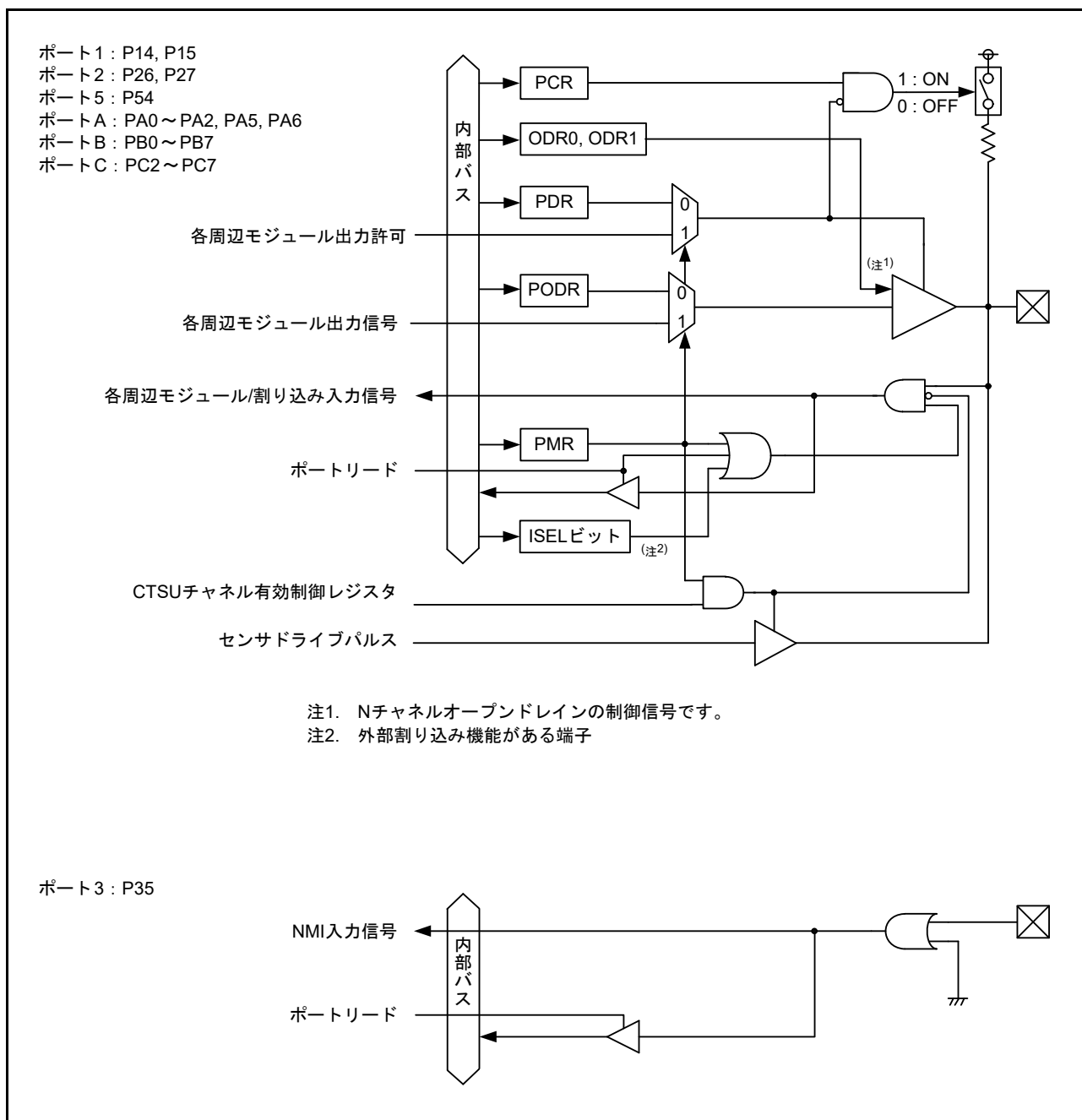


図 20.4 入出力ポートの構成 (4)

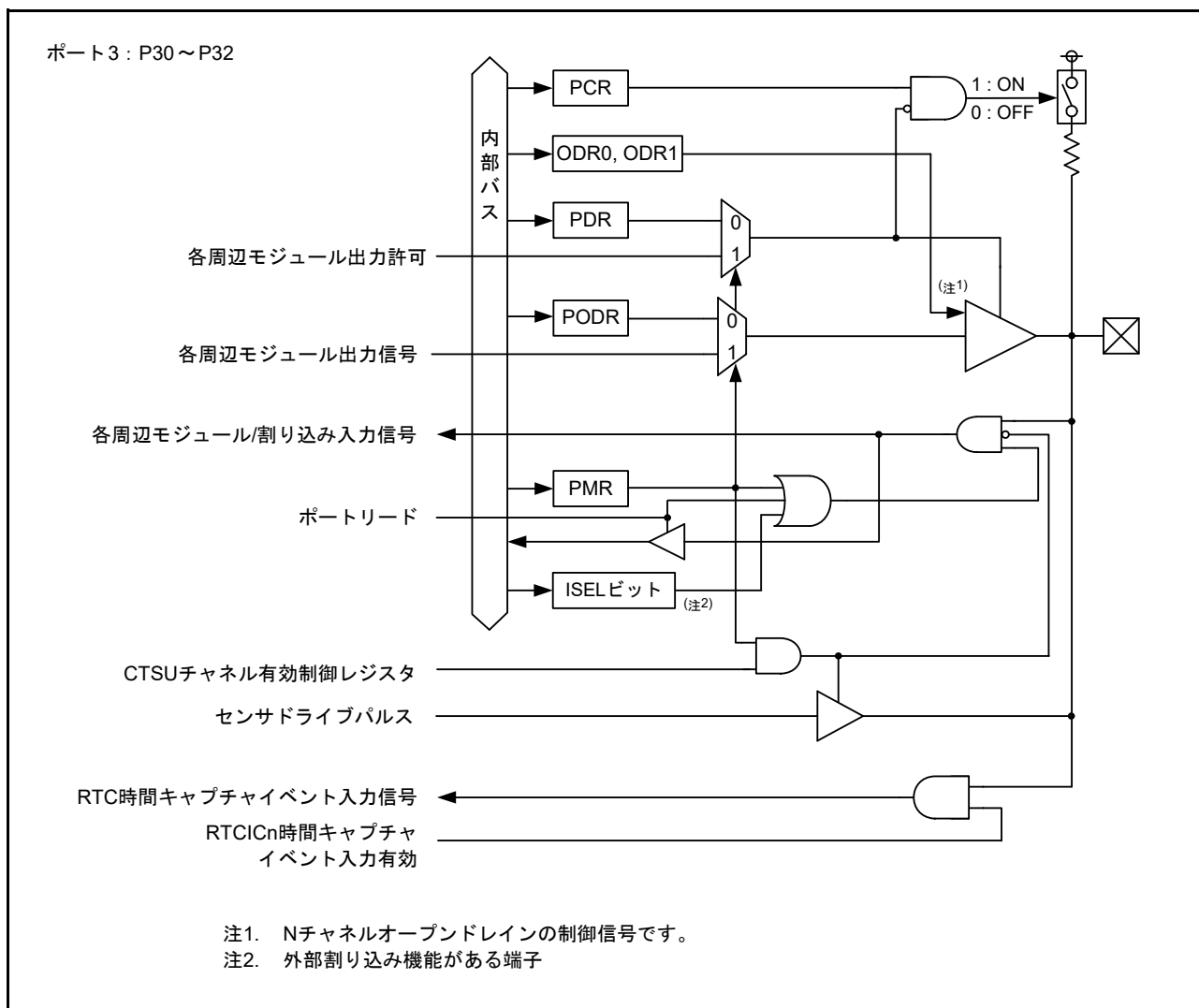


図 20.5 入出力ポートの構成 (5)

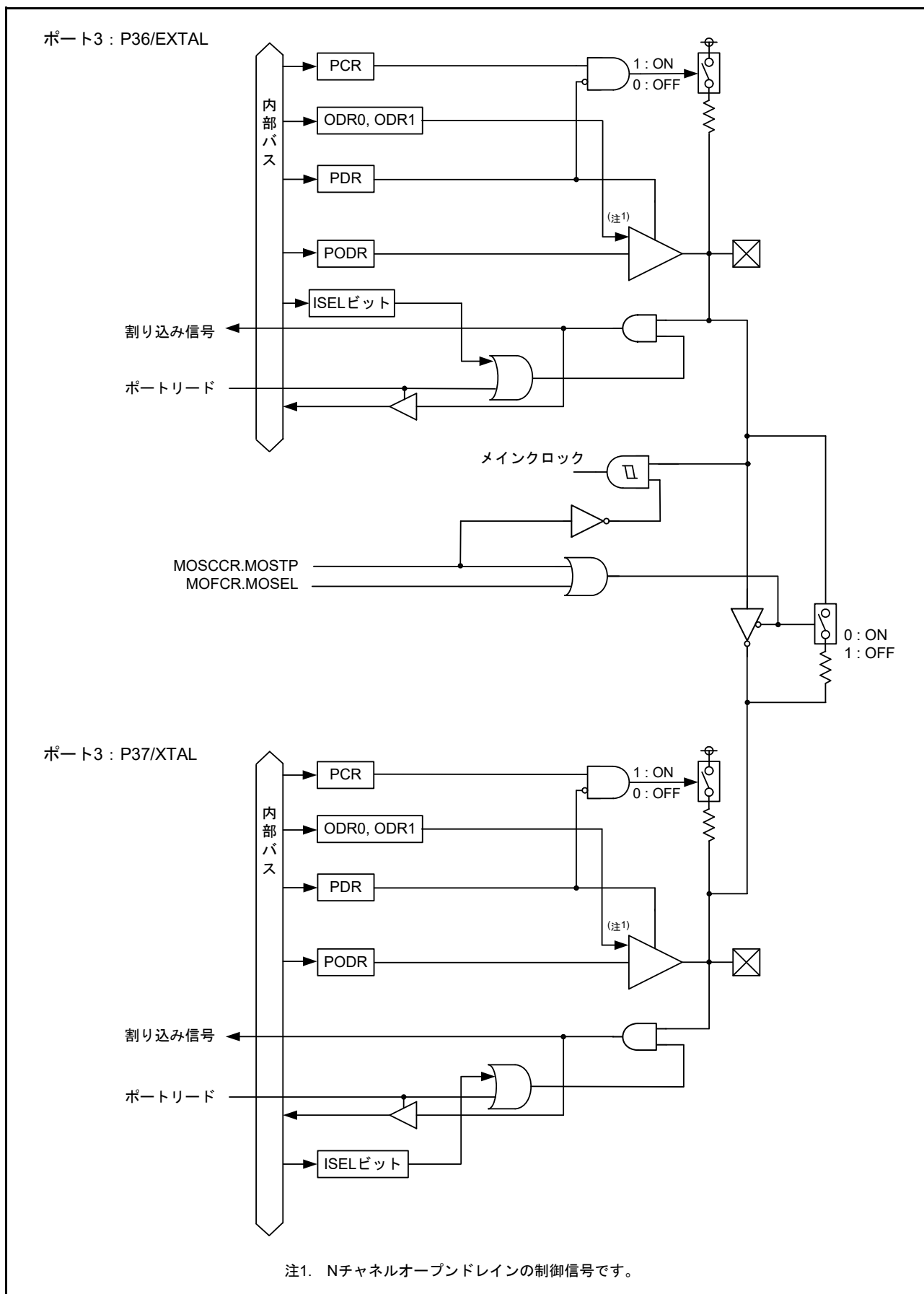


図 20.6 入出力ポートの構成 (6)

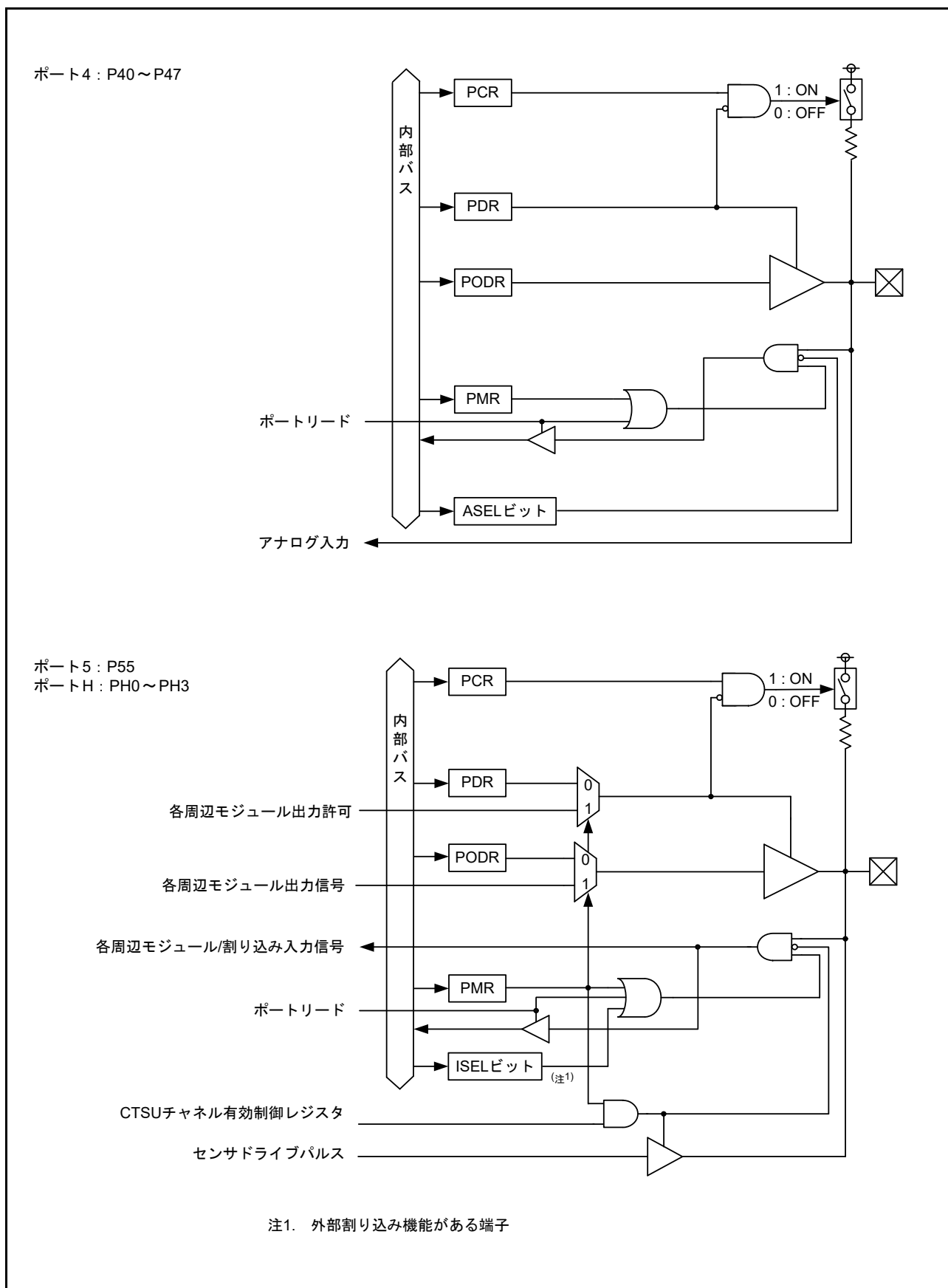


図 20.7 入出力ポートの構成 (7)

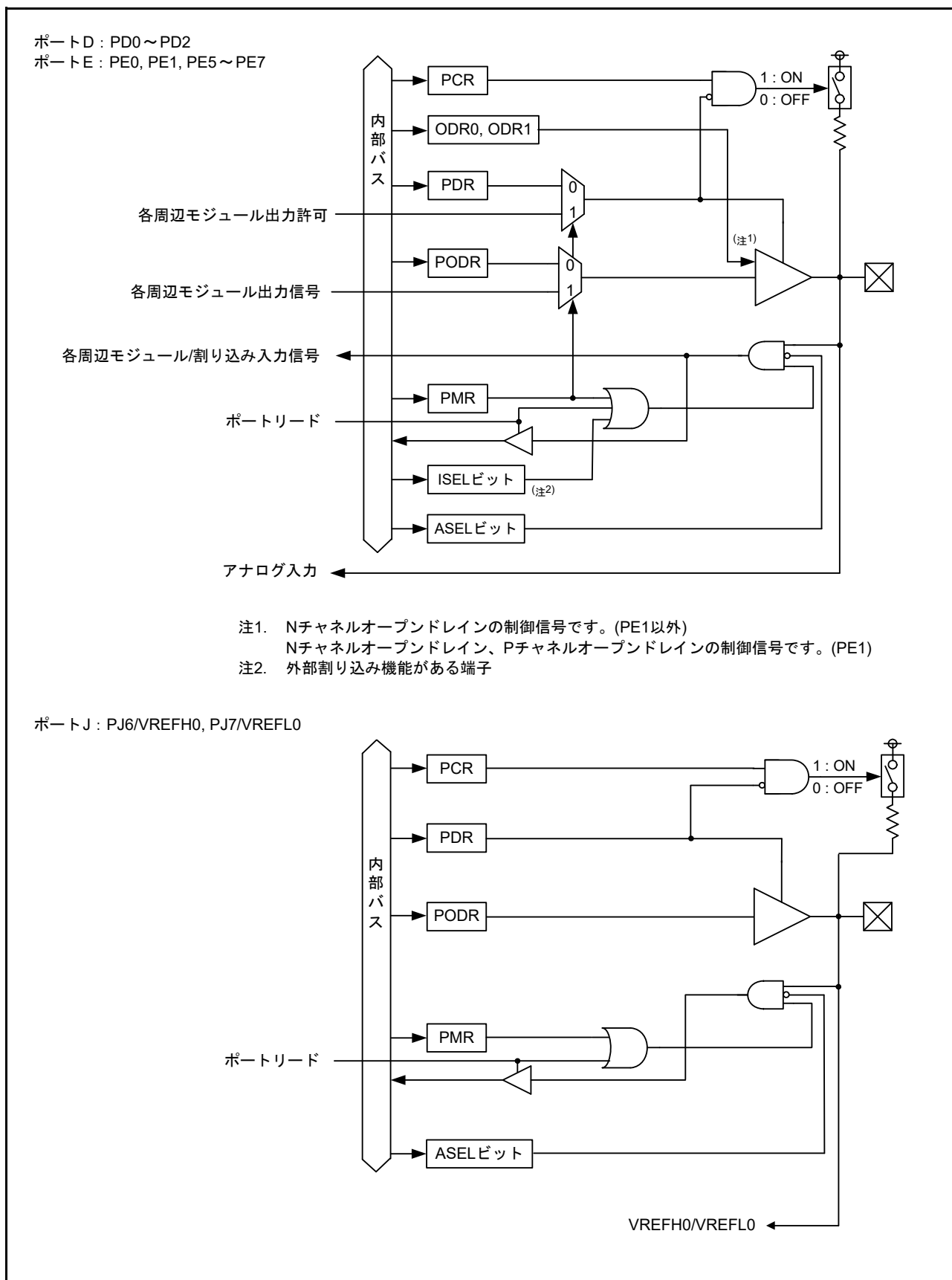


図 20.8 入出力ポートの構成 (8)

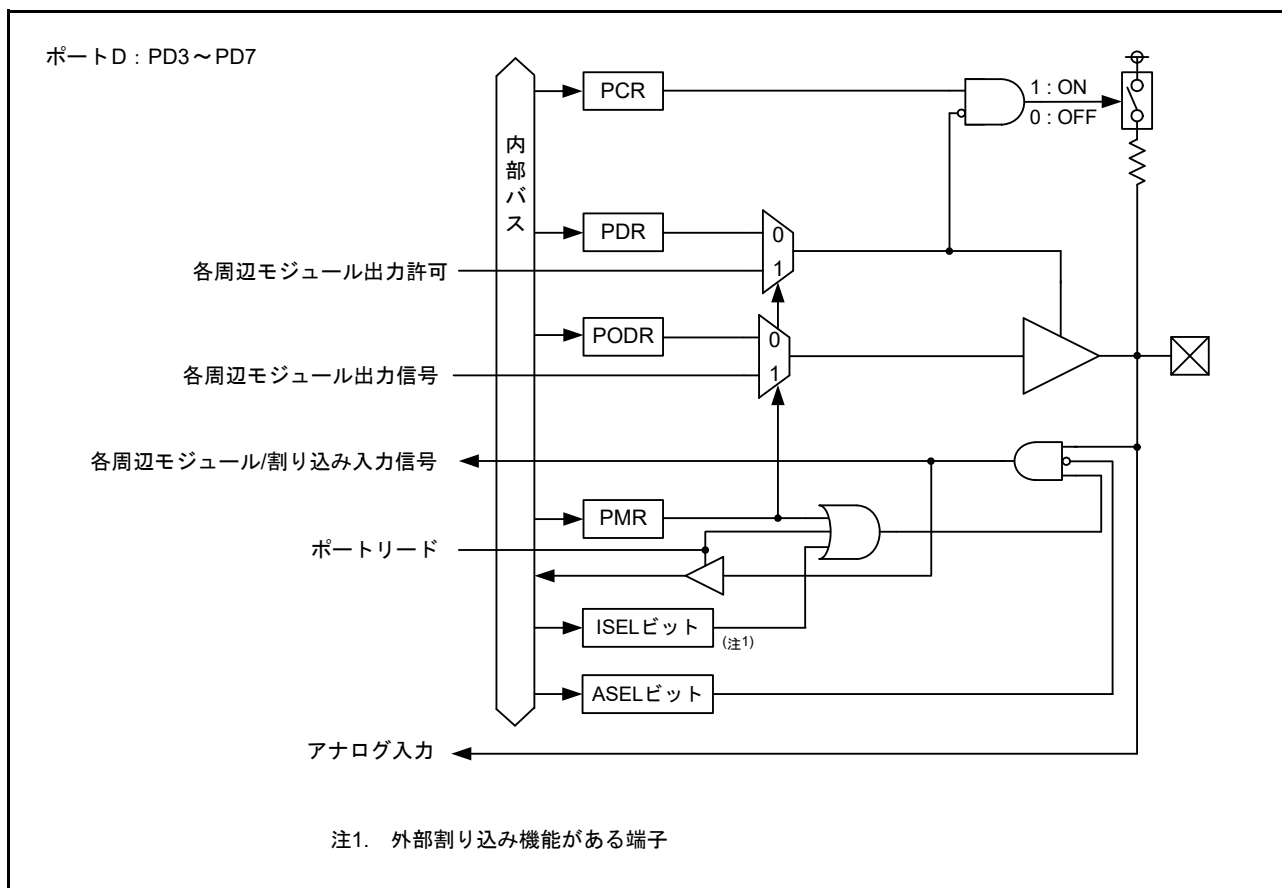


図 20.9 入出力ポートの構成 (9)

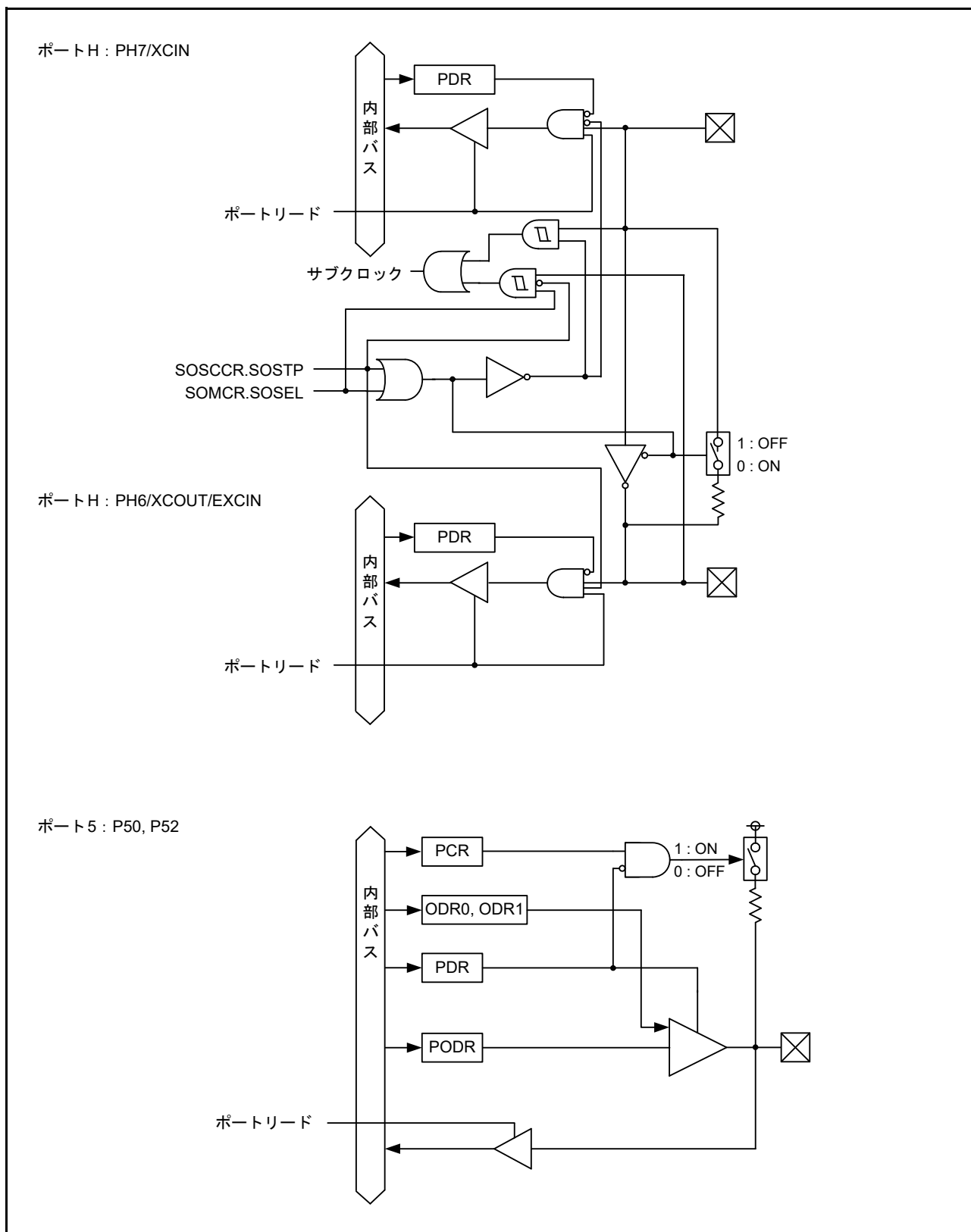


図 20.10 入出力ポートの構成 (10)

20.3 レジスタの説明

20.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT5.PDR 0008 C005h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTC.PDR 0008 C00Ch, PORTD.PDR 0008 C00Dh, PORTE.PDR 0008 C00Eh, PORTG.PDR 0008 C010h, PORTH.PDR 0008 C011h, PORTJ.PDR 0008 C012h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0 : 入力(入力ポートとして機能) 1 : 出力(出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 5, A ~ E, G, H, J

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しないポート m の端子に対応している PDR レジスタの各ビットには、“1”(出力)を書いてください。

P35 端子は入力専用のため、PORT3.PDR.B5 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT5.PODR 0008 C025h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTC.PODR 0008 C02Ch, PORTD.PODR 0008 C02Dh, PORTE.PODR 0008 C02Eh, PORTG.PODR 0008 C030h, PORTH.PODR 0008 C031h, PORTJ.PODR 0008 C032h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 5, A ~ E, G, H, J

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

100ピン未満のピン数の製品については、100ピンに対して存在しないポート m の端子のビットは予約ビットです。“0”を書いてください。

P35、PH6、PH7 端子は入力専用のため、PORT3.PODR.B5 ビット、PORTH.PODR.B6 ビット、PORTH.PODR.B7 ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT5.PIDR 0008 C045h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTC.PIDR 0008 C04Ch, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh, PORTG.PIDR 0008 C050h, PORTH.PIDR 0008 C051h, PORTJ.PIDR 0008 C052h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 X X X X X X X X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	ポートの端子状態を反映	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m = 0 ~ 5, A ~ E, G, H, J

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。

P35 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

注 . P36、P37 を汎用入出力ポートとして使用する場合、MOSCCR.MOSTP ビットに“1”(メインクロック発振停止)を設定してください。

注 . PH6、PH7 を汎用入力ポートとして使用する場合、SOSCCR.SOSTP ビットに“1”(サブクロック発振停止)を設定してください。

20.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h, PORT4.PMR 0008 C064h, PORT5.PMR 0008 C065h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh, PORTC.PMR 0008 C06Ch, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh, PORTG.PMR 0008 C070h, PORTH.PMR 0008 C071h, PORTJ.PMR 0008 C072h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 (注1) 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット	<ul style="list-style-type: none"> PG7 0 : 汎用入出力ポートとして使用 1 : MD 機能として使用 (初期値) <ul style="list-style-type: none"> その他 0 : 汎用入出力ポートとして使用 (初期値) 1 : 周辺機能として使用	R/W

m = 0 ~ 5, A ~ E, G, H, J

注1. PORTG.PMR.B7ビットの初期値は“1”です。

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

100 ピン未満のピン数の製品については、100 ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT5.ODR0 0008 C08Ah,
 PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h, PORTC.ODR0 0008 C098h, PORTD.ODR0 0008 C09Ah,
 PORTE.ODR0 0008 C09Ch

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm1出力形態指定ビット	<ul style="list-style-type: none"> • P21, P31, P51, PA1, PB1, PC1, PD1 b2 0 : CMOS出力 1 : Nチャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください <ul style="list-style-type: none"> • PE1 b3 b2 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : 設定しないでください	R/W
b3	B3			R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 1 ~ 3, 5, A ~ E, J

100ピン未満のピン数の製品については、100ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT1.ODR1 0008 C083h, PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT5.ODR1 0008 C08Bh,
 PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTC.ODR1 0008 C099h, PORTE.ODR1 0008 C09Dh,
 PORTG.ODR1 0008 C0A1h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm7出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 1 ~ 3, 5, A ~ C, E, G

100ピン未満のピン数の製品については、100ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

P35端子は入力専用のため、PORT3.ODR1.B2ビットは予約ビットです。存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h, PORT4.PCR 0008 C0C4h, PORT5.PCR 0008 C0C5h, PORTA.PCR 0008 C0CAh, PORTB.PCR 0008 C0CBh, PORTC.PCR 0008 C0CCh, PORTD.PCR 0008 C0CDh, PORTE.PCR 0008 C0CEh, PORTG.PCR 0008 C0D0h, PORTH.PCR 0008 C0D1h, PORTJ.PCR 0008 C0D2h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 (注1) 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 5, A ~ E, G, H, J

注1. PORTG.PCR.B7ビットの初期値は“1”です。

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

PORT3.PCR.B5ビットは予約ビットです。また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

20.3.8 ポート切り替えレジスタ A (PSRA)

アドレス PORT.PSRA 0008 C121h

b7	b6	b5	b4	b3	b2	b1	b0
PSEL7	PSEL6	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSEL6	PB6/PC0切り替えビット	0 : PB6汎用入出力ポート機能を選択 1 : PC0汎用入出力ポート機能を選択	R/W
b7	PSEL7	PB7/PC1切り替えビット	0 : PB7汎用入出力ポート機能を選択 1 : PC1汎用入出力ポート機能を選択	R/W

注. PSRAレジスタは80、64ピンパッケージ製品用のレジスタです。

PSRAレジスタは、PB6、PB7の汎用入出力機能と、PC0、PC1の汎用入出力機能のどちらを使用するか選択します。PSEL6、PSEL7ビットに“1”を書き込むとPORTCを8ビットのポートとして使用することができます。「[図 20.11 PSRAレジスタによる汎用入出力ポートの切り替え](#)」に各ポートの対応を示します。

周辺機能の入出力機能は、PB6、PB7にマルチプレクスされた機能が有効となります。周辺機能を有効にする場合は、PORTB.PMRレジスタで対応する端子モード制御ビットに“1”を書き込んでください。

本レジスタの書き換えは、該当端子のPMRレジスタ、PDRレジスタ、PCRレジスタが“0”の状態で行ってください。

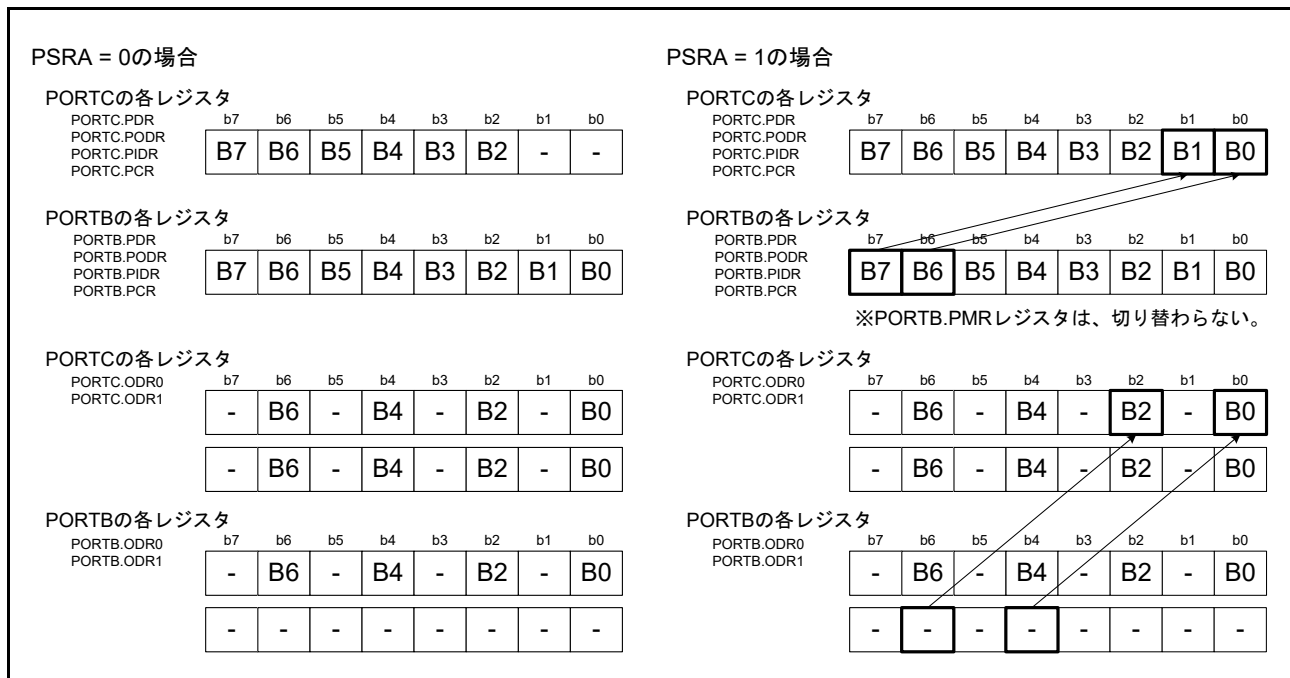
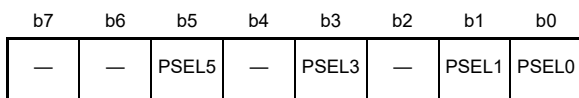


図 20.11 PSRAレジスタによる汎用入出力ポートの切り替え

20.3.9 ポート切り替えレジスタ B (PSRB)

アドレス PORT.PSRB 0008 C120h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PSEL0	PB0/PC0切り替えビット	0 : PB0 汎用入出力ポート機能を選択 1 : PC0 汎用入出力ポート機能を選択	R/W
b1	PSEL1	PB1/PC1切り替えビット	0 : PB1 汎用入出力ポート機能を選択 1 : PC1 汎用入出力ポート機能を選択	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PSEL3	PB3/PC2切り替えビット	0 : PB3 汎用入出力ポート機能を選択 1 : PC2 汎用入出力ポート機能を選択	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PSEL5	PB5/PC3切り替えビット	0 : PB5 汎用入出力ポート機能を選択 1 : PC3 汎用入出力ポート機能を選択	R/W
b6, b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. PSRBレジスタは48ピンパッケージ製品用のレジスタです。

PSRBレジスタは、PB5、PB3、PB1、PB0の汎用入出力機能と、PC3、PC2、PC1、PC0の汎用入出力機能のどちらを使用するか選択します。PSEL5、PSEL3、PSEL1、PSEL0ビットに“1”を書き込むとPORTCを8ビットのポートとして使用することができます。「[図 20.12 PSRBレジスタによる汎用入出力ポートの切り替え](#)」に各ポートの対応を示します。

周辺機能の入出力機能は、PB0、PB1、PB3、PB5にマルチプレクスされた機能が有効となります。周辺機能を有効にする場合は、PORTB.PMRレジスタで対応する端子モード制御ビットに“1”を書き込んでください。

本レジスタの書き換えは、該当端子のPMRレジスタ、PDRレジスタ、PCRレジスタが“0”の状態で行ってください。

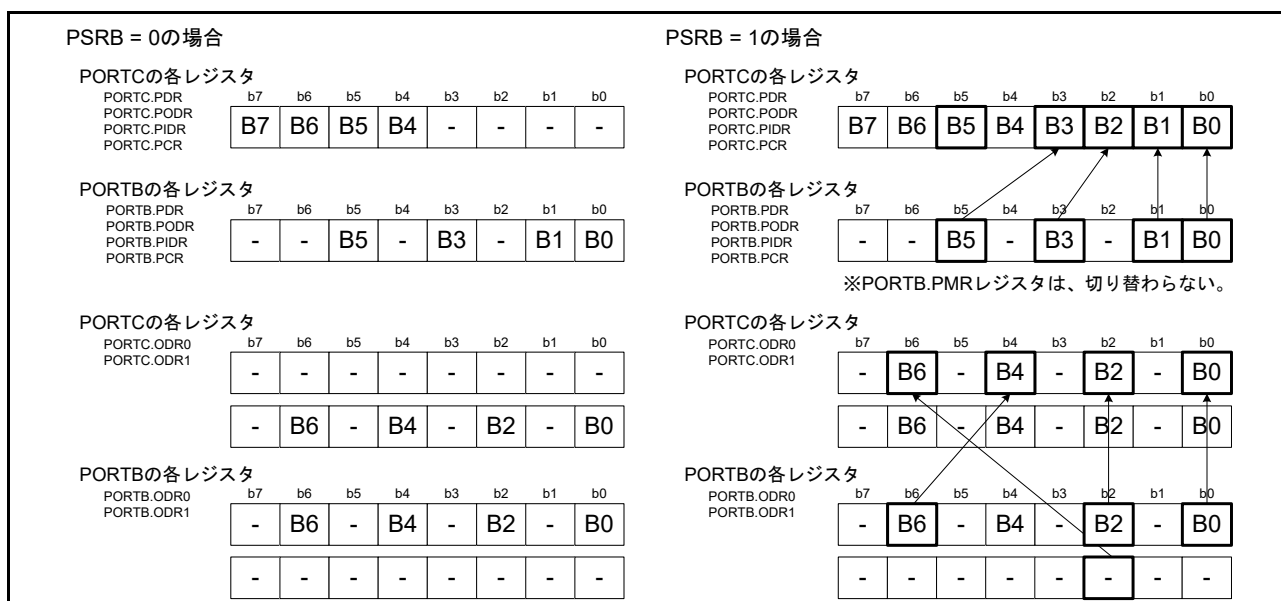


図 20.12 PSRBレジスタによる汎用入出力ポートの切り替え

20.3.10 ポートリードウェイト制御レジスタ (PRWCNTR)

アドレス PORT.PRWCNTR 0008 C122h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	WAIT[1:0]	
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1, b0	WAIT[1:0] (注1)	ポートリードウェイト制御	b1 b0 0 0 : 設定禁止 0 1 : 1サイクルウェイト 1 0 : 2サイクルウェイト(初期値) 1 1 : 設定禁止	R/W
b2-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. PRWCNTRレジスタのビット1、0の設定は下記の表に示しています。

電圧範囲	PCLKBの周波数範囲	WAIT[1:0]	ウェイトサイクル数
2.4 ~ 5.5V	~ 32MHz	01	1
		10	2
1.8 ~ 2.4V	~ 24MHz	01	1
		10	2
	24 ~ 32MHz	01	設定禁止
		10	2
1.6 ~ 1.8V	~ 4MHz	01	1
		10	2

PRWCNTRレジスタは、PIDRレジスタをリードする場合、ウェイトサイクル数を指定するレジスタです。

20.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 20.3 ~ 表 20.6 を参照して初期化してください。

- 表 20.3 ~ 表 20.6 の空欄は、「表 20.1 I/O ポートの仕様」に記載されている端子に対応するビットです。使用するシステムに応じて“1”(出力)か“0”(入力)を設定してください。ただし、入力専用である P35 端子の PORT3.PDR.B5 ビットは予約ビットです。このビットには“0”(入力)を設定してください。
- 表 20.3 ~ 表 20.6 の空欄以外は、予約ビットです。予約ビットには表 20.3 ~ 表 20.6 に従って“0”(入力)または“1”(出力)を設定ください。予約ビットを設定する場合は、バイト単位でアクセスしてください。

表20.3 100ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0						1	1	1
PORT1							1	1
PORT2								
PORT3			0					
PORT4								
PORT5	1	1						
PORTA								
PORTB								
PORTC								
PORTD								
PORTE								
PORTG		1	1	1	1	1	1	1
PORTH(注1)			1	1				
PORTJ			1	1		1		1

注1. RX261にはPH1、PH2はありませんので、b1、b2には“1”を設定してください。

表20.4 80ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0						1	1	1
PORT1							1	1
PORT2			1	1	1	1		
PORT3			0		1			
PORT4								
PORT5	1	1			1	1	1	1
PORTA	1							
PORTB								
PORTC							1	1
PORTD	1	1	1	1	1			
PORTE	1	1						
PORTG		1	1	1	1	1	1	1
PORTH(注1)			1	1				
PORTJ			1	1	1	1		1

注1. RX261にはPH1、PH2はありませんので、b1、b2には“1”を設定してください。

表 20.5 64ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1		1		1	1	1
PORT1					1	1	1	1
PORT2			1	1	1	1	1	1
PORT3			0	1	1			
PORT4								
PORT5	1	1			1	1	1	1
PORTA	1		1			1		
PORTB				1		1		
PORTC							1	1
PORTD	1	1	1	1	1	1	1	1
PORTE	1	1						
PORTG		1	1	1	1	1	1	1
PORTH(注1)			1	1				
PORTJ			1	1	1	1	1	1

注1. RX261にはPH1、PH2はありませんので、b1、b2には“1”を設定してください。

表 20.6 48ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1					1	1	1	1
PORT2			1	1	1	1	1	1
PORT3			0	1	1	1		
PORT4				1	1			
PORT5	1	1	1	1	1	1	1	1
PORTA	1		1			1		1
PORTB	1	1		1		1		
PORTC					1	1	1	1
PORTD	1	1	1	1	1	1	1	1
PORTE	1	1	1					1
PORTG		1	1	1	1	1	1	1
PORTH(注1)	1	1	1	1				
PORTJ			1	1	1	1	1	1

注1. RX261にはPH1、PH2はありませんので、b1、b2には“1”を設定してください。

20.5 未使用端子の処理

表 20.7 に未使用端子の処理内容を示します。

表 20.7 未使用端子の処理内容

端子名	処理内容
PG7/MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続(プルアップ)
USB0_DP	端子を開放
USB0_DM	
P35/NMI	抵抗を介してVCCに接続(プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP36)に設定 ポートP36としても使用しない場合は、ポート1~3、5、ポートA~E、Hの処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1”(汎用ポートP37)に設定 ポートP37としても使用しない場合は、ポート1~3、5、ポートA~E、Hの処理と同様 EXTAL端子に外部クロックを入力する場合は、抵抗を介してVCCに接続(プルアップ)、または抵抗 を介してVSSに接続(プルダウン)
PH7/XCIN	サブクロックを使用しない場合は、SOSCCR.SOSTPビットを“1”(汎用ポートPH7)に設定 ポートPH7としても使用しない場合は、PORTH.PDR.B7ビットを“0”に設定し、抵抗を介してVSS に接続(プルダウン)、または“1”に設定し、端子を開放
PH6/XCOUT	サブクロックを使用しない場合は、SOSCCR.SOSTPビットを“1”(汎用ポートPH6)に設定 ポートPH6としても使用しない場合は、PORTH.PDR.B6ビットを“0”に設定し、抵抗を介してVSS に接続(プルダウン)、または“1”に設定し、端子を開放
ポート1~3、5、A~E、H、 J (PJ6、PJ7以外)	<ul style="list-style-type: none"> • 入力に設定(PORTn.PDRビット=0)し、1端子ごとに抵抗を介してVCCに接続(プルアップ)、または1端子ごとに抵抗を介してVSSに接続(プルダウン)(注1) • 出力に設定(PORTn.PDRビット=1)し、端子を開放(注1、注2)
ポート0、4、J (PJ6、PJ7)	<ul style="list-style-type: none"> • 入力に設定(PORTn.PDRビット=0)し、1端子ごとに抵抗を介してAVCC0に接続(プルアップ)、または1端子ごとに抵抗を介してAVSS0に接続(プルダウン)(注1) • 出力に設定(PORTn.PDRビット=1)し、端子を開放(注1、注2)
PJ6/VREFH0	VREFH0として使用しない場合は、PJ6PFS.ASELビットを“0”(汎用ポートPJ6)に設定 ポートPJ6としても使用しない場合は、ポート0、4と同様の処理
PJ7/VREFL0	VREFL0として使用しない場合は、PJ7PFS.ASELビットを“0”(汎用ポートPJ7)に設定 ポートPJ7としても使用しない場合は、ポート0、4と同様の処理

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

21. マルチファンクションピンコントローラ (MPC)

21.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。

表 21.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 21.1 マルチプル端子の割り当て端子一覧 (1/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	80ピン	64ピン	48ピン
割り込み		NMI (入力)	P35	○	○	○	○
割り込み	IRQ0	IRQ0 (入力)	P30	○	○	○	○
			PD0	○	○	×	×
			PH1	○	○	○	○
	IRQ1	IRQ1 (入力)	P31	○	○	○	○
			PD1	○	○	×	×
			PH2	○	○	○	○
	IRQ2	IRQ2 (入力)	P12	○	○	×	×
			P32	○	○	○	×
			P36	○	○	○	○
			PD2	○	○	×	×
	IRQ3	IRQ3 (入力)	P13	○	○	×	×
			P33	○	×	×	×
			PD3	○	×	×	×
	IRQ4	IRQ4 (入力)	P14	○	○	○	○
			P34	○	○	×	×
			P37	○	○	○	○
			PB1	○	○	○	○
			PD4	○	×	×	×
	IRQ5	IRQ5 (入力)	P15	○	○	○	○
			PA4	○	○	○	○
PD5			○	×	×	×	
PE5			○	○	○	×	
IRQ6	IRQ6 (入力)	P16	○	○	○	○	
		PA3	○	○	○	○	
		PD6	○	×	×	×	
		PE6	○	×	×	×	
IRQ7	IRQ7 (入力)	P17	○	○	○	○	
		PD7	○	×	×	×	
		PE2	○	○	○	○	
		PE7	○	×	×	×	
クロック発生回路	CLKOUT (出力)	PE3	○	○	○	○	
		PE4	○	○	○	○	

表21.1 マルチプル端子の割り当て端子一覧 (2/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	80ピン	64ピン	48ピン
汎用PWMタイマ	GPTW0	GTIOC0A (入出力)/ GTIOC0A# (入出力)	P17	○	○	○	○
			P22	○	×	×	×
			PA0	○	○	○	×
			PA1	○	○	○	○
			PB7	○	○	○	×
			PC5	○	○	○	○
			PH0	○	○	○	○
		GTIOC0B (入出力)/ GTIOC0B# (入出力)	P16	○	○	○	○
			P17	○	○	○	○
			P23	○	×	×	×
			PA1	○	○	○	○
			PA6	○	○	○	○
			PB0	○	○	○	○
			PB6	○	○	○	×
	GPTW1	GTIOC1A (入出力)/ GTIOC1A# (入出力)	P24	○	×	×	×
			P32	○	○	○	×
			P55	○	○	○	×
			PA0	○	○	○	×
			PB3	○	○	○	○
			PE2	○	○	○	○
			PE4	○	○	○	○
			GTIOC1B (入出力)/ GTIOC1B# (入出力)	P25	○	×	×
		P33		○	×	×	×
		PA3		○	○	○	○
		PA4		○	○	○	○
		PB1		○	○	○	○
		PE1		○	○	○	○
		PE5		○	○	○	×
		PH2		○	○	○	○
		GPTW2	GTIOC2A (入出力)/ GTIOC2A# (入出力)	P21	○	○	×
P30	○			○	○	○	
P54	○			○	○	×	
PB0	○			○	○	○	
PC2	○			○	○	×	
PD1	○			○	×	×	
PE3	○			○	○	○	

表21.1 マルチプル端子の割り当て端子一覧 (3/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	80ピン	64ピン	48ピン
汎用PWMタイマ	GPTW2	GTIOC2B (入出力)/ GTIOC2B# (入出力)	P20	○	○	×	×
			P31	○	○	○	○
			P55	○	○	○	×
			PA3	○	○	○	○
			PB1	○	○	○	○
			PC3	○	○	○	×
			PD2	○	○	×	×
			PE4	○	○	○	○
			PH3	○	○	○	○
	GPTW3	GTIOC3A (入出力)/ GTIOC3A# (入出力)	P22	○	×	×	×
			P34	○	○	×	×
			PB2	○	○	×	×
			PB3	○	○	○	○
			PC4	○	○	○	○
		GTIOC3B (入出力)/ GTIOC3B# (入出力)	P13	○	○	×	×
			P15	○	○	○	○
			P23	○	×	×	×
			PA1	○	○	○	○
	GPTW4	GTIOC4A (入出力)/ GTIOC4A# (入出力)	P20	○	○	×	×
			PA4	○	○	○	○
			PE4	○	○	○	○
		GTIOC4B (入出力)/ GTIOC4B# (入出力)	P16	○	○	○	○
			P21	○	○	×	×
			PA5	○	○	×	×
			PB5	○	○	○	○
			PE3	○	○	○	○
		GPTW5	GTIOC5A (入出力)/ GTIOC5A# (入出力)	P26	○	○	○
	PA6			○	○	○	○
	PB5			○	○	○	○
	GTIOC5B (入出力)/ GTIOC5B# (入出力)		P15	○	○	○	○
			P27	○	○	○	○
			PA7	○	×	×	×
			PE5	○	○	○	×
	GPTW6	GTIOC6A (入出力)/ GTIOC6A# (入出力)	P14	○	○	○	○
			P17	○	○	○	○
			P25	○	×	×	×
PB4			○	○	×	×	
PC1			○	×	×	×	
PC7			○	○	○	○	
PJ1			○	○	×	×	

表21.1 マルチプル端子の割り当て端子一覧 (4/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	80ピン	64ピン	48ピン
汎用PWMタイマ	GPTW6	GTIOC6B (入出力)/ GTIOC6B# (入出力)	P16	○	○	○	○
			P24	○	×	×	×
			PB5	○	○	○	○
			PC0	○	×	×	×
			PC6	○	○	○	○
			PJ3	○	×	×	×
	GPTW7	GTIOC7A (入出力)/ GTIOC7A# (入出力)	P13	○	○	×	×
			P32	○	○	○	×
			PB1	○	○	○	○
			PB6	○	○	○	×
			PC5	○	○	○	○
		GTIOC7B (入出力)/ GTIOC7B# (入出力)	P14	○	○	○	○
			P33	○	×	×	×
			PA3	○	○	○	○
			PB7	○	○	○	×
	GPTW	GTETRGA (入力)	P14	○	○	○	○
			P24	○	×	×	×
			PA4	○	○	○	○
			PC2	○	○	○	×
			PC6	○	○	○	○
		GTETRGB (入力)	P15	○	○	○	○
			P25	○	×	×	×
			PA3	○	○	○	○
			PA6	○	○	○	○
			PC3	○	○	○	×
			PC7	○	○	○	○
		GTETRGC (入力)	P16	○	○	○	○
			P22	○	×	×	×
			PA1	○	○	○	○
			PB2	○	○	×	×
			PC0	○	×	×	×
PC4			○	○	○	○	
GTETRGD (入力)		P17	○	○	○	○	
		P23	○	×	×	×	
		PA3	○	○	○	○	
		PB3	○	○	○	○	
		PC1	○	×	×	×	
		PC5	○	○	○	○	
GTCPP00 (出力)		P14	○	○	○	○	
	P17	○	○	○	○		
	PC1	○	×	×	×		
	PC7	○	○	○	○		
	PJ1	○	○	×	×		

表21.1 マルチプル端子の割り当て端子一覧 (5/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	80ピン	64ピン	48ピン
汎用PWMタイマ	GPTW	GTIU (入力)	P34	○	○	×	×
			PB3	○	○	○	○
			PC4	○	○	○	○
		GTIV (入力)	P13	○	○	×	×
			P15	○	○	○	○
			PA1	○	○	○	○
		GTIW (入力)	P32	○	○	○	×
			PB1	○	○	○	○
			PC5	○	○	○	○
		GTOULO (出力)	P16	○	○	○	○
			PA6	○	○	○	○
			PC4	○	○	○	○
			PH1	○	○	○	○
		GTOUUP (出力)	P17	○	○	○	○
			PA1	○	○	○	○
			PC5	○	○	○	○
			PH0	○	○	○	○
		GTOVLO (出力)	PA3	○	○	○	○
			PA4	○	○	○	○
			PB1	○	○	○	○
			PE1	○	○	○	○
		GTOVUP (出力)	PA0	○	○	○	×
			PB3	○	○	○	○
			PE2	○	○	○	○
			PE4	○	○	○	○
		GTOWLO (出力)	P31	○	○	○	○
			PA3	○	○	○	○
			PB1	○	○	○	○
			PE4	○	○	○	○
		GTOWUP (出力)	P30	○	○	○	○
			PB0	○	○	○	○
			PC2	○	○	○	×
			PE3	○	○	○	○

表21.1 マルチプル端子の割り当て端子一覧 (6/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				100ピン	80ピン	64ピン	48ピン	
8ビットタイマ	TMR0	TMO0 (出力)	P22	○	×	×	×	
			PB3	○	○	○	○	
			PH1	○	○	○	○	
		TMCI0 (入力)	P21	○	○	×	×	
			PB1	○	○	○	○	
			PH3	○	○	○	○	
		TMRI0 (入力)	P20	○	○	×	×	
			PA4	○	○	○	○	
			PH2	○	○	○	○	
	TMR1	TMO1 (出力)	P17	○	○	○	○	
			P26	○	○	○	○	
		TMCI1 (入力)	P12	○	○	×	×	
			P54	○	○	○	×	
			PC4	○	○	○	○	
		TMRI1 (入力)	P24	○	×	×	×	
	PB5		○	○	○	○		
	TMR2	TMO2 (出力)	P16	○	○	○	○	
			PC7	○	○	○	○	
		TMCI2 (入力)	P15	○	○	○	○	
			P31	○	○	○	○	
			PC6	○	○	○	○	
		TMRI2 (入力)	P14	○	○	○	○	
	PC5		○	○	○	○		
	TMR3	TMO3 (出力)	P13	○	○	×	×	
			P32	○	○	○	×	
			P55	○	○	○	×	
		TMCI3 (入力)	P27	○	○	○	○	
			P34	○	○	×	×	
			PA6	○	○	○	○	
		TMRI3 (入力)	P30	○	○	○	○	
			P33	○	×	×	×	
		シリアル コミュニケーション インターフェース	SCI1	RXD1 (入力)/ SMISO1 (入出力)/ SSCL1 (入出力)	P15	○	○	○
	P30				○	○	○	○
	TXD1 (出力)/ SMOSI1 (入出力)/ SSDA1 (入出力)			P16	○	○	○	○
				P26	○	○	○	○
	SCK1 (入出力)			P17	○	○	○	○
P27				○	○	○	○	
CTS1# (入力)/ RTS1# (出力)/ SS1# (入力)	P14			○	○	○	○	
	P31			○	○	○	○	

表21.1 マルチプル端子の割り当て端子一覧 (7/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				100ピン	80ピン	64ピン	48ピン	
シリアル コミュニケーション インタフェース	SCI5	RXD5 (入力)/ SMISO5 (入出力)/ SSCL5 (入出力)	PA2	○	○	×	×	
			PA3	○	○	○	○	
			PC2	○	○	○	×	
		TXD5 (出力)/ SMOSI5 (入出力)/ SSDA5 (入出力)	PA4	○	○	○	○	
			PC3	○	○	○	×	
		SCK5 (入出力)	PA1	○	○	○	○	
			PC1	○	×	×	×	
			PC4	○	○	○	○	
		CTS5# (入力)/ RTS5# (出力)/ SS5# (入力)	PA6	○	○	○	○	
			PC0	○	×	×	×	
		SCI6	RXD6 (入力)/ SMISO6 (入出力)/ SSCL6 (入出力)	P33	○	×	×	×
				PB0	○	○	○	○
	PD1			○	○	×	×	
	TXD6 (出力)/ SMOSI6 (入出力)/ SSDA6 (入出力)		P32	○	○	○	×	
			PB1	○	○	○	○	
			PD0	○	○	×	×	
	SCK6 (入出力)		P34	○	○	×	×	
			PB3	○	○	○	○	
			PD2	○	○	×	×	
	CTS6# (入力)/ RTS6# (出力)/ SS6# (入力)		PB2	○	○	×	×	
PJ3			○	×	×	×		
SCI12	RXD12 (入力)/ SMISO12 (入出力)/ SSCL12 (入出力)/ RXDX12 (入力)		PE2	○	○	○	○ (ただし、 SMISO12 機 能はありません)	
		TXD12 (出力)/ SMOSI12 (入出力)/ SSDA12 (入出力)/ TXDX12 (出力)/ SIOX12 (入出力)	PE1	○	○	○	○ (ただし、 SMOSI12 機 能はありません)	
		SCK12 (入出力)	PE0	○	○	○	×	
		CTS12# (入力)/ RTS12# (出力)/ SS12# (入力)	PE3	○	○	○	○ (ただし、 SS12# 機能は ありません)	

表21.1 マルチプル端子の割り当て端子一覧 (8/12)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ			
				100ピン	80ピン	64ピン	48ピン
シリアル コミュニケーション インタフェース	RSCI0	RXD000 (入力)/ SMISO000 (入出力)/ SSCL000 (入出力)	P21	○	○	×	×
		TXD000 (出力)/ TXDA000 (出力)/ SMOSI000 (入出力)/ SSDA000 (入出力)	P20	○	○ (ただし、 TXDA000機 能はありま せん)	×	×
		SCK000 (入出力)	P22	○	×	×	×
		TXDB000 (出力)	P22	○	×	×	×
		CTS000# (入力)/ RTS000# (出力)/ SS000# (入力)	P23	○	×	×	×
		DE000 (出力)	P23	○	×	×	×
	RSCI8	RXD008 (入力)/ SMISO008 (入出力)/ SSCL008 (入出力)	PC6	○	○	○	○
		TXD008 (出力)/ TXDA008 (出力)/ SMOSI008 (入出力)/ SSDA008 (入出力)	PC7	○	○	○	○
		SCK008 (入出力)	PC5	○	○	○	○
		TXDB008 (出力)	PC5	○	○	○	○
		CTS008# (入力)/ RTS008# (出力)/ SS008# (入力)	PC4	○	○	○	○
		DE008 (出力)	PC4	○	○	○	○
	RSCI9	RXD009 (入力)/ SMISO009 (入出力)/ SSCL009 (入出力)	PB6	○	○	○	×
		TXD009 (出力)/ TXDA009 (出力)/ SMOSI009 (入出力)/ SSDA009 (入出力)	PB7	○	○	○	×
		SCK009 (入出力)	PB5	○	○	○	×
		TXDB009 (出力)	PB5	○	○	○	×
		CTS009# (入力)/ RTS009# (出力)/ SS009# (入力)	PB4	○	○	×	×
		DE009 (出力)	PB4	○	○	×	×
I ² Cバスインタフェース	RIIC0	SCL0 (入出力)	P12	○	○	×	×
			P16	○	○	○	○
		SDA0 (入出力)	P13	○	○	×	×
			P17	○	○	○	○

表21.1 マルチプル端子の割り当て端子一覧 (9/12)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ			
				100ピン	80ピン	64ピン	48ピン
シリアルペリフェラル インタフェース	RSPI0	RSPCKA (入出力)	PA5	○	○	×	×
			PB0	○	○	○	○
			PC5	○	○	○	○
		MOSIA (入出力)	P16	○	○	○	○
			PA6	○	○	○	○
			PC6	○	○	○	○
		MISOA (入出力)	P17	○	○	○	○
			PA7	○	×	×	×
			PC7	○	○	○	○
		SSLA0 (入出力)	PA4	○	○	○	○
			PC4	○	○	○	○
		SSLA1 (出力)	PA0	○	○	○	×
			PC0	○	×	×	×
		SSLA2 (出力)	PA1	○	○	○	○
			PC1	○	×	×	×
		SSLA3 (出力)	PA2	○	○	×	×
PC2	○		○	○	×		
リアルタイムクロック		RTCOUT (出力)	P16	○	○	○	×
			P32	○	○	○	×
		RTCIC0 (入力) (注1)	P30	○	○	○	×
		RTCIC1 (入力) (注1)	P31	○	○	○	×
		RTCIC2 (入力) (注1)	P32	○	○	○	×
ローパワータイマ	LPT	LPTO (出力)	P26	○	○	○	○
			PB3	○	○	○	○
			PC7	○	○	○	○
CANFDモジュール	CANFD0	CTX0 (出力)	P14	○	○	○	○
			P32	○	○	○	×
			P54	○	○	○	×
			PD1	○	○	×	×
		CRX0 (入力)	P15	○	○	○	○
			P33	○	×	×	×
			P55	○	○	○	×
			PD2	○	○	×	×

表21.1 マルチプル端子の割り当て端子一覧 (10/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	80ピン	64ピン	48ピン
USB2.0FSホスト/ ファンクション モジュール	USB0	USB0_DP (入出力)	PH1 (注2)	○	○	○	○
		USB0_DM (入出力)	PH2 (注2)	○	○	○	○
		USB0_VBUS (入力)	P16	○	○	○	○
			PB5	○	○	○	○
		USB0_EXICEN (出力)	P21	○	○	×	×
			PC6	○	○	○	○
		USB0_VBUSEN (出力)	P16	○	○	○	○
			P24	○	×	×	×
			P26	○	○	○	○
			P32	○	○	○	×
		USB0_OVRCURA (入力)	P14	○	○	○	○
		USB0_OVRCURB (入力)	P16	○	○	○	○
			P22	○	×	×	×
		USB0_ID (入力)	P20	○	○	×	×
PC5	○		○	○	○		
12ビットA/Dコンバータ		AN000 (入力) (注1)	P40	○	○	○	○
		AN001 (入力) (注1)	P41	○	○	○	○
		AN002 (入力) (注1)	P42	○	○	○	○
		AN003 (入力) (注1)	P43	○	○	○	×
		AN004 (入力) (注1)	P44	○	○	○	×
		AN005 (入力) (注1)	P45	○	○	○	○
		AN006 (入力) (注1)	P46	○	○	○	○
		AN007 (入力) (注1)	P47	○	○	○	○
		AN016 (入力) (注1)	PE0	○	○	○	×
		AN017 (入力) (注1)	PE1	○	○	○	○
		AN018 (入力) (注1)	PE2	○	○	○	○
		AN019 (入力) (注1)	PE3	○	○	○	○
		AN020 (入力) (注1)	PE4	○	○	○	○
		AN021 (入力) (注1)	PE5	○	○	○	×
		AN022 (入力) (注1)	PE6	○	×	×	×
		AN023 (入力) (注1)	PE7	○	×	×	×
		AN024 (入力) (注1)	PD0	○	○	×	×
		AN025 (入力) (注1)	PD1	○	○	×	×
		AN026 (入力) (注1)	PD2	○	○	×	×
		AN027 (入力) (注1)	PD3	○	×	×	×
		AN028 (入力) (注1)	PD4	○	×	×	×
		AN029 (入力) (注1)	PD5	○	×	×	×
		AN030 (入力) (注1)	PD6	○	×	×	×
		AN031 (入力) (注1)	PD7	○	×	×	×
ADTRG0# (入力)	P07	○	○	×	×		
	P16	○	○	○	○		
	P25	○	×	×	×		
D/Aコンバータ		DA0 (出力) (注1)	P03	○	○	○	×
		DA1 (出力) (注1)	P05	○	○	○	×

表21.1 マルチプル端子の割り当て端子一覧 (11/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ				
				100ピン	80ピン	64ピン	48ピン	
クロック周波数精度測定回路		CACREF (入力)	PA0	○	○	○	×	
			PC7	○	○	○	○	
			PH0	○	○	○	○	
LVD 電圧検出入力		CMPA2 (入力) ^(注1)	PE4	○	○	○	○	
コンパレータB		CMPB0 (入力) ^(注1)	PE1	○	○	○	○	
			CVREFB0 (入力) ^(注1)	PE2	○	○	○	○
			CMPOB0 (出力)	PE5	○	○	○	×
			CMPB1 (入力) ^(注1)	PA3	○	○	○	○
			CVREFB1 (入力) ^(注1)	PA4	○	○	○	○
			CMPOB1 (出力)	PB1	○	○	○	○
静電容量式タッチセンサ(CTSUS)		TSCAP (—)	PC4	○	○	○	○	
			TS0 (入出力)	P32	○	○	○	×
			TS1 (入出力)	P31	○	○	○	○
			TS2 (入出力)	P30	○	○	○	○
			TS3 (入出力)	P27	○	○	○	○
			TS4 (入出力)	P26	○	○	○	○
			TS5 (入出力)	P15	○	○	○	○
			TS6 (入出力)	P14	○	○	○	○
			TS7 (入出力)	PH3	○	○	○	○
			TS8 (入出力)	PH2	○	○	○	○
			TS9 (入出力)	PH1	○	○	○	○
			TS10 (入出力)	PH0	○	○	○	○
			TS11 (入出力)	P55	○	○	○	×
			TS12 (入出力)	P54	○	○	○	×
			TS13 (入出力)	PC7	○	○	○	○
			TS14 (入出力)	PC6	○	○	○	○
			TS15 (入出力)	PC5	○	○	○	○
			TS16 (入出力)	PC3	○	○	○	×
			TS17 (入出力)	PC2	○	○	○	×
			TS18 (入出力)	PB7	○	○	○	×
			TS19 (入出力)	PB6	○	○	○	×
			TS20 (入出力)	PB5	○	○	○	○
			TS21 (入出力)	PB4	○	○	×	×
			TS22 (入出力)	PB3	○	○	○	○
			TS23 (入出力)	PB2	○	○	×	×
			TS24 (入出力)	PB1	○	○	○	○
			TS25 (入出力)	PB0	○	○	○	○
			TS26 (入出力)	PA6	○	○	○	○
			TS27 (入出力)	PA5	○	○	×	×
			TS28 (入出力)	PA4	○	○	○	○
			TS29 (入出力)	PA3	○	○	○	○
			TS30 (入出力)	PA2	○	○	×	×
TS31 (入出力)	PA1	○	○	○	○			
TS32 (入出力)	PA0	○	○	○	×			

表21.1 マルチプル端子の割り当て端子一覧 (12/12)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ			
				100ピン	80ピン	64ピン	48ピン
静電容量式タッチセンサ(CTSU)		TS33 (入出力)	PE4	○	○	○	○
		TS34 (入出力)	PE3	○	○	○	○
		TS35 (入出力)	PE2	○	○	○	○
リモコン信号受信機能	REMC0	PMC0 (入力)	P51	○	×	×	×
			P53	○	×	×	×
			PB3	○	○	○	○
			PC3	○	○	○	×
			PC4	○	○	○	○
			PC5	○	○	○	○

注1. この端子機能を使用する場合は、該当端子の設定を汎用入力にしてください(PORT.PDR.BmビットおよびPORT.PMR.Bmビットを“0”にする)。

注2. RX260の場合はPH1、PH2です。RX261の場合はUSB0_DP、USB0_DMです。

21.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

21.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス MPC.PWPR 0008 C11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0 : PFSレジスタへの書き込みを禁止 1 : PFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止ビット	0 : PFSWEビットへの書き込みを許可 1 : PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

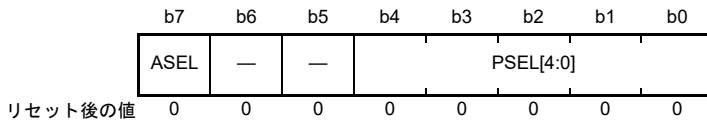
PFSWE ビットを設定する場合は、B0WI ビットに“0”を書いた後、PFSWE ビットを設定してください。

B0WI ビット (PFSWE ビット書き込み禁止ビット)

B0WI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

21.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 3, 5, 7)

アドレス MPC.P03PFS 0008 C143h, MPC.P05PFS 0008 C145h, MPC.P07PFS 0008 C147h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.2を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P03 : DA0 (100/80/64ピン) P05 : DA1 (100/80/64ピン)	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。

PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせても使用できません。ただし、同じ番号の IRQn (外部端子割り込み) を2つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約です。アナログ入出力機能のない端子の ASEL ビットは予約です。

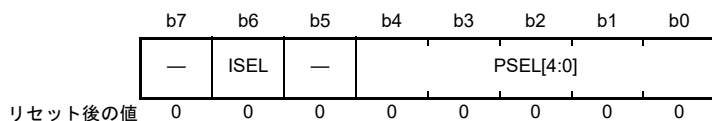
表21.2 100ピン、80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット設定値	端子
	P07
00000b (初期値)	Hi-Z
01001b	ADTRG0#

— : 設定しないでください。

21.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 2 ~ 7)

アドレス MPC.P12PFS 0008 C14Ah, MPC.P13PFS 0008 C14Bh, MPC.P14PFS 0008 C14Ch, MPC.P15PFS 0008 C14Dh, MPC.P16PFS 0008 C14Eh, MPC.P17PFS 0008 C14Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 21.3、表 21.4 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P12 : IRQ2 (100/80ピン) P13 : IRQ3 (100/80ピン) P14 : IRQ4 (100/80/64/48ピン) P15 : IRQ5 (100/80/64/48ピン) P16 : IRQ6 (100/80/64/48ピン) P17 : IRQ7 (100/80/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 21.3 100ピン、80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	P12	P13	P14	P15	P16	P17
00000b (初期値)	Hi-Z					
00001b	—	—	GTCPP00	—	GTIOC6B#	GTIOC6A#
00010b	—	—	—	—	GTETRGC	GTETRGD
00011b	—	GTIV	—	GTIV	GTOULO	GTCPP00
00100b	—	—	—	—	—	GTOUUP
00101b	TMC11	TMO3	TMRI2	TMC12	TMO2	TMO1
00111b	—	—	—	—	RTCOUT	—
01001b	—	—	—	—	ADTRG0#	—
01010b	—	—	—	RXD1 SMISO1 SSCL1	TXD1 SMOSH1 SSDA1	SCK1
01011b	—	—	CTS1# RTS1# SS1#	—	—	—
01101b	—	—	—	—	MOSIA	MISOA
01111b	SCL0	SDA0	—	—	SCL0	SDA0
10000b	—	—	CTX0	CRX0	—	—
10001b	—	—	USB0_OVRCURA	—	USB0_VBUS	—
10010b	—	—	—	—	USB0_VBUSEN	—
10011b	—	—	—	—	USB0_OVRCURB	—
10100b	—	GTIOC3B	GTIOC6A	GTIOC3B	GTIOC0B	GTIOC0A
10101b	—	GTIOC7A	GTIOC7B	GTIOC5B	GTIOC4B	GTIOC0B
10110b	—	GTIOC3B#	GTIOC6A#	GTIOC3B#	GTIOC0B#	GTIOC0A#
10111b	—	GTIOC7A#	GTIOC7B#	GTIOC5B#	GTIOC4B#	GTIOC0B#
11000b	—	—	GTETRGA	GTETRGB	GTIOC6B	GTIOC6A
11001b	—	—	TS6	TS5	—	—

— : 設定しないでください。

表21.4 64ピン、48ピン 端子入出力機能レジスタ設定

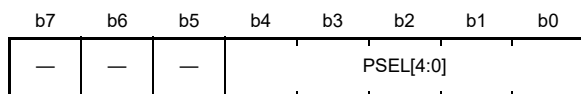
PSEL[4:0]ビット 設定値	端子			
	P14	P15	P16	P17
00000b (初期値)	Hi-Z			
00001b	GTCPP00	—	GTIOC6B#	GTIOC6A#
00010b	—	—	GTETRGC	GTETRGD
00011b	—	GTIV	GTOULO	GTCPP00
00100b	—	—	—	GTOUUP
00101b	TMRI2	TMCi2	TMO2	TMO1
00111b	—	—	RTCOUT (注1)	—
01001b	—	—	ADTRG0#	—
01010b	—	RXD1 SMISO1 SSCL1	TXD1 SMOSI1 SSDA1	SCK1
01011b	CTS1# RTS1# SS1#	—	—	—
01101b	—	—	MOSIA	MISOA
01111b	—	—	SCL0	SDA0
10000b	CTX0	CRX0	—	—
10001b	USB0_OVRCURA	—	USB0_VBUS	—
10010b	—	—	USB0_VBUSEN	—
10011b	—	—	USB0_OVRCURB	—
10100b	GTIOC6A	GTIOC3B	GTIOC0B	GTIOC0A
10101b	GTIOC7B	GTIOC5B	GTIOC4B	GTIOC0B
10110b	GTIOC6A#	GTIOC3B#	GTIOC0B#	GTIOC0A#
10111b	GTIOC7B#	GTIOC5B#	GTIOC4B#	GTIOC0B#
11000b	GTETRGA	GTETRGB	GTIOC6B	GTIOC6A
11001b	TS6	TS5	—	—

— : 設定しないでください。

注1. 48ピンの製品では対応していません。

21.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)

アドレス MPC.P20PFS 0008 C150h, MPC.P21PFS 0008 C151h, MPC.P22PFS 0008 C152h, MPC.P23PFS 0008 C153h, MPC.P24PFS 0008 C154h, MPC.P25PFS 0008 C155h, MPC.P26PFS 0008 C156h, MPC.P27PFS 0008 C157h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.5~表21.7を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.5 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
00000b (初期値)	Hi-Z							
00101b	TMRI0	TMCI0	TMO0	—	TMRI1	—	TMO1	TMCI3
01001b	—	—	—	—	—	ADTRG0#	—	—
01010b	TXD000 TXDA000 SMOSI000 SSDA000	RXD000 SMISO000 SSCL000	SCK000	—	—	—	TXD1 SMOS11 SSDA1	SCK1
01011b	—	—	—	CTS000# RTS000# SS000#	—	—	—	—
01100b	—	—	TXDB000	DE000	—	—	—	—
10001b	USB0_ID	USB0_EXICE N	USB0_OVRC URB	—	USB0_VBUS EN	—	USB0_VBUS EN	—
10100b	GTIOC2B	GTIOC2A	GTIOC0A	GTIOC0B	GTIOC1A	GTIOC1B	GTIOC5A	GTIOC5B
10101b	GTIOC4A	GTIOC4B	GTIOC3A	GTIOC3B	GTIOC6B	GTIOC6A	—	—
10110b	GTIOC2B#	GTIOC2A#	GTIOC0A#	GTIOC0B#	GTIOC1A#	GTIOC1B#	GTIOC5A#	GTIOC5B#
10111b	GTIOC4A#	GTIOC4B#	GTIOC3A#	GTIOC3B#	GTIOC6B#	GTIOC6A#	—	—
11000b	—	—	GTETRGC	GTETRGD	GTETRGA	GTETRGB	—	—
11001b	—	—	—	—	—	—	TS4	TS3
11011b	—	—	—	—	—	—	LPT0	—

— : 設定しないでください。

表21.6 80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	P20	P21	P26	P27
00000b (初期値)	Hi-Z			
00101b	TMRIO	TMCIO	TMO1	TMCi3
01010b	TXD000 SMOSI000 SSDA000	RXD000 SMISO000 SSCL000	TXD1 SMOSI1 SSDA1	SCK1
10001b	USB0_ID	USB0_EXICEN	USB0_VBUSEN	—
10100b	GTIOC2B	GTIOC2A	GTIOC5A	GTIOC5B
10101b	GTIOC4A	GTIOC4B	—	—
10110b	GTIOC2B#	GTIOC2A#	GTIOC5A#	GTIOC5B#
10111b	GTIOC4A#	GTIOC4B#	—	—
11000b	—	—	—	—
11001b	—	—	TS4	TS3
11011b	—	—	LPTO	—

— : 設定しないでください。

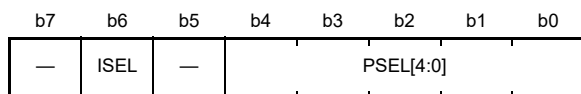
表21.7 64ピン、48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	P26	P27
00000b (初期値)	Hi-Z	
00101b	TMO1	TMCi3
01010b	TXD1 SMOSI1 SSDA1	SCK1
10001b	USB0_VBUSEN	—
10100b	GTIOC5A	GTIOC5B
10110b	GTIOC5A#	GTIOC5B#
11001b	TS4	TS3
11011b	LPTO	—

— : 設定しないでください。

21.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 4, 6, 7)

アドレス MPC.P30PFS 0008 C158h, MPC.P31PFS 0008 C159h, MPC.P32PFS 0008 C15Ah, MPC.P33PFS 0008 C15Bh, MPC.P34PFS 0008 C15Ch, MPC.P36PFS 0008 C15Eh, MPC.P37PFS 0008 C15Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.8～表21.11を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P30 : IRQ0 (100/80/64/48ピン) P31 : IRQ1 (100/80/64/48ピン) P32 : IRQ2 (100/80/64ピン) P33 : IRQ3 (100ピン) P34 : IRQ4 (100/80ピン) P36 : IRQ2 (80/64/48ピン) P37 : IRQ4 (80/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.8 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	P30	P31	P32	P33	P34
00000b (初期値)	Hi-Z				
00001b	—	—	—	—	GTIU
00011b	GTOWUP	GTOWLO	GTIW	—	—
00101b	TMRI3	TMCI2	TMO3	TMRI3	TMCI3
00111b	—	—	RTCOUT	—	—
01010b	RXD1 SMISO1 SSCL1	—	—	—	—
01011b	—	CTS1# RTS1# SS1#	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6
10000b	—	—	CTX0	CRX0	—
10001b	—	—	USB0_VBUSEN	—	—
10100b	GTIOC2A	GTIOC2B	GTIOC1A	GTIOC1B	GTIOC3A
10101b	—	—	GTIOC7A	GTIOC7B	—
10110b	GTIOC2A#	GTIOC2B#	GTIOC1A#	GTIOC1B#	GTIOC3A#
10111b	—	—	GTIOC7A#	GTIOC7B#	—
11001b	TS2	TS1	TS0	—	—

— : 設定しないでください。

表21.9 80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	P30	P31	P32	P34
00000b (初期値)	Hi-Z			
00001b	—	—	—	GTIU
00011b	GTOWUP	GTOWLO	GTIW	—
00101b	TMRI3	TMCi2	TMO3	TMCi3
00111b	—	—	RTCOUT	—
01010b	RXD1 SMISO1 SSCL1	—	—	—
01011b	—	CTS1# RTS1# SS1#	TXD6 SMOSi6 SSDA6	SCK6
10000b	—	—	CTX0	—
10001b	—	—	USB0_VBUSEN	—
10100b	GTIOC2A	GTIOC2B	GTIOC1A	GTIOC3A
10101b	—	—	GTIOC7A	—
10110b	GTIOC2A#	GTIOC2B#	GTIOC1A#	GTIOC3A#
10111b	—	—	GTIOC7A#	—
11001b	TS2	TS1	TS0	—

— : 設定しないでください。

表21.10 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子		
	P30	P31	P32
00000b (初期値)	Hi-Z		
00011b	GTOWUP	GTOWLO	GTIW
00101b	TMRI3	TMCi2	TMO3
00111b	—	—	RTCOUT
01010b	RXD1 SMISO1 SSCL1	—	—
01011b	—	CTS1# RTS1# SS1#	TXD6 SMOSi6 SSDA6
10000b	—	—	CTX0
10001b	—	—	USB0_VBUSEN
10100b	GTIOC2A	GTIOC2B	GTIOC1A
10101b	—	—	GTIOC7A
10110b	GTIOC2A#	GTIOC2B#	GTIOC1A#
10111b	—	—	GTIOC7A#
11001b	TS2	TS1	TS0

— : 設定しないでください。

表21.11 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	P30	P31
00000b (初期値)	Hi-Z	
00011b	GTOWUP	GTOWLO
00101b	TMR13	TMC12
01010b	RXD1 SMISO1 SSCL1	—
01011b	—	CTS1# RTS1# SS1#
10100b	GTIOC2A	GTIOC2B
10110b	GTIOC2A#	GTIOC2B#
11001b	TS2	TS1

— : 設定しないでください。

21.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)

アドレス MPC.P40PFS 0008 C160h, MPC.P41PFS 0008 C161h, MPC.P42PFS 0008 C162h, MPC.P43PFS 0008 C163h,
MPC.P44PFS 0008 C164h, MPC.P45PFS 0008 C165h, MPC.P46PFS 0008 C166h, MPC.P47PFS 0008 C167h

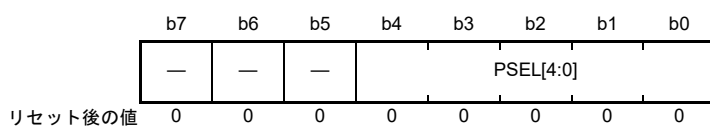
b7	b6	b5	b4	b3	b2	b1	b0
ASEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (100/80/64/48 ピン) P41 : AN001 (100/80/64/48 ピン) P42 : AN002 (100/80/64/48 ピン) P43 : AN003 (100/80/64 ピン) P44 : AN004 (100/80/64 ピン) P45 : AN005 (100/80/64/48 ピン) P46 : AN006 (100/80/64/48 ピン) P47 : AN007 (100/80/64/48 ピン)	R/W

21.2.7 P5n 端子機能制御レジスタ (P5nPFS) (n = 1, 3 ~ 5)

アドレス MPC.P51PFS 0008 C169h, MPC.P53PFS 0008 C16Bh, MPC.P54PFS 0008 C16Ch, MPC.P55PFS 0008 C16Dh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.12、表21.13を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.12 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	P51	P53	P54	P55
00000b (初期値)	Hi-Z			
00101b	—	—	TMCI1	TMO3
10000b	—	—	CTX0	CRX0
10100b	—	—	GTIOC2A	GTIOC1A
10101b	—	—	—	GTIOC2B
10110b	—	—	GTIOC2A#	GTIOC1A#
10111b	—	—	—	GTIOC2B#
11001b	—	—	TS12	TS11
11100b	PMC0	PMC0	—	—

— : 設定しないでください。

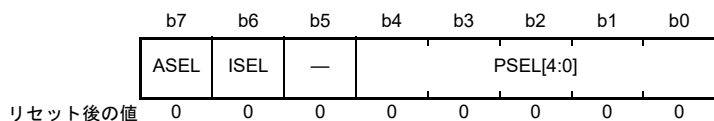
表21.13 80ピン、64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	P54	P55
00000b (初期値)	Hi-Z	
00101b	TMCI1	TMO3
10000b	CTX0	CRX0
10100b	GTIOC2A	GTIOC1A
10101b	—	GTIOC2B
10110b	GTIOC2A#	GTIOC1A#
10111b	—	GTIOC2B#
11001b	TS12	TS11

— : 設定しないでください。

21.2.8 PAn 端子機能制御レジスタ (PAnPFS) (n = 0 ~ 7)

アドレス MPC.PA0PFS 0008 C190h, MPC.PA1PFS 0008 C191h, MPC.PA2PFS 0008 C192h, MPC.PA3PFS 0008 C193h, MPC.PA4PFS 0008 C194h, MPC.PA5PFS 0008 C195h, MPC.PA6PFS 0008 C196h, MPC.PA7PFS 0008 C197h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.14～表21.17を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA3 : IRQ6 (100/80/64/48ピン) PA4 : IRQ5 (100/80/64/48ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PA3 : CMPB1 (100/80/64/48ピン) PA4 : CVREFB1 (100/80/64/48ピン)	R/W

表21.14 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
00000b (初期値)	Hi-Z							
00001b	—	GTIOC3B#	—	GTIOC7B#	—	—	—	—
00010b	GTOVUP	GTETRGC	—	GTETRGB	GTOVLO	—	—	—
00011b	—	GTIV	—	GTETRGD	—	—	GTOULO	—
00100b	—	GTOUUP	—	GTOVLO	—	—	—	—
00101b	—	—	—	—	TMRI0	—	TMCI3	—
00111b	CACREF	—	—	—	—	—	—	—
01000b	—	—	—	GTOWLO	—	—	—	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—	—
01011b	—	—	—	—	—	—	CTS5# RTS5# SS5#	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10100b	GTIOC0A	GTIOC0A	—	GTIOC1B	GTIOC1B	GTIOC4B	GTIOC0B	GTIOC5B
10101b	GTIOC1A	GTIOC0B	—	GTIOC2B	GTIOC4A	—	GTIOC5A	—
10110b	GTIOC0A#	GTIOC0A#	—	GTIOC1B#	GTIOC1B#	GTIOC4B#	GTIOC0B#	GTIOC5B#
10111b	GTIOC1A#	GTIOC0B#	—	GTIOC2B#	GTIOC4A#	—	GTIOC5A#	—
11000b	—	GTIOC3B	—	GTIOC7B	GTETRGA	—	GTETRGB	—
11001b	TS32	TS31	TS30	TS29	TS28	TS27	TS26	—

— : 設定しないでください。

表21.15 80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	PA0	PA1	PA2	PA3	PA4	PA5	PA6
00000b (初期値)	Hi-Z						
00001b	—	GTIOC3B#	—	GTIOC7B#	—	—	—
00010b	GTOVUP	GTETRGC	—	GTETRGB	GTOVLO	—	—
00011b	—	GTIV	—	GTETRGD	—	—	GTOULO
00100b	—	GTOUUP	—	GTOVLO	—	—	—
00101b	—	—	—	—	TMRI0	—	TMCI3
00111b	CACREF	—	—	—	—	—	—
01000b	—	—	—	GTOWLO	—	—	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—	—
01011b	—	—	—	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA
10100b	GTIOC0A	GTIOC0A	—	GTIOC1B	GTIOC1B	GTIOC4B	GTIOC0B
10101b	GTIOC1A	GTIOC0B	—	GTIOC2B	GTIOC4A	—	GTIOC5A
10110b	GTIOC0A#	GTIOC0A#	—	GTIOC1B#	GTIOC1B#	GTIOC4B#	GTIOC0B#
10111b	GTIOC1A#	GTIOC0B#	—	GTIOC2B#	GTIOC4A#	—	GTIOC5A#
11000b	—	GTIOC3B	—	GTIOC7B	GTETRGA	—	GTETRGB
11001b	TS32	TS31	TS30	TS29	TS28	TS27	TS26

— : 設定しないでください。

表21.16 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	PA0	PA1	PA3	PA4	PA6
00000b (初期値)	Hi-Z				
00001b	—	GTIOC3B#	GTIOC7B#	—	—
00010b	GTOVUP	GTETRGC	GTETRGB	GTOVLO	—
00011b	—	GTIV	GTETRGD	—	GTOULO
00100b	—	GTOUUP	GTOVLO	—	—
00101b	—	—	—	TMRI0	TMCI3
00111b	CACREF	—	—	—	—
01000b	—	—	GTOWLO	—	—
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA1	SSLA2	—	SSLA0	MOSIA
10100b	GTIOC0A	GTIOC0A	GTIOC1B	GTIOC1B	GTIOC0B
10101b	GTIOC1A	GTIOC0B	GTIOC2B	GTIOC4A	GTIOC5A
10110b	GTIOC0A#	GTIOC0A#	GTIOC1B#	GTIOC1B#	GTIOC0B#
10111b	GTIOC1A#	GTIOC0B#	GTIOC2B#	GTIOC4A#	GTIOC5A#
11000b	—	GTIOC3B	GTIOC7B	GTETRGA	GTETRGB
11001b	TS32	TS31	TS29	TS28	TS26

— : 設定しないでください。

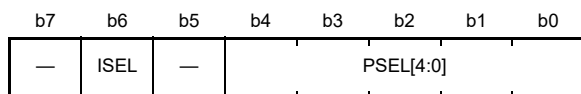
表21.17 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PA1	PA3	PA4	PA6
00000b (初期値)	Hi-Z			
00001b	GTIOC3B#	GTIOC7B#	—	—
00010b	GTETRGC	GTETRGB	GTOVLO	—
00011b	GTIV	GTETRGD	—	GTOULO
00100b	GTOUUP	GTOVLO	—	—
00101b	—	—	TMRI0	TMCI3
01000b	—	GTOVLO	—	—
01010b	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	—
01011b	—	—	—	CTS5# RTS5# SS5#
01101b	SSLA2	—	SSLA0	MOSIA
10100b	GTIOC0A	GTIOC1B	GTIOC1B	GTIOC0B
10101b	GTIOC0B	GTIOC2B	GTIOC4A	GTIOC5A
10110b	GTIOC0A#	GTIOC1B#	GTIOC1B#	GTIOC0B#
10111b	GTIOC0B#	GTIOC2B#	GTIOC4A#	GTIOC5A#
11000b	GTIOC3B	GTIOC7B	GTETRGA	GTETRGB
11001b	TS31	TS29	TS28	TS26

— : 設定しないでください。

21.2.9 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)

アドレス MPC.PB0PFS 0008 C198h, MPC.PB1PFS 0008 C199h, MPC.PB2PFS 0008 C19Ah, MPC.PB3PFS 0008 C19Bh, MPC.PB4PFS 0008 C19Ch, MPC.PB5PFS 0008 C19Dh, MPC.PB6PFS 0008 C19Eh, MPC.PB7PFS 0008 C19Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.18～表21.20を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB1 : IRQ4 (100/80/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.18 100ピン、80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b (初期値)	Hi-Z							
00001b	—	GTIOC7A#	—	GTIOC3B#	—	GTIOC6B#	—	—
00010b	—	GTOVLO	—	GTETRGD	—	—	—	—
00011b	GTOUWUP	GTIW	—	GTIU	—	—	—	—
00100b	—	GTOVLO	—	GTOVUP	—	—	—	—
00101b	—	TMCI0	—	TMO0	—	TMR1	—	—
01010b	—	—	—	—	—	SCK009	RXD009 SMISO009 SSCL009	TXD009 TXDA009 SMOSI009 SSDA009
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	CTS6# RTS6# SS6#	SCK6	CTS009# RTS009# SS009#	—	—	—
01100b	—	—	—	—	DE009	TXDB009	—	—
01101b	RSPCKA	—	—	—	—	—	—	—
10000b	—	CMPOB1	—	—	—	—	—	—
10001b	—	—	—	—	—	USB0_VBUS	—	—
10100b	GTIOC0B	GTIOC1B	GTIOC3A	GTIOC1A	GTIOC6A	GTIOC4B	GTIOC0B	GTIOC0A
10101b	GTIOC2A	GTIOC2B	—	GTIOC3A	—	GTIOC5A	GTIOC7A	GTIOC7B
10110b	GTIOC0B#	GTIOC1B#	GTIOC3A#	GTIOC1A#	GTIOC6A#	GTIOC4B#	GTIOC0B#	GTIOC0A#
10111b	GTIOC2A#	GTIOC2B#	—	GTIOC3A#	—	GTIOC5A#	GTIOC7A#	GTIOC7B#
11000b	—	GTIOC7A	GTETRGD	GTIOC3B	—	GTIOC6B	—	—
11001b	TS25	TS24	TS23	TS22	TS21	TS20	TS19	TS18
11011b	—	—	—	LPTO	—	—	—	—
11100b	—	—	—	PMC0	—	—	—	—

— : 設定しないでください。

表21.19 64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PB0	PB1	PB3	PB5	PB6	PB7
00000b (初期値)	Hi-Z					
00001b	—	GTIOC7A#	GTIOC3B#	GTIOC6B#	—	—
00010b	—	GTOVLO	GTETRGD	—	—	—
00011b	GTOWUP	GTIW	GTIU	—	—	—
00100b	—	GTOVLO	GTOVUP	—	—	—
00101b	—	TMCI0	TMO0	TMRI1	—	—
01010b	—	—	—	SCK009	RXD009 SMISO009 SSCL009	TXD009 TXDA009 SMOSI009 SSDA009
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—	—	—
01100b	—	—	—	TXDB009	—	—
01101b	RSPCKA	—	—	—	—	—
10000b	—	CMPOB1	—	—	—	—
10001b	—	—	—	USB0_VBUS	—	—
10100b	GTIOC0B	GTIOC1B	GTIOC1A	GTIOC4B	GTIOC0B	GTIOC0A
10101b	GTIOC2A	GTIOC2B	GTIOC3A	GTIOC5A	GTIOC7A	GTIOC7B
10110b	GTIOC0B#	GTIOC1B#	GTIOC1A#	GTIOC4B#	GTIOC0B#	GTIOC0A#
10111b	GTIOC2A#	GTIOC2B#	GTIOC3A#	GTIOC5A#	GTIOC7A#	GTIOC7B#
11000b	—	GTIOC7A	GTIOC3B	GTIOC6B	—	—
11001b	TS25	TS24	TS22	TS20	TS19	TS18
11011b	—	—	LPTO	—	—	—
11100b	—	—	PMC0	—	—	—

— : 設定しないでください。

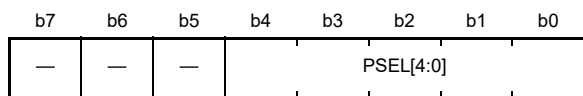
表21.20 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PB0	PB1	PB3	PB5
00000b (初期値)	Hi-Z			
00001b	—	GTIOC7A#	GTIOC3B#	GTIOC6B#
00010b	—	GTOVLO	GTETRGD	—
00011b	GTOWUP	GTIW	GTIU	—
00100b	—	GTOVLO	GTOVUP	—
00101b	—	TMCI0	TMO0	TMRI1
01011b	RXD6 SMISO6 SSCL6	TXD6 SMOSI6 SSDA6	SCK6	—
01101b	RSPCKA	—	—	—
10000b	—	CMPOB1	—	—
10001b	—	—	—	USB0_VBUS
10100b	GTIOC0B	GTIOC1B	GTIOC1A	GTIOC4B
10101b	GTIOC2A	GTIOC2B	GTIOC3A	GTIOC5A
10110b	GTIOC0B#	GTIOC1B#	GTIOC1A#	GTIOC4B#
10111b	GTIOC2A#	GTIOC2B#	GTIOC3A#	GTIOC5A#
11000b	—	GTIOC7A	GTIOC3B	GTIOC6B
11001b	TS25	TS24	TS22	TS20
11011b	—	—	LPTO	—
11100b	—	—	PMC0	—

— : 設定しないでください。

21.2.10 PCn 端子機能制御レジスタ (PCnPFS) (n = 0 ~ 7)

アドレス MPC.PC0PFS 0008 C1A0h, MPC.PC1PFS 0008 C1A1h, MPC.PC2PFS 0008 C1A2h, MPC.PC3PFS 0008 C1A3h, MPC.PC4PFS 0008 C1A4h, MPC.PC5PFS 0008 C1A5h, MPC.PC6PFS 0008 C1A6h, MPC.PC7PFS 0008 C1A7h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.21～表21.23を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表21.21 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z							
00001b	—	GTCPP00	—	—	GTIU	—	—	GTCPP00
00010b	—	—	—	—	—	GTOUUP	—	—
00011b	—	—	GTOWUP	—	GTOULO	GTIW	—	—
00101b	—	—	—	—	TMC1	TMR2	TMC2	TMO2
00111b	—	—	—	—	—	—	—	CACREF
01010b	—	SCK5	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK008	RXD008 SMISO008 SSCL008	TXD008 TXDA008 SMOSI008 SSDA008
01011b	CTS5# RTS5# SS5#	—	—	—	CTS008# RTS008# SS008#	—	—	—
01100b	—	—	—	—	DE008	TXDB008	—	—
01101b	SSLA1	SSLA2	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10001b	—	—	—	—	—	USB0_ID	USB0_EXICE N	—
10100b	GTIOC6B	GTIOC6A	GTIOC2A	GTIOC2B	GTIOC0B	GTIOC0A	GTIOC6B	GTIOC6A
10101b	—	—	—	—	GTIOC3A	GTIOC7A	—	—
10110b	GTIOC6B#	GTIOC6A#	GTIOC2A#	GTIOC2B#	GTIOC0B#	GTIOC0A#	GTIOC6B#	GTIOC6A#
10111b	—	—	—	—	GTIOC3A#	GTIOC7A#	—	—
11000b	GTETRGC	GTETRGD	GTETRGA	GTETRGB	GTETRGC	GTETRGD	GTETRGA	GTETRGB
11001b	—	—	TS17	TS16	TSCAP	TS15	TS14	TS13
11011b	—	—	—	—	—	—	—	LPTO
11100b	—	—	—	PMC0	PMC0	PMC0	—	—

—: 設定しないでください。

表21.22 80ピン、64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PC2	PC3	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z					
00001b	—	—	GTIU	—	—	GTCPP00
00010b	—	—	—	GTOUUP	—	—
00011b	GTOUUP	—	GTOULO	GTIW	—	—
00101b	—	—	TMC11	TMRI2	TMC12	TMO2
00111b	—	—	—	—	—	CACREF
01010b	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	SCK008	RXD008 SMISO008 SSCL008	TXD008 TXDA008 SMOSI008 SSDA008
01011b	—	—	CTS008# RTS008# SS008#	—	—	—
01100b	—	—	DE008	TXDB008	—	—
01101b	SSLA3	—	SSLA0	RSPCKA	MOSIA	MISOA
10001b	—	—	—	USB0_ID	USB0_EXICEN	—
10100b	GTIOC2A	GTIOC2B	GTIOC0B	GTIOC0A	GTIOC6B	GTIOC6A
10101b	—	—	GTIOC3A	GTIOC7A	—	—
10110b	GTIOC2A#	GTIOC2B#	GTIOC0B#	GTIOC0A#	GTIOC6B#	GTIOC6A#
10111b	—	—	GTIOC3A#	GTIOC7A#	—	—
11000b	GTETRGA	GTETRGB	GTETRGC	GTETRGD	GTETRGA	GTETRGB
11001b	TS17	TS16	TSCAP	TS15	TS14	TS13
11011b	—	—	—	—	—	LPTO
11100b	—	PMC0	PMC0	PMC0	—	—

— : 設定しないでください。

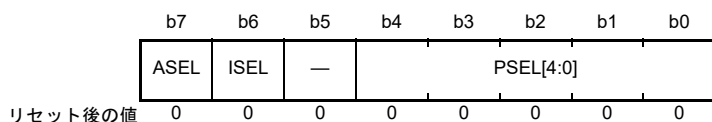
表21.23 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PC4	PC5	PC6	PC7
00000b (初期値)	Hi-Z			
00001b	GTIU	—	—	GTCPP00
00010b	—	GTOUUP	—	—
00011b	GTOULO	GTIW	—	—
00101b	TMC11	TMRI2	TMC12	TMO2
00111b	—	—	—	CACREF
01010b	SCK5	SCK008	RXD008 SMISO008 SSCL008	TXD008 TXDA008 SMOSI008 SSDA008
01011b	CTS008# RTS008# SS008#	—	—	—
01100b	DE008	TXDB008	—	—
01101b	SSLA0	RSPCKA	MOSIA	MISOA
10001b	—	USB0_ID	USB0_EXICEN	—
10100b	GTIOC0B	GTIOC0A	GTIOC6B	GTIOC6A
10101b	GTIOC3A	GTIOC7A	—	—
10110b	GTIOC0B#	GTIOC0A#	GTIOC6B#	GTIOC6A#
10111b	GTIOC3A#	GTIOC7A#	—	—
11000b	GTETRGC	GTETRGD	GTETRGA	GTETRGB
11001b	TSCAP	TS15	TS14	TS13
11011b	—	—	—	LPTO
11100b	PMC0	PMC0	—	—

— : 設定しないでください。

21.2.11 PDn 端子機能制御レジスタ (PDnPFS) (n = 0 ~ 7)

アドレス MPC.PD0PFS 0008 C1A8h, MPC.PD1PFS 0008 C1A9h, MPC.PD2PFS 0008 C1AAh, MPC.PD3PFS 0008 C1ABh, MPC.PD4PFS 0008 C1ACh, MPC.PD5PFS 0008 C1ADh, MPC.PD6PFS 0008 C1AEh, MPC.PD7PFS 0008 C1AFh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.24を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD0 : IRQ0 (100/80ピン) PD1 : IRQ1 (100/80ピン) PD2 : IRQ2 (100/80ピン) PD3 : IRQ3 (100ピン) PD4 : IRQ4 (100ピン) PD5 : IRQ5 (100ピン) PD6 : IRQ6 (100ピン) PD7 : IRQ7 (100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PD0 : AN024 (100/80ピン) PD1 : AN025 (100/80ピン) PD2 : AN026 (100/80ピン) PD3 : AN027 (100/ピン) PD4 : AN028 (100/ピン) PD5 : AN029 (100/ピン) PD6 : AN030 (100/ピン) PD7 : AN031 (100/ピン)	R/W

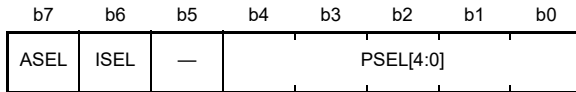
表21.24 100ピン、80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子		
	PD0	PD1	PD2
00000b (初期値)	Hi-Z		
01011b	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	SCK6
10000b	—	CTX0	CRX0
10100b	—	GTIOC2A	GTIOC2B
10110b	—	GTIOC2A#	GTIOC2B#

— : 設定しないでください。

21.2.12 PEn 端子機能制御レジスタ (PEnPFS) (n = 0 ~ 7)

アドレス MPC.PE0PFS 0008 C1B0h, MPC.PE1PFS 0008 C1B1h, MPC.PE2PFS 0008 C1B2h, MPC.PE3PFS 0008 C1B3h, MPC.PE4PFS 0008 C1B4h, MPC.PE5PFS 0008 C1B5h, MPC.PE6PFS 0008 C1B6h, MPC.PE7PFS 0008 C1B7h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.25、表21.26を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE2 : IRQ7 (100/80/64/48ピン) PE5 : IRQ5 (100/80/64ピン) PE6 : IRQ6 (100ピン) PE7 : IRQ7 (100ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : AN016 (100/80/64ピン) PE1 : AN017, CMPB0 (100/80/64/48ピン) PE2 : AN018, CVREFB0 (100/80/64/48ピン) PE3 : AN019 (100/80/64/48ピン) PE4 : AN020, CMPA2 (100/80/64/48ピン) PE5 : AN021 (100/80/64ピン) PE6 : AN022 (100ピン) PE7 : AN023 (100ピン)	R/W

表21.25 100ピン、80ピン、64ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	PE0	PE1	PE2	PE3	PE4	PE5
00000b (初期値)	Hi-Z					
00001b	—	—	—	—	GTIOC4A#	—
00010b	—	GTOVLO	GTOVUP	—	GTOVUP	—
00011b	—	—	—	GTOWUP	GTOWLO	—
01001b	—	—	—	CLKOUT	CLKOUT	—
01100b	SCK12	TXD12 TXDX12 SIOX12 SMOS12 SSDA12	RXD12 RXDX12 SMISO12 SSCL12	CTS12# RTS12# SS12#	—	—
10000b	—	—	—	—	—	CMPOB0
10100b	—	GTIOC1B	GTIOC1A	GTIOC2A	GTIOC1A	GTIOC1B
10101b	—	—	—	GTIOC4B	GTIOC2B	GTIOC5B
10110b	—	GTIOC1B#	GTIOC1A#	GTIOC2A#	GTIOC1A#	GTIOC1B#
10111b	—	—	—	GTIOC4B#	GTIOC2B#	GTIOC5B#
11000b	—	—	—	—	GTIOC4A	—
11001b	—	—	TS35	TS34	TS33	—

— : 設定しないでください。

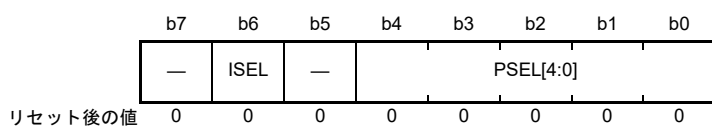
表21.26 48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PE1	PE2	PE3	PE4
00000b (初期値)	Hi-Z			
00001b	—	—	—	GTIOC4A#
00010b	GTOVLO	GTOVUP	—	GTOVUP
00011b	—	—	GTOWUP	GTOWLO
01001b	—	—	CLKOUT	CLKOUT
01100b	TXD12 TXDX12 SIOX12 SSDA12	RXD12 RXDX12 SSCL12	CTS12# RTS12#	—
10100b	GTIOC1B	GTIOC1A	GTIOC2A	GTIOC1A
10101b	—	—	GTIOC4B	GTIOC2B
10110b	GTIOC1B#	GTIOC1A#	GTIOC2A#	GTIOC1A#
10111b	—	—	GTIOC4B#	GTIOC2B#
11000b	—	—	—	GTIOC4A
11001b	—	TS35	TS34	TS33

— : 設定しないでください。

21.2.13 PHn 端子機能制御レジスタ (PHnPFS) (n = 0 ~ 3)

アドレス MPC.PH0PFS 0008 C1C8h, MPC.PH1PFS 0008 C1C9h, MPC.PH2PFS 0008 C1CAh, MPC.PH3PFS 0008 C1CBh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、表21.27を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PH1 : IRQ0 (100/80/64/48ピン) PH2 : IRQ1 (100/80/64/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

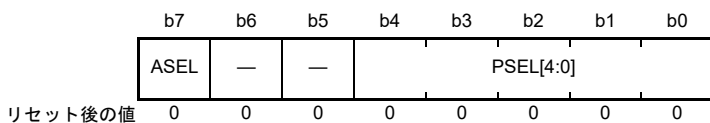
表21.27 100ピン、80ピン、64ピン、48ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子			
	PH0	PH1	PH2	PH3
00000b (初期値)	Hi-Z			
00010b	GTOUUP	—	—	—
00011b	—	GTOULO	—	—
00101b	—	TMO0	TMRI0	TMCi0
00111b	CACREF	—	—	—
10100b	GTIOC0A	GTIOC0B	GTIOC1B	GTIOC2B
10110b	GTIOC0A#	GTIOC0B#	GTIOC1B#	GTIOC2B#
11001b	TS10	TS9	TS8	TS7

— : 設定しないでください。

21.2.14 PJn 端子機能制御レジスタ (PJnPFS) (n = 1, 3, 6, 7)

アドレス MPC.PJ1PFS 0008 C1D1h, MPC.PJ3PFS 0008 C1D3h, MPC.PJ6PFS 0008 C1D6h, MPC.PJ7PFS 0008 C1D7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表21.28、表21.29を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0：アナログ端子以外に使用する 1：アナログ端子として使用する PJ6：VREFH0 (100/80/64/48ピン) PJ7：VREFL0 (100/80/64/48ピン)	R/W

表21.28 100ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子	
	PJ1	PJ3
0000b (初期値)	Hi-Z	
0001b	GTCPPO0	—
0101b	—	CTS6# RTS6# SS6#
1010b	GTIOC6A	GTIOC6B
1011b	GTIOC6A#	GTIOC6B#

—：設定しないでください。

表21.29 80ピン 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子
	PJ1
0000b (初期値)	Hi-Z
0001b	GTCPPO0
1010b	GTIOC6A
1011b	GTIOC6A#

21.3 使用上の注意事項

21.3.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 周辺機能モジュールにおいて、当該端子にアサインする入出力信号を設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m = 0 ~ 5, A ~ E, H, J, n = 0 ~ 7)。
4. PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”設定し、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR を“1”に設定し、選択された端子入出力機能に切り替えます。

21.3.2 MPC レジスタ設定する場合の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポート 4、E、D は A/D コンバータのアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。
5. 時間キャプチャ制御レジスタ y (RTCCRy) (y = 0 ~ 2) の時間キャプチャイベント入力端子イネーブルビット (TCEN) は、リセット後の初期値は不定です。不要な入力を禁止するために、同ビットを“0”に設定してください。

表 21.30 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[4:0]	
リセット解除後	0	0	0	0	00000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	x	割り込み入力と併用する場合は、ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	x	
周辺機能	1	x	0	0/1	周辺機能 (表 21.2～ 表 21.29参照)	割り込み入力と併用する場合は、ISELビットを“1”にしてください
割り込み入力	0	0	0	1	x	
NMI	x	x	x	x(注1)	x	レジスタの設定は不要です
アナログ入出力	0	0	1	x(注1)	x	出力バッファをOFFにするため、汎用入力ポートに設定してください
CTSU	1	0	0	0	11001b	PCR.Bn = 0にしてください
EXTAL/XTAL	0	0	x	0	x	出力バッファをOFFするため、汎用入力ポートに設定してください
XCIN/XCOUT	0	0	x	x(注1)	x	出力バッファをOFFするため、汎用入力ポートに設定してください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

注1. PmnPFS.ISEL ビットを“1”にしても、IRQn 入力端子として機能しません。

注. 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。

・PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。

・RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップがOFFになります)。

21.3.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にし、当該端子を汎用入力にしてから、Pmn 端子機能制御レジスタ (PmnPFS) の ASEL ビットを“1”にしてください。

21.3.4 静電容量式タッチセンサ CTSU 機能を使う場合の注意事項

静電容量式タッチセンサ CTSU 機能 (TSn (n = 0 ~ 35) 端子、TSCAP 端子) を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”、プルアップ制御レジスタ (PCR) の当該ビットを“0”にし、PmnPFS.PSEL[4:0] ビットにより CTSU 機能を選択してから、PMR レジスタを“1”に設定してください。また静電容量式タッチセンサの端子機能を使用するときは、該当ビットの ISEL 設定に関わらず IRQ 入力端子として使用しないでください。

21.3.5 GPTW 入出力端子の反転入出力機能についての注意事項

表 21.31 に示す GPTW 入出力端子は、当該端子の PmnPFS.PSEL[4:0] ビットの設定により、入力信号を反転して取り込み、出力信号を反転して出力させることができます。正転入出力状態と反転入出力状態を切り替える場合は、当該端子の PMR レジスタが“0”の状態を設定してください。

表 21.31 GPTW入出力端子

モジュール/機能	チャンネル	正転入出力	反転入出力
汎用PWMタイマ	GPTW0	GTIOC0A	GTIOC0A#
		GTIOC0B	GTIOC0B#
	GPTW1	GTIOC1A	GTIOC1A#
		GTIOC1B	GTIOC1B#
	GPTW2	GTIOC2A	GTIOC2A#
		GTIOC2B	GTIOC2B#
	GPTW3	GTIOC3A	GTIOC3A#
		GTIOC3B	GTIOC3B#
	GPTW4	GTIOC4A	GTIOC4A#
		GTIOC4B	GTIOC4B#
	GPTW5	GTIOC5A	GTIOC5A#
		GTIOC5B	GTIOC5B#
	GPTW6	GTIOC6A	GTIOC6A#
		GTIOC6B	GTIOC6B#
GPTW7	GTIOC7A	GTIOC7A#	
	GTIOC7B	GTIOC7B#	

22. 汎用 PWM タイマ (GPTWa)

本 MCU は、2 チャンネルの 32 ビットタイマと 6 チャンネルの 16 ビットタイマにより構成される汎用 PWM タイマ (GPTW) を内蔵しています。

22.1 概要

表 22.1 に GPTW の仕様を、表 22.2 に GPTW の機能一覧を示します。図 22.1、図 22.2 に GPTW のブロック図を示します。

表 22.1 GPTWの仕様

項目	仕様
機能	<ul style="list-style-type: none"> • 32ビット×2チャンネルと16ビット×6チャンネル • 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) • チャンネルごとに独立したクロックソースを選択可能 • チャンネルごとに2本の入出力端子 • チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) • PWM動作の際にデッドタイム生成が可能 • PWM出力100%/0%近傍のデューティを高精度に生成可能 • アウトプットコンペア動作時にコンペアレジスタの設定を即時反映し、デッドタイムを確保したPWM波形を生成可能 • 任意のチャンネルのカウンタを同時スタート/ストップ/クリア可能 • ELC設定により、最大8つのELCイベントによるカウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • 2本の入力信号の状態を検出し、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • 最大4本の外部トリガにより、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • POEGからの出力停止要求による出力ネゲート制御機能 • A/D変換開始トリガ生成機能 • コンペアマッチA~Fイベント信号、オーバフロー/アンダフローイベント信号をELCへ出力可能 • インプットキャプチャ入力はノイズフィルタ機能を選択可能 • 外部入力のパルス幅測定機能 • チャンネル間で同期セット/クリア/インプットキャプチャが可能 • バスクロック：PCLKA、GPTWカウント基準クロック：PCLKA

表22.2 GPTWの機能一覧(1/2)

項目	GPTW0	GPTW1	GPTW2	GPTW3	GPTW4	GPTW5	GPTW6	GPTW7
タイマカウンタ	16ビット	16ビット	16ビット	16ビット	16ビット	16ビット	32ビット	32ビット
カウントクロック	PCLKA, PCLKA/2, PCLKA/4, PCLKA/8, PCLKA/16, PCLKA/32, PCLKA/64, PCLKA/128, PCLKA/256, PCLKA/512, PCLKA/1024, GTETRGA, GTETRGB, GTETRGC, GTETRGD							
アウトプットコンペア/インプットキャプチャレジスタ(GTCCR)	GTCCRA, GTCCRB							
コンペア/バッファレジスタ	GTCCRC, GTCCRD, GTCCRE, GTCCRF							
周期設定レジスタ	GTPR							
周期設定バッファレジスタ	GTPBR, GTPDBR			GTPBR				
インプットキャプチャ入力/コンペアマッチ出力/PWM出力端子	GTIOCnA, GTIOCnB							
外部トリガ入力端子(POEG経由)	GTETRGA, GTETRGB, GTETRGC, GTETRGD							
カウンタクリア要因	GTPRレジスタのコンペアマッチ、インプットキャプチャ、ELC入力、入力端子状態、外部トリガ入力、GTCCRレジスタのコンペアマッチ、他チャンネルのクリア要因							
コンペアマッチ出力	Low出力				○			
	High出力				○			
	トグル出力				○			
インプットキャプチャ機能				○				
デッドタイム自動設定機能	○			—				
PWMモード	のこぎり波PWMモード1	○			○			
	のこぎり波PWMモード2	○			—			
	のこぎり波ワンショットパルスモード	○			○			
	三角波PWMモード1、2、3	○			○			
	相補PWMモード1、2、3、4	○			—			
PWM周期同期出力	○	—			—			
位相計数機能	—			○				
外部入力パルス幅測定機能	—			○			—	
バッファ動作	ダブルバッファ				○			
	複数チャンネル同時動作禁止制御				○			
	カウンタクリア				○			
ワンショット動作				○				
DMAC/DTCの起動	すべての割り込み要因							
A/D変換開始トリガ	GTADTRA, GTADTRBレジスタのコンペアマッチ			—				
ブラシレスDCモータ制御用三相PWM波形生成機能				○				
割り込み要因	8要因 • GTCCRAレジスタコンペアマッチ/インプットキャプチャ(GTCIA _n) • GTCCRBレジスタコンペアマッチ/インプットキャプチャ(GTCIB _n) • GTCCRCレジスタコンペアマッチ(GTCIC _n) • GTCCRDレジスタコンペアマッチ(GTCID _n) • GTCCREレジスタコンペアマッチ(GTCIE _n) • GTCCRFレジスタコンペアマッチ(GTCIF _n) • GTCNTカウンタオーバフロー(GTPRレジスタコンペアマッチ)(GTCIV _n) • GTCNTカウンタアンダフロー(GTCIU _n)							

表22.2 GPTWの機能一覧 (2/2)

項目	GPTW0	GPTW1	GPTW2	GPTW3	GPTW4	GPTW5	GPTW6	GPTW7
割り込み間引き機能	GTCNTカウンタオーバーフロー (GTPRレジスタコンペアマッチ) (GTCIVn)/GTCNTカウンタアンダ フロー (GTCIU _n)割り込みを間引 き (他の割り込み、およびA/D変 換開始要求との連動機能あり)			—				
ELCによるイベント動作				○				
ノイズフィルタ機能				○				
同期クリア/セット/インプットキャプ チャ				○				

○ : 可能

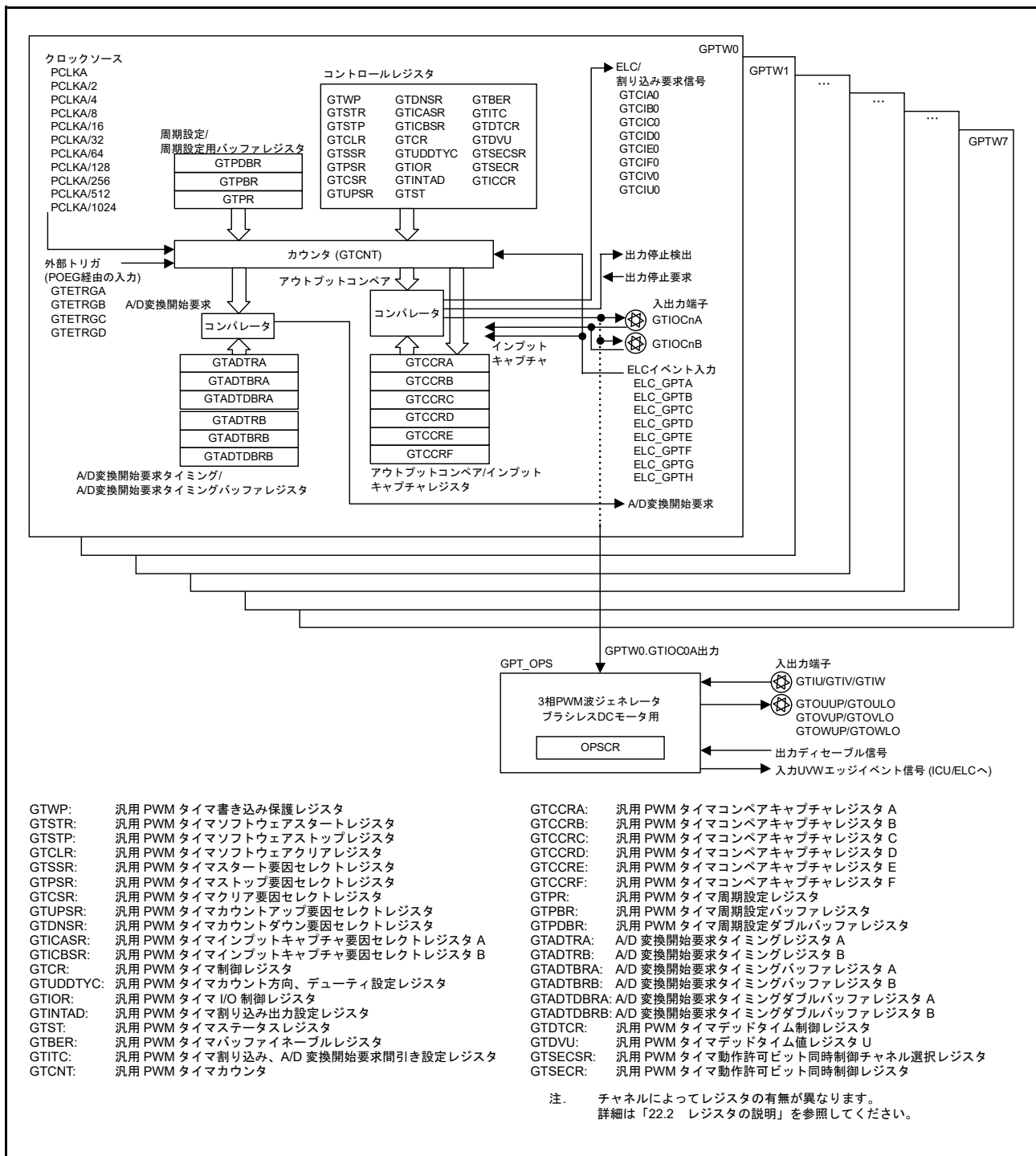


図 22.1 GPTW のブロック図 (のこぎり波 PWM モード、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3 の場合)

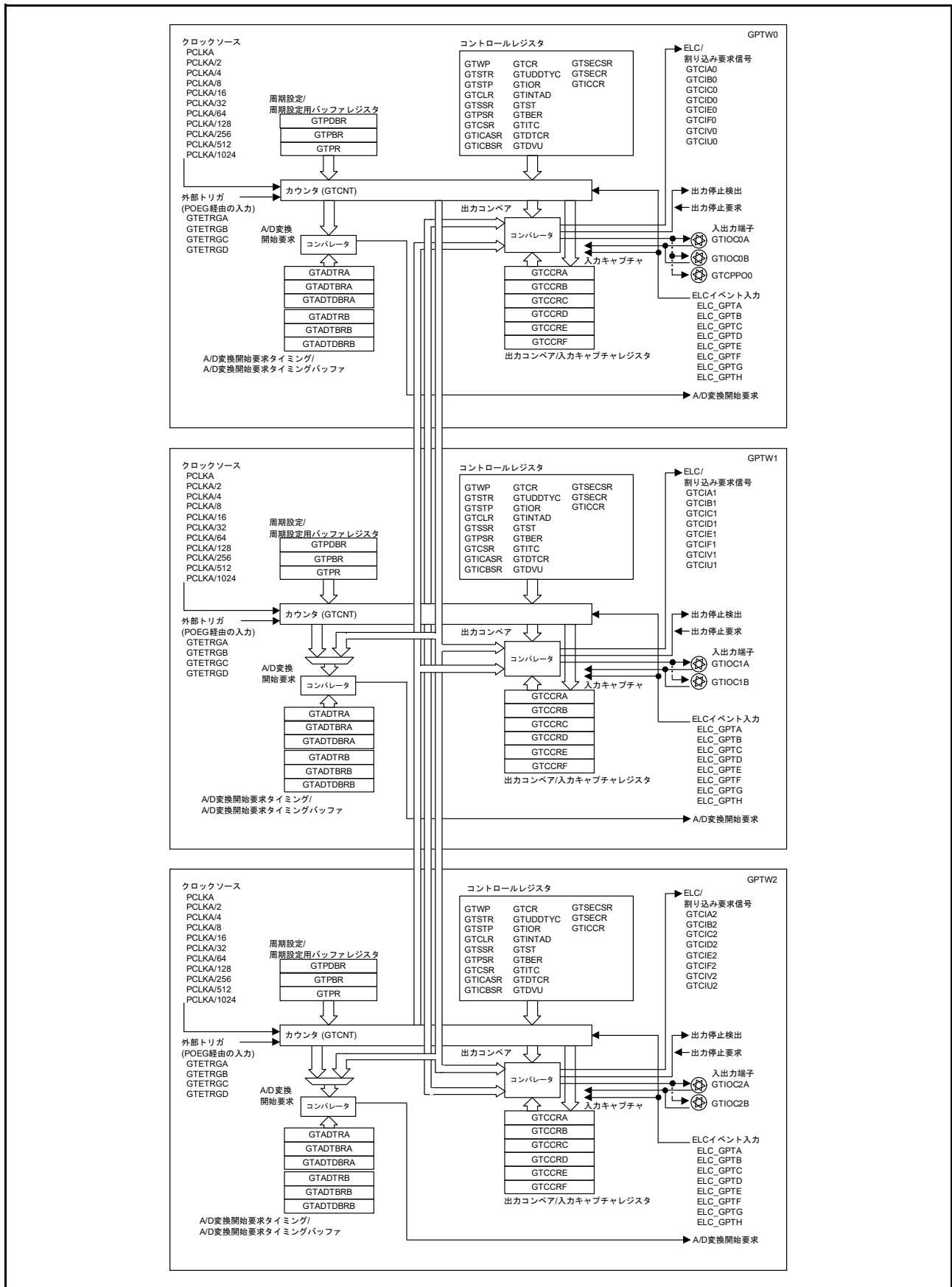


図 22.2 GPTW のブロック図 (のこぎり波 PWM モード 1、2、 のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3、相補 PWM モード 1、2、3、4 の場合)

本 MCU では、相補 PWM モードを実現する連続する 3 チャンネルを相補 PWM モードチャンネルグループと称し、3 チャンネルの最下位チャンネルから順にマスタチャンネル、スレーブチャンネル 1、スレーブチャンネル 2 と称しています。

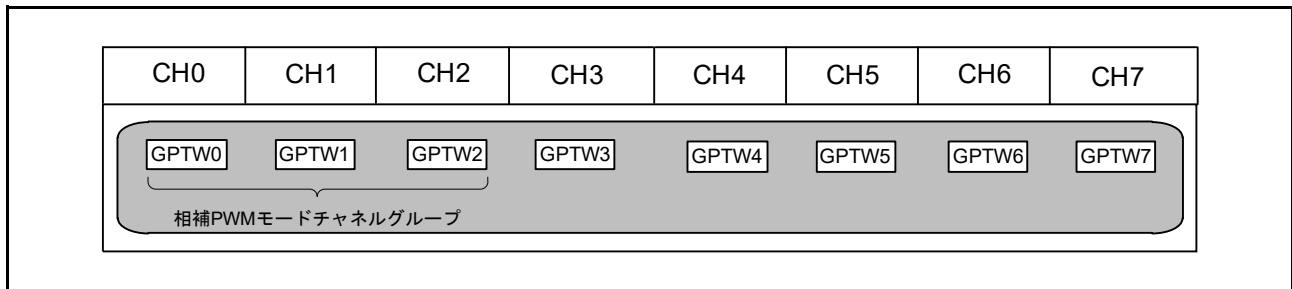


図 22.3 相補 PWM モードチャンネルグループと GPTW の各チャンネルの関係

表 22.3 に GPTW で使用する入出力端子を示します。

表 22.3 GPTWの入出力端子(n = 0~7)

チャンネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A (POEG 経由による入力)
	GTETRGB	入力	外部トリガ入力端子B (POEG 経由による入力)
	GTETRG C	入力	外部トリガ入力端子C (POEG 経由による入力)
	GTETRGD	入力	外部トリガ入力端子D (POEG 経由による入力)
GPTWn	GTIOCnA	入出力	GTCCRAレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOCnB	入出力	GTCCRBレジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTCPP00	出力	PWM周期同期出力
OPS	GTIU	入力	ホール素子入力端子U
	GTIV	入力	ホール素子入力端子V
	GTIW	入力	ホール素子入力端子W
	GTOUUP	出力	BLDCモータ制御三相PWM出力(正相U相)
	GTOULO	出力	BLDCモータ制御三相PWM出力(逆相U相)
	GTOVUP	出力	BLDCモータ制御三相PWM出力(正相V相)
	GTOVLO	出力	BLDCモータ制御三相PWM出力(逆相V相)
	GTOWUP	出力	BLDCモータ制御三相PWM出力(正相W相)
	GTOWLO	出力	BLDCモータ制御三相PWM出力(逆相W相)

22.2 レジスタの説明

22.2.1 汎用PWMタイマ書き込み保護レジスタ (GTWP)

アドレス GPTW0.GTWP 000C 2000h, GPTW1.GTWP 000C 2100h, GPTW2.GTWP 000C 2200h, GPTW3.GTWP 000C 2300h, GPTW4.GTWP 000C 2400h, GPTW5.GTWP 000C 2500h, GPTW6.GTWP 000C 2600h, GPTW7.GTWP 000C 2700h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]							—	—	—	CMNWP	CLRWP	STPWP	STRWP	WP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止ビット	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b1	STRWP	GTSTR.CSTRTビット書き込み禁止ビット	0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
b2	STPWP	GTSTP.CSTOPビット書き込み禁止ビット	0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
b3	CLRWP	GTCLR.CCLRビット書き込み禁止ビット	0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
b4	CMNWP	共通レジスタ書き込み禁止ビット	0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	GTWP キーコードビット	読むと“0”が読めます。 WP、STRWP、STPWP、CLRWP、CMNWPビットを書き換える場合、“A5h”としてください。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可/禁止するレジスタです。

GTWP レジスタによる保護は、CPUによる書き込み動作のみを対象としています。

CPU書き込みに連動して発生するレジスタの更新は、保護の対象外です。

GTWP レジスタの設定で、書き込み許可/禁止が反映されるレジスタは、「22.8.1 レジスタの書き込み保護」を参照してください。

WP ビット (レジスタ書き込み禁止ビット)

GPTW のレジスタへの書き込みの許可/禁止を選択します。

書き込みの許可/禁止の対象となるレジスタは、下記のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTICCR

STRWP ビット (GTSTR.CSTRT ビット書き込み禁止ビット)

チャンネル番号に対応する GTSTR レジスタの CSTRT ビットへの書き込み動作による値の更新の許可/禁止を選択します。

GTSTR レジスタの各 CSTRT ビットは、ビット位置をチャンネル番号として各チャンネルに配置され、どの

チャンネルの GTSTR レジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。各チャンネルの STRWP ビットは、書き込み動作自体を制御するものではなく、全てのチャンネルで同時に行われる書き込み動作に対して、そのチャンネルに対応する CSTRT ビットの更新のみを制御します。

従って、STRWP ビットが“1”(書き込み禁止)に設定されているチャンネルに対して書き込み動作を行った場合、そのチャンネルに対応する CSTRT ビットは更新されませんが、STRWP ビットが“0”(書き込み許可)に設定されているチャンネルに対応する CSTRT ビットは更新されます。たとえば、GPTW0.GTWP.STRWP ビットが“0”(書き込み許可)に設定されている場合は、GPTW1.GTSTR.CSTRT0 ビットが“0”のとき、“1”を書き込むと GPTW0.GTSTR.CSTRT0 ビットが“0”から“1”に更新され GPTW0.GTCNT カウンタが動作を開始します。GPTW0.GTWP.STRWP ビットが“1”(書き込み禁止)に設定されている場合は、GPTW1.GTSTR.CSTRT0 ビットが“0”のとき、“1”を書き込んでも GPTW0.GTSTR.CSTRT0 ビットは“0”から“1”に更新されず GPTW0.GTCNT カウンタは動作を開始しません。

GTSTR レジスタの更新を完全に保護したい場合は、全てのチャンネルの STRWP ビットを“1”に設定してください。

STPWP ビット (GTSTP.CSTOP ビット書き込み禁止ビット)

チャンネル番号に対応する GTSTP レジスタの CSTOP ビットへの書き込み動作による値の更新の許可/禁止を選択します。

GTSTP レジスタの各 CSTOP ビットは、ビット位置をチャンネル番号として各チャンネルに配置され、どのチャンネルの GTSTP レジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。各チャンネルの STPWP ビットは、書き込み動作自体を制御するものではなく、全てのチャンネルで同時に行われる書き込み動作に対して、そのチャンネルに対応する CSTOP ビットの更新のみを制御します。

従って、STPWP ビットが“1”(書き込み禁止)に設定されているチャンネルに対して書き込み動作を行った場合、そのチャンネルに対応する CSTOP ビットは更新されませんが、STPWP ビットが“0”(書き込み許可)に設定されているチャンネルに対応する CSTOP ビットは更新されます。たとえば、GPTW0.GTWP.STPWP ビットが“0”(書き込み許可)に設定されている場合は、GPTW1.GTSTP.CSTOP0 ビットが“0”のとき、“1”を書き込むと GPTW0.GTSTP.CSTOP0 ビットが“0”から“1”に更新され GPTW0.GTCNT カウンタが動作を停止します。GPTW0.GTWP.STPWP ビットが“1”(書き込み禁止)に設定されている場合は、GPTW1.GTSTP.CSTOP0 ビットが“0”のとき、“1”を書き込んでも GPTW0.GTSTP.CSTOP0 ビットは“0”から“1”に更新されず GPTW0.GTCNT カウンタは動作を停止しません。

GTSTP レジスタの更新を完全に保護したい場合は、全てのチャンネルの STPWP ビットを“1”に設定してください。

CLRWP ビット (GTCLR.CCLR ビット書き込み禁止ビット)

チャンネル番号に対応する GTCLR レジスタの CCLR ビットへの書き込み動作による値の更新の許可/禁止を選択します。

GTCLR レジスタの各 CCLR ビットは、ビット位置をチャンネル番号として各チャンネルに配置され、どのチャンネルの GTCLR レジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。各チャンネルの CLRWP ビットは、書き込み動作自体を制御するものではなく、全てのチャンネルで同時に行われる書き込み動作に対して、そのチャンネルに対応する CCLR ビットの更新のみを制御します。

従って、CLRWP ビットが“1”(書き込み禁止)に設定されているチャンネルに対して書き込み動作を行った場合、そのチャンネルに対応する CCLR ビットは更新されませんが、CLRWP ビットが“0”(書き込み許可)に設定されているチャンネルに対応する CCLR ビットは更新されます。たとえば、GPTW0.GTWP.CLRWP ビットが“0”(書き込み許可)に設定されている場合は、GPTW1.GTCLR.CCLR0 ビットが“0”のとき、“1”を書き込むと GPTW0.GTCLR.CCLR0 ビットが“0”から“1”に更新され GPTW0.GTCNT カウンタがクリアされます。GPTW0.GTWP.STPWP ビットが“1”(書き込み禁止)に設定されている場合は、GPTW1.GTCLR.CCLR0 ビットが“0”のとき、“1”を書き込んでも GPTW0.GTCLR.CCLR0 ビットは“0”から“1”に更新されず

GPTW0.GTCNT カウンタはクリアされません。

GTCLR レジスタの更新を完全に保護したい場合は、全てのチャンネルの CLRWP ビットを“1”に設定してください。

CMNWP ビット (共通レジスタ書き込み禁止ビット)

チャンネル番号に対応する GTSECSR レジスタの SECSELn ビット (n=0~7)、および GTSECR レジスタへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャンネル番号として各チャンネルに配置され、どのチャンネルの GTSECSR レジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。GTSECR レジスタは、どのチャンネルのレジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。各チャンネルの CMNWP ビットは、書き込み動作自体を制御するものではなく、全てのチャンネルで同時に行われる書き込み動作に対して、そのチャンネルに対応する SECSEL ビット、および GTSECR レジスタ値の更新のみを制御します。

従って、CMNWP ビットが“1”(書き込み禁止)に設定されているチャンネルに対して書き込み動作を行った場合、そのチャンネルに対応する SECSEL ビット、および GTSECR レジスタの値は更新されませんが、CMNWP ビットが“0”(書き込み許可)に設定されているチャンネルに対応する SECSEL ビット、および GTSECR レジスタの値は更新されます。

たとえば、GPTW0.GTWP.CMNWP ビットが“0”(書き込み許可)に設定されている場合は、GPTW1.GTSECSR.SECSEL0 ビットに書き込む動作を行うと GPTW0.GTSECSR.SECSEL0 ビットが更新されます。同様に、GPTW1.GTSECR レジスタへの書き込み動作を行うと GPTW0.GTSECR レジスタが更新されます。GPTW0.GTWP.CMNWP ビットが“1”(書き込み禁止)に設定されている場合は、GPTW1.GTSECSR.SECSEL0 ビットに書き込む動作を行っても GPTW0.GTSECSR.SECSEL0 ビットは更新されません。同様に、GPTW1.GTSECR レジスタへの書き込み動作を行っても GPTW0.GTSECR レジスタは更新されません。

GTSECSR レジスタおよび GTSECR レジスタの更新を完全に保護したい場合は、全てのチャンネルの CMNWP ビットを“1”に設定してください。

PRKEY[7:0] ビット (GTWP キーコードビット)

WP、STRWP、STPWP、CLRWP、CMNWP ビットの書き換えの可否を制御します。

22.2.2 汎用PWMタイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPTW0.GTSTR 000C 2004h, GPTW1.GTSTR 000C 2104h, GPTW2.GTSTR 000C 2204h,
GPTW3.GTSTR 000C 2304h, GPTW4.GTSTR 000C 2404h, GPTW5.GTSTR 000C 2504h,
GPTW6.GTSTR 000C 2604h, GPTW7.GTSTR 000C 2704h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CSTRT 7	CSTRT 6	CSTRT 5	CSTRT 4	CSTRT 3	CSTRT 2	CSTRT 1	CSTRT 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTRT0	チャンネル0カウントスタートビット	【読み出し時】 0: カウンタは停止中 1: カウンタは動作中 【書き込み時】 0: 無視されます 1: カウンタの動作を開始します	R/W
b1	CSTRT1	チャンネル1カウントスタートビット		R/W
b2	CSTRT2	チャンネル2カウントスタートビット		R/W
b3	CSTRT3	チャンネル3カウントスタートビット		R/W
b4	CSTRT4	チャンネル4カウントスタートビット		R/W
b5	CSTRT5	チャンネル5カウントスタートビット		R/W
b6	CSTRT6	チャンネル6カウントスタートビット		R/W
b7	CSTRT7	チャンネル7カウントスタートビット		R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTR レジスタは、GTCNT カウンタの動作を開始するレジスタです。

GTSTR レジスタのビット位置がチャンネル番号を表します。各チャンネルの GTSTR レジスタは、共通のレジスタであり、どのチャンネルの GTSTR レジスタを更新しても、“1”を書き込んだビット位置のチャンネルの GTCNT カウンタの動作を開始することが可能です。“0”の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

相補 PWM モード時は、マスタチャンネルとなるチャンネルに対応するビットのみ有効です。スレーブチャンネルに対応するビットは、マスタチャンネルに対応するビットの値が反映されます。

CSTRTn ビット (チャンネル n カウントスタートビット) (n = 0 ~ 7)

チャンネル n の GTCNT カウンタの動作を開始します。

読み出した値は、各チャンネルのカウンタの動作状態 (GTCR.CST ビット) を表します。“0”のビットはカウンタ停止中、“1”のビットはカウンタ動作中を表します。

22.2.3 汎用PWMタイマソフトウェアストップレジスタ (GTSTP)

アドレス GPTW0.GTSTP 000C 2008h, GPTW1.GTSTP 000C 2108h, GPTW2.GTSTP 000C 2208h,
GPTW3.GTSTP 000C 2308h, GPTW4.GTSTP 000C 2408h, GPTW5.GTSTP 000C 2508h,
GPTW6.GTSTP 000C 2608h, GPTW7.GTSTP 000C 2708h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CSTOP	CSTOP	CSTOP	CSTOP	CSTOP	CSTOP	CSTOP	CSTOP
リセット後の値	1	1	1	1	1	1	1	1	7	6	5	4	3	2	1	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTOP0	チャンネル0カウントストップビット	【読み出し時】 0: カウンタは動作中 1: カウンタは停止中 【書き込み時】 0: 無視されます 1: カウンタの動作を停止します	R/W
b1	CSTOP1	チャンネル1カウントストップビット		R/W
b2	CSTOP2	チャンネル2カウントストップビット		R/W
b3	CSTOP3	チャンネル3カウントストップビット		R/W
b4	CSTOP4	チャンネル4カウントストップビット		R/W
b5	CSTOP5	チャンネル5カウントストップビット		R/W
b6	CSTOP6	チャンネル6カウントストップビット		R/W
b7	CSTOP7	チャンネル7カウントストップビット		R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTP レジスタは、GTCNT カウンタの動作を停止するレジスタです。

GTSTP レジスタのビット位置がチャンネル番号を表します。各チャンネルの GTSTP レジスタは、共通のレジスタであり、どのチャンネルの GTSTP レジスタを更新しても、“1”を書き込んだビット位置のチャンネルの GTCNT カウンタの動作を停止することが可能です。“0”の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

相補 PWM モード時は、マスタチャンネルとなるチャンネルに対応するビットのみ有効です。スレーブチャンネルに対応するビットは、マスタチャンネルに対応するビットの値が反映されます。

CSTOPn ビット (チャンネル n カウントストップビット) (n = 0 ~ 7)

チャンネル n の GTCNT カウンタの動作を停止します。

読み出した値は、各チャンネルのカウンタの動作状態 (GTCR.CST ビットの反転) を表します。“0”のビットはカウンタ動作中、“1”のビットはカウンタ停止中を表します。

22.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス GPTW0.GTCLR 000C 200Ch, GPTW1.GTCLR 000C 210Ch, GPTW2.GTCLR 000C 220Ch,
GPTW3.GTCLR 000C 230Ch, GPTW4.GTCLR 000C 240Ch, GPTW5.GTCLR 000C 250Ch,
GPTW6.GTCLR 000C 260Ch, GPTW7.GTCLR 000C 270Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CCLR7	CCLR6	CCLR5	CCLR4	CCLR3	CCLR2	CCLR1	CCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLR0	チャンネル0カウンタクリアビット	0 : 無視されます 1 : カウンタをクリアします	W
b1	CCLR1	チャンネル1カウンタクリアビット		W
b2	CCLR2	チャンネル2カウンタクリアビット		W
b3	CCLR3	チャンネル3カウンタクリアビット		W
b4	CCLR4	チャンネル4カウンタクリアビット		W
b5	CCLR5	チャンネル5カウンタクリアビット		W
b6	CCLR6	チャンネル6カウンタクリアビット		W
b7	CCLR7	チャンネル7カウンタクリアビット		W
b31-b8	—	予約ビット	書く場合、“0”としてください	W

GTCLR レジスタは、書き込み専用のレジスタで GTCNT カウンタのクリアを設定するレジスタです。

GTCLR レジスタのビット位置がチャンネル番号を表します。各チャンネルの GTCLR レジスタは、共通のレジスタであり、どのチャンネルの GTCLR レジスタを更新しても、“1”を書き込んだビット位置のチャンネルの GTCNT カウンタが“0”になります。“0”の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

相補 PWM モード時は、マスタチャンネルとなるチャンネルに対応するビットのみ有効です。スレーブチャンネルに対応するビットは、マスタチャンネルに対応するビットの値が反映されます。

CCLRn ビット (チャンネル n カウンタクリアビット) (n = 0 ~ 7)

GTCR.MD[2:0] ビット、または GTCR.MD[3:0] ビットでのこぎり波を選択し、カウント方向フラグがダウンカウント (GTST.TUCF フラグ = 0) の状態で“1”を書くとチャンネル n の GTCNT カウンタが GTPR レジスタの値になります。それ以外の設定の場合は“0000 0000h”になります。

22.2.5 汎用PWMタイマスタート要因セレクトレジスタ (GTSSR)

アドレス GPTW0.GTSSR 000C 2010h, GPTW1.GTSSR 000C 2110h, GPTW2.GTSSR 000C 2210h,
GPTW3.GTSSR 000C 2310h, GPTW4.GTSSR 000C 2410h, GPTW5.GTSSR 000C 2510h,
GPTW6.GTSSR 000C 2610h, GPTW7.GTSSR 000C 2710h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CSTRT	—	—	—	—	—	—	—	SSELC H	SSELC G	SSELC F	SSELC E	SSELC D	SSELC C	SSELC B	SSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
SSCBF AH	SSCBF AL	SSCBR AH	SSCBR AL	SSCAF BH	SSCAF BL	SSCAR BH	SSCAR BL	SSGTR GDF	SSGTR GDR	SSGTR GCF	SSGTR GCR	SSGTR GBF	SSGTR GBR	SSGTR GAF	SSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0: カウントスタートの要因にGTETRGA信号を使用しない 0 1: GTETRGA信号の立ち上がりエッジでカウントスタート 1 0: GTETRGA信号の立ち下がりエッジでカウントスタート 1 1: GTETRGA信号の両エッジでカウントスタート	R/W (注1)
b1	SSGTRGAF			R/W (注1)
b2	SSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0: カウントスタートの要因にGTETRGB信号を使用しない 0 1: GTETRGB信号の立ち上がりエッジでカウントスタート 1 0: GTETRGB信号の立ち下がりエッジでカウントスタート 1 1: GTETRGB信号の両エッジでカウントスタート	R/W (注1)
b3	SSGTRGBF			R/W (注1)
b4	SSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0: カウントスタートの要因にGTETRGC信号を使用しない 0 1: GTETRGC信号の立ち上がりエッジでカウントスタート 1 0: GTETRGC信号の立ち下がりエッジでカウントスタート 1 1: GTETRGC信号の両エッジでカウントスタート	R/W (注1)
b5	SSGTRGCF			R/W (注1)
b6	SSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0: カウントスタートの要因にGTETRGD信号を使用しない 0 1: GTETRGD信号の立ち上がりエッジでカウントスタート 1 0: GTETRGD信号の立ち下がりエッジでカウントスタート 1 1: GTETRGD信号の両エッジでカウントスタート	R/W (注1)
b7	SSGTRGDF			R/W (注1)
b8	SSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット(注2)	b9 b8 0 0: カウントスタートの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1: GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントスタート 1 0: GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントスタート 1 1: GTIOCnA信号の立ち上がりエッジでカウントスタート	R/W
b9	SSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	SSCAFBL	GTIOcNA信号立ち下がりエッジ使用 条件選択ビット(注2)	b11 b10 0 0: カウントスタートの要因にGTIOcNA信号の立ち下がりエッジを使用しない 0 1: GTIOcNB端子がLowのときのGTIOcNA信号の立ち下がりエッジでカウントスタート 1 0: GTIOcNB端子がHighのときのGTIOcNA信号の立ち下がりエッジでカウントスタート 1 1: GTIOcNA信号の立ち下がりエッジでカウントスタート	R/W
b11	SSCAFBH			R/W
b12	SSCBRAL	GTIOcNB信号立ち上がりエッジ使用 条件選択ビット(注2)	b13 b12 0 0: カウントスタートの要因にGTIOcNB信号の立ち上がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち上がりエッジでカウントスタート 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち上がりエッジでカウントスタート 1 1: GTIOcNB信号の立ち上がりエッジでカウントスタート	R/W
b13	SSCBRAH			R/W
b14	SSCBFAL	GTIOcNB信号立ち下がりエッジ使用 条件選択ビット(注2)	b15 b14 0 0: カウントスタートの要因にGTIOcNB信号の立ち下がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち下がりエッジでカウントスタート 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち下がりエッジでカウントスタート 1 1: GTIOcNB信号の立ち下がりエッジでカウントスタート	R/W
b15	SSCBFAH			R/W
b16	SSELCA	ELCAイベント要因カウントスタート許可ビット	0: ELCAイベント入力によるカウントスタートを禁止 1: ELCAイベント入力によるカウントスタートを許可	R/W (注1)
b17	SSELCB	ELCBイベント要因カウントスタート許可ビット	0: ELCBイベント入力によるカウントスタートを禁止 1: ELCBイベント入力によるカウントスタートを許可	R/W (注1)
b18	SSELCC	ELCCイベント要因カウントスタート許可ビット	0: ELCCイベント入力によるカウントスタートを禁止 1: ELCCイベント入力によるカウントスタートを許可	R/W (注1)
b19	SSELCD	ELCDイベント要因カウントスタート許可ビット	0: ELCDイベント入力によるカウントスタートを禁止 1: ELCDイベント入力によるカウントスタートを許可	R/W (注1)
b20	SSELCE	ELCEイベント要因カウントスタート許可ビット	0: ELCEイベント入力によるカウントスタートを禁止 1: ELCEイベント入力によるカウントスタートを許可	R/W (注1)
b21	SSELCF	ELCFイベント要因カウントスタート許可ビット	0: ELCFイベント入力によるカウントスタートを禁止 1: ELCFイベント入力によるカウントスタートを許可	R/W (注1)
b22	SSELCG	ELCGイベント要因カウントスタート許可ビット	0: ELCGイベント入力によるカウントスタートを禁止 1: ELCGイベント入力によるカウントスタートを許可	R/W (注1)
b23	SSELCH	ELCHイベント要因カウントスタート許可ビット	0: ELCHイベント入力によるカウントスタートを禁止 1: ELCHイベント入力によるカウントスタートを許可	R/W (注1)
b30-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CSTRT	ソフトウェア要因カウントスタート許可ビット	0: GTSTRレジスタによるカウントスタートを禁止 1: GTSTRレジスタによるカウントスタートを許可	R/W (注1)

n = 0 ~ 7

注1. 相補PWMモード時は、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込みます。

注2. GPTW0~GPTW2の相補PWMモード時は、無効です。

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRG A/GTETRG B/GTETRG C/GTETRG D 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

22.2.6 汎用 PWM タイマストップ要因セレクトレジスタ (GTPSR)

アドレス GPTW0.GTPSR 000C 2014h, GPTW1.GTPSR 000C 2114h, GPTW2.GTPSR 000C 2214h,
GPTW3.GTPSR 000C 2314h, GPTW4.GTPSR 000C 2414h, GPTW5.GTPSR 000C 2514h,
GPTW6.GTPSR 000C 2614h, GPTW7.GTPSR 000C 2714h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTOP	—	—	—	—	—	—	—	PSELC H	PSELC G	PSELC F	PSELC E	PSELC D	PSELC C	PSELC B	PSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSCBF AH	PSCBF AL	PSCBR AH	PSCBR AL	PSCAF BH	PSCAF BL	PSCAR BH	PSCAR BL	PSGTR GDF	PSGTR GDR	PSGTR GCF	PSGTR GCR	PSGTR GBF	PSGTR GBR	PSGTR GAF	PSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0: カウントストップの要因にGTETRGA信号を使用しない 0 1: GTETRGA信号の立ち上がりエッジでカウントストップ 1 0: GTETRGA信号の立ち下がりエッジでカウントストップ 1 1: GTETRGA信号の両エッジでカウントストップ	R/W (注1)
b1	PSGTRGAF			R/W (注1)
b2	PSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0: カウントストップの要因にGTETRGB信号を使用しない 0 1: GTETRGB信号の立ち上がりエッジでカウントストップ 1 0: GTETRGB信号の立ち下がりエッジでカウントストップ 1 1: GTETRGB信号の両エッジでカウントストップ	R/W (注1)
b3	PSGTRGBF			R/W (注1)
b4	PSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0: カウントストップの要因にGTETRGC信号を使用しない 0 1: GTETRGC信号の立ち上がりエッジでカウントストップ 1 0: GTETRGC信号の立ち下がりエッジでカウントストップ 1 1: GTETRGC信号の両エッジでカウントストップ	R/W (注1)
b5	PSGTRGCF			R/W (注1)
b6	PSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0: カウントストップの要因にGTETRGD信号を使用しない 0 1: GTETRGD信号の立ち上がりエッジでカウントストップ 1 0: GTETRGD信号の立ち下がりエッジでカウントストップ 1 1: GTETRGD信号の両エッジでカウントストップ	R/W (注1)
b7	PSGTRGDF			R/W (注1)
b8	PSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット(注2)	b9 b8 0 0: カウントストップの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1: GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントストップ 1 0: GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントストップ 1 1: GTIOCnA信号の立ち上がりエッジでカウントストップ	R/W
b9	PSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	PSCAFBL	GTIOcNA信号立ち下がりエッジ使用条件選択ビット(注2)	b11 b10 0 0: カウントストップの要因にGTIOcNA信号の立ち下がりエッジを使用しない 0 1: GTIOcNB端子がLowのときのGTIOcNA信号の立ち下がりエッジでカウントストップ 1 0: GTIOcNB端子がHighのときのGTIOcNA信号の立ち下がりエッジでカウントストップ 1 1: GTIOcNA信号の立ち下がりエッジでカウントストップ	R/W
b11	PSCAFBH			R/W
b12	PSCBRAL	GTIOcNB信号立ち上がりエッジ使用条件選択ビット(注2)	b13 b12 0 0: カウントストップの要因にGTIOcNB信号の立ち上がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち上がりエッジでカウントストップ 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち上がりエッジでカウントストップ 1 1: GTIOcNB信号の立ち上がりエッジでカウントストップ	R/W
b13	PSCBRAH			R/W
b14	PSCBFAL	GTIOcNB信号立ち下がりエッジ使用条件選択ビット(注2)	b15 b14 0 0: カウントストップの要因にGTIOcNB信号の立ち下がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち下がりエッジでカウントストップ 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち下がりエッジでカウントストップ 1 1: GTIOcNB信号の立ち下がりエッジでカウントストップ	R/W
b15	PSCBFAH			R/W
b16	PSELCA	ELCAイベント要因カウントストップ許可ビット	0: ELCAイベント入力によるカウントストップを禁止 1: ELCAイベント入力によるカウントストップを許可	R/W (注1)
b17	PSELCB	ELCBイベント要因カウントストップ許可ビット	0: ELCBイベント入力によるカウントストップを禁止 1: ELCBイベント入力によるカウントストップを許可	R/W (注1)
b18	PSELCC	ELCCイベント要因カウントストップ許可ビット	0: ELCCイベント入力によるカウントストップを禁止 1: ELCCイベント入力によるカウントストップを許可	R/W (注1)
b19	PSELCD	ELCDイベント要因カウントストップ許可ビット	0: ELCDイベント入力によるカウントストップを禁止 1: ELCDイベント入力によるカウントストップを許可	R/W (注1)
b20	PSELCE	ELCEイベント要因カウントストップ許可ビット	0: ELCEイベント入力によるカウントストップを禁止 1: ELCEイベント入力によるカウントストップを許可	R/W (注1)
b21	PSELCF	ELCFイベント要因カウントストップ許可ビット	0: ELCFイベント入力によるカウントストップを禁止 1: ELCFイベント入力によるカウントストップを許可	R/W (注1)
b22	PSELCG	ELCGイベント要因カウントストップ許可ビット	0: ELCGイベント入力によるカウントストップを禁止 1: ELCGイベント入力によるカウントストップを許可	R/W (注1)
b23	PSELCH	ELCHイベント要因カウントストップ許可ビット	0: ELCHイベント入力によるカウントストップを禁止 1: ELCHイベント入力によるカウントストップを許可	R/W (注1)
b30-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CSTOP	ソフトウェア要因カウントストップ許可ビット	0: GTSTPレジスタによるカウントストップを禁止 1: GTSTPレジスタによるカウントストップを許可	R/W (注1)

n = 0 ~ 7

注1. 相補PWMモード時は、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込みます。

注2. GPTW0~GPTW2の相補PWMモード時は、無効です。

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETRG/ GTETRGB/ GTETRGC/ GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

22.2.7 汎用PWMタイマクリア要因セレクトレジスタ (GTCSR)

アドレス GPTW0.GTCSR 000C 2018h, GPTW1.GTCSR 000C 2118h, GPTW2.GTCSR 000C 2218h,
GPTW3.GTCSR 000C 2318h, GPTW4.GTCSR 000C 2418h, GPTW5.GTCSR 000C 2518h,
GPTW6.GTCSR 000C 2618h, GPTW7.GTCSR 000C 2718h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CCLR	—	—	—	CP1CC E	CSCMSC[2:0]		CSELC H	CSELC G	CSELC F	CSELC E	CSELC D	CSELC C	CSELC B	CSELC A	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CSCBF AH	CSCBF AL	CSCBR AH	CSCBR AL	CSCAF BH	CSCAF BL	CSCAR BH	CSCAR BL	CSGTR GDF	CSGTR GDR	CSGTR GCF	CSGTR GCR	CSGTR GBF	CSGTR GBR	CSGTR GAF	CSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0: カウンタクリアの要因にGTETRGA信号を使用しない 0 1: GTETRGA信号の立ち上がりエッジでカウンタクリア 1 0: GTETRGA信号の立ち下がりエッジでカウンタクリア 1 1: GTETRGA信号の両エッジでカウンタクリア	R/W (注1)
b1	CSGTRGAF			R/W (注1)
b2	CSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0: カウンタクリアの要因にGTETRGB信号を使用しない 0 1: GTETRGB信号の立ち上がりエッジでカウンタクリア 1 0: GTETRGB信号の立ち下がりエッジでカウンタクリア 1 1: GTETRGB信号の両エッジでカウンタクリア	R/W (注1)
b3	CSGTRGBF			R/W (注1)
b4	CSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0: カウンタクリアの要因にGTETRGC信号を使用しない 0 1: GTETRGC信号の立ち上がりエッジでカウンタクリア 1 0: GTETRGC信号の立ち下がりエッジでカウンタクリア 1 1: GTETRGC信号の両エッジでカウンタクリア	R/W (注1)
b5	CSGTRGCF			R/W (注1)
b6	CSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0: カウンタクリアの要因にGTETRGD信号を使用しない 0 1: GTETRGD信号の立ち上がりエッジでカウンタクリア 1 0: GTETRGD信号の立ち下がりエッジでカウンタクリア 1 1: GTETRGD信号の両エッジでカウンタクリア	R/W (注1)
b7	CSGTRGDF			R/W (注1)
b8	CSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット(注2)	b9 b8 0 0: カウンタクリアの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1: GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウンタクリア 1 0: GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウンタクリア 1 1: GTIOCnA信号の立ち上がりエッジでカウンタクリア	R/W
b9	CSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	CSCAFBL	GTIOcNA信号立ち下がりエッジ使用条件選択ビット(注2)	b11 b10 0 0: カウンタクリアの要因にGTIOcNA信号の立ち下がりエッジを使用しない 0 1: GTIOcNB端子がLowのときのGTIOcNA信号の立ち下がりエッジでカウンタクリア 1 0: GTIOcNB端子がHighのときのGTIOcNA信号の立ち下がりエッジでカウンタクリア 1 1: GTIOcNA信号の立ち下がりエッジでカウンタクリア	R/W
b11	CSCAFBH			R/W
b12	CSCBRAL	GTIOcNB信号立ち上がりエッジ使用条件選択ビット(注2)	b13 b12 0 0: カウンタクリアの要因にGTIOcNB信号の立ち上がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち上がりエッジでカウンタクリア 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち上がりエッジでカウンタクリア 1 1: GTIOcNB信号の立ち上がりエッジでカウンタクリア	R/W
b13	CSCBRAH			R/W
b14	CSCBFAL	GTIOcNB信号立ち下がりエッジ使用条件選択ビット(注2)	b15 b14 0 0: カウンタクリアの要因にGTIOcNB信号の立ち下がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち下がりエッジでカウンタクリア 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち下がりエッジでカウンタクリア 1 1: GTIOcNB信号の立ち下がりエッジでカウンタクリア	R/W
b15	CSCBFAH			R/W
b16	CSELCA	ELCAイベント要因カウンタクリア許可ビット	0: ELCAイベント入力によるカウンタクリアを禁止 1: ELCAイベント入力によるカウンタクリアを許可	R/W (注1)
b17	CSELCB	ELCBイベント要因カウンタクリア許可ビット	0: ELCBイベント入力によるカウンタクリアを禁止 1: ELCBイベント入力によるカウンタクリアを許可	R/W (注1)
b18	CSELCC	ELCCイベント要因カウンタクリア許可ビット	0: ELCCイベント入力によるカウンタクリアを禁止 1: ELCCイベント入力によるカウンタクリアを許可	R/W (注1)
b19	CSELCD	ELCDイベント要因カウンタクリア許可ビット	0: ELCDイベント入力によるカウンタクリアを禁止 1: ELCDイベント入力によるカウンタクリアを許可	R/W (注1)
b20	CSELCE	ELCEイベント要因カウンタクリア許可ビット	0: ELCEイベント入力によるカウンタクリアを禁止 1: ELCEイベント入力によるカウンタクリアを許可	R/W (注1)
b21	CSELCF	ELCFイベント要因カウンタクリア許可ビット	0: ELCFイベント入力によるカウンタクリアを禁止 1: ELCFイベント入力によるカウンタクリアを許可	R/W (注1)
b22	CSELCG	ELCGイベント要因カウンタクリア許可ビット	0: ELCGイベント入力によるカウンタクリアを禁止 1: ELCGイベント入力によるカウンタクリアを許可	R/W (注1)
b23	CSELCH	ELCHイベント要因カウンタクリア許可ビット	0: ELCHイベント入力によるカウンタクリアを禁止 1: ELCHイベント入力によるカウンタクリアを許可	R/W (注1)
b26-b24	CSCMSC[2:0]	コンペアマッチ/インプットキャプチャ/同期クリアクリア要因カウンタクリア許可ビット	b26 b24 0 0 0: コンペアマッチ/インプットキャプチャ/同期クリアグループ要因によるクリア禁止 0 0 1: GTCCRAのコンペアマッチ/インプットキャプチャでカウンタクリア 0 1 0: GTCCRBのコンペアマッチ/インプットキャプチャでカウンタクリア 0 1 1: GTCCRCのコンペアマッチ/インプットキャプチャでカウンタクリア 1 0 0: GTCCRDのコンペアマッチ/インプットキャプチャでカウンタクリア 1 0 1: GTCCREのコンペアマッチ/インプットキャプチャでカウンタクリア 1 1 0: GTCCRFのコンペアマッチ/インプットキャプチャでカウンタクリア 1 1 1: 同期クリアグループのクリア要因でGTCNTカウンタクリア	R/W
b27	CP1CCE	相補PWMモード1山要因カウンタクリア許可ビット(注3)	0: 相補PWMモード1時の山でのカウンタクリアを禁止 1: 相補PWMモード1時の山でのカウンタクリアを許可	R/W (注1)
b30-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可ビット	0: GTCLRレジスタによるカウンタクリアを禁止 1: GTCLRレジスタによるカウンタクリアを許可	R/W (注1)

n = 0 ~ 7

注1. 相補PWMモード時は、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込めます。

注2. GPTW0~GPTW2の相補PWMモード時は、無効です。

注3. GPTW3~GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTCSRレジスタは、GTCNTカウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中(GTCR.CSTビット=1)の場合でも、停止中(GTCR.CSTビット=0)の場合でも、実行することが可能です。

GTETRGA/GTETRFB/GTETRGC/GTETRGD入力は、POEGを経由してGPTWに入力されます。これらの信号の極性はPOEGで設定してください。

CSCMSC[2:0]ビット(コンペアマッチ/インプットキャプチャ/同期クリア要因カウンタクリア許可ビット)

コンペアマッチ、インプットキャプチャ、同期クリアグループのクリア要因によるカウンタクリア許可/禁止を選択します。コンペアマッチ、インプットキャプチャによるカウンタクリアを許可した場合、「22.3.8.3 チャンネル間連携による同期クリア動作」で説明するチャンネル間連携による同期クリアの要因として扱うことができます。

CSCMSC[2:0]ビットを“001b”、“010b”に設定し、インプットキャプチャによるカウンタクリアを許可した場合、GTICmSRレジスタ(m=A, B)で選択したインプットキャプチャ要因と同じ要因をGTCSRレジスタのカウンタクリア要因にも設定する必要があります。

また、タイマプリスケーラを使用しない(GTCR.TPCS[3:0]=0000bに設定)場合、インプットキャプチャによるカウンタクリアの要因として、他チャンネル要因によるインプットキャプチャ(GTICASR.ASOCまたはGTICBSR.BSOCを“1”に設定)を使用することができます。他チャンネル要因によるインプットキャプチャは、チャンネル間連携による同期クリアの要因にはなりません、自チャンネルのカウンタクリア要因として使用することができます。この場合、GTCSRの設定は不要です。

バッファ動作(波形モード固有の場合を含む)を行っているレジスタによるコンペアマッチは発生しないため、該当する動作モードにおいて対象となるレジスタをコンペアマッチ要因とするカウンタクリア許可の設定は無効です。

相補PWMモードの場合、GTCCRB、GTCCRE、GTCCRFレジスタはバッファ動作を行わない状態においても、コンペアマッチを要因とするクリア許可は無効です。

CP1CCEビット(相補PWMモード1山要因カウンタクリア許可ビット)

相補PWMモード1において、山によるGTCNTカウンタのカウンタクリアの許可/禁止を選択します。

同ビットを許可状態にする場合、GTIOR.PSYEビットを“1”にしないでください。

相補PWMモードのマスタチャンネルのみで有効です。マスタチャンネルの設定でスレーブチャンネル1/スレーブチャンネル2のカウンタの相補PWMモードにおけるカウンタクリアも行います。

22.2.8 汎用 PWM タイマカウントアップ要因セレクトレジスタ (GTUPSR)

アドレス GPTW3.GTUPSR 000C 231Ch, GPTW4.GTUPSR 000C 241Ch, GPTW5.GTUPSR 000C 251Ch,
GPTW6.GTUPSR 000C 261Ch, GPTW7.GTUPSR 000C 271Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	USILVL[3:0]			—	USELC H	USELC G	USELC F	USELC E	USELC D	USELC C	USELC B	USELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	USCBF AH	USCBF AL	USCBR AH	USCBR AL	USCAF BH	USCAF BL	USCAR BH	USCAR BL	USGTR GDF	USGTR GDR	USGTR GCF	USGTR GCR	USGTR GBF	USGTR GBR	USGTR GAF	USGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0 : カウントアップの要因にGTETRGA信号を使用しない 0 1 : GTETRGA信号の立ち上がりエッジでカウントアップ 1 0 : GTETRGA信号の立ち下がりエッジでカウントアップ 1 1 : GTETRGA信号の両エッジでカウントアップ	R/W
b1	USGTRGAF			R/W
b2	USGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0 : カウントアップの要因にGTETRGB信号を使用しない 0 1 : GTETRGB信号の立ち上がりエッジでカウントアップ 1 0 : GTETRGB信号の立ち下がりエッジでカウントアップ 1 1 : GTETRGB信号の両エッジでカウントアップ	R/W
b3	USGTRGBF			R/W
b4	USGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0 : カウントアップの要因にGTETRGC信号を使用しない 0 1 : GTETRGC信号の立ち上がりエッジでカウントアップ 1 0 : GTETRGC信号の立ち下がりエッジでカウントアップ 1 1 : GTETRGC信号の両エッジでカウントアップ	R/W
b5	USGTRGCF			R/W
b6	USGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0 : カウントアップの要因にGTETRGD信号を使用しない 0 1 : GTETRGD信号の立ち上がりエッジでカウントアップ 1 0 : GTETRGD信号の立ち下がりエッジでカウントアップ 1 1 : GTETRGD信号の両エッジでカウントアップ	R/W
b7	USGTRGDF			R/W
b8	USCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0 : カウントアップの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1 : GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウントアップ 1 0 : GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウントアップ 1 1 : GTIOCnA信号の立ち上がりエッジでカウントアップ	R/W
b9	USCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	USCAFBL	GTIOcNA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0: カウントアップの要因にGTIOcNA信号の立ち下がりエッジを使用しない 0 1: GTIOcNB端子がLowのときのGTIOcNA信号の立ち下がりエッジでカウントアップ 1 0: GTIOcNB端子がHighのときのGTIOcNA信号の立ち下がりエッジでカウントアップ 1 1: GTIOcNA信号の立ち下がりエッジでカウントアップ	R/W
b11	USAFBH			R/W
b12	USCBRAL	GTIOcNB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0: カウントアップの要因にGTIOcNB信号の立ち上がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち上がりエッジでカウントアップ 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち上がりエッジでカウントアップ 1 1: GTIOcNB信号の立ち上がりエッジでカウントアップ	R/W
b13	USCBRAH			R/W
b14	USCBFAL	GTIOcNB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0: カウントアップの要因にGTIOcNB信号の立ち下がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち下がりエッジでカウントアップ 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち下がりエッジでカウントアップ 1 1: GTIOcNB信号の立ち下がりエッジでカウントアップ	R/W
b15	USCBFAH			R/W
b16	USELCA	ELCAイベント要因カウントアップ許可ビット	0: ELCAイベント入力によるカウントアップを禁止 1: ELCAイベント入力によるカウントアップを許可	R/W
b17	USELCB	ELCBイベント要因カウントアップ許可ビット	0: ELCBイベント入力によるカウントアップを禁止 1: ELCBイベント入力によるカウントアップを許可	R/W
b18	USELCC	ELCCイベント要因カウントアップ許可ビット	0: ELCCイベント入力によるカウントアップを禁止 1: ELCCイベント入力によるカウントアップを許可	R/W
b19	USELCD	ELCDイベント要因カウントアップ許可ビット	0: ELCDイベント入力によるカウントアップを禁止 1: ELCDイベント入力によるカウントアップを許可	R/W
b20	USELCE	ELCEイベント要因カウントアップ許可ビット	0: ELCEイベント入力によるカウントアップを禁止 1: ELCEイベント入力によるカウントアップを許可	R/W
b21	USELCF	ELCFイベント要因カウントアップ許可ビット	0: ELCFイベント入力によるカウントアップを禁止 1: ELCFイベント入力によるカウントアップを許可	R/W
b22	USELCG	ELCGイベント要因カウントアップ許可ビット	0: ELCGイベント入力によるカウントアップを禁止 1: ELCGイベント入力によるカウントアップを許可	R/W
b23	USELCH	ELCHイベント要因カウントアップ許可ビット	0: ELCHイベント入力によるカウントアップを禁止 1: ELCHイベント入力によるカウントアップを許可	R/W
b27-b24	USILVL[3:0]	外部入力レベル要因カウントアップ許可ビット(注1)	b27 b24 0 0 0 0: 外部入力レベル要因カウントアップ禁止 0 0 0 1: 設定禁止 0 0 1 0: GTIOcNA端子Low要因カウントアップ許可 0 0 1 1: GTIOcNA端子High要因カウントアップ許可 0 1 0 0: GTIOcNB端子Low要因カウントアップ許可 0 1 0 1: GTIOcNB端子High要因カウントアップ許可 0 1 1 0: 設定禁止 0 1 1 1: 設定禁止 1 0 0 0: GTETRGA端子Low要因カウントアップ許可 1 0 0 1: GTETRGA端子High要因カウントアップ許可 1 0 1 0: GTETRGA端子Low要因カウントアップ許可 1 0 1 1: GTETRGA端子High要因カウントアップ許可 1 1 0 0: GTETRGC端子Low要因カウントアップ許可 1 1 0 1: GTETRGC端子High要因カウントアップ許可 1 1 1 0: GTETRGD端子Low要因カウントアップ許可 1 1 1 1: GTETRGD端子High要因カウントアップ許可	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 3 ~ 7

注1. GPTW6、GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTUPSRレジスタは、GTCNTカウンタのカウンタアップの要因を設定するレジスタです。

GTUPSRレジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合、GTCR.TPCS[3:0]ビットによって設定されたカウンタクロックによるGTCNTカウンタのカウンタは無効となり、本レジスタで“1”となっている要因によるカウンタアップを行います。

複数の要因が同時に発生しても、カウンタアップ数は1です。

GTETRGA/GTETRGB/GTETRGC/GTETRGD入力は、POEGを経由してGPTWに入力されます。これらの信号の極性はPOEGで設定してください。

22.2.9 汎用 PWM タイマカウントダウン要因セレクトレジスタ (GTDNSR)

アドレス GPTW3.GTDNSR 000C 2320h, GPTW4.GTDNSR 000C 2420h, GPTW5.GTDNSR 000C 2520h, GPTW6.GTDNSR 000C 2620h, GPTW7.GTDNSR 000C 2720h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	DSILVL[3:0]				DSELC H	DSELC G	DSELC F	DSELC E	DSELC D	DSELC C	DSELC B	DSELC A
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
DSCBF AH	DSCBF AL	DSCBR AH	DSCBR AL	DSCAF BH	DSCAF BL	DSCAR BH	DSCAR BL	DSGTR GDF	DSGTR GDR	DSGTR GCF	DSGTR GCR	DSGTR GBF	DSGTR GBR	DSGTR GAF	DSGTR GAR
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0 : カウントダウンの要因にGTETRGA信号を使用しない 0 1 : GTETRGA信号の立ち上がりエッジでカウントダウン 1 0 : GTETRGA信号の立ち下がりエッジでカウントダウン 1 1 : GTETRGA信号の両エッジでカウントダウン	R/W
b1	DSGTRGAF			R/W
b2	DSGTRGBR	GTETRGB信号エッジ選択ビット	b3 b2 0 0 : カウントダウンの要因にGTETRGB信号を使用しない 0 1 : GTETRGB信号の立ち上がりエッジでカウントダウン 1 0 : GTETRGB信号の立ち下がりエッジでカウントダウン 1 1 : GTETRGB信号の両エッジでカウントダウン	R/W
b3	DSGTRGBF			R/W
b4	DSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0 : カウントダウンの要因にGTETRGC信号を使用しない 0 1 : GTETRGC信号の立ち上がりエッジでカウントダウン 1 0 : GTETRGC信号の立ち下がりエッジでカウントダウン 1 1 : GTETRGC信号の両エッジでカウントダウン	R/W
b5	DSGTRGCF			R/W
b6	DSGTRGDR	GTETRGD信号エッジ選択ビット	b7 b6 0 0 : カウントダウンの要因にGTETRGD信号を使用しない 0 1 : GTETRGD信号の立ち上がりエッジでカウントダウン 1 0 : GTETRGD信号の立ち下がりエッジでカウントダウン 1 1 : GTETRGD信号の両エッジでカウントダウン	R/W
b7	DSGTRGDF			R/W
b8	DSCARBL	GTIOcNA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0 : カウントダウンの要因にGTIOcNA信号の立ち上がりエッジを使用しない 0 1 : GTIOcNB端子がLowのときのGTIOcNA信号の立ち上がりエッジでカウントダウン 1 0 : GTIOcNB端子がHighのときのGTIOcNA信号の立ち上がりエッジでカウントダウン 1 1 : GTIOcNA信号の立ち上がりエッジでカウントダウン	R/W
b9	DSCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	DSCAFBL	GTIOcNA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0: カウントダウンの要因にGTIOcNA信号の立ち下がりエッジを使用しない 0 1: GTIOcNB端子がLowのときのGTIOcNA信号の立ち下がりエッジでカウントダウン 1 0: GTIOcNB端子がHighのときのGTIOcNA信号の立ち下がりエッジでカウントダウン 1 1: GTIOcNA信号の立ち下がりエッジでカウントダウン	R/W
b11	DSCAFBH			R/W
b12	DSCBRAL	GTIOcNB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0: カウントダウンの要因にGTIOcNB信号の立ち上がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち上がりエッジでカウントダウン 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち上がりエッジでカウントダウン 1 1: GTIOcNB信号の立ち上がりエッジでカウントダウン	R/W
b13	DSCBRAH			R/W
b14	DSCBFAL	GTIOcNB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0: カウントダウンの要因にGTIOcNB信号の立ち下がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち下がりエッジでカウントダウン 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち下がりエッジでカウントダウン 1 1: GTIOcNB信号の立ち下がりエッジでカウントダウン	R/W
b15	DSCBFAH			R/W
b16	DSELCA	ELCAイベント要因カウントダウン許可ビット	0: ELCAイベント入力によるカウントダウンを禁止 1: ELCAイベント入力によるカウントダウンを許可	R/W
b17	DSELCB	ELCBイベント要因カウントダウン許可ビット	0: ELCBイベント入力によるカウントダウンを禁止 1: ELCBイベント入力によるカウントダウンを許可	R/W
b18	DSELCC	ELCCイベント要因カウントダウン許可ビット	0: ELCCイベント入力によるカウントダウンを禁止 1: ELCCイベント入力によるカウントダウンを許可	R/W
b19	DSELCD	ELCDイベント要因カウントダウン許可ビット	0: ELCDイベント入力によるカウントダウンを禁止 1: ELCDイベント入力によるカウントダウンを許可	R/W
b20	DSELCE	ELCEイベント要因カウントダウン許可ビット	0: ELCEイベント入力によるカウントダウンを禁止 1: ELCEイベント入力によるカウントダウンを許可	R/W
b21	DSELCF	ELCFイベント要因カウントダウン許可ビット	0: ELCFイベント入力によるカウントダウンを禁止 1: ELCFイベント入力によるカウントダウンを許可	R/W
b22	DSELCG	ELCGイベント要因カウントダウン許可ビット	0: ELCGイベント入力によるカウントダウンを禁止 1: ELCGイベント入力によるカウントダウンを許可	R/W
b23	DSELCH	ELCHイベント要因カウントダウン許可ビット	0: ELCHイベント入力によるカウントダウンを禁止 1: ELCHイベント入力によるカウントダウンを許可	R/W
b27-b24	DSILVL[3:0]	外部入力レベル要因カウントダウン許可ビット(注1)	b27 b24 0 0 0 0: 外部入力レベル要因カウントダウン禁止 0 0 0 1: 設定禁止 0 0 1 0: GTIOcNA端子0要因カウントダウン許可 0 0 1 1: GTIOcNA端子1要因カウントダウン許可 0 1 0 0: GTIOcNB端子0要因カウントダウン許可 0 1 0 1: GTIOcNB端子1要因カウントダウン許可 0 1 1 0: 設定禁止 0 1 1 1: 設定禁止 1 0 0 0: GTETRGA端子0要因カウントダウン許可 1 0 0 1: GTETRGA端子1要因カウントダウン許可 1 0 1 0: GTETRGA端子0要因カウントダウン許可 1 0 1 1: GTETRGA端子1要因カウントダウン許可 1 1 0 0: GTETRGC端子0要因カウントダウン許可 1 1 0 1: GTETRGC端子1要因カウントダウン許可 1 1 1 0: GTETRGD端子0要因カウントダウン許可 1 1 1 1: GTETRGD端子1要因カウントダウン許可	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 3 ~ 7

注1. GPTW6、GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTDNSRレジスタは、GTCNTカウンタのカウントダウンの要因を設定するレジスタです。

GTDNSRレジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合、GTCR.TPCS[3:0]ビットによって設定されたカウントクロックによるGTCNTカウンタのカウントは無効となり、本レジスタで“1”となっている要因によるカウントダウンを行います。

複数の要因が同時に発生しても、カウントダウン数は“1”です。

GTETRGA/GTETRGB/GTETRGC/GTETRGD入力は、POEGを経由してGPTWに入力されます。これらの信号の極性はPOEGで設定してください。

22.2.10 汎用PWM タイマインプットキャプチャ要因セレクトレジスタ A (GTICASR)

アドレス GPTW0.GTICASR 000C 2024h, GPTW1.GTICASR 000C 2124h, GPTW2.GTICASR 000C 2224h,
GPTW3.GTICASR 000C 2324h, GPTW4.GTICASR 000C 2424h, GPTW5.GTICASR 000C 2524h,
GPTW6.GTICASR 000C 2624h, GPTW7.GTICASR 000C 2724h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	ASOC	ASELCH	ASELCH	ASELCH	ASELCH	ASELCH	ASELCH	ASELCH	ASELCH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAF BH	ASCAF BL	ASCAR BH	ASCAR BL	ASGTR GDF	ASGTR GDR	ASGTR GCF	ASGTR GCR	ASGTR GBF	ASGTR GBR	ASGTR GAF	ASGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0: GTCCRAレジスタへのインプットキャプチャ要因にGTETRGA信号を使用しない 0 1: GTETRGA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0: GTETRGA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1: GTETRGA信号の両エッジでGTCCRAレジスタにインプットキャプチャ	R/W
b1	ASGTRGAF			R/W
b2	ASGTRGBR	GTETRGRB信号エッジ選択ビット	b3 b2 0 0: GTCCRAレジスタへのインプットキャプチャ要因にGTETRGRB信号を使用しない 0 1: GTETRGRB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0: GTETRGRB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1: GTETRGRB信号の両エッジでGTCCRAレジスタにインプットキャプチャ	R/W
b3	ASGTRGBF			R/W
b4	ASGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0: GTCCRAレジスタへのインプットキャプチャ要因にGTETRGC信号を使用しない 0 1: GTETRGC信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0: GTETRGC信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1: GTETRGC信号の両エッジでGTCCRAレジスタにインプットキャプチャ	R/W
b5	ASGTRGCF			R/W
b6	ASGTRGDR	GTETRGRD信号エッジ選択ビット	b7 b6 0 0: GTCCRAレジスタへのインプットキャプチャ要因にGTETRGRD信号を使用しない 0 1: GTETRGRD信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0: GTETRGRD信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1: GTETRGRD信号の両エッジでGTCCRAレジスタにインプットキャプチャ	R/W
b7	ASGTRGDF			R/W
b8	ASCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0: GTCCRAレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1: GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0: GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1: GTIOCnA信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b9	ASCARBH			R/W

ビット	シンボル	ビット名	機能	R/W
b10	ASCAFBL	GTIOcNA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0: GTCCRAレジスタへのインプットキャプチャ要因にGTIOcNA信号の立ち下がりエッジを使用しない 0 1: GTIOcNB端子がLowのときのGTIOcNA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0: GTIOcNB端子がHighのときのGTIOcNA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1: GTIOcNA信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b11	ASCFBH			R/W
b12	ASCBRAL	GTIOcNB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0: GTCCRAレジスタへのインプットキャプチャ要因にGTIOcNB信号の立ち上がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1: GTIOcNB信号の立ち上がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b13	ASCBRAH			R/W
b14	ASCBFAL	GTIOcNB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0: GTCCRAレジスタへのインプットキャプチャ要因にGTIOcNB信号の立ち下がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1: GTIOcNB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b15	ASCBFAH			R/W
b16	ASELCA	ELCAイベント要因GTCCRAインプットキャプチャ許可ビット	0: ELCAイベント入力によるGTCCRAインプットキャプチャを禁止 1: ELCAイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b17	ASELCB	ELCBイベント要因GTCCRAインプットキャプチャ許可ビット	0: ELCBイベント入力によるGTCCRAインプットキャプチャを禁止 1: ELCBイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b18	ASELCC	ELCCイベント要因GTCCRAインプットキャプチャ許可ビット	0: ELCCイベント入力によるGTCCRAインプットキャプチャを禁止 1: ELCCイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b19	ASELCD	ELCDイベント要因GTCCRAインプットキャプチャ許可ビット	0: ELCDイベント入力によるGTCCRAインプットキャプチャを禁止 1: ELCDイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b20	ASELCE	ELCEイベント要因GTCCRAインプットキャプチャ許可ビット	0: ELCEイベント入力によるGTCCRAインプットキャプチャを禁止 1: ELCEイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b21	ASELCF	ELCFイベント要因GTCCRAインプットキャプチャ許可ビット	0: ELCFイベント入力によるGTCCRAインプットキャプチャを禁止 1: ELCFイベント入力によるGTCCRAインプットキャプチャを許可	R/W
b22	ASELCG	ELCGイベント要因GTCCRAインプットキャプチャ許可ビット	0: ELCGイベント入力によるGTCCRAインプットキャプチャを禁止 1: ELCGイベント入力によるGTCCRAインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b23	ASELCH	ELCHイベント要因GTCCRAイン プットキャプチャ許可ビット	0: ELCHイベント入力によるGTCCRAインプットキャ プチャを禁止 1: ELCHイベント入力によるGTCCRAインプットキャ プチャを許可	R/W
b24	ASOC	他チャンネル要因GTCCRAインプット キャプチャ許可ビット	0: 他チャンネル要因によるGTCCRAインプットキャ プチャを禁止 1: 他チャンネル要因によるGTCCRAインプットキャ プチャを許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ~ 7

GTICASR レジスタは、GTCCRA レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合、GTCCRA レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

ASOC ビット (他チャンネル要因 GTCCRA インプットキャプチャ許可ビット)

他チャンネルの GTICCR レジスタで設定したチャンネル間連携によるインプットキャプチャを要因とする GTCCRA レジスタへのインプットキャプチャの許可/禁止を選択します。

本ビットで許可した他チャンネル要因のインプットキャプチャは、GTICCR.ICAFA、ICBFA ビットで設定する他チャンネルのインプットキャプチャ要因の対象にはなりません。

22.2.11 汎用PWMタイマインプットキャプチャ要因セレクトレジスタ B (GTICBSR)

アドレス GPTW0.GTICBSR 000C 2028h, GPTW1.GTICBSR 000C 2128h, GPTW2.GTICBSR 000C 2228h,
GPTW3.GTICBSR 000C 2328h, GPTW4.GTICBSR 000C 2428h, GPTW5.GTICBSR 000C 2528h,
GPTW6.GTICBSR 000C 2628h, GPTW7.GTICBSR 000C 2728h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	BSOC	BSELC H	BSELC G	BSELC F	BSELC E	BSELC D	BSELC C	BSELC B	BSELC A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSCBF AH	BSCBF AL	BSCBR AH	BSCBR AL	BSCAF BH	BSCAF BL	BSCAR BH	BSCAR BL	BSGTR GDF	BSGTR GDR	BSGTR GCF	BSGTR GCR	BSGTR GBF	BSGTR GBR	BSGTR GAF	BSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0: GTCCRBレジスタへのインプットキャプチャ要因にGTETRGA信号を使用しない 0 1: GTETRGA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b1	BSGTRGAF		1 0: GTETRGA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1: GTETRGA信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b2	BSGTRGBR	GTETRGRB信号エッジ選択ビット	b3 b2 0 0: GTCCRBレジスタへのインプットキャプチャ要因にGTETRGRB信号を使用しない 0 1: GTETRGRB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b3	BSGTRGBF		1 0: GTETRGRB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1: GTETRGRB信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b4	BSGTRGCR	GTETRGC信号エッジ選択ビット	b5 b4 0 0: GTCCRBレジスタへのインプットキャプチャ要因にGTETRGC信号を使用しない 0 1: GTETRGC信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b5	BSGTRGCF		1 0: GTETRGC信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1: GTETRGC信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b6	BSGTRGDR	GTETRGRD信号エッジ選択ビット	b7 b6 0 0: GTCCRBレジスタへのインプットキャプチャ要因にGTETRGRD信号を使用しない 0 1: GTETRGRD信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b7	BSGTRGDF		1 0: GTETRGRD信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1: GTETRGRD信号の両エッジでGTCCRBレジスタにインプットキャプチャ	R/W (注1)
b8	BSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0: GTCCRBレジスタへのインプットキャプチャ要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1: GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b9	BSCARBH		1 0: GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1: GTIOCnA信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W

ビット	シンボル	ビット名	機能	R/W
b10	BSCAFBL	GTIOcNA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0: GTCCRBレジスタへのインプットキャプチャ要因にGTIOcNA信号の立ち下がりエッジを使用しない 0 1: GTIOcNB端子がLowのときのGTIOcNA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0: GTIOcNB端子がHighのときのGTIOcNA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1: GTIOcNA信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b11	BSCAFBH			R/W
b12	BSCBRAL	GTIOcNB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0: GTCCRBレジスタへのインプットキャプチャ要因にGTIOcNB信号の立ち上がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1: GTIOcNB信号の立ち上がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b13	BSCBRAH			R/W
b14	BSCBFAL	GTIOcNB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0: GTCCRBレジスタへのインプットキャプチャ要因にGTIOcNB信号の立ち下がりエッジを使用しない 0 1: GTIOcNA端子がLowのときのGTIOcNB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0: GTIOcNA端子がHighのときのGTIOcNB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1: GTIOcNB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b15	BSCBFAH			R/W
b16	BSELCA	ELCAイベント要因GTCCRBインプットキャプチャ許可ビット	0: ELCAイベント入力によるGTCCRBインプットキャプチャを禁止 1: ELCAイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b17	BSELCB	ELCBイベント要因GTCCRBインプットキャプチャ許可ビット	0: ELCBイベント入力によるGTCCRBインプットキャプチャを禁止 1: ELCBイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b18	BSELCC	ELCCイベント要因GTCCRBインプットキャプチャ許可ビット	0: ELCCイベント入力によるGTCCRBインプットキャプチャを禁止 1: ELCCイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b19	BSELCD	ELCDイベント要因GTCCRBインプットキャプチャ許可ビット	0: ELCDイベント入力によるGTCCRBインプットキャプチャを禁止 1: ELCDイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b20	BSELCE	ELCEイベント要因GTCCRBインプットキャプチャ許可ビット	0: ELCEイベント入力によるGTCCRBインプットキャプチャを禁止 1: ELCEイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b21	BSELCF	ELCFイベント要因GTCCRBインプットキャプチャ許可ビット	0: ELCFイベント入力によるGTCCRBインプットキャプチャを禁止 1: ELCFイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)
b22	BSELCG	ELCGイベント要因GTCCRBインプットキャプチャ許可ビット	0: ELCGイベント入力によるGTCCRBインプットキャプチャを禁止 1: ELCGイベント入力によるGTCCRBインプットキャプチャを許可	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b23	BSELCH	ELCHイベント要因GTCCRBイン プットキャプチャ許可ビット	0: ELCHイベント入力によるGTCCRBインプットキャ プチャを禁止 1: ELCHイベント入力によるGTCCRBインプットキャ プチャを許可	R/W (注1)
b24	BSOC	他チャンネル要因GTCCRBインプット キャプチャ許可ビット	0: 他チャンネル要因によるGTCCRBインプットキャ プチャを禁止 1: 他チャンネル要因によるGTCCRBインプットキャ プチャを許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ~ 7

注1. 相補PWMモード時は、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込めます。

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGA/GTETRGB/GTETRGC/GTETRGD 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

BSOC ビット (他チャンネル要因 GTCCRB インプットキャプチャ許可ビット)

他チャンネルの GTICCR レジスタで設定したチャンネル間連携によるインプットキャプチャを要因とする GTCCRB レジスタへのインプットキャプチャの許可/禁止を選択します。

本ビットで許可した他チャンネル要因のインプットキャプチャは、GTICCR.ICAFB、ICBFB ビットで設定する他チャンネルのインプットキャプチャ要因の対象にはなりません。

22.2.12 汎用PWMタイマ制御レジスタ(GTCR)

- GPTW0.GTCR, GPTW1.GTCR, GPTW2.GTCR

アドレス GPTW0.GTCR 000C 202Ch, GPTW1.GTCR 000C 212Ch, GPTW2.GTCR 000C 222Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CKEG[1:0]			TPCS[3:0]			—	—	—			MD[3:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCEN	—	—	—	SSCGRP[1:0]	SCGTIOC	ICDS	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタートビット	0: カウント停止 1: カウント動作	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ICDS	カウント停止時インプットキャプチャ動作選択ビット	0: カウント停止時にインプットキャプチャ動作する 1: カウント停止時にインプットキャプチャ動作しない	R/W
b9	SCGTIOC	GTIOC入力要因同期クリア許可ビット	0: GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用禁止 1: GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用許可	R/W
b11-b10	SSCGRP[1:0]	同期セット/クリアグループ選択ビット	b11 b10 0 0: 同期セット/クリアグループAを選択 0 1: 同期セット/クリアグループBを選択 1 0: 同期セット/クリアグループCを選択 1 1: 同期セット/クリアグループDを選択	R/W (注1)
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSCEN	同期セット/リセット許可ビット	0: GTCNTカウンタの同期セット/同期クリアを禁止 1: GTCNTカウンタの同期セット/同期クリアを許可	R/W (注1)
b19-b16	MD[3:0]	モード選択ビット	b19 b16 0 0 0 0: のこぎり波PWMモード1 (シングル/ダブルバッファ可能) 0 0 0 1: のこぎり波ワンショットパルスモード (バッファ動作固定) 0 0 1 0: のこぎり波PWMモード2 (シングル/ダブルバッファ可能) 0 0 1 1: 設定しないでください 0 1 0 0: 三角波PWMモード1(谷32ビット転送) (シングル/ダブルバッファ可能) 0 1 0 1: 三角波PWMモード2(山/谷32ビット転送) (シングル/ダブルバッファ可能) 0 1 1 0: 三角波PWMモード3(谷64ビット転送) (バッファ動作固定) 0 1 1 1: 設定しないでください 1 0 0 0: 設定しないでください 1 0 0 1: 設定しないでください 1 0 1 0: 設定しないでください 1 0 1 1: 設定しないでください 1 1 0 0: 相補PWMモード1(山転送) 1 1 0 1: 相補PWMモード2(谷転送) 1 1 1 0: 相補PWMモード3(山/谷転送) 1 1 1 1: 相補PWMモード4(即時転送)	R/W (注1)
b22-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b23	TPCS[3:0]	タイマプリスケアラ選択ビット	b26 b23 0 0 0 0 : PCLKA 0 0 0 1 : PCLKA/2 0 0 1 0 : PCLKA/4 0 0 1 1 : PCLKA/8 0 1 0 0 : PCLKA/16 0 1 0 1 : PCLKA/32 0 1 1 0 : PCLKA/64 0 1 1 1 : PCLKA/128 1 0 0 0 : PCLKA/256 1 0 0 1 : PCLKA/512 1 0 1 0 : PCLKA/1024 1 0 1 1 : 設定しないでください 1 1 0 0 : GTETRGA (POEG経由) 1 1 0 1 : GTETRGB (POEG経由) 1 1 1 0 : GTETRGC (POEG経由) 1 1 1 1 : GTETRGD (POEG経由)	R/W (注1)
b28-b27	CKEG[1:0]	クロックエッジ選択ビット	b28 b27 0 0 : GTETRГの立ち上がりエッジでカウント 0 1 : GTETRГの立ち下がりエッジでカウント 1 0 : GTETRГの両エッジでカウント 1 1 : GTETRГの両エッジでカウント	R/W (注1)
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 相補PWMモード時は、マスタチャネル/スレーブチャネル1/スレーブチャネル2のどのレジスタに書き込んでも、3つのチャネルに同時に書き込めます。

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット (カウントスタートビット)

GTCNT カウンタの動作 / 停止を制御します。

["1"になる条件]

- GTSSR.CSTRT ビットが“1”の状態、GTSTR レジスタのチャンネル番号に対応するビットに“1”を書いたとき
- GTSSR レジスタでカウントスタート要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA, GTIOCnB 端子入力 (n = 0 ~ 2) 条件が発生したとき
- ソフトウェアで直接“1”を書いたとき

["0"になる条件]

- GTPSR.CSTOP ビットが“1”の状態、GTSTP レジスタのチャンネル番号に対応するビットに“1”を書いたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA, GTIOCnB 端子入力条件が発生したとき
- ソフトウェアで直接“0”を書いたとき

ICDS ビット (カウント停止時インプットキャプチャ動作選択ビット)

インプットキャプチャ機能を選択している場合のカウント停止時のインプットキャプチャ動作を選択します。

SCGTIOC ビット (GTIOC 入力要因同期クリア許可ビット)

GTCSR レジスタで選択された GTIOCnA/GTIOCnB 端子を要因とする他チャンネルのクリア要因として使用することの許可 / 禁止を選択します。

SSCGRP[1:0] ビット (同期セット/クリアグループ選択ビット)

同期セット/クリアを行うチャンネルのグループを選択します。

SSCEN ビット (同期セット/リセット許可ビット)

同期セット/クリアの許可/禁止を選択します。

相補 PWM モード時は、マスタチャンネルの SSCEN ビットの設定でスレーブチャンネルも制御します。

MD[3:0] ビット (モード選択ビット)

GPTW の動作モードを選択します。

相補 PWM モード時は、マスタチャンネルの MD[3:0] ビットの設定でスレーブチャンネルも制御します。

インプットキャプチャ時は、MD[3:2] ビットだけが有効です。MD[3:2] ビットが、“00b” の場合はのこぎり波のカウントを行い、“01b” の場合は三角波のカウントを行います。

MD[3:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

イベントカウント動作時 (GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合) は、MD[3:0] ビットは初期値 (“0000b”) にしてください。

TPCS[3:0] ビット (タイマプリスケアラ選択ビット)

GTCNT カウンタのクロックを選択します。各チャンネル独立にクロックソースを選択することができます。

TPCS[3:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

TPCS[3:0] ビットで GTETRГ 入力を選択した場合に、GTCNT カウンタのクロックとして用いる GTETRГ のエッジを選択します。

CKEG[1:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

• GPTW3.GTCR, GPTW4.GTCR, GPTW5.GTCR, GPTW6.GTCR, GPTW7.GTCR

アドレス GPTW3.GTCR 000C 232Ch, GPTW4.GTCR 000C 242Ch, GPTW5.GTCR 000C 252Ch, GPTW6.GTCR 000C 262Ch, GPTW7.GTCR 000C 272Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CKEG[1:0]			TPCS[3:0]			—	—	—	—		MD[2:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCEN	—	—	—	SSCGRP[1:0]	SCGTIOC	ICDS	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタートビット	0 : カウント停止 1 : カウント動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ICDS	カウント停止時インプットキャプチャ動作選択ビット	0 : カウント停止時にインプットキャプチャ動作する 1 : カウント停止時にインプットキャプチャ動作しない	R/W
b9	SCGTIOC	GTIOC入力要因同期クリア許可ビット	0 : GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用禁止 1 : GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用許可	R/W
b11-b10	SSCGRP[1:0]	同期セット/クリアグループ選択ビット	b11 b10 0 0 : 同期セット/クリアグループAを選択 0 1 : 同期セット/クリアグループBを選択 1 0 : 同期セット/クリアグループCを選択 1 1 : 同期セット/クリアグループDを選択	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSCEN	同期セット/リセット許可ビット	0 : GTCNTカウンタの同期セット/同期クリアを禁止 1 : GTCNTカウンタの同期セット/同期クリアを許可	R/W
b18-b16	MD[2:0]	モード選択ビット	b18 b16 0 0 0 : のこぎり波PWMモード(シングル/ダブルバッファ可能) 0 0 1 : のこぎり波ワンショットパルスモード(バッファ動作固定) 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 三角波PWMモード1(谷32ビット転送)(シングル/ダブルバッファ可能) 1 0 1 : 三角波PWMモード2(山/谷32ビット転送)(シングル/ダブルバッファ可能) 1 1 0 : 三角波PWMモード3(谷64ビット転送)(バッファ動作固定) 1 1 1 : 設定しないでください	R/W
b22-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b23	TPCS[3:0]	タイマプリスケラ選択ビット	b26 b23 0 0 0 0 : PCLKA 0 0 0 1 : PCLKA/2 0 0 1 0 : PCLKA/4 0 0 1 1 : PCLKA/8 0 1 0 0 : PCLKA/16 0 1 0 1 : PCLKA/32 0 1 1 0 : PCLKA/64 0 1 1 1 : PCLKA/128 1 0 0 0 : PCLKA/256 1 0 0 1 : PCLKA/512 1 0 1 0 : PCLKA/1024 1 0 1 1 : 設定しないでください 1 1 0 0 : GTETRGA (POEG経由) 1 1 0 1 : GTETRGB (POEG経由) 1 1 1 0 : GTETRGC (POEG経由) 1 1 1 1 : GTETRGD (POEG経由)	R/W
b28-b27	CKEG[1:0]	クロックエッジ選択ビット	b28 b27 0 0 : GTETRГの立ち上がりエッジでカウント 0 1 : GTETRГの立ち下がりエッジでカウント 1 0 : GTETRГの両エッジでカウント 1 1 : GTETRГの両エッジでカウント	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット (カウントスタートビット)

GTCNT カウンタの動作 / 停止を制御します。

[“1”になる条件]

- GTSSR.CSTRT ビットが“1”の状態、GTSTR レジスタのチャンネル番号に対応するビットに“1”を書いたとき
- GTSSR レジスタでカウントスタート要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA, GTIOCnB 端子入力 (n = 3 ~ 7) 条件が発生したとき
- ソフトウェアで直接“1”を書いたとき

[“0”になる条件]

- GTPSR.CSTOP ビットが“1”の状態、GTSTP レジスタのチャンネル番号に対応するビットに“1”を書いたとき
- GTPSR レジスタでカウントストップ要因として許可された ELC イベント入力、外部トリガもしくは GTIOCnA, GTIOCnB 端子入力条件が発生したとき
- ソフトウェアで直接“0”を書いたとき

ICDS ビット (カウント停止時インプットキャプチャ動作選択ビット)

インプットキャプチャ機能を選択している場合のカウント停止時のインプットキャプチャ動作を選択します。

SCGTIOC ビット (GTIOC 入力要因同期クリア許可ビット)

GTCSR レジスタで選択された GTIOCnA/GTIOCnB 端子を要因とする他チャンネルのクリア要因として使用することの許可 / 禁止を選択します。

SSCGRP[1:0] ビット (同期セット / クリアグループ選択ビット)

同期セット / クリアを行うチャンネルのグループを選択します。

SSCEN ビット (同期セット/リセット許可ビット)

同期セット/クリアの許可/禁止を選択します。

相補 PWM モード時は、マスタチャネルの SSCEN ビットの設定でスレーブチャネルも制御します。

MD[2:0] ビット (モード選択ビット)

GPTW の動作モードを選択します。

インプットキャプチャ時は、MD[2] ビットだけが有効です。MD[2] ビットが、“0” の場合はのこぎり波のカウンタを行い、“1” の場合は三角波のカウンタを行います。

MD[2:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

イベントカウンタ動作時 (GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが“1” の状態の場合) は、MD[2:0] ビットは初期値 (“000b”) にしてください。

TPCS[3:0] ビット (タイマプリスケール選択ビット)

GTCNT カウンタのクロックを選択します。各チャネル独立にクロックソースを選択することができます。

TPCS[3:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

TPCS[3:0] ビットで GTETRГ 入力を選択した場合に、GTCNT カウンタのクロックとして用いる GTETRГ のエッジを選択します。

CKEG[1:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

22.2.13 汎用 PWM タイマカウンタ方向、デューティ設定レジスタ (GTUDDTYC)

アドレス GPTW0.GTUDDTYC 000C 2030h, GPTW1.GTUDDTYC 000C 2130h, GPTW2.GTUDDTYC 000C 2230h, GPTW3.GTUDDTYC 000C 2330h, GPTW4.GTUDDTYC 000C 2430h, GPTW5.GTUDDTYC 000C 2530h, GPTW6.GTUDDTYC 000C 2630h, GPTW7.GTUDDTYC 000C 2730h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]	—	—	—	—	OADTYR	OADTYF	OADTY[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウンタ方向設定ビット	0 : GTCNTカウンタはダウンカウンタ 1 : GTCNTカウンタはアップカウンタ	R/W
b1	UDF	カウンタ方向強制設定ビット	0 : カウンタ方向を強制設定しない 1 : カウンタ方向を強制設定する	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	OADTY[1:0]	GTIOCnA 端子出力デューティ設定ビット	b17b16 0 x : コンペアマッチでGTIOCnA端子出力のデューティが決まる 1 0 : GTIOCnA 端子出力のデューティ 0% 1 1 : GTIOCnA 端子出力のデューティ 100%	R/W
b18	OADTYF	GTIOCnA 端子出力デューティ強制設定ビット	0 : GTIOCnA 端子出力デューティを強制設定しない 1 : GTIOCnA 端子出力デューティを強制設定する	R/W
b19	OADTYR	GTIOCnA 端子出力0%/100%デューティ設定解除後出力	0 : 0%/100% デューティ設定解除後にデューティ設定されていた出力値に対してGTIOA[3:2]ビットの機能を適用する 1 : 0%/100% デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOA[3:2]ビットの機能を適用する	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	OBDTY[1:0]	GTIOCnB 端子出力デューティ設定ビット	b25b24 0 x : コンペアマッチでGTIOCnB端子出力のデューティが決まる 1 0 : GTIOCnB 端子出力のデューティ 0% 1 1 : GTIOCnB 端子出力のデューティ 100%	R/W
b26	OBDTYF	GTIOCnB 端子出力デューティ強制設定ビット	0 : GTIOCnB 端子出力デューティを強制設定しない 1 : GTIOCnB 端子出力デューティを強制設定する	R/W
b27	OBDTYR	GTIOCnB 端子出力0%/100%デューティ設定解除後出力	0 : 0%/100% デューティ設定解除後にデューティ設定されていた出力値に対してGTIOB[3:2]ビットの機能を適用する 1 : 0%/100% デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOB[3:2]ビットの機能を適用する	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ~ 7

GTUDDTYC レジスタは、GTCNT カウンタのカウンタ方向 (アップカウンタ / ダウンカウンタ) を設定、GTIOCnA, GTIOCnB 端子出力のデューティ設定を行うレジスタです。

イベントカウンタ動作時、のこぎり波 PWM モード 2 動作時、相補 PWM モード動作時は無効です。

(1) カウント方向設定

• のこぎり波の場合

アップカウント動作中にUDビットを“0”にした場合、オーバフロー(GTCNTカウンタ値がGTPRレジスタ状態でのカウントクロック)時にカウント方向が切り替わります。

ダウンカウント動作中にUDビットを“1”にした場合、アンダフロー(GTCNTカウンタ値が“0000 0000h”状態でのカウントクロック)時にカウント方向が切り替わります。

カウントストップ中にUDFビットが“0”の状態にUDビットを“1”から“0”に変更した場合、最初のカウント動作はアップカウントとなり、オーバフロー(GTCNTカウンタ値がGTPRレジスタ状態でのカウントクロック)時にカウント方向が切り替わります。

カウントストップ中にUDFビットが“0”の状態にUDビットを“0”から“1”に変更した場合、最初のカウント動作はダウンカウントとなり、アンダフロー(GTCNTカウンタ値が“0000 0000h”状態でのカウントクロック)時にカウント方向が切り替わります。

カウントストップ中にUDFビットを“1”にすると、そのときのUDビットの値がカウントスタート時のカウント方向に反映されます。

• 三角波の場合

カウント中にUDビット値を変化させてもカウント方向には反映されません。

カウントストップ中にUDFビットが“0”の状態にUDビットの値を変化させても、カウントスタート後のカウント方向には反映されません。

カウントストップ中にUDFビットを“1”にすると、そのときのUDビットの値がカウントスタート時のカウント方向に反映されます。

UDビット(カウント方向設定ビット)

GTCNTカウンタのカウント方向(アップ/ダウン)を設定します。

UDFビット(カウント方向強制設定ビット)

GTCNTカウンタのスタート時のカウント方向を強制的にUDビットの値に設定します。

カウント中の書き込みは“0”としてください。

カウントストップ中に“1”を書いた場合、カウントスタートまでに“0”に戻してください。

(2) 出力デューティ設定

• のこぎり波の場合

アップカウント動作中にOADTY[1:0]/OBDTY[1:0]ビットを変更した場合、オーバフロー時に変更したデューティ設定が反映されます。

ダウンカウント動作中にOADTY[1:0]/OBDTY[1:0]ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中にOADTYF/OBDTYFビットが“0”の状態に、OADTY[1:0]/OBDTY[1:0]ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アップカウントの場合はオーバフロー時に、ダウンカウントの場合はアンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中にOADTYF/OBDTYFビットが“1”の状態に、OADTY[1:0]/OBDTY[1:0]ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

• 三角波の場合

カウント動作中にOADTY[1:0]/OBDTY[1:0]ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中にOADTYF/OBDTYFビットが“0”の状態に、OADTY[1:0]/OBDTY[1:0]ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アンダフロー時に変更した

デューティ設定が反映されます。

カウントストップ中に OADTYF/OBDTYF ビットが“1”の状態、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

のこぎり波の場合でも三角波の場合でも、カウントストップ中に OADTYF/OBDTYF ビットを“1”にして、カウントスタート後の最初の周期のデューティを OADTY[1:0]/OBDTY[1:0] ビットで設定すると、OADTYF/OBDTYF ビットを“0”にして、OADTY[1:0]/OBDTY[1:0] ビットを再設定しても、カウントスタートすると最初の周期と次の周期のデューティはカウントストップ中に設定した OADTY[1:0]/OBDTY[1:0] ビットのデューティ設定となります。

OmDTY[1:0] ビット (GTIOCnm 端子出力デューティ設定ビット) (n = 0 ~ 7, m = A, B)

GTIOCnm 端子からの出力のデューティ (0%/100%/コンペアマッチによる制御) を設定します。

OmDTYF ビット (GTIOCnm 端子出力デューティ強制設定ビット) (n = 0 ~ 7, m = A, B)

GTCNT カウンタ動作開始時のデューティを強制的に OmDTY[1:0] ビットに設定します。

カウント動作中の書き込みは常に“0”としてください。

カウント動作停止中に“1”を書いた場合、カウントスタート後の最初の周期の終わりまでに“0”に戻して、次の周期の設定をしてください。

OmDTYR ビット (GTIOCnm 端子出力 0%/100% デューティ設定解除後出力ビット) (n = 0 ~ 7, m = A, B)

GTIOCnm 端子に対して 0%/100% デューティ設定からコンペアマッチによる制御に変更し、GTIOR.GTIOm[3:2] ビットが“00b”で周期の終わりで出力保持、または“11b”で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を選択します。

デューティ 0%/100% 設定の動作中、GPTW 内部ではコンペアマッチ動作は継続しています。OmDTYR ビットが“1”の場合、このコンペアマッチ動作による周期の終わりでの値を GTIOm[3:2] ビットの対象とします。

22.2.14 汎用PWMタイマ I/O 制御レジスタ (GTIOR)

アドレス GPTW0.GTIOR 000C 2034h, GPTW1.GTIOR 000C 2134h, GPTW2.GTIOR 000C 2234h, GPTW3.GTIOR 000C 2334h, GPTW4.GTIOR 000C 2434h, GPTW5.GTIOR 000C 2534h, GPTW6.GTIOR 000C 2634h, GPTW7.GTIOR 000C 2734h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
NFC SB[1:0]		NFBEN	—	OBE O CD	OBD F[1:0]		OBE	OBHLD	OBD F L T	—	GTIO B[4:0]				
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
NFC SA[1:0]		NFAEN	PSYE	OAE O CD	OAE D F[1:0]		OAE	OAHL D	OAE D F L T	CPSC I R	GTIO A[4:0]				
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOcNA 端子機能選択ビット	表 22.4、表 22.5 を参照してください。	R/W
b5	CPSCIR	相補PWMモード同期クリア初期出力抑止ビット(注1)	0: 相補PWMモードの谷での同期クリア発生時、GTIOA[4:0]、GTIOB[4:0]ビットで設定した初期出力値を出力 1: 初期出力を抑制する	R/W
b6	OADFLT	GTIOcNA 端子カウントストップ時の出力値ビット	0: カウントストップ時にGTIOcNA端子からLowを出力 1: カウントストップ時にGTIOcNA端子からHighを出力	R/W
b7	OAHL D	GTIOcNA 端子カウントスタート/ストップ時の出力保持ビット	0: カウントスタート/ストップ時のGTIOcNA端子の出力レベルは、レジスタ設定値に従う 1: カウントスタート/ストップ時にGTIOcNA端子の出力レベルを保持する	R/W
b8	OAE	GTIOcNA 端子出力カインープルビット	0: 端子出力しない 1: 端子出力する	R/W
b10-b9	OAE D F[1:0]	GTIOcNA 端子ネゲート値設定ビット	b10 b9 0 0: 下記要因を設定しない 0 1: 出力ネゲート制御時にGTIOcNA端子を“Hi-Z”にする 1 0: 出力ネゲート制御時にGTIOcNA端子を“Low”にする 1 1: 出力ネゲート制御時にGTIOcNA端子を“High”にする	R/W
b11	OAE O CD	GTCCRA レジスタコンペアマッチ時周期の終わり出力設定無効ビット(注1)	0: GTIOA[3:0]ビットの設定有効 1: GTIOA[3:0]ビットの設定無効(GTIOcNA端子出力保持)	R/W
b12	PSYE	PWM周期同期出力許可ビット(注2)	0: GTCPP00出力端子からの出力を禁止 1: GTCPP00出力端子からの出力を許可	R/W
b13	NFAEN	GTIOcNA 端子入力ノイズフィルタインープルビット	0: GTIOcNA端子入力のノイズフィルタを禁止 1: GTIOcNA端子入力のノイズフィルタを許可	R/W
b15-b14	NFC SA[1:0]	GTIOcNA 端子入力ノイズフィルタサンプリングクロック選択ビット	b15b14 0 0: PCLKA 0 1: PCLKA/4 1 0: PCLKA/16 1 1: PCLKA/64	R/W
b20-b16	GTIOB[4:0]	GTIOcNB 端子機能選択ビット	表 22.4 を参照してください。	R/W
b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22	OBD F L T	GTIOcNB 端子カウントストップ時の出力値ビット	0: カウントストップ時にGTIOcNB端子からLowを出力 1: カウントストップ時にGTIOcNB端子からHighを出力	R/W
b23	OBHL D	GTIOcNB 端子カウントスタート/ストップ時の出力保持ビット	0: カウントスタート/ストップ時のGTIOcNB端子の出力レベルは、レジスタ設定値に従う 1: カウントスタート/ストップ時にGTIOcNB端子の出力レベルを保持する	R/W
b24	OBE	GTIOcNB 端子出力カインープルビット	0: 端子出力しない 1: 端子出力する	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b25	OBDF[1:0]	GTIOCnB 端子ネゲート値設定ビット	b26b25 0 0 : 下記要因を設定しない 0 1 : 出力ネゲート制御時にGTIOCnB 端子を“Hi-Z”にする 1 0 : 出力ネゲート制御時にGTIOCnB 端子を“Low”にする 1 1 : 出力ネゲート制御時にGTIOCnB 端子を“High”にする	R/W
b27	OBEOCD	GTCCRB レジスタコンペアマッチ時周期の終わり出力設定無効ビット(注1)	<ul style="list-style-type: none"> のこぎり波PWMモード1の場合 0 : GTIOB[3:2] ビットの設定有効 1 : GTIOB[3:2] ビットの設定無効(GTIOCnB 端子出力保持) のこぎり波PWMモード2の場合 0 : GTIOA[3:2] ビットの設定有効 1 : GTIOA[3:2] ビットの設定無効(GTIOCnA 端子出力保持) 	R/W
b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29	NFBEN	GTIOCnB 端子入力ノイズフィルタイネーブルビット	0 : GTIOCnB 端子入力のノイズフィルタを禁止 1 : GTIOCnB 端子入力のノイズフィルタを許可	R/W
b31-b30	NFCSB[1:0]	GTIOCnB 端子入力ノイズフィルタサンプリングクロック選択ビット	b31b30 0 0 : PCLKA 0 1 : PCLKA/4 1 0 : PCLKA/16 1 1 : PCLKA/64	R/W

n = 0 ~ 7

注1. GPTW3~GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. GPTW1~GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTIOR レジスタは、GTIOCnA、GTIOCnB、GTCPP00 端子の機能を設定するレジスタです。

GTIOA[4:0] ビット (GTIOCnA 端子機能選択ビット) (n = 0 ~ 7)

GTIOCnA 端子の機能を選択します。詳細は、表 22.4 を参照してください。

CPSCIR ビット (相補 PWM モード同期クリア初期出力抑止ビット)

相補 PWM モードで同期クリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、CPSCIR ビットの設定によらず、GTIOA[4] / GTIOB[4] ビットで設定した初期値を出力します。また、カウントスタート直後の谷で同期クリアが発生した場合も、GTIOA[4] / GTIOB[4] ビットで設定した初期値を出力します。

OADFLT ビット (GTIOCnA 端子カウントストップ時の出力値ビット) (n = 0 ~ 7)

カウントストップ時に、GTIOCnA 端子から Low を出力するか、High を出力するかを設定します。

OAHLN ビット (GTIOCnA 端子カウントスタート/ストップ時の出力保持ビット) (n = 0 ~ 7)

カウントスタート/ストップ時に、GTIOCnA 端子の出力レベルを保持するか、レジスタ設定に従うかを設定します。

[OAHLN ビットを“0”にした場合]

- カウントスタート時に、GTIOA[4:0] ビットのビット 4 で指定した値を出力する。
- カウントストップ時に、OADFLT ビットで指定した値を出力する。
- カウントストップ中に、OADFLT ビットの値を変更した場合は、ただちに出力に反映されます。

[OAHLN ビットを“1”にした場合]

- カウントスタート/ストップ時に、出力を保持します。

OAE ビット (GTIOCnA 端子出力イネーブルビット) (n = 0 ~ 7)

GTIOCnA 端子出力をする / しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくとも

もひとつのビットが“1”の場合)は、OAEビットの設定に関わらず GTIOCnA 端子出力を行いません。

OADF[1:0] ビット (GTIOCnA 端子ネゲート値設定ビット) (n = 0 ~ 7)

POEG からの出力停止要求によって GTIOCnA 端子から出力する値を選択します。

OAE OCD ビット (GTCCRA レジスタコンペアマッチ時周期の終わり出力設定無効ビット)

のこぎり波 PWM モード 1、2 で周期の終わり と GTCCRA レジスタのコンペアマッチのタイミングが一致する場合、GTIOA[3:2] ビットの設定の無効/有効を選択します。“1”(無効)を設定すると周期の終わり と GTCCRA レジスタのコンペアマッチのタイミングが一致する場合、GTIOCnm 端子は出力を保持します。

PSYE ビット (PWM 周期同期出力許可ビット)

相補 PWM モードと三角波の山/谷/GTCNT カウンタクリア、のこぎり波の周期の終わりでトグルする PWM 周期に同期した信号 GTCPP00 出力端子から出力の許可/禁止を設定します。

GTCPP00 出力端子の初期出力は Low、カウントスタートによって High になります。

NFAEN ビット (GTIOCnA 端子入力ノイズフィルタイネーブルビット) (n = 0 ~ 7)

GTIOCnA 端子の入力のノイズフィルタ機能の許可/停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCSA[1:0] ビット (GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択ビット) (n = 0 ~ 7)

GTIOCnA 端子の入力に対するノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

GTIOB[4:0] ビット (GTIOCnB 端子機能選択ビット) (n = 0 ~ 7)

GTIOCnA 端子の機能を選択します。詳細は、表 22.4 を参照してください。

のこぎり波 PWM モード 2 の場合、GTIOB[1:0] ビットのみが有効となり、GTCCRB レジスタのコンペアマッチにより、GTIOCnB 端子ではなく GTIOCnA 端子の出力を選択します。

OBDFLT ビット (GTIOCnB 端子カウントストップ時の出力値ビット) (n = 0 ~ 7)

カウントストップ時に、GTIOCnB 端子から Low を出力するか、High を出力するかを設定します。

OBHLD ビット (GTIOCnB 端子カウントスタート/ストップ時の出力保持ビット) (n = 0 ~ 7)

カウントスタート/ストップ時に、GTIOCnB 端子の出力レベルを保持するか、レジスタ設定に従うかを設定します。

[OBHLD ビットを“0”にした場合]

- カウントスタート時に、GTIOB[4:0] ビットのビット 4 で指定した値を出力する。
- カウントストップ時に、OBDFLT ビットで指定した値を出力する。
- カウントストップ中に、OBDFLT ビットの値を変更した場合は、ただちに出力に反映されます。

[OBHLD ビットを“1”にした場合]

- カウントスタート/ストップ時に、出力を保持します。

OBE ビット (GTIOCnB 端子出力イネーブルビット) (n = 0 ~ 7)

GTIOCnB 端子出力をする/しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICBSR レジスタの少なくとも

もひとつのビットが“1”の場合)は、OBE ビットの設定に関わらず GTIOCnB 端子出力を行いません。

OBDF[1:0] ビット (GTIOCnB 端子ネゲート値設定ビット) (n = 0 ~ 7)

POEG からの出力停止要求によって GTIOCnB 端子から出力する値を選択します。

OBEOCD ビット (GTCCRB レジスタコンペアマッチ時周期の終わり出力設定無効ビット)

のこぎり波 PWM モード 1、2 で周期の終わりと GTCCRB レジスタのコンペアマッチのタイミングが一致する場合、のこぎり波 PWM モード 1 では GTIOB[3:2] ビット、のこぎり波 PWM モード 2 では GTIOA[3:2] ビットの設定の無効/有効を選択します。“1”(無効)を設定すると周期の終わりと GTCCRB レジスタのコンペアマッチのタイミングが一致する場合、のこぎり波 PWM モード 1 では GTIOCnB 端子は出力を保持し、のこぎり波 PWM モード 2 では GTIOCnA 端子が出力を保持します。

NFBEN ビット (GTIOCnB 端子入力ノイズフィルタイネーブルビット) (n = 0 ~ 7)

GTIOCnB 端子の入力のノイズフィルタ機能の許可/停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCSB[1:0] ビット (GTIOCnB 端子入力ノイズフィルタサンプリングクロック選択ビット) (n = 0 ~ 7)

GTIOCnB 端子の入力に対するノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

表 22.4 GTIOA[4:0] (GTIOB[4:0]) ビットの設定(のこぎり波、三角波の場合) (1/2)

GTIOA[4:0] (GTIOB[4:0]) ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	0	0	0	初期出力 Low	周期の終わりで出力保持	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチで Low 出力
0	0	0	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力
0	0	0	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチで トグル出力
0	0	1	0	0	周期の終わりで Low 出力	周期の終わりで Low 出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチで Low 出力
0	0	1	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力
0	0	1	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチで トグル出力
0	1	0	0	0	周期の終わりで High 出力	周期の終わりで High 出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチで Low 出力
0	1	0	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力
0	1	0	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチで トグル出力

表22.4 GTIOA[4:0] (GTIOB[4:0])ビットの設定(のこぎり波、三角波の場合) (2/2)

GTIOA[4:0] (GTIOB[4:0])ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	1	1	0	0	初期出力Low	周期の終わりでトグル出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	0	0	0	0	初期出力High	周期の終わりで出力保持	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	0	0	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	0	0	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	0	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	0	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	1	0	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	1	0	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRBレジスタのコンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRBレジスタのコンペアマッチでLow出力
1	1	1	1	0			GTCCRA/GTCCRBレジスタのコンペアマッチでHigh出力
1	1	1	1	1			GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力

- 注. 周期の終わりとは、のこぎり波のときはオーバフロー（アップカウント時にGTCNTカウンタ値がGTPRレジスタ値から“0”になる）、アンダフロー（ダウンカウント時にGTCNTカウンタ値が“0”からGTPRレジスタ値になる）、GTCNTカウンタクリアを、三角波のときは谷（GTCNTカウンタ値が“0”から“1”になる）を示します。
- 注. コンペアマッチ動作時、周期の終わりとGTCCRA/GTCCRBレジスタのコンペアマッチのタイミングが一致する場合、のこぎり波PWMモードではOAECD、OBEOCDビットが“0”となって周期に終わり出力が許可されていると、b3-b2の設定が優先され、それ以外のモードではb1-b0の設定が優先されます。
- 注. イベントカウント動作時（GTUPSRレジスタまたはGTDNSRレジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合）、b3-b2の設定は無効です（GPTW3～GPTW7）。
- 注. のこぎり波PWMモード2の場合、GTIOB[4:2]ビットは無効です。出力端子はGTIOCnA端子のみとなるので、初期出力はGTIOA[4]ビットに設定してください。周期の終わりは、GTIOA[3:2]ビットに設定してください。

表22.5 GTIOA[4:0] (GTIOB[4:0])ビットの設定(相補PWMモードの場合)

GTIOA[4:0] (GTIOB[4:0])ビット					機能		
					初期出力 アクティブレベル	アップカウント時の コンパマッチ出力	ダウンカウント時の コンパマッチ出力
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	1	1	0	初期出力 : Low アクティブレベル : High	Low出力	High出力
0	1	0	0	1		High出力	Low出力
1	0	1	1	0	初期出力 : High アクティブレベル : Low	Low出力	High出力
1	1	0	0	1		High出力	Low出力

- 注. 相補PWMモードでは、GTIOA[4:0]ビットに設定可能な値は、“01001b”、“10110b”です。他の値の設定は禁止です。
- 注. 相補PWMモードでは、GTIOB[4:0]ビットに設定可能な値は、“00110b”、“11001b”です。他の値の設定は禁止です。
- 注. 相補PWMモードでは、GTIOB[4:0]ビットの設定はGTCCRレジスタのコンペアマッチを用いませぬ。コンペアマッチの対象となるカウンタとレジスタの組み合わせは、相補PWMモードの動作の動作区間によって異なります。詳細は、「(7) 相補PWMモード1、2、3」を参照してください。

22.2.15 汎用PWMタイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPTW0.GTINTAD 000C 2038h, GPTW1.GTINTAD 000C 2138h, GPTW2.GTINTAD 000C 2238h, GPTW3.GTINTAD 000C 2338h, GPTW4.GTINTAD 000C 2438h, GPTW5.GTINTAD 000C 2538h, GPTW6.GTINTAD 000C 2638h, GPTW7.GTINTAD 000C 2738h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPAH	—	—	—	GRP[1:0]	—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCFPU	SCFPO	SCFF	SCFE	SCFD	SCFC	SCFB	SCFA	GTINTPR[1:0]	GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GTINTA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b1	GTINTB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b2	GTINTC	GTCCRCレジスタコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b3	GTINTD	GTCCRDレジスタコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b4	GTINTE	GTCCREレジスタコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b5	GTINTF	GTCCRFレジスタコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b7-b6	GTINTPR[1:0]	GTIPRレジスタコンペアマッチ割り込み許可ビット	b7 b6 0 0: 割り込み要求を禁止 0 1: のこぎり波のときにオーバーフロー、三角波のときに(山)で割り込み要求を許可 1 0: のこぎり波のときにアンダフロー、三角波のときに(谷)で割り込み要求を許可 1 1: のこぎり波のときにオーバーフロー/アンダフロー両方、三角波のときに(山/谷)両方で割り込み要求を許可	R/W
b8	SCFA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ要因同期クリア許可ビット	0: GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用禁止 1: GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用許可	R/W
b9	SCFB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ要因同時クリア許可ビット	0: GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用禁止 1: GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用許可	R/W
b10	SCFC	GTCCRCレジスタコンペアマッチ要因同時クリア許可ビット	0: GTCCRCレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1: GTCCRCレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W
b11	SCFD	GTCCRDレジスタコンペアマッチ要因同時クリア許可ビット	0: GTCCRDレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1: GTCCRDレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W

ビット	シンボル	ビット名	機能	R/W
b12	SCFE	GTCCREレジスタコンペアマッチ要因同時クリア許可ビット	0: GTCCREレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1: GTCCREレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W
b13	SCFF	GTCCRFレジスタコンペアマッチ要因同時クリア許可ビット	0: GTCCRFレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1: GTCCRFレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W
b14	SCFPO	オーバフロー要因同時クリア許可ビット	0: オーバフローを他チャネルのクリア要因に使用禁止 1: オーバフローを他チャネルのクリア要因に使用許可	R/W
b15	SCFPU	アンダフロー要因同時クリア許可ビット	0: アンダフローを他チャネルのクリア要因に使用禁止 1: アンダフローを他チャネルのクリア要因に使用許可	R/W
b16	ADTRAUEN	GTADTRAレジスタコンペアマッチ(アップカウント)A/D変換開始要求許可ビット(注1)	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b17	ADRADEN	GTADTRAレジスタコンペアマッチ(ダウンカウント)A/D変換開始要求許可ビット(注1)	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b18	ADTRBUEN	GTADTRBレジスタコンペアマッチ(アップカウント)A/D変換開始要求許可ビット(注1)	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b19	ADTRBDEN	GTADTRBレジスタコンペアマッチ(ダウンカウント)A/D変換開始要求許可ビット(注1)	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	GRP[1:0]	出力停止グループ選択ビット	b25b24 0 0: グループAを選択 0 1: グループBを選択 1 0: グループCを選択 1 1: グループDを選択	R/W
b28-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29	GRPABH	同時High出力停止検出許可ビット	0: 同時High出力停止検出を禁止 1: 同時High出力停止検出を許可	R/W
b30	GRPABL	同時Low出力停止検出許可ビット	0: 同時Low出力停止検出を禁止 1: 同時Low出力停止検出を許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. GPTW3～GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTINTADレジスタは、割り込み要求、A/D変換開始要求、および出力停止検出の許可/禁止を設定するレジスタです。

GTINTA ビット (GTCCRA レジスタコンペアマッチ/インプットキャプチャ要因同期クリア許可ビット)

GTCCRAレジスタのコンペアマッチ/インプットキャプチャによる割り込み要求(GTCIA)を許可/禁止します。

GTINTB ビット (GTCCRB レジスタコンペアマッチ/インプットキャプチャ要因同時クリア許可ビット)

GTCCRBレジスタのコンペアマッチ/インプットキャプチャによる割り込み要求(GTCIB)を許可/禁止します。

GTINTC ビット (GTCCRC レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRCレジスタのコンペアマッチによる割り込み要求(GTCIC)を許可/禁止します。

GTINTD ビット (GTCCRD レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRD レジスタのコンペアマッチによる割り込み要求 (GTCID) を許可 / 禁止します。

GTINTE ビット (GTCCRE レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRE レジスタのコンペアマッチによる割り込み要求 (GTCIE) を許可 / 禁止します。

GTINTF ビット (GTCCRF レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRF レジスタのコンペアマッチによる割り込み要求 (GTCIF) を許可 / 禁止します。

GTINTPR[1:0] ビット (GTPR レジスタコンペアマッチ割り込み許可ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー)/GTCNT カウンタのアンダフローによる割り込み要求 (GTCIV/GTCIU) を許可 / 禁止します。

SCFA ビット (GTCCRA レジスタコンペアマッチ / インพุットキャプチャ要因同期クリア許可ビット)

GTCCRA レジスタのコンペアマッチ / インพุットキャプチャを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

SCFB ビット (GTCCRB レジスタコンペアマッチ / インพุットキャプチャ要因同時クリア許可ビット)

GTCCRB レジスタのコンペアマッチ / インพุットキャプチャを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFC ビット (GTCCRC レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRC レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFD ビット (GTCCRD レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRD レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFE ビット (GTCCRE レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRE レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFF ビット (GTCCRF レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRF レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

相補 PWM モードでは無効です。

SCFPO ビット (オーバフロー要因同時クリア許可ビット)

オーバフローを他チャネルの同期クリア要因とすることを許可 / 禁止を選択します。

相補 PWM モードではマスタチャネルのみ有効です。

SCFPU ビット (アンダフロー要因同時クリア許可ビット)

アンダフローを他チャネルの同期クリア要因とすることを許可 / 禁止を選択します。

相補 PWM モードではマスタチャネルのみ有効です。

ADTRAUEN ビット (GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

ADTRADEN ビット (GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

ADTRBUEN ビット (GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

ADTRBDEN ビット (GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

GRP[1:0] ビット (出力停止グループ選択ビット)

GPTW から POEG に出力する出力停止検出と POEG から GPTW に入力する出力停止要求のグループを選択します。

POEG に出力する同時 High 出力、同時 Low 出力の各停止検出は、それぞれの出力停止検出許可ビットが“1”のとき、GRP[1:0] ビットで選択されたグループに出力されます。

GRP[1:0] ビットで選択されたグループの POEG からの出力停止要求は、GTST.ODF フラグでモニタすることができます。

GRP[1:0] ビットの設定は、GTIOR.OAE ビットと GTIOR.OBE ビットがともに“0”の状態で行ってください。

GRPABH ビット (同時 High 出力停止検出許可ビット)

GTIOCnA 端子と GTIOCnB 端子が同時に High になったときの出力停止検出を許可 / 禁止します。

GRPABL ビット (同時 Low 出力停止検出許可ビット)

GTIOCnA 端子と GTIOCnB 端子が同時に Low になったときの出力停止検出を許可 / 禁止します。

22.2.16 汎用PWMタイマステータスレジスタ (GTST)

アドレス GPTW0.GTST 000C 203Ch, GPTW1.GTST 000C 213Ch, GPTW2.GTST 000C 223Ch, GPTW3.GTST 000C 233Ch, GPTW4.GTST 000C 243Ch, GPTW5.GTST 000C 253Ch, GPTW6.GTST 000C 263Ch, GPTW7.GTST 000C 273Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	ADTRB DF	ADTRB UF	ADTRA DF	ADTRA UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	ITCNT[2:0]	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	コンペアマッチ/インプットキャプチャフラグA	0: GTCCRAレジスタコンペアマッチ/インプットキャプチャの発生なし 1: GTCCRAレジスタコンペアマッチ/インプットキャプチャの発生あり	R/(W) (注1)
b1	TCFB	コンペアマッチ/インプットキャプチャフラグB	0: GTCCRBレジスタコンペアマッチ/インプットキャプチャの発生なし 1: GTCCRBレジスタコンペアマッチ/インプットキャプチャの発生あり	R/(W) (注1)
b2	TCFC	コンペアマッチフラグC	0: GTCCRCレジスタコンペアマッチの発生なし 1: GTCCRCレジスタコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	コンペアマッチフラグD	0: GTCCRDレジスタコンペアマッチの発生なし 1: GTCCRDレジスタコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	コンペアマッチフラグE	0: GTCCREレジスタコンペアマッチの発生なし 1: GTCCREレジスタコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	コンペアマッチフラグF	0: GTCCRFレジスタコンペアマッチの発生なし 1: GTCCRFレジスタコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバフローフラグ	0: オーバフロー、または(山)の発生なし 1: オーバフロー、または(山)の発生あり	R/(W) (注1)
b7	TCFPU	アンダフローフラグ	0: アンダフロー、または(谷)の発生なし 1: アンダフロー、または(谷)の発生あり	R/(W) (注1)
b10-b8	ITCNT[2:0]	GTCIV/GTCIU 割り込み間引き回数カウンタ(注2)	タイマ割り込み間引き回数カウンタ	R
b14-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	TUCF	カウント方向フラグ	0: GTCNTカウンタはダウンカウント 1: GTCNTカウンタはアップカウント	R
b16	ADTRAUF	GTADTRAレジスタコンペアマッチ(アップカウント) A/D変換開始要求フラグ(注2)	0: アップカウントでのGTADTRAレジスタのコンペアマッチの発生なし 1: アップカウントでのGTADTRAレジスタのコンペアマッチの発生あり	R/(W) (注1)
b17	ADTRADF	GTADTRAレジスタコンペアマッチ(ダウンカウント) A/D変換開始要求フラグ(注2)	0: ダウンカウントでのGTADTRAレジスタのコンペアマッチの発生なし 1: ダウンカウントでのGTADTRAレジスタのコンペアマッチの発生あり	R/(W) (注1)
b18	ADTRBUF	GTADTRBレジスタコンペアマッチ(アップカウント) A/D変換開始要求フラグ(注2)	0: アップカウントでのGTADTRBレジスタのコンペアマッチの発生なし 1: アップカウントでのGTADTRBレジスタのコンペアマッチの発生あり	R/(W) (注1)
b19	ADTRBDF	GTADTRBレジスタコンペアマッチ(ダウンカウント) A/D変換開始要求フラグ(注2)	0: ダウンカウントでのGTADTRBレジスタのコンペアマッチの発生なし 1: ダウンカウントでのGTADTRBレジスタのコンペアマッチの発生あり	R/(W) (注1)
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b24	ODF	出力停止要求フラグ	0 : 出力停止要求なし 1 : 出力停止要求あり	R
b28-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29	OABHF	同時High出力フラグ	0 : GTIOCnA端子とGTIOCnB端子の同時“1”発生なし 1 : GTIOCnA端子とGTIOCnB端子の同時“1”発生あり	R
b30	OABLF	同時Low出力フラグ	0 : GTIOCnA端子とGTIOCnB端子の同時“0”発生なし 1 : GTIOCnA端子とGTIOCnB端子の同時“0”発生あり	R
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ~ 7

注1. フラグをクリアするための“0”書き込みのみ可能です。ADTRAUFL, ADTRADFL, ADTRBUFL フラグまたはADTRBDFL フラグをクリアする場合は、クリアしたいフラグにのみ“0”を、クリアしたくないフラグには“1”を書き込んでください。

注2. GPTW3~GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTST レジスタは、GPTW の状態を示します。

TCFA フラグ (コンペアマッチ/インプットキャプチャフラグ A)

GTCCRA レジスタのコンペアマッチ/インプットキャプチャの発生を示すステータスフラグです。

[“1”になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT = GTCCRA になったとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき

[“0”になる条件]

- TCFA フラグに“0”を書いたとき

TCFB フラグ (コンペアマッチ/インプットキャプチャフラグ B)

GTCCRB レジスタのコンペアマッチ/インプットキャプチャの発生を示すステータスフラグです。

[“1”になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT = GTCCRB になったとき
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[“0”になる条件]

- TCFB フラグに“0”を書いたとき

TCFC フラグ (コンペアマッチフラグ C)

GTCCRC レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRC レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1”になる条件]

- GTCNT = GTCCRC になったとき

[“0”になる条件]

- TCFC フラグに“0”を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンパルスショットモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b, 10b, 11b (GTCCRC レジスタがバッファ動作)

TCFD フラグ (コンペアマッチフラグ D)

GTCCRD レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRD レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1”になる条件]

- GTCNT = GTCCRD になったとき

[“0”になる条件]

- TCFD フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンパルスショットモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b, 11b (GTCCRD レジスタがバッファ動作)

TCFE フラグ (コンペアマッチフラグ E)

GTCCRE レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRE レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1”になる条件]

- GTCNT = GTCCRE になったとき

[“0”になる条件]

- TCFE フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンパルスショットモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 01b, 10b, 11b (GTCCRE レジスタがバッファ動作)

TCFF フラグ (コンペアマッチフラグ F)

GTCCRF レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRF レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1”になる条件]

- GTCNT = GTCCRF になったとき

[“0”になる条件]

- TCFF フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンパルスショットモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 10b, 11b (GTCCRF レジスタがバッファ動作)

TCFPO フラグ (オーバフローフラグ)

オーバフロー、または山の発生を示すフラグです。

[“1”になる条件]

- のこぎり波の場合、オーバフロー(アップカウント動作中に GTCNT カウンタが GTPR レジスタの値から “0” になる)が発生
- 三角波の場合、山 (GTCNT カウンタが GTPR レジスタの値から GTPR レジスタ -1 になる)が発生
- ハードウェア要因にカウント動作の場合、オーバフロー(アップカウント動作によって GTCNT カウンタ

が GTPR レジスタの値から “0” になる) が発生
[“0” になる条件]

- TCFPO フラグに “0” を書いたとき

TCFPU フラグ (アンダフローフラグ)

アンダフロー、または谷の発生を示すフラグです。

[“1” になる条件]

- のこぎり波の場合、アンダフロー(ダウンカウント動作中に GTCNT カウンタが “0” から GTPR レジスタの値になる) が発生
- 三角波の場合、山 (GTCNT カウンタが “0” から “1” になる) が発生
- ハードウェア要因にカウント動作の場合、アンダフロー(ダウンカウント動作によって GTCNT カウンタが “0” から GTPR レジスタの値になる) が発生

[“0” になる条件]

- TCFPU フラグに “0” を書いたとき

ITCNT[2:0] ビット (GTCIV/GTCIU 割り込み間引き回数カウンタ)

GTCIV/GTCIU 割り込み間引き機能を使用時 (GTITC.IVTC[1:0] ビットを “00b” 以外に設定時)、IVTC[1:0] ビットで選択された GTCIV/GTCIU 割り込み要因が発生するごとに 1 カウントアップします。

[“0” になる条件]

- GTCIV/GTCIU 割り込み間引き機能を未使用時 (IVTC[1:0] ビットが “00b” のとき、GTITC.IVTT[2:0] ビットが “000b” のとき)
- GTCIV/GTCIU 割り込み間引き回数が一致したとき (IVTT[2:0] ビットで設定した間引き回数と ITCNT[2:0] ビット値が一致したとき)
- カウント動作停止中

TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示すフラグです。

イベントカウント動作時は、アップカウントすると “1”、ダウンカウントすると “0” になります。

ADTRAUF フラグ (GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求フラグ)

アップカウントでの GTADTRA レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]

- アップカウントで GTCNT カウンタ = GTADTRA レジスタになったとき

[“0” になる条件]

- ADTRAUF フラグに “0” を書いたとき

ADTRADF フラグ (GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求フラグ)

ダウンカウントでの GTADTRA レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]

- ダウンカウントで GTCNT カウンタ = GTADTRA レジスタになったとき

[“0” になる条件]

- ADTRADF フラグに “0” を書いたとき

ADTRBUF フラグ (GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求フラグ)

アップカウントでの GTADTRB レジスタのコンペアマッチの発生を示すステータスフラグです。

["1"になる条件]

- アップカウントで GTCNT カウンタ = GTADTRB レジスタになったとき

["0"になる条件]

- ADTRBUF フラグに "0" を書いたとき

ADTRBDF フラグ (GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求フラグ)

ダウンカウントでの GTADTRB レジスタのコンペアマッチの発生を示すステータスフラグです。

["1"になる条件]

- ダウンカウントで GTCNT カウンタ = GTADTRB レジスタになったとき

["0"になる条件]

- ADTRBDF フラグに "0" を書いたとき

ODF フラグ (出力停止要求フラグ)

GTINTAD.GRP[1:0] ビットで選択したグループの出力停止要求をモニタします。

出力停止要求が行われた後に要求が解除されても、PWM 端子のネゲート制御の解除は、PWM 周期の終わりまで待たされます。

OABHF フラグ (同時 High 出力フラグ)

GTIOCnA 端子と GTIOCnB 端子が同時に "1" を出力していることを示すフラグです。

GTIOCnA 端子と GTIOCnB 端子のどちらか一方が "0" になると "0" に戻ります。

OABHF フラグは読み出しのみ可能です。("0" 書き込みよって "0" にすることはできません)

OABHF フラグによる出力停止検出を許可している (GTINTAD.GRPABH ビット = 1) 場合、OABHF フラグを POEG に出力停止検出として出力します。なお、GPTW での同時 High 出力の割り込みはありません。割り込みを行いたい場合は、POEG 側の割り込みを利用してください。

["1"になる条件]

- GTIOR.OAE ビットと GTIOR.OBE ビットの両方が "1" の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に "1" を出力しているとき

["0"になる条件]

- OAE ビットと OBE ビットの両方が "1" の状態で、GTIOCnA 端子と GTIOCnB 端子が異なる値を出力しているとき
- OAE ビットと OBE ビットの両方が "1" の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に "0" を出力しているとき
- OAE ビットまたは OBE ビットの少なくとも一方が "0" のとき

OABLF フラグ (同時 Low 出力フラグ)

GTIOCnA 端子と GTIOCnB 端子が同時に "0" を出力していることを示すフラグです。

GTIOCnA 端子と GTIOCnB 端子のどちらか一方が "1" になると "0" に戻ります。

OABLF フラグは読み出しのみ可能です。("0" 書き込みよって "0" にすることはできません)

OABLF フラグによる出力停止検出を許可している (GTINTAD.GRPABL ビット = 1) 場合、OABLF フラグを POEG に出力停止検出として出力します。なお、GPTW での同時 Low 出力の割り込みはありません。割り込みを行いたい場合は、POEG 側の割り込みを利用してください。

["1"になる条件]

- OAE ビットと OBE ビットの両方が "1" の状態で、GTIOCnA 端子と GTIOCnB 端子が同時に "0" を出力して

いるとき

["0"になる条件]

- OAEビットとOBEビットの両方が“1”の状態、GTIOCnA端子とGTIOCnB端子が異なる値を出力しているとき
- OAEビットとOBEビットの両方が“1”の状態、GTIOCnA端子とGTIOCnB端子が同時に“1”を出力しているとき
- OAEビットまたはOBEビットの少なくとも一方が“0”のとき

OABHF/OABLFフラグを生成するための出力値の比較は、コンペアマッチ出力(PWM出力)が、出力ネゲート機能によってマスクされる前の値です。出力ネゲート状態でも、内部ではコンペアマッチ動作は継続しており、その結果の値に従ってOABHF/OABLFフラグは更新されます。

22.2.17 汎用PWMタイマバッファイネーブルレジスタ (GTBER)

アドレス GPTW0.GTBER 000C 2040h, GPTW1.GTBER 000C 2140h, GPTW2.GTBER 000C 2240h,
GPTW3.GTBER 000C 2340h, GPTW4.GTBER 000C 2440h, GPTW5.GTBER 000C 2540h,
GPTW6.GTBER 000C 2640h, GPTW7.GTBER 000C 2740h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	ADTDB	ADTTB[1:0]	—	ADTDA	ADTTA[1:0]	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	BD[2]	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRA/GTCCRBレジスタのバッファ動作禁止ビット	0 : バッファ動作許可 1 : バッファ動作禁止	R/W
b1	BD[1]	GTPRレジスタのバッファ動作禁止ビット		R/W (注1)
b2	BD[2]	GTADTRA/GTADTRBレジスタのバッファ動作禁止ビット(注2)		R/W
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	CCRA[1:0]	GTCCRAレジスタのバッファ動作ビット	b17b16 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRAレジスタ⇔GTCCRCレジスタ) 1 x : ダブルバッファとして動作する (GTCCRAレジスタ⇔GTCCRCレジスタ⇔GTCCRDレジスタ)	R/W
b19-b18	CCRB[1:0]	GTCCRBレジスタのバッファ動作ビット	b19b18 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRBレジスタ⇔GTCCREレジスタ) 1 x : ダブルバッファとして動作する (GTCCRBレジスタ⇔GTCCREレジスタ⇔GTCCRFレジスタ)	R/W
b21-b20	PR[1:0]	GTPRレジスタのバッファ動作ビット(注3)	b21b20 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTPBRレジスタ⇒GTPRレジスタ) 1 x : ダブルバッファとして動作する (GTPDBRレジスタ⇒GTPBRレジスタ⇒GTPRレジスタ)	R/W
b22	CCRSWT	GTCCRA/GTCCRBレジスタの強制バッファ動作ビット	“1”を書くとGTCCRA, GTCCRBレジスタのバッファ転送を強制的に行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	ADTTA[1:0]	GTADTRAレジスタのバッファ転送タイミング選択ビット(注2)	<ul style="list-style-type: none"> 三角波、相補PWMモードの場合 b25b24 0 0 : 転送しない 0 1 : (山)で転送 1 0 : (谷)で転送 1 1 : (谷/山)両方で転送 <ul style="list-style-type: none"> のこぎり波の場合 b25b24 0 0 : 転送しない 0 0以外 : アンダフロー(ダウンカウント時)、オーバフロー(アップカウント時)、カウンタクリアで転送	R/W

ビット	シンボル	ビット名	機能	R/W
b26	ADTDA	GTADTRAレジスタのダブルバッファ動作ビット(注2)	0: シングルバッファとして動作する (GTADTBRAレジスタ⇒GTADTRAレジスタ) 1: ダブルバッファとして動作する (GTADTBRAレジスタ⇒GTADTBRAレジスタ⇒GTADTRAレジスタ)	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29-b28	ADTTB[1:0]	GTADTRBレジスタのバッファ転送タイミング選択ビット(注2)	<ul style="list-style-type: none"> 三角波、相補PWMモードの場合 b29b28 00: 転送しない 01: (山)で転送 10: (谷)で転送 11: (谷/山)両方で転送 のこぎり波の場合 b29b28 00: 転送しない 00以外: アンダフロー(ダウンカウント時)、オーバフロー(アップカウント時)、カウンタクリアで転送 	R/W
b30	ADTDB	GTADTRBレジスタのダブルバッファ動作ビット(注2)	0: シングルバッファとして動作する (GTADTBRAレジスタ⇒GTADTRBレジスタ) 1: ダブルバッファとして動作する (GTADTBRAレジスタ⇒GTADTBRAレジスタ⇒GTADTRBレジスタ)	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 相補PWMモード時は、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込めます。

注2. GPTW3～GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注3. GPTW3～GPTW7はPR[0]のみあります。PR[1]は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTBER レジスタは、バッファ動作の設定を行うレジスタです。

BD[3:0] ビットを除く GTBER レジスタの設定は、GTCNT カウンタが停止した状態で行ってください。

BD[0] ビット (GTCCRA/GTCCRB レジスタのバッファ動作禁止ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTCCRB レジスタは、のこぎり波ワンショットパルスモードまたは三角波では、GTDTCR.TDE ビットが“1”の場合、BD[0] ビット=0 に設定しても、バッファ動作せず、デッドタイム付き逆相波形用のコンペアマッチ値が自動設定されます。

相補 PWM モードの場合、GTCCRC、GTCCRE レジスタのバッファ動作に対してのみ有効です。GTCCRA レジスタのバッファ動作は禁止できません。また、GTCCRB レジスタへのバッファ動作による転送は行われません。

GTSECR レジスタの SBDCE ビットまたは SBDCE ビットに“1”を書き込むことによって、GTSECSR レジスタで“1”となっているビット位置のチャンネルの BD[0] ビットに値を設定することができます。

BD[1] ビット (GTPR レジスタのバッファ動作禁止ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

GTSECR レジスタの SBDPE ビットまたは SBDPE ビットに“1”を書き込むことによって、GTSECSR レジスタで“1”となっているビット位置のチャンネルの BD[1] ビットに値を設定することができます。

相補 PWM モードでは、マスタチャンネルの GTCNT カウンタの BD[1] ビットの設定でスレーブチャンネルも制御します。

BD[2] ビット (GTADTRA/GTADTRB レジスタのバッファ動作禁止ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。

GTSECR レジスタの SBDAE ビットまたは SBDAD ビットに“1”を書き込むことによって、GTSECSR レジスタで“1”となっているビット位置のチャンネルの BD[2] ビットに値を設定することができます。

CCRA[1:0] ビット (GTCCRA レジスタのバッファ動作ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注1)

CCRB[1:0] ビット (GTCCRB レジスタのバッファ動作ビット)

GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注1)

PR[1:0] ビット (GTPR レジスタのバッファ動作ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を設定します。

相補 PWM モードでは無効です。PR[1:0] ビットの設定値に関わらず、相補 PWM モード固有のバッファ動作を行います。

CCRSWT ビット (GTCCRA/GTCCRB レジスタの強制バッファ動作ビット)

CCRSWT ビットに“1”を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。

カウントストップ中かつコンペアマッチ動作設定時のみ有効です。

相補 PWM モードでは無効です。

ADTTA[1:0] ビット (GTADTRA レジスタのバッファ転送タイミング選択ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

ADTDA ビット (GTADTRA レジスタのダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

ADTTB[1:0] ビット (GTADTRB レジスタのバッファ転送タイミング選択ビット)

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

ADTDB ビット (GTADTRB レジスタのダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

注1. のこぎり波ワンショットパルスモード、または三角波 PWM モード3 (谷 64 ビット転送) の場合、バッファ動作は固定となります。

22.2.18 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)

アドレス GPTW0.GTITC 000C 2044h, GPTW1.GTITC 000C 2144h, GPTW2.GTITC 000C 2244h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRCレジスタコンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRDレジスタコンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCREレジスタコンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRFレジスタコンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GTCIV/GTCIU 割り込み間引き機能選択ビット	b7 b6 0 0 : 間引きしない 0 1 : のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(山)をカウントして間引く 1 0 : のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷)をカウントして間引く 1 1 : のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷/山)両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GTCIV/GTCIU 割り込み間引き回数選択ビット	b10 b8 0 0 0 : 間引きしない 0 0 1 : 間引き回数: 1回 0 1 0 : 間引き回数: 2回 0 1 1 : 間引き回数: 3回 1 0 0 : 間引き回数: 4回 1 0 1 : 間引き回数: 5回 1 1 0 : 間引き回数: 6回 1 1 1 : 間引き回数: 7回	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADTAL	GTADTRAレジスタA/D変換開始要求連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	ADTBL	GTADTRBレジスタA/D変換開始要求連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b31-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTITC レジスタは、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ) 割り込み (GTCIV)/ アンダフロー割り込み (GTCIU) の間引き機能の設定と他の割り込み、および A/D 変換開始要求を GTCIV/GTCIU 割り込み間引き機能と連動するかどうかを設定するレジスタです。ただし、POEG への出力

停止検出は GTCIV/GTCIU 割り込み間引き機能と連動することはできません。なお、割り込み間引き機能を設定した場合、ステータスフラグの変化も間引かれます。

ITLA ビット (GTCCRA レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRA レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIA) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLB ビット (GTCCRB レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRB レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIB) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLC ビット (GTCCRC レジスタコンペアマッチ割り込み連動ビット)

GTCCRC レジスタのコンペアマッチ割り込み (GTCIC) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLD ビット (GTCCRD レジスタコンペアマッチ割り込み連動ビット)

GTCCRD レジスタのコンペアマッチ割り込み (GTCID) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLE ビット (GTCCRE レジスタコンペアマッチ割り込み連動ビット)

GTCCRE レジスタのコンペアマッチ割り込み (GTCIE) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLF ビット (GTCCRF レジスタコンペアマッチ割り込み連動ビット)

GTCCRF レジスタのコンペアマッチ割り込み (GTCIF) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

IVTC[1:0] ビット (GTCIV/GTCIU 割り込み間引き機能選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー) 割り込み (GTCIV)/GTCNT カウンタのアンダフロー割り込み (GTCIU) の間引き機能を選択します。

IVTT[2:0] ビット (GTCIV/GTCIU 割り込み間引き回数選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー) 割り込み (GTCIV)/GTCNT カウンタのアンダフロー割り込み (GTCIU) の間引き回数を選択します。

IVTT[2:0] ビットを変更する場合は、IVTC[1:0] ビットを“00b”にしてから行ってください。

ADTAL ビット (GTADTRA レジスタ A/D 変換開始要求連動ビット)

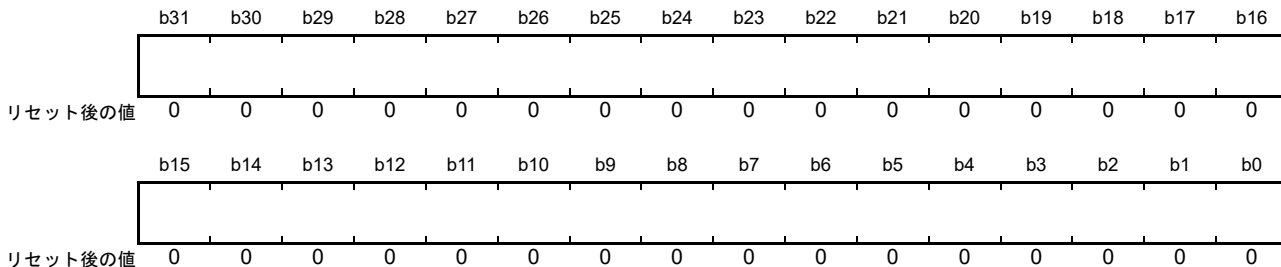
GTADTRA レジスタのコンペアマッチでの A/D 変換開始要求が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ADTBL ビット (GTADTRB レジスタ A/D 変換開始要求連動ビット)

GTADTRB レジスタのコンペアマッチでの A/D 変換開始要求が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

22.2.19 汎用 PWM タイマカウンタ (GTCNT)

アドレス GPTW0.GTCNT 000C 2048h, GPTW1.GTCNT 000C 2148h, GPTW2.GTCNT 000C 2248h,
 GPTW3.GTCNT 000C 2348h, GPTW4.GTCNT 000C 2448h, GPTW5.GTCNT 000C 2548h,
 GPTW6.GTCNT 000C 2648h, GPTW7.GTCNT 000C 2748h

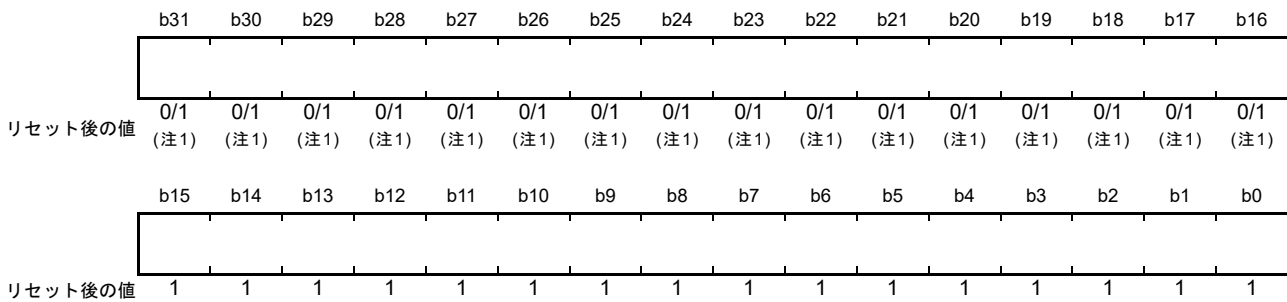


GTCNT カウンタは、32 ビットの読み書き可能なカウンタで、各チャンネルに 1 本ずつあります。カウント停止時のみ書き込み可能で、カウント中 (CST = 1 の時) の書き込みは無効です。GPTW0 ~ GPTW5 では、上位 16 ビットは予約ビットです。読むと “0” が読めます。GTCNT カウンタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GPTW0 ~ GPTW2 でのこぎり波および三角波を使用する場合、GTCNT カウンタは、 $0 \leq \text{GTCNT カウンタ} \leq \text{GTPR レジスタの範囲内}$ に設定してください。

22.2.20 汎用PWMタイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ~ F)

アドレス
 GPTW0.GTCCRA 000C 204Ch, GPTW1.GTCCRA 000C 214Ch, GPTW2.GTCCRA 000C 224Ch,
 GPTW3.GTCCRA 000C 234Ch, GPTW4.GTCCRA 000C 244Ch, GPTW5.GTCCRA 000C 254Ch,
 GPTW6.GTCCRA 000C 264Ch, GPTW7.GTCCRA 000C 274Ch,
 GPTW0.GTCCRB 000C 2050h, GPTW1.GTCCRB 000C 2150h, GPTW2.GTCCRB 000C 2250h,
 GPTW3.GTCCRB 000C 2350h, GPTW4.GTCCRB 000C 2450h, GPTW5.GTCCRB 000C 2550h,
 GPTW6.GTCCRB 000C 2650h, GPTW7.GTCCRB 000C 2750h,
 GPTW0.GTCCRC 000C 2054h, GPTW1.GTCCRC 000C 2154h, GPTW2.GTCCRC 000C 2254h,
 GPTW3.GTCCRC 000C 2354h, GPTW4.GTCCRC 000C 2454h, GPTW5.GTCCRC 000C 2554h,
 GPTW6.GTCCRC 000C 2654h, GPTW7.GTCCRC 000C 2754h,
 GPTW0.GTCCRE 000C 2058h, GPTW1.GTCCRE 000C 2158h, GPTW2.GTCCRE 000C 2258h,
 GPTW3.GTCCRE 000C 2358h, GPTW4.GTCCRE 000C 2458h, GPTW5.GTCCRE 000C 2558h,
 GPTW6.GTCCRE 000C 2658h, GPTW7.GTCCRE 000C 2758h,
 GPTW0.GTCCRD 000C 205Ch, GPTW1.GTCCRD 000C 215Ch, GPTW2.GTCCRD 000C 225Ch,
 GPTW3.GTCCRD 000C 235Ch, GPTW4.GTCCRD 000C 245Ch, GPTW5.GTCCRD 000C 255Ch,
 GPTW6.GTCCRD 000C 265Ch, GPTW7.GTCCRD 000C 275Ch,
 GPTW0.GTCCRF 000C 2060h, GPTW1.GTCCRF 000C 2160h, GPTW2.GTCCRF 000C 2260h,
 GPTW3.GTCCRF 000C 2360h, GPTW4.GTCCRF 000C 2460h, GPTW5.GTCCRF 000C 2560h,
 GPTW6.GTCCRF 000C 2660h, GPTW7.GTCCRF 000C 2760h



注 1. GPTW0 ~ GPTW5 は“0”、GPTW6、GPTW7 は“1”です。

GTCCRm レジスタは、32 ビットの読み書き可能なレジスタです。GPTW0 ~ GPTW5 では、上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTCCRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

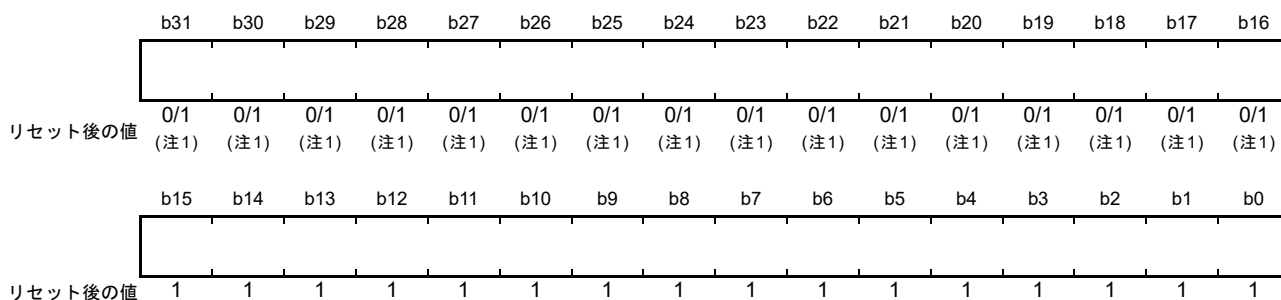
GTCCRA, GTCCRB レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

GTCCRC, GTCCRE レジスタはコンペアマッチレジスタですが、GTCCRA, GTCCRB レジスタのバッファレジスタとして動作させることもできます。

GTCCRD, GTCCRF レジスタはコンペアマッチレジスタですが、GTCCRC, GTCCRE レジスタのバッファレジスタ (GTCCRA, GTCCRB レジスタのダブルバッファレジスタ) として動作させることもできます。

22.2.21 汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス GPTW0.GTPR 000C 2064h, GPTW1.GTPR 000C 2164h, GPTW2.GTPR 000C 2264h, GPTW3.GTPR 000C 2364h,
GPTW4.GTPR 000C 2464h, GPTW5.GTPR 000C 2564h, GPTW6.GTPR 000C 2664h, GPTW7.GTPR 000C 2764h



注1. GPTW0～GPTW5は“0”、GPTW6、GPTW7は“1”です。

GTPR レジスタは、32 ビットの読み書き可能なレジスタで、GTCNT カウンタのカウンタ最大値を設定するレジスタです。GPTW0～GPTW5では、上位16ビットは予約ビットです。読むと“0”が読めます。

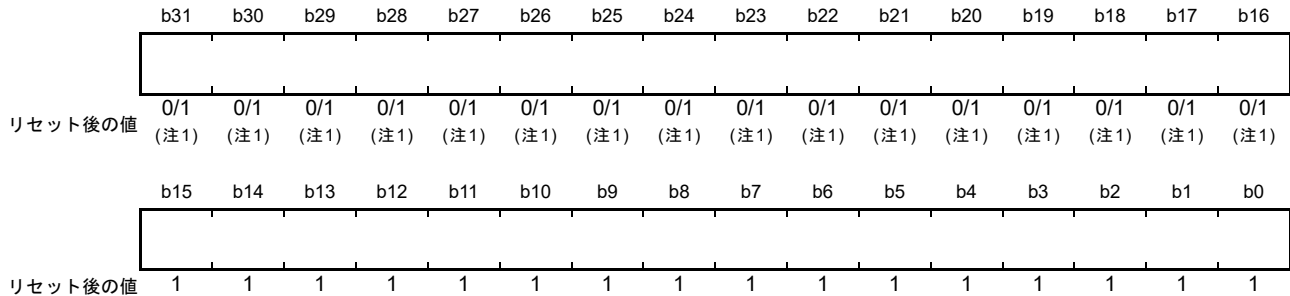
GTPR レジスタの8/16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

のこぎり波PWMモード2では無効です。のこぎり波PWMモード2以外ののこぎり波の場合は、GTPR レジスタ値+1がカウンタ周期になります。三角波、相補PWMモードの場合は、GTPR レジスタ値×2がカウンタ周期になります。

相補PWMモード時は、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込まれます。

22.2.22 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス GPTW0.GTPBR 000C 2068h, GPTW1.GTPBR 000C 2168h, GPTW2.GTPBR 000C 2268h,
GPTW3.GTPBR 000C 2368h, GPTW4.GTPBR 000C 2468h, GPTW5.GTPBR 000C 2568h,
GPTW6.GTPBR 000C 2668h, GPTW7.GTPBR 000C 2768h



注1. GPTW0～GPTW5は“0”、GPTW6、GPTW7は“1”です。

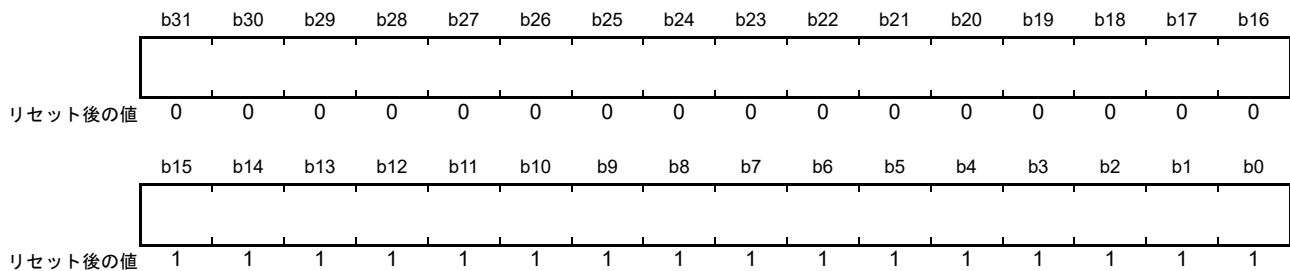
GTPBRレジスタは、32ビットの読み書き可能なレジスタで、GTPRレジスタのバッファレジスタとして動作します。GPTW0～GPTW5では、上位16ビットは予約ビットです。読むと“0”が読めます。

GTPBRレジスタの8/16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

のこぎり波PWMモード2では無効です。相補PWMモード時は、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込まれます。

22.2.23 汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)

アドレス GPTW0.GTPDBR 000C 206Ch, GPTW1.GTPDBR 000C 216Ch, GPTW2.GTPDBR 000C 226Ch



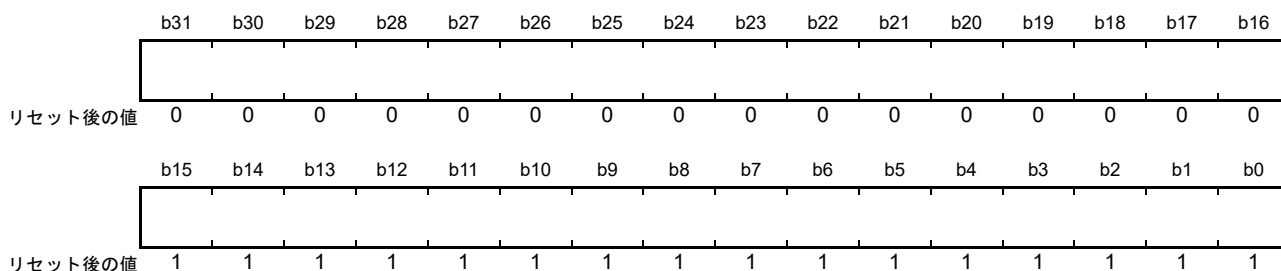
GTPDBRレジスタは、32ビットの読み書き可能なレジスタで、GTPBRレジスタのバッファレジスタ(GTPRレジスタのダブルバッファレジスタ)として動作します。上位16ビットは予約ビットです。読むと“0”が読めます。

GTPDBRレジスタの8/16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

のこぎり波PWMモード2では無効です。相補PWMモード時は、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込まれます。

22.2.24 A/D変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B)

アドレス GPTW0.GTADTRA 000C 2070h, GPTW1.GTADTRA 000C 2170h, GPTW2.GTADTRA 000C 2270h,
GPTW0.GTADTRB 000C 207Ch, GPTW1.GTADTRB 000C 217Ch, GPTW2.GTADTRB 000C 227Ch



GTADTRm レジスタは、32 ビットの読み書き可能なレジスタで、A/D 変換開始要求のタイミングを設定します。上位 16 ビットは予約ビットです。読むと“0”が読めます。

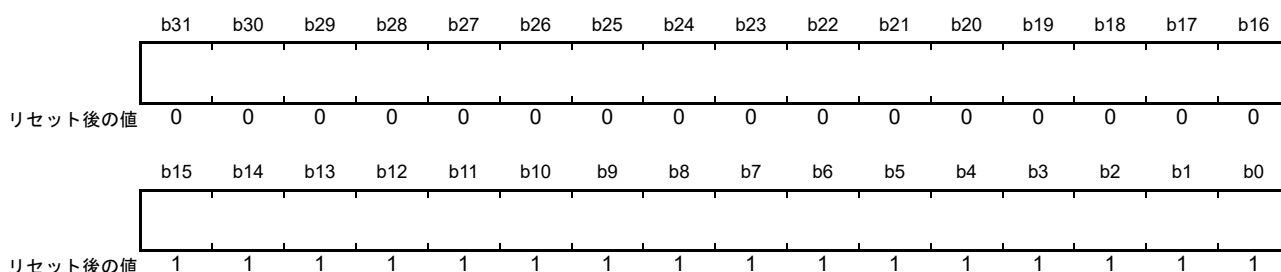
GTADTRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GTADTRm レジスタの値が GTCNT カウンタと一致したとき、A/D 変換開始要求を生成します。

相補 PWM モードで動作している場合は、マスタチャネルの GTCNT カウンタと一致したとき、A/D 変換開始要求を生成します。

22.2.25 A/D変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B)

アドレス GPTW0.GTADTBRA 000C 2074h, GPTW1.GTADTBRA 000C 2174h, GPTW2.GTADTBRA 000C 2274h,
GPTW0.GTADTBRB 000C 2080h, GPTW1.GTADTBRB 000C 2180h, GPTW2.GTADTBRB 000C 2280h

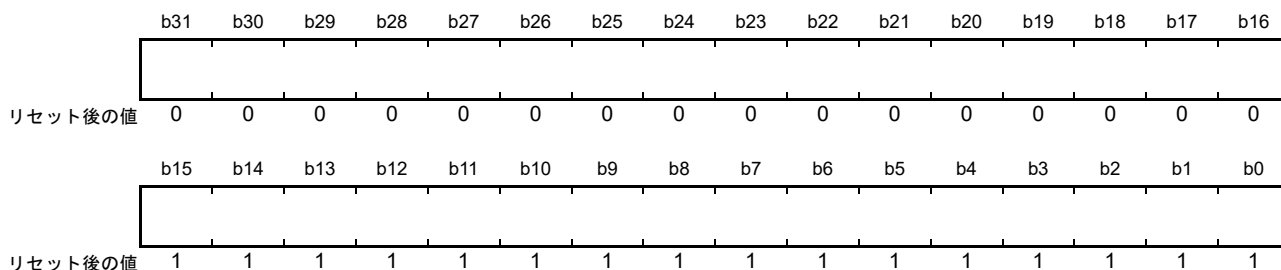


GTADTBRm レジスタは、32 ビットの読み書き可能なレジスタで、GTADTRm レジスタのバッファレジスタとして動作します。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTADTBRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

22.2.26 A/D変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B)

アドレス GPTW0.GTADTDBRA 000C 2078h, GPTW1.GTADTDBRA 000C 2178h, GPTW2.GTADTDBRA 000C 2278h,
GPTW0.GTADTDBRB 000C 2084h, GPTW1.GTADTDBRB 000C 2184h, GPTW2.GTADTDBRB 000C 2284h



GTADTDBRm レジスタは、32 ビットの読み書き可能なレジスタで、GTADTBRm レジスタのバッファレジスタ (GTADTRm レジスタのダブルバッファレジスタ) として動作します。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTADTDBRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

22.2.27 汎用PWMタイマデッドタイム制御レジスタ (GTDTCR)

アドレス GPTW0.GTDTCR 000C 2088h, GPTW1.GTDTCR 000C 2188h, GPTW2.GTDTCR 000C 2288h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定ビット	0: GTDVUレジスタを使用しないで、GTCCRBレジスタを個別に設定する 1: GTDVUレジスタを使用して、デッドタイム付き逆相波形用コンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形用コンペアマッチ値の自動設定を許可するレジスタです。

のこぎり波 PWM モード2 および相補 PWM モード時は無効です。

デッドタイムバッファ機能は使えません。デッドタイム値は GTDVU レジスタだけを uses。

TDE ビット (逆相波形設定ビット)

GTDVU レジスタを使用する / しないを設定します。GTDVU レジスタを使用する場合、正相波形用のコンペアマッチ値 (GTCCRA レジスタ) とデッドタイム値 (GTDVU レジスタ) から算出したデッドタイム付き逆相波形用コンペアマッチ値が、GTCCRB レジスタに自動設定されます。

のこぎり波 PWM モードでは TDE ビットの設定は無視され、GTCCRB レジスタの自動設定は行われません。

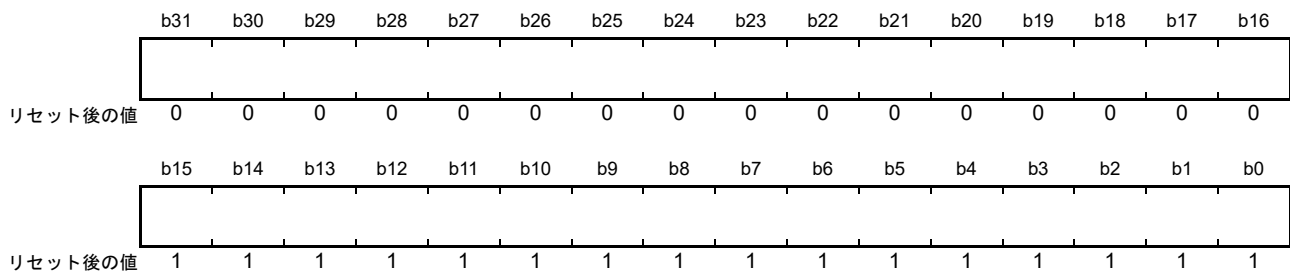
自動設定される GTCCRB レジスタの上限値 / 下限値は以下のようになります。

- 三角波 PWM モードの場合
上限値: GTPR レジスタの設定値 - 1
下限値: アップカウント時 “1”、ダウンカウント時 “0”
- のこぎり波ワンショットパルスモードの場合
上限値: GTPR レジスタの設定値
下限値: “0”

算出された GTCCRB レジスタ値が上限値 / 下限値の範囲外となる場合は、GTCCRB レジスタには上限値 / 下限値が設定されます。

22.2.28 汎用PWMタイマデッドタイム値レジスタU (GTDVU)

アドレス GPTW0.GTDVU 000C 208Ch, GPTW1.GTDVU 000C 218Ch, GPTW2.GTDVU 000C 228Ch



GTDVU レジスタは、32 ビットの読み書き可能なレジスタで、デッドタイム付きのPWM波形を生成するためのデッドタイムを設定するレジスタです。上位16ビットは予約ビットです。読むと“0”が読めます。

GTDVU レジスタの8/16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。のこぎり波PWMモード2では無効です。

相補PWMモードの場合、アップカウント時もダウンカウント時もGTDVUレジスタをデッドタイム値として用います。GTDVUレジスタは、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込まれます。

三角波の場合、GTDVUレジスタは、アップカウント用です。

GTDVUレジスタに、GTDVUレジスタ \geq GTPRレジスタとなる値の設定は禁止です。

相補PWMモードの場合、GTDVUレジスタは下記条件を満たすように設定してください。

- $GTDVU > 0$
- $GTDVU < GTPR / 2$
- $GTDVU + GTPR \leq FFFF\ FFFFh$

また、デッドタイム自動設定機能を使用する場合、波形の変化ポイントがカウント周期を超えるような設定をしないでください。GTCCRBレジスタを読むことで自動計算された逆相波形の変化ポイントがわかります。GTDVUレジスタを使用する場合はGTCCRBレジスタへの書き込みは禁止です。相補PWMモード以外では、値を“0”にすれば、デッドタイムなしの波形が出力されます。

22.2.29 汎用 PWM タイマ動作許可ビット同時制御チャンネル選択レジスタ (GTSECSR)

アドレス GPTW0.GTSECSR 000C 20D0h, GPTW1.GTSECSR 000C 21D0h, GPTW2.GTSECSR 000C 22D0h, GPTW3.GTSECSR 000C 23D0h, GPTW4.GTSECSR 000C 24D0h, GPTW5.GTSECSR 000C 25D0h, GPTW6.GTSECSR 000C 26D0h, GPTW7.GTSECSR 000C 27D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SECSE L7	SECSE L6	SECSE L5	SECSE L4	SECSE L3	SECSE L2	SECSE L1	SECSE L0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SECSEL0	チャンネル0動作許可ビット同時制御チャンネル選択ビット	0 : 同時制御禁止 1 : 同時制御許可	R/W
b1	SECSEL1	チャンネル1動作許可ビット同時制御チャンネル選択ビット		R/W
b2	SECSEL2	チャンネル2動作許可ビット同時制御チャンネル選択ビット		R/W
b3	SECSEL3	チャンネル3動作許可ビット同時制御チャンネル選択ビット		R/W
b4	SECSEL4	チャンネル4動作許可ビット同時制御チャンネル選択ビット		R/W
b5	SECSEL5	チャンネル5動作許可ビット同時制御チャンネル選択ビット		R/W
b6	SECSEL6	チャンネル6動作許可ビット同時制御チャンネル選択ビット		R/W
b7	SECSEL7	チャンネル7動作許可ビット同時制御チャンネル選択ビット		R/W
b31-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSECSR レジスタは、GTSECR レジスタによる動作許可ビットの更新の対象となるチャンネルを選択するレジスタです。

GTSECSR レジスタのビット位置がチャンネル番号を表します。各チャンネルの GTSECSR レジスタは、共通のレジスタであり、どのチャンネルの GTSECSR レジスタを更新しても、“1”を書き込んだビット位置のチャンネルが GTSECR レジスタによって動作許可ビットが同時制御される対象チャンネルとなります。

GTSECSR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SECSELn ビット (動作許可ビット同時制御チャンネル選択ビット) (n = 0 ~ 7)

チャンネル n の動作許可ビットの同時制御を許可 / 禁止します。

“1”の場合に同時制御を許可し、“0”の場合に禁止します。

22.2.30 汎用 PWM タイマ動作許可ビット同時制御レジスタ (GTSECR)

アドレス GPTW0.GTSECR 000C 20D4h, GPTW1.GTSECR 000C 21D4h, GPTW2.GTSECR 000C 22D4h,
GPTW3.GTSECR 000C 23D4h, GPTW4.GTSECR 000C 24D4h, GPTW5.GTSECR 000C 25D4h,
GPTW6.GTSECR 000C 26D4h, GPTW7.GTSECR 000C 27D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	SSCD	—	—	—	—	—	—	—	SSCE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SBDAD	SBDPD	SBDCE	—	—	—	—	—	SBDPE	SBDCE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SBDCE	GTCCRレジスタのバッファ動作同時許可ビット	0 : GTCCRレジスタのバッファ動作を同時許可しない 1 : GTCCRレジスタのバッファ動作を同時許可する	R/W
b1	SBDPE	GTPRレジスタのバッファ動作同時許可ビット	0 : GTPRレジスタのバッファ動作を同時許可しない 1 : GTPRレジスタのバッファ動作を同時許可する	R/W (注1)
b2	SBDAE	GTADTRレジスタのバッファ動作同時許可ビット(注2)	0 : GTADTRレジスタのバッファ動作を同時許可しない 1 : GTADTRレジスタのバッファ動作を同時許可する	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SBDCE	GTCCRレジスタのバッファ動作同時禁止ビット	0 : GTCCRレジスタのバッファ動作を同時禁止しない 1 : GTCCRレジスタのバッファ動作を同時禁止する	R/W
b9	SBDPD	GTPRレジスタのバッファ動作同時禁止ビット	0 : GTPRレジスタのバッファ動作を同時禁止しない 1 : GTPRレジスタのバッファ動作を同時禁止する	R/W (注1)
b10	SBDAD	GTADTRレジスタのバッファ動作同時禁止ビット(注2)	0 : GTADTRレジスタのバッファ動作を同時禁止しない 1 : GTADTRレジスタのバッファ動作を同時禁止する	R/W
b16-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17	SSCE	同期セット/クリア同時許可ビット	0 : 同期セット/クリア機能を同時許可しない 1 : 同期セット/クリア機能を同時許可する	R/W (注1)
b24-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25	SSCD	同期セット/クリア同時禁止ビット	0 : 同期セット/クリア機能を同時禁止しない 1 : 同期セット/クリア機能を同時禁止する	R/W (注1)
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 相補PWMモード時は、マスタチャンネル/スレーブチャンネル1/スレーブチャンネル2のどのレジスタに書き込んでも、3つのチャンネルに同時に書き込めます。

注2. GPTW3～GPTW7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

GTSECR レジスタは、GTSECSR レジスタによって設定されたチャンネルの動作許可ビットの値を同時に更新するレジスタです。

どのチャンネルの GTSECR レジスタを更新しても、GTSECSR レジスタで“1”となっているすべてのビット位置のチャンネルの動作許可ビットを同時に更新します。同じ動作許可ビットに対して、GTSECR レジスタの許可ビットと禁止ビットを同時に“1”にすることは禁止です。

“1”を書いたビットは、自動的に“0”に戻ります。GTSECR レジスタを読むと“0”が読めます。

GTSECR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SBDCE ビット (GTCCR レジスタのバッファ動作同時許可ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルの GTBER.BD[0] ビットに同時に“0”を設定し、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を許可します。

SBDCE ビットと SBDCD ビットに同時に“1”を設定することは禁止です。

SBDPE ビット (GTPR レジスタのバッファ動作同時許可ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルの GTBER.BD[1] ビットに同時に“0”を設定し、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を許可します。

SBDPE ビットと SBDPD ビットに同時に“1”を設定することは禁止です。

SBD AE ビット (GTADTR レジスタのバッファ動作同時許可ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルの GTBER.BD[2] ビットに同時に“0”を設定し、GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を許可します。

SBD AE ビットと SBDAD ビットに同時に“1”を設定することは禁止です。

SBDCD ビット (GTCCR レジスタのバッファ動作同時禁止ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルの GTBER.BD[0] ビットに同時に“1”を設定し、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

SBDCE ビットと SBDCD ビットに同時に“1”を設定することは禁止です。

SBDPD ビット (GTPR レジスタのバッファ動作同時禁止ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルの BD[1] ビットに同時に“1”を設定し、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

SBDPE ビットと SBDPD ビットに同時に“1”を設定することは禁止です。

SBDAD ビット (GTADTR レジスタのバッファ動作同時禁止ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルの BD[2] ビットに同時に“1”を設定し、GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。

SBD AE ビットと SBDAD ビットに同時に“1”を設定することは禁止です。

SSCE ビット (同期セット/クリア同時許可ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルの GTCR.SSCEN ビットに同時に“1”を設定し、同期セット/クリア機能を許可します。

SSCE ビットと SSCD ビットに同時に“1”を設定することは禁止です。

SSCD ビット (同期セット/クリア同時禁止ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルの GTCR.SSCEN ビットに同時に“0”を設定し、同期セット/クリア機能を禁止します。

SSCE ビットと SSCD ビットに同時に“1”を設定することは禁止です。

22.2.31 汎用PWMタイマチャンネル間連携インプットキャプチャ制御レジスタ (GTICCR)

アドレス GPTW0.GTICCR 000C 20ECh, GPTW1.GTICCR 000C 21ECh, GPTW2.GTICCR 000C 22ECh, GPTW3.GTICCR 000C 23ECh, GPTW4.GTICCR 000C 24ECh, GPTW5.GTICCR 000C 25ECh, GPTW6.GTICCR 000C 26ECh, GPTW7.GTICCR 000C 27ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ICBGRP[1:0]	—	—	—	—	—	—	ICBCLK	ICBFPU	ICBFPO	ICBFF	ICBFE	ICBFD	ICBFC	ICBFB	ICBFA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ICAGRP[1:0]	—	—	—	—	—	—	ICACK	ICAFP U	ICAFP O	ICAFF	ICAFE	ICAFD	IC AFC	ICAFB	IC AFA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IC AFA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ要因他チャンネルGTCCRAインプットキャプチャ許可ビット	0: GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1: GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b1	IC AFB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ要因他チャンネルGTCCRAインプットキャプチャ許可ビット	0: GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1: GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b2	IC AFC	GTCCRCレジスタコンペアマッチ要因他チャンネルGTCCRAインプットキャプチャ許可ビット	0: GTCCRCレジスタコンペアマッチを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1: GTCCRCレジスタコンペアマッチを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b3	IC AFD	GTCCRDレジスタコンペアマッチ要因他チャンネルGTCCRAインプットキャプチャ許可ビット	0: GTCCRDレジスタコンペアマッチを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1: GTCCRDレジスタコンペアマッチを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b4	IC AFE	GTCCREレジスタコンペアマッチ要因他チャンネルGTCCRAインプットキャプチャ許可ビット	0: GTCCREレジスタコンペアマッチを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1: GTCCREレジスタコンペアマッチを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b5	IC AFF	GTCCRFレジスタコンペアマッチ要因他チャンネルGTCCRAインプットキャプチャ許可ビット	0: GTCCRFレジスタコンペアマッチを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1: GTCCRFレジスタコンペアマッチを他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b6	IC AFPO	オーバフロー要因他チャンネルGTCCRAインプットキャプチャ許可ビット	0: のこぎり波の場合はオーバフロー、三角波と相補PWMモードの場合は山を他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1: のこぎり波の場合はオーバフロー、三角波と相補PWMモードの場合は山を他チャンネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W

ビット	シンボル	ビット名	機能	R/W
b7	ICAFPU	アンダフロー要因他チャンネルGTCCRAイン プットキャプチャ許可ビット	0: のこぎり波の場合はアンダフロー、三角波と相補 PWMモードの場合は谷を他チャンネルのGTCCRA レジスタインプットキャプチャ要因に使用禁止 1: のこぎり波の場合はアンダフロー、三角波と相補 PWMモードの場合は谷を他チャンネルのGTCCRA レジスタインプットキャプチャ要因に使用許可	R/W
b8	ICACLK	カウントクロック要因他チャンネル GTCCRAインプットキャプチャ許可ビ ット	0: カウントクロックを他チャンネルのGTCCRAレジ スタインプットキャプチャ要因に使用禁止 1: カウントクロックを他チャンネルのGTCCRAレジ スタインプットキャプチャ要因に使用許可	R/W
b13-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ICAGRP[1:0]	GTCCRAインプットキャプチャグループ 設定ビット	b15 b14 0 0: グループAを選択 0 1: グループBを選択 1 0: グループCを選択 1 1: グループDを選択	R/W
b16	ICBFA	GTCCRAレジスタコンペアマッチ/イン プットキャプチャ要因他チャンネル GTCCRBインプットキャプチャ許可ビ ット	0: GTCCRAレジスタコンペアマッチ/インプット キャプチャを他チャンネルのGTCCRBレジスタ インプットキャプチャ要因に使用禁止 1: GTCCRAレジスタコンペアマッチ/インプット キャプチャを他チャンネルのGTCCRBレジスタ インプットキャプチャ要因に使用許可	R/W
b17	ICBFB	GTCCRBレジスタコンペアマッチ/イン プットキャプチャ要因他チャンネル GTCCRBインプットキャプチャ許可ビ ット	0: GTCCRBレジスタコンペアマッチ/インプット キャプチャを他チャンネルのGTCCRBレジスタ インプットキャプチャ要因に使用禁止 1: GTCCRBレジスタコンペアマッチ/インプット キャプチャを他チャンネルのGTCCRBレジスタ インプットキャプチャ要因に使用許可	R/W
b18	ICBFC	GTCCRCレジスタコンペアマッチ要因他 チャンネルGTCCRBインプットキャプチャ 許可ビット	0: GTCCRCレジスタコンペアマッチを他チャン ネルのGTCCRBレジスタインプットキャプチャ 要因に使用禁止 1: GTCCRCレジスタコンペアマッチを他チャン ネルのGTCCRBレジスタインプットキャプチャ 要因に使用許可	R/W
b19	ICBFD	GTCCRDレジスタコンペアマッチ要因他 チャンネルGTCCRBインプットキャプチャ 許可ビット	0: GTCCRDレジスタコンペアマッチを他チャン ネルのGTCCRBレジスタインプットキャプチャ 要因に使用禁止 1: GTCCRDレジスタコンペアマッチを他チャン ネルのGTCCRBレジスタインプットキャプチャ 要因に使用許可	R/W
b20	ICBFE	GTCCREレジスタコンペアマッチ要因他 チャンネルGTCCRBインプットキャプチャ 許可ビット	0: GTCCREレジスタコンペアマッチを他チャン ネルのGTCCRBレジスタインプットキャプチャ 要因に使用禁止 1: GTCCREレジスタコンペアマッチを他チャン ネルのGTCCRBレジスタインプットキャプチャ 要因に使用許可	R/W
b21	ICBFF	GTCCRFレジスタコンペアマッチ要因他 チャンネルGTCCRBインプットキャプチャ 許可ビット	0: GTCCRFレジスタコンペアマッチを他チャン ネルのGTCCRBレジスタインプットキャプチャ 要因に使用禁止 1: GTCCRFレジスタコンペアマッチを他チャン ネルのGTCCRBレジスタインプットキャプチャ 要因に使用許可	R/W
b22	ICBFPO	オーパフロー要因他チャンネルGTCCRB インプットキャプチャ許可ビット	0: のこぎり波の場合はオーパフロー、三角波と相補 PWMモードの場合は山を他チャンネルのGTCCRB レジスタインプットキャプチャ要因に使用禁止 1: のこぎり波の場合はオーパフロー、三角波と相補 PWMモードの場合は山を他チャンネルのGTCCRB レジスタインプットキャプチャ要因に使用許可	R/W

ビット	シンボル	ビット名	機能	R/W
b23	ICBFPU	アンダフロー要因他チャンネルGTCCRBイン プットキャプチャ許可ビット	0: のこぎり波の場合はアンダフロー、三角波と相補 PWMモードの場合は谷を他チャンネルのGTCCRB レジスタインプットキャプチャ要因に使用禁止 1: のこぎり波の場合はアンダフロー、三角波と相補 PWMモードの場合は谷を他チャンネルのGTCCRB レジスタインプットキャプチャ要因に使用許可	R/W
b24	ICBCLK	カウントクロック要因他チャンネル GTCCRBインプットキャプチャ許可ビッ ト	0: カウントクロックを他チャンネルのGTCCRBレジ スタインプットキャプチャ要因に使用禁止 1: カウントクロックを他チャンネルのGTCCRBレジ スタインプットキャプチャ要因に使用許可	R/W
b29-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b30	ICBGRP[1:0]	GTCCRBインプットキャプチャグループ 設定ビット	b31 b30 0 0: グループAを選択 0 1: グループBを選択 1 0: グループCを選択 1 1: グループDを選択	R/W

GTICCR レジスタは、チャンネル間の連携によるインプットキャプチャを制御するレジスタです。

連携によってインプットキャプチャが行われるチャンネルでは、インプットキャプチャの発生するGTCCRA レジスタまたはGTCCRB レジスタに対応するインプットキャプチャ要因の許可ビットは無効です。

ICAFm ビット (GTCCRm レジスタコンペアマッチ/インプットキャプチャ要因他チャンネル GTCCRA イン プットキャプチャ許可ビット) (m = A, B)

GTCCRm レジスタのコンペアマッチ/インプットキャプチャを他チャンネルのGTCCRA レジスタインプ
ットキャプチャ要因として使用することを許可/禁止します。

ICAFn ビット (GTCCRn レジスタコンペアマッチ要因他チャンネル GTCCRA インプットキャプチャ許可ビッ ト) (n = C, D, E, F)

GTCCRn レジスタのコンペアマッチ要因を他チャンネルのGTCCRA レジスタインプットキャプチャ要因と
して使用することを許可/禁止します。

ICAFPO ビット (オーバフロー要因他チャンネル GTCCRA インプットキャプチャ許可ビット)

のこぎり波の場合はオーバフロー、三角波と相補PWMモードの場合は山を他チャンネルのGTCCRA レジ
スタのインプットキャプチャ要因として使用することを許可/禁止します。

ICAFPU ビット (アンダフロー要因他チャンネル GTCCRA インプットキャプチャ許可ビット)

のこぎり波の場合はアンダフロー、三角波と相補PWMモードの場合は谷を他チャンネルのGTCCRA レジ
スタのインプットキャプチャ要因として使用することを許可/禁止します。

ICACLK ビット (カウントクロック要因他チャンネル GTCCRA インプットキャプチャ許可ビット)

カウントクロックを他チャンネルのGTCCRA レジスタのインプットキャプチャ要因として使用することを
許可/禁止します。

ICAGRP[1:0] ビット (GTCCRA インプットキャプチャグループ設定ビット)

GTCCRA レジスタのインプットキャプチャ要因をチャンネル間で連携させるグループを選択します。

他チャンネルからのインプットキャプチャ要因によってGTCCRA レジスタのインプットキャプチャを行う
チャンネルでは、GTICASR.ASOC ビットを“1”に設定し、ICAGRP[1:0] ビットで連携させるグループを選択し
てください。

ICBFm ビット (GTCCRm レジスタコンペアマッチ/インプットキャプチャ要因他チャンネル GTCCRB インプットキャプチャ許可ビット) (m = A, B)

GTCCRm レジスタのコンペアマッチ/インプットキャプチャを他チャンネルの GTCCRB レジスタインプットキャプチャ要因として使用することを許可/禁止します。

ICBFn ビット (GTCCrn レジスタコンペアマッチ要因他チャンネル GTCCRB インプットキャプチャ許可ビット) (n = C, D, E, F)

GTCCrn レジスタのコンペアマッチ要因を他チャンネルの GTCCRB レジスタインプットキャプチャ要因として使用することを許可/禁止します。

ICBFPO ビット (オーバフロー要因他チャンネル GTCCRB インプットキャプチャ許可ビット)

のこぎり波の場合はオーバフロー、三角波と相補 PWM モードの場合は山を他チャンネルの GTCCRB レジスタのインプットキャプチャ要因として使用することを許可/禁止します。

ICBFPU ビット (アンダフロー要因他チャンネル GTCCRB インプットキャプチャ許可ビット)

のこぎり波の場合はアンダフロー、三角波と相補 PWM モードの場合は谷を他チャンネルの GTCCRB レジスタのインプットキャプチャ要因として使用することを許可/禁止します。

ICBCLK ビット (カウントクロック要因他チャンネル GTCCRB インプットキャプチャ許可ビット)

カウントクロックを他チャンネルの GTCCRB レジスタのインプットキャプチャ要因として使用することを許可/禁止します。

ICBGRP[1:0] ビット (GTCCRB インプットキャプチャグループ設定ビット)

GTCCRB レジスタのインプットキャプチャ要因をチャンネル間で連携させるグループを選択します。

他チャンネルからのインプットキャプチャ要因によって GTCCRB レジスタのインプットキャプチャを行うチャンネルでは、GTICBSR.BSOC ビットを“1”に設定し、ICBGRP[1:0] ビットで連携させるグループを選択してください。

22.2.32 出力位相スイッチ制御レジスタ (OPSCR)

アドレス GPTW.OPSCR 000C 2B00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]	NFEN	—	—	GODF	GRP[1:0]	—	—	ALIGN	RV	INV	N	P	FB		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	入力相ソフト設定ビット	入力相の設定をソフトウェアで行います。 このビット設定はFBビット = 1のときに有効です。	R/W
b1	VF			R/W
b2	WF			R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	U	入力U相モニタビット	入力相の状態をモニタリングします。 • FBビット = 0 外部入力(PCLKAモニタリング) • FBビット = 1 ソフトウェア設定値(UF/VF/WF)	R
b5	V	入力V相モニタビット		R
b6	W	入力W相モニタビット		R
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EN	出カイナーブルビット	0 : 出力しない(外部ポートはHi-Z) 1 : 出力する(注1)	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	FB	外部フィードバック信号イナーブルビット	0 : 外部入力 1 : ソフト設定	R/W
b17	P	正相出力(P)制御ビット	0 : レベル出力 1 : PWM出力(GPTW0のPWM)	R/W
b18	N	逆相出力(N)制御ビット	0 : レベル出力 1 : PWM出力(GPTW0のPWM)	R/W
b19	INV	出力極性選択ビット	0 : 正論理(アクティブHigh)出力 1 : 負論理(アクティブLow)出力	R/W
b20	RV	出力相回転方向反転ビット	0 : 正回転 1 : 逆回転	R/W
b21	ALIGN	入力相アライメントビット	0 : 入力相をPCLKAに同調させます。 1 : 入力相をPWM立ち下がりがエッジに同調させます。	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	GRP[1:0]	出力ディセーブル要因選択ビット	b25 b24 0 0 : Aグループ出力ディセーブル要求 0 1 : Bグループ出力ディセーブル要求 1 0 : Cグループ出力ディセーブル要求 1 1 : Dグループ出力ディセーブル要求	R/W
b26	GODF	グループ出力ディセーブル許可ビット	0 : 本機能の停止 1 : GRP[1:0]ビットで選択した要因の信号がHighになると、ENビットをクリア	R/W
b28-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29	NFEN	外部入力ノイズフィルタイナーブルビット	0 : 外部入力ノイズフィルタを使用しない 1 : 外部入力ノイズフィルタを使用する	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	外部入力ノイズフィルタサンプリングク ロック選択ビット	b31 b30 0 0 : PCLKA/1 0 1 : PCLKA/4 1 0 : PCLKA/16 1 1 : PCLKA/64	R/W

注1. GODF = 1かつGRP[1:0]ビットで選択した要因の信号値が“High”になると、ENビットをクリアします。

OPSCR レジスタは、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。

UF、VF、WF ビット (入力相ソフト設定ビット)

入力相の設定をソフトウェアで行います。

このビットはFB ビットが“1”のときに有効となり、UF、VF、WF ビットの設定値が外部入力 (U 相、V 相、W 相) の代わりにになります。

U、V、W ビット (入力相モニタビット)

FB ビットが“0”のとき、外部入力 (U 相、V 相、W 相) を PCLKA に同期してモニタリングします。

FB ビットが“1”のときは、UF、VF、WF ビットの設定値になります。

EN ビット (出カインーブルビット)

出力相 (正相 / 逆相) の出力許可ビットで、“1”のときに出力します。

EN ビットを“0”にして、FB、UF、VF、WF、P、N、INV、RV、ALIGN、GRP[1:0]、GODF、NFEN、NFCS[1:0] ビットを設定し、EN ビットを“1”にして出力相を出力してください。

EN ビットの設定は、POEG からの出力ディセーブル要求が発生している状態で行ってください。

また、GODF ビットが“1”かつ GRP[1:0] ビットで選択した要因が“High”(出力ディセーブル要求)になると、EN ビットがクリアされます。出力相を再出力するには、出力ディセーブル要求をクリア後、EN ビットを“1”にしてください。

- EN ビットの優先順位 (競合)

EN ビットに対して出力ディセーブル要求によるクリアと CPU による“1”書き込みが競合した場合、出力ディセーブル要求によるクリアが優先されます。

FB ビット (外部フィードバック信号インーブルビット)

入力相にホール素子等の外部入力を用いるか、ソフトウェアで設定したレジスタ値 (UF、VF、WF ビット) を用いるかを選択します。

P ビット (正相出力 (P) 制御ビット)

正相出力端子 (GTOUUP、GTOVUP、GTOWUP 端子) から出力時、レベルを出力するか、GTIOC0A 端子出力によるチョッピングを実施するかを選択します。

N ビット (逆相出力 (N) 制御ビット)

逆相出力端子 (GTOULO、GTOVLO、GTOWLO 端子) から出力時、レベルを出力するか、GTIOC0A 端子出力によるチョッピングを実施するかを選択します。

INV ビット (出力極性選択ビット)

出力相の出力極性 (正相 / 逆相) を選択します。

RV ビット (出力相回転方向反転ビット)

モータの回転方向を反転させます。

ALIGN ビット (入力相アライメントビット)

FB ビットで選択した入力のスAMPLINGに用いるタイミングを PCLKA と GTIOC0A 端子出力の立ち下りから選択します。

ALIGN ビットが“0”のとき、PCLKA でスAMPLINGします。

注. チョッピングを行う場合、出力相が切り替わるタイミングとチョッピングに用いる PWM の位相に依存して、出力相の切り替わり前後では、出力相の PWM の幅がチョッピングに用いるより短くなることがあります。

ALIGN ビットが“1”のとき、GTIOC0A 端子の立ち下がりでスAMPLINGします。

GRP[1:0] ビット (出力ディセーブル要因選択ビット)

出力ディセーブル要因を選択します。

本ビットの設定は、GODF ビットが“0”の状態で行ってください。

GODF ビット (グループ出力ディセーブル許可ビット)

本ビットが“1”かつ GRP[1:0] ビットで選択した要因の信号が“High”になると、EN ビットがクリアされます。

本ビットが“0”のとき、本機能は無効です。

本ビットの設定は、POEG からの出力ディセーブル要求が発生していない状態で行ってください。

NFEN ビット (外部入力ノイズフィルタイネーブルビット)

外部入力に対するノイズフィルタを有効にします。

注. 本ビットを切り替えたとき、意図しない内部エッジが発生しやすくなるため、本ビットを書き換えるときは EN ビットを“0”にしてください。

NFCS[1:0] ビット (外部入力ノイズフィルタサンプUNGクロック選択ビット)

外部入力ノイズフィルタのクロックを選択します。

1. 本ビットを設定します。
2. 設定したサンプUNGクロックで2クロック待ちます。
3. EN ビットを“1”にします。

22.3 動作説明

22.3.1 基本動作

各チャンネルのタイマは、カウントクロックまたはハードウェア要因によるサイクルカウント動作を行います。GTCNT カウンタは、アップカウント動作、ダウンカウント動作が可能です。タイマ周期は GTPR レジスタまたは GTCCRm レジスタ (m = A ~ F) によって制御されます。

GTCNT カウンタ値が GTCCRA, GTCCRB レジスタの値と一致すると、それぞれ GTIOcNA, GTIOcNB 端子出力 (n = 0 ~ 7) を変化させることができます。また、GTCCRA, GTCCRB レジスタをハードウェア要因によるインプットキャプチャレジスタとして使用することができます。

GTCCRC, GTCCRD レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRE, GTCCRF レジスタは GTCCRB レジスタのバッファレジスタとして動作させることができます。

22.3.1.1 カウンタの動作

(1) カウンタのスタート/ストップ

各チャンネルのカウンタは、GTCR.CST ビットを“1”にするとカウント動作を開始し、“0”にすると停止します。

CST ビットの値は、下記の要因で変更することが可能です。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが“1”の状態での GTSTR レジスタのチャンネル番号に対応するビットへの“1”書き込み
- GTPSR.CSTOP ビットが“1”の状態での GTSTP レジスタのチャンネル番号に対応するビットへの“1”書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因

(2) サイクルカウント動作 (カウントクロックによるアップカウント時)

各チャンネルのカウンタは、GTUPSR レジスタおよび GTDNSR レジスタが“0000 0000h”の状態、CST ビットを“1”にするとアップカウントを開始します。GTCNT カウンタ値が GTPR レジスタ値から“0000 0000h”になる (オーバーフロー) か、またはのこぎり波 PWM モード 2 で GTCR.CSCMSC[2:0] ビットで選択された GTCCRm レジスタ値 (m = A ~ F) から“0000 0000h”になると、GTINTAD.GTINTPR[0] ビットが“1”ならば、GTCIV 割り込み要求が発生します。GTCNT カウンタはオーバーフロー後、“0000 0000h”からアップカウントを継続します。

図 22.4 にカウントクロックによるアップカウント時のサイクルカウント動作例を示します。

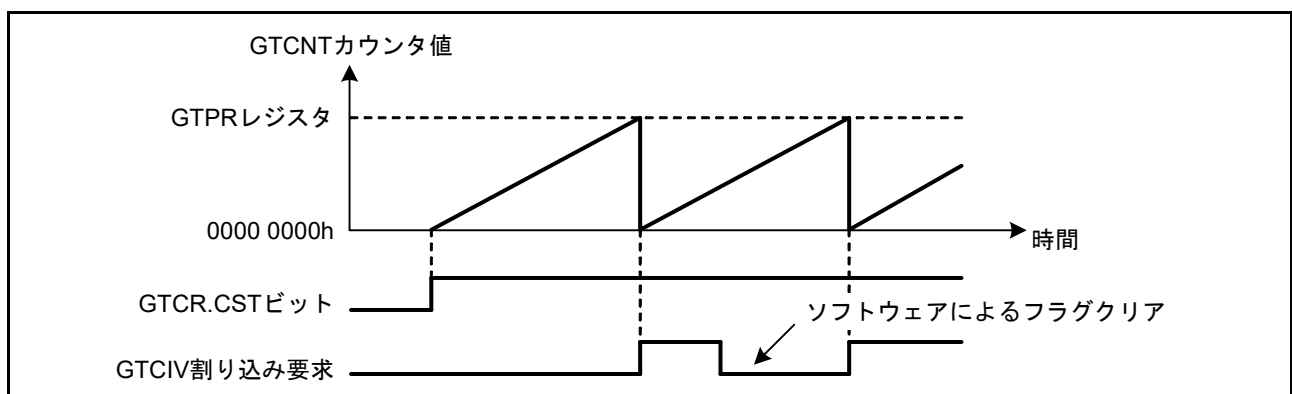


図 22.4 サイクルカウント動作例 (カウントクロックによるアップカウント時)

図 22.5 にアップカウント時のサイクルカウント動作例を示します。

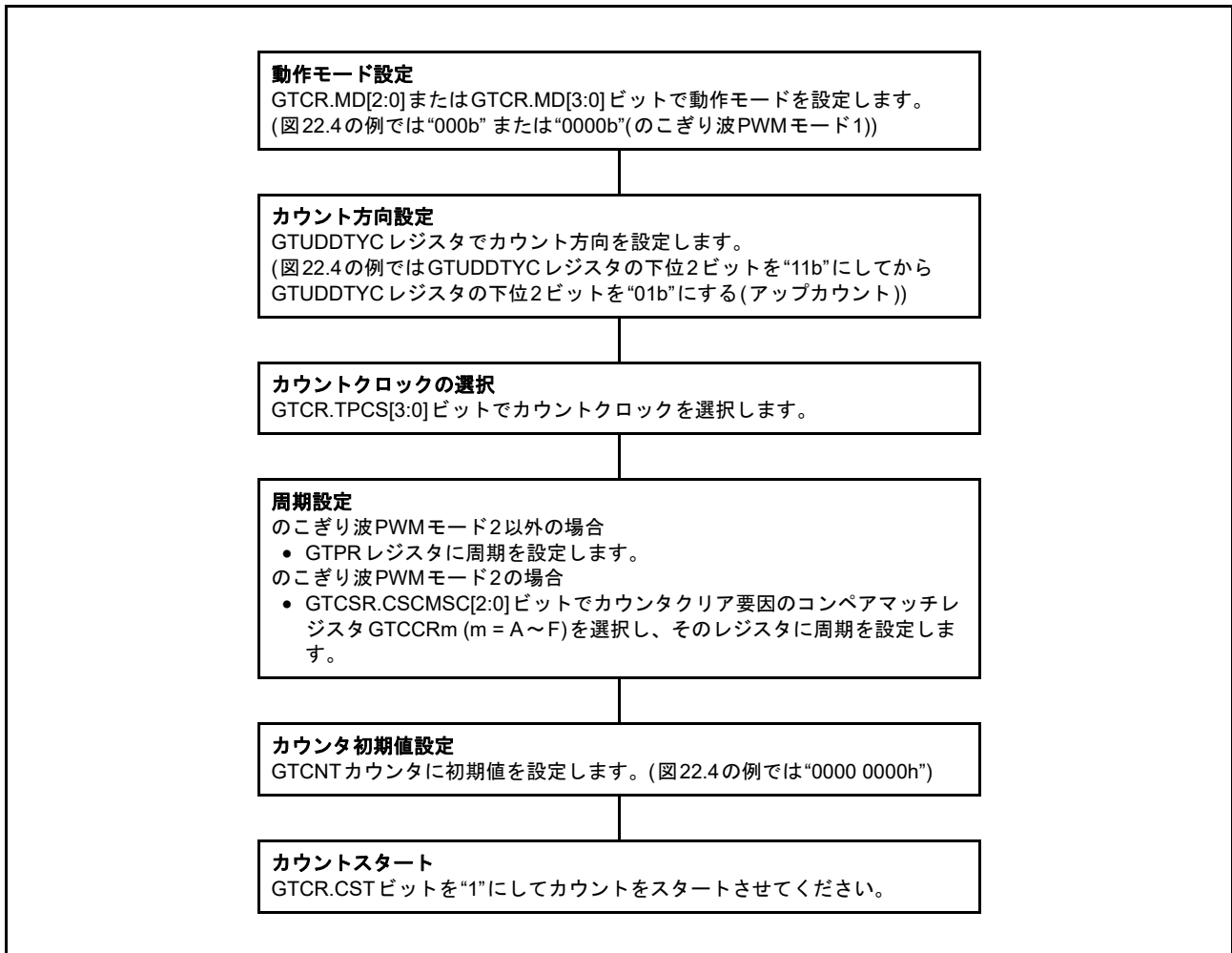


図 22.5 サイクルカウント動作設定例 (カウントクロックによるアップカウント時)

(3) サイクルカウント動作 (カウントクロックによるダウンカウント時)

各チャンネルのカウンタは、GTUPSR レジスタおよび GTDNSR レジスタが“0000 0000h”の状態、GTUDDTYC.UD ビットを設定することで、ダウンカウントを行うことが可能です。GTCNT カウンタ値が“0000 0000h”から GTPR レジスタ値になる (アンダフロー) と、GTINTAD.GTINTPR[1] ビットが“1”ならば、GTCIU 割り込み要求が発生します。GTCNT カウンタはアンダフロー後、GTPR レジスタ値からダウンカウントを継続します。

図 22.6 にカウントクロックによるダウンカウント時のサイクルカウント動作例を示します。

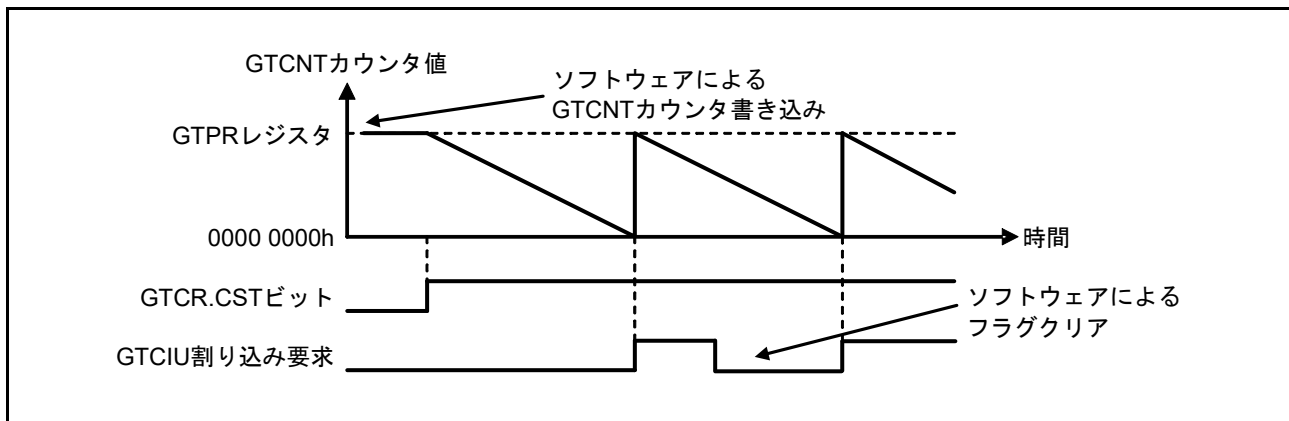


図 22.6 サイクルカウント動作例 (カウントクロックによるダウンカウント時)

図 22.7 にカウントクロックによるダウンカウント時のサイクルカウント動作設定例を示します。

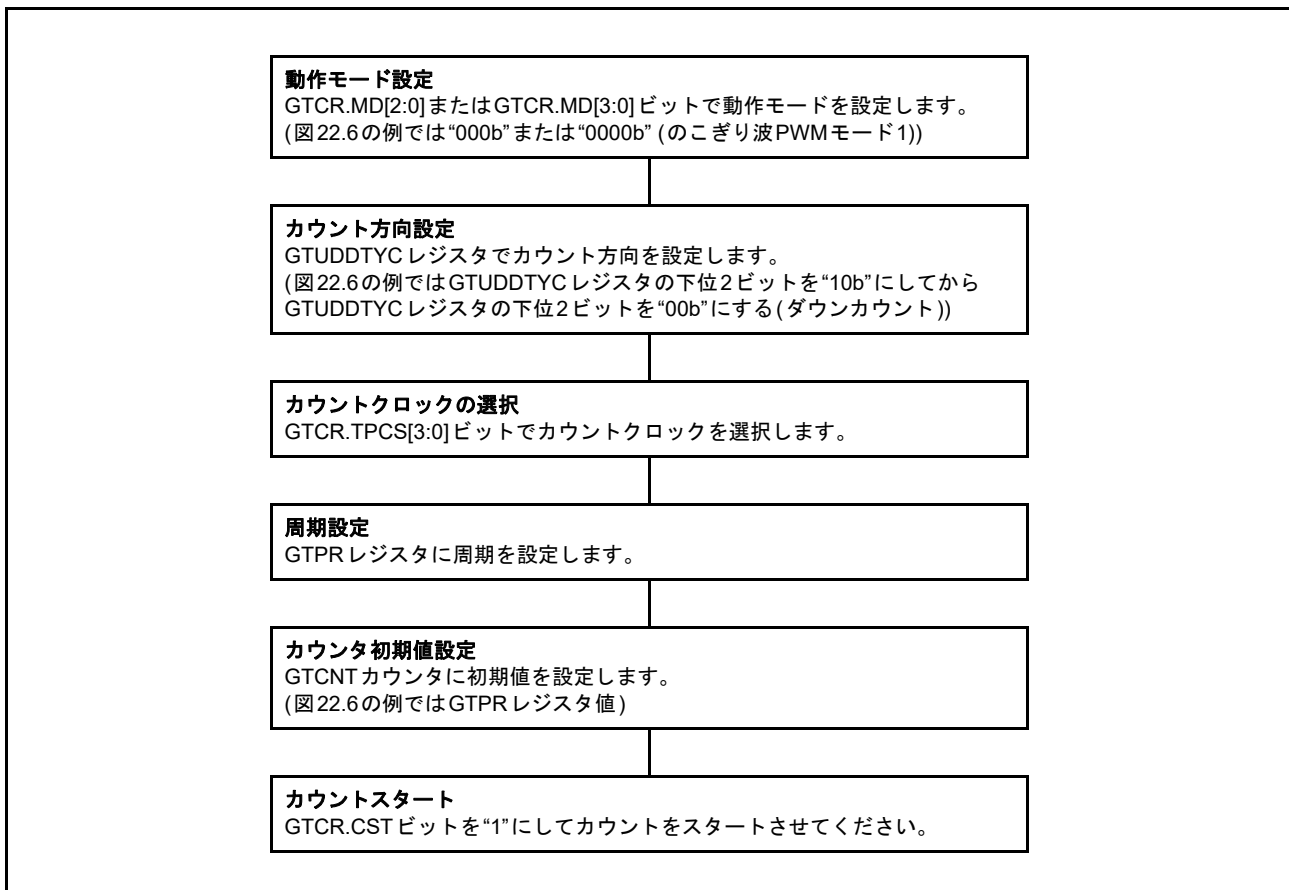


図 22.7 サイクルカウント動作設定例 (カウントクロックによるダウンカウント時)

(4) イベントカウント動作 (ハードウェア要因によるアップカウント時)

各チャンネルのカウンタは、GTUPSRレジスタを設定することで、ハードウェア要因によるアップカウント動作を行う事が可能です。GTUPSRレジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、およびGTUDDTYC.UDビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNTカウンタ値は変化しません。

ハードウェア要因によるアップカウント動作におけるオーバフローによる動作は、カウントクロックによるサイクルカウント動作と同様です。

ハードウェア要因によるアップカウントを行うためには、GTCR.CSTビットを“1”にして、カウント動作を開始してください。カウント動作の開始は、TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、CSTビットを“1”にした後、1カウントクロック期間は、アップカウント動作を行う事はできません。CSTビットを“1”にした1PCLKA後からアップカウントを行うためには、TPCS[3:0]ビットを“0000b”にしてください。

図22.8、図22.9にハードウェア要因(GTETRGA端子入力の立ち上がり、GTIOCnA端子入力の立ち上がり)によるアップカウント動作例を示します。

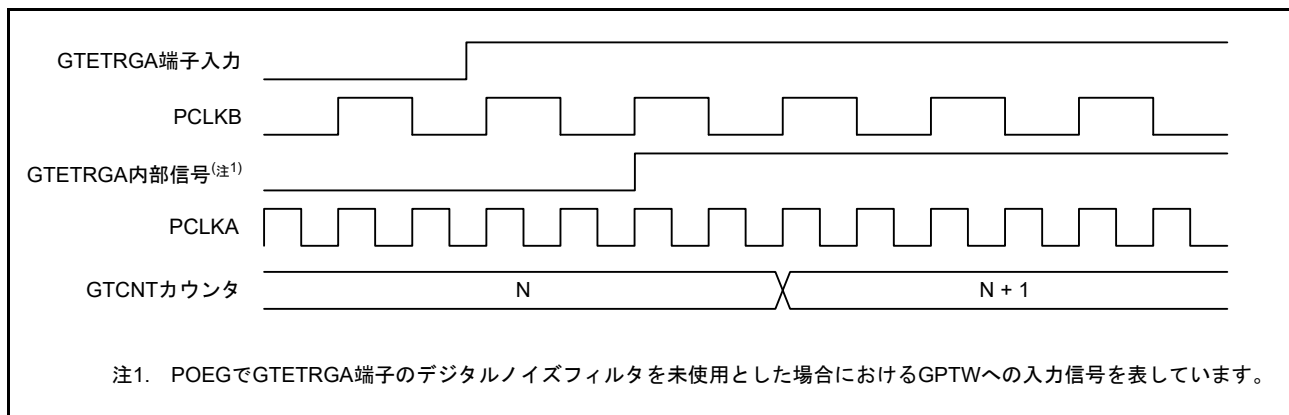


図 22.8 イベントカウント動作例 (GTETRGA 端子入力の立ち上がりによるアップカウント)

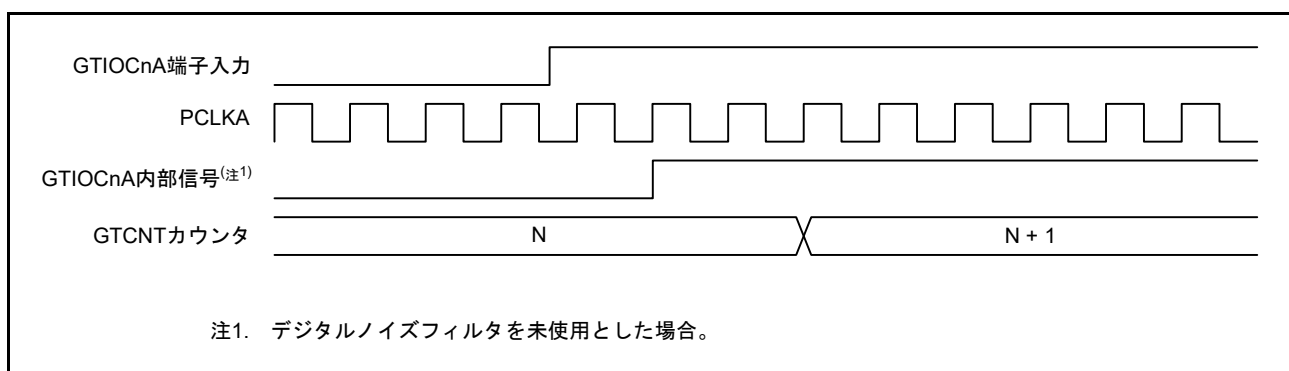


図 22.9 イベントカウント動作例 (GTIOCnA 端子入力の立ち上がりによるアップカウント)

図 22.10 にハードウェア要因が ELC イベント入力の場合のイベントカウント動作例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択して出力し、その信号により GPTW1.GTCNT カウンタのイベントカウント動作を行った場合の例です。

PCLKA に同期します GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、PCLKB で 1 クロック後に GPTW イベント要因 A を出力します。

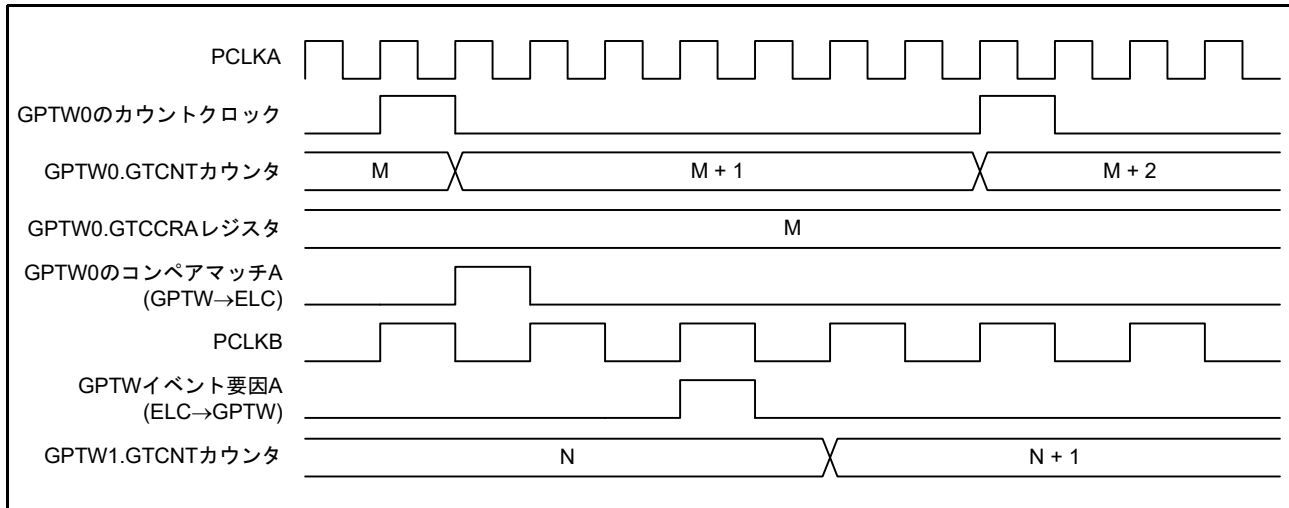


図 22.10 イベントカウント動作例 (ELCA イベント入力によるアップカウント)

図 22.11 にハードウェア要因によるアップカウント時のサイクルカウント動作設定例を示します。

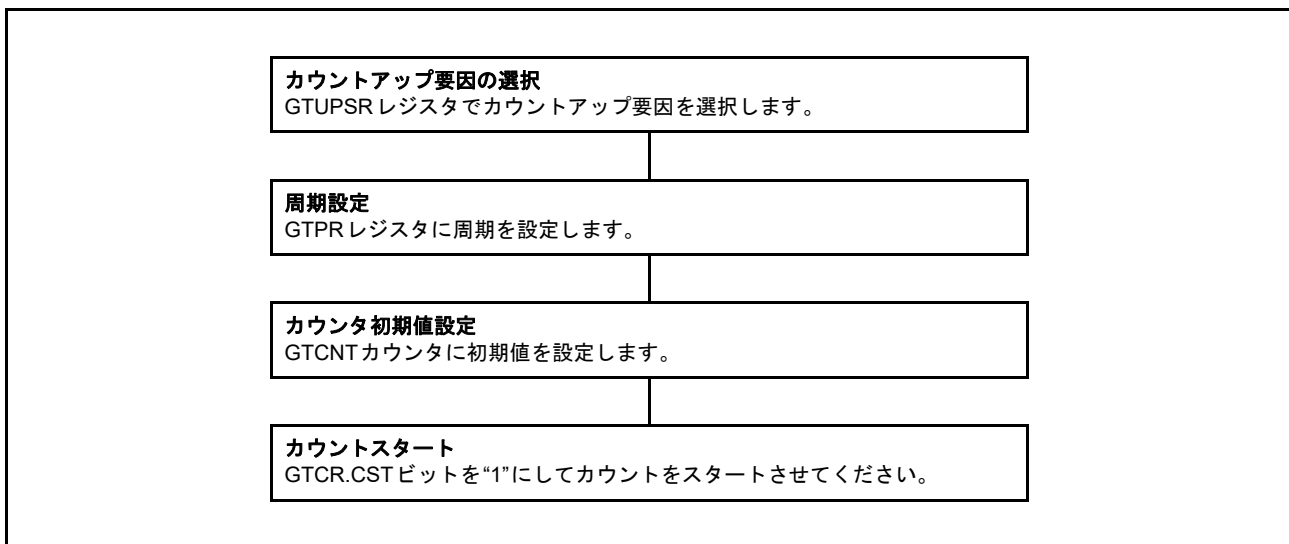


図 22.11 イベントカウント動作設定例 (ハードウェア要因によるアップカウント時)

(5) イベントカウント動作 (ハードウェア要因によるダウンカウント時)

各チャネルのカウンタは、GTDNSRレジスタを設定することで、ハードウェア要因によるダウンカウント動作を行う事が可能です。GTDNSRレジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、およびGTUDDTYC.UDビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNTカウンタ値は変化しません。

ハードウェア要因によるダウンカウント動作におけるアンダフローによる動作は、カウントクロックによるサイクルカウント動作と同様です。

ハードウェア要因によるダウンカウントを行うためには、GTCR.CSTビットを“1”にして、カウント動作を開始してください。カウント動作の開始は、TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、CSTビットを“1”にした後、1カウントクロック期間は、ダウンカウント動作を行う事はできません。CSTビットを“1”にした1PCLKA後からダウンカウントを行うためには、TPCS[3:0]ビットを“0000b”にしてください。

図 22.12 にハードウェア要因によるダウンカウント動作例を示します。

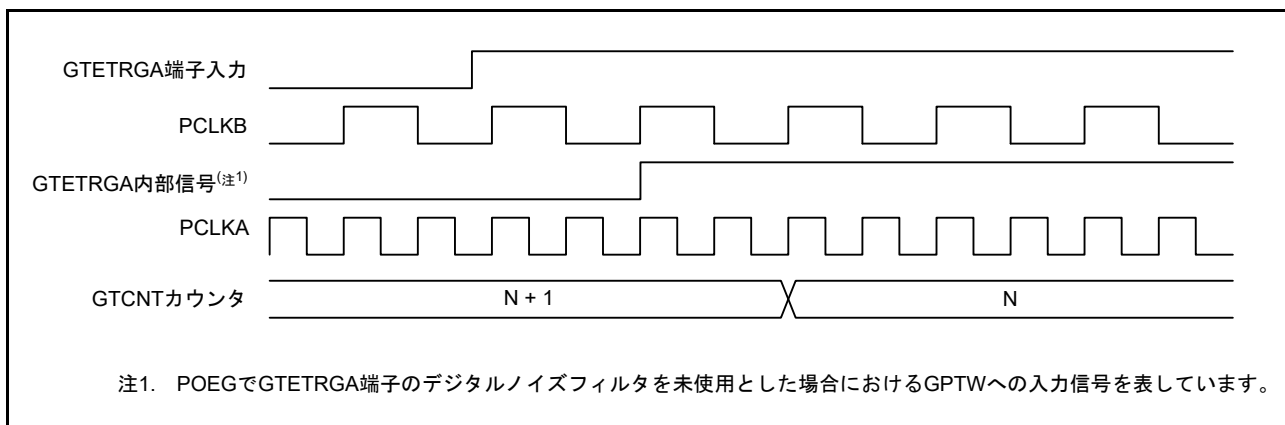


図 22.12 イベントカウント動作例 (GTETRGA 端子入力の立ち上がりによるダウンカウント)

図 22.13 にハードウェア要因によるダウンカウント時のサイクルカウント動作設定例を示します。

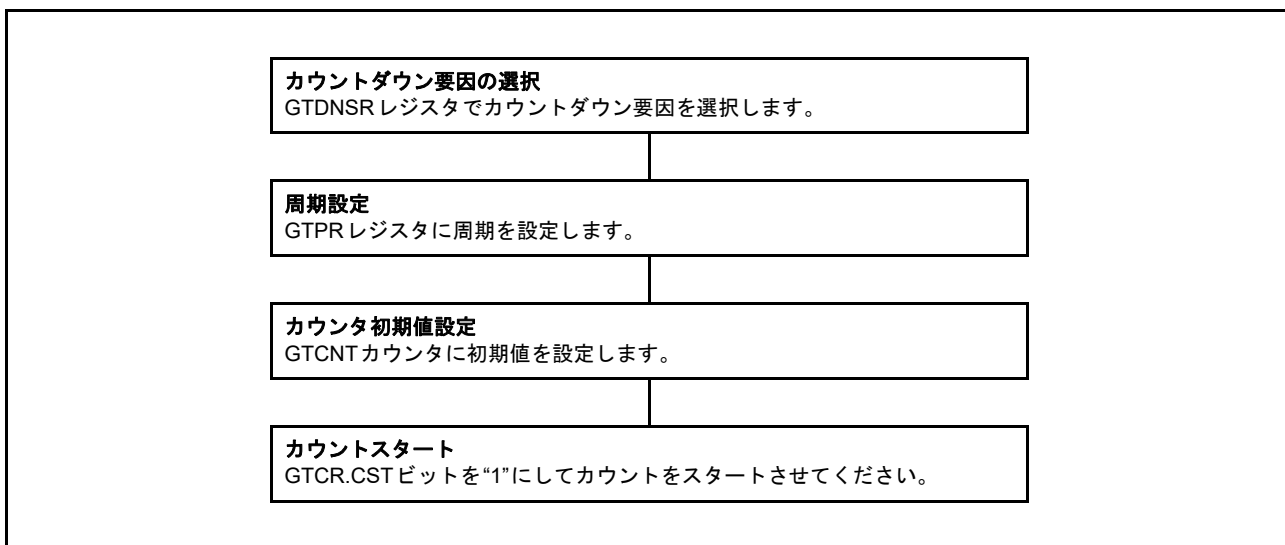


図 22.13 イベントカウント動作設定例 (ハードウェア要因によるダウンカウント時)

(6) カウンタクリア動作

各チャンネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT カウンタへの書き込み
- GTCSR.CCLRビットが“1”の状態でのGTCLRレジスタのチャンネル番号に対応するビットへの“1”書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント中 (CST = 1 の時) の書き込みは無効です。

GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、カウンタが動作中 (GTCR.CST ビット = 1) の場合でも、停止中 (CST ビット = 0) の場合でも実行することが可能です。GTCR.MD[2:0] ビット、または GTCR.MD[3:0] ビットでのこぎり波 (のこぎり波 PWM モード 2 を除く) を選択し、カウント方向フラグがダウンカウント (GTST.TUCF フラグ = 0) の状態での GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、カウンタが動作中でも停止中でも、GTCNT カウンタ値は GTPR レジスタの値になります。それ以外の設定の場合は“0000 0000h”になります。

イベントカウント動作に設定されている場合 (GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合)、GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、クリア要因発生直後に行います (PCLKA で動作します)。それ以外の設定の場合は、GTCR.TPCS[3:0] ビットで選択されたカウントクロックに同期してクリアを行います。

22.3.1.2 コンペアマッチによる波形出力機能

GTCNT カウンタ値が GTCCRA, GTCCRB レジスタの値と一致することをコンペアマッチと呼びます。コンペアマッチ発生後のカウントクロック (イベントカウントを含む) のタイミングで GTIOCnA, GTIOCnB 端子出力 ($n=0 \sim 7$) を Low 出力 / High 出力 / トグル出力にすることができます。

また、GTPR レジスタおよびのこぎり波 PWM モード 2 において GTCR.CSCMSC[2:0] ビットでカウンタクリア要因として選択された GTCCRm レジスタ ($m=A \sim F$) により決まる“周期の終わり”でも、GTIOCnA, GTIOCnB 端子出力を Low 出力 / High 出力 / トグル出力にすることができます。“周期の終わり”とは、以下を示します。

- のこぎり波 (のこぎり波 PWM モードを 2 を除く) でアップカウントの場合: GTCNT カウンタ値が GTPR レジスタ値から “0000 0000h” になるとき (オーバフロー)
- のこぎり波 (のこぎり波 PWM モード 2 を除く) でダウンカウントの場合: GTCNT カウンタ値が “0000 0000h” から GTPR レジスタ値になるとき (アンダフロー)
- のこぎり波 PWM モード 2 で GTCR.CSCMSC[2:0] ビットでカウンタクリア要因として GTCCRm レジスタを選択している場合: GTCNT カウンタ値が GTCCRm レジスタ値から “0000 000h” になるとき
- のこぎり波で GTCNT カウンタクリアの場合
- 三角波および相補 PWM モードの場合: GTCNT カウンタ値が “0000 0000h” から “0000 0001h” になるとき (谷)

(1) Low 出力 / High 出力

図 22.14 に GTCCRA, GTCCRB レジスタとのコンペアマッチによる Low 出力 / High 出力動作例を示します。

GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子を High 出力、GPTW0.GTCCRB レジスタとのコンペアマッチにより GTIOC0B 端子を Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

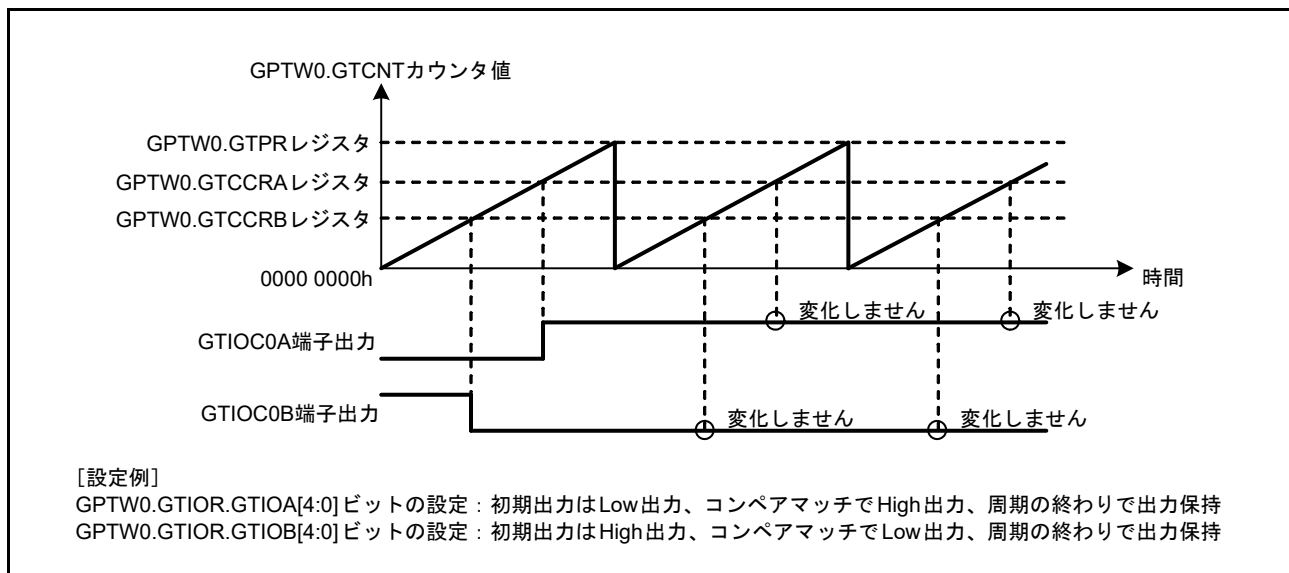


図 22.14 Low 出力 / High 出力動作例

図 22.15 に Low 出力 /High 出力動作設定例を示します。

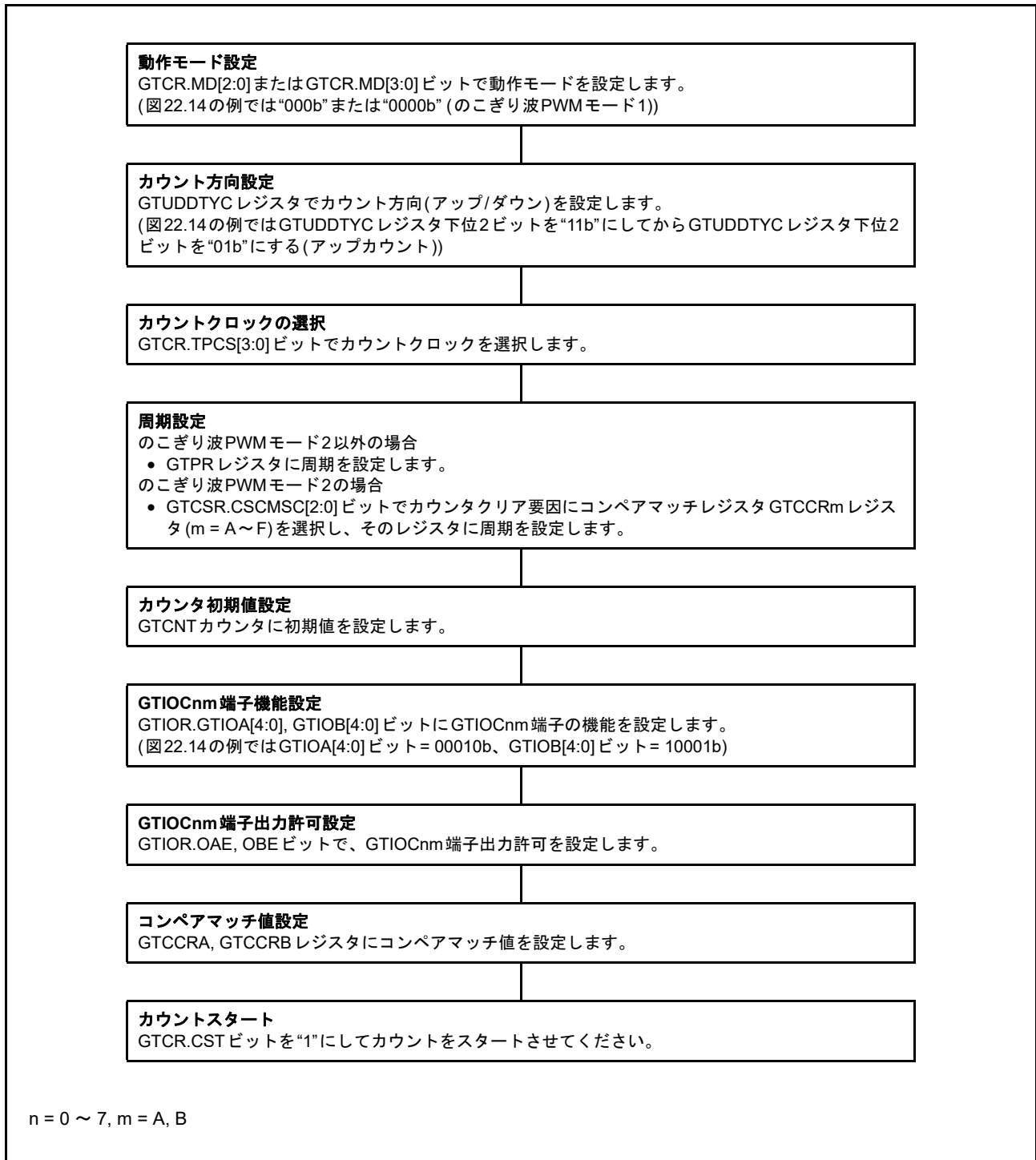


図 22.15 Low 出力 /High 出力動作設定例

(2) トグル出力

図 22.16、図 22.17 に GTCRA, GTCRB レジスタとのコンペアマッチによるトグル出力動作例を示します。

図 22.16 は、GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCRA, GTCRB レジスタとのコンペアマッチによりそれぞれ GTIOC0A, GTIOC0B 端子をトグル出力となるように設定した場合の例です。

図 22.17 は、GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCRA レジスタとのコンペアマッチにより GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。

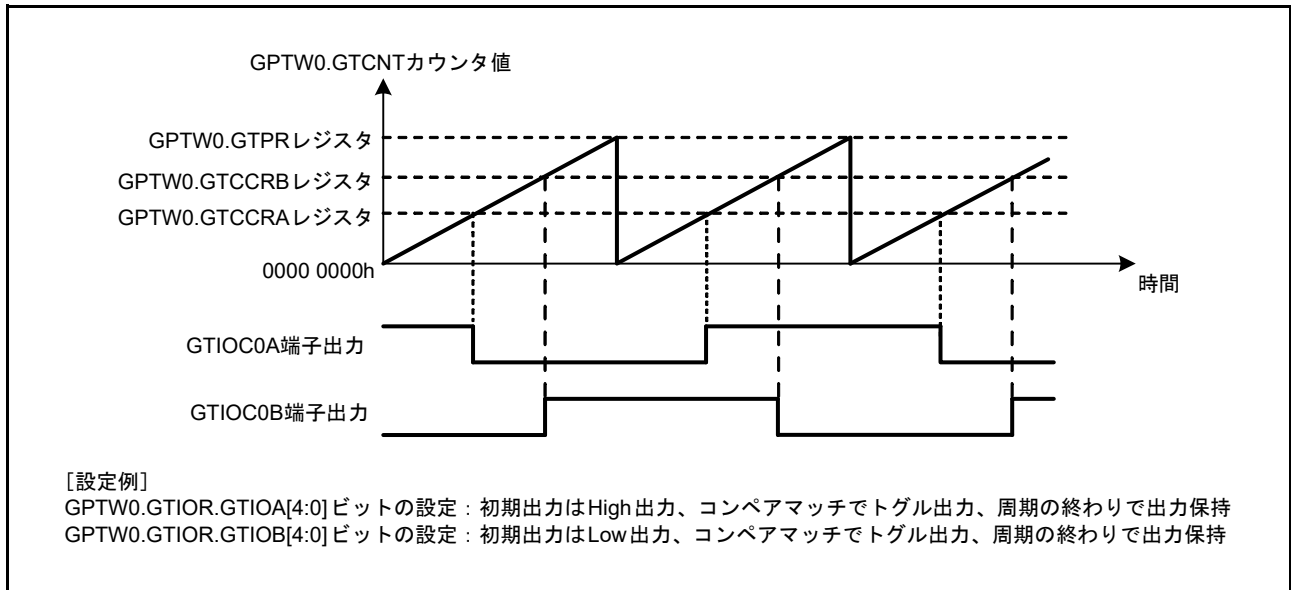


図 22.16 トグル出力動作例 (1)

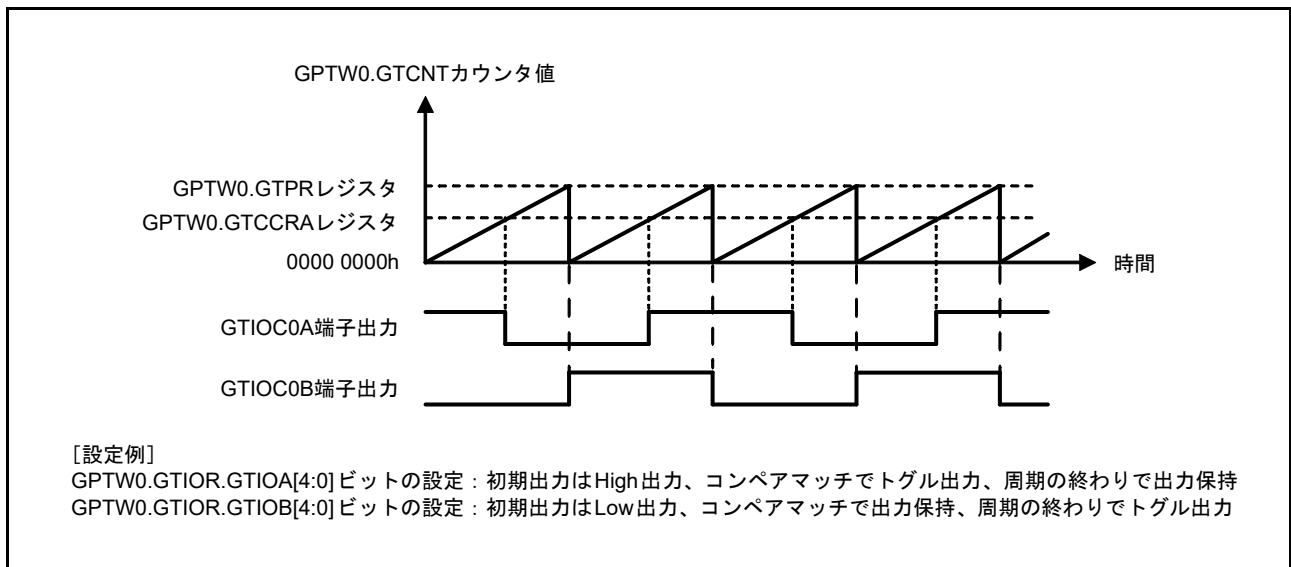


図 22.17 トグル出力動作例 (2)

図 22.18 にトグル出力動作設定例を示します。



図 22.18 トグル出力動作設定例

22.3.1.3 インพุットキャプチャ機能

GTICASR, GTICBSR レジスタで選択したハードウェア要因を検出して、GTCNT カウンタの値をそれぞれ GTCCRA, GTCCRB レジスタに転送することができます。

相補 PWM モードでは、GTCCRA, GTCCRB レジスタはインพุットキャプチャレジスタとして機能しません。

図 22.19 にインพุットキャプチャ機能の動作例を示します。

GPTW0.GTCNT カウンタをアップカウントし、GTIOC0A 端子入力の両エッジでインพุットキャプチャ、GTIOC0B 端子入力の立ち上がりエッジでインพุットキャプチャとなるように設定した場合の例です。

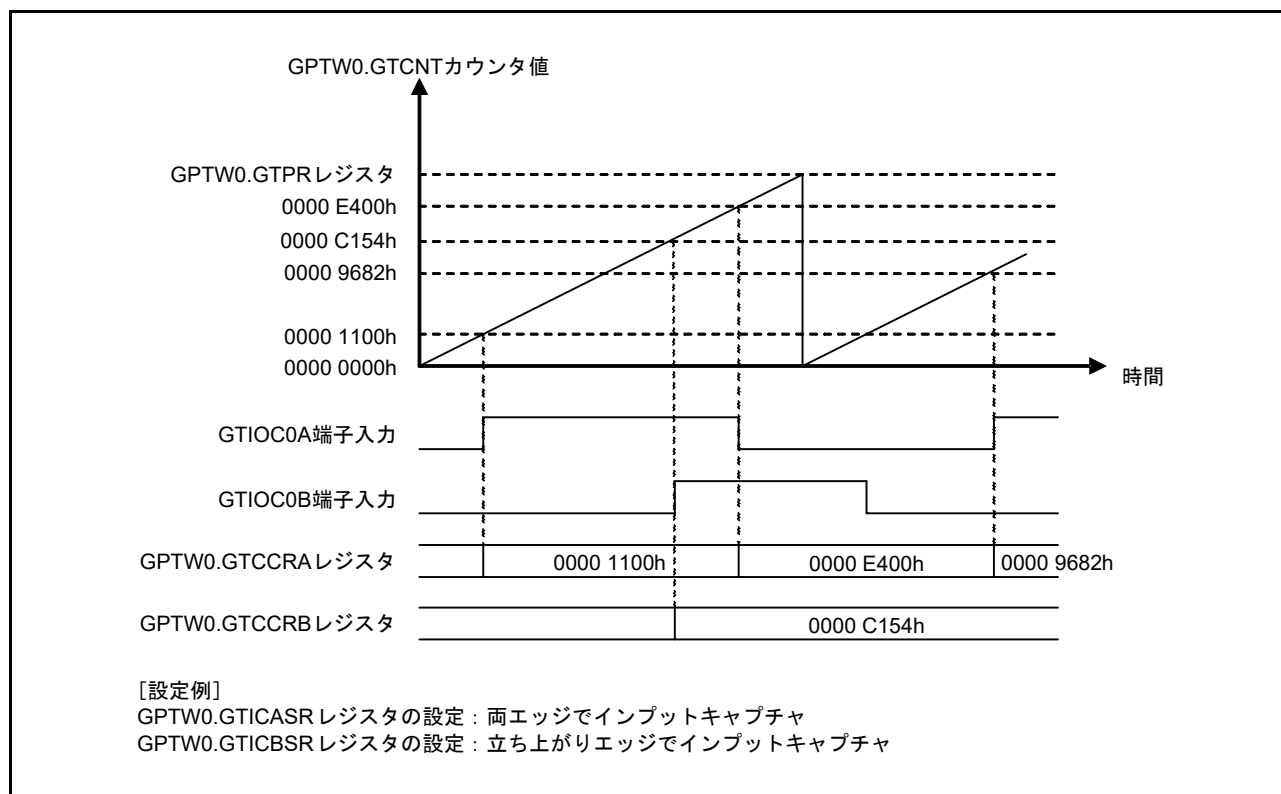


図 22.19 インพุットキャプチャ動作例

図 22.20 にインプットキャプチャ動作設定例を示します。

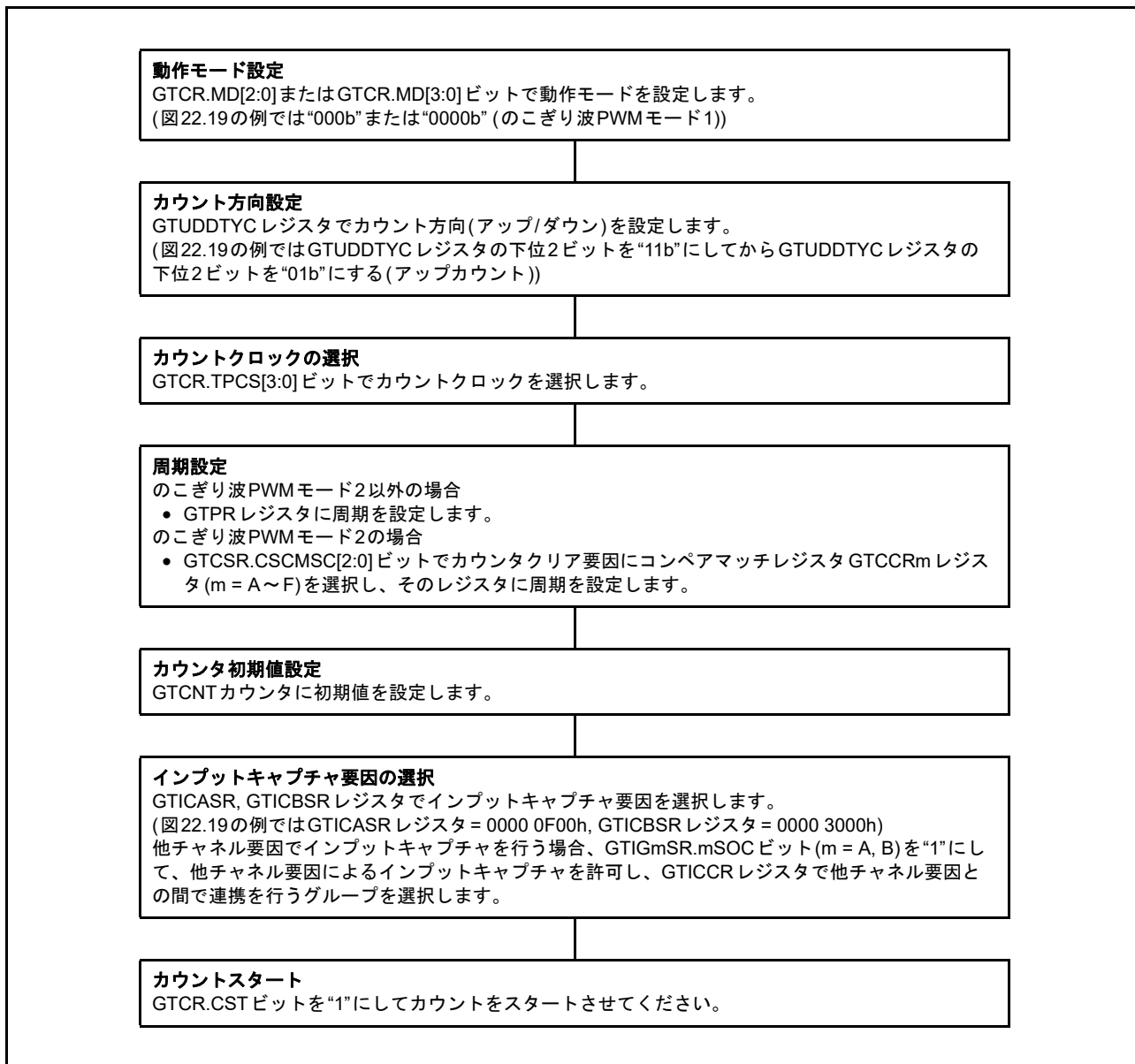


図 22.20 インプットキャプチャ動作設定例

図 22.21 に GTETRGA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例を示します。

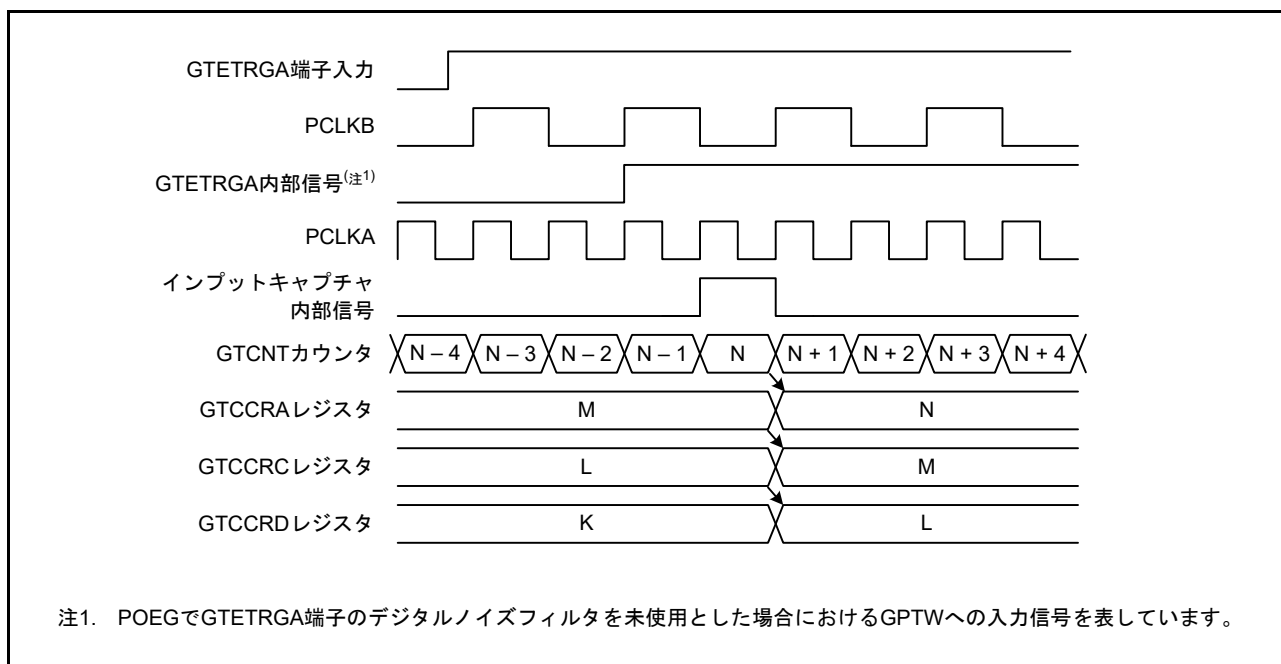


図 22.21 GTETRGA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例

図 22.22 に GTIOCnA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例を示します。

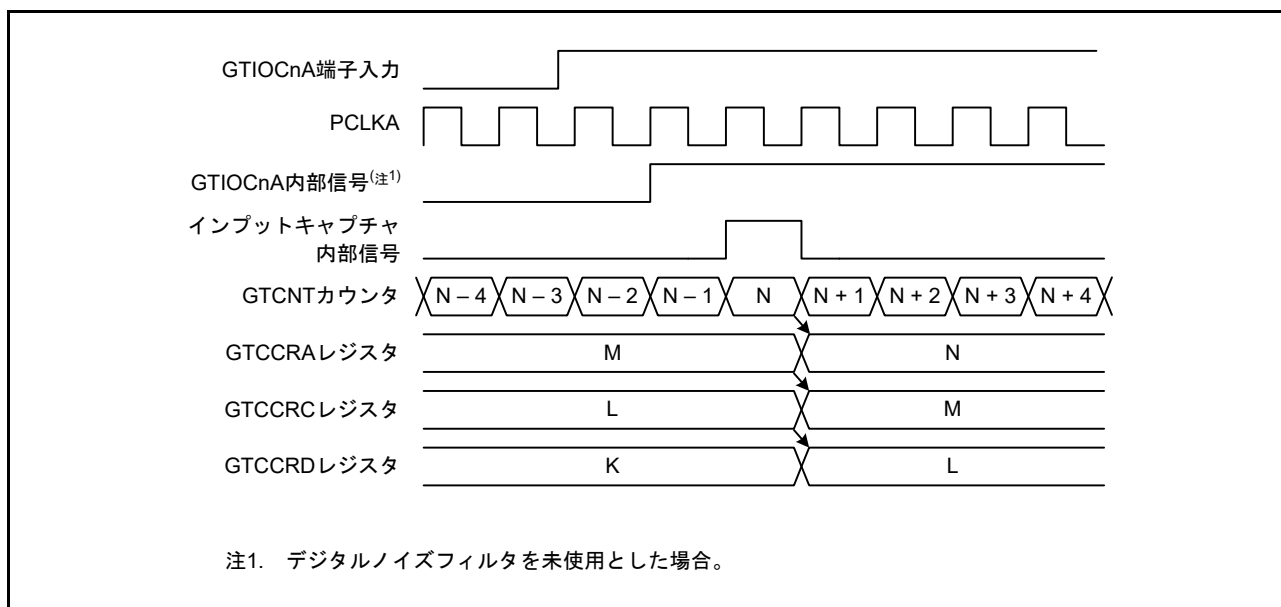


図 22.22 GTIOCnA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例

図 22.23 に ELCA イベント入力によるインプットキャプチャ動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCCRA レジスタへのインプットキャプチャ動作を行った場合の例です。PCLKA に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。

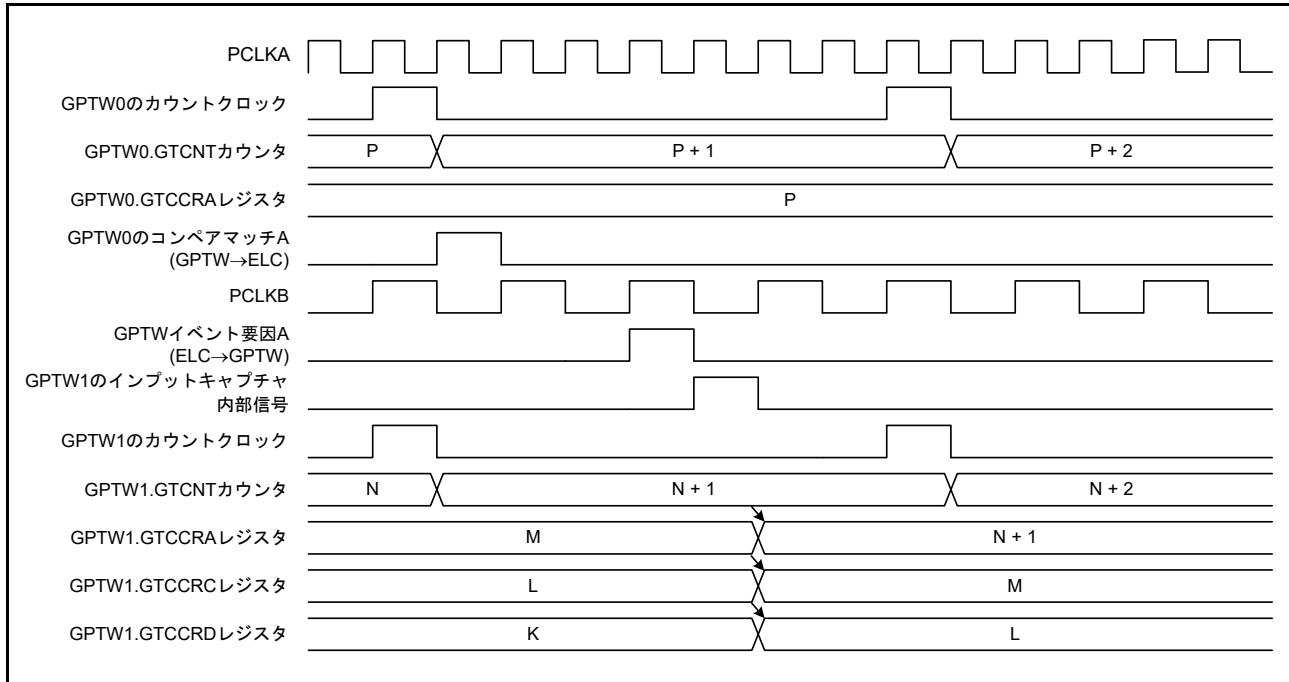


図 22.23 ELCA イベント入力によるインプットキャプチャ動作タイミング例

図 22.24 に他チャネルのカウンタクロックによるインプットキャプチャ動作タイミングを示します。

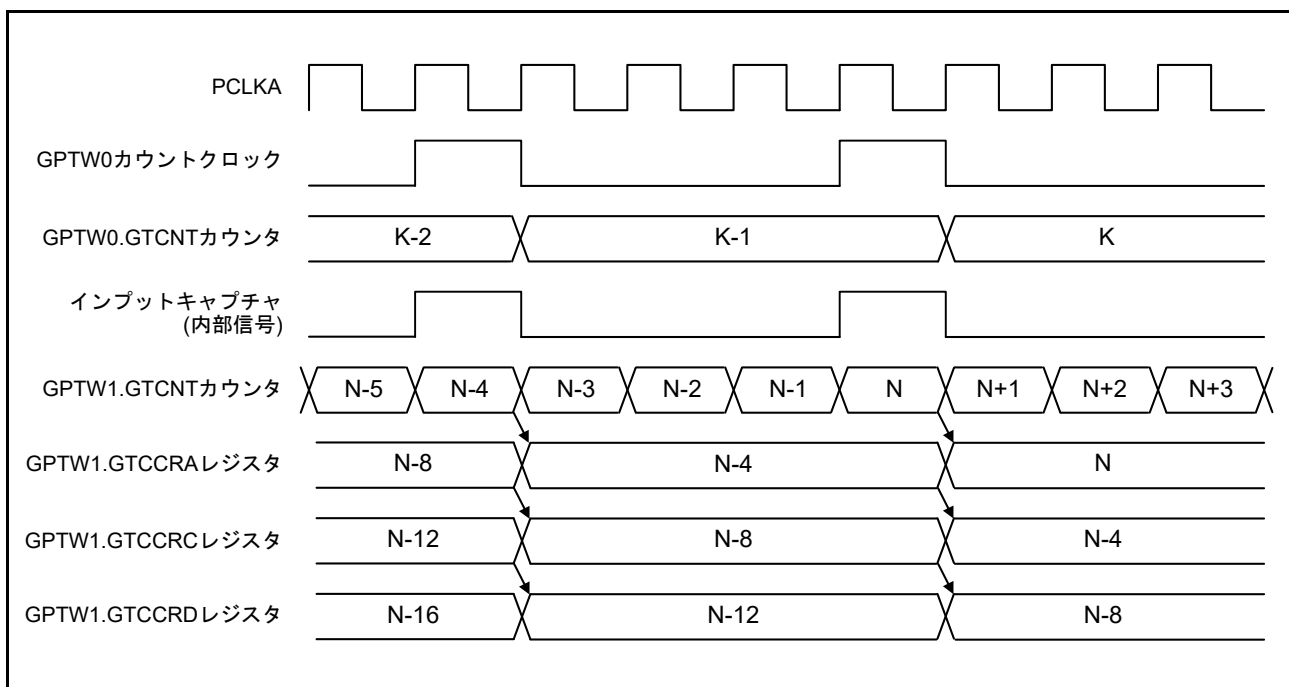


図 22.24 他チャネルのカウンタクロックによるインプットキャプチャ動作タイミング例

22.3.2 バッファ動作

GTBER レジスタを設定することにより、以下のバッファ動作が可能です。

- GTPR レジスタと GTPBR、GTPDBR レジスタを組み合わせたバッファ動作
- GTCCRA レジスタと GTCCRC、GTCCRD レジスタを組み合わせたバッファ動作
- GTCCRB レジスタと GTCCRE、GTCCRF レジスタを組み合わせたバッファ動作
- GTADTRA レジスタと GTADTBRA、GTADTBRA レジスタを組み合わせたバッファ動作
- GTADTRB レジスタと GTADTRB、GTADTRB レジスタを組み合わせたバッファ動作

22.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは GTPR レジスタのバッファレジスタ、GTPDBR レジスタは GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。

相補 PWM モードの場合、マスタチャンネル (GPTW0) のみで、GTPDBR レジスタからテンポラリレジスタ P への転送を行います。テンポラリレジスタ P は、マスタチャンネル、スレーブチャンネル 1 (GPTW1)、スレーブチャンネル 2 (GPTW2) の各 GTPBR レジスタに転送されます。GTPBR レジスタから GTPR レジスタへの転送は、3つのチャンネルで同時に行われます。これにより、3つのチャンネルの同名レジスタには同じ値が格納されます。マスタチャンネルの GTPR レジスタは、3つのチャンネルの GTCNT カウンタの周期を表します。スレーブチャンネルでは、GTPR レジスタ値と GTDVU レジスタ値を用いて、周期が制御されます。

のこぎり波 PWM モード 2 では無効です。

バッファ転送のタイミングは、のこぎり波およびイベントカウントの場合はオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時) または三角波の場合は谷となります。

のこぎり波およびイベントカウントの場合は、カウント動作中、下記に示すカウンタクリアが発生した場合でも、バッファ転送を行います。

- ハードウェア要因クリア
(GTCSR.CSGTRGAR、CSGTRGAF、CSGTRGBR、CSGTRGBF、CSGTRGCR、CSGTRGCF、CSGTRGDR、CSGTRGDF、CSCARBL、CSCARBH、CSCAFBL、CSCAFBH、CSCBRAL、CSCBRAH、CSCBFAL、CSCBFAH、CSELCA、CSELCB、CSELCC、CSELCD、CSELCE、CSELCF、CSELCG、CSELCH、CSCMSC[2:0]、CPICCE ビットで選択したクリア要因)
 - ソフトウェアによるクリア
(GTCSR.CCLR ビットが“1”の状態、GTCLR.CCLRn ビットに“1”を書いた場合) (n=0~7)
- 相補 PWM モードの場合のバッファ転送タイミングを表 22.6 に示します。

表22.6 相補PWMモードのGTPRバッファ転送タイミング

	相補PWMモード1	相補PWMモード2	相補PWMモード3 相補PWMモード4
GTPDBR ↓ テンポラリレジスタP	カウント動作中 • スレーブチャネル2 (GPTW2) のGTCCRDレジスタ書き込みの1 PCLKA後 カウント停止中 • GTPDBRレジスタ書き込みの1 PCLKA後	カウント動作中 • スレーブチャネル2 (GPTW2) のGTCCRDレジスタ書き込みの1 PCLKA後 カウント停止中 • GTPDBRレジスタ書き込みの1 PCLKA後	カウント動作中 • スレーブチャネル2 (GPTW2) のGTCCRDレジスタ書き込みの1 PCLKA後 カウント停止中 • GTPDBRレジスタ書き込みの1 PCLKA後
テンポラリレジスタP ↓ GTPBR	アップカウント中間区間でテンポラリレジスタPに転送した場合 • テンポラリレジスタPに転送した1 PCLKA後 アップカウントの中間区間以外でテンポラリレジスタPに転送した場合 • 谷区間の終わり	ダウンカウント中間区間でテンポラリレジスタPに転送した場合 • テンポラリレジスタPに転送した1 PCLKA後 ダウンカウントの中間区間以外でテンポラリレジスタPに転送した場合 • 山区間の終わり	中間区間でテンポラリレジスタPに転送した場合 • テンポラリレジスタPに転送した1 PCLKA後 中間区間以外でテンポラリレジスタPに転送した場合 • 山/谷区間の終わり
GTPBR ↓ GTPR	山区間の終わり • アップカウント中間区間および山区間におけるカウンタクリア (GTCSR.CP1CCEビットの設定によるカウンタクリアを含む)	谷区間の終わり • ダウンカウント中間区間および谷区間におけるカウンタクリア	山区間の終わり 谷区間の終わり • カウンタクリア

GPTW3 ~ GPTW7 の GTPR レジスタをバッファ動作させる場合には GTBER.PR[0] ビットを“1”に、バッファ動作させない場合には“0”にします。

GPTW0 ~ GPTW2 の GTPR レジスタをダブルバッファ動作させる場合には GTBER.PR[1:0] ビットを“10b”または“11b”、シングルバッファ動作させる場合には“01b”、バッファ動作させない場合には“00b”にします。

相補 PWM モードの場合は、GTBER.PR[1:0] ビットの設定にかかわらず、相補 PWM モード固有のバッファ動作を行います。

図 22.25 ~ 図 22.27 に GTPR レジスタのバッファ動作例を、図 22.31 に GTPR レジスタのバッファ動作設定例を示します。

相補 PWM モードの場合の動作設定の詳細は「22.3.3 PWM 出力動作モード」を参照してください。

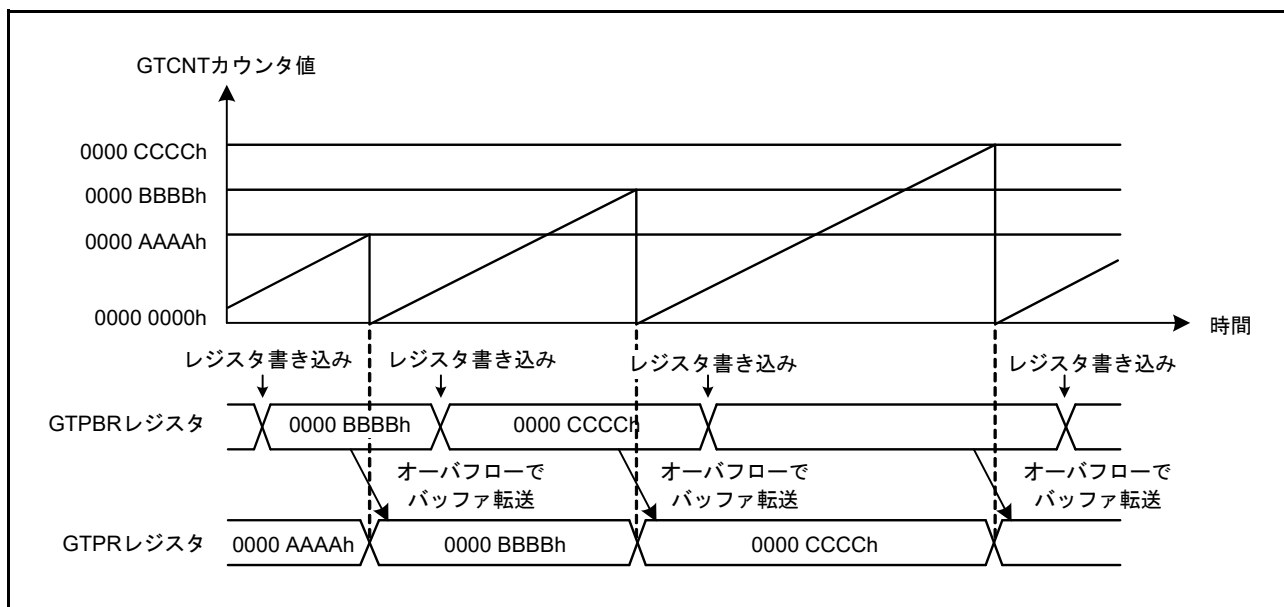


図 22.25 GTPR レジスタのバッファ動作例 (のこぎり波でアップカウントの場合)

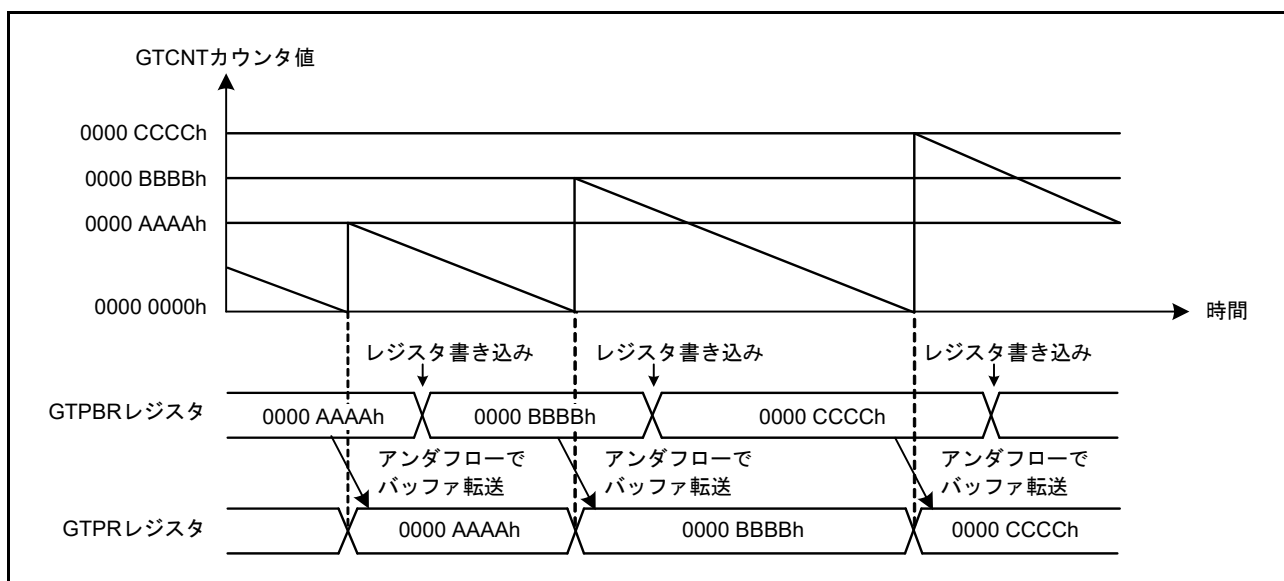


図 22.26 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

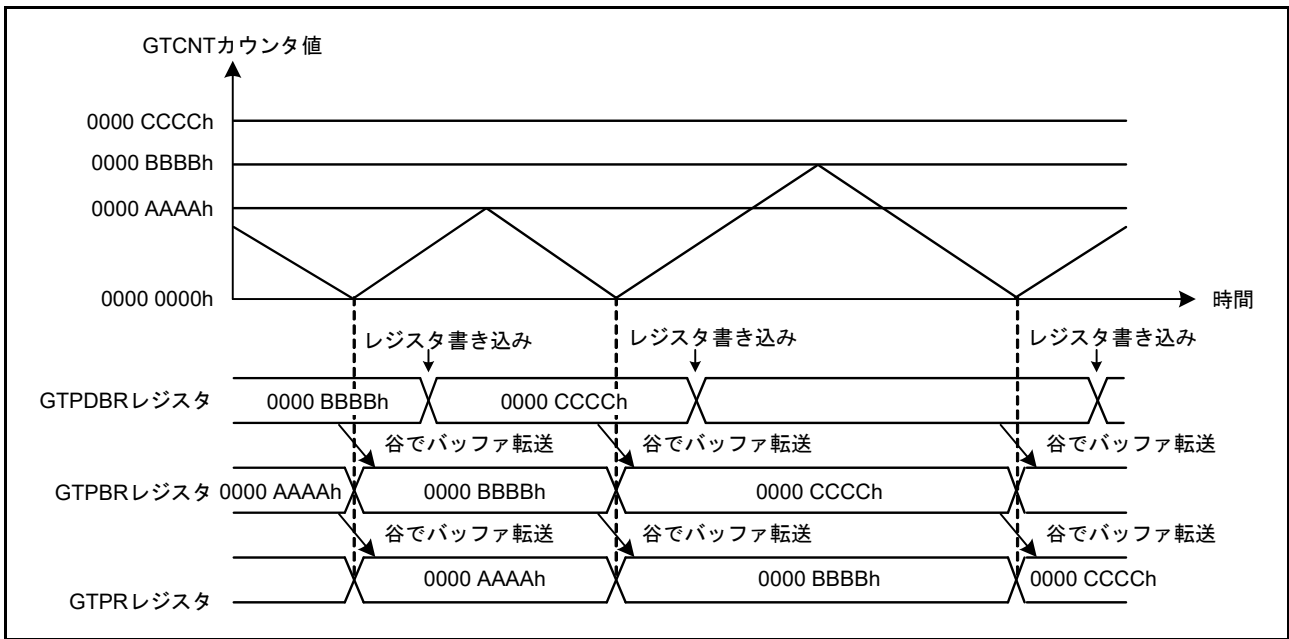


図 22.27 GTPR レジスタのダブルバッファ動作例 (三角波の場合)

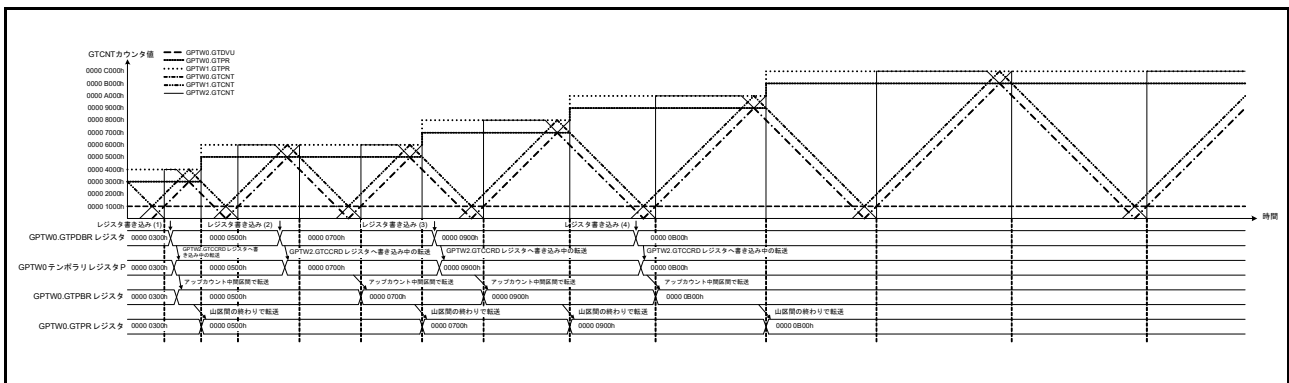


図 22.28 GTPR レジスタのダブルバッファ動作例 (相補 PWM モード 1 の場合)

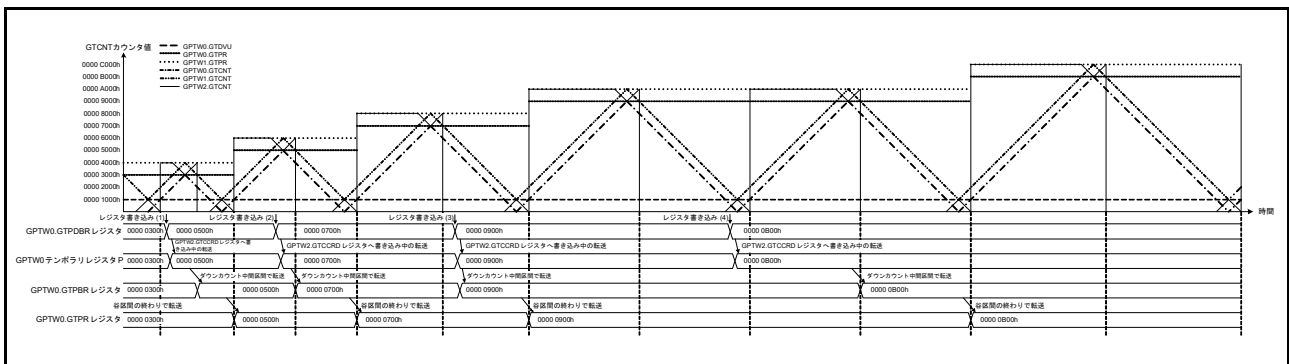


図 22.29 GTPR レジスタのダブルバッファ動作例 (相補 PWM モード 2 の場合)

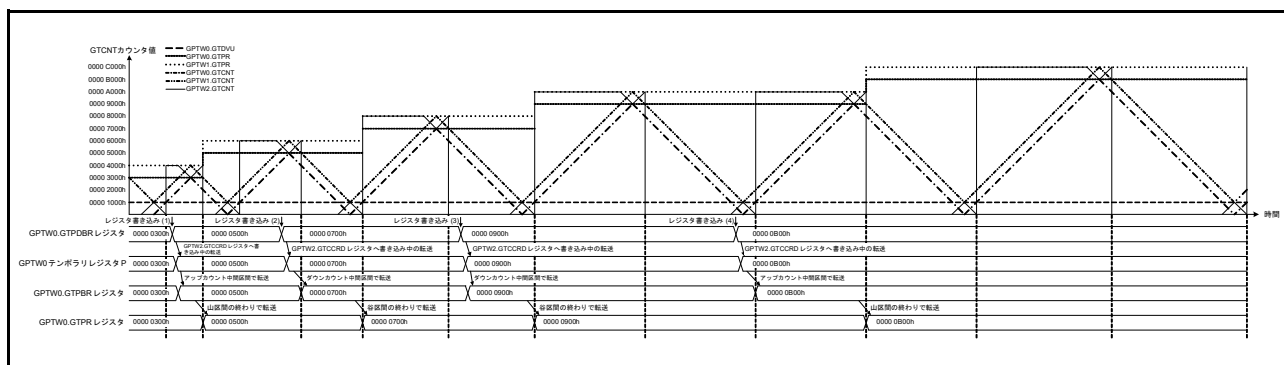


図 22.30 GTPR レジスタのダブルバッファ動作例 (相補 PWM モード 3、相補 PWM モード 4 の場合)

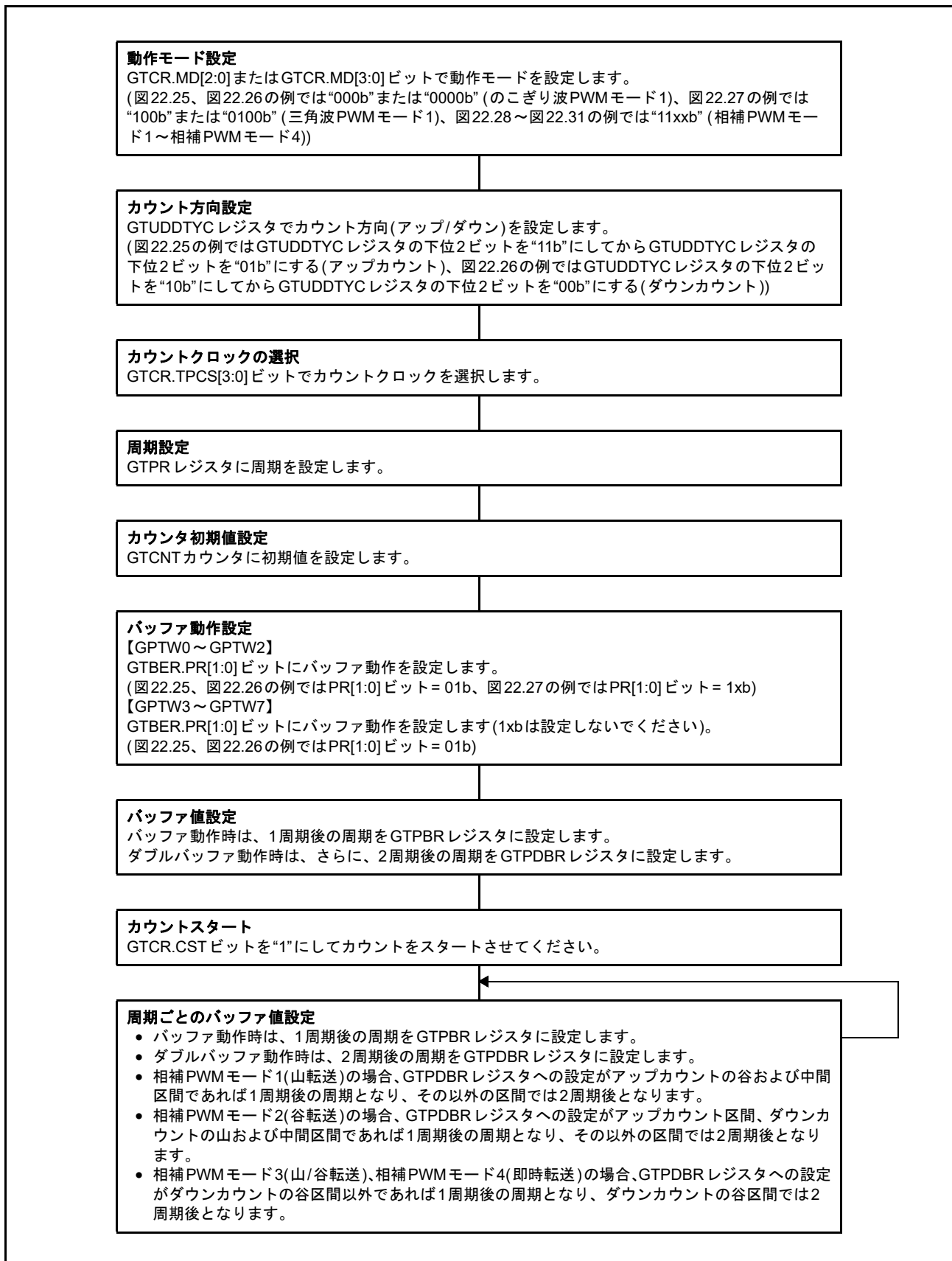


図 22.31 GTPR レジスタのバッファ動作設定例

22.3.2.2 GTCCRA, GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ (GTCCRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ (GTCCRB レジスタのダブルバッファレジスタ) として動作します。

GTCCRA, GTCCRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.CCRA[1:0]、CCRB[1:0] ビットに“10b”または“11b”、シングルバッファ動作させる場合には“01b”、バッファ動作させない場合には“00b”にします。

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、相補 PWM モードの場合、GTBER.CCRA[1:0]、CCRB[1:0] ビットの設定に関わらず、PWM 出力動作モード固有のバッファ動作を行います。

以下、アウトプットコンペア動作時、インプットキャプチャ動作時のバッファ動作について説明します。

(1) GTCCRA, GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

のこぎり波ワンショットパルスモード、三角波 PWM モード 3、相補 PWM モードの場合、バッファ転送は、GTBER.CCRA[1:0]、CCRB[1:0] ビットの設定に関わらず、PWM 出力動作モード固有の操作を行います。詳細は「22.3.3 PWM 出力動作モード」を参照してください。これらを除く、PWM 出力動作モードにおける通常のバッファ転送は、下記の 3 ケースがあります。

- オーバフロー/アンダフローによるバッファ転送
のこぎり波およびイベントカウント動作の場合はオーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は谷 (三角波 PWM モード 1) または山 / 谷 (三角波 PWM モード 2) でバッファ転送を行います。
- カウンタクリアによるバッファ転送
のこぎり波およびイベントカウント動作の場合は、カウント動作中、「22.3.2.1 GTPR レジスタのバッファ動作」と同様のカウンタクリア要因によって、オーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時) の場合と同じバッファ転送を行います。
三角波の場合は、カウンタクリアによるバッファ転送を行いません。
- 強制バッファ転送
のこぎり波の場合、三角波の場合ともに、カウントストップ中に GTBER.CCRSWT ビットに“1”を書くと、GTCCRA, GTCCRB レジスタのバッファ転送を強制的に行います。
のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3 の場合は、カウントストップ中の強制バッファ転送により、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B のバッファ転送も行います。

図 22.32 ~ 図 22.34 に GTCCRA, GTCCRB レジスタのバッファ動作例を、図 22.35 に GTCCRA, GTCCRB レジスタのバッファ動作設定例を示します。

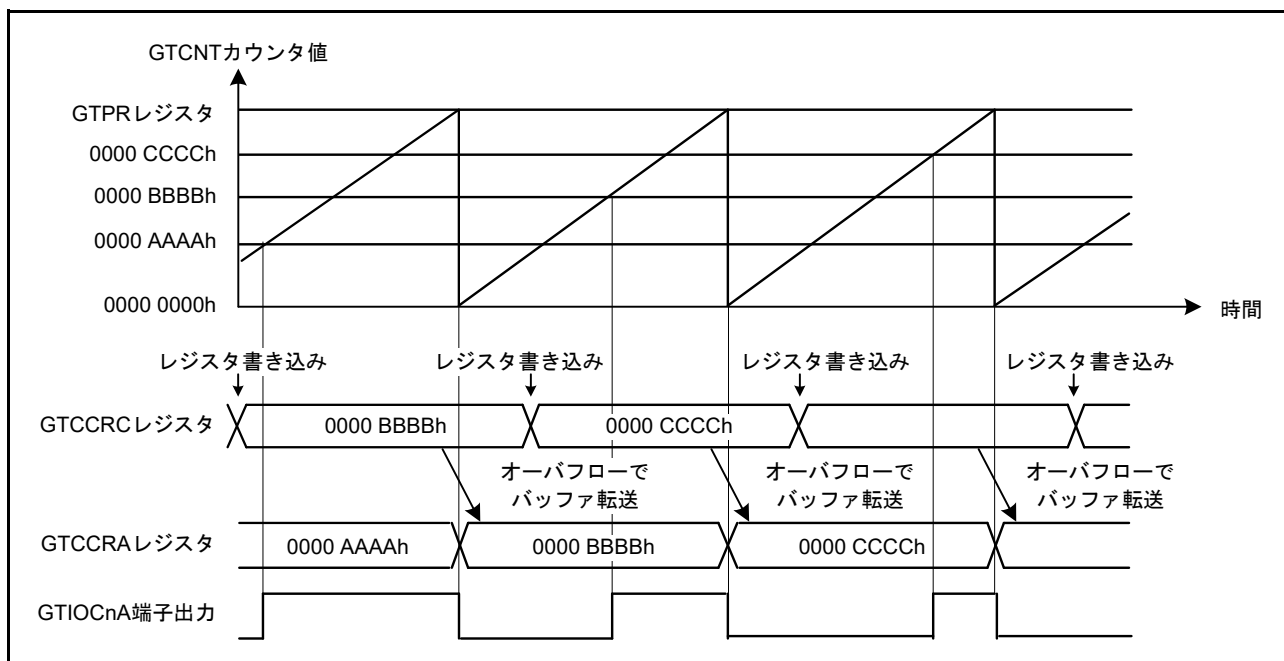


図 22.32 GTCRCRA, GTCCRB レジスタのバッファ動作例
 (アウプットコンペア、のこぎり波またはのこぎり波 PWM モード 1 でアップカウント、GTCCRA レジスタコンペアマッチで High 出力、周期の終わりで Low 出力の場合) (n = 0 ~ 7)

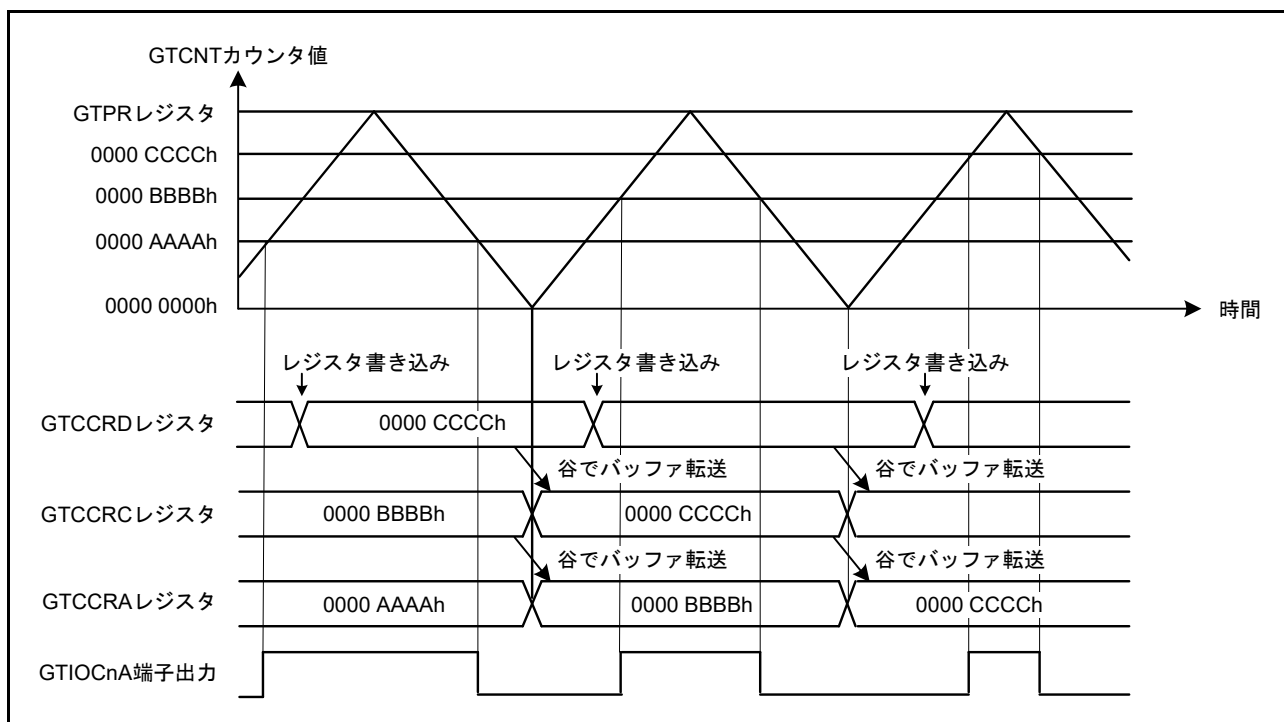


図 22.33 GTCRCRA, GTCCRB レジスタのダブルバッファ動作例
 (アウプットコンペア、三角波、谷でバッファ転送、GTCCRA レジスタコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ~ 7)

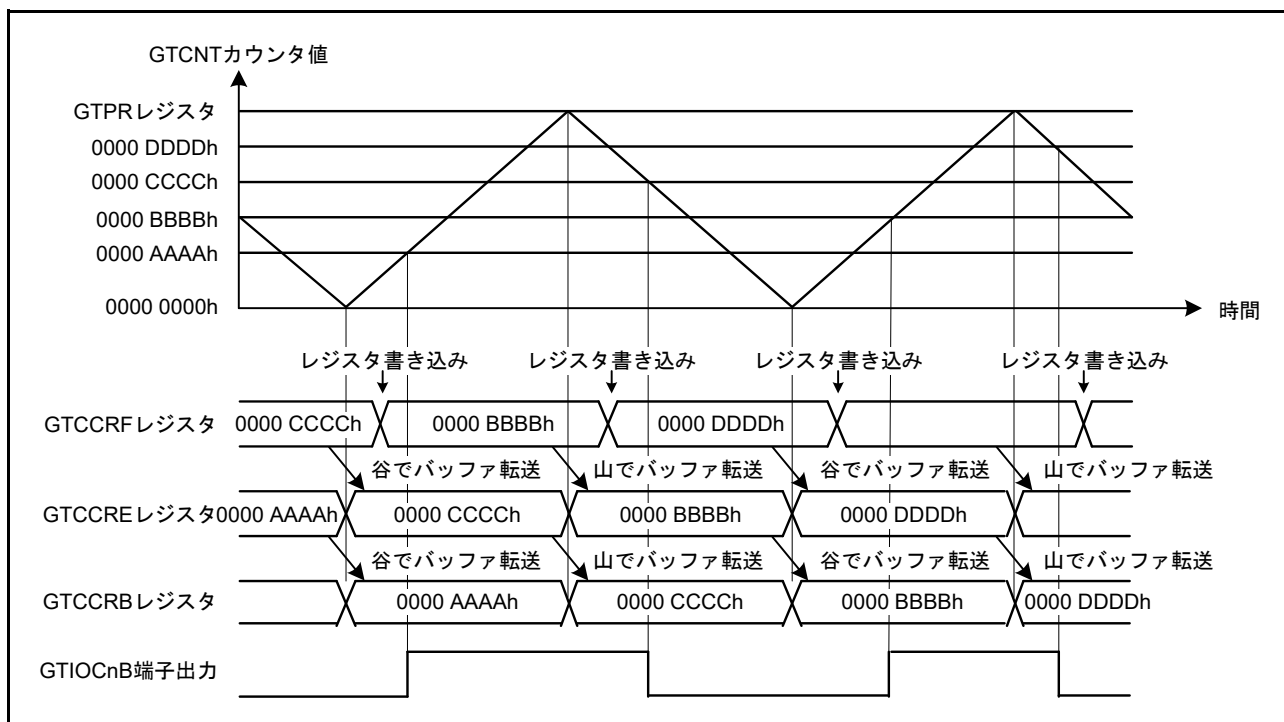


図 22.34 GTCCRA, GTCCRB レジスタのダブルバッファ動作例
 (アウプットコンペア、三角波、谷/山両方でバッファ転送、GTCCRB レジスタコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ~ 7)

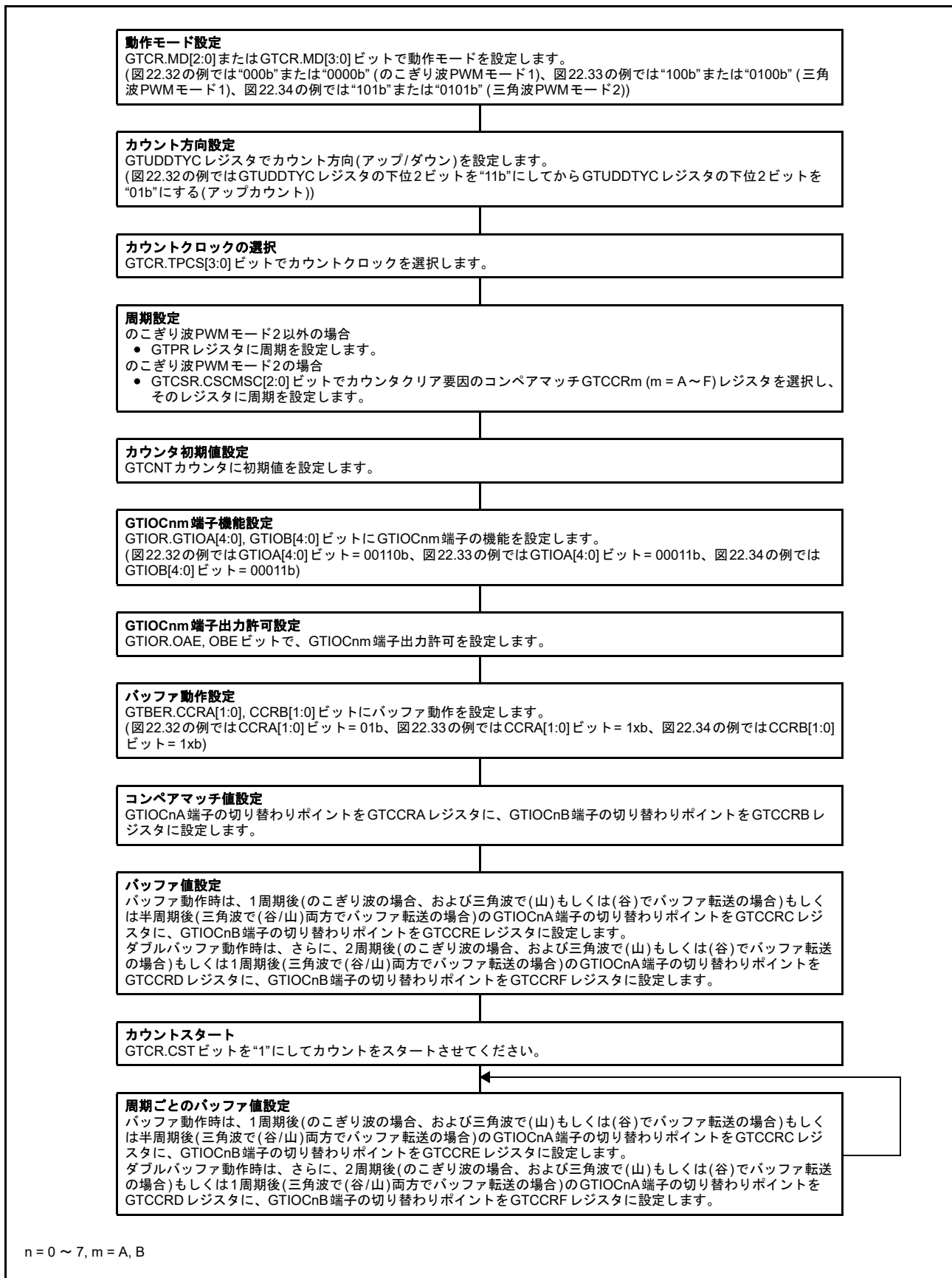


図 22.35 GTCCRA, GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA, GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

バッファ転送のタイミングは、インプットキャプチャが発生したポイントとなります。インプットキャプチャが発生すると、GTCNTカウンタの値をGTCCRA, GTCCRBレジスタに転送すると同時に、それまで格納されていたGTCCRA, GTCCRBレジスタの値をバッファレジスタに転送します。インプットキャプチャでは、カウンタクリアによるバッファ転送を行いません。

図 22.36、図 22.37 に GTCCRA, GTCCRB レジスタのバッファ動作例を、図 22.38 に GTCCRA, GTCCRB レジスタのバッファ動作設定例を示します。

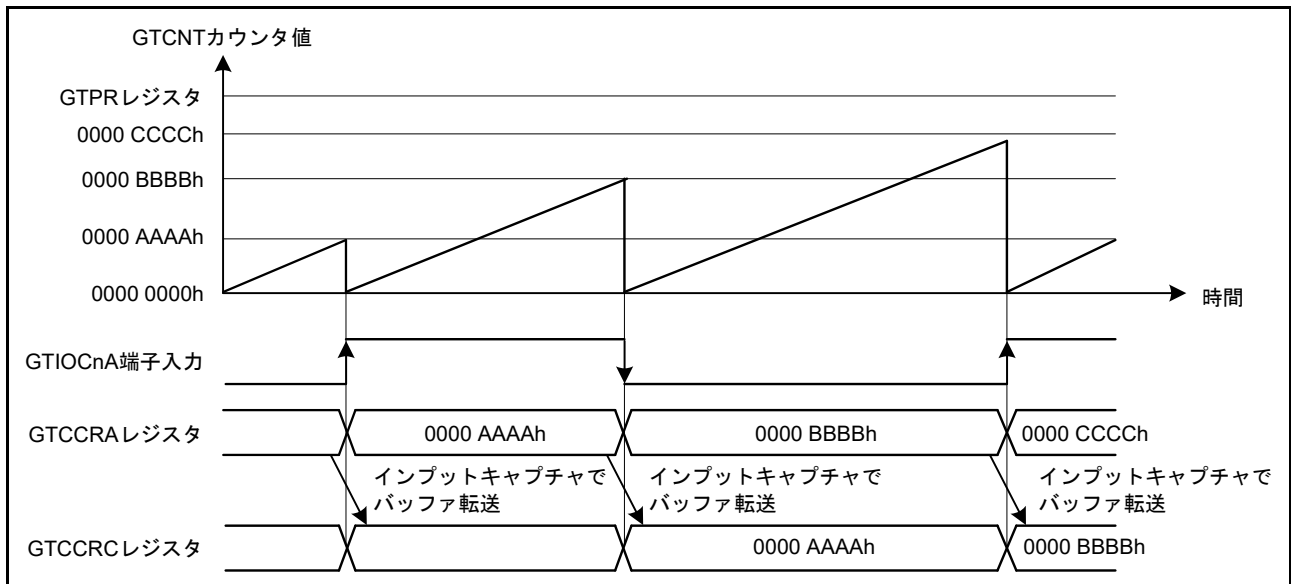


図 22.36 GTCCRA, GTCCRB レジスタのバッファ動作例
(のこぎり波でアップカウント、GTIOcNA 端子入力の両エッジで GTCNT カウンタクリアおよびインプットキャプチャの場合) (n = 0 ~ 7)

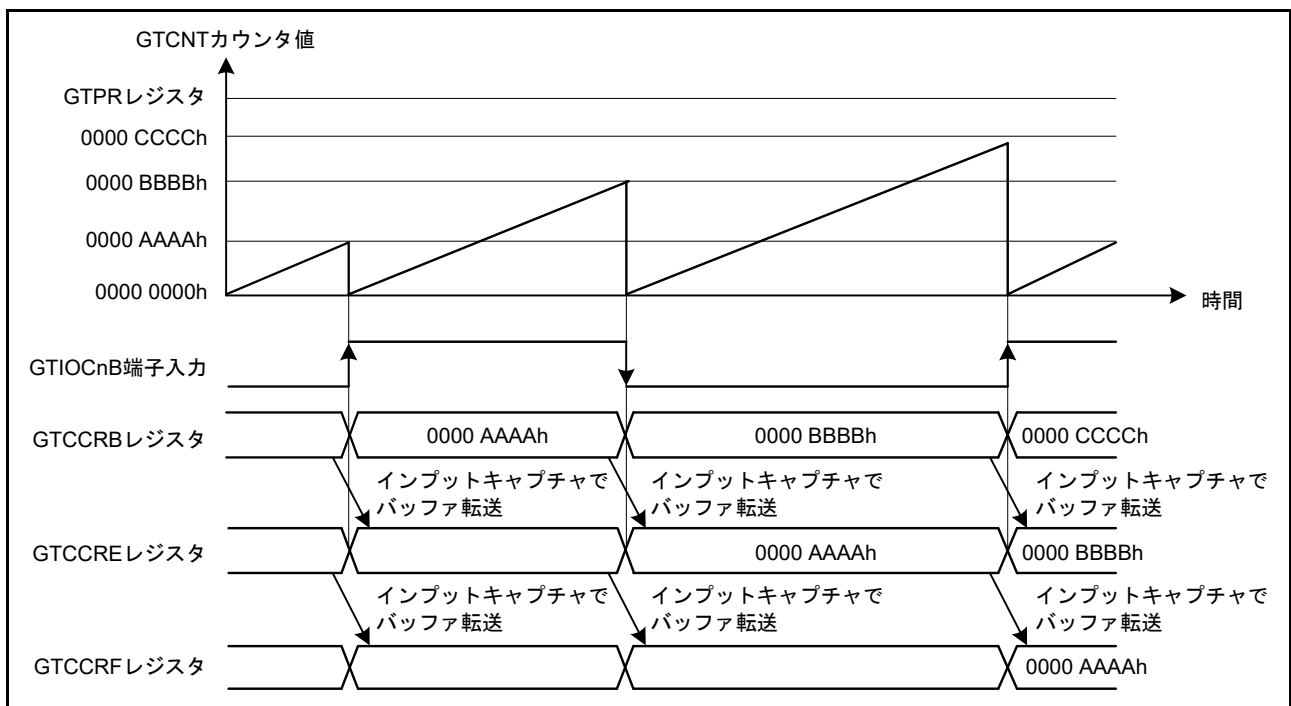


図 22.37 GTCCRA, GTCCRB レジスタのダブルバッファ動作例
(のこぎり波でアップカウント、GTIOcNB 端子入力の両エッジで GTCNT カウンタクリアおよびインプットキャプチャの場合) (n = 0 ~ 7)

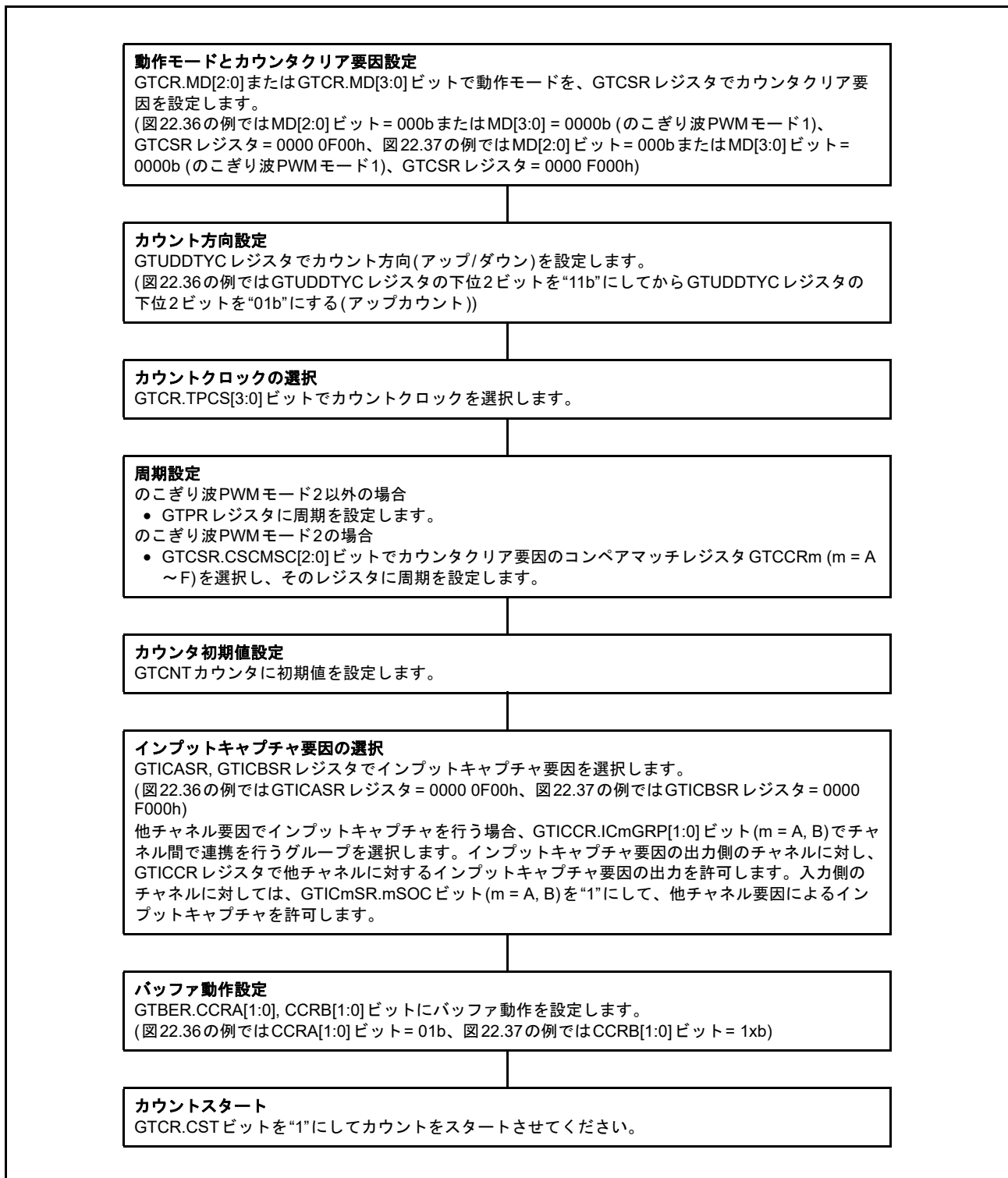


図 22.38 GTCRA, GTCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

22.3.2.3 GTADTRA, GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ (GTADTRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ (GTADTRB レジスタのダブルバッファレジスタ) として動作します。

GTADTRA, GTADTRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.ADTDA, ADTDB ビットを“1”に、シングルバッファ動作させる場合には“0”にします。GTADTRA, GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0], ADTTB[1:0] ビットを“00b”にします。

バッファ転送のタイミングは ADTTA[1:0], ADTTB[1:0] ビットで設定でき、のこぎり波の場合はオーバーフロー (アップカウント時)、アンダフロー (ダウンカウント時)、または三角波および相補 PWM モードの場合は ADTTA[1:0], ADTTB[1:0] ビットが“01b”のときは山、“10b”のときは谷、“11b”のときは谷/山の両方となります。

のこぎり波の場合は、カウント動作中かつ ADTTA[1:0], ADTTB[1:0] ビットの設定が“00b”以外の条件で、「22.3.2.1 GTPR レジスタのバッファ動作」と同様のカウンタクリア要因によって、オーバーフロー (アップカウント時) またはアンダフロー (ダウンカウント時) の場合と同じバッファ転送を行います。

相補 PWM モードの場合、スレーブチャネル 2 への GTCCRD レジスタへの書き込みの 1 PCLK 後にバッファ転送を行います。

図 22.39 ~ 図 22.42 に GTADTRA, GTADTRB レジスタのバッファ動作例を、図 22.43 に GTADTRA, GTADTRB レジスタのバッファ動作設定例を示します。

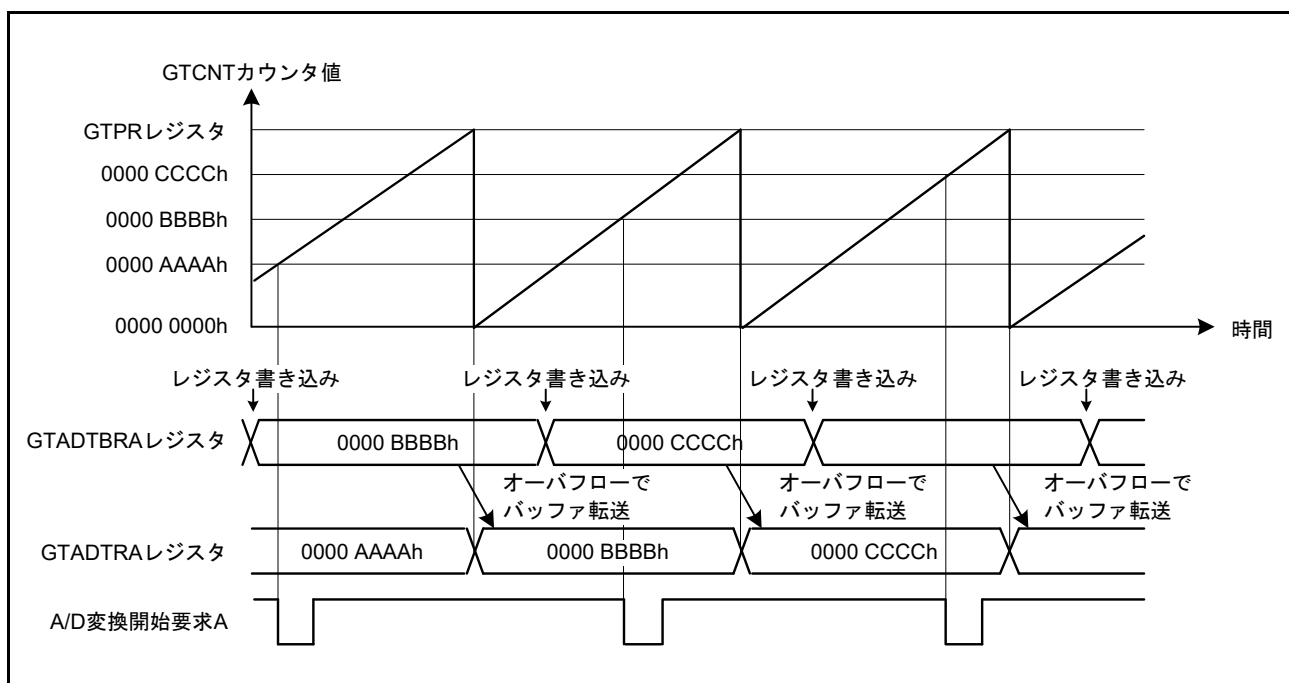


図 22.39 GTADTRA, GTADTRB レジスタのバッファ動作例
(のこぎり波でアップカウント、アップカウントで A/D 変換開始要求発生の場合)

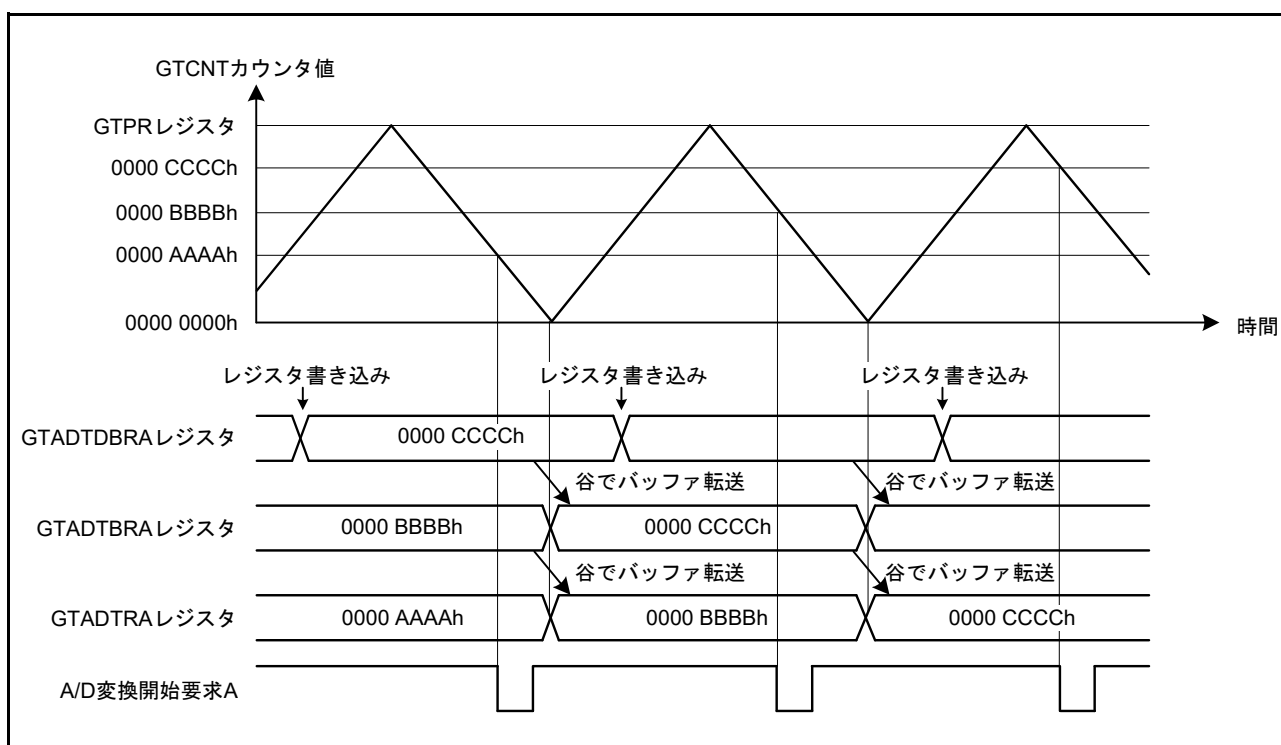


図 22.40 GTADTRA, GTADTRB レジスタのダブルバッファ動作例
(三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求発生の場合)

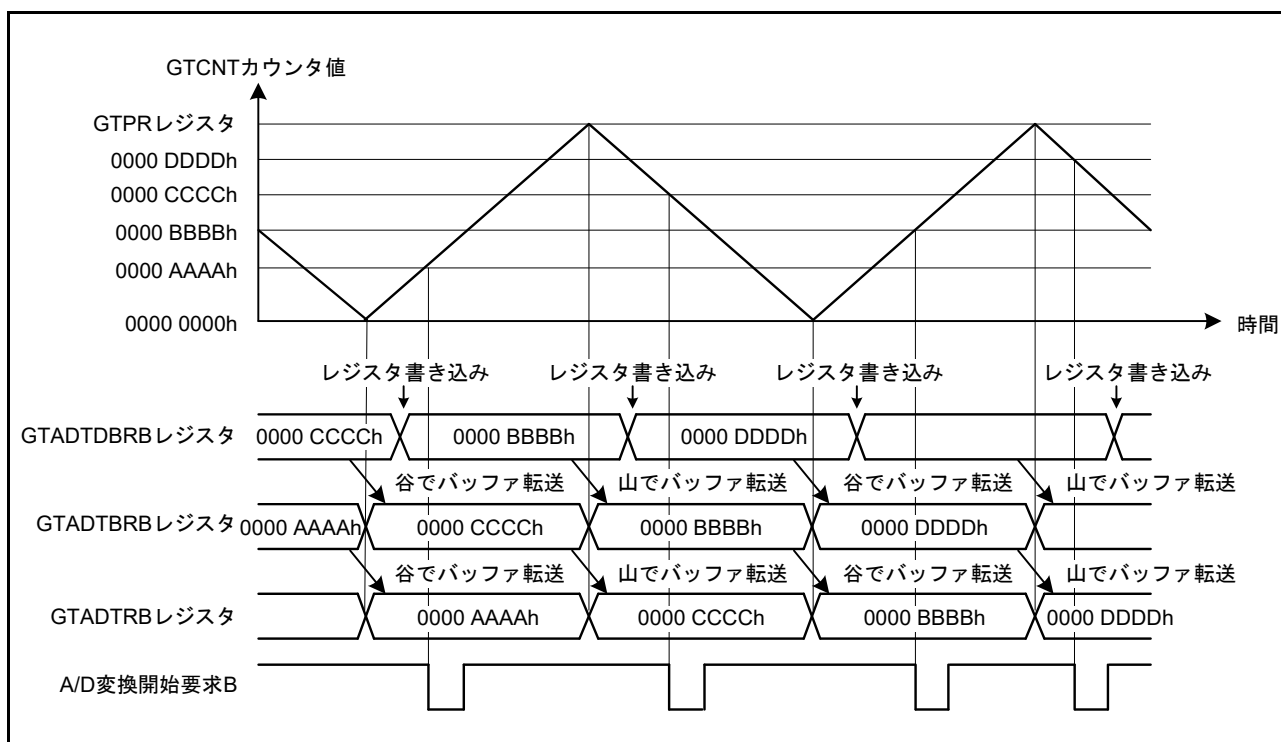


図 22.41 GTADTRA, GTADTRB レジスタのダブルバッファ動作例
(三角波、谷/山両方でバッファ転送、アップカウント/ダウンカウント両方で A/D 変換開始要求発生の場合)

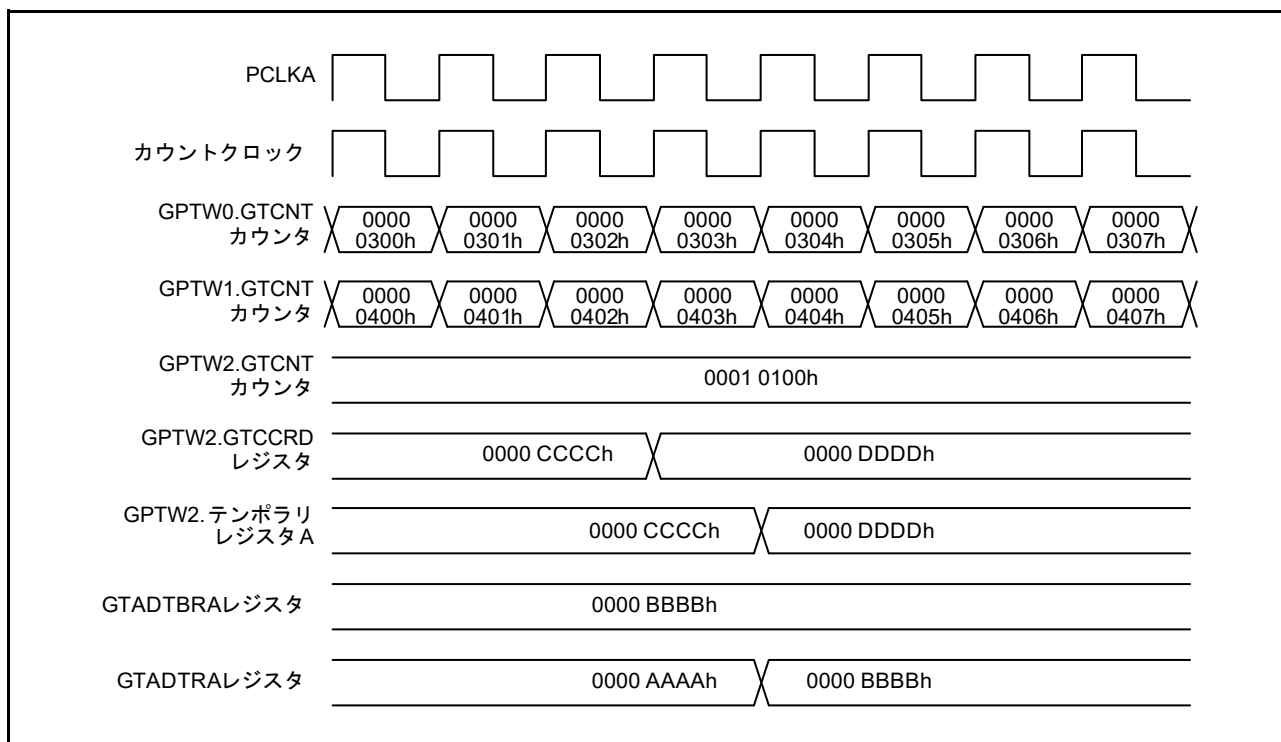


図 22.42 GTADTRA, GTADTRB レジスタの相補 PWM モードにおける
スレーブチャンネル 2 の GTCCRD レジスタ更新時にバッファ動作例



図 22.43 GTADTRA, GTADTRB レジスタのバッファ動作設定例

22.3.3 PWM 出力動作モード

GTCNT カウンタと GTCCRA, GTCCRB レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子 (n = 0 ~ 7) に PWM 波形を出力することができます。

また、GTDTCR, GTDVU レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

相補 PWM モードでは、デューティ 0%、100% 近傍の PWM 出力パルス幅のリニアリティを保証したデッドタイム付き PWM 波形 (正相、逆相) を出力することができます。

のこぎり波、三角波、相補 PWM モード時にマスタチャンネルとなるチャンネルでは、のこぎり波 PWM モード 2 以外の PWM 出力動作モードの場合、GTIOR.PSYE ビットを“1”に設定することにより、のこぎり波の場合は周期の終わり、三角波と相補 PWM モードの場合は山 / 谷 / GTCNT カウンタクリアでトグルする PWM 周期に同期した信号を GTCPP00 出力端子から出力することができます。GTCPP00 出力端子の初期出力は Low、カウントスタートによって High になります。

(1) のこぎり波 PWM モード 1

のこぎり波 PWM モード 1 は、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波 (半波) 動作させ、GTCCRA, GTCCRB レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子に PWM 波形を出力するモードです。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

GTIOR.OmEOCD ビットに“0”が設定され、周期の終わりと GTCCRm レジスタ (m = A, B) のコンペアマッチのタイミングが一致する場合、GTIOR.GTIOm[3:2] ビットに設定した周期の終わりで PWM 出力動作を行います。

GTIOR.OmEOCD ビットに“1”が設定されている場合は、GTIOCnm 端子は出力を保持します。

図 22.44 にのこぎり波 PWM モード 1 の動作例を、図 22.45 にのこぎり波 PWM モード 1 の設定例を示します。

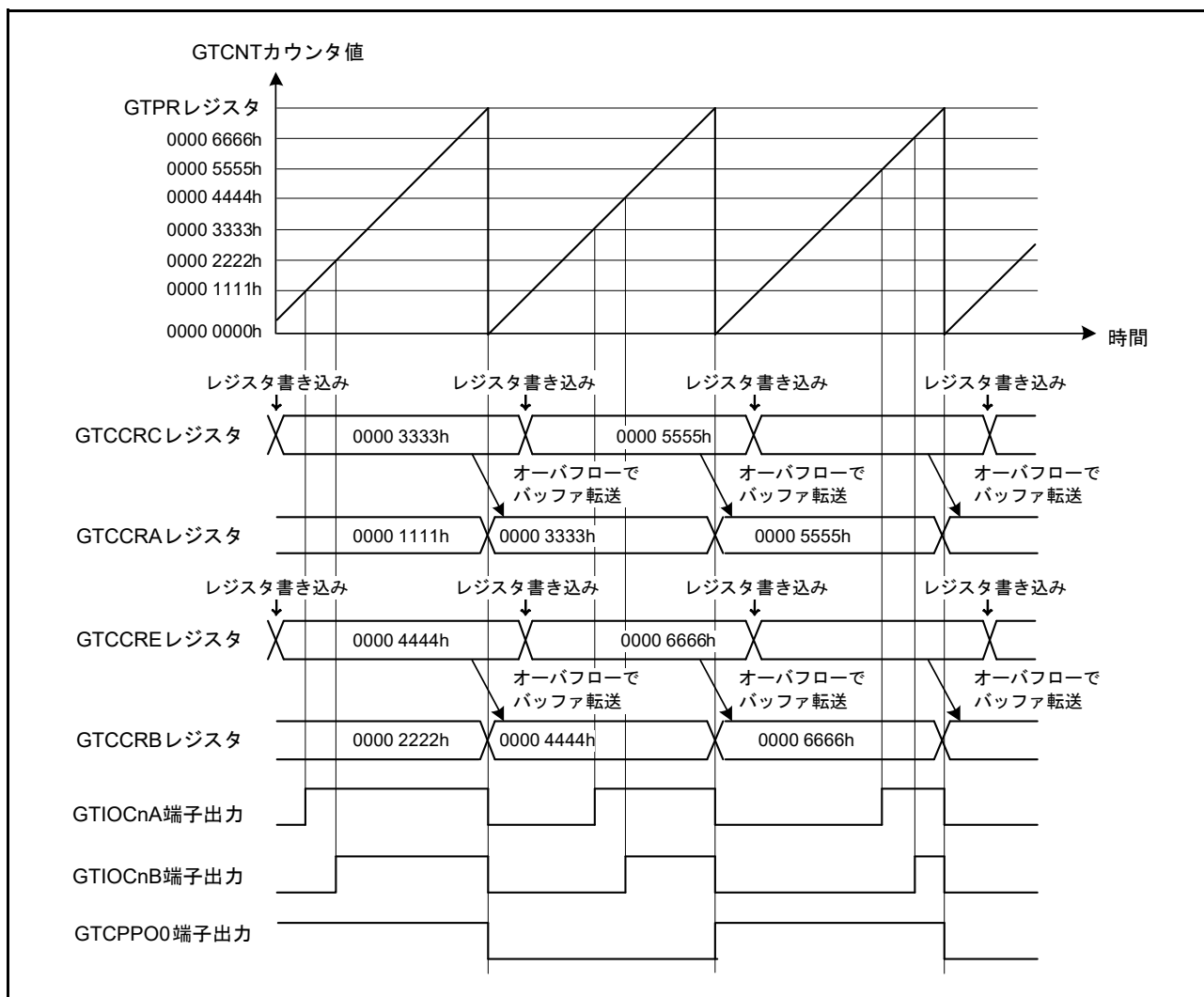


図 22.44 のこぎり波 PWM モード 1 動作例
 (アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、
 周期の終わりで Low 出力の場合 (n = 0 ~ 7)、GPTW0.GTIOR.PSYE ビット = 1 の場合 (GPTW0
 のみ))

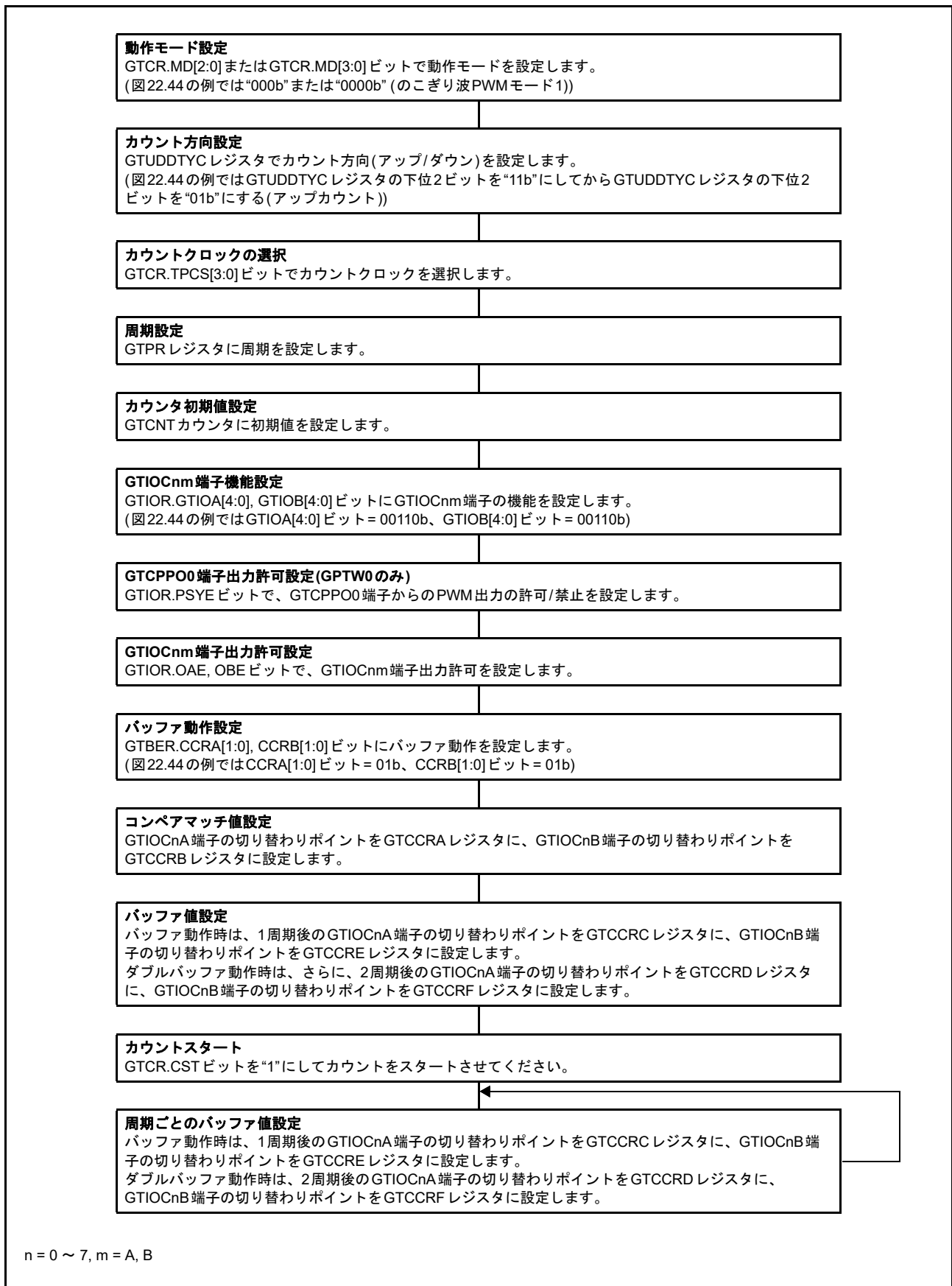


図 22.45 のこぎり波 PWM モード 1 設定例

(2) のこぎり波 PWM モード 2

のこぎり波 PWM モード 2 は、GTPR レジスタを用いず、GTCNT カウンタをアップカウントでのこぎり波動作させ、GTCCRA、GTCCRB レジスタのコンペアマッチにより、PWM 波形を出力するモードです。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力を設定することができます。

出力端子は GTIOCnA 端子になります。GTIOCnA 端子の GTCCRB レジスタのコンペアマッチによる出力設定は GTIOR.GTIOB[1:0] ビットで設定してください。

GTCSR レジスタで選択された GTCNT カウンタのクリア要因によりカウンタクリアが発生した場合、これを周期の終わりとして扱い、GTIOR.GTIOA[3:2] ビットで選択された周期の終わりにおける PWM 出力動作を行います。カウンタクリア (周期の終わり) と GTCCRm レジスタ (m = A, B) コンペアマッチにより PWM 出力変化が競合した場合、GTIOR.OmEOCD ビットが “0” であれば周期の終わりにおける PWM 出力動作を行い、GTIOR.OmEOCD ビットが “1” であれば出力を保持します。

図 22.46 ~ 図 22.48 にのこぎり波 PWM モード 2 の動作例を、図 22.49 にのこぎり波 PWM モード 2 の設定例を示します。

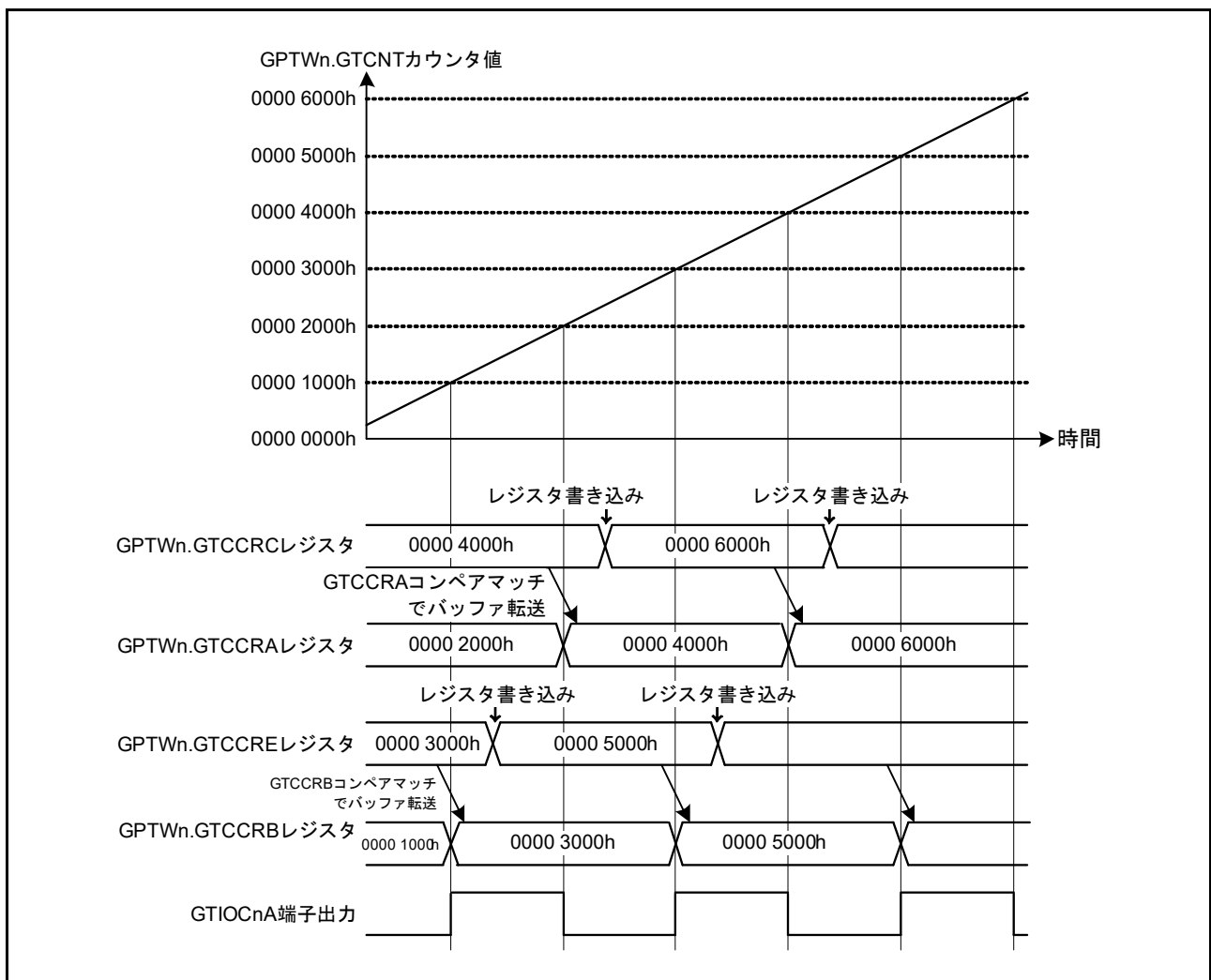


図 22.46 のこぎり波 PWM モード 2 動作例 (GTCCRA レジスタのコンペアマッチで Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、シングルバッファ動作、クリア設定無しの場合) (n = 0 ~ 2)

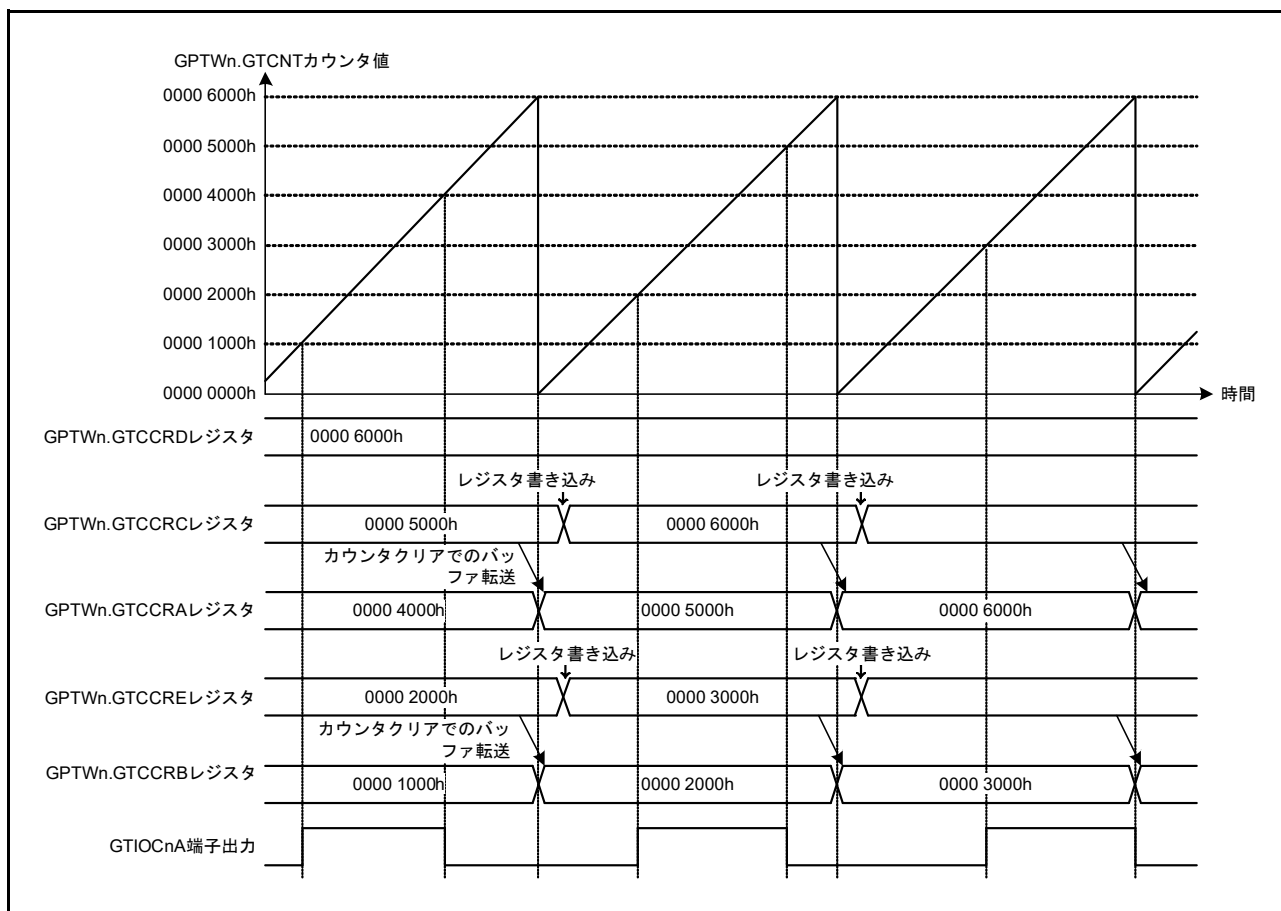


図 22.47 のこぎり波 PWM モード 2 動作例
 (GTCCRA レジスタのコンペアマッチで Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、シングルバッファ動作、GTCCRD レジスタのコンペアマッチでクリア、GTIOR.OAEOCD ビット = 0 場合) (n = 0 ~ 2)

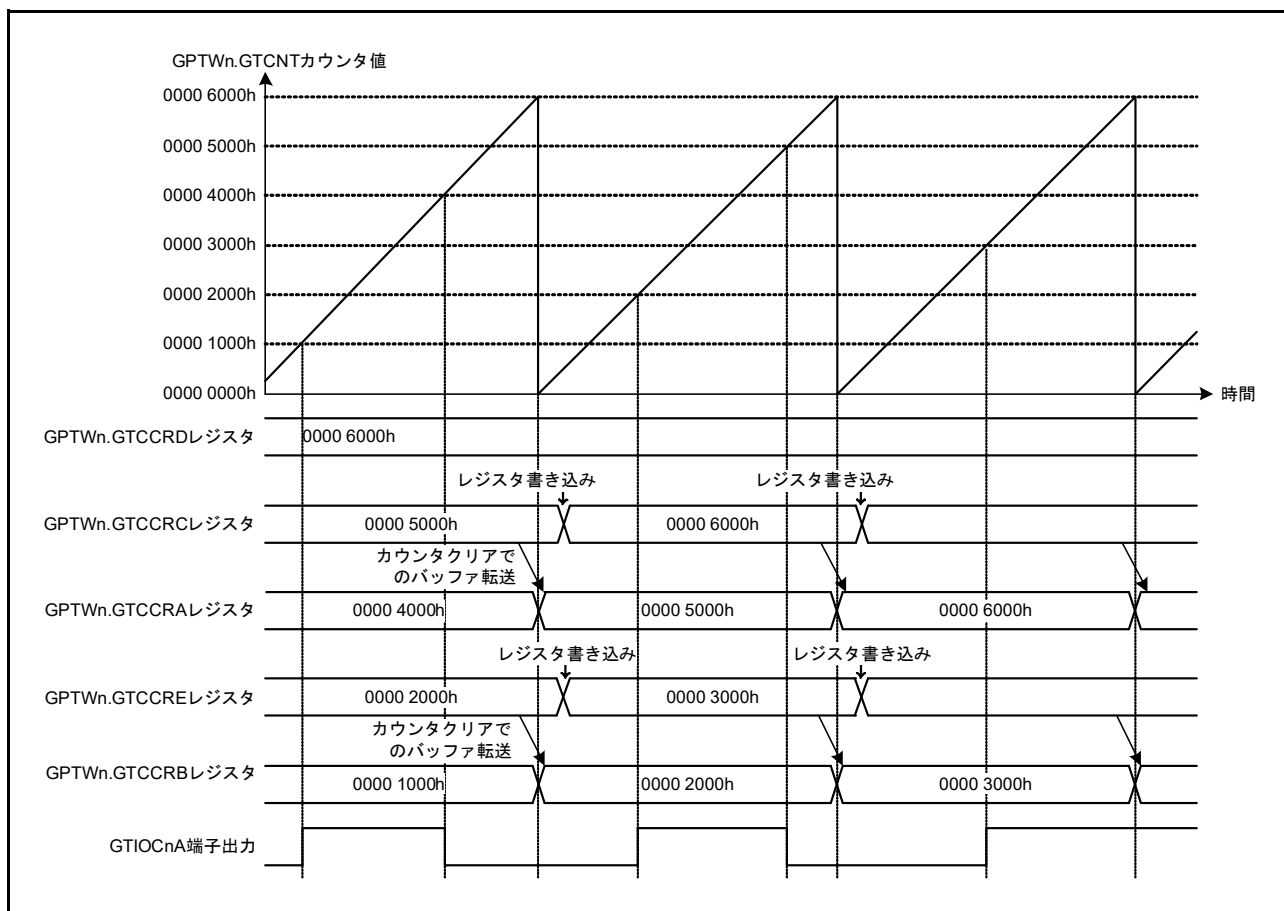


図 22.48 のこぎり波 PWM モード 2 動作例
 (GTCCRA レジスタのコンペアマッチで Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、シングルバッファ動作、GTCCRD レジスタのコンペアマッチでクリア、GTIOR.OAEOCD ビット = 1 の場合) (n = 0 ~ 2)

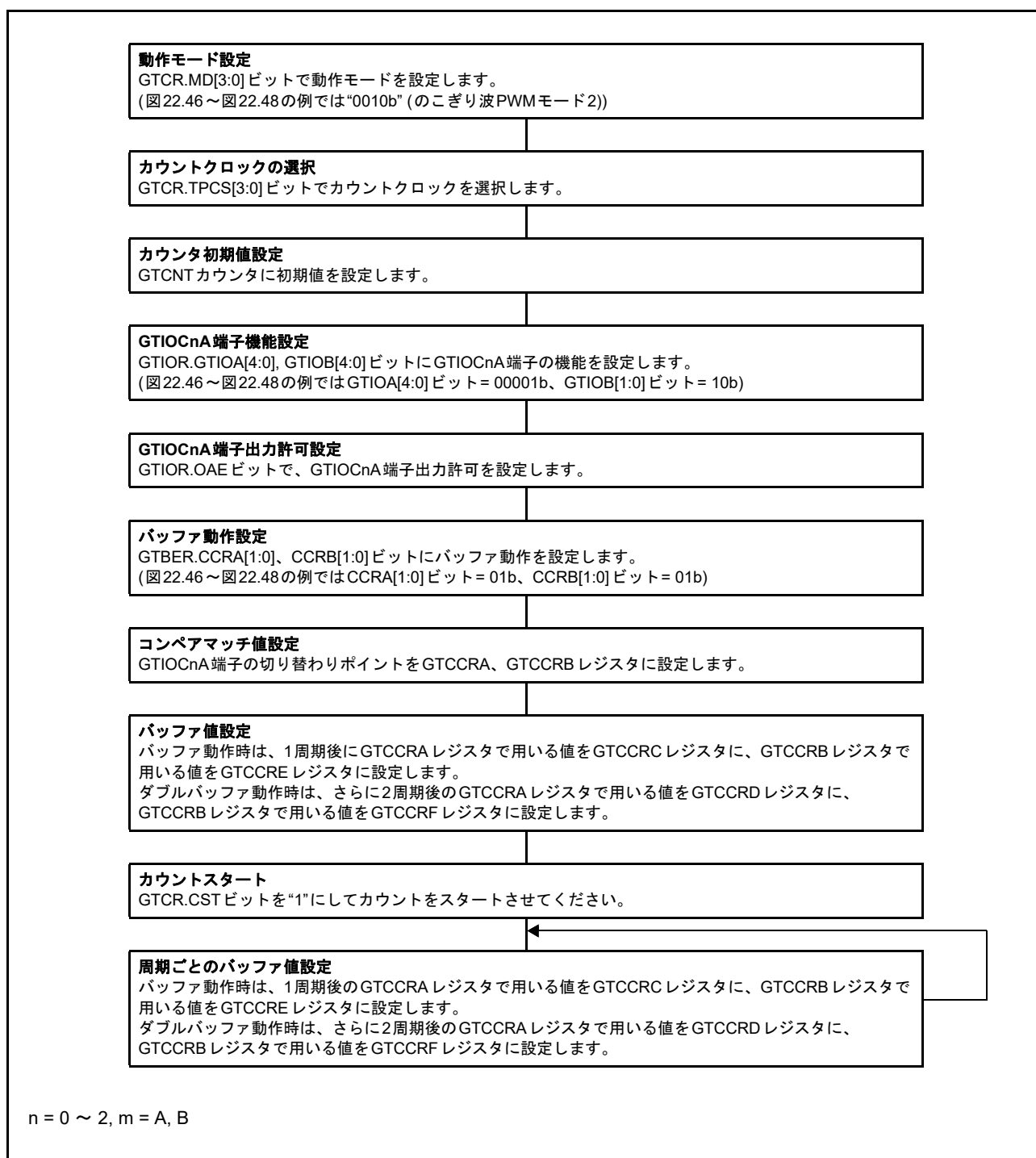


図 22.49 のこぎり波 PWM モード 2 設定例

(3) のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPRレジスタに周期を設定してGTCNTカウンタをのこぎり波(半波)動作させ、バッファ動作固定で、GTCCRA, GTCCRBレジスタのコンペアマッチにより、GTIOcnA, GTIOcnB端子(n=0~7)にPWM波形を出力するモードです。のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なり、周期の終わりで、GTCCRCレジスタからGTCCRAレジスタに、GTCCREレジスタからGTCCRBレジスタに、GTCCRDレジスタからテンポラリレジスタAに、GTCCRFレジスタからテンポラリレジスタBにバッファ転送され、さらに、GTCCRAレジスタのコンペアマッチでテンポラリレジスタAからGTCCRAレジスタに、GTCCRBレジスタのコンペアマッチでテンポラリレジスタBからGTCCRBレジスタにバッファ転送されます。端子の出力値はGTIORレジスタにより、コンペアマッチでLow出力/High出力/トグル出力、周期の終わりでLow出力/High出力/トグル出力、を設定することができます。

テンポラリレジスタAおよびテンポラリレジスタBは、カウント停止中にGTBER.CCRSWTビットに“1”を書くことで、GTCCRDレジスタからテンポラリレジスタA、GTCCRFレジスタからテンポラリレジスタBに強制バッファ転送を行うことで設定可能です。

また、GTDTCR, GTDVUレジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値をGTCCRBレジスタに自動設定することも可能です。

図 22.50 にのこぎり波ワンショットパルスモードの動作例を、図 22.51 にのこぎり波ワンショットパルスモードの設定例を示します。

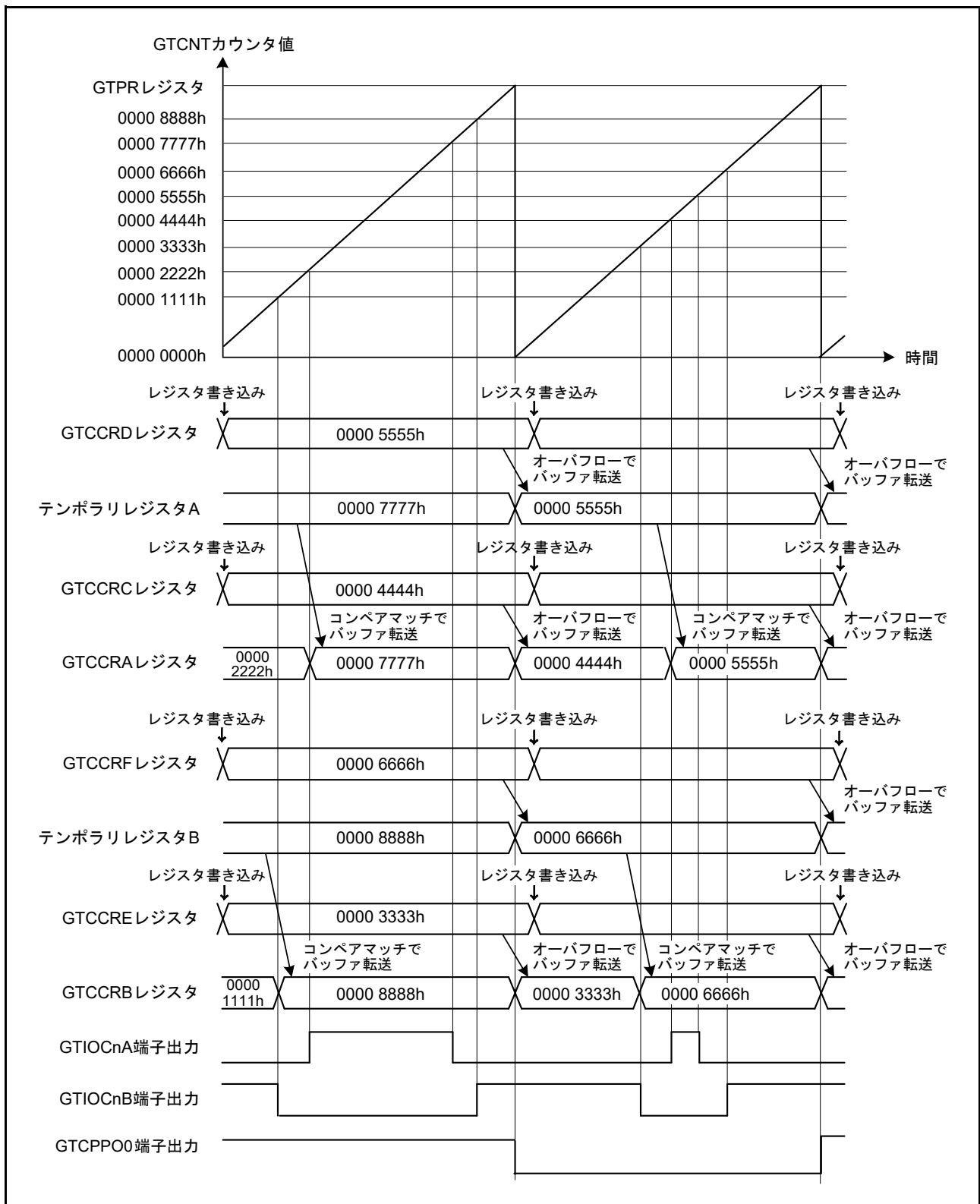


図 22.50 のこぎり波ワンショットパルスモード動作例 (アップカウント、初期出力で GTIOcNA 端子 = Low 出力 / GTIOcNB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n = 0 ~ 7)、GPTW0.GTIOR.PSYE ビット = 1 の場合 (GPTW0 のみ))

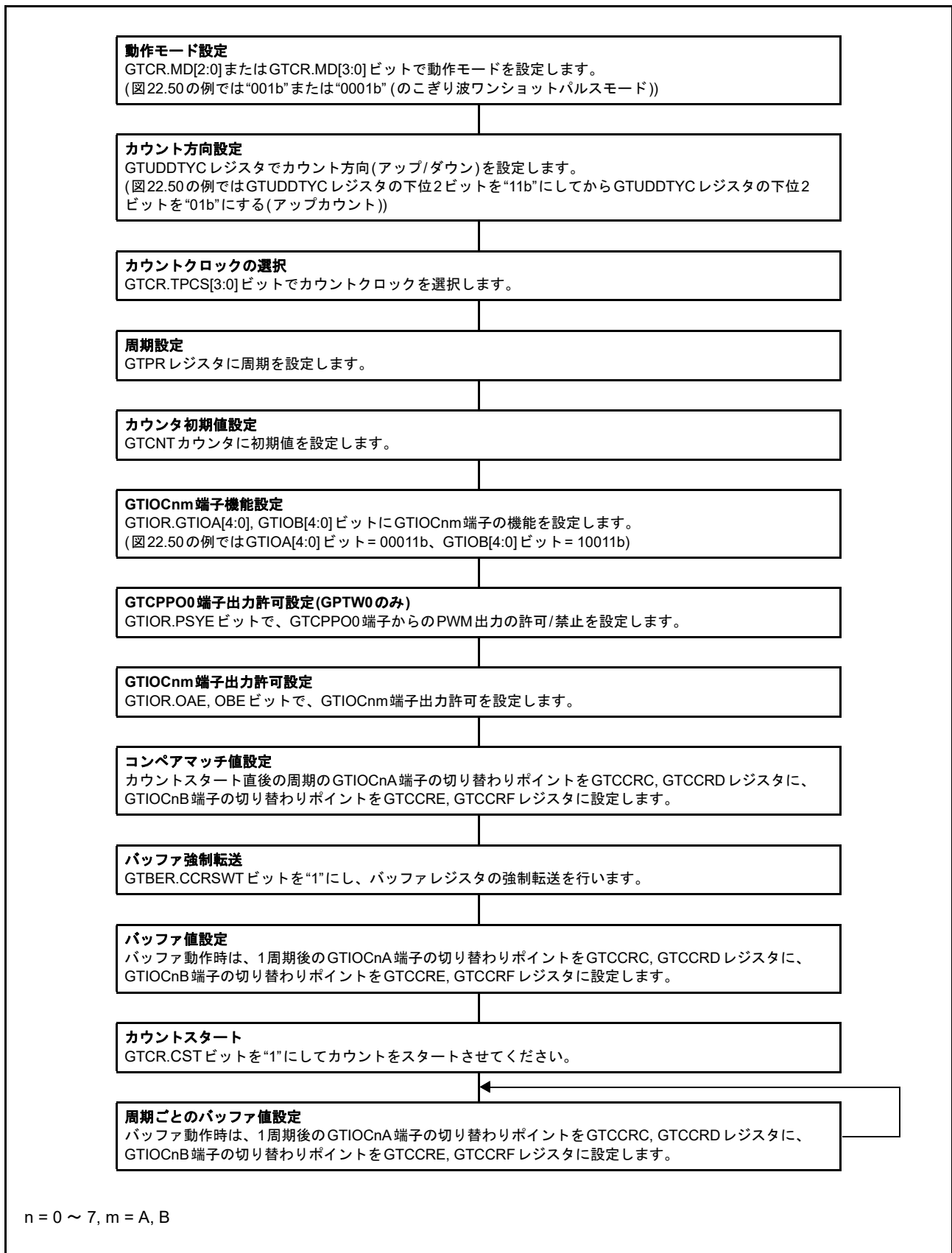


図 22.51 のこぎり波ワンショットパルスモード設定例

(4) 三角波PWMモード1(谷32ビット転送)

三角波PWMモード1は、GTPRレジスタに周期を設定してGTCNTカウンタを三角波(全波)動作させ、GTCCRA, GTCCRBレジスタのコンペアマッチにより、GTIOCnA, GTIOCnB端子(n=0~7)にPWM波形を出力するモードです。バッファ動作のタイミングは、谷となります。端子の出力値はGTIORレジスタにより、コンペアマッチでLow出力/High出力/トグル出力、周期の終わりでLow出力/High出力/トグル出力、を設定することができます。

また、GTDTCR, GTDVUレジスタを設定することによって、デッドタイム付きの逆相波形用のコンペアマッチ値をGTCCRBレジスタに自動設定することも可能です。

図22.52に三角波PWMモード1の動作例を、図22.53に三角波PWMモード1の設定例を示します。

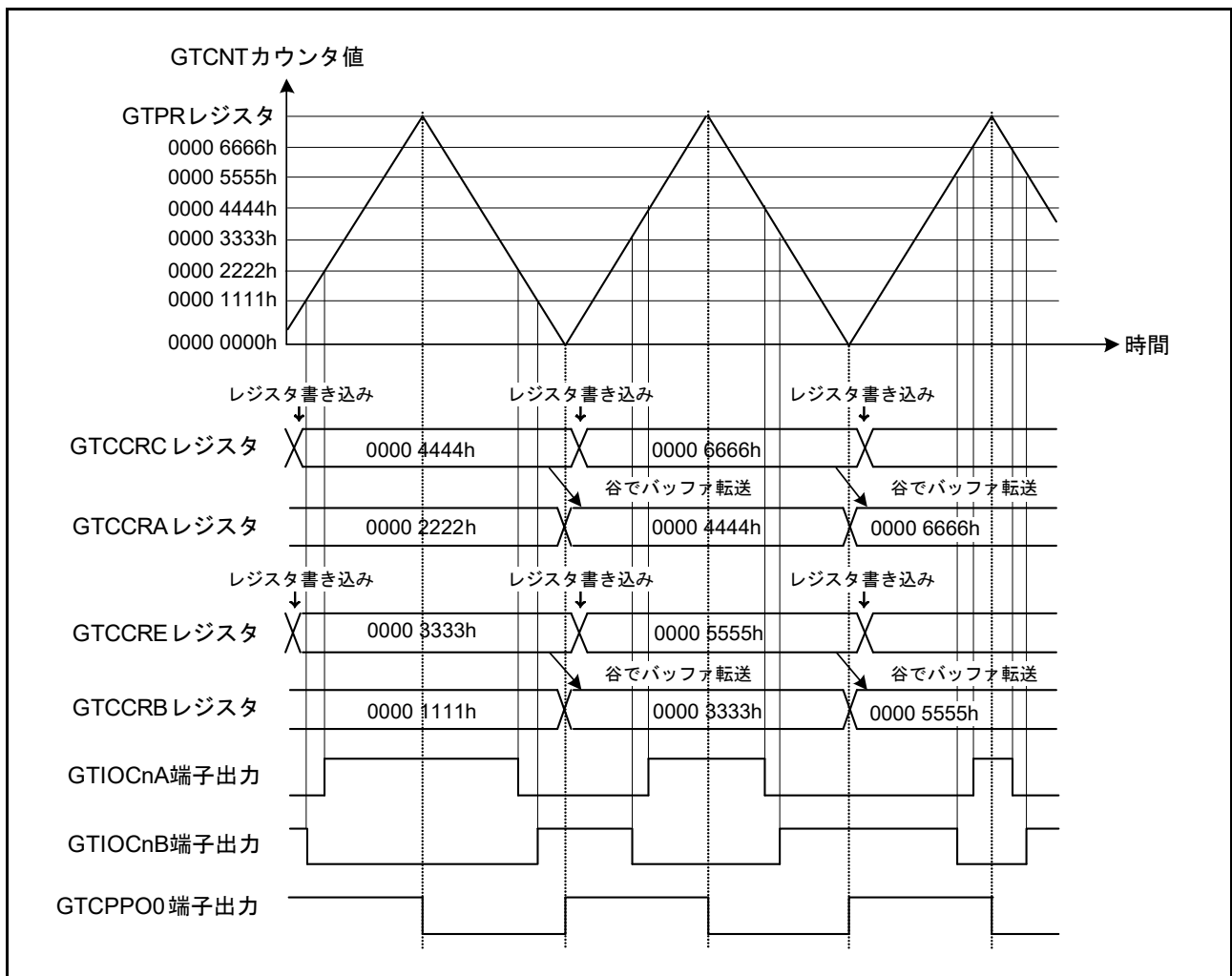


図 22.52 三角波PWMモード1動作例(バッファ動作、初期出力でGTIOCnA端子=Low出力/GTIOCnB端子=High出力、GTCCRA/GTCCRBレジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合(n=0~7)、GPTW0.GTIOA.PSYEビット=1の場合(GPTW0のみ))

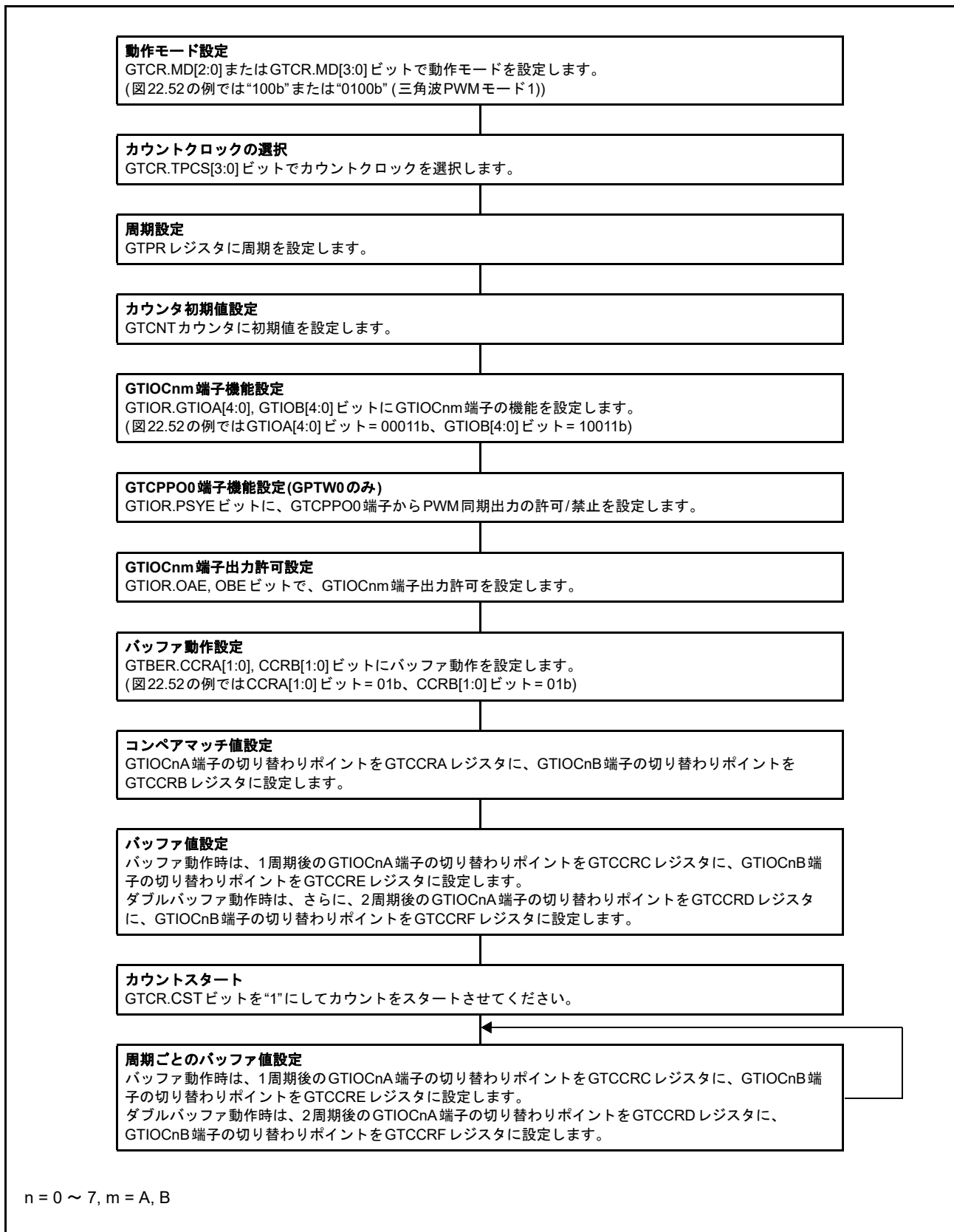


図 22.53 三角波 PWM モード 1 設定例

(5) 三角波 PWM モード 2 (山 / 谷 32 ビット 転送)

三角波 PWM モード 2 は、三角波 PWM モード 1 と同様に GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、GTCRA, GTCRB レジスタのコンペアマッチにより、GTIOCnA, GTIOCnB 端子 (n=0 ~ 7) に PWM 波形を出力するモードですが、バッファ動作のタイミングは山 / 谷の両方となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR, GTDVU レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCRB レジスタに自動設定することも可能です。

図 22.54 に三角波 PWM モード 2 の動作例を、図 22.55 に三角波 PWM モード 2 の設定例を示します。

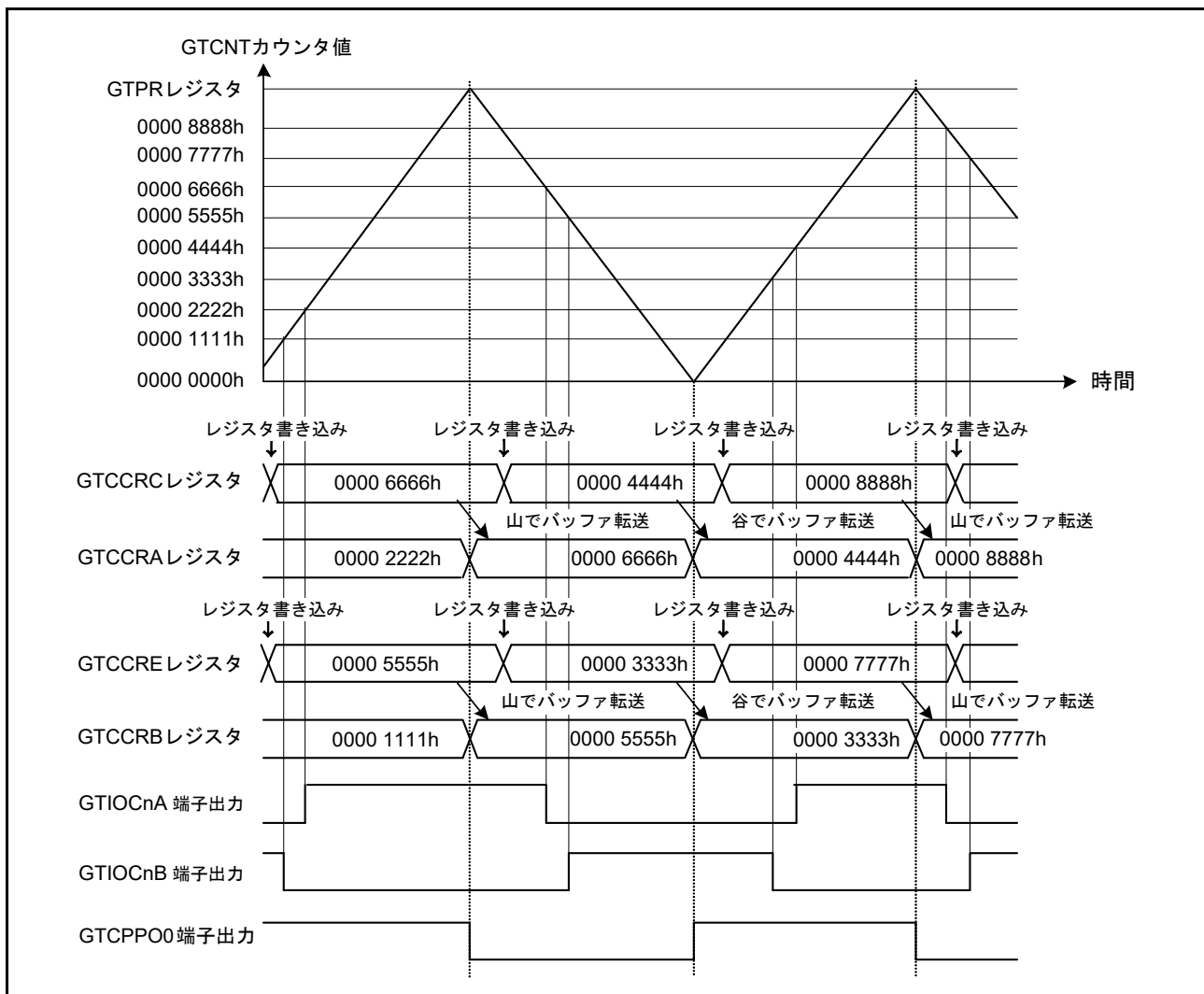


図 22.54 三角波 PWM モード 2 動作例 (バッファ動作、初期出力で GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、GTCRA/GTCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n = 0 ~ 7)、GPTW0.GTIOR.PSYE ビット = 1 の場合 (GPTW0 のみ))

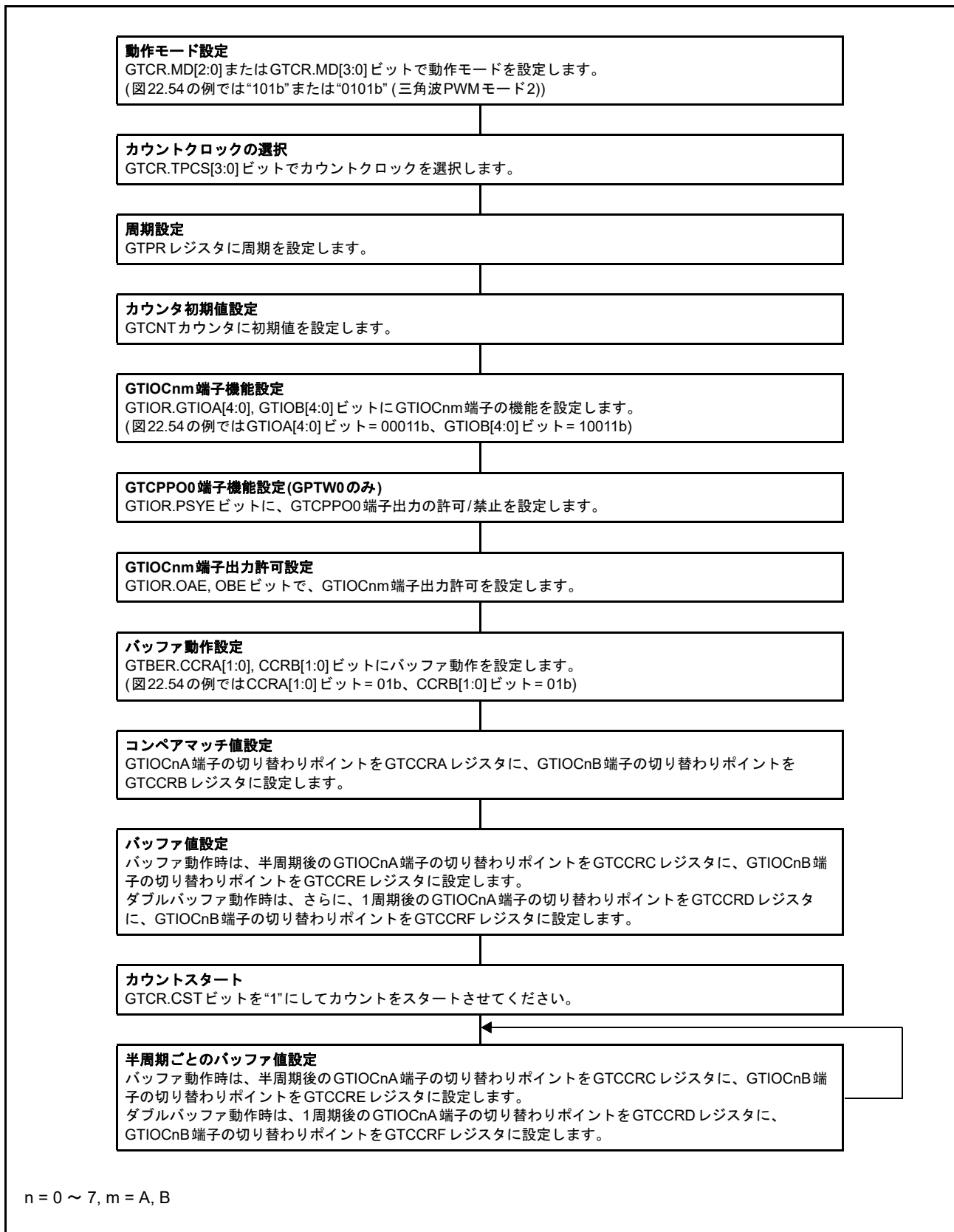


図 22.55 三角波 PWM モード 2 設定例

(6) 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、バッファ動作固定で、GTCCRA, GTCCRB レジスタのコンペアマッチにより、GTIOc_nA, GTIOc_nB 端子 (n = 0 ~ 7) に PWM 波形を出力するモードです。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なり、谷で、GTCCRC レジスタから GTCCRA レジスタに、GTCCRE レジスタから GTCCRB レジスタに、GTCCRD レジスタからテンポラリレジスタ A に、GTCCRF レジスタからテンポラリレジスタ B にバッファ転送され、さらに、山で、テンポラリレジスタ A から GTCCRA レジスタに、テンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR, GTDVU レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 22.56 に三角波 PWM モード 3 の動作例を、図 22.57 に三角波 PWM モード 3 の設定例を示します。

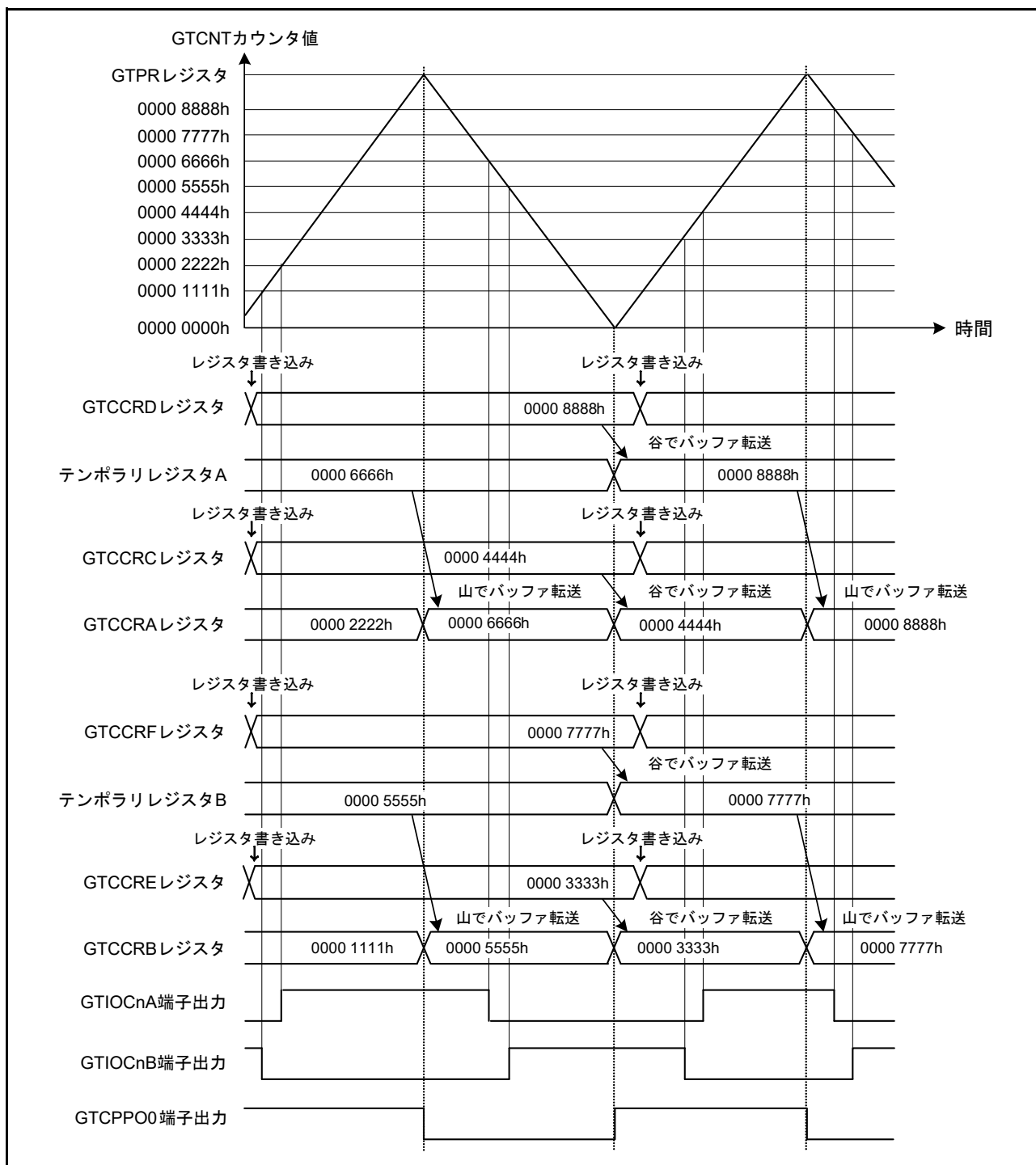


図 22.56 三角波 PWM モード 3 動作例 (初期出力で GTIOCnA 端子 = Low 出力 /GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n = 0 ~ 7)、GPTW0.GTIOR.PSYE ビット = 1 の場合 (GPTW0 のみ))



図 22.57 三角波 PWM モード 3 設定例

(7) 相補 PWM モード 1、2、3

相補 PWM モードは連続する 3 チャンルの GTCNT カウンタを用いて、デューティ 0%、100% 近傍のリニアリティが保証されたデッドタイム付きの 3 相 PWM 波形を出力するモードです。バッファ動作の違いにより、相補 PWM モード 1 (山転送)、相補 PWM モード 2 (谷転送)、相補 PWM モード 3 (山/谷転送)、相補 PWM モード 4 (即時転送) の 4 種類のモードがあります。図 22.58 に相補 PWM モード 1、2、3 のときのブロック図を示します。

連続する 3 チャンルの最下位チャンネルをマスタチャンネル、その隣接する上位 2 チャンネルを下位から順に、スレーブチャンネル 1、スレーブチャンネル 2 と称します。

各チャンネルの GTCNT カウンタは、マスタチャンネルによる周期動作の制御の下で、それぞれ独自のカウンタ動作を行います。各チャンネルでは、動作区間によって 3 つの GTCNT カウンタを選別しながら GTCCRA レジスタとのコンペアマッチ動作を行い、マスタチャンネルの GTDVU レジスタに設定されたデッドタイム値のノンオーバーラップ期間をもって GTIOcNA 端子 (n = 0 ~ 2) から正相波形、GTIOcNB 端子 (n = 0 ~ 2) から逆相波形がそれぞれ出力されます。

GTCCRA レジスタは、GTCCRC レジスタ、テンポラリレジスタ A、GTCCRD レジスタによるバッファ動作を行います。

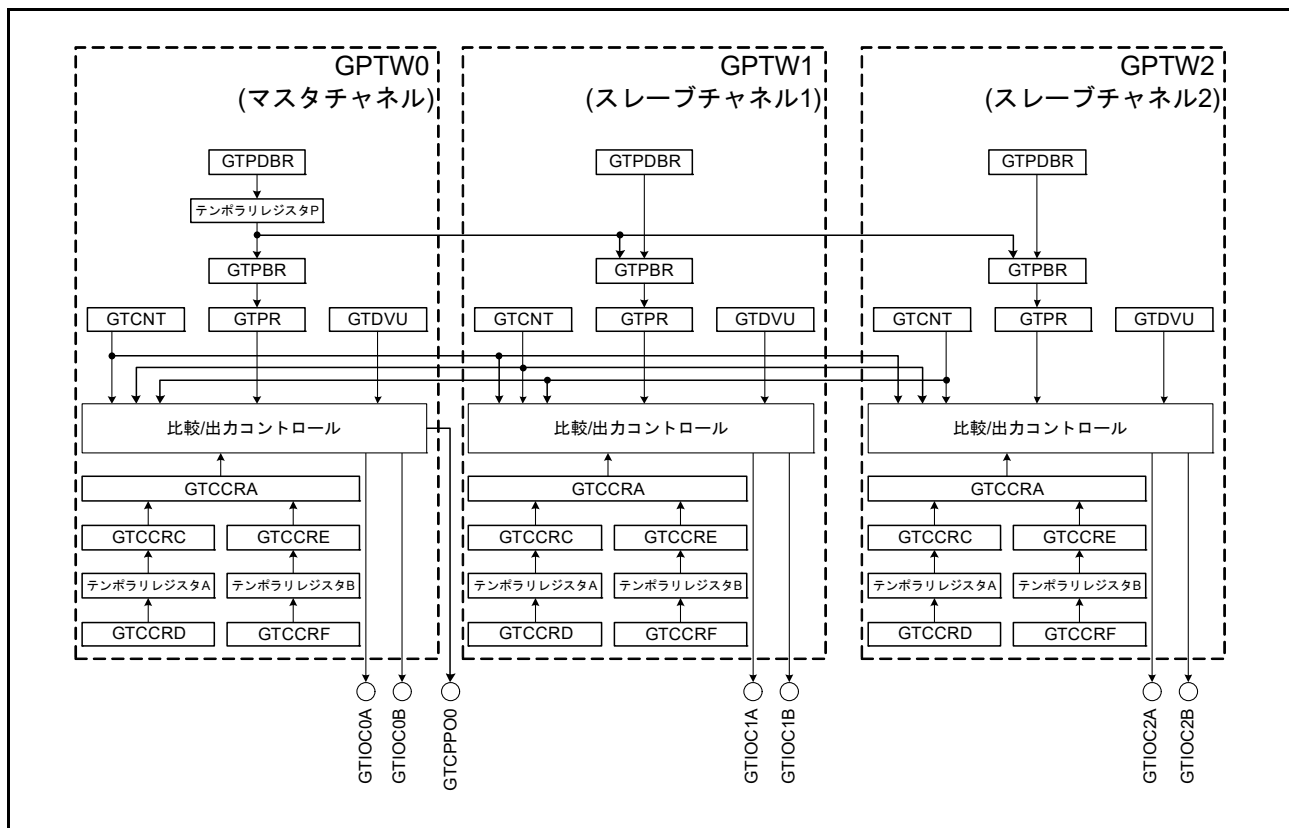


図 22.58 相補 PWM モード 1、2、3 のときのブロック

GPTW0.GTCNT カウンタは、GPTW0.GTPR レジスタを周期レジスタとする三角波のカウンタ動作をします。GPTW0.GTCNT カウンタの値が、デッドタイム値以下の区間を谷区間と称します。

GPTW1.GTCNT カウンタは、GPTW0.GTCNT カウンタに GPTW0.GTDVU レジスタに設定されたデッドタイム値が加算された値でカウントを行います。GPTW1.GTCNT カウンタの値が、GPTW0.GTPR レジスタの値以上の区間を山区間と称します。

山区間と谷区間は、更にカウント方向によって、アップカウント山区間、ダウンカウント山区間、アップカウント谷区間、ダウンカウント谷区間と称します。谷区間と山区間の間の区間は、カウント方向によ

て、アップカウント中間区間、ダウンカウント中間区間と称します。カウントスタート後のアップカウント谷区間に相当する区間は、初期出力区間と称して、他のアップカウント谷区間とは動作が一部異なります。

GPTW2.GTCNT カウンタは、デューティ 0%、100% 近傍のリニアリティを保证するためのカウンタとして動作します。

山区間では、GPTW0.GTPR レジスタの値にデッドタイム値を加算した値を初期値として、GPTW0.GTPR レジスタの値を谷とする三角波(ダウンカウント後にアップカット)のカウント動作を行い、山区間の終わりで 0 になり、次の谷区間まではカウントを停止します。谷区間では、初期値 0 で、デッドタイム値を山とする三角波のカウントを行い、谷区間の終わりで GPTW0.GTPR レジスタの値にデッドタイム値を加算した値になり、次の山区間まではカウントを停止します。ただし、初期出力区間では、初期値 0 でデッドタイム値までアップカウントした後に GPTW0.GTPR レジスタの値にデッドタイム値を加算した値になります。

相補 PWM モード中にカウントを停止し、再度カウントスタートした場合、カウントスタート後は各チャネルのカウンタが初期値に戻り、初期出力区間からカウントを開始します。

表 22.7、表 22.8 に各区間におけるカウント動作(カウント方向、カウント範囲)を示します。表中のレジスタ名にチャンネル位置の識別がしるされていないものは、マスタチャンネル、スレーブチャンネル 1、スレーブチャンネル 2 で同じ値が格納されていることを表しています。

表 22.7 相補PWMモードのカウント動作(1)

カウンタ	初期値	初期出力区間 (スタート後)	アップカウント 中間区間	アップカウント 山区間	ダウンカウント 山区間
GPTW0.GTCNT	0	アップカウント 0 ~ GTDVU	アップカウント GTDVU + 1 ~ GTPR - GTDVU	アップカウント GTPR - GTDVU + 1 ~ GTPR	ダウンカウント GTPR - 1 ~ GTPR - GTDVU
GPTW1.GTCNT	GTDVU	アップカウント GTDVU ~ GTDVU × 2	アップカウント GTDVU × 2 + 1 ~ GTPR	アップカウント GTPR + 1 ~ GTPR + GTDVU	ダウンカウント GTPR + GTDVU - 1 ~ GTPR
GPTW2.GTCNT	0	アップカウント 0 ~ GTDVU	停止 GTPR + GTDVU	ダウンカウント GTPR + GTDVU - 1 ~ GTPR	アップカウント GTPR + 1 ~ GTPR + GTDVU

表 22.8 相補PWMモードのカウント動作(2)

カウンタ	ダウンカウント 中間区間	ダウンカウント 谷区間	アップカウント 谷区間
GPTW0.GTCNT	ダウンカウント GTPR - GTDVU - 1 ~ GTDVU	ダウンカウント GTDVU - 1 ~ 0	アップカウント 1 ~ GTDVU
GPTW1.GTCNT	ダウンカウント GTPR - 1 ~ GTDVU × 2	ダウンカウント GTDVU × 2 - 1 ~ GTDVU	アップカウント GTDVU + 1 ~ GTDVU × 2
GPTW2.GTCNT	停止 0	アップカウント 1 ~ GTDVU	ダウンカウント GTDVU - 1 ~ 0

相補 PWM モードの GTCCRA レジスタのバッファ動作は、通常のバッファ動作と異なります。

各チャネルの GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B への転送は、GPTW2.GTCCRD レジスタへの書き込みによって、3 チャンネル同時に行われます。

テンポラリレジスタ A から GTCCRC レジスタ、テンポラリレジスタ B から GTCCRE レジスタへの転送は、テンポラリレジスタ A およびテンポラリレジスタ B への転送タイミングによって異なります。

GTCCRC レジスタおよび GTCCRE レジスタから GTCCRA レジスタへの転送は、相補 PWM モード 1 は山転送、相補 PWM モード 2 は谷転送、相補 PWM モード 3 は山/谷転送で行います。

相補 PWM モードの GTPR レジスタのバッファ動作については、「22.3.2.1 GTPR レジスタのバッファ動作」で説明します。相補 PWM モードでは、GTDVU レジスタはバッファ動作させないでください。

表 22.9 に相補 PWM モード 1、2、3 におけるシングルバッファ動作時のバッファ転送タイミングを示します。

表 22.9 相補 PWM モード 1、2、3 のシングルバッファ転送タイミング

バッファ転送	相補 PWM モード 1	相補 PWM モード 2	相補 PWM モード 3 (シングルバッファ)
GTCCRD ↓ テンポラリレジスタ A	スレーブチャネル 2 (GPTW2) の GTCCRD レジスタ書き込みの 1 PCLKA 後	スレーブチャネル 2 (GPTW2) の GTCCRD レジスタ書き込みの 1 PCLKA 後	スレーブチャネル 2 (GPTW2) の GTCCRD レジスタ書き込みの 1 PCLKA 後
テンポラリレジスタ A ↓ GTCCRC	(1) アップカウント中間区間でテンポラリレジスタ A に転送した場合 <ul style="list-style-type: none"> テンポラリレジスタ A に転送した 1 PCLKA 後 (2) アップカウント中間区間以外でテンポラリレジスタ A に転送した場合 <ul style="list-style-type: none"> 谷区間の終わり 	(1) ダウンカウント中間区間でテンポラリレジスタ A に転送した場合 <ul style="list-style-type: none"> テンポラリレジスタ A に転送した 1 PCLKA 後 (2) ダウンカウント中間区間以外でテンポラリレジスタ A に転送した場合 <ul style="list-style-type: none"> 山区間の終わり 	(1) 中間区間でテンポラリレジスタ A に転送した場合 <ul style="list-style-type: none"> テンポラリレジスタ A に転送した 1 PCLKA 後 (2) 中間区間以外でテンポラリレジスタ A に転送した場合 <ul style="list-style-type: none"> 区間(山/谷)の終わり
GTCCRC ↓ GTCCRA	<ul style="list-style-type: none"> 山区間の終わり アップカウント中間区間および山区間におけるカウンタクリア 	<ul style="list-style-type: none"> 初期出力区間を除く谷区間の終わり ダウンカウント中間区間および谷区間におけるカウンタクリア 	<ul style="list-style-type: none"> 山区間の終わり 初期出力区間を除く谷区間の終わり カウンタクリア

GTIOcNA 端子 (n = 0 ~ 2) から出力する正相波形、GTIOcNB 端子 (n = 0 ~ 2) から出力する逆相波形の変化は、動作区間ごとに決められたカウンタとレジスタの組み合わせのコンペアマッチで発生します。中間区間では、正相波形は GPTW0.GTCNT カウンタと GTCCRA レジスタのコンペアマッチ、逆相波形は GPTW1.GTCNT カウンタと GTCCRA レジスタのコンペアマッチで出力レベルが変化します。山区間と谷区間では、デューティ 0%、100% 近傍のリニアリティを保証するため、GPTW2.GTCNT カウンタ、GTCCRC レジスタ、GTCCRE レジスタも用いてコンペアマッチ動作を行います。

コンペアマッチ値が GPTW0.GTPR レジスタの値以上の場合、デューティ 0%、(正相波形 OFF、逆相波形 ON) になります。コンペアマッチ値が 0 の場合、デューティ 100%、(正相波形 ON、逆相波形 OFF) になります。

表 22.10 に各動作区間における正相波形および逆相波形の生成のためのコンペアマッチ動作に用いるカウンタの組み合わせを示します。

表22.10 相補PWMモード時におけるコンペアマッチ動作対象のカウントとレジスタの組み合わせ

	アップカウント 中間区間	アップカウント 山区間	ダウンカウント 山区間	ダウンカウント 中間区間	ダウンカウント 谷区間	アップカウント 谷区間
逆相 OFF	GPTW1.GTCN T	GPTW1.GTCN T	—	GPTW2.GTCN T(注1)	GPTW2.GTCN T	GPTW1.GTCN T
	GTCCRA	GTCCRA	—	GTCCRC	GTCCRC	GTCCRC
正相 ON	GPTW0.GTCN T	GPTW0.GTCN T	GPTW2.GTCN T	—	GPTW2.GTCN T(注1)	GPTW2.GTCN T
	GTCCRA	GTCCRA	GTCCRA	—	GTCCRC	GTCCRC
正相 OFF	GPTW2.GTCN T(注1)	GPTW2.GTCN T	GPTW0.GTCN T	GPTW0.GTCN T	GPTW0.GTCN T	—
	GTCCRC	GTCCRC	GTCCRC	GTCCRA	GTCCRA	—
逆相 ON	—	GPTW1.GTCN T(注1)	GPTW1.GTCN T	GPTW1.GTCN T	GPTW1.GTCN T	GPTW2.GTCN T
	—	GTCCRC	GTCCRC	GTCCRA	GTCCRA	GTCCRA

注1. 対象区間の最終カウントのみコンペアマッチ。最終カウント以外のカウント値ではコンペアマッチしない。

通常の相補PWMモード波形の場合、PWM波形の変化は、逆相OFF→正相ON→正相OFF→逆相ONの順番で発生しますが、動作区間とレジスタの値によっては順番が前後する場合があります。この場合、谷区間ではアップカット、山区間ではダウンカウントの処理が優先され、逆相の場合、谷区間はOFF優先、山区間はON優先、正相の場合、谷区間はON優先、山区間はOFF優先となります。優先するコンペアマッチと同時、もしくはその後に発生した低優先のコンペアマッチは無視されます。

初期出力は、初期出力区間ではGTIORレジスタで設定した値が保持されます。初期出力区間の終わりで、GTCCRAレジスタの値がGTDVUレジスタの値より大きい場合は逆相がONし、GTCCRAレジスタの値がGTDVUレジスタの値以下の場合は正相がONします。

コンペアマッチ動作が中間区間で発生する通常の相補PWMモード波形の動作例として、図22.59、図22.60に相補PWMモード1、図22.61、図22.62に相補PWMモード2、図22.63、図22.64にシングルバッファの場合の相補PWMモード3を示します。

コンペアマッチ動作が山区間、谷区間で発生し、コンペアマッチの発生順序による相補PWMモード波形の違いを図22.65から図22.76に示します。

GTCCRAレジスタの値の違いにより初期出力の動作例を図22.77、図22.78に示します。

相補PWMモード1、2、3の設定例を図22.79に示します。

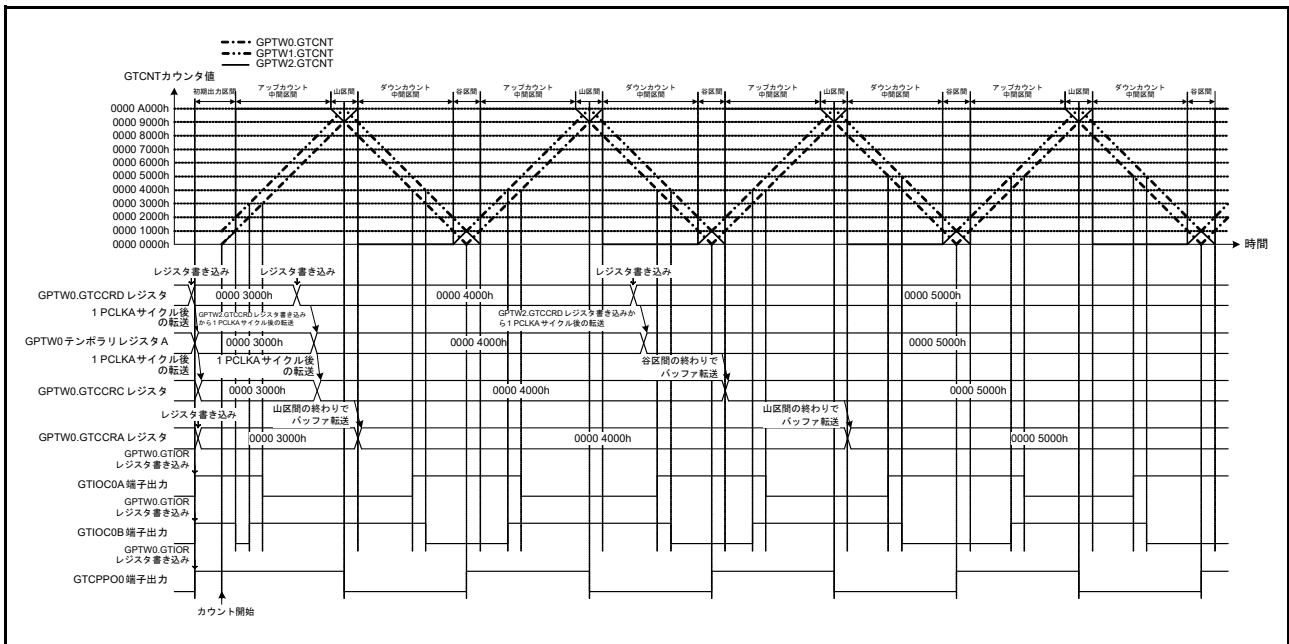


図 22.59 相補 PWM モード 1 の動作例 (1)
 (初期出力で GTIOC0A 端子 = High 出力 / GTIOC0B 端子 = High 出力、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 1000h"、中間区間で GTCCRD レジスタ更新の場合)

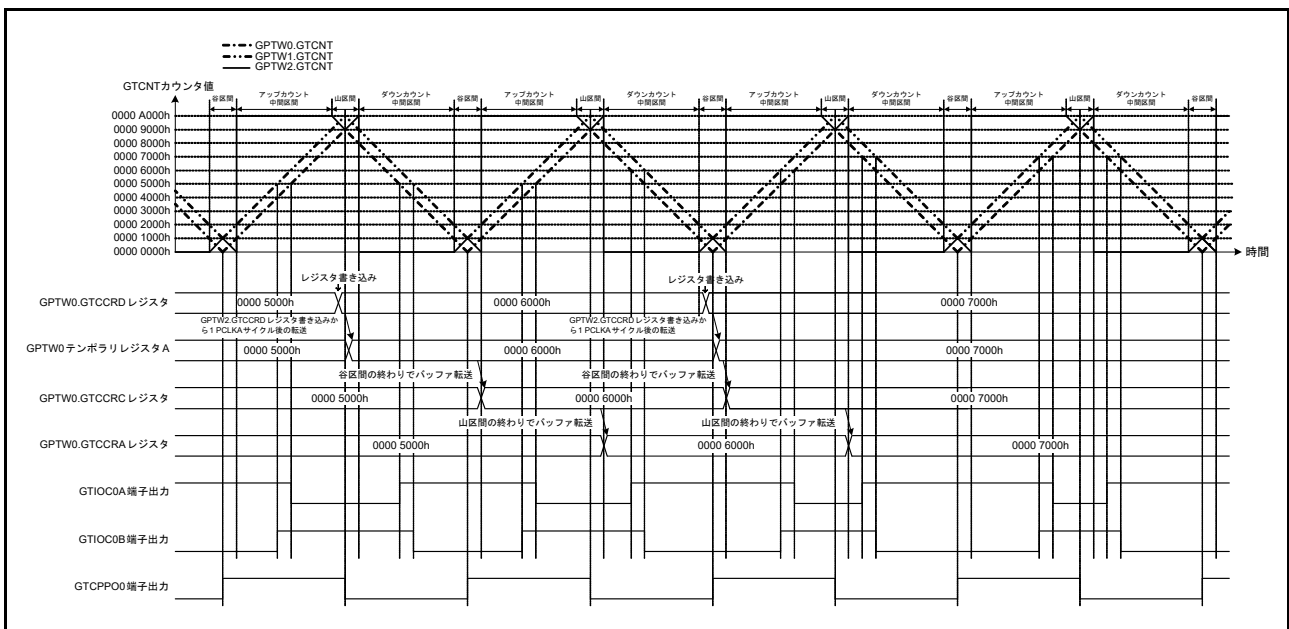


図 22.60 相補 PWM モード 1 の動作例 (2)
 (アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 1000h"、山 / 谷区間で GTCCRD レジスタ更新の場合)

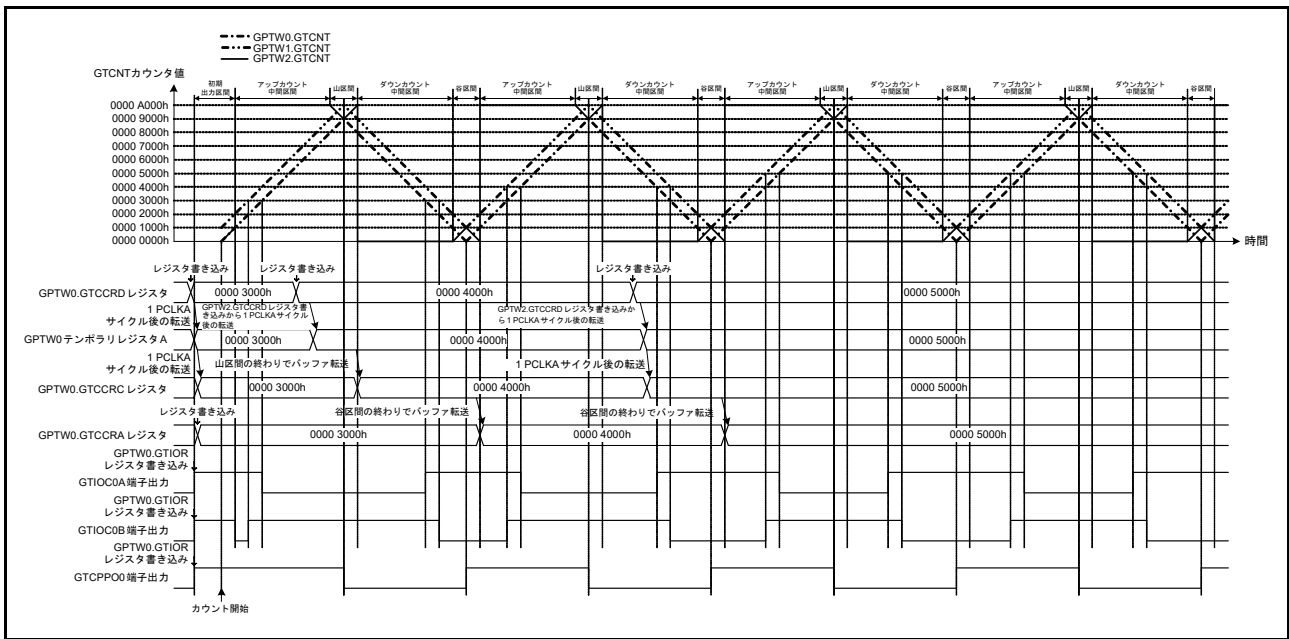


図 22.61 相補 PWM モード 2 の動作例 (1)

(初期出力で GTIOC0A 端子 = High 出力 / GTIOC0B 端子 = High 出力、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 1000h"、中間区間で GTCCRD レジスタ更新の場合)

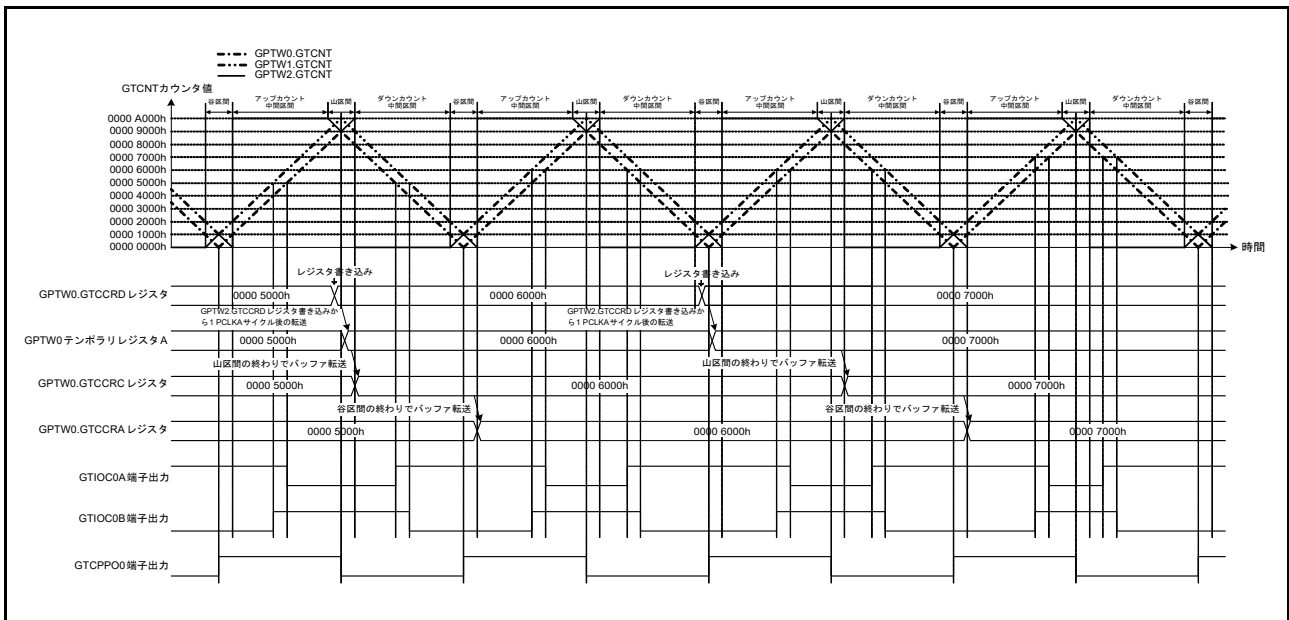


図 22.62 相補 PWM モード 2 の動作例 (2)

(アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 1000h"、山 / 谷区間で GTCCRD レジスタ更新の場合)

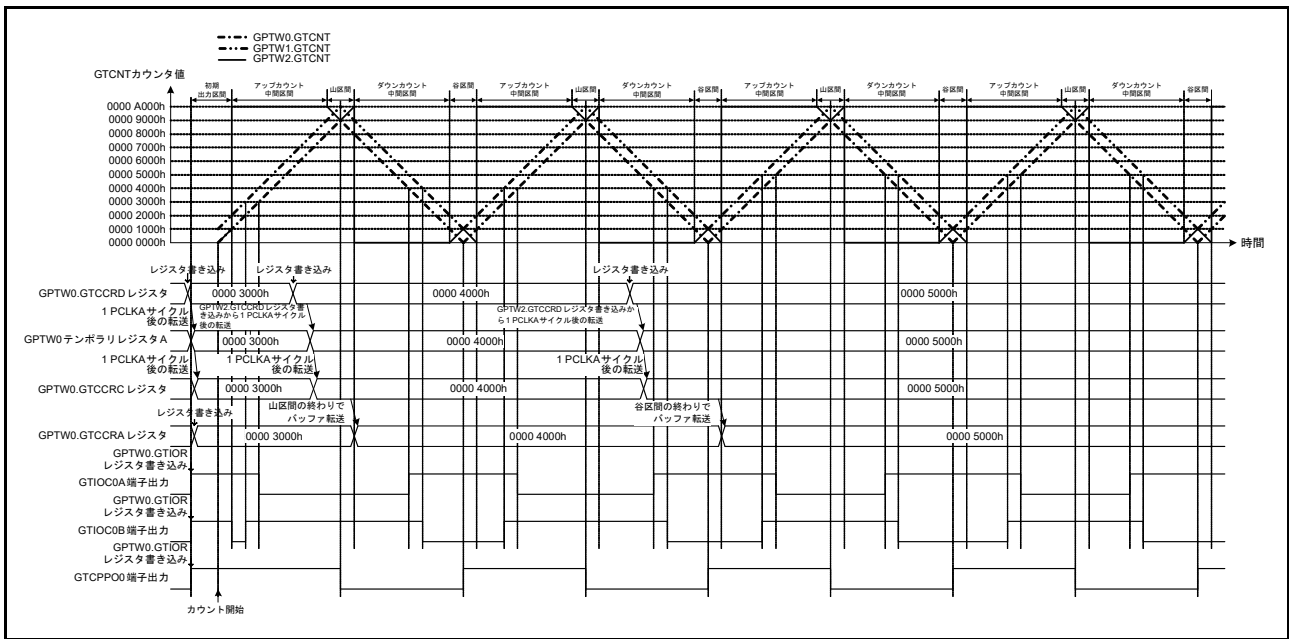


図 22.63 相補 PWM モード 3 の動作例 (1)
 (シングルバッファ動作、初期出力で GTIOC0A 端子 = High 出力 / GTIOC0B 端子 = High 出力、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 “0000 1000h”、中間区間で GTCCRD レジスタ更新の場合)

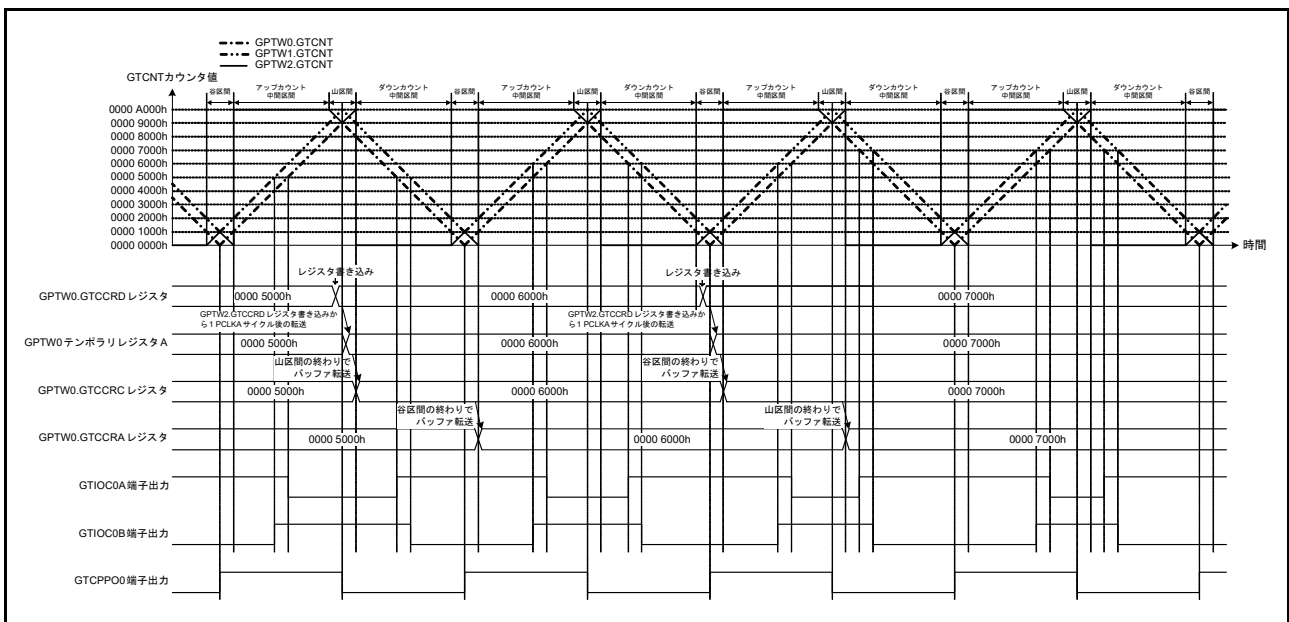


図 22.64 相補 PWM モード 3 の動作例 (2)
 (シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 “0000 1000h”、山 / 谷区間で GTCCRD レジスタ更新の場合)

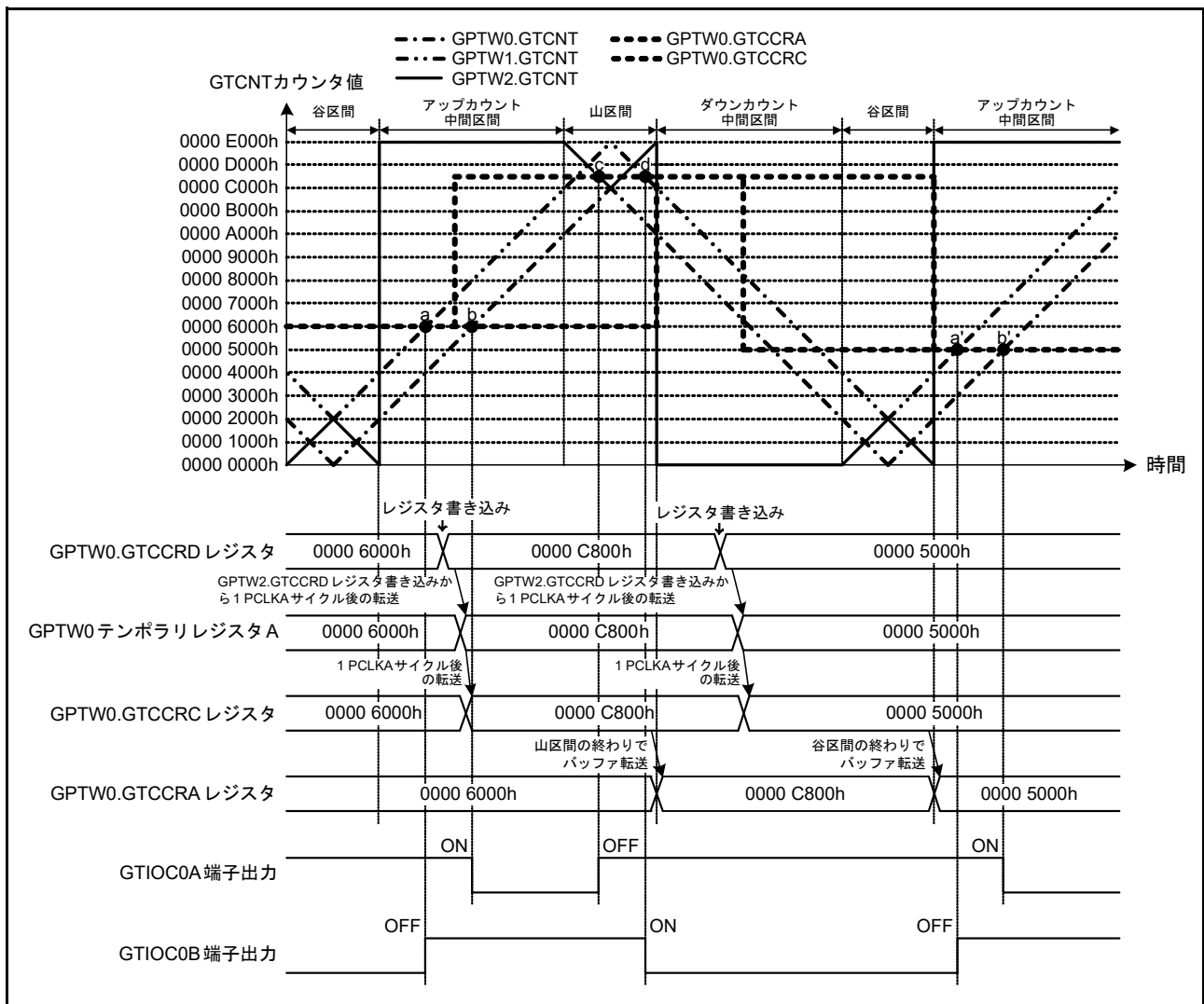


図 22.65 相補 PWM モードコンペアマッチ発生順の動作例 (1)
 (相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 a → b → c → d の場合)

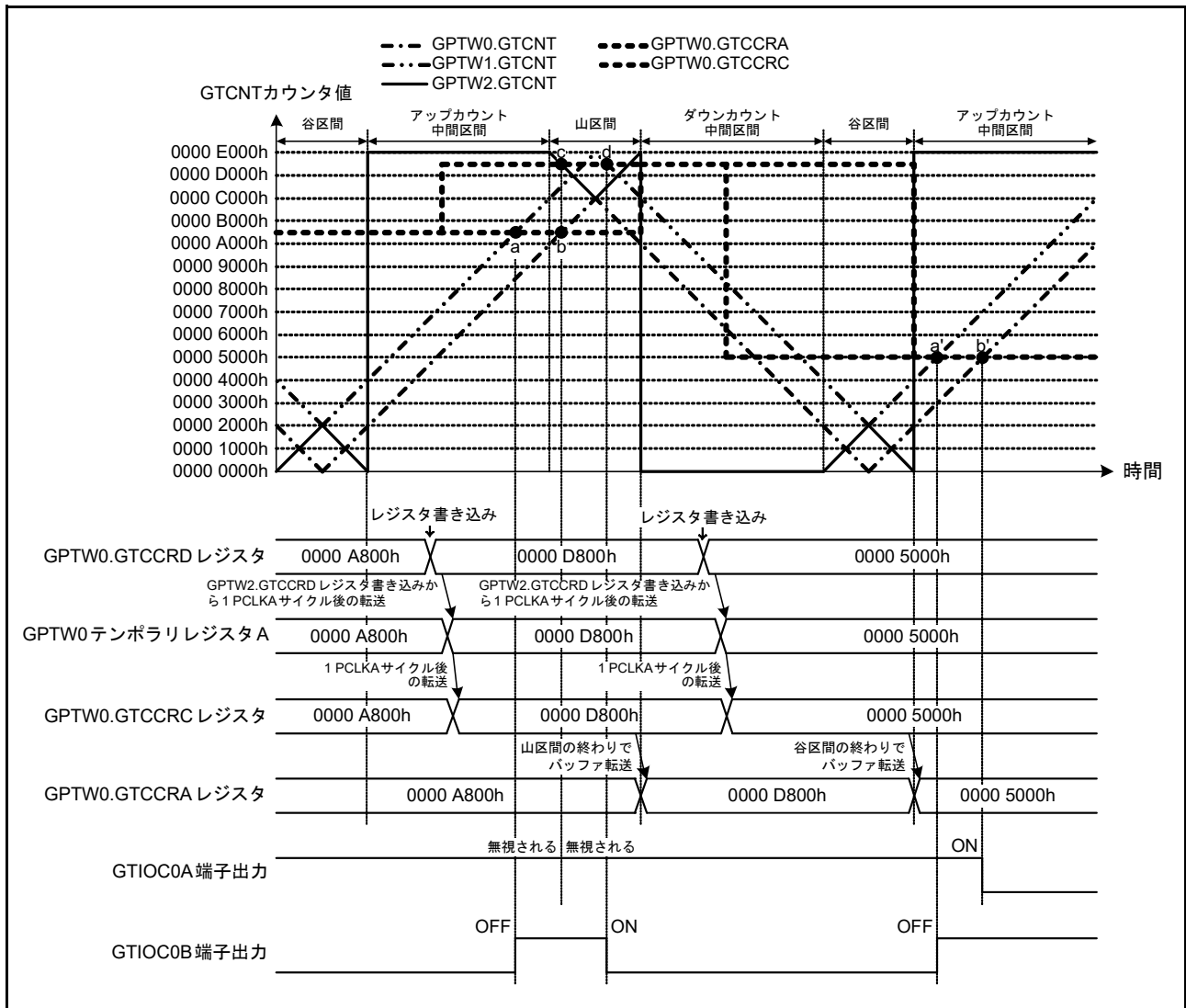


図 22.66 相補 PWM モードコンペアマッチ発生順の動作例 (2)

(相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 a → (b, c) → d の場合)

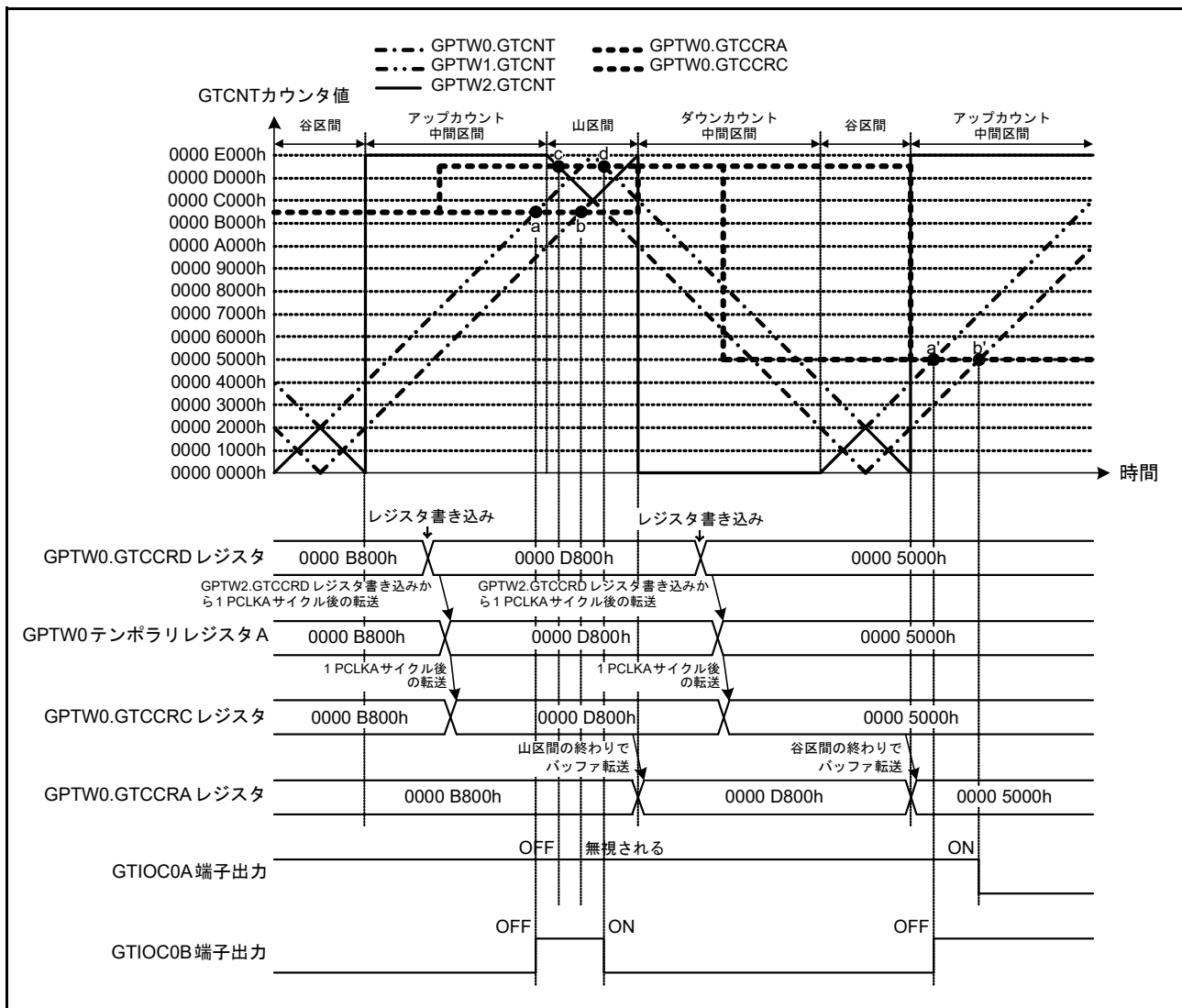


図 22.67 相補 PWM モードコンペアマッチ発生順の動作例 (3)
 (相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 2000h"、コンペアマッチ発生順序 a → c → b → d の場合)

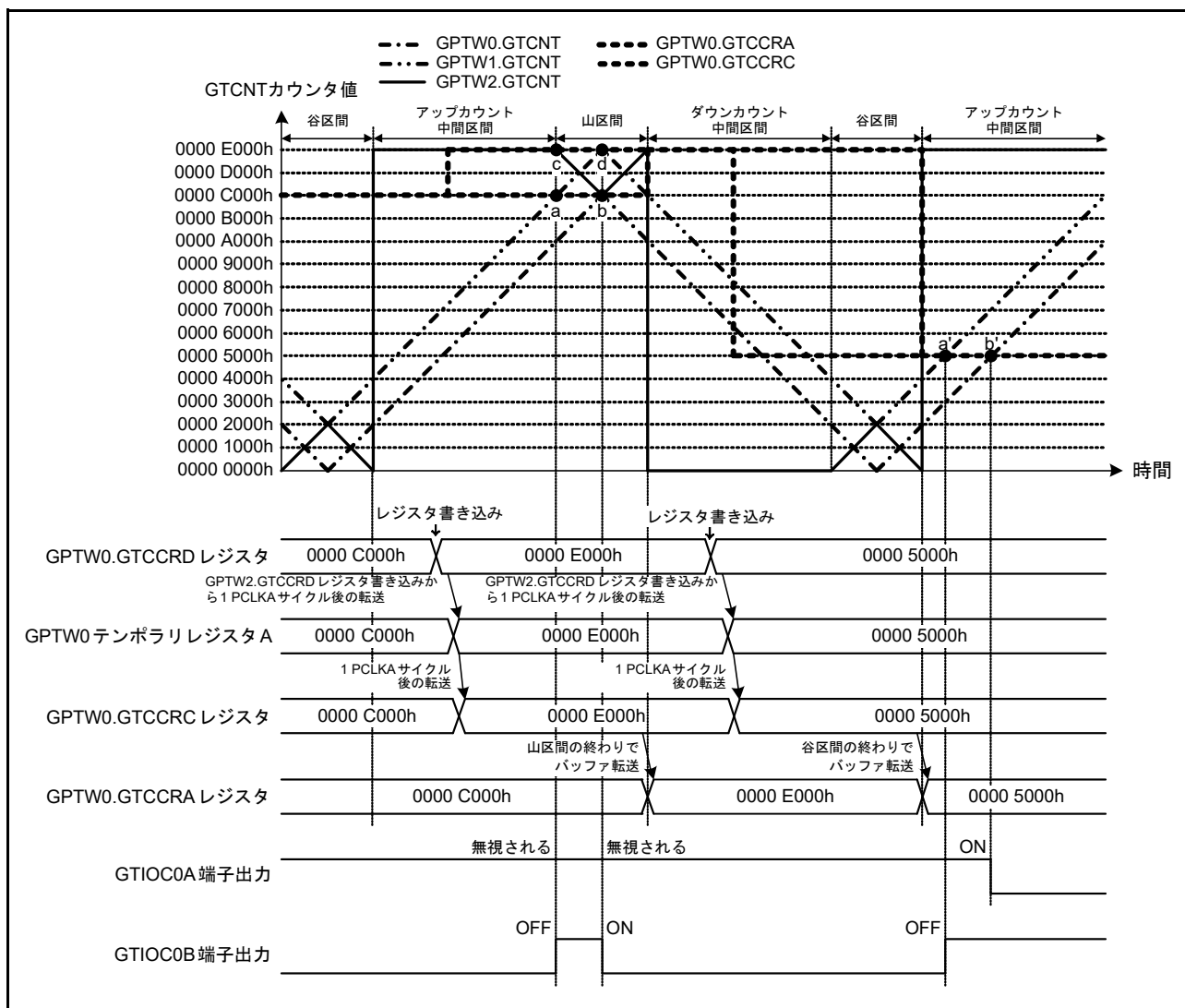


図 22.68 相補 PWM モードコンペアマッチ発生順の動作例 (4)
 (相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 2000h"、コンペアマッチ発生順序 (a, c) → (b, d) の場合)

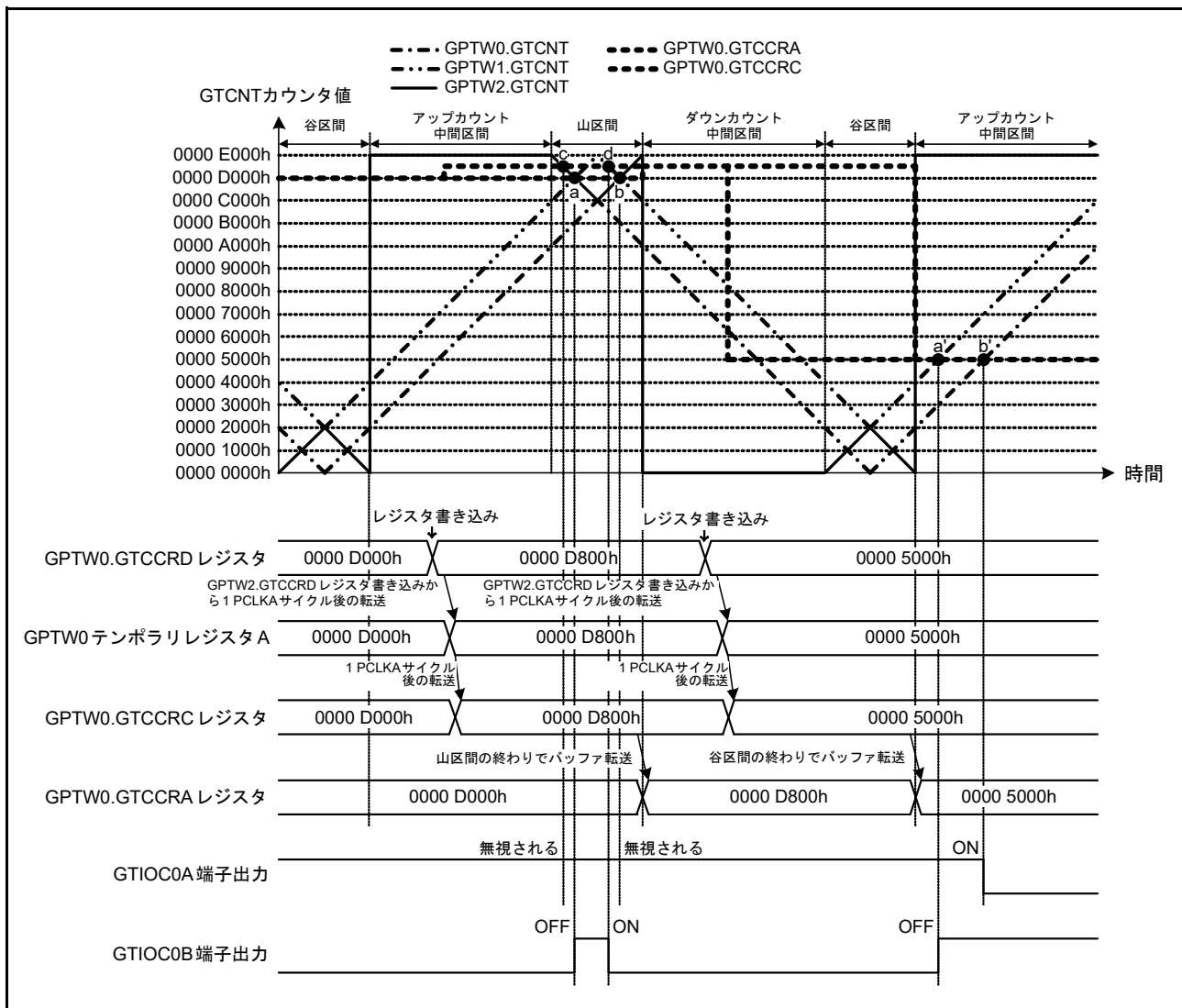


図 22.69 相補 PWM モードコンペアマッチ発生順の動作例 (5)

(相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 c → a → d → b の場合)

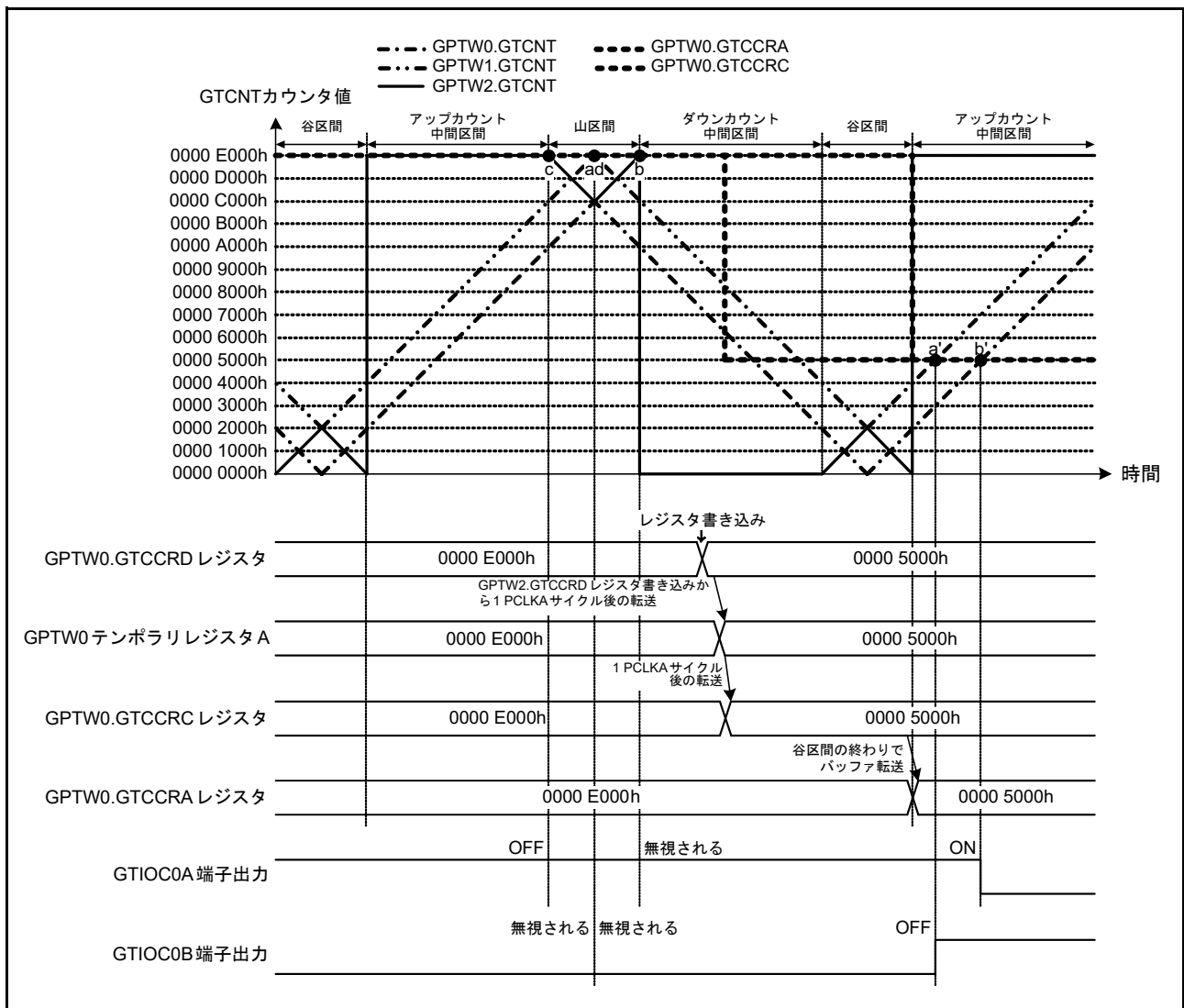


図 22.70 相補 PWM モードコンペアマッチ発生順の動作例 (6)

(相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 2000h"、コンペアマッチ発生順序 c → (a, d) → b の場合)

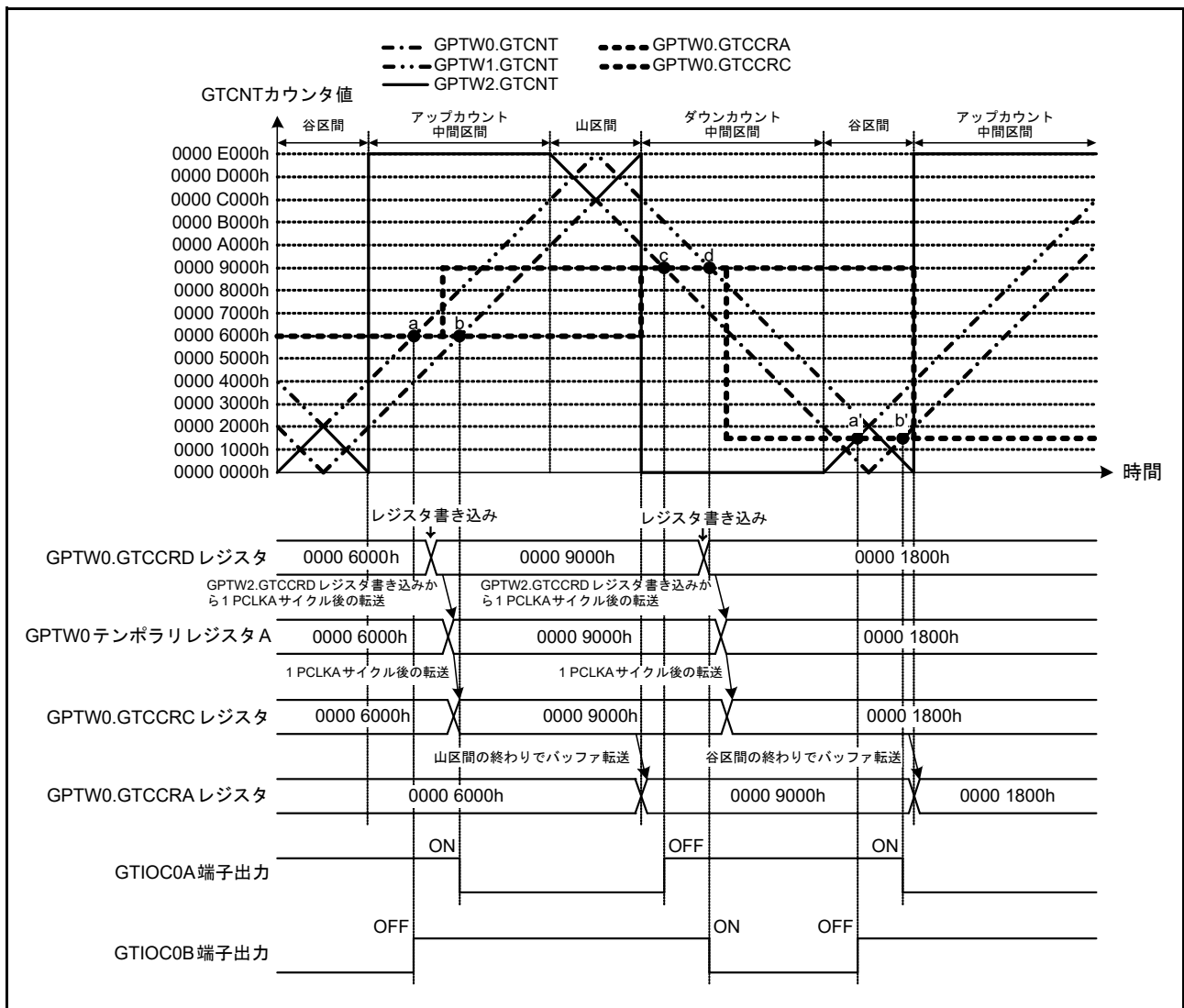


図 22.71 相補 PWM モードコンペアマッチ発生順の動作例 (7)

(相補 PWM モード 3 シングルバッファ動作、

アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 / GTIOC0B 端子 = High 出力、

ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 / GTIOC0B 端子 = Low 出力、

デッドタイム値 "0000 2000h"、コンペアマッチ発生順序 c → d → a' → b' の場合)

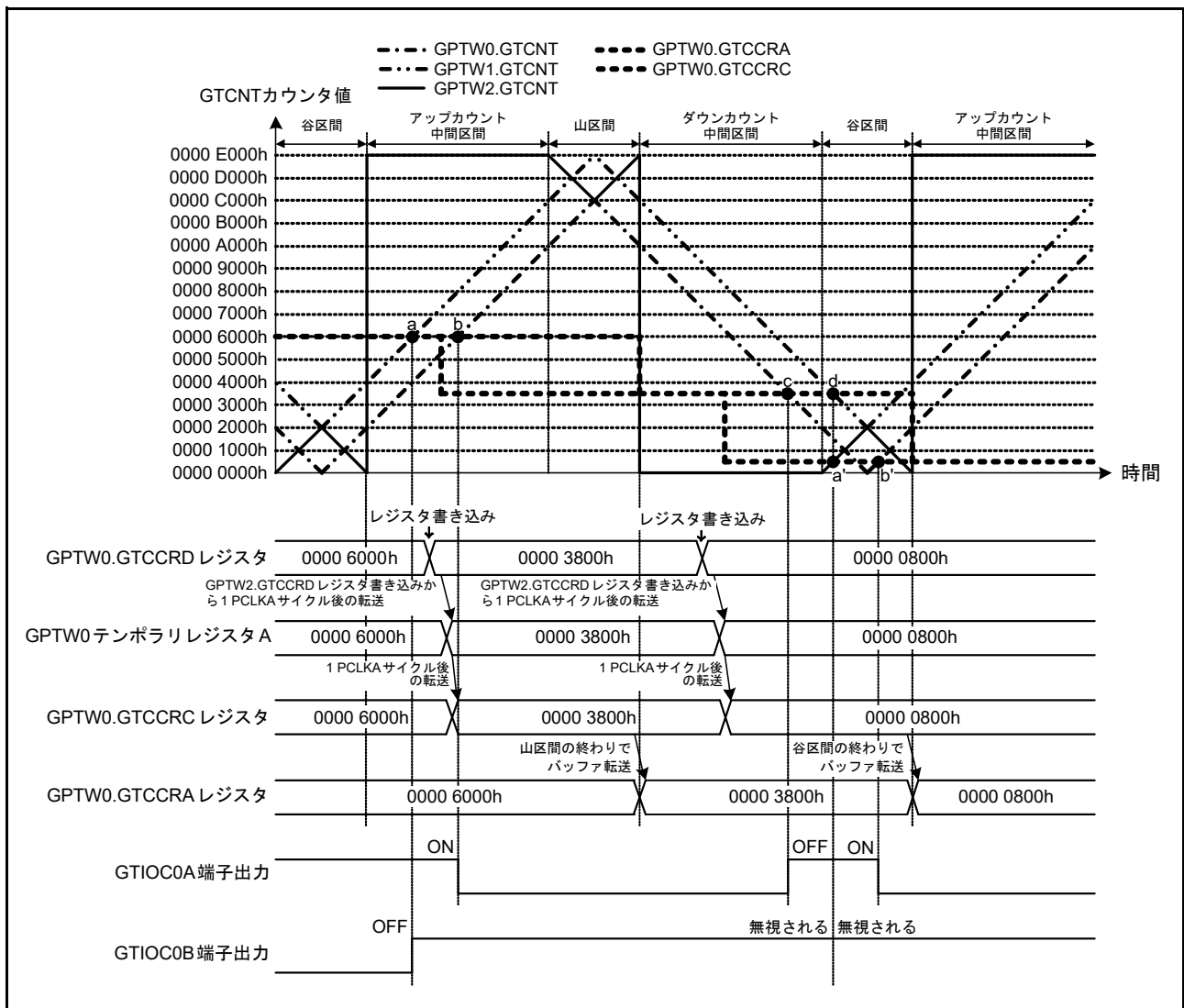


図 22.72 相補 PWM モードコンペアマッチ発生順の動作例 (8)

(相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 2000h"、コンペアマッチ発生順序 c → (d, a') → b' の場合)

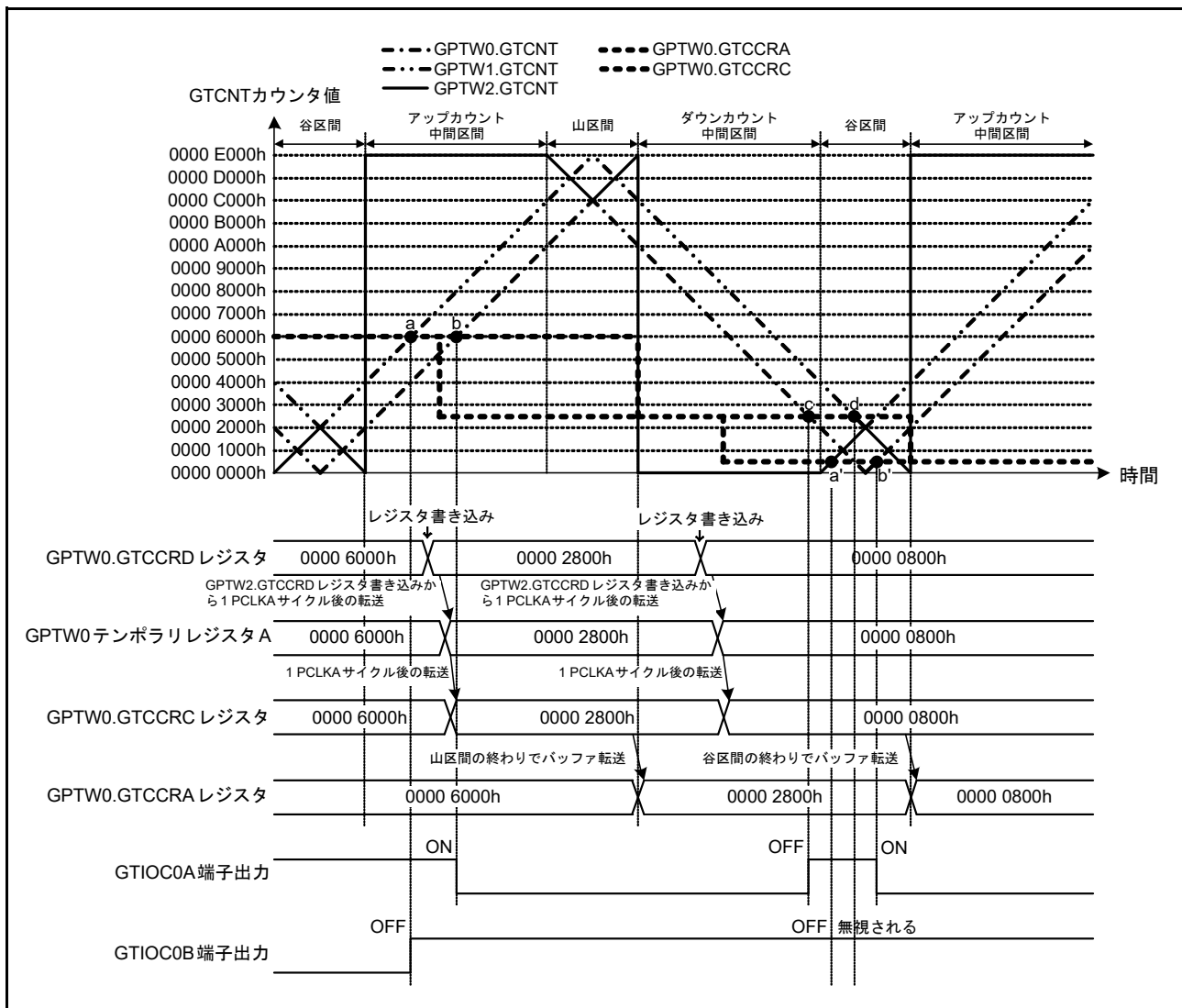


図 22.73 相補 PWM モードコンペアマッチ発生順の動作例 (9)
 (相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 2000h"、コンペアマッチ発生順序 c → a' → d → b' の場合)

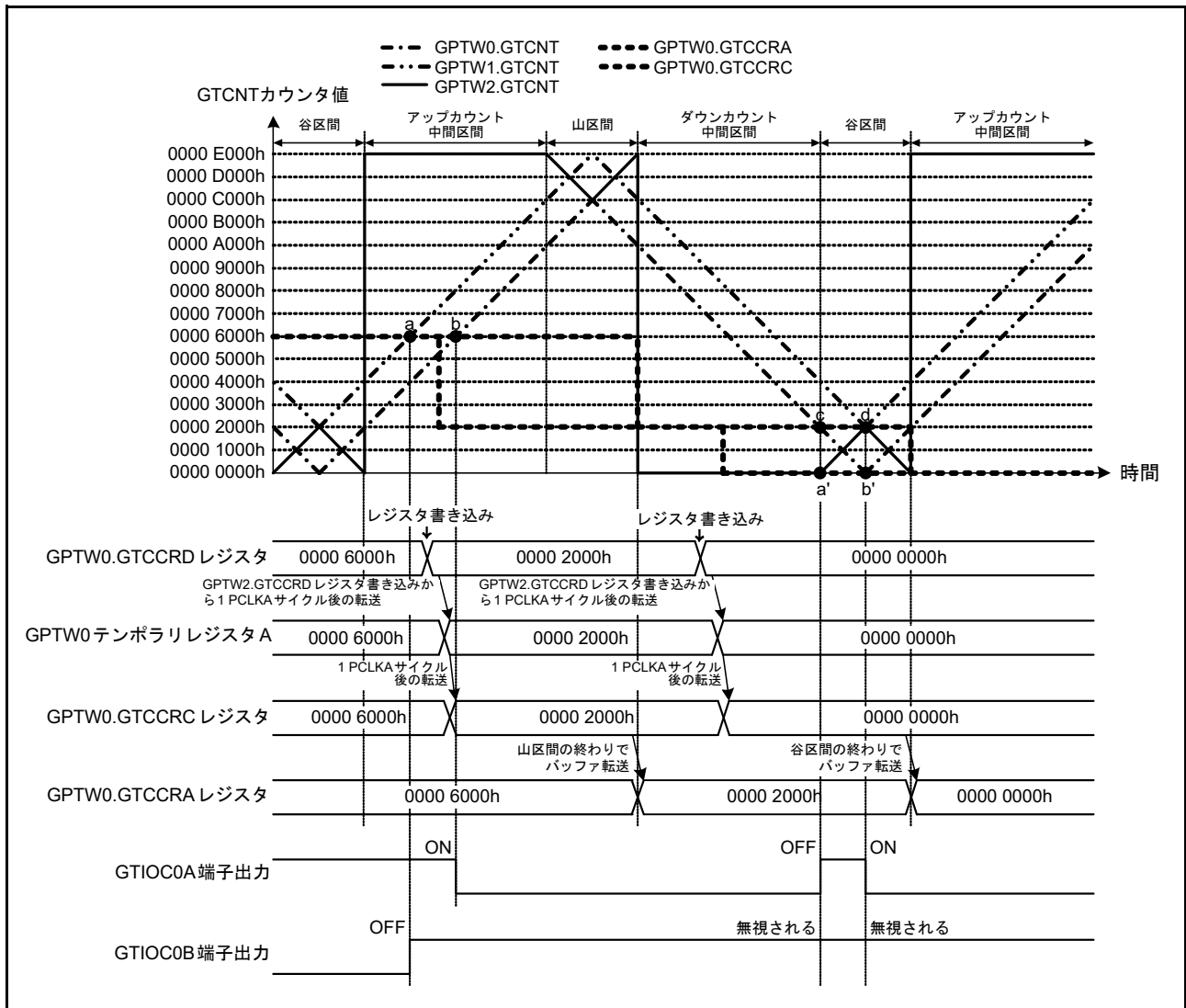


図 22.74 相補 PWM モードコンペアマッチ発生順の動作例 (10)
 (相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 2000h"、コンペアマッチ発生順序 (c, a') → (d, b') の場合)

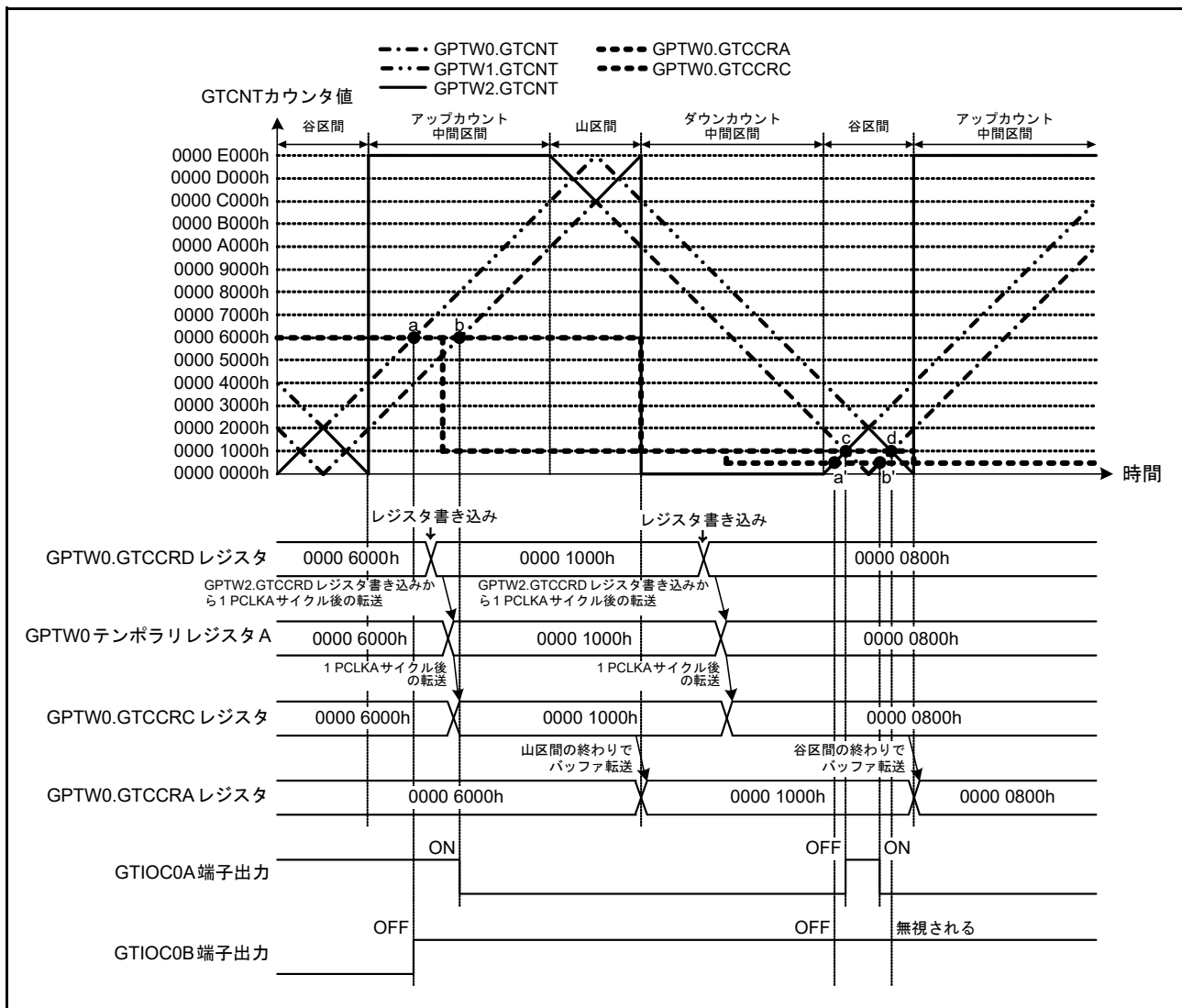


図 22.75 相補 PWM モードコンペアマッチ発生順の動作例 (11)
 (相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 “0000 2000h”、コンペアマッチ発生順序 a' → c → b' → d の場合)

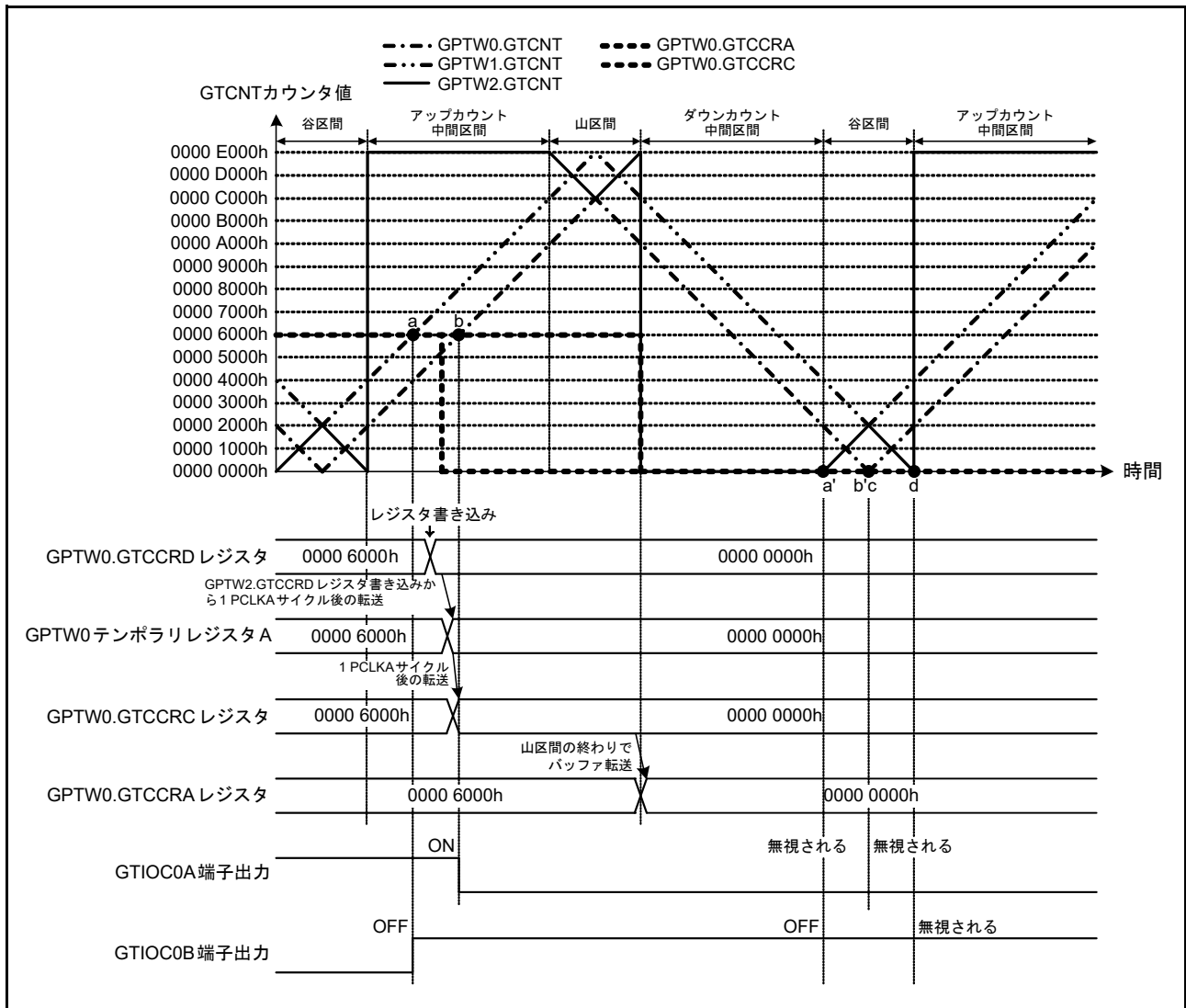


図 22.76 相補 PWM モードコンペアマッチ発生順の動作例 (12)

(相補 PWM モード 3 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 2000h"、コンペアマッチ発生順序 a' → (b', c) → d の場合)

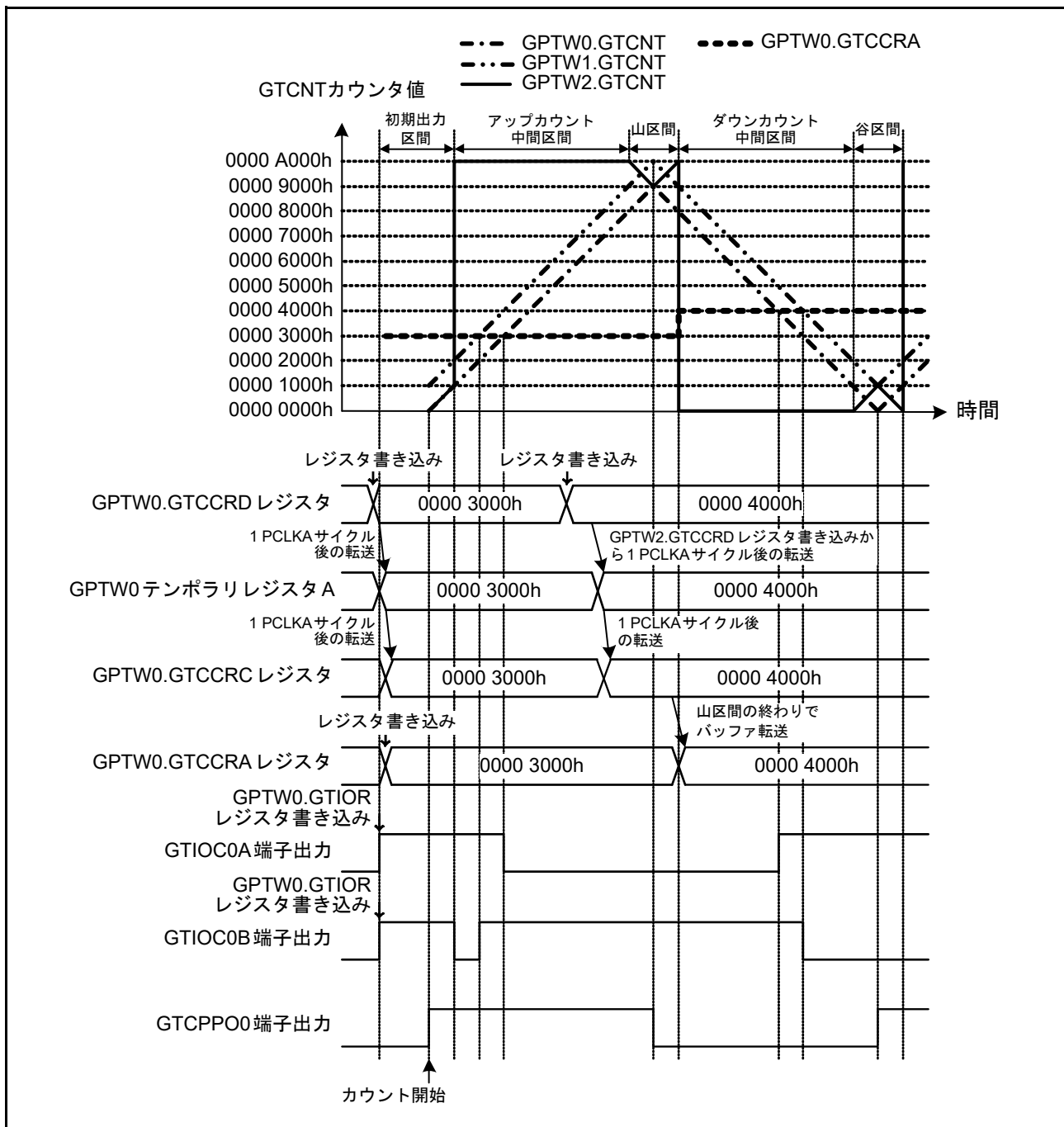


図 22.77 相補 PWM モード初期出力の動作例 (1)
 (相補 PWM モード 1 動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 1000h"、初期 GTCCRA レジスタの値がデッドタイム値よりも大きい場
 合)

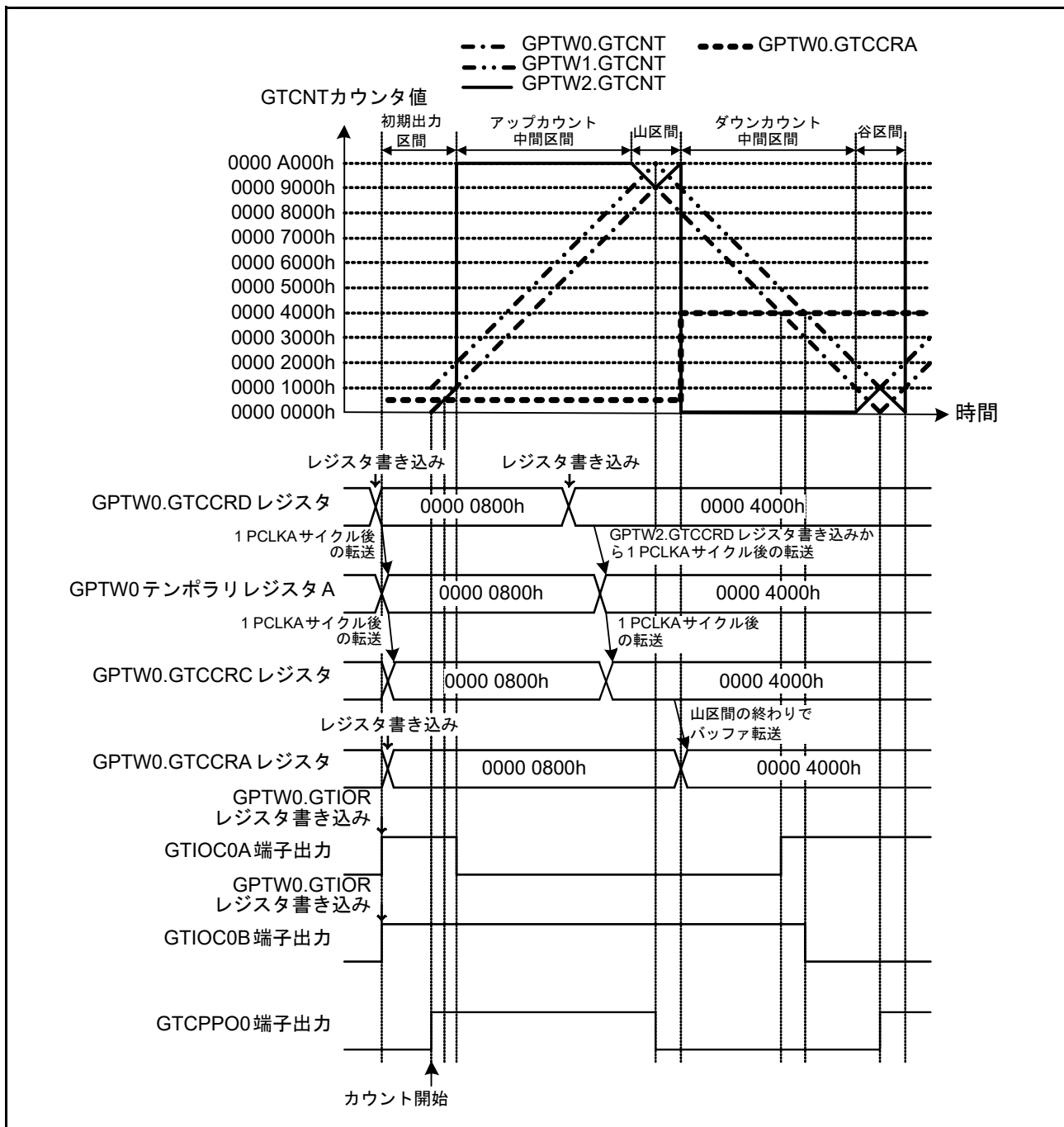


図 22.78 相補 PWM モード初期出力の動作例 (2)
 (相補 PWM モード 1 動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 デッドタイム値 "0000 1000h"、初期 GTCCRA レジスタの値がデッドタイム値以下の場合)

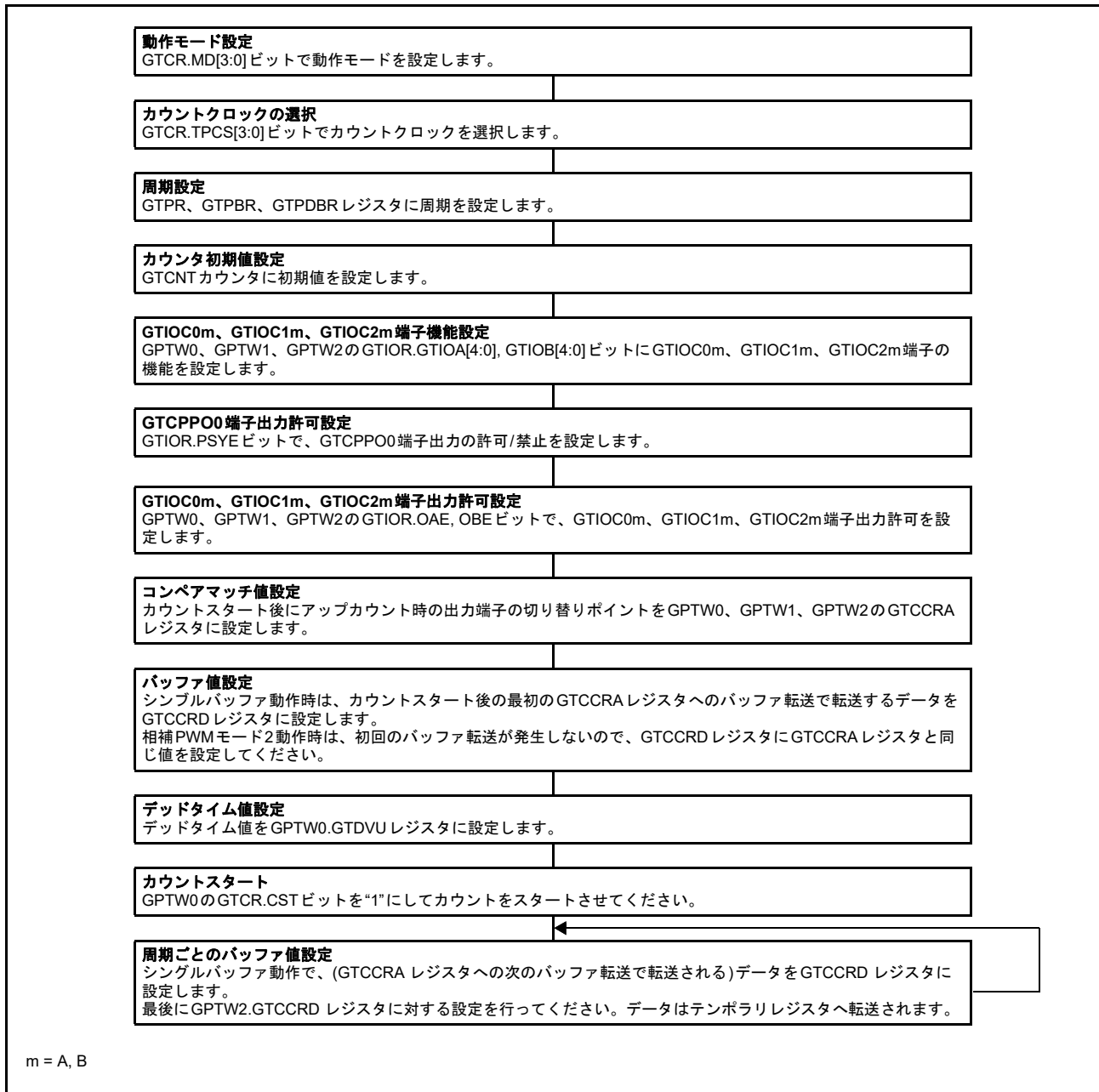


図 22.79 相補 PWM モード 1、2、3 の設定例

(8) 相補 PWM モード 4

相補 PWM モード 4 は、テンポラリレジスタへのバッファ転送時に GTCORA レジスタにも転送を行うことで、GTCORD レジスタおよび GTCORF レジスタに書き込んだ値を山もしくは谷の転送タイミングを待たず、即時にコンペアマッチ動作に反映させるモードです。

図 22.80 に相補 PWM モード 4 時のブロック図を示します。

構成は、図 22.58 に示す他の相補 PWM モード時に対して、GTCORD レジスタから GTCORC レジスタ、GTCORA レジスタへのバッファ転送経路、および GTCORF レジスタから GTCORE レジスタ、GTCORA レジスタへのバッファ転送経路が追加されたものとなります。

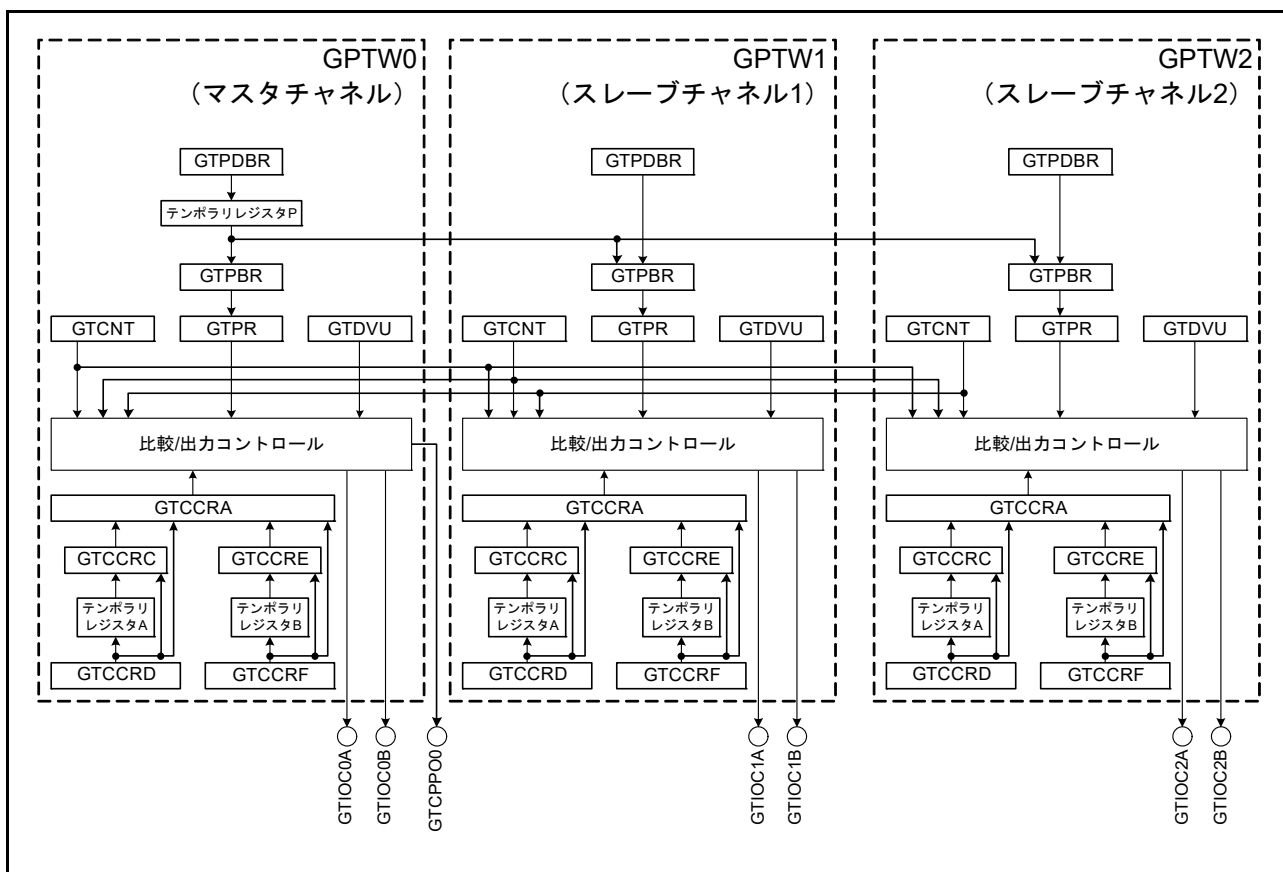


図 22.80 相補 PWM モード 4 時のブロック図

カウント動作は、相補 PWM モード 1、2、3 と同じです。表 22.7、表 22.8 を参照してください。

相補 PWM モード 4 のバッファ動作および PWM 波形の変化は、相補 PWM モード 3 の動作を基本として、GTCORD レジスタおよび GTCORF レジスタから図 22.80 に示すバッファ転送が追加され、動作区間、GTCORA レジスタとの比較状態、書き込み値によって、バッファ転送および PWM 波形が制御されます。

シングルバッファ動作の場合、コンペアマッチ値の書き込みは GTCORD レジスタだけとなり、書き込みを行った、動作区間、GTCORA レジスタとの比較状態、書き込み値によって、転送するレジスタ、転送する値、PWM 出力の変化が制御されます。

GTCORD レジスタからテンポラリレジスタ A、GTCORF レジスタからテンポラリレジスタ B への転送は、その他の相補 PWM モードと同様で、GPTW2.GTCORD レジスタへの書きこみによって、3 チャンネル同時に行われます。GTCORD レジスタから GTCORC レジスタ、GTCORA レジスタ、テンポラリレジスタ B、GTCORE レジスタへの転送、および GTCORF レジスタから GTCORE レジスタ、GTCORA レジスタへの転送を行う場合は、前述のテンポラリレジスタへの転送と同じタイミングで行われます。

表 22.11、表 22.12 に相補 PWM モード 4 のシングルバッファ動作時の GTCCRD レジスタへの書き込みによる GTCCRC レジスタおよび GTCCRA レジスタへの即時バッファ転送 (GPTW2.GTCCRD レジスタ書き込みによるテンポラリレジスタへの転送時) を各動作区間におけるコンペアマッチ状態ごとに示します。表 22.11、表 22.12 以外の転送 (GTCCRD レジスタからテンポラリレジスタ A への転送、テンポラリレジスタ A から GTCCRC レジスタへの転送、GTCCRC レジスタから GTCCRA レジスタへの転送) は、表 22.9 の相補 PWM モード 3 のシングルバッファ転送と同じです。

表22.11 相補PWMモード4のシングルバッファ時のGTCCRDレジスタからの即時転送(1)

動作区間	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
アップ カウント 中間区間	アップカウントの コンペアマッチ前	GTCCRD	<ul style="list-style-type: none"> GTCCRD > GPTW1.GTCNTの場合 GTCCRD GTCCRD ≤ GPTW1.GTCNTの場合 GPTW1.GTCNT 逆相をOFF
	アップカウントの デッドタイム期間	GTCCRD	転送なし
	アップカウントの コンペアマッチ後	GTCCRD	転送なし
アップ カウント 山区間	アップカウントの コンペアマッチ前	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	ダウンカウントのコンペアマッチ前 <ul style="list-style-type: none"> GTCCRD > GPTW1.GTCNTの場合 GTCCRD GTCCRD ≤ GPTW1.GTCNTの場合 GPTW1.GTCNT 逆相をOFF ダウンカウントのデッドタイム開始後 転送なし
	アップカウントの デッドタイム期間	ダウンカウントのコンペアマッチ前 GTCCRD ダウンカウントのデッドタイム開始後 転送なし	転送なし
	アップカウントの コンペアマッチ後	ダウンカウントのコンペアマッチ前 <ul style="list-style-type: none"> GTCCRD < GPTW2.GTCNTの場合 GTCCRD GTCCRD ≥ GPTW2.GTCNTの場合 GPTW2.GTCNT 正相をOFF ダウンカウントのデッドタイム開始後 転送なし	転送なし
ダウン カウント 山区間	ダウンカウントの コンペアマッチ前	アップカウントのデッドタイム期間 <ul style="list-style-type: none"> GTCCRD < GPTW1.GTCNTの場合 GTCCRD GTCCRD ≥ GPTW1.GTCNTの場合 GPTW1.GTCNT 逆相をOFF アップカウントのコンペアマッチ後 <ul style="list-style-type: none"> GTCCRD < GPTW0.GTCNTの場合 GTCCRD GTCCRD ≥ GPTW0.GTCNTの場合 GPTW0.GTCNT 正相をOFF	転送なし
	ダウンカウントの デッドタイム期間	転送なし	転送なし
	ダウンカウントの コンペアマッチ後	転送なし	転送なし

表22.12 相補PWMモード4のシングルバッファ時のGTCCRDレジスタからの即時転送(2)

動作区間	コンペアマッチ状態	即時転送先レジスタ	
		GTCCRC	GTCCRA
ダウン カウント 中間区間	ダウンカウントの コンペアマッチ前	GTCCRD	<ul style="list-style-type: none"> GTCCRD < GPTW0.GTCNTの場合 GTCCRD GTCCRD ≥ GPTW0.GTCNTの場合 GPTW0.GTCNT 正相をOFF
	ダウンカウントの デッドタイム期間	GTCCRD	転送なし
	ダウンカウントの コンペアマッチ後	GTCCRD	転送なし
ダウン カウント 谷区間	ダウンカウントの コンペアマッチ前	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	アップカウントのコンペアマッチ前 <ul style="list-style-type: none"> GTCCRD < GPTW0.GTCNTの場合 GTCCRD GTCCRD ≥ GPTW0.GTCNTの場合 GPTW0.GTCNT 正相をOFF アップカウントのデッドタイム開始後 転送なし
	ダウンカウントの デッドタイム期間	アップカウントのコンペアマッチ前 GTCCRD アップカウントのデッドタイム開始後 転送なし	転送なし
	ダウンカウントの コンペアマッチ後	アップカウントのコンペアマッチ前 <ul style="list-style-type: none"> GTCCRD > GPTW2.GTCNTの場合 GTCCRD GTCCRD ≤ GPTW2.GTCNTの場合 GPTW2.GTCNT 逆相をOFF アップカウントのデッドタイム開始後 転送なし	転送なし
アップ カウント 谷区間	アップカウントの コンペアマッチ前	ダウンカウントのデッドタイム期間 <ul style="list-style-type: none"> GTCCRD > GPTW0.GTCNTの場合 GTCCRD GTCCRD ≤ GPTW0.GTCNTの場合 GPTW0.GTCNT 正相をON ダウンカウントのコンペアマッチ後 <ul style="list-style-type: none"> GTCCRD > GPTW1.GTCNTの場合 GTCCRD GTCCRD ≤ GPTW1.GTCNTの場合 GPTW1.GTCNT 逆相をOFF	転送なし
	アップカウントの デッドタイム期間	転送なし	転送なし
	アップカウントの コンペアマッチ後	転送なし	転送なし

相補 PWM モード 4 のシングルバッファ動作時の動作例を動作区間ごとに示します。

- アップカウント中間区間：図 22.81
- アップカウント山区間：図 22.82
- ダウンカウント山区間：図 22.83
- ダウンカウント中間区間：図 22.84
- ダウンカウント谷区間：図 22.85

相補 PWM モード 4 の設定例を図 22.86 に示します。

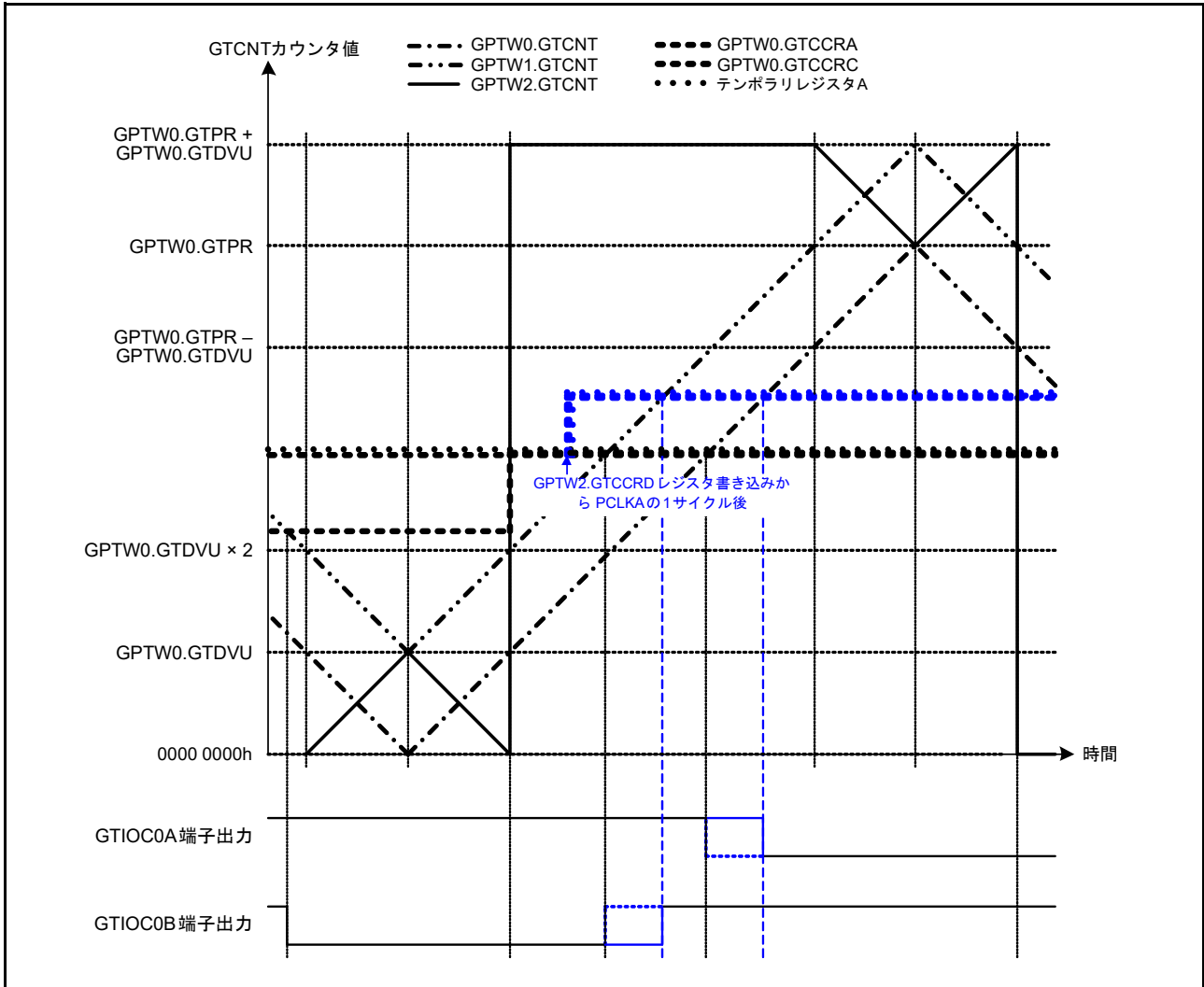


図 22.81 相補 PWM モード 4 シングルバッファの動作例 (アップカウント中間区間)
 (相補 PWM モード 4 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 アップカウントのコンペアマッチ前に GPTW1.GTCNT よりも大きい値を GTCCRD レジスタに
 書き込んだ場合)

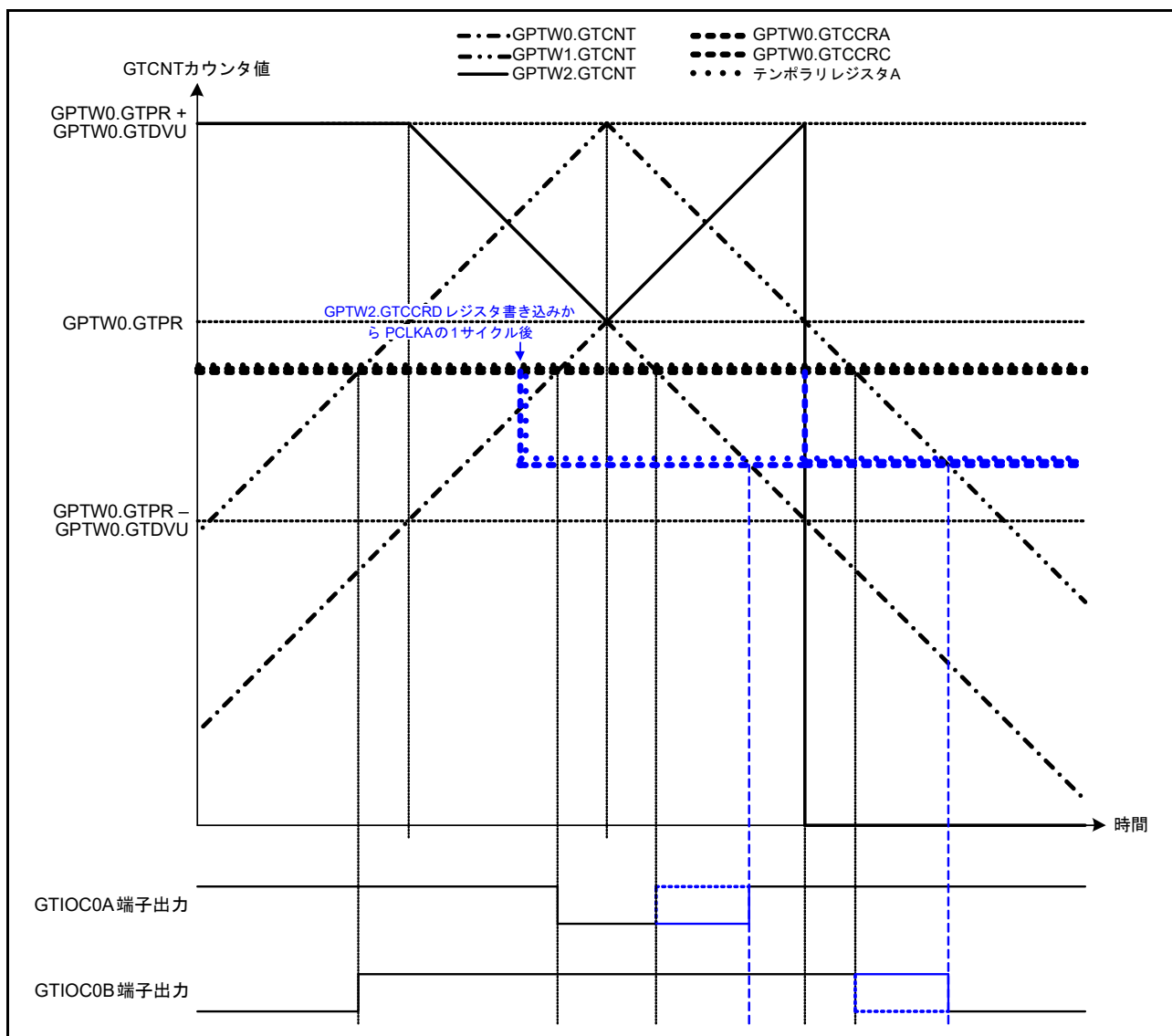


図 22.82 相補 PWM モード 4 シングルバッファの動作例 (アップカウント山区間)
 (相補 PWM モード 4 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 アップカウントのデッドタイム期間に GTCCRD レジスタに書き込んだ場合)

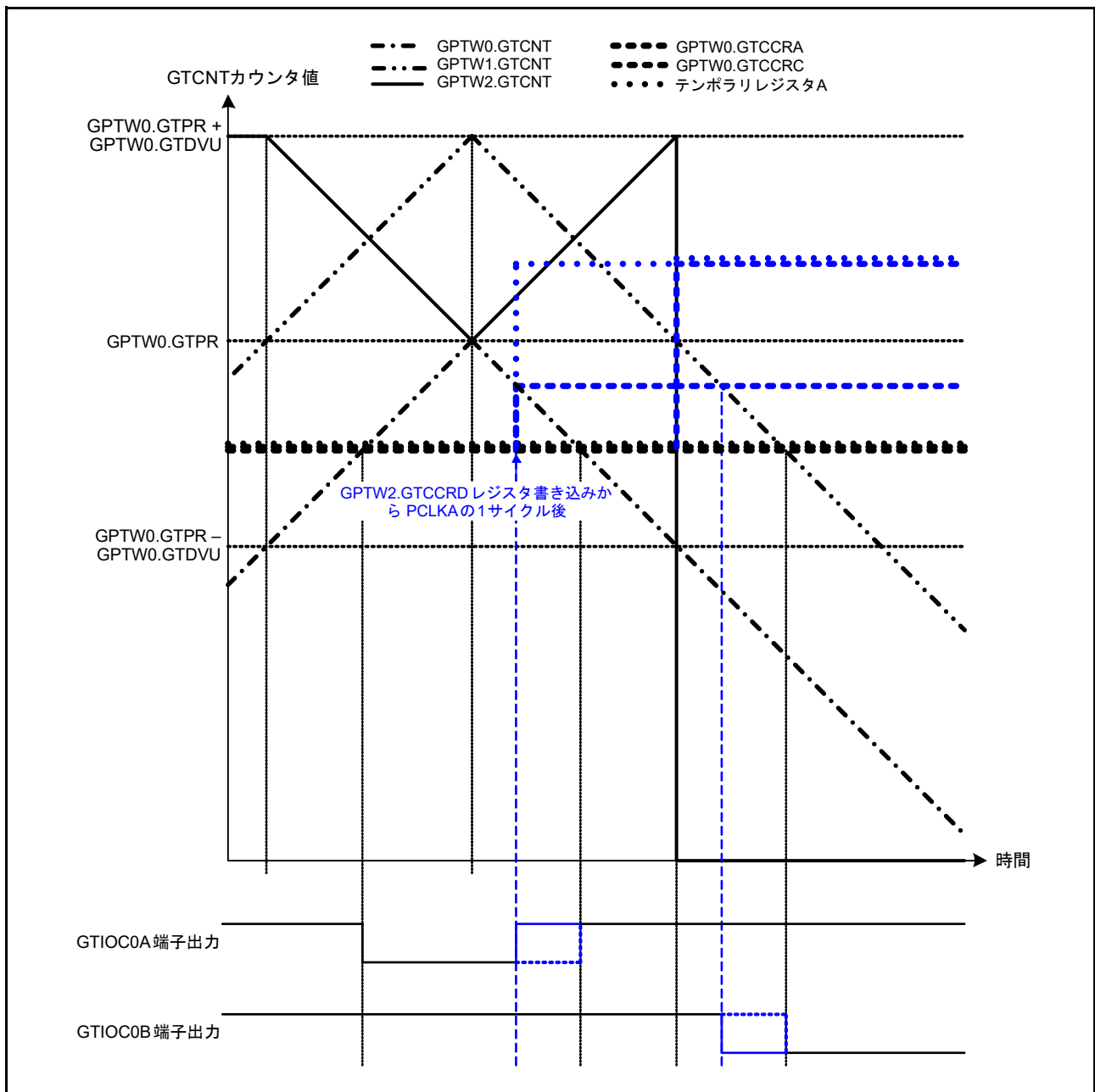


図 22.83 相補 PWM モード 4 シングルバッファの動作例 (ダウンカウント山区間)
 (相補 PWM モード 4 シングルバッファ動作、
 アップカウント時の GTCCR A レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCR A レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 アップカウントのコンペアマッチ後かつダウンカウントのコンペアマッチ前に GPTW0.GTCNT
 以上の値を GTCCRD レジスタに書き込んだ場合)

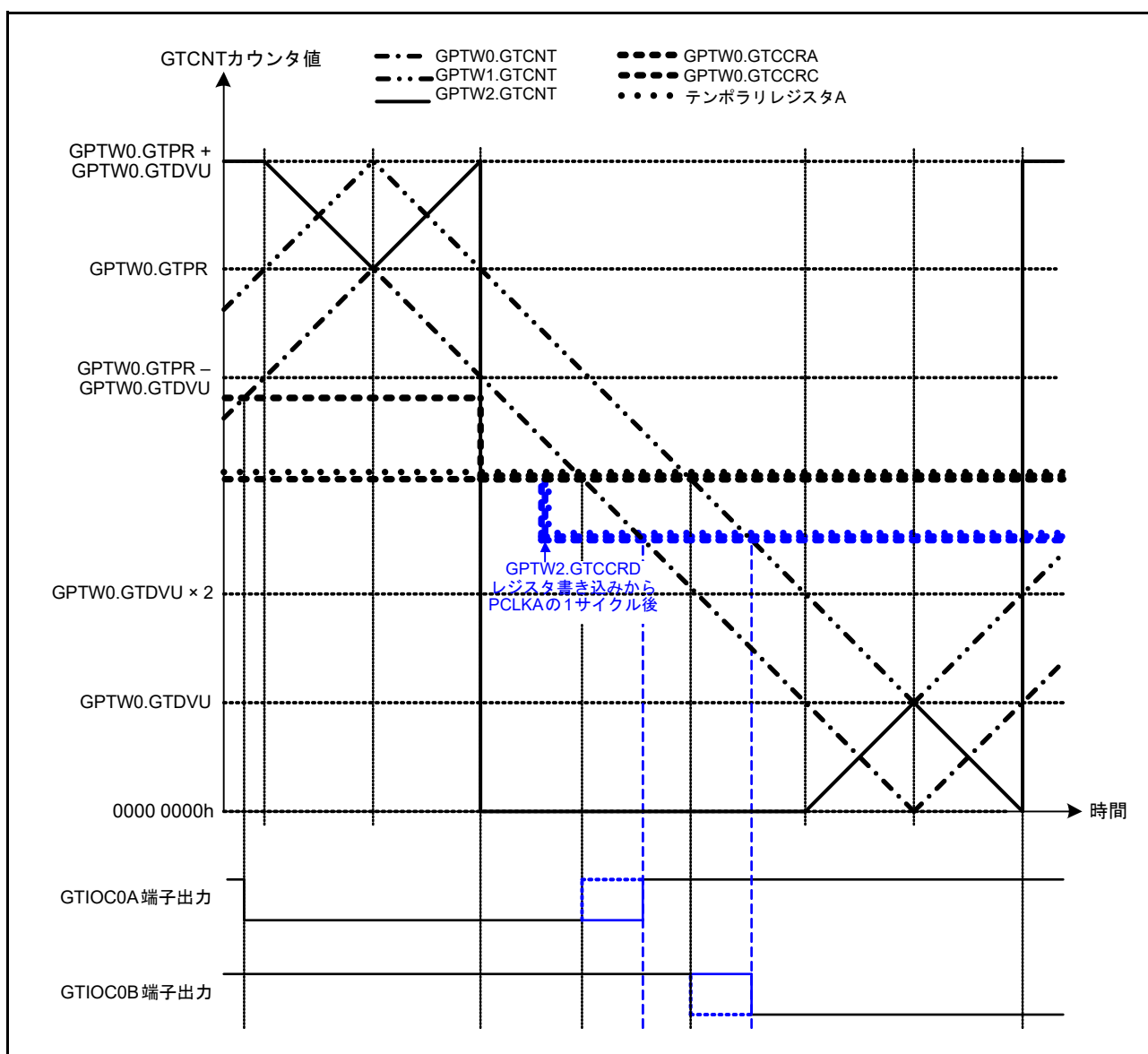


図 22.84 相補 PWM モード 4 シングルバッファの動作例 (ダウンカウント中間区間)
 (相補 PWM モード 4 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 ダウンカウントのコンペアマッチ前に GPTW0.GTCNT 未満の値を GTCCRD レジスタに書き込んだ場合)

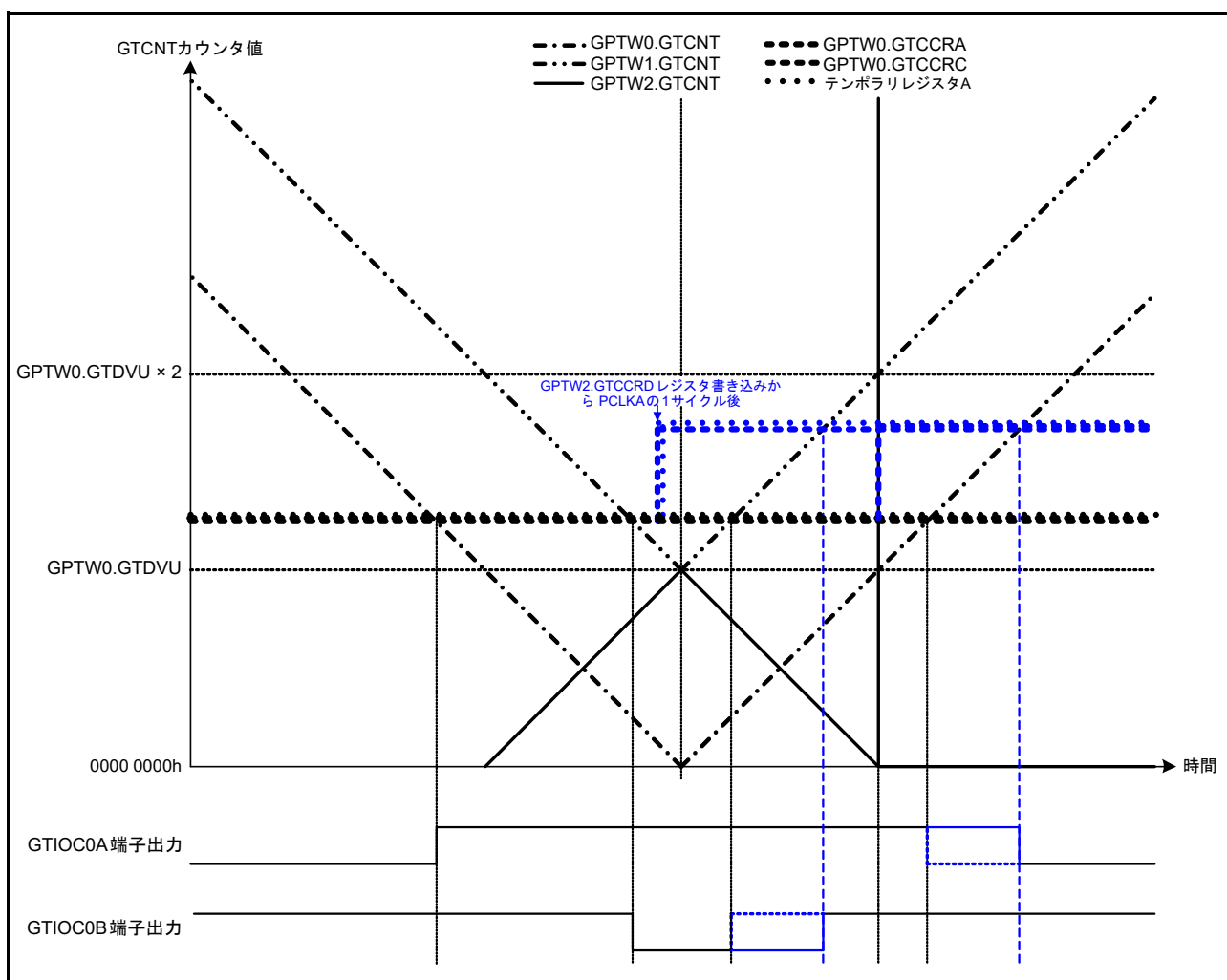


図 22.85 相補 PWM モード 4 シングルバッファの動作例 (ダウンカウント谷区間)
 (相補 PWM モード 4 シングルバッファ動作、
 アップカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = Low 出力 /
 GTIOC0B 端子 = High 出力、
 ダウンカウント時の GTCCRA レジスタのコンペアマッチで GTIOC0A 端子 = High 出力 /
 GTIOC0B 端子 = Low 出力、
 ダウンカウントのコンペアマッチ後に GPTW2.GTCNT よりも大きい値を GTCCRD レジスタに
 書き込んだ場合)

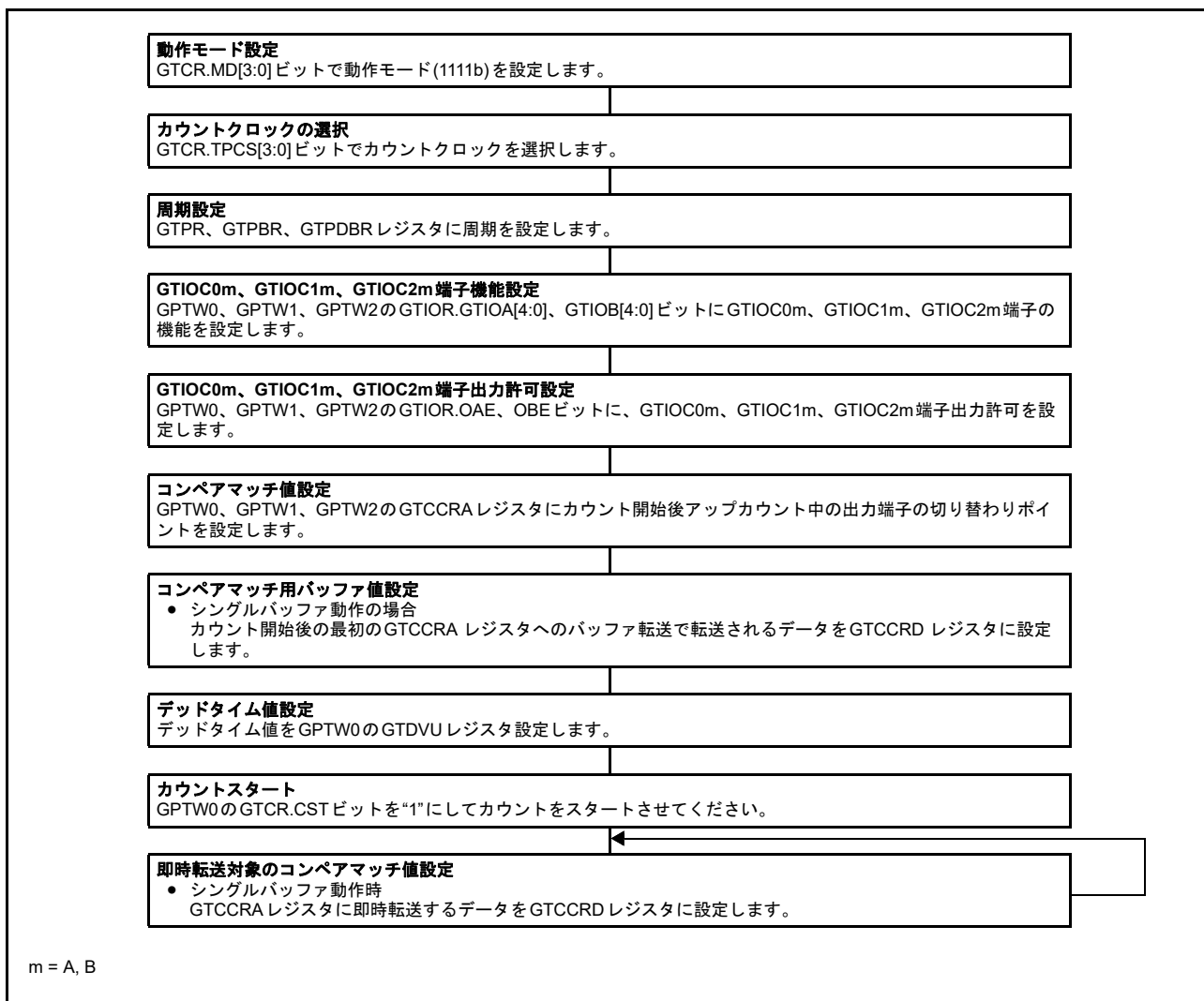


図 22.86 相補 PWM モード 4 の設定例

22.3.4 デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRA レジスタ値) とデッドタイム値 (GTDVU レジスタ値) からデッドタイム付き逆相波形用コンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

逆相波形の切り替わりポイントに対するデッドタイムを GTDVU レジスタで設定します。

デッドタイム自動設定による逆相波形の変化ポイントは、GTCCRB レジスタ値を読むことで確認できます。デッドタイム自動設定機能を使用するときは、GTCCRB レジスタへの書き込みは禁止です。

波形の変化ポイントがカウント周期を超えるようなデッドタイム設定は禁止です。デッドタイムエラーの発生条件となるようなデッドタイム設定を行った場合、表 22.13 に示すように正相波形と逆相波形の変化するポイントを補正して、デッドタイムを確保した波形を生成します。補正された逆相波形の変化ポイントは、GTCCRB レジスタに自動設定されますが、正相波形の変化ポイントの判定には内部信号を用いており、GTCCRA レジスタを補正值で更新することはありません。

のこぎり波ワンショットパルスモードで、デッドタイムエラー発生による波形変化ポイントの補正によって変化ポイントの順番が乱れた場合や、補正した後もカウント周期を超えている場合は、正相と逆相の相補関係を保証できません。

GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値の算出に用いるレジスタ値が更新された次のカウントクロックで行われます。三角波の場合は、山の次のカウントクロックでも行われます。

表 22.13 デッドタイムエラー発生時の変化ポイント補正

PWM出力動作モード	カウント方向	区間	デッドタイムエラー条件	補正後の正相波形変化ポイント	補正後の逆相波形変化ポイント
のこぎり波ワンショットパルスモード	アップカウント	前側	$GTCCRA - GTDVU < 0$	GTDVU	0
		後側	$GTCCRA + GTDVU > GTPR$	$GTPR - GTDVU$	GTPR
	ダウンカウント	前側	$GTCCRA + GTDVU > GTPR$	$GTPR - GTDVU$	GTPR
		後側	$GTCCRA - GTDVU < 0$	GTDVU	0
三角波PWMモード1/2/3	アップカウント	(前側)	$GTCCRA - GTDVU \leq 0$	$GTDVU + 1$	1
	ダウンカウント	(後側)	$GTCCRA - GTDVU < 0$	GTDVU	0

図 22.87 ~ 図 22.90 にデッドタイム自動設定機能の動作例を、図 22.91、図 22.92 に設定例を示します。

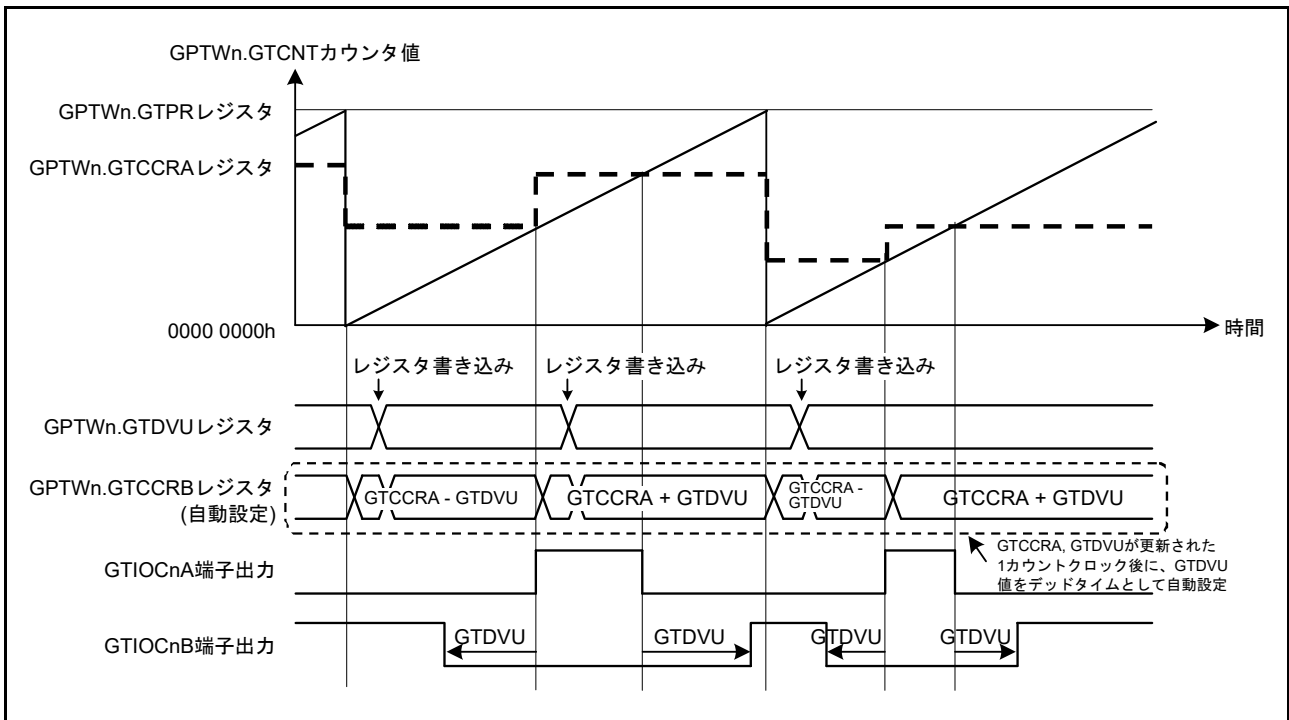


図 22.87 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、アクティブレベルは High の場合) (n = 0 ~ 2)

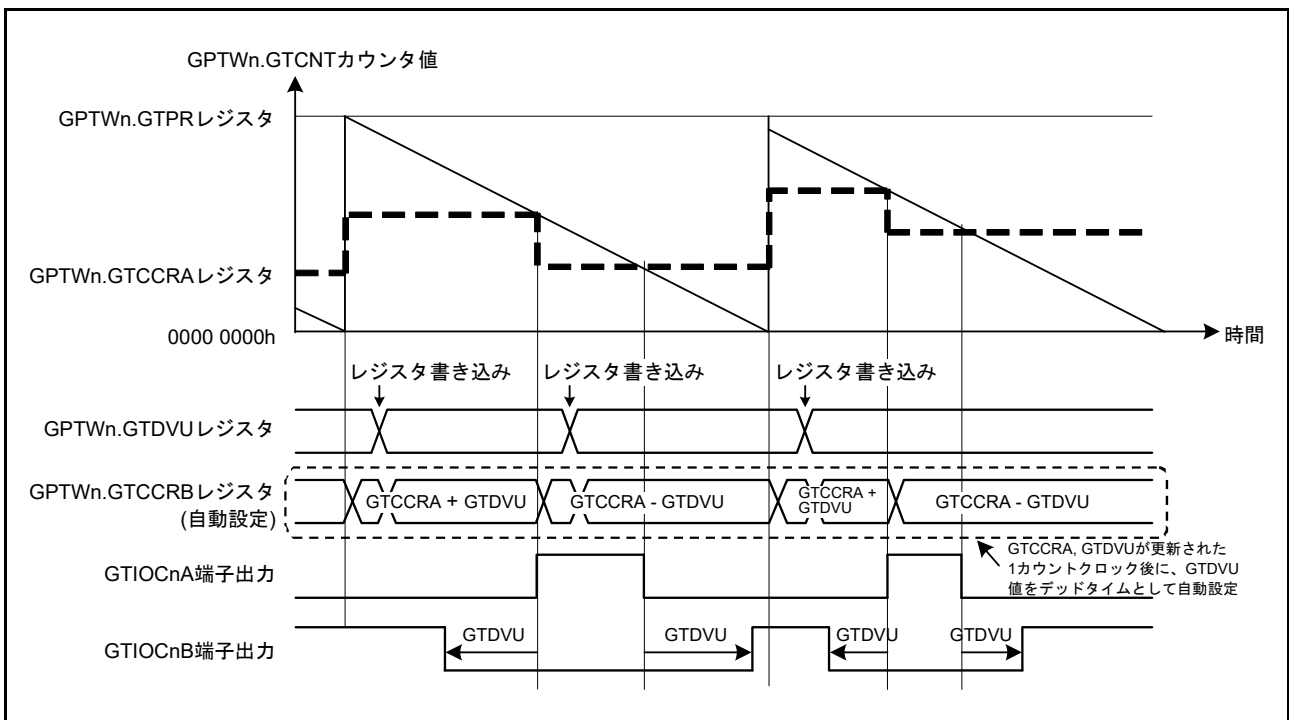


図 22.88 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、アクティブレベルは High の場合) (n = 0 ~ 2)

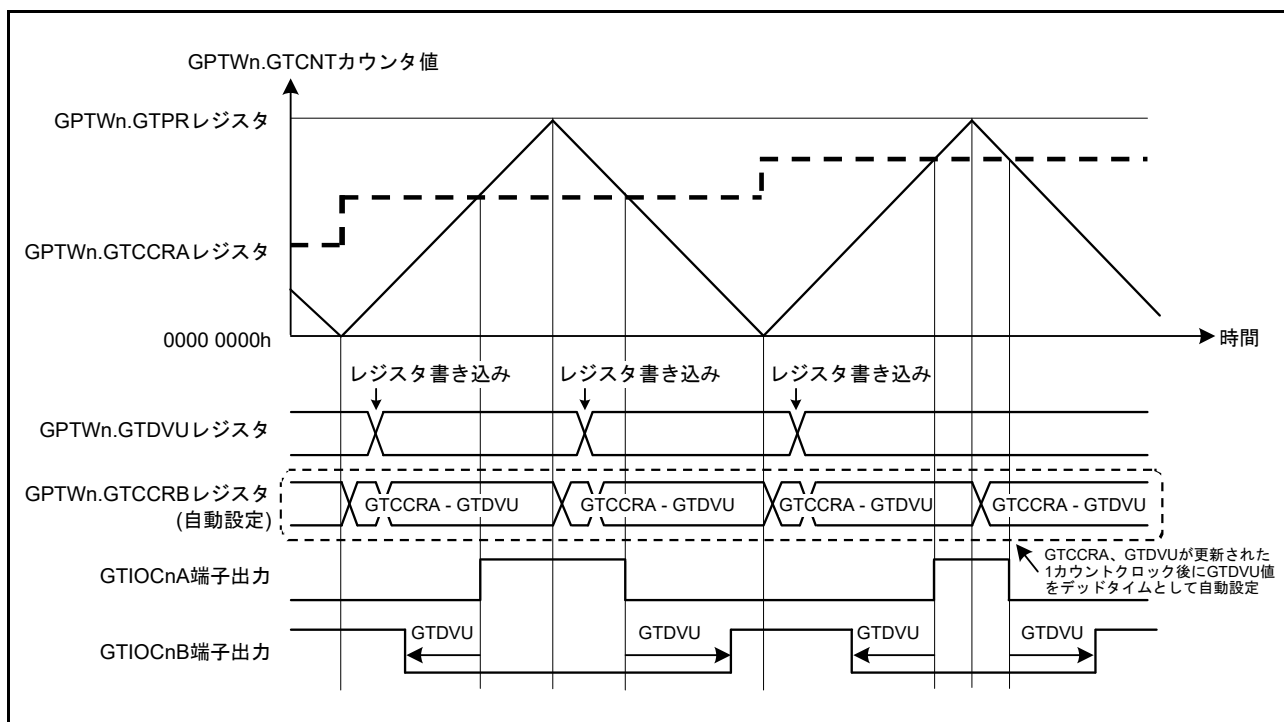


図 22.89 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 1、アクティブレベルは High の場合) (n = 0 ~ 2)

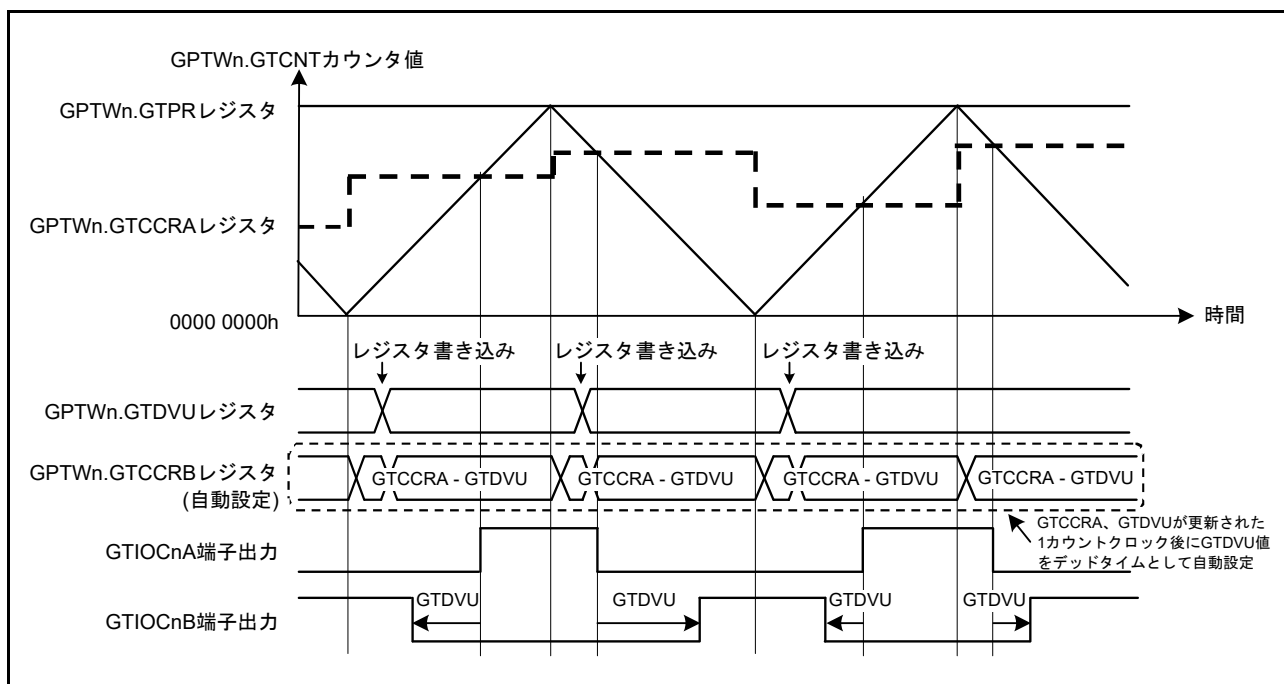


図 22.90 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2/3、アクティブレベルは High の場合) (n = 0 ~ 2)

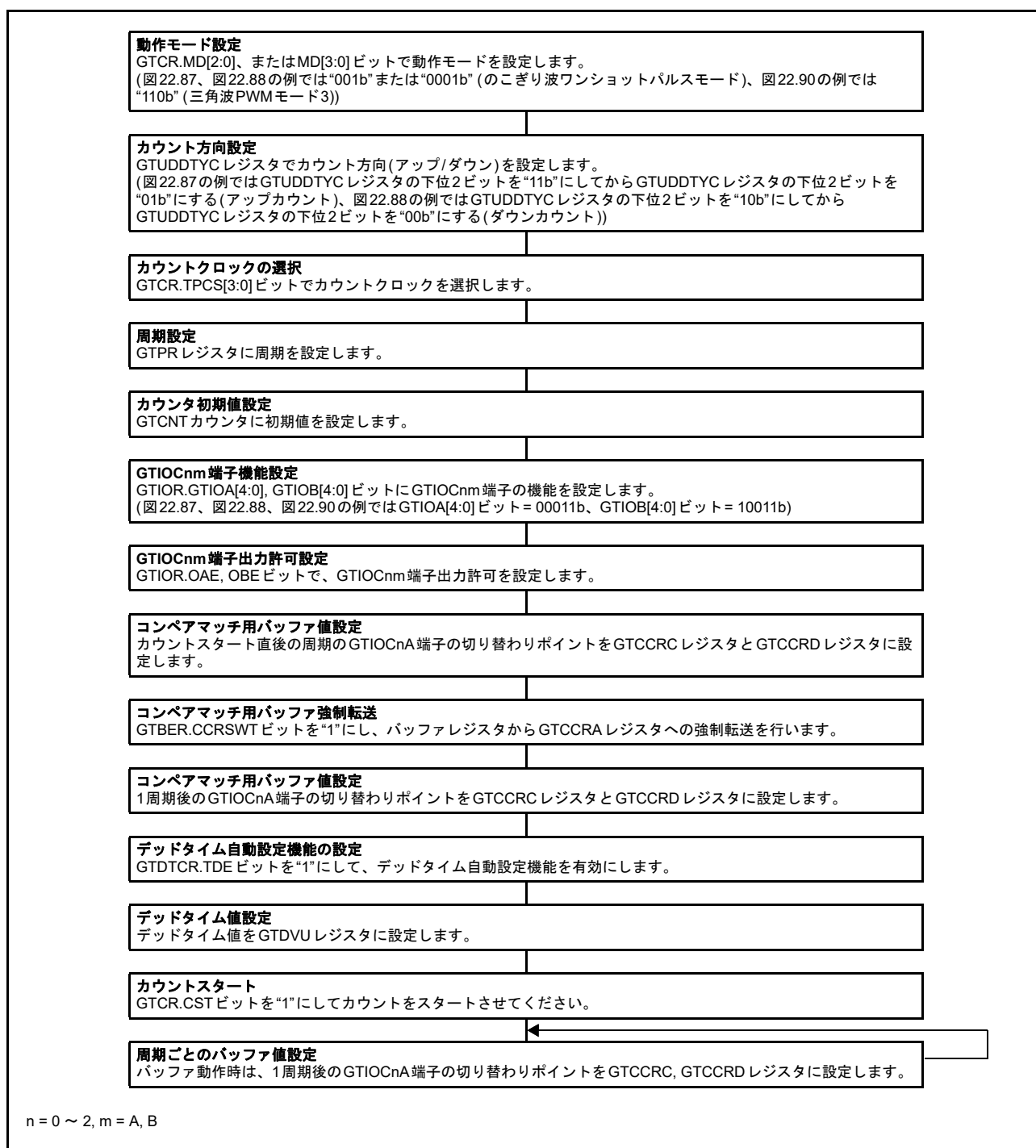


図 22.91 デッドタイム自動設定機能の設定例
 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 時)

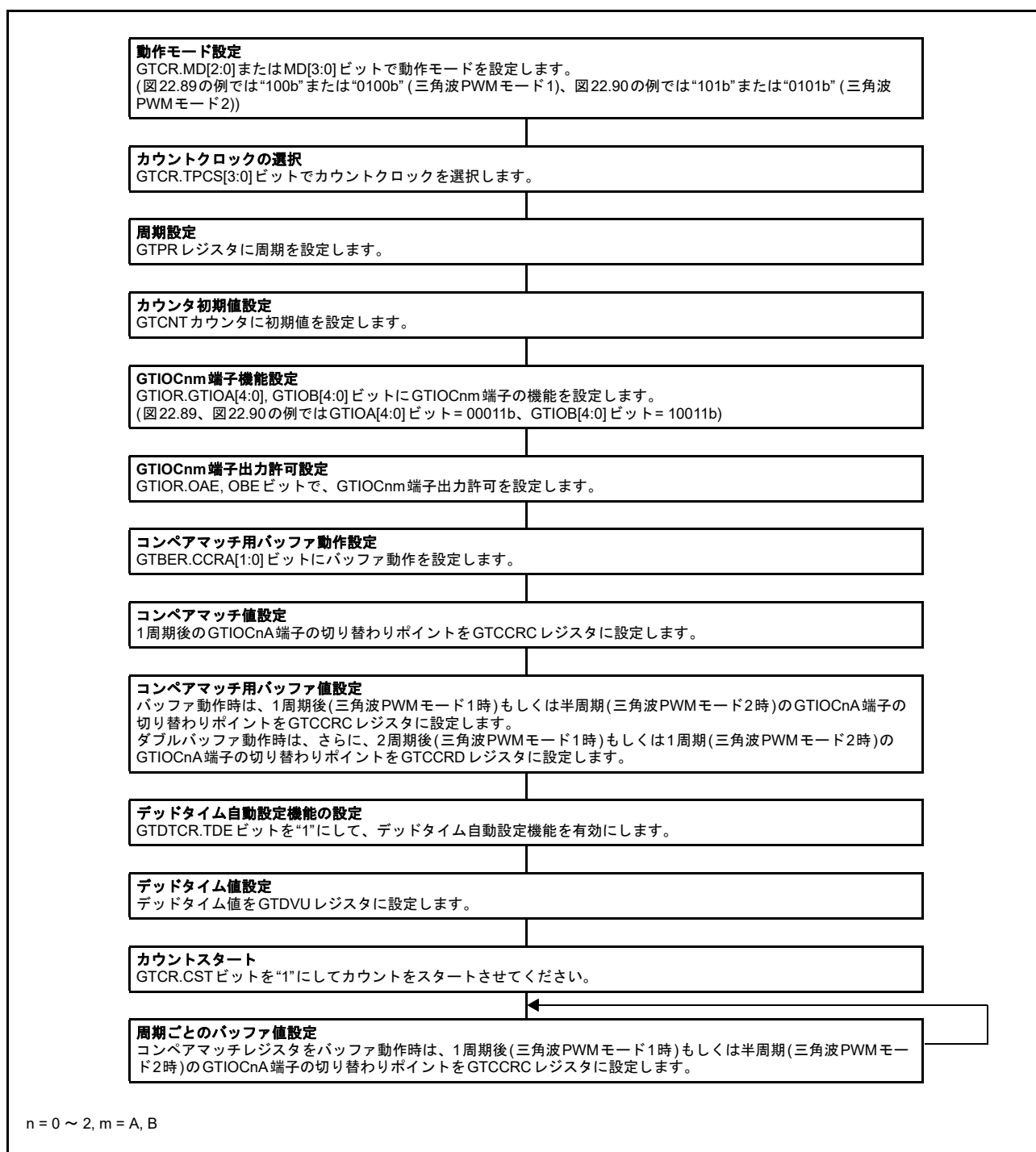


図 22.92 デッドタイム自動設定機能の設定例 (三角波PWMモード 1/2 時)

22.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を変更することにより、GTCNT カウンタのカウント方向を切り替えることができます。

のこぎり波の場合、カウント中に UD ビット値を変更すると、オーバーフロー (アップカウント中に変更した場合) もしくはアンダフロー (ダウンカウント中に変更した場合) 発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが “0” の状態で UD ビット値を変更すると、カウントスタート時には反映されず、オーバーフローもしくはアンダフロー発生時にカウント方向が切り替わります。カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビット値がカウントスタート時から反映されます。

三角波の場合、カウント動作中に GTUDDTYC.UD ビット値を変更してもカウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが “0” の状態で GTUDDTYC.UD ビット値を変更しても反映されません。カウントストップ中に GTUDDTYC.UDF ビットを “1” にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時から反映されます。

のこぎり波でカウント中にカウント方向を切り替えた場合、アップカウント時はアップカウントスタート後の GTPR レジスタ値がカウント周期に反映され、ダウンカウント時はダウンカウントスタート後の GTPR レジスタ値がカウント周期に反映されます。

図 22.93 にカウント方向切り替え機能の動作例を示します。

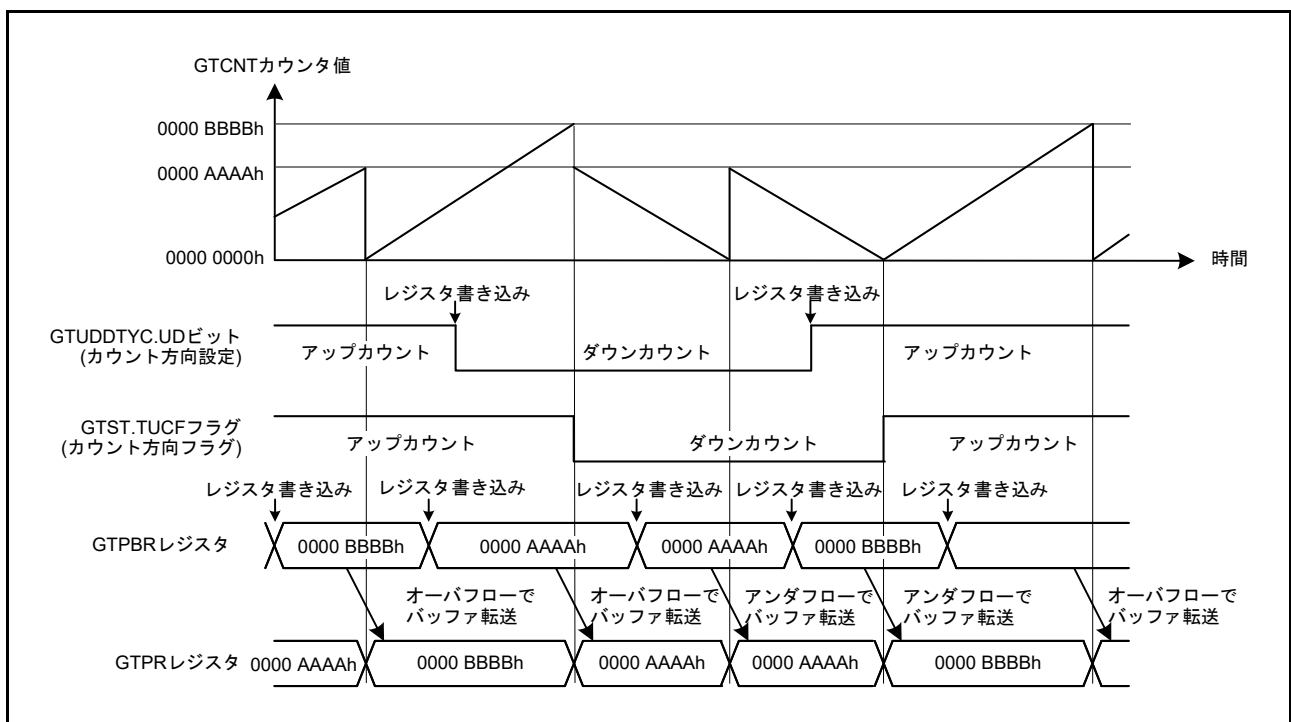


図 22.93 カウント方向切り替え機能の動作例 (バッファ動作時)

22.3.6 デューティ 0%/100% 出力機能

GTUDDTYC.OADTY[1:0], OBDTY[1:0] ビットの値を変更することにより、GTIOCnA, GTIOCnB 端子 (n = 0 ~ 7) の出力デューティを 0%/100% にすることができます。

のこぎり波 PWM モード 2 および相補 PWM モードの場合、本機能は無効です。

のこぎり波の場合、カウント動作中に OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、オーバフロー (アップカウント動作中に変更した場合) もしくはアンダフロー (ダウンカウント動作中に変更した場合) 発生時に変更した出力デューティ設定が反映されます。カウント停止中に GTUDDTYC.OADTYF, OBDTYF ビットが “0” の状態で、OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、オーバフローもしくはアンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF, OBDTYF ビットが “1” の状態で、OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0], OBDTY[1:0] ビットの値がカウント開始時から反映されます。

三角波の場合、カウント動作中に OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、アンダフロー発生時に変更した出力デューティ設定が反映されます。

カウント停止中に OADTYF, OBDTYF ビットが “0” の状態で、OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、アンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF, OBDTYF ビットが “1” の状態で、OADTY[1:0], OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0], OBDTY[1:0] ビットの値がカウント開始時から反映されます。

デューティ 0%/100% 設定の動作中、GPTW 内部ではコンペアマッチ動作は継続し、割り込み出力、バッファ動作を行います。

出力デューティを 0% または 100% の設定からコンペアマッチによる出力の設定に変更した場合の周期の終わりでの出力値は、GTIOCnA 端子は GTIOR.GTIOA[3:2] ビットと OADTYR ビット、GTIOCnB 端子は GTIOR.GTIOB[3:2] ビットと OBDTYR ビットによって決まります。GTIOA[3:2], GTIOB[3:2] ビットが、“01b” の場合は周期の終わりで “Low” を出力し、“10b” の場合は周期の終わりで “High” を出力します。“00b” で周期の終わりで出力保持、または “11b” で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を、OADTYR, OBDTYR ビットで選択します。デューティ 0%/100% 設定からコンペアマッチによる出力に設定を変更した場合の周期の終わりの出力値を表 22.14 に示します。

表 22.14 デューティ 0%/100% 解除後の出力値

GTIOR.GTIOm[3:2] ビット	デューティ 0%/100% によってマスクされていたコンペアマッチ出力の周期の終わりの値	デューティ 0% 設定時の GTUDDTYC.OmDTYR ビット		デューティ 100% 設定時の GTUDDTYC.OmDTYR ビット	
		0	1	0	1
00b (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01b (周期の終わりで Low 出力)	—	0	0	0	0
10b (周期の終わりで High 出力)	—	1	1	1	1
11b (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

m = A, B

図 22.94 にデューティ 0%/100% 出力機能の動作例 (n = 0 ~ 7) を示します。

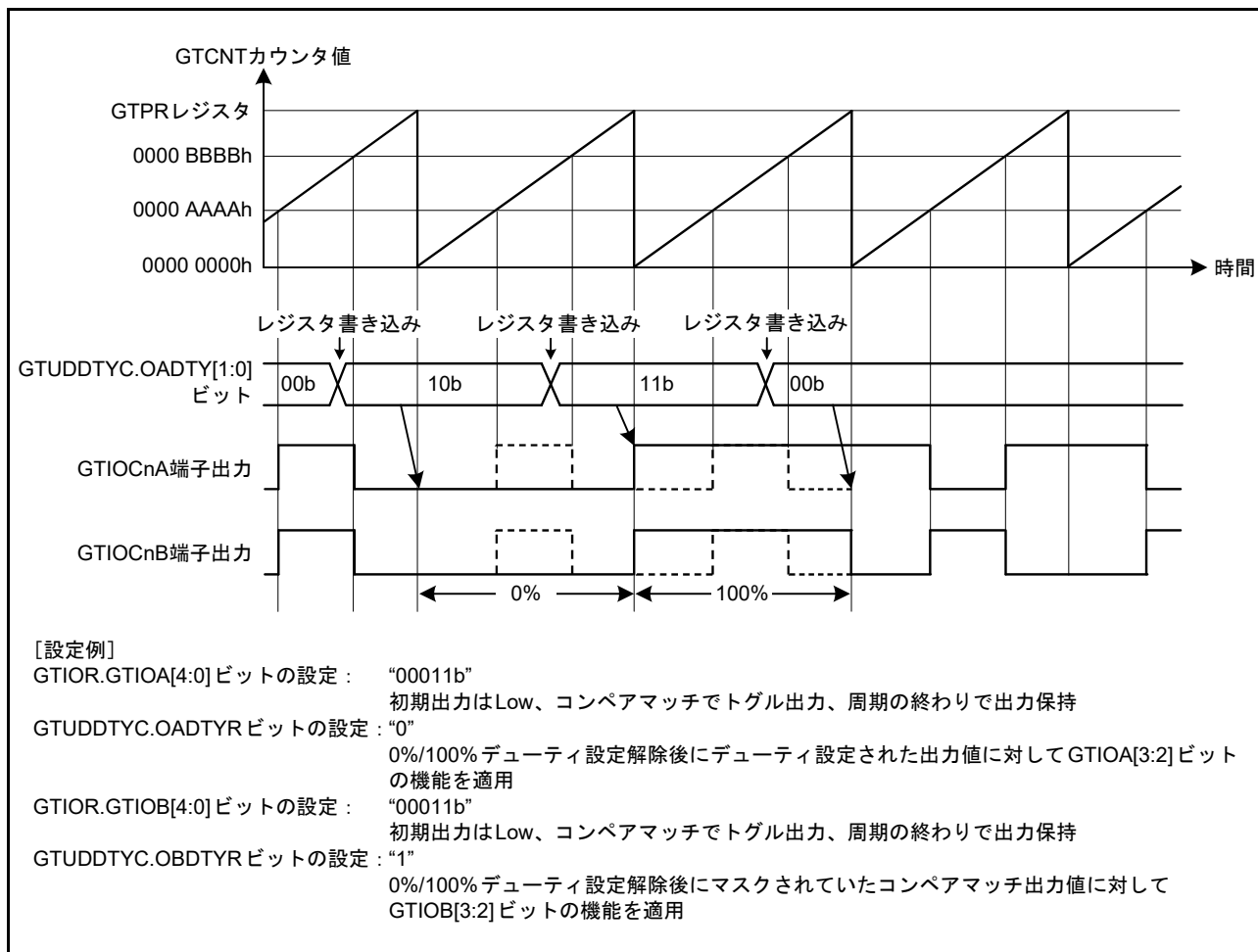


図 22.94 デューティ 0%/100% 出力機能の動作例 (n = 0 ~ 7)

22.3.7 ハードウェアカウントスタート、カウントストップ、カウンタクリア動作

本MCU内蔵のハードウェア要因により、GTCNTカウンタのスタート、ストップ、クリア制御が可能です。

ハードウェア要因には、外部トリガ入力、ELC イベント入力、GTIOcnm 端子入力 (n=0~7, m=A, B) の3種類の要因があります。

22.3.7.1 ハードウェアスタート動作

ハードウェア要因により、GTCNTカウンタのスタート制御が可能です。GTSSRレジスタでカウントをスタートさせるハードウェア要因を選択してカウントスタートを許可します。

図22.95にハードウェア要因によるカウントスタートの動作例を、図22.96に設定例を示します。

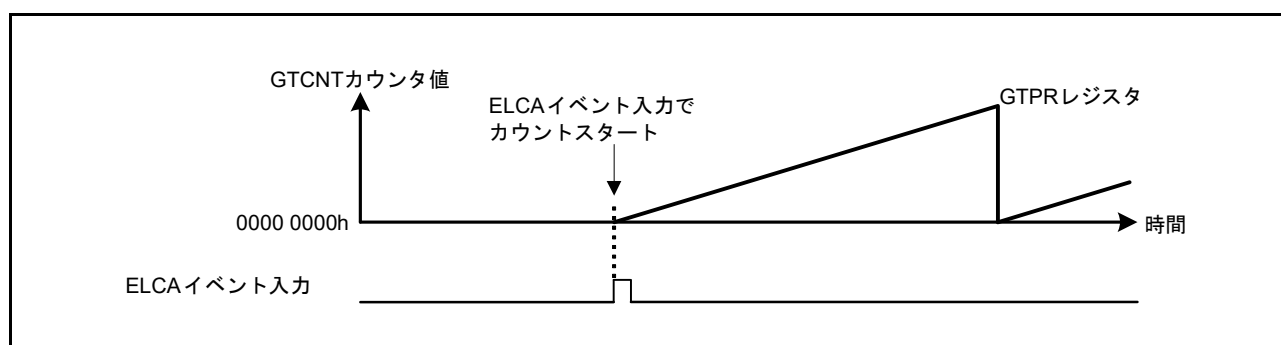


図 22.95 ハードウェア要因によるカウントスタート動作例 (ELCA イベントによるスタート時)

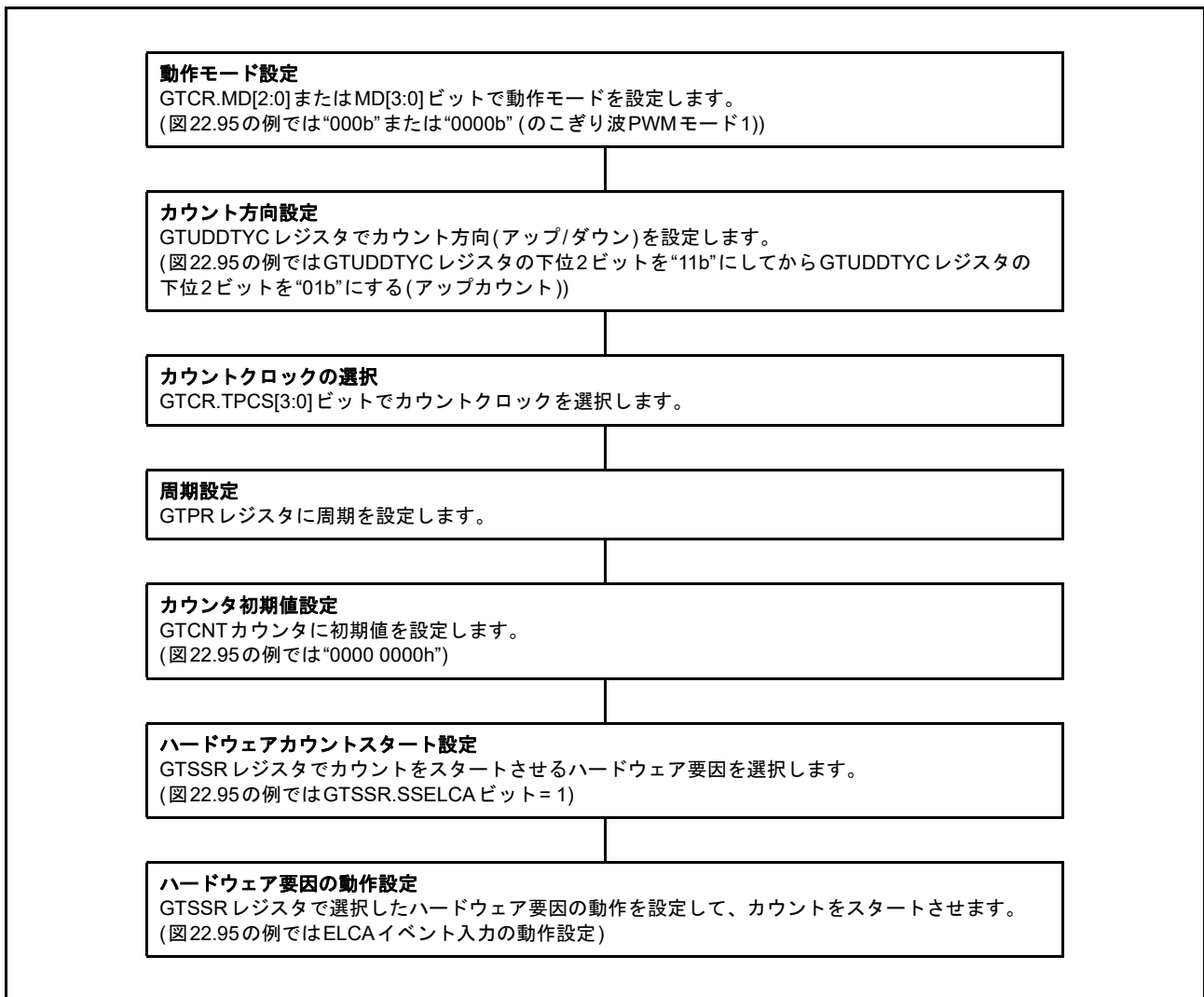


図 22.96 ハードウェア要因によるカウントスタート動作設定例

図 22.97 に GTETRGA 端子入力の立ち上がりによるカウントスタート動作タイミング例を示します。

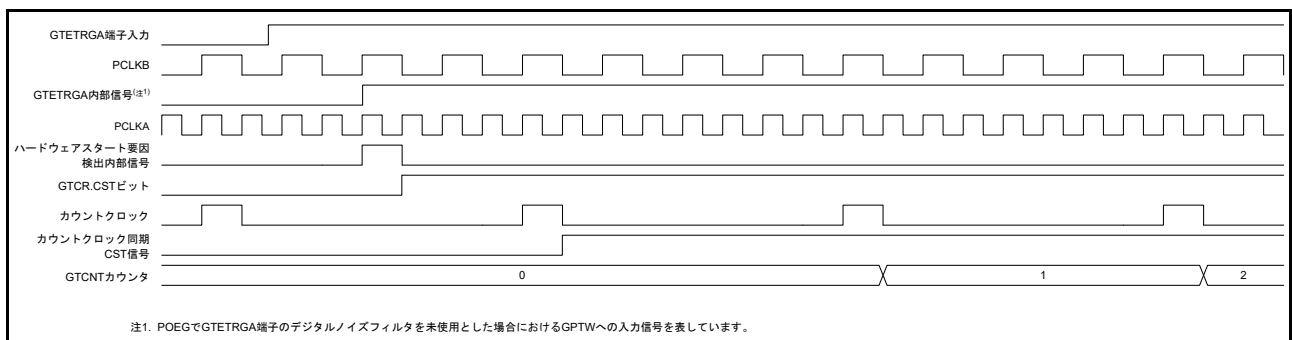


図 22.97 GTETRGA 端子入力の立ち上がりによるカウントスタート動作タイミング例

図 22.98 に GTIOcNnA 端子入力の立ち上がりによるカウントスタート動作タイミング例を示します。

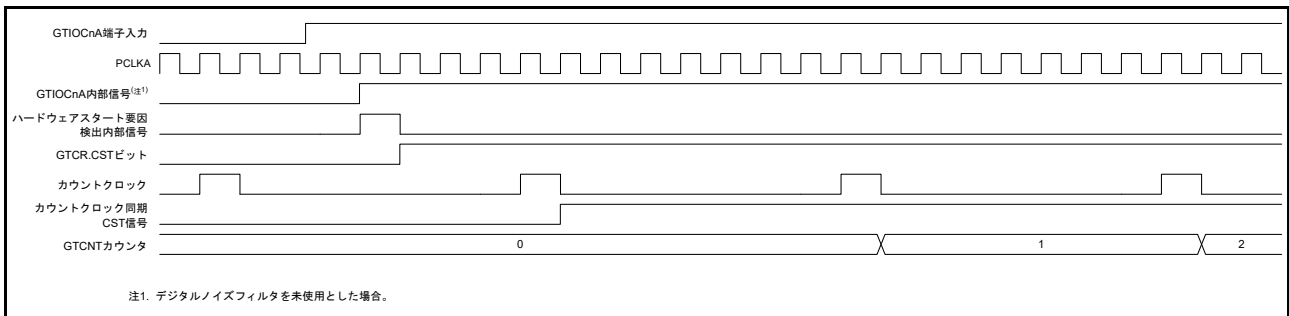


図 22.98 GTIOcNnA 端子入力の立ち上がりによるカウントスタート動作タイミング例

図 22.99 に ELCA イベント入力によるカウントスタート動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのカウントスタート動作を行った場合の例です。PCLKA に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。

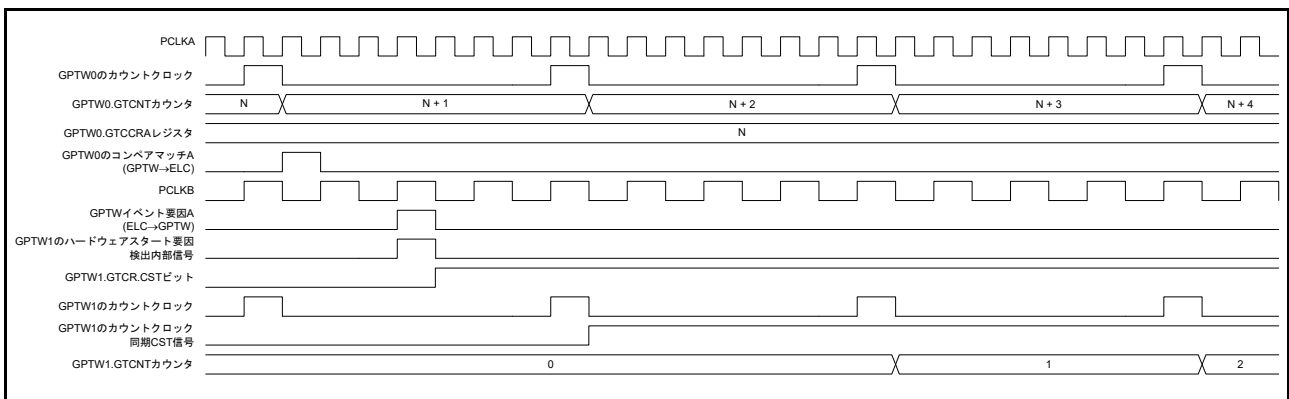


図 22.99 ELCA イベント入力によるカウントスタート動作タイミング例

22.3.7.2 ハードウェアストップ動作

ハードウェア要因により、GTCNTカウンタのストップ制御が可能です。GTPSRレジスタでカウントをストップさせるハードウェア要因を選択してカウントストップを許可します。

図 22.100 にハードウェア要因によるカウントストップの動作例を、図 22.101 に設定例を示します。ELCA イベント入力によりストップ、ELCB イベント入力により再スタートする例です。

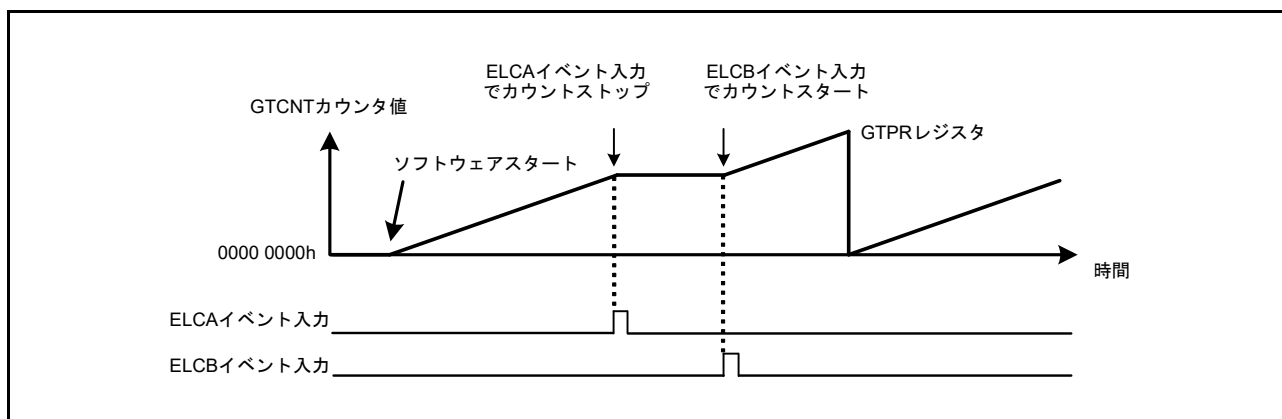


図 22.100 ハードウェア要因によるカウントストップ動作例
(ソフトウェアでスタート、ELCA イベント入力でストップ、ELCB イベント入力で再スタート時)

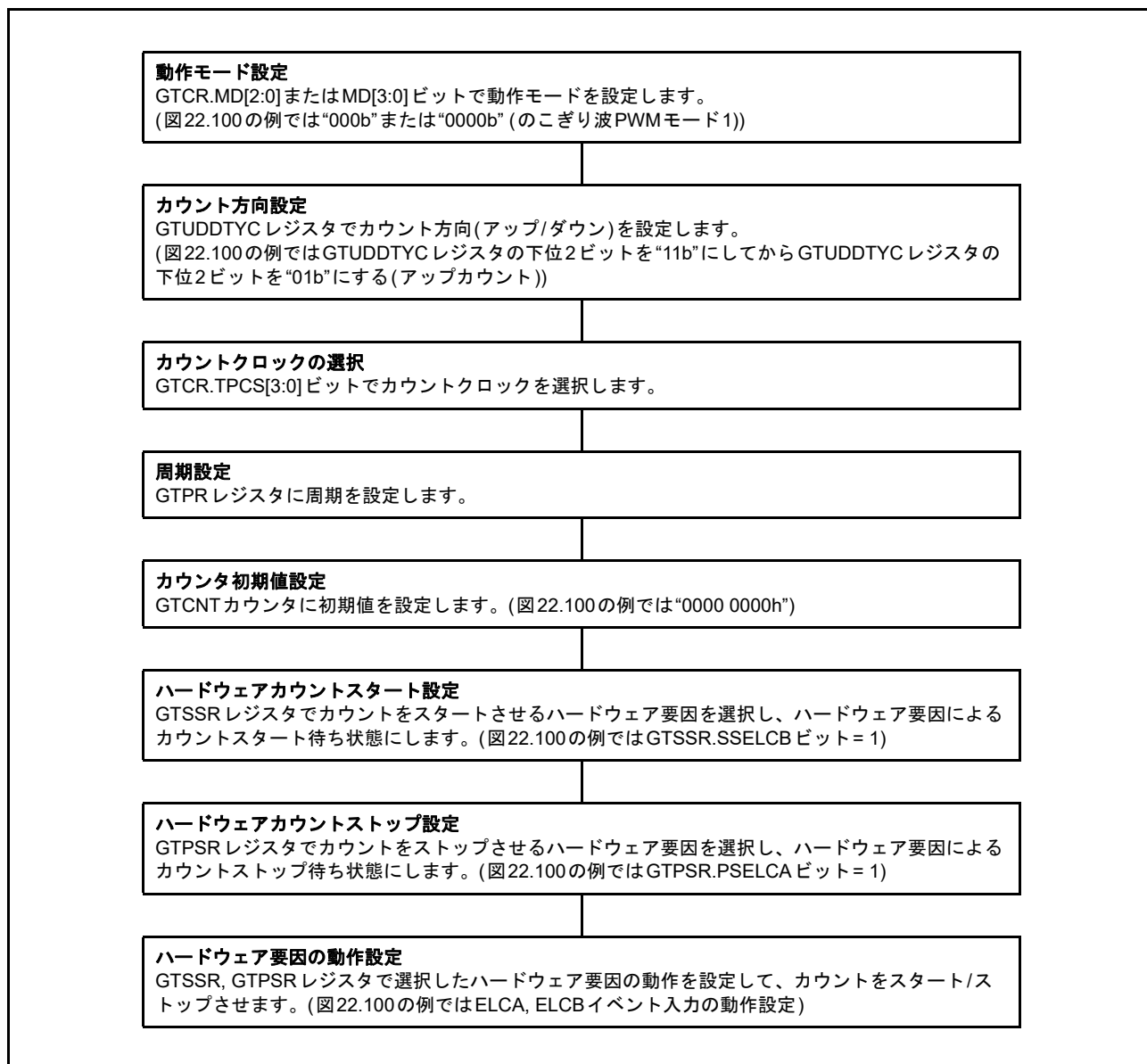


図 22.101 ハードウェア要因によるカウントストップ動作設定例

図 22.102 にハードウェア要因によるカウントスタート/ストップの動作例を、図 22.103 に設定例を示します。外部入力トリガ GTETRGA 端子が High の区間でカウント動作する例です。

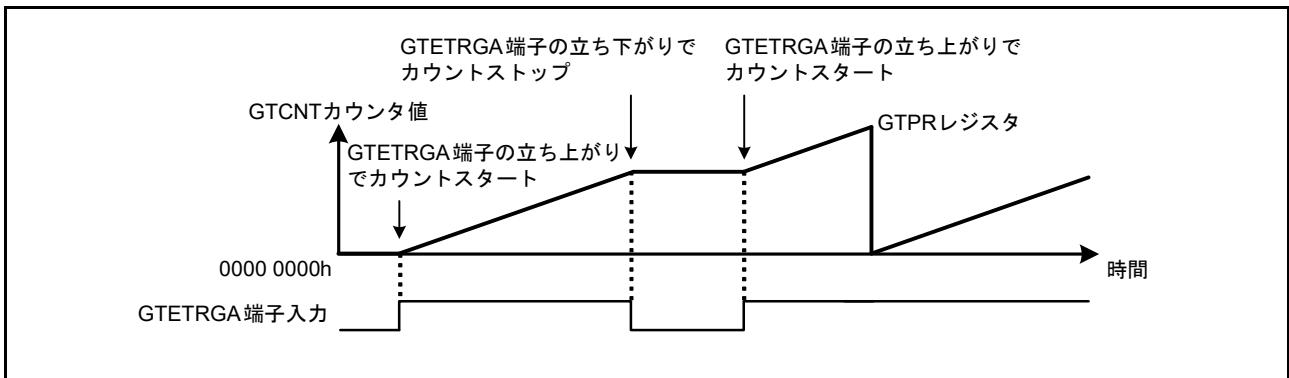


図 22.102 ハードウェア要因によるカウントスタート/ストップ動作例
(GTETRGA 端子入力の立ち上がりでスタート、GTETRGA 端子入力の立ち下がりでストップ時)

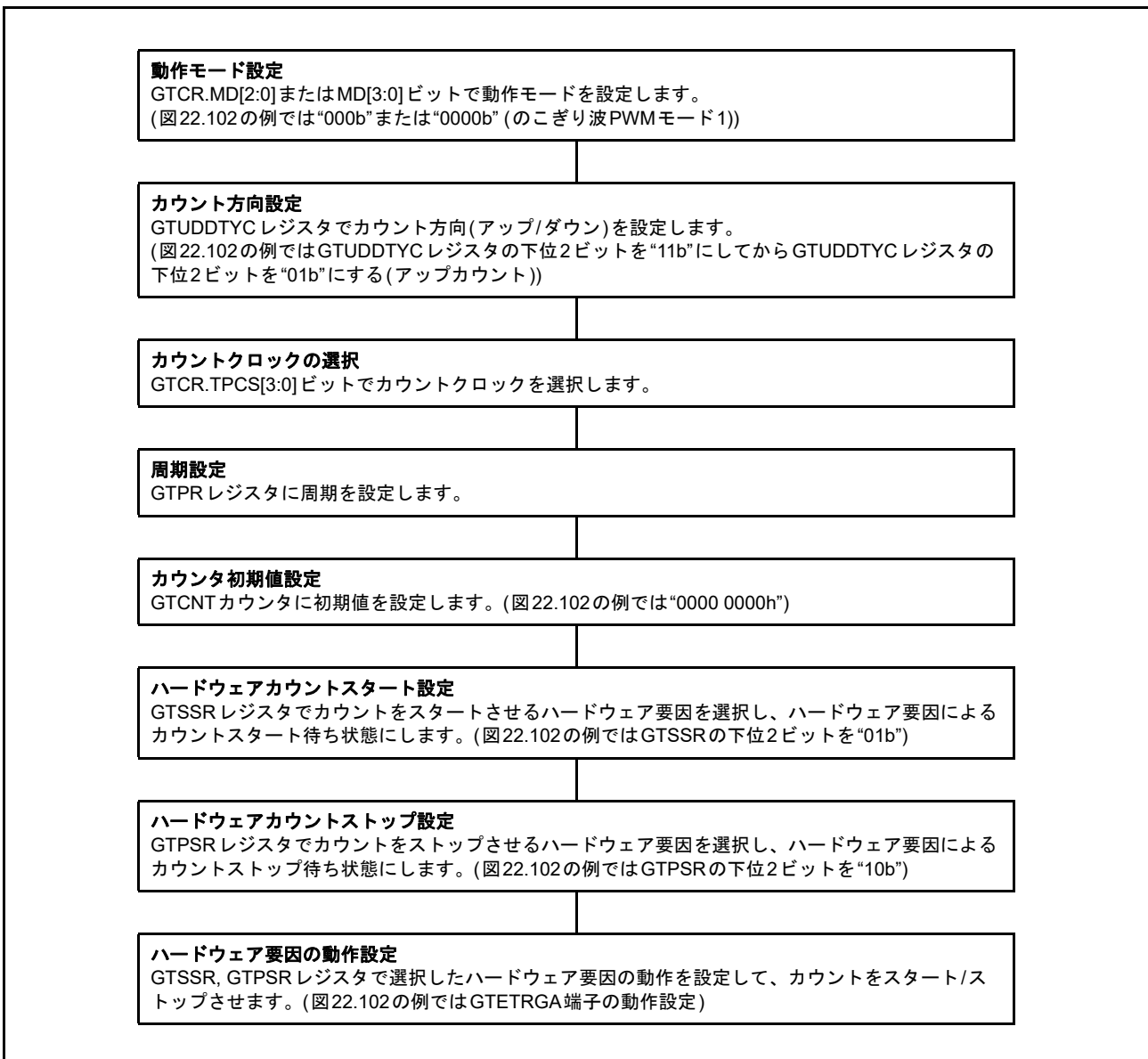


図 22.103 ハードウェア要因によるカウントスタート/ストップ動作設定例

図 22.104 に GTETRGA 端子入力の立ち上がりによるカウントストップ動作タイミング例を示します。

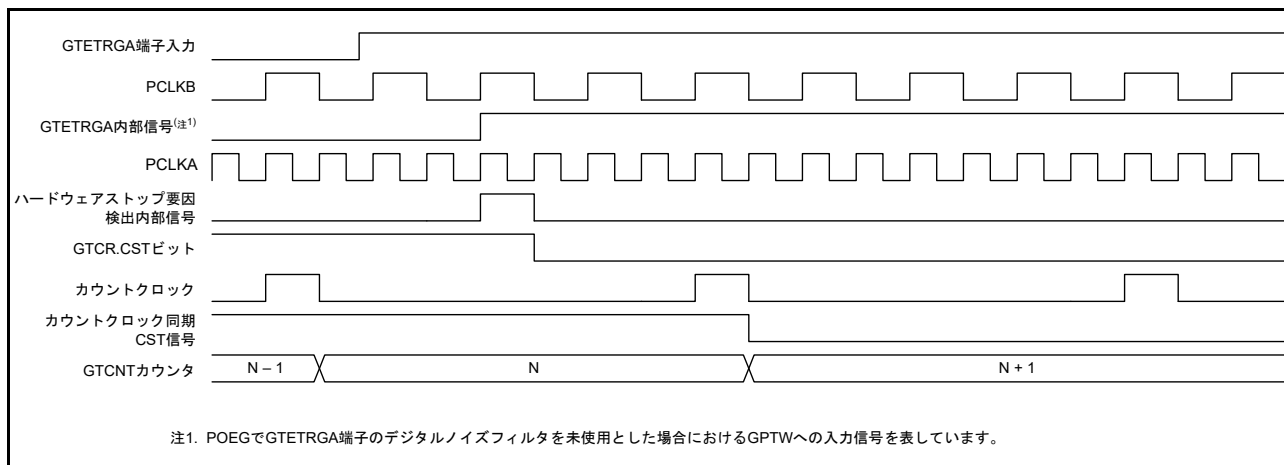


図 22.104 GTETRGA 端子入力の立ち上がりによるカウントストップ動作タイミング例

図 22.105 に GTIOCnA 端子入力の立ち上がりによるカウントストップ動作タイミング例を示します。

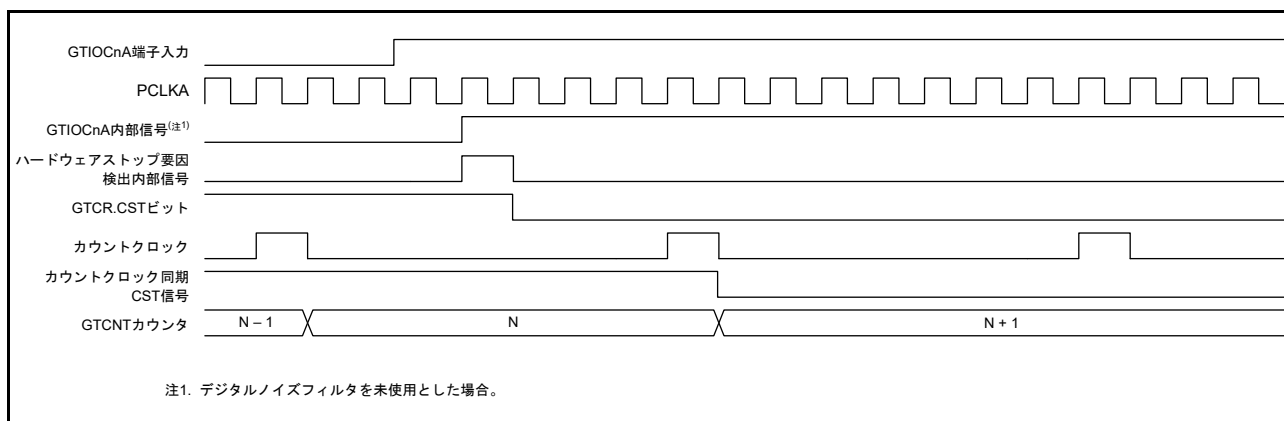


図 22.105 GTIOCnA 端子入力の立ち上がりによるカウントストップ動作タイミング例

図 22.106 に ELCA イベント入力によるカウントストップ動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのカウントストップ動作を行った場合の例です。PCLKA に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。

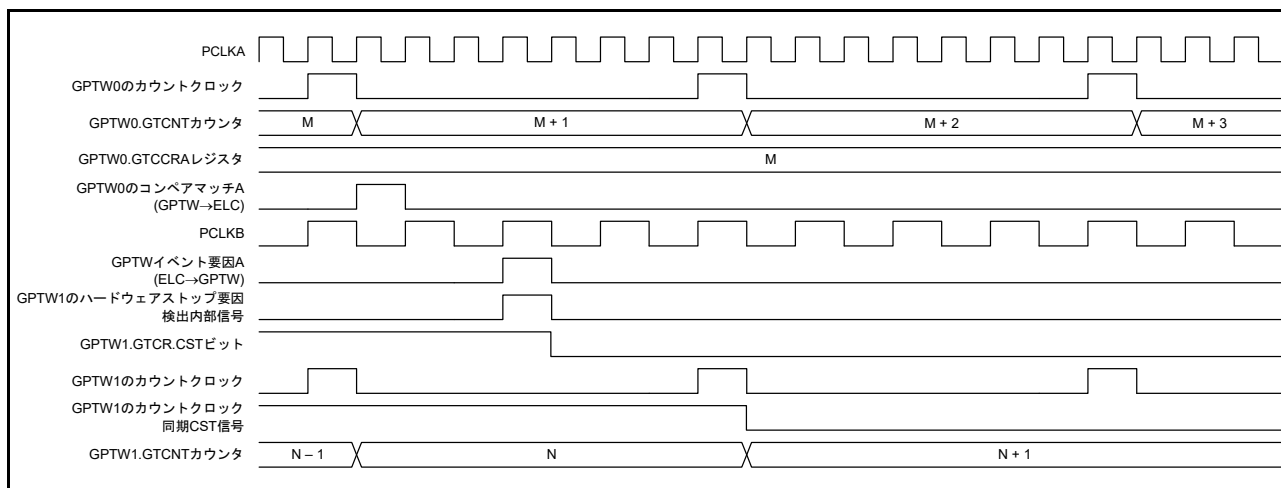


図 22.106 ELCA イベント入力によるカウントストップ動作タイミング例

22.3.7.3 ハードウェアクリア動作

ハードウェア要因によって、GTCNTカウンタのクリア制御が可能です。GTCSRレジスタでカウンタをクリアさせるハードウェア要因を選択してカウンタクリアを許可します。

なお、ハードウェア要因によるカウンタクリアおよびソフトウェアによるカウンタクリアが発生しても、GTCIV/GTCIU割り込み(オーバーフロー/アンダフロー割り込み)は発生しません。

図 22.107、図 22.108 にハードウェア要因によるカウンタクリアの動作例を、図 22.109 に設定例を示します。ELCA イベント入力によりスタート、ELCB イベント入力によりカウントストップ/クリアする例です。

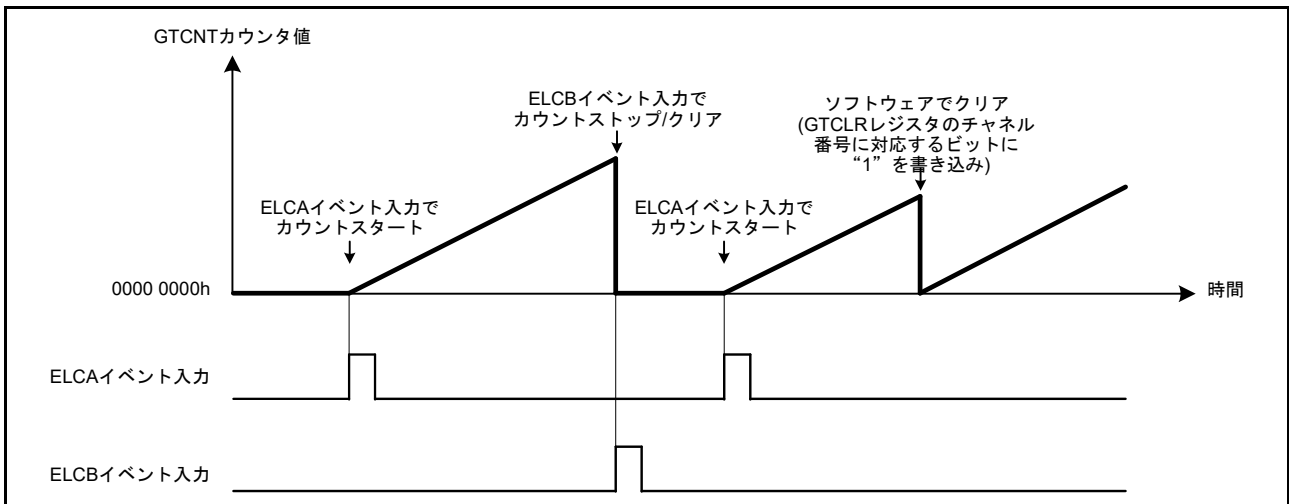


図 22.107 ハードウェア要因によるカウンタクリア動作例 (のこぎり波でアップカウント、ELCA イベント入力でスタート、ELCB イベント入力でカウントストップ/クリア時)

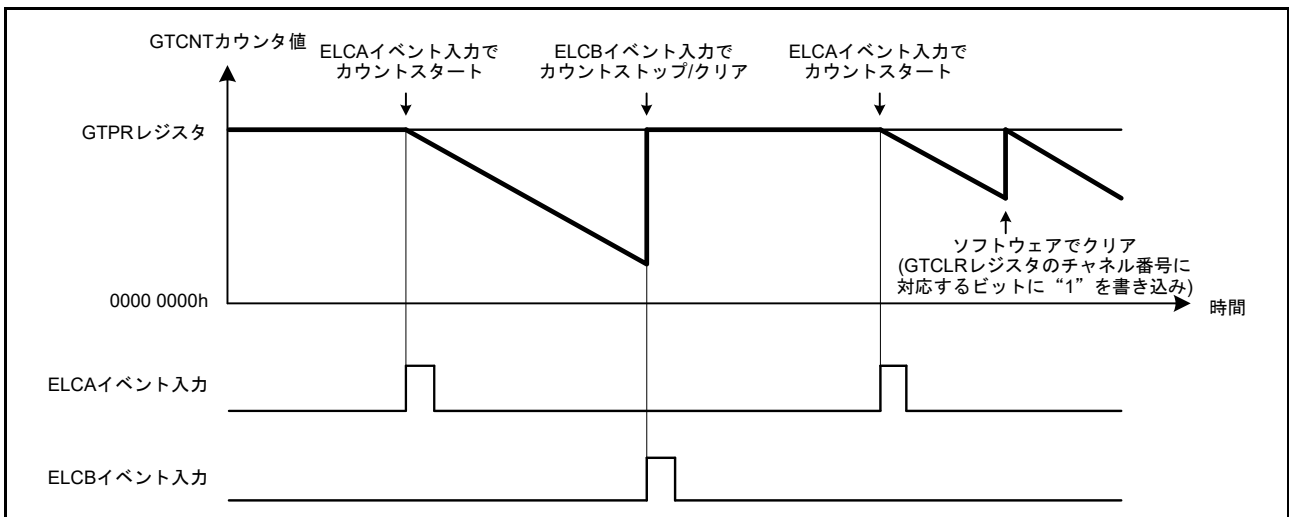


図 22.108 ハードウェア要因によるカウンタクリア動作例 (のこぎり波でダウンカウント、ELCA イベント入力でスタート、ELCB イベント入力でカウントストップ/クリア時)



図 22.109 ハードウェア要因によるカウンタクリア動作設定例

ハードウェア要因によるカウンタクリアを行っても、GTCIV/GTCIU 割り込み (オーバーフロー/アンダフロー割り込み) は発生しません。同様に、ソフトウェアでのカウンタクリアを行った場合も、GTCIV/GTCIU 割り込みは発生しません。

図 22.110 にハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係を示します。

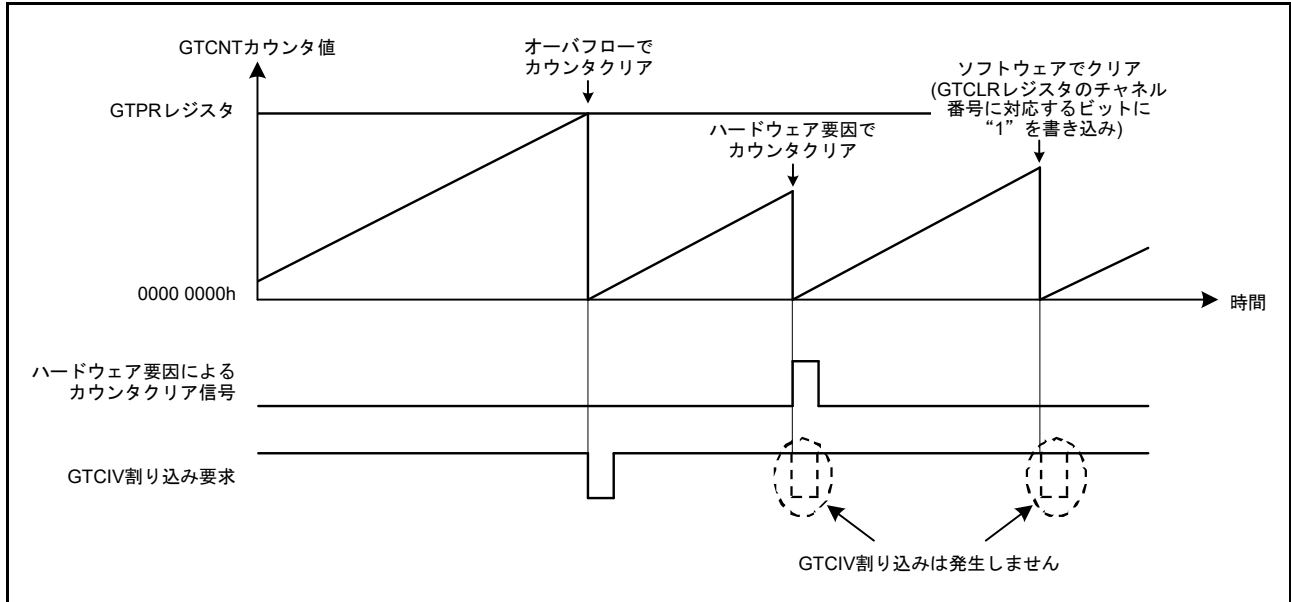
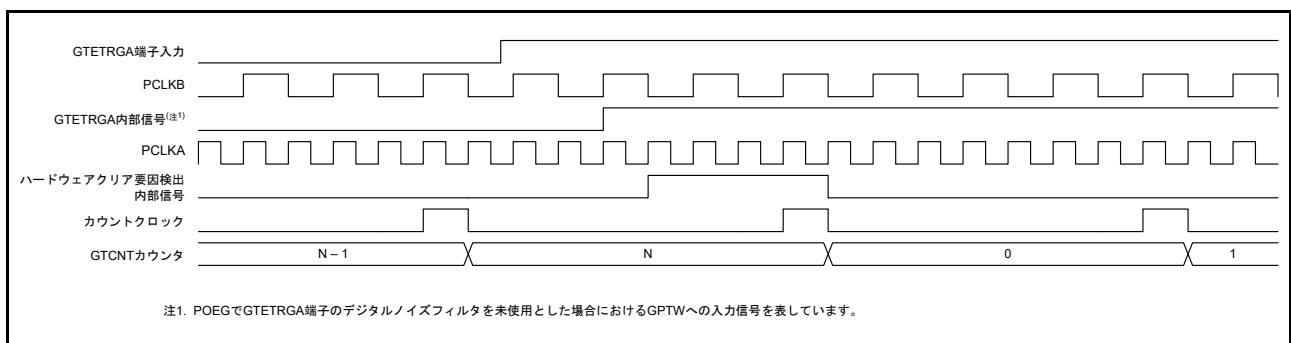


図 22.110 ハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係

図 22.111 に GTCNT カウンタのカウンタクロックに PCLKA の分周クロックを選択した場合における GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後のカウント動作時にクリアされます。



注1. POEGでGTETRGA端子のデジタルノイズフィルタを未使用とした場合におけるGPTWへの入力信号を表しています。

図 22.111 GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (PCLKA の分周クロックによるカウント動作時)

図 22.112 に GTCNT カウンタのカウンタクロックに PCLKA の分周クロックを選択した場合における GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後のカウンタ動作時にクリアされます。

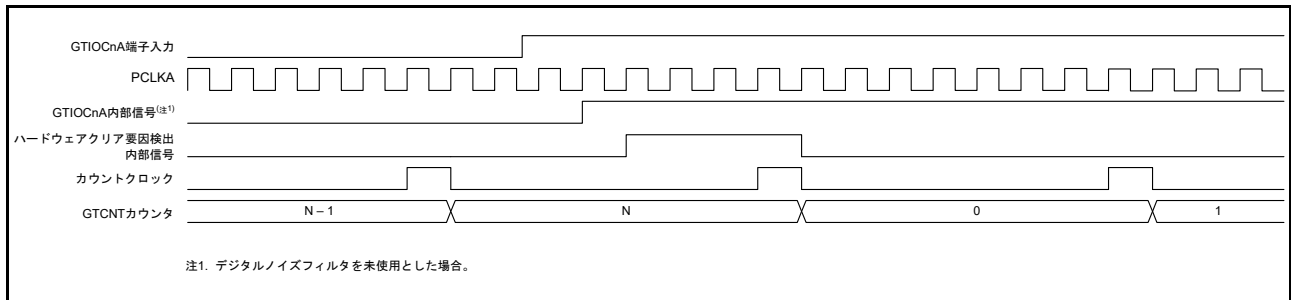


図 22.112 GTIOCnA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (PCLKA の分周クロックによるカウンタ動作時)

図 22.113 に GTCNT カウンタのカウンタクロックに PCLKA の分周クロックを選択した場合における ELCA イベント入力によるカウンタクリア動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのクリア動作を行った場合の例です。

PCLKA に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。GTCNT カウンタは、GPTW がクリア要因を検出した後のカウンタ動作時にクリアされます。

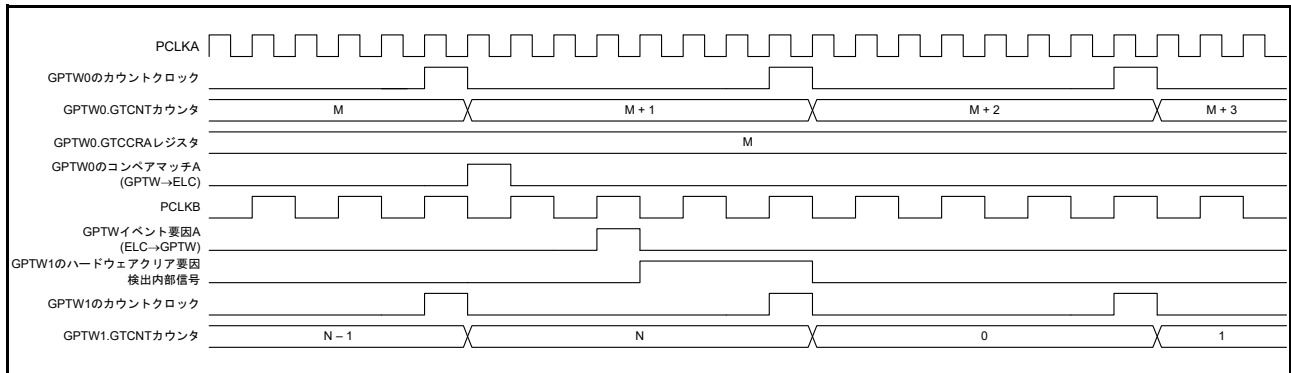


図 22.113 ELCA イベント入力によるカウンタクリア動作タイミング例 (PCLKA の分周クロックによるカウンタ動作時)

図 22.114 にハードウェア要因によるカウント動作とした場合における GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後の PCLKA に同期してクリアされます。

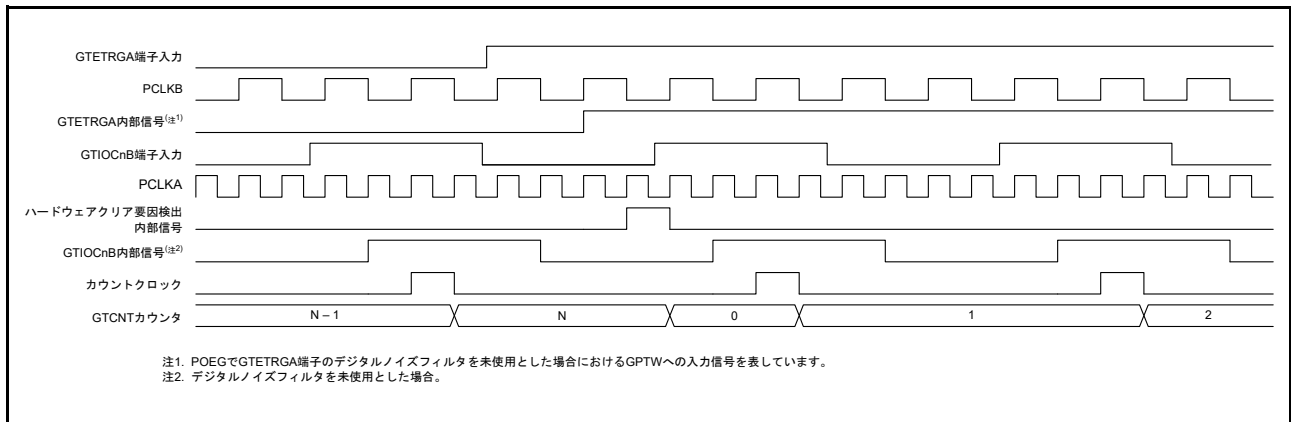


図 22.114 GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (ハードウェア要因によるカウント動作時)

図 22.115 にハードウェア要因によるカウント動作とした場合における GTIOChA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後の PCLKA に同期してクリアされます。

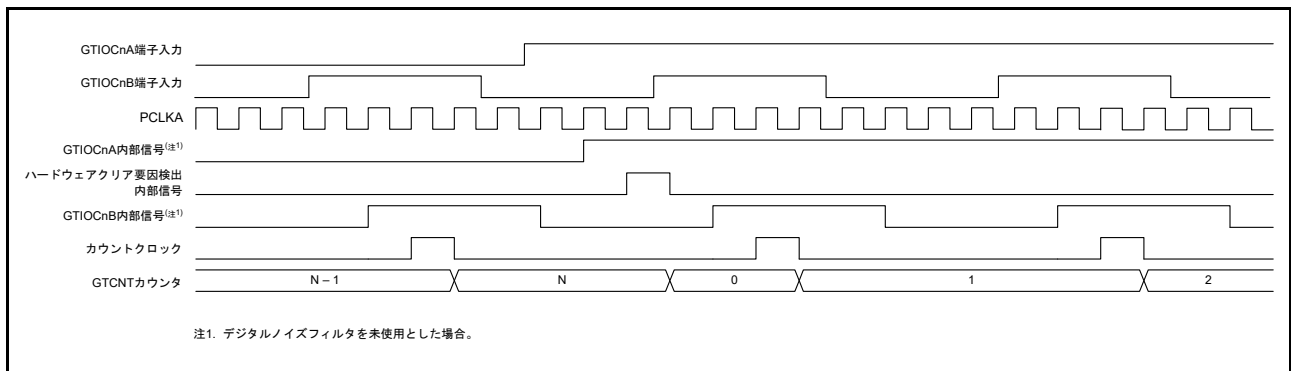


図 22.115 GTIOChA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (ハードウェア要因によるカウント動作時)

図 22.116 にハードウェア要因によるカウント動作とした場合における ELCA イベント入力によるカウンタクリア動作タイミング例を示します。

GPTW0.GTCCRA レジスタのコンペアマッチによる ELC へのイベント信号出力を、ELC が GPTW へのイベント要因 A として選択出力し、その信号により GPTW1.GTCNT カウンタのクリア動作を行った場合の例です。

PCLKA に同期した GPTW0 コンペアマッチ A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に GPTW イベント要因 A を出力します。GTCNT カウンタは、GPTW がクリア要因を検出した後の PCLKA に同期してクリアされます。

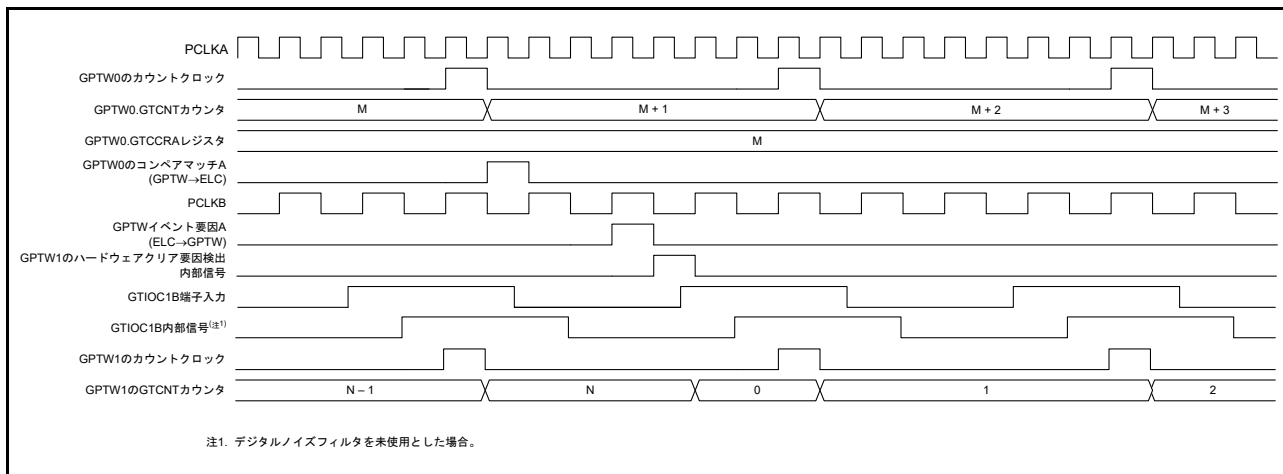


図 22.116 ELCA イベント入力によるカウンタクリア動作タイミング例 (ハードウェア要因によるカウント動作時)

22.3.8 同期動作

チャンネル間の同期動作(同時スタート/ストップ/クリア)が可能です。

22.3.8.1 ソフトウェアによる同期動作

GTSTR, GTSTP, GTCLR レジスタの複数ビットを同時に“1”にすることによって、各チャンネルのカウンタ動作を同時にスタート、ストップ、クリアすることができます。

カウンタスタート前に各チャンネルのGTCNTカウンタ値を設定しておき、GTSTR レジスタの複数のビットを同時に“1”にすることにより、各チャンネル間に位相差をつけたカウンタスタートすることができます。

GTCNTカウンタの値の設定は、GTCR.SSCENビットで同期セットされ、GTCR.SSCGRP[1:0]ビットで同じグループに設定された複数のチャンネルに同時に書き込むことができます。相補PWMモードに設定されているチャンネルに対しては、同期セットは無効です。GTSECR.SSCEビットまたはSSCDビットのどちらか一方に“1”を書くと、GTSECSRレジスタで“1”となっているチャンネルのGTCR.SSCENビットに同時に値が設定され、同期セットが複数のチャンネルで同時に許可、禁止されます。

カウンタ動作は、GTCR.TPCS[3:0]ビットで選択したカウンタクロックでおこなうため、同時にスタート、ストップ、クリアを行う複数のチャンネルのカウンタクロックが異なる場合、完全に同じタイミングでのスタート、ストップ、クリア動作を行うことはできません。

図 22.117 は、4つのチャンネルを、ソフトウェアによる同時スタート/ストップ/クリアさせた例です。図 22.118 は、4つのチャンネルを、ソフトウェアによる位相スタートをさせた例です。図 22.119 ~ 図 22.121 はカウンタクロックが異なる場合のソフトウェアによる同時スタート/ストップ/クリアさせた例です。

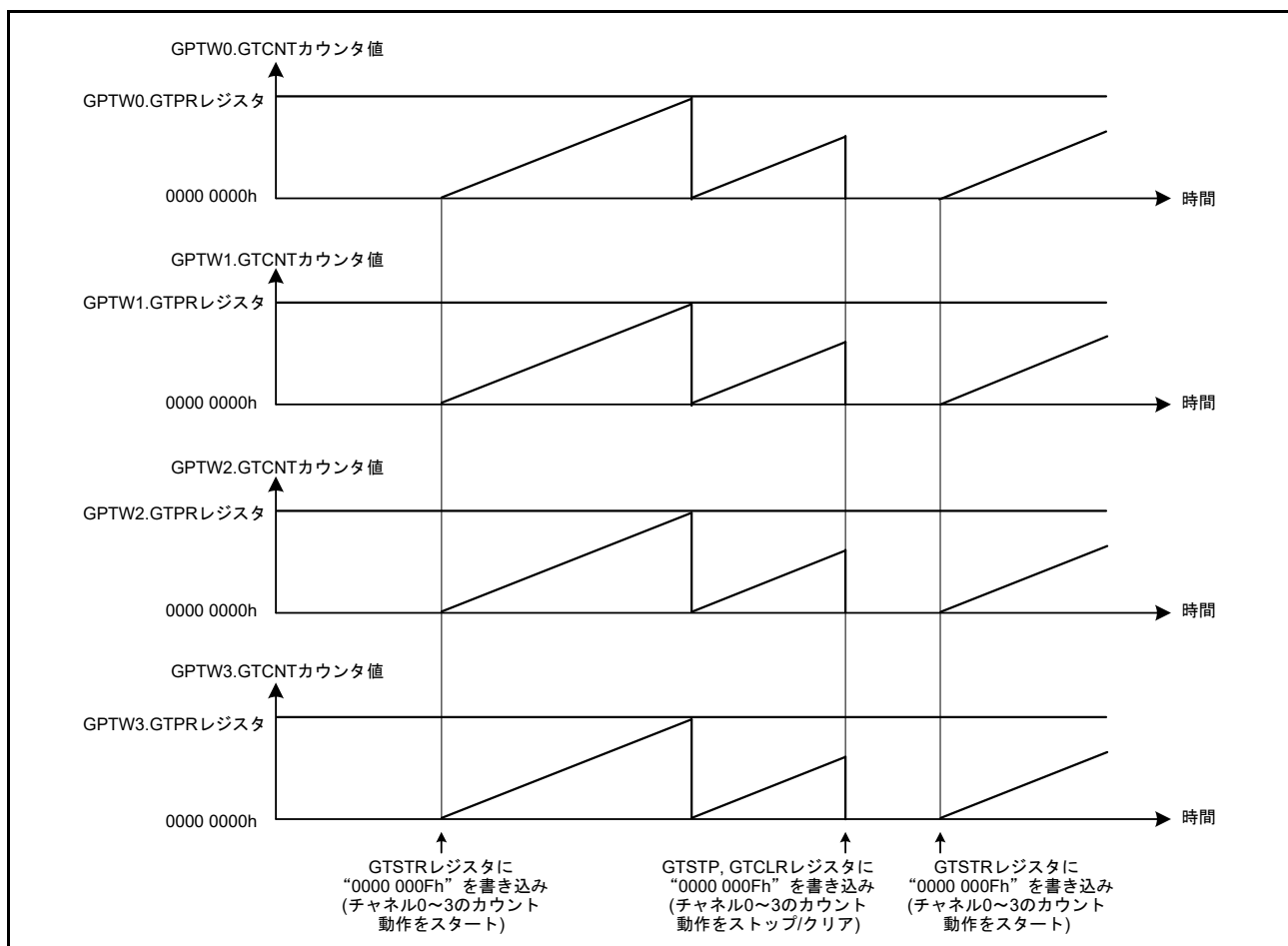


図 22.117 ソフトウェアによる同時スタート/ストップ/クリア動作例
(カウンタ周期(GTPRレジスタ値)が同一のとき)

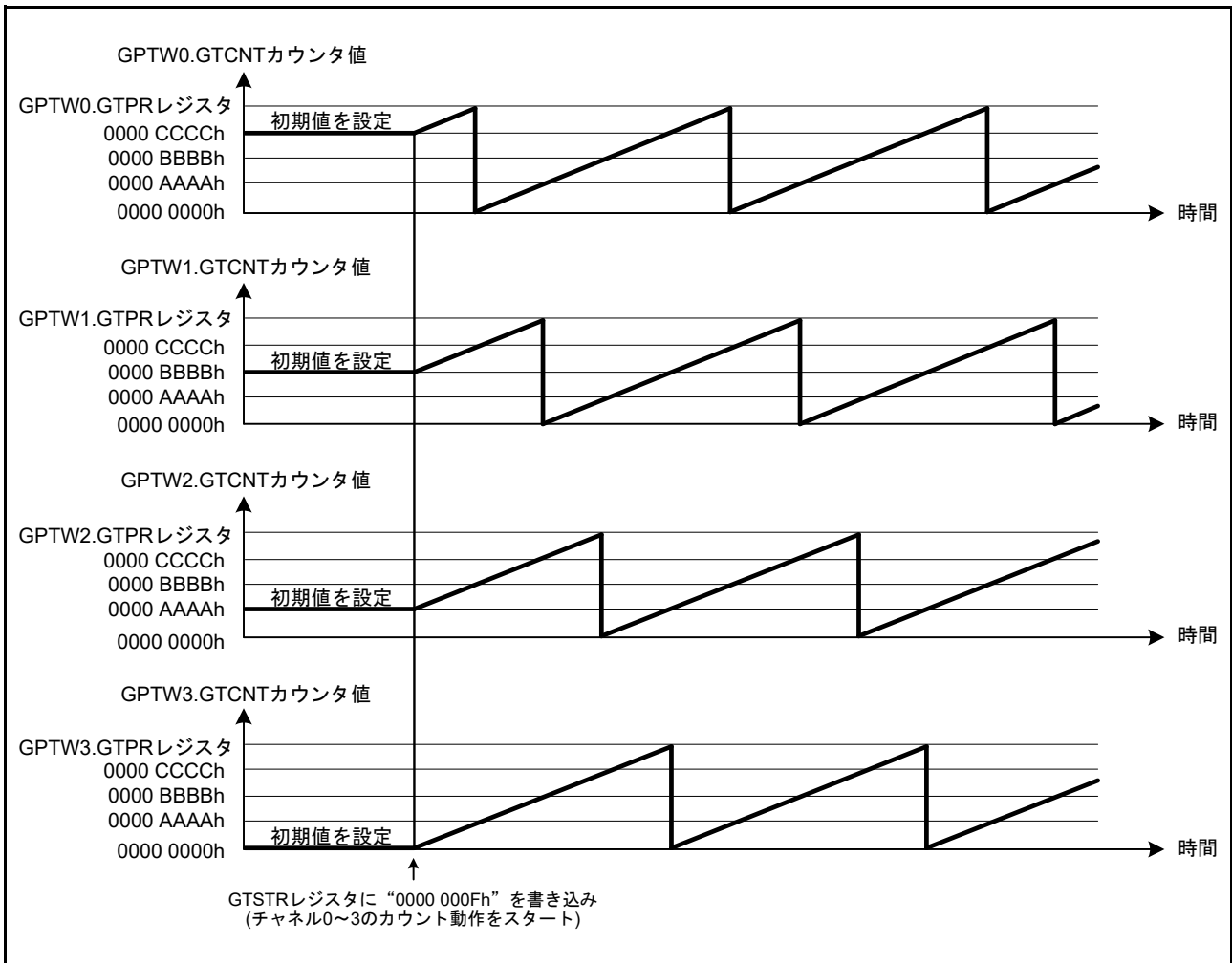


図 22.118 ソフトウェアによる位相シフトスタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

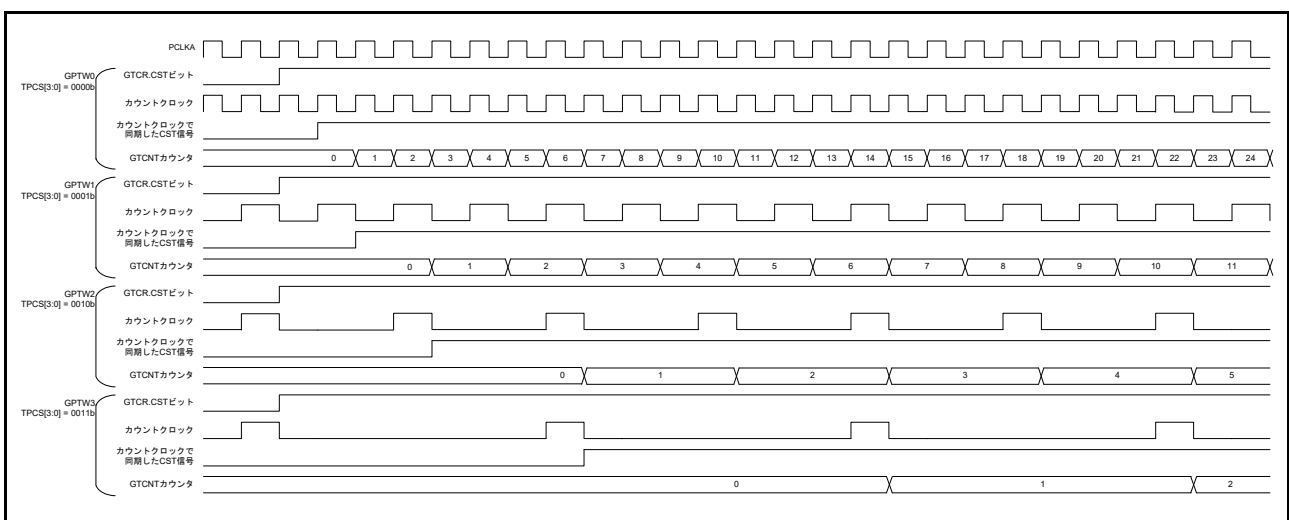


図 22.119 ソフトウェアによる同時スタート動作例 (チャンネルごとにカウントクロックが異なる場合)

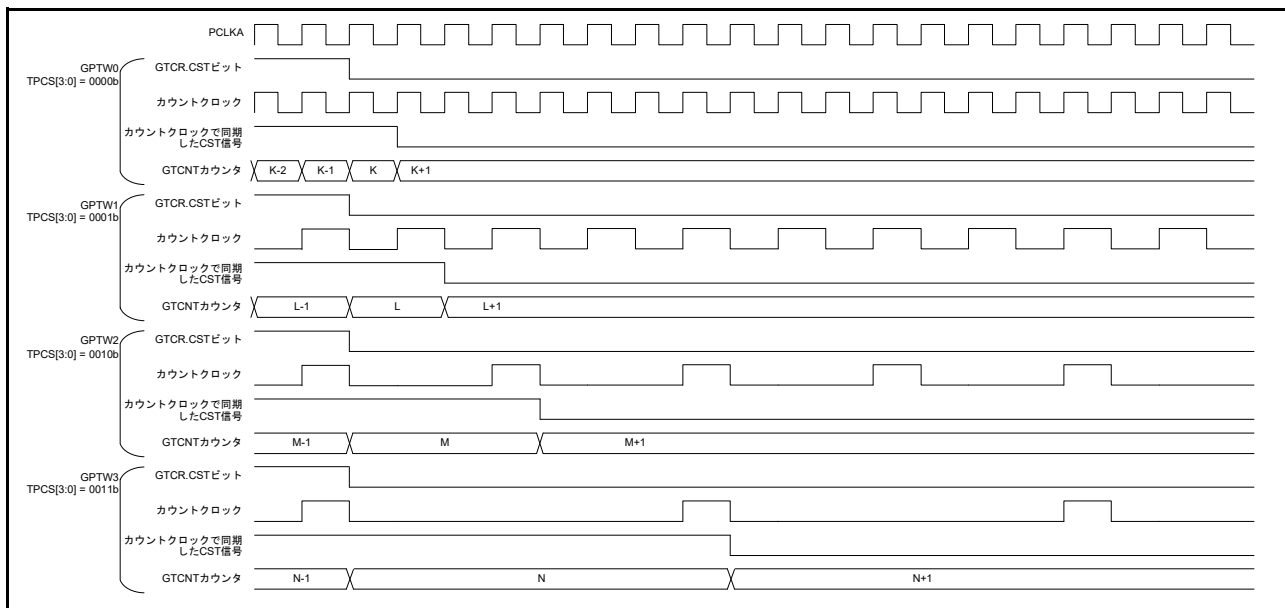


図 22.120 ソフトウェアによる同時ストップ動作例 (チャンネルごとにカウントクロックが異なる場合)

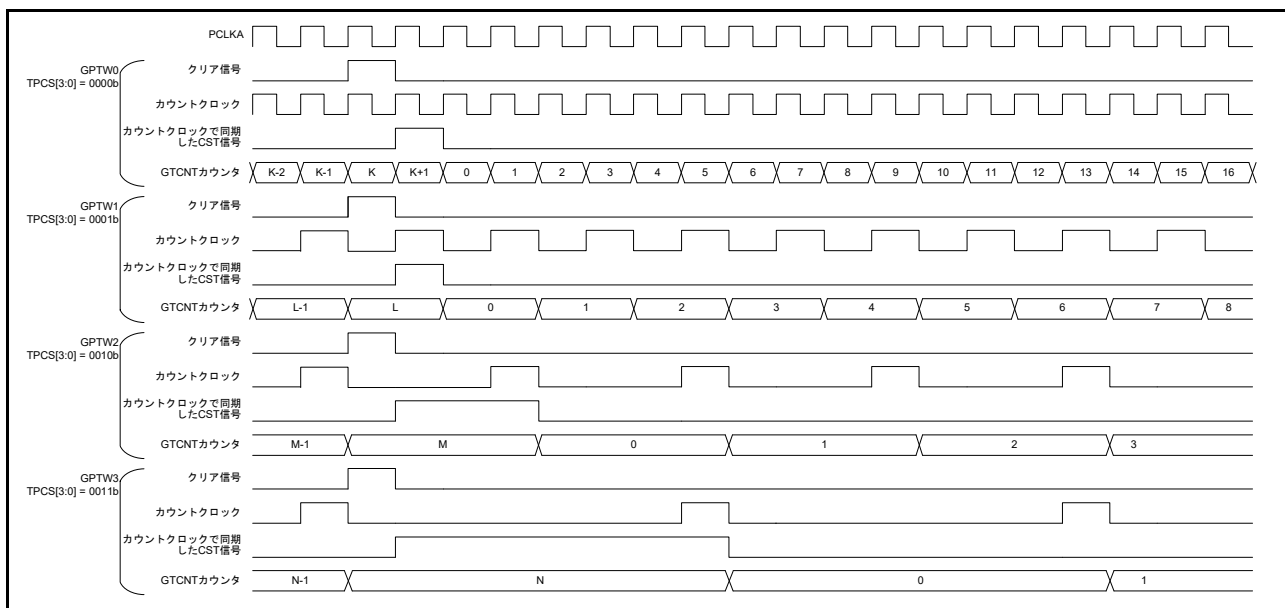


図 22.121 ソフトウェアによる同時クリア動作例 (チャンネルごとにカウントクロックが異なる場合)

22.3.8.2 ハードウェア要因による同期動作

ハードウェア要因により、各チャンネルのカウンタ動作を同時にスタート、ストップ、クリアすることができます。

同期動作が可能なハードウェア要因は、外部トリガ入力と ELC イベント入力です。GTIOChA, GTIOChB 端子入力 (n=0~7) による同期動作は、インプットキャプチャによる ELC イベントをハードウェア要因として設定することで実現できます。

図 22.122 は、4つのチャンネルを、ハードウェア要因による同時スタート/ストップ/クリア動作させた例です。

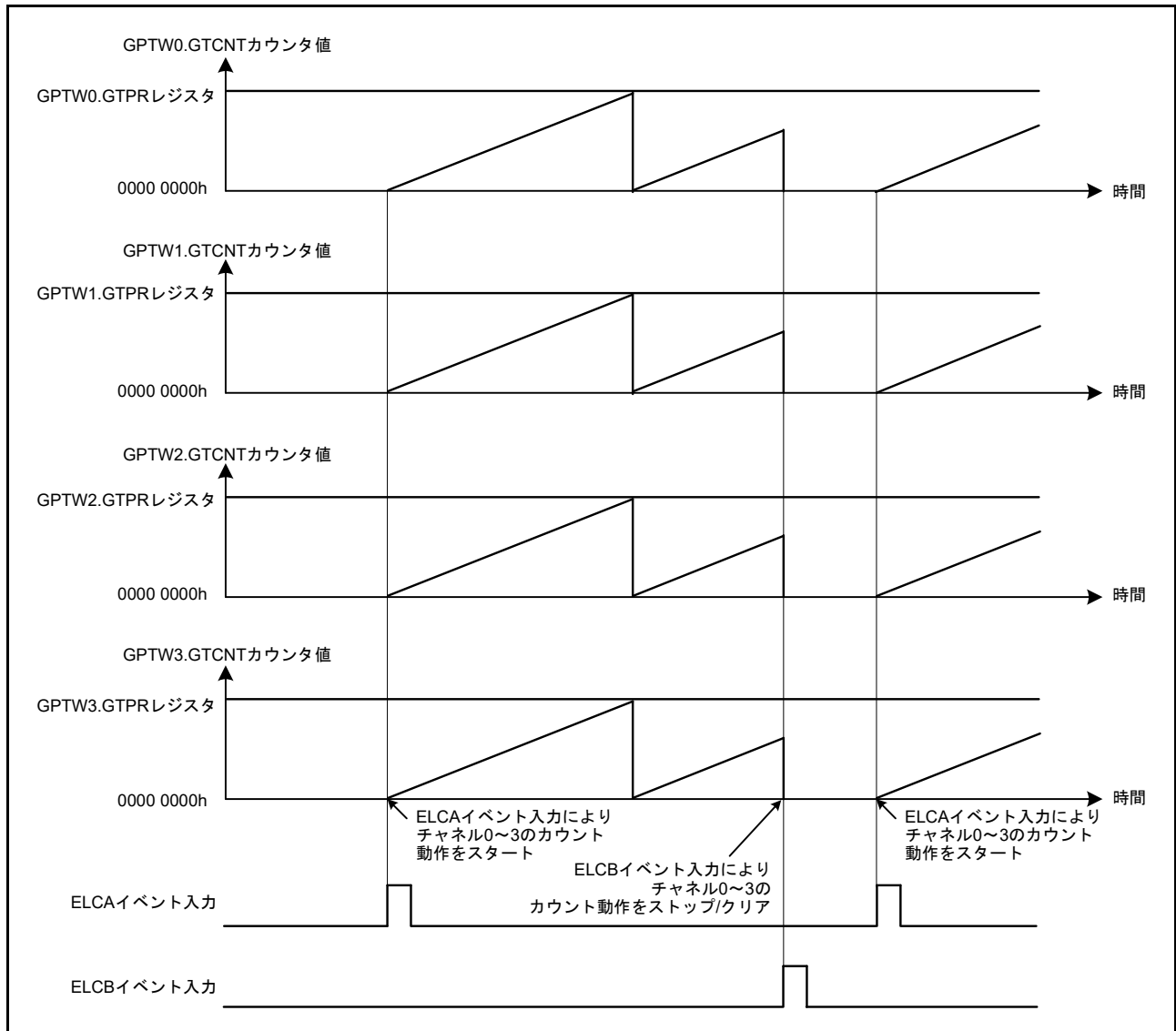


図 22.122 ハードウェア要因による同時スタート/ストップ/クリア動作例
(カウンタ周期 (GTPR レジスタ値) が同一のとき)

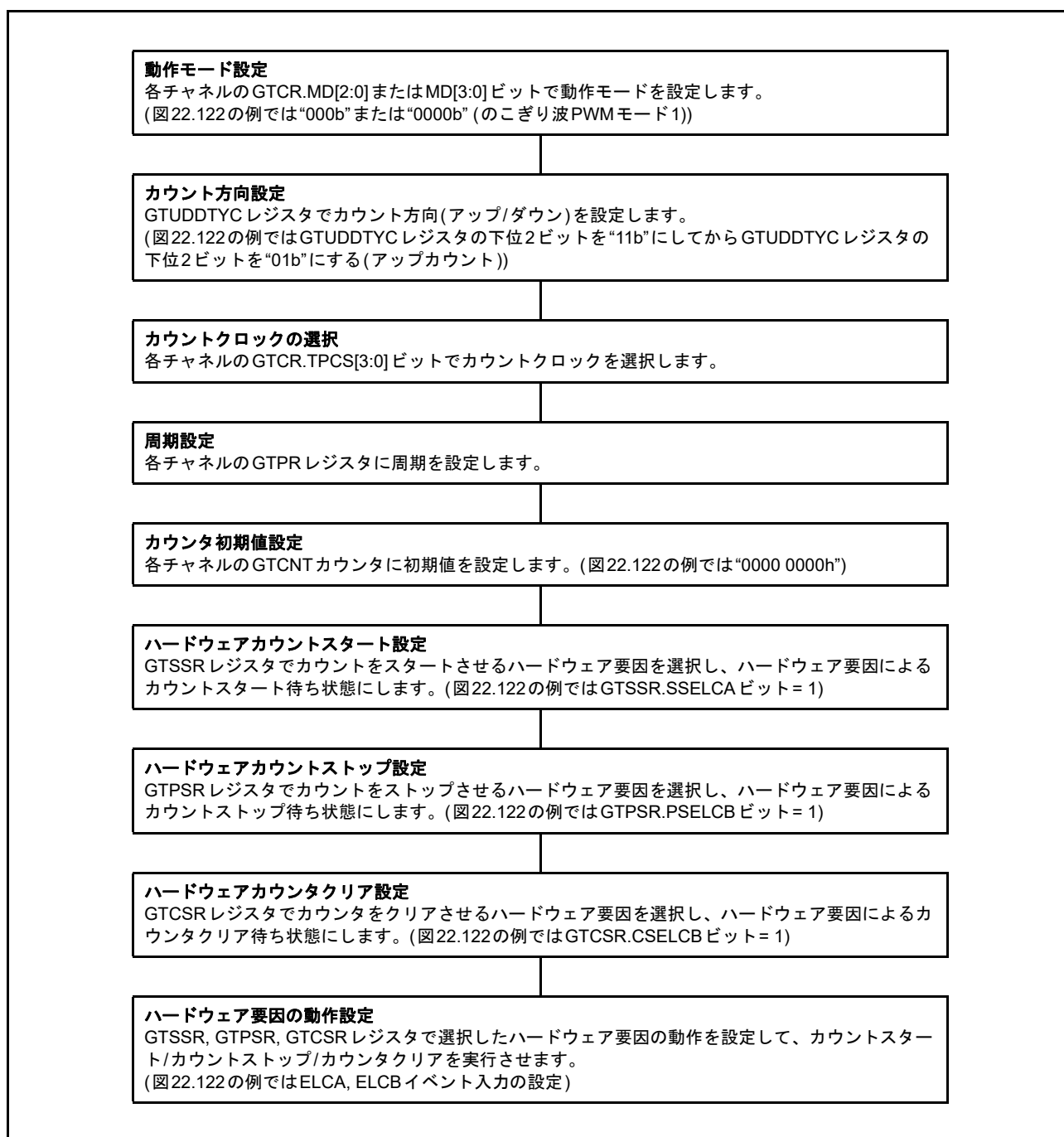


図 22.123 ハードウェア要因による同時スタート設定例

22.3.8.3 チャンネル間連携による同期クリア動作

コンペアマッチ、インプットキャプチャ、のこぎり波アップカウン트의オーバーフロー、のこぎり波ダウンカウン트의アンダフロー、GTCSRレジスタで選択されたGTIOCnA/GTIOCnB端子を要因とするクリアにより、他のチャンネルのカウンタを同時にクリアすることができます。

GTCLRレジスタによるクリア、GTCSRレジスタで選択された外部トリガ入力およびELCイベント入力によるクリアは、同時にクリアさせるチャンネルのクリア要因を同じものに設定することで同時クリアが実現できるため、チャンネル間連携による同期クリアの要因としては用いません。

同期クリアの要因を生成するチャンネルと同期クリアされるチャンネルは、GTCR.SSCGRP[1:0]ビットで同じ同期セット/クリアグループに設定してください。

「22.3.8.1 ソフトウェアによる同期動作」と同様に、GTCR.TPCS[3:0]ビットで選択するカウントクロックが個々のチャンネルで異なる場合、完全に同じタイミングでの同期クリア動作を行うことはできません。図22.121のソフトウェアによる同期クリア動作例と同様に、カウントクロックが異なる場合、同期クリアされるチャンネルの同期クリア要因は、そのチャンネルのカウントクロックで同期化してクリアを行います。

GTSECR.SSCEビットまたはSSCDビットのどちらか一方に“1”を書くと、GTSECSRレジスタで“1”となっているチャンネルのGTCR.SSCENビットに同時に値が設定され、同期セットが複数のチャンネルで同時に許可、禁止されます。

表22.15に同期クリア要因を設定するレジスタの設定値を示します。図22.124にチャンネル間連携による同期クリア動作例を示します。図22.125に設定例を示します。

表22.15 同期クリア要因レジスタの設定

チャンネル間連携の同期クリア要因	設定レジスタ.ビット	設定値
GTCCRAレジスタコンペアマッチ/インプットキャプチャ	GTINTAD.SCFA	1b
	GTCSR.CSCMSC[2:0]	001b
GTCCRBレジスタコンペアマッチ/インプットキャプチャ	GTINTAD.SCFB	1b
	GTCSR.CSCMSC[2:0]	010b
GTCCRCレジスタコンペアマッチ	GTINTAD.SCFC	1b
	GTCSR.CSCMSC[2:0]	011b
GTCCRDレジスタコンペアマッチ	GTINTAD.SCFD	1b
	GTCSR.CSCMSC[2:0]	100b
GTCCREレジスタコンペアマッチ	GTINTAD.SCFE	1b
	GTCSR.CSCMSC[2:0]	101b
GTCCRFレジスタコンペアマッチ	GTINTAD.SCFF	1b
	GTCSR.CSCMSC[2:0]	110b
のこぎり波アップカウン트의オーバーフロー	GTINTAD.SCFPO	1b
のこぎり波ダウンカウン트의アンダフロー	GTINTAD.SCFPU	1b
GTIOCnA/GTIOCnB端子を要因とするクリア	GTCR.SCGTIOC	1b

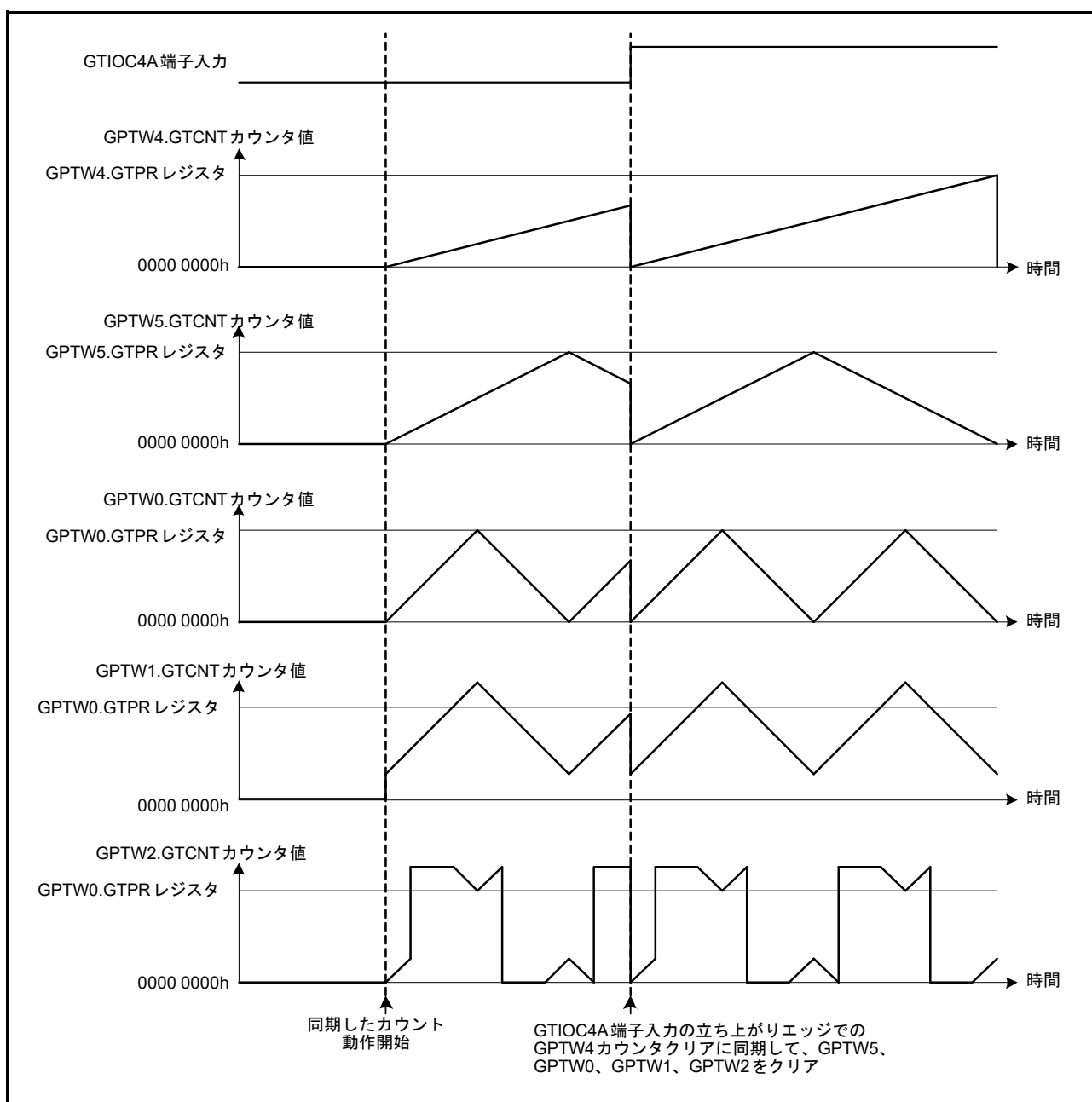


図 22.124 チャンネル間連携による同期クリア動作例
 (GPTW4 はのこぎり波で GTIOC4A 信号の立ち上がりエッジでカウンタクリア、
 GPTW5 は三角波で、GPTW0、GPTW1、GPTW2 は相補 PWM モード、
 GPTW0、GPTW1、GPTW2、GPTW4、GPTW5 は同じ同期セット / クリアグループの場合)

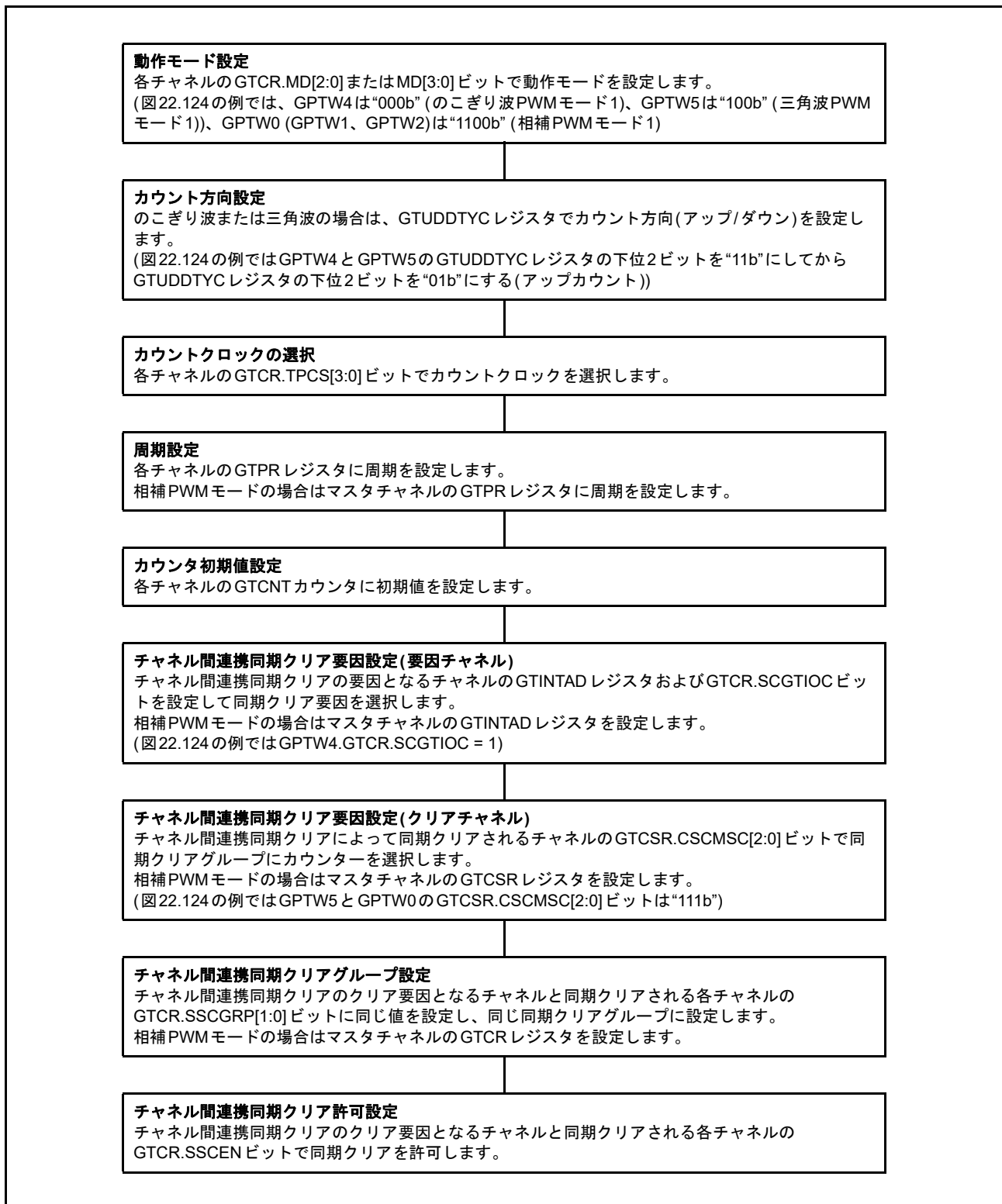


図 22.125 チャンネル間連携による同期クリアの設定例

22.3.8.4 チャンネル間連携によるインプットキャプチャ動作

コンペアマッチ、インプットキャプチャ、のこぎり波のオーバーフロー、アンダフロー、三角波、相補PWMの山、谷、カウントクロックを、他チャンネルのGTCCRmレジスタ ($m = A, B$) のインプットキャプチャ要因として使用することができます。

インプットキャプチャ要因を生成するチャンネルのGTICCRレジスタにインプットキャプチャの要因を設定し、インプットキャプチャされるチャンネルのGTICmSR.mSOCビット ($m = A, B$) により他チャンネル要因によるインプットキャプチャを許可します。インプットキャプチャの要因を生成するチャンネルとインプットキャプチャされるチャンネルは、GTICCR.ICmGRP[1:0]ビット ($m = A, B$) で同じインプットキャプチャグループに設定してください。

図 22.126 にチャンネル間連携によるインプットキャプチャの動作例、図 22.127 にチャンネル間連携によるインプットキャプチャの設定例を示します。

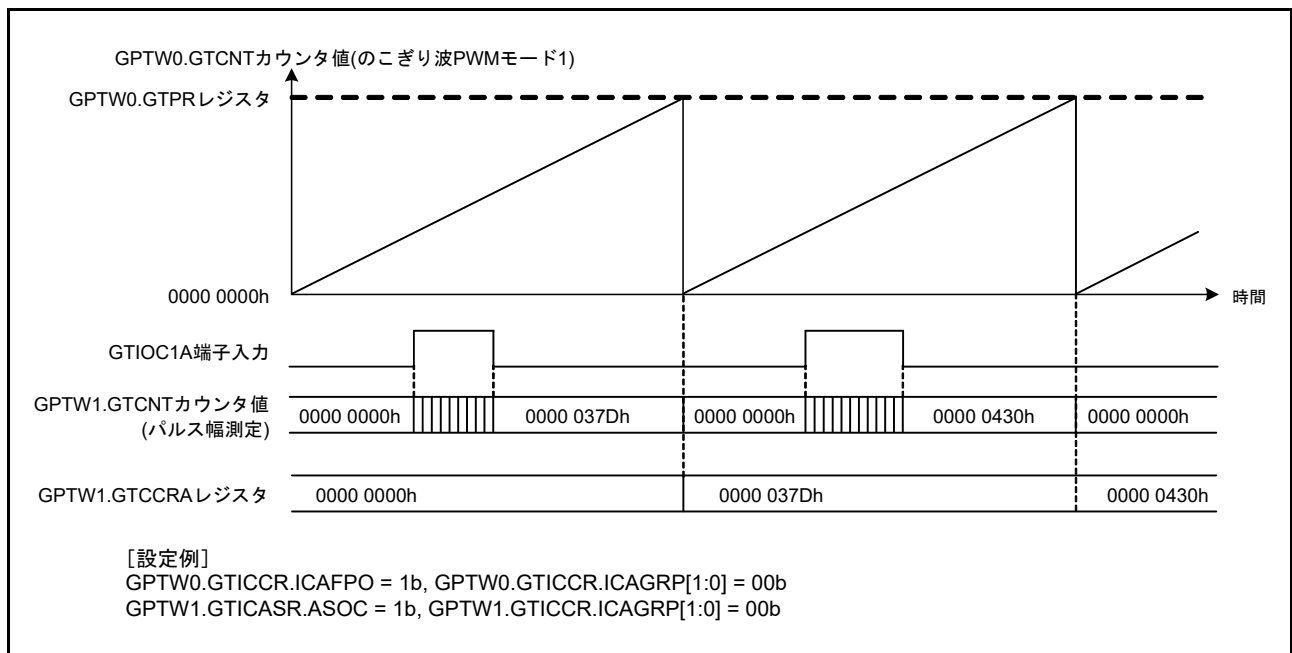


図 22.126 チャンネル間連携によるインプットキャプチャ動作例 (チャンネル0のオーバーフローでチャンネル1をインプットキャプチャ)

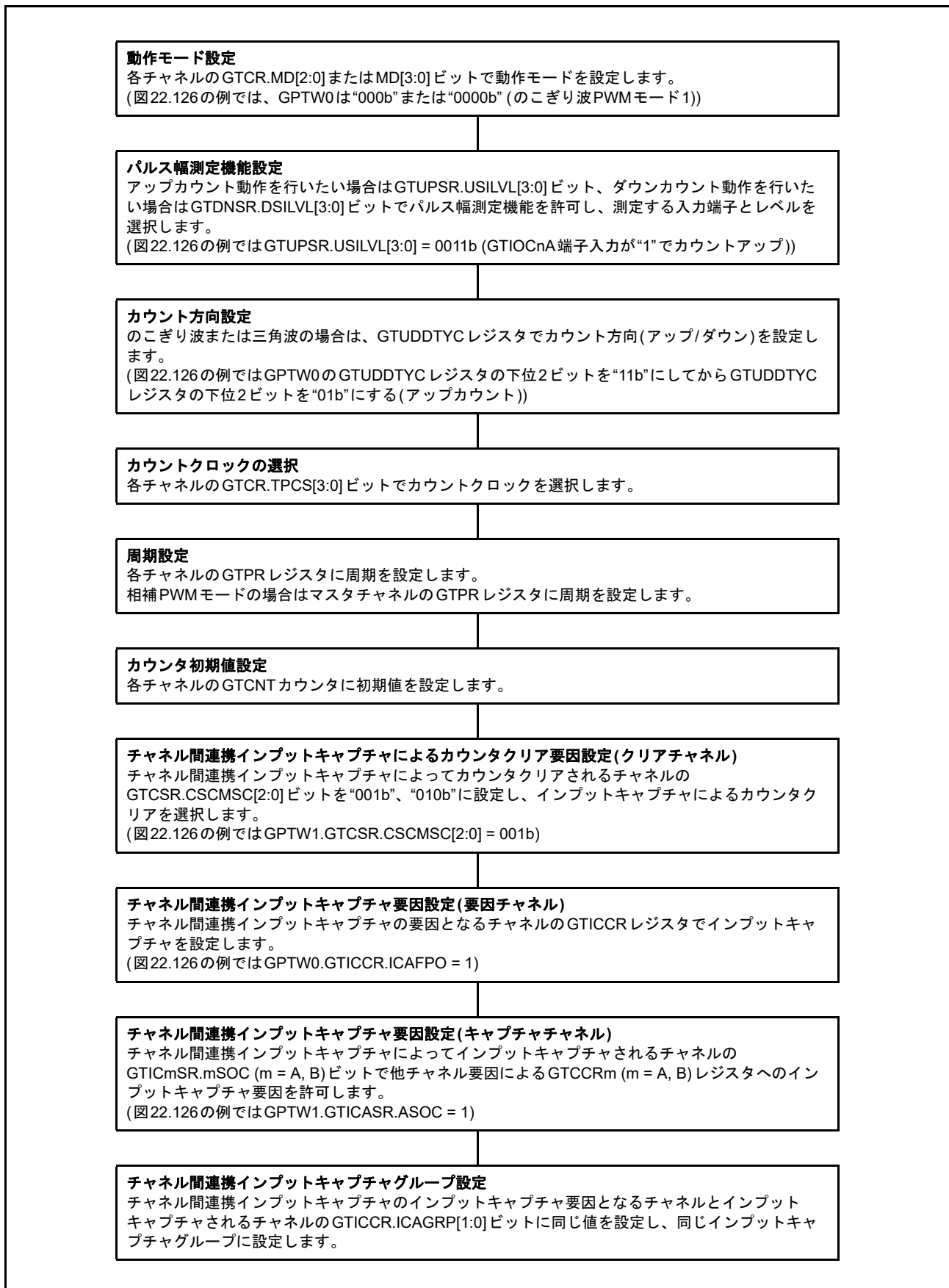


図 22.127 チャンネル間連携によるインプットキャプチャ設定例

22.3.9 PWM 出力動作例

(1) 同期 PWM 出力

チャンネル間の同期動作をすることにより、1チャンネル2相、最大8チャンネル16相の連動したPWM波形を出力できます。

図 22.128 は、4つのチャンネルを、のこぎり波PWMモード1で同期動作させ、8相のPWM波形を出力させた例です。GTIOCnA 端子出力 (n=0~3) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 端子出力の設定は、初期出力は Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とした例です。

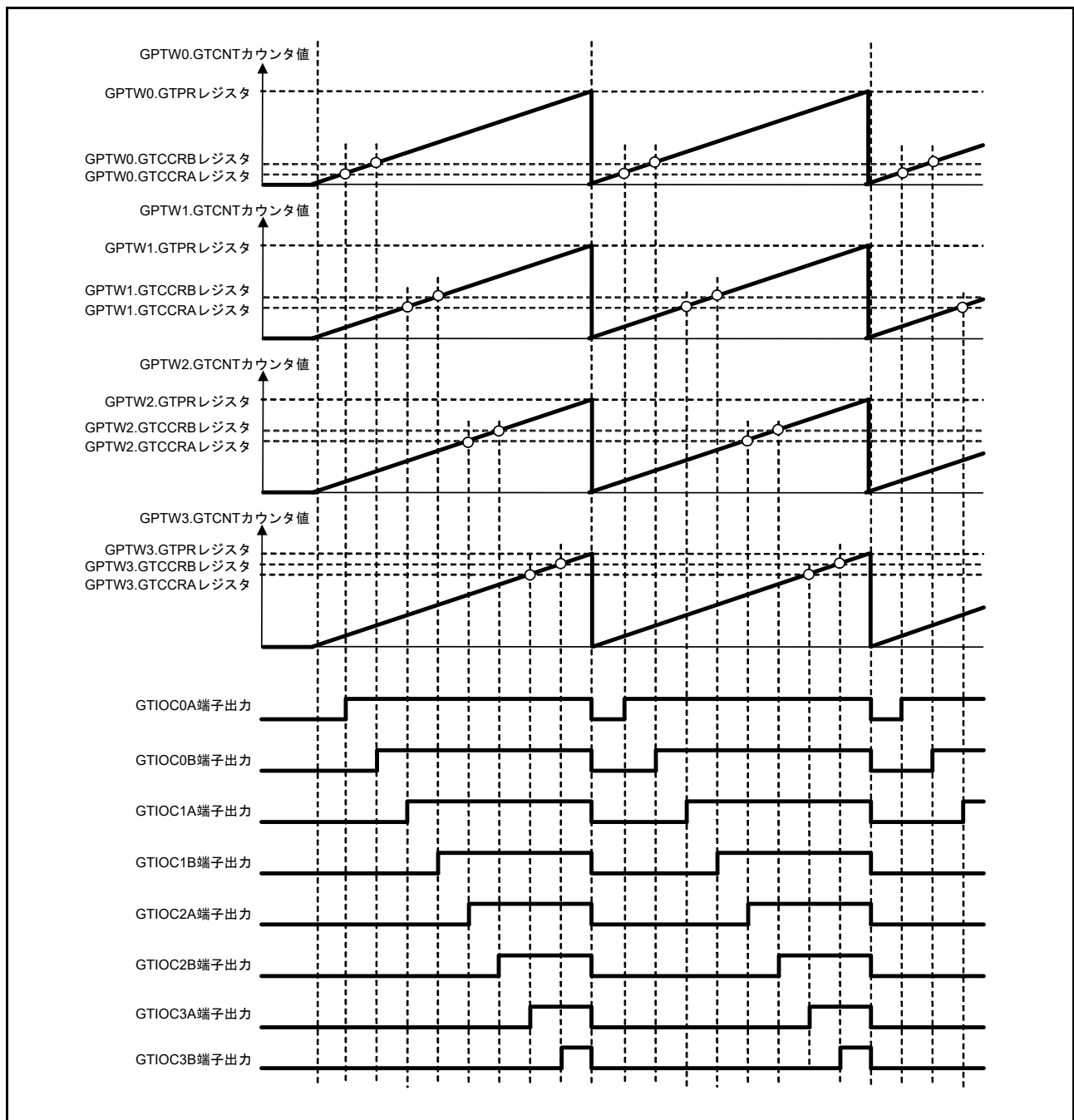


図 22.128 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 22.129 は、3 つのチャンネルをのこぎり波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ~ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力とした例です。

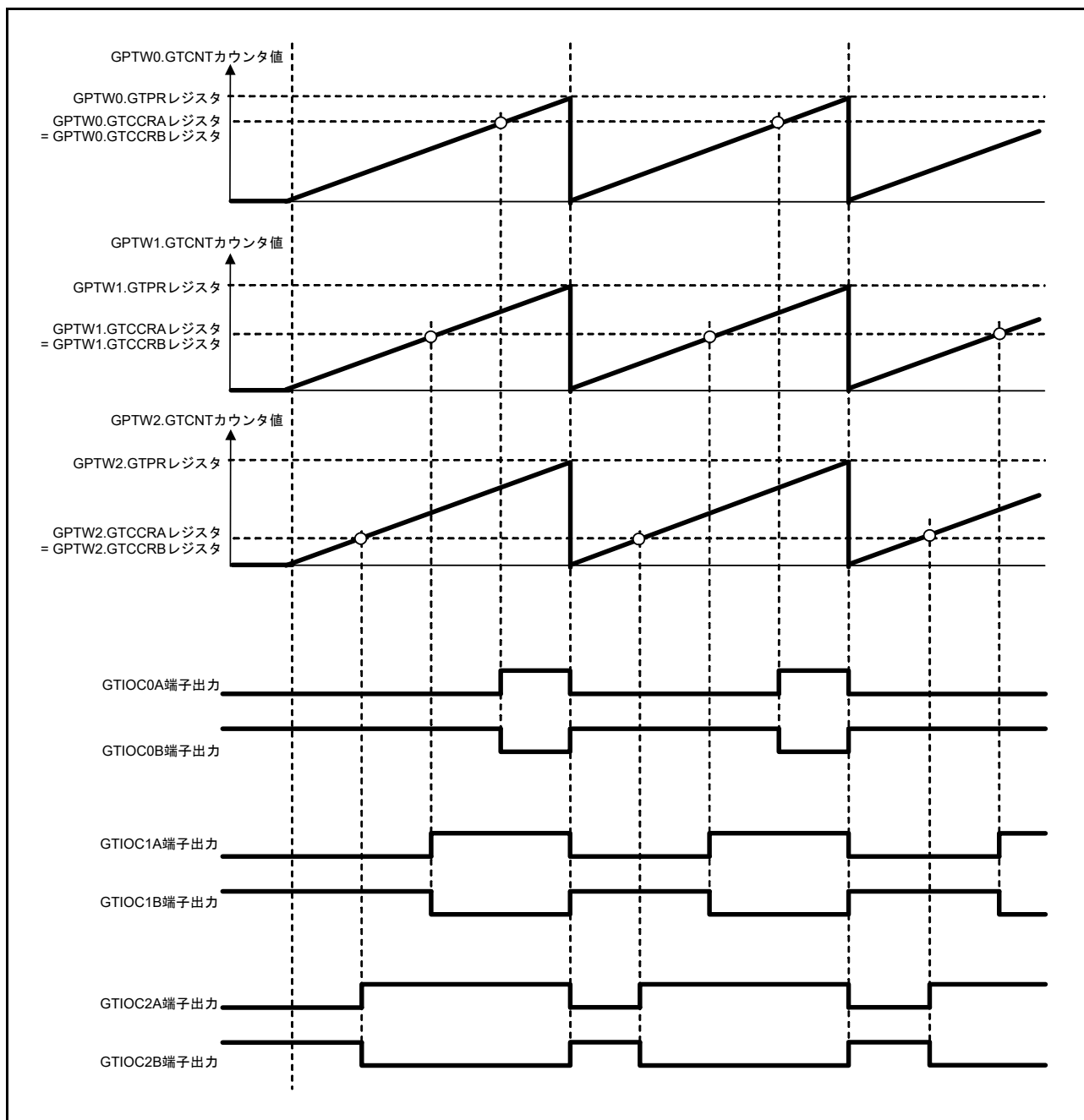


図 22.129 のこぎり波 3 相相補 PWM 出力

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 22.130 は、3つのチャンネルを、デッドタイムを自動設定したのこぎり波ワンショットパルスモードで同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n=0~2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

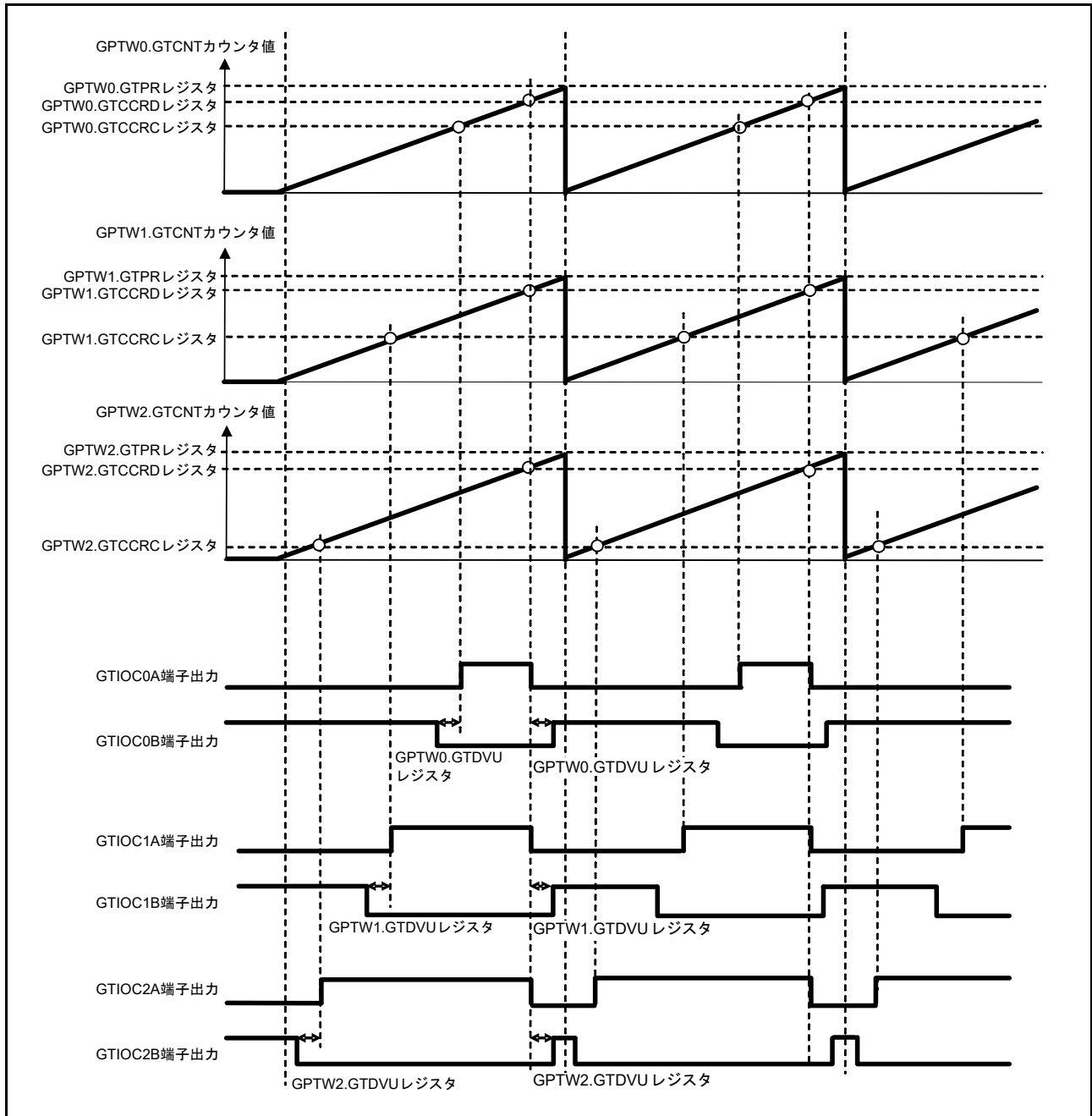


図 22.130 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 22.131 は、3 つのチャンネルを三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n=0 ~ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

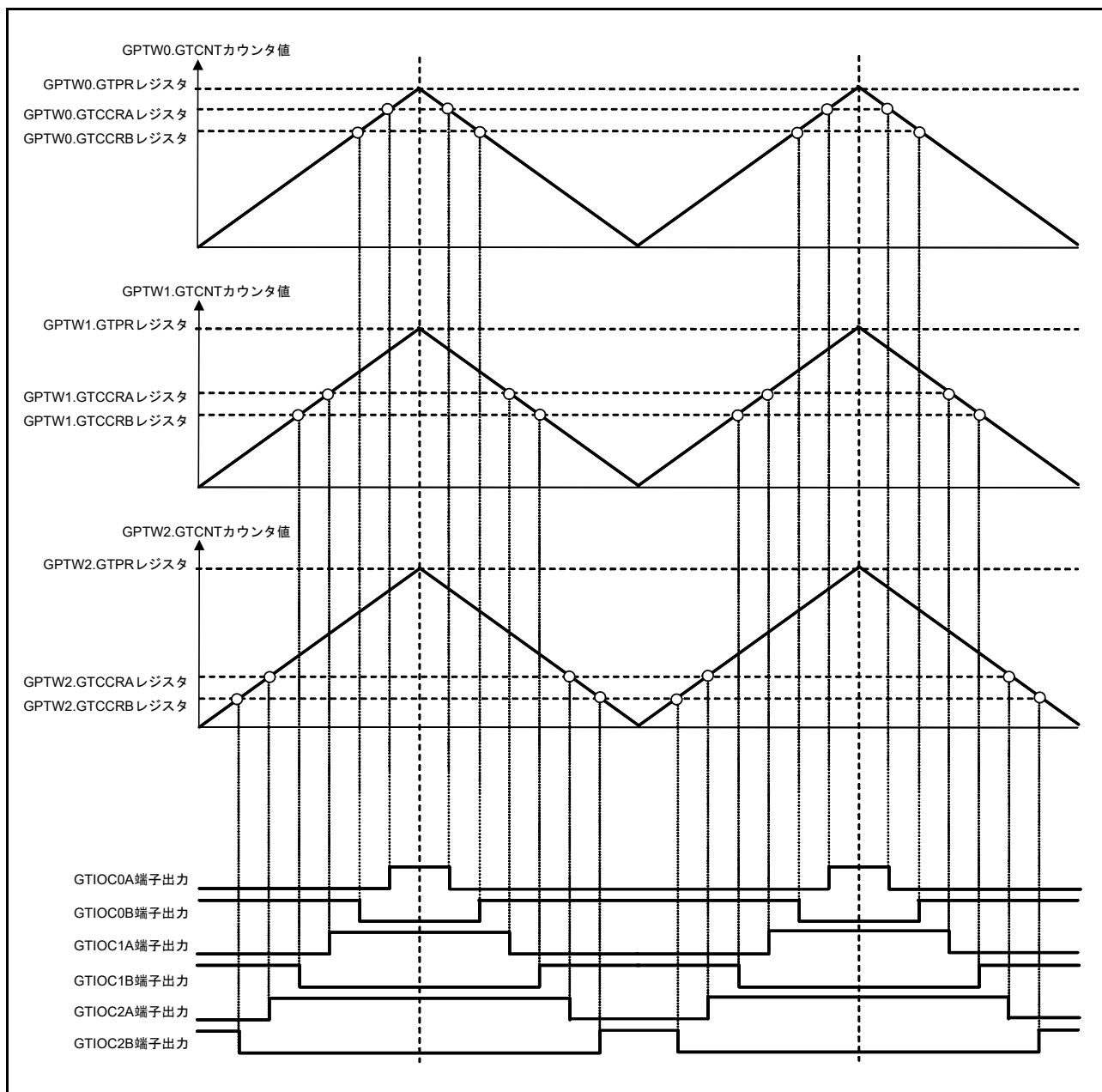


図 22.131 三角波 3 相相補 PWM 出力

(5) 三角波3相相補PWM出力(デッドタイム自動設定)

図 22.132 は、3つのチャンネルを、デッドタイムを自動設定した三角波PWMモード1で同期動作させ、3相相補PWM波形を出力させた例です。GTIOCnA 端子出力 (n=0~2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

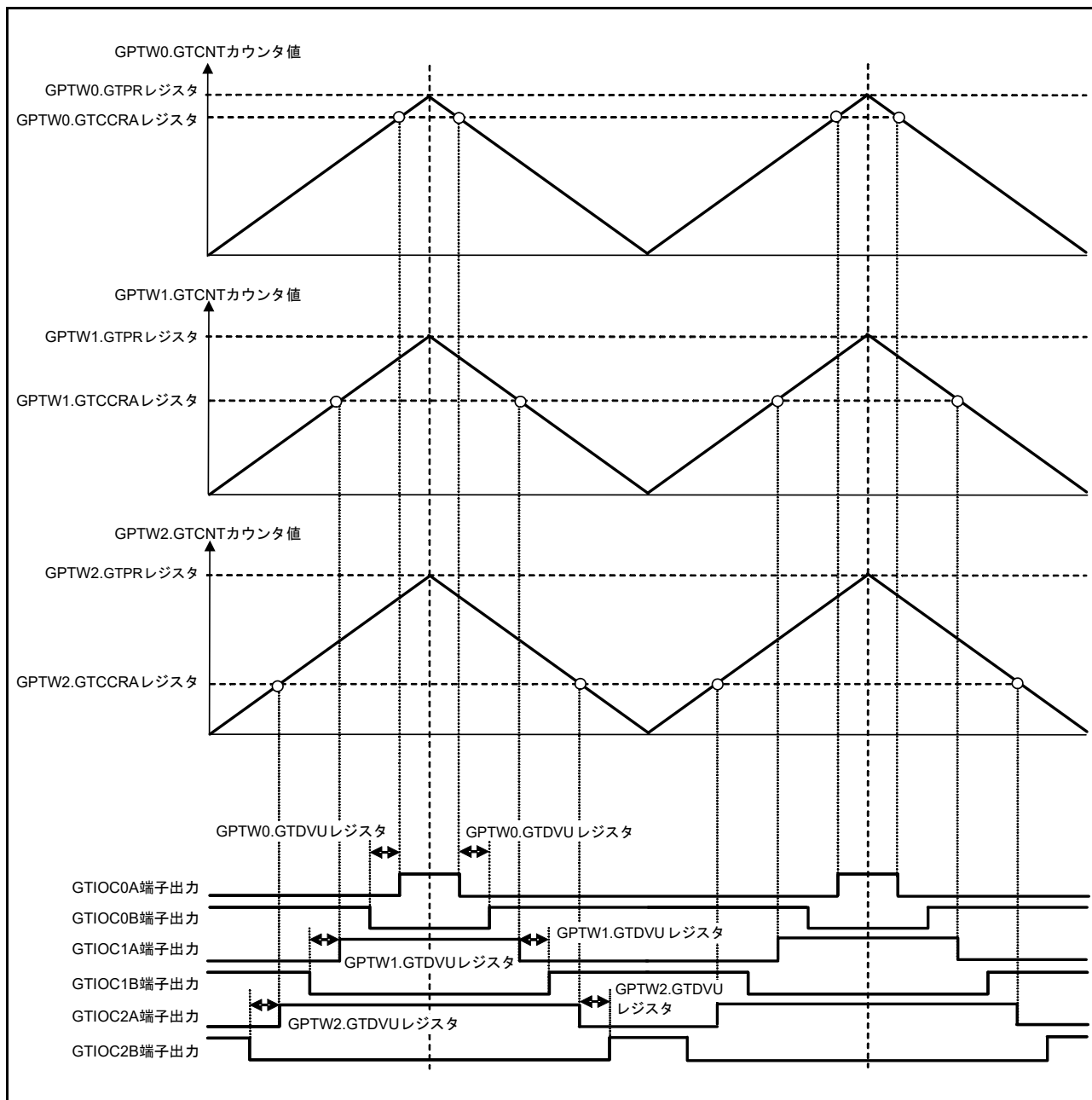


図 22.132 三角波3相相補PWM出力例(デッドタイム自動設定)

22.3.10 位相計数機能

GTIOCnA 端子入力 (n = 3 ~ 7) と GTIOCnB 端子入力の位相差を検出して、GTCNT カウンタをアップカウント/ダウンカウントすることができます。検出したい位相差は、GTUPSR レジスタと GTDNSR レジスタで、GTIOCnA 端子入力と GTIOCnB 端子入力のエッジとレベルの関係を設定することで任意の組み合わせが可能です。カウント動作については、「22.3.1.1 カウンタの動作」を参照してください。

図 22.133 ~ 図 22.142 に位相計数モード 1 ~ 5 の動作例を、表 22.16 ~ 表 22.25 にアップカウント条件とダウンカウント条件、GTUPSR レジスタと GTDNSR レジスタの設定を示します。

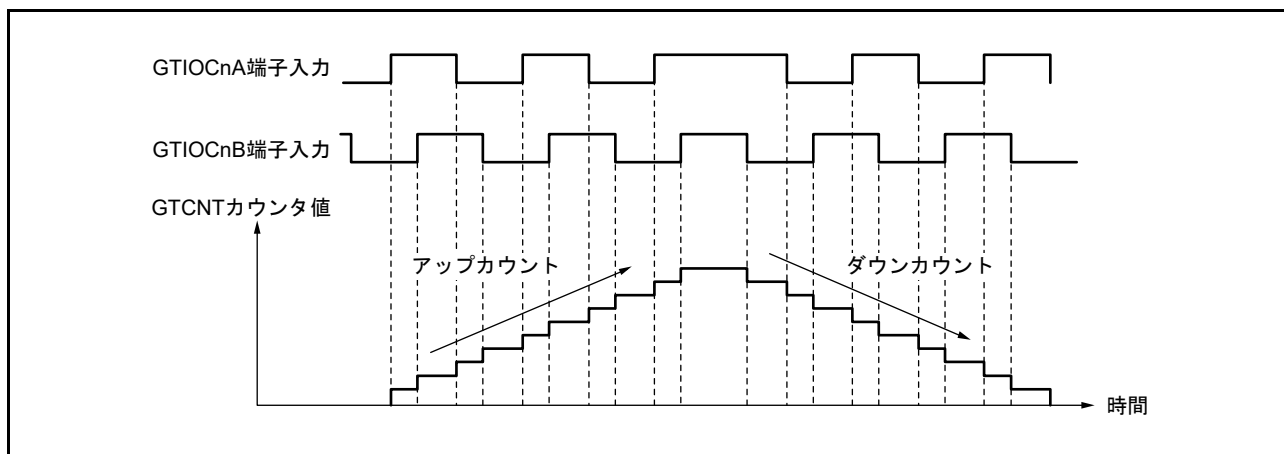


図 22.133 位相計数モード 1 の動作例 (n = 3 ~ 7)

表 22.16 位相計数モード 1 のアップカウント/ダウンカウント条件 (n = 3 ~ 7)

GTIOCnA 端子入力	GTIOCnB 端子入力	動作内容	レジスタ設定
High		アップカウント	GTUPSR = 0000 6900h GTDNSR = 0000 9600h
Low			
	Low		
	High		
High		ダウンカウント	
Low			
	High		
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

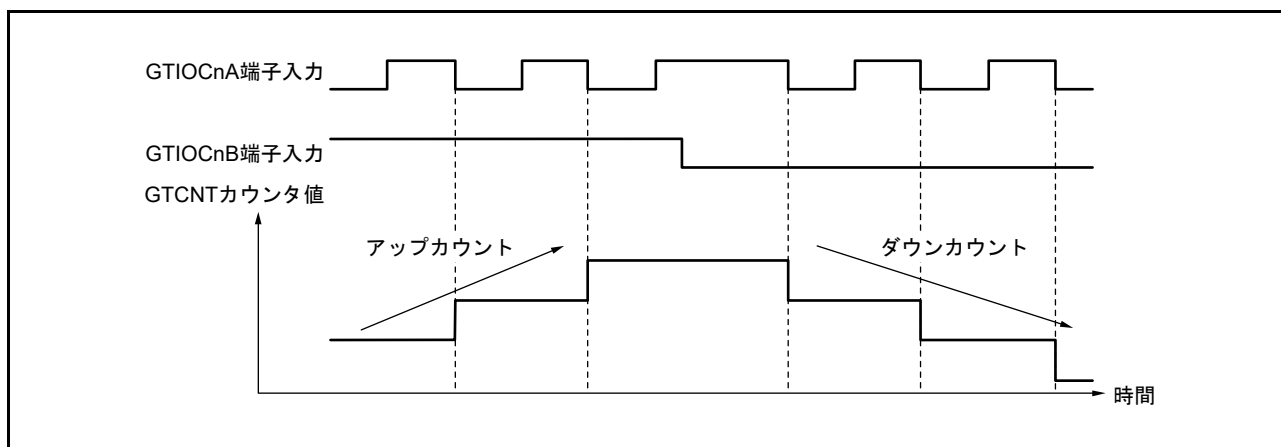


図 22.134 位相計数モード2の動作例 (n = 3 ~ 7)

表 22.17 位相計数モード2のアップカウント/ダウンカウント条件 (n = 3 ~ 7)

GTIOcNA端子入力	GTIOcNB端子入力	動作内容	レジスタ設定
High		Don't care	GTUPSR = 0000 0800h GTDNSR = 0000 0400h
Low			
	Low	アップカウント	
	High		
High		Don't care	
Low			
	High	ダウンカウント	
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

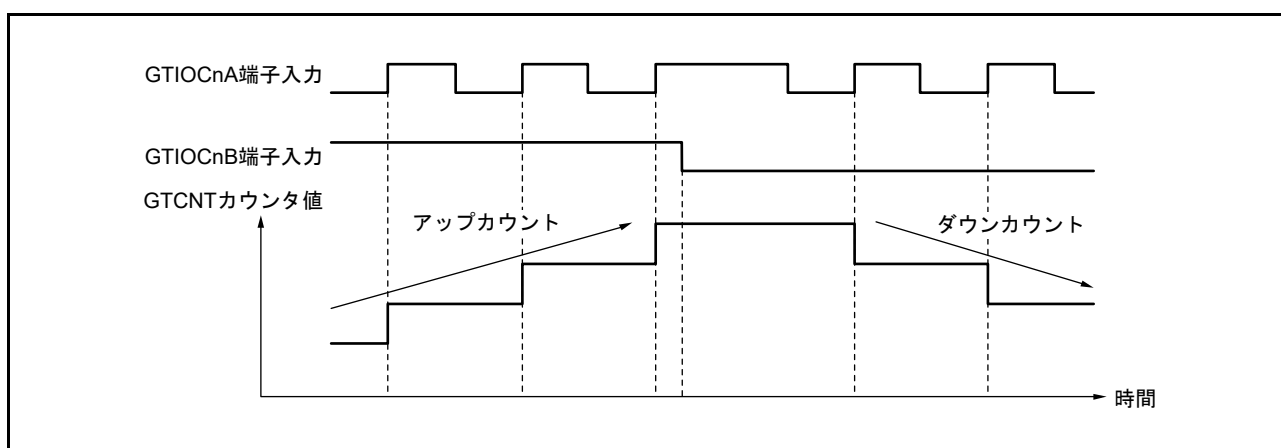












図 22.135 位相計数モード2の動作例 (n = 3 ~ 7)

表22.18 位相計数モード2のアップカウント/ダウンカウント条件(n = 3 ~ 7)

GTIOcNA端子入力	GTIOcNB端子入力	動作内容	レジスタ設定
High		Don't care	GTUPSR = 0000 0200h GTDNSR = 0000 0100h
Low			
	Low	ダウンカウント	
	High	Don't care	
High			
Low		アップカウント	
	High		
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

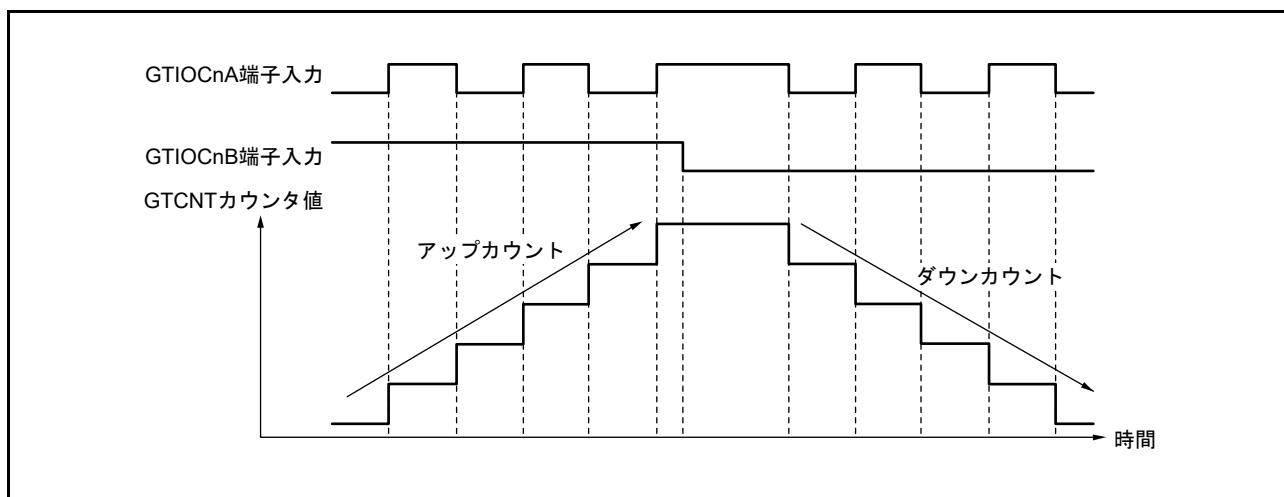












図 22.136 位相計数モード2の動作例 (n = 3 ~ 7)

表22.19 位相計数モード2のアップカウント/ダウンカウント条件(n = 3 ~ 7)

GTIOcNA端子入力	GTIOcNB端子入力	動作内容	レジスタ設定
High		Don't care	GTUPSR = 0000 0A00h GTDNSR = 0000 0500h
Low			
	Low	ダウンカウント	
	High	アップカウント	
High		Don't care	
Low			
	High	アップカウント	
	Low	ダウンカウント	

: 立ち上がりエッジ

: 立ち下がりエッジ

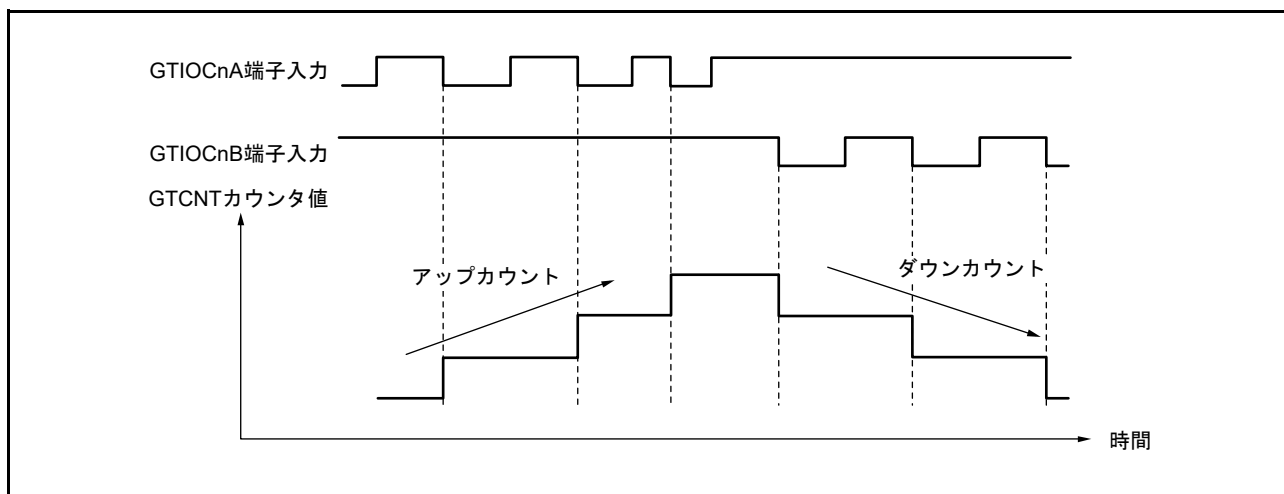


図 22.137 位相計数モード3の動作例 (n = 3 ~ 7)

表 22.20 位相計数モード3のアップカウント/ダウンカウント条件 (n = 3 ~ 7)

GTIOcNA端子入力	GTIOcNB端子入力	動作内容	レジスタ設定
High		Don't care	GTUPSR = 0000 0800h GTDNSR = 0000 8000h
Low			
	Low	アップカウント	
	High		
High		ダウンカウント	
Low		Don't care	
	High		
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

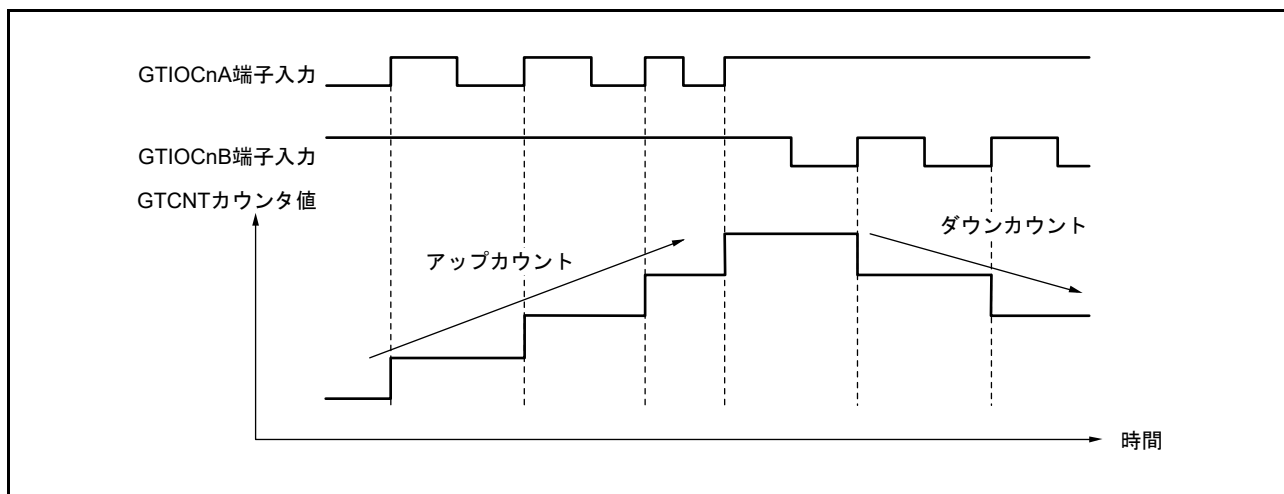












図 22.138 位相計数モード3の動作例 (n = 3 ~ 7)

表22.21 位相計数モード3のアップカウント/ダウンカウント条件(n = 3 ~ 7)

GTIOcNA端子入力	GTIOcNB端子入力	動作内容	レジスタ設定
High		ダウンカウント	GTUPSR = 0000 0200h GTDNSR = 0000 2000h
Low		Don't care	
	Low		
	High		
High			
Low		アップカウント	
	High	Don't care	
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

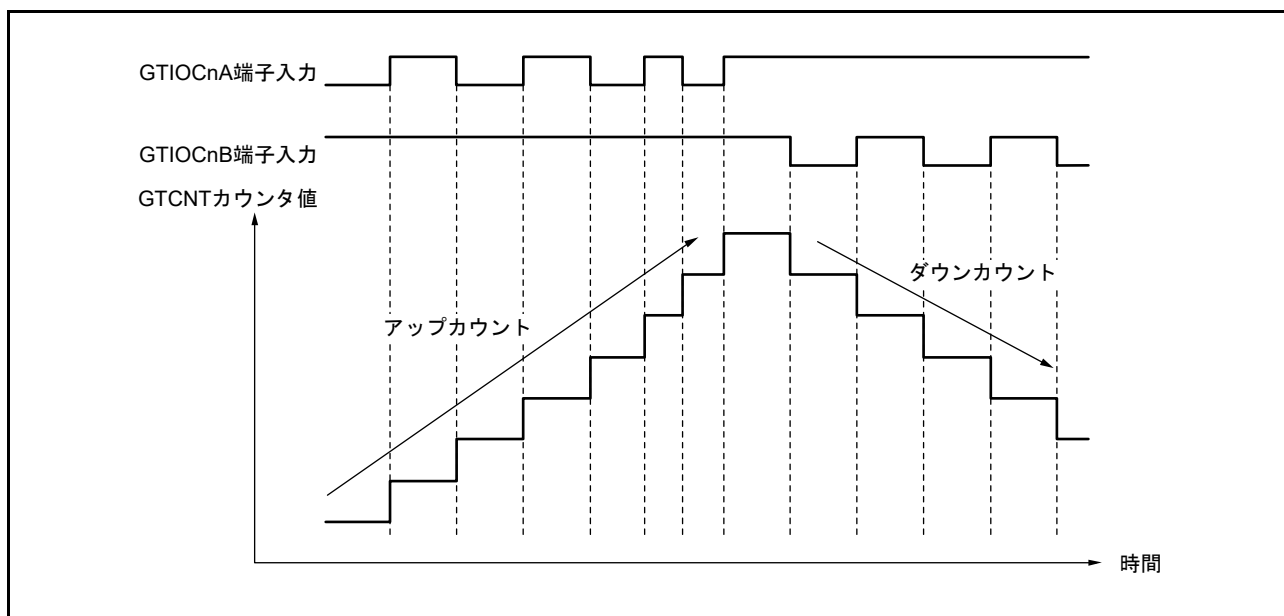


図 22.139 位相計数モード3の動作例 (n = 3 ~ 7)

表22.22 位相計数モード3のアップカウント/ダウンカウント条件(n = 3 ~ 7)

GTIOcNA端子入力	GTIOcNB端子入力	動作内容	レジスタ設定
High		ダウンカウント	GTUPSR = 0000 0A00h GTDNSR = 0000 A000h
Low		Don't care	
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		Don't care	
	High	アップカウント	
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

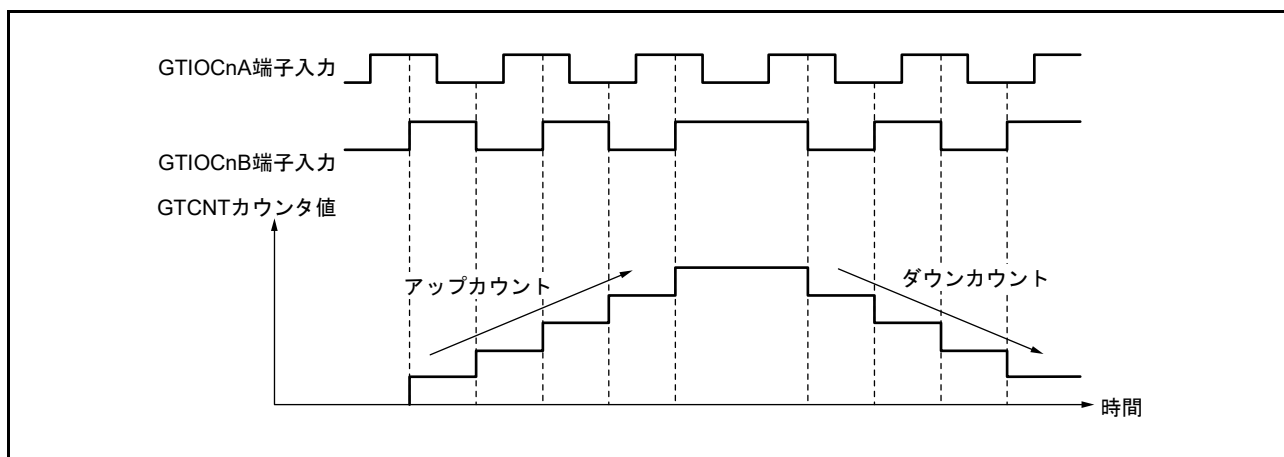


図 22.140 位相計数モード4の動作例 (n = 3 ~ 7)

表22.23 位相計数モード4のアップカウント/ダウンカウント条件(n = 3 ~ 7)

GTIOcNA端子入力	GTIOcNB端子入力	動作内容	レジスタ設定
High		アップカウント	GTUPSR = 0000 6000h GTDNSR = 0000 9000h
Low			
	Low	Don't care	
	High		
High		ダウンカウント	
Low		Don't care	
	High		
	Low	Don't care	

: 立ち上がりエッジ

: 立ち下がりエッジ

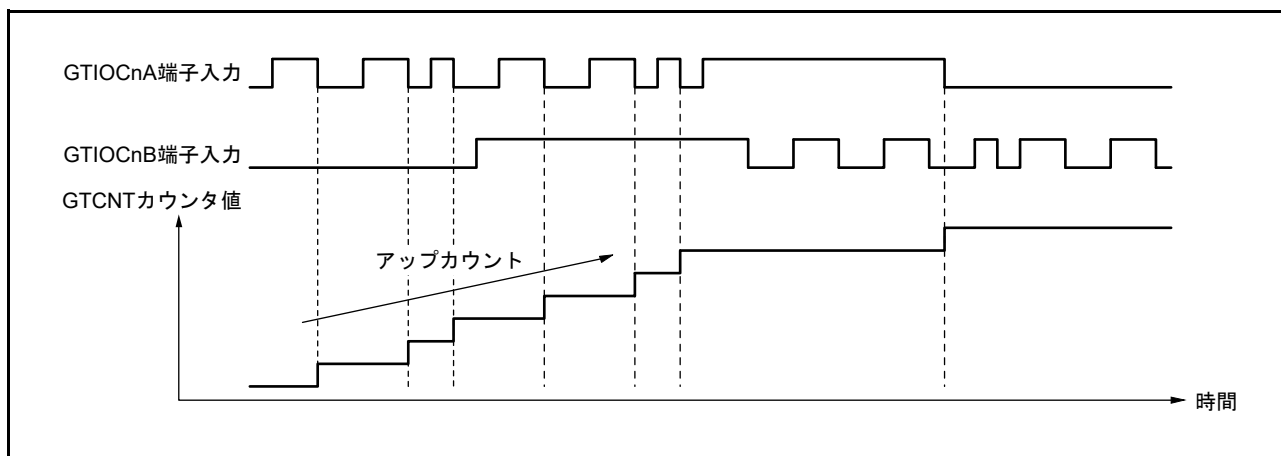


図 22.141 位相計数モード5の動作例 (n = 3 ~ 7)

表 22.24 位相計数モード5のアップカウント/ダウンカウント条件 (n = 3 ~ 7)

GTIOcNA端子入力	GTIOcNB端子入力	動作内容	レジスタ設定
High	↑	Don't care	GTUPSR = 0000 0C00h GTDNSR = 0000 0000h
Low	↓		
↑	Low	アップカウント	
↓	High		
High	↓	Don't care	
Low	↑		
↑	High	アップカウント	
↓	Low		

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

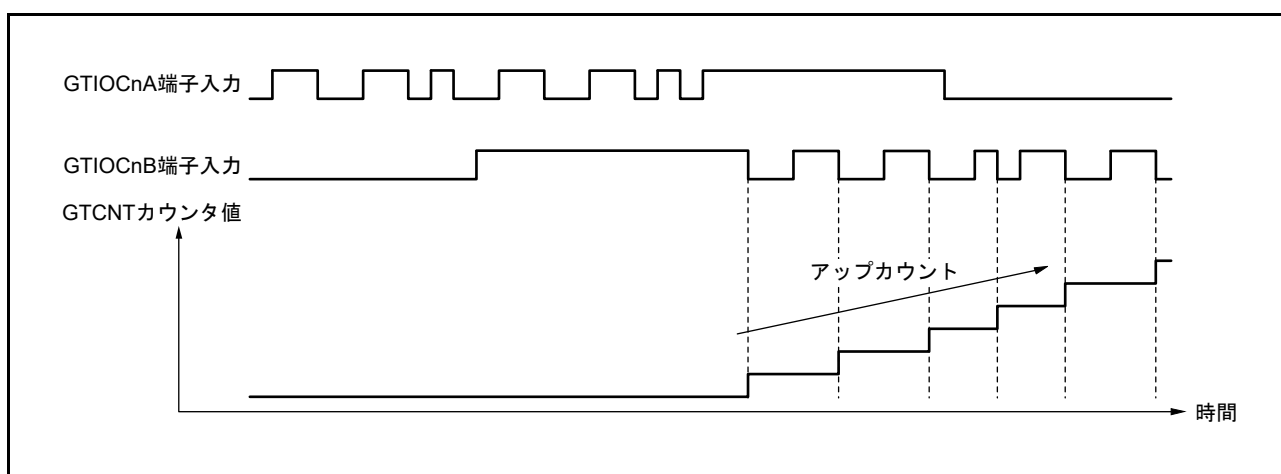












図 22.142 位相計数モード5の動作例 (n = 3 ~ 7)

表22.25 位相計数モード5のアップカウント/ダウンカウント条件(n = 3~7)

GTIOcNA端子入力	GTIOcNB端子入力	動作内容	レジスタ設定
High		Don't care	GTUPSR = 0000 C000h GTDNSR = 0000 0000h
Low		アップカウント	
	Low	Don't care	
	High		
High		アップカウント	
Low		Don't care	
	High		
	Low		

: 立ち上がりエッジ

: 立ち下がりエッジ

22.3.11 パルス幅測定機能

GTIOCnA 端子入力 (n = 3 ~ 5)、GTIOCnB 端子入力、GTETRGA、GTETRGB、GTETRGC、GTETRGD 端子入力のパルス幅を測定することができます。

GTUPSR.USILVL[3:0] ビットで、GTCNT カウンタのカウンタアップの許可 / 禁止とパルス幅を測定する端子入力とレベルを選択します。

GTDNSR.DSILVL[3:0] ビットで、GTCNT カウンタのカウンタダウンの許可 / 禁止とパルス幅を測定する端子入力とレベルを選択します。

カウンタアップとカウンタダウンの同時許可は禁止です。

カウンタ動作は、GTPR レジスタの値を周期とするサイクルカウントを行います。

位相計数機能とパルス幅測定機能を同時許可した場合、パルス幅測定機能は動作せず、位相計数機能が動作します。

図 22.143、図 22.144 にパルス幅測定機能の動作例を、図 22.145 にパルス幅測定機能の設定例を示します。

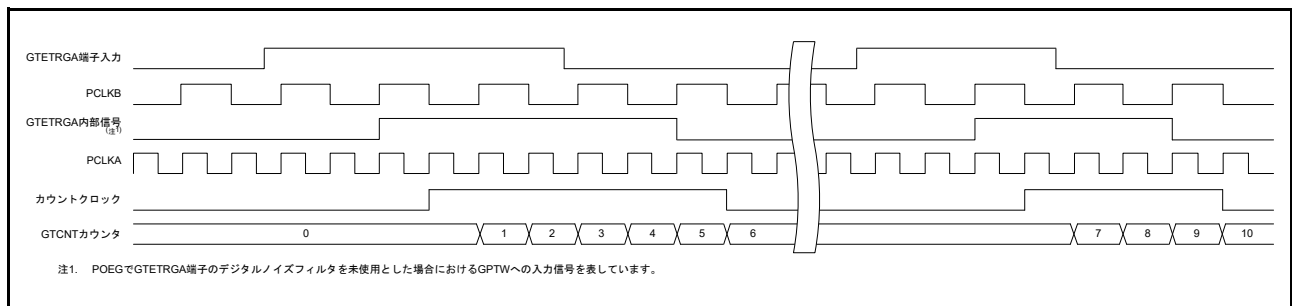


図 22.143 パルス幅測定機能の動作例 (アップカウント)

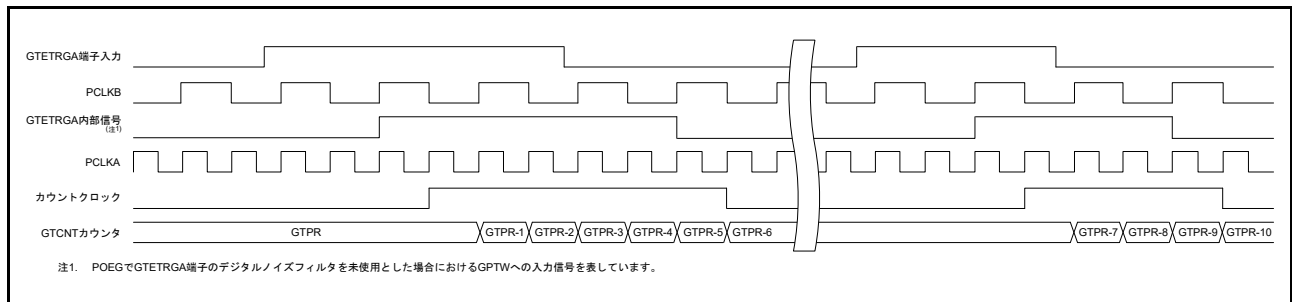


図 22.144 パルス幅測定機能の動作例 (ダウンカウント)

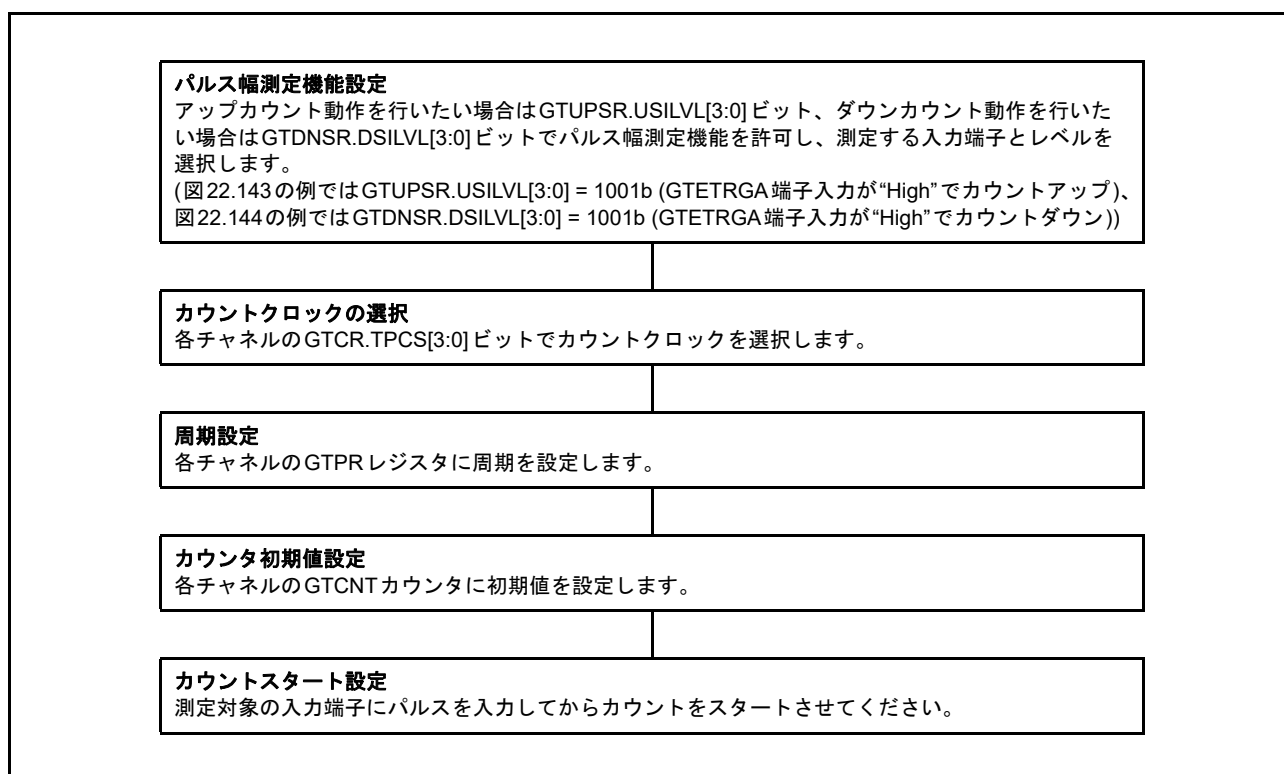


図 22.145 パルス幅測定機能の設定例

22.3.12 出力位相スイッチコントロール (OPS) 機能

OPSは、出力位相スイッチコントロールレジスタ (OPSCR) を使ってブラシレス DC モータを簡単に制御することができます。

ホール素子で検出した外部信号またはソフトウェアで設定した設定値 (OPSCR.UF、VF、WF ビット) を入力として、モータ制御用の6相 (U 正相 /U 逆相、V 正相 /V 逆相、W 正相 /W 逆相) のレベル信号または GPTW0 のPWM 波形でチョッピングされた信号を出力します。

図 22.146 に OPS のブロック図を示します。

GPT_UVWEDGE 出力信号は、入力信号のエッジ検出により生成される ELC への出力信号です。

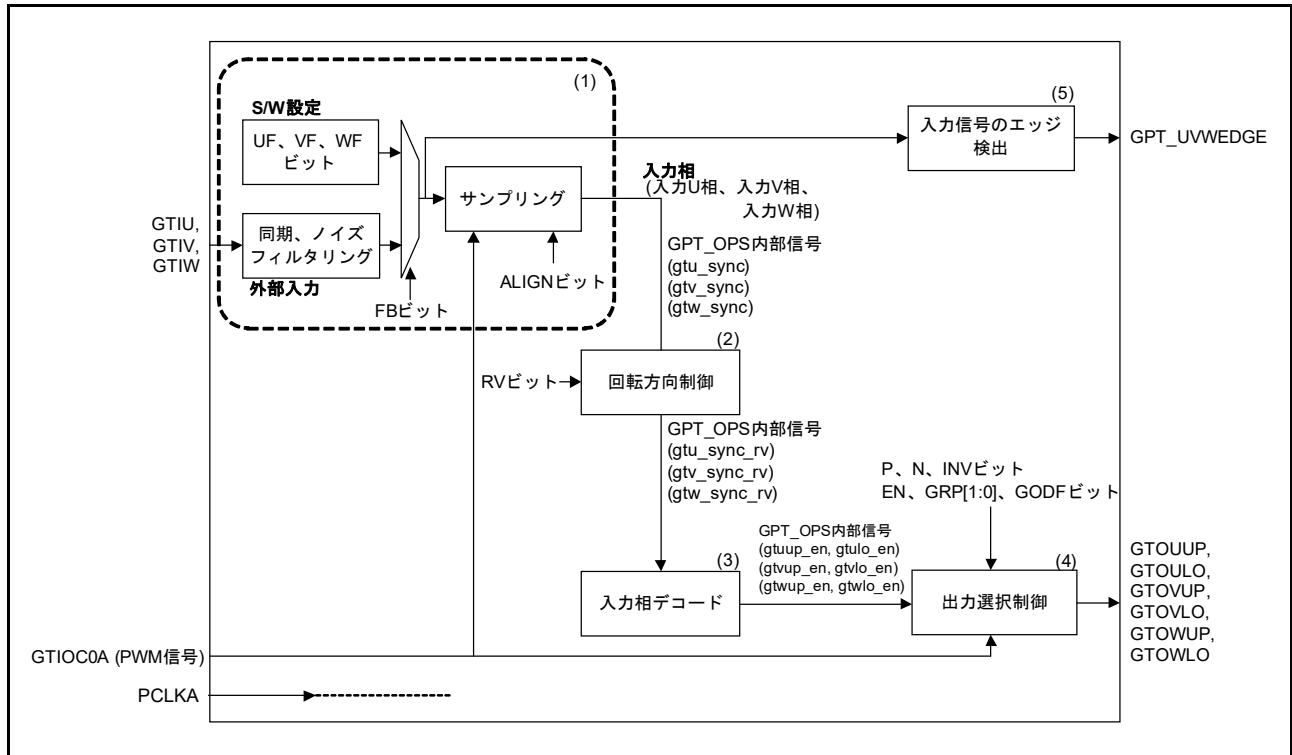


図 22.146 OPS ブロック図

図 22.147、図 22.148 に OPS の出力動作例を示します。

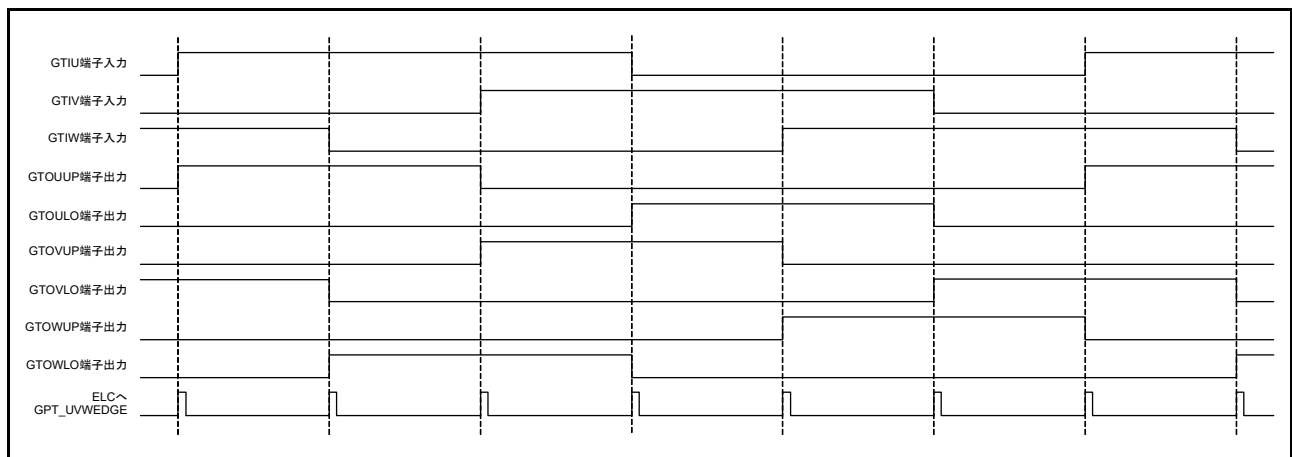


図 22.147 OPS レベル出力動作の例 (正回転) (FB = 0, RV = 0, P = 0, N = 0, INV = 0)

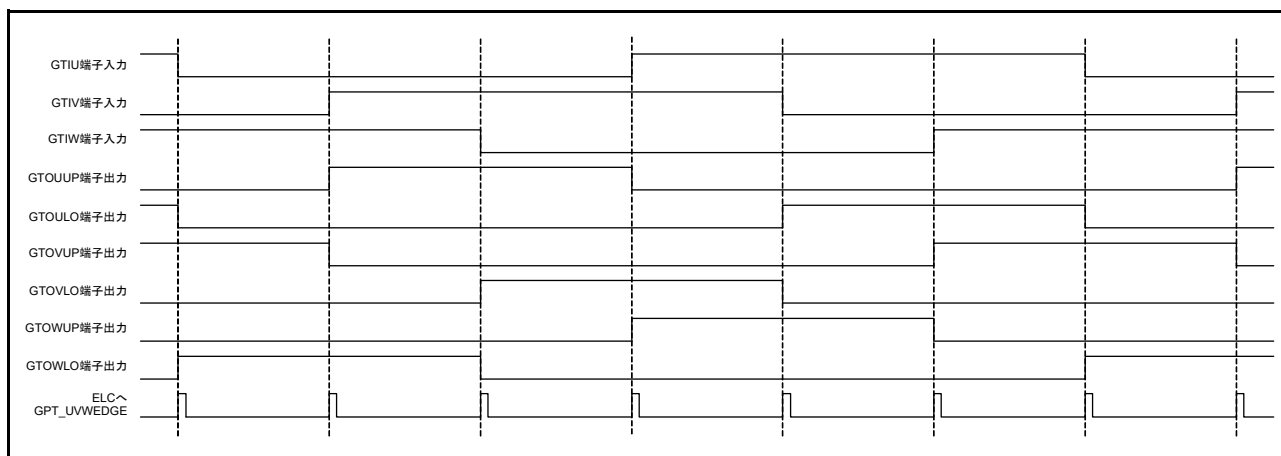


図 22.148 OPS レベル出力動作例 (逆回転) (FB = 0, RV = 1, P = 0, N = 0, INV = 0)

図 22.149、図 22.150 に OPS のチョッピング出力動作例を示します。

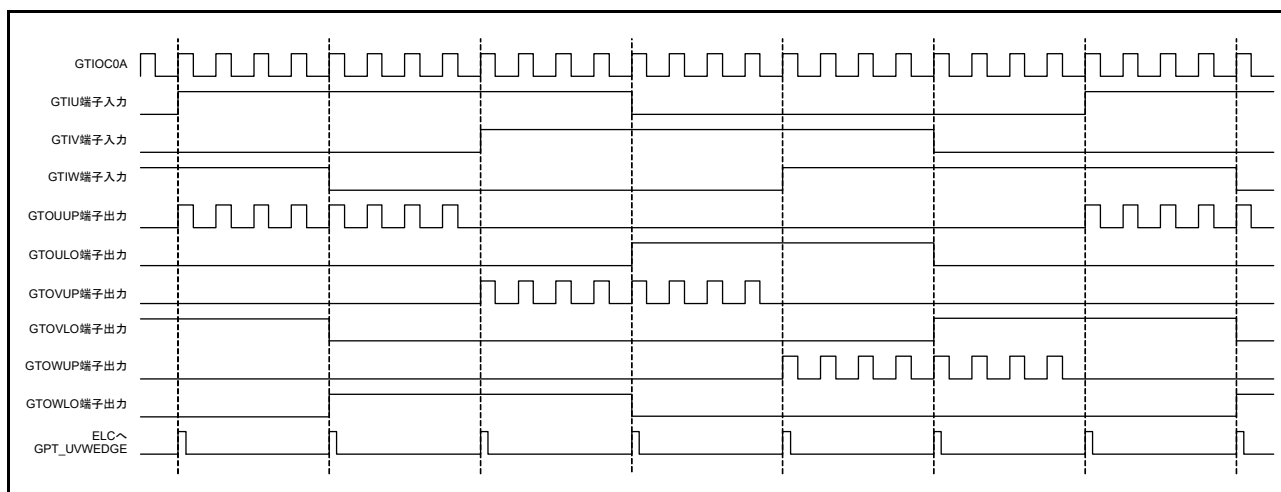


図 22.149 OPS チョッピング出力動作の例 (正相 120 度) (FB = 0, RV = 0, P = 1, N = 0, INV = 0)

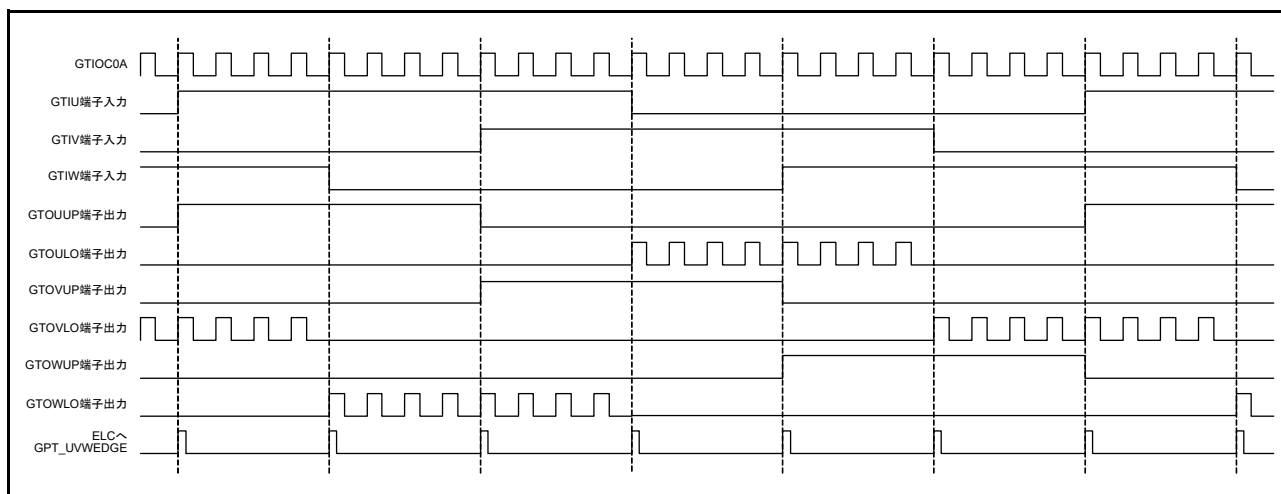


図 22.150 OPS チョッピング出力動作の例 (逆相 120 度) (FB = 0, RV = 0, P = 0, N = 1, INV = 0)

図 22.151 に OPS の出力ディセーブル制御の動作例を示します。

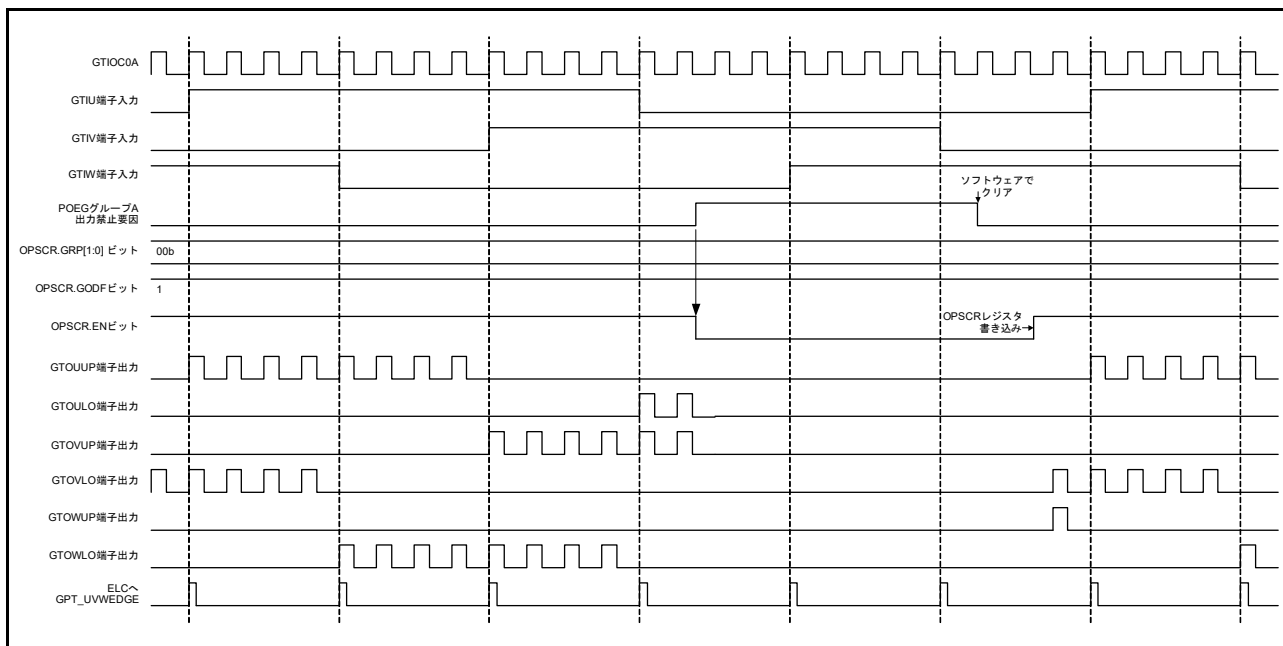


図 22.151 OPS 出力ディセーブル制御動作の例 (FB = 0, RV = 0, P = 1, N = 1, INV = 0)

22.3.12.1 入力選択とサンプリング

FB ビットによって、“外部入力”と“ソフト設定値”から OPS に用いる入力を選択します。

FB ビットが“0”のとき、GTIU、GTIV、GTIW 外部入力に対して、GPT コアクロック (PCLKA) の同期化とノイズフィルタが実施された信号を OPS の入力として選択します。

FB ビットが“1”のとき、ソフト設定 (UF、VF、WF ビット) を OPS の入力として選択します。

選択された入力は、ALIGN ビットで選択される方法で、サンプリングされて、OPS の入力相となります。

ALIGN ビットが“0”のとき、入力は、PCLKA でサンプリングされます。

ALIGN ビットが“1”のとき、入力は、GTIOC0A の立ち上がりエッジでサンプリングされます。

サンプリング後の入力相は、U、V、W ビットでモニタリングできます。

表 22.26 に FB ビットと ALIGN ビットによる入力選択とサンプリング方法を示します。

表 22.26 入力選択とサンプリング方法

OPSCR レジスタ		入力選択 サンプリング方法	入力相 (OPS 内部信号)
FB ビット	ALIGN ビット		
0	0	外部入力 GTIU、GTIV、GTIW PCLKA サンプリング	入力 U 相 (gtu_sync) 入力 V 相 (gtv_sync) 入力 W 相 (gtw_sync)
	1	外部入力 GTIU、GTIV、GTIW GTIOC0A 立ち下がりサンプリング	
1	0	ソフト設定 UF、VF、WF PCLKA サンプリング	
	1	ソフト設定 UF、VF、WF GTIOC0A 立ち下がりサンプリング	

22.3.12.2 回転方向制御

モータの回転方向が逆回転の場合 (RV = 1)、入力相を反転します。

22.3.12.3 入力相デコード

回転方向制御後の入力相をデコードし、6相の信号を生成します。

表 22.27、表 22.28 に、モータの回転方向が正回転 (RV = 0) の場合と逆回転 (RV = 1) の場合のデコード表を示します。

表22.27 入力相デコード表(正回転)

入力相			回転方向制御後入力相			6相信号					
U相	V相	W相	U相	V相	W相	U正相	U逆相	V正相	V逆相	W正相	W逆相
gtu_syn_c	gtv_syn_c	gtw_syn_c	gtu_syn_c_rv	gtv_syn_c_rv	gtw_syn_c_rv	gtuup_en	gtulo_en	gtvup_en	gtvlo_en	gtwup_en	gtwlo_en
1	0	1	1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	1	0	0	0	0	1
1	1	0	1	1	0	0	0	1	0	0	1
0	1	0	0	1	0	0	1	1	0	0	0
0	1	1	0	1	1	0	1	0	0	1	0
0	0	1	0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	1	1	0	0	0	0	0	0

表22.28 入力相デコード表(逆回転)

入力相			回転方向制御後入力相			6相信号					
U相	V相	W相	U相	V相	W相	U正相	U逆相	V正相	V逆相	W正相	W逆相
gtu_syn_c	gtv_syn_c	gtw_syn_c	gtu_syn_c_rv	gtv_syn_c_rv	gtw_syn_c_rv	gtuup_en	gtulo_en	gtvup_en	gtvlo_en	gtwup_en	gtwlo_en
1	0	1	0	1	0	0	1	1	0	0	0
1	0	0	0	1	1	0	1	0	0	1	0
1	1	0	0	0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	0	0	1	0	0
0	1	1	1	0	0	1	0	0	0	0	1
0	0	1	1	1	0	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	1	1	0	0	0	0	0	0

22.3.12.4 出力選択制御

EN、P、N、INV ビットによって出力波形の選択を実施します。

EN ビットは、6相出力相の出力許可を行います。EN ビットが“1”の場合に6相出力相の出力が許可され、“0”の場合、外部出力端子は“Hi-Z”となります。

P、N ビットによって、正相、逆相へのチョッピング有無を選択します。P、N ビットが“1”の場合、GTIOC0A 端子にチョッピングを行います。

チョッピングを行う場合、出力相が切り替わるタイミングとチョッピングに用いるPWMの位相に依存して、出力相の切り替わり前後では、出力相のPWMの幅がチョッピングに用いるPWMよりも短くなる場合があります。

INV ビットによって、出力相の極性(正論理または負論理)を選択します。

表 22.29、表 22.30 に正相と逆相の出力選択制御方式を示します。

表 22.29 出力選択制御方法(正相)

ENビット	Pビット	INVビット	GTONUP
0	—	—	0 (外部端子は Hi-Z)
1	0	0	正論理レベル出力 (gtmup_en)
1	0	1	負論理レベル出力 (~gtmup_en)
1	1	0	正論理チョッピング出力 (GTIOC0A & gtmup_en)
1	1	1	負論理チョッピング出力 (~(GTIOC0A & gtmup_en))

n = U, V, W

m = u, v, w

表 22.30 出力選択制御方法(逆相)

ENビット	Pビット	INVビット	GTONLO
0	—	—	0 (外部端子は Hi-Z)
1	0	0	正論理レベル出力 (gtmlo_en)
1	0	1	負論理レベル出力 (~gtmlo_en)
1	1	0	正論理チョッピング出力 (GTIOC0A & gtmlo_en)
1	1	1	負論理チョッピング出力 (~(GTIOC0A & gtmlo_en))

n = U, V, W

m = u, v, w

22.3.12.5 出力選択制御 (グループ出力ディセーブル機能)

グループ出力ディセーブル機能は、GODF ビットが“1”かつ GRP[1:0] ビットで選択した要因の信号値が“High”(出力ディセーブル要求)になると、非同期で出力を“Hi-Z”にします。PCLKA で同期化した出力ディセーブル要求信号は、EN ビットを“0”にします。

復帰は、ソフトウェアで出力ディセーブル要求をクリア後、EN ビットを“1”にしてください。

EN ビットが“0”になるタイミングは、出力ディセーブル要求の PCLKA で3クロック後です。確実な出力ディセーブル制御を行うためには、出力ディセーブル要求のクリアは出力ディセーブル要求の発生から PCLKA で4クロック以上後になるように POEG のフラグをクリアしてください。

グループ出力ディセーブル機能の動作例は、前述の図 22.151 を参照してください。

22.3.12.6 イベントコントローラ (ELC) 出力

U 相、V 相、W 相の各入力信号の立ち上がりエッジと立ち下がりエッジを検出したパルスの論理和を、イベントリンクコントローラ (ELC) へ出力します。論理和で生成しているため、入力相の High 期間が短い場合、エッジ検出した結果が ELC に正しく伝わらない場合があります。

22.3.12.7 OPS スタート動作設定フロー

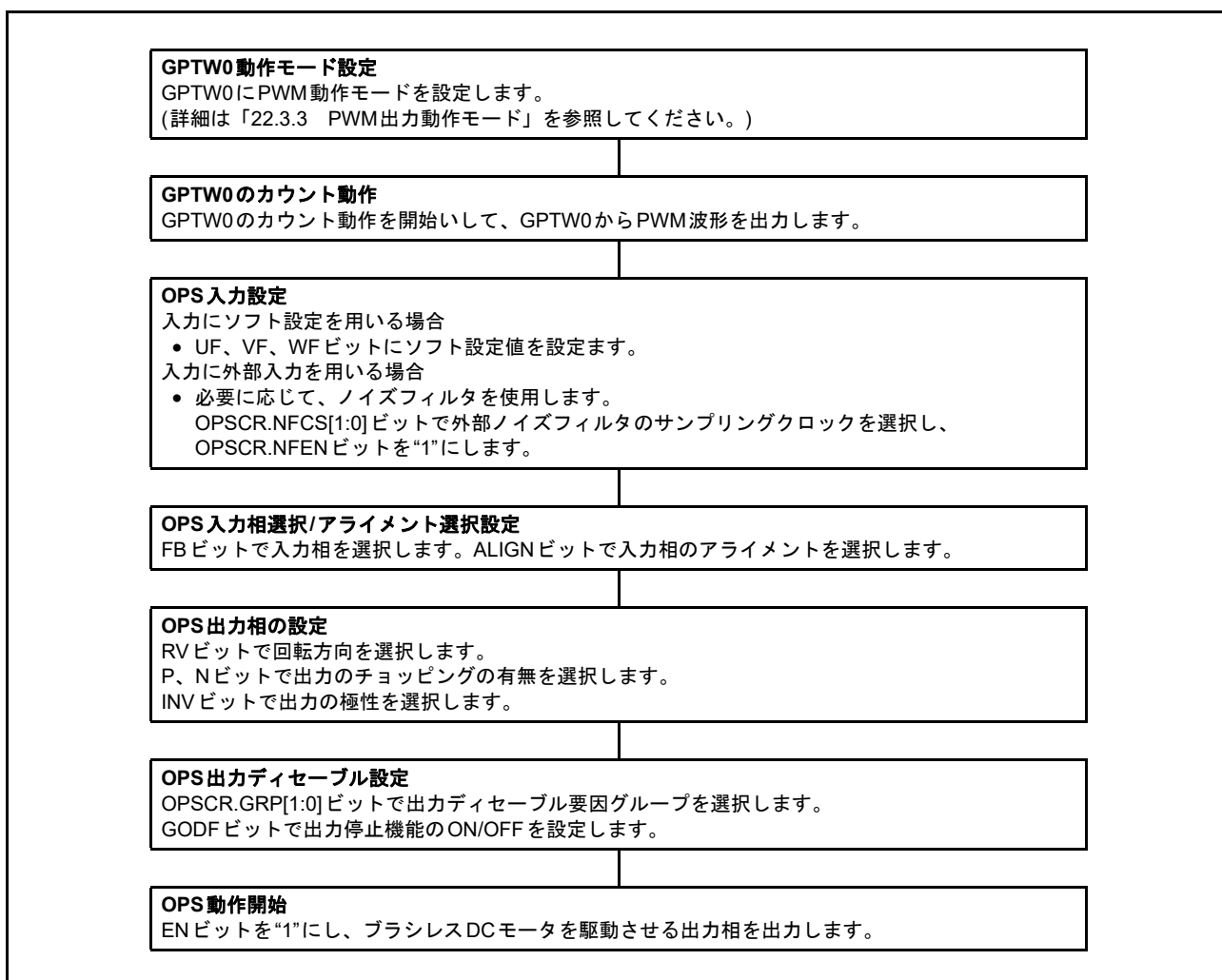


図 22.152 OPS スタート動作設定例

22.4 割り込み要因

22.4.1 割り込み要因と優先順位

割り込み要因には、GTCCRm レジスタ (m = A ~ F) のインプットキャプチャ/コンペアマッチ、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)/アンダフローの2種類があります。各割り込み要因は、それぞれ専用のステータスフラグと割り込み要求発生制御ビットがあり、割り込み要求の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、GTST レジスタの対応するステータスフラグが“1”になります。このとき GTINTAD レジスタの対応する割り込み要求許可/禁止ビットが“1”であれば、割り込み要求が発生します。

GTST レジスタの対応するステータスフラグは、書き込みでクリアできます。フラグのセットとクリアが競合する場合、セットよりクリアが優先されます。

詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。表 22.31 に GPTW の割り込み要因の一覧を示します。

表 22.31 GPTWの割り込み要因(n = 0 ~ 7)

チャンネル	名称	割り込み要因	割り込みフラグ
GPTWn	GTClAn	GTCCRAレジスタのインプットキャプチャ/コンペアマッチ	GPTWn.GTST.TCFA
	GTClBn	GTCCRBレジスタのインプットキャプチャ/コンペアマッチ	GPTWn.GTST.TCFB
	GTClCn	GTCCRCレジスタのコンペアマッチ	GPTWn.GTST.TCFC
	GTClDn	GTCCRDレジスタのコンペアマッチ	GPTWn.GTST.TCFD
	GTClEn	GTCCREレジスタのコンペアマッチ	GPTWn.GTST.TCFE
	GTClFn	GTCCRFレジスタのコンペアマッチ	GPTWn.GTST.TCFF
	GTClVn	GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ)	GPTWn.GTST.TCFPO
	GTClUn	GTCNTカウンタのアンダフロー	GPTWn.GTST.TCFPU

(1) GTClAn 割り込み (n = 0 ~ 7)

GTINTAD.GTINTA ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM モードの場合、マスタチャンネルの GTCNT カウンタ値) が GTCCRA レジスタと一致したとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき
相補 PWM モードの場合、GTCCRA レジスタはインプットキャプチャとしては機能しません。

(2) GTClBn 割り込み (n = 0 ~ 7)

GTINTAD.GTINTB ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタと一致したとき
相補 PWM モードの場合、GTCCRB レジスタはコンペアマッチレジスタとして機能しません。
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき
相補 PWM モードの場合、GTCCRB レジスタはインプットキャプチャレジスタとしては機能しません。

(3) GTClCn 割り込み (n = 0 ~ 7)

GTINTAD.GTINTC ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM

モードの場合、マスタチャネルの GTCNT カウンタ値) が GTCCRC レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b, GTCR.MD[3:0] = 0001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b, GTCR.MD[3:0] = 0110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b, 10b, 11b (GTCCRC レジスタがバッファ動作)

(4) GTCIDn 割り込み (n = 0 ~ 7)

GTINTAD.GTINTD ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM モードの場合、マスタチャネルの GTCNT カウンタ値) が GTCCRD レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b, GTCR.MD[3:0] = 0001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b, GTCR.MD[3:0] = 0110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b, 11b (GTCCRD レジスタがバッファ動作)

(5) GTCIE n 割り込み (n = 0 ~ 7)

GTINTAD.GTINTE ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM モードの場合、マスタチャネルの GTCNT カウンタ値) が GTCCRE レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b, GTCR.MD[3:0] = 0001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b, GTCR.MD[3:0] = 0110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 01b, 10b, 11b (GTCCRE レジスタがバッファ動作)

(6) GTCIFn 割り込み (n = 0 ~ 7)

GTINTAD.GTINTF ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 (相補 PWM モードの場合、マスタチャネルの GTCNT カウンタ値) が GTCCRF レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b, GTCR.MD[3:0] = 0001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b, GTCR.MD[3:0] = 0110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 10b, 11b (GTCCRF レジスタがバッファ動作)

(7) GTCIVn 割り込み (n = 0 ~ 7)

GTINTAD.GTINTPR[0] ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、オーバフロー(アップカウント動作中に GTCNT カウンタ値が GTPR レジスタ値から “0” になる) が発生

- のこぎり波 PWM モード1 およびのこぎり波ワンショットパルスモードの場合、オーバーフロー(アップカウント動作中に GTCNT カウンタ値が GTPR レジスタ値から “0” になる)が発生
- のこぎり波 PWM モード2の場合、オーバーフロー(GTCSR.CSCMSC[2:0] ビットで選択された GTCCRm レジスタ値 (m = A ~ F) から “0000 0000h” になる)が発生するか、GTCNT カウンタ値が GTPR レジスタ値と一致
- 三角波の場合、山 (GTCNT カウンタ値が GTPR レジスタ値から GTPR レジスタ値 -1 になる)が発生
- 相補PWMモードの場合、山(マスタチャネルのGTCNTカウンタ値がGTPRレジスタ値からGTPRレジスタ値-1になる)
- ハードウェア要因によるカウント動作(パルス幅測定機能時を含む)の場合、オーバーフロー(アップカウント動作によって GTCNT カウンタ値が GTPR レジスタ値から “0” になる)が発生

(8) GTCIUn 割り込み (n = 0 ~ 7)

GTINTAD.GTINTPR[1] ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、アンダフロー(ダウンカウント動作中に GTCNT カウンタ値が “0” から GTPR レジスタ値になる)が発生
- のこぎり波 PWM モード1 およびのこぎり波ワンショットパルスモードの場合、アンダフロー(ダウンカウント動作時に GTCNT カウンタ値が “0” から GTPR レジスタ値になる)が発生
- 三角波の場合、谷 (GTCNT カウンタ値が “0” から “1” になる)が発生
- 相補 PWM モードの場合、谷 (マスタチャネルの GTCNT カウンタ値が “0” から “1” になる)が発生
- ハードウェア要因によるカウント動作(パルス幅測定機能時を含む)の場合、アンダフロー(ダウンカウント動作によって GTCNT カウンタ値が “0” から GTPR レジスタ値になる)が発生

表22.32 割り込み信号、割り込み許可ビットの関係(n = 0 ~ 7)

割り込み信号	割り込み許可ビット	ステータスフラグ
GTCIAn	GTINTAD.GTINTAビット	GTST.TCFAフラグ
GTCIBn	GTINTAD.GTINTBビット	GTST.TCFBフラグ
GTCICn	GTINTAD.GTINTCビット	GTST.TCFCフラグ
GTCIDn	GTINTAD.GTINTDビット	GTST.TCFDフラグ
GTCIEn	GTINTAD.GTINTEビット	GTST.TCFEフラグ
GTCIFn	GTINTAD.GTINTFビット	GTST.TCFFフラグ
GTCIVn	GTINTAD.GTINTPR[1:0]ビット	GTST.TCFPOフラグ
GTCIU _n		GTST.TCFPUフラグ

22.4.2 DMAC/DTC の起動

各チャンネルの割り込み要求によって、DMAC/DTC を起動することができます。詳細は「14. 割り込みコントローラ (ICUb)」、「17. DMA コントローラ (DMACA)」、「18. データトランスファコントローラ (DTCb)」を参照してください。

22.4.3 割り込み、A/D 変換開始要求の間引き機能

22.4.3.1 GTITC レジスタによる割り込み間引き機能

GTITC レジスタの設定により、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)/アンダフロー割り込み (GTCIV/GTCIU) を間引くことができます。また、他の割り込み、および A/D 変換開始要求を GTCIV/GTCIU 割り込み間引き機能と連動して間引くことができます。なお、割り込みを間引いた場合は対応するステータスフラグの変化も間引かれ、ステータスフラグが“1”になっている間も間引き機能は動作を続けます。

割り込み間引き機能は、GTITC レジスタの設定だけに依存し、GTINTAD レジスタの割り込み許可ビットの設定には依存しません。割り込み許可ビットは、間引き後の割り込み信号の出力制御だけに用います。

また、三角波で谷/山両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込み要求が発生しません。三角波で谷/山両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き回数を偶数に設定してください。

同様に、のこぎり波でカウント方向を変えながらオーバフロー/アンダフロー両方をカウントして間引く場合、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込み要求が発生しない場合があります。のこぎり波でカウント方向を変えながらオーバフロー/アンダフロー両方をカウントして間引き、かつ、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き状態を十分検討のうえ、使用してください。

なお、間引き回数を変更する場合は、間引き機能をいったん解除 (GTITC.IVTC[1:0] ビット = 00b) してから行ってください。

間引き機能の動作例を図 22.153 ~ 図 22.158 に示します。

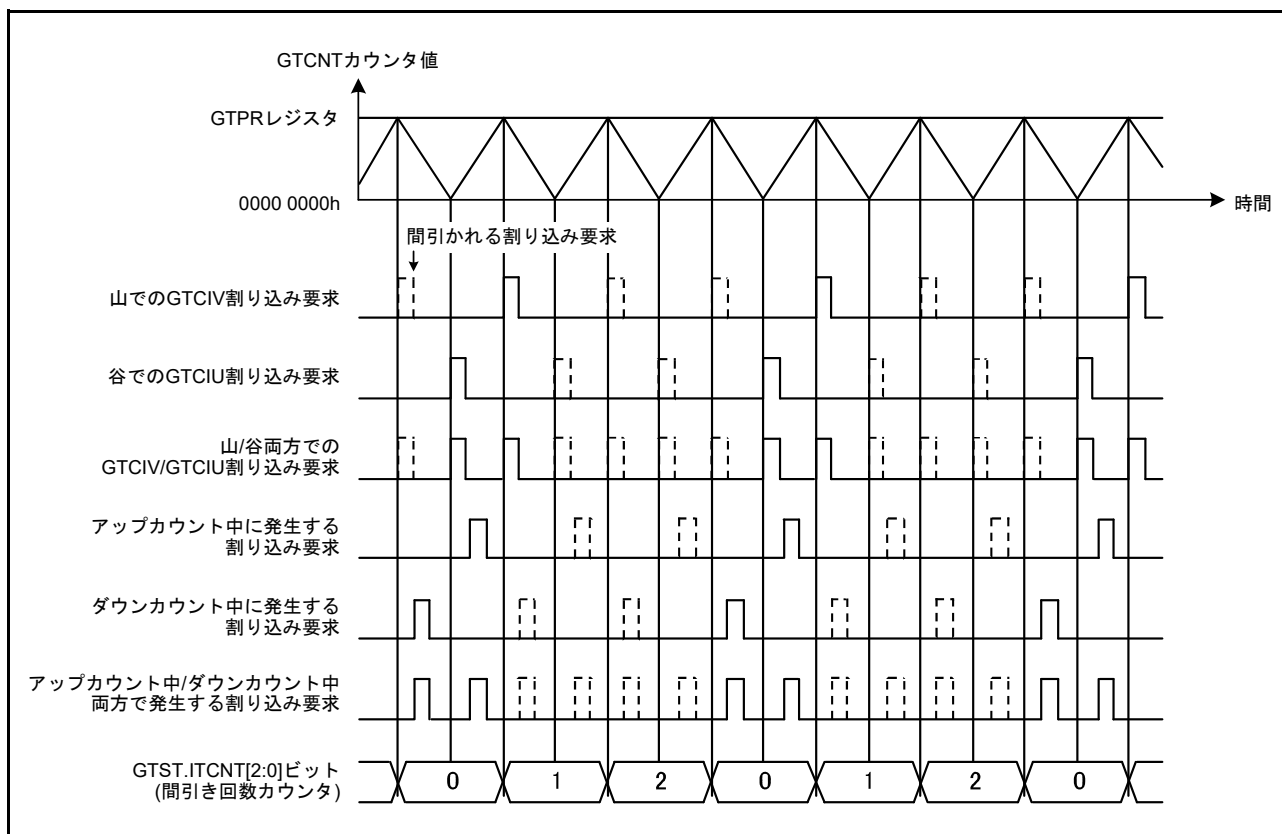


図 22.153 割り込み間引き機能の動作例 (三角波、山をカウントして間引き、間引き回数 2 の場合)

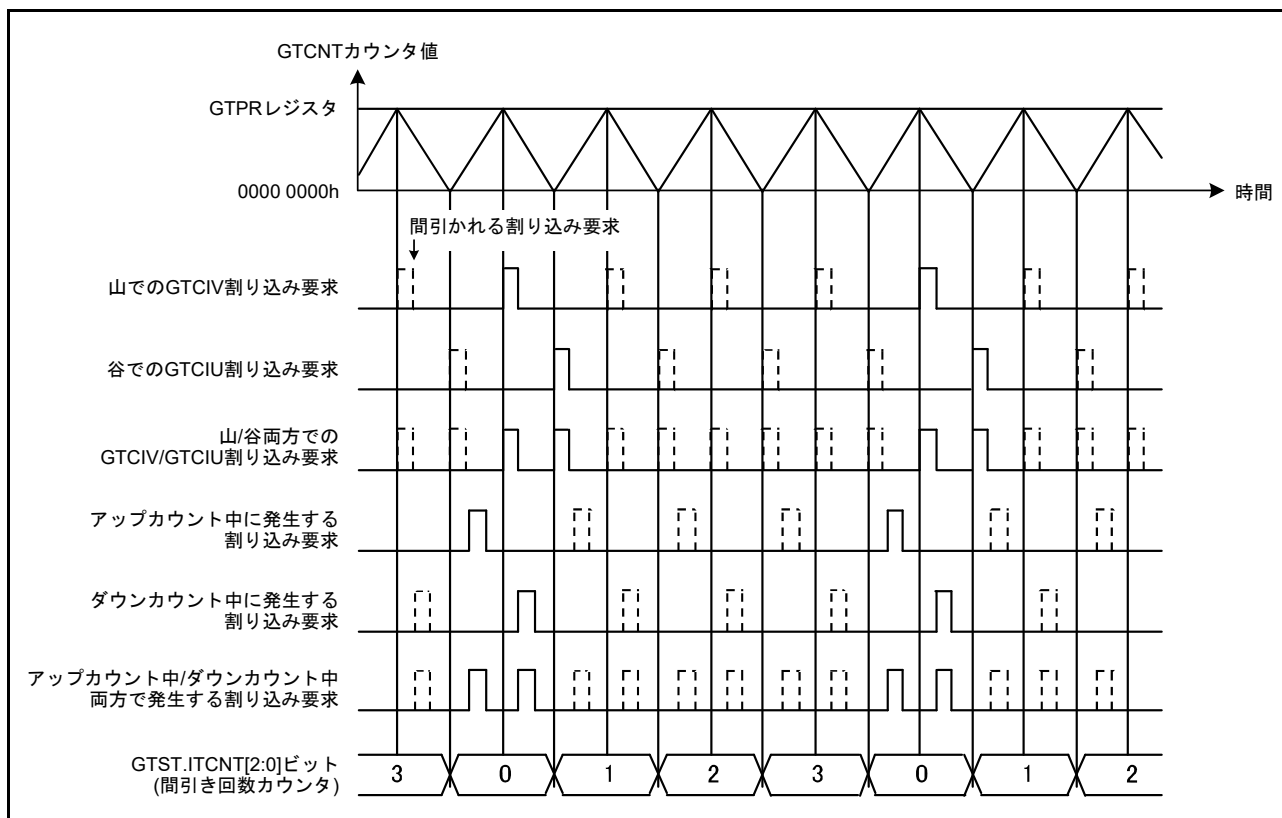


図 22.154 割り込み間引き機能の動作例 (三角波、谷をカウントして間引き、間引き回数 3 の場合)

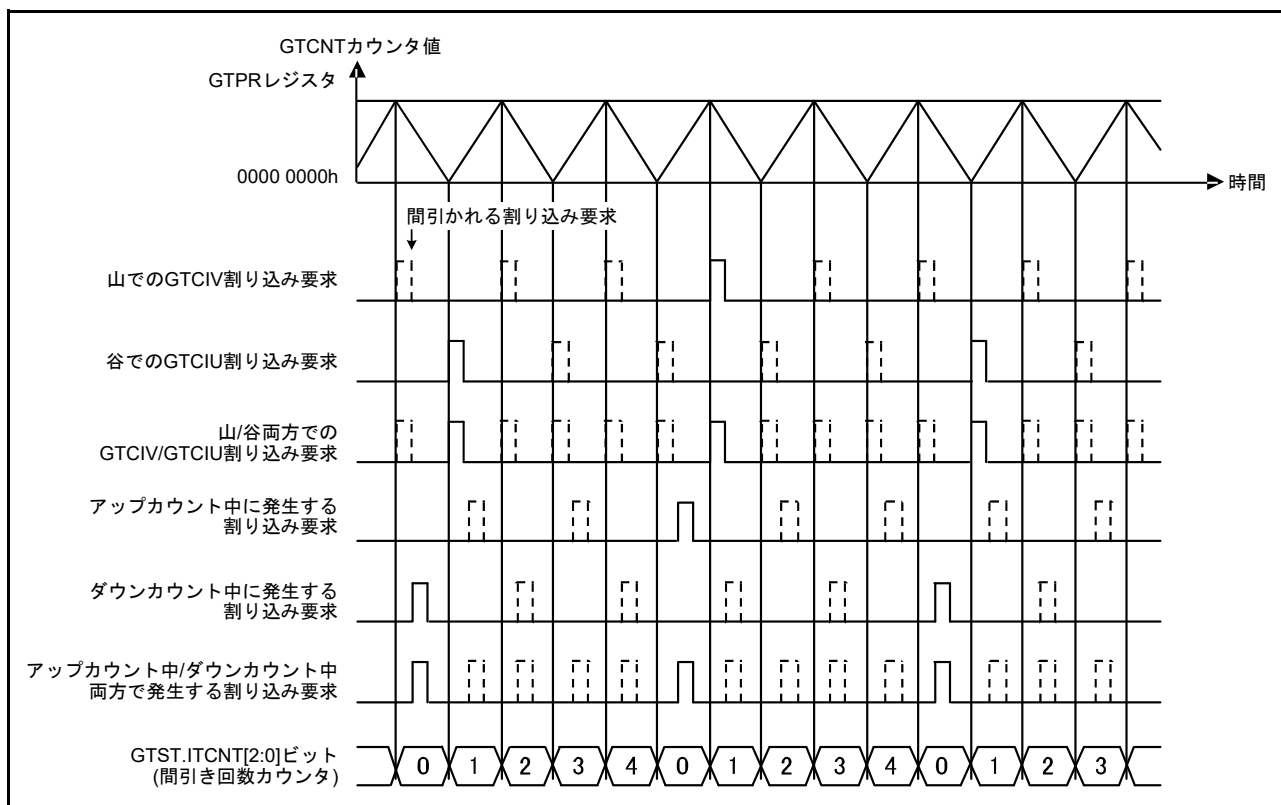


図 22.155 割り込み間引き機能の動作例 (三角波、谷 / 山両方をカウントして間引き、間引き回数 4 の場合)

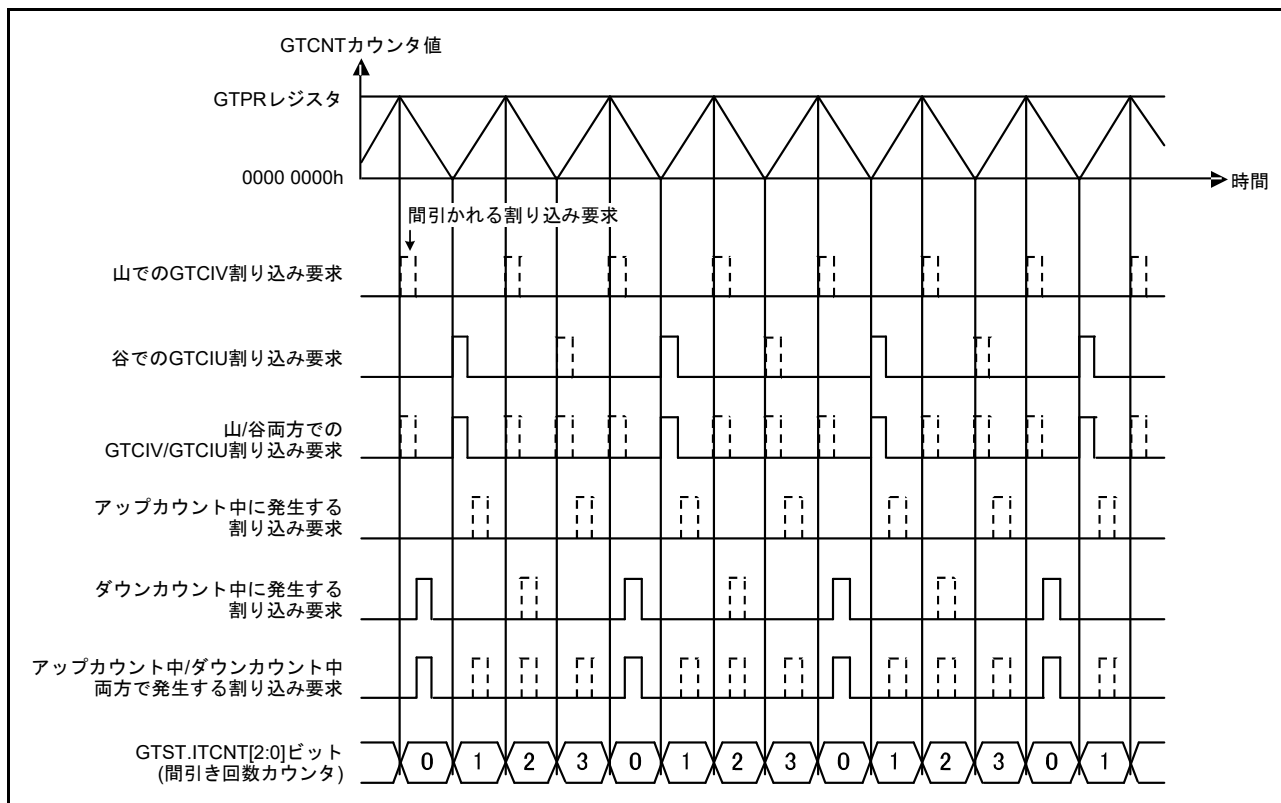


図 22.156 割り込み間引き機能の動作例 (三角波、谷 / 山両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合)

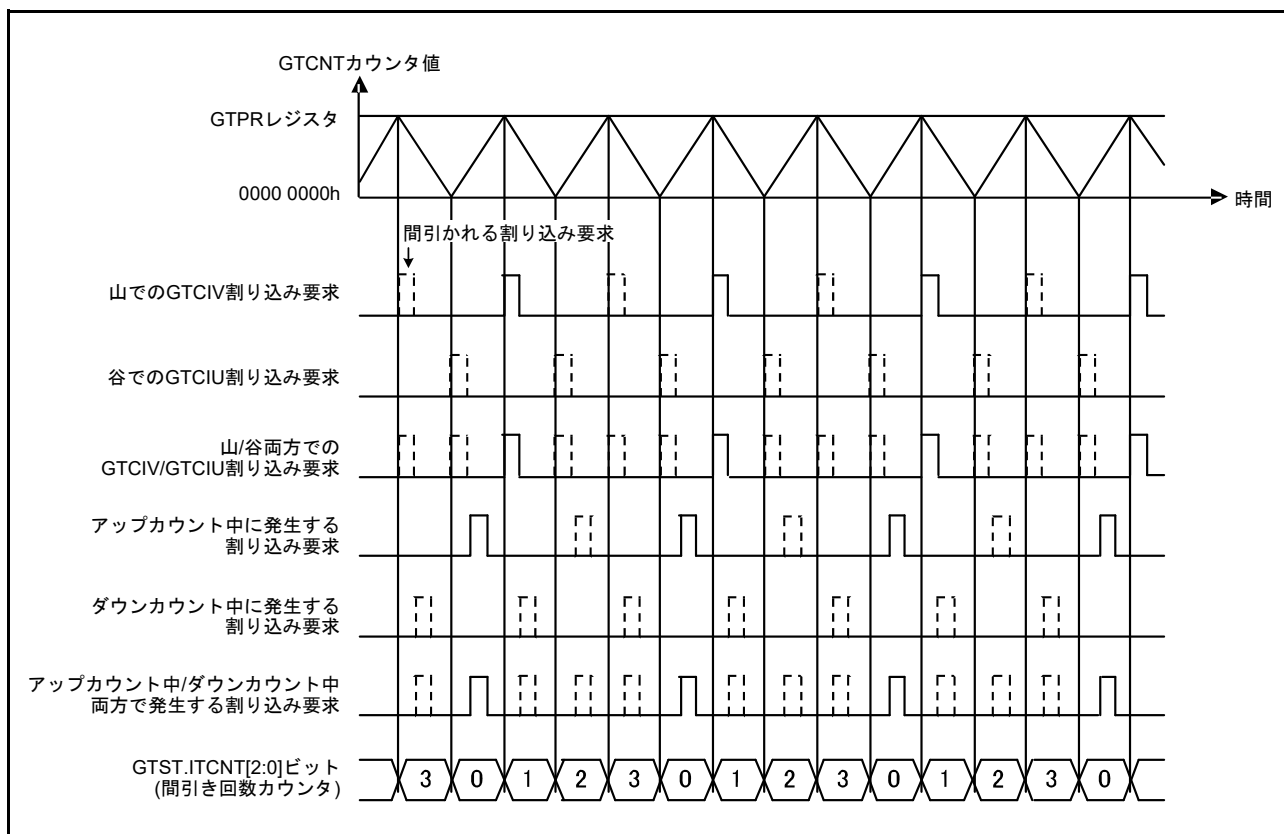


図 22.157 割り込み間引き機能の動作例
 (三角波、谷 / 山両方をカウントして間引き、間引き回数3、ダウンカウントで間引き開始の場合)

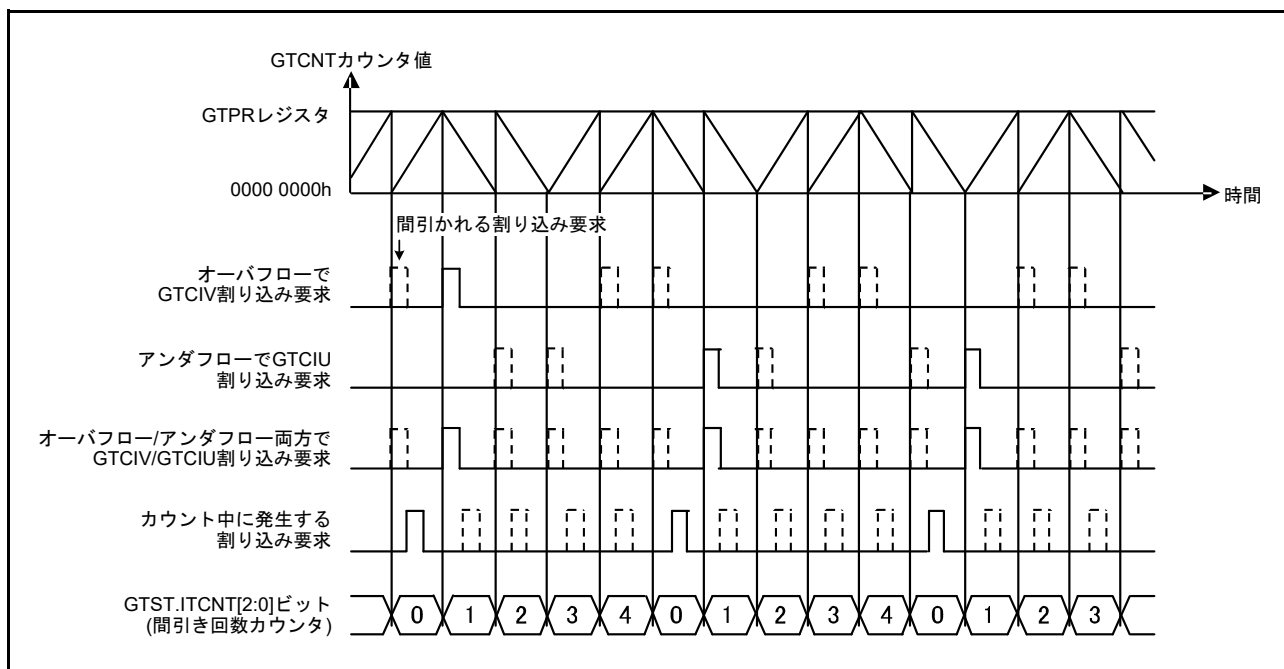


図 22.158 割り込み間引き機能の動作例
 (のこぎり波でカウント方向を切替えながら動作、オーバーフロー/アンダフロー両方をカウントして間引き、間引き回数4の場合)

22.5 A/D 変換開始要求

GTCNT カウンタと GTADTRA, GTADTRB レジスタのコンペアマッチで、A/D 変換開始要求を発生させることができます。GTINTAD レジスタの設定で、アップカウント時のみ、ダウンカウント時のみ、またはアップカウント/ダウンカウント両方で A/D 変換開始要求を発生させることができます。

相補 PWM モードで動作している場合は、マスタチャネルの GTCNT カウンタとの一致で、A/D 変換開始要求を発生します。

イベントカウント動作時は A/D 変換開始要求を発生させることはできません。

A/D 変換開始要求は、直接 A/D コンバータに出力されず、割り込み、ELC へのイベント信号を出力します。

GTADTRA, GTADTRB レジスタにはバッファレジスタがそれぞれ 2 本ずつあり、GTADTRA レジスタと GTADTBRA, GTADTDBRA レジスタを組み合わせたバッファ動作、GTADTRB レジスタと GTADTBRB, GTADTDBRB レジスタを組み合わせたバッファ動作が可能です。

図 22.159 に A/D 変換開始要求の動作例を、図 22.160 に A/D 変換開始要求の動作設定例を、図 22.161 に A/D 変換開始要求動作タイミング例を示します。

図 22.161 は、GTADTRA レジスタのコンペアマッチによる ELC への A/D 変換開始要求 A 出力を、ELC が A/D コンバータへの起動要因 0 として選択出力した場合の例です。PCLKA に同期した A/D 変換開始要求 A 信号を ELC では PCLKB に同期して受け、その 1 PCLKB 後に A/D 起動要因 0 を出力します。

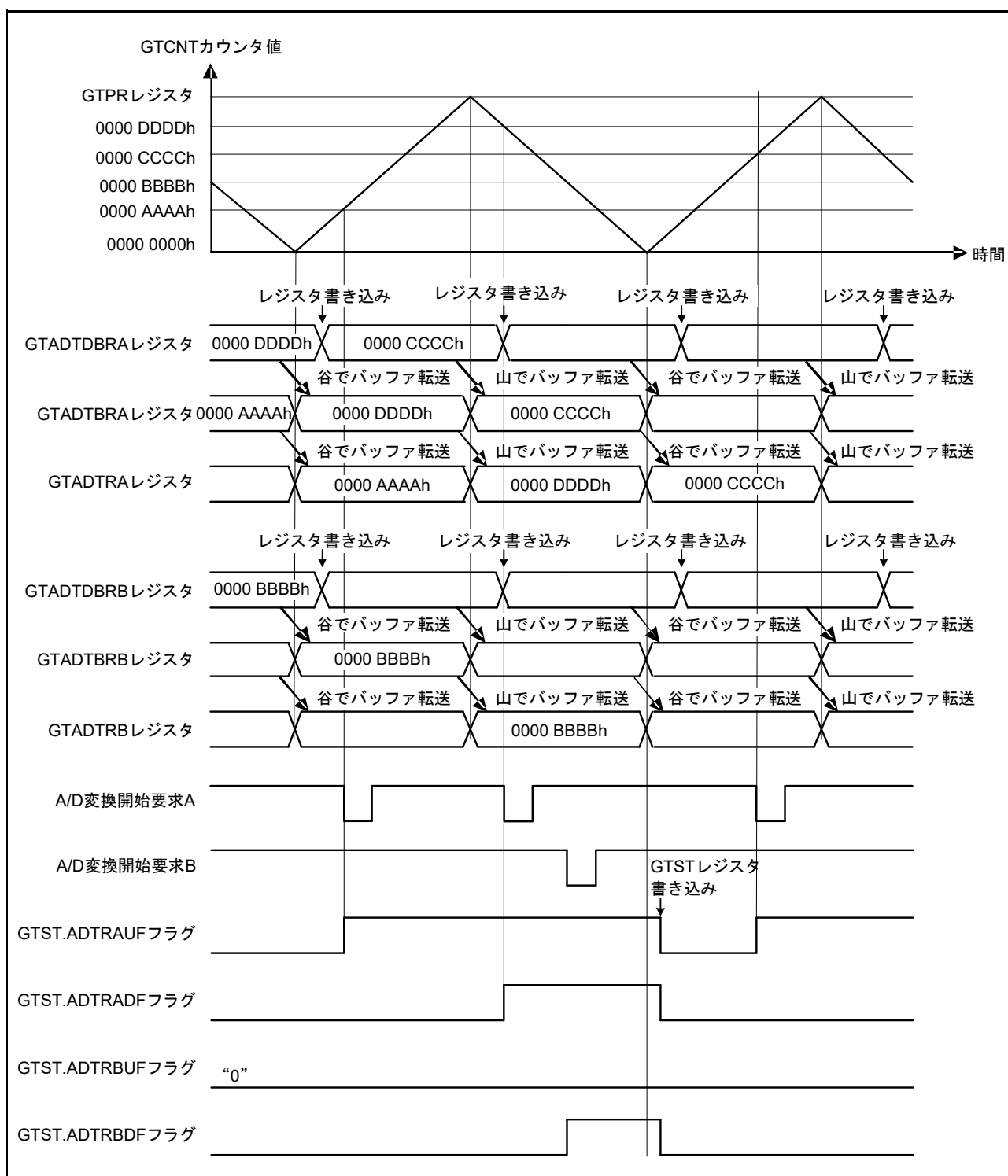


図 22.159 A/D 変換開始要求の動作例

(三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送、GTADTRA レジスタはアップカウント / ダウンカウント両方で A/D 変換開始要求、GTADTRB レジスタはダウンカウントで A/D 変換開始要求を発生の場合)

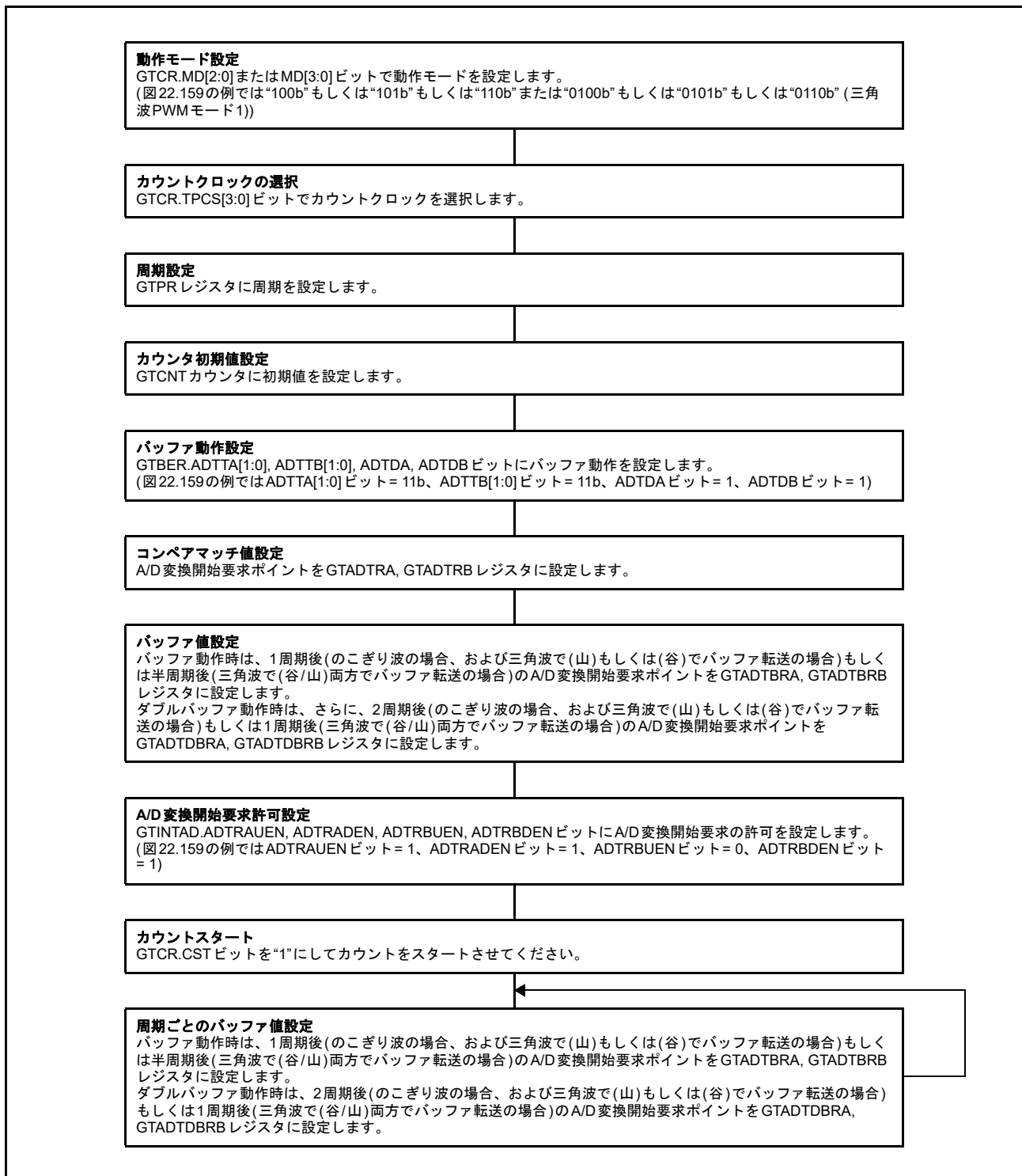


図 22.160 A/D 変換開始要求の動作設定例

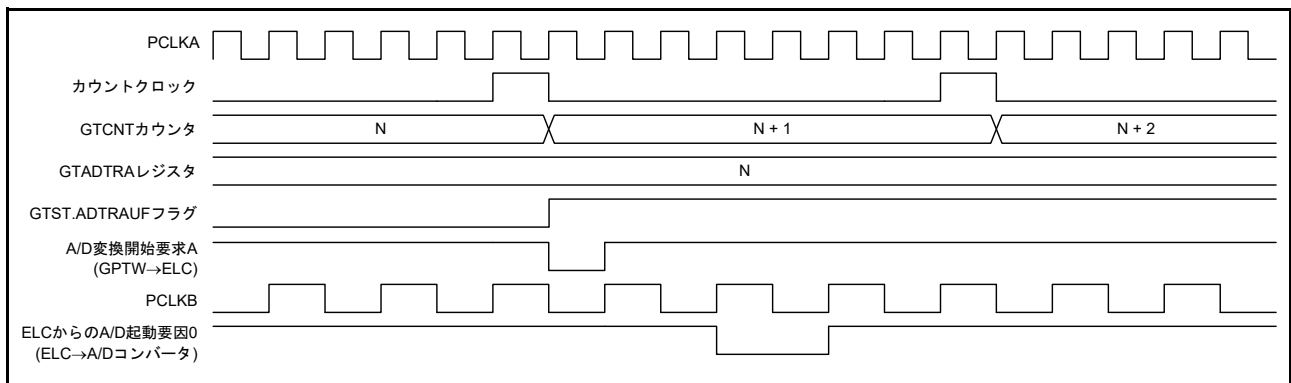


図 22.161 A/D 変換開始要求動作タイミング例

22.6 ELCによるリンク動作

22.6.1 ELCへのイベント信号出力

GPTWはイベントリンクコントローラ(ELC)により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。

イベント信号は、A/D変換開始要求を除いて、該当する割り込み要求許可ビットの設定に関係なく出力することができます。A/D変換開始要求は、ELCへの出力のA/D変換開始要求許可ビットによって、アップカウント時とダウンカウント時のA/D変換開始要求を個々に許可/禁止できます。

GPTWのELCへのイベント信号には、以下に示すように、チャンネルごとの10本の信号と、共通信号が1本あります。

- コンペアマッチA割り込みの発生
- コンペアマッチB割り込みの発生
- コンペアマッチC割り込みの発生
- コンペアマッチD割り込みの発生
- コンペアマッチE割り込みの発生
- コンペアマッチF割り込みの発生
- オーバフロー割り込みの発生
- アンダフロー割り込みの発生
- A/D変換開始要求Aの発生
- A/D変換開始要求Bの発生
- GPTW(OPS)・UVW相入力エッジ検出

22.6.2 ELCからのイベント信号による動作

GPTWはELCから出力されるイベント要因A～Hまでの信号により、以下の動作が可能です。各イベント信号は全チャンネルに供給され、動作に対するイベント要因の選択は、チャンネル内の動作別要因セレクトレジスタで行います。

- カウントスタート/カウントストップ/カウンタクリア動作
- アップカウント/ダウンカウント動作
- インพุットキャプチャA、B動作

各動作は、「22.3.1.1 カウンタの動作」におけるハードウェア要因による動作を参照してください。

22.7 ノイズフィルタ機能

GPTW の入力キャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可/停止およびサンプリングクロックが設定可能です。

図 22.162 にノイズフィルタのタイミングチャートを示します。

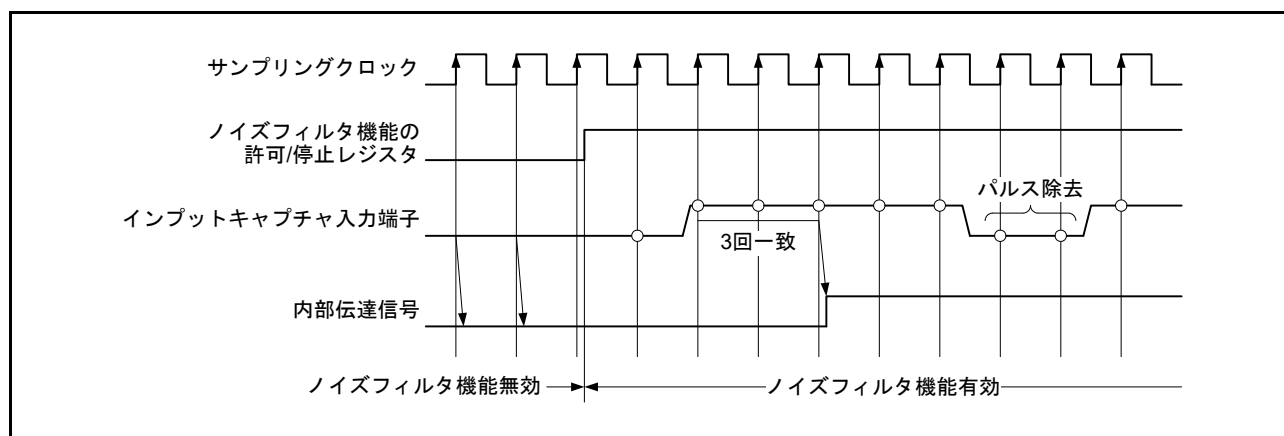


図 22.162 ノイズフィルタのタイミングチャート

ノイズフィルタ機能を設定した場合は、入力キャプチャ入力に対するノイズフィルタリングによって最短で「サンプリングサイクル×2+PCLKA」だけ遅延したノイズフィルタ後の信号のエッジに対して入力キャプチャ動作が行われます。

22.8 保護機能

22.8.1 レジスタの書き込み保護

レジスタへの誤書き込みを防ぐために、GTWP.WP ビットの設定でレジスタへの書き込みをチャンネルごとに許可/禁止することができます。

書き込み許可/禁止が可能なレジスタは、下記のとおりです。

GTSSR, GTPSR, GTCSSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCORA, GTCORB, GTCORC, GTCORD, GTCORE, GTCORF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTICCR

どのチャンネルのレジスタを更新しても全チャンネルを制御できる GTSTR, GTSTP, GTCLR レジスタは、それぞれ GTWP.STRWP, STWP, CLRWP ビットの設定で、チャンネル番号に対応するビットへの書き込みをチャンネルごとに許可/禁止することで誤書き込みを防ぐことができます。

同様に全チャンネルを制御できる GTSECSR, GTSECR レジスタは、GTWP.CMNWP ビットの設定で、チャンネルごとにそのチャンネルでの GTSECSR, GTSECR レジスタへの書き込みを許可/禁止することができます。

GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

22.8.2 バッファ動作の抑止

バッファレジスタの書き込みがバッファ転送タイミングに間に合わない場合、GTBER.BD[0], BD[1], BD[2] ビットの設定でバッファ動作を禁止することができます。

バッファレジスタの書き込み前に BD[0], BD[1], BD[2] ビットの対応するビットを“1”(バッファ動作禁止)にしておき、すべてのバッファレジスタの書き込み終了後に“0”(バッファ動作許可)にすることで、バッファレジスタ書き込み中にバッファ転送条件が発生してもバッファ転送を一時的に禁止することができます。

BD[0], BD[1], BD[2] ビットの設定は、チャンネルごとに直接 GTBER レジスタに書き込む方法と、GTSECSR レジスタで設定した複数のチャンネルを GTSECR レジスタによって同時に設定する方法があります。

図 22.163 にチャンネル 0 を例にしたバッファ動作の抑止動作例を示します。

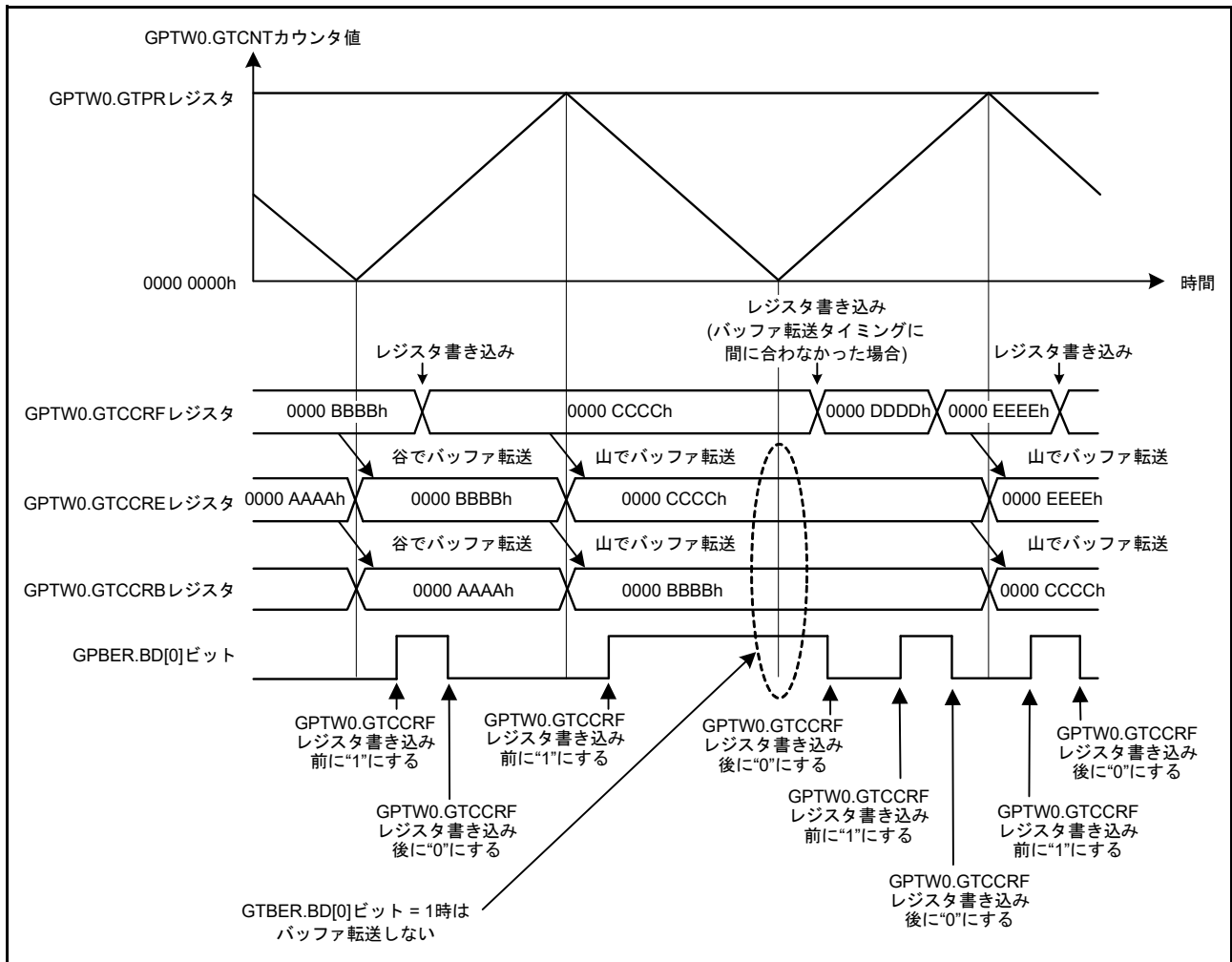


図 22.163 バッファ動作の抑止動作例 (三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送の場合)

22.8.2.1 バッファ動作の複数チャンネル同時制御

GTBER.BD ビットの設定は、チャンネル毎に直接 GTBER レジスタに書き込む方法と、GTSECSR レジスタで設定した複数のチャンネルを GTSECR レジスタによって同時に設定する方法があります。

複数のチャンネルの GTBER.BD ビットの同時設定は、以下の手順で実施してください。

(1) 同時設定するチャンネルの選択 (GTSECSR レジスタの設定)

GTBER.BD ビットを同時に設定する対象となるチャンネルに該当するビット位置が“1”となるように GTSECSR レジスタを設定してください。GTSECSR レジスタは、どのチャンネルに書き込んでも、全てのチャンネルの GTSECSR レジスタが更新されます。

(2) GTBER.BD ビットの同時設定 (GTSECR レジスタの更新)

同時に設定する GTBER.BD ビットの内容 (バッファ動作の禁止 / 許可) を GTSECR レジスタに設定してください。GTSECR レジスタは、どのチャンネルに書き込んでも、GTSECSR レジスタで“1”となっているビットに対応する全てのチャンネルの GTBER.BD ビットが、一斉に GTSECR レジスタへの書き込み値に従って、更新されます。図 22.164、図 22.165 に複数のチャンネルのバッファ動作の禁止 / 許可を同時に制御する動作例を示します。

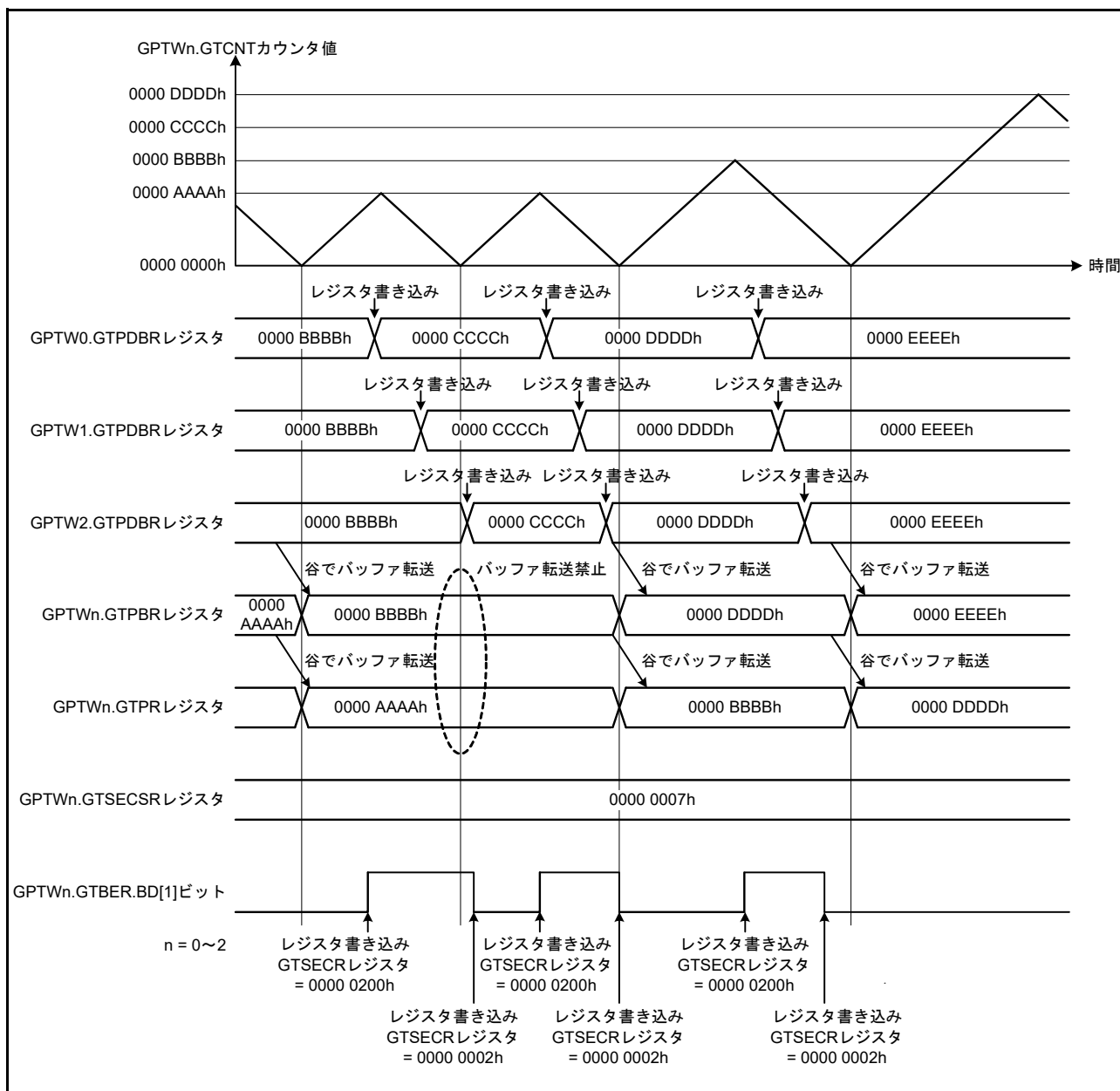


図 22.164 複数チャネルのバッファ動作の抑止動作例 (三角波、ダブルバッファ動作の場合)

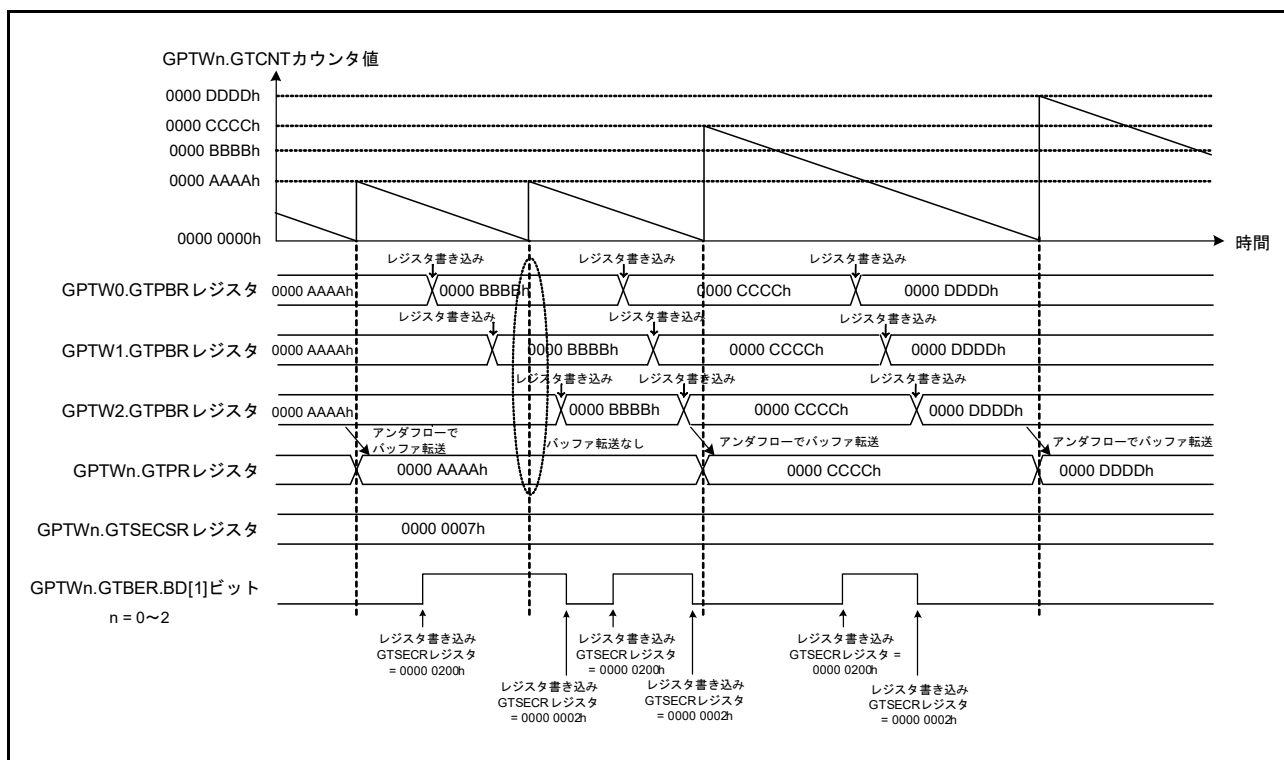


図 22.165 複数チャンネルのバッファ動作の抑止動作例 (のこぎり波、シングルバッファ動作の場合)

22.8.3 GTIOCnm 端子出力の出力ネゲート制御 (n = 0 ~ 7、m = A, B)

システム異常時の保護のため、POEG からの出力停止要求によって、GTIOCnm 端子出力を強制的に変更する出力ネゲート制御を行うことができます。

出力保護が必要な状態として、GTIOCnA 端子と GTIOCnB 端子の出力値が同じ場合を検出して、GRPABH, GRPABL ビットの出力停止検出許可ビットの設定に従って GTINTAD.GRP[1:0] ビットで設定された POEG のグループに出力停止検出を出力します。POEG では、他の出力停止検出と論理和がとられたあと、POEG から GPTW に出力停止要求が出力されます。

GTINTAD.GRP[1:0] ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力停止要求信号として、POEG から入力される 4 グループの出力停止要求から 1 グループを選択することができます。選択された出力停止要求は、GTST.ODF フラグを読むことにより確認することができます。出力ネゲート制御時の出力状態は、GTIOCnA 端子は GTIOR.OADF[1:0] ビット、GTIOCnB 端子は GTIOR.OBDF[1:0] ビットで設定することができます。

POEG からの出力停止要求の発生による出力ネゲート状態への遷移は非同期で行いますが、出力停止要求の消滅による出力ネゲート状態の解除は、周期の終わりで行います。出力停止要求が消滅して出力ネゲート状態が解除されるのは、最短で 3 PCLKA 後です。確実な出力ネゲート制御を行うために、出力停止要求の消滅は、出力停止要求の発生から、4 PCLKA 以上後となるように POEG のフラグクリアを行ってください。

イベントカウント動作時、のこぎり波 PWM モード 2 動作時、および周期の終わりを待たずに出力ネゲート状態を解除したい場合は、GTIOCnA 端子は OADF[1:0] ビット、GTIOCnB 端子は OBDF[1:0] ビットを“00b”にしてください。

図 22.166 に GTIOCnm 端子出力の出力ネゲート制御動作を示します。

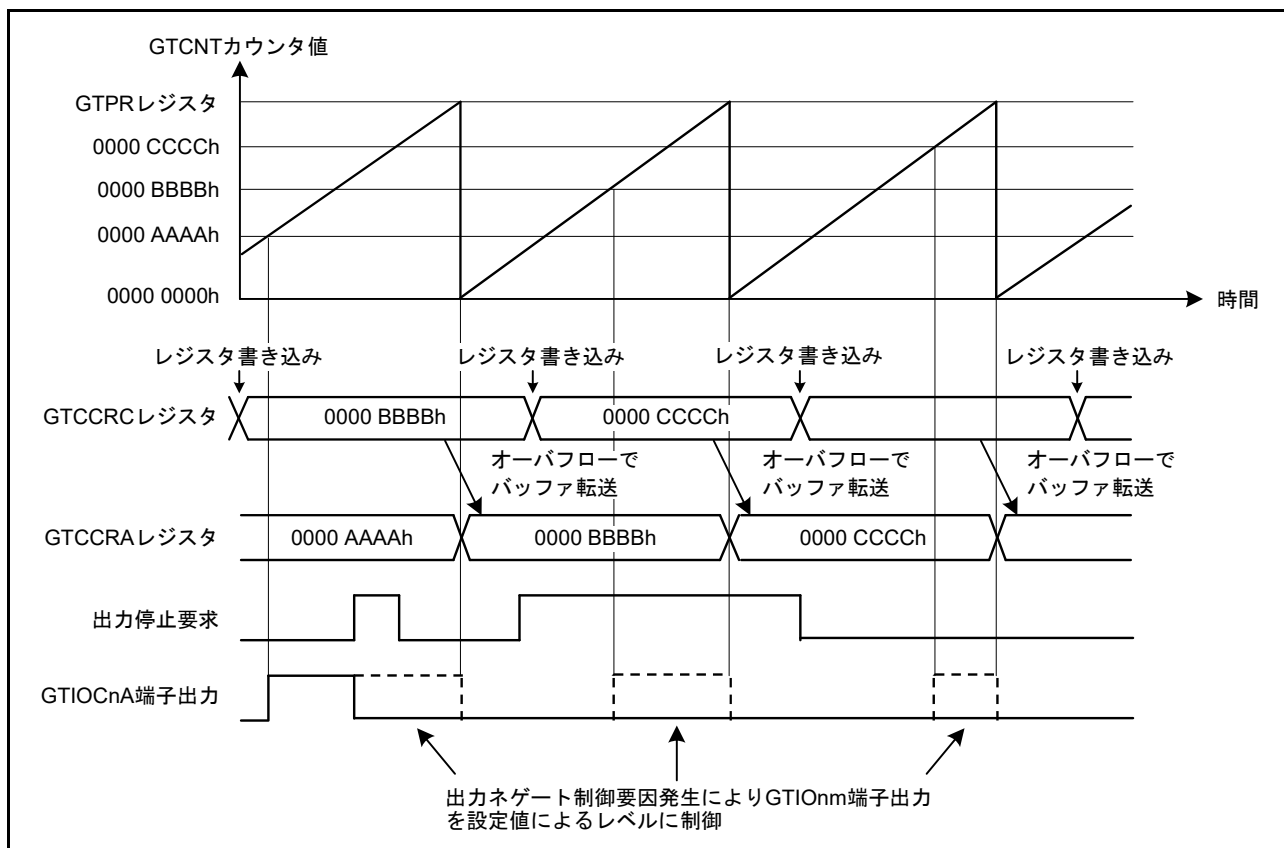


図 22.166 GTIOCnm 端子出力の出力ネゲート制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベルは High (GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力)、出力ネゲート時に Low 出力) (n = 0 ~ 7、m = A, B)

22.9 出力端子の初期化方法

22.9.1 リセット後の端子設定

GPTW のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE, OBE ビットの設定によって、GPTW が外部端子に出力する初期設定を行った後、カウント動作を開始してください。

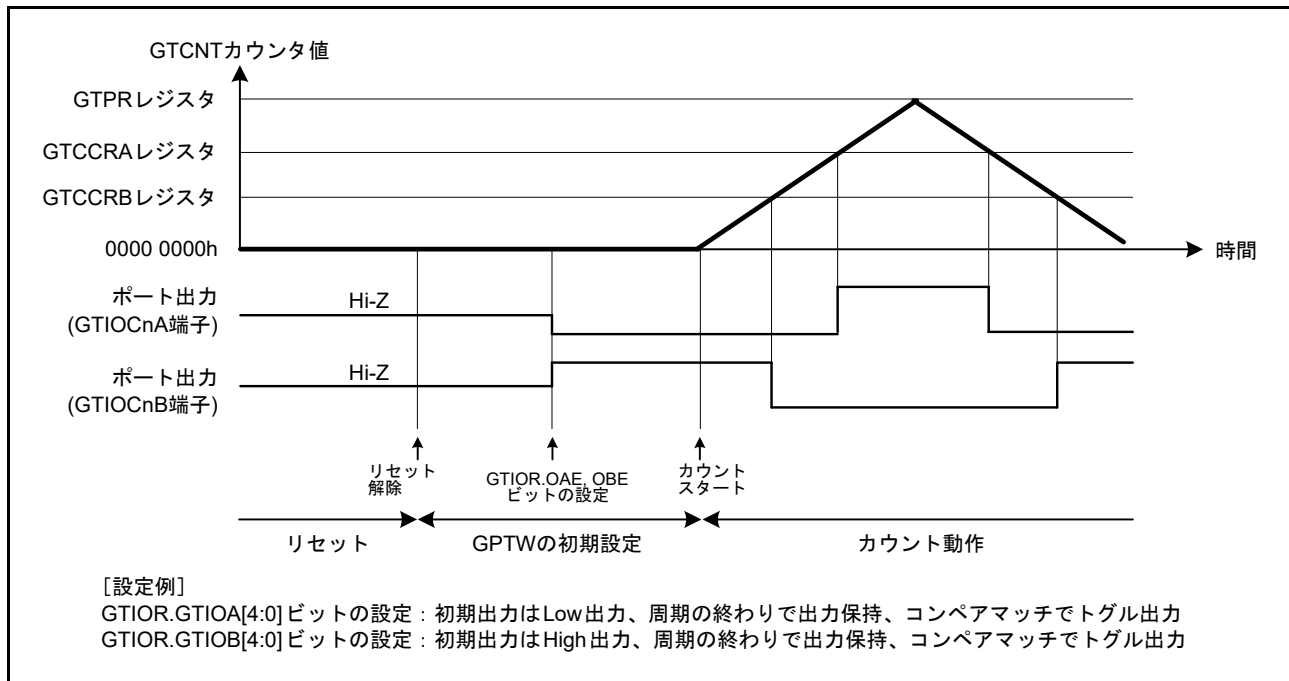


図 22.167 リセット後の端子設定例 (n = 0 ~ 7)

22.9.2 動作中の異常などによる端子の初期化

GPTW の動作中に異常などが発生して端子を初期化するまでの端子処理として、下記の方法があります。

- (1) GTIOR.OAHL, OBHL ビットを“1”にしておき、カウントストップ時に出力を保持
- (2) OAHL, OBHL ビットを“0”にし、GTIOR.OADFLT, OBDFLT ビットに任意の出力値を設定しておき、カウントストップ時に任意の値を出力
- (3) あらかじめ I/O ポートの PDR, PODR レジスタと PMR レジスタで汎用出力ポート時に任意の値を出力する設定をしておき、異常発生時に GTIOR.OAE, OBE ビットを“0”に、PMR レジスタの当該端子の制御ビットを“0”にして、端子を汎用出力ポートとして任意の値を出力
- (4) POEG 機能を使用し、出力をハイインピーダンス化

デッドタイムの自動設定を行っている場合は、カウントストップ後に GTDTCR.TDE ビットをいったん“0”にしてください。

カウントストップ時、GPTW 以外の外部要因によって変化するレジスタ以外は変化しません。カウント動作を再開すれば継続して動作します。

カウント動作をストップした場合は、各レジスタを初期化してからカウント動作を再開してください。

22.10 使用上の注意事項

22.10.1 モジュールストップ機能の設定

GPTW は、モジュールストップコントロールレジスタにより、GPTW の動作禁止 / 許可を設定することが可能です。リセット後、GPTW は動作を停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

22.10.2 コンペアマッチ動作時の GTCCRm レジスタの設定 (m = A ~ F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行っている場合

GTCCRA レジスタは、
GTCCRA レジスタ > GTDVU レジスタ
GTCCRA レジスタ < GTPR レジスタ
を満たすように設定してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行っていない場合

GTCCRA レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRA レジスタに“0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRA レジスタ = 0000 0000h もしくは GTCCRA レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRA レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRB レジスタに“0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRB レジスタ = 0000 0000h もしくは GTCCRB レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRB レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合

GTCCRC, GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はデッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：
GTCCRC レジスタ < GTCCRD レジスタ
GTCCRC レジスタ > GTDVU レジスタ
GTCCRD レジスタ < GTPR レジスタ - GTDVU レジスタ
- ダウンカウント時：
GTCCRC レジスタ > GTCCRD レジスタ
GTCCRC レジスタ < GTPR レジスタ - GTDVU レジスタ
GTCCRD レジスタ > GTDVU レジスタ

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っていない場合

GTCCRC, GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合は、コンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < \text{GTCCRC レジスタ} < \text{GTCCRD レジスタ} < \text{GTPR レジスタ}$
- ダウンカウント時： $\text{GTPR レジスタ} > \text{GTCCRC レジスタ} > \text{GTCCRD レジスタ} > 0$

同様に、GTCCRE, GTCCRF レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はコンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < \text{GTCCRE レジスタ} < \text{GTCCRF レジスタ} < \text{GTPR レジスタ}$
- ダウンカウント時： $\text{GTPR レジスタ} > \text{GTCCRE レジスタ} > \text{GTCCRF レジスタ} > 0$

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタには、“0000 0001h”以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRA レジスタに“0000 0000h”もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRA レジスタ = 0000 0000h もしくは GTCCRA レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRA レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタには、“0000 0001h”以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRB レジスタに“0000 0000h”もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRB レジスタ = 0000 0000h もしくは GTCCRB レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRB レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

(6) 相補 PWM モード 1、2、3 の場合

GTCCRn レジスタには、“0000 0000h”以上、(GTPR レジスタ + GTDVU レジスタ)以下の値を設定してください。

(7) 相補 PWM モード 4 の場合

シングルバッファ動作時、GTCCRn レジスタには、“0000 0000h”以上、(GTPR レジスタ + GTDVU レジスタ)以下の値を設定してください。

ダブルバッファ動作時、GTCCRn レジスタには、GTDVU レジスタよりも大きく、GTPR レジスタより小さい値を設定してください。

22.10.3 相補 PWM モード中の GTPBR、GTPDBR レジスタの設定範囲

相補 PWM モード 1、3、4 で山区間の終わりで GTPR レジスタのバッファ転送が発生する場合、転送後の GTPR レジスタが、下記の範囲になるように GTPBR, GTPDBR レジスタを設定してください。

山区間の終わりのマスタチャネルの GTCNT カウンタ (転送前の GTPR レジスタ - GTDVU レジスタ) より小さくならない範囲 (GTPBR レジスタ \geq GTPR レジスタ - GTDVU レジスタ、GTPDBR レジスタ \geq GTPR レジスタ - GTDVU レジスタ)。

谷区間の終わりかカウンタクリアで GTPR レジスタをバッファ転送する場合、GTPBR, GTPDBR レジスタの設定範囲に制限はありません。

22.10.4 GTCNT カウンタ値の設定範囲

のこぎり波 PWM モード2 および相補 PWM モード以外の動作モードの場合、GTCNT カウンタは、 $0 \leq \text{GTCNT カウンタ} \leq \text{GTPR レジスタ}$ の範囲内に設定してください。

22.10.5 GTCNT カウンタのスタート/ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート/ストップの制御は、GTCR.TPCS[3:0] ビットで選択されたカウントクロックに同期しています。CST ビットが更新されてから TPCS[3:0] ビットで選択されたカウントクロック後に、GTCNT カウンタはスタート/ストップするので、実際に GTCNT カウンタがスタートするまでのイベントは無視され、CST ビットが“0”になったあとにイベントを受け付けたり、割り込みが発生する場合があります。

22.10.6 イベントの優先順序

(1) GTCNT カウンタ

GTCNT カウンタを更新するイベントの優先順序を示します。

表22.33 GTCNTカウンタ更新の優先順序

GTCNTカウンタの更新要因	優先順序
CPU書き込み(GTCNTカウンタ書き込み/GTCLRレジスタ書き込み)	高 ↑ ↓ 低
GTCSRレジスタで設定されたハードウェア要因によるクリア	
GTUPSR, GTDNSRレジスタで設定されたハードウェア要因によるカウントアップ/カウントダウン	
カウント動作	

GTUPSR レジスタによるカウントアップと GTDNSR レジスタによるカウントダウンが競合した場合は、カウンタの値は更新されません。

GTCNT カウンタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(2) GTCR.CST ビット

GTSSR, GTPSR レジスタで設定されたハードウェア要因によるスタート/ストップと CPU 書き込み(GTCR レジスタ書き込み/GTSTR レジスタ書き込み/GTSTP レジスタ書き込み)が競合した場合、CPU 書き込みが優先されます。

GTSSR レジスタで設定されたハードウェア要因によるスタートと GTPSR レジスタで設定されたハードウェア要因によるストップが競合した場合は、CST ビットの状態は変わりません。

CST ビットの更新と CPU 読み出し(GTCR レジスタ読み出し/GTSTR レジスタ読み出し/GTSTP レジスタ読み出し)が競合した場合、更新前のデータが読めます。

(3) GTCCRm レジスタ (m = A ~ F)

GTCCRm レジスタへの書き込みとインプットキャプチャ/バッファ転送が競合した場合、インプットキャプチャ/バッファ転送より GTCCRm レジスタへの書き込みが優先されます。

インプットキャプチャとカウンタへの CPU 書き込みまたはハードウェア要因によるカウンタの更新が競合した場合、更新前のカウンタの値がキャプチャされます。

GTCCRm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(4) GTPR レジスタ

バッファ転送と GTPR レジスタへの書き込みが競合した場合、バッファ転送より GTPR レジスタへの書き込みが優先されます。

GTPR レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(5) GTADTRm レジスタ (m = A, B)

バッファ転送と GTADTRm レジスタへの書き込みが競合した場合、バッファ転送より GTADTRm レジスタへの書き込みが優先されます。

GTADTRm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(6) GTDVU レジスタ

バッファ転送と GTDVU レジスタへの書き込みが競合した場合、バッファ転送より GTDVU レジスタへの書き込みが優先されます。

GTDVU レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(7) GTIOR.GTIOm ビット (m = A, B)

バッファ転送と GTIOR.GTIOm ビットへの書き込みが競合した場合、バッファ転送より GTIOR.GTIOm ビットへの書き込みが優先されます。

GTIOR.GTIOm ビットの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

22.10.7 相補 PWM モード動作中のカウンタクリアに関する注意事項

相補 PWM モード動作中にカウンタクリアをする場合、谷区間の終わり (初期出力区間の終わりを含む) でカウンタクリアは禁止です。

相補 PWM モードでカウンタクリアをする場合、「22.3.8.3 チャネル間連携による同期クリア動作」で説明しているコンペアマッチ要因による同期クリアを使用することで、他のチャネルのコンペアマッチ設定により初期出力区間および谷区間の終わりでのカウンタクリアを回避することが可能です。その他のカウンタクリアを使用する場合、谷区間の終わり (初期出力区間の終わりを含む) でカウンタクリアが発生しないようにタイミングを調整してください。

22.10.8 相補 PWM モードで同期クリア後の PWM 初期出力を抑止する際の注意事項

GTIOR.CPSCIR ビット = 1 に設定し、相補 PWM モードの谷区間での同期クリア後の GTIOCnA、GTIOCnB 端子の初期出力抑止を有効にする場合、コンペアマッチレジスタ (GTCCRA, GTCCRC, GTCCRD, GTCCRE, GTCCRF) の設定値は GTDVU レジスタの 2 倍より大きな値に設定してください。

23. GPTW 用ポートアウトプットイネーブル (POEGc)

23.1 概要

POEG は汎用 PWM タイマ (GPTW) に対し、出力端子の出力停止要求を発行します。停止させる出力端子の組み合わせはどのチャンネルからでも指定することができます。出力停止の検出方法は以下から選択します。

- GTETR_{Gx} 端子 (x = A ~ D) の入力レベル検出
- GPTW による出力停止条件検出
- コンパレータによる検出 (エッジ検出)
- メインクロック発振停止検出回路からの発振停止検出
- レジスタ設定

GTETR_{Gx} 端子は、GPTW への外部トリガ入力端子としても使用可能です。

表 23.1 に POEG の仕様、図 23.1 に POEG 周辺のシステムブロック図、図 23.2 に POEG のブロック図、表 23.2 に入力端子を示します。

表 23.1 POEG の仕様 (x = A ~ D)

項目	内容
GTETR _{Gx} 端子の入力レベル検出による停止要求	<ul style="list-style-type: none"> • GTETR_{Gx}端子の入力レベル検出によって、POEG_{Gx}.PIDF フラグが“1”になると、GPTWに出力停止要求を発行
GPTWからの出力停止条件検出信号による停止要求	<ul style="list-style-type: none"> • GPTWがGTIOCAとGTIOCB端子の同時アクティブレベル(Highレベル、Lowレベル)を検出し、POEG_{Gx}.IOCF フラグが“1”になると、GPTWに出力停止要求を発行
コンパレータからの検出信号による停止要求	<ul style="list-style-type: none"> • COMP_nエッジ検出信号によって、POEG_{Gx}.IOCF フラグが“1”になると、GPTWに出力停止要求を発行
発振停止検出による停止要求	<ul style="list-style-type: none"> • メインクロック用発振停止検出回路が発振停止を検出し、POEG_{Gx}.OSTPF フラグが“1”になると、GPTWに出力停止要求を発行
ソフトウェアによる停止要求	<ul style="list-style-type: none"> • ソフトウェアでPOEG_{Gx}.SSF ビットを“1”にすることによって、GPTWに出力停止要求を発行
割り込み	<ul style="list-style-type: none"> • POEG_{Gx}.PIDF フラグによる停止要求で割り込みを発生 • POEG_{Gx}.IOCF フラグによる停止要求で割り込みを発生
GPTWに対する外部トリガ出力	<ul style="list-style-type: none"> • GTETR_{Gx}端子からの入力信号をGPTWへ外部トリガとして出力
ノイズ除去	<ul style="list-style-type: none"> • GTETR_{Gx}端子にデジタルノイズフィルタを内蔵 • 4種類のサンプリングクロックを選択可能

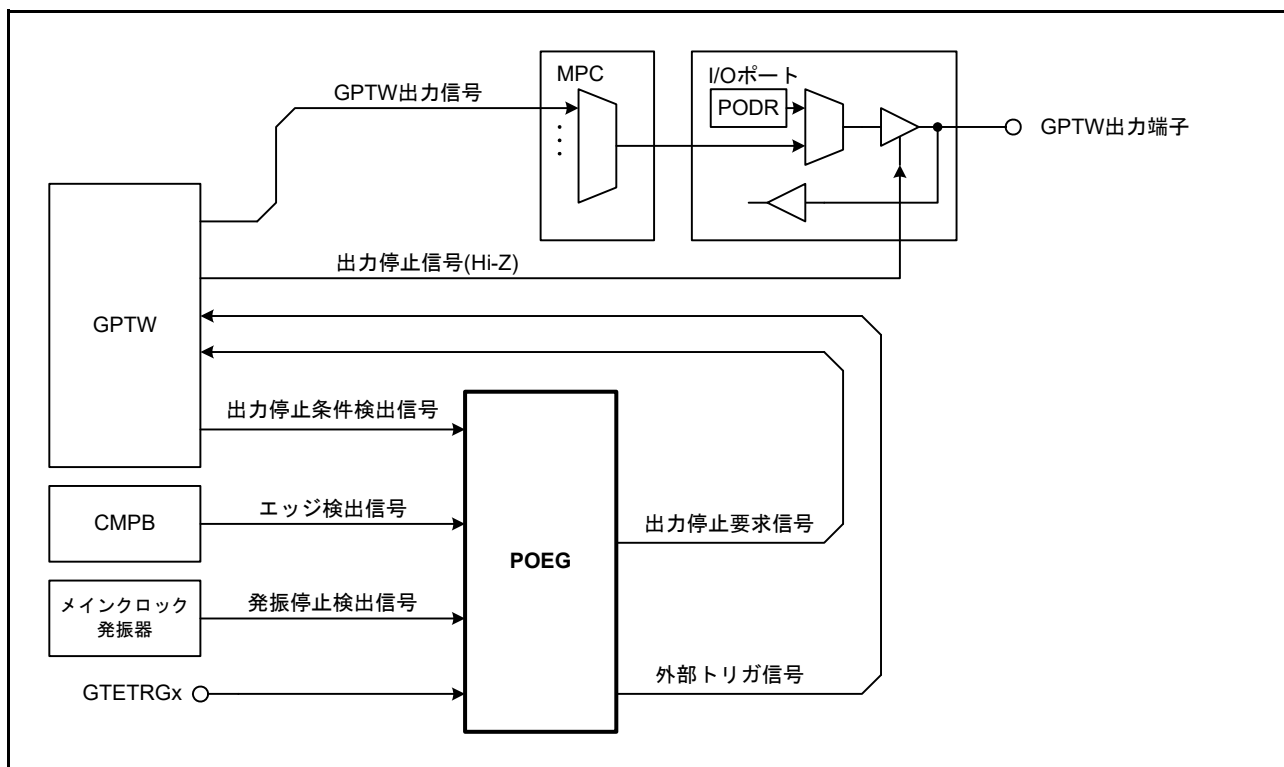


図 23.1 POEG システムブロック図

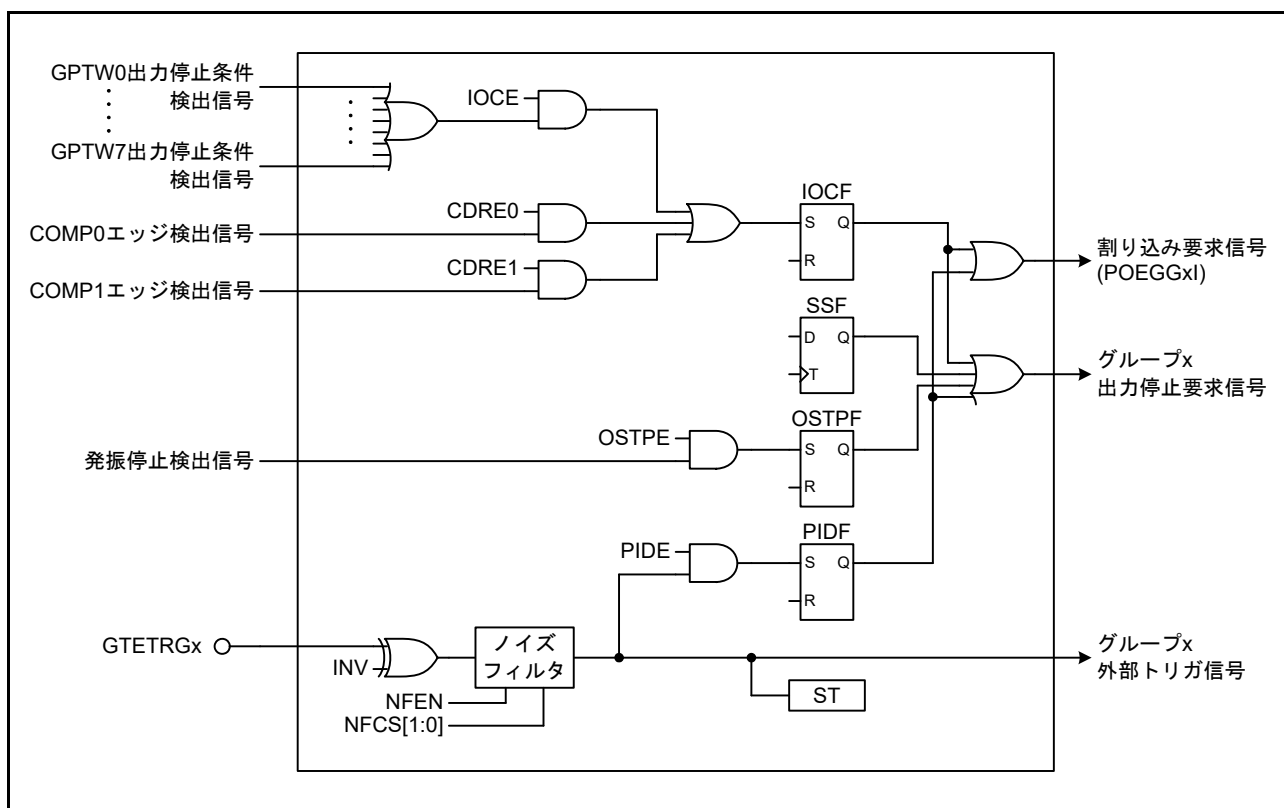


図 23.2 POEG のブロック図 (x = A ~ D)

表 23.2 POEGの入出力端子

端子名	入出力	機能
GTETRGA	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガの入力端子A
GTETRGB	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガの入力端子B
GTETRGC	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガの入力端子C
GTETRGD	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガの入力端子D

23.2 レジスタの説明

23.2.1 POEGグループx設定レジスタ(POEGGx)(x=A~D)

アドレス POEG.POEGGA 0009 E000h, POEG.POEGGB 0009 E100h, POEG.POEGGC 0009 E200h,
POEG.POEGGD 0009 E300h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]	NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0: GTETRGr信号による出力停止要求なし 1: GTETRGr信号による出力停止要求あり	R/W (注1)
b1	IOCF	GPTW/CMPB出力停止条件検出フラグ	0: GPTWの出力停止条件検出信号またはCOMPnエッジ検出信号による出力停止要求なし 1: GPTWの出力停止条件検出信号またはCOMPnエッジ検出信号による出力停止要求あり	R/W (注1)
b2	OSTPF	発振停止検出フラグ	0: 発振停止による出力停止要求なし 1: 発振停止による出力停止要求あり	R/W (注1)
b3	SSF	ソフトウェア出力停止要求ビット	0: ソフトウェアによる出力停止要求を発行しない 1: ソフトウェアによる出力停止要求を発行する	R/W
b4	PIDE	ポート入力信号許可ビット	0: GTETRGr信号による出力停止要求を禁止 1: GTETRGr信号による出力停止要求を許可	R/W (注2)
b5	IOCE	GPTW出力停止条件検出信号許可ビット	0: GPTWの出力停止条件検出信号による出力停止要求を禁止 1: GPTWの出力停止条件検出信号による出力停止要求を許可	R/W (注2)
b6	OSTPE	発振停止検出信号許可ビット	0: 発振停止検出信号による出力停止要求を禁止 1: 発振停止検出信号による出力停止要求を許可	R/W (注2)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CDRE0	COMP0エッジ検出信号許可ビット	0: COMP0エッジ検出信号による出力停止要求を禁止 1: COMP0エッジ検出信号による出力停止要求を許可	R/W (注2)
b9	CDRE1	COMP1エッジ検出信号許可ビット	0: COMP1エッジ検出信号による出力停止要求を禁止 1: COMP1エッジ検出信号による出力停止要求を許可	R/W (注2)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	ST	GTETRGr信号ステータスフラグ	0: GPTWに出力しているGTETRGr信号はLow 1: GPTWに出力しているGTETRGr信号はHigh	R
b27-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	INV	GTETRGr入力反転ビット	0: GTETRGr端子からの入力信号を反転しない 1: GTETRGr端子からの入力信号を反転する	R/W
b29	NFEN	ノイズフィルタ許可ビット	0: GTETRGr端子のデジタルノイズフィルタを禁止 1: GTETRGr端子のデジタルノイズフィルタを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択ビット	b31 b30 0 0 : GTETR _{Gx} 端子からの入力信号をPCLKB/1クロックごとにサンプリングする 0 1 : GTETR _{Gx} 端子からの入力信号をPCLKB/8クロックごとにサンプリングする 1 0 : GTETR _{Gx} 端子からの入力信号をPCLKB/32クロックごとにサンプリングする 1 1 : GTETR _{Gx} 端子からの入力信号をPCLKB/128クロックごとにサンプリングする	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

注2. リセット後、1回のみ書き込み可能です。

POEGG_x レジスタは、各種検出信号を元に、GPTW に対して出力停止要求や外部トリガを制御するレジスタです。

SSF ビット (ソフトウェア出力停止要求ビット)

本ビットに“1”を書くと、GPTW に対し出力停止要求を発行し、“0”を書くと出力停止要求を解除します。

23.3 動作説明

POEGにはA～Dの4つのグループがあり、各グループの動作はすべて同じで、それぞれ独立して動作します。

GPTWの各チャネルの出力信号はPOEGのすべてのグループに接続されており、POEGの各グループの出力信号はGPTWのすべてのチャネルに接続されています。GPTWのチャネルをどのグループで制御するかは、GPTWのレジスタで設定します。

23.3.1 GTETR_{Gx} 端子 (x = A ~ D) の入力レベル検出による出力停止要求

GTETR_{Gx} 端子による出力停止要求は、POEG_{Gx}.PIDF フラグにより行われます。

POEG_{Gx}.PIDE ビットが“1”のとき、POEG_{Gx}.NFCS[1:0] ビット、NFEN ビット、および INV ビットで設定されたレベルが検出されると、PIDF フラグが“1”になり、GPTWの全チャネルに出力停止要求が発行されます。

出力停止要求の解除はPIDFフラグのクリアで行います。詳細は、「23.3.6.2 POEG_{Gx} レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

23.3.1.1 デジタルノイズフィルタ

GTETR_{Gx} 端子 (x = A ~ D) には、デジタルノイズフィルタ機能があります。図 23.3 にデジタルノイズフィルタの動作例を示します。この例は、POEG_{Gx}.INV ビット = 0 (反転しない = High 検出)、NFEN ビット = 1 (ノイズフィルタ許可) の場合です。

POEG_{Gx}.NFCS[1:0] ビットで選択したサンプリングクロックで GTETR_{Gx} 端子のレベルをサンプリングし、3回連続で High が検出されると、High が入力されたと判断し、GPTW に出力停止要求を発行します。

このとき、一度でも Low を検出した場合は High が入力されたと判断されません。なお、サンプリングタイミングとサンプリングタイミングの間で起こった GTETR_{Gx} 端子のレベル変化は無視されます。

デジタルノイズフィルタの出力は、POEG_{Gx}.PIDF フラグによる出力停止要求、および GPTW に出力する外部トリガの両方に使用されます。

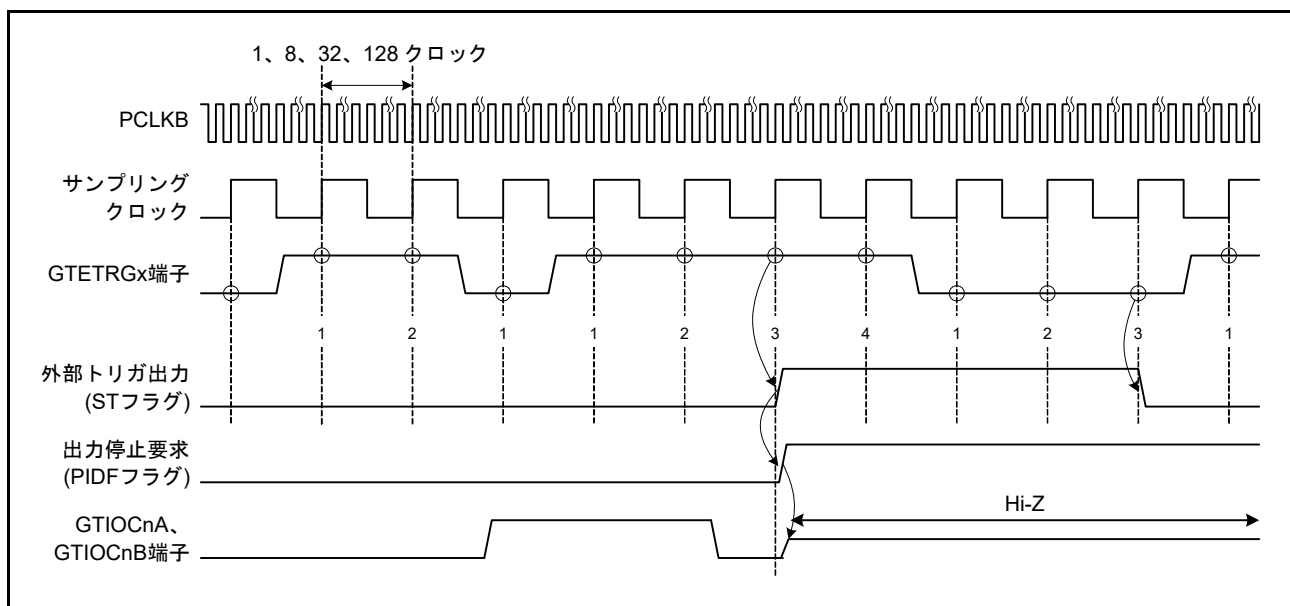


図 23.3 デジタルノイズフィルタの動作例 (x = A ~ D)

23.3.2 GPTW の出力停止条件検出信号による出力停止要求

POEGGx.IOCE ビットが“1”のとき、GPTW が同時 High 出力、同時 Low 出力のいずれかを検出すると、IOCF フラグが“1”になり、GPTW の全チャンネルに出力停止要求が発行されます。IOCF フラグは、COMPn エッジ検出による出力停止要求と兼用になっています。

出力停止要求の解除は IOCF フラグのクリアで行います。詳細は、「23.3.6.2 POEGGx レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

GPTW で同時 High 出力、および同時 Low 出力を検出するには、それぞれ GPTWn.GTINTAD.GRPABH、GRPABL ビットを“1”にする必要があります。また、GPTW の各チャンネルで生成された出力停止条件検出信号は、GPTWn.GTINTAD.GRP[1:0] ビットで選択した POEG グループにのみ出力されます。詳細は、「22.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)」を参照してください。

23.3.3 コンパレータの検出信号による出力停止要求

コンパレータによる出力停止要求は、COMPn エッジ検出信号によって POEGGx.IOCF フラグ (x = A ~ D) 経由で行われます。

POEGGx.CDREn ビットが“1”のとき、COMPn エッジ検出信号が“1”になると、IOCF フラグが“1”になり、GPTW の全チャンネルに出力停止要求が発行されます。IOCF フラグは、GPTW による出力停止要求と兼用になっています。

出力停止要求の解除は IOCF フラグのクリアで行います。詳細は、「23.3.6.2 POEGGx レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

23.3.4 発振停止検出信号による出力停止要求

POEGGx.OSTPE ビットが“1”のとき、クロック発生回路内にある発振停止検出回路がメインクロックの発振停止を検出すると、OSTPF フラグが“1”になり、GPTW の全チャンネルに出力停止要求が発行されます。

出力停止要求の解除は OSTPF フラグのクリアで行います。詳細は、「23.3.6.2 POEGGx レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

23.3.5 レジスタによる出力停止要求

POEGGx.SSF ビットを“1”にすると、GPTW の全チャンネルに出力停止要求が発行されます。

出力停止要求の解除は SSF ビットを“0”にすることで行います。詳細は、「23.3.6.2 POEGGx レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

23.3.6 出力停止要求の解除

出力停止要求の解除方法には、以下の2通りの方法があります。

- リセット (初期状態に復帰)
- POEGGxレジスタのフラグのクリア

23.3.6.1 リセットによる出力停止要求の解除

すべてのリセットで出力停止要求を解除することができます。リセットに関する詳細は、「6. リセット」を参照してください。

23.3.6.2 POEGGxレジスタのフラグクリアによる出力停止要求の解除

下記フラグ/ビットの内、“1”になっているフラグ/ビットをすべて“0”にすると、出力停止要求が解除されます。

- POEGGx.PIDF フラグ
- POEGGx.IOCF フラグ
- POEGGx.OSTPF フラグ
- POEGGx.SSF ビット

出力停止要求が解除されると、GPTWは次のPWM周期の終了タイミングでこの信号を取り込み、最短で3 PCLKA後からPWM出力の停止状態を解除します。図 23.4 に、出力停止状態の解除タイミングを示します。

フラグをクリアするときは、そのフラグを“1”にした入力信号が“0”になっていることを確認してから、“0”を書いてください。入力信号が“1”のときにフラグに“0”を書いても、フラグはクリアされません。COMPnエッジ検出信号は、要因を検出した直後のみ入力信号が“1”になり、その後は“0”に戻るため、いつ“0”を書いてもフラグがクリアされます。

入力信号の状態は下記のステータスフラグで確認できます。

- GTETR_{Gx} 端子入力信号： POEGG_x.ST フラグ (GTETR_{Gx} 信号ステータスフラグ)
- 出力停止条件検出信号： GPTW_n.GTST.OABHF フラグ (同時High出力フラグ)
GPTW_n.GTST.OABLF フラグ (同時Low出力フラグ)
- 発振停止検出信号： OSTDSR.OSTDF フラグ (発振停止検出フラグ)

また、エッジを検出する前のコンパレータの比較結果の状態は下記のステータスフラグで確認できます。

- コンパレータ比較結果： CMPB.CPBFLG.CPB0OUT フラグ (コンパレータB0モニタフラグ)
CMPB.CPBFLG.CPB1OUT フラグ (コンパレータB1モニタフラグ)

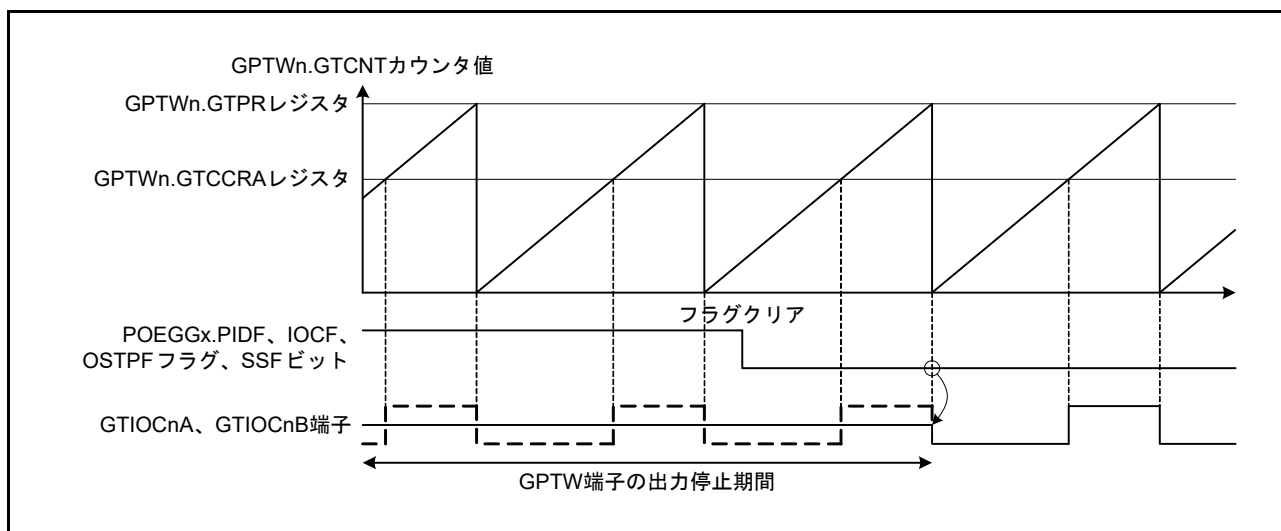


図 23.4 出力停止要求の解除による GPTW 端子の出力停止解除タイミング

23.4 割り込み要因

POEG には、グループごとに下記の割り込み要因があります。

- GTETR_{Gx} 端子の入力レベル検出 (x = A ~ D)
- GPTW からの出力停止条件検出信号の検出
- COMP_n エッジ検出信号の検出 (n = 0, 1)

表 23.3 に、割り込み要因の一覧を示します。

表 23.3 割り込み要因

割り込み名称	シンボル	対応するフラグ	割り込み要因
グループA割り込み	POEGGAI	POEGGA.PIDF	GTETRGA 端子からの入力信号
		POEGGA.IOCF	GPTWからの出力停止条件検出信号
			COMP _n エッジ検出信号
グループB割り込み	POEGGBI	POEGGB.PIDF	GTETRGB 端子からの入力信号
		POEGGB.IOCF	GPTWからの出力停止条件検出信号
			COMP _n エッジ検出信号
グループC割り込み	POEGGCI	POEGGC.PIDF	GTETRGC 端子からの入力信号
		POEGGC.IOCF	GPTWからの出力停止条件検出信号
			COMP _n エッジ検出信号
グループD割り込み	POEGGDI	POEGGD.PIDF	GTETRGD 端子からの入力信号
		POEGGD.IOCF	GPTWからの出力停止条件検出信号
			COMP _n エッジ検出信号

23.5 GPTW に対する外部トリガ出力

POEG は、GTETRGx 端子 (x = A ~ D) からの入力信号を、極性変換、デジタルノイズフィルタを経由させて、外部トリガ信号として GPTW に出力します。外部トリガ信号は、POEGGx.ST フラグでモニタすることができます。GPTW は外部トリガ信号により、以下の動作を行うことができます。

- カウントスタート
- カウントストップ
- カウンタクリア
- カウントアップ
- カウントダウン
- インพุットキャプチャ

詳細は、「22. 汎用 PWM タイマ (GPTWa)」を参照してください。

23.6 使用上の注意事項

23.6.1 低消費電力モードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移しないでください。このモードでは POEG が停止するため、出力停止要求をすることができません。

23.6.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ A (MSTPCRA) により、POEG の動作を禁止 / 許可することが可能です。リセット解除後は、POEG の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。なお、POEG のモジュールストップビットは GPTW と兼用になっています。

23.6.3 出力停止要求の重複について

フラグ経由の出力停止要求は、POEGGx.PIDF フラグ (x = A ~ D)、IOCF フラグ、OSTPF フラグ、SSF ビットの出力の論理和になっているため、どれか一つでもフラグが“1”になっていると、出力停止要求は解除されませんので注意してください。

24. 8ビットタイマ (TMRa)

本 MCU は、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ(TMR)を2ユニット(ユニット0、ユニット1)、合計4チャンネル内蔵しています。外部イベントのカウントが可能なほか、2本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット0、ユニット1は同一機能です。また、SCIの基本クロックおよびREMC(リモコン信号受信機能)の動作クロックを生成することができます。

本章に記載しているPCLKとはPCLKBを指します。

24.1 概要

表 24.1 に TMR の仕様を、表 24.2 に TMR の機能一覧を示します。

図 24.1 にユニット0、図 24.2 にユニット1のブロック図を示します。

表 24.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> 内部クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック : 外部カウントクロック
チャンネル数	(8ビット×2チャンネル)×2ユニット
コンペアマッチ	<ul style="list-style-type: none"> 8ビットモード(コンペアマッチA、コンペアマッチB) 16ビットモード(コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> 16ビットカウントモード TMR0を上位、TMR1を下位(TMR2を上位、TMR3を下位)とする16ビットタイマ コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント(TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
イベントリンク機能(出力)	コンペアマッチA、コンペアマッチB、オーバフロー (TMR0, 2)
イベントリンク機能(入力)	イベント受付により、3種類のうち1つの動作が可能 (1) カウントスタート動作(TMR0, 2) (2) イベントカウンタ動作(TMR0, 2) (3) カウンタリスタート動作(TMR0, 2)
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
SCIの基本クロック生成	SCIの基本クロックを生成(注1)
REMC動作クロック生成	REMC(リモコン信号受信機能)の動作クロックを生成(注2)
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

注1. 詳細は「31. シリアルコミュニケーションインターフェース(SCI_k, SCI_h)」を参照してください。

注2. 詳細は「37. リモコン信号受信機能(REMC_a)」を参照してください。

表24.2 TMRの機能一覧

項目		ユニット0			ユニット1		
		8ビット		16ビット	8ビット		16ビット
カウンタモード		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
チャンネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI0	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCI3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMR10	TMR1.TCORA TMR1.TCORB TMR11	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMR10	TMR2.TCORA TMR2.TCORB TMR12	TMR3.TCORA TMR3.TCORB TMR13	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMR12
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出 力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起 動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバフ ロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバフ ロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバフ ロー	TMR0の コンペア マッチA	—	TMR3の オーバフ ロー	TMR2の コンペア マッチA	—
SCIの基本クロックの生成 (注1)		○		—	○		—
REMC動作クロック生成(注2)		○	—	—	—	—	—
ELC出力 イベント	コンペアマッチA	○	—	○	○	—	○
	コンペアマッチB	○	—	○	○	—	○
	TCNTのオーバフ ロー	○	—	○	○	—	○
ELC入力 イベント	カウントスタート	○	—	—	○	—	—
	イベントカウンタ	○	—	—	○	—	—
	カウントリスタート	○	—	—	○	—	—
モジュールストップの設定 (注3)		(ユニット0) MSTPCRA.MSTPA5ビット、(ユニット1) MSTPCRA.MSTPA4ビット					

○：可能

—：不可能

注1. 詳細は「31. シリアルコミュニケーションインタフェース(SCIk, SC1h)」を参照してください。

注2. 詳細は「37. リモコン信号受信機能(REMCA)」を参照してください。

注3. 詳細は「11. 消費電力低減機能」を参照してください。

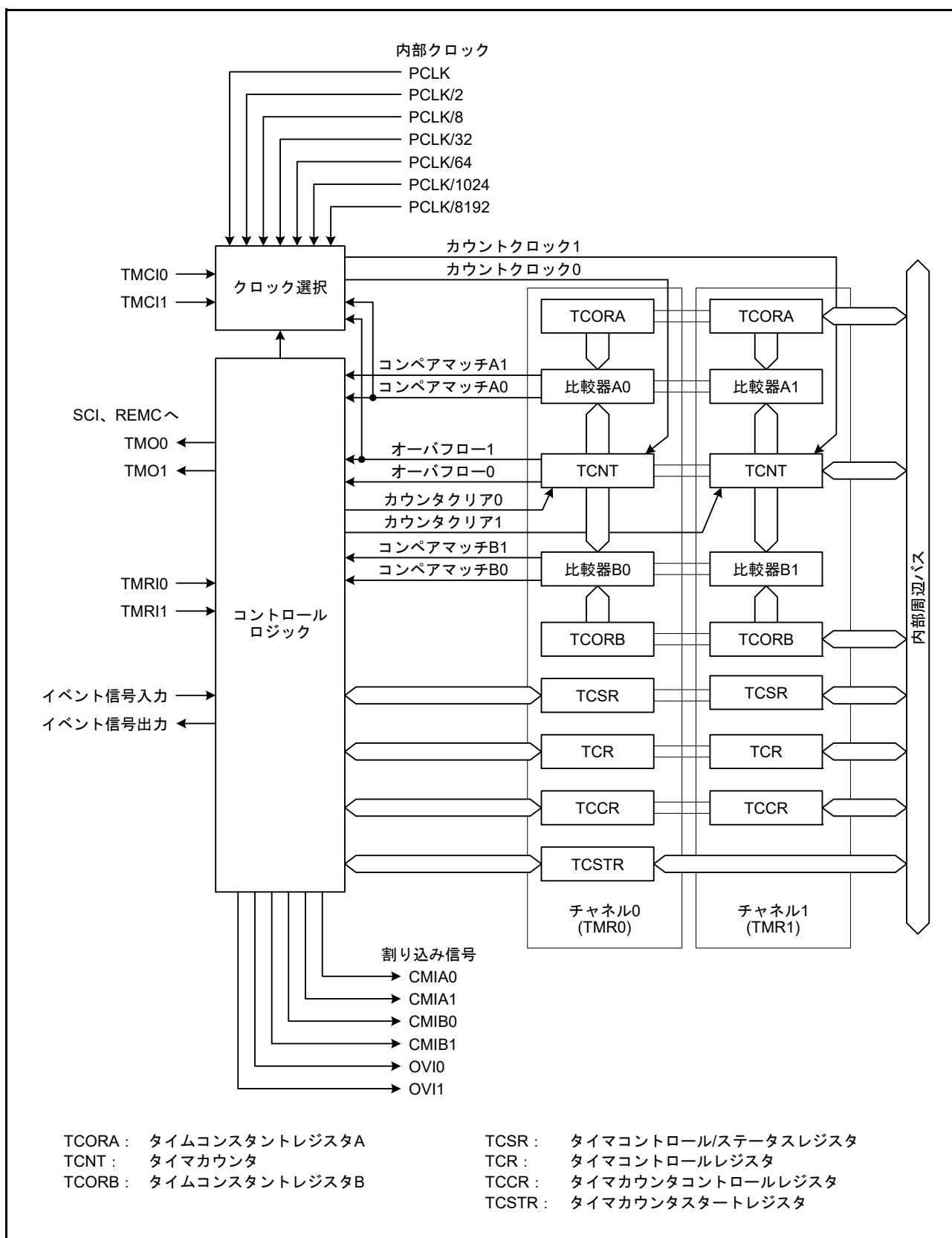


図 24.1 TMR (ユニット0) のブロック図

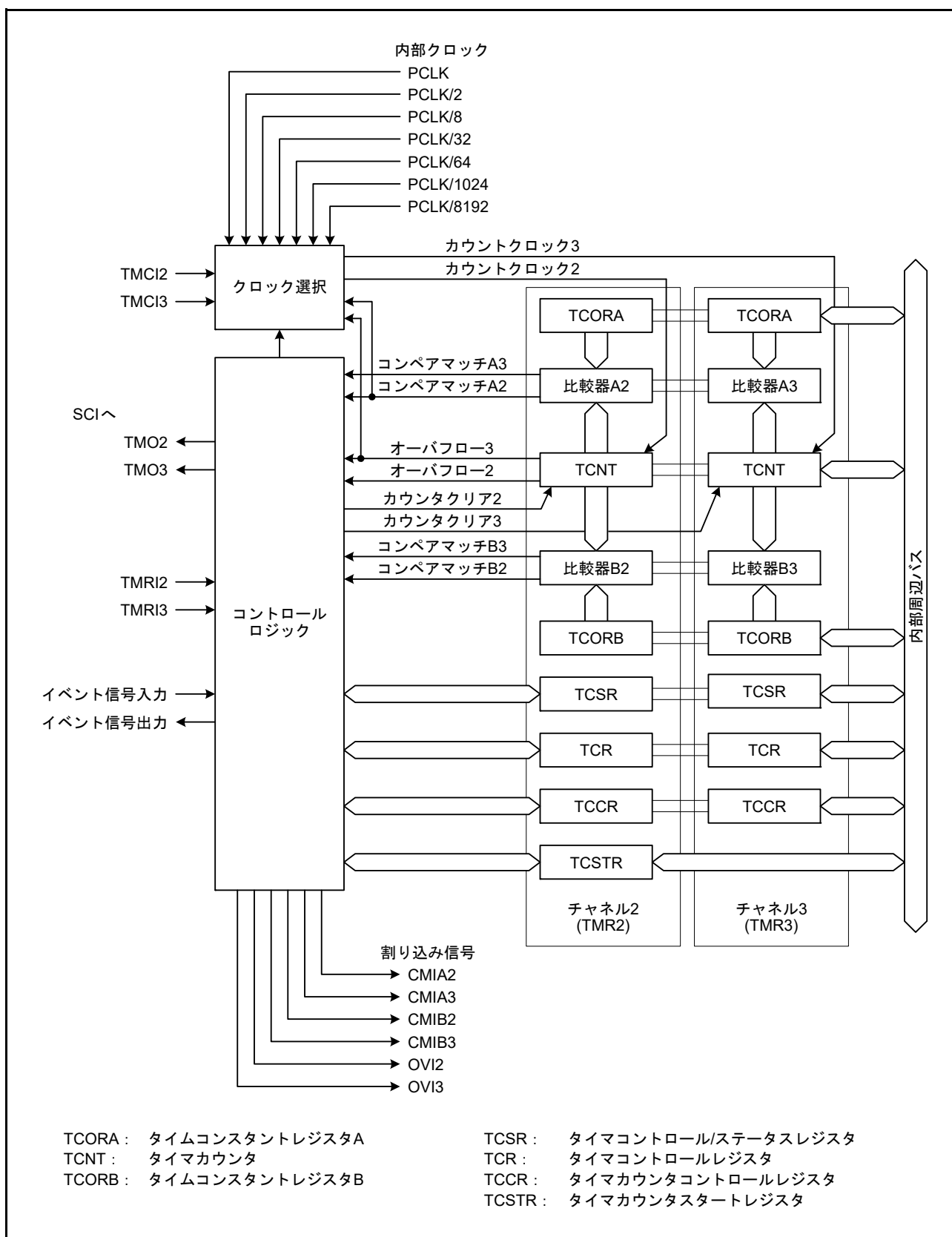


図 24.2 TMR (ユニット 1) のブロック図

表 24.3 に TMR で使用する入出力端子を示します。

表 24.3 TMRの入出力端子

ユニット	チャンネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMC10	入力	外部カウントクロック入力
		TMRI0	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMC11	入力	外部カウントクロック入力
		TMRI1	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMC12	入力	外部カウントクロック入力
		TMRI2	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMC13	入力	外部カウントクロック入力
		TMRI3	入力	外部カウンタリセット入力

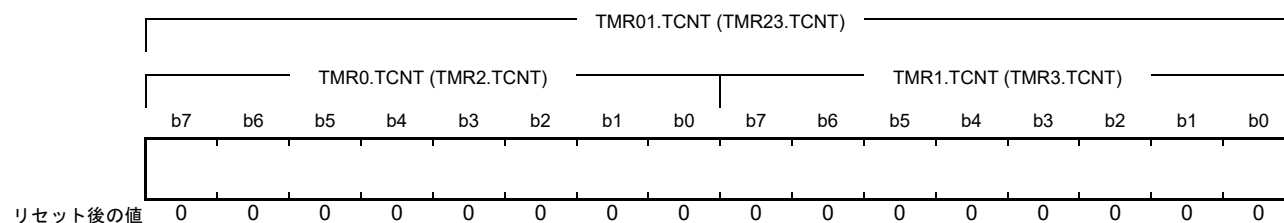
24.2 レジスタの説明

表24.4 16ビットアクセスのレジスタ配置

アドレス	レジスタ	上位8ビット	下位8ビット
0008 8208h	TMR01.TCNT	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR01.TCORA	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR01.TCORB	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR01.TCCR	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR23.TCNT	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR23.TCORA	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR23.TCORB	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR23.TCCR	TMR2.TCCR	TMR3.TCCR

24.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h,
TMR01.TCNT 0008 8208h, TMR23.TCNT 0008 8218h



TCNT カウンタは、8 ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16 ビットカウンタ (TMR01.TCNT, TMR23.TCNT) として 16 ビット単位でアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

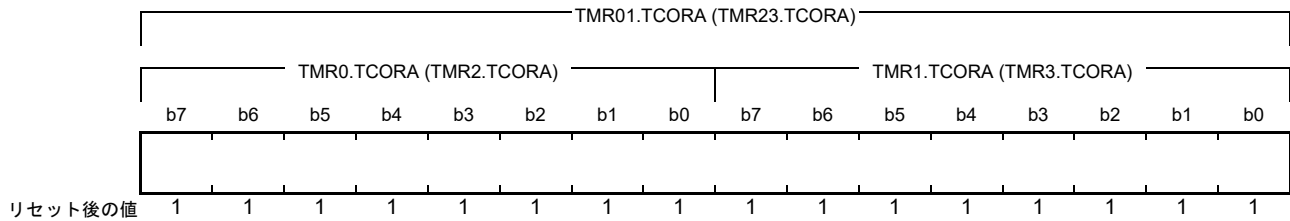
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバーフロー (“FFh”→“00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバーフロー割り込みを出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と「表 24.6 TMR の割り込み要因」を参照してください。

24.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h,
TMR01.TCORA 0008 8204h, TMR23.TCORA 0008 8214h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

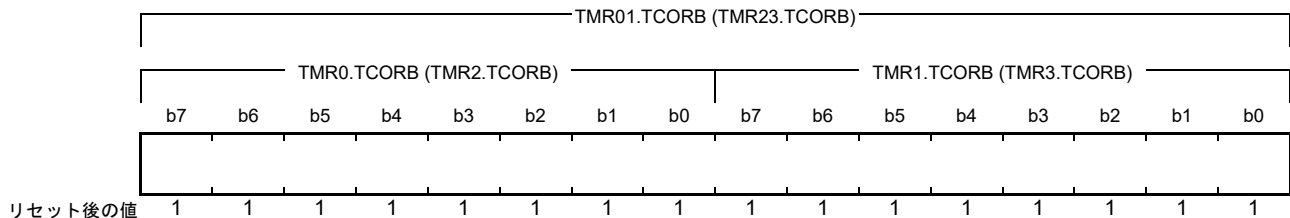
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタ (TMR01.TCORA, TMR23.TCORA) として 16 ビット単位でアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込みを出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

24.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h,
TMR01.TCORB 0008 8206h, TMR23.TCORB 0008 8216h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタ (TMR01.TCORB, TMR23.TCORB) として 16 ビット単位でアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込みを出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

24.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部カウンタリセット信号によりクリア (注1) (TCCR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	オーバフロー割り込み許可ビット	0 : オーバフローによる割り込み要求(OVIn)を禁止 1 : オーバフローによる割り込み要求(OVIn)を許可	R/W
b6	CMIEA	コンペアマッチA割り込み許可ビット	0 : コンペアマッチAによる割り込み要求(CMIAn)を禁止 1 : コンペアマッチAによる割り込み要求(CMIAn)を許可	R/W
b7	CMIEB	コンペアマッチB割り込み許可ビット	0 : コンペアマッチBによる割り込み要求(CMIBn)を禁止 1 : コンペアマッチBによる割り込み要求(CMIBn)を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNTカウンタのクリア条件を指定します。

OVIE ビット (オーバフロー割り込み許可ビット)

TCNTカウンタのオーバフローによる割り込み要求(OVIn)の許可または禁止を選択します。

CMIEA ビット (コンペアマッチA割り込み許可ビット)

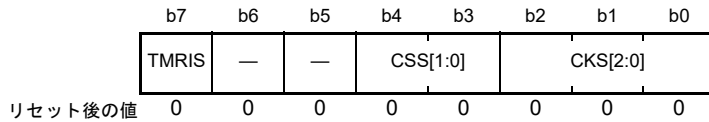
TCORAレジスタとTCNTカウンタの値が一致したときに出力されるコンペアマッチAによる割り込み要求(CMIAn)の許可または禁止を選択します。

CMIEB ビット (コンペアマッチB割り込み許可ビット)

TCORBレジスタとTCNTカウンタの値が一致したときに出力されるコンペアマッチBによる割り込み要求(CMIBn)の許可または禁止を選択します。

24.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh,
TMR01.TCCR 0008 820Ah, TMR23.TCCR 0008 821Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表24.5を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表24.5を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0 : 外部カウンタリセット信号の立ち上がりでクリア 1 : 外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

TCCR レジスタはカウンタの基本動作を設定する8ビットのレジスタです。偶数チャンネルのアドレスに対して16ビットアクセスすると、同時に2つのTCCRレジスタにアクセスできます。

CKS[2:0] ビット (クロック選択ビット)

CSS[1:0] ビット (クロックソース選択ビット)

CKS[2:0] ビットおよびCSS[1:0] ビットは、カウントクロックを選択します。詳細は、表24.5を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが“11b”(外部カウンタリセット信号によりクリア)のとき有効となり、カウンタのリセット検出条件(レベルまたはエッジ)を選択します。

表24.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCRレジスタ					機能
	CSS[1:0]		CKS[2:0]			
	b4	b3	b2	b1	b0	
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
					0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
				1	0	内部クロック：PCLK/64でカウント
					1	内部クロック：PCLK/1024でカウント
					0	内部クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT)のオーバフロー信号でカウント(注2)
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント(注1)
					0	外部カウントクロックの立ち下がりエッジでカウント(注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント(注1)
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
					0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
			1	0	内部クロック：PCLK/64でカウント	
				1	内部クロック：PCLK/1024でカウント	
				0	内部クロック：PCLK/8192でカウント	
				1	クロック入力を禁止	
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT)のコンペアマッチAでカウント(注2)

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「20. I/Oポート」、および「21. マルチファンクションピンコントローラ(MPC)」を参照してください。

注2. TMR0 (TMR2)のクロック入力をTMR1.TCNT (TMR3.TCNT)カウンタのオーバフロー信号とし、TMR1 (TMR3)のクロック入力をTMR0.TCNT (TMR2.TCNT)カウンタのコンペアマッチ信号とすると、TCNTカウンタクロックが発生しません。この設定は行わないでください。

24.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	1	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

24.2.7 タイマカウンタスタートレジスタ (TCSTR)

アドレス TMR0.TCSTR 0008 820Ch, TMR2.TCSTR 0008 821Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TCS
リセット後の値	x	x	x	x	x	x	x	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	TCS	タイマカウンタステータスビット	0: ELCによるカウント停止状態 1: ELCによるカウント開始状態	R/W
b7-b1	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

TCS ビット (タイマカウンタステータスビット)

ELC によるタイマカウンタの状態を確認できます。

読み出し値が“1”のとき、ELC によるタイマ開始状態で、“0”のとき、タイマカウンタ停止状態です。

このビットをクリアするには、“0”を書いてください。“1”の書き込みは無効です。

TCS ビットは、イベントリンクコントローラ (ELC) の ELOPD レジスタでカウントスタート動作が選択されたときのみ有効となります。

詳細は、「24.7 ELC によるリンク動作」および、「19. イベントリンクコントローラ (ELC)」を参照してください。

24.3 動作説明

24.3.1 パルス出力

任意のデューティパルスを出力させる例を図 24.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b”(コンペアマッチ A によりクリア)に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b”(High 出力)、TCSR.OSB[1:0] ビットを“01b”(Low 出力)にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介在なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

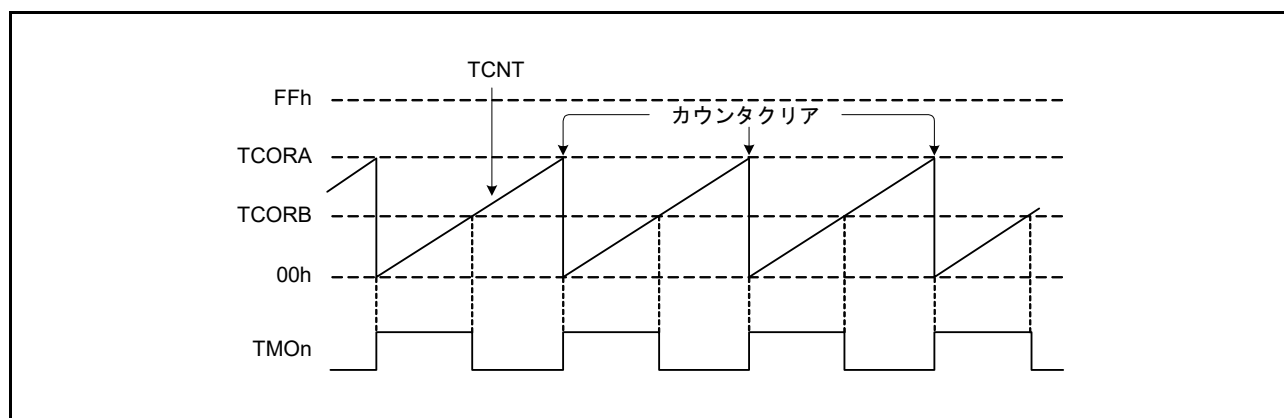


図 24.3 パルス出力例 (n = 0 ~ 3)

24.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 24.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“11b”(外部カウンタリセット信号によりクリア)にし、TCCR.TMRIS ビットを“1”(外部カウンタリセット信号の High でクリア)にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b”(High 出力)、TCSR.OSB[1:0] ビットを“01b”(Low 出力)にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB – TCORA) の波形を出力できます。

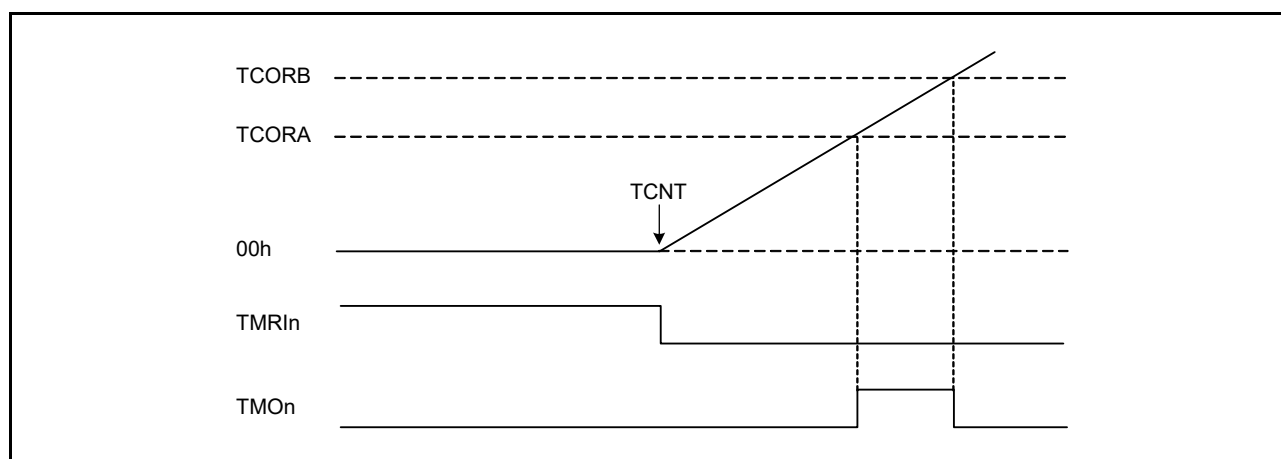


図 24.4 外部カウンタリセット信号入力例 (n = 0 ~ 3)

24.4 動作タイミング

24.4.1 TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 24.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 24.6 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

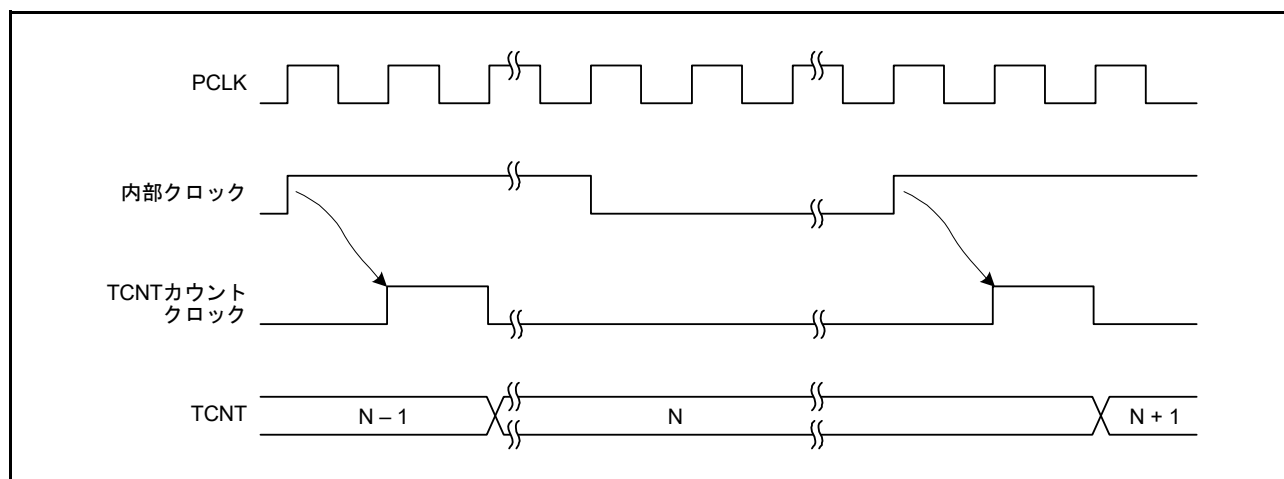


図 24.5 内部クロック動作時のカウンタタイミング

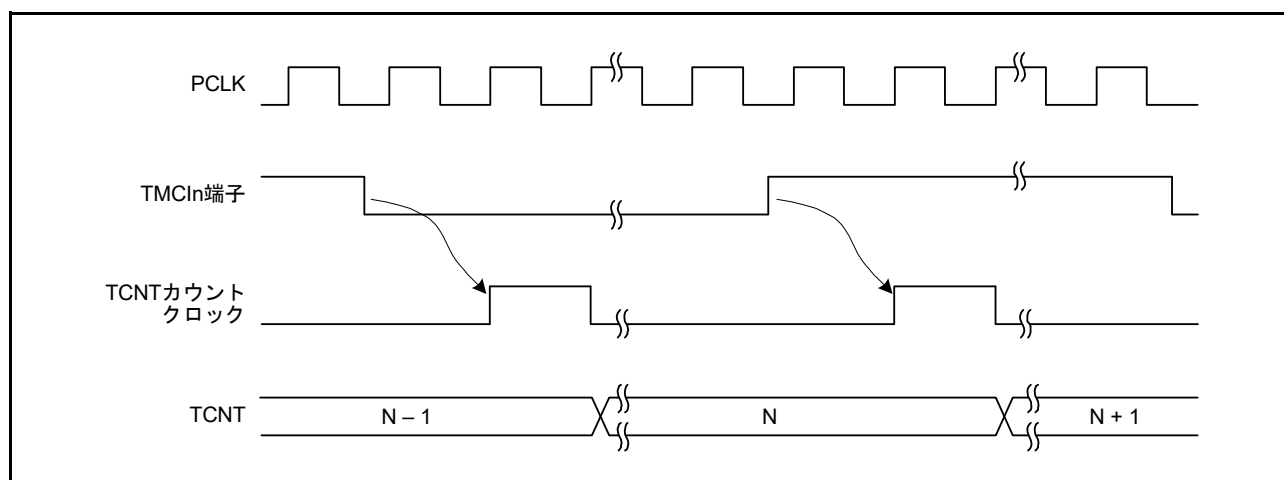


図 24.6 外部クロック動作時のカウンタタイミング (両エッジの場合)

24.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 24.7 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 24.6 を参照してください。

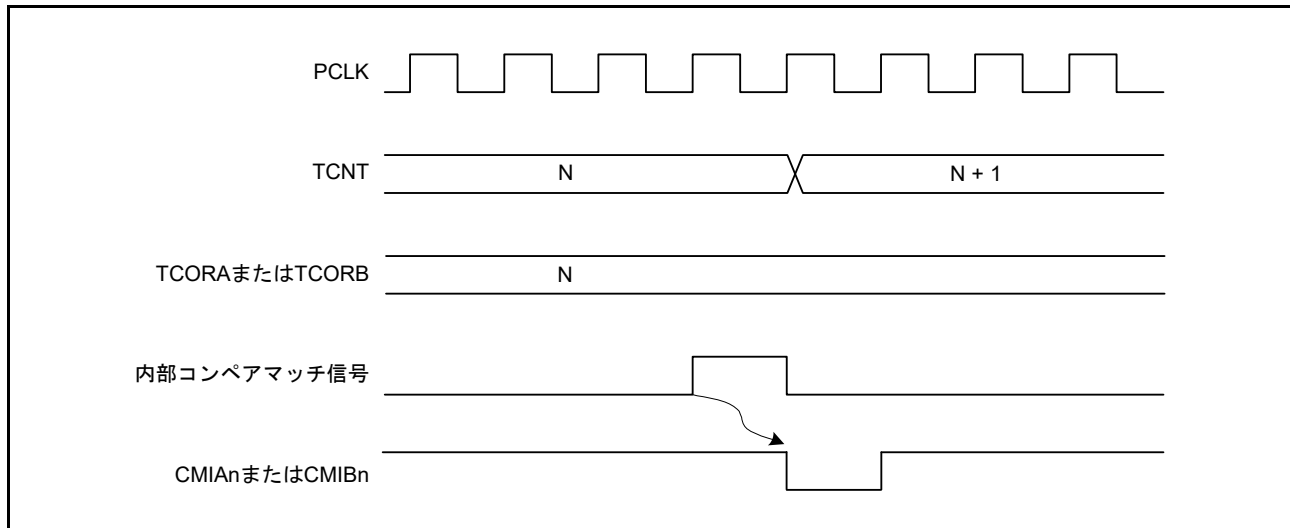


図 24.7 コンペアマッチ時の割り込みタイミング (n = 0 ~ 3)

24.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 24.8 に示します。

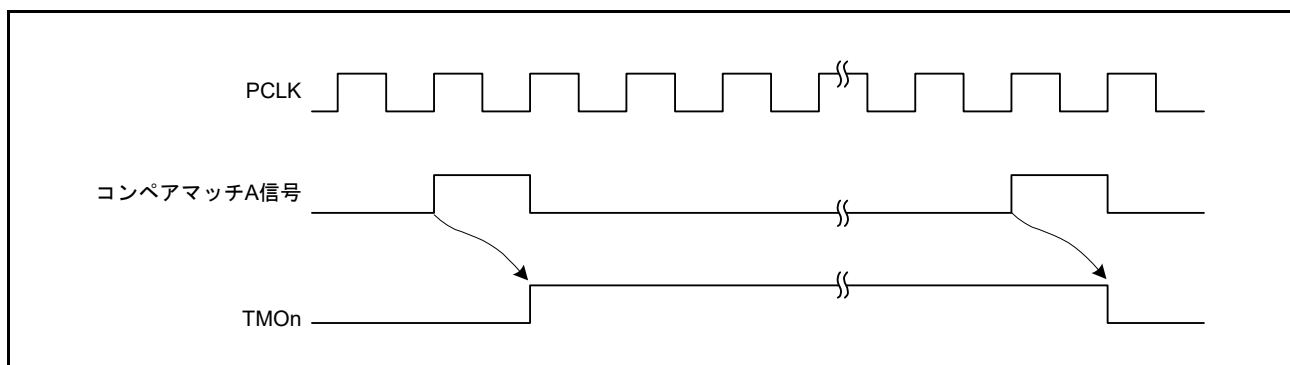


図 24.8 コンペアマッチ A 信号による出力信号タイミング (n = 0 ~ 3)

24.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 24.9 に示します。

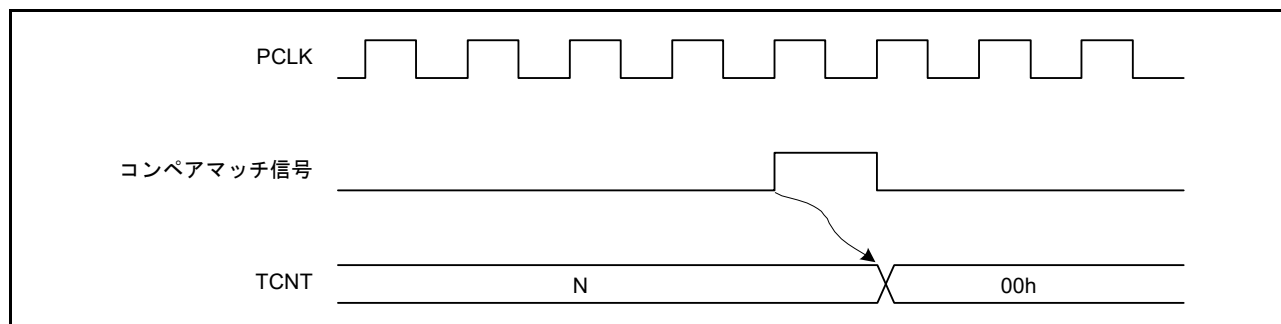


図 24.9 コンペアマッチによるカウンタクリアタイミング

24.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 24.10、図 24.11 に示します。

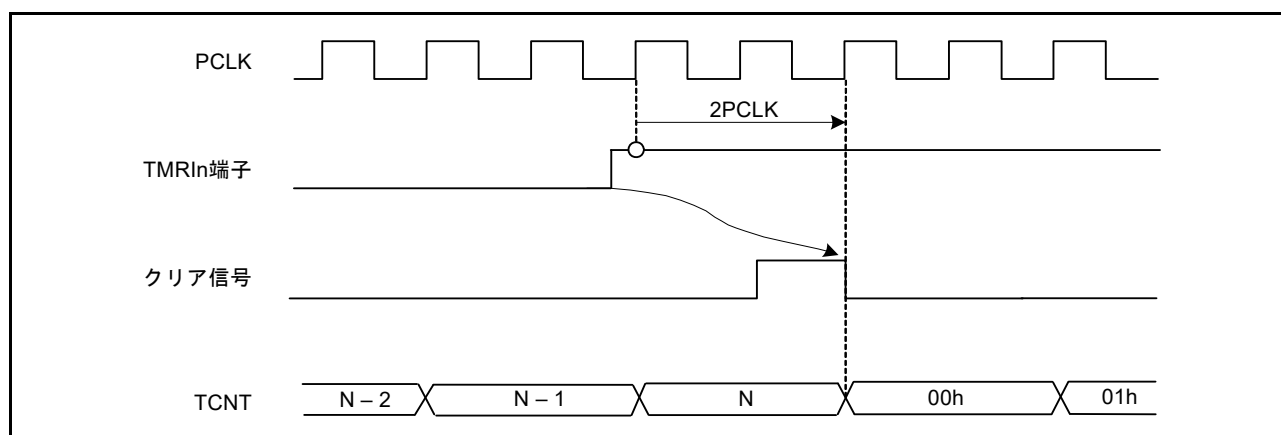


図 24.10 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

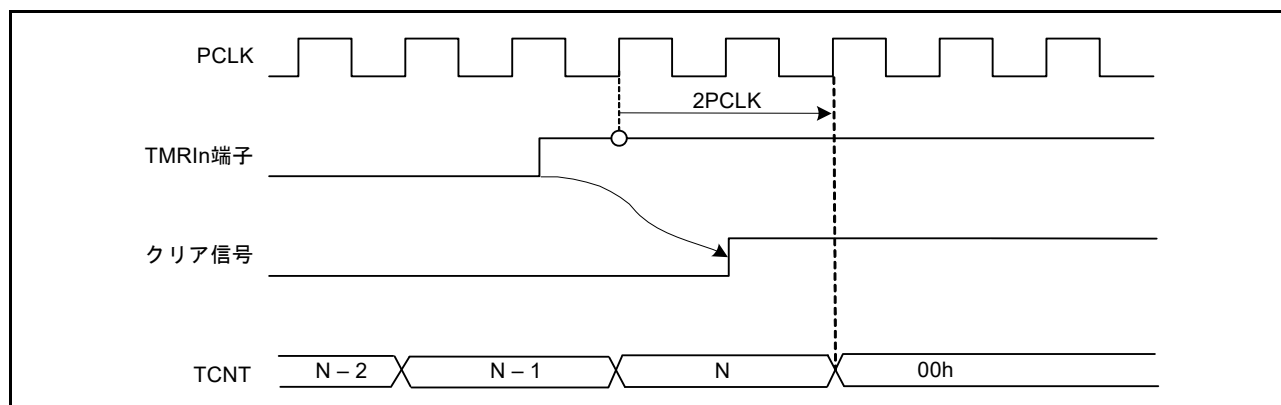


図 24.11 外部カウンタリセット信号によるクリアタイミング (High)

24.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 24.12 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 24.6 を参照してください。

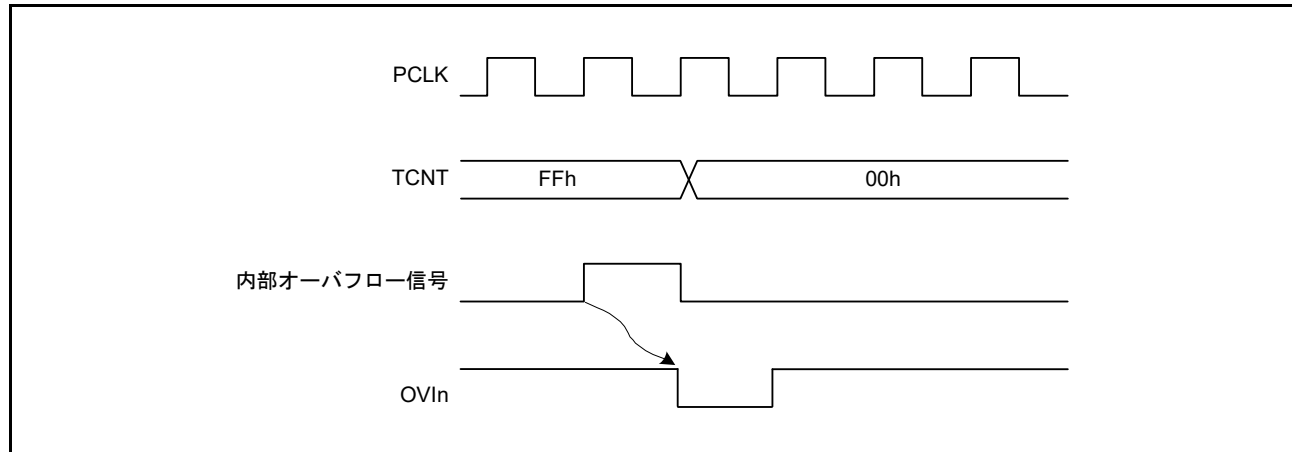


図 24.12 オーバフローによる割り込みタイミング (n = 0 ~ 3)

24.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

なお、この節ではユニット0について説明しています。ユニット1のカスケード接続時の動作についても、ユニット0と同様です。

24.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

24.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMO_n 端子 (n = 0, 1) の出力、カウンタクリアなどは各チャンネルの設定に従います。

24.6 割り込み要因

24.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIA_n、CMIB_n、OVIn の 3 種類があります。表 24.6 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。

表 24.6 TMR の割り込み要因

名称	割り込み要因	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	可能	高  低
CMIB0	TMR0.TCORB のコンペアマッチ	可能	
OVI0	TMR0.TCNT のオーバーフロー	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	可能	
OVI1	TMR1.TCNT のオーバーフロー	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	可能	
OVI2	TMR2.TCNT のオーバーフロー	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	可能	
OVI3	TMR3.TCNT のオーバーフロー	不可能	

24.7 ELCによるリンク動作

24.7.1 ELC へのイベント信号出力

TMR はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。TMR はコンペアマッチ A、コンペアマッチ B、および、オーバフローのイベント信号を出力します。対応するチャンネルは TMR0 と TMR2 です。

イベント信号は該当する割り込み要求許可ビット (TMR0.TCR.OVIE/TMR2.TCR.OVIE, TMR0.TCR.CMIEA/TMR2.TCR.CMIEA, TMR0.TCR.CMIEB/TMR2.TCR.CMIEB) の設定に関係なく出力することができます。詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

カスケード接続の動作にも、イベント出力機能は対応しています。

24.7.2 ELC からのイベント信号受信による TMR 動作

TMR は ELC の ELSRn レジスタの設定により、あらかじめ設定したイベントによる次の動作が可能です。ただし、カスケード接続の動作には ELC は対応しておりません。

(1) カウントスタート動作

ELC の ELOPD レジスタで TMR のカウントスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCSTR.TCS ビットが“1”にセットされ、TMR のカウントがスタートします。カウントソースは、ELC の ELOPD レジスタで TMR のカウントスタート動作を選択した後、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定により選択してください。

TCS ビットが“1”にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

カウントを停止させるためには、TCSTR.TCS ビットへ“0”を書いてください。

カウント停止状態でカウントスタートのイベントが入力されると、再び CKS[2:0]、CSS[1:0] ビットに従ってカウントします。

TCS ビットは、ELC の ELOPD.TMR0MD[1:0]、ELOPD.TMR2MD[1:0] ビットにおいてカウントスタートが選択されたときのみ有効となります。

(2) イベントカウンタ動作

ELC の ELOPD レジスタで TMR のイベントカウンタ動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCCR.CKS[2:0] ビット、CSS[1:0] ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウンタ動作します。カウント値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウントリスタート動作

ELC の ELOPD レジスタで TMR のカウントリスタート動作を選択します。ELSRn レジスタで指定したイベントが発生すると、TCNT カウンタの値が初期値に書き換わります。CKS[2:0] ビット、CSS[1:0] ビットの設定が「クロック入力禁止」以外になっていれば、カウンタ動作を継続することができます。

24.7.3 ELCからのイベント信号受信によるTMRの注意事項

以下にTMRをイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

TCSTR.TCSビットへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCSTR.TCSビットへの書き込みサイクルは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント動作が優先されます。

(3) カウントリスタート動作

TCNTカウンタへのライトサイクル中にELSRnレジスタで指定したイベントが発生すると、TCNTカウンタへの書き込みサイクルは行われずイベント発生によるカウント値の初期化が優先されます。

24.8 使用上の注意事項

24.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

24.8.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNTカウンタはTCORA、TCORBレジスタの値と一致した最後のPCLK(TCNTカウンタが一致したカウント値を更新するタイミング)でクリアされます。このため、カウンタの周波数は以下の式になります(f :カウンタ周波数、PCLK:動作周波数、 N :TCORA、TCORBレジスタの設定値)。

$$f = \text{PCLK} / (N + 1)$$

24.8.3 TCNTカウンタへの書き込みとカウンタクリアの競合

図24.13のようにCPUによるTCNTカウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

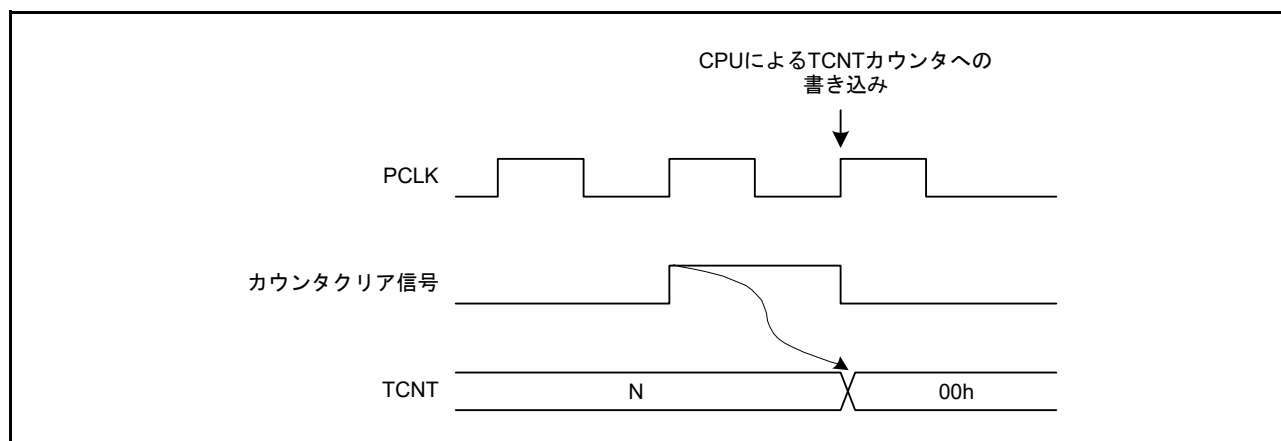


図 24.13 TCNTカウンタへの書き込みとカウンタクリアの競合

24.8.4 TCNT カウンタへの書き込みとカウントアップの競合

図 24.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

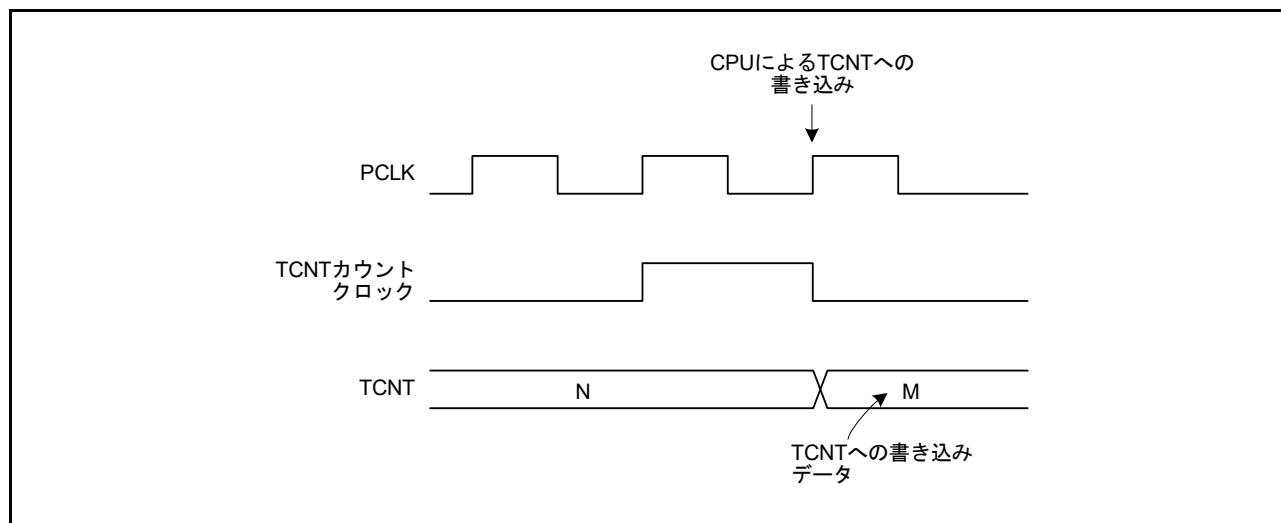


図 24.14 TCNT カウンタへの書き込みとカウントアップの競合

24.8.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 24.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

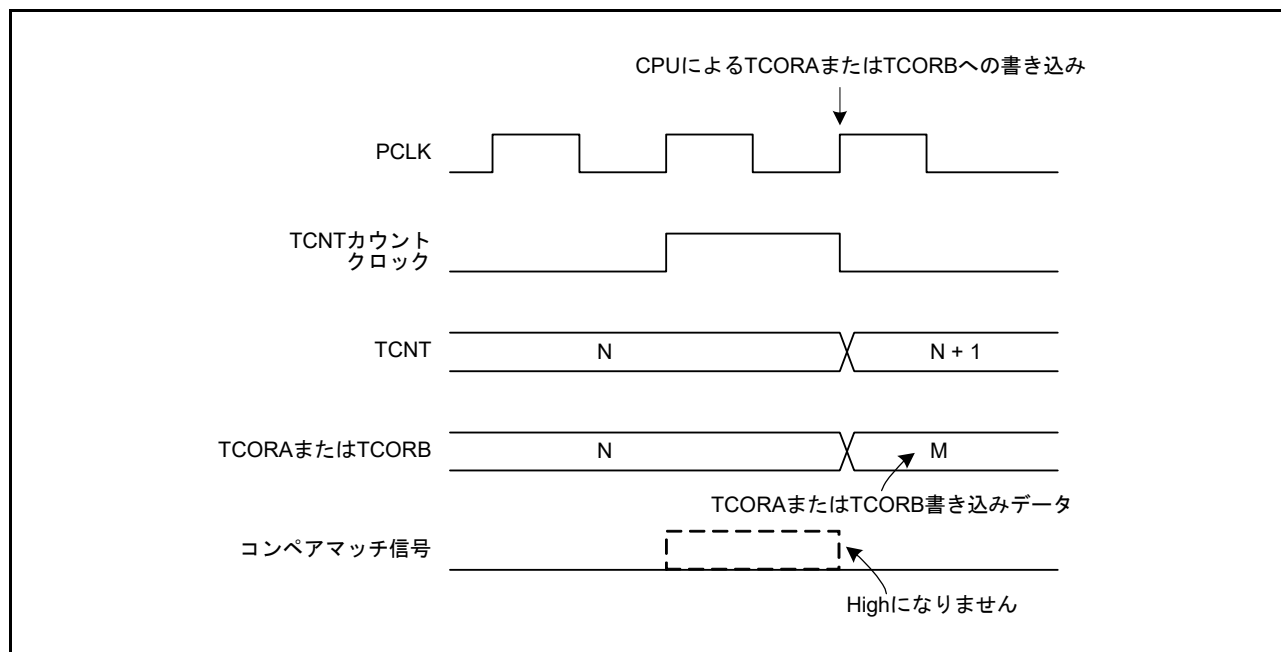


図 24.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

24.8.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 24.7 に示す出力設定の優先順位の高い方が出力されます。

表 24.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

24.8.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 24.8 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 24.8 の No.2 のように、Low→High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 24.8 内部クロックの切り替えと TCNT カウンタの動作 (1/2)

No.	TCCR.CKS[2:0] ビット書き換えタイミング	TCNT カウンタの動作
1	Low→Low (注1)の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT カウントクロック</p> <p>TCNT</p> <p>TCCR.CKS[2:0] ビット書き換え</p>

表24.8 内部クロックの切り替えとTCNTカウンタの動作 (2/2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2)の切り替え	
3	High→Low (注4)の切り替え	
4	High→Highの切り替え	

- 注1. Low→停止、および停止→Lowの場合を含みます。
- 注2. 停止→Highの場合を含みます。
- 注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。
- 注4. High→停止の場合を含みます。

24.8.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

24.8.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 24.16 に示します。

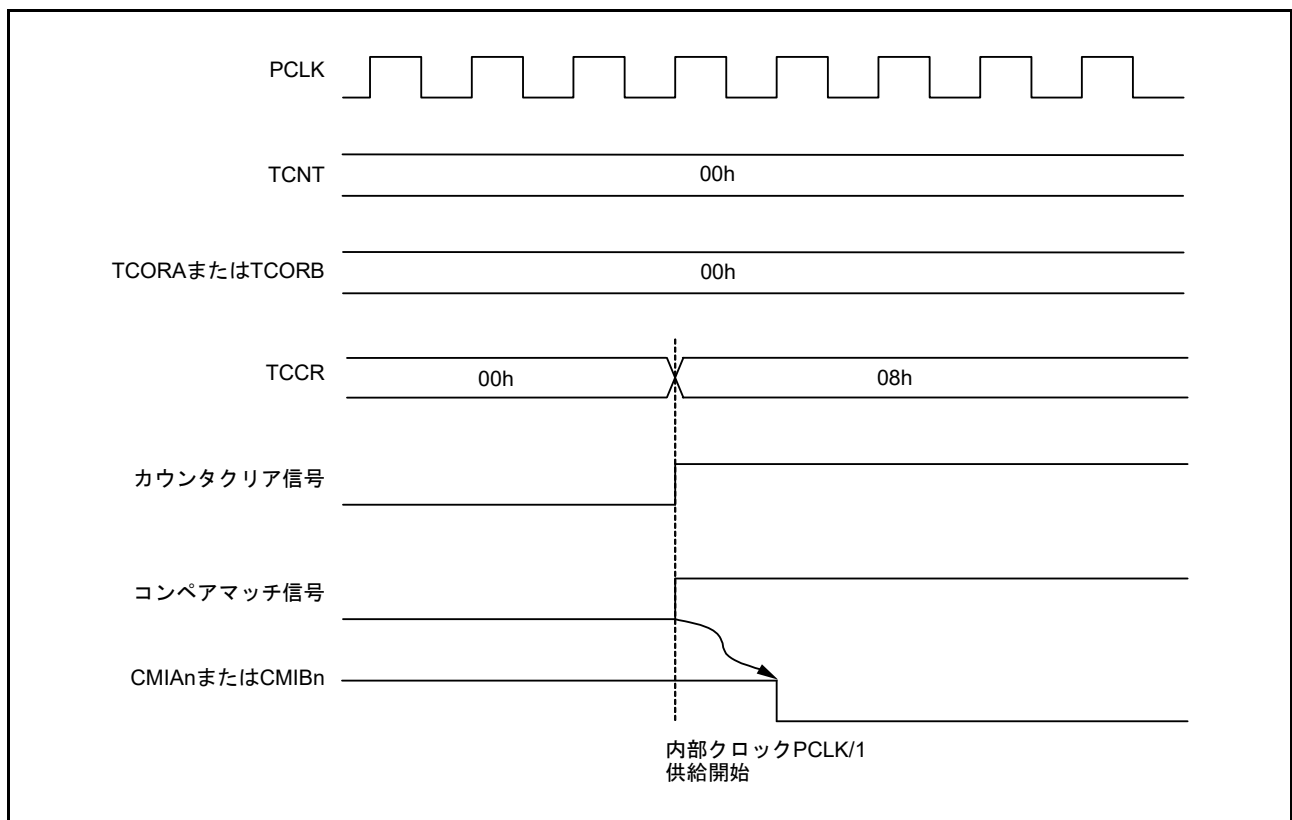


図 24.16 コンペアマッチ割り込みの連続出力 (n = 0 ~ 3)

25. コンペアマッチタイマ (CMT)

本MCUは、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ(CMT)を2ユニット(ユニット0、ユニット1)、合計4チャンネル内蔵しています。CMTは、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載しているPCLKとはPCLKBを指します。

25.1 概要

表 25.1 に CMT の仕様を示します。

図 25.1 に CMT (ユニット 0) のブロック図を示します。2チャンネルのCMTで1ユニットを構成し、ユニット0とユニット1は同じ仕様です。ユニット0のコンペアマッチタイマスタートレジスタ0(CMSTR0)、コンペアマッチ割り込み(CMI0, CMI1)が、ユニット1ではコンペアマッチタイマスタートレジスタ1(CMSTR1)、コンペアマッチ割り込み(CMI2, CMI3)に対応します。

表 25.1 CMTの仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
イベントリンク機能(出力)	CMT1のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	設定したモジュールに対してリンク動作が可能 CMT1のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

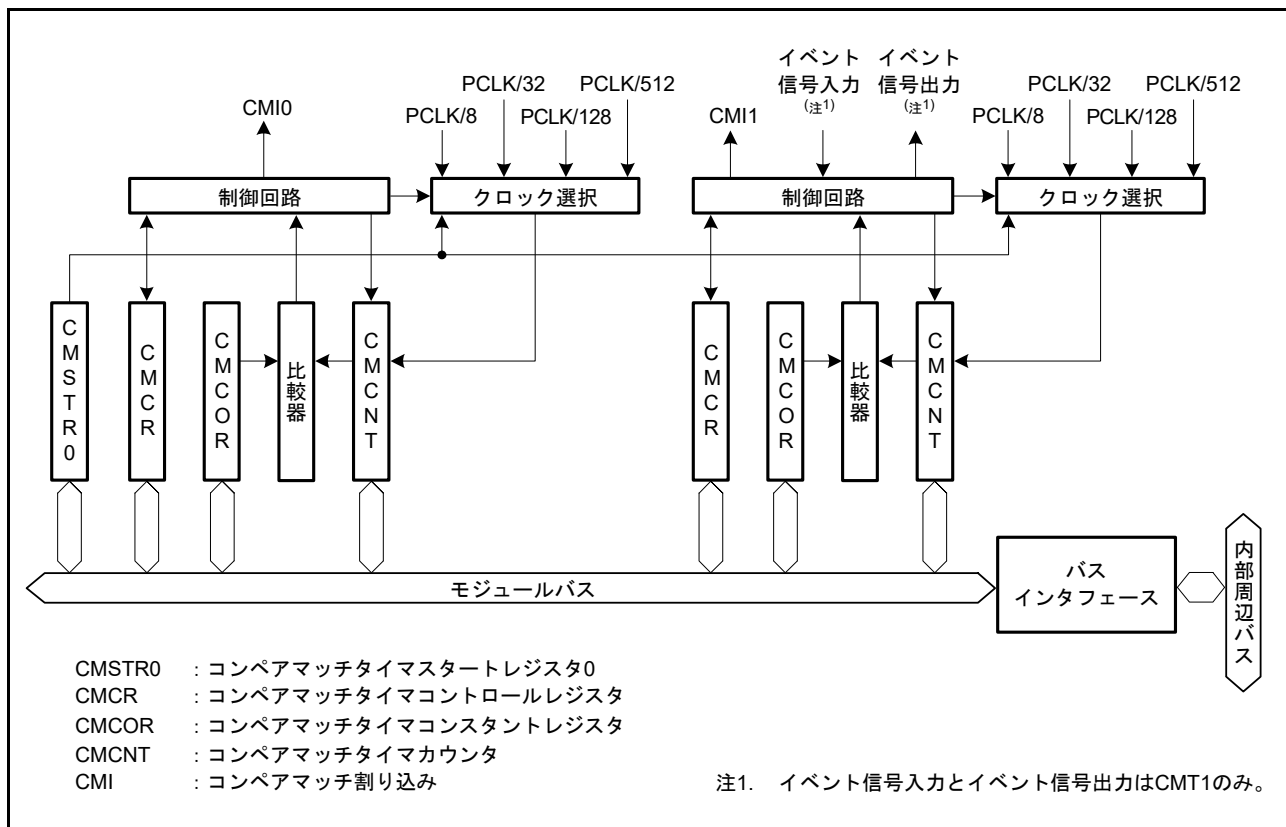


図 25.1 CMT (ユニット 0) のブロック図

25.2 レジスタの説明

25.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

25.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

25.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み(CMIn)を禁止 1 : コンペアマッチ割り込み(CMIn)を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

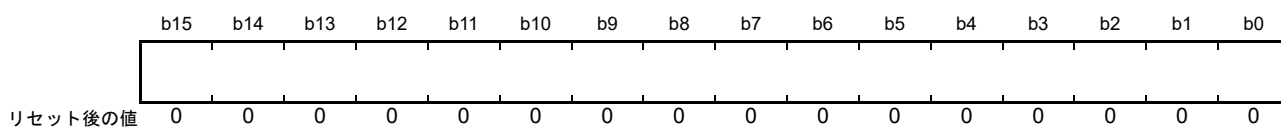
CMSTRm.STRn ビット (m=0, 1, n=0~3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n=0~3) の発生を許可するか禁止するかを選択します。

25.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



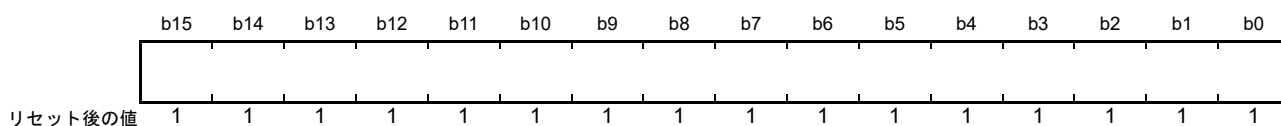
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1、n = 0 ~ 3) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0 ~ 3) が発生します。

25.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

25.3 動作説明

25.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ($m=0, 1$, $n=0 \sim 3$) を“1”にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、コンペアマッチ割り込み (CMIn) ($n=0 \sim 3$) が発生します。CMCNT カウンタは“0000h” からカウントアップを再開します。CMCNT カウンタの動作を図 25.2 に示します。

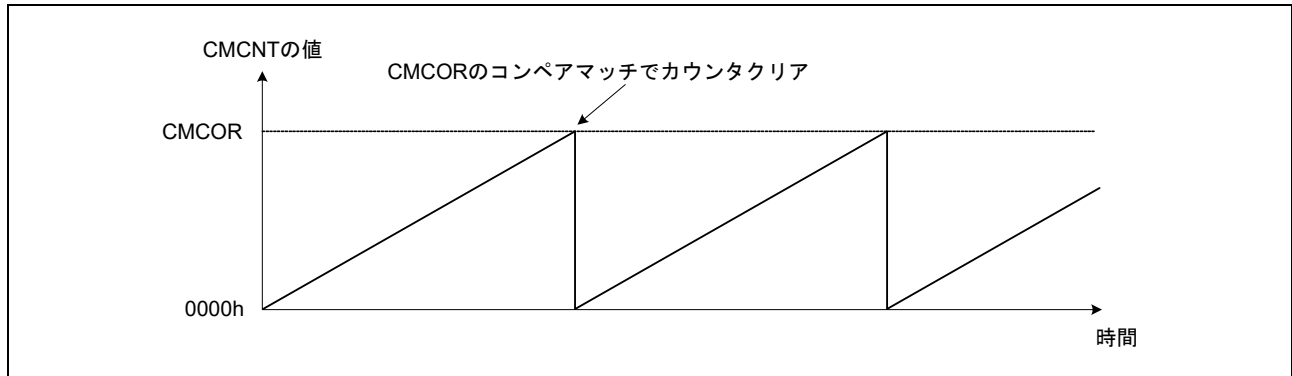


図 25.2 CMCNT カウンタの動作

25.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 25.3 に示します。

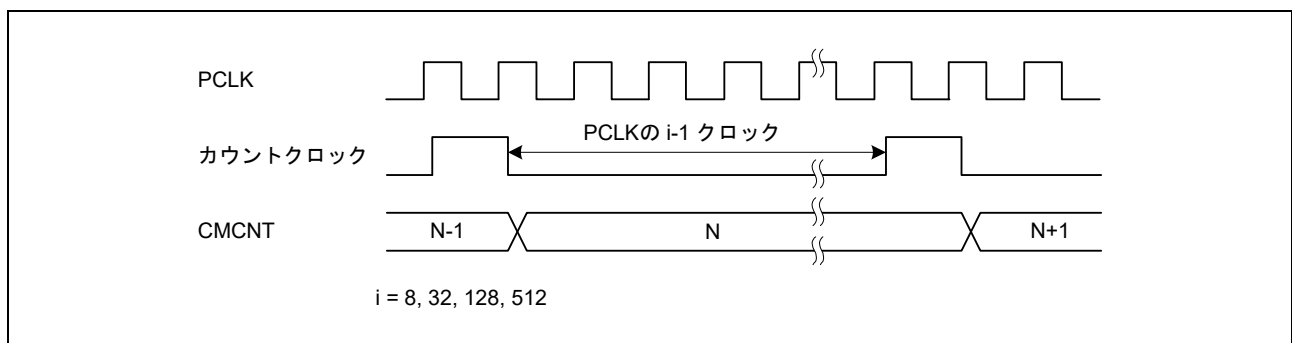


図 25.3 CMCNT カウンタのカウントタイミング

25.4 割り込み

25.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み(CMI_n)($n=0\sim 3$)があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求によりCPU割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ(ICUb)」を参照してください。

表25.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
CMI0	CMT0のコンペアマッチ	可能	可能
CMI1	CMT1のコンペアマッチ	可能	可能
CMI2	CMT2のコンペアマッチ	可能	可能
CMI3	CMT3のコンペアマッチ	可能	可能

25.4.2 コンペアマッチ割り込みの発生タイミング

CMCNTカウンタの値とCMCORレジスタの値が一致したときに、コンペアマッチ割り込み(CMI_n)($n=0\sim 3$)が発生します。

コンペアマッチ信号は、一致した最後のステート(CMCNTカウンタが一致したカウント値を更新するタイミング)で発生します。したがって、CMCNTカウンタの値とCMCORレジスタの値とが一致した後、CMCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図25.4に示します。

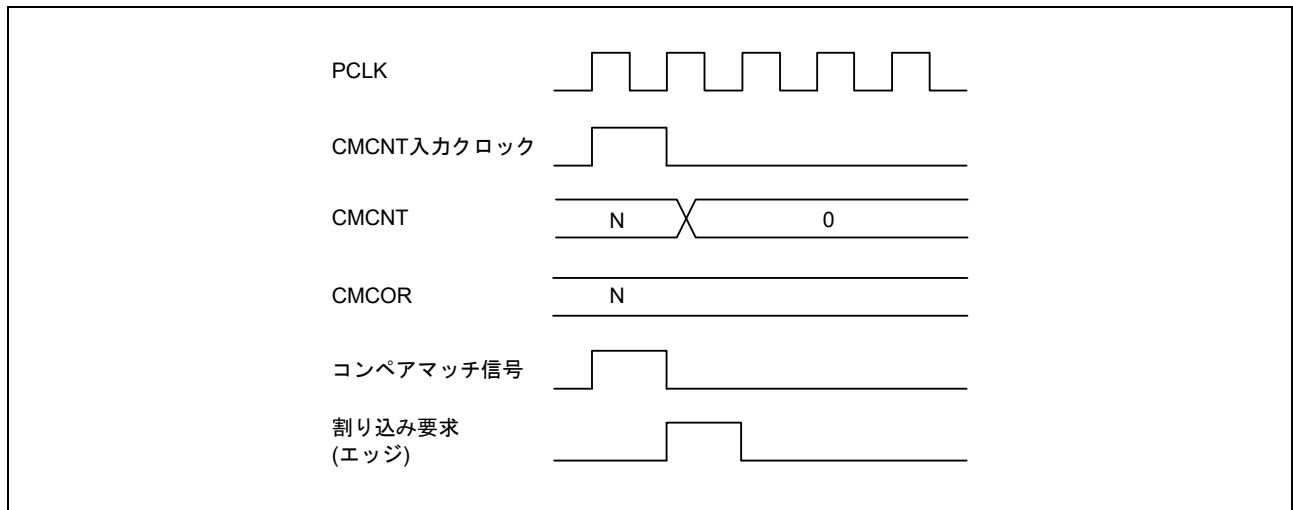


図 25.4 コンペアマッチ割り込みタイミング

25.5 ELCによるリンク動作

25.5.1 ELC へのイベント信号出力

CMT はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。CMT1 のコンペアマッチによりイベント信号を出力します。

イベント信号は該当する割り込み要求許可ビット (CMTn.CMCR.CMIE ビット) の設定に関係なく出力することができます。

25.5.2 ELC からのイベント信号受信による CMT の動作

CMT は ELC の ELSR7 レジスタにあらかじめ設定したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC レジスタで CMT のカウントスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットが“1”になり、CMT のカウントがスタートします。

ただし、CMSTR0.STR1 ビットが“1”になった状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC レジスタで CMT のイベントカウンタ動作を選択します。CMSTR0.STR1 ビットが“1”の状態、ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCR.CKS[1:0] ビットの設定に関係なくそのイベントをカウンタソースとして、イベントカウンタ動作を行います。カウンタ値を読み出すと、実際に入力されたイベント数が読み出されます。

(3) カウンタリスタート動作

ELC の ELOPC レジスタで CMT のカウンタリスタート動作を選択します。ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタの値が初期値に書き換わります。CMSTR0.STR1 ビットが“1”の状態であればカウンタ動作を継続することができます。

25.5.3 ELC からのイベント信号受信による CMT の注意事項

以下に CMT をイベントリンクによる動作で使用する際の注意事項を示します。

(1) カウントスタート動作

CMSTR0.STR1 ビットへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMSTR0.STR1 ビットへの書き込みは行われずイベント発生による“1”の設定が優先されます。

(2) イベントカウンタ動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ動作が優先されます。

(3) カウンタリスタート動作

CMT1.CMCNT カウンタへのライトサイクル中に ELSR7 レジスタで指定したイベントが発生すると、CMT1.CMCNT カウンタへの書き込みは行われずイベント発生によるカウンタ値の初期化が優先されます。

25.6 使用上の注意事項

25.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

25.6.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図25.5に示します。

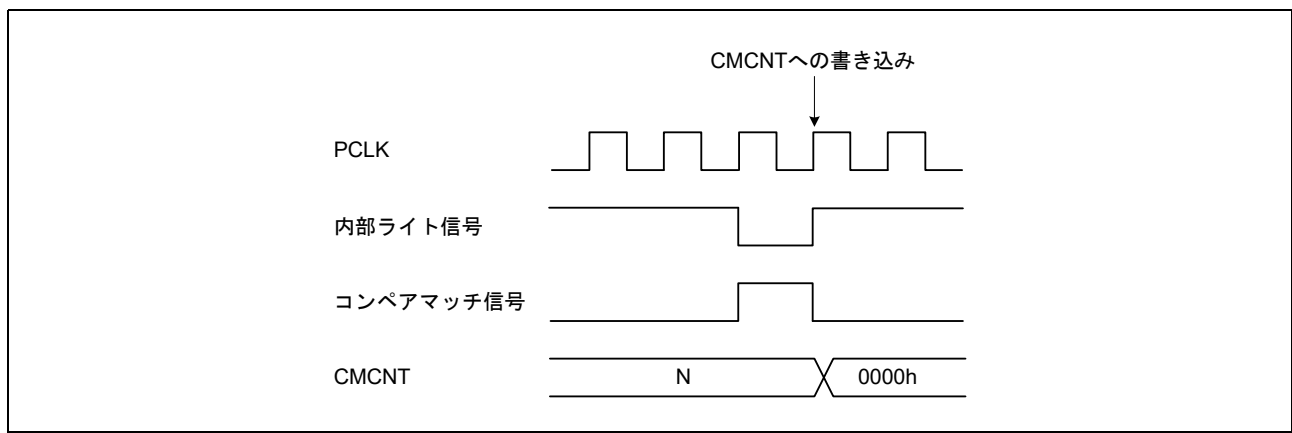


図 25.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

25.6.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込みと、カウントアップが競合した場合、CMCNTカウンタへの書き込みが優先されます。このタイミングを図25.6に示します。

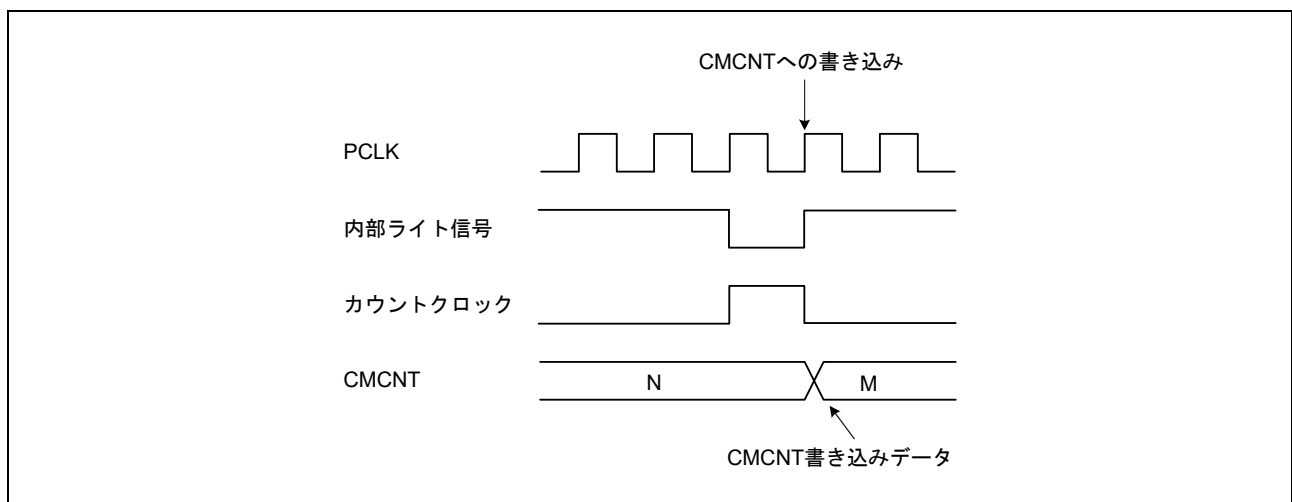


図 25.6 CMCNTカウンタへの書き込みとカウントアップの競合

26. リアルタイムクロック (RTCBa)

本章に記載している PCLK とは PCLKB を指します。

26.1 概要

RTC はカウントモードとして、カレンダーカウントモードとバイナリカウントモードの 2 種類を持ち、レジスタの設定により切り替えて使用します。

カレンダーカウントモードは、2000 年から 2099 年の 100 年間で、うるう年を自動で判定してカウントするモードです。

バイナリカウントモードは、年、月、日、曜日、時、分の概念を持たず、秒のみをカウントし、その情報をシリアル値として保持するモードで、西暦以外のカレンダーに対応できます。

RTC は、カウントソースをプリスケアラで分周した 128 Hz のクロックを基準クロックとして年、月、日、曜日、午前/午後 (12 時間モード時)、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 26.1 に RTC の仕様を、図 26.1 に RTC のブロック図を、表 26.2 に RTC の入出力端子を示します。

表 26.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース(注1)	サブクロック (XCIN)
時計/カレンダー機能	<ul style="list-style-type: none"> • カレンダーカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD 表示 12 時間/24 時間モード切り替え機能 30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) うるう年自動補正機能 • バイナリカウントモード 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 スタート/ストップ機能 秒以下の桁のバイナリ表示 (1 Hz, 2 Hz, 4 Hz, 8 Hz, 16 Hz, 32 Hz, 64 Hz) 時計誤差補正機能 クロック (1 Hz/64 Hz) 出力
割り込み	<ul style="list-style-type: none"> • アラーム割り込み (ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 ・ カレンダーカウントモード：年、月、日、曜日、時、分、秒 ・ バイナリカウントモード：32 ビットバイナリカウンタの各ビット • 周期割り込み (PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒 周期から選択可能 • 桁上げ割り込み (CUP) 次のいずれかのタイミングで割り込み要求発生 ・ 64 Hz カウンタから秒カウンタへの桁上げが発生したとき ・ 64 Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき ・ アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	<ul style="list-style-type: none"> • 時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力

注1. 周辺モジュールクロック周波数 (PCLK) \geq カウントソース周波数となるようにしてください。

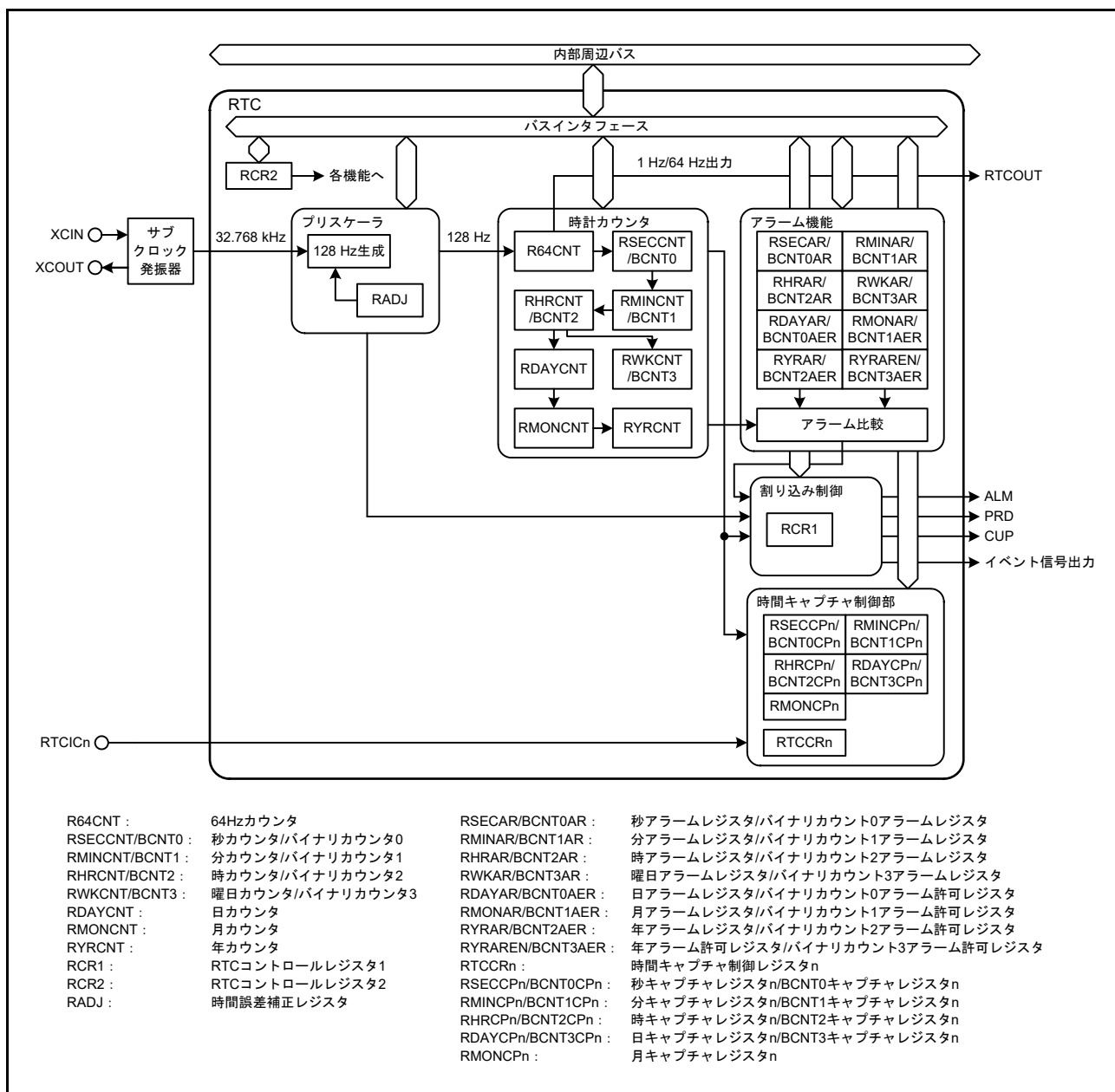


図 26.1 RTC のブロック図 (n = 0 ~ 2)

表 26.2 RTC の入出力端子

端子名	入出力	機能
XCIN	入力	サブクロック用の 32.768 kHz の水晶振動子を接続する端子です
XCOU	出力	
RTCOUT	出力	1 Hz/64 Hz の波形を出力します
RTCIC0	入力	時間キャプチャイベントを入力する端子です
RTCIC1	入力	
RTCIC2	入力	

26.2 レジスタの説明

RTC のレジスタの書き込み / 読み出しは、「26.6.5 レジスタの書き込み / 読み出し時の注意事項」に従って行う必要があります。

RTC のレジスタのビットで、リセット後の値が x (不定) のビットは、リセットでは初期化されません。また、カウント動作時 (RCR2.START ビット = 1 のとき) にリセット状態または低消費電力状態へ遷移した場合、年 / 月 / 曜日 / 日 / 時 / 分 / 秒 / 64 Hz カウンタは動作を継続します。レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードへ遷移しないでください。詳細は、「26.6.4 レジスタ設定後の低消費電力モード移行について」を参照ください。

26.2.1 64 Hz カウンタ (R64CNT)

アドレス RTC.R64CNT 0008 C400h

b7	b6	b5	b4	b3	b2	b1	b0
—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ

リセット後の値 0 x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64 Hz ビット	秒以下の桁の 1 Hz ~ 64 Hz の状態を示します	R
b1	F32HZ	32 Hz ビット		R
b2	F16HZ	16 Hz ビット		R
b3	F8HZ	8 Hz ビット		R
b4	F4HZ	4 Hz ビット		R
b5	F2HZ	2 Hz ビット		R
b6	F1HZ	1 Hz ビット		R
b7	—	予約ビット	読むと "0" が読めます。書き込みは無効になります	R

R64CNT カウンタは、カレンダーカウントモード / バイナリカウントモード共通で使用します。

R64CNT カウンタは、128 Hz の基準クロックでアップカウントするカウンタで、秒周期を生成します。

R64CNT カウンタを読み出すことで、秒以下の状態が確認できます。

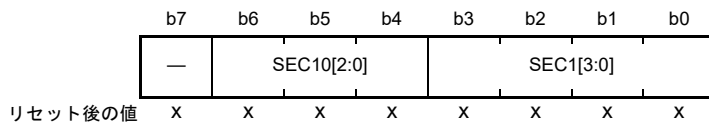
RTC ソフトウェアリセットまたは 30 秒調整を実行すると "00h" になります。

読み出し時は、「26.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.2 秒カウンタ (RSECCNT)/ バイナリカウンタ 0 (BCNT0)

(1) カレンダカウントモード時

アドレス RTC.RSECCNT 0008 C402h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウントビット	一秒の位は1秒ごとに0から9をカウントします。桁上げが発生すると、十秒の位が+1されます	R/W
b6-b4	SEC10[2:0]	10秒カウントビット	十秒の位は0から5をカウントして、60秒のカウントを行います	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W

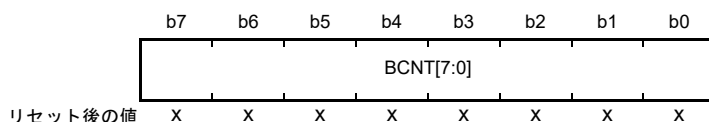
RSECCNT カウンタは、BCD コード化された秒部分の設定、カウント用のカウンタであり、64 Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進(BCD)で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RSECCNT カウンタを書き換えた場合、値が書き変わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「26.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0 0008 C402h



x: 不定

BCNT0 カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb7～b0です。

32ビットバイナリカウンタは、64 Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

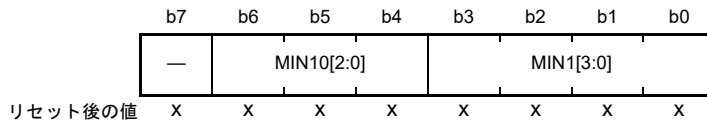
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「26.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.3 分カウンタ (RMINCNT)/ バイナリカウンタ 1 (BCNT1)

(1) カレンダカウントモード時

アドレス RTC.RMINCNT 0008 C404h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウントビット	一分の位は1分ごとに0から9をカウントします。桁上げが発生すると、十分の位が+1されます	R/W
b6-b4	MIN10[2:0]	10分カウントビット	十分の位は0から5をカウントして、60分のカウントを行います	R/W
b7	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W

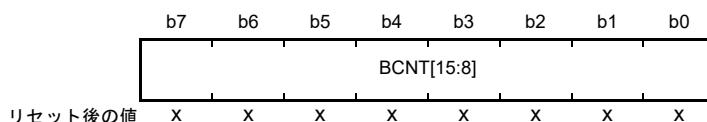
RMINCNT カウンタは、BCD コード化された分部分の設定、カウント用のカウンタであり、秒カウンタの1分ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進(BCD)で“00”～“59”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMINCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「26.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT1 0008 C404h



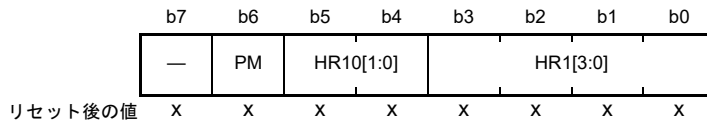
x: 不定

BCNT1 カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb15～b8です。32ビットバイナリカウンタは、64 Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。読み出し時は、「26.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.4 時カウンタ (RHCNT)/ バイナリカウンタ 2 (BCNT2)

(1) カレンダカウントモード時

アドレス RTC.RHCNT 0008 C406h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウントビット	一時間の位は1時間ごとに0から9をカウントします。桁上げが発生すると、十時間の位が+1されます	R/W
b5-b4	HR10[1:0]	10時間カウントビット	十時間の位は一時間の位の桁上げごとに0から2をカウントします	R/W
b6	PM	PMビット	時カウンタのAM/PMの設定 0: 午前 1: 午後	R/W
b7	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W

RHCNT カウンタは、BCD コード化された時部分の設定、カウント用のカウンタであり、分カウンタの1時間ごとの桁上げによってカウント動作を行います。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10進 (BCD) で“00” ~ “11”

RCR2.HR24 ビットが“1” : 10進 (BCD) で“00” ~ “23”

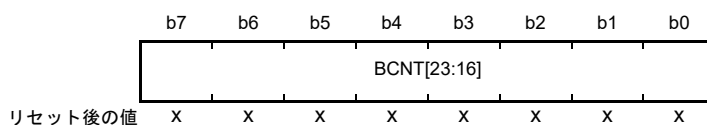
上記以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RHCNT カウンタを読み出す場合は、RCR2.HR24 ビットが“0”の場合のみ PM ビットが有効になります。RCR2.HR24 ビットが“1”の場合は、PM ビットの値を無視してください。

RHCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「26.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT2 0008 C406h



x: 不定

BCNT2 カウンタは、書き込み / 読み出し可能な 32 ビットバイナリカウンタの b23 ~ b16 です。

32 ビットバイナリカウンタは、64 Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。

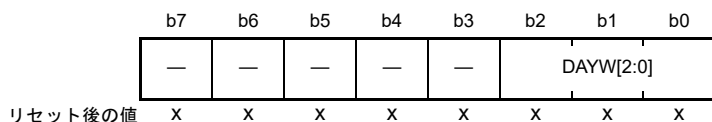
書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

読み出し時は、「26.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.5 曜日カウンタ (RWKCNT)/ バイナリカウンタ 3 (BCNT3)

(1) カレンダーカウントモード時

アドレス RTC.RWKCNT 0008 C408h



x: 不定

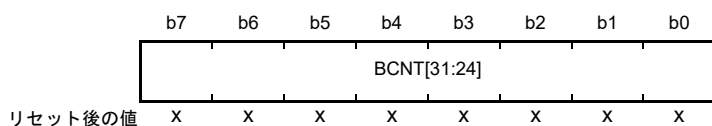
ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウントビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b7-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W

RWKCNT カウンタはコード化された曜日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。設定可能範囲は、10進で“0”～“6”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

レジスタの書き込み/読み出しの注意事項については「26.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

(2) バイナリカウントモード時

アドレス RTC.BCNT3 0008 C408h

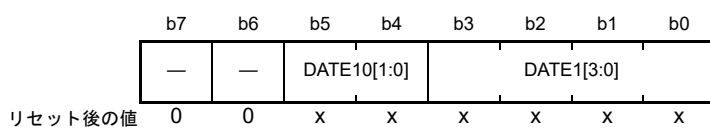


x: 不定

BCNT3 カウンタは、書き込み/読み出し可能な32ビットバイナリカウンタのb31～b24です。32ビットバイナリカウンタは、64 Hz カウンタの1秒ごとの桁上げによってカウント動作を行います。書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。読み出し時は、「26.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。

26.2.6 日カウンタ (RDAYCNT)

アドレス RTC.RDAYCNT 0008 C40Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウントビット	一日の位は1日ごとに0~9をカウントします。桁上げが発生すると十日の位が+1されます	R/W
b5-b4	DATE10[1:0]	10日カウントビット	十日の位は一日の位の桁上げごとに0~3をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RDAYCNT カウンタは、カレンダーカウントモード時に使用します。

RDAYCNT カウンタは、BCD コード化された日部分の設定、カウント用のカウンタであり、時カウンタの1日ごとの桁上げによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

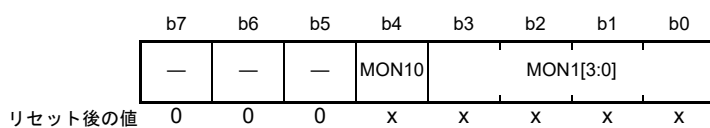
うるう年は年カウンタ (RYRCNT) の“00”を2000年とみなして2000年から2099年を、400、100、4で割り切れるかどうかによって計算されます。

設定可能範囲は、10進 (BCD) で“01”～“31”です。それ以外の値が設定されると、正常に動作しません (月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください)。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RDAYCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「26.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

26.2.7 月カウンタ (RMONCNT)

アドレス RTC.RMONCNT 0008 C40Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウントビット	一月の位は1月ごとに0~9をカウントします。桁上げが発生すると十月の位が+1されます	R/W
b4	MON10	10月カウントビット	十月の位は一月の位の桁上げごとに0~1をカウントします	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMONCNT カウンタは、カレンダーカウントモード時に使用します。

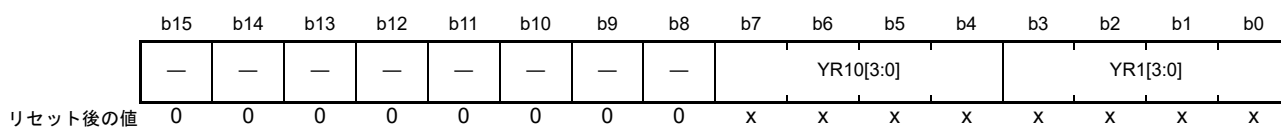
RMONCNT カウンタは、BCD コード化された月部分の設定、カウント用のカウンタであり、日カウンタの月ごとの桁上げによってカウント動作を行います。

設定可能範囲は、10進 (BCD) で“01”～“12”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RMONCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「26.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

26.2.8 年カウンタ (RYRCNT)

アドレス RTC.RYRCNT 0008 C40Eh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウントビット	一年の位は1年ごとに0~9をカウントします。桁上げが発生すると十年の位が+1されます	R/W
b7-b4	YR10[3:0]	10年カウントビット	十年の位は一年の位の桁上げごとに0~9をカウントします	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRCNT カウンタは、カレンダーカウントモード時に使用します。

RYRCNT カウンタは、BCD コード化された年部分の設定、カウント用のカウンタであり、月カウンタの1年ごとの桁上げによって、カウント動作を行います。

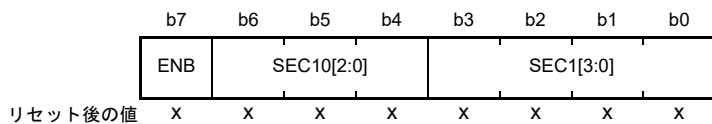
設定可能範囲は、10進(BCD)で“00”～“99”です。それ以外の値が設定されると、正常に動作しません。また、書き込みは、スタートビット (RCR2.START) でカウント動作を停止させてから行ってください。

RYRCNT カウンタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「26.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

26.2.9 秒アラームレジスタ (RSECAR)/ バイナリカウンタ 0 アラームレジスタ (BCNT0AR)

(1) カレンダカウントモード時

アドレス RTC.RSECAR 0008 C410h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒ビット	一秒の位の設定値	R/W
b6-b4	SEC10[2:0]	10秒ビット	十秒の位の設定値	R/W
b7	ENB	ENBビット	0 : RSECCNTカウンタの値と比較を行わない 1 : RSECCNTカウンタの値と比較を行う	R/W

RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RSECAR レジスタの値と RSECCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

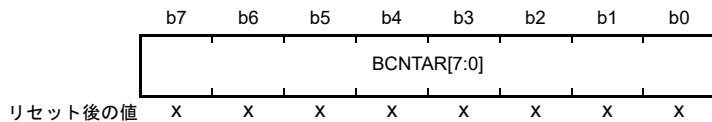
設定可能範囲は、10 進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RSECAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「26.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AR 0008 C410h



x : 不定

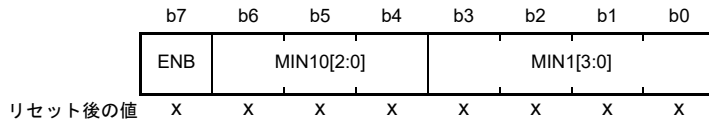
BCNT0AR カウンタは、32 ビットバイナリカウンタの b7～b0 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

26.2.10 分アラームレジスタ (RMINAR)/ バイナリカウンタ 1 アラームレジスタ (BCNT1AR)

(1) カレンダカウントモード時

アドレス RTC.RMINAR 0008 C412h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分ビット	一分の位の設定値	R/W
b6-b4	MIN10[2:0]	10分ビット	十分の位の設定値	R/W
b7	ENB	ENBビット	0 : RMINCNTカウンタの値と比較を行わない 1 : RMINCNTカウンタの値と比較を行う	R/W

RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMINAR レジスタの値と RMINCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

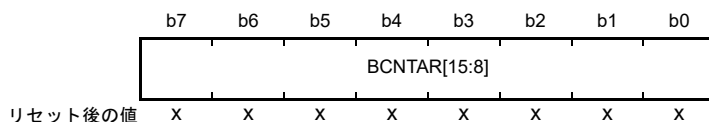
設定可能範囲は、10 進 (BCD) で“00”～“59”であり、それ以外の値が設定されると、正常に動作しません。

RMINAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「26.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AR 0008 C412h



x : 不定

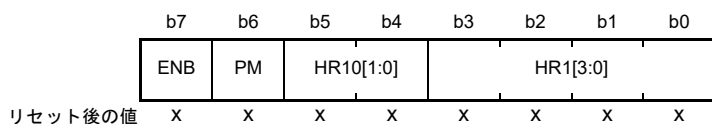
BCNT1AR カウンタは、32 ビットバイナリカウンタの b15～b8 に対応する書き込み / 読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

26.2.11 時アラームレジスタ (RHRAR)/ バイナリカウンタ 2 アラームレジスタ (BCNT2AR)

(1) カレンダーカウントモード時

アドレス RTC.RHRAR 0008 C414h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間ビット	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間ビット	十時間の位の設定値	R/W
b6	PM	PMビット	時アラームのAM/PMの設定 0 : 午前 1 : 午後	R/W
b7	ENB	ENBビット	0 : RHCNTカウンタの値と比較を行わない 1 : RHCNTカウンタの値と比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RHRAR レジスタの値と RHCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

設定可能範囲は、時間モードビット (RCR2.HR24) によってそれぞれ以下の範囲となります。

RCR2.HR24 ビットが“0” : 10 進 (BCD) で“00”～“11”

RCR2.HR24 ビットが“1” : 10 進 (BCD) で“00”～“23”

上記以外の値が設定されると、正常に動作しません。

RCR2.HR24 ビットが“0”の場合は、PM ビットの設定も行ってください。

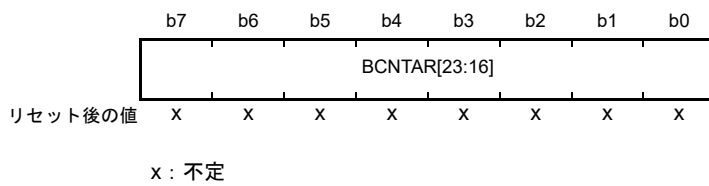
RCR2.HR24 ビットが“1”の場合は、PM ビットの値は無効となります。

RHRAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「26.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AR 0008 C414h



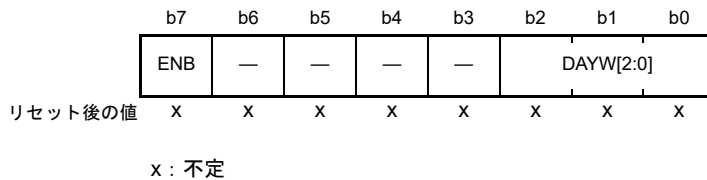
BCNT2AR カウンタは、32 ビットバイナリカウンタの b23 ~ b16 に対応する書き込み / 読み出し可能なア
ラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

26.2.12 曜日アラームレジスタ (RWKAR)/ バイナリカウンタ 3 アラームレジスタ (BCNT3AR)

(1) カレンダカウントモード時

アドレス RTC.RWKAR 0008 C416h



ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日の設定値ビット	b2 b0 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定しないでください	R/W
b6-b3	—	予約ビット	"0"を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0: RWKCNTカウンタの値と比較を行わない 1: RWKCNTカウンタの値と比較を行う	R/W

RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RWKAR レジスタの値と RWKCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

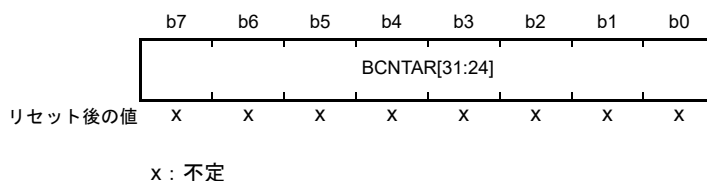
設定可能範囲は、10進で“0”～“6”であり、それ以外の値が設定されると、正常に動作しません。

RWKAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「26.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AR 0008 C416h



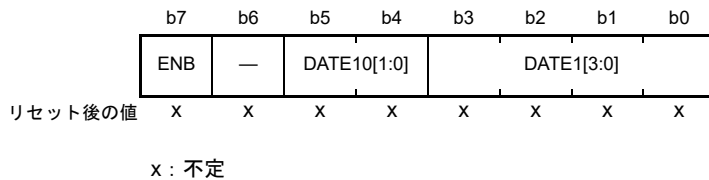
BCNT3AR カウンタは、32ビットバイナリカウンタの b31～b24 に対応する書き込み/読み出し可能なアラームレジスタです。

RTC ソフトウェアリセットを実行すると“00h”になります。

26.2.13 日アラームレジスタ (RDAYAR)/ バイナリカウンタ 0 アラーム許可レジスタ (BCNT0AER)

(1) カレンダーカウントモード時

アドレス RTC.RDAYAR 0008 C418h



ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日ビット	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日ビット	十日の位の設定値	R/W
b6	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RDAYCNTカウンタの値と比較を行わない 1 : RDAYCNTカウンタの値と比較を行う	R/W

RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RDAYAR レジスタの値と RDAYCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

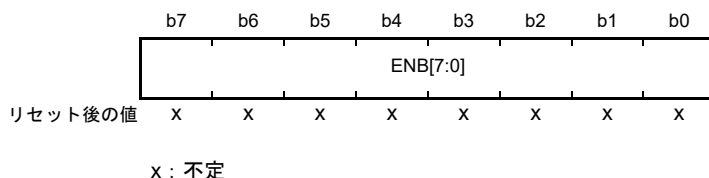
設定可能範囲は、10 進 (BCD) で“01”～“31”であり、それ以外の値が設定されると、正常に動作しません。

RDAYAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「26.6.5 レジスタの書き込み/読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AER 0008 C418h



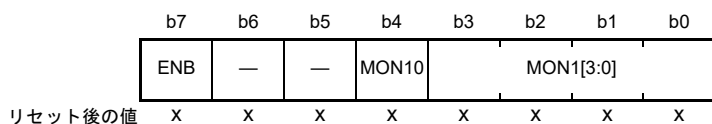
BCNT0AER レジスタは、32 ビットバイナリカウンタの b7～b0 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

26.2.14 月アラームレジスタ (RMONAR)/ バイナリカウンタ 1 アラーム許可レジスタ (BCNT1AER)

(1) カレンダーカウントモード時

アドレス RTC.RMONAR 0008 C41Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月ビット	一月の位の設定値	R/W
b4	MON10	10月ビット	十月の位の設定値	R/W
b6-b5	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENBビット	0 : RMONCNTカウンタの値と比較を行わない 1 : RMONCNTカウンタの値と比較を行う	R/W

RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが“1”であれば、RMONAR レジスタの値と RMONCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

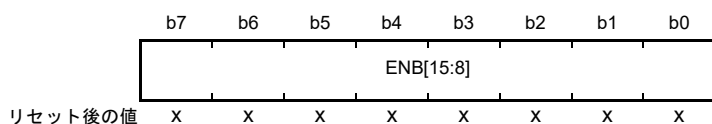
設定可能範囲は、10 進 (BCD) で“01”～“12”であり、それ以外の値が設定されると、正常に動作しません。

RMONAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「26.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AER 0008 C41Ah



x : 不定

BCNT1AER レジスタは、32 ビットバイナリカウンタの b15～b8 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

26.2.15 年アラームレジスタ (RYRAR)/ バイナリカウンタ 2 アラーム許可レジスタ (BCNT2AER)

(1) カレンダーカウントモード時

アドレス RTC.RYRAR 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年ビット	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10年ビット	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。設定可能範囲は、10 進 (BCD) で “00” ~ “99” であり、それ以外の値が設定されると、正常に動作しません。

RYRAR レジスタを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み / 読み出しの注意事項については「26.6.5 レジスタの書き込み / 読み出し時の注意事項」を参照してください。

RTC ソフトウェアリセットを実行すると “0000h” になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AER 0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ENB[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x: 不定

BCNT2AER レジスタは、32 ビットバイナリカウンタの b23 ~ b16 に対応するアラーム許可を設定する書き込み / 読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1” になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのすべてが一致するとき、ALM 割り込みに対応した IR フラグが “1” になります。

RTC ソフトウェアリセットを実行すると “0000h” になります。

26.2.16 年アラーム許可レジスタ (RYRAREN)/ バイナリカウンタ 3 アラーム許可レジスタ (BCNT3AER)

(1) カレンダーカウントモード時

アドレス RTC.RYRAREN 0008 C41Eh

b7	b6	b5	b4	b3	b2	b1	b0
ENB	—	—	—	—	—	—	—

リセット後の値 X X X X X X X X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	“0”を設定してください。読むと設定値が読めます	R/W
b7	ENB	ENB ビット	0: RYRCNTカウンタの値と比較を行わない 1: RYRCNTカウンタの値と比較を行う	R/W

RYRAREN レジスタは、ENB ビットが“1”であれば、RYRAR レジスタの値と RYRCNT カウンタの値との比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAREN) のうち、ENB ビットが“1”になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AER 0008 C41Eh

b7	b6	b5	b4	b3	b2	b1	b0
ENB[31:24]							

リセット後の値 X X X X X X X X

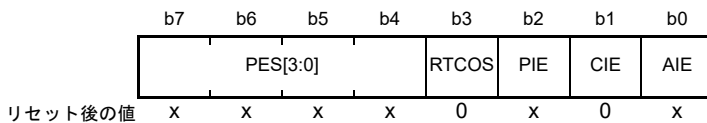
x: 不定

BCNT3AER レジスタは、32 ビットバイナリカウンタの b31 ~ b24 に対応するアラーム許可を設定する書き込み/読み出し可能なレジスタです。ENB[31:0] ビットのうち、“1”になっているビットに対応したバイナリカウンタ (BCNT[31:0]) とバイナリアラームレジスタ (BCNTAR[31:0]) の比較を行い、おのおのがすべて一致するとき、ALM 割り込みに対応した IR フラグが“1”になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

26.2.17 RTC コントロールレジスタ 1 (RCR1)

アドレス RTC.RCR1 0008 C422h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可ビット	0 : アラーム割り込み要求を禁止 1 : アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可ビット	0 : 桁上げ割り込み要求を禁止 1 : 桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可ビット	0 : 周期割り込み要求を禁止 1 : 周期割り込み要求を許可	R/W
b3	RTCOS	RTCOUT 出力選択ビット	0 : RTCOUT は 1 Hz を出力 1 : RTCOUT は 64 Hz を出力	R/W
b7-b4	PES[3:0]	周期割り込み選択ビット	b7 b4 0 1 1 0 : 周期割り込み発生時の周期は 1/256 秒ごと 0 1 1 1 : 周期割り込み発生時の周期は 1/128 秒ごと 1 0 0 0 : 周期割り込み発生時の周期は 1/64 秒ごと 1 0 0 1 : 周期割り込み発生時の周期は 1/32 秒ごと 1 0 1 0 : 周期割り込み発生時の周期は 1/16 秒ごと 1 0 1 1 : 周期割り込み発生時の周期は 1/8 秒ごと 1 1 0 0 : 周期割り込み発生時の周期は 1/4 秒ごと 1 1 0 1 : 周期割り込み発生時の周期は 1/2 秒ごと 1 1 1 0 : 周期割り込み発生時の周期は 1 秒ごと 1 1 1 1 : 周期割り込み発生時の周期は 2 秒ごと 上記以外は、周期割り込みを発生しない	R/W

RCR1 レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されるので、RCR1 レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

AIE ビット (アラーム割り込み許可ビット)

アラーム割り込み要求の許可または禁止を選択します。

CIE ビット (桁上げ割り込み許可ビット)

秒カウンタ (RSECCNT)/バイナリカウンタ 0 (BCNT0) への桁上げ、または 64 Hz カウンタ (R64CNT) 読み出しと、64 Hz カウンタへの桁上げが重なったときの割り込み要求の許可または禁止を選択します。

PIE ビット (周期割り込み許可ビット)

周期割り込み要求の許可または禁止を選択します。

RTCOS ビット (RTCOUT 出力選択ビット)

RTCOUT の出力周期を選択するビットです。RTCOS ビットは、カウント動作停止中 (RCR2.START ビット = 0) かつ RTCOUT 出力禁止 (RCR2.RTCOE ビット = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを有効にしてください。I/O ポートの制御については、「21.3.1 端子入出力機能設定手順」を参照してください。

PES[3:0] ビット (周期割り込み選択ビット)

周期割り込みの周期を設定します。PES[3:0] ビットで設定した周期に応じて周期割り込みを要求します。

26.2.18 RTC コントロールレジスタ 2 (RCR2)

アドレス RTC.RCR2 0008 C424h

b7	b6	b5	b4	b3	b2	b1	b0
CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START

リセット後の値 X X X X 0 0 0 X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット(注3)	0: プリスケアラとカウンタは停止 1: プリスケアラとカウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセットビット	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: プリスケアラおよびRTCソフトウェアリセット対象レジスタ(注1)を初期化 読み出し時 0: 通常の時計動作またはRTCソフトウェアリセット完了 1: RTCソフトウェアリセット中 	R/W
b2	ADJ30	30秒調整ビット(注2)	<ul style="list-style-type: none"> 書き込み時 0: 書き込み無効 1: 30秒調整の実行 読み出し時 0: 通常の時計動作または30秒調整が完了 1: 30秒調整中 	R/W
b3	RTCOE	RTCOUT出力許可ビット	0: RTCOUT出力禁止 1: RTCOUT出力許可	R/W
b4	AADJE	自動補正機能許可ビット(注3)	0: 自動補正機能禁止 1: 自動補正機能許可	R/W
b5	AADJP	自動補正周期選択ビット(注3)	0: 1分(バイナリカウンタモード時は32秒)ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する 1: 10秒(バイナリカウンタモード時は8秒)ごとにRADJ.ADJ[5:0]ビットをプリスケアラのカウンタ値から加減する	R/W
b6	HR24	時間モードビット(注2、注3)	0: RTCは12時間モードで動作 1: RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択ビット(注3)	0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注1. R64CNT, RSECCPn/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAR/BCNT3AER, RADJ, RTCCRn, RSECCPn/BCNT0CPn, RMINCPn/BCNT1CPn, RHRCpN/BCNT2CPn, RDAYCPn/BCNT3CPn, RMONCPn, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注2. バイナリカウンタモードでは予約ビットです。書く場合は"0"を書いてください。

注3. このビットを書き換えた場合、値が書き変わったことを確認してから次の処理を実施してください。AADJE, AADJP, HR24ビットについては「26.6.5 レジスタの書き込み/読み出し時の注意事項」も参照してください。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、カウント制御に関するレジスタです。

START ビット (スタートビット)

プリスケアラおよびカウンタ (時計) の停止または動作を制御するビットです。

START ビットは、カウントソースに同期して更新されるので、START ビットを書き換えた場合は、値が更新されたことを確認してから次の処理を実行してください。

RESET ビット (RTC ソフトウェアリセットビット)

プリスケアラおよび RTC ソフトウェアリセット対象レジスタを初期化するビットです。

RESET ビットに“1”が書き込まれた場合、カウントソースに同期して初期化が実行され、初期化が完了すると RESET ビットは自動的に“0”になります。

RESET ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

ADJ30 ビット (30 秒調整ビット)

30 秒調整を行うビットです。

ADJ30 ビットに“1”が書き込まれたときの RSECCNT カウンタの値が 30 秒未満の場合は 00 秒に切り捨て、30 秒以上の場合は 1 分に桁上げします。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに“1”が書き込まれた場合、30 秒調整が完了すると ADJ30 ビットは自動的に“0”になります。ADJ30 ビットに“1”を書き込んだ場合は、“0”になったことを確認してから次の処理を実行してください。

30 秒調整が行われると、プリスケアラおよび R64CNT カウンタもリセットされます。

RTC ソフトウェアリセットを実行すると ADJ30 ビットは、“0”になります。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

RTC OE ビット (RTC OUT 出力許可ビット)

RTC OUT (1 Hz/64 Hz クロック) の出力を許可するビットです。

RTC OE ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。カウント動作を停止する (START ビットに“0”を書く) ときは、同時に RTC OE ビットの値を書き換えしないでください。

RTC OUT を外部端子に出力する場合は、RTC OE ビットを許可にし、かつポート制御の設定もしてください。

AADJE ビット (自動補正機能許可ビット)

自動補正機能の禁止、許可を制御するビットです。

AADJE ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJE ビットは、“0”になります。

AADJP ビット (自動補正周期選択ビット)

自動補正周期を選択するビットです。

AADJP ビットの書き換えは、プラスマイナスビット (RADJ.PMADJ[1:0]) を“00b” (補正しない) にしてから行ってください。

RTC ソフトウェアリセットを実行すると AADJP ビットは、“0”になります。

HR24 ビット (時間モードビット)

RTC の時間モードを 12 時間モードで動作させるか、24 時間モードで動作させるかを指定するビットです。

HR24 ビットの書き換えは、START ビットでカウント動作を停止させてから行ってください。START ビットと同時に HR24 ビットの値を書き換えしないでください。

バイナリカウンタモードでは予約ビットです。書く場合、“0”を書いてください。

CNTMD ビット (カウントモード選択ビット)

RTC のカウントモードを、カレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定するビットです。

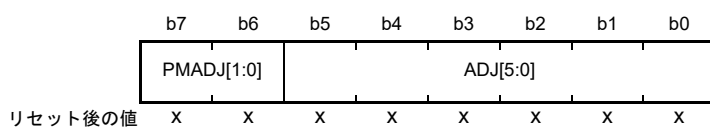
カウントモードを設定した後は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。

CNTMD ビットはカウントソースに同期して更新されるので、書き換えた場合は、値が更新されたことを確認してから RTC ソフトウェアリセットを実行してください。RTC ソフトウェアリセット実行後、設定したカウントモードに切り替わります。

初期設定の詳細は、「26.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

26.2.19 時間誤差補正レジスタ (RADJ)

アドレス RTC.RADJ 0008 C42Eh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正值ビット	誤差補正值を設定します	R/W
b7-b6	PMADJ[1:0]	プラスマイナスビット	b7 b6 0 0 : 補正動作を行いません 0 1 : 時計を進める 1 0 : 時計を遅らせる 1 1 : 設定しないでください	R/W

RADJ レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

時計を誤差補正值に応じて進めるか、遅らせることによって、補正を行います。

自動補正機能許可ビット (RCR2.AADJE) が“0”の場合は、RADJ レジスタを書き込むときに補正動作を行います。

RCR2.AADJE ビットが“1”の場合は、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正動作を行います。

ソフトウェア設定 (自動補正しない設定) による補正時は、レジスタ設定後、カウントソースで 320 サイクル以内に次の補正值を設定すると前回の補正設定が無効となる場合があります。連続して補正を行う場合は、レジスタ設定後、カウントソースで 320 サイクル以上待ってから再設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

ADJ[5:0] ビット (補正值ビット)

時計の誤差に応じて補正值 (サブクロックのクロックサイクル数) を設定します。

PMADJ[1:0] ビット (プラスマイナスビット)

ADJ[5:0] ビットで設定した誤差補正值に応じて時計を進めるか、遅らせるかを選択します。

26.2.20 時間キャプチャ制御レジスタ n (RTCCRn) (n = 0 ~ 2)

アドレス RTC.RTCCR0 0008 C440h, RTC.RTCCR1 0008 C442h, RTC.RTCCR2 0008 C444h

b7	b6	b5	b4	b3	b2	b1	b0
TCEN	—	TCNF[1:0]	—	TCST	TCCT[1:0]		

リセット後の値 x(注1) 0 x x 0 x x x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	TCCT[1:0]	時間キャプチャ制御ビット	b1 b0 0 0: イベント検出しない 0 1: 立ち上がりエッジ検出 1 0: 立ち下がりエッジ検出 1 1: 両エッジ検出	R/W
b2	TCST	時間キャプチャステータスフラグ	0: イベント検出なし 1: イベント検出あり	R/(W) (注2)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	TCNF[1:0]	時間キャプチャノイズフィルタ制御ビット	b5 b4 0 0: ノイズフィルタ OFF 0 1: 設定しないでください 1 0: ノイズフィルタ ON (カウントソース) 1 1: ノイズフィルタ ON (カウントソースの32分周)	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TCEN	時間キャプチャイベント入力端子許可ビット	0: RTCICn 端子が時間キャプチャイベント入力端子として無効 1: RTCICn 端子が時間キャプチャイベント入力端子として有効	R/W

注1. パワーオンリセットが発生した場合、“0”になります。

注2. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

RTCCRn レジスタは、カレンダーカウントモード/バイナリカウントモード共通で使用します。

RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRn レジスタは、カウントソースに同期して更新されます。RTCCRn レジスタを書き換えた場合は、TCST フラグを除く全ビットの値が更新されたことを確認してから次の処理を実行してください。

RTC ソフトウェアリセットを実行すると“00h”になります。

TCCT[1:0] ビット (時間キャプチャ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のエッジ検出を制御するビットです。

検出するエッジの選択が可能です。TCCT[1:0] ビットは、RCR2.START ビットと TCEN ビットが“1”の状態を設定してください。

TCST フラグ (時間キャプチャステータスフラグ)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のイベントが検出されたことを示すフラグです。

TCST フラグが“0”の場合は、イベントが検出されていないことを示します。

TCST フラグが“1”の場合は、該当する端子のイベントが検出されたことを示し、そのキャプチャレジスタが有効になります。複数回イベントが検出された場合は、最初のキャプチャ時刻を保持します。

TCST フラグに“0”を書き込むことで、TCST フラグを“0”にできます。また、“0”以外の値の書き込みは無効になります。

TCST フラグを“0”にするときは、TCCT[1:0] ビットを“00b”(イベント検出しない)にした状態で行ってください。

TCST フラグは、カウントソースに同期して“0”になります。TCST フラグを“0”にした場合は、値が更新されたことを確認してから次の処理を実行してください。

TCNF[1:0] ビット (時間キャプチャノイズフィルタ制御ビット)

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) のノイズフィルタを制御するビットです。

ノイズフィルタが ON の場合、カウントソースの 1 分周、32 分周のどちらかを選択することが可能です。このとき、時間キャプチャイベント入力端子の入力レベルが選択されたサンプル間隔で 3 回連続で一致すると、入力レベルを決定します。

TCNF[1:0] ビットの設定は、TCCT[1:0] ビットを“00b”(イベント検出しない)にした状態で行ってください。ノイズフィルタを使用する場合は、TCEN ビットを“1”にし、TCNF[1:0] ビットを設定した後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0] ビットの設定を行ってください。

TCEN ビット (時間キャプチャイベント入力端子許可ビット)

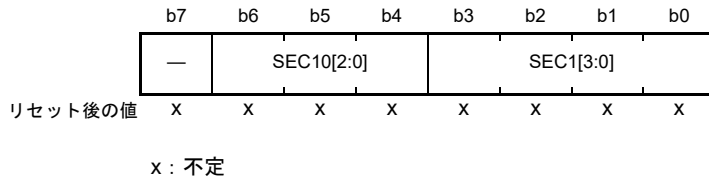
時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) の有効 / 無効を制御するビットです。

時間キャプチャイベント入力端子 (RTCIC0, RTCIC1, RTCIC2) に複数の機能が割り当てられている場合、先に端子の機能を汎用入力ポートに設定した後、本ビットを“1”にしてください。本ビットを“0”にする場合、TCCT[1:0] ビットも“00b”にしてください。

26.2.21 秒キャプチャレジスタ n (RSECCPn) (n = 0 ~ 2)/ BCNT0 キャプチャレジスタ n (BCNT0CPn) (n = 0 ~ 2)

(1) カレンダカウントモード時

アドレス RTC.RSECCP0 0008 C452h, RTC.RSECCP1 0008 C462h, RTC.RSECCP2 0008 C472h



ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒キャプチャビット	一秒の位のキャプチャ値を示します	R
b6-b4	SEC10[2:0]	10秒キャプチャビット	十秒の位のキャプチャ値を示します	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RSECCPn レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

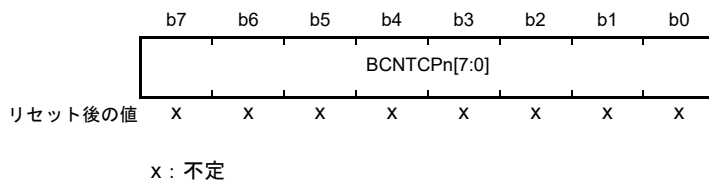
RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、RTCIC2 端子によるイベント検出時は RSECCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0CP0 0008 C452h, RTC.BCNT0CP1 0008 C462h, RTC.BCNT0CP2 0008 C472h



BCNT0CPn レジスタは、時間キャプチャイベント検出時に BCNT0 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT0CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT0CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT0CP2 レジスタにそれぞれのイベント検出時刻を格納します。

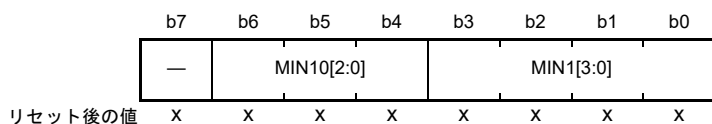
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.22 分キャプチャレジスタ n (RMINCPn) (n = 0 ~ 2)/ BCNT1 キャプチャレジスタ n (BCNT1CPn) (n = 0 ~ 2)

(1) カレンダカウントモード時

アドレス RTC.RMINCP0 0008 C454h, RTC.RMINCP1 0008 C464h, RTC.RMINCP2 0008 C474h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分キャプチャビット	一分の位のキャプチャ値を示します	R
b6-b4	MIN10[2:0]	10分キャプチャビット	十分の位のキャプチャ値を示します	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RMINCPn レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

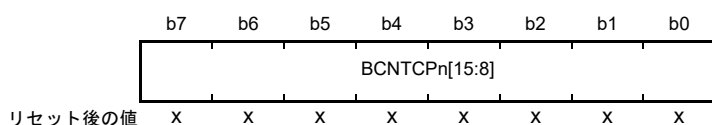
RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMINCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT1CP0 0008 C454h, RTC.BCNT1CP1 0008 C464h, RTC.BCNT1CP2 0008 C474h



x : 不定

BCNT1CPn レジスタは、時間キャプチャイベント検出時に BCNT1 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT1CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT1CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT1CP2 レジスタにそれぞれのイベント検出時刻を格納します。

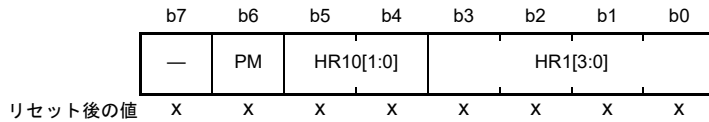
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.23 時キャプチャレジスタ n (RHRCpN) (n = 0 ~ 2)/ BCNT2 キャプチャレジスタ n (BCNT2CPn) (n = 0 ~ 2)

(1) カレンダカウントモード時

アドレス RTC.RHRCp0 0008 C456h, RTC.RHRCp1 0008 C466h, RTC.RHRCp2 0008 C476h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間キャプチャビット	一時間の位のキャプチャ値を示します	R
b5-b4	HR10[1:0]	10時間キャプチャビット	十時間の位のキャプチャ値を示します	R
b6	PM	PMビット	0 : 午前 1 : 午後	R
b7	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RHRCpN レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCp0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCp1 レジスタに、RTCIC2 端子によるイベント検出時は RHRCp2 レジスタにそれぞれのイベント検出時刻を格納します。

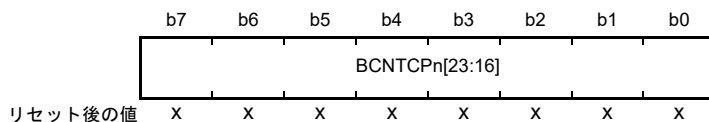
RCR2.HR24 ビットが“0” (12 時間モードで動作) の場合のみ、PM ビットが有効になります。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT2CP0 0008 C456h, RTC.BCNT2CP1 0008 C466h, RTC.BCNT2CP2 0008 C476h



x : 不定

BCNT2CPn レジスタは、時間キャプチャイベント検出時に BCNT2 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

RTCIC0 端子によるイベント検出時は BCNT2CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT2CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT2CP2 レジスタにそれぞれのイベント検出時刻を格納します。

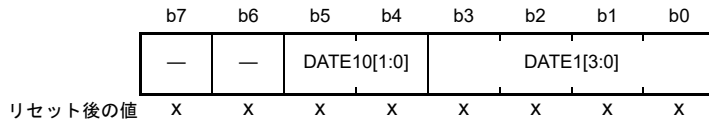
RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.24 日キャプチャレジスタ n (RDAYCPn) (n = 0 ~ 2)/ BCNT3 キャプチャレジスタ n (BCNT3CPn) (n = 0 ~ 2)

(1) カレンダーカウントモード時

アドレス RTC.RDAYCP0 0008 C45Ah, RTC.RDAYCP1 0008 C46Ah, RTC.RDAYCP2 0008 C47Ah



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日キャプチャビット	一日の位のキャプチャ値を示します	R
b5-b4	DATE10[1:0]	10日キャプチャビット	十日の位のキャプチャ値を示します	R
b7-b6	—	予約ビット	RTCソフトウェアリセット実行後、読むと“0”が読めます	R

RDAYCPn レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

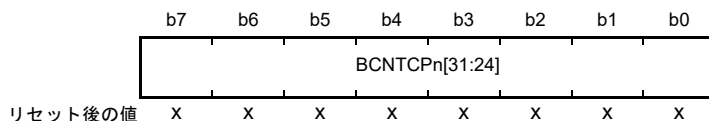
RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT3CP0 0008 C45Ah, RTC.BCNT3CP1 0008 C46Ah, RTC.BCNT3CP2 0008 C47Ah



x : 不定

BCNT3CPn レジスタは、時間キャプチャイベント検出時に BCNT3 カウンタの値をキャプチャする読み出しのみ可能なレジスタです。

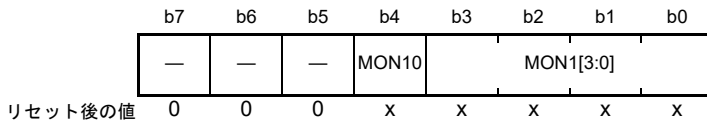
RTCIC0 端子によるイベント検出時は BCNT3CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT3CP1 レジスタに、RTCIC2 端子によるイベント検出時は BCNT3CP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.2.25 月キャプチャレジスタ n (RMONCPn) (n = 0 ~ 2)

アドレス RTC.RMONCP0 0008 C45Ch, RTC.RMONCP1 0008 C46Ch, RTC.RMONCP2 0008 C47Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月キャプチャビット	一月の位のキャプチャ値を示します	R
b4	MON10	10月キャプチャビット	十月の位のキャプチャ値を示します	R
b7-b5	—	予約ビット	読むと“0”が読めます	R

RMONCPn レジスタは、時間キャプチャイベント検出時に RMONCNT カウンタの値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、RTCIC2 端子によるイベント検出時は RMONCP2 レジスタにそれぞれのイベント検出時刻を格納します。

RTC ソフトウェアリセットを実行すると“00h”になります。

読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

26.3 動作説明

26.3.1 電源投入後のレジスタの初期設定概要

電源投入後、クロック設定、カウントモード設定、時刻設定、時計誤差補正、アラーム、割り込み、時間キャプチャ制御レジスタの初期設定をしてください。

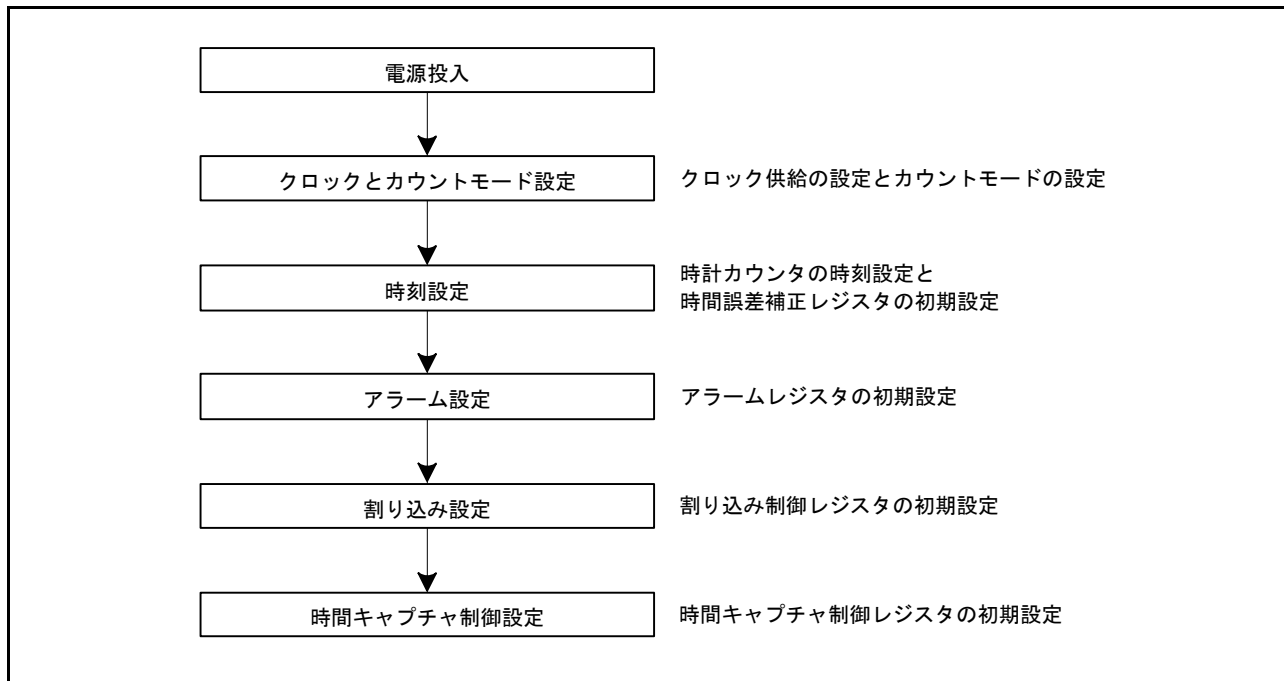


図 26.2 電源投入後の初期設定概要

26.3.2 クロックとカウントモード設定手順

図 26.3 にクロックとカウントモードの設定手順を示します。

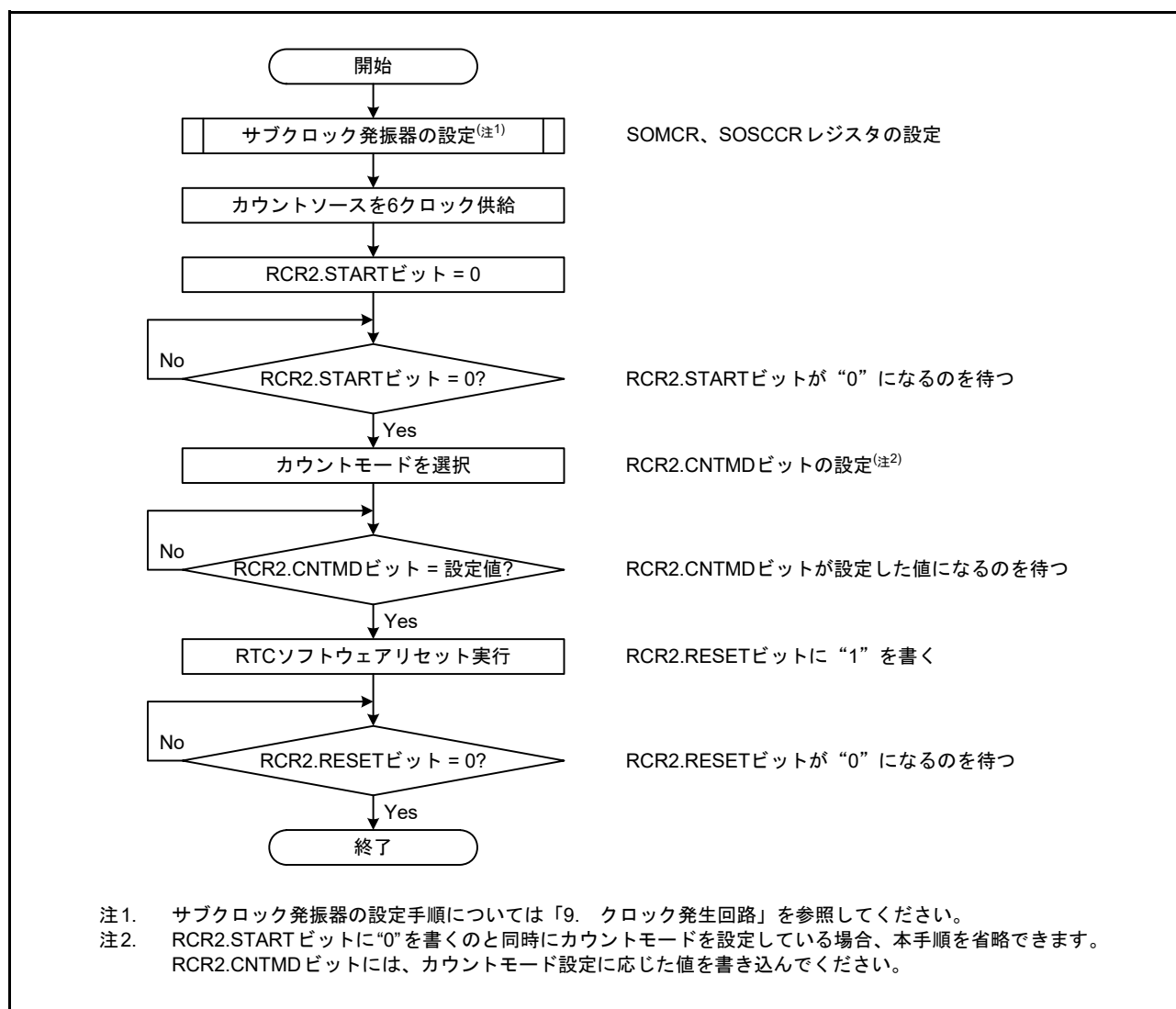


図 26.3 クロック、カウントモード設定手順

26.3.3 時刻設定手順

図 26.4 に時刻設定手順を示します。

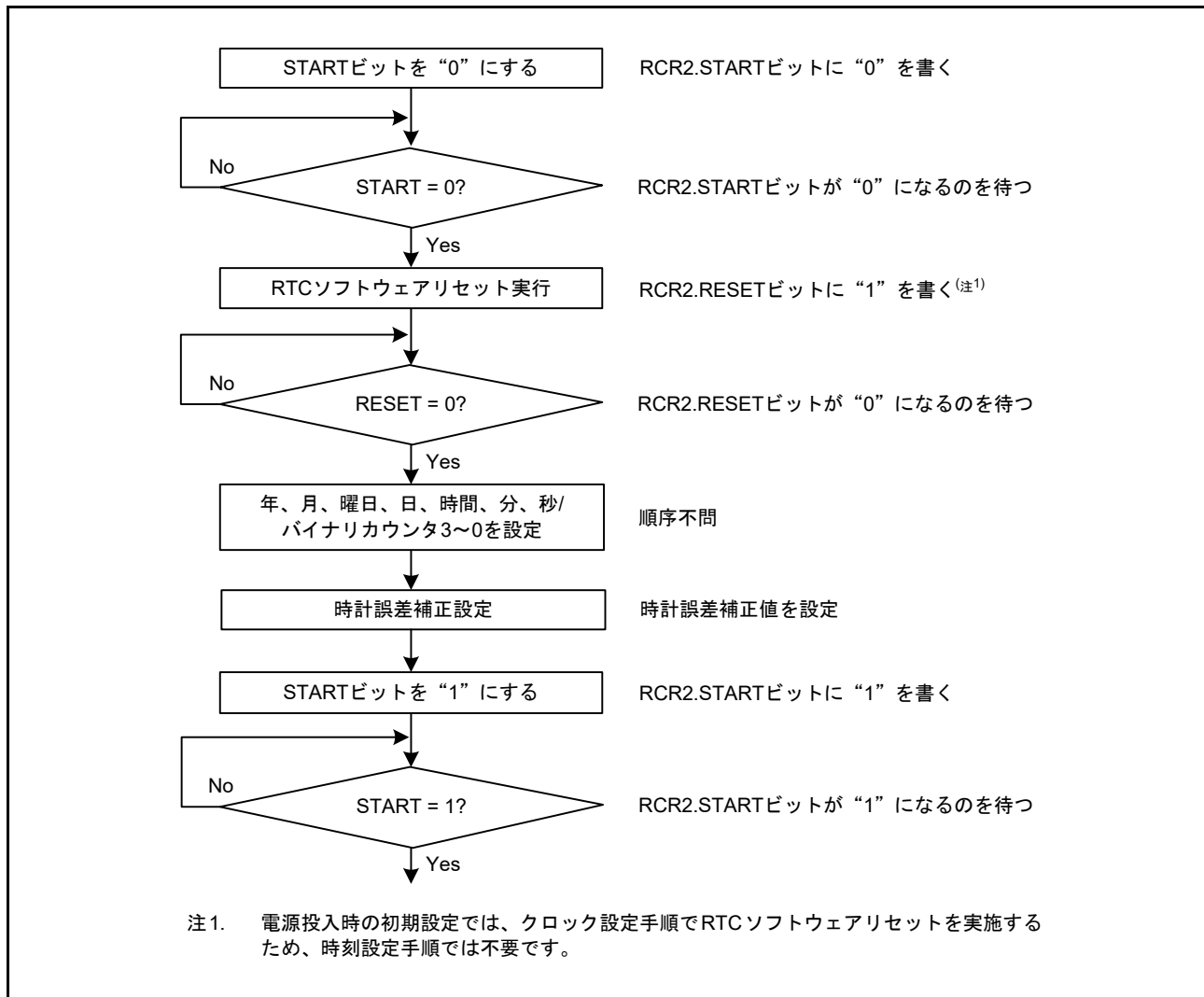


図 26.4 時刻設定手順

26.3.4 30秒調整手順

図 26.5 に30秒調整手順を示します。30秒調整機能はカレンダーカウントモードでのみ使用可能です。

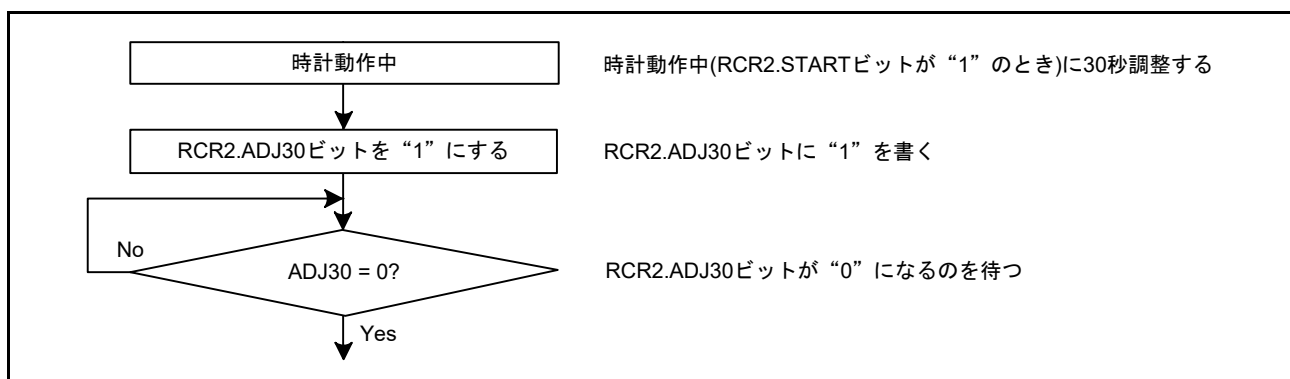


図 26.5 30秒調整手順

26.3.5 64 Hz カウンタおよび時刻読み出し手順

図 26.6 に 64 Hz カウンタおよび時刻読み出し手順を示します。

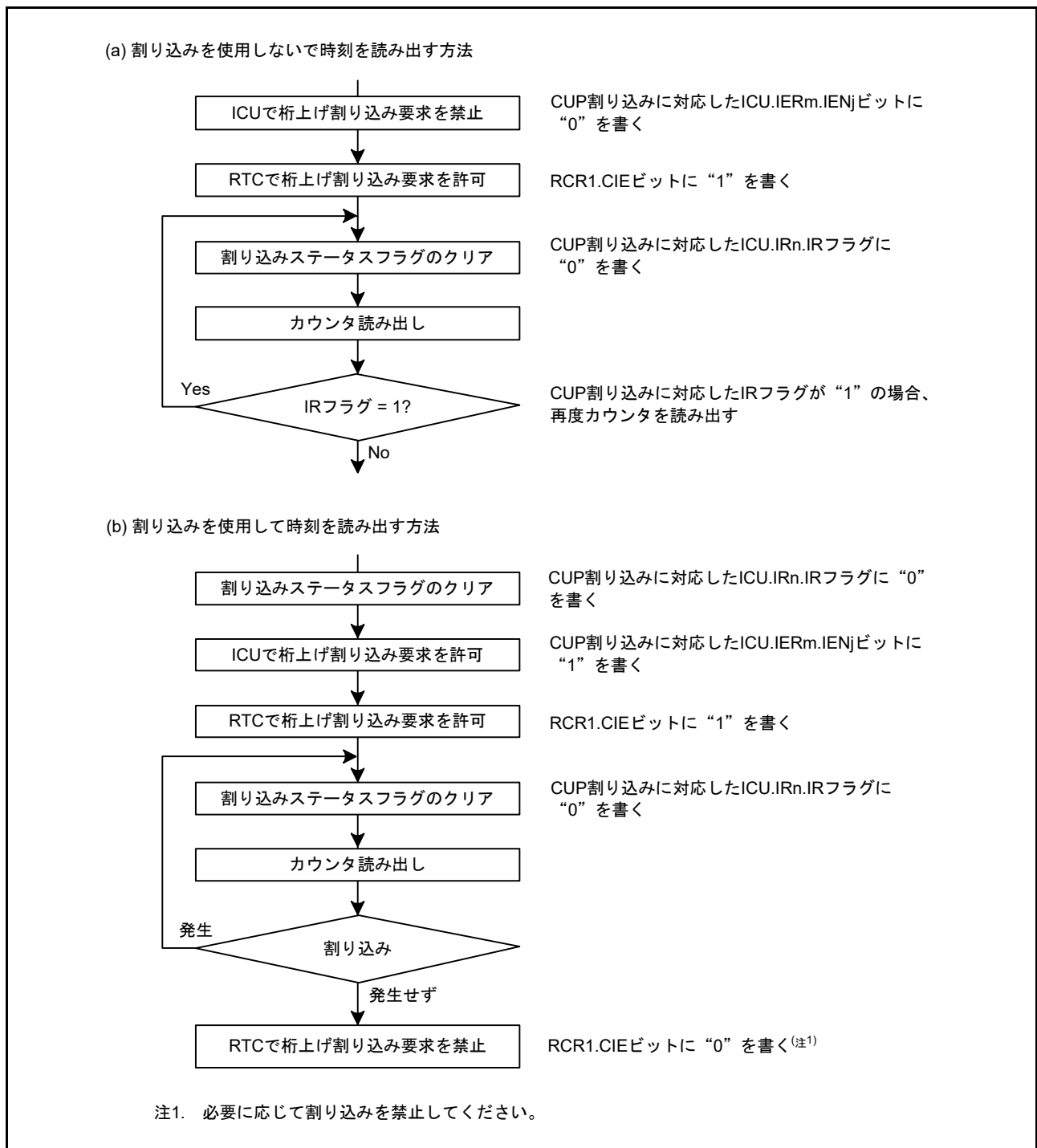


図 26.6 時刻読み出し手順

64 Hz カウンタおよび時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 26.6 の (a) に、桁上げ割り込みを使用する方法を図 26.6 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

26.3.6 アラーム機能

図 26.7 にアラーム機能の使用方法を示します。

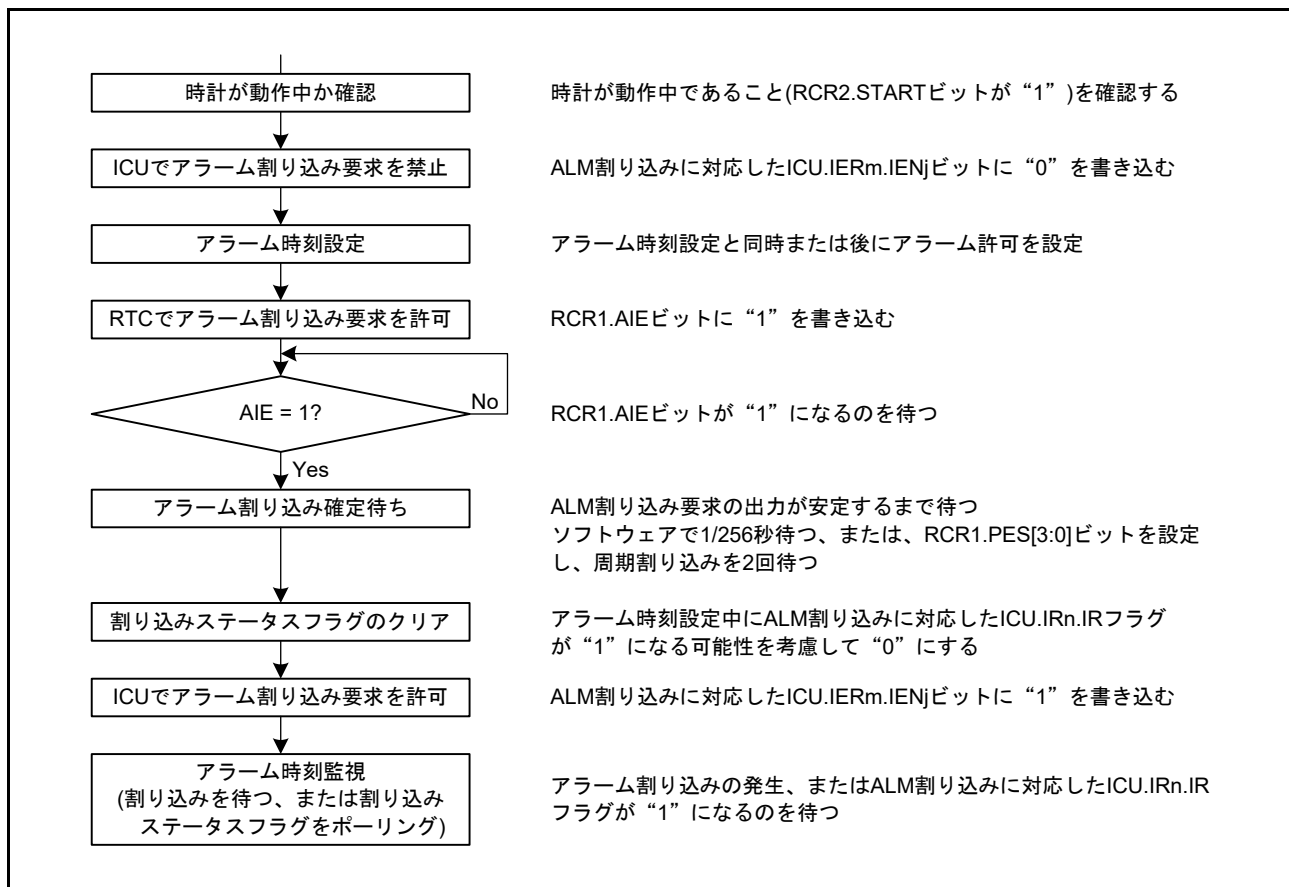


図 26.7 アラーム機能の使用方法

カレンダーカウントモードでは、アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタのENBビットに“1”を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに“0”を書き込みます。

バイナリカウントモードでは、32ビットの任意のビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラーム許可レジスタのENBビットに“1”を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットには、アラーム許可レジスタのENBビットに“0”を書き込みます。

カウンタとアラーム時刻が一致した場合は、ALM割り込みに対応したIRフラグが“1”になります。アラームの検出はこのフラグを読み出すことによって確認できますが、通常は割り込みで行います。ALM割り込みに対応した割り込み要求許可ビットに“1”が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

ALM割り込みに対応したIRフラグは“0”を書き込むと“0”になります。

低消費電力状態のときにカウンタとアラーム時刻が一致すると低消費電力状態から復帰します。

26.3.7 アラーム割り込み禁止手順

図 26.8 に許可状態のアラーム割り込み要求を禁止する手順を示します。

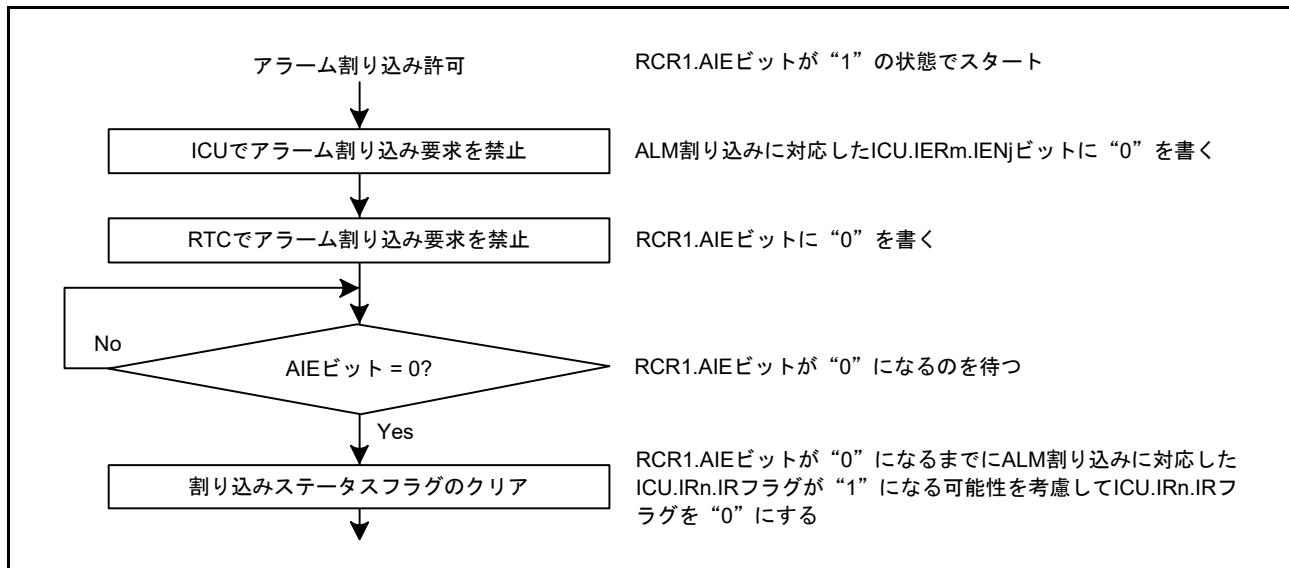


図 26.8 アラーム割り込み要求を禁止する手順

26.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロックの発振精度による時計の誤差（遅れる / 進む）を補正します。サブクロック選択時、32,768 クロックサイクルを 1 秒として動作するため、サブクロックの周波数が高い場合は時計が進み、低い場合は時計が遅れます。本機能により、時計を進めるか、遅らせることで誤差を補正することができます。

時計誤差補正機能には、自動補正とソフトウェアによる補正の 2 種類の補正機能があります。

自動補正、ソフトウェアによる補正の選択は、RCR2.AADJE ビットで設定してください。

26.3.8.1 自動補正機能

RCR2.AADJE ビットが“1”の場合、自動補正機能が有効です。

自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに RADJ レジスタ設定に応じて時計を進めるか、遅らせます。以下に例を示します。

例 1) サブクロック周波数 = 32.769 kHz

補正方法：

サブクロックの周波数が 32.769 kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は、32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みません。1 分なら 60 クロックサイクル分、時計が進むため、1 分ごとに 60 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 0 (1 分ごとに補正)
- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 60 (3Ch)

例 2) サブクロック周波数 = 32.766 kHz

補正方法：

サブクロックの周波数が 32.766 kHz の場合、32,766 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 2 クロックサイクル分、時計が遅れます。10 秒なら 20 クロックサイクル分、時計が遅れるため、10 秒ごとに 20 クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 0 の場合)

- RCR2.AADJP ビット = 1 (10 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 20 (14h)

例 3) サブクロック周波数 = 32.764 kHz

補正方法：

サブクロックの周波数が 32.764 kHz の場合、32,764 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 4 クロックサイクル分、時計が遅れます。8 秒なら 32 クロックサイクル分、時計が遅れるため、8 秒ごとに“32”クロックサイクル分、時計を進めることで補正できます。

レジスタ設定内容：(RCR2.CNTMD = 1 の場合)

- RCR2.AADJP ビット = 1 (8 秒ごとに補正)
- RADJ.PMADJ[1:0] ビット = 01b (進める)
- RADJ.ADJ[5:0] ビット = 32 (20h)

26.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットが“0”の場合、ソフトウェアによる補正が有効です。

ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで RADJ レジスタ設定に応じて時計を進めるか、遅らせます。

例 1) サブクロック周波数 = 32.769 kHz

補正方法：

サブクロックの周波数が 32.769 kHz の場合、32,769 クロックサイクルで 1 秒になりますが、RTC は 32,768 クロックサイクルを 1 秒として動作するため、1 秒につき 1 クロックサイクル分、時計が進みます。1 秒ごとに 1 クロックサイクル分、時計が進むため、1 秒ごとに 1 クロックサイクル分、時計を遅らせることで補正できます。

レジスタ設定内容：

- RADJ.PMADJ[1:0] ビット = 10b (遅らせる)
- RADJ.ADJ[5:0] ビット = 1 (01h)
1 秒の割り込みごとに RADJ レジスタに書き込む

26.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にした後、RCR2.AADJE ビットを変更してください。

ソフトウェアによる補正から、自動補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にする
- (2) RCR2.AADJE ビットを“1”(自動補正機能許可)にする
- (3) RCR2.AADJP ビットで補正周期を選択する
- (4) RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を設定する

自動補正から、ソフトウェアによる補正に切り替える場合

- (1) RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にする
- (2) RCR2.AADJE ビットを“0”(ソフトウェアによる補正機能有効)にする
- (3) 任意のタイミングで RADJ.PMADJ[1:0] ビットに補正方向を、RADJ.ADJ[5:0] ビットに時計誤差補正值を書き込むと補正を行う。以降、RADJ レジスタに書き込むごとに補正を行う。

26.3.8.4 補正機能の停止手順

補正機能を停止する場合は、RADJ.PMADJ[1:0] ビットを“00b”(補正しない)にしてください。

26.3.9 時間キャプチャ機能

RTCは時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、秒/バイナリカウンタ 3 ~ 0の値を格納します。

また、RTCの時間キャプチャイベント入力端子には、ノイズフィルタを使用することができます。ノイズフィルタを有効にした場合、端子の入力レベルが、3回一致することでTCSTフラグが“1”になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタのON/OFFを設定できます。

ノイズフィルタ OFF の場合の動作を図 26.9 に、ノイズフィルタ ON の場合の動作を図 26.10 に示します。

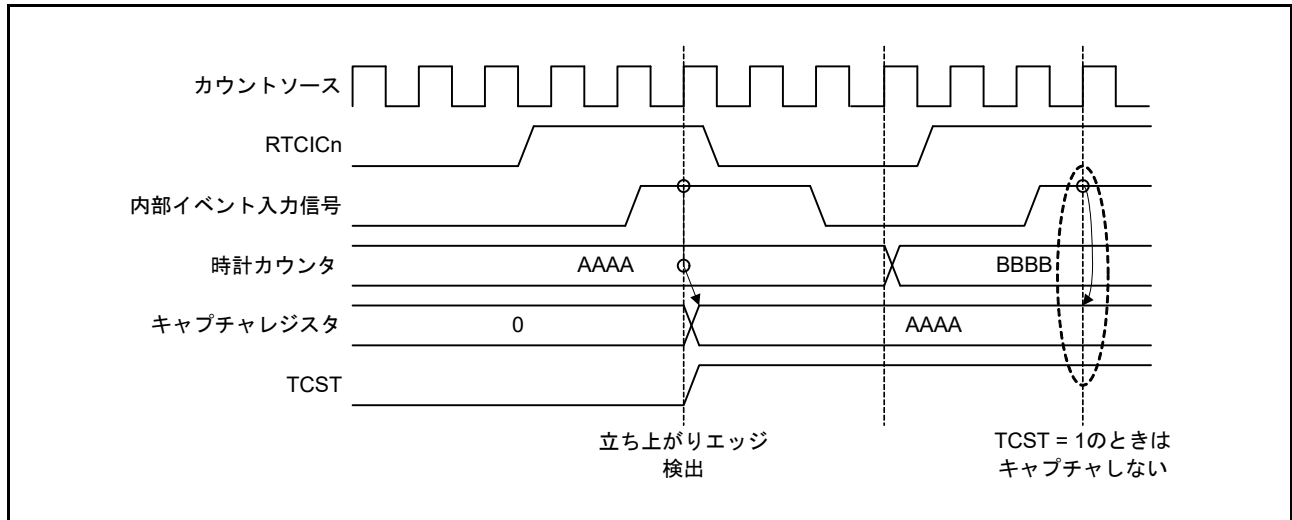


図 26.9 時間キャプチャ機能動作タイミング (フィルタ OFF) (n = 0 ~ 2)

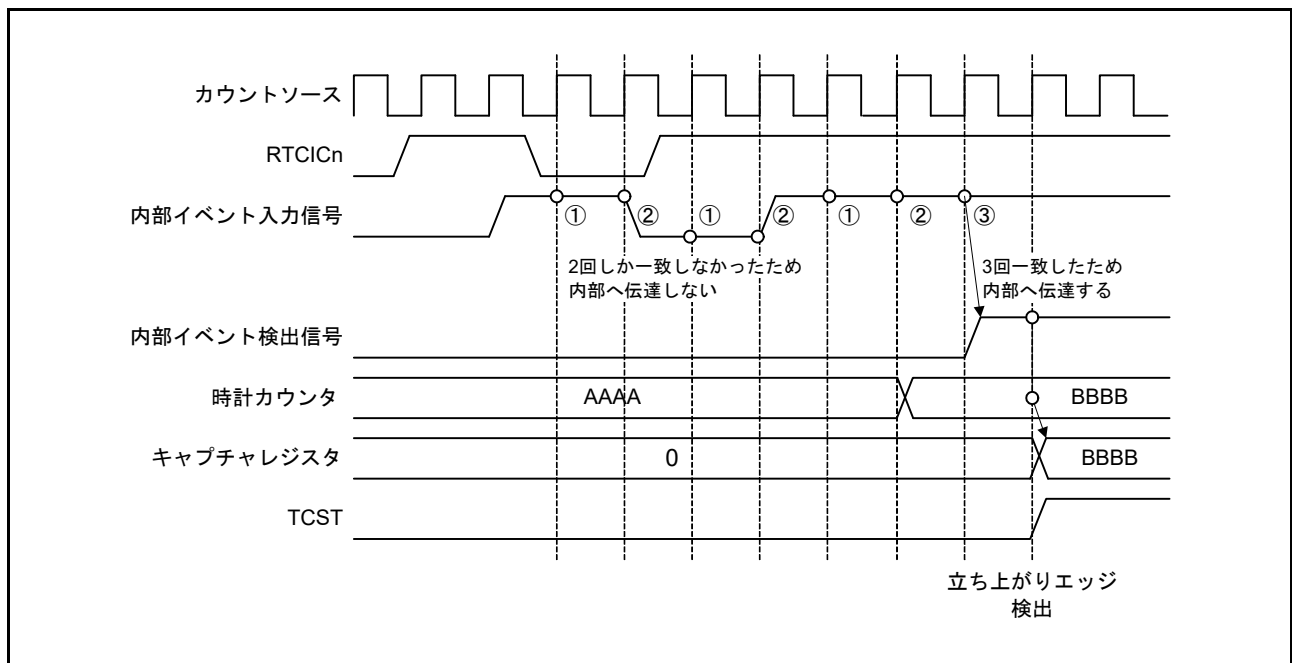


図 26.10 時間キャプチャ機能動作タイミング (フィルタ ON) (n = 0 ~ 2)

26.4 割り込み要因

RTCの割り込み要因には、以下の3種類があります。表26.3にRTCの割り込み要因を示します。

表26.3 RTCの割り込み要因

名称	割り込み要因
ALM	アラーム割り込み
PRD	周期割り込み
CUP	桁上げ割り込み

(1) アラーム割り込み (ALM)

アラームレジスタと時計カウンタとの比較結果によって割り込みが発生します(詳細は「26.3.6 アラーム機能」を参照してください)。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグが“1”になる可能性があるため、アラームレジスタの変更後、アラーム時刻設定の確定を待ち、一度ALM割り込みに対応したIRフラグを“0”にしてください。アラーム割り込みの割り込みフラグは、一度“0”にすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまで“1”になりません。

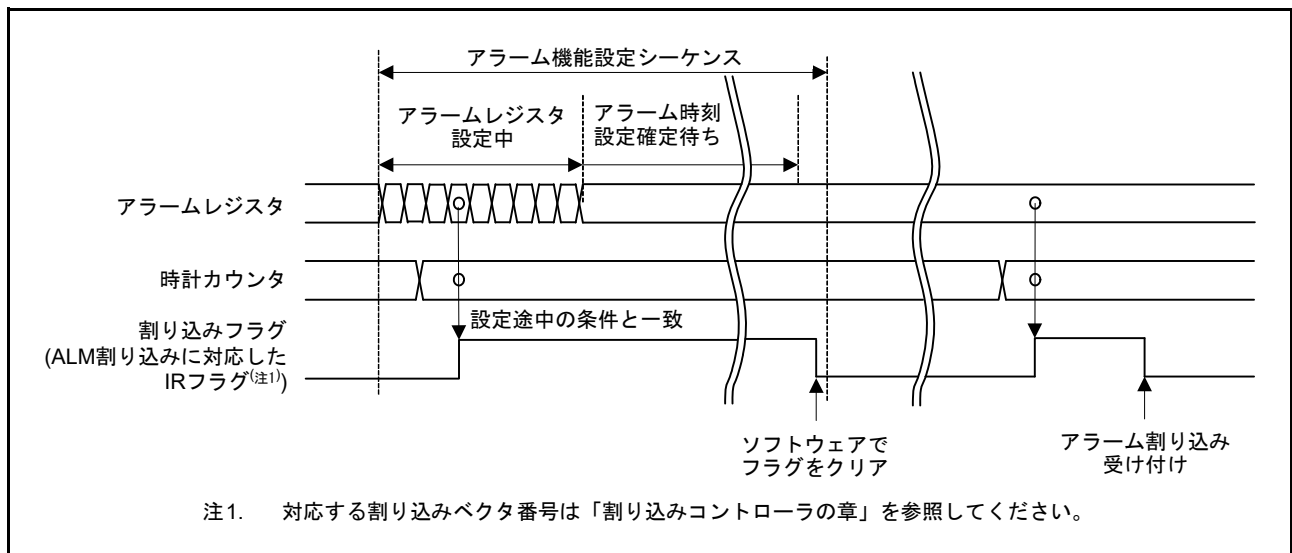


図26.11 アラーム割り込み (ALM) のタイミングチャート

(2) 周期割り込み (PRD)

2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒周期で発生する割り込みです。RCR1.PES[3:0]ビットによって周期の選択が可能です。

(3) 桁上げ割り込み (CUP)

秒カウンタ/バイナリカウンタ 0 への桁上げが発生したとき、または 64 Hz カウンタ読み出しと R64CNT カウンタへの桁上げが重なったときに発生する割り込みです。

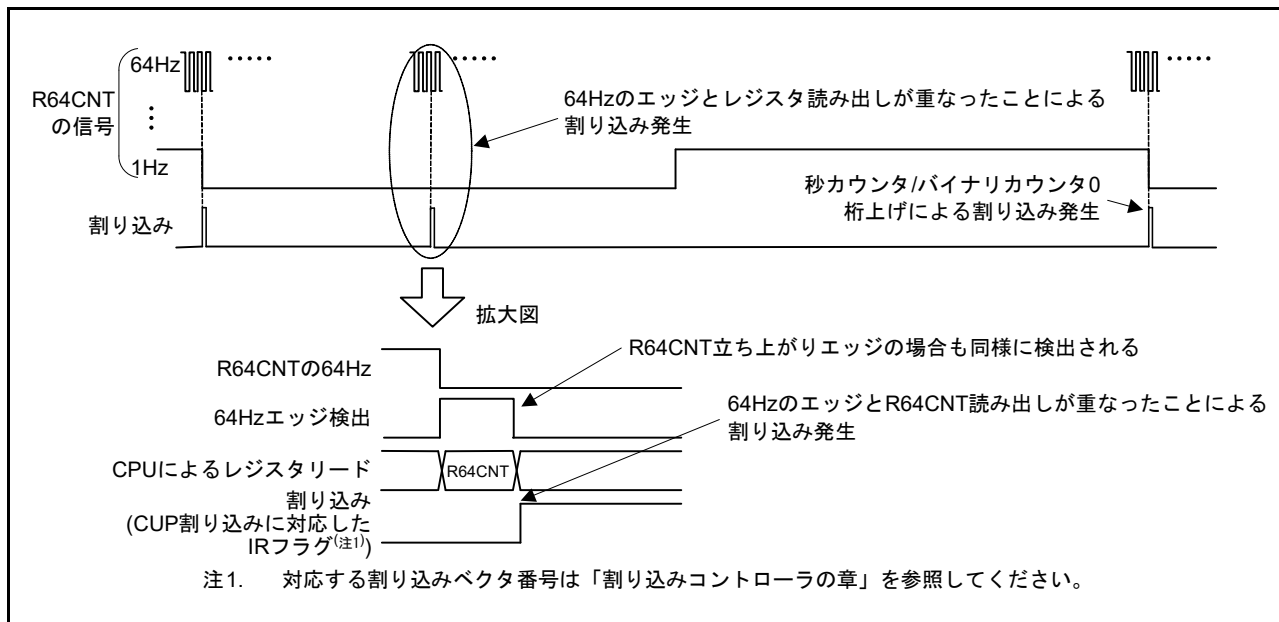


図 26.12 桁上げ割り込み (CUP) のタイミングチャート

26.5 イベントリンク出力機能

RTC はイベントリンクコントローラ (ELC) へ以下のイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

(1) 周期イベント出力

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択された周期でイベントを出力します。

また、イベント発生周期選択直後のイベント発生周期は保証されません。

注． RTC のイベントリンク出力機能を使用する場合は、RTC の設定 (初期化、時刻設定など) 後、ELC を設定して行ってください。ELC 設定後に RTC を設定すると、意図しないイベントが出力することがあります。

26.5.1 割り込み処理とイベントリンクの関係

RTC には、周期割り込みの許可 / 禁止を制御するビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

注． ソフトウェアスタンバイ中もアラーム割り込み、周期割り込み出力することができますが、ELC 用の周期イベント信号は出力しません。

26.6 使用上の注意事項

26.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時 (RCR2.START ビット = 1 のとき) は、以下のレジスタに書き込みを行わないでください。

RSECCNT/BCNT0, RMINCNT/BCNT1, RHRCNT/BCNT2, RDAYCNT, RWKCNT/BCNT3, RMONCNT, RYRCNT, RCR1.RTCOS, RCR2.RTCOE, RCR2.HR24

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

26.6.2 周期割り込みの使用について

周期割り込みの使用方法を図 26.13 に示します。

周期割り込みは、RCR1.PES[3:0] ビットの設定によって割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケアラ、R64CNT、RSECCNT/BCNT0 カウンタを使用しているため、RCR1.PES[3:0] ビット設定直後の割り込み発生周期は保証されません。

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、割り込み発生周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正值の分だけ周期がずれます。

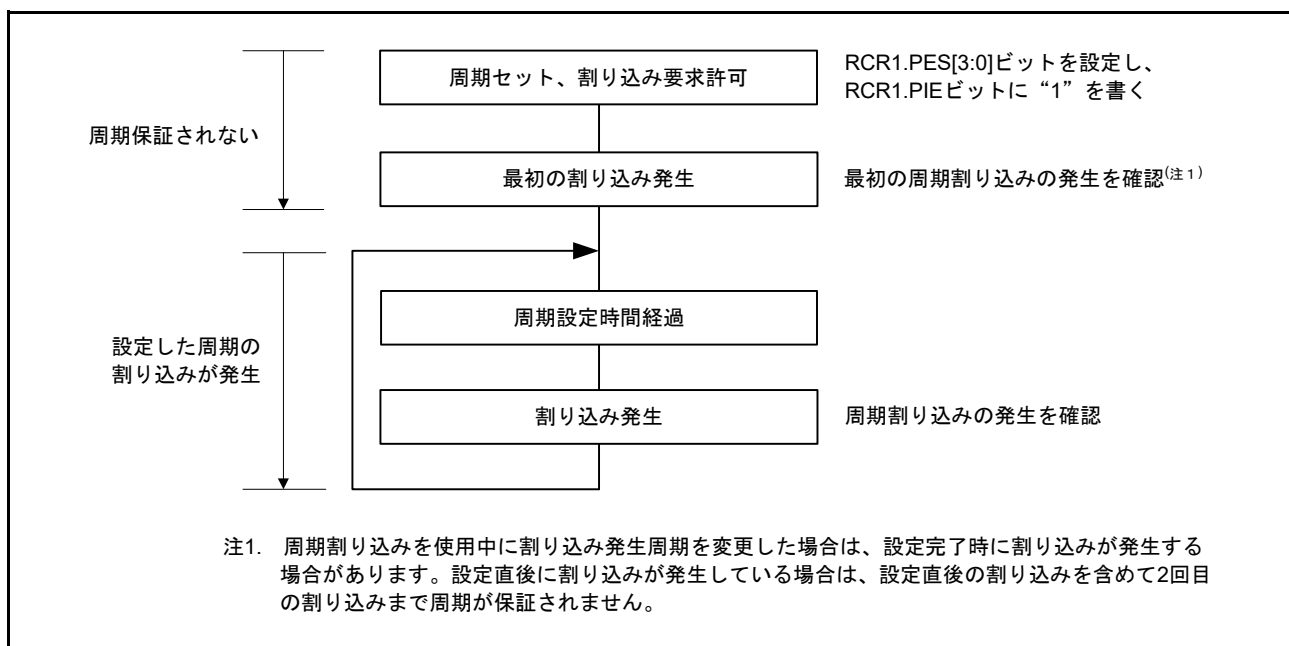


図 26.13 周期割り込み機能の使用方法

26.6.3 RTCOUT (1 Hz/64 Hz) 出力について

RCR2 レジスタによって、カウント動作の停止 / 動作、RTC ソフトウェアリセット、30 秒調整を行うと、RTCOUT (1 Hz/64 Hz) 出力の周期に影響を与えます。また、時計誤差補正機能を使用した場合、補正後の RTCOUT (1 Hz/64 Hz) 出力の周期は、補正值の分だけ周期がずれます。

26.6.4 レジスタ設定後の低消費電力モード移行について

RTC 内レジスタへの書き込み、およびレジスタ更新処理中に低消費電力状態 (ソフトウェアスタンバイモード) へ遷移すると、レジスタ値を破壊する可能性があります。レジスタ設定後は、設定されたことを確認してから低消費電力状態に遷移してください。

26.6.5 レジスタの書き込み / 読み出し時の注意事項

- 秒カウンタ / バイナリカウンタ 0 など、カウントレジスタの読み出しは、「26.3.5 64 Hz カウンタおよび時刻読み出し手順」に従ってください。
- カウントレジスタ、アラームレジスタ、年アラーム許可レジスタ、RCR2.AADJE、AADJP、HR24 ビットに書いた値は、書き込み後 4 回目の読み出しから反映されます。
- RCR1.CIE、RTCOS ビット、RCR2.RTCOE ビットは、書き込み後すぐに書いた値を読み出すことができます。
- リセットまたはソフトウェアスタンバイモードから復帰した後に時計カウンタの値を読み出すときは、時計動作中 (RCR2.START ビット = 1) で 1/128 秒待ってから読み出しを行ってください。
- リセット発生後、RTC レジスタへの書き込みは、カウントソース 6 サイクル経過後に行ってください。

26.6.6 カウントモードの変更について

カウントモード (カレンダー / バイナリ) を変更する場合には、RCR2.START ビットを “0” に設定し、カウント動作を停止させてから初期設定からやり直してください。初期設定の詳細は「26.3.1 電源投入後のレジスタの初期設定概要」を参照してください。

26.6.7 リアルタイムクロックを使用しない場合の初期化手順

RTC内のレジスタは、リセットによる初期化が行われないため、初期状態によっては意図しない割り込み要求が発生したり、カウンタが動作することにより、電力消費量が多くなります。

リアルタイムクロックを必要としない製品では、**図 26.14** に示す初期化手順に従って、レジスタを初期化してください。

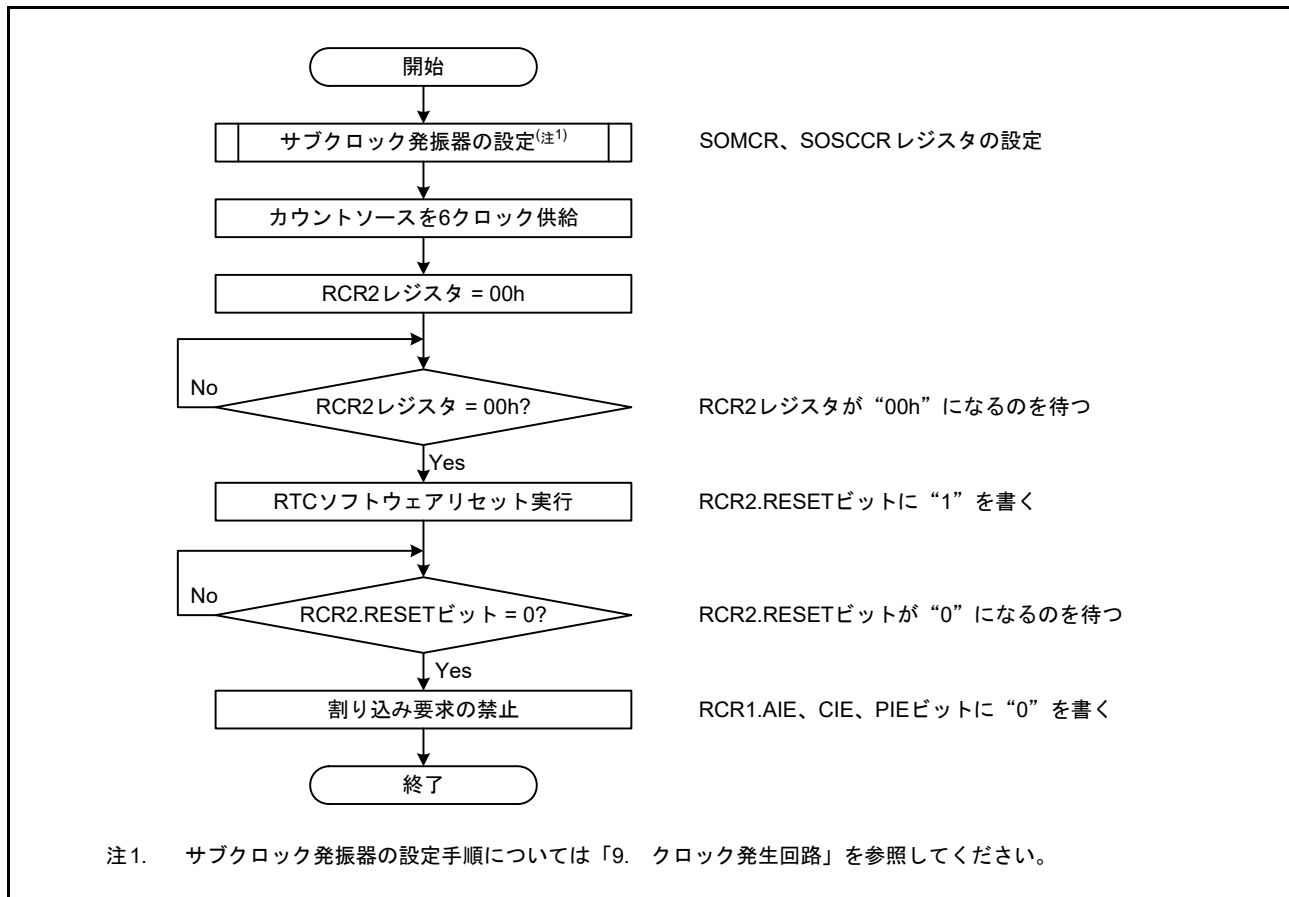


図 26.14 初期化手順

27. ローパワータイマ (LPTa)

27.1 概要

本 MCU は、1 チャンネルの 16 ビットタイマにより構成されるローパワータイマ (LPT) を内蔵しています。LPT は、クロックソースとしてサブクロック、LOCO クロック、または IWDT 専用クロックを使用しており、ソフトウェアスタンバイモード時もカウント動作を継続することが可能です。コンペアマッチ信号により、ソフトウェアスタンバイモードから通常動作モードに復帰することが可能です。

また、チャンネル 0 は PWM 波形を生成することもできます。

表 27.1 に LPT の仕様を、図 27.1 に LPT のブロック図を示します。

表 27.1 LPT の仕様

項目	内容
クロックソース	サブクロック、LOCO クロック (4 分周)、IWDT 専用クロック
クロック分周比	分周なし、2 分周、4 分周、8 分周、16 分周、32 分周
カウント動作	<ul style="list-style-type: none">16 ビットのアップカウンタによるアップカウントソフトウェアスタンバイモード時もカウント動作継続可能
コンペアマッチ	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生) コンペアマッチ 1
PWM 波形生成	LPTO 端子から PWM 波形の出力が可能
割り込み	コンペアマッチ 1
イベントリンク機能 (出力)	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生) コンペアマッチ 1

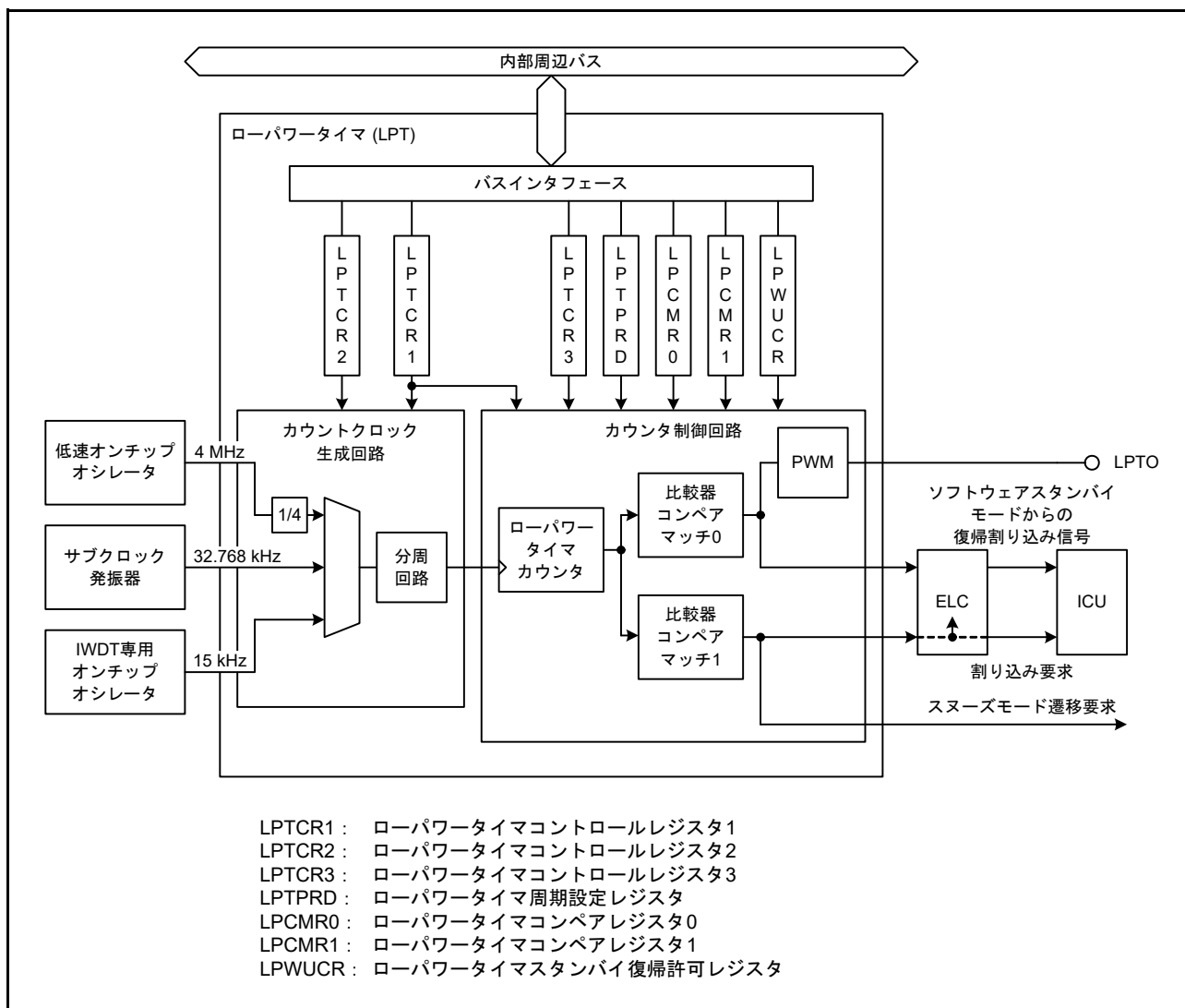


図 27.1 LPTのブロック図

表27.2 LPTの入出力端子

端子名	入出力	機能
LPTO	出力	PWM 波形出力端子

27.2 レジスタの説明

27.2.1 ローパワータイマコントロールレジスタ 1 (LPTCR1)

アドレス LPT.LPTCR1 0008 00B0h

b7	b6	b5	b4	b3	b2	b1	b0
LPCMR E1	LPCMR E0	—	LPCNT CKSEL	LPCNT CKSEL 2	LPCNTPSSEL[2:0]		
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	LPCNTPSSEL[2:0]	クロック分周比選択ビット(注1)	b2 b0 0 0 0 : 分周なし 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 上記以外は設定しないでください	R/W
b3	LPCNTCKSEL2	クロックソース選択ビット2(注1、注2)	b4 b3 0 0 : サブクロック 0 1 : LOCOクロックの4分周(注3)	R/W
b4	LPCNTCKSEL	クロックソース選択ビット(注1、注2)	1 0 : IWDT専用クロック (IWDTCLK)(注4) 1 1 : LOCOクロックの4分周(注3)	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LPCMRE0	コンペアマッチ0許可ビット(注5)	0 : コンペアマッチ0禁止 1 : コンペアマッチ0許可	R/W
b7	LPCMRE1	コンペアマッチ1許可ビット(注5)	0 : コンペアマッチ1禁止 1 : コンペアマッチ1許可	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. LPTCR2.LPCNTSTPビットが“1”(ローパワータイマへのクロックを停止)のときに変更してください。

注2. システムクロック(ICLK)と周辺モジュールクロック(PCLKB)の周波数 $\geq 4 \times$ (クロックソースの周波数)となるようにしてください。

注3. 低速オンチップオシレータ(LOCO)が生成するクロック(LOCOクロック)を4分周したクロックが、ローパワータイマに供給されます。ローパワータイマのクロックソースとしてLOCOクロックを使用し、ソフトウェアスタンバイモード中も動作させる場合、LOFCR.LOFXINビットを“1”にしてください。

注4. IWDT専用オンチップオシレータが生成するクロック(IWDTCLK)がローパワータイマに供給されます。本ビットを変更する場合は、IWDT専用オンチップオシレータが安定発振している状態で行ってください。

また、ローパワータイマのクロックソースとしてIWDTCLKを使用する場合、IWDTオートスタートモード動作時はOFS0.IWDTSLCSTPビットに“0”(カウント停止無効)を、それ以外の時はIWDTCSSTPR.SLCSTPビットに“0”(カウント停止無効)を設定してください。この設定をしなかった場合、ソフトウェアスタンバイモード時にIWDT専用オンチップオシレータが停止します。

注5. LPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。

LPTCR1 レジスタは、ローパワータイマの制御を行います。

LPCNTCKSEL2 ビット(クロックソース選択ビット2)

ローパワータイマのクロックソースを LOCO クロックにするビットです。

LPCNTCKSEL ビット(クロックソース選択ビット)

ローパワータイマのクロックソースをサブクロック、IWDT 専用クロックから選択します。

LPCNTCKSEL2 ビットが“0”のとき有効です。

LPCMRE0 ビット (コンペアマッチ 0 許可ビット)

ローパワータイマによるコンペアマッチ 0 の許可または禁止を設定します。

本ビットが“1”、かつ、LPWUCR.LPWKUPEN ビットが“1”(ローパワータイマによるソフトウェアスタンバイモードからの復帰を許可)のときにローパワータイマを動作状態にしてソフトウェアスタンバイモードに遷移すると、ローパワータイマカウンタの値が LPCMR0 レジスタの設定値と一致したときにイベントリンクコントローラ (ELC) を介してソフトウェアスタンバイモードから通常動作モードに復帰します。

ソフトウェアスタンバイモードからの復帰に使用する場合は、割り込みの設定と ELC の設定が必要です。

ELC の設定の詳細については、「19. イベントリンクコントローラ (ELC)」を、割り込みの設定の詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

なお、コンペアマッチ 0 による割り込み要求は、ソフトウェアスタンバイモード時にのみ発生します。通常動作モード、スリープモード、およびディープスリープモード時は発生しません。

LPCMRE1 ビット (コンペアマッチ 1 許可ビット)

ローパワータイマによるコンペアマッチ 1 の許可または禁止を設定します。

本ビットが“1”のときにローパワータイマカウンタの値が LPCMR1 レジスタの設定値と一致すると、イベントリンクコントローラ (ELC) に対してイベント信号が出力され、また同じ信号が ELC 経由で割り込みコントローラ (ICU) に対して割り込み要求信号として伝達されます。このため、割り込みを発生させるには ELC のモジュールストップを解除しておく必要があります。

27.2.2 ローパワータイマコントロールレジスタ 2 (LPTCR2)

アドレス LPT.LPTCR2 0008 00B1h

	b7	b6	b5	b4	b3	b2	b1	b0
	PWME	OLVL	OPOL	—	—	—	—	LPCNT STP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	LPCNTSTP	クロック供給制御ビット	0 : ローパワータイマにクロックを供給 1 : ローパワータイマへのクロックを停止	R/W
b4-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	OPOL	出力極性選択ビット(注1)	0 : 初期値はLow、その後の出力はOLVLビットの設定どおり 1 : 初期値はHigh、その後の出力はOLVLビット設定の反転	R/W
b6	OLVL	出力レベル選択ビット(注1)	0 : コンペアマッチ0でHighを出力、カウンタクリア時にLowを出力 1 : コンペアマッチ0でLowを出力、カウンタクリア時にHighを出力	R/W
b7	PWME	PWMモード許可ビット(注1)	0 : PWMモード禁止 1 : PWMモード許可	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. このビットはLPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。

LPTCR2 レジスタは、ローパワータイマで使用するクロックの供給制御と PWM モードの動作設定を行います。

LPCNTSTP ビット (クロック供給制御ビット)

ローパワータイマで使用するクロックの供給 / 停止を制御します。本ビットを“0”にすると、ローパワータイマカウンタおよび分周回路にクロックが供給されます。

OPOL ビット (出力極性選択ビット)

PWM モード時の出力波形の極性を選択します。

OLVL ビット (出力レベル選択ビット)

PWM モード時、コンペアマッチ 0 で出力する波形のレベルを選択します。

OPOL ビットとの組み合わせにより以下のような波形を生成できます。

表27.3 OPOLビット、OLVLビットの組み合わせと出力波形のレベル

OPOLビット	OLVLビット	初期値	コンペアマッチ0時	カウンタクリア時
0	0	Low	High	Low
0	1	Low	Low	High
1	0	High	Low	High
1	1	High	High	Low

PWME ビット (PWM モード許可ビット)

PWM モードの許可 / 禁止を制御します。

本ビットを“0”にすると、LPTO 端子の出力は初期値に固定されます。“1”にすると LPTO 端子から PWM 波形を出力できます。

27.2.3 ローパワータイマコントロールレジスタ 3 (LPTCR3)

アドレス LPT.LPTCR3 0008 00B2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LPCNTRST	LPCNTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LPCNTEN	ローパワータイマカウンタ動作制御ビット	0: ローパワータイマカウンタ停止 1: ローパワータイマカウンタ動作	R/W
b1	LPCNTRST	ローパワータイマカウンタクリアビット(注1、注2)	<ul style="list-style-type: none"> 書き込み時 0: 何もしない 1: 分周回路およびローパワータイマカウンタをクリア 読み出し時 0: クリア完了 1: クリア中 	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

注. このレジスタは、LPTCR2.LPCNTSTPビットが“0”(ローパワータイマにクロックを供給)のときに変更してください。

注1. このビットは、LPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。

注2. 連続してローパワータイマカウンタをクリアする場合、LPCNTRSTビットが“0”になったことを確認した後、LPTCR1.LPCNTCKSEL2、LPCNTCKSELビットで選択したクロックで1サイクル以上待ってからLPCNTRSTビットに“1”を書いてください。

LPTCR3 レジスタは、ローパワータイマカウンタと分周回路の動作制御およびクリアを行います。

LPCNTEN ビット (ローパワータイマカウンタ動作制御ビット)

ローパワータイマカウンタおよび分周回路の動作/停止を制御します。

LPTCR2.LPCNTSTP ビットが“0”(ローパワータイマにクロックを供給)のときに本ビットを“1”にすると、ローパワータイマカウンタおよび分周回路が動作を開始します。

本ビットが“1”のときは、LPCNTRST ビットに“1”を書き込まないでください。

LPCNTRST ビット (ローパワータイマカウンタクリアビット)

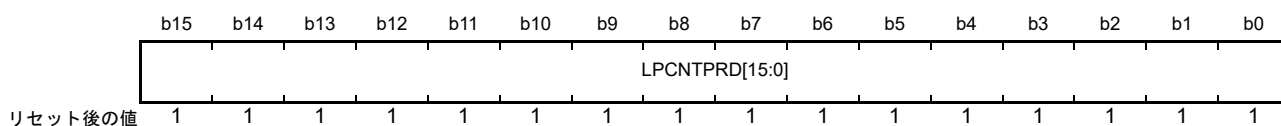
ローパワータイマカウンタおよび分周回路をクリアします。

LPTCR2.LPCNTSTP ビットが“0”(ローパワータイマにクロックを供給)のときに本ビットに“1”を書き込むと、ローパワータイマで使用するクロックに同期してクリアが実行され、クリアが完了すると本ビットは自動的に“0”になります。

本ビットに“1”を書いた場合、値が“0”(クリア完了)になったことを確認してから次の処理を実行してください。

27.2.4 ローパワータイマ周期設定レジスタ (LPTPRD)

アドレス LPT.LPTPRD 0008 00B4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LPCNTPRD[15:0]	ローパワータイマ周期設定ビット	ローパワータイマの周期を設定 設定範囲：0001h~FFFFh	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

注. このレジスタはLPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。

LPTPRD レジスタは、ローパワータイマの周期を設定するレジスタです。

ローパワータイマの周期は、「LPTPRD + 1」に比例し、下記の計算式で求められます。

$$\text{ローパワータイマの周期} = \text{クロックソースの周期} \times \text{分周比} \times (\text{LPTPRD} + 1)$$

ローパワータイマカウンタの値と本設定値が一致すると、カウンタは“0000h”になり、カウントを継続します。

本レジスタに“0000h”を設定しないでください。

表 27.4、表 27.5、表 27.6 にローパワータイマの周期設定例を示します。目標の周期に対し、一番近い設定例です。

表27.4 ローパワータイマの周期設定例(IWDTCLKの場合)

分周比	分周なし			2分周			4分周		
	目標の周期 (ms)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)
1	000Eh	1.00	0.00	0006h	0.93	-6.67	0003h	1.07	6.67
2	001Dh	2.00	0.00	000Dh	1.87	-6.67	0006h	1.87	-6.67
5	004Ah	5.00	0.00	0024h	4.93	-1.33	0011h	4.80	-4.00
10	0095h	10.00	0.00	004Ah	10.00	0.00	0024h	9.87	-1.33
20	012Bh	20.00	0.00	0095h	20.00	0.00	004Ah	20.00	0.00
50	02EDh	50.00	0.00	0176h	50.00	0.00	00BAh	49.87	-0.27
100	05DBh	100.00	0.00	02EDh	100.00	0.00	0176h	100.00	0.00
200	0BB7h	200.00	0.00	05DBh	200.00	0.00	02EDh	200.00	0.00
500	1D4Bh	500.00	0.00	0EA4h	499.87	-0.03	0751h	499.73	-0.05
1000	3A97h	1000.00	0.00	1D4Ah	999.87	-0.01	0EA4h	999.73	-0.03
2000	752Fh	2000.00	0.00	3A96h	1999.87	-0.01	1D4Ah	1999.73	-0.01
5000	—	—	—	927Bh	5000.00	0.00	493Dh	5000.00	0.00
10000	—	—	—	—	—	—	—	—	—
20000	—	—	—	—	—	—	—	—	—
50000	—	—	—	—	—	—	—	—	—

分周比	8分周			16分周			32分周		
	目標の周期 (ms)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)
1	0001h	1.07	6.67	—	—	—	—	—	—
2	0003h	2.13	6.67	0001h	2.13	6.67	—	—	—
5	0008h	4.80	-4.00	0004h	5.33	6.67	0001h	4.27	-14.67
10	0011h	9.60	-4.00	0008h	9.60	-4.00	0004h	10.67	6.67
20	0024h	19.73	-1.33	0011h	19.20	-4.00	0008h	19.20	-4.00
50	005Ch	49.60	-0.80	002Dh	49.07	-1.87	0016h	49.07	-1.87
100	00BAh	99.73	-0.27	005Ch	99.20	-0.80	002Dh	98.13	-1.87
200	0176h	200.00	0.00	00BAh	199.47	-0.27	005Ch	198.40	-0.80
500	03A8h	499.73	-0.05	01D3h	499.20	-0.16	00E9h	499.20	-0.16
1000	0751h	999.47	-0.05	03A8h	999.47	-0.05	01D3h	998.40	-0.16
2000	0EA4h	1999.47	-0.03	0751h	1998.93	-0.05	03A8h	1998.93	-0.05
5000	249Eh	5000.00	0.00	124Eh	4999.47	-0.01	0926h	4998.40	-0.03
10000	493Dh	10000.00	0.00	249Eh	10000.00	0.00	124Eh	9998.93	-0.01
20000	927Bh	20000.00	0.00	493Dh	20000.00	0.00	249Eh	20000.00	0.00
50000	—	—	—	B71Ah	50000.00	0.00	5B8Ch	49998.93	0.00

表27.5 ローパワータイマの周期設定例(サブクロックの場合)

分周比	分周なし			2分周			4分周		
	設定値	実際の周期(ms)	誤差(%)	設定値	実際の周期(ms)	誤差(%)	設定値	実際の周期(ms)	誤差(%)
1	0020h	1.01	0.71	000Fh	0.98	-2.34	0007h	0.98	-2.34
2	0041h	2.01	0.71	001Fh	1.95	-2.34	000Fh	1.95	-2.34
5	00A3h	5.00	0.10	0050h	4.94	-1.12	0027h	4.88	-2.34
10	0147h	10.01	0.10	00A2h	9.95	-0.51	0050h	9.89	-1.12
20	028Eh	19.99	-0.05	0146h	19.96	-0.21	00A2h	19.90	-0.51
50	0665h	49.99	-0.02	0332h	49.99	-0.02	0198h	49.93	-0.15
100	0CCCh	100.01	0.01	0665h	99.98	-0.02	0332h	99.98	-0.02
200	1999h	200.01	0.01	0CCBh	199.95	-0.02	0665h	199.95	-0.02
500	3FFFh	500.00	0.00	1FFFh	500.00	0.00	0FFFh	500.00	0.00
1000	7FFFh	1000.00	0.00	3FFFh	1000.00	0.00	1FFFh	1000.00	0.00
2000	FFFFh	2000.00	0.00	7FFFh	2000.00	0.00	3FFFh	2000.00	0.00
5000	—	—	—	—	—	—	9FFFh	5000.00	0.00
10000	—	—	—	—	—	—	—	—	—
20000	—	—	—	—	—	—	—	—	—
50000	—	—	—	—	—	—	—	—	—

分周比	8分周			16分周			32分周		
	設定値	実際の周期(ms)	誤差(%)	設定値	実際の周期(ms)	誤差(%)	設定値	実際の周期(ms)	誤差(%)
1	0003h	0.98	-2.34	0001h	0.98	-2.34	—	—	—
2	0007h	1.95	-2.34	0003h	1.95	-2.34	0001h	1.95	-2.34
5	0013h	4.88	-2.34	0009h	4.88	-2.34	0004h	4.88	-2.34
10	0027h	9.77	-2.34	0013h	9.77	-2.34	0009h	9.77	-2.34
20	0050h	19.78	-1.12	0027h	19.53	-2.34	0013h	19.53	-2.34
50	00CBh	49.80	-0.39	0065h	49.80	-0.39	0032h	49.80	-0.39
100	0198h	99.85	-0.15	00CBh	99.61	-0.39	0065h	99.61	-0.39
200	0332h	199.95	-0.02	0198h	199.71	-0.15	00CBh	199.22	-0.39
500	07FFh	500.00	0.00	03FFh	500.00	0.00	01FFh	500.00	0.00
1000	0FFFh	1000.00	0.00	07FFh	1000.00	0.00	03FFh	1000.00	0.00
2000	1FFFh	2000.00	0.00	0FFFh	2000.00	0.00	07FFh	2000.00	0.00
5000	4FFFh	5000.00	0.00	27FFh	5000.00	0.00	13FFh	5000.00	0.00
10000	9FFFh	10000.00	0.00	4FFFh	10000.00	0.00	27FFh	10000.00	0.00
20000	—	—	—	9FFFh	20000.00	0.00	4FFFh	20000.00	0.00
50000	—	—	—	—	—	—	C7FFh	50000.00	0.00

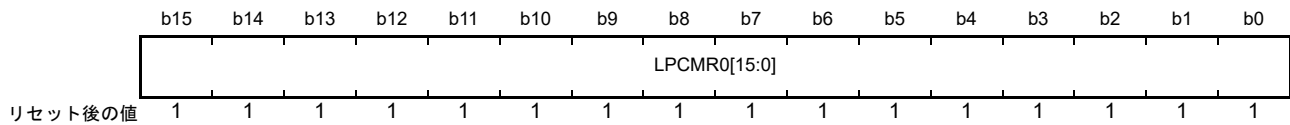
表27.6 ローパワータイマの周期設定例(LOCOクロックの場合)

分周比	分周なし			2分周			4分周		
	目標の周期 (ms)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)
1	03E7h	1.00	0.00	01F3h	1.00	0.00	00F9h	1.00	0.00
2	07CFh	2.00	0.00	03E7h	2.00	0.00	01F3h	2.00	0.00
5	1387h	5.00	0.00	09C3h	5.00	0.00	04E1h	5.00	0.00
10	270Fh	10.00	0.00	1387h	10.00	0.00	09C3h	10.00	0.00
20	4E1Fh	20.00	0.00	270Fh	20.00	0.00	1387h	20.00	0.00
50	C34Fh	50.00	0.00	61A7h	50.00	0.00	30D3h	50.00	0.00
100	—	—	—	C34Fh	100.00	0.00	61A7h	100.00	0.00
200	—	—	—	—	—	—	C34Fh	200.00	0.00
500	—	—	—	—	—	—	—	—	—
1000	—	—	—	—	—	—	—	—	—
2000	—	—	—	—	—	—	—	—	—
5000	—	—	—	—	—	—	—	—	—

分周比	8分周			16分周			32分周		
	目標の周期 (ms)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)	誤差 (%)	設定値	実際の周期 (ms)
1	007Ch	1.00	0.00	003Eh	1.01	0.80	001Eh	0.99	-0.80
2	00F9h	2.00	0.00	007Ch	2.00	0.00	003Eh	2.02	0.80
5	0270h	5.00	0.00	0138h	5.01	0.16	009Bh	4.99	-0.16
10	04E1h	10.00	0.00	0270h	10.00	0.00	0138h	10.02	0.16
20	09C3h	20.00	0.00	04E1h	20.00	0.00	0270h	20.00	0.00
50	1869h	50.00	0.00	0C34h	50.00	0.00	061Ah	50.02	0.03
100	30D3h	100.00	0.00	1869h	100.00	0.00	0C34h	100.00	0.00
200	61A7h	200.00	0.00	30D3h	200.00	0.00	1869h	200.00	0.00
500	F423h	500.00	0.00	7A11h	500.00	0.00	3D08h	500.00	0.00
1000	—	—	—	F423h	1000.00	0.00	7A11h	1000.00	0.00
2000	—	—	—	—	—	—	F423h	2000.00	0.00
5000	—	—	—	—	—	—	—	—	—

27.2.5 ローパワータイマコンペアレジスタ 0 (LPCMR0)

アドレス LPT.LPCMR0 0008 00B8h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LPCMR0[15:0]	ローパワータイマコンペア0ビット	ローパワータイマカウンタとのコンペアマッチ値0を設定	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

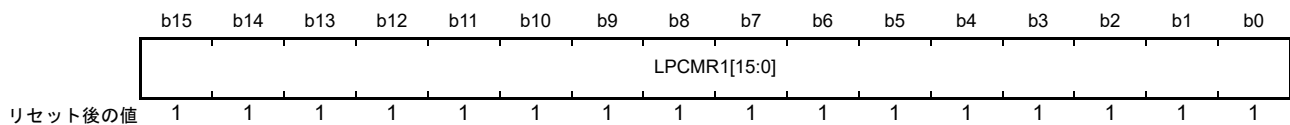
注. LPTCR2.PWMEビットが“0”(PWMモード禁止)の場合、このレジスタは、LPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。

LPCMR0 レジスタは、ローパワータイマカウンタとのコンペアマッチ値0を設定するレジスタです。

LPCMR0 レジスタには、LPTPRD レジスタに設定した値以下の値を設定してください。

27.2.6 ローパワータイマコンペアレジスタ 1 (LPCMR1)

アドレス LPT.LPCMR1 0008 00BAh



ビット	シンボル	ビット名	機能	R/W
b15-b0	LPCMR1[15:0]	ローパワータイマコンペア1ビット	ローパワータイマカウンタとのコンペアマッチ値1を設定	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

注. このレジスタは、LPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。

LPCMR1 レジスタは、ローパワータイマカウンタとのコンペアマッチ値1を設定するレジスタです。

LPTCR2.PWMEビットが“0”(PWMモード禁止)の場合、LPCMR1 レジスタには、LPTPRD レジスタに設定した値以下の値を設定してください。

LPTCR2.PWMEビットが“1”(PWMモード許可)の場合、LPCMR1 レジスタには、LPTPRD レジスタに設定した値と同じ値を設定してください。

27.2.7 ローパワータイマスタンバイ復帰許可レジスタ (LPWUCR)

アドレス LPT.LPWUCR 0008 00BCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LPWKU PEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	LPWKUPEN	ローパワータイマスタンバイ復帰許可ビット(注1)	0: ローパワータイマによるソフトウェアスタンバイモードからの復帰を禁止 1: ローパワータイマによるソフトウェアスタンバイモードからの復帰を許可	R/W

注. このレジスタはPRCR.PRC2ビットを“1”(書き込み許可)にした後で書き換えてください。

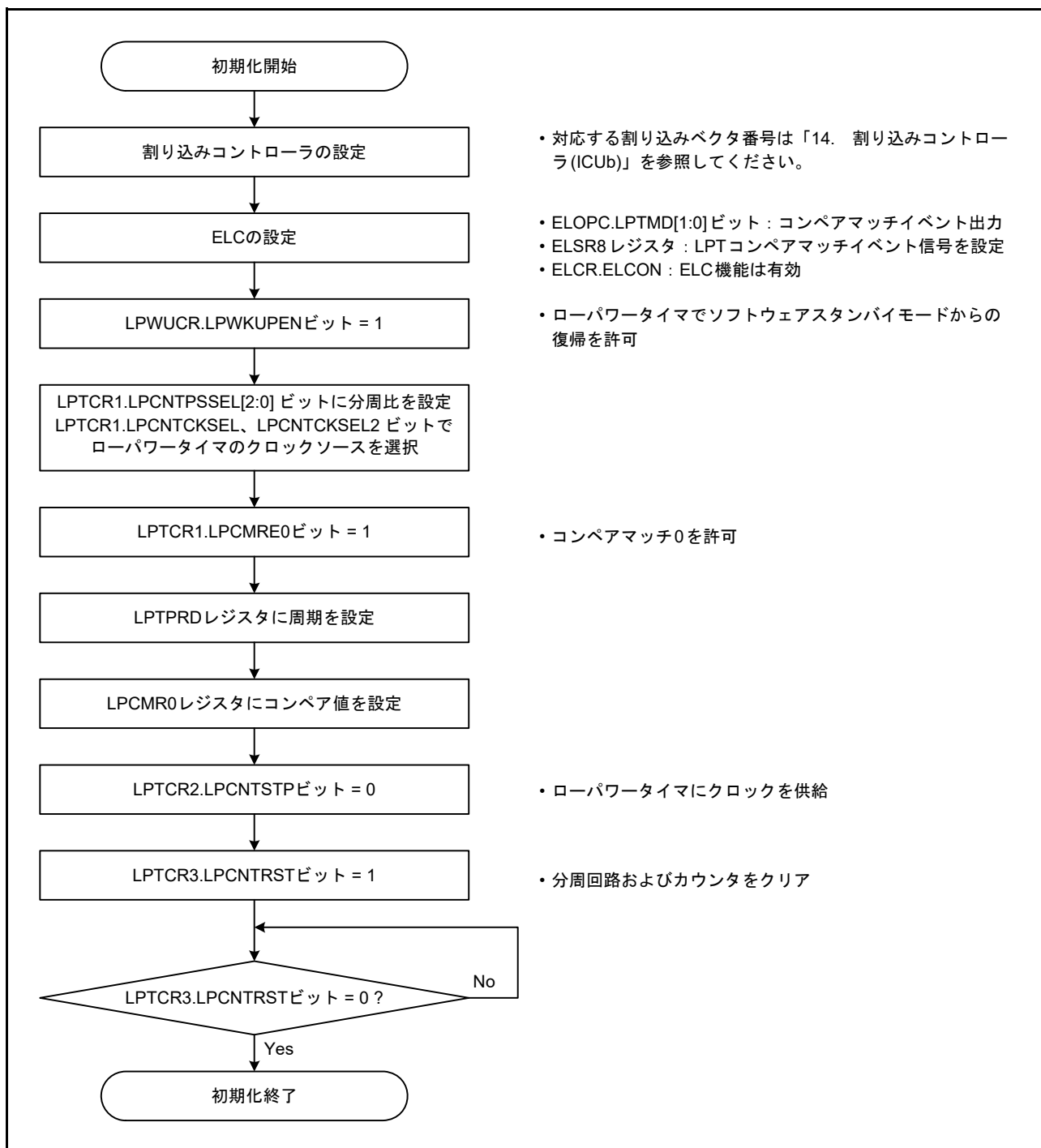
注1. このビットはLPTCR3.LPCNTENビットが“0”(ローパワータイマカウンタ停止)のときに変更してください。

LPWUCR レジスタは、ローパワータイマのコンペアマッチ0でソフトウェアスタンバイモードから通常動作モードに復帰する機能の許可制御を行います。

LPWKUPEN ビット (ローパワータイマスタンバイ復帰許可ビット)

ローパワータイマのコンペアマッチ0でソフトウェアスタンバイモードから通常動作モードに復帰する機能の許可または禁止を設定します。

LPWKUPEN ビットを“1”にする場合、「11. 消費電力低減機能」のSNZCR レジスタを“0000h”にしてください。逆にSNZCR レジスタのいずれかのビットを“1”にする場合、LPWKUPEN ビットを“1”にしないでください。



• 対応する割り込みベクタ番号は「14. 割り込みコントローラ (ICUb)」を参照してください。

• ELOPC.LPTMD[1:0] ビット : コンペアマッチイベント出力
 • ELSR8 レジスタ : LPTコンペアマッチイベント信号を設定
 • ELCR.ELCON : ELC機能は有効

• ローパワータイマでソフトウェアスタンバイモードからの復帰を許可

• コンペアマッチ0を許可

• ローパワータイマにクロックを供給

• 分周回路およびカウンタをクリア

図 27.3 初期設定手順例

27.3.2 PWM 動作

LPTCR2.PWME ビットを“1”にすると、ローパワータイマはPWMモードで動作します。PWMモードでは、LPCMR1 レジスタに LPTPRD レジスタと同じ値を設定してください。

PWM 波形出力端子 (LPTO) からは、LPTCR2.OPOL ビットと OLVL ビットの組み合わせによって、任意の PWM 波形を出力できます。出力できる波形の一覧を図 27.4 に示します。

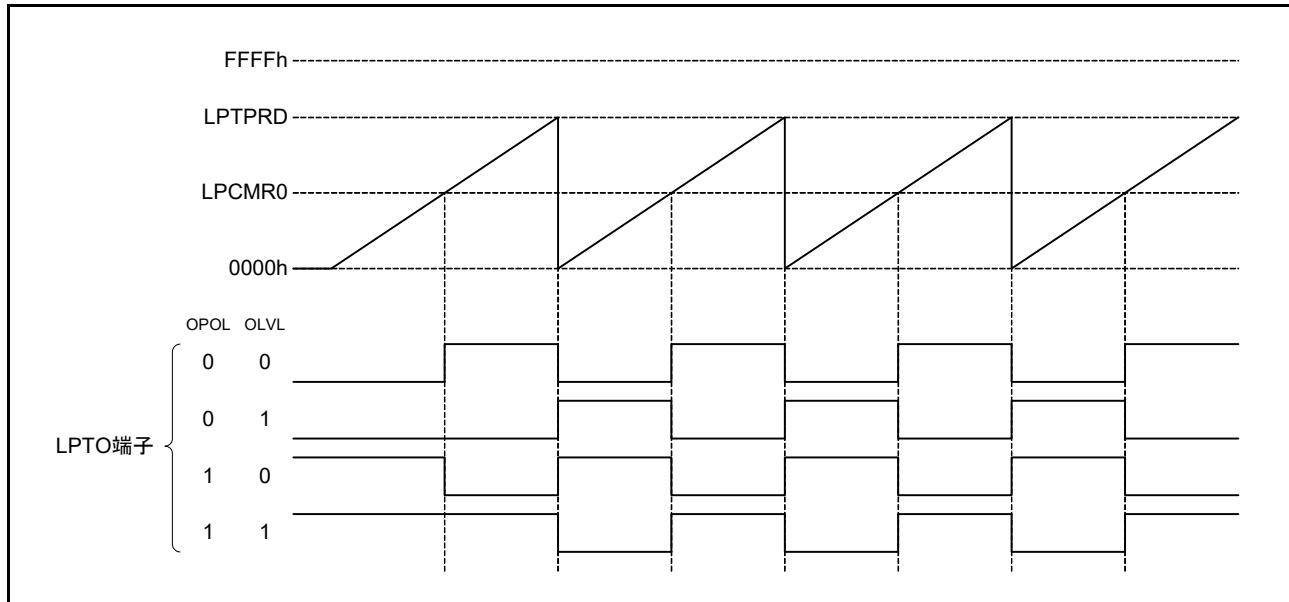


図 27.4 PWM 波形

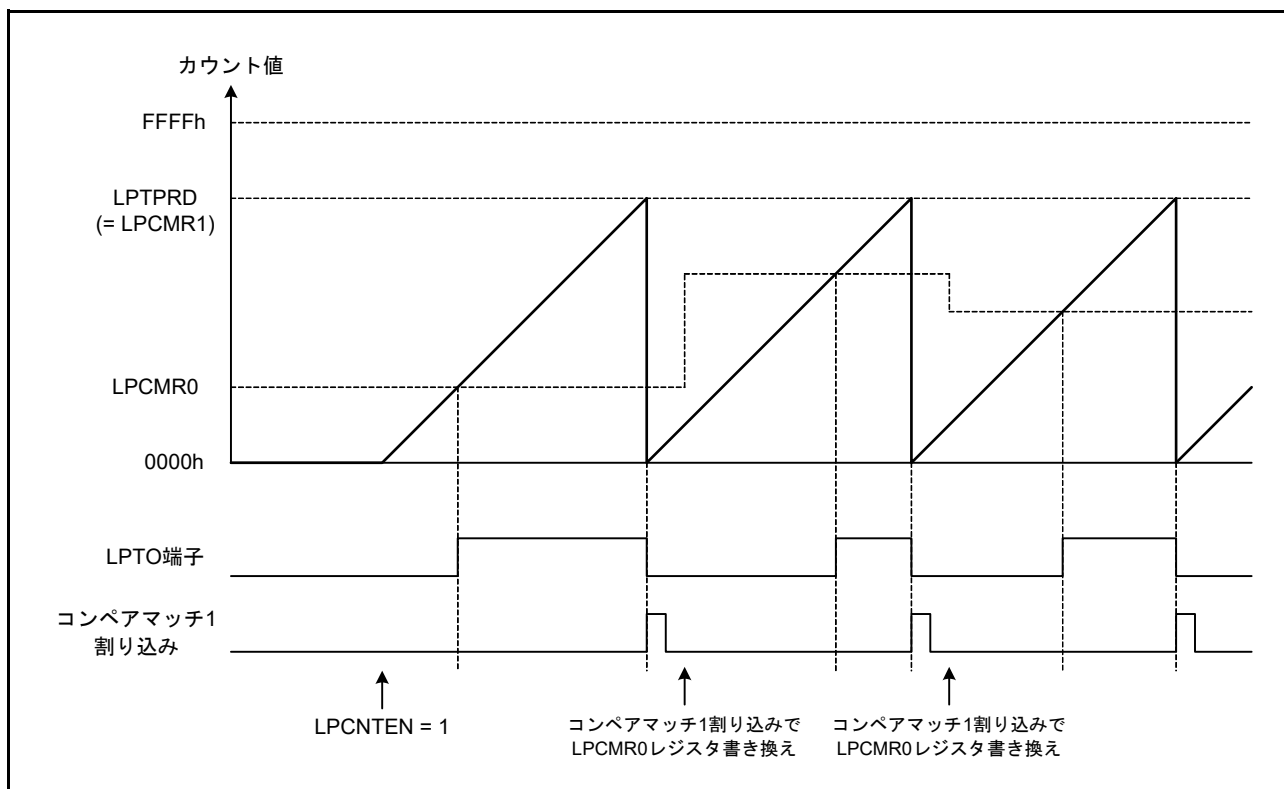
図 27.5 に LPTCR2.OPOL ビットと OLVL ビットが両方とも“0”のときの PWM モードの動作例を示します。このときの LPTO 端子出力の High 幅は“LPTPRD – LPCMR0”、Low 幅は“LPCMR0 + 1”で表せます。

ローパワータイマのカウント動作は、周期カウント動作と同じです。初期設定を行い、LPTCR3.LPCNTEN ビットを“1”にすると、ローパワータイマがカウントを開始します。カウンタの値が LPCMR0 レジスタの値と一致すると、LPTO 端子が High になり、コンペアマッチ 0 イベントが発生します。カウンタの値が LPTPRD レジスタの値 (= LPCMR1 レジスタの値) と一致すると、カウンタがリセットされ、LPTO 端子が Low になり、コンペアマッチ 1 イベントが発生します。

コンペアマッチ 1 割り込みの処理ルーチンで LPCMR0 レジスタの値を書き換えると、PWM 出力のデューティを変更することができます。なお、LPCMR0 レジスタの書き換えを、CPU を使用せずに DTC や DMAC で行うことも可能です。

また、スヌーズモード中に DTC で LPCMR0 レジスタを書き換えるようにすると、低消費電力状態のまま PWM 波形を変更することができます。スヌーズモードに関する詳細は、「11. 消費電力低減機能」を参照してください。

なお、LPCMR0 レジスタの書き換えがコンペアマッチ 0 発生前で、かつ書き換えた値がカウンタの値より小さかった場合、その周期ではコンペアマッチ 0 が発生しないため、LPTO 端子のレベルは変化しません。

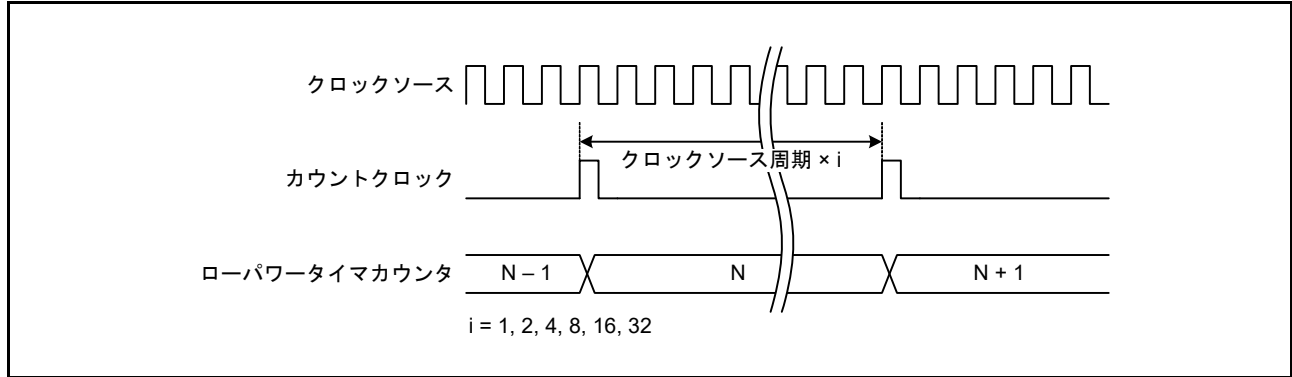


27.3.3 ローパワータイマカウンタのカウントタイミング

LPTCR1.LPCNTCKSEL、LPCNTCKSEL2 ビットで選択したクロックソースを1～32分周した6種類の分周クロックの内、ローパワータイマカウンタに入力するカウントクロックをLPTCR1.LPCNTPSSEL[2:0] ビットで選択できます。

このときのローパワータイマカウンタのカウントタイミングを図 27.6 に示します。

図 27.6 ローパワータイマカウンタのカウントタイミング



27.3.4 ローパワータイマカウンタのクリアタイミング

LPTCR3.LPCNTRST ビットに“1”を書くと(注1)、ローパワータイマカウンタがクリアされます。

LPTCR3.LPCNTRST ビットは、カウンタのクリアが完了すると自動的に“0”になります。

このときのローパワータイマカウンタのクリアタイミングを図 27.7 に示します。

注 1. LPTCR3.LPCNTRST ビットへの書き込みは、LPTCR3.LPCNTEN ビットが“0” (ローパワータイマカウンタ停止) のときに行ってください。

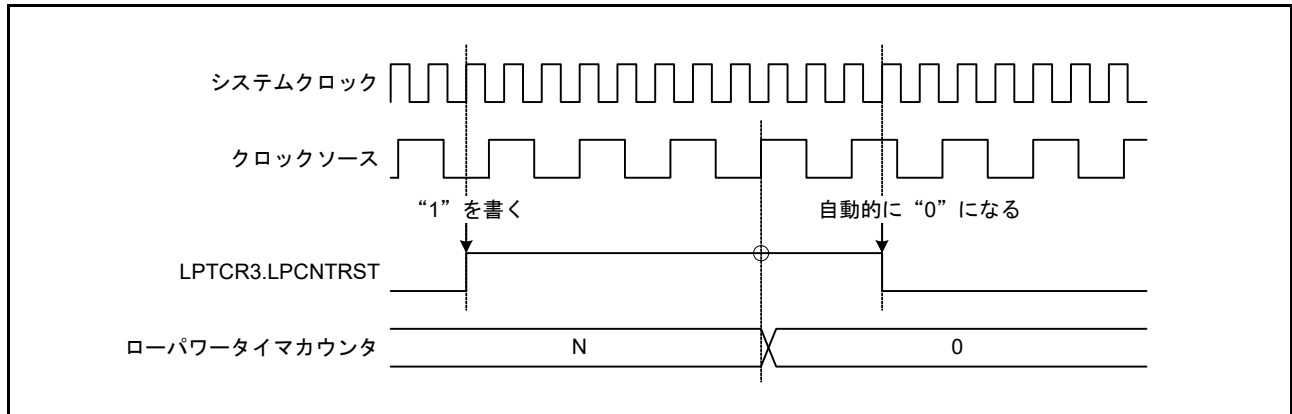


図 27.7 ローパワータイマカウンタのクリアタイミング

27.4 割り込み要因

ローパワータイマの割り込み要因は、コンペアマッチ 1 割り込み (LPTCM1) のみです。コンペアマッチ 1 割り込みでは、DTC または DMAC を起動させることができます。コンペアマッチ 1 割り込みを使用する場合、イベントリンクコントローラ (ELC) のモジュールストップを解除してください。

27.5 イベントリンク機能 (出力)

ローパワータイマは、コンペアマッチ 1 をイベントとしてイベントリンクコントローラ (ELC) に出力し、あらかじめ設定していたモジュールを動作させることができます。詳細は「19. イベントリンクコントローラ (ELC)」を参照してください。

27.6 スヌーズモードへの遷移要求

ローパワータイマのコンペアマッチ 1 イベントは、スヌーズモードへの遷移要求としても使用できます。詳細は「11. 消費電力低減機能」を参照してください。

27.7 イベントリンクコントローラ (ELC) を介した割り込みによるソフトウェアスタンバイモードの解除について

ローパワータイマは、ソフトウェアスタンバイモード時のみ、コンペアマッチ 0 によるイベント信号をイベントリンクコントローラ (ELC) に出力します。

ELC の ELOPC.LPTMD[1:0] ビットを “00b” (コンペアマッチ 0 イベントを割り込み要求として ICU に出力) に設定し、ELSR8 レジスタに “32h” (LPT・コンペアマッチ 0) を設定することで、イベント信号による割り込みが発生し、ソフトウェアスタンバイモードから通常動作モードに復帰することができます。

27.8 使用上の注意事項

27.8.1 ソフトウェアスタンバイモードへの遷移に関する注意事項について

ソフトウェアスタンバイモードから通常動作モードに復帰して、再度ソフトウェアスタンバイモードに遷移する場合、LPTCR1.LPCNTCKSEL、LPCNTCKSEL2 ビットで選択したクロックで 1 サイクル以上待つから WAIT 命令を実行する必要があります。

28. ウォッチドッグタイマ (WDTA)

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタで、システムの暴走などによりカウンタの値がリフレッシュされずにアンダフローすると、MCU をリセットします。

また、アンダフロー時に、ノンмасカブル割り込みを発生させることもできます。

カウンタのリフレッシュには、リフレッシュ許可期間を設定することができ、同許可期間を暴走検知の条件とすることができます。

28.1 概要

表 28.1 に WDT の仕様を、図 28.1 に WDT のブロック図を示します。

表 28.1 WDT の仕様

項目	内容
カウントソース	周辺モジュールクロック (PCLKB)
クロック分周比	4分周/64分周/128分周/512分周/2048分周/8192分周
カウント動作	14ビットのカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> オートスタートモード：リセット解除後、自動的にカウント開始 レジスタスタートモード：リフレッシュ動作 (WDTRR レジスタに "00h" を書き込み後、"FFh" を書き込む) により、カウント開始
カウント停止条件	<ul style="list-style-type: none"> リセット 低消費電力状態 アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> カウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
ノンмасカブル割り込み要因	<ul style="list-style-type: none"> カウンタがアンダフローしたとき リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、カウンタのカウント値の読み出しが可能

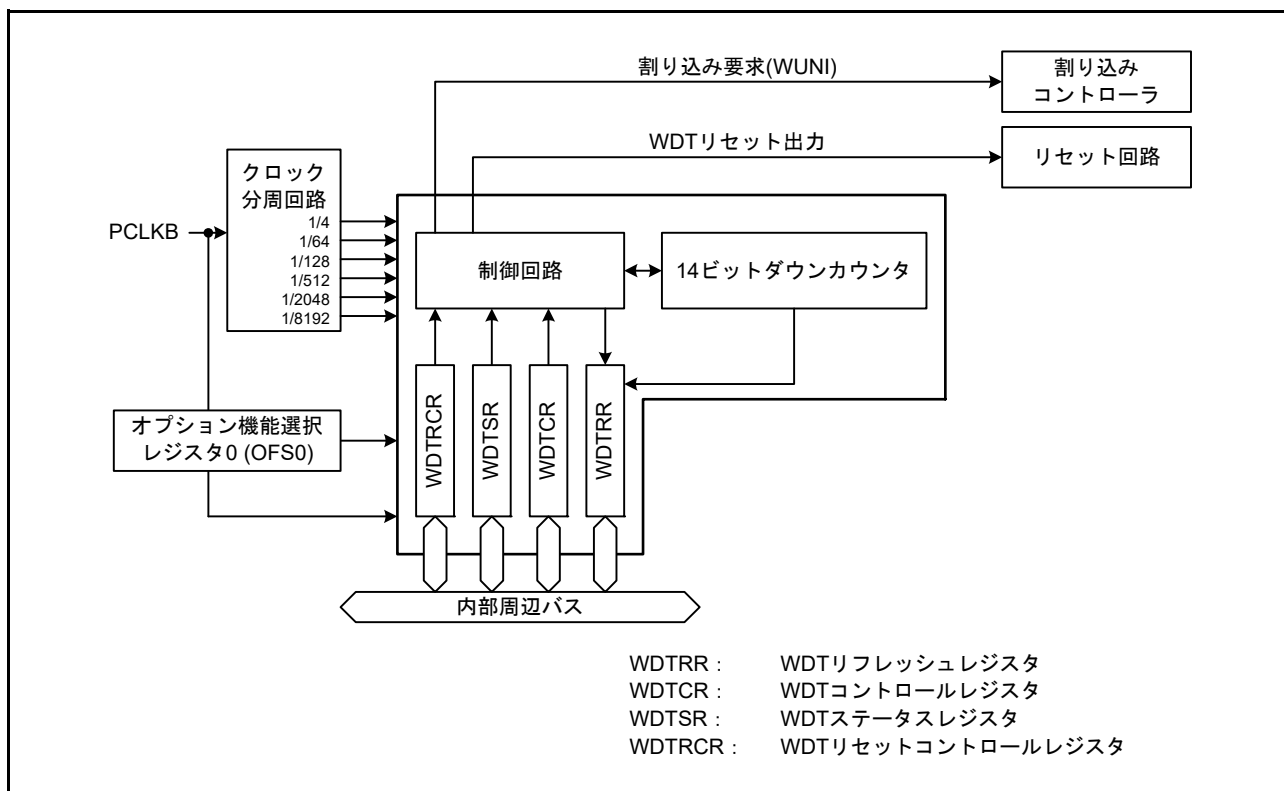
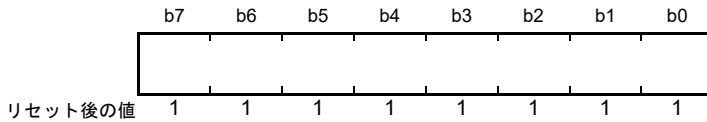


図 28.1 WDT のブロック図

28.2 レジスタの説明

28.2.1 WDT リフレッシュレジスタ (WDTRR)

アドレス WDT.WDTRR 0008 8020h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

WDTRR レジスタは、WDT のカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間中に、WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む(リフレッシュ動作)によりWDTのカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ0(OFS0)のWDTTOPS[1:0]ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、WDTCR.TOPS[1:0]ビットで設定した値からダウンカウントを行います。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「28.3.2 リフレッシュ動作」を参照してください。

28.2.2 WDT コントロールレジスタ (WDTCR)

アドレス WDT.WDTCR 0008 8022h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 1024サイクル(03FFh) 0 1 : 4096サイクル(0FFFh) 1 0 : 8192サイクル(1FFFh) 1 1 : 16384サイクル(3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 1 : 4分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 1 0 : 512分周 0 1 1 1 : 2048分周 1 0 0 0 : 8192分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウト時間、リフレッシュ許可期間を設定するレジスタです。オートスタートモードの場合は、WDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「28.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (PCLKB 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 28.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および PCLKB 数の関係を示します。

表 28.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	PCLKB 数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	4分周	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	64分周	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	128分周	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	512分周	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	2048分周	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	8192分周	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット (クロック分周比選択ビット)

カウンタで使用するクロックの分周比を設定します。分周比は、PCLKB の 4 分周 / 64 分周 / 128 分周 / 512 分周 / 2048 分周 / 8192 分周から選択できます。TOPS[1:0] ビット設定と合わせて、WDT のカウント期間を PCLKB の 4096 ~ 134217728 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウの終了位置はタイムアウト期間の、75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウの開始位置はタイムアウト期間の、25%、50%、75%、100% から選択します。

設定値は、ウィンドウ開始位置 > ウィンドウ終了位置となるように設定してください。

ウィンドウ開始位置 ≤ ウィンドウ終了位置と設定した場合、ウィンドウ終了位置は、0% になります。

RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 28.3 に、設定されるリフレッシュ許可期間を図 28.2 に示します。

表 28.3 ウィンドウ開始、終了位置とカウンタ値の対応表

TOPS[1:0] ビット		タイムアウト期間		ウィンドウ開始、終了のカウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

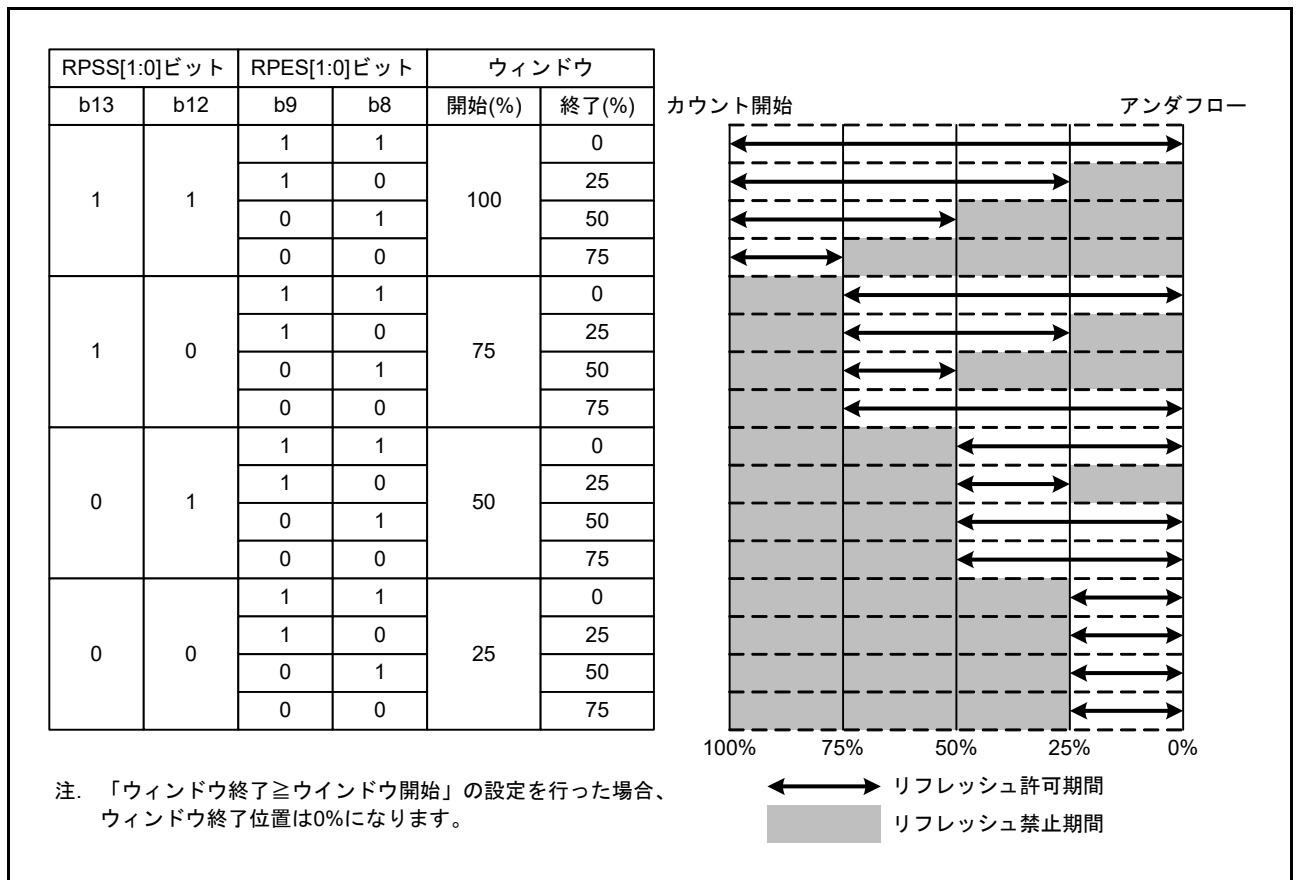
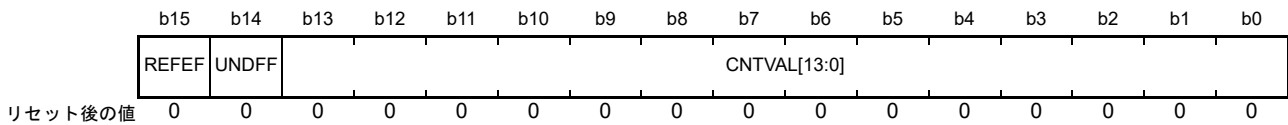


図 28.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

28.2.3 WDT ステータスレジスタ (WDTSR)

アドレス WDT.WDTSR 0008 8024h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

28.2.4 WDT リセットコントロールレジスタ (WDTRCR)

アドレス WDT.WDTRCR 0008 8026h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスクブル割り込み要求を出力 1：リセット信号を出力	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウトまたはリフレッシュエラー発生時の動作を設定するレジスタです。

オートスタートモードの場合は、WDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「28.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

28.2.5 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタについては、「28.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応」を参照してください。

28.3 動作説明

28.3.1 カウント開始条件別の各動作

WDTはリセット解除後、自動的にカウントを開始するオートスタートモードと、リフレッシュ動作(レジスタ書き込み)によりカウントを開始するレジスタスタートモードの2種類のモードがあります。

オートスタートモードは、リセット解除後、オプション機能選択レジスタ0(OFS0)の設定に従い、自動的にカウントを開始します。

レジスタスタートモードは、リセット解除後に各レジスタの設定後、リフレッシュ動作(レジスタ書き込み)により、カウントを開始します。

オートスタートモード、もしくはレジスタスタートモードの選択は、OFS0レジスタのWDTSTRTビットで行います。

オートスタートモード選択時は、WDTCRレジスタ、WDTRCRレジスタの設定は無効となり、OFS0レジスタの設定が有効となります。

一方、レジスタスタートモード選択時は、OFS0レジスタの設定は無効となり、WDTCRレジスタ、WDTRCRレジスタの設定が有効となります。

28.3.1.1 レジスタスタートモード

OFS0.WDTSTRTビットが“1”の場合、レジスタスタートモードとなり、WDTCRレジスタ、WDTRCRレジスタが有効となります。

リセット解除後、WDTCRレジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、またWDTRCRレジスタにリセット信号出力/割り込み要求出力の設定を行います。その後、リフレッシュ動作を行うことにより、カウンタは、WDTCR.TOPS[1:0]ビットで設定した値からダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDTはリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDTはリセット信号、もしくは割り込み要求(WUNI)を出力します。リセット信号出力、または割り込み要求出力の選択は、WDTRCR.RSTIRQSビットの設定により行います。

図 28.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- リセット出力許可 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)

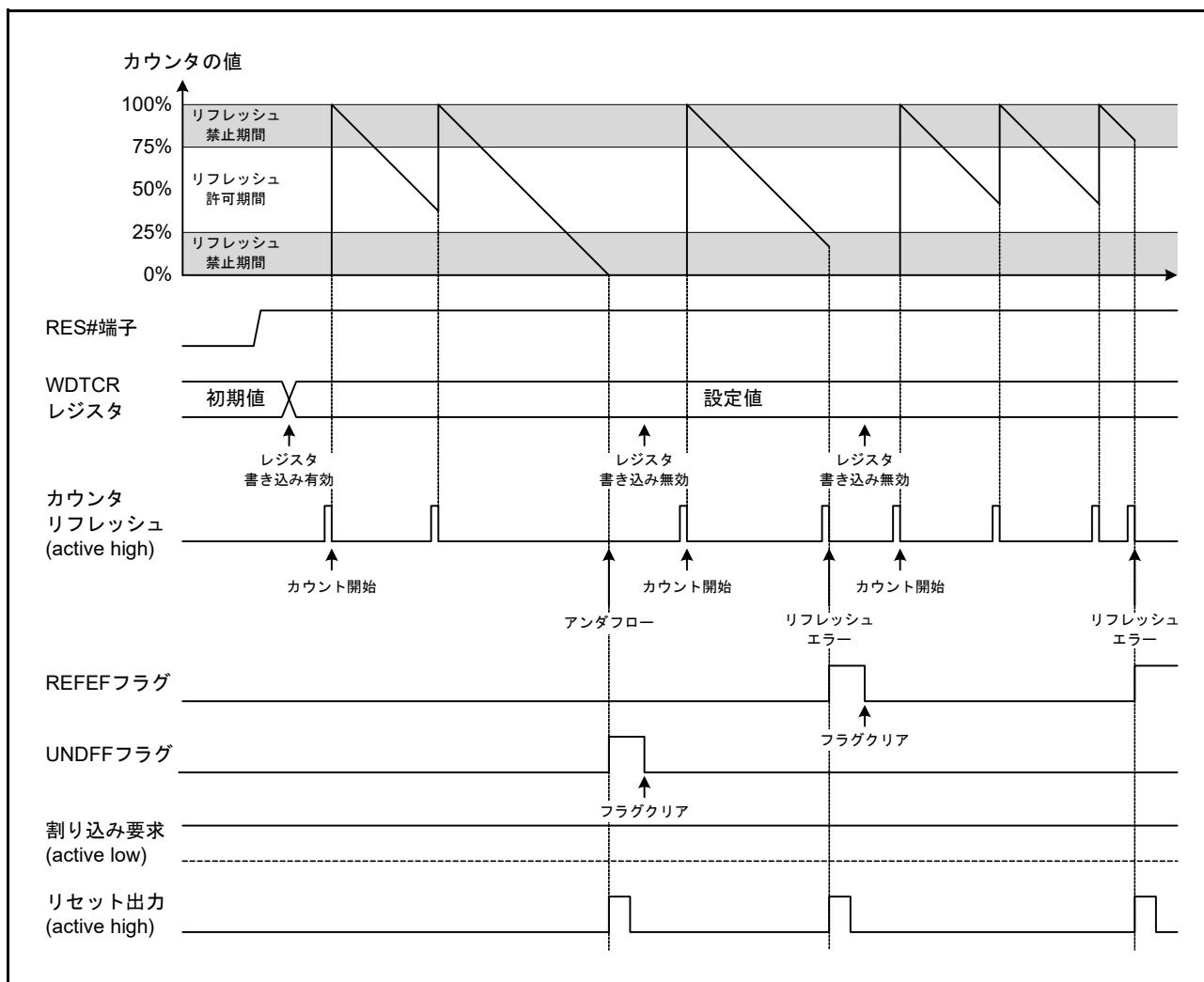


図 28.3 レジスタスタートモード動作例

28.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の WDTSTRT ビットが“0”の場合、オートスタートモードとなり、WDTCR レジスタ、WDTRCR レジスタが無効となり、OFS0 レジスタの設定が有効になります。

リセット期間中に OFS0 レジスタの設定値 (クロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求) が WDT のレジスタに設定されます。その後、リセット解除でカウンタに OFS0.WDTPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、リフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、WDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、WDT はリセット信号、もしくは割り込み要求 (WUNI) を出力します。リセット信号または割り込み要求を 1 カウントサイクル出力後、カウンタはタイムアウト期間の値がセットされ、カウント動作を再開します。リセット信号出力、または割り込み要求出力の選択は、OFS0.WDTRSTIRQS ビットの設定により行います。

図 28.4 に以下の条件での動作例 (ノンマスカブル割り込み) を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- 割り込み要求出力許可 (OFS0.WDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

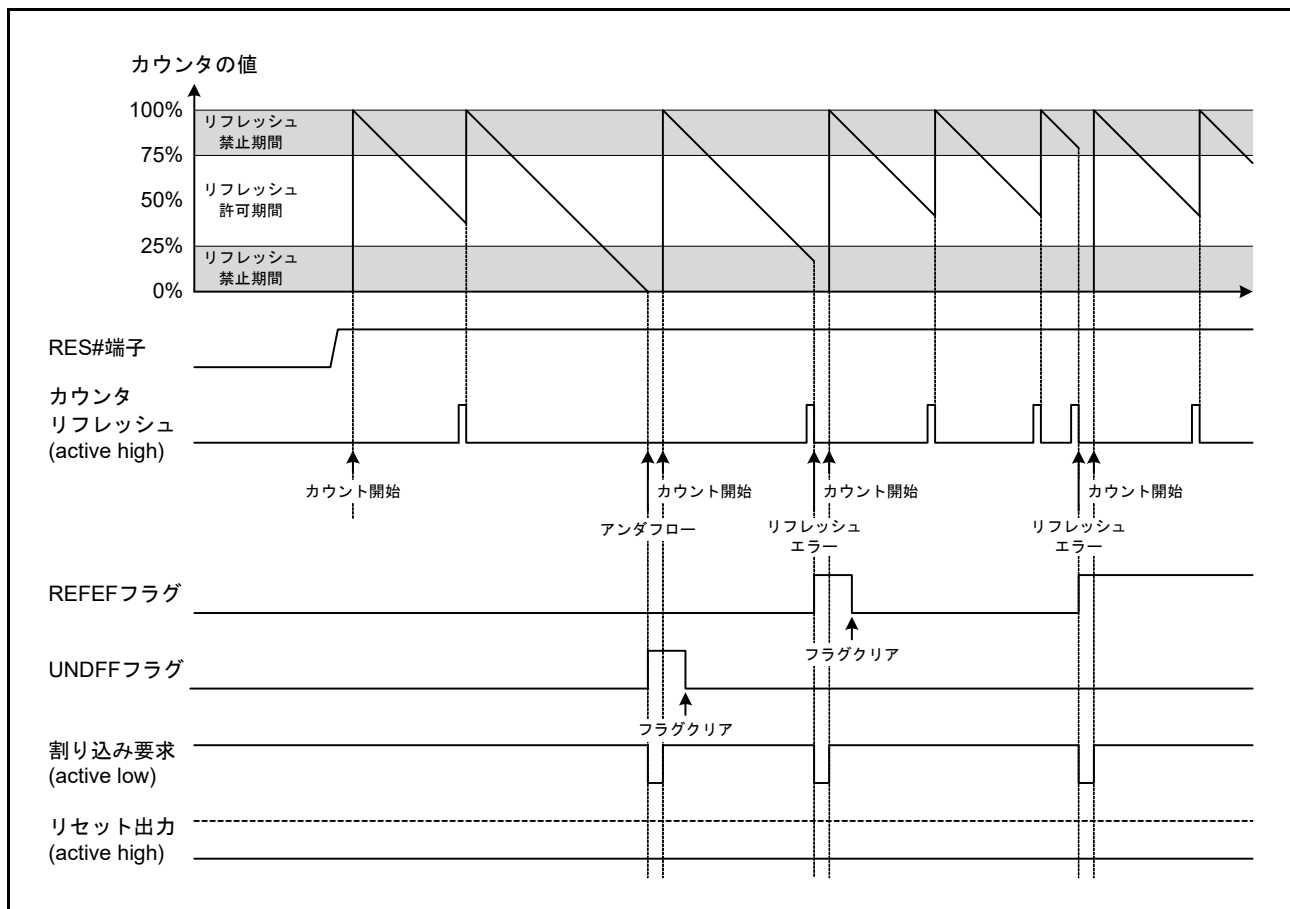


図 28.4 オートスタートモード動作例

28.3.2 リフレッシュ動作

カウンタのリフレッシュを行うには、WDTRRレジスタへ“00h”を書き込んだ後、続けて“FFh”書き込みを行ってください。“00h”の書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、WDTRRレジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

WDTRRレジスタへの“00h”書き込みと“FFh”書き込みの間に、WDTRRレジスタ以外へのアクセス、またはWDTRRレジスタの読み出しを行った場合でもリフレッシュを行います。

リフレッシュのための書き込みは、リフレッシュ許可期間内に行う必要があります。書き込みが、リフレッシュ許可期間内かどうかの判定は、“FFh”の書き込み時に行っています。このため“00h”の書き込みがリフレッシュ許可期間外であってもリフレッシュは正常に行われます。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1 回目) → “00h” (n 回目) → “FFh”
- “00h” → 別レジスタアクセスまたは WDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h” 以外) → “FFh”
- “00h” → “54h” (“FFh” 以外)
- “00h” → “AAh” (“00h” および “FFh” 以外) → “FFh”

カウンタがリフレッシュされるタイミングは、WDTRRレジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります。そのため、カウンタがアンダフローする4カウント前までに、WDTRRレジスタへの“FFh”書き込みを完了してください。

図 28.5 にカウントクロックが PCLKB/64 の場合の WDT リフレッシュ動作波形を示します。

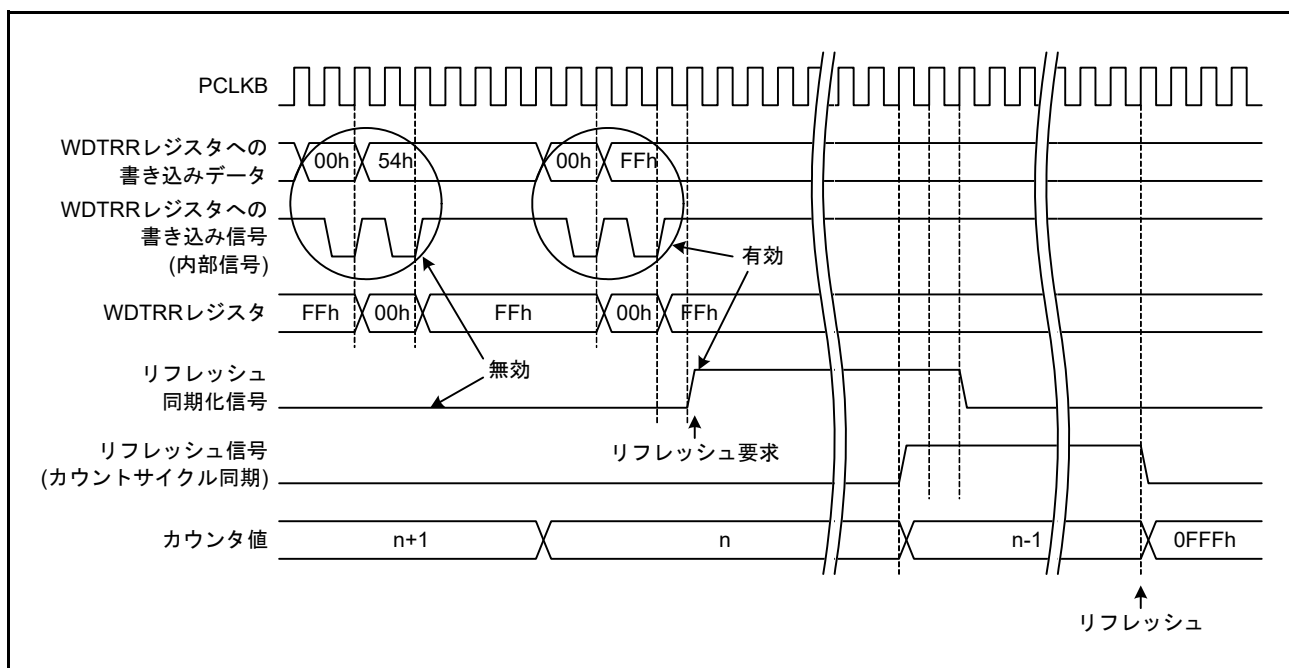


図 28.5 WDT リフレッシュ動作波形 (WDTA.CKS[3:0] = 0100b、WDTA.TOPS[1:0] = 01b)

28.3.3 リセット出力

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

28.3.4 割り込み要因

レジスタスタートモード時、WDTRCR.RSTIRQS ビットを“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の WDTRSTIRQS ビットを“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスクابل割り込みです。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

表 28.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

28.3.5 カウンタ値の読み出し

WDTはカウンタ値をWDTSR.CNTVAL[13:0] ビットに格納します。WDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、カウンタ値を確認することができます。

図 28.6 にカウントクロックが PCLKB/64 の場合のカウンタ値の読み出し処理を示します。

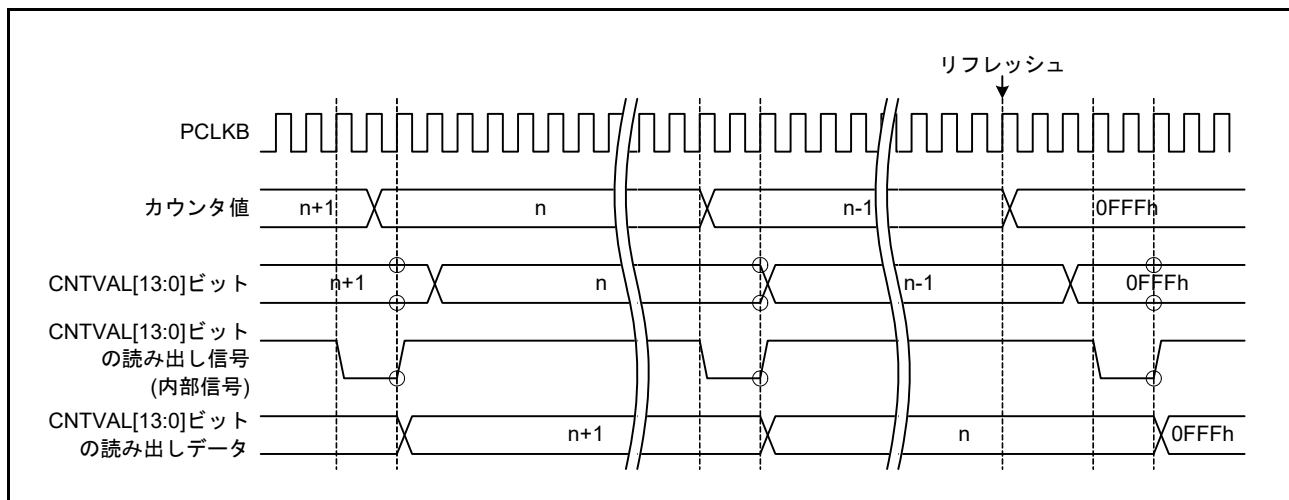


図 28.6 WDT カウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b)

28.3.6 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

表 28.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタについては、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表28.5 オプション機能選択レジスタ 0 (OFS0) と WDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.WDTSTRT = 0	WDT レジスタ (レジスタスタートモード時有効) OFS0.WDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.WDTPPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTCR.RSTIRQS

29. 独立ウォッチドッグタイマ (IWDTa)

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースはIWDT 専用クロック (IWDTCLK) を分周したもの (周辺モジュールクロックの影響を受けない)
- 低消費電力状態で、カウンタを停止させない選択が可能 (IWDTCSLTPR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

29.1 概要

表 29.1 に IWDT の仕様を示します。

表 29.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> • オートスタートモード：リセット解除後、自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作 (IWDTRR レジスタに "00h" を書き込み後、"FFh" を書き込む) により、カウント開始
カウント停止条件	<ul style="list-style-type: none"> • リセット • 低消費電力状態 (レジスタ設定による(注2)) • アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> • カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスクブル割り込み要因	<ul style="list-style-type: none"> • カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、カウンタのカウント値の読み出しが可能
イベントリンク機能(出力)	<ul style="list-style-type: none"> • カウンタのアンダフローイベント出力 • リフレッシュエラーイベント出力
オートスタートモード (オプション機能選択レジスタ 0 (OFS0) 制御)	<ul style="list-style-type: none"> • リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) • 低消費電力状態でのカウンタ動作/停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	<ul style="list-style-type: none"> • リフレッシュ動作後のクロック分周比の選択 (IWDTCR.CKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (IWDTCCR.RSTIRQS ビット) • 低消費電力状態でのカウンタ動作/停止の選択 (IWDTCSLTPR.SLCSTP ビット)

注1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

注2. オートスタートモード時、OFS0.IWDTSLCSTP ビットが "1" の場合、レジスタスタートモード時、IWDTCSLTPR.SLCSTP ビットが "1" の場合。

図 29.1 に IWDT のブロック図を示します。

IWDT では、バスインタフェース部とレジスタ部は周辺モジュールクロック (PCLKB) で動作し、14 ビットダウンカウンタと制御回路は IWDTCLK で動作します。

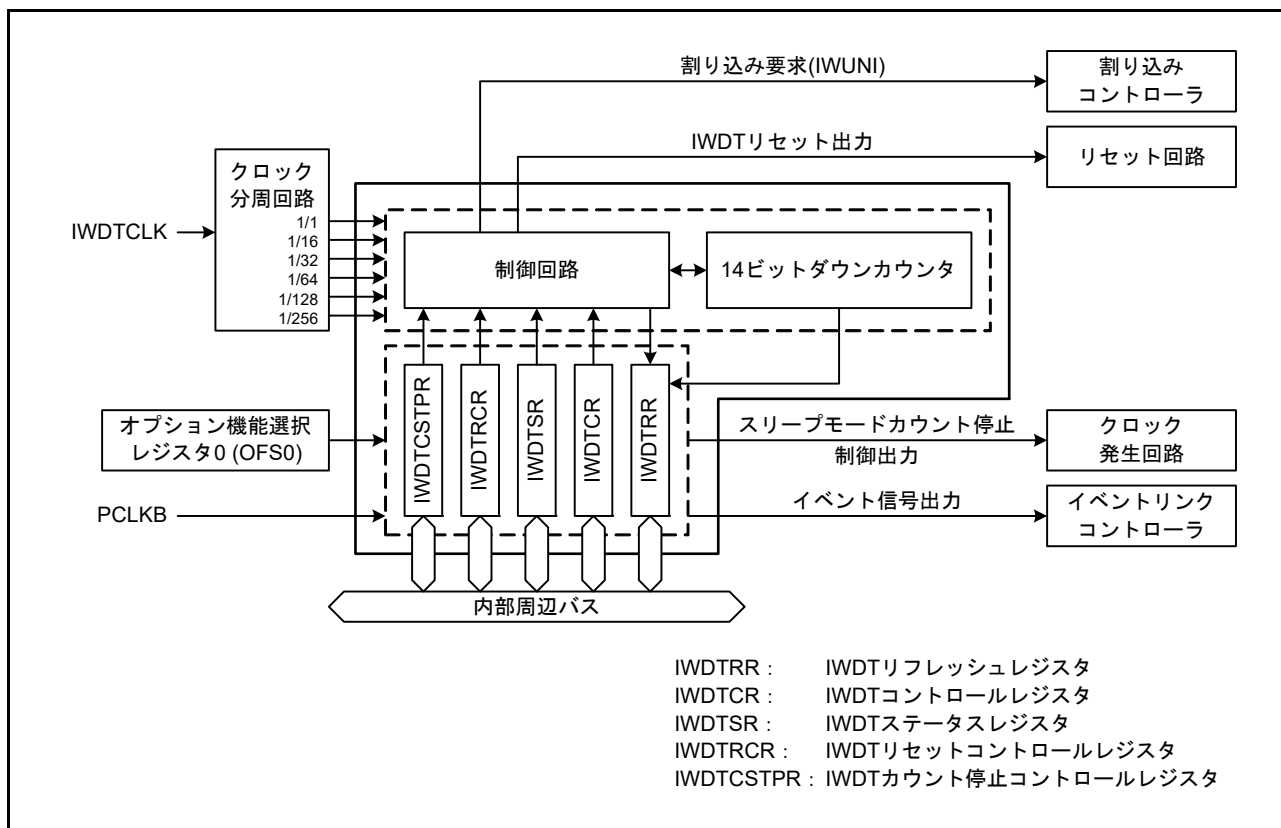
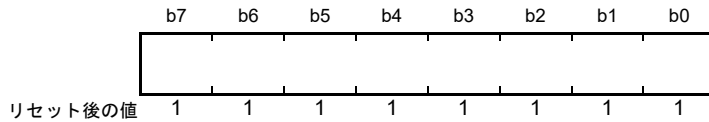


図 29.1 IWDT のブロック図

29.2 レジスタの説明

29.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDT.IWDTRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDTRR レジスタは、IWDT のカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む(リフレッシュ動作)により IWDT のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDTTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「29.3.2 リフレッシュ動作」を参照してください。

29.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス IWDT.IWDTCR 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 128サイクル(007Fh) 0 1 : 512サイクル(01FFh) 1 0 : 1024サイクル(03FFh) 1 1 : 2048サイクル(07FFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウト時間、リフレッシュ許可期間を設定するレジスタです。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 29.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 29.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	16分周	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	32分周	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	64分周	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	128分周	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	256分周	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

CKS[3:0] ビット (クロック分周比選択ビット)

IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。

TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 128 ~ 524288 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 29.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表29.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 29.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

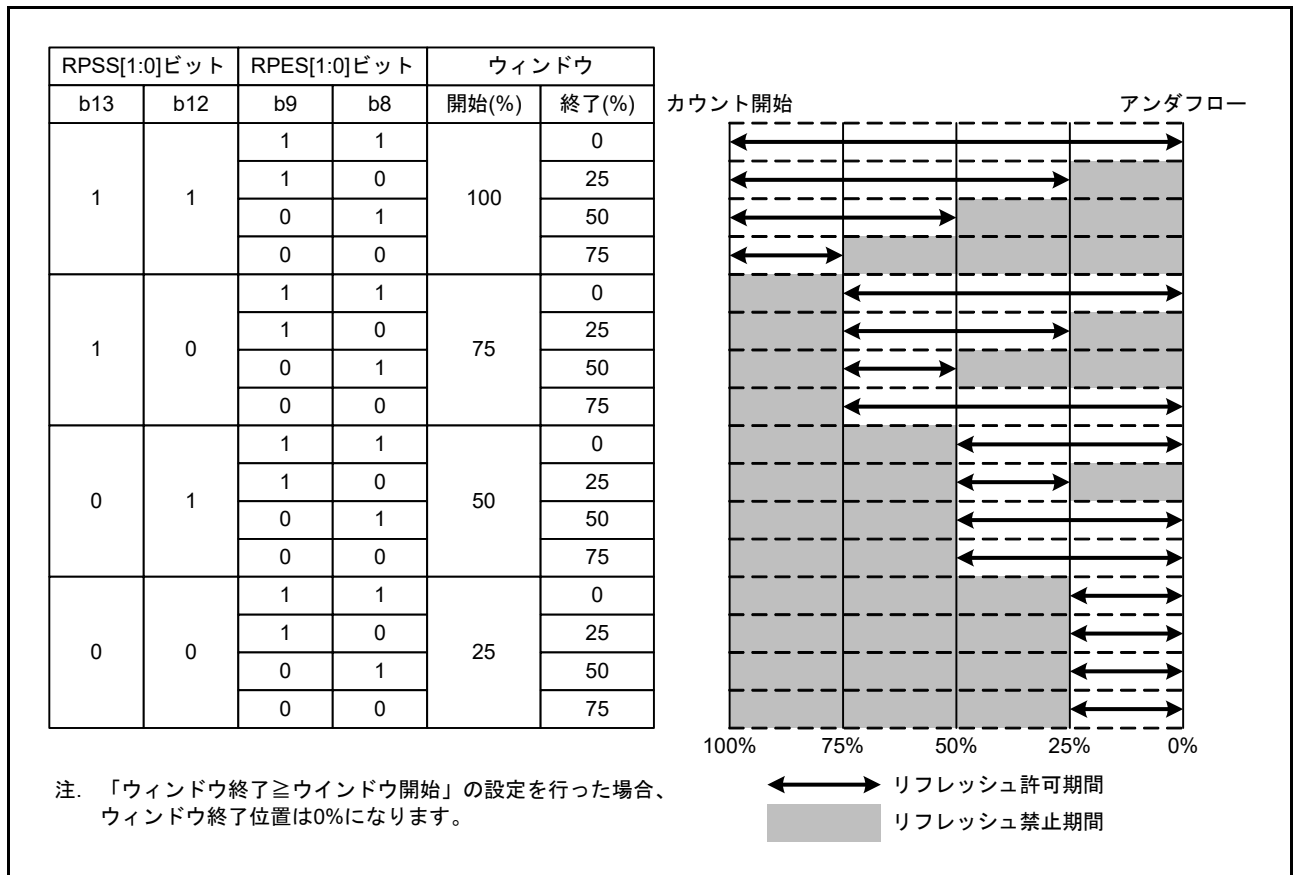
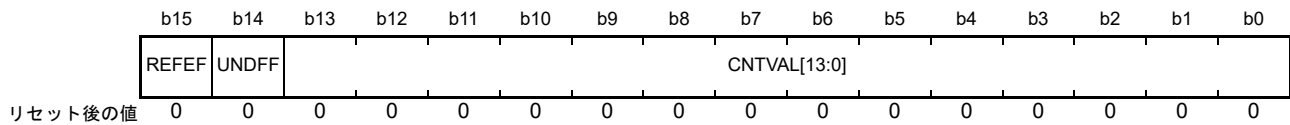


図 29.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

29.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

29.2.4 IWDt リセットコントロールレジスタ (IWDTRCR)

アドレス IWDt.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0 : ノンマスクブル割り込み要求を出力 1 : リセット信号を出力	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウトまたはリフレッシュエラー発生時の動作を設定するレジスタです。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応」を参照してください。

29.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSTPR)

アドレス IWDT.IWDTCSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0 : 低消費電力状態でもカウンタが動作(注1) 1 : 低消費電力状態でカウンタが停止	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

注1. スリープモード、ディープスリープモード、またはソフトウェアスタンバイモードでカウンタがカウントを継続します。

レジスタスタートモード使用時に、低消費電力状態でカウンタを動作させるかどうかを設定するレジスタです。

オートスタートモードの場合は、IWDTCSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「29.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

低消費電力状態でのカウンタの動作 / 停止を選択します。

29.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「29.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

29.3 動作説明

29.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットで行います。

OFS0.IWDTSTRT ビットが“1” (レジスタスタートモード) の場合、IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタの設定が有効となり、IWDTRR レジスタへのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0” (オートスタートモード) の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

29.3.1.1 レジスタスタートモード

OFS0.IWDTSTRT ビットが“1” の場合、レジスタスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSTPR レジスタに低消費電力状態におけるカウンタ動作/停止の設定を行います。その後、リフレッシュ動作でカウンタに IWDTCR.TOPS[1:0] ビットで選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。IWDTRCR.RSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 29.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)

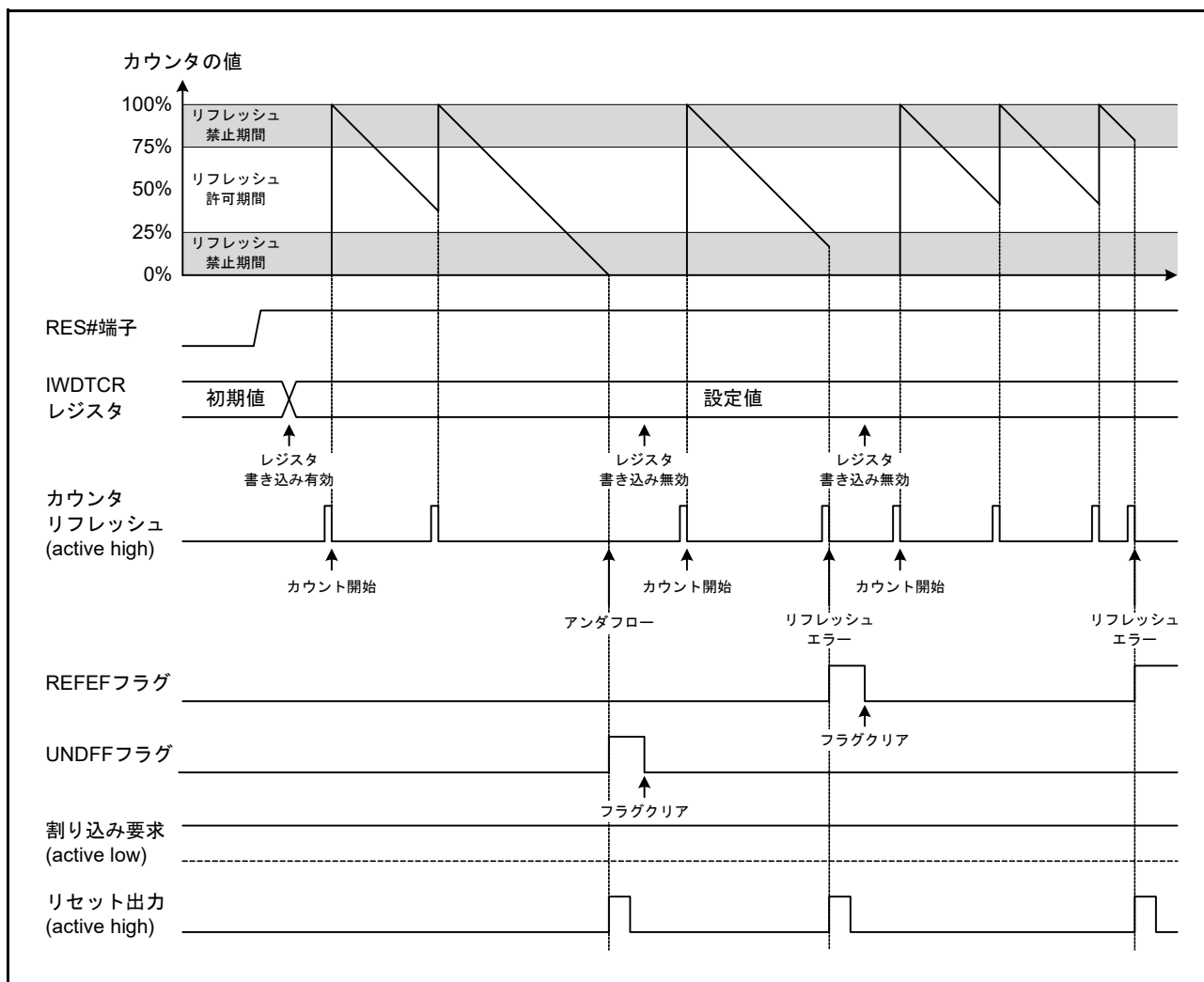


図 29.3 レジスタスタートモード動作例

29.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットが“0”の場合、オートスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが無効となります。

また、リセット期間中に OFS0 レジスタの値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態におけるカウンタ動作/停止の設定が行われます。その後、リセット解除でカウンタに OFS0.IWDTTOPS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。リセット信号または割り込み要求を出力後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。OFS0.IWDTRSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 29.4 に以下の条件での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- 割り込み要求出力許可 (OFS0.IWDTRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

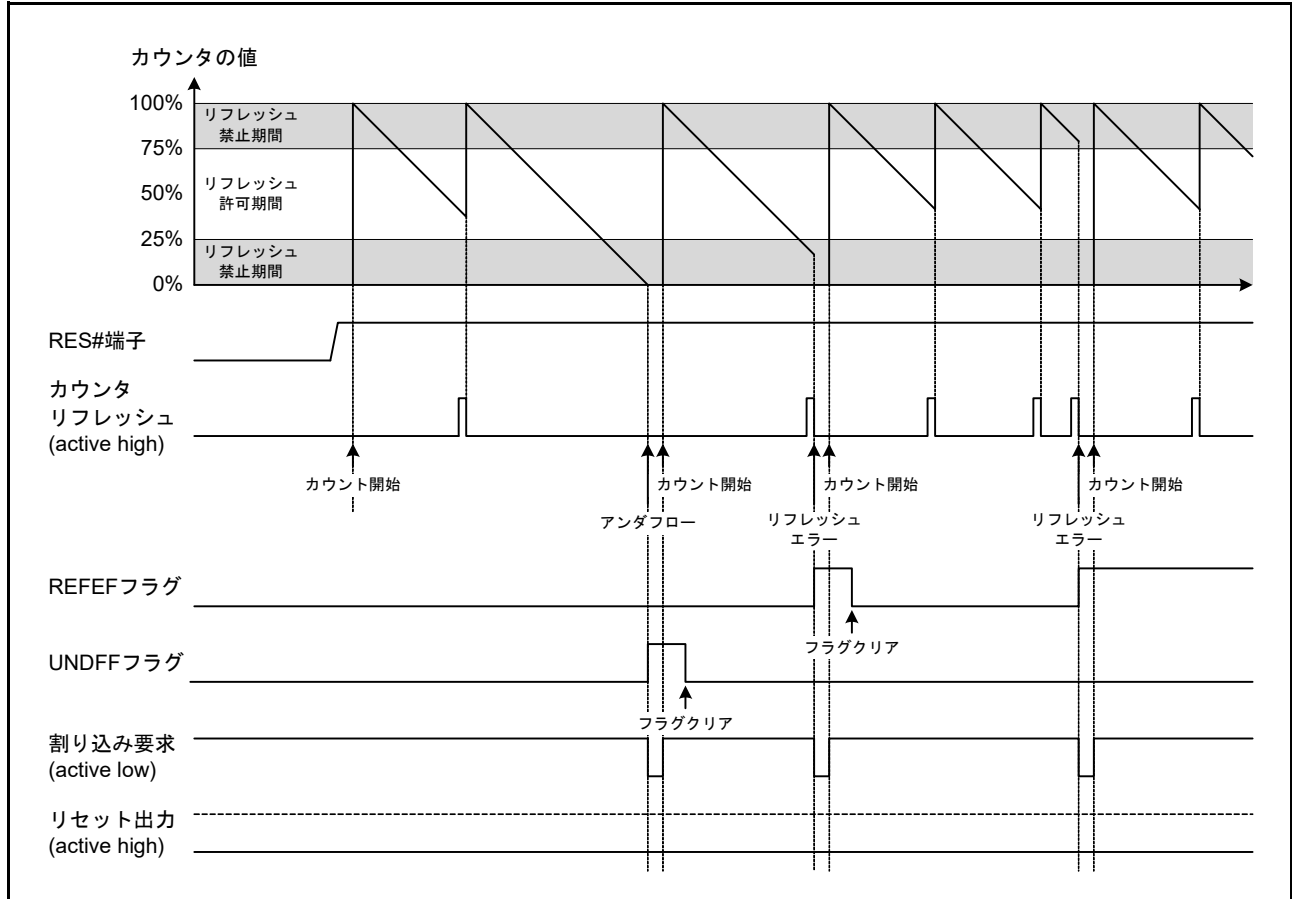


図 29.4 オートスタートモード動作例

29.3.2 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始 (リフレッシュによるカウント開始) を行うには、IWDTRR レジスタへの“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1回目) → “00h” (2回目) の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h” (n-1回目) → “00h” (n回目) → “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、または IWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1回目) → “00h” (n回目) → “FFh”
- “00h” → 別レジスタアクセスまたは IWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h”以外) → “FFh”
- “00h” → “54h” (“FFh”以外)
- “00h” → “AAh” (“00h”および“FFh”以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります (1サイクル間の IWDTCCLK の数は、IWDTCR.CKS[3:0] ビットの設定値により異なります)。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはカウンタがアンダフローする4カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。カウンタの値は IWDTSR.CNTVAL[13:0] ビットで確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を“01FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“01FFh”より前 (たとえば“0202h”) であっても、IWDTSR.CNTVAL[13:0] ビットの値が“01FFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置を“01FFh”とした場合、IWDTRR レジスタへ“00h” → “FFh”を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“0203h” (“01FFh”の4カウント前) 以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前までリフレッシュが可能となりますが、この場合 IWDTRR レジスタへ“00h” → “FFh”を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“0003h” (アンダフローの4カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 29.5 に PCLKB > IWDTCLK、カウントクロックが IWDTCLK/1 の場合の IWDT リフレッシュ動作波形を示します。

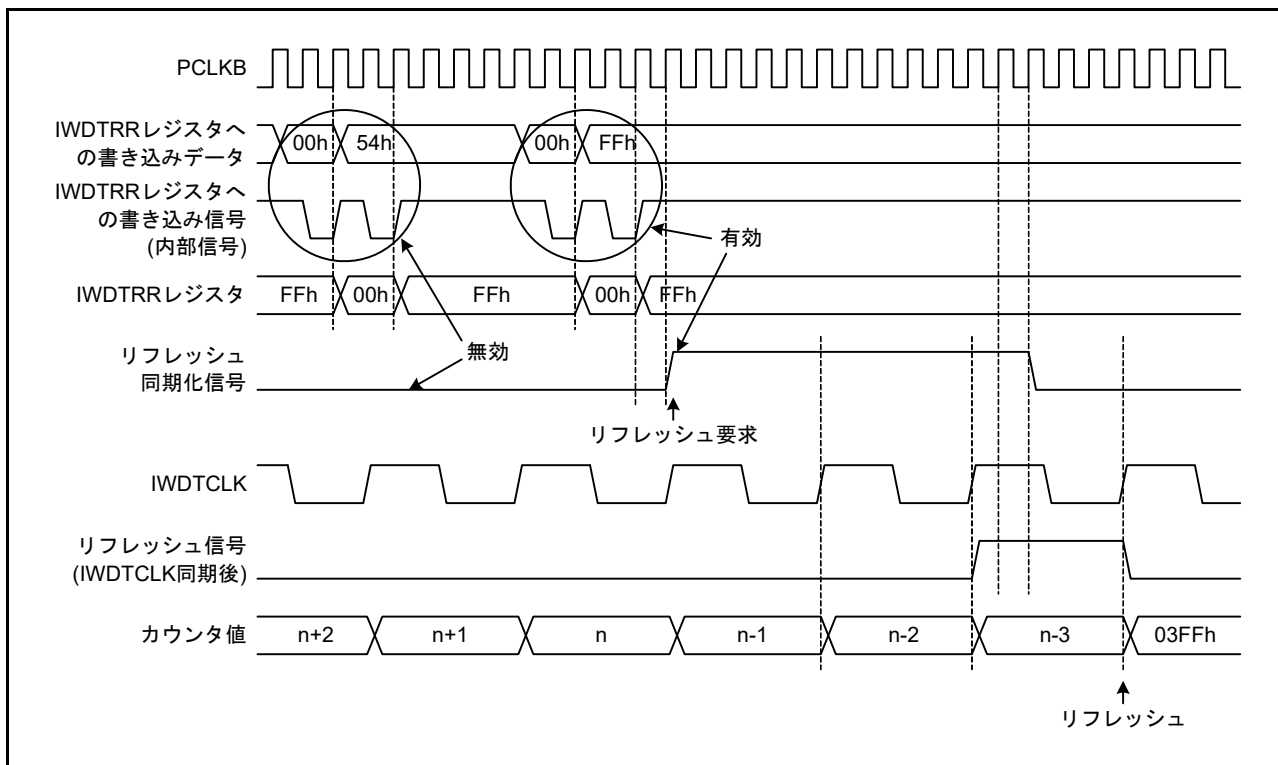


図 29.5 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 10b)

29.3.3 ステータスフラグ

IWDTSR.REFEEF フラグ、IWDTSR.UNDFE フラグは、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEEF フラグ、または IWDTSR.UNDFE フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLKB 2 クロック必要です。

29.3.4 リセット出力

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDTRSTIRQS ビットを“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

29.3.5 割り込み要因

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“0”にした場合、またはオートスタートモード時、OFS0.IWDTRSTIRQS ビットを“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生すると、割り込み (IWUNI) が発生します。本割り込みはノンマスクابل割り込みです。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

表 29.4 IWDT の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
IWUNI	カウンタのアンダフロー リフレッシュエラー	不可能	不可能

29.3.6 カウンタ値の読み出し

IWDT のカウンタは IWDTCLK で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を PCLKB で同期化し、IWDTSR.CNTVAL[13:0] ビットに格納します。

IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLKB で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 29.6 に PCLKB > IWDTCLK、カウントクロックが IWDTCLK/1 の場合の IWDT カウンタ値の読み出し処理を示します。

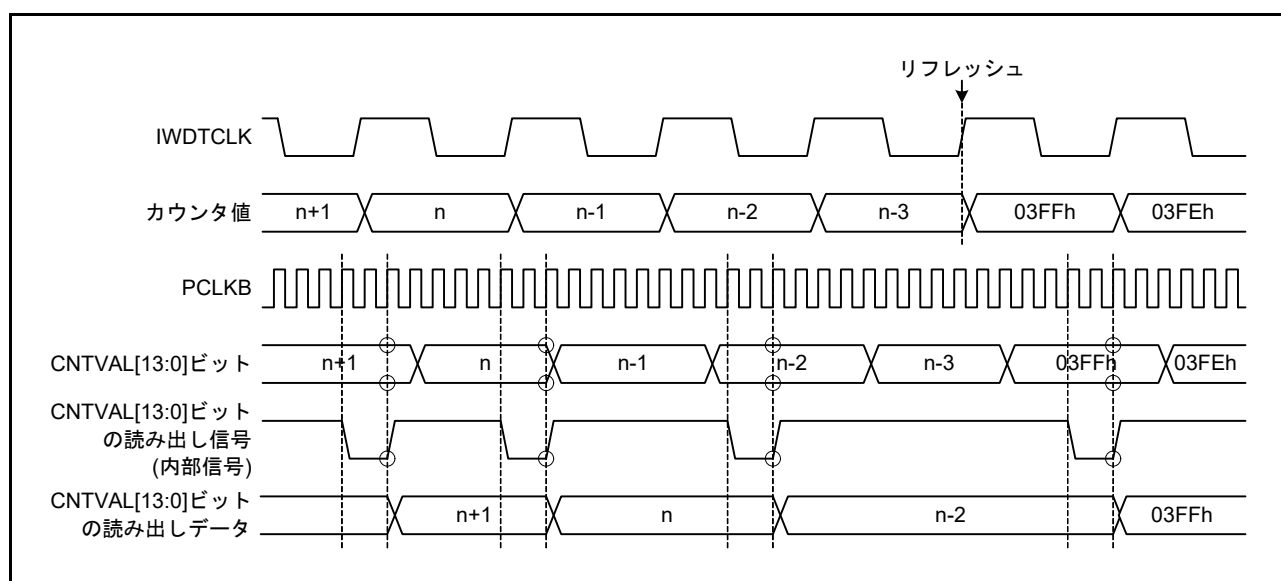


図 29.6 IWDT カウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 10b)

29.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 29.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタについては、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 29.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCPTR.SLCSTP

29.4 ELC によるリンク動作

イベントリンクコントローラ (ELC) は IWDT が生成する割り込み要求をイベント信号として使用します。IWDT が割り込み要求を出力すると、あらかじめ設定したモジュールに対してイベントが発生します。カウンタのアンダフロー、およびリフレッシュエラーによりイベント信号を出力します。

レジスタスタートモード時の IWDTCR.RSTIRQS ビット、もしくはオートスタートモード時の OFS0.IWDRSTIRQS ビットの設定に関わらず、イベント信号を出力します。また、IWDTSR.REFEF フラグ、または IWDTSR.UNDFE フラグが、“1” の状態で、次の割り込み要因が発生した場合でもイベント信号出力が可能です。

詳細は、「19. イベントリンクコントローラ (ELC)」を参照してください。

29.5 使用上の注意事項

29.5.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLKB と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

29.5.2 クロック分周比の設定

PCLKB の周波数 $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

30. USB2.0FSホスト/ファンクションモジュール(USB_e)

30.1 概要

本MCUは、USB2.0FSホスト/ファンクションモジュール(USB₀)を内蔵しています。

USBは、ホストコントローラとファンクションコントローラを備えたUSBコントローラです。

ホストコントローラと、ファンクションコントローラは、USB(Universal Serial Bus)規格2.0のフルスピードおよびロースピード転送(ホストコントローラのみ)に対応します。また、USBはUSBトランシーバを内蔵し、USB規格2.0で定義されている全転送タイプに対応しています。

データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。また、パイプ1~9に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

表30.1にUSBの仕様を示します。

表30.1 USBの仕様

項目	内容
特長	<ul style="list-style-type: none"> USB2.0に対応したUDC(USB Device Controller)およびトランシーバを内蔵 ホストコントローラ機能/ファンクションコントローラ機能/OTG(On-The-Go)に対応(1チャンネル) ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 セルフパワーモードおよびバスパワーモードを選択可能
	ホストコントローラ機能選択時 <ul style="list-style-type: none"> フルスピード転送(12 Mbps)およびロースピード転送(1.5 Mbps)に対応 SOF、パケット送信のスケジュールを自動化 アイソクロナス転送、インタラプト転送の転送インターバル設定機能 ハブを1段階越し、複数の周辺デバイスと接続し通信が可能
	ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> フルスピード転送(12 Mbps)に対応(注1) コントロール転送ステージ管理機能 デバイスステート管理機能 SET_ADDRESSリクエストに対する自動応答機能 SOF補完機能
通信データ転送タイプ	<ul style="list-style-type: none"> コントロール転送 バルク転送 インタラプト転送 アイソクロナス転送
パイプコンフィギュレーション	<ul style="list-style-type: none"> USB通信用バッファメモリを内蔵 最大10本のパイプを選択可能(デフォルトコントロールパイプを含む) パイプ1~9は任意のエンドポイント番号を割り付け可能
	各パイプの設定可能な転送条件 <ul style="list-style-type: none"> パイプ0: コントロール転送、64バイトシングルバッファ パイプ1、2: バルク転送時、64バイトダブルバッファ指定可能 アイソクロナス転送時、256バイトダブルバッファ指定可能 パイプ3~5: バルク転送、64バイトダブルバッファ指定可能 パイプ6~9: インタラプト転送、64バイトシングルバッファ
その他の機能	<ul style="list-style-type: none"> トランザクションカウントによる受信トランスファ終了機能 BRDY割り込みイベント通知タイミング変更機能(BFRE) DnFIFOポート(n=0, 1)で指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) トランスファ終了による応答PIDのNAK設定機能(SHTNAK) D+/D-のプルアップ抵抗、プルダウン抵抗をチップに内蔵
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. ファンクションコントローラ機能選択時、ロースピード転送(1.5 Mbps)に対応していません。

図 30.1 に USB のブロック図を示します。

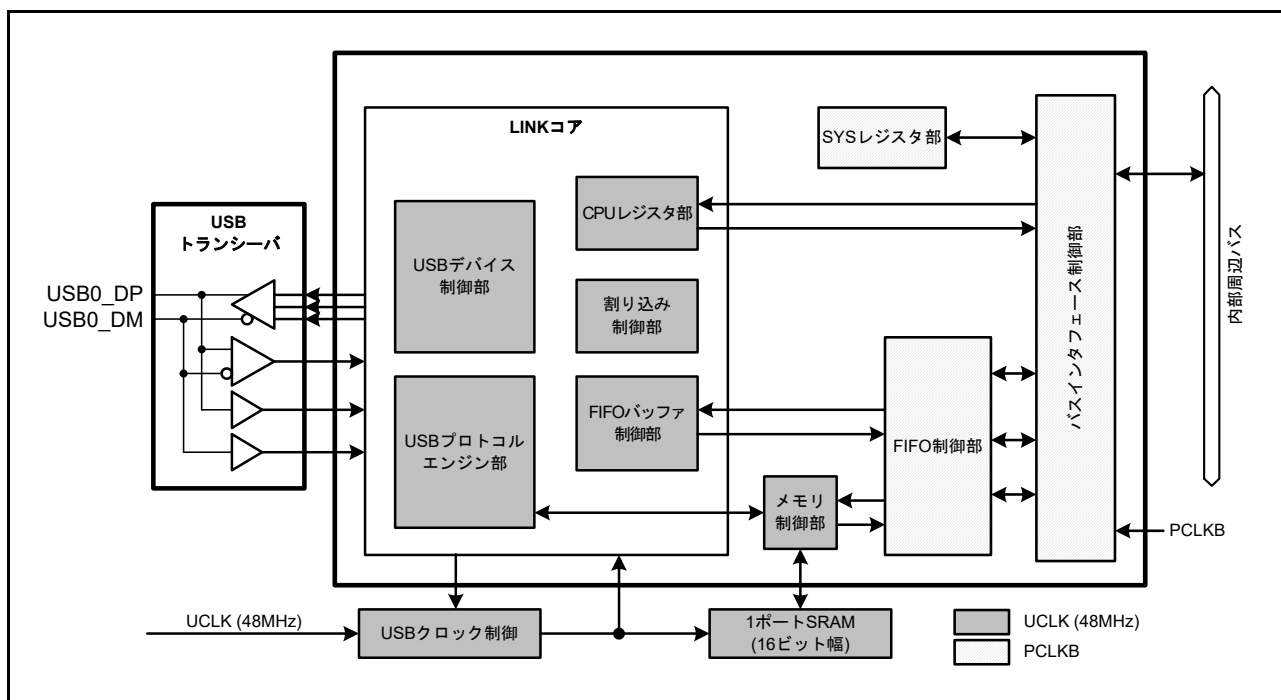


図 30.1 USB のブロック図

表 30.2 に USB の入出力端子を示します。

表 30.2 USB の入出力端子

ポート	端子名	入出力	機能
USB0	USB0_DP	入出力	USB内蔵トランシーバD+入出力端子。USBバスのD+端子に接続してください
	USB0_DM	入出力	USB内蔵トランシーバD-入出力端子。USBバスのD-端子に接続してください
	USB0_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続/切断を検出することができます(注1)
	USB0_EXICEN	出力	外部電源(OTG)チップのローパワー制御信号
	USB0_VBUSEN	出力	外部電源チップへのVBUS (5 V)の供給許可信号
	USB0_OVRCURA USB0_OVRCURB	入力	外部オーバカレント検出信号を接続します。また、OTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB0_ID	入力	OTG動作時MicroABコネクタのID入力信号を接続します

注1. P16は5Vトレラントです。
5VトレラントでないPB5を使用する場合は、VBUSを3.3Vまで降圧して接続してください。

30.2 レジスタの説明

30.2.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

アドレス USB0.SYSCFG 000A 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	—	—	DCFM	DRPD	DPRPU	—	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USB動作許可ビット	0 : USBの動作禁止 1 : USBの動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DPRPU	D+ライン抵抗制御ビット	0 : プルアップ禁止 1 : プルアップ許可	R/W
b5	DRPD	D+/D-ライン抵抗制御ビット	0 : プルダウン禁止 1 : プルダウン許可	R/W
b6	DCFM	コントローラ機能選択ビット	0 : ファンクションコントローラ機能を選択 1 : ホストコントローラ機能を選択	R/W
b9-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	SCKE	USBクロック許可ビット(注1)	0 : USBへのクロック供給停止 1 : USBへのクロック供給許可	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCKEビットに“1”を書いた後、SCKEビットを読み出し、“1”となっていることを確認してください。

USB_E ビット (USB動作許可ビット)

USBの動作禁止/許可を指定します。

USBEビットを“1”から“0”に変更したときに初期化されるレジスタとビットを表30.3に示します。

USBEビットの変更は、SCKEビットが“1”のときに行ってください。

ホストコントローラ機能選択時は、DRPDビットを“1”にした後、SYSSTS0.LNST[1:0]フラグのチャタリング除去を行い、USBバスの状態が安定したことを確認した後で、USBEビットを“1”にしてください。

表30.3 USB_Eビットへの“0”書き込みにより初期化されるレジスタ

選択機能	レジスタ	ビット	備考
ファンクションコントローラ機能	SYSSTS0	LNST[1:0]	ホストコントローラ機能選択時は値保持
	DVSTCTR0	RHST[2:0]	
	INTSTS0	DVSQ[2:0]	ホストコントローラ機能選択時は値保持
	USBREQ	BREQUEST[7:0], BMREQUESTTYPE[7:0]	ホストコントローラ機能選択時は値保持
	USBVAL	—	ホストコントローラ機能選択時は値保持
	USBINDX	—	ホストコントローラ機能選択時は値保持
	USBLENG	—	ホストコントローラ機能選択時は値保持
ホストコントローラ機能	DVSTCTR0	RHST[2:0]	
	FRMNUM	FRNM[10:0]	ファンクションコントローラ機能選択時は値保持

DPRPU ビット (D+ ライン抵抗制御ビット)

ファンクションコントローラ機能選択時、D+ ラインのプルアップの禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に DPRPU ビットを“1”にすると、USB は D+ ラインをプルアップし、USB ホストに対してアタッチを通知することができます。また、DPRPU ビットを“1”から“0”に変更することにより、USB は D+ ラインをプルアップしないため、USB ホストに対してデタッチしたと見せることができます。

DPRPU ビットへの“1”書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0”にしてください。

DRPD ビット (D+/D- ライン抵抗制御ビット)

ホストコントローラ機能選択時、D+/D- ラインのプルダウンの禁止 / 許可を指定します。

DRPD ビットへの“1”書き込みは、ホストコントローラ機能選択時に行ってください。ファンクションコントローラ機能選択時は、“0”にしてください。

DCFM ビット (コントローラ機能選択ビット)

USB の機能を選択します。

DCFM ビットの変更は、DPRPU ビットが“0”、かつ DRPD ビットが“0”のときに行ってください。

SCKE ビット (USB クロック許可ビット)

USB への 48 MHz クロック供給の停止 / 許可を指定します。

SCKE ビットが“0”の場合、SYSCFG レジスタのみ、読み出し / 書き込みができます。

USB 関連の他のレジスタは、SCKE ビットが“0”の場合には、読み出し / 書き込みはできません。

30.2.2 システムコンフィギュレーションステータスレジスタ 0 (SYSSTS0)

アドレス USB0.SYSSTS0 000A 0004h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OVCMON[1:0]	—	—	—	—	—	—	—	—	HTACT	—	—	—	IDMON	LNST[1:0]	

リセット後の値 0 (注1) 0 (注1) 0 0 0 0 0 0 0 0 0 0 0 0 (注1) 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスマニタフラグ	表 30.4 を参照してください	R
b2	IDMON	ID入力端子モニタフラグ	0 : USB0_ID 端子がLow 1 : USB0_ID 端子がHigh	R
b5-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6	HTACT	USBホストシーケンサステータスマニタフラグ	0 : USBのホストシーケンサが完全に停止している 1 : USBのホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと“0”が読み出されます。書き込みは無効になります	R
b15-b14	OVCMON[1:0]	OVRCURA/OVRCURB入力端子モニタフラグ	OVCMON[1] フラグにUSB0_OVRCURA 端子の状態が表示され OVCMON[0] フラグにUSB0_OVRCURB 端子の状態が表示され	R

注1. USB0_OVRCURA/USB0_OVRCURB 端子およびUSB0_ID 端子の状態に依存します。

LNST[1:0] フラグ (USB データラインステータスマニタフラグ)

USB データバスライン (D+ ライン、D- ライン) のステータスが表示されます。詳細は表 30.4 を参照してください。

LNST[1:0] フラグの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (SYSCFG.DPRPU ビットを“1”にする) 以後、ホストコントローラ機能選択時には、プルダウン許可 (SYSCFG.DRPD ビットを“1”にする) 以後に行ってください。

HTACT フラグ (USB ホストシーケンサステータスマニタフラグ)

USB のホストシーケンサが完全に停止しているとき、HTACT フラグは“0”になります。

OVCMON[1:0] フラグ (OVRCURA/OVRCURB 入力端子モニタフラグ)

外部電源チップからのオーバカレントのステータスが表示されます。

表 30.4 USBデータバスライン(D+ライン、D-ライン)のステータス

LNST[1:0] フラグ	ロースピード動作時 (ホストコントローラ機能選択時のみ)	フルスピード動作時
00b	SE0	SE0
01b	K-State	J-State
10b	J-State	K-State
11b	SE1	SE1

30.2.3 デバイスステートコントロールレジスタ 0 (DVSTCTR0)

アドレス USB0.DVSTCTR0 000A 0008h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスフラグ	<ul style="list-style-type: none"> • ホストコントローラ機能選択時 b2 b0 0 0 0: 通信速度不定(パワーオン時あるいは非接続時) 1 x x: USBバスリセット処理中 0 0 1: ロースピード接続時 0 1 0: フルスピード接続時 • ファンクションコントローラ機能選択時 b2 b0 0 0 0: 通信速度不定 0 0 1: USBバスリセット処理中 0 1 0: USBバスリセット処理中またはフルスピード接続時 	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UACT	USBバス許可ビット	0: ダウンポート動作禁止(SOF送出禁止) 1: ダウンポート動作許可(SOF送出許可)	R/W
b5	RESUME	レジューム出力ビット	0: レジューム信号を出力しない 1: レジューム信号を出力する	R/W
b6	USBRST	USBバスリセット出力ビット	0: USBバスリセット信号を出力しない 1: USBバスリセット信号を出力する	R/W
b7	RWUPE	ウェイクアップ検出許可ビット	0: ダウンポートリモートウェイクアップ禁止 1: ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力ビット	0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
b9	VBUSEN	VBUSEN出力端子制御ビット	0: USB0_VBUSEN端子からLowを出力する 1: USB0_VBUSEN端子からHighを出力する	R/W
b10	EXICEN	EXICEN出力端子制御ビット	0: USB0_EXICEN端子からLowを出力する 1: USB0_EXICEN端子からHighを出力する	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル(HNP)制御ビット	OTGにて使用時に、BデバイスからAデバイスに切り替えるときに使用します。HNPBTOAビットが“1”であれば、内部ファンクション制御はSYSCFG.DPRPU = 0またはSYSCFG.DCFM = 1にしてもHNP処理が終了するまでサスペンド状態を維持します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

RHST[2:0] フラグ (USB バスリセットステータスフラグ)

USB バスリセットの状態を表示します。

ホストコントローラ機能選択時に、ソフトウェアで USBRST ビットに“1”を書いた後、RHST[2:0] フラグは“100b”を示します。

ソフトウェアで USBRST ビットに“0”を書き、USB が SE0 ドライブを終了した時点で、USB は RHST[2:0] フラグの値を確定します。

ファンクションコントローラ機能選択時に、USB が USB バスリセットを検出すると、RHST[2:0] フラグは“010b” (DPRPU = 1 にてアタッチ時) を示し、DVST 割り込みが発生します。

UACT ビット (USB バス許可ビット)

ホストコントローラ機能選択時に、USB バス動作許可 (USB バス上への SOF パケットの送出制御) を行います。

UACT ビットを“1”にすると、USB は USB ポートを USB バス許可状態にし、SOF パケット出力およびデータ送受信を行います。

ソフトウェアで UACT ビットに“1”を書いてから、1 フレーム時間以内に SOF パケット出力を開始します。

UACT ビットを“0”にした場合、USB は SOF パケット出力後アイドル状態に遷移します。

以下の場合に、USB は UACT ビットを“0”にします。

- 通信中 (UACT ビットが“1”のとき) に DTCH 割り込みを検出した場合
- 通信中 (UACT ビットが“1”のとき) に EOFERR 割り込みを検出した場合

UACT ビットに“1”を書くときは、USB バスリセット処理終了時 (USBRST ビットへの“0”書き込み)、または、サスペンドからのレジューム処理終了時 (RESUME ビットへの“0”書き込み) のいずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、“0”にしてください。

RESUME ビット (レジューム出力ビット)

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUME ビットを“1”にすると、USB はポートを K-State ドライブし、レジューム出力を行います。

RWUPE = 1 かつ USB サスペンド状態でリモートウェイクアップ信号を検出したときに、USB は RESUME ビットを“1”にします。

USB は、RESUME ビットが“1”の期間 (ソフトウェアで RESUME ビットに“0”を書き込むまで) K-State 出力を継続します。RESUME ビットが“1”の期間 (レジューム期間) は USB 規格 2.0 に準拠した時間を確保してください。

RESUME ビットへの“1”書き込みは、サスペンド中にのみ行ってください。

レジューム終了 (RESUME ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。

ファンクションコントローラ機能選択時は、“0”にしてください。

USBRST ビット (USB バスリセット出力ビット)

ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。

ホストコントローラ機能選択時、USBRST ビットを“1”にすると、USB は USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。

USB は、USBRST ビットが“1”の期間 (ソフトウェアで USBRST ビットに“0”を書くまで) SE0 出力を継続します。USBRST ビットが“1”の期間 (USB バスリセット期間) は USB 規格 2.0 に準拠した時間を確保してください。

通信中 (UACT ビットが“1”) またはレジューム中 (RESUME ビットが“1”) に USBRST ビットに“1”を書いた場合、USB は UACT ビットが“0”かつ RESUME ビットが“0”の状態になるまで USB バスリセットを開始しません。

USB バスリセット終了 (USBRST ビットへの“0”書き込み) と同時に UACT ビットに“1”を書いてください。

ファンクションコントローラ機能選択時は、“0”にしてください。

RWUPE ビット (ウェイクアップ検出許可ビット)

ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ (レジューム信号出力) の禁止 / 許可を指定します。

RWUPE ビットを“1”にすると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号 (2.5 μs 間の K-State) を検出し、レジューム処理 (K-State のドライブ) を行います。

RWUPE ビットを“0”にした場合、USB が USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。

RWUPE ビットを“1”にしたときには、サスペンド中であっても内部クロックを停止しないでください (SYSCFG.SCKE ビットを“1”にしてください)。

ファンクションコントローラ機能選択時は、“0”にしてください。

WKUP ビット (ウェイクアップ出力ビット)

ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ (レジューム信号出力) 禁止 / 許可を指定します。

USB は、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットを“1”にすると、USB は 10 ms の K-State を出力した後、WKUP ビットを“0”にします。

USB 規格 2.0 では、リモートウェイクアップ信号の送信までに最短 5 ms の USB バスアイドル状態を保持する必要があります。このため、USB は、サスペンド状態を検出した直後に WKUP ビットに“1”を書いて、2 ms 待ってから K-State を出力します。

WKUP ビットへの“1”書き込みは、デバイスステートがサスペンド (INTSTS0.DVSSQ[2:0] フラグが“1xxb”) であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。

WKUP ビットを“1”にする場合は、サスペンド中であっても内部クロックを停止しないでください (SYSCFG.SCKE ビットが“1”の状態に WKUP ビットに“1”を書いてください)。

ホストコントローラ機能選択時は、“0”を書いてください。

HNPBTOA ビット (ホストネゴシエーションプロトコル (HNP) 制御ビット)

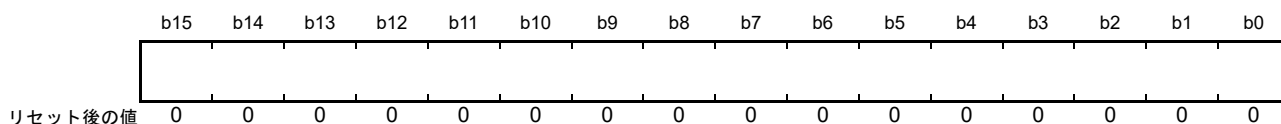
OTG にて使用時に、B デバイスから A デバイスに切り替えるときに使用します。HNPBTOA ビットが“1”であれば、内部ファンクション制御は SYSCFG.DPRPU ビットを“0”または SYSCFG.DCFM ビットを“1”にしても HNP 処理が終了するまでサスペンド状態を維持します。このとき、D+ の立ち下がりを検出しても、レジューム (RESM) 割り込みは発生しません。

“1”にした後、ホストアタッチ (相手のプルアップ) 検出または HNP 処理タイムアウト時にソフトウェアにて“0”を書き、HNP 処理を終了させます。

30.2.4 CFIFO ポートレジスタ (CFIFO)、 D0FIFO ポートレジスタ (D0FIFO)、 D1FIFO ポートレジスタ (D1FIFO)

(1) MBW ビットが“1”の場合

アドレス USB0.CFIFO 000A 0014h, USB0.D0FIFO 000A 0018h, USB0.D1FIFO 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

(2) MBW ビットが“0”の場合

アドレス USB0.CFIFO.L 000A 0014h, USB0.D0FIFO.L 000A 0018h, USB0.D1FIFO.L 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の3つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータの読み出し/書き込みを行うポートレジスタ (CFIFO, D0FIFO, D1FIFO) 以外に、FIFO ポートに割り当てるパイプを選択するポート選択レジスタ (CFIFOSEL, D0FIFOSEL, D1FIFOSEL)、ポートコントロールレジスタ (CFIFOCTR, D0FIFOCTR, D1FIFOCTR) で構成されています。

各 FIFO ポートには、以下の注意事項があります。

- DCP (コントロール転送) 用 FIFO バッファへのアクセスは、CFIFO ポートを通して行ってください。
- DMA/DTC転送による FIFO バッファへのアクセスはD0FIFOあるいはD1FIFOポートを通して行ってください。
- CPU による D0FIFO あるいは D1FIFO ポートへのアクセスも可能です。
- FIFO ポート固有の機能を使用する場合は、ポート選択レジスタの CURPIPE[3:0] ビットに設定するパイプ番号 (選択パイプ) を変更できません (DMA/DTC 転送機能使用時など)。
- 同一パイプを別々の FIFO ポートに割り当てないでください。
- FIFO バッファの状況には、アクセス権がCPU側にある場合と Serial Interface Engine (SIE)側にある場合の2種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からアクセスできません。

FIFOポートビット

FIFOポートビットにアクセスすることにより、FIFOバッファからの受信データを読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。

FIFOポートレジスタへのアクセスは、FIFOポートコントロールレジスタ（CFIFOCTR, D0FIFOCTR, D1FIFOCTR）のFRDYフラグが“1”を示しているときのみ可能です。

FIFOポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL, D0FIFOSEL, D1FIFOSEL）のMBWビットの設定値により異なります。

MBWビットが“1”（16ビット幅）の場合は、MDE.MDE[2:0]ビットの値と、BIGENDビット（CFIFOSEL.BIGEND, D0FIFOSEL.BIGEND, D1FIFOSEL.BIGEND）の設定値との関係により、RAM上とデータ配置が変わる場合があります。16ビットアクセス時のエンディアン動作を表30.5に示します。

なお、送信データ総数が奇数バイトの場合、最後のデータを書くときは下位バイトにバイトアクセスしてください。

MBWビットが“0”（8ビット幅）の場合は、下位バイトにバイトアクセスしてください。

表30.5 16ビットアクセス時のエンディアン動作表

MDE.MDE[2:0]ビット	CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15～8	ビット7～0	備考
000b (ビッグエンディアン)	0 (リトルエンディアン)	N+1番地のデータ	N番地のデータ	バイト逆転あり
	1 (ビッグエンディアン)	N番地のデータ	N+1番地のデータ	
111b (リトルエンディアン)	0 (リトルエンディアン)	N+1番地のデータ	N番地のデータ	
	1 (ビッグエンディアン)	N番地のデータ	N+1番地のデータ	バイト逆転あり

30.2.5 CFIFO ポート選択レジスタ (CFIFOSEL)、 D0FIFO ポート選択レジスタ (D0FIFOSEL)、 D1FIFO ポート選択レジスタ (D1FIFOSEL)

- CFIFOSEL

アドレス USB0.CFIFOSEL 000A 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	CFIFOポートアクセスパイプ指定ビット	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ISEL	DCP選択時CFIFOポートアクセス方向ビット	0: バッファメモリ読み出し選択 1: バッファメモリ書き込み選択	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	CFIFOポートエンディアン制御ビット	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	CFIFOポートアクセスビット幅ビット	0: 8ビット幅 1: 16ビット幅	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	REW	バッファポインタリwindビット	0: バッファポインタリwindしない 1: バッファポインタリwindする	R/W (注1)
b15	RCNT	リードカウントモードビット	0: CFIFOの全受信データ読み出し終了時に CFIFOCTR.DTLN[8:0]フラグを“000h”にする (ダブルバッファの場合は一面のみ読み出し終了時) 1: CFIFO受信データ読み出しごとに CFIFOCTR.DTLN[8:0]フラグをデクリメント	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が“0000b”の場合には、パイプ指定なしとなります。

なお、DMA/DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット (CFIFO ポートアクセスパイプ指定ビット)

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

ISEL ビット (DCP 選択時 CFIFO ポートアクセス方向ビット)

選択パイプが DCP のときに、ISEL ビットを変更するときは、ISEL ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

ISEL ビットの設定は、CURPIPE[3:0] ビットの設定と同時に行ってください。

MBW ビット (CFIFO ポートアクセスビット幅ビット)

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

REW ビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY フラグが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

• D0FIFOSEL、D1FIFOSEL

アドレス USB0.D0FIFOSEL 000A 0028h, USB0.D1FIFOSEL 000A 002Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE [3:0]	FIFOポートアクセスパイプ指定ビット	b3 b0 0000: DCP (デフォルトコントロールパイプ) 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	FIFOポートエンディアン制御ビット	0: リトルエンディアン 1: ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	FIFOポートアクセスビット幅ビット	0: 8ビット幅 1: 16ビット幅	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DREQE	DMA/DTC転送要求許可ビット	0: DMA/DTC転送要求禁止 1: DMA/DTC転送要求許可	R/W
b13	DCLRM	選択パイプ読み出し後自動バッファメモリクリアモード	0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリwindビット	0: バッファポインタリwindしない 1: バッファポインタリwindする	R/W (注1)
b15	RCNT	リードカウントモードビット	0: DnFIFOの全受信データ読み出し終了時に DnFIFOCTR.DTLN[8:0]フラグを“000h”にする (ダブルバッファの場合は一面のみ読み出し終了時) 1: DnFIFO受信データ読み出しごとに DnFIFOCTR.DTLN[8:0]フラグをデクリメント (n = 0, 1)	R/W

注1. 読むと“0”が読めます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットを“0000b”にした場合には、パイプ指定なしとなります。

なお、DMA/DTC 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット (FIFO ポートアクセスパイプ指定ビット)

D0FIFO/D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

MBW ビット (FIFO ポートアクセスビット幅ビット)

D0FIFO ポート、D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また、選択パイプが受信方向の場合、一度 CURPIPE[3:0] ビットに異なる値を設定してから、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。CURPIPE[3:0] ビットの変更手順は、CURPIPE[3:0] ビットの説明に従ってください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

DREQE ビット (DMA/DTC 転送要求許可ビット)

DMA/DTC 転送要求発行の禁止 / 許可を指定します。

DMA/DTC 転送要求発行を許可する場合、CURPIPE[3:0] ビット設定後に DREQE ビットを“1”にしてください。

CURPIPE[3:0] ビットの設定を変更するときには、CURPIPE[3:0] ビットを“0”にした後で変更を行ってください。

DCLRM ビット (選択パイプ読み出し後自動バッファメモリクリアモード)

選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。

DCLRM ビットを“1”にした場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または PIPECFG.BFRE ビットを“1”にしたときにショートパケットを受信しデータ読み出しを完了時に、FIFO バッファへの BCLR ビットへの“1”書き込みを USB が行います。

SOFCFG.BRDYM ビットを“1”にして USB を使用するときには、DCLRM ビットを“0”にしてください。

REW ビット (バッファポインタリワインドビット)

バッファポインタのリワインドをする / しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを“1”にすると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。

REW ビットを“1”にすることと“1”の設定と CURPIPE[3:0] ビットの設定変更を同時に行わないでください。REW ビットを“1”にするときは、FRDY フラグが“1”であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

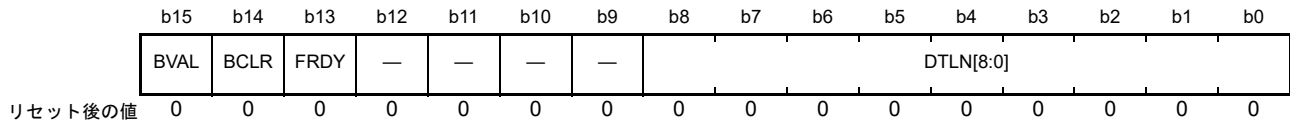
RCNT ビット (リードカウントモードビット)

DnFIFOCTR.DTLN[8:0] フラグの読み出しモードを指定します。

PIPECFG.BFRE ビットを“1”にして DnFIFO にアクセスを行う場合は、RCNT ビットを“0”にしてください。

30.2.6 CFIFO ポートコントロールレジスタ (CFIFOCTR)、 D0FIFO ポートコントロールレジスタ (D0FIFOCTR)、 D1FIFO ポートコントロールレジスタ (D1FIFOCTR)

アドレス USB0.CFIFOCTR 000A 0022h, USB0.D0FIFOCTR 000A 002Ah, USB0.D1FIFOCTR 000A 002Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長表示フラグ	受信データ長が表示されます。ポート選択レジスタのRCNTビットの設定により、表示が異なります。詳細は下記DTLN[8:0]フラグの説明を参照してください	R
b12-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FRDY	FIFOポートレディフラグ	0: FIFOポートアクセス不可能 1: FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリアビット	0: 何もしない 1: CPU側バッファメモリクリア	R/W (注1)
b15	BVAL	バッファメモリ有効ビット	0: 無効 1: 書き込み終了	R/W

注1. 読むと“0”が読めます。

CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、D1FIFO レジスタに対応しています。

DTLN[8:0] フラグ (受信データ長表示フラグ)

受信データ長が表示されます。

FIFO バッファ読み出し中の DTLN[8:0] フラグの値は、DnFIFOSEL.RCNT ビット (n=0, 1) の設定値により以下のように異なります。

- RCNT ビットが“0”のとき

CPU または DMAC/DTC が FIFO バッファ 1 面分の受信データを読み出し完了するまで、USB は受信データ長を DTLN[8:0] フラグに表示します。

PIPECFG.BFRE ビットが“1”のときには、読み出しが完了しても BCLR=1 を行うまでは USB は受信データ長を保持します。

- RCNT ビットが“1”のとき

読み出しごとに USB は DTLN[8:0] フラグの表示をダウンカウントします (MBW ビットが“0”のときは1ずつ、MBW ビットが“1”のときは2ずつダウンカウント)。

1 面分の FIFO バッファ読み出し完了時に、USB は DTLN[8:0] フラグを“0”にします。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を FIFO ポートコントロールレジスタの DTLN[8:0] フラグに表示します。

FRDY フラグ (FIFO ポートレディフラグ)

CPU または DMAC/DTC から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合には、USB は FRDY フラグを“1”にしますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR ビットを“1”にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされている FIFO バッファが空の状態 Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが“1”のときに、ショートパケットを受信し、データ読み出しを完了した場合

BCLR ビット (CPU バッファクリアビット)

選択パイプの CPU 側の FIFO バッファをクリアする場合に“1”にします。

選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能な状態である場合でも、USB は CPU 側の FIFO バッファのみをクリアします。

選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR ビットを“1”にすると、USB は FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の DCPCTR.PID[1:0] ビットを“00b” (NAK) に設定した後で BCLR ビットを“1”にしてください。

選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に“1”を書いた場合には、USB はそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの“1”書き込みは、USB が FIFO ポートコントロールの FRDY フラグが“1”を示しているときに実施してください。

BVAL ビット (バッファメモリ有効ビット)

CURPIPE[3:0] ビットに指定したパイプ (選択パイプ) の CPU 側の FIFO バッファの書き込み終了時に“1”にします。

選択パイプが送信方向のとき、以下の場合に BVAL ビットを“1”にしてください。USB は CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

- ショートパケットの送信を行いたいとき、データ書き込み終了時に BVAL ビットを“1”にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に BVAL ビットを“1”にする

MaxPacketSize 分のデータを書くと、USB が BVAL ビットを“1”にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

BVAL ビットへの“1”書き込みは、USB が FRDY フラグに“1”を示しているときに実施してください。

選択パイプが受信方向のときには、BVAL ビットへの“1”書き込みを行わないでください。

30.2.7 割り込み許可レジスタ 0 (INTENB0)

アドレス USB0.INTENB0 000A 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BRDYE	バッファレディ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	SOFE	フレーム番号更新割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b14	RSME	レジューム割り込み許可ビット(注1)	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	VBSE	VBUS割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注1. RSMEビット、DVSEビットおよびCTREビットは、ファンクションコントローラ機能選択時のみ“1”にできます。ホストコントローラ機能選択時は、“0”にしてください。

ソフトウェアで INTENB0 レジスタを“1”にしたビットに対応する割り込みを USB が検出した場合に、USB は USB 割り込み要求を発生させます。

USB は、INTENB0 レジスタの設定値（割り込み通知の禁止 / 許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットは“1”になります。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが“1”の状態、ソフトウェアで INTENB0 レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は USB 割り込み要求を発生させます。

30.2.8 割り込み許可レジスタ 1 (INTENB1)

アドレス USB0.INTENB1 000A 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCH E	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACKE	セットアップトランザクション正常応答割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	SIGNE	セットアップトランザクションエラー割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	EOFERRE	EOFエラー検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH E	接続検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b12	DTCHE	切断検出割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHGE	USBバス変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15	OVRCRE	オーバカレント入力変化割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W

注. INTENB1レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ“1”にできます。ファンクションコントローラ機能選択時は、“0”にしてください。

INTENB1レジスタは、ホストコントローラ機能選択時の割り込みマスクの設定、およびSETUPトランザクションの割り込みマスクレジスタの設定を行うレジスタです。

ソフトウェアでINTENB1レジスタを“1”にしたビットに対応する割り込みをUSBが検出した場合に、USBはUSB割り込み要求を発生させます。

USBは、INTENB1レジスタの設定値（割り込み通知の禁止/許可）にかかわらず、各割り込み要因の検出条件を満たしたときにINTSTS1レジスタの対応するステータスビットは“1”になります。

各割り込み要因に対応するINTSTS1レジスタのステータスビットが“1”の状態、ソフトウェアでINTENB1レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USBはUSB割り込み要求を発生させます。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

30.2.9 BRDY 割り込み許可レジスタ (BRDYENB)

アドレス USB0.BRDYENB 000A 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B RDYE	PIPE8B RDYE	PIPE7B RDYE	PIPE6B RDYE	PIPE5B RDYE	PIPE4B RDYE	PIPE3B RDYE	PIPE2B RDYE	PIPE1B RDYE	PIPE0B RDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BRDYE	パイプ1 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BRDYE	パイプ2 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BRDYE	パイプ3 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BRDYE	パイプ4 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BRDYE	パイプ5 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BRDYE	パイプ6 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BRDYE	パイプ7 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BRDYE	パイプ8 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BRDYE	パイプ9 BRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY フラグを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアで BRDYENB レジスタを“1”にしたパイプに対して、USB が BRDY 割り込みを検出した場合に、USB は BRDYSTS.PIPE_nBRDY フラグ (n=0~9) の対応するフラグを“1”にし、INTSTS0.BRDY フラグを“1”にします。このときに INTENB0.BRDYE ビットが“1”であれば、USB は BRDY 割り込みを発生させます。

BRDYSTS.PIPE_nBRDY フラグのうち、少なくとも1つのビットが“1”のときに、ソフトウェアで BRDYENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BRDY 割り込みを発生させます。

30.2.10 NRDY 割り込み許可レジスタ (NRDYENB)

アドレス USB0.NRDYENB 000A 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1NRDYE	パイプ1 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2NRDYE	パイプ2 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3NRDYE	パイプ3 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4NRDYE	パイプ4 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5NRDYE	パイプ5 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6NRDYE	パイプ6 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7NRDYE	パイプ7 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8NRDYE	パイプ8 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9NRDYE	パイプ9 NRDY 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に INTSTS0.NRDY フラグを“1”にすることを禁止するか、許可するかを指定します。

ソフトウェアで NRDYENB レジスタを“1”にしたパイプに対して、USB が NRDY 割り込み要因を検出した場合に、USB は NRDYSTS.PIPE_nNRDY フラグ (n = 0 ~ 9) の対応するビットを“1”にし、INTSTS0.NRDY フラグを“1”にします。このときに INTENB0.NRDYE = 1 であれば、USB は NRDY 割り込みを発生させません。

NRDYSTS.PIPE_nNRDY フラグの少なくともひとつのフラグが“1”の状態、ソフトウェアで NRDYENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は NRDY 割り込み要求を発生させます。

30.2.11 BEMP 割り込み許可レジスタ (BEMPENB)

アドレス USB0.BEMPENB 000A 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B EMPE	PIPE8B EMPE	PIPE7B EMPE	PIPE6B EMPE	PIPE5B EMPE	PIPE4B EMPE	PIPE3B EMPE	PIPE2B EMPE	PIPE1B EMPE	PIPE0B EMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b1	PIPE1BEMPE	パイプ1 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b2	PIPE2BEMPE	パイプ2 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b3	PIPE3BEMPE	パイプ3 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b4	PIPE4BEMPE	パイプ4 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b5	PIPE5BEMPE	パイプ5 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b6	PIPE6BEMPE	パイプ6 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b7	PIPE7BEMPE	パイプ7 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b8	PIPE8BEMPE	パイプ8 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b9	PIPE9BEMPE	パイプ9 BEMP 割り込み許可ビット	0: 割り込み出力禁止 1: 割り込み出力許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に INTSTS0.BEMP フラグを“1”にすることを禁止するか、許可するかを指定するレジスタです。

ソフトウェアで BEMPENB レジスタを“1”にしたパイプに対して、USB が BEMP 割り込み要因を検出した場合に、USB は BEMPSTS.PIPE_nBEMP フラグ (n=0~9) の対応するフラグを“1”にし、INTSTS0.BEMP フラグを“1”にします。このときに INTENB0.BEMPE = 1 であれば、USB は BEMP 割り込みを発生させます。

BEMPSTS.PIPE_nBEMP フラグのうち、少なくともひとつのフラグが“1”の状態、ソフトウェアで BEMPENB レジスタの対応する割り込み許可ビットを“0”から“1”に変更すると、USB は BEMP 割り込み要求を発生させます。

30.2.12 SOF 出力コンフィギュレーションレジスタ (SOFCFG)

アドレス USB0.SOFCFG 000A 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TRNENSEL	—	BRDY M	—	EDGESTS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	EDGESTS	エッジ割り込み出力ステータスマニタフラグ(注1)	エッジ割り込み出力信号がエッジ処理中であるとき“1”を示します	R
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	BRDY M	BRDY 割り込みステータスクリアタイミング設定ビット	0 : ソフトウェアでステータスをクリア 1 : FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBがステータスをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRNENSEL	トランザクション有効期間切り替えビット(注1)	0 : ロースピード未対応 1 : ロースピード対応	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. USBモジュールのクロックを停止するときには、本ビットが“0”であることを確認してください。

EDGESTS フラグ (エッジ割り込み出力ステータスマニタフラグ)

エッジ割り込み出力信号がエッジ処理中であるとき、“1”を示します。

USBのクロックを停止するときは、EDGESTS フラグが“0”であることを確認してください。

BRDY M ビット (BRDY 割り込みステータスクリアタイミング設定ビット)

各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。

TRNENSEL ビット (トランザクション有効期間切り替えビット)

フルスピードまたはロースピード通信中のポートにおいて、1フレーム中にUSBがトークン発行を行う期間(トランザクション有効期間)を指定します。

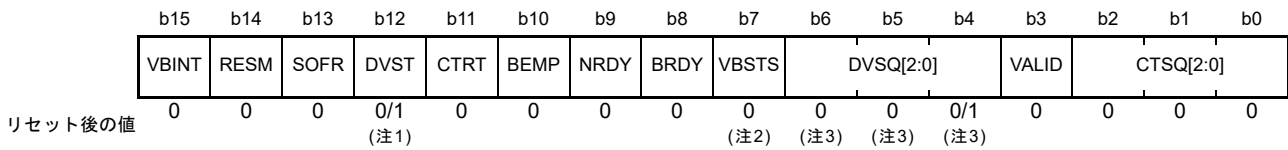
TRNENSEL ビットには、ロースピードデバイスが接続されたときに“1”にしてください。

TRNENSEL ビットは、ホストコントローラ機能選択時のみ有効です。

ファンクションコントローラ機能選択時は、“0”にしてください。

30.2.13 割り込みステータスレジスタ 0 (INTSTS0)

アドレス USB0.INTSTS0 000A 0040h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージフラグ	b2 b0 0 0 0 : アイドルまたはセットアップステージ 0 0 1 : コントロールリードデータステージ 0 1 0 : コントロールリードステータスステージ 0 1 1 : コントロールライトデータステージ 1 0 0 : コントロールライトステータスステージ 1 0 1 : コントロールライト(NoData)ステータスステージ 1 1 0 : コントロール転送シーケンスエラー	R
b3	VALID	USBリクエストフラグ	0 : セットアップパケットを受信していない 1 : セットアップパケットを受信した	R/W (注4)
b6-b4	DVSQ[2:0]	デバイスステートフラグ	b6 b4 0 0 0 : Poweredステート 0 0 1 : Defaultステート 0 1 0 : Addressステート 0 1 1 : Configuredステート 1 x x : Suspendedステート	R
b7	VBSTS	VBUS入カステータスフラグ	0 : USB0_VBUS端子がLow 1 : USB0_VBUS端子がHigh	R
b8	BRDY	バッファレディ割り込みステータスフラグ	0 : BRDY割り込み発生なし 1 : BRDY割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータスフラグ	0 : NRDY割り込み発生なし 1 : NRDY割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータスフラグ	0 : BEMP割り込み発生なし 1 : BEMP割り込み発生あり	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータスフラグ(注5)	0 : コントロール転送ステージ遷移割り込み発生なし 1 : コントロール転送ステージ遷移割り込み発生あり	R/W (注4)
b12	DVST	デバイスステート遷移割り込みステータスフラグ(注5)	0 : デバイスステート遷移割り込み発生なし 1 : デバイスステート遷移割り込み発生あり	R/W (注4)
b13	SOFR	フレーム番号更新割り込みステータスフラグ	0 : SOF割り込み発生なし 1 : SOF割り込み発生あり	R/W (注4)
b14	RESM	レジューム割り込みステータスフラグ(注5、注6)	0 : レジューム割り込み発生なし 1 : レジューム割り込み発生あり	R/W (注4)
b15	VBINT	VBUS割り込みステータスフラグ(注6)	0 : VBUS割り込み発生なし 1 : VBUS割り込み発生あり	R/W (注4)

x : Don't care

- 注1. MCUがリセットされると“0”、USBバスリセットのとき“1”になります。
- 注2. USB0_VBUS端子がHighのとき“1”、Lowのとき“0”になります。
- 注3. MCUがリセットされると“000b”、USBバスリセットのとき“001b”になります。
- 注4. VBINTフラグ、RESMフラグ、SOFRフラグ、DVSTフラグ、CTRTフラグまたはVALIDフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。“0”を示しているステータスフラグへの“0”書き込みを行わないでください。
- 注5. RESMフラグ、DVSTフラグ、CTRTフラグのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを“0”(禁止)にしてください。
- 注6. VBINTフラグ、RESMフラグが示すステータス変化をクロック停止中(SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。

CTSQ[2:0] フラグ (コントロール転送ステージフラグ)

ホストコントローラ機能選択時、読み出しは無効です。

VALID フラグ (USB リクエストフラグ)

ホストコントローラ機能選択時、読み出しは無効です。

DVSQ[2:0] フラグ (デバイスステートフラグ)

USB バスリセットで DVSQ[2:0] フラグは初期化されます。

ホストコントローラ機能選択時、読み出しは無効です。

BRDY フラグ (バッファレディ割り込みステータスフラグ)

BRDY 割り込みステータスが表示されます。

BRDYENB.PIPE_nBRDYE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する BRDYSTS.PIPE_nBRDY フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BRDY 割り込み状態を検出したとき) に、USB は BRDY フラグを“1”にします。

PIPE_nBRDY ステータスのアサート条件は、「30.3.3.1 BRDY 割り込み」を参照ください。

ソフトウェアで、PIPE_nBRDYE ビットで許可しているパイプに対応する PIPE_nBRDY フラグのすべてに“0”を書くと、USB は BRDY フラグを“0”にします。

ソフトウェアで BRDY フラグに対して“0”を書いても、BRDY フラグを“0”にすることはできません。

NRDY フラグ (バッファノットレディ割り込みステータスフラグ)

NRDYENB.PIPE_nNRDYE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する NRDYSTS.PIPE_nNRDY フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が NRDY 割り込み状態を検出したとき) に、USB は NRDY フラグを“1”にします。

PIPE_nNRDY ステータスのアサート条件は、「30.3.3.2 NRDY 割り込み」を参照ください。

ソフトウェアで、PIPE_nNRDYE ビットで許可しているパイプに対応する PIPE_nNRDY フラグのすべてに“0”を書くと、USB は NRDY フラグを“0”にします。

ソフトウェアで NRDY フラグに対して“0”を書いても、NRDY フラグを“0”にすることはできません。

BEMP フラグ (バッファエンプティ割り込みステータスフラグ)

BEMPENB.PIPE_nBEMPE ビット (n = 0 ~ 9) を“1”にしたパイプに対応する BEMPSTS.PIPE_nBEMP フラグ (n = 0 ~ 9) のうち、少なくともひとつが“1”になったとき (ソフトウェアで BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し USB が BEMP 割り込み状態を検出したとき) に、USB は BEMP フラグを“1”にします。

PIPE_nBEMP ステータスのアサート条件は、「30.3.3.3 BEMP 割り込み」を参照ください。

ソフトウェアで、PIPE_nBEMPE ビットで許可しているパイプに対応する PIPE_nBEMP フラグすべてに“0”を書くと、USB は BEMP フラグを“0”にします。

ソフトウェアで BEMP フラグに対して“0”を書いても、BEMP フラグを“0”にすることはできません。

CTRT フラグ (コントロール転送ステージ遷移割り込みステータスフラグ)

ファンクションコントローラ機能設定時、USB がコントロール転送のステージ遷移を検出したときに、USB は CTSQ[2:0] フラグの値を更新し、CTRT フラグを“1”にします。

コントロール転送ステージ遷移割り込みが発生したときには、USB がコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

DVST フラグ (デバイスステート遷移割り込みステータスフラグ)

ファンクションコントローラ機能設定時、USB がデバイスステートの変化を検出したときに、USB は DVSQ[2:0] フラグの値を更新し、DVST フラグを“1”にします。

デバイスステート遷移割り込みが発生したときには、USB が次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

SOFR フラグ (フレーム番号更新割り込みステータスフラグ)**(1) ホストコントローラ機能設定時**

ソフトウェアで DVSTCTR0.UACT ビットを“1”にしているとき、フレームナンバの更新タイミングで SOFR フラグを“1”にします (SOFR 割り込みは、1 ms ごとに検出します)。

(2) ファンクションコントローラ機能設定時

フレームナンバの更新時に USB は SOFR フラグを“1”にします (SOFR 割り込みは、1 ms ごとに検出します)。

USB ホストからの SOF パケットが破損したときでも、内部補完により、USB は SOFR 割り込みを検出します。

RESM フラグ (レジューム割り込みステータスフラグ)

ファンクションコントローラ機能設定時、USB がサスペンド状態 (DVSQ[2:0] フラグが“1xxb”) であり、かつ、USB0_DP 端子の立ち下りを検出したときに、RESM フラグを“1”にします。

ホストコントローラ機能選択時、読み出し値は無効です。

VBINT フラグ (VBUS 割り込みステータスフラグ)

USB が USB0_VBUS 端子入力値の変化 (High から Low への変化あるいは Low から High への変化) を検出したときに、VBINT フラグを“1”にします。USB は USB0_VBUS 端子の入力値を、VBSTS フラグに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS フラグ読み出しの数度一致を行い、チャタリング除去を実施してください。

30.2.14 割り込みステータスレジスタ 1 (INTSTS1)

アドレス USB0.INTSTS1 000A 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACK	セットアップトランザクション正常応答割り込みステータスフラグ	0 : SACK割り込み発生なし 1 : SACK割り込み発生あり	R/W (注1)
b5	SIGN	セットアップトランザクションエラー割り込みステータスフラグ	0 : SIGN割り込み発生なし 1 : SIGN割り込み発生あり	R/W (注1)
b6	EOFERR	EOFエラー検出割り込みステータスフラグ	0 : EOFERR割り込み発生なし 1 : EOFERR割り込み発生あり	R/W (注1)
b10-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH	ATTCH割り込みステータスフラグ	0 : ATTCH割り込み発生なし 1 : ATTCH割り込み発生あり	R/W (注1)
b12	DTCH	USB切断検出割り込みステータスフラグ	0 : DTCH割り込み発生なし 1 : DTCH割り込み発生あり	R/W (注1)
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHG	USBパス変化割り込みステータスフラグ (注2)	0 : BCHG割り込み発生なし 1 : BCHG割り込み発生あり	R/W (注1)
b15	OVRCR	オーバカレント入力変化割り込みステータスフラグ(注2)	0 : OVRCR割り込み発生なし 1 : OVRCR割り込み発生あり	R/W (注1)

注1. INTSTS1レジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。

注2. OVRCRフラグおよびBCHGフラグが示すステータス変化をクロック停止中(SYSCFG.SCKEビットが“0”)でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはSYSCFG.SCKEビットを“1”にした後に行ってください。OVRCRフラグおよびBCHGフラグ以外の割り込みは、クロック停止中(SYSCFG.SCKEビットが“0”)は検出しません。

INTSTS1レジスタは、ホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。

INTSTS1レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

SACKフラグ (セットアップトランザクション正常応答割り込みステータスフラグ)

ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。

USBが発行したSETUPトランザクションにおいて、周辺デバイスからのACK応答を受信したときに、USBはSACK割り込みを検出し、SACKフラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USBはSACK割り込みを発生します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

SIGN フラグ (セットアップトランザクションエラー割り込みステータスフラグ)

ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。

USBが発行したSETUPトランザクションにおいて、周辺デバイスがACK応答を行わない状態が連続3回発生したときに、USBはSIGN割り込みを検出し、SIGNフラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USBはSIGN割り込み発生をします。

USBのSIGN割り込み検出条件は、具体的には3回の連続したSETUPトランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態でUSBがタイムアウトを検出したとき
- ACKパケットが破損したとき
- ACK以外のハンドシェイク (NAK、NYET、またはSTALL)を受信したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

EOFERR フラグ (EOFエラー検出割り込みステータスフラグ)

ホストコントローラ機能選択時、EOFERR割り込みステータスが表示されます。

USB2.0仕様に定められているEOF2タイミング時点で通信が終了しないことをUSBが検出したときに、EOFERR割り込みを検出し、EOFERRフラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USBはEOFERR割り込みを発生します。

USBは、EOFERR割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウェア制御を行います。ソフトウェアで、USBポートに対して通信を行っているパイプをすべて通信終了させ、USBポートへの再Enumerationを行ってください。

- EOFERR割り込みを検出したポートのDVSTCTR0.UACTビットを“0”に変更し表示
- EOFERR割り込みが発生したポートをアイドル状態に遷移させる

ファンクションコントローラ機能選択時、読み出し値は無効です。

ATTCH フラグ (ATTCH割り込みステータスフラグ)

ホストコントローラ機能選択時、ATTCH割り込みステータスが表示されます。

USBがポートにフルスピード信号レベルまたはロースピード信号レベルのJ-StateまたはK-Stateを2.5μs間検出したとき、USBはATTCH割り込みを検出し、ATTCHフラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USBは割り込み発生をします。

USBのATTCH割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0またはSE1からJ-Stateに変化しJ-Stateのまま2.5μs間継続したとき
- J-State、SE0またはSE1からK-Stateに変化しK-Stateのまま2.5μs間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

DTCH フラグ (USB 切断検出割り込みステータスフラグ)

ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。

USB バスディスコネクタ検出時に、USB は DTCH 割り込みを検出し、DTCH フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込み発生します。

USB は、USB 2.0 仕様に準じた基準でバスディスコネクタを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示
- DTCH 割り込みが発生したポートをアイドル状態に遷移

ファンクションコントローラ機能選択時、読み出し値は無効です。

BCHG フラグ (USB バス変化割り込みステータスフラグ)

USB バス変化割り込みステータスが表示されます。

USB ポートでフルスピード信号レベルまたはロースピード信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した) ときに、USB は BCHG 割り込みを検出し、BCHG フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込みを発生させます。

USB ポートの現在の入力状態を、SYSSTS0.LNST[1:0] フラグに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST[1:0] フラグ読み出しの数度一致を行い、チャタリング除去を実施してください。

USB バス変化は、内部クロック停止状態でも検出します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

OVRCCR フラグ (オーバカレント入力変化割り込みステータスフラグ)

USB0_OVRCURA および USB0_OVRCURB 入力端子の変化割り込みステータスが表示されます。

USB0_OVRCURA または USB0_OVRCURB 端子入力値の少なくともどちらか一方が変化 (High から Low への変化あるいは Low から High への変化) したときに、USB は OVRCCR 割り込みを検出し、OVRCCR フラグを“1”にします。このとき、ソフトウェアで該当する割り込み許可ビットを“1”にしていれば、USB は割り込みを発生させます。

30.2.15 BRDY 割り込みステータスレジスタ (BRDYSTS)

アドレス USB0.BRDYSTS 000A 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B RDY	PIPE8B RDY	PIPE7B RDY	PIPE6B RDY	PIPE5B RDY	PIPE4B RDY	PIPE3B RDY	PIPE2B RDY	PIPE1B RDY	PIPE0B RDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BRDY	パイプ1 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BRDY	パイプ2 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BRDY	パイプ3 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BRDY	パイプ4 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BRDY	パイプ5 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BRDY	パイプ6 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BRDY	パイプ7 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BRDY	パイプ8 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BRDY	パイプ9 BRDY割り込みステータスフラグ(注2)	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SOFCFG.BRDYMビットが“0”の場合、BRDYSTSレジスタの各フラグが示すステータスをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

注2. SOFCFG.BRDYMビットが“0”の場合、BRDY割り込みのクリアは、FIFOアクセスを行う前に実施してください。

30.2.16 NRDY 割り込みステータスレジスタ (NRDYSTS)

アドレス USB0.NRDYSTS 000A 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1NRDY	パイプ1 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2NRDY	パイプ2 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3NRDY	パイプ3 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4NRDY	パイプ4 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5NRDY	パイプ5 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6NRDY	パイプ6 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7NRDY	パイプ7 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8NRDY	パイプ8 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9NRDY	パイプ9 NRDY割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NRDYSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

30.2.17 BEMP 割り込みステータスレジスタ (BEMPSTS)

アドレス USB0.BEMPSTS 000A 004Ah

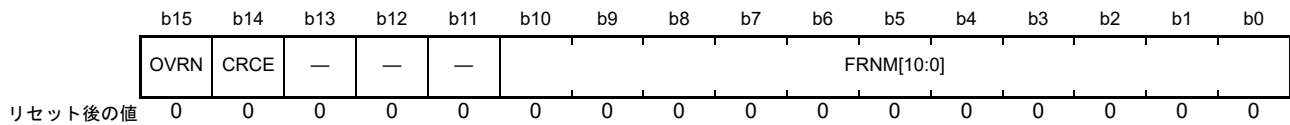
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9B EMP	PIPE8B EMP	PIPE7B EMP	PIPE6B EMP	PIPE5B EMP	PIPE4B EMP	PIPE3B EMP	PIPE2B EMP	PIPE1B EMP	PIPE0B EMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b1	PIPE1BEMP	パイプ1 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b2	PIPE2BEMP	パイプ2 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b3	PIPE3BEMP	パイプ3 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b4	PIPE4BEMP	パイプ4 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b5	PIPE5BEMP	パイプ5 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b6	PIPE6BEMP	パイプ6 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b7	PIPE7BEMP	パイプ7 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b8	PIPE8BEMP	パイプ8 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b9	PIPE9BEMP	パイプ9 BEMP割り込みステータスフラグ	0: 割り込み発生なし 1: 割り込み発生あり	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BEMPSTSレジスタの各フラグが示すステータスを“0”にする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書いてください。

30.2.18 フレームナンバレジスタ (FRMNUM)

アドレス USB0.FRNUM 000A 004Ch



ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号フラグ	最新のフレーム番号	R
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	CRCE	受信データエラーフラグ	0: エラーなし 1: エラー発生	R/W (注1)
b15	OVNRN	オーバラン/アンダラン検出ステータスフラグ	0: エラーなし 1: エラー発生	R/W (注1)

注1. 各ステータスを“0”にする場合は、クリアしたいフラグに“0”を、その他のフラグには“1”を書いてください。

FRNM[10:0] フラグ (フレーム番号フラグ)

USBは、1 ms に 1 回の SOF 発行タイミングまたは SOF 受信時に FRNM[10:0] フラグを書き換え、最新のフレーム番号を表示します。

CRCE フラグ (受信データエラーフラグ)

アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。

ソフトウェアで、CRCE フラグに“0”を書くことにより CRCE フラグを“0”にすることができます。このとき、FRMNUM レジスタの他のフラグには“1”を書いてください。

CRC エラーの検出時には、USB は内部 NRDY 割り込み要求を発生させます。

OVNRN フラグ (オーバラン/アンダラン検出ステータスフラグ)

アイソクロナス転送を行っているパイプに対するオーバラン/アンダランエラー検出の有無が表示されます。

ソフトウェアで、OVNRN フラグに“0”を書くことにより OVNRN フラグを“0”にすることができます。このとき、FRMNUM レジスタの他のフラグには“1”を書いてください。

(1) ホストコントローラ機能選択時

以下のいずれかの場合に、USB が OVNRN フラグを“1”にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき

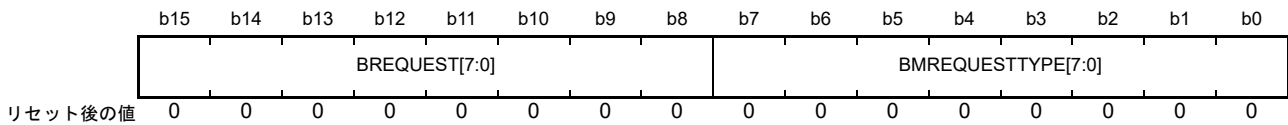
(2) ファンクションコントローラ機能選択時

以下のいずれかの場合に、USB が OVNRN フラグを“1”にします。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき

30.2.19 USB リクエストタイプレジスタ (USBREQ)

アドレス USB0.USBREQ 000A 0054h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプビット	USBリクエストbmRequestTypeの値	R/W (注1)
b15-b8	BREQUEST[7:0]	リクエストビット	USBリクエストbRequestの値	R/W (注1)

注1. ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ レジスタは、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0] ビット (リクエストタイプビット)

USB リクエスト bmRequestType の値を格納します。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BMREQUESTTYPE[7:0] ビットの書き換えは行わないでください。
- ファンクションコントローラ機能選択時
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

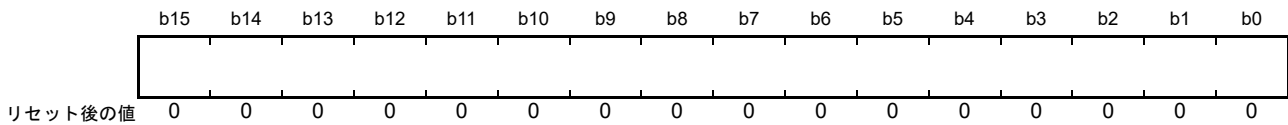
BREQUEST[7:0] ビット (リクエストビット)

USB リクエスト bRequest の値を格納します。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが“1”の状態では BREQUEST[7:0] ビットの書き換えは行わないでください。
- ファンクションコントローラ機能選択時
SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

30.2.20 USB リクエストバリュeregスタ (USBVAL)

アドレス USB0.USBVAL 000A 0056h



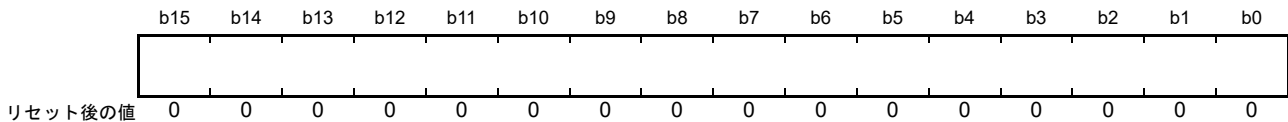
USBVAL レジスタは、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。
DCPCTR.SUREQ ビットが“1”の状態を書き換えしないでください。
- ファンクションコントローラ選択時
SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。書き込みは無効です。

30.2.21 USB リクエストインデックスレジスタ (USBINDX)

アドレス USB0.USBINDX 000A 0058h



USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

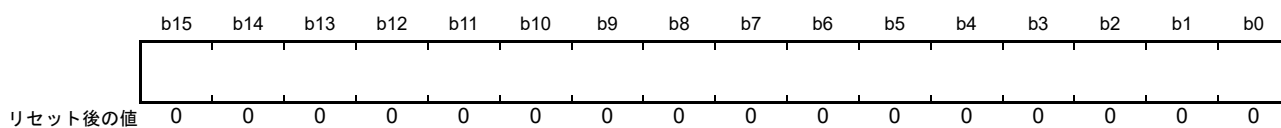
USBINDX レジスタは、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

- ホストコントローラ機能選択時
送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。
DCPCTR.SUREQ ビットが“1”の状態を書き換えしないでください。
- ファンクションコントローラ選択時
SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します。書き込みは無効です。

30.2.22 USB リクエストレングスレジスタ (USBLENG)

アドレス USB0.USBLENG 000A 005Ah



USBLENG レジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG レジスタは、ファンクションコントローラ機能選択時、受信した `wLength` の値が格納されます。ホストコントローラ機能選択時、送信する `wLength` の値を設定します。

USBLENG レジスタは、バスリセットで初期化されます。

- ホストコントローラ機能選択時
送信する `SETUP` トランザクションの USB リクエスト `wLength` の値を設定してください。
`DCPCTR.SUREQ` ビットが“1”の状態を書き換えしないでください。
- ファンクションコントローラ選択時
`SETUP` トランザクションで受信した USB リクエスト `wLength` の値を表示します。書き込みは無効です。

30.2.23 DCP コンフィギュレーションレジスタ (DCPCFG)

アドレス USB0.DCPCFG 000A 005Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SHTNA K	—	—	DIR	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DIR	転送方向設定ビット(注1)	0：データ受信方向 1：データ送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0：トランスファ終了時にパイプ継続 1：トランスファ終了時にパイプ禁止	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

DIR ビット (転送方向設定ビット)

ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。

ファンクションコントローラ機能選択時には、DIR ビットを“0”にしてください。

SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)

コントロール転送が受信方向の場合に、トランスファ終了時に DCPCTR.PID[1:0] ビットを“00b” (NAK) に変更するかどうかを指定します。

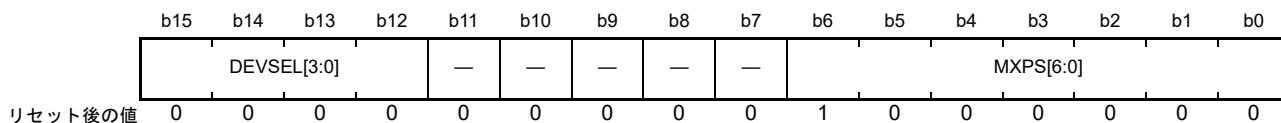
SHTNAK ビットは、受信方向である場合に有効なビットです。

SHTNAK ビットを“1”にしている場合、USB は、トランスファの終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを“00b” (NAK) に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき

30.2.24 DCP マックスパケットサイズレジスタ (DCPMAXP)

アドレス USB0.DCPMAXP 000A 005Eh



ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	マックスパケットサイズビット(注1)	DCPの最大データペイロード(マックスパケットサイズ)設定	R/W
b11-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注2)	b15 b12 0 0 0 0 : アドレス 0000 0 0 0 1 : アドレス 0001 0 0 1 0 : アドレス 0010 0 0 1 1 : アドレス 0011 0 1 0 0 : アドレス 0100 0 1 0 1 : アドレス 0101 上記以外は設定しないでください	R/W

注1. MXPS[6:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には、ポート選択レジスタのCURPIPE[3:0]ビットへDCPを設定後、ポートコントロールレジスタのBCLRビットを“1”にしてバッファクリア処理を実施してください。

注2. DEVSEL[3:0]ビットの設定の変更は、DCPCTR.PID[1:0] = 00b (NAK)の状態およびDCPCTR.SUREQビットが“0”の期間に実施してください。DCPのDCPCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、DCPCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

MXPS[6:0] ビット (マックスパケットサイズビット)

DCPの最大データペイロード(マックスパケットサイズ)をMXPS[6:0]ビットに設定してください。初期値は、40h (64バイト)です。

MXPS[6:0]ビットの設定は、USB規格2.0に準拠した値を設定してください。

MXPS[6:0]ビットが“0”の状態ではFIFOバッファへの書き込み、またはPID[1:0] = 01b (BUF)の設定は行わないでください。

DEVSEL[3:0] ビット (デバイス選択ビット)

ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。

DEVSEL[3:0]ビットの設定値に対応するDEVADD_n (n = 0 ~ 5)レジスタの設定を行ったあとで、DEVSEL[3:0]ビットを設定してください。例えば、DEVSEL[3:0]ビットを“0010b”にする場合、DEVADD2レジスタにアドレスの設定を行ってください。

ファンクションコントローラ機能選択時は、DEVSEL[3:0]ビットの値を“0000b”にしてください。

30.2.25 DCP コントロールレジスタ (DCPCTR)

アドレス USB0.DCPCTR 000A 0060h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	SUREQ	—	—	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK応答 0 1 : BUF応答(バッファ状態に従う) 1 0 : STALL応答 1 1 : STALL応答	R/W
b2	CCPL	コントロール転送終了許可ビット	0 : コントロール転送終了許可しない 1 : コントロール転送終了許可	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : DCPはトランザクションで未使用 1 : DCPはトランザクションで使用	R
b6	SQMON	シーケンスグルビットモニタフラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスグルビットセットビット (注2)	0 : 書き込みは無効 1 : DATA1指定	R/W (注1)
b8	SQCLR	シーケンスグルビットクリアビット (注2)	0 : 書き込みは無効 1 : DATA0指定	R/W (注1)
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	SUREQCLR	SUREQビットクリアビット	0 : 書き込みは無効 1 : SUREQビットをクリア	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	SUREQ	SETUPトークン送出ビット	0 : 書き込みは無効 1 : セットアップパケット送出	R/W
b15	BSTS	バッファステータスフラグ	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. SQSETビットおよびSQCLRビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。DCPのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PID[1:0] ビット (応答PIDビット)

PID[1:0] ビットでコントロール転送における USB の応答を制御します。

(1) ホストコントローラ機能選択時

以下の手順でPID[1:0] ビットを“00b” (NAK) から“01b” (BUF)に変更してください。

● 送信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID[1:0] = 00b (NAK)の状態ではFIFOバッファに送信データを書き込み完了し、“01b” (BUF 応答) を書いてください。PID[1:0] = 01b (BUF)の書き込み後、USBはOUTトランザクションを実行します。

● 受信方向設定時

DVSTCTR0.UACT ビットが“1”かつPID[1:0] = 00b (NAK)の状態ではFIFOバッファが空の状態であることを確認し(空の状態にし)、PID[1:0] = 01b (BUF)を書き込んでください。PID[1:0] = 01b (BUF)の書き

込み後、USBはINトランザクションを実行します。

以下の場合に、USBがPID[1:0]ビットの値を変更します。

- ソフトウェアでPID[1:0]ビットに“01b”(BUF)を設定しているときに、USBがMaxPacketSizeを超えるデータを受信した場合、USBはPID[1:0]=11b(STALL)を表示します。
- CRCエラーなどの受信エラーを3回連続で検出した場合には、USBはPID[1:0]=00b(NAK)を表示します。
- STALLハンドシェイクを受信した場合、USBはPID[1:0]=11b(STALL)を表示します。

(2) ファンクションコントローラ機能選択時

以下の場合に、USBがPID[1:0]ビットの値を変更します。

- USBがSETUPパケットを受信したときに、USBはPID[1:0]ビットをPID[1:0]=00b(NAK)に変更します。このとき、USBはINTSTS0.VALIDフラグを“1”にし、ソフトウェアでVALIDフラグを“0”にするまでは、ソフトウェアでPID[1:0]ビットを変更できません。
- ソフトウェアでPID[1:0]ビットに“01b”(BUF)を設定しているときに、USBがMaxPacketSizeを超えるデータを受信した場合、USBはPID[1:0]=11b(STALL)を表示します。
- USBがコントロール転送シーケンスエラーを検出した場合、PID[1:0]=1xb(STALL)を表示します。
- USBがUSBバスリセットを検出した場合、PID[1:0]=00b(NAK)を表示します。

SET_ADDRESSリクエスト処理(自動処理)時には、USBはPID[1:0]ビットの設定値を参照しません。PID[1:0]ビットはUSBバスリセットで初期化されます。

CCPLビット(コントロール転送終了許可ビット)

ファンクションコントローラ機能選択時に、CCPLビットを“1”にすることによりコントロール転送のステータスステージの終了許可を設定します。

対応するPID[1:0]ビットが“01b”(BUF)のとき、ソフトウェアでCCPLビットを“1”にすると、USBはコントロール転送のステータスステージを完了させます。

コントロールリード転送時ではUSBホストからのOUTトランザクションに対してACKハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時ではUSBホストからのINトランザクションに対してZero-Lengthパケットを送信します。ただし、SET_ADDRESSリクエスト検出時は、CCPLビットの設定値に関係なくUSBはSETUPステージからステータスステージ完了まで自動応答を行います。

新たなSETUPパケットを受信したときに、USBはCCPLビットを“1”から“0”に変更します。

INTSTS0.VALIDフラグが“1”のとき、ソフトウェアでCCPLビットへの“1”書き込みを行うことができません。

CCPLビットはUSBバスリセットで初期化されます。

ホストコントローラ機能選択時には、CCPLビットへは“0”を書き込んでください。

PBUSYフラグ(パイプビジーフラグ)

DCPがPID[1:0]ビットを“01b”(BUF)から“00b”(NAK)に変更した場合に、DCPのトランザクションで使用されなくなったかを表示します。

USBは、当該パイプのUSBトランザクションを開始したときにPBUSYフラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYフラグを“1”から“0”に変更します。

ソフトウェアでPID[1:0]=00b(NAK)を設定した後、PBUSYフラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「30.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON フラグ (シーケンストグルビットモニタフラグ)

DCP の転送において、次のトランザクションのシーケンストグルビット値が表示されます。

トランザクションが正常処理すると USB は SQMON フラグをトグルさせます。ただし、受信方向転送時のデータ PID 不一致発生時には、SQMON フラグをトグルさせません。

ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、USB は SQMON フラグを“1” (期待値を DATA1 に設定) にします。

また、ファンクションコントローラ機能選択時、USB はステータスステージの IN/OUT トランザクションでは SQMON フラグを参照しません。また正常終了してもトグルさせません。

SQSET ビット (シーケンストグルビットセットビット)

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA1 に設定することができます。

SQCLR ビットと SQSET ビットを同時に“1”にしないでください。

SQCLR ビット (シーケンストグルビットクリアビット)

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA0 に設定することができます。SQCLR ビットは“0”になります。

SQCLR ビットと SQSET ビットを同時に“1”にしないでください。

SUREQCLR ビット (SUREQ ビットクリアビット)

ホストコントローラ機能選択時に、SUREQCLR ビットを“1”にすることによって SUREQ ビットをクリアすることができます。SUREQCLR ビットは“0”になります。

SETUP トランザクションにおいて、SUREQ ビットが“1”のまま通信が停止したときに、ソフトウェアで SUREQCLR ビットを“1”にしてください。正常な SETUP トランザクションでは、トランザクション終了時に USB が自動的に SUREQ ビットを“0”にしますので、ソフトウェアによるクリア処理は不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットの“0”による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時、SUREQCLR ビットへは“0”を書いてください。

SUREQ ビット (SETUP トークン送出ビット)

ホストコントローラ機能選択時、SUREQ ビットを“1”にすることにより、セットアップパケットを送信します。

SETUP トランザクション処理終了後、USB は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを“0”にします。

また、SUREQCLR ビットをソフトウェアで“1”にすることにより、USB は SUREQ ビットを“0”にします。

DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを“1”にしてください。SUREQ ビットを“1”にする前に、DCP の PID[1:0] ビットを“00b” (NAK) に設定していることを確認してください。また、SUREQ ビットを“1”にした後、SETUP トランザクションが終了するまで (SUREQ ビットが“1”) の期間は DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。

SETUP トークンを出すときのみ SUREQ ビットを“1”にしてください。その他のときには、“0”を書いてください。

ファンクションコントローラ機能選択時、SUREQ ビットへは“0”を書いてください。

BSTS フラグ (バッファステータスフラグ)

DCP FIFO バッファへのアクセス可否ステータスが表示されます。

BSTS フラグの意味は、ポート選択レジスタの ISEL ビットの設定値により以下のように異なります。

- ISEL ビットが“0”のとき、受信データの読み出しが可能かどうかを表示
- ISEL ビットが“1”のとき、送信データの書き込みが可能かどうかを表示

30.2.26 パイプウィンドウ選択レジスタ (PIPESEL)

アドレス USB0.PIPESEL 000A 0064h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択ビット	b3 b0 0000: 未選択 0001: パイプ1 0010: パイプ2 0011: パイプ3 0100: パイプ4 0101: パイプ5 0110: パイプ6 0111: パイプ7 1000: パイプ8 1001: パイプ9 上記以外は設定しないでください	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

パイプ1～9の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPE_nCTR、PIPE_nTRE、およびPIPE_nTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを設定した後、PIPECFG、PIPEMAXP、およびPIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPE_nCTR、PIPE_nTRE、およびPIPE_nTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット (パイプウィンドウ選択ビット)

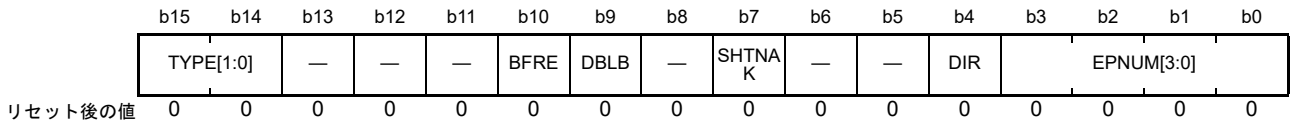
書き込み/読み出しを対象とする PIPECFG、PIPEMAXP、PIPEPERI レジスタに対応するパイプ番号を指定します。

PIPESEL[3:0] ビットで指定したパイプ番号に対応する PIPECFG、PIPEMAXP、PIPEPERI レジスタの読み出し/書き込みができます。

PIPESEL[3:0] ビットを“0000b”にしたときは、PIPECFG、PIPEMAXP および PIPEPERI レジスタの各ビットは、すべて“0”が読めます。書き込みは無効です。

30.2.27 パイプコンフィギュレーションレジスタ (PIPECFG)

アドレス USB0.PIPECFG 000A 0068h



ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号ビット(注1)	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します	R/W
b4	DIR	転送方向指定ビット(注2、注3)	0: 受信方向 1: 送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット(注1)	0: トランスファ終了時にパイプの割り付けを継続 1: トランスファ終了時にパイプの割り付けを禁止	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	DBLB	ダブルバッファモードビット(注2、注3)	0: シングルバッファ 1: ダブルバッファ	R/W
b10	BFRE	BRDY 割り込み動作指定ビット(注2、注3)	0: データ送受信でBRDY 割り込み 1: データ読み出し完了時にBRDY 割り込み	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	TYPE[1:0]	転送タイプビット(注1)	<ul style="list-style-type: none"> • パイプ1、2の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: アイソクロナス転送 • パイプ3~5の場合 b15 b14 0 0: パイプを不使用 0 1: バルク転送 1 0: 設定しないでください 1 1: 設定しないでください • パイプ6~9の場合 b15 b14 0 0: パイプ不使用 0 1: 設定しないでください 1 0: インタラプト転送 1 1: 設定しないでください 	R/W

- 注1. TYPE[1:0]ビット、SHTNAKビットおよびEPNUM[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSY = 0を確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。
- 注2. BFREビット、DBLBビットおよびDIRビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。
- 注3. 選択パイプを使用したUSB通信を行った後、BFREビット、DBLBビットおよびDIRビットの設定を変更する場合には、注2.の注意事項の状態に加え、ソフトウェアでPIPEnCTR.ACLRMビットに“1”、“0”を連続して書き込み、選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

PIPECFG レジスタは、パイプ1~9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。

EPNUM[3:0] ビット (エンドポイント番号ビット)

選択パイプのエンドポイント番号を指定します。

“0000b”の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください (EPNUM[3:0] ビットが “0000b” の設定は重複可能です)。

DIR ビット (転送方向指定ビット)

選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを “0” にしている場合、USB は選択パイプを受信方向に、DIR ビットを “1” にしている場合、USB は選択パイプを送信方向に使用します。

SHTNAK ビット (トランスファ終了時のパイプ禁止ビット)

選択パイプが受信方向の場合に、トランスファ終了時に PID[1:0] ビットを “00b” (NAK) に変更するかどうかを指定します。

SHTNAK ビットは、選択パイプがパイプ 1～パイプ 5 であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアで SHTNAK ビットを “1” にしている場合、USB は、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PIPEnCTR.PID[1:0] ビットを “00b” (NAK) に変更します。USB は、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット (ダブルバッファモードビット)

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。

DBLB ビットはパイプ 1～5 選択時に有効です。

BFRE ビット (BRDY 割り込み動作指定ビット)

USB から CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを “1” にし、かつ選択パイプを受信方向で使用している場合、USB は、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、ソフトウェアでポートコントロールレジスタの BCLR ビットに “1” を書く必要があります。BCLR ビットに “1” を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを “1” にし、かつ、選択パイプを送信方向で使用している場合、USB は BRDY 割り込みを発生させません。

詳細は、「30.3.3.1 BRDY 割り込み」を参照してください。

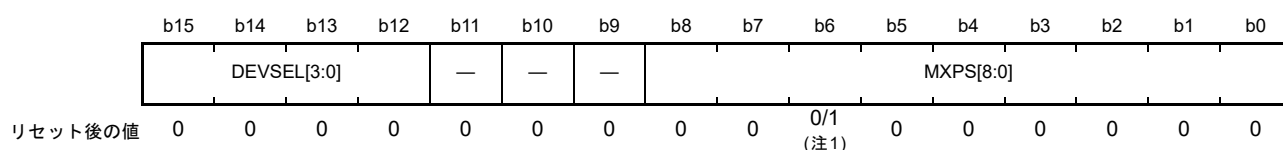
TYPE[1:0] ビット (転送タイプビット)

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ (選択パイプ) の転送タイプを指定します。

選択パイプを PID[1:0] = 01b (BUF) に設定する (選択したパイプを使用した USB 通信を開始する) 前に、TYPE[1:0] ビットを 00b 以外の値に設定してください。

30.2.28 パイプマックスパケットサイズレジスタ (PIPEMAXP)

アドレス USB0.PIPEMAXP 000A 006Ch



ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	MAXパケットサイズビット(注2)	<ul style="list-style-type: none"> パイプ1、2 : 1バイト(001h)~256バイト(100h) パイプ3~5 : 8バイト(008h)、16バイト(010h)、 32バイト(020h)、64バイト(040h) パイプ6~9 : 1バイト(001h)~64バイト(040h) 	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット(注3)	b15 b12 0 0 0 0 : アドレス0000 0 0 0 1 : アドレス0001 0 0 1 0 : アドレス0010 0 0 1 1 : アドレス0011 0 1 0 0 : アドレス0100 0 1 0 1 : アドレス0101 上記以外は設定しないでください	R/W

注1. PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないとき“0000h”、選択しているとき“0040h”です。

注2. MXPS[8:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. DEVSEL[3:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEMAXP レジスタは、パイプ1~9に対して、マックスパケットサイズを指定するレジスタです。

MXPS[8:0] ビット (MAX パケットサイズビット)

選択パイプの最大データペイロード (マックスパケットサイズ) を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとに USB 規格 2.0 に準拠した値を設定してください。ただし、パイプ1、2の最大値は“256”です。MXPS[8:0] ビットが“000h”のとき、FIFO バッファへの書き込み、またはPIPEnCTR.PID[1:0] ビットを“01b” (BUF) にしないでください。

DEVSEL[3:0] ビット (デバイス選択ビット)

ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADD_n (n=0~5) レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] ビットを“0010b”にする場合、DEVADD2 アドレスの設定を行ってください。

ファンクションコントローラ機能を選択したときは、DEVSEL[3:0] ビットの値を“0000b”にしてください。

30.2.29 パイプ周期制御レジスタ (PIPEPERI)

アドレス USB0.PIPEPERI 000A 006Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]	インターバルエラー検出間隔ビット (注1)	選択パイプのインターバルエラー検出間隔をフレーム タイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	IFIS	アイソクロナスINバッファフラッシュ ビット	0 : バッファフラッシュしない 1 : バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. IITV[2:0]ビットの設定の変更は、PIPEnCTR.PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPIPEnCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PIPEnCTR.PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPEPERI レジスタはパイプ1～9に対して、アイソクロナスIN転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0] ビット (インターバルエラー検出間隔ビット)

IITV[2:0] ビットを設定し、USB通信を行った後で別の値に変更する場合には、PID[1:0] = 00b (NAK) 設定後 PIPEnCTR.ACLRM ビットを“1”にして、インターバルタイマの初期化を行ってください。

パイプ3～5に対しては、IITV[2:0] ビットは存在しません。パイプ3～5に対応するIITV[2:0] ビットの位置には“000b”を設定してください。

IFIS ビット (アイソクロナスINバッファフラッシュビット)

PIPESEL.PIPESEL[3:0] ビットに指定したパイプ (選択パイプ) がアイソクロナスIN転送の場合に、バッファフラッシュ有無を指定します。

ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向がIN転送の場合において、IITV[2:0] ビットに設定したインターバルごとのフレーム中にUSBホストからINトークンをUSBが受信しなかった場合に、USBが自動的にFIFOバッファをクリアする機能です。

ダブルバッファ設定時 (PIPECFG.DBLB ビットを“1”にしたとき) は、USBがクリアするのは古い方の1面分データのみです。

FIFOバッファクリアのタイミングは、INトークンを受信するはずのフレーム直後のSOFパケット受信時です。またSOFパケットが破損した場合でも内部補完機能によりSOFを受信すべきタイミングにクリアを行います。

ホストコントローラ機能選択時には、IITV[2:0] ビットを“000b”にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0] ビットを“000b”にしてください。

30.2.30 パイプ n コントロールレジスタ (PIPE_nCTR) (n = 1 ~ 9)

- PIPE_nCTR (n = 1 ~ 5)

アドレス USB0.PIPE1CTR 000A 0070h, USB0.PIPE2CTR 000A 0072h, USB0.PIPE3CTR 000A 0074h,
USB0.PIPE4CTR 000A 0076h, USB0.PIPE5CTR 000A 0078h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答 (バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用	R
b6	SQMON	シーケンスグルビット確認フラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンスグルビットセットビット (注2)	0 : 書き込み無効 1 : DATA1 指定	R/W (注1)
b8	SQCLR	シーケンスグルビットクリアビット (注2)	0 : 書き込み無効 1 : DATA0 指定	R/W (注1)
b9	ACLRM	自動バッファクリアモードビット (注3)	0 : 禁止 1 : 許可 (全バッファ初期化)	R/W
b10	ATREPM	自動応答モードビット (注2)	0 : 自動応答禁止 1 : 自動応答許可	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INBUFM	送信バッファモニタフラグ	0 : バッファメモリに送信可能データなし 1 : バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータスフラグ	0 : CPUからのバッファアクセス不可能 1 : CPUからのバッファアクセス可能	R

注1. 読むと“0”が読めます。

注2. ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PIPE_nCTR レジスタの設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PID[1:0] ビット (応答 PID ビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は“00b”(NAK)です。当該パイプでUSB転送を行う場合にはPID[1:0] ビットを“01b”(BUF)に変更してください。PID[1:0] ビット設定値ごとの基本動作(通信パケットにエラーがない場合の動作)は表 30.6 および表 30.7 のとおりです。

当該パイプがUSB通信中であるときに、ソフトウェアでPID[1:0] ビットを“01b”(BUF)から“00b”(NAK)に変更する場合、“00b”(NAK)を書いた後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSYフラグが“1”であることを確認してください。

以下の場合にはUSBがPID[1:0] ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアで選択パイプのPIPECFG.SHTNAK ビットを“1”にしている場合、USBがトランスファ終了を認識したときに、PID[1:0] = 00b (NAK)を表示します。
- 当該パイプに対し、MaxPacketSizeを超えるペイロードのデータパケットを受信した場合、USBはPID[1:0] = 11b (STALL)を表示します。
- ファンクションコントローラ機能選択時に、USBバスリセットを検出した場合、USBはPID[1:0] = 00b (NAK)を表示します。
- ホストコントローラ機能選択時に、CRCエラーなどの受信エラーを3回連続で検出した場合には、USBはPID[1:0] = 00b (NAK)を表示します。
- ホストコントローラ機能選択時に、STALLハンドシェイクを受信した場合、USBはPID[1:0] = 11b (STALL)を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b”を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b”を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度“10b”を書いてから“00b”を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度NAK状態にしてから“01b”を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度“00b”を書いてから“01b”を書いてください。

PBUSY フラグ (パイプビジーフラグ)

当該パイプを現在トランザクションで使用しているかが表示されます。

USBは、当該パイプのUSBトランザクションを開始したときにPBUSYフラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYフラグを“1”から“0”に変更します。

ソフトウェアでPID[1:0] = 00b (NAK)を設定した後、PBUSYフラグを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「30.3.4.1 パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON フラグ (シーケンストグルビット確認フラグ)

当該パイプの次回トランザクションにおけるシーケンストグルビット値が表示されます。

当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理するとUSBはSQMONフラグをトグルさせます。ただし、受信方向転送時のデータPID不一致発生時には、SQMONフラグをトグルさせません。

SQSET ビット (シーケンストグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値をDATA1にセットするときに“1”を指定します。

ソフトウェアで SQSET ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB は、SQSET ビットを“0”にします。

SQCLR ビット (シーケンストグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA0 にクリアするときに“1”を指定します。

ソフトウェアで SQCLR ビットを“1”にすると USB は当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB は、SQCLR ビットを“0”にします。

ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに“1”、“0”を連続して書いてください。

ACLRM ビットに“1”、“0”を連続して設定した場合に USB がクリアする内容と、当該項目のクリアが必要なケースについて表 30.8 に示します。

ATREPM ビット (自動応答モードビット)

当該パイプの自動応答禁止 / 許可を指定します。

ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、ATREPM ビットを“1”にすることが可能です。

ATREPM ビットを“1”にした場合、USB ホストからのトークンに対し USB は以下のように応答します。

(1) 当該パイプが Bulk-IN 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“1”を設定) の場合

ATREPM ビットが“1”かつ PID[1:0]=01b (BUF) にしている場合、IN トークンに対して USB は Zero-Length パケットを送信します。

USB ホストからの ACK 受信のたびに (1 トランザクションは IN トークン受信 → Zero Length パケット送信 → ACK 受信)、USB はシーケンストグルビット (データ PID) の更新 (トグル) を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

(2) 当該パイプが Bulk-OUT 転送 (PIPECFG.TYPE[1:0] ビットに“01b”かつ PIPECFG.DIR ビットに“0”を設定) の場合

ATREPM ビットが“1”かつ PID[1:0]=01b (BUF) にしている場合、OUT トークンに対して USB は NAK 応答を行い、NRDY 割り込みを発生させます。

ATREPM ビットを“1”にして USB 通信を行う場合、FIFO バッファは空の状態を設定を行ってください。ATREPM ビットを“1”にして USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該パイプの転送タイプがアイソクロナス転送の場合、ATREPM ビットは“0”にしてください。

ホストコントローラ機能選択時には、ATREPM ビットは“0”を書いてください。

INBUFM フラグ (送信バッファモニタフラグ)

当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。

当該パイプを送信方向 (PIPECFG.DIR ビットが“1”) に設定している場合に、CPU または DMAC/DTC が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USB は INBUFM フラグを“1”にします。

書き込みが完了している面の FIFO バッファ上のデータを USB がすべて送信完了したときに、USB は INBUFM フラグを“0”にします。ダブルバッファ使用時 (PIPECFG.DBLB ビットが“1”) には、USB が 2 面分のデータを送信完了しかつ CPU または DMAC/DTC が 1 面分のデータ書き込みを完了していないときに、

INBUFM フラグを“0”にします。

当該パイプを受信方向 (PIPECFG.DIR ビットが“0”) に設定している場合には、INBUFM フラグは BSTS フラグと同じ値を示します。

BSTS フラグ (バッファステータスフラグ)

当該パイプの FIFO バッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 30.9 に示すように異なります。

表 30.6 PID[1:0]ビットによるUSBの動作一覧(ホストコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
“00b” (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
“01b” (BUF)	バルク または インタラプト	設定値に依存しない	DVSTCTRO.UACT ビットが“1”で、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する。DVSTCTRO.UACT ビットが“0”である、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する
“10b” (STALL) または “11b” (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 30.7 PID[1:0]ビットによるUSBの動作一覧(ファンクションコントローラ機能選択時)

PID[1:0]ビット	転送タイプ	転送方向 (DIRビット)	USBの動作
“00b” (NAK)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う
“01b” (BUF)	バルク	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	インタラプト	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	バルク、または インタラプト	送信方向 (DIRビットが“1”)	対応する FIFO バッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければNAK応答を行う
	アイソクロナス	受信方向 (DIRビットが“0”)	USBホストからのOUTトークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
送信方向 (DIRビットが“1”)		対応する FIFO バッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する	
“10b” (STALL) または “11b” (STALL)	バルク、または インタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う
	アイソクロナス	設定値に依存しない	USBホストからのトークンに無応答を行う

表 30.8 ACLRM = 1 設定時にUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容(ダブルバッファ設定時はFIFOバッファを2面ともクリア)	パイプの初期化をしたい場合
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値変更時
4	FIFOバッファトグル制御	PIPECFG.DBLBビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表 30.9 BSTSフラグの動作

DIRビット	BFREビット	DCLRMビット	BSTSフラグの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了した後でソフトウェアでポートコントロールレジスタのBCLRビットに“1”を書いたときに“0”になります
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”になり、データの読み出しが完了したときに“0”になります
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”になり、データの書き込みが完了したときに“0”になります
		1	この組み合わせは設定しないでください
	1	0	この組み合わせは設定しないでください
		1	この組み合わせは設定しないでください

• PIPE_nCTR (n = 6 ~ 9)

アドレス USB0.PIPE6CTR 000A 007Ah, USB0.PIPE7CTR 000A 007Ch, USB0.PIPE8CTR 000A 007Eh,
USB0.PIPE9CTR 000A 0080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	—	PID[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0 : NAK 応答 0 1 : BUF 応答(バッファ状態に従う) 1 0 : STALL 応答 1 1 : STALL 応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジーフラグ	0 : 当該パイプをUSBバスにて未使用 1 : 当該パイプはUSBバスにて使用	R
b6	SQMON	シーケンストグルビット確認フラグ	0 : DATA0 1 : DATA1	R
b7	SQSET	シーケンストグルビットセットビット(注2)	0 : 無効 1 : DATA1指定	R/W(注1)
b8	SQCLR	シーケンストグルビットクリアビット(注2)	0 : 無効 1 : DATA0指定	R/W(注1)
b9	ACLRM	自動バッファクリアモードビット(注2、注3)	0 : 自動バッファクリアモード禁止 1 : 自動バッファクリアモード許可(全バッファ初期化)	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BSTS	バッファステータスフラグ	0 : バッファアクセス不可能 1 : バッファアクセス可能	R

注1. 読むと“0”が読めます。“1”のみ書けます。

注2. SQCLRビットまたはSQSETビットへの“1”書き込みは、PID[1:0] = 00b (NAK)の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

注3. ACLRMビットの設定の変更は、PID[1:0] = 00b (NAK)およびポート選択レジスタのCURPIPE[3:0]ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更してから設定変更する場合には、PBUSYフラグが“0”であることを確認してから変更してください。ただしUSBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

PID[1:0] ビット (応答 PID ビット)

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は“00b” (NAK) です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを“01b” (BUF) に変更してください。PID[1:0] ビットの設定値ごとの基本動作 (通信パケットにエラーがない場合の動作) は表 30.6 および表 30.7 のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを“01b” (BUF) から“00b” (NAK) に変更する場合、“00b” (NAK) を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY フラグが“1”であることを確認してください。

以下の場合には USB が PID[1:0] ビットの値を変更します。

- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB は PID[1:0] = 11b (STALL) を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB は PID[1:0] = 00b (NAK) を表示します。

- ホストコントローラ機能選択時に、CRCエラーなどの受信エラーを3回連続で検出した場合には、USBはPID[1:0]=00b (NAK)を表示します。
- ホストコントローラ機能選択時に、STALLハンドシェイクを受信した場合、USBはPID[1:0]=11b (STALL)を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、“10b”を書いてください。
- BUF (01b) 状態から STALL 状態にする場合には、“11b”を書いてください。
- STALL (11b) 状態から NAK 状態にする場合には、一度“10b”を書いてから“00b”を書いてください。
- STALL (11b) 状態から BUF 状態にする場合には、一度 NAK 状態にしてから“01b”を書いてください。
- STALL (10b) 状態から BUF 状態にする場合には、一度“00b”を書いてから“01b”を書いてください。

PBUSY フラグ (パイプビジーフラグ)

当該パイプを現在 USB バスで使用しているかどうかが表示されます。

USBは、当該パイプのUSBトランザクションを開始したときにPBUSYフラグを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYフラグを“1”から“0”に変更します。

ソフトウェアでPID[1:0]=00b (NAK)を設定した後、PBUSYフラグを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

SQMON フラグ (シーケンストグルビット確認フラグ)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

トランザクションが正常処理するとUSBはSQMONフラグをトグルさせます。ただし、受信方向転送時のデータPID不一致発生時には、SQMONフラグをトグルさせません。

SQSET ビット (シーケンストグルビットセットビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに“1”を指定します。

ソフトウェアでSQSETビットを“1”にするとUSBは当該パイプのシーケンストグルビットの期待値をDATA1に設定します。USBは、SQSETビットを“0”にします。

SQCLR ビット (シーケンストグルビットクリアビット)

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに“1”を指定します。

ソフトウェアでSQCLRビットを“1”にするとUSBは当該パイプのシーケンストグルビットの期待値をDATA0に設定します。USBは、SQCLRビットを“0”にします。

ACLRM ビット (自動バッファクリアモードビット)

当該パイプの自動バッファクリアモードの禁止/許可を指定します。

当該パイプに割り付けたFIFOバッファの内容をすべて削除したい場合に、ACLRMビットに“1”、“0”を連続して書いてください。

ACLRMビットに“1”、“0”を連続して設定した場合にUSBがクリアする内容と、当該項目のクリアが必要なケースについて表30.10に示します。

BSTS フラグ (バッファステータスフラグ)

当該パイプのFIFOバッファステータスが表示されます。

BSTS フラグの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、およびDnFIFOSEL.DCLRM ビットの設定値により表 30.9 に示すように異なります。

表30.10 ACLRMビットを“1”にしたときにUSBがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	パイプの初期化をしたい場合
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

30.2.31 パイプ n トランザクションカウンタインーブルレジスタ (PIPE_nTRE) (n = 1 ~ 5)

アドレス USB0.PIPE1TRE 000A 0090h, USB0.PIPE2TRE 000A 0094h, USB0.PIPE3TRE 000A 0098h,
USB0.PIPE4TRE 000A 009Ch, USB0.PIPE5TRE 000A 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRCLR	トランザクションカウンタクリアビット	0: 無効 1: カレントカウンタクリア	R/W
b9	TRENB	トランザクションカウンタ許可ビット	0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. PIPE_nTREレジスタの各ビットの変更は、PID[1:0] = 00b (NAK)時に実施してください。
対応するパイプのPIPE_nCTR.PID[1:0]ビットを“01b” (BUF)から“00b” (NAK)へ変更したあとで各ビットの設定値を変更する場合には、PIPE_nCTR.PBUSYフラグが“0”であることを確認してから各ビットを変更してください。ただし、USBがPID[1:0]ビットを“00b” (NAK)に変更した場合には、ソフトウェアによるPBUSYフラグの確認は必要ありません。

TRCLR ビット (トランザクションカウンタクリアビット)

当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、TRCLR ビットを“0”にします。

TRENB ビット (トランザクションカウンタ許可ビット)

トランザクションカウンタ無効/有効を指定します。

受信パイプに対して、ソフトウェアでPIPE_nTRNレジスタに総パケット数を設定した後でTRENBビットを“1”にすると、USBはPIPE_nTRNレジスタの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- PIPECFG.SHTNAKビットが“1”のとき、PIPE_nTRNレジスタの設定値と同数のパケット受信を終了時点で対応するパイプのPIPE_nCTR.PID[1:0]ビットを“00b” (NAK)に変更します。
- PIPECFG.BFREビットが“1”のとき、PIPE_nTRNレジスタの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY割り込みをアサートします

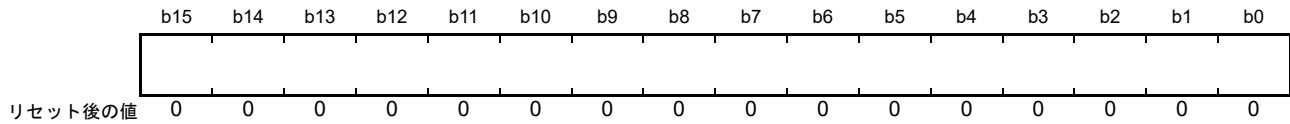
送信パイプについては、TRENBビットを“0”にしてください。

トランザクションカウンタ機能を使用しない場合は、TRENBビットを“0”にしてください。

トランザクションカウンタ機能を使用する場合、TRENBビットを“1”にする前にPIPE_nTRNレジスタの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前にTRENBビットを“1”にしてください。

30.2.32 パイプ n トランザクションカウンタレジスタ (PIPE_nTRN) (n = 1 ~ 5)

アドレス USB0.PIPE1TRN 000A 0092h, USB0.PIPE2TRN 000A 0096h, USB0.PIPE3TRN 000A 009Ah,
USB0.PIPE4TRN 000A 009Eh, USB0.PIPE5TRN 000A 00A2h



PIPE_nTRN レジスタは、USB バスリセット時も設定値が保持されます。

- レジスタ書き込み時：
当該 PIPE が受信すべき総パケット数（トランザクション回数）を設定します。
- レジスタ読み出し時：
PIPE_nTRE.TRENB ビットが“0”の場合は、設定したトランザクション回数が表示されます。
PIPE_nTRE.TRENB ビットが“1”の場合は、カウント中のトランザクション回数が表示されます。

USB は、受信時の状態が以下のすべてを満たしたときに PIPE_nTRN レジスタを 1 インクリメントします。

- PIPE_nTRE.TRENB ビットが“1”である
- パケット受信時に (PIPE_nTRN 設定値 ≠ 現在のカウンタ値 + 1) である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した

USB は、以下のいずれかの条件が満たされたときに PIPE_nTRN レジスタの表示を“0000h”にします。

- 以下の条件がすべて満たされたとき
 - PIPE_nTRE.TRENB ビットが“1”である
 - パケット受信時に (PIPE_nTRN 設定値 = 現在のカウンタ値 + 1) である
 - 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットへの設定値と一致した
- 以下の条件がすべて満たされたとき
 - PIPE_nTRE.TRENB ビットが“1”である
 - ショートパケットを受信した
- 以下の条件がすべて満たされたとき
 - PIPE_nTRE.TRENB ビットが“1”である
 - ソフトウェアで PIPE_nTRE.TRCLR ビットを“1”にした

送信パイプについては、PIPE_nTRN レジスタを“0000h”にしてください。

トランザクションカウンタ機能を使用しない場合は、PIPE_nTRN レジスタを“0000h”にしてください。

PIPE_nTRN レジスタのトランザクション回数の設定は、PIPE_nTRE.TRENB ビットが“0”のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始 (PIPE_nTRE.TRENB ビットが“1”) 前に PIPE_nTRE.TRCLR ビットに“1”を書いてください (カレントカウンタ値のクリア)。

30.2.33 デバイスアドレス n コンフィギュレーションレジスタ (DEVADDn) (n = 0 ~ 5)

アドレス USB0.DEVADD0 000A 00D0h, USB0.DEVADD1 000A 00D2h, USB0.DEVADD2 000A 00D4h,
USB0.DEVADD3 000A 00D6h, USB0.DEVADD4 000A 00D8h, USB0.DEVADD5 000A 00DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	USBSPD[1:0]	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	USBSPD[1:0]	通信対象デバイスの転送速度ビット	b7 b6 0 0 : DEVADDnレジスタ未使用 0 1 : ロースピード 1 0 : フルスピード 1 1 : 設定しないでください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DEVADDn レジスタは、パイプ 0 ~ 9 に対して、通信対象の周辺デバイスが接続されている通信速度を指定するレジスタです。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、DEVADDn レジスタの各ビットを設定してください。

DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下両方の条件を満たしているパイプです。

- DEVSEL[3:0] ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプのPID[1:0] ビットに“01b” (BUF) を設定しているとき、または選択パイプが DCP であり DCPCTR.SUREQ ビットが“1”になっている

USBSPD[1:0] ビット (通信対象デバイスの転送速度ビット)

通信対象の周辺デバイスの USB 転送速度を設定します。

HUB 経由でフルスピードデバイスが接続されたときには、“10b” にしてしてください。

ホストコントローラ機能選択時、USB は、USBSPD[1:0] ビットの設定値を参照してパケットを生成します。

ファンクションコントローラ機能選択時、“00b” にしてしてください。

30.3 動作説明

30.3.1 システム制御

USBの初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

30.3.1.1 USB関連レジスタの設定

USBへのクロック供給が開始された(SYSCFG.SCKEビットが“1”)状態で、SYSCFG.USBEビットを“1”にすることにより、動作が許可され、USBは動作を開始します。

30.3.1.2 コントローラ機能の選択設定

USBは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFMビットで行います。ただし、DCFMBITの設定は、リセット解除直後の初期設定時、またはD+のプルアップとD+/D-のプルダウンがともに禁止(SYSCFG.DPRPU=0かつDRPD=0)のときに行ってください。

30.3.1.3 USBデータバス抵抗制御

USBは、D+/D-のプルアップ抵抗およびプルダウン抵抗を内蔵しています。SYSCFG.DPRPU、DRPDビットの設定によりプルアップ、プルダウンを設定してください。

ファンクションコントローラ機能選択時は、USBホストへの接続を認識したあとで、DPRPUビットを“1”に設定し、D+(フルスピード時)をプルアップしてください。

また、PCと通信中にDPRPUビットに“0”を設定した場合は、USBデータラインのプルアップ抵抗を無効にするので、USBホストにデバイス切断を通知することができます。

ホストコントローラ機能選択時は、DRPDビットを“1”に設定し、D+/D-をプルダウンしてください。

表30.11 USBデータバス抵抗制御

SYSCFGレジスタ		D-	D+	機能
DRPDビット	DPRPUビット			
0	0	Open	Open	未使用時
0	1	Open	プルアップ	ファンクションコントローラ(フルスピード)として動作させる場合
1	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
1	1	—	—	設定しないでください

30.3.1.4 USB 外部接続回路例

図 30.2 にセルフパワー時の OTG デバイスと USB コネクタとの接続例を示します。

USB は、D+ 信号のプルアップ抵抗と D+、D- 信号のプルダウン抵抗を制御します。SYSCFG.DPRPU ビット、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に DPRPU ビットに“0”を設定した場合は、USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイスの切断を通知することができます。

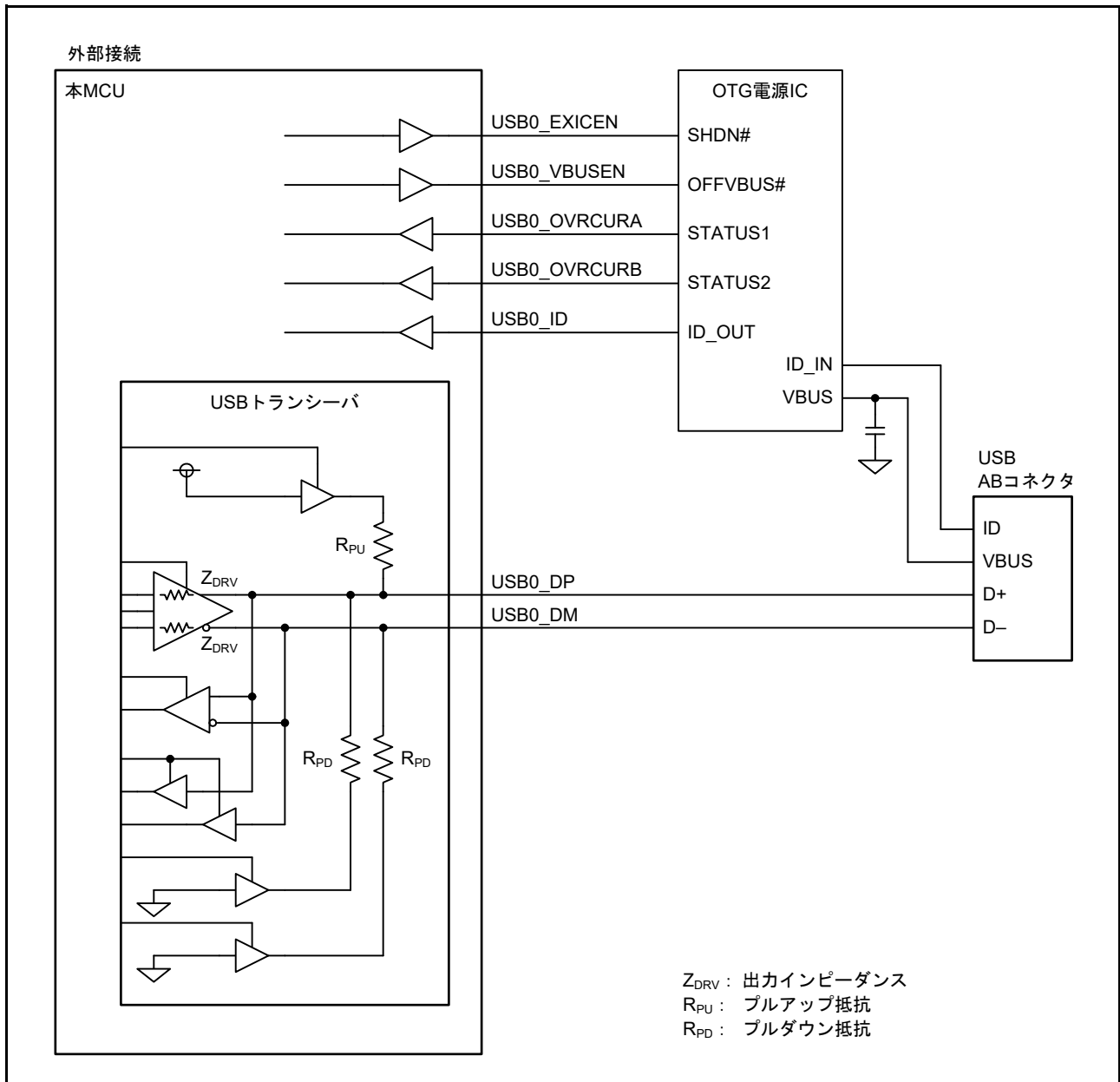


図 30.2 セルフパワー時の OTG デバイスと USB コネクタとの接続例

図 30.3 にセルフパワー時のファンクションコントローラと USB コネクタとの接続例を示します。

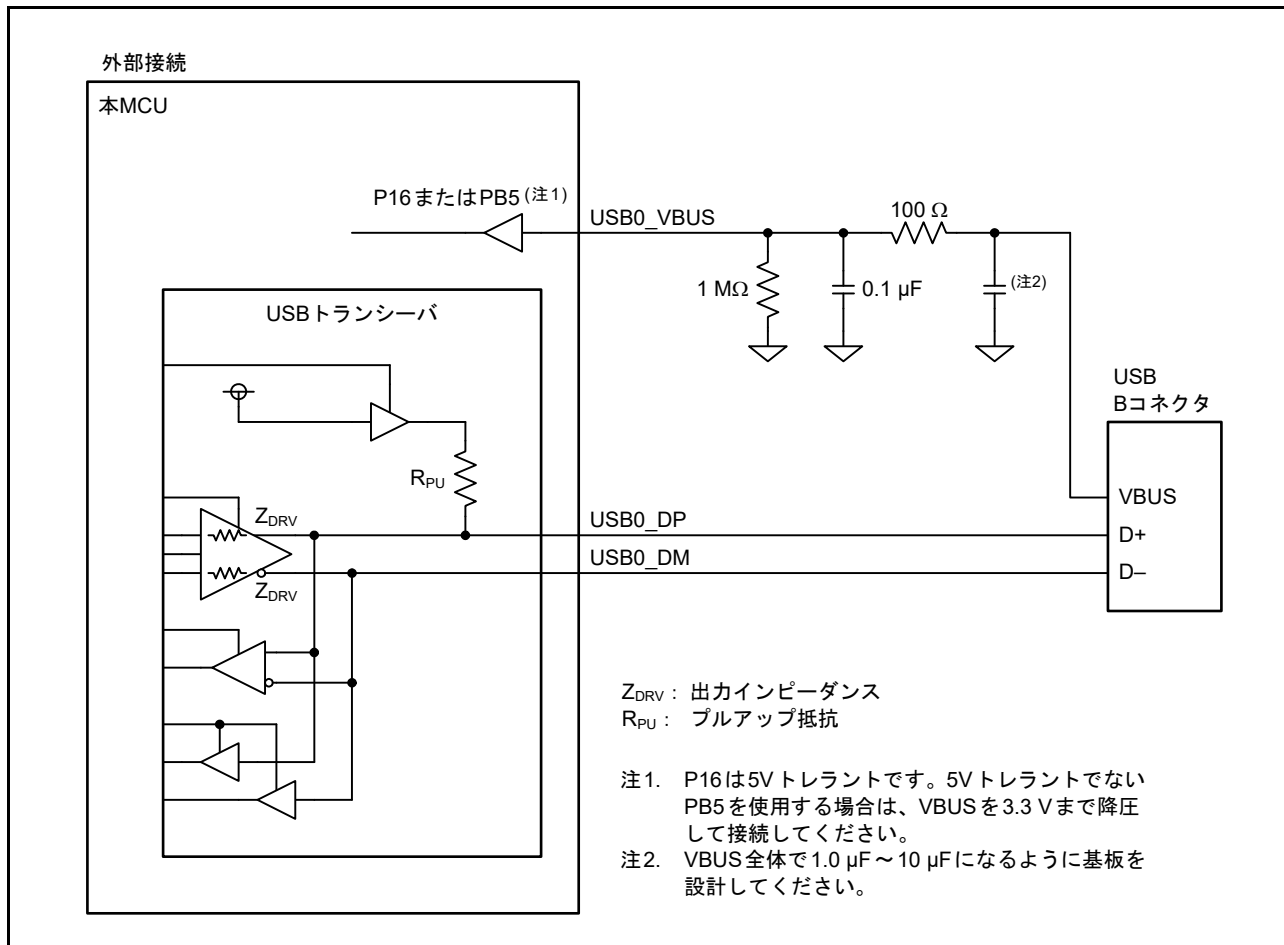


図 30.3 セルフパワー時のファンクションコントローラと USB コネクタとの接続例

図 30.4 にホストコントローラと USB コネクタとの接続例を示します。

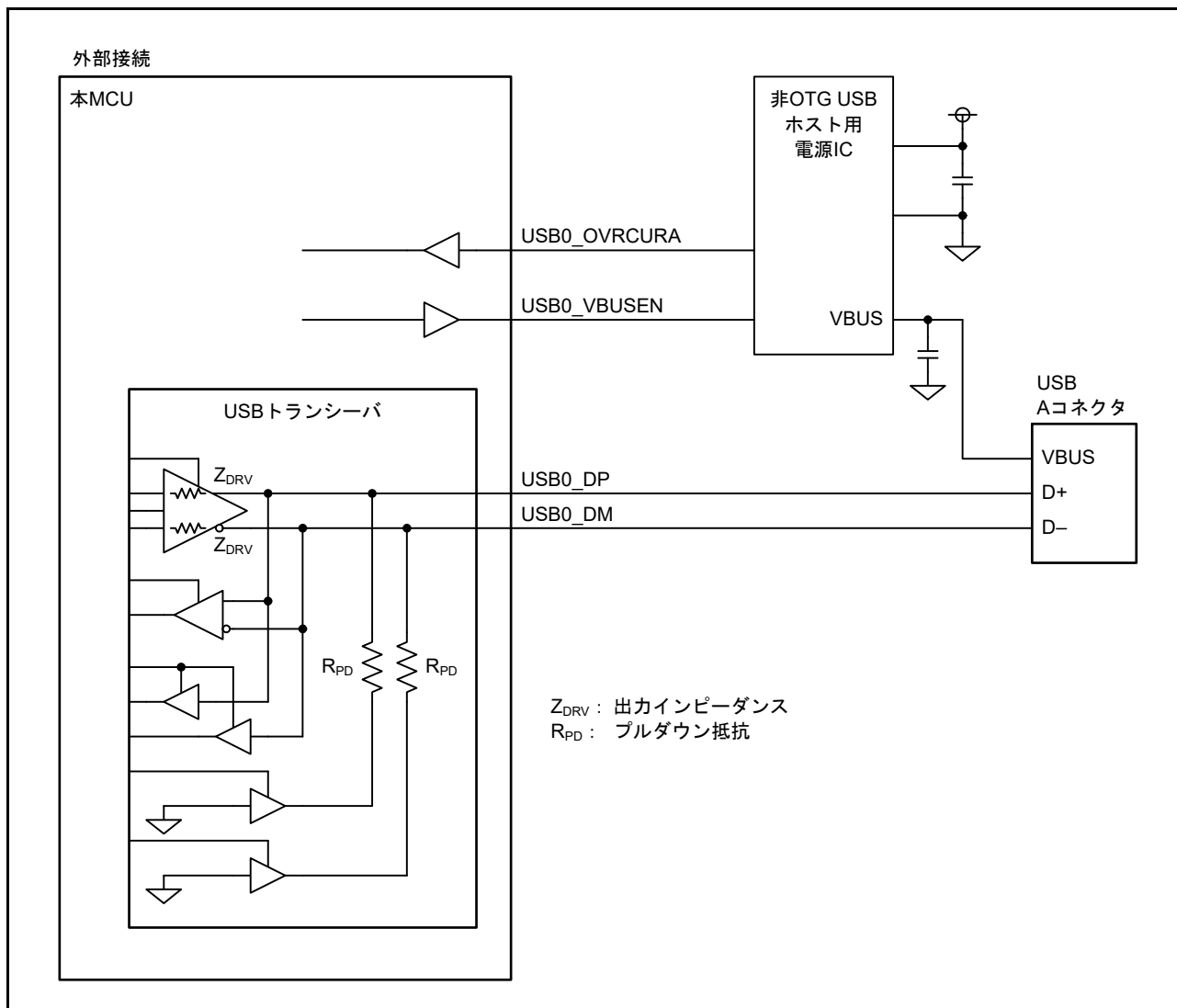


図 30.4 ホストコントローラと USB コネクタとの接続例

図 30.5 にバスパワー時のファンクションコントローラと USB コネクタとの接続例を示します。

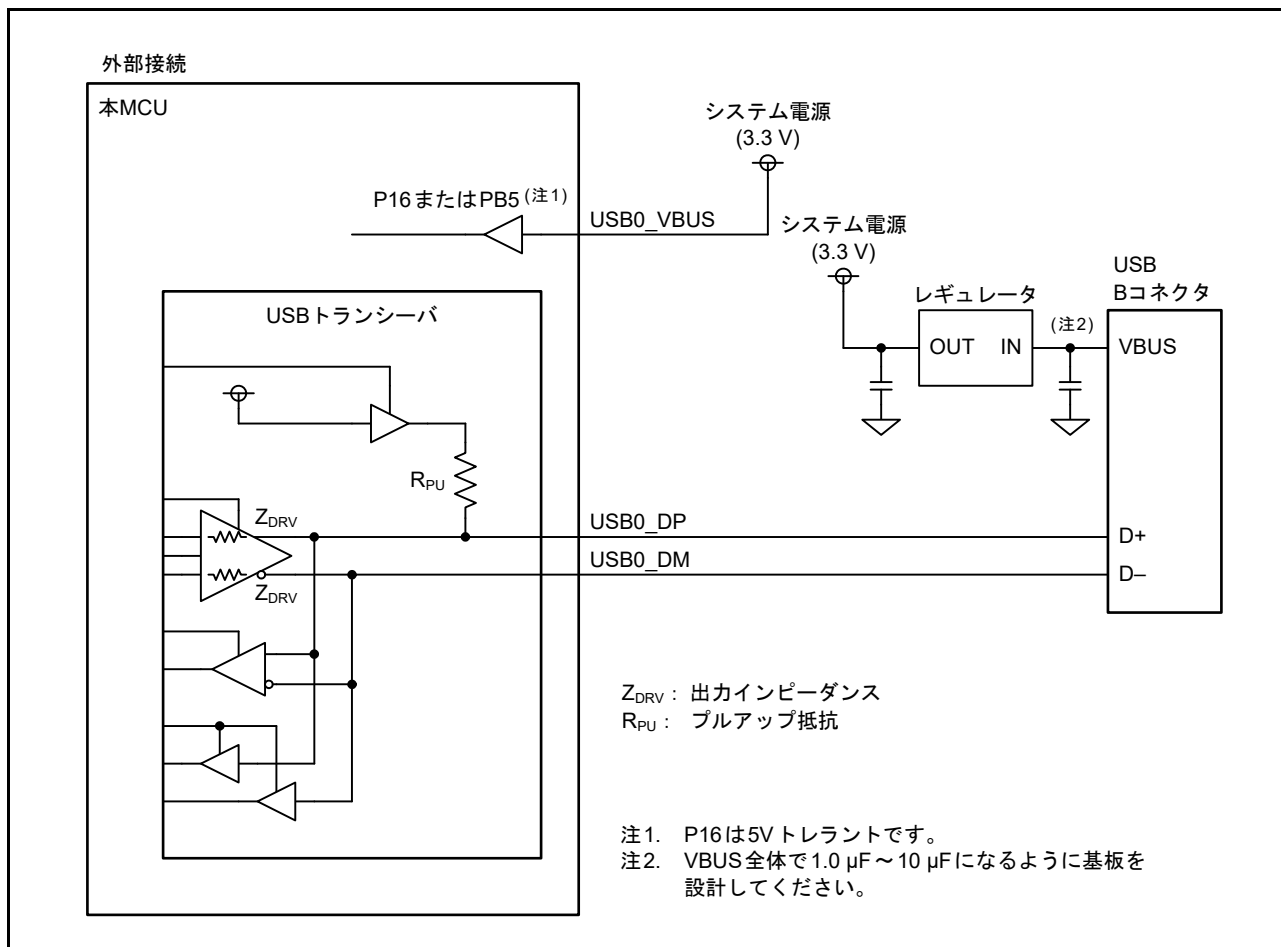


図 30.5 バスパワー時のファンクションコントローラと USB コネクタとの接続例

本章に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作を保証するものではありません。

30.3.2 割り込み要因

表 30.12 に USB の割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USB は割り込みコントローラ (ICU) に対して USB 割り込み要求を発行し、USB 割り込みが発生します。

表 30.12 割り込み要因一覧

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	<ul style="list-style-type: none"> USB0_VBUS入力端子の状態変化を検出したとき (Low → High、High → Lowの両方の変化) 	ホスト/ ファンクション (注1)	INTSTS0. VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態においてUSBバスの状態変化を検出したとき (J-State → K-StateまたはJ-State → SE0) 	ファンクション	—
SOFR	フレーム番号更新割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> フレーム番号の異なるSOFパケットを送信したとき [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> フレーム番号の異なるSOFパケットを受信したとき 	ホスト/ ファンクション	—
DVST	デバイスステート遷移割り込み	<ul style="list-style-type: none"> デバイスステートの遷移を検出したとき (以下) USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信 	ファンクション	INTSTS0. DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき (以下) セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生 	ファンクション	INTSTS0. CTSQ[2:0]
BEMP	バッファエンピティ割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信してバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき 	ホスト/ ファンクション	BEMPSTS. PIPEnBEMP
NRDY	バッファノットレディ割り込み	[ホストコントローラ機能選択時] <ul style="list-style-type: none"> 発行したトークンに対して周辺デバイス側からのSTALLを受信したとき 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき (無応答が3回連続、またはパケット受信エラーが3回連続) アイソクロナス転送時にオーバーラン/アンダランが発生したとき [ファンクションコントローラ機能選択時] <ul style="list-style-type: none"> PID[1:0] = 01b (BUF)を設定しているときに、INトークン/OUTトークンに対してNAKを応答したとき アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフィングエラーが発生したとき アイソクロナス転送でデータ受信時にオーバーラン/アンダランが発生したとき 	ホスト/ ファンクション	NRDYSTS. PIPEnNRDY
BRDY	バッファレディ割り込み	<ul style="list-style-type: none"> バッファがレディ (リードまたはライト可能状態)になったとき 	ホスト/ ファンクション	BRDYSTS. PIPEnBRDY
OVRCCR	オーバカレント変化割り込み	<ul style="list-style-type: none"> USB0_OVRCURAおよびUSB0_OVRCURB入力端子の状態変化を検出したとき (Low → High、High → Lowの両方の変化) 	ホスト	INTSTS1. OVRCCR
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USBバスステートの変化を検出したとき 	ホスト/ ファンクション	SYSSTS0. LNST[1:0]
DTCH	フルスピード動作時切断検出	<ul style="list-style-type: none"> フルスピード動作時周辺デバイスの切断を検出したとき 	ホスト	DVSTCTR0. RHST[2:0]
ATTCH	デバイス接続検出	<ul style="list-style-type: none"> USBバスステートが2.5 μs連続したJ-STATE、または2.5 μs連続したK-STATEを検出したとき。周辺デバイスの接続検出に使用可能。 	ホスト	—
EOFERR	EOFエラー検出	<ul style="list-style-type: none"> 周辺デバイスのEOFエラーを検出 	ホスト	—
SACK	SETUP正常	<ul style="list-style-type: none"> セットアップトランザクションの正常応答(ACK)を受信したとき 	ホスト	—
SIGN	SETUPエラー	<ul style="list-style-type: none"> セットアップトランザクションのエラー (無応答またはACKパケット破損)を3回連続で検出したとき 	ホスト	—

注1. 本割り込みは、ホスト機能時にも発生しますが、通常ホスト機能時には使用しません。

図 30.6 に USB の割り込み関連図を示します。

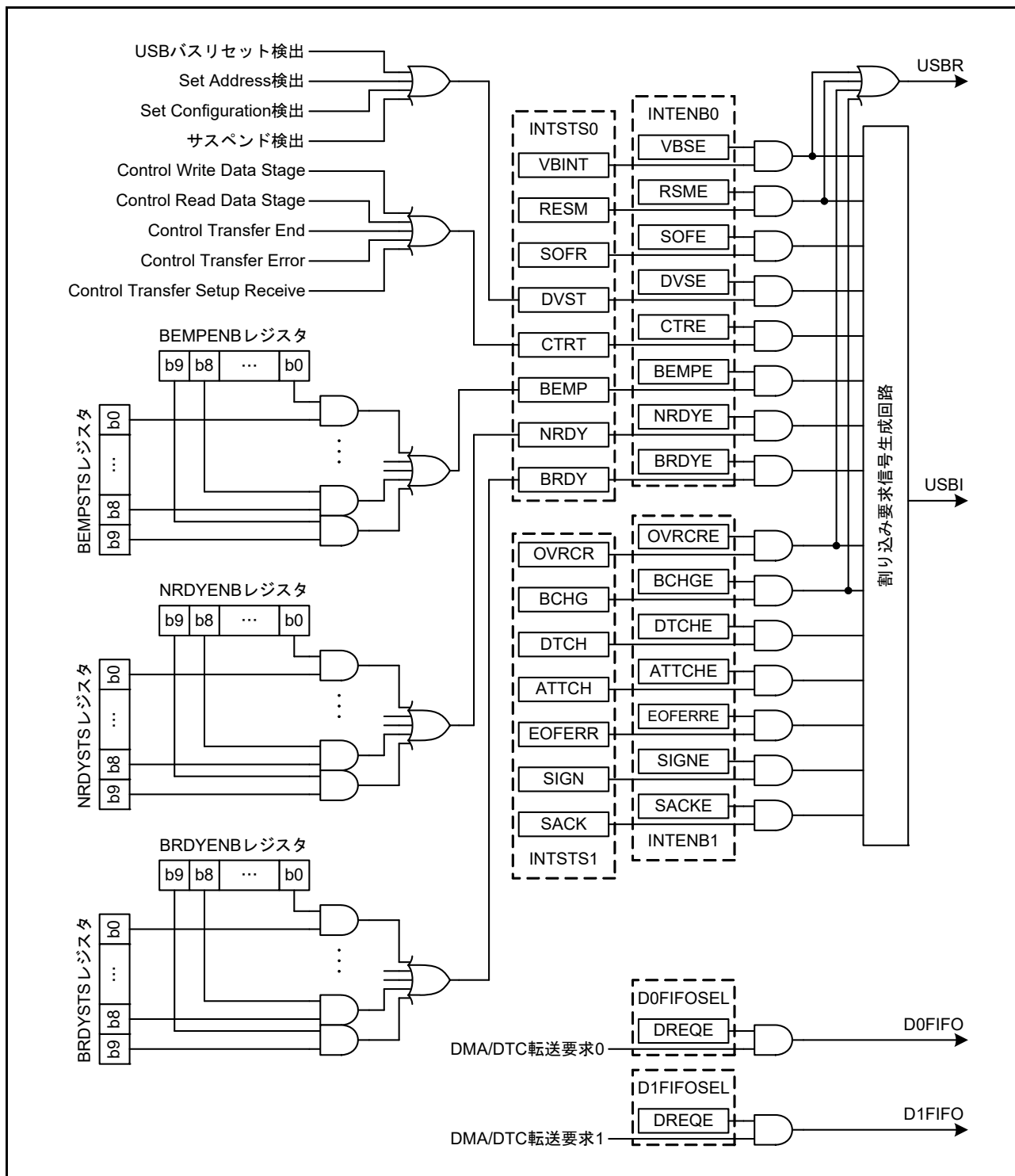


図 30.6 USB 割り込みの関連図

表 30.13 に USB の割り込み一覧を示します。

表 30.13 USBの割り込み一覧

割り込み名称	割り込みステータスフラグ	DTCの起動	DMACの起動
D0FIFO	DMA/DTC転送要求0	可能	可能
D1FIFO	DMA/DTC転送要求1	可能	可能
USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバカレント変化割り込み、バス変化割り込み、フルスピード動作時切断検出、デバイス接続検出、EOFエラー検出、SETUP正常、SETUPエラー	不可能	不可能
USBR	VBUS割り込み、レジューム割り込み、オーバカレント変化割り込み、バス変化割り込み	不可能	不可能

30.3.3 割り込みの説明

30.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、USB は BRDYSTS レジスタの当該ビットを“1”にします。このとき、ソフトウェアで当該パイプに対応する BRDYENB.PIPE_nBRDYE ビットを“1”にし、かつ、INTENB0.BRDYE ビットを“1”にしていれば、USB は BRDY 割り込みを発生させます。

BRDY 割り込みは、SOFCFG.BRDYM ビットおよび各パイプの PIPECFG.BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(1) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USB は、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する BRDYSTS.PIPE_nBRDY フラグを“1”にします。

(a) 送信方向に設定したパイプの場合

- ソフトウェアで DIR ビットを“0”から“1”に変更したとき
- 当該パイプに割り付けたFIFOバッファへのCPUからの書き込みが不可能な状態のとき(BSTSフラグ読み出し値が“0”のとき)に、USB が当該パイプの packets 送信を完了したとき
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPE_nCTR.ACLRM ビットに“1”を書くことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては(すなわち、コントロール転送でのデータ送信においては)要求トリガは発生しません。

(b) 受信方向に設定したパイプの場合

- 当該パイプに割り付けたFIFOバッファへのCPUからの読み出しが不可能な状態のとき(BSTSフラグ読み出し値が“0”のとき)に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき
データ PID 不一致のトランザクションに対し、要求トリガは発生しません。
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読み出し完了時にもう一方のFIFO バッファも読み出し可能状態であったとき
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では BRDY 割り込みは発生しません。

ソフトウェアで、当該パイプに対応する PIPE_nBRDY フラグに“0”を書くことにより、当該パイプの BRDY 割り込みステータスを“0”にすることができます。このとき、他のパイプに対応するビットには“1”を書いてください。

この割り込みステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“1”のとき

この設定の場合、USB は、受信パイプにおいて1トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、BRDYSTS レジスタの当該パイプに対応するビットを“1”にします。

USB は、以下のいずれかのときに1トランスファにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- パイプ n トランザクションカウンタ (PIPE_nTRN) を使用し、PIPE_nTRN レジスタ設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USB は1トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、FIFO ポートコントロールレジスタの BRDY フラグが“1”、DTLN[8:0] フラグが“0”の状態になった時点で、USB は1トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応するポートコントロールレジスタの BCLR ビットにソフトウェアで“1”を書いてください。

この設定の場合には、USB は送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアで、当該パイプに対応する BRDYSTS.PIPE_nBRDY フラグに“0”を書くことにより、当該パイプの BRDY 割り込みステータスを“0”にすることができます。このとき他のパイプに対応するビットには“1”を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、PIPE_nCTR.ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビットが“1”かつ PIPECFG.BFRE ビットが“0”のとき

この設定の場合、BRDYSTS.PIPE_nBRDY フラグの値は各パイプの BSTS フラグに連動します。即ち、BRDY 割り込みステータスは FIFO バッファの状態によって USB が“1”、“0”にします。

(a) 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば“1”になり、書き込み不可能な状態になれば“0”になります。ただし、DCP の送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

(b) 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば“1”になり、すべてのデータを読み出したら(読み出しが不可能の状態になったら)“0”になります。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアで BCLR = 1 を書くまで該当ビットには“1”が表示され BRDY 割り込みは発生し続けます。

受信方向に設定したパイプ設定時、ソフトウェアで、PIPE_nBRDY フラグを“0”にすることはできません。

SOFCFG.BRDYM ビットが“1”のときは、PIPECFG.BFRE ビットはすべて(全パイプ)“0”にしてください。

図 30.7 に、BRDY 割り込み発生タイミング図を示します。

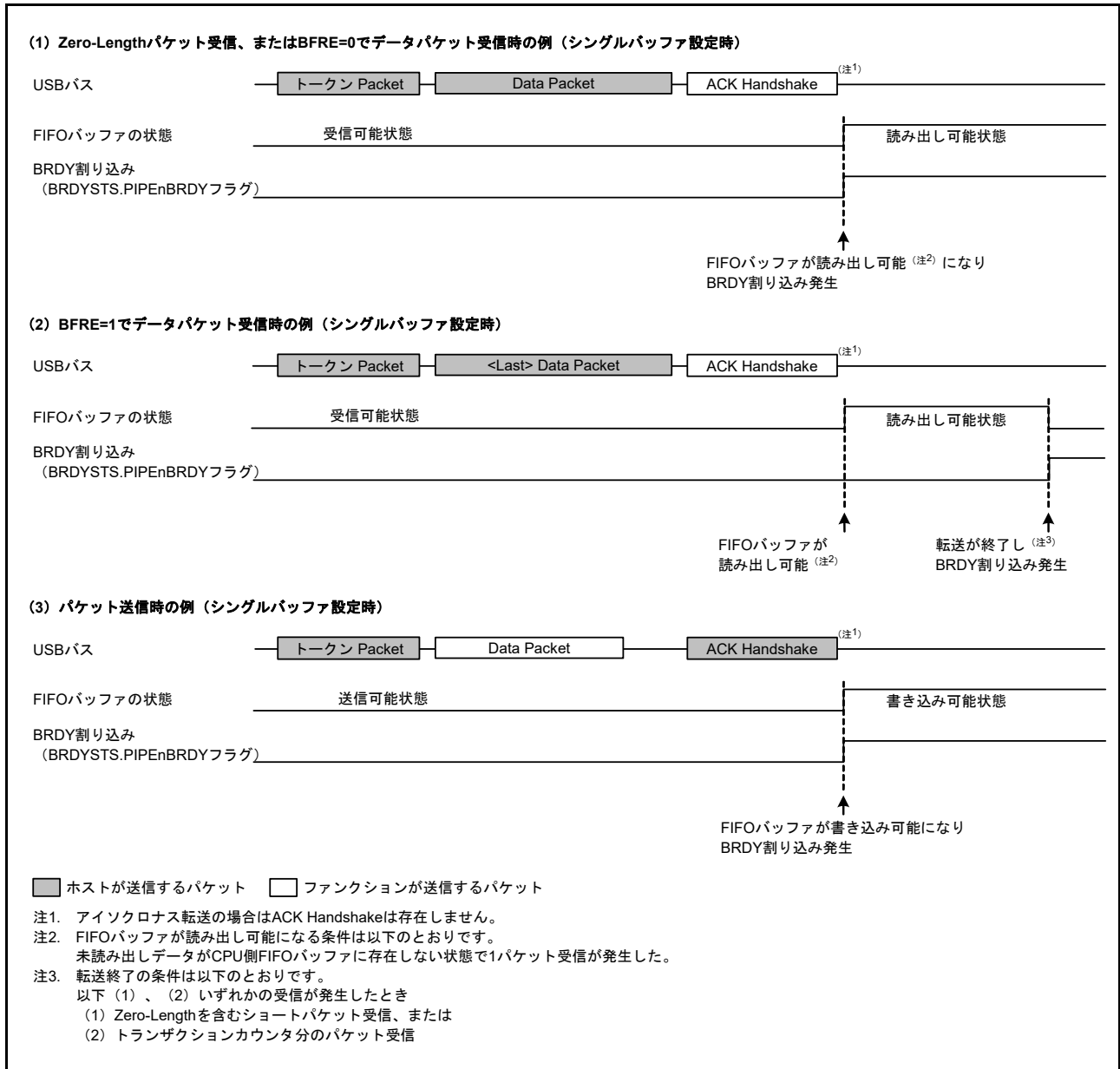


図 30.7 BRDY 割り込み発生タイミング図

USB が INTSTS0.BRDY フラグをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 30.14 に BRDY フラグクリア条件表を示します。

表 30.14 BRDYフラグクリア条件表

BRDYM ビット	BRDYフラグのクリア条件
0	ソフトウェアでBRDYSTSレジスタの全ビットを“0”にすると、USBはBRDYフラグを“0”にします
1	全パイプのBSTSフラグが“0”になったときに、USBはBRDYフラグを“0”にします

30.3.3.2 NRDY 割り込み

ソフトウェアで PID[1:0] = 01b (BUF) に設定したパイプに対して、USB が内部 NRDY 割り込み要求を発生させた場合に、USB は NRDYSTS.PIPE_nNRDY フラグの対応するビットを“1”にします。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットを“1”にしている場合、USB は INTSTS0.NRDY フラグを“1”にし、USB 割り込みを発生させます。

USB が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(1) ホストコントローラ機能選択時

(a) 送信方向パイプの場合

USB は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき
このとき、USB は OUT トークンに続けて Zero-Length パケットを送信し、NRDYSTS.PIPE_nNRDY フラグの対応するフラグを“1”にし、FRMNUM.OVRN フラグも“1”にします。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、周辺デバイスが無応答 (周辺デバイスからの Handshake パケットを検出しないままタイムアウトを検出) した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき、USB は、PIPE_nNRDY フラグの対応するビットを“1”にし、対応するパイプの PID[1:0] ビットを“00b” (NAK) に変更します。
- SETUP トランザクション以外の通信において、周辺デバイスから STALL Handshake を受信したとき
このとき USB は、PIPE_nNRDY フラグの対応するビットを“1”にし、対応するパイプの PID[1:0] ビットを“11b” (STALL) に変更します。

(b) 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに空きがない状態で IN トークン発行タイミングに達したとき
このとき USB は、IN トークンに対する受信データを破棄し、当該パイプに対応する PIPE_nNRDY フラグを“1”にし、OVRN フラグも“1”にします。
更に、IN トークンに対する受信データにパケットエラーを検出した場合には、FRMNUM.CRCE フラグも“1”にします。
- 転送タイプがアイソクロナス転送以外のパイプで、USB が発行した IN トークンに対して周辺デバイスが無応答 (周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出) した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき USB は、当該パイプに対応する PIPE_nNRDY フラグを“1”にし、対応するパイプの PID[1:0] ビットを“00b” (NAK) に変更します。

- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスが無応答 (周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出) した場合、または周辺デバイスからのパケットにエラーを検出したとき
このとき USB は、当該パイプに対応する PIPE_nNRDY フラグを“1”にします (対応するパイプの PID[1:0] ビットの変更は行いません)。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーを検出したとき
このとき USB は、当該パイプに対応する PIPE_nNRDY フラグを“1”にし、CRCE フラグを“1”にします。
- STALL Handshake を受信したとき
このとき USB は、当該パイプに対応する PIPE_nNRDY フラグを“1”にし、対応するパイプの PID[1:0] ビットを“11b” (STALL) に変更します。

(2) ファンクションコントローラ機能選択時

(a) 送信方向パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき
IN トークン受信時に USB は NRDY 割り込み要求を発生させ NRDYSTS.PIPE_nNRDY フラグを“1”にします。
割り込み発生パイプの転送タイプがアイソクロナスの場合、USB は Zero-Length パケットを送信し、FRMNUM.OVRN フラグを“1”にします。

(b) 受信方向パイプの場合

- FIFO バッファに空きがない状態で OUT トークンを受信したとき
割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USB は NRDY 割り込み要求を発生させ、PIPE_nNRDY フラグを“1”にし、OVRN フラグを“1”にします。
割り込み発生パイプの転送タイプがアイソクロナス以外の場合、USB は、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPE_nNRDY フラグを“1”にします。
ただし、再送時 (データ PID 不一致発生時) には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
SOF 受信のタイミングで USB は、NRDY 割り込み要求を発生させ、PIPE_nNRDY フラグを“1”にします。

図 30.8 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

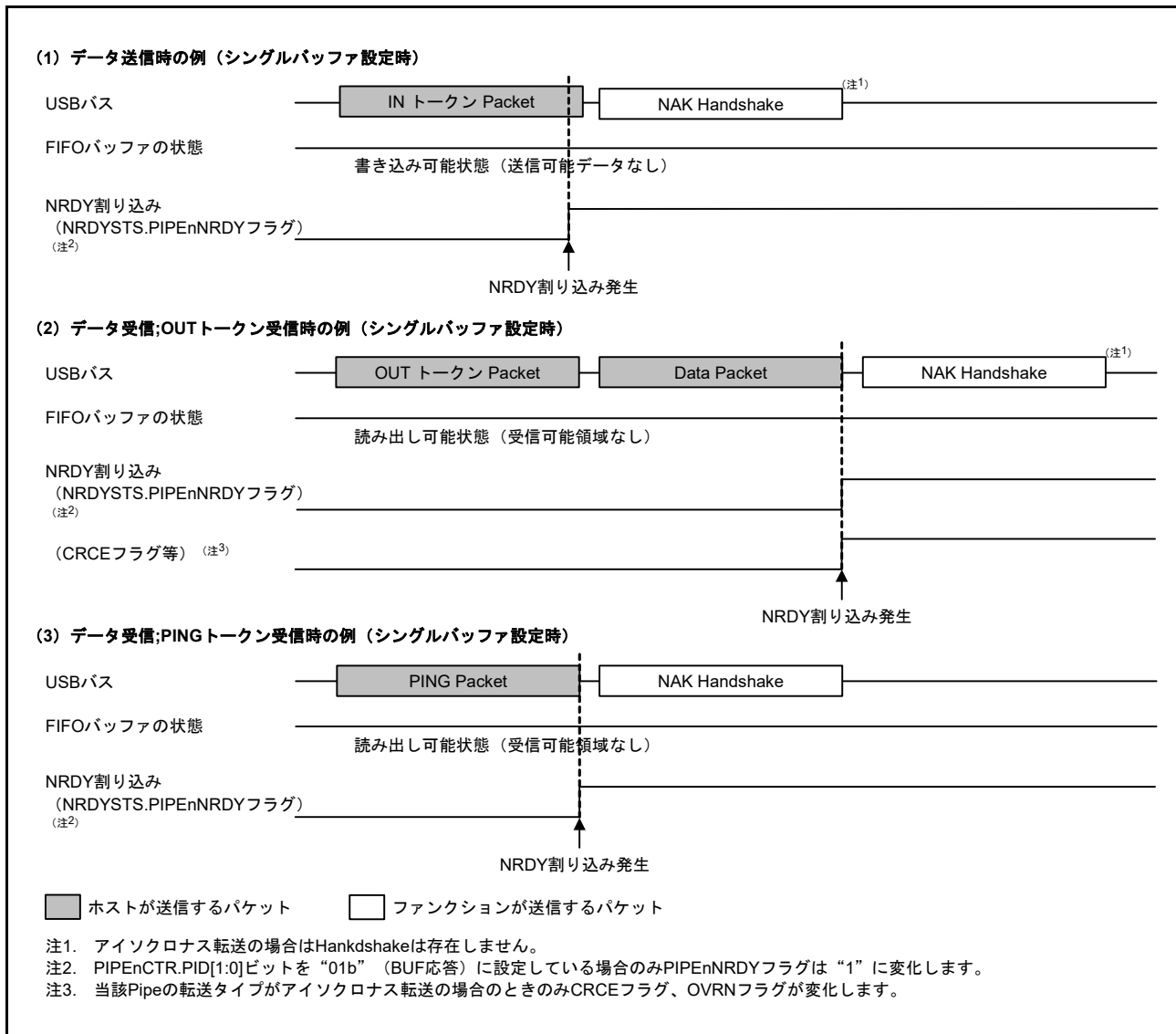


図 30.8 NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

30.3.3.3 BEMP 割り込み

ソフトウェアで PID[1:0] = 01b (BUF) に設定したパイプに対して、USB が、BEMP 割り込みを検出した場合に、USB は BEMPSTS.PIPEnBEMP フラグの対応するフラグを“1”にします。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットを“1”にしている場合、USB は INTSTS0.BEMP フラグを“1”にし、USB 割り込みが発生します。

以下の場合に、USB は内部 BEMP 割り込み要求を発生させます。

(1) 送信方向パイプの場合

送信完了時 (Zero-Length パケットの送信時を含む) に、対応するパイプの FIFO バッファが空のとき、シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にCPUまたはDMAC/DTCがCPU側のFIFOバッファに対する書き込みを開始している場合
- また、PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタのBCLR ビットに“1”を書くことによるバッファクリア (エンプティ)。
- ファンクションコントローラ機能設定時、コントロール転送 Status ステージのIN転送 (Zero-Length パケット送信) 時

(2) 受信方向パイプの場合

MaxPacketSize の設定値より大きなデータサイズを正常受信したとき、USB は、BEMP 割り込み要求を発生させ、BEMPSTS.PIPEnBEMP フラグの対応するビットを“1”にし、受信データを破棄し、対応するパイプのPID[1:0] ビットを“11b” (STALL) に変更します。このとき USB は、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。

- 受信データに CRC エラー、またはビットスタッフィングエラー等を検出したとき
- SETUP トランザクション実行時
BEMPSTS.PIPEnBEMP フラグに“0”を書くことにより、ステータスをクリアすることができます。
BEMPSTS.PIPEnBEMP フラグに“1”を書いても、動作に影響ありません。

図 30.9 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

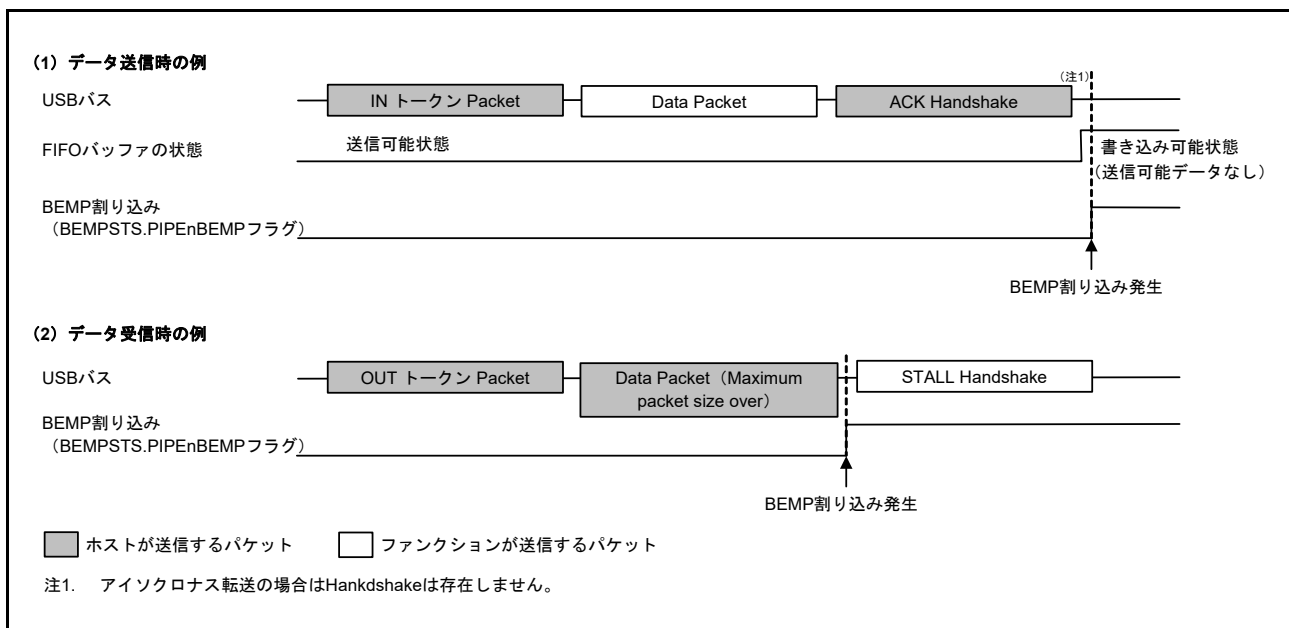


図 30.9 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

30.3.3.4 デバイスステート遷移割り込み

図 30.10 に USB のデバイスステート遷移図を示します。USB は、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰 (レジューム信号検出) は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0.DVSQ[2:0] フラグにて確認できます。

デフォルトステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

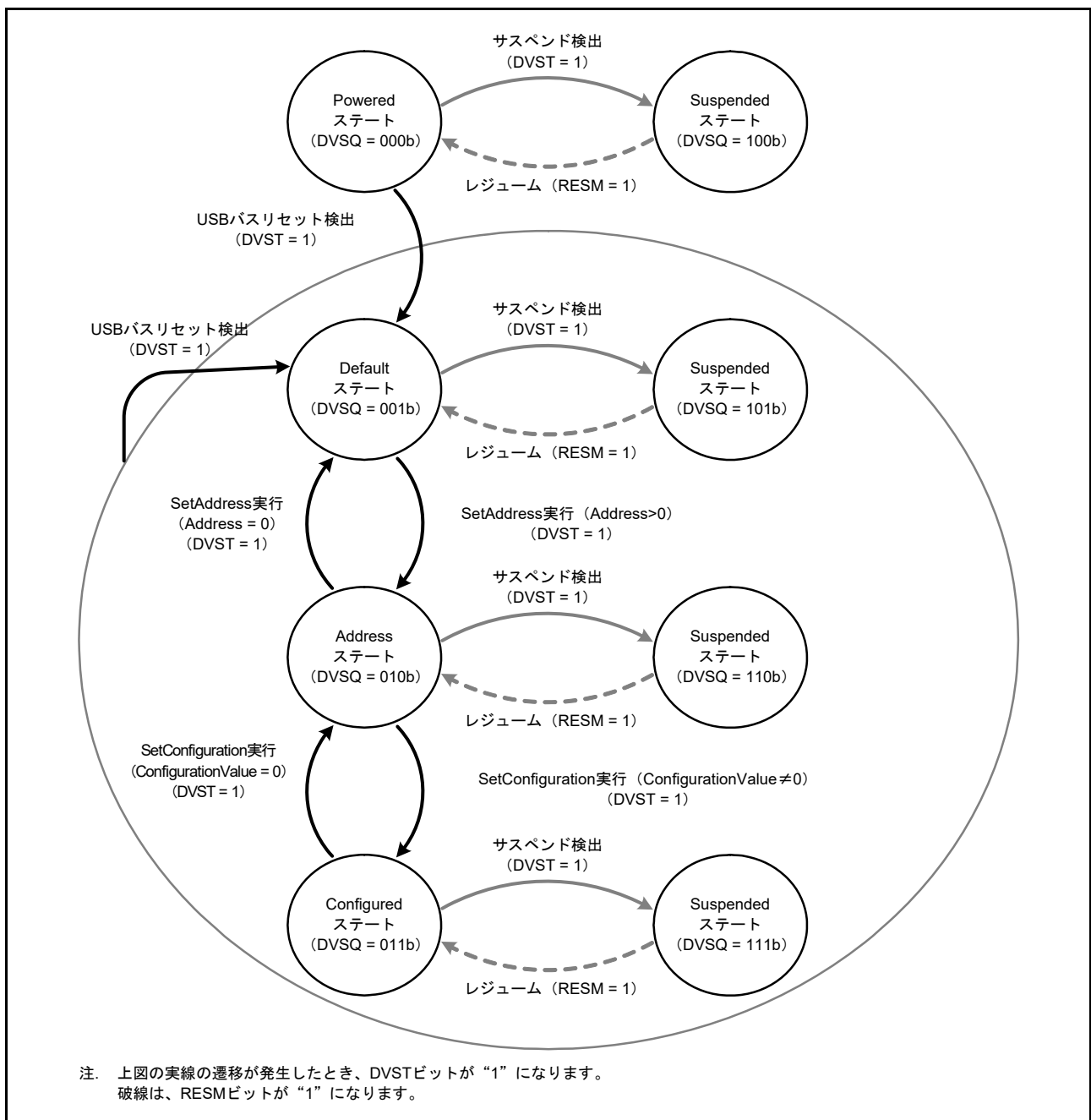


図 30.10 デバイスステート遷移図

30.3.3.5 コントロール転送ステージ遷移割り込み

図 30.11 に USB のコントロール転送ステージ遷移図を示します。USB は、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0.CTSQ[2:0] フラグにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが“1xb”(STALL 応答)になります。

コントロールリード転送時

- データステージの IN トークンに対して、1度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークン受信
- ステータスステージでデータパケットが“PID = DATA0”のパケットを受信

コントロールライト転送時

- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットが“PID = DATA0”のパケットを受信
- ステータスステージで OUT トークン受信

コントロールライトノーデータコントロール転送時

- ステータスステージで OUT トークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (INTSTS0.CTRT = 1) は、CTSQC[2:0] = 110b の値がシステムから CTRT フラグに“0”を書く (割り込みステータスクリア) まで保持されます。このため、CTSQC[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、USB で保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します)。

30.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

30.3.3.11 DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。USB は、USB 規格 2.0 に準じた基準でバスディスコネクトを検出します。

USB は、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

30.3.3.12 SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

30.3.3.13 SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

30.3.3.14 ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5 μ s 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μ s 間継続したとき

30.3.3.15 EOFERR 割り込み

USB 2.0 規格で定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みを発生します。

USB は、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアで、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを“0”に変更し表示する
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

30.3.4 パイプコントロール

表 30.15 に USB のパイプ設定項目一覧を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行います。USB にはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 30.15 パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE[1:0]	転送タイプを指定	パイプ1～9：設定可能
	BFRE	BRDY割り込みモードを選択	パイプ1～5：設定可能
	DBLB	ダブルバッファを選択	パイプ1～5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM[3:0]	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は“0000b”以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ1、2：設定可能(バルク転送選択時のみ設定可能) パイプ3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL[3:0]	デバイス選択	ホストコントローラ機能選択時のみ参照
	MXPS[8:0]	マックスパケットサイズ	USB規格2.0に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1、2：設定可能(アイソクロナス転送選択時のみ) パイプ3～9：設定不可能
	IITV[2:0]	インターバルカウンタ	パイプ1、2：設定可能(アイソクロナス転送選択時のみ) パイプ3～5：設定不可能 パイプ6～9：ホストコントローラ機能選択時のみ設定可能
DCPCTR PIPECTR	BSTS	バッファステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ1～5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ1～5：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データグルビットのクリア
	SQSET	シーケンスセット	データグルビットのセット
	SQMON	シーケンス確認	データグルビットの確認
	PBUSY	パイプビジー確認	
	PID[1:0]	応答PID	「30.3.4.6 応答PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	—	トランザクションカウンタ	パイプ1～5：設定可能

30.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB通信が禁止 (PID[1:0] = 00b (NAK)) されているときのみ書き換えが可能になります。

USB通信が許可 (PID[1:0] = 01b (BUF)) されているとき、書き換えが禁止されているレジスタおよびビットを以下に示します。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR, SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPE_nCTR.ATREPM, ACLRM, SQCLR, SQSET ビット
- PIPE_nTRE レジスタ、PIPE_nTRN レジスタの各ビット

USB通信許可 (PID[1:0] = 01b (BUF)) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプの PID[1:0] ビットを “00b” (NAK) に変更します。
3. 当該パイプの PBUSY フラグが “0” になるまで待ちます。
4. パイプコントロールレジスタのビット変更が開始されます。

また、パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれの CURPIPE[3:0] ビットにも設定されていないパイプ情報のみ書き換えが可能です。

CURPIPE[3:0] ビットに設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0] ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

30.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ 1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ 3～5：バルク転送を設定してください。
- パイプ 6～9：インタラプト転送を設定してください。

30.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント“0”に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要（エンドポイント“0”固定）です。
- パイプ1～9：1から15までを選択して設定してください。
ただし、PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないように設定してください。

30.3.4.4 マックスパケットサイズ設定

DCPMAXP.MXPS[6:0] ビットおよび PIPEMAXP.MXPS[8:0] ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ1～5はUSB規格2.0で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ6～9は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID[1:0]=01b (BUF)）に設定してください。

- DCP：8、16、32、64から選択して設定してください。
- パイプ1～5：バルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2：アイソクロナス転送時は、1から256の値を設定してください。
- パイプ6～9：1から64の値を設定してください。

30.3.4.5 トランザクションカウンタ（パイプ1～5読み出し方向）

USBは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定する PIPE_nTRN レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、PIPECFG.SHTNAK ビット設定が“1”との組み合わせによりカレントカウンタが指定回数に一致すると、当該 PIPE_nCTR.PID[1:0] ビットを NAK 状態とし、次の転送を禁止状態にします。PIPE_nTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPE_nTRE.TRENB ビットの設定により、PIPE_nTRN レジスタ読み出し時の情報が異なります。

- TRENB ビットが“0”：設定したトランザクションカウンタ値が読めます。
- TRENB ビットが“1”：内部でカウントしたカレントカウンタ値が読めます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID[1:0]=01b (BUF) の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

30.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0] ビットにて各パイプの応答 PID を設定します。各設定における USB の動作は下記のとおりです。

(1) ホストコントローラ機能選択時の応答 PID 設定

応答 PID は、トランザクションの実施を指定します。

- NAK 設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF 設定：バッファメモリの状況に応じてトランザクションが実施されます。
OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。
IN 方向の場合、バッファメモリに空きがあり受信可能な場合、IN トークンを発行します。
- STALL 設定：パイプ禁止状態です。トランザクションは実施されません。

注． DCP のセットアップトランザクションは、DCPCTR.SUREQ ビットで設定します。

(2) ファンクションコントローラ機能選択時の応答 PID 設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したトランザクションに対して NAK 応答します。
- BUF 設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL 設定：発生したトランザクションに対して STALL 応答します。

注． セットアップトランザクションに対しては、PID[1:0] ビットの設定にかかわらず、ACK 応答し、レジスタに USB リクエストを格納します。

PID[1:0] ビットは、トランザクション結果により USB による書き込みが発生する場合があります。USB により PID[1:0] ビットへの書き込みが発生するのは以下の場合です。

(3) ホストコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トークンの発行を自動的に停止します。
アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
(詳細は、「30.3.3.2 NRDY 割り込み」を参照してください)
ーバルク転送時に PIPECFG.SHTNAK ビットを“1”にした場合でショートパケットを受信したとき
ーバルク転送時に SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トークンの発行を自動的に停止します。
ー送信したトークンに対して STALL を受信したとき
ー受信したデータパケットがマックスパケットサイズを超えたとき

(4) ファンクションコントローラ機能選択時にハードウェアが応答 PID を設定する場合

- NAK 設定：以下の場合に PID[1:0] = 00b (NAK) となり、トランザクションに対して NAK 応答します。
SETUP トークンを正常に受信したとき (DCP のみ)
バルク転送時に PIPECFG.SHTNAK ビットを“1”にし、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USB による BUF 書き込みはありません。
- STALL 設定：以下の場合に PID[1:0] = 1xb (STALL) となり、トランザクションに対して STALL 応答します。
ー受信データパケットでマックスパケットサイズオーバーエラーを検出したとき
ーコントロール転送シーケンスエラーを検出したとき (DCP のみ)

30.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBによりデータPIDのシーケンスビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンスビットは、DCPCTRレジスタおよびPIPEnCTRレジスタのSQMONフラグにて確認できます。データ送信時はACKハンドシェイク受信タイミングで、データ受信時はACKハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTRレジスタおよびPIPEnCTRレジスタのSQCLRビット、SQSETビットにてデータPIDシーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時にUSBが自動的にシーケンスビットを設定します。セットアップステージ終了時はDATA1になります。ステータスステージではシーケンスビットは参照せず、PID=DATA1で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeatureリクエストの送信または受信時などは、ソフトウェアでデータPIDシーケンスビットを設定する必要がありますので注意してください。

30.3.4.8 応答PID = NAK機能

USBには、PIPECFG.SHTNAKビットを“1”にすることで、トランスファの最後（ショートパケット受信またはトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答PID=NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（応答PID=BUF）設定を行う必要があります。

なお、応答PID=NAK機能はバルク転送時のみ動作することが可能です。

30.3.4.9 自動応答モード

バルク転送のパイプ（パイプ1～5）において、PIPEnCTR.ATREPMビットを“1”にすると、自動応答モードとなります。OUT転送時（PIPECFG.DIRビットが“0”）にはOUT-NAKモードとなり、IN転送時（DIRビットが“1”）にはNull自動応答モードとなります。

30.3.4.10 OUT-NAKモード

バルクOUT転送のパイプにおいて、PIPEnCTR.ATREPMビットを“1”にすると、OUTトークンに対してNAK応答し、NRDY割り込みを出力します。通常モードからOUT-NAKモードへ設定するためには、パイプ動作禁止状態（応答PID=NAK）でOUT-NAKモードに設定して、パイプ動作許可（応答PID=BUF）を行ってください。パイプ動作許可後に、OUT-NAKモードが有効になります。ただし、パイプ動作禁止にする直前でOUTトークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへACK応答されます。

OUT-NAKモードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答PID=NAK）でOUT-NAKモードを解除して、パイプ動作許可（応答PID=BUF）を行ってください。通常モードでは、OUTデータ受信が可能となります。

30.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを“1”にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。PIPEnCTR.INBUFM フラグが“0”であることで確認してください。INBUFM フラグが“1”の場合には、バッファ内にデータが存在しているため、PIPEnCTR.ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）を Zero-Length パケット送信分ウェイト（約 10 μs）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

30.3.5 FIFO バッファメモリ

30.3.5.1 FIFO バッファメモリ

USB はデータ転送用の FIFO バッファメモリを内蔵します。各 PIPE の使用領域は、USB にて管理しています。FIFO バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と USB (SIE 側) にある場合があります。

(1) バッファステータス

表 30.16 および表 30.17 に USB のバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS フラグおよび PIPEnCTR.INBUFM フラグにて確認できます。バッファメモリの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット (DCP 選択時) で指定します。

なお、INBUFM フラグは送信方向のパイプ 1～5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS フラグは CPU 側のバッファの状態を、INBUFM フラグは SIE 側のバッファの状態を判断するために使用します。CPU または DMAC/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM フラグで送信完了を確認できます。

表 30.16 BSTS フラグによるバッファステータス

ISEL または DIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFO ポートからの読み出し不可能
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可能
1 (送信方向)	1	送信完了 CPU は書き込み可能

表 30.17 INBUFM フラグによるバッファステータス

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

30.3.5.2 FIFO バッファクリア

表 30.18 に USB による FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、PIPEnCTR.ACLRM ビットでクリアすることができます。

パイプ 1～5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表 30.18 各バッファクリア一覧

FIFO バッファ クリアの種類	CPU 側バッファメモリをクリア します	指定パイプのデータを読み出した後 で、自動でバッファメモリをクリア するモードです	受信したパケットをすべて破棄する 自動バッファクリアモードです
当該レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
当該ビット	BCLR ビット	DCLRM ビット	ACLARM ビット
“0”になる条件	“1”書き込みで“0”になる	1：モード有効 0：モード無効	1：モード有効 0：モード無効

(1) 自動バッファクリアモード機能

USB には、PIPEnCTR.ACLRM ビットを“1”にすることで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、自動バッファクリアモード機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLARM ビットを“1”にし、続けて“0”にすることで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLARM ビットへの“1”書き込みと“0”書き込みの間隔を 100ns 以上とってください。

30.3.5.3 FIFOポートの機能

表 30.19 に USB の FIFO ポート機能設定表を示します。データ書き込み時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN[8:0] フラグが“0”) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] フラグにて確認します。

表 30.19 FIFOポート機能設定

レジスタ	ビット	機能
CFIFOSEL, DnFIFOSEL (n = 0, 1)	RCNT	DTLN[8:0]読み出しモード選択
	REW	バッファメモリリwind(再読み出し、再書き込み)
	DCLRM	指定パイプの受信データ読み出し後自動クリア(DnFIFO専用)
	DREQE	DMA/DTC転送許可(DnFIFO専用)
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアン選択
	ISEL	FIFOポートアクセス方向(DCP専用)
	CURPIPE[3:0]	カレントパイプ選択
CFIFOCTR, DnFIFOCTR (n = 0, 1)	BVAL	バッファメモリ書き込み終了
	BCLR	CPU側バッファメモリクリア
	DTLN[8:0]	受信データ長確認

(1) FIFOポート選択

表 30.20 に各 FIFO ポートで選択可能なパイプ表を示します。ポート選択レジスタの CURPIPE[3:0] ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0] ビット値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、USB コントローラがパイプ変更処理中である事を示します)、ポートコントロールレジスタの FRDY フラグが“1”であることを確認し、FIFO ポートへアクセスしてください。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG.DIR ビットに従います。ただし、DCP のみポート選択レジスタの ISEL ビットにより決定します。

表 30.20 パイプ別FIFOポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1~9	CPUアクセス	CFIFOポートレジスタ D0FIFO/D1FIFOポートレジスタ
	DMAC/DTCアクセス	D0FIFO/D1FIFOポートレジスタ

(2) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、ポート選択レジスタのREW ビットを使用します。

ポート選択レジスタのCURPIPE[3:0] ビット設定と同時にREW ビットを“1”にしてパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0”にしパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、ポートコントロールレジスタのFRDY フラグが“1”であることを確認する必要があります。

30.3.5.4 DMA 転送 (D0FIFO/D1FIFO ポート)

(1) DMA 転送概要

パイプ1～9に対して、DMACによるFIFOポートアクセスが可能です。DMACに設定したパイプのバッファがアクセス可能になったとき、DMA転送要求を出力します。

DnFIFOSEL.MBW ビットにてFIFOポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0] ビットにてDMA転送するパイプを選択してください。なお、DMA転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

USBは、DnFIFOSEL.DCLRM ビットを“1”にすることで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 30.21 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 30.21 に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させないDMA転送が可能となります。

なお、DnFIFO 自動クリアモードはバッファメモリ読み出し方向のみ設定できます。

表30.21 パケット受信とソフトウェアによるバッファメモリクリア処理の関連

パケット受信時の バッファ状態	レジスタの設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

30.3.6 DCP を使用したコントロール転送

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

30.3.6.1 ホストコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに“1”を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、“0”になります。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMAXP.DEVSEL[3:0] ビットを“0”にし、DEVADD0.USBSPPD[1:0] ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスが Address ステートに遷移した以降は、DEVSEL[3:0] ビットに割り付けた USB Address 値を設定し、USB Address に対応する DEVADDn レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、PIPEMAXP.DEVSEL[3:0]=0010b のときは DEVADD2 レジスタを、PIPEMAXP.DEVSEL[3:0]=0101b のときは DEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN フラグおよび SACK フラグ)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR.SQMON フラグの内容にかかわらず、DATA0 のデータパケット (USB リクエスト) が送信されます。

(2) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL.ISEL ビットでアクセス方向を指定してください。また、DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットし、PID[1:0] ビットを“01b” (BUF) に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。

DCPCTR.SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR.DTLN[8:0] フラグで受信データ長を確認のうえ、CFIFOCTR.BCLR ビットでバッファメモリクリアを行ってください。

30.3.6.2 ファンクションコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBは、USBに対する正常なセットアップパケットに対してACK応答します。セットアップステージのUSBの動作を以下に示します。

新しいセットアップパケットを受信すると、USBは以下のビットをセットします。

- INTSTS0.VALID フラグを“1”にする
- DCPCTR.PID[1:0] ビットを“00b”(NAK)にセット
- DCPCTR.CCPL ビットを“0”にする

セットアップパケットに引き続きデータパケット受信すると、USBは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、VALIDフラグを“0”にした後にしてください。VALIDフラグが“1”の状態ではPID[1:0]=01b(BUF)設定が行えず、データステージを終了することができません。

VALIDフラグの機能により、USBは、コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBは、受信したUSBリクエストの方向ビット(bmRequestTypeのビット8)およびリクエストデータ長(wLength)を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違っただけのシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。USBのステージ管理については図30.11を参照してください。

(2) データステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファメモリへアクセスする前に、CFIFOSEL.ISELビットにてアクセス方向指定を行ってください。

転送データがDCPバッファメモリのサイズより大きい場合には、コントロールライト転送ではBRDY割り込みを、コントロールリード転送ではBEMP割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0]ビットが“01b”(BUF)の状態、DCPCTR.CCPLビットを“1”にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合
USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
USBはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

(4) コントロール転送自動応答機能

USBは、正常なSET_ADDRESSリクエストに自動応答します。SET_ADDRESSリクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestTypeが“00h”でない場合：コントロールライト転送以外
- wIndexが“00h”でない場合：リクエストエラー
- wLengthが“00h”でない場合：ノーデータコントロール転送以外
- wValueが“7Fh”より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0]フラグが“011b”(Configuredステート)の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

30.3.7 バルク転送 (パイプ1～5)

バルク転送は、バッファメモリ使用方法 (シングル/ダブルバッファ設定) の選択ができます。

USBは、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能 (PIPECFG.BFRE ビット：「30.3.3.1 (2) SOFCFG.BRDYM ビットが“0”かつ PIPECFG.BFRE ビットが“1”のとき」参照)
- トランザクションカウント機能
(PIPE_nTRE.TRENB, TRCLR ビット、PIPE_nTRN レジスタ：「30.3.4.5 トランザクションカウンタ (パイプ1～5読み出し方向)」参照)
- 応答PID=NAK機能 (PIPECFG.SHTNAK ビット：「30.3.4.8 応答PID=NAK機能」参照)
- 自動応答モード (PIPE_nCTR.ATREPM ビット：「30.3.4.9 自動応答モード」参照)

30.3.8 インタラプト転送 (パイプ6～9)

ファンクションコントローラ機能選択時、USBは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

30.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0]ビットに、トランザクションのインターバルを設定します。USBコントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1) カウンタの初期化

インターバルカウンタは、MCUがリセットされたとき、またはPIPEEnCTR.ACLRMビットを“1”にしたときに初期化されます。なお、ACLRMビットによる初期化時は、PIPEPERI.IITV[2:0]ビットは初期化されません。

以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USBバスリセット、USBサスペンド
IITV[2:0]ビットは初期化されません。DVSTCTR0.UACTビットを“1”にすることにより、USBバスリセット、USBサスペンド状態とする前の値からカウントを開始します。

(2) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID[1:0]を“00b”(NAK)または“1xb”(STALL)に設定した場合
- IN方向(受信)の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT方向(送信)の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

30.3.9 アイソクロナス転送 (パイプ 1、2)

USB は、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (PIPEPERL.IITV[2:0] ビット指定)
- アイソクロナス IN 転送データセットアップコントロール (IDLY 機能)
- アイソクロナス IN 転送バッファフラッシュ機能 (PIPEPERL.IFIS ビット指定)

30.3.9.1 アイソクロナス転送のエラー検出

USB は、アイソクロナス転送のエラー発生を、ソフトウェアで管理可能なように、下記のエラー情報の検出機能を持っています。表 30.22 および表 30.23 に USB がエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

(a) PID エラー

- 受信パケットの PID が不正な場合

(b) CRC エラー、ビットスタッフィングエラー

- 受信パケットの CRC にエラーがあった場合またはビットスタッフィングが不正な場合

(c) マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた場合

(d) オーバラン、アンダランエラー

- ホストコントローラ機能選択時
IN 方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合
OUT 方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータがない場合
- ファンクションコントローラ機能選択時
IN 方向 (送信) の転送時に IN トークン受信時にバッファメモリにデータがない場合
OUT 方向 (受信) の転送時に OUT トークン受信したがバッファメモリに空き領域がない場合

(e) インターバルエラー

ファンクションコントローラ機能選択時に、以下のときにインターバルエラーとします。

- アイソクロナス IN 転送でインターバルフレームに IN トークンを受信できなかった場合
- アイソクロナス OUT 転送でインターバルフレームに OUT トークンを受信できなかった場合

表 30.22 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
3	オーバラン、アンダランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、FRMNUM.OVRN フラグを“1”にします。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません

表 30.23 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させて、FRMNUM.CRCEフラグを“1”にします
3	マックスパケットサイズオーバーエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP割り込みを発生させて、PID[1:0]ビットを1xb (STALL)にセットします

30.3.9.2 データ PID

ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

IN 方向

- DATA0：データパケットの PID として送信します
- DATA1：送信しません
- DATA2：送信しません
- mData：送信しません

OUT 方向

- DATA0：データパケットの PID として正常受信します
- DATA1：データパケットの PID として正常受信します
- DATA2：パケットを無視します
- mData：パケットを無視します

30.3.9.3 インターバルカウンタ

PIPEPERI.IITV[2:0] ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 30.24 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 30.24 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウンタは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2IITV[2:0] フレームです。

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPE_nCTR.ACLR_M ビットを“1”にしたときに初期化されます。なお、ACLR_M ビットによる初期化時は、PIPEPERI.IITV[2:0] ビットは初期化されません。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウンタを開始します。

1. PID[1:0] = 01b (BUF) 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID[1:0] = 01b (BUF) 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを“00b” (NAK) または“1xb” (STALL) に設定した場合
インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド
IITV[2:0] ビットは初期化されません。SOF を受信すると、受信前の値からカウンタを開始します。

(2) ホストコントローラ機能選択時のインターバルカウンタと転送制御

PIPEPERI.IITV[2:0] ビットの設定値に従って USB はトークン発行間隔を制御します。USB は 2^{IITV[2:0]} 回のフレームに 1 回の間隔で選択パイプに対するトークンを発行します。

USB は、ソフトウェアで PID[1:0] ビットを“01b” (BUF) に設定した次のフレームからトークン発行間隔のカウンタを開始します。

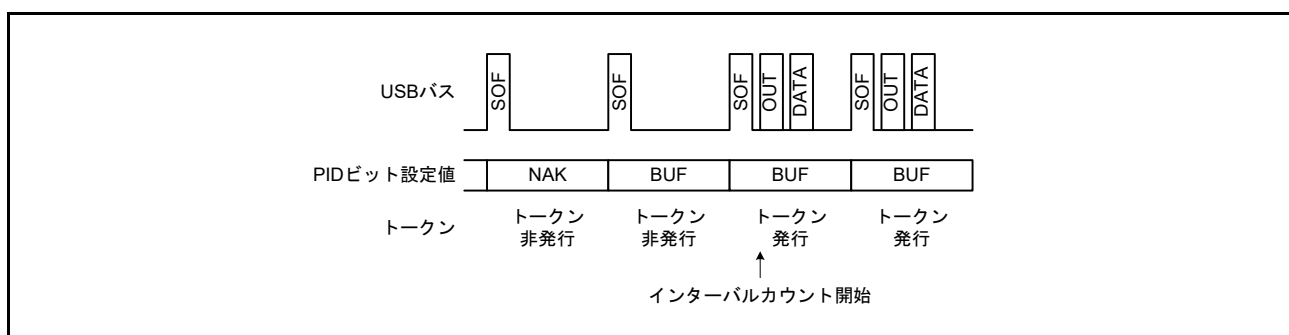


図 30.12 IITV[2:0] = 000b の場合のトークン発行有無

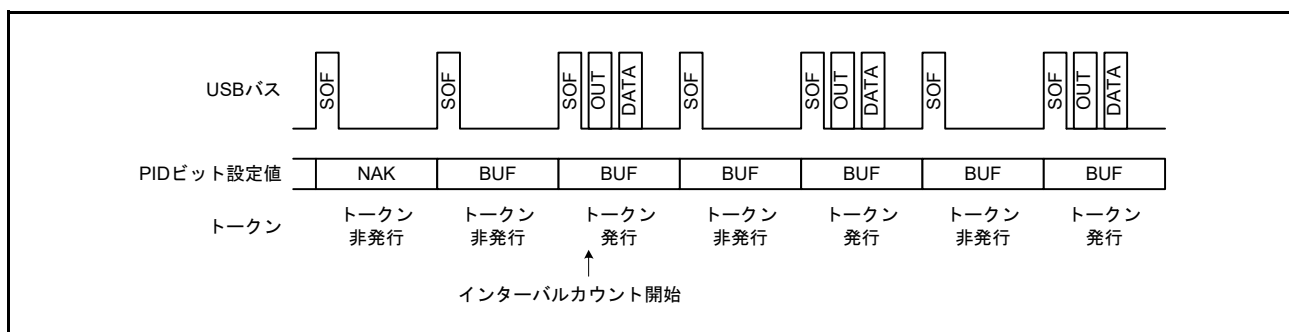


図 30.13 IITV[2:0] = 001b の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、USB はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも USB はトークンを発行します。

(a) 選択パイプがアイソクロナス IN 転送パイプの場合

IN トークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY 割り込みを発生させます。

CPU または DMAC/DTC が FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために、USB がデータを受信できない状態で、IN トークン発行タイミングに至った場合、USB は FRMNUM.OVRN フラグを“1”にし、NRDY 割り込みを発生させます。

(b) 選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いなどの原因で、送信可能なデータが FIFO バッファに無い状態で OUT トークン発行タイミングに至った場合、USB は OVRN フラグを“1”にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

トークン発行間隔のリセット条件は以下の場合はです。

- USB が端子リセットされた場合
（このとき、IITV[2:0] ビットへの設定値も“0”になります）
- ソフトウェアで PIPEnCTR.ACLRM ビットを“1”にした場合

(3) ファンクションコントローラ機能選択時のインターバルカウントと転送制御**(a) 選択パイプがアイソクロナス OUT 転送パイプの場合**

PIPEPERI.IITV[2:0] ビットに設定したインターバルごとのフレーム中に DATA パケットを受信しなかったとき、USB は NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファがフルのために USB がデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし IITV[2:0]=000b 以外のときには、インターバルカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアで PID[1:0] ビットに“00b” (NAK) を設定した場合、USB は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります。

- IITV[2:0]=000b の場合

選択パイプの PID[1:0] ビットを“01b” (BUF) に変更した時点でインターバルのカウントを開始します。

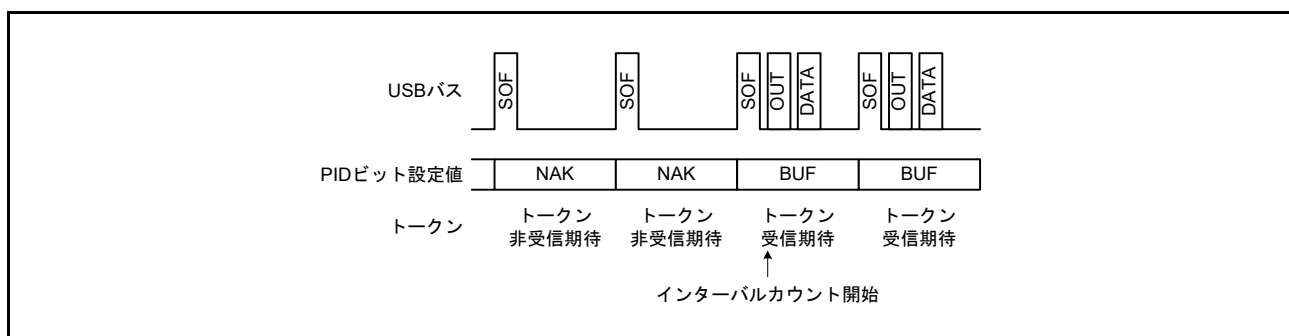


図 30.14 IITV[2:0] = 000b の場合のフレームとトークン受信期待有無の関係

- IITV[2:0] = 000b 以外の場合
選択パイプのPID[1:0] ビットを“01b”(BUF)に変更した後、最初の DATA パケット正常受信完了時点からインターバルのカウントを開始します。

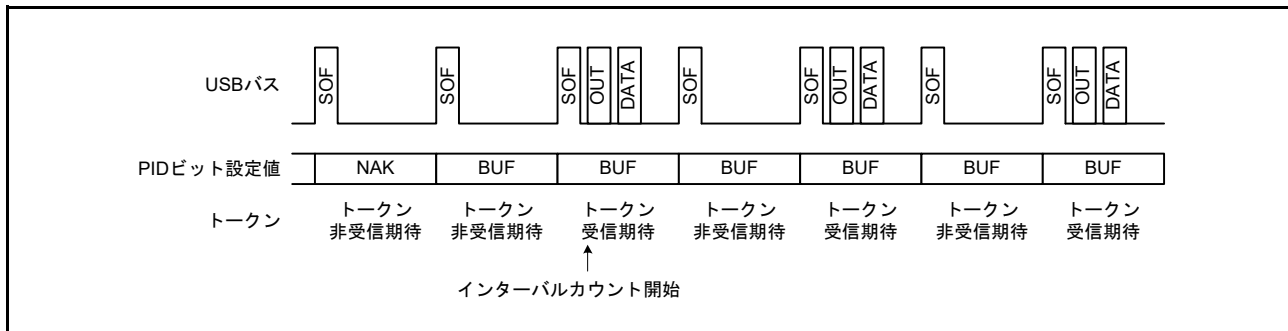


図 30.15 IITV[2:0] = 000b 以外の場合のフレームとトークン受信期待有無の関係

(b) 選択パイプがアイソクロナス IN 転送パイプの場合

PIPEPERLIFIS ビットを“1”にして使用します。

IFIS ビットが“0”の場合には PIPEPERL.IITV[2:0] ビットへの設定値とは関係なく、受信したトークンに応答してデータパケットを送信します。

IFIS ビットが“1”のときは、FIFO バッファに送信可能なデータが存在している状態で、IITV[2:0] ビットに設定したインターバルごとのフレーム中に IN トークンを受信しなかったとき、USB は FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが発生したために USB が正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウント開始条件は、IITV[2:0] ビットの設定値により異なります (OUT 時と同様です)。ファンクションコントローラ機能選択時のインターバルカウント条件は以下のいずれかの場合です。

- USB がハードウェアリセットされた場合 (このとき、IITV[2:0] ビットへの設定値も“000b”になります)
- ソフトウェアで PIPEnCTR.ACLRM ビットを“1”にした場合
- USB が USB バスリセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、USB のアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリは 1 パケット分だけとなります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 30.16 に USB で、IITV[2:0] = 000b (毎フレーム) にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

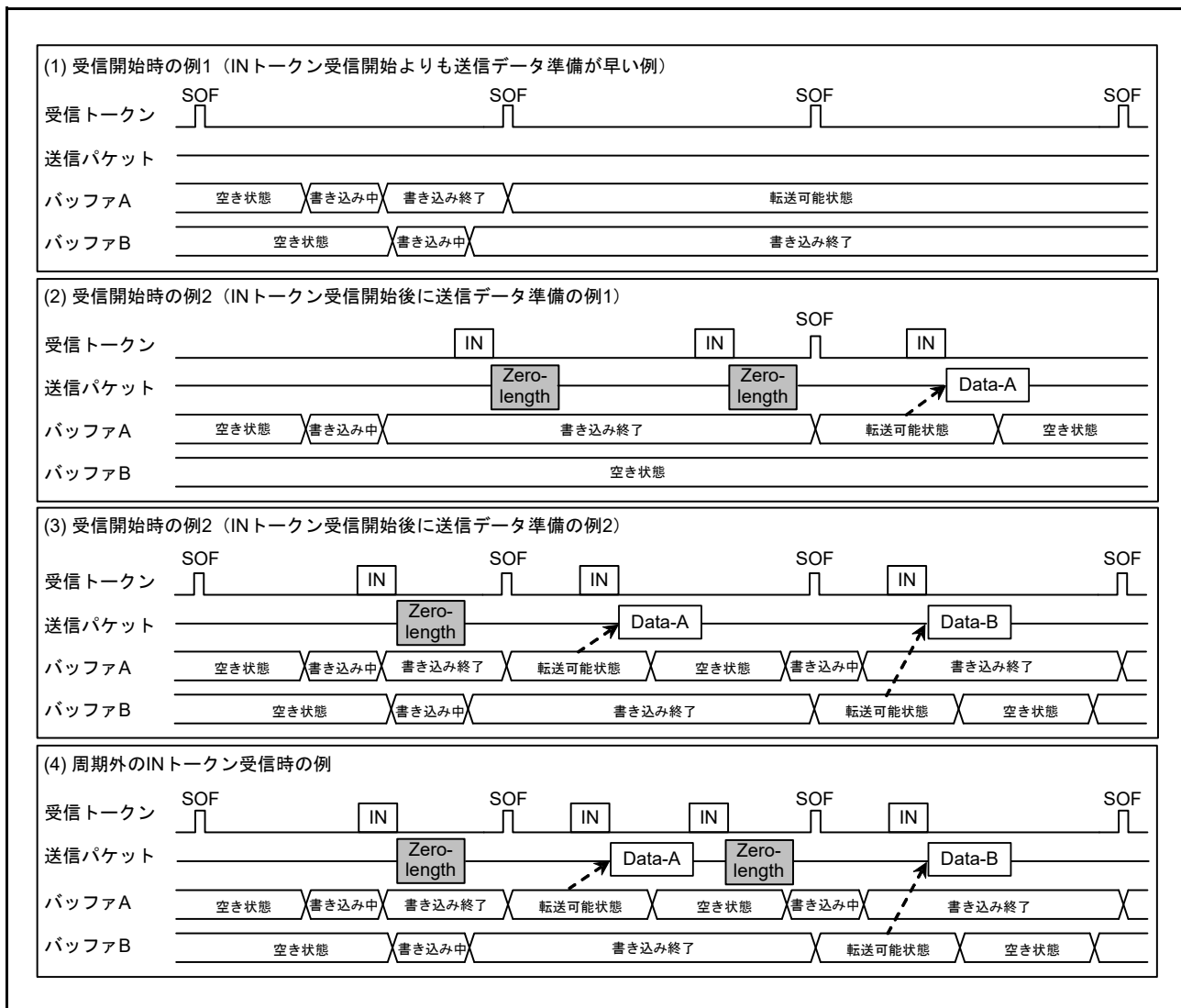


図 30.16 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、USBは、アイソクロナスデータ送信でインターバルフレームにINトークンを受信せず、次フレームのSOFパケットを受信した場合は、INトークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOFパケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能はPIPEPERL.IITV[2:0]ビットの設定値により動作開始タイミングが異なります。

- IITV[2:0] = 000b の場合
パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV[2:0] = 000b 以外の場合
最初の正常なトランザクション以降バッファフラッシュ動作します。

図 30.17 に USB のバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外(インターバルフレーム前のトークン)に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダランエラーとして Zero-Length パケットを送出します。

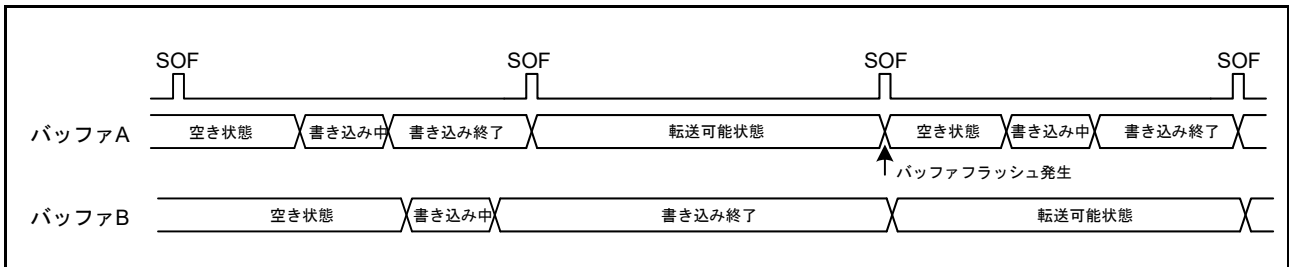


図 30.17 バッファフラッシュ機能動作例

図 30.18 に USB のインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は FRMNUM.OVRN フラグで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

【IN 方向】

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であれば Zero-Length パケット送信しアンダランエラー

【OUT 方向】

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

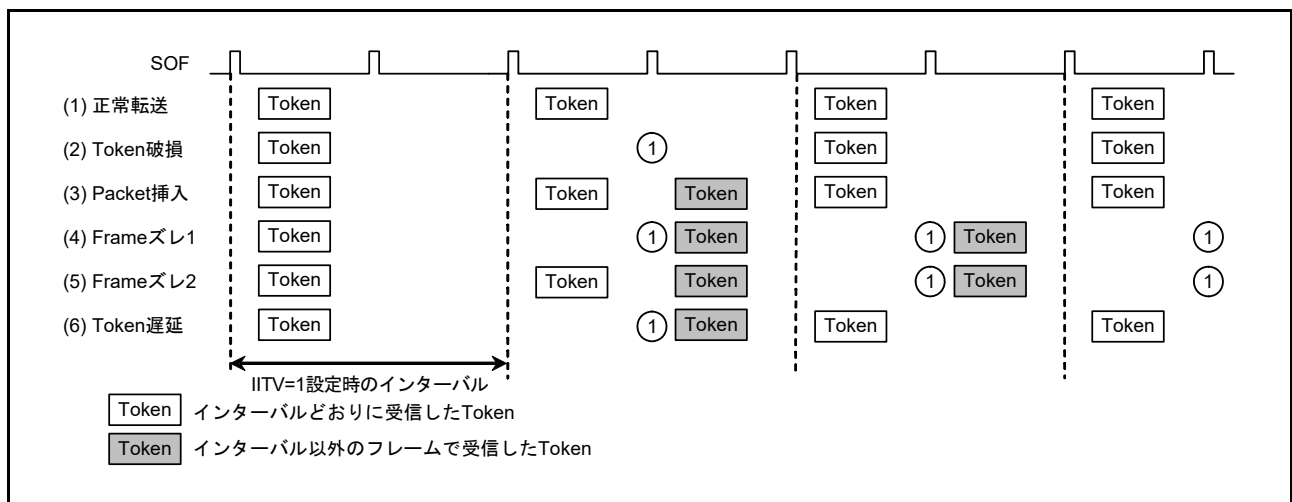


図 30.18 IITV[2:0] = 001b のときのインターバルエラー発生例

30.3.10 SOF 補完機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1 ms 間隔で SOF パケットを受信できなかった場合に、USB は SOF を補完します。SOF 補完動作の開始は SYSCFG.USBE ビットが“1”、SYSCFG.SCKE ビットが“1”かつ SOF パケット受信となります。また、下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- サスペンド検出

また、SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48 MHz で 1 ms をカウントし補完する
- 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補完する
- サスペンド時および USB バスリセット受信中は補完しない

USB は、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0] フラグは更新されません。

30.3.11 パイプスケジューリング

30.3.11.1 トランザクション発行条件

USB は、ホストコントローラ機能選択時、DVSTCTR0.UACT ビットを“1”にしたあと、表 30.25 に示す条件でトランザクションを発行します。

表 30.25 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID[1:0]	IITV[0]	バッファの状態	SUREQ
セットアップ	— (注 1)	— (注 1)	— (注 1)	— (注 1)	“1” 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	— (注 1)
	OUT	BUF	無効	送信データあり	— (注 1)
インタラプト転送	IN	BUF	有効	受信領域あり	— (注 1)
	OUT	BUF	有効	送信データあり	— (注 1)
アイソクロナス転送	IN	BUF	有効	(注 2)	— (注 1)
	OUT	BUF	有効	(注 3)	— (注 1)

注 1. 表中の「—」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。

注 2. 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

注 3. 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

30.3.11.2 転送スケジュール

USBのフレーム内の転送スケジューリング方法について説明します。USBは、SOFを送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行

パイプ1 → パイプ2 → パイプ6 → パイプ7 → パイプ8 → パイプ9の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送のセットアップトランザクション

DCPを確認してセットアップトランザクションが可能であれば送信します。

3. バルク、コントロール転送データステージ、ステータスステージの実行

DCP → パイプ1 → パイプ2 → パイプ3 → パイプ4 → パイプ5の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。

トランザクションを発行したとき、周辺デバイスからの応答がACKであってもNAKであっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3.を繰り返します。

30.3.11.3 USB通信許可

DVSTCTR0.UACTビットを“1”にすることにより、SOFの送信を開始し、トランザクションの発行が可能となります。

UACTビットを“0”にすると、SOFの送信を停止しサスペンドとなります。UACTビットを“1”から“0”にする場合、次のSOFを送信してから停止します。

30.4 使用上の注意事項

30.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタB(MSTPCRB)により、USBの動作を禁止または許可することができます。リセット後、USBの動作は停止しています。モジュールストップ状態を解除することによりレジスタにアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

31. シリアルコミュニケーションインタフェース (SCIk, SCIlh)

本 MCU は、独立した 4 チャンネルのシリアルコミュニケーションインタフェース (SCI: Serial Communications Interface) を備えています。SCI は、SCIk モジュール (SCI1, SCI5, SCI6) と、SCIlh モジュール (SCI12) から構成されています。

SCIk (SCI1, SCI5, SCI6) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIlh (SCI12) は、上記の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは PCLKB を指します。

31.1 概要

表 31.1 に SCIk の仕様を、表 31.2 に SCIlh の仕様を、表 31.3 に SCI チャンネル別機能一覧を示します。

図 31.1 に SCI1 のブロック図を、図 31.2 に SCI5、SCI6 のブロック図を、図 31.3 に SCI12 (SCIlh) のブロック図を示します。

表 31.1 SCIk の仕様 (1/2)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス
転送速度	ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表 31.4～表 31.6 参照
データ転送	LSB ファースト/MSB ファースト選択可能 (注1)
入出力信号レベル反転	入力信号、出力信号のレベルをそれぞれ独立して反転可能
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、データ一致開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能	チャンネルごとにモジュールストップ状態への遷移が可能

表31.1 SCIkの仕様 (2/2)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能
	データ一致検出	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	Lowまたは立ち下がりがエッジを選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がりがエッジまたは立ち上がりエッジのいずれかを遅延させることが可能
	ブレイク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出す、またはSPTR.RXDMONフラグを読み出すことでブレイクを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能(SCI5, SCI6)
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTS#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インパースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「31.2.11 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能	内蔵ポーレートジェネレータの出力補正により誤差を低減可能	
イベントリンク機能(SCI5のみ対応)	エラー(受信エラー・エラーシグナル検出)イベント出力	
	受信データフルイベント出力	
	送信データエンプティイベント出力	
	送信終了イベント出力	

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表31.2 SCIlhの仕様 (1/3)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易I²Cバス 簡易SPIバス

表31.2 SC1hの仕様 (2/3)

項目		内容
転送速度		ポーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表31.4～表31.7参照
データ転送		LSBファースト/MSBファースト選択可能(注1)
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー 開始条件/再開条件/停止条件生成終了(簡易I ² Cモード用)
消費電力低減機能		モジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「31.2.11 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能

表31.2 SCIlhの仕様 (3/3)

項目		内容
拡張シリアルモード	Start Frame 送信	<ul style="list-style-type: none"> Break Field Low widthの出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	<ul style="list-style-type: none"> Break Field Low widthの検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 Break FieldがないStart Frameにも対応可能 Control Field 0がないStart Frameにも対応可能 ビットレート測定機能あり
	入出力制御機能	<ul style="list-style-type: none"> TXDX12/RXDX12信号の極性選択が可能 RXDX12信号にデジタルフィルタ機能を設定可能 RXDX12端子とTXDX12端子を兼用した半二重通信が可能 RXDX12端子受信データサンプリングタイミング選択可能
	タイマ機能	<ul style="list-style-type: none"> リロードタイマ機能として使用可能
ビットレートモジュレーション機能		内蔵ポーレートジェネレータの出力補正により誤差を低減可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表31.3 SCIチャネル別機能一覧

項目	SCI1	SCI5	SCI6	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタフェースモード	○	○	○	○
簡易I ² Cモード	○	○	○	○
簡易SPIモード	○	○	○	○
データ一致検出	○	○	○	—
拡張シリアルモード	—	—	—	○
TMRクロック入力	—	○	○	○
イベントリンク機能	—	○	—	—

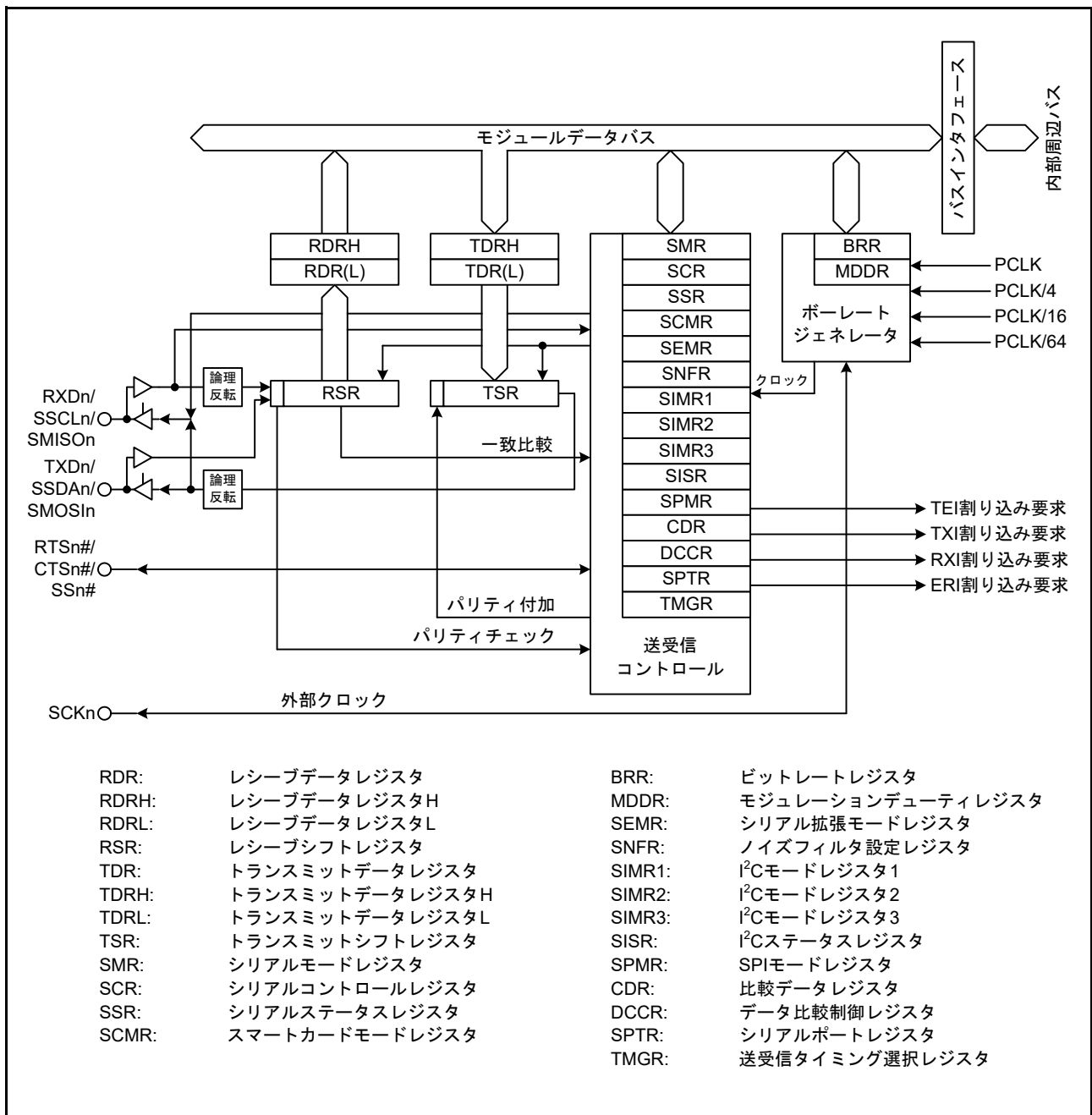


図 31.1 SCI (SCI1) のブロック図

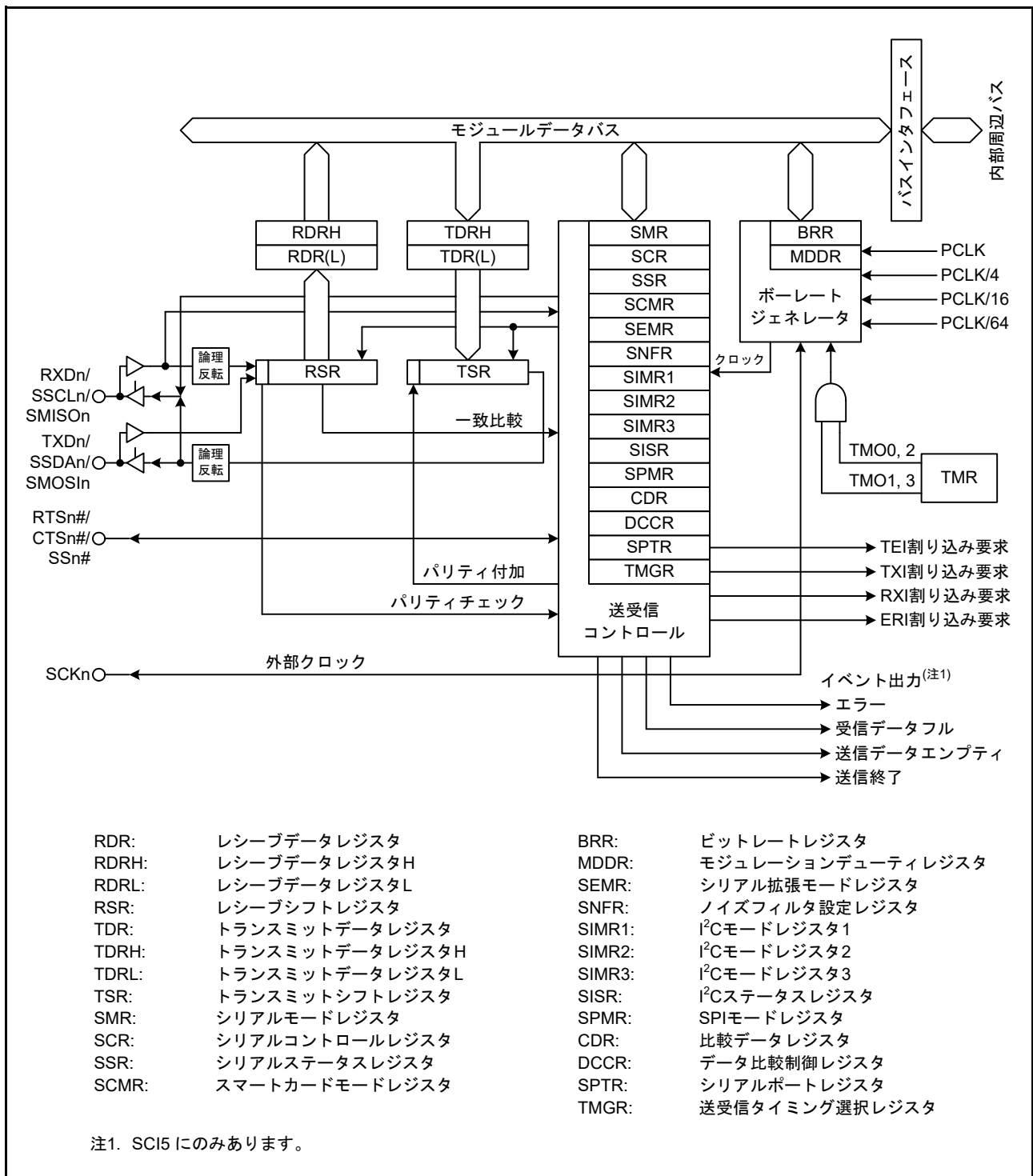


図 31.2 SCIk (SCI5, SCI6) のブロック図

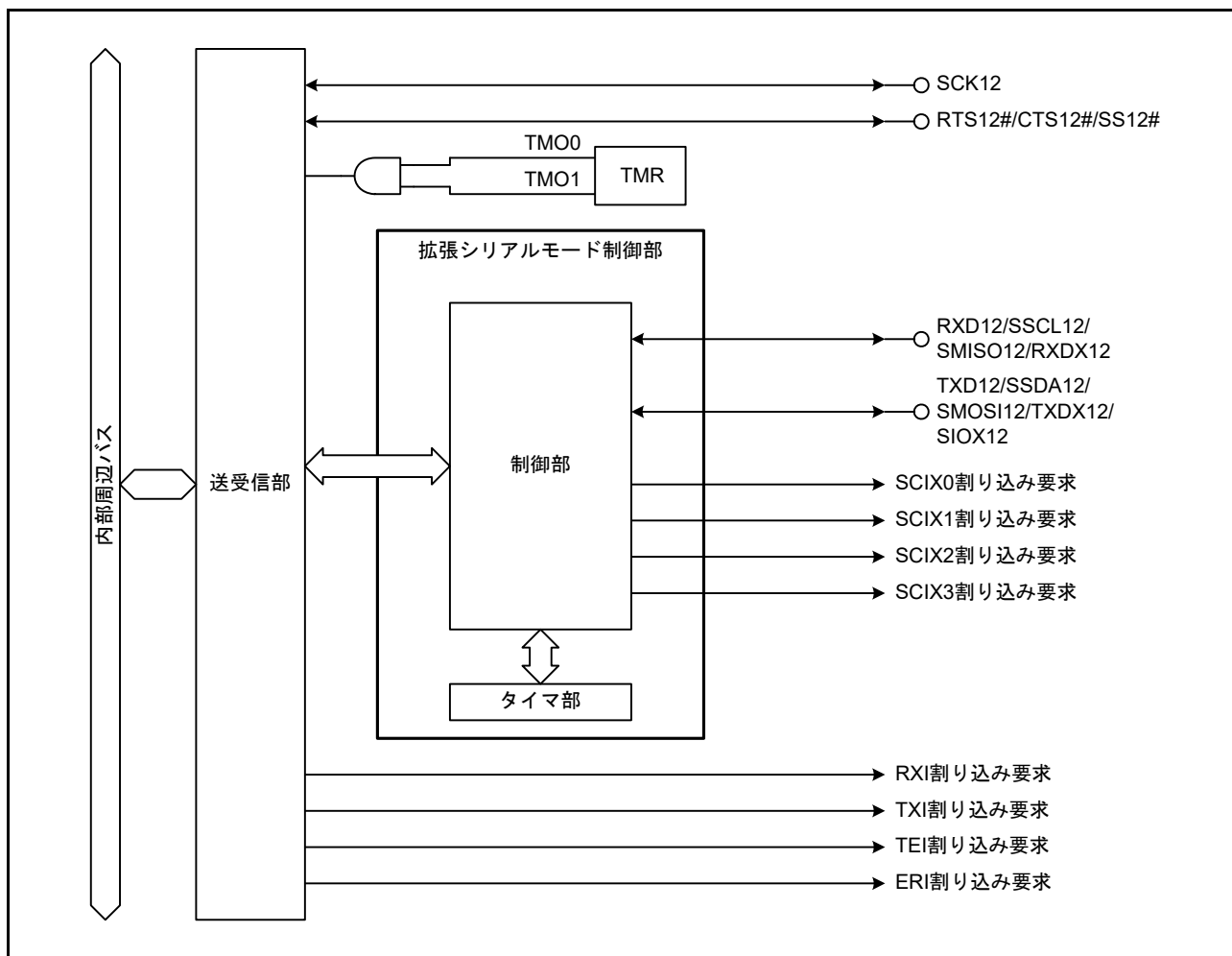


図 31.3 SCIlh (SCI12) のブロック図

表 31.4 ~ 表 31.7 に SCI の入出力端子をモード別に示します。

表 31.4 SCI の入出力端子 (調歩同期式/クロック同期式モード)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 31.5 SCI の入出力端子 (簡易 I²C モード)

チャンネル	端子名	入出力	機能
SCI1	SSCL1	入出力	SCI1の I ² C クロック入出力端子
	SSDA1	入出力	SCI1の I ² C データ入出力端子
SCI5	SSCL5	入出力	SCI5の I ² C クロック入出力端子
	SSDA5	入出力	SCI5の I ² C データ入出力端子
SCI6	SSCL6	入出力	SCI6の I ² C クロック入出力端子
	SSDA6	入出力	SCI6の I ² C データ入出力端子
SCI12	SSCL12	入出力	SCI12の I ² C クロック入出力端子
	SSDA12	入出力	SCI12の I ² C データ入出力端子

表 31.6 SCI の入出力端子 (簡易 SPI モード) (1/2)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子

表31.6 SCIの入出力端子(簡易SPIモード) (2/2)

チャンネル	端子名	入出力	機能
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表31.7 SCIの入出力端子(拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

31.2 レジスタの説明

31.2.1 レシーブシフトレジスタ (RSR)

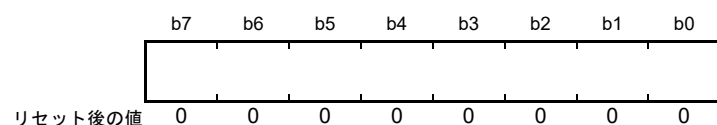
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

31.2.2 レシーブデータレジスタ (RDR)

アドレス SCI1.RDR 0008 A025h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h, SCI12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

31.2.3 レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)

- レシーブデータレジスタ H (RDRH)

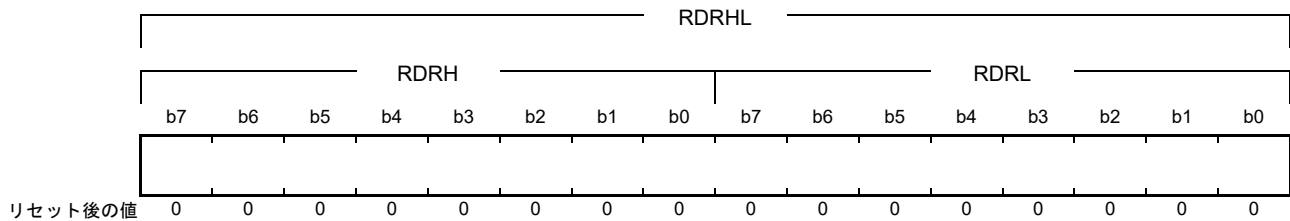
アドレス SCI1.RDRH 0008 A030h, SCI5.RDRH 0008 A0B0h, SCI6.RDRH 0008 A0D0h, SCI12.RDRH 0008 B310h

- レシーブデータレジスタ L (RDRL)

アドレス SCI1.RDRL 0008 A031h, SCI5.RDRL 0008 A0B1h, SCI6.RDRL 0008 A0D1h, SCI12.RDRL 0008 B311h

- レシーブデータレジスタ HL (RDRHL)

アドレス SCI1.RDRHL 0008 A030h, SCI5.RDRHL 0008 A0B0h, SCI6.RDRHL 0008 A0D0h, SCI12.RDRHL 0008 B310h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドウとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は“0”に固定されており、読むと“0”が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

31.2.4 トランスミットデータレジスタ (TDR)

アドレス SCI1.TDR 0008 A023h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h, SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

31.2.5 トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)

- トランスミットデータレジスタ H (TDRH)

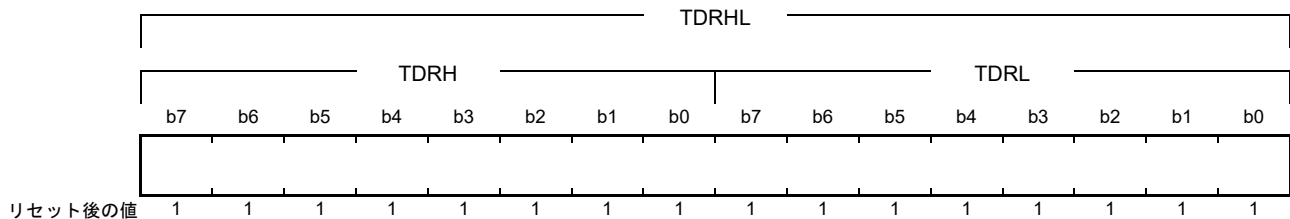
アドレス SCI1.TDRH 0008 A02Eh, SCI5.TDRH 0008 A0AEh, SCI6.TDRH 0008 A0CEh, SCI12.TDRH 0008 B30Eh

- トランスミットデータレジスタ L (TDRL)

アドレス SCI1.TDRL 0008 A02Fh, SCI5.TDRL 0008 A0AFh, SCI6.TDRL 0008 A0CFh, SCI12.TDRL 0008 B30Fh

- トランスミットデータレジスタ HL (TDRHL)

アドレス SCI1.TDRHL 0008 A02Eh, SCI5.TDRHL 0008 A0AEh, SCI6.TDRHL 0008 A0CEh, SCI12.TDRHL 0008 B30Eh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドウとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDRH レジスタおよび TDRL レジスタは CPU からリード/ライト可能です。TDRH レジスタの b1 から b7 は“1”に固定されており、読むと“1”が読めます。書く場合、“1”としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

31.2.6 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

31.2.7 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SMR 0008 A020h, SCI5.SMR 0008 A0A0h, SCI6.SMR 0008 A0C0h, SCI12.SMR 0008 B300h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット = 1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効 (注2)) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信 (初期値) 1 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I ² Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「31.2.11 ビットレートレジスタ(BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7)は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「31.2.11 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SMR 0008 A020h, SMC15.SMR 0008 A0A0h, SMC16.SMR 0008 A0C0h, SMC112.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表31.8にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0 : 非ブロック転送モードで動作します 1 : ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0 : 非GSMモードで動作します 1 : GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「31.2.11 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「31.2.11 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「31.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表31.8 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「31.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「31.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティ イネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「31.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu: Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「31.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「31.6.8 クロック出力制御」を参照してください。

31.2.8 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SCR 0008 A022h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	(調歩同期式の場合) $b_1 b_0$ 0 0: 内蔵ポーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロックまたはTMRクロック (注2) 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください。 TMRクロック使用時 (注2)は、SCKn端子はハイインピーダンスになります。 (クロック同期式の場合) $b_1 b_0$ 0 x: 内部クロック SCKn端子はクロック出力端子となります 1 x: 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0: TEI割り込み要求を禁止 1: TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	(調歩同期式モードで、SMR.MPビット=1のとき有効) 0: 通常の受信動作 1: マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF, ORER, FERの各ステータスフラグのセット (“1”)を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注3)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注3)
b6	RIE	レシーブインタラプトイネーブル ビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SCI5、SCI6、SCI12のみ選択可能。

注3. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンド インタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モードでは、開始 / 再開始 / 停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、ORER、FER フラグの各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「31.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、RDRF、ORER、FER の各フラグのセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、RDRF、ORER、FER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SCR 0008 A022h, SMC15.SCR 0008 A0A2h, SMC16.SCR 0008 A0C2h, SMC112.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 0 0 : 出力ディセーブル SCKn端子はハイインピーダンスになります 0 1 : クロック出力 1 x : 設定しないでください SMR.GMビット=1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ行ってください。

各割り込み要求については、「31.12 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「31.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

31.2.9 シリアルステータスレジスタ (SSR)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SSR 0008 A024h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- データ一致検出機能が無効の場合に、受信中にパリティエラーを検出したとき (SCI1, SCI5, SCI6)
- 受信中にパリティエラーを検出したとき (SCI12)
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
PER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- データ一致検出機能が無効の場合に、ストップビットの "0" を検出したとき (SCI1, SCI5, SCI6)
- ストップビットが "0" のとき (SCI12)
2 ストップモードのときは、1 ビット目のストップビットが "1" であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
FER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
ORER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0"になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

["1"になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0"になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SSR 0008 A024h, SMC15.SSR 0008 A0A4h, SMC16.SSR 0008 A0C4h, SMC12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。"0" としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタに有効なデータなし 1: RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタに未送信のデータあり 1: TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための"0"書き込みのみ可能です。フラグをクリアする場合は、フラグが"1"であることを確認してから"0"を書いてください。

注2. 書く場合"1"としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態でも TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ERS フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1”になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

31.2.10 スマートカードモードレジスタ (SCMR)

アドレス SCI1.SCMR 0008 A026h, SCI5.SCMR 0008 A0A6h, SCI6.SCMR 0008 A0C6h, SCI12.SCMR 0008 B306h, SMC11.SCMR 0008 A026h, SMC15.SCMR 0008 A0A6h, SMC16.SCMR 0008 A0C6h, SMC12.SCMR 0008 B306h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	CHR1	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインパートビット (注2、注3)	0: TDRレジスタのデータビットをそのままTSRレジスタに転送、RSRレジスタのデータビットをそのままRDRレジスタに転送 1: TDRレジスタのデータビットを反転してTSRレジスタに転送、RSRレジスタのデータビットを反転してRDRレジスタに転送	R/W (注1)
b3	SDIR	送受信データトランスファディレクションビット(注2、注4)	0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1(注5)	SMR.CHRビットと組み合わせで選択します CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信(初期値) 1 1: データ長7ビットで送受信(注6)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせで選択します 表31.9にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. スマートカードインタフェースモード、調歩同期式モード(マルチプロセッサモード)、クロック同期式モード、簡易SPIモードで使用可能です。

注3. 簡易I²Cモードで動作させる場合は、“0”にしてください

注4. 簡易I²Cモードで動作させる場合は、“1”にしてください

注5. 調歩同期式モードでのみ有効です。調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注6. LSBファースト固定となり、送信ではTDRレジスタのMSB(b7)は送信されません。

SMIF ビット (スマートカードインタフェース モードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式(マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインパートビット)

データレジスタとシフトレジスタ間のデータ転送時にロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PMビットを反転してください。

CHR1 ビット (キャラクタレングスビット 1)

送受信データのデータ長を選択します。

SMR.CHR ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルスビット 2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

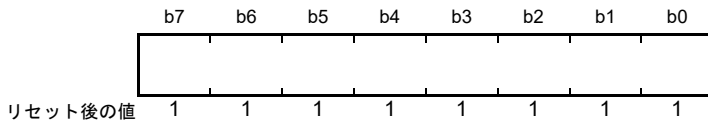
表 31.9 SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93 クロック (S = 93) (注1)
0	0	1	128 クロック (S = 128) (注1)
0	1	0	186 クロック (S = 186) (注1)
0	1	1	512 クロック (S = 512) (注1)
1	0	0	32 クロック (S = 32) (注1) (初期値)
1	0	1	64 クロック (S = 64) (注1)
1	1	0	372 クロック (S = 372) (注1)
1	1	1	256 クロック (S = 256) (注1)

注1. Sは「31.2.11 ビットレートレジスタ(BRR)」中のSの値を表します。

31.2.11 ビットレートレジスタ (BRR)

アドレス SCI1.BRR 0008 A021h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 31.10、表 31.11 に示します。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 31.10 BRR レジスタの設定値 N とビットレート B の関係 (SCI1, SCI5, SCI6)

モード	SEMR レジスタの設定			BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$	
クロック同期式、簡易 SPI				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 (0 ≤ N ≤ 255)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 31.13、表 31.14 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表31.11 BRRレジスタの設定値NとビットレートBの関係 (SCI12)

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 (0 ≤ N ≤ 255)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 31.13、表 31.14 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表31.12 SCL High/Low幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅 (min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表31.13 クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表31.14 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の基本クロックパルス数	S
0	00	93クロック	93
0	01	128クロック	128
0	10	186クロック	186
0	11	512クロック	512
1	00	32クロック	32
1	01	64クロック	64
1	10	372クロック	372
1	11	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 31.15 に、各動作周波数における設定可能な最高ビットレートを表 31.17 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 31.20 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 31.22 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 31.24 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「31.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 31.18、表 31.21 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードで SEMR.ABCS ビットまたは BGDM ビットのいずれか一方のビットを“1”にしたときのビットレートは表 31.15 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表31.15 ビットレートに対するBRRの設定例(調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)								
	20			25			30		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1200	1	129	0.16	1	162	-0.15	1	194	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35
4800	0	129	0.16	0	162	-0.15	0	194	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31250	0	19	0.00	0	24	0.00	0	29	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73

注. SEMR.ABCSビット、SEMR.ABCSEビット、SEMR.BGDMビットがすべて“0”のときの例です。
 ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
 ABCSビット、BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。
 ABCSEビットを“1”にしたときは、ビットレートが16/3倍になります。

表31.16 各動作周波数における最高ビットレート(調歩同期式モード) (SCI1, SCI5, SCI6)

PCLK (MHz)	SEMRレジスタの設定値					最高ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値					最高ビット レート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	9.8304	0	0	0	0	0	307200
		1	0	0	0	500000			1	0	0	0	614400
	1	0	0	0	0	1000000		1	0	0	0	0	1228800
		1	0	0	0				0	0	0	0	
任意	任意	1	0	0	1333333	任意	任意	1	0	0	1638400		
10	0	0	0	0	0	312500	12	0	0	0	0	0	375000
		1	0	0	0	625000			1	0	0	0	750000
	1	0	0	0	0	1250000		1	0	0	0	0	1500000
		1	0	0	0				0	0	0	0	
任意	任意	1	0	0	1666667	任意	任意	1	0	0	2000000		
12.288	0	0	0	0	0	384000	14	0	0	0	0	0	437500
		1	0	0	0	768000			1	0	0	0	875000
	1	0	0	0	0	1536000		1	0	0	0	0	1750000
		1	0	0	0				0	0	0	0	
任意	任意	1	0	0	2048000	任意	任意	1	0	0	2333333		
16	0	0	0	0	0	500000	17.2032	0	0	0	0	0	537600
		1	0	0	0	1000000			1	0	0	0	1075200
	1	0	0	0	0	2000000		1	0	0	0	0	2150400
		1	0	0	0				0	0	0	0	
任意	任意	1	0	0	2666667	任意	任意	1	0	0	2867200		
18	0	0	0	0	0	562500	19.6608	0	0	0	0	0	614400
		1	0	0	0	1125000			1	0	0	0	1228800
	1	0	0	0	0	2250000		1	0	0	0	0	2457600
		1	0	0	0				0	0	0	0	
任意	任意	1	0	0	3000000	任意	任意	1	0	0	3276800		
20	0	0	0	0	0	625000	25	0	0	0	0	0	781250
		1	0	0	0	1250000			1	0	0	0	1562500
	1	0	0	0	0	2500000		1	0	0	0	0	3125000
		1	0	0	0				0	0	0	0	
任意	任意	1	0	0	3333333	任意	任意	1	0	0	4166667		
30	0	0	0	0	0	937500							
		1	0	0	0	1875000							
	1	0	0	0	0	3750000							
		1	0	0	0				0				
任意	任意	1	0	0	5000000								

表31.17 各動作周波数における最高ビットレート(調歩同期式モード) (SCI12)

PCLK (MHz)	SEMRレジスタの設定値				最高ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最高ビット レート (bps)
	BGDM ビット	ABCS ビット	n	N			BGDM ビット	ABCS ビット	n	N	
8	0	0	0	0	250000	9.8304	0	0	0	0	307200
		1	0	0	500000			1	0	0	614400
	1	0	0	0	1000000		1	0	0	0	1228800
		1	0	0							
10	0	0	0	0	312500	12	0	0	0	0	375000
		1	0	0	625000			1	0	0	750000
	1	0	0	0	1250000		1	0	0	0	1500000
		1	0	0							
12.288	0	0	0	0	384000	14	0	0	0	0	437500
		1	0	0	768000			1	0	0	875000
	1	0	0	0	1536000		1	0	0	0	1750000
		1	0	0							
16	0	0	0	0	500000	17.2032	0	0	0	0	537600
		1	0	0	1000000			1	0	0	1075200
	1	0	0	0	2000000		1	0	0	0	2150400
		1	0	0							
18	0	0	0	0	562500	19.6608	0	0	0	0	614400
		1	0	0	1125000			1	0	0	1228800
	1	0	0	0	2250000		1	0	0	0	2457600
		1	0	0							
20	0	0	0	0	625000	25	0	0	0	0	781250
		1	0	0	1250000			1	0	0	1562500
	1	0	0	0	2500000		1	0	0	0	3125000
		1	0	0							
30	0	0	0	0	937500			0	0	0	
		1	0	0	1875000			1	0	0	3750000
	1	0	0	0				0	0	0	
		1	0	0							

表31.18 外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット=0	SEMR.ABCS ビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500

表31.19 TMRクロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	TMRクロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット=0	SEMR.ABCS ビット=1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000

表31.20 ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8		10		16		20		25		30	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	3	124	3	155	3	249						
500	2	249	3	77	3	124	3	155	3	194	3	233
1k	2	124	2	155	2	249	3	77	3	97	3	116
2.5k	1	199	1	249	2	99	2	124	2	155	2	187
5k	1	99	1	124	1	199	1	249	2	77	2	93
10k	0	199	0	249	1	99	1	124	1	155	1	187
25k	0	79	0	99	0	159	0	199	0	249	1	74
50k	0	39	0	49	0	79	0	99	0	124	0	149
100k	0	19	0	24	0	39	0	49	0	62	0	74
250k	0	7	0	9	0	15	0	19	0	24	0	29
500k	0	3	0	4	0	7	0	9	—	—	0	14
1M	0	1			0	3	0	4	—	—		
2M	0	0 (注1)			0	1			—	—		
2.5M			0	0 (注1)			0	1			0	2
4M					0	0 (注1)						
5M							0	0 (注1)				
6.25M									0	0 (注1)		
7.5M											0	0 (注1)

空欄：誤差が5%を超えるため、設定できません。

—：設定可能ですが1～5%の誤差がでます。

注1. 連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます(同期クロックの出力が1ビット期間停止します)。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表31.21 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000

表31.22 ビットレートに対するBRRの設定例(スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01

表31.23 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS=32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0

表31.24 ビットレートに対するBRRの設定例(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	0	49	0.0	0	62	-0.8	0	77	0.2
25k	0	9	0.0	0	12	-3.8	1	4	0.0	0	24	0.0	0	30	0.8
50k	0	4	0.0	0	5	4.2	0	9	0.0	0	12	-3.8	2	0	-2.3
100k	0	2	-16.7	1	0	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	-16.7	0	2	4.2
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)		
	30		
	n	N	誤差 (%)
10k	0	93	-0.3
25k	0	37	-1.3
50k	0	18	-1.3
100k	0	9	-6.3
250k	1	0	-6.3
350k	0	2	-10.7

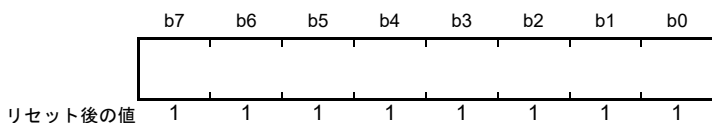
表31.25 各ビットレート設定でのSCL High/Low幅最小値(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	0	49	43.75/50.00	0	62	44.10/50.40
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	0	24	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	0	9	8.75/10.00	0	12	9.10/10.40
100k	0	2	5.25/6.00	1	0	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)					
	25			30		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	77	43.68/49.92	0	93	43.87/50.13
25k	0	30	17.36/19.84	0	37	17.73/20.27
50k	2	0	8.96/10.24	0	18	8.87/10.13
100k	1	1	4.48/5.12	0	9	4.67/5.33
250k	0	2	1.68/1.92	1	0	1.87/2.13
350k	0	2	1.68/1.92	0	2	1.40/1.60

31.2.12 モジュレーションデューティレジスタ (MDDR)

アドレス SCI1.MDDR 0008 A032h, SCI5.MDDR 0008 A0B2h, SCI6.MDDR 0008 A0D2h, SCI12.MDDR 0008 B312h



MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが“1”にセットされているとき、内蔵ポーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR レジスタの設定値 M とビットレート B の関係を表 31.26、表 31.27 に示します。

MDDR レジスタに設定できる値の範囲は、“80h”以上“FFh”以下です。これ以外の値は設定できません。MDDR レジスタへの書き込みは、SCR.TE ビット=0、SCR.RE ビット=0 の場合のみ可能です。

表 31.26 ビットレートモジュレーション機能使用時のMDDRレジスタ設定値MとビットレートBの関係(SCI1, SCI5, SCI6)

モード	SEMRレジスタの設定			BRRレジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI(注1)				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C(注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 (128 ≤ M ≤ 255)

N: ポーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLK: 動作周波数 (MHz)

n と S: 「31.2.11 ビットレートレジスタ (BRR)」表 31.13、表 31.14 のとおり SMR、SCMR レジスタの設定値によって決まります。

- 注1. クロック同期式モードおよび簡易SPIモードの最高速設定 (SMR.CKS[1:0]ビット=00b、かつSCR.CKE[1]ビット=0、かつBRR=0)では、本機能を使用しないでください。
- 注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

表31.27 ビットレートモジュレーション機能使用時のMDDRレジスタ設定値MとビットレートBの関係 (SCI12)

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDRレジスタの設定値 ($128 \leq M \leq 255$)

N: ボーレートジェネレータのBRRの設定値 ($0 \leq N \leq 255$)

PCLK: 動作周波数 (MHz)

nとS: 「31.2.11 ビットレートレジスタ (BRR)」表31.13、表31.14のとおりSMR、SCMRレジスタの設定値によって決まります。

- 注1. クロック同期式モードおよび簡易SPIモードの最高速設定 (SMR.CKS[1:0]ビット=00b、かつSCR.CKE[1]ビット=0、かつBRR=0)では、本機能を使用しないでください。
- 注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

なお、SMR.CKS[1:0]ビットの設定値を小さく、BRRレジスタの設定値を大きくした方が、1ビット期間の長さの長短差が小さくなります。

31.2.13 シリアル拡張モードレジスタ (SEMR)

アドレス SCI1.SEMR 0008 A027h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI12.SEMR 0008 B307h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	ITE	ACS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードでのみ有効) 0: 外部クロック 1: TMRから出力される2つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	ITE	即時送信許可ビット(注2)	(調歩同期式モードでのみ有効) 0: 送信許可からデータ送信の開始までに内部待機期間あり 1: 送信許可にするとともにデータ送信開始	R/W (注1)
b2	BRME	ビットレートモジュレーションイネーブルビット	0: ビットレートモジュレーション機能無効 1: ビットレートモジュレーション機能有効	R/W (注1)
b3	ABCSE	調歩同期基本クロックセレクト拡張ビット(注2)	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: 1ビット期間の転送レートはBGDMビットとABCSビットの設定に従う 1: 基本クロック6サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードでのみ有効) 0: 基本クロック16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードでのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がリエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. SCI12では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (SMR.CM ビット = 0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b, 11b) のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを“0”にしてください。

SCI5、SCI6、SCI12 では、TMR ユニット 0、1 の TMO_n (n = 0 ~ 3 出力を基本クロックソースにすることができます。詳細は表 31.28 を参照してください。

SCI11 の ACS0 ビットは予約ビットです。SCI11 では“0”にしてください。

表31.28 SCIのチャンネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット0	TMO0, TMO1
SCI6	ユニット1	TMO2, TMO3
SCI12	ユニット0	TMO0, TMO1

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を図 31.4 に示します。

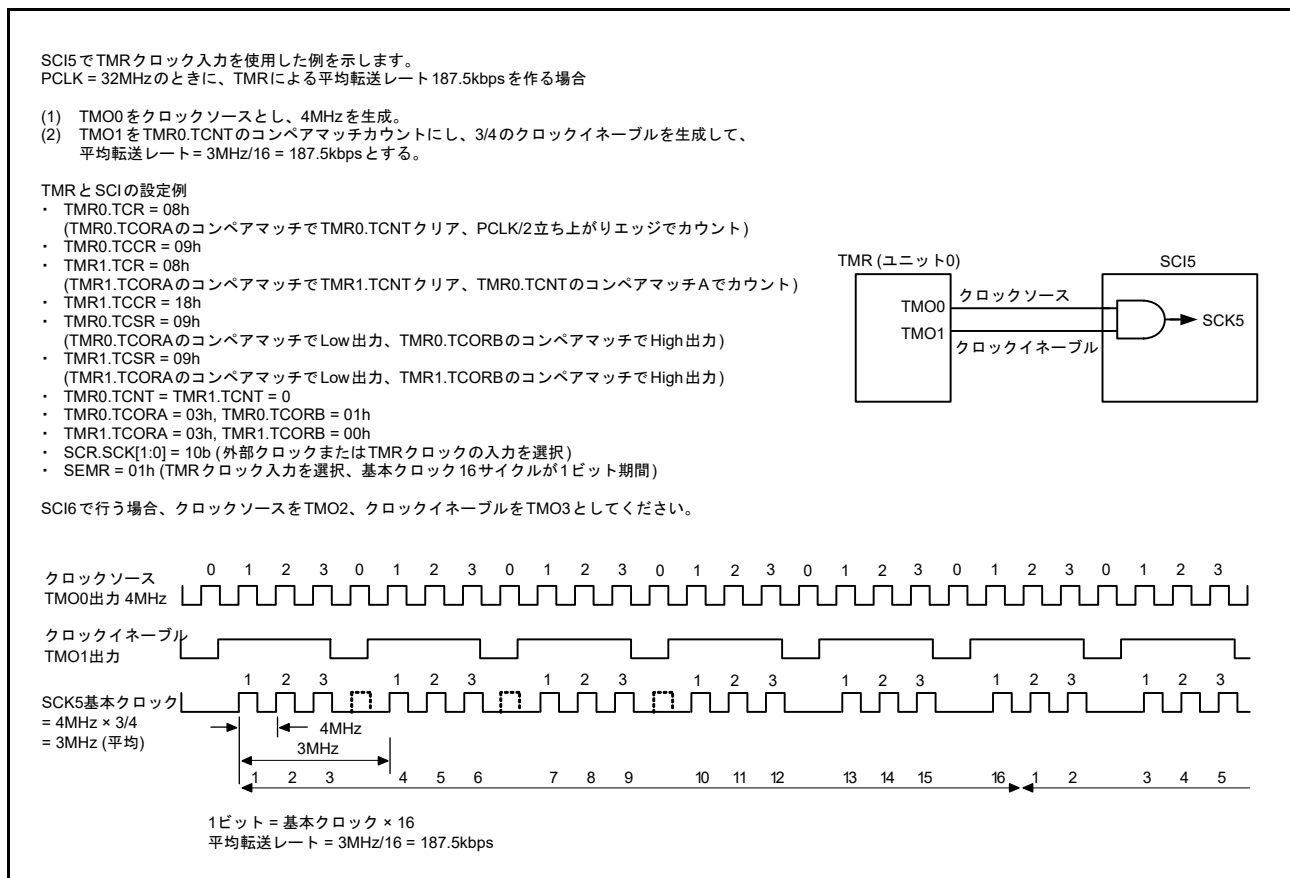


図 31.4 TMR クロック入力時の平均転送レート設定例

ITE ビット (即時送信許可ビット)

調歩同期式モードにおいて、内部待機期間なしでデータ送信を開始させるためのビットです。“0”の場合、SCR.TE ビットを“1”にしてからデータ送信が開始されるまでに、1 フレーム分の内部待機期間を確保します。“1”にすると、SCR.TE ビットを“1”にした直後にデータ送信が開始されます。

BRME ビット (ビットレートモジュレーションイネーブルビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

ABCSE ビット (調歩同期基本クロックセレクト拡張ビット)

このビットを“1”にすると、基本クロック 6 サイクルの期間が 1 ビット期間の転送レートになります。また、内蔵ボーレートジェネレータから 2 倍の周波数のクロックが出力されます。

調歩同期式モード (SMR.CM ビット = 0) で、クロックソースに内蔵ボーレートジェネレータを選択 (SCR.CKE[1] ビット = 0) したときに有効です。

なお、ビットレートを PCLK の 1/6 の周波数にする場合は、このビットを“1”にするとともに、SMR.CKS[1:0] ビットを“00b”に、BRR レジスタを“00h”にしてください。

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット (ボーレートジェネレータ倍速モードセレクトビット)

ボーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード (SMR.CM ビット = 0) で、クロックソースに内蔵ボーレートジェネレータを選択 (SCR.CKE[1] ビット = 0) したときに有効です。内蔵ボーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット = 1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では“0”を設定してください。

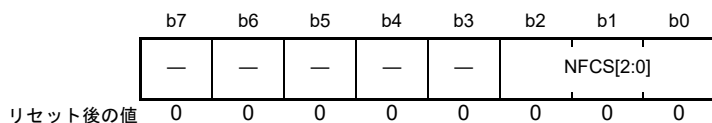
RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

31.2.14 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI1.SNFR 0008 A028h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h, SCI12.SNFR 0008 B308h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用 簡易I ² Cモード時、SMR.CKS[1:0]ビットで選択した内蔵 ポーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

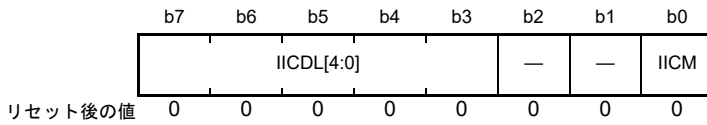
NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易I²Cモード時は“001b”～“100b”の中で設定してください。

31.2.15 I²C モードレジスタ 1 (SIMR1)

アドレス SCI1.SIMR1 0008 A029h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h, SCI12.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPIモード) 0 1: 簡易I ² Cモード 1 0: スマートカードインタフェースモード 1 1: 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 00000: 出力遅延なし 00001: 0~1サイクル 00010: 1~2サイクル 00011: 2~3サイクル 00100: 3~4サイクル 00101: 4~5サイクル : : 11110: 29~30サイクル 11111: 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR1レジスタは、簡易I²Cモード、およびSSDA出力遅延段数を選択するためのレジスタです。

IICMビット (簡易I²Cモードセレクトビット)

SCMR.SMIFビットとの組み合わせで、動作モードを選択します。

IICDL[4:0]ビット (SSDA出力遅延セレクトビット)

SSCLn端子出力の立ち下がりに対するSSDAn端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLKをSMR.CKS[1:0]ビットの設定により分周されたクロックを指します。簡易I²Cモード以外では“00000b”を設定してください。簡易I²Cモード時は、“00001b”~“11111b”のいずれかを設定してください。

31.2.16 I²C モードレジスタ 2 (SIMR2)

アドレス SCI1.SIMR2 0008 A02Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh, SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに“1”を設定します。

IICCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

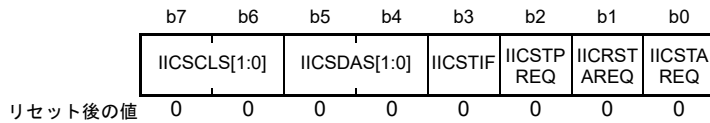
デバッグ時を除いて IICCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

31.2.17 I²C モードレジスタ 3 (SIMR3)

アドレス SCI1.SIMR3 0008 A02Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh, SCI12.SIMR3 0008 B30Bh



ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開開始条件生成ビット	0 : 再開開始条件を生成しない 1 : 再開開始条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開開始/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開開始条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開開始条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

- 注1. SSCLn端子とSSDAn端子が両方ともHigh (それぞれの端子に対応するPIDRレジスタのビットが“1”)のときに開始条件生成を行ってください。
- 注2. SSCLn端子がLow (対応するPIDRレジスタのビットが“0”)のときに再開開始条件生成または停止条件生成を行ってください。
- 注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
- 注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。
- 注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICRSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1" になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

["0" になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

31.2.18 I²C ステータスレジスタ (SISR)

アドレス SCI1.SISR 0008 A02Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh, SCI12.SISR 0008 B30Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。**IICACKR フラグ (ACK 受信データフラグ)**

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCL_n クロックの立ち上がりのタイミングで更新されます。

31.2.19 SPIモードレジスタ (SPMR)

アドレス SCI1.SPMR 0008 A02Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh, SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn#端子機能イネーブルビット	0: SSn#端子機能禁止 1: SSn#端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0: CTS機能禁止(RTS出力機能有効) 1: CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0: SMOSIn端子: 送信、SMISOOn端子: 受信(マスタモード) 1: SMOSIn端子: 受信、SMISOOn端子: 送信(スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0: クロック極性反転なし 1: クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0: クロック遅れなし 1: クロック遅れあり	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMRレジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSEビット (SSn#端子機能イネーブルビット)

SSn#端子を用いて送受信制御を行う場合(簡易SPIモード)は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易SPIモードでも、マスタモード(SCR.CKE[1:0]ビット=00bかつMSSビット=0)かつシングルマスタで使用するときは、マスタ側のSSn#端子を用いた送受信制御は不要であり、SSEビットは“0”を設定します。SSEビット、CTSEビットの両方を有効にしないでください(設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSEビット (CTSイネーブルビット)

SSn#端子をCTS制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態ではRTSn#信号を出力します。スマートカードインタフェースモード、簡易SPIモード、簡易I²Cモード時は“0”を設定してください。CTSEビット、SSEビットの両方を有効にしないでください(設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSSビット (マスタスレーブセレクトビット)

簡易SPIモード時にマスタモード、スレーブモードを選択します。MSSビットを“1”にすると、SMOSIn端子から受信データを入力し、SMISOOn端子から送信データを出力します。

簡易SPIモード以外では“0”にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1”になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力が Low になったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、[図 31.62](#)を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

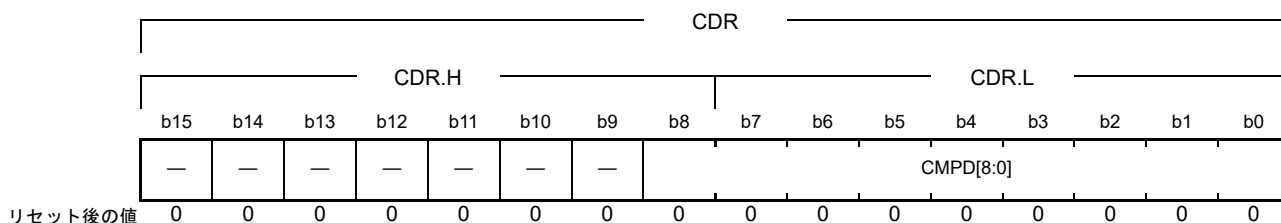
CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、[図 31.62](#)を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

31.2.20 比較データレジスタ (CDR)

アドレス SCI1.CDR 0008 A03Ah, SCI5.CDR 0008 A0BAh, SCI6.CDR 0008 A0DAh,
SCI1.CDR.H 0008 A03Ah, SCI5.CDR.H 0008 A0BAh, SCI6.CDR.H 0008 A0DAh,
SCI1.CDR.L 0008 A03Bh, SCI5.CDR.L 0008 A0BBh, SCI6.CDR.L 0008 A0DBh



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	比較データビット	データ一致検出機能を使用する場合の比較元データを設定します	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

CMPD[8:0] ビット (比較データビット)

データ一致検出機能で使します。有効ビット長は、SMR.CHR ビットと SCMR.CHR1 ビットで設定したキャラクタ長と同じです。

受信データとこのビットに設定した値が一致すると、DCCR.DCMF フラグが“1”になります。

31.2.21 データ比較制御レジスタ (DCCR)

アドレス SCI1.DCCR 0008 A033h, SCI5.DCCR 0008 A0B3h, SCI6.DCCR 0008 A0D3h

b7	b6	b5	b4	b3	b2	b1	b0
DCME	IDSEL	—	DFER	DPER	—	—	DCMF

リセット後の値 0 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データ一致フラグ	0: データ不一致 1: データ一致	R/(W) (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DPER	一致データパリティエラーフラグ	0: 一致したデータにパリティエラーなし 1: 一致したデータにパリティエラーあり	R/(W) (注1)
b4	DFER	一致データフレーミングエラーフラグ	0: 一致したデータにフレーミングエラーなし 1: 一致したデータにフレーミングエラーあり	R/(W) (注1)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	IDSEL	IDフレーム選択ビット(注2)	0: すべての受信データを比較する 1: マルチプロセッサビットが“1”の受信データのみ比較する	R/W
b7	DCME	データ一致検出機能許可ビット(注2)	0: データ一致検出機能無効 1: データ一致検出機能有効	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアするには、“1”であることを確認した後、“0”を書いてください。

注2. 調歩同期式モードでのみ有効です。

DCMF フラグ (データ一致フラグ)

受信データと CDR レジスタの値を比較した結果を示します。

["1"になる条件]

- DCME ビットが“1”の場合に、受信データと CDR レジスタの値が一致したとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
SCR.RE ビットを“0”にしても、DCMF フラグは影響を受けず以前の状態を保持します。

DPER フラグ (一致データパリティエラーフラグ)

一致したデータのパリティエラーの有無を示します。

["1"になる条件]

- データ一致を検出した受信データにパリティエラーがあったとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

DPER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

SCR.RE ビットを“0”にしても、DPER フラグは影響を受けず以前の状態を保持します。

DFER フラグ (一致データフレーミングエラーフラグ)

一致したデータのフレーミングエラーの有無を示します。

[“1”になる条件]

- データ一致を検出した受信フレームのストップビットが“0”であったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

DFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

SCR.RE ビットを“0”にしても、DFER フラグは影響を受けず以前の状態を保持します。

IDSEL ビット (ID フレーム選択ビット)

比較する受信データの条件を指定します。DCME ビットが“1”のときのみ有効です。

このビットを“1”にすると、マルチプロセッサビットが“1”の受信フレーム (ID フレーム) 内のデータだけを比較します。

このビットを“0”にすると、すべての受信データを比較します。

DCME ビット (データ一致検出機能許可ビット)

データ一致検出機能の有効/無効を設定するビットです。データ一致検出機能は調歩同期式モードでのみ有効です。これ以外のモードでは“0”にしてください。

このビットは、データの一致を検出すると自動的に“0”に戻ります。

31.2.22 シリアルポートレジスタ (SPTR)

アドレス SCI1.SPTR 0008 A03Ch, SCI5.SPTR 0008 A0BCh, SCI6.SPTR 0008 A0DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	TTADJ	RTADJ	TINV	RINV	—	SPB2IO	SPB2DT	RXDMON
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	RXDラインモニタフラグ	RINVビットが“0”のとき 0 : RXDn端子はLow 1 : RXDn端子はHigh RINVビットが“1”のとき 0 : RXDn端子はHigh 1 : RXDn端子はLow	R
b1	SPB2DT	シリアルポートブ레이크データビット (注1)	SCR.TEビット、SPB2DTビット、SPB2IOビット、TINVビットを組み合わせ、TXDn端子を制御します。詳細は表 31.29を参照してください	R/W
b2	SPB2IO	シリアルポートブ레이크入出力ビット (注1)		R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	RINV	受信入力反転ビット (注2)	0 : RXD端子からの入力信号を反転しない 1 : RXD端子からの入力信号を反転する	R/W (注3)
b5	TINV	送信出力反転ビット (注2)	0 : TXD端子への出力信号を反転しない 1 : TXD端子への出力信号を反転する	R/W (注3)
b6	RTADJ	受信データサンプリングタイミング調整ビット (注4)	0 : 受信データのサンプリングポイントを調整しない 1 : 受信データのサンプリングポイントを調整する	R/W (注3)
b7	TTADJ	送信信号変化タイミング調整ビット (注4)	0 : 送信データの変化タイミングを調整しない 1 : 送信データの変化タイミングを調整する	R/W (注3)

注1. 調歩同期式モードでのみ有効です。

注2. スマートカードインタフェースモード、簡易I²Cモードで動作させる場合は、“0”にしてください。

注3. SCR.TEビットとREビットがともに“0”のときのみ書き換え可能です。

注4. 調歩同期式モードで、クロックソースに内蔵ポーレートジェネレータを選択したときのみ有効です。

RXDMON フラグ (RXD ラインモニタフラグ)

RXDn 端子のレベルをモニタするためのフラグです。

SPB2DT ビット (シリアルポートブ레이크データビット)

SCR.TE ビットが“0”のときに、TXDn 端子の出力レベルを指定するビットです。詳細は表 31.29 を参照してください。

SPB2IO ビット (シリアルポートブ레이크入出力ビット)

SCR.TE ビットが“0”のときに、TXDn 端子の入出力を指定するビットです。TXDn 端子をソフトウェアで制御する場合は、“1” (出力) に設定してください。

表 31.29 TXDn端子の制御

SCR.TEビットの設定値	SPB2IOビットの設定値	SPB2DTビットの設定値	TINVビットの設定値	TXDn端子の状態
0 (送信禁止)	0 (入力)	任意	任意	Hi-Z
	1 (出力)	0	0	Low を出力
			1	High を出力
		1	0	High を出力
			1	Low を出力
1 (送信許可)	任意	任意	任意	送信データ出力端子

RINV ビット (受信入力反転ビット)

RXDn 端子からの入力信号をレシーブシフトレジスタの手前で論理反転するビットです。データビットだけでなく、スタートビット、パリティビット、ストップビットも反転します。

TINV ビット (送信出力反転ビット)

トランスミットシフトレジスタの出力信号を TXDn 端子の手前で論理反転するビットです。データビットだけでなく、スタートビット、パリティビット、ストップビットも反転します。

RTADJ ビット (受信データサンプリングタイミング調整ビット)

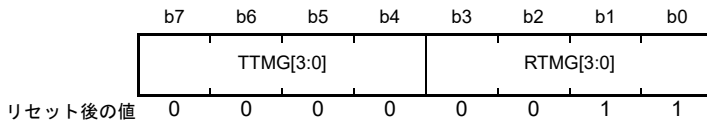
受信データのサンプリングポイントを、デフォルトの位置から変更するビットです。伝送線路や途中のデバイスの特性により、受信信号の High/Low 幅が変化してしまった場合などに、受信マージンを改善するために使用します。通常は“0”にしてください。

TTADJ ビット (送信信号変化タイミング調整ビット)

送信信号の High/Low が変化するタイミングを、デフォルトの位置から変更するビットです。伝送線路や途中のデバイスの特性により、送信信号の High/Low 幅が変化することが予想される場合などに、相手デバイスの受信マージンを改善するために使用します。通常は“0”にしてください。

31.2.23 送受信タイミング選択レジスタ (TMGR)

アドレス SCI1.TMGR 0008 A03Dh, SCI5.TMGR 0008 A0BDh, SCI6.TMGR 0008 A0DDh



ビット	シンボル	ビット名	機能	R/W
b3-b0	RTMG[3:0]	受信データサンプリングタイミング選択ビット (注1)	b3 b0 1111: デフォルト位置から7クロック前でサンプリング 1110: デフォルト位置から6クロック前でサンプリング 1101: デフォルト位置から5クロック前でサンプリング 1100: デフォルト位置から4クロック前でサンプリング 1011: デフォルト位置から3クロック前でサンプリング 1010: デフォルト位置から2クロック前でサンプリング 1001: デフォルト位置から1クロック前でサンプリング x000: デフォルト位置でサンプリング 0001: デフォルト位置から1クロック後でサンプリング 0010: デフォルト位置から2クロック後でサンプリング 0011: デフォルト位置から3クロック後でサンプリング 0100: デフォルト位置から4クロック後でサンプリング 0101: デフォルト位置から5クロック後でサンプリング 0110: デフォルト位置から6クロック後でサンプリング 0111: デフォルト位置から7クロック後でサンプリング	R/W (注2)
b7-b4	TTMG[3:0]	送信信号変化タイミング選択ビット (注3)	b7 b4 1111: “1”から“0”への変化を7クロック遅らせる 1110: “1”から“0”への変化を6クロック遅らせる 1101: “1”から“0”への変化を5クロック遅らせる 1100: “1”から“0”への変化を4クロック遅らせる 1011: “1”から“0”への変化を3クロック遅らせる 1010: “1”から“0”への変化を2クロック遅らせる 1001: “1”から“0”への変化を1クロック遅らせる x000: 波形を変化させない 0001: “0”から“1”への変化を1クロック遅らせる 0010: “0”から“1”への変化を2クロック遅らせる 0011: “0”から“1”への変化を3クロック遅らせる 0100: “0”から“1”への変化を4クロック遅らせる 0101: “0”から“1”への変化を5クロック遅らせる 0110: “0”から“1”への変化を6クロック遅らせる 0111: “0”から“1”への変化を7クロック遅らせる	R/W (注4)

- 注1. SPTR.RTADJビットが“1”のときのみ有効です。
- 注2. SPTR.RTADJビットが“0”のときのみ書き換え可能です。
- 注3. SPTR.TTADJビットが“1”のときのみ有効です。
- 注4. SPTR.TTADJビットが“0”のときのみ書き換え可能です。

TMGR レジスタは受信データのサンプリングタイミングや送信データの変化タイミングを調整するレジスタです。調歩同期式モードで、クロックソースに内蔵ボーレートジェネレータを選択したときのみ有効です。本レジスタは、SCI12にはありません。

RTMG[3:0] ビット (受信データサンプリングタイミング選択ビット)

受信データのサンプリングポイントを選択するビットです。SPTR.RTADJ ビットが “1” のときのみ有効です。RTMG[3] ビットが “0” の場合、デフォルト位置より後ろで、“1” の場合、前でサンプリングします。

RTMG[2:0] ビットにはサンプリングポイントの移動量を基本クロックの数で設定します。設定可能な値の範囲については、表 31.30 を参照してください。

表31.30 RTMG[2:0]ビットに設定可能な値の範囲

SEMR.ABCSEビットの設定値	SEMR.ABCSビットの設定値	データビットの幅	設定可能な値の範囲
0	0	16 サイクル	0~7 ("000b"~"111b")
0	1	8 サイクル	0~3 ("000b"~"011b")
1	任意	6 サイクル	0~2 ("000b"~"010b")

TTMG[3:0] ビット (送信信号変化タイミング選択ビット)

トランスミットシフトレジスタにおける送信信号の変化タイミングを選択するビットです。SPTR.TTADJビットが“1”のときのみ有効です。

TTMG[3] ビットが“0”の場合、“0”から“1”に変化するタイミングを、TTMG[3] ビットが“1”の場合、“1”から“0”に変化するタイミングを遅らせます。SPTR.TINV ビットの値により、TXDn 端子からの出力波形は以下のように変化します。

(1) SPTR.TINV ビットが“0”の場合

TTMG[3] ビットが“0”の場合、Low から High への変化 (立ち上がりエッジ) が遅れるため、High 幅が Low 幅より短くなります。

TTMG[3] ビットが“1”の場合、High から Low への変化 (立ち下がりエッジ) が遅れるため、High 幅が Low 幅より長くなります。

(2) TINV ビットが“1”の場合

TTMG[3] ビットが“0”の場合、High から Low への変化 (立ち下がりエッジ) が遅れるため、High 幅が Low 幅より長くなります。

TTMG[3] ビットが“1”の場合、Low から High への変化 (立ち上がりエッジ) が遅れるため、High 幅が Low 幅より短くなります。

TTMG[2:0] ビットには遅延量を基本クロックの数で設定します。設定可能な値の範囲については、表 31.31 を参照してください。

表31.31 TTMG[2:0]ビットに設定可能な値の範囲

SEMR.ABCSEビットの設定値	SEMR.ABCSビットの設定値	データビットの幅	設定可能な値の範囲
0	0	16 サイクル	0~7 ("000b"~"111b")
0	1	8 サイクル	0~7 ("000b"~"111b")
1	任意	6 サイクル	0~5 ("000b"~"101b")

31.2.24 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0 : 拡張シリアルモード無効 1 : 拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット (拡張シリアルモード有効ビット)

ESME ビットが“1”の場合、拡張シリアルモード制御部が有効となります。

ESME ビットを“0”にすると、拡張シリアルモード制御部は初期化された状態になります。

表31.32 ESME ビットの設定とタイマ動作モード

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	使用可能 (注1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注1. PCLK 選択時のみ動作します。

31.2.25 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

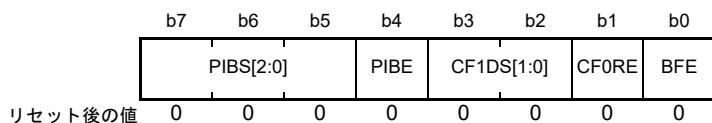
b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frame ステータスフラグ	0 : Start Frame 検出機能無効状態 1 : Start Frame 検出機能有効状態	R
b2	RXDSF	RXDX12 入力ステータスフラグ	0 : RXDX12 入力許可状態 1 : RXDX12 入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

31.2.26 コントロールレジスタ 1 (CR1)

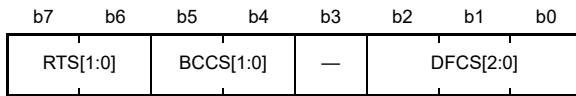
アドレス SCI12.CR1 0008 B322h



ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Field イネーブルビット	0 : Break Field の検出が無効 1 : Break Field の検出が有効	R/W
b1	CF0RE	Control Field 0 受信イネーブルビット	0 : Control Field 0 受信無効 1 : Control Field 0 受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1 データレジスタ 選択ビット	b3 b2 00 : PCF1DR を比較データに選択 01 : SCF1DR を比較データに選択 10 : PCF1DR および SCF1DR を比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プライオリティインタラプト ビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プライオリティインタラプト ビットセレクトビット	b7 b5 000 : Control Field 1 0 ビット目 001 : Control Field 1 1 ビット目 010 : Control Field 1 2 ビット目 011 : Control Field 1 3 ビット目 100 : Control Field 1 4 ビット目 101 : Control Field 1 5 ビット目 110 : Control Field 1 6 ビット目 111 : Control Field 1 7 ビット目	R/W

31.2.27 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RXDX12信号デジタルフィルタ クロック選択ビット	b2 b0 0 0 0: フィルタ無効 0 0 1: フィルタクロックは基本クロック (注1、注2) 0 1 0: フィルタクロックはPCLK/8 0 1 1: フィルタクロックはPCLK/16 1 0 0: フィルタクロックはPCLK/32 1 0 1: フィルタクロックはPCLK/64 1 1 0: フィルタクロックはPCLK/128 1 1 1: 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択 ビット	<ul style="list-style-type: none"> SEMR.BGDMビットが“0”または、SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”以外の場合 b5 b4 0 0: 基本クロック 0 1: 基本クロックの2分周 1 0: 基本クロックの4分周 1 1: 設定しないでください <ul style="list-style-type: none"> SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合 b5 b4 0 0: 基本クロックの2分周 0 1: 基本クロックの4分周 1 0: 設定しないでください 1 1: 設定しないでください	R/W
b7-b6	RTS[1:0]	RXDX12受信サンプリング タイミング選択ビット	<ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=0の場合 b7 b6 0 0: 基本クロックの8クロック目の立ち上がり 0 1: 基本クロックの10クロック目の立ち上がり 1 0: 基本クロックの12クロック目の立ち上がり 1 1: 基本クロックの14クロック目の立ち上がり <ul style="list-style-type: none"> SCI12.SEMR.ABCSビット=1の場合 b7 b6 0 0: 基本クロックの4クロック目の立ち上がり 0 1: 基本クロックの5クロック目の立ち上がり 1 0: 基本クロックの6クロック目の立ち上がり 1 1: 基本クロックの7クロック目の立ち上がり	R/W

注. 基本クロックとは、SCI12.SEMR.ABCS = 0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS = 1のとき、1データ期間の1/8の周期です。

注1. 基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

注2. SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合は基本クロックの2分周がフィルタクロックとなります。

31.2.28 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	SDST

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

31.2.29 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SHARPS	—	—	RXDXP S	TXDXP S

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXP S	RXD12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXD12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXD12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RXD12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RXD12 端子を兼用した半二重通信が可能となります。

31.2.30 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0 : Break Field Low width検出割り込み禁止 1 : Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

31.2.31 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width検出フラグ	["1"になる条件] • Break Field Low width検出したとき • Break Field Low width出力完了したとき • タイマがアンダフローしたとき ["0"になる条件] • STCR.BFDCLビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	["1"になる条件] • Control Field 0受信データが設定データと一致したとき ["0"になる条件] • STCR.CF0MCLビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	["1"になる条件] • Control Field 1受信データが設定データと一致したとき ["0"になる条件] • STCR.CF1MCLビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプトビット検出フラグ	["1"になる条件] • プライオリティインタラプトビットを検出したとき ["0"になる条件] • STCR.PIBDCLビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"になる条件] • バス衝突を検出したとき ["0"になる条件] • STCR.BCDCLビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"になる条件] • 有効エッジを検出したとき ["0"になる条件] • STCR.AEDCLビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

31.2.32 ステータスクリアレジスタ (STCR)

アドレス SCI12.STCR 0008 B328h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDCL	BCDCL	PIBDC L	CF1MC L	CF0MC L	BFDCCL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCCL	BFDFクリアビット	BFDCCLビットを“1”にするとSTR.BFDFフラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MFクリアビット	CF0MCLビットを“1”にするとSTR.CF0MFフラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MFクリアビット	CF1MCLビットを“1”にするとSTR.CF1MFフラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCCL	PIBDFクリアビット	PIBDCCLビットを“1”にするとSTR.PIBDFフラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDFクリアビット	BCDCLビットを“1”にするとSTR.BCDFフラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDFクリアビット	AEDCLビットを“1”にするとSTR.AEDFフラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

31.2.33 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h

b7	b6	b5	b4	b3	b2	b1	b0
[Empty Register]							

リセット後の値 0 0 0 0 0 0 0 0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

31.2.34 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

b7	b6	b5	b4	b3	b2	b1	b0
CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペア無効 1 : Control Field 0 ビット0コンペア有効	R/W
b1	CF0CE1	Control Field 0 1ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペア無効 1 : Control Field 0 ビット1コンペア有効	R/W
b2	CF0CE2	Control Field 0 2ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペア無効 1 : Control Field 0 ビット2コンペア有効	R/W
b3	CF0CE3	Control Field 0 3ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペア無効 1 : Control Field 0 ビット3コンペア有効	R/W
b4	CF0CE4	Control Field 0 4ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペア無効 1 : Control Field 0 ビット4コンペア有効	R/W
b5	CF0CE5	Control Field 0 5ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペア無効 1 : Control Field 0 ビット5コンペア有効	R/W
b6	CF0CE6	Control Field 0 6ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペア無効 1 : Control Field 0 ビット6コンペア有効	R/W
b7	CF0CE7	Control Field 0 7ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペア無効 1 : Control Field 0 ビット7コンペア有効	R/W

31.2.35 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

b7	b6	b5	b4	b3	b2	b1	b0

リセット後の値 0 0 0 0 0 0 0 0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。

31.2.36 プライマリ Control Field 1 データレジスタ (PCF1DR)

アドレス SCI12.PCF1DR 0008 B32Ch

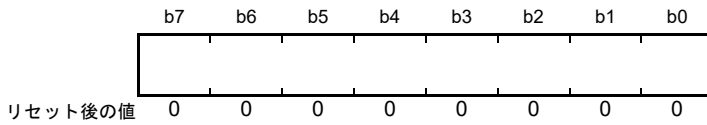
b7	b6	b5	b4	b3	b2	b1	b0

リセット後の値 0 0 0 0 0 0 0 0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

31.2.37 セカンダリ Control Field 1 データレジスタ (SCF1DR)

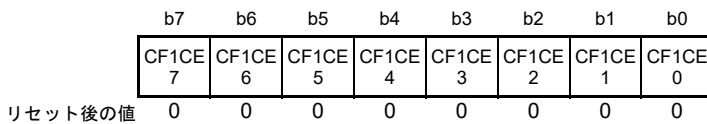
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

31.2.38 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

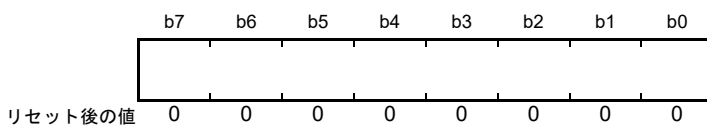
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブルビット	0 : Control Field 1 ビット0コンペア無効 1 : Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブルビット	0 : Control Field 1 ビット1コンペア無効 1 : Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブルビット	0 : Control Field 1 ビット2コンペア無効 1 : Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブルビット	0 : Control Field 1 ビット3コンペア無効 1 : Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブルビット	0 : Control Field 1 ビット4コンペア無効 1 : Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブルビット	0 : Control Field 1 ビット5コンペア無効 1 : Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブルビット	0 : Control Field 1 ビット6コンペア無効 1 : Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブルビット	0 : Control Field 1 ビット7コンペア無効 1 : Control Field 1 ビット7コンペア有効	R/W

31.2.39 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。

31.2.40 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

31.2.41 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]		TWRC	—	TOMS[1:0]		—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット(注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット(注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

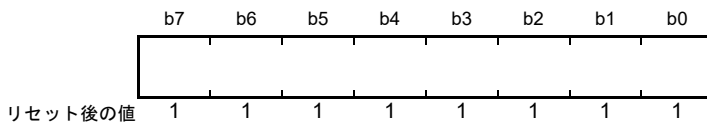
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時(TCST = 0)に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

31.2.42 タイムプリスケアラレジスタ (TPRE)

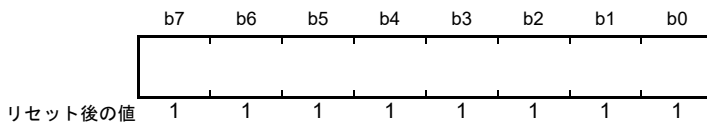
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

31.2.43 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

31.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 31.5 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

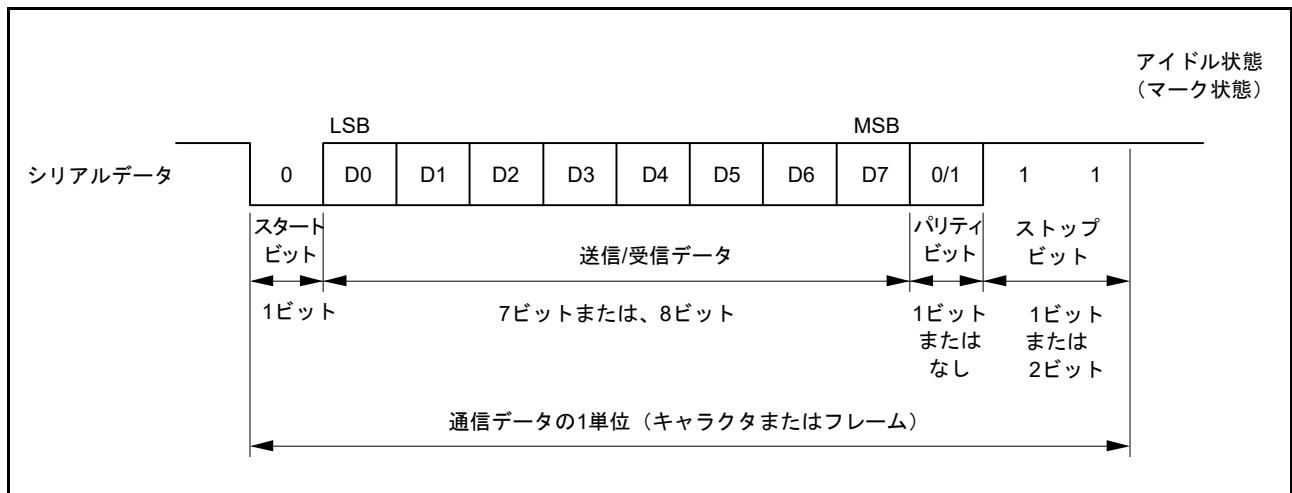


図 31.5 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

31.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 31.33 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「31.4 マルチプロセッサ通信機能」を参照してください。

表31.33 シリアル送信/受信フォーマット(調歩同期式モード)

SCMR の設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
0	0	0	0	0	0	S	9ビットデータ									STOP						
0	0	0	0	1	1	S	9ビットデータ									STOP	STOP					
0	0	1	0	0	0	S	9ビットデータ									P	STOP					
0	0	1	0	1	1	S	9ビットデータ									P	STOP	STOP				
1	0	0	0	0	0	S	8ビットデータ								STOP							
1	0	0	0	1	1	S	8ビットデータ								STOP	STOP						
1	0	1	0	0	0	S	8ビットデータ								P	STOP						
1	0	1	0	1	1	S	8ビットデータ								P	STOP	STOP					
1	1	0	0	0	0	S	7ビットデータ							STOP								
1	1	0	0	1	1	S	7ビットデータ							STOP	STOP							
1	1	1	0	0	0	S	7ビットデータ							P	STOP							
1	1	1	0	1	1	S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0	0	S	9ビットデータ									MPB	STOP					
0	0	—	1	1	1	S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0	0	S	8ビットデータ								MPB	STOP						
1	0	—	1	1	1	S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0	0	S	7ビットデータ							MPB	STOP							
1	1	—	1	1	1	S	7ビットデータ							MPB	STOP	STOP						

S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

31.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、**図 31.6**に示すように受信データを基本クロックの8サイクル目(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央(注2)でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left[\left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right] \times 100 (\%) \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCSEビットが“0”、かつSEMR.ABCSビットが“0”のときN = 16
- SEMR.ABCSEビットが“0”、かつSEMR.ABCSビットが“1”のときN = 8
- SEMR.ABCSEビットが“1”のときN = 6

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

注1. いずれもSEMR.ABCSEビットが“0”、かつSEMR.ABCSビットが“0”のときの値です。ABCSEビットが“0”、かつABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。また、ABCSEビットが“1”のときは、ビットレートの6倍の周波数が基本クロックとなり、受信データは基本クロックの3番目の立ち上がりエッジでサンプリングします。

注2. SPTR.RTADJビットが“0”の場合。

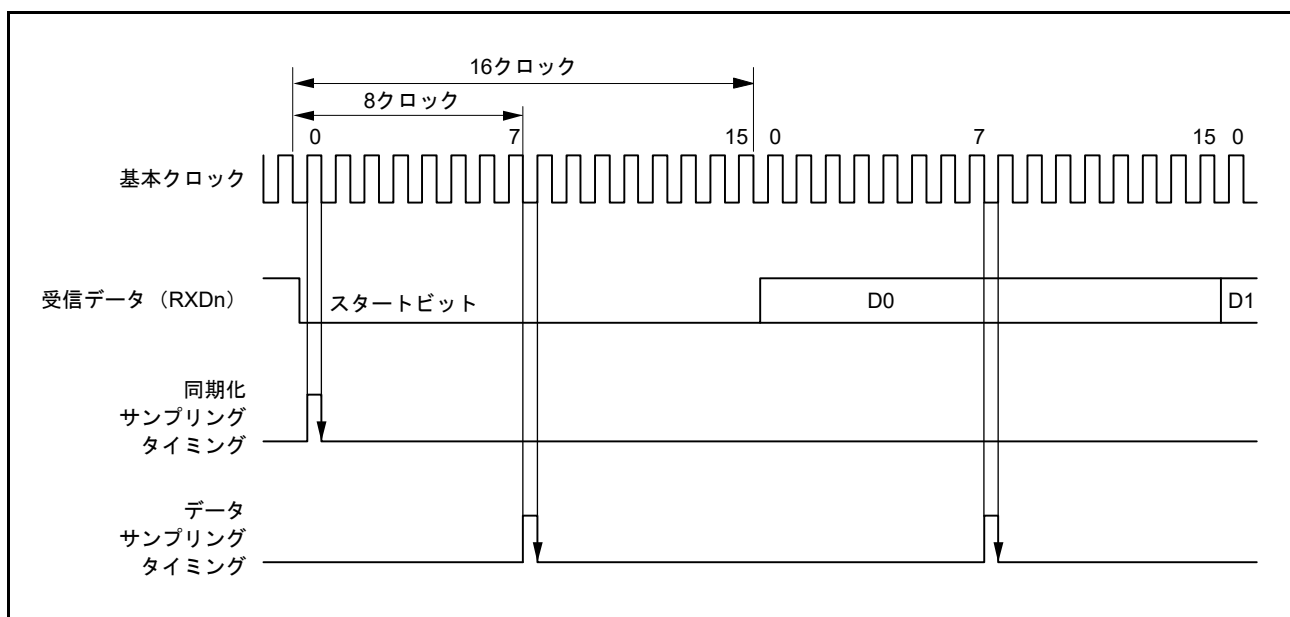


図 31.6 調歩同期式モードの受信データサンプリングタイミング

SCI1、SCI5、SCI6には、通信線路上のデバイスの影響などにより信号のHigh幅やLow幅が変わってしまう場合に備え、受信データのサンプリングタイミングや送信データの変化タイミングを変更する機能があります。

31.3.2.1 受信データのサンプリングタイミング調整

立ち上がり時間と立ち下がり時間の差が大きく、High幅とLow幅に差ができてしまった波形を受信した場合、短い方のパルスの中央でデータをサンプリングするようにタイミングを調整します。Low幅が短い場合はサンプリングタイミングを早め、High幅が短い場合はサンプリングタイミングを遅らせます。

TMGR.RTMG[3:0]ビットにデフォルトのサンプリングポイントに対するオフセットを設定し、SPTR.RTADJビットを“1”にすると、設定した位置で受信データをサンプリングします。

図 31.7 にサンプリングタイミングの調整例を示します。

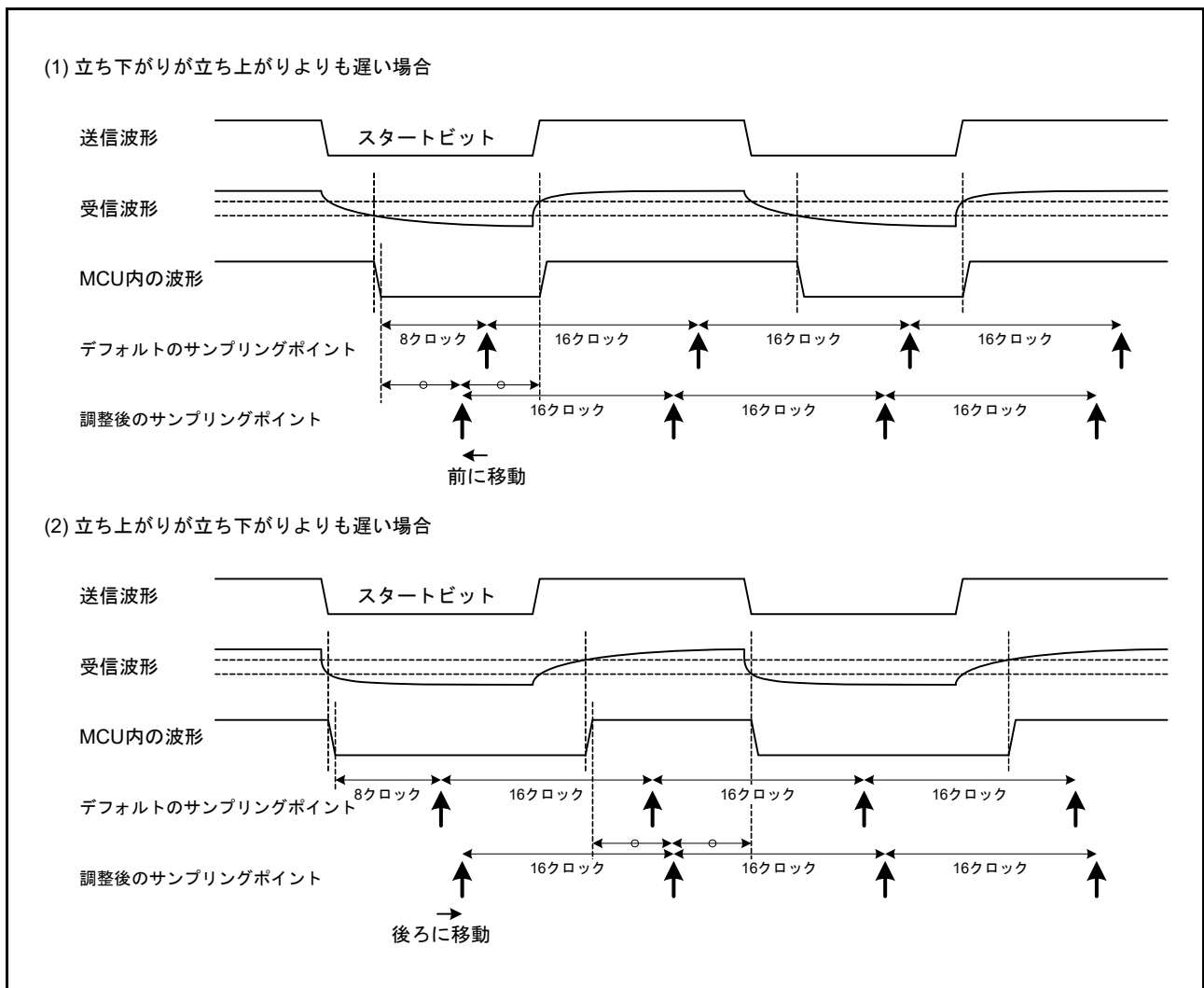


図 31.7 サンプリングタイミングの調整例 (SEMR.ABCSE ビット = 0, SEMR.ABCS ビット = 0)

31.3.2.2 送信データの変化タイミング調整

逆に、本MCUが送信した波形が受信側のデバイスでHigh幅とLow幅に差ができてしまうような場合に、送信時に前もってHigh幅とLow幅に差を持たせて、受信側で差がなくなるように調整することもできます。受信側でHigh幅が短くなる場合は立ち下がりエッジを遅らせることで送信時のHigh幅を広げ、Low幅が短くなる場合は立ち上がりエッジを遅らせることで送信時のLow幅を広げます。

TMGR.TTMG[3:0]ビットに変化させるエッジとその遅延量を設定し、SPTR.TTADJビットを“1”にすると、設定した位置で送信データが変化します。

図 31.8 に変化タイミングの調整例を示します。

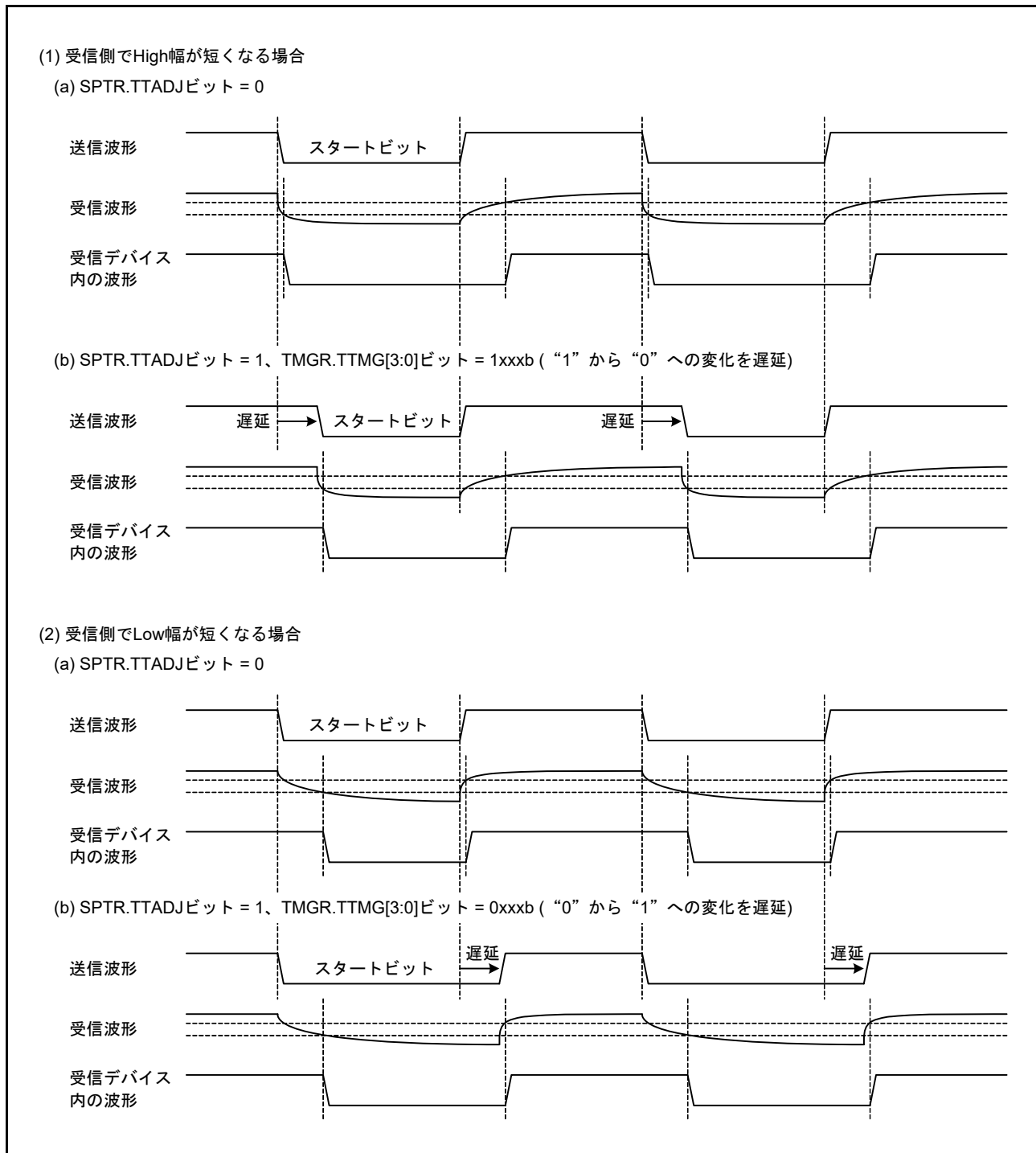


図 31.8 変化タイミングの調整例

31.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIh.SEMR.ACS0ビット（n=5, 6, 12）の設定により、TMR0、TMR1からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図31.9に示すように送信データの中央でクロックが立ち上がります。

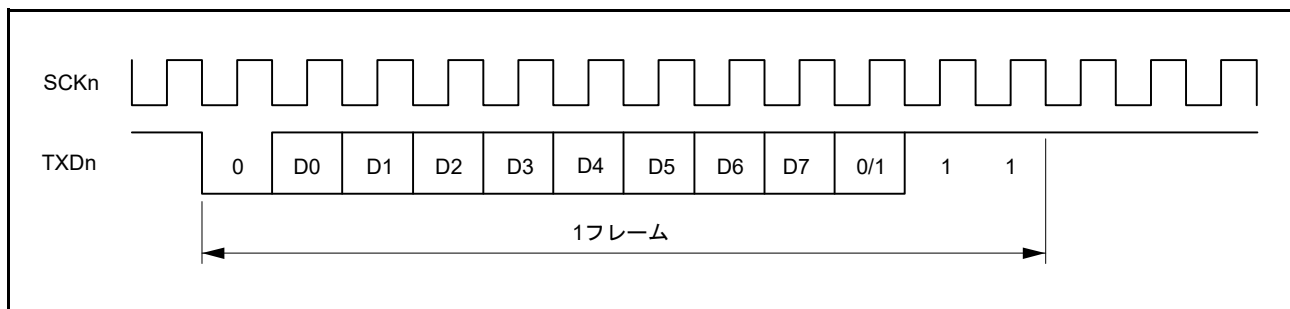


図 31.9 出カクロックと送信データの位相関係
(調歩同期式モード: SEMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

31.3.4 倍速モードと6分周モード

SEMR.BGDMビットを“1”にすることによって内蔵ポーレートジェネレータの出力クロック周波数が2倍となり、ビットレートが2倍の高速通信が可能となります。また、この状態からSEMR.ABCSビットを“1”にすると基本クロックのサイクル数が16から8になるため、ビットレートは初期状態から4倍に高速化されます。

また、SEMR.ABCSEビットを“1”にすると、1ビット期間中の基本クロックパルス数が6、かつ基本クロックの周期が1/2になり、SEMRレジスタのABCSビット、BGDMビット、ABCSEビットがすべて“0”の場合に比べ16/3倍のビットレートで動作します。

なお、「31.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SEMR.ABCSビットを“1”にするとサイクル数が8になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート2倍の高速通信は、SEMR.BGDMビットを“0”、SEMR.ABCSビットを“1”にするよりも、SEMR.BGDMビットを“1”、SEMR.ABCSビットを“0”にする設定を推奨します。

31.3.5 CTS、RTS 機能

CTS 機能は、CTS_n# 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを“1”にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTS_n# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTS_n# 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTS_n# 端子出力を使用して送信要求を行う機能で、受信可能状態になると Low を出力します。RTS_n# 端子から Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて“0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

31.3.6 データ一致検出機能

データ一致検出機能は、SCI1、SCI5、SCI6 の調歩同期式モードで利用可能です。

DCCR.DCME ビットを“1”にすると、受信データと CDR.CMPD[8:0] ビットの内容が比較(注1)され、値が一致すると受信データフル割り込み (RXI) 要求が発生します。

SMR.MP ビットが“0”の場合は、すべての受信データが比較されます。

SMR.MP ビットを“1”にすると、DCCR.IDSEL ビットが“1”の場合は、マルチプロセッサビットが“1”のデータのみが比較され、“0”のデータは無視されます。DCCR.IDSEL ビットが“0”の場合は、マルチプロセッサビットの値にかかわらずすべての受信データが比較されます。

受信データが CDR.CMPD[8:0] ビットの値と一致するまでは、受信データの格納は行われず、フラグも更新されません。データが一致すると、DCCR.DCME ビットは自動的に“0”になり、DCMF フラグが“1”になります。このとき、DCCR.IDSEL ビットが“1”であると、SCR.MPIE ビットも自動的に“0”になります。また、SCR.RIE ビットが“1”であると、受信データフル割り込み (RXI) 要求が発生します。

一致したデータにフレーミングエラーがあった場合は、DCCR.DFER フラグが“1”になり、パリティエラーがあった場合は DCCR.DPER フラグが“1”になります。CDR.CMPD[8:0] ビットの値と一致した受信データは受信バッファに格納されず、SSR.RDRF フラグも“1”になりません。

データの一致を検出し、DCCR.DCME ビットが“0”になった後は、通常通りデータの受信が行われます。

DCCR.DFER フラグまたは DCCR.DPER フラグが“1”のときは、データの一致は検出されません。データ一致検出機能を有効にする前に、これらのフラグは“0”にしてください。

注 1. 比較対象は SMR.CHR ビット、SCMR.CHR1 ビットで指定したキャラクタ長に相当する部分です。

図 31.10、図 31.11 にデータ一致検出の例を示します。

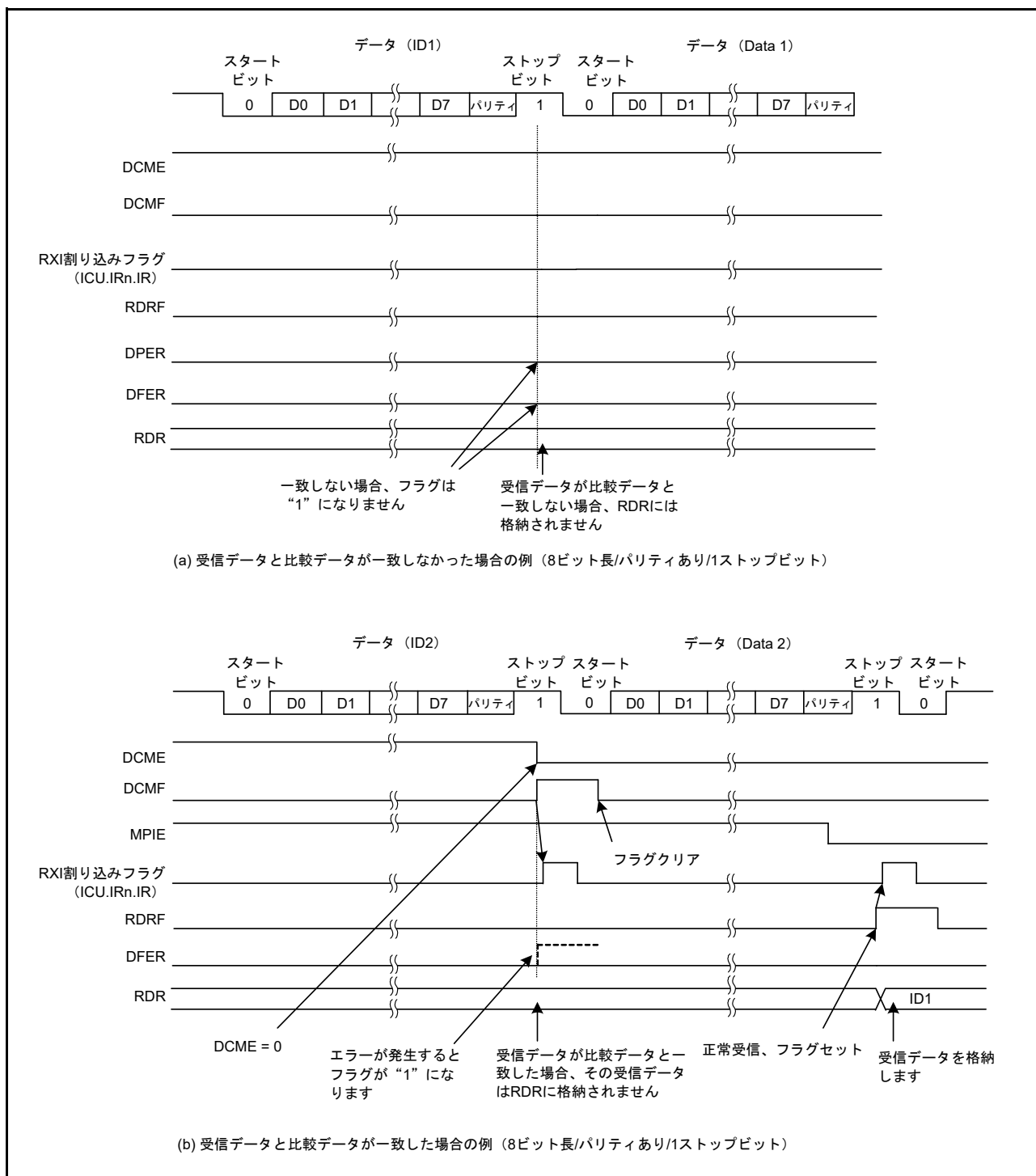


図 31.10 データ一致検出の例 (1) 非マルチプロセッサモード

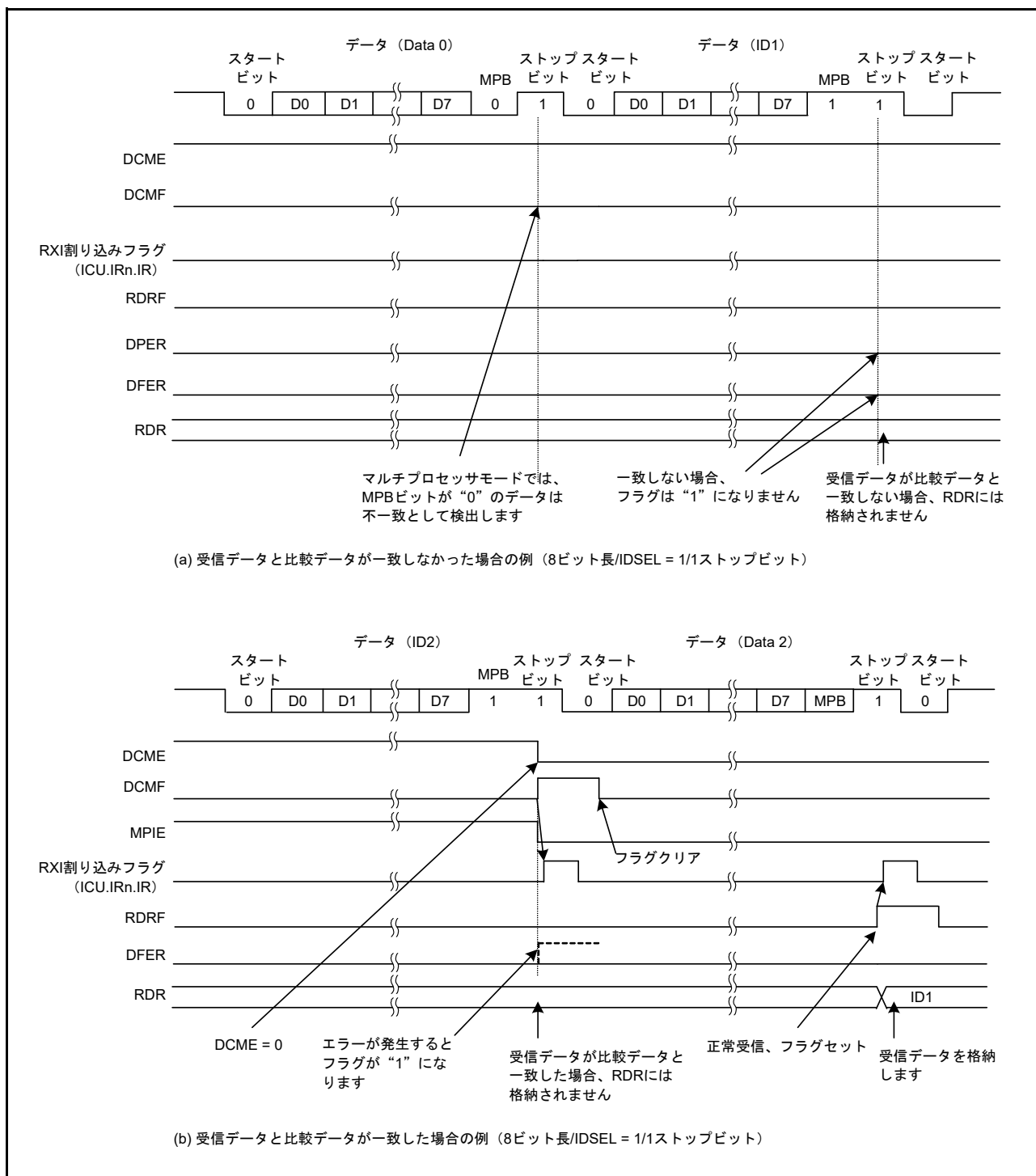


図 31.11 データ一致検出の例 (2) マルチプロセッサモード

31.3.7 SCI の初期化 (調歩同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 31.12 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグおよび RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、送信データエンブレティ割り込み (TXI) 要求が発生する前に送信終了割り込み (TEI) 要求が発生しますので注意してください。

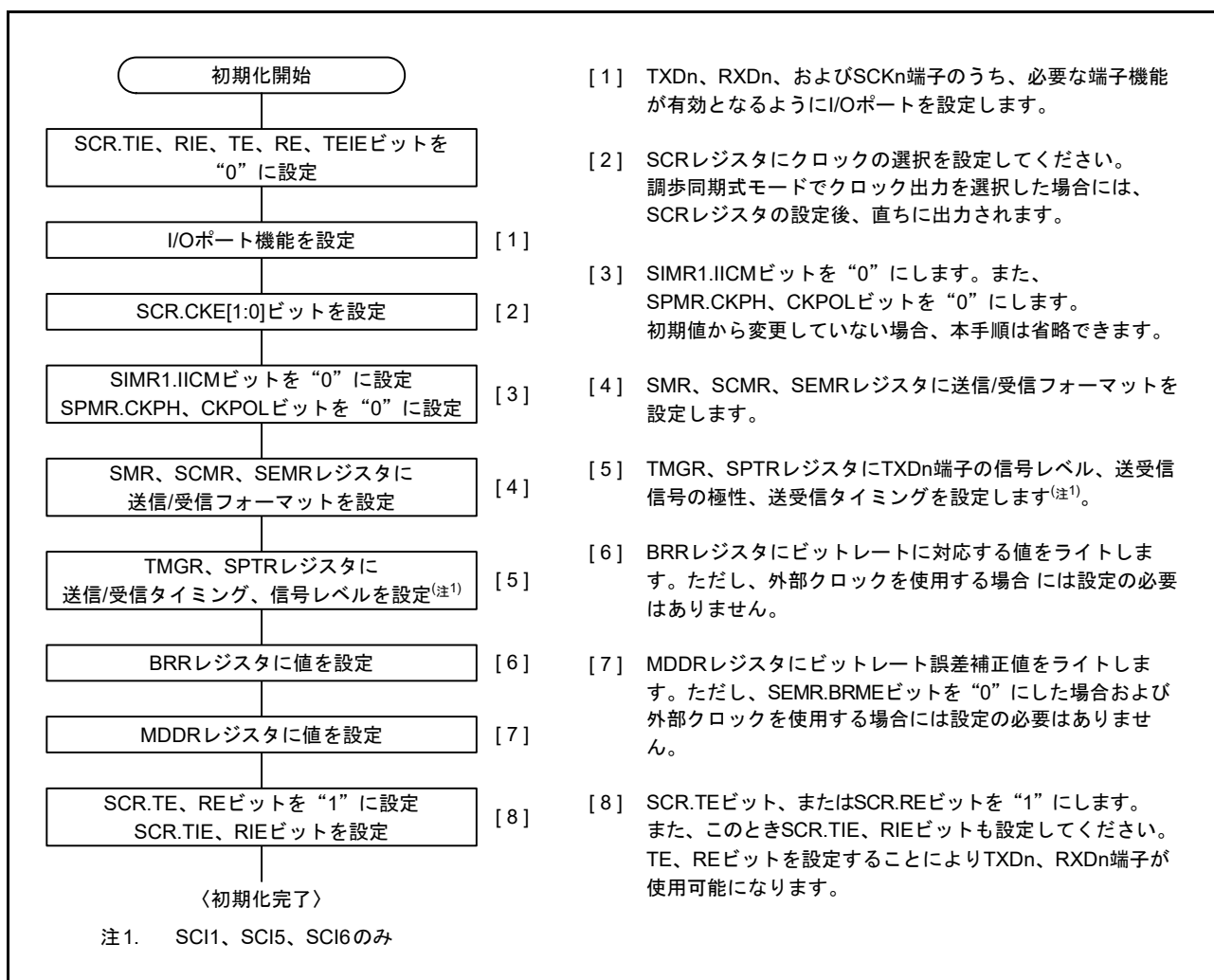


図 31.12 SCI の初期化フローチャートの例 (調歩同期式モード)

図 31.13 は、リセット解除後に図 31.12 に従って SCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXD 端子に設定した時点では、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります(注 1)。調歩同期式モードでは、この期間 TXD 端子は High になります。

注 1. SEMR.ITE ビットが“0”の場合。ITE ビットが“1”の場合、この内部待機期間はありません。

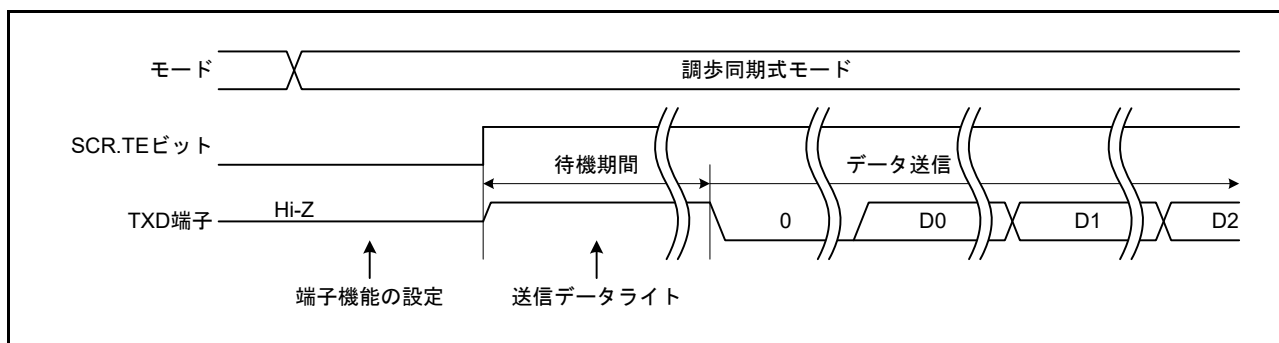


図 31.13 調歩同期式モード時のデータ送信タイミング例

31.3.8 シリアルデータの送信 (調歩同期式モード)

図 31.14 ~ 図 31.16 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、TDR レジスタ (注 1) から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力が Low で、TDR レジスタ (注 1) から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ (注 1、注 2) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ (注 1、注 2) に書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ (注 3) の更新 (書き込み) をチェックします。
5. TDR レジスタ (注 3) が更新されていると、SPMR.CTSE ビットが“0” (CTS 機能禁止)、または CTSn# 端子入力 Low で、次の送信データを TDR レジスタ (注 1) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ (注 3) が更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”であると、SSR.TEND フラグが“1”になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 31.17 にシリアル送信のフローチャートの例を示します。

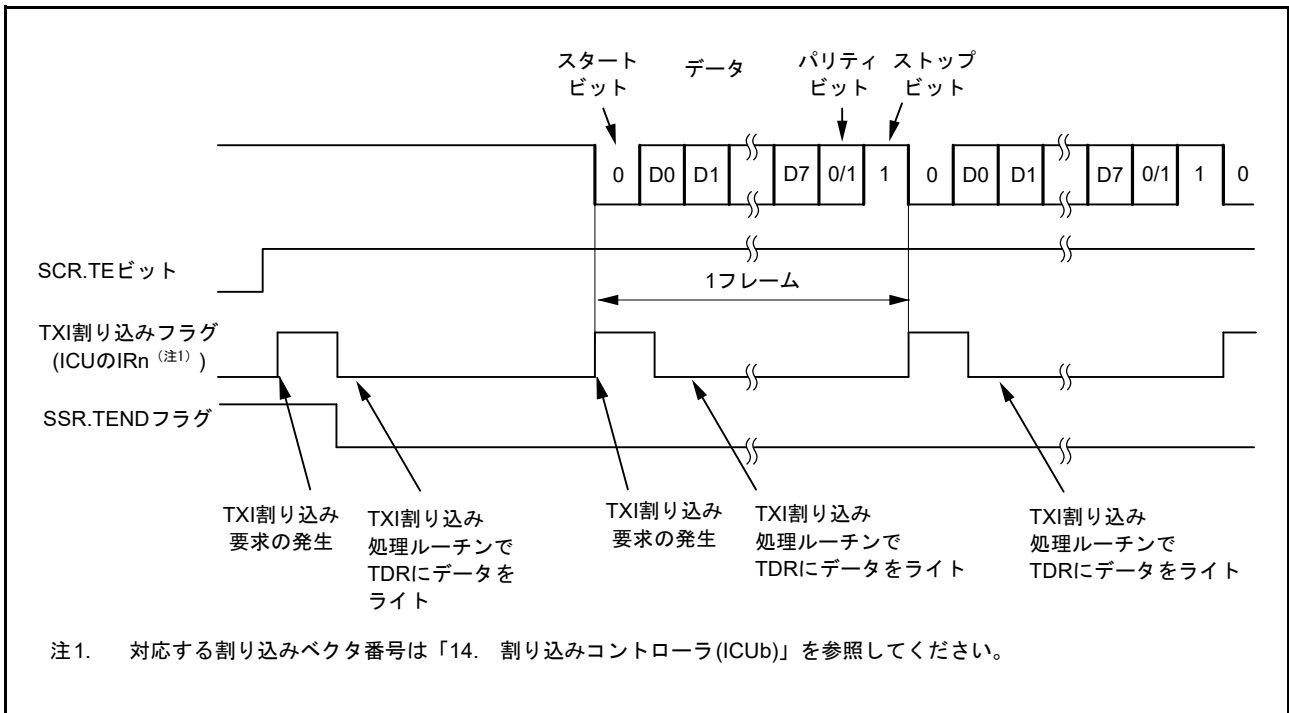


図 31.14 調歩同期式モードのシリアル送信の動作例(1)
(8ビットデータ/パリティあり/1ストップビット/CTS機能使用しない/送信開始時)

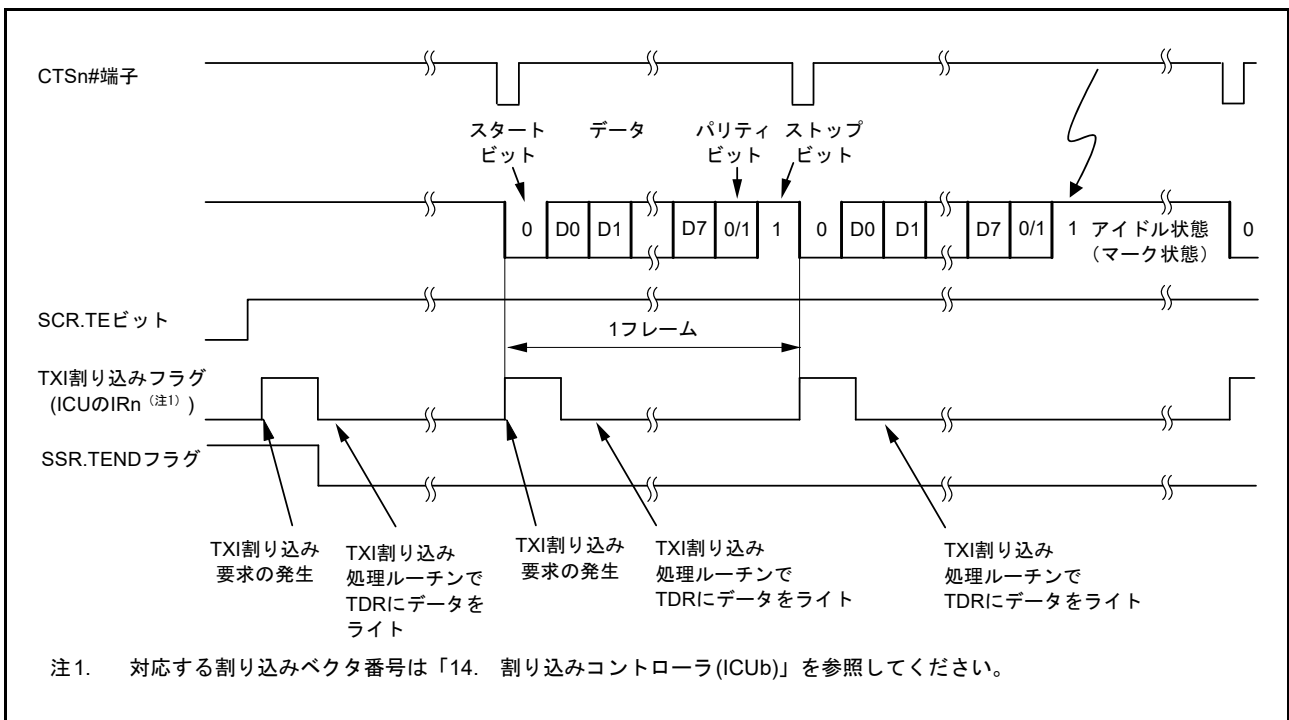


図 31.15 調歩同期式モードのシリアル送信の動作例(2)
(8ビットデータ/パリティあり/1ストップビット/CTS機能使用する/送信開始時)

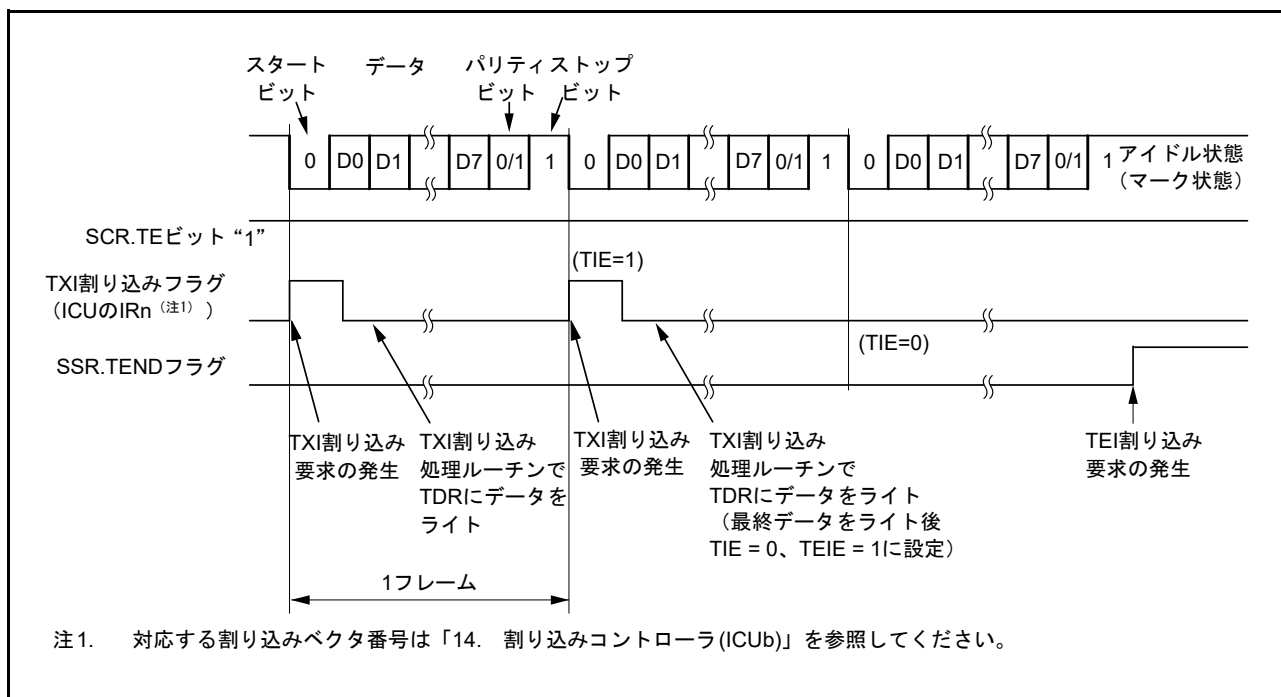


図 31.16 調歩同期式モードのシリアル送信の動作例 (3)
 (8ビットデータ / パリティあり / 1ストップビット / CTS機能使用しない / 送信中～送信終了時)

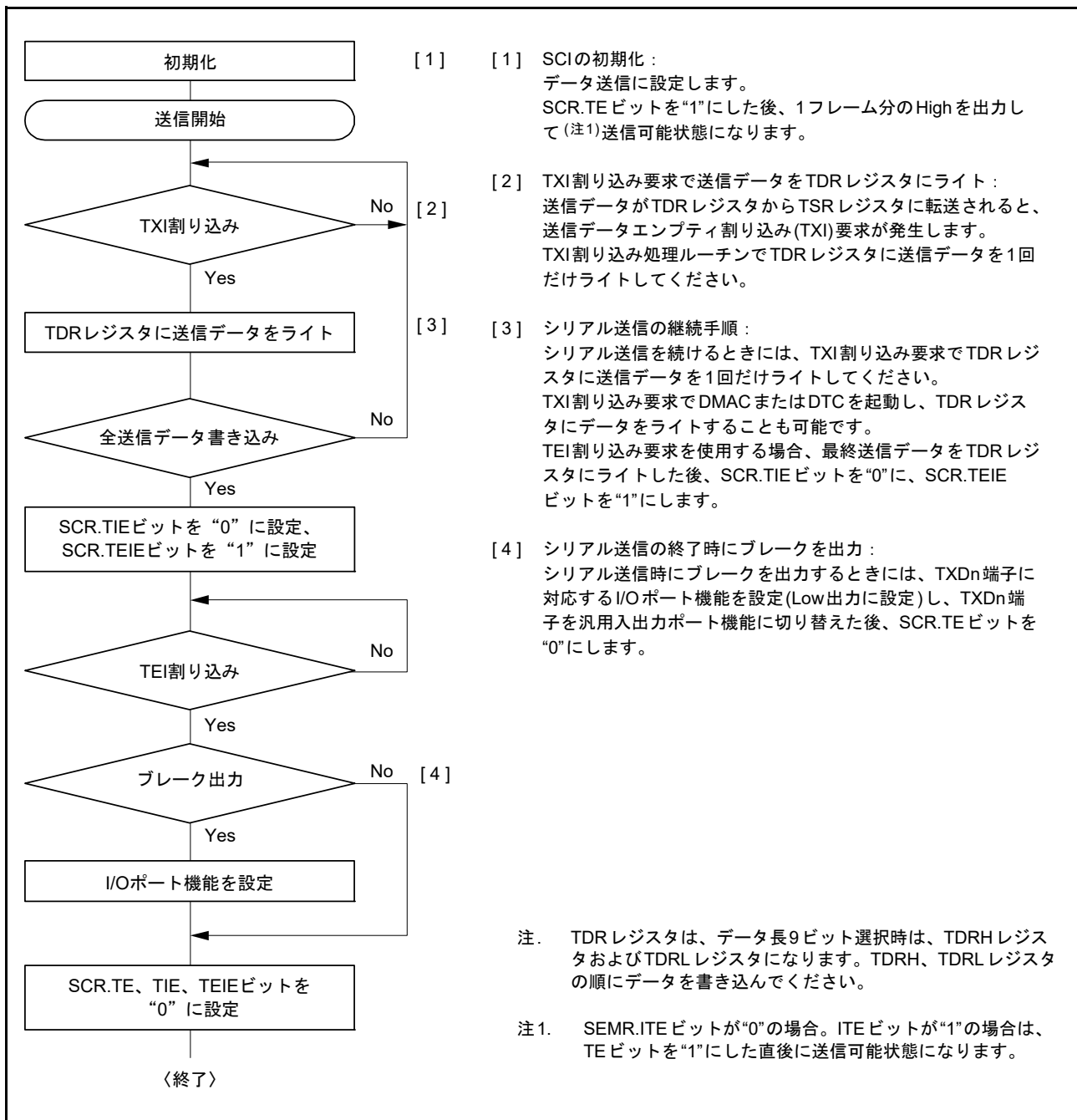


図 31.17 調歩同期式モードのシリアル送信のフローチャート例

31.3.9 シリアルデータの受信 (調歩同期式モード)

図 31.18、図 31.19 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ (注1) に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ (注1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ (注1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ (注1) に転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ (注1) に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ (注2) に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

注 1. データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注 2. データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。

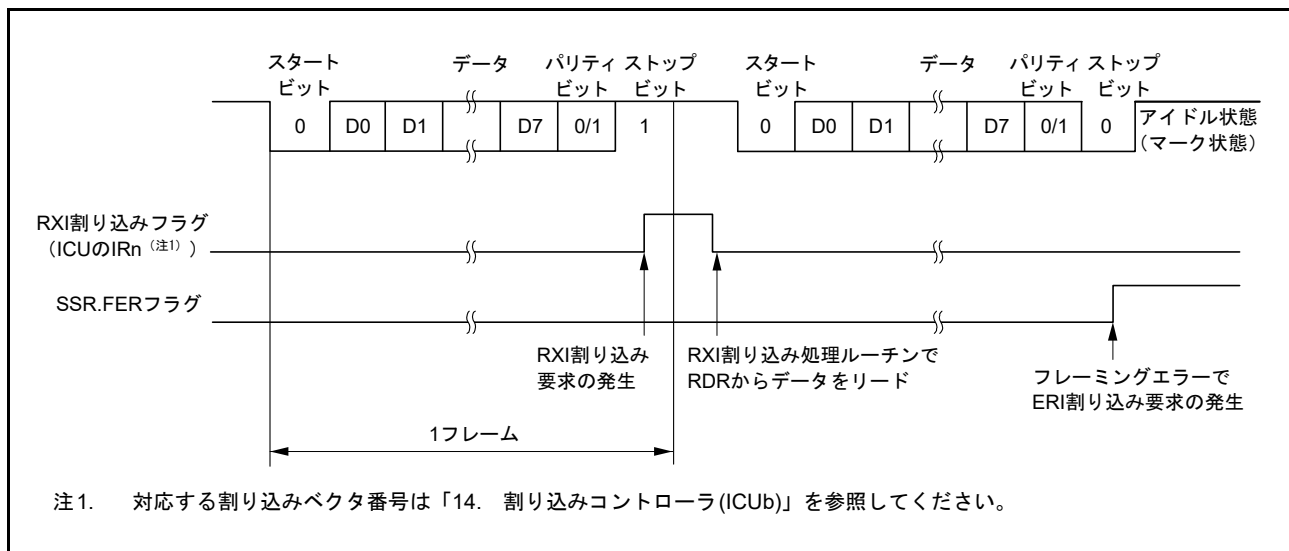


図 31.18 調歩同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

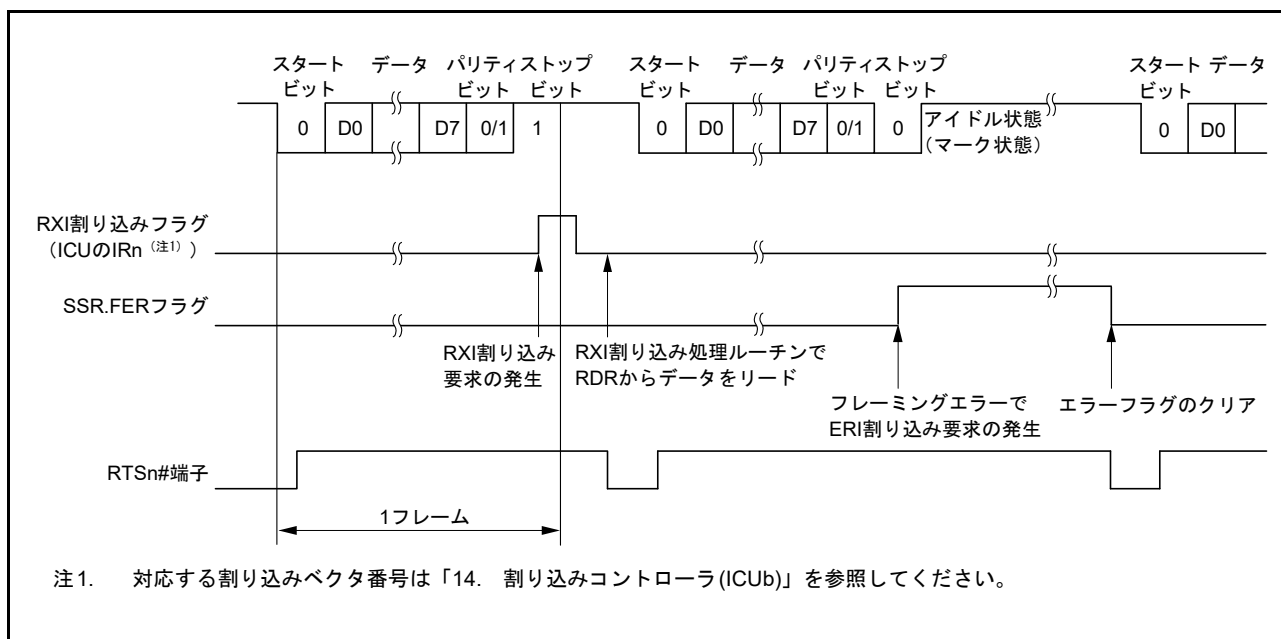


図 31.19 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時) (8ビットデータ / パリティあり / 1ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 31.34 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 31.20、図 31.21 にシリアル受信のフローチャートの例を示します。

表 31.34 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1)へ転送	フレーミングエラー
0	0	1	RDR (注1)へ転送	パリティエラー
1	1	0	消失	オーバランエラー+フレーミングエラー
1	0	1	消失	オーバランエラー+パリティエラー
0	1	1	RDR (注1)へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注1. データ長9ビット選択時はRDRH、RDRLレジスタになります。

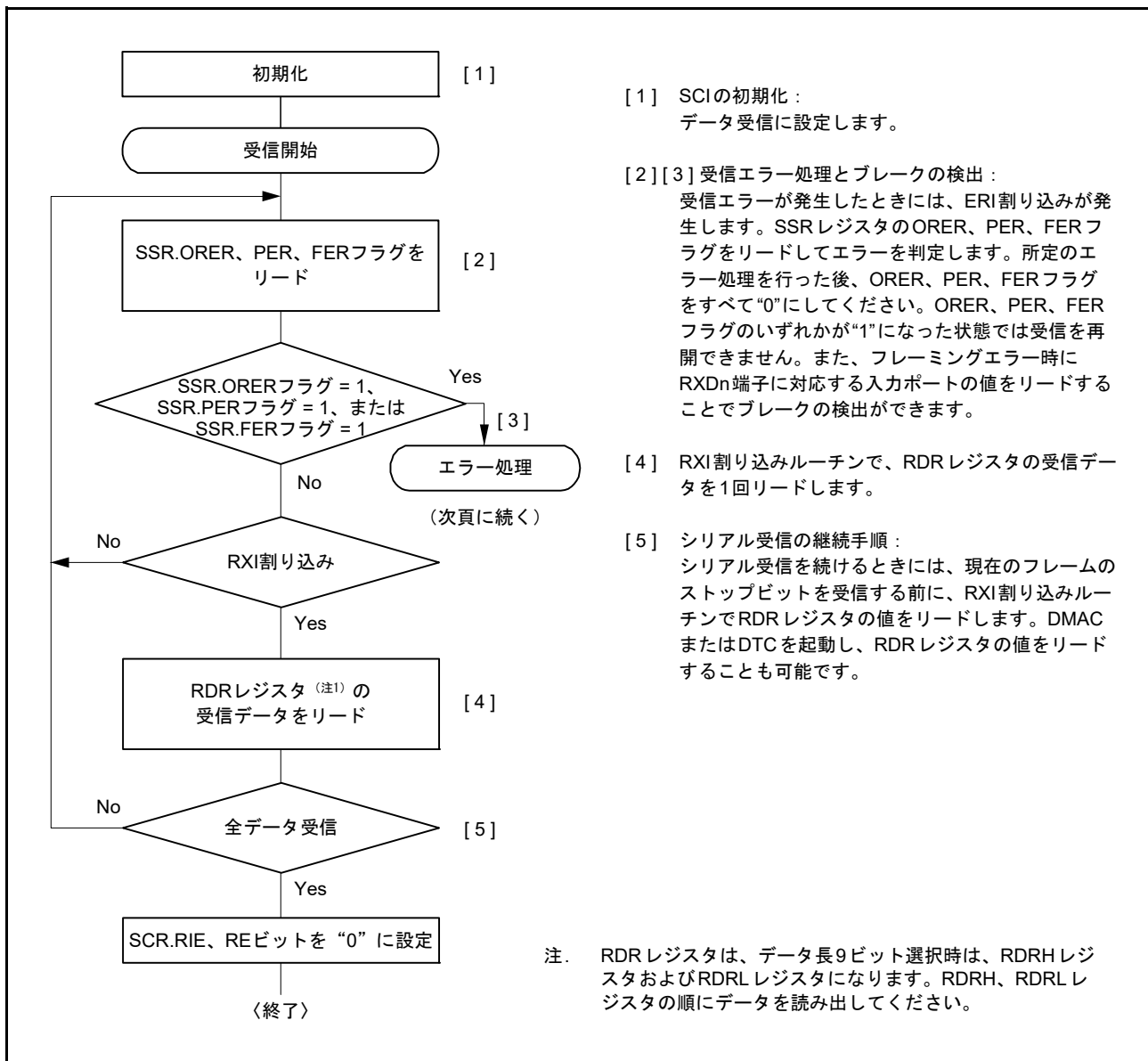


図 31.20 調歩同期式モードのシリアル受信のフローチャート例 (1)

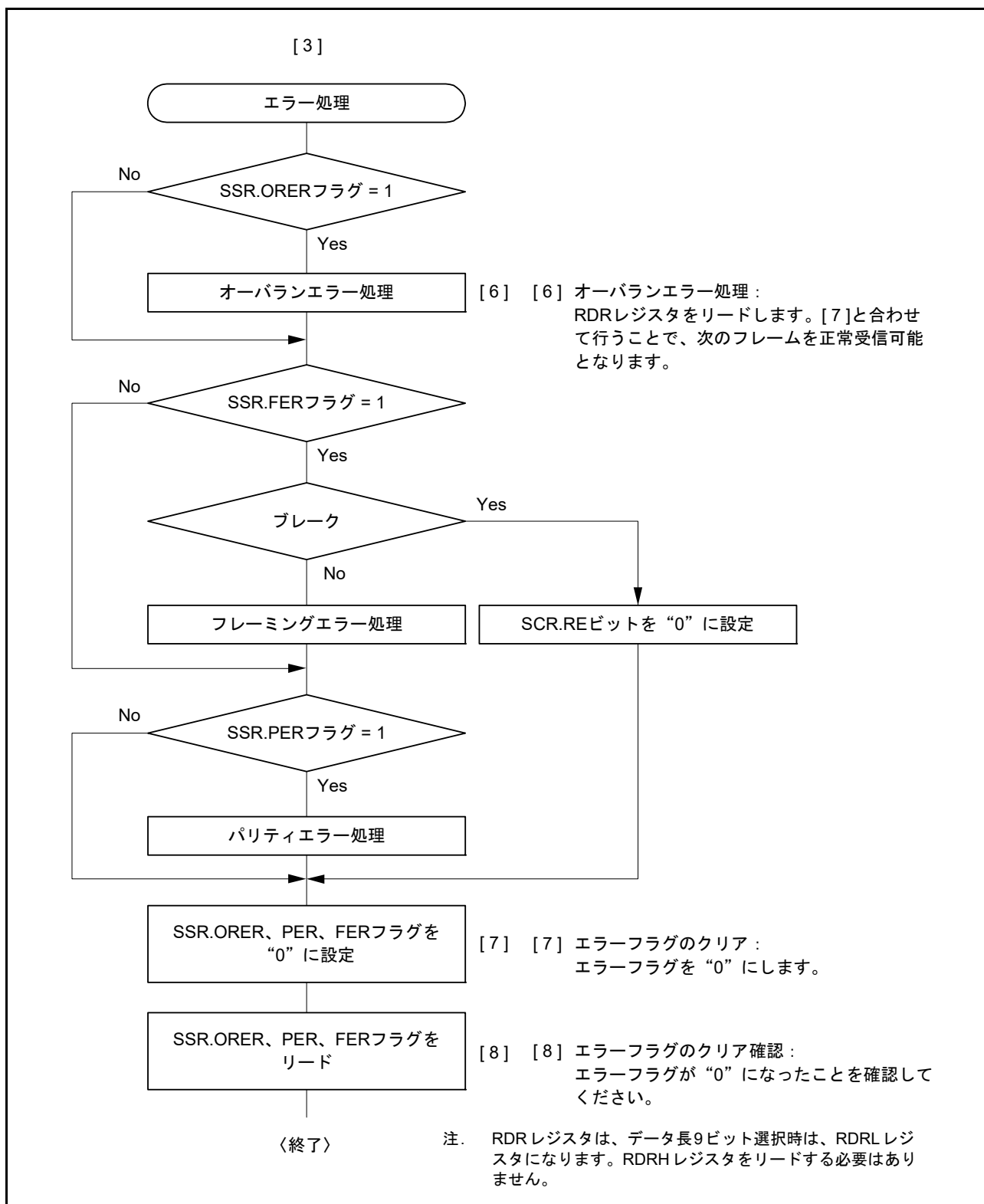


図 31.21 調歩同期式モードのシリアル受信のフローチャート例 (2)

31.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。図31.22にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCR.MPIEビットが設けてあります。MPIEビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまでRSRレジスタからRDRレジスタ（データ長9ビット選択時はRDRH、RDRLレジスタ）への受信データの転送、および受信エラーの検出とSSRレジスタのRDRF、ORER、FERフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPBフラグが“1”になるとともにSCR.MPIEビットが“0”になって通常の実受信動作に戻ります。このときSCR.RIEビットが“1”であるとRXI割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

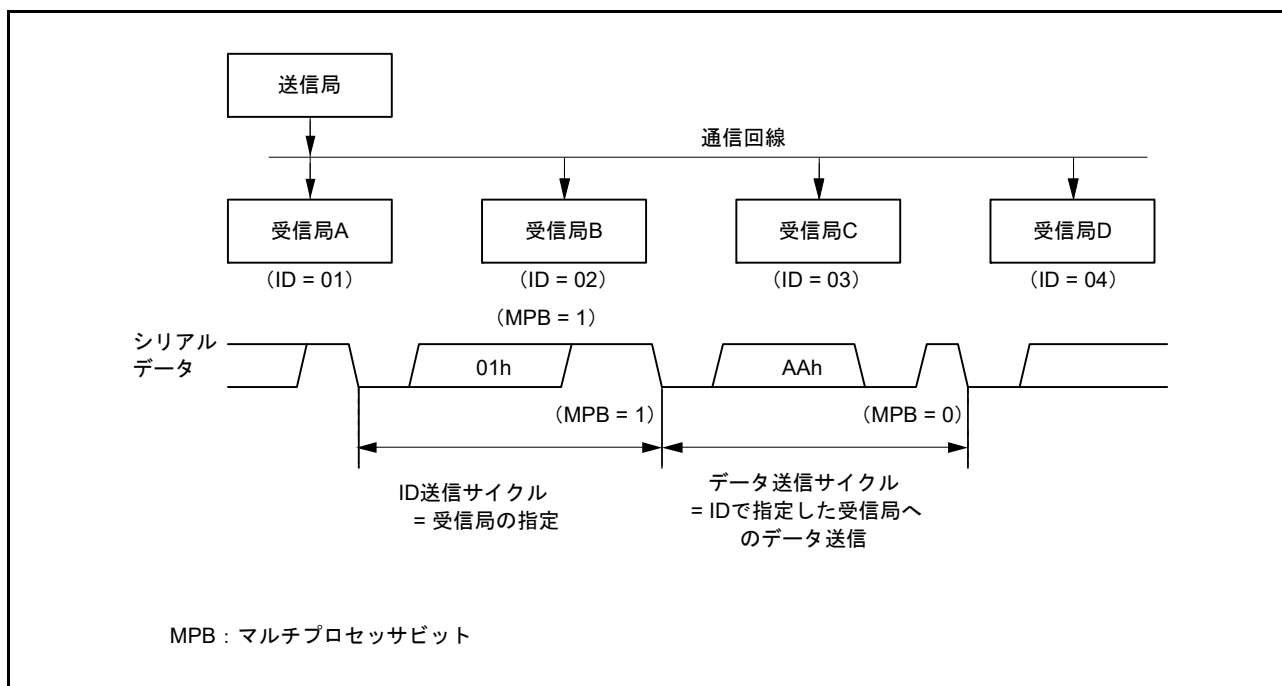


図 31.22 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ “AAh” の送金の例)

31.4.1 マルチプロセッサシリアルデータ送信

図 31.23 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

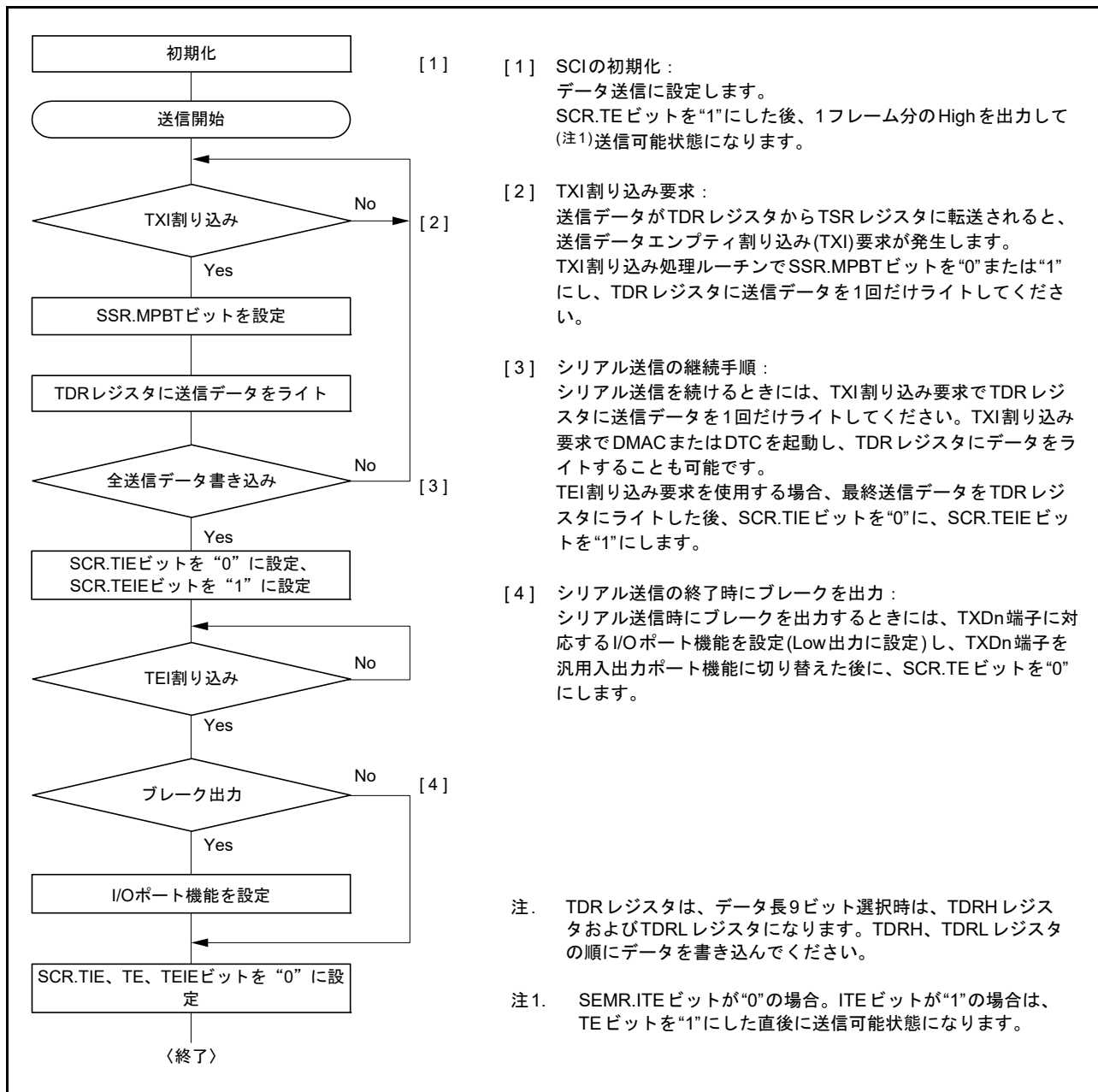


図 31.23 マルチプロセッサシリアル送信のフローチャートの例

31.4.2 マルチプロセッサシリアルデータ受信

図 31.25、図 31.26 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 31.24 に受信時の動作例を示します。

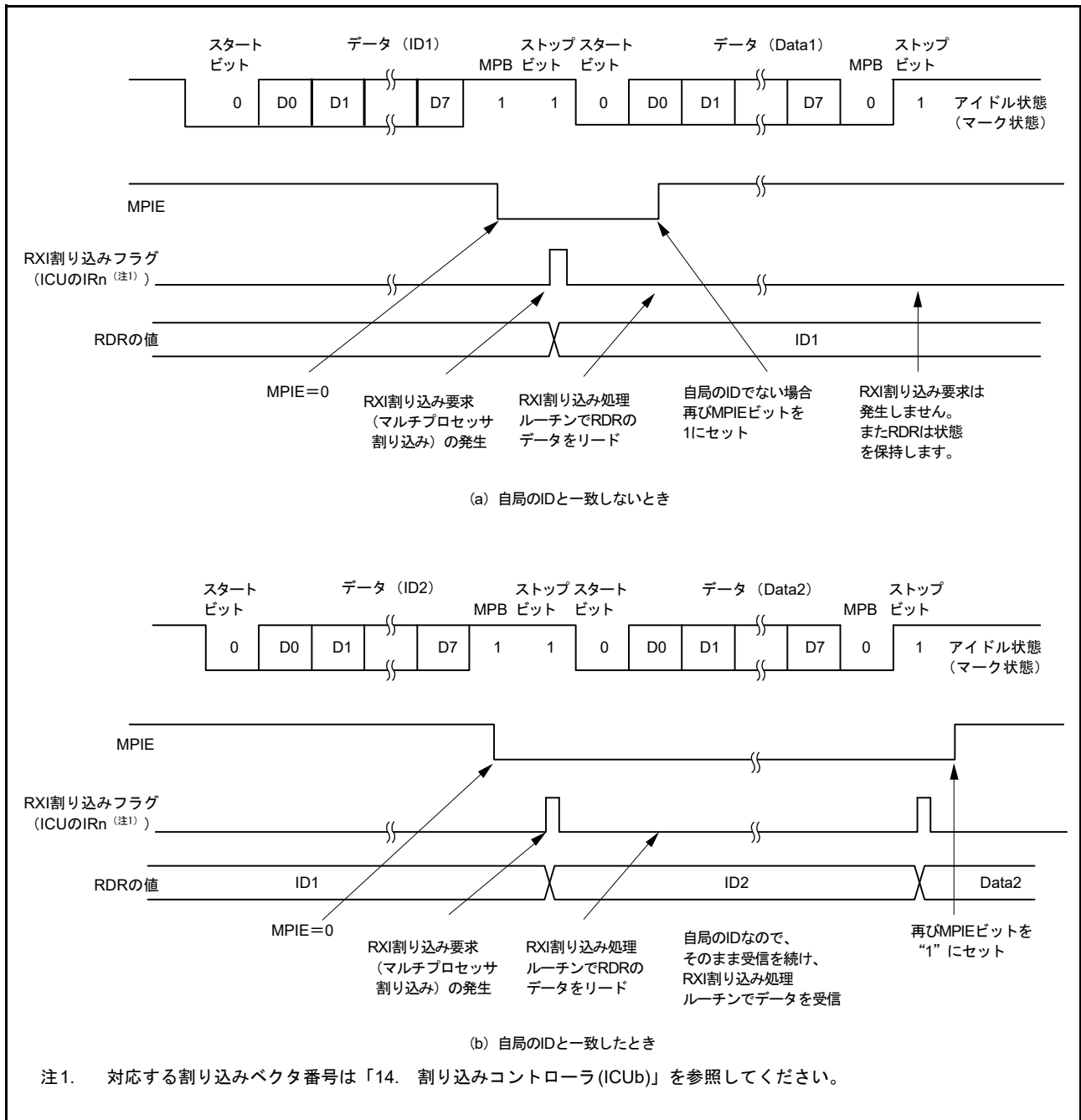


図 31.24 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

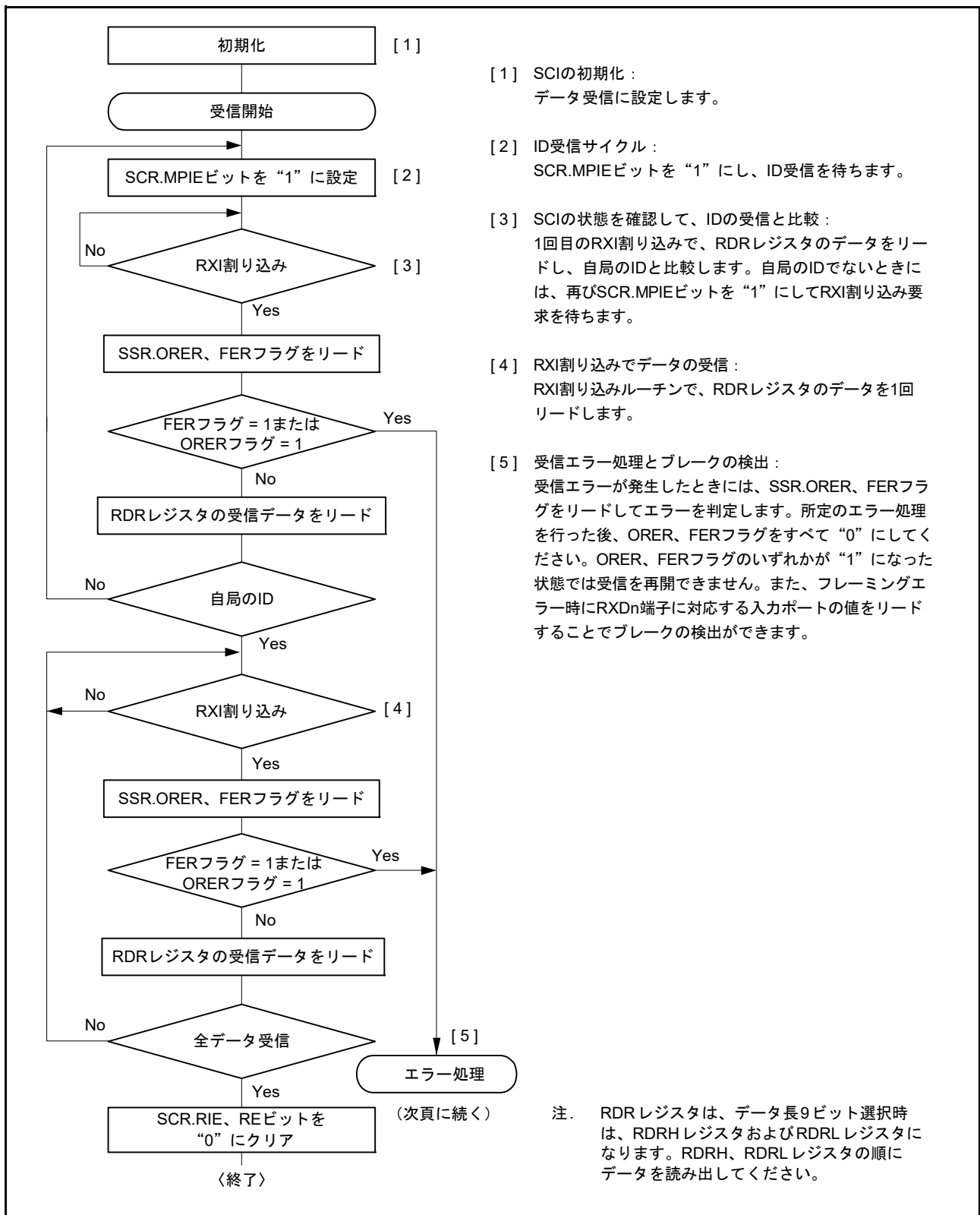


図 31.25 マルチプロセッサシリアル受信のフローチャートの例 (1)

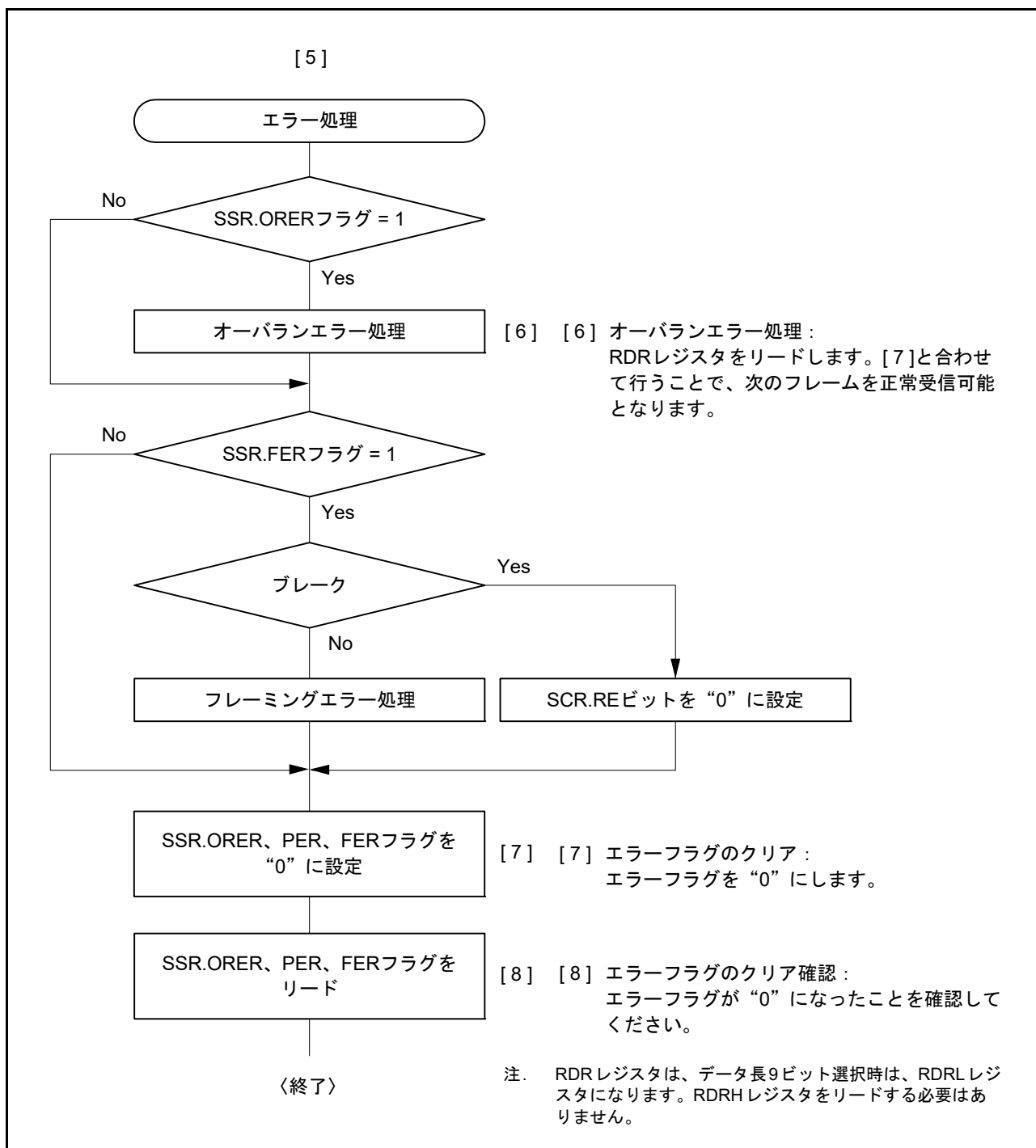


図 31.26 マルチプロセッサシリアル受信のフローチャートの例 (2)

31.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 31.27 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

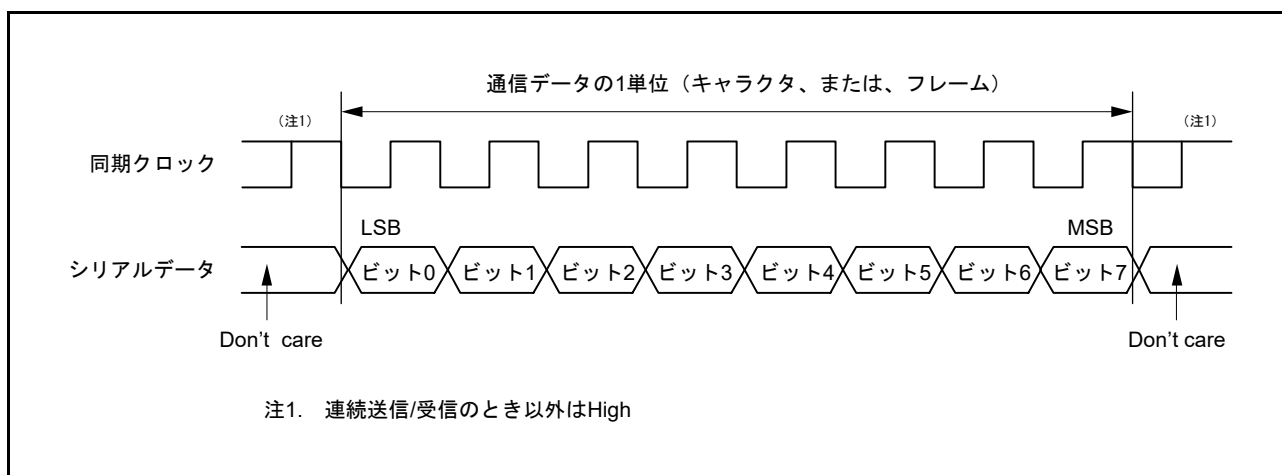


図 31.27 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

31.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

31.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 未読の受信データがない(SCR.RE ビットが“1”のとき)
- 未送信のデータがある(SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

31.5.3 SCIの初期化(クロック同期式モード)

データの送受信前にSCRレジスタに初期値“00h”を書き込み、図31.28のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCRレジスタを初期値にしてから変更してください。

SCR.REビットを“0”にしても、SSRレジスタのORER、FER、PERフラグおよびRDRレジスタは初期化されませんので注意してください。

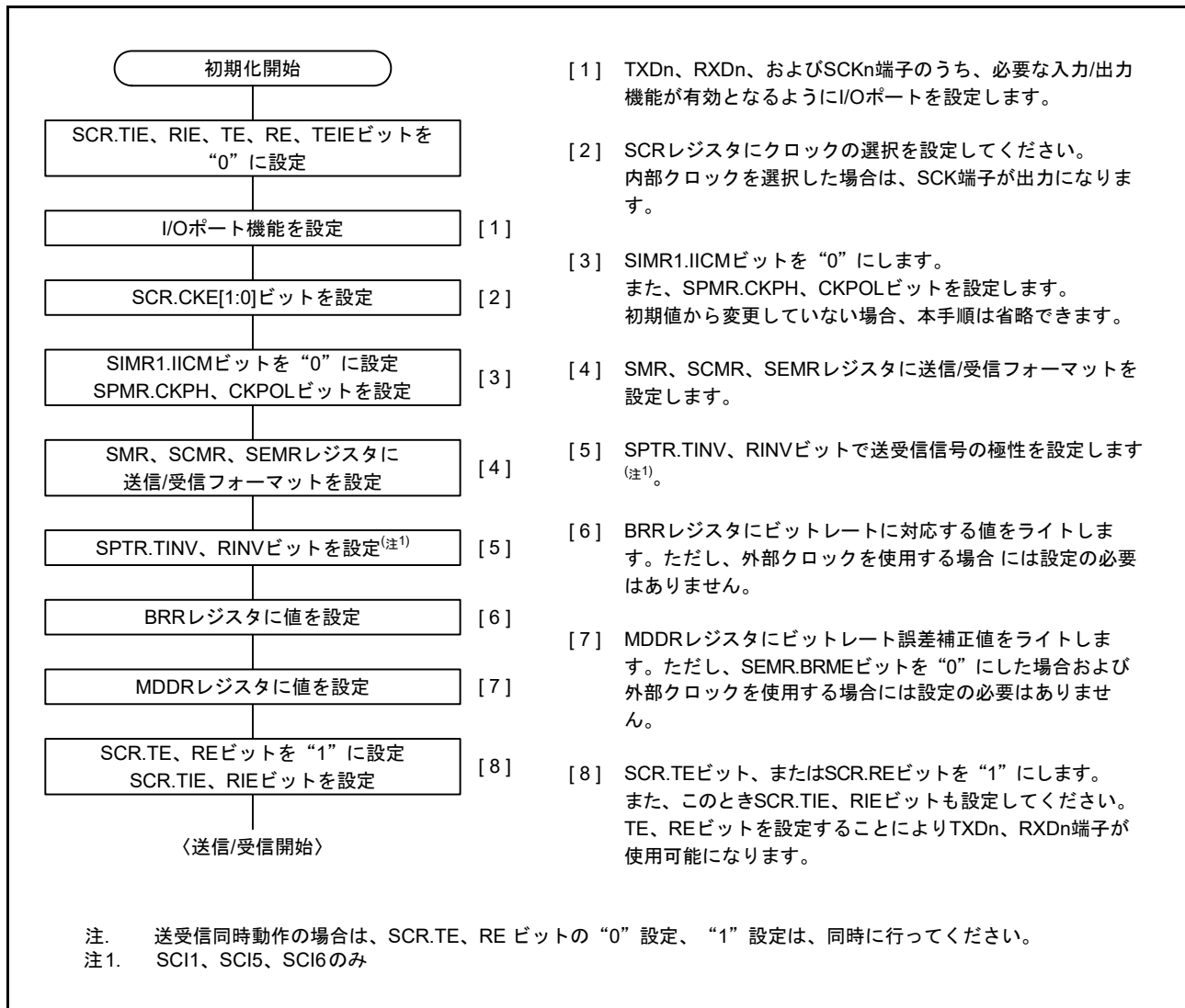


図 31.28 SCIの初期化フローチャートの例(クロック同期式モード)

31.5.4 シリアルデータの送信 (クロック同期式モード)

図 31.29、図 31.30、図 31.31 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1” (CTS 機能許可) のとき、CTS 信号入力が Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 31.32 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ (SSR.ORER, FER, PER) が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にただけではクリアされませんので注意してください。

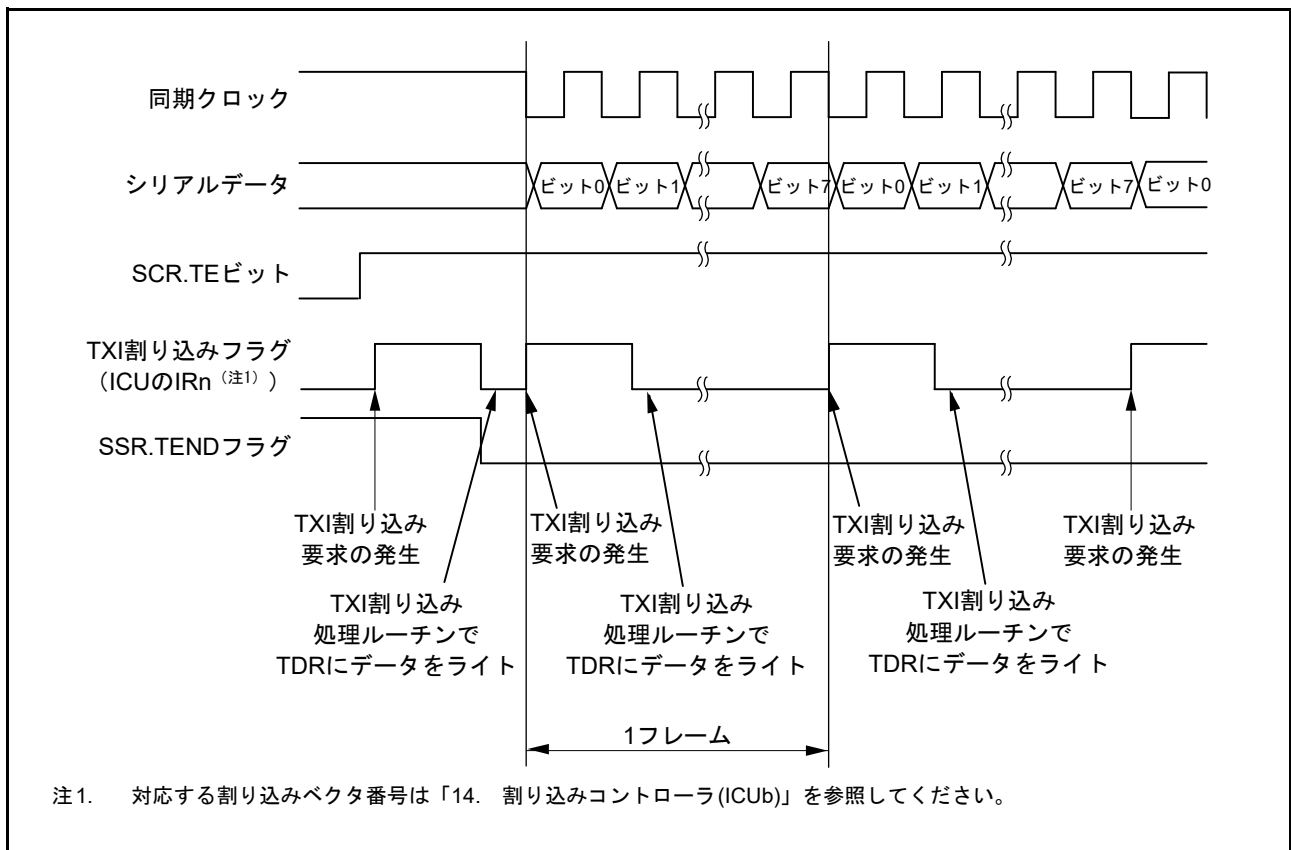


図 31.29 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

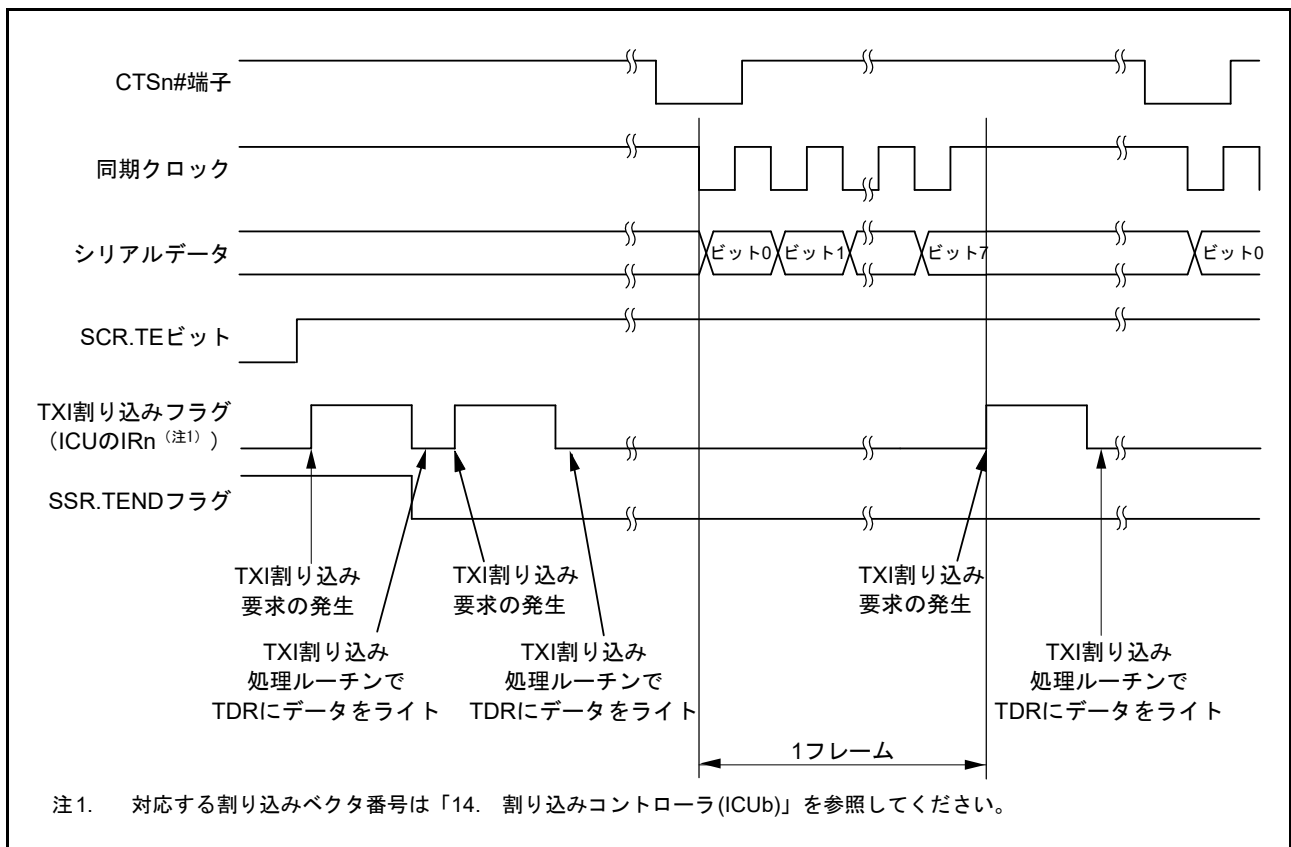


図 31.30 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

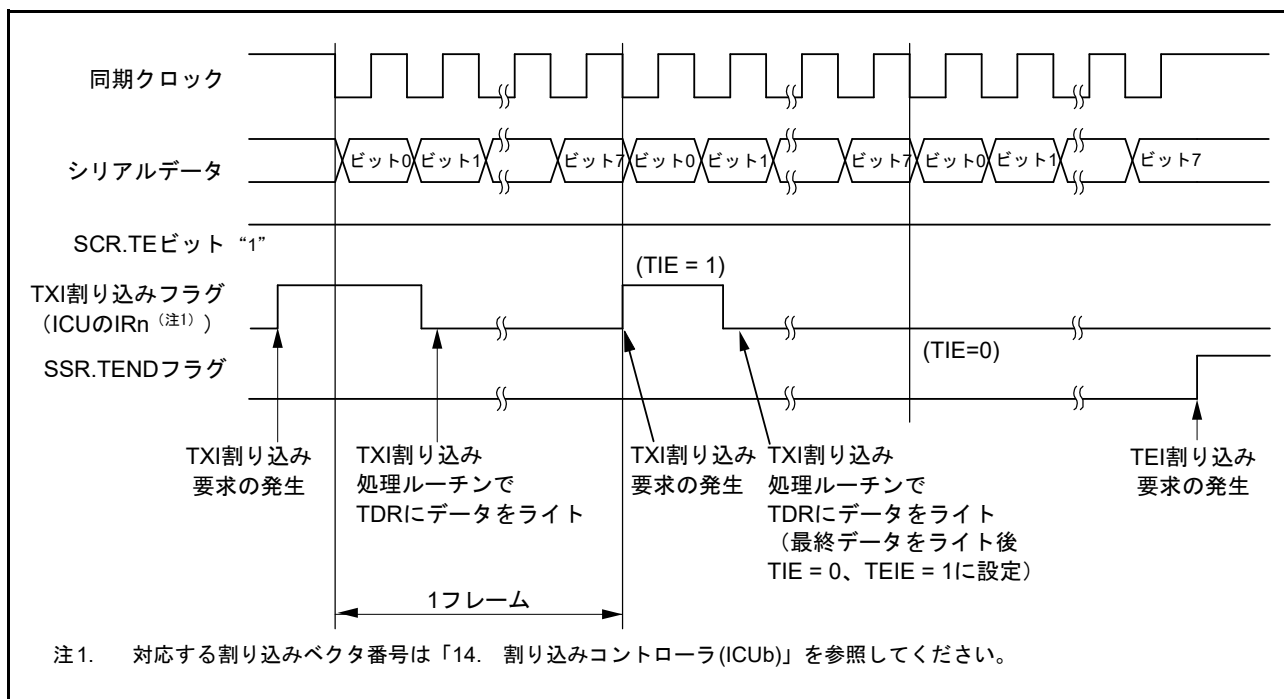


図 31.31 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

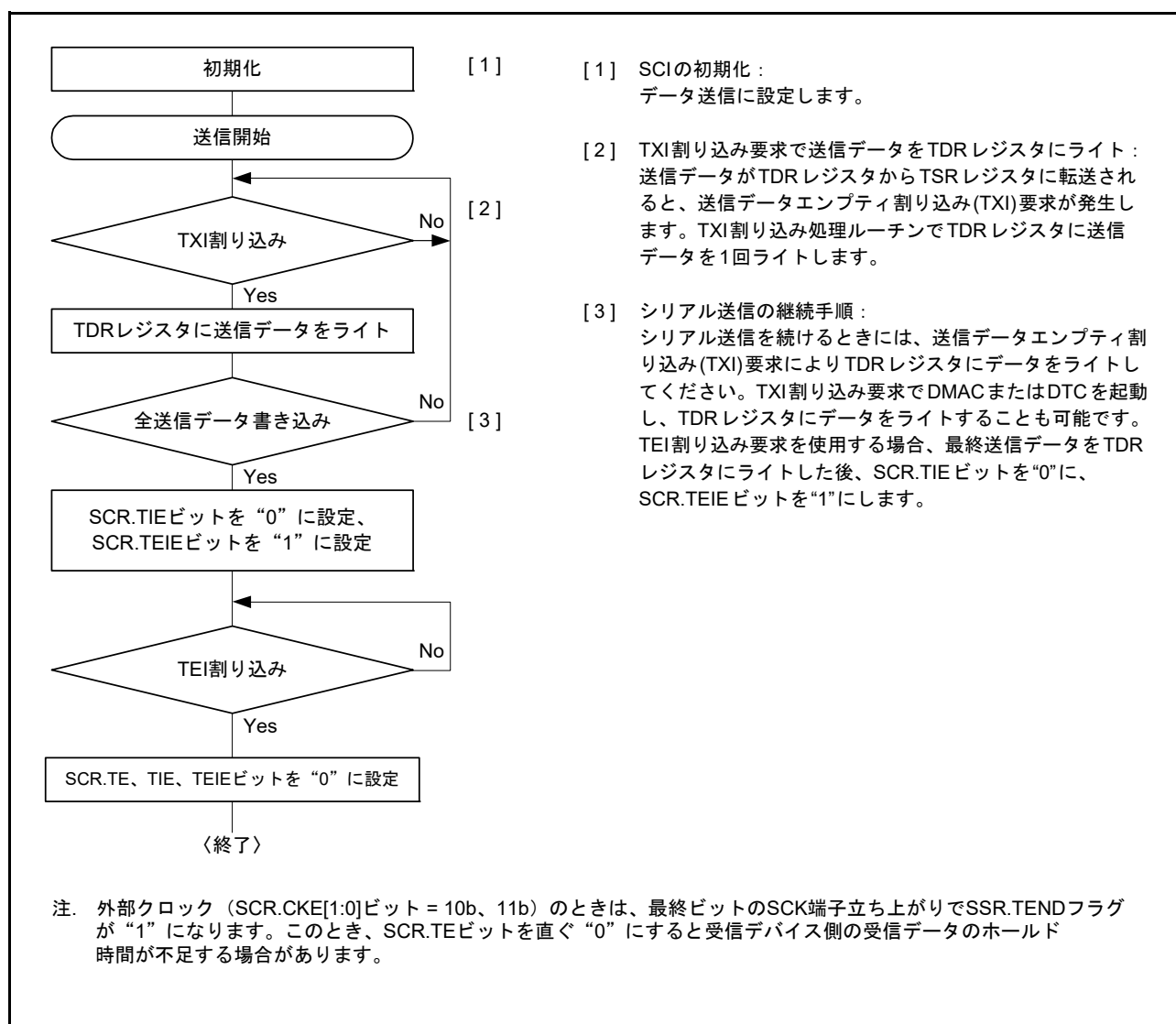


図 31.32 クロック同期式モードのシリアル送信のフローチャート例

31.5.5 シリアルデータの受信 (クロック同期式モード)

図 31.33、図 31.34 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします (RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします (RTS 機能使用時)。

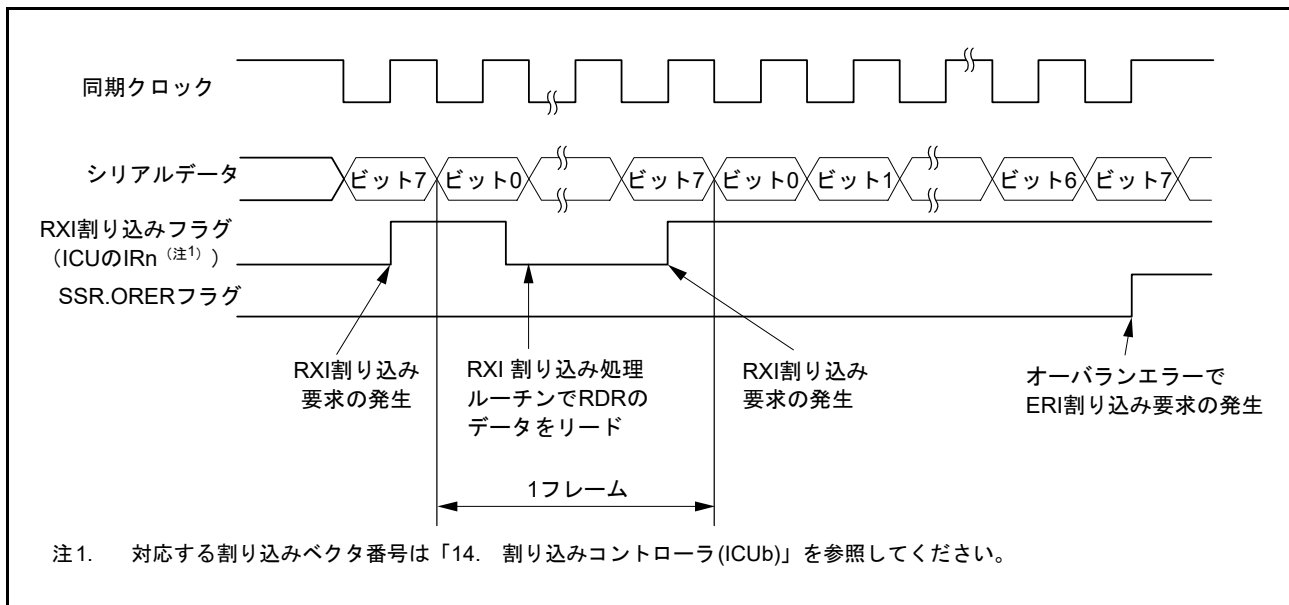


図 31.33 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

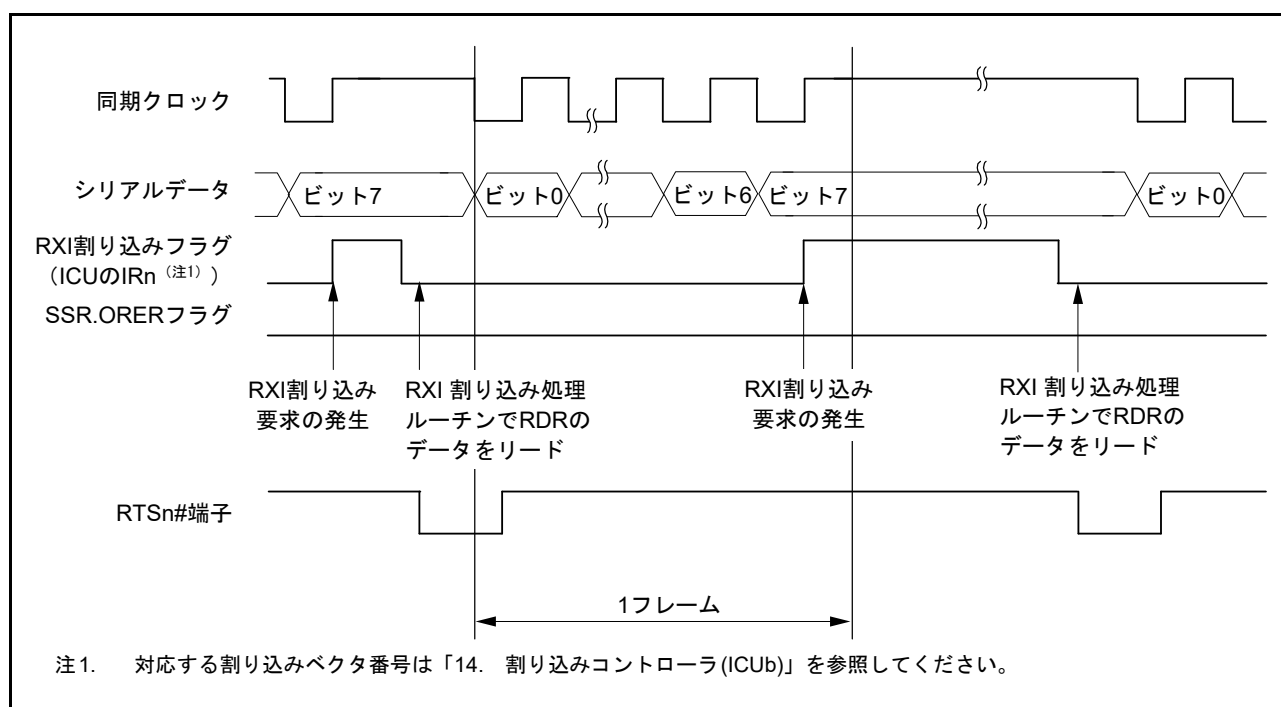


図 31.34 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの OREr、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 31.35 にシリアル受信のフローチャートの例を示します。

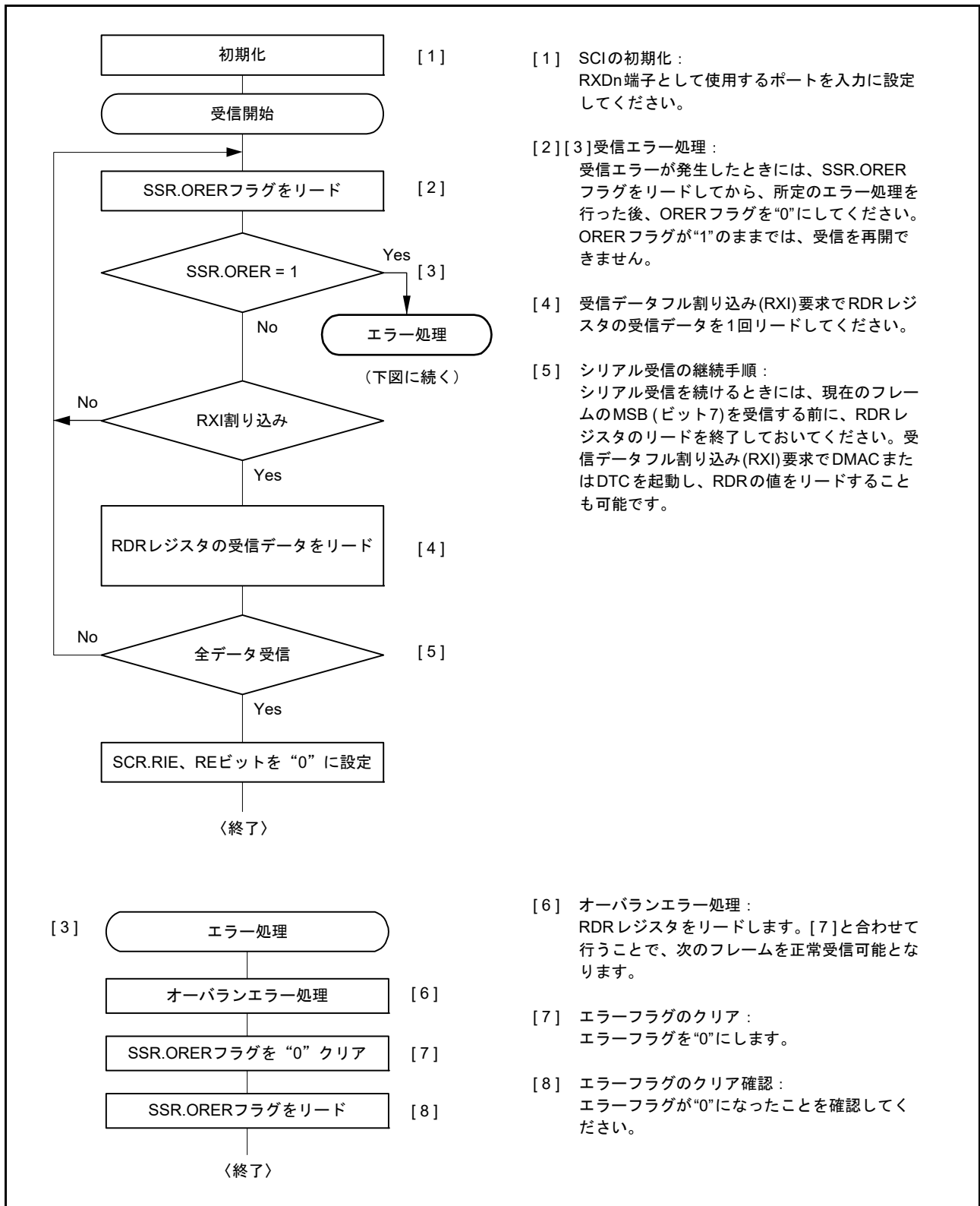


図 31.35 クロック同期式モードのシリアル受信のフローチャート例

31.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 31.36 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが“1”になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, FER, PER) が“0”であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

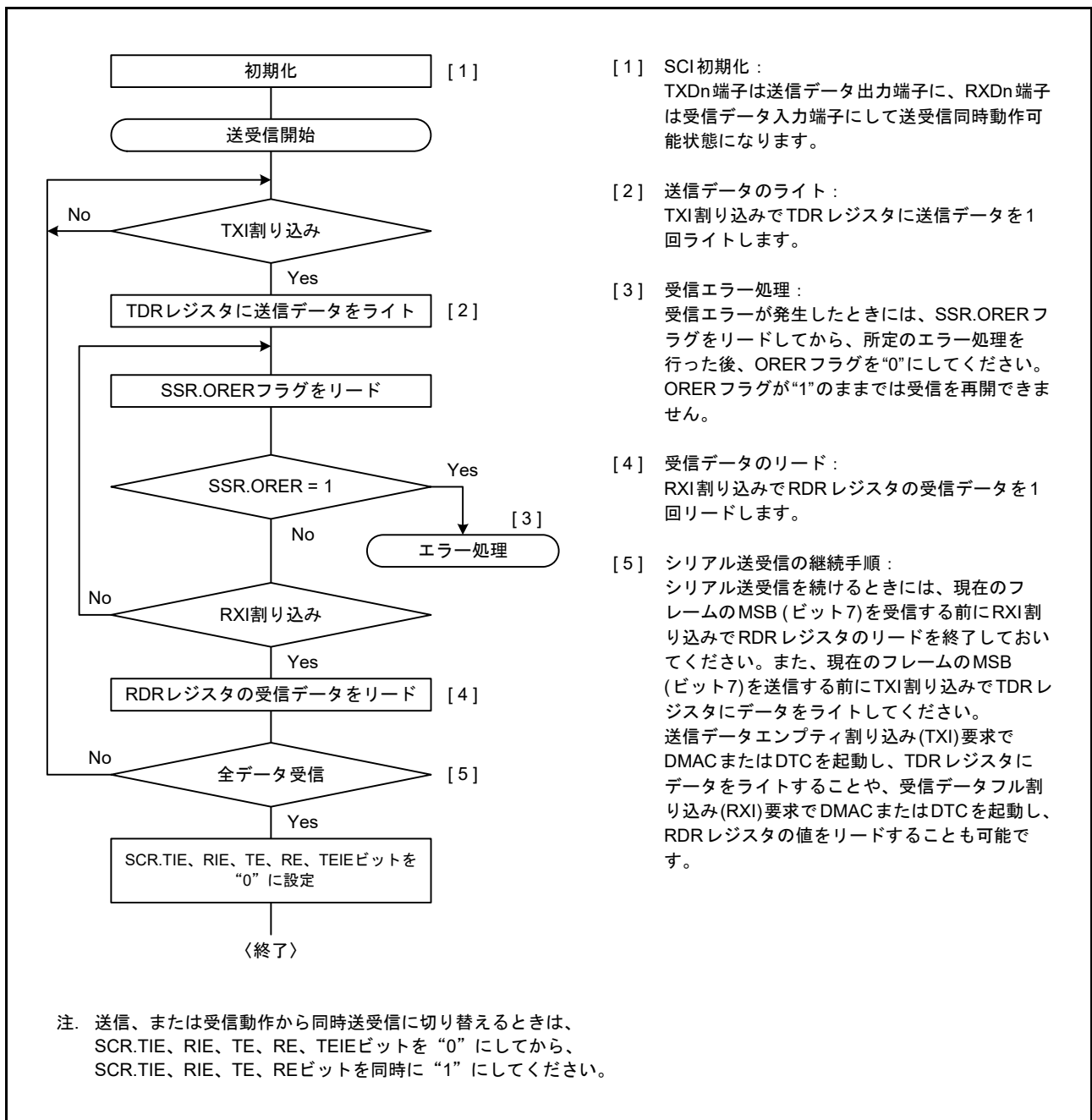


図 31.36 クロック同期式モードのシリアル送受信同時動作のフローチャート例

31.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

31.6.1 接続例

図 31.37 にスマートカード (IC カード) との接続例を示します。

IC カードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

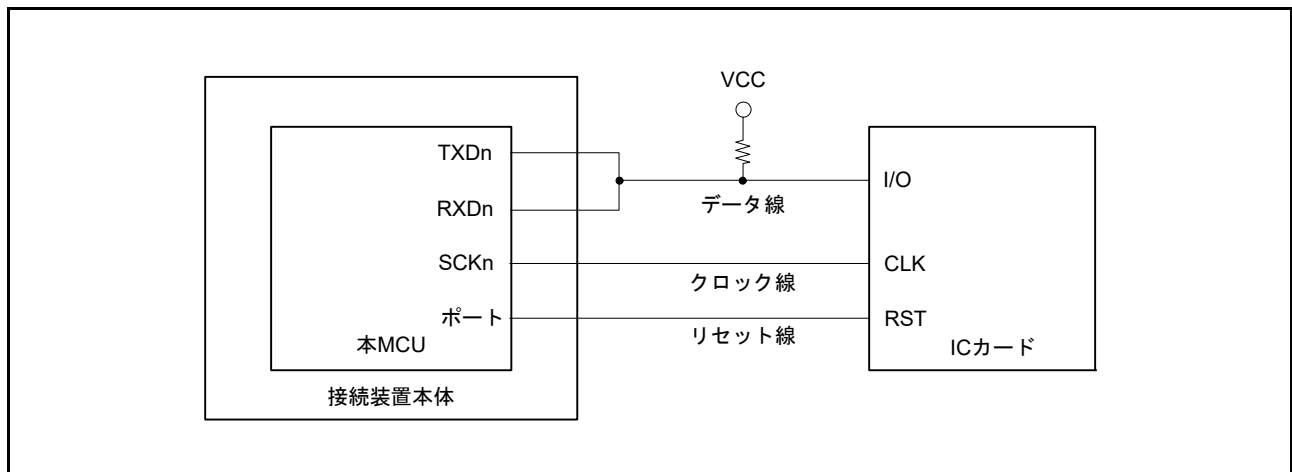


図 31.37 スマートカード (IC カード) との接続例

31.6.2 データフォーマット (ブロック転送モード時を除く)

図 31.38 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit: 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

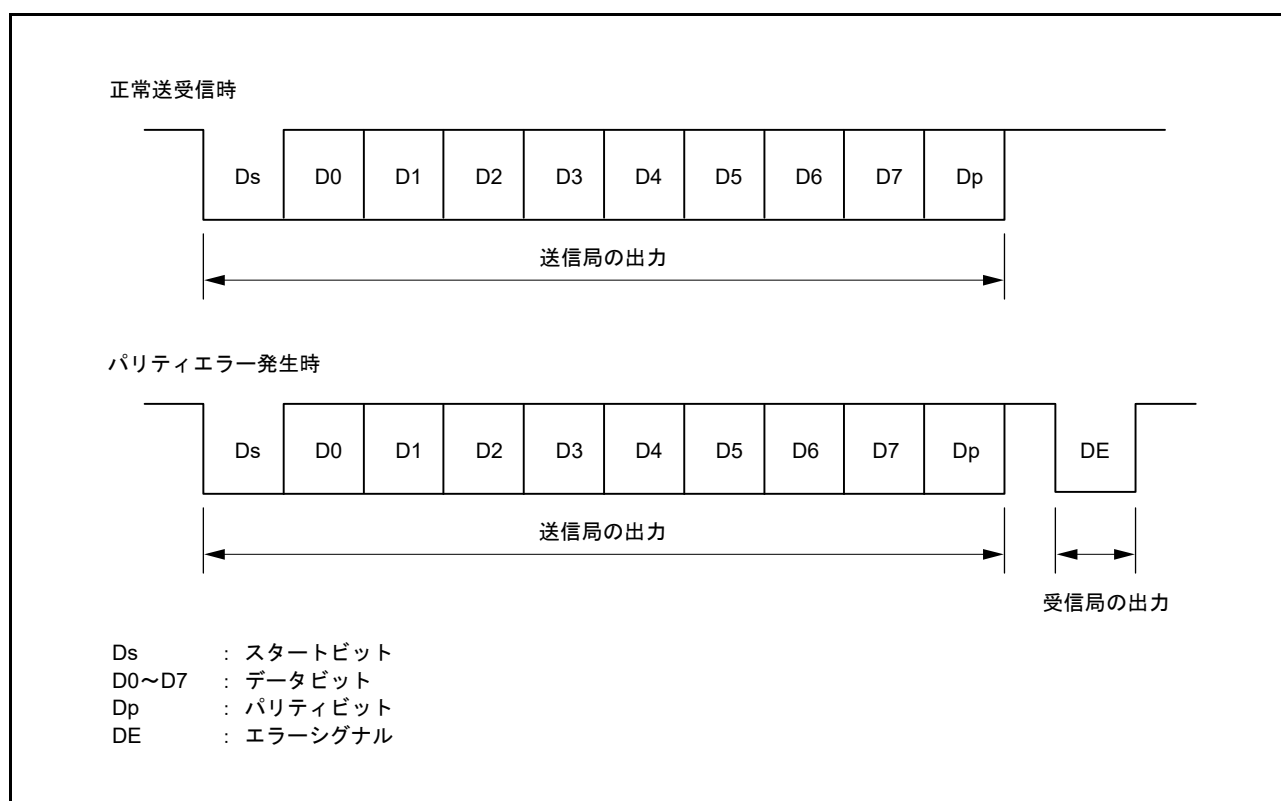


図 31.38 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 31.39**に示す開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。**図 31.39**の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるようSMR.PMビットには“0”を設定してください。

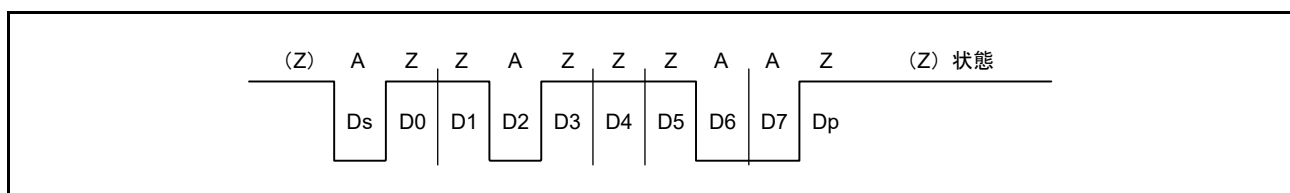


図 31.39 ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。**図 31.40**の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMRレジスタのSDIR、SINVビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理0となり、状態Zが対応します。

本MCUでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMR.PMビットに“1”を設定してパリティビットを反転させてください。

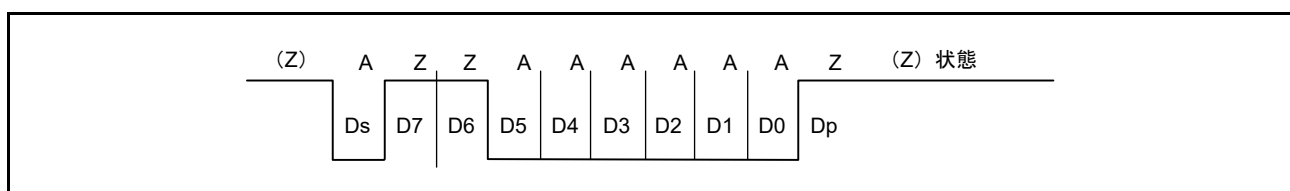


図 31.40 インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

31.6.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

31.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、512倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして同期化します。図31.41に示すように、受信データを基本クロックのそれぞれ16、32、186、128、46、64、93、256クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%)$$

M: 受信マージン(%)

N: クロックに対するビットレートの比(N = 32, 64, 372, 256)

D: クロックデューティ (D = 0 ~ 1.0)

L: フレーム長(L = 10)

F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 (\%) = 49.866 (\%)$$

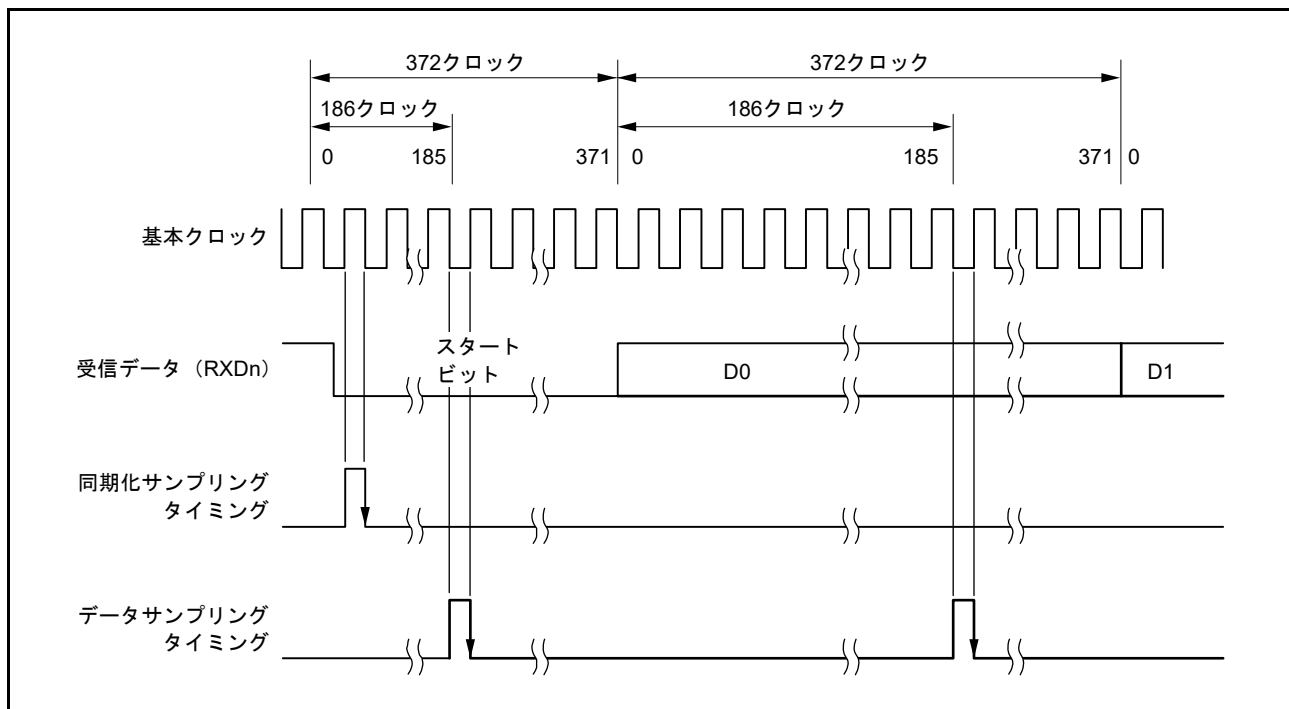


図 31.41 スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)

31.6.5 SCIの初期化(スマートカードインタフェースモード)

図 31.42 のフローチャート例に従って SCI を初期化してください。

送信モードと受信モードを切り替える場合も、SCR レジスタと SSR レジスタは初期化してください。ビットレートを変更しない場合、CKE[1:0] ビットを“00b”にする必要はありません。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、図 31.42 の [1] と [3] を実施し、[11] で TE ビット=1、RE ビット=0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、または SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、図 31.42 の [1] と [3] を実施し、[11] で TE ビット=0、RE ビット=1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

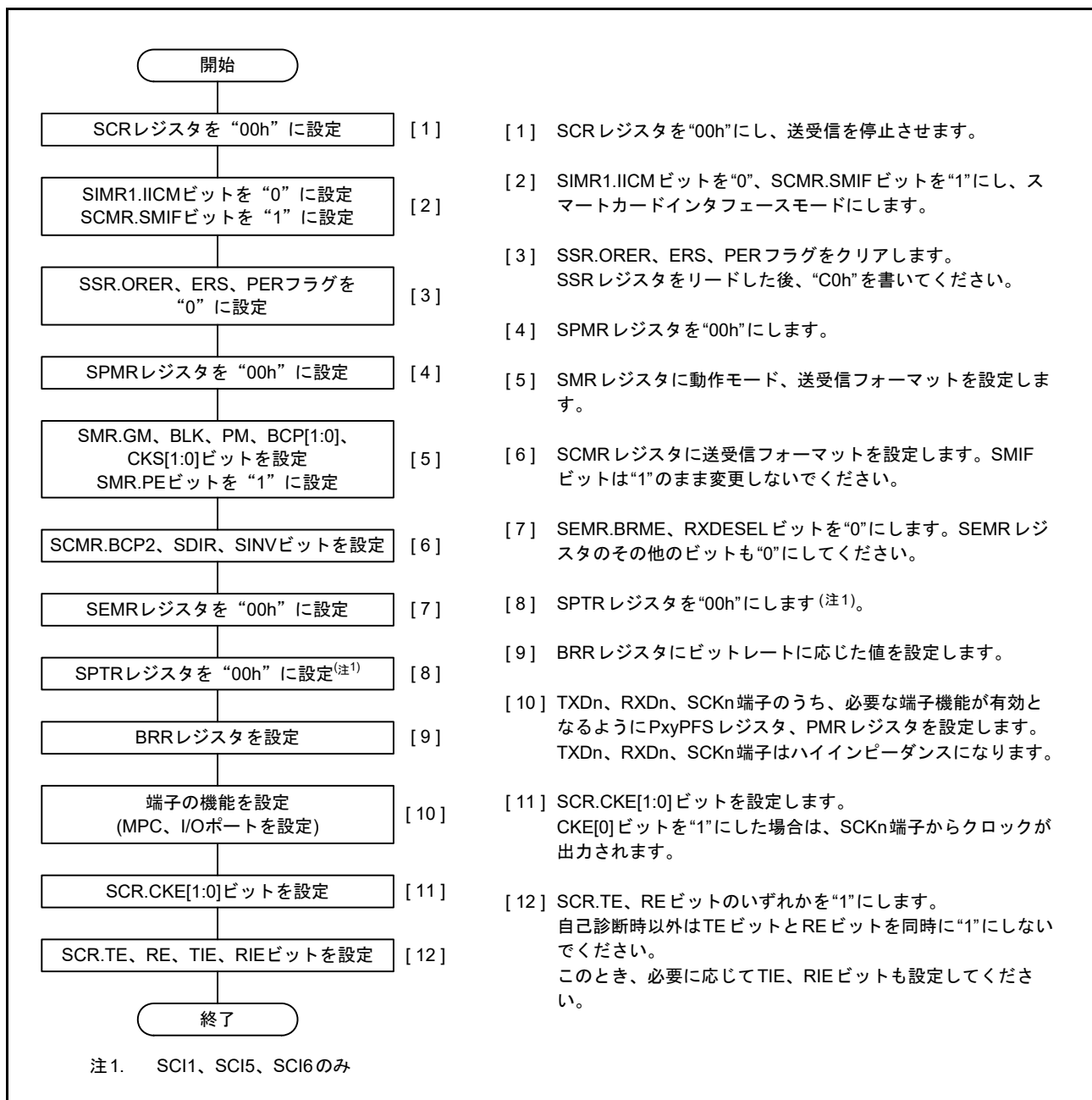


図 31.42 SCIの初期化フローチャートの例(スマートカードインタフェースモード)

図 31.43 は、リセット解除後に図 31.42 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、それぞれ SCR.CKE[0] ビット、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。CKE[0] ビットを“1”にすると SCK 端子からクロックが出力されます。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、TE ビット、RE ビットが共に“0”になっている場合でも、CKE[0] ビットが“1”(クロック出力)であれば、クロックを出力し続けます。

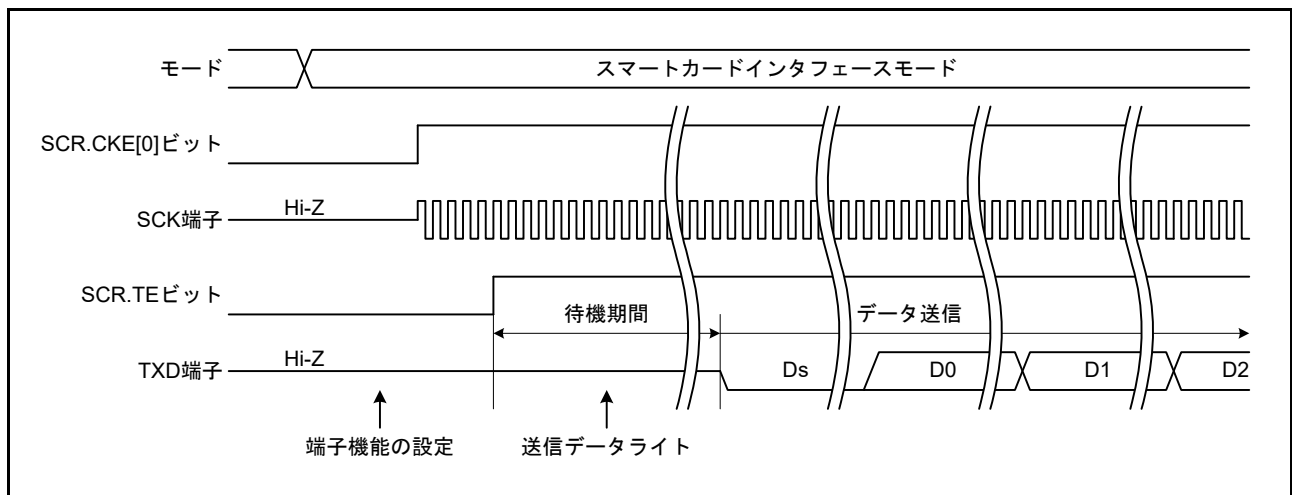


図 31.43 スマートカードインタフェースモード時のデータ送信タイミング例

31.6.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 31.44 に示します。

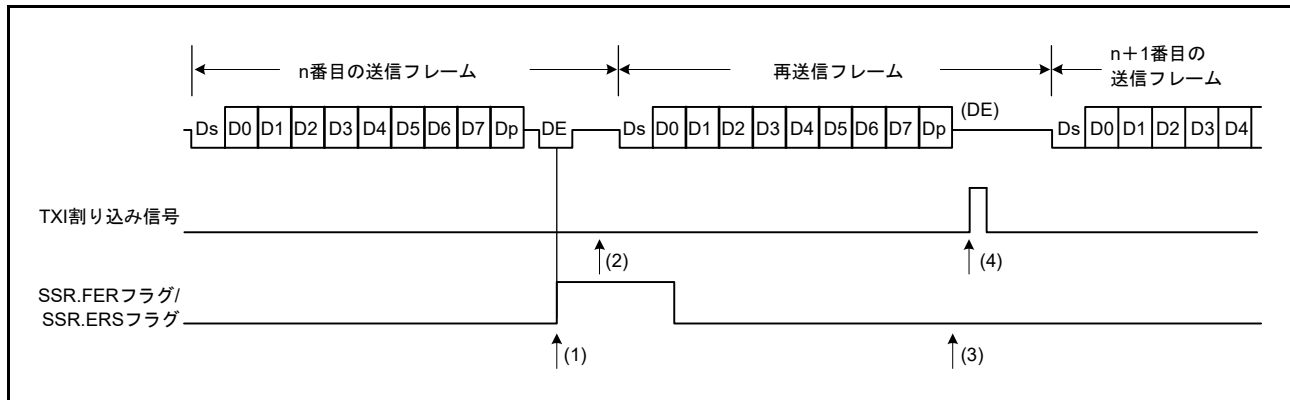


図 31.44 SCI 送信モードの場合の再送信動作 (送信時の再送信動作)

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”になります。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが“1”であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 31.45 に示します。

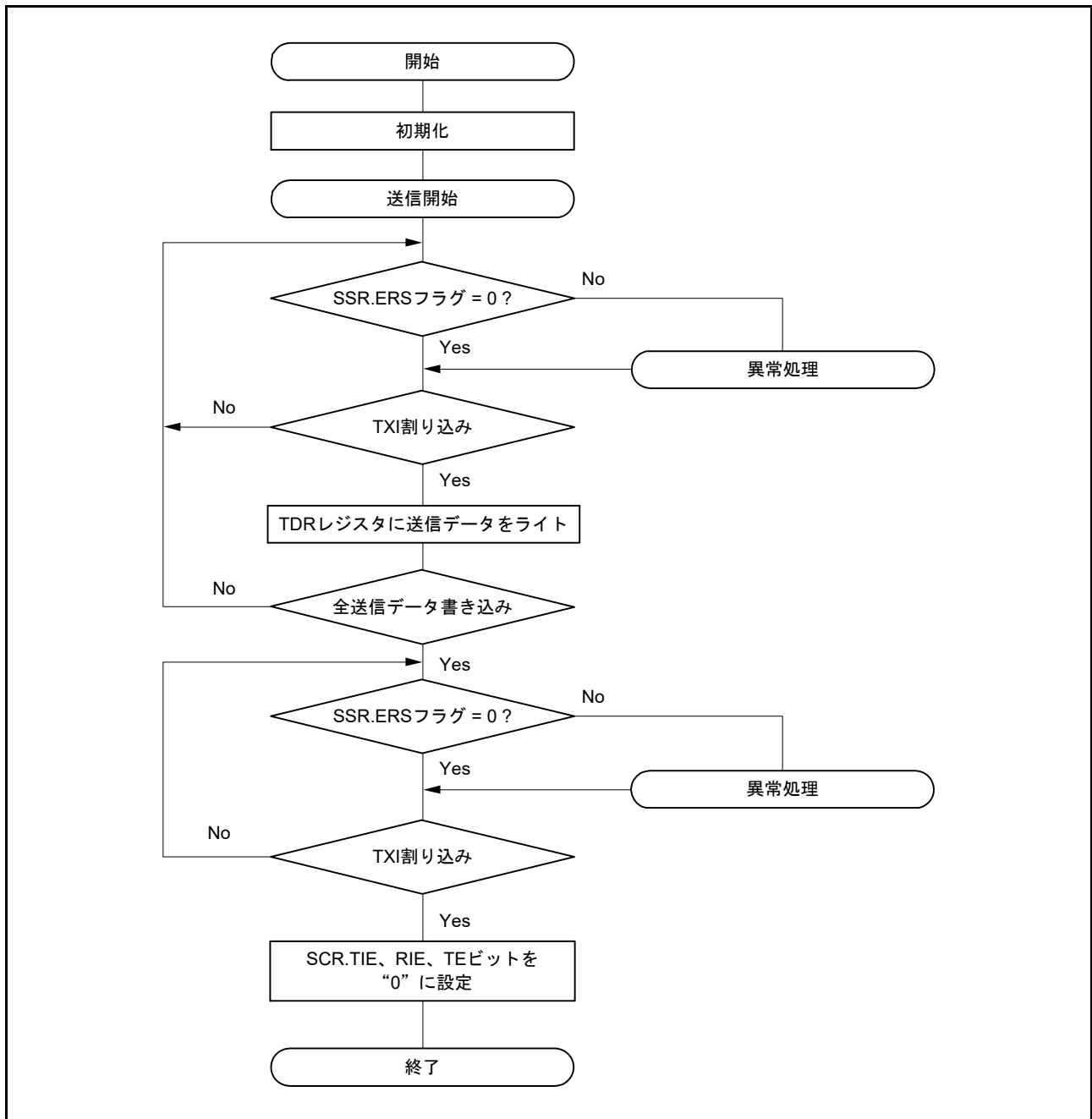


図 31.45 スマートカードインタフェース送信のフローチャート例

これらの一連の処理は、TXI 割り込み要因によって DTC または DMAC を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットを“1”にしておくと、SSR.TEND フラグが“1”になったときに TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的

にはクリアされませんので、RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法は「18. データトランスファコントローラ (DTCb)」、「17. DMA コントローラ (DMACA)」を参照してください。

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 31.46 に TEND フラグ発生タイミングを示します。

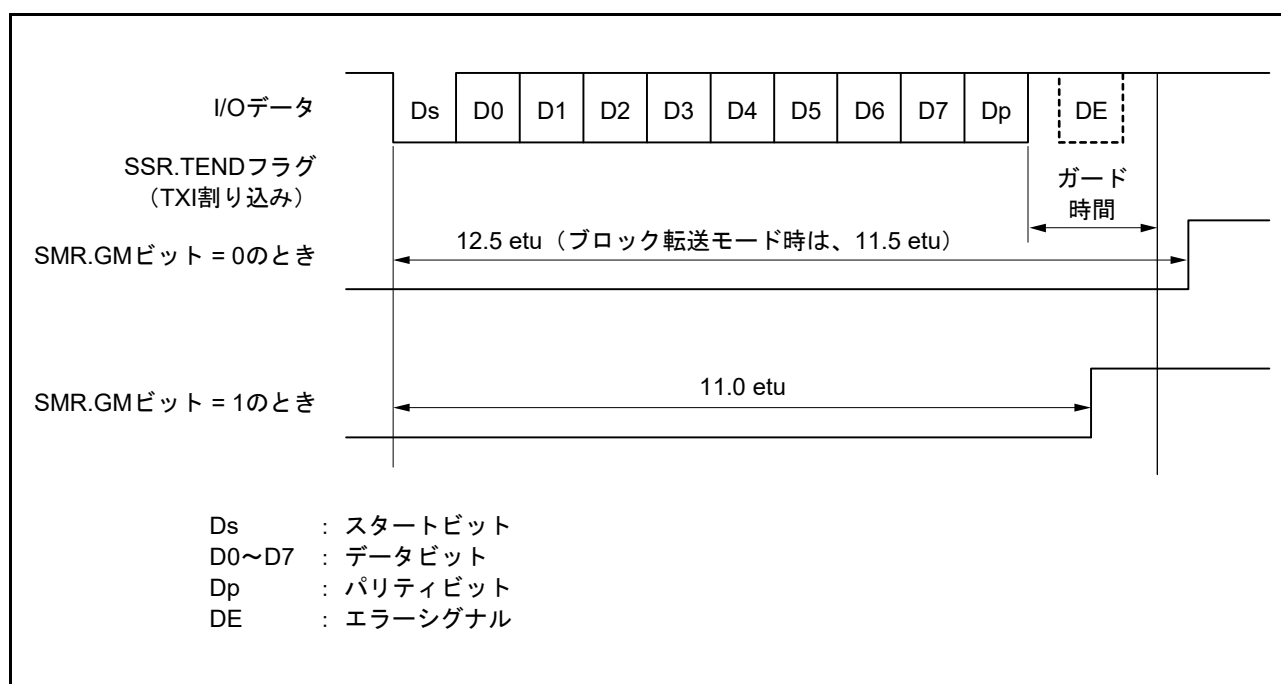


図 31.46 送信時の SSR.TEND フラグの発生タイミング

31.6.7 シリアル受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 31.47 に示します。

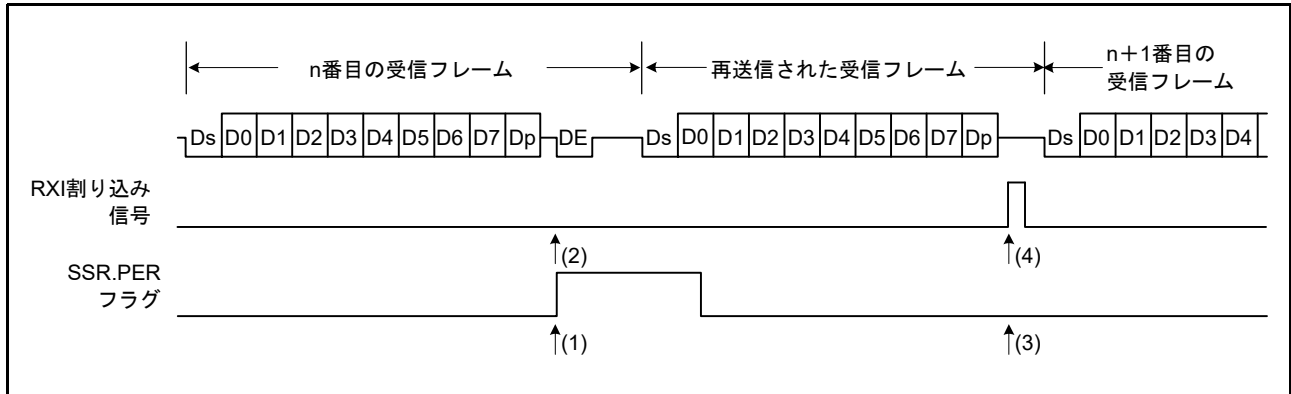


図 31.47 SCI 受信モードの場合の再送信動作 (受信時の再送信動作)

- (1) 受信データにパリティエラーを検出すると SSR.PER フラグが“1”になります。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
- (4) 正常に受信を完了したと判断して、RIE ビットが“1”であれば、RXI 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 31.48 に示します。

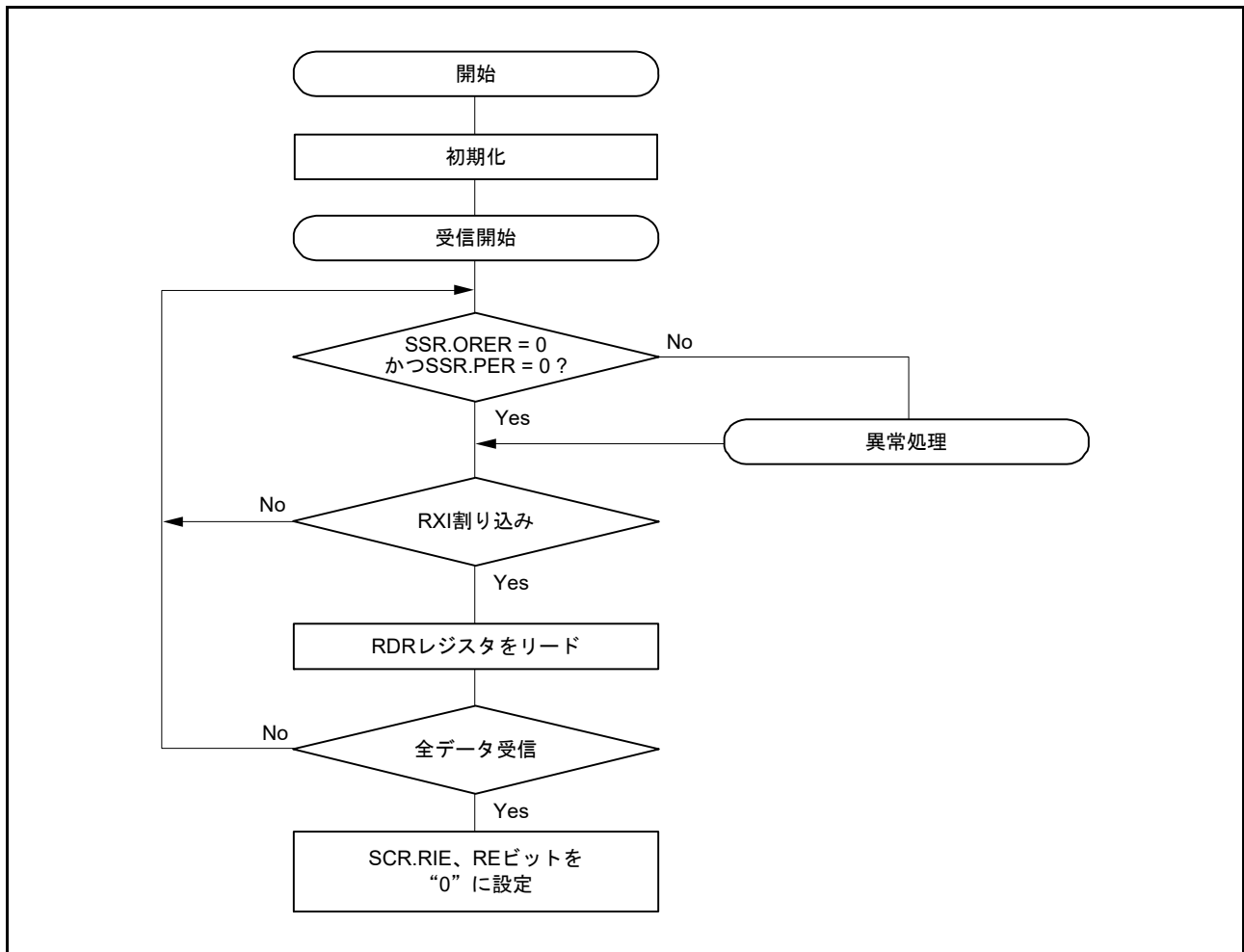


図 31.48 スマートカードインタフェース受信のフローチャート例

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくこと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注． ブロック転送モードの場合は、「31.3 調歩同期式モードの動作」を参照してください。

31.6.8 クロック出力制御

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを“01b”(クロック出力)にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数(ビットレート)の設定については、「31.2.11 ビットレートレジスタ(BRR)」を参照してください。CKE[1:0] ビットを“00b”(Low 出力固定)や“10b”(High 出力固定)にすると、SCK 端子から Low や High を出力できます。

図 31.49 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが“0”(非 GSM モード)の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

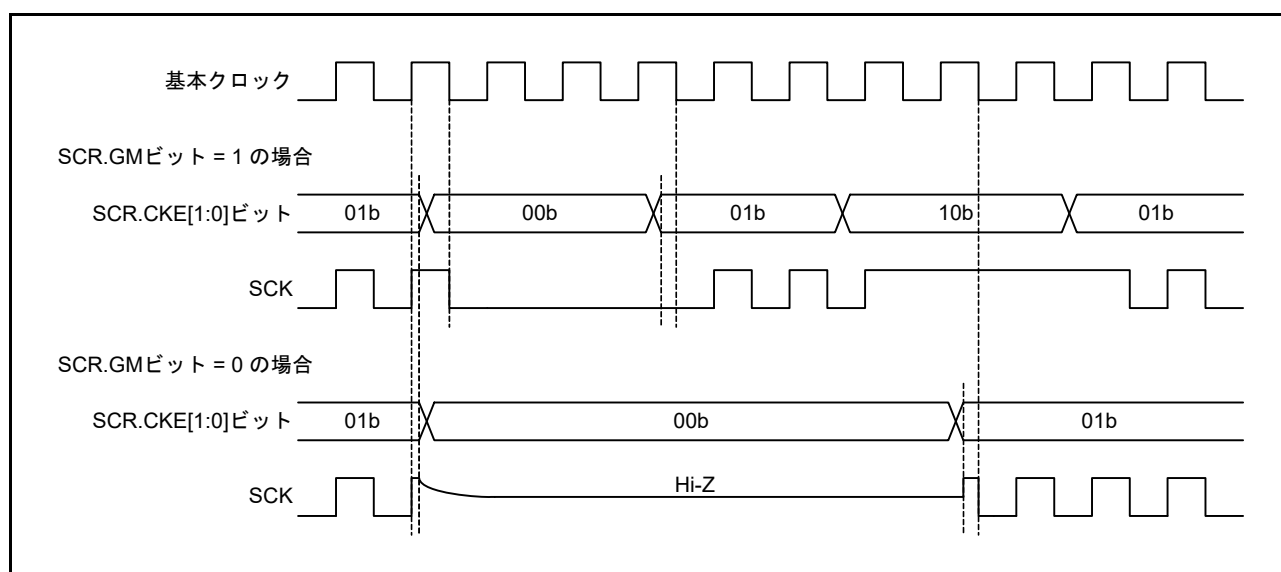


図 31.49 クロック出力制御

31.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 31.50 に I²C バスフォーマットを、図 31.51 に I²C バスタイミングを示します。

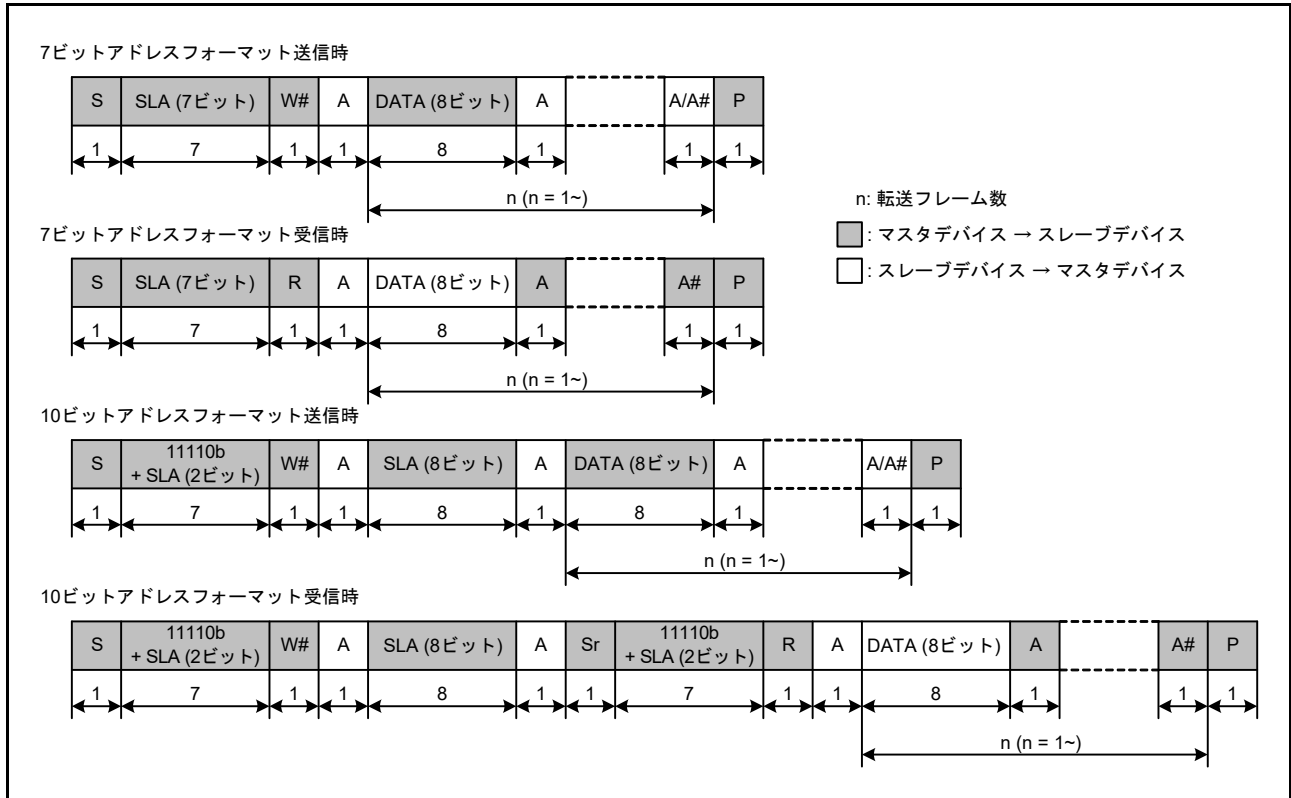


図 31.50 I²C バスフォーマット

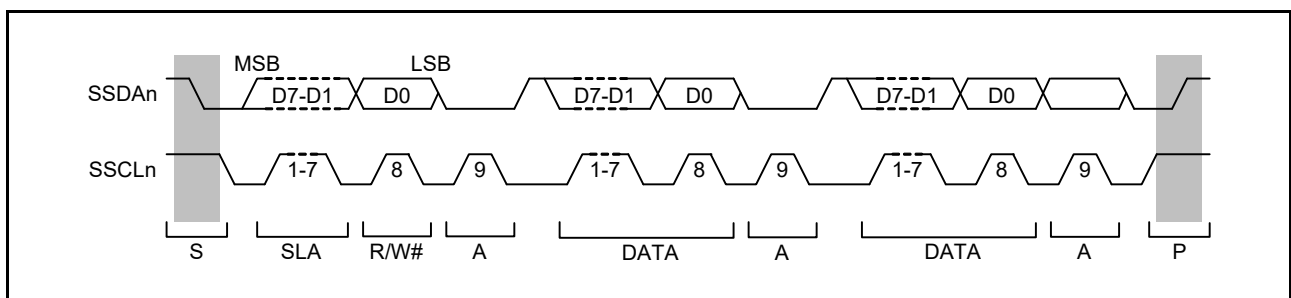


図 31.51 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態からSSDAnラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態からセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態からSSDAnラインがLowからHighに変化します。

31.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 31.52 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

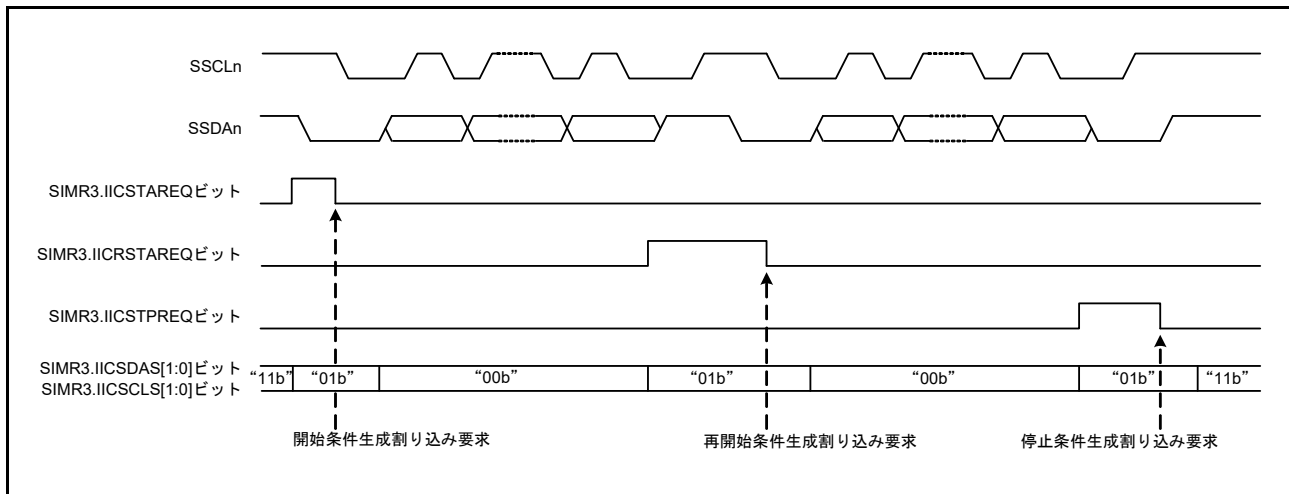


図 31.52 開始条件、再開始条件、停止条件生成の動作タイミング

31.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 31.53 にクロック同期化の動作例を示します。

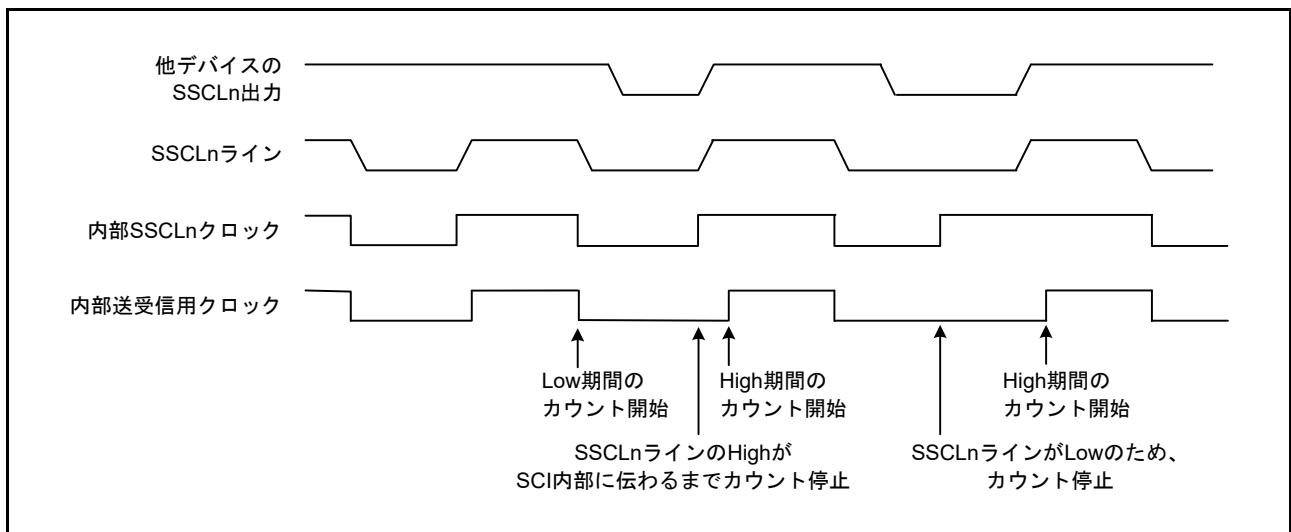


図 31.53 クロック同期化の動作例

31.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0～31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 31.54 に SSDA 出力遅延のタイミングを示します。

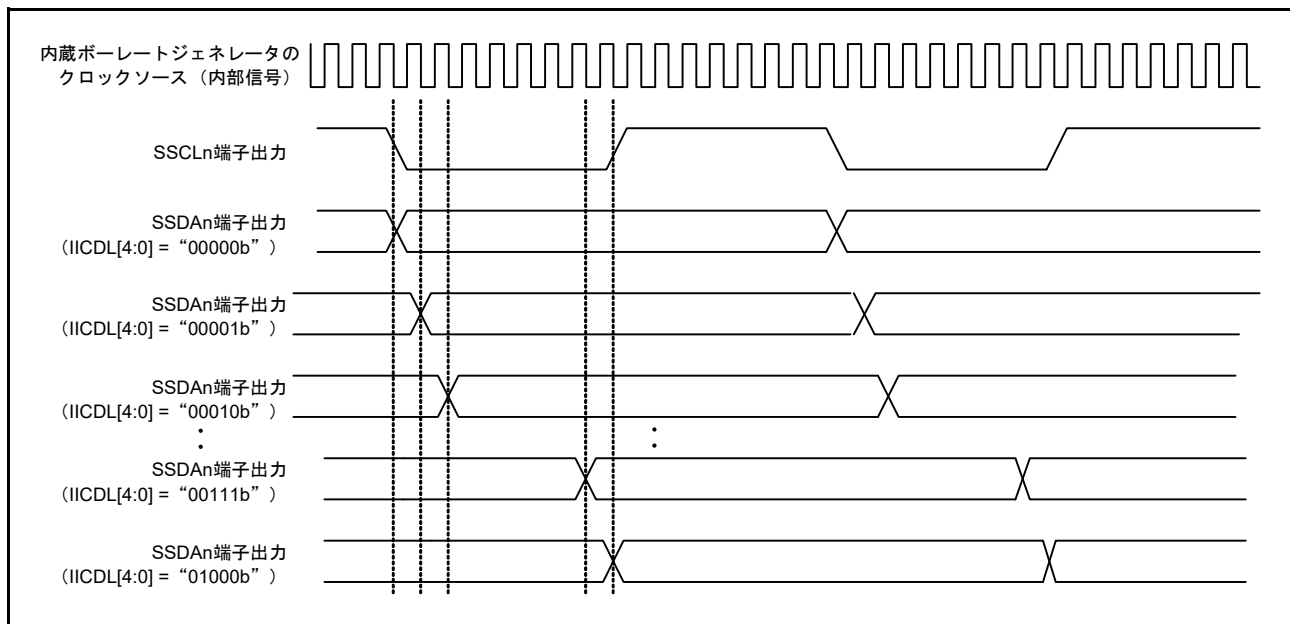


図 31.54 SSDA 出力遅延のタイミング

31.7.4 SCIの初期化(簡易I²Cモード)

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図31.55のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易I²Cモード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

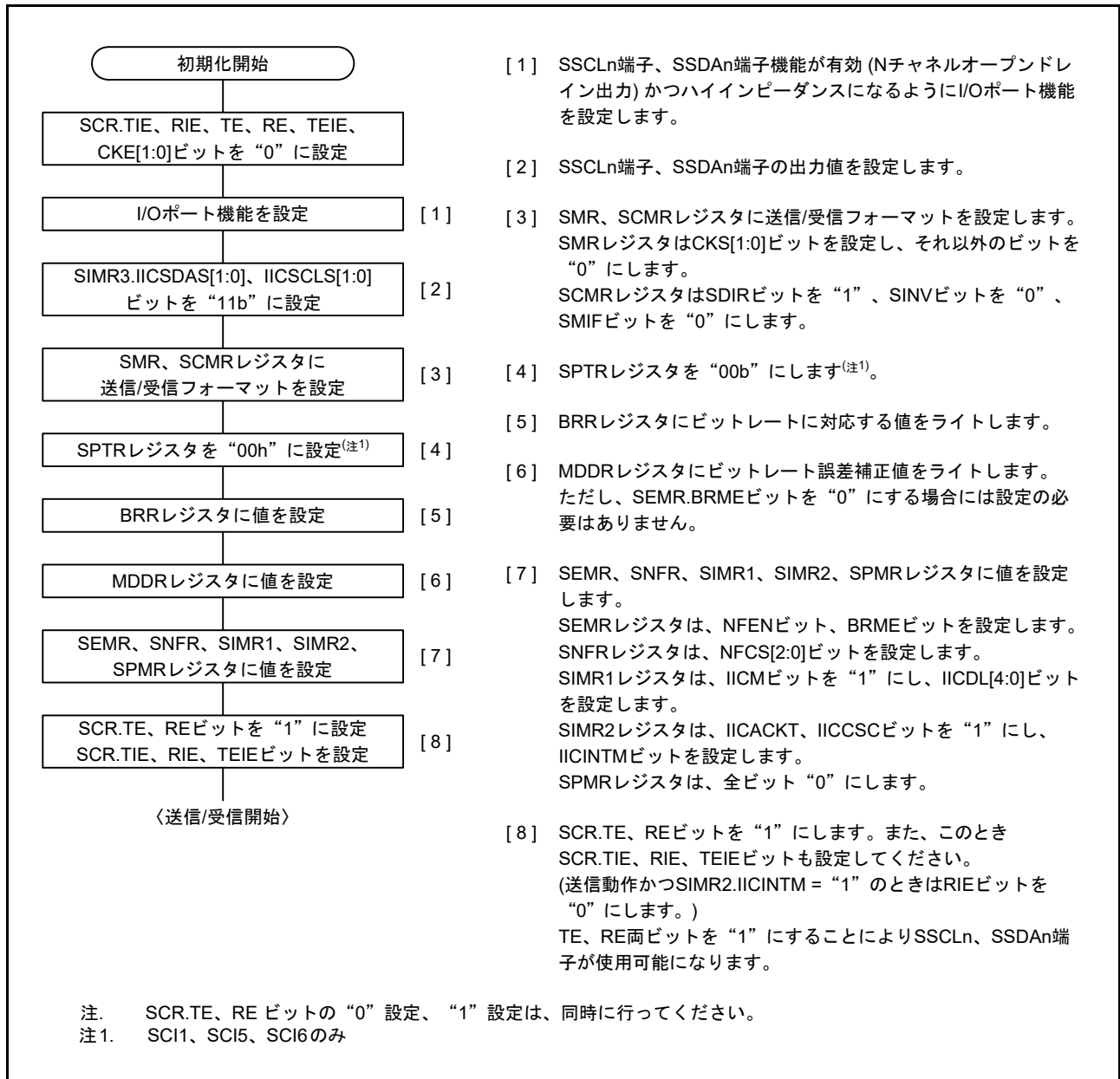


図31.55 SCIの初期化フローチャート例(簡易I²Cモード)

31.7.5 マスタ送信動作 (簡易 I²C モード)

図 31.56、図 31.57 に簡易 I²C モードのマスタ送信の動作例を、図 31.58 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 31.39 を参照してください。

10 ビットスレーブアドレス時は、図 31.58 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

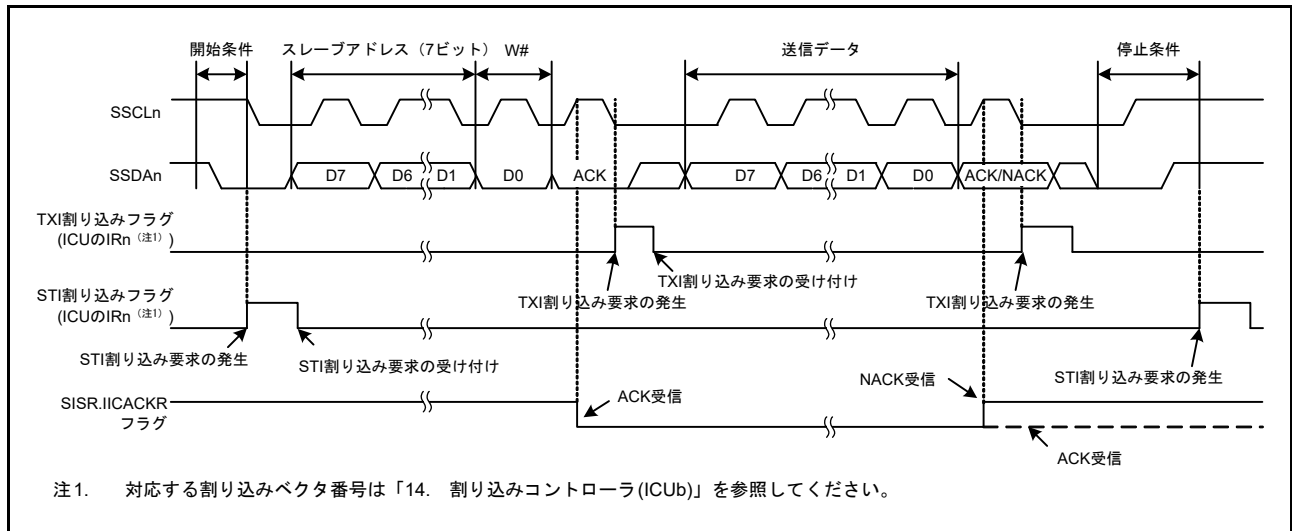


図 31.56 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

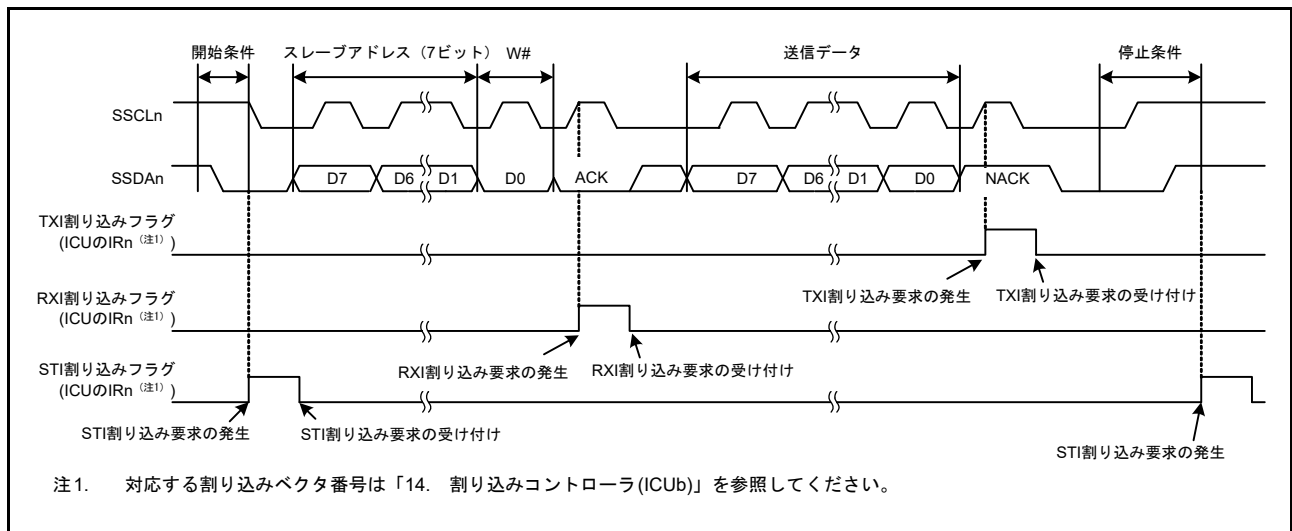


図 31.57 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

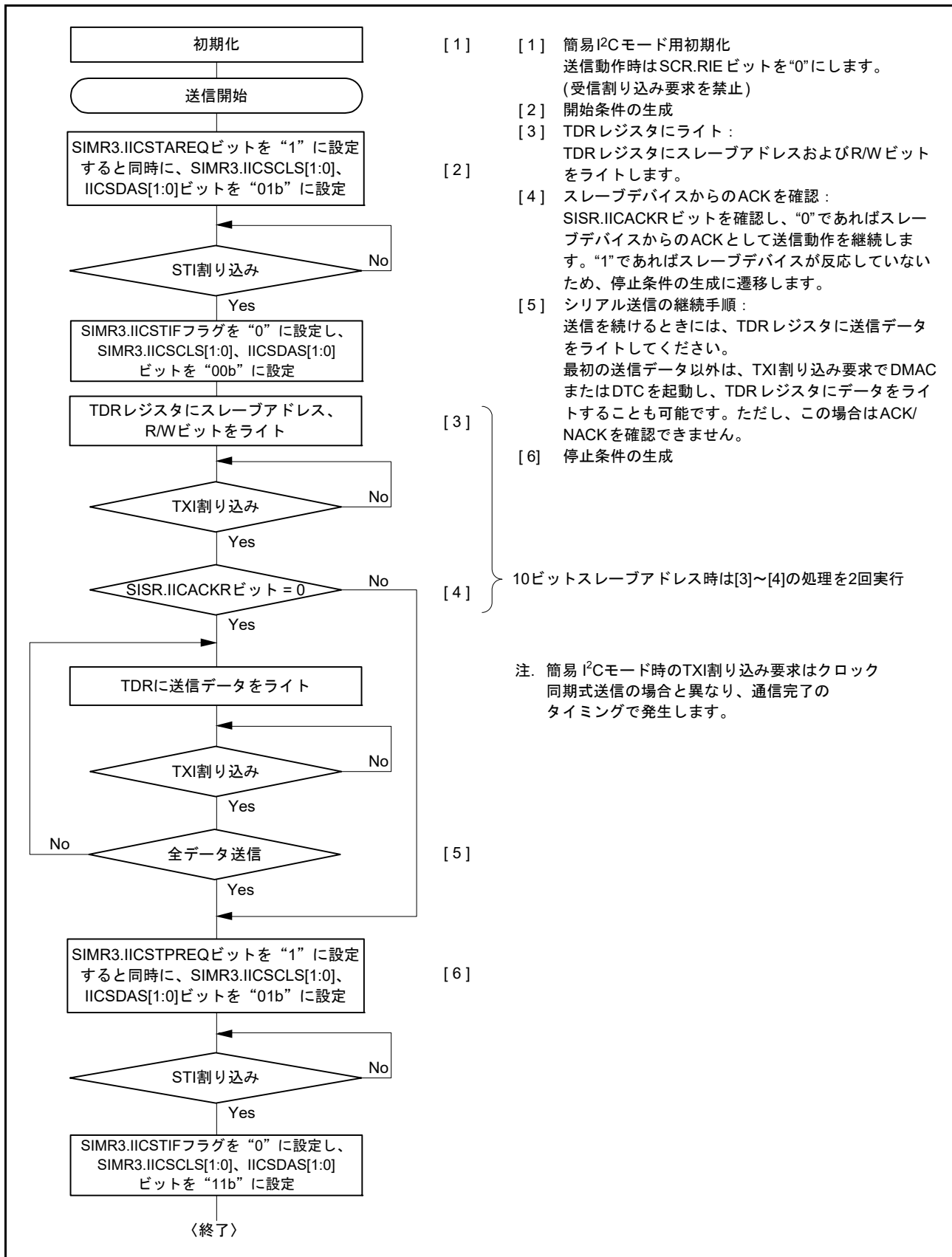


図 31.58 簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

31.7.6 マスタ受信動作 (簡易 I²C モード)

図 31.59 に簡易 I²C モードのマスタ受信の動作例を、図 31.60 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

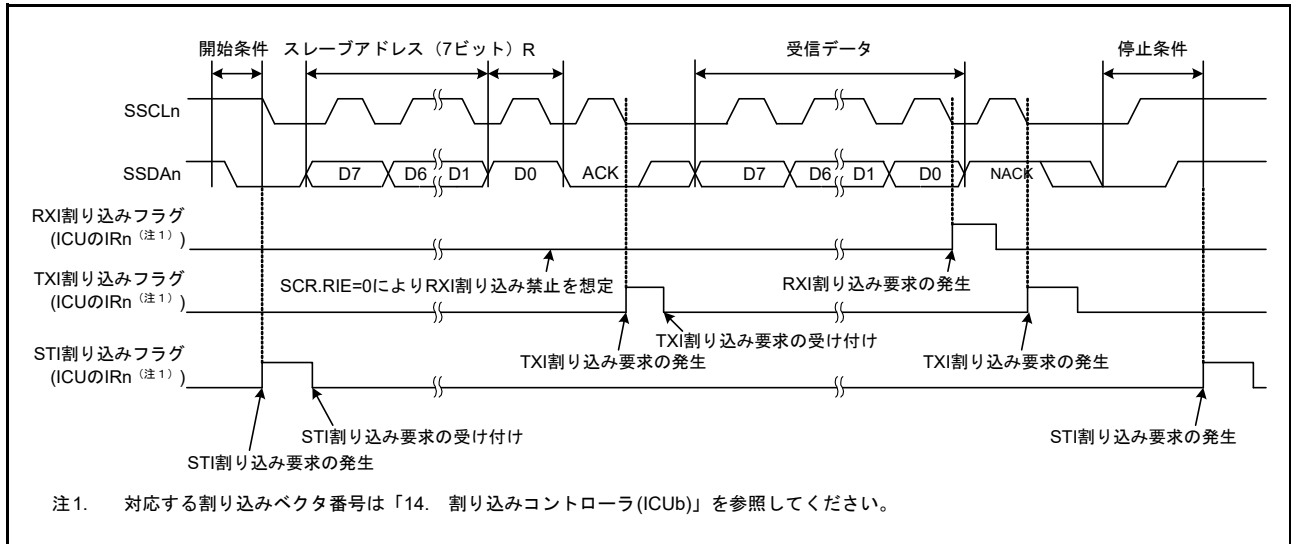


図 31.59 簡易 I²C バスモードのマスタ受信の動作例
(7ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

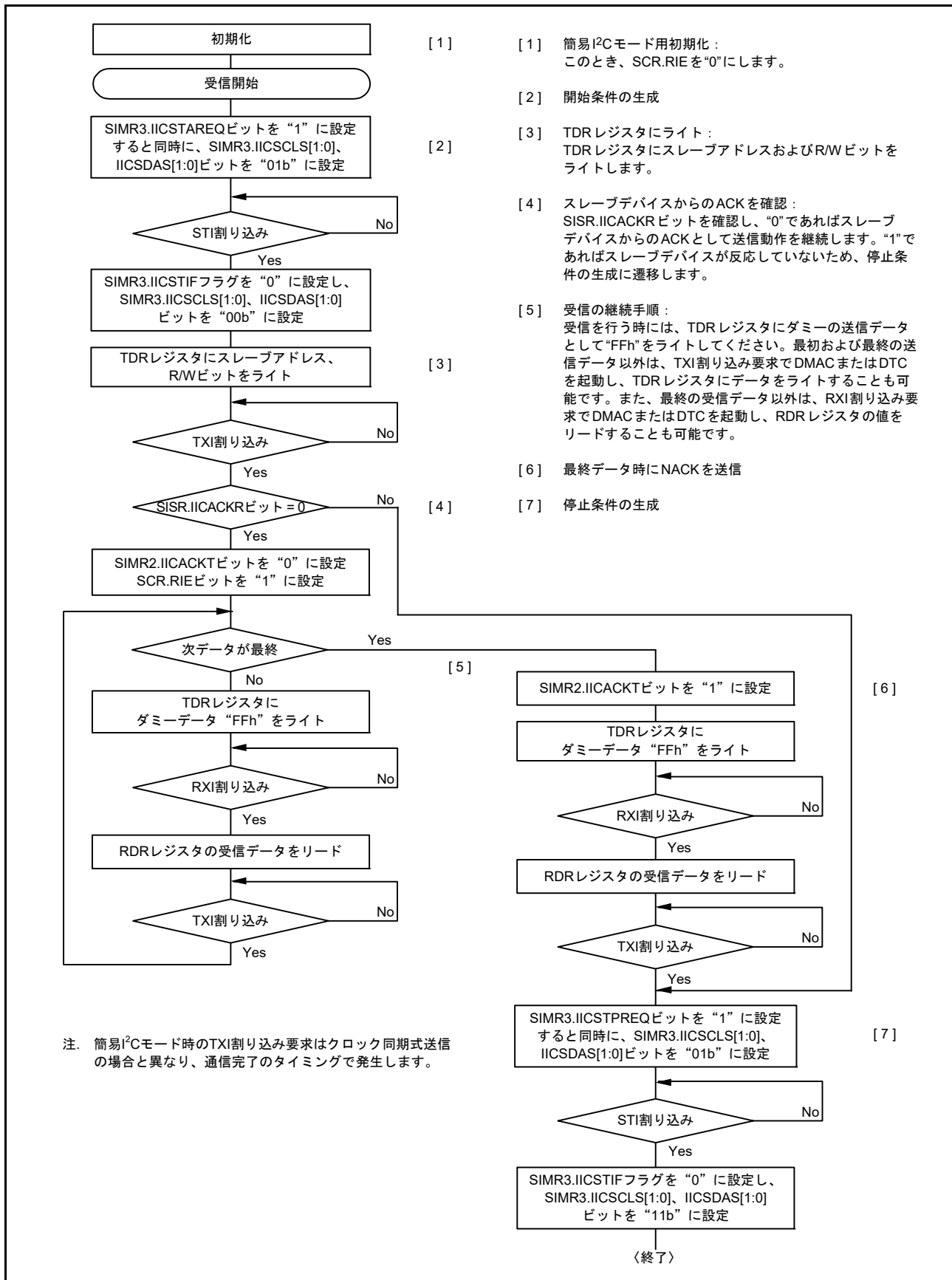


図 31.60 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

31.7.7 バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

- (1) SCR.TE ビットと RE ビットを同時に “0” にして、SCI をリセットする。
- (2) SIMR3 レジスタを “F0h” にして、バスを解放する。
- (3) SSR.RDRF フラグが “1” の場合は、RDR レジスタをダミーリードして RDRF フラグをクリアする。
- (4) SCR.TE ビットと RE ビットを同時に “1” にする。

31.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット=0、SIMR1.IICM ビット=0、SMR.CM ビット=1)、かつ、SPMR.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを“0”にします。

図 31.61 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを“1”にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

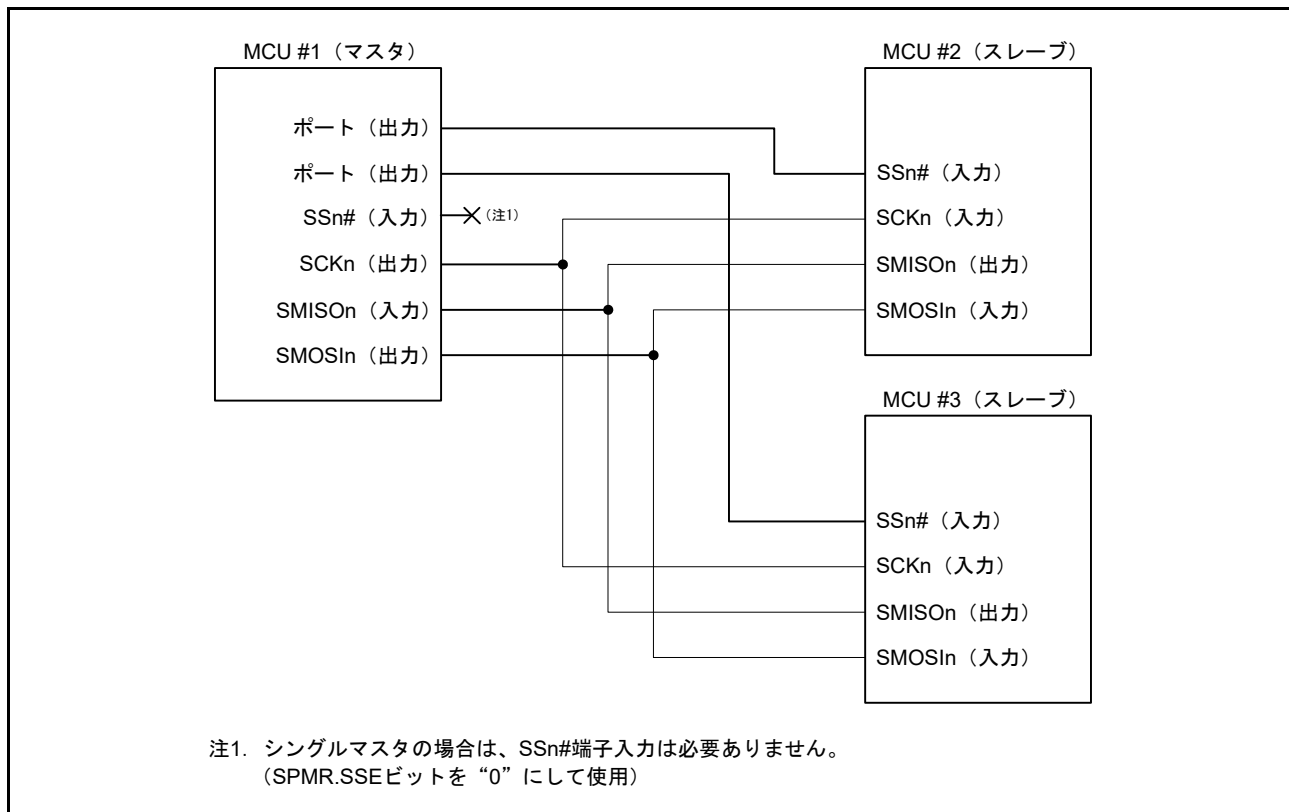


図 31.61 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

31.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 31.35 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 31.35 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn#端子入力	SMOSIn 端子状態	SMISOn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

31.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

31.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

31.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 31.62 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

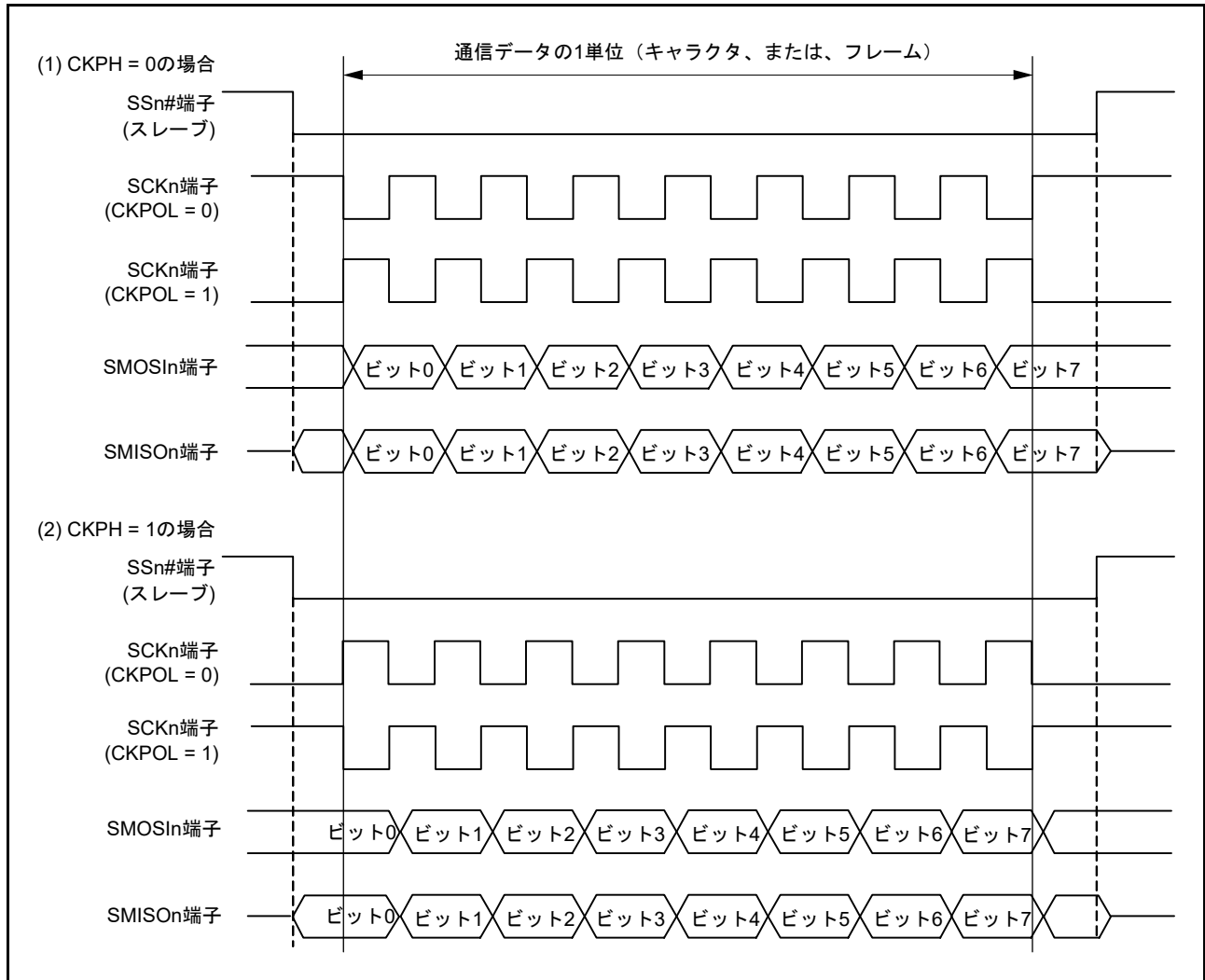


図 31.62 簡易 SPI モードのクロックと送受信データの関係

31.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 31.28 の SCI の初期化フローチャート例) と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

31.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

31.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが“1”のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが“00b”で、BRR レジスタが“00h”、MDDR レジスタが“160”のときの例を、図 31.63 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注． クロック同期式モードおよび簡易 SPI モードでは、最高速設定 (SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0) で本機能を使用しないでください。

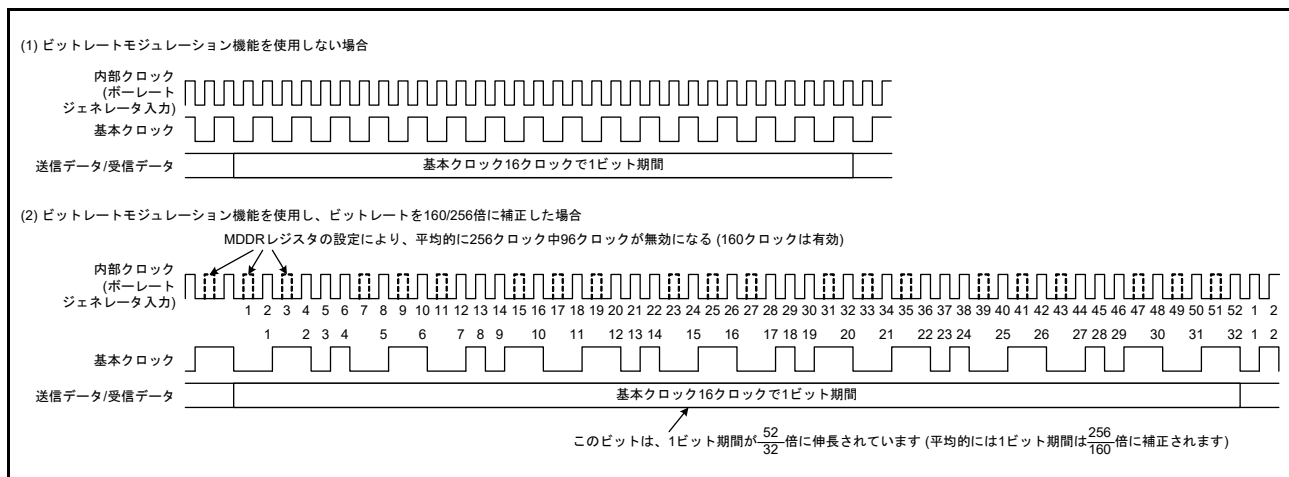


図 31.63 ビットレートモジュレーション機能使用時の基本クロックの例

なお、ボーレートジェネレータに入力されるクロックの周期が短いほど、生成される基本クロックの周期の差が小さくなり、また、ボーレートジェネレータの分周比も大きくなるため、結果として 1 ビット期間の長さの差も小さくなります。

31.10 拡張シリアルモード制御部の動作説明

31.10.1 シリアル通信プロトコル

SCI12 の拡張シリアルモード制御部は、図 31.64 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

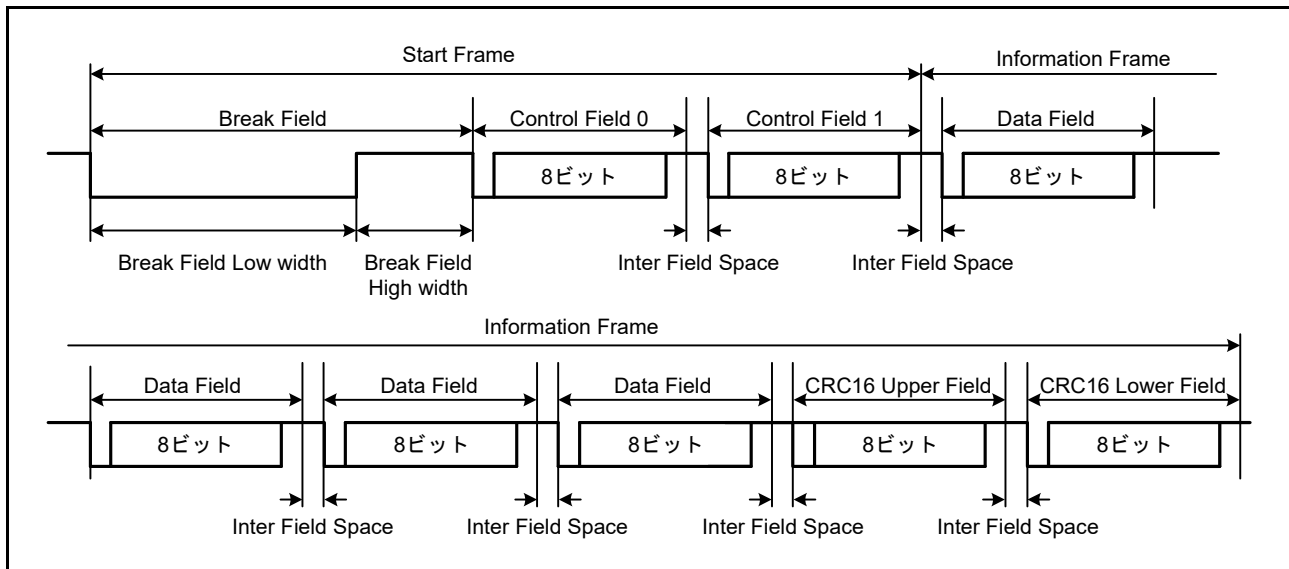


図 31.64 拡張シリアルモード制御部シリアル通信プロトコル

31.10.2 Start Frame 送信

図 31.65 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します。また、図 31.66、図 31.67 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR.TCST ビットに“1”を書き込むと、タイマがカウントを開始し、TCNT、TPRE レジスタに設定した期間、TXDX12 端子から Low が出力されます。
- (2) タイマがアンダフローすると TXDX12 端子の出力が反転し、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) TCR.TCST ビットに“0”を書き込んでタイマのカウントを停止させた後、Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダフローするまでにカウントを停止してください。
- (4) Control Field 0 のデータの送信が完了した後、Control Field 1 のデータを送信します。
- (5) Control Field 1 のデータの送信が完了した後、Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。

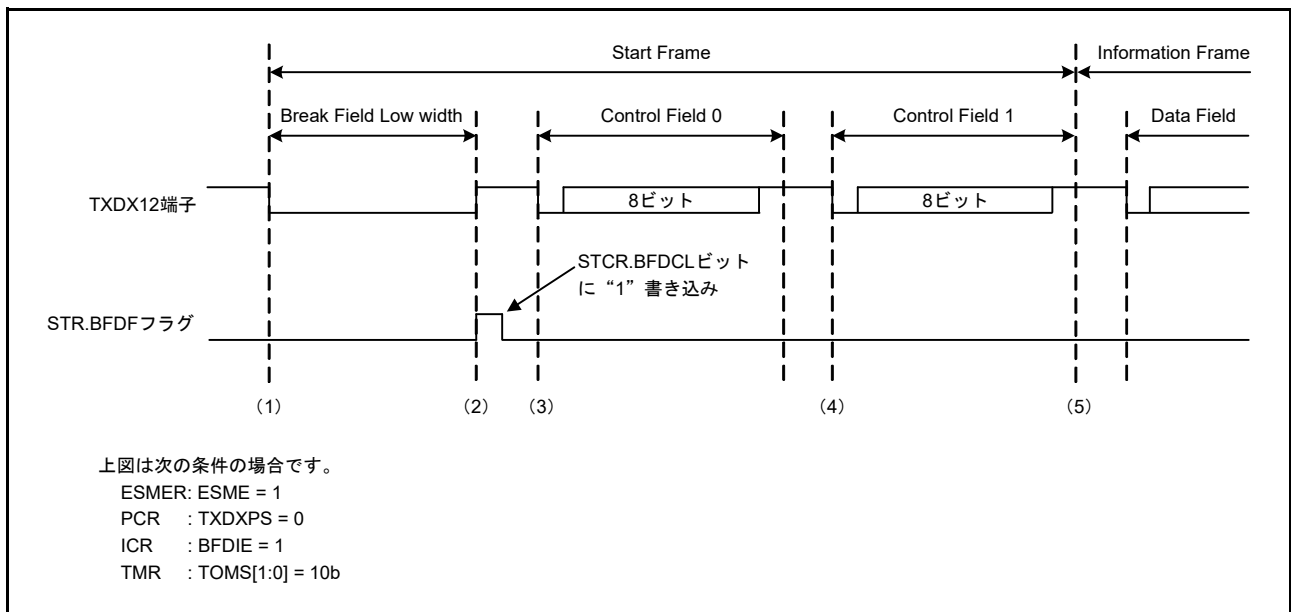


図 31.65 Start Frame 送信時の動作例

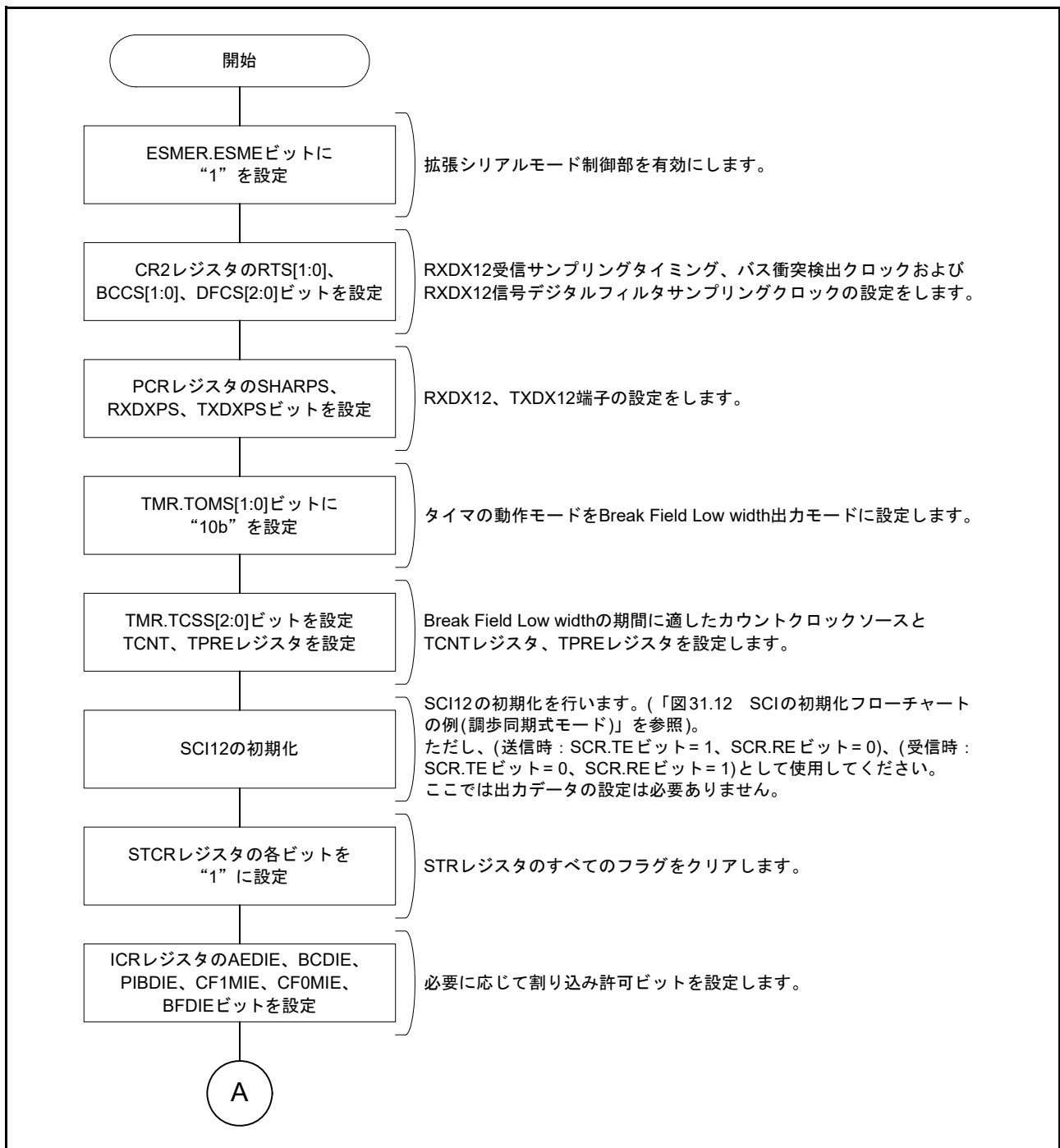


図 31.66 Start Frame 送信フローチャート例 (1)

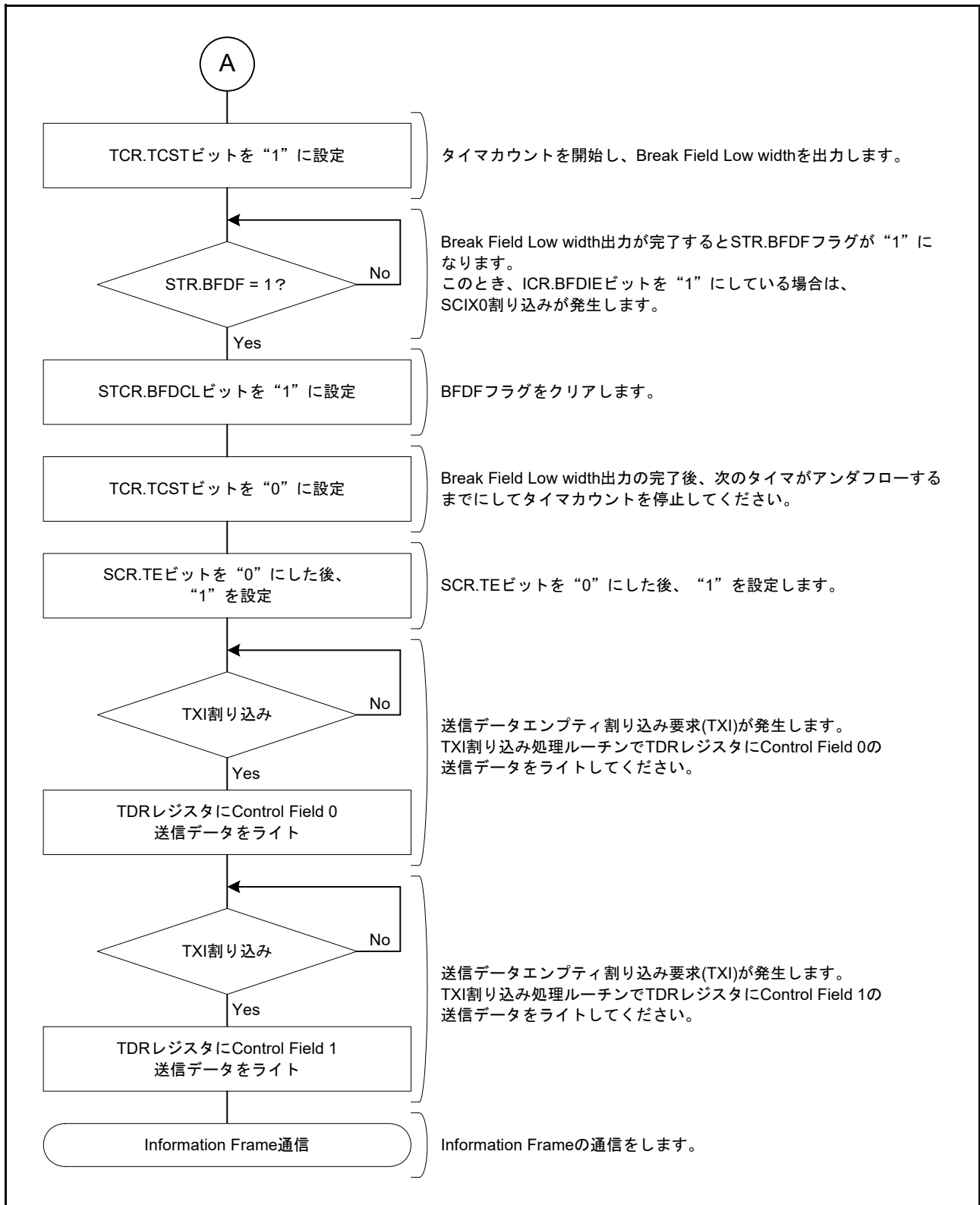


図 31.67 Start Frame 送信フローチャート例 (2)

31.10.3 Start Frame 受信

拡張シリアルモード制御部では、表 31.36 のような構成の Start Frame を検出することができます。

表 31.36 Start Frame の構成

ビットの設定		Start Frame の構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

図 31.68 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 31.69、図 31.70 に Start Frame の受信を行うためのフローチャート、図 31.71 に Start Frame 受信時の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使用します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに“1”を書き込むと、Break Field Low width 検出が可能になります。
- (2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが“0”になり、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが“1”になります。また、ICR.CF0MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが“1”になります。また、ICR.CF1MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

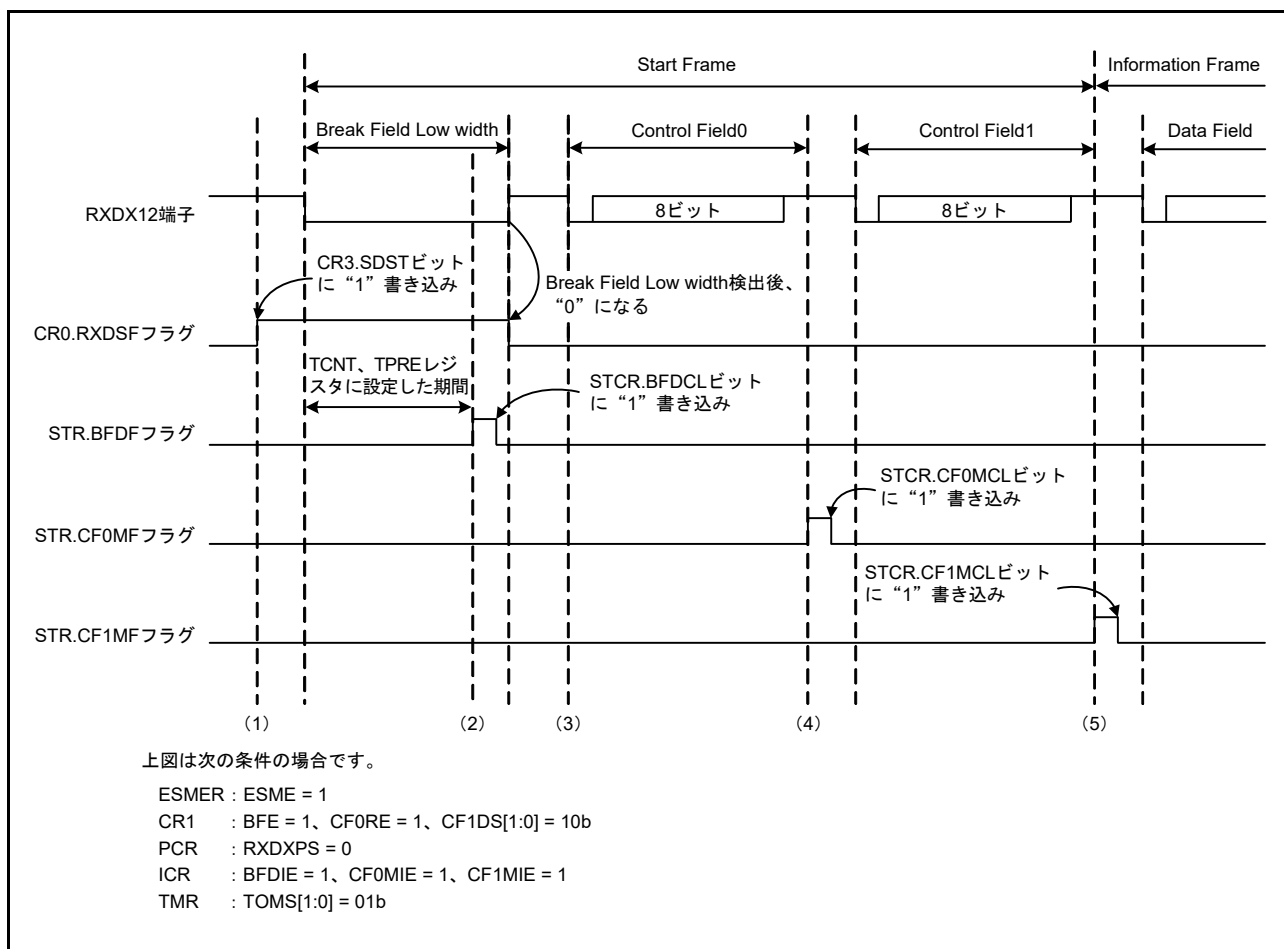


図 31.68 Start Frame 受信時の動作例

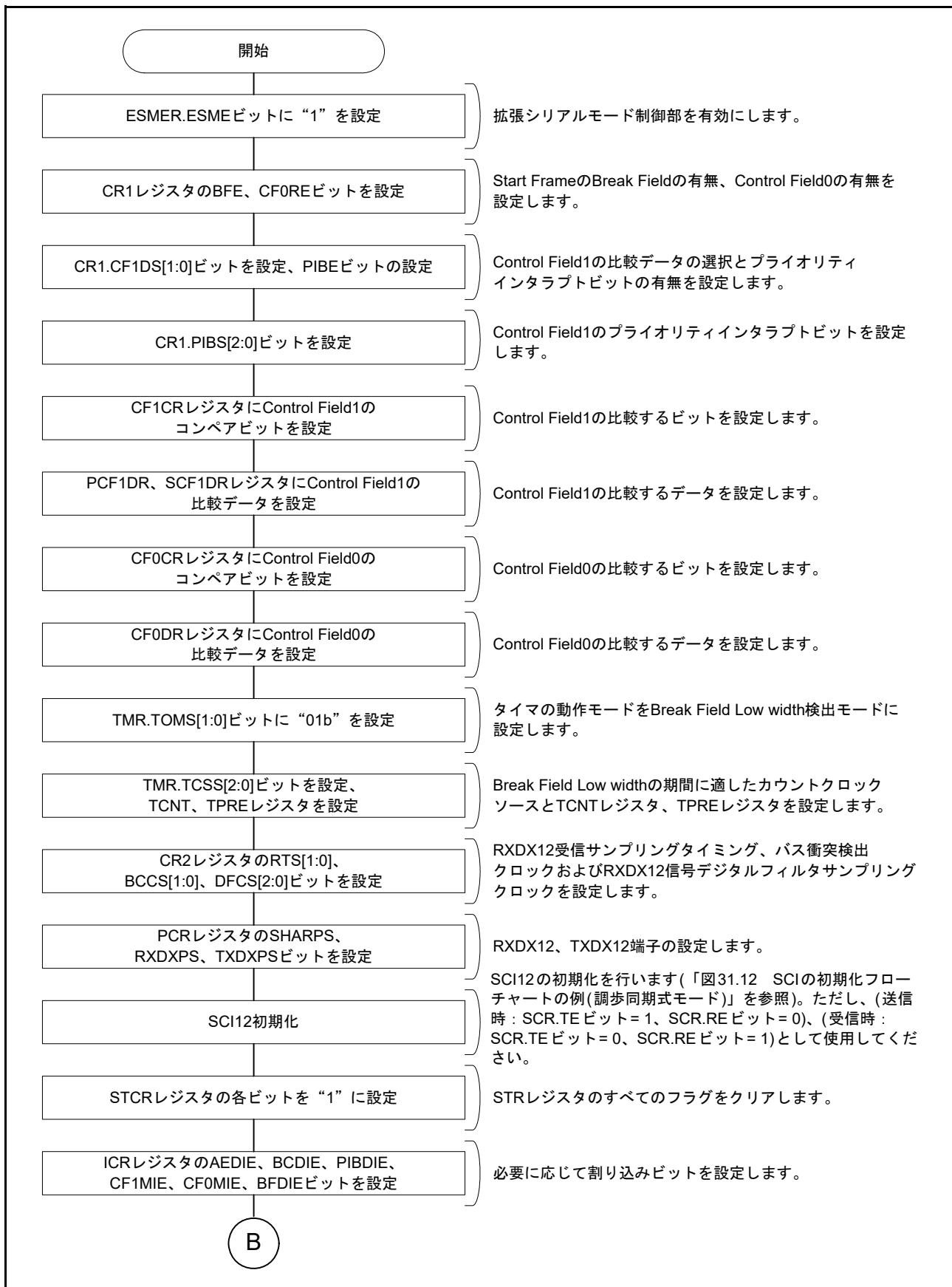


図 31.69 Start Frame 受信フローチャート例 (1)

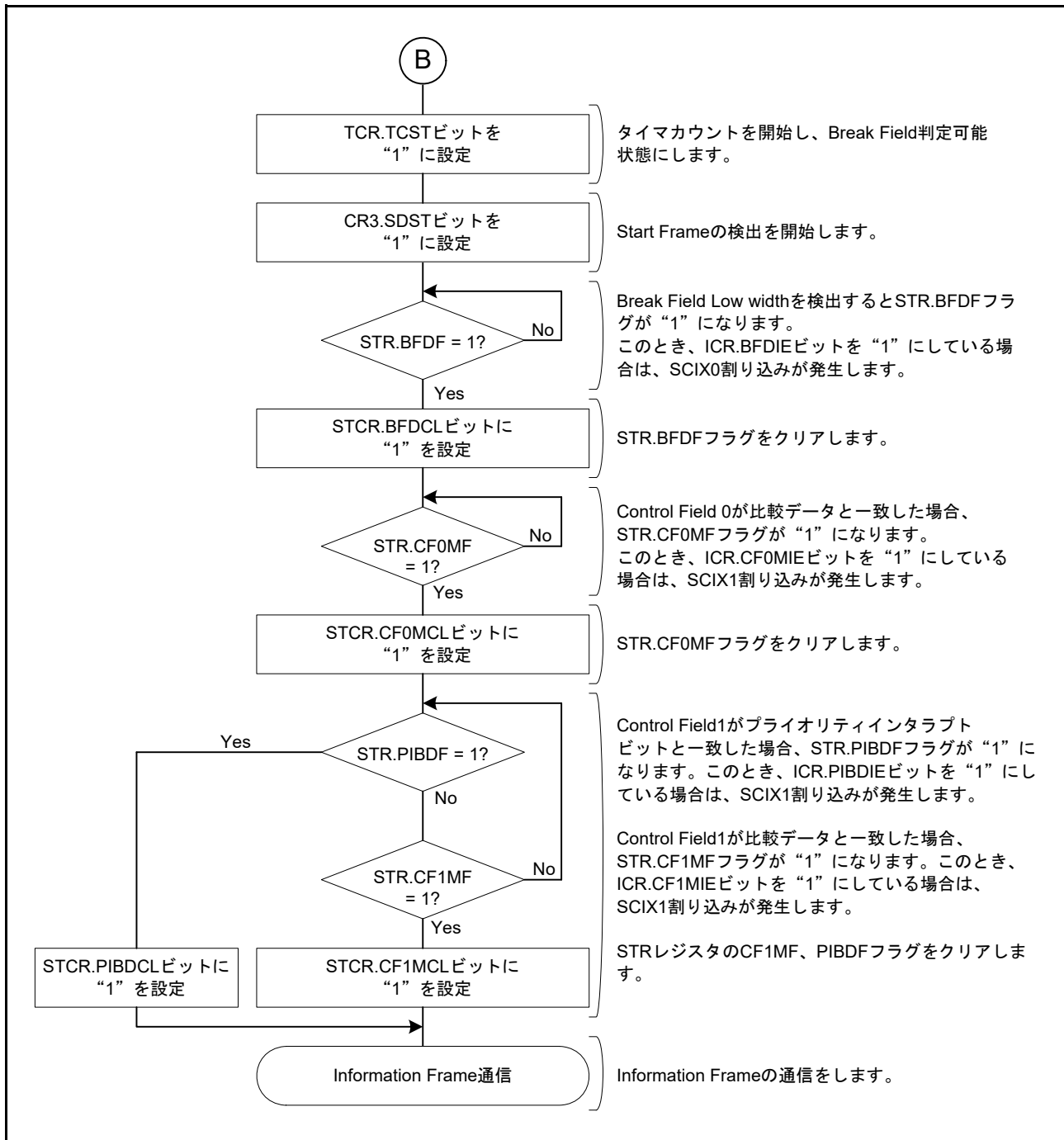


図 31.70 Start Frame 受信フローチャート例 (2)

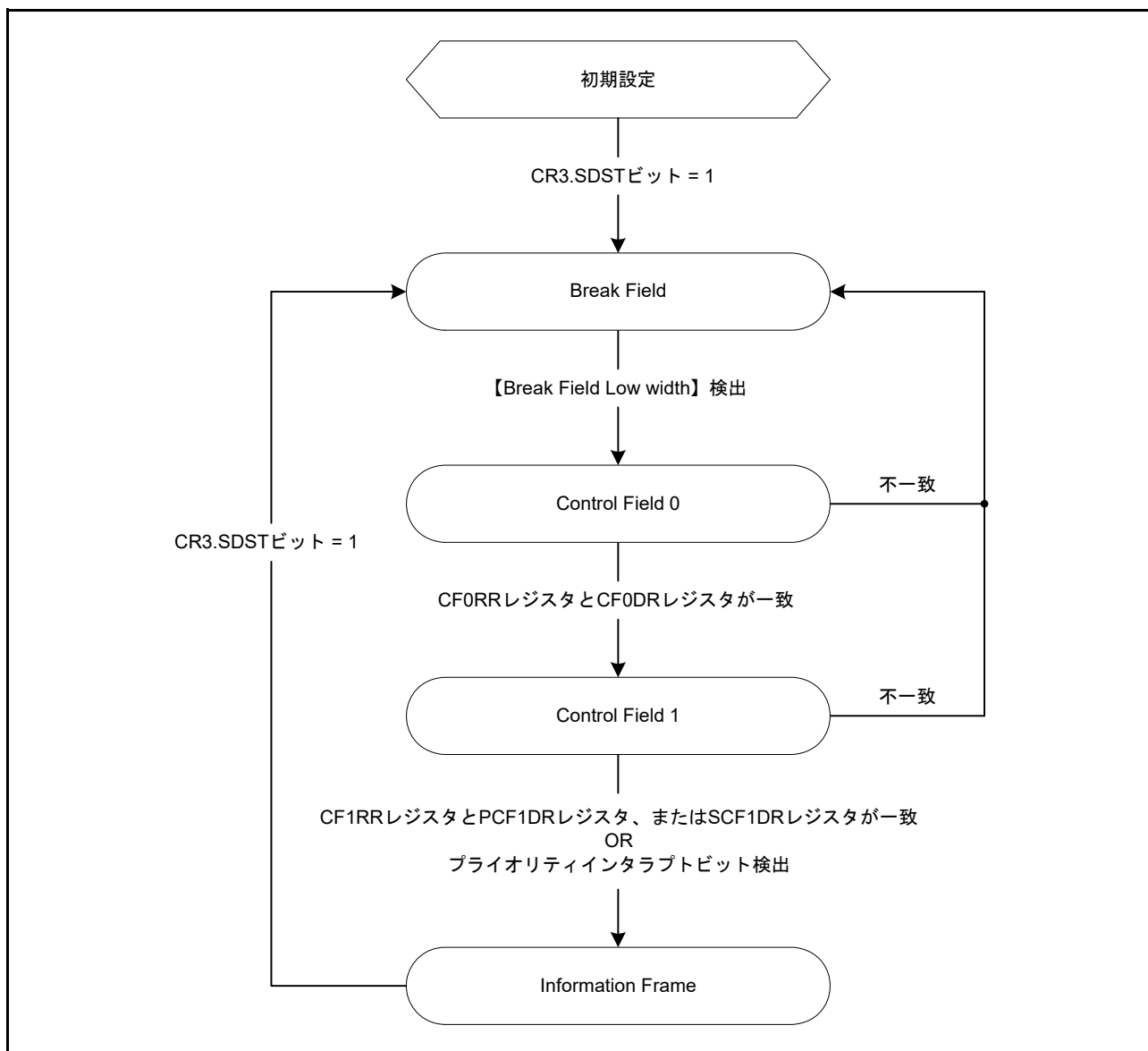


図 31.71 Start Frame 受信時の状態遷移図

31.10.3.1 プライオリティインタラプトビット

図 31.72 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを“1”にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1)～(4) は図 31.68 の Start Frame 受信時の動作例 (1)～(4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが“1”になります。また、ICR.PIBDIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

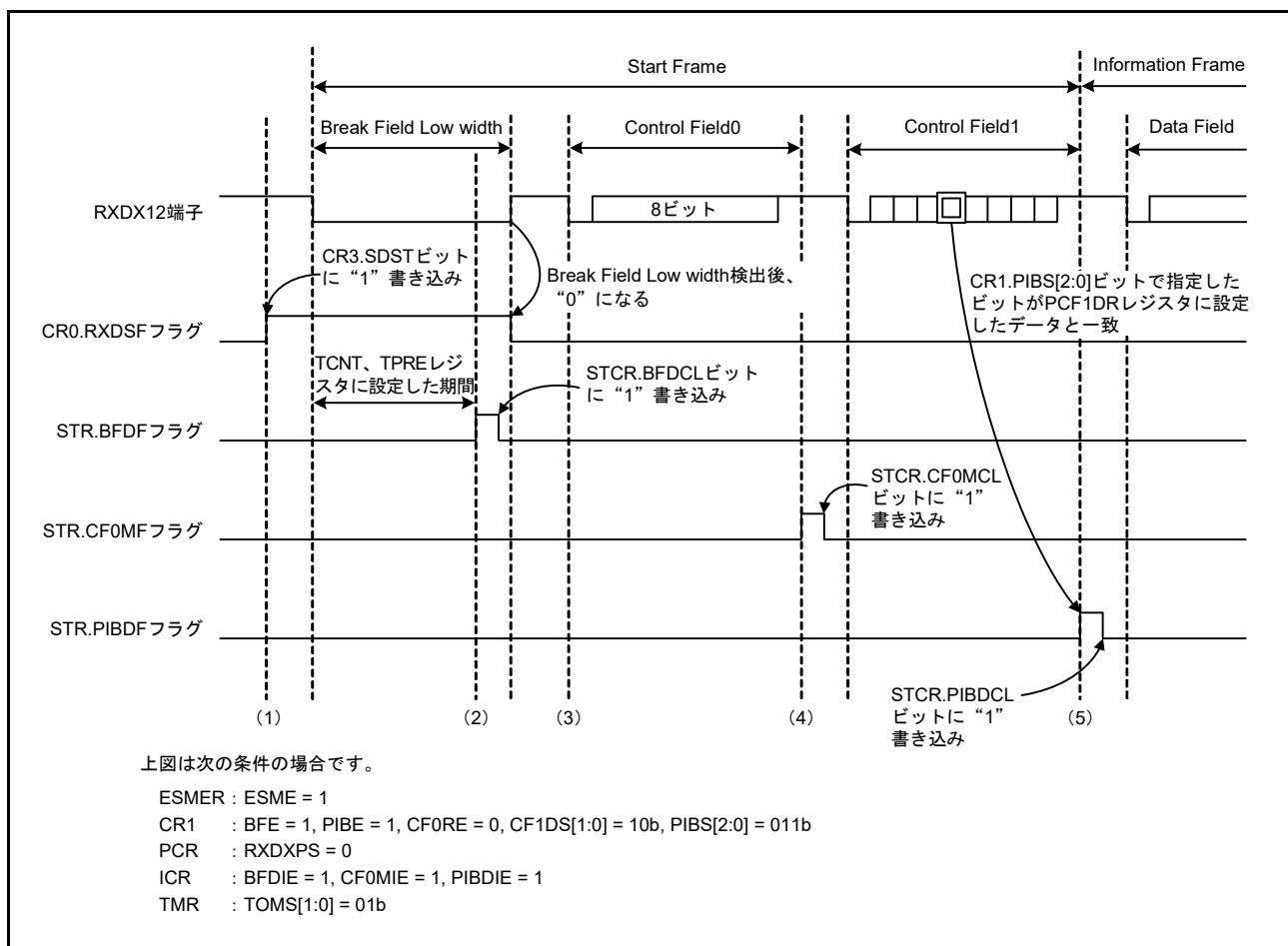


図 31.72 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

31.10.4 バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCR.TE ビット = 1 の状態で、Break Field Low width 出力中およびデータ送信中にバス衝突検出機能が働きます。

図 31.73 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが“1”になります。また、ICR.BCDIE ビットを“1”にしている場合は、SCIX2 割り込みが発生します。

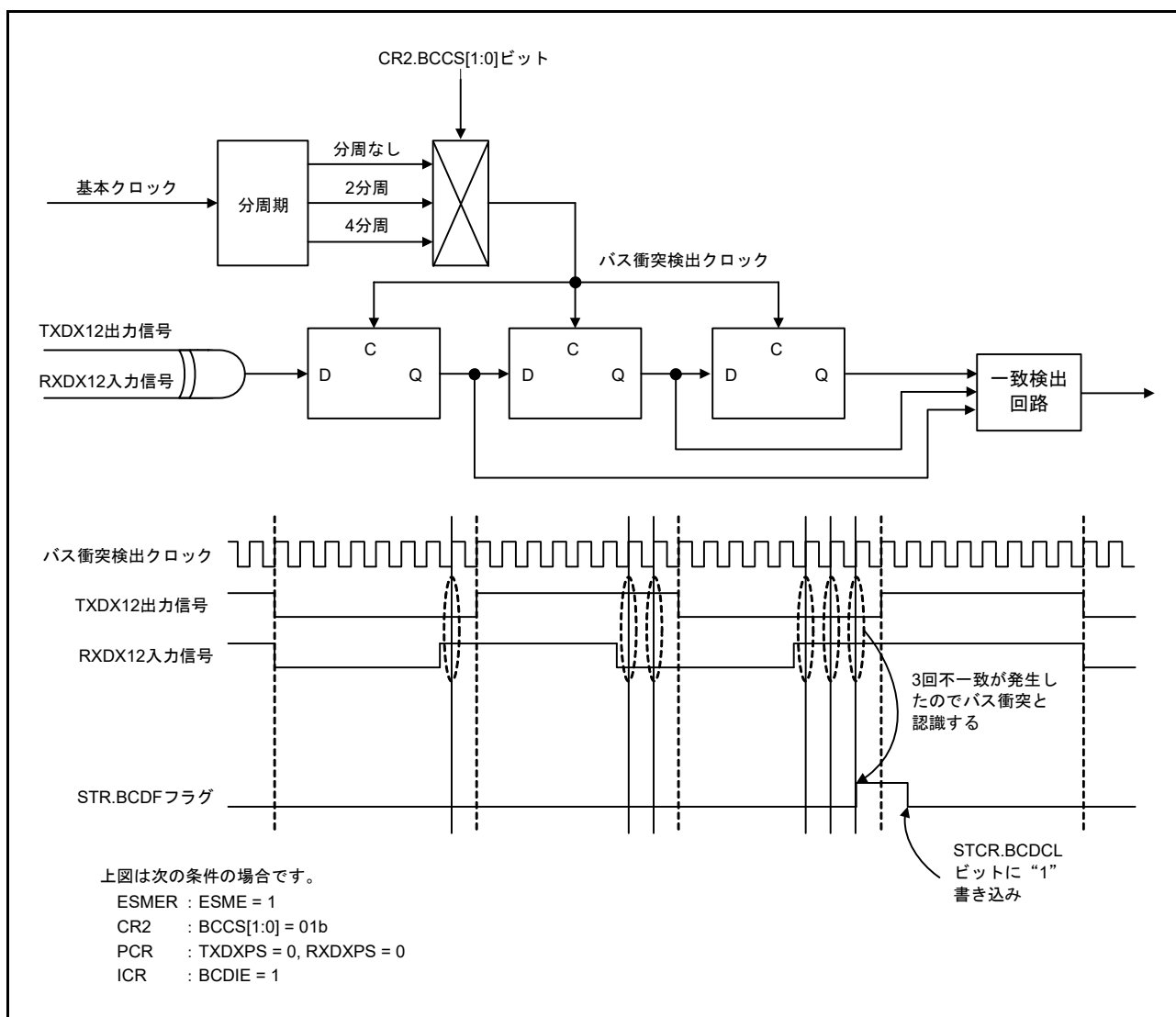


図 31.73 バス衝突検出機能の動作例

31.10.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号はCR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 31.74 にデジタルフィルタ機能の動作例を示します。

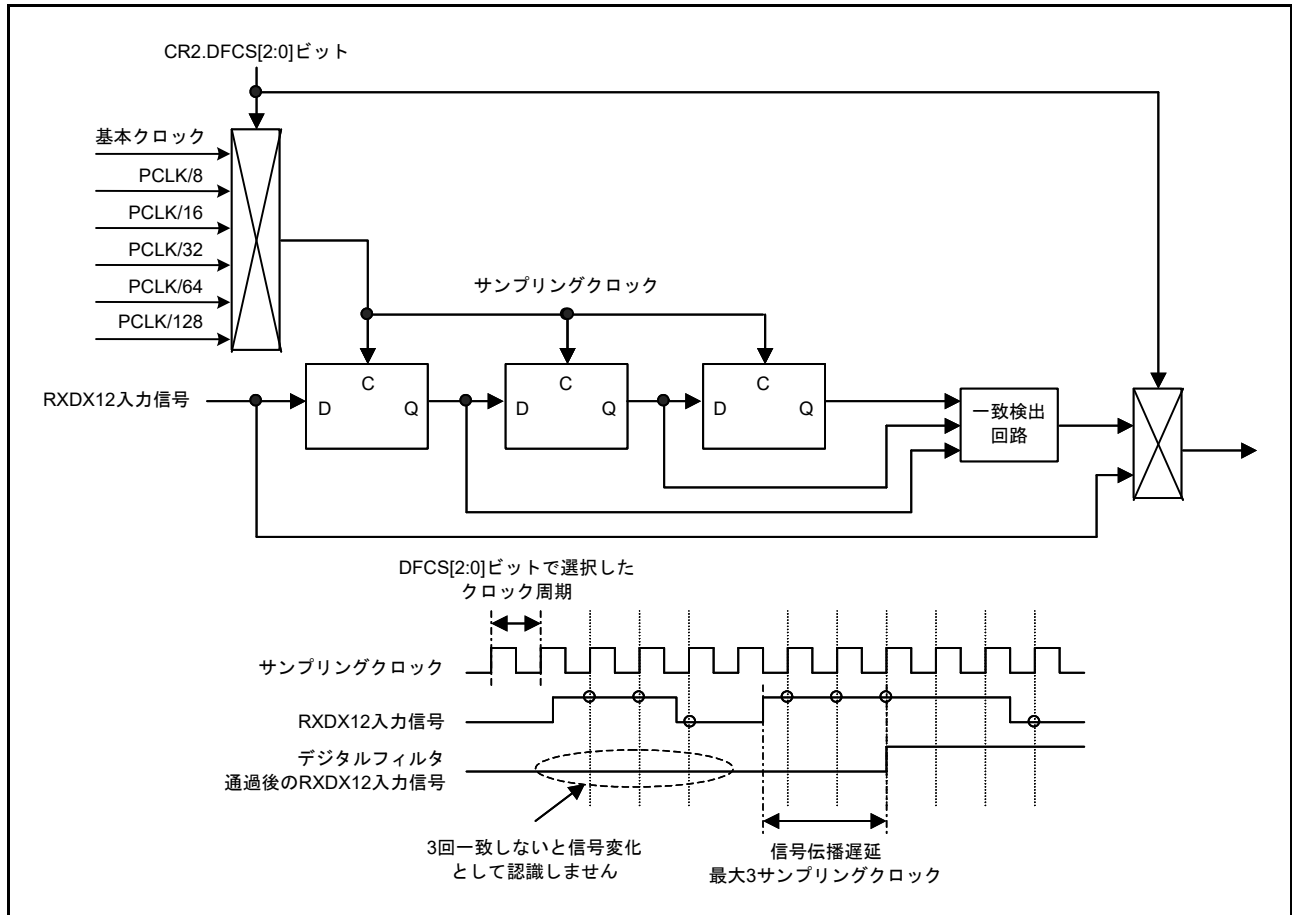


図 31.74 デジタルフィルタ機能の動作例

31.10.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 31.75 にビットレート測定機能の動作例を示します。

- (1) CR0.BRME ビットに“1”を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ“1”を設定してください。また、BRME ビットを“1”にしても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ(立ち上がりエッジおよび立ち下がりエッジ)が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを“1”にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、BRR レジスタの設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに“0”を書き込んでください。

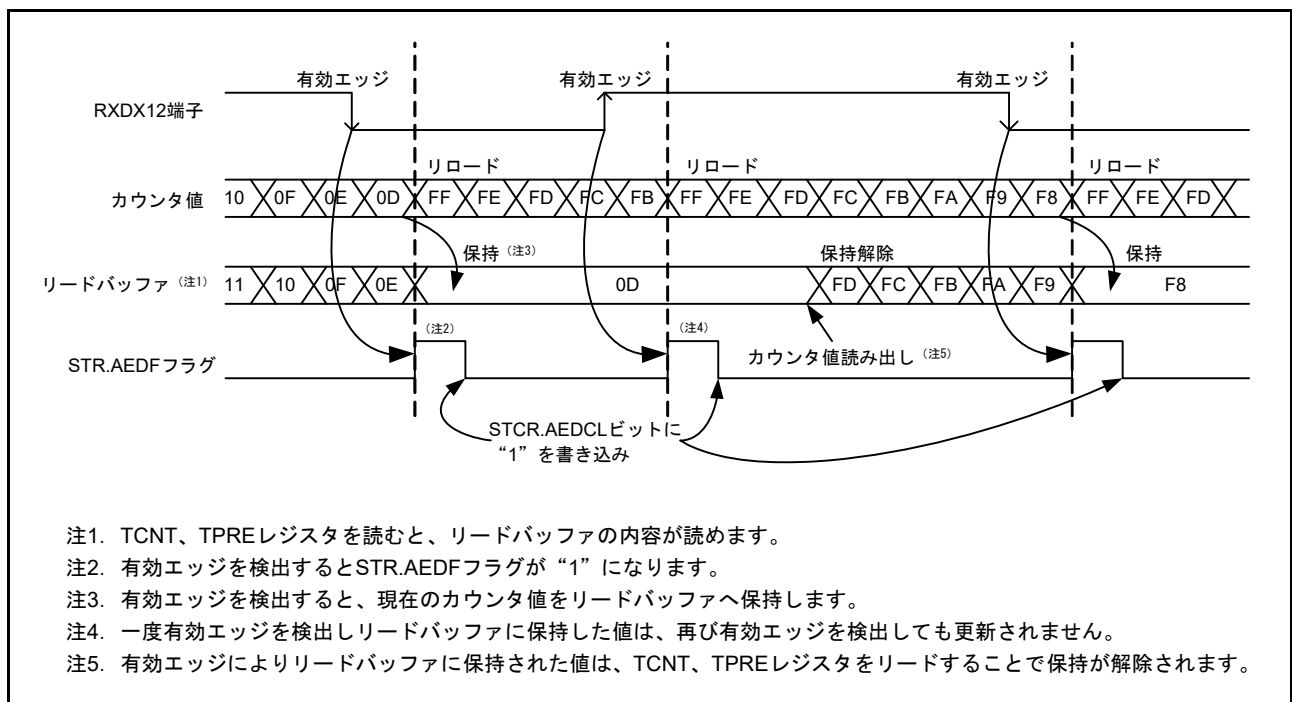


図 31.75 ビットレート測定機能動作例

31.10.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、RXDX12 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、基本クロックの 8 クロック目の立ち上がり、10 クロック目の立ち上がり、12 クロック目の立ち上がりおよび 14 クロック目の立ち上がりから選択することができます。SEMR.ABCS ビットが“1”の場合は基本クロックの 4 クロック目の立ち上がり、5 クロック目の立ち上がり、6 クロック目の立ち上がりおよび 7 クロック目の立ち上がりから選択することができます。図 31.76 に RXDX12 受信データサンプリングタイミングを示します。

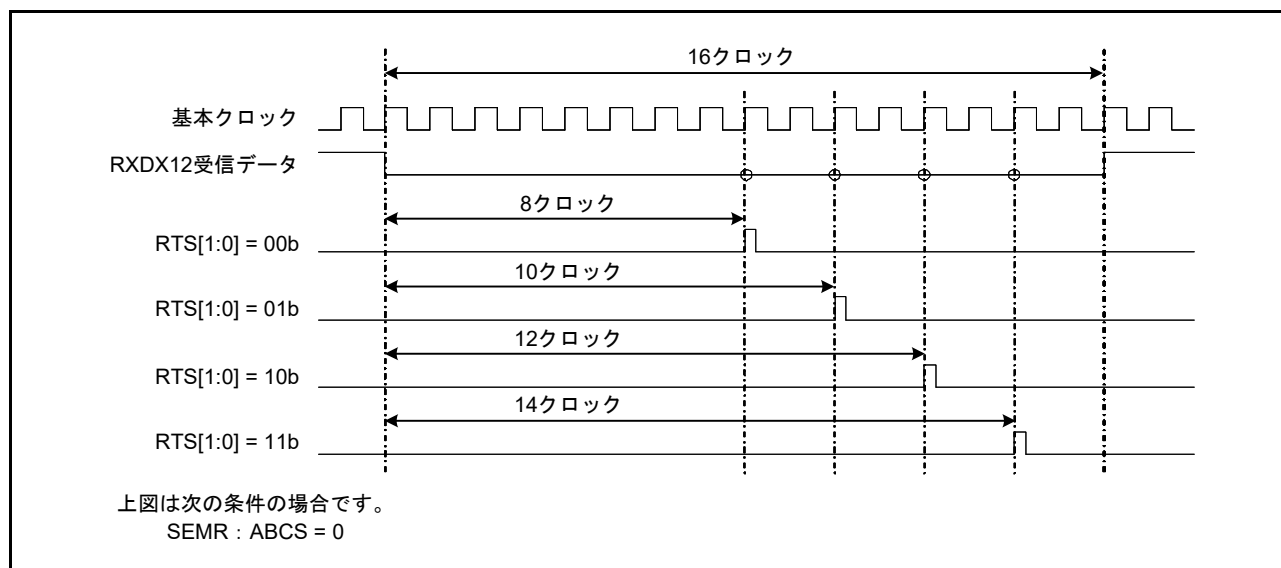


図 31.76 RXDX12 受信データサンプリングタイミング

31.10.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを“10b”に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに“0”を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 31.77 に Break Field Low width 出力モードの動作例を示します。

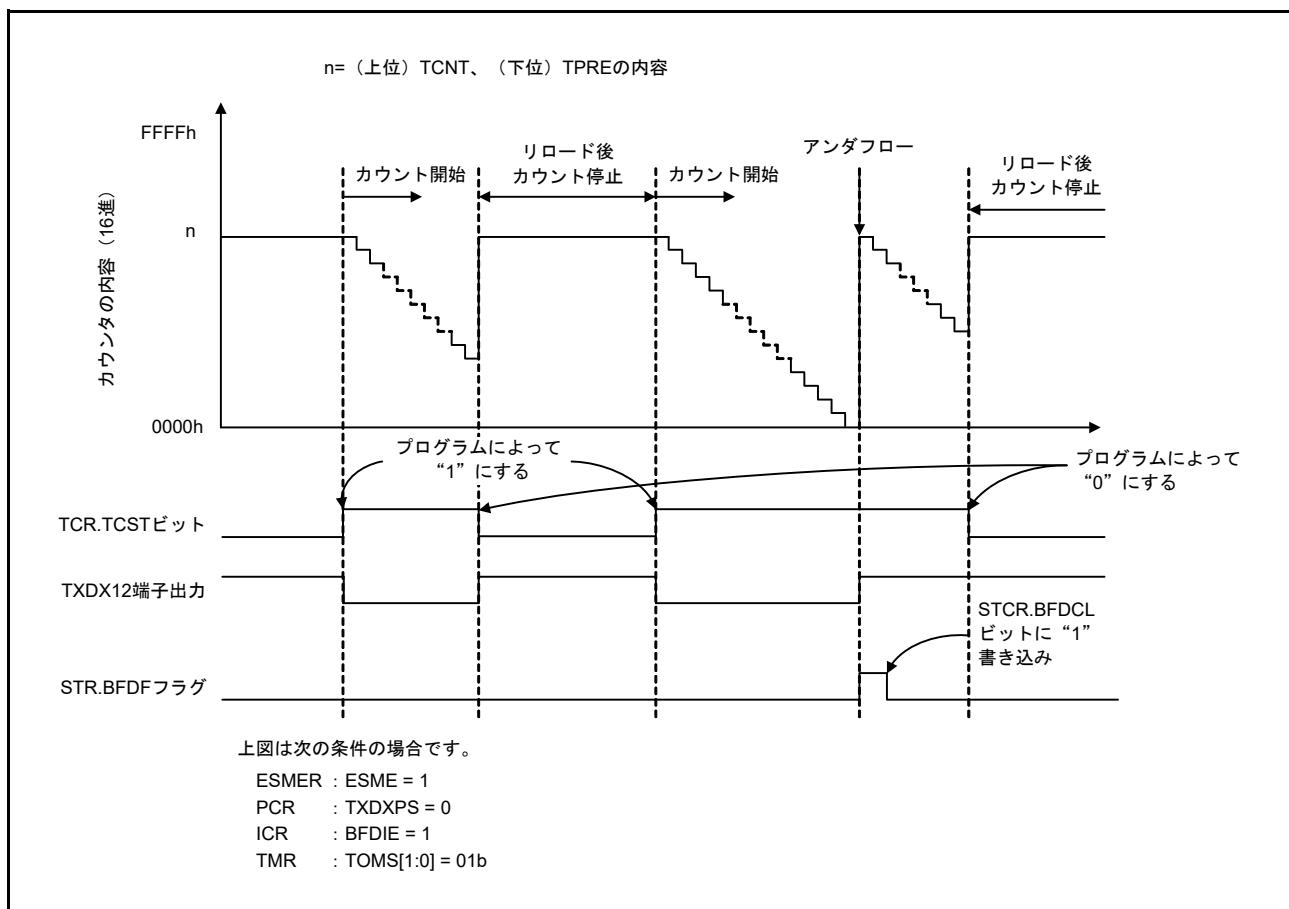


図 31.77 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを“01b”に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRE レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 31.78 に Break Field Low width 判定モードの動作例を示します。

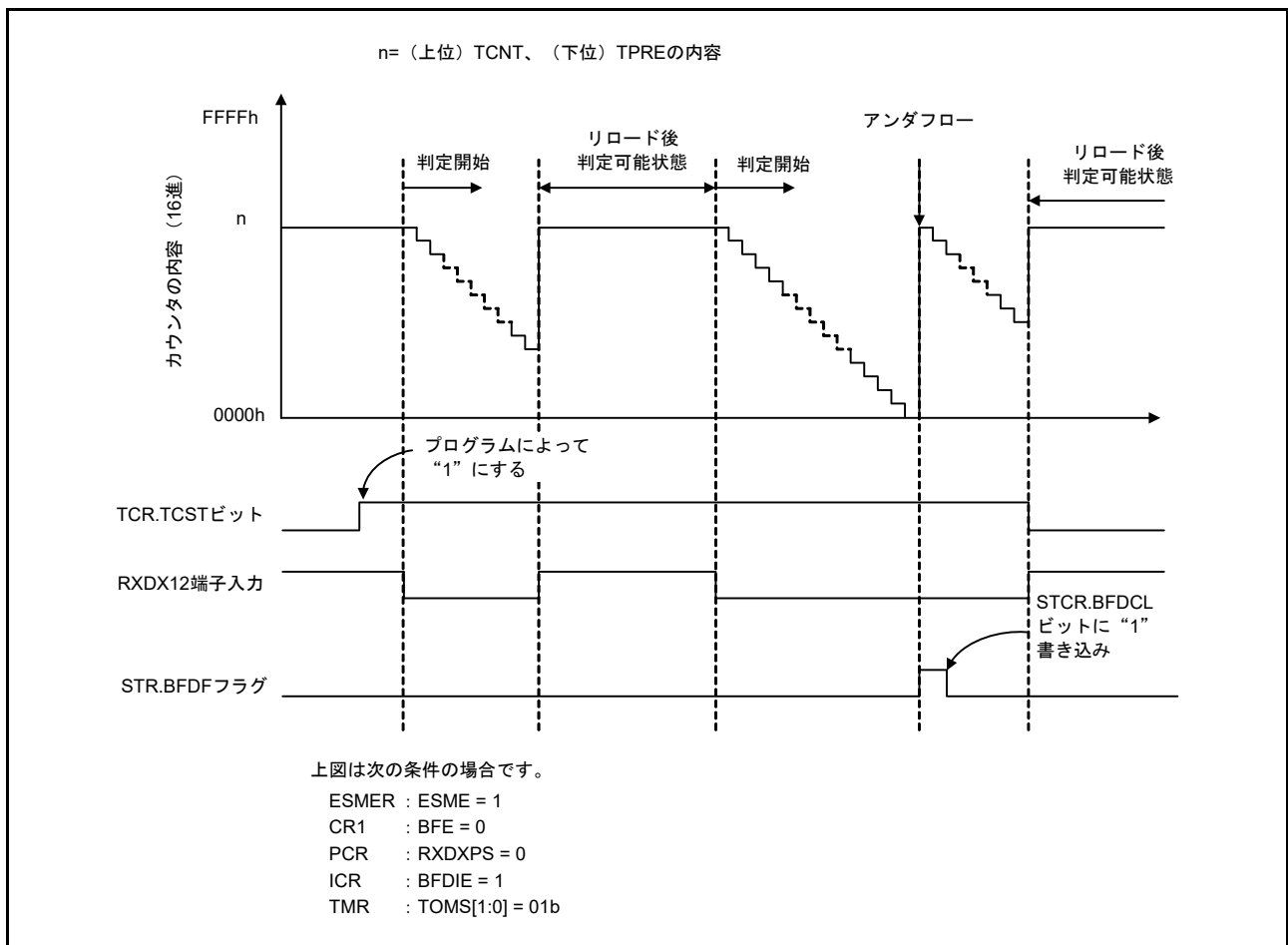


図 31.78 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを“00b”に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、カウントを開始し、TCST ビットに“0”を書き込むとカウントを停止します。TPRE レジスタに入力するカウントクロックソースの周期で TPRE レジスタがダウンカウントします。TPRE レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウンカウントします。タイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。

31.11 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 31.79 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCSE = 0 かつ SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCSE = 0 かつ SEMR.ABCS = 1 のとき1ビット期間の1/8、SEMR.ABCSE = 1 のとき1ビット期間の1/6) となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの1/2/4/8分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

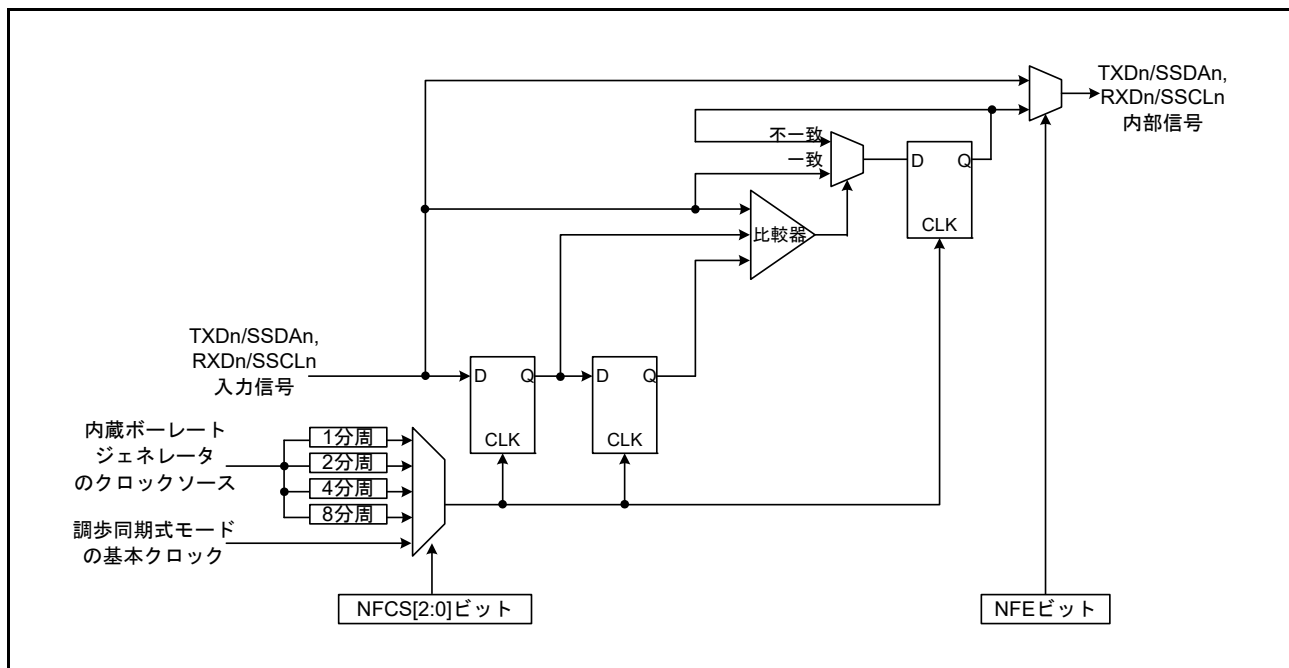


図 31.79 デジタルノイズフィルタのブロック図

31.12 割り込み要因

31.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアできます。

31.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 31.37 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタ、または TDRL レジスタ（注1）から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることも発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態では SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態では SCR.TIE ビットを“1”にした場合には発生しません。（注2）

ただし、SCR.TIE ビットが“1”の状態では SCR.TE ビットを“0”にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ（注1）に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタ、または TDRL レジスタ（注1）に送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ（注1）にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタ、または RDRL レジスタ（注1）に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 調歩同期式モードかつデータ長 9 ビットを選択した場合

注 2. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 31.37 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー	ORER, FER, PER, DFER (注1), DPER (注1)	不可能	不可能
RXI	受信データフル	RDRF	可能	可能
	データ一致 (注1)	DCMF (注1)		
TXI	送信データエンプティ	TDRE	可能	可能
TEI	送信終了	TEND	不可能	不可能

注1. SCI1、SCI5、SCI6にのみ存在します。

31.12.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 31.38 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 31.38 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	不可能
RXI	受信データフル	—	可能	可能
TXI	送信データエンプティ	TEND	可能	可能

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「18. データトランスファコントローラ (DTCb)」、 「17. DMA コントローラ (DMACA)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

31.12.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 31.39 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がり、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がり、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がり、SSDAn 端子入力が Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力が High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 31.39 SCI 割り込み要因

名称	割り込み要因		割り込みフラグ	DTC の起動	DMAC の起動
	IICINTM ビット = 0	IICINTM ビット = 1			
RXI	ACK 検出	受信	—	可能	可能
TXI	NACK 検出	送信	—	可能 (注 1)	可能 (注 1)
STI	開始条件、再開条件、停止条件生成終了		IICSTIF	不可能	不可能

注 1. SIMR2.IICINTM ビット = 1 (受信割り込み、送信割り込みを選択) の場合のみ DTC、DMAC の起動が可能です。

31.12.5 拡張シリアルモード制御部の割り込み要求

SC1h の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 31.40 に各割り込み要求の内容を示します。

表 31.40 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0 割り込み (Break Field Low width 検出)	BFDF	<ul style="list-style-type: none"> • タイマに設定した期間より長い Break Field Low width を検出したとき • タイマに設定した期間、Break Field Low width 出力が完了したとき • タイマがアンダフローしたとき
SCIX1 割り込み (Control Field 0 一致)	CF0MF	Control Field 0 の受信データが CF0DR に設定したデータと一致したとき
SCIX1 割り込み (Control Field 1 一致)	CF1MF	Control Field 1 の受信データが PCF1DR または SCF1DR に設定したデータと一致したとき
SCIX1 割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータが PCF1DR に設定したデータと一致したとき
SCIX2 割り込み (バス衝突検出)	BCDF	TXDX12 端子の出力と RXDX12 端子の入力をバス衝突検出クロックでサンプリングし、3 回連続不一致が発生するとき
SCIX3 割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

31.13 イベントリンク機能

SCI5は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定していたモジュールを動作させることができます。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力することができます。また、割り込みステータスフラグが“1”の状態でもイベントは出力可能です。

(1) エラー (受信エラー・エラーシグナル検出) イベント出力

- 受信時にパリティエラーが発生して異常終了したことを示します。
- 受信時にフレーミングエラーが発生して異常終了したことを示します。
- 受信時にオーバランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで送信時にエラーシグナルを検出したことを示します。

(2) 受信データフルイベント出力

- 受信データがレシーブデータレジスタ (RDR レジスタ、または RDRL レジスタ) にセットされたことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、ACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCL5 端子立ち下がりを検出したことを示します。
- 簡易 I²C モードのマスタ送信かつ SIMR2.IICINTM ビットが“1”のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

(3) 送信データエンptyイベント出力

- SCR.TE ビットが“0”から“1”に変化したことを示します。
- トランスミットデータレジスタ (TDR レジスタ、または TDRL レジスタ) からトランスミットシフトレジスタ (TSR レジスタ) に送信データを転送したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“0”のとき、NACK を検出したことを示します。
- 簡易 I²C モードで、SIMR2.IICINTM ビットが“1”のとき、9 ビット目の SSCL5 端子立ち下がりを検出したことを示します。

(4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 I²C モードで開始条件、再開条件、停止条件の生成が完了したことを示します。

31.14 使用上の注意事項

31.14.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

31.14.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すか、SCI1、SCI5、SCI6 では SPTR.RXDMON フラグの値を読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.FER フラグが“1”（フレーミングエラーの発生あり）になり、また SSR.PER フラグも“1”（パリティエラーの発生あり）になる可能性があります。SEMR.RXDESEL ビットが“0”のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを“0”（フレーミングエラーの発生なし）にしても、再び FER フラグが“1”になりますので注意してください。SEMR.RXDESEL ビットが“1”のとき、SCI は、SSR.FER フラグを“1”にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを“0”にすれば、ブレーク中は SSR.FER フラグの“0”を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりですtartビットの始まりを検出し、受信動作を開始します。

31.14.3 マーク状態とブレークの送出

SCR.TE ビットが“0”（シリアル送信動作を禁止）のとき、TXDn 端子はハイインピーダンスになります。このとき TXDn 端子を強制的にマーク / スペース状態にするには、I/O ポート関連のレジスタを設定して TXDn 端子を汎用出力ポートに切り替えてください。

SCR.TE ビットを“1”（シリアル送信動作を許可）にするまで、通信回線をマーク状態（“1”の状態）にするためには、対応する PODR レジスタのビットを“1”にして、汎用出力ポートから High を出力します。通信を開始する場合、TE ビットを“1”にしてから PMR レジスタの対応するビットを“1”にしてください。

データ送信時にブレーク（一定期間以上連続したスペース）を送出したいときは、対応する PODR レジスタのビットを“0”（Low 出力）にした後、PMR レジスタの対応するビットを“0”（汎用入出力ポート）にします。TE ビットを“0”にする場合、この後実施してください。TE ビットを“0”にすると現在の送信状態とは無関係に送信部は初期化されます。

SPTR レジスタがある場合、汎用出力ポートに切り替えることなくマーク / スペースを出力できます。SPTR.SPB2IO ビットを“1”（出力）、SPB2DT ビットを“1”（マーク）または“0”（スペース）にした後、TE ビットを“0”にしてください。

31.14.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が“1”になった状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0”にしておいてください。また、SCR.RE ビットを“0”（シリアル受信動作を禁止）にしても受信エラーフラグは“0”になりませんので注意してください。

31.14.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

31.14.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 31.80 参照)。

(2) 連続送信時

- ビット7の送信クロックの立ち上がり以前に、TDR レジスタまたは TDRL レジスタに次の送信データを書き込んでください (図 31.80 参照)。
- ビット7送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR レジスタを更新し、かつビット7の送信クロックの High 幅を、4 PCLK 以上にしてください (図 31.80 参照)。

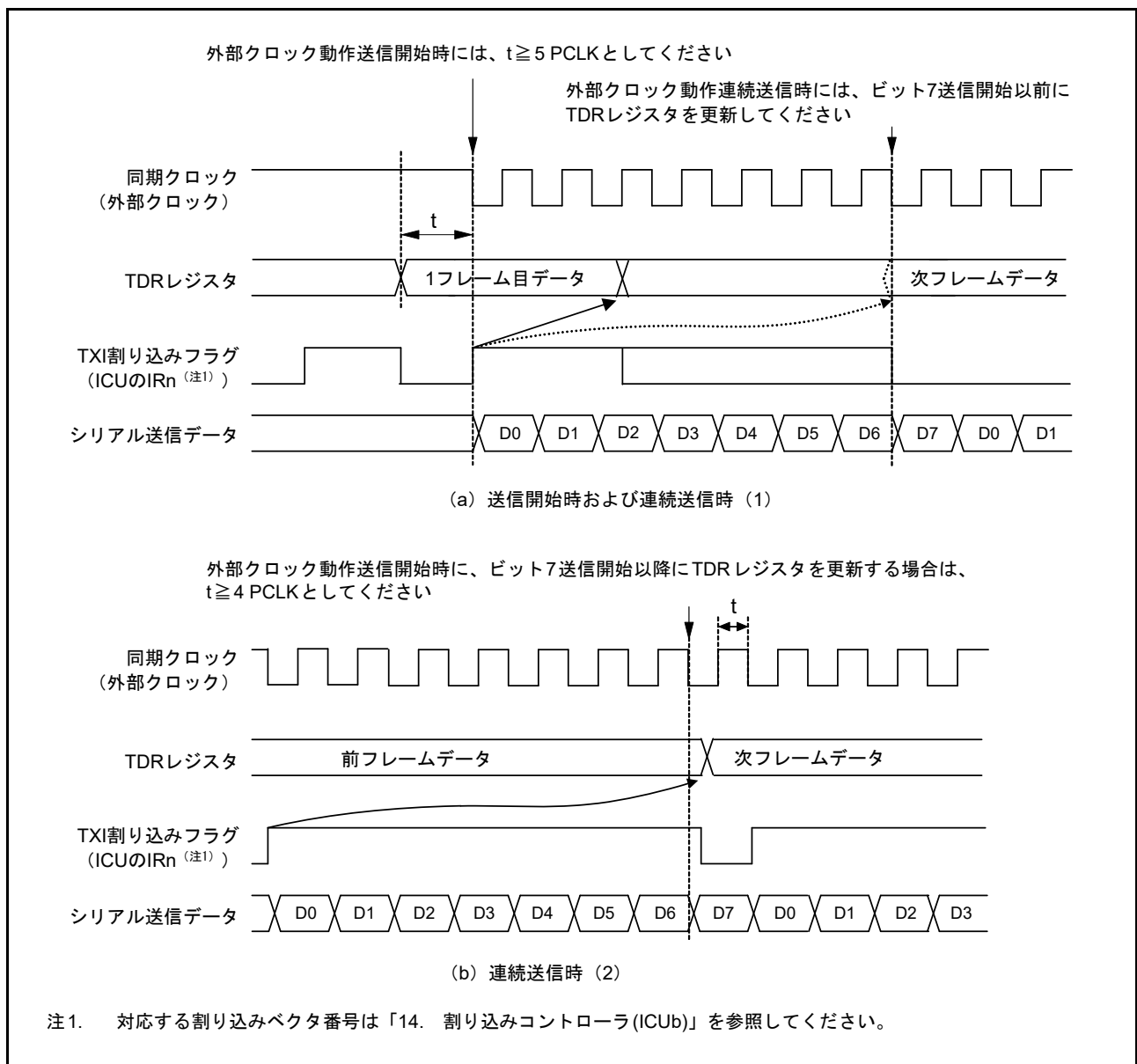


図 31.80 クロック同期式モード送信での外部クロック使用の制約事項

31.14.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR、RDRH、RDRL レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

31.14.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

31.14.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えるか、SPTR レジスタで出力レベルを固定 (SCI1, SCI5, SCI6) した後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定または SPTR レジスタの設定 (SCI1, SCI5, SCI6) に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 31.81 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 31.82、図 31.83 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC/DMA 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後、DTC/DMAC による送信を再開する場合は、TE ビット=1、TIE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC/DMAC による送信が始まります。

(2) 受信

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 31.84 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

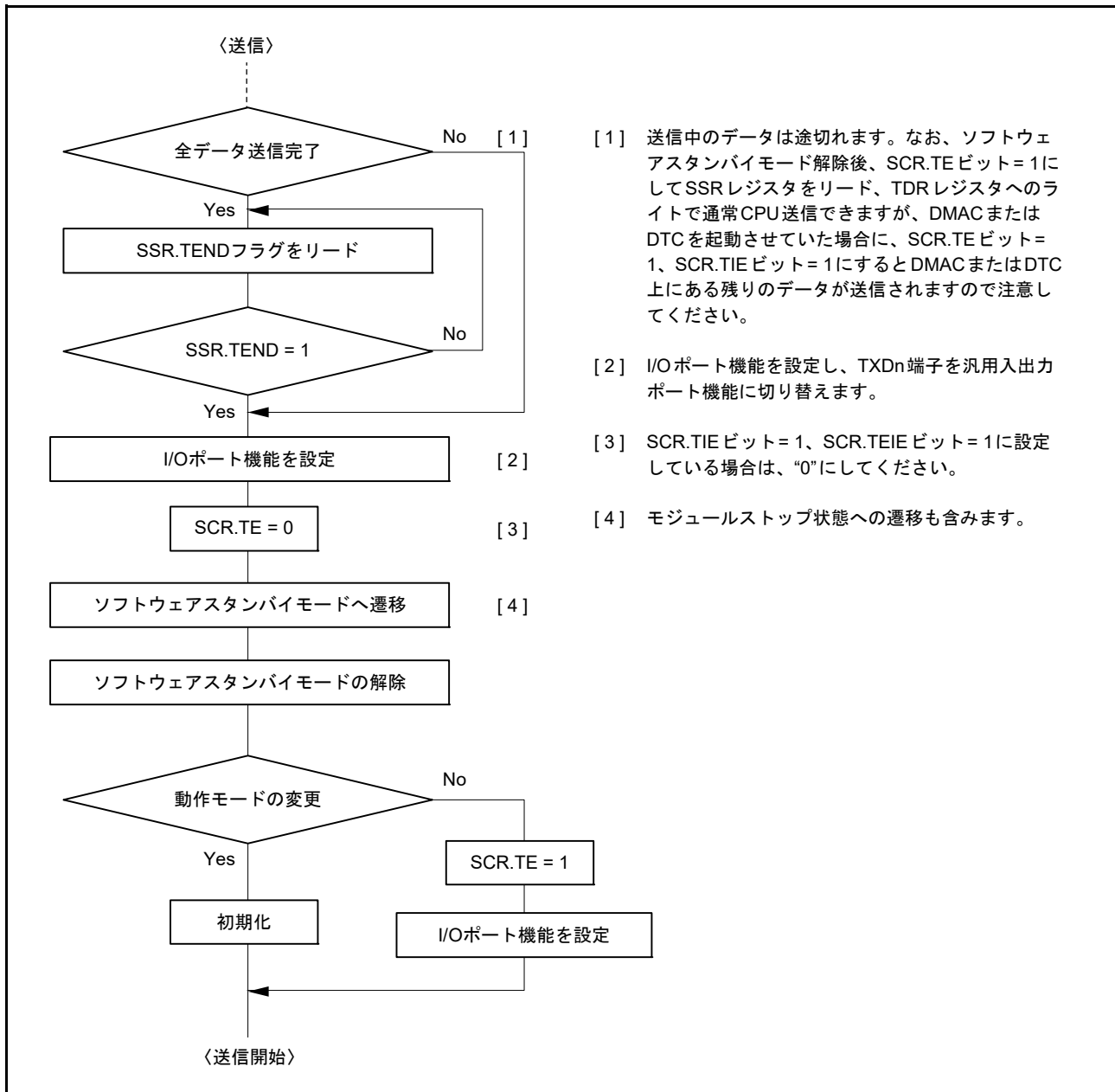


図 31.81 送信時のソフトウェアスタンバイモード遷移フローチャートの例

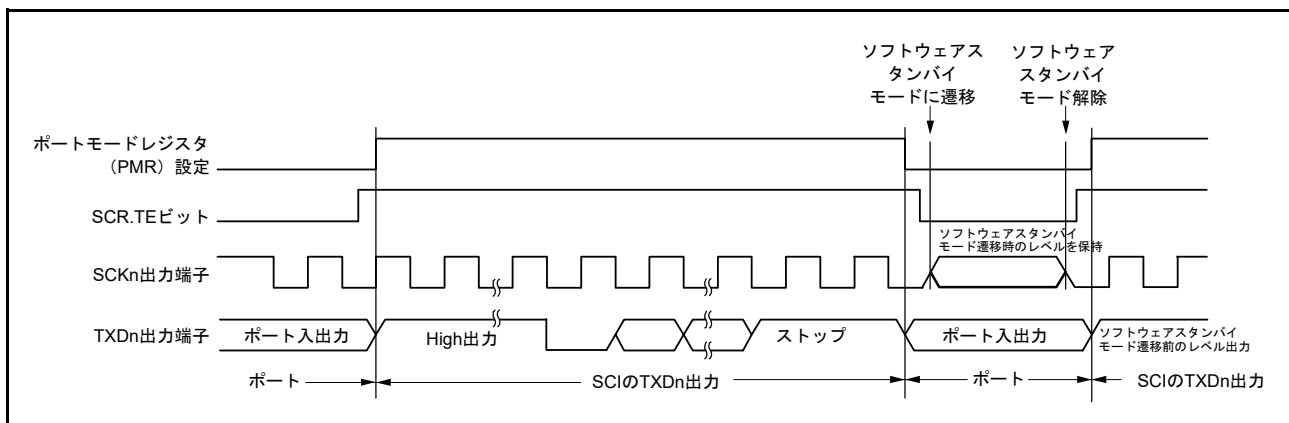


図 31.82 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

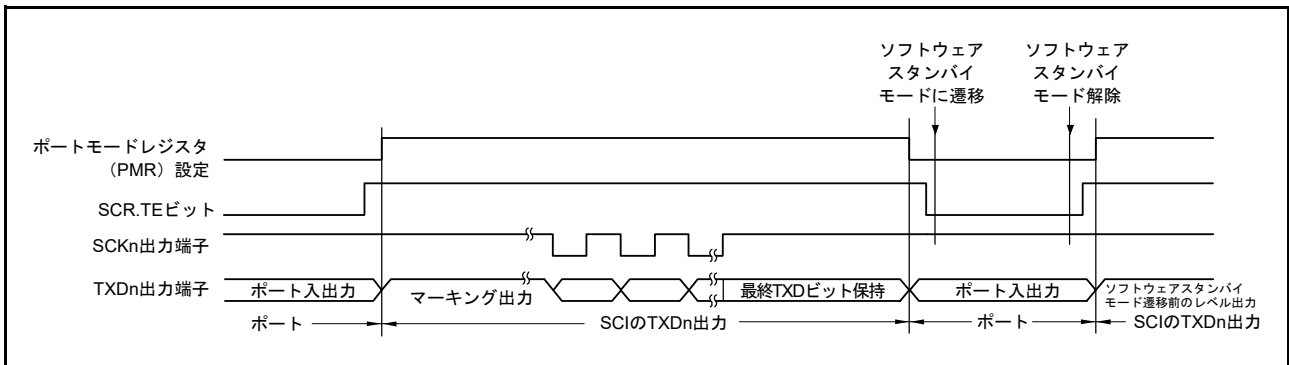


図 31.83 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

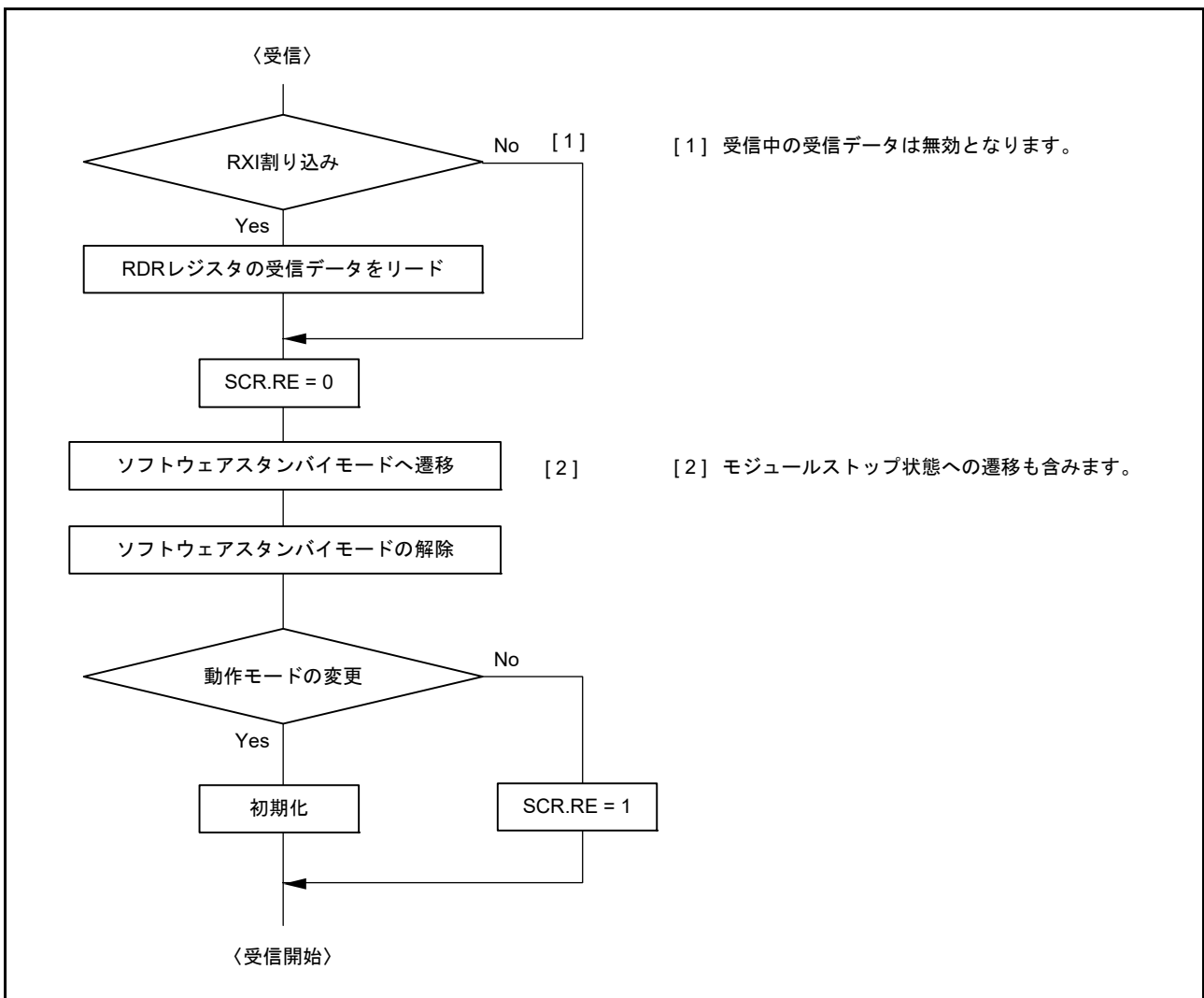


図 31.84 受信時のソフトウェアスタンバイモード遷移フローチャートの例

31.14.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

31.14.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット=1) の場合、図 31.85 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

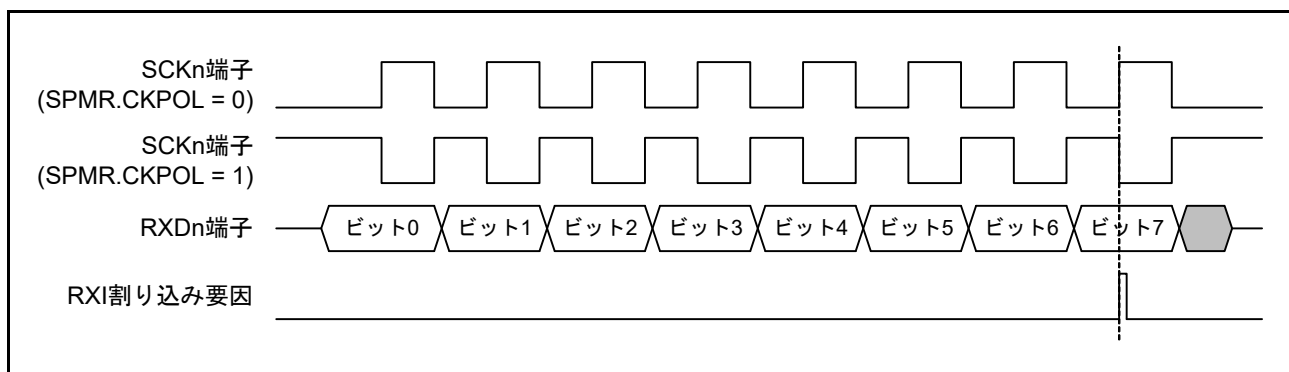


図 31.85 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5 PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

31.14.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを“1”にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- タイマを Break Field Low width 出力モードで TCR.TCST ビットを“1”にしたとき
(TCR.TCST ビットを“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの1サイクルの High が出力されます。)
- SCR.TE ビットが“1”のとき

31.14.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、TXI、RXI、ERI、TEI 割り込み要求は生成されます。Start Frame 受信中は拡張シリアルモード制御部が受信データフル信号を使用するため、RXI 割り込みを許可しないでください。Information Frame 受信時に RXI 割り込みを使用する場合、以下のいずれかの手順で使用してください。なお、受信エラーを検出したときは、図 31.86 のフローチャートの例に従って受信エラーフラグのクリアと拡張シリアルモード制御部の初期化を実施してください。

- (1) SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、Start Frame の受信終了タイミングで、SSR レジスタのエラーフラグを確認してください。Start Frame の受信完了後 Information Frame の第1バイトの受信が完了するまでの間に、SCR.RIE ビットを“1”に切り替えてください。
- (2) SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。Start Frame の受信完了後 Information Frame の第1バイトの受信が完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

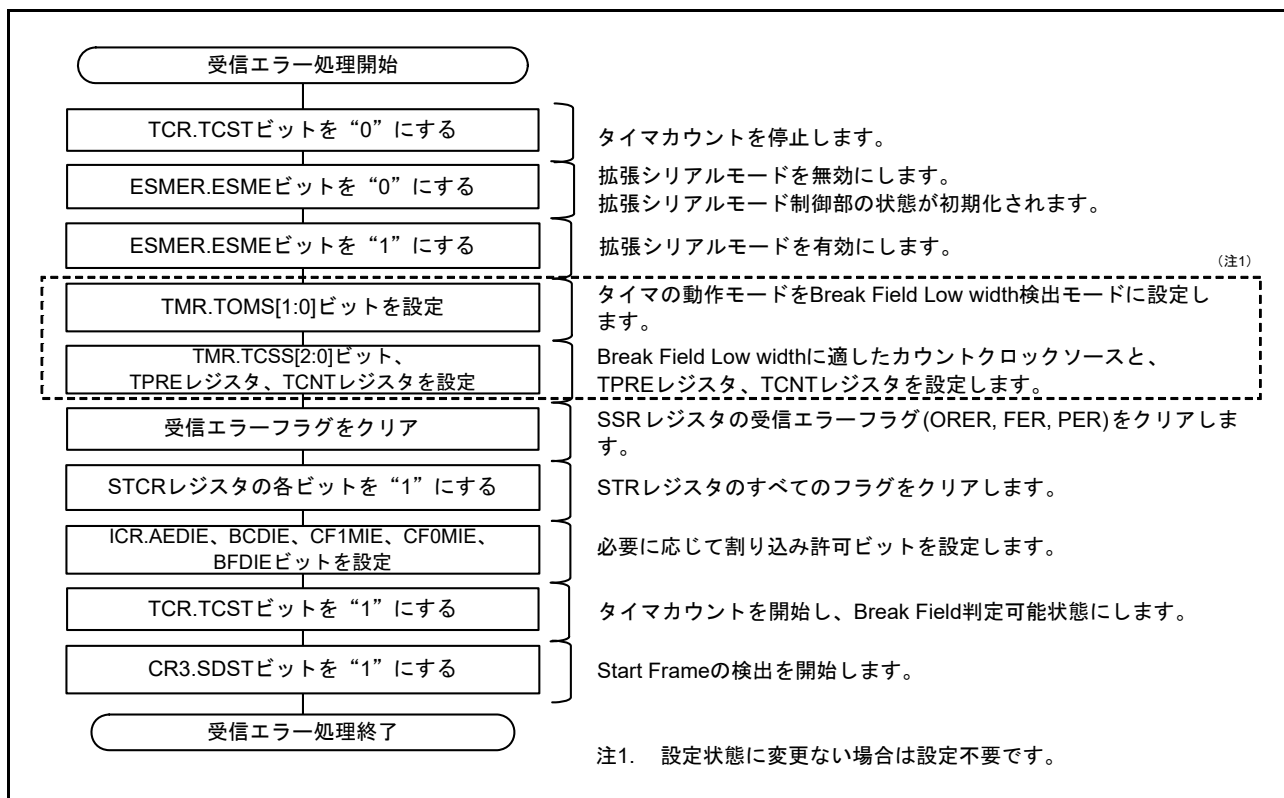


図 31.86 受信エラー処理のフローチャートの例 (Start Frame 受信中)

31.14.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

SCR.TE ビットが“0”(シリアル送信動作を禁止)のときに端子の機能を「TXD_n」にしたり、端子の機能が「TXD_n」になっているときに TE ビットを“0”にしたりすると、TXD_n 端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXD_n ラインがハイインピーダンスにならないようにしてください。

- (1) TXD_n ラインにプルアップ抵抗またはプルダウン抵抗を接続する。
- (2) TE ビットを“1”にしてから、端子の機能を「TXD_n」に切り替える(注1)。また、TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート」に切り替えて、High または Low を出力させる。
- (3) SPTR.SPB2IO ビットを“1”にしてから、端子の機能を「TXD_n」にする。また、その後も SPB2IO ビットを“1”にしたままにする (SCI1, SCI5, SCI6)。

注1. TXI 割り込みが許可されているときに TE ビットを“1”にすると、割り込みが発生します。このことが問題になる場合は、端子の機能を「TXD_n」にした後に、対応する ICU.IER_m.IEN_j ビットを“1”にしてください。

31.14.15 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを“0”にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

32. シリアルコミュニケーションインタフェース (RSCI)

本章に記載している PCLK とは、PCLKB を指します。

32.1 概要

RSCI は、調歩同期式とクロック同期式のシリアル通信が可能です。

調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。

このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェース、マンチェスタコードによる通信、拡張シリアル通信をサポートしています。また、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。さらに、調歩同期式では、ホームバスシステム (HBS) 通信で使用される 50% デューティ負論理 AMI 符号を生成するためのサポート機能があります。

表 32.1 に RSCI の仕様を、表 32.2 にチャネル別の機能一覧を示します。

表 32.1 RSCIの仕様 (1/3)

項目	内容
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 マンチェスタ クロック同期式 スマートカードインタフェース 簡易 I²C 簡易 SPI (4線式シリアルバス) 拡張シリアル
転送速度	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
半二重通信	TXDn端子を用いた半二重通信が可能
データ転送	LSBファースト/MSBファースト選択可能
入出力信号レベル反転	入力信号、出力信号のレベルをそれぞれ独立して反転可能
割り込み要因	送信完了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、受信データ一致 Break Field検出/送出、バス衝突検出、有効エッジ検出 スタートコンディション/リスタートコンディション/ストップコンディション生成終了
RS-485ドライバ制御機能	外部トランシーバの送信モードを有効にするDE信号を出力
ループバック機能	IP内部でTXDとRXDを接続することで通信機能の自己診断が可能
消費電力低減機能	チャネルごとにモジュールストップ状態への遷移が可能

表32.1 RSCIの仕様 (2/3)

項目	内容	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送信部/受信部	ダブルバッファ構成
	データ一致検出機能	受信データと比較データ内容との一致を検出して割り込み要求を出力可能
	スタートビットの検出	RXDn端子のLowレベル/立ち下がリエッジ検出を選択可能
	受信データサンプリングタイミング調整	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	送信データの立ち下がリエッジまたは立ち上がリエッジのいずれかを遅延させる
	ブレイク検出	フレーミングエラー発生時、レジスタをリードすることでブレイクを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
HBSサポートモード	反転RZl (Return to Zero, Inverted) 符号による送受信が可能	
マンチェスタモード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー、マンチェスタコードエラー、プリフェースエラー、スタートビットエラー、受信 Sync エラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	クロックソース	内部クロックを使用(マンチェスタモード時、外部クロックは、動作保証対象外のため、設定禁止です)
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
	マンチェスタ符号化/復号化機能	送受信データをマンチェスタ符号化/復号化し、マンチェスタコードを用いて通信する機能
	プリフェース設定/検出機能	プリフェースパターンからフレーム先頭を検出する機能。プリフェースパターンは4種から選択が可能。長さも0~15bitで可変可能
	スタートビット設定/検出機能	スタートビット長を1bitか3bitに設定可能。3bit長の場合は2種類のパターンで後続のデータの種類の判定することが可能
受信リタイミング機能	マンチェスタコードがビット中央にエッジを持つことを利用して、ビット中央エッジごとにタイミング補正を行う機能	
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
拡張シリアルモード	Start Frame 送信	Break Field 送出可能、Break Field 送出完了割り込み出力可能、バス衝突検出可能、バス衝突検出割り込み出力可能
	Start Frame 受信	Break Field 検出可能、Break Field 検出割り込み出力可能 Control Field 0/1 データの比較機能 Control Field 1にはプライマリ/セカンダリの2種類の比較データの設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 ビットレート測定機能あり

表32.1 RSCIの仕様 (3/3)

項目		内容
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(マルチマスタ動作は不可)
	転送速度	ファストモード対応(転送速度の設定については「32.2.7 制御レジスタ2 (SCR2)」を参照してください)
	ノイズ除去	SCL、SDA入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅は調整可能
クロック同期式モード	データ長	8ビット
	受信サンプリングタイミング調整機能	内部クロック使用時のみ、受信サンプリングタイミングをデフォルトタイミングの後方に調整可能
	受信エラーの検出	オーバランエラー
	クロックソース	内部クロック(マスタ)/外部クロック(スレーブ)の選択が可能
	倍速モード	ポーレートジェネレータの倍速モードを選択可能
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送信部/受信部	ダブルバッファ構成
簡易SPI (4線式シリアルバス)モード	データ長	8ビット
	エラーの検出	オーバランエラー
	クロックソース	内部クロック(マスタ)/外部クロック(スレーブ)の選択が可能
	倍速モード	ポーレートジェネレータの倍速モードを選択可能
	受信サンプリングタイミング調整機能	内部クロック使用時のみ、受信サンプリングタイミングをデフォルトタイミングの後方に調整可能
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
	送信部/受信部	ダブルバッファ構成
ビットレートモジュレーション機能		内蔵ポーレートジェネレータの出力補正により誤差を低減可能

表32.2 チャネル別機能一覧

項目	RSCI0	RSCI8	RSCI9
調歩同期式モード	○	○	○
マンチェスタモード	—	—	○
スマートカードインタフェースモード	○	○	○
拡張シリアルモード	—	—	○
簡易I ² Cモード	○	○	○
クロック同期式モード	○	○	○
簡易SPIモード	○	○	○
周辺モジュールクロック	PCLKB	PCLKB	PCLKB

図 32.1、図 32.2 に RSCI のブロック図を示します。

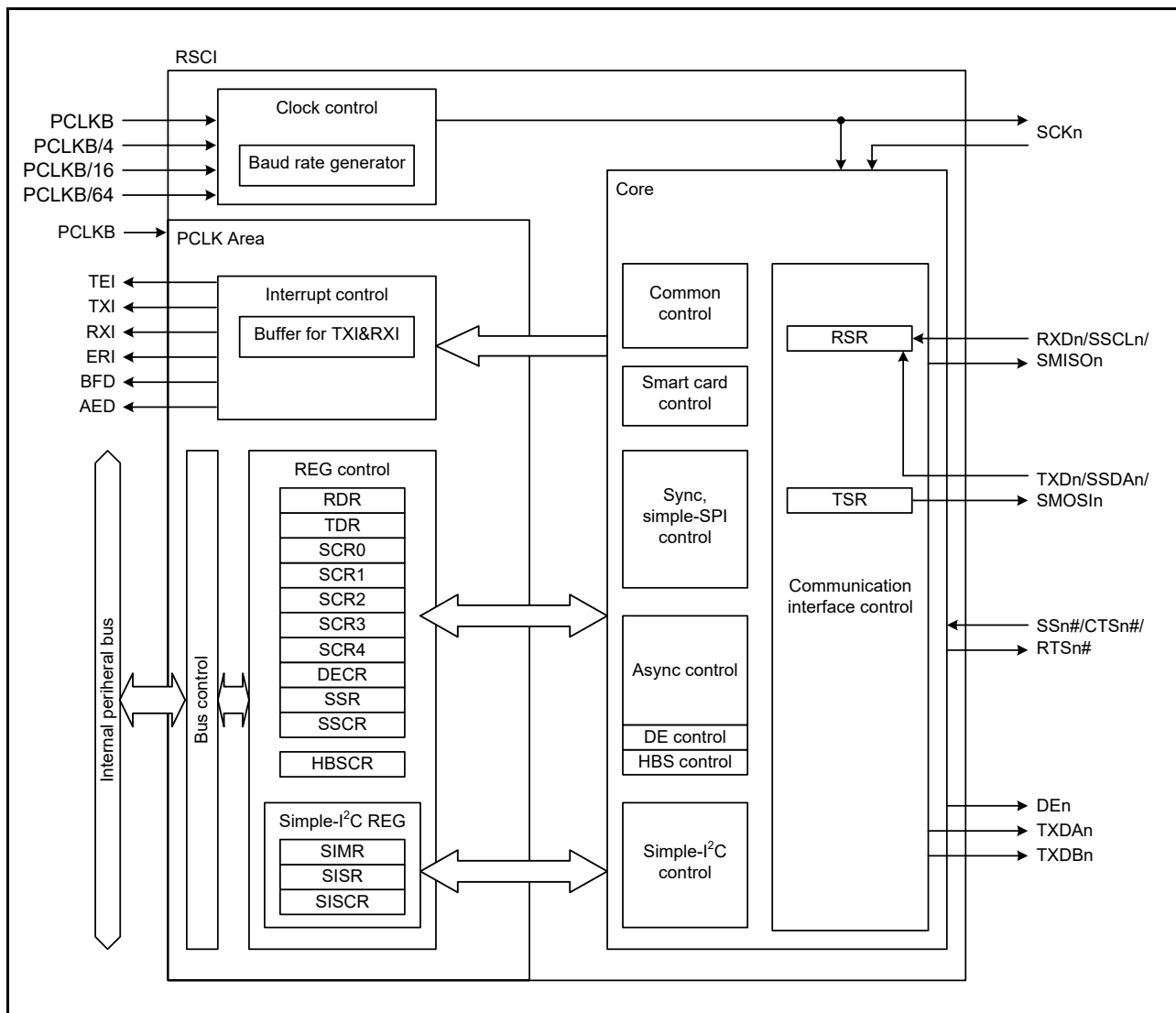


図 32.1 RSCI のブロック図 (n = 000, 008)

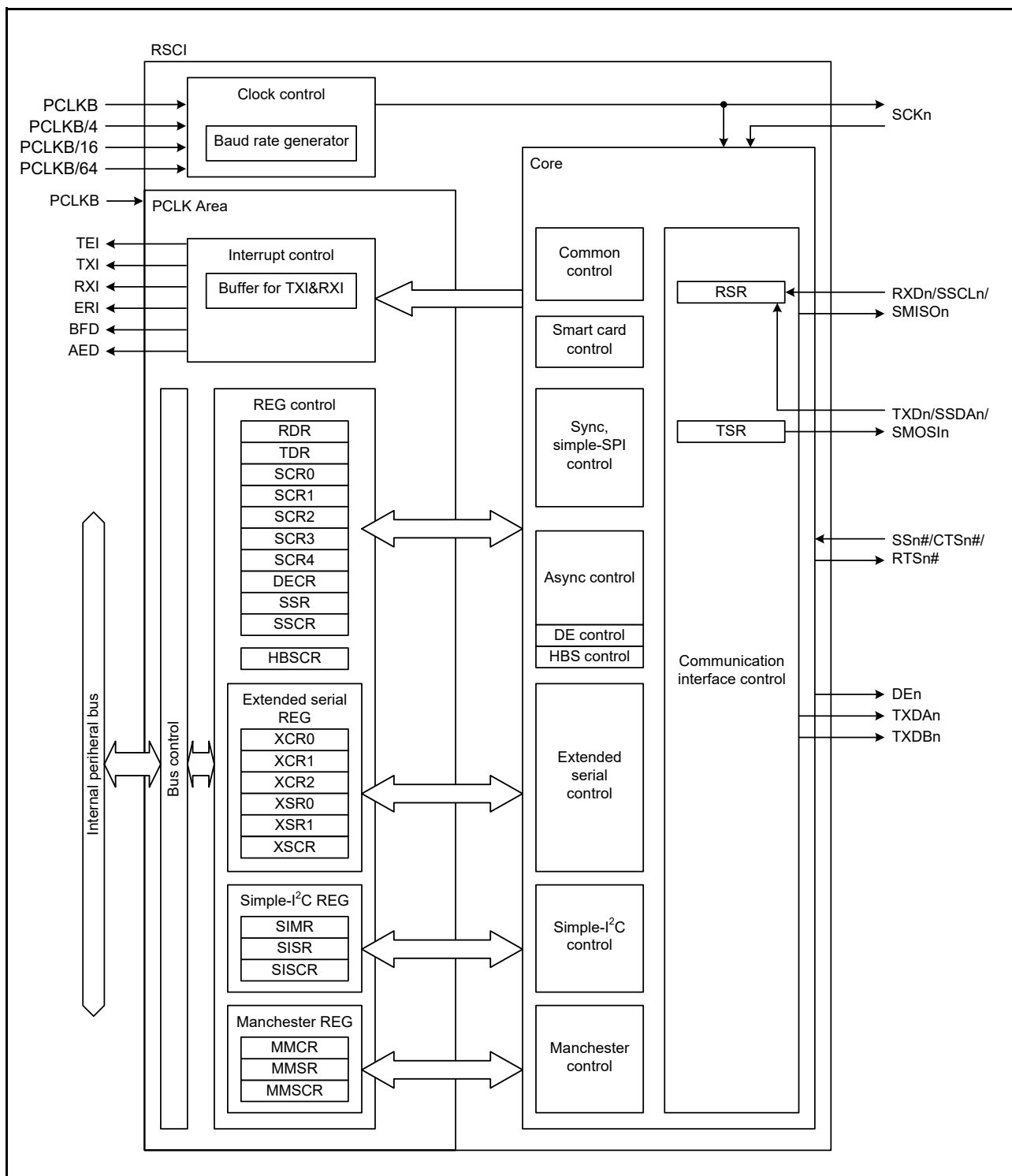


図 32.2 RSCI のブロック図 (n = 009)

表 32.3 ~ 表 32.6 に RSCI で使用する入出力端子を示します。

表 32.3 RSCIの入出力端子(調歩同期式モード/クロック同期式モード/マンチェスタモード/拡張シリアルモード)

チャンネル	端子名	入出力	機能
RSCI0	SCK000	入出力	RSCI0のクロック入出力端子
	RXD000	入力	RSCI0の受信データ入力端子
	TXD000	出力	RSCI0の送信データ出力端子
	RTS000#	出力	RSCI0の送信要求信号出力端子
	CTS000#	入力	RSCI0の送信開始制御用入力端子
	DE000	出力	RSCI0のRS-485ドライバ制御用出力端子
RSCI8	SCK008	入出力	RSCI8のクロック入出力端子
	RXD008	入力	RSCI8の受信データ入力端子
	TXD008	出力	RSCI8の送信データ出力端子
	RTS008#	出力	RSCI8の送信要求信号出力端子
	CTS008#	入力	RSCI8の送信開始制御用入力端子
	DE008	出力	RSCI8のRS-485ドライバ制御用出力端子
RSCI9	SCK009	入出力	RSCI9のクロック入出力端子
	RXD009	入力	RSCI9の受信データ入力端子
	TXD009	出力	RSCI9の送信データ出力端子
	RTS009#	出力	RSCI9の送信要求信号出力端子
	CTS009#	入力	RSCI9の送信開始制御用入力端子
	DE009	出力	RSCI9のRS-485ドライバ制御用出力端子

表 32.4 RSCIの入出力端子(簡易I²Cモード)

チャンネル	端子名	入出力	機能
RSCI0	SSCL000	入出力	RSCI0のI ² Cクロック入出力端子
	SSDA000	入出力	RSCI0のI ² Cデータ入出力端子
RSCI8	SSCL008	入出力	RSCI8のI ² Cクロック入出力端子
	SSDA008	入出力	RSCI8のI ² Cデータ入出力端子
RSCI9	SSCL009	入出力	RSCI9のI ² Cクロック入出力端子
	SSDA009	入出力	RSCI9のI ² Cデータ入出力端子

表 32.5 RSCIの入出力端子(簡易SPIモード)

チャンネル	端子名	入出力	機能
RSCI0	SCK000	入出力	RSCI0のクロック入出力端子
	SMISO000	入出力	RSCI0のスレーブ送出データ入出力端子
	SMOSI000	入出力	RSCI0のマスタ送出データ入出力端子
	SS000#	入力	RSCI0のスレーブセレクト入力端子
RSCI8	SCK008	入出力	RSCI8のクロック入出力端子
	SMISO008	入出力	RSCI8のスレーブ送出データ入出力端子
	SMOSI008	入出力	RSCI8のマスタ送出データ入出力端子
	SS008#	入力	RSCI8のスレーブセレクト入力端子
RSCI9	SCK009	入出力	RSCI9のクロック入出力端子
	SMISO009	入出力	RSCI9のスレーブ送出データ入出力端子
	SMOSI009	入出力	RSCI9のマスタ送出データ入出力端子
	SS009#	入力	RSCI9のスレーブセレクト入力端子

表 32.6 RSCIの入出力端子(HBSサポートモード)

チャンネル	端子名	入出力	機能
RSCI0	RXD000	入力	RSCI0の受信データ入力端子
	TXD000	出力	RSCI0の送信データ出力端子
	TXDA000/TXDB000	出力	RSCI0の送信データ出力端子(交互出力時)
RSCI8	RXD008	入力	RSCI8の受信データ入力端子
	TXD008	出力	RSCI8の送信データ出力端子
	TXDA008/TXDB008	出力	RSCI8の送信データ出力端子(交互出力時)
RSCI9	RXD009	入力	RSCI9の受信データ入力端子
	TXD009	出力	RSCI9の送信データ出力端子
	TXDA009/TXDB009	出力	RSCI9の送信データ出力端子(交互出力時)

32.2 レジスタの説明

この章は RSCI が持つレジスタの説明と機能仕様、動作仕様について説明します。

32.2.1 受信シフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。CPU から直接アクセスすることはできません。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

32.2.2 受信データレジスタ (RDR)

アドレス RSCI0.RDR 000A 1000h, RSCI8.RDR 000A 1400h, RSCI9.RDR 000A 1480h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	AFER	APER	—	—	ORER	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MPB	RDAT[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	受信データビット	受信データを格納するための9ビットの領域です。 受信データは、7ビットデータ長選択時はRDAT[6:0]ビットに、8ビットデータ長選択時はRDAT[7:0]ビットに、9ビットデータ長選択時はRDAT[8:0]ビットに格納され、未使用のビットには“0”が格納されます	R
b9	MPB	マルチプロセッサビットモニタフラグ	0 : データ送信サイクル 1 : ID送信サイクル	R
b23-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	ORER	オーバランエラーフラグ	SSR.ORER値が読み出せます	R
b26-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b27	APER	総合パリティエラーフラグ	SSR.APER値が読み出せます	R
b28	AFER	総合フレーミングエラーフラグ	SSR.AFER値が読み出せます	R
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

RDAT[8:0] ビット (受信データビット)

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

また、調歩同期式、マンチェスタモードの 7 ビットおよび 8 ビット通信時は、受信されないビット位置 (RDAT[8] や RDAT[7]) には“0”が格納されます。

MPB フラグ (マルチプロセッサビットモニタフラグ)

調歩同期式モードおよびマンチェスタモードで、マルチプロセッサ通信 (SCR3.MP ビット = 1) 時、受信データ (RDAT[8:0]) に対応するマルチプロセッサビットの値が読み出せます。

32.2.3 送信データレジスタ (TDR)

アドレス RSCI0.TDR 000A 1004h, RSCI8.TDR 000A 1404h, RSCI9.TDR 000A 1484h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SYNC	—	—	MPBT	TDAT[8:0]								
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	送信データビット	送信データを設定するための9ビットの領域です。送信データは、7ビットデータ長選択時はTDAT[6:0]ビットに、8ビットデータ長選択時はTDAT[7:0]ビットに、9ビットデータ長選択時はTDAT[8:0]ビットに書き込んでください。バイトアクセス時は、TDR.LHを書いた後にTDR.LLを書いてください	R/W
b9	MPBT	送信マルチプロセッサビット	送信フレームに付加するマルチプロセッサビットの値の設定ビットです。本ビットは、調歩同期式モード、マンチェスタモード時に使用します。未使用時に書き込む場合は初期値を書いてください。 0：データ送信サイクル 1：ID送信サイクル	R/W
b11-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b12	SYNC	Syncパルス選択ビット	マンチェスタモードでMMCR.SBLENビット=1かつMMCR.SYNCEビット=1の場合有効となります。未使用時に書き込む場合は初期値を書いてください 0：スタートビットはデータSyncを出力 1：スタートビットはコマンドSyncを出力	R/W
b31-b13	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R

TDAT[8:0] ビット (送信データビット)

TDR レジスタは、送信データを格納するための9ビットの領域です。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU から常にリード/ライト可能です。TDR レジスタへの送信データの書き込みは、SCR0.TE ビット=1 の状態で、送信データエンプティ割り込み (TXI) 要求が発生したときに1回だけ行ってください。

また、バイトアクセス時は、TDR.LH を書いた後に TDR.LL を書いてください。

MPBT ビット (送信マルチプロセッサビット)

送信フレームに付加するマルチプロセッサビットの値を設定します。

SYNC ビット (Sync パルス選択ビット)

本ビットはマンチェスタモード (SCR3.MOD[2:0] ビット = 101b) かつ MMCR.SYNCE ビット、MMCR.SBLEN ビットを“1”にした場合に有効になります。

送信フレームスタートビット領域の Sync 種別をデータ Sync かコマンド Sync に設定することができます。

32.2.4 送信シフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。CPU からは直接アクセスすることはできません。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

32.2.5 制御レジスタ 0 (SCR0)

アドレス RSCI0.SCR0 000A 1008h, RSCI8.SCR0 000A 1408h, RSCI9.SCR0 000A 1488h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	SSE	—	—	TEIE	TIE	—	—	—	—	RIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IDSEL	DCME	MPIE	—	—	—	TE	—	—	—	RE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RE	受信許可ビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注1、注3)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	TE	送信許可ビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	MPIE	マルチプロセッサ割り込み許可ビット	(調歩同期モードおよびマンチェスタモードで、SCR3.MPビット=1のとき有効) 本ビットはスマートカードインタフェースモード時、“0”としてください 0 : マルチプロセッサ機能を用いない受信動作 1 : マルチプロセッサビットが“0”の受信データは読み飛ばし、各ステータスフラグのセット(“1”)を禁止します マルチプロセッサビットが“1”のデータを受信すると、このビットは自動的にクリア(“0”)され、マルチプロセッサ機能を用いない受信動作に戻ります。続けてマルチプロセッサ機能を用いた受信動作を行う場合は、次のフレームのSTOPビット受信より前に本ビットを“1”にしてください	R/W (注2)
b9	DCME	データ一致検出機能許可ビット	(調歩同期モードで有効) 0 : データ一致検出機能無効 1 : データ一致検出機能有効	R/W (注2)
b10	IDSEL	IDフレーム選択ビット	(調歩同期モードかつマルチプロセッサモードで有効) 0 : マルチプロセッサビットの値によらず常に比較する 1 : マルチプロセッサビットが“1”のデータ(IDデータ)のみ比較する	R/W (注4)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RIE	受信割り込み許可ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	TIE	送信割り込み許可ビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W
b21	TEIE	送信完了割り込み許可ビット	本ビットはスマートカードインタフェースモード時、“0”としてください 0 : TEI割り込み要求を禁止 1 : TEI割り込み要求を許可	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	SSE	SSn#端子機能許可ビット	(簡易SPIモードで有効) スレーブモード(SCR3.CKE[1:0]ビット=1xb)時は“1”を設定してください 0 : SS端子機能禁止 1 : SS端子機能許可	R/W (注4)
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

- 注1. クロック同期式モード(SCR3.MOD[2:0]ビット=010b)と簡易SPIモード(SCR3.MOD[2:0]ビット=011b)、および簡易I²Cモード(SCR3.MOD[2:0]ビット=100b)のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。いったん、TE、REビットのいずれかを“1”にした後はTEビット=0、REビット=0の書き込みのみ可能になります。それ以外のモードのときは任意のタイミングで書き込み可能です。
- 注2. 本ビットはハードウェアクリアされるビットです。本ビット以外のビットにビット操作命令で書き込むと、リードモディファイライト動作により、本ビットを意図せず“1”にしてしまう場合があります。
- 注3. クロック同期式モード、簡易SPIモードでは、内部クロック(マスターモード)時の受信オンリー設定は禁止です(TE=0かつRE=1設定は禁止)。
- 注4. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

RE ビット (受信許可ビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、受信可能状態になります。調歩同期式モードの場合はスタートビットを、マンチェスタモード時は RXD 入力の立ち下がり、クロック同期式モードの場合は同期クロック入力を、スマートカードインタフェースモード時はスタートビットをそれぞれ検出するとシリアル受信を開始します。

なお、RE ビットを“1”にする前に SCR0、SCR3 レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.RDRF、AFER、APER、ORER および MMSR.MCER、SBER、SYER、PFER の各フラグ、スマートカードインタフェースモード時の SSR.AFER、APER、ORER の各フラグは影響を受けず、状態を保持します。

TE ビット (送信許可ビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、送信可能状態になります。TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SCR0、SCR3 レジスタの設定を行い、送信フォーマットを決定してください。

MPIE ビット (マルチプロセッサ割り込み許可ビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、AFER、ORER および MMSR.MCER、SBER、SYER、PFER の各ステータスフラグは“1”にセットされません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、マルチプロセッサ機能を用いない受信動作に戻ります。詳細は「32.4 マルチプロセッサ通信機能」を参照してください。続けてマルチプロセッサ機能を用いて受信動作をしたい場合は、次の受信フレームの STOP ビット受信より十分早く、本ビットを“1”にしてください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、AFER および MMSR.MCER、SBER、SYER、PFER の各フラグのセット(“1”)は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、MPB フラグを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求(SCR0.RIE ビットが“1”に設定されている場合)と、AFER、ORER および MCER、SBER、SYER、PFER フラグのセット(“1”)が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”をライトして使用して下さい。

DCME ビット (データ一致検出機能許可ビット)

データ一致検出機能を選択します。

DCME ビット=1のとき、受信したデータと SCR4.CMPD[8:0] ビットに設定された値との一致を検出すると、DCME ビットは自動的にクリアされ、データ一致検出機能を用いない受信動作に戻ります。

詳細は「32.3.6 データ一致検出機能」を参照してください。

調歩同期式モード以外では“0”を設定してください。

IDSEL ビット (ID フレーム選択ビット)

データ一致検出機能を選択時に、マルチプロセッサビットの値によらず比較するか、マルチプロセッサビットが“1”のデータ (ID フレーム) のみを比較するか選択します。どちらを選択するか、データ一致検出機能選択時に同時に設定してください。

RIE ビット (受信割り込み許可ビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI および ERI 割り込み要求の禁止は、RIE ビットを“0”にクリアすることで行うことができます。

ERI 割り込み要求の解除は、SSR.AFER、APER、ORER の各フラグをクリアすることでも行うことができます。

マンチェスタモードの場合は MMSR.MCER、SBER、SYER、PFER の各フラグもエラー割り込み要求の要因となるため同様の処置が必要です。これらのフラグの詳細は「32.2.11 マンチェスタモード制御レジスタ (MMCR)」、 「32.2.18 マンチェスタモードステータスレジスタ (MMSR)」を参照してください。

TIE ビット (送信割り込み許可ビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”クリアすることで行うことができます。

送信開始時は TE と TIE を同時に“1”にしてください、TXI 割り込みが発生します。

TEIE ビット (送信完了割り込み許可ビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にクリアすることで行うことができます。

簡易 I²C モードでは、スタートコンディション/リスタートコンディション/ストップコンディション生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も同様に本ビットにより STI 割り込み要求を許可、また禁止することができます。

SSE ビット (SSn# 端子機能許可ビット)

簡易 SPI モード時に使用するビットです。それ以外の通信モードでは“0”を設定してください。CTSE ビットと両方を有効にしないでください (設定した場合、両ビットともに“0”を設定したときと同じ動作となります)。

スレーブモード (SCR3.CKE[1:0] ビット = 10b または 11b) 時は SSE ビットは“1”を設定してください。

マスタモード (SCR3.CKE[1:0] ビット = 00b または 01b) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であるため、SSE ビットは“0”を設定します。

32.2.6 制御レジスタ 1 (SCR1)

アドレス RSCI0.SCR1 000A 100Ch, RSCI8.SCR1 000A 140Ch, RSCI9.SCR1 000A 148Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	NFEN	—	NFCS[2:0]		—	—	—	HDSEL	—	—	—	—	LOOP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RINV	TINV	—	—	PM	PE	—	—	SPB2IO	SPB2DT	—	—	CRSEP	CTSE
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSE	CTS機能許可ビット	0 : CTS機能禁止 (RTS出力機能有効) 1 : CTS機能許可	R/W (注1)
b1	CRSEP	CTS/RTS分離ビット (注2)	0 : CTS機能、RTS機能のいずれかを使用 1 : CTS機能、RTS機能の両方を同時に使用	R/W (注1)
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SPB2DT	シリアルポートブ레이크データビット	SCR0.TEビット=0かつSPB2IOビット=1のときにTXDn (TXDAn/TXDBn (注5))端子に出力するレベルを選択します (注3) TINVビット=0のとき 0 : TXDn (TXDAn/TXDBn (注5))端子にLowレベルを出力 1 : TXDn (TXDAn/TXDBn (注5))端子にHighレベルを出力 TINVビット=1のとき 0 : TXDn (TXDAn/TXDBn (注5))端子にHighレベルを出力 1 : TXDn (TXDAn/TXDBn (注5))端子にLowレベルを出力	R/W
b5	SPB2IO	シリアルポートブ레이크入出力ビット	SCR0.TEビット=0のときのTXDn (TXDAn/TXDBn (注5))端子への出力有無を選択します (注3) 0 : TXDn (TXDAn/TXDBn (注5))端子にSPB2DTビットの値を出力しない 1 : TXDn (TXDAn/TXDBn (注5))端子にSPB2DTビットの値を出力する	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	PE	パリティイネーブルビット	(調歩同期モードおよびマンチェスタモードで有効、スマートカードインタフェース時は“1”にしてください) 送信時 0 : パリティビットなし 1 : パリティビットを付加 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注1)
b9	PM	パリティモードビット	(PEビット=1のとき有効なビットです) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	TINV	送信出力反転ビット (注4)	0 : TXDn (TXDAn/TXDBn (注5))端子からの出力を反転しない 1 : TXDn (TXDAn/TXDBn (注5))端子から出力を反転する	R/W (注1)
b13	RINV	受信入力反転ビット (注4)	0 : RXDn端子からの入力を反転しない 1 : RXDn端子からの入力を反転する	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	LOOP	ループバックモード設定ビット	調歩同期モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期モード内部クロック動作時に使用可能です 0 : 通常モード 1 : ループバックモード	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20	HDSEL	半二重通信モード選択ビット	本ビットはスマートカードインタフェースモード時、簡易I ² Cモード時、および簡易SPIモード時は使用しないでください (設定値“0”で使用してください) 0：TXDn端子、RXDn端子独立 1：TXDn/RXDn端子兼用(TXDn端子を用いた半二重通信が可能)	R/W (注1)
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26-b24	NFCS[2:0]	ノイズフィルタクロック選択ビット	(調歩同期式モード、マンチェスタモード、拡張シリアルモード、および簡易I ² Cモード時のみ有効) ノイズフィルタのクロックソースを選択します b ₂₆ b ₂₄ 0 0 0：基本クロック1分周 0 0 1：内蔵ポーレートジェネレータソースクロック (注6) 1分周 0 1 0：内蔵ポーレートジェネレータソースクロック (注6) 2分周 0 1 1：内蔵ポーレートジェネレータソースクロック (注6) 4分周 1 0 0：内蔵ポーレートジェネレータソースクロック (注6) 8分周 上記以外：設定禁止 簡易I ² Cモードでは“000b”を選択しないでください	R/W (注1)
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	NFEN	デジタルノイズフィルタ許可ビット	(調歩同期式モード、マンチェスタモード、拡張シリアルモード) 0：RXDn入力信号のノイズ除去機能無効 1：RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0：SSCLn、SSDAn入力信号のノイズ除去機能無効 1：SSCLn、SSDAn入力信号のノイズ除去機能有効	R/W (注1)
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. 調歩同期式モード、マンチェスタモードでのみ有効です。その他のモードでは“0”にしてください。

注3. 本ビットでTXDn端子状態を制御するのは調歩同期式モードおよびマンチェスタモードのみとしてください。他のモードの動作は保証しません。

注4. スマートカードインタフェースモードと簡易I²CモードではRINVビット=TINVビット=0としてください。

注5. HBSサポートモードで交互出力時

注6. SCR2.CKS[1:0]ビットで選択したクロック

CTSE ビット (CTS 機能許可ビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTS 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード、拡張シリアルモード時は“0”を設定してください。

SSE ビットと両方を有効にしないでください (設定した場合、両ビットともに無効となります)。

CRSEP ビット (CTS/RTS 分離ビット)

CTSE ビットが“1”のとき、CTS/RTS 機能使用時の端子使用方法を選択します。

CTS 機能と RTS 機能のいずれかを使用する場合は“0”にしてください。

CTS 機能と RTS 機能の両方を同時に使用する場合は“1”にしてください。

CTSE ビットが“0”のとき、このビットは“0”にしてください。

CRSEP ビット、CTSE ビットの設定値と端子の機能の関係については表 32.7 を参照してください。

表 32.7 CRSEPビット、CTSEビットの設定と端子の機能

CTSEビット	CRSEPビット	CTS# / RTS# 兼用端子	CTS# 専用端子	RTS# 専用端子
0	0	RTS# 信号出力	無効	RTS# 信号出力
1	0	CTS# 信号入力	CTS# 信号入力	無効
1	1	RTS# 信号出力	CTS# 信号入力	RTS# 信号出力

SPB2DT ビット (シリアルポートブレイクデータビット)、 SPB2IO ビット (シリアルポートブレイク入出力ビット)

SCR0.TE ビット、SCR1.SPB2IO ビット、SCR1.SPB2DT ビットの組み合わせで決まる TXDn (TXDAn / TXDBn) 端子の状態を表 32.8 に示します。

表 32.8 TXDn (TXDAn / TXDBn) 端子の制御

SCR0.TE ビット	SPB2IO ビット	SPB2DT ビット	TINV ビット	TXDn (TXDAn / TXDBn) 端子の状態
0 (送信禁止)	0 (入力)	任意	任意	Hi-Z
			0	Low を出力
	1 (出力)	0	0	High を出力
			1	Low を出力
1 (送信許可)	任意	任意	任意	送信データ出力端子

PE ビット (パリティイネーブルビット)

このビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、このビットの設定にかかわらずパリティビットの付加、チェックは行いません。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。マルチプロセッサモードでは、このビットの設定は無効です。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「32.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

TINV ビット (送信出力反転ビット)、RINV ビット (受信入力反転ビット)

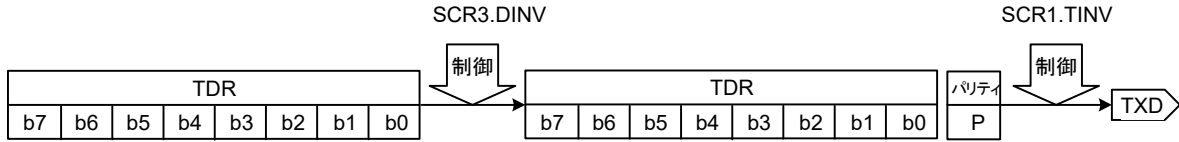
RDR レジスタに格納する値は、RINV ビットと SCR3.DINV ビットの組合せで決まります。また、TXDn 端子からの出力レベルは、TINV ビットと SCR3.DINV ビットの組合せで決まります。RINV / TINV ビットによる制御は、RXDn / TXDn 端子に対して行うため、全ての通信データを制御します (データビットだけでなく、スタートビット、ストップビット、パリティビット等を含みます)。詳細説明は、図 32.3 を参照してください。TXDAn / TXDBn 端子使用時は、同様に TINV 値によってデータ反転します。

半二重通信時、および簡易 SPI モードでスレーブ動作時は、受信時に TXDn 端子を用いるため、受信データの反転制御は TINV ビットで設定してください。

注. 本書内の説明文、タイミングチャートは、TINV / RINV 設定値を明記してない場合は、通信端子反転機能が OFF の条件 (SCR1.TINV ビット = 0、SCR1.RINV ビット = 0) で記載しています。

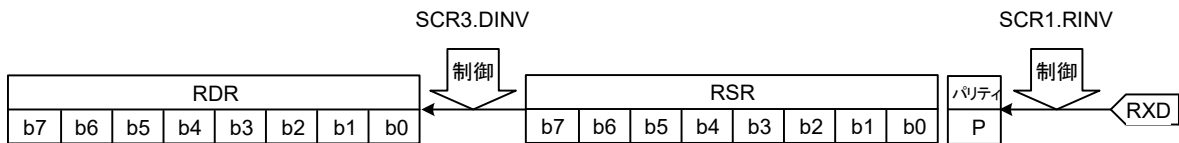
送信/受信データ制御説明(データ長8ビット、パリティチェック有効、MSBファースト送受信時)

送信データはSCR1.TINVとSCR3.DINVビットの組合せで制御します。



SCR3. DINV	SCR1. TINV	TDR 格納値	TSR 格納値	パリティ (偶数)	TXDn端子波形												
					1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	BEh	BEh	0	[Waveform: MSB (b7) is sampled first, followed by b6 to b0, then parity bit P]												
0	1	BEh	BEh	0	[Waveform: MSB (b7) is sampled last, followed by b6 to b0, then parity bit P]												
1	0	BEh	41h	0	[Waveform: MSB (b7) is sampled first, followed by b6 to b0, then parity bit P]												
1	1	BEh	41h	0	[Waveform: MSB (b7) is sampled last, followed by b6 to b0, then parity bit P]												

受信データはSCR1.RINVとSCR3.DINVビットの組合せで制御します。



SCR3. DINV	SCR1. RINV	RDR 格納値	RSR 格納値	パリティ (偶数)	RXDn端子波形												
					1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	BEh	BEh	0	[Waveform: MSB (b7) is sampled first, followed by b6 to b0, then parity bit P]												
1	0	41h	BEh	0	[Waveform: MSB (b7) is sampled first, followed by b6 to b0, then parity bit P]												
0	1	BEh	BEh	0	[Waveform: MSB (b7) is sampled last, followed by b6 to b0, then parity bit P]												
1	1	41h	BEh	0	[Waveform: MSB (b7) is sampled last, followed by b6 to b0, then parity bit P]												

図 32.3 送信 / 受信データ値制御説明

LOOP ビット (ループバックモード設定ビット)

本ビットを“1”にすると、RSCIはRXDからの入力経路を遮断し、TXDへの出力経路を受信データレジスタへ接続します(ループバックモード)。

TINV ビットと組み合わせることで、送信データを反転して受信することが可能です。

クロック同期式モードスレーブ動作時と調歩同期式モード外部クロック使用時、および拡張シリアルモード時は“0”を設定してください。

HDSEL ビット (半二重通信モード選択ビット)

本ビットを“1”にするとTXDn端子を用いて半二重通信ができます。ただし、簡易SPIモード、簡易I²Cモードおよびスマートカードインタフェースモードでは使用できません。

本ビットが“1”の設定のときに、SCR0.TE ビット=1、SCR0.RE ビット=0とするとTXDn端子が通信出力になり、SCR0.TE ビット=0、SCR0.RE ビット=1とするとTXDn端子が通信入力になります。詳細については「32.16 半二重通信機能」を参照してください。

NFCS[2:0] ビット (ノイズフィルタクロック選択ビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード、マンチェスタモード、および拡張シリアルモード時にノイズフィルタを使用する場合、“000b”～“100b”を設定してください。

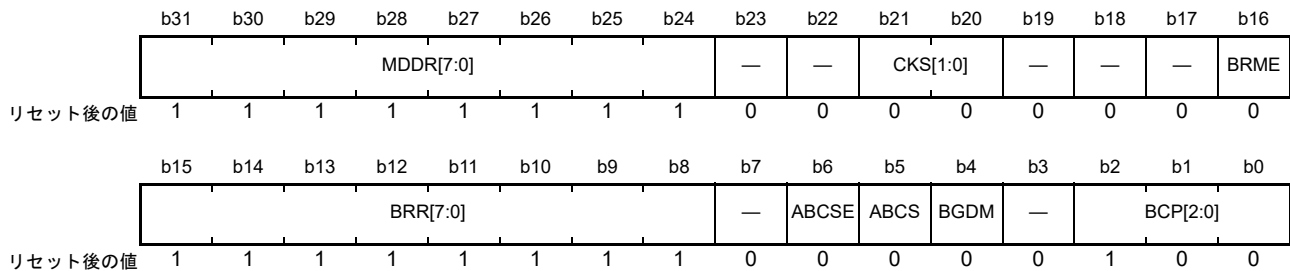
簡易I²Cモード時は、“001b”～“100b”の中から選択してください。

NFEN ビット (デジタルノイズフィルタ許可ビット)

デジタルノイズフィルタ機能の有効、無効を選択します。有効にすると、調歩同期式モード、マンチェスタモード、および拡張シリアルモードの場合は、受信RXDn入力端子、簡易I²Cモードの場合はSSCLn/SSDAn入力端子のノイズ除去を行います。それ以外のモードではNFENビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

32.2.7 制御レジスタ 2 (SCR2)

アドレス RSCI0.SCR2 000A 1010h, RSCI8.SCR2 000A 1410h, RSCI9.SCR2 000A 1490h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BCP[2:0]	基本クロックパルスビット	スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロックパルス数を選択します b2 b0 0 0 0 : 93クロック (S = 93) (注2) 0 0 1 : 128クロック (S = 128) (注2) 0 1 0 : 186クロック (S = 186) (注2) 0 1 1 : 512クロック (S = 512) (注2) 1 0 0 : 32クロック (S = 32) (注2) (初期値) 1 0 1 : 64クロック (S = 64) (注2) 1 1 0 : 372クロック (S = 372) (注2) 1 1 1 : 256クロック (S = 256) (注2)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	BGDM	ポーレートジェネレータ倍速モード選択ビット	ポーレートジェネレータの出力クロックの周期を選択します。本ビットは、調歩同期式/マンチェスタ/クロック同期式/簡易SPIモードで、SCR3.CKE[1]ビット=0のとき有効です 0 : ポーレートジェネレータから1倍の周波数のクロックを出力 1 : ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b5	ABCS	調歩同期基本クロック選択ビット	(調歩同期モード、マンチェスタモードおよび拡張シリアルモードのみ有効) 0 : 基本クロック 16サイクルの期間が1ビット期間の転送レートになります 1 : 基本クロック 8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b6	ABCSE	調歩同期基本クロック選択拡張ビット	(調歩同期モードで、SCR3.CKE[1]ビット=0のときのみ有効) 0 : 1ビット期間あたりの基本クロック数はSCR2.BGDMビットおよびSCR2.ABCSビットの組み合わせで決まります 1 : 基本クロック 6サイクルの期間が1ビット期間の転送レートになり、かつポーレートジェネレータから2倍の周波数のクロックを出力します	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15-b8	BRR[7:0]	ビットレート設定ビット	ビットレートを調整するための8ビットの領域です	R/W (注1)
b16	BRME	ビットレートモジュレーション許可ビット	0 : ビットレートモジュレーション機能無効 1 : ビットレートモジュレーション機能有効	R/W (注1)
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b21-b20	CKS[1:0]	クロック選択ビット	b21 b20 0 0 : PCLK (n = 0) (注3) 0 1 : PCLK/4 (n = 1) (注3) 1 0 : PCLK/16 (n = 2) (注3) 1 1 : PCLK/64 (n = 3) (注3)	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b31-b24	MDDR[7:0]	モジュレーションデューティ設定ビット	BRR[7:0]ビットにより調整されたビットレートを補正するためのビットです	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. SはBRR[7:0]ビット説明中のSの値を表します。

注3. nは設定値の10進表示で、BRR[7:0]ビット説明中のnの値を表します。

BCP[2:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロックパルス数を選択します。

詳細は、「32.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。

BGDM ビット (ボーレートジェネレータ倍速モード選択ビット)

調歩同期式モード (SCR3.MOD[2:0] ビット = 000b)、マンチェスタモード (SCR3.MOD[2:0] ビット = 101b)、クロック同期式モード (SCR3.MOD[2:0] ビット = 010b)、および簡易 SPI (SCR3.MOD[2:0] ビット = 011b) で、クロックソースに内蔵ボーレートジェネレータを選択 (SCR3.CKE[1] ビット = 0) のときに有効です。外部クロック選択時 (SCR3.CKE[1] ビット = 1) のときは、“0”を設定してください。内蔵ボーレートジェネレータから1倍の周波数のクロックを出力するか、2倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット = 1 を設定すると基本クロックの周期が1/2倍になり、ビットレートが2倍になります。

調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI 以外では“0”を設定してください。

ABCS ビット (調歩同期基本クロック選択ビット)

1ビット期間の基本クロックのパルス数を選択します。

調歩同期式モードとマンチェスタモードと拡張シリアルモード以外では、“0”にしてください。

ABCSE ビット (調歩同期基本クロック選択拡張ビット)

1ビット期間の基本クロックのパルス数6、かつ、ボーレートジェネレータから2倍の周波数のクロック出力を選択します。

SCR2.CKS[1:0] ビット = 00b かつ BRR[7:0] ビット = 0 にしてビットレートをバスクロックの6分周に設定するときのみ使用してください。

調歩同期式モード以外では、“0”にしてください。調歩同期式モードで外部クロック選択時も“0”にしてください。

表 32.9 1bitあたりの基本クロックサイクル数早見表

ABCSE ビット	ABCS ビット	BGDM ビット	1ビット期間の基本クロック数	ボーレートジェネレータの出力周波数
0	0	0	16	1倍
0	0	1	16	2倍
0	1	0	8	1倍
1	1	1	8	2倍
1	—	—	6	2倍

—: 任意

BRR[7:0] ビット (ビットレート設定ビット)

BRR[7:0] ビットはビットレートを調整するための8ビットの領域です。

RSCIはチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。調歩同期式モード、マンチェスタモード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易SPIモード、簡易I²CモードにおけるBRR[7:0]ビットの設定値NとビットレートBの関係を表32.10に示します。

表32.10 BRR[7:0]ビットの設定値NとビットレートBの関係

モード	SCR2レジスタの設定			BRR[7:0]ビットの設定値	誤差 (%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、 マルチプロ セッサ通信、 マンチェス タモード、 拡張シリア ル(注3)モー ド	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1(注2)	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同 期式、 簡易SPI	0	0 (Initial value)	0 (Initial value)	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
	1	0 (Initial value)	0 (Initial value)	$N = \frac{PCLK \times 10^6}{4 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C(注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR[7:0] ビットの設定値 (0 ≤ N ≤ 255)

PCLK: 動作周波数 (MHz)

nとS: 「表32.12 クロックソースの設定」と「表32.13 スマートカードインタフェースモード時の基本クロックの設定」のとおりにSCR2レジスタの設定値によって決まります。

スマートカードインタフェース時のみ、分母は2(2n+1)です。他は2(2n-1)であることに注意してください。

注1. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

注2. マンチェスタモード時、ABCSEビット=1は設定禁止です。

注3. 拡張シリアルモード時、BGDMビット=0かつABCSEビット=0を設定してください。

表32.11 SCL High/Low幅算出式

モード	SCL	算出式(s)
I ² C	High幅(min値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅(min値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 32.12 クロックソースの設定

SCR2レジスタの設定値 CKS[1:0]ビット	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表 32.13 スマートカードインタフェースモード時の基本クロックの設定

SCR2レジスタの設定値 BCP[2:0]ビット	1ビット期間中の 基本クロックパルス数	S
0 0 0	93クロック	93
0 0 1	128クロック	128
0 1 0	186クロック	186
0 1 1	512クロック	512
1 0 0	32クロック	32
1 0 1	64クロック	64
1 1 0	372クロック	372
1 1 1	256クロック	256

調歩同期式モードおよびマンチェスタモードにおける BRR[7:0] ビットの値 N の設定例を表 32.14、表 32.15 に、各動作周波数における設定可能な最高ビットレートを表 32.16 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR[7:0] ビットの値 N の設定例を表 32.18 に、スマートカードインタフェースモードにおける BRR[7:0] ビットの値 N の設定例を表 32.20 に、簡易 I²C モードにおける BRR[7:0] ビットの値 N の設定例を表 32.22 に示します。スマートカードインタフェースモードでは1ビット転送期間の基本クロック数 S を選択できます。詳細は「32.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 32.17、表 32.19 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードおよびマンチェスタモードで SCR2 レジスタの調歩同期基本クロックセレクトビット (ABCS ビット) またはポーレートジェネレータ倍速モードセレクトビット (BGDM ビット) のいずれか一方のビットを“1”にしたときのビットレートは表 32.14、表 32.15 の2倍に、両ビットとも“1”にしたときのビットレートは4倍になります。

表32.14 ビットレートに対するBRR[7:0]ビットの設定例(調歩同期式モードおよびマンチェスタモード) (1)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注. SCR2.ABCSビット=0、SCR2.BGDMビット=0、SCR2.ABCSEビット=0のときの例です。
 ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
 ABCSビット=1かつBGDMビット=1にしたときは、ビットレートが4倍になります。

表32.15 ビットレートに対するBRR[7:0]ビットの設定例(調歩同期式モードおよびマンチェスタモード)(2)

ビット レート (bps)	動作周波数PCLK (MHz)								
	20			25			30		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13
150	3	64	0.16	3	80	0.47	3	97	-0.35
300	2	129	0.16	2	162	-0.15	2	194	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35
1200	1	129	0.16	1	162	-0.15	1	194	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35
4800	0	129	0.16	0	162	-0.15	0	194	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35
31250	0	19	0.00	0	24	0.00	0	29	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73

- 注. SCR2.ABCS ビット = 0、SCR2.BGDM ビット = 0、SCR2.ABCSE ビット = 0 のときの例です。
 ABCS ビットまたはBGDM ビット = 1 のいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
 ABCS ビット = 1 かつBGDM ビット = 1 にしたときは、ビットレートが4倍になります。

表 32.16 各動作周波数における最高ビットレート(調歩同期式モードおよびマンチェスタモード)

PCLK (MHz)	SCR2レジスタの設定値					最高ビット レート(bps)	PCLK (MHz)	SCR2レジスタの設定値					最高ビット レート(bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	9.8304	0	0	0	0	0	307200
		1	0	0	0	500000			1	0	0	0	614400
	1	0	0	0	0	1000000		1	0	0	0	0	1228800
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	1333333		任意	任意	1	0	0	1638400
10	0	0	0	0	0	312500	12	0	0	0	0	0	375000
		1	0	0	0	625000			1	0	0	0	750000
	1	0	0	0	0	1250000		1	0	0	0	0	1500000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	1666667		任意	任意	1	0	0	2000000
12.288	0	0	0	0	0	384000	14	0	0	0	0	0	437500
		1	0	0	0	768000			1	0	0	0	875000
	1	0	0	0	0	1536000		1	0	0	0	0	1750000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	2048000		任意	任意	1	0	0	2333333
16	0	0	0	0	0	500000	17.2032	0	0	0	0	0	537600
		1	0	0	0	1000000			1	0	0	0	1075200
	1	0	0	0	0	2000000		1	0	0	0	0	2150400
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	2666667		任意	任意	1	0	0	2867200
18	0	0	0	0	0	562500	19.6608	0	0	0	0	0	614400
		1	0	0	0	1125000			1	0	0	0	1228800
	1	0	0	0	0	2250000		1	0	0	0	0	2457600
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	3000000		任意	任意	1	0	0	3276800
20	0	0	0	0	0	625000	25	0	0	0	0	0	781250
		1	0	0	0	1250000			1	0	0	0	1562500
	1	0	0	0	0	2500000		1	0	0	0	0	3125000
		1	0	0	0				1	0	0	0	
	任意	任意	1	0	0	3333333		任意	任意	1	0	0	4166667
30	0	0	0	0	0	937500							
		1	0	0	0	1875000							
	1	0	0	0	0	3750000							
		1	0	0	0								
	任意	任意	1	0	0	5000000							

表32.17 外部クロック入力時の最高ビットレート(調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート(bps)	
		SCR2.ABCSビット=0	SCR2.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500

表32.18 ビットレートに対するBRR[7:0]ビットの設定例(クロック同期式モード、簡易SPIモード)

ビット レート (bps)	動作周波数PCLK (MHz)								
	8			10			30		
	BGDM	n	N	BGDM	n	N	BGDM	n	N
250	0	3	124	0	3	177	—	—	—
500	0	2	249	0	3	77	0	3	233
1k	0	2	124	0	3	38	0	3	116
2.5k	0	2	49	0	1	249	0	3	46
5k	0	2	24	0	1	124	0	2	93
10k	0	1	49	0	0	249	0	2	46
25k	0	2	4	0	1	24	0	1	74
50k	0	1	9	0	0	49	0	0	149
100k	0	1	4	0	0	24	0	0	74
250k	0	1	1	0	0	9	0	0	29
500k	0	1	0	0	0	4	0	0	14
1M	0	0	1	1	0	4	1	0	14
2.5M	—	—	—	0	0	0	0	0	2
5M	—	—	—	1	0	0	1	0	2
7.5M	—	—	—	—	—	—	0	0	0

— : 設定可能ですが10%以上の誤差がでます。

表32.19 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	4	4
10	5	5
12	6	6
14	7	7
16	8	8
18	9	9
20	10	10
25	12.5	12.5
30	15	15

表32.20 ビットレートに対するBRR[7:0]ビットの設定例(スマートカードインタフェースモードでS = 372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01

表32.21 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS = 32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0

表32.22 ビットレートに対するBRR[7:0]ビットの設定例(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	0	49	0.0	0	62	-0.8	0	77	0.2
25k	0	9	0.0	0	12	-3.8	1	4	0.0	0	24	0.0	0	30	0.8
50k	0	4	0.0	0	5	4.2	0	9	0.0	0	12	-3.8	2	0	-2.3
100k	0	2	-16.7	1	0	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	-16.7	0	2	4.2
350k										0	1	-10.7	0	2	-25.6
384k										0	1	-18.6	0	2	-32.2

ビット レート (bps)	動作周波数PCLK (MHz)		
	30		
	n	N	誤差 (%)
10k	0	93	-0.3
25k	0	37	-1.3
50k	0	18	-1.3
100k	0	9	-6.3
250k	1	0	-6.3
350k	0	2	-10.7
384k	0	2	-18.6

表 32.23 各ビットレート設定での SCL High/Low 幅最小値 (簡易 I²C モード)

ビット レート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	0	49	43.75/50.00	0	62	44.10/50.40
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	0	24	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	0	9	8.75/10.00	0	12	9.10/10.40
100k	0	2	5.25/6.00	1	0	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60
384k										0	1	1.40/1.60

ビット レート (bps)	動作周波数 PCLK (MHz)					
	25			30		
	n	N	SCL High/Low 幅 min 値 (μs)	n	N	SCL High/Low 幅 min 値 (μs)
10k	0	77	43.68/49.92	0	93	43.87/50.13
25k	0	30	17.36/19.84	0	37	17.73/20.27
50k	2	0	8.96/10.24	0	18	8.87/10.13
100k	1	1	4.48/5.12	0	9	4.67/5.33
250k	0	2	1.68/1.92	1	0	1.87/2.13
350k	0	2	1.68/1.92	0	2	1.40/1.60
384k	0	2	1.68/1.92	0	2	1.40/1.60

BRME ビット (ビットレートモジュレーション許可ビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ポーレートジェネレータにより生成されるビットレートを平均的に補正します。

調歩同期式モード、簡易 I²C モードでのみ“1”にできます。クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、拡張シリアルモードでは、“0”にしてください。

CKS[1:0] ビット (クロック選択ビット)

内蔵ポーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とポーレートの関係については、本章の BRR[7:0] ビット説明を参照してください。

MDDR[7:0] ビット (モジュレーションデューティ設定ビット)

BRME ビットが“1”のとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に M/256 に補正します。MDDR[7:0] ビットの設定値 M とビットレート B の関係を表 32.24 に示します。

MDDR[7:0] ビットの初期値は“FFh”です。ビット7は“1”に固定されています。

表 32.24 ビットレートモジュレーション機能使用時のMDDR[7:0]ビット設定値MとビットレートBの関係

モード(注1)	SCR2レジスタの設定			BRR[7:0]ビットの設定値	誤差(%)
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	任意	任意	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易I ² C(注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR[7:0] ビットの設定値 ($128 \leq M \leq 255$)

N: BRR[7:0] ビットの設定値 ($0 \leq N \leq 255$)

PCLK: 動作周波数 (MHz)

n: 「表 32.12 クロックソースの設定」のとおり SCR2.CKS[1:0] ビットの設定値によって決まります。

注1. クロック同期式モード、簡易SPIモード、スマートカードインタフェースモード、マンチェスタモード、および拡張シリアルモードでは、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C-bus規格を満たすようビットレートを調整してください。

調歩同期式モードにおける BRR[7:0] ビットの値 N と MDDR[7:0] ビットの値 M の設定例を表 32.25、表 32.26 に示します。

表32.25 ビットレートに対するBRR[7:0]ビット、MDDR[7:0]ビットの設定例(調歩同期式モード) (1)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビット レート (bps)	動作周波数PCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	0.26	0	0	135	1	0.14

ビット レート (bps)	動作周波数PCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注. SCR2.ABCSビット=0、SCR2.ABCSEビット=0のときの例です。

注1. ビットレートモジュレーション機能無効(SCR2.BRMEビット=0)設定(M=256に相当)を意味します。

表32.26 ビットレートに対するBRR[7:0]ビット、MDDR[7:0]ビットの設定例(調歩同期式モード) (2)

ビット レート (bps)	動作周波数PCLK (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)	n	N	M	BGDM ビット	誤差(%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビット レート (bps)	動作周波数PCLK (MHz)				
	30				
	n	N	M	BGDM ビット	誤差(%)
38400	0	36	194	1	0.01
57600	0	10	173	0	-0.01
115200	0	10	173	1	-0.01
230400	0	6	220	1	-0.09
460800	0	3	252	1	0.14

注. SCR2.ABCSビット=0、SCR2.ABCSEビット=0のときの例です。

注1. ビットレートモジュレーション機能無効(SCR2.BRMEビット=0)設定(M=256に相当)を意味します。

32.2.8 制御レジスタ 3 (SCR3)

アドレス RSCI0.SCR3 000A 1014h, RSCI8.SCR3 000A 1414h, RSCI9.SCR3 000A 1494h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	BLK	GM	—	—	CKE[1:0]	—	—	DEEN	—	MP	MOD[2:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	STOP	DINV	DDIR	—	—	CHR[1:0]	SYNDIS	—	—	—	—	—	CPOL	CPHA	
リセット後の値	0	0	0	1	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	クロック位相セレクトビット	(簡易SPIモードおよびクロック同期モードのみ有効です。SCR0.TEビット=0かつREビット=0のとき、設定してください) 0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 (クロック遅れあり) 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル (クロック遅れなし)	R/W (注1)
b1	CPOL	クロック極性セレクトビット	(簡易SPIモードおよびクロック同期モードのみ有効です。SCR0.TEビット=0かつREビット=0のとき、設定してください) 0: アイドル時のSCKnが“0” 1: アイドル時のSCKnが“1”	R/W (注1)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b7	SYNDIS	同期化回路無効ビット	“1”にしてください	R/W
b9-b8	CHR[1:0]	キャラクタ長選択ビット	送受信データのデータ長を選択します (調歩同期モードおよびマンチェスタモードのみ有効 (注2)) b9 b8 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12	DDIR	転送データ方向選択ビット	0: MSBファーストで送受信 1: LSBファーストで送受信 簡易I ² Cモードで動作させる場合は“0”、拡張シリアルモードで動作させる場合は“1”にしてください	R/W (注1)
b13	DINV	転送データ反転ビット	0: TDRレジスタ格納データをそのままTSRレジスタへ転送、RSRレジスタ格納データをそのままRDRレジスタに格納 1: TDRレジスタ格納データを反転してTSRレジスタへ転送、RSRレジスタ格納データを反転してRDRレジスタに格納 簡易I ² Cモードで動作させる場合は、“0”にしてください。 通信端子(TXDn/RXDn)データの最終的な信号レベルは、本ビットとSCR1.TINV/RINVビットの組合せで決まります。詳細は図32.3を参照してください	R/W (注1)
b14	STOP	ストップビット長選択ビット	(調歩同期モードおよびマンチェスタモード、拡張シリアルモードのみ有効) 0: 1ストップビット/Break delimiter長=1ビット長 1: 2ストップビット/Break delimiter長=2ビット長	R/W (注1)
b15	RXDESEL	調歩同期スタートビットエッジ検出選択ビット	(調歩同期モードのみ有効) 拡張シリアルモードで動作させる場合は、“1”にしてください 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がリエッジでスタートビットを検出	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b18-b16	MOD[2:0]	通信モード選択ビット	RSCIの通信モードを選択します b18 b16 0 0 0: 調歩同期式モード 0 0 1: スマートカードインタフェースモード 0 1 0: クロック同期式モード 0 1 1: 簡易SPIモード 1 0 0: 簡易I ² Cモード 1 0 1: マンチェスタモード 1 1 0: 拡張シリアル 1 1 1: 設定禁止	R/W (注1)
b19	MP	マルチプロセッサモードビット	(調歩同期式モードおよびマンチェスタモードのみ有効) 0: マルチプロセッサ通信禁止 1: マルチプロセッサ通信許可	R/W (注1)
b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b21	DEEN	ドライバ制御機能有効ビット	(調歩同期式モードで有効) 0: RS-485ドライバ制御機能は無効です 1: RS-485ドライバ制御機能は有効です	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b25-b24	CKE[1:0]	クロックイネーブルビット	調歩同期式モードの場合 b25 b24 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によりSCKn端子は入出力ポートとして使用できます 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x: 外部クロック • 外部クロック使用時は、SCKn端子からビットレートの16倍(SCR2.ABCSビット=0のとき)または8倍(SCR2.ABCSビット=1のとき)の周波数のクロックを入力してください マンチェスタ/拡張シリアルモードの場合 b25 b24 0 0: 内蔵ポーレートジェネレータ I/Oポートの設定によりSCKn端子は入出力ポートとして使用できます 上記以外: 禁止設定(未サポート)で使用できません クロック同期式/簡易SPIモードの場合 b25 b24 0 x: 内部クロック(マスタモード) SCKn端子はクロック出力端子となります 1 x: 外部クロック(スレーブモード) SCKn端子はクロック入力端子となります スマートカードインタフェースモードの場合 SCR3.GMビット=0の場合 b25 b24 0 0: 出力ディスエーブル(I/Oポートの設定によりSCKn端子は入出力ポートとして使用可) 0 1: クロック出力 1 x: (設定禁止) SCR3.GMビット=1の場合 b25 b24 0 0: Lowレベル出力固定 0 1: クロック出力 1 0: Highレベル出力固定 1 1: クロック出力	R/W (注1)
b26	—	予約ビット	“0”にしてください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b28	GM	GSMモードビット	(スマートカードインタフェースモードのみ有効) 0: 非GSMモードで動作します 1: GSMモードで動作します	R/W (注1)
b29	BLK	ブロック転送モードビット	(スマートカードインタフェースモードのみ有効) 0: 非ブロック転送モードで動作します 1: ブロック転送モードで動作します	R/W (注1)
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

- 注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。
- 注2. 調歩同期式モードおよびマンチェスタモード以外では、設定は無効でデータ長は8ビット固定です。拡張シリアルモードでは“10b”(8ビット)にしてください。
- 注3. LSBファースト固定となり、送信ではTDRレジスタのMSB(b7)は送信されません。

CPHA ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。

詳細は、図 32.99 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“1”を設定して下さい。

CPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。

詳細は、図 32.99 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“1”を設定して下さい。

CHR[1:0] ビット (キャラクタ長選択ビット)

送受信データのデータ長を選択します。

調歩同期式モードおよびマンチェスタモード以外では、データ長は8ビット固定です。

DDIR ビット (転送データ方向選択ビット)

送受信データのデータを MSB ファーストで送受信するか LSB ファーストで送受信するか選択します。

DINV ビット (転送データ反転ビット)

送信データを TDR レジスタから TSR レジスタへ転送するタイミングでビット反転制御します。また、受信データを RSR レジスタから RDR レジスタへ転送するタイミングでビット反転制御します。DINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SCR1.PM ビットを反転してください。

STOP ビット (ストップビット長選択ビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

また、拡張シリアルモードで Start Frame 送信時、Break delimiter 長設定として使用します。

RXDESEL ビット (調歩同期スタートビットエッジ検出選択ビット)

調歩同期式モード受信動作における、スタートビットの検出方法を選択します。本ビットの設定によりブ레이크時の動作が異なります。ブ레이크中に受信動作を停止させたい場合、およびブ레이크終了後に RXDn 端子入力を1フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

拡張シリアルモード時は、“1”を設定してください。調歩同期式モード、拡張シリアルモード以外では“0”を設定してください。

MOD[2:0] ビット (通信モード選択ビット)

RSCI の通信モードを選択します。

表 32.27 通信モード選択ビット (MOD[2:0]) とその他動作モード設定ビット

通信モード	調歩同期				スマート カード I/F	クロック 同期	簡易 SPI	簡易 I ² C	マンチエスタ		拡張 シリアル
SCR3.MOD[2:0]	000b				001b	010b	011b	100b	101b		110b
SCR3.MP	0	1	0	1	—	—	—	—	0	1	—
SCR3.DEEN	0	1	0	1	—	—	—	—	—		—
SCR3.SSE	—				—	—	0	1	—	—	

— : 設定禁止

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

DEEN ビット (ドライバ制御機能有効ビット)

RS-485 ドライバ制御機能の有効 / 無効を選択します。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCK_n 端子の機能を選択します。

スマートカードインタフェースモード時、SCK_n 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「32.7.8 クロック出力制御」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu : elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「32.7.6 シリアルデータの送信 (ブロック転送モードを除く)」、「32.7.8 クロック出力制御」を参照してください。

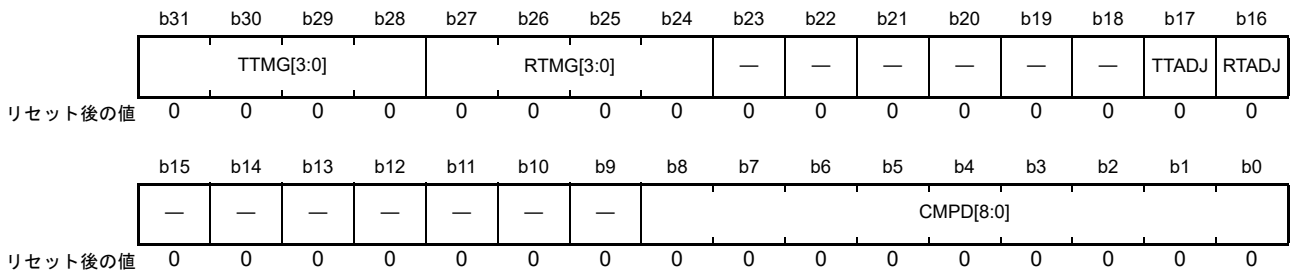
BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「32.7.3 ブロック転送モード」を参照してください。

32.2.9 制御レジスタ 4 (SCR4)

アドレス RSCI0.SCR4 000A 1018h, RSCI8.SCR4 000A 1418h, RSCI9.SCR4 000A 1498h



ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	比較データビット	(調歩同期モード時のみ有効なビットです) データ一致検出機能を使用する場合の比較元データを設定します	R/W (注1)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	RTADJ	受信データサンプリングタイミング変更ビット	(調歩同期モード内部クロック選択時、拡張シリアルモード内部クロック選択時、クロック同期モードマスタ動作時、簡易SPIモードマスタ動作時に有効なビットです) 0: 受信サンプリングタイミング調整機能無効 1: 受信サンプリングタイミング調整機能有効	R/W (注1)
b17	TTADJ	送信信号変化タイミング変更ビット	(調歩同期モードで内部クロック選択時のみ有効なビットです) 0: 送信タイミング調整機能無効 1: 送信タイミング調整機能有効	R/W (注1)
b23-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b27-b24	RTMG[3:0]	受信データサンプリングタイミング選択ビット	調歩同期式/拡張シリアルモードの場合 b27 b24 1111: デフォルト位置から7クロック前でサンプリング 1110: デフォルト位置から6クロック前でサンプリング 1101: デフォルト位置から5クロック前でサンプリング 1100: デフォルト位置から4クロック前でサンプリング 1011: デフォルト位置から3クロック前でサンプリング 1010: デフォルト位置から2クロック前でサンプリング 1001: デフォルト位置から1クロック前でサンプリング x000: デフォルト位置でサンプリング 0001: デフォルト位置から1クロック後でサンプリング 0010: デフォルト位置から2クロック後でサンプリング 0011: デフォルト位置から3クロック後でサンプリング 0100: デフォルト位置から4クロック後でサンプリング 0101: デフォルト位置から5クロック後でサンプリング 0110: デフォルト位置から6クロック後でサンプリング 0111: デフォルト位置から7クロック後でサンプリング クロック同期式/簡易SPIモードの場合 b27 b24 0000: 1PCLK遅延 0001: 2PCLK遅延 0010: 3PCLK遅延 0011: 4PCLK遅延 上記以外: 設定禁止	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b31-b28	TTMG[3:0]	送信信号変化タイミング選択ビット	b31 b28 1111: “1”から“0”への変化を7クロック遅らせる 1110: “1”から“0”への変化を6クロック遅らせる 1101: “1”から“0”への変化を5クロック遅らせる 1100: “1”から“0”への変化を4クロック遅らせる 1011: “1”から“0”への変化を3クロック遅らせる 1010: “1”から“0”への変化を2クロック遅らせる 1001: “1”から“0”への変化を1クロック遅らせる x000: 波形を変化させない 0001: “0”から“1”への変化を1クロック遅らせる 0010: “0”から“1”への変化を2クロック遅らせる 0011: “0”から“1”への変化を3クロック遅らせる 0100: “0”から“1”への変化を4クロック遅らせる 0101: “0”から“1”への変化を5クロック遅らせる 0110: “0”から“1”への変化を6クロック遅らせる 0111: “0”から“1”への変化を7クロック遅らせる	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

CMPD[8:0] ビット (比較データビット)

データ一致検出機能有効(SCR0.DCMEビット=1)時に、受信データと比較するデータを設定します。SCR0.DCMEビット=0のときに書き換えを行ってください。

比較するデータには、7ビットデータ長選択時はCMPD[6:0]ビット、8ビットデータ長選択時はCMPD[7:0]ビット、9ビットデータ長選択時はCMPD[8:0]ビットを使用します。

RTADJ ビット (受信データサンプリングタイミング変更ビット)

本ビットが“1”のとき、受信サンプリングタイミング調整機能が有効になります。調歩同期式、拡張シリアルモードとクロック同期式、簡易SPIモードではそれぞれ制御が異なります。

調歩同期式モード内部クロック選択時の動作説明は「32.3.10 調歩同期式モードの受信サンプリングタイミング調整機能」を参照してください。

拡張シリアルモード内部クロック選択時の動作は調歩同期式モード内部クロック選択時と同じです。

クロック同期式モードマスタ動作時、および簡易SPIモードマスタ動作時の動作説明は「32.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能」を参照してください。本ビットで制御できるのは、マスタモード受信サンプリングクロック(MRCLK)のデジタル遅延のみです。MRCLKのアナログ遅延は制御できません。

TTADJ ビット (送信信号変化タイミング変更ビット)

本ビットが“1”のとき、送信信号変化タイミング調整機能が有効になります。送信信号変化タイミング調整機能は、TXDn端子から出力する波形のエッジタイミングを調整することができます。詳細は、「32.3.11 調歩同期式モードの送信タイミング調整機能」を参照してください。

RTMG[3:0] ビット (受信データサンプリングタイミング選択ビット)

RTADJビットが“1”のとき、本ビット設定値に応じて受信サンプリングタイミングを調整することができます。調歩同期式モード、拡張シリアルモード時の調整値は、基本クロック×RTMG[2:0]設定値です。

TTMG[3:0] ビット (送信信号変化タイミング選択ビット)

TTMG[3:0]ビットで指定したTXDn端子のエッジタイミングを、基本クロック×TTMG[2:0]設定値で調整します。TTMG[2:0]ビットの設定値が1ビット期間の基本クロック数以上にならないようにしてください。

32.2.10 I²C モードレジスタ (SIMR)

アドレス RSCI0.SIMR 000A 1020h, RSCI8.SIMR 000A 1420h, RSCI9.SIMR 000A 14A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	IICSCLS[1:0]	IICSDAS[1:0]	—	IICSTP REQ	IICRST AREQ	IICSTA REQ		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCS C	IICINT M	—	—	—	IICDL[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IICDL[4:0]	SDA出力遅延セレクトビット	内蔵ポーレートジェネレータのクロックソース基準で b4 b0 0 0 0 0 : 出力遅延なし 0 0 0 1 : 0~1サイクル 0 0 1 0 : 1~2サイクル 0 0 1 1 : 2~3サイクル 0 1 0 0 : 3~4サイクル 0 1 0 1 : 4~5サイクル : : 1 1 1 1 0 : 29~30サイクル 1 1 1 1 1 : 30~31サイクル	R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	IICINTM	I ² C 割り込みモード選択ビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b9	IICCS	クロック同期化ビット	0 : クロック同期を実施しない 1 : クロック同期を実施する	R/W (注1)
b12-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b13	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	IICSTAREQ	スタートコンディション生成ビット	0 : スタートコンディションを生成しない 1 : スタートコンディションを生成する (注2、注4、注5、注6)	R/W
b17	IICRSTAREQ	リスタートコンディション生成ビット	0 : リスタートコンディションを生成しない 1 : リスタートコンディションを生成する (注3、注4、注5、注6)	R/W
b18	IICSTPREQ	ストップコンディション生成ビット	0 : ストップコンディションを生成しない 1 : ストップコンディションを生成する (注3、注4、注5、注6)	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b21-b20	IICSDAS[1:0]	SDA出力セレクトビット	b21 b20 0 0 : シリアルデータ出力 0 1 : スタートコンディション、リスタートコンディショ ン、ストップコンディションの生成 1 0 : SSdAn端子はLowレベルを出力 1 1 : SSdAn端子はHighレベルを出力	R/W
b23-b22	IICSCLS[1:0]	SCL出力セレクトビット	b23 b22 0 0 : シリアルクロック出力 0 1 : スタートコンディション、リスタートコンディショ ン、ストップコンディションの生成 1 0 : SSCLn端子はLowレベルを出力 1 1 : SSCLn端子はHighレベルを出力	R/W
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. パスフリー状態のときに、スタートコンディション生成を行ってください。

注3. パスビジー状態のときに、図32.72、図32.73で説明しているアクノリッジ後のSSCLn端子がLowレベルのときにリスタート

コンディション生成またはストップコンディション生成を行ってください。

注4. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注5. コンディション生成完了フラグ(IICSTIFフラグ)を“0”にしてから各コンディション生成を行ってください。

注6. “1”の状態では“0”を書き込まないでください。“1”の状態では“0”を書き込むとコンディション生成が中断します。

IICDL[4:0] ビット (SDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち上がりに対する SSDAn 端子出力の遅延を選択します。

内蔵ポーレートジェネレータのクロックソース基準で、遅延なし～31 サイクルの中から選択可能です。内蔵ポーレートジェネレータのクロックソースとして、PCLK に対して SCR2.CKS[1:0] ビットの設定により選択された分周比のクロックが供給されます。

簡易 I²C モード以外では“00000b”を設定してください。

簡易 I²C モード時は、“00001b”～“11111b”のいずれかを設定してください。

IICINTM ビット (I²C 割り込みモード選択ビット)

簡易 I²C モード時の割り込み要求要因を選択します。

IICGSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で SSCLn 端子を Low レベルにした時、内部で生成する SCL を同期化する場合は IICGSC ビットに“1”を設定します。

IICGSC ビットに“0”を設定すると内部 SCL の同期化は行いません。SSCLn 端子入力のレベルに関わらず、BRR[7:0] ビットで設定したビットレートに従って SCL を生成します。

デバッグ時を除いて IICGSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

IICSTAREQ ビット (スタートコンディション生成ビット)

スタートコンディションの生成を行う時は、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

ストップコンディション生成後にスタートコンディション生成を行う場合は、ストップコンディション生成割り込み要求出力から、ビットレートの半周期期間において、スタートコンディション生成を開始してください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- スタートコンディションの生成が完了したとき

IICRSTAREQ ビット (リスタートコンディション生成ビット)

リスタートコンディションの生成を行う時は、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- リスタートコンディションの生成が完了したとき

IICSTPREQ ビット (ストップコンディション生成ビット)

ストップコンディションの生成を行う時は、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

[“1”になる条件]

- “1”を書き込んだとき

[“0”になる条件]

- ストップコンディションの生成が完了したとき

IICSDAS[1:0] ビット (SDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

IICSCLS[1:0] ビット (SCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

32.2.11 マンチェスタモード制御レジスタ (MMCR)

アドレス RSCI9.MMCR 000A 14ACh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	SBERI E	SYERI E	PFERI E	—	—	RPPAT[1:0]	RPLEN[3:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	TPPAT[1:0]	TPLEN[3:0]			—	SBLEN	SYNCE	SBPTN	—	SADJE	ENCS	DECS		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DECS	デコード規則選択ビット	受信マンチェスタコードの極性設定 0: Low→Highの信号変化を“0”、High→Lowの信号変化を“1”に変換します 1: High→Lowの信号変化を“0”、Low→Highの信号変化を“1”に変換します	R/W (注1)
b1	ENCS	エンコード規則選択ビット	送信マンチェスタコードの極性設定 0: “0”をLow→Highの信号変化に、“1”をHigh→Lowの信号変化に変換します 1: “0”をHigh→Lowの信号変化に、“1”をLow→Highの信号変化に変換します	R/W (注1)
b2	SADJE	受信タイミング自己調整許可ビット	受信リタイミング機能の設定 0: 受信リタイミング機能をディセーブルとします 1: 受信リタイミング機能をイネーブルとします	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SBPTN	スタートビットパターン選択ビット	マンチェスタコード中のスタートビットのSync種別を設定します <スタートビットが1bitの場合 (SBLEN = 0)> • 送信時 0: スタートビットは0→1遷移として付加します 1: スタートビットは1→0遷移として付加します • 受信時 0: スタートビットは0→1遷移のみ受信、それ以外はエラーと判定 1: スタートビットは1→0遷移のみ受信、それ以外はエラーと判定 <スタートビットが3bitの場合 (SBLEN = 1)> • 送信時 0: スタートビットは0→1遷移として付加 1: スタートビットは1→0遷移として付加 • 受信時 本ビットの値によらず、スタートビットが3bitの場合、受信します	R/W (注1)
b5	SYNCE	Sync許可ビット	0: スタートビットのパターンはSBPTNビットで設定 1: スタートビットのパターンはSYNCビットで設定	R/W (注1)
b6	SBLEN	スタートビット長選択ビット	0: スタートビットは1bit 1: スタートビットはコマンド Sync/ データ Sync (3bit)	R/W (注1)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b11-b8	TPLEN[3:0]	送信プリフェース長設定ビット	マンチェスタモード時、送信データのプリフェース長(ビット長)を設定します。“0000b”の場合、送信プリフェースの生成は行いません	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b13-b12	TPPAT[1:0]	送信プリフェースパターン選択ビット	送信データのプリフェースパターン設定です b13 b12 0 0 : ALL ZERO 0 1 : ZERO ONE 1 0 : ONE ZERO 1 1 : ALL ONE	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b19-b16	RPLEN[3:0]	受信プリフェース長設定ビット	マンチェスタモードイネーブル時、受信フレームのプリフェース長(ビット長)を設定します。“0000b”の場合、受信プリフェースの確認は行いません	R/W (注1)
b21-b20	RPPAT[1:0]	受信プリフェースパターン選択ビット	受信フレームのプリフェースパターン設定です b21 b20 0 0 : ALL ZERO 0 1 : ZERO ONE 1 0 : ONE ZERO 1 1 : ALL ONE	R/W (注1)
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	PFERIE	プリフェースエラー割り込み許可ビット	プリフェースエラーを割り込み要因として扱うかどうかを設定するビットです 0 : プリフェースエラーは割り込みとして扱わない 1 : プリフェースエラーを割り込みとして扱う	R/W (注1)
b25	SYERIE	Syncエラー割り込み許可ビット	受信Syncエラーを割り込み要因として扱うかどうかを設定するビットです 0 : 受信Syncエラーは割り込みとして扱わない 1 : 受信Syncエラーを割り込みとして扱う	R/W (注1)
b26	SBERIE	スタートビットエラー割り込み許可ビット	スタートビットエラーを割り込み要因として扱うかどうかを設定するビットです 0 : スタートビットエラーは割り込みとして扱わない 1 : スタートビットエラーを割り込みとして扱う	R/W (注1)
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

DECS ビット (デコード規則選択ビット)

受信マンチェスタコードの極性を設定できます。データ受信に関する詳細は「32.5.7 マンチェスタデータ受信」を参照してください。

ENCS ビット (エンコード規則選択ビット)

送信マンチェスタコード極性を設定できます。データ送信に関する詳細は「32.5.6 マンチェスタデータ送信」を参照してください。

SADJE ビット (受信タイミング自己調整許可ビット)

マンチェスタモード受信リタイミング機能の設定ができます。受信リタイミング機能については、「32.5.9 受信リタイミング」を参照してください。

SBPTN ビット (スタートビットパターン選択ビット)

本ビットの設定は、本レジスタの SYNCE ビット = 0 に設定された場合有効になります。

また、本ビットと SBLEN ビットの組み合わせで Sync 種別を設定することが可能です。

本ビットと SBLEN ビットの組み合わせで決定されるスタートビット領域については、[図 32.30](#)、[図 32.31](#)を参照してください。

SYNCE ビット (Sync 許可ビット)

本ビットは本レジスタ SBLEN ビット=1 に設定された場合のみ、有効になります。
マンチェスタフレームに付加するスタートビット領域の Sync 種別の設定参照先を決定します。
本ビットが“0”に設定された場合、本レジスタ SBPTN ビットを参照します。
“1”に設定された場合、TDR.SYNC ビットを参照します。

SBLEN ビット (スタートビット長選択ビット)

本ビットはマンチェスタフレームのスタートビット領域に対する設定となります。
“1”に設定された場合、フレームに付加されるスタートビット領域が 3bit になり、本レジスタ SYNCE/
SBPTN ビットの設定が有効になります。
“0”に設定された場合、フレームに付加されるスタートビット領域が 1bit になります。

TPLEN[3:0] ビット (送信プリフェース長設定ビット)

本ビットでマンチェスタモード時の送信プリフェースビット長を設定します。
“0h”～“Fh”(0～15)で設定が可能で、“0h”で設定した場合、送信プリフェースはディセーブルとなり付
加されません。

TPPAT[1:0] ビット (送信プリフェースパターン選択ビット)

本ビットでマンチェスタモード時のプリフェースパターンを 4 種から設定できます。本ビット設定時の動
作イメージについて、図 32.29 を参照ください。

“00b” 設定時、ALL ZERO パターン→プリフェース領域を ALL0 で設定します。

“01b” 設定時、ZERO ONE パターン→プリフェース領域を 0→1→0→1... と繰り返すパターンとして設
定します。

“10b” 設定時、ONE ZERO パターン→プリフェース領域を 1→0→1→0... と繰り返すパターンとして設
定します。

“11b” 設定時、ALL ONE パターン→プリフェース領域を ALL1 で設定します。

RPLEN[3:0] ビット (受信プリフェース長設定ビット)

本ビットでマンチェスタモード時の受信プリフェースビット長を設定します。
“0h”～“Fh”(0～15)で設定が可能で、“0h”で設定した場合、受信プリフェースはディセーブルとなり付
加されていないものとして処理します。“1h”～“Fh”を設定した場合、設定値をそのまま受信プリフェース
ビット長として処理します。

RPPAT[1:0] ビット (受信プリフェースパターン選択ビット)

本ビットでマンチェスタモード時のプリフェースパターンを 4 種から設定できます。本ビット設定時の動
作イメージについて、図 32.29 を参照ください。

“00b” 設定時、ALL ZERO パターン→プリフェース領域を ALL0 として処理します。

“01b” 設定時、ZERO ONE パターン→プリフェース領域を 0→1→0→1... と繰り返すパターンとして処
理します。

“10b” 設定時、ONE ZERO パターン→プリフェース領域を 1→0→1→0... と繰り返すパターンとして処
理します。

“11b” 設定時、ALL ONE パターン→プリフェース領域を ALL1 で処理します。

PFERIE ビット (プリフェースエラー割り込み許可ビット)

本ビットはプリフェースエラーを割り込みとして扱うかどうかを設定するビットです。

“0”の場合は、プリフェースエラーは割り込みとして扱いません。“1”の場合はプリフェースエラーを割り込みとして扱います。

SYERIE ビット (Sync エラー割り込み許可ビット)

本ビットは受信 Sync エラーを割り込みとして扱うかどうかを設定するビットです。

“0”の場合は、受信 Sync エラーは割り込みとして扱いません。“1”の場合は受信 Sync エラーを割り込みとして扱います。

SBERIE ビット (スタートビットエラー割り込み許可ビット)

本ビットはスタートビットエラーを割り込みとして扱うかどうかを設定するビットです。

“0”の場合は、スタートビットエラーは割り込みとして扱いません。“1”の場合はスタートビットエラーを割り込みとして扱います。

32.2.12 DE 信号制御レジスタ (DECR)

アドレス RSCI0.DECR 000A 1030h, RSCI8.DECR 000A 1430h, RSCI9.DECR 000A 14B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	—	DEHLD[4:0]				—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	DESU[4:0]				—	—	—	—	—	—	—	—	—	DELVL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	DELVL	DE 信号アクティブレベル選択ビット	(調歩同期式モードのみ有効) 0 : DE 信号は、アクティブ High 1 : DE 信号は、アクティブ Low	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b12-b8	DESU[4:0]	DE 信号セットアップ時間設定ビット	(調歩同期式モードのみ有効) DE 信号セットアップ時間を基本クロックのサイクル数で設定します。SCR3.DEEN ビットが“1”のとき有効です。 “0000b”は設定しないでください。	R/W (注1)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b20-b16	DEHLD[4:0]	DE 信号ホールド時間設定ビット	(調歩同期式モードのみ有効) DE 信号ホールド時間を基本クロックのサイクル数で設定します。SCR3.DEEN ビットが“1”のとき有効です。 “0000b”は設定しないでください。	R/W (注1)
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TE ビット=0、SCR0.RE ビット=0のとき、書き込み可能です。

DELVL ビット (DE 信号アクティブレベル選択ビット)

DE (Driver Enable) 信号のアクティブレベルを選択します。

DESU[4:0] ビット (DE 信号セットアップ時間設定ビット)

DE 信号セットアップ時間 (DE 信号のアサートからスタートビット送出開始までの時間) を設定します。基本クロック (1/6、1/8 または 1/16 ビット時間) のサイクル数で指定します。なお、実際のスタートビットの送出は、ここで設定したセットアップ時間と送信待ち時間が経過した後に開始されます。

DEHLD[4:0] ビット (DE 信号ホールド時間設定ビット)

DE 信号ホールド時間 (最終送信メッセージのストップビット送出完了から DE 信号のネゲートまでの時間) を設定します。基本クロック (1/6、1/8 または 1/16 ビット時間) のサイクル数で指定します。ホールド時間中に送信データを書き込んだ場合、そのタイミングによって送信開始動作が異なります (DE 信号をネゲートせずに、送信待ち時間経過後にスタートビットの送出が開始される場合と、DE 信号が一旦ネゲートされて、セットアップ時間 + 送信待ち時間経過後に、スタートビットの送出が開始される場合があります)。

32.2.13 拡張シリアルモード制御レジスタ 0 (XCR0)

アドレス RSCI9.XCR0 000A 14B4h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	BCCS[1:0]	—	AEDIE	COFIE	BFDIE	—	—	BCDIE	BFOIE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
PIBS[2:0]		PIBE	CF1DS[1:0]	CF0RE	BFE	—	—	—	—	—	—	—	—	TCSS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TCSS[1:0]	タイマカウントクロックソース選択ビット	拡張シリアルモジュール内のタイマカウントのクロックソースを選択します b1 b0 0 0 : PCLK 0 1 : PCLK/4 1 0 : PCLK/16 1 1 : PCLK/64	R/W (注1、注2)
b7-b2	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください	R
b8	BFE	Break Field 検出許可ビット	Start Frame の Break Field 有無を設定します 0 : Break Field なし 1 : Break Field あり	R/W (注1、注4)
b9	CF0RE	Control Field 0 受信許可ビット	Start Frame の Control Field 0 有無を設定します 0 : Control Field 0 なし 1 : Control Field 0 あり	R/W (注1、注4)
b11-b10	CF1DS[1:0]	Control Field 1 比較データ選択ビット	Control Field 1 の比較データを選択します b11 b10 0 0 : XCR1.PCF1D[7:0] ビットを比較データに選択 0 1 : XCR1.SCF1D[7:0] ビットを比較データに選択 1 0 : XCR1.PCF1D[7:0] ビットおよびXCR1.SCF1D[7:0] ビットを比較データに選択 1 1 : 設定禁止	R/W (注1、注4)
b12	PIBE	プライオリティインタラプトビット許可ビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W (注1、注4)
b15-b13	PIBS[2:0]	プライオリティインタラプトビット選択ビット	Control Field 1 の0~7ビット目のいずれかをプライオリティインタラプトビットに指定します b15 b13 0 0 0 : Control Field 1、0ビット目 0 0 1 : Control Field 1、1ビット目 0 1 0 : Control Field 1、2ビット目 0 1 1 : Control Field 1、3ビット目 1 0 0 : Control Field 1、4ビット目 1 0 1 : Control Field 1、5ビット目 1 1 0 : Control Field 1、6ビット目 1 1 1 : Control Field 1、7ビット目	R/W (注1、注4)
b16	BFOIE	Break Field Low width 送出完了割り込み許可ビット	Break Field 送出完了をTXI 割り込み要因に入れるかどうかを選択します 0 : Break Field 送出完了を割り込み要因に入れない 1 : Break Field 送出完了をTXI 割り込み要因に入れる	R/W (注1)
b17	BCDIE	バス衝突検出割り込み許可ビット	バス衝突検出時、ERI 割り込みを出力するかどうかを選択します 0 : バス衝突検出をERIに割り込み要因に入れない 1 : バス衝突検出をERI 割り込み要因に入れる	R/W (注1)
b19-b18	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください	R

ビット	シンボル	ビット名	機能	R/W
b20	BFDIE	Break Field Low width検出割り込み許可ビット	Break Field検出時、BFD割り込みを出力するかどうかを選択します 0: Break Field検出割り込み禁止 1: Break Field検出割り込み許可	R/W (注1)
b21	COFIE	カウントオーバーフロー割り込み許可ビット	カウントオーバーフローをERI割り込み要因に入れるかどうかを選択します 0: カウントオーバーフローをERI割り込み要因に入れない 1: カウントオーバーフローをERI割り込み要因に入れる	R/W (注1)
b22	AEDIE	有効エッジ検出割り込み許可ビット	有効エッジ検出時、AED割り込みを出力するかどうかを選択します 0: 有効エッジ検出割り込み禁止 1: 有効エッジ検出割り込み許可	R/W (注1)
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b25-b24	BCCS[1:0]	バス衝突検出クロック選択ビット	バス衝突検出回路のサンプリングクロックを選択します。 SCR2.ABCSビット=1設定時は、本ビットBCCS[1:0]ビット=1x設定は禁止です b25 b24 0 0: 基本クロック (注3) 0 1: 基本クロックの2分周 1 0: 基本クロックの4分周 1 1: 設定禁止	R/W (注1)
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

注2. TCSS[1:0]ビットの書き替えはタイマ停止時(XCR1.TCSTビット=0、XCR1.SDSTビット=0、かつXCR1.BRMEビット=0)に行ってください。

注3. RSCI基本クロック: SCR2.ABCSビット=0の場合、1ビット期間の1/16の周期、SCR2.ABCSビット=1の場合、1ビット期間の1/8の周期。

注4. 本ビットは、Start Frame受信動作に必要な設定ビットです。Start Frame受信動作、送信動作していない時(XCR1.SDSTビット=0かつXCR1.TCSTビット=0)に書き換えてください。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

拡張シリアルモジュール内のタイマカウントのクロックソースを選択します。

BFE ビット (Break Field 検出許可ビット)

Start Frame の Break Field 有無を選択します。

CF0RE ビット (Control Field 0 受信許可ビット)

Start Frame の Control Field 0 有無を選択します。

CF1DS[1:0] ビット (Control Field 1 比較データ選択ビット)

Control Field 1 の比較データを選択します。

PIBE ビット (プライオリティインタラプトビット許可ビット)

Control Field 1 のプライオリティインタラプトビット比較を有効にするかどうかを選択します。本ビットが“1”のとき、XCR1.CF1CE[7:0] ビット設定値によらず、PIBS[2:0] ビットで指定したビットの値を Control Field 1 のプライマリ比較データ (XCR1.PCF1D[7:0] ビット) の該当ビット値と比較します。

PIBS[2:0] ビット (プライオリティインタラプトビット選択ビット)

Control Field 1 のビット N (N=0~7) をプライオリティインタラプトビットに指定します。

BFOIE ビット (Break Field Low width 送出完了割り込み許可ビット)

Break Field 送出完了を TXI 割り込み要因に入れるかどうかを選択します。Break Field 送出完了で TXI を出力するためには、SCR0.TIE ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

BCDIE ビット (バス衝突検出割り込み許可ビット)

バス衝突検出時、ERI 割り込みを出力するかどうかを選択します。拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) 時、かつ BCDIE = 1 時は、SCR0.RIE ビット = 0 であってもバス衝突検出時に、ERI 割り込みが出ます。

COFIE ビット (カウントオーバーフロー割り込み許可ビット)

カウントオーバーフローを ERI 割り込み要因に入れるかどうかを選択します。カウントオーバーフローで ERI 割り込みを出力するためには、SCR0.RIE ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

AEDIE ビット (有効エッジ検出割り込み許可ビット)

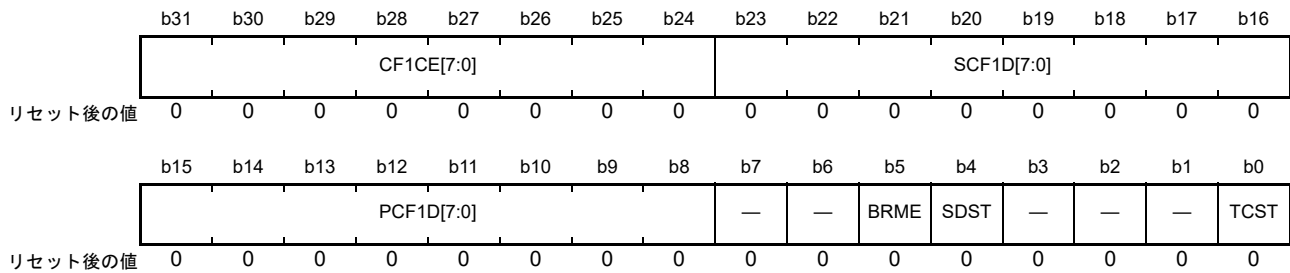
有効エッジ検出時、AED 割り込みを出力するかどうかを選択します。有効エッジ検出で AED 割り込みを出力するためには、XCR1.BRME ビット = 1 かつ SCR3.MOD[2:0] ビット = 110b である必要があります。

BCCS[1:0] ビット (バス衝突検出クロック選択ビット)

バス衝突検出回路のサンプリングクロックを選択します。

32.2.14 拡張シリアルモード制御レジスタ 1 (XCR1)

アドレス RSCI9.XCR1 000A 14B8h



ビット	シンボル	ビット名	機能	R/W
b0	TCST	Break Field Low width 出力タイマカウンタ開始ビット	0 : Break Field 送出タイマカウンタ停止 1 : Break Field 送出タイマカウンタ開始 本ビットとSDSTビットを同時に“1”にしないでください	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	SDST	Start Frame 検出開始ビット	0 : Start Frame/Break Field の検出無効 1 : Start Frame/Break Field の検出有効 本ビットとTCSTビットを同時に“1”にしないでください	R/W (注1)
b5	BRME	ビットレート測定許可ビット	0 : ビットレート測定無効 1 : ビットレート測定有効 本ビットを“1”にする時はSDSTビットと同時に“1”にしてください。本ビットを“0”にする時は任意のタイミングで“0”にできます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15-b8	PCF1D[7:0]	プライマリ Control Field 1 比較データビット	Control Field 1 のプライマリ比較データ	R/W (注1)
b23-b16	SCF1D[7:0]	セカンダリ Control Field 1 比較データビット	Control Field 1 のセカンダリ比較データ	R/W (注1)
b31-b24	CF1CE[7:0]	Control Field 1 比較許可ビット	Control Field 1 の bit N をコンペアするかどうかを選択します (N = 0 ~ 7) 0 : Control Field 1 bit N コンペア無効 1 : Control Field 1 bit N コンペア有効	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

TCST ビット (Break Field Low width 出力タイマカウンタ開始ビット)

[0 になる条件]

- TCST ビットに“0”を書き込んだとき。Break Field 送出タイマカウンタを停止し、TXDn 端子の出力はアイドルレベルになります。
- XCR2.BFLW[15:0] ビットに設定した期間の Break Field 送出が完了したとき。

[1 になる条件]

- TCST ビットに“1”を書き込んだとき。TXDn 端子から Break Field 送出を開始します。Break Field 送出中“1”を保持します。

SDST ビット (Start Frame 検出開始ビット)

このビットに“1”を書くと Start Frame の検出を開始します。XCR0.BFE ビット=1 設定時は、Start Frame 検出中および、Start Frame 検出後も本ビットが“1”の間、Break Field を検出できます。XCR0.BFE ビット=0 設定時は、Break Field を検出しません。

このビットに“0”を書くと Start Frame 検出および、Break Field 検出を停止します。ただし、停止時に XSR0.RXDSF フラグ=0 であった場合、本ビットでデータ受信を停止することはできません。SCR0.RE ビットを“0”にし、受信動作を停止するか、受信完了後に受信完了処理 (SSR.RDRF フラグのクリア、もしくは RDR レジスタの読み出し) をしてください。

BRME ビット (ビットレート測定許可ビット)

本ビットを“1”にする場合は SDST ビットと同時に“1”にしてください。本ビットを“1”にすると、Control Field 0、Control Field 1 データの有効エッジ間隔を測定します。

PCF1D[7:0] ビット (プライマリ Control Field 1 比較データビット)

Control Field 1 のプライマリ比較データを設定します。

SCF1D[7:0] ビット (セカンダリ Control Field 1 比較データビット)

Control Field 1 のセカンダリ比較データを設定します。

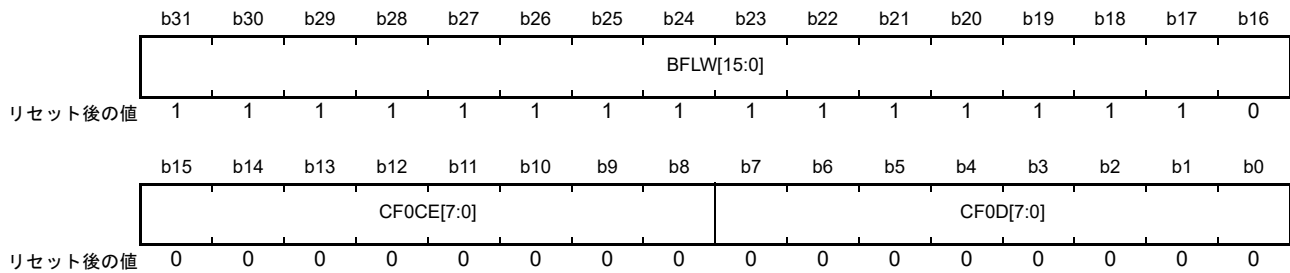
CF1CE[7:0] ビット (Control Field 1 比較許可ビット)

Control Field 1 のビット N (N=0～7) を比較するかどうかを設定します。

本ビットを全て“0”設定した場合 (CF1CE[7:0] ビット=00h)、受信完了時に Control Field 1 一致と判定し、XSR0.CF1MF フラグをセットします。本ビットは PCF1D[7:0] ビットもしくは SCF1D[7:0] ビットとの比較イネーブルであり、プライオリティインタラプトビットの比較イネーブルではありません。

32.2.15 拡張シリアルモード制御レジスタ 2 (XCR2)

アドレス RSCI9.XCR2 000A 14BCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CF0D[7:0]	Control Field 0比較データビット	Control Field 0の比較データ	R/W (注1)
b15-b8	CF0CE[7:0]	Control Field 0比較許可ビット	Control Field 0のbit Nをコンペアするかどうかを選択します (N = 0~7) 0 : Control Field 0 bit Nコンペア無効 1 : Control Field 0 bit Nコンペア有効	R/W (注1)
b31-b16	BFLW[15:0]	Break Field Low width設定ビット	Break Field長を設定するビットです。 Break Field長は、(BFLW[15:0]設定値+1)×タイマカウンタクロックとなります。 本レジスタの設定許可上限値は、“FFFEh”です(“FFFFh”は設定禁止)	R/W (注1)

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

CF0D[7:0] ビット (Control Field 0 比較データビット)

Control Field 0 の比較データを設定します。

CF0CE[7:0] ビット (Control Field 0 比較許可ビット)

Control Field 0 のビット N (N = 0 ~ 7) を比較するかどうかを設定します。本ビットを全て“0”設定した場合 (CF0CE[7:0] ビット = 00h)、受信完了時に Control Field 0 一致と判定し、XSR0.CF0MF フラグをセットします。

BFLW[15:0] ビット (Break Field Low width 設定ビット)

BFLW[15:0] ビットは、16 ビットの Break Field 長設定ビットで、初期値は“FFFEh”です。

Break Field 長は 1 フレーム長以上を設定してください。LIN 規格では Break Field 長は 13bit 長以上と規定されています。

Break Field 送出時、TCST ビットに“1”を書き込むと、TXDn 端子から Break Field 送出を開始すると同時に、XCR0.TCSS[1:0] ビットで選択されたタイマカウンタクロックでアップカウントを行います。カウント値が本レジスタ設定値と一致すると、アップカウントを停止し、TXDn 端子からの Break Field 送出も停止します。

Break Field 検出時、SDST ビットに“1”を書き込むことにより、Start Frame 検出が可能になります。RXDn 信号の立ち下がりエッジを起点に、XCR0.TCSS[1:0] ビットで選択されたタイマカウンタクロックでアップカウントを行います。カウント値が本レジスタ設定値と一致すると、Break Field 検出と判定します。アップカウントは、次の有効エッジもしくは、カウンタがオーバーフローするまで続きます。

32.2.16 ステータスレジスタ (SSR)

アドレス RSCI0.SSR 000A 1048h, RSCI8.SSR 000A 1448h, RSCI9.SSR 000A 14C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDRF	TEND	TDRE	AFER	APER	MFF	—	ORER	—	—	—	—	—	DFER	DPER	DCMF
リセット後の値	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RXDMON	—	—	—	—	—	—	—	—	—	ERS	—	—	—	—	
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	ERS	エラーシグナルステータスフラグ	本ビットは、スマートカードインタフェースモード時のみ有効です 0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R
b14-b5	—	予約ビット	読むと“0”が読めます	R
b15	RXDMON	RXDラインモニタフラグ	RxDn端子の状態を示します RINVビット=0のとき 0：RxDn端子状態はLowレベル 1：RxDn端子状態はHighレベル RINVビット=1のとき 0：RxDn端子状態はHighレベル 1：RxDn端子状態はLowレベル	R
b16	DCMF	データ一致フラグ	(調歩同期モードのみ有効) 0：データ的一致検出なし 1：データ的一致検出あり	R
b17	DPER	一致データパリティエラーフラグ	(調歩同期モードのみ有効) 0：パリティエラーの発生なし 1：パリティエラーの発生あり	R
b18	DFER	一致データフレーミングエラーフラグ	(調歩同期モードのみ有効) 0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R
b23-b19	—	予約ビット	読むと“0”が読めます	R
b24	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R
b25	—	予約ビット	読むと“0”が読めます	R
b26	MFF	モードフォルトフラグ	本ビットは、簡易SPIモード時のみ有効です 0：モードフォルトなし 1：モードフォルトあり	R
b27	APER	総合パリティエラーフラグ	0：パリティエラーなし 1：パリティエラーあり	R
b28	AFER	総合フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R
b29	TDRE	送信データエンプティフラグ	0：TDRレジスタに書き込みデータあり 1：TDRレジスタに書き込みデータなし	R
b30	TEND	送信完了フラグ	0：キャラクタを送信待機中または送信中 1：キャラクタを送信完了またはBreak Field送出中	R
b31	RDRF	受信データフルフラグ	0：RDRレジスタに受信データなし 1：RDRレジスタに受信データあり	R

ERS フラグ (エラーシグナルステータスフラグ)

[“1”になる条件]

- エラーシグナル Low をサンプリングしたとき

[“0”になる条件]

- SSCR.ERSC ビットに“1”を書き込んだとき

DCMF フラグ (データ一致フラグ)

受信したデータと SCR4.CMPD[8:0] ビットの一致を検出したことを示します。

SCR0.RE ビットをクリアしても、DCMF フラグは影響を受けず以前の状態を保持します。

[“1”になる条件]

- SCR0.DCME ビットが“1”(データ一致検出機能有効)の状態、受信完了したデータと SCR4.CMPD[8:0] ビットの値が一致したとき

[“0”になる条件]

- SSCR.DCMFC ビットに“1”を書き込んだとき

DPER フラグ (一致データパリティエラーフラグ)

データ一致検出時にパリティエラーが発生したことを表示します。

SCR0.RE ビットをクリアしても、DPER フラグは影響を受けず以前の状態を保持します。

[“1”になる条件]

- データ一致を検出したフレームでパリティエラーを検出したとき

[“0”になる条件]

- SSCR.DPERC ビットに“1”を書き込んだとき

DPER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

DFER フラグ (一致データフレーミングエラーフラグ)

データ一致検出時にフレーミングエラーが発生したことを表示します。

SCR0.RE ビットをクリアしても、DFER フラグは影響を受けず以前の状態を保持します。

[“1”になる条件]

- データ一致を検出したフレームのストップビットが“0”のとき
2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。

[“0”になる条件]

- SSCR.DFERC ビットに“1”を書き込んだとき

DFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、ORER フラグは影響を受けず以前の状態を保持します。簡易 I²C モードでは本ビットは使用しません。

["1"になる条件]

- 有効な受信エラーがない受信データが RDR レジスタに格納された状態で、RDR レジスタをリードしないで次のデータを受信したとき

RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに“1”がセットされた状態では、以降の受信データは RDR レジスタに転送されません。なお、クロック同期式モード、簡易 SPI モードでは、シリアル受信動作が停止します。

["0"になる条件]

- SSCR.ORERC ビットに“1”を書き込んだとき

ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

MFF フラグ (モードフォルトフラグ)

モードフォルトが発生したことを表示します。

マルチマスタ時は本ビットの読み出しによりモードフォルト判定を行ってください。

["1"になる条件]

- 簡易 SPI モードのマスタモード設定時 (SCR3.CKE[1:0] ビット = 00b または 01b) に、SSn# 端子入力が Low レベルになったとき

["0"になる条件]

- SSCR.MFFC ビットに“1”を書き込んだとき

APER フラグ (総合パリティエラーフラグ)

受信時にパリティエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、APER フラグは影響を受けず以前の状態を保持します。

クロック同期式モード、簡易 SPI モードおよび簡易 I²C モードでは本ビットは使用しません。

["1"になる条件]

- 受信時にパリティエラーを検出したとき

パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、APER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- SSCR.APERC ビットに“1”を書き込んだとき

APER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

AFER フラグ (総合フレーミングエラーフラグ)

受信時にフレーミングエラーが発生して異常終了したことを表示します。SCR0.RE ビットをクリアしても、AFER フラグは影響を受けず以前の状態を保持します。

クロック同期式モード、簡易 SPI モードおよび簡易 I²C モードでは本ビットは使用しません。

[“1”になる条件]

- 受信時にストップビットに“0”をサンプリングしたとき
- ストップビット1ビットに対して1/4と3/4のサンプリングポイントの2回のサンプリング結果が両方とも“1”でない場合 (マンチェスタモード時)

2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。

なお、フレーミングエラーが発生したときの受信データはRDRレジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、AFER フラグが“1”にセットされた状態では、以降の受信データはRDRレジスタに転送されません。

拡張シリアルモードでXCR1.SDST ビット = 1 時、“1”になる条件が発生しても、Break Field である可能性があるため、最長で Break Field 判定タイミングまで AFER セットタイミングが遅れます。Break Field 判定タイミング前に RXD 信号にエッジを検出した場合は、AFER 検出となります。Break Field 判定タイミングまでに RXD 信号にエッジを検出なかった場合は、Break Field 検出となります。

[“0”になる条件]

- SSCR.AFERC ビットに“1”を書き込んだとき

AFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を示します。

SCR0.TE ビット = 0 の条件は、“0”になる条件より優先されます。

これ以外の“1”になる条件と“0”になる条件が同時に成立した場合、TDRE フラグは“0”になります。

[“1”になる条件]

- SCR0.TE ビットが“0”のとき
- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- SSCR.TDREC ビットに“1”を書き込んだとき
- SCR0.TE ビットが“1”の状態 TDR レジスタにデータを書き込んだとき

TEND フラグ (送信完了フラグ)

(1) 非スマートカードインタフェースモード (SCR3.MOD[2:0] ビット ≠ 001b) 時

送信が終了したことを表示します

[“1”になる条件]

- SCR0.TE ビットが“0”のとき
- SCR0.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき
- DE 制御機能有効時 (SCR3.DEEN ビット = 1) は、DE 信号ホールド時間終了時、TDR レジスタが更新されていないとき
- Break Field 送出中

[“0”になる条件]

- SCR0.TE ビットが“1”の状態、TDR レジスタへ送信データを書き込んだとき
- SCR0.TE ビットが“1”の状態、SSCR.TDREC ビットに“1”を書き込んだとき

TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

(2) スマートカードインタフェースモード (SCR3.MOD[2:0] ビット = 001b) 時

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったときセットされます。

[“1”になる条件]

- SCR0.TE ビット = 0 のとき
- SCR0.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないときセットされるタイミングは、レジスタの設定により以下のように異なります。
GM = 0、BLK = 0 のとき、送信開始から 12.5 etu 後
GM = 0、BLK = 1 のとき、送信開始から 11.5 etu 後
GM = 1、BLK = 0 のとき、送信開始から 11.0 etu 後
GM = 1、BLK = 1 のとき、送信開始から 11.0 etu 後

[“0”になる条件]

- SCR0.TE ビットが“1”の状態 TDR レジスタへの送信データ書き込み後
- SCR0.TE ビットが“1”の状態、SSCR.TDREC ビットに“1”を書き込んだとき

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタに受信データが転送されたとき

[“0”になる条件]

- SSCR.RDRFC ビットに “1” を書き込んだとき
- RDR レジスタからデータを読み出したとき

注. 通信を中断する場合以外は、SSCR レジスタによって RDRF フラグと TDRE フラグをクリアしないでください。

32.2.17 I²C ステータスレジスタ (SISR)

アドレス RSCI0.SISR 000A 104Ch, RSCI8.SISR 000A 144Ch, RSCI9.SISR 000A 14CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF	—	—	IICACKR
リセット後の値	0	0	0	0	0	0	0	0	0	0	x	x	0	x	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK 受信データフラグ	0 : ACK 受信 1 : NACK 受信	R
b1	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと不定値が読めます	R
b3	IICSTIF	コンディション生成完了フラグ	0 : 各コンディション生成要求がない状態、または生成中の状態 1 : 各コンディション生成が完了した状態	R
b5-b4	—	予約ビット	読むと不定値が読めます	R
b31-b6	—	予約ビット	読むと“0”が読めます	R

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出せます。

本フラグの更新は、ACK/NACK を受信するビットの SSCLn の立ち上がりタイミングで行われます。

IICSTIF フラグ (コンディション生成完了フラグ)

各コンディション生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各コンディションの生成を行うときは、本フラグをクリアしてから生成を実行してください。

SCR0.TEIE ビットで割り込み要求が許可された状態で、本フラグが“1”の場合にスタートコンディション / リスタートコンディション / ストップコンディション生成完了 (STI) 割り込み要求が出力されます。

[“1”になる条件]

- スタート/リスタート/ストップの各コンディションの生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます)

[“0”になる条件]

- SISCR.IICSTIFC ビットに“1”を書き込んだとき
- 簡易 I²C モード以外するとき
- TE ビットが“0”のとき

32.2.18 マンチェスタモードステータスレジスタ (MMSR)

アドレス RSCI9.MMSR 000A 14D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RSYNC	—	MCER	—	SBER	SYER	PFER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PFER	プリフェースエラーフラグ	プリフェース検出で、パターン不一致を検出した場合にセットされます 0: プリフェースエラー検出なし 1: プリフェースエラー検出あり	R
b1	SYER	Syncエラーフラグ	受信リタイミング動作時に、補正可能範囲にエッジを検出できなかった場合にセットされます 0: 受信Syncエラー検出なし 1: 受信Syncエラー検出あり	R
b2	SBER	スタートビットエラーフラグ	スタートビット検出時に、パターン不一致を検出した場合にセットされます 0: スタートビットエラー検出なし 1: スタートビットエラー検出あり	R
b3	—	予約ビット	読むと“0”が読めます	R
b4	MCER	マンチェスタコードエラーフラグ	マンチェスタモード時のみ有効 0: マンチェスタコードエラー発生なし 1: マンチェスタコードエラー発生あり	R
b5	—	予約ビット	読むと“0”が読めます	R
b6	RSYNC	受信Syncデータビット	マンチェスタモードで、MMCR.SBLENビット=1の場合有効となり、それ以外の場合読み出し値としては“0”となります 0: スタートビットはデータSyncを受信 1: スタートビットはコマンドSyncを受信	R
b31-b7	—	予約ビット	読むと“0”が読めます	R

PFER フラグ (プリフェースエラーフラグ)

マンチェスタモードでフレーム受信時にプリフェースエラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、PFER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- マンチェスタモードで受信を行い、プリフェースエラーを検出したとき
プリフェースエラーが発生したとき、以下の動作をします。

<MMCR.PFERIE ビット = 1 の場合>

受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生せず、ERI 割り込み要求が発生しません。なお、PFER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

<MMCR.PFERIE ビット = 0 の場合>

受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。PFER フラグが“1”にセットされた状態でも、以降の受信動作に影響ありません。

["0"になる条件]

- MMSCR.PFERC ビットに“1”を書き込んだとき
PFER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

SYER フラグ (Sync エラーフラグ)

マンチェスタモードで、かつマンチェスタエッジリタイミグイネーブル設定時 (MMCR.SADJE ビット = 1) の場合、フレーム受信時に受信 Sync エラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、SYER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- マンチェスタモードで受信を行い、受信 Sync エラーを検出したとき
受信 Sync エラーが発生したとき、以下の動作をします。
<MMCR.SYERIE ビット = 1 の場合>
受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生せず、ERI 割り込み要求が発生します。なお、SYER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。
<MMCR.SYERIE ビット = 0 の場合>
受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SYER フラグが“1”にセットされた状態でも、以降の受信動作に影響ありません。

["0"になる条件]

- MMSCR.SYERC ビットに“1”を書き込んだとき
SYER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

SBER フラグ (スタートビットエラーフラグ)

マンチェスタモードでフレーム受信時にスタートビットエラーを検出したことを表示します。

SCR0.RE ビットをクリアしても、SBER フラグは影響を受けず以前の状態を保持します。

["1"になる条件]

- マンチェスタモードで受信を行い、スタートビットエラーを検出したとき
スタートビットエラーが発生したとき、以下の動作をします。
<MMCR.SBERIE ビット = 1 の場合>
受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生せず、ERI 割り込み要求が発生します。なお、SBER フラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。
<MMCR.SBERIE ビット = 0 の場合>
受信データは RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SBER フラグが“1”にセットされた状態でも、以降の受信動作に影響ありません。

["0"になる条件]

- MMSCR.SBERC ビットに“1”を書き込んだとき
SBER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

MCER フラグ (マンチェスタコードエラーフラグ)

マンチェスタモードでデータ受信時にマンチェスタコードのエラーを検出して異常終了したことを表示します。

SCR0.RE ビットをクリアしても、MCER フラグは影響を受けず以前の状態を保持します。

[“1”になる条件]

- マンチェスタモードで受信を行い、受信フレームのデータ領域(パリティ/マルチプロセッサビットを含む)でマンチェスタコードエラーを検出した場合

エラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なおマンチェスタコードエラーフラグが“1”にセットされた状態では、以降の受信データは RDR レジスタに転送されません。

マンチェスタコードエラーについて、詳細は「32.5.11 マンチェスタモードにおけるエラー」を参照してください。

[“0”になる条件]

- MMSCR.MCERC ビットに“1”を書き込んだとき

MCER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

RSYNC ビット (受信 Sync データビット)

マンチェスタモード選択時(SCR3.MOD[2:0] ビット = 101b)で MMCR.SBLEN ビット = 1 に設定されている場合、有効となり受信データ中のスタートビットの Sync モード(データ Sync/ コマンド Sync)を示します。それ以外の場合、読み出し値は“0”となります。

32.2.19 拡張シリアルモードステータスレジスタ 0 (XSR0)

アドレス RSCI9.XSR0 000A 14DCh

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CF1RD[7:0]								CF0RD[7:0]							
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AEDF	COF	PIBDF	CF1MF	CF0MF	BDFD	BCDF	BFOF	—	—	—	—	—	—	RXDSF	SFSF
リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															

ビット	シンボル	ビット名	機能	R/W
b0	SFSF	Start Frame ステータスフラグ	0 : Start Frame 検出機能無効状態、または Start Frame 検出完了 1 : Start Frame 検出前、または検出中	R (注1)
b1	RXDSF	RXD 入力ステータスフラグ	0 : RSCI コア部への RXD 入力許可状態 1 : RSCI コア部への RXD 入力禁止状態 (RSCI コア部へ RXD は入力されない)	R (注1)
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	BFOF	Break Field Low width 送出完了フラグ	0 : Break Field 送出中または送出していない 1 : Break Field の送出を完了した	R
b9	BCDF	バス衝突検出フラグ	0 : バス衝突を検出していない 1 : バス衝突を検出した	R
b10	BDFD	Break Field Low width 検出フラグ	0 : Break Field を検出していない 1 : Break Field を検出した	R
b11	CF0MF	Control Field 0 一致フラグ	0 : Control Field 0 受信データが設定データと不一致 1 : Control Field 0 受信データが設定データと一致	R
b12	CF1MF	Control Field 1 一致フラグ	0 : Control Field 1 受信データが設定データと不一致 1 : Control Field 1 受信データが設定データと一致	R
b13	PIBDF	プライオリティインタラプトビット検出フラグ	0 : プライオリティインタラプトビットを検出していない 1 : プライオリティインタラプトビットを検出した	R
b14	COF	カウントオーバーフローフラグ	0 : Break Field 検出用カウンタがオーバーフローしていない 1 : Break Field 検出用カウンタがオーバーフローした	R
b15	AEDF	有効エッジ検出フラグ	0 : 有効エッジを検出していない 1 : 有効エッジを検出した	R
b23-b16	CF0RD[7:0]	Control Field 0 受信データビット	Control Field 0 の受信データ	R
b31-b24	CF1RD[7:0]	Control Field 1 受信データビット	Control Field 1 の受信データ	R

注1. 受信データフル割り込み (RXI) から 1PCLK サイクル以上待ってから本レジスタを読み出してください。

SFSF フラグ (Start Frame ステータスフラグ)

Start Frame 検出中かどうかを示します。

[“1”になる条件]

- XCR1.SDST ビットに“1”を書いたとき
- Control Field 0、Control Field 1、Information Field フェーズで Break Field を検出し、Control Field 0 または Control Field 1 の受信ステータスに遷移したとき

[“0”になる条件]

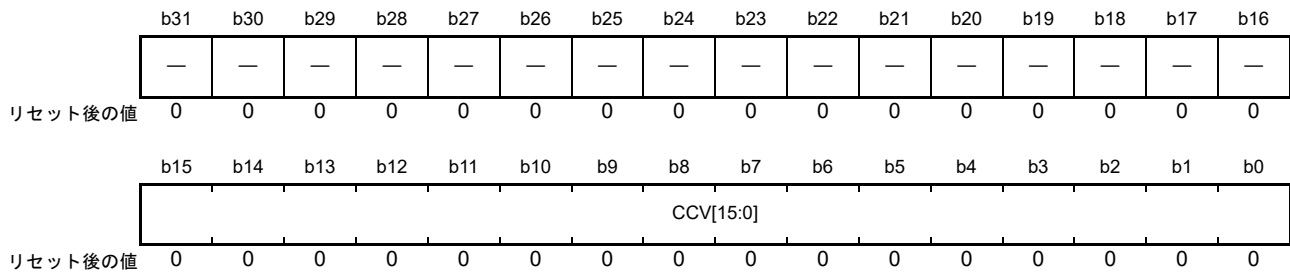
- XCR1.SDST ビットが“0”のとき
- Start Frame 検出完了したとき

RXDSF フラグ (RXD 入力ステータスフラグ)

RSCI コア部への RXD 入力ステータスを示します。本ビットが“1”のとき、RXD 入力は拡張シリアルモジュールでのみ受信して Break Field を検出しており、RSCI コア部へは入力されません。

32.2.20 拡張シリアルモードステータスレジスタ 1 (XSR1)

アドレス RSCI9.XSR1 000A 14E0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	CCV[15:0]	取得カウント値ビット	16ビットのカウンタキャプチャ値を格納します	R
b31-b16	—	予約ビット	読むと“0”が読めます	R

CCV[15:0] ビット (取得カウント値ビット)

拡張シリアルモジュール内の16ビットカウンタのキャプチャ値を格納します。

Start Frame 送信時

本レジスタは、前値を保持します。

Start Frame 受信 (ビットレート測定無効時)

Break Field 検出状態 (図 32.67) で Break Field を検出した場合は、Break Field 長をキャプチャし、保持します (RXD 立ち上がりエッジでカウント値をキャプチャ)。

Break Field 検出状態以外で Break Field を検出した場合は、前値を保持します。

カウンタがオーバフローした場合は、キャプチャしません。

Start Frame 受信 (ビットレート測定有効時)

有効エッジ (RXD 両エッジ) でカウント値をキャプチャし保持します。ただし、Break Field 検出状態では有効エッジが発生してもカウント値をキャプチャしません。なお、カウンタキャプチャ値の保持は、本レジスタを読み出すことにより解除されます。読む前に有効エッジが発生しても、カウント値はキャプチャされません。

32.2.21 ステータスクリアレジスタ (SSCR)

アドレス RSCI0.SSCR 000A 1068h, RSCI8.SSCR 000A 1468h, RSCI9.SSCR 000A 14E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDRFC	—	TDREC	AFERC	APERC	MFFC	—	ORERC	—	—	—	—	—	DFERC	DPERC	DCMFC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	ERSC	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	ERSC	ERSクリアビット	本ビットを“1”にすると、SSR.ERSフラグをクリアします。読み出し値は常に0です	W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b16	DCMFC	DCMFクリアビット	本ビットを“1”にすると、SSR.DCMFフラグをクリアします。読み出し値は常に0です	W
b17	DPERC	DPERクリアビット	本ビットを“1”にすると、SSR.DPERフラグをクリアします。読み出し値は常に0です	W
b18	DFERC	DFERクリアビット	本ビットを“1”にすると、SSR.DFERフラグをクリアします。読み出し値は常に0です	W
b23-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b24	ORERC	ORERクリアビット	本ビットを“1”にすると、SSR.ORERフラグをクリアします。読み出し値は常に0です	W
b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b26	MFFC	MFFクリアビット	本ビットを“1”にすると、SSR.MFFフラグをクリアします。読み出し値は常に0です	W
b27	APERC	APERクリアビット	本ビットを“1”にすると、SSR.APERフラグをクリアします。読み出し値は常に0です	W
b28	AFERC	AFERクリアビット	本ビットを“1”にすると、SSR.AFERフラグをクリアします。読み出し値は常に0です	W
b29	TDREC	TDREクリアビット	本ビットを“1”にすると、SSR.TDREフラグをクリアします。読み出し値は常に0です	W
b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b31	RDRFC	RDRFクリアビット	本ビットを“1”にすると、SSR.RDRFフラグをクリアします。読み出し値は常に0です	W

32.2.22 I²C ステータスクリアレジスタ (SISCR)

アドレス RSCI0.SISCR 000A 106Ch, RSCI8.SISCR 000A 146Ch, RSCI9.SISCR 000A 14ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	IICSTIF C	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	—	予約ビット	読むと“0”が読めます	R
b3	IICSTIFC	IICSTIFクリアビット	本ビットを“1”にすると、SISR.IICSTIFフラグをクリアします。 読み出し値は常に“0”です	W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

32.2.23 マンチェスタモードステータスクリアレジスタ (MMSCR)

アドレス RSCI9.MMSCR 000A 14F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MCERC	—	SBERC	SYERC	PFERC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PFERC	PFERクリアビット	本ビットを“1”にすると、MMSR.PFERフラグをクリアします。 読み出し値は常に“0”です	W
b1	SYERC	SYERクリアビット	本ビットを“1”にすると、MMSR.SYERフラグをクリアします。 読み出し値は常に“0”です	W
b2	SBERC	SBERクリアビット	本ビットを“1”にすると、MMSR.SBERフラグをクリアします。 読み出し値は常に“0”です	W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	MCERC	MCERクリアビット	本ビットを“1”にすると、MMSR.MCERフラグをクリアします。 読み出し値は常に“0”です	W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

32.2.24 拡張シリアルモードステータスクリアレジスタ (XSCR)

アドレス RSCI9.XSCR 000A 14F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AEDCL	COFC	PIBDC L	CF1MC L	CF0MC L	BFDCL	BCDCL	BFOC	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b8	BFOC	BFOFクリアビット	本ビットを“1”にすると、XSR0.BFOFフラグをクリアします。読み出し値は常に“0”です	W
b9	BCDCL	BCDFクリアビット	本ビットを“1”にすると、XSR0.BCDFフラグをクリアします。読み出し値は常に“0”です	W
b10	BFDCL	BDFDクリアビット	本ビットを“1”にすると、XSR0.BDFDフラグをクリアします。読み出し値は常に“0”です	W
b11	CF0MCL	CF0MFクリアビット	本ビットを“1”にすると、XSR0.CF0MFフラグをクリアします。読み出し値は常に“0”です	W
b12	CF1MCL	CF1MFクリアビット	本ビットを“1”にすると、XSR0.CF1MFフラグをクリアします。読み出し値は常に“0”です	W
b13	PIBDC	PIBDFクリアビット	本ビットを“1”にすると、XSR0.PIBDFフラグをクリアします。読み出し値は常に“0”です	W
b14	COFC	COFクリアビット	本ビットを“1”にすると、XSR0.COFフラグをクリアします。読み出し値は常に“0”です	W
b15	AEDCL	AEDFクリアビット	本ビットを“1”にすると、XSR0.AEDFフラグをクリアし、XSR1レジスタ保持を解除します。読み出し値は常に“0”です	W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

32.2.25 HBS サポートモード制御レジスタ (HBSCR)

アドレス RSCI0.HBSCR 000A 101Eh, RSCI8.HBSCR 000A 141Eh, RSCI9.HBSCR 000A 149Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	LPS	AOE	—	HBSE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HBSE	HBSサポートモード許可ビット	0: データ“0”のパルス幅を100%にする(NRZ符号) 1: データ“0”のパルス幅を50%にする(RZI符号化してさらに論理反転)	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b2	AOE	交互出力許可ビット	0: TXDn端子から出力 1: TXDAn端子とTXDBn端子からデータ“0”を交互に出力	R/W (注1)
b3	LPS	先行出力端子選択ビット	0: HBSE = 1かつAOEビット = 1時、TXDAn端子から通信開始 1: HBSE = 1かつAOEビット = 1時、TXDBn端子から通信開始	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. SCR0.TEビット=0、SCR0.REビット=0のとき、書き込み可能です。

HBSE ビット (HBS サポートモード許可ビット)

本ビットが“1”のとき送信データを負論理 RZI 符号にエンコードして送信し、受信信号を NRZ 符号にデコードして受信します。また TXDAn/TXDBn 端子から送信データを出力することもできます。調歩同期式モード時でのみ使用してください。

AOE ビット (交互出力許可ビット)

HBS サポートモード時に、TXDn 端子から出力するか、データ“0”を TXDAn 端子と TXDBn 端子に交互に出力するかを選択するビットです。

LPS ビット (先行出力端子選択ビット)

HBS サポートモード時で、AOE ビット = 1 のときに使用するビットです。

“0”にした場合、TXDAn 端子からスタートビットを送信し、TXDBn 端子 /TXDAn 端子交互にデータ“0”を出力します。

“1”にした場合、TXDBn 端子からスタートビットを送信し、TXDAn 端子 /TXDBn 端子交互にデータ“0”を出力します。

詳細は、「32.6 HBS サポートモード」の動作説明を参照ください。

32.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 32.4 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

RSCI は通信回線を監視し、SCR3.RXDESEL ビットが“0” のときはスペース (Low) を、SCR3.RXDESEL ビットが“1” のときはスペース (Low) への立ち下がりエッジを検出するとスタートビットとみなしてシリアル通信を開始します。

RSCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

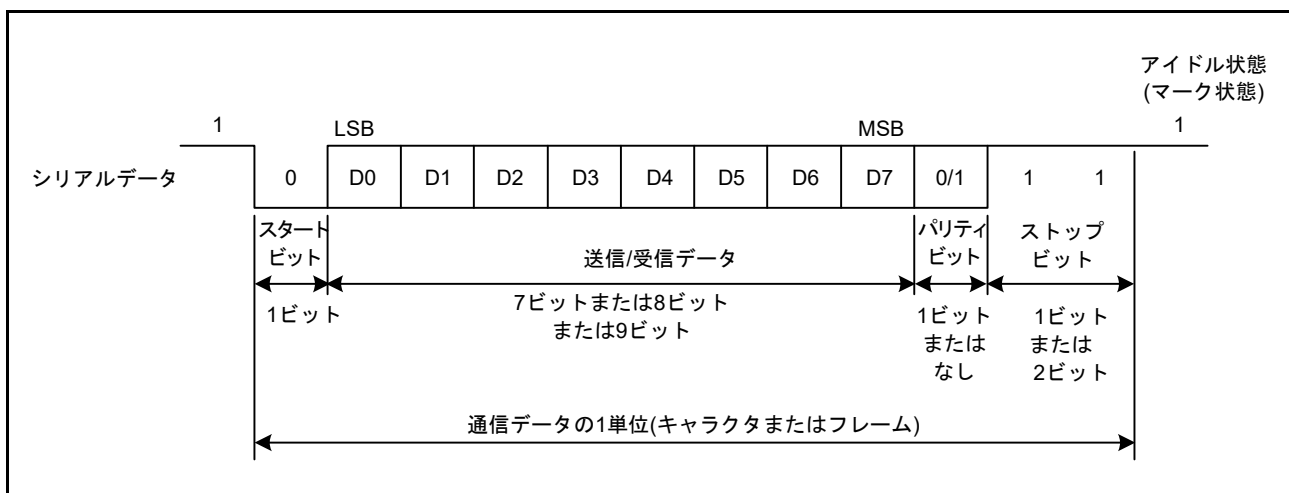


図 32.4 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

32.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 32.28 に示します。

フォーマットは 18 種類あり、SCR1 レジスタおよび SCR3 レジスタの設定により選択できます。マルチプロセッサ機能の詳細については「32.4 マルチプロセッサ通信機能」を参照してください。

表32.28 シリアル送信/受信フォーマット(調歩同期式モード)

SCR3の設定		SCR1 の設定	SCR3の設定		シリアル送信/受信フォーマットとフレーム長																				
CHR[1]	CHR[0]	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13								
0	0	0	0	0	S	9ビットデータ									STOP										
0	0	0	0	1	S	9ビットデータ									STOP	STOP									
0	0	1	0	0	S	9ビットデータ									P	STOP									
0	0	1	0	1	S	9ビットデータ									P	STOP	STOP								
1	0	0	0	0	S	8ビットデータ								STOP											
1	0	0	0	1	S	8ビットデータ								STOP	STOP										
1	0	1	0	0	S	8ビットデータ								P	STOP										
1	0	1	0	1	S	8ビットデータ								P	STOP	STOP									
1	1	0	0	0	S	7ビットデータ							STOP												
1	1	0	0	1	S	7ビットデータ							STOP	STOP											
1	1	1	0	0	S	7ビットデータ							P	STOP											
1	1	1	0	1	S	7ビットデータ							P	STOP	STOP										
0	0	—	1	0	S	9ビットデータ									MPB	STOP									
0	0	—	1	1	S	9ビットデータ									MPB	STOP	STOP								
1	0	—	1	0	S	8ビットデータ								MPB	STOP										
1	0	—	1	1	S	8ビットデータ								MPB	STOP	STOP									
1	1	—	1	0	S	7ビットデータ							MPB	STOP											
1	1	—	1	1	S	7ビットデータ							MPB	STOP	STOP										

S: スタートビット
 STOP: ストップビット
 P: パリティビット
 MPB: マルチプロセッサビット

32.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、RSCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します(注2)。また、サンプリング調整未実施時(SCR4.RTADJビット=0、あるいは、SCR4.RTADJビット=1かつSCR4.RTMG[2:0]ビット=000b)は、図32.5に示すように受信データを基本クロックの8サイクル目(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 (\%) \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SCR2.ABCSEビットが“0”、かつSCR2.ABCSビットが“0”のときN = 16
- SCR2.ABCSEビットが“0”、かつSCR2.ABCSビットが“1”のときN = 8
- SCR2.ABCSEビットが“1”のときN = 6

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値) = 0、D(クロックのデューティ) = 0.5とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

注1. SCR2.ABCSEビットが“0”、かつSCR2.ABCSビットが“0”のときの例です。ABCSEビットが“0”、かつABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。また、ABCSEビットが“1”のときは、ビットレートの6倍の周波数が基本クロックとなり、受信データは基本クロックの3番目の立ち上がりエッジでサンプリングします。

注2. スタートビット判定条件を以下に示す。

受信サンプリングタイミング調整機能OFF(RTADJビット=0)時:

スタートビット判定条件は、Lowレベル検出から、半ビット長のLowが継続していることであり、データのサンプリングタイミングと一致しています。

図32.5の例の場合、1ビット長が16クロックなので、Lowレベルを検出してから、半ビット長(8クロック)のLowが継続する必要があります。半ビット長のLowが継続しなかった場合、立ち下がり検出はノイズであったと判断し、受信を開始せず次のスタートビットを待ちます。

受信サンプリングタイミング調整機能ON(RTADJビット=1)時:

スタートビット判定条件は、Lowレベル検出からデータサンプリングタイミングまで、Lowが継続していることです。

そのため、サンプリングタイミングを前(RTMG[3]ビット=1)に調整した場合は、ノイズをスタートビットと誤判定する可能性が高くなります。

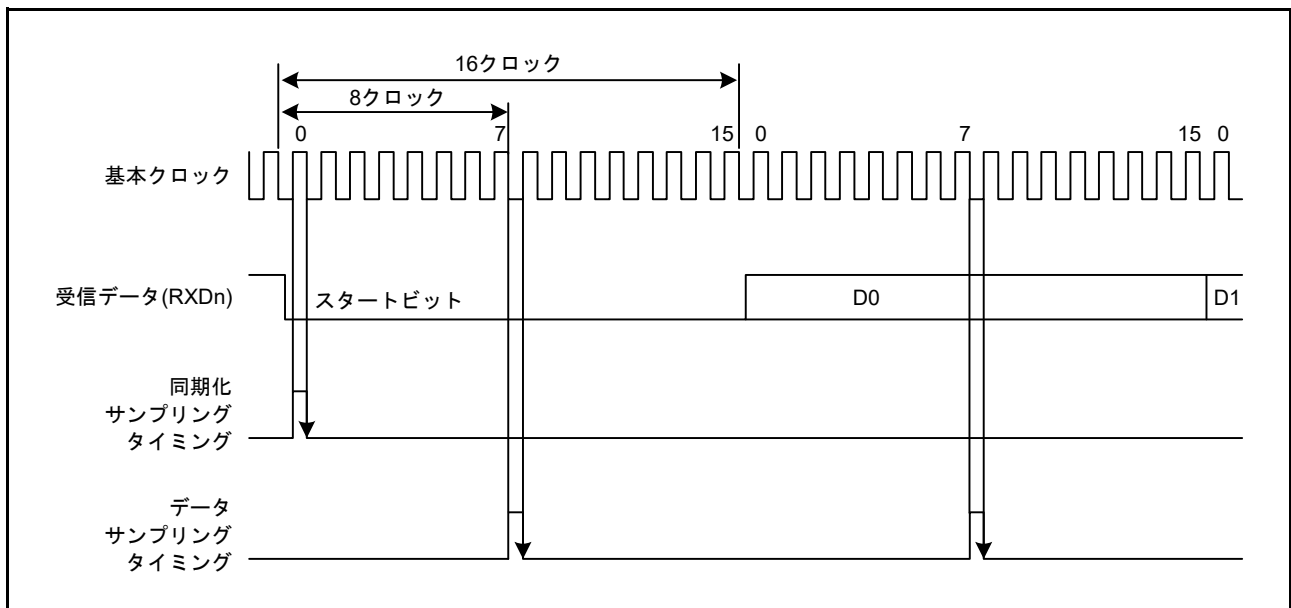


図 32.5 調歩同期式モードの受信データサンプリングタイミング

32.3.3 クロック

RSCIの送受信クロックは、SCR3.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍(SCR2.ABCSビット=0のとき)、8倍(SCR2.ABCSビット=1のとき)の周波数のクロックを入力してください。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図32.6に示すように送信データの中央でクロックが立ち上がります。クロック出力を選択した場合は、SCR0.TEビット=1もしくはSCR0.REビット=1に設定した後でクロック出力が行われます。

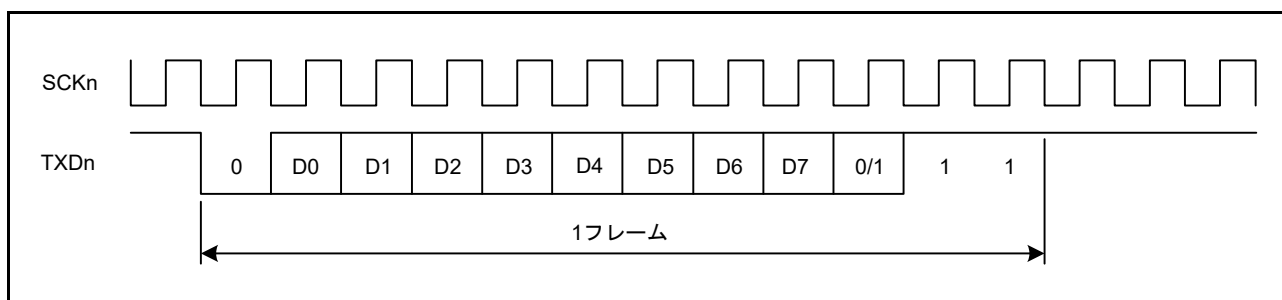


図 32.6 出力クロックと送信データの位相関係
(調歩同期式モード：SCR1.PEビット=1、SCR3.CHR[1:0]ビット=10b、MPビット=0、STOPビット=1)

32.3.4 倍速モードと6分周モード

SCR2.ABCSビットを“1”にすると、SCR2.ABCSビットを“0”に設定した場合の2倍のビットレートで動作します。また、SCR2.BGDMビットを“1”に設定すると、基本クロックの周期が1/2倍になり、SCR2.BGDMビットを“0”に設定した場合の2倍のビットレートで動作します。SCR3.CKE[1]ビットを“0”に設定し内蔵ボーレートジェネレータを選択した時は、SCR2.ABCSビットを“1”かつSCR2.BGDMビットを“1”に設定することで、SCR2.ABCSビットを“0”かつSCR2.BGDMビットを“0”の場合の4倍のビットレートで動作することができます。

また、SCR2.ABCSEビットを“1”にすると、1ビット期間中の基本クロックパルス数が6、かつ基本クロックの周期が1/2になり、SCR2レジスタのABCSビット、BGDMビット、ABCSEビットがすべて“0”の場合に比べ16/3倍のビットレートで動作します。

なお、「32.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SCR2.ABCSビットまたはSCR2.ABCSEビットを“1”にすると受信マージンが減少します。SCR2.ABCSビットを“0”、SCR2.ABCSEビットを“0”にしても所望のビットレートが得られるのであれば、SCR2.ABCSビットを“0”、SCR2.ABCSEビットを“0”で使用することを推奨します。

32.3.5 CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。

SCR1.CTSE ビットを“1”にすると CTS 機能が有効になります。また、CTSn#/RTSn# 端子は、1 端子でどちらかの機能を使用する兼用設定と、2 端子でそれぞれの機能を同時に使用する専用の設定が可能です。SCR1.CRSEP ビットでその設定を行います。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信開始後に CTSn# 端子が High になっても、送信中のフレームは影響を受けず送信を続けます。

RTS 機能は、RTSn# 端子出力を使用して送信要求を行う機能で、受信可能状態になると RTSn# 端子に Low を出力します。Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件を全て満たす場合

- SCR0.RE ビットが“1”
- 読み出し前の受信データがない、かつ受信中でない
- SSR.ORER、AFER、APER フラグがすべて“0”

[High になる条件]

- Low になる条件を満たさない場合

32.3.6 データ一致検出機能

データ一致検出機能は調歩同期式モードのみ使用できます。

SCR0.DCME ビットを“1”に設定(注1)すると、1 フレームごとの受信完了時に、受信したデータと SCR4.CMPD[8:0] ビットに設定した値との比較を行い、一致を検出したときに RXI 割り込み要求を出力することができます。

SCR3.MP ビットを“0”に設定した場合、受信したデータにおけるデータビットのみを SCR4.CMPD[8:0] ビット(注2)と比較します。SCR3.MP ビットを“1”(マルチプロセッサモード)に設定した場合、SCR0.IDSEL ビットを“1”に設定すると、マルチプロセッサビット(MPB)が“1”の受信データでは一致/不一致の検出を行い、MPB が“0”の受信データについては不一致を検出します。SCR0.IDSEL ビットを“0”に設定すると、受信データの MPB の値によらず、受信完了の度に一致/不一致の検出を行います。

RSCI は、受信したデータと SCR4.CMPD[8:0] ビットとの不一致を検出したときは、SSR.DFER、DPER フラグはセットしません。

受信したデータと SCR4.CMPD[8:0] ビットとの一致を検出すると、SCR0.DCME ビットが“0”になり、SSR.DCMF フラグが“1”になります。SCR0.IDSEL ビットを“1”に設定している場合、SCR0.MPIE ビットが“0”になり、SCR0.IDSEL ビットを“0”に設定している場合、SCR0.MPIE ビットの値は保持されます。このとき SCR0.RIE ビットが“1”であれば RXI 割り込み要求を発生します。一致を検出したフレームでフレーミングエラーを検出した場合は SSR.DFER フラグが“1”になり、パリティエラーを検出した場合は SSR.DPER フラグが“1”になります。なお、一致を検出した受信データと MPB は RDR レジスタには格納せず、SSR.RDRF フラグは“0”を保持します。

受信したデータと SCR4.CMPD[8:0] ビットとの一致を検出し SCR0.DCME ビットが“0”になった後は、その時点のレジスタ設定に従い受信動作を続けます。

SSR.DFER、SSR.DPER フラグがセットされた状態ではデータの一致を検出しません。データ一致検出機能を有効にする前に、SSR.DFER、および SSR.DPER フラグを“0”にしてください。

図 32.7、図 32.8 にデータ一致検出の例を示します。

注 1. データ一致検出を行う受信フレームの、スタートビット受信前に SCR0.DCME ビットを“1”にしてください。

注 2. 7 ビット長選択時は CMPD[6:0] ビットを、8 ビット長選択時は CMPD[7:0] ビットを、9 ビット長選択時は

CMPD[8:0] ビットと比較します。

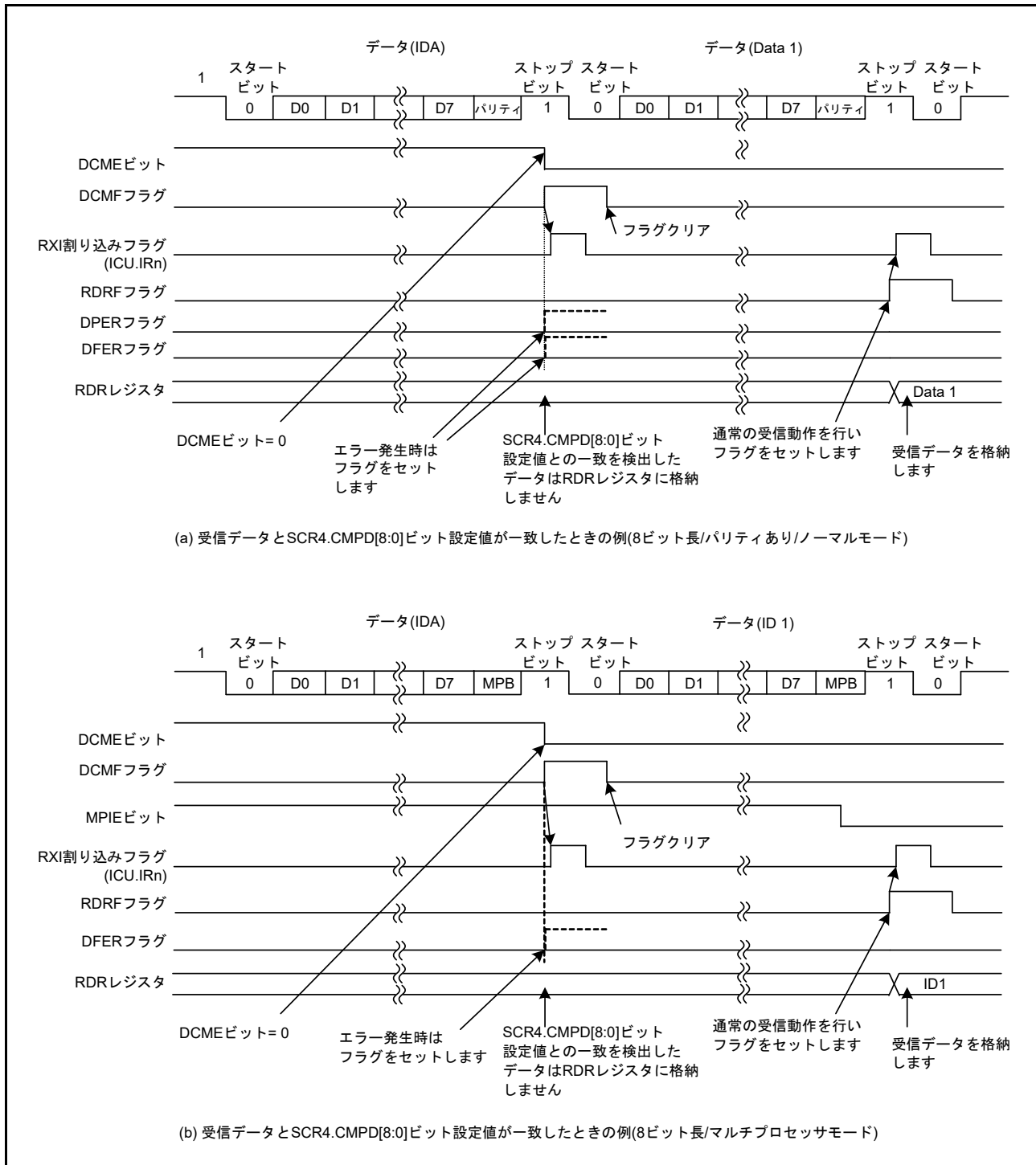
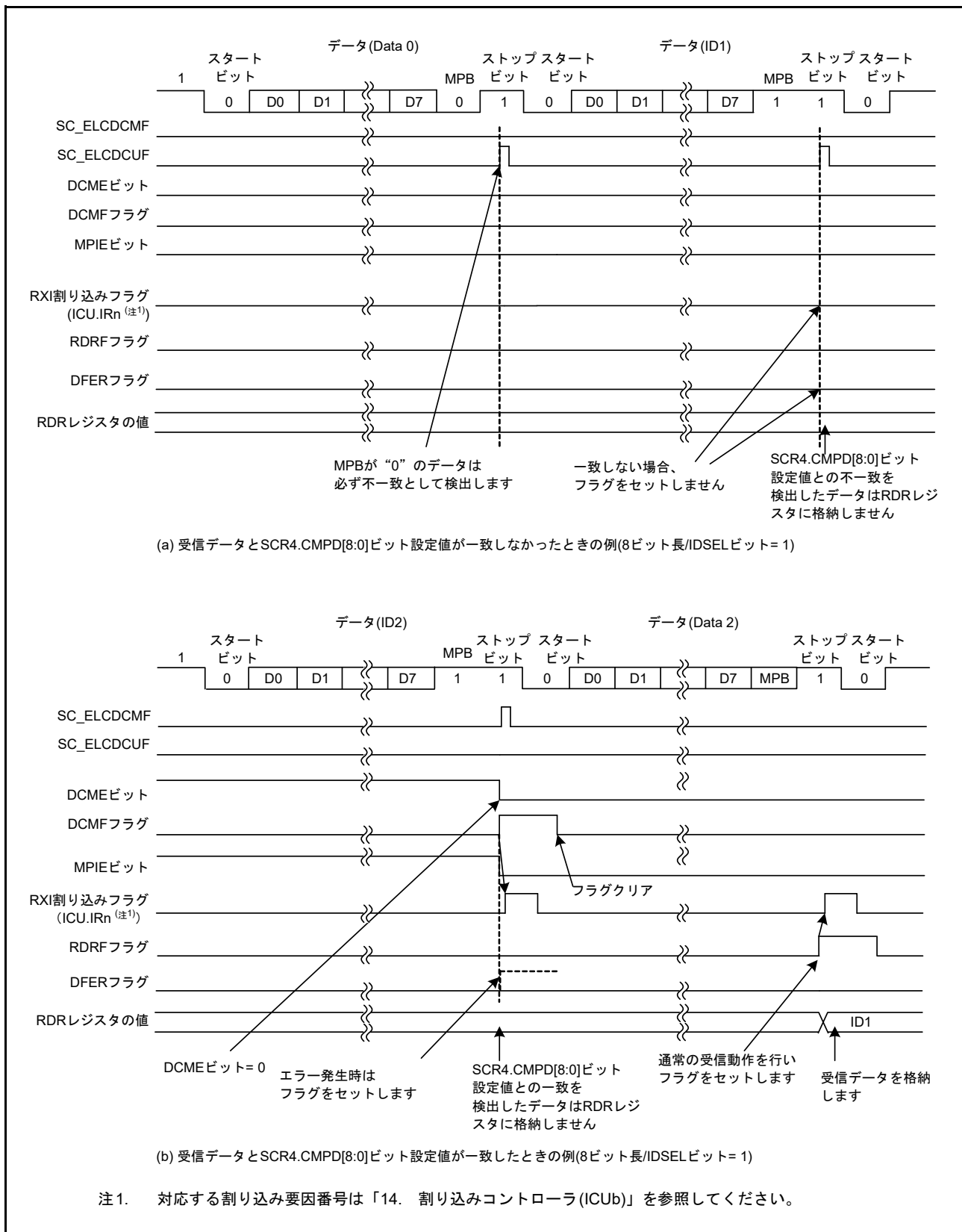
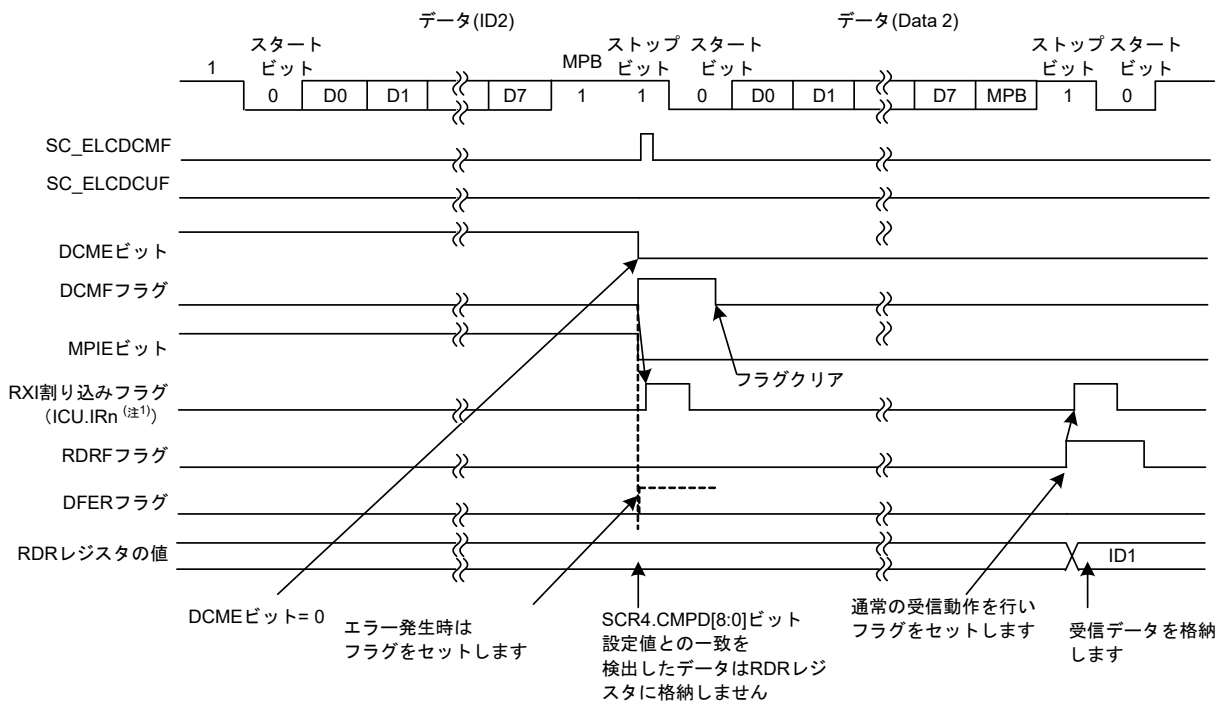


図 32.7 データ一致検出の例 (1) (8 ビットデータ)



(a) 受信データとSCR4.CMPD[8:0]ビット設定値が一致しなかったときの例(8ビット長/IDSELビット=1)

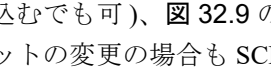


(b) 受信データとSCR4.CMPD[8:0]ビット設定値が一致したときの例(8ビット長/IDSELビット=1)

注1. 対応する割り込み要因番号は「14. 割り込みコントローラ(ICUb)」を参照してください。

図 32.8 データ一致検出の例 (2) (8ビットデータ / マルチプロセッサモード)

32.3.7 RSCI の初期化 (調歩同期式モード)

データの送受信前に、SCR0.TE ビットと SCR0.RE ビットに“0”を書き込み (SCR0 レジスタに初期値を書き込むでも可)、 32.9 のフローチャート例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も SCR0.TE ビットと SCR0.RE ビットに“0”を書き込んでから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、RE ビットを“0”に設定しても、ORER、AFER、APER、RDRF の各フラグ、および RDR レジスタは初期化されませんので注意してください。動作モードの変更時にも注意してください。

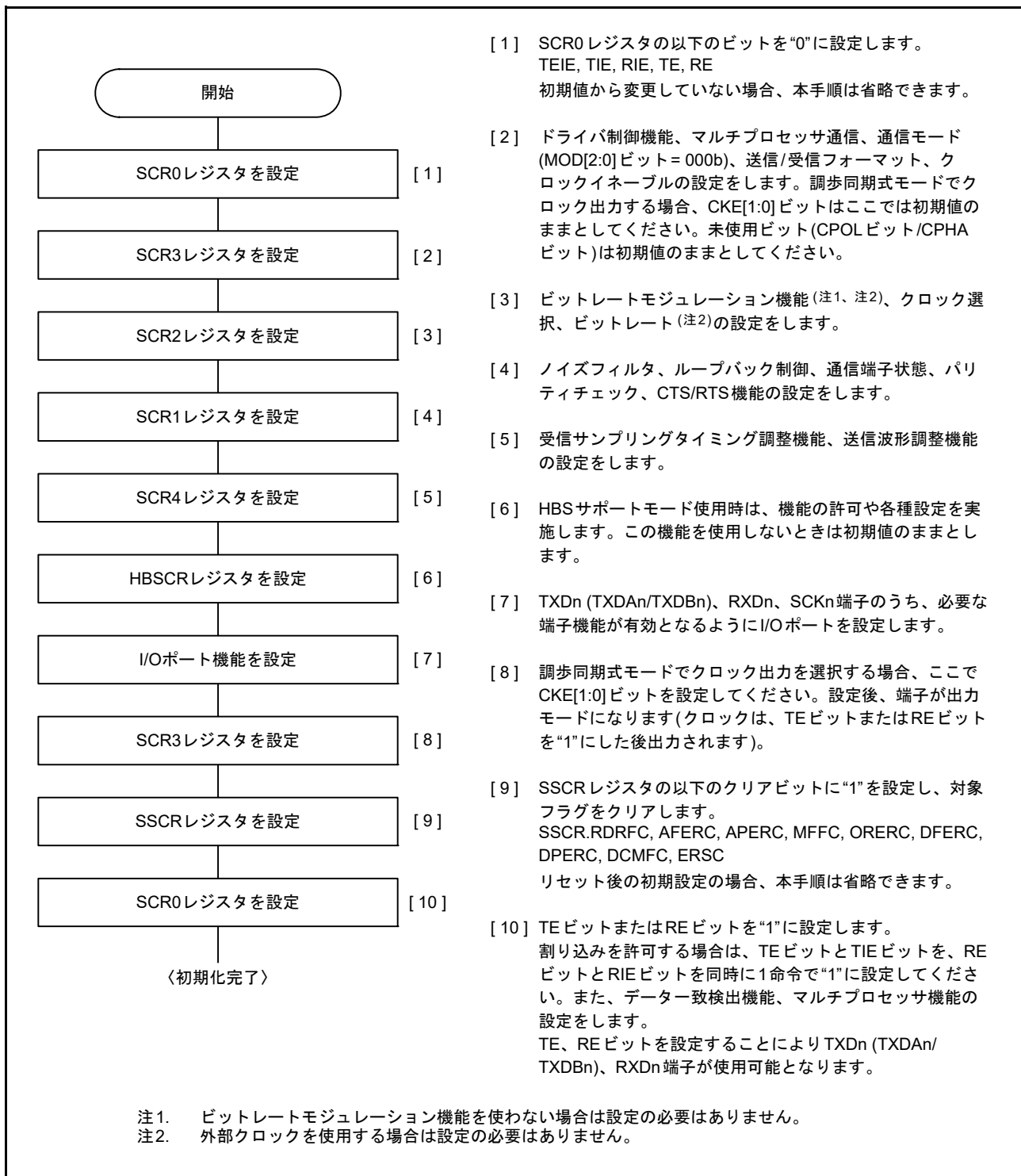


図 32.9 RSCI の初期化フローチャート例 (調歩同期式モード時)

図 32.10 は、リセット解除後に図 32.9 に従って RSCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXDn 端子に設定した時点では、SCR0.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にしてから送信データを書くと、データ送信が開始されます。TDR レジスタに送信データをライトしてからデータ送信が開始されるまでの送信待ち時間があります。調歩同期式モードでは、この期間 TXDn 端子は High になります。

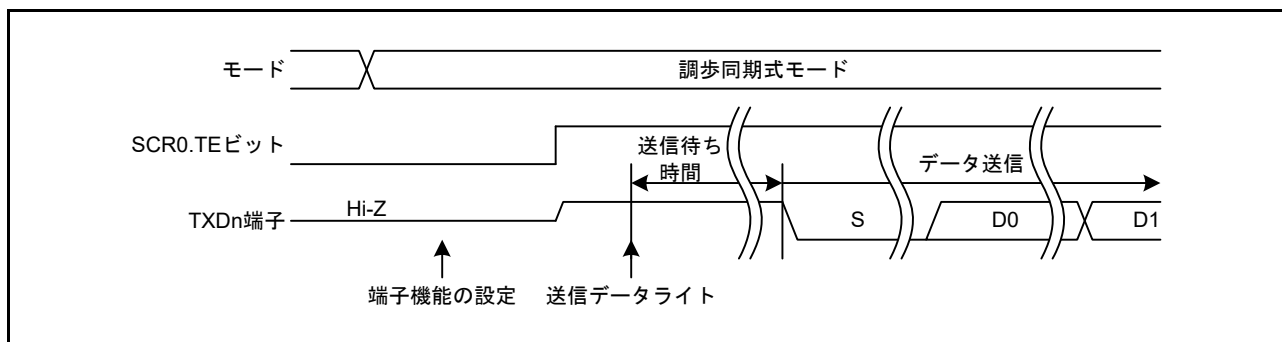


図 32.10 調歩同期式モード時のデータ送信タイミング例

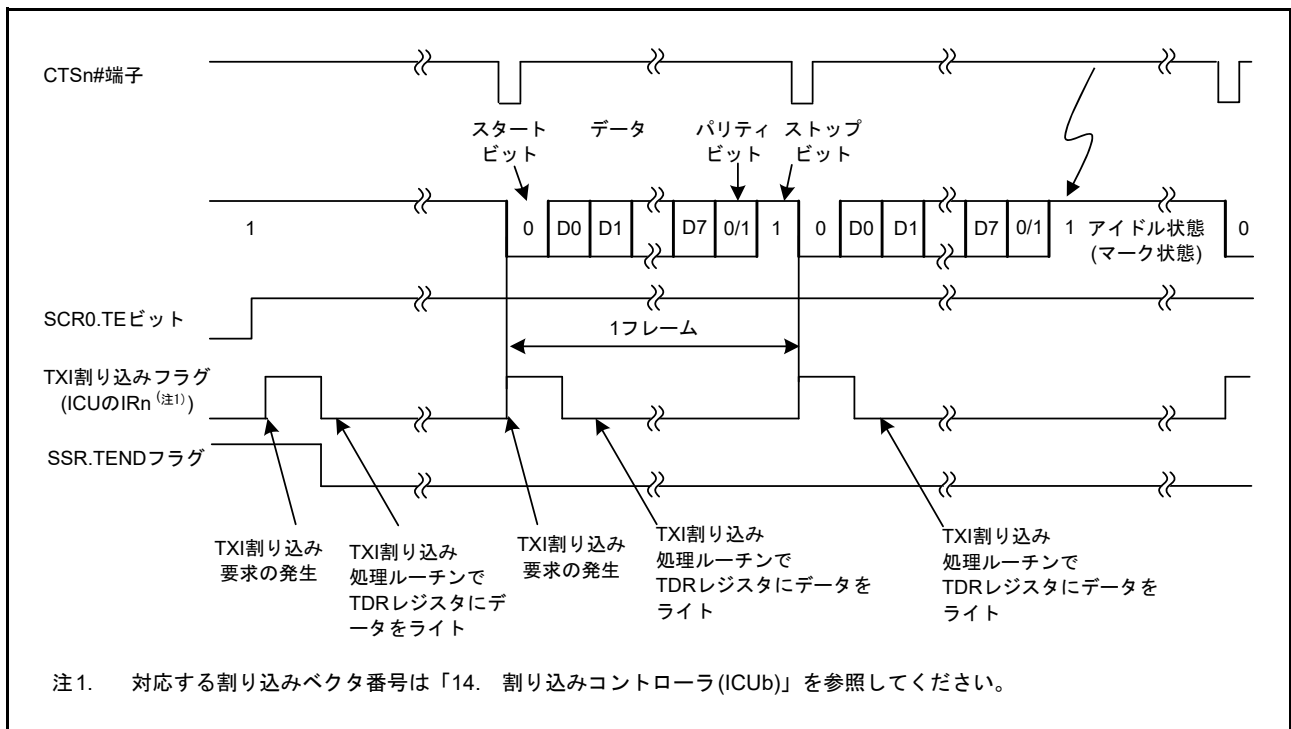


図 32.12 調歩同期式モードのシリアル送信の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

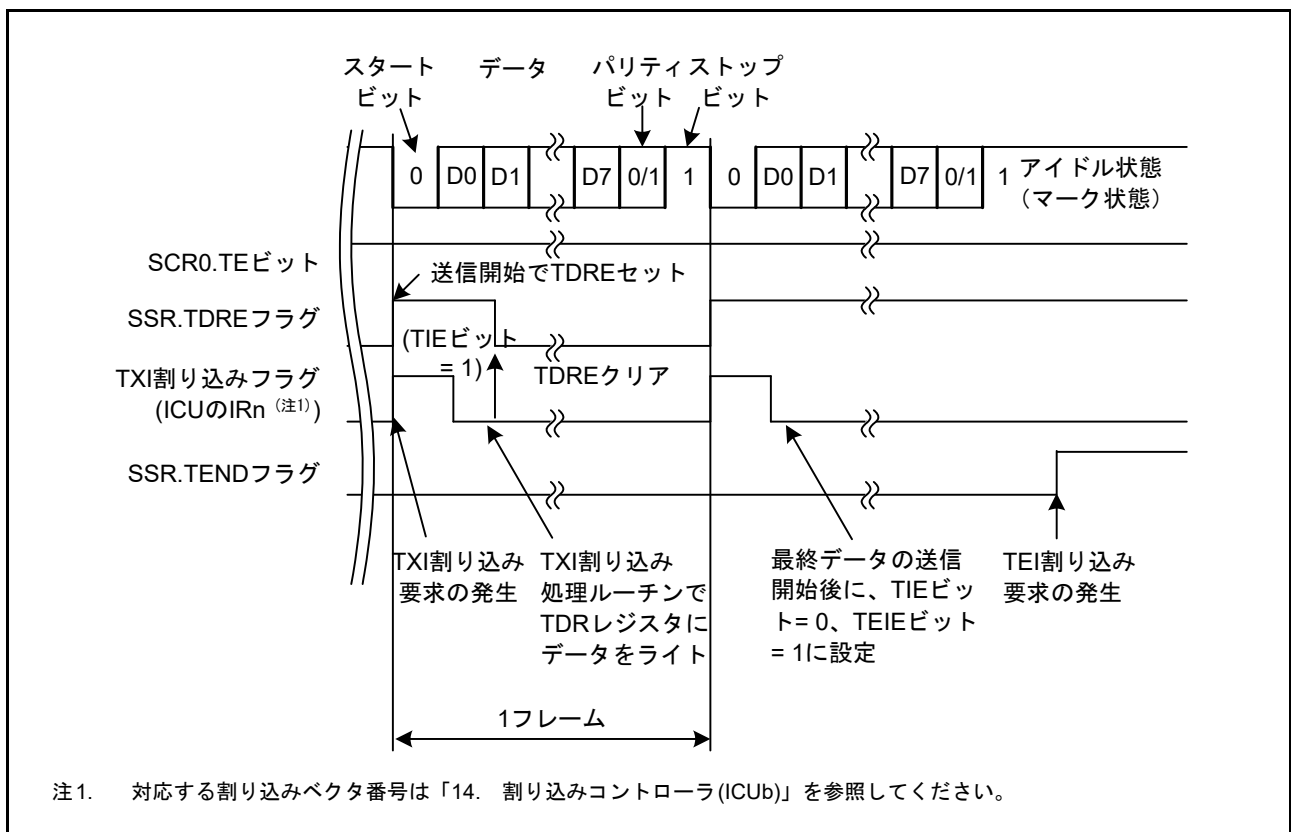


図 32.13 調歩同期式モードのシリアル送信の動作例 (3)
(8ビットデータ / パリティあり / 1ストップビット / 送信中～送信完了時)

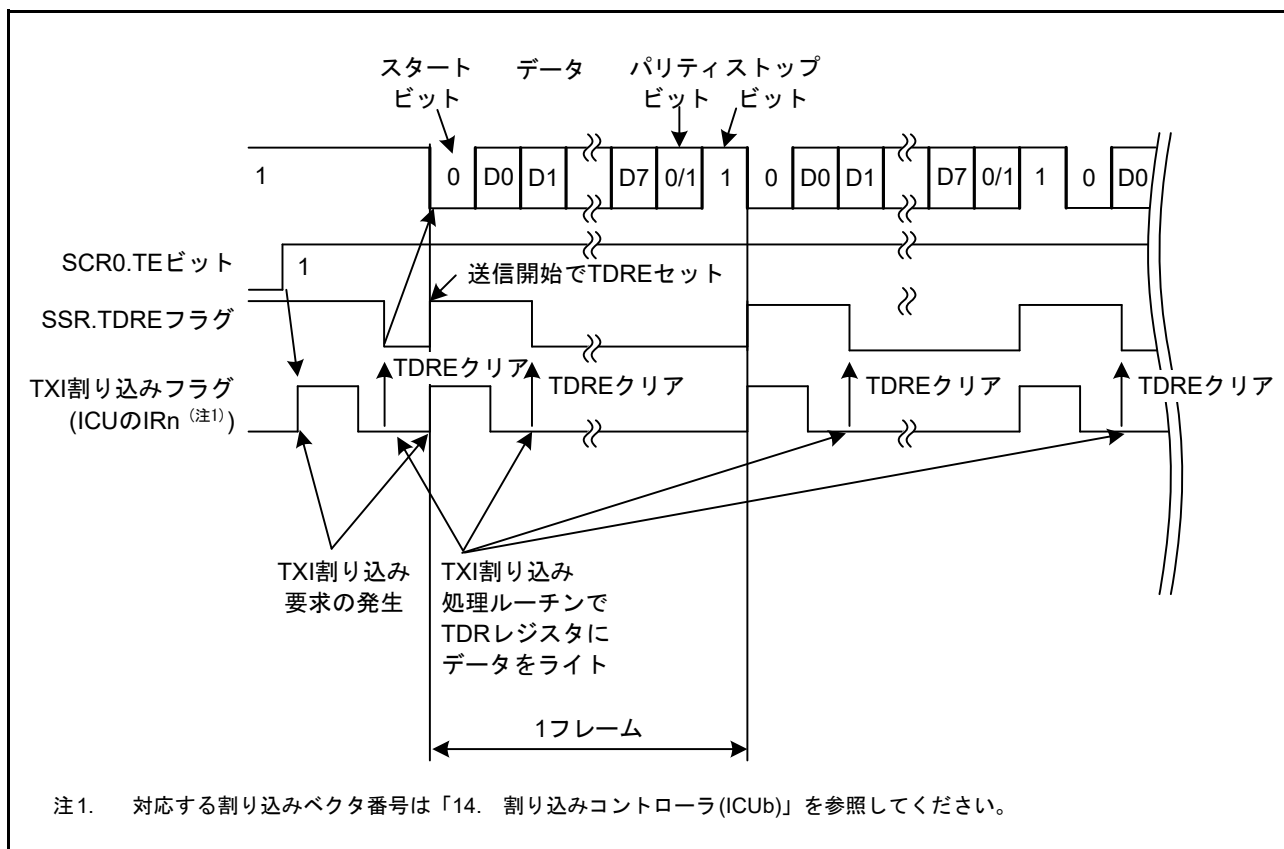


図 32.14 調歩同期式モードのシリアル送信の動作例 (4)
(8ビットデータ / パリティあり / 1ストップビット / 送信中)

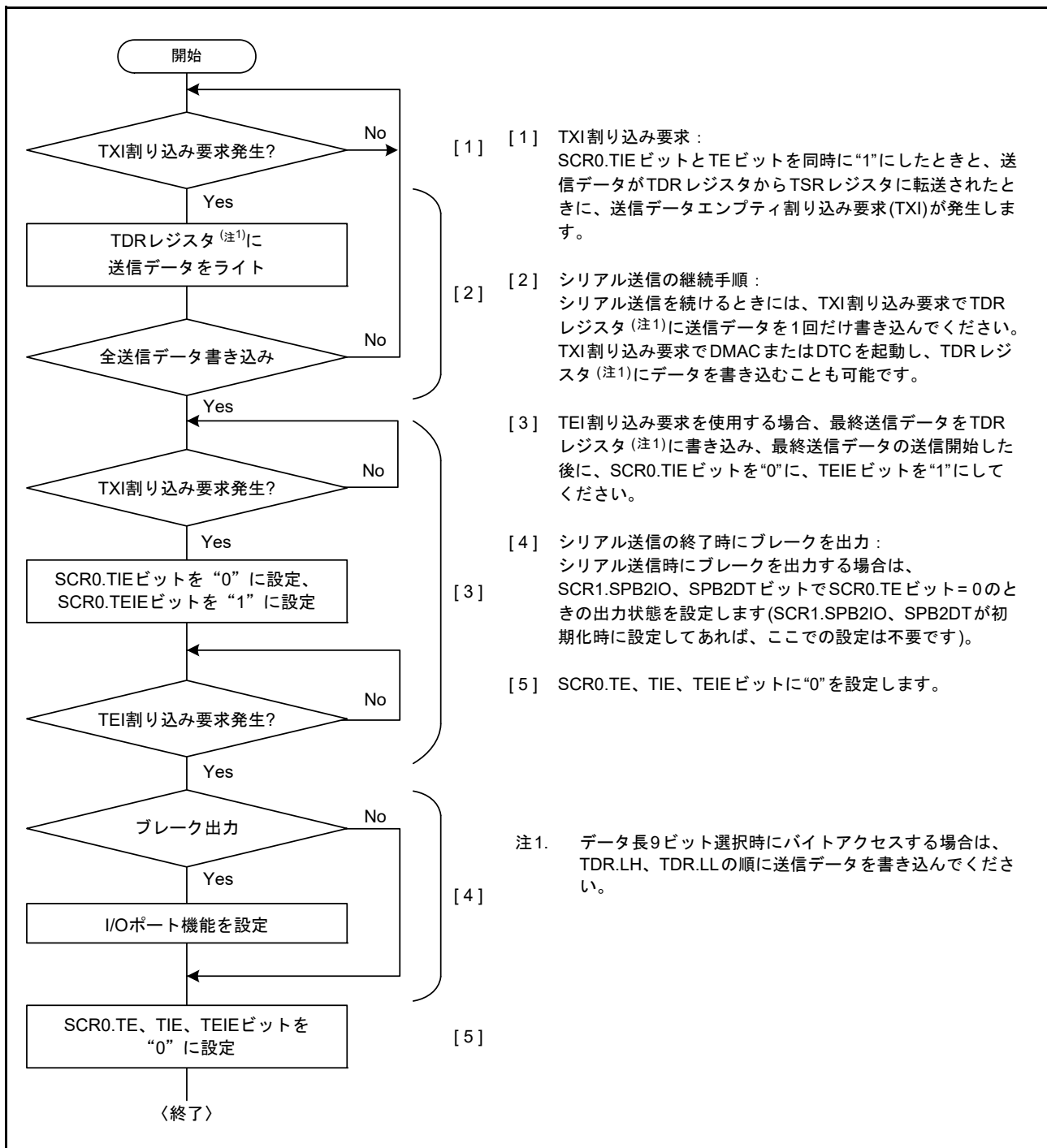


図 32.15 調歩同期式モードのシリアル送信のフローチャート例

32.3.9 シリアルデータの受信 (調歩同期式モード)

図 32.16、図 32.17 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、RSCI は以下のように動作します。

1. SCR0.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.APER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は SSR.AFER フラグをセットし、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします (RTS 機能使用時)。最終データの受信後、RTSn# 端子出力を Low にしたくない場合は、RDR レジスタをリードする前に、SCR0.RE ビットを“0”にしてください。

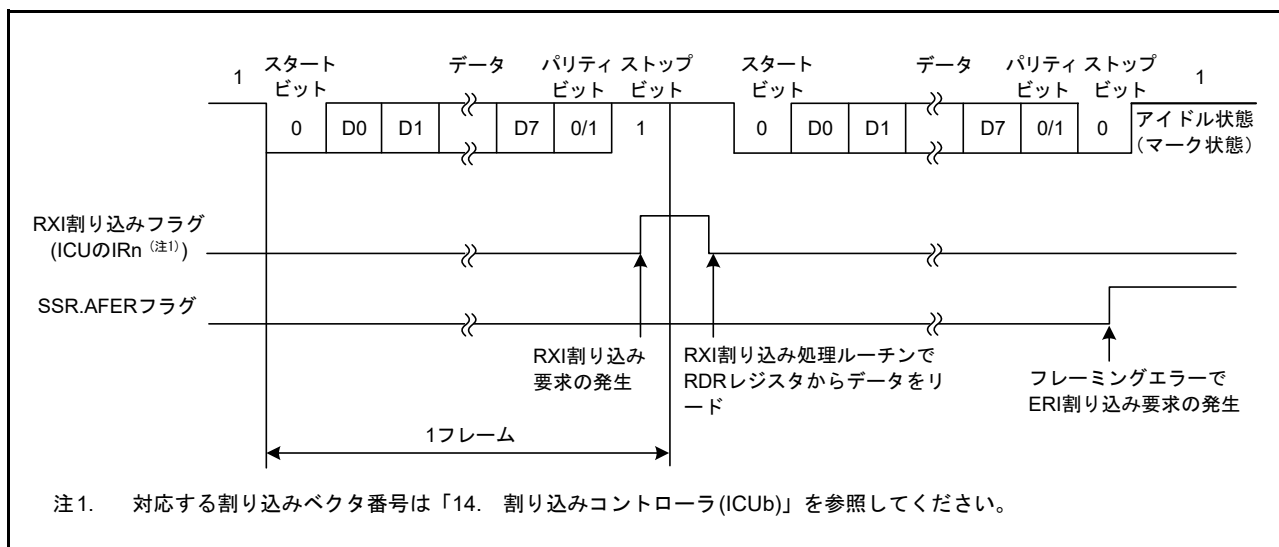


図 32.16 調歩同期式モードのシリアル受信時の動作例 (1)
(8 ビットデータ / パリティあり / 1 ストップビット / RTS 機能使用しない)

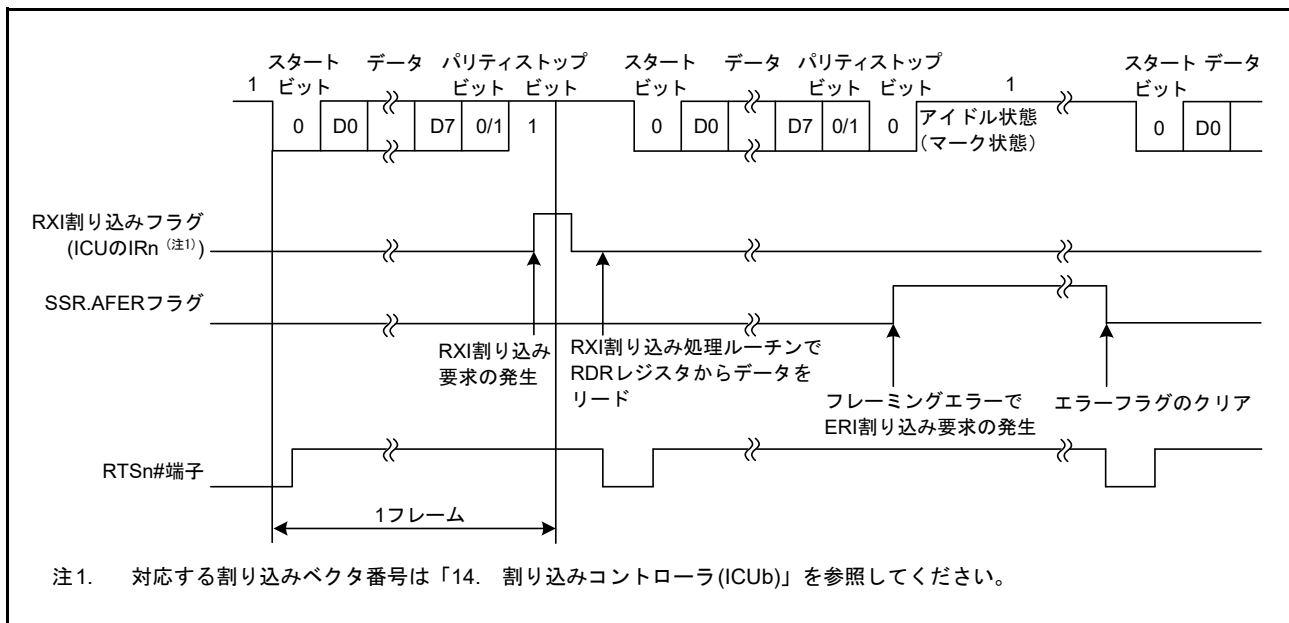


図 32.17 調歩同期式モードのシリアル受信時の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / RTS 機能使用する)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 32.29 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、AFER、および APER フラグを“0”にしてください。また、オーバーランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 32.18、図 32.19 にシリアル受信のフローチャートの例を示します。

表 32.29 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	AFER	APER		
1	0	0	消失	オーバーランエラー
0	1	0	RDRへ転送	フレーミングエラー
0	0	1	RDRへ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

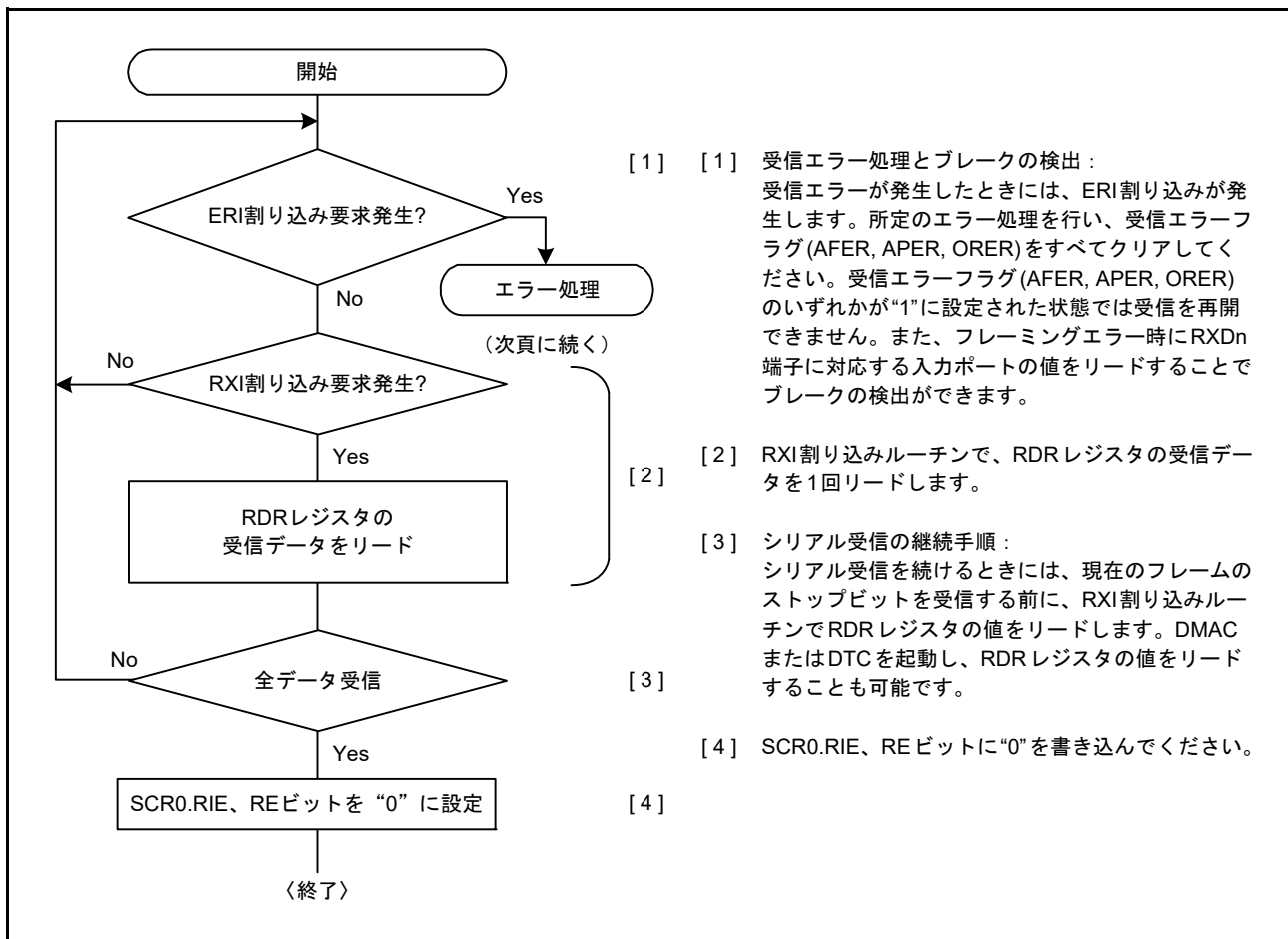


図 32.18 調歩同期式モードのシリアル受信のフローチャート例 (1)

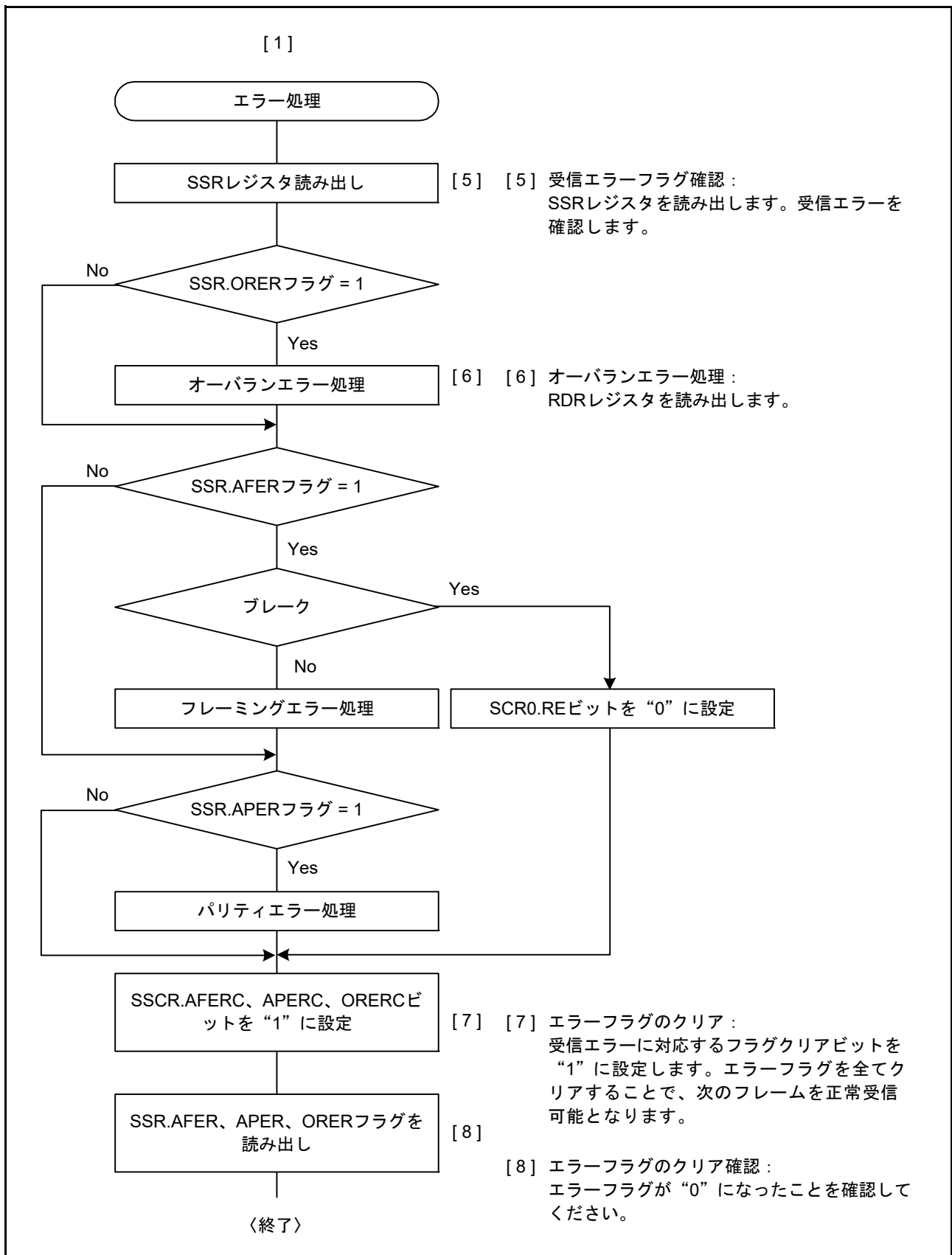


図 32.19 調歩同期式モードのシリアル受信のフローチャート例 (2)

32.3.10 調歩同期式モードの受信サンプリングタイミング調整機能

立ち上がり時間と立ち下がり時間の差が大きく、High幅とLow幅に差ができてしまった波形を受信した場合、短い方のパルスの中央でデータをサンプリングするようにタイミングを調整します。Low幅が短い場合はサンプリングタイミングを早め、High幅が短い場合はサンプリングタイミングを遅らせます。

SCR4.RTMG[3:0]ビットにデフォルトのサンプリングポイントに対するオフセットを設定し、SCR4.RTADJビットを“1”にすると、設定した位置で受信データをサンプリングします。

図 32.20 にサンプリングタイミングの調整例を示します。

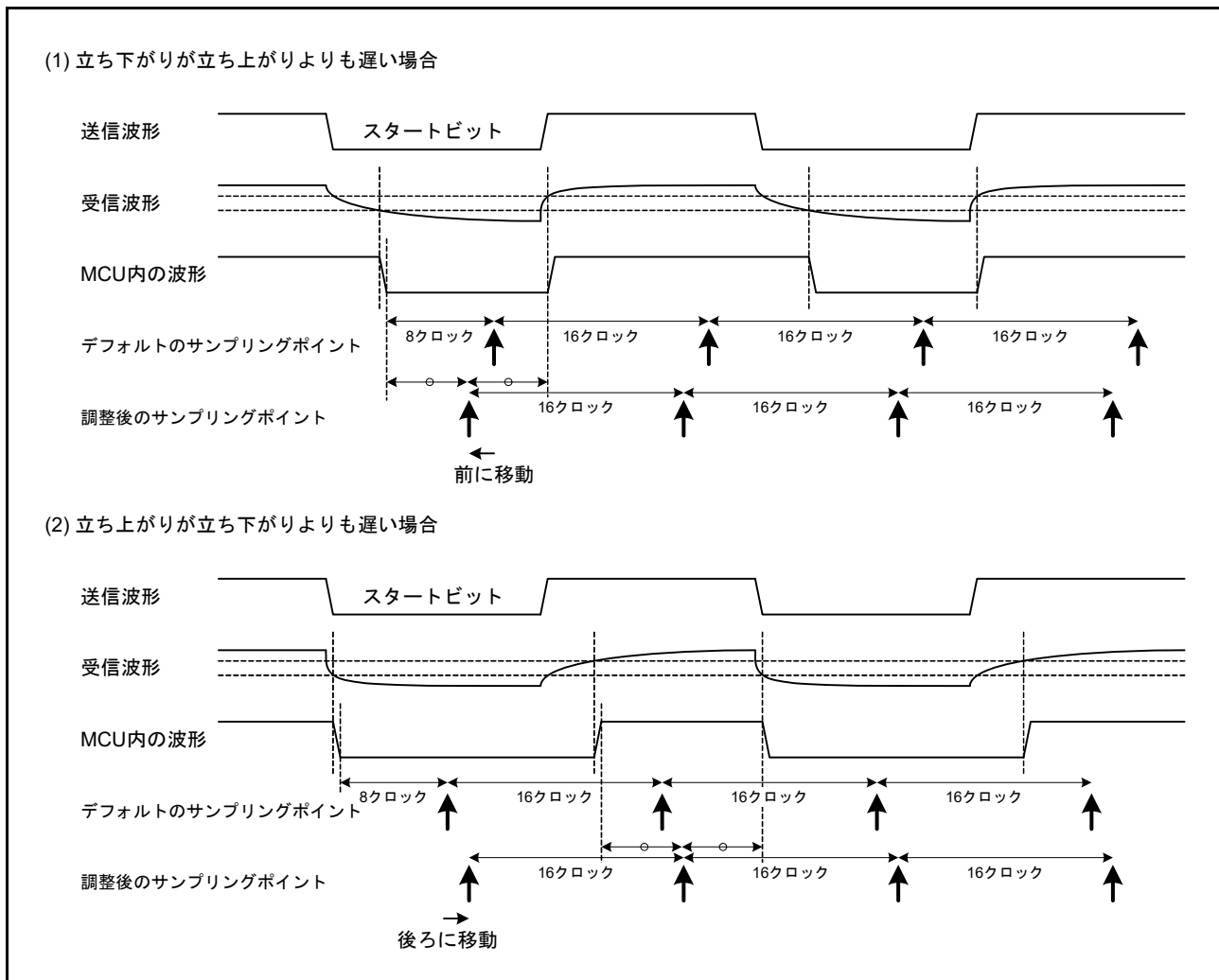


図 32.20 サンプリングタイミングの調整例 (SCR2.ABCSE ビット = 0、SCR2.ABCS ビット = 0)

32.3.11 調歩同期式モードの送信タイミング調整機能

本MCUが送信した波形が受信側のデバイスでHigh幅とLow幅に差ができてしまうような場合に、送信時に前もってHigh幅とLow幅に差を持たせて、受信側で差がなくなるように調整することができます。受信側でHigh幅が短くなる場合は立ち下がりエッジを遅らせることで送信時のHigh幅を拡げ、Low幅が短くなる場合は立ち上がりエッジを遅らせることで送信時のLow幅を拡げます。

SCR4.TTMG[3:0]ビットに変化させるエッジとその遅延量を設定し、SCR4.TTADJビットを“1”にすると、設定した位置で送信データが変化します。

図 32.21 に変化タイミングの調整例を示します。

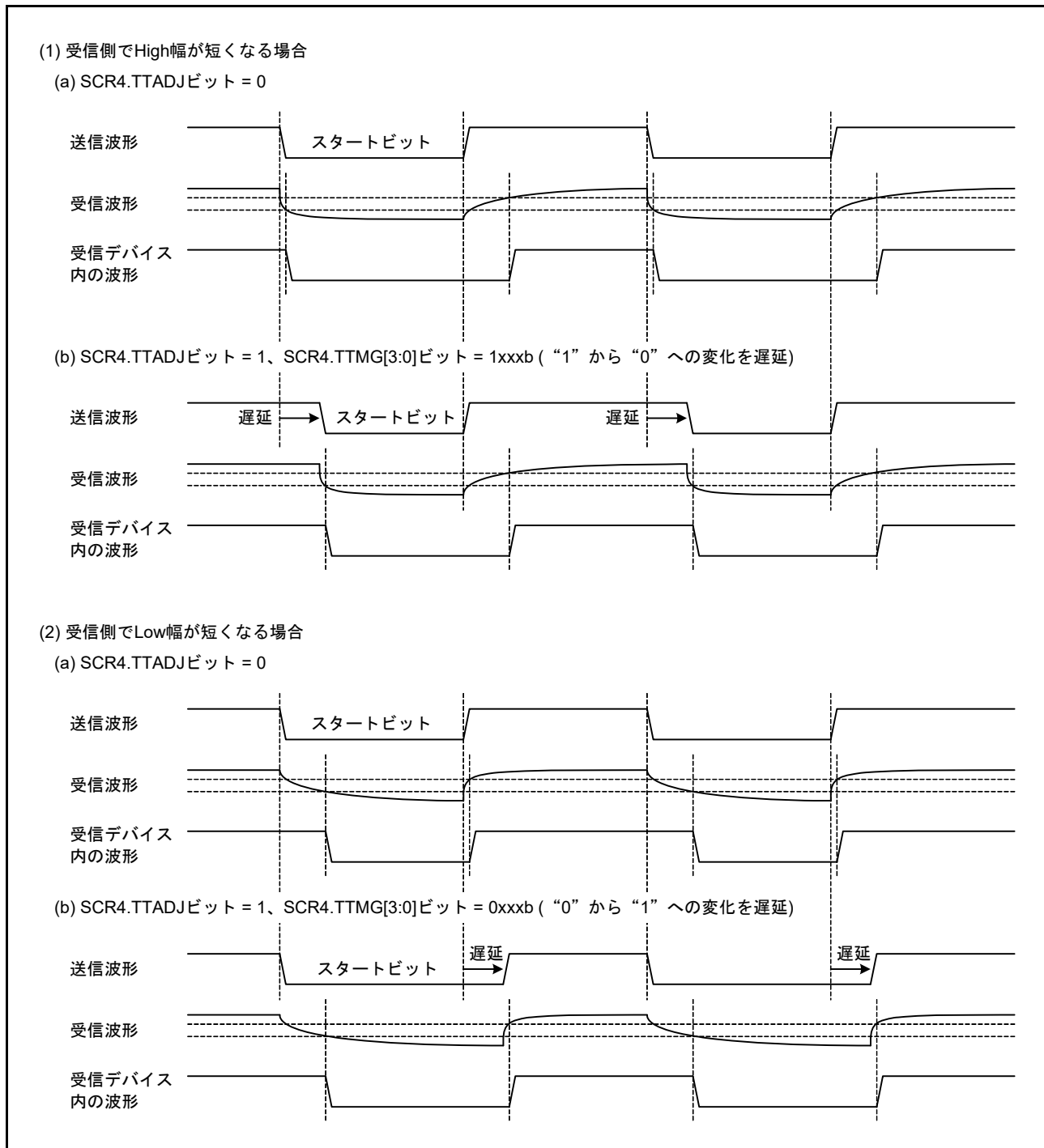


図 32.21 変化タイミングの調整例

32.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 32.22 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

このように 1 対多通信対応の機能なので、マルチプロセッサ通信機能の使用時は、RTS 制御は使えません。

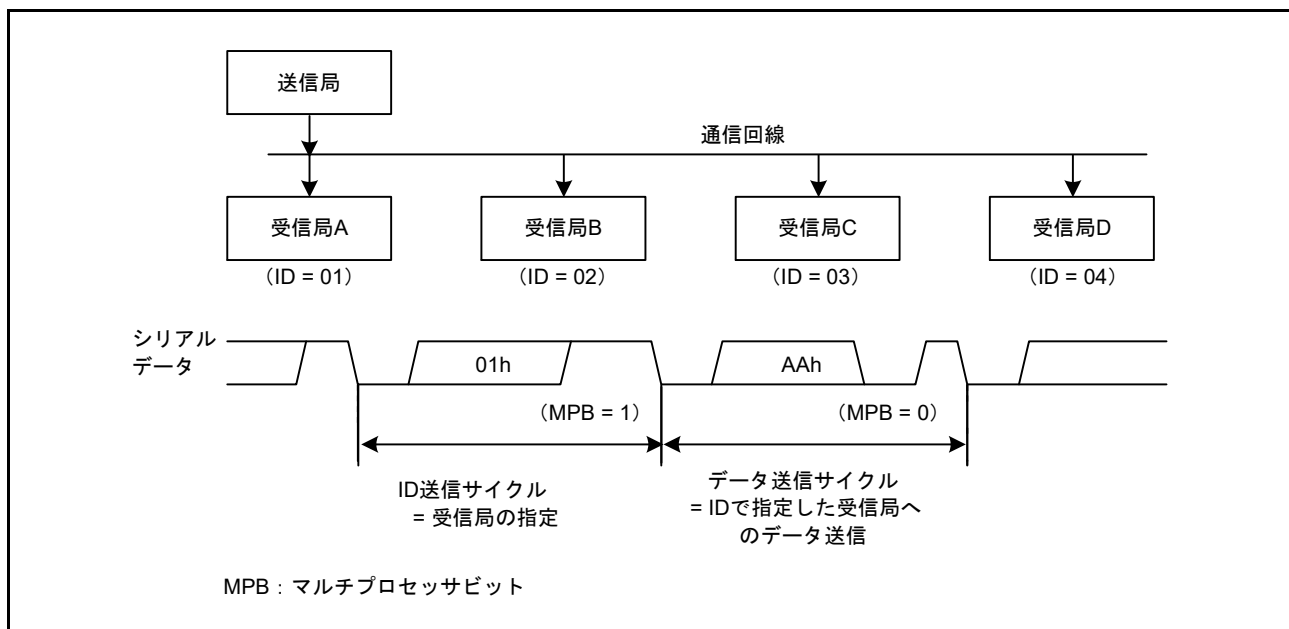


図 32.22 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ“AAh”の送信の例)

RSCIはこの機能をサポートするため、SCR0.MPIE ビットを設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.RDRF、ORER、AFER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、RDR.MPB フラグが“1”にセットされるとともに SCR0.MPIE ビットが自動的にクリアされて非マルチプロセッサの受信動作に戻ります。このとき SCR0.RIE ビットがセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は非マルチプロセッサの調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも非マルチプロセッサの調歩同期式モードと同一です。

32.4.1 マルチプロセッサシリアルデータ送信

図 32.23 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは TDR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは TDR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

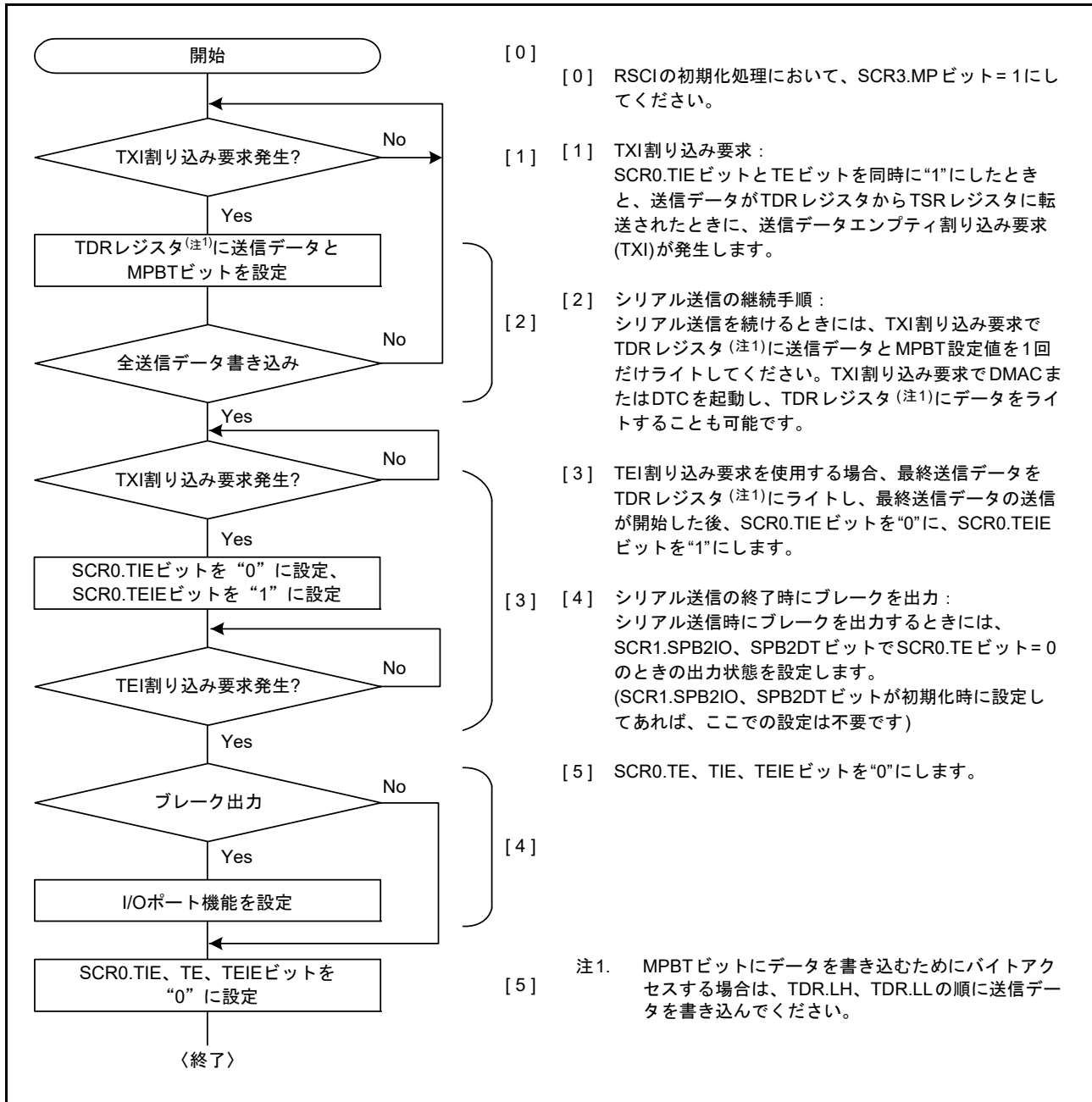


図 32.23 マルチプロセッサシリアル送信のフローチャートの例

32.4.2 マルチプロセッサシリアルデータ受信

図 32.25、図 32.26 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR0.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 32.24 に受信時の動作例を示します。

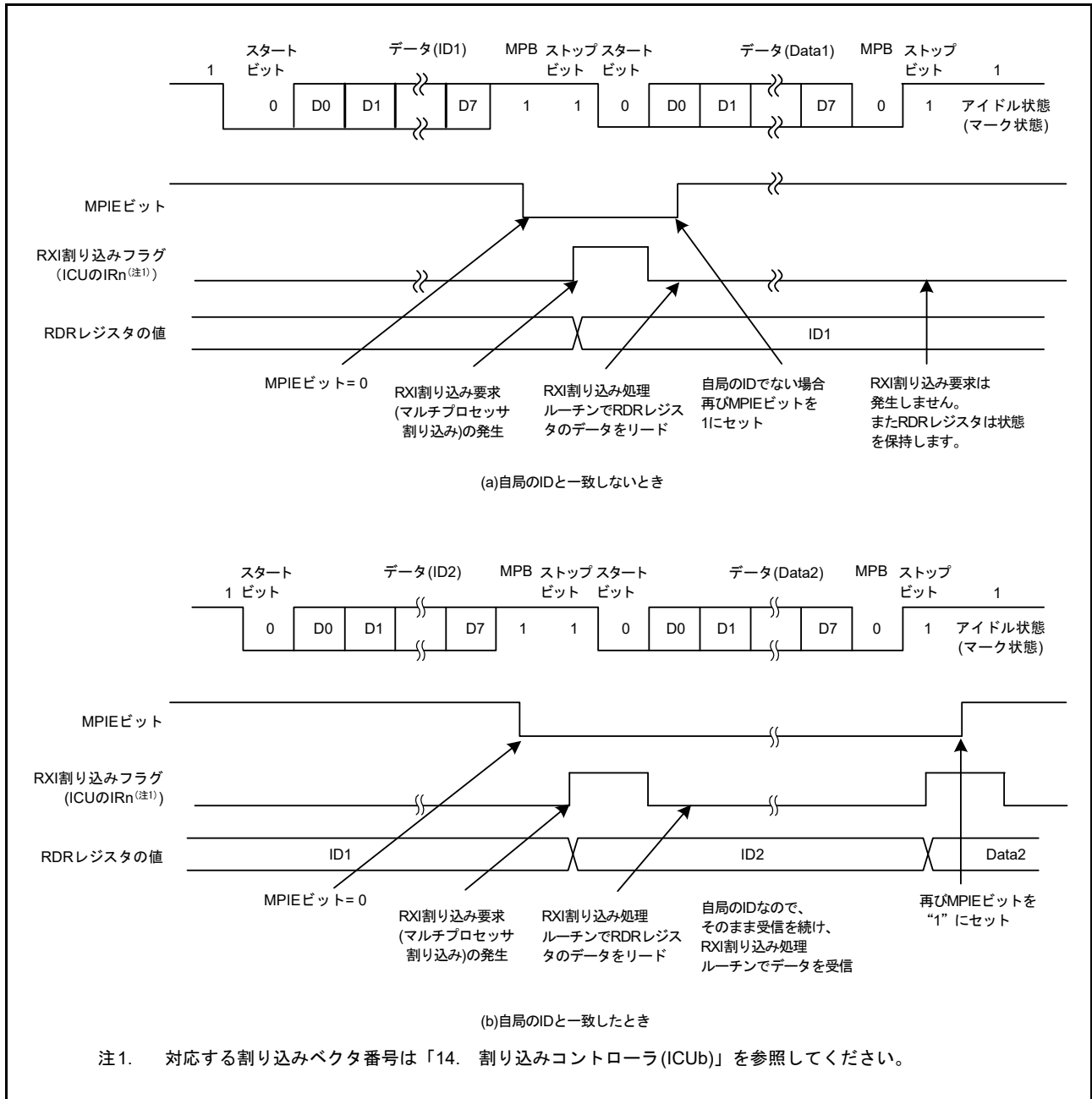


図 32.24 RSCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

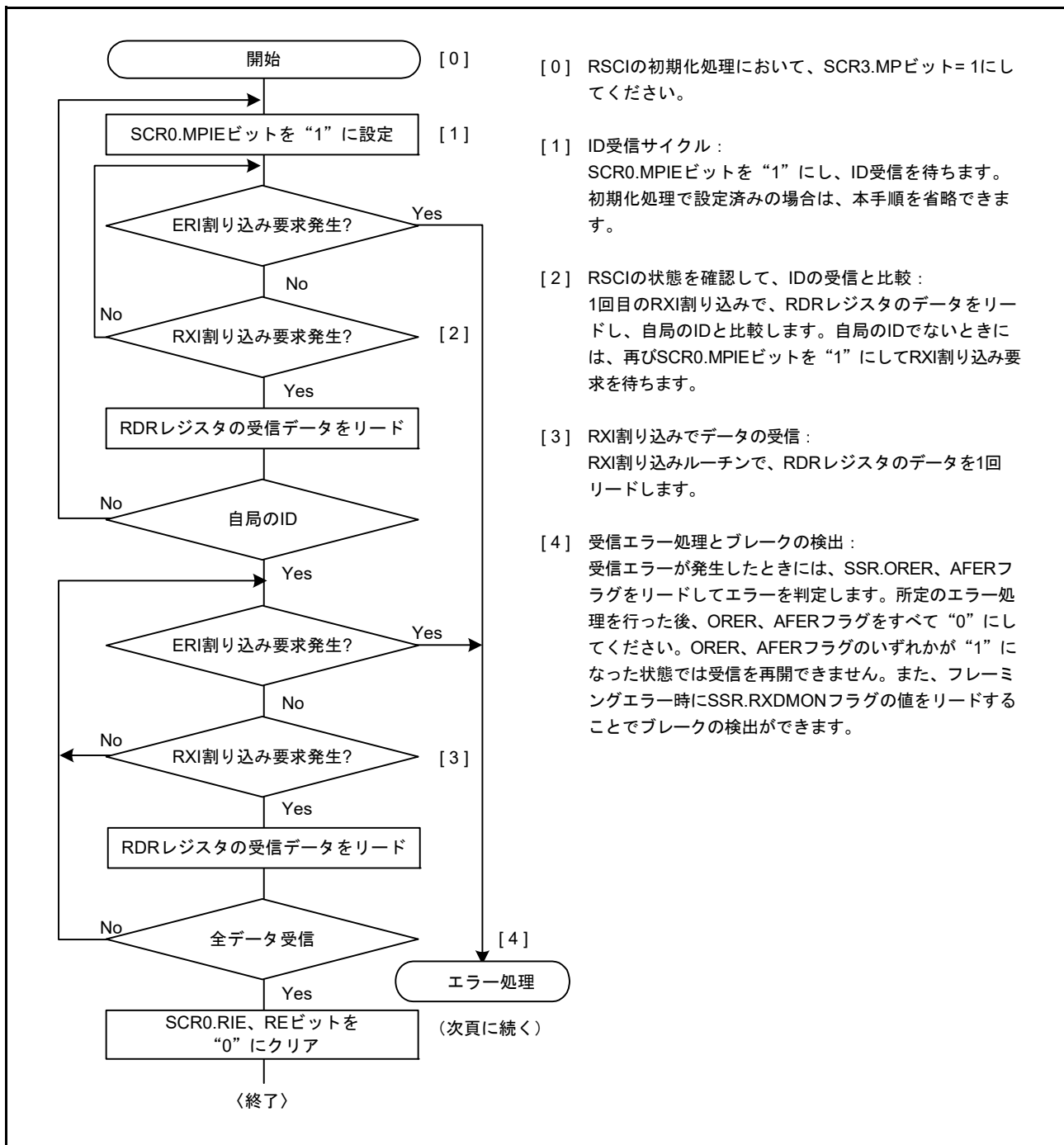


図 32.25 マルチプロセッサシリアル受信のフローチャートの例 (1)

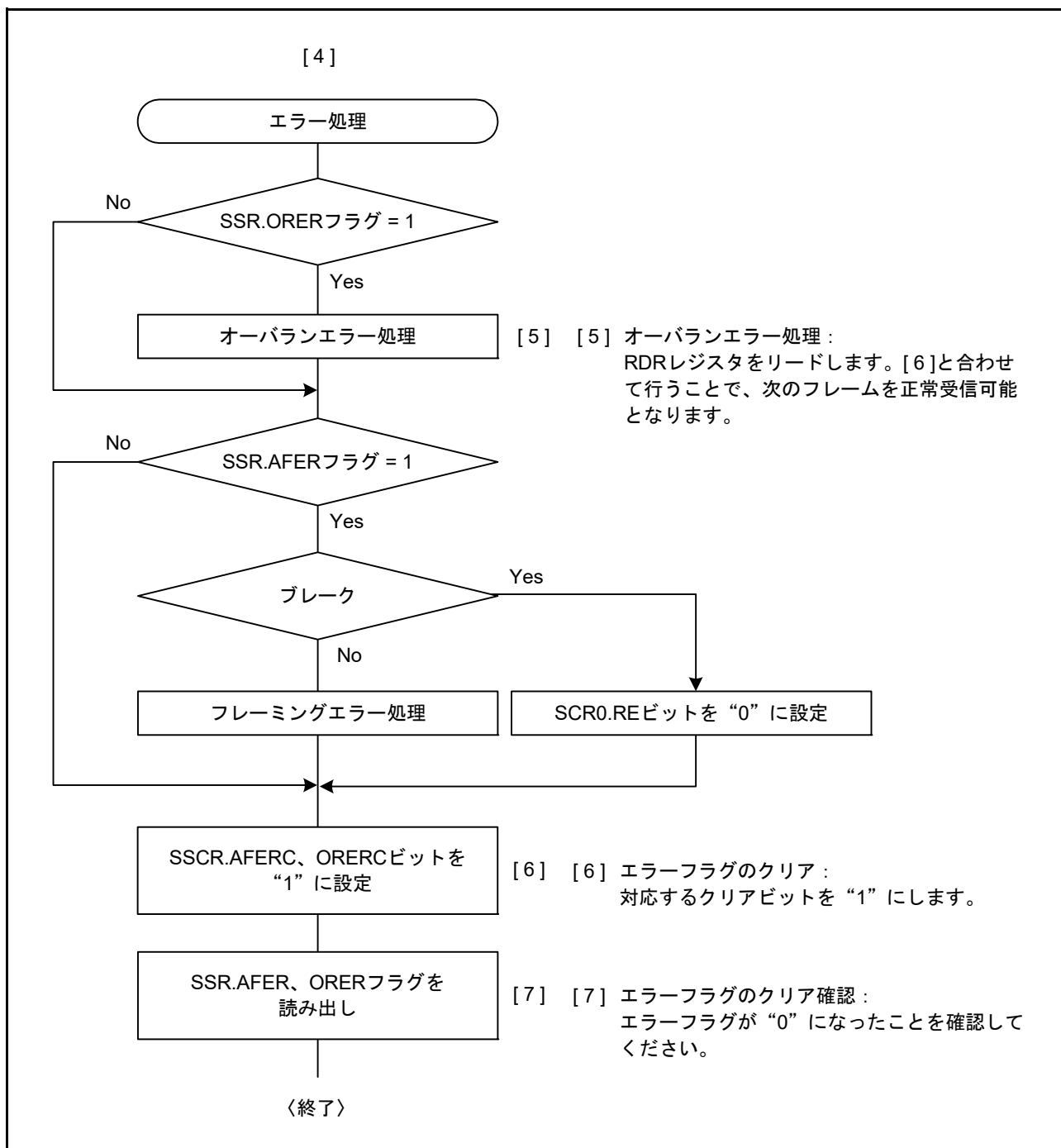


図 32.26 マルチプロセッサシリアル受信のフローチャートの例 (2)

32.5 マンチェスタモード

マンチェスタモードを使用すると、送受信シリアルデータをマンチェスタコードで扱います。マンチェスタ符号化のイメージを図 32.27 に示します。

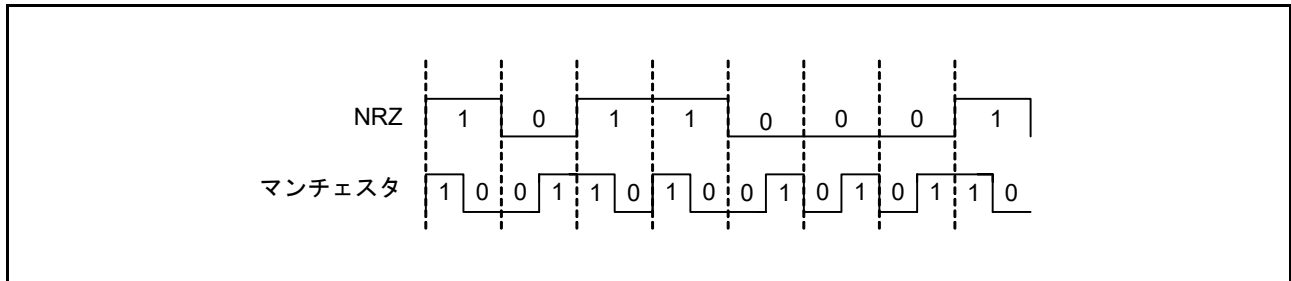


図 32.27 マンチェスタ符号化の例

マンチェスタモード時はレジスタに設定した送信データに対してプリフェースとスタートビット領域を付加し送信フレームを構築します。送信時はマンチェスタ符号化し、受信時は送信と同じフォーマットのフレームを検出し、NRZ 符号化してデータを受信します。

フレームフォーマットの詳細については「32.5.1 フレームフォーマット」を参照ください。

32.5.1 フレームフォーマット

図 32.28 がマンチェスタモードを使用した場合のフレームフォーマットです。

図の上部に記載しているのは、関連する設定レジスタです。

マンチェスタ符号化する領域は、プリフェース領域とデータ領域となります。

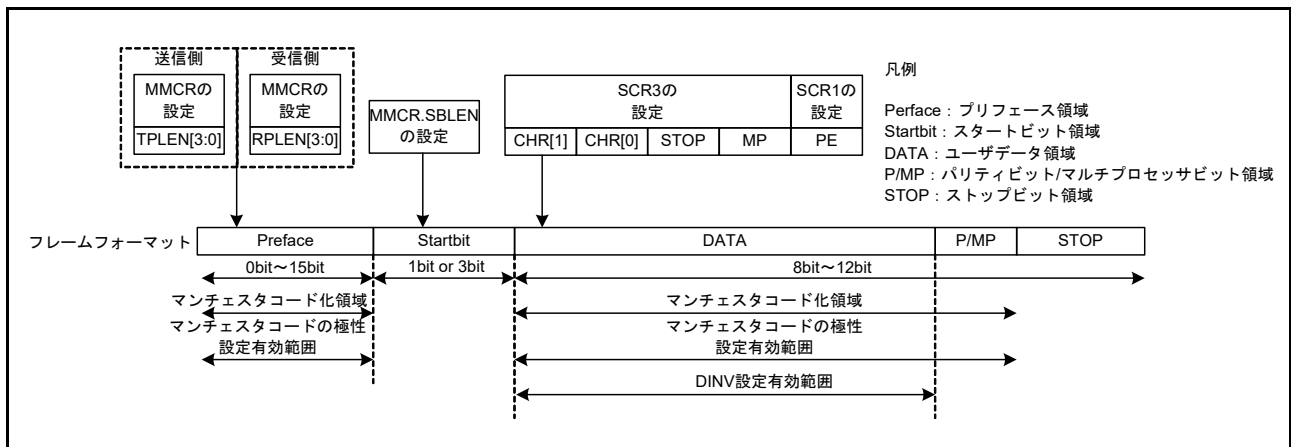


図 32.28 マンチェスタモード時のフレームフォーマット

(1) プリフェース領域

フレームの先頭を示す固定パターン領域です。

プリフェース領域は送信と受信で設定レジスタが異なります。送信時は MMCR.TPLEN[3:0] ビットの設定、受信時は MMCR.RPLEN[3:0] ビットの設定でプリフェース長が決定されます。

“0”にした場合、プリフェースはディセーブルとなり付加されません。1d ~ 15d に設定した場合、プリフェースはその設定に従った長さが付加されます (例えば 1d なら 1 ビット、15d なら 15 ビットになります)。

また、プリフェースパターンは設定で可変することが可能で、送信時は MMCR.TPPAT[1:0] ビット、受信

時は MMCR.RPPAT[1:0] ビットを設定することで4種類のパターンから選択できます。

プリフェースパターンの設定イメージを図 32.29 に示します。このプリフェース/スタートビット領域は毎通信に付加されます。

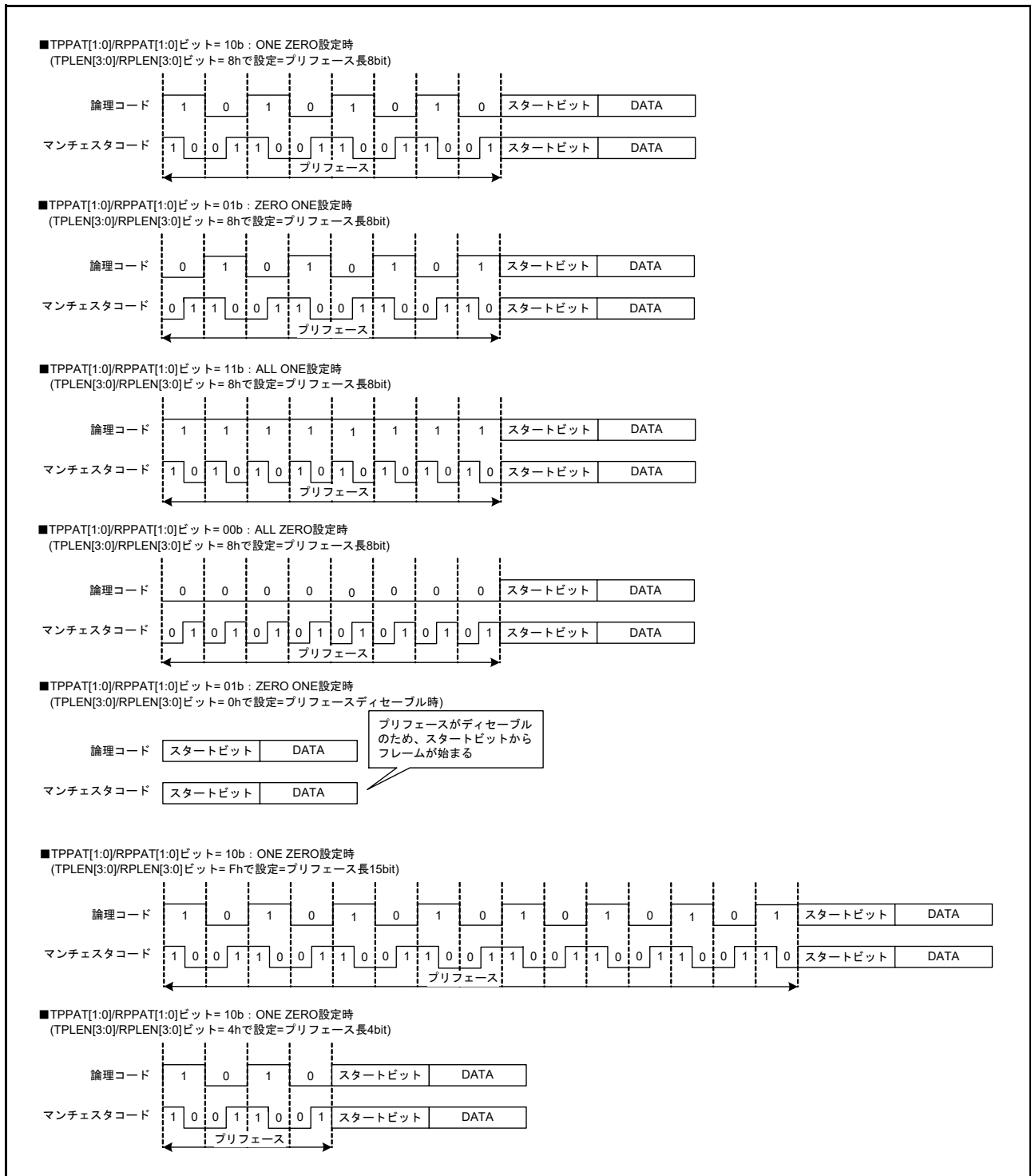


図 32.29 プリフェースパターン設定例

(2) スタートビット領域

フレームの有効データ先頭を示す領域です。プリフェース領域の後にアサインされています。

MMCR.SBLEN ビットの設定でスタートビット長が決定されます。MMCR.SBLEN ビット=0 のときは、スタートビットは1ビットとなります。MMCR.SBLEN ビット=1 のときは、スタートビットは3ビットとなります。

MMCR.SBLEN ビットを“1”にすると、Sync 種別を<コマンド Sync>と<データ Sync>の2種の中から設定することが可能です。

<コマンド Sync>とは、スタートビットが3bitであるときに、1→0遷移を行うパターンです。

また、<データ Sync>とは、スタートビットが3bitであるときに、0→1遷移を行うパターンです。

Sync 種別に関しては、MMCR.SYNCE と MMCR.SBPTN 設定および TDR.SYNC ビットの設定によって決定されます(受信時は MMSR.RSYNC ビットに受信結果が反映されます)。

MMCR.SBLEN ビットを“0”にすると、0→1遷移または1→0遷移を設定することが可能です。この選択は MMCR.SBPTN 設定によって決定されます。

MMCR.SYNCE ビットで、送信時の設定の参照先を指定します。“1”にした場合は MMCR.SBPTN ビットの設定を参照し、“0”にした場合は TDR.SYNC ビットの設定を参照します。

上記のスタートビット関連レジスタ (MMCR.SYNCE, MMCR.SBPTN, TDR.SYNC) を設定した場合のスタートビット領域の状態を、送信と受信に分けてそれぞれ図 32.30、図 32.31 に示します。

スタートビットは MMCR.ENCS/DECS ビットの設定の影響は受けません。

レジスタ設定				信号出力				スタートビット出力
MMCR			TDR	TXD出力波形				
SBLLEN	SYNCE	SBPTN	SYNC					
0	d.c.	0	d.c.					1bit 0 → 1遷移
0	d.c.	1	d.c.					1bit 1 → 0遷移
1	0	0	d.c.					3bit 0 → 1遷移
1	0	1	d.c.					3bit 1 → 0遷移
1	1	d.c.	0					3bit 0 → 1遷移
1	1	d.c.	1					3bit 1 → 0遷移

d.c. : 任意
 Preface : プリフェース領域
 START : スタートビット領域
 DATA : データ領域
 P : パリティビット領域
 MP : マルチプロセスサビット領域
 STOP : ストップビット領域

図 32.30 送信時のスタートビット関連設定とフォーマット

レジスタ設定				信号入力				スタートビット 検出結果 ^(注1)	レジスタ表示
MMCR			TDR	RXD入力波形					MMSR.RSYNC
SBLEN	SYNCE	SBPTN	SYNC						
0	d.c.	0	d.c.		スタートビット 正常 (1bit 0 → 1遷移)	0			
					スタートビット エラー	0			
					スタートビット エラー	0			
					スタートビット エラー	0			
0	d.c.	1	d.c.		スタートビット エラー	0			
					スタートビット 正常 (1bit 1 → 0遷移)	0			
					スタートビット エラー	0			
					スタートビット エラー	0			
1	d.c.	d.c.	d.c.		スタートビット エラー	0			
					スタートビット エラー	0			
					データSync	0			
					コマンドSync	1			

d.c.: 任意
 Preface: プリフェース領域
 START: スタートビット領域
 DATA: データ領域
 P: パリティビット領域
 MP: マルチプロセスビット領域
 STOP: ストップビット領域
 注1. スタートビット以外は正常と仮定。

図 32.31 受信時のスタートビット関連設定と判定

(3) DATA

DATA部分のフォーマットは調歩同期式モードと同じ設定になるので、「32.3.1 シリアル送信 / 受信フォーマット」を参照ください。

図 32.28 マンチェスタモード時のフレームフォーマットにも記載していますが、マンチェスタ符号化範囲にストップビットは含まれていませんので注意してください。

32.5.2 クロック

マンチェスタモードの送受信クロックは、SCR2.CKS[1:0]ビットを設定し、内蔵ボーレートジェネレータで生成するクロックを使用します。

また、SCR2.ABCSビットでオーバサンプリング(1ビット期間の転送レート)を設定することが可能です。SCR2.ABCSビット=0に設定すると基本クロック16サイクルの期間を1ビット期間の転送レートとするオーバサンプリング16倍が選択され、SCR2.ABCSビット=1にすると基本クロック8サイクルの期間を1ビット期間の転送レートとするオーバサンプリング8倍を選択できます。

32.5.3 マンチェスタモード時のRSCI初期化

マンチェスタモードの初期化処理は、データの送受信前に、SCR0.TEビットとSCR0.REビットに“0”を書き込み(SCR0レジスタに初期値を書き込むでも可)、図 32.32 のフローチャート例に従って初期化してください。

動作モードの変更、通信フォーマットの変更の場合もSCR0.TEビットとSCR0.REビットに“0”を書き込んでから変更してください。

なおSCR0.REビットを“0”にしても、SSR.ORER、AFER、APER、RDRFおよびMMSR.MCER、SYER、PFER、SBERの各フラグ、およびRDRレジスタは初期化されませんので注意してください。

またSCR0.TIEビットが“1”の場合、SCR0.TEビットを“0”から“1”にすると、TXI割り込み要求が発生します。

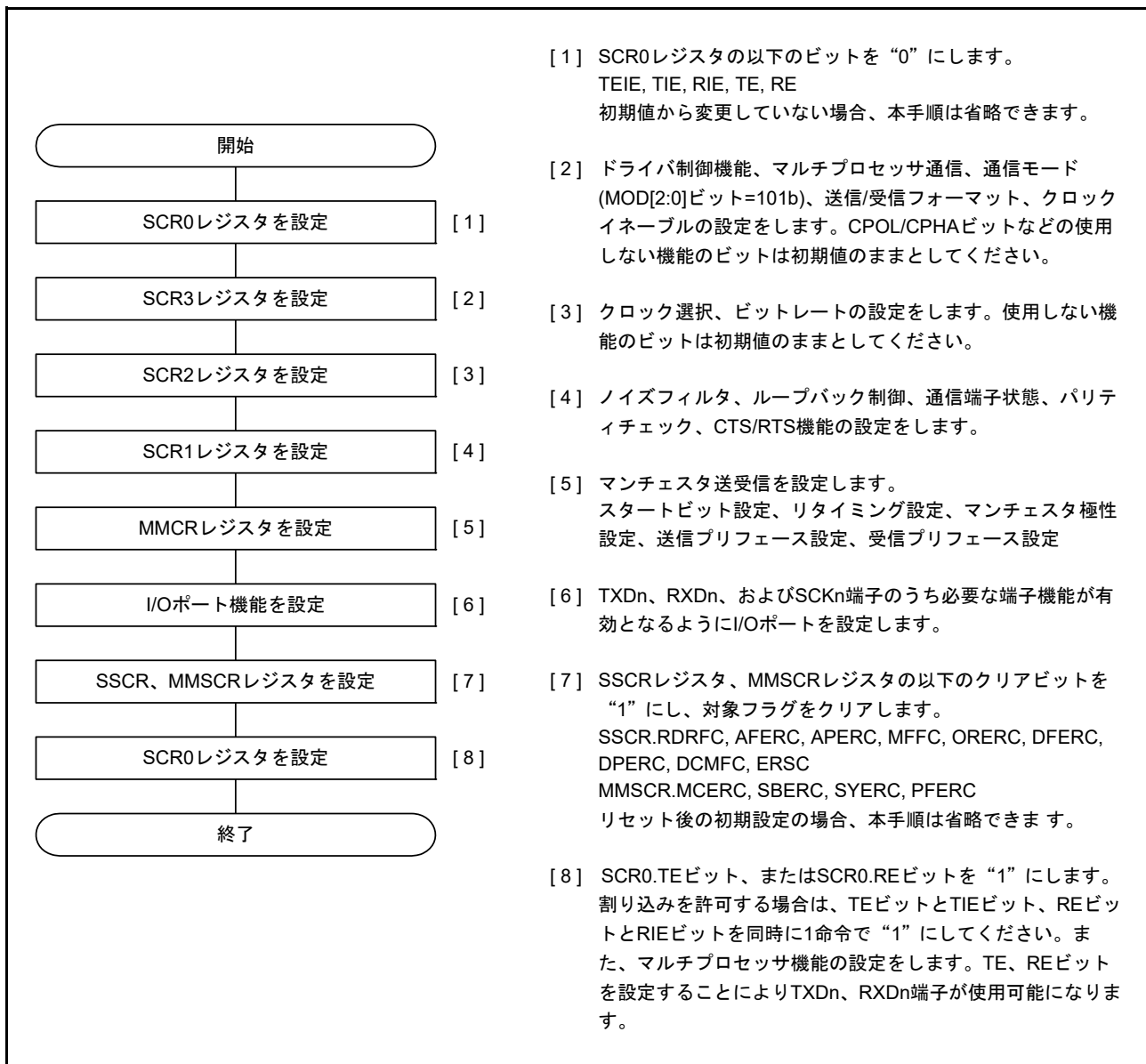


図 32.32 マンチェスタモード時の RSCI 初期化フロー

32.5.4 倍速動作

SCR2.ABCS ビットを“1”にし1ビット期間中の基本クロックパルス数8を選択すると、SCR2.ABCS ビットを“0”にした場合の2倍のビットレートで動作します。

また、SCR2.BGDM ビットを“1”にすると、基本クロックの周期が1/2倍になり、SCR2.BGDM ビットを“0”にした場合の2倍のビットレートで動作します。

SCR2.ABCS ビット=1かつSCR2.BGDM ビット=1にすることで、SCR2.ABCS ビット=0かつSCR2.BGDM ビット=0の場合の4倍のビットレートで動作することができます。

32.5.5 CTS、RTS 機能

CTS 機能は、CTS# 端子入力を使用して送信制御を行う機能です。SCR1.CTSE ビットを“1”にすると CTS 機能が有効になります。また、CTS# / RTS# 端子は、1 端子でどちらかの機能を使用する兼用設定と、2 端子でそれぞれの機能を同時に使用する専用の設定が可能です。SCR1.CRSEP ビットでその設定を行います。

CTS 機能が有効のとき、CTS# 端子入力が Low のときのみ送信動作を開始します。

送信開始後に CTS# 端子が High になっても、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTS# 端子出力を使用して送信要求を行う機能です。受信可能状態になると RTS# 端子に Low を出力します。Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件を全て満たす場合

- SCR0.RE ビットが“1”
- 読み出し前の受信データがない、かつ受信中でない
- SSR.ORER、AFER、APER フラグおよび MMSR.MCER、SBER (SBERIE = 1 の場合)、SYER (SYERIE = 1 の場合)、PFER (PFERIE = 1 の場合) フラグが全て“0”

[High になる条件]

Low になる条件を満たさない場合

32.5.6 マンチェスタデータ送信

データをマンチェスタ符号化して送信します。

極性設定 (MMCR.ENC5 ビット) が“0”に設定されている場合、論理コード 0 をマンチェスタコード 0 → 1 遷移に、論理コード 1 をマンチェスタコード 1 → 0 遷移に符号化します。

極性設定 (MMCR.ENC5 ビット) が“1”に設定されている場合、論理コード 0 をマンチェスタコード 1 → 0 遷移に、論理コード 1 をマンチェスタコード 0 → 1 遷移に符号化します。

そのため個々の論理データの間でマンチェスタ符号化したデータはレベル遷移が発生します (図 32.27 参照)。

送信部では、データに対してプリフェース領域の付加、スタートビット領域の設定を極性設定に従って、送信フレームのフォーマットを構築してシリアルデータの送信を行います。

フレームフォーマットについては「32.5.1 フレームフォーマット」を参照してください。

送信時のフローチャートは、図 32.33 に示します。送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にしてください。すると TXI 割り込み要求が発生します。

また、図 32.34 ~ 図 32.36 にマンチェスタモードのシリアル送信の動作例を示します。

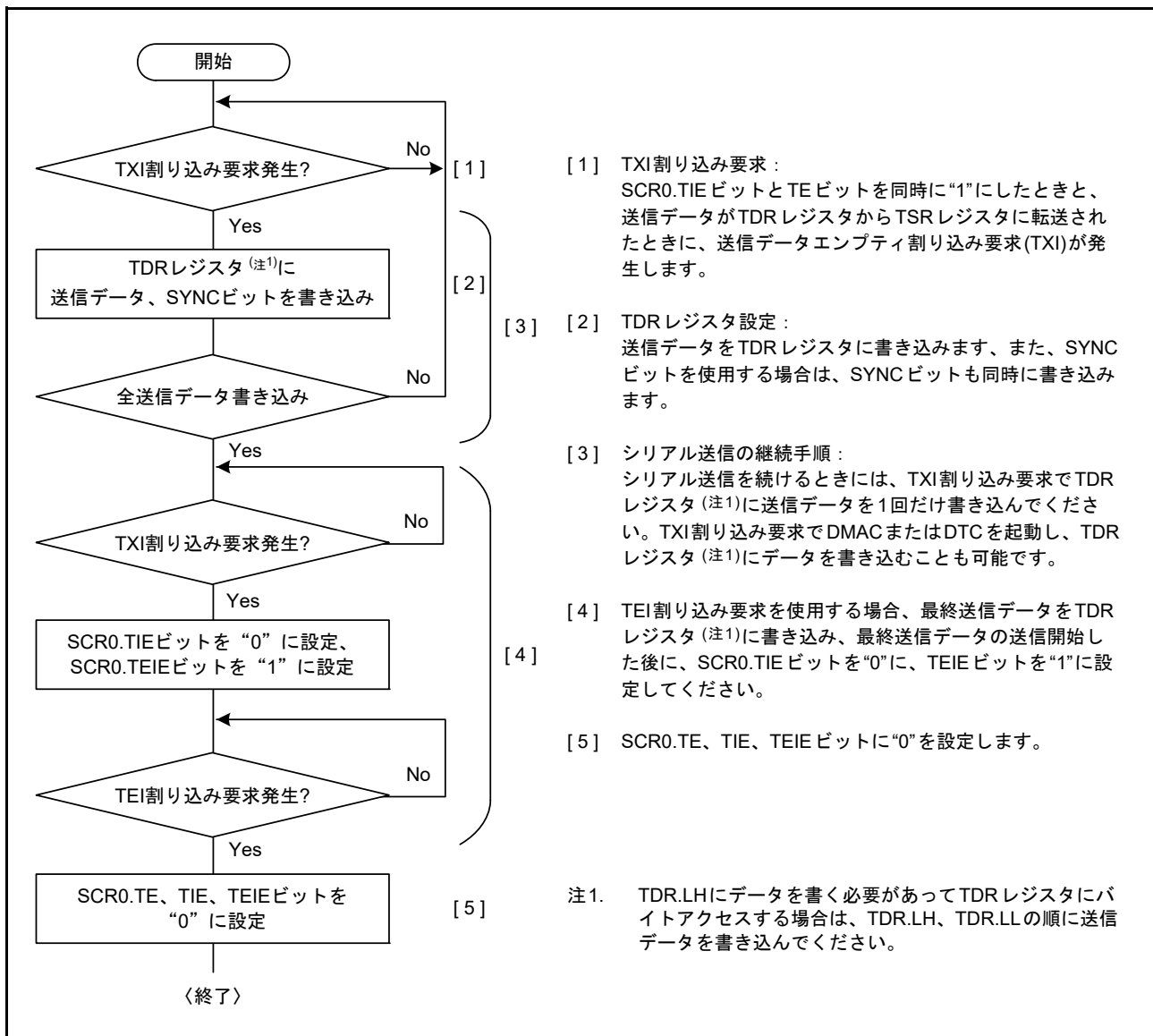


図 32.33 マンチェスタ送信フローチャート

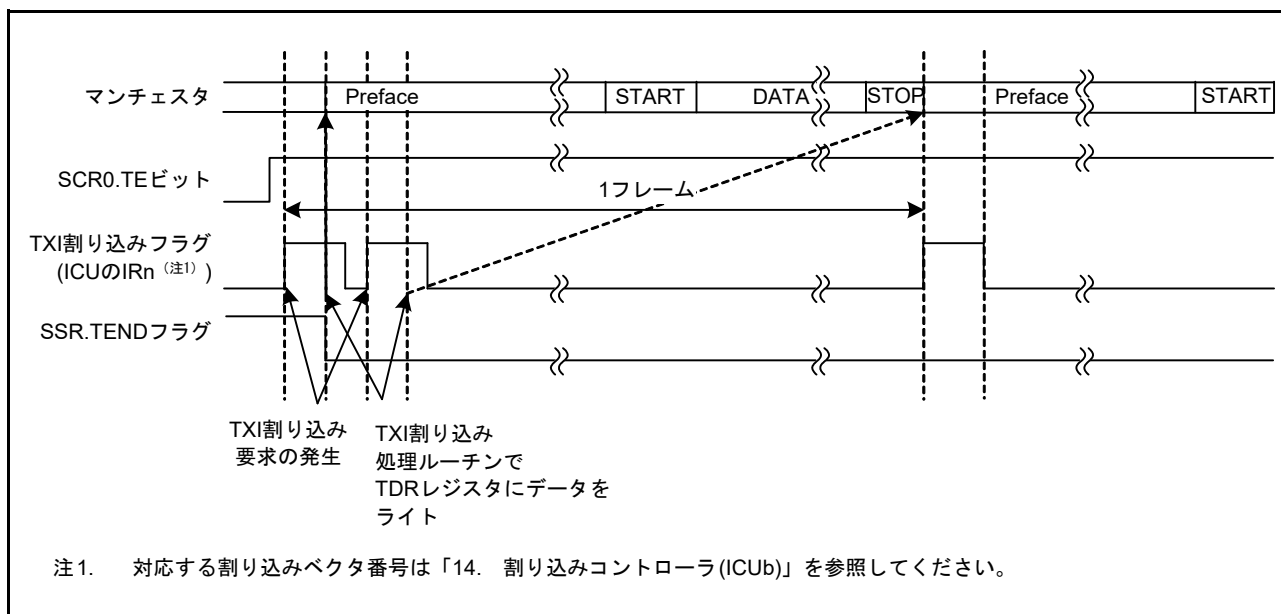


図 32.34 マンチェスタデータ送信例 (プリフェースあり /CTS 機能 OFF/ 送信開始)

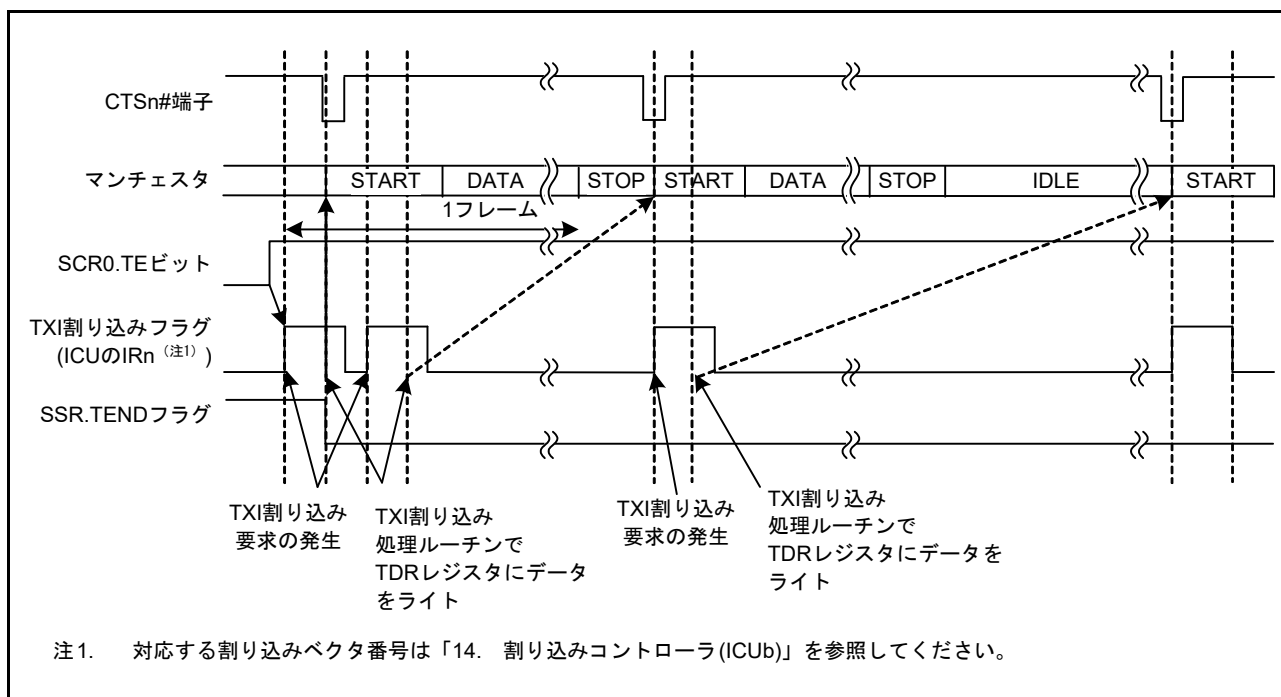


図 32.35 マンチェスタデータ送信例 (プリフェース無 /CTS 機能 ON/ 送信開始)

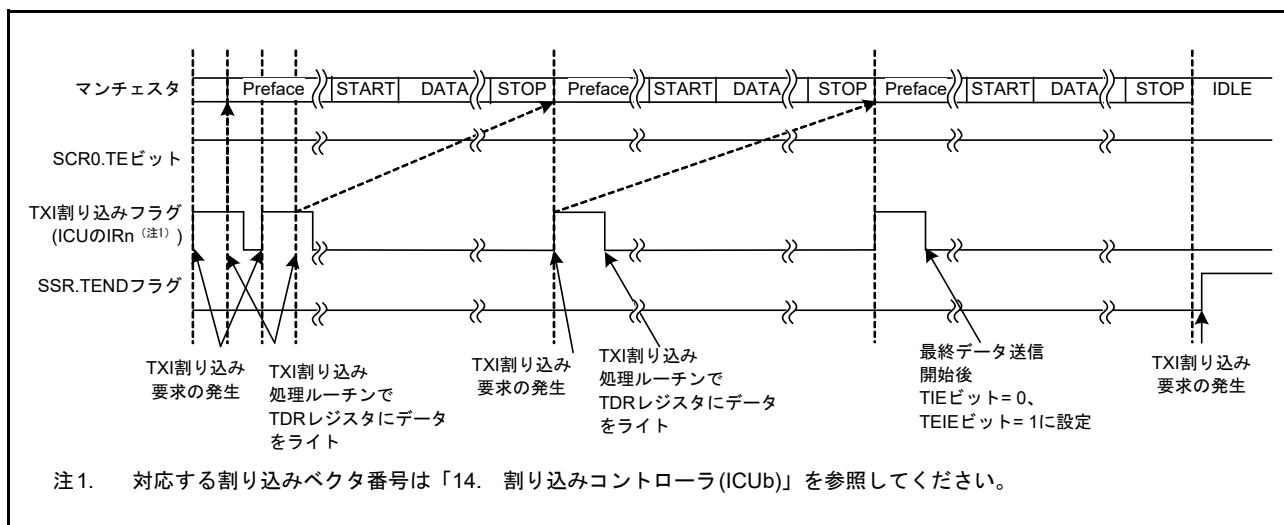


図 32.36 マンチェスタデータ送信例 (プリフェースあり /CTS 機能 OFF/ 送信完了)

32.5.7 マンチェスタデータ受信

マンチェスタモードでは、RSCIはビットレートの16倍(注1)の周波数の基本クロックで動作します。受信時は受信データの立ち下がりから基本クロックでサンプリングして受信を開始します。図32.37に示すように、受信データの立ち下がりから受信を開始し、1/4ビットまで受信データがLowを維持すればその後の受信を続けます。1/4ビット以前に受信データがHighに戻った場合は、再度立ち下がりエッジを待ちます。

ビット前半がHighを期待する受信データの場合は、基本クロック1サイクル分のLowであればノイズと判断し、そのLowへの変化を無視します。

注1. SCR2.ABCSビット=0の場合です。SCR2.ABCSビット=1の場合は、ビットレートの8倍の周波数の基本クロックで動作します。

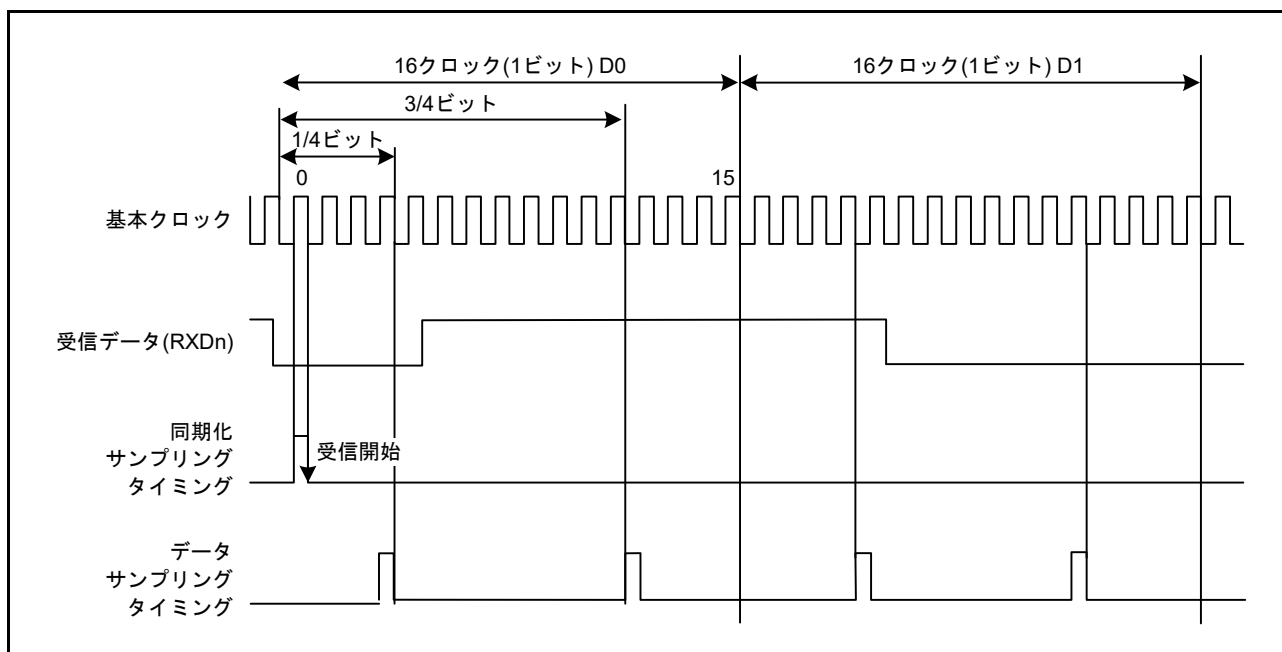


図 32.37 マンチェスタモードのデータ受信サンプリングタイミング

マンチェスタデータ受信では、まずプリフェースとスタートビットの検出を行います。

RXDn 端子からの入力に対して、MMCR.RPLEN[3:0] ビットの設定値からプリフェースが付加されているか判定します。

プリフェース無効 (MMCR.RPLEN[3:0] ビット = 0) 設定時は、プリフェース検出を行わずにスタートビット検出に移行します。

プリフェース有効時は、MMCR.RPPAT[1:0] ビットの設定値からプリフェースパターンを認識し、RXD 入力とパターン一致比較を行いプリフェースパターンの検出を行います。

プリフェースパターン一致を検出した時点で、正常プリフェースと判定し、スタートビット検出に遷移します。

プリフェースパターン不一致を検出した場合もしくはプリフェース領域でマンチェスタコードエラーを検出した場合は、プリフェースエラーと判定し、プリフェースエラーフラグ (PFER) をアサートします。

スタートビット検出はレジスタ設定 (MMCR.SBLEN ビット、SBPTN ビット) から期待値を選択し、RXD 入力に対してパターン一致比較を行い、スタートビットを検出します。スタートビットパターン一致を検出した時点で、正常スタートビットと判定しデータ処理に遷移します。

プリフェース検出とスタートビット検出が正常の場合のみ、続くデータ受信を行います。

スタートビットパターン不一致を検出した時点で、スタートビットエラーフラグ (SBER) をアサートします。

データ処理ではレジスタ設定 (SCR3.CHR[1:0] ビット) から受信データ長の期待値分のデータを、RSR レ

ジスタを通してシフトしていきます。受信データの1ビット内で2点のサンプリング点が同一である場合、マンチェスタコードエラーとして判断します。詳しくは、「32.5.11 マンチェスタモードにおけるエラー」(4)を参照して下さい。

パリティ機能がディセーブル(SCR1.PE ビット=0)の場合、ストップビット検出に移行します。パリティ機能がイネーブル(SCR1.PE ビット=1)の場合、パリティチェックを行います。パリティエラーを検出した場合、パリティエラーフラグ(APER)をアサートしその後、ストップビット検出に移行します。

ストップビット検出では受信フレームのストップビット領域で以下をチェックします。

1ビット内に2点のサンプリング点を持ち、2点とも High であれば正常なストップビットと認識しRDRレジスタへデータを格納します。1点でも Low であれば、異常なストップビットと判定しフレーミングエラーフラグ(AFER)をセットします。エラー検出時も異常データとして受信データはRDRレジスタへ格納します。

図 32.38 にマンチェスタモードの受信の動作例を示します。

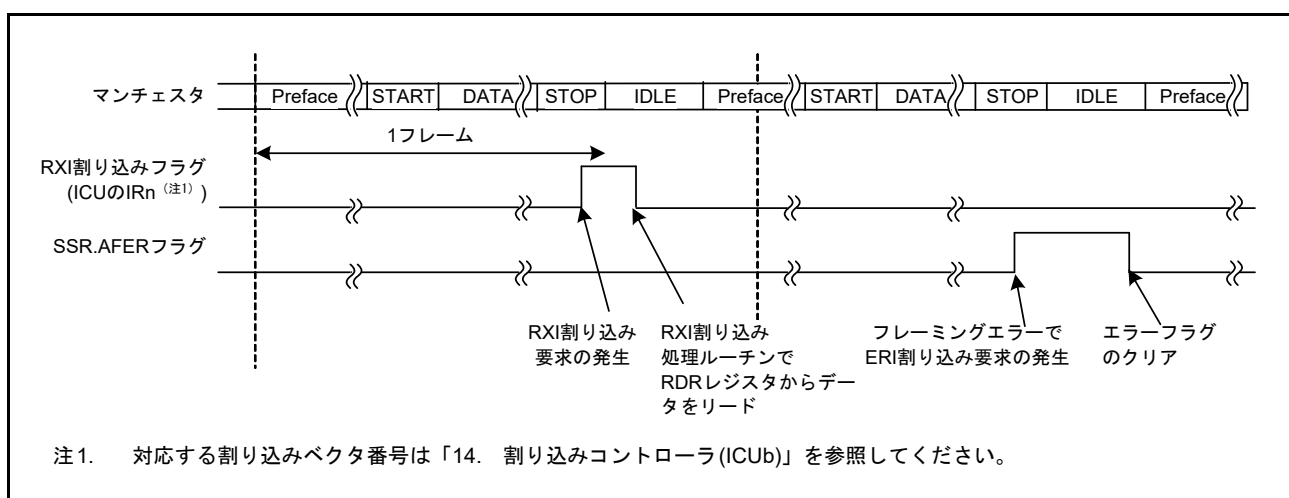


図 32.38 マンチェスタデータ受信(プリフェースあり)

受信エラーを検出した場合の、SSR レジスタおよび MMSR レジスタの各ステータスフラグの状態と RXD 入力の処理に関しては、「32.5.11 マンチェスタモードにおけるエラー」を参照してください。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、AFER、APER、MCER、SYER(注2)、PFER(注2)、SBER(注2)フラグをクリアしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 32.39、図 32.40 にシリアル受信のフローチャートの例を示します。

注2. 対応するイネーブルビットが“1”の場合有効となります

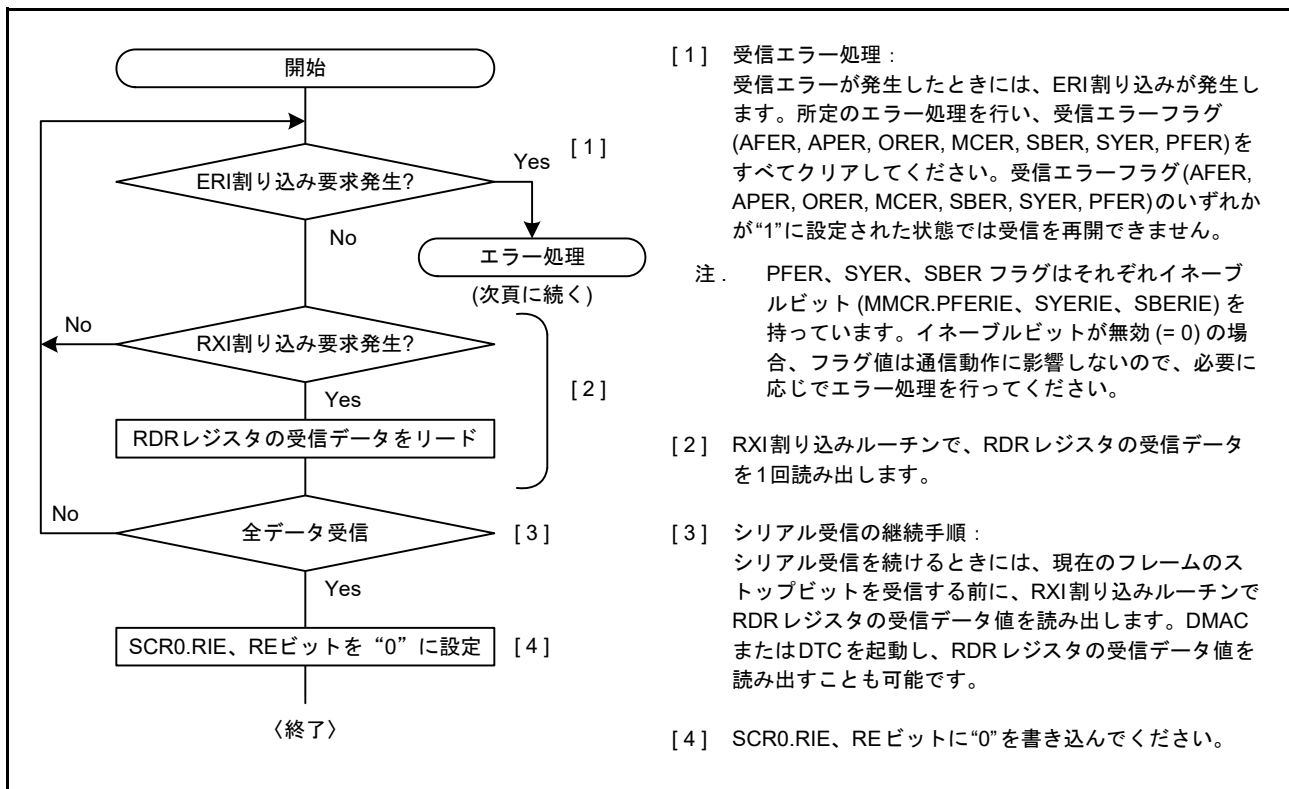


図 32.39 マンチェスタ受信フローチャート例 (通常)

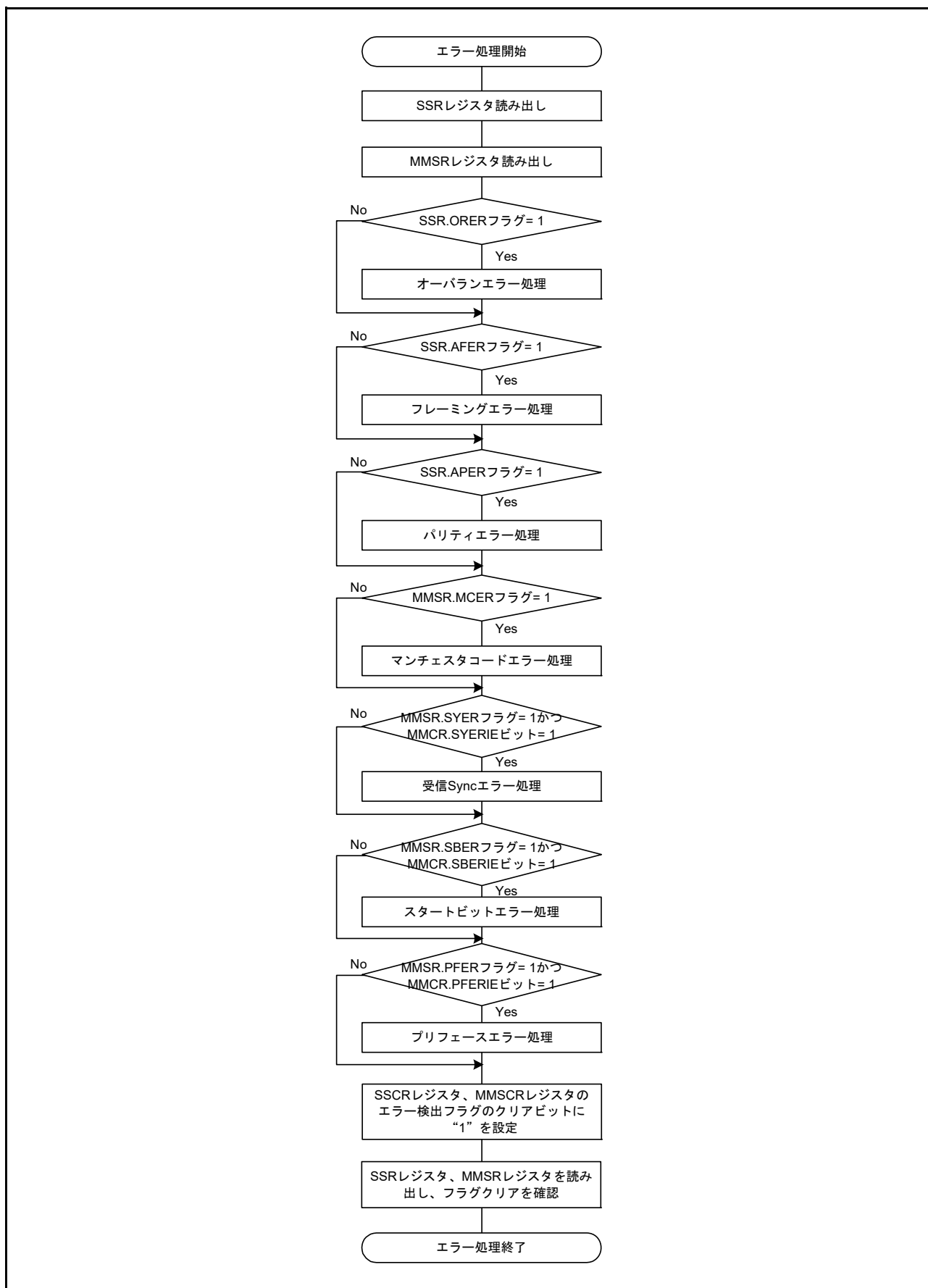


図 32.40 マンチェスタデータ受信フローチャート例 (エラー時)

32.5.8 マルチプロセッサビット使用時の動作

マルチプロセッサモード使用時のマンチェスタモードの動作については、「32.4 マルチプロセッサ通信機能」(1)と同じ動作になるので、そちらを参照してください。

マンチェスタモード時はフレームフォーマットにプリフェース、スタートビットを付加した形で読み替えてください。受信時のフローチャート(図 32.25)のエラー時処理については、マンチェスタモード時は図 32.40 を参照してください。各種エラー検出時の動作状態は、表 32.32 を参照してください。

32.5.9 受信リタイミング

マンチェスタコードがビット中央にエッジを持つことを利用して、そのビット中央エッジごとにタイミング補正を行う機能です。

受信リタイミング機能はレジスタ MMCR.SADJE ビットの設定によって、ON/OFF 設定が可能です。

受信リタイミング機能 OFF 時(MMCR.SADJE ビット=0)はリタイミングが行われないため、内部クロックと RXD 入力のずれが蓄積され、受信マージンが低下します

受信リタイミング機能 ON 時(MMCR.SADJE ビット=1)はプリフェース領域、スタートビット領域(注1)およびデータ領域(ストップビットを除く)でタイミング補正を行います。

注1. スタートビット領域に関して「プリフェース長=0」かつ「スタートビット3ビット」設定時はリタイミング対象外です。

例としてオーバサンプリング 16 倍設定時の受信リタイミングを示します。

RXD 入力のエッジを予定受信サイクルの 2~4 サイクル前に検出した場合、Sampling CLK で 1 サイクル受信処理を短縮します。

RXD 入力のエッジを予定受信サイクルの 2~3 サイクル後で検出した場合、Sampling CLK で 1 サイクル受信処理を伸ばします(クロックとデータのずれが 2 サイクル以上あっても、1 ビットあたりの補正幅としては 1 サイクルずつ補正します)。

図 32.41 に受信リタイミング範囲のイメージを示します。

図中の Tolerance 領域でエッジを検出した場合、補正は行わず、データを受け取ります。

図中の SyncJump 領域でエッジを検出した場合、補正を行い、データを受け取ります。

図中の SyncError 領域でエッジを検出した場合、補正は行わず、異常データとしてデータを受け取ります。

また、マンチェスタコードエラー(1/4 位相と 3/4 位相のサンプリングポイントでデータが一致した場合)はコードエラーとして値を受け取ります。

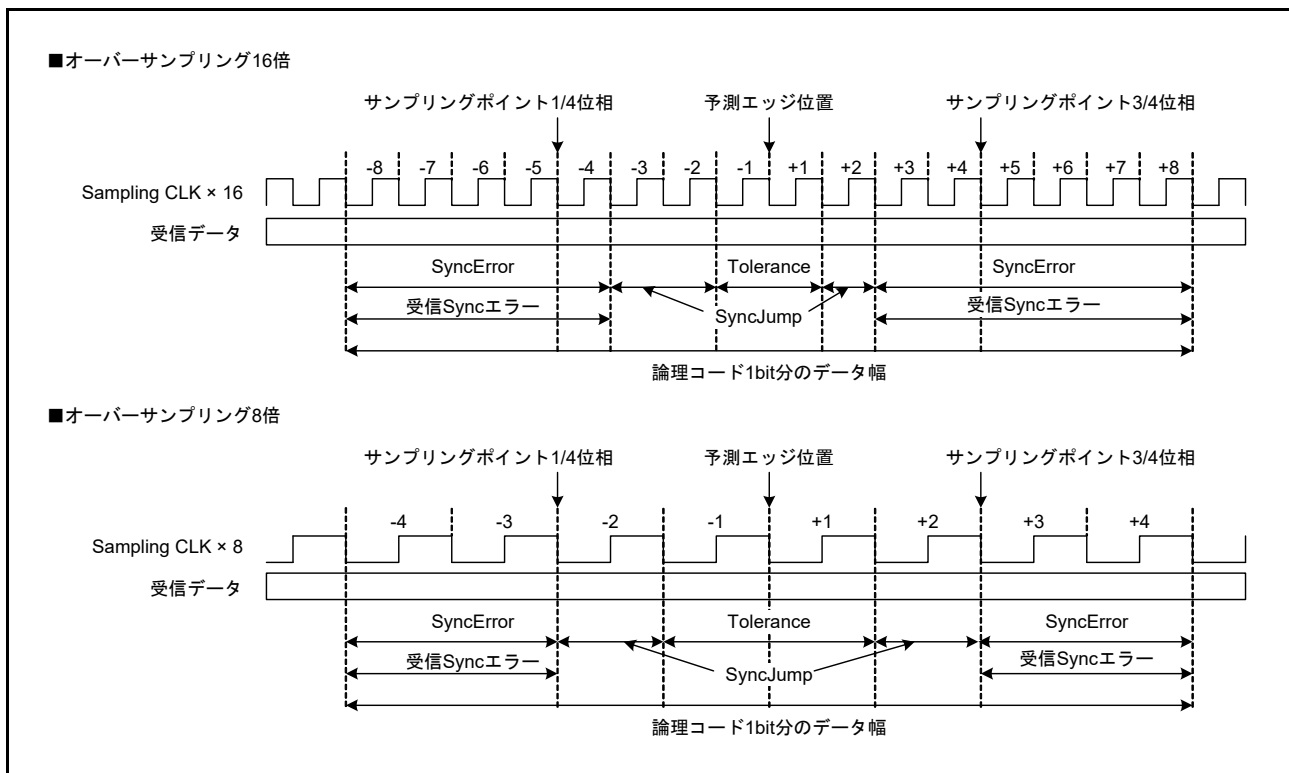


図 32.41 受信リタイミング範囲イメージ

32.5.10 マンチェスタコードの極性設定

マンチェスタモード制御レジスタ (MMCR) で、マンチェスタコードの極性設定が可能です。

送受信で別々に設定することが可能で、送信は MMCR.ENC5 ビット、受信は MMCR.DECS ビットにて設定することができます。

マンチェスタコードの極性設定の有効範囲はプリフェース領域、データ領域、パリティ/マルチプロセッサ領域となります。

マンチェスタコードの極性を初期設定 (ENC5/DECS ビット = 0) で処理した場合、論理コード 0 をマンチェスタコードで 0 → 1 遷移、論理コード 1 をマンチェスタコードで 1 → 0 遷移となりますが、設定を変更すると (ENC5/DECS ビット = 1)、論理コード 0 をマンチェスタコードで 1 → 0 遷移、論理コード 1 をマンチェスタコードで 0 → 1 遷移となります。設定と動作イメージを図 32.42 に示します。

また、データ領域に関しては上記機能とは別に送受信データインバート機能 (SCR3.DINV ビット) で送受信データを反転することができます。マンチェスタコードの極性設定 (MMCR.ENC5/DECS ビット) と送受信データインバート機能 (SCR3.DINV ビット) は、各々設定可能なので両方を反転 (MMCR.ENC5/DECS ビット = 1、SCR3.DINV ビット = 1) にした場合、両方の設定の有効範囲になっている送受信データは初期状態 (反転 + 反転 → 正転) となります。

スタートビット領域は、上記とは別なレジスタで極性を設定することが可能です。

設定レジスタが異なるため、上記のマンチェスタコードの極性設定の影響は受けません。

スタートビット領域の設定については、「32.5.1 フレームフォーマット」(2) を参照してください。

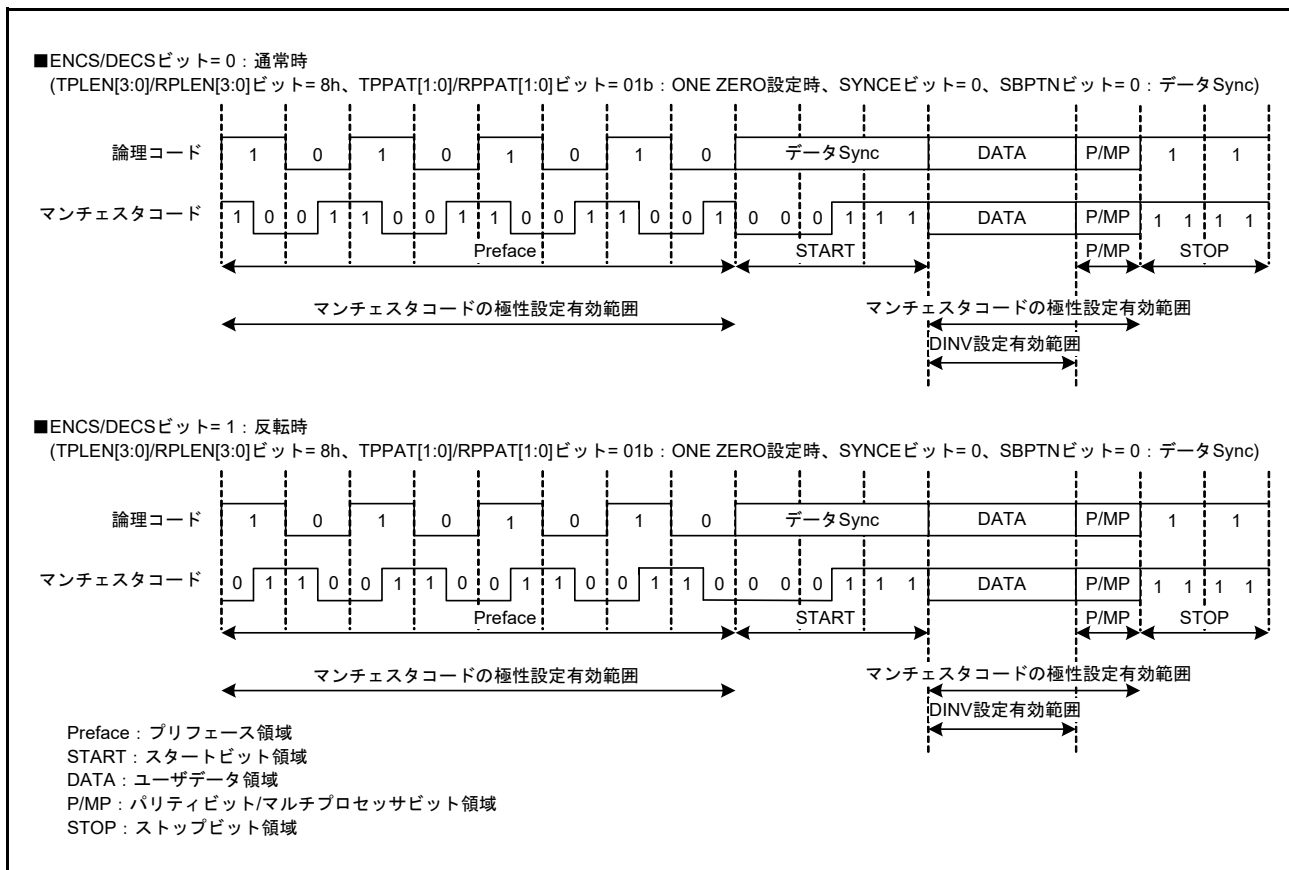


図 32.42 マンチェスタコードの極性設定有効範囲

32.5.11 マンチェスタモードにおけるエラー

マンチェスタモードでは、エラーに以下の種類があります。

- (1) パリティエラー
- (2) オーバランエラー
- (3) フレーミングエラー
- (4) マンチェスタコードエラー
- (5) プリフェースエラー
- (6) スタートビットエラー
- (7) 受信 Sync エラー

(1)～(3)のエラーに関しては、調歩同期式モードと同内容なので、「32.3.9 シリアルデータの受信 (調歩同期式モード)」(1)を参照してください。

各種エラーは各領域でその判定を行います。フラグや動作への反映は、STOP ビットの 3/4 ビットサンプリングのタイミングで行います。プリフェースエラーかスタートビットエラーを検出した場合は、以降のデータを受信しません。したがって、その他のエラー検出も行われず、エラーフラグは以前の情報を保持します。

エラーを検出した場合のシリアルステータスレジスタの状態と RDR レジスタへデータセットするかどうかの判定を表 32.30 に示します。また、マンチェスタフレームの各領域で検出可能なエラーを表 32.31 に示します。また、以前のフレームにエラーが検出されていた場合は、データを受信しませんが、プリフェース領域とスタートビット領域のエラーはそのフラグを更新します。この場合のフラグと動作を表したものを表 32.32 に示します。

(4) マンチェスタコードエラー

マンチェスタコードエラーは、マンチェスタコードのエラーを検出した場合にセットするエラーです。マンチェスタコードではビットの中央にエッジ(遷移)がないことはありません。

受信フレームのデータ領域(パリティ/マルチプロセッサビットを含む)で受信した1ビットごとのデータに対して、1/4 と 3/4 のサンプリングポイントの値をチェックし、この2点の値が一致した場合マンチェスタコードエラーと判定します。

マンチェスタコードエラーを検出した場合、マンチェスタコードエラーフラグ(MMSR.MCER)をアサートします。

マンチェスタコードエラーが発生した場合、割り込み要因になります。エラーを検出した場合、フラグをクリアするまで次の受信を行いません。

(5) プリフェースエラー

プリフェースエラーは、プリフェースパターン不一致または、プリフェース領域でマンチェスタコードエラーを検出した場合にセットするエラーです。プリフェースエラーを検出した場合、プリフェースエラーフラグ(MMSR.PFER フラグ)をアサートします。

また MMCR レジスタの設定でプリフェースエラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.PFERIE ビット=1の場合、プリフェースエラーは、割り込み要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.PFERIE ビット=0の場合、プリフェースエラーが発生しても割り込み要因にはならず、次の受信を停止することはありません。ただしプリフェースエラーとして、MMSR.PFER フラグに通知は行われません。

(6) スタートビットエラー

スタートビットエラーは、受信フレームのスタートビット領域に対して設定されたスタートビットパターンと比較し、不一致した場合にセットするエラーです。スタートビットエラーを検出した場合、スタート

ビットエラーフラグ (MMSR.SBER) をアサートします。

また MMCR レジスタの設定でスタートビットエラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.SBERIE ビット=1 の場合、スタートビットエラーは、割り込み要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.SBERIE ビット=0 の場合、スタートビットエラーが発生しても割り込み要因にはならず、次の受信を停止することはありません。ただしスタートビットエラーとして、MMSR.SBER フラグに通知は行われます。

(7) 受信 Sync エラー (SyncError)

「32.5.9 受信リタイミング」で記載した受信リタイミングイネーブルを ON とすると受信リタイミング動作を行います。

受信リタイミング動作が行われている時に、受信リタイミングの範囲内 (図 32.41 内 SyncroError の領域) でエッジ検出しなかった場合にセットするエラーです。受信 Sync エラーを検出した場合、受信 Sync エラーフラグ (MMSR.SYER) をアサートします。受信リタイミング対象外の領域では受信 Sync エラーは検出されません。

受信リタイミング動作が行われる、プリフェース領域 (注 1)、スタートビット領域 (注 1、注 2) およびデータ領域 (ストップビットを除く) でチェックを行います

また、MMCR レジスタの設定で受信 Sync エラーを割り込み要因に含めるか含めないかを選択することができます。

MMCR.SYERIE ビット=1 の場合、受信 Sync エラーは、割り込み要因になります。そしてエラーを検出した場合、フラグをクリアするまで次の受信を行いません。

MMCR.SYERIE ビット=0 の場合、受信 Sync エラーが発生しても割り込み要因にはならず、次の受信を停止することはありません。ただし、受信 Sync エラーとして、MMSR.SYER フラグに通知は行われます。

- 注 1. ビットの前半が High を期待するパターンで開始するフレームの場合は、リタイミング対象外です (プリフェース、およびスタートビット領域)。
- 注 2. スタートビット領域において、「プリフェース長=0」かつ「スタートビット3ビット」設定時はリタイミング対象外です。また、スタートビット3ビット設定時のスタートビット領域の1ビット目と2ビット目もリタイミング対象外です。

表32.30 ステータスフラグの状態と受信データの処理(マンチェスタモード)

SSRレジスタのステータスフラグ			MMSRレジスタのステータスフラグ				受信データ	受信エラーの状態(ERI割り込み生成)
ORER	AFER	APER	MCE R	SBER (注1)	PFER (注1)	SYER		
0	0	0	0	0	0	0	RDRへ転送	エラーなし
0	1	0	0	0	0	0	RDRへ転送	フレーミングエラー
0	0	1	0	0	0	0	RDRへ転送	パリティエラー
0	1	1	0	0	0	0	RDRへ転送	フレーミングエラー+パリティエラー
0	0	0	1	0	0	0	RDRへ転送	マンチェスタコードエラー
0	1	0	1	0	0	0	RDRへ転送	フレーミングエラー+マンチェスタコードエラー
0	0	1	1	0	0	0	RDRへ転送	パリティエラー+マンチェスタコードエラー
0	1	1	1	0	0	0	RDRへ転送	フレーミングエラー+パリティエラー+マンチェスタコードエラー
1	0	0	0	0	0	0	消失	オーバランエラー
1	1	0	0	0	0	0	消失	オーバランエラー+フレーミングエラー
1	0	1	0	0	0	0	消失	オーバランエラー+パリティエラー
1	1	1	0	0	0	0	消失	オーバランエラー+フレーミングエラー+パリティエラー
1	0	0	1	0	0	0	消失	オーバランエラー+マンチェスタコードエラー
1	1	0	1	0	0	0	消失	オーバランエラー+フレーミングエラー+マンチェスタコードエラー
1	0	1	1	0	0	0	消失	オーバランエラー+パリティエラー+マンチェスタコードエラー
1	1	1	1	0	0	0	消失	オーバランエラー+フレーミングエラー+パリティエラー+マンチェスタコードエラー
0	上記エラー組み合わせ			0	0	1	RDRへ転送	上記エラー+受信Syncエラー(注2)
1	上記エラー組み合わせ			0	0	1	消失	上記エラー+受信Syncエラー(注2)
保持	保持	保持	保持	0	1	0	消失	プリフェースエラー(注3)
保持	保持	保持	保持	1	0	0	消失	スタートビットエラー(注3)
保持	保持	保持	保持	0	1	1	消失	プリフェースエラー(注3)+受信Syncエラー(注2)
保持	保持	保持	保持	1	0	1	消失	スタートビットエラー(注3)+受信Syncエラー(注2)

注1. プリフェースエラーとスタートビットエラーは、同時に“1”にセットされません。

注2. MMCR.SYERIE = 1の場合、SYER要因でERI割り込みが生成されます。

注3. MMCR.PFERIE = 1およびMMCR.SBERIE = 1の場合に、対応するフラグセットされるとERI割り込みが生成されます。

表32.31 各領域で検出可能なエラー

	プリフェースエラー (PFER)	スタートビットエラー (SBER)	マンチェスタコードエラー (MCE R)	受信Syncエラー (SYER)	パリティエラー (APER)	フレーミングエラー (AFER)
プリフェース領域	○	—	—(注1)	○(注2)	—	—
スタートビット領域	—	○	—	○(注2)	—	—
データ領域	—	—	○	○	—	—
パリティビット領域	—	—	○	○	○	—
マルチプロセッサビット領域	—	—	○	○	—	—
ストップビット領域	—	—	—	—	—	○

○：検出、—：未検出

注1. プリフェース領域でマンチェスタコードエラーが発生した場合、プリフェースエラーになります。

注2. 受信Syncエラー検出の対象外の場合があります。詳細は「32.5.11 マンチェスタモードにおけるエラー」(7)の注記を参照してください。

表 32.32 以前のフレームのエラー有無による動作状態およびマルチプロセッサモード時の動作状態一覧(SCR0.MPIEビット=0の場合)

以前のフレーム	当該フレームの各領域					PFE RIE	SBE RIE	SYE RIE	受信データ	エラーフラグ	割り込み
	プリフェース	スタートビット	データ	パリティビット	ストップビット						
エラーなし	PFERあり、SYERなし(注1)	エラーなし	—	—	—	0	—	—	消失	PFERセット(注1)	出力しない
						1					出力する
	エラーなし	SBERあり、SYERなし(注1)	—	—	—	—	0	—	消失	SBERセット(注1)	出力しない
							1				出力する
	SYERあり、PFERなし	エラーなし	—	—	—	—	—	0	RDRへ転送	SYERセット	出力しない
								1	消失		出力する
	エラーなし	SYERあり、SBERなし	—	—	—	—	—	0	RDRへ転送	SYERセット	出力しない
								1	消失		出力する
	エラーなし	エラーなし	SYERあり		エラーなし	—	—	0	RDRへ転送	SYERセット	出力しない
	エラーなし	エラーなし	MCERあり		エラーなし	—	—	—	RDRへ転送	MCERセット	出力する
エラーなし	エラーなし	—	APERあり	エラーなし	—	—	—	RDRへ転送	APERセット	出力する	
エラーなし	エラーなし	—	—	AFERあり	—	—	—	RDRへ転送	AFERセット	出力する	
エラー含む					—	—	—	消失	セットする(注2)	出力する	
ORERあり					—	—	—	消失	ORERセット	出力する	
エラーあり(注3、注5)	PFERあり、SYERなし(注1)	エラーなし	—	—	—	0	—	—	消失	PFERセット(注1)	出力する(注4)
						1					
	エラーなし	SBERあり、SYERなし(注1)	—	—	—	—	0	—	—	SBERセット(注1)	
							1				
	SYERあり、PFERなし	エラーなし	—	—	—	—	—	0	—	SYERセット	
								1			
	エラーなし	SYERあり、SBERなし	—	—	—	—	—	0	—	SYERセット	
								1			
	エラーなし	エラーなし	SYERあり		エラーなし	—	—	0	—	セットしない	
	エラーなし	エラーなし	MCERあり		エラーなし	—	—	—			
エラーなし	エラーなし	—	APERあり	エラーなし	—	—	—	—	—		
エラーなし	エラーなし	—	—	AFERあり	—	—	—				
エラー含む					—	—	—	—	—		
ORERあり					—	—	—				
エラーなし	エラーなし	エラーなし	エラーなし	エラーなし、ORERあり	—	—	—	消失	ORERセット	出力する	

注1. SYERもあった場合は、SYERフラグもセットされ、他の動作は表のとおりです。

注2. ORER含む、その他のエラーフラグをセットします。

- 注3. STOPビット判定前にエラー要因が取り除かれ、フラグがクリアされた場合は、上記の以前のフレームにエラーなしと同じ動作となります。
- 注4. ERIエラーはレベル出力のため、当該フレームのエラー有無にかかわらず、以前のフレームのエラーによりアクティブのままとなります。
- 注5. MMSR.PFER、SBER、SYERフラグについては、各ENビットがディセーブル設定時はエラーなしとして扱います。

表32.33 マルチプロセッサモード時の動作状態一覧(SCR0.MPIEビット=1の場合)

MPB (注1)	当該フレームの各領域					PFE RIE	SBE RIE	SYE RIE	受信 データ	エラー フラグ	割り込み
	プリ フェース	スタート ビット	データ	パリティ ビット	ストップ ビット						
1	エラーなし	エラーなし	—	—	—	—	—	—	RDRへ 転送	エラーあればそれを反映	出力する (注2)
	PFERなし、SYERあり(注3)	SBERなし、SYERあり(注3)	—	—	—	—	—	0			
	PFERあり	エラーなし	—	—	—	—	—	—	消失	セットしない	出力しない
	エラーなし	SBERあり	—	—	—	—	—	1			

- 注1. 受信したMPBフラグ=0なら受信せず、表の受信データ消失と同じ動作となります。
- 注2. エラーがない場合はRXIの割り込みを出力、エラー検出の場合はERIの割り込みを出力します。
- 注3. SYERがプリフェース領域かスタートビット領域で検出された場合、MMCR.SYERIEビットによってエラーとして扱うかの動作が変わります。

32.6 HBS サポートモード

HBSR.HBSE ビットを“1”にすると、ホームバスシステムが要求する信号波形 (AMI、50% デューティ、負論理) を生成するための負論理 RZI 符号に対応します。本機能は調歩同期式モードでのみ動作するため、設定や送信、受信フローは調歩同期式モードを参照してください。

32.6.1 HBS サポートモードの受信

HBS サポートモードの受信では、RXDn 端子からの入力の立ち下がりエッジを検出し、スタートビットと認識した以降の信号を受信します。設定したビットレートに従って1フレーム分のサンプリングを行い、STOP ビットまでエラー無く正しく受信できた場合、受信データレジスタ RDR にデータ値を格納します。

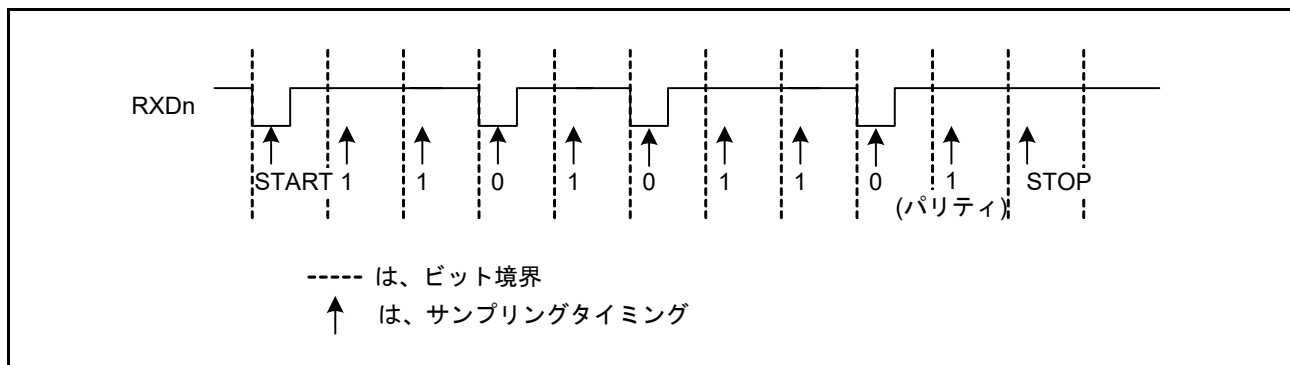


図 32.43 HBS サポートモードの受信タイミング図

HBS サポートモードの受信は、1 ビット期間の前半のパルスを取り込むために、1 ビットの 1/4 のタイミングでサンプリングする必要があります。サンプリングは、調歩同期式と同じくビットレートの 16 倍 (注 1) の周波数を基本クロックとして動作します。スタートビットの検出は RXD の立ち下がりから Low を基本クロックで連続 4 回検出することで行います。途中で High を検出した場合、ノイズとみなし次の立ち下がりを待ちます。

サンプリングタイミングを 1 ビット期間の 1/4 の位置にするため、SCR4.RTADJ ビットで受信サンプリングタイミング調整機能を有効にし、SCR4.RTMG[3:0] ビットを“1100b”にして、調整前のサンプリングタイミングであるビット中央から基本クロックの 4 クロック分前方に調整します。

受信サンプリングタイミング調整機能を使ってサンプリングタイミングを前後に調整することができるため、受信状態に応じてこのタイミングを調整することが可能になります。RTMG[3:0] ビット値を“1100b”から大きくするとサンプリングタイミングを前に、小さくすると後ろに移動させることができます。調整の詳細は「32.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」を参照してください。

スタートビットの認識後は、設定したビットレートに従ったタイミングのサンプリングを行いますが、波形の Low 幅や High 幅のチェックは行いません。したがって、通常の調歩同期式波形でも受信可能です。

注 1. HBS サポートモードでは SCR2.ABCS ビット = 0 かつ SCR2.ABCSE ビット = 0 のみサポートします。

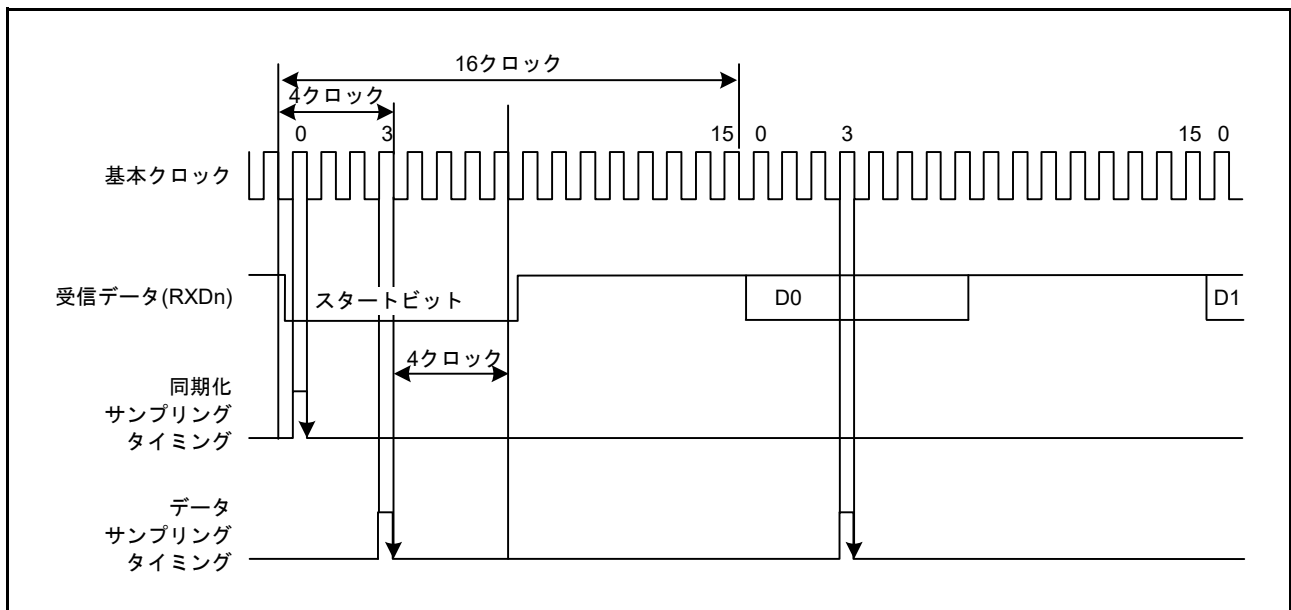


図 32.44 HBS サポートモードの受信サンプリングタイミング詳細

32.6.2 HBS サポートモードの送信

HBS サポートモードの送信は、データ“0”を1ビット期間の前半だけ Low パルスとして出力します。

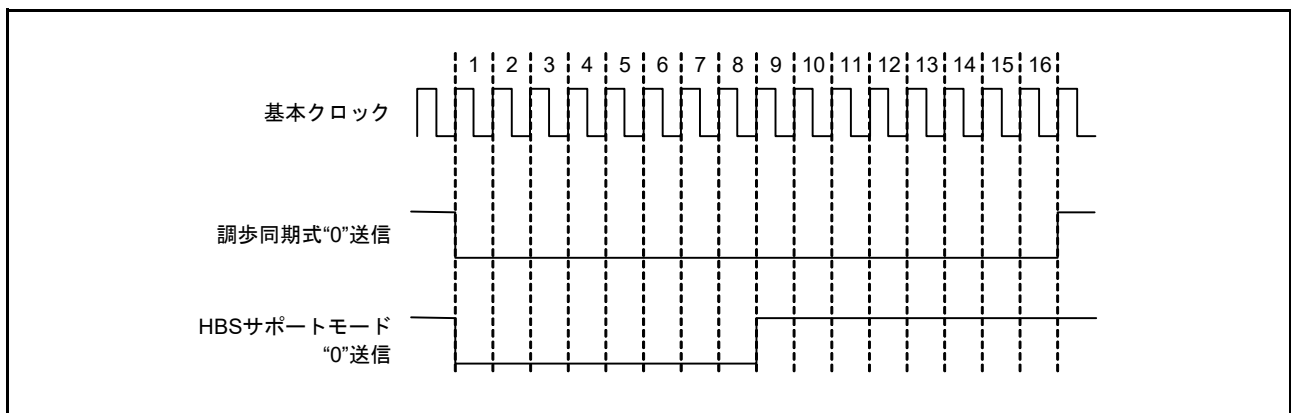


図 32.45 HBS サポートモードの送信波形

HBSCR.AOE ビット=0 の場合はすべてのビットを TXDn 端子から出力し、HBSCR.AOE ビット=1 の場合はデータ“0”を TXDAn 端子と TXDBn 端子から交互に出力します。どちらの送信端子からスタートビットの出力を開始するかを HBSCR.LPS ビットで選択します。

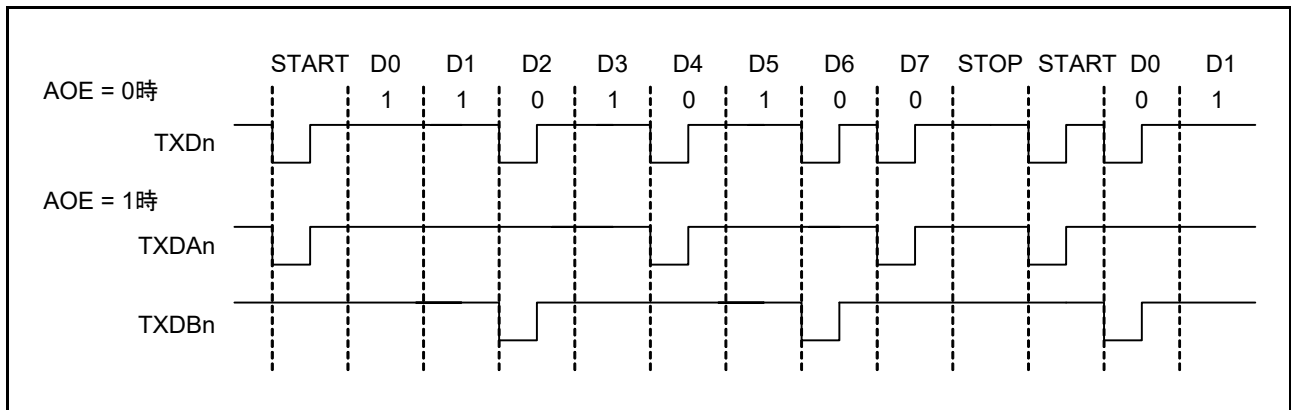


図 32.46 AOE ビットによる送信波形の違い (LPS ビット = 0 時)

図 32.46 は、HBSCR.AOE ビットの値による送信波形の違いの例です。AOE ビット = 0 のときは、TXDn 端子から波形が出力されますが、AOE ビット = 1 のときは、スタートビットを含むデータ “0” が TXDAn 端子と TXDBn 端子から交互に出力されます。

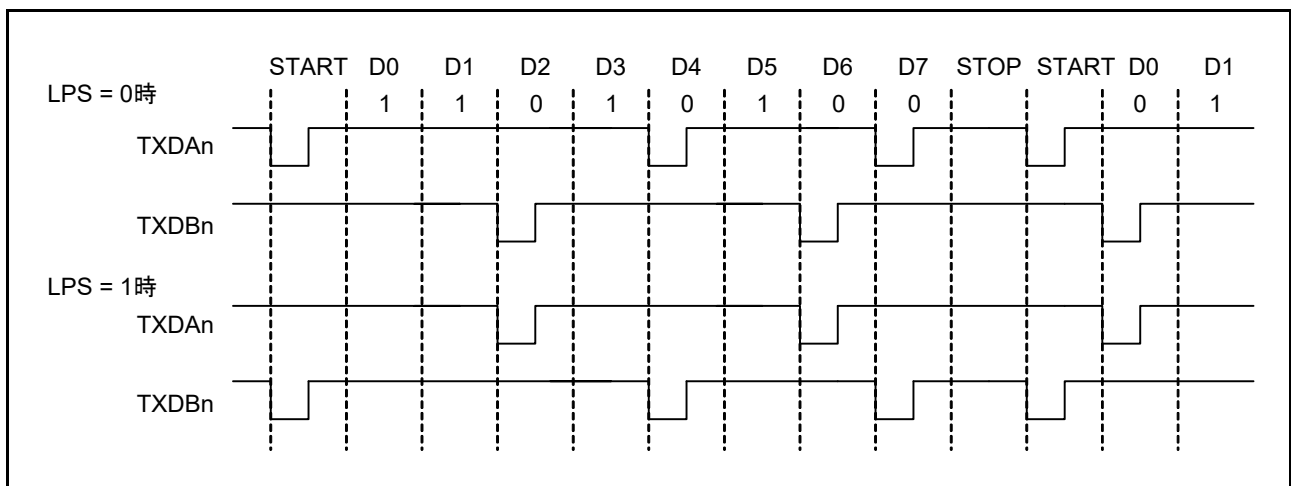


図 32.47 LPS ビットによる送信波形の違い (AOE ビット = 1 時)

図 32.47 は、HBSCR.LPS ビットの値による送信波形の違いの例です。LPS ビット = 0 のときは TXDAn 端子から、LPS ビット = 1 のときは TXDBn 端子からスタートビットの出力を開始し、データ “0” をそれぞれの端子から交互に出力します。次のフレームのスタートビットは、再び LPS ビットで指定した端子から出力開始します。

他のビットの設定に関わらず、HBSCR.HBSE ビット = 0 の場合は、TXDBn 端子は High になります。SCR0.TE ビット = 0 の場合は TXDn/TXDAn/TXDBn 端子ともハイインピーダンスになりますが、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットによって制御することができます。このとき、TXDn/TXDAn/TXDBn 端子とも同じ出力になります。

32.6.3 HBS サポートモードのレジスタ設定

HBS サポートモードは調歩同期式の1機能ですが、本機能ではサポートしていない設定があります。制御レジスタの各ビットを表 32.34 のように設定して使用してください。未記載のレジスタ、ビットは調歩同期式と同様の設定が可能です。

表 32.34 HBSサポートモードの制御レジスタ設定値

レジスタビット	設定値	備考
SCR0.DCME	0	データ一致検出機能無効で使用してください
SCR1.NFCS[2:0]	000b	ノイズフィルタ使用時はこの設定としてください
SCR1.HDSEL	0	TXDn端子での半二重通信は使用できません
SCR1.CTSE	0	CTS機能禁止で使用してください
SCR2.BRME	0	モジュレーション機能は使用できません
SCR2.ABCSE	0	基本クロック6サイクルで1ビットの設定は使用できません
SCR2.ABCS	0	基本クロック16サイクルで1ビットの設定のみ使用可能です
SCR3.CKE[1:0]	00b	内部クロック、出力なしで使用してください
SCR3.DEEN	0	RS-485ドライバ機能は無効で使用してください
SCR3.MOD[2:0]	000b	調歩同期式モードに設定してください
SCR3.RXDESEL	1	RXDn端子入力の立ち下がリエッジでスタートビットを検出して通信してください
SCR3.STOP	0	1ストップビットで使用してください
SCR3.DINV	0	データ反転せずに使用してください
SCR3.DDIR	1	LSBファーストで通信してください
SCR3.CHR[1:0]	10b	8ビット長で通信してください
SCR4.RTMG[3:0]	1100b	HBSサポートモードの受信時はこの設定にしてください 注. 有効パルスの中央タイミングです。必要な場合は調整可能です
SCR4.TTADJ	0	送信タイミング調整機能は無効で使用してください
SCR4.RTADJ	1	HBSサポートモードの受信時はこの設定にしてください

32.7 スマートカードインタフェースモードの動作

RSCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

32.7.1 接続例

図 32.48 にスマートカード (IC カード) との接続例を示します。

IC カードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR0.TE ビット = 1、SCR0.RE ビット = 1 にすると、閉じた送信 / 受信が可能となり自己診断をすることができます。

RSCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

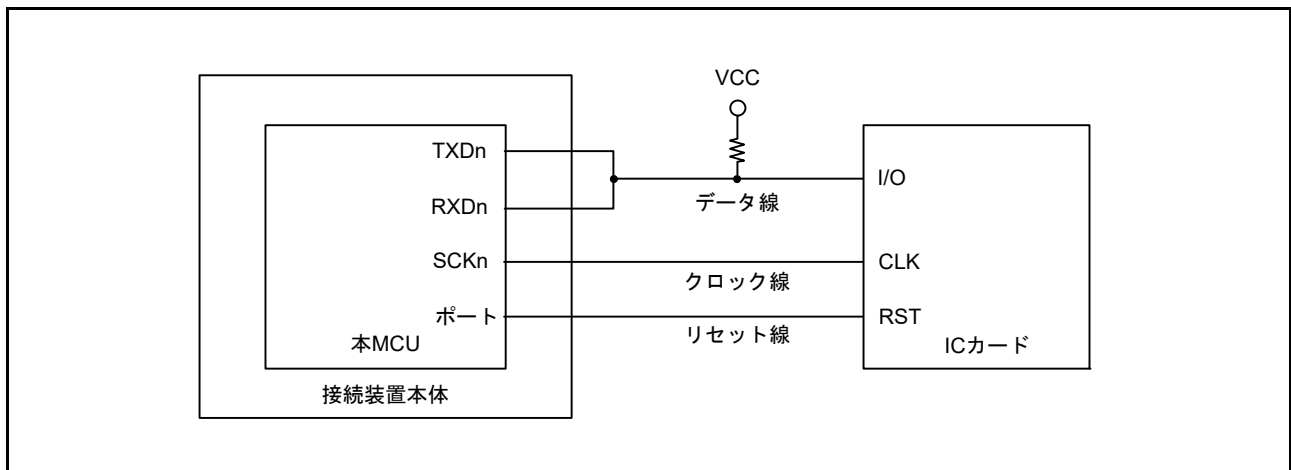


図 32.48 スマートカード (IC カード) との接続例

32.7.2 データフォーマット (ブロック転送モード時を除く)

図 32.49 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

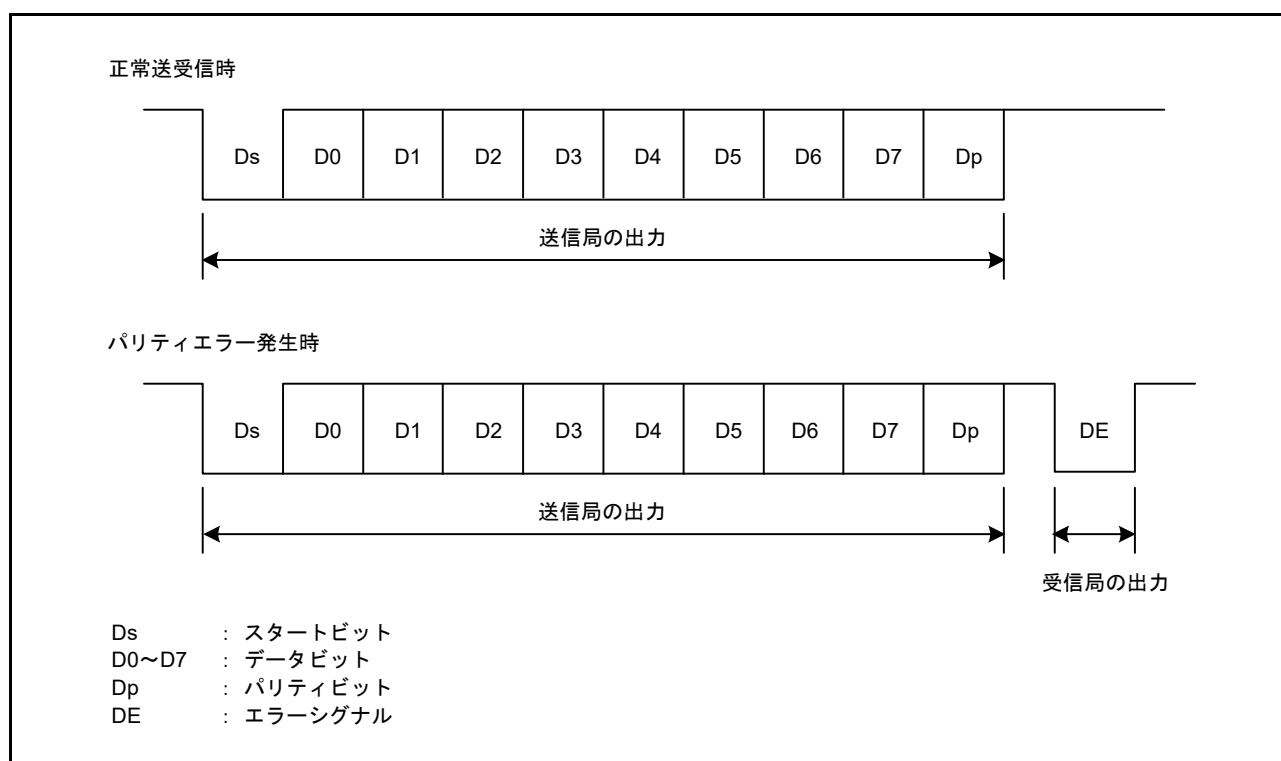


図 32.49 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 32.50** に示す開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。**図 32.50** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCR3.DDIR ビットを“1”に SCR3.DINV ビットを“0”にしてください。また、スマートカードの規定により偶数パリティとなるよう SCR1.PM ビットを“0”にしてください。

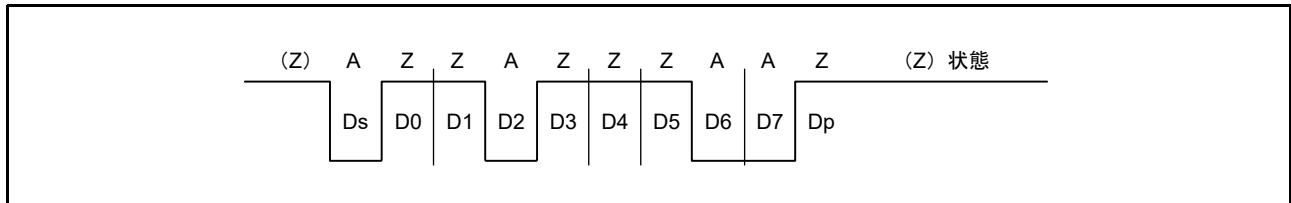


図 32.50 ダイレクトコンベンション
(SCR3.DDIR ビット = 1、SCR3.DINV ビット = 0、SCR1.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。**図 32.51** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCR3.DDIR ビットを“0”に SCR3.DINV ビットを“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理0となり、状態Zが対応します。

本MCUでは、DINV ビットはデータビット D7～D0のみ反転させます。このため、送受信とも SCR1.PM ビットを“1”にしてパリティビットを反転させてください。

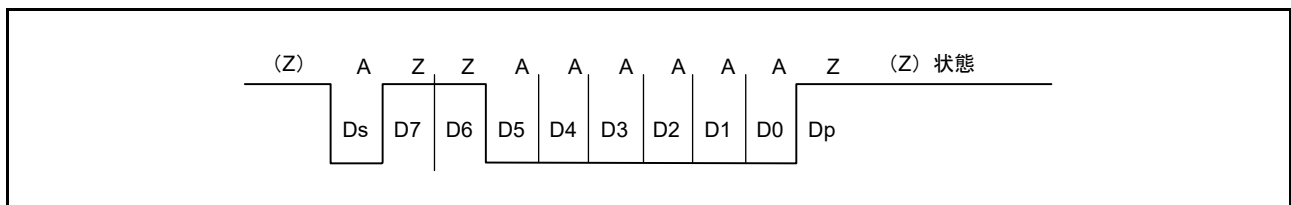


図 32.51 インバースコンベンション
(SCR3.DDIR ビット = 0、SCR3.DINV ビット = 1、SCR1.PM ビット = 1)

32.7.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSR.APER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

32.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成した基本クロックのみです。

スマートカードインタフェースモードでは、SCR2.BCP[2:0] ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、512倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして同期化します。図 32.52 に示すように、受信データを基本クロックのそれぞれ16、32、186、128、46、64、93、256クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 (\%)$$

M: 受信マージン(%)

N: クロックに対するビットレートの比(N = 32, 64, 372, 256)

D: クロックデューティ (D = 0 ~ 1.0)

L: フレーム長(L = 10)

F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 (\%) = 49.866 (\%)$$

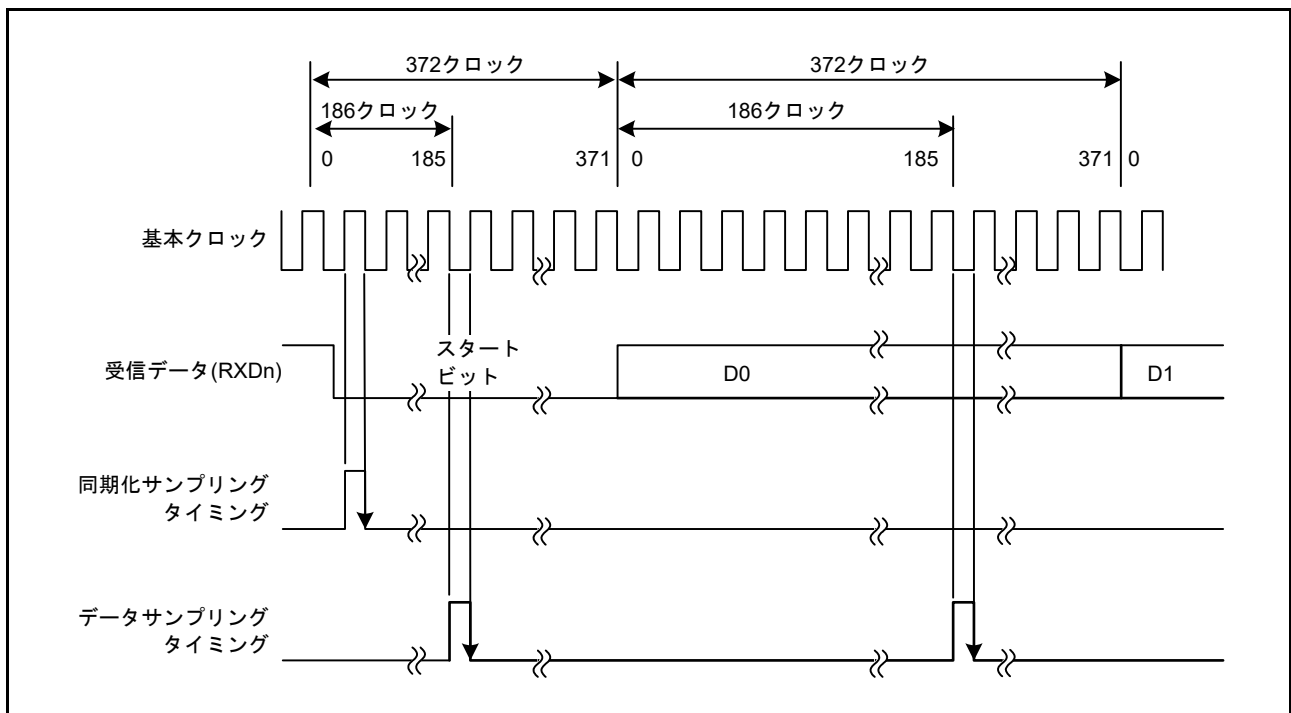


図 32.52 スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)

32.7.5 RSCIの初期化(スマートカードインタフェースモード)

データの送受信の前に、SCR0.TE ビットと SCR0.RE ビットに“0”を書き込み(SCR0レジスタに初期値を書き込むでも可)、**図 32.53**のフローチャート例に従って初期化してください。

送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいては、SCR0.TIE、RIE、TE、RE、TEIE ビットを初期値にしてから変更してください。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。また、送信モード時、TIE ビットは TE ビットと同時に“1”にしてください。すると TXI 割り込み要求が発生します。受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット = 1、RE ビット = 0 にしてください。受信動作の完了は、RXI 割り込み要求、SSR.ORER、あるいは APER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット = 0、RE ビット = 1 にしてください。送信動作の完了は SSR.TEND フラグで確認できます。

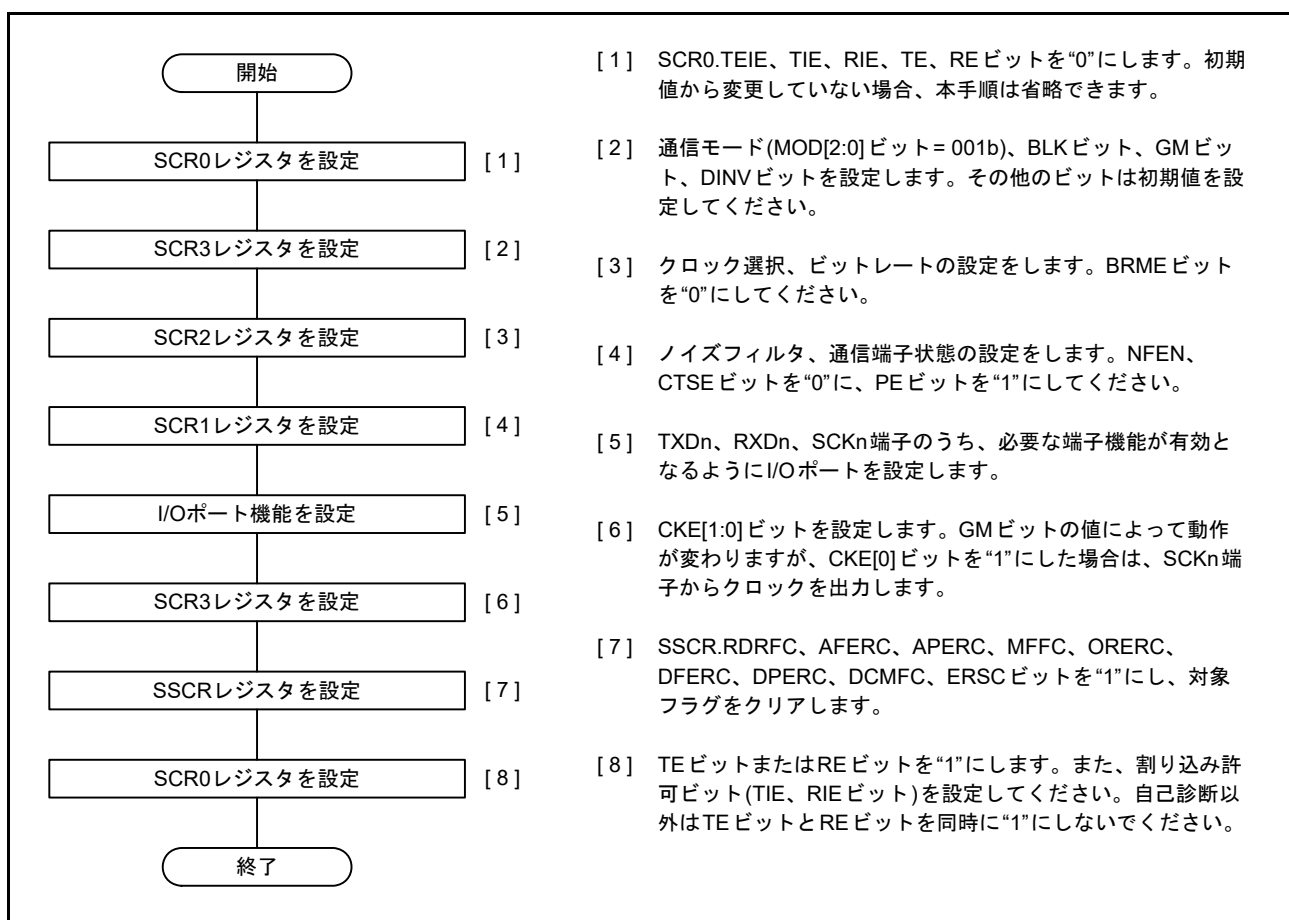


図 32.53 RSCIの初期化フローチャートの例(スマートカードインタフェースモード)

図 32.54 は、前記フローチャートに従って、スマートカードインタフェースモードへ遷移させて、データ送信を行った場合のタイミング図です。図は SCR3.GM ビット = 0 の場合を示します。図に示すように、端子機能を SCKn 端子に設定した時点では、SCR3.CKE[0] ビットが“0”であるため SCKn 端子はハイインピーダンスです。また、TXDn 端子に設定した時点では SCR0.TE ビットが“0”であるため TXDn 端子はハイインピーダンスです。SCR3.CKE[0] ビット = 1 のクロック出力設定で SCKn 端子にクロック出力を開始し、SCR0.TE ビット = 1 の後、送信データのライトによって、データ送信を開始します。

スマートカードインタフェースモードでは、SCR0.TE ビット = 0 および SCR0.RE ビット = 0 の通信をしていない場合でも、クロック出力設定としていればクロックを出力し続けます。

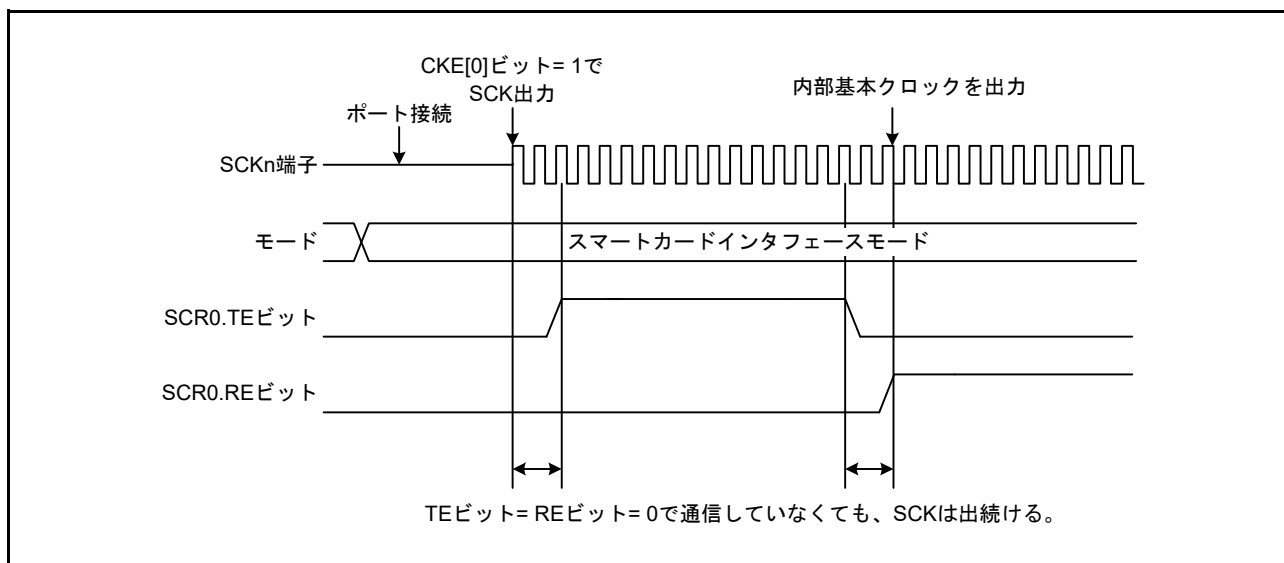


図 32.54 スマートカードインタフェースモード時のデータ送信タイミング例

32.7.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 32.55 に示します。

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”になります。このとき SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR0.TIE ビットが“1”であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

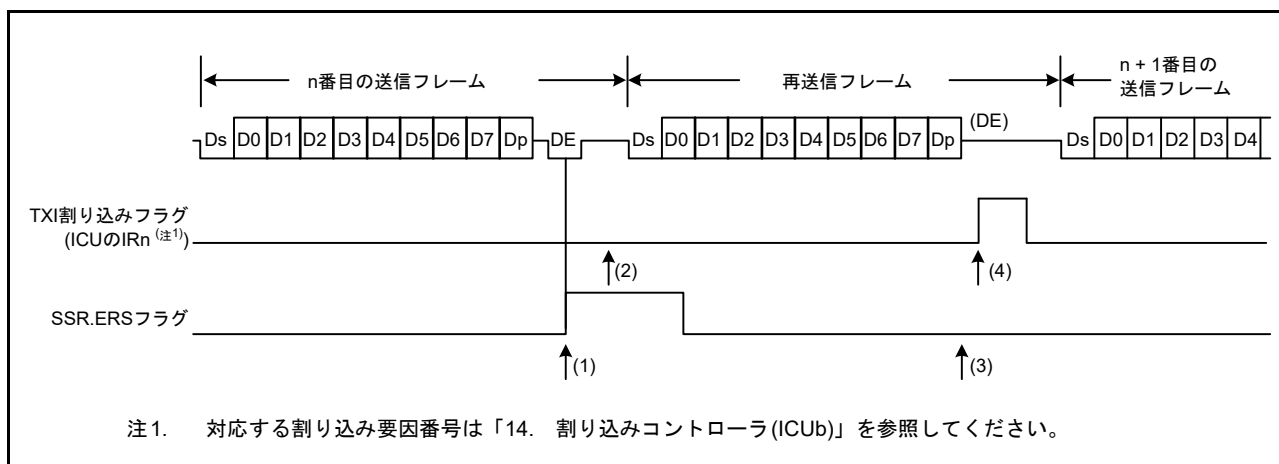


図 32.55 RSCI 送信モードの場合の再送信動作 (送信時の再送信動作)

送信処理フローの例を図 32.57 に示します。これら一連の処理は TXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。

送信動作では、TEND フラグが“1”にセットされると、SCR0.TIE ビットを“1”に設定しておくことで TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的にクリアされます。

エラーが発生した場合は RSCI が自動的に同じデータを再送信します。この間 TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、RSCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを“1”にし、エラー発生時に ERI 割り込み要求が発生させ、ERS フラグをクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSCI の設定を行ってください。

DTC または DMAC の設定方法は「17. DMA コントローラ (DMACA)」、「18. データトランスファコントローラ (DTCb)」を参照してください。

なお、SCR3.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 32.56 に

TEND フラグをセットするタイミングを示します。

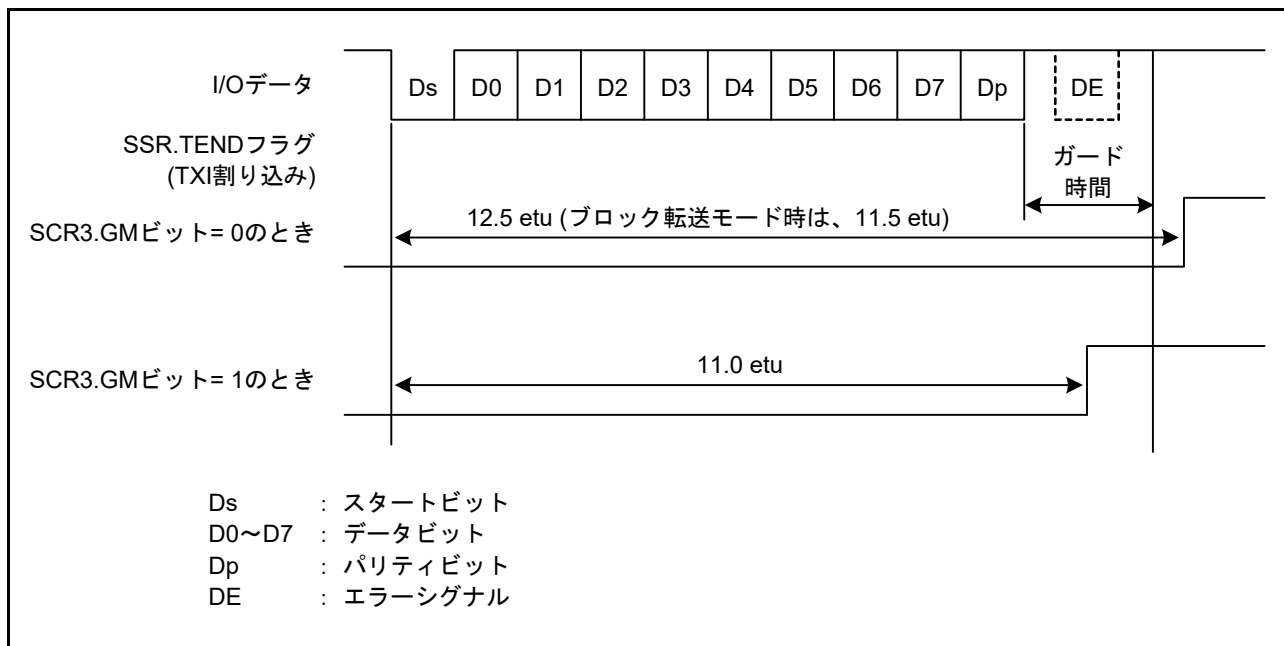


図 32.56 送信時の SSR.TEND フラグセットタイミング

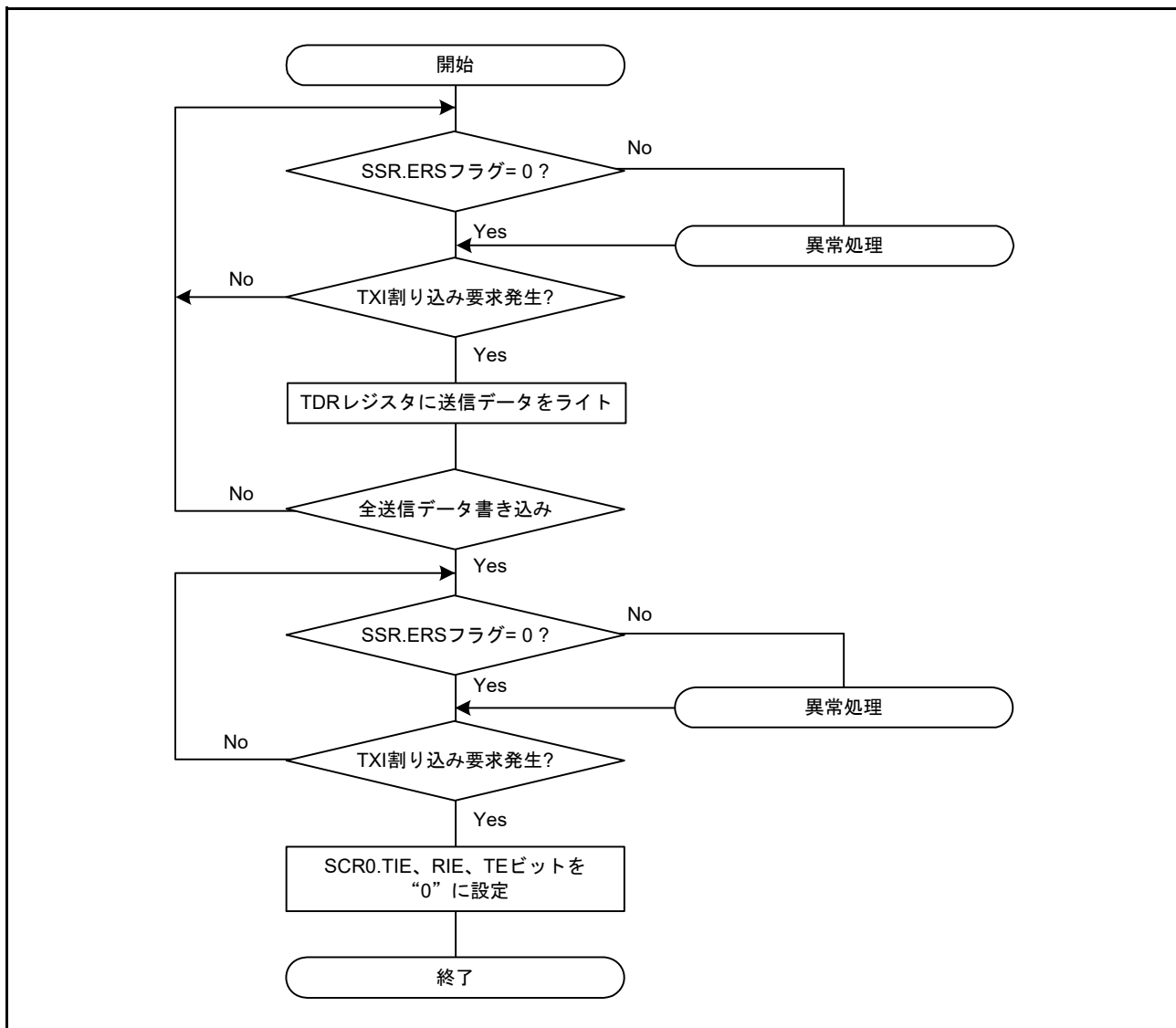


図 32.57 スマートカードインタフェース送信のフローチャート例

32.7.7 シリアル受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 32.58 に示します。

- (1) 受信データにパリティエラーを検出すると SSR.APER フラグが“1”になります。このとき、SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに APER フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、SSR.APER フラグはセットされません。
- (4) 正常に受信を完了したと判断して、RIE ビットが“1”であれば、RXI 割り込み要求を生成します。

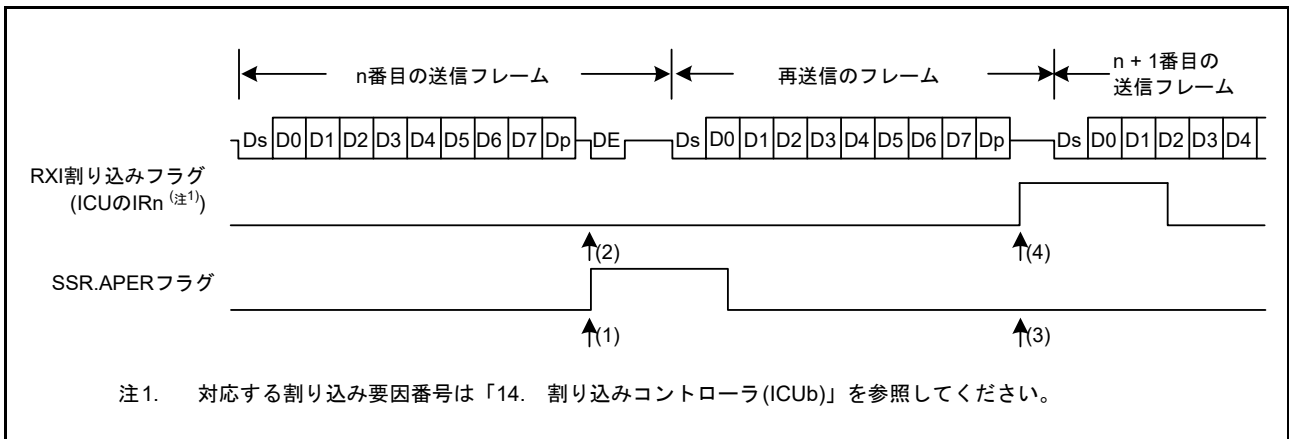


図 32.58 RSCI 受信モードの場合の再送信動作 (受信時の再送信動作)

受信フローチャートの例を図 32.59 に示します。

これらの一連の処理は、RXI 割り込み要求によって DTC または DMAC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくこと、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC または DMAC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、APER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し APER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注. ブロック転送モードの場合は、「32.3 調歩同期式モードの動作」を参照してください。

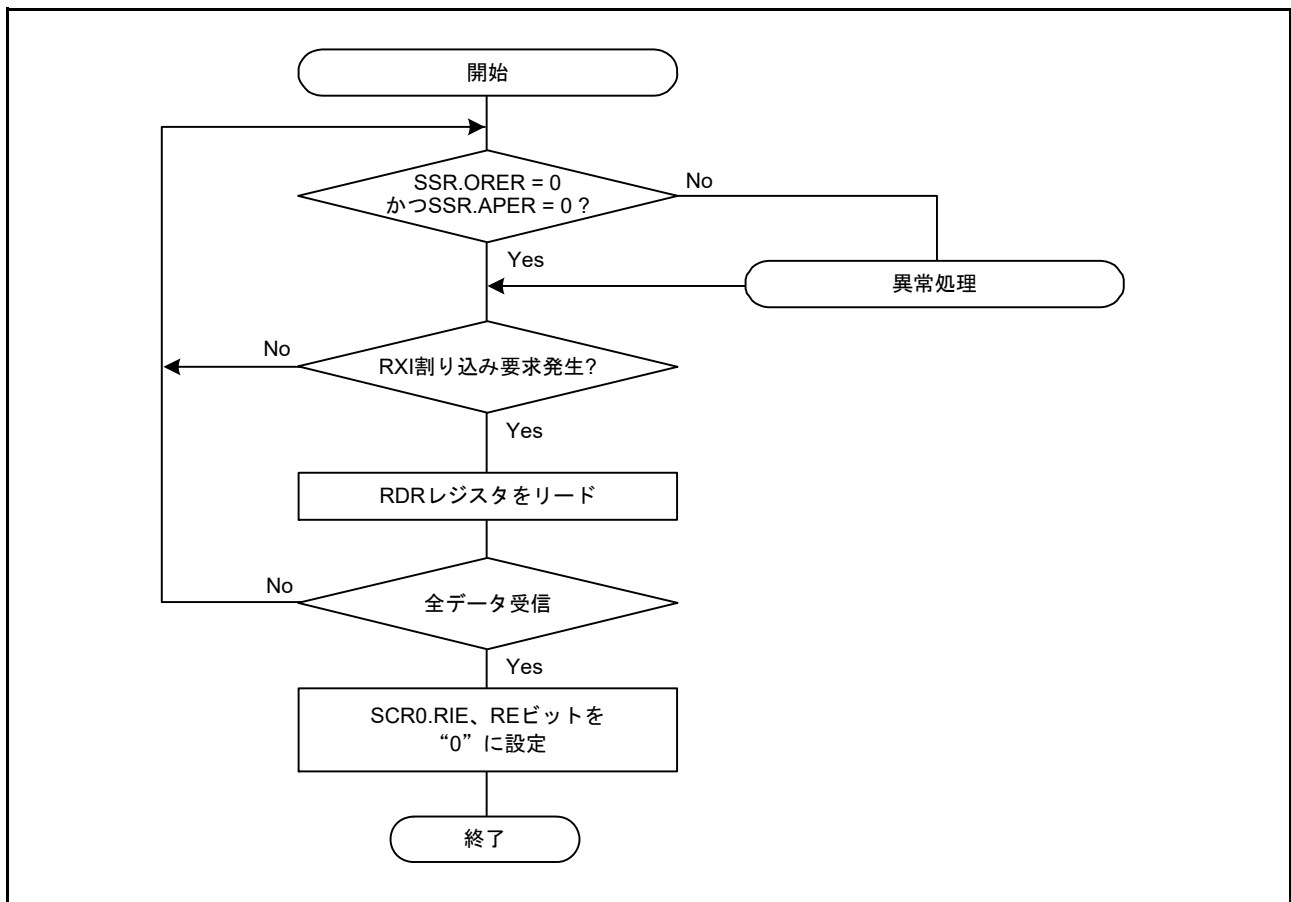


図 32.59 スマートカードインタフェース受信のフローチャート例

32.7.8 クロック出力制御

SCR3.GM ビットが“1”であるとき、SCR3.CKE[1:0] ビットによってクロック出力を制御することができます。制御の内容は、「32.2.8 制御レジスタ 3 (SCR3)」の SCR3.CKE[1:0] ビットの説明を参照してください。クロック出力の設定を行うと、「32.7.4 受信データサンプリングタイミングと受信マージン」に記載の基本クロックが出力されるため、クロックパルスの幅をビットレートの設定で指定した幅に保つことができます。ビットレートは、「32.2.7 制御レジスタ 2 (SCR2)」に記載しているように、SCR2.CKS[1:0] ビット、SCR2.BCP[2:0] ビット、BRR[7:0] ビットにより設定されます。

図 32.60 にクロック出力制御を説明したタイミングチャートを示します。SCR3.CKE[1] ビット = 0 とし、SCR3.CKE[0] ビットを制御した場合の例です。

SCR3.GM ビットが“0”の場合は、SCR3.CKE[0] ビットによる出力制御がすぐに SCKn 端子に反映されるため、SCKn 端子から意図しない幅のパルスが出力される可能性があります。

SCR3.GM ビットが“1”の場合は、SCR3.CKE[0] ビットによる出力制御は基本クロックの状態を元に制御するため、設定されたパルス幅を保ちます。

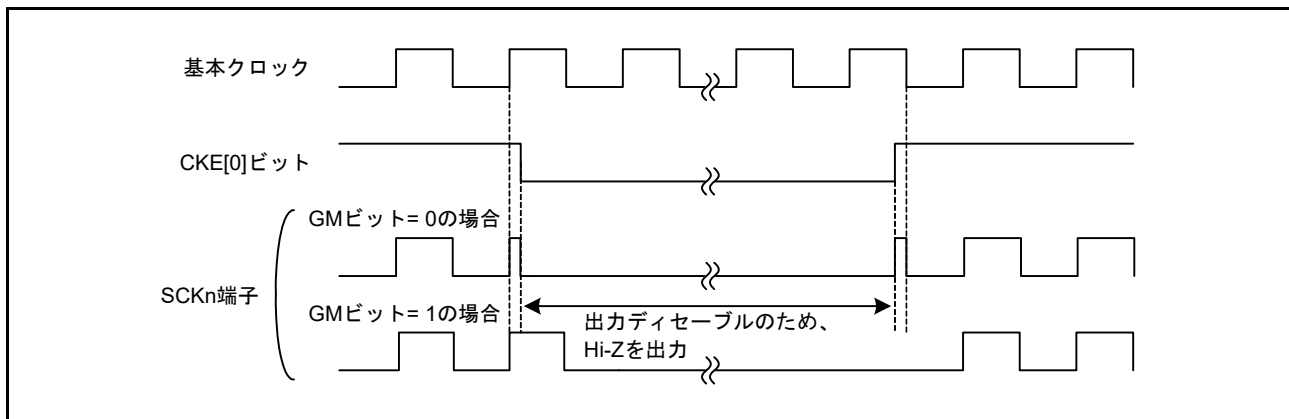


図 32.60 SCR3.GM ビットによるクロック制御の違いを表すタイミング図

32.8 拡張シリアルモードの動作

32.8.1 シリアル通信プロトコル

RSCIは、Start Frame、Information Frame から構成されるシリアル通信プロトコル (図 32.61) に対応することができます。SCR3.MOD[2:0] ビット = 110b にすることにより拡張シリアルモードになります。拡張シリアルモードは、Break Field 以外の送信 / 受信の制御は調歩同期式モードと同じ回路を使用しますので、通信の基本設定は調歩同期式モードと同様 (ただし SCR3.RXDESEL ビットは “1”) にしてください。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

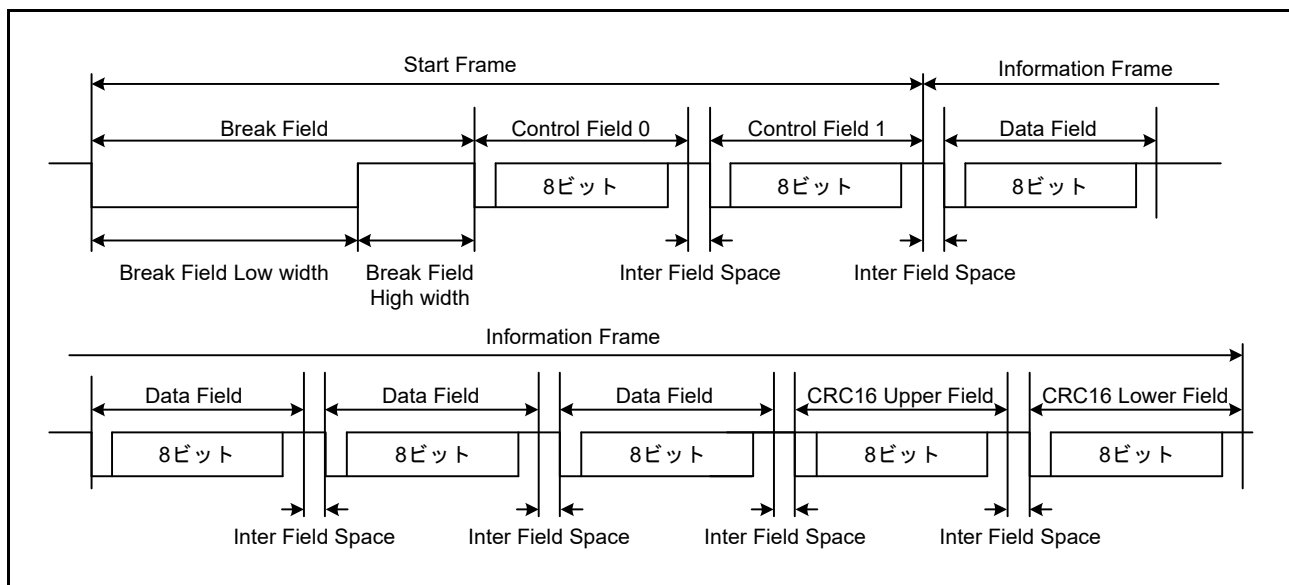


図 32.61 拡張シリアルモードのシリアル通信プロトコル

以降に拡張シリアルモード時の動作を説明します。本章の動作説明は、通信端子 (RXDn/TXDn) レベル反転機能を OFF (RINV ビット = TINV ビット = 0) の条件で記載しています。通信端子 (RXDn/TXDn) レベル反転機能 ON で使用する際は、RXD/TXD 信号レベルを反転して読み替えてください。

32.8.2 Start Frame 送信

図 32.62 に Break Field、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します (Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください)。

また、図 32.63 に Start Frame の送信を行うためのフローチャートを示します。

RSCI は、Start Frame 送信時、以下のように動作します。

- (1) 調歩同期式モードの RSCI 初期化フロー (図 32.9) を参照して RSCI の初期設定をします。ただし、拡張シリアルモード時には、Break Field 前に TXI が出力することを避けるため、SCR0.TE ビットと TIE ビットを同時に“1”に設定しないでください。そのため、調歩同期式モードの RSCI 初期化フロー手順 [10] は以下の通り 2 段階に分けて設定してください。
 - SCR0.TIE ビット以外の設定ビットを設定する (SCR0.TIE ビット = 0、SCR0.TE ビット = 1、かつ SCR0.RE ビット = 0)
 - SCR0.TIE ビットを“1”にする
- (2) TCST に“1”を書き込むと、拡張シリアルモジュール内のタイマがカウントを開始し、XCR2.BFLW[15:0] ビットに設定した期間、TXDn 端子から Low (Break Field) を出力します。タイマカウントクロックソースは XCR0.TCSS[1:0] ビットで選択します。
なお、XCR1.TCST ビットに“0”を書き込むことで、Break Field の送出を中断できます。中断後は SCR0.TE ビット = 0 として送信状態も OFF にしてください。
- (3) タイマカウント値が XCR2.BFLW[15:0] ビット設定値と一致するとカウントを停止し、TXDn 端子の出力を反転し、XSR0.BFOF フラグを“1”にします (注 1)。また、XCR0.BFOIE ビットが“1”の場合は、TXI 割り込みが発生します。
- (4) BFOF フラグが“1”になっていることを確認した後、Control Field 0 のデータを送信します (注 2)。
- (5) Control Field 0 のデータの送信が完了後、Control Field 1 データを TDR レジスタに書き込み、送信します。
- (6) Control Field 1 のデータの送信が完了後、Information Frame の通信を行います。

注 1. XSR0.BFOF セット後、クリアしないまま XCR1.TCST ビットに“1”を書き込んだ場合、Break Field 送出完了タイミングで TXI 割り込みは出力されません。XCR1.TCST ビット書き込み前に XSR0.BFOF フラグをクリアしてください。

注 2. LIN 通信は Break Field 送出完了から次のデータ送信開始まで、1bit 長以上の Break delimiter (IDLE 期間) が必要です。そのため、Break Field 送出完了後、Break delimiter 長をカウントします。Break delimiter 長カウント中に送信データを書き込んだ場合、Break delimiter 長カウント完了まで送信開始しません。Break delimiter 長カウント完了後にデータ書き込んだ場合、通常のデータ送信と同じタイミングで送信開始します。

Break Field 送出後の Break delimiter 長カウント時間 : SCR3.STOP ビット = 0 時、1 ~ 2bit 長
SCR3.STOP ビット = 1 時、2 ~ 3bit 長

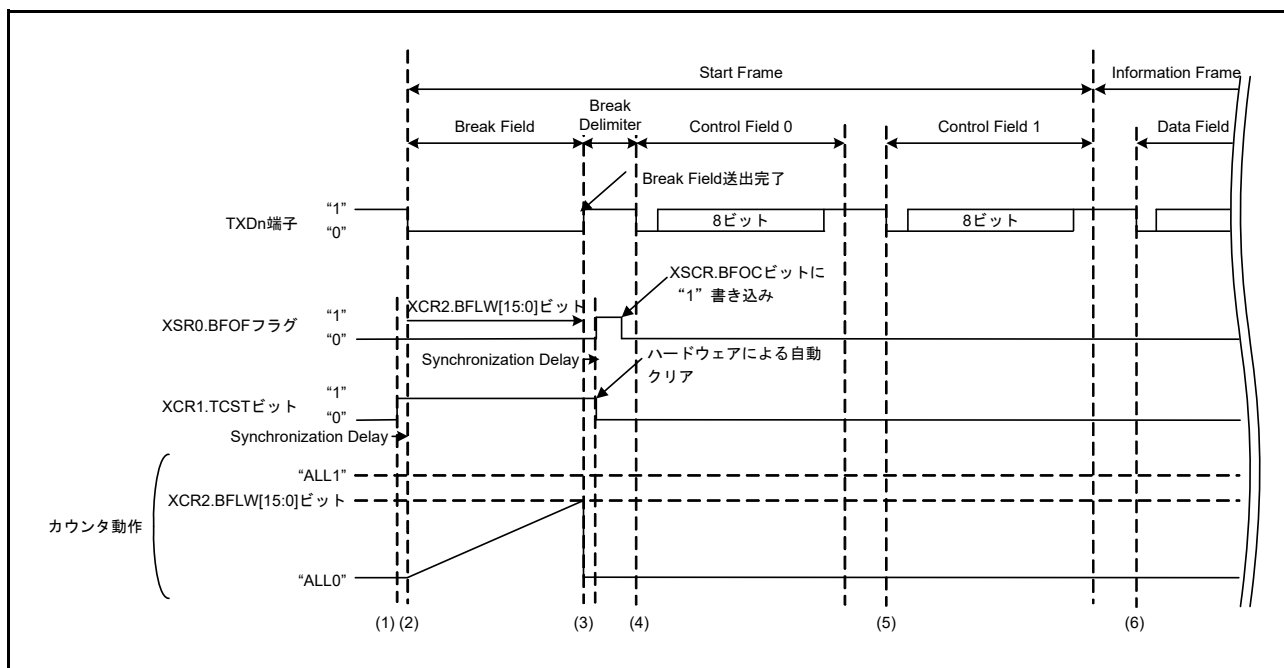


図 32.62 Start Frame 送信時の動作例

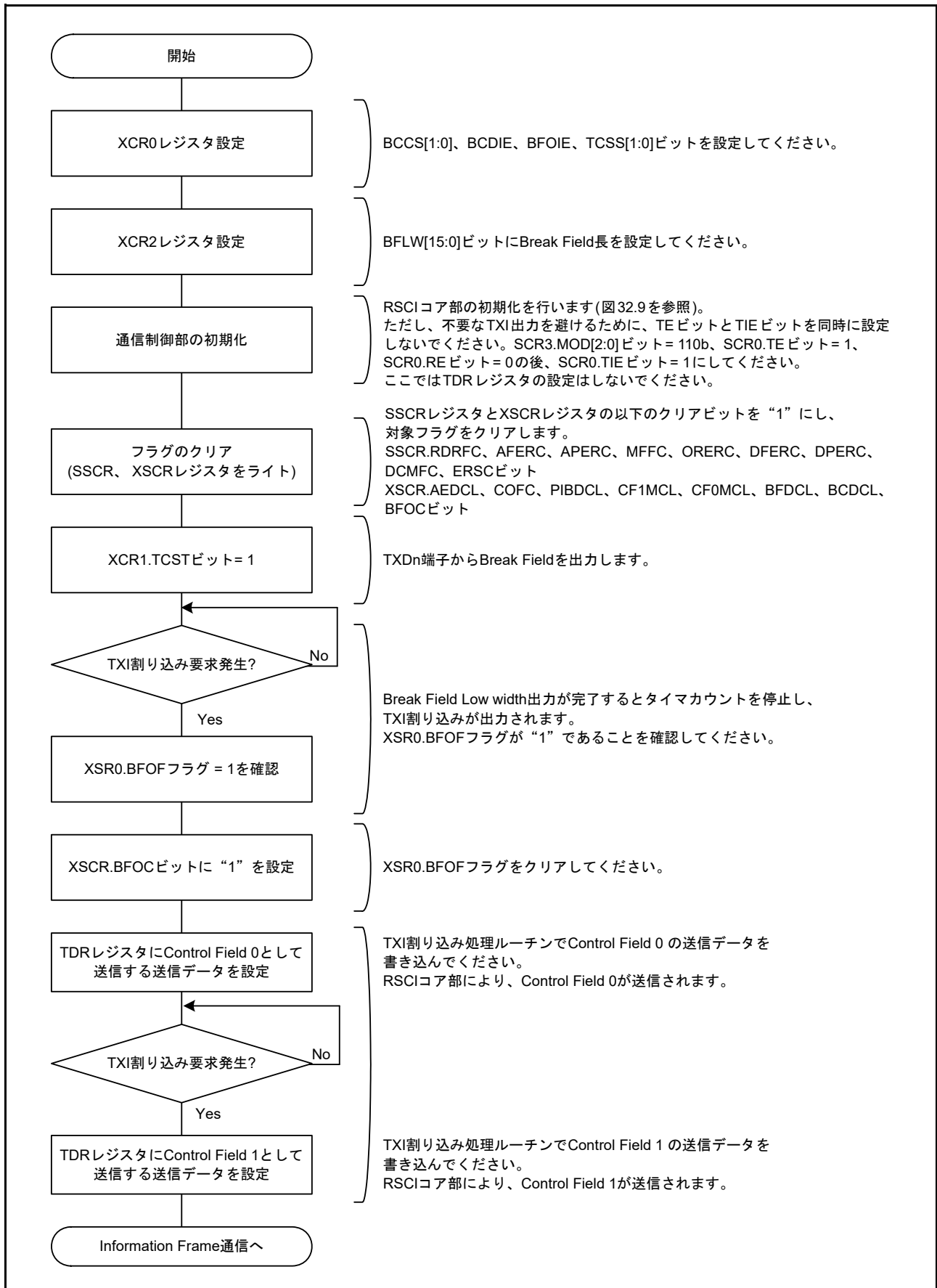


図 32.63 Start Frame 送信フローチャート例

32.8.3 Start Frame 受信

RSCI では、表 32.35 のような構成の Start Frame を検出することができます。

表 32.35 Start Frame の構成

XCR0の設定		Start Frameの構成
BFE	CF0RE	
0	0	
0	1	
1	0	
1	1	

32.8.3.1 PIB 未使用時、ノーマル受信

図 32.64 に Break Field、Control Field 0 および Control Field 1 で構成される Start Frame 受信時の動作例を示します。図 32.65 に、Control Field 1 途中で Break Field 検出を行う受信動作例を示します。また、図 32.66 に Start Frame の受信を行うためのフローチャート、図 32.67 に状態遷移図を示します。

RSCI は、Start Frame 受信時、以下のように動作します。Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

- (1) XCR1.SDST ビットに“1”を書き込むと、Start Frame の検出が可能になります。XCR0.BFE ビット=1 のとき、Break Field を検出するまで、RSCI コア部への RXD 入力は禁止となります (XSR0.RXDSF フラグが“1”にセットされます)。一度 Break Field 検出されると、RSCI コア部で RXD 入力の受信が可能になります (XSR0.RXDSF フラグ=0)。
- (2) RXDn 端子から Low が入力されると、Break Field 検出カウントを開始します。タイマカウントクロックソースは XCR0.TCSS[1:0] ビットで選択します。
- (3) XCR2.BFLW[15:0] ビットに設定した期間以上の Low が RXDn 端子から入力されると、Break Field と判定します。このとき、XSR0.BFDF フラグが“1”にセットされます。また、XCR0.BFDIE ビットを“1”にしている場合は、BFD 割り込みが発生します。
タイマカウントは、RXD 立ち上がりエッジもしくはカウントオーバーフローまで続きます。
- (4) Break Field 検出後、RXDn 端子からの入力が High になると、XCR1.BRME ビット=0 の場合は、XSR1.CCV[15:0] ビットにカウント値をキャプチャします。このとき、XSR0.RXDSF フラグが“0”になり、RSCI コア部で RXD 入力の受信を開始します。
- (5) RSCI コア部で Control Field 0 の受信を開始しますが、拡張シリアル制御部で継続してエッジ間隔をカウントしており、XCR2.BFLW[15:0] ビットに設定した期間以上の Low を Break Field 検出と判定します。Control Field 0 フェーズで Break Field を検出すると、再度、Control Field 0 の受信を待ちます (図 32.65)。
- (6) Control Field 0 の受信が完了すると、RXI 割り込みが発生します。XSR0.CF0RD[7:0] ビットに Control Field 0 データが格納されます。受信したデータが XCR2.CF0D[7:0] ビットに設定したデータと一致した場合、XSR0.CF0MF フラグが“1”にセットされます。受信したデータが XCR2.CF0D[7:0] ビットに設定したデータと一致しなかった場合、Break Field 検出前の状態に遷移します。

- (7) RSCI コア部で Control Field 1 の受信を開始します。BFE ビット = 1 の場合、Control Field 0 と同様に、SDST ビット = 1 の間、Break Field 検出機能は常に有効であり、Control Field 1 フェーズで Break Field を検出すると、再度、Control Field 0 の受信を待ちます。
- (8) Control Field 1 の受信が完了すると、RXI 割り込みが発生します。XSR0.CF1RD[7:0] ビットに Control Field 1 データが格納されます。受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータと一致した場合、XSR0.CF1MF フラグが“1”にセットされます。Control Field 1 で受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータのどちらとも一致しない場合は、Break Field 検出前の状態に遷移します。
- (9) RSCI コア部で Information Frame の通信を行います。
- (10) 通信が終了したら、XCR1.SDST ビットに“0”を書き込み、SCR0.RE ビットに“0”を書き込んで受信を停止させます。

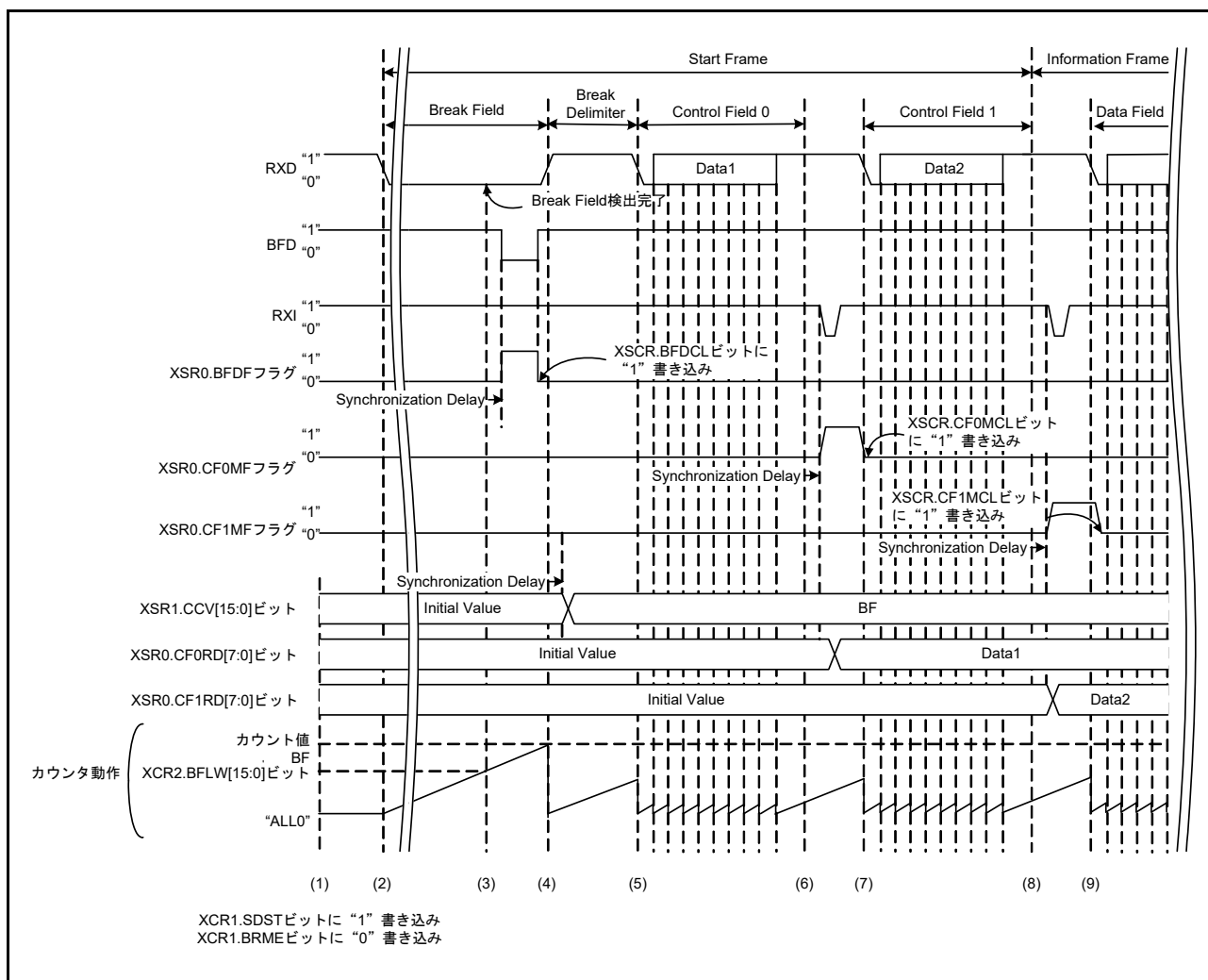


図 32.64 Start Frame 受信時の動作例 (PIB 未使用時) ノーマル受信

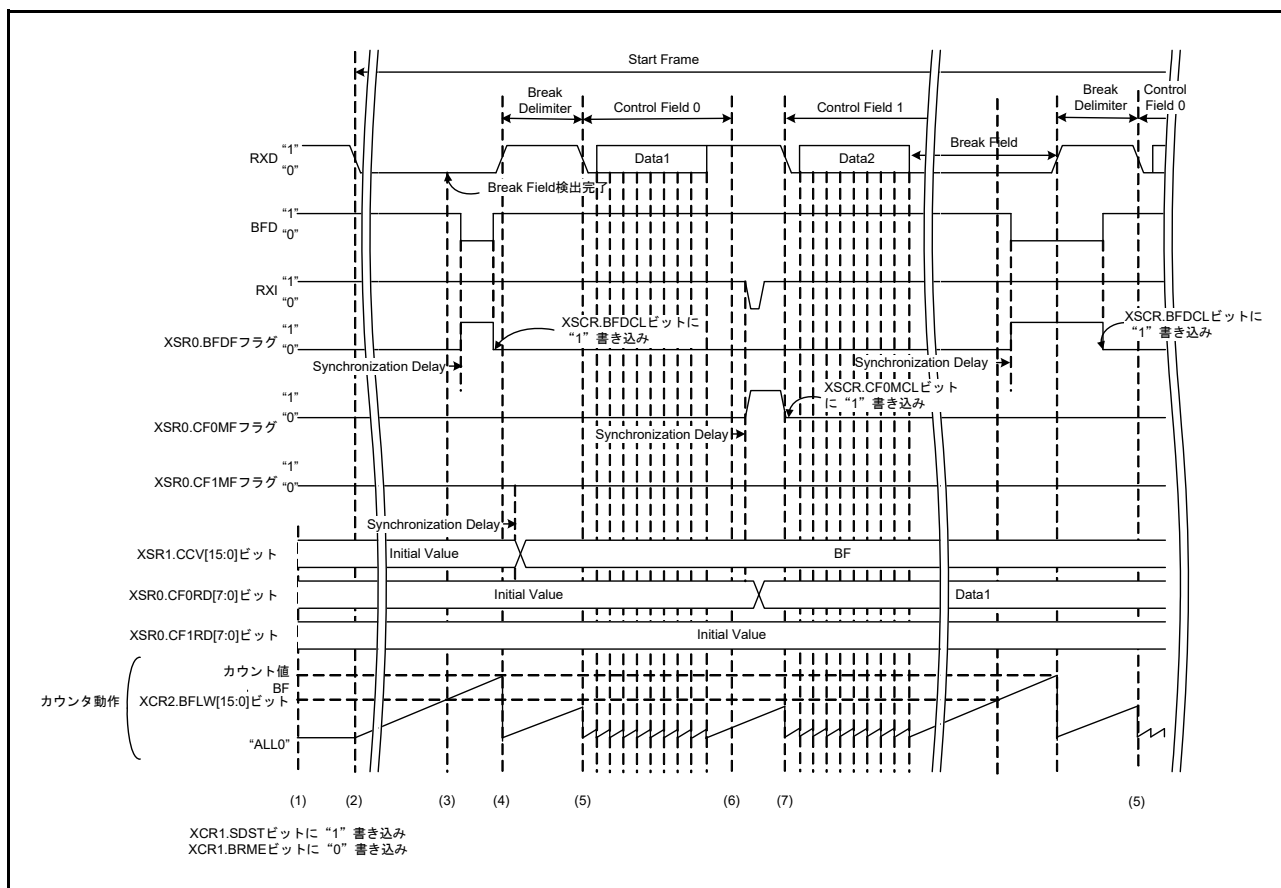


図 32.65 Start Frame 受信時の動作例 (PIB 未使用時)Control Field 1 で Break Field 検出

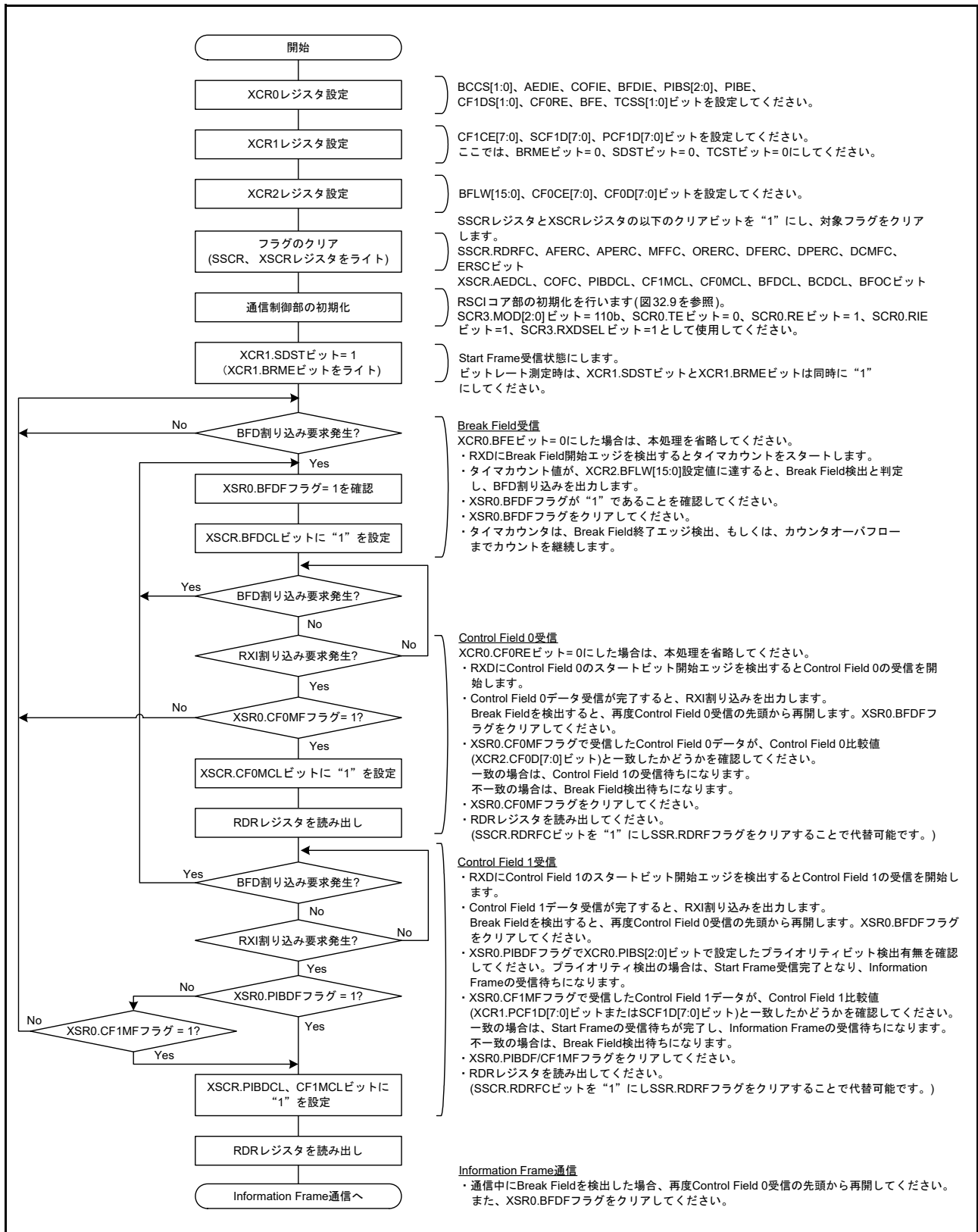


図 32.66 Start Frame 受信フローチャート例

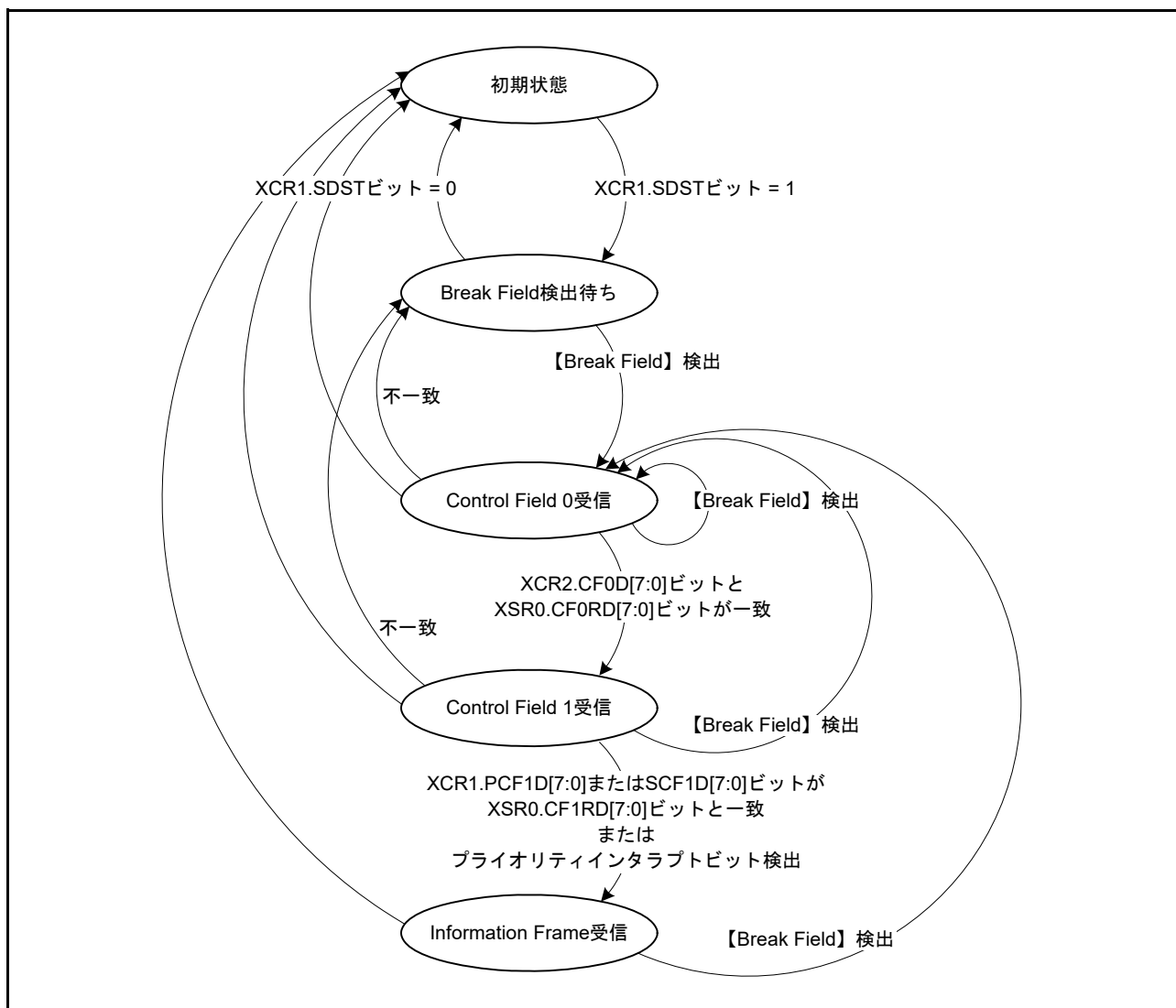


図 32.67 Start Frame 受信時の状態遷移図

32.8.3.2 プライオリティインタラプトビット

図 32.68 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは XCR0.PIBE ビットを“1”にすることで有効となります。

RSCI は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のように動作します。

- (1) ~ (7) は図 32.64 の Start Frame 受信時の動作例 (1) ~ (7) と同様になります。
- (8) XCR0.PIBS[2:0] ビットで指定したビットの値が XCR1.PCF1D[7:0] ビットに設定した値と一致した場合、XSR0.PIBDF フラグが“1”になります。そして、RSCI コア部により、Information Frame の通信を行います。Control Field 1 で受信したデータが XCR1.PCF1D[7:0] ビットまたは XCR1.SCF1D[7:0] ビットに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field 検出前の状態に遷移します。
- (9) RSCI コア部で Information Frame の通信を行います。

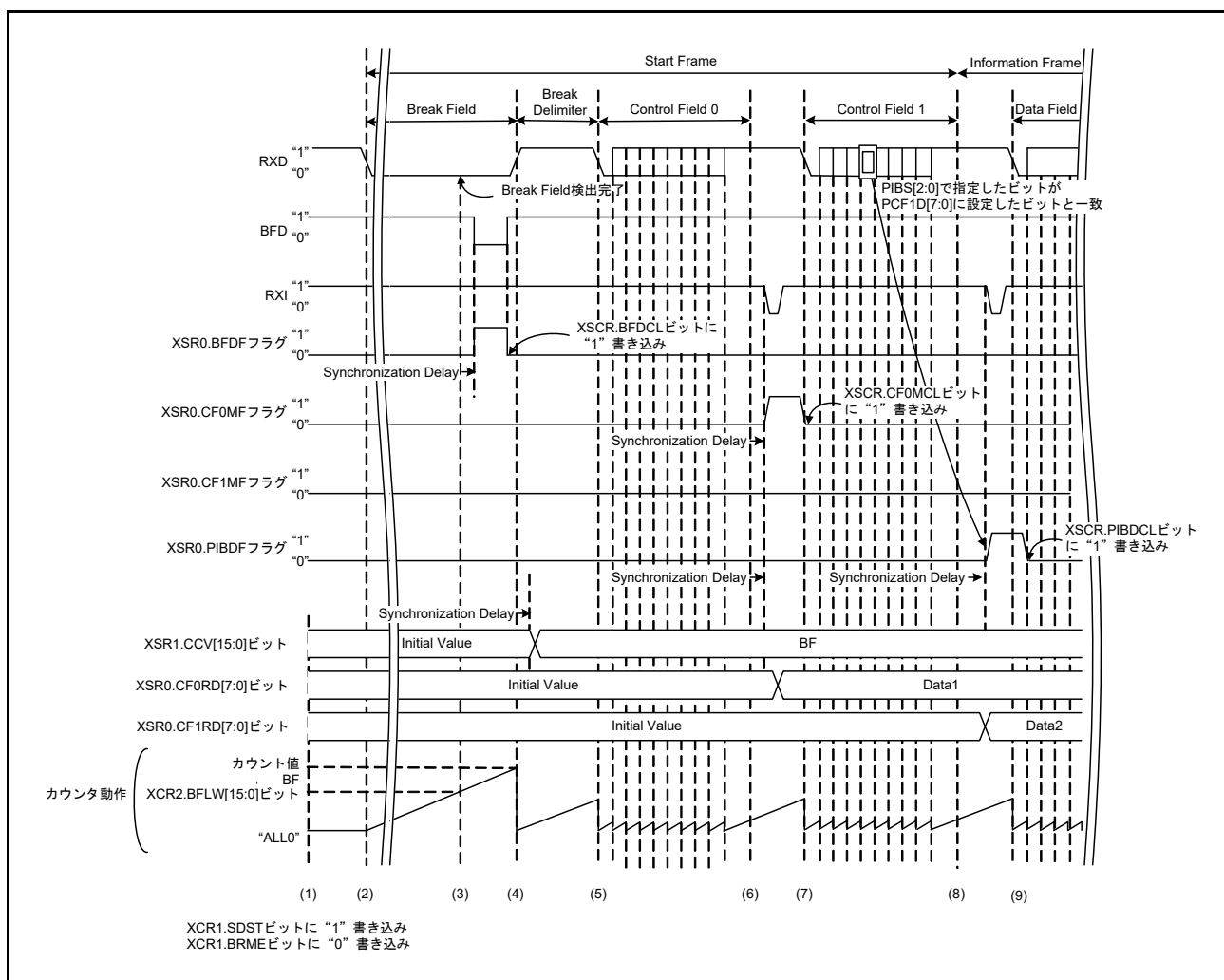


図 32.68 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

32.8.4 バス衝突検出機能

拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) で、TE ビット = 1 の場合、Break Field 送出中およびデータ送信中にバス衝突検出機能が動作します。

図 32.69 にバス衝突検出機能の動作例を示します。TXDn 端子の出力と RXDn 端子の入力を XCR0.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると XSR0.BCDF フラグが“1”になります。また、XCR0.BCDIE ビットを“1”にしている場合は、ERI 割り込みが発生します。

ERI 割り込みが発生した場合、図 32.70 に従って、送信動作を停止させてください。送信動作の再開は、バスの状態を確認して判断してください。

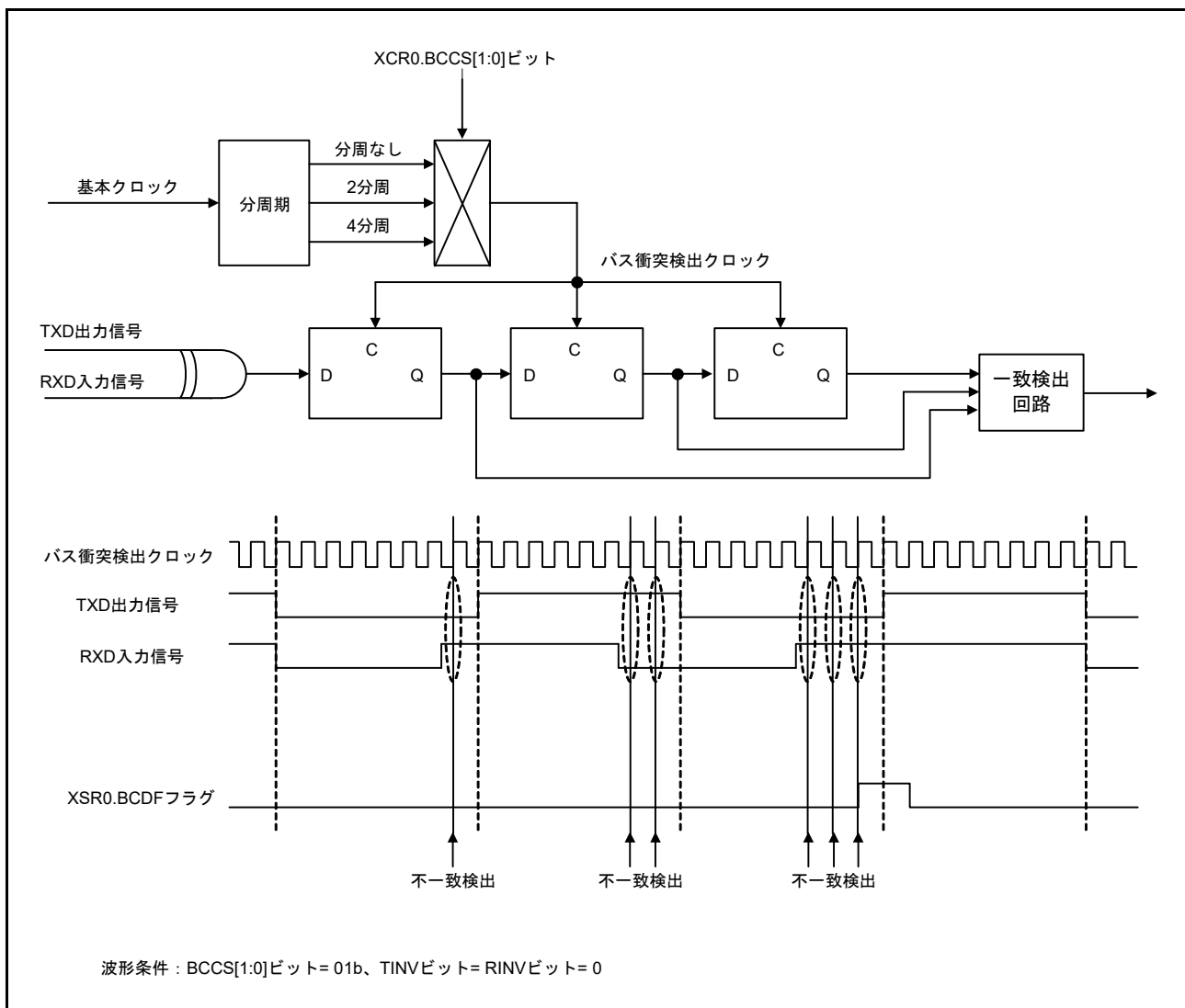


図 32.69 バス衝突検出機能の動作例

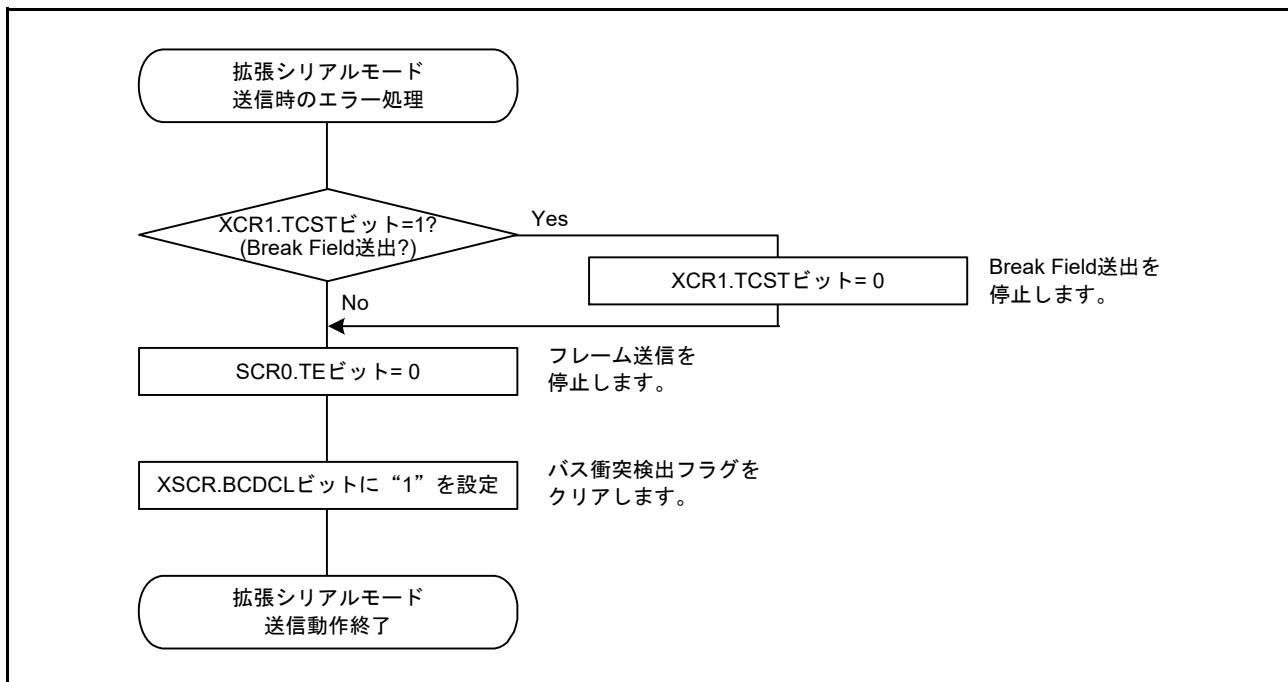


図 32.70 拡張シリアルモード送信動作時の ERI 割り込み処理フロー

32.8.5 ビットレート測定機能

RXDn 端子から入力される信号の有効エッジ間を測定する機能です。図 32.71 にビットレート測定機能の動作例を示します。

- (1) XCR1.SDST ビットと XCR1.BRME ビットに“1”を書き込むとビットレート測定が有効となり、Control Field 0 と Control Field 1 の有効エッジ間を測定します。Break Field と Break Delimiter の間は、ビットレートの測定動作を行いません。
XCR1.BRME ビットは、測定を行いたいときのみ、XCR1.SDST ビットと同時に“1”にしてください。
- (2) Break Field 中はビットレート測定動作を行わないため、Break Field 終了の立ち上がりエッジでは、有効エッジ検出フラグはセットされません。また、XSR1.CCV[15:0] ビットにカウンタのキャプチャ値は格納されません。
- (3) Control Field 0 のスタートビットの立ち下がりからカウントスタートします。Break Delimiter のカウント値は XSR1.CCV[15:0] ビットにキャプチャされません。
- (4) スタートビットの立ち上がりエッジを有効エッジとして検出し、XSR0.AEDF フラグをセットします。このとき、XCR0.AEDIE ビット=1 の場合は、AED 割り込みが出力されます。また、スタートビットのカウント値が XSR1.CCV[15:0] ビットに保持されます。XSR1.CCV[15:0] ビットは、有効キャプチャ値が読み出されるまで保持します。
- (5) RXD 入力端子から有効エッジが入ってきても、XSR1.CCV[15:0] ビットが読み出されておらず、保持が解除されていないため、この有効エッジタイミングのカウント値はキャプチャされません。この場合、AED 割り込みは出力しません。
- (6) XSR1.CCV[15:0] ビットを読み出します。これにより、XSR1.CCV[15:0] ビットの保持が解除され、ハードウェアにより、XSR0.AEDF フラグがクリアされます。
- (7) XSR1.CCV[15:0] ビット保持が解除されたため、有効エッジでカウント値がキャプチャされ保持します。同時に XSR0.AEDF フラグがセットされ、XCR0.AEDIE ビット=1 の場合は、AED 割り込みが出力されます。有効エッジ間のカウント値からビットレートをソフトウェアにて算出し、RSCI の設定を変更することで、ビットレートを調整することができます。
- (8) ビットレート測定動作を無効にする場合は、XCR1.BRME ビットに“0”を書き込んでください。
- (9) ビットレート測定機能が無効であるため、有効エッジタイミングで XSR0.AEDF フラグ、XSR1.CCV[15:0] ビットは変化しません。

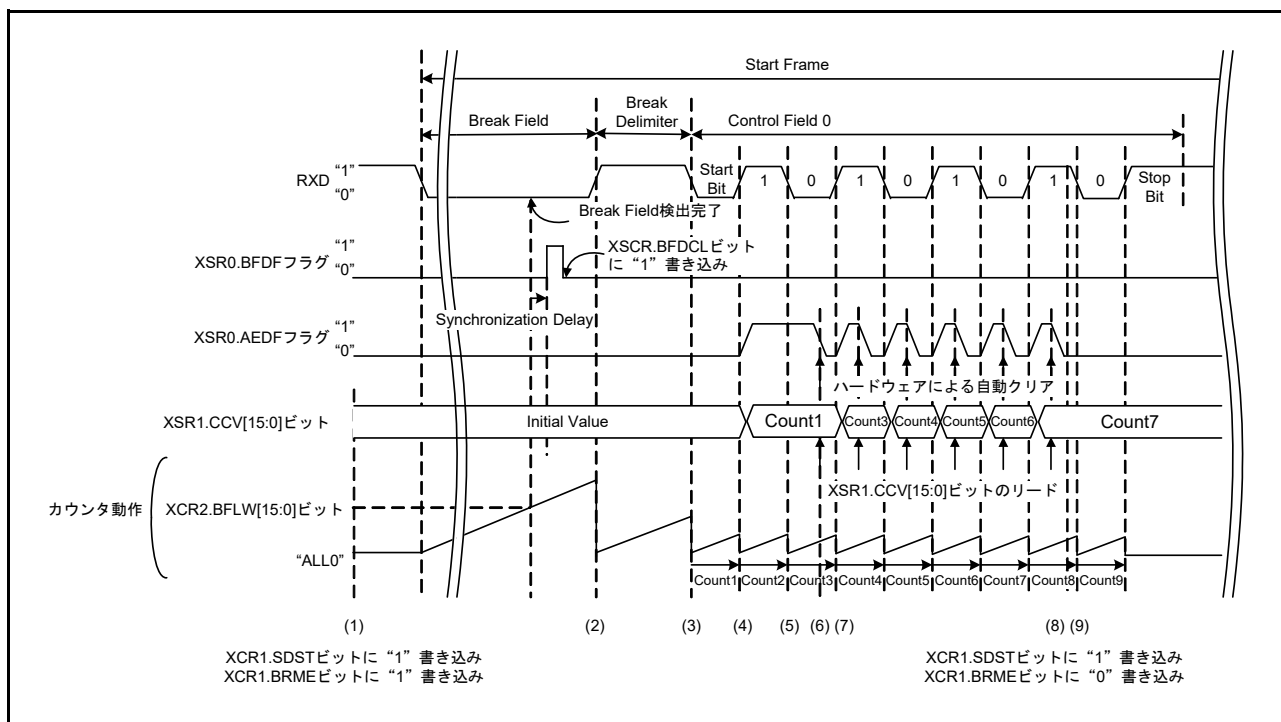


図 32.71 ビットレート測定機能動作例

32.9 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。スタートコンディション/リスタートコンディションに続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、ストップコンディションまで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 32.72 に I²C バスフォーマットを、図 32.73 に I²C バスタイミングを示します。

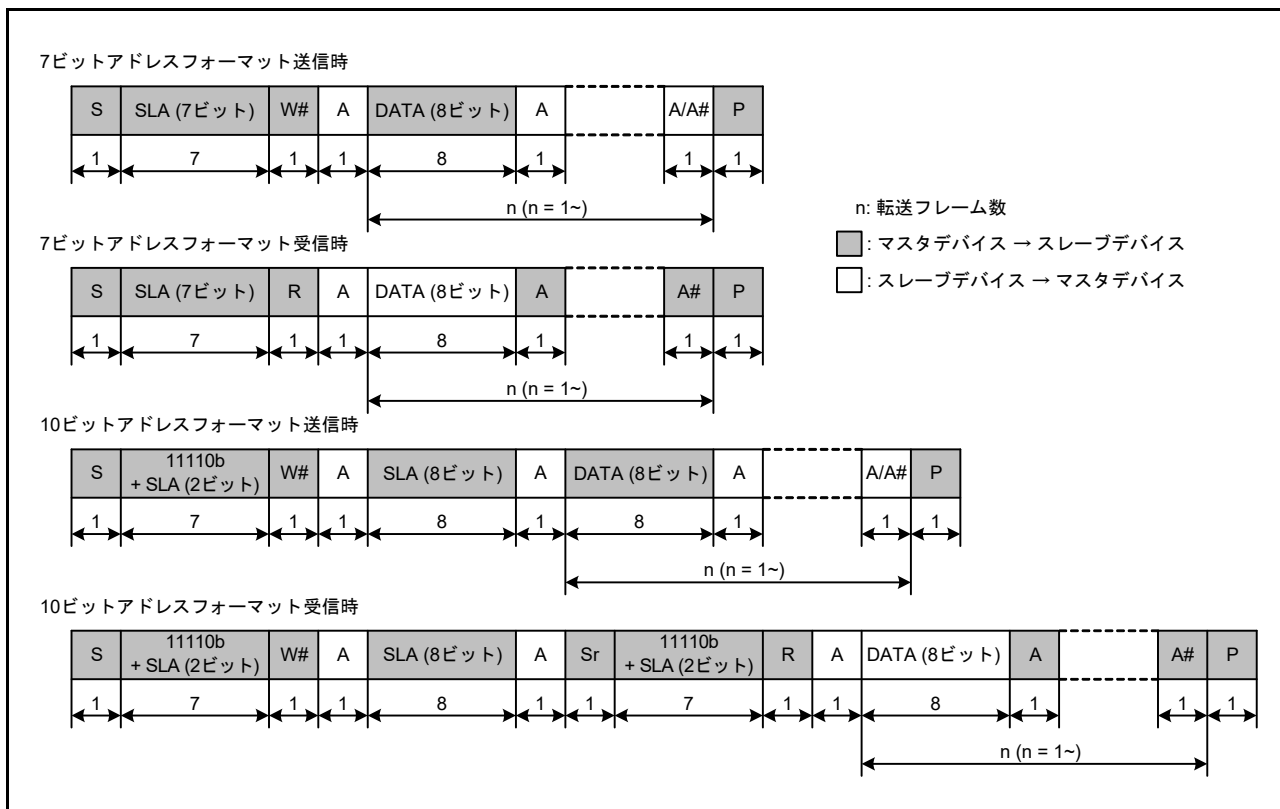


図 32.72 I²C バスフォーマット

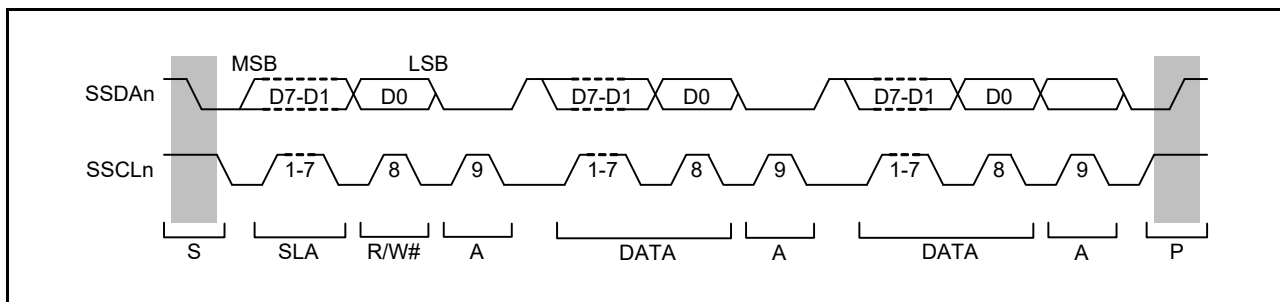


図 32.73 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態からSSDAnラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。Highのときスレーブデバイスからマスタデバイスへ、Lowのときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態からセットアップ時間経過後にSSDAnラインをHighからLowに遷移させます。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態からSSDAnラインをLowからHighに遷移させます。

32.9.1 スタートコンディション、リスタートコンディション、ストップコンディションの生成

SIMR.IICSTAREQ ビットに“1”を書き込むことにより、スタートコンディションの生成を行います。スタートコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、スタートコンディションのホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR.IICSTAREQ ビットを“0”にし、スタートコンディション生成割り込み要求を出力

SIMR.IICRSTAREQ ビットに“1”を書き込むことにより、リスタートコンディションの生成を行います。リスタートコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR[7:0] ビットで設定したビットレートの半分の時間、リスタートコンディションのセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR[7:0] ビットで設定したビットレートの半分の時間、リスタートコンディションのホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR.IICRSTAREQ ビットを“0”にし、リスタートコンディション生成割り込み要求を出力

SIMR.IICSTPREQ ビットに“1”を書き込むことにより、ストップコンディションの生成を行います。ストップコンディションの生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR[7:0] ビットで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR[7:0] ビットで設定したビットレートの半分の時間、ストップコンディションのセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR.IICSTPREQ ビットを“0”にし、ストップコンディション生成割り込み要求を出力

図 32.74 にスタートコンディション、リスタートコンディション、ストップコンディション生成の動作タイミングを示します。

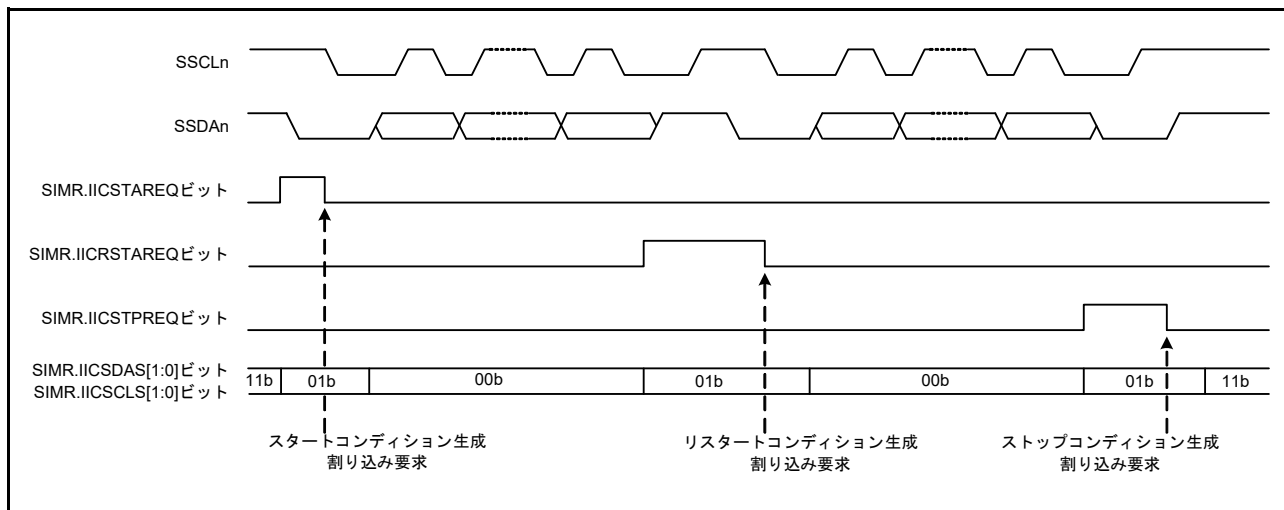


図 32.74 スタートコンディション、リスタートコンディション、ストップコンディション生成の動作タイミング

32.9.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR.IICCSC ビットを“1”にすると、内部 SCL が SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR.IICCSC ビットが“1”の場合、内部 SCL が Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延(ノイズフィルタのサンプリングクロックで2~3サイクル)、内部処理遅延(PCLK で1~2サイクル)の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SCL の High 期間は延長されます。

SIMR.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SCL の論理積に同期して行われます。SIMR.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SCL に同期して行われます。

スタートコンディション、リスタートコンディションおよびストップコンディション生成要求発行後、内部 SCL が Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SCL が High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 32.75 にクロック同期化の動作例を示します。

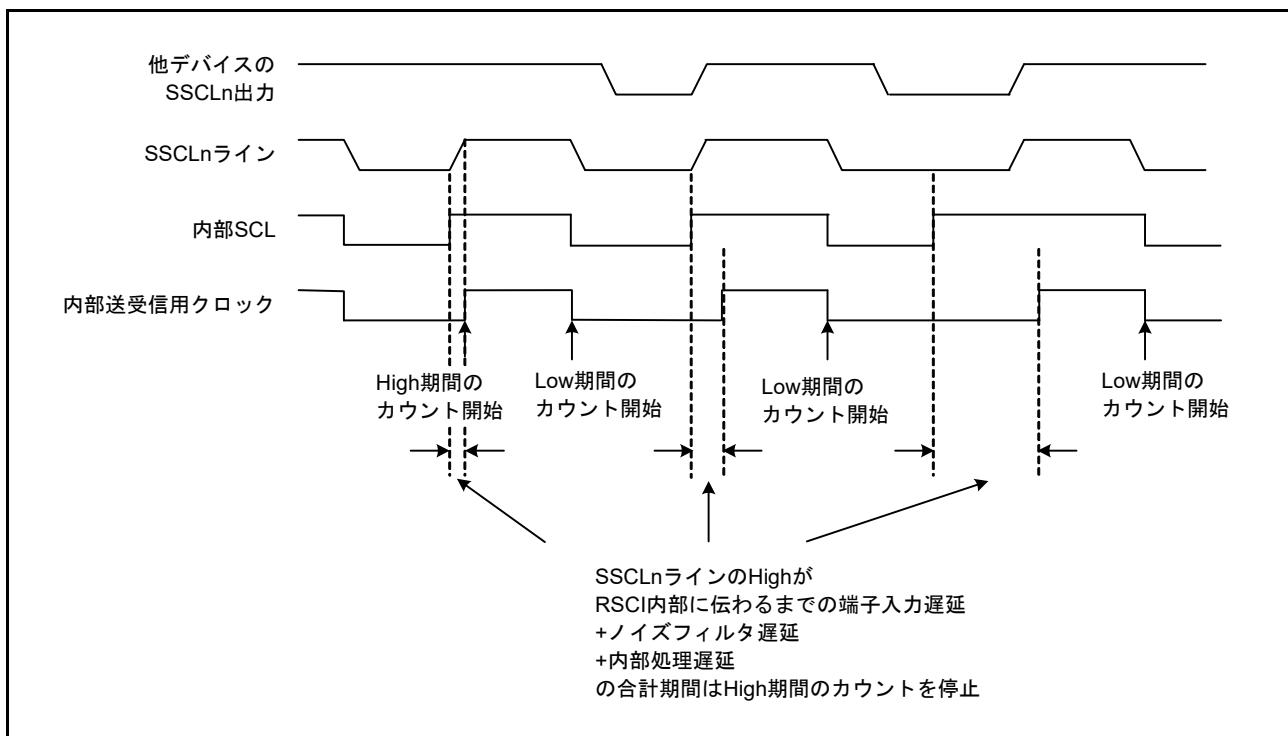


図 32.75 クロック同期化の動作例

32.9.3 SDA 出力遅延

SIMR.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準 (PCLK ベースに SCR2.CKS[1:0] ビットで選択された分周クロック) で 0 ~ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、スタートコンディション/リスタートコンディション/ストップコンディション信号と 8 ビットの送信データおよびアクノリッジです。

SDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値 (I²C の標準モード、ファストモードでは 300 ns) より大きくなるように設定してください。

図 32.76 に SDA 出力遅延のタイミングを示します。

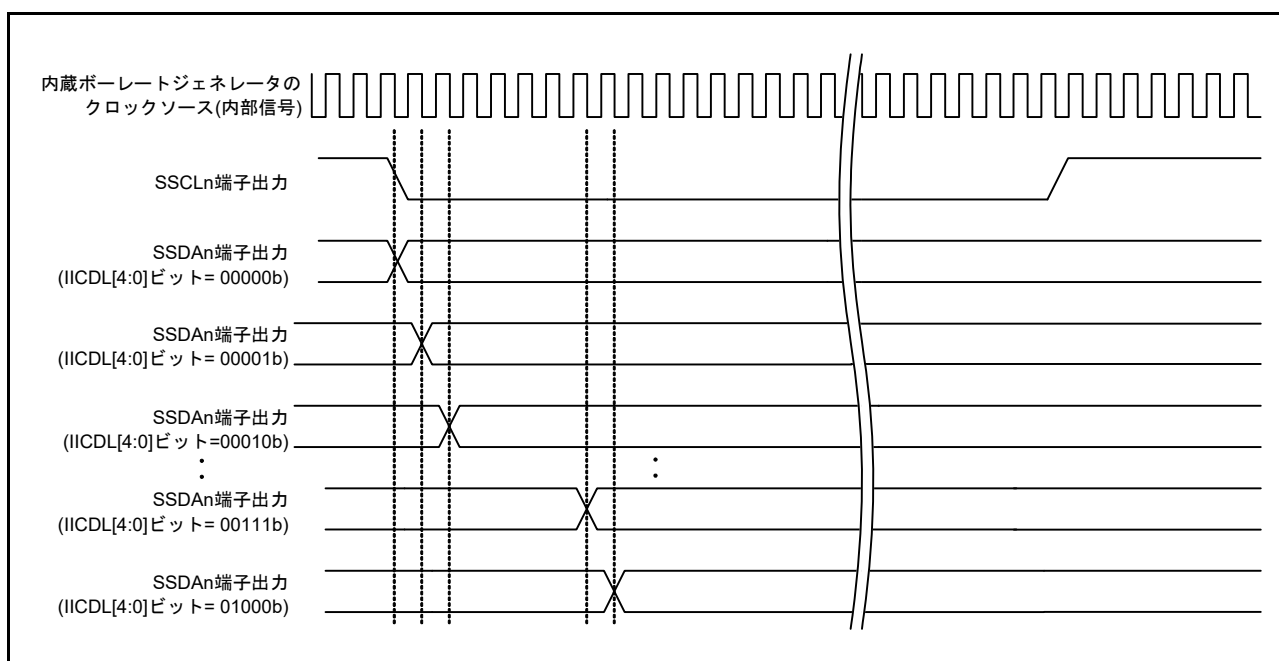


図 32.76 SDA 出力遅延のタイミング

32.9.4 RSCIの初期化(簡易I²Cモード)

データの送受信前に、SCR0レジスタに初期値“0000 0000h”を書き込み、図 32.77 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCR0.TE ビットと SCR0.RE ビットに“0”を書き込んで(SCR0レジスタに初期値を書き込むでも可)から変更してください。また、簡易I²Cモード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

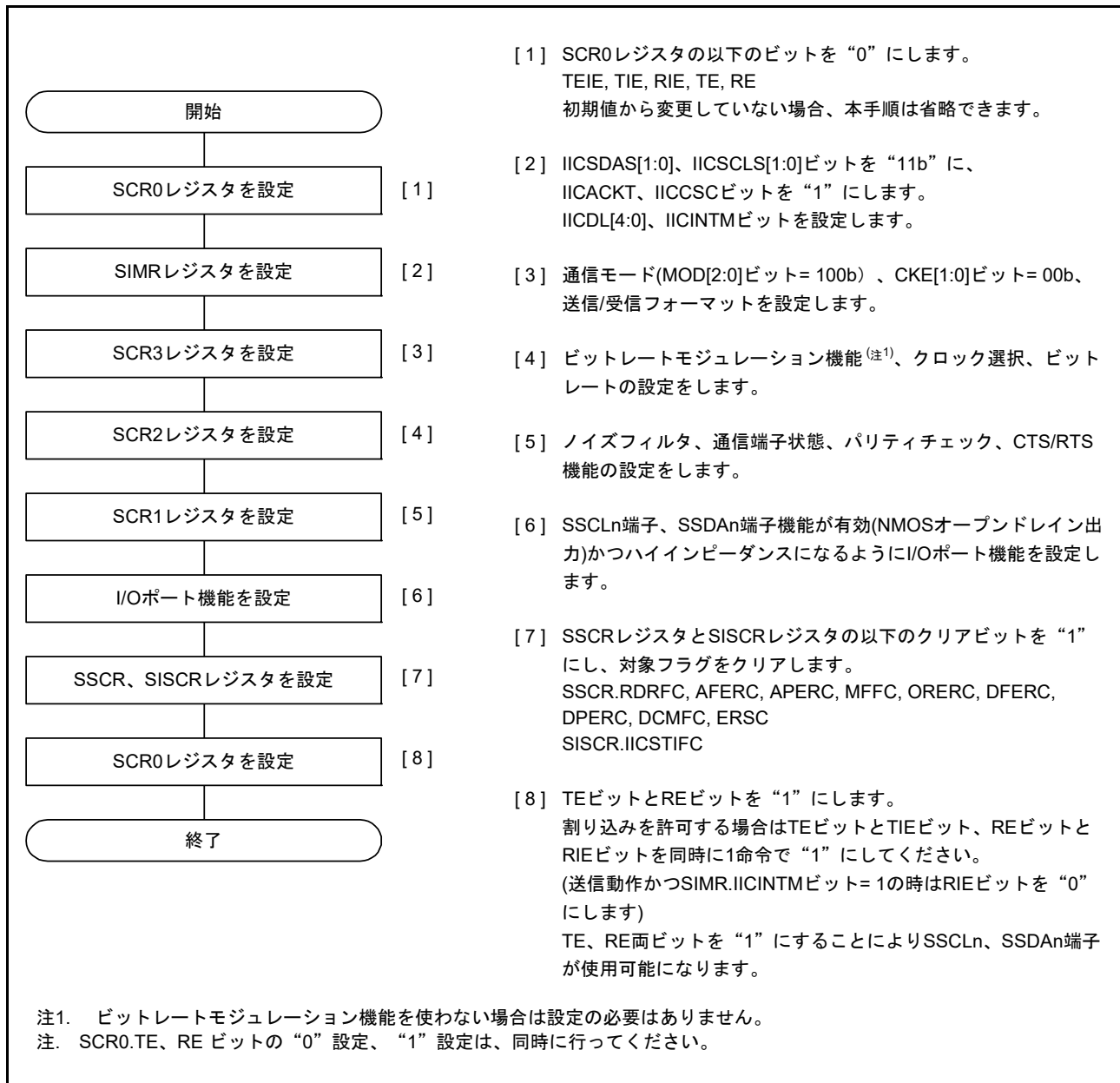


図 32.77 RSCIの初期化フローチャート例(簡易I²Cモード)

32.9.5 マスタ送信動作 (簡易 I²C モード)

図 32.78、図 32.79 に簡易 I²C モードのマスタ送信の動作例を、図 32.80 ~ 図 32.82 にマスタ送信のフローチャートの例を示します。STI 割り込みについては、表 32.41 を参照してください。

図 32.78 は、SIMR.IICINTM ビットを“1”(受信割り込み、送信割り込みを使用)にした場合の動作例を示します。この場合、TXI 割り込みをトリガに DTC または DMAC を起動することができますが、DTC または DMAC を使うと ACK/NACK の確認ができませんので、ACK/NACK の確認が必要な場合は CPU による送信データの準備を行って下さい。簡易 I²C モードでの送信完了 (TXI) 割り込みは、1 フレームの通信を完了した時点で発生します。また、マスタ送信動作では受信割り込みを使用しないので、SCR0.RIE ビットを“0”にしてください。

図 32.80 に SIMR.IICINTM ビット = 1 でアドレス送信に CPU、データ送信に DTC または DMAC を使用した場合を、図 32.81 にアドレス送信とデータ送信に CPU を使用した場合のフローチャートを示します。いずれも、10 ビットスレーブアドレス時は、図 32.80 の [3] ~ [4] の手順を 2 回繰り返します。

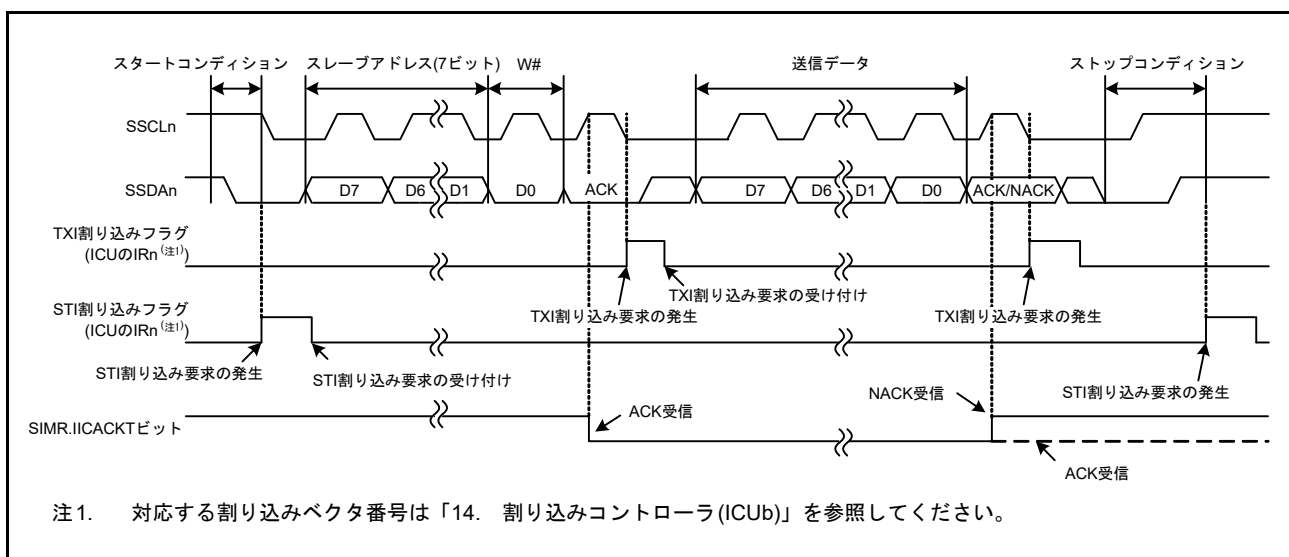


図 32.78 簡易 I²C モードのマスタ送信の動作例 (1)
(7 ビットスレーブアドレス、送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

図 32.79 は、SIMR.IICINTM ビットを“0”(ACK 割り込み、NACK 割り込みを使用)にした場合の動作例を示します。この場合、ACK 割り込みをトリガに DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

図 32.82 に SIMR.IICINTM ビット = 0 の場合のフローチャートを示します。

TDR に送信データを書いた後に、何らかの都合で通信を中断したあと再開する場合は、以下の手順を行ってください。

1. SCR0.TE ビットと SCR0.RE ビットを“0”に設定し、通信を停止する。
2. SIMR.IICSCLS[1:0] ビットと SIMR.IICSDAS[1:0] ビットを“11b”にし、I²C バスを解放し、各種条件生成要求をクリアする。
3. SSR.RDRF フラグが“1”の場合は、RDR レジスタをダミーリードして RDRF ビットを“0”にする。
4. SCR0.TE ビットと SCR0.RE ビットを“1”にし、通信を再開する。

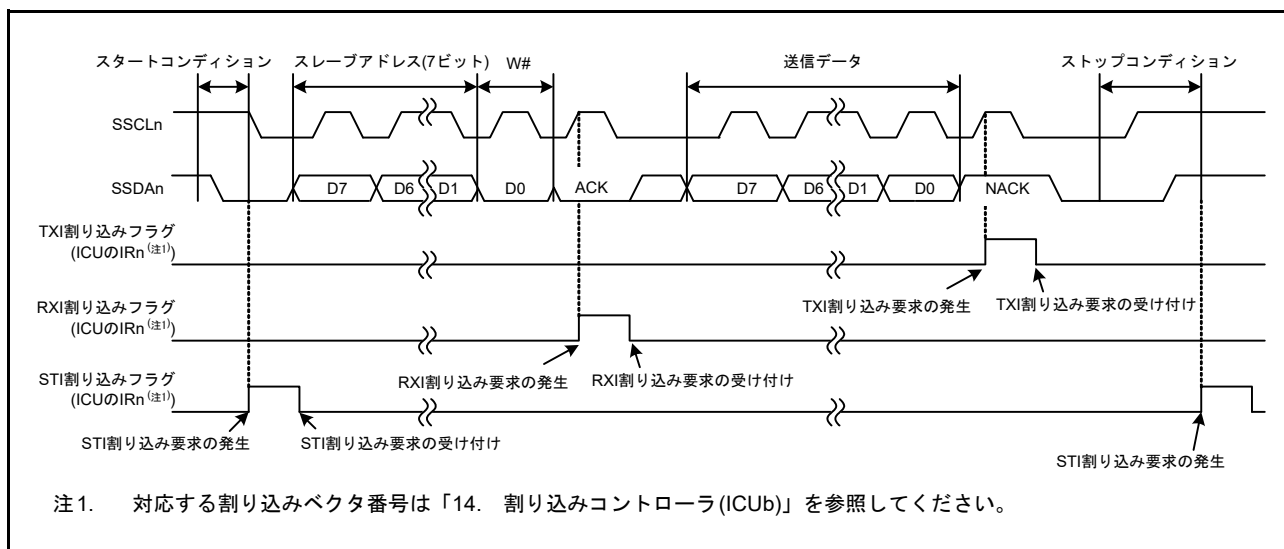


図 32.79 簡易 I²C モードのマスター送信の動作例 (2)
 (7ビットスレーブアドレス、ACK 割り込み /NACK 割り込み使用 (SIMR.IICINTM ビット = 0 時))

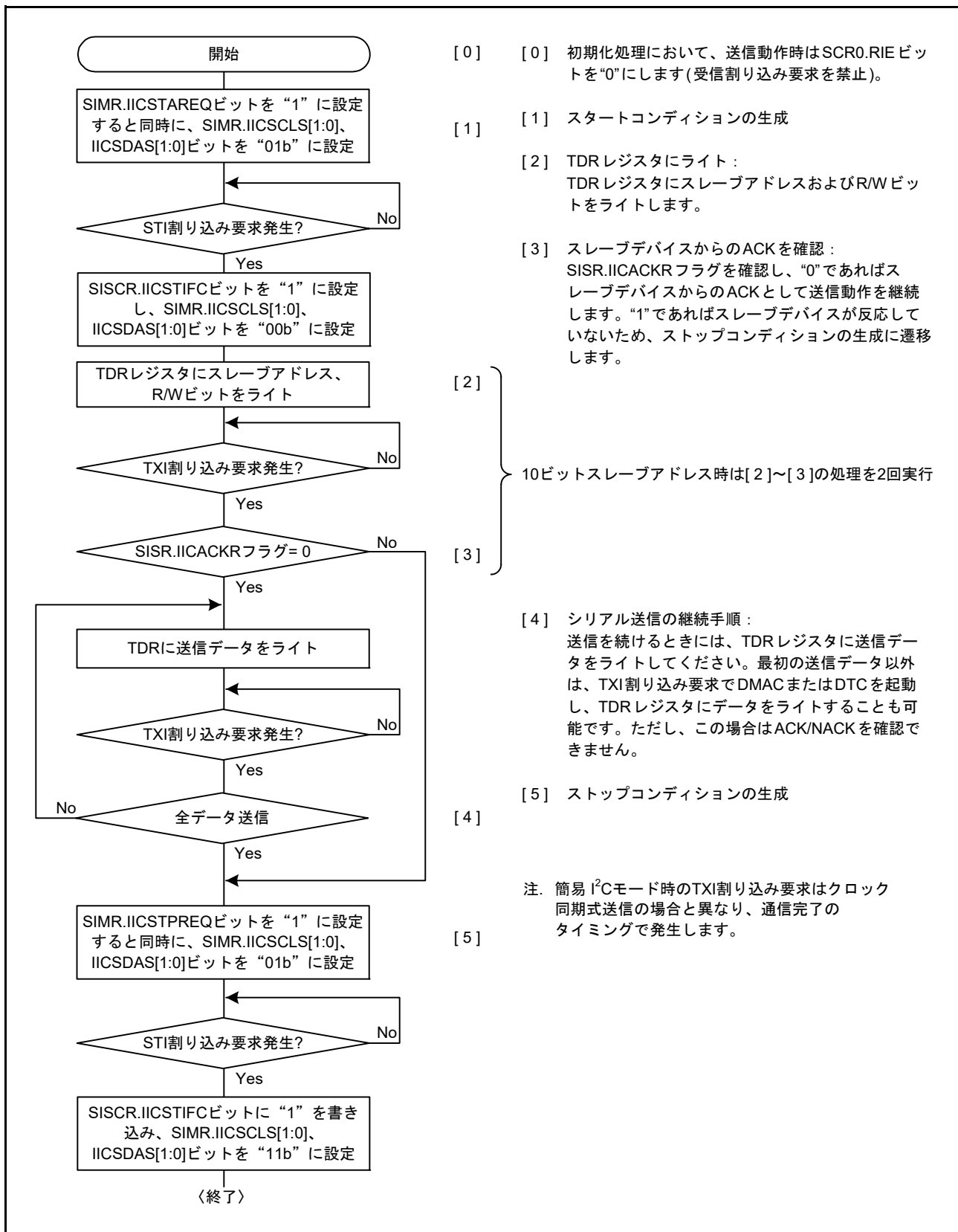


図 32.80 簡易 I²C モードのマスタ送信動作のフローチャート例
(SIMR.IICINTM ビット = 1 設定時、アドレス送信のみで ACK/NACK を確認する場合)

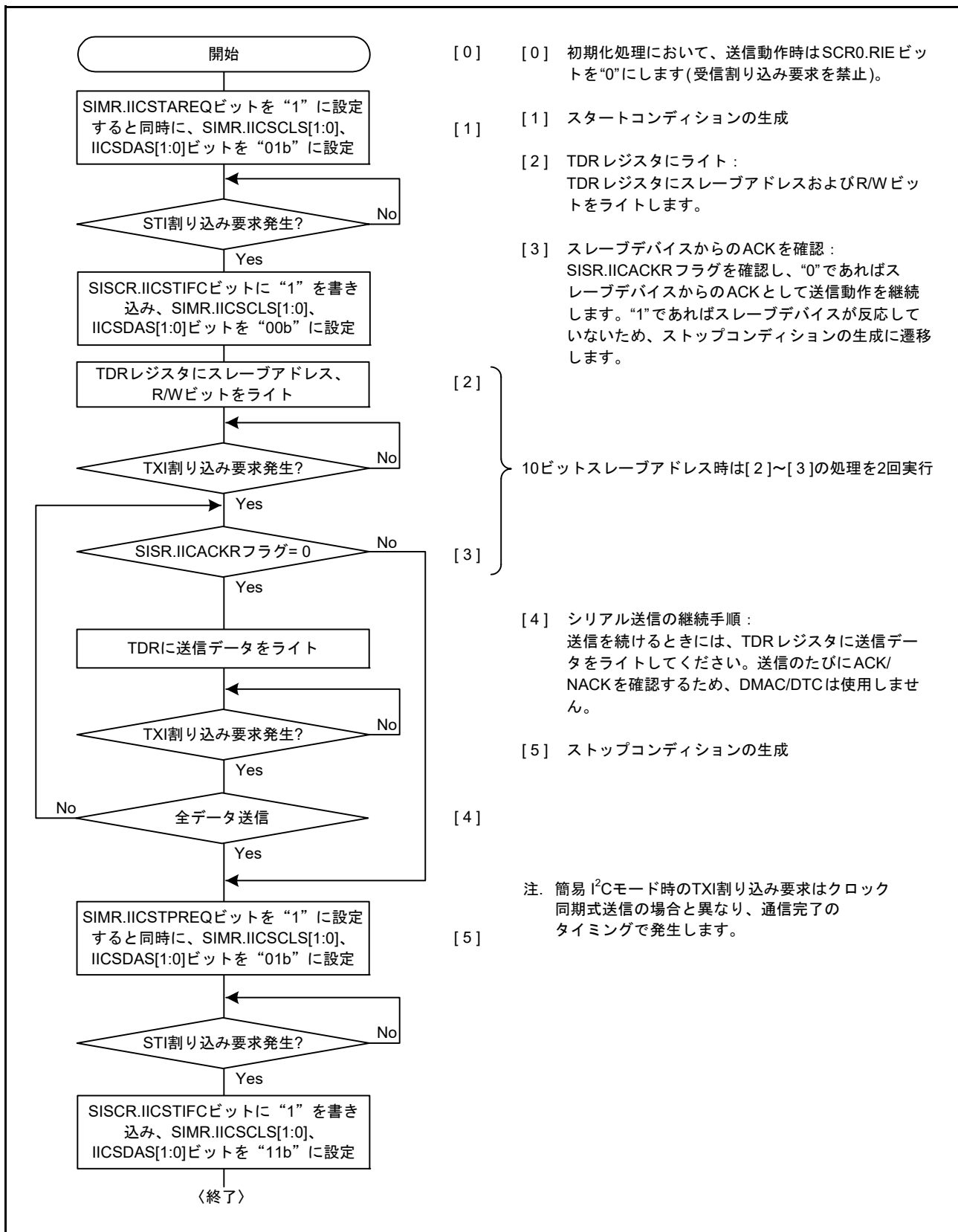


図 32.81 簡易 I²C モードのマスタ送信動作のフローチャート例
(SIMR.IICINTM ビット = 1 設定時、全ての送信で ACK/NACK を確認する場合)

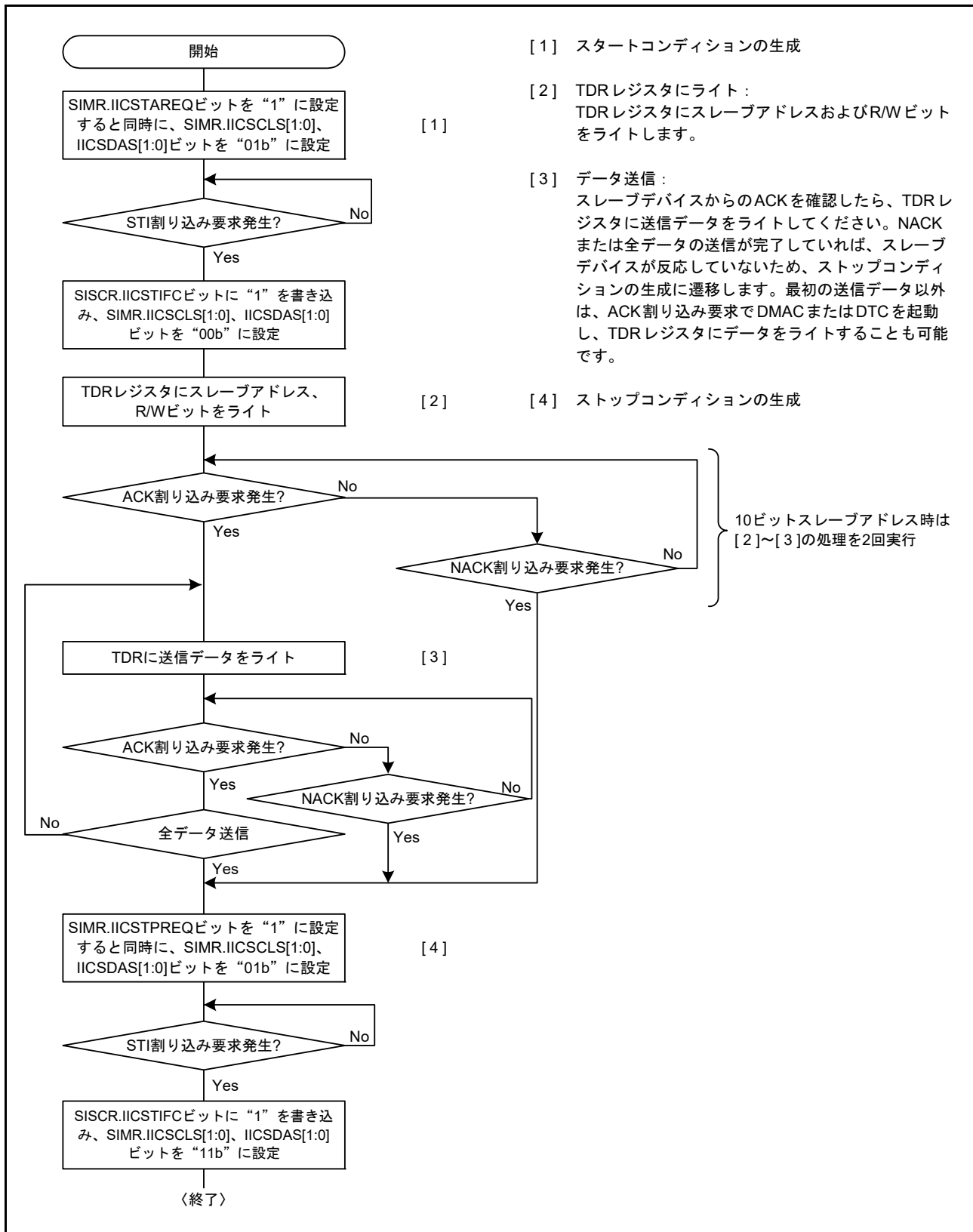


図 32.82 簡易 I2C モードのマスタ送信動作のフローチャート例 (SIMR.IICINTM ビット = 0 設定時)

32.9.6 マスタ受信動作 (簡易 I²C モード)

図 32.83、図 32.84 に簡易 I²C モードのマスタ受信の動作例を、図 32.85、図 32.86 にマスタ受信のフローチャートの例を示します。ともに SIMR.IICINTM ビットを“1”(受信割り込み、送信割り込みを使用)にした場合と SIMR.IICINTM ビットを“0”(ACK 割り込み、NACK 割り込みを使用)にした場合を想定しています。

簡易 I²C モードでの送信完了 (TXI) 割り込みは、1 フレームの通信を完了した時点で発生します。

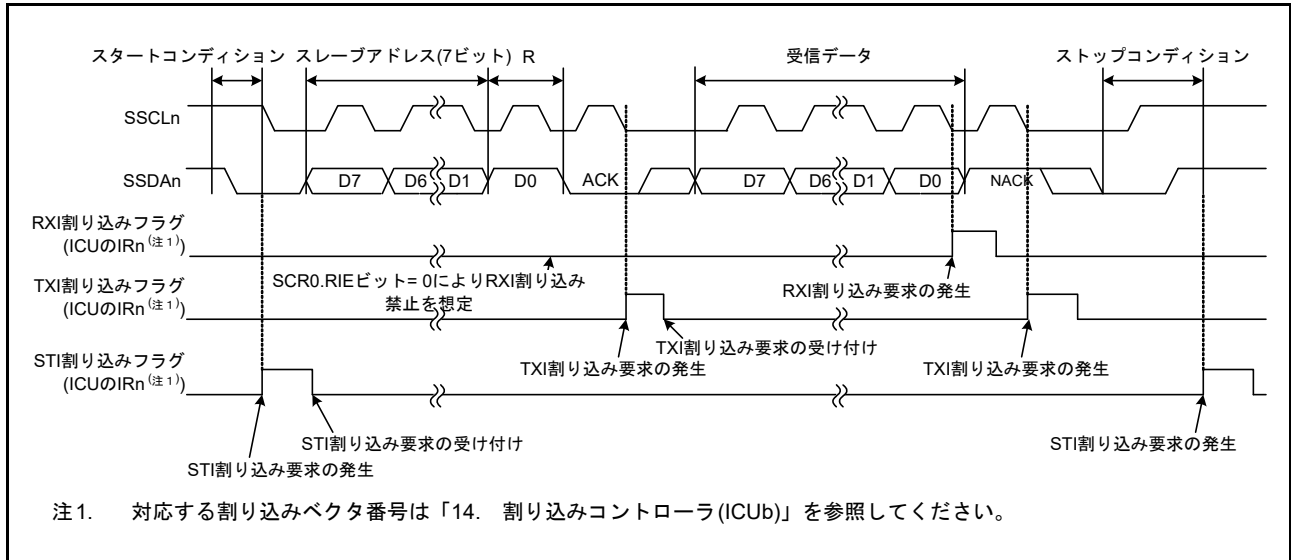


図 32.83 簡易 I²C モードのマスタ受信の動作例 (7ビットスレーブアドレス、送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

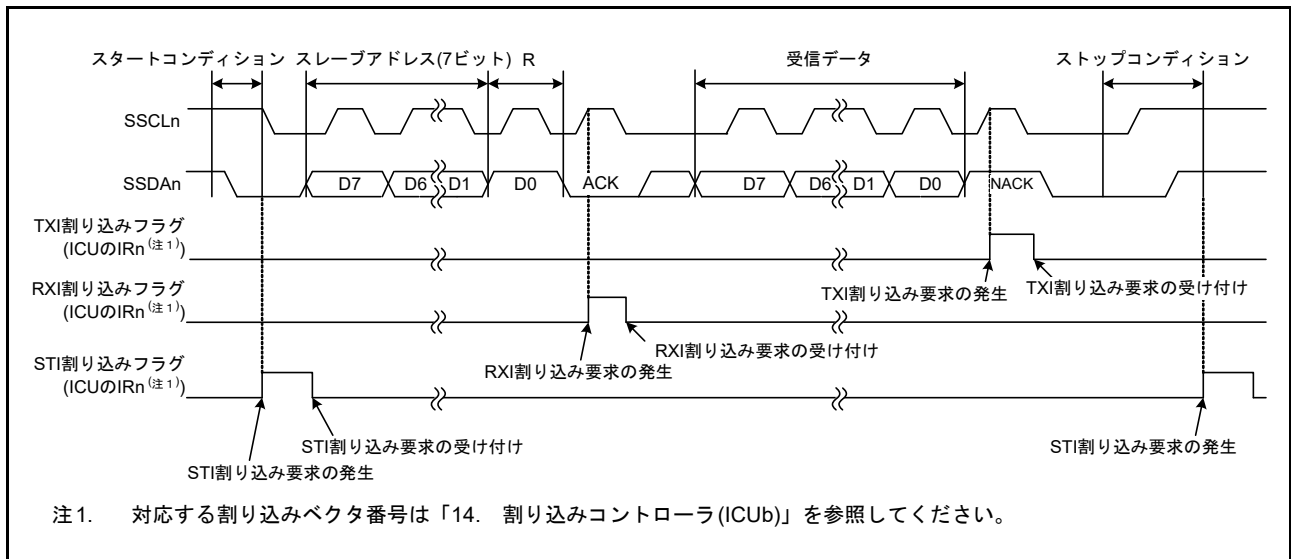


図 32.84 簡易 I²C モードのマスタ受信の動作例 (7ビットスレーブアドレス、ACK 割り込み / NACK 割り込み使用 (SIMR.IICINTM ビット = 0) 時)

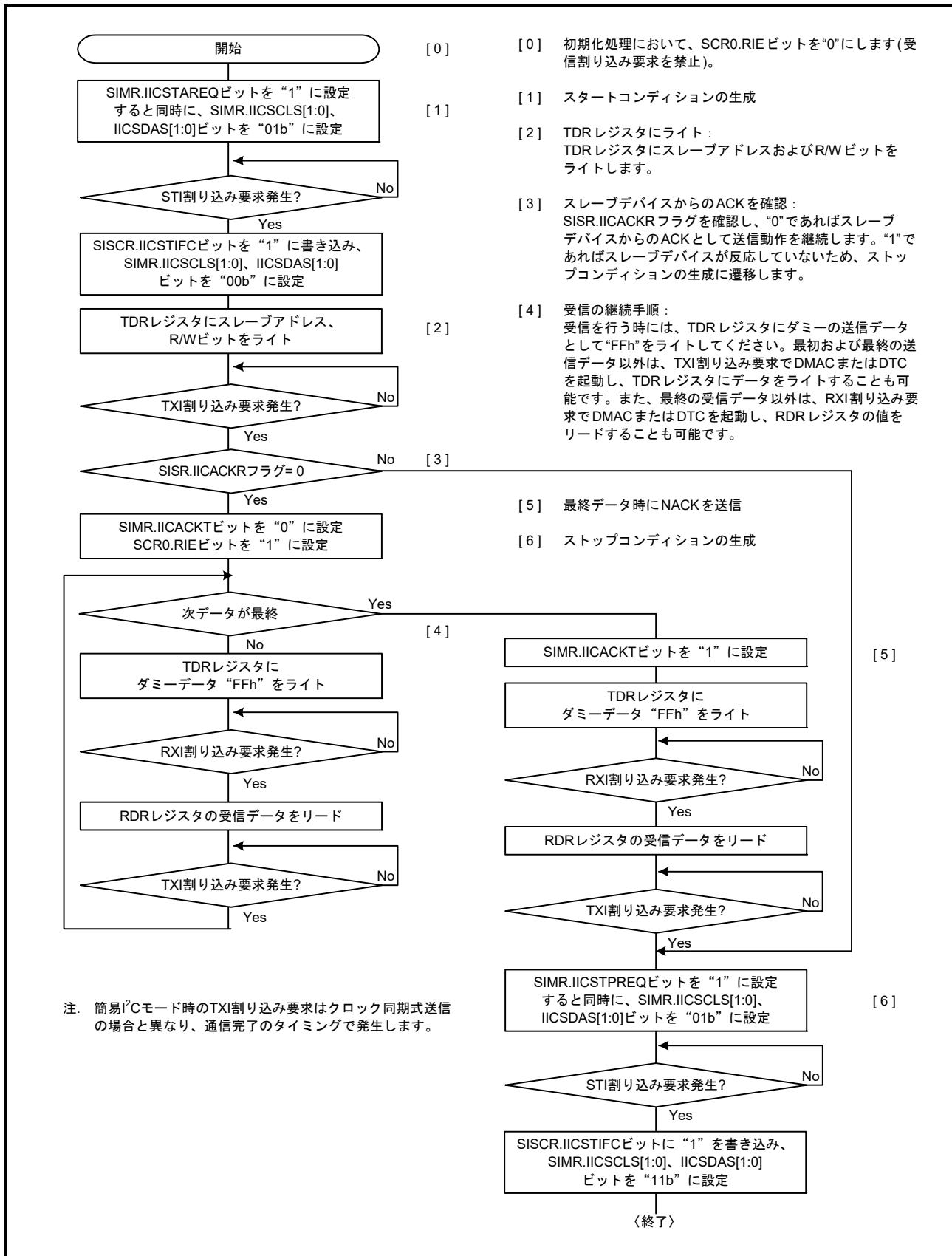


図 32.85 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み / 受信割り込み使用 (SIMR.IICINTM ビット = 1) 時)

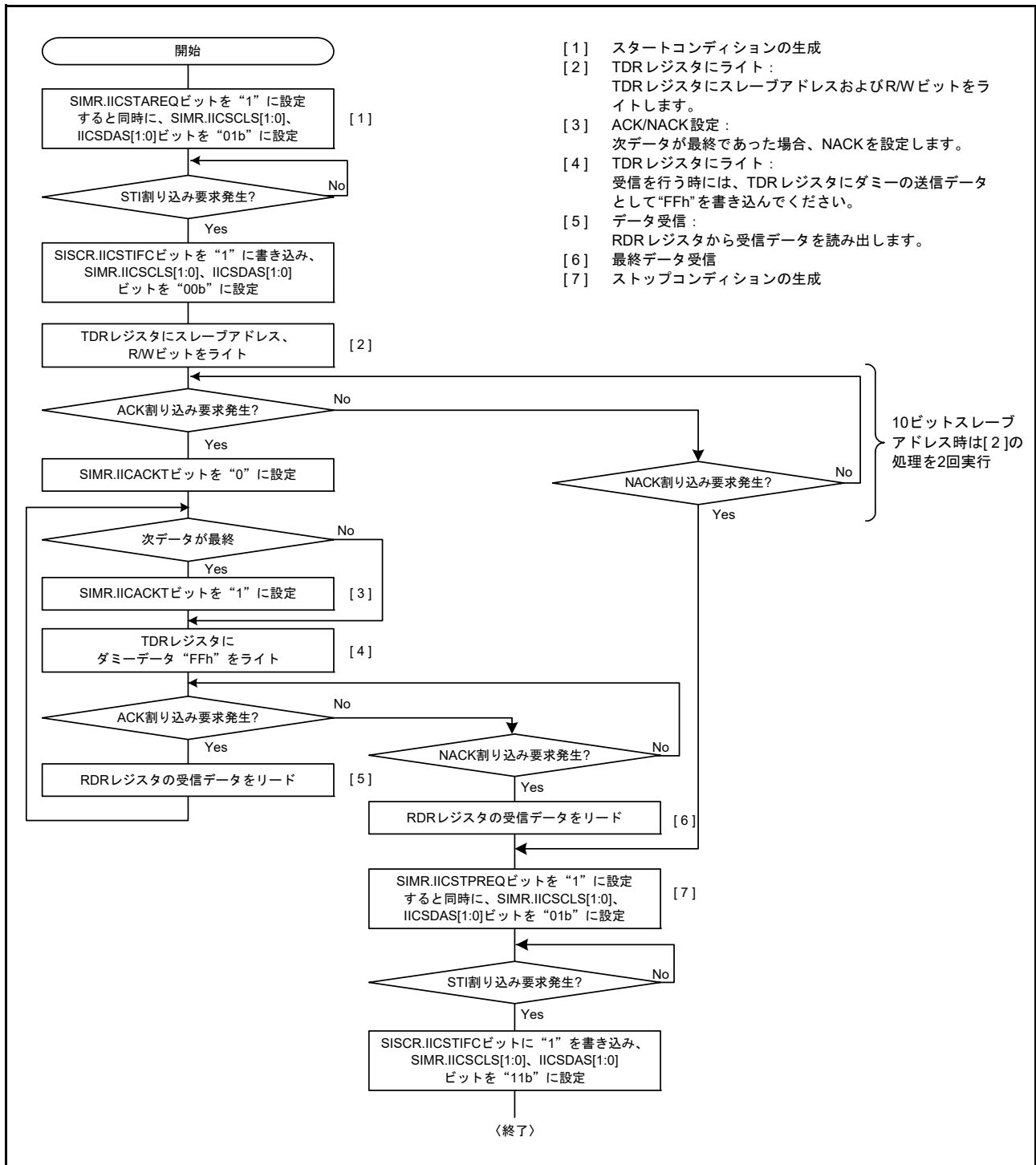


図 32.86 簡易 I2C モードのマスター受信動作のフローチャート例
 (ACK 割り込み / NACK 割り込み使用 (SIMR.IICINTM ビット = 0) 時)

32.10 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 32.87 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

RSCIは、CPHAビット=1かつCPOLビット=1のとき、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。ただし、CPHAビット=0かつスレーブ通信時は先頭ビット値に戻って保持されます。

RSCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

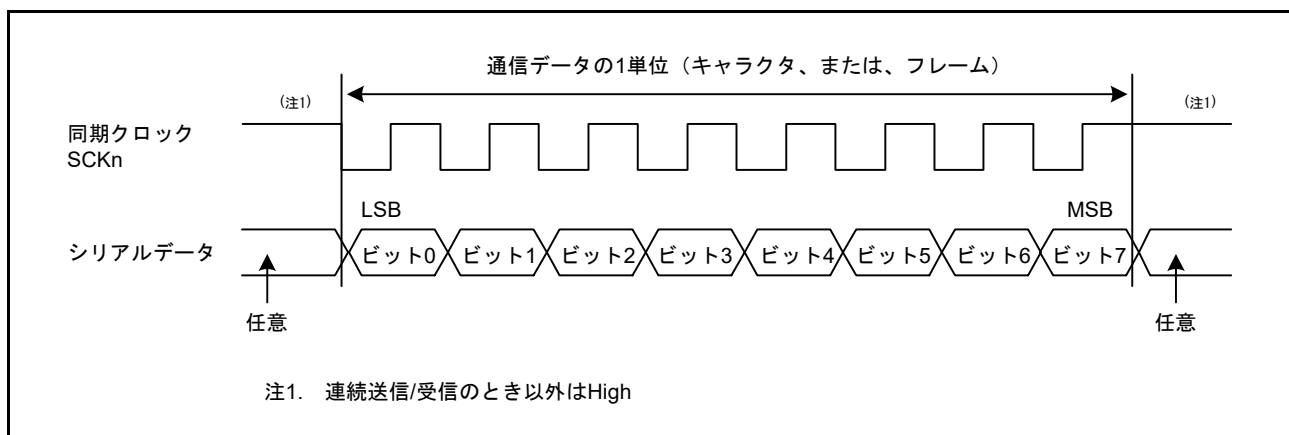


図 32.87 クロック同期式シリアル通信のデータフォーマット (LSB ファースト、CPHA ビット = 1、CPOL ビット = 1 の場合)

32.10.1 クロック

(1) 内部クロック選択時

SCR3.CKE[1:0] ビット = “00b” または “01b” 設定時 (マスタモード)、内蔵ボーレートジェネレータが生成する内部クロックを選択でき、SCKn 端子から同期クロックを出力します。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High (注1) に固定されます。また、送信のみおよび送受信時、送信データを準備しないと同期クロックを出力しません。

また、内部クロック選択時は受信サンプリングクロックに SCKn から遅延をつけたクロックを使用します。これにより高速通信時のデータセットアップホールド時間を確保します。

注1. SCR3.CPHA ビット = 0 かつ SCR3.CPOL ビット = 1、または SCR3.CPHA ビット = 1 かつ SCR3.CPOL ビット = 1 のときは High で停止します。また、SCR3.CPHA ビット = 0 かつ SCR3.CPOL ビット = 0、または SCR3.CPHA ビット = 1 かつ SCR3.CPOL ビット = 0 のときは Low で停止します。

(2) 外部クロック選択時

SCR3.CKE[1:0] ビット = “10b” または “11b” 設定時 (スレーブモード)、SCKn 端子から入力される外部クロックを使用して送受信を行います。

32.10.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SCR1.CTSE ビットを“1”にすると、CTS 機能が有効になります。クロック同期通信では内部クロック時に CTS 機能、外部クロック時に RTS 機能が使用可能ですので、CTS 機能と RTS 機能を同時に使うことはできません。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作および送信動作を開始します。

送信前から CTSn# 信号が High を維持した場合、送信開始しませんが、“TDR レジスタへ書き込んだ数 - 1”がデータ格納数となります。これは、TDR レジスタ書き込み後に TSR レジスタへデータが転送されるためですが、CTSn# 信号を Low レベルにすると、TSR レジスタから送信が開始されるので、問題ありません。

送受信および送信動作中に CTSn# 端子を High にした場合、送受信および送信中のフレームは影響を受けず送受信および送信を続けます。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用してシリアル通信開始要求を行う機能で、シリアル通信が可能な状態になると RTSn# 端子に Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR0.RE ビットまたは SCR0.TE ビットが“1”
- 読み出し前の受信データがない、かつ受信中でない (SCR0.RE ビットが“1”のとき)
- TDR レジスタに書いたデータが送信可能な状態になっている (SCR0.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

受信完了後 RDR レジスタを読み出さずに SCR0.RE ビット = 0 にして受信を終了させる場合は High のままです。この時は SCR0.RE ビット = 0 を書き込んでください。

32.10.3 RSCIの初期化(クロック同期式モード)

データの送受信前に SCR0.TE ビットと SCR0.RE ビットに“0”を書き込み(SCR0レジスタに初期値を書き込むでも可)、図 32.88 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、TE ビットと RE ビットに“0”を書き込んでから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、AFER、APER、RDRF フラグおよび RDR レジスタは初期化されませんので注意してください。動作モードの変更時にも注意してください。

TE ビットを“0”から“1”にすると、SCR0.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

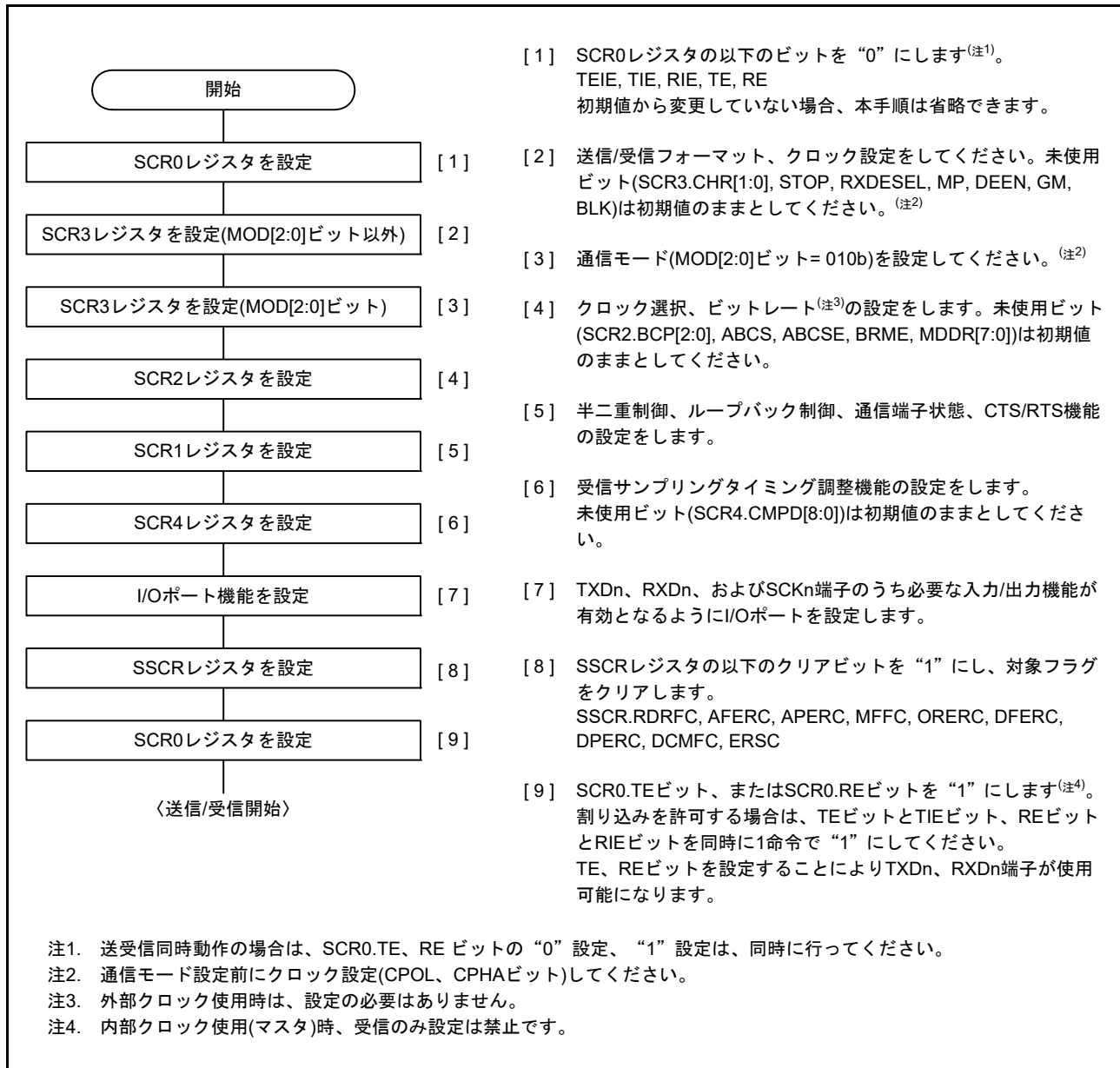


図 32.88 RSCIの初期化フローチャートの例(クロック同期式モード)

32.10.4 シリアルデータの送信 (クロック同期式モード)

図 32.89 ~ 図 32.91 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、RSCI は以下のように動作します。

1. RSCI は TXI 割り込みルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを、1 命令で同時に“1”にしてください。すると TXI 割り込み要求が発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR0.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR0.TIE ビットを“0”(TXI 割り込み要求を禁止)に、SCR0.TEIE ビットを“1”(TEI 割り込み要求を許可)にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SCR1.CTSE ビットが“1”(CTS 機能許可)のとき、CTS 信号入力 Low になるまで待つてから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新(書き込み)をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR0.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 32.92 にデータ送信のフローチャートの例を示します。

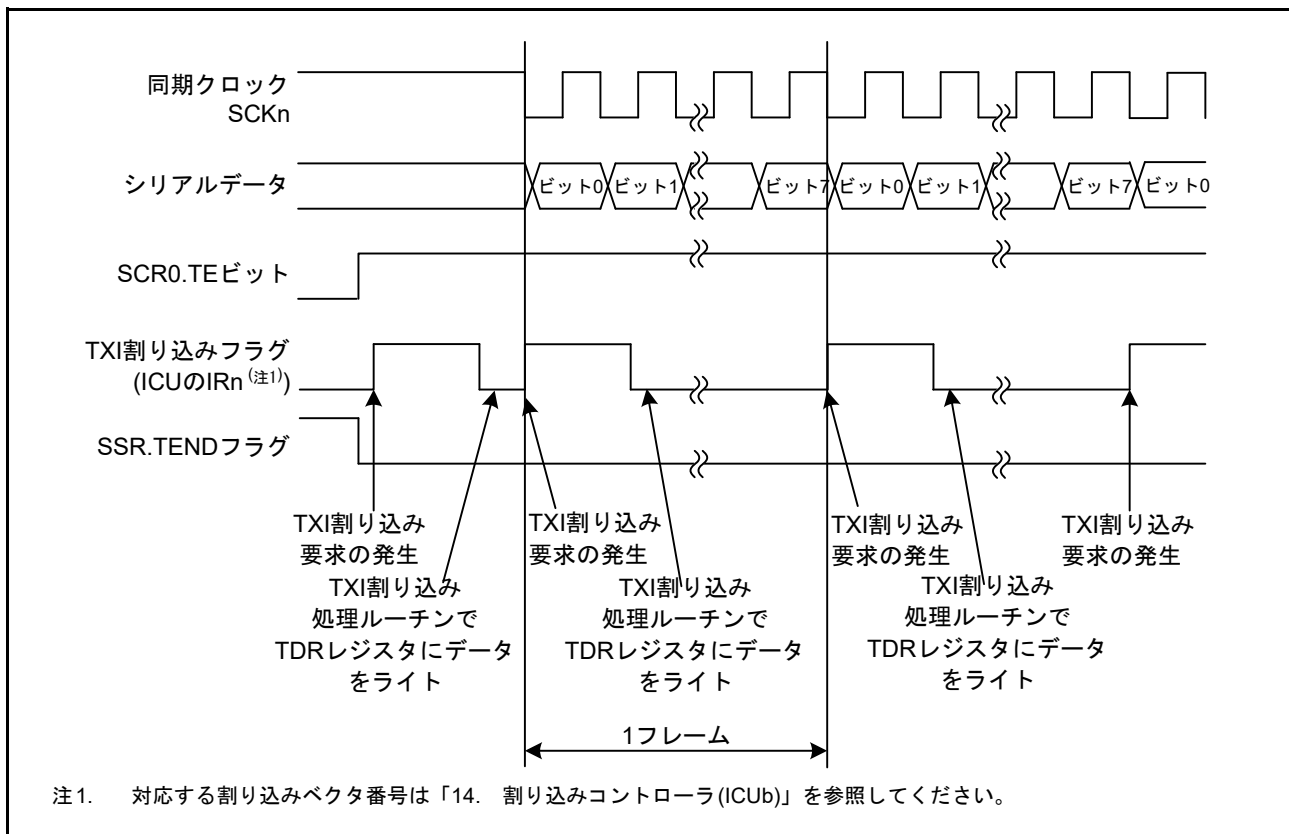


図 32.89 クロック同期式モードのシリアル送信の動作例 (1) (CTS 機能未使用時 / 送信開始時 / CPHA ビット = 1、CPOL ビット = 1)

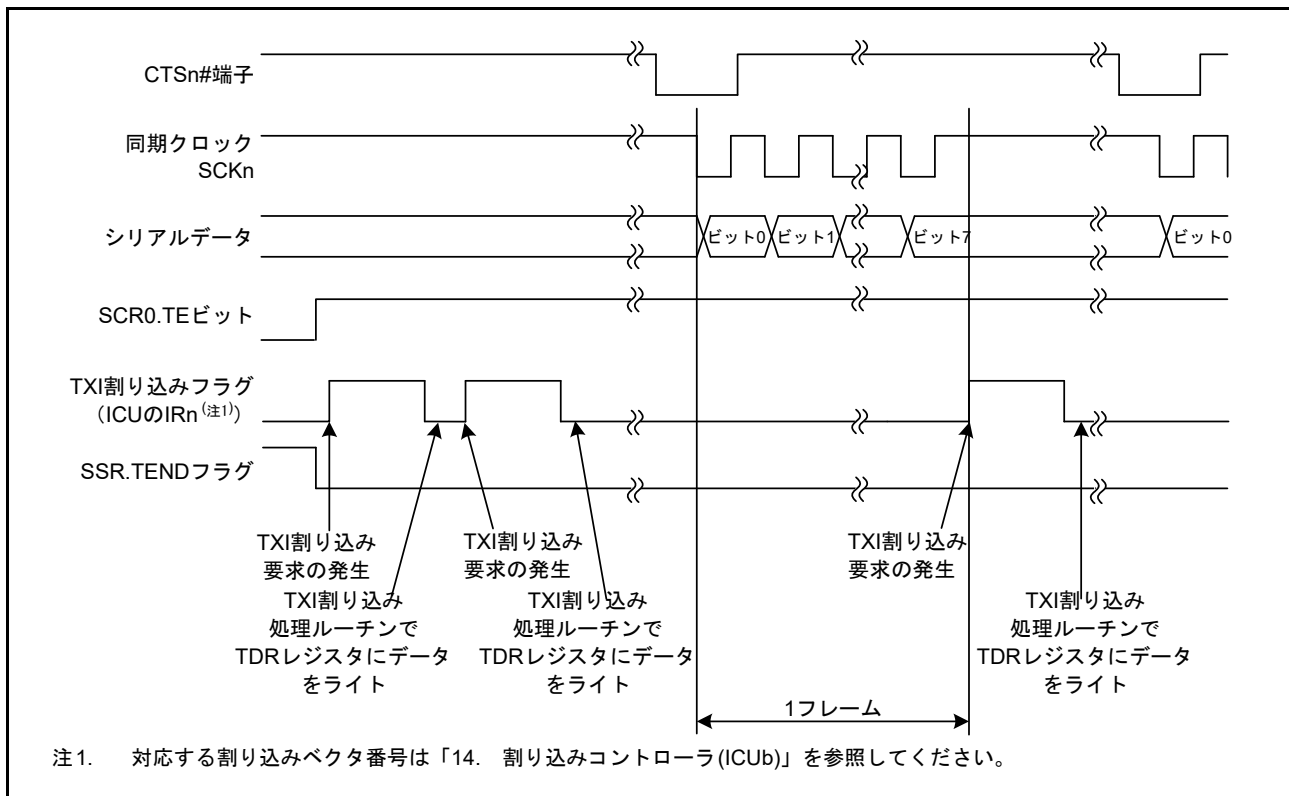


図 32.90 クロック同期式モードのシリアル送信の動作例 (2) (CTS 機能使用時 / 送信開始時 / CPHA ビット = 1、CPOL ビット = 1)

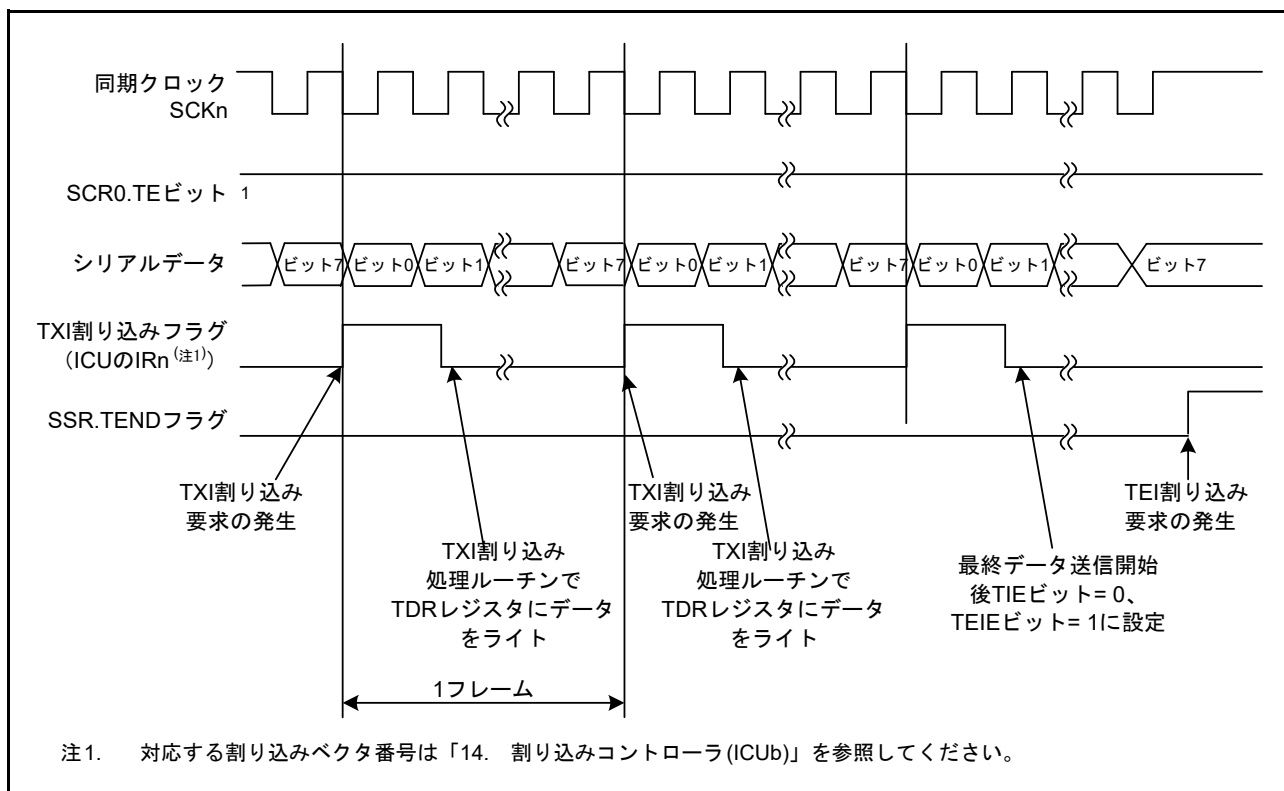


図 32.91 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信完了時 /CPHA ビット = 1、CPOL ビット = 1)

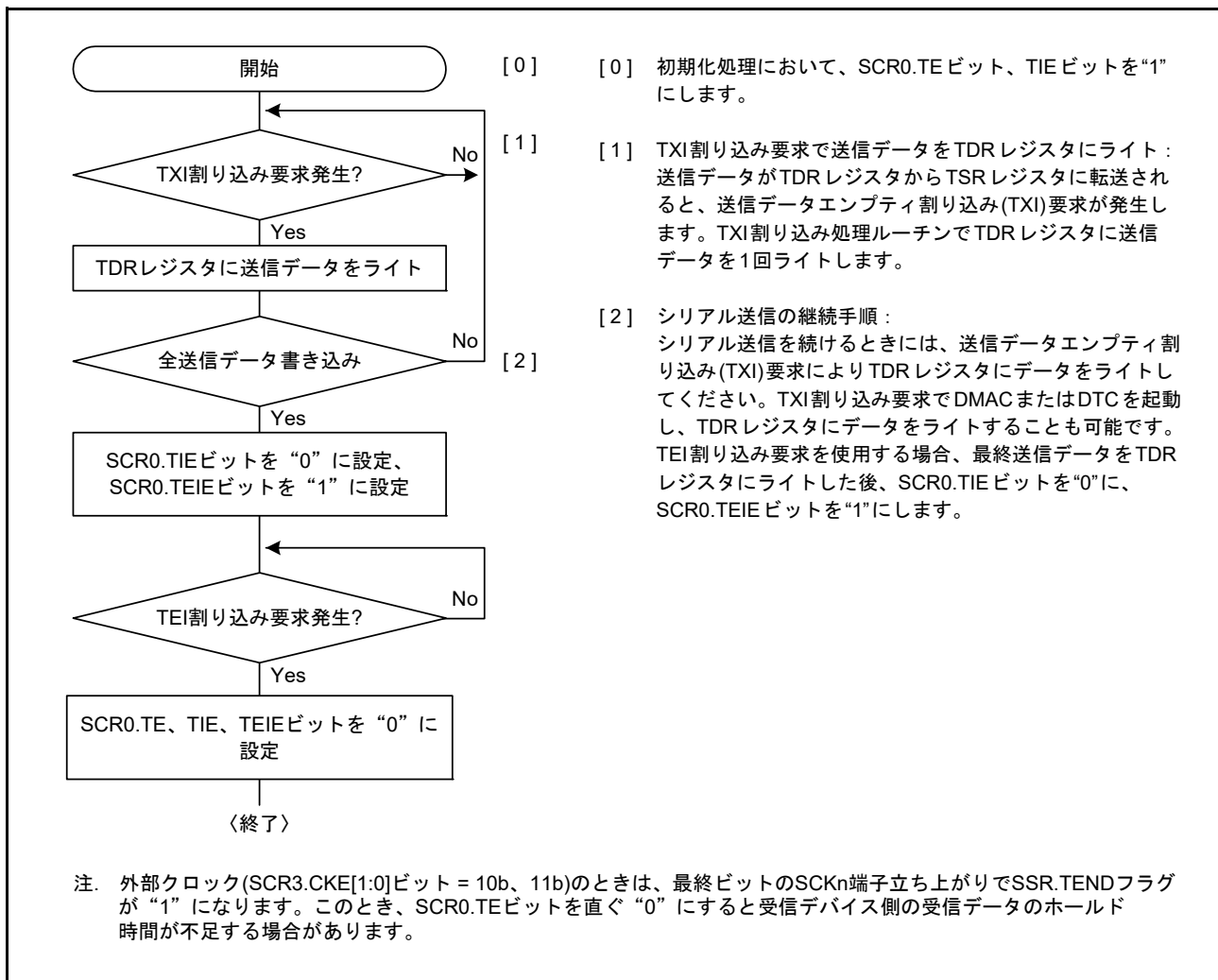


図 32.92 クロック同期式モードのシリアル送信のフローチャート例

32.10.5 シリアルデータの受信 (クロック同期式モード)

図 32.93、図 32.94 にクロック同期式モードのシリアル受信時の動作例を示します。

シリアルデータの受信時、RSCIは以下のように動作します。また、受信のみ動作はスレーブモード時のみ可能です(マスターモード時は受信のみ動作は禁止です)。

1. SCR0.RE ビットが“1”になると、RTSn# 端子の出力を Low にします (RTS 機能使用時)。
2. RSCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR0.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子の出力を Low にします (RTS 機能使用時)。最終データの受信後、RTSn# 端子出力を Low にしたくない場合は、RDR レジスタを読み出す前に、SCR0.RE ビットを“0”にしてください。

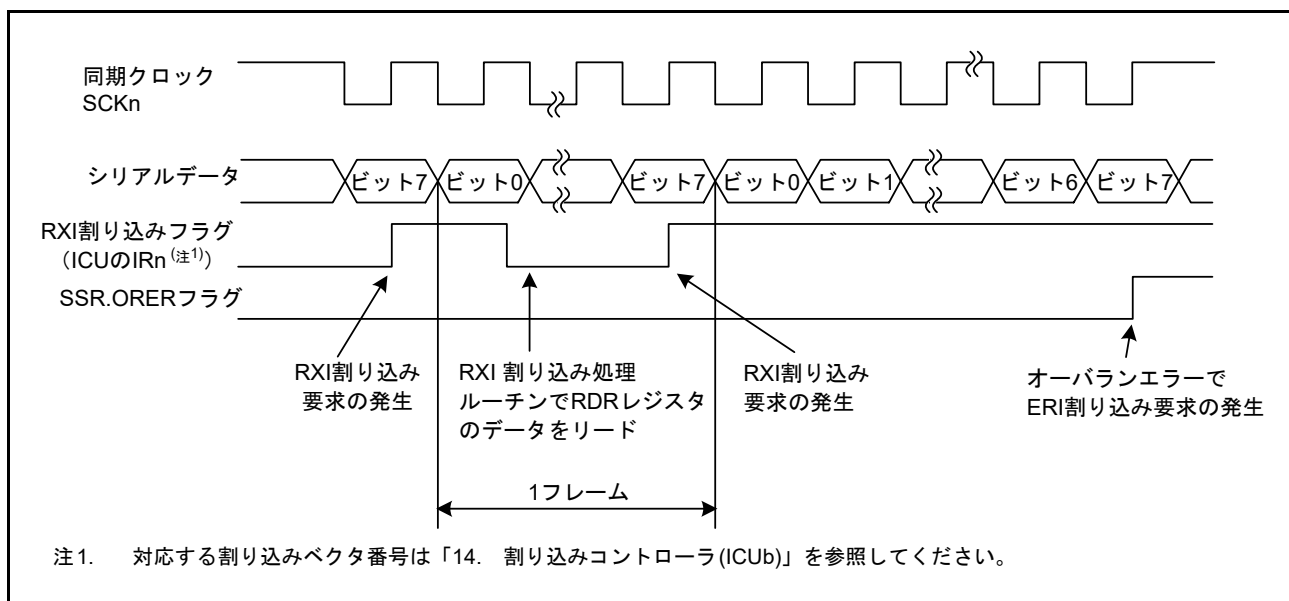


図 32.93 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時 /CPHA ビット = 1、CPOL ビット = 1)

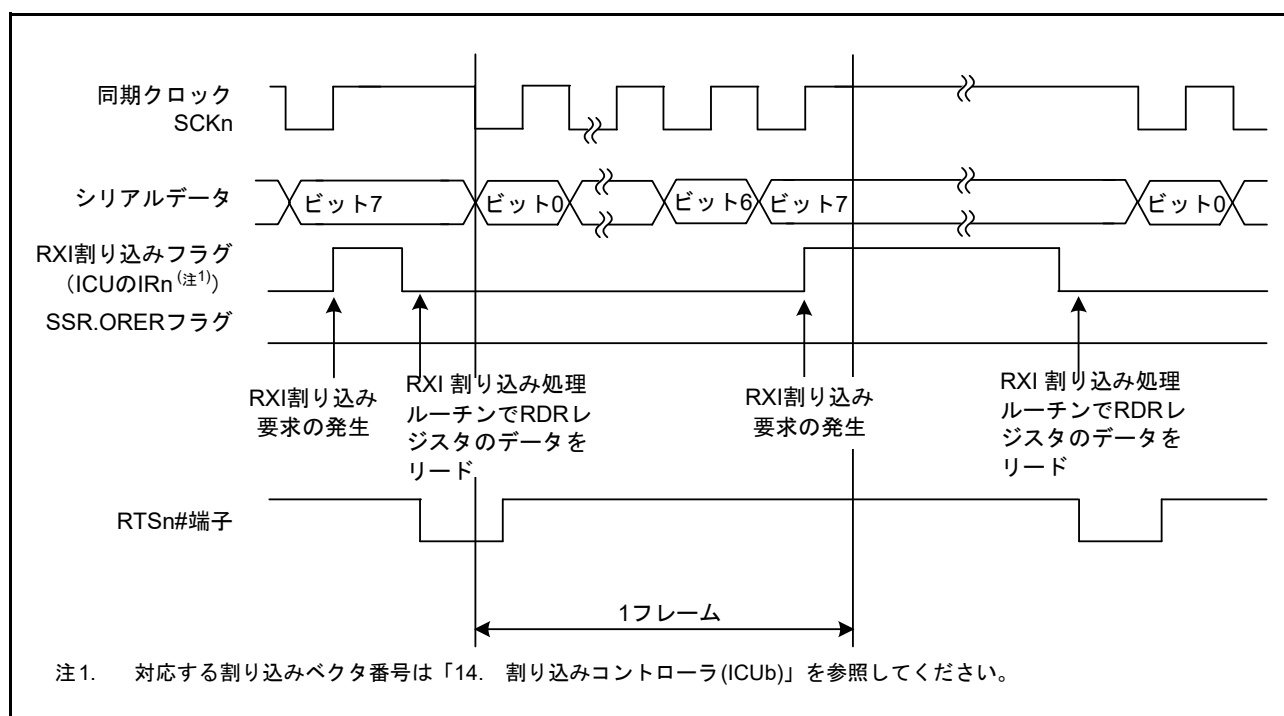


図 32.94 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時 /CPHA ビット = 1、CPOL ビット = 1)

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、AFER、APER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR0.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 32.95 にシリアル受信のフローチャートの例を示します。

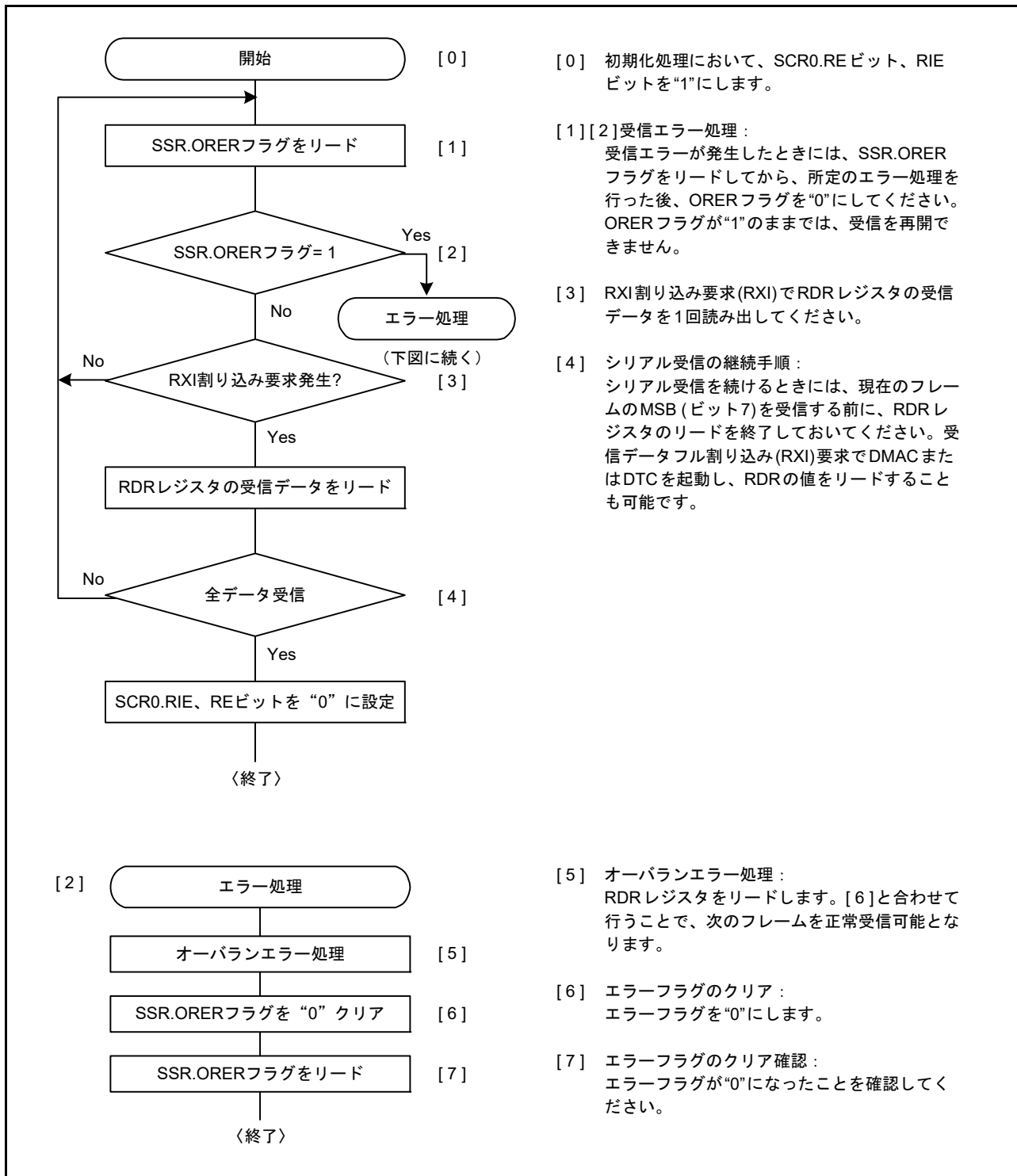


図 32.95 クロック同期式モードのシリアル受信のフローチャート例

32.10.6 シリアルデータの送受信同時動作 (クロック同期式モード)

クロック同期式モードでは送受信が同時に行われるため、送信データの数と受信データの数は同じです。

図 32.96 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、RSCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、RSCI が送信完了状態であることを SSR.TEND フラグが“1”であることで確認してください。その後、SCR0 レジスタの TE、RE ビットを“0”にしてから SCR0 レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、RSCI が受信完了状態であることを確認した後、SCR0 レジスタの TE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, AFER, APER) が“0”であることを確認した後、SCR0 レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

送受信同時動作での RTS 機能使用時に、受信時と同様に最終データ受信後の RTSn# 端子出力を Low にしたくない場合は、RDR レジスタをリードする前に、SCR0.RE と TE ビットを同時に“0”にしてください。

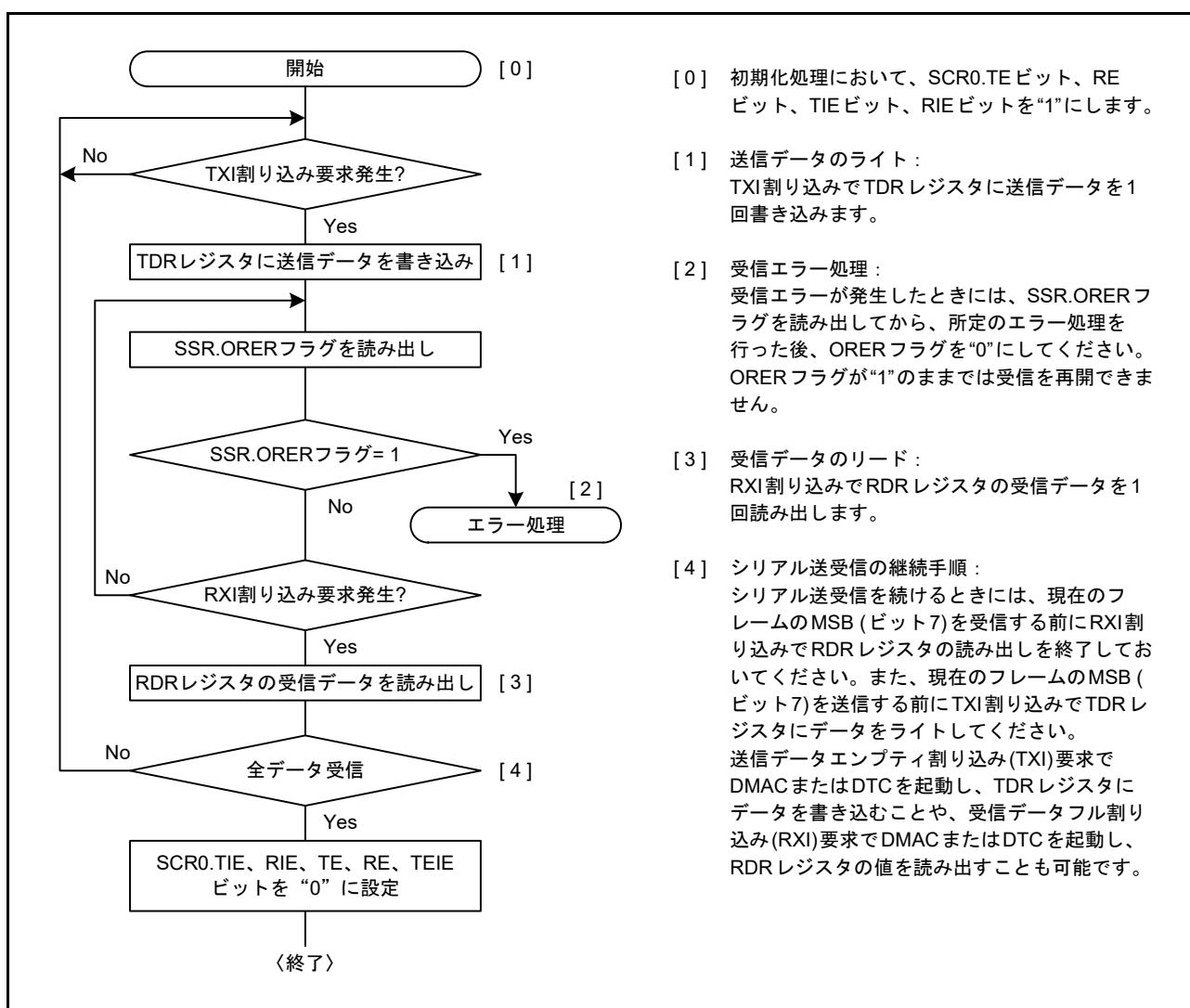


図 32.96 クロック同期式モードのシリアル送受信同時動作のフローチャート例

32.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能

クロック同期式モード内部クロック使用(マスタモード)時、受信サンプリングクロックに、MRCLKを使用します。

本機能は、MRCLKを1PCLK～4PCLK遅延させデジタル遅延を付加することで、受信サンプリングタイミングを調整する機能です。MRCLKのアナログ遅延は調整できません。

本機能は、SCR4.RTADJビット=1とすることで使用可能です、遅延値は、SCR4.RTMG[3:0]ビットで設定します。

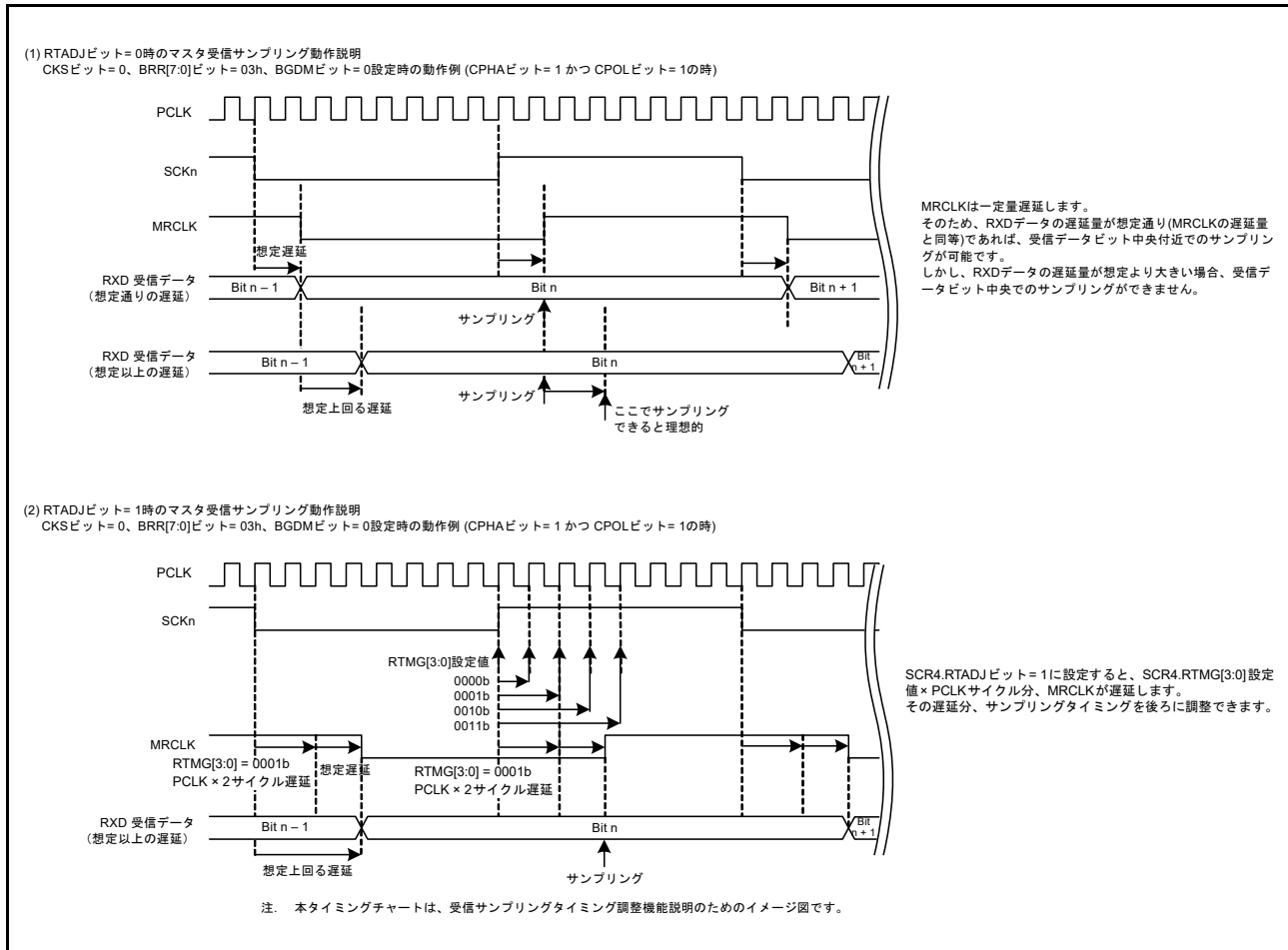


図 32.97 クロック同期式モードマスタ動作時、および簡易 SPI モードマスタ動作時の受信サンプリングタイミング調整動作説明

32.11 簡易 SPI モードの動作

RSCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

簡易 SPI モードの設定 (SCR3.MOD[2:0] ビット = 011b)、かつ、SCR0.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SCR0.SSE ビットを“0”にします。

図 32.98 に簡易 SPI モードの接続例を示します。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。

RSCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部 / 受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

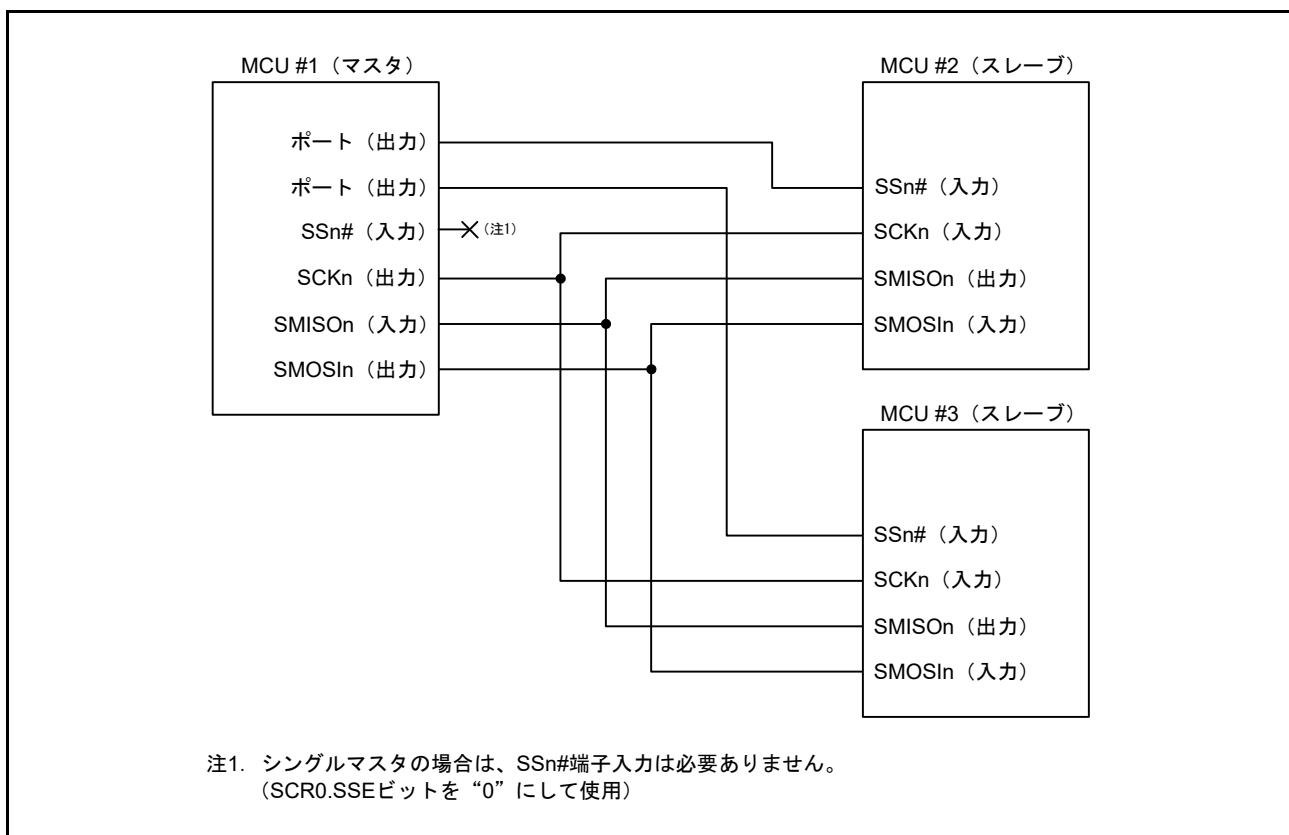


図 32.98 簡易 SPI モードの接続例

32.11.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR3.CKE[1:0] ビット = “00b” または “01b”) とスレーブモード (SCR3.CKE[1:0] ビット = “10b” または “11b”) で各端子の入出力方向が変わります。

表 32.36 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 32.36 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力 (注2)	クロック入力

注1. シングルマスタ時 (SCR0.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR0.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SCR0.SSE ビット = 1) かつ送受信禁止時 (SCR0.TE ビット = 0、RE ビット = 0) はハイインピーダンスです。

32.11.2 マスタモード時の SS 機能

SCR3.CKE[1:0] ビット = “00b” または “01b” を設定することで、マスタモードになります。

シングルマスタ時 (SCR0.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。SSn# 端子は別の用途で使用可能です。

マルチマスタ時 (SCR0.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SCR0.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき RSCI は TXDn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトとして SSR.MFF フラグが “1” になります。マルチマスタ時は SSR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生した場合、SSn# 端子入力が Low の期間中は SCKn 端子、TXDn 端子出力をハイインピーダンスにします。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

マスタモード時の SS 信号出力については、汎用ポートで制御してください。

32.11.3 スレーブモード時の SS 機能

SCR3.CKE[1:0] ビット = “10b” または “11b” を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、RXDn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、RXDn 端子出力をハイインピーダンスにし、即座に送受信動作を停止します。送信動作中であった場合、SSR.TEND フラグはセットせず、送信完了割り込みも出力しない、異常停止状態となりますので、スレーブ送受信動作中に SSn# 端子をネグートしないでください。異常停止状態となった場合、SCR0.RE ビットかつ SCR0.TE ビットを “0” にし送受信動作を停止させてください。送受信動作を再開する場合は、PCLK × 3 サイクル以上空けてから SCR0.RE、TE ビットを “1” にしてください。

32.11.4 クロックと送受信データの関係

SCR3.CPOL、CPHA ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 32.99 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

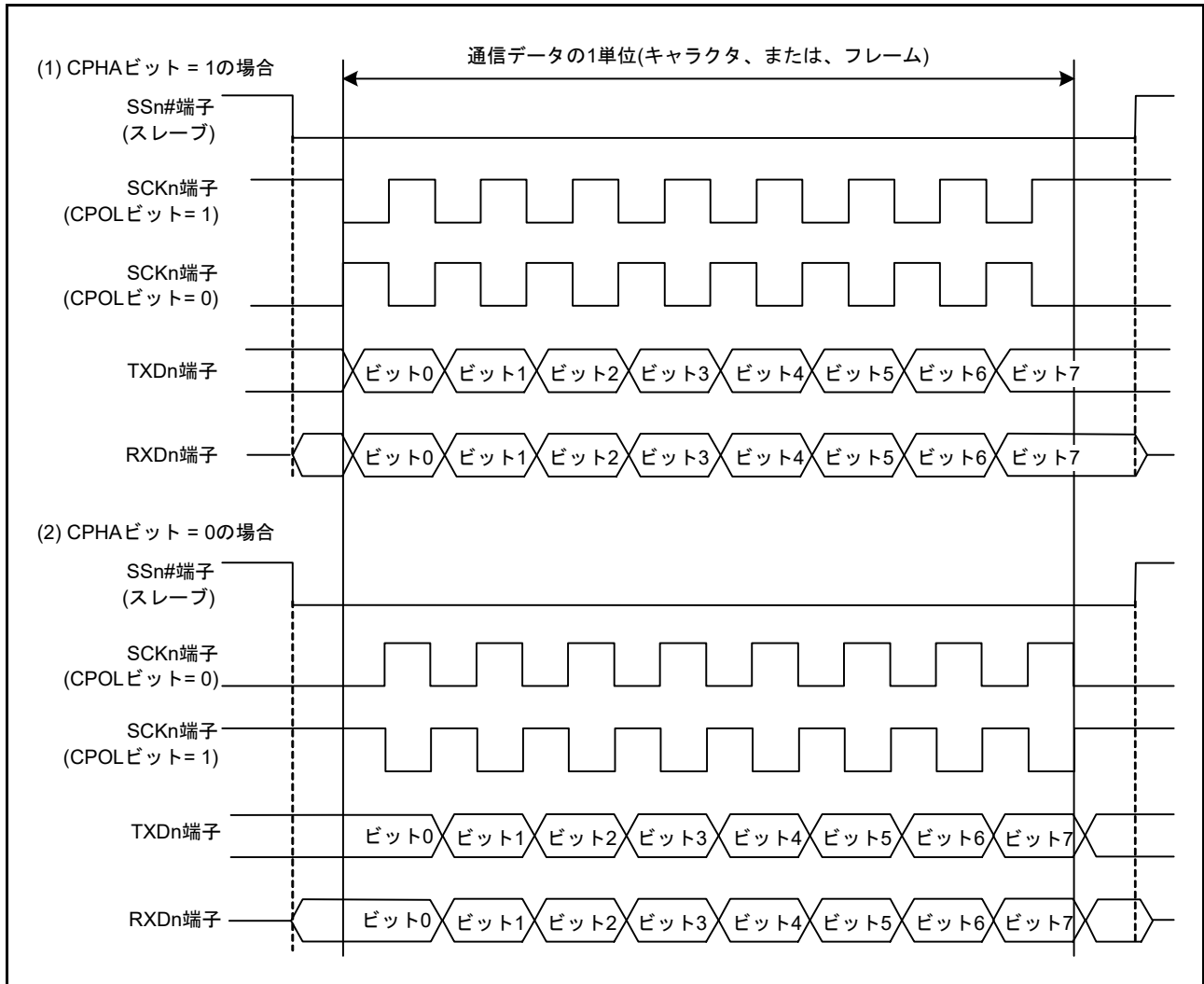


図 32.99 簡易 SPI モードのクロックと送受信データの関係

32.11.5 RSCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 32.88 の RSCI の初期化フローチャート例) と同様です。SCR3 レジスタの CPOL、CPHA ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、通信を停止 (SCR0.RE ビット = 0 かつ SCR0.TE ビット = 0) してから変更してください。

RE ビットを “0” にしても、SSR レジスタの ORER、AFER、APER フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを “0” から “1” にすると、SCR0.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

32.11.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にしてください。送受信が終了したら、送受信先のスレーブデバイスの SSn# 端子を High にしてください。マスタモード時でも SCR0.SSE ビット=1 としたマルチマスタ動作の場合、SSn# 端子が Low ではモードフォルトとなります。そのため、通信開始前にモードフォルトが発生していないことを確認して通信を開始し、通信終了後にもモードが発生していないことを確認してください。モードフォルトが発生していたら、通信が不完全な可能性があるため、再送などの対策が必要になります。これ以外の手順はクロック同期式モードと同様です。

スレーブモード時は、SSn# 端子入力レベルに応じて動作します。それ以外の手順はクロック同期式モードと同様です。

32.11.7 簡易 SPI モード内部クロック使用時の受信サンプリングタイミング調整機能

簡易 SPI モードの受信サンプリングタイミング調整機能は、クロック同期式モードの受信サンプリングタイミング調整機能と同じです。動作説明は、「32.10.7 クロック同期式モード内部クロック使用時の受信サンプリングタイミング調整機能」を参照してください。

32.12 ビットレートモジュレーション機能

ビットレートモジュレーション機能は、SCR2.CKS[1:0] ビットで指定された内部クロックを、その 256 クロック中で SCR2.MDDR[7:0] ビットで指定した個数のクロックを平均的にイネーブルにすることによってビットレートを補正します。

調歩同期式モードで SCR2.CKS[1:0] ビットで PCLK を選択し、BRR[7:0] ビットが “00h”、MDDR[7:0] ビットが “160” のときの例を、図 32.100 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックのイネーブルには偏りがあり、内部基本クロックのパルス幅は、選択した内部クロック分の伸縮が生じますので注意して下さい。

注． クロック同期式モード、簡易 SPI モード、スマートカードインタフェースモード、マンチェスタモード、および拡張シリアルモードでは、本機能を使用しないでください。

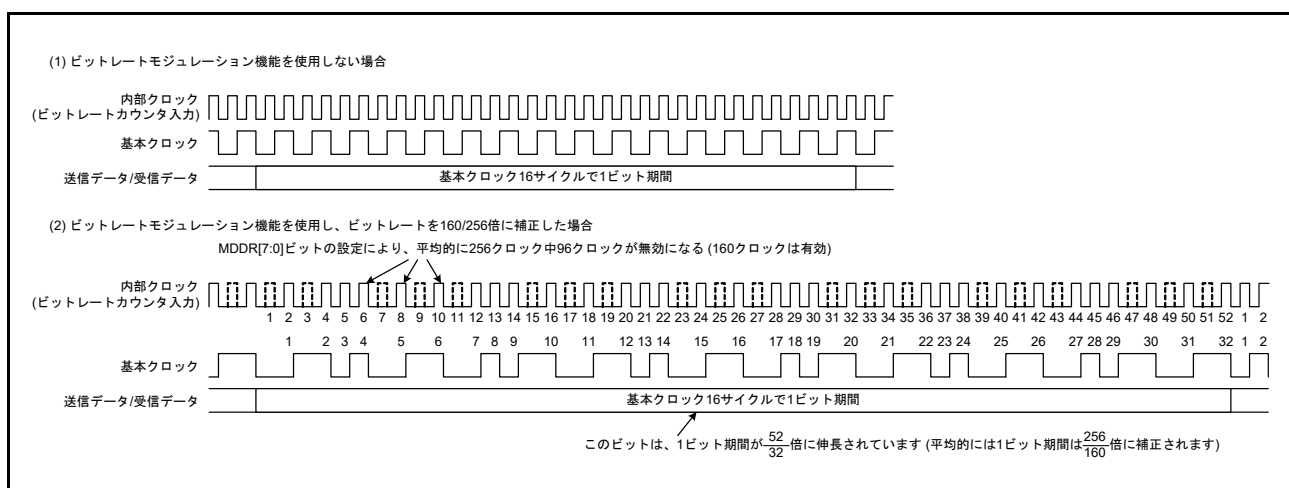


図 32.100 ビットレートモジュレーション機能使用時の基本クロックの例

32.14 RS-485 ドライバ制御機能

RSCI 制御レジスタ 3 (SCR3) の DEEN ビットを“1”にすることで、RS-485 ドライバ制御機能が有効になり、外部トランシーバーの送信モードを有効にする DE (Driver Enable) 信号を生成します。

DE 信号は、データ送信前後にセットアップ時間とホールド時間を付加した期間、有効レベルを出力します。DE 信号の有効レベルは、DE 信号制御レジスタ (DECR) の DELVL ビットで設定します。

セットアップ時間とは、DE 信号の有効からスタートビットの開始までの時間です。DE 信号制御レジスタ (DECR) の DESU[4:0] ビットで設定します。

ホールド時間とは、送信メッセージの最後のストップビットの終了から DE 信号の無効化までの時間です。DE 信号制御レジスタ (DECR) の DEHLD[4:0] ビットで設定します。

DESU[4:0] ビットおよび DEHLD[4:0] ビットは RSCI 基本クロック単位 (1/6、1/8 または 1/16 ビット時間) で表されます。詳細は、「32.2.12 DE 信号制御レジスタ (DECR)」を参照してください。

また、本機能使用時 (DEEN ビット = 1)、TEND セットタイミングと TEI 割り込み出力タイミングは DE 信号ホールド時間終了時になります。

送信が終了し、DE 信号がネゲートされるまでに次の送信データが書き込まれない場合、一度 DE 信号はネゲートされます。次の送信データを書き込むタイミングが上記に間に合わなかった場合、DE 信号はネゲート後再びアサートされ、設定したセットアップ時間を挿入して次のデータを送信します。DE 信号をアサートしたまま、次の送信を行いたい場合は、十分早く次の送信データを TDR へ書き込んでください。

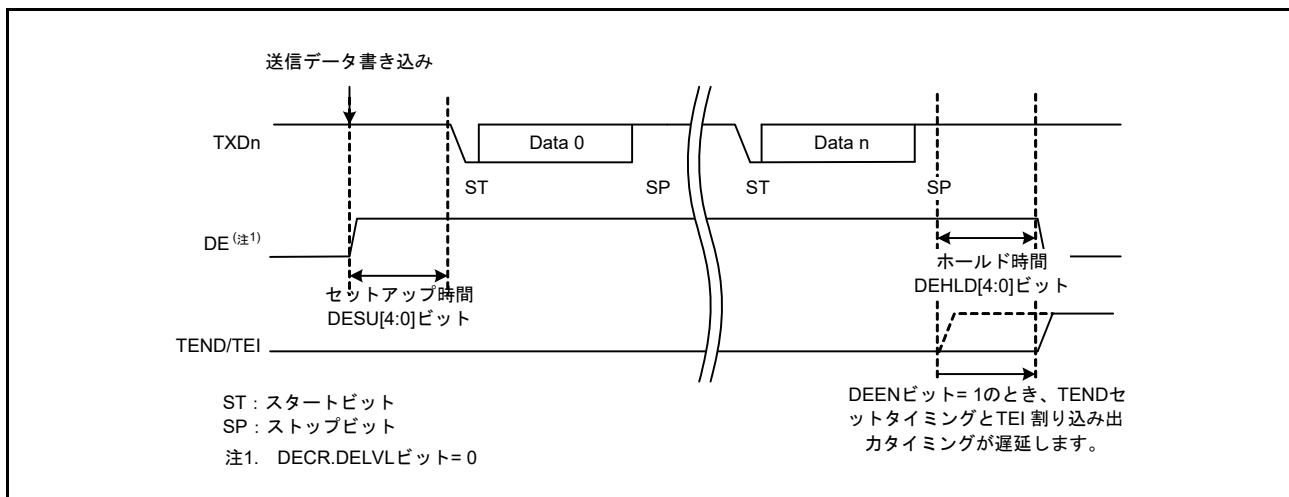


図 32.102 RS-485 ドライバ制御 DE 信号出力イメージ波形

32.15 ループバック機能

ループバック機能は、調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時に使用可能です。

SCR1レジスタのLOOPビットに“1”を書き込むと、RSCIは、外部入力(RXD)の経路を遮断し、送信データレジスタの出力経路と受信データレジスタの入力経路を接続します。

また、TINVビット=1で本機能を利用すると、RSCIの送信データの反転がRSCIの受信データになります。ただし、TINVビット=1で本機能を使用できるのは、クロック同期式モード内部クロック動作時のみです。

TINVビット、LOOPビットの設定と受信データの関係を表32.37に示します。

表32.37 TINVビット、LOOPビットの設定と受信データ

TINV	LOOP	受信データ	使用許可モード		
			調歩同期式 内部クロック動作	マンチェスタ 内部クロック動作	クロック同期式 内部クロック動作
—	0	RXDn端子からの入力データ	可	可	可
0	1	送信データ	可	可	可
1	1	送信データの反転	不可	不可	可

—：任意

図32.103に、ループバックモードのシフトレジスタ入出力経路の構成を示します。

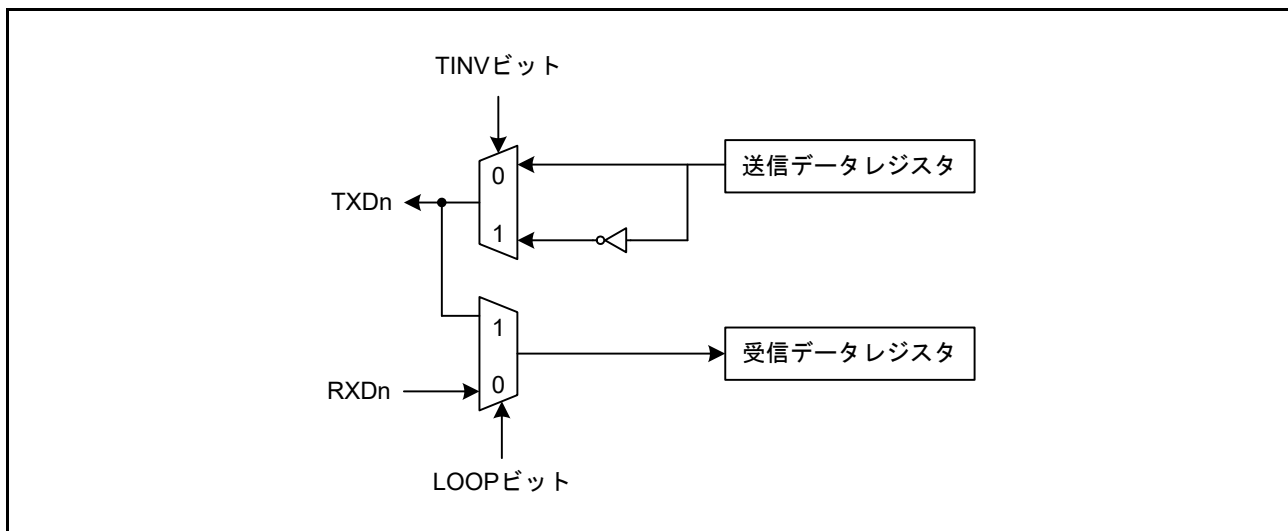


図32.103 ループバックモード時のシフトレジスタ入出力構成イメージ図

32.16 半二重通信機能

半二重通信機能は、簡易 I²C モード時、および簡易 SPI モード時、スマートカードインタフェースモード時は使用しないでください。

その他の通信モード時、SCR1.HDSEL ビットを“1”にした場合、TXD_n 端子を用いて半二重通信が可能になります。半二重通信を行う場合、送信と受信は排他的に行ってください、送受信設定 (SCR0.TE ビット = 1 かつ SCR0.RE ビット = 1) は禁止です。

ただし、クロック同期式モード時にマスタとして半二重通信の受信を行う場合は、送受信設定 (SCR0.TE ビット = 1 かつ SCR0.RE ビット = 1) をし、ダミー送信を行ってください。ダミー送信 (任意の送信データを TDR に書き込む) により、SCK_n が出力され、受信動作が可能になります。なお、ダミー送信データは、IP 内部で破棄され実際に送信されることはありません。

半二重通信時、使用する通信ポート端子は TXD_n 端子のみです。SCR0.TE ビット = 1 のとき出力、SCR0.TE ビット = 0 のとき入力となります。

32.17 割り込み信号

RSCIが有する割り込み信号を表 32.38 に示します。

各動作モードに応じた割り込み説明を 32.17.2 ~ 32.17.5 に記載しています。また、TXI と RXI には割り込みバッファ機能があります。「32.17.1 TXI 割り込みおよび RXI 割り込みバッファ動作」を参照してください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから RSCI の設定を行ってください。DTC または DMAC の設定方法は、「18. データトランスファコントローラ (DTCb)」、「17. DMA コントローラ (DMACA)」を参照してください。

表 32.38 RSCI 割り込み一覧表

割り込みシンボル	割り込みの種類	パルス/レベル	パルス幅	アクティブレベル	同期クロック	備考
ERI	エラー割り込み バス衝突検出割り込み	レベル	—	Low	PCLK	
RXI	簡易 I ² C : 受信完了割り込み その他 : 受信データフル割り込み	パルス	1cycle	Low	PCLK	
TXI	簡易 I ² C、スマートカードインタフェース : 送信完了割り込み その他 : 送信データエンプティ割り込み、Break Field 送出完了割り込み	パルス	1cycle	Low	PCLK	
TEI	簡易 I ² C : スタートコンディション、リスタートコンディション、ストップコンディション生成終了 (STI 割り込み) その他 : 送信完了割り込み	レベル	—	Low	PCLK	
AED	有効エッジ検出割り込み	パルス	1cycle	Low	PCLK	拡張シリアルモード時のみ
BFD	Break Field 検出割り込み	レベル	—	Low	PCLK	

32.17.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みと RXI 割り込みには、割り込みバッファ機能があり、最初の割り込み要求が発生し、その割り込み処理中 (割り込みコントローラ (ICU) のステータスフラグが“1”のとき) に次の割り込み要求が発生した場合、RSCI は割り込み要求を出力せず、内部で保持します。保持できる割り込みは、1 要求までです。

32.17.2 調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

各割り込み要因には異なる割り込みベクタが割り当てられており、SCR0 レジスタのイネーブルビットにより独立にイネーブルにすることができます。

表 32.39 に調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

SCR0.TIE ビットが“1”のとき、TDR レジスタから TSR レジスタに送信データが転送されると TXI 割り込み要求が発生します。また送信開始時は、SCR0.TIE ビットと SCR0.TE ビットを1命令で同時に“1”にします。すると TXI 割り込み要求が発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、TE ビットが“1”の状態では TIE ビットを“1”にした場合には発生しません(注1)。

SCR0.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR0.TE ビットを“1”にしてから TDR レジスタに送信データをライトするまでの間は、TEND フラグは“1”を保持しており、TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR0.RIE ビットが“1”のとき、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

SCR0.RIE ビットが“1”のとき、SSR.ORER、AFER、APER、および MMSR.MCER、SYER (SYERIE = 1 の場合)(注2)、PFER (PFERIE = 1 の場合)(注2)、SBER (SBERIE = 1 の場合)(注2) フラグのいずれかが“1”にセットされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER、AFER、APER、および MMSR.MCER、SYER (SYERIE = 1 の場合)(注2)、PFER (PFERIE = 1 の場合)(注2)、SBER(SBERIE = 1 の場合)(注2) のすべてのフラグをクリアすることにより ERI 割り込み要求を取り下げることができます。

注1. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信完了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止/許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

注2. マンチェスタモード時のみ、ERI 割り込みの要因に MMSR.SYER (SYERIE = 1 の場合)、PFER (PFERIE = 1 の場合)、SBER (SBERIE = 1 の場合) フラグが追加となります。

表 32.39 RSCI割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	受信エラー	ORER, AFER, APER, DFER, DPER, MCER, SYER (SYERIE = 1の場合), PFER (PFERIE = 1の場合), SBER (SBERIE = 1の場合)	RIE	不可
RXI	受信データフル	RDRF	RIE	可
	受信データ一致	DCMF		
TXI	送信データエンプティ	TDRE	TIE	可
	TE = 0 → 1検出時			
TEI	送信完了	TEND	TEIE	不可

32.17.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 32.40 の割り込み要因があります。送信完了割り込み (TEI) 要求は使用できません。

表 32.40 RSCI割り込み要因(スマートカードインタフェースモード時)

名称	割り込み要因	割り込みフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	受信エラー、エラーシグナル検出	ORER, APER, ERS	RIE	不可
RXI	受信データフル	RDRF	RIE	可
TXI	送信完了	TEND	TIE	可
	TE = 0 → 1検出時			

スマートカードインタフェースモードの場合も DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”にセットされると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”にクリアされます。

エラーが発生した場合は RSCI が自動的に同じデータを再送信します。この間 TEND フラグは“0”のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、RSCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR0.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMAC は起動されず、かわりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

送受信動作時に、DTC または DMAC を使用する場合は、RSCI 設定を行う前に、DTC または DMAC を有効にする設定を行ってください。DTC または DMAC の設定方法は「18. データトランスファコントローラ (DTCb)」、 「17. DMA コントローラ (DMACA)」を参照してください。

32.17.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 32.41 の割り込み要因があります。

STI 割り込みは TEI 割り込み要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。簡易 I²C モードも、DTC または DMAC を使って送受信を行うことができます。

SIMR.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がりで、RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がりで、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC または DMAC が起動されて送信データの転送が行えます (この場合は ACK/NACK を確認することができません)。

SIMR.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がりで、SSDAn 端子入力 Low レベルだと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力 High レベルだと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC または DMAC が起動されて受信データまたは送信データの転送が可能です。また、送受信動作時に、DTC または DMAC を使用する場合は、RSCI 設定を行う前に、DTC または DMAC を有効にする設定を行ってください。

SIMR.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いてスタートコンディション、リスタートコンディション、ストップコンディションを生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 32.41 RSCI 割り込み要因 (簡易 I²C モード時)

名称	割り込み要因		割り込みフラグ	割り込み許可ビット	DTC/DMAC の起動
	IICINTM = 1	IICINTM = 0			
RXI	受信完了	—	—	RIE	可 (注1)
	—	ACK 検出	—		可
TXI	送信完了	—	—	TIE	可 (注1)
	—	NACK 検出	—		可
STI	スタートコンディション、リスタートコンディション、ストップコンディション生成終了		IICSTIF	TEIE	不可

注1. DTC、DMAC 使用時は、ACK/NACK の確認はできません。

32.17.5 拡張シリアルモードにおける割り込み

拡張シリアルモードでは、表 32.42 の割り込み要因があります。

表 32.42 RSCI割り込み要因(拡張シリアルモード時)

名称	割り込み要因	割り込み要因フラグ	割り込み要因ではないが確認が必要なフラグ	割り込み許可ビット	DTC/DMACの起動
ERI	エラー	ORER, AFER, APER	—	RIE	不可
		BCDF		BCDIE	
		COF		RIE, COFIE	
RXI	受信データフル	RDRF	CF0MF, CF1MF, PIBDF	RIE	XSR0.SFSF フラグ=0 : 可 XSR0.SFSF フラグ=1 : 不可
AED	有効エッジ検出	AEDF	—	AEDIE	可
TXI	送信データエンプティ	TDRE	—	TIE	可
	TE = 0 → 1検出時				
	Break Field送出完了	BFOF	—	TIE, BFOIE	
TEI	送信完了	TEND	—	TEIE	不可
BFD	Break Field検出	BDFD	—	BFDIE	不可(不要)

拡張シリアルモード時、受信エラー(オーバランエラー、フレーミングエラー、パリティエラー)に加え、送信時のバス衝突検出時、拡張シリアルモジュールのカウンタオーバーフロー発生時にも ERI 割り込み要求が出力されます。このとき、RXI 割り込み要求は出力しません。全てのフラグをクリアすることにより、ERI 割り込み要求を取り下げることができます。

Start Frame 送信時、SCR0.TIE ビット=1 かつ XCR0.BFOIE ビット=1 のとき、Break Field 送出が完了すると TXI 割り込み要求が出力されます。Control Field 0 データを TDR レジスタに書き込むとデータ送信を開始します。そのため、DTC または DMAC を用いた送信が可能です。

最後の送信データを TDR レジスタに書き込み、送信が開始した後(TXI 出力後)、SCR0.TEIE ビット=1 にしてください。

Start Frame 受信時(XSR0.SFSF フラグ=1)は、RXI 割り込みによる DTC または DMAC を用いた受信はできません。SSR レジスタと XSR0 レジスタを確認し、受信状態(図 32.66)を確認後、フラグをクリアしてください。また、データを受信した場合はオーバランエラーにならないように RDR レジスタを読み出してください(受信データ値の確認が不要であれば、RDR レジスタを読み出さずに RDRF フラグクリアしてください)。Control Field 1 の受信が完了(XSR0.CF1MF フラグ=1)すると、Start Frame 検出無効状態(XSR0.SFSF フラグ=0)となり、DTC または DMAC を用いた受信が可能です。前記と同様に RDR レジスタを読み出してください。

Start Frame/Break Field 検出有効(XCR1.SDST ビット=1)時、XCR2.BFLW[15:0] ビットで設定した期間以上の Break Field を受信すると、BDFD フラグをセットし、BFD 割り込み要求を出力し、RSCI は Start Frame 受信状態になります。BDFD フラグをクリアしてください。

Start Frame/Break Field 検出有効時(XCR1.SDST ビット=1)かつビットレート測定機能有効(XCR1.BRME ビット=1)時、有効エッジを検出すると AED 割り込み要因を出力します。タイマカウンタキャプチャ値(XSR1.CCV[15:0] ビット)を読み出してください。

32.18 使用上の注意事項

32.18.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、RSCI の動作を禁止 / 許可することができます。リセット後の値では、RSCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

32.18.2 消費電力低減機能の注意事項

(1) 送信

消費電力低減機能を使用し、RSCI の消費電力を低減する場合、送信動作停止後 (SSR.TEND フラグ = 1) に低消費電力状態へ遷移させてください。このとき、SCR1.SPB2DT、SCR1.SPB2IO ビットに送信動作停止後の出力端子状態を設定したあと、動作を停止 (SCR0.TIE ビット = 0、TE ビット = 0、TEIE ビット = 0) してください。送信中に遷移させると、送信中のデータは不確定になります。

低消費電力状態からの解除のあと、動作モードを変えないで送信する場合は、TE ビット = 1 にし、SSR レジスタリード → TDR レジスタライトで送信開始できます。動作モードを変えて送信する場合は、初期設定から行ってください。

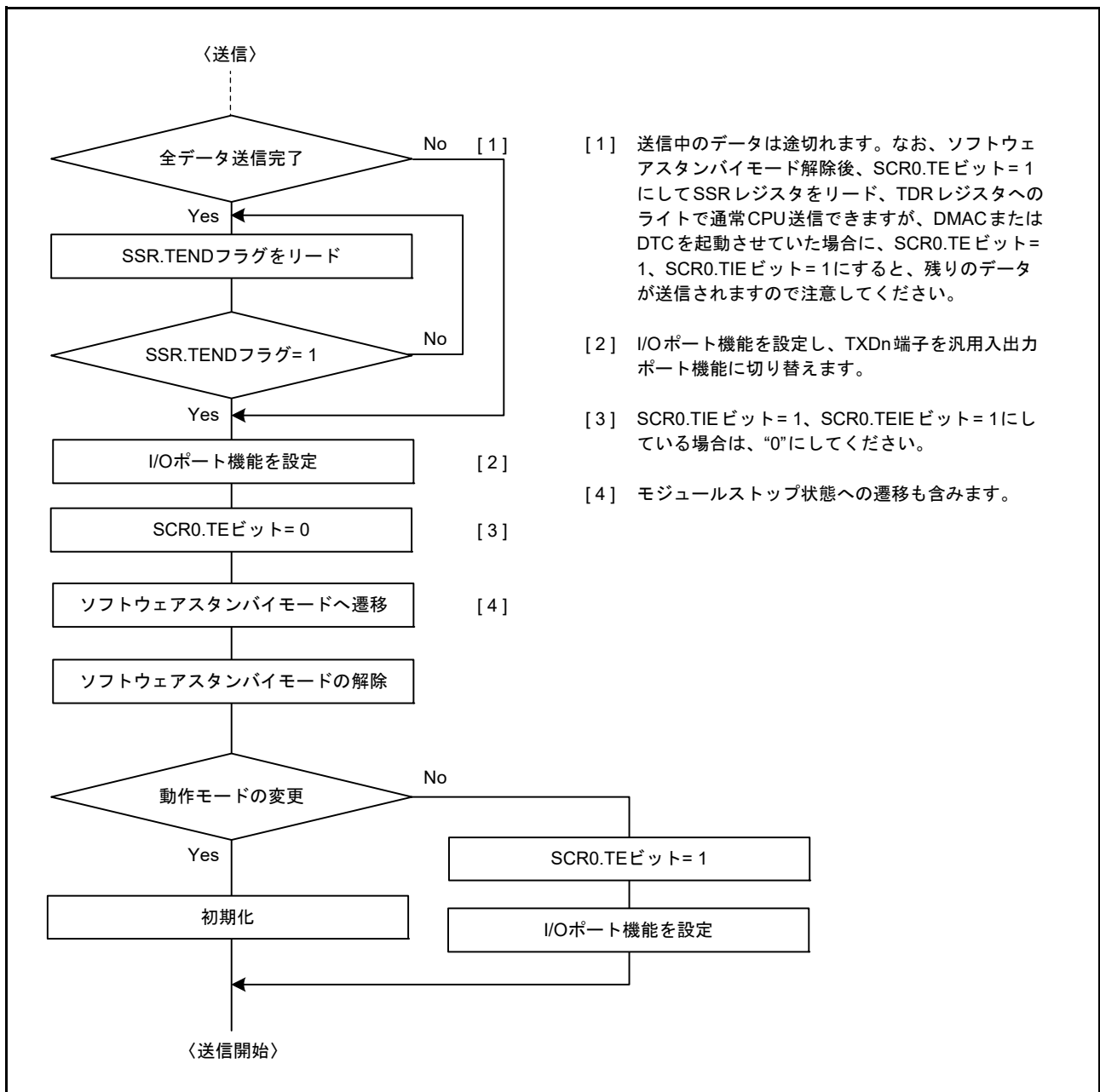
また、解除後に DMAC または DTC による送信を継続する場合は、TE ビット = 1、TIE ビット = 1 を同時に設定すると TXI 割り込みが発生し、その割り込みによって DMAC または DTC が送信データを書き込むことで送信が始まります。

図 32.104 に送信時のモード遷移フローチャートの例を示します。図 32.105、図 32.106 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

(2) 受信

消費電力低減機能を使用し、RSCI の消費電力を低減する場合、受信動作を停止 (SCR0.RE ビット = 0) してから行ってください。受信中に遷移させると、受信中のデータは無効になります。

図 32.107 に受信時のモード遷移フローチャートの例を示します。



[1] 送信中のデータは途切れます。なお、ソフトウェアスタンバイモード解除後、SCR0.TEビット=1にしてSSRレジスタをリード、TDRレジスタへのライトで通常CPU送信できますが、DMACまたはDTCを起動させていた場合に、SCR0.TEビット=1、SCR0.TIEビット=1にすると、残りのデータが送信されますので注意してください。

[2] I/Oポート機能を設定し、TXDn端子を汎用入出力ポート機能に切り替えます。

[3] SCR0.TIEビット=1、SCR0.TEIEビット=1にしている場合は、“0”にしてください。

[4] モジュールストップ状態への遷移も含まれます。

図 32.104 送信時のソフトウェアスタンバイモード遷移フローチャートの例

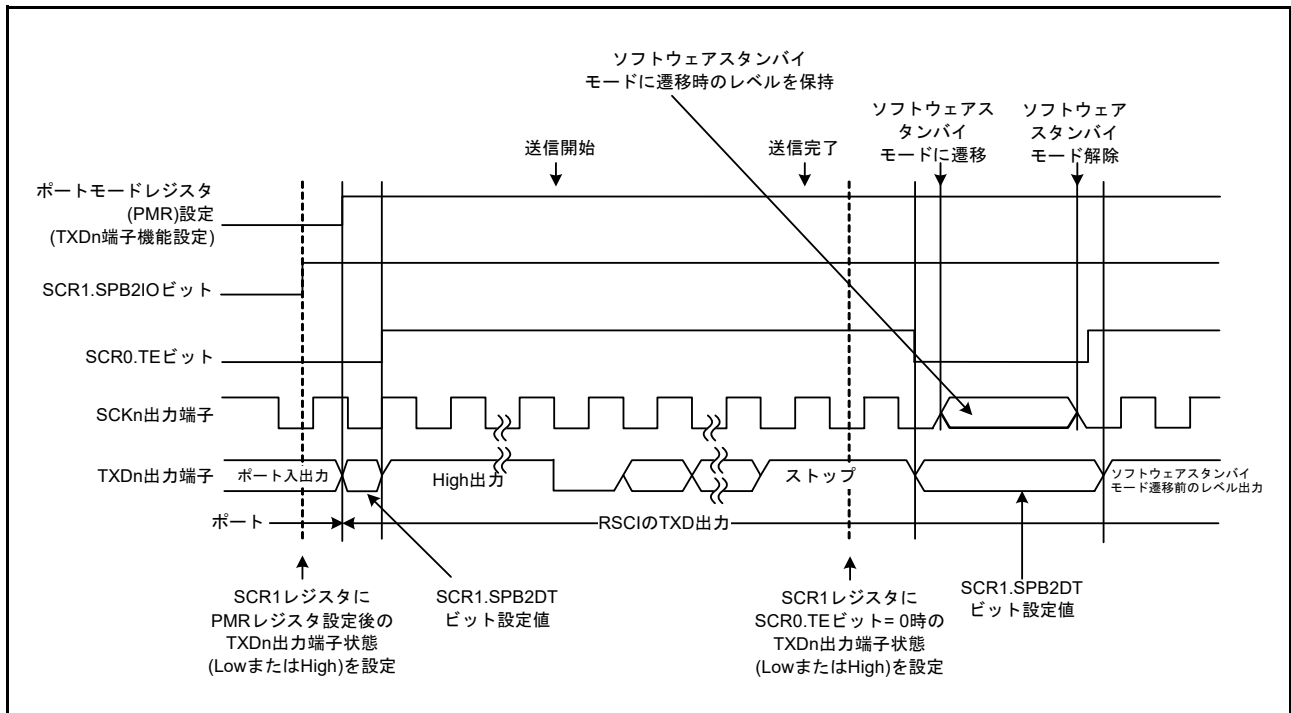


図 32.105 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

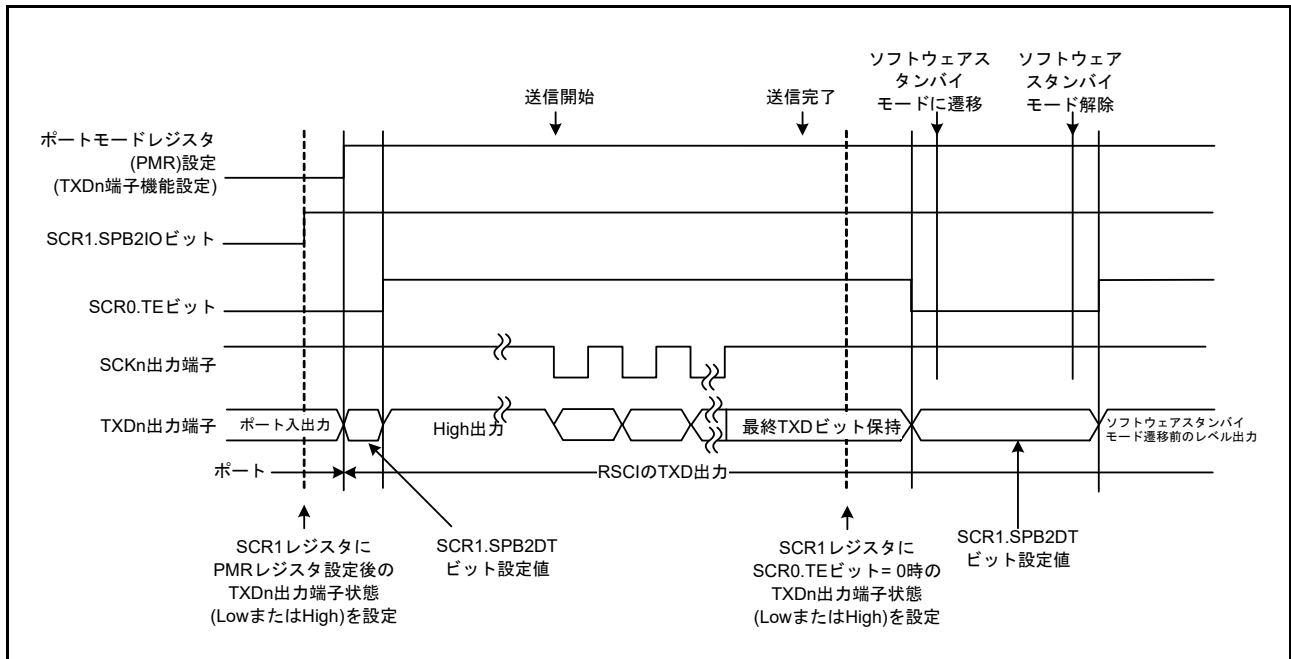


図 32.106 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

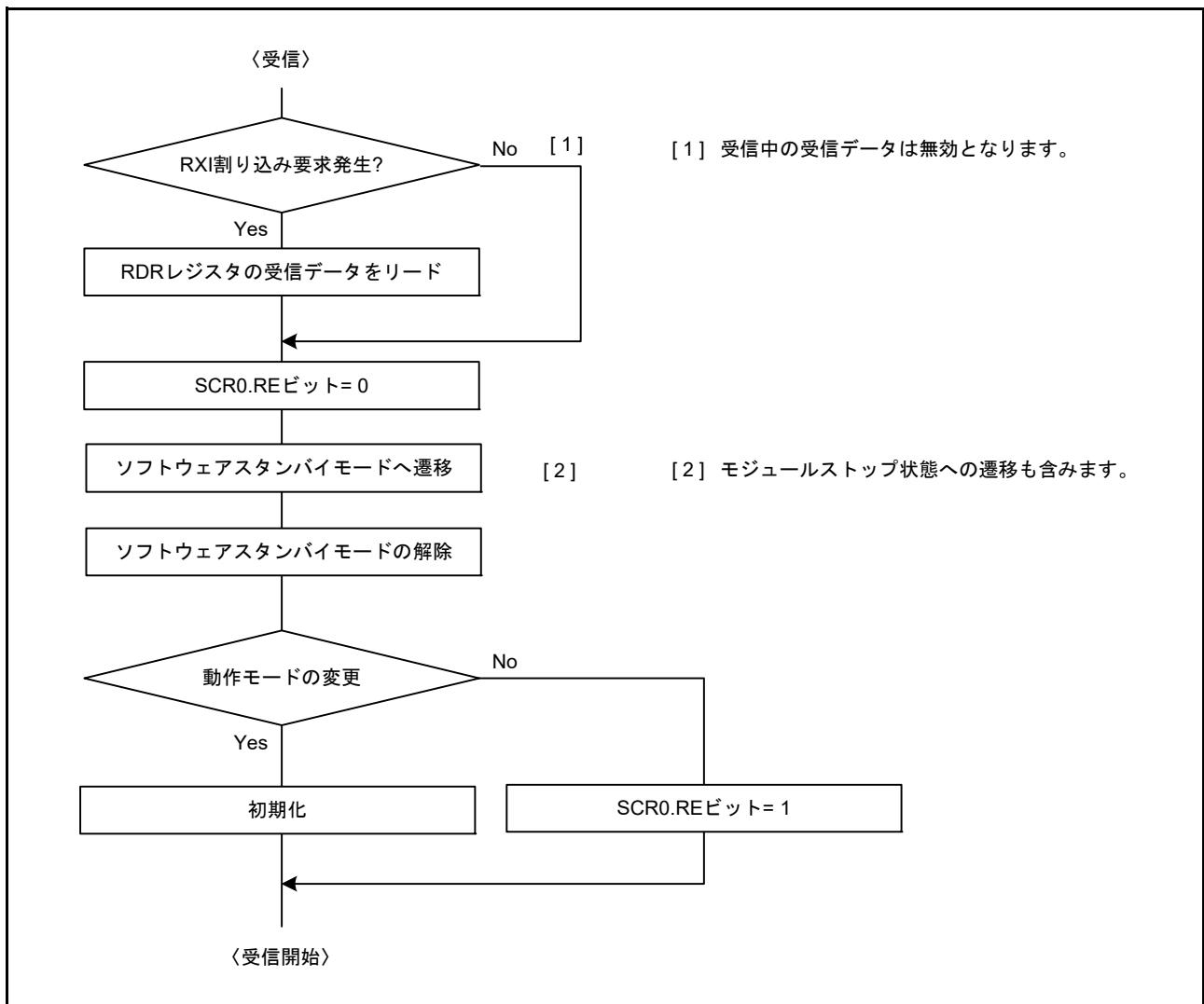


図 32.107 受信時のソフトウェアスタンバイモード遷移フローチャートの例

32.18.3 ブレークの検出と処理について

フレーミングエラー検出時に、SSR.RXDMON フラグの値を読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.AFER フラグが“1”(フレーミングエラーの発生あり)になり、また SSR.APER フラグも“1”(パリティエラーの発生あり)になる可能性があります。SCR3.RXDESEL ビットが“0”のとき、RSCI は、ブレークを受信した後も受信動作を続けます。したがって AFER フラグを“0”(フレーミングエラーの発生なし)にしても、再び AFER フラグが“1”になりますので注意してください。SCR3.RXDESEL ビットが“1”のとき、RSCI は、SSR.AFER フラグを“1”にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.AFER フラグを“0”にすれば、ブレーク中は SSR.AFER フラグの“0”を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりですtartビットを検出し、受信動作を開始します。

32.18.4 マーク状態とブレークの送出

SCR0.TE ビットが“0”(シリアル送信動作を禁止)のときの TXDn 端子の状態とレベルは SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで設定できます。これを利用して TXDn 端子をマーク状態にしたりブレークを送出したりすることができます。

SCR0.TE ビットを“1”(シリアル送信動作を許可)にするまで、通信回線をマーク状態(“1”の状態)にするためには、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで High を出力したあと、I/O ポート機能により TXDn 端子に切り替えます。一方、データ送信時にブレークを送出したいときは、SCR1.SPB2IO ビットと SCR1.SPB2DT ビットで Low を出力したあと、SCR0.TE ビットを“0”にします。TE ビットを“0”にすると現在の送信状態とは無関係に送信部は初期化されます。

32.18.5 受信エラーフラグと送信動作について (クロック同期モードおよび簡易 SPI モード)

受信エラーフラグ(SSR.ORER)が“1”になった状態でも、TDR レジスタにデータをライトすると送信動作可能です。ただし、受信動作はできません。また、SCR0.RE ビットを“0”(シリアル受信動作を禁止)にしても受信エラーフラグは“0”になりませんので注意してください。

32.18.6 TDR レジスタへのライト

TDR レジスタへのデータのライトは、TE ビット=1のとき、行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータをライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。DTC または DMAC を使用する場合は、TDR レジスタへの送信データの書き込みは、TXI 割り込み要求によって行ってください。

32.18.7 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU、DMAC または DTC による TDR レジスタの更新後、本製品の SMISO 端子の出力 AC 特性とマスタ受信の入力 AC 特性を勘案した時間 + 1 PCLK 以上経過した後に送信クロックを入力してください (図 32.108 参照)。

(2) 連続送信時

ビット 7 の送信クロックの立ち下がり (注 1) 以前に、TSR レジスタに次の送信データが転送されている必要があります。これを考慮して TDR レジスタに次の送信データを書き込んでください (図 32.108 参照)。送信データの書き込みが間に合わなかった場合、前フレームデータを再送します (図 32.108 参照)。

注 1. SCR3.CPOL ビット = 1 かつ SCR3.CPHA ビット = 0 または、SCR3.CPOL ビット = 0 かつ SCR3.CPHA ビット = 1 の場合です。SCR3.CPOL ビット = 0 かつ SCR3.CPHA ビット = 0 または、SCR3.CPOL ビット = 1 かつ SCR3.CPHA ビット = 1 の場合は、立ち上がりになります。

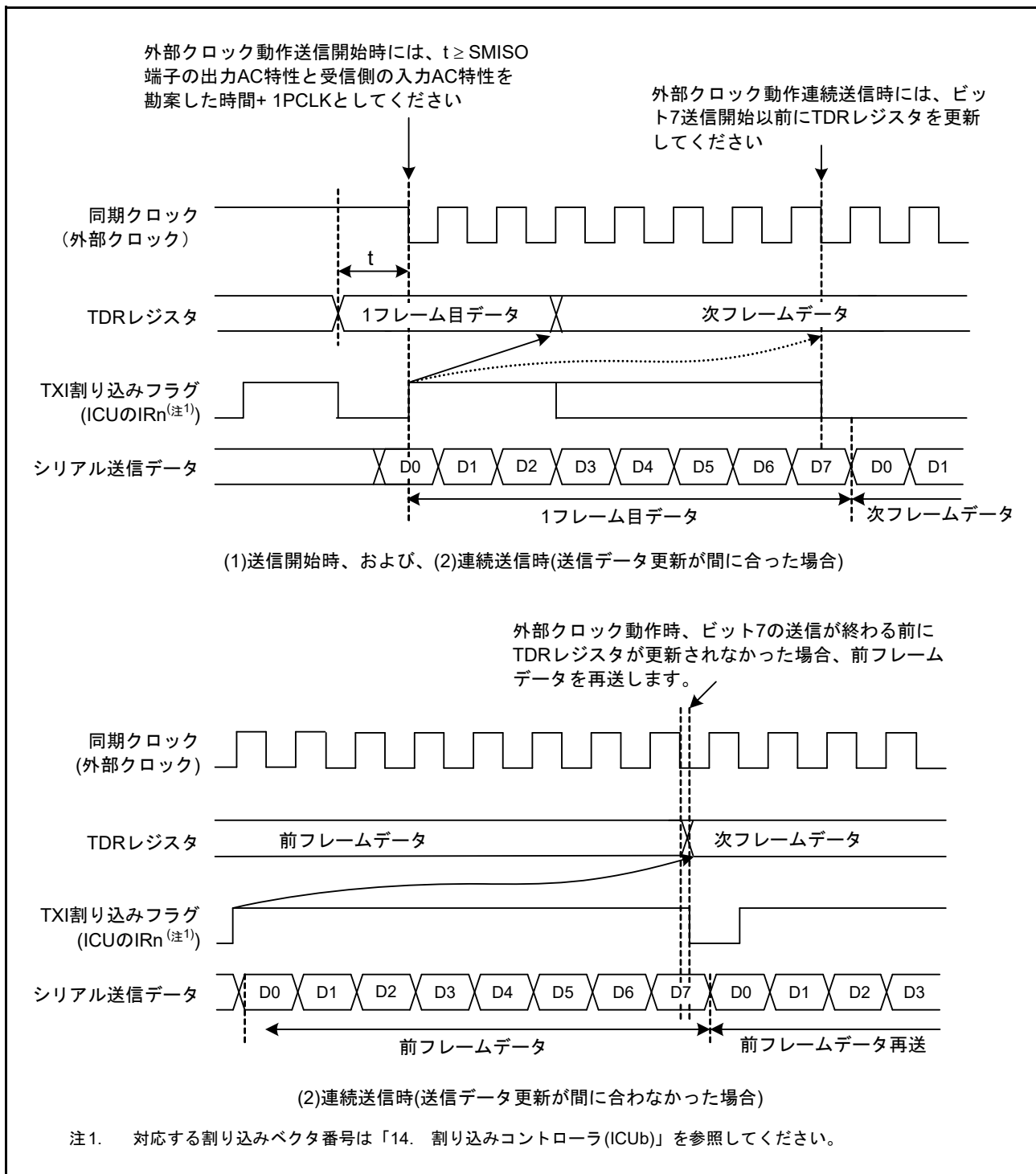


図 32.108 クロック同期式モード送信での外部クロック使用の制約事項

32.18.8 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR レジスタのリードを行うときは起動要因を当該 RSCI の受信データフル割り込み (RXI) に設定してください。

DMAC または DTC によるシリアル送信中 / 受信中に、DMAC/DTC の転送情報を再設定しないでください。

32.18.9 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR0.TE ビットを“1”に設定、または SCR0.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR0.TE ビットまたは SCR0.RE ビットが“0”となっていること)を確認
- 対応する割り込みイネーブルビット (SCR0.TIE ビットまたは SCR0.RIE ビット)を“0”に設定
- 対応する割り込みイネーブルビット (SCR0.TIE ビットまたは SCR0.RIE ビット)を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット)に“0”を設定

32.18.10 簡易 SPI モードの制約事項

(1) マスタモード

- SCR0.SSE ビットが“1”のとき、SCR3.CPOL、CPHA ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ (プルダウン) してください。
SCR0.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR0.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SCR0.SSE ビットが“0”のときは、SCR0.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ (プルダウン) は不要です。
- クロック遅れあり設定 (SCR3.CPHA ビット=0) の場合、図 32.109 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR0 レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”にすると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

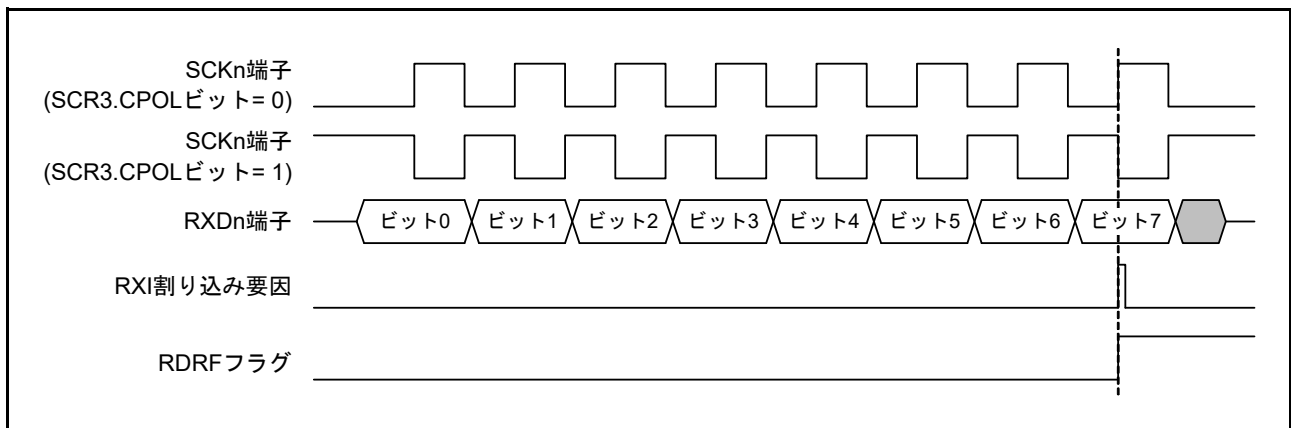


図 32.109 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから RXDn 端子にデータが出力されるまで、「1PCLK+データ出力遅延時間 (AC 特性)」がかかります。これらを考慮して外部クロック入力開始を行ってください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn#端子へのLowレベル入力から外部クロック入力開始まではSS入力セットアップ時間(AC特性)を確保してください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR0 レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

32.18.11 トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR0.TE ビットを“0”(シリアル送信動作を禁止)にすると、端子の出力がハイインピーダンスになります(レジスタ初期値)。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- TXDn ラインにプルアップ抵抗またはプルダウン抵抗を接続。
- SCR1 レジスタを設定して、TE ビット=0時のTXDn端子のレベルを決定。

32.18.12 拡張シリアルモードに関する注意事項

- 拡張シリアルモード (SCR3.MOD[2:0] ビット = 110b) 時、CTS、RTS 機能、マルチプロセッサ通信機能、ビットモジュレーション機能、ループバック機能は使用できません。

32.18.13 RS-485 ドライバ制御機能に関する注意事項

- RS-485 ドライバ制御機能は、調歩同期式モード時のみ、使用可能です。
- RS-485 ドライバ制御機能使用時(SCR3.DEENビット=1)、TENDセットタイミング/TEI出力タイミングが以下の通り変わります。RS-485 ドライバ制御機能使用時は、TEI 割り込みを待って、TE ビットを“0”にしてください。

RS-485 ドライバ制御機能未使用時 (DEEN ビット = 0) の

TENDセットタイミング/TEI出力タイミング：STOP ビット出力完了時

RS-485 ドライバ制御機能使用時 (DEEN ビット = 1) の

TENDセットタイミング/TEI出力タイミング：DE 信号ホールド時間終了時

32.18.14 ループバック機能に関する注意事項

ループバック機能は、調歩同期式モード内部クロック動作時、マンチェスタモード内部クロック動作時、クロック同期式モード内部クロック動作時にのみ、使用可能です。

調歩同期式の HBS サポートモード時も動作可能であり、HBSCR.AOE ビット = 1 時は TXDAn/TXDBn 端子出力の論理積をとった信号をループバックします (TINV ビット = RINV ビット = 0 で使用してください)。

32.18.15 動作中断時の注意事項

データ受信中に SCR0.RE ビットに“0”を書き込み、受信動作を中断した場合、タイミングによっては不正な状態になる可能性があるため、受信データ (RDR レジスタ格納値)、および各ステータスレジスタのフラグ値は使用しないでください。受信動作を中断する場合は、受信関連の割り込みを禁止してから SCR0.RE ビットに“0”を書いてください。

33. I²Cバスインタフェース (RIICa)

本 MCU は、1 チャンネルの I²C バスインタフェース (RIIC0) を内蔵しています。

RIIC は、NXP 社が提唱する I²C バス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

33.1 概要

表 33.1 に RIIC の仕様を、図 33.1 に RIIC のブロック図を、表 33.2 に RIIC で使用する入出力端子を示します。

表 33.1 RIIC の仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400 kbps)
シリアルクロック (SCL)	マスタ時、SCL のデューティ比を 4% ~ 96% の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを 3 種類まで設定可能 7ビット/10ビットアドレスフォーマット対応(混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジ応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLラインのLowホールドによるウェイトが可能 8クロック目と9クロック目の間でウェイト 9クロック目と1クロック目の間でウェイト
SDA出力遅延機能	アクノリッジ送信を含むデータ送信出力の変化タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCL衝突時、SCLの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) ノットアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4種類 <ul style="list-style-type: none"> 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出(リスタートコンディション含む) ストップコンディション検出 受信データフル(スレーブアドレス一致時含む) 送信データエンプティ(スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表 33.1 RIICの仕様 (2/2)

項目	内容
RIICの動作モード	<ul style="list-style-type: none"> 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード
イベントリンク機能 (出力)	4種類 (RIIC0) <ul style="list-style-type: none"> 通信エラー/通信イベント アービトレーションロスト検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンpty (スレーブアドレス一致時含む) 送信終了

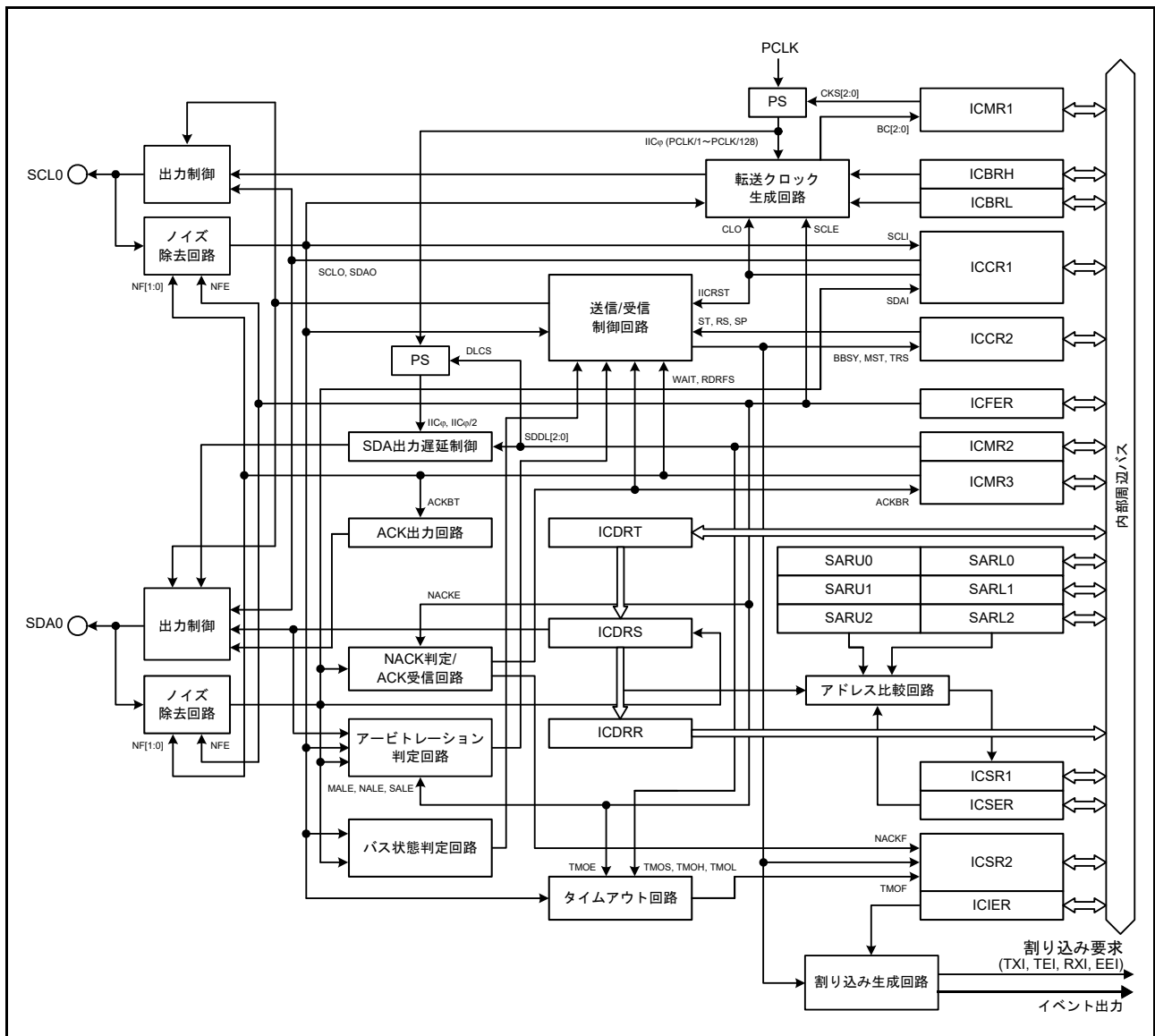


図 33.1 RIICのブロック図

RIICの各信号の入力レベルは、I²Cバス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表 33.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子

33.2 レジスタの説明

33.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0: SDA0ラインはLow 1: SDA0ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0: SCL0ラインはLow 1: SCL0ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> • リード時 0: SDA0端子をLowにしている 1: SDA0端子を解放している • ライト時 0: SDA0端子をLowにする 1: SDA0端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> • リード時 0: SCLO端子をLowにしている 1: SCLO端子を解放している • ライト時 0: SCLO端子をLowにする 1: SCLO端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0: SCLO、SDAOビットの書き換え許可 1: SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCL追加出力ビット	0: SCLを追加で出力しない(通常状態) 1: SCLを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0: RIICリセット、内部リセット解除 1: RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCLO/SDAO出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0: 禁止(SCLO、SDAO端子非駆動状態) 1: 許可(SCLO、SDAO端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIICが出力するSDA0信号、SCL0信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時にSOWPビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介してRIICに入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのときRIICが出力している信号の状態が読めます。

CLO ビット (SCL 追加出力ビット)

SCL を 1 クロックずつ追加で出力する機能で、デバッグ時または異常処理時に使用します。通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。本機能の詳細については、「33.11.2 SCL 追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 33.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、「33.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

注 . スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、スレーブモード時に内部リセットを行う場合は、バスフリー中に実施してください。なお、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 33.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 33.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときには、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

33.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

b7	b6	b5	b4	b3	b2	b1	b0
BBSY	MST	TRS	—	SP	RS	ST	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態(バスフリー状態) 1: I ² Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット(スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0”(バスフリー)のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「33.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき(スタートコンディションを検出したとき)
- ICSR2.ALフラグが“1”になったとき(アービトレーションロスト)
- ICCR1.ICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0”(バスフリー)のとき、“1”(スタートコンディション発行要求)にしてください。

BBSYフラグが“1”(バスビジー)のとき、STビットを“1”(スタートコンディション発行要求)にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RSビット(リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RSビットが“1”になるとリスタートコンディションの発行を要求し、BBSYフラグが“1”(バスビジー)でかつMSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「33.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. スレープモードでは RS ビットに“1”(リスタートコンディション発行要求)を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”(バスビジー)でかつ MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「33.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが“0”(バスフリー)のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信 / 受信モードビット)

送信 / 受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットの値で“1”または“0”になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが“1”の状態、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが IC SER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが IC SER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態に、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されると認識して“1”になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されると認識し、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでスタートコンディションを検出しなかったとき“0”になります。

["1"になる条件]

- スタートコンディションを検出したとき

["0"になる条件]

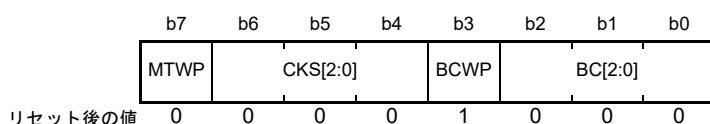
- ストップコンディションを検出後、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでス

ターゲットコンディションを検出しなかったとき

- ICCR1.ICE ビットが“0”の状態でもICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

33.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック (IICφ) ソースを選択します b6 b4 0 0 0 : PCLK/1 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRS ビットへの書き込み禁止 1 : ICCR2.MST, TRS ビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

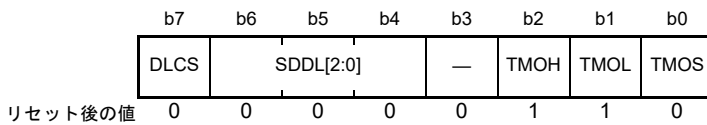
SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し (データにアクリッジ1ビットが付加されて転送される)、転送バイト間にかつ SCL0 ラインが Low の状態で行ってください。

BC[2:0] ビットはアクリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に“000b”に戻ります。

33.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0 : ロングモードを選択 1 : ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0 : SCL0ラインがLow期間中のカウントアップを禁止 1 : SCL0ラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0 : SCL0ラインがHigh期間中のカウントアップを禁止 1 : SCL0ラインがHigh期間中のカウントアップを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCSビット=0 (IICφ)のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφの1サイクル 0 1 0 : IICφの2サイクル 0 1 1 : IICφの3サイクル 1 0 0 : IICφの4サイクル 1 0 1 : IICφの5サイクル 1 1 0 : IICφの6サイクル 1 1 1 : IICφの7サイクル ICMR2.DLCSビット=1 (IICφ/2)のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφの1~2サイクル 0 1 0 : IICφの3~4サイクル 0 1 1 : IICφの5~6サイクル 1 0 0 : IICφの7~8サイクル 1 0 1 : IICφの9~10サイクル 1 1 0 : IICφの11~12サイクル 1 1 1 : IICφの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース 選択ビット	0 : SDA出力遅延カウンタのクロックソースに 内部基準クロック (IICφ)を選択 1 : SDA出力遅延カウンタのクロックソースに 内部基準クロックの2分周 (IICφ/2)を選択 (注1)	R/W

注1. SCL端子がLowのときのみDLCSビット=1 (IICφ/2)の設定が有効になります。SCL端子がHighのときDLCSビット=1の設定は無効となり内部基準クロック (IICφ)となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCL0ラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「33.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にSCL0ラインがLow期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス仕様 (データ有効時間 / アクノリッジ有効時間 (注1) 以内) または SMBus 仕様 (データホールド時間 (300 ns) 以上、かつ「クロックの Low 幅 - データセットアップ時間 (250 ns)」以下) を満たすようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「33.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間 / アクノリッジ有効時間

3,450 ns (~ 100 kbps : スタンダードモード (Sm))

900 ns (~ 400 kbps : ファストモード (Fm))

33.2.5 I²Cバスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IICφ以下のノイズを除去(フィルタは1段) 0 1 : 2 IICφ以下のノイズを除去(フィルタは2段) 1 0 : 3 IICφ以下のノイズを除去(フィルタは3段) 1 1 : 4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : 9個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりりでSCL0ラインをLowにホールドしない) 1 : 8個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりりでSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「33.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCL0ラインのHigh/Low幅よりも狭くしてください。ノイズフィルタ幅を、[SCLのHigh幅またはLow幅のいずれか短い方] - 1.5 × t_{IICcyc} (内部基準クロック (IICφ)の周期)と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりシリアルクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アノリッジビット)

受信モード時にアノリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび 8 個目の SCL の立ち下がりでは SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8クロック目の立ち下がりでは SCL0 ラインの Low ホールドは行わず、9クロック目の立ち上がりでは RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8クロック目の立ち上がりでは“1”にし、8クロック目の立ち下がりでは SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アノリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL の 9クロック目と 1クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL の 9クロック目と 1クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

33.2.6 I²Cバスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

b7	b6	b5	b4	b3	b2	b1	b0
—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE

リセット後の値 0 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ有効ビット	0: デジタルノイズフィルタを使用しない 1: デジタルノイズフィルタを使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「33.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK送信アービトレーションロスト検出許可ビット)

受信モード時、NACK送出中にACKが検出された場合(同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など)にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合(同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など)にアービトレーションロストを発生させるかどうかを選択します。

NACK ビット (NACK 受信転送中断許可ビット)

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACK ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACK ビットが“0”のとき、受信アクリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「33.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、クロック同期を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0”(SCL 同期回路無効)にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度のクロックを出力します。そのため、I²C バスラインの負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL 出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL 追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

33.2.7 I²Cバスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIICは SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIICはデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「33.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつ HOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”または HOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

33.2.8 I²Cバス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み(TMOI)要求の禁止 1: タイムアウト割り込み(TMOI)要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み(ALI)要求の禁止 1: アービトレーションロスト割り込み(ALI)要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み(STI)要求の禁止 1: スタートコンディション検出割り込み(STI)要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み(SPI)要求の禁止 1: ストップコンディション検出割り込み(SPI)要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0: NACK受信割り込み(NAKI)要求の禁止 1: NACK受信割り込み(NAKI)要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み(RXI)要求の禁止 1: 受信データフル割り込み(RXI)要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み(TEI)要求の禁止 1: 送信終了割り込み(TEI)要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み(TXI)要求の禁止 1: 送信データエンプティ割り込み(TXI)要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可 / 禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

33.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0 : デバイスIDアドレス未検出 1 : デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス (1111 100b) + 0 (write) と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス (0001 000b) と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの9個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの9個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの9個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの9個目の SCL の立ち上がり

- ICSEY.SARyEビットが“1”(スレーブアドレスy検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの9個目の SCL の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1"になる条件]

- ICSEY.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSEY.GCAEビットが“1”(ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1"になる条件]

- ICSEY.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSEY.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICSEY.DIDEビットが“1”(デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1"になる条件]

- ICSEY.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの9個目の SCL の立ち上がり

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSEY.HOAEビットが“1”(ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの9個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

33.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンptyフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL0ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOEビットが“1”(タイムアウト検出機能有効)で、かつマスターモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失(アービトレーションロスト)したことを示します。RIICは送信中にSDA0ラインのレベルを監視し、出力データとSDA0ラインのレベルが一致しない場合ALフラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、受信モード時のNACK送信中や、スレーブモード時のデータ送信中もアービトレーションロストの検出が可能です。

[“1”になる条件]

【マスターアービトレーションロスト検出有効時: ICFER.MALEビット=1】

- マスター送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK期間を除くSCLの立ち上がり時に、出力したSDA信号とSDA0ライン上の信号の状態が不一致であったとき(内部SDA出力が

High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求)の状態ですタートコンディションを検出したとき、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき
- ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時 : ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

【スレーブアービトレーションロスト検出有効時 : ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 33.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態ですタートコンディション検出時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき
			1	送信データ不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション (リスタートコンディション含む) を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

【“1”になる条件】

- ICFER.NACKC ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の場合、送信モード時に ICDRT レジスタへの書き込みを行ったり、受信モード時に ICDRR レジスタの読み出しを行ったりしても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

[“1”になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により 8 または 9 個目の SCL の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

- TDRE フラグが“1”の状態、9 個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

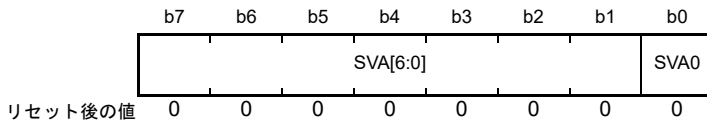
[“0”になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKC ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このときすでに、ICDRT レジスタに次の送信データが書き込まれていても (TDRE フラグが“0”)、ICDRS レジスタへのデータ転送は行われず ICDRT レジスタのデータが保持されるため、TDRE フラグは“1”になりません。

33.2.11 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

33.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SVA[1:0]		FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0 : 7ビットアドレスフォーマット選択 1 : 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy, SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) かつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy, SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

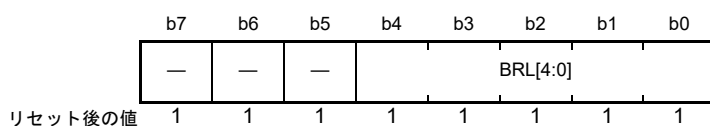
SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) かつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

33.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL の Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時 (「33.8 SCL の自動 Low ホールド機能」参照) のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間(注1)以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IIC ϕ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

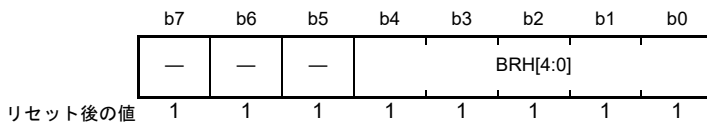
注 1. データセットアップ時間 (t_{SU:DAT})

250 ns (~ 100 kbps : スタンダードモード (Sm))

100 ns (~ 400 kbps : ファストモード (Fm))

33.2.14 I²Cバスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRH レジスタは SCL の High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I²C 転送速度および SCL のデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi^{(\text{注}1)} + \text{SCL0 ライン立ち上がり時間 (tr)} \\ + \text{SCL0 ライン立ち下がり時間 (tf)} \}$$

$$\text{デューティ比} = \{ \text{SCL0 ライン立ち上がり時間 (tr)}^{(\text{注}2)} + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCL0 ライン立ち下がり時間 (tf)}^{(\text{注}2)} \\ + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注 1. IICφ = PCLK × 分周比

注 2. SCL0 ライン立ち上がり時間 (tr)、SCL0 ライン立ち下がり時間 (tf) は、バスライン総容量 (Cb) とプルアップ抵抗 (Rp) に依存します。詳細については NXP 社の I²C バス仕様書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 33.5 に示します。

表 33.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

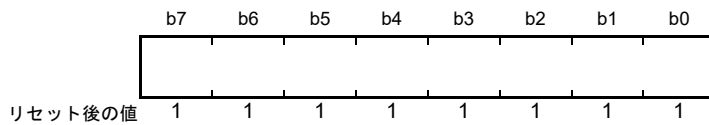
転送速度 (kbps)	動作周波数 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数 PCLK (MHz)					
	30			32		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)
100	011b	14 (EEh)	17 (F1h)	011b	15 (EFh)	18 (F2h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)

注. SCL0ラインの立ち上がり時間(tr)を100 kbps以下(Sm)は1000 ns、400 kbps以下(Fm)は300 ns、SCL0ラインの立ち下がり時間(tf)を400 kbps以下(Sm/Fm)は300 nsとして計算した場合の設定例です。
SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)の値についてはNXP社のI²Cバス仕様書を参照してください。

33.2.15 I²Cバス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h



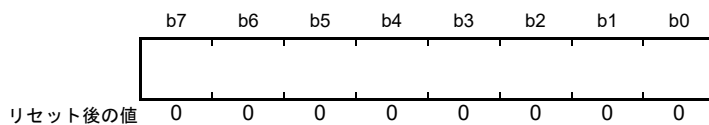
I²Cバスシフトレジスタ (ICDRS)の空きを検出すると、ICDRTレジスタに書き込まれた送信データがICDRSレジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRTレジスタとICDRSレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ送信中に、次に送信するデータをICDRTレジスタに書いておくと連続送信動作が可能です。

ICDRTレジスタは常に読み出し/書き込み可能です。ICDRTレジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに1回だけ行ってください。

33.2.16 I²Cバス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h



1バイトのデータの受信が終了すると、受信したデータはI²Cバスシフトレジスタ (ICDRS)からICDRRレジスタへ転送され、次のデータを受信可能にします。

ICDRSレジスタとICDRRレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ受信中に、すでに受信したデータをICDRRレジスタから読んでおくと連続受信動作が可能です。

ICDRRレジスタに書き込みはできません。ICDRRレジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに1回だけ行ってください。

受信データをICDRRレジスタから読み出さないまま (ICSR2.RDRFフラグが“1”の状態のまま) 次の受信データを受け取ると、RIICはRDRFフラグが次に“1”になるタイミングの1つ手前のSCL0の立ち下がりでSCL0ラインをLowにホールドします。

33.2.17 I²Cバスシフトレジスタ (ICDRS)

ICDRSレジスタは、データを送信/受信するためのシフトレジスタです。

送信時はICDRTレジスタから送信データがICDRSレジスタに転送され、SDA0端子からデータが送信されます。受信時は1バイトのデータの受信が終了すると、データがICDRSレジスタからICDRRレジスタへ転送されます。

ICDRSレジスタは直接アクセスすることはできません。

33.3 動作説明

33.3.1 通信データフォーマット

I²Cバスフォーマットは、8ビットのデータと1ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 33.2 に I²C バスフォーマットを、図 33.3 に I²C バスタイミングを示します。

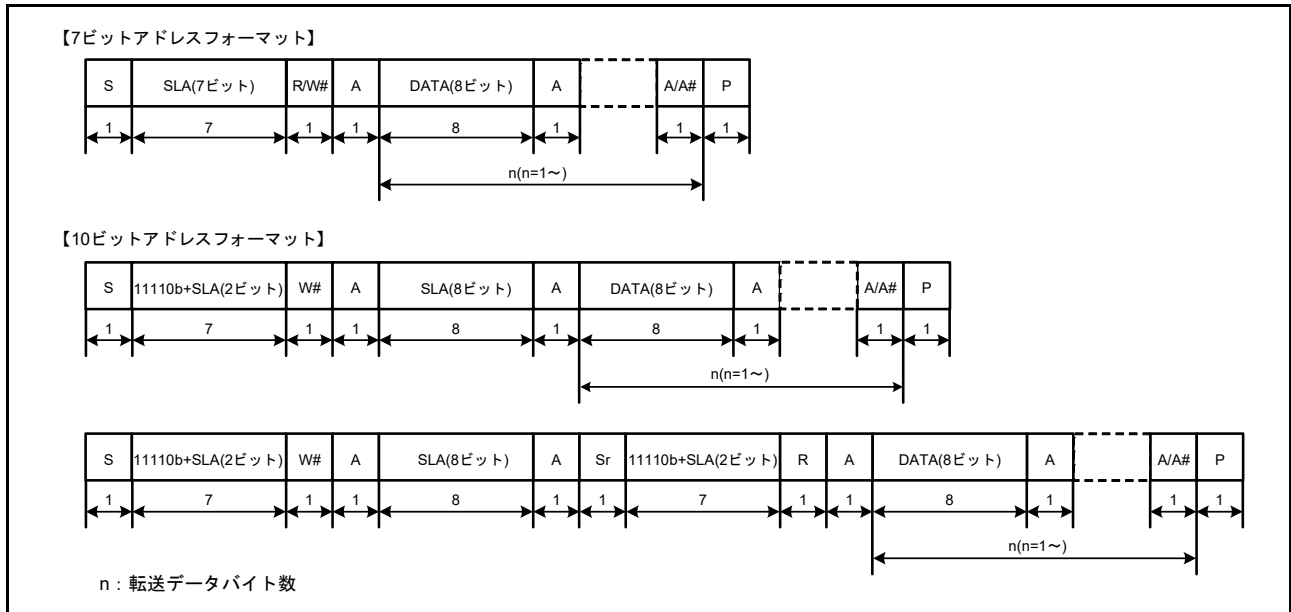


図 33.2 I²C バスフォーマット

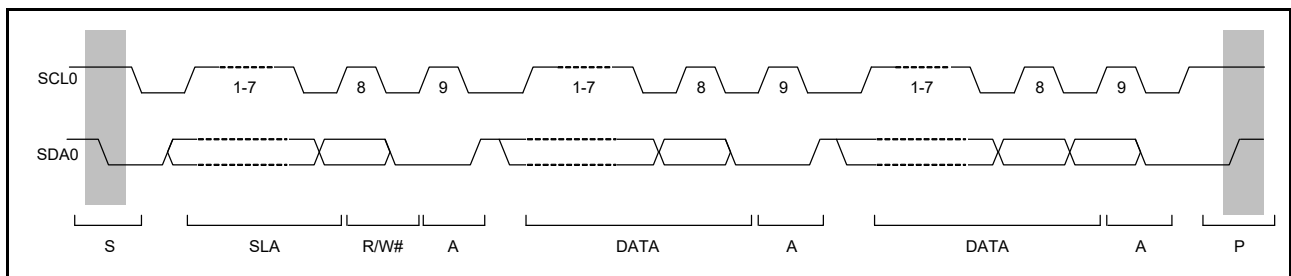


図 33.3 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A: アクノリッジを示します。受信デバイスがSDA0ラインをLowにします(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A#: ノットアクノリッジを示します。受信デバイスがSDA0ラインをHighにします。
- Sr: リスタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではセットアップ時間経過後にSDA0ラインがHighからLowに変化します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがLowからHighに変化します。

33.3.2 初期設定

データの送信 / 受信を開始する場合、図 33.4 に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCL0、SDA0 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y = 0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 33.4 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

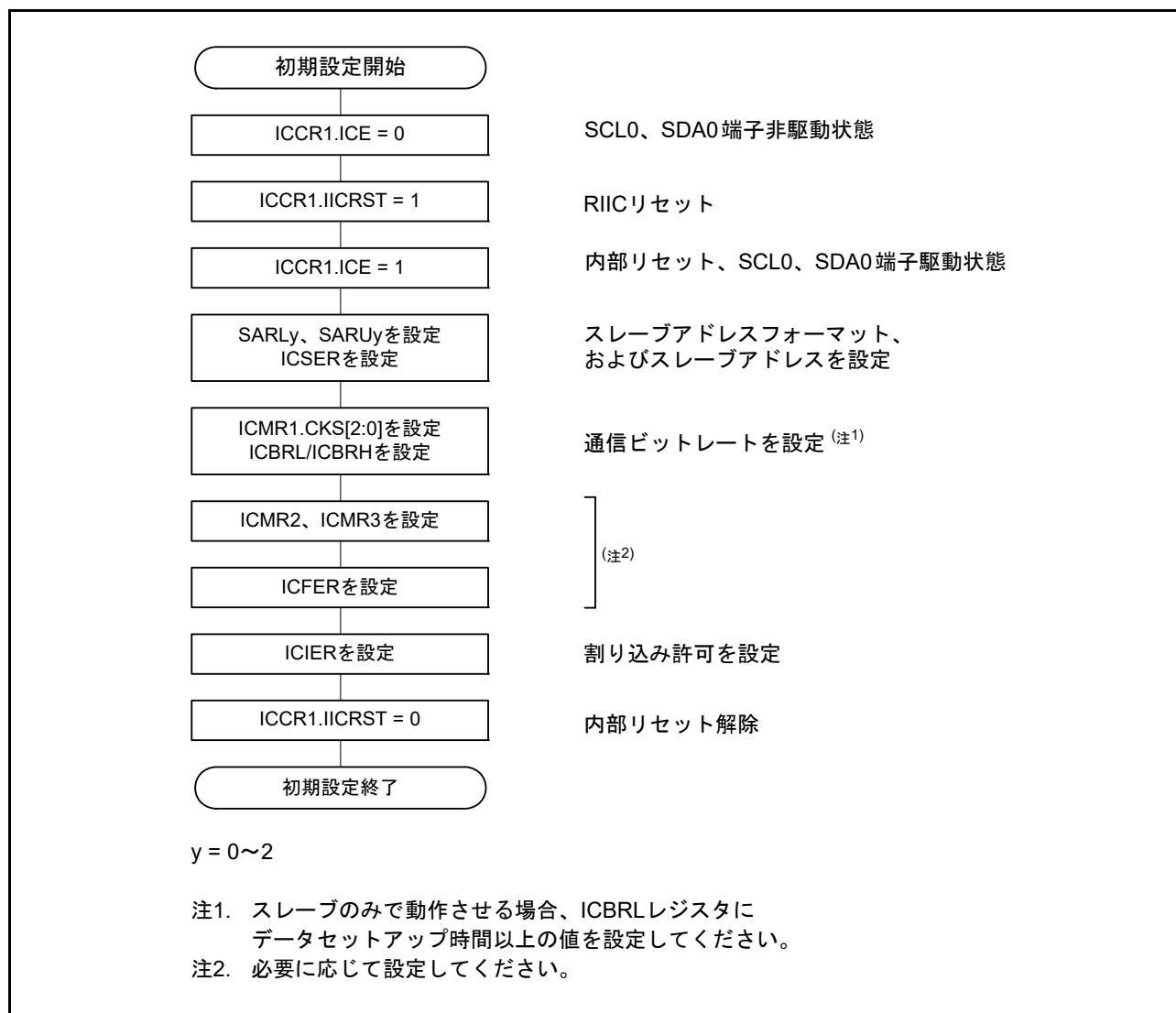


図 33.4 RIIC の初期化フローチャート例

33.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC がクロックを生成し、データを送信して、スレーブデバイスがアクノリッジを返します。図 33.5 にマスタ送信の使用例を、図 33.6 ~ 図 33.8 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「33.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.NACKF フラグが“1”になるか、ICSR2.TEND フラグが“1”になるまで待ってから ICCR2.SP ビットに“1”を書いてください(ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

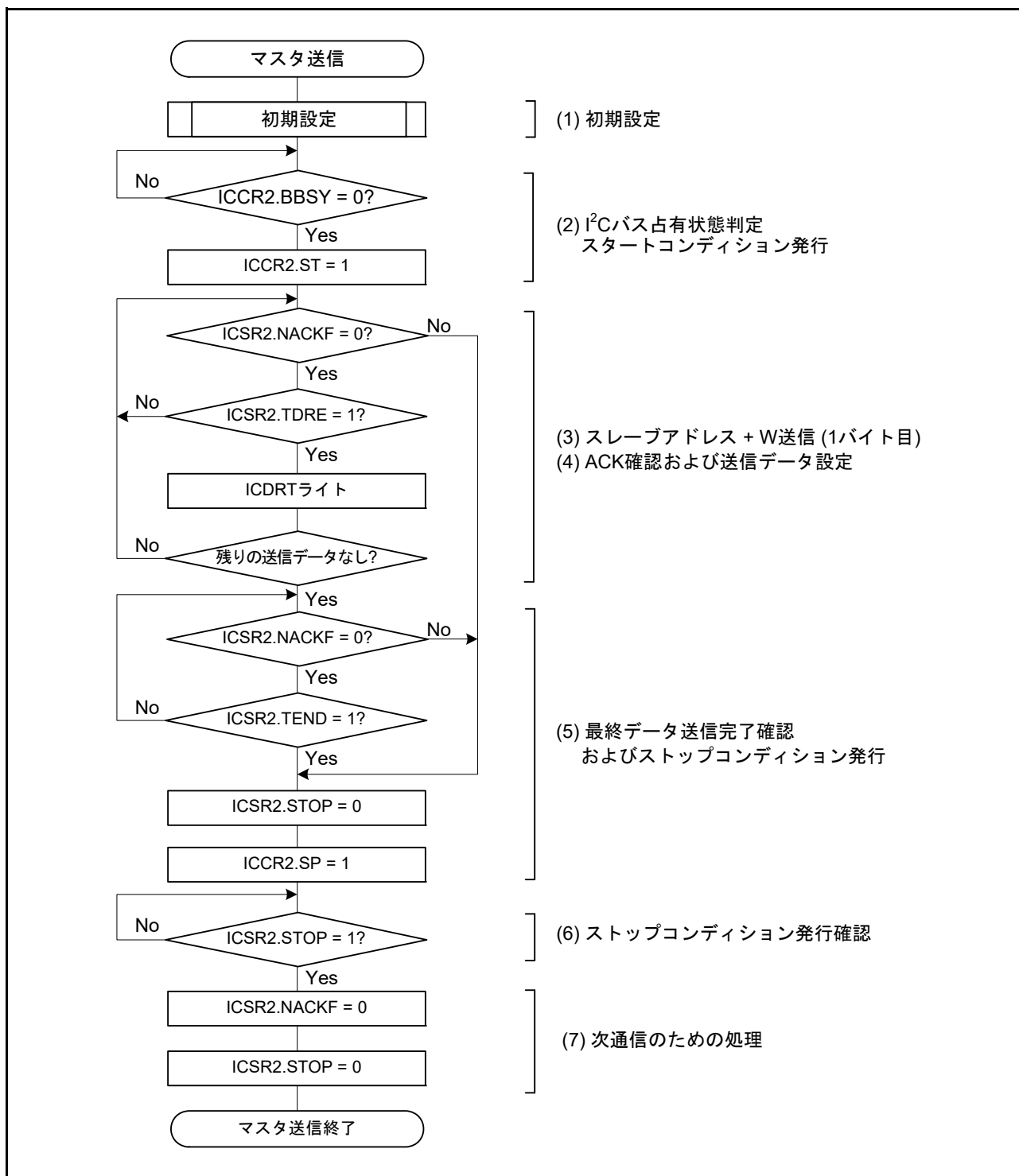


図 33.5 マスタ送信のフローチャート例

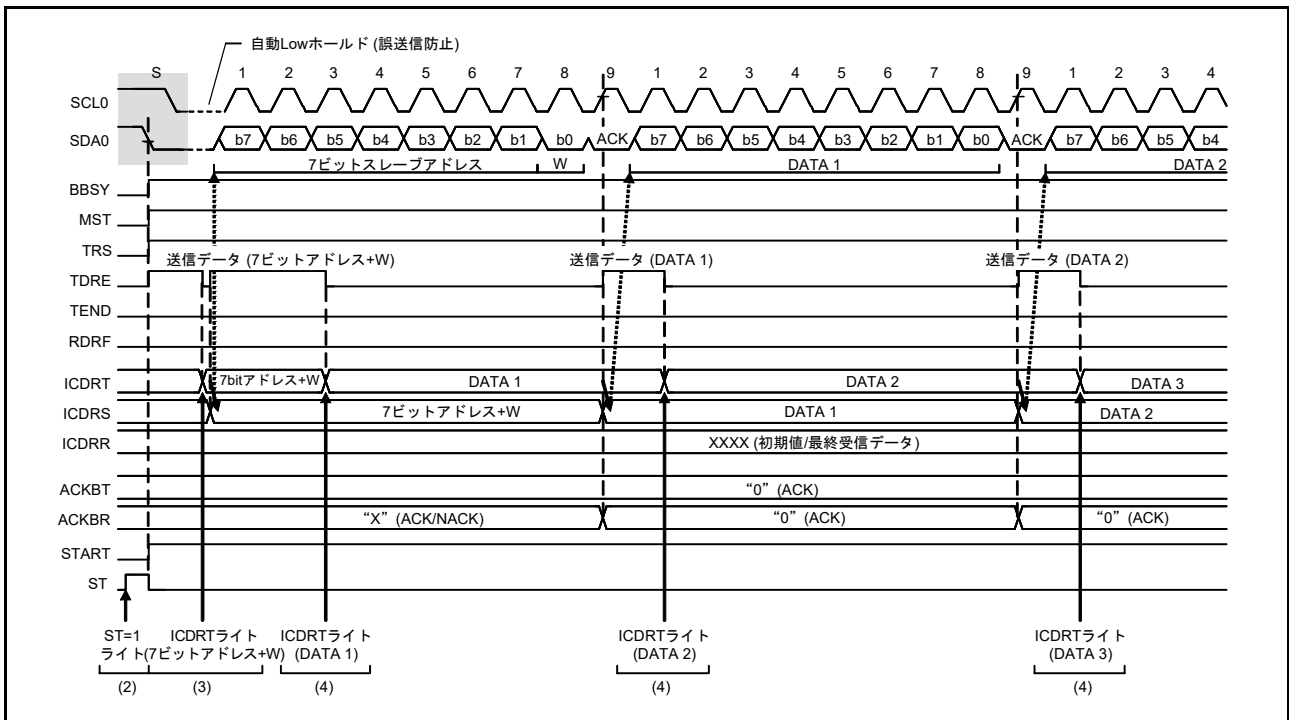


図 33.6 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットのとき)

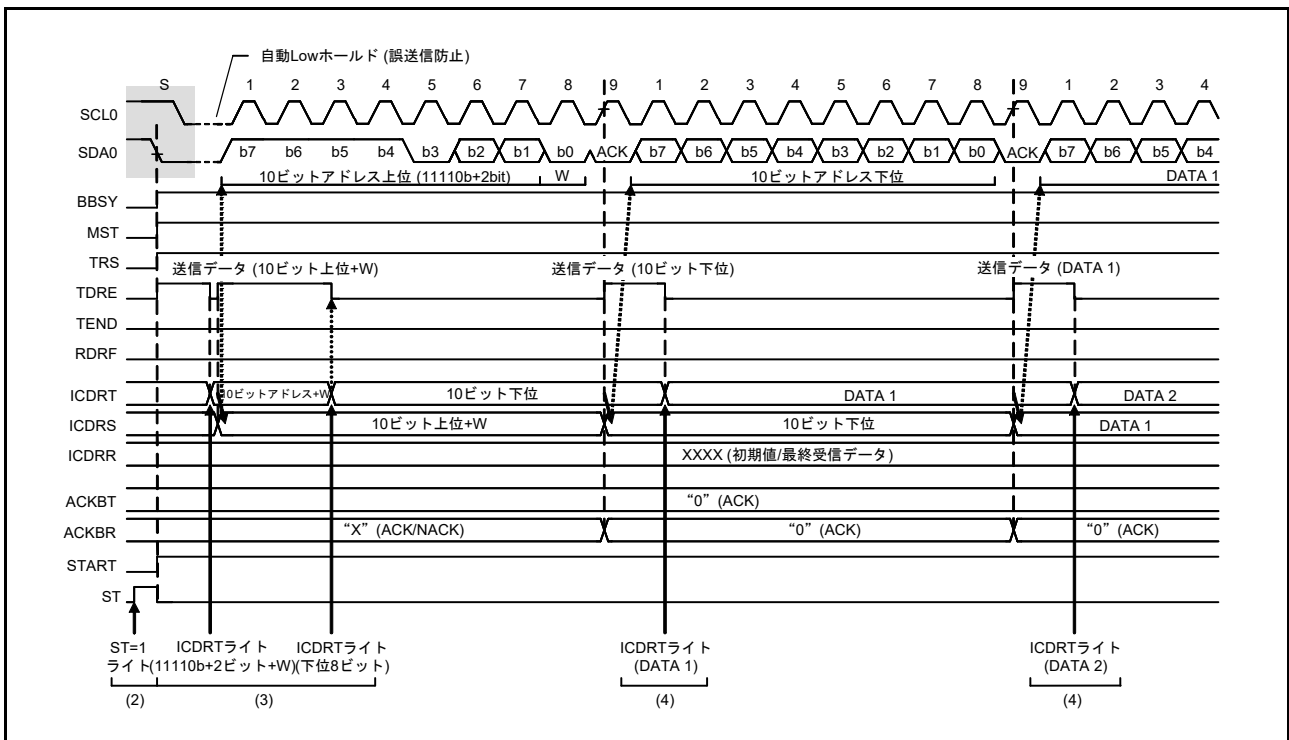


図 33.7 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットのとき)

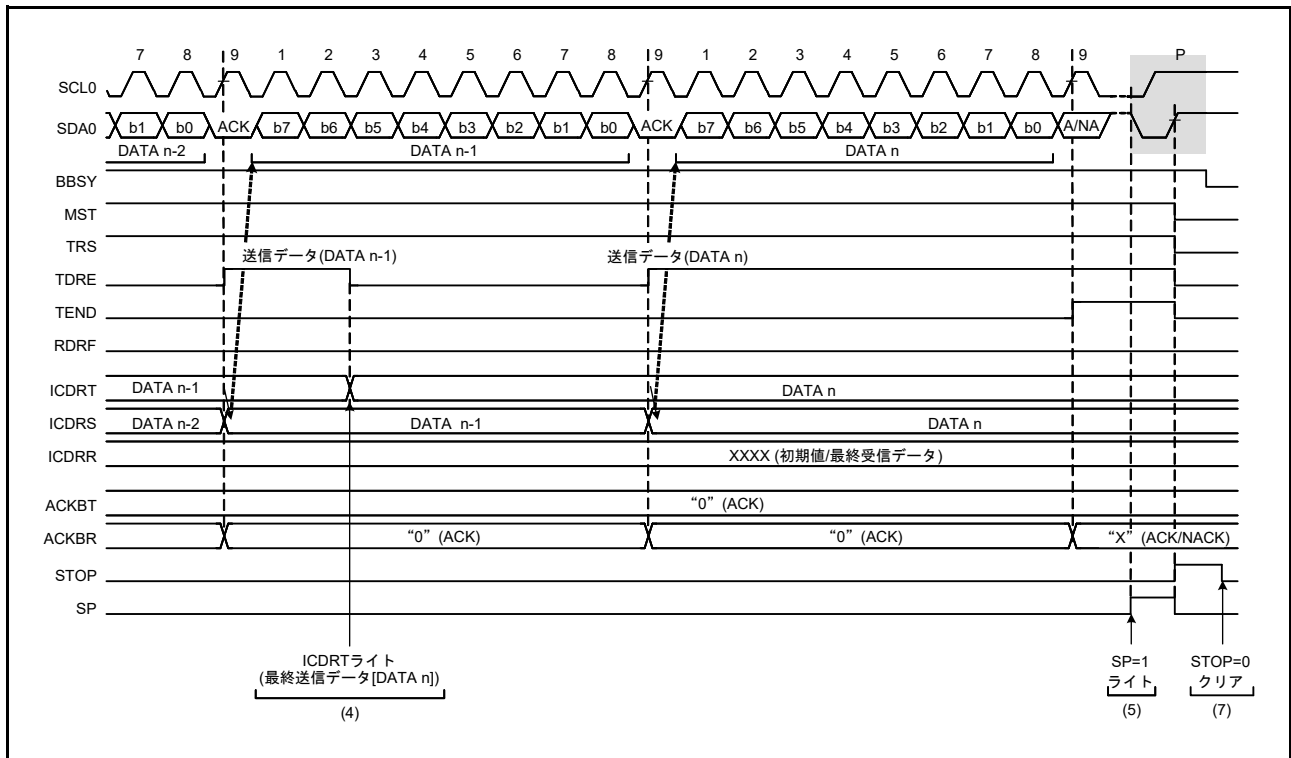


図 33.8 マスタ送信の動作タイミング (3)

33.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC がクロックを生成し、スレーブデバイスからデータを受信して、アックノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 33.9、図 33.10 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 33.11 ~ 図 33.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「33.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信

モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL を出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した 8 または 9 個目の SCL の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また 9 個目の SCL のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするるとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

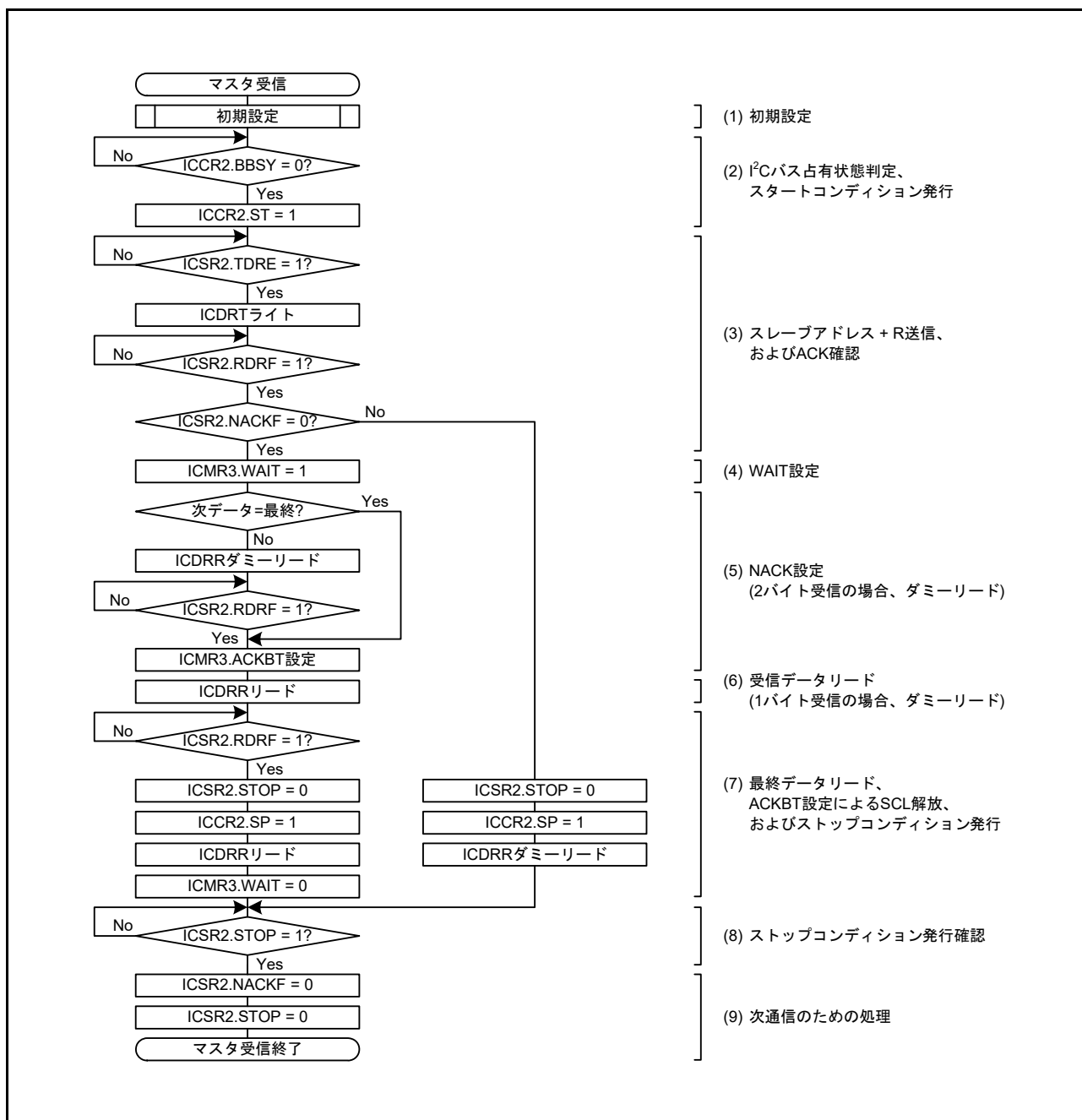


図 33.9 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合、2バイト以下の場合)

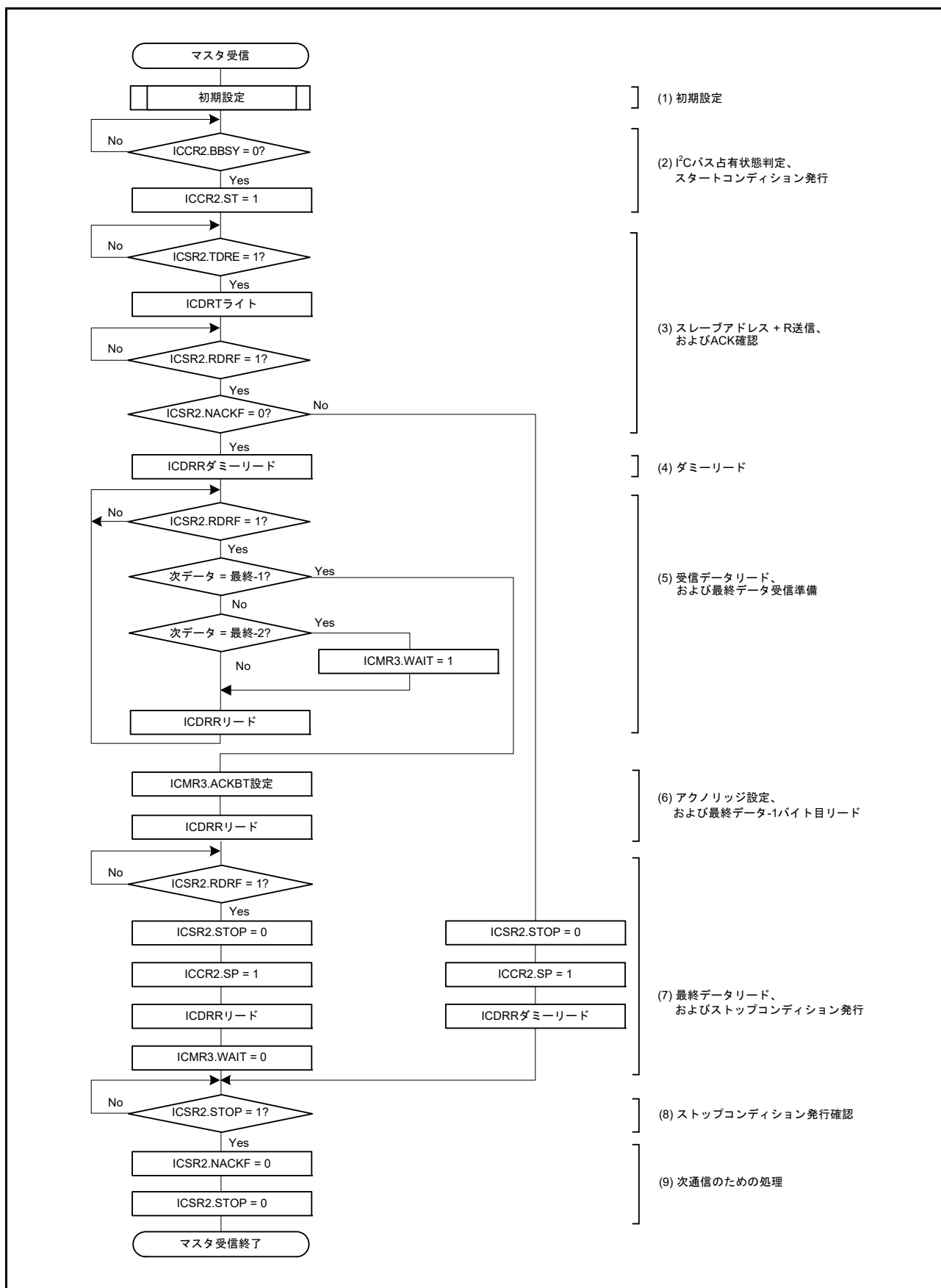


図 33.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

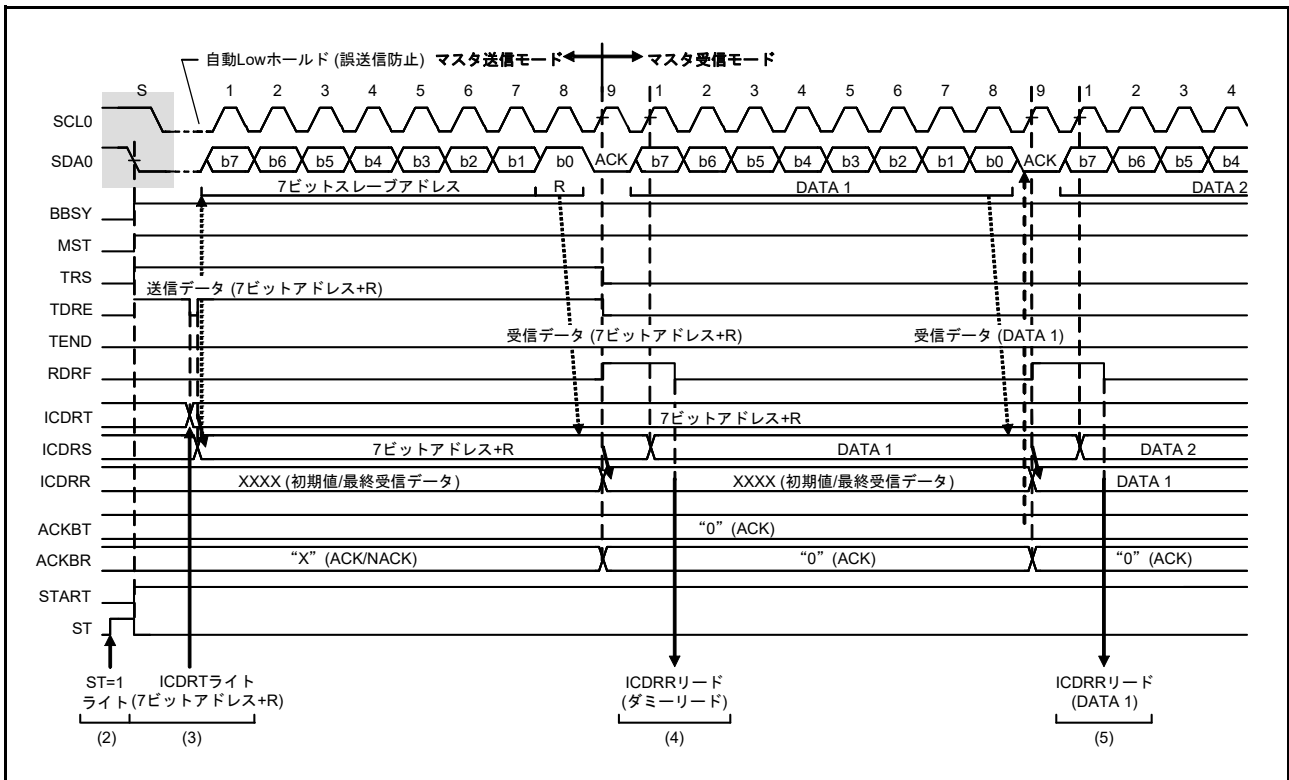


図 33.11 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFSビット=0のとき)

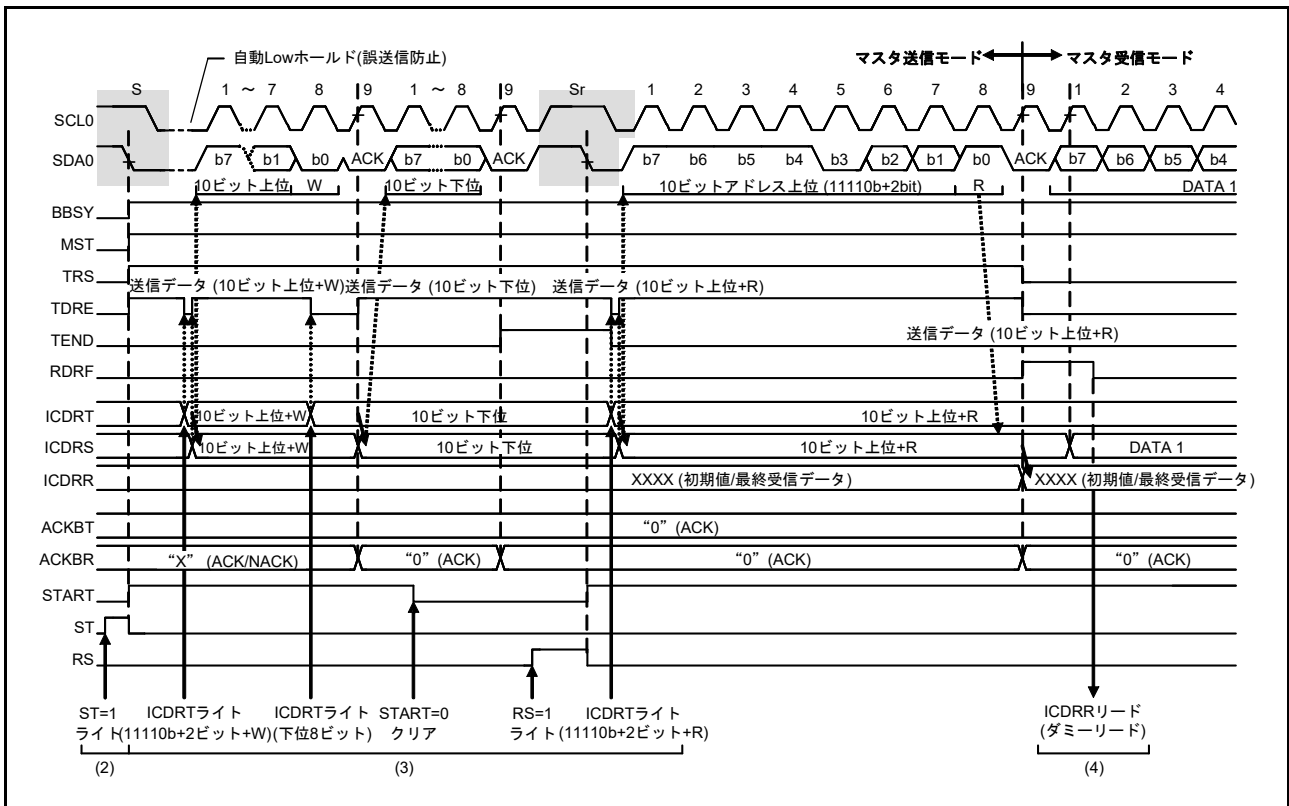


図 33.12 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFSビット=0のとき)

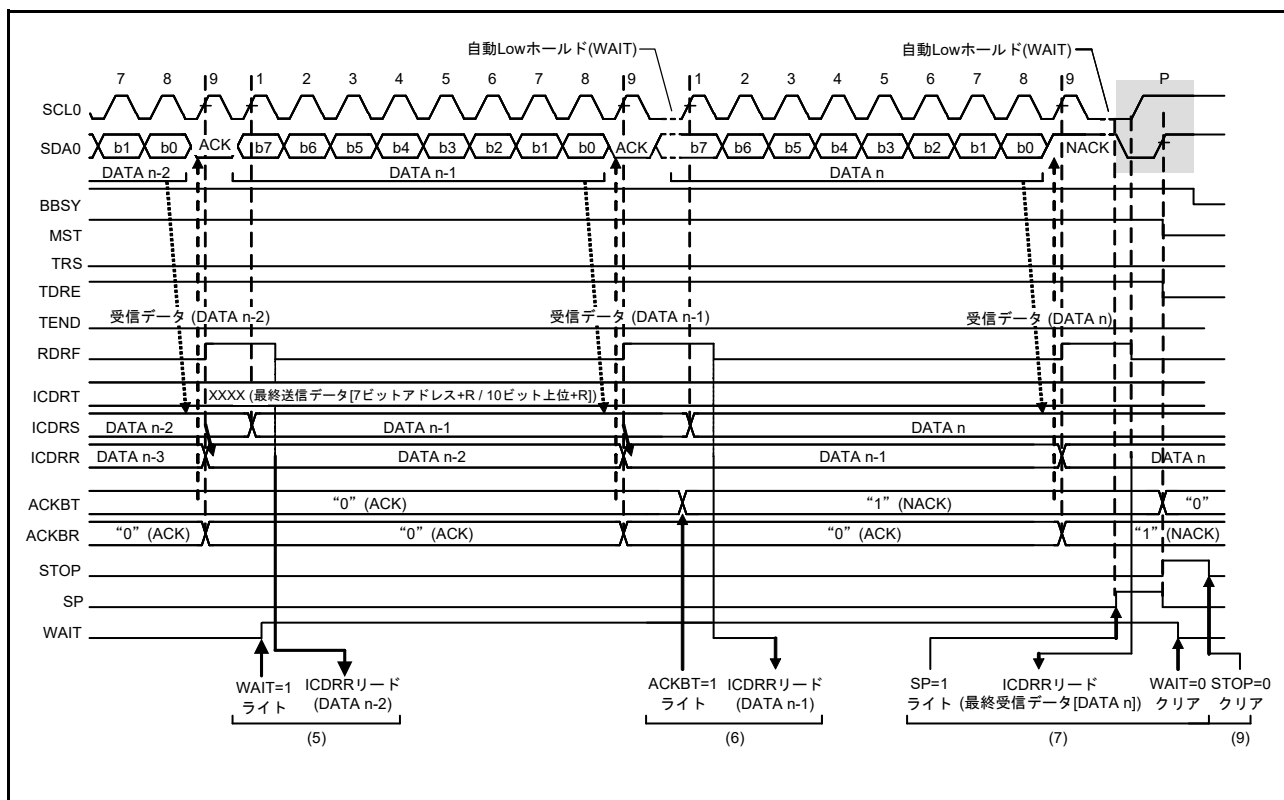


図 33.13 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

33.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL を出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクリッジを返します。

図 33.14 にスレーブ送信の使用例を示します。図 33.15、図 33.16 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「33.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、9 個目の SCL のアクリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが“1”の状態でもスタデバイスからアクリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は9クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

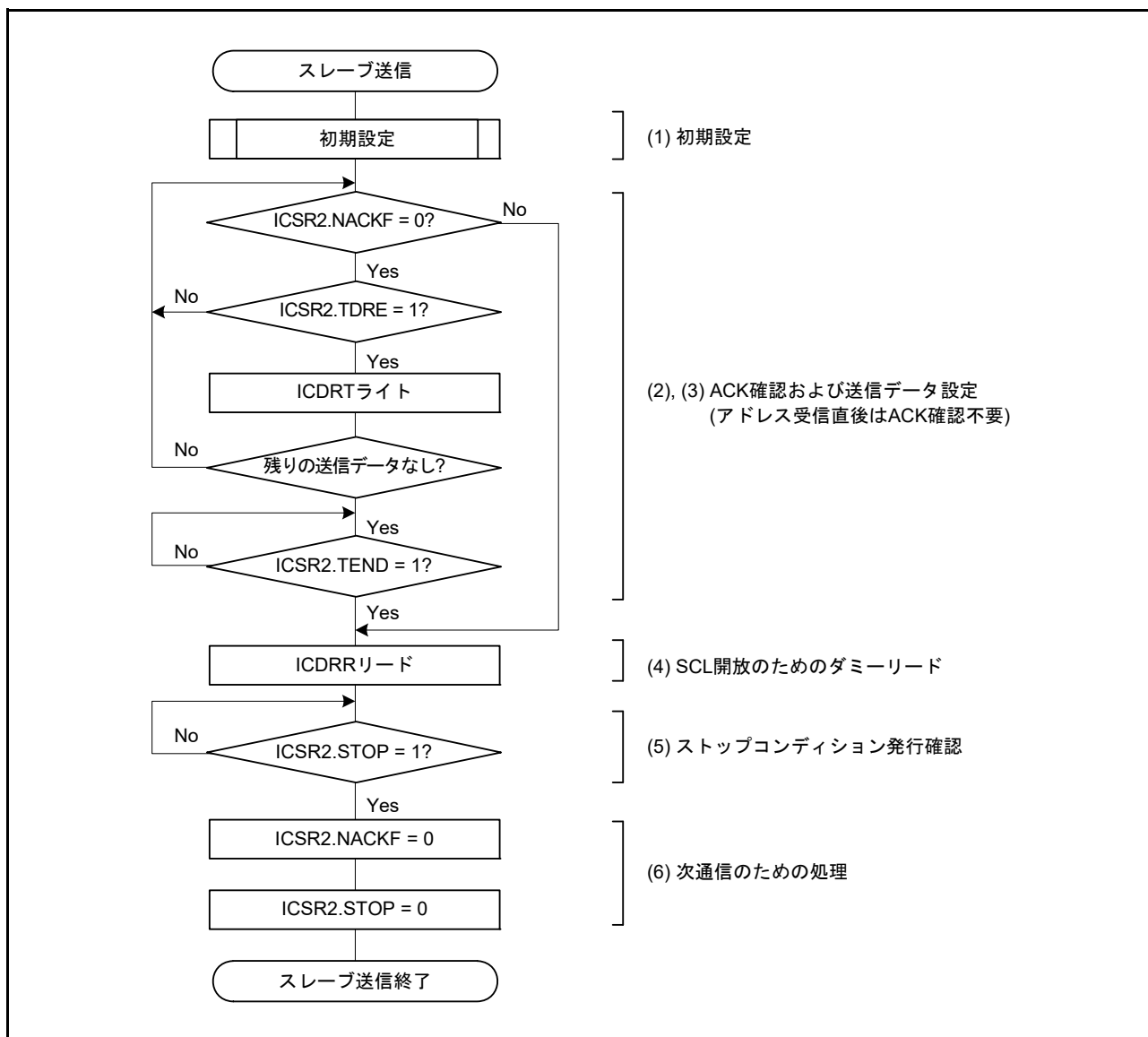


図 33.14 スレーブ送信のフローチャート例

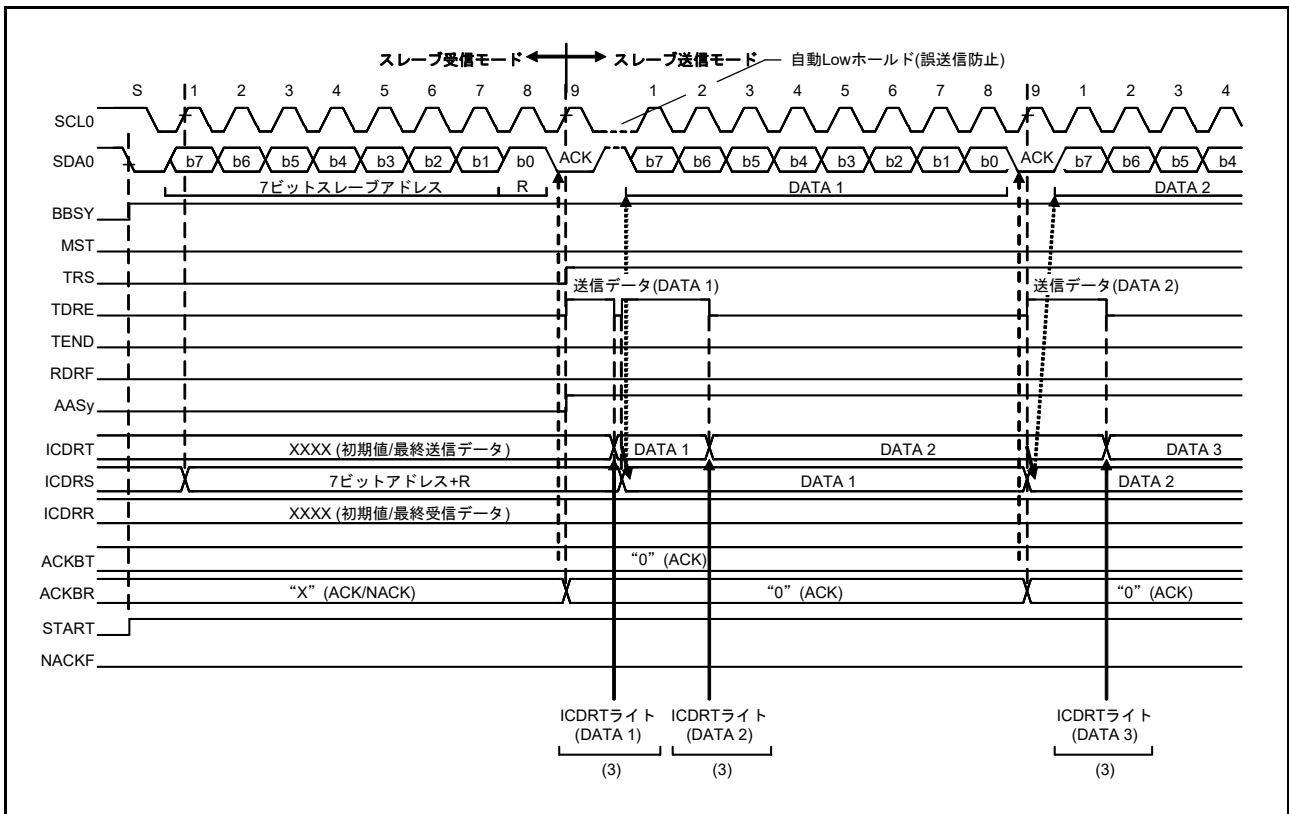


図 33.15 スレープ送信の動作タイミング (1) (7ビットアドレスフォーマットのとき)

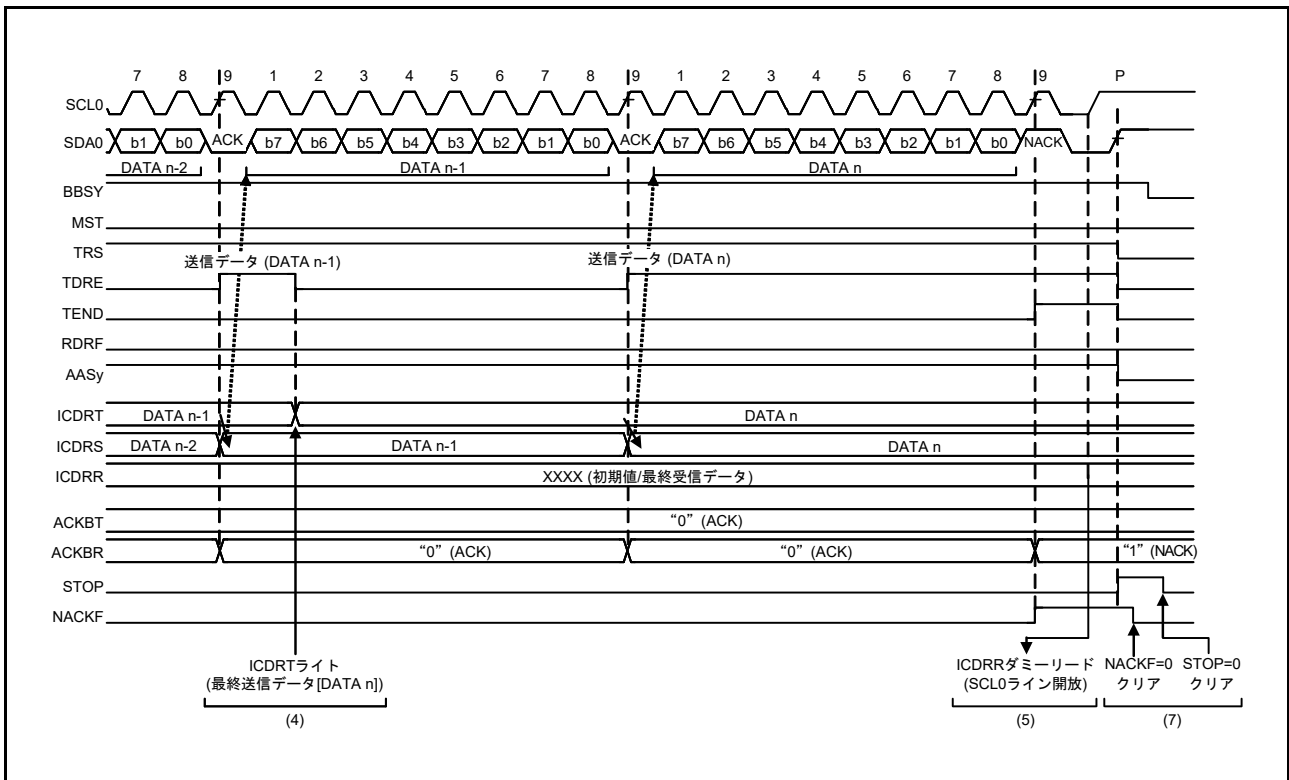


図 33.16 スレープ送信の動作タイミング (2)

33.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL と送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 33.17 にスレーブ受信の使用例を図 33.18、図 33.19 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「33.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は 9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL 立ち下がり で SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

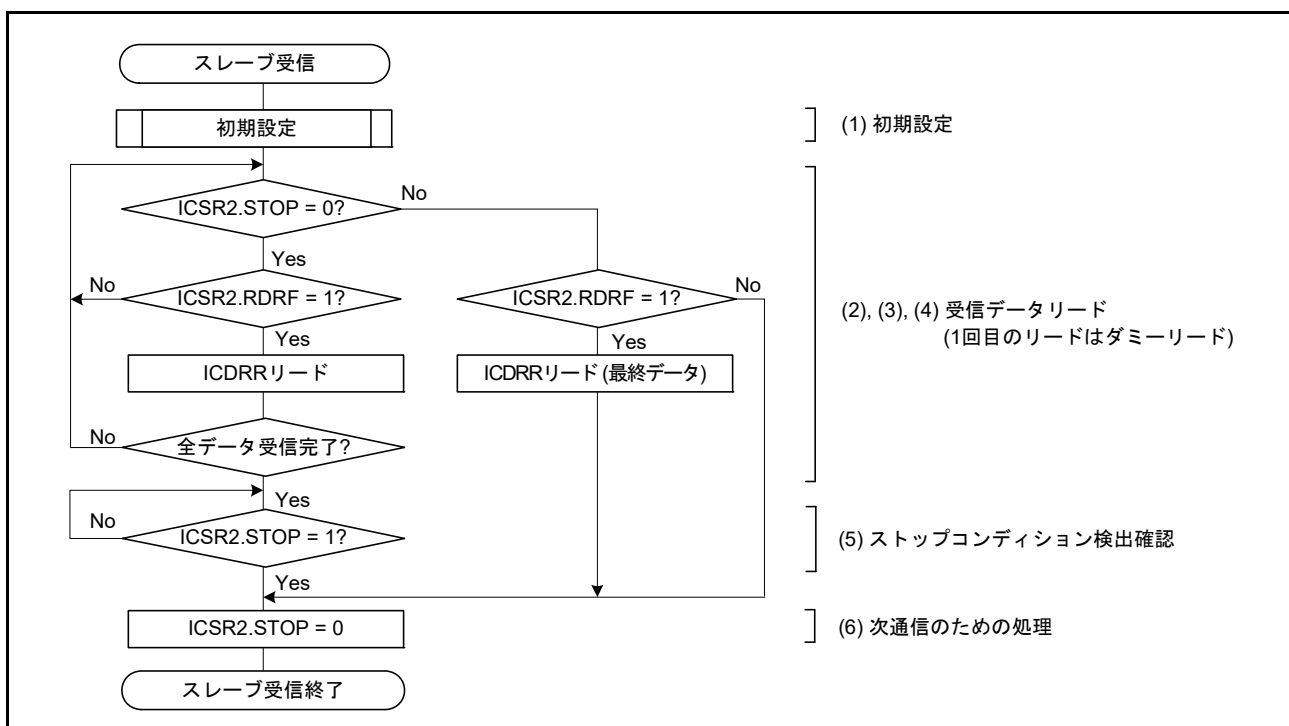


図 33.17 スレーブ受信のフローチャート例

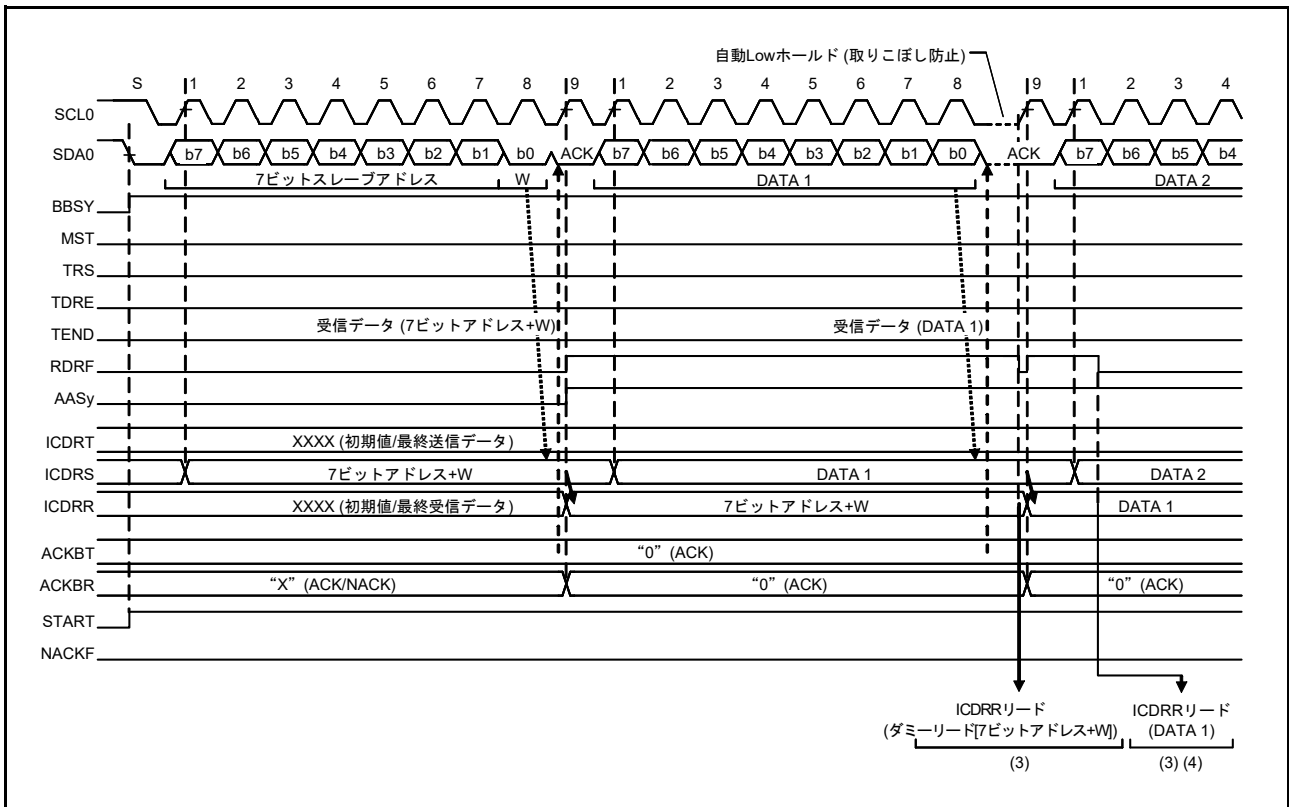


図 33.18 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

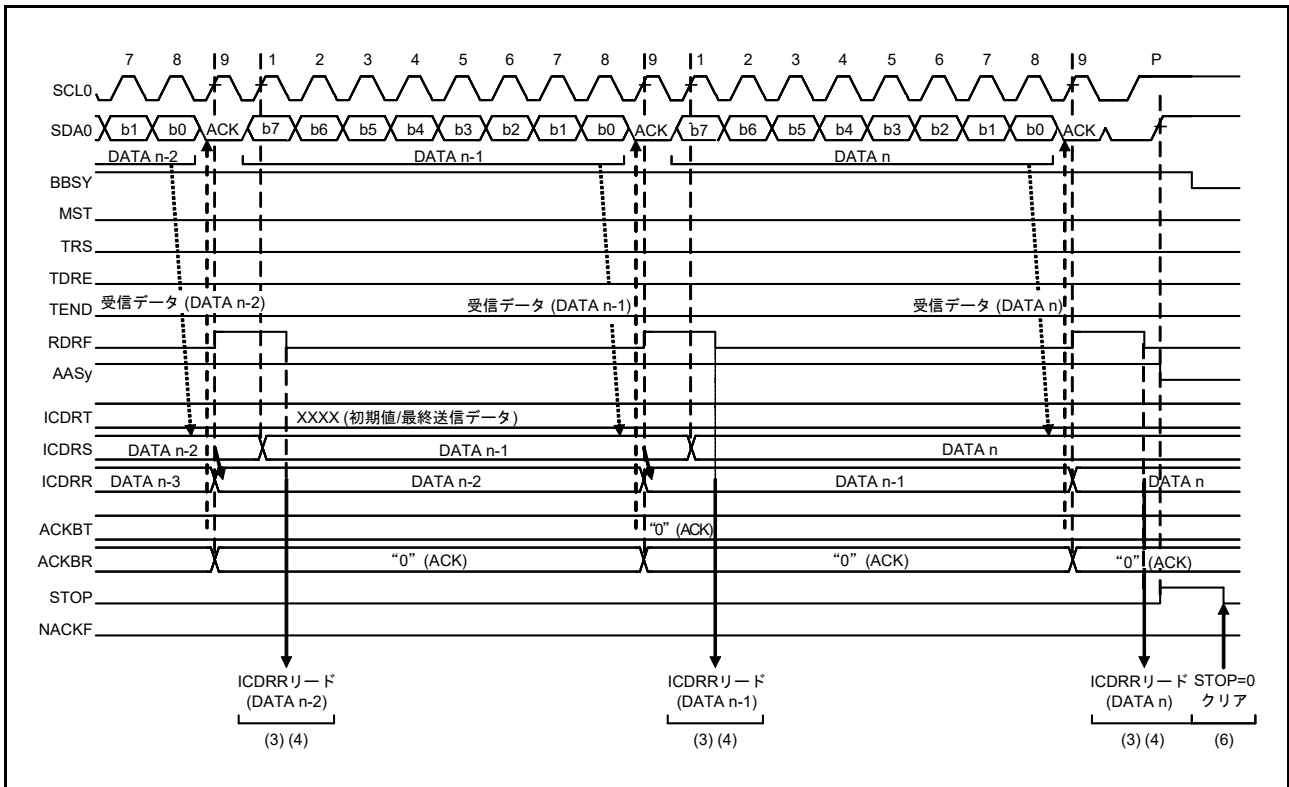


図 33.19 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

33.4 SCL 同期回路

RIIC の SCL 生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL を生成します。

I²C バスをマルチマスタで使用する場合、SCL は他のマスタデバイスとの競合により SCL 同士が衝突する場合があります。SCL が衝突した場合、マスタデバイスは SCL の同期化を行う必要があります。この SCL の同期はビットごとに行う必要があり、RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL を生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL 出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL の Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL の Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL が立ち上がります。そのため SCL 出力衝突時の SCL の High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

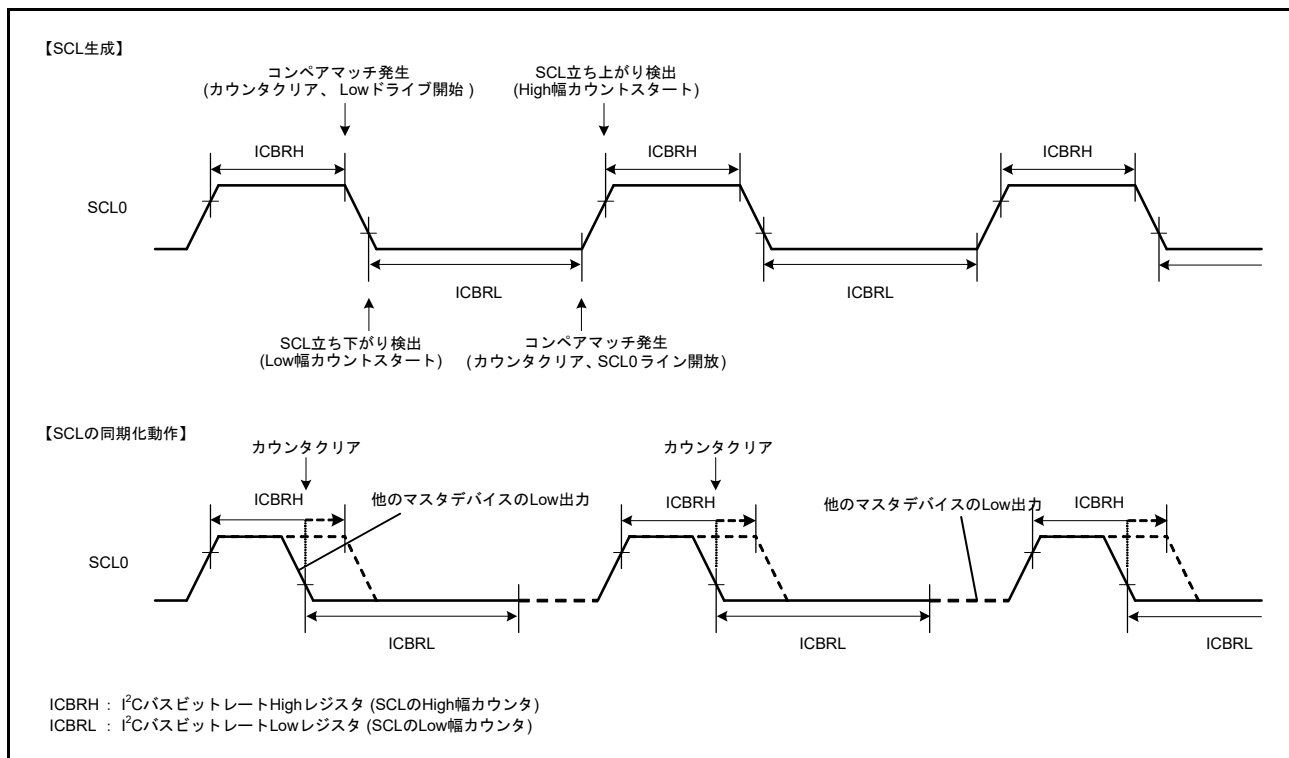


図 33.20 RIIC の SCL 生成および SCL 同期化動作

33.5 SDA出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を遅延させることができます。

SDA出力遅延機能は、SCLの立ち下がり検出からSDA出力を遅延させ、確実にSCLのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用します。また、SMBusのデータホールド時間: 300 ns (min)の仕様を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行います。遅延サイクル分のカウントが終了した時点でRIICはSDA出力(発行動作(スタート/リスタート/ストップコンディション)、データ出力、ACK/NACK出力)を行います。

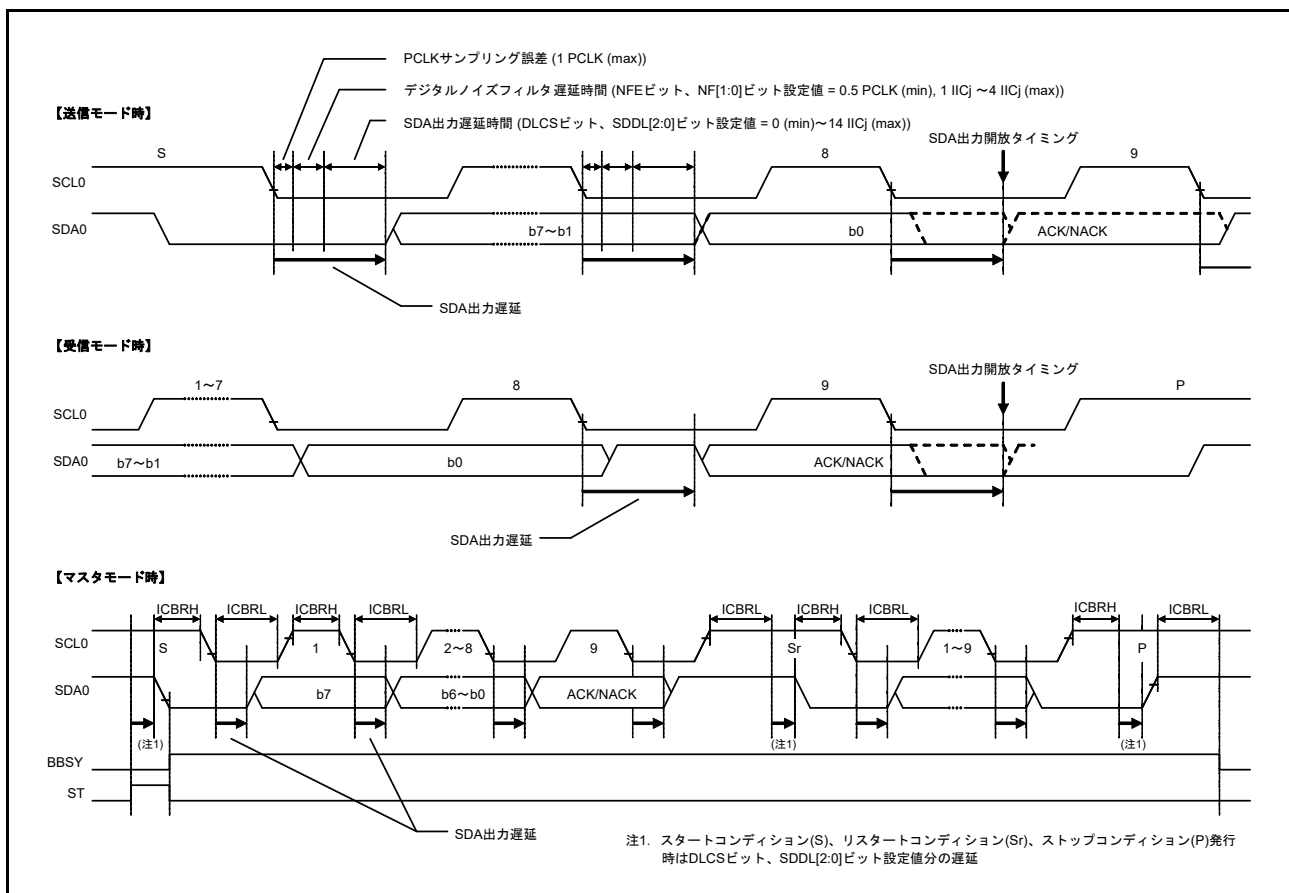


図 33.21 SDA出力遅延タイミング

33.6 デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。

図 33.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1 IIC ϕ ~ 4 IIC ϕ サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は IIC ϕ の立ち下がりでもサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4 MHz 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合がありますので注意してください。

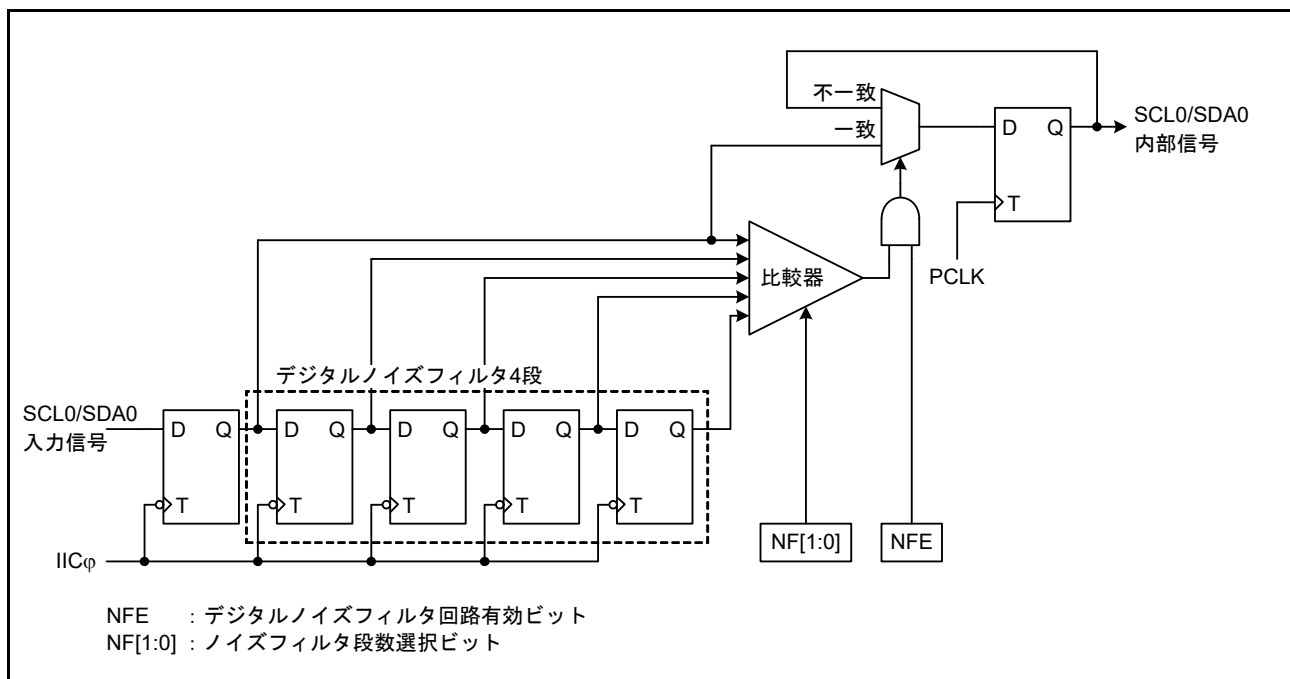


図 33.22 デジタルノイズフィルタ回路のブロック図

33.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

33.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、9個目のSCLの立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、このとき受信したR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンpty割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図33.23~図33.25にAASyフラグが“1”になるタイミングを示します。

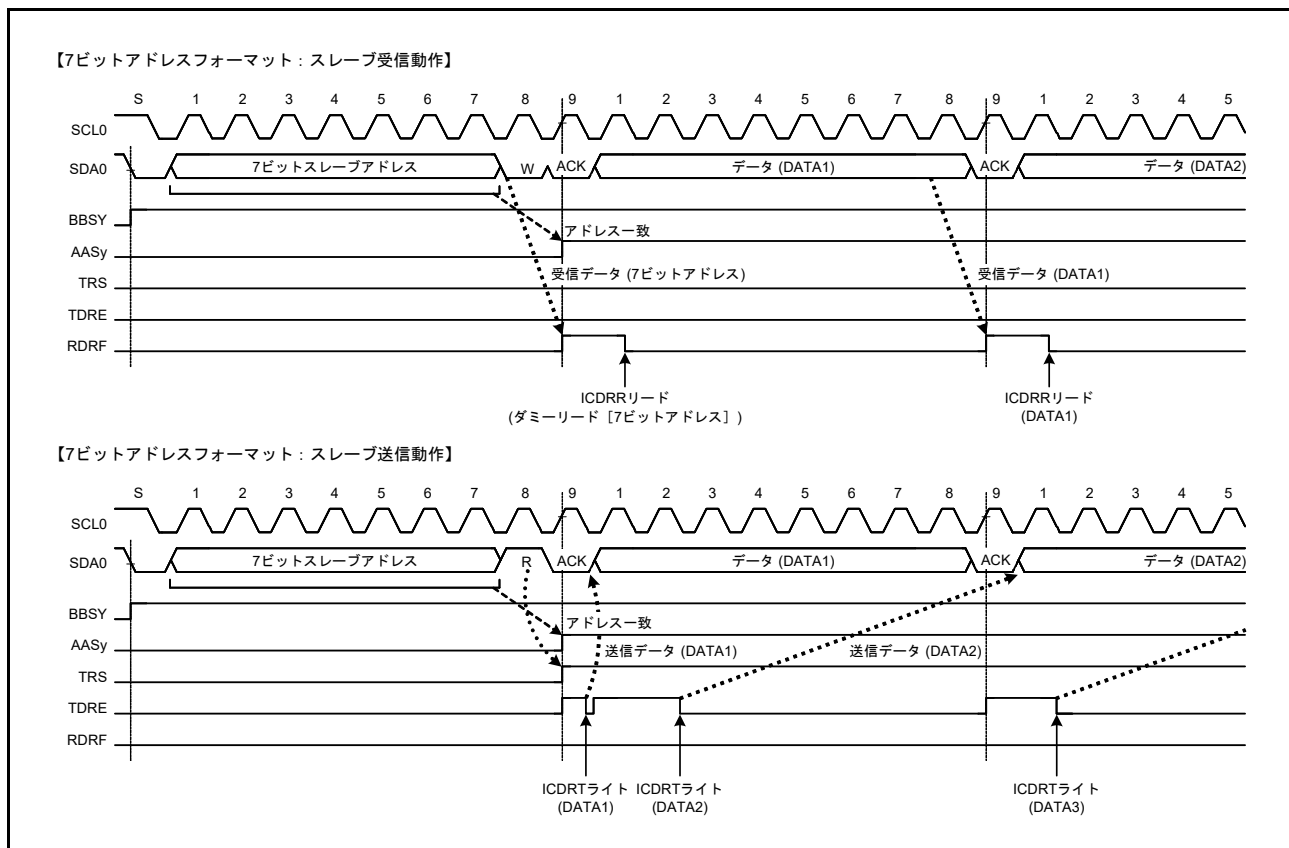


図 33.23 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

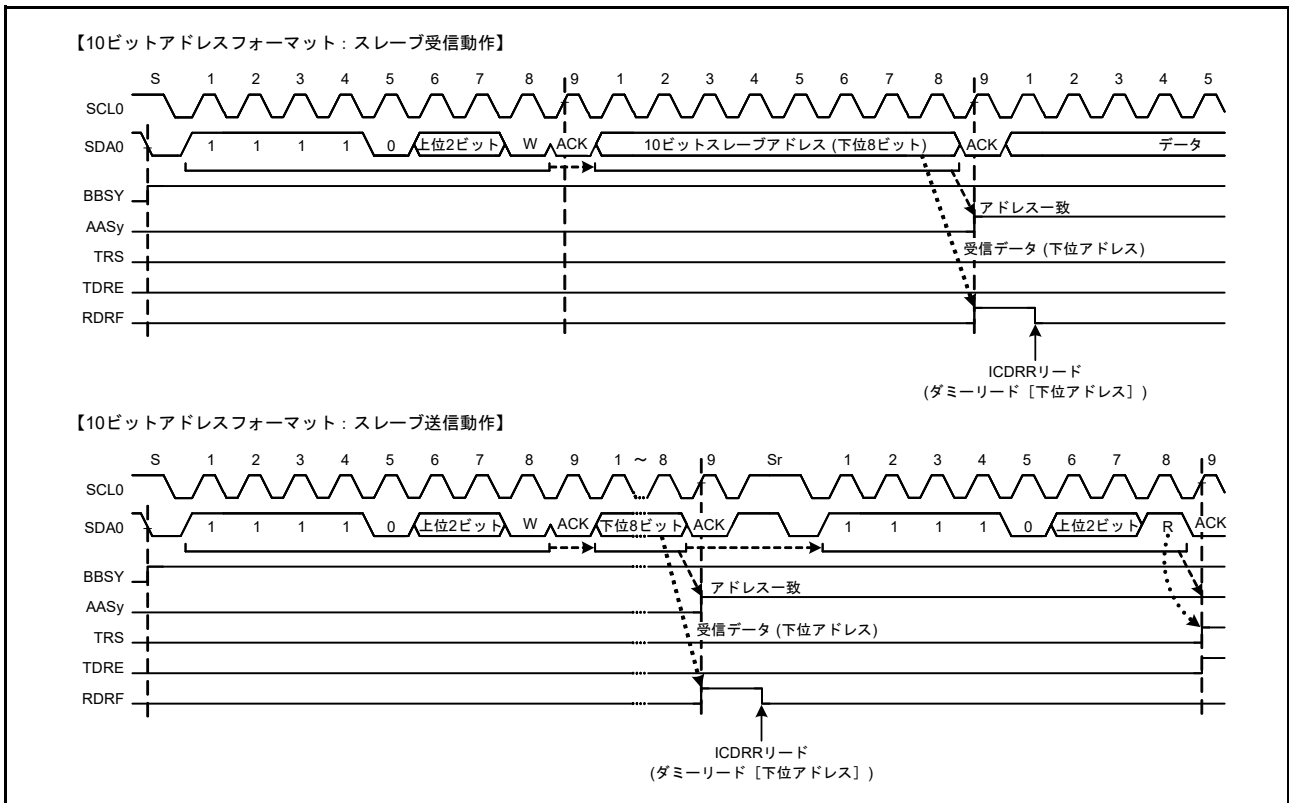


図 33.24 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

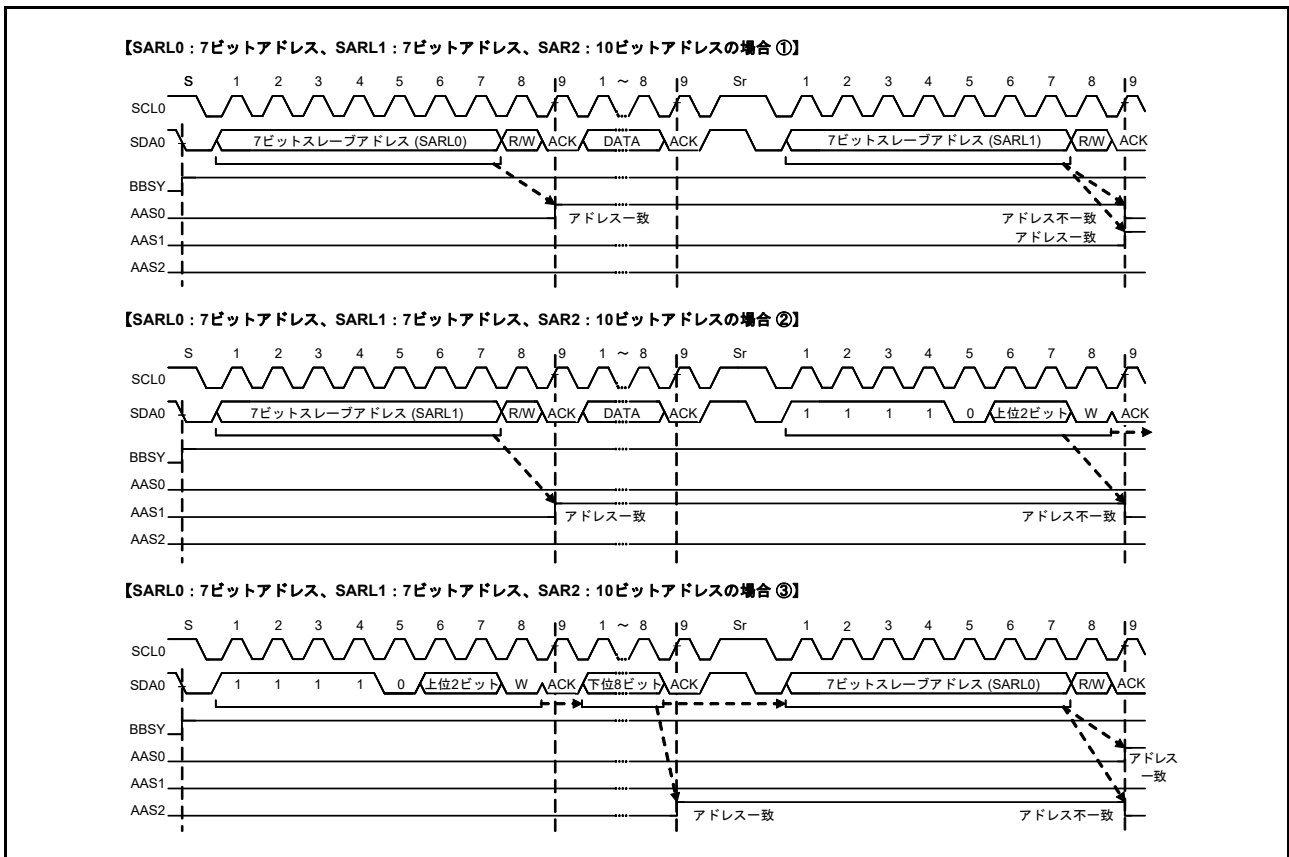


図 33.25 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

33.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSER.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIICはこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、9個目のSCLの立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

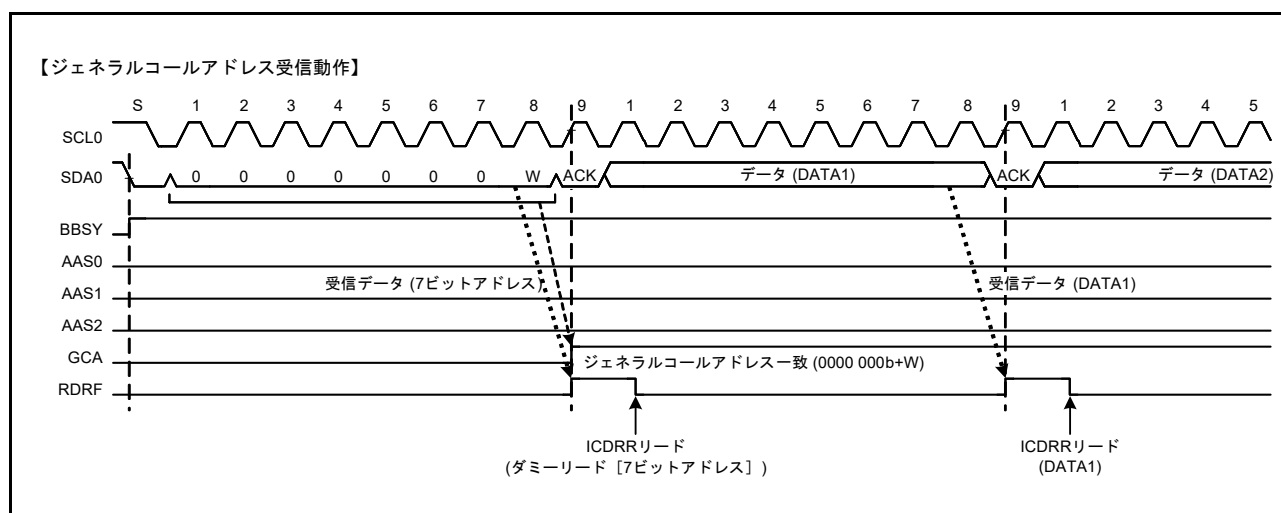


図 33.26 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

33.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス仕様に準拠したデバイスIDアドレスの検出機能を備えています。ICSR.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のとき9個目のSCLの立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AAS_yフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDREフラグが“1”であることを確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

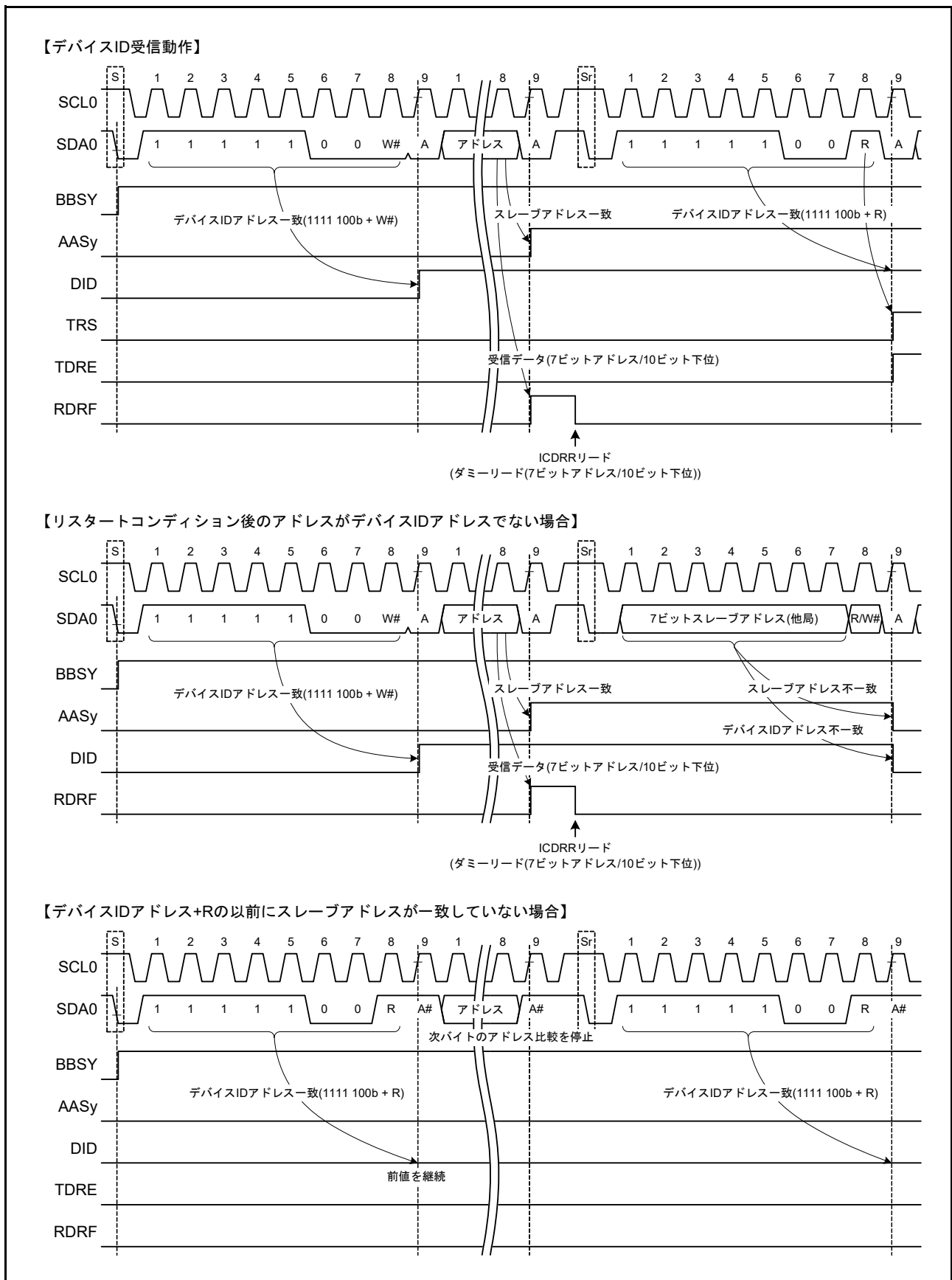


図 33.27 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

33.7.4 ホストアドレス検出機能

RIICにはSMBus動作時にホストアドレス検出機能を備えています。ICMR3.SMBSビットが“1”のときICSER.HOAEビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRSビット=00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、9個目のSCLの立ち上がりでICSR1.HOAフラグを“1”にし、Wrビット (R/W#ビットに“0”を受信) のときICSR2.RDRFフラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットがRdビット (R/W#ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

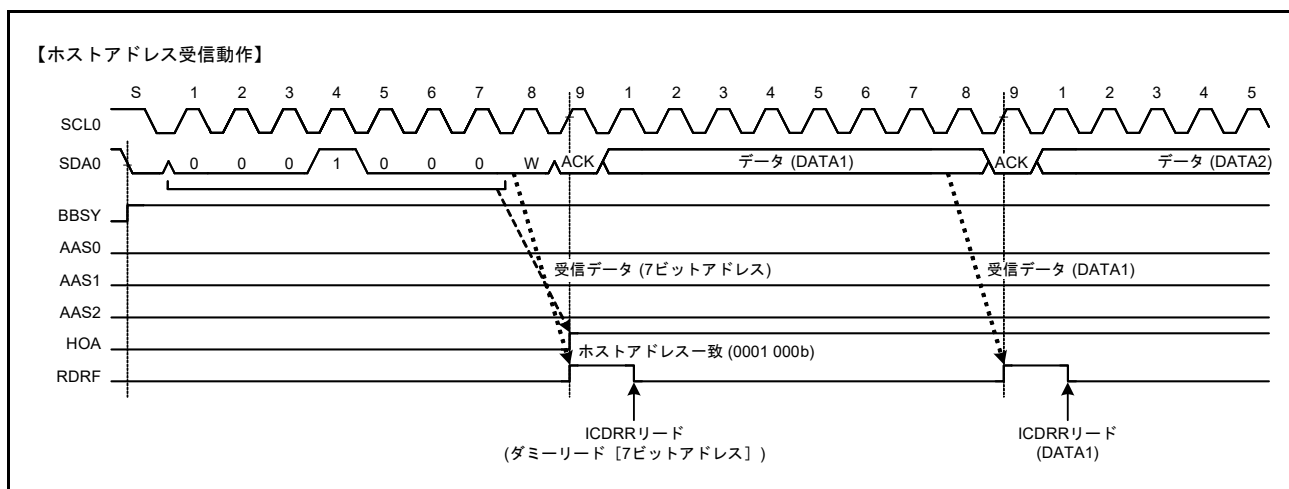


図 33.28 ホストアドレス受信時に HOA フラグが“1”になるタイミング

33.8 SCLの自動Lowホールド機能

33.8.1 送信データ誤送信防止機能

RIICは送信モード時(ICCR2.TRSビット=1)、シフトレジスタ(ICDRSレジスタ)が空の状態かつ送信データ(ICDRTレジスタ)が書かれていない場合、以下に示す区間、自動的にSCL0ラインのLowホールドを行います。このLowホールドは送信データの書き込みが行われるまでの期間Low区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後のLow区間
- 9クロック目と1クロック目の間のLow区間

《スレーブ送信モード》

- 9クロック目と1クロック目の間のLow区間

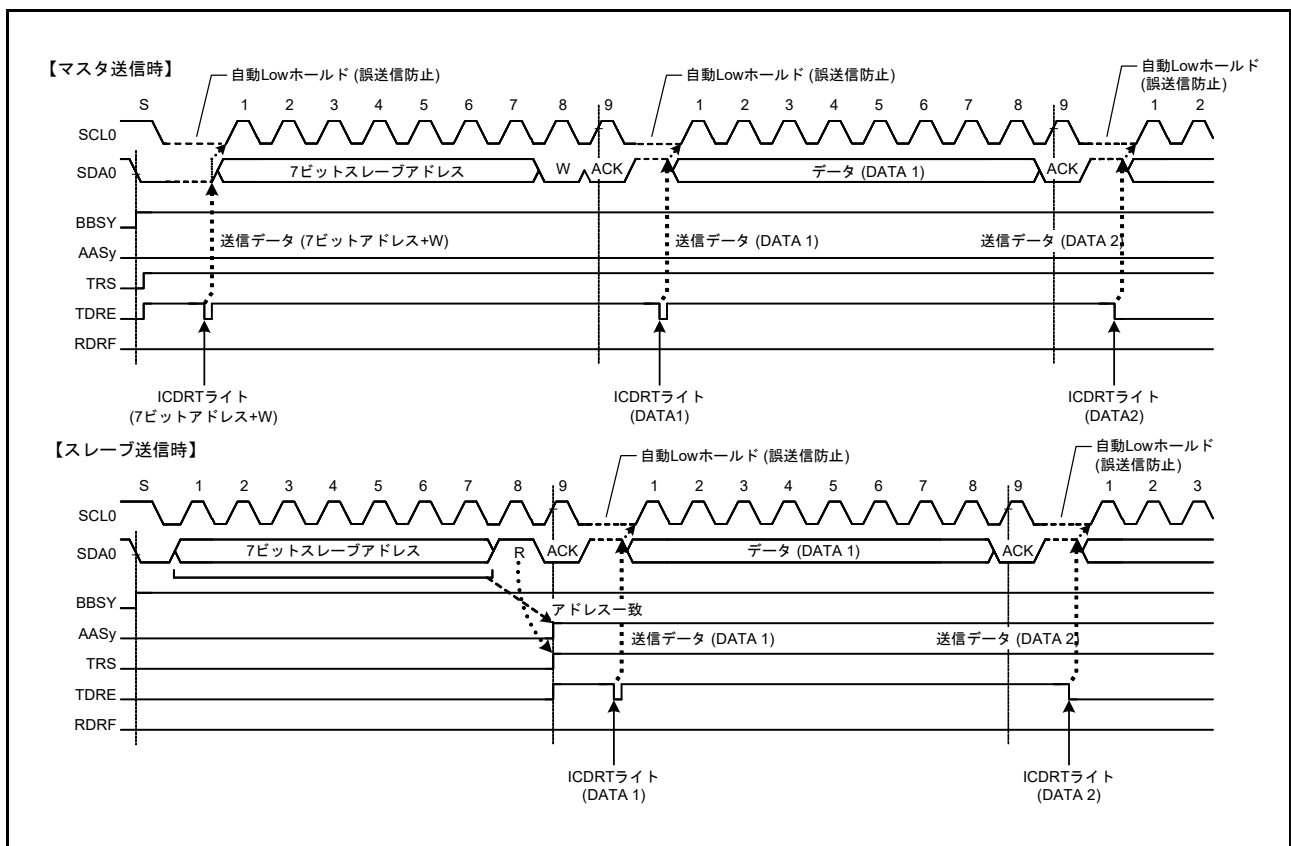


図 33.29 送信モードの自動Lowホールド動作

33.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKF ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、9 個目の SCL の立ち上がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA0 ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。マスタ送信モードの場合には、リスタートコンディション発行後に NACKF フラグを “0” にして動作をやり直すか、ストップコンディション発行後に NACKF フラグを “0” にし、その後スタートコンディションの発行からやり直してください。

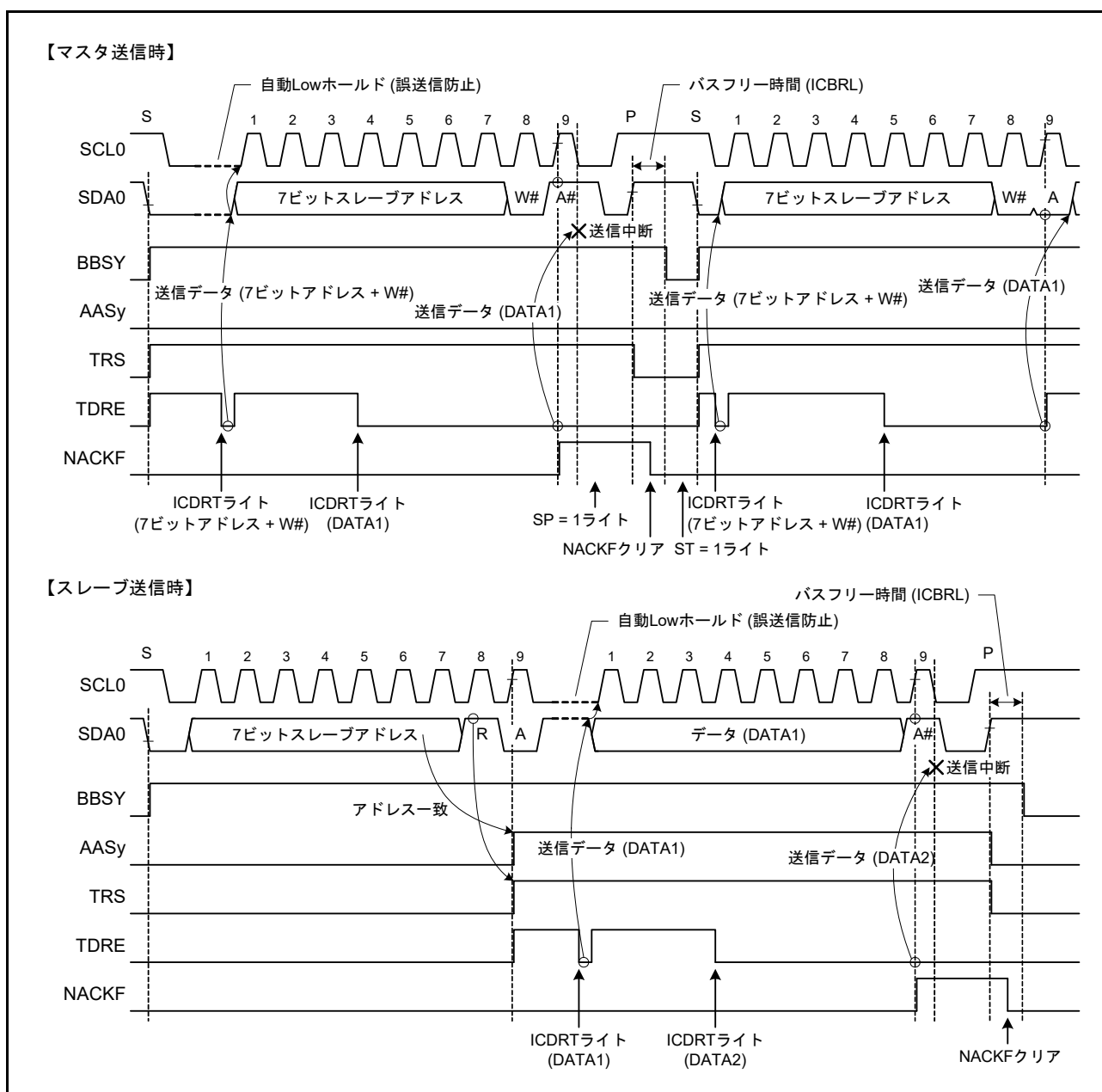


図 33.30 NACK 受信時の転送中断動作 (NACKF ビット = 1 のとき)

33.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが1転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的に SCL0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIICではICMR3.WAIT ビットと RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる1バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICはWAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICはSCLの8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的にICMR3.ACKBT ビットの内容が送出され、9クロック目の立ち下がりを検出するとWAIT ビット機能により自動的にSCL0ラインをLowにホールドします。このLowホールドはICDRRレジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なおWAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる1バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICはRDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが8個目のSCLの立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的にSCL0ラインをLowにホールドします。このLowホールドはICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じたACK/NACK 送出の受信動作が可能となります。

なおRDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

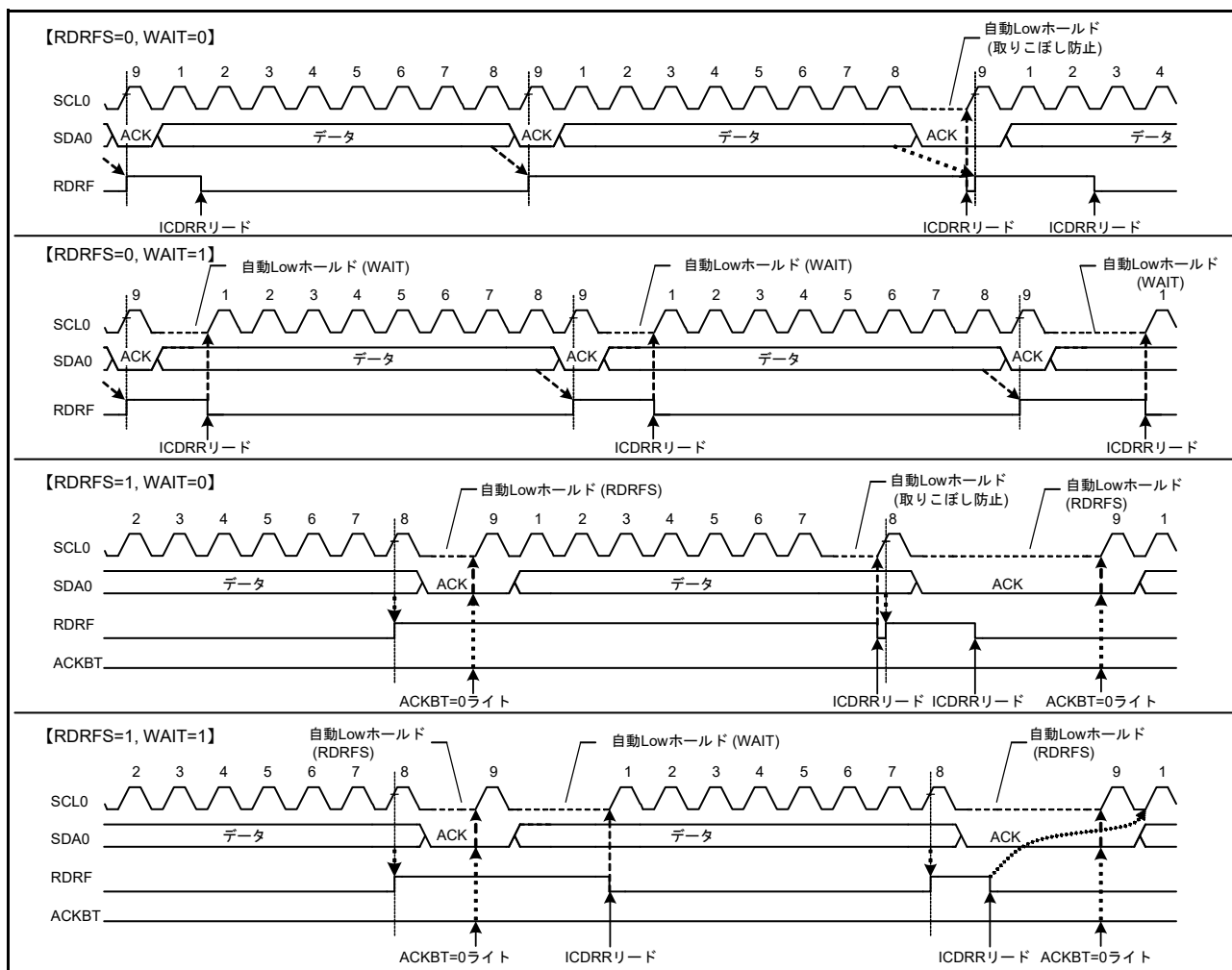


図 33.31 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

33.9 アービトレーションロスト検出機能

RIICにはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

33.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDA0ラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDA0ラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDA0ラインに不一致が生じた場合(SDA出力がHigh(SDA0端子はハイインピーダンス)で、SDA0ラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおRIICは、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、マスタアービトレーションロストを検出します。

マスタアービトレーションロスト検出条件

- ICCR2.BBSYフラグが“0”の状態(ICCR2.STビットを“1”)にしてスタートコンディションを発行したときに、SDA信号とSDA0ライン上の信号の状態が不一致のとき(スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”の状態(ICCR2.STビットを“1”)にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDA0ライン上の信号の状態が不一致のとき

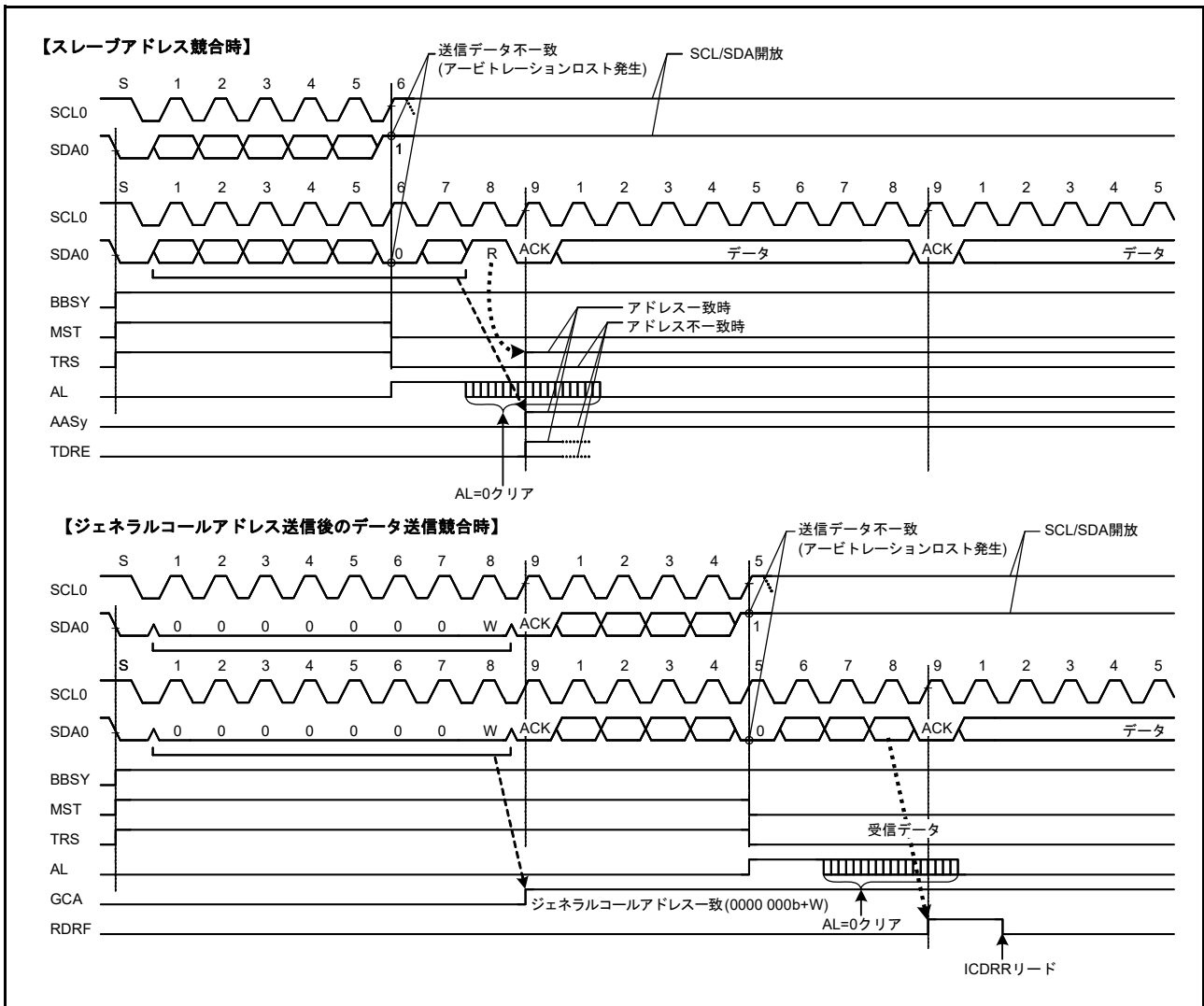


図 33.32 マスターアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

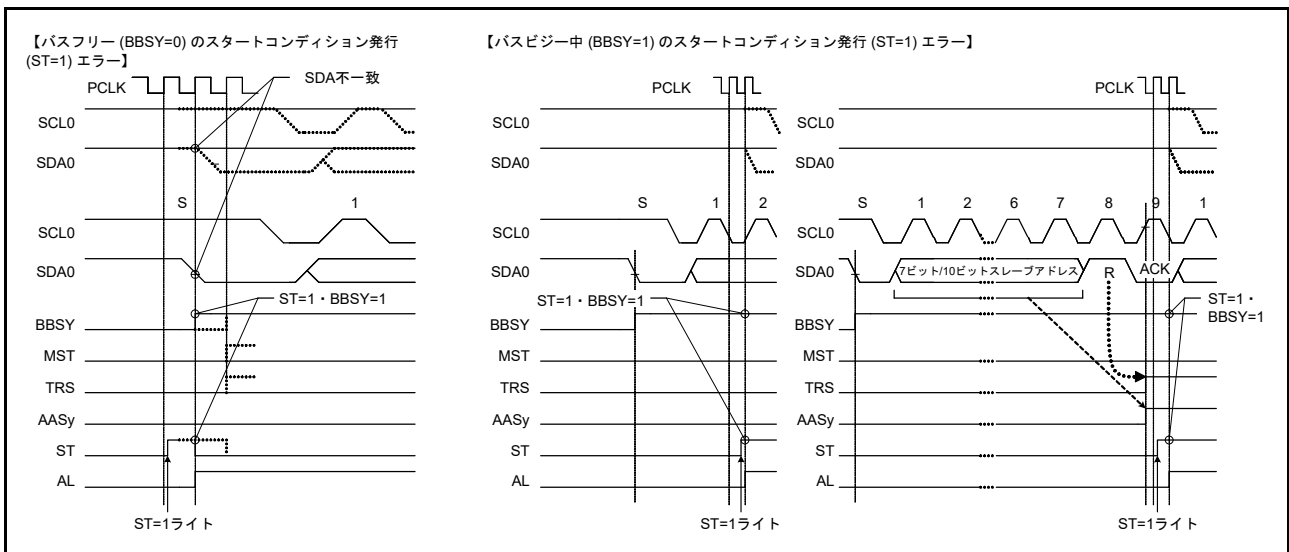


図 33.33 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

なお RIIC は、ICFER.NALE ビットが“1”(NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、NACK 送信アービトレーションロストを検出します。

NACK 送信アービトレーションロスト検出条件

- NACK 送信時(ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (ACK を受信したとき)

33.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (Unique Device Identifier) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.SALE ビットが“1”(スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、スレーブアービトレーションロストを検出します。

スレーブアービトレーションロスト検出条件

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

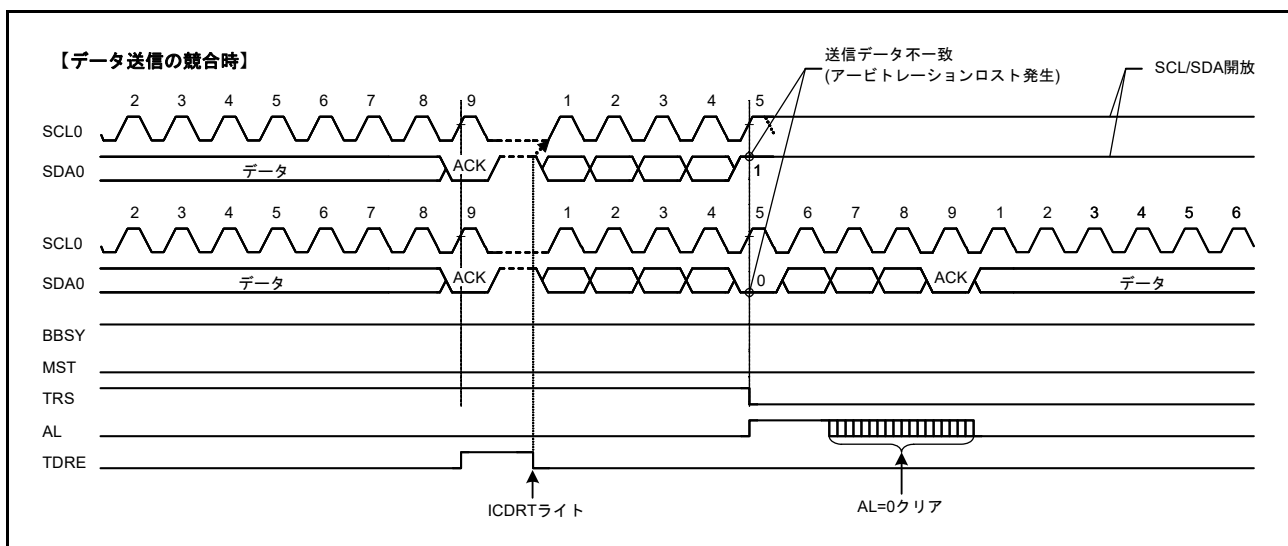


図 33.35 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

33.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

33.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

- (1) SDA0ラインを立ち下げ (High から Low に遷移)
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL0ラインを立ち下げ (High から Low に遷移)
- (4) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

33.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態であつICCR2.MSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

- (1) SDA0ラインを開放
- (2) ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保
- (3) SCL0ラインを開放 (Low から High に遷移)
- (4) SCL0ラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA0ラインを立ち下げ (High から Low に遷移)
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL0ラインを立ち下げ (High から Low に遷移)
- (8) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

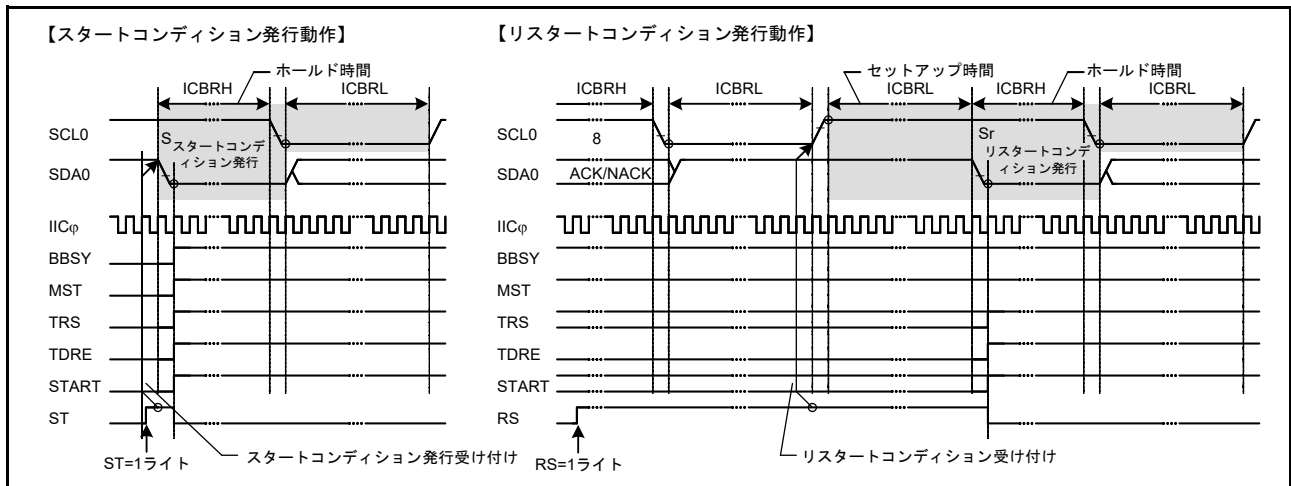


図 33.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

33.10.3 ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1” (バスビジー) の状態であつ ICCR2.MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

- (1) SDA0 ラインを立ち下げ (High から Low に遷移)
- (2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
- (3) SCL0 ラインを開放 (Low から High に遷移)
- (4) SCL0 ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- (5) SDA0 ラインを開放 (Low から High に遷移)
- (6) ICBRL レジスタで設定した時間、バスフリー時間を確保
- (7) BBSY フラグクリア (バス権解放)

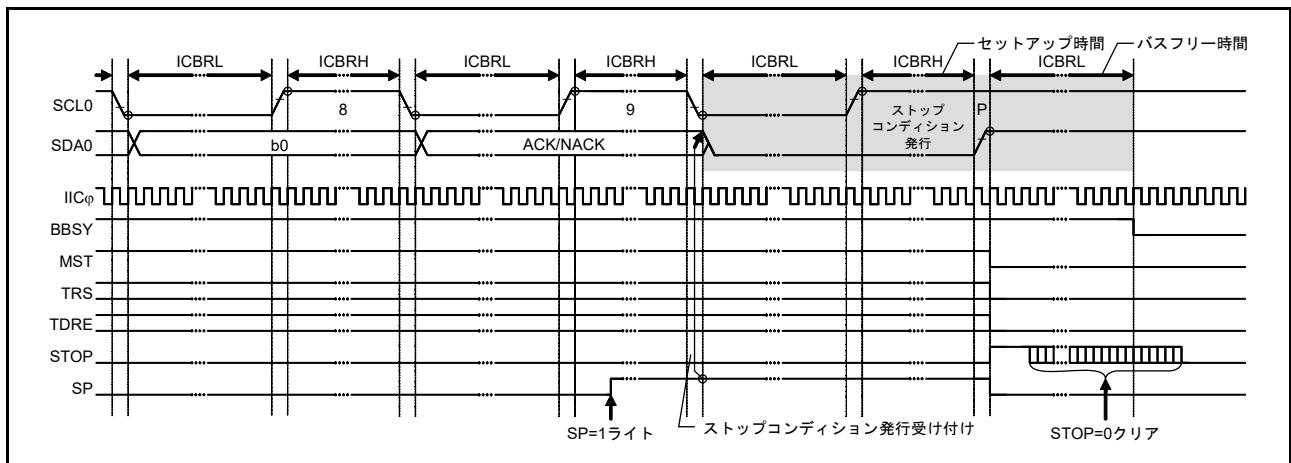


図 33.37 ストップコンディション発行動作タイミング (SP ビット)

33.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL0ラインやSDA0ラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCL0ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するためのSCL追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO、SDAO、SCLI、SDAIビットを確認することで、RIIC自身がSCL0ライン/SDA0ラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

33.11.1 タイムアウト検出機能

RIICにはSCL0ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCL0ラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCL0ラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL0ラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0ラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCL0ラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0ラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH、TMOLビットの設定により選択することが可能です。なおTMOH、TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

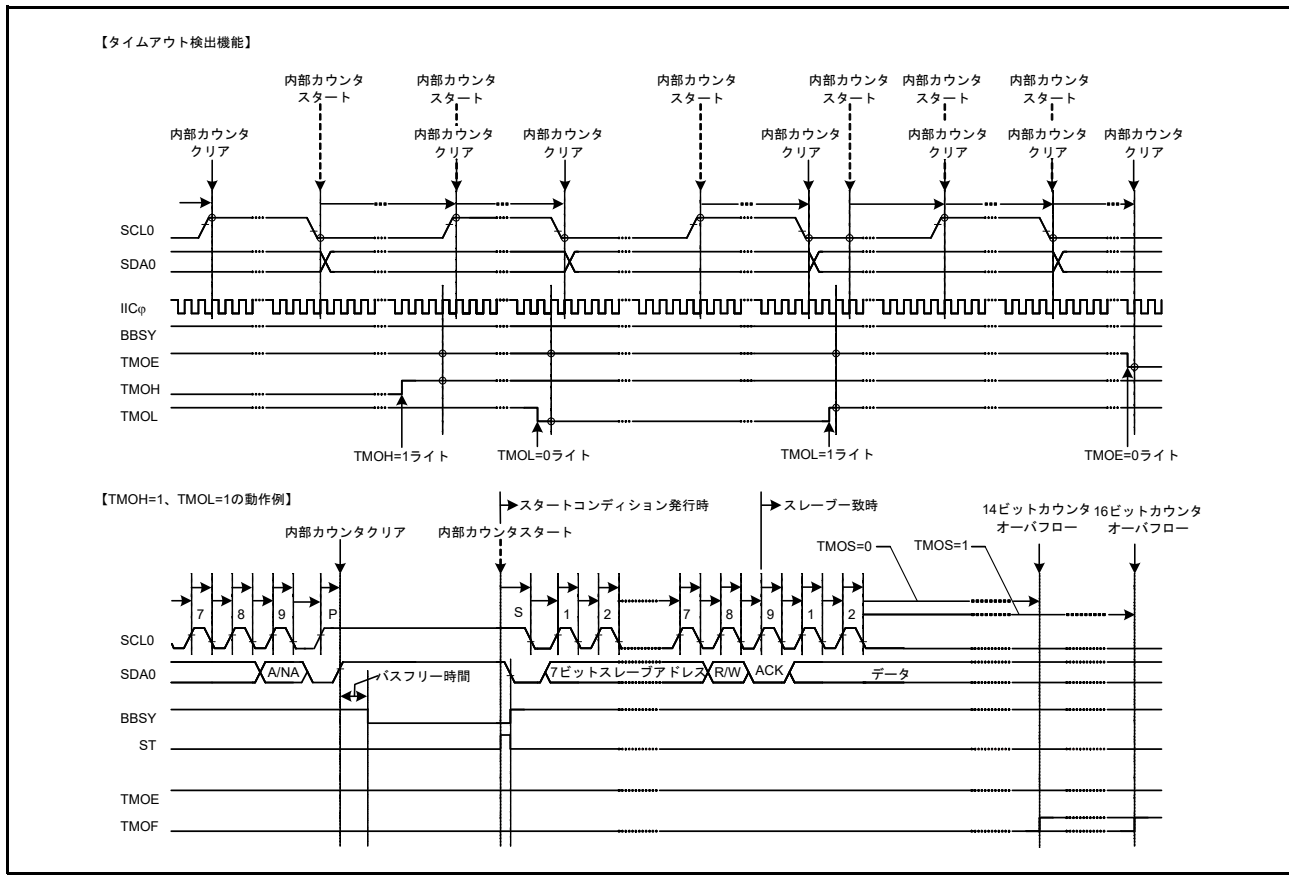


図 33.38 タイムアウト検出機能

33.11.2 SCL 追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスの SDA0 ライン Low 固定状態を開放するための SCL 追加出力機能を備えています。

SCL 追加出力機能は、SCL を 1 クロックずつ追加で出力する機能で、主にマスタモード時にスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA0 ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された周波数のクロックが SCL0 端子から 1 クロック分追加で出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。このとき ICCR2.BBSY フラグが“1”であると SCL0 端子は Low になり、BBSY フラグが“0”であると SCL0 端子は High になります。CLO ビットが“0”であることを確認した後“1”を書くことにより、追加クロックを連続して出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL 追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA0 ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA0 ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA0 ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを“0”(マスタアービトレーションロスト検出禁止)にして使用してください。

ICCR1.CLO ビットの使用条件

- バスフリー状態 (ICCR2.BBSY フラグ=0) またはマスタモード (ICCR2.MST ビット=1、BBSY フラグ=1 の状態) のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 33.39 に SCL 追加出力機能 (CLO ビット) を示します。

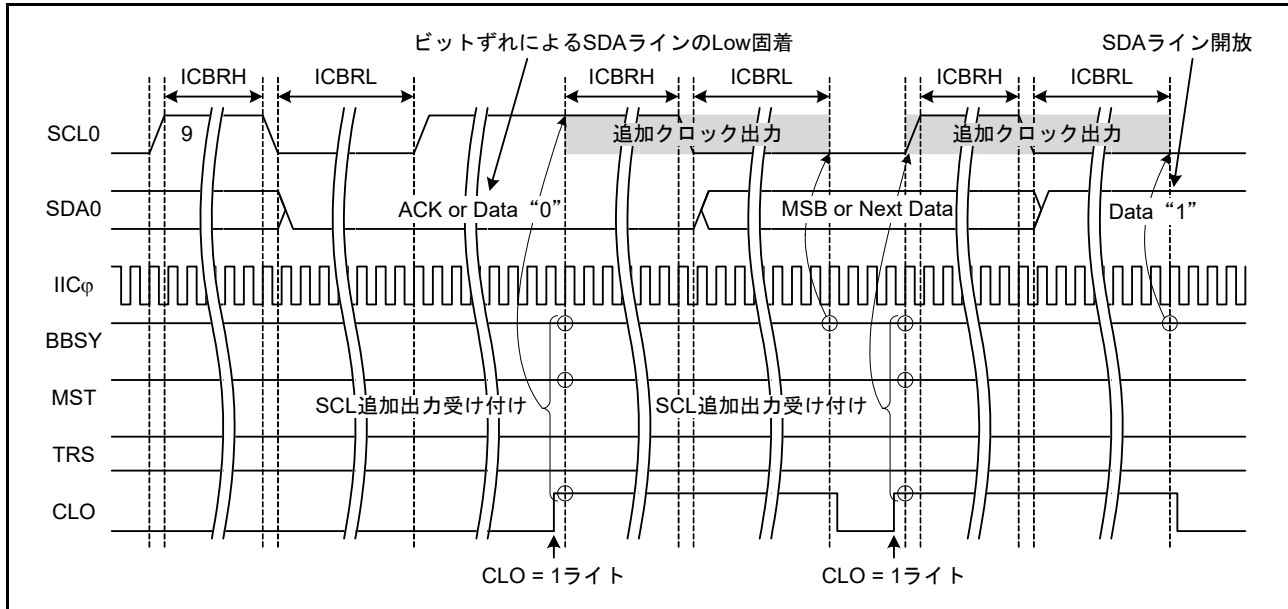


図 33.39 SCL 追加出力機能 (CLO ビット)

33.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCL0 端子 / SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE、IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「33.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

33.12 SMBus 動作

RIICはSMBus (Ver.2.0)に準拠した通信動作が可能です。SMBus通信を行うには、ICMR3.SMBSビットを“1”にしてください。転送速度はSMBus仕様の10 kbps～100 kbpsの範囲に収まるようICMR1.CKS[2:0]ビット、ICBRH、ICBRLレジスタを設定し、データホールド時間：300 ns (min)の仕様を守るようICMR2.DLCSビットおよびICMR2.SDDL[2:0]ビットの値を決定してください。RIICをスレーブデバイスからの動作で使用する場合には、転送速度の設定は不要ですが、ICBRLはデータセットアップ時間(250 ns)以上の値を設定してください。

なおSMBusデバイスデフォルトアドレス(1100 001b)はスレーブアドレスレジスタL0～L2(SARL0、SARL1、SARL2)のいずれか1本を使用し、該当するSARUy.FSビット(y=0～2)(7ビット/10ビットアドレスフォーマット選択ビット)を“0”(7ビットアドレスフォーマット)を選択してください。

また、UDID (Unique Device Identifier)送信時には、ICFER.SALEビットを“1”にしてスレーブアービトレーションロスト検出機能を有効にしてください。

33.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus通信では、スレーブデバイスは以下に示す区間(タイムアウト間隔： $T_{\text{LOW:SEXT}}$)を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIICのスタートコンディション検出割り込み(STI)、ストップコンディション検出割り込み(SPI)を利用してスタートコンディション検出からストップコンディション検出までの時間をGPTWまたはTMRタイマを使用してその区間を計測することで行います。このタイムアウト測定時間はSMBus仕様のクロックLowの累積時間(スレーブデバイス) $T_{\text{LOW:SEXT}}$ ：25 ms (max)以内である必要があります。

GPTWまたはTMRで計測した時間が、SMBus仕様のクロックLow検出のタイムアウト T_{TIMEOUT} ：25 ms (min)を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うにはICCR1.IICRSTビットに“1”を書き、RIICの内部リセットを行ってください。内部リセットを行うとRIICはSCL0端子/SDA0端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus通信のマスタデバイスは以下に示す区間(タイムアウト間隔： $T_{\text{LOW:MEXT}}$)を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIICのスタートコンディション検出割り込み(STI)、ストップコンディション検出割り込み(SPI)、および送信終了割り込み(TEI)または受信データフル割り込み(RXI)を利用して、それぞれの区間をGPTWまたはTMRタイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間はSMBus仕様のクロックLowの累積時間(マスタデバイス) $T_{\text{LOW:MEXT}}$ ：10 ms (max)以内である必要があります。スタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ を加算した結果が $T_{\text{LOW:SEXT}}$ ：25 ms (max)以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見ることがあります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

GPTW または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{LOW:MEXT} : 10 \text{ ms (max)}$ または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $T_{TIMEOUT} : 25 \text{ ms (min)}$ を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

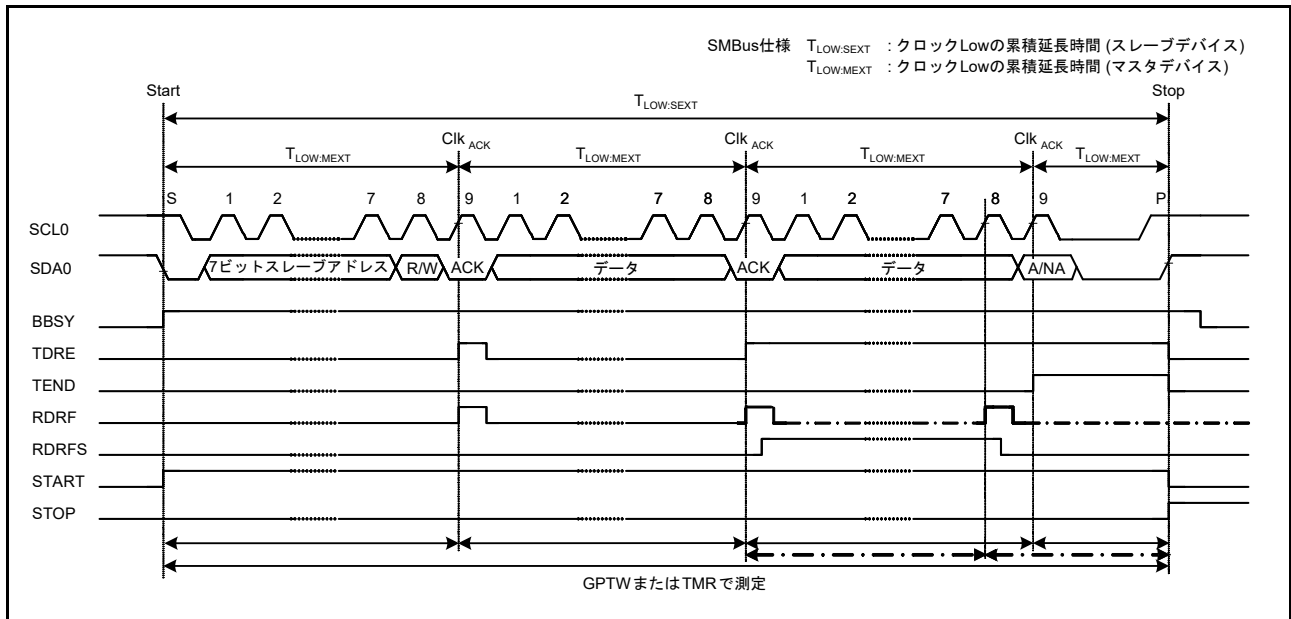


図 33.40 SMBus タイムアウト測定

33.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「36. CRC 演算器 (CRC)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出手続きを行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がりまで SCL0 ラインを Low にホールドしてください。

33.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

33.13 割り込み要因

RIICの割り込み要因には、通信エラー/通信イベント(アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があります。

表 33.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTCまたはDMACを起動してデータ転送を行うことができます。

表 33.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC/DMACの起動	割り込み条件
EEI	通信エラー/通信イベント	AL	不可能	AL = 1かつALIE = 1
		NACKF		NACKF = 1かつNAKIE = 1
		TMOF		TMOF = 1かつTMOIE = 1
		START		START = 1かつSTIE = 1
		STOP		STOP = 1かつSPIE = 1
RXI(注2)	受信データフル	RDRF	可能	RDRF = 1かつRIE = 1
TXI(注1)	送信データエンプティ	TDRE	可能	TDRE = 1かつTIE = 1
TEI(注3)	送信終了	TEND	不可能	TEND = 1かつTEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

33.13.1 TXI割り込みおよびRXI割り込みバッファ動作

TXI割り込みおよびRXI割り込みは、TXI割り込みおよびRXI割り込みに対応したICU.IRn.IRフラグが“1”のときに割り込み発生の条件が整った場合、ICUに対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1要因ごとに1要求までです)。

IRフラグが“0”になると、ICUに対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIERレジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

33.14 リセット時/コンディション検出時のレジスタおよび機能の初期化

RIICはMCUリセット、RIICリセットおよび内部リセットによってリセットできます。表33.7にリセット時/コンディション検出時のレジスタおよび機能のリセット状況を示します。

表33.7 リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出	
ICCR1	SDAO, SCLO	リセット	リセット	リセット	保持	保持	
	IICRST, ICE		保持	保持			
	その他		リセット				
ICCR2	ST, RS	リセット	リセット	リセット	リセット	保持	
	SP				リセット	(注1)	リセット
	TRS						リセット
	MST						リセット
	BBSY						保持
ICMR1	リセット	リセット	リセット	リセット	保持		
BC[2:0] その他				保持		保持	
ICMR2	リセット	リセット	保持	保持	保持		
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット	
	その他					保持	
ICFER	リセット	リセット	保持	保持	保持		
ICSER	リセット	リセット	保持	保持	保持		
ICIER	リセット	リセット	保持	保持	保持		
ICSR1	リセット	リセット	リセット	保持	リセット		
ICSR2	START	リセット	リセット	リセット	"1"になる	リセット	
	STOP				保持	"1"になる	
	TEND				(注1)	リセット	
	TDRE					リセット	
	その他					保持	保持
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2	リセット	リセット	保持	保持	保持		
ICBRH, ICBRL	リセット	リセット	保持	保持	保持		
ICDRT	リセット	リセット	保持	保持	保持		
ICDRR	リセット	リセット	保持	保持	保持		
ICDRS	リセット	リセット	リセット	保持	保持		
タイムアウト検出機能	リセット	リセット	リセット	動作	動作		
バスフリー時間計測	リセット	リセット	動作	動作	動作		

注1. リセットされません。条件に応じて"0"または"1"になります。

33.15 イベントリンク機能 (出力)

RIIC0は次の要因が発生すると、イベントリンクコントローラ (ELC) に対してイベント出力を行います。

- 通信エラー/通信イベント
- 受信データフル
- 送信データエンプティ
- 送信終了

33.15.1 割り込み処理とイベントリンクの関係

RIICの割り込みには、通信エラー/通信イベント (アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があり、それぞれに割り込み許可/禁止を制御する許可ビットがあります。割り込み要因が発生すると割り込み許可ビットが許可の場合にICUに対して割り込み要求信号を出力します。

これに対してイベント信号は、割り込み許可ビットに依存せず、割り込み要因が発生すると出力され、ELCを介して他のモジュールに伝達されます。

割り込み要因については、表 33.6 を参照してください。

33.16 使用上の注意事項

33.16.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移/解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

33.16.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが “0” であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0” を確認
- (4) IR フラグを “0” にする

34. CAN FD モジュール (CANFD)

34.1 概要

本 MCU は、ISO 11898-1:2015 仕様に準拠した CAN FD (Controller Area Network with Flexible Data Rate) モジュールを 1 チャンネル搭載しています。

表 34.1 に CAN FD モジュールの仕様、図 34.1 に CAN FD モジュールのブロック図を示します。

表 34.1 CAN FDモジュールの仕様

項目	内容
プロトコル	ISO 11898-1:2015仕様に準拠
データ転送レート	アービトレーションフェーズ：最高1 Mbps データフェーズ：最高5 Mbps (注1、注2)
動作周波数 (注3)	レジスタ部：最高32 MHz (PCLKB) メッセージバッファ RAM：最高64 MHz (PCLKA)
データリンク層動作クロック (DLLクロック)	最高32 MHz (CANFDMCLKとCANFDCLKのいずれかを選択可能)
フレームタイプ	Classic CAN (CAN 2.0) <ul style="list-style-type: none"> 標準フォーマット(11ビットID)データフレーム 拡張フォーマット(29ビットID)データフレーム 標準フォーマット(11ビットID)リモートフレーム 拡張フォーマット(29ビットID)リモートフレーム CAN FD (注1) <ul style="list-style-type: none"> 標準フォーマット(11ビットID)データフレーム 拡張フォーマット(29ビットID)データフレーム
データ長	Classic CAN：0～8バイト CAN FD：0～8、12、16、20、24、32、48、64バイト(注1)
メッセージバッファ	<ul style="list-style-type: none"> 受信メッセージバッファ：32個 送信メッセージバッファ：4個 送信キュー：1個 送信キューへのメッセージ自動転送をサポート
FIFO	FIFOサイズはプログラマブル <ul style="list-style-type: none"> 受信FIFO：2個 共通FIFO：1個(受信FIFOとして使用するか送信FIFOとして使用するかを選択可能)
送信間隔自動調整	共通FIFOを送信FIFOとして使用しているときに有効 FIFOから送信されるメッセージの送信間隔を調整可能
アクセプタンスフィルタ	以下のフィールドでフィルタリング可能 <ul style="list-style-type: none"> IDEビット(標準フォーマット/拡張フォーマット/両方) IDフィールド RTRビット(データフレーム/リモートフレーム)(Classic CANのみ) DLCフィールド(データ長) ペイロードサイズ超過時の保護機能あり 通信中にアクセプタンスフィルタリスト(AFL)のエントリを更新可能
ソフトウェアサポート	受信メッセージにラベル情報を自動付加
タイマ	送信時、受信時のタイムスタンプ機能
パワーダウン機能	CANノードのモジュール起動停止機能(CH_SLEEPモードとGL_SLEEPモード) モジュールストップ状態への遷移が可能
RAM	RAM ECC保護

注1. CAN FDプロトコル対応製品のみ

注2. 通信可能なビットレートは、ボードの設計や外部環境によって変わりますので、十分な評価の上、決定してください。

注3. PCLKAとPCLKBの周波数比は2対1にしてください。また、PCLKBの周波数はDLLクロックの周波数以上にしてください。

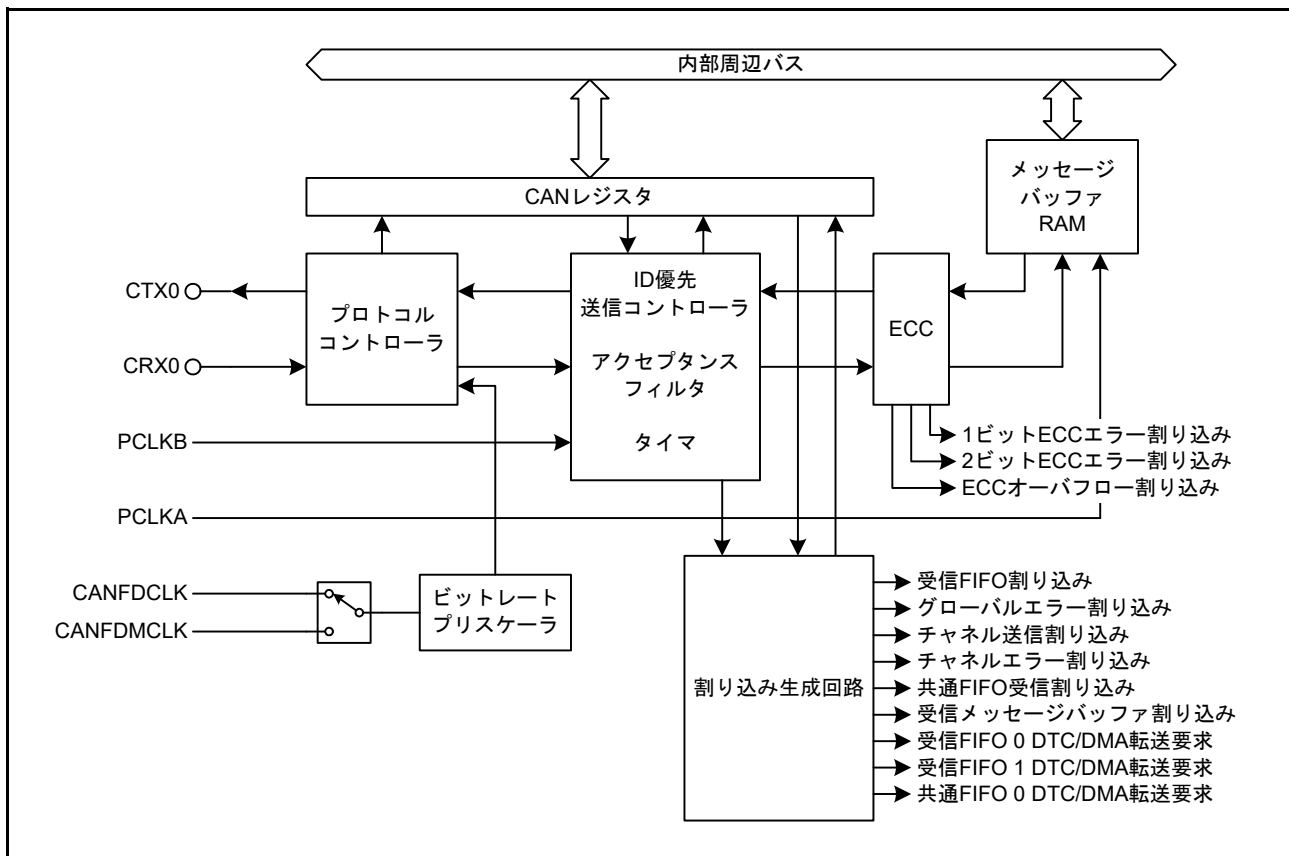


図 34.1 CAN FD モジュールブロック図

- **CRX0, CTX0**
CAN FD モジュールの入出力端子です。
- **プロトコルコントローラ**
バスアービトラーションや送受信時のビットタイミング、スタッフィング、エラー処理などのCAN FD プロトコル処理を行います。
- **メッセージバッファ RAM**
送受信メッセージのためのメッセージバッファや FIFO バッファとして使用されます。各メッセージには、ID、データ長コード、データ、上位層アプリケーションのためのメッセージポインタ、およびタイムスタンプが含まれています。
- **アクセプタンスフィルタ**
受信メッセージのフィルタリングを行います。フィルタリング処理には、アクセプタンスフィルタリストに設定されたエントリが使用されます。
- **タイマ**
受信タイムスタンプ機能に使用するタイマと、送信 FIFO からのメッセージ送信間隔を調整するタイマの2つあります。

表 34.2 に CAN FD モジュールで使用する端子を示します。

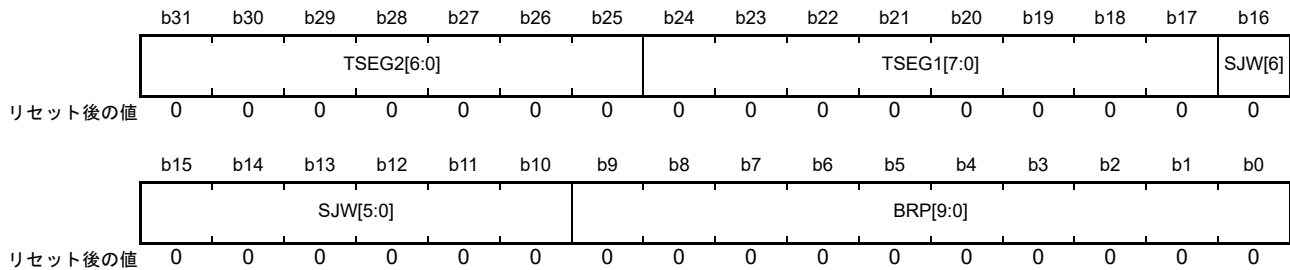
表 34.2 CAN FDモジュールの端子構成

端子名	入出力	機能
CRX0	入力	データ受信用端子
CTX0	出力	データ送信用端子

34.2 レジスタの説明

34.2.1 公称ビットレート設定レジスタ (NBCR)

アドレス CANFD0.NBCR 000A 8000h



ビット	シンボル	ビット名	機能	R/W
b9-b0	BRP[9:0]	ビットレートプリスケアラ設定ビット	000h : 分周なし 001h : 2分周 : : 3FEh : 1023分周 3FFh : 1024分周	R/W
b16-b10	SJW[6:0]	再同期ジャンプ幅制御ビット	00h : 1 Tq 01h : 2 Tq : : 7Eh : 127 Tq 7Fh : 128 Tq	R/W
b24-b17	TSEG1[7:0]	タイムセグメント1制御ビット	00h : 設定禁止 01h : 2 Tq 02h : 3 Tq 03h : 4 Tq : : FEh : 255 Tq FFh : 256 Tq	R/W
b31-b25	TSEG2[6:0]	タイムセグメント2制御ビット	00h : 設定禁止 01h : 2 Tq : : 7Eh : 127 Tq 7Fh : 128 Tq	R/W

このレジスタは、送受信時の公称ビットレートを設定するレジスタです。

CH_OPERATION モード、CH_SLEEP モードでは値を変更できません。CH_RESET モードまたはCH_HALT モード時に変更してください。

設定値に関する詳細は、「34.4.1.2 ビットタイミング」を参照してください。

BRP[9:0] ビット (ビットレートプリスケアラ設定ビット)

CAN 通信の基準となる 1 Tq (Time Quantum) の周期を定義するために使用します。GCFG.DLLCS ビットで選択したデータリンク層動作クロック (DLL クロック) に対する分周比を設定してください。設定値を n とすると、 $n+1$ 分周になります。

SJW[6:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization Jump Width) を Tq 値で指定します。1 ~ 128 Tq の値が設定可能です。TSEG2[6:0] ビット以下の値を設定してください。

TSEG1[7:0] ビット (タイムセグメント 1 制御ビット)

PROP_SEG (Propagation Time Segment) と PHASE_SEG1 (Phase Buffer Segment 1) の合計値 (TSEG1) を Tq 値で設定します。2 ~ 256 Tq の値が設定可能です。

TSEG2[6:0] ビット (タイムセグメント 2 制御ビット)

PHASE_SEG2 (Phase Buffer Segment 2) の値 (TSEG2) を Tq 値で設定します。2 ~ 128 Tq の値が設定可能です。TSEG1[7:0] ビットより小さな値を設定してください。

34.2.2 チャネル制御レジスタ (CHCR)

アドレス CANFD0.CHCR 000A 8004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ROME	BFT	—	—	—	CTMS[1:0]	CTME	EDM	BOM[1:0]	—	TDCVIE	SCOVIE	ECOVIE	TAIE		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	SLPRQ	MDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MDC[1:0]	チャネルモード制御ビット	b1 b0 0 0 : CH_OPERATIONモードへの遷移を要求 0 1 : CH_RESETモードへの遷移を要求 1 0 : CH_HALTモードへの遷移を要求 1 1 : 現在のモードを維持	R/W
b2	SLPRQ	CH_SLEEPモード要求ビット	0 : CH_SLEEPモードの解除を要求 1 : CH_SLEEPモードへの遷移を要求	R/W
b3	RTBO	バスオフ強制復帰ビット (注1)	0 : バスオフから強制復帰させない 1 : バスオフから強制復帰させる	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BEIE	バスエラー割り込み許可ビット (注2)	0 : バスエラー割り込み禁止 1 : バスエラー割り込み許可	R/W
b9	EWIE	エラーワーニング割り込み許可ビット (注2)	0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可	R/W
b10	EPIE	エラーパッシブ割り込み許可ビット (注2)	0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可	R/W
b11	BOEIE	バスオフ開始割り込み許可ビット (注2)	0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可	R/W
b12	BORIE	バスオフ復帰割り込み許可ビット (注2)	0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可	R/W
b13	OLIE	オーバーロード割り込み許可ビット (注2)	0 : オーバーロード割り込み禁止 1 : オーバーロード割り込み許可	R/W
b14	BLIE	バスロック割り込み許可ビット (注2)	0 : バスロック割り込み禁止 1 : バスロック割り込み許可	R/W
b15	ALIE	アービトレーションロスト割り込み許可ビット (注2)	0 : アービトレーションロスト割り込み禁止 1 : アービトレーションロスト割り込み許可	R/W
b16	TAIE	送信アボート割り込み許可ビット (注2)	0 : 送信アボート割り込み禁止 1 : 送信アボート割り込み許可	R/W
b17	ECOVIE	エラー発生カウンタオーバーフロー割り込み許可ビット (注2)	0 : エラー発生カウンタオーバーフロー割り込み禁止 1 : エラー発生カウンタオーバーフロー割り込み許可	R/W
b18	SCOVIE	成功発生カウンタオーバーフロー割り込み許可ビット (注2)	0 : 成功発生カウンタオーバーフロー割り込み禁止 1 : 成功発生カウンタオーバーフロー割り込み許可	R/W
b19	TDCVIE	トランシーバ遅延補償違反割り込み許可ビット (注2、注3)	0 : トランシーバ遅延補償違反割り込み禁止 1 : トランシーバ遅延補償違反割り込み許可	R/W
b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b21	BOM[1:0]	バスオフ復帰モード選択ビット (注2)	b22 b21 0 0: ノーマルモード (ISO 11898-1 準拠) 0 1: バスオフ開始時に自動的にCH_HALTモードに入ります。 1 0: バスオフ終了時に自動的にCH_HALTモードに入ります。 1 1: ソフトウェアによりCH_HALTモード(バスオフリカバリ期間中)に入ります。	R/W
b23	EDM	エラー表示モード選択ビット (注4)	0: 最初に検出されたエラーのみ表示 1: 検出されたすべてのエラーを表示	R/W
b24	CTME	チャンネルテストモード許可ビット (注5)	0: チャンネルテストモード無効 1: チャンネルテストモード有効	R/W
b26-b25	CTMS[1:0]	チャンネルテストモード選択ビット (注5)	b26 b25 0 0: 基本テストモード 0 1: リッスンオンリモード 1 0: セルフテストモード0 (外部ループバックモード) 1 1: セルフテストモード1 (内部ループバックモード)	R/W
b29-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	BFT	ビットフリップテストビット (注5)	0: 受信データストリームの最初のビットを反転しない 1: 受信データストリームの最初のビットを反転する	R/W
b31	ROME	制限付き動作モード許可ビット (注3、注5)	0: 制限付き動作モード無効 1: 制限付き動作モード有効	R/W

- 注1. CH_OPERATIONモード時に設定してください。
 注2. CH_RESETモード時に変更してください。
 注3. Classic Onlyモードでは“1”にしないでください。
 注4. CH_RESETモード、CH_HALTモード時に設定してください。
 注5. CH_HALTモード時に設定してください。

チャンネル制御レジスタは、対応するチャンネルのモードを制御します。CANバス上でエラーが検出された場合の割り込み生成を許可するためや、テストモードを設定するためにも使用されます。

CH_SLEEPモードでは、SLPRQビット以外の値を変更できません。

MDC[1:0] ビット (チャンネルモード制御ビット)

MDC[1:0] ビットは、CANチャンネルのモードを指定するために使用します。CANのモード遷移については、「34.3.2 チャンネルモード」を参照してください。

CANFDモジュールがGL_HALTモードの場合、“10b”(CH_HALTモード)または“01b”(CH_RESETモード)にしか設定できません。

CHCR.BOM[1:0]ビットの設定によりCH_HALTモードに移行したときは、このビットは自動的に“10b”になります。このビットへの書き込みと、CH_HALTモードへの遷移(BOM[1:0]ビット=01bの場合はバスオフ開始時、BOM[1:0]ビット=10bの場合はバスオフ終了時)が同時に起こった場合、CPUからの書き込みが優先されます。このビットの値が自動的に更新されるのは、このビットが“00b”(CH_OPERATIONモード)のときに上記の事象が発生した場合のみです。

SLPRQ ビット (CH_SLEEPモード要求ビット)

CH_SLEEPモードへの遷移、CH_SLEEPモードからの復帰を制御するビットです。

CH_RESETモード時にこのビットを“1”にすると、CH_SLEEPモードに遷移します。CH_SLEEPモード時にこのビットを“0”にすると、CH_RESETモードに遷移します。その他のモードでは、値を変更できません。

RTBO ビット (バスオフ強制復帰ビット)

バスオフ状態から強制的に復帰させるために使用します。CHCR.BOM[1:0]ビットが“00b”のときのみ使用してください。

このビットは、“1”にした後、自動的に“0”に戻ります。読んだ場合、“0”が読めます。

バスオフ時にこのビットを“1”にすると、1ビットタイム以内にバスオフ状態から統合状態(Integrating state)に遷移します。また、CHSR.REC[7:0]ビット、TEC[7:0]ビットが“00h”になり、BOSTフラグが“0”になります。これ以外のレジスタ、ビットは変化しません。また、割り込みが許可されていても、バスオフ復帰割り込みは発生しません。

バスオフ時以外にこのビットを“1”にしても何も起こりません。

BEIE ビット (バスエラー割り込み許可ビット)

このビットが“1”のときに CHESR.BEDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み許可ビット)

このビットが“1”のときに CHESR.EWDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

EPIE ビット (エラーパッシブ割り込み許可ビット)

このビットが“1”のときに CHESR.EPDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可ビット)

このビットが“1”のときに CHESR.BOEDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可ビット)

このビットが“1”のときに CHESR.BORDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

OLIE ビット (オーバロード割り込み許可ビット)

このビットが“1”のときに CHESR.OLDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

BLIE ビット (バスロック割り込み許可ビット)

このビットが“1”のときに CHESR.BLDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

このビットが“1”のときに CHESR.ALDF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

TAIE ビット (送信アポート割り込み許可ビット)

このビットが“1”のときに、送信メッセージバッファからの送信が正常に中断されると、チャンネル送信割り込み要求が発生します。

ECOVIE ビット (エラー発生カウンタオーバフロー割り込み許可ビット)

このビットが“1”のときに FDSTS.ECOV フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

SCOVIE ビット (成功発生カウンタオーバーフロー割り込み許可ビット)

このビットが“1”のときに FDSTS.SCOV フラグが“1”になると、チャンネルエラー割り込み要求が発生します。

TDCVIE ビット (トランシーバ遅延補償違反割り込み許可ビット)

このビットが“1”のときに FDSTS.TDCVVF フラグが“1”になると、チャンネルエラー割り込み要求が発生します。Classic Only モードでは“1”にしないでください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

バスオフ状態からの復帰タイミングを制御します。

EDM ビット (エラー表示モード選択ビット)

CHESR レジスタのエラーフラグ (b14 ~ b8) の表示モードを制御します。

このビットが“0”の場合、最初に検出されたエラーに対応するフラグのみ“1”になります。同時に複数のエラーが検出された場合は、該当するすべてのフラグが“1”になります。b14 ~ b8 のフラグがすべてクリアされるまで、それ以外のフラグは“1”になりません。

このビットが“1”の場合、エラーを検出するごとにエラーフラグが更新されます。

CTME ビット (チャンネルテストモード許可ビット)

テストモードを有効にするビットです。

CH_RESET モードに遷移すると、このビットは“0”になります。

CTMS[1:0] ビット (チャンネルテストモード選択ビット)

テストモードを選択するビットです。

CH_RESET モードに遷移すると、このビットは“00b”になります。

BFT ビット (ビットフリップテストビット)

プロトコルコントローラ内部の CRC 生成回路をチェックするために使用します。

このビットを“1”にすると、受信中のメッセージデータストリームの最初のビット (ID ビット) を反転させ、内部で生成された CRC の結果が受信した CRC 値と一致しないようにします。なお、ビット反転の結果、CRC エラーではなくスタッフエラーを検出する可能性があるため、この機能を使用する場合はビットスタッフィングルールも参照してください。

内部で生成された CRC 値は、以下のビットで確認できます。

CHESR.CRC15[14:0] ビット (Classical CAN フレーム)

FDCRC.CRC21[20:0] ビット (CAN FD フレーム)

BFT ビットを使用する場合、他の CAN ノードに基準となるメッセージを送信してもらう必要があります。

注. 送信モードと受信モードで同じ CRC 生成回路を共有しているため、送信モードの CRC エラーを個別にテストする必要はありません。

ビットフリップテストモードは、BFT ビットと CTME ビットが両方とも“1”で CTMS[1:0] ビットが“00b” (基本テストモード) の場合に有効になります。

送信ノードでこの機能を使用した場合、ビットエラーまたはアービトラージロストが発生します。

CH_RESET モードに遷移すると、このビットは“0”になります。

ROME ビット (制限付き動作モード許可ビット)

ROME ビットと CTME ビットが共に“1”のとき、制限付き動作モードが有効になります。このモードは

基本テストモード (CTMS[1:0] ビット = 00b) でのみ使用してください。また、Classic Only モードでは“1”にしないでください。

CH_RESET モードに遷移すると、このビットは“0”になります。

34.2.3 チャネルステータスレジスタ (CHSR)

アドレス CANFD0.CHSR 000A 8008h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	RESI	CRDY	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSTST	CH_RESETステータスフラグ	0: CH_RESETモード中ではない 1: CH_RESETモード中	R
b1	HLTST	CH_HALTステータスフラグ	0: CH_HALTモード中ではない 1: CH_HALTモード中	R
b2	SLPST	CH_SLEEPステータスフラグ	0: CH_SLEEPモード中ではない 1: CH_SLEEPモード中	R
b3	EPST	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b4	BOST	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b5	TRMST	送信ステータスフラグ	0: 送信中ではない 1: 送信中	R
b6	RECST	受信ステータスフラグ	0: 受信中ではない 1: 受信中	R
b7	CRDY	通信可能フラグ	0: 通信の準備ができていない 1: 通信の準備ができています	R
b8	RESI	受信ESIフラグ (注1)	0: ESIフラグが“1”になっているメッセージを1つも受信していない 1: ESIフラグが“1”になっているメッセージを1つ以上受信	R/(W) (注2)
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	REC[7:0]	受信エラーカウンタビット	受信時のCANチャネルのエラー状態に応じて、カウンタの値をインクリメントまたはデクリメントします。	R
b31-b24	TEC[7:0]	送信エラーカウンタビット	送信時のCANチャネルのエラー状態に応じて、カウンタの値をインクリメントまたはデクリメントします。	R

注1. CH_OPERATIONモード、CH_HALTモード時のみ“0”にできます。

注2. “1”を書いてもフラグの値は変化しません。“0”を書くくとフラグの値は“0”になります。

CHSR レジスタは、チャネルのモード、エラー状態、送信または受信の状態を、その受信および送信エラーカウンタ値とともに表示します。

RSTST フラグ (CH_RESET ステータスフラグ)

RSTST フラグは、CAN チャネルが CH_RESET モードにあるかどうかを示します。

このフラグは、CAN チャネルが CH_RESET モードに入ると自動的に“1”になり、CAN チャネルが CH_RESET モードから抜けると自動的に“0”になります。ただし、CH_RESET モードから CH_SLEEP モードに遷移した場合、RSTST フラグは“1”のままになります。

HLTST フラグ (CH_HALT ステータスフラグ)

HLTST フラグは、CAN チャンネルが CH_HALT モードであるかどうかを示します。

このフラグは、CAN チャンネルが CH_HALT モードに入ると自動的に“1”になり、CAN チャンネルが CH_HALT モードを抜けると自動的に“0”になります。

SLPST フラグ (CH_SLEEP ステータスフラグ)

SLPST フラグは、CAN チャンネルが CH_SLEEP モードであるかどうかを示します。

このフラグは、CAN チャンネルが CH_SLEEP モードに入ると自動的に“1”になり、CAN チャンネルが CH_SLEEP モードを抜けると自動的に“0”になります。

EPST フラグ (エラーパッシブステータスフラグ)

EPST フラグは、CAN チャンネルがエラーパッシブ状態になったかどうかを示します。

このフラグは、REC[7:0] ビットまたは TEC[7:0] ビットの値が 127 を超えると自動的に“1”になります。

このフラグは、CAN チャンネルがエラーパッシブ状態を抜けるか、CH_RESET モードに入ると自動的に“0”になります。

BOST フラグ (バスオフステータスフラグ)

BOST フラグは、CAN チャンネルがバスオフ状態になったかどうかを示します。

このフラグは、TEC[7:0] ビットの値が 255 を超え、CAN チャンネルがバスオフ状態になると自動的に“1”になります。

このフラグは、CAN チャンネルがバスオフ状態を抜けると自動的に“0”になります。

TRMST フラグ (送信ステータスフラグ)

TRMST フラグは、CAN チャンネルがメッセージを送信しているかどうかを示します。

このフラグは、CAN チャンネルが送信ノードとして動作しているとき、またはバスオフ状態にあるときに自動的に“1”になり、CAN チャンネルがアイドル状態になるか、受信ノードとして動作を開始すると、自動的に“0”になります。

RECST フラグ (受信ステータスフラグ)

RECST フラグは、CAN チャンネルがメッセージを受信しているかどうかを示します。

このフラグは、CAN チャンネルが受信ノードとして動作している場合に自動的に“1”になり、CAN チャンネルがアイドル状態になるか、送信ノードとして動作を開始すると、自動的に“0”になります。

CRDY フラグ (通信可能フラグ)

CRDY フラグは、CAN チャンネルが通信可能かどうかを示します。

このフラグは、CAN チャンネルが CH_RESET モードまたは CH_HALT モードを抜けた後、11 個の連続したレセプビットを検出し、通信可能な状態になると自動的に“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードまたは CH_HALT モードになると、自動的に“0”になります。

注． バスオフ状態では、本フラグは“1”です。

RESI フラグ (受信 ESI フラグ)

RESI フラグは、受信したメッセージの ESI フラグがレセプであった場合に“1”になります。ループバックモードまたはミラーモードの場合、自身が送信したメッセージが受信メッセージとみなされます。

このフラグは、“0”を書くとクリアされます。このフラグは、CAN チャンネルが CH_RESET モードに入ると自動的に“0”になります。このフラグをクリアすると同時に CAN チャンネルから“1”に設定された場合、

このフラグは“1”になります。

このフラグをクリアする場合、ビットクリア命令を使用しないでください。MOV 命令を使用して、このフラグのみ“0”、その他のフラグを“1”にして 32 ビット単位で書いてください。

REC[7:0] ビット (受信エラーカウントビット)

REC[7:0] ビットは、受信エラーカウンタの値を表示します。

バスオフ状態での値は不定です。

このビットは、CANFD モジュールが GL_RESET モードに入るか、CAN チャンネルが CH_RESET モードになると自動的に“00h”になります。

TEC[7:0] ビット (送信エラーカウントビット)

TEC[7:0] ビットは、送信エラーカウンタの値を表示します。

このビットは、CANFD モジュールが GL_RESET モードに入るか、CAN チャンネルが CH_RESET モードになると自動的に“00h”になります。

34.2.4 チャネルエラーステータスレジスタ (CHESR)

アドレス CANFD0.CHESR 000A 800Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CRC15[14:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AEDF B0EDF B1EDF CEDF AEDF FEDF SEDF ALDF BLDF OLDF BORDF BOEDF EPDF EWDF BEDF															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEDF	バスエラー検出フラグ (注1)	0: バスエラー未検出 1: バスエラー検出	R/(W) (注2)
b1	EWDF	エラーワーニング検出フラグ (注1)	0: エラーワーニング未検出 1: エラーワーニング検出	R/(W) (注2)
b2	EPDF	エラーパッシブ検出フラグ (注1)	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/(W) (注2)
b3	BOEDF	バスオフ開始検出フラグ (注1)	0: バスオフ開始未検出 1: バスオフ開始検出	R/(W) (注2)
b4	BORDF	バスオフ復帰検出フラグ (注1)	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/(W) (注2)
b5	OLDF	オーバロード検出フラグ (注1)	0: オーバロード未検出 1: オーバロード検出	R/(W) (注2)
b6	BLDF	バスロック検出フラグ (注1)	0: バスロック未検出 1: バスロック検出	R/(W) (注2)
b7	ALDF	アービトレーションロスト検出フラグ (注1)	0: アービトレーションロスト未検出 1: アービトレーションロスト検出	R/(W) (注2)
b8	SEDF	スタッフエラー検出フラグ (注1)	0: スタッフエラー未検出 1: スタッフエラー検出	R/(W) (注2)
b9	FEDF	フォームエラー検出フラグ (注1)	0: フォームエラー未検出 1: フォームエラー検出	R/(W) (注2)
b10	AEDF	アクノリッジエラー検出フラグ (注1)	0: アクノリッジエラー未検出 1: アクノリッジエラー検出	R/(W) (注2)
b11	CEDF	CRCエラー検出フラグ (注1)	0: CRCエラー未検出 1: CRCエラー検出	R/(W) (注2)
b12	B1EDF	ビット1エラー検出フラグ (注1)	0: ビット1エラー未検出 1: ビット1エラー検出	R/(W) (注2)
b13	B0EDF	ビット0エラー検出フラグ (注1)	0: ビット0エラー未検出 1: ビット0エラー検出	R/(W) (注2)
b14	ADED	ACKデリミタエラー検出フラグ (注1)	0: ACKデリミタエラー未検出 1: ACKデリミタエラー検出	R/(W) (注2)
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b16	CRC15[14:0]	CRC_15テストビット	これらのビットは、CAN2.0のCANフレーム用に計算されたCRC_15値を示します。	R
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CH_OPERATIONモード、CH_HALTモード時のみ“0”にできます。

注2. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

CHESR レジスタは、チャネル制御レジスタ (CHCR) での割り込み許可 / 禁止の設定に関わらず、検出可能な各種エラーの状態を示します。また、CAN チャネルで検出可能な各種バスエラーの状態を示します。各

エラーの発生条件については、CAN仕様(ISO 11898-1)を参照してください。

一度にクリアできるのは1ビットのみです。ビットクリア命令を使用してフラグをクリアしないでください。MOV命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして32ビット単位で書いてください。

BEDF フラグ (バスエラー検出フラグ)

BEDF フラグは、このレジスタの b14 ~ b8 のいずれかのエラーが検出されたことを示します。

このフラグはバスエラーが検出されると自動的に“1”になり、CANチャネルがCH_RESETモードになると自動的に“0”になります。

書き込みアクセスによるクリアと同時にCANチャネルからのセットが発生した場合、本フラグは“1”になります。

EWDF フラグ (エラーワーニング検出フラグ)

EWDF フラグは、CANチャネルのエラーワーニング状態が検出されたかどうかを示します。

このフラグは、CHSR.TEC[7:0]ビットまたはCHSR.REC[7:0]ビットのいずれかが95を超えると自動的に“1”になります。

本フラグは、TEC[7:0]ビットまたはREC[7:0]ビットが最初に95を超えた場合にのみ“1”になります。したがって、TEC[7:0]ビットまたはREC[7:0]ビットが95を超えたままでソフトウェアによってEWDFフラグがクリアされた場合、TEC[7:0]ビットとREC[7:0]ビットの両方が96を下回り、TEC[7:0]ビットまたはREC[7:0]ビットのいずれかが95以下の値から95を超えた値に再びクロスオーバーするまで、再び“1”になることはありません。

セット条件とクリア条件が同時に発生した場合は、フラグが“1”になります。本フラグは、CANチャネルがCH_RESETモードのときに自動的に“0”になります。

EPDF フラグ (エラーパッシブ検出フラグ)

EPDF フラグは、CANチャネルのエラーパッシブ状態の検出を示します。

CANエラー状態がエラーパッシブ状態になると自動的に“1”になります。

本フラグは、CHSR.TEC[7:0]ビットまたはCHSR.REC[7:0]ビットが最初に127を超えた場合にのみ“1”になります。したがって、TEC[7:0]ビットまたはREC[7:0]ビットが127を超えたままでソフトウェアによってフラグがクリアされた場合、TEC[7:0]ビットとREC[7:0]ビットの両方が128を下回り、TEC[7:0]ビットまたはREC[7:0]ビットのいずれかが再び127以下の値から127を超える値にクロスオーバーするまで、再び“1”になることはありません。

セット条件とクリア条件が同時に発生した場合は、フラグが“1”になります。本フラグは、CANチャネルがCH_RESETモードのときに自動的に“0”になります。

BOEDF フラグ (バスオフ開始検出フラグ)

BOEDF フラグは、CANチャネルのバスオフ開始状態の検出を示します。

CANエラー状態がバスオフ状態になると自動的に“1”になります。

本フラグは、CANチャネルがCH_RESETモードのときに自動的に“0”になります。クリアと同時にセット条件が発生した場合は、フラグは“1”になります。

BORDF フラグ (バスオフ復帰検出フラグ)

BORDF フラグは、CANチャネルのバスオフ復帰状態を検出したことを示します。

以下の条件でCANチャネルがバスオフ状態から復帰した場合、本フラグは自動的に“1”になります。

- CHCR.BOM[1:0]が“00b”で通常復帰(11個の連続レセプティブビットを128回検出)した場合

- CHCR.BOM[1:0]が“10b”で通常復帰(11個の連続レセシブビットを128回検出)した場合
 - CHCR.BOM[1:0]が“11b”で通常復帰(11個の連続レセシブビットを128回検出)した場合以下の条件でCANチャンネルがバスオフ状態から復帰した場合、本フラグは“1”になりません。
 - CH_RESETモードが要求された場合
 - CHCR.RTBOを“1”にした場合(CANチャンネルはエラーアクティブに戻ります)
 - CHCR.BOM[1:0]が“01b”の場合
 - CHCR.BOM[1:0]が“11b”で、CANチャンネルがバスオフ状態終了に達する前にCH_HALTモードへの遷移が要求されたとき
- 本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。クリアと同時にセット条件が発生した場合、フラグは“1”になります。

OLDF フラグ (オーバロード検出フラグ)

OLDF フラグは、CANチャンネルのオーバロード状態を検出したことを示します。

本フラグはオーバロード状態を検出すると自動的に“1”になります。クリア状態と同時にセット状態が発生した場合、フラグは“1”になります。

本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。

BLDF フラグ (バスロック検出フラグ)

BLDF フラグは、CANチャンネルのバスロック状態を検出したことを示します。

本フラグは、CANチャンネルが動作モードのときに、CANバス上に32ビット連続してドミナントビットが検出された場合に自動的に“1”になります。

セット条件とクリア条件が同時に発生した場合は、フラグは“1”になります。本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。

ALDF フラグ (アービトレーションロスト検出フラグ)

ALDF フラグは、CANチャンネルバスでアービトレーションロストを検出したことを示します。

CANチャンネルが動作モードのときに、CANバス上でアービトレーションロストが検出された場合に自動的に“1”になります。

セット条件とクリア条件が同時に発生した場合は、フラグは“1”になります。本フラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。

SEDF フラグ (スタッフエラー検出フラグ)

SEDF フラグは、スタッフエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグはスタッフエラーが検出された場合に自動的に“1”になります。CHCR.EDMビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CANチャンネルがCH_RESETモードのときに自動的に“0”になります。CHCR.EDMビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESRレジスタのエラーフラグ(b14～b8)のうち一つでもビットがすでに“1”の場合、本フラグは“0”になります。CHESRレジスタのエラーフラグ(b14～b8)が“0000000b”の場合は、本フラグが“1”になります。

FEDF フラグ (フォームエラー検出フラグ)

FEDF フラグは、フォームエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください

い。

本フラグはフォームエラー検出時に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ~ b8) のうち一つでもビットがすでに“1”の場合、本フラグは“0”になります。CHESR レジスタのエラーフラグ (b14 ~ b8) が“0000000b”の場合は、本フラグが“1”になります。

AEDF フラグ (アクノリッジエラー検出フラグ)

AEDF フラグは、アクノリッジエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、アクノリッジエラーが検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ~ b8) のうち1ビットでも“1”であった場合、本フラグは“0”になります。CHESR レジスタのエラーフラグ (b14 ~ b8) が“0000000b”の場合は、本フラグが“1”になります。

CEDF フラグ (CRC エラー検出フラグ)

CEDF フラグは、CRC エラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、CRC エラーが検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ~ b8) のうち1ビットでも“1”であった場合、本フラグは“0”になります。CHESR レジスタのエラーフラグ (b14 ~ b8) が“0000000b”の場合は、本フラグが“1”になります。

B1EDF フラグ (ビット1エラー検出フラグ)

B1EDF フラグは、レセシブビットエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、レセシブビットエラー (期待されたレセシブビットがドミナントビットとしてサンプリングされた) が検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ (b14 ~ b8) のうち1ビットでも“1”であった場合、本フラグは“0”になります。CHESR レジスタのエラーフラグ (b14 ~ b8) が“0000000b”の場合は、本フラグが“1”になります。

B0EDF フラグ (ビット0エラー検出フラグ)

B0EDF フラグは、ドミナントビットエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、ドミナントビットエラー(期待されたドミナントビットがレセプティブビットとしてサンプリングされた)が検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ(b14～b8)のうち1ビットでも“1”であった場合、本フラグは“0”になります。CHESR レジスタのエラーフラグ(b14～b8)が“0000000b”の場合は、本フラグが“1”になります。

ADEDFF フラグ (ACK デリミタエラー検出フラグ)

ADEDFF フラグは、アクノリッジデリミタビットエラーの検出を示します。

このフラグをクリアした後は、フラグが“0”になったことを確認してから後続の命令を実行してください。

本フラグは、フレーム送信のアクノリッジデリミタ状態でフォームエラーが検出された場合に自動的に“1”になります。CHCR.EDM ビットが“1”で、本フラグのセット条件とクリア条件が同時に発生した場合、フラグは“1”になります。

このフラグは、CAN チャンネルが CH_RESET モードのときに自動的に“0”になります。CHCR.EDM ビットが“0”で、本フラグのセット条件とクリア条件が同時に発生した場合、CHESR レジスタのエラーフラグ(b14～b8)のうち1ビットでも“1”であった場合、本フラグは“0”になります。CHESR レジスタのエラーフラグ(b14～b8)が“0000000b”の場合は、本フラグが“1”になります。

CRC15[14:0] ビット (CRC_15 テストビット)

CHCR.CTME ビットが“1”(チャンネルテストモード)の場合、計算された CRC_15 値がこのビットから読み出せます。CHCR.CTME ビットが“0”の場合、このビットは常に“0000h”として読み出されます。

読み出せる CRC_15 値は、CAN チャンネルロジックによって計算された CAN2.0 の CRC 値を示します。

CRC15[14:0] ビットの値は、Classical CAN フレームの CRC フィールドの最初のビットで更新されます。

このビットは、CAN チャンネルが CH_RESET モードのときに自動的に“0000h”になります。

34.2.5 データビットレート設定レジスタ (DBCR)

アドレス CANFD0.DBCR 000A 8100h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	SJW[3:0]				—	—	—	—	TSEG2[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TSEG1[4:0]				BRP[7:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	BRP[7:0]	ビットレートプリスケアラ設定ビット	00h : 分周なし 01h : 2分周 : : FEh : 255分周 FFh : 256分周	R/W
b12-b8	TSEG1[4:0]	タイムセグメント1制御ビット	00h : 設定禁止 01h : 2 Tq 02h : 3 Tq 03h : 4 Tq : : 1Eh : 31 Tq 1Fh : 32 Tq	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b19-b16	TSEG2[3:0]	タイムセグメント2制御ビット	0h : 設定禁止 1h : 2 Tq : : Eh : 15 Tq Fh : 16 Tq	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	SJW[3:0]	再同期ジャンプ幅制御ビット	0h : 1 Tq 1h : 2 Tq : : Fh : 16 Tq	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、CH_RESETモード、CH_HALTモード時に設定してください。

DBCR レジスタは、チャンネルの送受信データのビットレートパラメータを設定します。

Classic Only モードでは、このレジスタの設定を行う必要はありません。

BRP[7:0] ビット (ビットレートプリスケアラ設定ビット)

BRP[7:0] ビットは、1 Tq (Time Quantum) に含まれる DLL クロックの数を定義します。

TSEG1[4:0] ビット (タイムセグメント1制御ビット)

TSEG1[4:0] ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。2 ~ 32 Tq の値を設定することができます。

TSEG1[4:0] ビットは伝播時間セグメントを設定するのにも使用されます。

本ビットに上記以外の値は書き込まないでください。詳細は、「34.4.1.2 ビットタイミング」を参照してください。

TSEG2[3:0] ビット (タイムセグメント 2 制御ビット)

TSEG2[3:0] ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。2 ~ 16 Tq の値を設定することができます。

本ビットに上記以外の値は書き込まないでください。

SJW[3:0] ビット (再同期ジャンプ幅制御ビット)

SJW[3:0] ビットは再同期ジャンプ幅を設定します。1 ~ 16 Tq の値を設定することができます。

34.2.6 CAN FD 設定レジスタ (FDCFG)

アドレス CANFD0.FDCFG 000A 8104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CLOE	REFE	FDOE	—	—	—	—	TDCO[7:0]							
リセット後の値	0	0/1 (注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TESI	TDCE	SSPC	—	—	—	—	—	ECC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ECC[2:0]	エラー発生カウンタ設定ビット (注2)	b2 b0 0 0 0 : すべてのCAN送受信フレーム 0 0 1 : すべてのCAN送信フレーム 0 1 0 : すべてのCAN受信フレーム 0 1 1 : 設定禁止 1 0 0 : 送受信時のCAN FDデータフェーズのみ 1 0 1 : 送信時のCAN FDデータフェーズのみ 1 1 0 : 受信時のCAN FDデータフェーズのみ 1 1 1 : 設定禁止	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SSPC	第二サンプルポイント設定ビット (注2)	0 : 測定値+オフセット 1 : オフセットのみ	R/W
b9	TDCE	トランシーバ遅延補償許可ビット (注2)	0 : トランシーバ遅延補償禁止 1 : トランシーバ遅延補償許可	R/W
b10	TESI	送信ESI設定ビット (注2)	0 : 送信フレームのESIフラグには自ノードのエラー状態が反映されます 1 : 送信フレームのESIフラグには、自ノードがエラーパッシブでないときはメッセージバッファのESIビットの値が、自ノードがエラーパッシブ状態であるときは自ノードのエラー状態が反映されます	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	TDCO[7:0]	トランシーバ遅延補償オフセット設定ビット (注2)	トランシーバ遅延補償のためのオフセット値を設定します	R/W
b27-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	FDOE	FD Onlyモード許可ビット (注3)	0 : FD onlyモード禁止 1 : FD onlyモード許可	R/W
b29	REFE	受信エッジフィルタ許可ビット (注3)	0 : 受信エッジフィルタ無効 1 : 受信エッジフィルタ有効	R/W
b30	CLOE	Classic Onlyモード許可ビット (注3、注4)	0 : Classic Onlyモード禁止 1 : Classic Onlyモード許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CAN FDプロトコル対応製品では“0”、CAN 2.0プロトコルにのみ対応している製品では“1”です。

注2. CH_RESETモード、CH_HALTモード時に設定してください。

注3. CH_RESETモード時に設定してください。

注4. CAN FDプロトコル対応製品のみ書き込み可能なビットです。CAN 2.0プロトコルにのみ対応している製品の場合、このビットは“1”固定の予約ビットです。

FDCFG レジスタは、どの通信方向 (送信 / 受信) のエラーをカウントするかを設定します。

ECC[2:0] ビット (エラー発生カウンタ設定ビット)

ECC[2:0] ビットは、どのタイプの CAN フレームに対してプロトコルエラーをカウントするかを選択するビットです。

SSPC ビット (第二サンプルポイント設定ビット)

SSPC ビットは、CAN チャネルの第二サンプルポイント (SSP) の位置を定義する際に使用するオフセットを選択します。本ビットが“0”の場合、SSP の位置は、測定されたトランシーバ遅延に固定オフセットを加えたものになります。本ビットが“1”の場合、SSP の位置はオフセットによってのみ定義されます。

Classic Only モードでは、本ビットを“1”にしないでください。

TDCE ビット (トランシーバ遅延補償許可ビット)

TDCE ビットは、CAN チャネルのトランシーバ遅延補償を有効にします。

Classic Only モードでは、本ビットを“1”に設定しないでください。

TESI ビット (送信 ESI 設定ビット)

TESI ビットは、送信メッセージの ESI フラグに、自ノードのエラー状態を反映させるか、メッセージバッファの ESI ビット (CFB0.HF2.ESI ビットまたは TMBn.HF2.ESI ビット) の値を反映させるかを選択します。

Classic Only モードでは、本ビットを“1”に設定しないでください。

TDCO[7:0] ビット (トランシーバ遅延補償オフセット設定ビット)

TDCO[7:0] ビットは第二サンプルポイントのオフセットを設定します。この値がどのように使用されるかは、SSPC ビットの設定に依存します。

SSPC ビットが“0”の場合、トランシーバ遅延補償結果は、 Trv_Delay (測定された遅延) + TDCO[7:0] ビット (T_q の最も近い整数に切り捨て) です。SSPC ビットが“1”の場合、結果は TDCO[7:0] ビットの値と等しくなります。詳細については、「34.4.1.5 トランシーバ遅延補償」を参照してください。

実際のオフセット値は TDCO[7:0] ビット + 1 と判断されます。例えば TDCO[7:0] ビットに 4 を設定した場合、オフセットは 5 クロックサイクルとなります。クロックサイクルは CAN チャネル DLL クロックの 1 サイクルです。

Classic Only モードでは、本ビットを設定しないでください。

FDOE ビット (FD Only モード許可ビット)

FDOE ビットは、CAN FD フレームのみの送受信を有効にします。有効にすると、Classical CAN フレームフォーマットでの通信はできなくなります。Classical CAN フレームの送信はできませんので、メッセージバッファの FDF ビット (CFB0.HF2.FDF ビット、TMBn.HF2.FDF ビット) の値は任意です。

Classical CAN フレームフォーマットのメッセージを受信した場合、プロトコルコントローラは無効なフレームとして扱い、エラーフレームで応答します。Classical CAN フレームが送信用に設定されている場合、FDF ビットはレセシブとして送信されるため、CAN FD フレームが送信されます。データ長コード (DLC) が 9 バイト以上に設定されている場合、残りのデータバイトは“CCh”でパディングされます。

FDOE ビットと CLOE ビットを同時に“1”に設定しないでください。

REFE ビット (受信エッジフィルタ許可ビット)

REFE ビットは、統合状態 (Integrating state) 中の受信エッジフィルタを有効にします。本ビットを“1”にした場合、ハード同期のためのエッジを検出するには、 $2 T_q$ 以上の連続したドミナントが必要です。

Classic only モードでは、このビットを“1”に設定しないでください。

CLOE ビット (Classic Only モード許可ビット)

CLOE ビットは、Classic only モードを有効にします。このビットが“1”の場合、プロトコルコントローラは Classical CAN フレームのみを送信し、CAN FD フレームに対してはフォーマットエラーまたは CRC エラーで応答します。

CLOE ビットと FDOE ビットを同時に“1”にしないでください。

表 34.3 動作モードの変更

CLOEビット	FDOEビット	動作モード
0	0	CAN FDモード
0	1	FD onlyモード
1	0	Classic onlyモード
1	1	設定しないでください

34.2.7 CAN FD 制御レジスタ (FDCTR)

アドレス CANFD0.FDCTR 000A 8108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SCCL	ECCL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECCL	エラー発生カウンタクリアビット	このビットを“1”にすると、エラー発生カウンタがクリアされます。読むと“0”が読めます	R/W
b1	SCCL	成功発生カウンタクリアビット	このビットを“1”にすると、成功発生カウンタがクリアされます。読むと“0”が読めます	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FDCTR レジスタは、エラー発生カウンタと成功発生カウンタを制御します。

ECCL ビット (エラー発生カウンタクリアビット)

ECCL ビットは、エラー発生カウンタをクリアするために使用します。

CH_SLEEP モードまたは CH_RESET モードでは、値を変更できません。

このビットは、自動的に“0”になります。また、CAN チャンネルが CH_RESET モードに入ったときも“0”になります。

SCCL ビット (成功発生カウンタクリアビット)

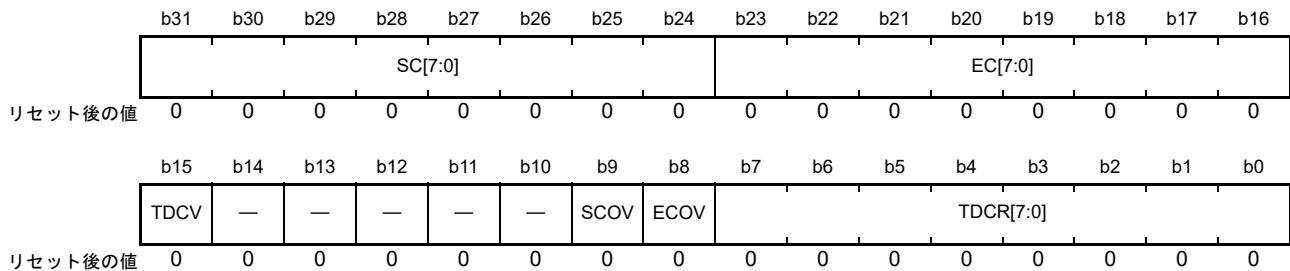
SCCL ビットは、成功発生カウンタをクリアするために使用します。

CH_SLEEP モード、CH_RESET モードでは、値を変更できません。

このビットは、自動的に“0”になります。また、CAN チャンネルが CH_RESET モードに入ったときも“0”になります。

34.2.8 CAN FD ステータスレジスタ (FDSTS)

アドレス CANFD0.FDSTS 000A 810Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	TDCR[7:0]	トランシーバ遅延補償結果ビット	トランシーバの遅延量が測定されたときに、遅延補償の結果を示します。	R
b8	ECOV	エラー発生カウンタオーバフローフラグ (注1)	0: エラー発生カウンタがオーバフローしていない 1: エラー発生カウンタがオーバフローした	R/(W) (注2)
b9	SCOV	成功発生カウンタオーバフローフラグ (注1)	0: 成功発生カウンタがオーバフローしていない 1: 成功発生カウンタがオーバフローした	R/(W) (注2)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	TDCV	トランシーバ遅延補償違反フラグ (注1)	0: トランシーバ遅延補償違反が発生していない 1: トランシーバ遅延補償違反が発生した	R/(W) (注2)
b23-b16	EC[7:0]	エラー発生カウンタ	エラー発生カウンタの値を示します。	R
b31-b24	SC[7:0]	成功発生カウンタ	成功発生カウンタの値を示します。	R

注1. CH_OPERATIONモード、CH_HALTモード時のみ“0”にできます。

注2. “1”を書いてもフラグの値は変化しません。“0”を書くともフラグの値は“0”になります。

FDSTS レジスタは、トランシーバ遅延補償の結果とそれに関連する FIFO メッセージロスステータスを示します。

TDCR[7:0] ビット (トランシーバ遅延補償結果ビット)

TDCR[7:0] ビットは、トランシーバ遅延の測定が完了したときに設定されます。

測定された遅延量は、DLL クロックのサイクル数です。結果は、FDCFG.SSPC ビットの設定値と FDCFG.TDCO[7:0] ビットのオフセット値に依存します。詳細は、「34.4.1.5 トランシーバ遅延補償」を参照してください。

TDCR[7:0] ビットは、FDCFG.SSPC ビットが“0”で、FDCFG.TDCE ビットが“1”(トランシーバ遅延補償が有効)の場合、FDF ビットと res ビットの間の立ち下がりエッジで更新されます。

これらのビットは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

ECOV フラグ (エラー発生カウンタオーバフローフラグ)

ECOV フラグは、CAN チャネルのエラー発生カウンタがオーバフローしたかどうかを示します。

本フラグは、EC[7:0] ビットが“FFh”のときに、FDCFG.ECC[2:0] ビットで指定された CAN バスエラーが検出されると、“1”になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは“1”になります。

本フラグは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

SCOV フラグ (成功発生カウンタオーバーフローフラグ)

SCOV フラグは、CAN チャネル成功発生カウンタがオーバーフローしたかどうかを示します。

本フラグは、SC[7:0] ビットが“FFh”のときに、メッセージ受信またはメッセージ送信が成功すると、“1”になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは“1”になります。

本フラグは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

TDCV フラグ (トランシーバ遅延補償違反フラグ)

CANFD モジュールは、送信したデータを内部でビット単位でキャプチャしています。このデータが、トランシーバのループ遅延によって遅延している CAN バスから受信したレベルと比較されます。

トランシーバの遅延量は、温度などの物理パラメータに応じて多少の変動があります。TDCR[7:0] ビットはメッセージごとに更新されますが、一時的な最大遅延違反は見逃される場合があります。TDCV フラグはこの違反をキャプチャします。

このフラグは、トランシーバ遅延補償が最大遅延補償 (6 データビットタイム - 2 DLL クロック) よりも大きく、内部ビットがオーバーランした場合に“1”になります。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは“1”になります。

本フラグは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

EC[7:0] ビット (エラー発生カウンタ)

EC[7:0] ビットは、SC[7:0] ビットと共に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合に、ホスト制御により、アービトレーションビットレートと同じペイロードビットレートまでフォールバックするオプションをサポートします。

この高いエラー率は、FDCFG.ECC[2:0] ビットの設定によって検出させることができます。

EC[7:0] ビットは、CANFD モジュールのロジックによってのみ設定されます。これらのビットは、FDCTR.ECCL ビットに“1”を書き込むことでクリアされます。

これらのビットは、FDCFG.ECC[2:0] ビットの設定に従って、エラー発生時に更新されます。カウンタ値が“FFh”に達すると更新を停止します。

これらのビットは、CAN チャネルが CH_RESET モードになると自動的に“0”になります。

SC[7:0] ビット (成功発生カウンタ)

SC[7:0] ビットは、EC[7:0] ビットと共に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合に、ホスト制御により、アービトレーションビットレートと同じペイロードビットレートまでフォールバックするオプションをサポートします。

SC[7:0] ビットは、CANFD モジュールのロジックによってのみ設定されます。これらのビットは、FDCTR.SCCL ビットに“1”を書き込むことでクリアされます。

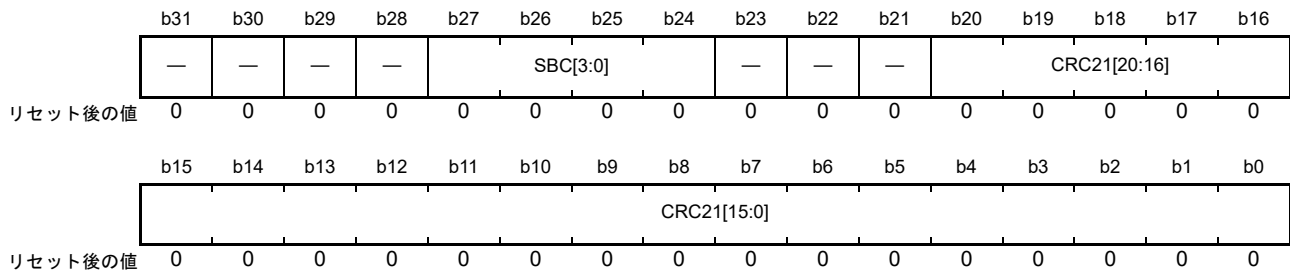
これらのビットは、送受信においてバス上にエラーのないメッセージの発生が検出されると更新されません。カウンタ値が“FFh”に達すると更新を停止します。

これらのビットは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

注. ループバックモードでは、カウンタは 2 回インクリメントされます。

34.2.9 CAN FD CRC レジスタ (FDCRC)

アドレス CANFD0.FDCRC 000A 8110h



ビット	シンボル	ビット名	機能	R/W
b20-b0	CRC21[20:0]	CRC_21テストビット	CAN FD フレームに対して計算されたCRC_17値またはCRC_21値を示します	R
b23-b21	—	予約ビット	読むと“0”が読めます	R
b27-b24	SBC[3:0]	スタッフビットカウンタ	CAN FD フレームのスタッフビット数(Mod 8)を示します	R
b31-b28	—	予約ビット	読むと“0”が読めます	R

FDCRC レジスタは、CAN FD フレームについて計算されたCRC値を保持します。

CRC21[20:0] ビット (CRC_21 テストビット)

CHCR.CTME ビットが“1”(チャンネルテストモード有効)の場合、計算されたCRC_17値またはCRC_21値がこのビットから読み出せます。

CHCR.CTME ビットが“0”の場合、CRC21[20:0] ビットからは“000000h”が読めます。

CRC21[20:0] ビットの値は、CAN FD フレームのCRCフィールドの最初のビットで更新されます。

CRC_17を使用する場合、CRC21[20:17] ビットからは“0”が読めます。

これらのビットは、CAN チャンネルがCH_RESETモードになると自動的に“000000h”になります。

SBC[3:0] ビット (スタッフビットカウンタ)

SBC[3:0] ビットは、CAN FD フレームのスタッフカウント値を示します。CHCR.CTME ビットが“1”になっているとき、SBC[3:1] ビットにはCAN FD フレームに挿入されるスタッフビットの数(モジュロ8、グレイコード化)が、SBC[0] ビットにはそれに対するパリティが表示されます。

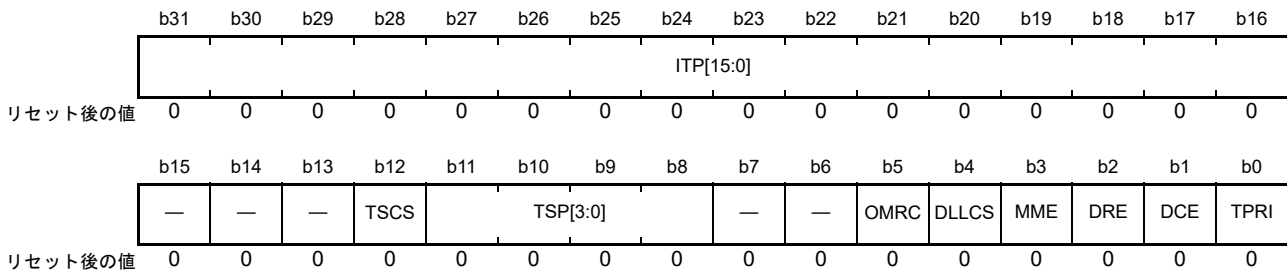
CHCR.CTME ビットが“0”の場合、SBC[3:0] ビットからは“0000b”が読めます。

SBC[3:0] ビットの値は、CAN FD フレームのCRCフィールドの最初のビットで更新されます。

これらのビットは、CAN チャンネルがCH_RESETモードになると自動的に“0000b”になります。

34.2.10 グローバル設定レジスタ (GCFG)

アドレス CANFD.GCFG 000A 8014h



ビット	シンボル	ビット名	機能	R/W
b0	TPRI	送信優先順位設定ビット	0: ID優先 1: メッセージバッファ番号優先	R/W
b1	DCE	DLCチェック許可ビット	0: DLCチェック無効 1: DLCチェック有効	R/W
b2	DRE	DLC置換許可ビット	0: DLC置換無効 1: DLC置換有効	R/W
b3	MME	ミラーモード許可ビット	0: ミラーモード無効 1: ミラーモード有効	R/W
b4	DLLCS	DLLクロック選択ビット	0: CANFDCLK 1: CANFDMCLK	R/W
b5	OMRC	ペイロードオーバーフローメッセージ受信設定ビット	0: メッセージを破棄 1: メッセージのペイロードを指定したサイズにカット	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	TSP[3:0]	タイムスタンプカウンタプリスケアラ設定ビット	b11 b8 0 0 0 0: 分周なし 0 0 0 1: 2分周 (= 2 ¹) 0 0 1 0: 4分周 (= 2 ²) 0 0 1 1: 8分周 (= 2 ³) : 1 1 0 1: 8192分周 (= 2 ¹³) 1 1 1 0: 16384分周 (= 2 ¹⁴) 1 1 1 1: 32768分周 (= 2 ¹⁵)	R/W
b12	TSCS	タイムスタンプカウンタソース選択ビット	0: タイムスタンプカウンタのカウンタソースは周辺モジュールクロック (PCLKB) 1: タイムスタンプカウンタのカウンタソースはビットタイムクロック	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	ITP[15:0]	インターバルタイマプリスケアラ設定ビット	FIFOインターバルタイマプリスケアラ値。周辺モジュールクロック (PCLKB)の分周値を設定します	R/W

GCFG レジスタは、すべての送信メッセージバッファに使用する送信優先順位と、CAN プロトコルエンジンのクロックソースを選択するのに使用されます。また、GCFG レジスタは、タイムスタンプクロックのカウンタソースを選択し、タイムスタンプクロックとインターバルタイマ基準クロックの周波数を設定するためにも使用されます。

TPRI ビット (送信優先順位設定ビット)

TPRI ビットは、CAN チャネルの送信優先順位を選択します。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

送信キューを使用する場合、メッセージバッファ番号優先にしないでください。

DCE ビット (DLC チェック許可ビット)

DCE ビットは、CAN チャンネルのデータ長コード (DLC) チェックを有効にします。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

DRE ビット (DLC 置換許可ビット)

DRE ビットが“1”でDCEが“1”のとき、CANFDモジュールはDLCチェックにパスした場合、DLCの設定値 (AFLn.PTR0.DLC[3:0]) を受信メッセージの宛先バッファまたはFIFOバッファに格納します。それ以外の場合、受信メッセージの宛先バッファまたはFIFOバッファのDLC値は変更されません。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

MME ビット (ミラーモード許可ビット)

MME ビットは、CAN チャンネルのミラーモードを有効にします。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

DLLCS ビット (DLL クロック選択ビット)

DLLCS ビットは、CAN 通信のクロックソースを選択します。

GL_SLEEP モードまたはGL_OPERATION モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

OMRC ビット (ペイロードオーバーフローメッセージ受信設定ビット)

OMRC ビットは、受信したペイロードがメッセージバッファのペイロードサイズ (RMCR.PLS[2:0] ビット、RFCRn.PLS[2:0] ビット、およびCFCR0.PLS[2:0] ビット) よりも大きい場合に、メッセージのペイロードを受け入れるメカニズムを制御します。受信したメッセージペイロードは、常にメッセージバッファ内の利用可能なメッセージペイロードサイズと比較されます。

GL_SLEEP モードまたはGL_OPERATION モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

本ビットが“1”のとき、ペイロードオーバーフローが発生すると、DLC 値は変更されずに受信メッセージバッファまたはFIFOバッファに格納されます。

TSP[3:0] ビット (タイムスタンプカウンタプリスケアラ設定ビット)

TSP[3:0] ビットで設定された値は、タイムスタンプカウンタに使用されるカウントソースの周期を定義します。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

TSCS ビット (タイムスタンプカウンタソース選択ビット)

TSCS ビットは、タイムスタンプカウンタのカウントソースを選択することができます。

GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、GL_RESET モードでのみ行ってください。また、CAN FD 通信を使用する場合は、このビットを“1”にしないでください。

注. ビットタイムクロックは、公称ビットレートとデータビットレートの設定によって変化します。

ITP[15:0] ビット (インターバルタイマプリスケアラ設定ビット)

ITP[15:0] ビットでは、FIFO インターバルタイマのカウントソースの基準クロックを定義できます。

これらのビットが“0000h”の場合、タイマは無効になります。

GL_SLEEPモードでは、値を変更できません。本ビットへの書き込みは、GL_RESETモードでのみ行ってください。

34.2.11 グローバル制御レジスタ (GCR)

アドレス CANFD.GCR 000A 8018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSCR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	POIE	THLIE	MLIE	DEIE	—	—	—	—	—	SLPRQ	MDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	MDC[1:0]	グローバルモード制御ビット	b1 b0 0 0 : GL_OPERATIONモードへの遷移を要求 0 1 : GL_RESETモードへの遷移を要求 1 0 : GL_HALTモードへの遷移を要求 1 1 : 現在のモードを維持	R/W
b2	SLPRQ	GL_SLEEPモード要求ビット	0 : GL_SLEEPの解除を要求 1 : GL_SLEEPへの遷移を要求	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DEIE	DLCエラー割り込み許可ビット	0 : DLCエラー割り込み禁止 1 : DLCエラー割り込み許可	R/W
b9	MLIE	メッセージロスト割り込み許可ビット	0 : メッセージロスト割り込み禁止 1 : メッセージロスト割り込み許可	R/W
b10	THLIE	送信履歴エントリロスト割り込み許可ビット	0 : 送信履歴エントリロスト割り込み禁止 1 : 送信履歴エントリロスト割り込み許可	R/W
b11	POIE	ペイロードオーバーフロー割り込み許可ビット	0 : ペイロードオーバーフロー割り込み禁止 1 : ペイロードオーバーフロー割り込み許可	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	TSCR	タイムスタンプカウンタリセットビット	このビットを“1”にすると、タイムスタンプカウンタがリセットされます。読むと“0”が読めます	R/W
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GCR レジスタは、CANFD モジュールのグローバルモードとタイムスタンプ機能を制御します。また、グローバルエラー割り込みの許可、禁止も行います。

MDC[1:0] ビット (グローバルモード制御ビット)

MDC[1:0] ビットは、CANFD モジュールのモードを指定するために使用します。CANFD モジュールのモード遷移については、「34.3.1 グローバルモード」を参照してください。

GL_SLEEP モードでは値を変更できません。

CANFD モジュールを GL_SLEEP モードに遷移させるときは、先にこのビットを“01b”にして GL_RESET モードに遷移させてから、GCR.SLPRQ ビットを“1”にしてください。

SLPRQ ビット (GL_SLEEP モード要求ビット)

SLPRQ ビットは、GL_SLEEP モードへの遷移、GL_SLEEP モードからの復帰を制御するビットです。

このビットを“1”にすると、CAN チャネルに対して CH_SLEEP モードへの遷移も要求されます。

GL_RESET モードまたは GL_SLEEP モードでのみ、このビットに書き込めます。

DEIE ビット (DLC エラー割り込み許可ビット)

DEIE ビットが“1”のとき、受信フレームに DLC エラーが検出されると割り込みが発生します。
GL_SLEEP モードでは、値を変更できません。

MLIE ビット (メッセージロスト割り込み許可ビット)

MLIE ビットが“1”のとき、メッセージロストが発生した場合に割り込みが発生します。
GL_SLEEP モードでは、値を変更できません。

THLIE ビット (送信履歴エントリロスト割り込み許可ビット)

THLIE ビットが“1”のとき、送信履歴エントリのロストが発生した場合に割り込みが発生します。
GL_SLEEP モードでは、値を変更できません。

POIE ビット (ペイロードオーバーフロー割り込み許可ビット)

POIE ビットが“1”のとき、メッセージのペイロードがオーバーフローしたときに割り込みが発生します。
GL_SLEEP モードでは、値を変更できません。

TSCR ビット (タイムスタンプカウンタリセットビット)

TSCR ビットが“1”のとき、タイムスタンプカウンタレジスタ (TSCR) は“00000000h”にリセットされます。

GL_SLEEP モードでは、値を変更できません。GL_RESET モードでは、本ビットへの書き込みを行わないでください。

このビットは自動的に“0”になります。

34.2.12 グローバルステータスレジスタ (GSR)

アドレス CANFD.GSR 000A 801Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	RAMST	SLPST	HLTST	RSTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSTST	GL_RESETステータスフラグ	0 : GL_RESETモードではない 1 : GL_RESETモード	R
b1	HLTST	GL_HALTステータスフラグ	0 : GL_HALTモードではない 1 : GL_HALTモード	R
b2	SLPST	GL_SLEEPステータスフラグ	0 : GL_SLEEPモードではない 1 : GL_SLEEPモード	R
b3	RAMST	RAM初期化ステータスフラグ	0 : RAM初期化完了 1 : RAM初期化中	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

GSR レジスタは、CANFD モジュールのグローバルステータスを示します。

RSTST フラグ (GL_RESET ステータスフラグ)

RSTST フラグは、CANFD モジュールの GL_RESET モードの状態を示します。

このフラグは、CANFD モジュールが GL_RESET モードに入ると自動的に“1”になります。GL_RESET モードから GL_SLEEP モードに遷移しても、本フラグは“1”のままです。GL_HALT モードまたは GL_OPERATION モードに遷移すると自動的に“0”になります。

HLTST フラグ (GL_HALT ステータスフラグ)

HLTST フラグは、CANFD モジュールの GL_HALT モードの状態を示します。

このフラグは、CANFD モジュールが GL_HALT モードに入ると自動的に“1”になります。GL_HALT モードを抜けると、自動的に“0”になります。

SLPST フラグ (GL_SLEEP ステータスフラグ)

SLPST フラグは、CANFD モジュールの GL_SLEEP モードの状態を示します。

このフラグは、CANFD モジュールが GL_SLEEP モードに入ると自動的に“1”になります。GL_SLEEP モードを抜けると、自動的に“0”になります。

RAMST フラグ (RAM 初期化ステータスフラグ)

RAMST フラグは、CANFD モジュールの RAM 初期化の状態を示します。

このフラグは、MCU がリセットされて CANFD モジュールが GL_SLEEP モードになると、自動的に“1”になります。RAM の初期化が完了すると、自動的に“0”になります。

34.2.13 グローバルエラーステータスレジスタ (GESR)

アドレス CANFD.GESR 000A 8020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EEDF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PODF	THLDF	MLDF	DEDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DEDF	DLCエラー検出フラグ	0: DLCエラー未検出 1: DLCエラー検出	R/(W) (注1)
b1	MLDF	メッセージロスト検出フラグ	0: メッセージロスト未検出 1: メッセージロスト検出	R
b2	THLDF	送信履歴エントリロスト検出フラグ	0: 送信履歴エントリロスト未検出 1: 送信履歴エントリロスト検出	R
b3	PODF	ペイロードオーバーフロー検出フラグ	0: ペイロードオーバーフロー未検出 1: ペイロードオーバーフロー検出	R/(W) (注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	EEDF0	チャンネル0 ECCエラー検出フラグ	0: 送信スキャン中にECCエラー未検出 1: 送信スキャン中にECCエラー検出	R/(W) (注1)
b31-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

GESR レジスタは、グローバルエラーの検出を示します。

DEDF フラグ (DLC エラー検出フラグ)

DEDF フラグは、データ長コード (DLC) のエラー状態を示します。

GL_SLEEP モードまたは GL_RESET モードでは、値を変更できません。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

本フラグは、受信フレームで DLC エラーが検出された場合に自動的に“1”になります。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合、本フラグは“1”になります。

本フラグは、“0”を書き込むことでクリアされます。GL_RESET モードでは自動的に“0”になります。

MLDF フラグ (メッセージロスト検出フラグ)

MLDF フラグは、メッセージロストエラーのステータスを示します。

このフラグは、FIFO メッセージロストエラーが検出されたときに自動的に“1”になります。

このフラグは、以下の場合に自動的に“0”になります。

- すべての FIFO のメッセージロストフラグ (RFSRn.LOST, CFSR0.LOST) がクリアされた場合
- CANFD モジュールが GL_RESET モードの場合

THLDF フラグ (送信履歴エントリロスト検出フラグ)

THLDF フラグは、送信履歴エントリのロストエラーの状態を示します。

本フラグは、送信履歴エントリのロストエラーを検出した場合に自動的に“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 送信履歴ロストフラグ (THSR.LOST) がクリアされた場合
- CANFD モジュールが GL_RESET モードの場合

PODF フラグ (ペイロードオーバーフロー検出フラグ)

PODF フラグは、チャンネルでメッセージのペイロードオーバーフローが検出された場合、自動的に“1”になります。

GL_SLEEP モードまたは GL_RESET モードでは、値を変更できません。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合、本フラグは“1”になります。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

GL_RESET モードでは自動的に“0”になります。

EEDF0 フラグ (チャンネル 0 ECC エラー検出フラグ)

EEDF0 フラグは、ECC エラーが発生したかどうかを指定します。

GL_SLEEP モードまたは GL_RESET モードでは、値を変更できません。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合、本フラグは“1”になります。

GL_RESET モードでは自動的に“0”になります。

34.2.14 送信割り込みステータスレジスタ (TISR)

アドレス CANFD.TISR 000A 80A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSIF0	チャンネル0送信成功割り込みフラグ	0: チャンネル0送信成功割り込みなし 1: チャンネル0送信成功割り込み発生	R
b1	TAIF0	チャンネル0送信アポート割り込みフラグ	0: チャンネル0送信アポート割り込みなし 1: チャンネル0送信アポート割り込み発生	R
b2	TQIF0	チャンネル0送信キュー割り込みフラグ	0: チャンネル0送信キュー割り込みなし 1: チャンネル0送信キュー割り込み発生	R
b3	CFTIF0	チャンネル0共通FIFO送信割り込みフラグ	0: チャンネル0共通FIFO送信モード割り込みなし 1: チャンネル0共通FIFO送信モード割り込み発生	R
b4	THIF0	チャンネル0送信履歴割り込みフラグ	0: チャンネル0送信履歴割り込みなし 1: チャンネル0送信履歴割り込み発生	R
b31-b5	—	予約ビット	読むと“0”が読めます	R

TISR レジスタは、送信固有の割り込みの検出を示します。

TSIF0 フラグ (チャンネル0 送信成功割り込みフラグ)

TSIF0 フラグは、送信メッセージバッファ n 割り込みが許可されているときに、チャンネル0 の送信メッセージバッファ n からの送信が成功すると“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 割り込みが禁止されたとき (TMIER0.TMIEn ビット = 0)
- 送信メッセージバッファ n の送信結果フラグ (TMSRn.TXRF[1:0]) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TAIF0 フラグ (チャンネル0 送信アポート割り込みフラグ)

TAIF0 フラグは、送信アポート割り込みが許可されているときに、チャンネル0 の送信メッセージバッファ n からの送信がアポートされると“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 割り込みが禁止されたとき (CHCR.TAIE ビット = 0)
- 送信メッセージバッファ n の送信結果フラグ (TMSRn.TXRF[1:0]) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TQIF0 フラグ (チャンネル0 送信キュー割り込みフラグ)

TQIF0 フラグは、送信キュー割り込みが許可されているときに、チャンネル0 の送信キュー割り込みフラグが“1”になると“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 割り込みが禁止されたとき (TQCR0.TQIE ビット = 0)
- 送信キュー割り込みフラグ (TQSR0.TQIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

CFTIF0 フラグ (チャンネル 0 共通 FIFO 送信割り込みフラグ)

CFTIF0 フラグは、共通 FIFO 送信割り込みが許可されているときに、チャンネル 0 の共通 FIFO 送信割り込みフラグ (CFSR0.CFTIF) が“1”になると“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 割り込みが禁止されたとき (CFCR0.CFTIE ビット = 0)
- 共通 FIFO 送信割り込みフラグ (CFSR0.CFTIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

THIF0 フラグ (チャンネル 0 送信履歴割り込みフラグ)

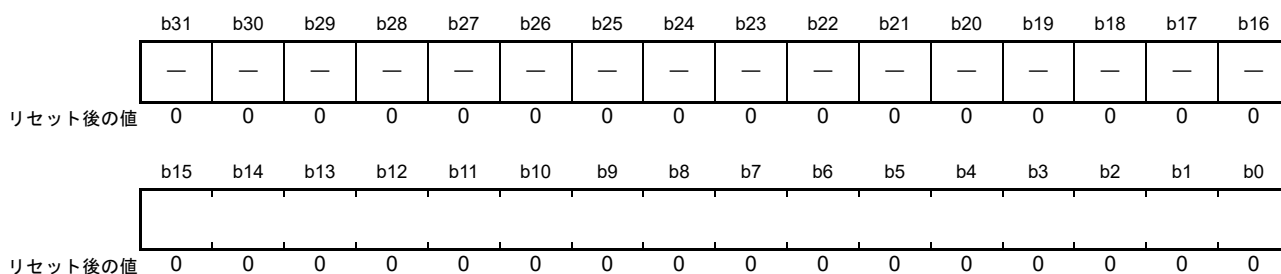
THIF0 フラグは、送信履歴割り込みが許可されているときに、チャンネル 0 の送信履歴割り込みフラグ (THSR.THIF) が“1”になると“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- 割り込みが禁止されたとき (THCR.THIE ビット = 0)
- 送信履歴割り込みフラグ (THSR.THIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

34.2.15 タイムスタンプカウンタレジスタ (TSCR)

アドレス CANFD.TSCR 000A 8024h



TSCR レジスタは、選択された設定に基づくタイムスタンプを格納します。

タイムスタンプ値は、GCFG.TSCS ビット、TSP[3:0] ビットの設定に基づき、TSCR レジスタに格納されます。GL_HALT モードに遷移したときのタイムスタンプカウンタの精度は保証されません。

GL_RESET モードでは自動的に“00000000h”になります。

34.2.16 アクセプタンスフィルタリスト制御レジスタ (AFCR)

アドレス CANFD.AFCR 000A 8028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	AFLWE	—	—	—	—	—	—	—	PAGE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PAGE	アクセスページ設定ビット	アクセプタンスフィルタリストのページ番号を設定します	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	AFLWE	AFL書き込み許可ビット	0：アクセプタンスフィルタリストへのデータ書き込み禁止 1：アクセプタンスフィルタリストへのデータ書き込み許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

AFCR レジスタは、アクセプタンスフィルタリストにエントリを読み書きするためのアクセプタンスフィルタリストのページを選択するために使用されます。

PAGE ビット (アクセスページ設定ビット)

PAGE ビットは、アクセプタンスフィルタリストの希望する RAM 領域にアクセスするためのページ番号を設定するビットです。1 ページは、16 個のアクセプタンスフィルタリストエントリで構成されています。

アクセプタンスフィルタリストへの読み出しおよび書き込みは、固定ウィンドウを通してのみ実行できません。

GL_SLEEP モードでは、値を変更できません。

AFLWE ビット (AFL 書き込み許可ビット)

アクセプタンスフィルタリストの設定後に AFLWE ビットを“0”にすると、アクセプタンスフィルタリストへの書き込みを防止できます。

本ビットの状態に関係なく、アクセプタンスフィルタリストからデータを読み出すことができます。

GL_SLEEP モードでは、値を変更できません。

本ビットを“1”に設定すると、アクセプタンスフィルタリストへの書き込みアクセスが可能になります。

34.2.17 アクセプタンスフィルタリスト設定レジスタ (AFCFG)

アドレス CANFD.AFCFG 000A 802Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
	—	—	—	—	—	—	—	—	—	—	RN0[5:0]					—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b21-b16	RN0[5:0]	チャンネル0ルール数設定ビット	アクセプタンスフィルタリストのルール数を設定	R/W
b31-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

AFCFG レジスタは、アクセプタンスフィルタリストのエントリ用ルールの数を定義するために使用されます。

アクセプタンスフィルタの最大数は 32 です。

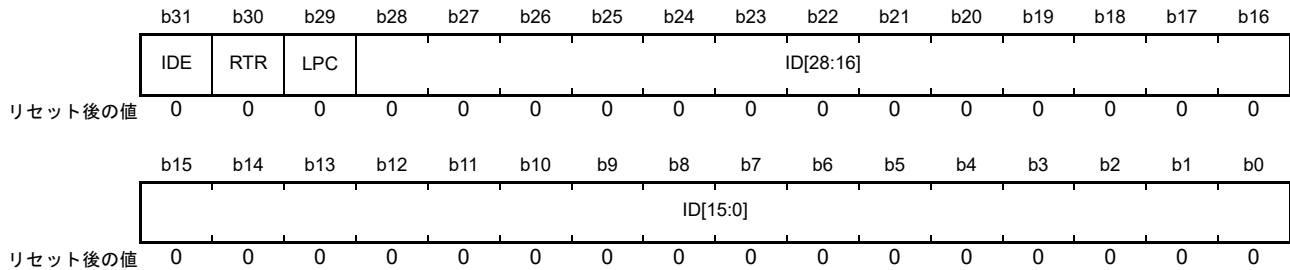
RN0[5:0] ビット (チャンネル0ルール数設定ビット)

RN0[5:0] ビットは、アクセプタンスフィルタリストのルール数を定義します。32 以下の値を設定してください。

GL_RESET モードでのみ、書き込み可能です。

34.2.18 アクセプタンスフィルタリスト n ID レジスタ (AFLn.IDR) (n = 0 ~ 15)

アドレス CANFD.AFL0.IDR 000A 8120h, CANFD.AFL1.IDR 000A 8130h, CANFD.AFL2.IDR 000A 8140h,
CANFD.AFL3.IDR 000A 8150h, CANFD.AFL4.IDR 000A 8160h, CANFD.AFL5.IDR 000A 8170h,
CANFD.AFL6.IDR 000A 8180h, CANFD.AFL7.IDR 000A 8190h, CANFD.AFL8.IDR 000A 81A0h,
CANFD.AFL9.IDR 000A 81B0h, CANFD.AFL10.IDR 000A 81C0h, CANFD.AFL11.IDR 000A 81D0h,
CANFD.AFL12.IDR 000A 81E0h, CANFD.AFL13.IDR 000A 81F0h, CANFD.AFL14.IDR 000A 8200h,
CANFD.AFL15.IDR 000A 8210h



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	アクセプタンスフィルタリストエントリのID部分	R/W
b29	LPC	ループバック設定ビット	0: 受信属性のメッセージ 1: 送信属性のメッセージ	R/W
b30	RTR	RTRビット	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	IDEビット	0: 標準ID 1: 拡張ID	R/W

AFLn.IDR レジスタは、アクセプタンスフィルタリストのルールエントリにおける ID フィールドを設定するために使用します。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを“1”にしてください。AFLWE ビットが“0”のときは、書き換えられません。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットは、アクセプタンスフィルタリストの各エントリの CAN ID フィールドを表します。

アクセプタンスフィルタ処理は、このフィールドと受信したメッセージの ID とを比較します。標準フレームフォーマットおよび拡張フレームフォーマットにおけるビットの配置については、「34.2.60 ID ビットの配置」を参照してください。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

LPC ビット (ループバック設定ビット)

LPC ビットは、アクセプタンスフィルタリスト (AFL) のエントリの属性が、受信か送信かを選択します。

この属性は、ミラーモード、ループバックモード、通常 (非ループバック) 受信の際に、AFL エントリが有効かどうかを決定します。送信 / 受信の別、ループバックモードのタイプ、受信 / 送信属性ごとの AFL エントリの有効性についての詳細は、「34.5.8 ループバックモード」を参照してください。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

RTR ビット (RTR ビット)

RTR ビットは、アクセプタンスフィルタリストの各エントリに対して、特定のフレームフォーマット (データフレームまたはリモートフレーム) を設定することができます。CAN チャネル内の各ルールエントリについて、アクセプタンスフィルタ処理は、受信したメッセージの RTR ビットと本ビットを比較します。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

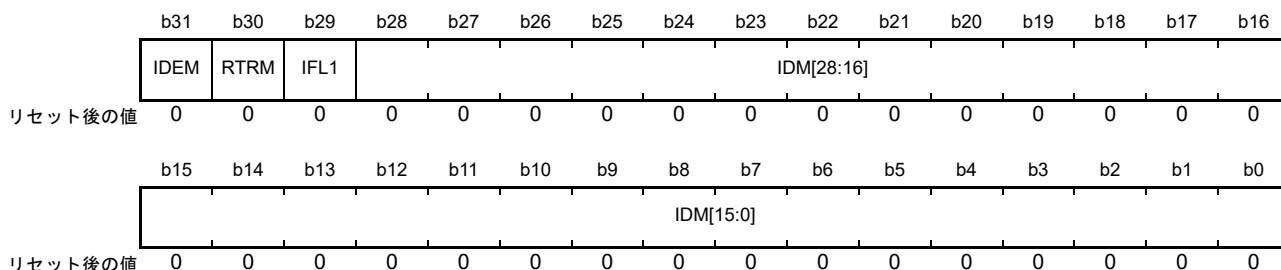
IDE ビット (IDE ビット)

IDE ビットは、アクセプタンスフィルタリストの各エントリに対して、ID フォーマット (標準 ID または拡張 ID) を設定することができます。CAN チャンネル内の各ルールエントリについて、アクセプタンスフィルタ処理は、受信したメッセージの IDE ビットと本ビットを比較します。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

34.2.19 アクセプタンスフィルタリスト n マスクレジスタ (AFLn.MASK) (n = 0 ~ 15)

アドレス CANFD.AFL0.MASK 000A 8124h, CANFD.AFL1.MASK 000A 8134h, CANFD.AFL2.MASK 000A 8144h,
CANFD.AFL3.MASK 000A 8154h, CANFD.AFL4.MASK 000A 8164h, CANFD.AFL5.MASK 000A 8174h,
CANFD.AFL6.MASK 000A 8184h, CANFD.AFL7.MASK 000A 8194h, CANFD.AFL8.MASK 000A 81A4h,
CANFD.AFL9.MASK 000A 81B4h, CANFD.AFL10.MASK 000A 81C4h, CANFD.AFL11.MASK 000A 81D4h,
CANFD.AFL12.MASK 000A 81E4h, CANFD.AFL13.MASK 000A 81F4h, CANFD.AFL14.MASK 000A 8204h,
CANFD.AFL15.MASK 000A 8214h



ビット	シンボル	ビット名	機能	R/W
b28-b0	IDM[28:0]	IDマスクフィールド	0: 対応するIDビットをID照合に使用しない 1: 対応するIDビットをID照合に使用する	R/W
b29	IFL1	情報ラベル1ビット	受信したメッセージに付ける情報ラベル1を設定してください	R/W
b30	RTRM	RTRマスクビット	0: RTRビットをID照合に使用しない 1: RTRビットをID照合に使用する	R/W
b31	IDEM	IDEマスクビット	0: IDEビットをID照合に使用しない 1: IDEビットをID照合に使用する	R/W

AFLn.MASK レジスタは、アクセプタンスフィルタリストの各エントリルールのマスクフィールドを設定するために使用されます。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを“1”にしてください。AFLWE ビットが“0”のときは、書き換えられません。

IDM[28:0] ビット (ID マスクフィールド)

IDM[28:0] ビットは、各アクセプタンスフィルタリストエントリの CAN ID フィールド内の関連ビットのフィルタマスクビットです。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

IFL1 ビット (情報ラベル1 ビット)

IFL1 ビットは、アクセプタンスフィルタリストのエントリにより受け付けられた受信メッセージに付けられる2ビットの情報ラベルの上位ビットです。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

このビットは、受信したメッセージが格納された場所の情報ラベルフィールドの上位ビット (RMBn.HF2.IFL[1]、RFBn.HF2.IFL[1]、CFB0.HF2.IFL[1]) に格納されます。

RTRM ビット (RTR マスクビット)

RTRM ビットは、アクセプタンスフィルタリストの各エントリに対する RTR マスクビットです。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

IDEM ビット (IDE マスクビット)

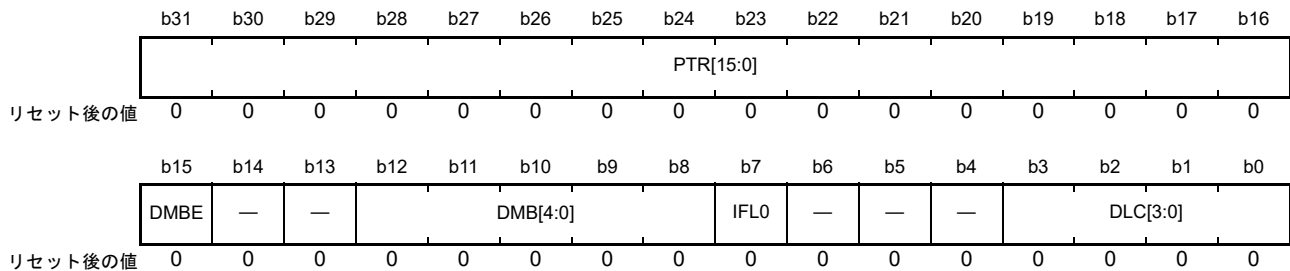
IDEM ビットは、アクセプタンスフィルタリストの各エントリに対する IDE マスクビットです。

IDE マスクビットが“0”の場合、ID 比較は受信したメッセージの IDE ビットに依存します。

- 受信したメッセージの IDE ビットが“0”の場合、標準 ID 部分のみ比較を行います。
 - 受信したメッセージの IDE ビットが“1”の場合、拡張 ID の比較を行います。
- 本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

34.2.20 アクセプタンスフィルタリスト n ポインタレジスタ 0 (AFLn.PTR0) (n = 0 ~ 15)

アドレス CANFD.AFL0.PTR0 000A 8128h, CANFD.AFL1.PTR0 000A 8138h, CANFD.AFL2.PTR0 000A 8148h, CANFD.AFL3.PTR0 000A 8158h, CANFD.AFL4.PTR0 000A 8168h, CANFD.AFL5.PTR0 000A 8178h, CANFD.AFL6.PTR0 000A 8188h, CANFD.AFL7.PTR0 000A 8198h, CANFD.AFL8.PTR0 000A 81A8h, CANFD.AFL9.PTR0 000A 81B8h, CANFD.AFL10.PTR0 000A 81C8h, CANFD.AFL11.PTR0 000A 81D8h, CANFD.AFL12.PTR0 000A 81E8h, CANFD.AFL13.PTR0 000A 81F8h, CANFD.AFL14.PTR0 000A 8208h, CANFD.AFL15.PTR0 000A 8218h



ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	DLC フィールド	受信するメッセージの最小DLC値を設定してください	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	IFLO	情報ラベル0ビット	受信したメッセージに付ける情報ラベル0を設定してください	R/W
b12-b8	DMB[4:0]	格納先メッセージバッファ指定ビット	受信したメッセージを格納する受信メッセージバッファ番号を設定してください	R/W
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DMBE	格納先メッセージバッファ指定許可ビット	0：格納先メッセージバッファ指定ビットは無効 1：格納先メッセージバッファ指定ビットは有効	R/W
b31-b16	PTR[15:0]	ポインタビット	受信したメッセージに付ける16ビットのポインタを設定してください	R/W

AFLn.PTR0 レジスタは、アクセプタンスフィルタリストの各ルールエンタリに対して、データ長コード (DLC)、ソフトウェアポインタ、格納先メッセージバッファを設定するために使用されます。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを“1”にしてください。AFLWE ビットが“0”のときは、書き換えられません。

DLC[3:0] ビット (DLC フィールド)

DLC[3:0] ビットは、アクセプタンスフィルタリスト (AFL) の関連エンタリ (DLC フィルタ機能) により受け付けられるメッセージの最小データ長コード (DLC) 値を設定するビットです。

AFL エンタリにより受け付けられたメッセージの DLC 値が、この AFL エンタリに対して設定された DLC 値以上である場合にのみ、DLC フィルタ処理をパスします。このフィールドが“0000b”の場合、DLC フィルタ機能は無効になります。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

IFLO ビット (情報ラベル0ビット)

IFLO ビットは、アクセプタンスフィルタリストのエンタリにより受け入れられた受信メッセージに付けられる2ビットの情報ラベルの下位ビットです。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

このビットは、受信したメッセージが格納された場所の情報ラベルフィールドの下位ビット

(RMBn.HF2.IFL[0]、RFBn.HF2.IFL[0]、CFB0.HF2.IFL[0]) に格納されます。

DMB[4:0] ビット (格納先メッセージバッファ指定ビット)

DMB[4:0] ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信メッセージバッファを指定することができます。格納先メッセージバッファ番号を設定してください。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

RMCR.NMB[5:0] ビットで、受信メッセージバッファの数を設定します。DMB[4:0] ビットに設定する値は、“00000b” ~ “NMB[5:0] - 1” の値にしてください。NMB[5:0] ビットが “000000b” の場合、DMBE ビットを “0” にしてください。

DMBE ビット (格納先メッセージバッファ指定許可ビット)

DMBE ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信メッセージバッファを選択することができます。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

PTR[15:0] ビット (ポインタビット)

PTR[15:0] ビットは、アクセプタンスフィルタリストエントリによって受け付けられた受信メッセージに付けられる 16 ビットのポインタです。ポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用することができます。ポインタ情報は、例えば、AUTOSAR システムにおいて受信メッセージの PDU ID 割り当てをサポートするために使用することができます。

本ビットへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

34.2.21 アクセプタンスフィルタリスト n ポインタレジスタ 1 (AFLn.PTR1) (n = 0 ~ 15)

アドレス CANFD.AFL0.PTR1 000A 812Ch, CANFD.AFL1.PTR1 000A 813Ch, CANFD.AFL2.PTR1 000A 814Ch, CANFD.AFL3.PTR1 000A 815Ch, CANFD.AFL4.PTR1 000A 816Ch, CANFD.AFL5.PTR1 000A 817Ch, CANFD.AFL6.PTR1 000A 818Ch, CANFD.AFL7.PTR1 000A 819Ch, CANFD.AFL8.PTR1 000A 81ACh, CANFD.AFL9.PTR1 000A 81BCh, CANFD.AFL10.PTR1 000A 81CCh, CANFD.AFL11.PTR1 000A 81DCh, CANFD.AFL12.PTR1 000A 81ECh, CANFD.AFL13.PTR1 000A 81FCh, CANFD.AFL14.PTR1 000A 820Ch, CANFD.AFL15.PTR1 000A 821Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CF0E	—	—	—	—	—	—	RF1E	RF0E
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RF0E	受信 FIFO 0 格納先許可ビット	0: 受信 FIFO 0 をメッセージの格納先に指定しない 1: 受信 FIFO 0 をメッセージの格納先に指定する	R/W
b1	RF1E	受信 FIFO 1 格納先許可ビット	0: 受信 FIFO 1 をメッセージの格納先に指定しない 1: 受信 FIFO 1 をメッセージの格納先に指定する	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CF0E	共通 FIFO 0 格納先許可ビット	0: 共通 FIFO 0 をメッセージの格納先に指定しない 1: 共通 FIFO 0 をメッセージの格納先に指定する	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

AFLn.PTR1 レジスタは、アクセプタンスフィルタリストの各ルールエントリに対して、格納先 FIFO バッファを設定するために使用されます。

受信メッセージの格納先は、最大 2 つまで指定できます。FIFO バッファ 2 つ、または FIFO バッファ 1 つと受信メッセージバッファ 1 つの設定が有効です。

このレジスタを書き換えるときは、AFCR.AFLWE ビットを“1”にしてください。AFLWE ビットが“0”のときは、書き換えられません。

本レジスタへの書き込みは、CH_RESET モードまたは CH_HALT モードでのみ行ってください。

RF0E ビット (受信 FIFO 0 格納先許可ビット)

RF0E ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信 FIFO 0 を指定することができます。

RF1E ビット (受信 FIFO 1 格納先許可ビット)

RF1E ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、受信 FIFO 1 を指定することができます。

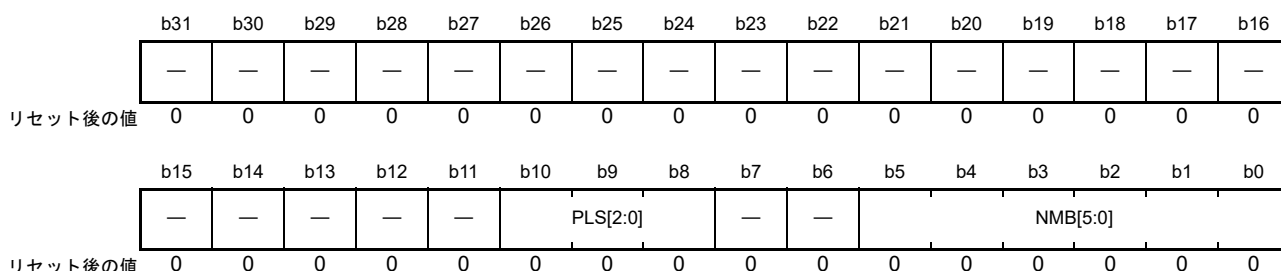
CF0E ビット (共通 FIFO 0 格納先許可ビット)

CF0E ビットによって、アクセプタンスフィルタリストエントリのアクセプタンスチェックをパスした受信メッセージの格納先に、共通 FIFO 0 を指定することができます。

共通 FIFO 0 は、受信 FIFO として設定されている必要があります。

34.2.22 受信メッセージバッファ設定レジスタ (RMCR)

アドレス CANFD.RMCR 000A 8030h



ビット	シンボル	ビット名	機能	R/W
b5-b0	NMB[5:0]	メッセージバッファ数設定ビット	受信メッセージバッファ数を設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	PLS[2:0]	ペイロードサイズ設定ビット	b10 b8 0 0 0 : 8バイト 0 0 1 : 12バイト 0 1 0 : 16バイト 0 1 1 : 20バイト 1 0 0 : 24バイト 1 0 1 : 32バイト 1 1 0 : 48バイト 1 1 1 : 64バイト	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMCR レジスタは、チャンネルに割り当てられた受信メッセージバッファの総数を設定するために使用されます。

NMB[5:0] ビット (メッセージバッファ数設定ビット)

NMB[5:0] ビットは、受信メッセージバッファの数を設定するために使用されます。

GL_RESET モードでのみ、書き込み可能です。

0 ~ 32 の範囲で設定してください。0 は、受信メッセージバッファが割り当てられていないことを示します。

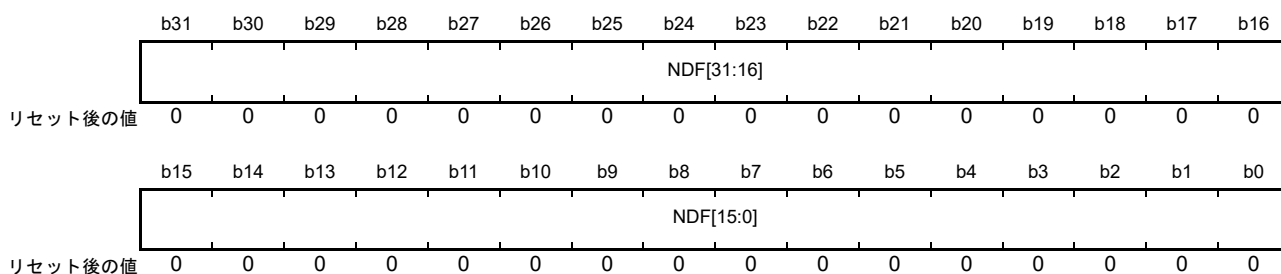
PLS[2:0] ビット (ペイロードサイズ設定ビット)

PLS[2:0] ビットは、メッセージバッファのペイロードサイズを設定するために使用されます。

GL_RESET モードでのみ、書き込み可能です。

34.2.23 受信メッセージバッファ新データレジスタ (RMNDR)

アドレス CANFD.RMNDR 000A 8034h



ビット	シンボル	ビット名	機能	R/W
b31-b0	NDF[31:0]	新データフラグ	0: 対応する受信メッセージバッファに新しいメッセージは格納されていない 1: 対応する受信メッセージバッファに新しいメッセージが格納されている	R/(W) (注1)

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

RMNDR レジスタは、受信メッセージバッファの新規データ格納状態を指定します。
本レジスタのビット位置は受信メッセージバッファのバッファ番号に対応します。

NDF[31:0] フラグ (新データフラグ)

NDF[31:0] フラグは、対応する受信メッセージバッファに新しいデータが格納されていることを示します。
NDF[0] フラグは、受信メッセージバッファ 0 に対応します。

これらのフラグは、対応する受信メッセージバッファに新しいメッセージの格納が始まると自動的に“1”になります。RMCR.PLS[2:0]=000b (ペイロードサイズが 8 バイト) の場合、メッセージを保存するのに要する時間は 6 PCLKB サイクルです。RMCR.PLS[2:0]>000b の場合、メッセージ保存期間は 4 バイト増えるごとに 1 PCLKB サイクル増加します (64 バイトの場合、20 PCLKB サイクル) となります。

GL_RESET モードまたは GL_SLEEP モードでは、本フラグへの書き込みはできません。

CANFD モジュールが GL_RESET モードの場合、自動的に“0”になります。

対応する受信メッセージバッファへのメッセージ格納中は、本フラグをクリアできません。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

34.2.24 受信 FIFO n 設定レジスタ (RFCRn) (n = 0, 1)

アドレス CANFD.RFCR0 000A 803Ch, CANFD.RFCR1 000A 8040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFITH[2:0]		RFIM	—	FDS[2:0]		—	PLS[2:0]		—	—	RFIE	RFE			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可ビット	0 : FIFO 禁止 1 : FIFO 許可	R/W
b1	RFIE	受信 FIFO 割り込み許可ビット	0 : FIFO 割り込み発生禁止 1 : FIFO 割り込み発生許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	PLS[2:0]	ペイロードサイズ設定ビット	b6 b4 0 0 0 : 8バイト 0 0 1 : 12バイト 0 1 0 : 16バイト 0 1 1 : 20バイト 1 0 0 : 24バイト 1 0 1 : 32バイト 1 1 0 : 48バイト 1 1 1 : 64バイト	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	FDS[2:0]	FIFO 段数設定ビット	b10 b8 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 32メッセージ 1 0 1 : 48メッセージ 上記以外 : 設定禁止	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	RFIM	受信 FIFO 割り込みモード設定ビット	0 : 受信 FIFO の格納メッセージ数が RFITH[2:0] ビットより小さい値から RFITH[2:0] ビットの値に達すると割り込み発生 1 : 受信メッセージの保存が終了すると割り込み発生	R/W
b15-b13	RFITH[2:0]	受信 FIFO 割り込みしきい値設定ビット	b15 b13 0 0 0 : FIFO 全体の 1/8 で割り込み発生 0 0 1 : FIFO 全体の 1/4 で割り込み発生 0 1 0 : FIFO 全体の 3/8 で割り込み発生 0 1 1 : FIFO 全体の 1/2 で割り込み発生 1 0 0 : FIFO 全体の 5/8 で割り込み発生 1 0 1 : FIFO 全体の 3/4 で割り込み発生 1 1 0 : FIFO 全体の 7/8 で割り込み発生 1 1 1 : FIFO フルで割り込み発生	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFICRn レジスタを使用して、2つの受信 FIFO の動作を設定します。

RFE ビット (受信 FIFO 許可ビット)

RFE ビットは FIFO を有効にします。本ビットを“0”にすると、受信 FIFO はクリアされます。
GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。
このビットは、FIFO 段数が 4 ~ 48 ($001b \leq FDS[2:0] \leq 101b$) の場合にのみ“1”にできます。
RFE ビットは、RFCRn レジスタの他のすべてのビットを設定した後、個別に“1”にしてください。
本ビットは、CANFD モジュールが GL_RESET モードのときに自動的に“0”になります。

RFIE ビット (受信 FIFO 割り込み許可ビット)

RFIE ビットは FIFO 割り込みの生成を許可します。
GL_SLEEP モードでは、値を変更できません。

PLS[2:0] ビット (ペイロードサイズ設定ビット)

PLS[2:0] ビットは、RAM 内のメッセージデータのペイロードサイズを定義します。
これは、この FIFO で受信可能な最大バイト数です。
GL_RESET モードでのみ、書き込み可能です。

FDS[2:0] ビット (FIFO 段数設定ビット)

FDS[2:0] ビットは、FIFO 段数をメッセージ数単位で選択します。FIFO 段数が 0 に設定されている場合、FIFO は使用できません。
GL_RESET モードでのみ、書き込み可能です。

RFIM ビット (受信 FIFO 割り込みモード設定ビット)

RFIM ビットは FIFO の割り込み発生条件を選択します。
GL_SLEEP モードでは、値を変更できません。
このビットへの書き込みは、GL_RESET モードでのみ行ってください。

RFITH[2:0] ビット (受信 FIFO 割り込みしきい値設定ビット)

RFITH[2:0] ビットは、受信 FIFO 割り込みを発生させるための FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する格納数を FIFO 段数に対する分数値で表しています。
GL_SLEEP モードでは、値を変更できません。
RFITH[2:0] ビットの設定には、FDS[2:0] ビットの値による制限があります。詳細は「34.6.2.1 FIFO バッファの設定」を参照してください。
このビットへの書き込みは、GL_RESET モードでのみ行ってください。

34.2.25 受信 FIFO n ステータスレジスタ (RFSRn) (n = 0, 1)

アドレス CANFD.RFSR0 000A 8044h, CANFD.RFSR1 000A 8048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FLVL[5:0]					—	—	—	—	RFIF	LOST	FULL	EMPTY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	受信 FIFO エンプティフラグ	0 : 受信 FIFO にメッセージあり 1 : 受信 FIFO にメッセージなし(空)	R
b1	FULL	受信 FIFO フルフラグ	0 : 受信 FIFO はフルではない 1 : 受信 FIFO はフル	R
b2	LOST	メッセージロストフラグ	0 : 受信 FIFO メッセージロスト未発生 1 : 受信 FIFO メッセージロスト発生	R/(W) (注1)
b3	RFIF	受信 FIFO 割り込みフラグ	0 : 受信 FIFO 割り込み条件が不成立 1 : 受信 FIFO 割り込み条件が成立	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	FLVL[5:0]	受信 FIFO 格納メッセージ数	受信 FIFO に格納されているメッセージ数を示します	R
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

RFSRn レジスタは、対応する FIFO バッファに保存されているメッセージの状態を表示します。

EMPTY フラグ (受信 FIFO エンプティフラグ)

EMPTY フラグは、以下の場合に自動的に“1”になります。

- FLVL[5:0] ビットが“00000b”のとき
- RFSRn.RFE ビットが“0”のとき (受信 FIFO は無効になります)
- CANFD モジュールが GL_RESET モードのとき

EMPTY フラグは、最初のメッセージが受信 FIFO に保存されると自動的に“0”になります。

FULL フラグ (受信 FIFO フルフラグ)

FULL フラグは、FIFO バッファに格納されたメッセージの数が設定した FIFO 段数と一致した場合に自動的に“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- FIFO バッファに格納されているメッセージの数が設定した FIFO 段数よりも少ない場合
- RFSRn.RFE ビットが“0”のとき (受信 FIFO は無効になります)
- CANFD モジュールが GL_RESET モードのとき

LOST フラグ (メッセージロストフラグ)

LOST フラグは、すでに FIFO バッファがフルのときにメッセージを格納しようとしたことによりメッセージが失われた場合に、自動的に“1”になります。CAN チャネルからのセットと書き込みアクセスによるクリアが同時に発生した場合は、“1”になります。

本フラグは、以下の場合に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき

LOST フラグへの書き込みは、GL_HALT モードまたは GL_OPERATION モードでのみ行います。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

RFIF フラグ (受信 FIFO 割り込みフラグ)

RFIF フラグは設定されている割り込み条件が満たされると自動的に“1”になります。受信 FIFO が無効の場合は自動的にクリアされません。

本フラグは、以下の場合に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき

本フラグへの書き込みは、GL_HALT モードまたは GL_OPERATION モードでのみ行ってください。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合、このフラグは“1”になります。

FLVL[5:0] ビット (受信 FIFO 格納メッセージ数)

FLVL[5:0] ビットは、受信 FIFO に格納されている CPU が読み出し可能なメッセージの数を示します。

これらのビットは、FIFO が無効になっているとき、および CANFD モジュールが GL_RESET モードになっているときに自動的に“000000b”になります。

34.2.26 受信 FIFO n ポインタ制御レジスタ (RFPCRn) (n = 0, 1)

アドレス CANFD.RFPCR0 000A 804Ch, CANFD.RFPCR1 000A 8050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RFPCRn レジスタを使用して、対応する受信 FIFO の読み出しポインタをインクリメントすることができます。

このレジスタに“000000FFh”を書き込むと、対応する受信 FIFO のポインタが次の FIFO エントリに移動します。この書き込みは、対応する受信 FIFO が有効かつ空でない場合にのみ行ってください。

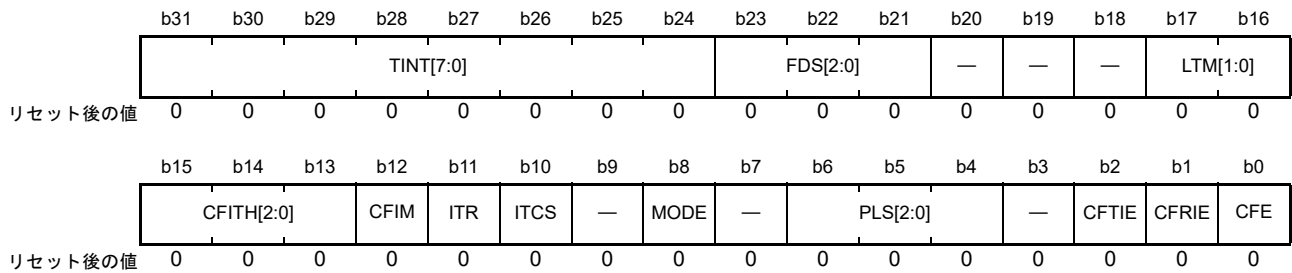
このレジスタの読み出し値は“00000000h”です。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込めます。

DTC/DMA 転送が許可されている (DTCR.RFDTE_n ビット = 1) 場合、RFPCRn レジスタへの書き込みは行わないでください。

34.2.27 共通 FIFO 0 設定レジスタ (CFCR0)

アドレス CANFD.CFCR0 000A 8054h



ビット	シンボル	ビット名	機能	R/W
b0	CFE	共通 FIFO 許可ビット	0 : FIFO 禁止 1 : FIFO 許可	R/W
b1	CFRIE	共通 FIFO 受信割り込み許可ビット	0 : FIFO 受信割り込み発生禁止 1 : FIFO 受信割り込み発生許可	R/W
b2	CFTIE	共通 FIFO 送信割り込み許可ビット	0 : FIFO 送信割り込み発生禁止 1 : FIFO 送信割り込み発生許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	PLS[2:0]	ペイロードサイズ設定ビット	b6 b4 0 0 0 : 8バイト 0 0 1 : 12バイト 0 1 0 : 16バイト 0 1 1 : 20バイト 1 0 0 : 24バイト 1 0 1 : 32バイト 1 1 0 : 48バイト 1 1 1 : 64バイト	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MODE	動作モード設定ビット	0 : 受信 FIFO モード 1 : 送信 FIFO モード	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	ITCS	インターバルタイマカウンタソース 選択ビット	0 : 基準クロック (× 1 / × 10 周期) 1 : ビットタイムクロック	R/W
b11	ITR	インターバルタイマ分解能選択ビッ ト	0 : 基準クロック周期 × 1 1 : 基準クロック周期 × 10	R/W
b12	CFIM	共通 FIFO 割り込みモード設定ビッ ト	受信 FIFO モード : 0 : 共通 FIFO の格納メッセージ数が CFITH[2:0] ビット より小さい値から CFITH[2:0] ビットの値に達する と受信割り込み発生 1 : 受信メッセージの保存が終了すると受信割り込み 発生 送信 FIFO モード : 0 : 共通 FIFO 内の最終メッセージの送信に成功したと きに送信割り込み発生 1 : メッセージ送信が成功するたびに送信割り込み発 生	R/W
b15-b13	CFITH[2:0]	共通 FIFO 受信割り込みしきい値設 定ビット	b15 b13 0 0 0 : FIFO 全体の 1/8 で割り込み発生 0 0 1 : FIFO 全体の 1/4 で割り込み発生 0 1 0 : FIFO 全体の 3/8 で割り込み発生 0 1 1 : FIFO 全体の 1/2 で割り込み発生 1 0 0 : FIFO 全体の 5/8 で割り込み発生 1 0 1 : FIFO 全体の 3/4 で割り込み発生 1 1 0 : FIFO 全体の 7/8 で割り込み発生 1 1 1 : FIFO フルで割り込み発生	R/W

ビット	シンボル	ビット名	機能	R/W
b17-b16	LTM[1:0]	リンク先送信メッセージバッファ指定ビット	対応するチャンネルの送信スキャンリンク位置	R/W
b20-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b21	FDS[2:0]	FIFO段数設定ビット	b23 b21 0 0 0 : 0メッセージ 0 0 1 : 4メッセージ 0 1 0 : 8メッセージ 0 1 1 : 16メッセージ 1 0 0 : 32メッセージ 1 0 1 : 48メッセージ 上記以外 : 設定禁止	R/W
b31-b24	TINT[7:0]	送信インターバル設定ビット	送信FIFOモード時、FIFOからの送信開始を遅延させます。遅延量はインターバルタイムカウンタソースの整数倍です	R/W

CFE ビット (共通 FIFO 許可ビット)

CFE ビットは FIFO を有効にします。このビットを“0”にすると、FIFO は無効になります。

また、このビットを“0”にすると、送信 FIFO モード時には共通 FIFO からの送信を中止でき、受信 FIFO モード時には共通 FIFO への受信を停止できます。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードでないときのみ書き込み可能です。

このビットは、FIFO 段数が 4 ~ 48 ($001b \leq FDS[2:0] \leq 101b$) の場合にのみ“1”にできます。

CFE ビットは、CFCR0 レジスタの他のすべてのビットを設定した後に、個別に“1”にしてください。

CANFD モジュールが GL_RESET モードの場合、このビットは自動的に“0”になります。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードになると、このビットは自動的に“0”になります。

CFRIE ビット (共通 FIFO 受信割り込み許可ビット)

共通 FIFO 受信割り込みを許可/禁止します。このビットが“1”の場合、対応する FIFO バッファにフレームを受信後、共通 FIFO 受信割り込みフラグが“1”になると、共通 FIFO 受信割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

CFTIE ビット (共通 FIFO 送信割り込み許可ビット)

共通 FIFO 送信割り込みを許可/禁止します。このビットが“1”の場合、対応する FIFO バッファのフレームを送信後、共通 FIFO 送信割り込みフラグが“1”になると、共通 FIFO 送信割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

PLS[2:0] ビット (ペイロードサイズ設定ビット)

PLS[2:0] ビットは、RAM 内のメッセージデータのペイロードサイズを定義します。これは、この FIFO バッファが送受信可能な最大バイト数です。

詳細は、「34.6 FIFO バッファとメッセージバッファの構成」を参照してください。

GL_RESET モードでのみ、書き込み可能です。

MODE ビット (動作モード設定ビット)

MODE ビットは、共通 FIFO の動作モードを選択するビットです。MCU リセットが適用されると、共通 FIFO はすべて受信 FIFO モードに設定されます。

GL_OPERATION モード、GL_SLEEP モードでは、値を変更できません。本ビットへの書き込みは、

GL_RESET モードでのみ行ってください。

ITCS ビット (インターバルタイマカウントソース選択ビット)

ITCS ビットは、送信インターバルタイマのカウントソースを選択します。

GL_SLEEP モードでは、値を変更できません。また、CFE ビットが“1”の場合は、本ビットへの書き込みを行わないでください。

CAN FD 通信を使用する場合は、本ビットを“1”にしないでください。

注． ビットタイムクロックは、公称ビットレートとデータビットレートの設定に応じて変化します。

ITR ビット (インターバルタイマ分解能選択ビット)

ITR ビットは、送信インターバルタイマのカウントソースに選択できる基準クロックの分解能を選択します。

GL_SLEEP モードでは、値を変更できません。また、CFE ビットを“1”にしている場合は、本ビットへの書き込みを行わないでください。

CFIM ビット (共通 FIFO 割り込みモード設定ビット)

CFIM ビットは、共通 FIFO 割り込みの発生条件を選択します。

GL_SLEEP モードでは、値を変更できません。

本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

CFITH[2:0] ビット (共通 FIFO 受信割り込みしきい値設定ビット)

CFITH[2:0] ビットは、共通 FIFO 受信割り込みを発生するための FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する格納数を FIFO 段数に対する分数値で表しています。

GL_SLEEP モードでは、値を変更できません。

CFITH[2:0] ビットの設定には、FDS[2:0] ビットの値による制限があります。詳細は「34.6.2.1 FIFO バッファの設定」を参照してください。

本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

LTM[1:0] ビット (リンク先送信メッセージバッファ指定ビット)

LTM[1:0] ビットは、送信スキャン用に、送信 FIFO モードに設定した共通 FIFO をリンクする送信メッセージバッファの番号を選択します。

GL_OPERATION モード、GL_SLEEP モードでは、値を変更できません。

本ビットへの書き込みは、GL_RESET モードでのみ行ってください。

FDS[2:0] ビット (FIFO 段数設定ビット)

FDS[2:0] ビットは、FIFO 段数をメッセージ数単位で選択します。FIFO 段数が 0 に設定されている場合、FIFO は使用できません。

本ビットは、GL_RESET モードでのみ書き込み可能です。

TINT[7:0] ビット (送信インターバル設定ビット)

TINT[7:0] ビットは、送信 FIFO モードに設定された共通 FIFO から送信されるすべてのメッセージに対して、送信開始時の遅延量を設定します。遅延量は、インターバルタイマのカウントソース周期 (基準クロック周期 × 1、基準クロック周期 × 10、またはビットタイムクロックの周期) の整数倍です。

GL_SLEEP モードでは、値を変更できません。

CFE ビットが“1”の場合は、本ビットへの書き込みを行わないでください。

GCFG.ITP[15:0] ビットを“0000h”にした場合、TINT[7:0] ビットも“00h”にしてください。

34.2.28 共通 FIFO 0 ステータスレジスタ (CFSR0)

アドレス CANFD.CFSR0 000A 8058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FLVL[5:0]					—	—	—	CFTIF	CFRIF	LOST	FULL	EMPTY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	共通 FIFO エンプティフラグ	0: 共通 FIFO にメッセージあり 1: 共通 FIFO にメッセージなし(空)	R
b1	FULL	共通 FIFO フルフラグ	0: 共通 FIFO はフルではない 1: 共通 FIFO はフル	R
b2	LOST	メッセージロストフラグ	0: 共通 FIFO メッセージロスト未発生 1: 共通 FIFO メッセージロスト発生	R/(W) (注1)
b3	CFRIF	共通 FIFO 受信割り込みフラグ	0: 共通 FIFO 受信割り込み条件が不成立 1: 共通 FIFO 受信割り込み条件が成立	R/(W) (注1)
b4	CFTIF	共通 FIFO 送信割り込みフラグ	0: 共通 FIFO 送信割り込み条件が不成立 1: 共通 FIFO 送信割り込み条件が成立	R/(W) (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	FLVL[5:0]	共通 FIFO 格納メッセージ数	共通 FIFO に格納されているメッセージ数を示します	R
b31-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

CFSR0 レジスタは、対応する FIFO バッファに保存されているメッセージのステータスを表示します。

EMPTY フラグ (共通 FIFO エンプティフラグ)

EMPTY フラグは、以下の場合に自動的に“1”になります。

- 受信 FIFO モード時、FIFO バッファから CPU がメッセージをすべて読み出したとき
- 送信 FIFO モード時、FIFO バッファからすべてのメッセージが送信されたとき
- CFCR0.CFE ビットを“0”にしたとき (共通 FIFO は無効になります)
- CANFD モジュールが GL_RESET モードのとき
- 送信 FIFO モード時、CAN チャンネルが CH_RESET モードになったとき

EMPTY フラグは、以下の場合に自動的に“0”になります。

- 受信 FIFO モード時、最初の受信メッセージが FIFO バッファに格納されたとき
- 送信 FIFO モード時、最初の送信メッセージが FIFO バッファに格納されたとき

FULL フラグ (共通 FIFO フルフラグ)

FULL フラグは、FIFO バッファに格納されたメッセージの数が、設定した FIFO 段数と一致した場合に自動的に“1”になります。

FULL フラグは、以下の場合に自動的に“0”になります。

- FIFO バッファに格納されているメッセージの数が、設定した FIFO 段数よりも少ない場合
- CFCR0.CFE ビットを“0”にしたとき (共通 FIFO は無効になります)

- CANFD モジュールが GL_RESET モードのとき
- 送信 FIFO モード時、CAN チャンネルが CH_RESET モードになった場合

LOST フラグ (メッセージロストフラグ)

LOST フラグは、受信 FIFO モード時に、すでに FIFO バッファがフルのときにメッセージを格納しようとしたことによりメッセージが失われた場合に、自動的に“1”になります。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合、本フラグは“1”になります。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードでないときのみ書き込み可能です。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

LOST フラグは、以下の場合に自動的に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき
- 送信 FIFO モード時、CAN チャンネルが CH_RESET モードになった場合

CFRIF フラグ (共通 FIFO 受信割り込みフラグ)

受信 FIFO モード時、設定されている割り込み条件が満たされると自動的に“1”になります。

CFRIF フラグは、共通 FIFO が無効の場合は自動的にクリアされません。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードでないときのみ書き込み可能です。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合は、本フラグは“1”になります。

CFRIF フラグは、以下の場合に自動的に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき

CFTIF フラグ (共通 FIFO 送信割り込みフラグ)

送信 FIFO モード時、設定されている割り込み条件が満たされると自動的に“1”になります。

CFTIF フラグは、共通 FIFO が無効の場合は自動的にクリアされません。

GL_HALT モードまたは GL_OPERATION モードでのみ、書き込み可能です。また、共通 FIFO が送信 FIFO モードに設定されている場合、CAN チャンネルが CH_RESET モードでないときのみ書き込み可能です。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

書き込みアクセスによるクリアと CAN チャンネルからのセットが同時に発生した場合は、本フラグは“1”になります。

CFTIF フラグは、以下の場合に自動的に“0”になります。

- “0”を書いたとき
- CANFD モジュールが GL_RESET モードのとき
- CAN チャンネルが CH_RESET モードになった場合

FLVL[5:0] ビット (共通 FIFO 格納メッセージ数)

FLVL[5:0] ビットは、以下の内容を示します。

- 送信 FIFO モード時 : CPU により格納された送信待ちのメッセージの数
- 受信 FIFO モード時 : CANFD により格納された、CPU が読み出し可能なメッセージの数

FLVL[5:0] ビットは、以下の場合に自動的に“0”になります。

- FIFO が無効になっているとき
- CANFD モジュールが GL_RESET モードのとき
- 送信 FIFO モード時、CAN チャンネルが CH_RESET モードになった場合

34.2.29 共通 FIFO 0 ポインタ制御レジスタ (CFPCR0)

アドレス CANFD.CFPCR0 000A 805Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CFPCR0 レジスタを使用して、対応する共通 FIFO の読み出しポインタまたは書き込みポインタをインクリメントすることができます。

このレジスタに“000000FFh”を書き込むと、受信 FIFO モード時は対応する共通 FIFO の読み出しポインタが、送信 FIFO モード時は対応する共通 FIFO の書き込みポインタが、次の FIFO エントリに移動します。

このレジスタの読み出し値は常に“00000000h”です。

本レジスタへの書き込みは、GL_HALT モードまたは GL_OPERATION モードでのみ行えます。

本レジスタへの書き込みは、以下の場合にのみ行ってください。

- 受信 FIFO モード時：FIFO バッファが有効で、空でない
- 送信 FIFO モード時：FIFO バッファが有効で、フルでない

DTC/DMA 転送が許可されている (DTCR.CFDTE0 ビット = 1) 場合、CFPCR0 レジスタへの書き込みを行わないでください。

34.2.30 FIFO エンプティステータスレジスタ (FESR)

アドレス CANFD.FESR 000A 8060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFEMP 0	—	—	—	—	—	—	RFEMP 1	RFEMP 0
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RFEMP0	受信 FIFO 0 エンプティフラグ	0: 受信 FIFO 0 にメッセージあり 1: 受信 FIFO 0 にメッセージなし (空)	R
b1	RFEMP1	受信 FIFO 1 エンプティフラグ	0: 受信 FIFO 1 にメッセージあり 1: 受信 FIFO 1 にメッセージなし (空)	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFEMP0	共通 FIFO 0 エンプティフラグ	0: 共通 FIFO 0 にメッセージあり 1: 共通 FIFO 0 にメッセージなし (空)	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

FESR レジスタは、FIFO バッファのエンプティフラグの状態を表示します。

RFEMP0 フラグ (受信 FIFO 0 エンプティフラグ)

RFEMP0 フラグは、RFSR0.EMPTY フラグが“1”になると“1”になり、RFSR0.EMPTY フラグが“0”になると“0”になります。

RFEMP0 フラグは、CANFD モジュールが GL_RESET モードのときに“1”になります。

RFEMP1 フラグ (受信 FIFO 1 エンプティフラグ)

RFEMP1 フラグは、RFSR1.EMPTY フラグが“1”になると“1”になり、RFSR1.EMPTY フラグが“0”になると“0”になります。

RFEMP1 フラグは、CANFD モジュールが GL_RESET モードのときに“1”になります。

CFEMP0 フラグ (共通 FIFO 0 エンプティフラグ)

CFEMP0 フラグは、CFSR0.EMPTY フラグが“1”になると“1”になり、CFSR0.EMPTY フラグが“0”になると“0”になります。

CFEMP0 フラグは、CANFD モジュールが GL_RESET モードのときに“1”になります。

34.2.31 FIFO フルステータスレジスタ (FFSR)

アドレス CANFD.FFSR 000A 8064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFFUL 0	—	—	—	—	—	—	RFFUL 1	RFFUL 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFFUL0	受信 FIFO 0 フルフラグ	0 : 受信 FIFO 0 はフルではない 1 : 受信 FIFO 0 はフル	R
b1	RFFUL1	受信 FIFO 1 フルフラグ	0 : 受信 FIFO 1 はフルではない 1 : 受信 FIFO 1 はフル	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFFUL0	共通 FIFO 0 フルフラグ	0 : 共通 FIFO 0 はフルではない 1 : 共通 FIFO 0 はフル	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

FFSR レジスタは、FIFO バッファのフルフラグの状態を示します。

RFFUL0 フラグ (受信 FIFO 0 フルフラグ)

RFFUL0 フラグは、RFSR0.FULL フラグが“1”になると“1”になり、RFSR0.FULL フラグが“0”になると“0”になります。

RFFUL0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

RFFUL1 フラグ (受信 FIFO 1 フルフラグ)

RFFUL1 フラグは、RFSR1.FULL フラグが“1”になると“1”になり、RFSR1.FULL フラグが“0”になると“0”になります。

RFFUL1 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

CFFUL0 フラグ (共通 FIFO 0 フルフラグ)

CFFUL0 フラグは、CFSR0.FULL フラグが“1”になると“1”になり、CFSR0.FULL フラグが“0”になると“0”になります。

CFFUL0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

34.2.32 FIFOメッセージロストステータスレジスタ (FMLSR)

アドレス CANFD.FMLSR 000A 8068h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFML0	—	—	—	—	—	—	RFML1	RFML0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFML0	受信FIFO 0メッセージロストフラグ	0: 受信FIFO 0でメッセージロスト未発生 1: 受信FIFO 0でメッセージロスト発生	R
b1	RFML1	受信FIFO 1メッセージロストフラグ	0: 受信FIFO 1でメッセージロスト未発生 1: 受信FIFO 1でメッセージロスト発生	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFML0	共通FIFO 0メッセージロストフラグ	0: 共通FIFO 0でメッセージロスト未発生 1: 共通FIFO 0でメッセージロスト発生	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

FMLSR レジスタには、FIFO バッファのメッセージロストフラグの状態を示します。

RFML0 フラグ (受信 FIFO 0 メッセージロストフラグ)

RFML0 フラグは、RFSR0.LOST フラグが“1”になると“1”になり、RFSR0.LOST フラグが“0”になると“0”になります。

RFML0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

RFML1 フラグ (受信 FIFO 1 メッセージロストフラグ)

RFML1 フラグは、RFSR1.LOST フラグが“1”になると“1”になり、RFSR1.LOST フラグが“0”になると“0”になります。

RFML1 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

CFML0 フラグ (共通 FIFO 0 メッセージロストフラグ)

CFML0 フラグは、CFSR0.LOST フラグが“1”になると“1”になり、CFSR0.LOST フラグが“0”になると“0”になります。

CFML0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

34.2.33 受信 FIFO 割り込みステータスレジスタ (RFISR)

アドレス CANFD.RFISR 000A 806Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFIF1	RFIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFIF0	受信 FIFO 0 割り込みフラグ	0 : 受信 FIFO 0 の割り込み発生条件は不成立 1 : 受信 FIFO 0 の割り込み発生条件が成立	R
b1	RFIF1	受信 FIFO 1 割り込みフラグ	0 : 受信 FIFO 1 の割り込み発生条件は不成立 1 : 受信 FIFO 1 の割り込み発生条件が成立	R
b31-b2	—	予約ビット	読むと“0”が読めます	R

RFISR レジスタは、受信 FIFO の割り込みフラグの状態を示します。

RFIF0 フラグ (受信 FIFO 0 割り込みフラグ)

RFIF0 フラグは、RFSR0.RFIF フラグが“1”になると“1”になり、RFSR0.RFIF フラグが“0”になると“0”になります。

RFIF0 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

RFIF1 フラグ (受信 FIFO 1 割り込みフラグ)

RFIF1 フラグは、RFSR1.RFIF フラグが“1”になると“1”になり、RFSR1.RFIF フラグが“0”になると“0”になります。

RFIF1 フラグは、CANFD モジュールが GL_RESET モードのときに“0”になります。

34.2.34 DMA 転送制御レジスタ (DTCR)

アドレス CANFD.DTCR 000A 80C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFDTE 0	—	—	—	—	—	—	RFDTE 1	RFDTE 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFDTE0	受信 FIFO 0 DMA 転送許可ビット	0 : DTC/DMA 転送要求を禁止 1 : DTC/DMA 転送要求を許可	R/W
b1	RFDTE1	受信 FIFO 1 DMA 転送許可ビット	0 : DTC/DMA 転送要求を禁止 1 : DTC/DMA 転送要求を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CFDTE0	共通 FIFO 0 DMA 転送許可ビット	0 : DTC/DMA 転送要求を禁止 1 : DTC/DMA 転送要求を許可	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCR レジスタは、DTC/DMA 転送動作の開始と停止を制御します。

RFDTE0 ビット (受信 FIFO 0 DMA 転送許可ビット)

RFDTE0 ビットは、受信 FIFO 0 の DTC/DMA 転送要求を許可または禁止します。

RFDTE0 ビットは、GL_SLEEP モードまたは GL_RESET モードでは“1”にできません。

本ビットは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

RFDTE1 ビット (受信 FIFO 1 DMA 転送許可ビット)

RFDTE1 ビットは、受信 FIFO 1 の DTC/DMA 転送要求を許可または禁止します。

RFDTE1 ビットは、GL_SLEEP モードまたは GL_RESET モードでは“1”にできません。

本ビットは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

CFDTE0 ビット (共通 FIFO 0 DMA 転送許可ビット)

CFDTE0 ビットは、共通 FIFO の DTC/DMA 転送要求を許可または禁止します。

共通 FIFO を送信 FIFO モードに設定した場合、DTC/DMA 転送を許可しないでください。

CFDTE0 ビットは、GL_SLEEP モードまたは GL_RESET モードでは“1”にできません。

本ビットは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

34.2.35 DMA 転送ステータスレジスタ (DTSR)

アドレス CANFD.DTSR 000A 80CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFDTS 0	—	—	—	—	—	—	RFDTSS 1	RFDTSS 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFDTSS0	受信 FIFO 0 DMA 転送ステータスフラグ	0 : DTC/DMA 転送停止 1 : DTC/DMA 転送実行中	R
b1	RFDTSS1	受信 FIFO 1 DMA 転送ステータスフラグ	0 : DTC/DMA 転送停止 1 : DTC/DMA 転送実行中	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b8	CFDTS0	共通 FIFO 0 DMA 転送ステータスフラグ	0 : DTC/DMA 転送停止 1 : DTC/DMA 転送実行中	R
b31-b9	—	予約ビット	読むと“0”が読めます	R

DTSR レジスタは、DTC/DMA 転送の状態を示します。

RFDTSS0 フラグ (受信 FIFO 0 DMA 転送ステータスフラグ)

RFDTSS0 フラグは、DTCR.RFDTE0 ビットが“1”で、受信 FIFO 0 が空でない場合に自動的に“1”になります。

本フラグは、RFDTE0 ビットが“0”になるか受信 FIFO 0 が空になって、DTC/DMA 転送が停止すると、自動的に“0”になります。

受信 FIFO 0 の DTC/DMA 転送が実行されているときに RFDTE0 ビットを“0”にすると、DTC/DMA 転送完了時に RFDTSS0 フラグが“0”になります。

このフラグは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

RFDTSS1 フラグ (受信 FIFO 1 DMA 転送ステータスフラグ)

RFDTSS1 フラグは、DTCR.RFDTE1 ビットが“1”で、受信 FIFO 1 が空でない場合に自動的に“1”になります。

本フラグは、RFDTE1 ビットが“0”になるか受信 FIFO 1 が空になって、DTC/DMA 転送が停止すると、自動的に“0”になります。

受信 FIFO 1 の DTC/DMA 転送が実行されているときに RFDTE1 ビットを“0”にすると、DTC/DMA 転送完了時に RFDTSS1 フラグが“0”になります。

このフラグは、CANFD モジュールが GL_RESET モードに入ると“0”になります。

CFDTS0 フラグ (共通 FIFO 0 DMA 転送ステータスフラグ)

CFDTS0 フラグは、DTCR.CFDTE0 ビットが“1”で、共通 FIFO 0 が空でない場合に自動的に“1”になります。

本フラグは、CFDTE0 ビットが“0”になるか共通 FIFO 0 が空になって、DTC/DMA 転送が停止すると、自動的に“0”になります。

共通 FIFO 0 の DTC/DMA 転送が実行されているときに CFDTE0 ビットを“0”にすると、DTC/DMA 転送完了時に CFDTS0 フラグが“0”になります。

このビットは、CANFD モジュールが GL_RESET モードのときに“0”になります。

34.2.36 送信メッセージバッファ n 制御レジスタ (TMCRn) (n = 0 ~ 3)

アドレス CANFD.TMCR0 000A 8070h, CANFD.TMCR1 000A 8071h, CANFD.TMCR2 000A 8072h, CANFD.TMCR3 000A 8073h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ONESHOT	TARQ	TXRQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXRQ	送信要求ビット	0: メッセージ送信を要求しない 1: メッセージ送信を要求する	R/W
b1	TARQ	送信アポート要求ビット	0: メッセージ送信アポートを要求しない 1: メッセージ送信アポートを要求する	R/W
b2	ONESHOT	ワンショット送信許可ビット	0: ワンショット送信を行わない 1: ワンショット送信を行う	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMCRn レジスタ (n=0 ~ 3) は、送信メッセージバッファの機能を設定します。

TXRQ ビット (送信要求ビット)

TXRQ ビットを“1”にすると、CANFD モジュールは、対応するメッセージバッファに格納されているメッセージを送信しようとします。

このビットへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

対応する送信メッセージバッファが送信 FIFO モードに設定した共通 FIFO とリンクされている場合、または送信キューに使用している場合、このビットは“1”にできません。

本ビットは、TMSRn.TXRF[1:0] フラグが“00b”になっている場合のみ“1”にできます。

本ビットを、CPU 書き込みによって“0”にすることはできません。TXRQ ビットは以下の場合に自動的に“0”になります。

- 送信が正常に終了したとき
- TARQ ビットによる送信アポート要求により、送信アポートが終了したとき
- ONESHOT ビットが“1”の場合に、CAN バスエラーまたはアービトレーションロストが検出されたとき
- CANFD モジュールが GL_RESET モードに入るか、または CAN チャンネルが CH_RESET モードに入ったとき

TARQ ビット (送信アポート要求ビット)

TARQ ビットを“1”にすると、CANFD モジュールは、対応するメッセージバッファに格納されているフレームの送信を中止しようとします。

送信のための内部スキャンが完了し、メッセージバッファが送信用に選択された後は、ほとんどの場合送信を中止することはできません。この場合、フレームはメッセージバッファから正常に送信されます。メッセージバッファの選択は、CH_HALT モードになると解除されます。

ただし、送信用に選択されたメッセージバッファから送信を開始する前に、CAN ノードがバス (受信端子) 上に新しいメッセージを検出した場合、アポート要求によって送信を中止することができます。

このビットへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。本ビットは、TXRQ ビットが“1”のときのみ“1”にできます。

本ビットを、CPU 書き込みによって“0”にすることはできません。CPU から“1”を書くのと CAN チャンネルからのクリアが同時に発生した場合は、本ビットは“0”になります。

TARQ ビットは以下の場合に自動的に“0”になります。

- 送信が正常に終了したとき
- 送信アボートが終了したとき
- CAN バスエラー、アービトレーションロストを検出したとき
- CANFD モジュールが GL_RESET モードに入るか、または CAN チャンネルが CH_RESET モードに入ったとき

ONESHOT ビット (ワンショット送信許可ビット)

ONESHOT ビットを“1”にすると、CANFD モジュールは、メッセージの送信を 1 回だけ試みます。

送信が正常に終了すると、TMSRn.TXRF[1:0] フラグは“10b”または“11b”になります。バスエラーまたはアービトレーションロストの検出により送信に失敗した場合、送信は自動的に中止され、TMSRn.TXRF[1:0] フラグが“01b”になります。

送信が正常に終了した場合、または CAN バスエラーやアービトレーションロストの検出により送信が中止された場合、ONESHOT ビットは“1”のままになります。

このビットへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

本ビットは、TXRQ ビットと同時に“1”にしてください。また、本ビットのクリアは書き込みで行ってください。

すでに送信を要求している場合は、送信が成功するか、送信が中止されるまで、本ビットへの書き込みは行わないでください。

ONESHOT ビットは、CANFD モジュールが GL_RESET モードに入るか、または CAN チャンネルが CH_RESET モードに入ると、自動的に“0”になります。

34.2.37 送信メッセージバッファ n ステータスレジスタ (TMSRn) (n = 0 ~ 3)

アドレス CANFD.TMSR0 000A 8074h, CANFD.TMSR1 000A 8075h, CANFD.TMSR2 000A 8076h, CANFD.TMSR3 000A 8077h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TARQS	TXRQS	TXRF[1:0]	TXSF	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXSF	送信ステータスフラグ	0: 送信中ではない 1: 送信中	R
b2-b1	TXRF[1:0]	送信結果フラグ	b2 b1 0 0: 結果なし(未送信または送信中) 0 1: 送信は中止された 1 0: 送信成功。送信アボート要求なし 1 1: 送信成功。送信アボート要求あり	R/W
b3	TXRQS	送信要求ステータスフラグ	0: 送信要求なし 1: 送信要求あり	R
b4	TARQS	送信アボート要求ステータスフラグ	0: 送信アボート要求なし 1: 送信アボート要求あり	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMSRn レジスタ (n = 0 ~ 3) は、送信メッセージバッファの送信状態と送信中止の状態を表します。

TXSF フラグ (送信ステータスフラグ)

TXSF フラグは、対応する送信メッセージバッファからの送信が開始されると自動的に“1”になります。本フラグは、以下の場合に自動的に“0”になります。

- 送信停止時
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

TXRF[1:0] フラグ (送信結果フラグ)

TXRF[1:0] フラグは、対応する送信メッセージバッファの送信結果を示します。

このフラグへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、当該フラグは“1”になります。

本フラグは、CANFD モジュールが GL_RESET モードまたは、CAN チャネルが CH_RESET モードのときに自動的に“00b”になります。

TXRQS フラグ (送信要求ステータスフラグ)

TXRQS フラグには、TMCRn.TXRQ ビットの値が反映されます。

TXRQ ビットが“1”になると“1”になり、TXRQ ビットが“0”になると“0”になります。

TARQS フラグ (送信アボート要求ステータスフラグ)

TARQS フラグには、TMCRn.TARQ ビットの値が反映されます。

TARQ ビットが“1”になると“1”になり、TARQ ビットが“0”になると“0”になります。

34.2.38 送信メッセージバッファ送信要求ステータスレジスタ 0 (TMTRSR0)

アドレス CANFD.TMTRSR0 000A 8078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TXRQS	TXRQS	TXRQS	TXRQS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	3	2	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TXRQS0	送信メッセージバッファ 0 送信要求ステータスフラグ	0 : 送信メッセージバッファ 0 に対する送信要求なし 1 : 送信メッセージバッファ 0 に対する送信要求あり	R
b1	TXRQS1	送信メッセージバッファ 1 送信要求ステータスフラグ	0 : 送信メッセージバッファ 1 に対する送信要求なし 1 : 送信メッセージバッファ 1 に対する送信要求あり	R
b2	TXRQS2	送信メッセージバッファ 2 送信要求ステータスフラグ	0 : 送信メッセージバッファ 2 に対する送信要求なし 1 : 送信メッセージバッファ 2 に対する送信要求あり	R
b3	TXRQS3	送信メッセージバッファ 3 送信要求ステータスフラグ	0 : 送信メッセージバッファ 3 に対する送信要求なし 1 : 送信メッセージバッファ 3 に対する送信要求あり	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMTRSR0 レジスタは、各送信メッセージバッファの送信要求の状態を示します。

TXRQSn フラグ (送信メッセージバッファ n 送信要求ステータスフラグ) (n = 0 ~ 3)

TXRQSn フラグは、TMCRn.TXRQ ビットの状態を表します。

各フラグは、TMCRn.TXRQ ビットが“1”で、メッセージバッファが送信キューに属していない場合のみ、“1”になります。

各フラグは、以下の場合に自動的に“0”になります。

- TMCRn.TXRQ ビットが“0”になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャンネルが CH_RESET モードに入ったとき

34.2.39 送信メッセージバッファ送信アポート要求ステータスレジスタ 0 (TMARSR0)

アドレス CANFD.TMARSR0 000A 807Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TARQS 3	TARQS 2	TARQS 1	TARQS 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TARQS0	送信メッセージバッファ0送信アポート要求ステータスフラグ	0: 送信メッセージバッファ0に対する送信アポート要求なし 1: 送信メッセージバッファ0に対する送信アポート要求あり	R
b1	TARQS1	送信メッセージバッファ1送信アポート要求ステータスフラグ	0: 送信メッセージバッファ1に対する送信アポート要求なし 1: 送信メッセージバッファ1に対する送信アポート要求あり	R
b2	TARQS2	送信メッセージバッファ2送信アポート要求ステータスフラグ	0: 送信メッセージバッファ2に対する送信アポート要求なし 1: 送信メッセージバッファ2に対する送信アポート要求あり	R
b3	TARQS3	送信メッセージバッファ3送信アポート要求ステータスフラグ	0: 送信メッセージバッファ3に対する送信アポート要求なし 1: 送信メッセージバッファ3に対する送信アポート要求あり	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMARSR0 レジスタは、各送信メッセージバッファの送信アポート要求の状態を示します。

TARQSn フラグ (送信メッセージバッファ n 送信アポート要求ステータフラグ) (n = 0 ~ 3)

TARQSn フラグは、TMCRn.TARQ ビットの状態を表します。

各フラグは、TMCRn.TARQ ビットが“1”になるか、メッセージバッファが送信キューに属している場合に、“1”になります。

各フラグは、以下の場合に自動的に“0”になります。

- TMCRn.TARQ ビットが“0”になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャンネルが CH_RESET モードに入ったとき

34.2.40 送信メッセージバッファ送信完了ステータスレジスタ 0 (TMTCSR0)

アドレス CANFD.TMTCSR0 000A 8080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TXCF3	TXCF2	TXCF1	TXCF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXCF0	送信メッセージバッファ 0 送信完了フラグ	0: 送信メッセージバッファ 0 の送信は完了していない 1: 送信メッセージバッファ 0 の送信が完了した	R
b1	TXCF1	送信メッセージバッファ 1 送信完了フラグ	0: 送信メッセージバッファ 1 の送信は完了していない 1: 送信メッセージバッファ 1 の送信が完了した	R
b2	TXCF2	送信メッセージバッファ 2 送信完了フラグ	0: 送信メッセージバッファ 2 の送信は完了していない 1: 送信メッセージバッファ 2 の送信が完了した	R
b3	TXCF3	送信メッセージバッファ 3 送信完了フラグ	0: 送信メッセージバッファ 3 の送信は完了していない 1: 送信メッセージバッファ 3 の送信が完了した	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMTCSR0 レジスタは、各送信メッセージバッファの送信完了の状態を示します。

TXCFn フラグ (送信メッセージバッファ n 送信完了フラグ) (n = 0 ~ 3)

TXCFn フラグは、送信メッセージバッファ n の送信完了の状態を表します。

本フラグは、TMSRn.TXRF[1] ビットが“1”になると自動的に“1”になります。

各フラグは、以下の場合に自動的に“0”になります。

- TMSRn.TXRF[1] ビットが“0”になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

34.2.41 送信メッセージバッファ送信アポートステータスレジスタ 0 (TMTASR0)

アドレス CANFD.TMTASR0 000A 8084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TAF3	TAF2	TAF1	TAF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TAF0	送信メッセージバッファ 0 送信アポートフラグ	0: 送信メッセージバッファ 0 の送信は中止されていない 1: 送信メッセージバッファ 0 の送信は中止された	R
b1	TAF1	送信メッセージバッファ 1 送信アポートフラグ	0: 送信メッセージバッファ 1 の送信は中止されていない 1: 送信メッセージバッファ 1 の送信は中止された	R
b2	TAF2	送信メッセージバッファ 2 送信アポートフラグ	0: 送信メッセージバッファ 2 の送信は中止されていない 1: 送信メッセージバッファ 2 の送信は中止された	R
b3	TAF3	送信メッセージバッファ 3 送信アポートフラグ	0: 送信メッセージバッファ 3 の送信は中止されていない 1: 送信メッセージバッファ 3 の送信は中止された	R
b31-b4	—	予約ビット	読むと“0”が読めます	R

TMTASR0 レジスタは、各送信メッセージバッファの送信アポートの状態を示します。

TAFn フラグ (送信メッセージバッファ n 送信アポートフラグ) (n = 0 ~ 3)

TAFn フラグは、送信メッセージバッファ n の送信アポートの状態を表します。

各フラグは、TMSRn.TXRF[1:0] フラグが“01b”になると自動的に“1”になります。

各フラグは、以下の場合に自動的に“0”になります。

- TMSRn.TXRF[1:0] フラグが“00b”になったとき
- CANFD モジュールが GL_RESET モードに入ったとき
- CAN チャネルが CH_RESET モードに入ったとき

34.2.42 送信メッセージバッファ割り込み許可レジスタ 0 (TMIER0)

アドレス CANFD.TMIER0 000A 8088h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	TMIE3	TMIE2	TMIE1	TMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMIE0	送信メッセージバッファ 0 割り込み許可ビット	0 : 送信メッセージバッファ 0 に対する割り込み禁止 1 : 送信メッセージバッファ 0 に対する割り込み許可	R/W
b1	TMIE1	送信メッセージバッファ 1 割り込み許可ビット	0 : 送信メッセージバッファ 1 に対する割り込み禁止 1 : 送信メッセージバッファ 1 に対する割り込み許可	R/W
b2	TMIE2	送信メッセージバッファ 2 割り込み許可ビット	0 : 送信メッセージバッファ 2 に対する割り込み禁止 1 : 送信メッセージバッファ 2 に対する割り込み許可	R/W
b3	TMIE3	送信メッセージバッファ 3 割り込み許可ビット	0 : 送信メッセージバッファ 3 に対する割り込み禁止 1 : 送信メッセージバッファ 3 に対する割り込み許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMIER0 レジスタは、各送信メッセージバッファに対する割り込みの許可 / 禁止を設定します。

TMIE_n ビット (送信メッセージバッファ n 割り込み許可ビット) (n = 0 ~ 3)

TMIE_n ビットが“1”になっている場合、送信メッセージバッファ n からの送信が正常に終了した時点で割り込みが発生します。

送信メッセージバッファに関する割り込みの仕様については、「34.10 割り込みと DTC/DMA 転送要求」を参照してください。

CANFD モジュールが GL_SLEEP モードの場合、このビットに書き込みはできません。

以下の場合、TMIE_n ビットへの書き込みはしないでください。

- CAN チャンネルが CH_SLEEP モードの場合
- 送信メッセージバッファ n が送信キューの一部である場合
- 送信メッセージバッファ n が、CFCR0.LTM[1:0] ビットによって共通 FIFO とリンクされている場合

34.2.43 送信キュー 0 設定レジスタ (TQCR0)

アドレス CANFD0.TQCR0 000A 808Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	QDS[1:0]	TQIM	—	TQIE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TQE	送信キュー許可ビット	0 : 送信キュー禁止 1 : 送信キュー許可	R/W
b4-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TQIE	送信キュー割り込み許可ビット	0 : 送信キュー送信割り込み禁止 1 : 送信キュー送信割り込み許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TQIM	送信キュー割り込みモード設定ビット	0 : 最後のメッセージが正常に送信されたときに割り込み発生 1 : 送信成功時に毎回割り込み発生	R/W
b9-b8	QDS[1:0]	キュー段数設定ビット	b9 b8 0 0 : 0段(無効) 0 1 : 設定しないでください 1 0 : 3段(送信メッセージバッファ 0~2) 1 1 : 4段(送信メッセージバッファ 0~3)	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TQCR0 レジスタは、送信キュー 0 を設定するためのレジスタです。

TQE ビット (送信キュー許可ビット)

TQE ビットは送信キューを有効にします。TQE ビットを“1”にすると、送信メッセージバッファを使用して送信キューが構成されます。

送信キューの段数が 0 (QDS[1:0] = 00b) の場合、TQE ビットを“1”にできません。

GL_SLEEP モードでは、値を変更できません。

また、本ビットへの書き込みは、CH_RESET モードまたは CH_SLEEP モードではできません。

TQE ビットは、CAN チャネルが CH_RESET モードのときに自動的に“0”になります。

TQIE ビット (送信キュー割り込み許可ビット)

TQIE ビットが“1”の場合、TQIM ビットの設定に基づいて割り込みが発生します。

GL_SLEEP モードでは、値を変更できません。

CH_SLEEP モードでは、本ビットへの書き込みを行わないでください。

TQIM ビット (送信キュー割り込みモード設定ビット)

TQIM ビットは送信キューの割り込み発生条件を選択します。

GL_SLEEP モードでは、値を変更できません。

CH_SLEEP モード、CH_HALT モードまたは CH_OPERATION モードでは、本ビットへの書き込みを行わないでください。

QDS[1:0] ビット (キュー段数設定ビット)

QDS[1:0] ビットは、送信キューの段数を選択します。

“10b”を選択した場合、送信メッセージバッファ 0～送信メッセージバッファ 2 が使用され、“11b”を選択した場合、送信メッセージバッファ 0～送信メッセージバッファ 3 が使用されます。

GL_SLEEP モードでは、値を変更できません。CH_HALT モード、CH_OPERATION モードでも、値を変更できません。

CH_SLEEP モードでは、本ビットへの書き込みを行わないでください。

34.2.44 送信キュー 0 ステータスレジスタ (TQSR0)

アドレス CANFD0.TQSR0 000A 8090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	FLVL[2:0]	—	—	—	—	—	—	TQIF	FULL	EMPTY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	送信キューエンプティフラグ	0: 送信キューにメッセージあり 1: 送信キューにメッセージなし(空)	R
b1	FULL	送信キューフルフラグ	0: 送信キューがフルではない 1: 送信キューがフル	R
b2	TQIF	送信キュー割り込みフラグ	0: 送信キュー割り込み条件が不成立 1: 送信キュー割り込み条件が成立	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	FLVL[2:0]	送信キュー格納メッセージ数	送信キューに格納されているメッセージの数を示します	R
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くとフラグの値は“0”になります。

TQSR0 レジスタは、送信キュー 0 の状態を示します。

EMPTY フラグ (送信キューエンプティフラグ)

このフラグは、以下の場合に自動的に“1”になります。

- TQCR0.TQE ビットを“0”(送信キュー禁止)にしたとき
- 送信キューにメッセージが格納されていないとき
- 送信キューから最後のメッセージが送信されたとき
- CAN チャネルが CH_RESET モードに入ったとき

本フラグは、最初の送信メッセージが送信キューに格納されると自動的に“0”になります。

FULL フラグ (送信キューフルフラグ)

FULL フラグは、送信キューに格納されているメッセージの数が、設定した送信キューの段数と一致した場合、自動的に“1”になります。

FULL フラグは、以下の場合に自動的に“0”になります。

- 送信キューに格納されているメッセージの数が、設定した送信キューの段数よりも少ない場合
- CAN チャネルが CH_RESET モードに入ったとき

TQIF フラグ (送信キュー割り込みフラグ)

TQIF フラグは、送信キューが禁止になっていると、クリアされません。

送信キューを停止させる場合、TQCR0.TQE ビットを“0”にし、送信キューが空になったことを確認した後、本フラグをクリアしてから停止させてください。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフ

ラグのみ“0”、他のフラグは“1”にして 32 ビット単位で書いてください。

送信キューに設定された割り込み条件が成立した場合、本フラグは自動的に“1”になります。

本フラグは、以下の場合に自動的に“0”になります。

- “0”を書いたとき
- CAN チャネルが CH_RESET モードに入ったとき
書き込みアクセスによるクリアと CAN チャネルからのセットが同時に発生した場合は、本フラグは“1”になります。

CH_SLEEP モードまたは CH_RESET モードでは、本フラグへの書き込みはできません。

FLVL[2:0] ビット (送信キュー格納メッセージ数)

FLVL[2:0] ビットは、送信キュー内のメッセージ数を示します。

これらのビットは、CAN チャネルが CH_RESET モードになると自動的に“000b”になります。

34.2.45 送信キュー 0 ポインタ制御レジスタ (TQPCR0)

アドレス CANFD0.TQPCR0 000A 8094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TQPCR0 レジスタを使用して、送信キューの書き込みポインタをインクリメントすることができます。

このレジスタに“000000FFh”を書き込むと、送信キューの書き込みポインタが更新され、既存のメッセージに対する送信要求が出力されます。

このレジスタの読み出し値は常に“00000000h”です。

CH_SLEEP モードまたは CH_RESET モードでは、このレジスタへの書き込みはできません。

本レジスタへの書き込みは、以下の場合にのみ行ってください。

- 送信キューが許可されており、フルではない場合

34.2.46 送信履歴設定レジスタ (THCR)

アドレス CANFD0.THCR 000A 8098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THRC	THIM	THIE	—	—	—	—	—	—	—	THE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	THE	送信履歴許可ビット	0: 送信履歴バッファ無効 1: 送信履歴バッファ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	THIE	送信履歴割り込み許可ビット	0: 送信履歴割り込み禁止 1: 送信履歴割り込み許可	R/W
b9	THIM	送信履歴割り込みモード設定ビット	0: 送信履歴が全体の3/4に達すると割り込み発生 1: 送信履歴を格納するたびに割り込み発生	R/W
b10	THRC	送信履歴記録条件設定ビット	0: 送信FIFO + 送信キュー 1: 送信メッセージバッファ + 送信FIFO + 送信キュー	R/W
b31-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

THCR レジスタは、送信履歴の機能を設定します。

THE ビット (送信履歴許可ビット)

THE ビットを“1”に設定すると、送信履歴バッファが有効になります。

CH_RESET モードまたは CH_SLEEP モードでは、値を変更できません。

本ビットは、CAN チャネルが CH_RESET モードの場合、自動的に“0”になります。

THIE ビット (送信履歴割り込み許可ビット)

THIE ビットを“1”に設定すると、送信履歴割り込みの生成を許可します。

GL_SLEEP モードでは、値を変更できません。

THIM ビット (送信履歴割り込みモード設定ビット)

THIM ビットは、送信履歴割り込みの生成条件を選択します。

GL_SLEEP モードでは、値を変更できません。

GL_HALT モードまたは GL_OPERATION モードでは、本ビットへの書き込みを行わないでください。

THRC ビット (送信履歴記録条件設定ビット)

THRC ビットは、送信成功後に送信履歴バッファに記録するときの条件を選択します。

GL_SLEEP モードでは、値を変更できません。

GL_HALT モードまたは GL_OPERATION モードでは、本ビットへの書き込みを行わないでください。

34.2.47 送信履歴ステータスレジスタ (THSR)

アドレス CANFD0.THSR 000A 809Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	FLVL[3:0]			—	—	—	—	THIF	LOST	FULL	EMPTY	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	EMPTY	送信履歴エンプティフラグ	0: 送信履歴バッファに送信履歴あり 1: 送信履歴バッファに送信履歴なし(空)	R
b1	FULL	送信履歴フルフラグ	0: 送信履歴バッファはフルではない 1: 送信履歴バッファはフル	R
b2	LOST	送信履歴ロストフラグ	0: 送信履歴のロストなし 1: 送信履歴のロストあり	R/(W) (注1)
b3	THIF	送信履歴割り込みフラグ	0: 送信履歴割り込み条件が不成立 1: 送信履歴割り込み条件が成立	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	FLVL[3:0]	送信履歴記録メッセージ数	送信履歴バッファに記録されている送信履歴の数を示します	R
b31-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”を書いてもフラグの値は変化しません。“0”を書くともフラグの値は“0”になります。

THSR レジスタは、送信履歴バッファに格納されているデータのステータスを示します。

EMPTY フラグ (送信履歴エンプティフラグ)

このフラグは、最初の送信履歴が送信履歴バッファに格納されると自動的に“0”になります。

このフラグは、以下の場合に自動的に“1”になります。

- CPU が送信履歴バッファからすべての送信履歴を読み出したとき
- THCR.THE ビットが“0” (送信履歴バッファ無効) のとき
- CAN チャンネルが CH_RESET モードに入ったとき

FULL フラグ (送信履歴フルフラグ)

FULL フラグは、送信履歴バッファに記録されている履歴の数が8になると、自動的に“1”になります。

このフラグは、以下の場合に自動的に“0”になります。

- 送信履歴バッファに記録されている履歴の数が8よりも少ないとき
- THCR.THE ビットが“0” (送信履歴バッファ無効) のとき
- CAN チャンネルが CH_RESET モードに入ったとき

LOST フラグ (送信履歴ロストフラグ)

LOST フラグは、すでに送信履歴バッファがフルで、新たな送信履歴を記録できなかったときに“1”になります。

このフラグへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして32ビット単位で書いてください。

書き込みアクセスによるクリアとCANチャネルからのセットが同時に発生した場合、本フラグは“1”になります。

このフラグは、以下の場合に“0”になります。

- “0”を書いたとき
- CANチャネルがCH_RESETモードの場合

THIFフラグ(送信履歴割り込みフラグ)

THIFフラグは、設定した割り込み条件が成立すると“1”になります。

このフラグへの書き込みは、CH_HALTモードまたはCH_OPERATIONモードでのみ行えます。

ビットクリア命令を使用してフラグをクリアしないでください。MOV 命令を使用して、クリアしたいフラグのみ“0”、他のフラグは“1”にして32ビット単位で書いてください。

書き込みアクセスによるクリアとCANチャネルからのセットが同時に発生した場合、本フラグは“1”になります。

このフラグは、以下の場合に“0”になります。

- “0”を書いたとき
- CANチャネルがCH_RESETモードの場合

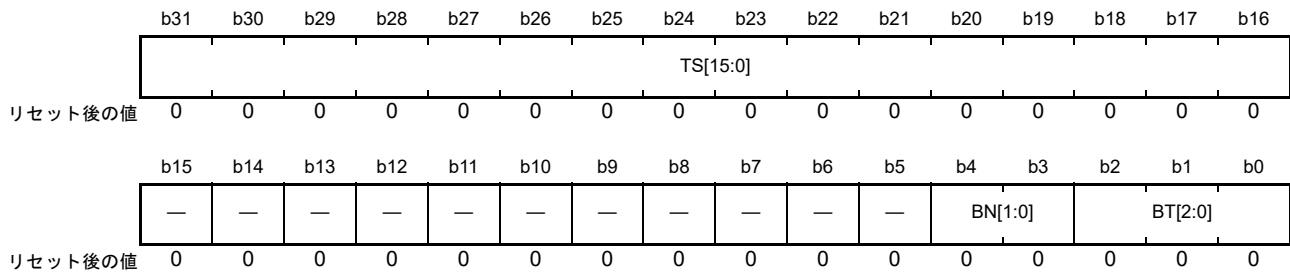
FLVL[3:0]ビット(送信履歴記録メッセージ数)

FLVL[3:0]ビットは、送信履歴バッファに記録されている送信履歴の数を示します。

これらのビットは、CANチャネルがCH_RESETモードのとき、自動的に“0000b”になります。

34.2.48 送信履歴アクセスレジスタ 0 (THACR0)

アドレス CANFD0.THACR0 000A 8740h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BT[2:0]	送信バッファタイプ	b2 b0 0 0 1 : 送信メッセージバッファ 0 1 0 : 共通FIFO 1 0 0 : 送信キュー	R
b4-b3	BN[1:0]	送信バッファ番号	メッセージバッファ番号を示します	R
b15-b5	—	予約ビット	読むと“0”が読めます	R
b31-b16	TS[15:0]	送信タイムスタンプ	送信タイムスタンプ値を示します	R

THACR0 レジスタを使用すると、読み出しポインタの値に基づいて送信履歴バッファ内の履歴にアクセスできます。

BT[2:0] ビット (送信バッファタイプ)

BT[2:0] ビットは、読み出した履歴が、どの種類のバッファから送信されたメッセージに対する送信履歴なのかを示します。

BN[1:0] ビット (送信バッファ番号)

BN[1:0] ビットは、読み出した履歴が、どの番号のバッファから送信されたメッセージに対する送信履歴なのかを示します。

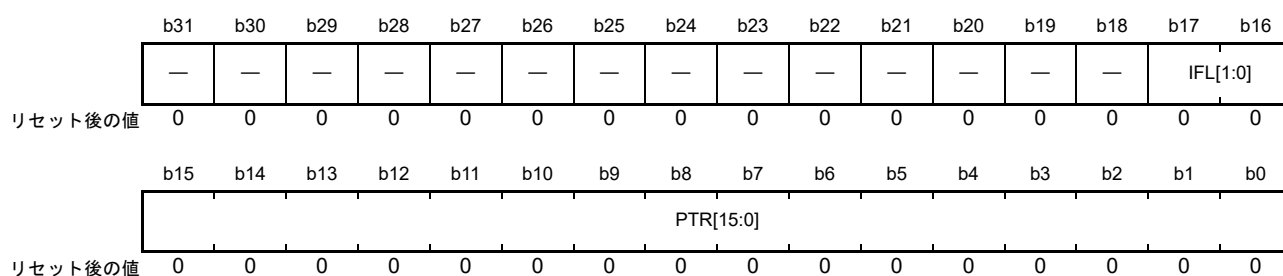
共通 FIFO の場合、リンクされている送信メッセージバッファの番号を示します。

TS[15:0] ビット (送信タイムスタンプ)

TS[15:0] ビットは、ソフトウェアドライバで使用するタイムスタンプを示します。

34.2.49 送信履歴アクセスレジスタ 1 (THACR1)

アドレス CANFD0.THACR1 000A 8744h



ビット	シンボル	ビット名	機能	R/W
b15-b0	PTR[15:0]	送信ポインタ	送信メッセージに付加したPTR[15:0]フィールドの値が格納されます	R
b17-b16	IFL[1:0]	送信情報ラベル	送信メッセージに付加したIFL[1:0]フィールドの値が格納されます	R
b31-b18	—	予約ビット	読むと“0”が読めます	R

THACR1 レジスタを使用すると、読み出しポインタの値に基づいて送信履歴バッファ内の履歴にアクセスできます。

PTR[15:0] ビット (送信ポインタ)

PTR[15:0] ビットには、送信メッセージに付加したポインタフィールド (TMBn.HF2.PTR[15:0] ビットまたはCFB0.HF2.PTR[15:0] ビット) の値が格納されています。

IFL[1:0] ビット (送信情報ラベル)

IFL[1:0] ビットには、送信メッセージに付加した情報ラベルフィールド (TMBn.HF2.IFL[1:0] ビットまたはCFB0.HF2.IFL[1:0] ビット) の値が格納されています。

34.2.50 送信履歴ポインタ制御レジスタ (THPCR)

アドレス CANFD0.THPCR 000A 80A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

THPCR レジスタは、送信履歴バッファの読み出しポインタをインクリメントするために使用します。

このレジスタに“000000FFh”を書き込むと、送信履歴バッファの読み出しポインタは次の履歴に移動します。

このレジスタの読み出し値は“00000000h”です。

本レジスタへの書き込みは、CH_HALT モードまたは CH_OPERATION モードでのみ行えます。

送信履歴バッファが有効で、空ではない場合のみ、本レジスタに“000000FFh”を書き込んでください。

34.2.51 グローバルリセット制御レジスタ (GRCR)

アドレス CANFD.GRCR 000A 80D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	SRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SRST	ソフトウェアリセットビット	0: ソフトウェアリセット解除 1: ソフトウェアリセット状態	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	SRSTビットの書き換えを制御します。読むと“00h”が読めます	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SRST ビット (ソフトウェアリセットビット)

SRST ビットを“1”にすると、CANFD モジュールは MCU をリセットしたときと同じ状態になります。リセットが必要な場合は、本ビットに“1”を書き込んだ後、“0”を書き込みます。

ソフトウェアリセットを解除すると、CANFD モジュールは GL_SLEEP モードになります。

ソフトウェアリセット後、RAM の初期化シーケンスは動作しません。RAM の初期化はソフトウェアで行ってください。

同様に、RAM の初期化中にソフトウェアリセットを実行した場合、RAM は初期化されません。RAM の初期化はソフトウェアで行ってください。

KEY[7:0] ビット (キーコード)

SRST ビットの値を書き換える場合、このビットを“C4h”にして 32 ビット単位で同時に書いてください。

34.2.52 グローバルテストモード設定レジスタ (GTMCR)

アドレス CANFD.GTMCR 000A 80A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	RTPS[3:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b19-b16	RTPS[3:0]	RAMテストページ選択ビット	テストするRAMのページを選択します	R/W
b31-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTMCR レジスタは、RAM テストモード時にテストする RAM のページ番号を指定するのに使用されます。

RTPS[3:0] ビット (RAM テストページ選択ビット)

RTPS[3:0] ビットは、CANFD モジュールが RAM テストモードに設定されている場合に、CPU から読み書きする RAM ページの番号を指定します。ページ番号は 0 ~ 9 の範囲で指定してください。

RAM テストモードの仕様については、「34.9.2.1 RAM テストモード」を参照してください。

GL_RESET モードまたは GL_SLEEP モードでは、これらのビットへの書き込みはできません。本ビットへの書き込みは、GL_HALT モードでのみ行ってください。

CAN チャネルが GL_RESET モードのとき、本ビットは自動的に“0000b”になります。

34.2.53 グローバルテストモード許可レジスタ (GTMER)

アドレス CANFD.GTMER 000A 80ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	RTME	RAMテストモード許可ビット	0 : RAMテストモード禁止 1 : RAMテストモード許可	R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTMERレジスタは、CANFDモジュールのグローバルテストモードを制御するために使用されます。

RTME ビット (RAM テストモード許可ビット)

RTME ビットを“1”にすると、CANFDモジュールはRAMテストモードになります。RAMテストモードの仕様については、「34.9.2.1 RAMテストモード」を参照してください。

このビットは、GL_HALTモードでのみ“1”にできます。RAMテストモードを終了する場合、GL_HALTモードでこのビットを“0”にしてください。

CANFDモジュールがGL_RESETモードに入ると、このビットは自動的に“0”になります。

34.2.54 グローバル CAN FD 設定レジスタ (GFDCFG)

アドレス CANFD.GFDCFG 000A 80B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TSCPS[1:0]	—	—	—	—	—	—	—	—	PXEDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PXEDIS	プロトコル例外イベント検出禁止ビット	0 : プロトコル例外イベント検出有効 1 : プロトコル例外イベント検出無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	TSCPS[1:0]	タイムスタンプ取得位置選択ビット	b9 b8 0 0 : SOF (Start Of Frame)のサンプルポイント 0 1 : フレームが有効であった場合のEOF (End Of Frame) 1 0 : SOFのサンプルポイント (Classical CANフレーム)、またはFDFビットに続く res ビットのサンプルポイント (CAN FDフレーム) 1 1 : 設定しないでください	R/W
b31-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PXEDIS ビット (プロトコル例外イベント検出禁止ビット)

PXEDIS ビットは、ISO 11898-1 に従ったプロトコル例外イベントの処理を設定します。

本ビットを“1”に設定すると、プロトコル例外イベントの検出は無効となり、プロトコル例外 (FDF ビットに続く res ビットがレセプシブだった) を検出したときはエラーフレームを送信します。

本ビットへの書き込みは、GL_RESET モードでのみ行えます。

TSCPS[1:0] ビット (タイムスタンプ取得位置選択ビット)

TSCPS[1:0] ビットは、送受信時のタイムスタンプの取得位置を選択するビットです。

TSCPS[1:0] ビットが“10b”の場合、CAN FD フレームでは FDF ビット直後の res ビットで、Classical CAN フレームでは SOF で、タイムスタンプを取得します。

本ビットへの書き込みは、GL_RESET モードでのみ行えます。

34.2.55 グローバルテストモードロックキーレジスタ (GTMLKR)

アドレス CANFD.GTMLKR 000A 80B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTMLKR レジスタは、RAM テストモードの保護を解除するために使用するレジスタです。

ロックキーの仕様については「34.9.2 グローバルテストモード」を参照してください。

CANFD モジュールをRAM テストモードにするには、このレジスタに2つのロック解除キーを連続したバスサイクルで書き込む必要があります。

本レジスタからの読み出し値は“00000000h”です。

GL_SLEEP モードまたはGL_RESET モードでは、このレジスタへの書き込みはできません。

GL_OPERATION モードでは、このレジスタに書き込みを行わないでください。

34.2.56 RAM テストページアクセスレジスタ k (RTPARK) (k = 0 ~ 63)

アドレス CANFD.RTPAR0 000A 8280h~CANFD.RTPAR63 000A 837Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

このレジスタの読み書きは、CANFD モジュールがRAM テストモードに設定されている場合に可能です。

本レジスタへの書き込みは、GL_HALT モードでRAM テストモードが有効の場合にのみ行えます。

34.2.57 アクセプタンスフィルタ無効エントリ設定レジスタ (AFIGSR)

アドレス CANFD.AFIGSR 000A 80C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	IGES[4:0]				b0
	—	—	—	—	—	—	—	—	—	—	—					—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0				0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IGES[4:0]	無効エントリ選択ビット	アクセプタンスフィルタ処理時に無視するルール番号を設定します。	R/W
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IGES[4:0] ビット (無効エントリ選択ビット)

IGES[4:0] ビットは、アクセプタンスフィルタを更新する際に、更新するルール番号を設定します。

本ビットへの書き込みは、AFIGER.IGEE ビットが“0”のときのみ行ってください。

GL_SLEEP モードでは、値を変更できません。

34.2.58 アクセプタンスフィルタ無効エントリ許可レジスタ (AFIGER)

アドレス CANFD.AFIGER 000A 80C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	IGEE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGEE	無効エントリ許可ビット	0 : AFIGSR.IGES[4:0]ビットの設定は無効 1 : AFIGSR.IGES[4:0]ビットの設定は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	IGEEビットの書き換えの可否を制御します	W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IGEE ビット (無効エントリ許可ビット)

IGEE ビットが“1”の場合、AFIGSR.IGES[4:0] ビットで選択されているエントリは無視されます。
本ビットは CANFD モジュールが GL_RESET モードのとき自動的に“0”になります。

KEY[7:0] ビット (キーコード)

KEY[7:0] ビットに“C4h”が書き込まれると、IGEE ビットへの書き込みが有効になります。
本ビットからの読み出し値は“00h”です。
IGEE ビットと KEY[7:0] ビットは同時に書き込んでください。

34.2.59 受信メッセージバッファ割り込み許可レジスタ (RMIER)

アドレス CANFD.RMIE00A 8038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RMIE3	RMIE3	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE2	RMIE1	RMIE1	RMIE1	RMIE1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMIE1	RMIE1	RMIE1	RMIE1	RMIE11	RMIE1	RMIE9	RMIE8	RMIE7	RMIE6	RMIE5	RMIE4	RMIE3	RMIE2	RMIE1	RMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RMIE0	受信メッセージバッファ 0 割り込み許可ビット	0: 受信メッセージバッファ 0 に対する割り込み禁止 1: 受信メッセージバッファ 0 に対する割り込み許可	R/W
b1	RMIE1	受信メッセージバッファ 1 割り込み許可ビット	0: 受信メッセージバッファ 1 に対する割り込み禁止 1: 受信メッセージバッファ 1 に対する割り込み許可	R/W
b2	RMIE2	受信メッセージバッファ 2 割り込み許可ビット	0: 受信メッセージバッファ 2 に対する割り込み禁止 1: 受信メッセージバッファ 2 に対する割り込み許可	R/W
b3	RMIE3	受信メッセージバッファ 3 割り込み許可ビット	0: 受信メッセージバッファ 3 に対する割り込み禁止 1: 受信メッセージバッファ 3 に対する割り込み許可	R/W
b4	RMIE4	受信メッセージバッファ 4 割り込み許可ビット	0: 受信メッセージバッファ 4 に対する割り込み禁止 1: 受信メッセージバッファ 4 に対する割り込み許可	R/W
b5	RMIE5	受信メッセージバッファ 5 割り込み許可ビット	0: 受信メッセージバッファ 5 に対する割り込み禁止 1: 受信メッセージバッファ 5 に対する割り込み許可	R/W
b6	RMIE6	受信メッセージバッファ 6 割り込み許可ビット	0: 受信メッセージバッファ 6 に対する割り込み禁止 1: 受信メッセージバッファ 6 に対する割り込み許可	R/W
b7	RMIE7	受信メッセージバッファ 7 割り込み許可ビット	0: 受信メッセージバッファ 7 に対する割り込み禁止 1: 受信メッセージバッファ 7 に対する割り込み許可	R/W
b8	RMIE8	受信メッセージバッファ 8 割り込み許可ビット	0: 受信メッセージバッファ 8 に対する割り込み禁止 1: 受信メッセージバッファ 8 に対する割り込み許可	R/W
b9	RMIE9	受信メッセージバッファ 9 割り込み許可ビット	0: 受信メッセージバッファ 9 に対する割り込み禁止 1: 受信メッセージバッファ 9 に対する割り込み許可	R/W
b10	RMIE10	受信メッセージバッファ 10 割り込み許可ビット	0: 受信メッセージバッファ 10 に対する割り込み禁止 1: 受信メッセージバッファ 10 に対する割り込み許可	R/W
b11	RMIE11	受信メッセージバッファ 11 割り込み許可ビット	0: 受信メッセージバッファ 11 に対する割り込み禁止 1: 受信メッセージバッファ 11 に対する割り込み許可	R/W
b12	RMIE12	受信メッセージバッファ 12 割り込み許可ビット	0: 受信メッセージバッファ 12 に対する割り込み禁止 1: 受信メッセージバッファ 12 に対する割り込み許可	R/W
b13	RMIE13	受信メッセージバッファ 13 割り込み許可ビット	0: 受信メッセージバッファ 13 に対する割り込み禁止 1: 受信メッセージバッファ 13 に対する割り込み許可	R/W
b14	RMIE14	受信メッセージバッファ 14 割り込み許可ビット	0: 受信メッセージバッファ 14 に対する割り込み禁止 1: 受信メッセージバッファ 14 に対する割り込み許可	R/W
b15	RMIE15	受信メッセージバッファ 15 割り込み許可ビット	0: 受信メッセージバッファ 15 に対する割り込み禁止 1: 受信メッセージバッファ 15 に対する割り込み許可	R/W
b16	RMIE16	受信メッセージバッファ 16 割り込み許可ビット	0: 受信メッセージバッファ 16 に対する割り込み禁止 1: 受信メッセージバッファ 16 に対する割り込み許可	R/W
b17	RMIE17	受信メッセージバッファ 17 割り込み許可ビット	0: 受信メッセージバッファ 17 に対する割り込み禁止 1: 受信メッセージバッファ 17 に対する割り込み許可	R/W
b18	RMIE18	受信メッセージバッファ 18 割り込み許可ビット	0: 受信メッセージバッファ 18 に対する割り込み禁止 1: 受信メッセージバッファ 18 に対する割り込み許可	R/W
b19	RMIE19	受信メッセージバッファ 19 割り込み許可ビット	0: 受信メッセージバッファ 19 に対する割り込み禁止 1: 受信メッセージバッファ 19 に対する割り込み許可	R/W

ビット	シンボル	ビット名	機能	R/W
b20	RMIE20	受信メッセージバッファ 20 割り込み許可ビット	0: 受信メッセージバッファ 20 に対する割り込み禁止 1: 受信メッセージバッファ 20 に対する割り込み許可	R/W
b21	RMIE21	受信メッセージバッファ 21 割り込み許可ビット	0: 受信メッセージバッファ 21 に対する割り込み禁止 1: 受信メッセージバッファ 21 に対する割り込み許可	R/W
b22	RMIE22	受信メッセージバッファ 22 割り込み許可ビット	0: 受信メッセージバッファ 22 に対する割り込み禁止 1: 受信メッセージバッファ 22 に対する割り込み許可	R/W
b23	RMIE23	受信メッセージバッファ 23 割り込み許可ビット	0: 受信メッセージバッファ 23 に対する割り込み禁止 1: 受信メッセージバッファ 23 に対する割り込み許可	R/W
b24	RMIE24	受信メッセージバッファ 24 割り込み許可ビット	0: 受信メッセージバッファ 24 に対する割り込み禁止 1: 受信メッセージバッファ 24 に対する割り込み許可	R/W
b25	RMIE25	受信メッセージバッファ 25 割り込み許可ビット	0: 受信メッセージバッファ 25 に対する割り込み禁止 1: 受信メッセージバッファ 25 に対する割り込み許可	R/W
b26	RMIE26	受信メッセージバッファ 26 割り込み許可ビット	0: 受信メッセージバッファ 26 に対する割り込み禁止 1: 受信メッセージバッファ 26 に対する割り込み許可	R/W
b27	RMIE27	受信メッセージバッファ 27 割り込み許可ビット	0: 受信メッセージバッファ 27 に対する割り込み禁止 1: 受信メッセージバッファ 27 に対する割り込み許可	R/W
b28	RMIE28	受信メッセージバッファ 28 割り込み許可ビット	0: 受信メッセージバッファ 28 に対する割り込み禁止 1: 受信メッセージバッファ 28 に対する割り込み許可	R/W
b29	RMIE29	受信メッセージバッファ 29 割り込み許可ビット	0: 受信メッセージバッファ 29 に対する割り込み禁止 1: 受信メッセージバッファ 29 に対する割り込み許可	R/W
b30	RMIE30	受信メッセージバッファ 30 割り込み許可ビット	0: 受信メッセージバッファ 30 に対する割り込み禁止 1: 受信メッセージバッファ 30 に対する割り込み許可	R/W
b31	RMIE31	受信メッセージバッファ 31 割り込み許可ビット	0: 受信メッセージバッファ 31 に対する割り込み禁止 1: 受信メッセージバッファ 31 に対する割り込み許可	R/W

RMIER レジスタは、各受信メッセージバッファに対する割り込みの許可 / 禁止を設定します。

RMIE_n ビット (受信メッセージバッファ n 割り込み許可ビット) (n = 0 ~ 31)

RMIE_n ビットを“1”にすると、受信メッセージバッファ n への受信が成功したときに割り込みが発生します。

受信メッセージバッファ割り込みの仕様については「34.10 割り込みと DTC/DMA 転送要求」を参照してください。

GL_SLEEP モードでは、値を変更できません。

34.2.60 IDビットの配置

標準フォーマット (11 ビット ID) : ID-28 ~ ID-18 は b10 ~ b0 に配置され、b28 ~ b11 は “0” です。

拡張フォーマット (29 ビット ID) : ID-28 ~ ID-0 は b28 ~ b0 に配置されています。

表 34.4 標準ID (11ビットフォーマット)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IDE = 0	RTR	—	0	0	0	0	0	0	0	0	0	0	0	0	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	ID-20	ID-19	ID-18

表 34.5 拡張ID (29ビットフォーマット)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
IDE = 1	RTR	—	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	ID-20	ID-19	ID-18	ID-17	ID-16

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0

34.2.61 メッセージバッファの構造

メッセージバッファは、4種類のメッセージバッファで構成されています。

- 受信メッセージバッファ (RMBn)
- 受信 FIFO (RFBn)
- 共通 FIFO (CFB0)
- 送信メッセージバッファ (TMBn)

n はメッセージバッファの種類により範囲が変わるメッセージバッファ番号です。

この構成の概要については、図 34.33 を参照してください。メッセージバッファの数や種類の詳細については、「34.6 FIFO バッファとメッセージバッファの構成」を参照してください。

34.2.61.1 開始アドレス

各メッセージバッファの開始アドレスは、メッセージバッファ番号を使って計算されます。

表 34.6 にメッセージバッファの各レジスタの開始アドレスを示します。

表 34.6 メッセージバッファの各レジスタの開始アドレス

メッセージバッファ	シンボル	n	レジスタ	p	開始アドレス
受信メッセージバッファ	RMBn	0~7	HF0	—	000A 8920h + n × 4Ch
			HF1	—	000A 8924h + n × 4Ch
			HF2	—	000A 8928h + n × 4Ch
			DFp	0~15	000A 892Ch + n × 4Ch + p × 4
	RMBn	8~15	HF0	—	000A 8D20h + (n - 8) × 4Ch
			HF1	—	000A 8D24h + (n - 8) × 4Ch
			HF2	—	000A 8D28h + (n - 8) × 4Ch
			DFp	0~15	000A 8D2Ch + (n - 8) × 4Ch + p × 4
	RMBn	16~23	HF0	—	000A 9120h + (n - 16) × 4Ch
			HF1	—	000A 9124h + (n - 16) × 4Ch
			HF2	—	000A 9128h + (n - 16) × 4Ch
			DFp	0~15	000A 912Ch + (n - 16) × 4Ch + p × 4
	RMBn	24~31	HF0	—	000A 9520h + (n - 24) × 4Ch
			HF1	—	000A 9524h + (n - 24) × 4Ch
			HF2	—	000A 9528h + (n - 24) × 4Ch
			DFp	0~15	000A 952Ch + (n - 24) × 4Ch + p × 4
受信FIFO	RFBn	0, 1	HF0	—	000A 8520h + n × 4Ch
			HF1	—	000A 8524h + n × 4Ch
			HF2	—	000A 8528h + n × 4Ch
			DFp	0~15	000A 852Ch + n × 4Ch + p × 4
共通FIFO	CFB0	0	HF0	—	000A 85B8h
			HF1	—	000A 85BCh
			HF2	—	000A 85C0h
			DFp	0~15	000A 85C4h + p × 4
送信メッセージバッファ	TMBn	0~3	HF0	—	000A 8604h + n × 4Ch
			HF1	—	000A 8608h + n × 4Ch
			HF2	—	000A 860Ch + n × 4Ch
			DFp	0~15	000A 8610h + n × 4Ch + p × 4

34.2.61.2 受信メッセージバッファ n (RMBn) (n = 0 ~ 31)

受信メッセージバッファ (RMB) の総数は、図 34.33 に示すように 32 個です。

受信メッセージバッファは、以下のレジスタで構成されています。

- RMBn.HF0
- RMBn.HF1
- RMBn.HF2
- RMBn.DF0 ~ RMBn.DF15

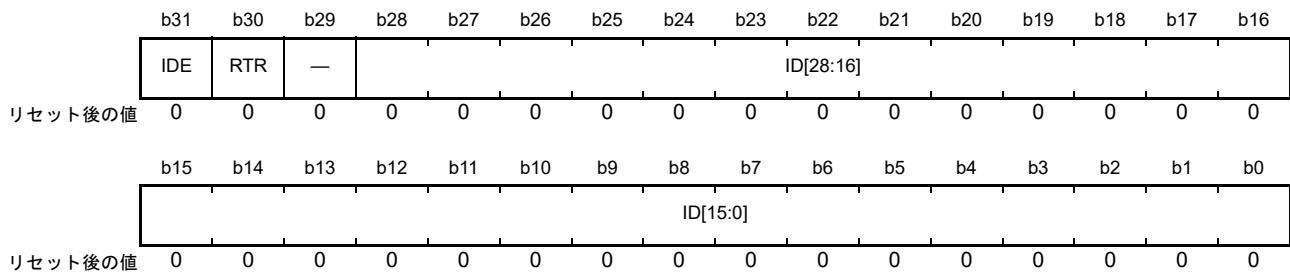
表 34.7 に、このバッファの構成を示します。

表 34.7 受信メッセージバッファの構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	RMBn.HF0	受信メッセージバッファ n ヘッダフィールド 0	IDE, RTR, ID
+04h	RMBn.HF1	受信メッセージバッファ n ヘッダフィールド 1	DLC, タイムスタンプ
+08h	RMBn.HF2	受信メッセージバッファ n ヘッダフィールド 2	ポインタ、情報ラベル、 FDF、BRS、ESI
+0Ch	RMBn.DF0	受信メッセージバッファ n データフィールド 0	DATA0 ~ DATA3
+10h	RMBn.DF1	受信メッセージバッファ n データフィールド 1	DATA4 ~ DATA7
+14h	RMBn.DF2	受信メッセージバッファ n データフィールド 2	DATA8 ~ DATA11
+18h	RMBn.DF3	受信メッセージバッファ n データフィールド 3	DATA12 ~ DATA15
+1Ch	RMBn.DF4	受信メッセージバッファ n データフィールド 4	DATA16 ~ DATA19
+20h	RMBn.DF5	受信メッセージバッファ n データフィールド 5	DATA20 ~ DATA23
+24h	RMBn.DF6	受信メッセージバッファ n データフィールド 6	DATA24 ~ DATA27
+28h	RMBn.DF7	受信メッセージバッファ n データフィールド 7	DATA28 ~ DATA31
+2Ch	RMBn.DF8	受信メッセージバッファ n データフィールド 8	DATA32 ~ DATA35
+30h	RMBn.DF9	受信メッセージバッファ n データフィールド 9	DATA36 ~ DATA39
+34h	RMBn.DF10	受信メッセージバッファ n データフィールド 10	DATA40 ~ DATA43
+38h	RMBn.DF11	受信メッセージバッファ n データフィールド 11	DATA44 ~ DATA47
+3Ch	RMBn.DF12	受信メッセージバッファ n データフィールド 12	DATA48 ~ DATA51
+40h	RMBn.DF13	受信メッセージバッファ n データフィールド 13	DATA52 ~ DATA55
+44h	RMBn.DF14	受信メッセージバッファ n データフィールド 14	DATA56 ~ DATA59
+48h	RMBn.DF15	受信メッセージバッファ n データフィールド 15	DATA60 ~ DATA63

34.2.61.3 受信メッセージバッファ n ヘッダフィールド 0 (RMBn.HF0) (n = 0 ~ 31)

アドレス CANFD.RMB0.HF0 000A 8920h, CANFD.RMB1.HF0 000A 896Ch, CANFD.RMB2.HF0 000A 89B8h,
CANFD.RMB3.HF0 000A 8A04h, CANFD.RMB4.HF0 000A 8A50h, CANFD.RMB5.HF0 000A 8A9Ch,
CANFD.RMB6.HF0 000A 8AE8h, CANFD.RMB7.HF0 000A 8B34h,
CANFD.RMB8.HF0 000A 8D20h, CANFD.RMB9.HF0 000A 8D6Ch, CANFD.RMB10.HF0 000A 8DB8h,
CANFD.RMB11.HF0 000A 8E04h, CANFD.RMB12.HF0 000A 8E50h, CANFD.RMB13.HF0 000A 8E9Ch,
CANFD.RMB14.HF0 000A 8EE8h, CANFD.RMB15.HF0 000A 8F34h,
CANFD.RMB16.HF0 000A 9120h, CANFD.RMB17.HF0 000A 916Ch, CANFD.RMB18.HF0 000A 91B8h,
CANFD.RMB19.HF0 000A 9204h, CANFD.RMB20.HF0 000A 9250h, CANFD.RMB21.HF0 000A 929Ch,
CANFD.RMB22.HF0 000A 92E8h, CANFD.RMB23.HF0 000A 9334h,
CANFD.RMB24.HF0 000A 9520h, CANFD.RMB25.HF0 000A 956Ch, CANFD.RMB26.HF0 000A 95B8h,
CANFD.RMB27.HF0 000A 9604h, CANFD.RMB28.HF0 000A 9650h, CANFD.RMB29.HF0 000A 969Ch,
CANFD.RMB30.HF0 000A 96E8h, CANFD.RMB31.HF0 000A 9734h



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R
b29	—	予約ビット	読むと“0”が読めます	R
b30	RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	R
b31	IDE	ID拡張ビット	0: 標準ID 1: 拡張ID	R

RMBn.HF0 レジスタ (n = 0 ~ 31) には、受信したメッセージの ID フィールド、IDE ビット、RTR ビットが格納されます。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットには、受信メッセージバッファに格納されているメッセージの標準 ID/ 拡張 ID フィールドが格納されます。

標準フォーマットと拡張フォーマットにおけるビット配置については、「34.2.60 ID ビットの配置」を参照してください。

RTR ビット (リモートフレーム要求ビット)

RTR ビットには、受信したメッセージの RTR ビット値が格納されます。

RTR ビットは、受信メッセージバッファにデータフレームとリモートフレームのどちらが格納されているかを示します。

注. CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを受信した場合、このビットには RRS ビットの値が反映されます。

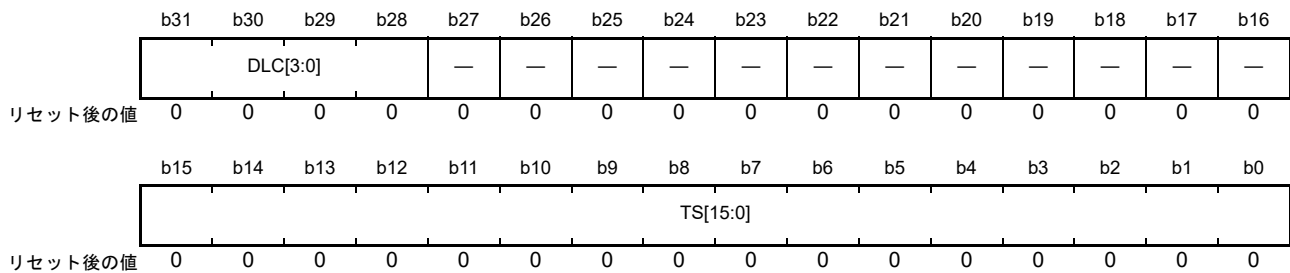
IDE ビット (ID 拡張ビット)

IDE ビットには、受信したメッセージの IDE ビット値が格納されます。

IDE ビットは、受信メッセージバッファに格納されているメッセージが標準 ID と拡張 ID のどちらを持っているかを示します。

34.2.61.4 受信メッセージバッファ n ヘッダフィールド 1 (RMBn.HF1) (n = 0 ~ 31)

アドレス CANFD.RMB0.HF1 000A 8924h, CANFD.RMB1.HF1 000A 8970h, CANFD.RMB2.HF1 000A 89BCh,
 CANFD.RMB3.HF1 000A 8A08h, CANFD.RMB4.HF1 000A 8A54h, CANFD.RMB5.HF1 000A 8AA0h,
 CANFD.RMB6.HF1 000A 8AECh, CANFD.RMB7.HF1 000A 8B38h,
 CANFD.RMB8.HF1 000A 8D24h, CANFD.RMB9.HF1 000A 8D70h, CANFD.RMB10.HF1 000A 8DBCh,
 CANFD.RMB11.HF1 000A 8E08h, CANFD.RMB12.HF1 000A 8E54h, CANFD.RMB13.HF1 000A 8EA0h,
 CANFD.RMB14.HF1 000A 8EECh, CANFD.RMB15.HF1 000A 8F38h,
 CANFD.RMB16.HF1 000A 9124h, CANFD.RMB17.HF1 000A 9170h, CANFD.RMB18.HF1 000A 91BCh,
 CANFD.RMB19.HF1 000A 9208h, CANFD.RMB20.HF1 000A 9254h, CANFD.RMB21.HF1 000A 92A0h,
 CANFD.RMB22.HF1 000A 92ECh, CANFD.RMB23.HF1 000A 9338h,
 CANFD.RMB24.HF1 000A 9524h, CANFD.RMB25.HF1 000A 9570h, CANFD.RMB26.HF1 000A 95BCh,
 CANFD.RMB27.HF1 000A 9608h, CANFD.RMB28.HF1 000A 9654h, CANFD.RMB29.HF1 000A 96A0h,
 CANFD.RMB30.HF1 000A 96ECh, CANFD.RMB31.HF1 000A 9738h



ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ	受信メッセージバッファに格納されているメッセージのタイムスタンプ値を示します	R
b27-b16	—	予約ビット	読むと“0”が読めます	R
b31-b28	DLC[3:0]	データ長コード	CANフレームで受信したデータバイト数を示します	R

RMBn.HF1 レジスタ (n = 0 ~ 31) には、受信したメッセージのデータ長コード (DLC) とタイムスタンプが格納されます。

TS[15:0] ビット (タイムスタンプ)

TS[15:0] ビットには、GFDCFG.TSCPS[1:0] ビットで指定したキャプチャポイントにおける受信メッセージのタイムスタンプ値が格納されます。

DLC[3:0] ビット (データ長コード)

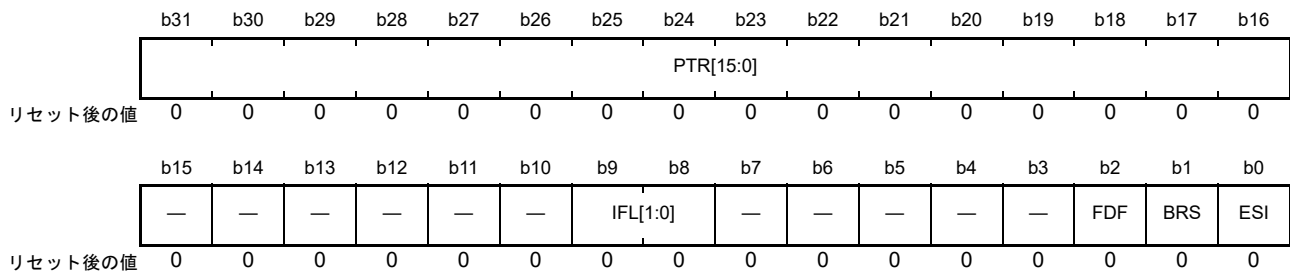
DLC[3:0] ビットには、受信したメッセージのデータバイト数が格納されます。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

注. バッファの最大データバイト数は、RMCR.PLS[2:0] ビットで指定します。

34.2.61.5 受信メッセージバッファ n ヘッダフィールド 2 (RMBn.HF2) (n = 0 ~ 31)

アドレス CANFD.RMB0.HF2 000A 8928h, CANFD.RMB1.HF2 000A 8974h, CANFD.RMB2.HF2 000A 89C0h,
CANFD.RMB3.HF2 000A 8A0Ch, CANFD.RMB4.HF2 000A 8A58h, CANFD.RMB5.HF2 000A 8AA4h,
CANFD.RMB6.HF2 000A 8AF0h, CANFD.RMB7.HF2 000A 8B3Ch,
CANFD.RMB8.HF2 000A 8D28h, CANFD.RMB9.HF2 000A 8D74h, CANFD.RMB10.HF2 000A 8DC0h,
CANFD.RMB11.HF2 000A 8E0Ch, CANFD.RMB12.HF2 000A 8E58h, CANFD.RMB13.HF2 000A 8EA4h,
CANFD.RMB14.HF2 000A 8EF0h, CANFD.RMB15.HF2 000A 8F3Ch,
CANFD.RMB16.HF2 000A 9128h, CANFD.RMB17.HF2 000A 9174h, CANFD.RMB18.HF2 000A 91C0h,
CANFD.RMB19.HF2 000A 920Ch, CANFD.RMB20.HF2 000A 9258h, CANFD.RMB21.HF2 000A 92A4h,
CANFD.RMB22.HF2 000A 92F0h, CANFD.RMB23.HF2 000A 933Ch,
CANFD.RMB24.HF2 000A 9528h, CANFD.RMB25.HF2 000A 9574h, CANFD.RMB26.HF2 000A 95C0h,
CANFD.RMB27.HF2 000A 960Ch, CANFD.RMB28.HF2 000A 9658h, CANFD.RMB29.HF2 000A 96A4h,
CANFD.RMB30.HF2 000A 96F0h, CANFD.RMB31.HF2 000A 973Ch



ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示フラグ	0 : エラーアクティブノードから受信したCAN FD フレーム 1 : エラーパッシブノードから受信したCAN FD フレーム	R
b1	BRS	ビットレートスイッチフラグ	0 : ビットレートスイッチなしで受信したCAN FD フレーム 1 : ビットレートスイッチ付きで受信したCAN FD フレーム	R
b2	FDf	FDフォーマット表示フラグ	0 : CAN FD フレーム以外を受信 1 : CAN FD フレームを受信	R
b7-b3	—	予約ビット	読むと“0”が読めます	R
b9-b8	IFL[1:0]	情報ラベル	アクセプタンスフィルタで付加された情報ラベルが格納されるフィールドです	R
b15-b10	—	予約ビット	読むと“0”が読めます	R
b31-b16	PTR[15:0]	ポインタ	アクセプタンスフィルタで付加されたポインタが格納されるフィールドです	R

RMBn.HF2 レジスタ (n=0 ~ 31) には、受信したメッセージの FDF ビット、BRS ビット、ESI フラグと、受信したメッセージに対するポインタが格納されます。

ESI フラグ (エラー状態表示フラグ)

ESI フラグには、受信した CAN FD フレームの ESI フラグ値が格納されます。

受信した FDF ビットが“0”の場合は、Classical CAN フレームを受信したことを意味し、このフラグに“0”が格納されます。

BRS フラグ (ビットレートスイッチフラグ)

BRS フラグには、受信した CAN FD フレームの BRS ビット値が格納されます。

受信した FDF ビットが“0”の場合は、Classical CAN フレームを受信したことを意味し、このフラグに“0”が格納されます。

FDF フラグ (FD フォーマット表示フラグ)

FDF フラグには、受信した CAN FD フレームの FDF ビット値が格納されます。

IFL[1:0] ビット (情報ラベル)

IFL[1:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定された情報ラベル値が格納されます。

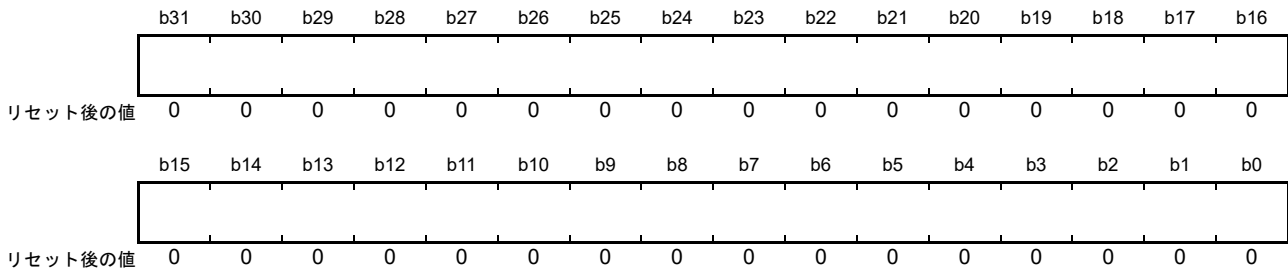
PTR[15:0] ビット (ポインタ)

PTR[15:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定されたポインタ値が格納されます。

34.2.61.6 受信メッセージバッファ n データフィールド p (RMBn.DFp) (n = 0 ~ 31、p = 0 ~ 15)

CANFD.RMB0.DF0 000A 892Ch ~ CANFD.RMB0.DF15 000A 8968h,
 CANFD.RMB1.DF0 000A 8978h ~ CANFD.RMB1.DF15 000A 89B4h,
 CANFD.RMB2.DF0 000A 89C4h ~ CANFD.RMB2.DF15 000A 8A00h,
 CANFD.RMB3.DF0 000A 8A10h ~ CANFD.RMB3.DF15 000A 8A4Ch,
 CANFD.RMB4.DF0 000A 8A5Ch ~ CANFD.RMB4.DF15 000A 8A98h,
 CANFD.RMB5.DF0 000A 8AA8h ~ CANFD.RMB5.DF15 000A 8AE4h,
 CANFD.RMB6.DF0 000A 8AF4h ~ CANFD.RMB6.DF15 000A 8B30h,
 CANFD.RMB7.DF0 000A 8B40h ~ CANFD.RMB7.DF15 000A 8B7Ch,
 CANFD.RMB8.DF0 000A 8D2Ch ~ CANFD.RMB8.DF15 000A 8D68h,
 CANFD.RMB9.DF0 000A 8D78h ~ CANFD.RMB9.DF15 000A 8DB4h,
 CANFD.RMB10.DF0 000A 8DC4h ~ CANFD.RMB10.DF15 000A 8E00h,
 CANFD.RMB11.DF0 000A 8E10h ~ CANFD.RMB11.DF15 000A 8E4Ch,
 CANFD.RMB12.DF0 000A 8E5Ch ~ CANFD.RMB12.DF15 000A 8E98h,
 CANFD.RMB13.DF0 000A 8EA8h ~ CANFD.RMB13.DF15 000A 8EE4h,
 CANFD.RMB14.DF0 000A 8EF4h ~ CANFD.RMB14.DF15 000A 8F30h,
 CANFD.RMB15.DF0 000A 8F40h ~ CANFD.RMB15.DF15 000A 8F7Ch,
 CANFD.RMB16.DF0 000A 912Ch ~ CANFD.RMB16.DF15 000A 9168h,
 CANFD.RMB17.DF0 000A 9178h ~ CANFD.RMB17.DF15 000A 91B4h,
 CANFD.RMB18.DF0 000A 91C4h ~ CANFD.RMB18.DF15 000A 9200h,
 CANFD.RMB19.DF0 000A 9210h ~ CANFD.RMB19.DF15 000A 924Ch,
 CANFD.RMB20.DF0 000A 925Ch ~ CANFD.RMB20.DF15 000A 9298h,
 CANFD.RMB21.DF0 000A 92A8h ~ CANFD.RMB21.DF15 000A 92E4h,
 CANFD.RMB22.DF0 000A 92F4h ~ CANFD.RMB22.DF15 000A 9330h,
 CANFD.RMB23.DF0 000A 9340h ~ CANFD.RMB23.DF15 000A 937Ch,
 CANFD.RMB24.DF0 000A 952Ch ~ CANFD.RMB24.DF15 000A 9568h,
 CANFD.RMB25.DF0 000A 9578h ~ CANFD.RMB25.DF15 000A 95B4h,
 CANFD.RMB26.DF0 000A 95C4h ~ CANFD.RMB26.DF15 000A 9600h,
 CANFD.RMB27.DF0 000A 9610h ~ CANFD.RMB27.DF15 000A 964Ch,
 CANFD.RMB28.DF0 000A 965Ch ~ CANFD.RMB28.DF15 000A 9698h,
 CANFD.RMB29.DF0 000A 96A8h ~ CANFD.RMB29.DF15 000A 96E4h,
 CANFD.RMB30.DF0 000A 96F4h ~ CANFD.RMB30.DF15 000A 9730h,
 CANFD.RMB31.DF0 000A 9740h ~ CANFD.RMB31.DF15 000A 977Ch

アドレス



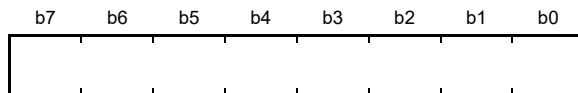
RMBn.DFp レジスタ (n = 0 ~ 31、p = 0 ~ 15) は、受信したメッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) が格納されているリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

34.2.61.7 受信メッセージバッファ n データ k (RMBn.DATAk) (n = 0 ~ 31、k = 0 ~ 63)

CANFD.RMB0.DATA0 000A 892Ch ~ CANFD.RMB0.DATA63 000A 896Bh,
 CANFD.RMB1.DATA0 000A 8978h ~ CANFD.RMB1.DATA63 000A 89B7h,
 CANFD.RMB2.DATA0 000A 89C4h ~ CANFD.RMB2.DATA63 000A 8A03h,
 CANFD.RMB3.DATA0 000A 8A10h ~ CANFD.RMB3.DATA63 000A 8A4Fh,
 CANFD.RMB4.DATA0 000A 8A5Ch ~ CANFD.RMB4.DATA63 000A 8A9Bh,
 CANFD.RMB5.DATA0 000A 8AA8h ~ CANFD.RMB5.DATA63 000A 8AE7h,
 CANFD.RMB6.DATA0 000A 8AF4h ~ CANFD.RMB6.DATA63 000A 8B33h,
 CANFD.RMB7.DATA0 000A 8B40h ~ CANFD.RMB7.DATA63 000A 8B7Fh,
 CANFD.RMB8.DATA0 000A 8D2Ch ~ CANFD.RMB8.DATA63 000A 8D6Bh,
 CANFD.RMB9.DATA0 000A 8D78h ~ CANFD.RMB9.DATA63 000A 8DB7h,
 CANFD.RMB10.DATA0 000A 8DC4h ~ CANFD.RMB10.DATA63 000A 8E03h,
 CANFD.RMB11.DATA0 000A 8E10h ~ CANFD.RMB11.DATA63 000A 8E4Fh,
 CANFD.RMB12.DATA0 000A 8E5Ch ~ CANFD.RMB12.DATA63 000A 8E9Bh,
 CANFD.RMB13.DATA0 000A 8EA8h ~ CANFD.RMB13.DATA63 000A 8EE7h,
 CANFD.RMB14.DATA0 000A 8EF4h ~ CANFD.RMB14.DATA63 000A 8F33h,
 CANFD.RMB15.DATA0 000A 8F40h ~ CANFD.RMB15.DATA63 000A 8F7Fh,
 CANFD.RMB16.DATA0 000A 912Ch ~ CANFD.RMB16.DATA63 000A 916Bh,
 CANFD.RMB17.DATA0 000A 9178h ~ CANFD.RMB17.DATA63 000A 91B7h,
 CANFD.RMB18.DATA0 000A 91C4h ~ CANFD.RMB18.DATA63 000A 9203h,
 CANFD.RMB19.DATA0 000A 9210h ~ CANFD.RMB19.DATA63 000A 924Fh,
 CANFD.RMB20.DATA0 000A 925Ch ~ CANFD.RMB20.DATA63 000A 929Bh,
 CANFD.RMB21.DATA0 000A 92A8h ~ CANFD.RMB21.DATA63 000A 92E7h,
 CANFD.RMB22.DATA0 000A 92F4h ~ CANFD.RMB22.DATA63 000A 9333h,
 CANFD.RMB23.DATA0 000A 9340h ~ CANFD.RMB23.DATA63 000A 937Fh,
 CANFD.RMB24.DATA0 000A 952Ch ~ CANFD.RMB24.DATA63 000A 956Bh,
 CANFD.RMB25.DATA0 000A 9578h ~ CANFD.RMB25.DATA63 000A 95B7h,
 CANFD.RMB26.DATA0 000A 95C4h ~ CANFD.RMB26.DATA63 000A 9603h,
 CANFD.RMB27.DATA0 000A 9610h ~ CANFD.RMB27.DATA63 000A 964Fh,
 CANFD.RMB28.DATA0 000A 965Ch ~ CANFD.RMB28.DATA63 000A 969Bh,
 CANFD.RMB29.DATA0 000A 96A8h ~ CANFD.RMB29.DATA63 000A 96E7h,
 CANFD.RMB30.DATA0 000A 96F4h ~ CANFD.RMB30.DATA63 000A 9733h,
 CANFD.RMB31.DATA0 000A 9740h ~ CANFD.RMB31.DATA63 000A 977Fh

アドレス



リセット後の値

RMBn.DATAk レジスタ (n = 0 ~ 31、k = 0 ~ 63) は、受信したメッセージのデータバイトが格納されているリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

34.2.61.8 受信 FIFO n (RFBn) (n = 0, 1)

受信 FIFO (RFB) の総数は、図 34.33 に示すように 2 個です。

受信 FIFO は、以下のレジスタで構成されています。

- RFBn.HF0
- RFBn.HF1
- RFBn.HF2
- RFBn.DF0 ~ RFBn.DF15

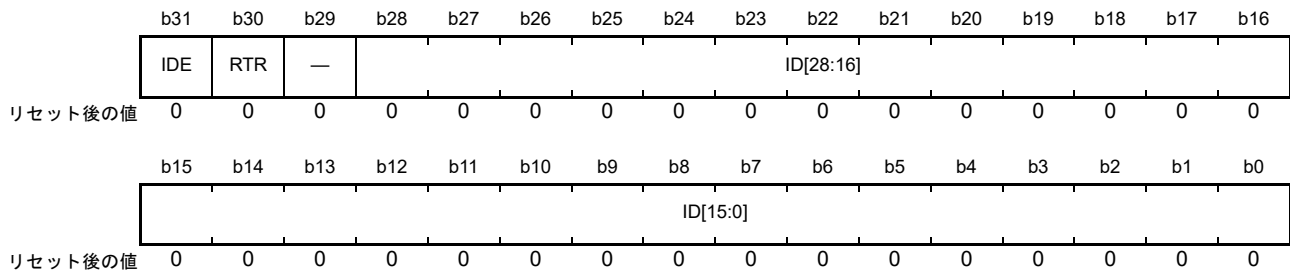
表 34.8 に、このバッファの構成を示します。

表 34.8 受信 FIFO の構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	RFBn.HF0	受信 FIFO n ヘッダフィールド 0	IDE, RTR, ID
+04h	RFBn.HF1	受信 FIFO n ヘッダフィールド 1	DLC、タイムスタンプ
+08h	RFBn.HF2	受信 FIFO n ヘッダフィールド 2	ポインタ、情報ラベル、 FDF、BRS、ESI
+0Ch	RFBn.DF0	受信 FIFO n データフィールド 0	DATA0 ~ DATA3
+10h	RFBn.DF1	受信 FIFO n データフィールド 1	DATA4 ~ DATA7
+14h	RFBn.DF2	受信 FIFO n データフィールド 2	DATA8 ~ DATA11
+18h	RFBn.DF3	受信 FIFO n データフィールド 3	DATA12 ~ DATA15
+1Ch	RFBn.DF4	受信 FIFO n データフィールド 4	DATA16 ~ DATA19
+20h	RFBn.DF5	受信 FIFO n データフィールド 5	DATA20 ~ DATA23
+24h	RFBn.DF6	受信 FIFO n データフィールド 6	DATA24 ~ DATA27
+28h	RFBn.DF7	受信 FIFO n データフィールド 7	DATA28 ~ DATA31
+2Ch	RFBn.DF8	受信 FIFO n データフィールド 8	DATA32 ~ DATA35
+30h	RFBn.DF9	受信 FIFO n データフィールド 9	DATA36 ~ DATA39
+34h	RFBn.DF10	受信 FIFO n データフィールド 10	DATA40 ~ DATA43
+38h	RFBn.DF11	受信 FIFO n データフィールド 11	DATA44 ~ DATA47
+3Ch	RFBn.DF12	受信 FIFO n データフィールド 12	DATA48 ~ DATA51
+40h	RFBn.DF13	受信 FIFO n データフィールド 13	DATA52 ~ DATA55
+44h	RFBn.DF14	受信 FIFO n データフィールド 14	DATA56 ~ DATA59
+48h	RFBn.DF15	受信 FIFO n データフィールド 15	DATA60 ~ DATA63

34.2.61.9 受信 FIFO n ヘッダフィールド 0 (RFBn.HF0) (n = 0, 1)

アドレス CANFD.RFB0.HF0 000A 8520h, CANFD.RFB1.HF0 000A 856Ch



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R
b29	—	予約ビット	読むと“0”が読めます	R
b30	RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	R
b31	IDE	ID拡張ビット	0: 標準ID 1: 拡張ID	R

RFBn.HF0 レジスタ (n = 0, 1) には、受信したメッセージの ID フィールド、IDE ビット、RTR ビットが格納されます。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットには、受信 FIFO に格納されているメッセージの標準 ID/ 拡張 ID フィールドが格納されます。

標準フォーマットと拡張フォーマットにおけるビット配置については、「34.2.60 ID ビットの配置」を参照してください。

RTR ビット (リモートフレーム要求ビット)

RTR ビットには、受信したメッセージの RTR ビット値が格納されます。

注. CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを受信した場合、このビットには RRS ビットの値が反映されます。

IDE ビット (ID 拡張ビット)

IDE ビットには、受信したメッセージの IDE ビット値が格納されます。

34.2.61.10 受信 FIFO n ヘッダフィールド 1 (RFBn.HF1) (n = 0, 1)

アドレス CANFD.RFB0.HF1 000A 8524h, CANFD.RFB1.HF1 000A 8570h



ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ	受信したCANフレームのタイムスタンプ値を示します	R
b27-b16	—	予約ビット	読むと“0”が読めます	R
b31-b28	DLC[3:0]	データ長コード	CANフレームで受信したデータバイト数を示します	R

RFBn.HF1 レジスタ (n = 0, 1) には、受信したメッセージのデータ長コード (DLC) とタイムスタンプが格納されます。

TS[15:0] ビット (タイムスタンプ)

TS[15:0] ビットには、GFDCFG.TSCPS[1:0] ビットで設定されたキャプチャポイントにおける受信メッセージのタイムスタンプ値が格納されます。

DLC[3:0] ビット (データ長コード)

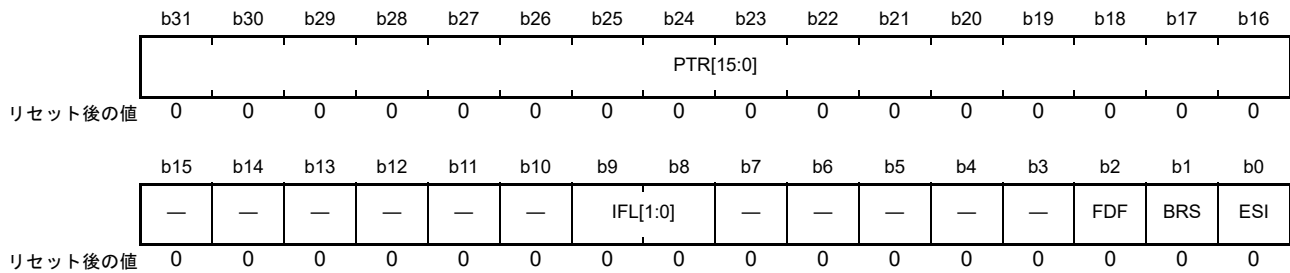
DLC[3:0] ビットには、受信したメッセージのデータバイト数が格納されます。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

注. バッファの最大データバイト数は、RFCRn.PLS[2:0] ビットで指定します。

34.2.61.11 受信 FIFO n ヘッダフィールド 2 (RFBn.HF2) (n = 0, 1)

アドレス CANFD.RFB0.HF2 000A 8528h, CANFD.RFB1.HF2 000A 8574h



ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示フラグ	0: エラーアクティブノードから受信したCAN FDフレーム 1: エラーパッシブノードから受信したCAN FDフレーム	R
b1	BRS	ビットレートスイッチフラグ	0: ビットレートスイッチなしで受信したCAN FDフレーム 1: ビットレートスイッチ付きで受信したCAN FDフレーム	R
b2	FDF	FDフォーマット表示フラグ	0: CAN FDフレーム以外を受信 1: CAN FDフレームを受信	R
b7-b3	—	予約ビット	読むと“0”が読めます	R
b9-b8	IFL[1:0]	情報ラベル	アクセプタンスフィルタで付加された情報ラベルが格納されるフィールドです	R
b15-b10	—	予約ビット	読むと“0”が読めます	R
b31-b16	PTR[15:0]	ポインタ	アクセプタンスフィルタで付加されたポインタが格納されるフィールドです	R

RFBn.HF2 レジスタ (n = 0, 1) には、受信したメッセージの FDF ビット、BRS ビット、ESI フラグと、受信したメッセージに対するポインタが格納されます。

ESI フラグ (エラー状態表示フラグ)

ESI フラグには、受信した CAN FD フレームの ESI フラグ値が格納されます。

受信した FDF ビットが“0”の場合は、Classical CAN フレームを受信したことを意味し、このフラグに“0”が格納されます。

BRS フラグ (ビットレートスイッチフラグ)

BRS フラグには、受信した CAN FD フレームの BRS ビット値が格納されます。

受信した FDF ビットが“0”の場合は、Classical CAN フレームを受信したことを意味し、このフラグに“0”が格納されます。

FDF フラグ (FD フォーマット表示フラグ)

FDF フラグには、受信した CAN FD フレームの FDF ビット値が格納されます。

IFL[1:0] ビット (情報ラベル)

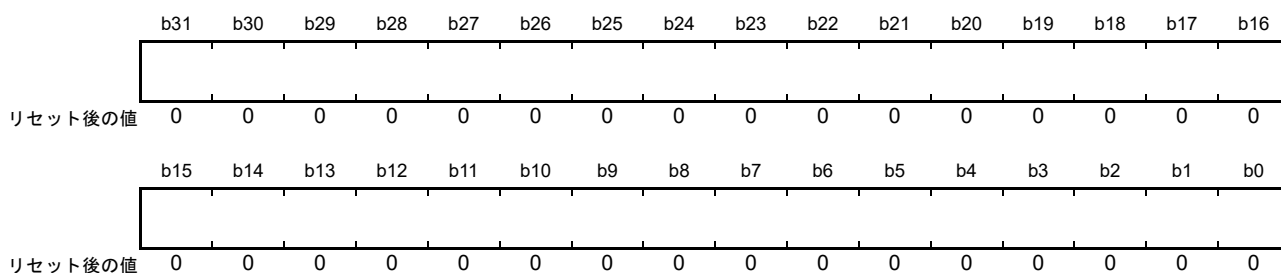
IFL[1:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定された情報ラベル値が格納されます。

PTR[15:0] ビット (ポインタ)

PTR[15:0] ビットには、アクセプタンスフィルタリストの対応するエントリに設定されたポインタ値が格納されます。

34.2.61.12 受信 FIFO n データフィールド p (RFBn.DFp) (n = 0, 1、p = 0 ~ 15)

アドレス CANFD.RFB0.DF0 000A 852Ch ~ CANFD.RFB0.DF15 000A 8568h,
CANFD.RFB1.DF0 000A 8578h ~ CANFD.RFB1.DF15 000A 85B4h

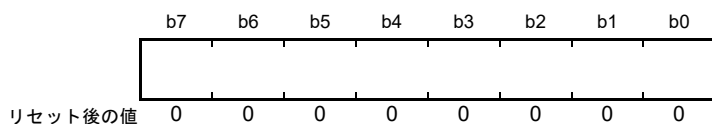


RFBn.DFp レジスタ (n = 0, 1、p = 0 ~ 15) は、受信したメッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) が格納されているリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

34.2.61.13 受信 FIFO n データ k (RFBn.DATAk) (n = 0, 1、k = 0 ~ 63)

アドレス CANFD.RFB0.DATA0 000A 852Ch ~ CANFD.RFB0.DATA63 000A 856Bh,
CANFD.RFB1.DATA0 000A 8578h ~ CANFD.RFB1.DATA63 000A 85B7h



RFBn.DATAk レジスタ (n = 0, 1、k = 0 ~ 63) は、受信したメッセージのデータバイトが格納されているリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

34.2.61.14 共通 FIFO 0 (CFB0)

共通 FIFO (CFB) の総数は、図 34.33 に示すように 1 個です。

CFB0 は、以下のレジスタで構成されています。

- CFB0.HF0
- CFB0.HF1
- CFB0.HF2
- CFB0.DF0 ~ CFB0.DF15

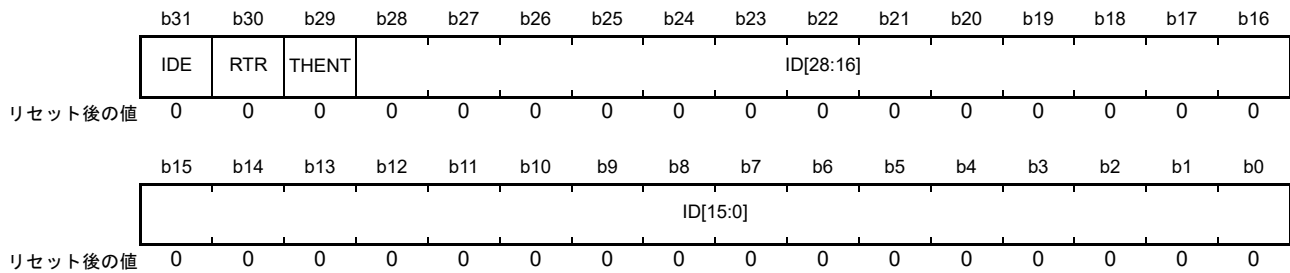
表 34.9 に、このバッファコンポーネントの構造を示します。

表 34.9 共通 FIFO の構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	CFB0.HF0	共通 FIFO 0 ヘッダフィールド 0	IDE, RTR, ID
+04h	CFB0.HF1	共通 FIFO 0 ヘッダフィールド 1	DLC、タイムスタンプ
+08h	CFB0.HF2	共通 FIFO 0 ヘッダフィールド 2	ポインタ、情報ラベル、 FDF、BRS、ESI
+0Ch	CFB0.DF0	共通 FIFO 0 データフィールド 0	DATA0 ~ DATA3
+10h	CFB0.DF1	共通 FIFO 0 データフィールド 1	DATA4 ~ DATA7
+14h	CFB0.DF2	共通 FIFO 0 データフィールド 2	DATA8 ~ DATA11
+18h	CFB0.DF3	共通 FIFO 0 データフィールド 3	DATA12 ~ DATA15
+1Ch	CFB0.DF4	共通 FIFO 0 データフィールド 4	DATA16 ~ DATA19
+20h	CFB0.DF5	共通 FIFO 0 データフィールド 5	DATA20 ~ DATA23
+24h	CFB0.DF6	共通 FIFO 0 データフィールド 6	DATA24 ~ DATA27
+28h	CFB0.DF7	共通 FIFO 0 データフィールド 7	DATA28 ~ DATA31
+2Ch	CFB0.DF8	共通 FIFO 0 データフィールド 8	DATA32 ~ DATA35
+30h	CFB0.DF9	共通 FIFO 0 データフィールド 9	DATA36 ~ DATA39
+34h	CFB0.DF10	共通 FIFO 0 データフィールド 10	DATA40 ~ DATA43
+38h	CFB0.DF11	共通 FIFO 0 データフィールド 11	DATA44 ~ DATA47
+3Ch	CFB0.DF12	共通 FIFO 0 データフィールド 12	DATA48 ~ DATA51
+40h	CFB0.DF13	共通 FIFO 0 データフィールド 13	DATA52 ~ DATA55
+44h	CFB0.DF14	共通 FIFO 0 データフィールド 14	DATA56 ~ DATA59
+48h	CFB0.DF15	共通 FIFO 0 データフィールド 15	DATA60 ~ DATA63

34.2.61.15 共通 FIFO 0 ヘッドフィールド 0 (CFB0.HF0)

アドレス CANFD.CFB0.HF0 000A 85B8h



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R/W
b29	THENT	送信履歴エントリビット	受信FIFOモード： 予約ビット。読むと“0”が読めます 送信FIFOモード： 0：送信成功後、エントリを送信履歴に格納しない 1：送信成功後、エントリを送信履歴に格納する	R/W
b30	RTR	リモートフレーム要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット	0：標準ID 1：拡張ID	R/W

受信 FIFO モードの場合、CFB0.HF0 レジスタは、FIFO バッファ先頭から受信メッセージの ID フィールド、IDE ビット、RTR ビットを読み出すためのリードオンリのレジスタです。

送信 FIFO モードの場合、CFB0.HF0 レジスタは、FIFO バッファ末尾に送信するメッセージの ID フィールド、IDE ビット、RTR ビットを書き込むためのリード/ライト可能なレジスタです。

ID[28:0] ビット (ID フィールド)

受信 FIFO モードでは、受信したメッセージの標準 ID/ 拡張 ID フィールドが格納されます。

送信 FIFO モードでは、送信するメッセージの標準 ID/ 拡張 ID フィールドの値を指定するビットです。

標準フォーマットと拡張フォーマットにおけるビット配置については、「34.2.60 ID ビットの配置」を参照してください。

THENT ビット (送信履歴エントリビット)

送信 FIFO モードの場合のみ有効です。

THENT ビットは、メッセージの送信が成功した後、対応するエントリを送信履歴に格納するかどうかを制御します。

RTR ビット (リモートフレーム要求ビット)

受信 FIFO モードでは、受信したメッセージの RTR ビット値が格納されます。

送信 FIFO モードでは、送信するメッセージの RTR ビット値を指定するビットです。

注． CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを受信した場合 (受信モード)、このビットには RRS ビットの値が反映されます。CAN FD フレームを送信する (CFB0.HF2.FDF = 1) 場合、このビットの値にかかわらずドミナントが送信されます。

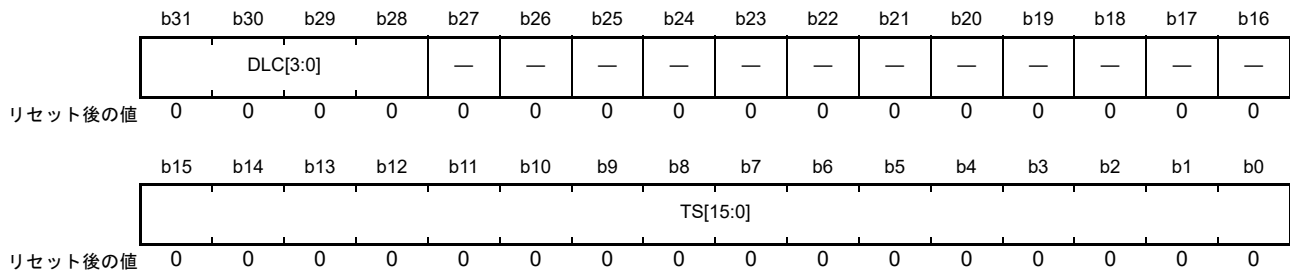
IDE ビット (ID 拡張ビット)

受信 FIFO モードでは、受信したメッセージの IDE ビット値が格納されます。

送信 FIFO モードでは、送信するメッセージの IDE ビット値を指定するビットです。

34.2.61.16 共通 FIFO 0 ヘッダフィールド 1 (CFB0.HF1)

アドレス CANFD.CFB0.HF1 000A 85BCh



ビット	シンボル	ビット名	機能	R/W
b15-b0	TS[15:0]	タイムスタンプ	受信したCANフレームのタイムスタンプ値を示します(受信FIFOモード時)	R/W
b27-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b28	DLC[3:0]	データ長コード	CANフレームで受信されたデータバイト数、またはCANフレームで送信されるデータバイト数を示します	R/W

受信 FIFO モードの場合、CFB0.HF1 レジスタは、FIFO バッファ先頭から受信メッセージのデータ長コード (DLC) とタイムスタンプを読み出すためのリードオンのレジスタです。

送信 FIFO モードの場合、CFB0.HF1 レジスタは、FIFO バッファ末尾に送信メッセージのデータ長コード (DLC) を書き込むためのリード/ライト可能なレジスタです。

TS[15:0] ビット (タイムスタンプ)

受信 FIFO モードの場合のみ有効です。

TS[15:0] ビットには、GFDCFG.TSCPS[1:0] ビットで設定されたキャプチャポイントにおける受信メッセージのタイムスタンプ値が格納されます。

DLC[3:0] ビット (データ長コード)

受信 FIFO モードの場合、受信したメッセージのデータバイト数を示します。

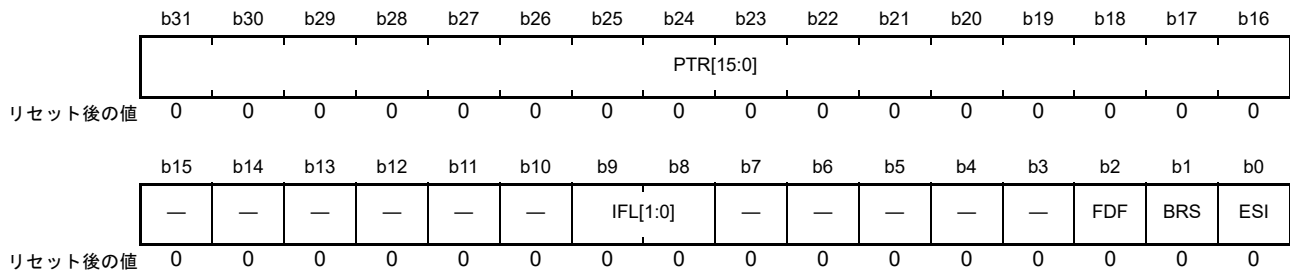
送信 FIFO モードの場合、送信するメッセージのデータバイト数を設定します。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

注. バッファの最大データバイト数は、CFCR0.PLS[2:0] ビットで指定します。

34.2.61.17 共通 FIFO 0 ヘッダフィールド 2 (CFB0.HF2)

アドレス CANFD.CFB0.HF2 000A 85C0h



ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示ビット	0: エラーアクティブノードにより受信または送信する CAN FD フレーム 1: エラーパッシブノードにより受信または送信する CAN FD フレーム	R/W
b1	BRS	ビットレートスイッチビット	0: ビットレートスイッチなしで受信または送信する CAN FD フレーム 1: ビットレートスイッチありで受信または送信する CAN FD フレーム	R/W
b2	FDI	FD フォーマット表示ビット	0: CAN FD フレーム以外を受信または送信 1: CAN FD フレームを受信または送信	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	IFL[1:0]	情報ラベル	アクセプタンスフィルタで付加された情報ラベルが格納される、または送信履歴に格納する情報ラベルを設定するフィールドです	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	PTR[15:0]	ポインタ	アクセプタンスフィルタで付加されたポインタが格納される、または送信履歴に格納するポインタを設定するフィールドです	R/W

受信 FIFO モードの場合、CFB0.HF2 レジスタは、FIFO バッファ先頭から受信メッセージの FDI ビット、BRS ビット、ESI フラグ、およびアクセプタンスフィルタで付加された情報ラベル、ポインタを読み出すためのリードオンのレジスタです。

送信 FIFO モードの場合、CFB0.HF2 レジスタは、FIFO バッファ末尾に送信メッセージの FDI ビット、BRS ビット、ESI フラグと、送信履歴に格納する情報ラベルとポインタを書き込むためのリード/ライト可能なレジスタです。

ESI ビット (エラー状態表示ビット)

受信 FIFO モードでは、受信した CAN FD フレームの ESI フラグ値が格納されます。受信した FDI ビットが“0” (Classical CAN フレーム) の場合、本ビットに“0”が格納されます。

送信 FIFO モードでは、送信する CAN FD フレームの ESI フラグ値を指定するビットです。チャンネルがエラーパッシブでない場合、送信されるメッセージの ESI フラグはこのビットの値と等しくなります。エラーパッシブの場合、このビットの値に関わらず、レセプブが送信されます。

BRS ビット (ビットレートスイッチビット)

受信 FIFO モードでは、受信した CAN FD フレームの BRS ビット値が格納されます。受信した FDF ビットが“0”(Classical CAN フレーム)の場合、本ビットに“0”が格納されます。

送信 FIFO モードでは、送信する CAN FD フレームの BRS ビット値を指定するビットです。

FDF ビット (FD フォーマット表示ビット)

受信 FIFO モードでは、受信した CAN FD フレームの FDF ビット値が格納されます。

送信 FIFO モードでは、送信する CAN FD フレームの FDF ビット値を指定するビットです。

IFL[1:0] ビット (情報ラベル)

受信 FIFO モードでは、アクセプタンスフィルタリストの対応するエントリに設定された情報ラベル値が格納されます。

送信 FIFO モードでは、メッセージの送信が成功した後、送信履歴に格納する情報ラベル値を指定するビットです。

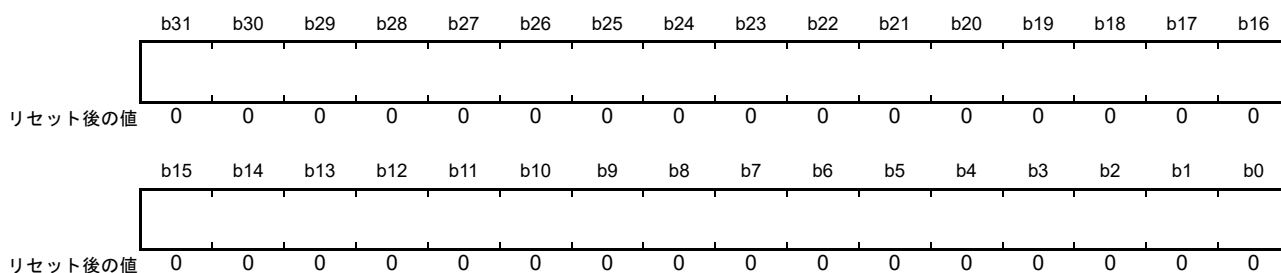
PTR[15:0] ビット (ポインタ)

受信 FIFO モードでは、アクセプタンスフィルタリストの対応するエントリに設定されたポインタ値が格納されます。

送信 FIFO モードでは、メッセージの送信が成功した後、送信履歴に格納するポインタ値を指定するビットです。

34.2.61.18 共通 FIFO 0 データフィールド p (CFB0.DFp) (p = 0 ~ 15)

アドレス CANFD.CFB0.DF0 000A 85C4h ~ CANFD.CFB0.DF15 000A 8600h



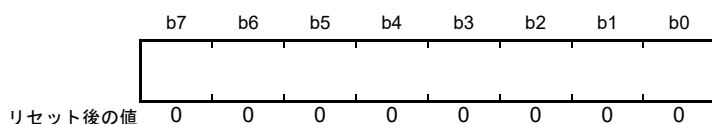
受信 FIFO モードの場合、CFB0.DFp レジスタ (p=0 ~ 15) は、FIFO バッファ先頭から受信メッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) を読み出すためのリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

送信 FIFO モードの場合、CFB0.DFp レジスタ (p=0 ~ 15) は、FIFO バッファ末尾に送信メッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) を格納するためのリード/ライト可能なレジスタです。

34.2.61.19 共通 FIFO 0 データ k (CFB0.DATAk) (k = 0 ~ 63)

アドレス CANFD.CFB0.DATA0 000A 85C4h ~ CANFD.CFB0.DATA63 000A 8603h



受信 FIFO モードの場合、CFB0.DATAk レジスタ (k=0 ~ 63) は、FIFO バッファ先頭から受信メッセージのデータバイトを読み出すためのリードオンリのレジスタです。

使用されなかったデータバイトは“00h”で埋められます。

送信 FIFO モードの場合、CFB0.DATAk レジスタ (k=0 ~ 63) は、FIFO バッファ末尾に送信メッセージのデータバイトを格納するためのリード/ライト可能なレジスタです。

34.2.61.20 送信メッセージバッファ n (TMBn) (n = 0 ~ 3)

送信メッセージバッファ (TMB) の総数は、図 34.33 に示すように 4 個です。

送信メッセージバッファは、以下のレジスタで構成されています。

- TMBn.HF0
- TMBn.HF1
- TMBn.HF2
- TMBn.DF0 ~ TMBn.DF15

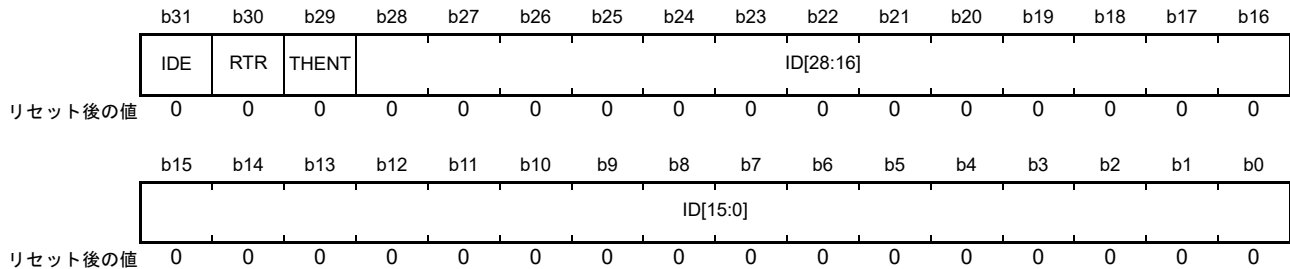
表 34.10 に、このバッファコンポーネントの構造を示します。

表 34.10 送信メッセージバッファの構成

アドレスオフセット	シンボル	レジスタ名	内容
+00h	TMBn.HF0	送信メッセージバッファ n ヘッダフィールド 0	IDE, RTR, ID
+04h	TMBn.HF1	送信メッセージバッファ n ヘッダフィールド 1	DLC
+08h	TMBn.HF2	送信メッセージバッファ n ヘッダフィールド 2	ポインタ、情報ラベル、 FDF、BRS、ESI
+0Ch	TMBn.DF0	送信メッセージバッファ n データフィールド 0	DATA0 ~ DATA3
+10h	TMBn.DF1	送信メッセージバッファ n データフィールド 1	DATA4 ~ DATA7
+14h	TMBn.DF2	送信メッセージバッファ n データフィールド 2	DATA8 ~ DATA11
+18h	TMBn.DF3	送信メッセージバッファ n データフィールド 3	DATA12 ~ DATA15
+1Ch	TMBn.DF4	送信メッセージバッファ n データフィールド 4	DATA16 ~ DATA19
+20h	TMBn.DF5	送信メッセージバッファ n データフィールド 5	DATA20 ~ DATA23
+24h	TMBn.DF6	送信メッセージバッファ n データフィールド 6	DATA24 ~ DATA27
+28h	TMBn.DF7	送信メッセージバッファ n データフィールド 7	DATA28 ~ DATA31
+2Ch	TMBn.DF8	送信メッセージバッファ n データフィールド 8	DATA32 ~ DATA35
+30h	TMBn.DF9	送信メッセージバッファ n データフィールド 9	DATA36 ~ DATA39
+34h	TMBn.DF10	送信メッセージバッファ n データフィールド 10	DATA40 ~ DATA43
+38h	TMBn.DF11	送信メッセージバッファ n データフィールド 11	DATA44 ~ DATA47
+3Ch	TMBn.DF12	送信メッセージバッファ n データフィールド 12	DATA48 ~ DATA51
+40h	TMBn.DF13	送信メッセージバッファ n データフィールド 13	DATA52 ~ DATA55
+44h	TMBn.DF14	送信メッセージバッファ n データフィールド 14	DATA56 ~ DATA59
+48h	TMBn.DF15	送信メッセージバッファ n データフィールド 15	DATA60 ~ DATA63

34.2.61.21 送信メッセージバッファ n ヘッダフィールド 0 (TMBn.HF0) (n = 0 ~ 3)

アドレス CANFD.TMB0.HF0 000A 8604h, CANFD.TMB1.HF0 000A 8650h, CANFD.TMB2.HF0 000A 869Ch,
CANFD.TMB3.HF0 000A 86E8h



ビット	シンボル	ビット名	機能	R/W
b28-b0	ID[28:0]	IDフィールド	標準ID/拡張IDフィールドを示します	R/W
b29	THENT	送信履歴エントリビット	0: 送信成功後、エントリを送信履歴に格納しない 1: 送信成功後、エントリを送信履歴に格納する	R/W
b30	RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	R/W
b31	IDE	ID拡張ビット	0: 標準ID 1: 拡張ID	R/W

TMBn.HF0 レジスタ (n = 0 ~ 3) は、送信するメッセージの ID フィールド、IDE ビット、RTR ビットを格納し、送信履歴に格納するかどうかを指定するために使用されます。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

ID[28:0] ビット (ID フィールド)

ID[28:0] ビットは、送信するメッセージの標準 ID/ 拡張 ID フィールドの値を指定するビットです。

標準フォーマットと拡張フォーマットにおけるビット配置については、「34.2.60 ID ビットの配置」を参照してください。

THENT ビット (送信履歴エントリビット)

THENT ビットは、メッセージの送信が成功した後、対応するエントリを送信履歴に格納するかどうかを制御します。

RTR ビット (リモートフレーム要求ビット)

RTR ビットは、送信するメッセージの RTR ビット値を指定するビットです。

注. CAN FD フォーマットにはリモートフレームはありません。CAN FD フレームを送信する (TMBn.HF2.FDF = 1) 場合、このビットの値にかかわらずドミナントが送信されます。

IDE ビット (ID 拡張ビット)

IDE ビットは、送信するメッセージの IDE ビット値を指定するビットです。

34.2.61.22 送信メッセージバッファ n ヘッダフィールド 1 (TMBn.HF1) (n = 0 ~ 3)

アドレス CANFD.TMB0.HF1 000A 8608h, CANFD.TMB1.HF1 000A 8654h, CANFD.TMB2.HF1 000A 86A0h,
CANFD.TMB3.HF1 000A 86ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DLC[3:0]			—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b28	DLC[3:0]	データ長コード	CANフレームで送信するデータバイト数を示します	R/W

TMBn.HF1 レジスタ (n = 0 ~ 3) は、送信するメッセージのデータ長コード (DLC) を格納するために使用されます。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

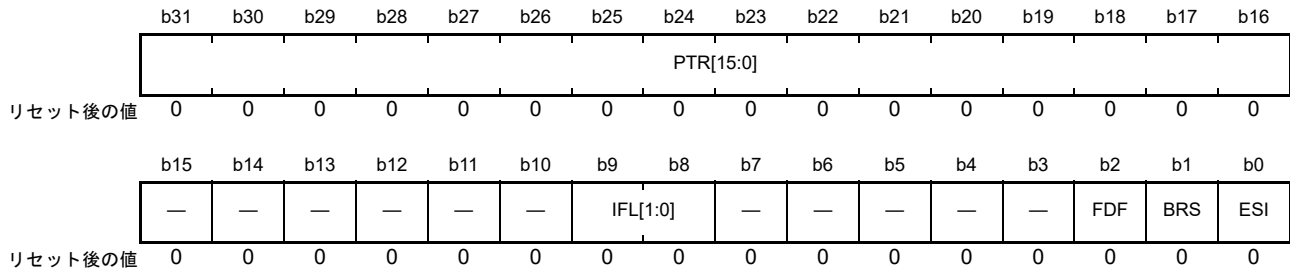
DLC[3:0] ビット (データ長コード)

DLC[3:0] ビットは、対応する TMBn.HF0.RTR ビットが“0”の場合に、送信するメッセージのデータバイト数を指定するビットです。

データバイト数の定義の詳細については、「ISO 11898-1:2015 規格」の表 5 を参照してください。

34.2.61.23 送信メッセージバッファ n ヘッダフィールド 2 (TMBn.HF2) (n = 0 ~ 3)

アドレス CANFD.TMB0.HF2 000A 860Ch, CANFD.TMB1.HF2 000A 8658h, CANFD.TMB2.HF2 000A 86A4h,
CANFD.TMB3.HF2 000A 86F0h



ビット	シンボル	ビット名	機能	R/W
b0	ESI	エラー状態表示ビット	0 : CAN FD フレームをエラーアクティブノードで送信 1 : CAN FD フレームをエラーパッシブノードで送信	R/W
b1	BRS	ビットレートスイッチビット	0 : CAN FD フレームをビットレートスイッチなしで送信 1 : CAN FD フレームをビットレートスイッチで送信	R/W
b2	FDF	FD フォーマット表示ビット	0 : CAN FD フレーム以外で送信 1 : CAN FD フレームで送信	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	IFL[1:0]	情報ラベル	送信履歴に格納する情報ラベルを設定するフィールドです	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	PTR[15:0]	ポインタ	送信履歴に格納するポインタを設定するフィールドです	R/W

TMBn.HF2 レジスタ (n = 0 ~ 3) は、送信するメッセージの FDF ビット、BRS ビット、ESI フラグと、送信履歴に格納する情報ラベルとポインタを格納するために使用されます。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

ESI ビット (エラー状態表示ビット)

ESI ビットは、送信する CAN FD フレームの ESI フラグ値を指定するビットです。

チャンネルがエラーパッシブでない場合、送信されるメッセージの ESI フラグはこのビットの値と等しくなります。エラーパッシブの場合、このビットの値に関わらず、レセンプが送信されます。

BRS ビット (ビットレートスイッチビット)

BRS ビットは、送信する CAN FD フレームの BRS ビット値を指定するビットです。

FDF ビット (FD フォーマット表示ビット)

FDF ビットは、送信する CAN FD フレームの FDF ビット値を指定するビットです。

IFL[1:0] ビット (情報ラベル)

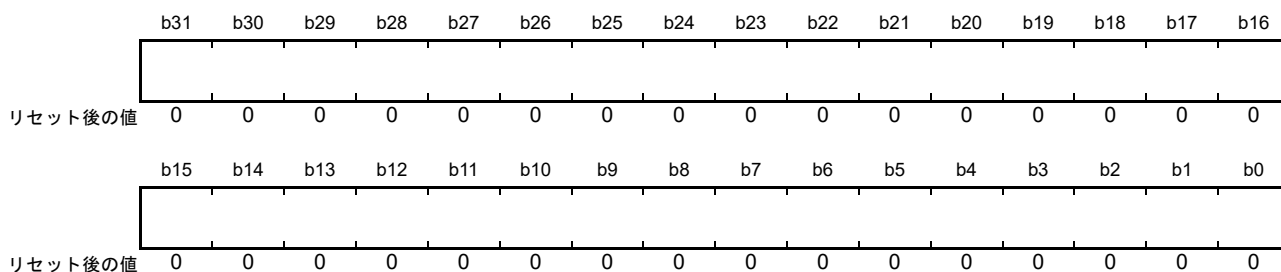
IFL[1:0] ビットは、メッセージの送信が成功した後、送信履歴に格納する情報ラベル値を指定するビットです。

PTR[15:0] ビット (ポインタ)

PTR[15:0] ビットは、メッセージの送信が成功した後、送信履歴に格納するポインタ値を指定するビットです。

34.2.61.24 送信メッセージバッファ n データフィールド p (TMBn.DFp) (n = 0 ~ 3、p = 0 ~ 15)

アドレス CANFD.TMB0.DF0 000A 8610h ~ CANFD.TMB0.DF15 000A 864Ch,
CANFD.TMB1.DF0 000A 865Ch ~ CANFD.TMB1.DF15 000A 8698h,
CANFD.TMB2.DF0 000A 86A8h ~ CANFD.TMB2.DF15 000A 86E4h,
CANFD.TMB3.DF0 000A 86F4h ~ CANFD.TMB3.DF15 000A 8730h

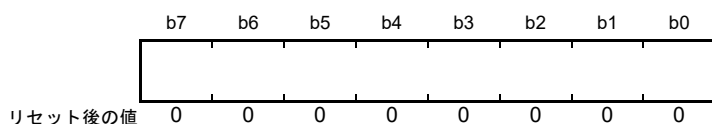


TMBn.DFp レジスタ (n = 0 ~ 3、p = 0 ~ 15) は、送信するメッセージのデータバイト (p × 4 + 3) ~ データバイト (p × 4) を格納するためのリード/ライト可能なレジスタです。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

34.2.61.25 送信メッセージバッファ n データ k (TMBn.DATAk) (n = 0 ~ 3、k = 0 ~ 63)

アドレス CANFD.TMB0.DATA0 000A 8610h ~ CANFD.TMB0.DATA63 000A 864Fh,
CANFD.TMB1.DATA0 000A 865Ch ~ CANFD.TMB1.DATA63 000A 869Bh,
CANFD.TMB2.DATA0 000A 86A8h ~ CANFD.TMB2.DATA63 000A 86E7h,
CANFD.TMB3.DATA0 000A 86F4h ~ CANFD.TMB3.DATA63 000A 8733h



TMBn.DATAk レジスタ (n = 0 ~ 3、k = 0 ~ 63) は、送信するメッセージのデータバイトを格納するためのリード/ライト可能なレジスタです。

CH_SLEEP モードでは、本レジスタへの書き込みを行わないでください。

34.2.62 ECC 制御 / ステータスレジスタ (ECCSR)

アドレス CANFD.ECCSR 000E D000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EC2EAS	EC1EAS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECEDWC[1:0]	—	—	ECOVF	EC2EC	EC1EC	—	—	ECEDE	EC1ECD	EC2EIE	EC1EIE	EC2EF	EC1EF	ECEF	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECEF	ECCエラーフラグ	0:最後に読み出したRAMデータにECCエラーなし 1:最後に読み出したRAMデータにECCエラーあり	R
b1	EC1EF	1ビットECCエラー検出フラグ	0:1ビットECCエラー未検出 1:1ビットECCエラー検出	R
b2	EC2EF	2ビットECCエラー検出フラグ	0:2ビットECCエラー未検出 1:2ビットECCエラー検出	R
b3	EC1EIE	1ビットECCエラー検出割り込み許可ビット	0:1ビットECCエラー検出割り込み禁止 1:1ビットECCエラー検出割り込み許可	R/W
b4	EC2EIE	2ビットECCエラー検出割り込み許可ビット	0:2ビットECCエラー検出割り込み禁止 1:2ビットECCエラー検出割り込み許可	R/W
b5	EC1ECD	1ビットECCエラー訂正禁止ビット	0:1ビットECCエラー検出時、エラー訂正を実施する 1:1ビットECCエラー検出時、エラー訂正を実施しない	R/W
b6	ECEDE	ECCエラー検出許可ビット	0:ECCエラー検出禁止 1:ECCエラー検出許可	R/W
b8-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	EC1EC	EC1EFフラグクリアビット	このビットに“1”を書くと、EC1EFフラグがクリアされます。“0”を書いても無視されます。読むと“0”が読めます	R/W
b10	EC2EC	EC2EFフラグクリアビット	このビットに“1”を書くと、EC2EFフラグがクリアされます。“0”を書いても無視されます。読むと“0”が読めます	R/W
b11	ECOVF	ECCオーバフロー検出フラグ	0:ECEARレジスタのオーバフローは未発生 1:ECEARレジスタのオーバフローが発生	R
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ECEDWC[1:0]	ECEDEビット書き込み制御ビット	ECEDEビットへの書き込みアクセスを有効または無効にします	R/W
b16	EC1EAS	1ビットECCエラー検出アドレス格納フラグ	0:ECEARレジスタに有効なアドレスなし 1:ECEARレジスタに1ビットECCエラーが発生したアドレスが格納されている	R
b17	EC2EAS	2ビットECCエラー検出アドレス格納フラグ	0:ECEARレジスタに有効なアドレスなし 1:ECEARレジスタに2ビットECCエラーが発生したアドレスが格納されている	R
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECEF フラグ (ECC エラーフラグ)

ECEF フラグは、最後に読み出した RAM データに ECC エラーがあるかどうかを示します。このフラグは RAM を読み出すごとに更新されます。

RAMの初期化を行わずにECEDEビットを“1”にした場合、本フラグの値は意味を持ちません。

[“1”になる条件]

- ECEDEビットが“1”(ECCエラー検出許可)のときに、読み出したRAMデータにECCエラーがあったとき

[“0”になる条件]

- 読み出したRAMデータにECCエラーがないとき
- ECEDEビットが“0”(ECCエラー検出禁止)のとき

EC1EF フラグ (1 ビット ECC エラー検出フラグ)

EC1EF フラグは、RAMから読み出したデータに1ビットECCエラーが検出されたことを示します。

割り込みが許可されているときにこのフラグが“1”になると、1ビットECCエラー割り込み(EC1EI)が発生します。

このフラグが“1”のときに再度1ビットECCエラーを検出しても、割り込みは発生しません。

[“1”になる条件]

- ECEDEビットが“1”(ECCエラー検出許可)のときに、RAMから読み出したデータに1ビットECCエラーがあったとき

[“0”になる条件]

- EC1ECビットに“1”を書いたとき
- ECEDEビットが“0”(ECCエラー検出禁止)のとき

EC1ECビットに“1”を書くのと1ビットECCエラーの検出が同時に発生した場合、EC1EFフラグは“0”になります。

EC2EF フラグ (2 ビット ECC エラー検出フラグ)

EC2EF フラグは、RAMから読み出したデータに2ビットECCエラーが検出されたことを示します。

割り込みが許可されているときにこのフラグが“1”になると、2ビットECCエラー割り込み(EC2EI)が発生します。

このフラグが“1”のときに再度2ビットECCエラーを検出しても、割り込みは発生しません。

[“1”になる条件]

- ECEDEビットが“1”(ECCエラー検出許可)のときに、RAMから読み出したデータに2ビットECCエラーがあったとき

[“0”になる条件]

- EC2ECビットに“1”を書いたとき
- ECEDEビットが“0”(ECCエラー検出禁止)のとき

EC2ECビットに“1”を書くのと2ビットECCエラーの検出が同時に発生した場合、EC2EFフラグは“0”になります。

EC1EIE ビット (1 ビット ECC エラー検出割り込み許可ビット)

EC1EIE ビットは、1ビットECCエラー検出割り込み(EC1EI)を許可/禁止するビットです。

このビットが“1”のときにEC1EFフラグが“1”になると、1ビットECCエラー検出割り込み(EC1EI)が発生します。

EC2EIE ビット (2 ビット ECC エラー検出割り込み許可ビット)

EC2EIE ビットは、2ビットECCエラー検出割り込み(EC2EI)を許可/禁止するビットです。

このビットが“1”のときにEC2EFフラグが“1”になると、2ビットECCエラー検出割り込み(EC2EI)が発生します。

EC1ECD ビット (1 ビット ECC エラー訂正禁止ビット)

EC1ECD ビットは、ECEDE ビットが“1”(ECC エラー検出許可)のときに、1 ビット ECC エラーを訂正するか否かを設定します。

このビットを“1”にした場合、1 ビット ECC エラーが検出されても RAM の出力データは訂正されません。

ECEDE ビット (ECC エラー検出許可ビット)

このビットを“1”にすると、ECC エラー検出が有効になります。

このビットへの書き込みは、ECEDWC[1:0] ビットを“01b”にしているときのみ有効です。

EC1EC ビット (EC1EF フラグクリアビット)

本ビットは、EC1EF フラグをクリアするときに使用します。

EC1EF フラグが“1”のときに本ビットに“1”を書き込むと、EC1EF フラグはクリアされます。また、ECOVF フラグ、EC1EAS フラグ、EC2EAS フラグもクリアされます。

EC1EC ビットによる EC1EF フラグのクリアと、EC1EF フラグのセット要因が同時に発生した場合、EC1EF フラグは“0”になります。

EC2EC ビット (EC2EF フラグクリアビット)

本ビットは、EC2EF フラグをクリアするときに使用します。

EC2EF フラグが“1”のときに本ビットに“1”を書き込むと、EC2EF フラグはクリアされます。また、ECOVF フラグ、EC1EAS フラグ、EC2EAS フラグもクリアされます。

EC2EC ビットによる EC2EF フラグのクリアと、EC2EF フラグのセット要因が同時に発生した場合、EC2EF フラグは“0”になります。

ECOVF フラグ (ECC オーバフロー検出フラグ)

ECEAR レジスタにすでにアドレスが格納されているときに、新たな ECC エラーを検出してアドレスが上書きされると、本フラグが“1”になり、ECC オーバフロー割り込み (ECOVFI) が発生します。本フラグが“1”のときに、新たな ECC エラーが検出されると再度 ECC オーバフロー割り込みが発生します。

[“1”になる条件]

- ECEAR レジスタにすでにアドレスが格納されている状態で、新たなアドレスが格納されたとき

[“0”になる条件]

- EC1EC ビットに“1”を書いたとき
- EC2EC ビットに“1”を書いたとき
- ECEDE ビットが“0”(ECC エラー検出禁止)のとき

EC1EC ビットまたは EC2EC ビットによる ECOVF フラグのクリアと、ECOVF フラグのセット要因が同時に発生した場合、ECOVF フラグは“0”になります。

ECEDWC[1:0] ビット (ECEDE ビット書き込み制御ビット)

ECEDWC[1:0] ビットは、ECEDE ビットへの書き込みアクセスの有効/無効を制御するために使用します。本ビットの読み出し値は“00b”です。

本ビットの値を“01b”にしたときのみ、ECEDE ビットに値が書き込めます。本ビットの値を“01b”以外にして ECEDE ビットへの書き込みを行っても、そのアクセスは無視されて値は変化しません。

EC1EAS フラグ (1 ビット ECC エラー検出アドレス格納フラグ)

EC1EAS フラグは、ECEDE ビットが“1”(ECC エラー検出許可)のときに、ECEAR レジスタに 1 ビット

ECCエラーが発生したアドレスが格納されていることを示すフラグです。

ECEARレジスタにすでに2ビットECCエラーが発生したアドレスが格納されている状態で、1ビットECCエラーが検出された場合は、ECEARレジスタは更新されず、本フラグも更新されません。

["1"になる条件]

- ECEDEビットが“1”(ECCエラー検出許可)のときに、1ビットECCエラーを検出し、そのアドレスがECEARレジスタに格納されたとき

["0"になる条件]

- EC1ECビットに“1”を書いたとき
 - ECEDEビットが“0”(ECCエラー検出禁止)のとき
- EC1ECビットによるEC1EASフラグのクリアと、EC1EASフラグのセット要因が同時に発生した場合、EC1EASフラグは“0”になります。

EC2EASフラグ(2ビットECCエラー検出アドレス格納フラグ)

EC2EASフラグは、ECEDEビットが“1”(ECCエラー検出許可)のときに、ECEARレジスタに2ビットECCエラーが発生したアドレスが格納されていることを示すフラグです。

ECEARレジスタにすでに1ビットECCエラーが発生したアドレスが格納されている状態で、2ビットECCエラーが検出された場合は、ECEARレジスタが更新され、本フラグも“1”になります。

["1"になる条件]

- ECEDEビットが“1”(ECCエラー検出許可)のときに、2ビットECCエラーを検出し、そのアドレスがECEARレジスタに格納されたとき

["0"になる条件]

- EC2ECビットに“1”を書いたとき
 - ECEDEビットが“0”(ECCエラー検出禁止)のとき
- EC2ECビットによるEC2EASフラグのクリアと、EC2EASフラグのセット要因が同時に発生した場合、EC2EASフラグは“0”になります。

34.2.63 ECC テストモードレジスタ (ECTMR)

アドレス CANFD.ECTMR 000E D004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ECTMWC[1:0]	—	—	—	—	—	—	ECTME	—	—	—	—	—	—	ECDIS	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ECDIS	ECCデコーダ入力選択ビット	0：デコード回路のデータ入力にRAM出力データを入力 1：デコード回路のデータ入力にECTDRレジスタを選択	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ECTME	ECCテストモード許可ビット	0：ECDISビットとECTDRレジスタへのアクセス禁止 1：ECDISビットとECTDRレジスタへのアクセス許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ECTMWC[1:0]	ECTMEビット書き込み制御ビット	ECTMEビットへの書き込みアクセスを有効または無効にします。	R/W

ECDIS ビット (ECC デコーダ入力選択ビット)

本ビットは、RAM から読み出したデータ値と ECTDR レジスタの値の、どちらを ECC デコーダへの入力データとして使用するかを選択するビットです。

このビットへの書き込みは、ECTME ビットが“1”のときのみ有効です。ECTME ビットを“1”にするのと同時に書いても構いません。

ECTME ビットを“0”にすると、本ビットも“0”になります。

ECTME ビット (ECC テストモード許可ビット)

ECTME ビットは、ECDIS ビットと ECTDR レジスタへのアクセスの有効 / 無効を制御するために使用します。

このビットへの書き込みは、ECTMWC[1:0] ビットを“10b”にしているときのみ有効です。

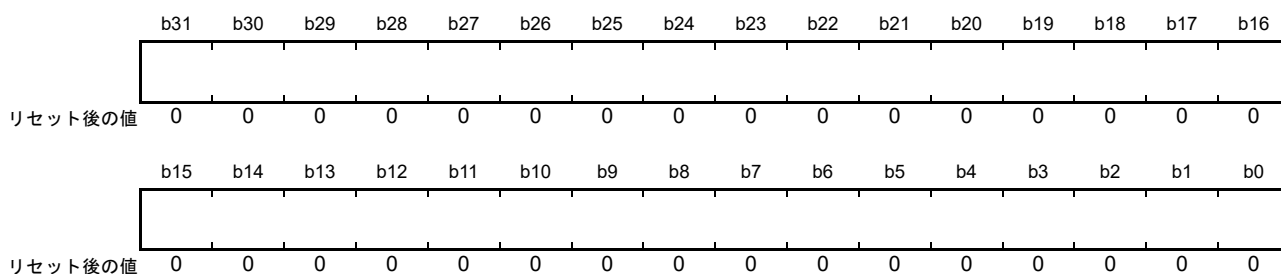
ECTMWC[1:0] ビット (ECTME ビット書き込み制御ビット)

ECTMWC[1:0] ビットは、ECTME ビットへの書き込みアクセスの有効 / 無効を制御するために使用します。本ビットの読み出し値は“00b”です。

本ビットの値を“10b”にしたときのみ、ECTME ビットに値が書き込みめます。本ビットの値を“10b”以外にして ECTME ビットへの書き込みを行っても、そのアクセスは無視されて値は変化しません。

34.2.64 ECC デコーダテストデータレジスタ (ECTDR)

アドレス CANFD.ECTDR 000E D00Ch



ECTDR レジスタは、ECC デコーダをテストするためのデータを設定するレジスタです。

ECTMR.ECTME ビットが“1”の場合、このレジスタの読み書きが可能です。

ECTMR.ECTME ビットが“0”の場合、このレジスタの値は“00000000h”になります。

ECTMR.ECDIS ビットを“1”にすると、RAM から読み出したデータの代わりに、本レジスタに設定した値が ECC デコーダの入力データとして使用されます。

34.2.65 ECC エラーアドレスレジスタ (ECEAR)

アドレス CANFD.ECEAR 000E D010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ECEAR レジスタは、ECC エラーが発生したアドレスを保持するレジスタです。

ECCSR.ECEDE ビットが“1”(ECC エラー検出許可)のときに、ECC エラーを検出すると、そのときの RAM アドレスの b12-b2 が本レジスタの b10-b0 に格納されます。

同じ要因のエラーが再発した場合、ECEAR レジスタは更新されません。

1 ビット ECC エラーが発生したアドレスがすでに格納されている状態で、2 ビット ECC エラーが検出された場合、ECEAR レジスタは新しいアドレスで上書きされ、ECCSR.EC2EAS フラグが“1”になります。

2 ビット ECC エラーが発生したアドレスがすでに格納されている状態で、1 ビット ECC エラーが検出された場合、ECEAR レジスタは更新されず、ECCSR.EC1EAS フラグも更新されません。

34.3 動作モード

CANFD モジュールの動作モードは、次の2つのグループに分けられます。

- グローバルモード
- チャンネルモード

34.3.1 グローバルモード

グローバルモードは、CANFD モジュール全体に適用されます。

CANFD モジュールのグローバルモードには、以下のものがあります。

- GL_SLEEP モード
- GL_RESET モード
- GL_HALT モード
- GL_OPERATION モード

図 34.2 に、グローバルモード間で行うことができる遷移を示します。

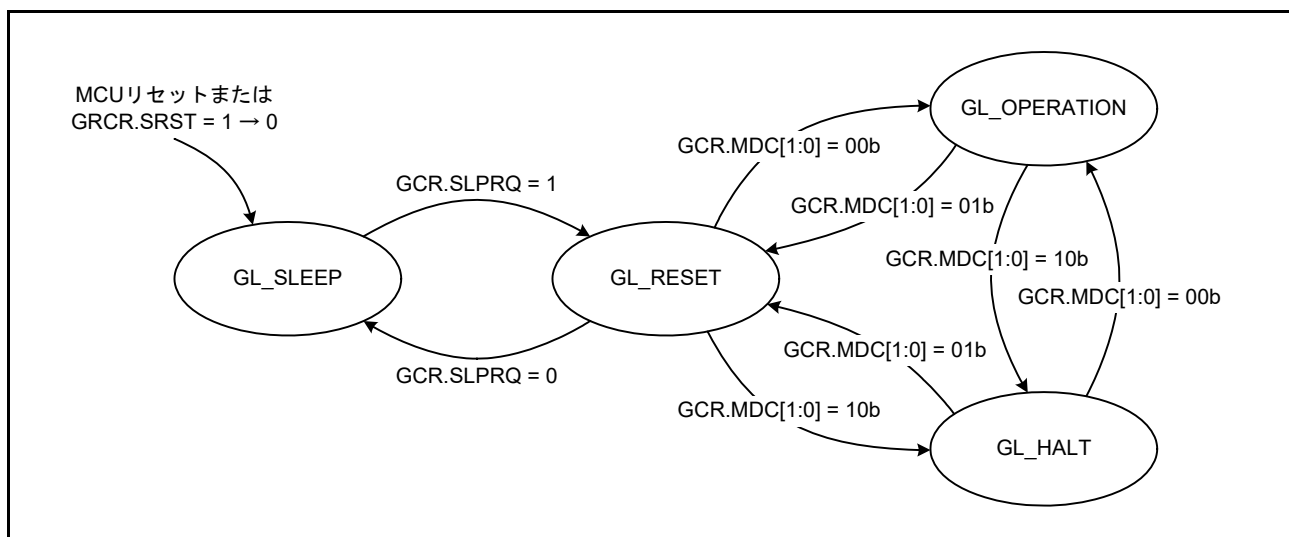


図 34.2 CANFD グローバルモード間の遷移

グローバルモードを変更すると、チャンネルモードに影響を与えることがあります。詳細は「34.3.3 グローバルモード遷移とチャンネルモード遷移の相互作用」を参照してください。

34.3.1.1 GL_SLEEP モード

MCU リセットが解除された後、またはソフトウェアリセットビット (GRCR.SRST) を“1”から“0”にした後、CANFD モジュールは自動的に GL_SLEEP モードになります。

また、GL_RESET モード中に GCR.SLPRQ ビットを“1”にした場合も GL_SLEEP モードになります。SLPRQ ビットは、GL_HALT モードおよび GL_OPERATION モードでは“1”にできません。

SLPRQ ビットを“1”にすると、CHCR.SLPRQ ビットが“1”になり、CAN チャンネルが強制的に CH_SLEEP モードになります。

GL_SLEEP モードは、消費電力を低減するために使用されます。CANFD モジュールが GL_SLEEP モードのとき、SLPRQ ビットへの書き込み用クロックのみがアクティブになります。その他のクロックはすべて停止し、CANFD モジュールのその他すべての機能はサスペンド状態になります。

すべてのレジスタの読み出しは可能で、すべてのレジスタ値は保持されます。

SLPRQ ビットを“1”にした後、再度 SLPRQ ビットを“0”にする前に、GSR.SLPST フラグで GL_SLEEP モードへの遷移が正常に行われたことを確認する必要があります。

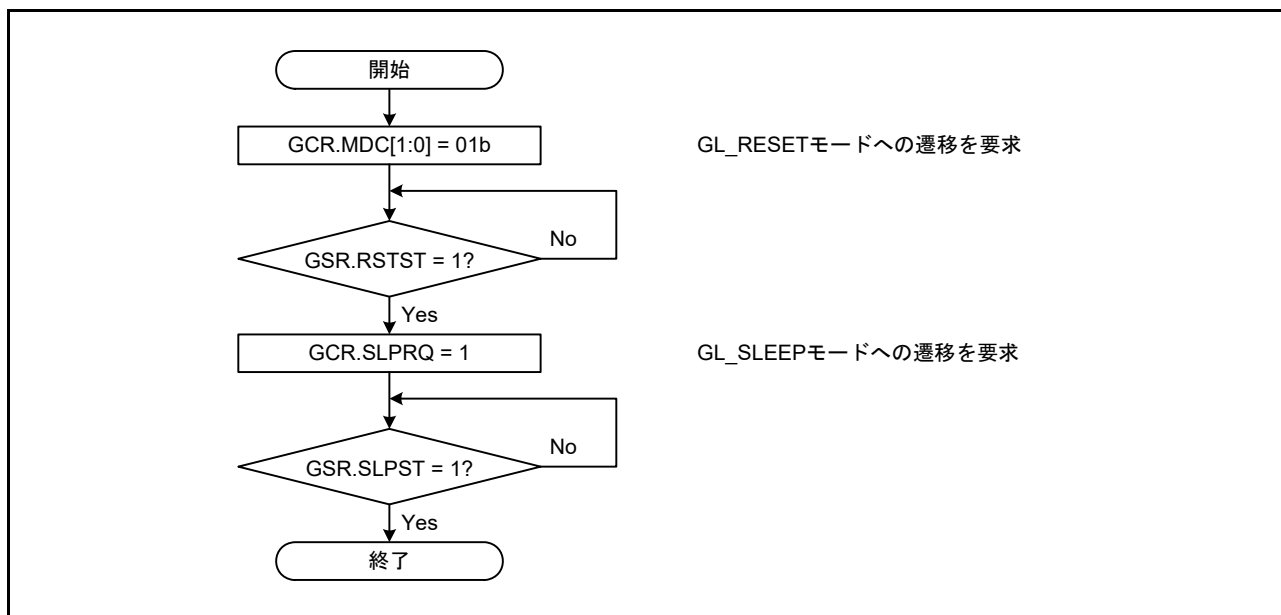


図 34.3 GL_SLEEP モードへの遷移手順

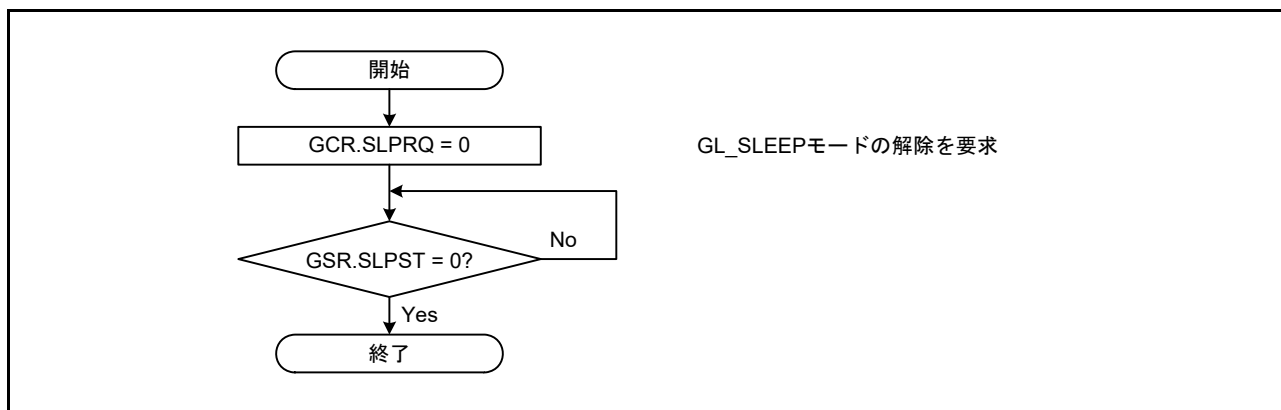


図 34.4 GL_SLEEP モードの解除手順

34.3.1.2 GL_RESET モード

CANFD モジュールは以下の方法で GL_RESET モードに入ります。

- CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードのときに、GCR.MDC[1:0] ビットを“01b” に設定
- CANFD モジュールが GL_SLEEP モードのとき、GCR.SLPRQ ビットを“0” に設定

GL_RESET モードでは、CANFD モジュールのすべての機能がサスペンド状態になり、すべてのステータスレジスタとフラグレジスタが初期化されます。

また、すべての FIFO およびすべての送信キューが無効になり、送信関連の制御ビットが“0” になります。

このモードでは、GTMCRC レジスタを除く設定レジスタ、割り込み許可レジスタは初期化されないため、CANFD モジュールの設定を行うことができます。

GCR.MDC[1:0] ビットを“01b” に設定して GL_RESET モードに設定すると、CHCR.MDC[1:0] ビットが“01b” になり、チャンネルが強制的に CH_RESET モードになります。

すでに CH_RESET モードまたは CH_SLEEP モードになっているチャンネルについては、チャンネルモードは変化しません。

GCR.MDC[1:0] ビットを“01b” (GL_RESET モード) にした後、GCR.MDC[1:0] ビットを再度変更する前に、GSR.RSTST フラグで GL_RESET モードへの遷移が正常に行われたことを確認する必要があります。

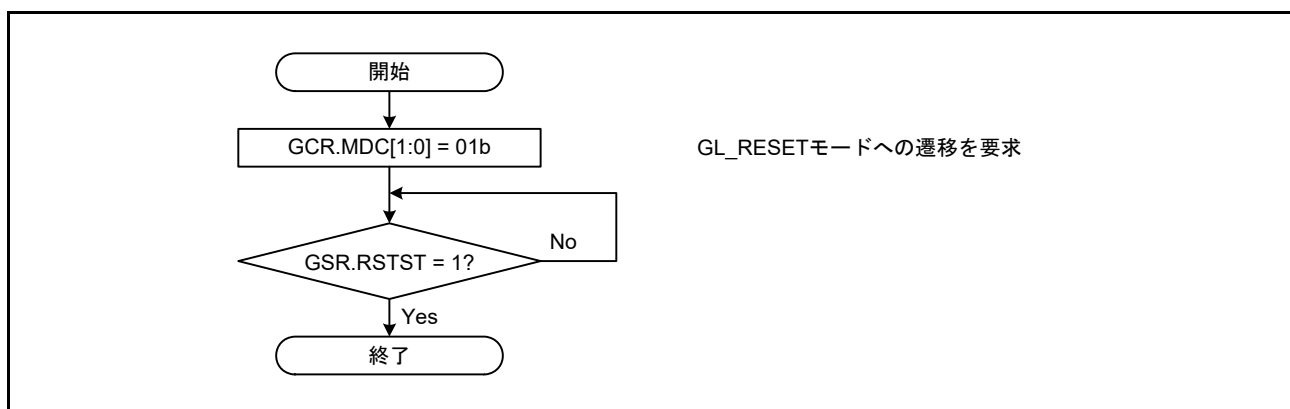


図 34.5 GL_RESET モードへの遷移手順

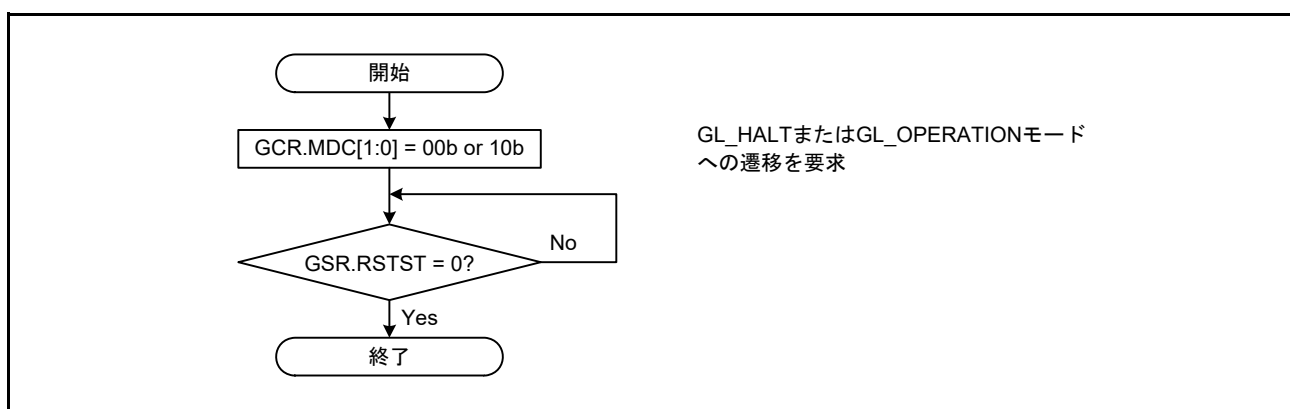


図 34.6 GL_RESET モードの解除手順

34.3.1.3 GL_HALT モード

CANFD モジュールは、以下の方法でこの GL_HALT モードに遷移します。

- CANFD モジュールが GL_RESET モードのとき、GCR.MDC[1:0] ビットを“10b”に設定
 - チャンネルは CH_RESET モードまたは CH_SLEEP モードで、そのモードが保持されます。
- CANFD モジュールが GL_OPERATION モードのとき、GCR.MDC[1:0] ビットを“10b”に設定
 - CH_RESET、CH_HALT、CH_SLEEP モードの CAN チャンネルは、そのモードが保持されます。
 - CH_OPERATION モードの CAN チャンネルは、CH_HALT モードに遷移します。
 - CAN チャンネルが CH_OPERATION モードを抜けると、HLTST フラグが“1”になります。

CAN チャンネルが送受信を実行中の場合、通信の終了を待って CH_HALT モードに遷移します。

同様に、CAN チャンネルがバスオフ状態の場合、チャンネルの設定によっては、バスオフ復帰シーケンスが完了するまで CH_HALT モードに遷移しないことがあります。

GL_HALT モードでは、すべての通信がサスペンド状態になり、ステータスレジスタおよびフラグレジスタは変化しません (チャンネルがバスオフ状態にある場合のみ CHSR.REC[7:0] ビット、TEC[7:0] ビットが“00h”になります)。

GL_HALT モードでは GTMCR レジスタと GTMER レジスタは初期化されません。GL_HALT モードは、グローバルテストモードを設定するために使用します。

GCR.MDC[1:0] ビットを“10b”に設定して GL_HALT モードにすると、CH_OPERATION モードになっているチャンネルの CHCR.MDC[1:0] ビットが“10b”になり、強制的に CH_HALT モードになります。

すでに CH_RESET、CH_HALT、または CH_SLEEP モードになっているチャンネルについては、チャンネルモードは変化しません。

したがって、GL_HALT モード要求は、メッセージロストや CAN バスの中断なしに、すべての CAN チャンネルの通信を遮断するために使用することができます (チャンネルの受信 / 送信プロセスを中断することはありません)。

GCR.MDC[1:0] ビットを“10b” (GL_HALT モード) にした後、GSR.HLTST フラグで GL_HALT モードへの遷移が正常に行われたことを確認する必要があります。GSR.HLTST フラグが設定されていることを確認するまでは、他のレジスタの設定を行わないでください。

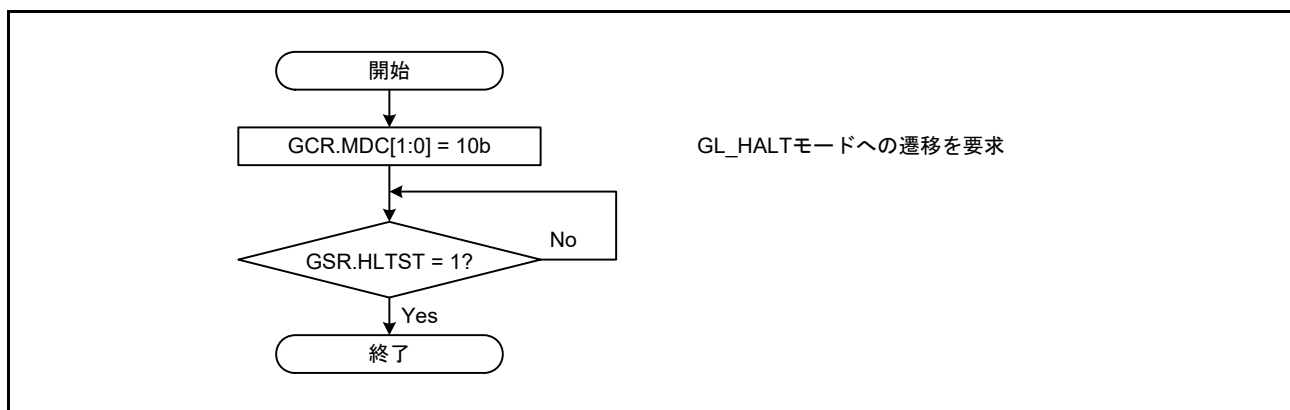


図 34.7 GL_HALT モードへの遷移手順

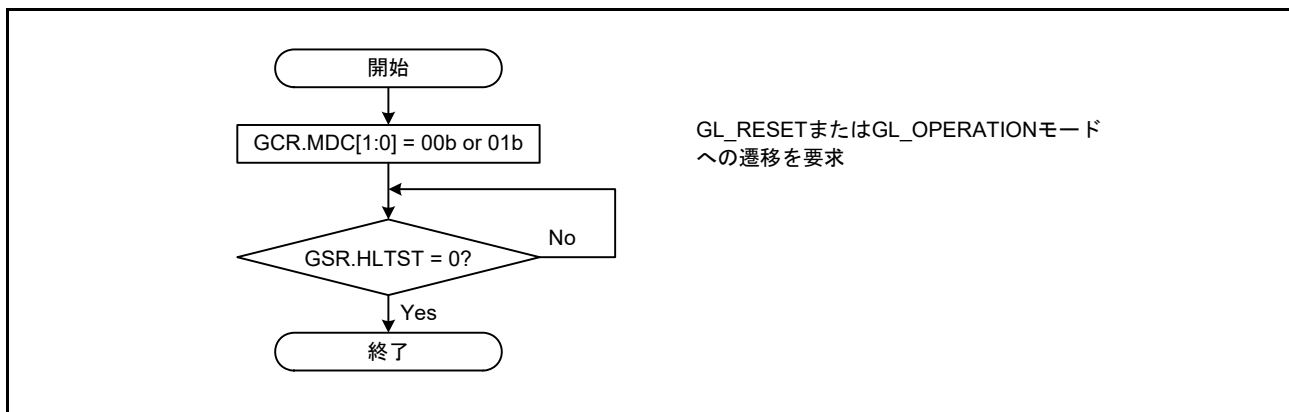


図 34.8 GL_HALT モードの解除手順

34.3.1.4 GL_OPERATION モード

CANFD モジュールは、GCR.MDC[1:0] ビットが“00b”に設定されているときに、このモードに遷移します。

CANFD のチャンネルは、CANFD が GL_OPERATION モードになっているときのみ CH_OPERATION モードに設定して CAN 通信を開始することができます。

GCR.MDC[1:0] ビットを“00b”(GL_OPERATION モード)に設定した後、GCR.MDC[1:0] ビットを再度変更する前に、GSR.RSTST フラグおよび GSR.HLTST フラグが“0”になっていること、つまり GL_OPERATION モードへの遷移が正常に行われたことを確認する必要があります。

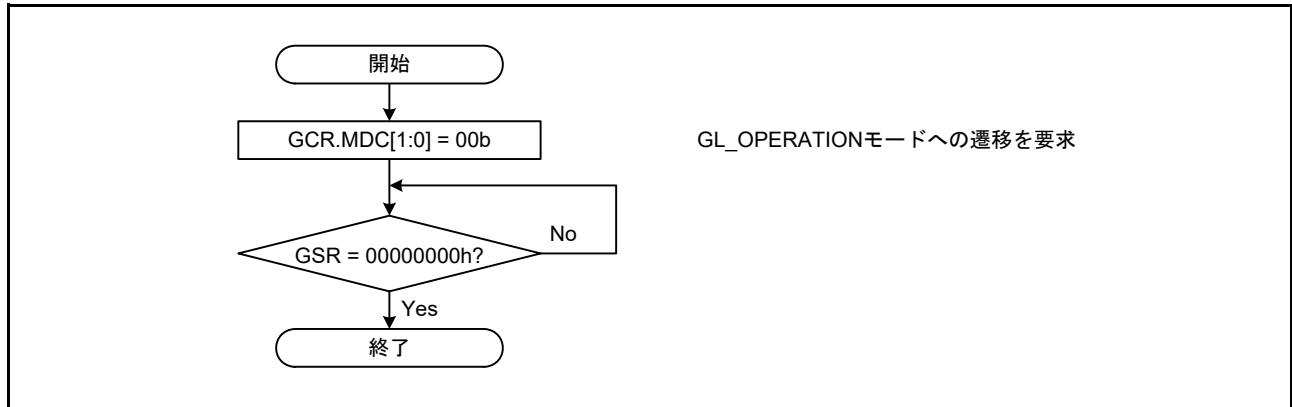


図 34.9 GL_OPERATION モードへの遷移手順

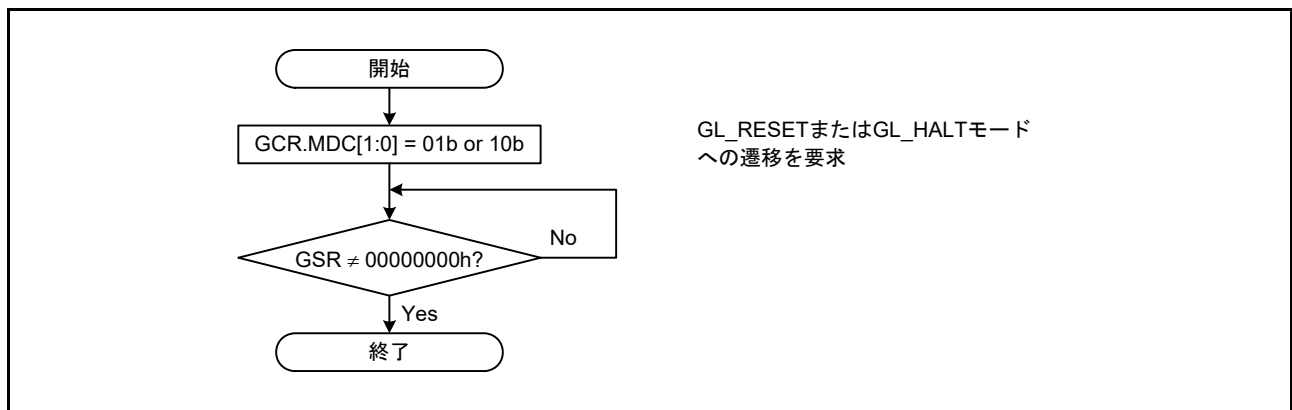


図 34.10 GL_OPERATION モードの解除手順

34.3.2 チャンネルモード

CANFD モジュールのチャンネルモードには、以下のものがあります。

- CH_SLEEP モード
- CH_RESET モード
- CH_HALT モード
- CH_OPERATION モード

図 34.11 は、チャンネルモード間で行うことができる遷移を示します。

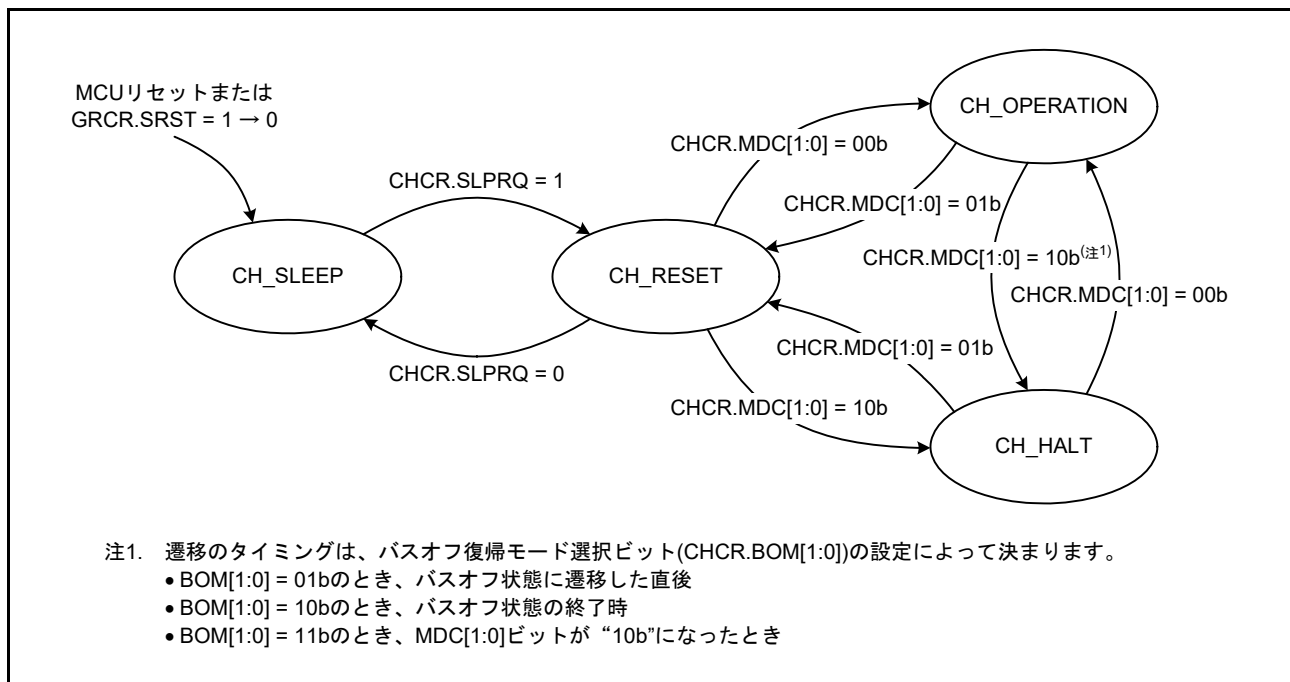


図 34.11 チャンネルモード間の遷移

34.3.2.1 CH_SLEEP モード

MCU リセットが解除された後、またはソフトウェアリセットビット (GRCR.SRST) を“1”から“0”にした後、CANFD モジュールの CAN チャンネルは自動的に CH_SLEEP モードになります。

CAN チャンネルが CH_RESET モード中に、CHCR.SLPRQ ビットを“1”にすると、CAN チャンネルは CH_SLEEP モードになります。CH_HALT モードまたは CH_OPERATION モードでは、SLPRQ ビットを“1”にしないでください。

CH_SLEEP モードに遷移すると、CAN チャンネルユニットへのクロック供給が停止し、消費電力が低減されます。

CHCR.SLPRQ ビットを“1”にした後、再び“0”にする前に、CHSR.SLPST フラグを使用して CH_SLEEP モードへの遷移が正常に行われたことを確認する必要があります。

CH_SLEEP モード中は、当該チャンネルのレジスタに書き込みを行わないでください。読み出し動作は可能です。

34.3.2.2 CH_RESET モード

CANFD モジュールの CAN チャンネルは、以下の方法で CH_RESET モードに入ります。

- CAN チャンネルが CH_HALT モードまたは CH_OPERATION モードのとき、CHCR.MDC[1:0] ビットを“01b”に設定
- CAN チャンネルが CH_SLEEP モードのとき、CHCR.SLPRQ ビットを“0”に設定
- CAN チャンネルが CH_SLEEP モードまたは CH_RESET モードではないときに、GCR.MDC[1:0] ビットを“01b”に設定

CH_RESET モードでは、CAN チャンネルのすべてのステータスとフラグが初期化されます。

また、当該チャンネルの送信関連の制御ビットはすべてクリアされ、当該チャンネルの送信キューも無効になります。

このモードでは、チャンネルテストモード関連のビットを除く設定レジスタは初期化されないため、CAN チャンネルを通信用に設定することができます。

CHCR.MDC[1:0] ビットを“01b”(CH_RESET モード)にした後、CHCR.MDC[1:0] ビットを再度変更する前に、CHSR.RSTST フラグで CH_RESET モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中の CH_RESET モードへの遷移動作については、表 34.11 を参照してください。

34.3.2.3 CH_HALT モード

CANFD モジュールの CAN チャンネルは、以下の方法で CH_HALT モードに入ります。

- CAN チャンネルが CH_RESET モードまたは CH_OPERATION モードのとき、CHCR.MDC[1:0] ビットを“10b”に設定
- CAN チャンネルが CH_OPERATION モードのとき、GCR.MDC[1:0] ビットを“10b”に設定

CH_HALT モードでは、当該チャンネルの CAN 通信はすべてサスペンド状態になりますが、すべてのステータスとフラグは CH_HALT モードの間変更されません(バスオフ状態の場合を除きます。バスオフ状態の場合、CHSR.REC[7:0] ビットと TEC[7:0] ビットが“00h”になります)。

また、このモードでは、チャンネルテストモード関連のビットは初期化されません。チャンネルテストモードの設定には、CH_HALT モードを使用します。

CHCR.MDC[1:0] ビットを“10b”(CH_HALT モード)にした後、CHCR.MDC[1:0] ビットを再度変更する前に、CHSR.HLTST フラグで CH_HALT モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中の CH_HALT モードへの遷移動作については、表 34.11 を参照してください。

表 34.11 CH_RESETモードとCH_HALTモードの遷移動作

モード	状態		
	受信	送信	バスオフ
CH_RESETモード (CHCR.MDC[1:0] = 01b)	CANチャネルは、実行中の受信が完了するのを待たずにCH_RESETモードに遷移します。 (注1)	CANチャネルは、実行中の送信が完了するのを待たずにCH_RESETモードに遷移します。 (注1)	CANチャネルは、バスオフ復帰の完了を待たずにCH_RESETモードに遷移します。
CH_HALTモード (CHCR.MDC[1:0] = 10b)	CANチャネルは、実行中の受信の終了時またはエラー発生時に、CH_HALTモードに遷移します。 (注2)	CANチャネルは、実行中の送信の完了後に、CH_HALTモードに遷移します。	CHCR.BOM[1:0] = 00bのとき、CH_HALTモード要求は、バスオフ復帰シーケンスが完了した後のみ受け付けられます。 CHCR.BOM[1:0] = 10bのとき、CANチャネルはバスオフ復帰の完了を待ってから、自動的にCH_HALTモードに遷移します。 CHCR.BOM[1:0] = 01bのとき、CANチャネルはバスオフ復帰の完了を待たずに、自動的にCH_HALTモードに遷移します。 CHCR.BOM[1:0] = 11bのとき、CANチャネルはCH_HALTモードが要求されるとすぐに(バスオフ復帰の完了を待たずに)CH_HALTモードに遷移します。

注1. 現在実行中の通信の終了時にCH_RESETモードに遷移すればよい場合、先にCH_HALTモードを要求することで、CH_RESETモードに直接遷移してCAN通信が中断するのを防ぐことができます。CANチャネルがCH_HALTモードに遷移した後、CH_RESETモードを要求することができます。

注2. エラーフラグの後にCAN通信がドミナントレベルでロックされた場合、ソフトウェアでチャンネル関連のバスロックフラグを監視することでこの状況を検出し、CANチャネルをCH_RESETモードに設定してロック状態を解除できます。

34.3.2.4 CH_OPERATIONモード(バスオフ状態以外)

CHCR.MDC[1:0] ビットを“00b”にすることで、CH_OPERATIONモードに遷移します。CH_OPERATIONモードに入ってから11個の連続したレセシブビットが検出されると、CHSR.CRDYフラグが“1”になり、CANチャネルは、

- 当該チャネルをCANネットワーク上のアクティブノードにすることで、通信機能を有効にし、
- 受信および送信エラーカウンタを含む内部フォルト隔離ロジックを解除します。

この時点で、CANチャネルはメッセージの送受信を開始することができます。

チャネルは、実行している機能のタイプによって、CH_OPERATIONモード内でさらに4種類のサブモードに分けられます(図 34.12 参照)。

- アイドルモード：CANチャネルが受信も送信も行っていない
- 受信モード：チャネルは別のCANノードから送信されたメッセージを受信している
- 送信モード：チャネルはメッセージを送信している
(セルフテストモードが有効の場合、チャネルは同時に自メッセージを受信することがあります)
- バスオフ状態：CANチャネルがCANバス通信から切り離されている

CHCR.MDC[1:0] ビットを“00b”にした後、CHCR.MDC[1:0] ビットを再度変更する前に、CHSR.RSTSTフラグとCHSR.HLTSTフラグで、CH_OPERATIONモードへの遷移が正常に行われたことを確認する必要があります。

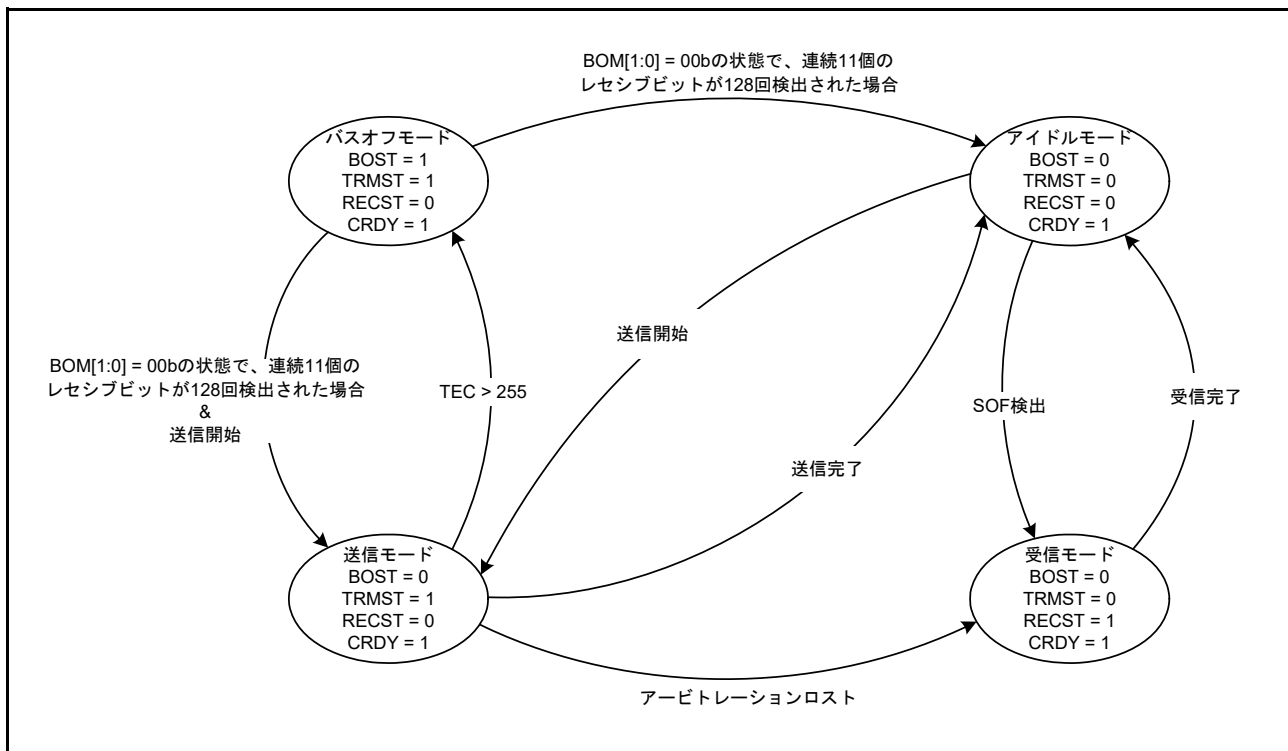


図 34.12 CH_OPERATION モードのサブモード (CHCR.BOM[1:0] = 00b のときのみ)

34.3.2.5 CH_OPERATION モード (バスオフ状態)

バスオフ状態へは、CAN 仕様のフォルト隔離規則に従って遷移します。バスオフ状態から CH_OPERATION モードに戻るには、以下のモードが選択できます。

- CHCR.BOM[1:0] = 00b :**
 バスオフからの復帰は ISO11898-1 に準拠します。CAN チャンネルは、11 個の連続したレセシブビットを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。CHSR.TEC[7:0] ビットと REC[7:0] ビットは "00h" に初期化され、CHESR.BORDF フラグが "1" になります。
- CHCR.BOM[1:0] = 01b :**
 CAN チャンネルは、バスオフ状態に遷移すると、CHCR.MDC[1:0] ビットの値を "10b" に変更した後、自動的に CH_HALT モードに遷移します。CHSR.TEC[7:0] ビットと REC[7:0] ビットは "00h" に初期化され、CHESR.BORDF フラグは "1" になりません。
- CHCR.BOM[1:0] = 10b :**
 CAN チャンネルは、バスオフ状態に遷移すると、CHCR.MDC[1:0] ビットの値を "10b" に変更し、CAN チャンネルがバスオフ復帰シーケンス (11 回の連続したレセシブビットを 128 回検出) を完了した後、自動的に CH_HALT モードに遷移します。CHSR.TEC[7:0] ビットと REC[7:0] ビットは "00h" に初期化され、CHESR.BORDF フラグが "1" になります。
- CHCR.BOM[1:0] = 11b :**
 バスオフ復帰が開始されますが、CH_HALT モードへの遷移が要求された場合、CAN チャンネルはバスオフ状態であっても即座に CH_HALT モードに遷移することができます。CHSR.TEC[7:0] ビットと REC[7:0] ビットは "00h" に初期化され、CHESR.BORDF フラグは "1" になりません。
 CHCR.MDC[1:0] = 10b に設定せずに、11 個のレセシブビットが 128 回連続で検出された場合、遷移条件は CHCR.BOM[1:0] = 00b と同じになります。

このモードでバスオフ復帰が正常に (連続する 11 個のレセシブビット 128 回のシーケンスを待機した後) 行われた場合、かつ、その間に CH_HALT 要求が発生しなかった場合、CHESR.BORDF フラグが“1”になります。

CAN チャンネルが CH_HALT モードに遷移すると同時にソフトウェアが CHCR.MDC[1:0] ビットに書き込む場合 (CHCR.BOM[1:0] = 01b の場合はバスオフの開始時、CHCR.BOM[1:0] = 10b の場合はバスオフの終了時)、ソフトウェア要求の優先度が最も高くなります。

注. 上記の場合、CHCR.MDC[1:0] ビットの値が以前に“00b” (CH_OPERATION モード) であった場合に、CH_HALT モード要求に対する CHCR.MDC[1:0] ビットの自動設定が行われます。

また、CHCR.RTBO ビットを“1”にすると、CAN チャンネルをバスオフ状態から強制的に復帰させることができます。

最大で 1 ビットタイムの遅延時間でエラー状態がバスオフ状態から統合状態 (Integrating state) に変わり、11 個の連続するレセシブビットが検出された後に、CAN 通信が再度可能になります。この場合、CHESR.BORDF フラグは“1”になりません。CHSR.TEC[7:0] ビットと REC[7:0] ビットは“00h”に初期化されます。

CHCR.RTBO ビットを“1”にする前に、送信メッセージバッファ、送信キュー、送信 FIFO モードの共通 FIFO からの保留中の送信を無効にしなければなりません。

保留中の送信メッセージバッファ、送信キューまたは共通 FIFO が無効化されたことを、それぞれ TMSRn.TXRF[1:0] フラグ、TQSR0.EMPTY フラグ、CFSR0.EMPTY フラグで確認する必要があります。

CHCR.RTBO ビットは、CHCR.BOM[1:0] ビットが“00b”に設定されているときに限り、バスオフ復帰に使用する必要があります。

このビットをバスオフ状態以外で設定しても無効で、即座にクリアされます。

表 34.12 に、CHCR.BOM[1:0] ビットの設定に対する、バスオフ開始検出フラグ (CHESR.BOEDF) とバスオフ復帰検出フラグ (CHESR.BORDF) の動作について示します。

表 34.12 バスオフ開始フラグとバスオフ復帰フラグの動作

CHCR.BOM[1:0]	CHESR.BOEDF フラグ	CHESR.BORDF フラグ
00b	バスオフ開始時に“1”になる	バスオフ状態からの復帰時に“1”になる
00b CHCR.RTBO ビットを“1”に設定		CHCR.RTBO ビットを“1”にする前に、通常のバスオフ復帰が発生した場合のみ“1”になる
01b		“1”にならない
10b		バスオフ状態からの復帰時に“1”になる
11b		CH_HALT モードへの遷移要求をする前に、通常のバスオフ復帰が発生した場合のみ“1”になる

効率的なソフトウェアを作るには、バスオフ復帰シーケンスが終了するのを待つ必要はありません。

バスオフ復帰中に送信の再初期化を実行することができます。これを行うには、図 34.13 の推奨ソフトウェアフローに従ってください。

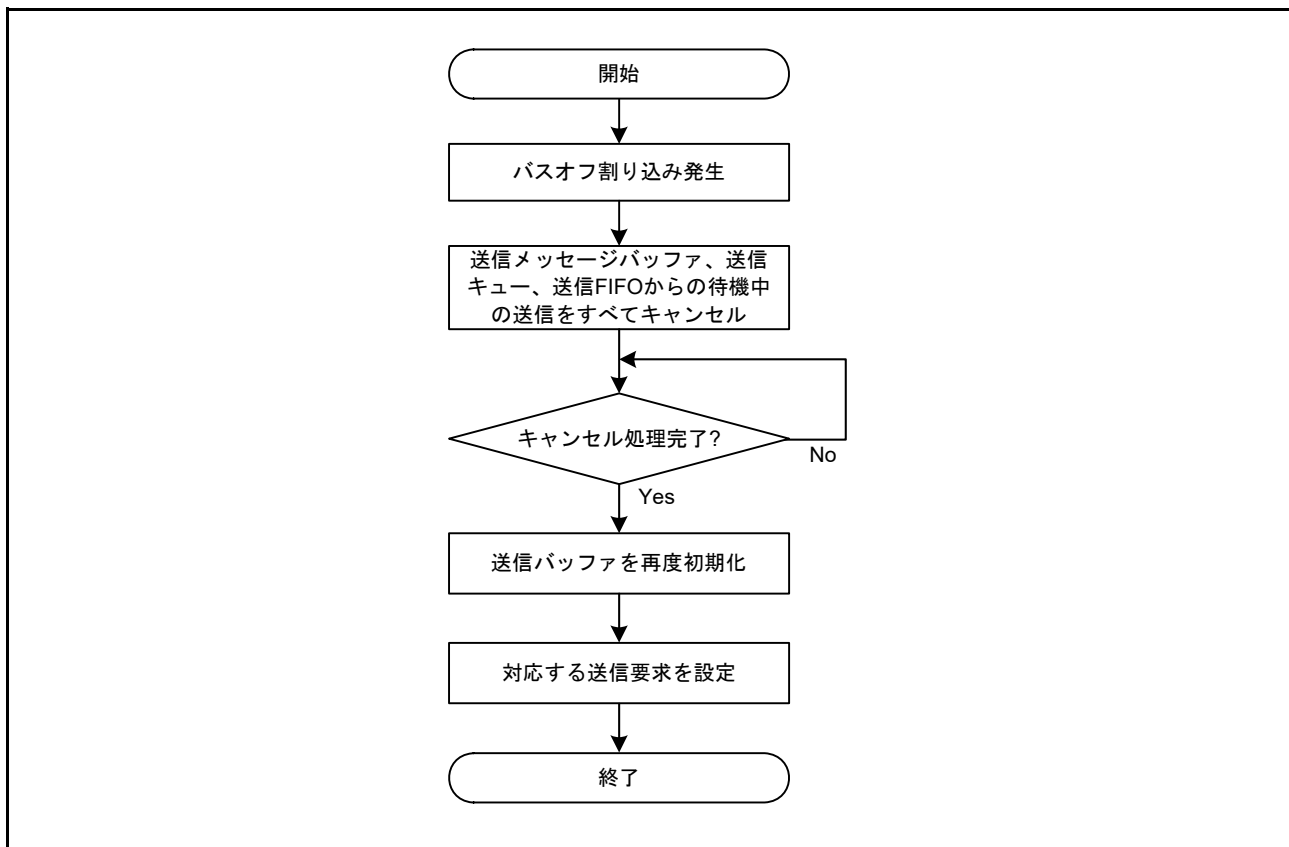


図 34.13 バスオフ中の送信の再初期化

34.3.3 グローバルモード遷移とチャンネルモード遷移の相互作用

グローバルモード設定とチャンネルモード設定の相互作用は以下の通りです。

- CHCR.MDC[1:0] ビットを変更しても、GCR.MDC[1:0] ビットは変化しない
- GCR.MDC[1:0] ビットを変更すると、表 34.13 に示すようにチャンネルモードが変化する

表 34.13 グローバルモード変更によるチャンネルモード遷移

グローバルモードの変更	グローバルモード変更前のチャンネルモード	グローバルモード変更後のチャンネルモード
GL_SLEEP → GL_RESET	CH_SLEEP	CH_SLEEP (変更なし)
GL_RESET → GL_SLEEP	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_SLEEP
GL_RESET → GL_HALT	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
GL_RESET → GL_OPERATION	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
GL_HALT → GL_RESET	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_RESET
GL_HALT → GL_OPERATION	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_HALT (変更なし)
GL_OPERATION → GL_RESET	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_RESET
	CH_OPERATION	CH_RESET
GL_OPERATION → GL_HALT	CH_SLEEP	CH_SLEEP (変更なし)
	CH_RESET	CH_RESET (変更なし)
	CH_HALT	CH_HALT (変更なし)
	CH_OPERATION	通信終了後、CH_HALT

34.3.3.1 グローバルモードの変更タイミング

表 34.14 に、グローバルモード変更時の遷移時間を示します。

表 34.14 グローバルモードの最大遷移時間

変更前	遷移先	最大遷移時間
GL_SLEEP	GL_RESET	3 × PCLKB (注2)
GL_RESET	GL_SLEEP	3 × PCLKB
GL_RESET	GL_HALT	10 × PCLKB
GL_RESET	GL_OPERATION	10 × PCLKB
GL_HALT	GL_RESET	2ビットタイム(1 Tq + 16 × PCLKB + 2 × DLLクロックサイクル)
GL_HALT	GL_OPERATION	3 × PCLKB
GL_OPERATION	GL_RESET	2ビットタイム(1 Tq + 16 × PCLKB + 2 × DLLクロックサイクル)
GL_OPERATION	GL_HALT	3 CANフレーム(1 CANフレーム + 3424 × PCLKB) (注1)(注3)

注1. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間が長くなり、計算されない結果になることがあります。遷移時間は、受信ラインのロックやエラー状態が続くとスタック状態になることがあります。

注2. GL_SLEEPモードからの遷移は、GSR.RAMSTフラグがクリアされているときのみ行ってください。

注3. Tq、CANフレーム、ビットタイムは、個々のチャンネルに関連しています。遷移時間を最大にするためには、ビットレートが最も低いチャンネルを使用する必要があります。

34.3.3.2 チャンネルモードの変更タイミング

表 34.15 に、チャンネルモード変更時の遷移時間を示します。

表 34.15 チャンネルモードの最大遷移時間

変更前	遷移先	最大遷移時間
CH_SLEEP	CH_RESET	3 × PCLKB
CH_RESET	CH_SLEEP	3 × PCLKB
CH_RESET	CH_HALT	3ビットタイム(1 CANビット + 2 Tq + 8 × PCLKB + 2 × DLLクロックサイクル)
CH_RESET	CH_OPERATION	4ビットタイム(2 CANビット + 1 TSEG1 + 12 × PCLKB + 2 × DLLクロックサイクル)
CH_HALT	CH_RESET	2ビットタイム(1 Tq + 10 × PCLKB + 2 × DLLクロックサイクル)
CH_HALT	CH_OPERATION	4ビットタイム(< 4 CANビット)(注3)
CH_OPERATION	CH_RESET	2ビットタイム(1 Tq + 10 × PCLKB + 2 × DLLクロックサイクル)
CH_OPERATION	CH_HALT	2CANフレーム(1 CANフレーム + 13 CANビット)(注1)(注2)

- 注1. ここに示す遷移時間には、チャンネルがバスオフ状態になる場合を含みません。バスオフの場合、タイミングは CHCR.BOM[1:0]ビットの設定に依存します。
- 注2. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間が長くなり、計算されない結果になることがあります。遷移時間は、受信ラインのロックやエラー状態が続くとスタック状態になることがあります。
- 注3. 一般的に、CH_HALTモードでビットレートプリスケアラビット(NBCR.BRP[9:0])の値を変更すると遷移時間がずれることがあります。内部のプリスケアラはTqクロックを生成するフリーランニングダウンカウンタで、カウンタが値0になると新しいBRP値がキャプチャされます。

34.4 CANFD モジュールの初期化

CAN 通信を開始する前に、以下の設定を行ってください。

- クロックの設定
- ビットタイミングの設定 (公称ビットレートとデータビットレート)
- ビットレートの設定 (公称ビットレートとデータビットレート)
- CANFD の設定
- アクセプタンスフィルタの設定 (アクセプタンスフィルタリストの設定)
- 受信 FIFO および送信 FIFO の設定
- CAN 動作モード設定

34.4.1 CAN クロック、ビットタイミング、ビットレートの初期化

34.4.1.1 ビットタイミング条件

各セグメントの設定と、セグメントの設定に適用される制約条件を以下に示します。

1. 各セグメントの設定

SS = 1 Tq に固定

TSEG1 = 2 Tq ~ 256 Tq (NBCR), 2 Tq ~ 32 Tq (DBCR)

TSEG2 = 2 Tq ~ 128 Tq (NBCR), 2 Tq ~ 16 Tq (DBCR)

SJW = 1 Tq ~ 128 Tq (NBCR), 1 Tq ~ 16 Tq (DBCR)

SS + TSEG1 + TSEG2 = 8 Tq ~ 385 Tq (NBCR), 5 Tq ~ 49 Tq (DBCR)

2. TSEG1、TSEG2、SJW の制約条件

NBCR レジスタ : TSEG1 > TSEG2 ≥ SJW

DBCR レジスタ : TSEG1 ≥ TSEG2 ≥ SJW

表 34.16 に、要求されるサンプルポイント設定を実現するためのビットタイミング設定の例を示します。

表34.16 ビットタイミング例

1ビット	設定値(Tq)				サンプルポイント(%)
	SS	TSEG1	TSEG2	SJW	
5 Tq	1	2	2	1	60.00
8 Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10 Tq	1	6	3	1	70.00
	1	7	2	1	80.00
12 Tq	1	8	3	1	75.00
	1	9	2	1	83.33
15 Tq	1	10	4	1	73.33
	1	11	3	1	80.00
16 Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20 Tq	1	12	7	1	65.00
	1	13	6	1	70.00
24 Tq	1	15	8	1	66.66
	1	16	7	1	70.83
50 Tq	1	39	10	4	80.00

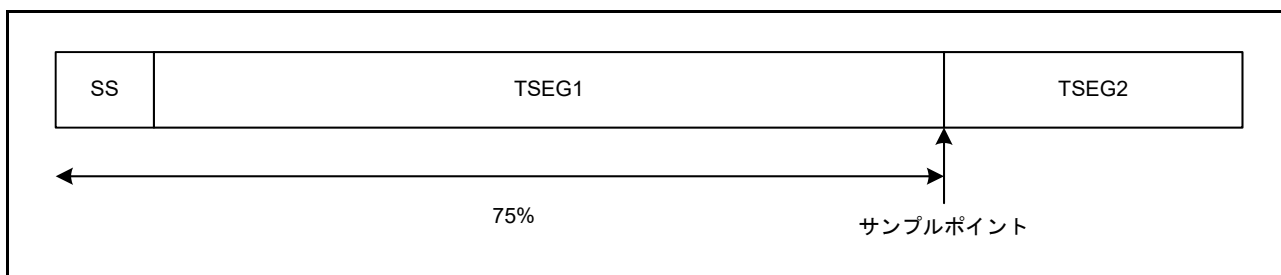


図 34.14 サンプルポイント (75% の場合)

34.4.1.2 ビットタイミング

CAN プロトコルでは、通信フレームの各ビットは、3つのセグメントで構成されています。各セグメントは、NBCR レジスタおよび DBCR レジスタを使用して設定できます。

図 34.15 に、1 ビットのセグメント構成と、ビット内のサンプルポイントを示します。

これらのセグメントのうち、タイムセグメント 1 (TSEG1) とタイムセグメント 2 (TSEG2) は、サンプルポイントの位置を指定するために使用されます。TSEG1 と TSEG2 の値を変更することで、CAN バス上の各ビットをサンプリングするタイミングを変更することができます。

このタイミングの最小単位を T_q (Time Quantum) と呼びます。 T_q の長さは、CAN チャネルに供給されるクロック周波数とビットレートプリスケアラの N 分周値 (公称ビットレートとデータビットレート) によって決まります。

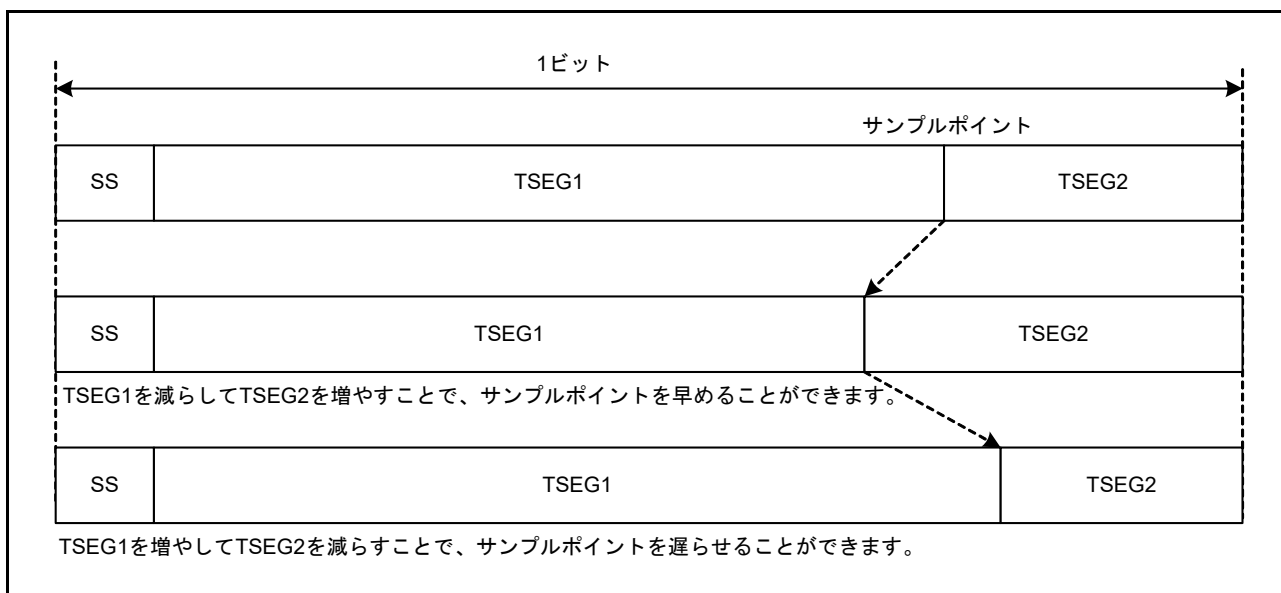


図 34.15 ビット内のセグメント構成とサンプルポイント

1. SS : 同期セグメント

インターフレームスペース中のレセプシブからドミナントへのエッジをモニタして、ビットを同期するセグメントです。インターフレームスペースは、インターミッション、サスペンド送信、バスアイドルで構成され、バスアイドル中に全ノードが送信を開始することができます。

2. TSEG1 : タイムセグメント 1

CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、バス上の遅延、入力コンパレータ上の遅延、出力ドライバの遅延の総和の 2 倍になります。SJW によっ

て伸ばすことができます。

3. TSEG2：タイムセグメント2

再同期を実行してフェーズエラーを補償するセグメントです。SJWによって短縮することができます。メッセージの送受信中、発振周波数のドリフトや伝送路の遅延などにより、一部のノード間で通信フレームが同期がずれる場合があります。これをフェーズエラーといいます。

4. SJW：再同期ジャンプ幅

フェーズエラーにより同期ずれしたビットを補償できる最大ビット幅です。

図 34.15 では、代表的なサンプルポイントの例を示しています。

34.4.1.3 ビットレート

CAN 通信クロックは、データリンク層の動作クロック (DLL クロック) を分周して生成します。

DLL クロックには、内部クロック (CANFDCLK) または外部クロック (CANFDMCLK) のいずれかを選択することができます。

図 34.16 に CAN 通信クロックを生成する回路のブロック図を示します。

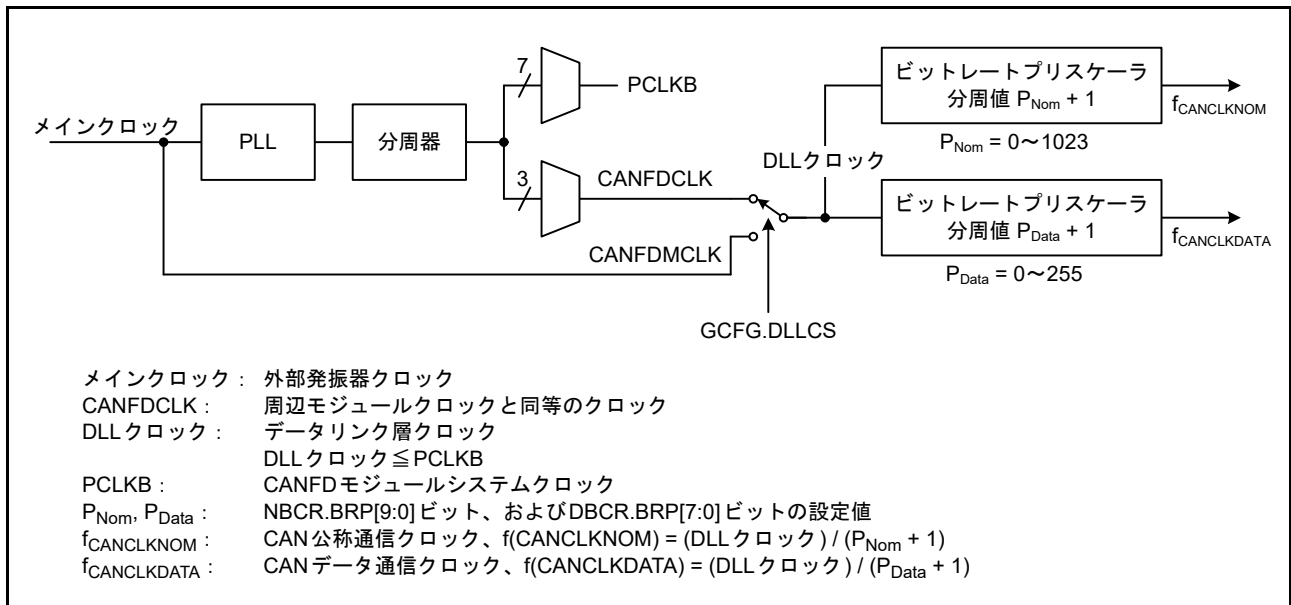


図 34.16 CAN 通信クロック生成回路ブロック図

ビットレートは、DLL クロック周波数、ビットレートプリスケアラの分周値 (P + 1)、1 ビットあたりの Tq 数によって決定されます。

$$\text{ビットレート} = \frac{\text{DLLクロック周波数}}{1 \text{ ビットあたりの } Tq \text{ 数} \times (P + 1)} = \frac{\text{CAN通信クロック周波数}}{1 \text{ ビットあたりの } Tq \text{ 数}}$$

表 34.17 に Classical CAN フレームのための公称ビットレートの設定例を示します。

表 34.17 Classical CAN フレームのための公称ビットレートの設定例

ビットレート	DLL クロック周波数													
	32 MHz		30 MHz		24 MHz		20 MHz		16 MHz		10 MHz		8 MHz (注1)	
	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1
1 Mbps	8 Tq 16 Tq	4 2	10 Tq 15 Tq	3 2	8 Tq 12 Tq 24 Tq	3 2 1	10 Tq 20 Tq	2 1	8 Tq 16 Tq	2 1	10 Tq	1	8 Tq	1
500 kbps	8 Tq 16 Tq	8 4	10 Tq 15 Tq 20 Tq	6 4 3	8 Tq 12 Tq 24 Tq	6 4 2	10 Tq 20 Tq	4 2	8 Tq 16 Tq	4 2	10 Tq 20 Tq	2 1	8 Tq 16 Tq	2 1
250 kbps	8 Tq 16 Tq	16 8	10 Tq 15 Tq 20 Tq	12 8 6	8 Tq 12 Tq 24 Tq	12 8 4	10 Tq 20 Tq	8 4	8 Tq 16 Tq	8 4	10 Tq 20 Tq	4 2	8 Tq 16 Tq	4 2
125 kbps	8 Tq 16 Tq	32 16	10 Tq 15 Tq 20 Tq	24 16 12	8 Tq 12 Tq 24 Tq	24 16 8	10 Tq 20 Tq	16 8	8 Tq 16 Tq	16 8	10 Tq 20 Tq	8 4	8 Tq 16 Tq	8 4
83.3 kbps	8 Tq 12 Tq 16 Tq 24 Tq	48 32 24 16	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	45 36 30 24 18 15	8 Tq 12 Tq 16 Tq 24 Tq	36 24 18 12	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	30 24 20 16 15 12 10	8 Tq 12 Tq 16 Tq 24 Tq	24 16 12 8	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	15 12 10 8 6 5	8 Tq	12
33.3 kbps	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	120 96 80 64 60 48 40	10 Tq 12 Tq 15 Tq 20 Tq	90 75 60 45	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	90 72 60 48 45 36 30	8 Tq 10 Tq 12 Tq 15 Tq 20 Tq 24 Tq	75 60 50 40 30 25	8 Tq 10 Tq 12 Tq 15 Tq 16 Tq 20 Tq 24 Tq	60 48 40 32 30 24 20	10 Tq 12 Tq 15 Tq 20 Tq	30 25 20 15	8 Tq	30

注1. 公称ビットレート1 Mbpsを達成するための最低周波数です。

CAN FD フレームを使用するネットワークで、最適なクロックトレランスを実現するには、公称ビットタイムとデータビットタイムで Tq の長さを同じにしなければなりません。つまり、NBCR.BRP[9:0] = DBCR.BRP[7:0] にします。

また、トランシーバ遅延補償を使用する場合は、DBCR.BRP[7:0] ビットを 1 より大きい値に設定しないでください。

表 34.18 に CAN FD フレームのための公称ビットレート、データビットレートの設定例を示します。

表 34.18 CAN FD フレームのための公称ビットレート、データビットレートの設定例

ビットレート		DLL クロック周波数								
		32 MHz			30 MHz			20 MHz		
		Tq数		P+1	Tq数		P+1	Tq数		P+1
公称	データ	公称	データ		公称	データ				
1 Mbps	5 Mbps	—	—	—	30 Tq	6 Tq	1	—	—	—
1 Mbps	4 Mbps	32 Tq	8 Tq	1	—	—	—	20 Tq	5 Tq	1
1 Mbps	2 Mbps	32 Tq	16 Tq	1	30 Tq	15 Tq	1	20 Tq	10 Tq	1
500 kbps	2 Mbps	64 Tq	16 Tq	1	60 Tq	15 Tq	1	40 Tq	10 Tq	1

34.4.1.4 CANクロック、ビットタイミング、ビットレートの設定

図 34.17 にビットタイミングとビットレートの設定手順を示します。

これらの設定は、CH_RESET モードで行ってください。

ビットレートは、チャンネル通信状態に入る前に設定しておかないと、正しくモードが切り替わりません。

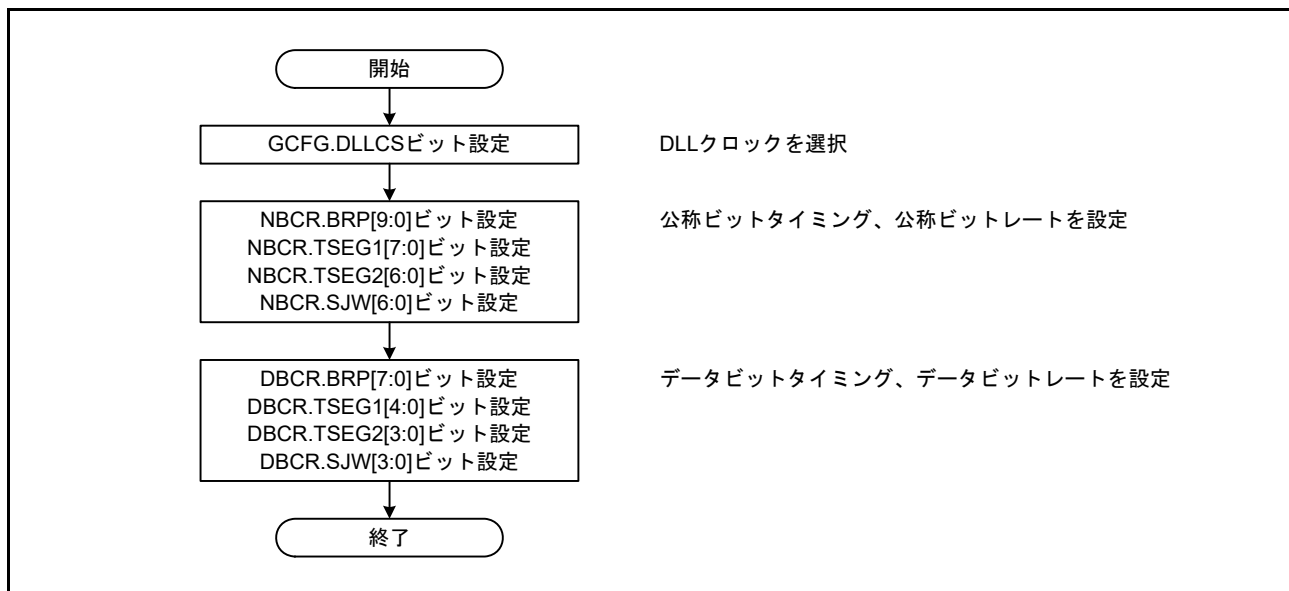


図 34.17 ビットタイミングとビットレートの設定手順

34.4.1.5 トランシーバ遅延補償

データフェーズに 5Mbps のような高いビットレートを使用した場合、トランシーバの内部遅延が TSEG1 よりも大きくなる場合があります。その場合、送信回路は CAN FD フレームのデータフェーズでビットエラーを検出してしまいます。トランシーバ遅延補償機能は、送信回路自身が送信したビットを、そのビットのサンプルポイントで受信できない場合に補償します。

もう 1 つの象徴的なサンプルポイントとして、CAN FD フレームのデータフェーズでのみ使用される第二サンプルポイント (SSP) があります。図 34.18 に示すように、SSP はトランシーバ遅延補償結果ビット (FDSTS.TDCR[7:0]) から得られます。

設定の分解能、測定値、およびオフセット値は、DLL クロック基準です。

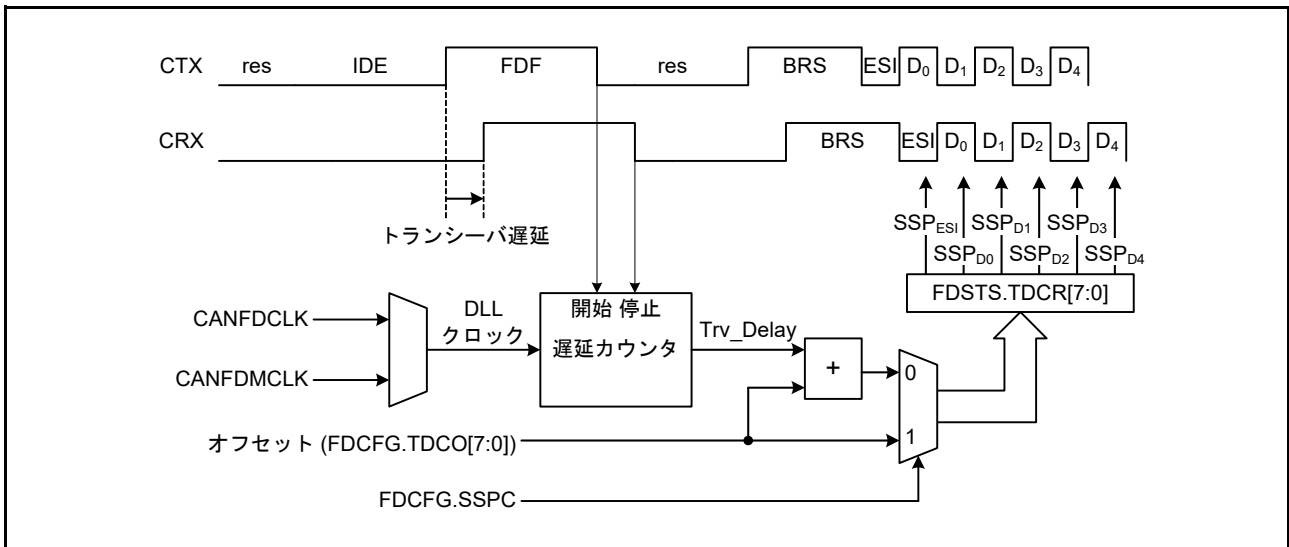


図 34.18 トランシーバ遅延補償

測定された遅延時間 Trv_Delay は、DLL クロックのサイクル数に基づいており、ドミナント値が CRX0 端子で観測できるまで、開始クロックごとに 1 ずつカウントアップされます。図 34.19 に Trv_Delay の測定例を示します。Trv_Delay が各 DLL クロックで最大 127 までカウントされます。

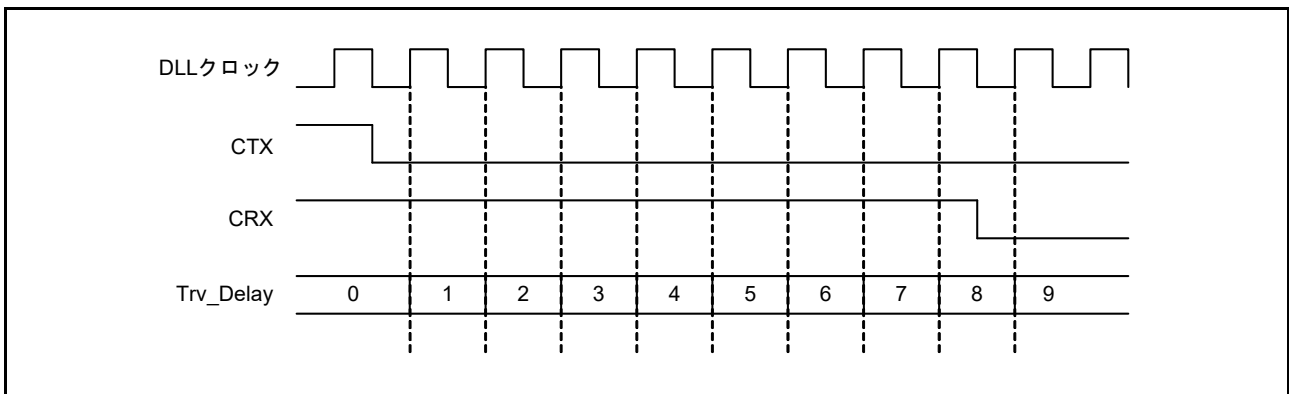


図 34.19 Trv_Delay の測定例

SSP は、FDSTS.TDCR[7:0] ビットからの結果を取り、その値をデータ T_q の最も近い整数値に切り捨てることで計算されます。

図 34.20 に、第二サンプルポイント (SSP) の決め方を示します。FDCFG.SSPC ビットが“0”のとき、SSP は Trv_Delay (測定された遅延時間) + FDCFG.TDCO[7:0] を、T_q の最も近い整数値に切り捨てた値と等しくなります。通常、TDCO[7:0] の値は、SSP をサンプルポイントの理論上の位置に配置するため、データフェーズの SS + TSEG1 の大きさを持ちます。

FDCFG.SSPC ビットが“1”のとき、SSP は FDCFG.TDCO[7:0] ビットによって決まります。DBCR.BRP[7:0] ビットが“00h”より大きい場合、その値も T_q の最も近い整数値に切り捨てられます。

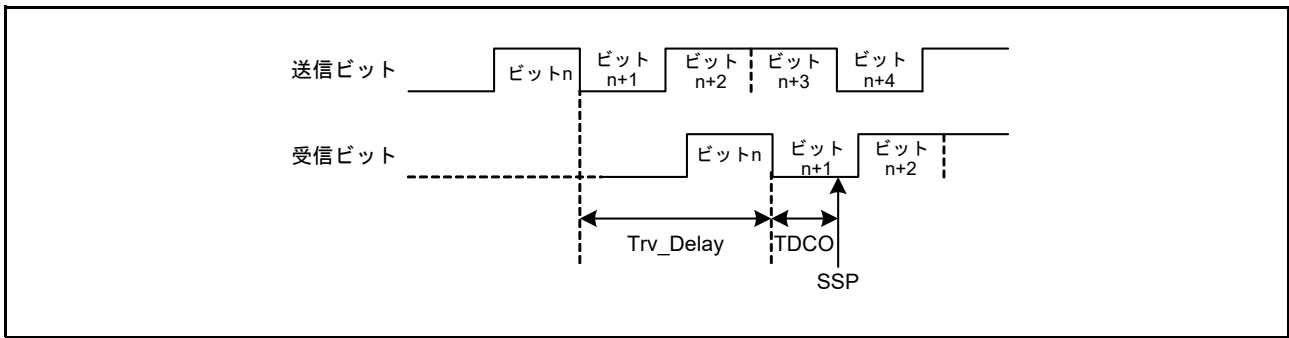


図 34.20 第二サンプルポイント (SSP) の決定

CANFD モジュールで補償できる最大遅延時間 (Trv_Delay + TDCO[7:0]) は、(6 データビット - 2 DLL クロック) です。

ISO 11898-1 では、BRP_data と BRP_nom に異なる値を設定することができます。

NBCR.BRP[9:0] ビットと DBCR.BRP[7:0] ビットの値が異なる場合、BRS ビットのサンプルポイントの後、ビットレートが公称ビットレートからデータビットレートに変化した時点で、2つのCANノードが同期がずれることがあります。この状況を図 34.21 に示します。

公称ビットタイムとデータビットタイムで、Tqの長さを同じにする必要があります。つまり、NBCR.BRP[9:0] = DBCR.BRP[7:0] に設定します。

タイムセグメントの異なる設定値を選択することで、ビットレートを変えることができます。公称ビットレートは 8 ~ 385 Tq、データビットレートは 5 ~ 49 Tq に設定できます。

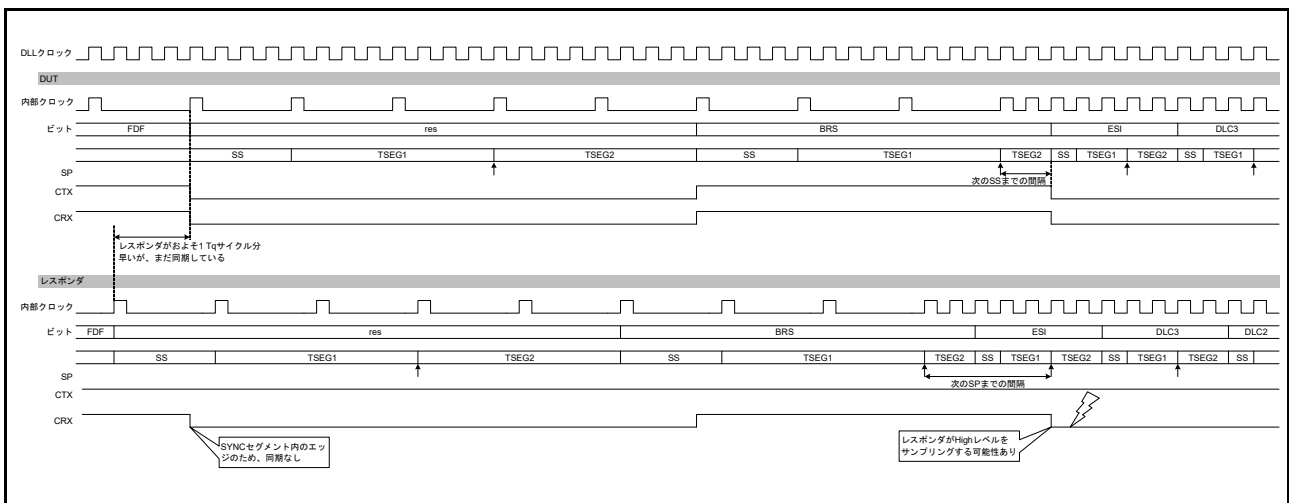


図 34.21 2つのCANノード間の同期ずれ

適切に設定 (FDCFG.TDCE = 1, FDCFG.SSPC = 0) すると、トランシーバ遅延補償の測定結果は、FDF ビットから res ビットへの立ち下がりエッジで更新されます。

図 34.22 に、トランシーバ遅延補償結果を取得するための読み出しフローを示します。

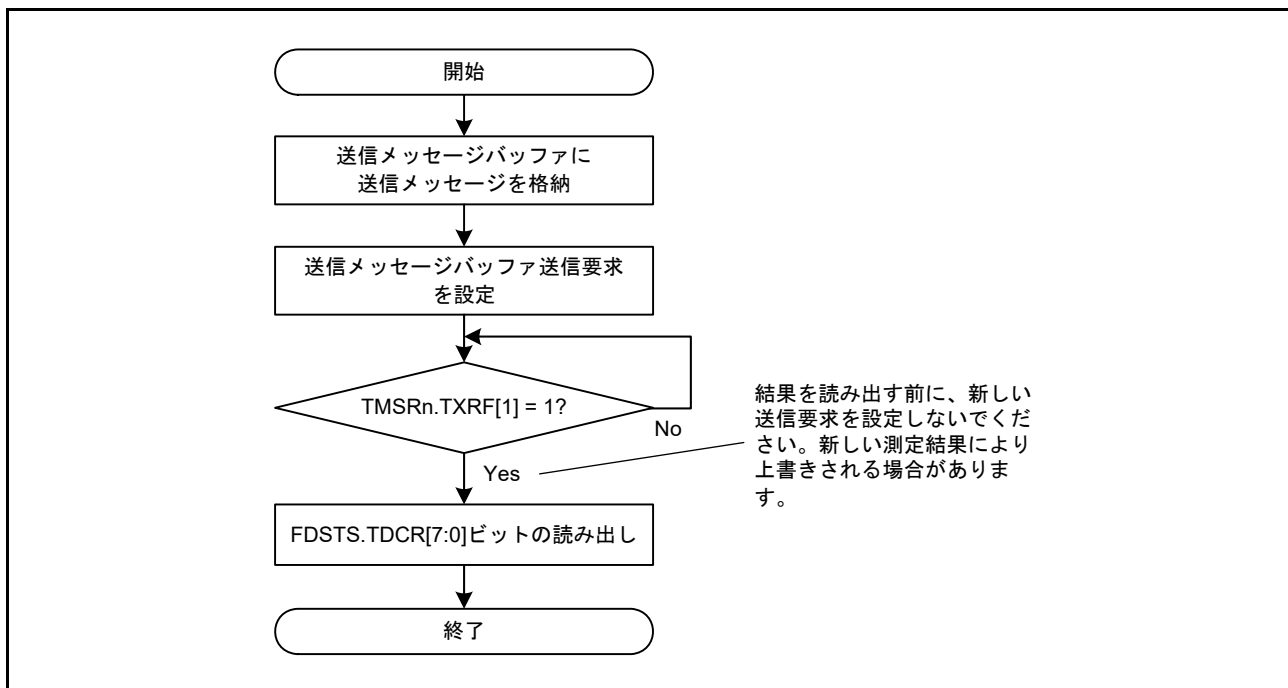


図 34.22 トランシーバ遅延補償結果読み出しフロー

34.4.2 リセット後の CANFD モジュール設定

MCU をリセットする、または GRCR.SRST ビットによるソフトウェアリセットを実行すると、CANFD モジュールは自動的に GL_SLEEP モードに遷移します。

CANFD モジュールの設定を行うには、GCR.SLPRQ ビットを“0”にして GL_SLEEP モードを解除する必要があります。

MCU がリセットされた後、モジュールストップ状態が解除されてクロックが供給されると、RAM の初期化が開始されます。このとき、GSR.RAMST フラグが自動的に“1”になり、CANFD モジュールが RAM を初期化していることを示します。

RAM の初期化が完了すると、このフラグは自動的に“0”になります。

RAM 初期化は、MCU リセット後の RAM 内の不定データによって、誤った ECC エラーが検出されるのを防ぐために必要です。

RAM の初期化が完了し、RAMST フラグが“0”になるまでは、CANFD の他のレジスタへのアクセス（読み出し / 書き込み）を行わないでください。

通信モードに入る前に、アクセプタンスフィルタリストとメッセージ FIFO バッファを設定する必要があります。また、CAN ビットタイミングなどの CAN チャネルの設定が必要です。この設定を行うには、CAN チャネルにおいて CH_SLEEP モードを解除し、CH_RESET モード（設定モード）で通信できるように設定してください。

図 34.23 に設定手順を示します。各ステップの詳細については、「34.5 アクセプタンスフィルタリスト (AFL) を使用したフィルタ処理」「34.6 FIFO バッファとメッセージバッファの構成」「34.10 割り込みと DTC/DMA 転送要求」「34.4.1.3 ビットレート」を参照してください。

GRCR.SRST ビットを“1”にしてソフトウェアリセットを行った場合、CANFD モジュールは RAM の初期化シーケンスを実行しません。

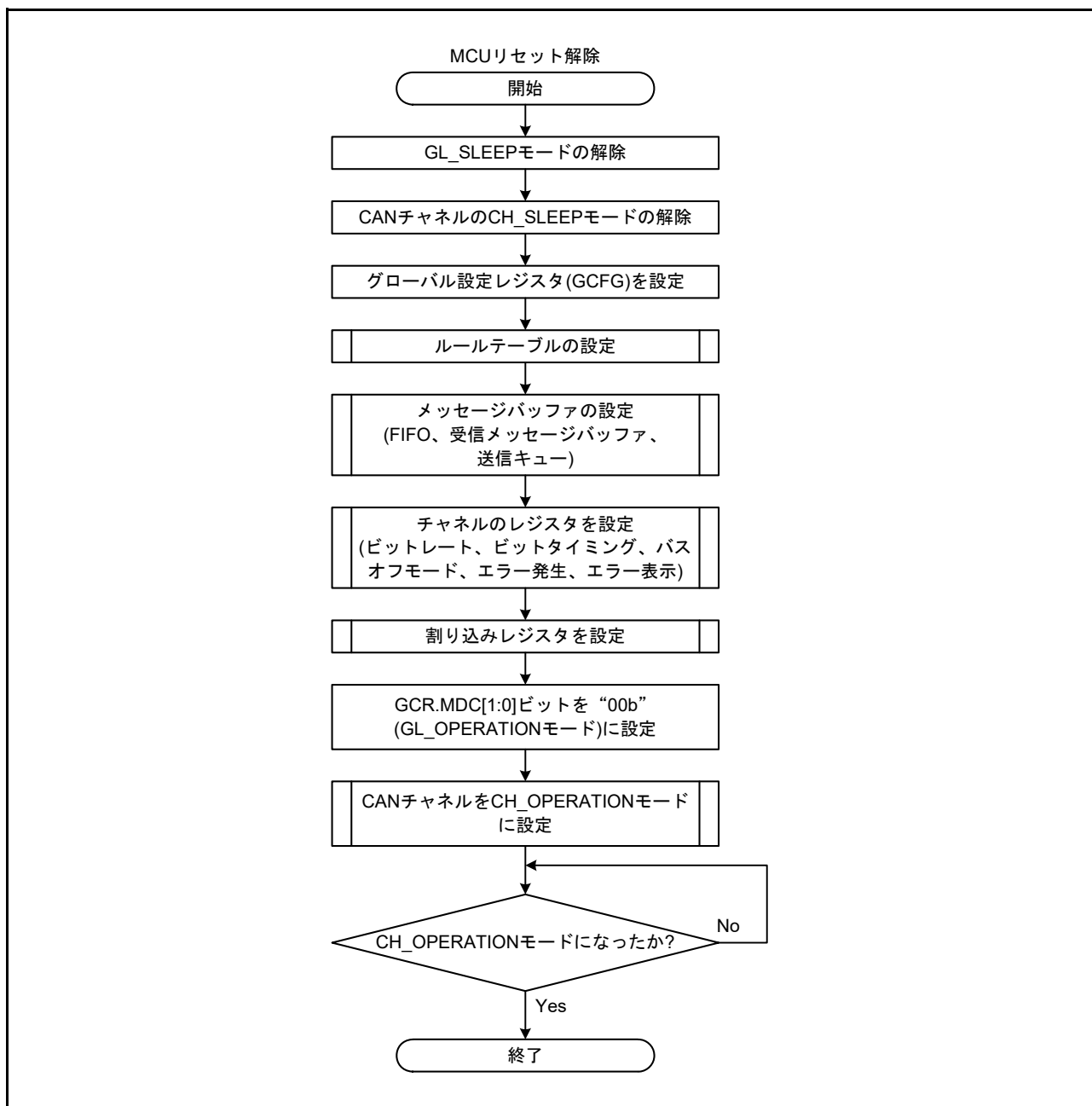


図 34.23 MCU リセット後の設定手順

34.5 アクセプタンスフィルタリスト (AFL) を使用したフィルタ処理

CANFD モジュールでは、アクセプタンスフィルタリスト (AFL) を使用して、チャンネルのメッセージ受付フィルタ処理を行うことができます。AFL の各エントリで、受信したメッセージに対するフィルタルールを定義します。

AFL エントリに基づいて以下の処理が実行されます。

- 受信メッセージの RTR 値、IDE 値、ID 値に基づくアクセプタンスフィルタ処理
- 受信メッセージの DLC 値に基づく DLC フィルタ処理
- GCFG.OMRC ビットに基づくペイロードオーバーフロー処理
- 受け入れたメッセージを指定したメッセージバッファ /FIFO バッファに格納
- 格納したメッセージに指定した16ビットのポインタを付与(AUTOSARアプリケーションをサポートするためなど)
- 格納したメッセージに指定した2ビットの情報ラベルを付与

CANFD モジュールでは、最大 32 個の AFL エントリが利用可能です。

34.5.1 アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、各 AFL エントリが受信メッセージと照合されます。照合は、AFL エントリ番号が最も小さいものから開始されます。

受信メッセージの ID と指定した ID/ マスクの組み合わせが一致したとき、または受信メッセージの ID が定義されたすべての AFL エントリと照合し終わったとき、AFL 検索は停止します。一致しなかった場合、受信メッセージは破棄されます。この場合、アプリケーションへの通知は行われません。

34.5.2 DLC フィルタ処理

DLC チェックが有効 (GCFG.DCE ビット = 1) であると、受け入れたメッセージに対して DLC フィルタ処理が実行されます。受信メッセージの DLC 値が、アクセプタンスフィルタ処理で ID が一致した AFL エントリ (以降、一致エントリ) に指定した DLC 値以上の場合、DLC チェックをパスします。

DLC 置換が有効 (GCFG.DRE ビット = 1) で、一致エントリに指定した DLC 値が “0000b” より大きいときに、DLC チェックをパスすると、一致エントリに指定した DLC 値が受信メッセージバッファ (RMBn) または FIFO バッファに格納されます。受信メッセージの DLC 値が一致エントリに指定した DLC 値よりも大きい場合、超過したデータバイトは RMBn/FIFO バッファに格納されません。超過したデータバイトの部分は、RMBn/FIFO バッファ上で “00h” になります。

DLC 置換が有効で、一致エントリに指定した DLC 値が “0000b” (DLC フィルタ無効) の場合、受信メッセージの DLC 値が RMBn/FIFO バッファに格納されます。

DLC 置換が無効 (GCFG.DRE ビット = 0) のときに DLC チェックをパスすると、受信メッセージの DLC 値が RMBn/FIFO バッファに格納されます。受信メッセージの DLC 値が、一致エントリに指定した DLC 値よりも大きい場合、超過したデータバイトも、RMBn/FIFO バッファに格納されます。

受信メッセージの DLC 値が、一致エントリに指定した DLC 値よりも小さい場合、DLC チェックは失敗します。その場合、受信メッセージは破棄され、どこにも格納されません。

また、DLC チェックに失敗すると、GESR.DEDF フラグが “1” になります。割り込みが許可されている場合、エラー割り込みも発生します。DLC チェックに失敗した場合、DLC 置換の設定は影響しません。

34.5.3 メッセージ格納

受信メッセージがアクセプタンスフィルタ処理と DLC フィルタ処理の両方をパスした場合、メッセージは受信メッセージバッファ 0～31、受信 FIFO 0, 1、受信 FIFO モードに設定された共通 FIFO 0 のいずれかに格納されます。

このメッセージ格納先情報も、AFL エントリに定義されています。未定義の AFL エントリに格納先を指定しないでください。

メッセージの格納先は、最大 2 箇所まで指定できます。3 箇所以上指定しないでください。

34.5.4 ペイロードオーバーフロー処理

受信メッセージに、格納先に保存可能なサイズ (RMCR.PLS[2:0], RFCR0.PLS[2:0], RFCR1.PLS[2:0], CFMR0.PLS[2:0]) よりも長いペイロードサイズのデータが含まれている場合のために、保護機構があります。

GCFG.OMRC ビット = 0 (メッセージを破棄) の場合、指定したペイロードサイズを超えるデータバイトを持つメッセージは破棄され、格納されません。この場合、FIFO がフルであっても、対応する FMLSR.RFML0、RFML1、CFML0 フラグは“1”になりません。

GCFG.OMRC ビット = 1 (指定したサイズにカット) の場合、指定したペイロードサイズを超えるデータバイトのみが破棄されます。この場合、FIFO がフルであると、対応する FMLSR.RFML0、RFML1、CFML0 フラグが“1” (メッセージロスト発生) になります。

GCFG.DRE ビットの設定に応じて、受信メッセージの DLC 値か AFL エントリに指定した DLC 値のいずれかが格納されます。

GCFG.OMRC ビットの設定に関わらず、ペイロードオーバーフローが発生した場合は、GESR.PODF フラグが“1”になります。

DLC フィルタ処理は、ペイロードオーバーフロー処理より前に実行されます。そのため、1つの受信フレームに対しては、GESR.DEDF フラグまたは GESR.PODF フラグのいずれか 1つのフラグのみ“1”になります。

34.5.5 AFL エントリの割り当て

AFL エントリの数 (ルール数) は、AFCFG.RN0[5:0] ビットで設定することができます (図 34.24 参照)。

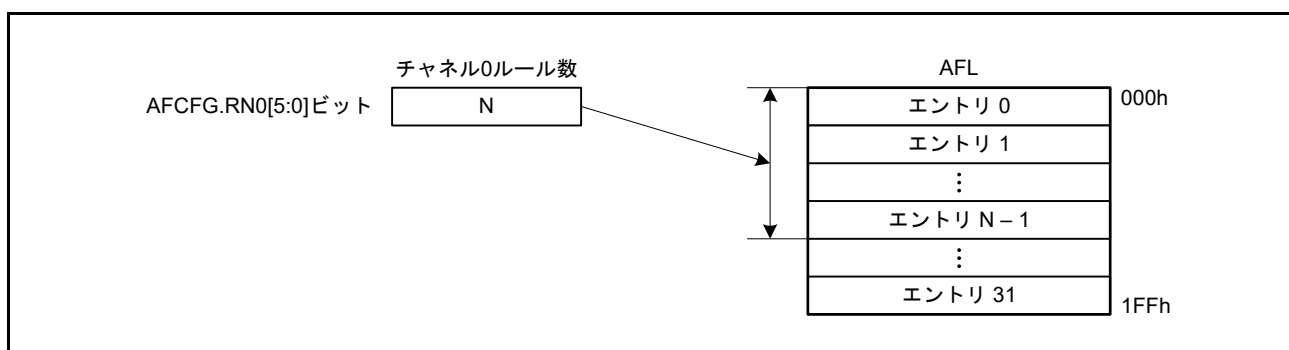


図 34.24 AFL の設定

1 チャンネルあたりのルール数は 0 (チャンネルにエントリが定義されていない状態) ～ 32 です。CANFD モジュールでは、AFL の設定に関連したエラーは通知されません。

34.5.6 AFL エントリの説明

AFL エントリはそれぞれ 16 バイトで構成されています。すべてのエントリでフィールドは同一です。

各エントリには、アクセプタンスフィルタ処理および DLC フィルタ処理に使用される以下の情報が含まれます。

- ID フィールド (標準フレームフォーマットでは 11 ビット、拡張フレームフォーマットでは 29 ビット):
アクセプタンスフィルタユニットは、受信したメッセージの ID フィールドとこのフィールドを照合します (ID フィールドの 29 ビットを個別にマスクできます。後述の「ID マスクフィールド」の説明を参照してください)。
- IDE ビット:
アクセプタンスフィルタユニットは、受信したメッセージの IDE ビットとこのビットを照合し、ID フィールドの該当部分を選択してアクセプタンスフィルタ処理を行います (IDE ビットのマスクが可能です。後述の「IDE マスクビット」の説明を参照してください)。
- RTR ビット:
アクセプタンスフィルタユニットは、このビットの設定に従って、データフレーム (RTR=0) またはリモートフレーム (RTR=1) のみを受け入れます (RTR ビットのマスクが可能です。後述の「RTR マスクビット」の説明を参照してください)。
- ループバック設定ビット:
ループバック設定やミラーモード設定によって、AFL エントリを有効/無効にできます。
- ID マスクフィールド (29 ビット):
ID マスクフィールドの各ビットは、AFL エントリ内の対応する ID ビットをマスクすることができます (図 34.25 参照)。
- IDE マスクビット:
AFL エントリの IDE ビットをマスクした場合、当該 AFL エントリでは、標準 ID フォーマットと拡張 ID フォーマットの両方メッセージを受け入れることができます。標準 ID フォーマットのメッセージに対しては、AFL エントリの標準 ID 部分と、拡張 ID フォーマットのメッセージに対しては、AFL エントリの拡張 ID 部分と比較されます。
- RTR マスクビット:
AFL エントリの RTR ビットをマスクした場合、当該 AFL エントリでは、データフレームとリモートフレームの両方のフレームフォーマットを受け入れることができます。
- ポインタ (16 ビット):
この 16 ビットのポインタは、当該 AFL エントリが受け入れたメッセージに付加されます。このポインタは、メッセージバッファ領域にメッセージを格納する際に付加され、アプリケーションにてサポート機能として使用できます。たとえば、ポインタ情報を使用して、AUTOSAR システムにおける受信メッセージへの PDU ID の割り当てをサポートすることができます。
- 情報ラベル (2 ビット):
この 2 ビットのラベルは、当該 AFL エントリが受け入れたメッセージに付加されます。このラベルは、メッセージバッファ領域にメッセージを格納する際に付加され、アプリケーションにてサポート機能として使用できます。
- DLC フィールド:
受信メッセージの DLC 値がこのフィールドに設定した値以上であれば、DLC チェックをパスします。AFL エントリの DLC 値が“0000b”の場合、当該エントリの DLC フィルタ処理は実質的に無効になります (受け入れられたすべてのメッセージが DLC フィルタ処理をパスします)。

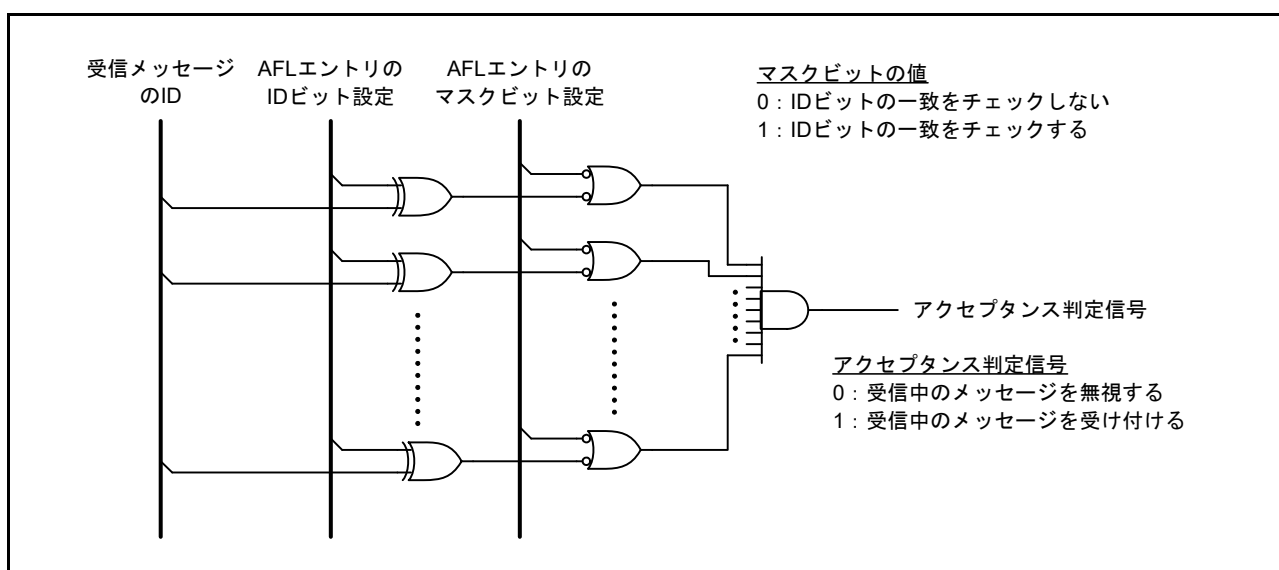


図 34.25 アクセプタンスフィルタ機能

各 AFL エントリには、受け入れたメッセージを処理するための以下の情報が含まれます。

- 受信メッセージの格納先として使用される、受信メッセージバッファのメッセージバッファ番号
- 受信メッセージの格納先として受信メッセージバッファを指定するための、格納先メッセージバッファ指定許可ビット
- 受信メッセージの格納先として FIFO を指定するための、FIFO 格納先許可ビット

メッセージの格納に関する保護機能はありません。そのため、FIFO 格納先許可ビットは慎重に設定する必要があります。

34.5.7 AFL へのエントリの入力

以下のレジスタを介して AFL 内にエントリを入力することができます。

- AFLn.IDR レジスタ：AFL エントリの第一部分
- AFLn.MASK レジスタ：AFL エントリの第二部分
- AFLn.PTR0 レジスタ：AFL エントリの第三部分
- AFLn.PTR1 レジスタ：AFL エントリの第四部分

これらのレジスタ 16 セットで AFL エントリの 1 ページを構成しています。CANFD モジュールには 32 個のエントリが存在し、AFCR.PAGE ビットでページを指定することにより、これらのエントリ全体にアクセスできます。AFL は CH_RESET モードまたは CH_HALT モードで設定してください。

表 34.19 に、ページと対応する AFL エントリを示します。

表 34.19 ページとアクセスできる AFL エントリ

ページ	アクセスできる AFL エントリ
ページ0	エントリ 0～15
ページ1	エントリ 16～31

AFL のアクセス制御は、AFCR レジスタを使用して行います (図 34.26 参照)。このレジスタには以下のビットがあります。

- AFL ページ番号を選択する PAGE ビット
- AFL への不要な書き込みを防止するために、書き込みを許可 / 禁止する AFLWE ビット

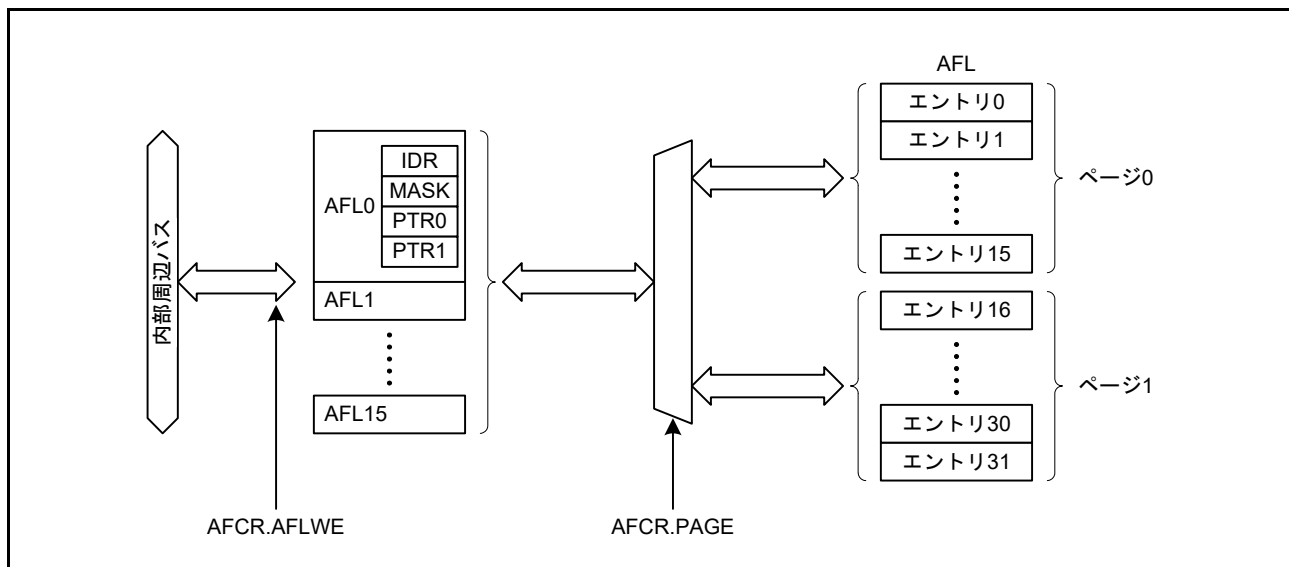


図 34.26 AFL のページアクセス

図 34.27 に示すフローに従って AFL を設定してください。

すべてのエントリを入力した後、AFL への不要な書き込みを防止するために AFL への書き込みを禁止する必要があります。

AFLWE ビットが“0”になっている場合、すべてのグローバルモード (GL_RESET、GL_HALT、GL_OPERATION) で書き込み保護が有効になります。

AFLWE ビットが“0”になっている場合でも、すべてのグローバルモードで AFL の読み出しが可能です (実行中に AFL の内容の整合性チェックが可能です)。

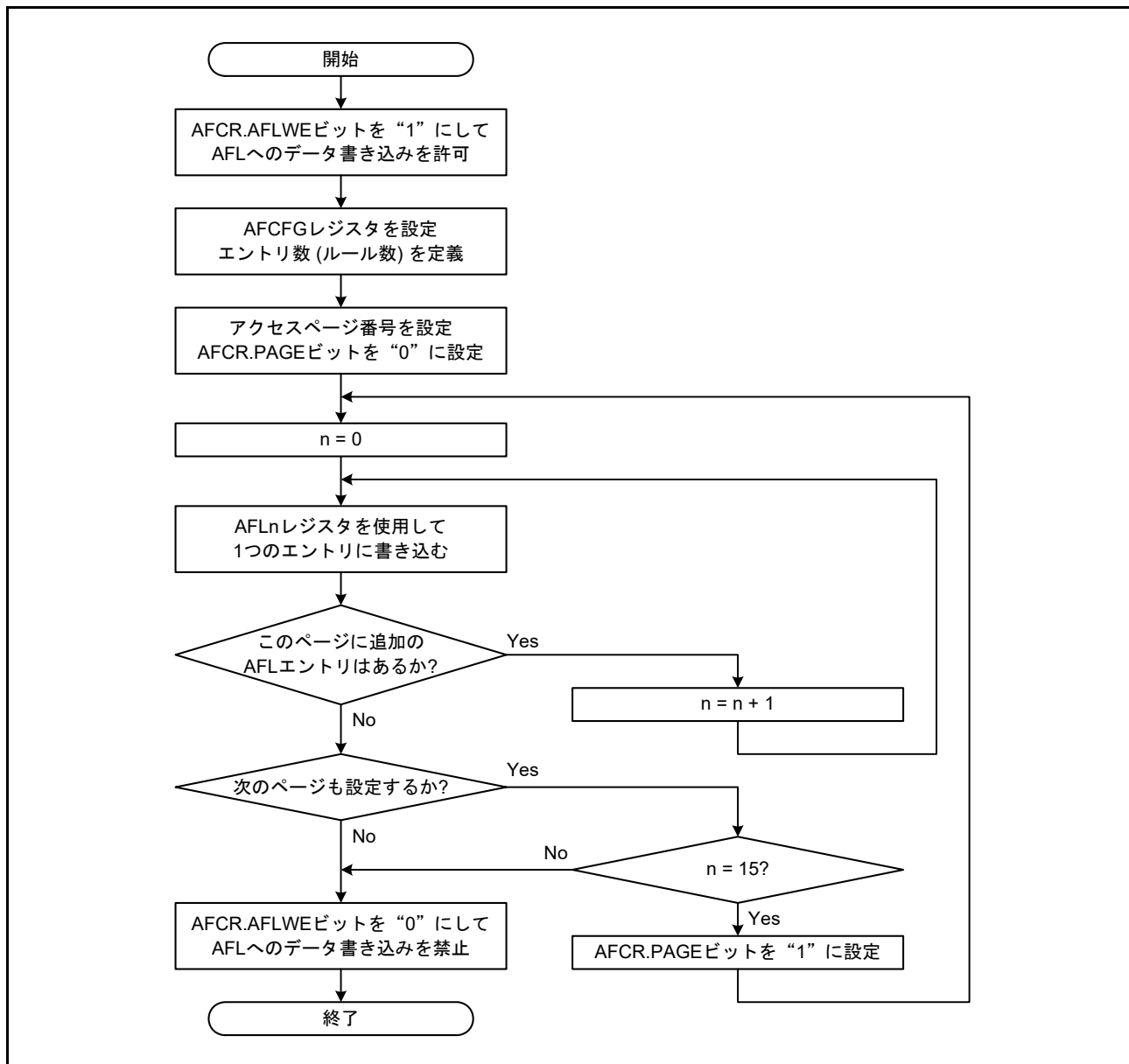


図 34.27 AFL 設定フロー

34.5.8 ループバックモード

AFLn.IDR.LPC ビットを“1”にした AFL エントリは、ループバックモード (セルフテストモード 0 またはセルフテストモード 1) またはミラーモードでのみ使用されます。ループバックモード中に CAN バス上の他ノードが送信したメッセージを受信した場合、当該 AFL エントリは使用されません。

AFLn.IDR.LPC ビットを“0”にした AFL エントリは、以下のメッセージに対してのみ使用されます。

- 通常モード (ループバック以外のモード) およびミラーモード中に受信した、他ノードが送信したメッセージ
- ループバックモード中に受信した、他ノードまたは自ノードが送信したメッセージ

ミラーモードは、GCFG.MME ビットで有効にすることができます。GCFG.MME ビットが“1”の場合にメッセージ送信に成功すると、AFL 内に一致するエントリがあれば、そのメッセージが受信メッセージバッファまたは FIFO バッファに格納されます。なお、このメッセージを格納するには、当該 AFL エントリの LPC ビットを“1”にする必要があります。

ミラーモードとループバックモードが同時に設定されている場合、ループバックモードの動作が適用されます。

表 34.20 に、入力信号の設定によるアクセプタンスフィルタユニットの動作を示します。

表 34.20 AFL エントリ内のループバック設定に基づくアクセプタンスフィルタの動作

ミラーモード (MME ビット)	ループバックモード (セルフテストモード 0 または セルフテストモード 1)	チャンネルモード	LPC ビット	AFL エントリ
0	0	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1	0	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

注. 関連エントリに対する有効または無効という表現は、この AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

34.5.9 IDE マスク処理

AFLn.MASK.IDEM ビットを“0”にした AFL エントリに設定されている IDE ビットは ID 照合に使用されません。この場合、受信した IDE ビットに基づいて、ID[10:0] または ID[28:0] マッチングの使用が選択されます。

以下に例を示します。

- AFL エントリ x の ID およびマスクフィールドが次のようにされている場合
 - AFLx.IDR = C0553A20h → IDE = 1, RTR = 1, LPC = 0, ID[10:0] = 220h / ID[28:0] = 00553A20h
 - AFLx.MASK = 0000FFFFh → IDEM = 0, RTRM = 0, IDM[10:0] = 7FFh / IDM[28:0] = 0000FFFFh
- AFL エントリ x での 4 つの異なる受信 ID の照合結果を以下に示します
 - IDE = 0 で ID = 220h のフレームを受信した場合、一致とみなされます
 - IDE = 0 で ID = 320h のフレームを受信した場合、不一致とみなされます
 - IDE = 1 で ID = 1FFF3A20h のフレームを受信した場合、一致とみなされます
 - IDE = 1 で ID = 08803220h のフレームを受信した場合、不一致とみなされます

34.5.10 通信中の AFL エントリの更新

CAN 通信を無効にすることなく、AFL エントリを更新することができます。

更新したい AFL エントリ番号を無効エントリ選択ビットに設定して、無効エントリ許可ビットを“1”にします。

このとき指定したエントリ番号は、エントリを更新している間、AFL 照合から無視されます。

図 34.28 に AFL エントリの更新フローを示します。

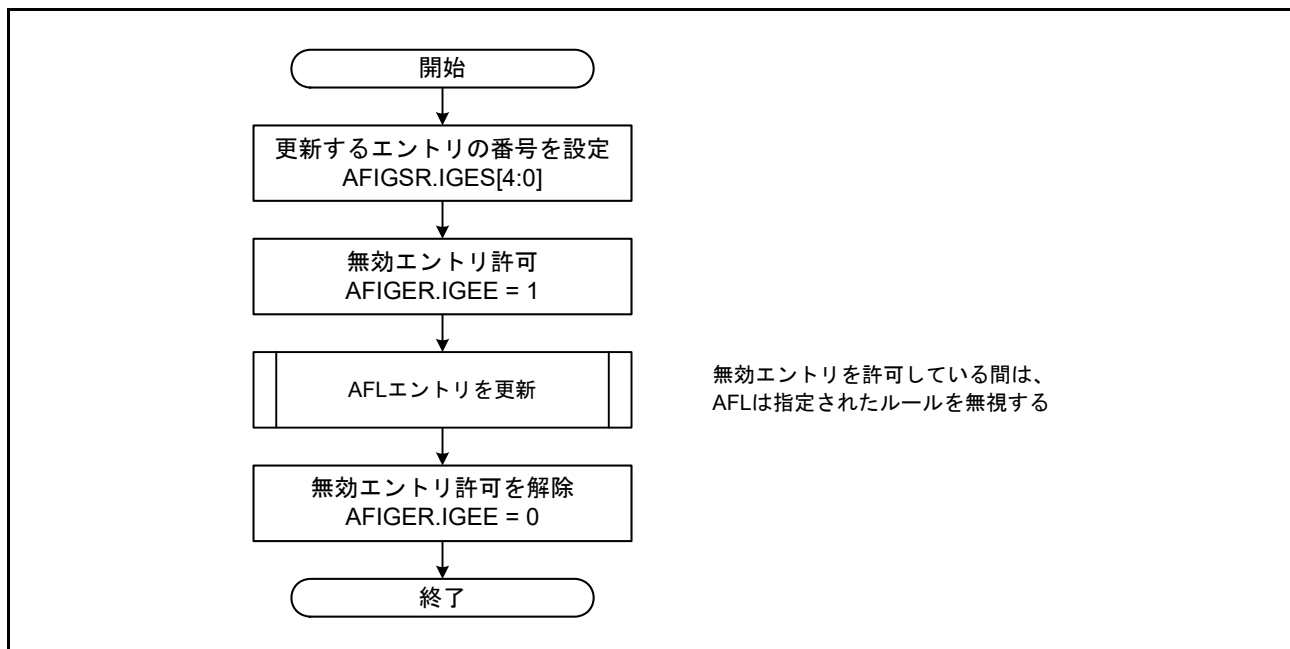


図 34.28 AFL エントリの更新フロー

AFL エントリの更新方法を以下に示します。

- (1) AFIGSR.IGES[4:0] ビットに更新するエントリのエントリ番号(注1)を設定します。
- (2) AFIGER レジスタに値“0000C401h”(キーコード、無効エントリ許可)を設定します。
- (3) AFCR.PAGE ビットに更新するエントリが含まれるページの番号を設定します。AFCR.AFLWE ビットを“1”にします。
- (4) 新しいルールを AFLn.IDR、AFLn.MASK、AFLn.PTR0、AFLn.PTR1 レジスタに設定します。
- (5) AFCR.AFLWE ビットを“0”にします。
- (6) AFIGER レジスタに値“0000C400h”(キーコード、無効エントリ許可を解除)を設定します。

注1. このエントリ番号は、(2) から (5) までの間、アクセプタンスフィルタ処理に使用されません。

(1) 例1：エントリの削除

エントリの総数が6の場合に、エントリ3を削除する方法について説明します。

		エントリ番号	
有効エントリ総数 = 6	エントリ0	0	ID = 050h
	エントリ1	1	ID = 051h
	エントリ2	2	ID = 052h
	エントリ3	3	ID = 053h ← このルールを削除
	エントリ4	4	ID = 054h
	エントリ5	5	ID = 055h

図 34.29 エントリの削除例 (エントリ3の削除前)

[エントリの削除方法]

- (1) AFIGSR レジスタに“00000003h”を設定します。
- (2) AFIGER レジスタに“0000C401h”を設定します。
- (3) AFCR レジスタに“00000100h”を設定します。
- (4) AFL3.IDR、AFL3.MASK、AFL3.PTR0、AFL3.PTR1 レジスタにアクセスし、1つ前のエントリと同じルールを設定します。
- (5) AFCR レジスタに“00000000h”を設定します。
- (6) AFIGER レジスタに“0000C400h”を設定します。

エントリ3が削除されます。

		エントリ番号	
有効エントリ総数 = 5 エントリ2 = エントリ3	エントリ0	0	ID = 050h
	エントリ1	1	ID = 051h
	エントリ2	2	ID = 052h
	エントリ3	3	ID = 052h ← 1つ前のエントリと同じルールを設定
	エントリ4	4	ID = 054h
	エントリ5	5	ID = 055h

図 34.30 エントリの削除例 (エントリ3の削除後)

(2) 例2：エントリの追加 (未使用エントリの更新)

エントリの総数が6の場合に、エントリ3に新規エントリを追加する方法について説明します。

		エントリ番号	
有効エントリ総数 = 5	エントリ0	0	ID = 050h
エントリ2 = エントリ3	エントリ1	1	ID = 051h
	エントリ2	2	ID = 052h
	エントリ3	3	ID = 052h
	エントリ4	4	ID = 054h
	エントリ5	5	ID = 055h

← ここに新しいルールを追加

図 34.31 エントリの追加例 (エントリ3の更新前)

[エントリの追加方法]

- (1) AFIGSR レジスタに “00000003h” を設定します。
 - (2) AFIGER レジスタに “0000C401h” を設定します。
 - (3) AFCR レジスタに “00000100h” を設定します。
 - (4) AFL3.IDR、AFL3.MASK、AFL3.PTR0、AFL3.PTR1 レジスタにアクセスして新しいルールを設定します。
 - (5) AFCR レジスタに “00000000h” を設定します。
 - (6) AFIGER レジスタに “0000C400h” を設定します。
- これで新しいエントリが追加されます。

		エントリ番号	
有効エントリ総数 = 6	エントリ0	0	ID = 050h
	エントリ1	1	ID = 051h
	エントリ2	2	ID = 052h
	エントリ3	3	ID = 056h
	エントリ4	4	ID = 054h
	エントリ5	5	ID = 055h

← 新ルール追加

図 34.32 エントリの追加例 (エントリ3の更新後)

アクセプタンスフィルタは、AFCFG レジスタに設定された値の範囲のエントリを使用することができ、その範囲内でエントリの追加/削除が可能です。そのため、AFCFG レジスタには使用するエントリの最大数を設定する必要があります。

34.6 FIFO バッファとメッセージバッファの構成

ここでは、CANFD モジュールの受信メッセージバッファ、FIFO バッファ、送信メッセージバッファの数を設定する手順を説明します。図 34.33 にメッセージバッファの構成を示します。

受信メッセージバッファは、RMBn レジスタ (n=0 ~ 31) でアクセスできます。

受信 FIFO は、RFBn レジスタ (n=0, 1) でアクセスできます。

共通 FIFO は、CFB0 レジスタでアクセスできます。

共通 FIFO が送信 FIFO モードに設定されている場合、CFB0 レジスタによる FIFO バッファへのデータ書き込みのみが可能です。

共通 FIFO が受信 FIFO モードに設定されている場合、CFB0 レジスタによるデータの読み出しのみが可能です。

送信メッセージバッファには、TMBn レジスタ (n=0 ~ 3) でアクセスできます。

未使用のメッセージバッファを読み出すと、不定値が読み出されます。

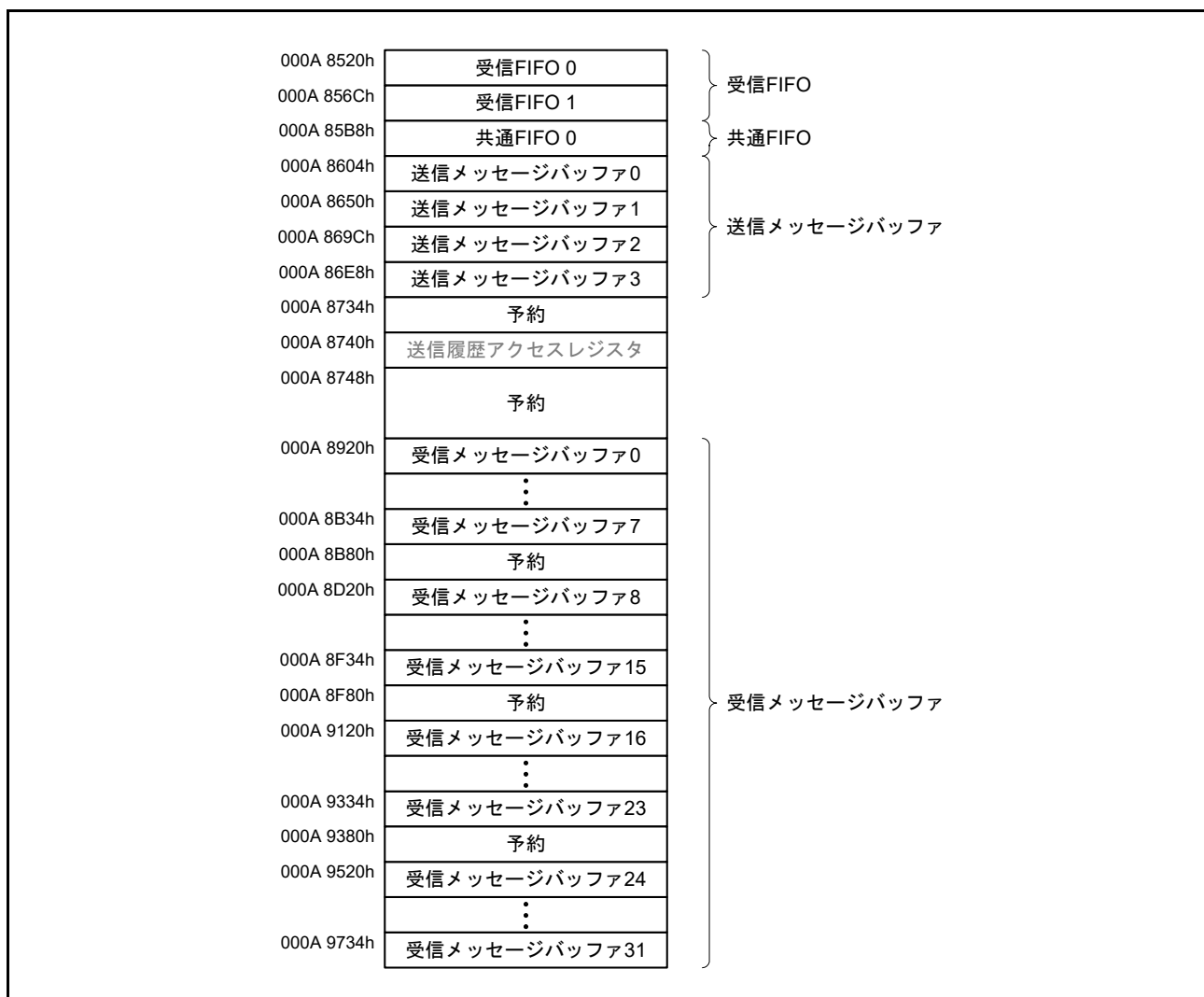


図 34.33 メッセージバッファの構成

34.6.1 受信メッセージバッファ

CANFD モジュールでは、AFL エントリの構成に基づいて、受信したフレームを受信メッセージバッファに格納することができます。

また、システムに必要な受信メッセージバッファの数は、0～32の範囲で選択することができます。

34.6.1.1 受信メッセージバッファの構成

CANFD モジュールの受信メッセージバッファの数は、RMCR.NMB[5:0] ビットに書き込むことで設定できます。

メッセージバッファの数は、0 (受信メッセージバッファなし)～32の範囲内で設定します。これより大きな値を設定しないでください。

受信したメッセージを受信メッセージバッファにルーティングできるようにするため、AFL エントリは、システムの要件に合わせて設定する必要があります。

また、AFL エントリは正しく設定してください。受信メッセージバッファ用の AFL エントリは、NMB[5:0] ビットに設定されているメッセージバッファの数を超えないようにしてください。

注． CANFD モジュールには、AFL の設定ミスをチェックするための内部チェック機能はありません。

受信メッセージバッファのペイロードサイズは RMCR.PLS[2:0] ビットで設定できます。デフォルトは 8 バイトで、最大は 64 バイトです。

受信フレームのペイロードサイズが指定したペイロードサイズを超えた場合は、GCFG.OMRC ビットの設定に従って、メッセージが破棄またはペイロードがカットされます。

34.6.2 FIFO バッファ

CANFD モジュールは、受信 / 送信それぞれのフレームを格納するための FIFO バッファを用意しています。

受信専用の FIFO バッファの数は 2 個ですが、共通 FIFO を設定して、送信用または受信用のメッセージを格納することができます。

これらの FIFO バッファは有効 / 無効を切り替えることができ、システム要件に合わせて以下のパラメータを設定することができます。

- FIFO 段数
- 割り込み構造
- メッセージロスト機構
- FIFO バッファのメッセージ上書き機構
- 送信 FIFO の場所

受信フレームのペイロードサイズが指定したペイロードサイズを超えた場合は、GCFG.OMRC ビットの設定に従って、メッセージが破棄またはペイロードがカットされます。

34.6.2.1 FIFO バッファの設定

CANFD モジュールでは、システム要件に合わせて FIFO バッファを設定することができます。

FIFO バッファの総数 = 受信 FIFO 2 個 + 共通 FIFO 1 個 = 3 個となります。

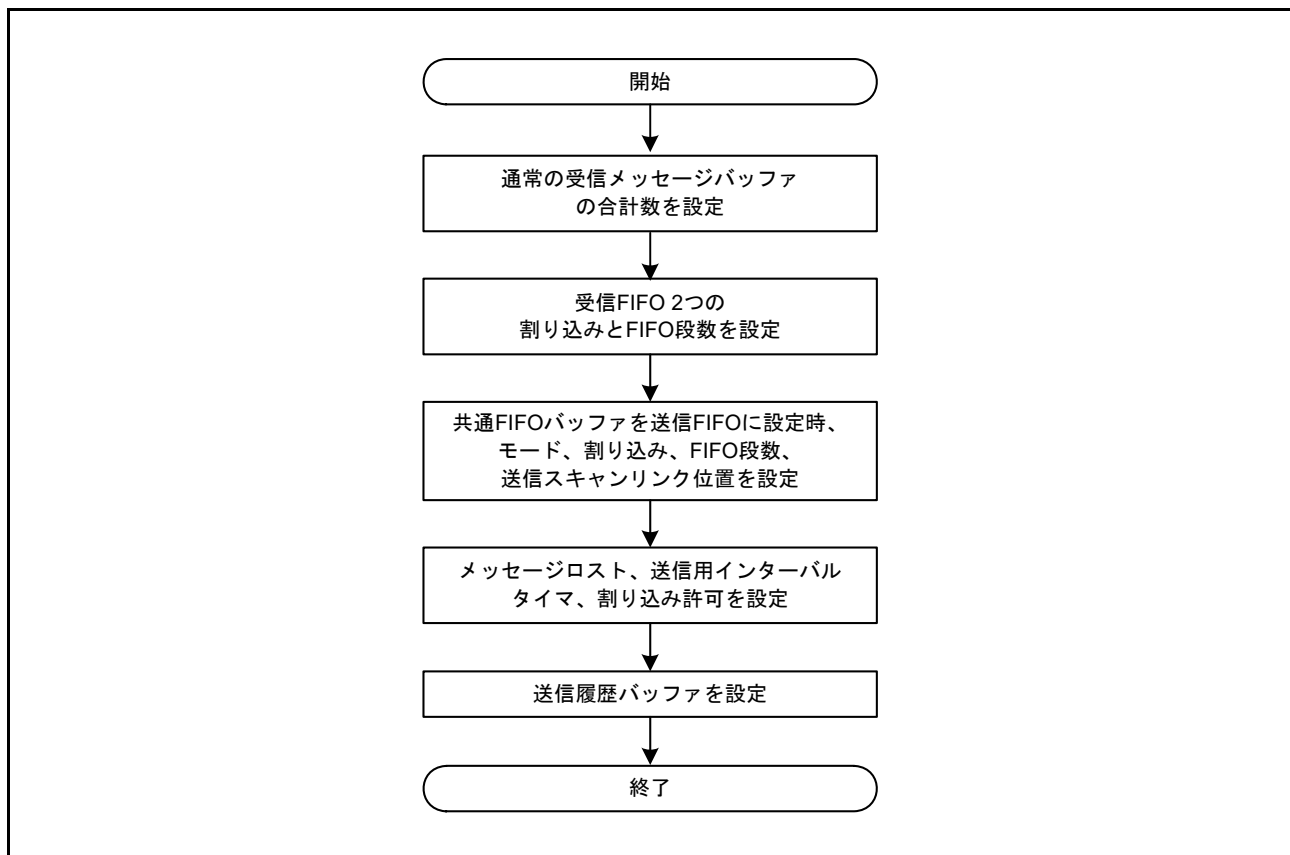


図 34.34 CANFD モジュールの FIFO バッファ設定フロー

図 34.34 に示すように、受信 FIFO コンフィギュレーション/制御レジスタと共通 FIFO コンフィギュレーション/制御レジスタに書き込むことで、各種 FIFO バッファを設定できます。

2つの受信 FIFO に対しては、以下のパラメータを設定できます。

- 割り込み
- FIFO 段数
- ペイロードサイズ

共通 FIFO に対しては、以下のパラメータを設定できます。

- モード
- 割り込み
- FIFO 段数
- ペイロードサイズ
- 送信スキャンリンク位置

(1) 共通 FIFO の FIFO モード構成

共通 FIFO のモードは、CFCR0.MODE ビットに書き込むことで設定できます。共通 FIFO に設定可能なモードは以下の通りです。

- 0: 受信 FIFO モード (MCU リセット後のデフォルトモード)
- 1: 送信 FIFO モード

受信 FIFO と受信 FIFO モードに設定された共通 FIFO からは、メッセージの読み出しのみが可能です。これらの FIFO バッファには、AFL エントリに基づいて CANFD モジュールによってメッセージが格納されません。

送信 FIFO モードに設定された共通 FIFO では、メッセージの読み出しと書き込みが可能です。

ポインタは、新しいメッセージが FIFO バッファに格納されたときのみインクリメントされ、CANFD モジュールによって、対応する CAN チャネル上にメッセージが送信されたときのみデクリメントされます。

MCU リセット後、すべての共通 FIFO はデフォルトで受信 FIFO モードに設定されています。共通 FIFO を必要なモードに設定してから、FIFO バッファを有効にしてください。

(2) FIFO 送信メッセージバッファのリンク構成

共通 FIFO が送信 FIFO として設定されている場合、送信スキャンが行われるようにするには、FIFO バッファを通常の送信メッセージバッファにリンクする必要があります。

共通 FIFO にリンクされている送信メッセージバッファにはデータを書き込まないでください。また、共通 FIFO にリンクされている送信メッセージバッファは、送信キューの構成要素にならないようにしてください。

共通 FIFO の送信メッセージバッファとのリンクは、CFCR0.LTM[1:0] ビットに書き込むことで設定できます。送信メッセージバッファのリンク設定に使用可能なオプションは以下の通りです。

- 00b: 送信メッセージバッファ 0
- 01b: 送信メッセージバッファ 1
- 10b: 送信メッセージバッファ 2
- 11b: 送信メッセージバッファ 3

(3) FIFO 段数の構成

各 FIFO バッファの段数は、RFCRn.FDS[2:0] ビットおよび CFCR0.FDS[2:0] ビットに書き込むことで設定できます。使用可能なオプションは、以下の6つです。

- 000b : 0 メッセージ (FIFO バッファは使用できません)
- 001b : 4 メッセージ
- 010b : 8 メッセージ
- 011b : 16 メッセージ
- 100b : 32 メッセージ
- 101b : 48 メッセージ

受信メッセージバッファと FIFO バッファに割り当てられる RAM は、ペイロードサイズを 64 バイトに設定した場合、最大 16 メッセージ (1216 バイト) に制限されています。この上限を超えるような、受信メッセージバッファと FIFO バッファの設定は行わないでください。CANFD モジュールには、設定が正しいかどうかをチェックする機能はありません。

注 . 共通 FIFO の段数が 4 メッセージ以上 (CFCR0.FDS[2:0] > 000b) の場合、この FIFO が無効であっても有効であっても、共通 FIFO と送信メッセージバッファのリンクは有効になります。FIFO 段数が 0 メッセージの場合、この FIFO が無効であっても有効であっても、共通 FIFO と送信メッセージバッファのリンクは無効になります。

(4) FIFO ペイロードサイズの設定

各 FIFO バッファのペイロードサイズは、RFCRn.PLS[2:0] ビットおよび CFCR0.PLS[2:0] ビットに書き込むことで設定できます。段数設定に使用できる 8 つのオプションは以下の通りです。

- 000b : 8 バイト
- 001b : 12 バイト
- 010b : 16 バイト
- 011b : 20 バイト
- 100b : 24 バイト
- 101b : 32 バイト
- 110b : 48 バイト
- 111b : 64 バイト

受信メッセージバッファと FIFO バッファに割り当てられる RAM は、ペイロードサイズを 64 バイトに設定した場合、最大 16 メッセージ (1216 バイト) に制限されています。この上限を超えるような、受信メッセージバッファと FIFO バッファの設定は行わないでください。CANFD モジュールには、設定が正しいかどうかをチェックする機能はありません。

(5) FIFO 割り込みの設定

FIFO バッファの割り込み発生条件は、RFCRn.RFIM ビットおよびCFCR0.CFIM ビットに書き込むことで設定できます。使用できる2つのオプションは以下の通りです。

- RFIM/CFIM = 0 :
 - 受信 FIFO モード : FIFO の格納メッセージ数が RFCRn.RFITH[2:0]、CFCR0.CFITH[2:0] の値に達すると、割り込みが発生します
 - 送信 FIFO モード : 共通 FIFO が最終メッセージを正常に送信すると、割り込みが発生します
- RFIM/CFIM = 1 :
 - 受信 FIFO モード : 受信メッセージの格納が終了するたびに、割り込みが発生します
 - 送信 FIFO モード : メッセージが正常に送信されるたびに、割り込みが発生します

受信 FIFO の RFCRn.RFIM ビットが“0”の場合、RFCRn.RFITH[2:0] ビットの設定に基づいて割り込みが発生します。

同様に、受信 FIFO モードに設定された共通 FIFO の CFCR0.CFIM ビットが“0”の場合、CFCR0.CFITH[2:0] ビットの設定に基づいて割り込みが発生します。

割り込みを発生させる FIFO 格納メッセージ数の設定には、以下の8つが使用できます。

- 000b : FIFO が 1/8 フルのときに割り込みを発生させます
- 001b : FIFO が 1/4 フルのときに割り込みを発生させます
- 010b : FIFO が 3/8 フルのときに割り込みを発生させます
- 011b : FIFO が 1/2 フルのときに割り込みを発生させます
- 100b : FIFO が 5/8 フルのときに割り込みを発生させます
- 101b : FIFO が 3/4 フルのときに割り込みを発生させます
- 110b : FIFO が 7/8 フルのときに割り込みを発生させます
- 111b : FIFO がフルのときに割り込みを発生させます

この場合、格納メッセージ数が設定した値と一致すると、割り込みが発生します。

ただし、RFITH[2:0] ビットと CFITH[2:0] ビットの設定には、各レジスタの FDS[2:0] ビット (FIFO 段数の設定) によって表 34.21 に示す制限があります。

表 34.21 FIFO 割り込みしきい値と FIFO 段数の設定

FDS[2:0]	RFITH[2:0] / CFITH[2:0]							
	111b (full)	110b (7/8)	101b (3/4)	100b (5/8)	011b (1/2)	010b (3/8)	001b (1/4)	000b (1/8)
000b (0メッセージ)	任意 (FIFO を有効にできません)							
001b (4メッセージ)	可能	設定禁止	可能	設定禁止	可能	設定禁止	可能	設定禁止
010b (8メッセージ)	可能							
011b (16メッセージ)	可能							
100b (32メッセージ)	可能							
101b (48メッセージ)	可能							

34.6.2.2 FIFO バッファの制御

受信 FIFO の割り込みを有効にするには、RFCRn レジスタ (n = 0, 1) の RFIE ビットを“1”にしてください。また、共通 FIFO の割り込みを有効にするには、CFCR0 レジスタの CFRIE ビットまたは CFTIE ビットのいずれかを“1”にしてください。

設定完了後、RFCRn.RFE と CFCR0.CFE ビットを“1”にして、各 FIFO を有効にすれば、メッセージの送受信ができるようになります。

34.7 受信 / 送信

34.7.1 受信

CANFD モジュールでは、チャンネルで受信したメッセージは、AFL エントリに従って、受信メッセージバッファ、受信 FIFO、または受信 FIFO モードに設定された共通 FIFO に格納されます。

- 最大 32 個の受信メッセージバッファが設定可能
- 2 個の受信 FIFO が使用可能
- 最大 1 つの共通 FIFO が受信モードに設定可能

34.7.1.1 受信メッセージバッファへのメッセージ格納

メッセージが正常に受信され、受信メッセージバッファに格納されると、RMNDR レジスタの対応する NDF[n] フラグが“1”になります。

格納されたメッセージは、対応する受信メッセージバッファから読み出すことができます。

受信メッセージバッファに格納されたメッセージが読み出される前に、その受信メッセージバッファに新しいメッセージが格納されると、元のメッセージは上書きされます。新しいメッセージによって受信メッセージバッファの現在のメッセージが上書きされるのを防止するための機能はありません。このようなメッセージの消失が許容できない場合は、受信 FIFO を使用して関連するメッセージを格納してください。

注． 使用されなかったデータバイトは、DLC 値に応じて“00h”で埋められます。

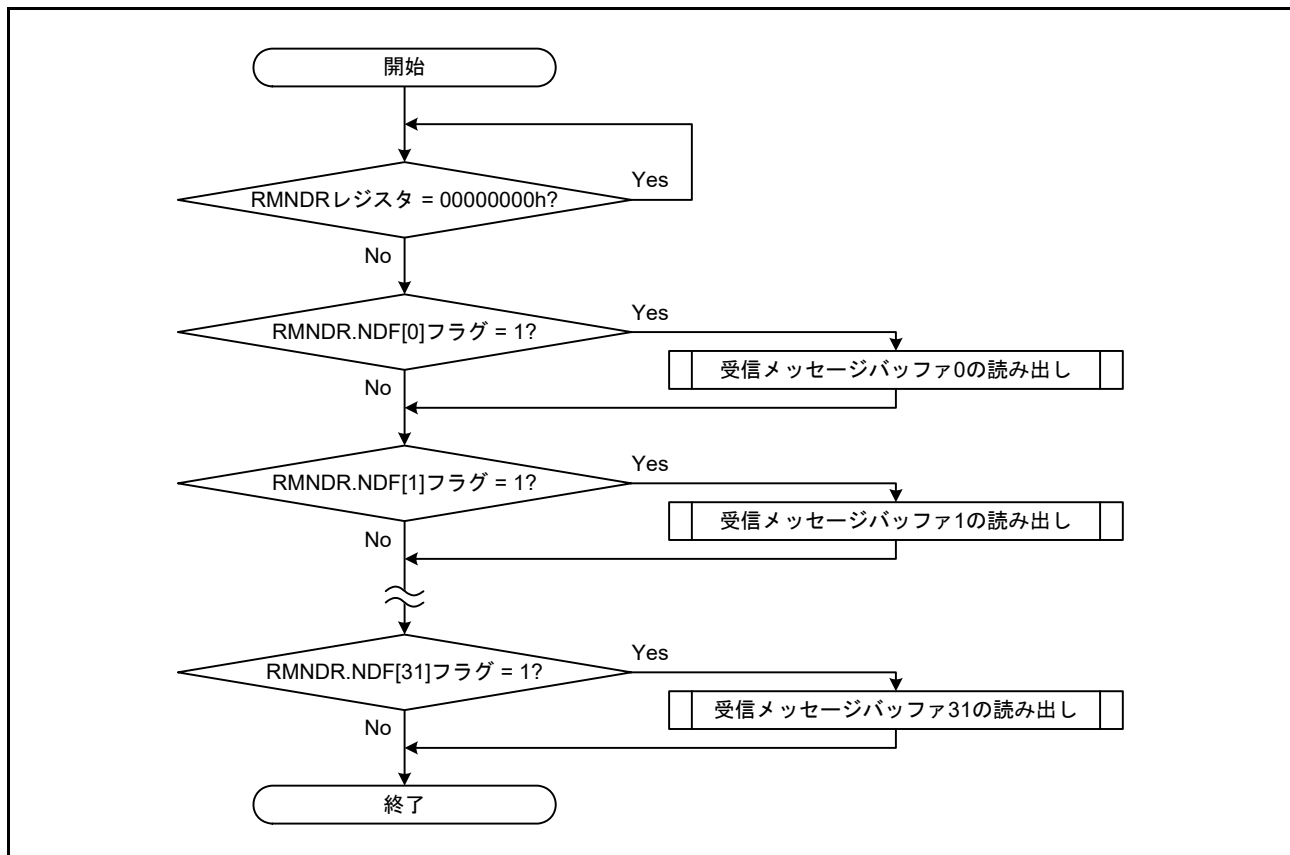


図 34.35 受信メッセージバッファのメッセージアクセスフロー例 (ポーリング)

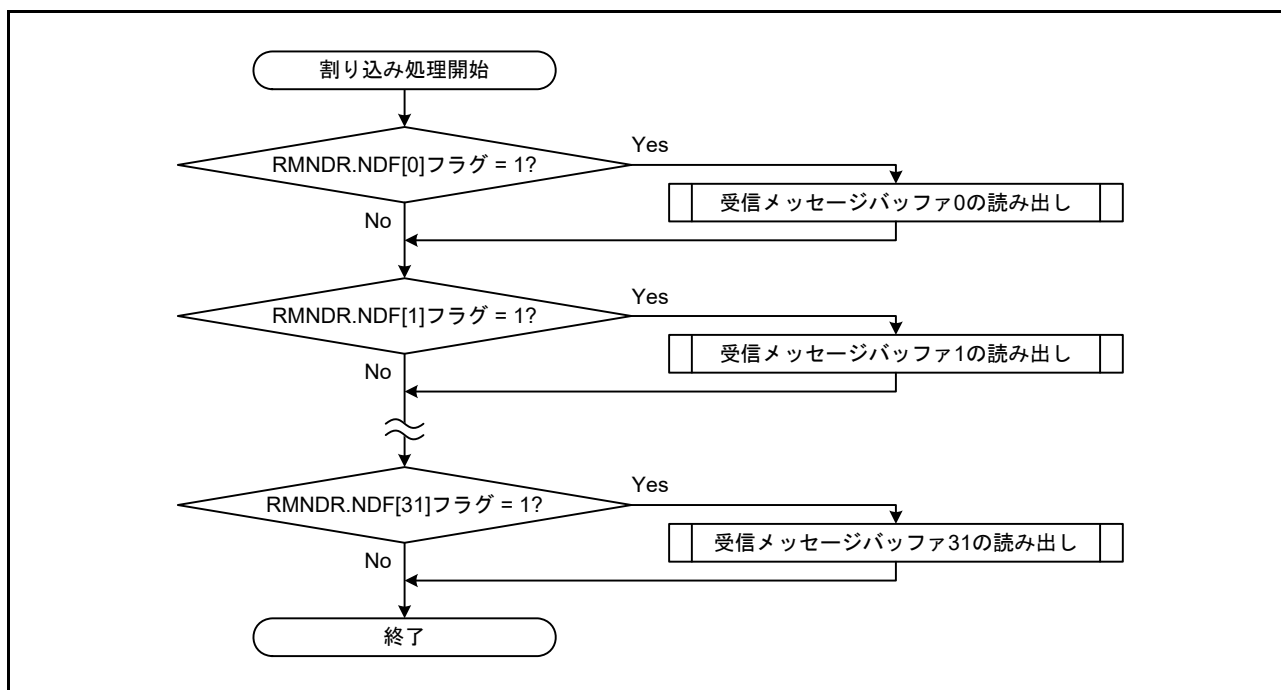


図 34.36 受信メッセージバッファのメッセージアクセスフロー例 (割り込み)

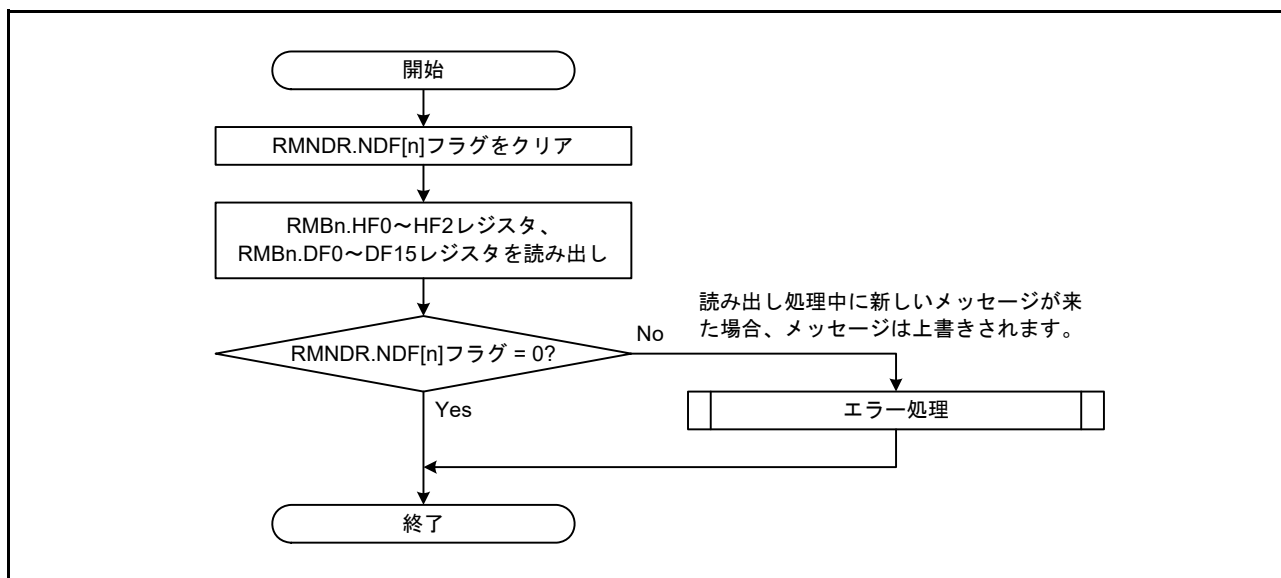


図 34.37 受信メッセージバッファ n の読み出しフロー例

34.7.1.2 FIFO バッファへのメッセージ格納

システム要件に合わせて AFL エントリを設定し、受信メッセージを、受信 FIFO または受信 FIFO モードに設定されている共通 FIFO にルーティングできるようにする必要があります。

一致した AFL エントリの AFLn.PTR1.RF0E、RF1E、CF0E ビットによって、受信メッセージを格納する FIFO バッファが選択されます。

1 つ以上の受信 FIFO または受信 FIFO モードに設定されている共通 FIFO に受信メッセージが格納されると、対応する受信 FIFO ステータスレジスタまたは共通 FIFO ステータスレジスタのメッセージカウンタの値がインクリメントされます。

FIFO バッファの設定によっては、割り込みが発生する場合があります。

メッセージは、対応する FIFO アクセスレジスタから読み出すことができます。

注． FIFO バッファには多くのメッセージが格納されているため、FIFO バッファに格納されている最新のメッセージを読み出すには、複数のメッセージの読み出しが必要になる場合があります。

メッセージ数が FIFO 段数と一致すると、FIFO フルフラグが設定されます。

対応する FIFO ポインタ制御レジスタに“000000FFh”が書き込まれると、メッセージ数は 1 デクリメントされます。

FIFO ポインタ制御レジスタに“000000FFh”を書き込むときは、対応する FIFO の FIFO アクセスレジスタからメッセージを完全に読み出した後に行ってください。

FIFO に格納されたすべてのメッセージが読み出されると、FIFO エンプティフラグがセットされます。

FIFO メッセージ数が FIFO 段数と一致 (FIFO フル状態) するときに新しいメッセージが FIFO に格納されると、FIFO メッセージロストフラグが設定され、新しいメッセージは失われます (すでに格納されているメッセージの上書きは行われません)。

オーバランによるメッセージの消失を防ぐには、割り込み発生しきい値として適切な値を設定し、FIFO フルになる前に割り込みを発生させさせてください。

受信 FIFO と、受信 FIFO モードに設定された共通 FIFO は、RFCRn.RFE ビットまたは CFCR0.CFE ビットをクリアすることで、いつでも無効にすることができます。

RFCRn.RFE ビットまたは CFCR0.CFE ビットがクリアされると、FIFO のメッセージの読み出しポインタおよび書き込みポインタはクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

受信 FIFO、または受信 FIFO モードに設定された共通 FIFO を DTC/DMA 転送で読み出す設定をした場合、CPU でその FIFO バッファを読み出したり、FIFO ポインタ制御レジスタ (RFPCR0、RFPCR1、または CFPCR0) に“000000FFh”を書き込まないでください。DTC/DMA 転送で読み出した場合、FIFO の読み出しポインタは自動的に更新されます。

注． 割り込みフラグがセットされている FIFO バッファを無効にした場合、割り込みフラグは自動的にクリアされません。FIFO を無効にする前に、割り込みフラグをクリアしてください。

注． また、受信割り込みフラグをクリアする前に次のフレームを受信した場合には、受信割り込みフラグは再度セットされません。

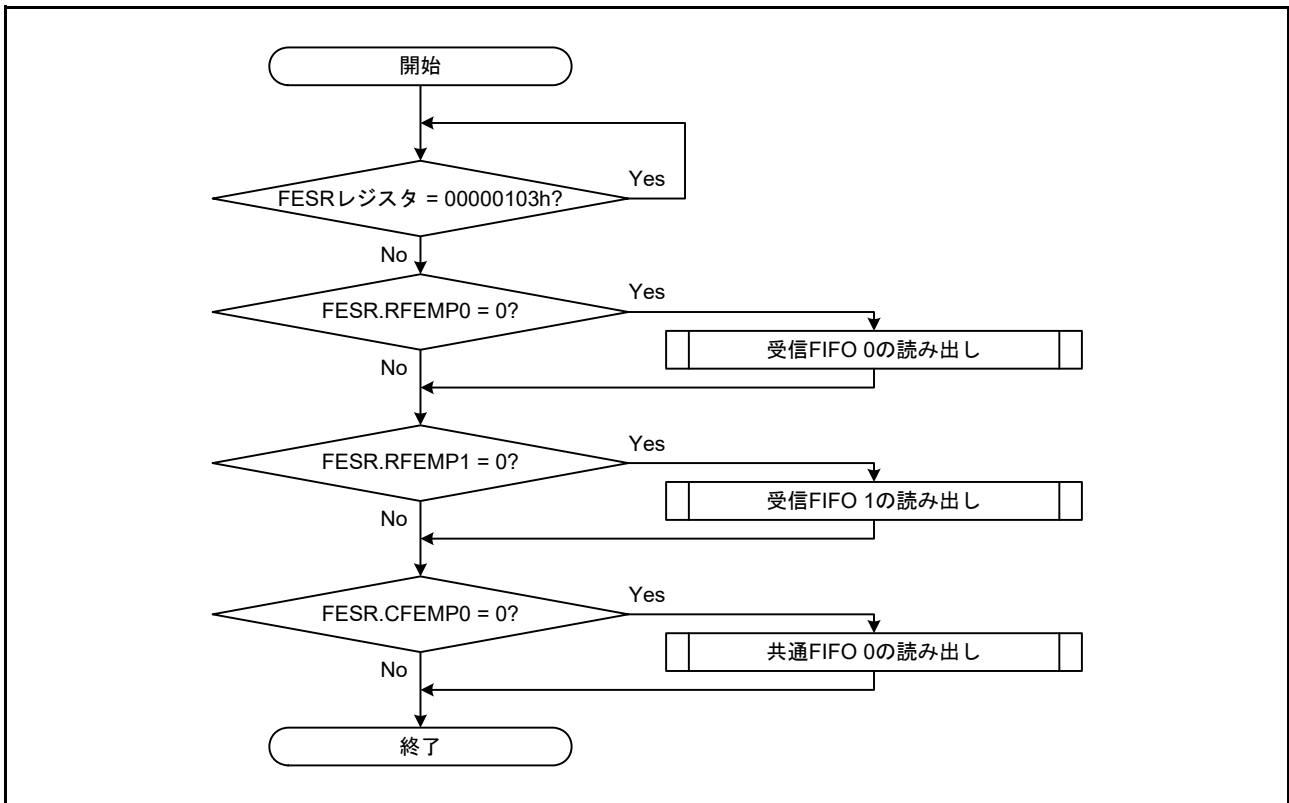


図 34.38 FIFOバッファのメッセージアクセスフロー例 (ポーリング)

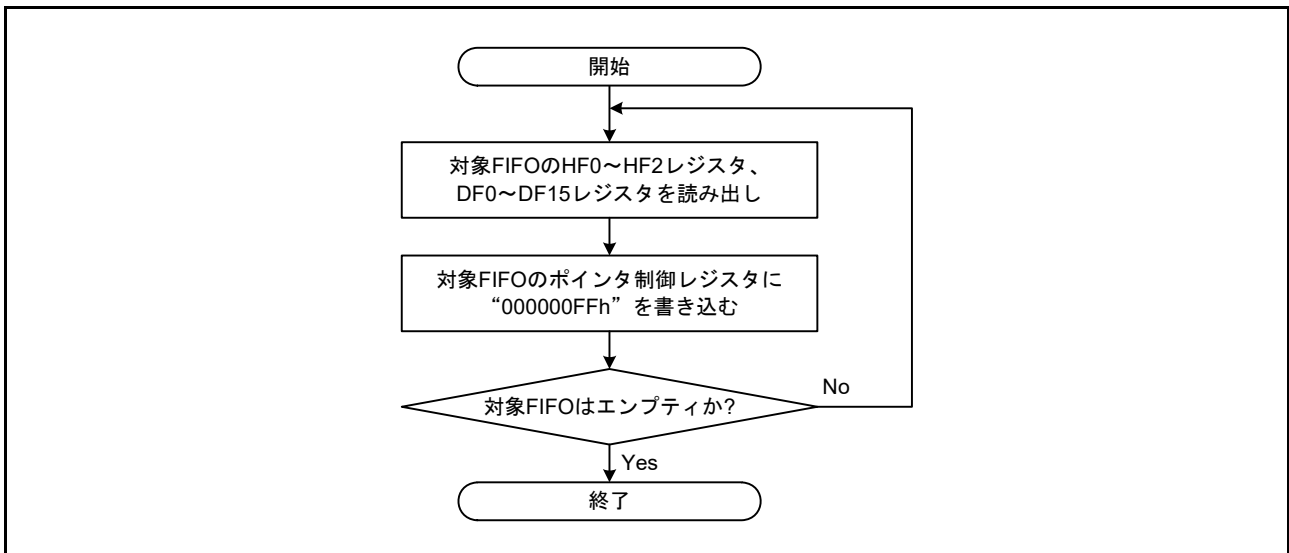


図 34.39 FIFOバッファの読み出しフロー例 (ポーリング)

FIFO の読み出し処理が終わった後に割り込みフラグをクリアした場合、そのときすでに次のフレームを受信済みであったとしても、割り込みフラグはセットされません。

FIFO の読み出し処理は、次のフレームの受信が完了する前に行い、割り込みフラグをクリアしておく必要があります。処理が間に合わない場合、FIFO が空であることを確認してから割り込みフラグをクリアし、再度 FIFO が空であることを確認してください。

34.7.1.3 タイムスタンプ

タイムスタンプカウンタは、受信メッセージの受信時間や、正常に送信されたメッセージの送信時間をチェックするために使用可能なフリーランカウンタです。タイムスタンプカウンタの値は、GFDCFG.TSCPS[1:0] ビットの設定 (SOF のサンプルポイント、フレームが有効であった場合の EOF、または CAN FD フレームの場合は FDF ビットに続く res ビットのサンプルポイント) に基づいてキャプチャされます。受信時のタイムスタンプカウンタ値は、メッセージ ID およびデータと一緒に、格納先の受信メッセージバッファまたは受信 FIFO に格納されます。

送信メッセージの場合、タイムスタンプカウンタの値は、送信履歴エントリの一部として格納されます。

カウンタには、PCLKB または CAN チャネルのビットタイムクロックからクロックを供給できます。カウンタのカウントソースは、GCFG.TSCS ビットで設定できます。GCFG.TSCS ビットが“0”の場合、PCLKB が使用されます。“1”の場合は、CAN チャネルのビットタイムクロックが使用されます。

タイムスタンプカウンタのカウントソースは、GCFG.TSP[3:0] ビット (タイムスタンププリスケラ) で定義された係数で分周できます。

タイムスタンプカウンタは、GCR.TSCR ビット (タイムスタンプカウンタリセット) を使用して“0000h”にリセットすることができます。

34.7.2 送信

以下の複数の送信設定が可能です。

- 通常送信
- FIFO 送信
- 送信キュー送信

CANFD モジュールには 4 個の送信メッセージバッファがあります。これらのメッセージバッファは送信専用で、受信用に設定することはできません。

さらに、送信キューや送信 FIFO モードに設定された共通 FIFO からの送信は、以下の方法で設定することができます (図 34.40 参照)。

- 送信キュー

3 つまたは 4 つの送信メッセージバッファをグループ化して、1 つのアクセスウィンドウを共有する送信キューを形成することができます。

送信メッセージバッファ 0 が送信キュー 0 (TXQ0) のアクセスウィンドウとして動作します。

- 共通 FIFO (送信 FIFO モード)

CANFD モジュールには、1 個の共通 FIFO があります。送信 FIFO モードに設定された共通 FIFO を、送信メッセージバッファ 0 ~ 3 のいずれかにリンクできます。リンクされた送信メッセージバッファは、共通 FIFO に置き換わります。リンクされた送信メッセージバッファの TMCRn レジスタや TMSRn レジスタにはアクセスしないでください。

注. 共通 FIFO は、すでに送信キューの構成要素になっている送信メッセージバッファにリンクしないでください。

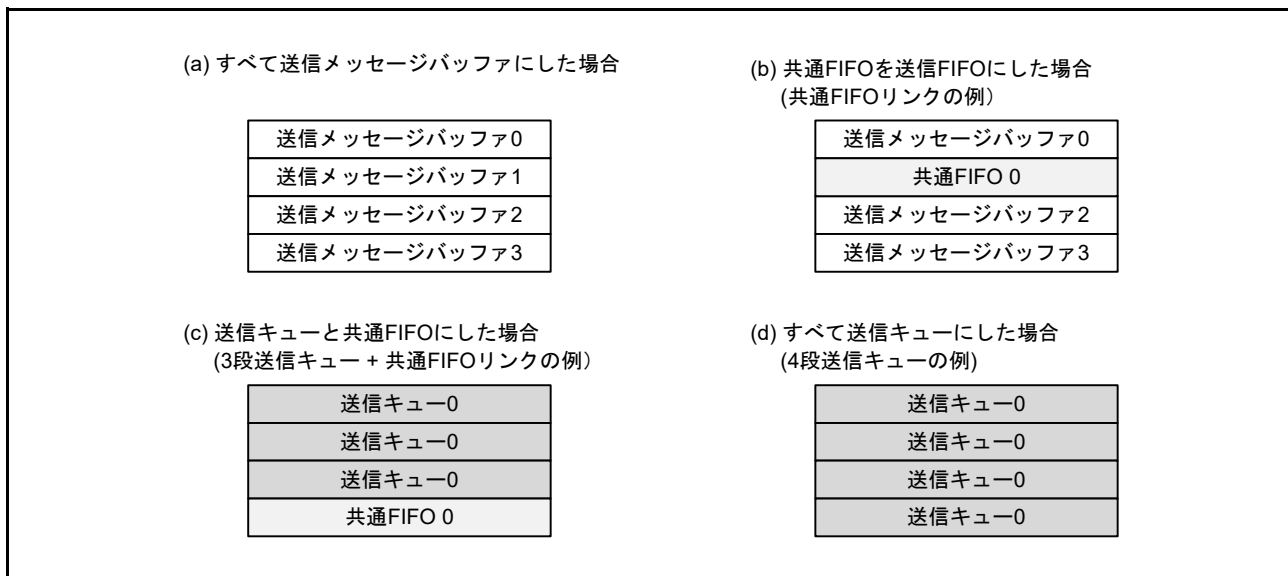


図 34.40 チャネル送信メッセージバッファの構成例

34.7.2.1 送信優先順位

チャネルで2つ以上の送信メッセージバッファが送信用に設定されている場合、CANFDモジュール内の送信優先順位は、以下の2つから選択されます。

- CAN ID 優先
- メッセージバッファ番号優先

送信優先順位は、すべてのメッセージバッファで共通です。GCFG.TPRI ビットを使用して設定できます。

メッセージバッファ番号優先送信では、送信要求のある中で最も小さいメッセージバッファ番号が、最も高い優先順位で送信されます。これには、送信モードに設定された共通FIFOにリンクされた送信メッセージバッファも含まれます。

ただし、送信キューを使用する場合、メッセージバッファ番号優先にしないでください。

CAN ID 優先送信の場合、IDの優先順位はCANバスアービトラションルール (ISO 11898-1仕様) に準拠します。すべての送信メッセージバッファは、送信用に設定されたメッセージバッファのID優先度比較対象に含めることができます。これには、送信FIFOモードに設定された共通FIFOにリンクされた送信メッセージバッファや、送信キューメッセージバッファも含まれます。

同じIDを持つメッセージバッファが複数存在する場合は、メッセージバッファ番号が小さい方が優先的に送信されます。

- 注. 送信FIFOモードに設定された共通FIFOの場合、現在FIFOリードポインタが指しているメッセージのみを送信アービトラションに含めることができます。そのFIFOからメッセージが送信されている場合、そのFIFO内の次の待機メッセージが送信アービトラションの対象となります。これに対して、送信キューでは、送信キューのすべての送信メッセージバッファが内部送信アービトラションの対象となります。

図 34.41 に、送信設定フローを示します。

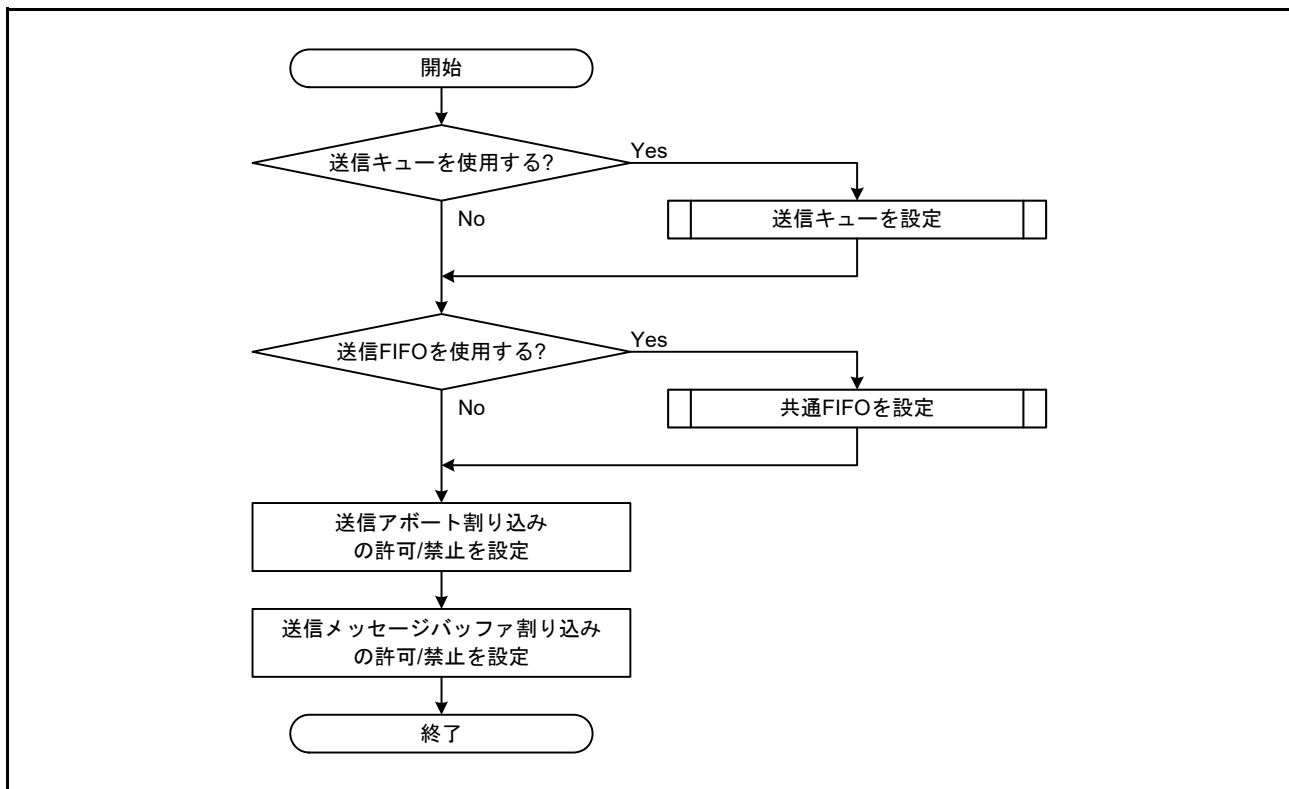


図 34.41 送信設定フロー

34.7.2.2 送信メッセージバッファからの送信

各送信メッセージバッファには、2つの送信モードがあります。

- 通常送信モード

メッセージバッファが通常送信モードに設定されている場合、メッセージバッファに設定されているデータフレームまたはリモートフレームを送信できます。

通常送信が完了したかどうかは、TMSRn.TXRF[1:0] フラグで確認できます。これらのフラグは、通常送信が正常に行われると“10b”または“11b”になります。

アービトレーションロストが発生した場合や送信中にエラーが発生した場合、この送信メッセージバッファに送信アボート要求が設定されていなければ、メッセージ送信が再試行されます。

送信要求があるすべてのメッセージバッファを対象に、新たに内部送信アービトレーションが行われます。

- ワンショット送信モード

TMCn.ONESHOT ビットが“1”の場合、その送信メッセージバッファはワンショット送信モードになり、メッセージの送信を1回だけ試みます。

ワンショット送信が完了したかどうかは、TMSRn.TXRF[1:0] フラグで確認できます。ワンショット送信が正常に行われると、TXRF[1:0] フラグは“10b”または“11b”になります。

アービトレーションロストが発生した場合や送信中にエラーが発生した場合、TXRF[1:0] フラグは“01b”になります。この場合、メッセージ送信は再試行されません。

図 34.42 に、送信メッセージバッファからの送信要求手順を示します。

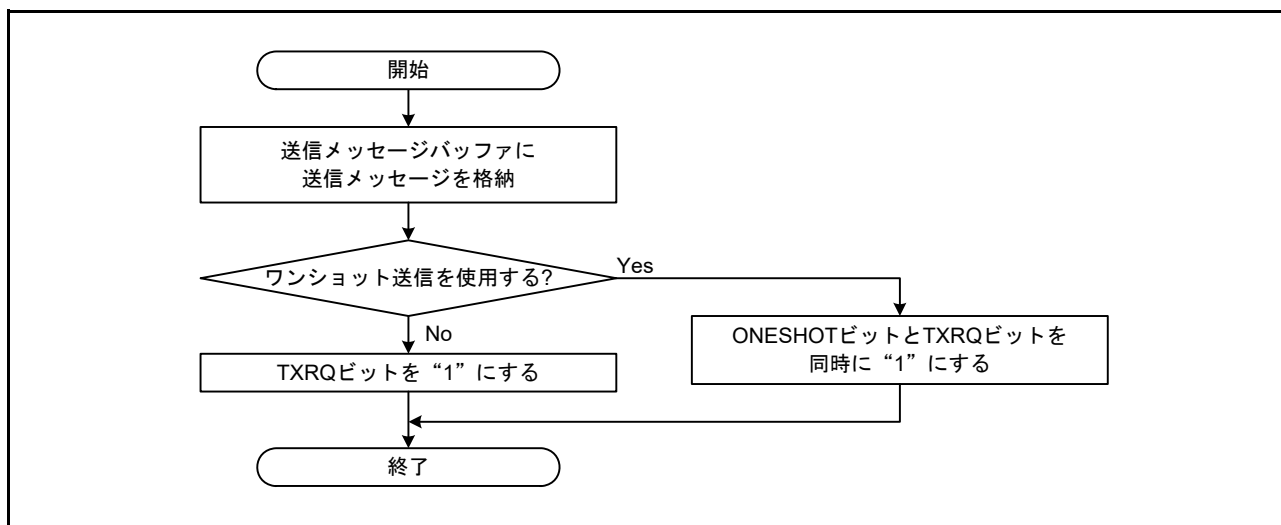


図 34.42 送信メッセージバッファからの送信要求手順

表 34.22 に、TMCRn レジスタの設定を示します。

表 34.22 TMCRn レジスタの設定

送信要求 TXRQビット	送信アボート要求 TARQビット	ワンショット送信許可 ONESHOTビット	メッセージバッファの状態
0	0	0	通常送信停止
0	0	1	ワンショット送信停止
1	0	0	データフレームまたはリモートフレームを通常送信
1	0	1	データフレームまたはリモートフレームをワンショット送信
1	1	0	送信アボートを要求
1	1	1	ワンショット送信アボートを要求

図 34.43 に、2つのメッセージバッファからの送信が成功したときのタイミングを示します。

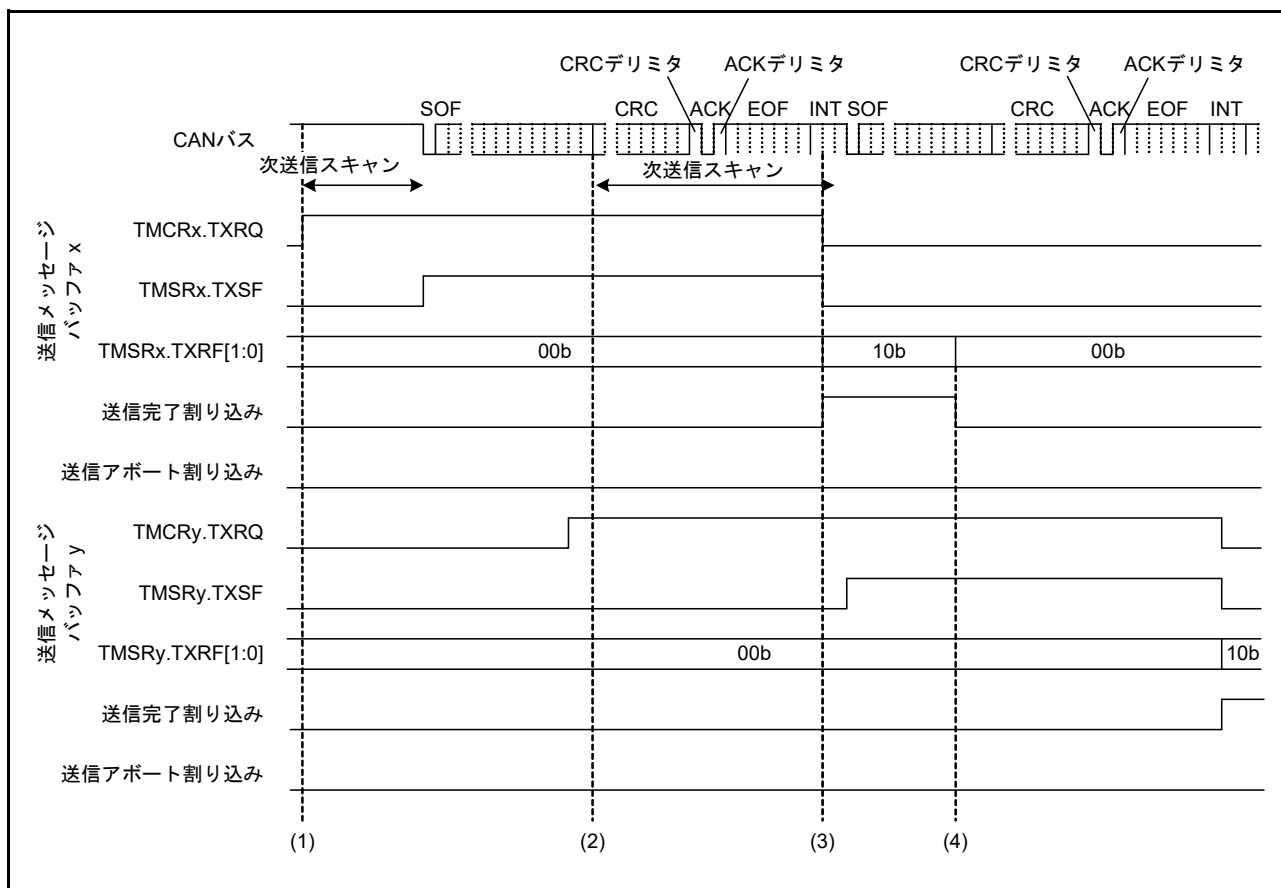


図 34.43 送信成功時の送信要求とフラグのタイミング

- (1) バスアイドル時に TMCRx.TXRQ ビットを“1”にすると、メッセージバッファスキャン処理が開始され、優先順位が最も高いメッセージバッファが決定されます。
送信用メッセージバッファが決定されると、TMSRx.TXSF フラグが“1” (送信中) になり、CAN チャンネルが送信を開始します (注 1)。
- (2) 保留中の送信要求が存在する場合、CRC の 1 ビット目で、次の送信のための送信スキャン処理が開始されます。
- (3) メッセージが正常に送信されると、対応する TMSRx.TXRF[1:0] フラグが“10b”になり、TMSRx.TXSF フラグおよび TMCRx.TXRQ ビットがクリアされます。
TMIER0.TMIEx ビットが“1” (送信メッセージバッファ割り込み許可) に設定されている場合、送信成功割り込み要求が発生します。割り込みをクリアするには、TMSRx.TXRF[1:0] フラグをクリアする必要があります。
- (4) 次の送信を開始する前に TMSRx.TXRF[1:0] フラグをクリアしてください。送信メッセージバッファに次のメッセージを書き込み、TMCRx.TXRQ ビットを再度“1”にしてください。
TMSRx.TXRF[1:0] フラグをクリアする前に TMCRx.TXRQ ビットを再度“1”にすることはできません。

注. TMSRx.TXSF フラグがセットされるポイントは、SOF の先頭になるとは限りません。最大で標準 ID の開始点まで遅れる場合があります。

注 1. CAN チャンネルの送信開始後にアービトレーションロストが発生した場合は、TMSRx.TXSF フラグがクリアされます。その後、CRC の 1 ビット目の始まりから、もう一度送信スキャン処理が行われ、優先順位が最も高い送信メッセージバッファが検索されます。
送信中またはアービトレーションロストに続くエラーが発生した場合は、エラーフレーム中に、優先順位が最も高い送信メッセージバッファを検索するために、送信スキャン手順が再度実行されます。

図 34.44 に、2つのメッセージバッファに対して送信アボートをを行った場合のタイミングを示します。

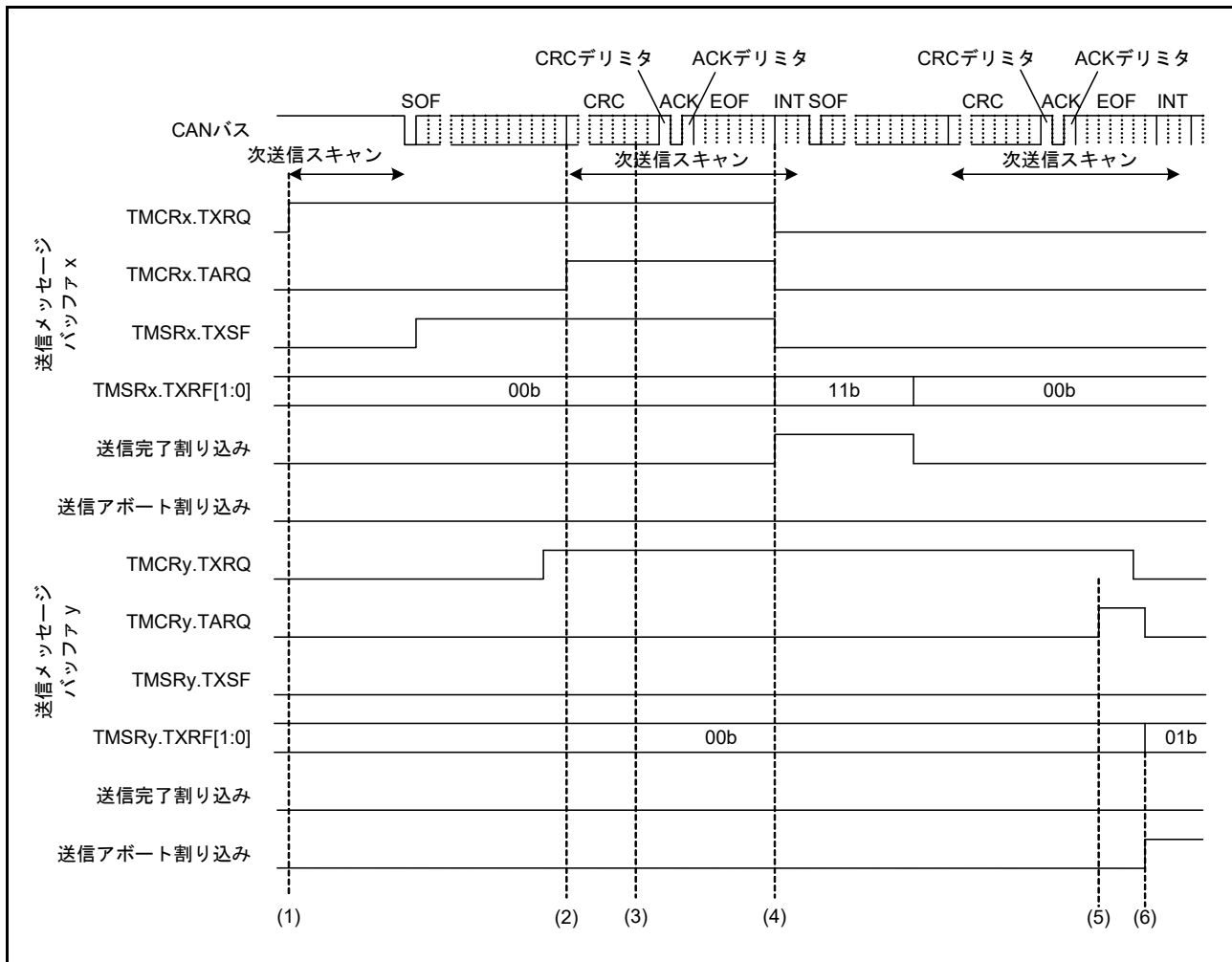


図 34.44 送信アボートの要求とフラグのタイミング

- バスアイドル時に TMCRx.TXRQ ビットを“1”にすると、メッセージバッファスキャン処理が開始され、優先順位が最も高いメッセージバッファが決定されます。
送信メッセージバッファが決定されると、TMSRx.TXSF フラグが“1” (送信中) になり、CAN チャンネルが送信を開始します(注 1)。
- すでに送信用に選択されているか、現在送信中のメッセージバッファに対して、TMCRx.TARQ ビットを“1”にした場合、エラーが発生したりアービトラージロストが発生しない限り、メッセージはアボートされません。
- CRC の 1 ビット目で、次の送信用の送信スキャン処理が開始されます。このタイミングチャート例では、メッセージバッファ y は次の送信メッセージバッファとして選択されていません。
- メッセージが正常に送信されると、TMSRx.TXRF[1:0] フラグが“11b”になり、TMSRx.TXSF フラグおよび TMCRx.TXRQ ビットがクリアされます。
TMIER0.TMIEx ビットが“1” (送信メッセージバッファ割り込み許可) に設定されている場合、送信成功割り込み要求が発生します。
割り込みをクリアするには、TMSRx.TXRF[1:0] フラグをクリアする必要があります。
- CAN バス上で、別の CAN ノードが送信中 (TMSRy.TXSF フラグが設定されていない) の場合、関連チャンネルが送信スキャン中に TMCRy.TARQ ビットを“1”にした場合、送信要求をクリアすることはできません。

(6) 内部処理時間が経過した後、送信はアボートされ、TMSRy.TXRF[1:0] フラグが“01b”になります。メッセージバッファが送信中でなく、次の送信メッセージバッファとして選択されておらず、送信スキャン中でもない場合、アボートは直ちに受け入れられ、対応する TMSRy.TXRF[1:0] フラグは“01b”になります。

また、TMCrY.TXRQ ビット、TMCrY.TARQ ビットは自動的にクリアされます。

CHCR.TAIE ビットが“1”(送信アボート割り込み許可)に設定されている場合、送信アボート成功時に割り込みが発生します。

割り込みをクリアするには、TMSRy.TXRF[1:0] フラグをクリアする必要があります。

注 1. CAN チャンネルが送信を開始した後にアービトレーションロストが発生した場合、TMSRx.TXSF フラグはクリアされます。その後、CRC の 1 ビット目の始まりから、もう一度送信スキャン処理が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合、エラーフレーム中に送信スキャン処理が再度行われ、優先順位が最も高い送信メッセージバッファが検索されます。

34.7.2.3 FIFO バッファからの送信

CANFD モジュールには共通 FIFO が 1 つあります。送信 FIFO モードに設定されている場合、CFPCR0.LTM[1:0] ビットを使用して、共通 FIFO を送信メッセージバッファにリンクすることができます。

送信スキャンが開始され、その送信メッセージバッファに対応する共通 FIFO が有効に設定されている場合、共通 FIFO 内の関連するメッセージが送信スキャンの対象になります。

送信 FIFO モードに設定された共通 FIFO にリンクされた送信メッセージバッファに対して、設定は行わないでください。

(1) 送信 FIFO の動作

送信 FIFO にメッセージを書き込むには、共通 FIFO バッファ 0 (CFB0) に書き込みます。

CFPCR0 レジスタに“000000FFh”を書き込むと、FIFO のメッセージ数が 1 インクリメントされます。

CFPCR0 レジスタに書き込むときは、CFB0 にメッセージを完全に書き終わってから行ってください。メッセージ数が FIFO 段数と一致すると、CFSR0.FULL フラグが“1”になります。

送信 FIFO 内の最も古いメッセージが、送信スキャンの対象になります。

送信 FIFO がメッセージを正常に送信すると、メッセージ数の値が 1 デクリメントされます。FIFO からすべてのメッセージが送信されると、CFSR0.EMPTY フラグが“1”になります。

送信 FIFO バッファの割り込み発生条件は、CFPCR0.CFIM ビットで設定できます。CFPCR0.CFIM ビットが“0”の場合、送信 FIFO バッファから最後のメッセージが正常に送信されたときに割り込みが発生します。CFPCR0.CFIM ビットが“1”の場合、送信 FIFO バッファから正常に送信されるたびに割り込みが発生します。

共通 FIFO は、CAN フレームの送信が完了したときに、割り込みを設定することができます。

送信 FIFO モードに設定された共通 FIFO は、CFPCR0.CFE ビットを“0”にすることで無効にできます。このビットを“0”にすると、以下のタイミングで CFSR0.EMPTY フラグが“1”になります。

- 即座に設定：送信 FIFO からの次の送信予定がなく、また送信中でもない場合
- 送信完了後、CAN バスエラー検出後、アービトレーションロスト後、CH_HALT モードまたは GL_HALT モードに遷移後：送信 FIFO からの次の送信予定があるか、現在送信中の場合

注. CFPCR0.CFE ビットを“0”にした後、CFSR0.EMPTY フラグが“1”になっている場合のみ、共通 FIFO は無効とみなされます。

送信 FIFO バッファにその他の送信保留中メッセージがある場合、そのメッセージは失われるため送信を再度要求する必要があります。CFPCR0.CFE ビットを再度“1”にする前に、CFSR0.EMPTY フラグが“1”になっており、送信 FIFO バッファからの保留中のアボート要求がないことを確認してください。

CFCR0.CFE ビットを“0”にすると、FIFO のメッセージの読み出しポインタおよび書き込みポインタはクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO バッファにメッセージを格納することはできなくなります。

図 34.45 に、設定後の FIFO 送信要求手順を示します。

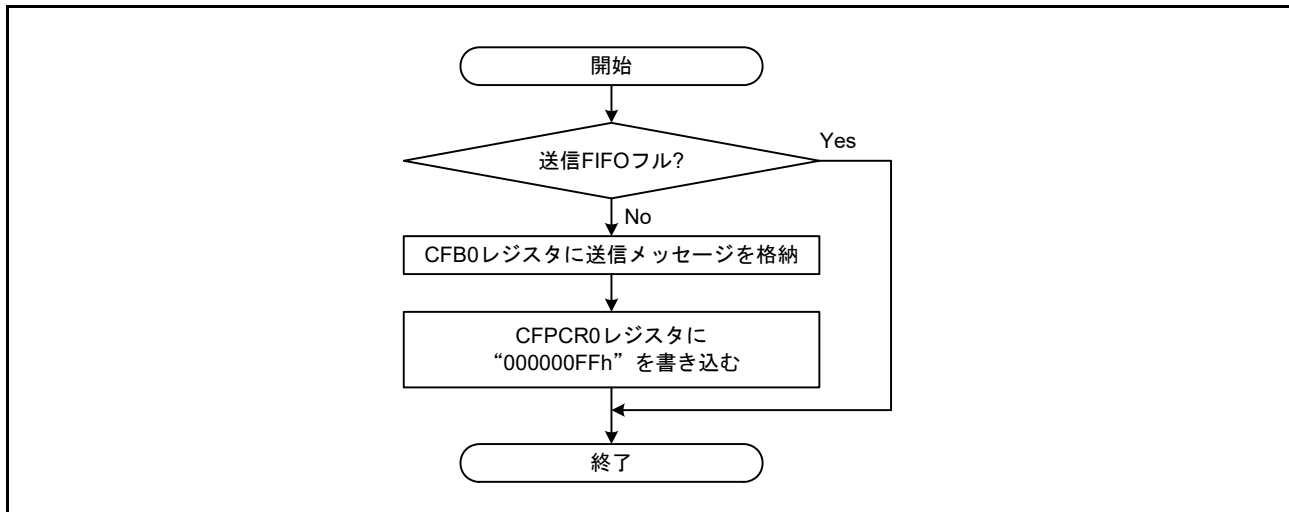


図 34.45 送信 FIFO 送信要求手順

(2) FIFO 送信用のインターバルタイマ

送信モードの各共通 FIFO に対して、同じ FIFO バッファから送信するように設定された 2 つの連続するメッセージ間の遅延時間を指定することができます。この遅延をインターバルタイムと呼びます。このインターバルタイムは、CFPCR0.CFE ビットを“1”にした後、FIFO バッファの最初のメッセージが正常に送信された後に開始されます。

送信モードの共通 FIFO が有効の場合は、このインターバルタイムを考慮せずに最初のメッセージが送信されます。

以下の場合に、インターバルタイムのカウンタが停止します。

- CFPCR0.CFE ビットを“0”にすることによって FIFO が無効になったとき
- CAN チャンネルが CH_RESET モードのとき

インターバルタイムは、CFPCR0.TINT[7:0] ビットの値で指定され、0 ~ 255 のタイマ単位で指定できます。タイマ単位は、インターバルタイム用の 2 つの異なるカウンタソースに基づいて定義することができます。FIFO 送信用のインターバルタイムを無効にするには、値 0 を選択します。

カウンタソースは、CFPCR0.ITCS ビットで選択できます。カウンタソースには、当該チャンネルの CAN ビットタイムクロックまたは基準クロックを選択できます。

カウンタソースとして CAN チャンネルのビットタイムクロックを選択し、CAN チャンネルが CH_HALT、CH_RESET、CH_SLEEP モードに遷移した場合、そのチャンネルのインターバルタイムは停止します。

インターバルタイムのカウンタソースとして基準クロックを選択した場合、CAN チャンネルが CH_RESET モードまたは CH_SLEEP モードに遷移したときのみインターバルタイムが停止します。

基準クロックを使用して、インターバルタイムを一定の時間単位で設定できます。これは、PCLKB に基づきます。GCFG.ITP[15:0] ビットは、PCLKB の周波数 / 周期と基準クロックの周期の関係を定義します。

PCLKB 周波数 / 周期に基づいて異なる基準クロック周期を実現するための GCFG.ITP[15:0] ビットの設定値については、表 34.23 を参照してください。

表 34.23 インターバルタイマプリスケアラの設定例

PCLKB周波数(周期)	基準クロック周期		
	1 μ s	100 μ s	500 μ s
16 MHz (62.5 ns)	16	1600	8000
20 MHz (50 ns)	20	2000	10000
32 MHz (31.25 ns)	32	3200	16000

さらに、CFCR0.ITR ビットを使用して、基準クロックの分解能を設定することができます。

インターバルタイムは、基準クロック周期に設定値で通倍($\times 1$ または $\times 10$)した値に基づきます。基準クロックベースのインターバルタイムを使用すると、ISO 15765-2 の分離時間の要件に準拠させることができます。分離時間は 100 μ s ~ 127 ms の全範囲をカバーしています。

指定したインターバルタイムは、送信イベントが正常に終了した後 (CAN プロトコルの EOF7 状態の後) に開始します。

インターバルタイムが経過すると、送信 FIFO バッファから次の送信要求が発生します。したがって、インターバルタイムは、1 つの FIFO から送信される 2 つのメッセージ間の最小時間を定義します。

次のメッセージは、最も早くてもこのインターバルタイム後に送信されます。図 34.46 に、内部処理のタイミングの例を示します。

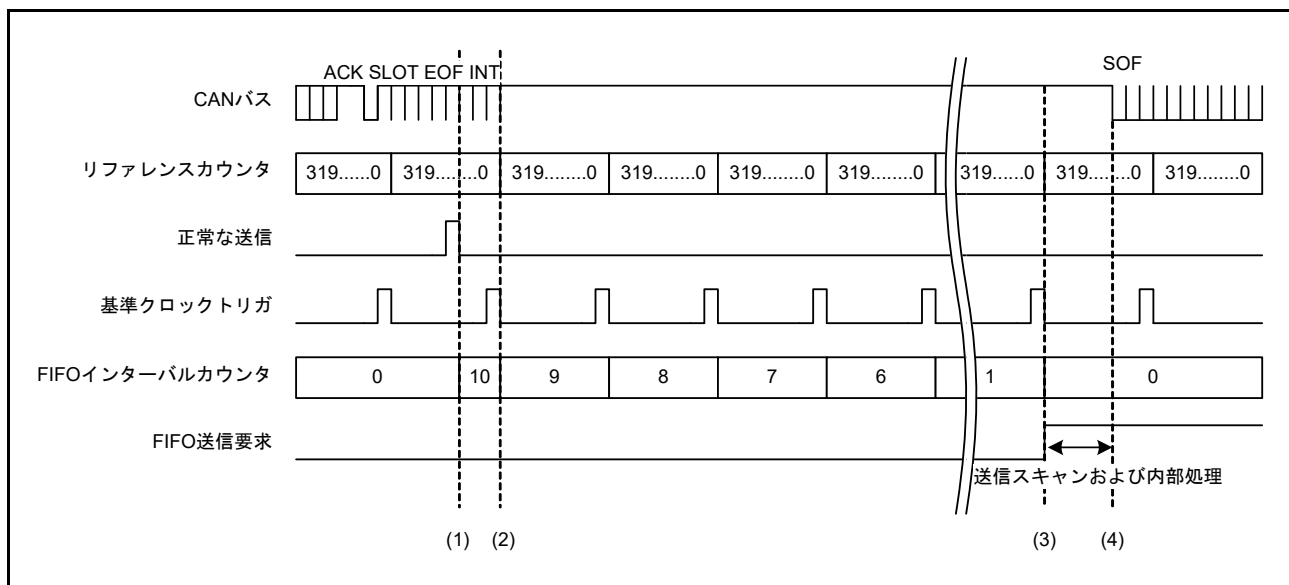


図 34.46 インターバル処理時間の例

図 34.46 のタイミングの設定は以下のようになります。

- PCLKB 周波数 = 32 MHz
- インターバルタイマプリスケアラ (GCFG.ITP[15:0]) = 320 分周
- 上記設定による基準クロック周期 = 10 μ s
- 共通 FIFO インターバルタイムカウントソース選択 (CFCR0.ITCS) = 0
- 共通 FIFO インターバルタイム分解能 (CFCR0.ITR) = 0
- 共通 FIFO 送信インターバル時間 (CFCR0.TINT[7:0]) = 10 カウント
- 理論上のメッセージ分離間隔 = 100 μ s

- (1) 送信が正常終了すると、内部 FIFO インターバルタイマはリスタートします。このリスタートは、基準クロックのトリガとは同期されません。そのため、最初のインターバルのカウントは、1 基準クロックインターバルと同じかそれ以下になります。
- (2) 次の基準クロックトリガで、FIFO インターバルタイマはデクリメントされます。
- (3) FIFO インターバルタイマが値 0 に達すると、FIFO 送信要求が設定されます。
- (4) FIFO が送信用に選択されている場合、すぐに送信が開始されます。内部処理のため、上記 3. で内部 FIFO 送信要求が設定されてから実際の送信までの時間は、通常 3 ビットタイム未満です。
受信スキャン、内部メッセージルーティング、送信スキャンなどの複数のイベントが同時に発生した場合、最大で 126 PCLKB サイクルかかる可能性があります。

図 34.46 に示すように、最小インターバルタイムが常に設定値と等くなる保証はありません。最小時間が絶対に破られてはならない場合、CFCR0.ITINT[7:0] ビットを必要な最小値 + 1 に設定する必要があります。

送信メッセージバッファまたは送信 FIFO がチャネルの送信用に設定されている場合、これらの送信メッセージバッファまたは送信 FIFO から優先順位の高いメッセージが送信されるため、送信 FIFO から送信される 2 つのメッセージ間の実質的な遅延時間は、インターバルタイムで設定された時間よりも長くなる場合があります。

図 34.47 に、FIFO インターバルタイマのブロック図を示します。

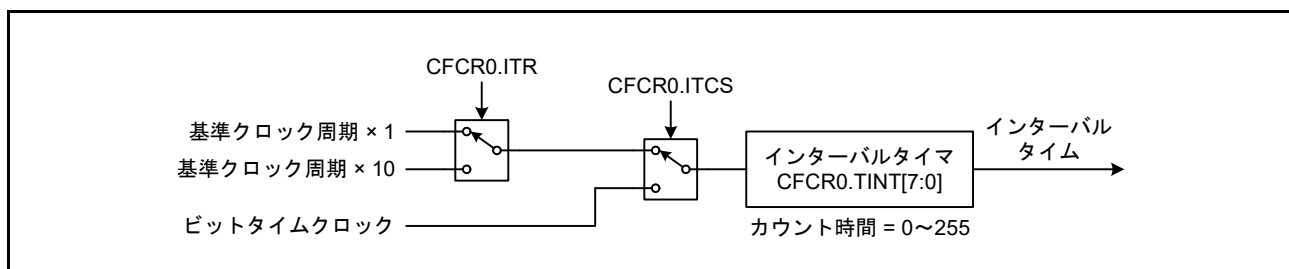


図 34.47 FIFO インターバルタイマのブロック図

34.7.2.4 送信キュー

有効な送信キューは、3～4個の送信メッセージバッファで構成されており、1つのアクセスウィンドウからアクセスできます。

送信キュー0(以降、TXQ0)は、バッファの段数を3または4に設定可能で、アクセスウィンドウとして送信メッセージバッファ0を使用しています。TXQ0の全メッセージは、送信優先順位比較の対象になります。ID優先(GCFG.TPRI=0)に設定して使用してください。

TXQ0のレジスタはTQCR0、TQSR0、TQPCR0です。

アクセスウィンドウとして送信メッセージバッファ0を使用します。TMB0.HF0、TMB0.HF1、TMB0.HF2、TMB0.DF0～TMB0.DF15レジスタを参照してください。

TXQ0バッファの段数は、TQCR0.QDS[1:0]ビットに書き込むことで設定できます。TXQ0は、最大でTMB0～TMB3を1つのキューバッファとして設定することができます。

TXQ0バッファの段数設定には、以下のいずれかが利用可能です。

- 10b : 3段
- 11b : 4段

送信キューを構成する送信メッセージバッファ0を除くすべての送信メッセージバッファには、アクセスしないでください。また、送信キューを構成するすべての送信メッセージバッファに対応するTMCRnレジスタにもアクセスしないでください。

TXQ0にデータを書き込む場合、TXQ0の状態を確認した上で送信データを書き込んでください。

送信キューアクセスウィンドウに保存されたメッセージは、内部的に送信キューの空きバッファに保存されます。

送信キューがフルになったら、それ以上キューにアクセスしないようにしてください。TXQ0のバッファがフルのときに送信データを書き込んだ場合、送信データは上書きされます。

送信キューは、TQCR0.TQEビットを“0”にすることで無効にすることができます。このビットが“0”になると、TQSR0.EMPTYフラグが以下のタイミングでセットされます。

- 送信キューからの次のメッセージ送信予定がなく、また送信中でもない場合
即座にセットされます。
- 送信キューからの送信がすでに予約されている場合、または送信中の場合
送信完了後、CANバスエラー検出後、アービトレーションロスト後、CH_HALTモードまたはGL_HALTモードに遷移後にセットされます。

注. 送信キューは、TQCR0.TQEビットを“0”にした後、TQSR0.EMPTYフラグが“1”になったときのみ無効になります。

送信キューにその他の保留中のメッセージがある場合、そのメッセージは失われるため、再度送信を要求する必要があります。

TQEビットを再度“1”にする前に、TQSR0.EMPTYフラグが“1”で、送信キューに保留中のアボート要求がないことを確認してください。

TQEビットを“0”にすると、送信キューバッファ内のすべてのメッセージが失われ、以降その送信キューにメッセージは格納されなくなります。

送信キューにメッセージが格納されている状態で、TQPCR0レジスタに“000000FFh”を書き込んでください。これにより、送信要求が自動的に設定され、内部の送信メッセージバッファポインタが送信キューの次の空き送信メッセージバッファの位置に変更されます。

注. 同じIDを持つ2つのメッセージが送信キューに格納された場合、これらのメッセージの送信順序が送信キューに格納された順序とは変わる可能性があります。
この状態を避けるためには、同じIDを持つ新しいメッセージが送信キューに格納される前に、同じIDを持つメッセージが正常に送信されたことを確認することが重要です。

送信キューでは、TQCR0.TQIE ビットを設定することで、専用の割り込みを有効にすることができます。割り込みモードは、TQCR0.TQIM ビットによって、送信されたメッセージごとに割り込みを発生させるか、最後に送信されたメッセージに対して割り込みを発生させるかを設定できます。

図 34.48 に、送信キュー送信要求手順を示します。

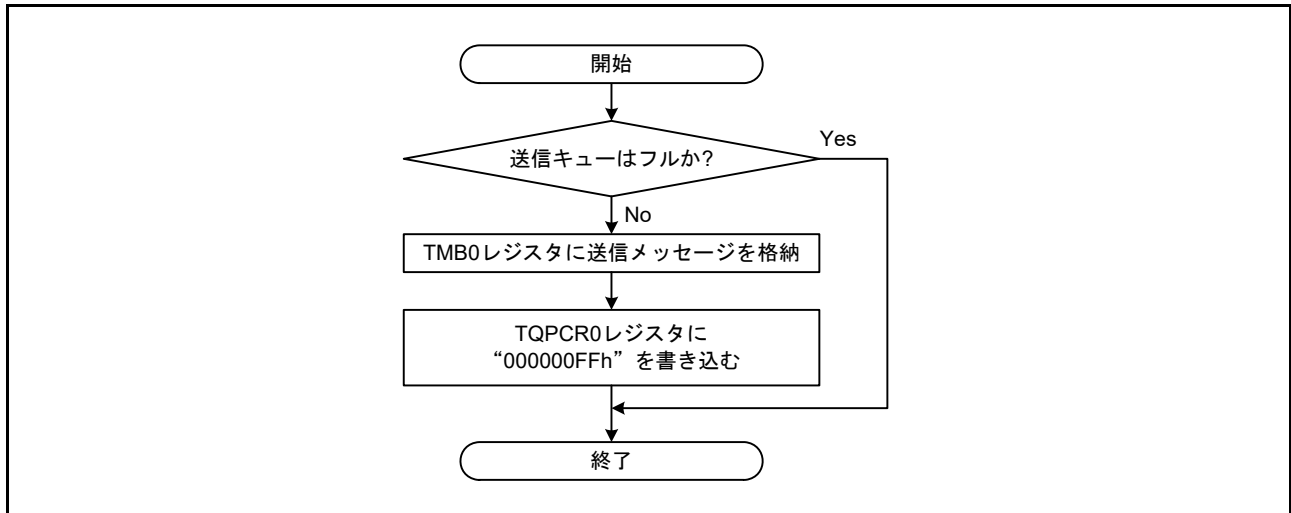


図 34.48 送信キュー送信要求

34.7.2.5 送信履歴

送信履歴機能は、正常に送信されたメッセージの情報を送信履歴バッファに記録する機能です。送信履歴バッファには最大 8 個の送信履歴エントリを格納することができます。

THCR.THRC ビットを使用して、送信 FIFO/送信キューから送信されたメッセージの情報のみを格納するか、送信メッセージバッファから送信されたメッセージの情報も格納するかを選択できます。

各送信メッセージは、CFB0.HF0.THENT ビットにより、送信履歴への格納を個別に設定することができます。

メッセージが正常に送信された後、メッセージ情報は CAN チャネルの送信履歴バッファに格納されます。

リストへの格納は、TMSRn.TXRF[1:0] フラグのステータスとは同期されせん。

内部処理のため、正常送信が通知された後、リストに格納されるまでに遅延が発生することがあります。

送信履歴バッファへのデータ格納は、THCR.THIE ビットが“1”になっている場合は THSR.THIF フラグが“1”になっていることによって、または送信履歴カウンタ THSR.FLVL[3:0] が増分されたことによって認識できます。

受信スキャンや内部メッセージルーティングなど複数のイベントが発生する場合があります。

TMSRn.TXRF[1:0] フラグが設定されてから送信履歴データの格納までの最大遅延時間は、76 PCLKB サイクルです。

送信履歴には、送信されたメッセージの以下の情報が記録されます。

- 送信バッファの種類
 - 001 : 送信メッセージバッファ
 - 010 : 送信 FIFO モードの共通 FIFO (以下、送信 FIFO と記載)
 - 100 : 送信キュー
- 送信バッファ番号

メッセージを送信した、送信メッセージバッファ、送信キューの送信メッセージバッファ、または共通 FIFO にリンクされた送信メッセージバッファ。この番号は、バッファの種類によって決まります。

表 34.24 を参照してください

- 送信ポインタ
送信メッセージのヘッダフィールド 2 に設定されたポインタ (HF2.PTR[15:0])
- 送信タイムスタンプ
GFDCFG.TSCPS[1:0] ビットで設定したキャプチャポイントでキャプチャされたメッセージのタイムスタンプ
- 送信情報ラベル
送信メッセージのヘッダフィールド 2 に設定された情報ラベル (HF2.IFL[1:0])

表 34.24 送信履歴バッファ番号エントリ

送信バッファ番号 (THACR0.BN[1:0])	送信バッファタイプ(THACR0.BT[2:0])		
	001b	010b	100b
	送信メッセージバッファ	送信FIFO	送信キュー
00b	TMB0	BN[1:0]ビットの値は、 CFCR0.LTM[1:0]ビットの値と同じになります	BN[1:0]ビットの値は、メッセージの送信に使用されたメッセージバッファの番号を示します。
01b	TMB1		
10b	TMB2		
11b	TMB3		

送信 FIFO または送信キュー番号だけでは識別に不十分なため、送信ポインタを使用して、送信 FIFO または送信キューのどのメッセージが正常に送信されたかを識別します。

そのため、送信 FIFO または送信キューに格納された各送信メッセージに一意の番号 (ポインタ) を付けることができます。このポインタは、送信 FIFO の場合は CFB0.HF2.PTR[15:0] 部分に、また、送信キューの場合は TMB0.HF2.PTR[15:0] 部分に書き込みます。

メッセージが正常に送信されると、このポインタが他のメッセージ関連情報と共に送信履歴に格納され、送信履歴アクセスレジスタの送信ポインタフィールド (PTR[15:0]) を介して読み出すことができます。

通常の送信メッセージバッファについても、TMBn.HF2.PTR[15:0] 部分が送信履歴に格納されます。情報ラベルも同様です。

送信履歴アクセスレジスタの読み出しは、1 エントリごとに行ってください。

1 つのエントリを読み出した後、次のエントリにアクセスできるようにするために、THPCR レジスタに“000000FFh”を書き込む必要があります。これを、送信履歴が空になるまで続けます。

図 34.49 に、送信履歴の処理フローの例を示します。

送信履歴には専用の割り込みがあり、THCR.THIM ビットで設定し、THCR.THIE ビットで許可することで、送信履歴が全体の 75% に達したとき、または新しい送信履歴が格納されるごとに割り込みを発生させることができます。

送信履歴が失われると、THSR.LOST フラグに表示されます。このフラグのステータスは、GESR.THLDF フラグでも確認できます。

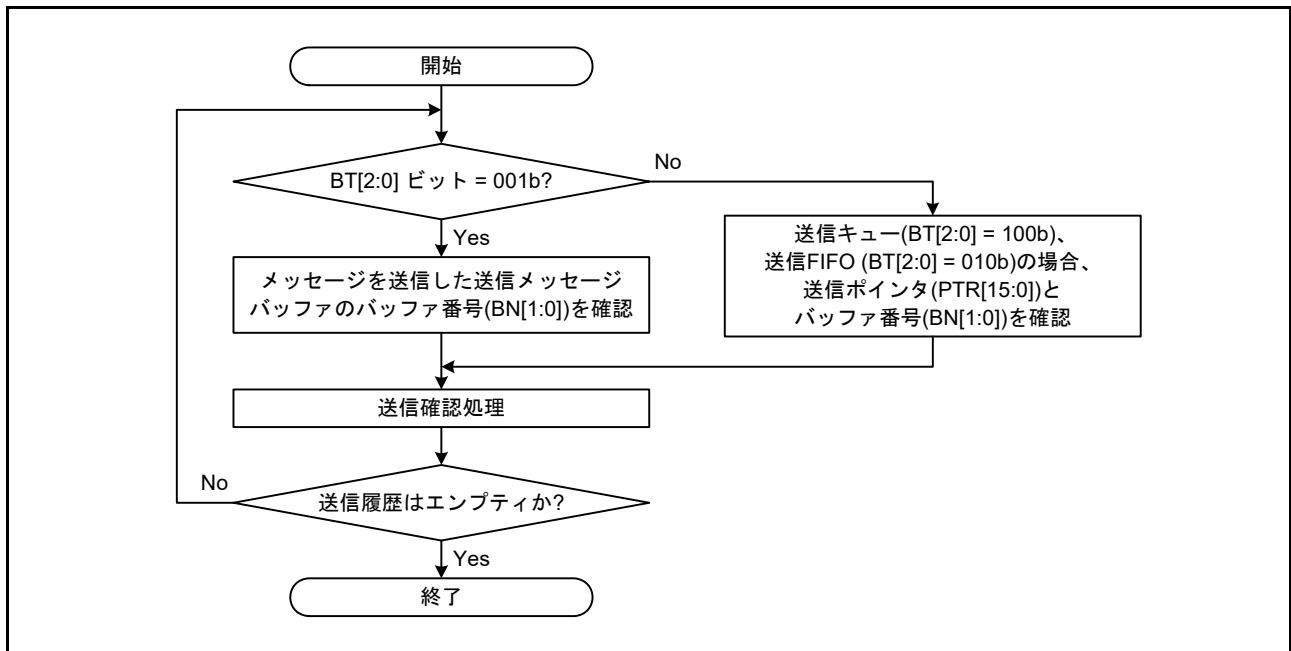


図 34.49 送信履歴の処理フロー例

34.7.2.6 送信データパディング

送信メッセージのデータ長コード (DLC) のデータバイト数がバッファサイズよりも多い場合、制限範囲を超えるデータバイトは“CCh”で置き換えられます。

これは、送信 FIFO モードに設定された共通 FIFO において、送信メッセージの DLC が CFCR0.PLS[2:0] ビットで設定されたペイロードサイズよりも大きいときに発生することがあります。

また、FD only モードでも、Classical CAN フレームの DLC 値が 8 より大きい場合に発生することがあります。

34.8 ECC チェック

メッセージバッファ RAM は、2 ビットの ECC エラー検出と 1 ビットの ECC エラー検出・訂正の ECC 機能を持っています(注1)。ECC モジュールは、32 ビットの RAM データに 7 ビットの ECC データを付加します。

注1. ECC モジュールは 3 ビット以上のエラーを検出できません。この場合、ECC モジュールは 1 ビットまたは 2 ビットのエラーを検出するか、エラーを検出しないか、または設定によりエラービットをエラーデータに修正します。すべての RAM データが "0" または "1" に固定されている場合は、2 ビットのエCC エラーとして検出されます。

34.8.1 ECC 機能設定

図 34.50 に ECC 機能の設定手順を示します。

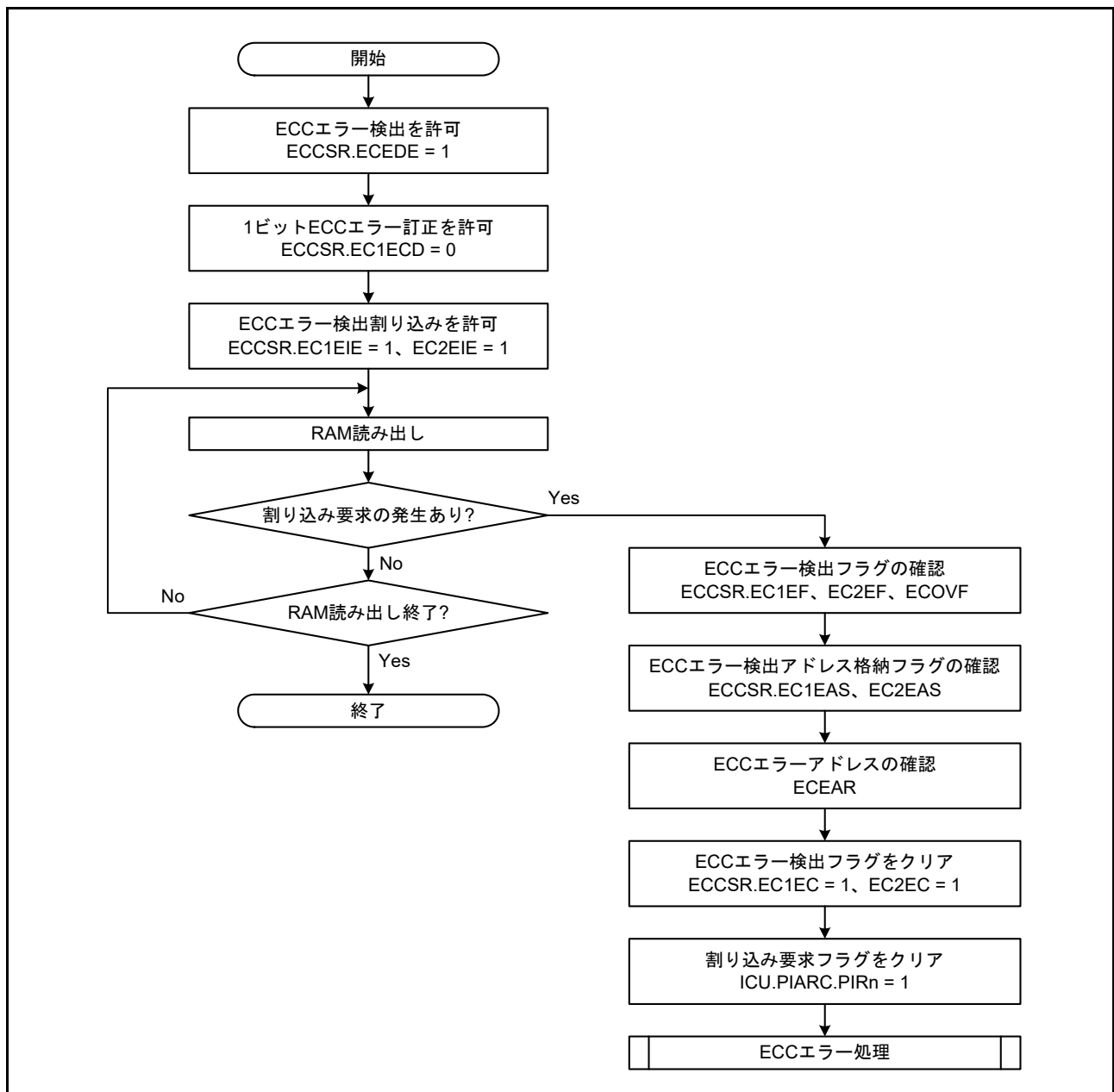


図 34.50 ECC 機能設定手順

34.8.2 ECC デコーダテスト

ECC 割り込みは、ECC テストモードにより意図的に発生させることができます。

図 34.51 に、ECC デコーダのテスト手順を示します。

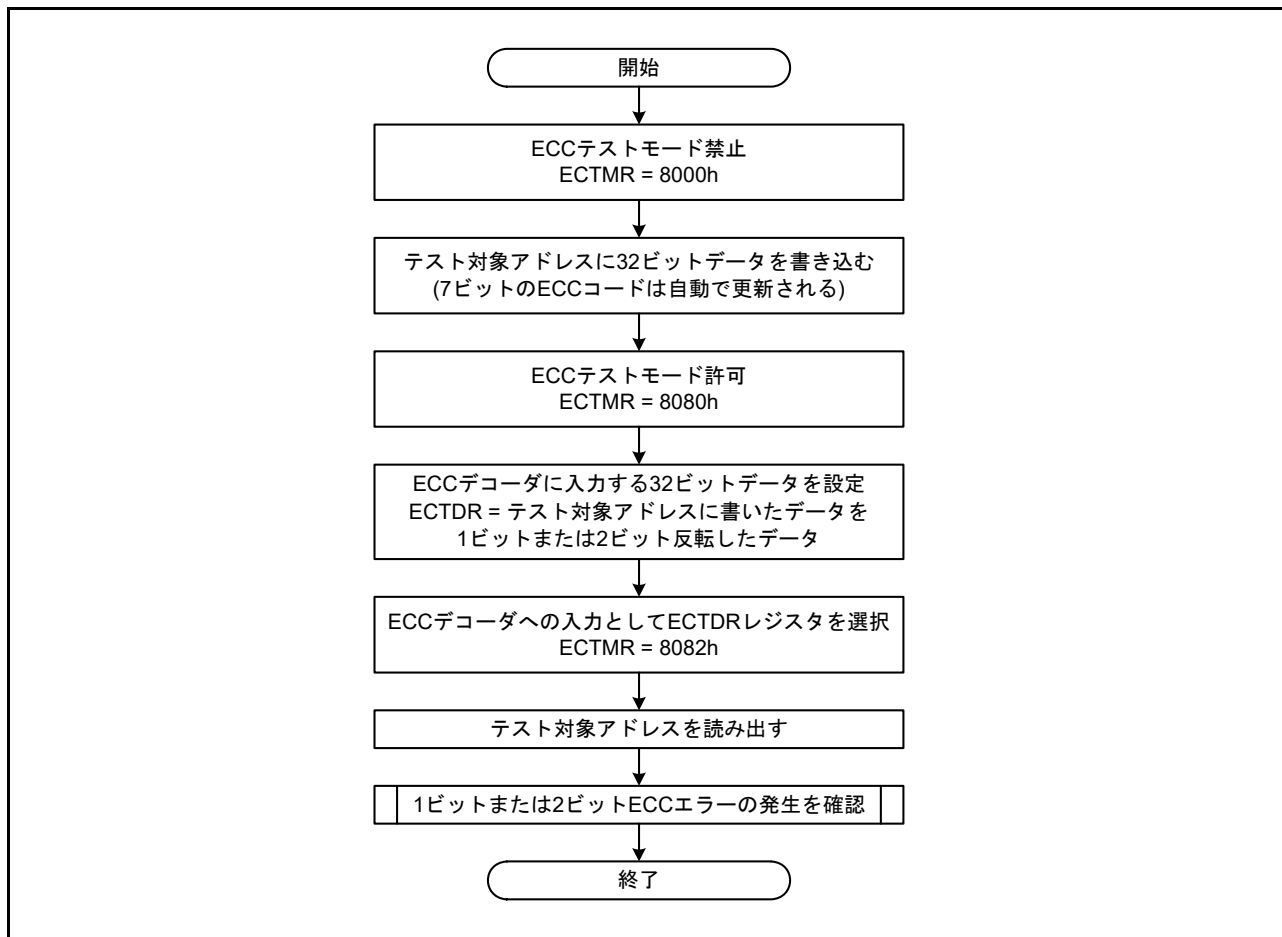


図 34.51 ECC デコーダのテスト手順

34.9 テストモード

特定の機能をテストできるように、CANFDモジュールをテストモードを設定することができます。これらの機能は、特別な目的のために提供されているものであり、CANFDモジュールをテストモードに設定する際には注意が必要です。

注. 一部の機能を他のテストモードでも有効にできることが明示されていない限り、すべてのテストモードは相互に排他的関係にあります。

本項に記載する複数のテストモードを同時に有効にしないでください。
テストモードは、大きく分けて2つのグループに分けられます。

- チャネル固有のテストモード
- グローバルテストモード

34.9.1 チャネル固有のテストモード

CANチャネルは、以下のテストモードを設定することができます。

- 基本テストモード
- リッスンオンリモード
- セルフテストモード0(外部ループバックモード)
- セルフテストモード1(内部ループバックモード)
- 制限付き動作モード

34.9.1.1 基本テストモード

基本テストモードは、リッスンオンリモードやセルフテストモード以外の特定のテスト設定を有効にする必要がある場合に使用します。

34.9.1.2 リッスンオンリモード

ISO 11898-1では、オプションのバスモニタモードが推奨されています。このモードでは、CANチャネルは有効なデータフレームおよび有効なリモートフレームを受信することができます。しかし、CANバス上にはレセシブビットを送信するのみで、データの送信は許可されません。

CANエンジンがドミナントビット(ACKビット、オーバーロードフラグ、アクティブエラーフラグ)を送信する必要がある場合、CANエンジンがそのドミナントビットをモニタできるように、CTX0端子をレセシブ状態にしたまま、そのビットを内部で再ルーティングします。

このモードは、ビットレート検出に使用することができます。このモードでは、バスエラーが発生し、かつ割り込みが許可されている場合、エラー割り込みが発生します。

このモードでは、送信メッセージバッファ、送信キュー、共通FIFOに送信を要求することはできません。

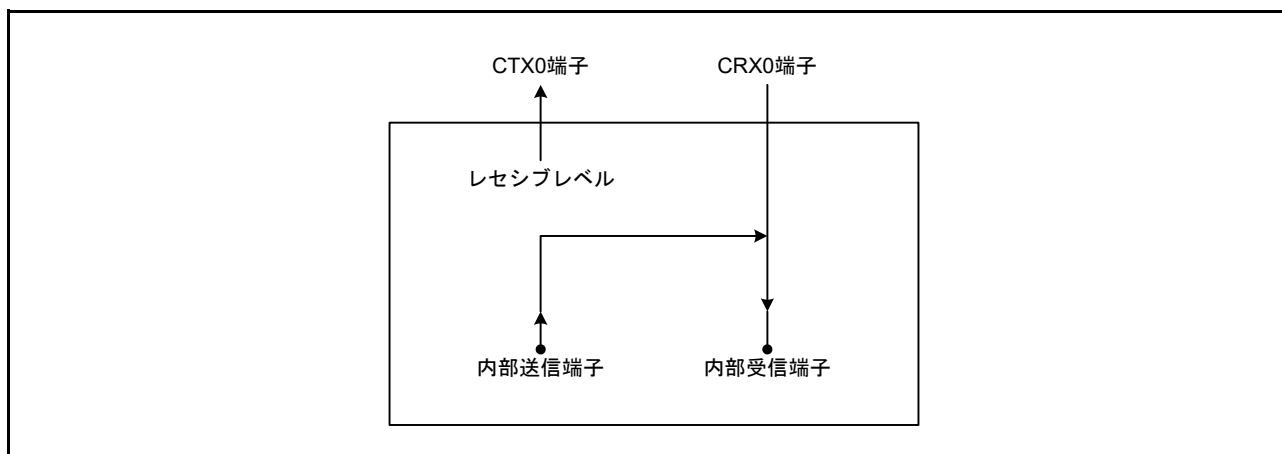


図 34.52 リスンオンリモードの構成

34.9.1.3 セルフテストモード 0 (外部ループバックモード)

セルフテストモード 0 では、CAN エンジンが自ら送信したメッセージを CAN トランシーバを経由で受信したメッセージとして扱い、受信メッセージバッファに格納します。

外部の刺激に影響されないようにするため、CAN エンジン独自のアクノリッジビットを生成します。

このテストは、CAN トランシーバのテストに使用できます。CRX0 端子、CTX0 端子はトランシーバに接続する必要があります。

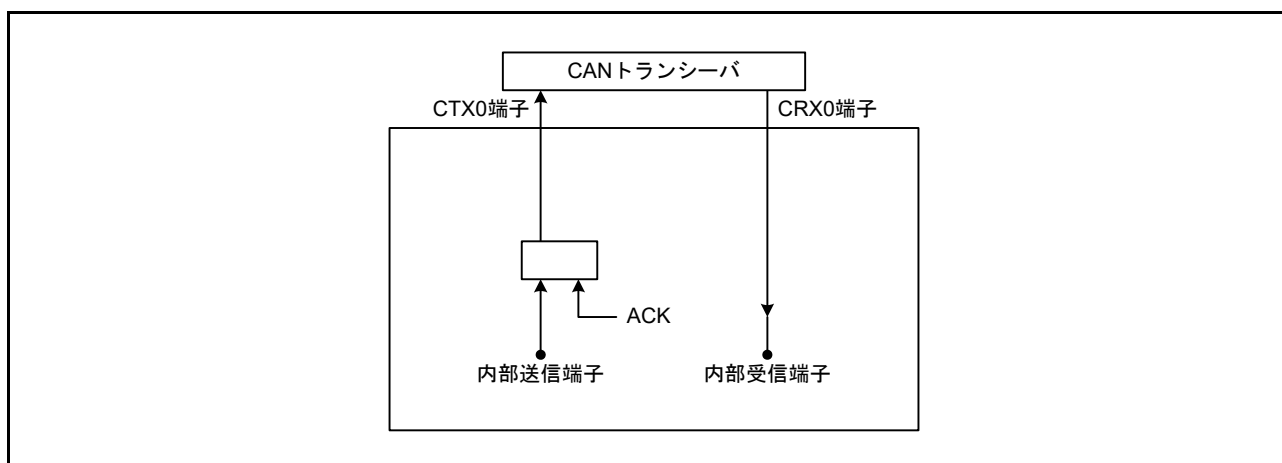


図 34.53 セルフテストモード 0 の構成

34.9.1.4 セルフテストモード 1 (内部ループバックモード)

セルフテストモード 1 では、CAN エンジンが自ら送信したメッセージを受信したメッセージとして扱い、受信バッファに格納します。このモードはセルフテスト機能用です。外部の刺激に影響されないようにするため、CAN エンジン独自のアクノリッジビットを生成します。このモードでは、CAN エンジンは内部送信端子から内部受信端子への内部フィードバックを行います。CRX0 端子の実際の入力レベルは、CAN エンジンによって無視されます。

CTX0 端子はレセプビットのみを出力します。CRX0 端子、CTX0 端子を CAN バスや外部デバイスに接続する必要はありません。

注． チャンネルの各端子は、内部 CAN バス通信ラインからも切り離されます。

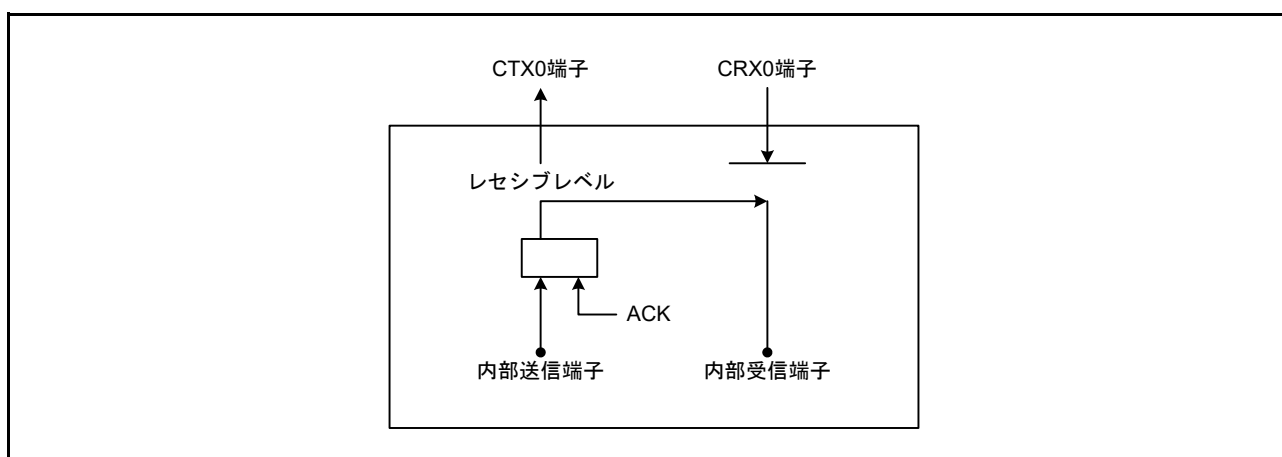


図 34.54 セルフテストモード1の構成

34.9.1.5 制限付き動作モード

制限付き動作モードでは、CAN ノードは有効なデータフレームとリモートフレームを受信して、アクノリッジビットを生成することができます。

アクティブエラーフレームおよびオーバーロードフレームを送信することはできませんが、その代わりに、エラー条件またはオーバーロード条件が発生した後、バスアイドル状態になるまで待機してから CAN 通信に再同期します。

さらに、受信エラーカウンタ (CHSR.REC[7:0]) と送信エラーカウンタ (CHSR.TEC[7:0]) は、エラーの発生に関係なくフリーズします。

このモードの仕様は ISO 11898-1 に準拠します。また、任意の送信要求を設定することができます。

34.9.2 グローバルテストモード

CANFD モジュールは、以下のテストモードに設定することができます。

- RAM テストモード
- ビットフリップテスト

表 34.25 に示すテストモードは、モードの有効化が特別なソフトウェア手順によって保護されています。このソフトウェア手順は、特定のロック解除キーによってテストモードへの書き込みを許可します。

表34.25 テストモードのロック解除キー

テストモード	ロック解除キー1	ロック解除キー2
RAMテストモード	00007575h	00008A8Ah

2つの連続するロック解除キー書き込みのソフトウェアシーケンスが、レジスタへのその他の書き込みによって中断された場合、またはグローバルロック解除キーレジスタに不正なデータが書き込まれた場合、対応するテストモードは設定できず、シーケンスを初めからやり直す必要があります。

2回のロック解除キーを書き込んだ後、続けて対応するテストモード許可ビットを設定する必要があります。これが守られない場合、ロック解除機構がリセットされ、テストモード許可ビットを設定できなくなり、ロック解除シーケンスを初めからやり直す必要があります。

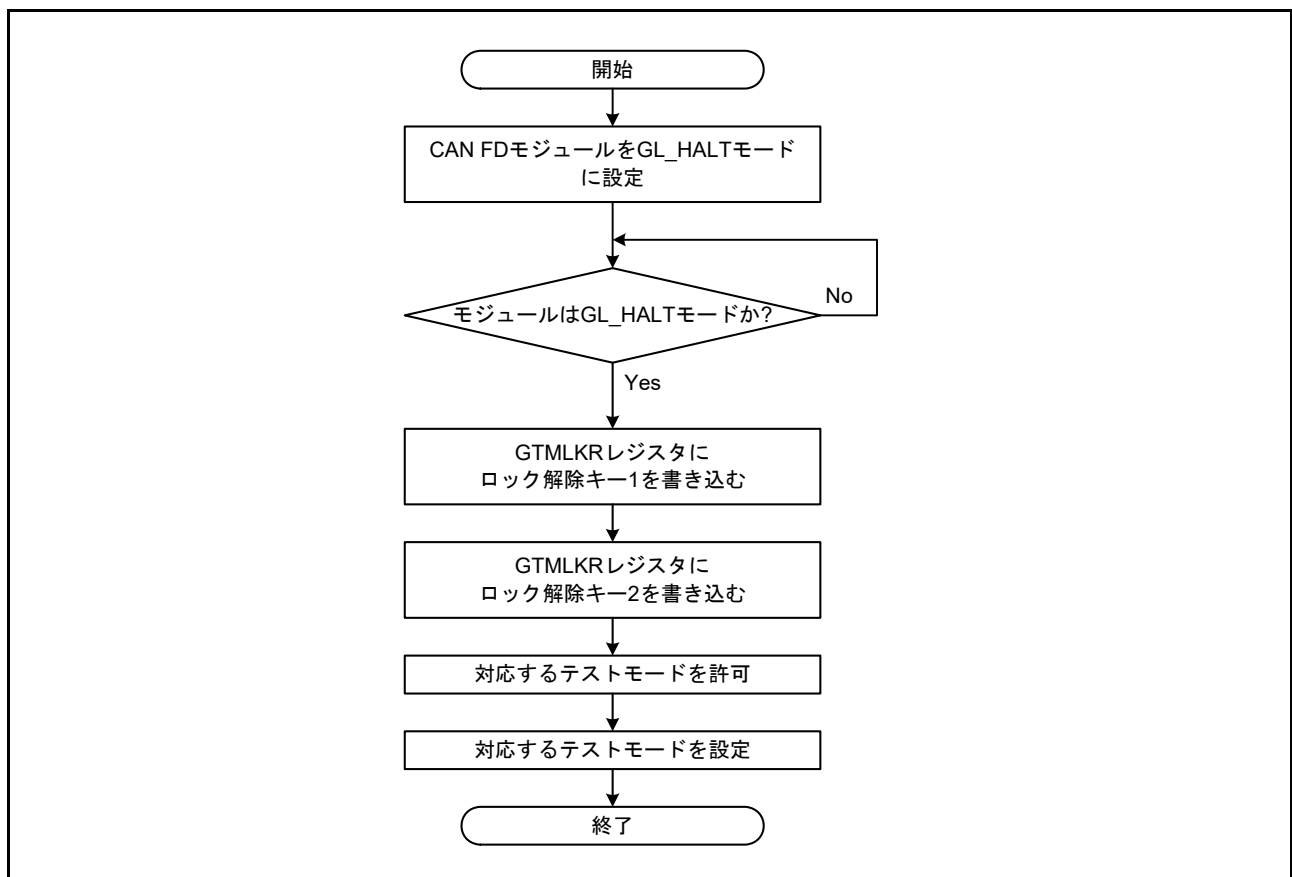


図 34.55 ソフトウェア保護のロック解除ルーチン

34.9.2.1 RAM テストモード

対応するロックキーを先に入力してから、GTMER.RTME ビットを設定することで、CANFD モジュールを RAM テストモードに設定することができます。これは、RAM 領域全体にアクセスできる特別なテストモードです。

注. 実際の RAM は、MCU リセット後に初期化される RAM 領域よりも大きいサイズを持っています。そのため、CANFD モジュールを RAM テストモードにしたとき、CPU がこの初期化されていない RAM 領域からデータを読み出すことで、ECC マクロの ECC エラーフラグが設定されることがあります。

このモードでは、RAM 領域は 256 バイトずつの複数ページに分割されます。これは RTPARK レジスタ ($k=0 \sim 63$) でアクセスできます。

GTMCR.RTPS[3:0] ビットに書き込むことで、ページの読み出し / 書き込みアクセスを選択します。すると、RAM テストページアクセスレジスタからのデータ読み出し / 書き込みが可能になります。

図 34.56 に、RAM テストモードを実行した場合の RAM 内のページの構成を示します。

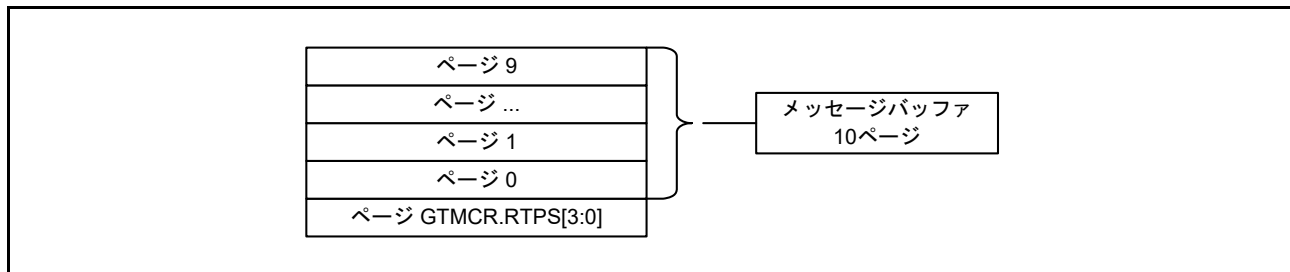


図 34.56 RAM のページ構成

使用可能な RAM の合計サイズは、メッセージバッファ RAM 用の 2328 バイトです。

RAM の総ページ数および GTMCR.RTPS[3:0] ビットの値は以下のように計算されます。

$$\text{総ページ数} = \text{ceil}(\text{総 RAM サイズ (バイト)} / \text{1 ページあたりのバイト数})$$

メッセージバッファ RAM の場合、以下のようになります。

$$\text{総ページ数} = \text{ceil}(2328 / 256) = 10 \text{ ページ}$$

$$\text{GTMCR.RTPS[3:0]} = 0 \sim 9$$

図 34.57 に、RAM テストモードのソフトウェアフローを示します。

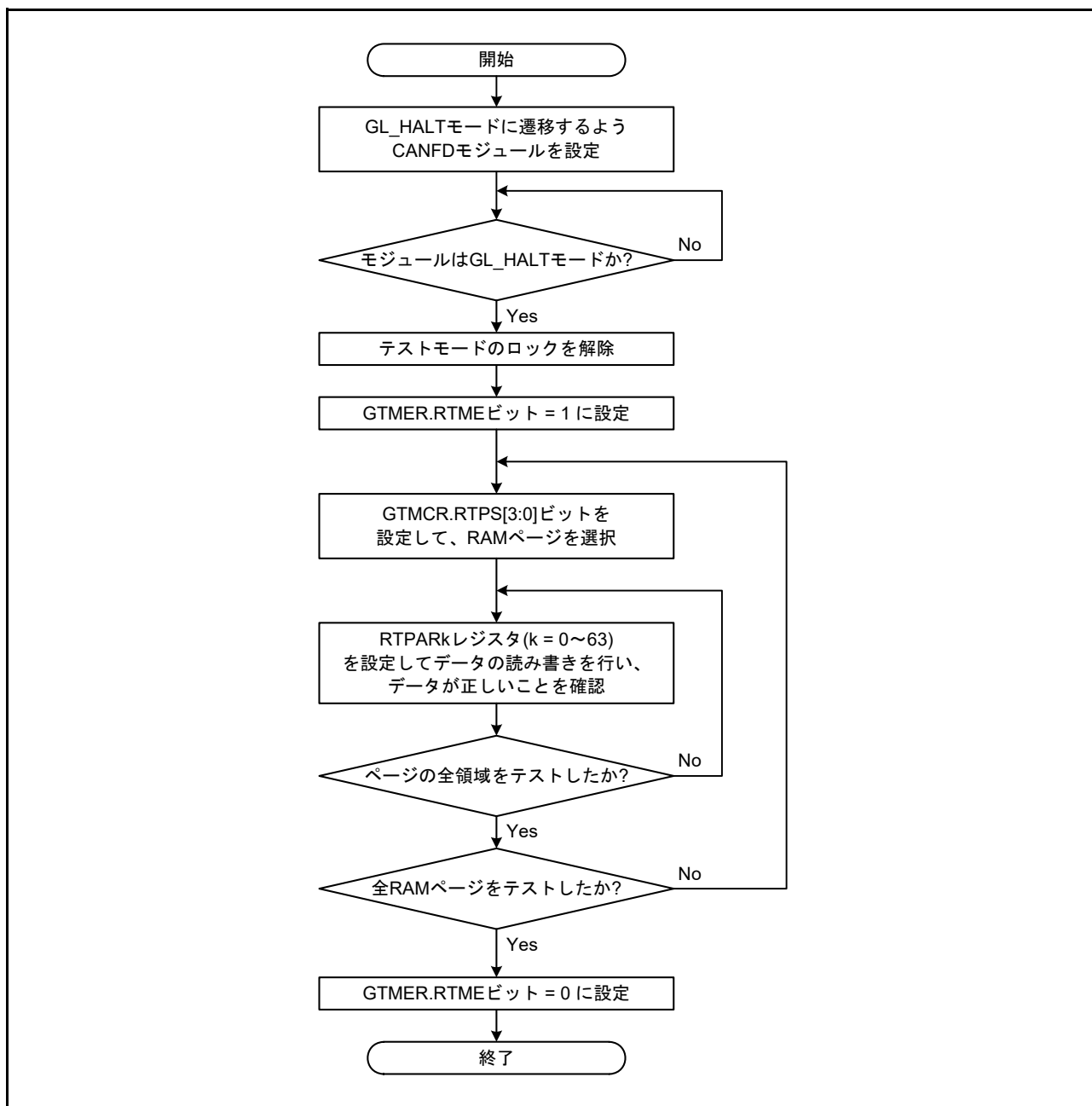


図 34.57 RAM テストモードのソフトウェアフロー

RAM テストモードを終了するには、GTMER.RTME ビットを“0”にしてください。

GTMER.RTME ビットは、CANFD モジュールがテストモードから GL_RESET モードに入ると自動的に“0”になります。

34.9.2.2 ビットフリップテスト

ビットフリップテストは、受信するビットストリームの先頭のビット (ID の 1 ビット目) を反転させることができます。

送信ノードがこの機能を使用した場合、ビットエラーやアービトレーションロストが発生します。

受信ノードでこの機能を使用した場合、CRC エラーまたはスタッフエラーが発生します。

CRC エラーではなく (反転による) スタッフエラーを受信する可能性があるため、この機能を使用する場合はビットスタッフィングルールを参照してください。

CRC エラーのテストは、以下のシーケンスで行う必要があります。以下のシーケンスでは、CANFD モジュールが受信機となります。

1. 送信ノードからの入力ビットストリームの最初のビットを反転させるために、CHCR.BFT ビットを“1”に設定します。
2. チャンネルエラー割り込みが“1”になるのを待ちます。
3. CHESR.CRC15[14:0] ビットまたは FDCRC.CRC21[20:0] ビットのいずれかを読み込みます (受信したフレームタイプによって異なります : Classical CAN または CAN FD)。この値は、送信ノードからの参照メッセージの受信 CRC 値とは異なる値でなければなりません。
4. CHESR.CEDF ビットが“1”であることを確認します。CRC ジェネレータロジックは受信と送信で共有されているため、別個の送信 CRC エラーテストを作成する必要はありません。

34.10 割り込みと DTC/DMA 転送要求

34.10.1 CANFD 割り込み

CANFD モジュールは、いくつかの割り込みを発生させます。割り込み出力は、割り込みコントローラに接続されており、対応する割り込み許可ビットによって制御できます。

ステータスフラグは、この許可ビットと無関係に設定されます。

チャンネル送信割り込みにはもう 1 つ別のステータスフラグレジスタがあり、そのステータスビットは対応する割り込み許可が設定されている場合のみ、設定されます。

この割り込みは複数のトリガ要因によって発生するため、このレジスタはチャンネル送信に対する割り込み要因の特定をサポートします。

CANFD モジュールの割り込みは、グローバル割り込みとチャンネル割り込みの 2 つのグループに分類できます。

(1) グローバル割り込み

CANFD モジュールは、3 つのグローバル割り込みを生成することができます。

1. 受信 FIFO 割り込み
2. グローバルエラー割り込み
3. 受信メッセージバッファ割り込み

(2) チャンネル割り込み

CANFD モジュールのチャンネルは、3 種類のチャンネル割り込みを発生させることができます。

1. チャンネル送信割り込み
 - (a) 送信成功割り込み
 - (b) 送信アボート割り込み
 - (c) 送信キュー割り込み
 - (d) 共通 FIFO 送信割り込み
 - (e) 送信履歴割り込み
2. チャンネルエラー割り込み
3. 共通 FIFO 受信割り込み

表 34.26 に、CANFD モジュールの割り込み要因を示します。

各割り込み要求をクリアするには、割り込みが許可されている要因の内、“1”になっているフラグをすべてクリアしてください。なお、対応する割り込み許可ビットを“0”にしても割り込み要求がクリアされません。

表 34.26 割り込み要因

割り込み名称		割り込み要因フラグ	割り込み許可ビット	割り込みステータスフラグ	
グローバル割り込み	受信FIFO割り込み(RFRI)	RFSRn.RFIF	RFCRn.RFIE	—	
	グローバルエラー割り込み(GLEI)	GESR.DEDF GESR.MLDF GESR.THLDF GESR.PODF	GCR.DEIE GCR.MLIE GCR.THLIE GCR.POIE	—	
	受信メッセージバッファ割り込み(RMRI)	RMNDR.NDF[n]	RMIER.RMIEn	—	
チャンネル割り込み	チャンネル送信割り込み(CHTI)	送信成功割り込み(注1)	TMSRn.TXRF[1]	TMIER0.TMIEn	TISR.TSIF0
		送信アボート割り込み(注1)	TMSRn.TXRF[1:0] (TXRF[1:0] = 01b)	CHCR.TAIE	TISR.TAIF0
		送信キュー割り込み	TQSR0.TQIF	TQCR0.TQIE	TISR.TQIF0
		共通FIFO送信割り込み	CFSR0.CFTIF	CFCR0.CFTIE	TISR.CFTIF0
		送信履歴割り込み	THSR.THIF	THCR.THIE	TISR.THIF0
	チャンネルエラー割り込み(CHEI)	CHESR.BEDF CHESR.EWDF CHESR.EPDF CHESR.BOEDF CHESR.BORDF CHESR.OLDF CHESR.BLDF CHESR.ALDF FDSTS.ECOV FDSTS.SCOV FDSTS.TDCV	CHCR.BEIE CHCR.EWIE CHCR.EPIE CHCR.BOEIE CHCR.BORIE CHCR.OLIE CHCR.BLIE CHCR.ALIE CHCR.ECOVIE CHCR.SCOVIE CHCR.TDCVIE	—	
	共通FIFO受信割り込み(CFRI)	CFSR0.CFRIF	CFCR0.CFRIE	—	

注1. これらの割り込みは、有効な送信キューに属しておらず、共通FIFOにもリンクされていない送信メッセージバッファでのみ発生します。共通FIFOと送信キューにはそれぞれ別の割り込みが用意されています。

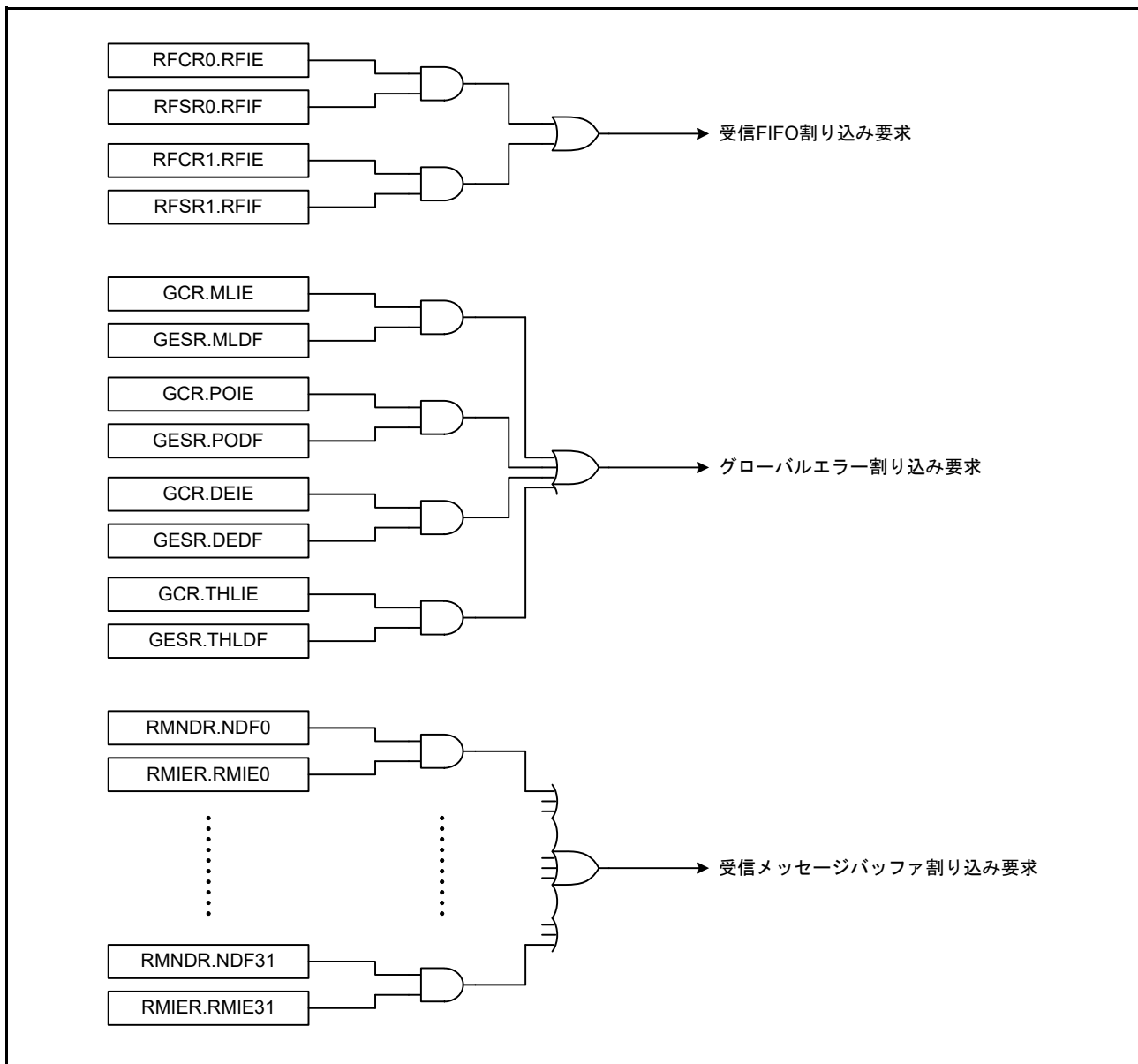


図 34.58 グローバル割り込みのブロック図

34.10.2 ECC 割り込み

ECC デコーダが生成する割り込みは、以下の3つあります。

- 1ビット ECC エラー検出割り込み
- 2ビット ECC エラー検出割り込み
- ECC オーバフロー割り込み

34.10.3 DTC/DMA 転送要求

CANFD モジュールには、DTC/DMA 転送でデータを読み出せるメッセージバッファがあります。

- 2つの受信 FIFO メッセージバッファ
- 共通 FIFO メッセージバッファ

DTC/DMA 転送要求は、DTCR.RFDTE0、RFDTE1 または CFDTE0 ビットを“1”にした場合に、対応する FIFO が空でなくなると生成されます。

DTC/DMA 転送を有効にした FIFO については、受信 FIFO 割り込みを無効 (RFCR0.RFIE、RFCR1.RFIE または CFR0.CFRIE ビットを“0”)にしてください。

指定したペイロードサイズ (RFCR0.PLS[2:0]、RFCR1.PLS[2:0] または CFR0.PLS[2:0] ビット) のデータを読み出す(注1)と、FIFO 読み出しポインタが自動的に更新されます。

DTC/DMA 転送を許可したとき、FIFO ポインタ制御レジスタ (RFPCR0、RFPCR1、または CFPCR0) への書き込みは行わないでください。

注1. DTC/DMA は、RFCR0.PLS[2:0]、RFCR1.PLS[2:0] または CFR0.PLS[2:0] ビットで指定したデータ数を正確に読み出す必要があります。

DTC/DMA 転送の許可 (DTCR.RFDTE0、RFDTE1 または CFDTE0 ビット) はいつでも“1”にできます。図 34.60 に DTC/DMA 転送の設定フローを示します。

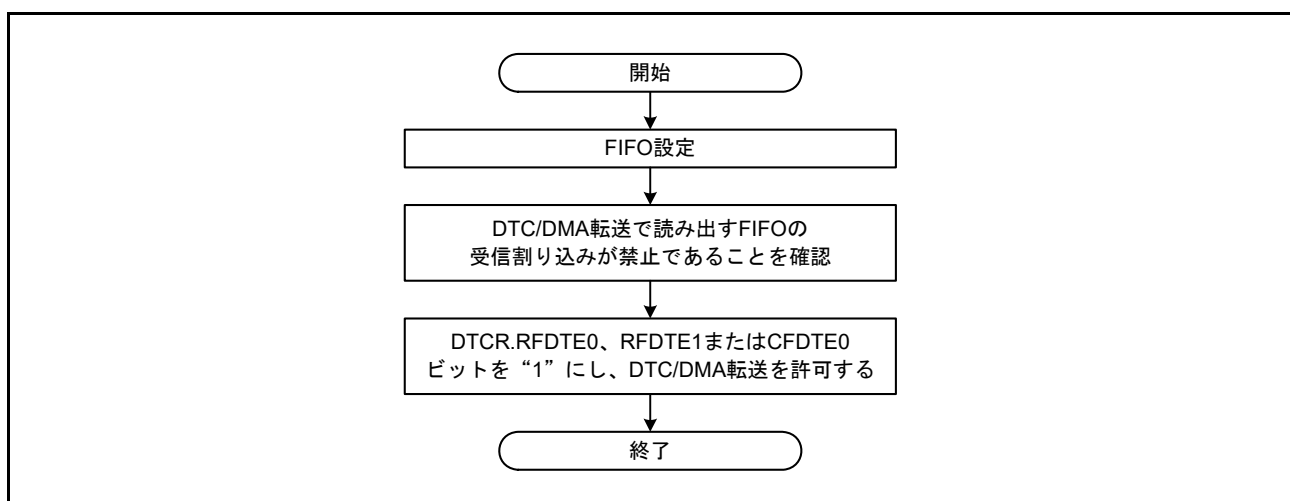


図 34.60 DTC/DMA 転送許可フロー

DTC/DMA 転送を禁止するには、対応する DMA 転送許可ビット (DTCR.RFDTE0、RFDTE1 または CFDTE0 ビット) を“0”にしてください。DTC/DMA 転送中に禁止した場合、実行中の転送が完了してから次の操作を行う必要があります。転送ステータスは、DTSR.RFDTS0、REDTS1 または CFDTS0 ビットで確

認できます。図 34.61 に、DTC/DMA 転送の禁止フローを示します。

DTC/DMA 転送を禁止した場合は、その FIFO に残っているメッセージや新たに受信するメッセージをどう処理するか検討してください。FIFO を無効にしていない場合、その FIFO への受信は続行されます。

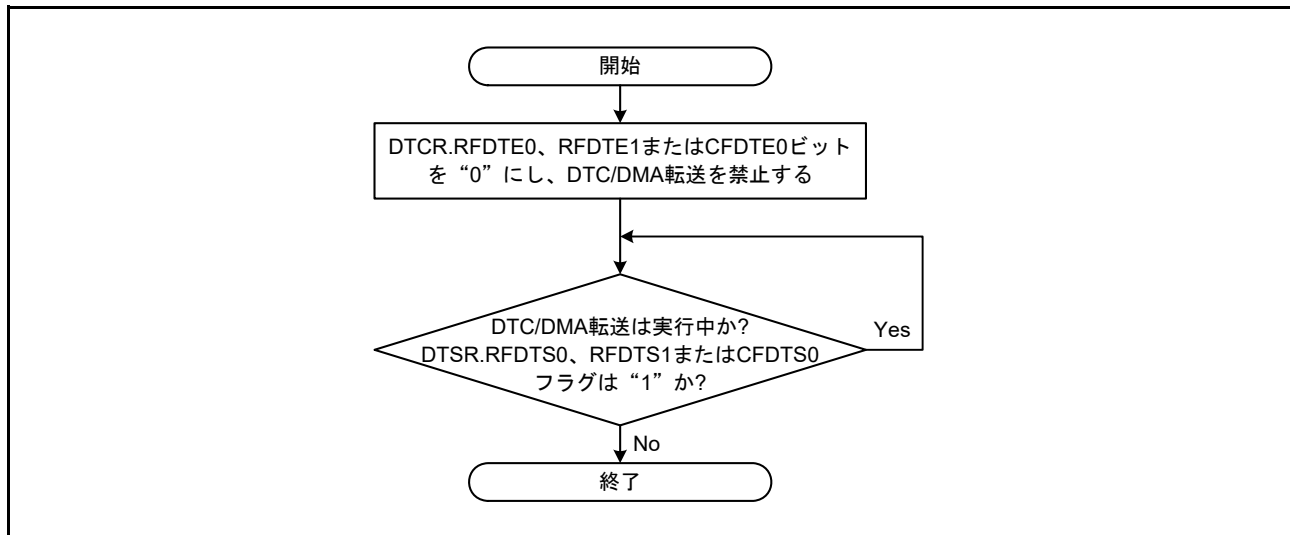


図 34.61 DTC/DMA 転送禁止フロー

34.11 使用上の注意事項

34.11.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、CANFD モジュールの動作禁止 / 許可を設定できます。リセット解除後、CANFD モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタにアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

34.11.2 DLL クロック設定に関する注意事項

モジュールストップ状態を解除する前に、使用する DLL クロックの設定を行ってください。DLL クロックの設定に関する詳細は「9. クロック発生回路」を参照してください。

DLL クロックの発振が安定した後、モジュールストップ状態を解除してください。

34.11.3 受信メッセージバッファと FIFO バッファの設定に関する注意事項

受信メッセージバッファと FIFO バッファに使用できるメモリは、最大で 1216 バイトです。

たとえば、すべてのペイロードサイズを 8 バイトにした場合、メッセージサイズは 20 バイトになりますから、合計で 60 メッセージ以内に収める必要があります。受信メッセージバッファを 32 個確保した場合、FIFO は合計で 28 段までになります。

同様に、すべてのペイロードサイズを 64 バイトにした場合、メッセージサイズは 76 バイトになりますから、合計で 16 メッセージ以内に収める必要があります。すべての FIFO を 4 段に設定すると、受信メッセージバッファは 4 つしか確保できません。

なお、1216 バイトを超える設定を行った場合、動作は保証できません。

35. シリアルペリフェラルインタフェース (RSPIC)

本章に記載している PCLK とは PCLKB を指します。

35.1 概要

本 MCU は、1 チャンルのシリアルペリフェラルインタフェース (RSPIC) を内蔵しています。

RSPIC は、全二重または単方向 (送信のみ) の同期式シリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 35.1 に RSPIC の仕様を、図 35.1 に RSPIC のブロック図を示します。

なお、本章では、RSPIC コマンドレジスタ m (SPCMDm) で使用している m は、0 ~ 7 と規定しています。

表 35.1 RSPIC の仕様 (1/2)

項目	内容
チャンネル数	1チャンネル
RSPIC 転送機能	<ul style="list-style-type: none"> MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIC Clock) 信号を使用して、SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能 通信モード：全二重または単方向 (送信のみ) を選択可能 RSPCK の極性を変更可能 RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> MSB ファースト / LSB ファーストの切り替え可能 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 送信/受信バッファは 128 ビット 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) 送受信データをバイト単位でスワップ可能
ビットレート	<ul style="list-style-type: none"> マスターモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2 ~ 4096 分周) スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLK の 4 分周) High 幅：PCLK の 2 サイクル、Low 幅：PCLK の 2 サイクル
バッファ構成	<ul style="list-style-type: none"> 送信および受信バッファはそれぞれダブルバッファ構成 送信および受信バッファは 128 ビット
エラー検出	<ul style="list-style-type: none"> モードフォルトエラー検出 オーバランエラー検出 (注1) パリティエラー検出 アンダランエラー検出
SSL 制御機能	<ul style="list-style-type: none"> 1 チャンネルあたり 4 本の SSL 端子 (SSLA0 ~ SSLA3) シングルマスタ設定時には、SSLA0 ~ SSLA3 端子を出力 マルチマスタ設定時：SSLA0 端子は入力、SSLA1 ~ SSLA3 端子は出力または未使用 スレーブ設定時：SSLA0 端子は入力、SSLA1 ~ SSLA3 端子は未使用 SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲：1 ~ 8 RSPCK 設定単位：1 RSPCK SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> 最大 8 コマンドで構成された転送を連続してループ実行可能 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、パースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 送信バッファへのライトで転送を起動可能 SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能
割り込み要因	<ul style="list-style-type: none"> 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み エラー割り込み (モードフォルト、オーバラン、アンダラン、パリティエラー) アイドル割り込み

表 35.1 RSPIの仕様 (2/2)

項目	内容
イベントリンク機能 (出力)	<ul style="list-style-type: none">以下のイベントをイベントリンクコントローラへ出力可能(RSPI0)<ul style="list-style-type: none">受信バッファフルイベント送信バッファエンプティイベントエラーイベント(モードフォルト、オーバラン、アンダラン、パリティエラー)アイドルイベント送信完了イベント
その他の機能	<ul style="list-style-type: none">RSPI初期化機能ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

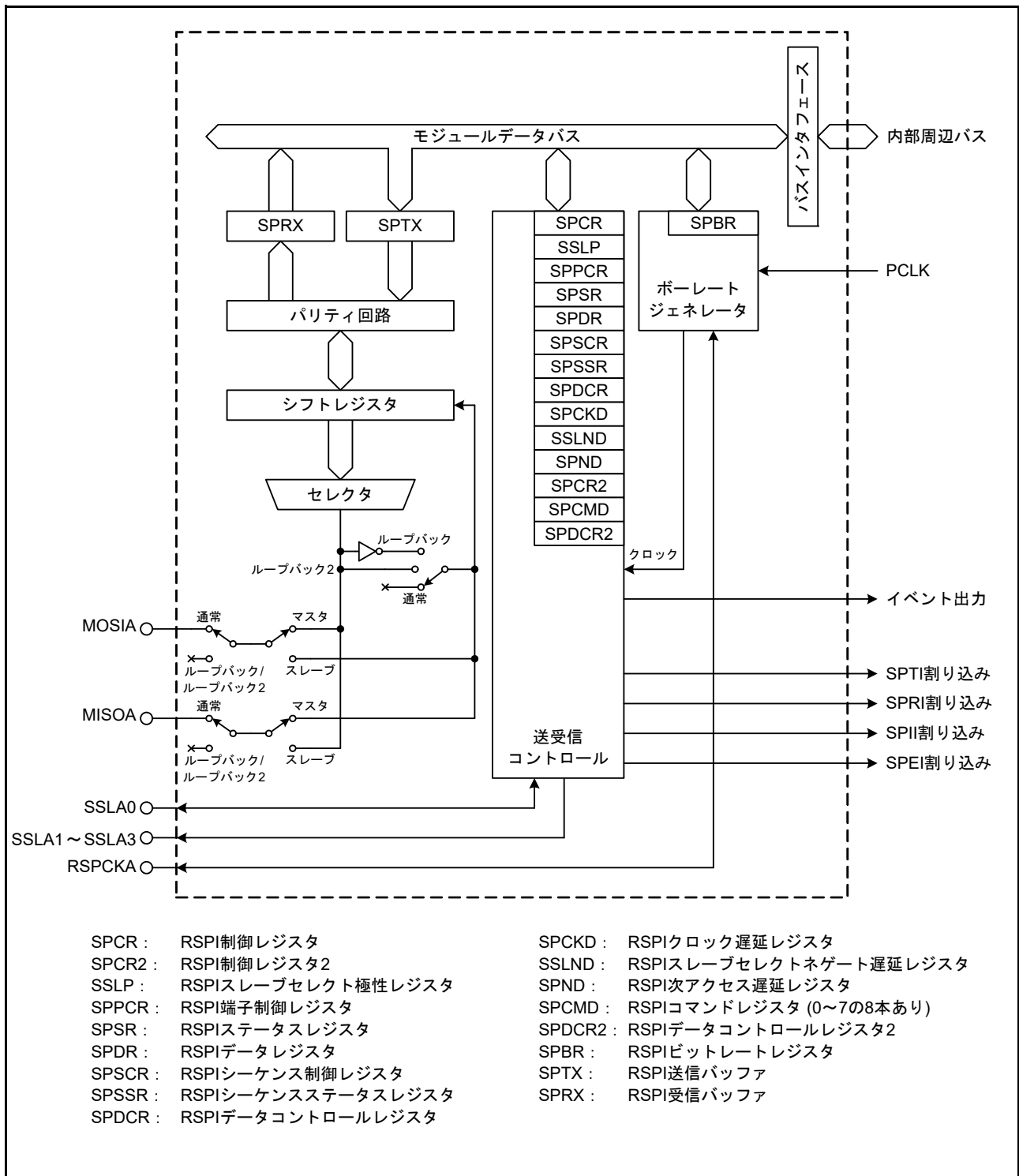


図 35.1 RSPI のブロック図

表 35.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ/スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「35.3.2 RSPI 端子の制御」を参照してください。

表 35.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

35.2 レジスタの説明

35.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODF EN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット(注1)	0: SPI動作(4線式) 1: クロック同期式動作(3線式)	R/W
b1	TXMD	通信動作モード選択ビット(注1)	0: 全二重通信(受信回路動作) 1: 送信のみの単方向通信(受信回路停止)	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット(注1)	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット(注1)	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	エラー割り込み許可ビット	0: エラー割り込み要求の生成を禁止 1: エラー割り込み要求の生成を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の生成を禁止 1: 送信バッファエンプティ割り込み要求の生成を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	受信バッファフル割り込み許可ビット	0: 受信バッファフル割り込み要求の生成を禁止 1: 受信バッファフル割り込み要求の生成を許可	R/W

注1. SPEビットが“1”の場合、MSTRビット、MODFENビット、TXMDビット、SPMSビットの値を変更しないでください。

SPMS ビット (RSPI モード選択ビット)

SPI動作(4線式)/クロック同期式動作(3線式)を選択するためのビットです。

クロック同期式動作を行う場合はSSLA0～SSLA3端子を使用せず、RSPCKA端子、MOSIA端子、MISOA端子の3端子を用いて通信を行います。また、マスタモード時(SPCR.MSTR=1)でクロック同期式動作を行う場合は、SPCMDm.CPHAビットを“0”、“1”どちらにも設定できます。スレーブモード時(SPCR.MSTR=0)でクロック同期式動作を行う場合はCPHAビットを“1”に設定してください。スレーブモード時(SPCR.MSTR=0)でクロック同期式動作を行う場合、CPHAビットを“0”にしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重通信、または送信のみの単方向通信を選択するためのビットです。

TXMDビットを“1”にして通信を行う場合、送信動作のみを行い、受信動作を行いません(「35.3.6 通信動作モード」参照)。

また、TXMDビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです(「35.3.9 エラー検出」を参照)。また、RSPIはMODFENビットとMSTRビットとの組み合わせに従って、SSLA0～SSLA3端子の入出力方向を決定します(「35.3.2 RSPI端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPIのマスタ/スレーブモードを選択するためのビットです。また、RSPIはMSTRビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0～SSLA3端子の方向を決定します。

SPEIE ビット (エラー割り込み許可ビット)

RSPIがモードフォルトエラーまたはアンダランエラーを検出してSPSR.MODFフラグを“1”にした場合、RSPIがオーバランエラーを検出してSPSR.OVRFフラグを“1”にした場合、またはパリティエラーを検出してSPSR.PERFフラグを“1”にした場合のエラー割り込み要求の生成を許可/禁止します。詳細については、「35.3.9 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPIが送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の生成を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIEビットと同時または後に、SPEビットを“1”にすることで発生します。

RSPI機能は無効(SPEビットが“0”)に遷移しても、SPTIEビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI機能の有効/無効を選択します。

SPSR.MODFフラグが“1”の場合には、SPEビットを“1”にすることはできません。詳細は「35.3.9 エラー検出」を参照してください。

SPEビットを“0”にすると、RSPI機能が無効化され、モジュール機能の一部が初期化されます。詳細は「35.3.10 RSPIの初期化」を参照してください。また、SPEビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (受信バッファフル割り込み許可ビット)

RSPIがシリアル転送完了後の受信バッファフルを検出し、受信バッファフル割り込み要求の生成を許可/禁止します。

35.2.2 RSPIスレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SSLPレジスタを書き換えないでください。

35.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0: 通常モード 1: ループバックモード(データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0: 通常モード 1: ループバックモード(データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0: MOSIアイドル時のMOSIA端子の出力値はLow 1: MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0: MOSI出力値は前回転送の最終データ 1: MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. SPCR.SPEビットが“1”の場合、SPPCRレジスタを書き換えしないでください。

SPLP ビット (RSPI ループバックビット)

RSPIの端子モードを選択します。

SPLPビットを“1”にすると、RSPIはSPCR.MSTRビットが“1”ならば、MISOA端子とシフトレジスタ間を、SPCR.MSTRビットが“0”ならば、MOSIA端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路(反転)を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPIの端子モードを選択します。

SPLP2ビットを“1”にすると、RSPIはSPCR.MSTRビットが“1”ならば、MISOA端子とシフトレジスタ間を、SPCR.MSTRビットが“0”ならば、MOSIA端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードでMOIFEビットが“1”の場合、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)のMOSIA端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードのRSPIが、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)にMOSIA出力値を固定するために使用するビットです。MOIFEが“0”の場合には、RSPIはSSLネゲート期間中に前回のシリアル転送の最終データをMOSIAに出力します。MOIFEが“1”の場合には、RSPIはMOIFVビットに設定された固定値をMOSIAに出力します。

35.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF

リセット後の値 0 0 1 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	R/(W) (注1)
b1	IDLNF	アイドルフラグ	0 : RSPIがアイドル状態 1 : RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0 : モードフォルトエラーなし、アンダランエラーなし 1 : モードフォルトエラーまたはアンダランエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0 : パリティエラーなし 1 : パリティエラー発生	R/(W) (注1)
b4	UDRF	アンダランエラーフラグ	MODFフラグと組み合わせてモードフォルトエラーとアンダランエラーの発生状況が確認できます。 b4 b2 0 0 : モードフォルトエラーなし、アンダランエラーなし 0 1 : モードフォルトエラー発生 1 1 : アンダランエラー発生	R/(W) (注1、 注2)
b5	SPTEF	送信バッファエンプティフラグ	0 : 送信バッファに有効なデータあり 1 : 送信バッファに有効なデータなし	R (注3)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0 : 受信バッファに有効なデータなし 1 : 受信バッファに有効なデータあり	R (注3)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. UDRFフラグを“0”にするときは、同時にMODFフラグも“0”にしてください。

注3. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないため、“1”になりません。詳細は「35.3.9.1 オーバランエラー」を参照ください。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、かつ受信バッファがフルの状態での次の受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記["0" になる条件] のマスタモード時の条件がいずれも満たされないとき

【スレーブモード】

- SPCR.SPE ビットが "1" (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

- SPCR.SPE ビットが "0" (RSPI 初期化) のとき
- 以下の条件がすべて満たされたとき
 1. 送信バッファが空 (SPTEF フラグ = 1)
 2. SPSSR.SPCP[2:0] ビットが "000b"
 3. 最終ビットの送出が完了し、SSLND.SLNDL[2:0] ビットと SPND.SPNDL[2:0] ビットで指定した時間が経過した

【スレーブモード】

- SPCR.SPE ビットが "0" (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーとアンダランエラーの発生を示します。モードフォルトエラーとアンダランエラーのどちらが発生したかは、UDRF フラグによって判別できます。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが "1" (マスタモード)、SPCR.MODFEN ビットが "1" (モードフォルトエラー検出を許可) の状態で、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが "0" (スレーブモード)、SPCR.MODFEN ビットが "1" (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき
- SPCR.SPE ビットが "1" (RSPI 機能は有効) で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが "1" の状態の SPSR レジスタを読んだ後、MODF フラグに "0" を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態を受信が終了し、パリティエラーが検出されたとき

[“0”になる条件]

- PERF フラグが“1”の状態の SPSR レジスタを読んだ後、PERF フラグに“0”を書いたとき

UDRF フラグ (アンダランエラーフラグ)

アンダランエラーが発生したことを示すフラグです。このフラグが“1”になると、MODF フラグも“1”になります。MODF フラグが“1”のときにこのフラグが“0”であれば、発生したエラーはモードフォルトエラーです。

[“1”になる条件]

- SPCR.MSTR ビットが“0” (スレーブモード)、SPCR.SPE ビットが“1” (RSPI機能は有効)で送信データの出力準備が整っていないときに、シリアル通信が開始され RSPI がアンダランエラーを検出したとき

[“0”になる条件]

- UDRF フラグが“1”の状態の SPSR レジスタを読んだ後、UDRF フラグに“0”を書いたとき

SPTEF フラグ (送信バッファエンプティフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.SPE ビットが“0” (RSPI 初期化) のとき
- SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データが送信バッファからシフトレジスタに転送されたとき

[“0”になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.TXMD ビットが“0” (全二重)、SPRF フラグが“0”のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが“1”のときは、“1”に変化しません。

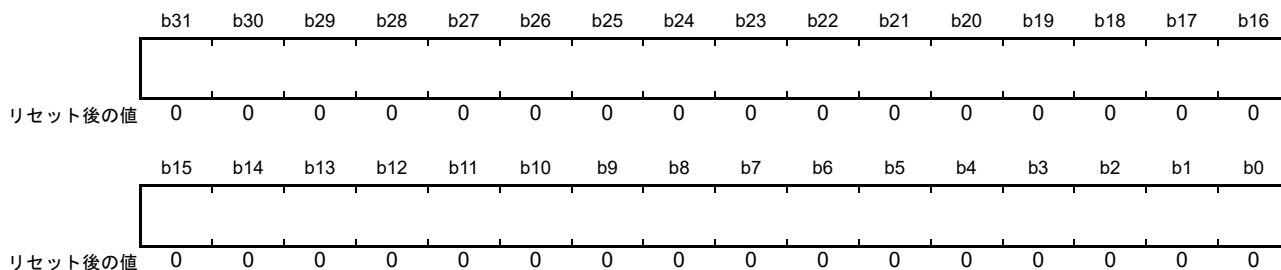
[“0”になる条件]

- SPDR レジスタから受信データをすべて読み出したとき

35.2.5 RSPI データレジスタ (SPDR)

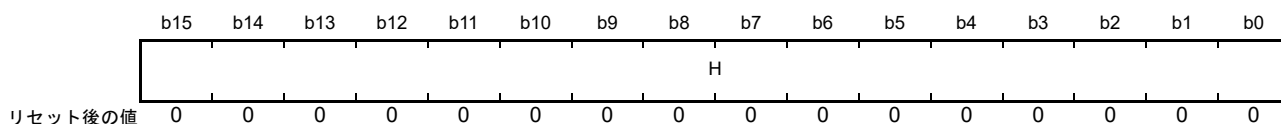
- ロングワードアクセス時

アドレス RSPI0.SPDR 0008 8384h



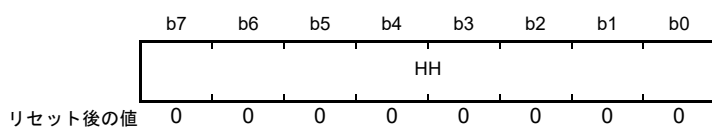
- ワードアクセス時

アドレス RSPI0.SPDR.H 0008 8384h



- バイトアクセス時

アドレス RSPI0.SPDR.HH 0008 8384h



SPDR レジスタは、RSPI 送受信用のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”、SPBYT ビットが“0”) のときは、SPDR を 32 ビット単位でアクセスしてください。

ワードアクセス (SPLW ビットが“0”、SPBYT ビットが“0”) のときは、SPDR.H を 16 ビット単位でアクセスしてください。

バイトアクセス (SPBYT ビットが“1”) のときは、SPDR.HH を 8 ビット単位でアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 35.2 に示します。

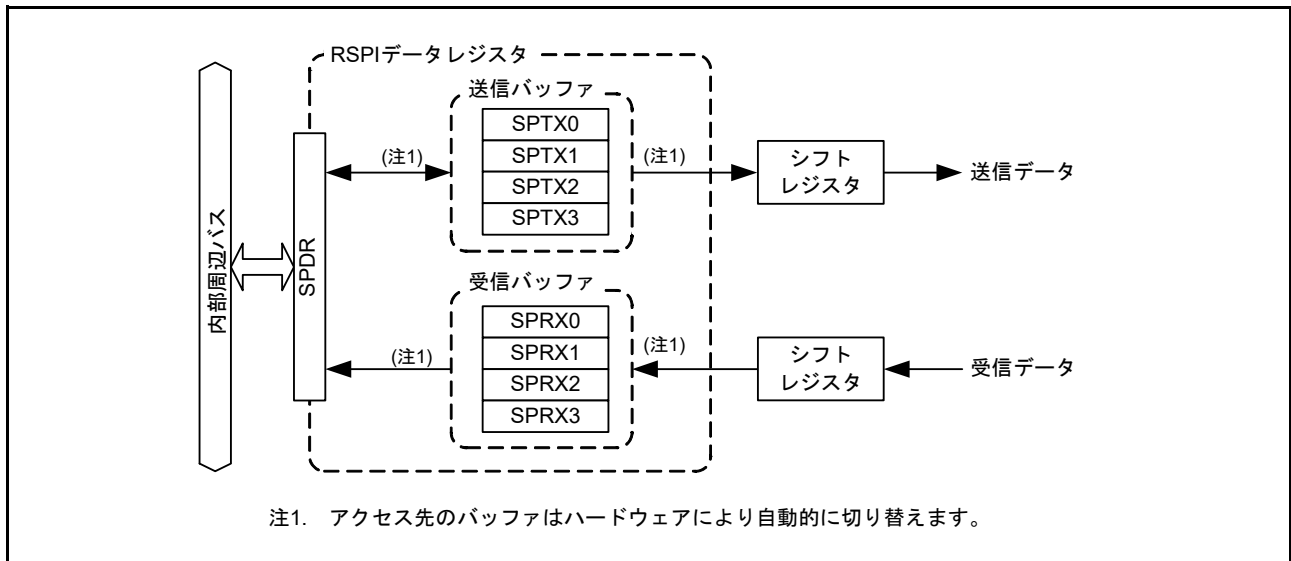


図 35.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ4バッファあります。使用するバッファ数は、RSPIデータコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計8バッファが1アドレスにマッピングされています。

送信バッファ SPTX n ($n=0\sim3$) は、SPDR レジスタへの書き込みによって送信バッファへ値を書くことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバーラン発生時は、受信バッファの値を更新しません。

また、データ長が32ビット以外の場合、SPRX n ($n=0\sim3$) の非参照ビットには、SPTX n ($n=0\sim3$) の非参照ビットが格納されます。

たとえば、データ長が9ビットのデータを受信した場合は SPRX n [8:0] には受信データが格納され、SPRX n [31:9] に SPTX n [31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、SPDCR.SPLW ビット、SPDCR.SPBYP ビットで設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポイントがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 35.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

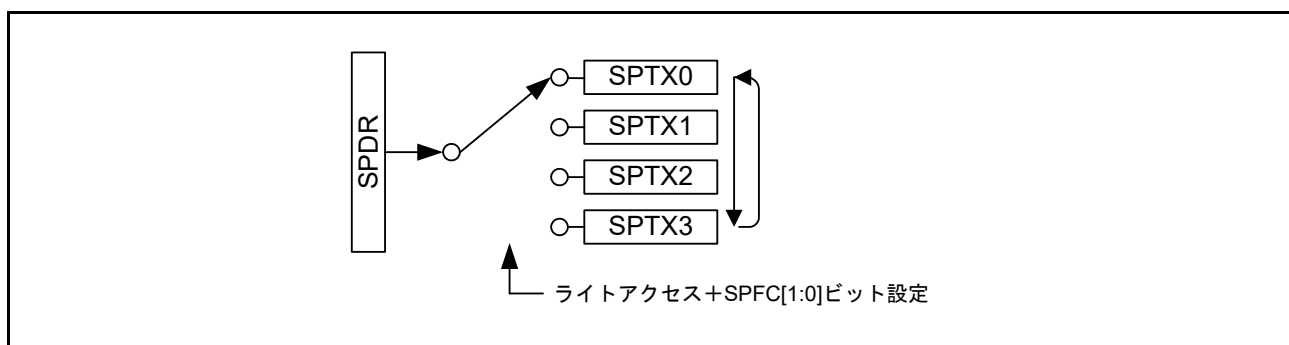


図 35.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポイントの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ SPTX3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンプティ割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンプティ割り込み発生までの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読むことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット (SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 35.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

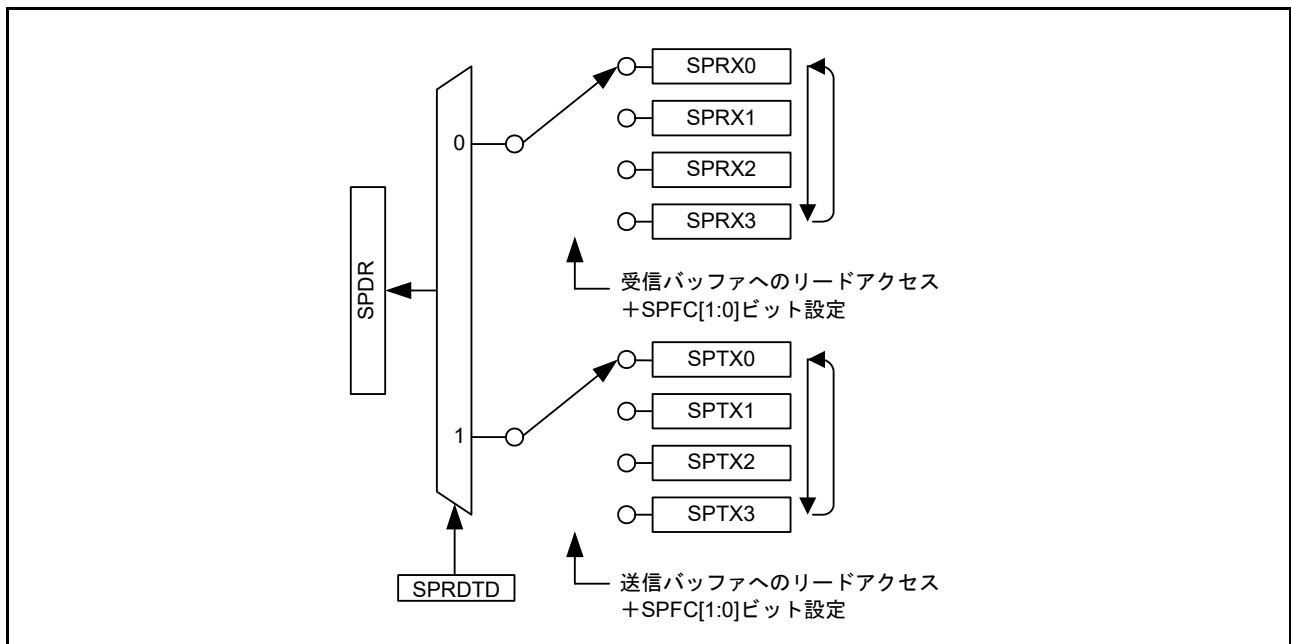


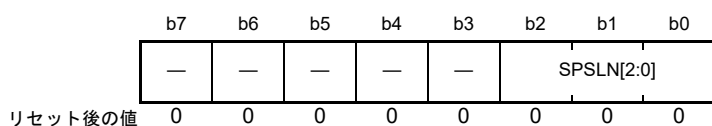
図 35.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンブティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンブティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファの読み出し値は、すべて “0” となります。

35.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0～7レジスタ(番号) 0 0 0 : 1 0→0→... 0 0 1 : 2 0→1→0→... 0 1 0 : 3 0→1→2→0→... 0 1 1 : 4 0→1→2→3→0→... 1 0 0 : 5 0→1→2→3→4→0→... 1 0 1 : 6 0→1→2→3→4→5→0→... 1 1 0 : 7 0→1→2→3→4→5→6→0→... 1 1 1 : 8 0→1→2→3→4→5→6→7→0→... 設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0～7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されません。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスターモードで動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

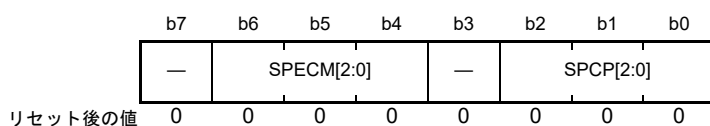
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスターモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスターモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタと参照順を変更します。

スレーブモードでは、SPCMD0レジスタが参照されます。

35.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタモードで動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
なお、RSPI のシーケンス制御については、「35.3.11.1 マスタモード動作」を参照してください。

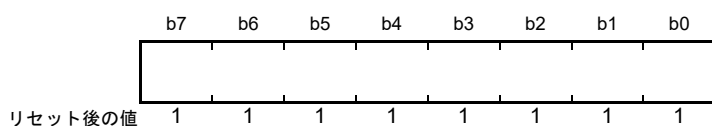
SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「35.3.9 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「35.3.11.1 マスタモード動作」を参照してください。

35.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに“1”の場合、SPBR レジスタを書き換えしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) の設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートを使用してください)

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0, 1, 2, …, 255)、N は BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 35.3 に示します。相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 35.3 SPBRレジスタ、BRDV[1:0]ビットの設定値とビットレート

SPBR レジスタの設定値 (n)	BRDV[1:0] ビットの設定値 (N)	分周比	ビットレート PCLK = 32 MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

35.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPBYT	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット(注1)	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b6	SPBYT	RSPIバイトアクセス設定ビット	0 : SPDRレジスタへはワードアクセスまたはロングワードアクセス(SPLWビット有効) 1 : SPDRレジスタへはバイトアクセス(SPLWビット無効)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPDRレジスタにワードまたはロングワードでアクセスする場合は、SPBYTビットを“0”にしてください。

SPCMDm.SP[3:0] ビット、SPSCR.SP[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる(1回の転送起動)フレーム数を設定します。SPSCR.SP[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、受信バッファフル割り込みが発生したり、送信バッファエンpty割り込みが発生したり、送信が開始されたりするフレーム数も変更されます。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンpty割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり受信バッファフル割り込みが発生します。

表 35.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定はしないでください。

表 35.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	送信バッファ、受信バッファが 「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「35.2.5 RSPI データレジスタ (SPDR)」を参照してください。

SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが“0”のとき有効です。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8～16 ビットに設定してください。20、24、32 ビットは選択しないでください。

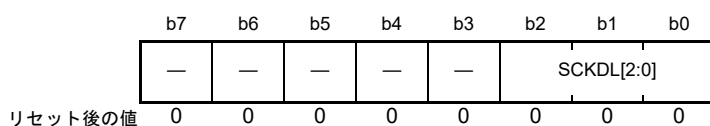
SPBYT ビット (RSPI バイトアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPBYT ビットが“0”のときは、SPLW ビットの設定に従って SPDR レジスタにアクセスしてください。SPBYT ビットが“1”のときは、バイトアクセスで SPDR レジスタにアクセスしてください。

また、SPBYT ビットが“1”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ビットに設定してください。9～16、20、24、32 ビットは選択しないでください。

35.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 0008 838Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPCKD レジスタを書き換えしないでください。

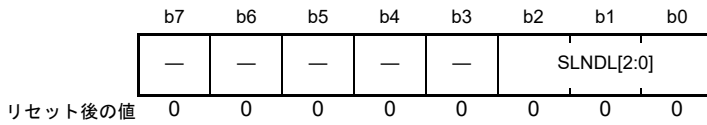
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

35.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPIがシリアル転送の最終RSPCKエッジを送出してからSSLAi信号をネゲートするまでの期間(SSLネゲート遅延)を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の場合、SSLNDレジスタを書き換えしないでください。

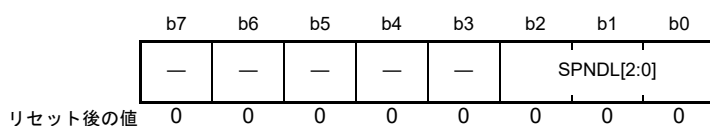
SLNDL[2:0]ビット(SSLネゲート遅延設定ビット)

SPCMDm.SLNDENビットが“1”の場合のSSLネゲート遅延値を設定します。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

35.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLAi 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の場合、SPND レジスタを書き換えしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

35.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKAS E	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット(注1)	0: 送信データにパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加する 受信データのパリティチェックを行う	R/W
b1	SPOE	パリティモードビット(注1)	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	アイドル割り込み許可ビット	0: アイドル割り込み要求の生成を禁止 1: アイドル割り込み要求の生成を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット (注1)	0: RSPCK自動停止機能が無効 1: RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SPCR.SPEビットが“1”の場合、SPPE、SPOE、SCKASEビットの設定値を変更しないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、アイドル割り込み要求の生成を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「35.3.9.1 オーバランエラー」を参照ください。

35.2.14 RSPI コマンドレジスタ m (SPCMDm) (m = 0 ~ 7)

アドレス RSPI0.SPCMD0 0008 8390h, RSPI0.SPCMD1 0008 8392h, RSPI0.SPCMD2 0008 8394h,
 RSPI0.SPCMD3 0008 8396h, RSPI0.SPCMD4 0008 8398h, RSPI0.SPCMD5 0008 839Ah,
 RSPI0.SPCMD6 0008 839Ch, RSPI0.SPCMD7 0008 839Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0 : 奇数エッジでデータサンプル、偶数エッジでデータ変化 1 : 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0 : アイドル時のRSPCKがLow 1 : アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0 : ベースのビットレートを選択 0 1 : ベースのビットレートの2分周を選択 1 0 : ベースのビットレートの4分周を選択 1 1 : ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0 : SSL0 0 0 1 : SSL1 0 1 0 : SSL2 0 1 1 : SSL3 1 x x : 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0 : 転送終了時に全SSL信号をネゲート 1 : 転送終了後から次アクセス開始までSSL信号レベルを保持(バースト転送)	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100 ~ 0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPI LSBファーストビット	0 : MSBファースト 1 : LSBファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0 : 次アクセス遅延は1 RSPCK + 2 PCLK 1 : 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND)の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0 : SSLネゲート遅延は1 RSPCK 1 : SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND)の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0 : RSPCK遅延は1 RSPCK 1 : RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD)の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の場合、SPCMDm レジスタを書き換えしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「35.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを“1”とすることによってバースト転送が可能となります。詳細は「35.3.11.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。SPDCR.SPBYTビットが“1”のときは“0100b”(8ビット)に設定してください。SPDCR.SPBYTビットが“0”、かつSPDCR.SPLWビットが“0”のときは、“0100b”(8ビット)～“1111b”(16ビット)の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSBファーストにするかLSBファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードのRSPIがシリアル転送を終了してSSLAi信号を非アクティブにしてから、次アクセスのSSLAi信号アサートを可能にするまでの期間(次アクセス遅延)を設定します。SPNDENビットが“0”のとき、RSPIは次アクセス遅延を1RSPCK+2PCLKにします。SPNDENビットが“1”のとき、RSPIはSPNDレジスタの設定に従った次アクセス遅延を挿入します。

RSPIをスレーブモードで使用する場合には、SPNDENビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードのRSPIが、RSPCKを発振停止してからSSLAi信号を非アクティブにするまでの期間(SSLネゲート遅延)を設定します。SLNDENビットが“0”のとき、RSPIはSSLネゲート遅延を1RSPCKにします。SLNDENビットが“1”のとき、RSPIはSSLNDレジスタの設定に従ったRSPCK遅延でSSLをネゲートします。

RSPIをスレーブモードで使用する場合には、SLNDENビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードのRSPIが、SSLAi信号をアクティブにしてからRSPCKを発振するまでの期間(RSPCK遅延)を設定します。SCKDENビットが“0”のとき、RSPIはRSPCK遅延を1RSPCKにします。SCKDENビットが“1”のとき、RSPIはSPCKDレジスタの設定に従ったRSPCK遅延でRSPCKの発振を開始します。

RSPIをスレーブモードで使用する場合には、SCKDENビットを“0”にしてください。

35.2.15 RSPI データコントロールレジスタ 2 (SPDCR2)

アドレス RSPi0.SPDCR2 0008 83A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BYSW
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYSW	バイトスワップビット	0: SPDRのデータをバイト単位でスワップしない 1: SPDRのデータをバイト単位でスワップする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPDCR2 レジスタは、送受信データのバイトの並びを設定するためのレジスタです。
SPCR.SPE ビットが“0”のときに書き換えてください。

BYSW ビット (バイトスワップビット)

送信時は SPDR レジスタに書かれたデータの送信順序を、受信時は受信したデータを SPDR レジスタに転送するときのバイト位置を、変更するためのビットです。SPDCR.SPBYT ビットが“0”のとき有効です。

バイトスワップを使用する場合は、SPCMD.SPB[3:0] ビットを“1111b”(16 ビット)、“0010b”(32 ビット) または“0011b”(32 ビット)のいずれかに設定してください。また、SPCR2.SPPE ビットは“0”(パリティビットを付加しない)にしてください。

詳細は、「35.3.4.3 バイトスワップ送信」、「35.3.4.4 バイトスワップ受信」を参照してください。

35.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

35.3.1 RSPI 動作の概要

RSPI は、スレーブモード(SPI 動作)、シングルマスタモード(SPI 動作)、マルチマスタモード(SPI 動作)、スレーブモード(クロック同期式動作)、マスタモード(クロック同期式動作)での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 35.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 35.5 RSPIのモードとSPCRレジスタの設定の関係および各モードの概要

モード	SPI動作			クロック同期式動作	
	スレーブ	シングルマスタ	マルチマスタ	スレーブ	マスタ
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKA信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MOSIA信号	入力	出力	出力 /Hi-Z(注1)	入力	出力
MISOA信号	出力 /Hi-Z(注2)	入力	入力	出力	入力
SSLA0信号	入力	出力	入力	Hi-Z(注3)	Hi-Z(注3)
SSLA1～SSLA3信号	Hi-Z(注3)	出力	出力 /Hi-Z(注1)	Hi-Z(注3)	Hi-Z(注3)
SSL極性変更機能	あり	あり	あり	—	—
転送レート	～ PCLK/4	～ PCLK/2	～ PCLK/2	～ PCLK/4	～ PCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種(CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8～16、20、24、32ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力 アクティブ または RSPCK 発振	送信バッファエンブ ティ割り込み要求、 または SPTEF = 1 で 送信バッファ書き込み	送信バッファエンブ ティ割り込み要求、 または SPTEF = 1 で 送信バッファ書き込み	RSPCK 発振	送信バッファエンブ ティ割り込み要求、 または SPTEF = 1 で 送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブ ティ検出	あり				
受信バッファフル検出	あり(注4)				
オーバランエラー検出	あり(注4)	あり(注4、注6)	あり(注4、注6)	あり(注4)	あり(注4、注6)
アンダランエラー検出	あり	なし	なし	あり	なし
パリティエラー検出	あり(注4、注5)				
モードフォルトエラー 検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. SSLA0が他のマスタによってアサートされると、端子がHi-Zになります。

注2. SSLA0がネゲートされているまたはSPCR.SPEビットが“0”の場合、端子がHi-Zになります。

注3. 本モードでは使用しません。

注4. SPCR.TXMDビットが“1”のときは、受信バッファフル、オーバランエラー、パリティエラーの検出を行いません。

注5. SPCR2.SPPEビットが“0”のときは、パリティエラーの検出を行いません。

注6. SPCR2.SCKASEビットが“1”のときは、オーバランエラーの検出を行いません。

35.3.2 RSPI 端子の制御

シングルマスタモード(SPI動作)、マルチマスタモード(SPI動作)のRSPIは、SPPCR.MOIFE、MOIFVビットの設定に従って、SSLネゲート期間(バースト転送におけるSSL保持期間を含む)のMOSI信号値を表35.6のように決定します。

表 35.6 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSI信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

35.3.3 RSPI システム構成例

35.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 35.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

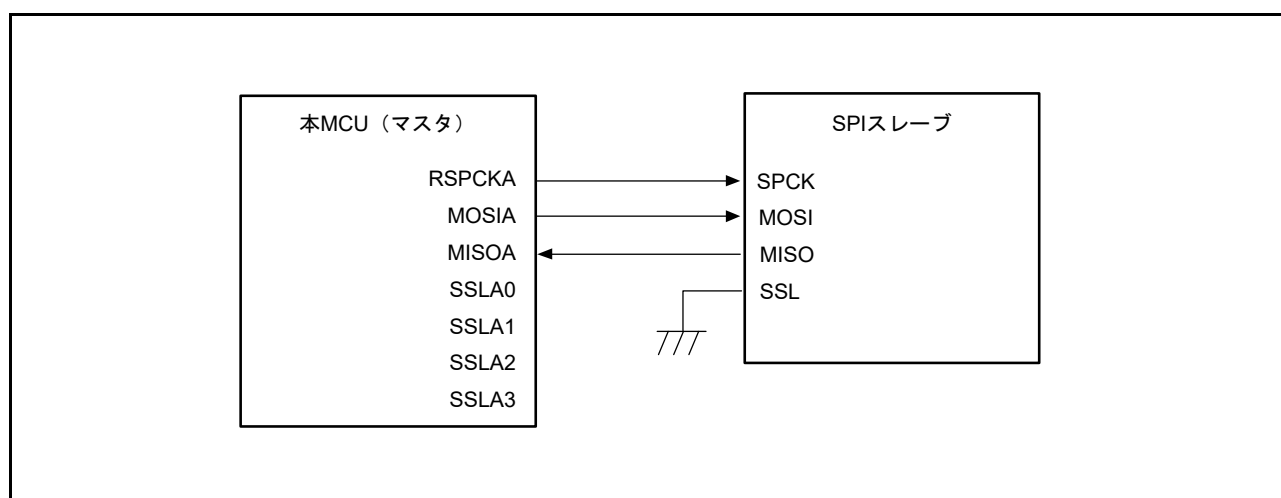


図 35.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

35.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 35.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注 1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です(図 35.7)。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

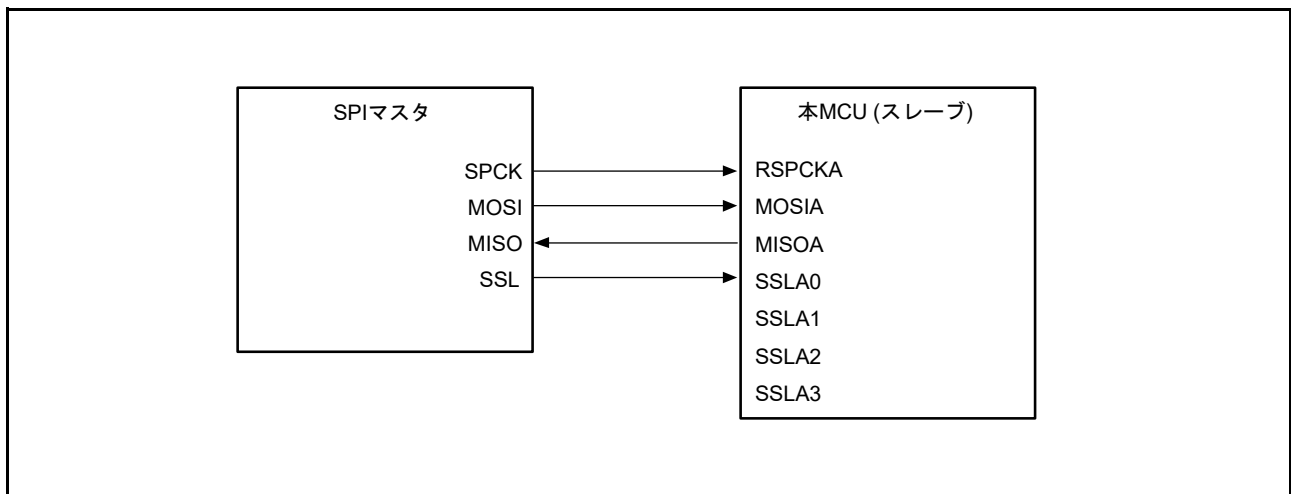


図 35.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

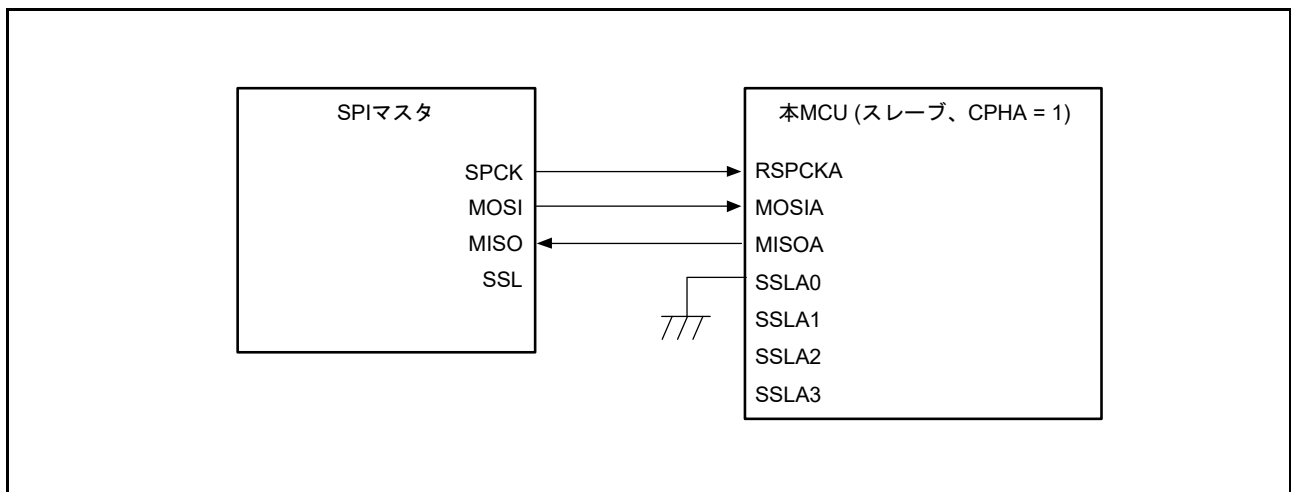


図 35.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

35.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 35.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 35.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入力に接続します。本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入力に接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ~ SSLA3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

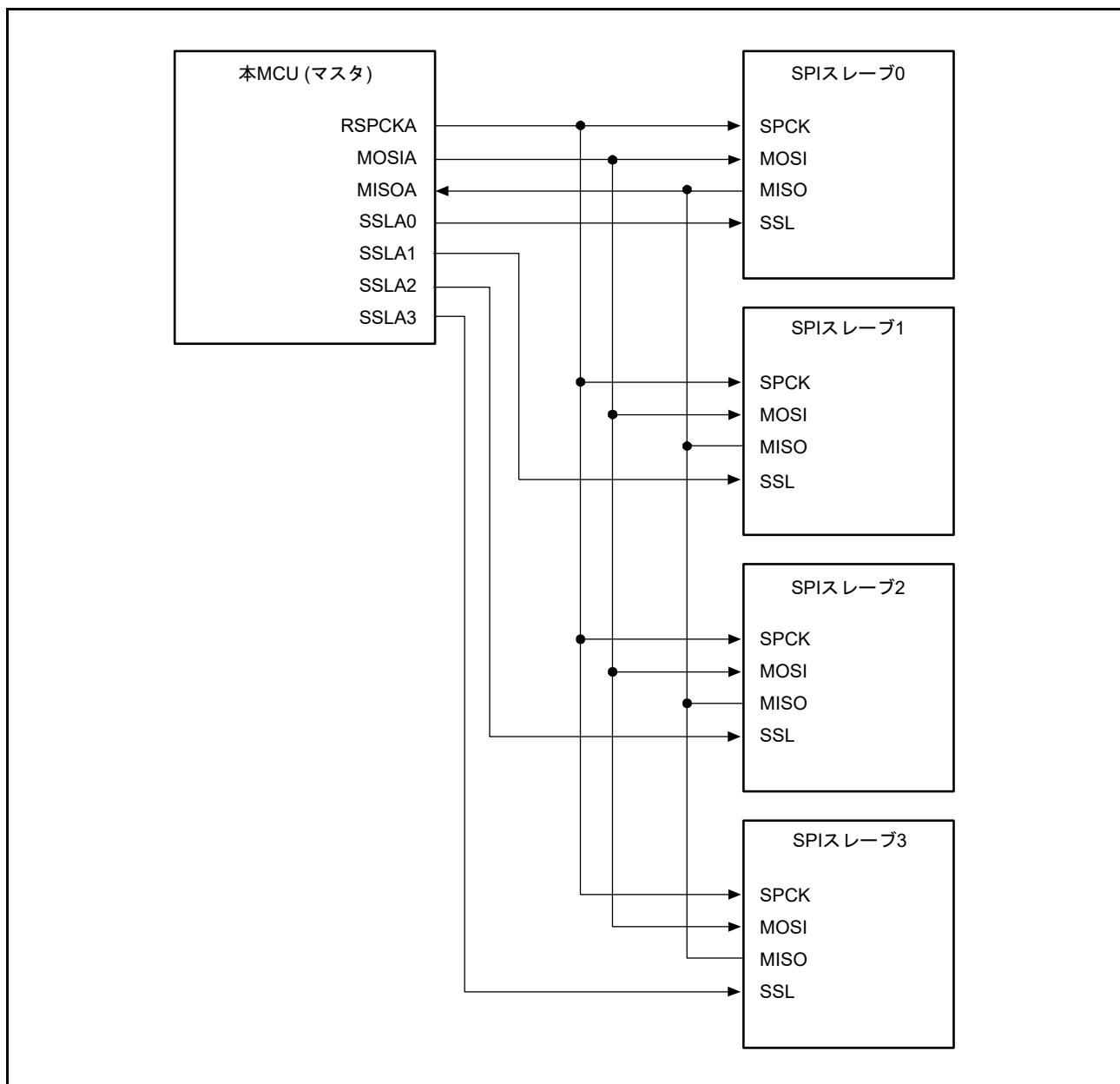


図 35.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

35.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 35.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 35.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入力に Low を入力されているスレーブが、MISOA をドライブします。

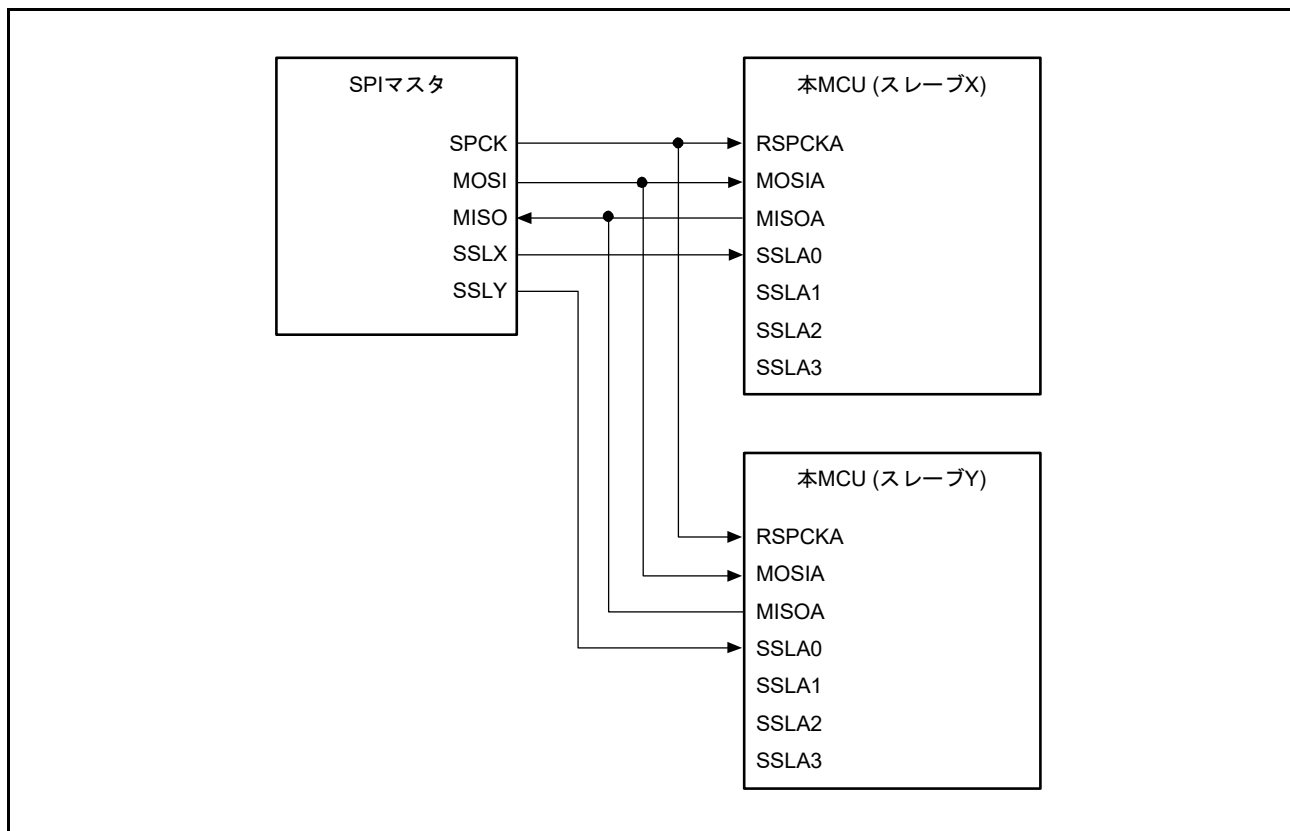


図 35.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

35.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 35.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 35.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と 2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

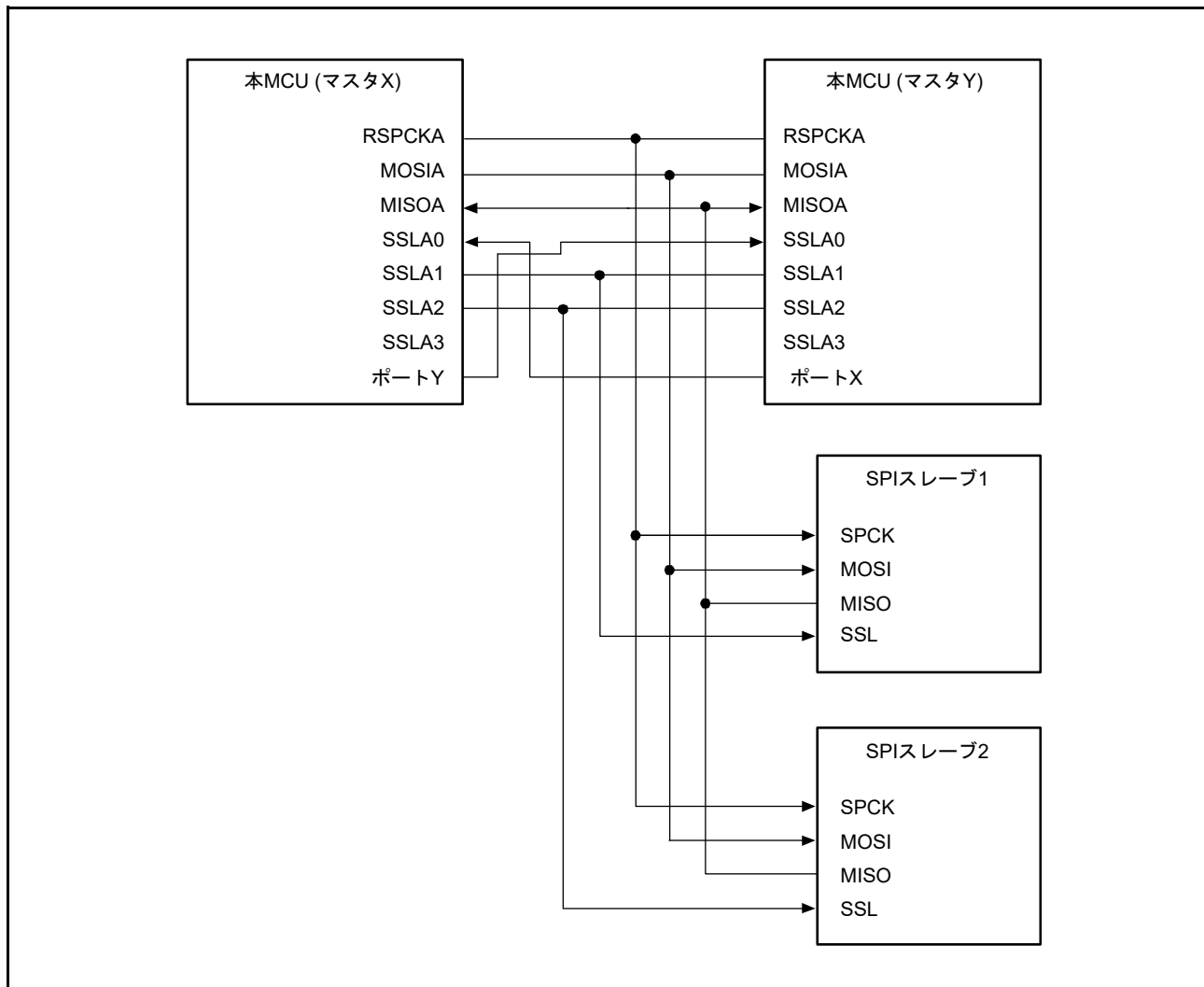


図 35.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

35.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 35.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

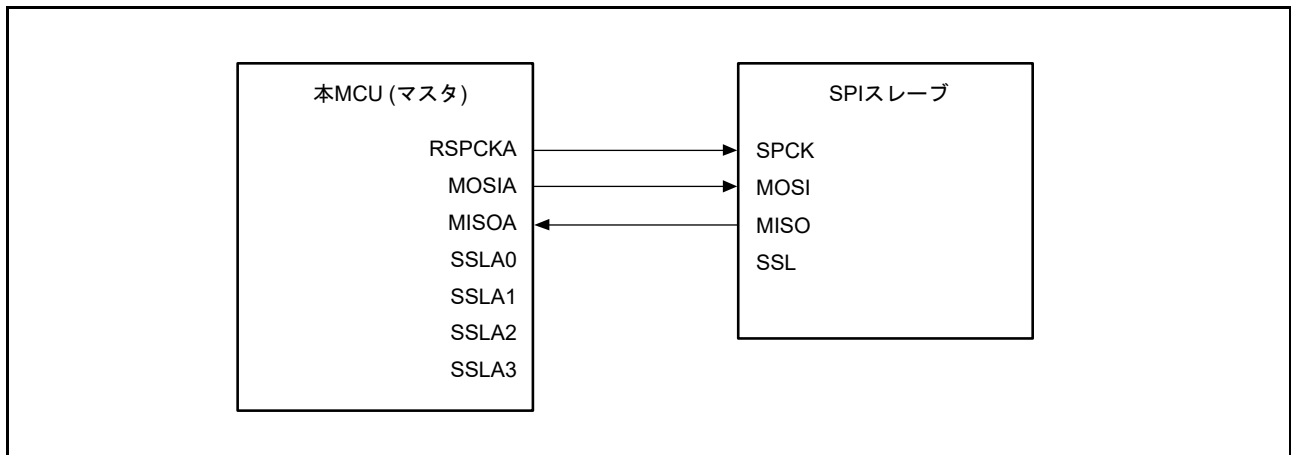


図 35.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

35.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 35.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ~ SSLA3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

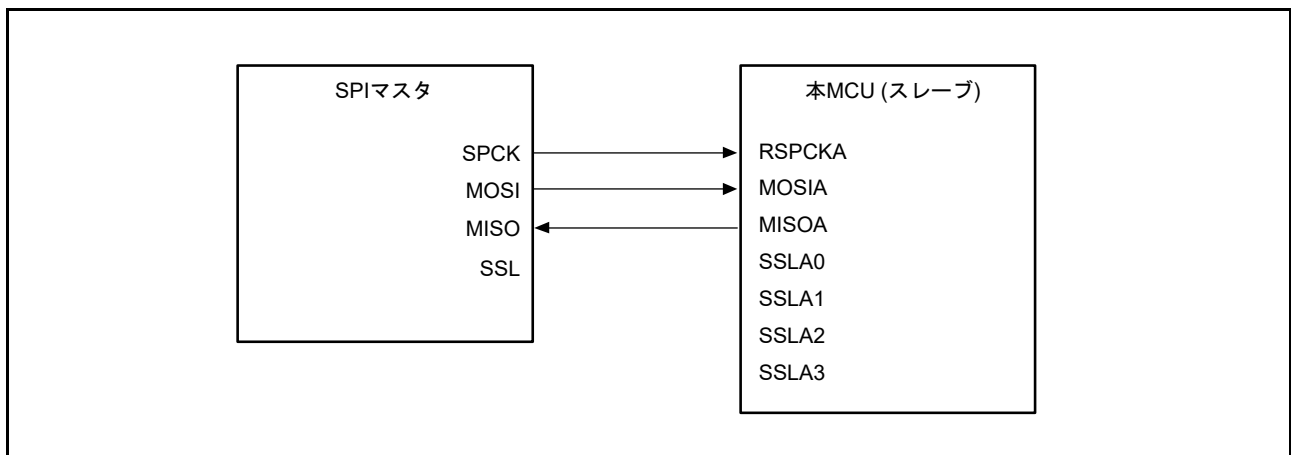


図 35.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

35.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE)、RSPI データコントロールレジスタ 2 (SPDCR2) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

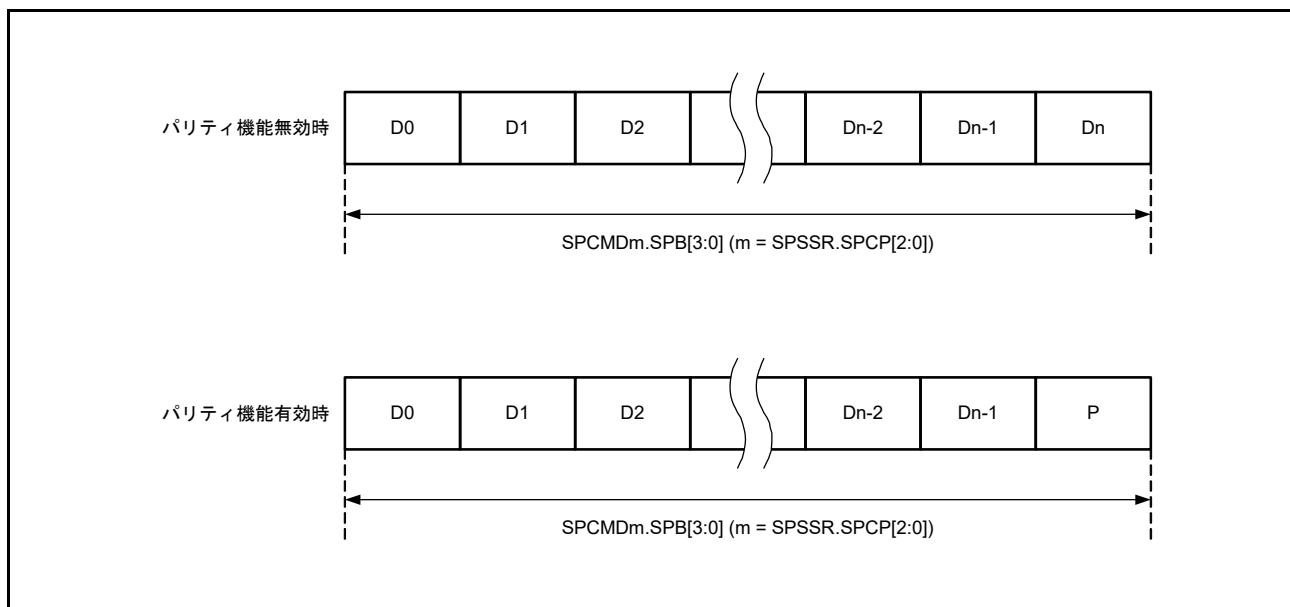


図 35.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

35.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下にRSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 35.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

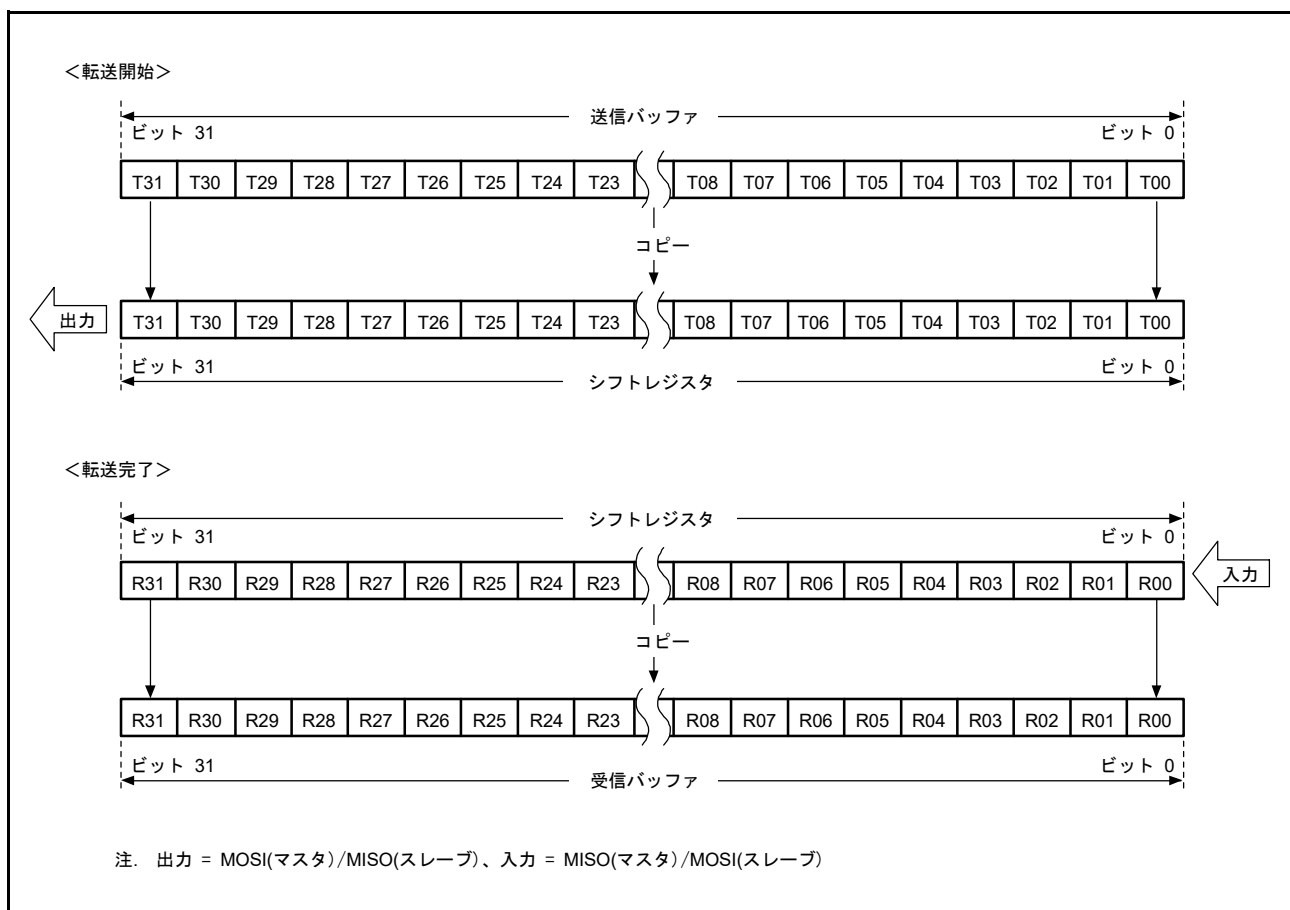


図 35.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 35.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

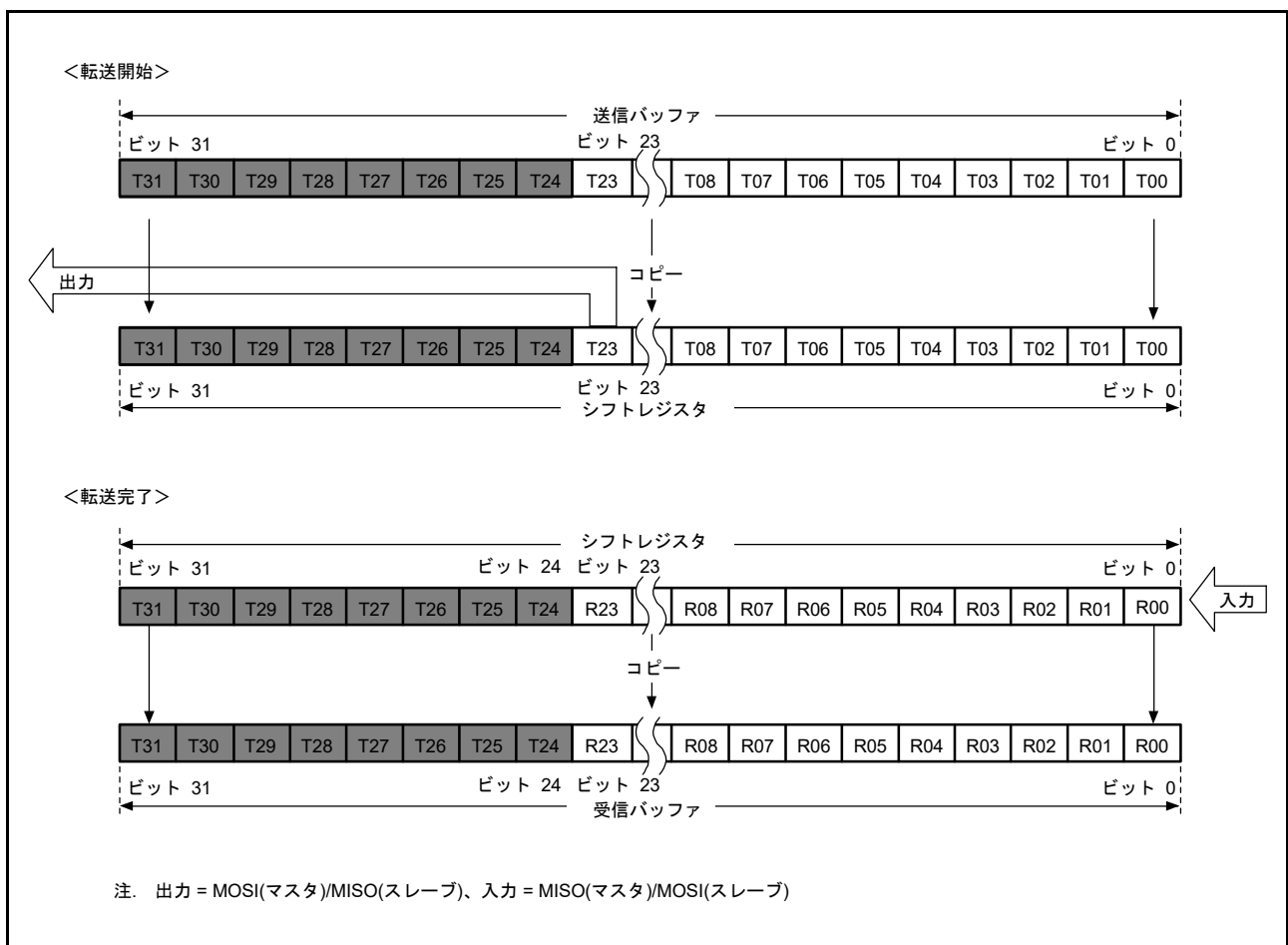


図 35.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 35.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

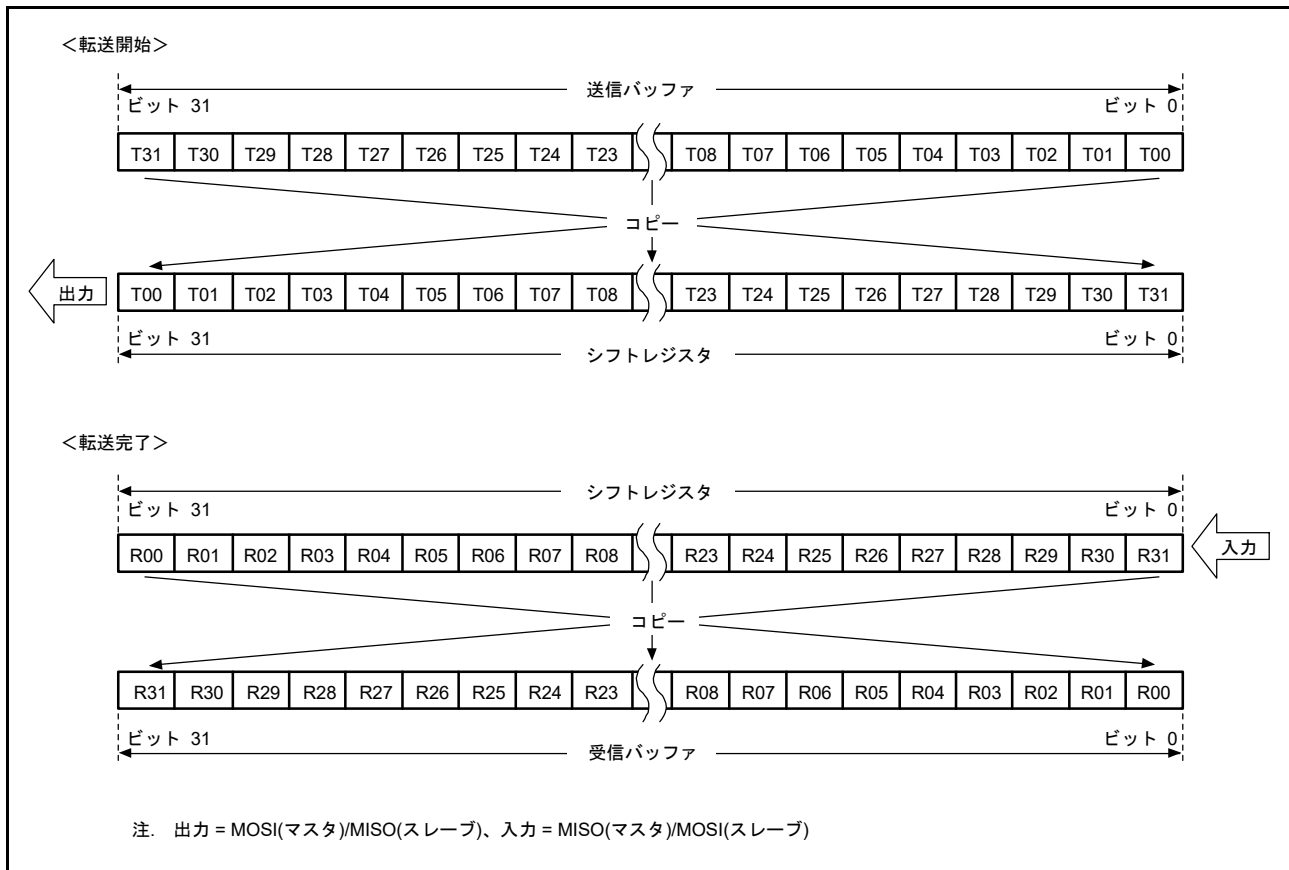


図 35.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 35.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまと、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

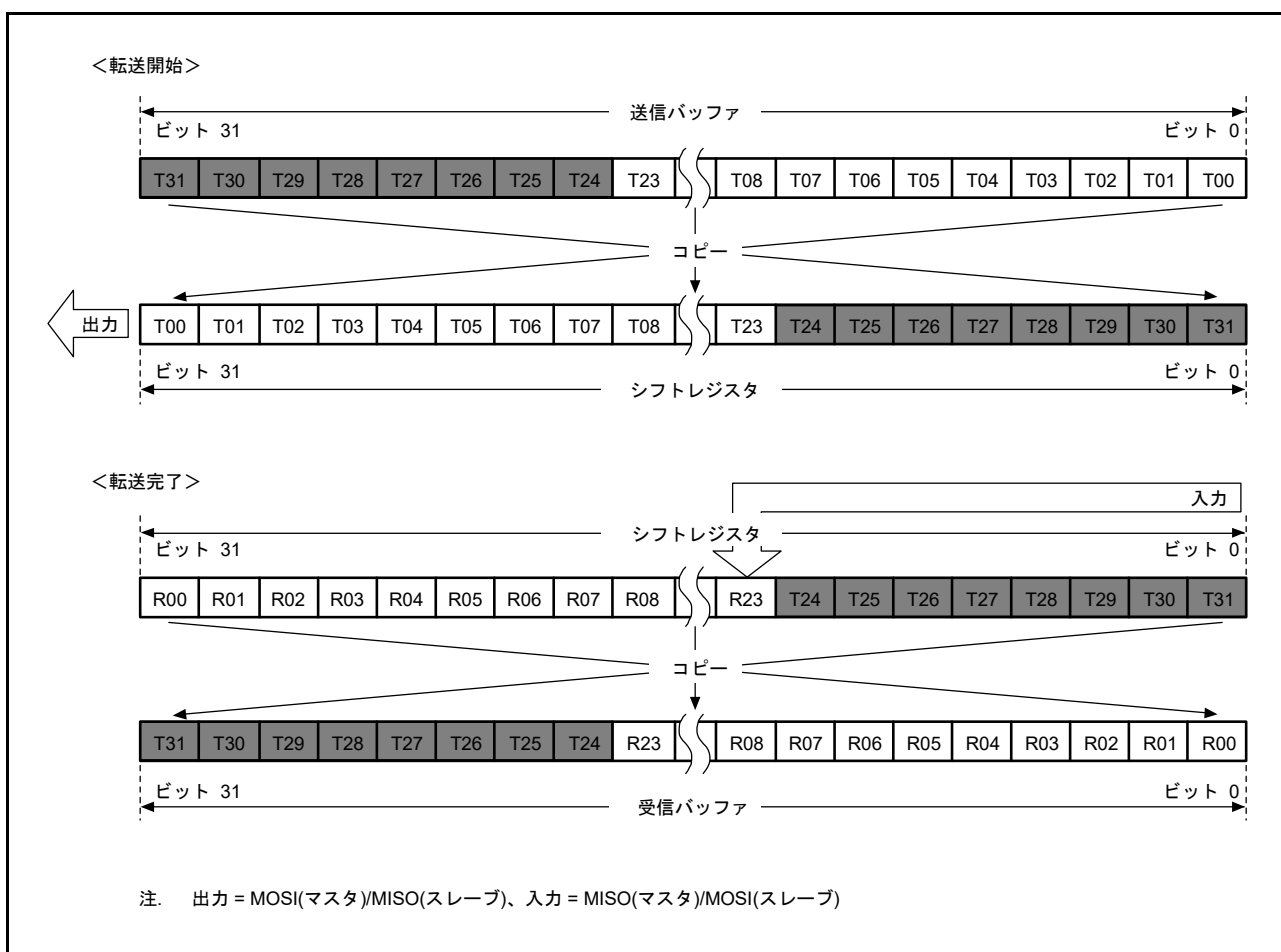


図 35.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

35.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 35.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまり、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

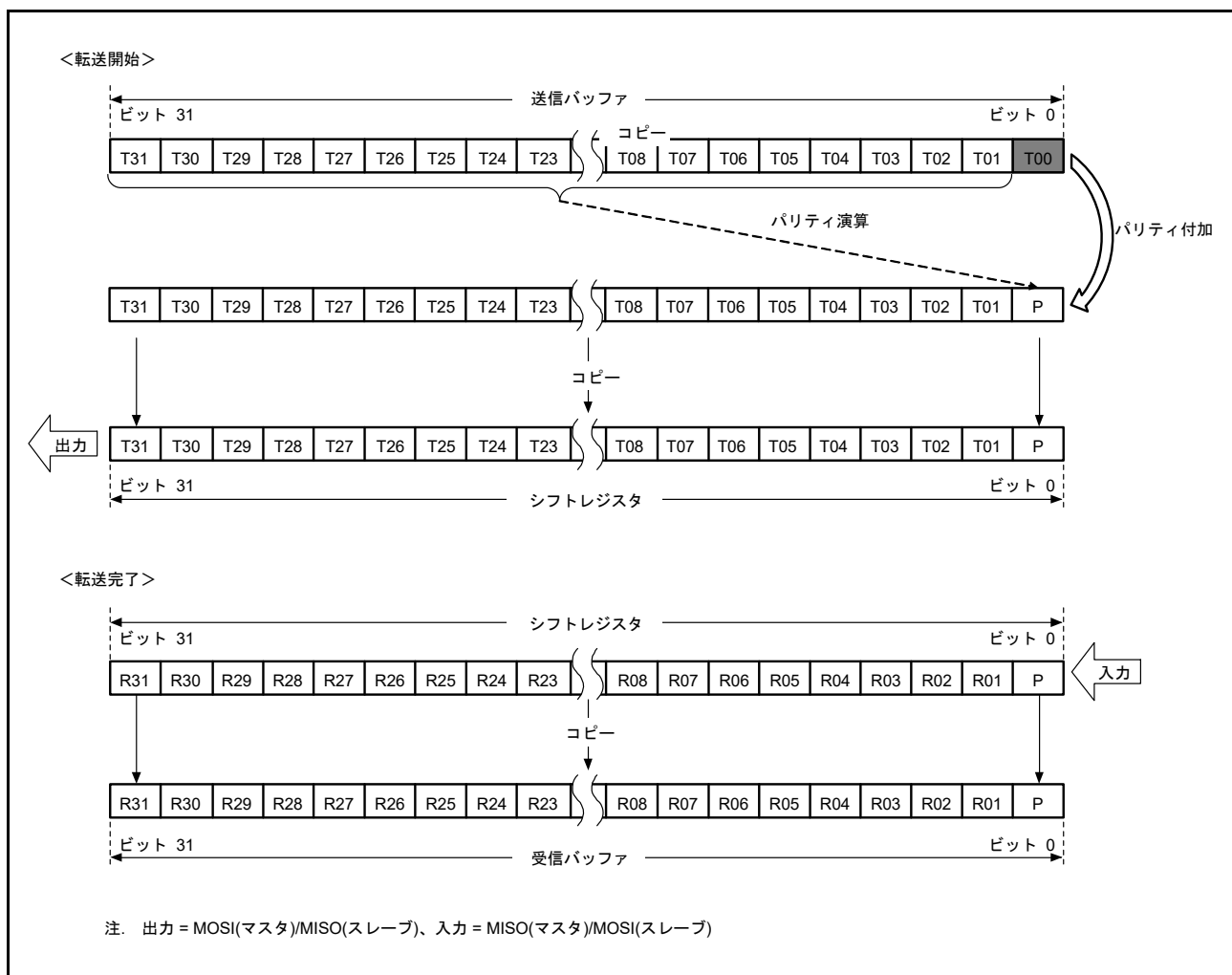


図 35.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 35.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

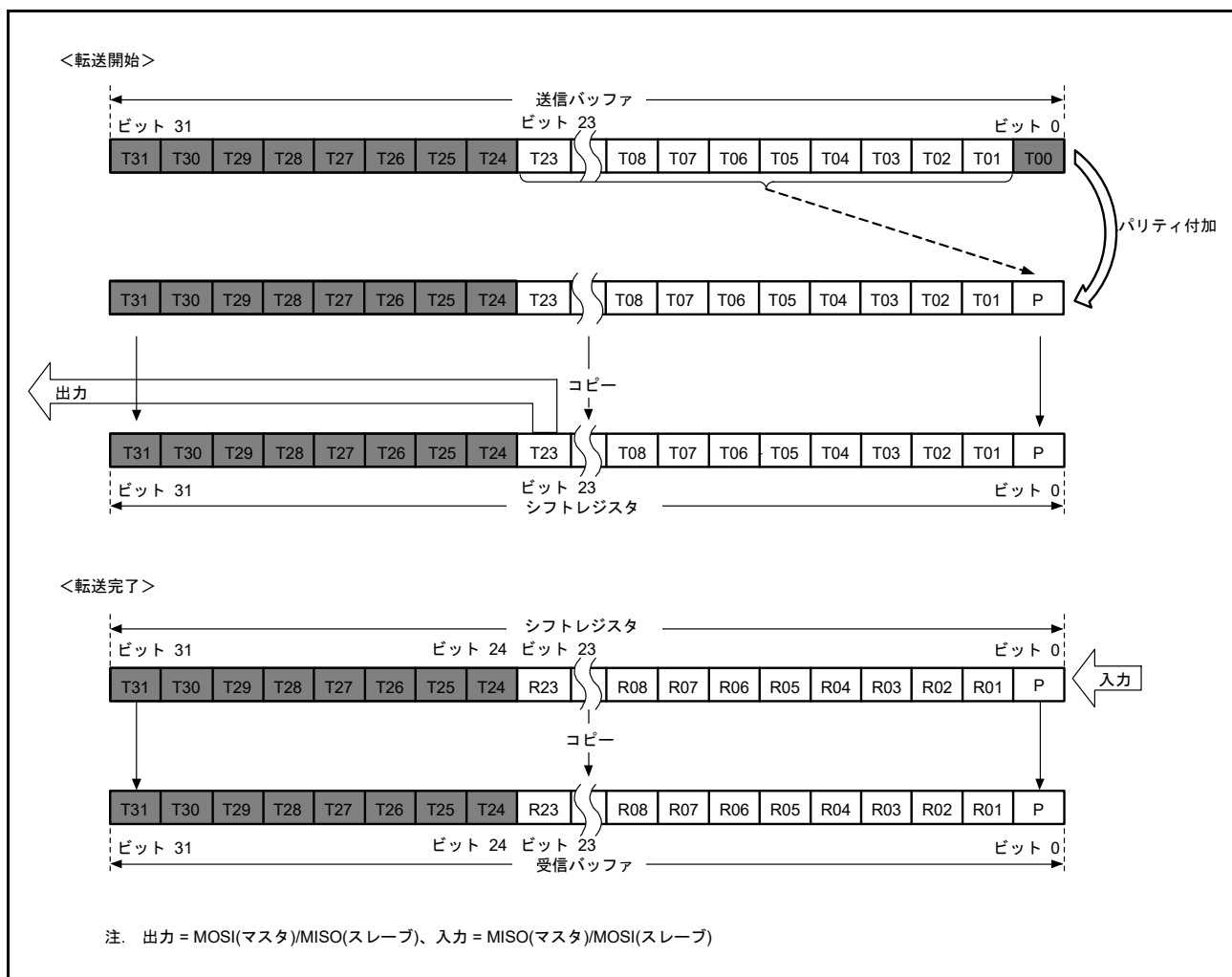


図 35.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 35.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまとると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

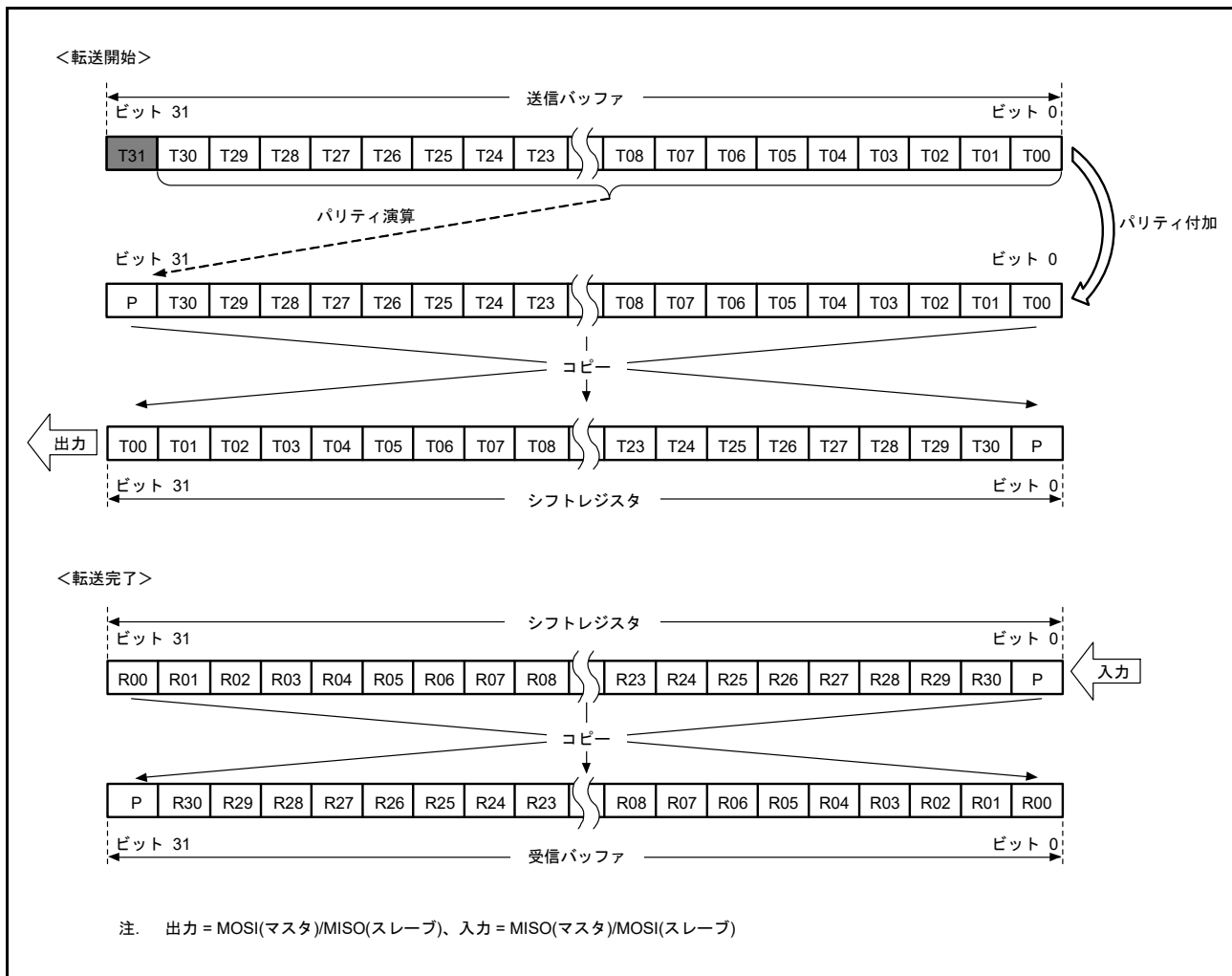


図 35.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 35.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

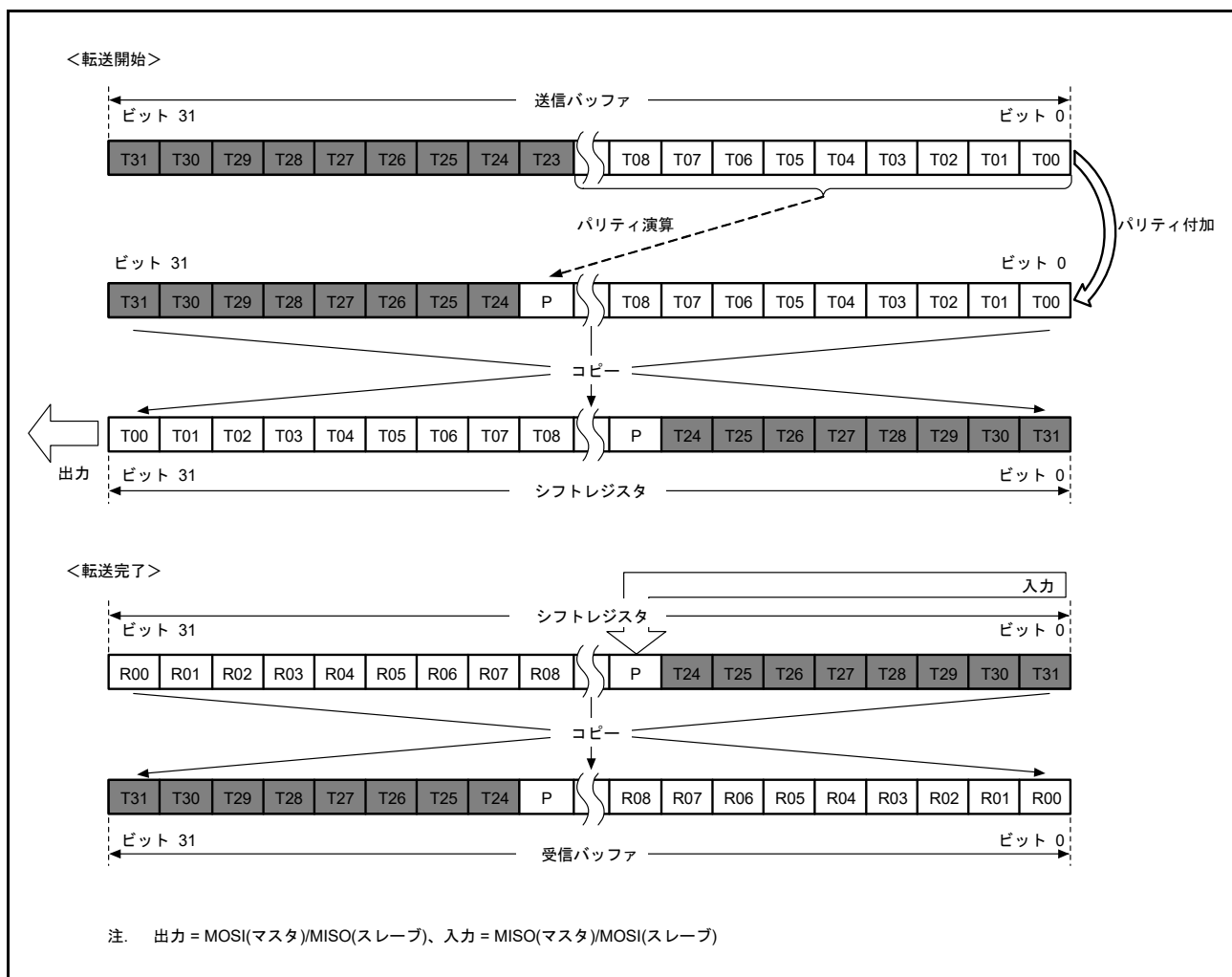


図 35.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

35.3.4.3 バイトスワップ送信

SPDCR2.BYSW ビットが“1”(SPDR のデータをバイト単位でスワップする) のときは、送信バッファ (SPDR) のデータを 8 ビット単位で入れ替えてシフトレジスタに転送します。図 35.22 にデータ長が 32 ビットの場合の SPDR レジスタとシフトレジスタ間のデータ転送の様子を示します。

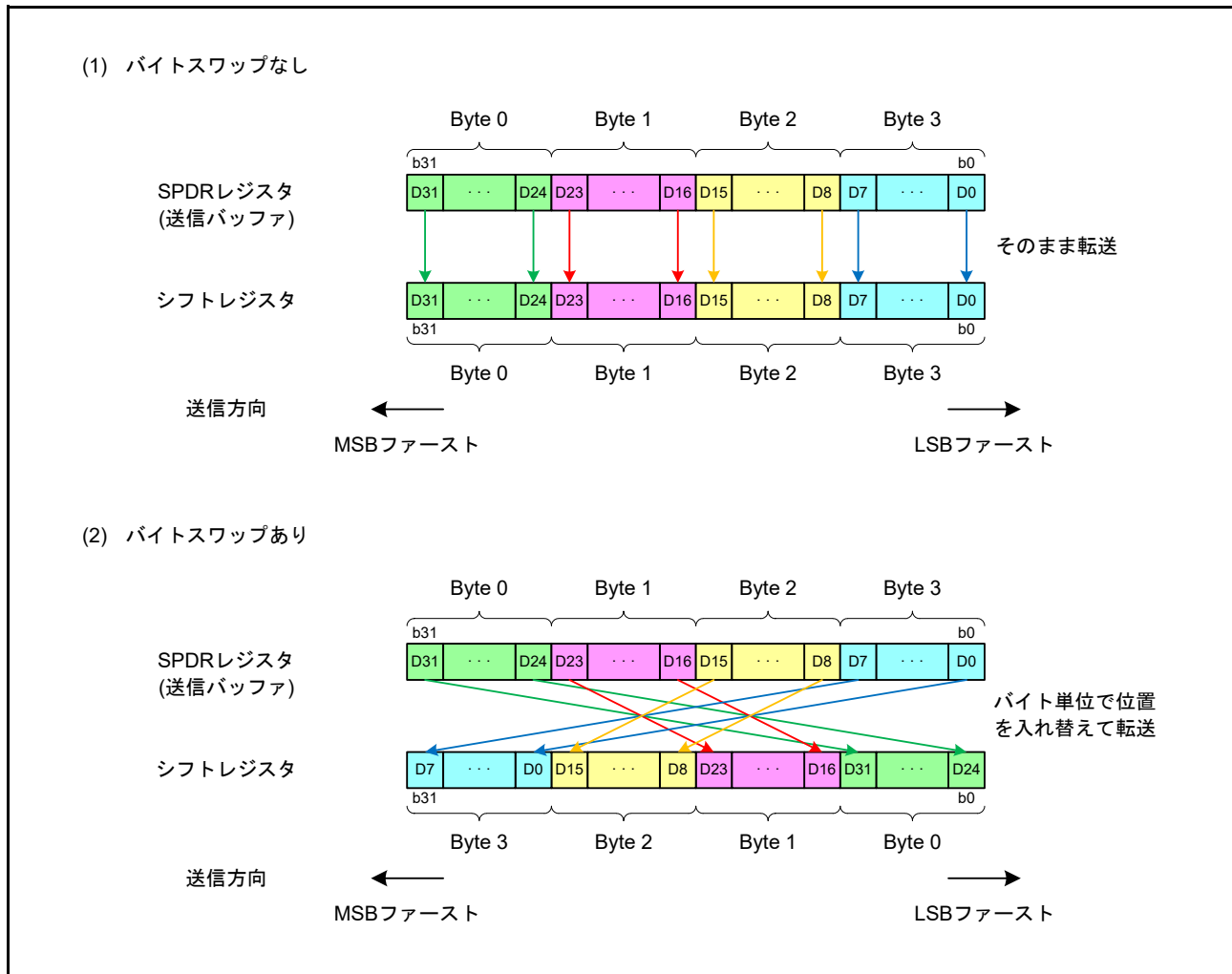


図 35.22 MSB/LSB ファーストとバイトスワップあり/なしの設定と送信データ変換

35.3.4.4 バイトスワップ受信

SPDCR2.BYSW ビットが“1”(SPDR のデータをバイト単位でスワップする) のときは、シフトレジスタのデータを8ビット単位で入れ替えて受信バッファ(SPDR)に転送します。図 35.23 にデータ長が32ビットの場合のシフトレジスタとSPDRレジスタ間のデータ転送の様子を示します。

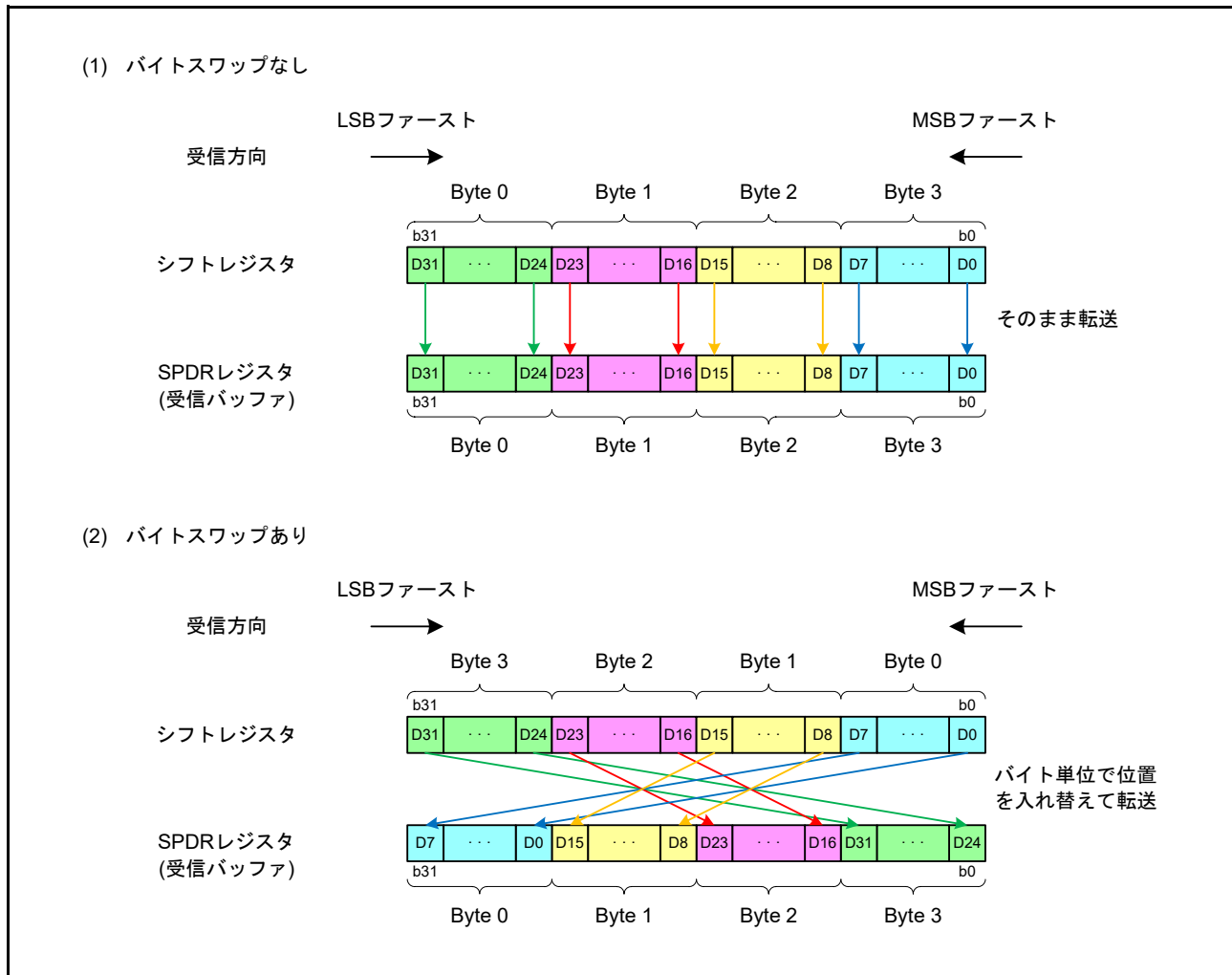


図 35.23 MSB/LSB ファーストとバイトスワップあり/なしの設定と受信データ変換

35.3.5 転送フォーマット

35.3.5.1 CPHA ビット = 0 の場合

図 35.24 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR = 0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 35.24 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「35.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「35.3.11.1 マスタモード動作」を参照してください。

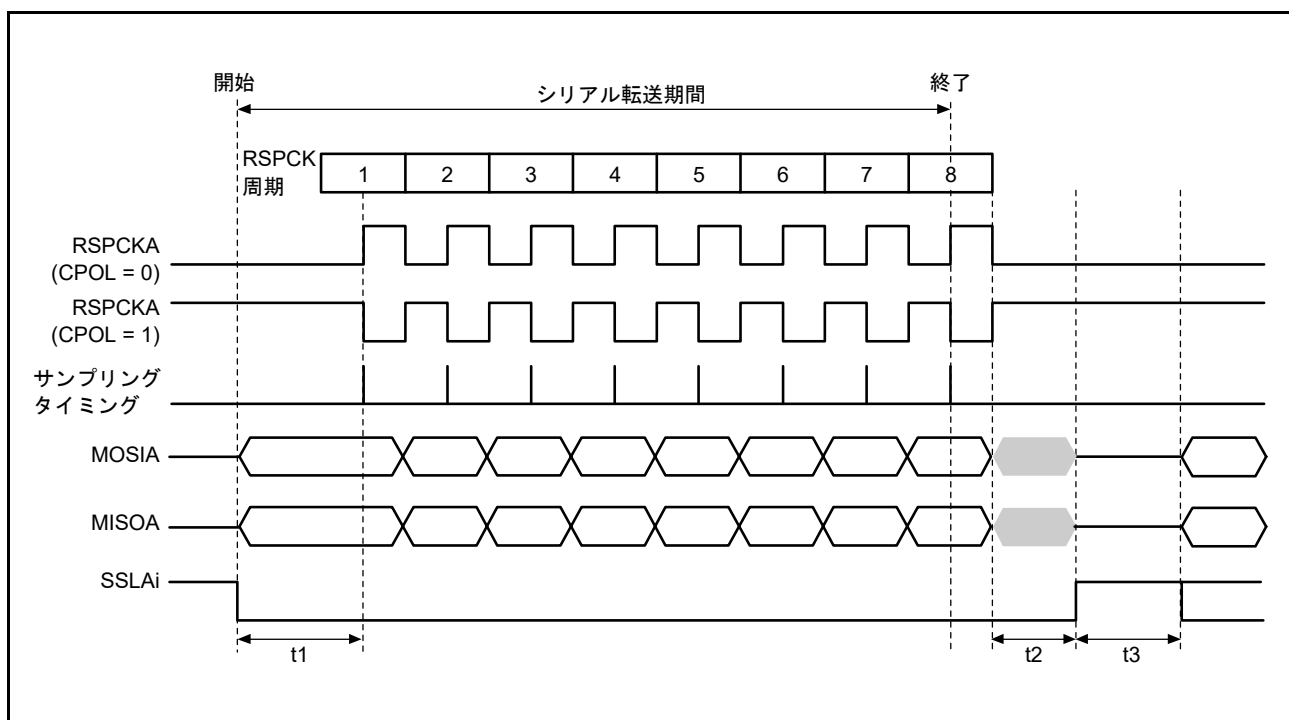


図 35.24 RSPI 転送フォーマット (CPHA ビット = 0)

35.3.5.2 CPHA ビット = 1 の場合

図 35.25 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 35.25 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード(マスタ/スレーブ)に依存します。詳細は「35.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「35.3.11.1 マスタモード動作」を参照してください。

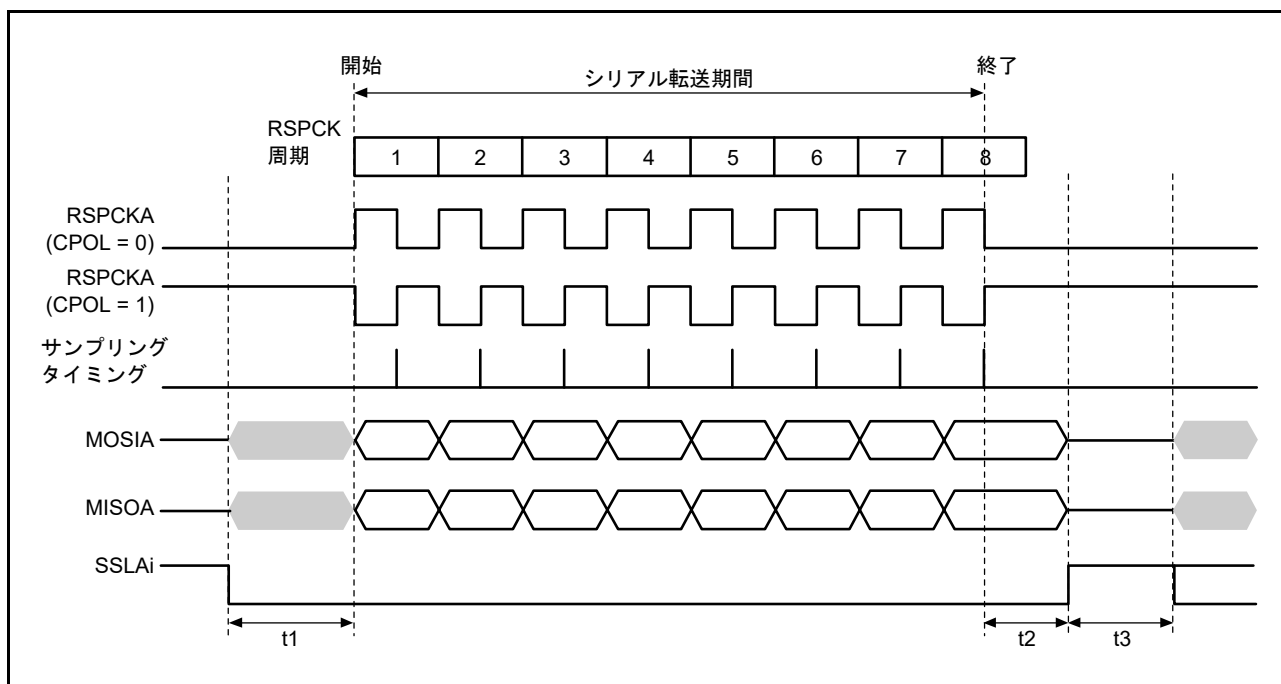


図 35.25 RSPI 転送フォーマット (CPHA ビット = 1)

35.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重通信または送信のみの単方向通信を選択します。

図 35.26、図 35.27 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

35.3.6.1 全二重通信 (SPCR.TXMD = 0)

図 35.26 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 35.26 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

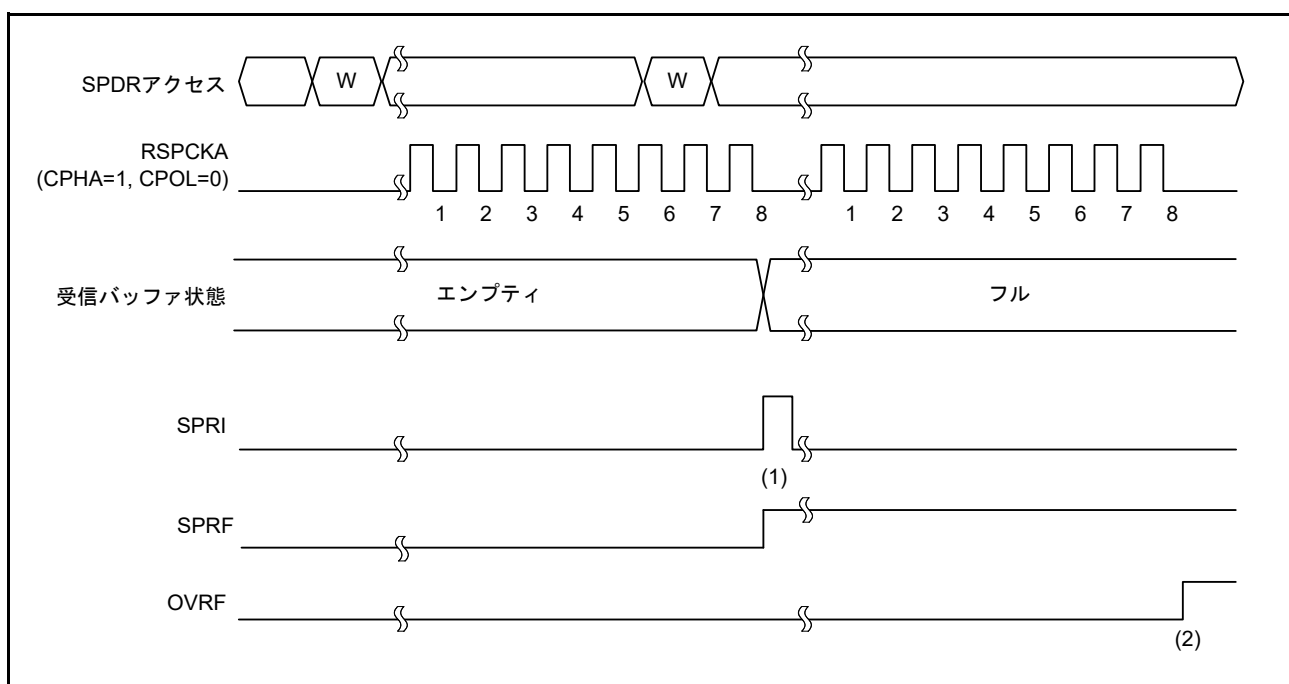


図 35.26 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を生成 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重通信時 (SPCR.TXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF、OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで“1”になります。

35.3.6.2 送信のみの単方向通信 (SPCR.TXMD = 1)

図 35.27 に、SPCR.TXMD ビットを“1”にした場合の動作例を示します。図 35.27 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

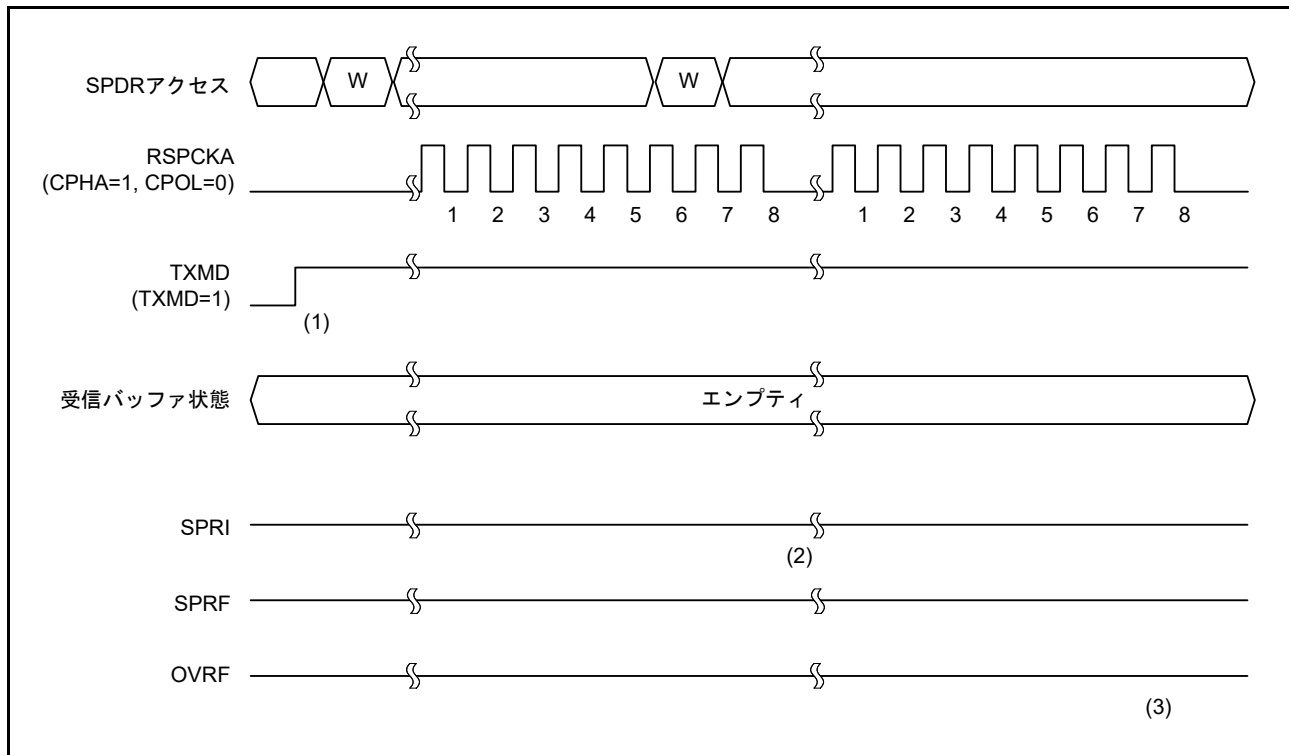


図 35.27 SPCR.TXMD = 1 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみの単方向通信 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF、OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみの単方向通信 (SPCR.TXMD = 1) のときは、SPRF フラグは“0”を維持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみの単方向通信時 (SPCR.TXMD = 1) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF、OVRF フラグは (1)、(2)、(3) いずれのタイミングでも“0”を保持します。

35.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 35.28 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 35.28 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 35.28 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

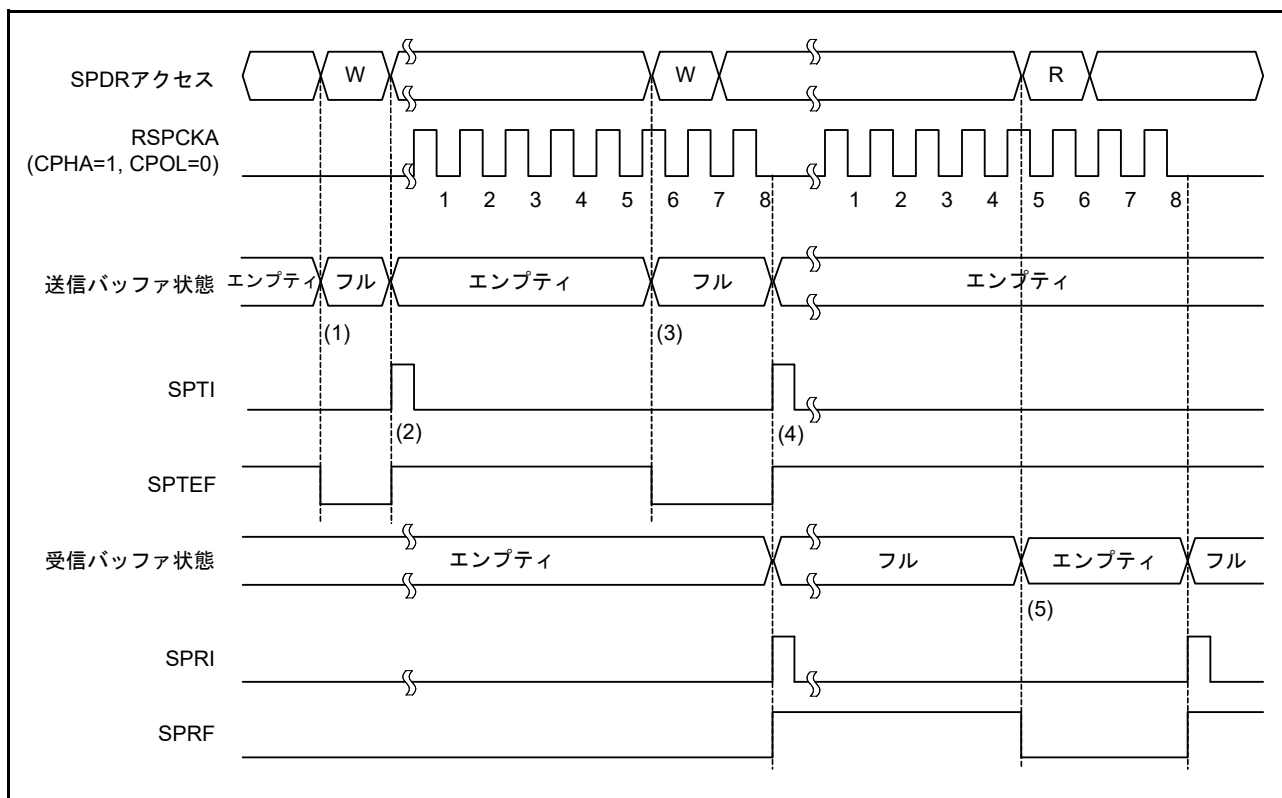


図 35.28 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を生成し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「35.3.11 SPI 動作」、「35.3.12 クロック同期式動作」参照)
- (3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を生成し、SPSR.SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを“1”にして送信

バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込みルーチンまたは SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが“0”になります。

送信バッファに未送信のデータがある状態 (SPTEF フラグが“0”) で、SPDR レジスタに送信データを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

SPCR.SPE ビットを“0” (RSPI 機能は無効) にするときは、SPCR.SPTIE ビットも同時に“0”にしてください。SPCR.SPE ビットが“0”のときに SPCR.SPTIE ビットが“1”であると、送信バッファエンプティ割り込み要求が発生します。

受信バッファフル (SPRF フラグが“1”) の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「35.3.9 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ (ICUb)」を参照してください。また、SPTEF フラグ / SPRF フラグによって確認することもできます。

35.3.8 アイドル割り込み

SPCR2.SPIIE ビットが“1”のときに SPSR.IDLNF フラグが“0”になると、アイドル割り込み要求 (SPII) が発生します。

マスタモード時は送信開始前も IDLNF フラグが“0”なので、このときにアイドル割り込みが発生しないように、送信バッファにデータを書いて IDLNF フラグが“1”になった後に SPIIE ビットを“1”にしてください。送信完了後 SSLA0 信号がネゲートされ、次アクセス遅延 (t3) 時間が経過するまで次のデータを供給しなければ、IDLNF フラグが“0”になります。

35.3.9 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータが送信され、受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、アンダランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表35.7に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表35.7 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	受信バッファエンプティの状態ですPDRレジスタを読み出し	受信が完了していれば受信したデータ、完了していなければ前回受信したデータをバスに出カ	なし
3	スレーブモード時、送信データがシフトレジスタに転送されていない状態でシリアル転送開始	シリアル転送を中断 送受信データ欠落 MISO端子のドライブ停止 RSPI機能を無効に設定	アンダランエラー検出
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重通信時に、パリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのセット	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号がアサート	<ul style="list-style-type: none"> RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号がアサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレーブモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISO出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表35.7の1に示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、またはSPSR.SPTEFフラグが“1”のときにSPDRレジスタへの書き込みを実施してください。

2に示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、受信バッファフル割り込み要求発生時、またはSPSR.SPRFフラグが“1”のときにSPDRレジスタの読み出しを実行するようにしてください。

3に示したアンダランエラーについては「35.3.9.4 アンダランエラー」で、4に示したオーバランエラーについては「35.3.9.1 オーバランエラー」で、5に示したパリティエラーについては「35.3.9.2 パリティエラー」で説明します。また、6～8に示したモードフォルトエラーについては「35.3.9.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「35.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

35.3.9.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 35.29 に、SPRF フラグと OVRF フラグの動作を示します。図 35.29 に記載した“SPSR アクセス”と“SPDR アクセス”は、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 35.29 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

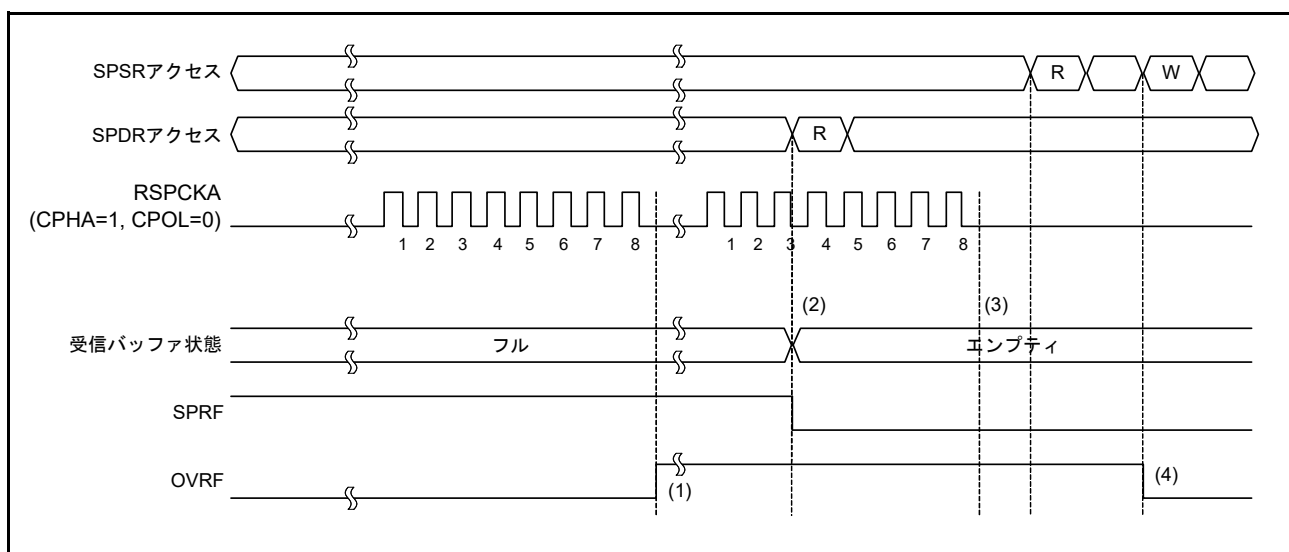


図 35.29 SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル (SPRF フラグが“1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは“0”になります。受信バッファが空になっても、OVRF フラグは“0”になりません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) OVRF フラグが“1”の状態でも SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいはエラー割り込みと SPSR レジスタの読み出しに

よって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。RSPI をマスターモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバーランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

マスターモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 35.30、図 35.31 にマスターモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

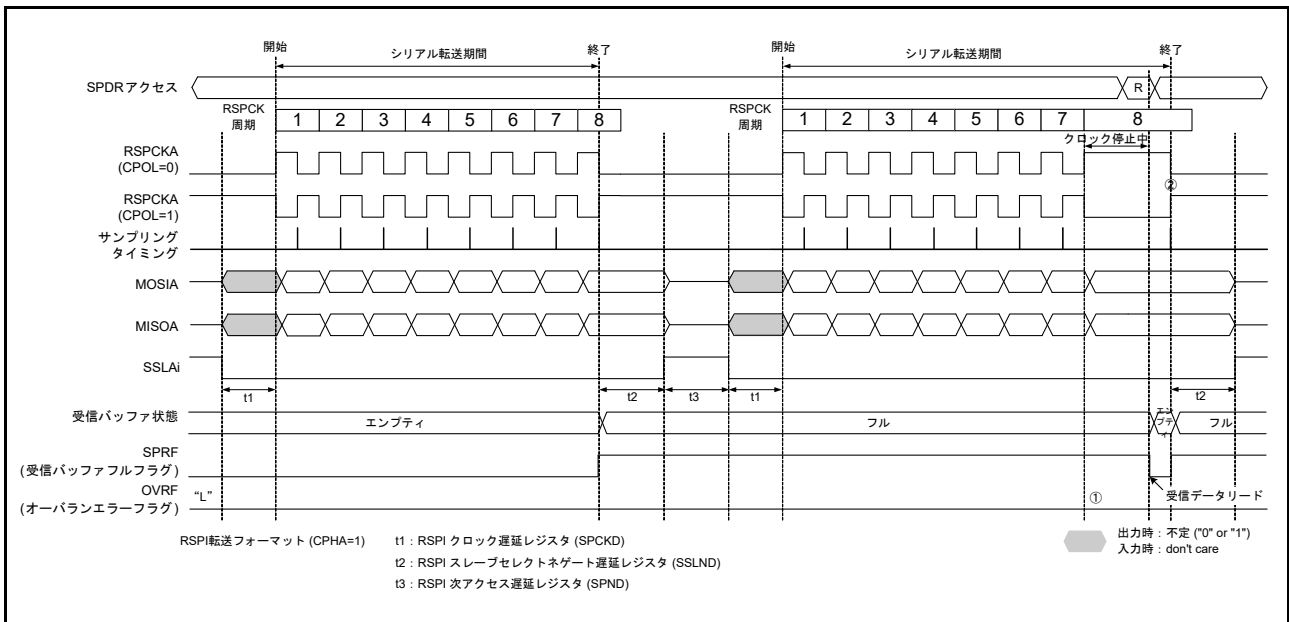


図 35.30 マスターモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

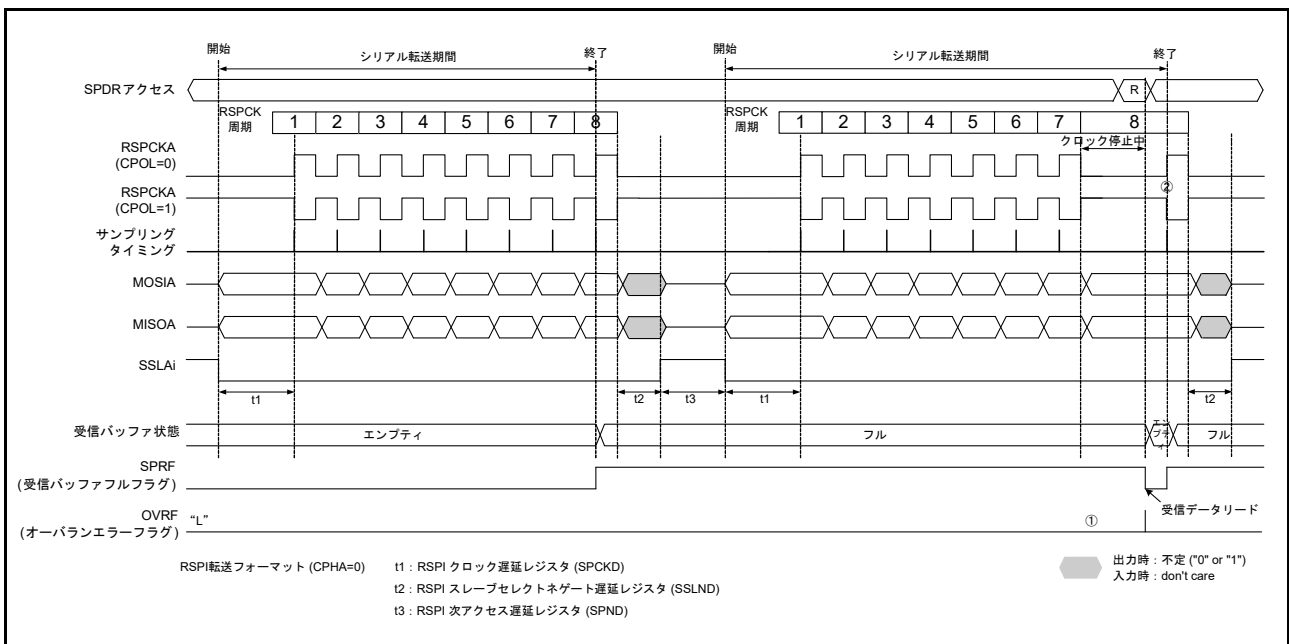


図 35.31 マスターモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPRF フラグが“0”になった後)、RSPCK クロックが再開します。

35.3.9.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべての通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態のSPSRレジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 35.32 に、OVRF フラグと PERF フラグの動作を示します。図 35.32 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 35.32 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべての通信を行っています。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPIが8ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

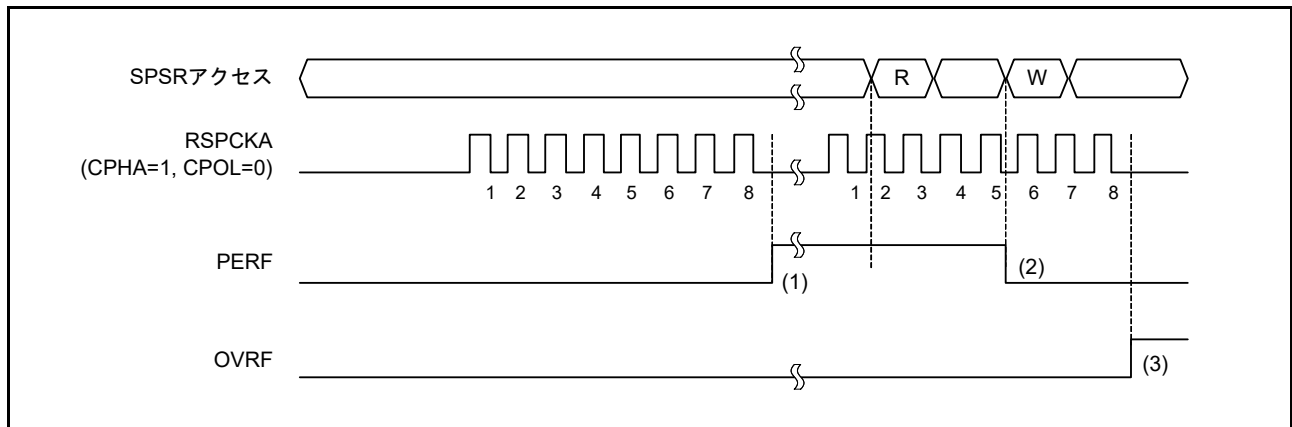


図 35.32 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバーランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) PERF フラグが“1”の状態ですべての SPSR レジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- (3) RSPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいはエラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合は、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

35.3.9.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLA0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLA0信号のアクティブレベルは、SSLP.SSL0Pビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間(有効データのドライブ開始から最終有効データの取り込みまで)にSSLA0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します(「35.3.10 RSPIの初期化」を参照)。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはエラー割り込みとSPSRレジスタの読み出しによって確認できます。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。MODFフラグを“0”にすると、SPEビットは“1”になります。

35.3.9.4 アンダランエラー

RSPIがスレーブモード(SPCR.MSTR ビットが“0”)で動作している場合、SPCR.SPEビットが“1”(RSPI機能は有効)、かつ送信データをシフトレジスタにセットしていない状態でシリアル転送が開始されると、RSPIはアンダランエラーを検出してSPSRレジスタのMODFフラグとUDRFフラグを“1”にします。

RSPIはアンダランエラーを検出すると、出力信号のドライブを停止しSPEビットを“0”にします。SPEビットが“0”になるとRSPI機能は無効となります(「35.3.10 RSPIの初期化」を参照)。

アンダランエラーの発生は、SPSRレジスタの読み出し、あるいはエラー割り込みとSPSRレジスタの読み出しによって確認できます。エラー割り込みを利用せずにアンダランエラーを検出する場合、SPSRレジスタをポーリングする必要があります。

MODFフラグが“1”のとき、RSPIはSPEビットへの“1”書き込みを無視します。アンダランエラー検出後にRSPI機能を有効にするには、MODFフラグを“0”にしてください。MODFフラグを“0”にすると、SPEビットは“1”になります。

35.3.10 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラーやアンダランエラー検出により RSPI が SPE ビットを“0”にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

35.3.10.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中の送受信を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステータスの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを“1”にする)

SPE ビットを“0”にする初期化では、RSPI の制御ビットは初期化されません。このため、再度 SPE ビットを“1”にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.SPRF、UDRF、PERF、MODF、OVRF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが“1”) の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。

35.3.10.2 システムリセット

システムリセットによる初期化では、「35.3.10.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

35.3.11 SPI 動作

35.3.11.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出(「35.3.9 エラー検出」を参照)のみです。シングルマスタモードのRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI送信バッファが空(SPTEFフラグが“1”、次転送のデータがセットされていない)の状態、SPDRレジスタへデータを書き込むと、RSPIはSPDRレジスタの送信バッファ(SPTX)のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については「35.3.5 転送フォーマット」を参照してください。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ(SPRX)が空(SPRFフラグが“0”)の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。RSPIの転送フォーマットの詳細については「35.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタにはRSPI次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にしてRSPI機能を許可すると、RSPIはコマンドに対するポインタをSPCMD0 レジスタにセットし、シリアル転送の開始時にSPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタをSPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

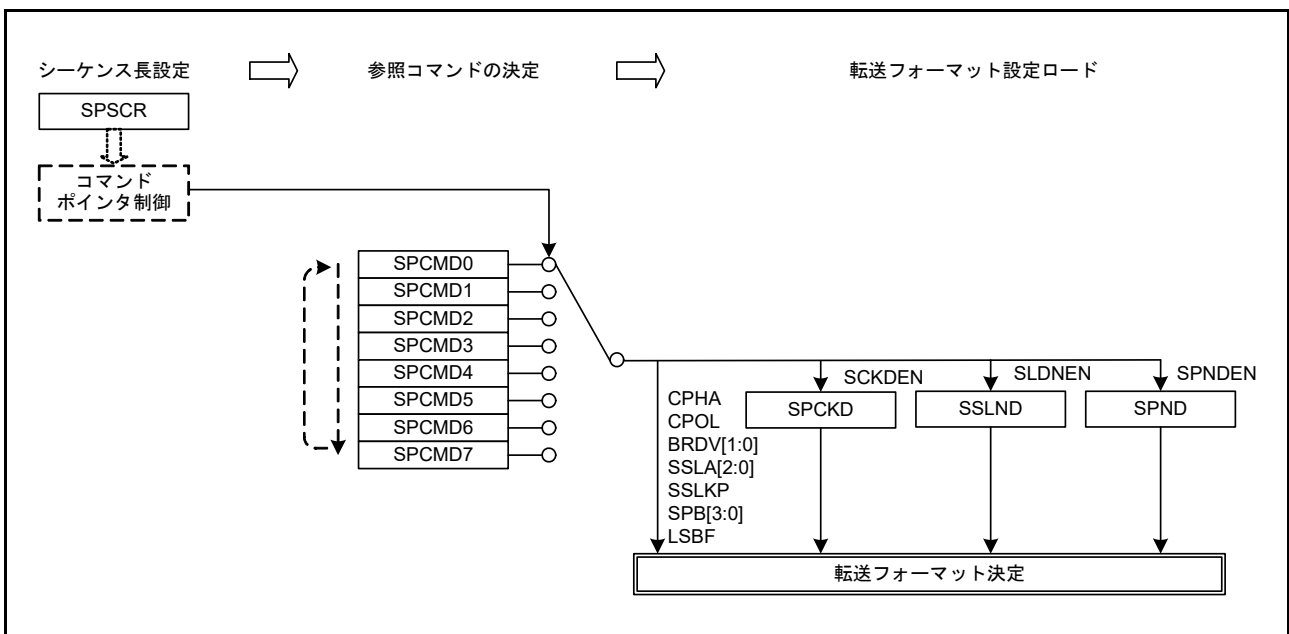


図 35.33 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

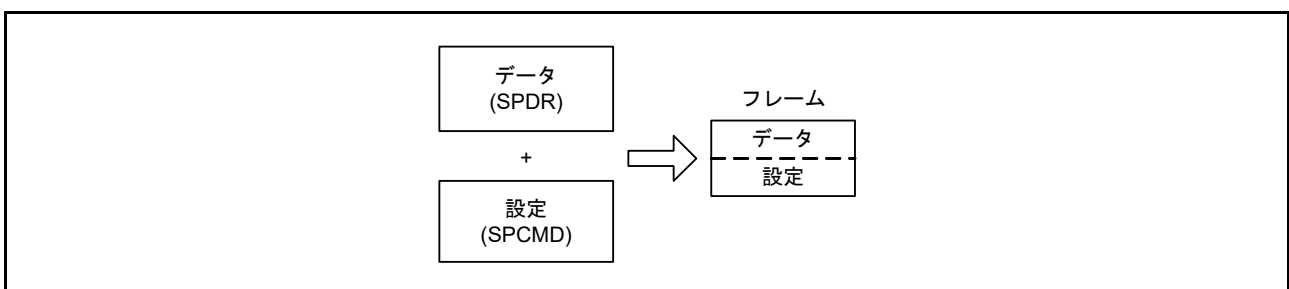


図 35.34 フレームの概念図

表 35.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 35.35 に示します。

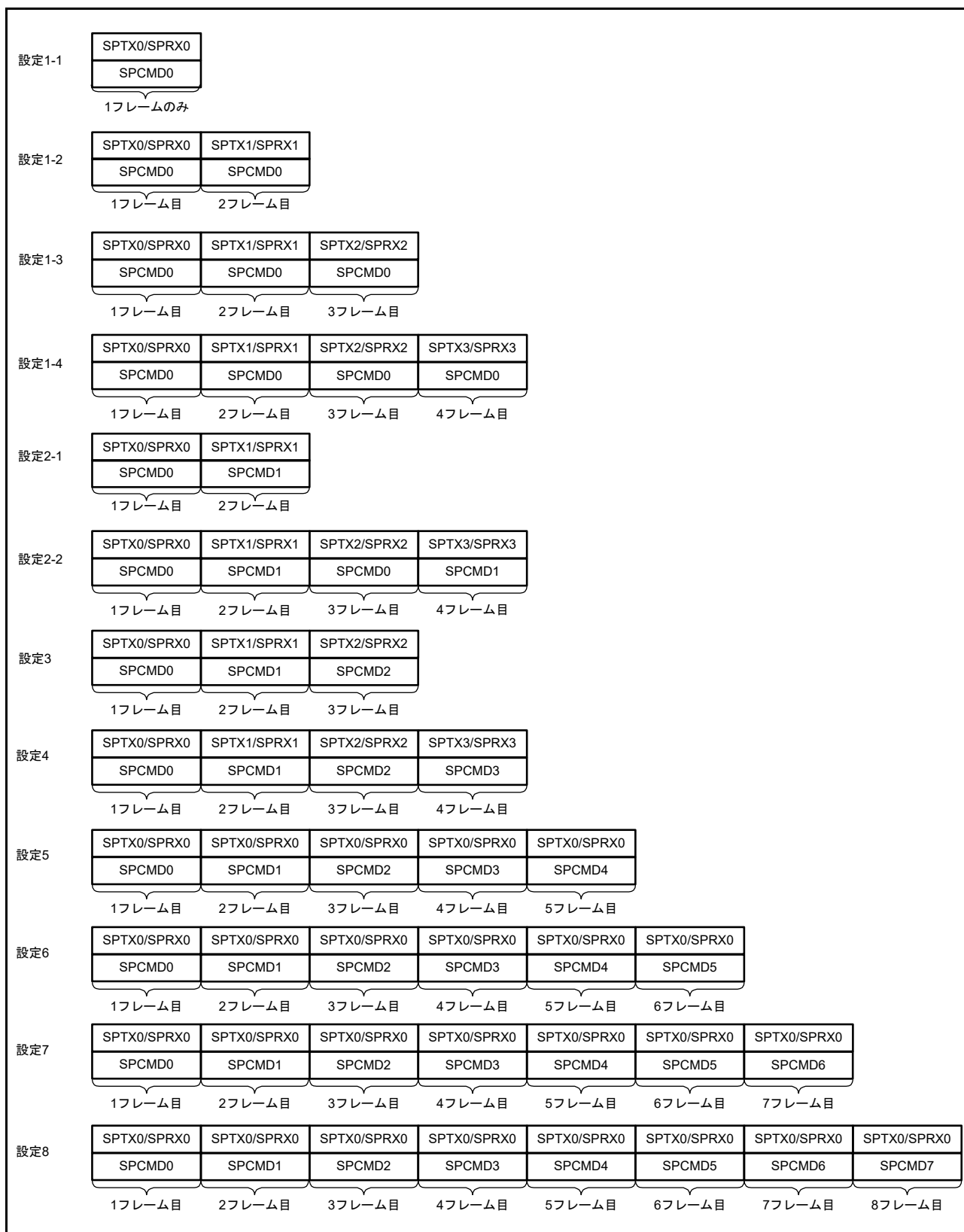


図 35.35 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが“1”の場合には、RSPI はシリアル転送中の SSLAi 信号レベルを次のシリアル転送の SSLAi 信号アサート開始まで保持します。次のシリアル転送での SSLAi 信号レベルが、現在のシリアル転送での SSLAi 信号レベルと同じであれば、RSPI は SSLAi 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます (バースト転送)。

図 35.36 に、SPCMD0、SPCMD1 レジスタの設定を使用してバースト転送を実現した場合の SSLAi 信号動作例を示します。図 35.36 に記載した (1) ~ (8) の RSPI 動作内容について、以下に説明します。なお、SSLAi 出力信号の極性は、SSLP レジスタの設定値に依存します。

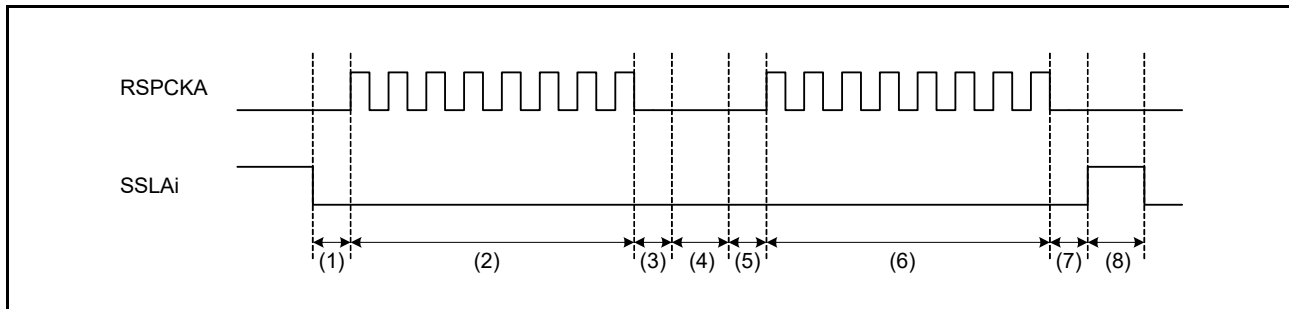


図 35.36 SSLKP ビットを利用したバースト転送動作の例 (CPHA = 1, CPOL = 0)

- (1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SSL ネゲート遅延を挿入します。
- (8) SPCMD1.SSLKP ビットが“0”であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLAi 信号のアサート時 (図 35.36 の (5)) に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(5) RSPCK 遅延 (t1)

マスタモード時の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 35.8 のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「35.3.5 転送フォーマット」を参照してください。

表 35.8 SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSL ネゲート遅延 (t2)

マスタモード時の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、表 35.9 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「35.3.5 転送フォーマット」を参照してください。

表 35.9 SLNDEN ビット、SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモード時の次アクセス遅延は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMDm レジスタをポインタ制御によって決定し、選択した SPCMDm.SPNDEN ビットと SPND レジスタを使用して、表 35.10 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「35.3.5 転送フォーマット」を参照してください。

表 35.10 SPNDEN ビット、SPND レジスタと次アクセス遅延値の関係

SPCMDm.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延値
0	000b ~ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8) 初期化フロー

図 35.37 に、SPI 動作時、RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

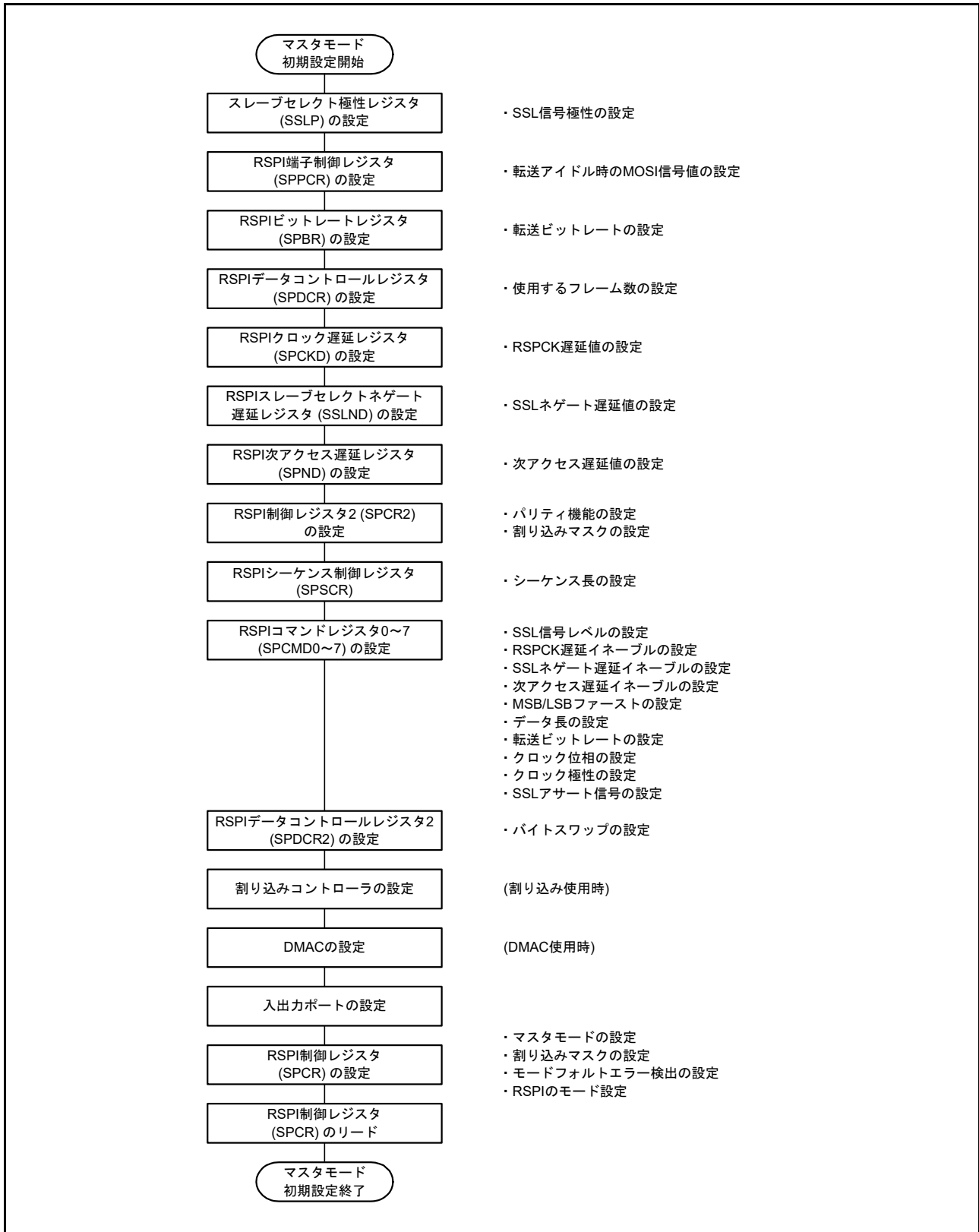


図 35.37 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 35.38 ~ 図 35.40 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データの送信完了を CPU に通知することが可能です。

SPII 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書いてから IDLNF フラグが“1”になるまでは、PCLK で1サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグの値から全データ送信完了の確認に使用してください。

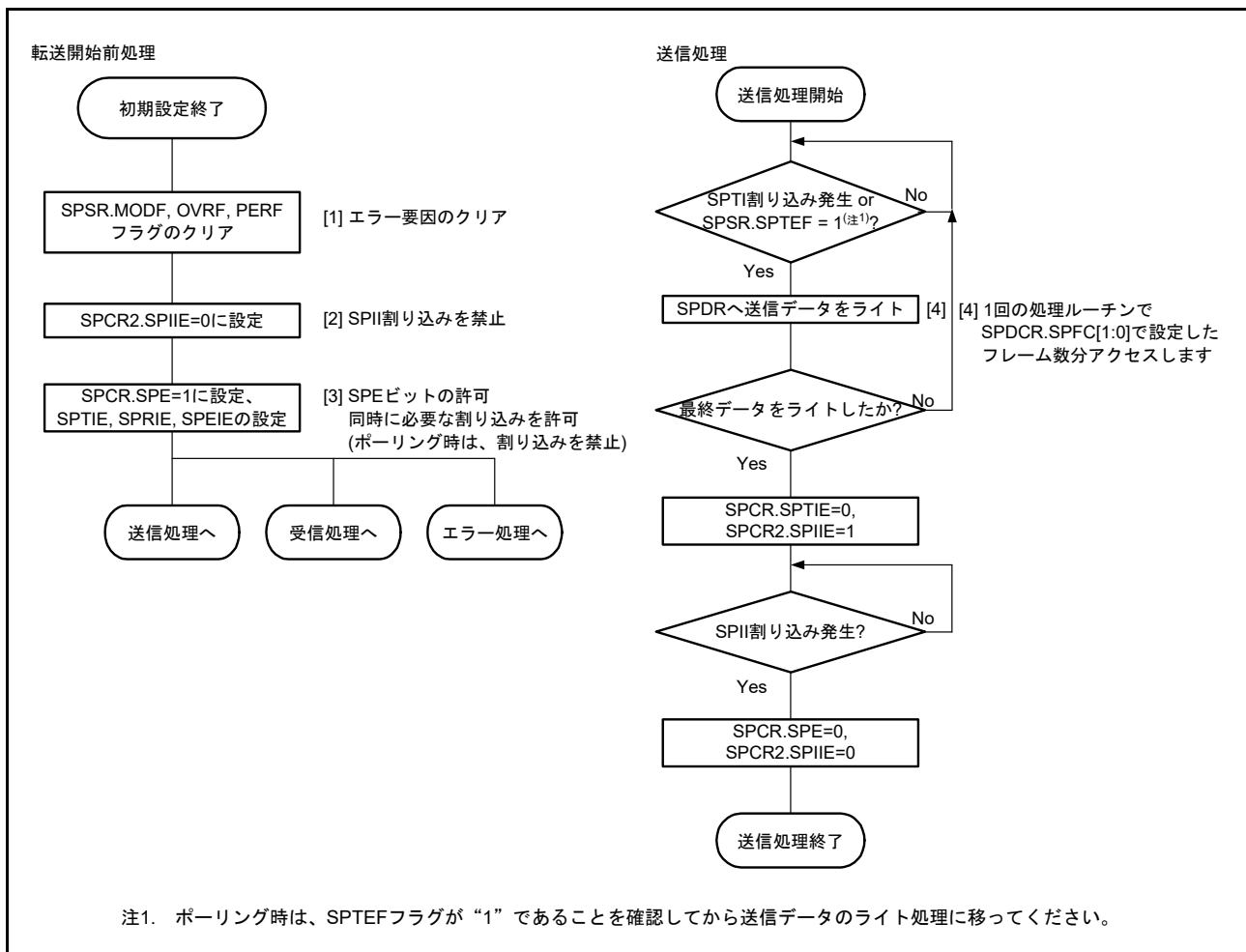


図 35.38 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPI は受信のみの単方向通信をサポートしていないため、送信を必要とします。

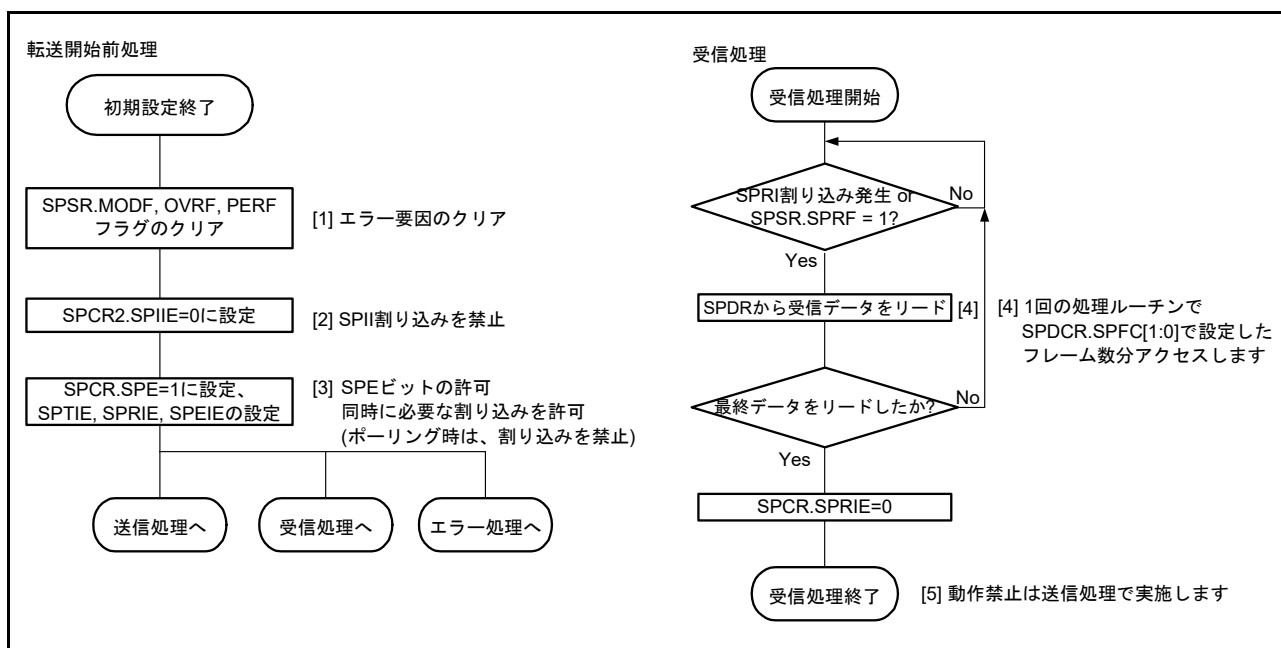


図 35.39 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信 / 受信動作を停止させます。しかし、その他のエラー要因では SPCR.SPE ビットはクリアされず送信 / 受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0] ビットが更新されてしまうため、SPCR.SPE ビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性がありますので、エラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

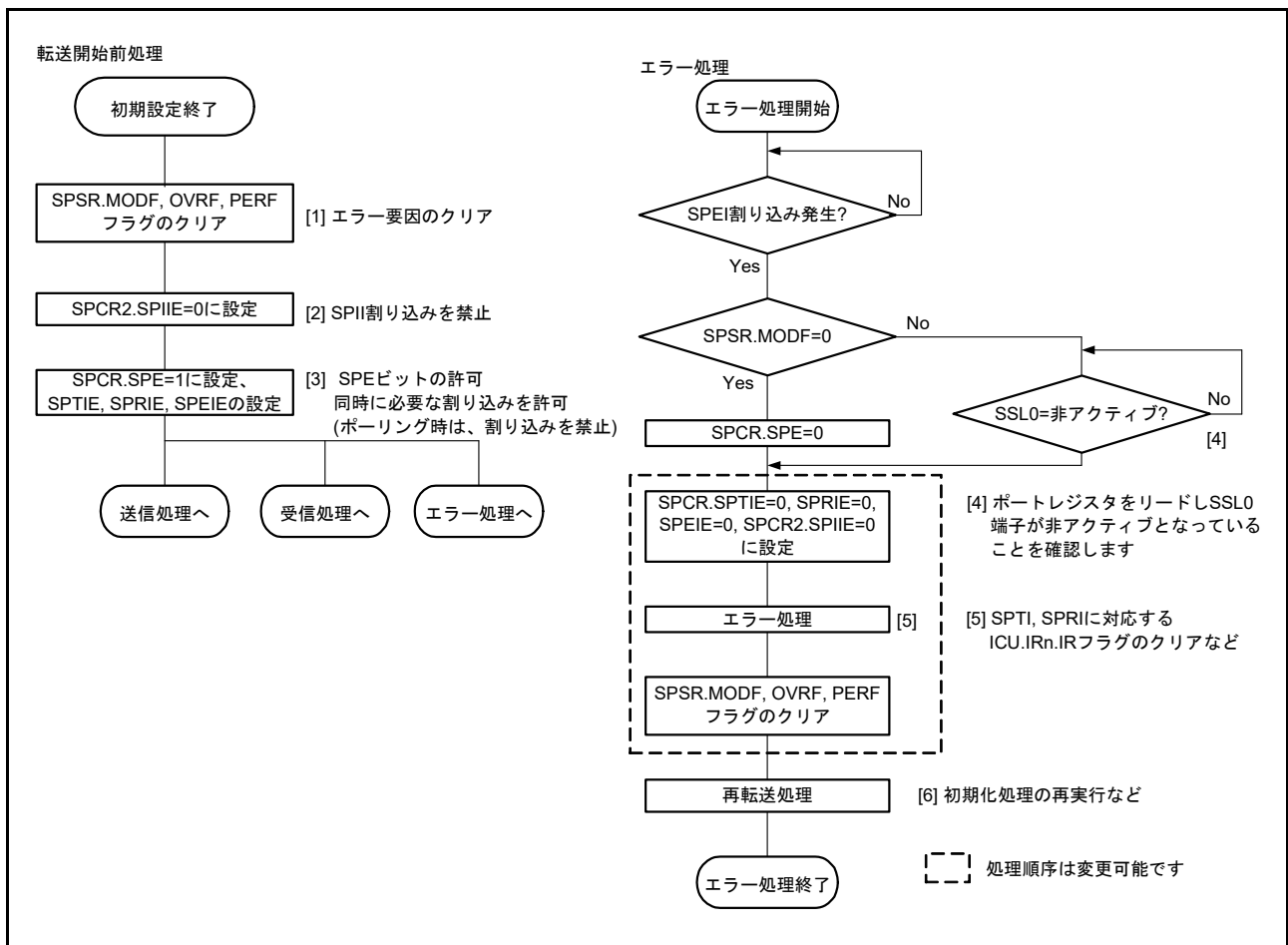


図 35.40 マスタモード時のフローチャート (エラー)

35.3.11.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLA0入力信号のアサートを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“0”の場合には、SSLA0入力信号のアサートがシリアル転送開始のトリガになります。

CPHAビットが“1”の場合には、RSPIはSSLA0入力信号のアサート状態で最初のRSPCKAエッジを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“1”の場合には、SSLA0信号アサート状態における最初のRSPCKAエッジがシリアル転送開始のトリガになります。

CPHAビットの設定に依存せず、RSPIがMISOA出力信号のドライブを開始するタイミングは、SSLA0信号アサートタイミングです。CPHAビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「35.3.5 転送フォーマット」を参照してください。SSLA0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合(SPRFフラグが“0”の場合)には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLA0入力信号のネゲートを検出するとモードフォルトエラーが発生します(「35.3.9 エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLA0入力信号の極性は、SSLP.SSL0Pビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「35.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHAビットが“0”の場合には、RSPIはSSLA0入力信号のアサートエッジを検出するとシリアル転送を開始します。図35.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLA0入力信号がアクティブ状態に固定されるため、CPHAビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLA0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHAビットを“1”にしてください。CPHAビットを“0”にする必要がある場合には、SSLA0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送 (バースト転送) を実行できます。CPHA ビットが“1”の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 35.41 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

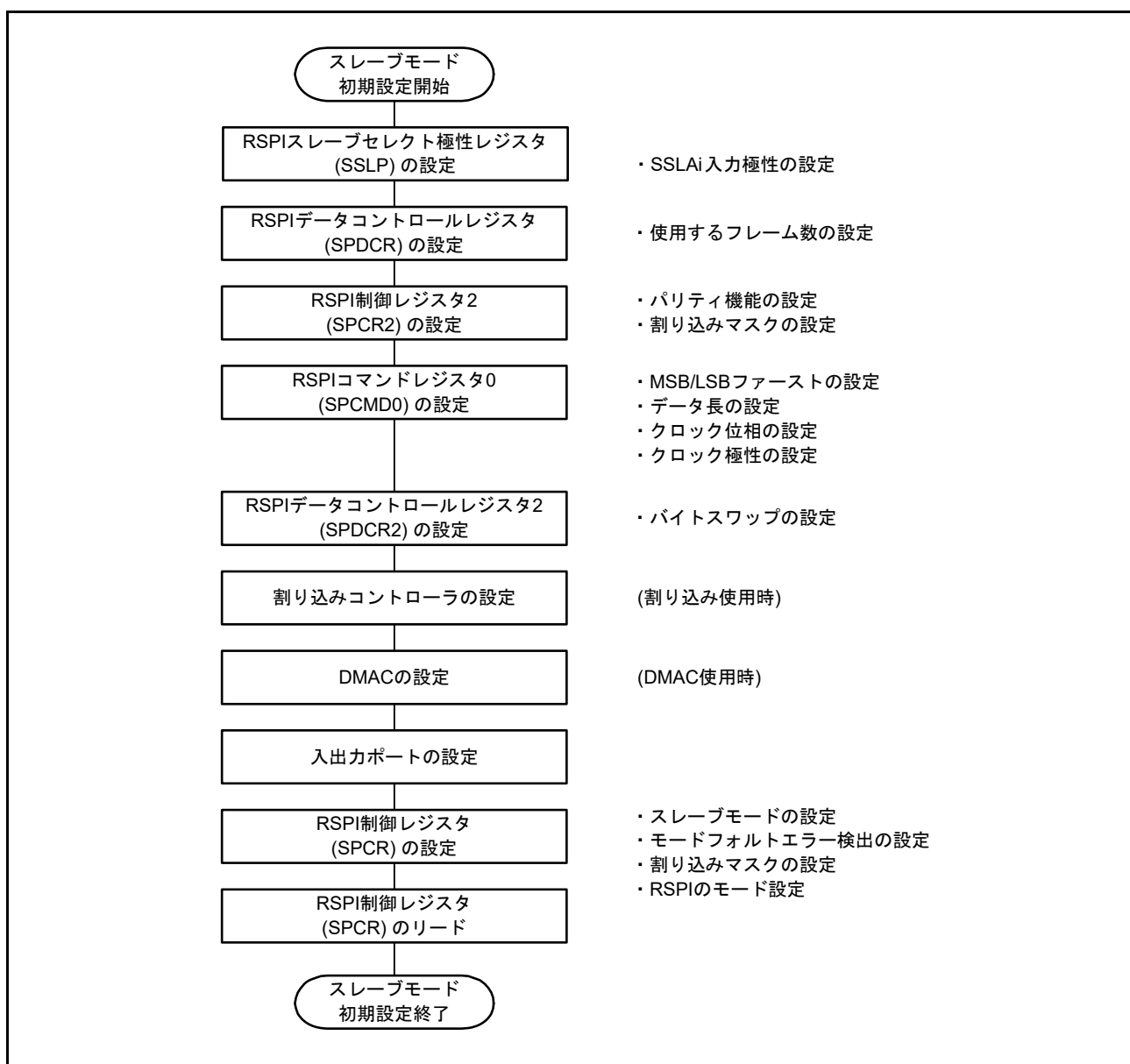


図 35.41 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 35.42 ~ 図 35.44 に示します。

(a) 送信処理フロー

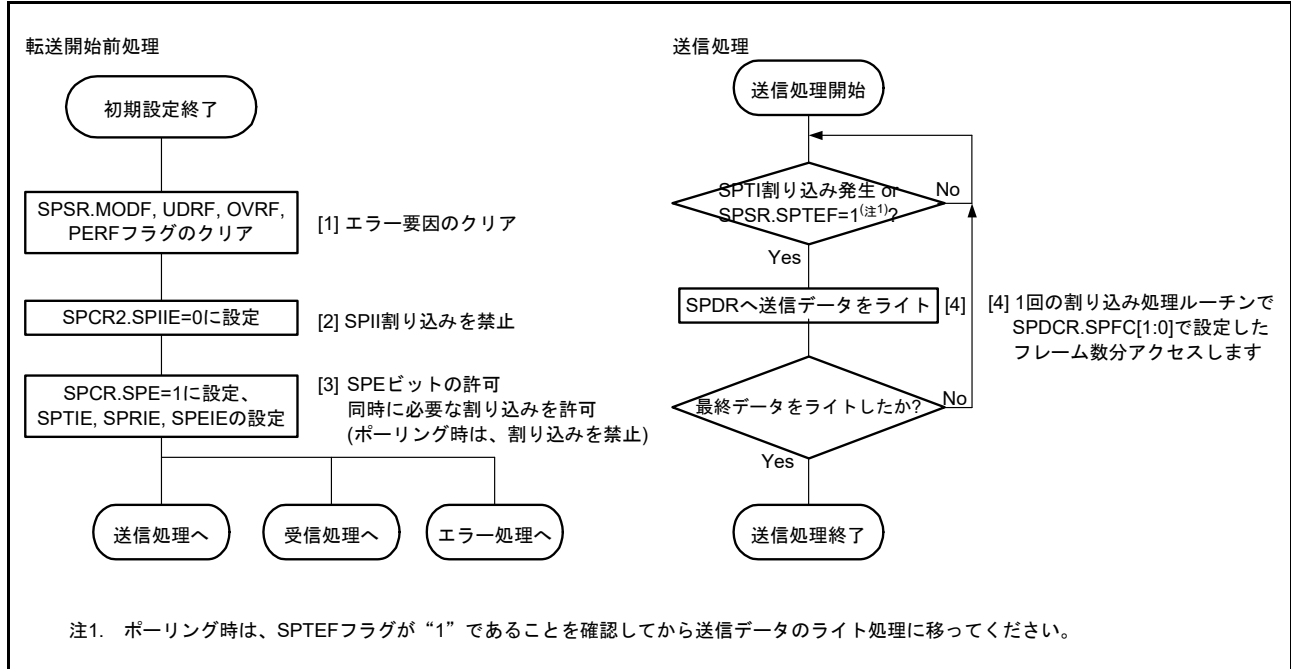


図 35.42 スレーブモード時のフローチャート (送信)

(b) 受信処理フロー

RSPIは受信のみの単方向通信をサポートしていないため、送信を必要とします。

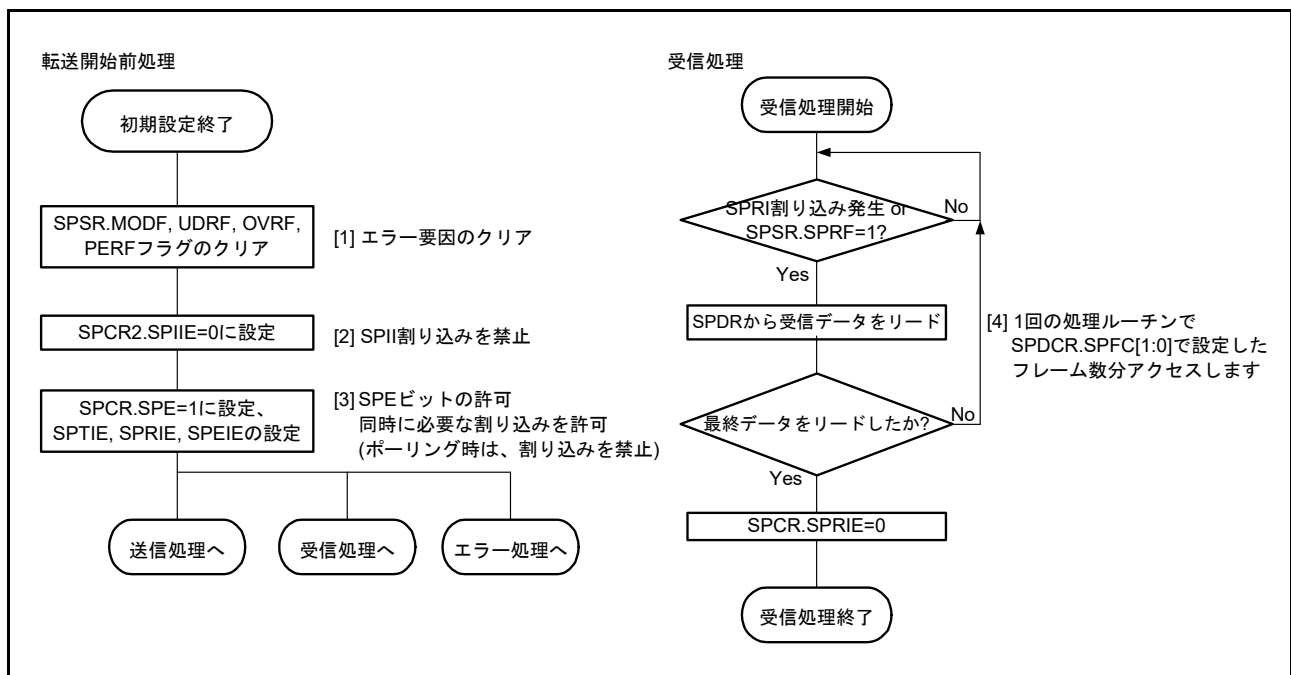


図 35.43 スレーブモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブモード時は、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

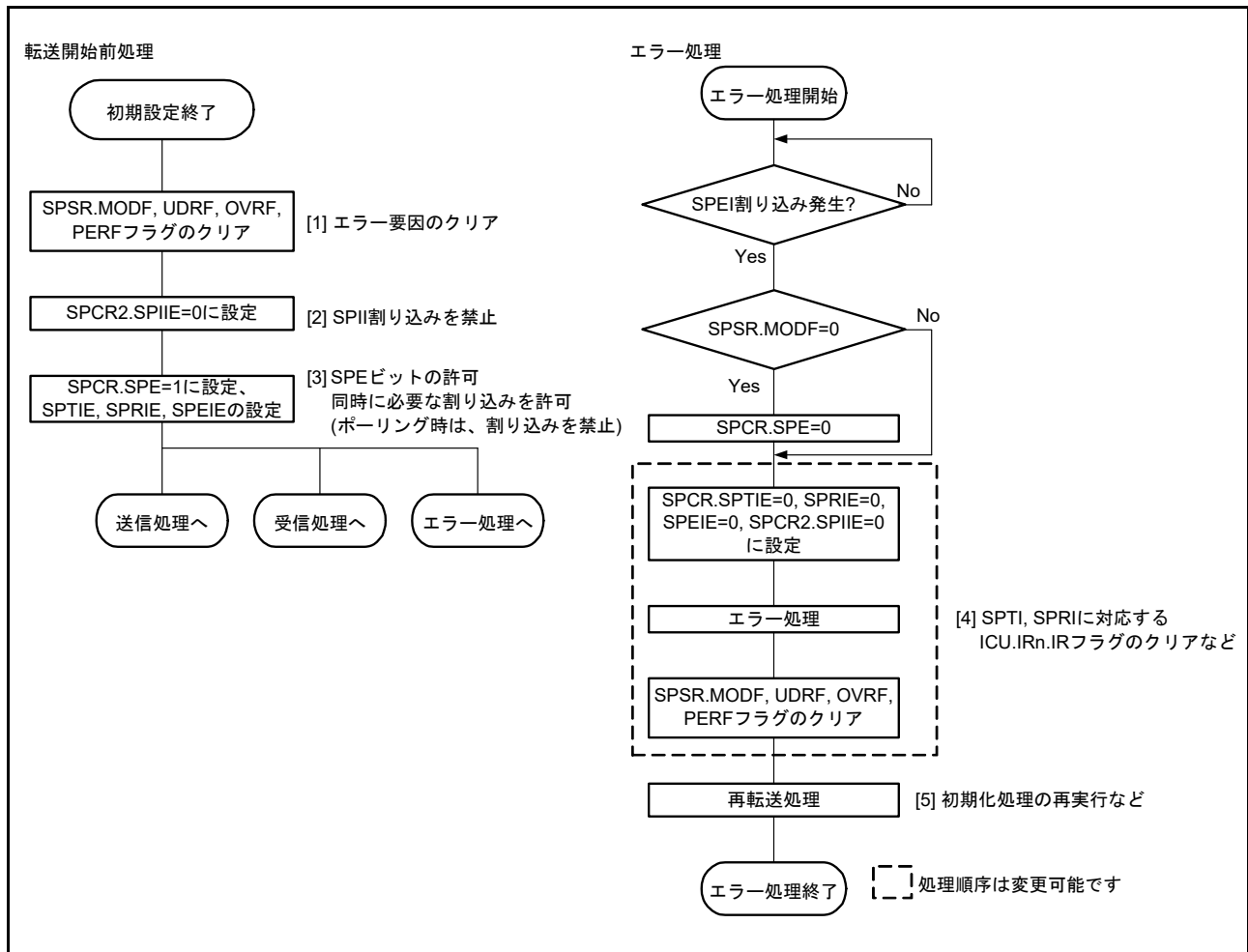


図 35.44 スレーブモード時のフローチャート (エラー処理)

35.3.12 クロック同期式動作

RSPIは、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の3本の端子を用いて通信を行い、SSLAi 端子はI/Oポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行います。モジュール内部の動作はSPI動作と同様の動作を行います。マスタモード、スレーブモードにおいて、SPI動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にしないでください。

35.3.12.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPIはSPDRレジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへSPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については、「35.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「35.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLAi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKA 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”でRSPI動作が許可された状態にすると、RSPIはコマンドに対するポインタをSPCMD0レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

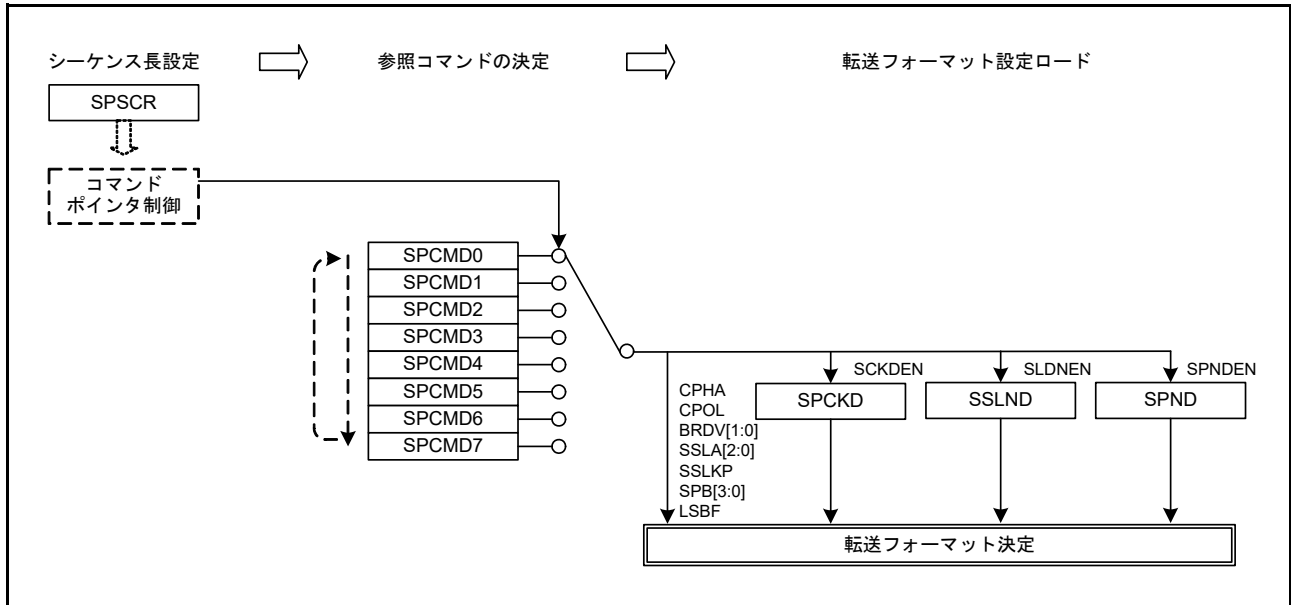


図 35.45 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

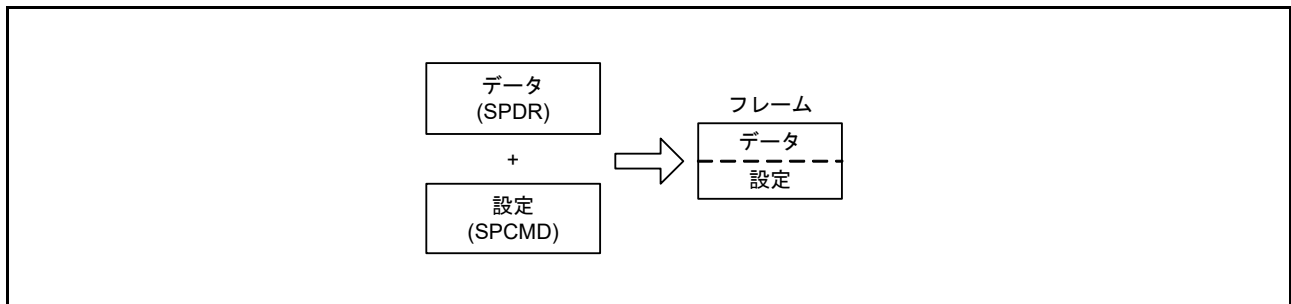


図 35.46 フレーム概念図

表 35.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 35.47 に示します。

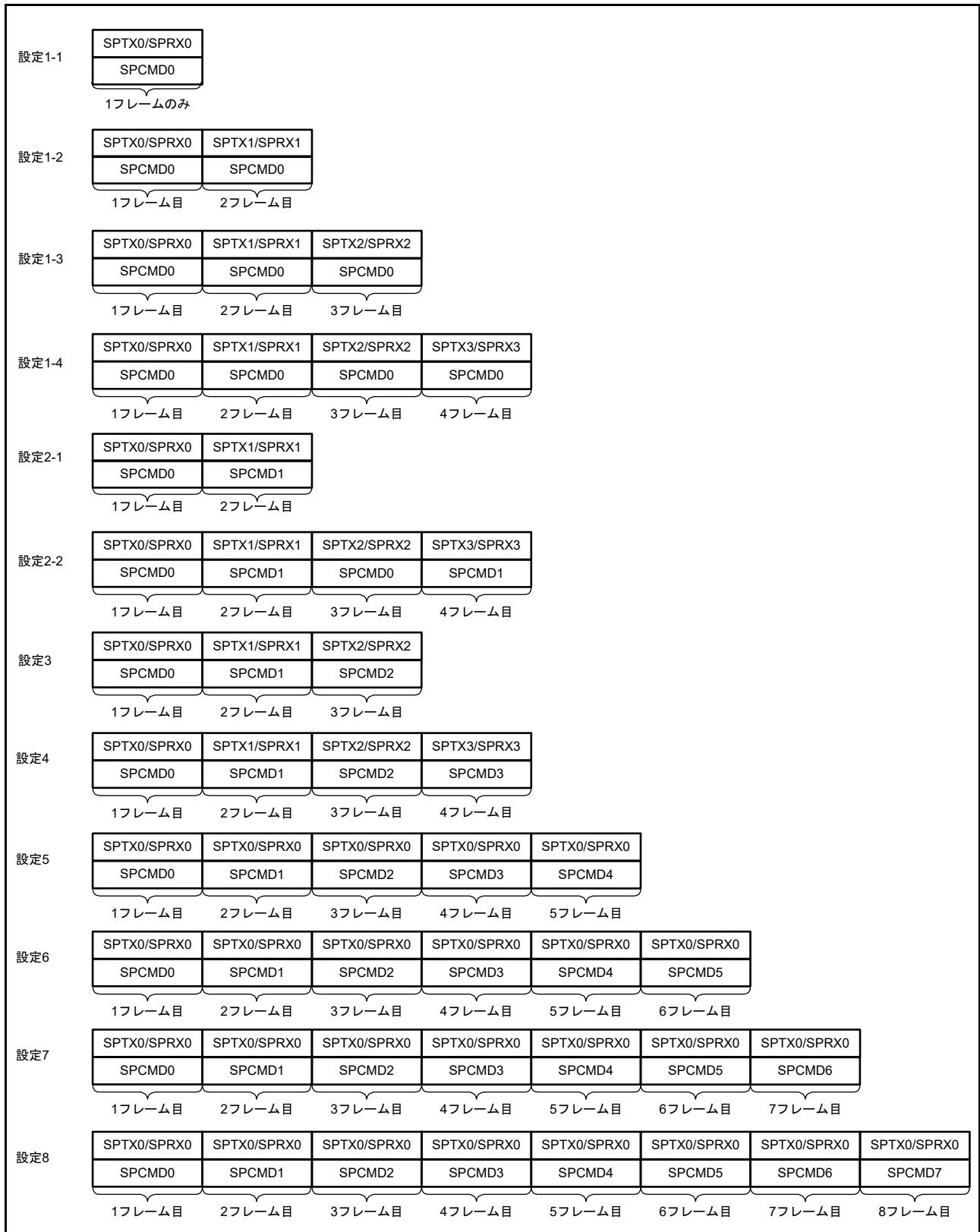


図 35.47 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 35.48 に、クロック同期式動作時の RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

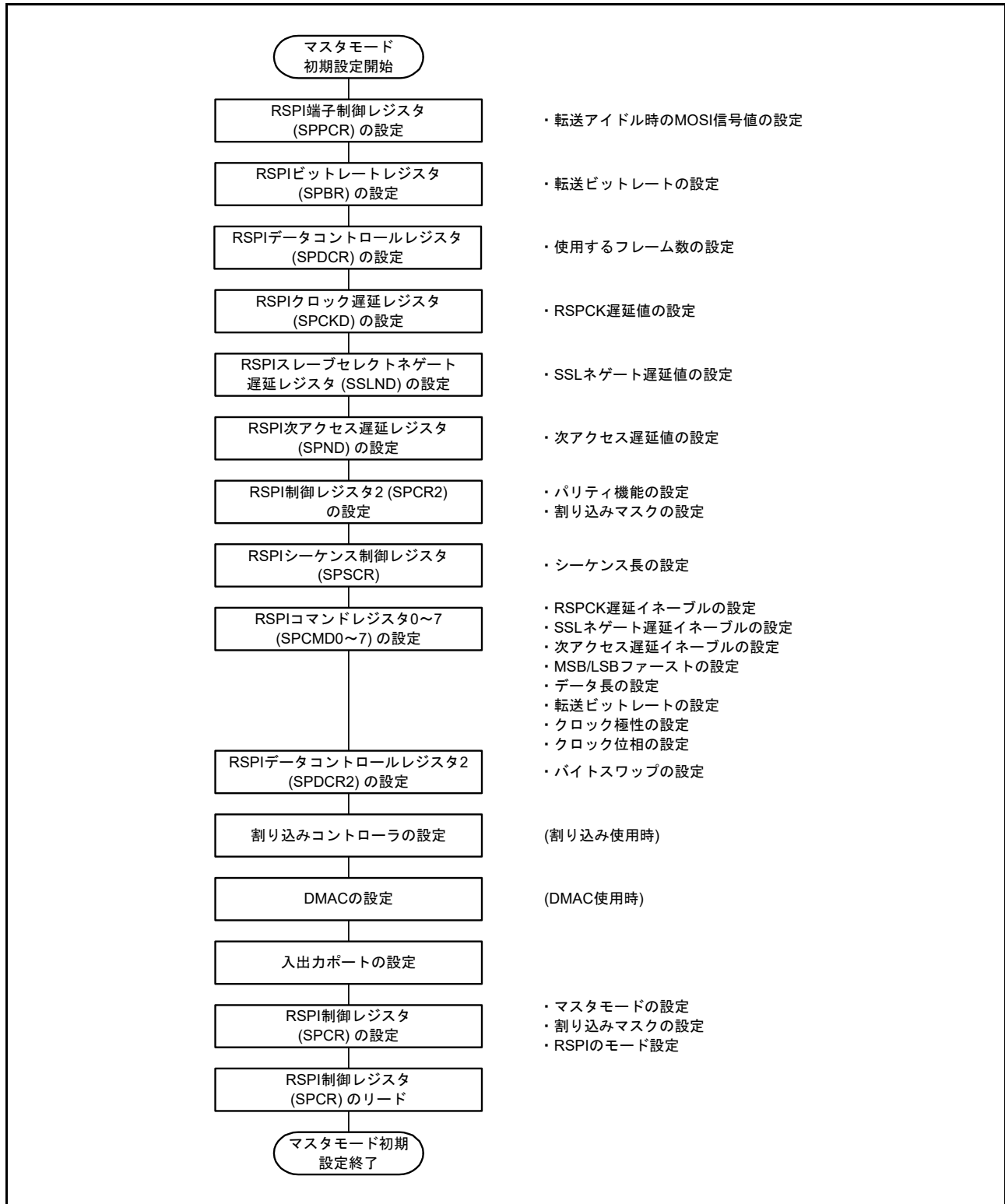


図 35.48 マスターモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「35.3.11.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

35.3.12.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCKAエッジがシリアル転送開始のトリガになります。

SPMSビットが“1”であるときは、RSPIはMISOA出力信号をドライブします。

なお、RSPIの転送フォーマットの詳細については、「35.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLA0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファが空(SPSR.SPRFフラグが“0”)の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「35.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 35.49 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

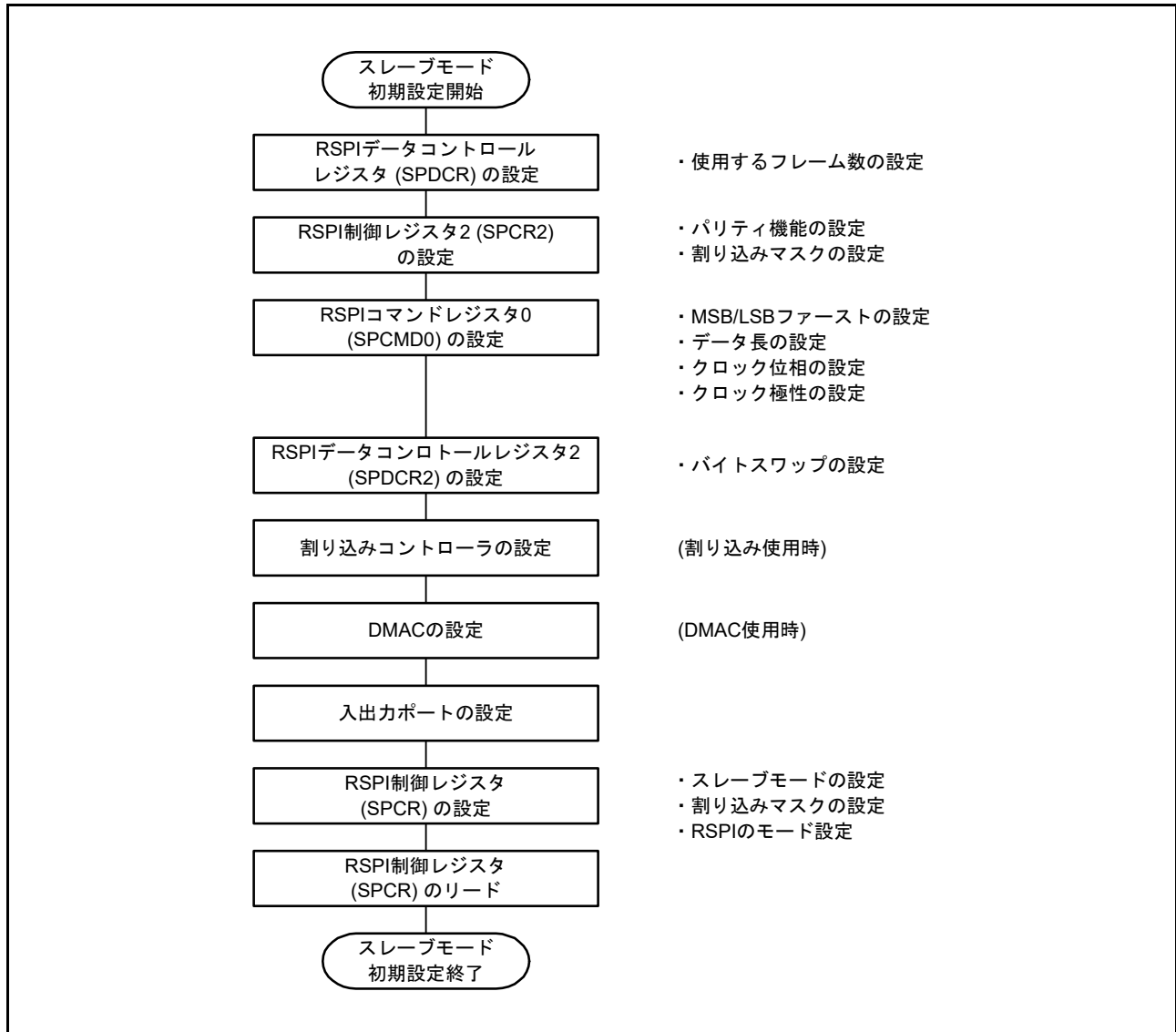


図 35.49 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「35.3.11.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

35.3.13 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIは SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 35.11 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 35.50 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 35.11 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIA 端子または MISOA 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

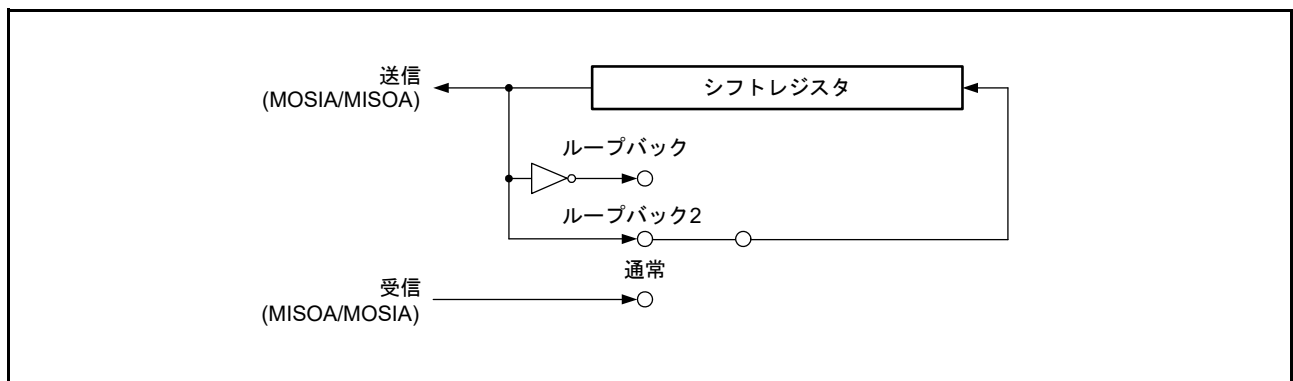


図 35.50 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

35.3.14 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 35.51 に示すのフローに従い、パリティ回路の自己診断を行います。

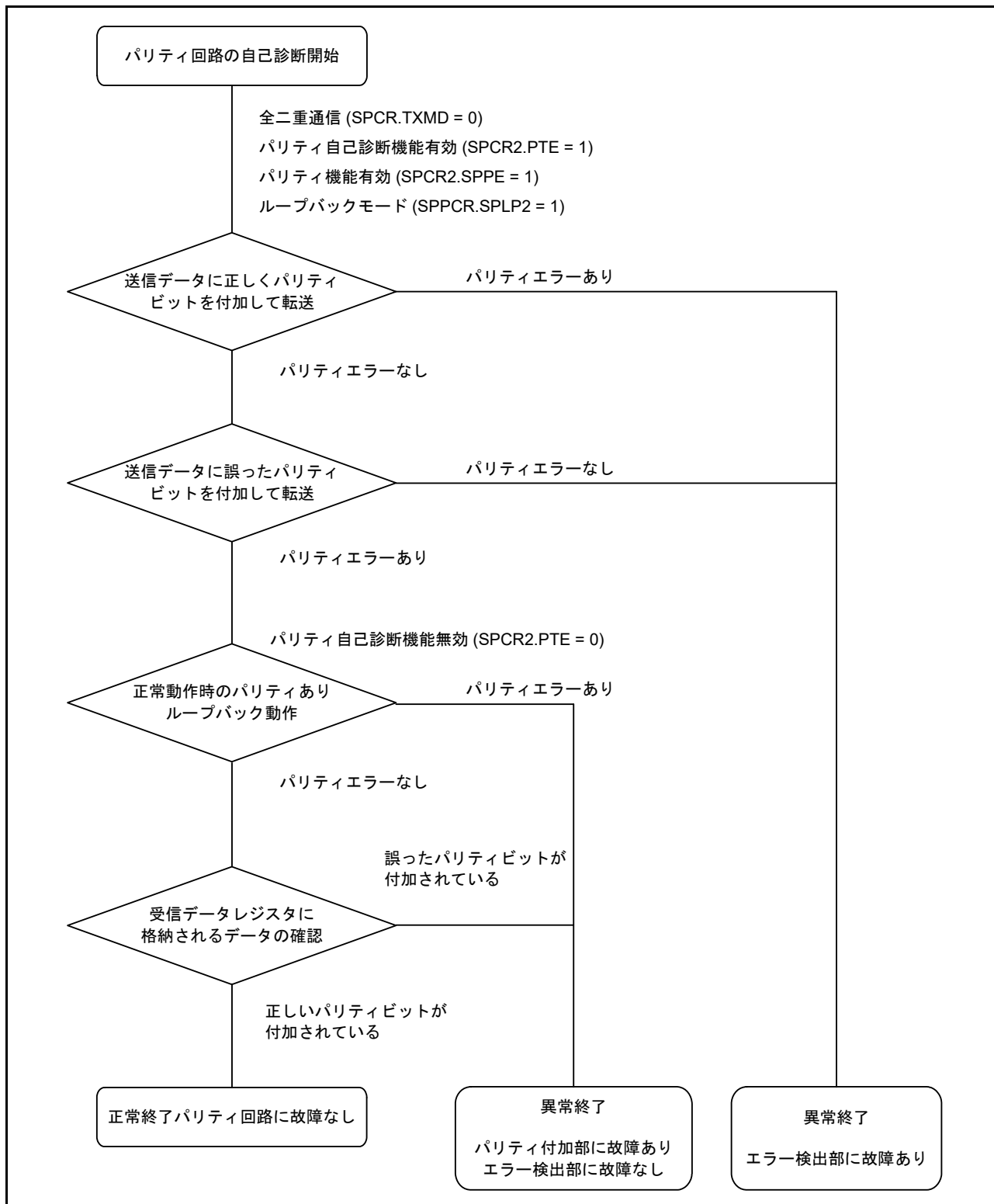


図 35.51 パリティ回路の自己判断フロー

35.3.15 割り込み要因

RSPIの割り込み要因には、受信バッファフル、送信バッファエンプティ、エラー(モードフォルト、アンダラン、オーバラン、パリティエラー)、アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDTC、DMACを起動し、データ転送を行うことができます。

モードフォルト、アンダラン、オーバラン、パリティエラーの割り込み要求がSPEIのベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表35.12にRSPIの割り込み要因を示します。表35.12の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTCまたはDMACを使って送受信を行う場合は、先にDTCまたはDMACを設定し、許可状態にしてからRSPIの設定を行ってください。DTCまたはDMACの設定方法は「17. DMAコントローラ(DMACA)」、「18. データトランスファコントローラ(DTCb)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IRフラグが“1”のときに割り込み発生条件となっても、ICUに対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1要因ごとに1要求までです)。ICU.IRn.IRフラグが“0”になると、ICUに対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット(SPCR.SPTIEビットまたはSPCR.SPRIEビット)を“0”にすることでクリアが可能です。

表35.12 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DMAC/DTC起動
受信バッファフル	SPRI	SPCR.SPRIEビットが“1”の状態を受信バッファフル(SPRFフラグが“1”)になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIEビットが“1”の状態を送信バッファエンプティ(SPTEFフラグが“1”)になったとき	可能
エラー(モードフォルト、アンダラン、オーバラン、パリティエラー)	SPEI	SPCR.SPEIEビットが“1”の状態でSPSR.MODF、UDRF、OVRF、またはPERFフラグが“1”)になったとき	不可能
アイドル	SPII	SPCR2.SPIIEビットが“1”の状態でSPSR.IDLNFフラグが“0”)になったとき	不可能

35.4 イベントリンク機能によるリンク動作

RSPIO はイベントリンクコントローラ (ELC) に対して次のイベント出力を行う機能を持っています。イベントリンク出力信号は、割り込み許可ビットに依存せず出力します。

35.4.1 受信バッファフルイベント出力

シリアル転送が終了してシフトレジスタから SPDR レジスタに受信データを転送したときに、イベントを出力します。

35.4.2 送信バッファエンプティイベント出力

送信バッファからシフトレジスタに送信データが転送されたとき、また、SPCR.SPE ビットを“0”から“1”に変化させたときにイベントを出力します。

35.4.3 モードフォルト/アンダラン/オーバラン/パリティエラーイベント出力

(1) モードフォルト

表 35.13 にモードフォルトイベント出力の発生条件を示します。

表 35.13 モードフォルトイベント出力の発生条件

	SPCR.MODFEN ビット	SSLA0端子	備考
マスタ (SPCR.MSTR ビットが“1”)	1	アクティブ	MSTR ビットが“1”かつ SPCR.MODFEN ビットが“1”のとき、SPCR.SPMS ビットが“0”では、モードフォルトエラーおよびオーバランエラー、パリティエラーイベント出力は使用できません。ELSRn レジスタに“52h”を設定しないでください。
スレーブ (SPCR.MSTR ビットが“0”)	1	非アクティブ	通信動作中に SSLA0 端子が非アクティブになった場合のみイベント出力

(2) アンダラン

アンダランイベント出力の発生条件として、SPCR.MSTR ビットが“0”、かつ SPCR.SPE ビットが“1”で、送信バッファに送信データが書き込まれていないときにシリアル転送が開始されると、UDRF フラグと MODF フラグが“1”になり、イベントが出力されます。

(3) オーバラン

オーバランイベント出力の発生条件として、SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき、OVRF フラグが“1”となり、イベントを出力します。

(4) パリティエラー

パリティエラーイベント出力の発生条件として、SPCR の TXMD ビットが“0”、SPCR2 の SPPE ビットが“1”の状態ではシリアル転送が終了し、パリティエラーが検出されたとき、イベントを出力します。

35.4.4 アイドルイベント出力

(1) マスタモード時

マスタモード時は、IDLNF フラグ (アイドルフラグ) が “0” になる条件が成立したときイベントを出力します。

(2) スレーブモード時

スレーブモード時は、SPCR.SPE ビットが “0” (RSPI 初期化) のとき、イベントを出力します。

35.4.5 送信完了イベント出力

SPI 動作、クロック同期式動作ともマスタモードのときは、IDLNF フラグ (アイドルフラグ) が “1” から “0” になる条件でイベントを出力します。スレーブモード時は表 35.14 に示す条件でイベントを出力します。

表 35.14 送信完了イベント出力の発生条件(スレーブモード)

RSPIモード	送信バッファ状態	シフトレジスタ状態	その他
SPI動作(SPMS = 0)	エンプティ	エンプティ	SSLA0入力ネゲート
クロック同期式動作(SPMS = 1)	エンプティ	エンプティ	最終データのRSPCKA最終偶数エッジ検出

マスタモード/スレーブモードに関わらず、送信動作中に SPCR.SPE ビットに “0” を書いたとき、またはモードフォルトエラーが発生して SPCR.SPE ビットがクリアされたときはイベントを出力しません。

35.5 使用上の注意事項

35.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止 / 許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

35.5.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

35.5.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

35.5.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF、SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE、SPTIE ビットを“0”にしてください。

36. CRC演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRCコード生成を行います。

36.1 概要

表 36.1 に CRC 演算器の仕様を示します。図 36.1 に CRC 演算器のブロック図を示します。

表 36.1 CRC演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコードを生成 (n=自然数)
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位で書いてください。

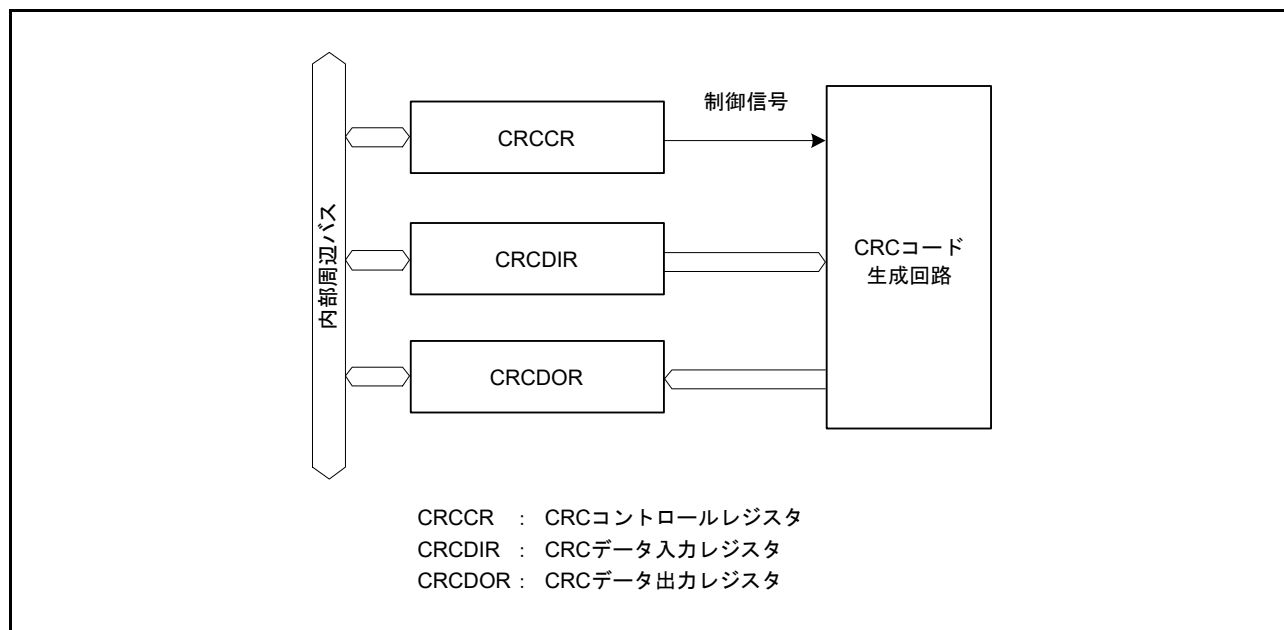


図 36.1 CRC演算器のブロック図

36.2 レジスタの説明

36.2.1 CRCコントロールレジスタ (CRCCR)

アドレス 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	—	—	—	—	LMS	GPS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 0 0 : 演算しません 0 1 : 8ビットCRC ($X^8 + X^2 + X + 1$) 1 0 : 16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 1 1 : 16ビットCRC ($X^{16} + X^{12} + X^5 + 1$)	R/W
b2	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア 読むと“0”が読めます	R/W (注1)

注1. “1”のみ書けます。

LMSビット (CRC演算切り替えビット)

生成した16ビットのCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイト (b7～b0) から先に、MSBファーストで通信を行う場合はCRCコードの上位バイト (b15～b8) から先に送信してください。CRCコードの送信および受信については、「36.3 CRC演算器の動作説明」を参照してください。

DORCLRビット (CRCDORレジスタクリアビット)

DORCLRビットを“1”にすると、CRCDORレジスタが“0000h”になります。

読むと“0”が読めます。“1”のみ書けます。

36.2.2 CRCデータ入力レジスタ (CRCDIR)

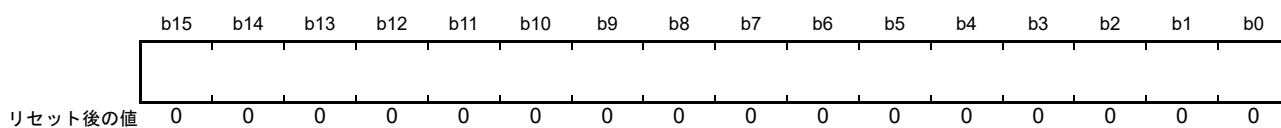
アドレス 0008 8281h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDIRレジスタは、読み出し／書き込み可能なレジスタです。CRC演算対象となるデータを書いてください。

36.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、読み出し／書き込み可能なレジスタです。

初期値は "0000h" ですので、初期値以外を用いて演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRC 演算し、結果が "0000h" の場合、誤りがないと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。

36.3 CRC演算器の動作説明

CRC演算器は、LSBファースト/MSBファースト通信用CRCコードを生成します。

16ビットのCRC生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) のCRCコードを生成する例を以下に示します。この例ではCRC演算の前に、CRCデータ出力レジスタ (CRCDOR) の値をクリアします。

8ビットCRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、CRCDORレジスタの下位バイトに有効なCRCコードが得られます。

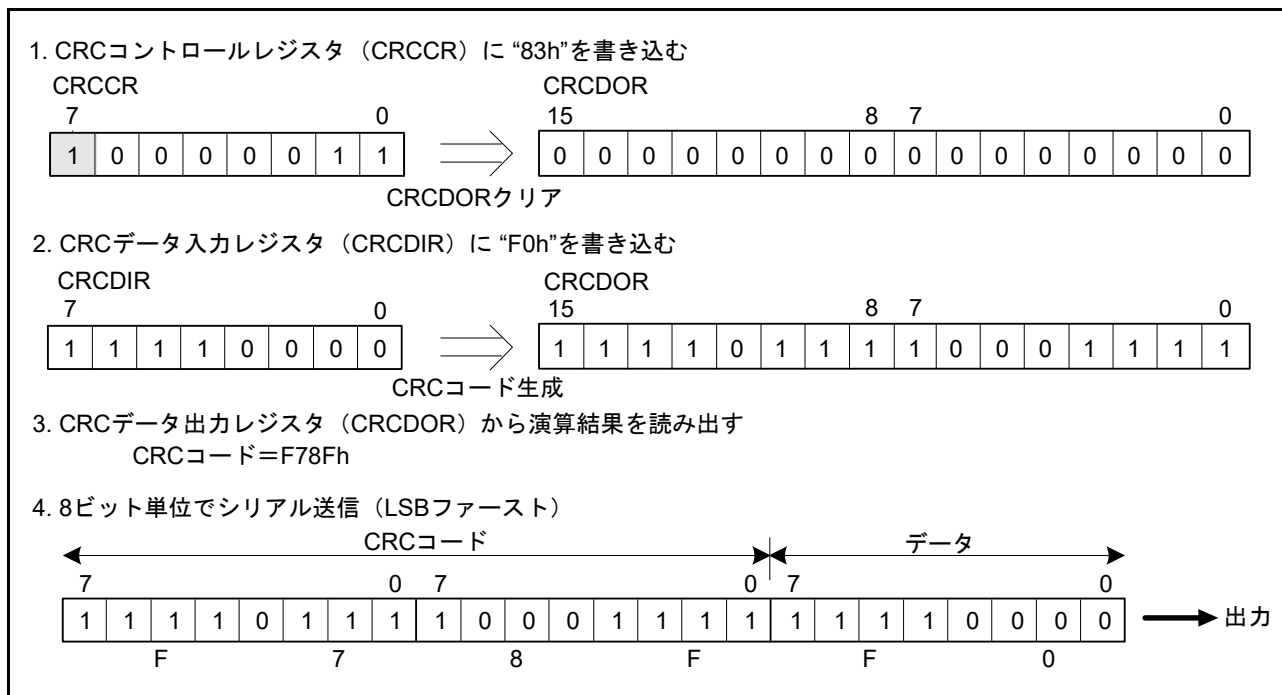


図 36.2 LSBファーストでのデータ送信

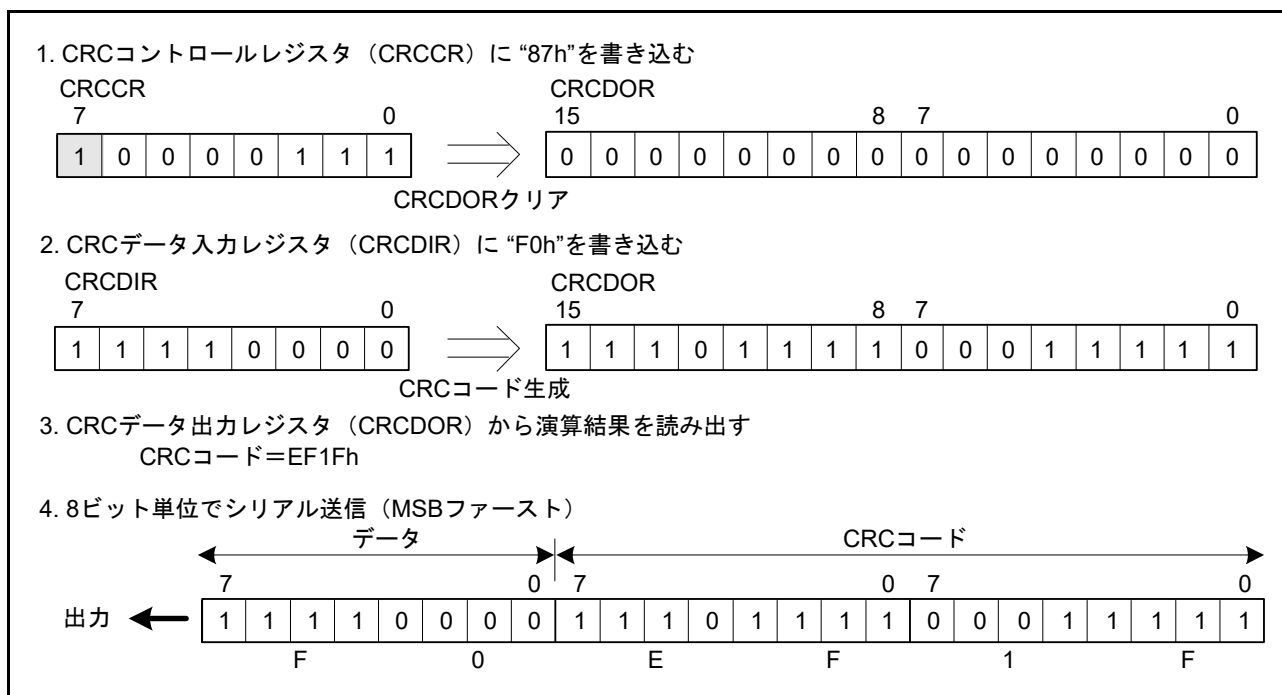


図 36.3 MSBファーストでのデータ送信

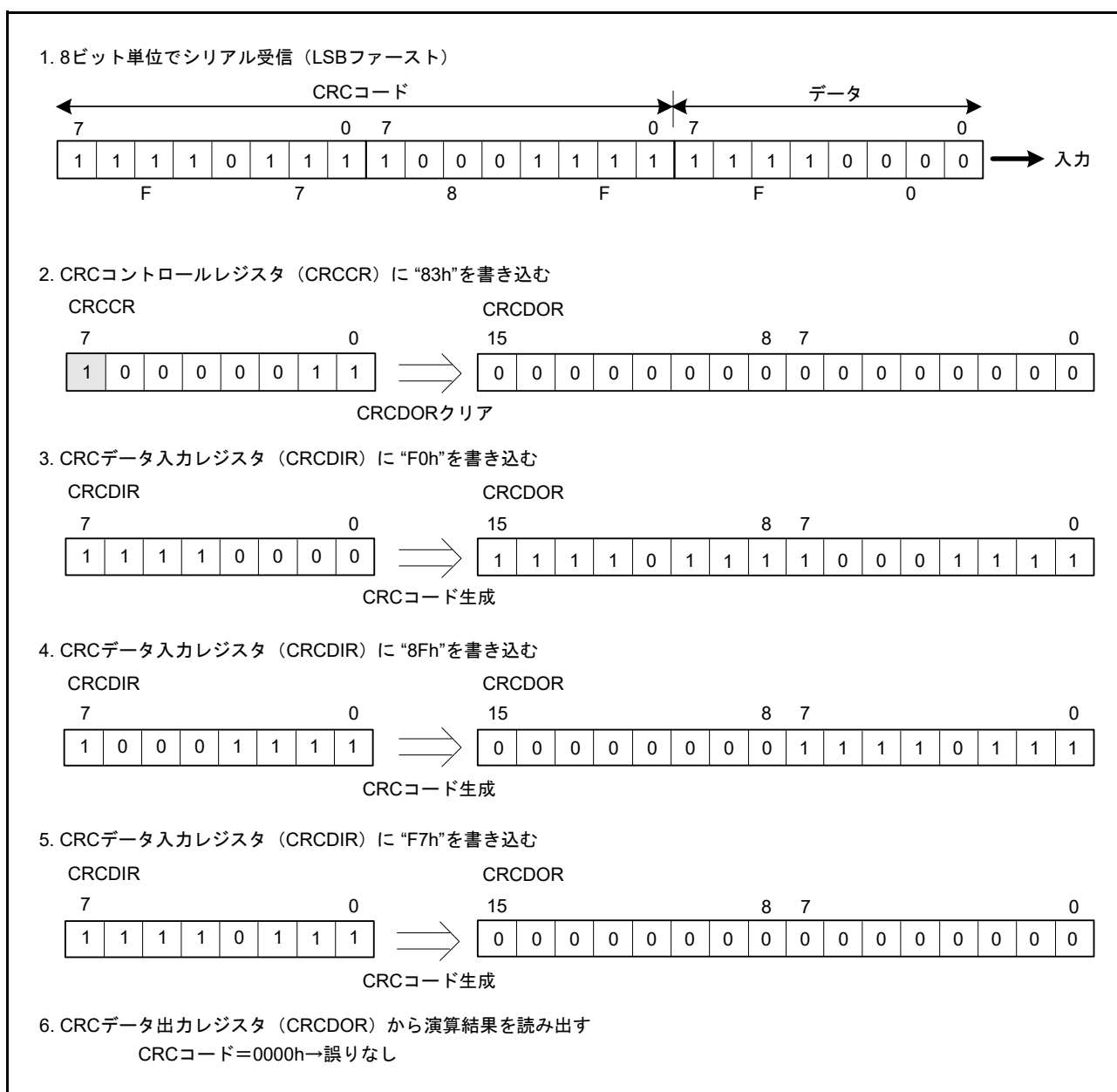


図 36.4 LSBファーストでのデータ受信

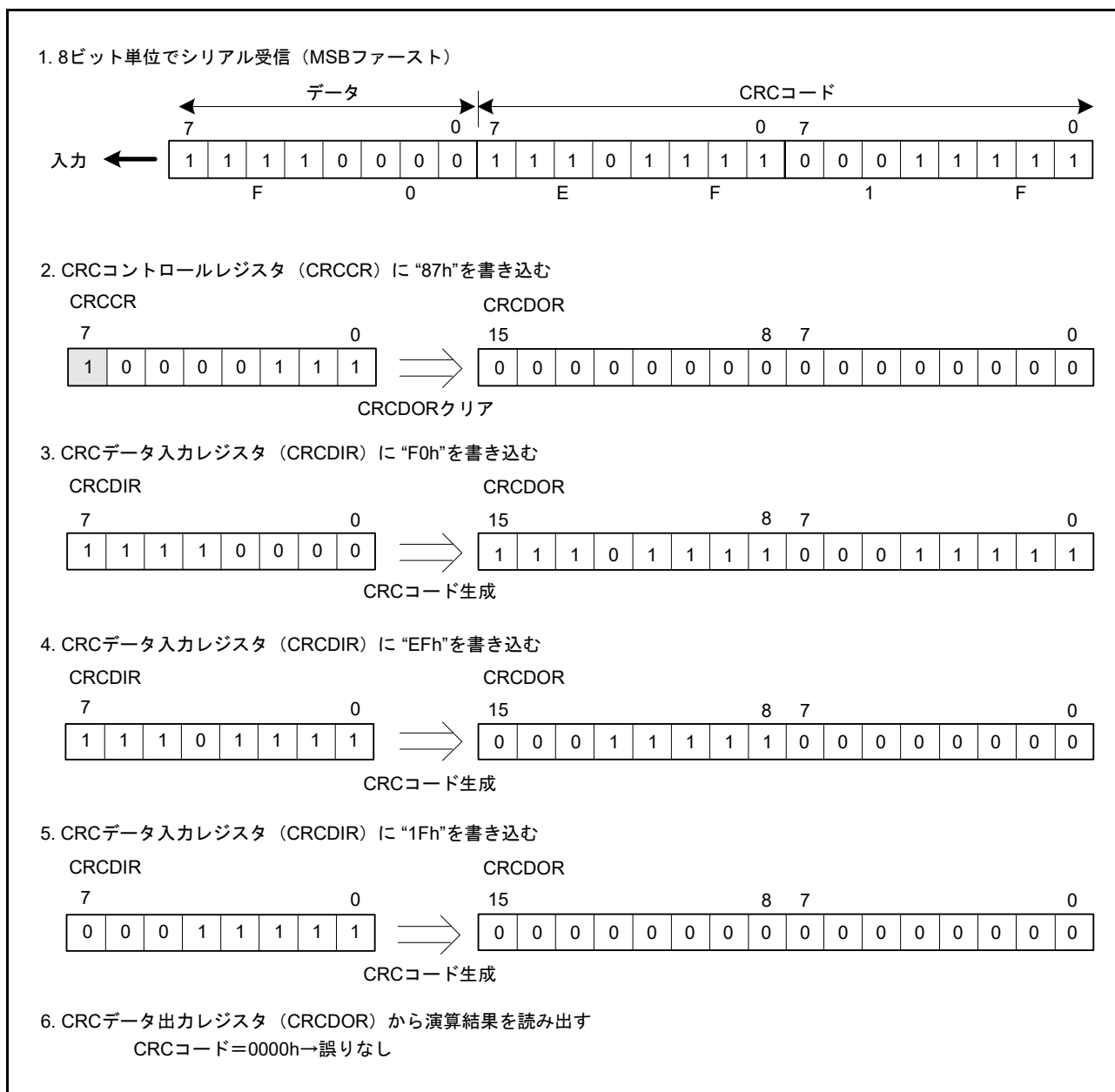


図 36.5 MSBファーストでのデータ受信

36.4 使用上の注意事項

36.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止/許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

36.4.2 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードを送る順序が異なりますので注意してください。

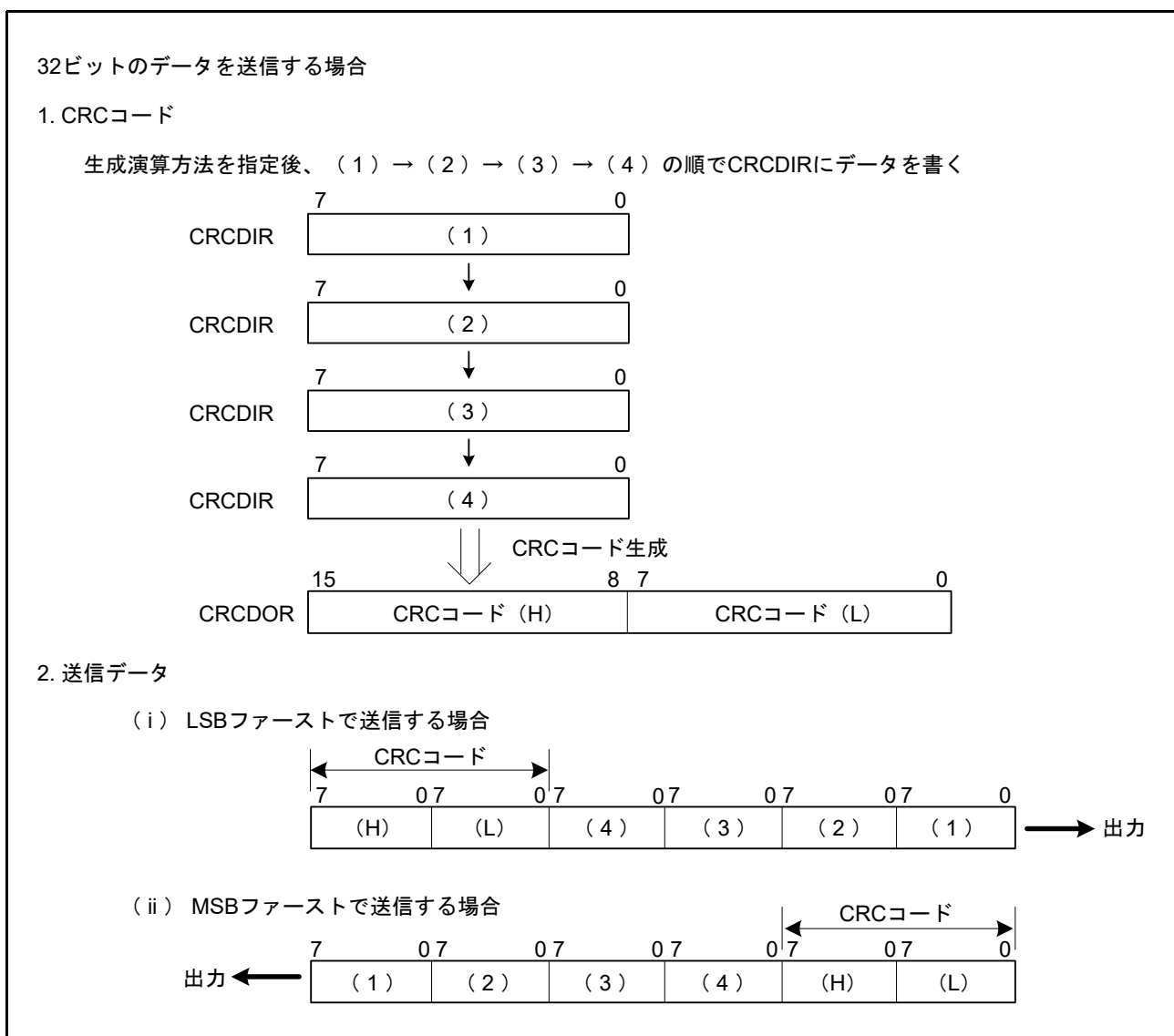


図 36.6 LSB ファーストと MSB ファーストの送信データ

37. リモコン信号受信機能 (REMCA)

本 MCU は、リモコン信号受信機能 (REMC0) を内蔵しています。REMC は、リモコン信号などの外部パルス入力信号のパルス幅や周期を検査し、データを受信することができます。

37.1 概要

表 37.1 に REMC の仕様、図 37.1 に REMC のブロック図を示します。

表 37.1 REMC の仕様

項目	内容
外部パルス入力	PMCO
動作クロック源(注1)	<ul style="list-style-type: none"> • IWDTCCLK(注2) • サブクロック • TMRコンペアマッチ出力(TMO0) • PCLKB
検査パターン	<ul style="list-style-type: none"> • ヘッダパターン • データ“0”パターン • データ“1”パターン • 特殊データパターン
受信バッファ	8バイト(64ビット)
割り込み要求信号	REMCIO
割り込み要因	<ul style="list-style-type: none"> • コンペアー一致(比較ビット数: 1~16ビット) • 受信エラー • データ受信完了 • 受信バッファフル • ヘッダパターン一致 • データ“0”パターンまたはデータ“1”パターン一致 • 特殊データパターン一致
割り込みモード	<p>コンペアー一致、データ受信完了、ヘッダパターン一致、特殊データパターン一致の4つの割り込み要因に対し、以下の2つの割り込みモードのどちらかを選択可能</p> <ul style="list-style-type: none"> • ノーマル割り込みモード いずれかの割り込み要求発生条件が成立したとき、割り込み要求が発生 • シーケンシャル割り込みモード 許可されたすべての要因に対して割り込み要求発生条件が成立したとき、割り込み要求が発生
機能選択	<ul style="list-style-type: none"> • 入力信号反転 • デジタルフィルタ(3度または2度一致)(注3) • パターンエンド設定
消費電力低減機能	<ul style="list-style-type: none"> • モジュールストップ状態への遷移が可能 • 低消費電力状態での信号受信、REMC割り込み要求による低消費電力状態からの復帰が可能

注1. 周辺モジュールクロック(PCLKB)周波数 > REMC動作クロック周波数となるようにしてください。

注2. IWDTCCLKはIWDTC専用オンチップオシレータから供給されるクロックです。

注3. デジタルフィルタのサンプリングクロックは、REMC0N1.CSRC[3:0]ビットで選択した動作クロック、またはIWDTCCLKです。

37.2 レジスタの説明

37.2.1 機能選択レジスタ 0 (REMCON0)

アドレス REMC0.REMCON0 000A 0B00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	FILSEL	—	EC	INFLG	FIL	INV	ENFLG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENFLG	リモコンステータスフラグ(注1)	0: 停止 1: 動作中	R
b1	INV	入力信号反転ビット(注2)	0: 反転なし 1: 反転あり	R/W
b2	FIL	デジタルフィルタ有効無効設定ビット(注2)	0: 3度または2度一致デジタルフィルタ無効 1: 3度または2度一致デジタルフィルタ有効	R/W
b3	INFLG	入力信号フラグ(注1)	0: リモコン信号受信機能の内部入力信号のレベルがLow 1: リモコン信号受信機能の内部入力信号のレベルがHigh	R
b4	EC	受信エラー取り込み動作選択ビット(注2)	0: エラーパターン受信後のデータを取り込む 1: エラーパターン受信後のデータを取り込まない	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	FILSEL	デジタルフィルタ機能選択ビット(注2)	0: 3度一致デジタルフィルタ 1: 2度一致デジタルフィルタ	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. REMCON1.ENビットを“0”にすると、“0”になります。

注2. ビットの書き換えはREMC0.ENFLGビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

ENFLG フラグ (リモコンステータスフラグ)

リモコン信号受信機能が動作停止中か動作中か確認できます。

ENFLG フラグは REMCON1.EN ビットへの書き込み後、動作クロック 0～1クロック後に変化します。

FIL ビット (デジタルフィルタ有効無効設定ビット)

デジタルフィルタの有効/無効を選択します。

INFLG フラグ (入力信号フラグ)

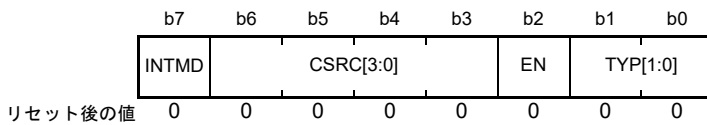
リモコン信号受信機能の内部入力信号のレベルが確認できます。リモコン信号受信機能の内部入力信号の確認できるレベルは INV ビットおよび FIL ビットで設定した結果です。

EC ビット (受信エラー取り込み動作選択ビット)

エラーパターンを受信した後の REMRBIT、REMDATj レジスタ (j=0～7) への取り込み動作が設定できます。

37.2.2 機能選択レジスタ 1 (REMCON1)

アドレス REMC0.REMCON1 000A 0B01h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TYP[1:0]	受信モード選択ビット(注1)	リモコン信号波形を取り込むフォーマットが選択できます。 b1 b0 0 0 : 「37.3.3 パターン設定」に示すフォーマットA 0 1 : 「37.3.3 パターン設定」に示すフォーマットB 1 0 : 「37.3.3 パターン設定」に示すフォーマットC 1 1 : 設定しないでください	R/W
b2	EN	リモコン制御ビット	0 : 動作停止 1 : 動作許可	R/W
b6-b3	CSRC[3:0]	動作クロック選択ビット(注2)	b6 b3 x 0 0 0 : IWDTCCLK x 0 1 0 : TMRコンペアマッチ出力 x 1 0 0 : サブクロック 0 1 1 0 : PCLKB/64 1 1 1 0 : PCLKB/512 上記以外は設定しないでください	R/W
b7	INTMD	割り込みモード選択ビット(注2)	0 : ノーマル割り込みモード 1 : シーケンシャル割り込みモード	R/W

x : Don't care

注1. REMCON1.ENビット、またはREMC0.ENFLGフラグが“1”(REMC動作)のときにTYP[1:0]ビットを書き換える場合、1ビットずつ値を変更してください。

注2. ビットの書き換えはREMC0.ENFLGフラグとともに“0”(REMC停止)のときに実施してください。

ENビット(リモコン制御ビット)

REMCの動作許可、停止を制御するビットです。

動作が開始または停止したかどうかは、REMC0.ENFLGフラグで確認してください。

CSRC[3:0]ビット(動作クロック選択ビット)

REMCの動作クロックを選択するビットです。

動作クロック周波数 < PCLKB周波数となるようにしてください。

INTMDビット(割り込みモード選択ビット)

割り込みモードを選択するビットです。

ノーマル割り込みモードは、割り込み制御レジスタ(REMINT)で割り込み許可“1”に設定した要因のOR条件で割り込みを発生します。

シーケンシャル割り込みモードは、REMINTレジスタで割り込み許可“1”に設定した要因のAND条件の成立で割り込みを発生します。

各割り込みモードの割り込み発生要因については、「37.3.12 割り込み」を参照してください。

37.2.3 ステータスレジスタ (REMSTS)

アドレス REMC0.REMSTS 000A 0B02h

b7	b6	b5	b4	b3	b2	b1	b0
SDFLG	D1FLG	D0FLG	HDFLG	BFULFLG	DRFLG	REFLG	CPFLG

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPFLG	コンペアー一致フラグ	0: 不一致 1: 一致	R
b1	REFLG	受信エラーフラグ	0: エラー発生なし 1: エラー発生あり	R
b2	DRFLG	データ受信フラグ	0: データ待ち 1: データ受信中	R
b3	BFULFLG	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信バッファフル(64ビット受信)	R/(W) (注1)
b4	HDFLG	ヘッダパターン一致フラグ	0: 不一致 1: 一致	R
b5	D0FLG	データ“0”パターン一致フラグ	0: 不一致 1: 一致	R
b6	D1FLG	データ“1”パターン一致フラグ	0: 不一致 1: 一致	R
b7	SDFLG	特殊データパターン一致フラグ	0: 不一致 1: 一致	R

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「37.4.9 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットを“0”にすると、このレジスタは“00h”になります。

注1. フラグをクリアするための“0”を書くことのみ可能です。ただし、書き込みタイミングがREMC0.INFLGフラグの切り替わり時の場合、不定となる場合があります。

CPFLG フラグ (コンペアー一致フラグ)

REMCPC.CPN[3:0] ビットで指定された REMCPD レジスタの値と REMDAT1、REMDAT0 レジスタに格納するデータの比較結果を示すフラグです。

[“1”になる条件]

- REMCPC.CPN[3:0] レジスタと REMDAT1、REMDAT0 レジスタに格納する値が一致するとき (REMCPC.CPN[3:0] ビットの設定値を n とすると、REMCPC.CPN[3:0] レジスタのビット n ~ ビット 0 と、REMDAT1、REMDAT0 レジスタのビット n ~ ビット 0 が一致)

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- HDFLG フラグが“0”から“1”になるとき

REFLG フラグ (受信エラーフラグ)

受信エラーが発生したことを示します。REMC0N1.TYP[1:0] ビットの設定により“1”になる条件が異なります。

[“1”になる条件]

REMC0N1.TYP[1:0] ビットが“00b”(フォーマット A)の場合

- ヘッダパターン受信前に、データ“0”パターン、データ“1”パターン、特殊データパターンを検出したとき
 - 入力信号の立ち上がりから立ち上がりまでの幅が、ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのいずれでもなかったとき (REMC0N0.INV ビットが“0”の場合)
 - データ受信完了(DRFLGフラグが“1”から“0”になるタイミング)と新しい入力信号の変化が競合したとき
- REMC0N1.TYP[1:0] ビットが“01b”(フォーマット B)の場合

- ヘッダパターン受信前に、データ“0”パターン、データ“1”パターン、特殊データパターンを検出したとき
 - 入力信号の立ち下がりから立ち下がりまでの幅が、データ“0”パターン、データ“1”パターン、特殊データパターンのいずれでもなかったとき (REMC0N0.INV ビットが“0”の場合)
 - データ受信完了(DRFLGフラグが“1”から“0”になるタイミング)と新しい入力信号の変化が競合したとき
- REMC0N1.TYP[1:0] ビットが“10b”(フォーマット C)の場合

- 入力信号の立ち上がりから立ち上がりまでの幅が、ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのいずれでもなかったとき (REMC0N0.INV ビットが“0”の場合)
- データ受信完了(DRFLGフラグが“1”から“0”になるタイミング)と新しい入力信号の変化が競合したとき

[“0”になる条件]

- ヘッダパターンを検出したとき
- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)

DRFLG フラグ (データ受信フラグ)

リモコン信号の受信状態を示します。

[“1”になる条件]

- REMC 内部入力信号の立ち上がりエッジ (REMC0N0.INV ビットが“0”の場合)

[“0”になる条件]

- ベースタイマの値が HDPMAX、DOPMAX、D1PMAX、SDPMAX、REMPE レジスタのどの値よりも大きい (ベースタイマの値がこれらのレジスタの値よりも大きくなると、動作クロックの1サイクル後に“0”になる)

BFULFLG フラグ (受信バッファフルフラグ)

[“1”になる条件]

- REMRBIT レジスタの値が“64”になるとき

[“0”になる条件]

- HDFLG フラグが“0”から“1”になるとき
- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- BFULFLG フラグに“0”を書き込んだ後、動作クロックの1～2サイクル後に“0”になる

HDFLG フラグ (ヘッダパターン一致フラグ)

[“1”になる条件]

- 「表 37.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 37.3 測定結果とフラグの関係」を参照

D0FLG フラグ (データ“0”パターン一致フラグ)

[“1”になる条件]

- 「表 37.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 37.3 測定結果とフラグの関係」を参照

D1FLG フラグ (データ“1”パターン一致フラグ)

[“1”になる条件]

- 「表 37.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 37.3 測定結果とフラグの関係」を参照

SDFLG フラグ (特殊データパターン一致フラグ)

[“1”になる条件]

- 「表 37.3 測定結果とフラグの関係」を参照

[“0”になる条件]

- DRFLG フラグが“0”から“1”になるとき (次のフレームの受信開始)
- REFLG フラグが“0”から“1”になるとき
- 「表 37.3 測定結果とフラグの関係」を参照

表 37.3 測定結果とフラグの関係

REMTIMレジスタの内容(計測結果)と各レジスタとの比較結果	フラグの内容			
	HDFLG	D0FLG	D1FLG	SDFLG
HDPMIN以上 HDPMAX以下	1	0	0	0
D0PMIN以上 D0PMAX以下	0	1(注1)	0	0
D1PMIN以上 D1PMAX以下	0	0	1(注1)	0
SDPMIN以上 SDPMAX以下	0	0	0	1(注1)
上記以外	0	0	0	0

注1. REMCON1.TYP[1:0]ビットが“00b”または“01b”の場合、ヘッダパターン検出より前なら、D0FLG、D1FLG、SDFLGフラグは変化しません。

37.2.4 割り込み制御レジスタ (REMINT)

アドレス REMC0.REMINT 000A 0B03h

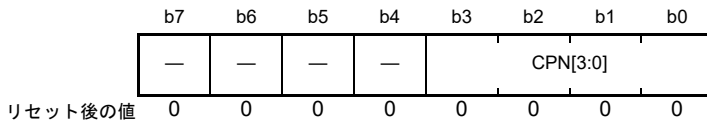
	b7	b6	b5	b4	b3	b2	b1	b0
	SDINT	—	DINT	HDINT	BFULINT	DRINT	REINT	CPINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPINT	コンペアー致割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	REINT	受信エラー割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b2	DRINT	データ受信完了割り込み許可ビット	0: 禁止 1: 許可	R/W
b3	BFULINT	受信バッファフル割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b4	HDINT	ヘッダパターン一致割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W
b5	DINT	データ“0”パターンまたはデータ“1”パターン一致割り込み許可ビット	0: 禁止 1: 許可	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b7	SDINT	特殊データパターン一致割り込み許可ビット(注1)	0: 禁止 1: 許可	R/W

注1. ビットの書き換えはREMC0.REMINT0.ENビットと、REMC0.REMINT0.ENFLGフラグがともに“0”(REMCA停止)のときに実施してください。

37.2.5 コンペア制御レジスタ (REMCPC)

アドレス REMC0.REMCPC 000A 0B05h

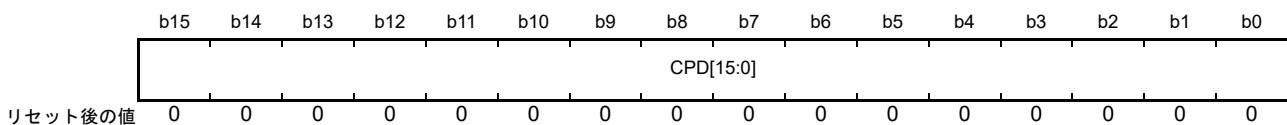


ビット	シンボル	ビット名	機能	R/W
b3-b0	CPN[3:0]	コンペアビット数指定ビット(注1)	b3 b0 0 0 0 0 : REMCPD レジスタのビット0と、 REMDATA0 レジスタのビット0を比較 0 0 0 1 : REMCPD レジスタのビット1、ビット0と、 REMDATA0 レジスタのビット1、ビット0を比較 : 0 1 1 1 : REMCPD レジスタのビット7~ビット0と、 REMDATA0 レジスタのビット7~ビット0を比較 : 1 0 0 1 : REMCPD レジスタのビット9~ビット0と、 REMDATA1 レジスタのビット1、ビット0、 REMDATA0 レジスタのビット7~ビット0を比較 : 1 1 1 1 : REMCPD レジスタのビット15~ビット0と、 REMDATA1 レジスタのビット7~ビット0、 REMDATA0 レジスタのビット7~ビット0を比較	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

37.2.6 コンペア値設定レジスタ (REMCPD)

アドレス REMC0.REMCPD 000A 0B06h

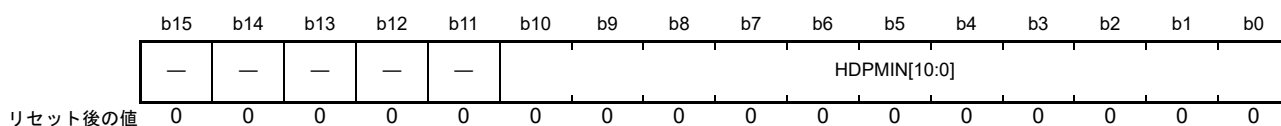


ビット	シンボル	ビット名	機能	R/W
b15-b0	CPD[15:0]	コンペア値設定ビット(注1)	コンペア機能使用時にREMDAT1、REMDAT0レジスタの内容と比較する値を設定してください。 REMCPC.CPN[3:0]ビットで、比較するビット数を設定できます	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

37.2.7 ヘッダパターン最小幅設定レジスタ (HDPMIN)

アドレス REMC0.HDPMIN 000A 0B08h

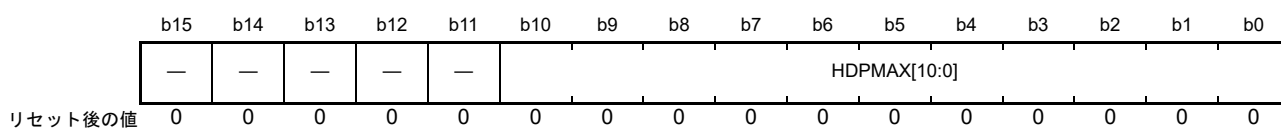


ビット	シンボル	ビット名	機能	R/W
b10-b0	HDPMIN[10:0]	ヘッダパターン最小幅設定ビット(注1)	ヘッダパターンの最小幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

37.2.8 ヘッダパターン最大幅設定レジスタ (HDPMAX)

アドレス REMC0.HDPMAX 000A 0B0Ah

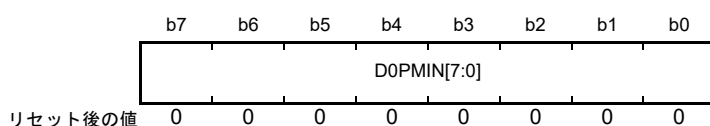


ビット	シンボル	ビット名	機能	R/W
b10-b0	HDPMAX[10:0]	ヘッダパターン最大幅設定ビット(注1)	ヘッダパターンの最大幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

37.2.9 データ“0”パターン最小幅設定レジスタ (DOPMIN)

アドレス REMC0.DOPMIN 000A 0B0Ch

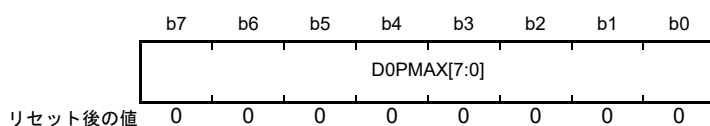


ビット	シンボル	ビット名	機能	R/W
b7-b0	DOPMIN[7:0]	データ“0”パターン最小幅設定ビット(注1)	データ“0”パターンの最小幅を設定してください 設定範囲“00h”~“FFh”	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

37.2.10 データ“0”パターン最大幅設定レジスタ (D0PMAX)

アドレス REMC0.D0PMAX 000A 0B0Dh

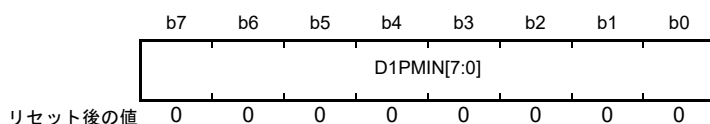


ビット	シンボル	ビット名	機能	R/W
b7-b0	D0PMAX[7:0]	データ“0”パターン最大幅設定ビット (注1)	データ“0”パターンの最大幅を設定してください 設定範囲“00h”～“FFh”	R/W

注1. ビットの書き換えはREMCN1.ENビットと、REMCN0.ENFLGフラグがともに“0” (REMC停止)のときに実施してください。

37.2.11 データ“1”パターン最小幅設定レジスタ (D1PMIN)

アドレス REMC0.D1PMIN 000A 0B0Eh

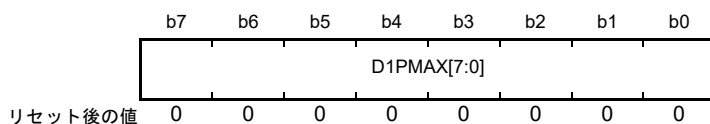


ビット	シンボル	ビット名	機能	R/W
b7-b0	D1PMIN[7:0]	データ“1”パターン最小幅設定ビット (注1)	データ“1”パターンの最小幅を設定してください 設定範囲“00h”～“FFh”	R/W

注1. ビットの書き換えはREMCN1.ENビットと、REMCN0.ENFLGフラグがともに“0” (REMC停止)のときに実施してください。

37.2.12 データ“1”パターン最大幅設定レジスタ (D1PMAX)

アドレス REMC0.D1PMAX 000A 0B0Fh

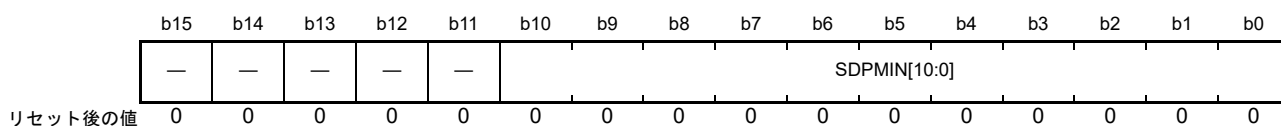


ビット	シンボル	ビット名	機能	R/W
b7-b0	D1PMAX[7:0]	データ“1”パターン最大幅設定ビット (注1)	データ“1”パターンの最大幅を設定してください 設定範囲“00h”～“FFh”	R/W

注1. ビットの書き換えはREMCN1.ENビットと、REMCN0.ENFLGフラグがともに“0” (REMC停止)のときに実施してください。

37.2.13 特殊データパターン最小幅設定レジスタ (SDPMIN)

アドレス REMC0.SDPMIN 000A 0B10h

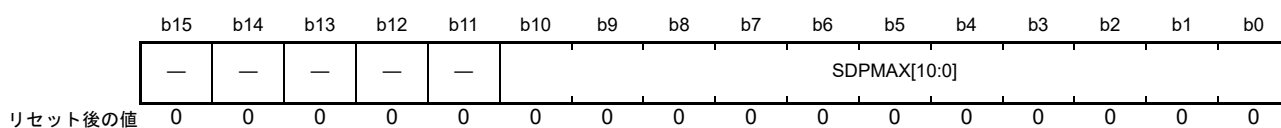


ビット	シンボル	ビット名	機能	R/W
b10-b0	SDPMIN[10:0]	特殊データパターン最小幅設定ビット (注1)	特殊データパターンの最小幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

37.2.14 特殊データパターン最大幅設定レジスタ (SDPMAX)

アドレス REMC0.SDPMAX 000A 0B12h

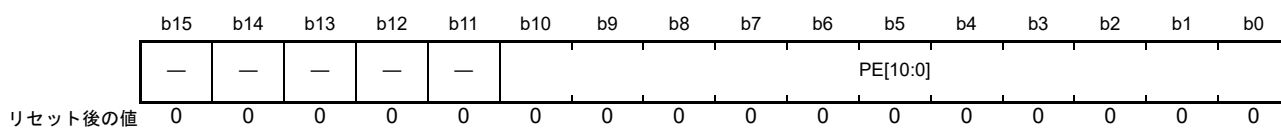


ビット	シンボル	ビット名	機能	R/W
b10-b0	SDPMAX[10:0]	特殊データパターン最大幅設定ビット (注1)	特殊データパターンの最大幅を設定してください 設定範囲“000h”~“7FFh”	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMC0.ENビットと、REMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

37.2.15 パターンエンド設定レジスタ (REMPE)

アドレス REMC0.REMPE 000A 0B14h



ビット	シンボル	ビット名	機能	R/W
b10-b0	PE[10:0]	パターンエンド幅設定ビット(注1)	パターンエンドの幅を設定してください 設定範囲“000h”~“7FFh” REMSTS.DRFLGフラグが、“1”から“0”になるタイミングを設定できます。	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ビットの書き換えはREMCON1.ENビットと、REMCON0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

37.2.16 受信機能スタンバイコントロールレジスタ (REMSTC)

アドレス REMC0.REMSTC 000A 0B16h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DNFSL	LPCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LPCE	ローパワー制御許可ビット(注1)	0: ソフトウェアスタンバイモード中のPCLK供給を禁止 1: ソフトウェアスタンバイモード中のPCLK供給を許可	R/W
b1	DNFSL	デジタルフィルタクロック選択ビット(注2)	0: REMC動作クロックでサンプリング 1: IWDTCLKでサンプリング	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. REMCON1.ENビットとREMC0.ENFLGフラグがともに“0”(REMC停止)のとき、“1”にしてください。

注2. ビットの書き換えはREMC0.ENFLGフラグがともに“0”(REMC停止)のときに実施してください。

LPCE ビット (ローパワー制御許可ビット)

ソフトウェアスタンバイモード中にPMC0端子の入力レベルが変化したとき、PCLK供給を許可するか禁止するかを選択します。

PCLK要求信号をスヌーズモードへの遷移条件に設定(SNZCR.REMCSNZSEL[1:0]ビット=10b)し、LPCEビットを“1”(ソフトウェアスタンバイモード中のPCLK供給を許可)にした場合、PMC0端子の入力レベルが変化すると、MCUがスヌーズモードに遷移し、ソフトウェアスタンバイモード移行前に動作していた各発振器が動作を再開し、PCLKの供給を開始します。この機能により、REMCの動作クロックにPCLKB/64、PCLKB/512を選択した場合でもソフトウェアスタンバイモード中のデータ受信が可能です。なお、PCLKの供給が再開されるのは、発振器の発振安定待ち時間が経過した後になります。その間、REMC動作クロックは供給されず、ベースタイマは停止状態となりますので、システムクロックソースには高速オンチップオシレータ(HOCO)を選択してください。

LPCEビットを“1”にする場合は、REMC0.FILビットを“1”(デジタルフィルタ有効)に、DNFSLビットを“1”(IWDTCLKでサンプリング)にしてください。

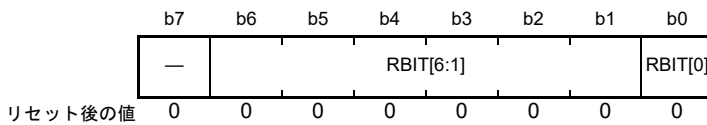
コンペア一致割り込み、ヘッダパターン一致割り込み等でソフトウェアスタンバイモードから復帰した後、LPCEビットを“0”にしてください。

DNFSL ビット (デジタルフィルタクロック選択ビット)

デジタルフィルタのサンプリングクロックを選択するビットです。LPCEビットを“1”(ソフトウェアスタンバイモード中のPCLK供給を許可)にする場合は、DNFSLビットを“1”にしてください。

37.2.17 受信ビット数レジスタ (REMRBIT)

アドレス REMC0.REMRBIT 000A 0B17h



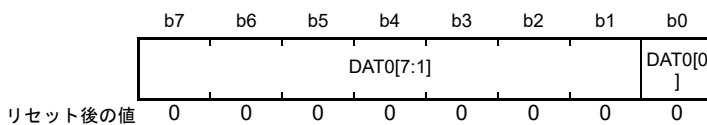
ビット	シンボル	ビット名	機能	R/W
b0	RBIT[0]	受信ビット数確認ビット0	受信ビット数が読めます。	R/W
b6-b1	RBIT[6:1]	受信ビット数確認ビット6～ビット1	検出したデータ“0”パターンまたはデータ“1”パターンの数をカウントし、格納するバッファのビット位置を示します。 <ul style="list-style-type: none"> “64” (“40h”) を超えると“1”に戻ります ヘッダパターン、特殊データパターンはカウントしません REMC0N0.ECビットが“1”でエラーを検出した場合、データ“0”パターンまたはデータ“1”パターンを検出してカウントアップしません REMSTS.DRFLGフラグが“0”から“1”になるとき、REMRBITレジスタは“00h”になります REMSTS.HDFLGフラグが“0”から“1”になるとき、REMRBITレジスタは“00h”になります REMRBIT.RBIT[0]ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後にREMRBITレジスタの値が“00h”になります。	R
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「37.4.9 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

37.2.18 受信データ 0 レジスタ (REMDAT0)

アドレス REMC0.REMDAT0 000A 0B18h



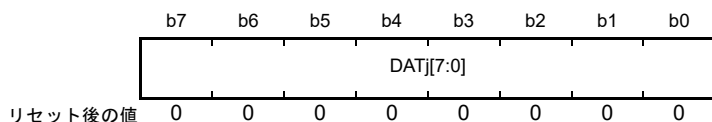
ビット	シンボル	ビット名	機能	R/W
b0	DAT0[0]	受信データ0格納ビット0	受信データを格納します。	R/W
b7-b1	DAT0[7:1]	受信データ0格納ビット7～ビット1	REMDAT0レジスタのビット0へ“0”書き込みした後の動作クロック1～2サイクル後に、REMDAT0～REMDAT7レジスタの値はすべて“00h”になります	R

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「37.4.9 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

37.2.19 受信データ j レジスタ (REMDATj) (j = 1 ~ 7)

アドレス REMC0.REMDAT1 000A 0B19h, REMC0.REMDAT2 000A 0B1Ah, REMC0.REMDAT3 000A 0B1Bh,
REMC0.REMDAT4 000A 0B1Ch, REMC0.REMDAT5 000A 0B1Dh, REMC0.REMDAT6 000A 0B1Eh,
REMC0.REMDAT7 000A 0B1Fh



リセット後の値

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATj[7:0]	受信データj格納ビット	受信データを格納します	R

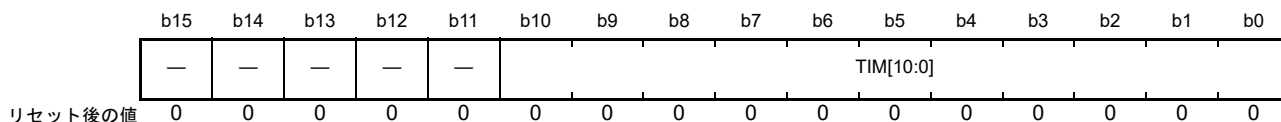
注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「37.4.9 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

データ“0”パターンまたはデータ“1”パターンを検出すると、検出結果を1ビットずつ受信データとして格納します。受信データの格納動作についての詳細は、「37.3.8 受信データバッファ」を参照してください。

37.2.20 測定結果レジスタ (REMTIM)

アドレス REMC0.REMTIM 000A 0B20h



リセット後の値

ビット	シンボル	ビット名	機能	R/W
b10-b0	TIM[10:0]	測定結果ビット	各パターン幅の測定結果が読み出せます。 以下のパターンを検出すると、本ビットにベースタイムの値がキャプチャされます。 <ul style="list-style-type: none"> • ヘッダパターン • データ“0”パターン • データ“1”パターン • 特殊データパターン • 上記以外のデータパターン(受信エラー) 	R
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. データ更新と読み出しが重なった場合、不定値を読み出すことがあります。レジスタの読み出し手順については、「37.4.9 レジスタ読み出し手順」を参照してください。

注. REMCON1.ENビットが“0”のときには、すべて初期化されます。

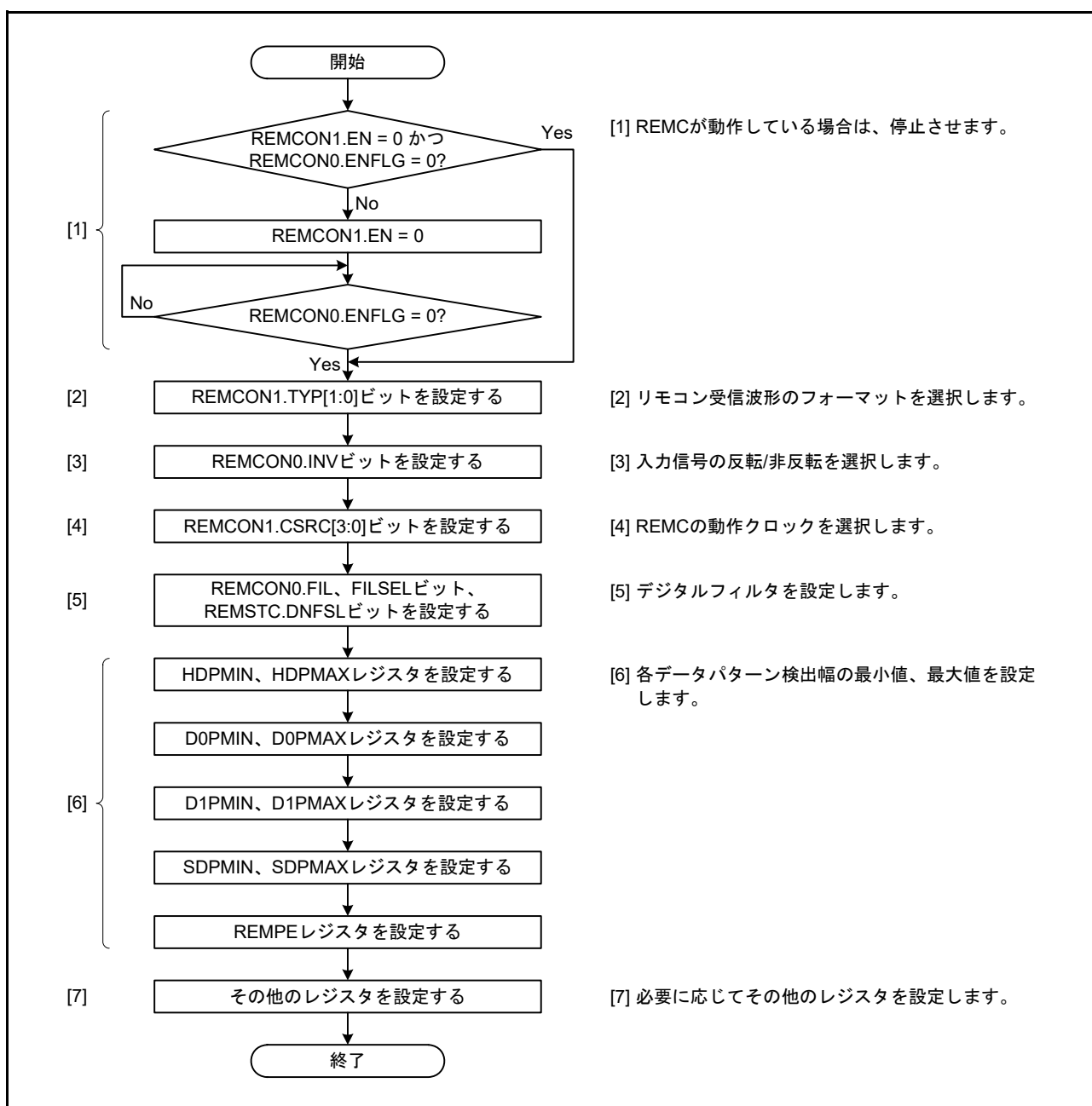


図 37.3 REMC の初期設定フロー例

37.3.3 パターン設定

REMCN1.TYP[1:0] ビットを設定することでリモコン信号受信波形を取り込むフォーマットを設定できます。REMCN1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例を図 37.4、図 37.5 に示します。

REMCN1.TYP[1:0] ビットが“00b” (フォーマット A) の場合

内部入力信号の立ち上がり時にヘッダパターン設定値と測定結果を判定します。

ヘッダパターンを受信した場合、内部入力信号の立ち上がり時にデータ“0”パターン設定値、データ“1”パターン設定値、特殊データパターン設定値と計測結果を判定します。

REMCN1.TYP[1:0] ビットが“01b” (フォーマット B) の場合

内部入力信号の立ち下がり時にヘッダパターン設定値と測定結果を判定します。

ヘッダパターンを受信した場合、内部入力信号の立ち下がり時にデータ“0”パターン設定値、データ“1”パターン設定値、特殊データパターン設定値と計測結果を判定します。

ヘッダパターンは1フレームで1回検出します。

REMCN1.TYP[1:0] ビットが“10b” (フォーマット C) の場合

内部入力信号の立ち上がり時にヘッダパターン設定値、データ“0”パターン設定値、データ“1”パターン設定値、特殊データパターン設定値と計測結果を判定します。

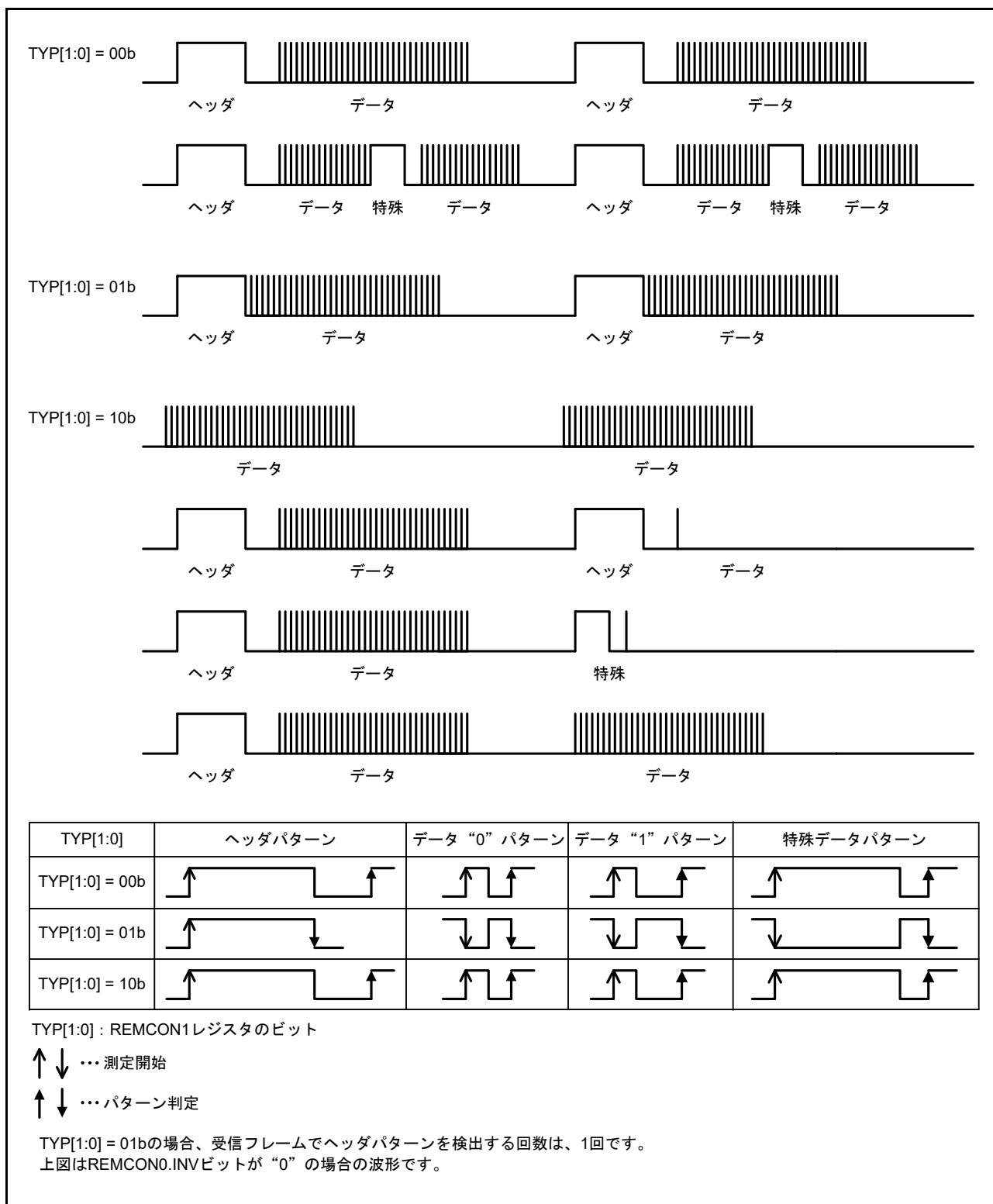


図 37.4 REMCON1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例 (REMCN0.INV = 0 の場合)

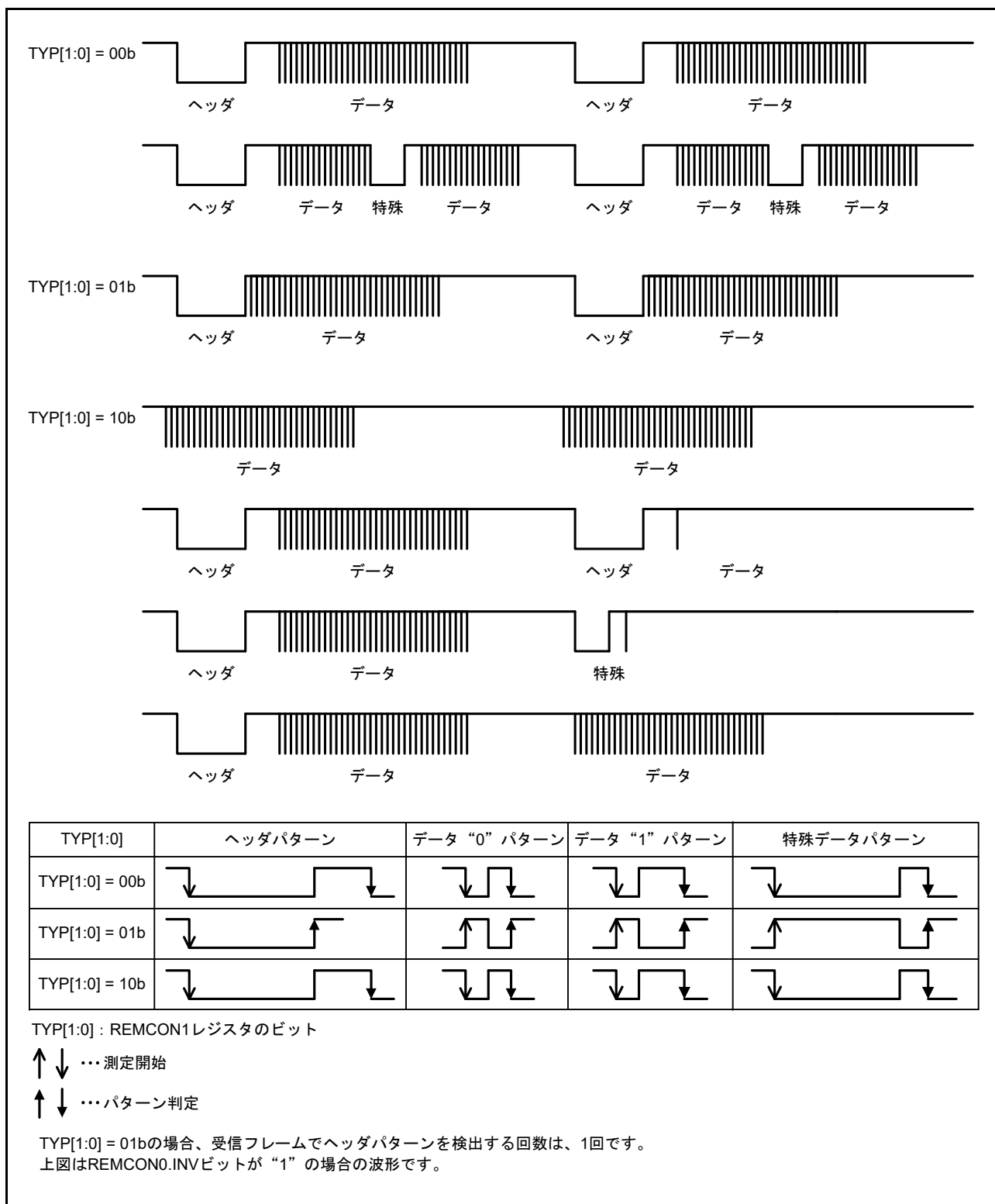


図 37.5 REMCON1.TYP[1:0] ビットの設定により取り込めるリモコン信号受信波形の例 (REMCN0.INV = 1 の場合)

37.3.4 動作クロック

REMCは動作クロックとして、周辺モジュールクロック(PCLKB)の分周クロック、IWDT専用オンチップオシレータから供給されるIWDTCLK、サブクロック発振器から供給されるサブクロック、TMRコンペアマッチ出力のいずれかを選択して使用することができます。また、デジタルフィルタのサンプリングクロックにIWDTCLKを使用する場合、IWDTCLKの供給が必要です。IWDTCLK、サブクロックをREMCに供給する場合は、それぞれのクロック供給方法に注意が必要です。各動作クロックの供給方法について説明します。

37.3.4.1 REMC動作クロックとしてIWDTCLKを使用する場合

REMC動作クロックとしてIWDT専用オンチップオシレータから供給されるIWDTCLKを使用する場合のフローを説明します。

ILOCOCR.ILCSTPビットを“0”にすると、IWDT専用オンチップオシレータが発振を開始します。発振開始後、発振安定待機時間経過後にREMCに動作クロックが供給されます。ソフトウェアスタンバイモード中でもIWDT専用オンチップオシレータの発振を継続させる場合は、IWDCSTPR.SLCSTPビットを“0”にしてください。ILOCOCRレジスタについては、「9.2.10 IWDT専用オンチップオシレータコントロールレジスタ(ILOCOCR)」を、IWDCSTPRレジスタについては、「29.2.5 IWDTカウント停止コントロールレジスタ(IWDCSTPR)」を参照してください。

なお、IWDT専用オンチップオシレータの発振中は、IWDTへも動作クロック供給が行われます。そのため、REMC動作クロックとしてIWDTCLKを使用する場合は、予期せぬリセットや割り込みの発生を防ぐため、IWDTの機能は使用しないでください。

図37.6にREMCへのIWDTCLK供給開始フロー例を示します。

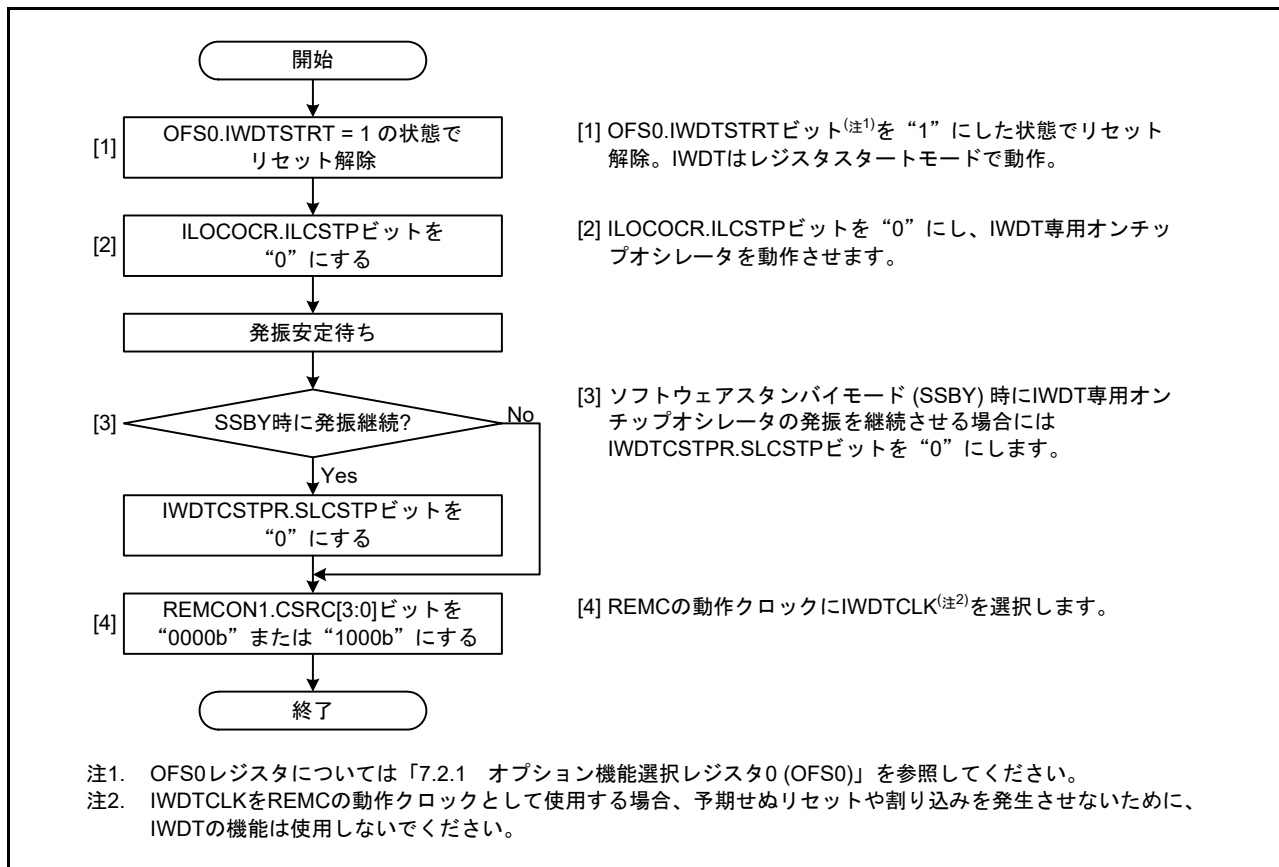


図 37.6 REMC への IWDTCLK 供給開始フロー例

37.3.4.2 REMC 動作クロックとしてサブクロックを使用する場合

REMC 動作クロックとして、サブクロックを使用できます。サブクロックの発振手順については、「9. クロック発生回路」を参照してください。サブクロックの発振が安定した後、REMC0N1.CSRC[3:0] ビットを“x100b”(サブクロック)にしてください。

37.3.4.3 REMC 動作クロックとして TMR コンペアマッチ出力を使用する場合

REMC 動作クロックとして、TMR コンペアマッチ出力を供給することができます。REMC0 には TMO0 が供給可能です。TMR コンペアマッチ出力については、「24. 8 ビットタイマ (TMRa)」を参照してください。

37.3.5 PMC0 入力

PMC0 入力では、以下の選択ができます。

- 入力極性
- デジタルフィルタ

図 37.7 に PMC0 内部入力信号生成を示します。

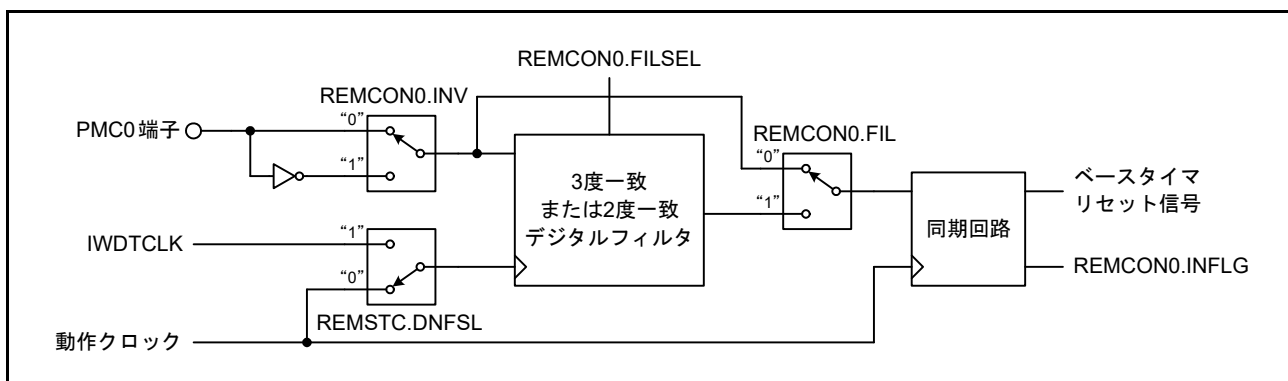


図 37.7 PMC0 内部入力信号生成

PMC0 端子の入力極性を反転できます。REMC0N1.INV ビットで選択してください。

REMC0N1.FIL ビットが“1”(デジタルフィルタ有効)の場合は、PMC0 端子の入力が k 度 (k=3 または 2、REMC0N1.FILSEL ビットでの選択値) 続けて一致したとき、そのレベルを内部回路に伝えます。これにより、サンプリングクロックの k サイクル分までのノイズを除去できます。デジタルフィルタのサンプリングクロックは、REMC0N1.DNFSL ビットの設定により、REMC 動作クロックまたは IWDTCLK のいずれかを選択できます。REMC0N1.LPCE ビットを“1”(ソフトウェアスタンバイモード中の PCLK 供給を許可)にするときは、REMC0N1.FIL ビットを“1”(デジタルフィルタ有効)、REMC0N1.DNFSL ビットを“1”(サンプリングクロックは IWDTCLK)にしてください。

なお、PMC0 端子の入力は、動作クロックに同期して内部回路に REMCON0.INFLG フラグ (入力信号フラグ) とベースタイマリセット信号として伝わります。ベースタイマリセット信号とは内部ベースタイマを REMCON1.TYP[1:0] ビットの設定に応じたパターン検出にて初期化する信号です。PMC0 端子入力に変化してからこれらの信号を生成するまでには、内部処理による遅延があります。図 37.8 に PMC0 入力のデジタルフィルタ動作を示します。

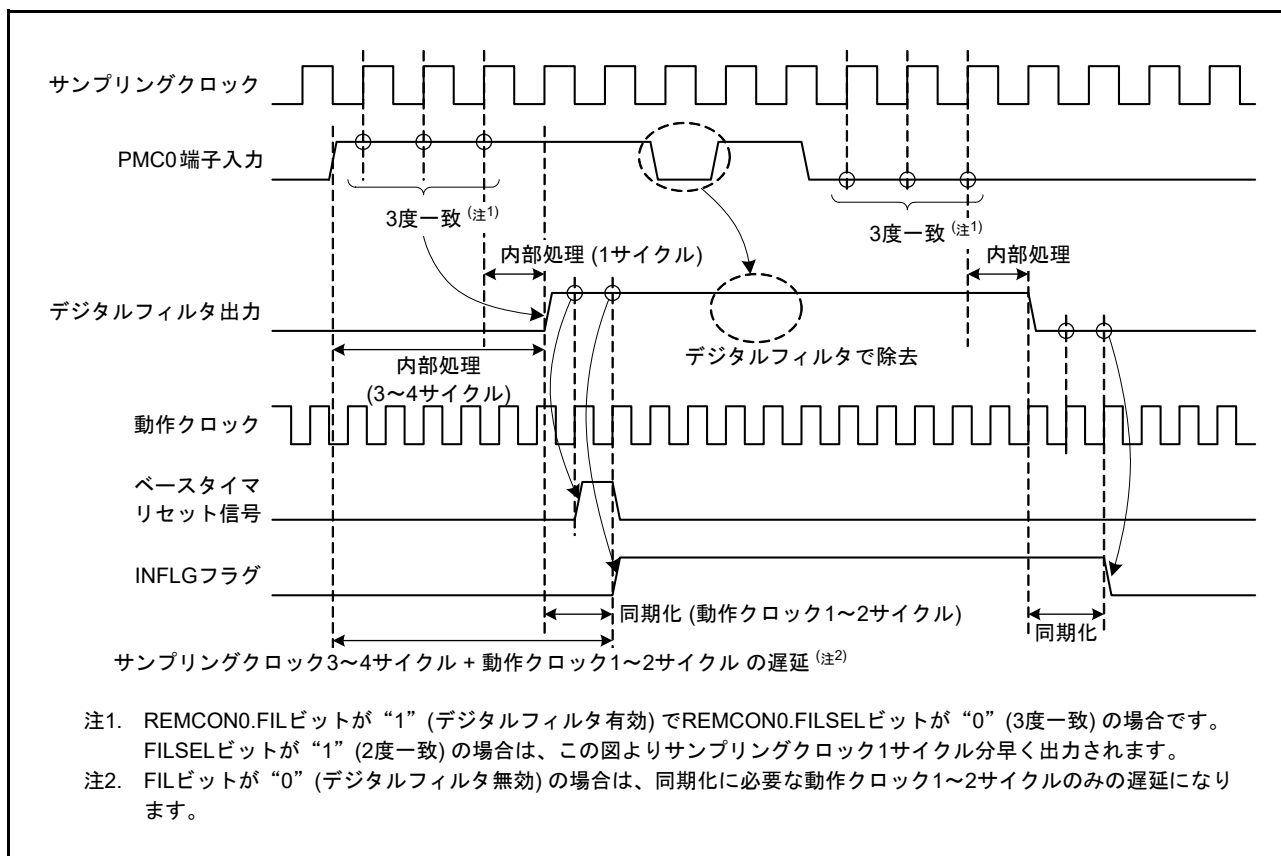


図 37.8 PMCO 入力のデジタルフィルタ動作

37.3.6 パターン検出

REMC は以下のパターンを検出する機能があります。

- ヘッダパターン
- データ “0” パターン
- データ “1” パターン
- 特殊データパターン

REMC が内蔵するベースタイマにより、外部入力信号のエッジ-エッジ間の時間を計測し、計測結果がどのパターンと一致するかを判定することで、リモコン信号の検出、データの取り込みを行います。各パターンの判定幅については、それぞれのパターン設定レジスタで任意に設定できます。図 37.9 に REMC の動作波形を示します。

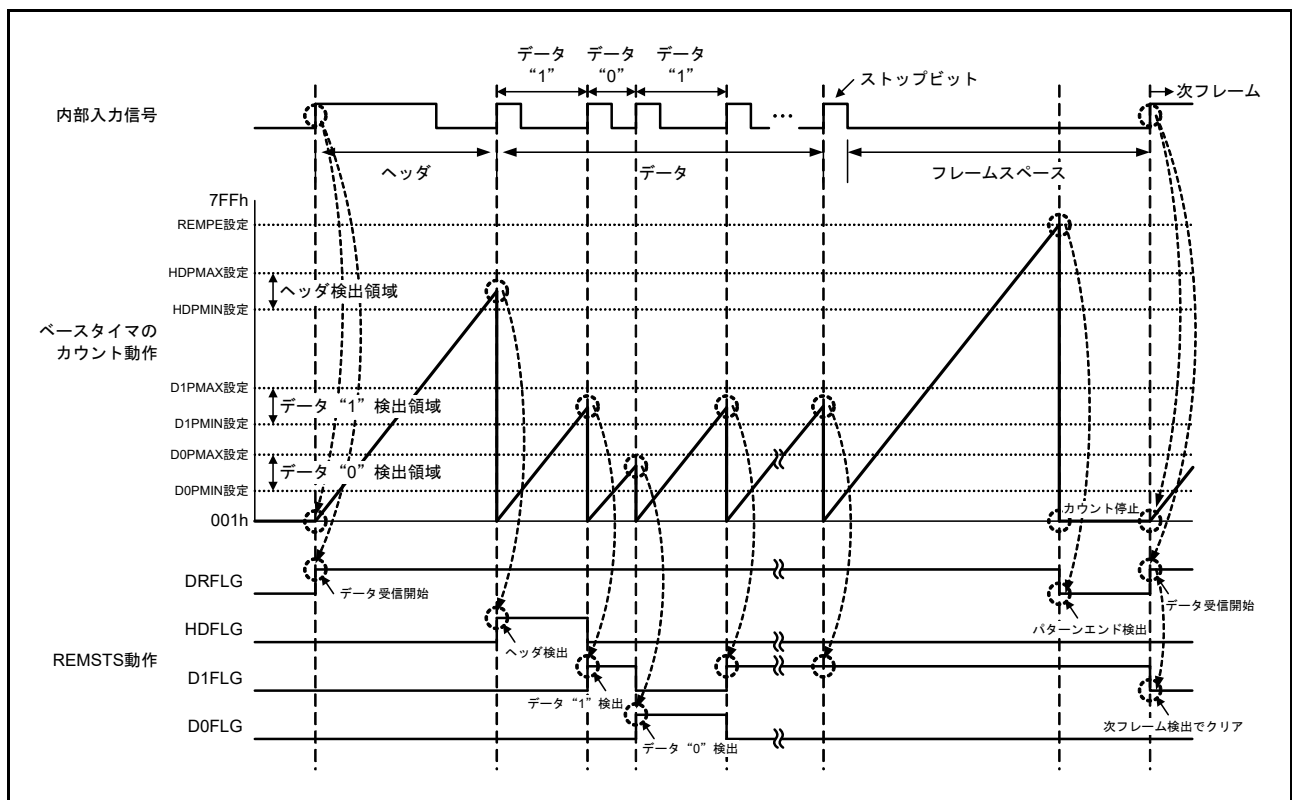


図 37.9 REMC の動作波形

37.3.6.1 ヘッダパターン検出

ヘッダパターンの最小幅を HDPMIN レジスタに、最大幅を HDPMAX レジスタに設定することで、ヘッダパターンが検出できます。

ヘッダパターンの最小幅、最大幅は、「 $1 < \text{HDPMIN レジスタの値} \leq \text{HDPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{ヘッダパターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

ヘッダパターンを使用しない場合、HDPMIN レジスタ、HDPMAX レジスタは“000h”にしてください。

ヘッダパターンの設定値は、データ“0”パターン、データ“1”パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ“0”パターン、データ“1”パターンまたは特殊データパターンを検出すると次のようになります。

- REMSTS.REFLG フラグが“1”(エラー発生)になる
- REMSTS.D0FLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

REMCON1.TYP[1:0] ビットが、“01b”の場合、

ヘッダパターンを検出する回数は、DRFLG フラグが“1”の間に1回になります。

37.3.6.2 データ“0”パターン検出

データ“0”パターンの最小幅を D0PMIN レジスタに、最大幅を D0PMAX レジスタに設定することで、データ“0”パターンが検出できます。

データ“0”パターンの最小幅、最大幅は、「 $1 < \text{D0PMIN レジスタの値} \leq \text{D0PMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{データ“0”パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ“0”パターンを使用しない場合、D0PMIN、D0PMAX レジスタは“00h”にしてください。

データ“0”パターンの設定値は、ヘッダパターン、データ“1”パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ“0”パターンを検出すると次のようになります。

- REMSTS.REFLG フラグが“1”(エラー発生)になる
- REMSTS.D0FLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

37.3.6.3 データ“1”パターン検出

データ“1”パターンの最小幅を D1PMIN レジスタに、最大幅を D1PMAX レジスタに設定することで、データ“1”パターンが検出できます。

データ“1”パターンの最小幅、最大幅は、「 $1 < \text{D1PMIN レジスタの値} \leq \text{D1PMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{データ“1”パターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

データ“1”パターンを使用しない場合、D1PMIN、D1PMAX レジスタは“00h”にしてください。

データ“1”パターンの設定値は、ヘッダパターン、データ“0”パターン、特殊データパターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、データ“1”パターンを検出すると次のようになります。

- REMSTS.REFLG ビットが“1”(エラー発生)になる
- REMSTS.D0FLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

37.3.6.4 特殊データパターン検出

特殊データパターンの最小幅を SDPMIN レジスタに、最大幅を SDPMAX レジスタに設定することで特殊データパターンが検出できます。

特殊データパターンの最小幅、最大幅は、「 $1 < \text{SDPMIN レジスタの値} \leq \text{SDPMAX レジスタの値}$ 」にしてください。

$$\text{設定値}n = \frac{\text{特殊データパターンの最小幅 (最大幅)}}{\text{動作クロック周期}}$$

特殊データパターンを使用しない場合、SDPMIN、SDPMAX レジスタは“000h”にしてください。

特殊データパターンの設定値は、ヘッダパターン、データ“0”パターン、データ“1”パターンの設定値と異なる値で、かつ設定範囲が重複しないようにしてください。

REMCON1.TYP[1:0] ビットが“00b”、“01b”の場合、

ヘッダパターンを検出する前に、特殊データパターンを検出すると次のようになります。

- REMSTS.REFLG フラグが“1”(エラー発生)になる
- REMSTS.D0FLG、REMSTS.D1FLG、REMSTS.SDFLG フラグは変化しない
- REMDAT0 ~ REMDAT7 レジスタは変化しない

37.3.6.5 パターン設定レジスタの設定例

ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのパターン設定レジスタについて、各パターンの最小値から最大値までの範囲は、図 37.10 に示すように、他のパターンの最小値から最大値までと重複しない値に設定してください。

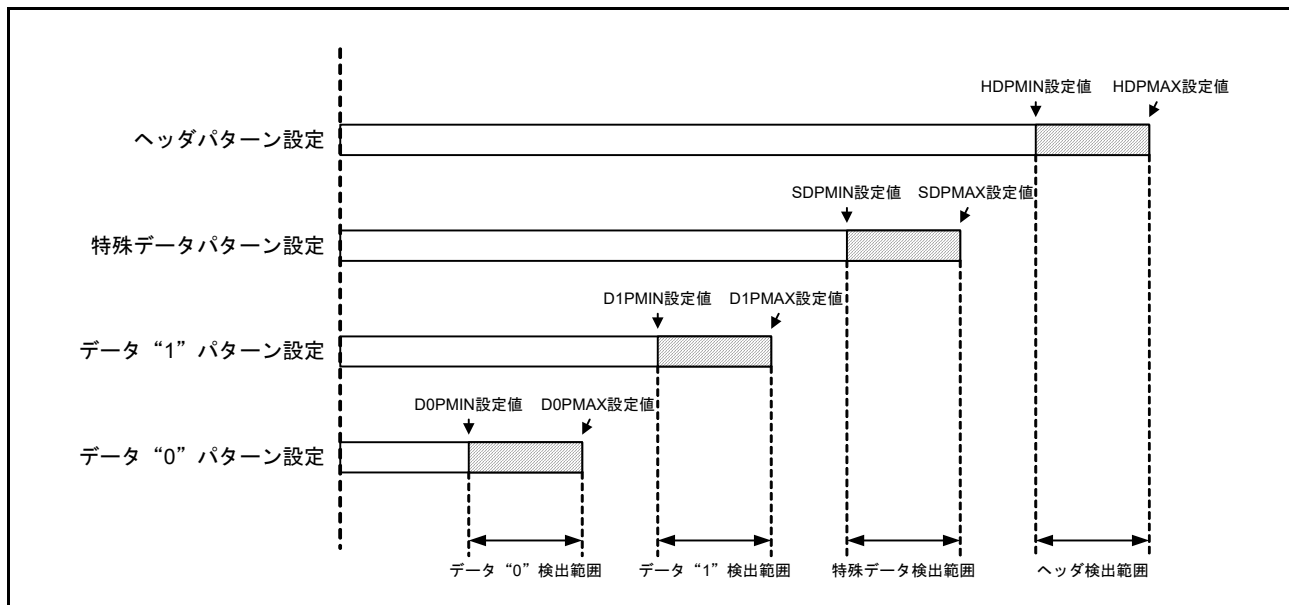


図 37.10 パターン設定レジスタの設定例

37.3.6.6 パターン検出によるステータスフラグ更新動作

検出したパターンについては、ヘッダパターン一致フラグ (REMSTS.HDFLG)、データ“0”パターン一致フラグ (REMSTS.D0FLG)、データ“1”パターン一致フラグ (REMSTS.D1FLG)、特殊データパターン一致フラグ (REMSTS.SDFLG) にて確認できます。これらのフラグは異なるパターンを検出したらネゲートされます。ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターン以外を検出した場合、エラーパターンとして検出されます。これは受信エラーフラグ (REMSTS.REFLG) にて確認できます。受信エラーフラグに関しては、次のフレーム受信時にネゲートされます。パターン検出、ならびにフラグ動作例を図 37.11 に示します。

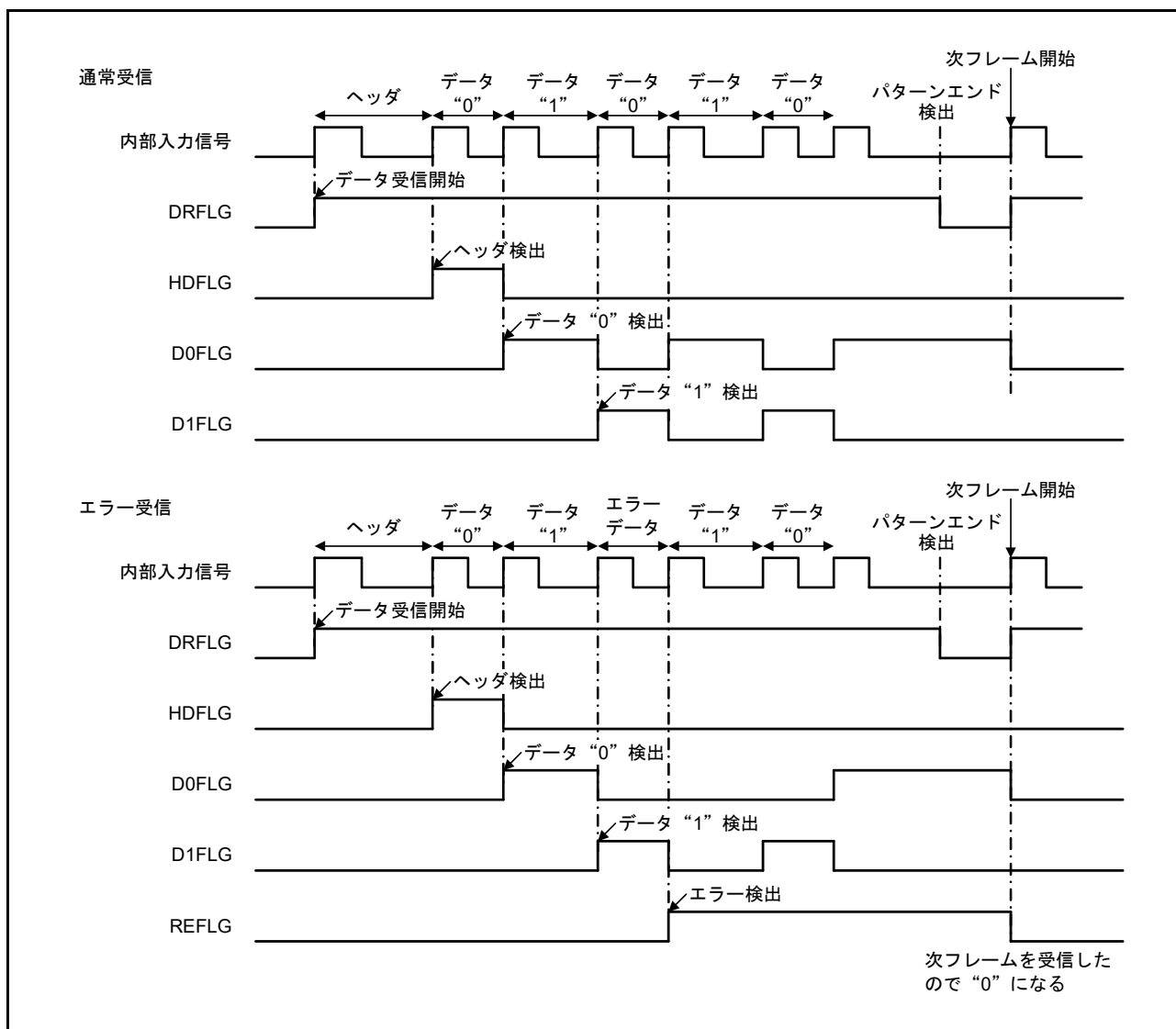


図 37.11 フラグ動作例

37.3.7 パターンエンド

REMSTS.DRFLG フラグが“0”になるタイミングを設定できます。

REMPE レジスタを設定する場合は、REMPE の値 > HDPMAX、D0PMAX、D1PMAX、SDPMAX の値となるようにしてください。

REMPE の値 \leq HDPMAX、D0PMAX、D1PMAX、SDPMAX の値となる場合、REMPE レジスタで REMSTS.DRFLG フラグが“0”になるタイミングを設定できません。この場合、HDPMAX、D0PMAX、D1PMAX、SDPMAX レジスタの内、最も大きい値に設定されたタイミングでデータ受信完了となります。

図 37.12 に、それぞれのパターンエンド設定時のデータ受信完了フラグ動作について説明します。

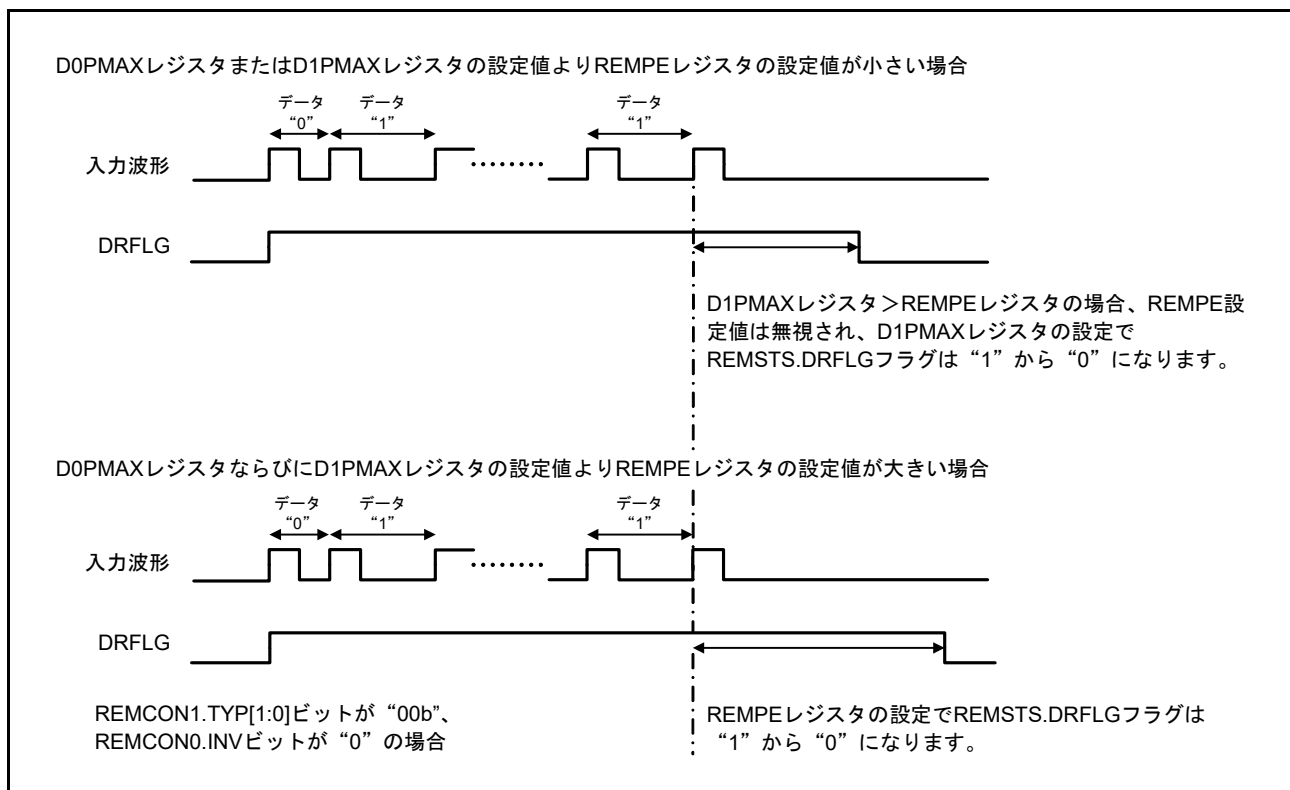


図 37.12 パターンエンド設定時のデータ受信完了フラグ動作説明

37.3.8 受信データバッファ

受信データ j レジスタ (REMDAT j) ($j = 0 \sim 7$) は、受信したデータを格納する 8 バイト (64 ビット) のバッファです。データ “0” パターンまたはデータ “1” パターンを検出すると、図 37.13 に示すように REMDAT0.DAT0[0] ビットから順番に検出結果を格納します。同時に REMRBIT レジスタはカウントアップされるため、REMRBIT レジスタを読み出すことで現在の受信ビット数を知ることができます。受信ビット数とデータ格納場所の関係は表 37.4 を参照してください。なお、REMDAT j 、REMRBIT レジスタはヘッダパターン、特殊データパターンを受信しても変化しません。また、REMDAT j 、REMRBIT レジスタについては、データ更新と読み出しが重なった場合、不定値を読み出すことがあります。

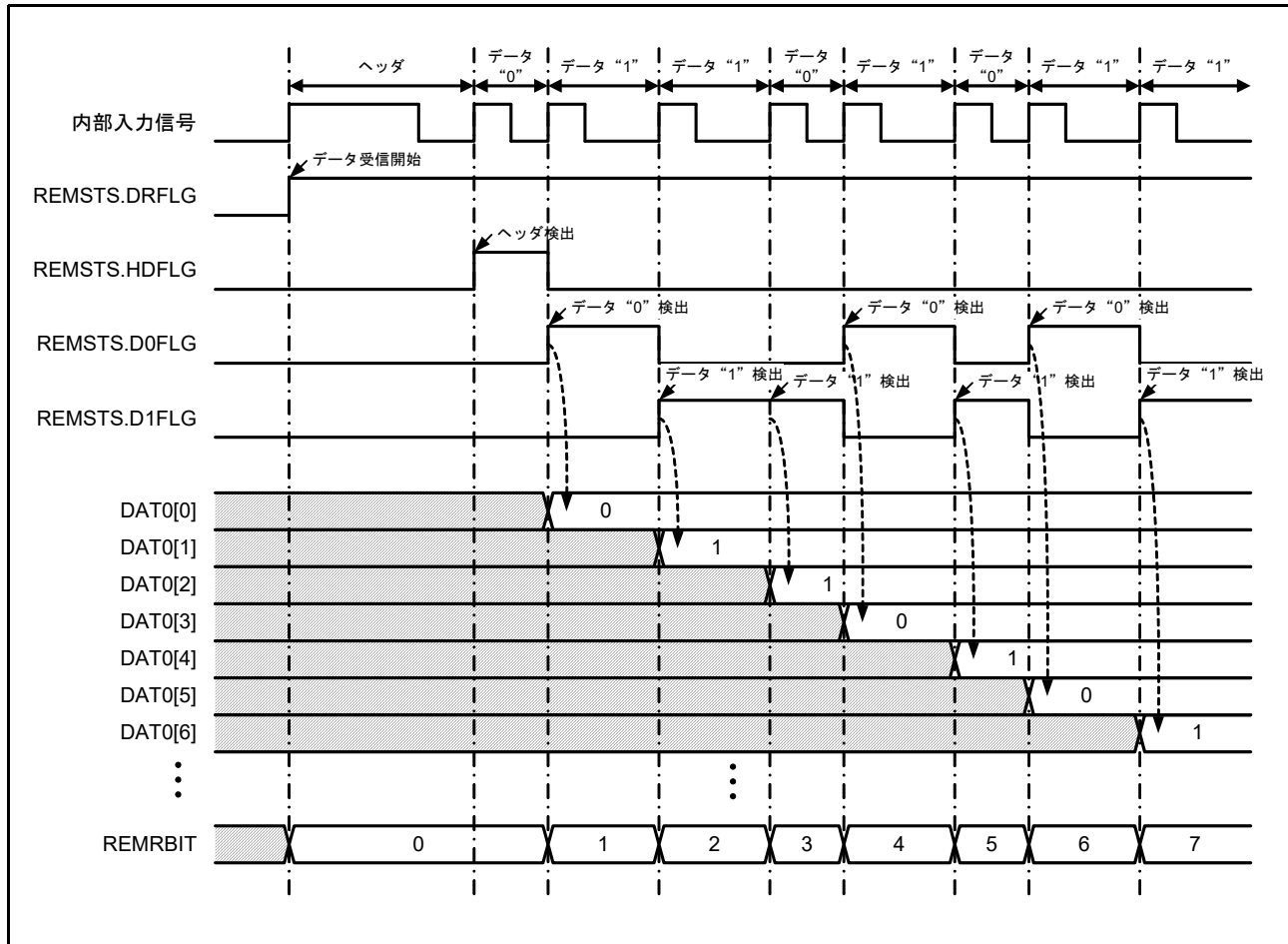


図 37.13 受信データバッファ動作

表37.4 受信ビット数とデータ格納場所の関係

受信ビット数	格納場所	
	レジスタ名	ビット名
1	REMDAT0	DAT0[0]
2		DAT0[1]
3		DAT0[2]
4		DAT0[3]
5		DAT0[4]
6		DAT0[5]
7		DAT0[6]
8		DAT0[7]
9	REMDAT1	DAT1[0]
10		DAT1[1]
11		DAT1[2]
12		DAT1[3]
13		DAT1[4]
14		DAT1[5]
15		DAT1[6]
16		DAT1[7]
17	REMDAT2	DAT2[0]
18		DAT2[1]
19		DAT2[2]
20		DAT2[3]
21		DAT2[4]
22		DAT2[5]
23		DAT2[6]
24		DAT2[7]
25	REMDAT3	DAT3[0]
26		DAT3[1]
27		DAT3[2]
28		DAT3[3]
29		DAT3[4]
30		DAT3[5]
31		DAT3[6]
32		DAT3[7]

受信ビット数	格納場所	
	レジスタ名	ビット名
33	REMDAT4	DAT4[0]
34		DAT4[1]
35		DAT4[2]
36		DAT4[3]
37		DAT4[4]
38		DAT4[5]
39		DAT4[6]
40		DAT4[7]
41	REMDAT5	DAT5[0]
42		DAT5[1]
43		DAT5[2]
44		DAT5[3]
45		DAT5[4]
46		DAT5[5]
47		DAT5[6]
48		DAT5[7]
49	REMDAT6	DAT6[0]
50		DAT6[1]
51		DAT6[2]
52		DAT6[3]
53		DAT6[4]
54		DAT6[5]
55		DAT6[6]
56		DAT6[7]
57	REMDAT7	DAT7[0]
58		DAT7[1]
59		DAT7[2]
60		DAT7[3]
61		DAT7[4]
62		DAT7[5]
63		DAT7[6]
64		DAT7[7]

注. 65ビット目以降は、1ビット目から順に上書きされます。

REMDAT0.DAT0[0] ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後に REMDAT0～REMDAT7 レジスタの値が“00h”になります。REMDAT0 レジスタに“00h”を書き込んだ際の REMDATj/REMRBIT レジスタの動作説明を図 37.14 に示します。

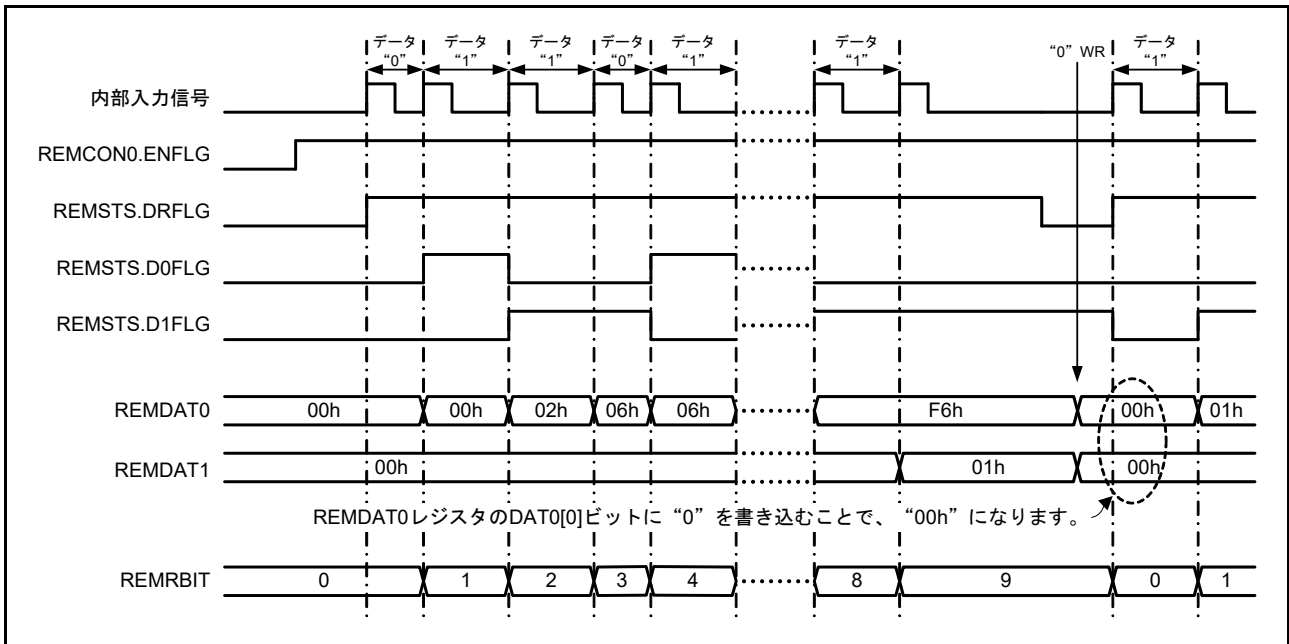


図 37.14 REMDATj/REMRBIT レジスタ動作説明 (REMDAT0 レジスタに“00h”書き込み)

REMRBIT.RBIT[0] ビットに“0”を書き込んだ場合、動作クロックの1～2サイクル後に REMRBIT レジスタの値が“00h”になります。また、REMCON1.TYP[1:0] ビットが“00b”、“10b”の場合、データ受信中にヘッダパターンを検出すると、REMRBIT レジスタは“00h”に初期化され、以降の受信データは REMDAT0.DAT0[0] ビットから順番に上書きされます。図 37.15 にデータ受信中のヘッダパターン検出動作を示します。

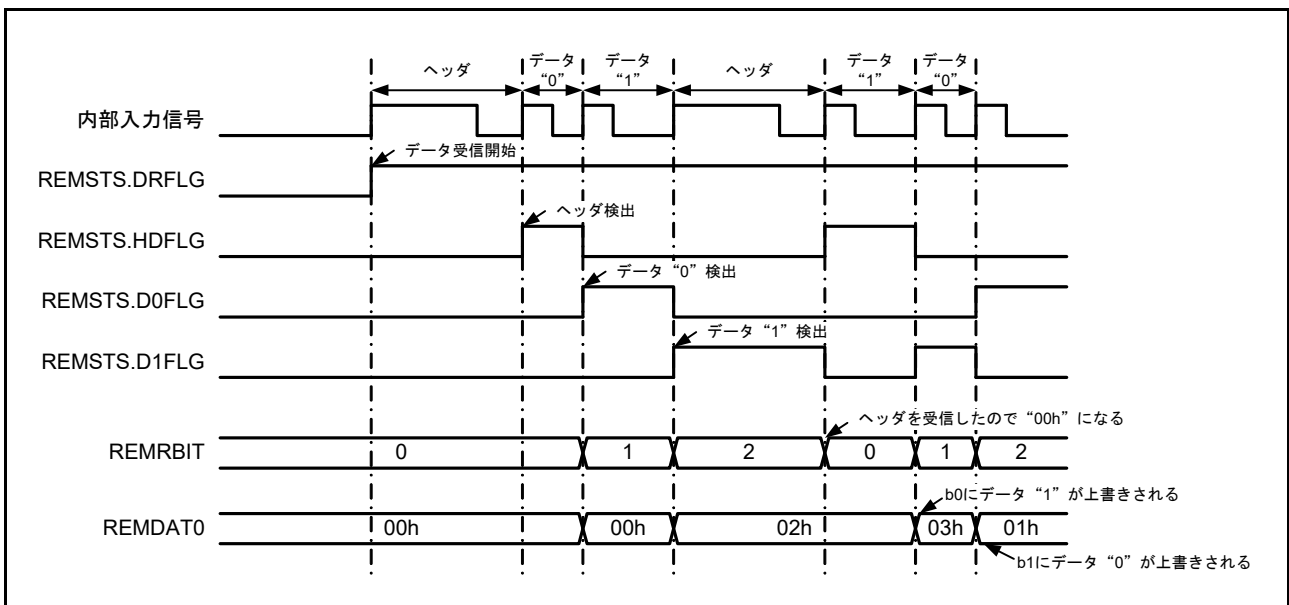


図 37.15 データ受信中のヘッダパターン検出動作

データが 64 ビットを超えると 1 ビット目のデータから順次上書きします。REMSTS.BFULFLG フラグが “1” となるときの REMRBIT レジスタの動作説明を図 37.16 に示します。

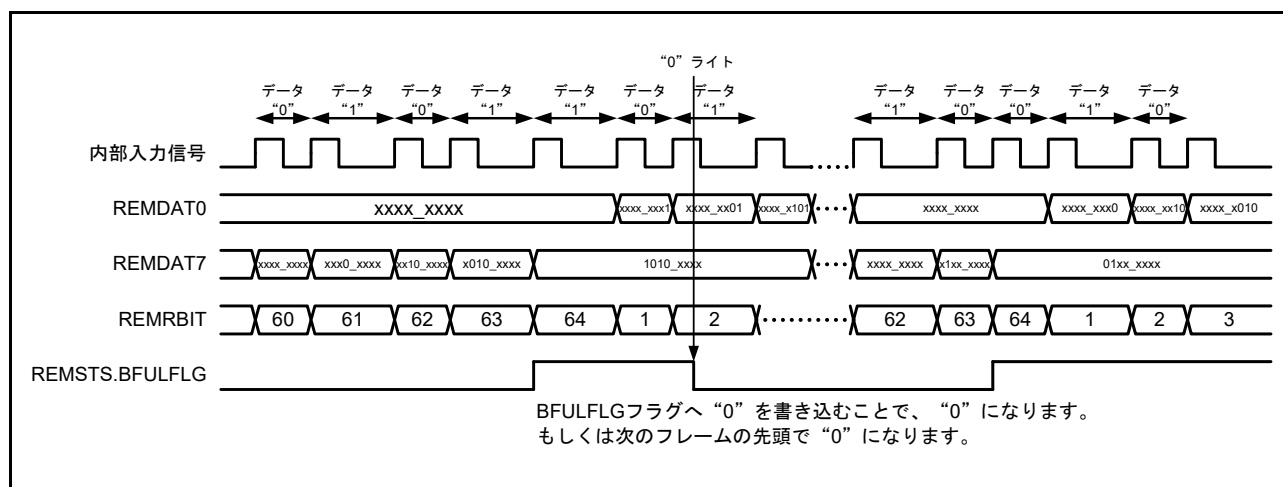


図 37.16 REMRBIT レジスタ動作説明 (REMSTS.BFULFLG フラグが “1” になるとき)

37.3.9 コンペア機能

REMCPCDレジスタとREMDAT1、REMDAT0レジスタの内容を比較します。その結果、リモコン信号の最初の1～16ビットが特定の値であることを検出できます。図37.17に受信バッファとコンペア機能の動作タイミングを示します。

コンペア機能を使用する場合は次のように設定してください。

- REMCPC.CPN[3:0]ビットで比較するビットを選択
(設定値をnとすると、ビットn～ビット0を比較。n:0～15)
- REMCPDレジスタに比較データを設定
REMRBITレジスタがREMCPC.CPN[3:0]ビットで設定したビットになるとき、REMCPCDレジスタとREMDAT1、REMDAT0レジスタの比較結果が一致するとREMSTS.CPFLGフラグが“1”(コンペア一致)になります。

64ビット以上の受信でREMRBITレジスタがREMCPC.CPN[3:0]ビットで設定したビットになるとき、REMCPCDレジスタとREMDAT1、REMDAT0レジスタの比較結果が一致してもREMSTS.CPFLGフラグは“1”(コンペア一致)になりません。

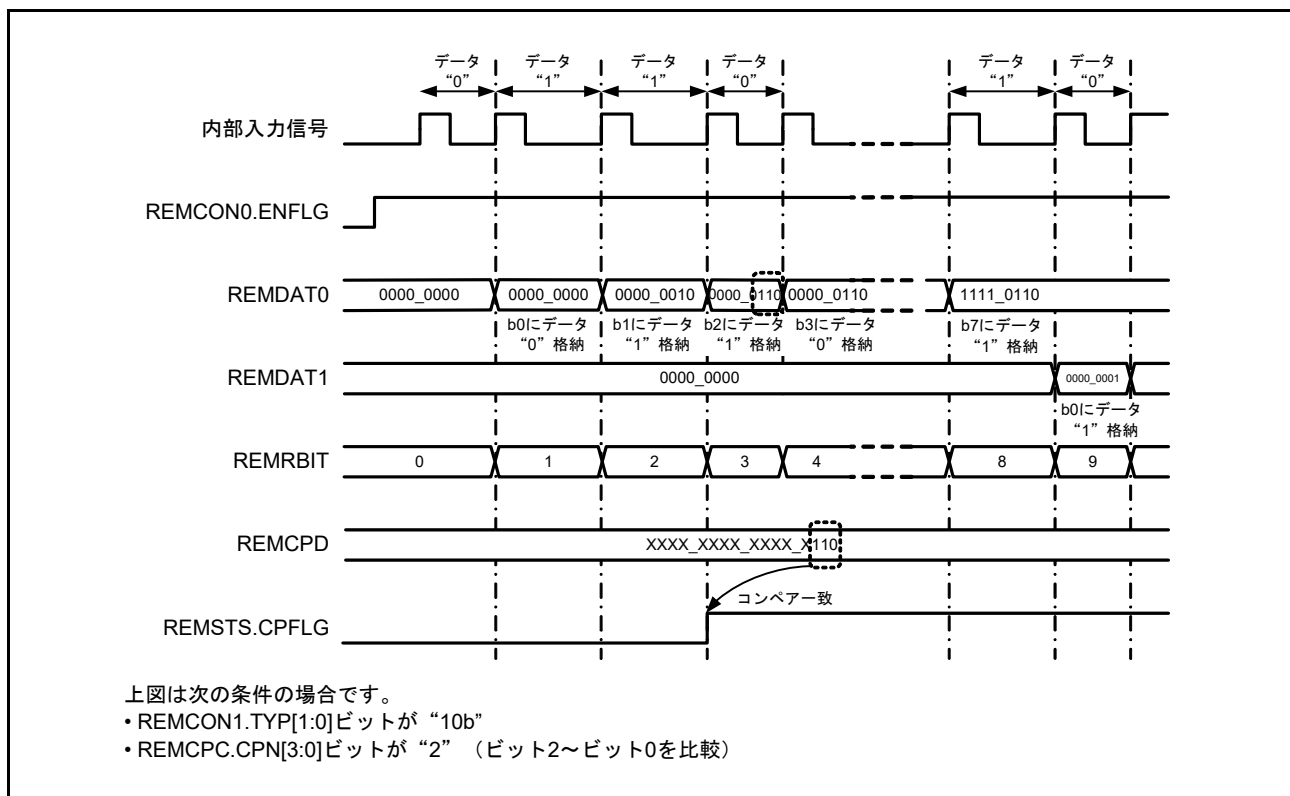


図 37.17 受信バッファとコンペア機能

37.3.10 エラーパターン受信

データ受信中にエラーパターンを検出した場合、REMCON0.EC ビットの設定により、以降の動作が異なります。

REMCON0.EC ビットを“0”にした場合の REMDAT0 レジスタ、REMRBIT レジスタの動作を図 37.18 に示します。REMCON0.EC ビットが“0”でエラーを検出した場合、エラー検出時のデータ取り込みは行いませんが、以降のデータ“0”パターンまたはデータ“1”パターン検出でデータを取り込みます。

REMCON0.EC ビットを“1”にした場合の REMDAT0 レジスタ、REMRBIT レジスタの動作を図 37.19 に示します。REMCON0.EC ビットが“1”でエラーを検出した場合、それ以降のデータ“0”パターンまたはデータ“1”パターンを検出しても、REMRBIT レジスタおよび REMDAT0 ~ REMDAT7 レジスタの値を更新しません。いったん REMSTS.DRFLG がクリアされ、データ受信が完了した後、再度データ受信が開始した場合、REMSTS.REFLG はクリアされ、データ取り込みが行われます。

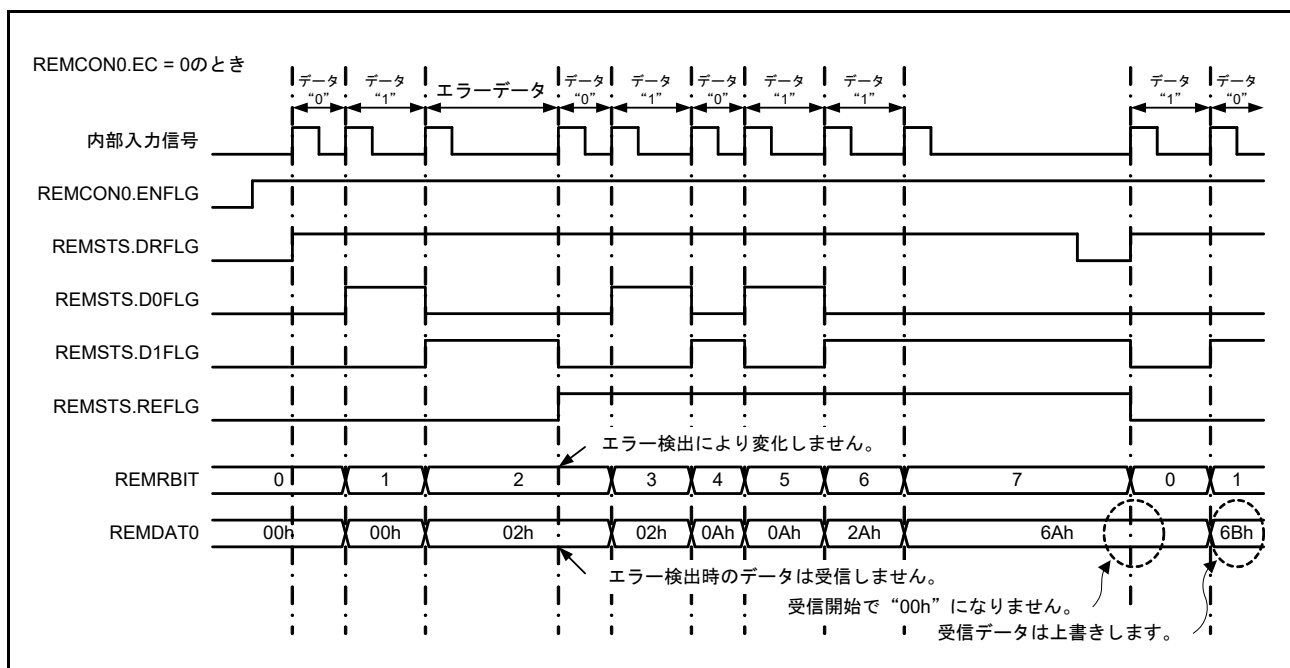


図 37.18 エラー検出時の REMDAT0、REMRBIT レジスタ動作説明 (REMCON0.EC ビット = 0)

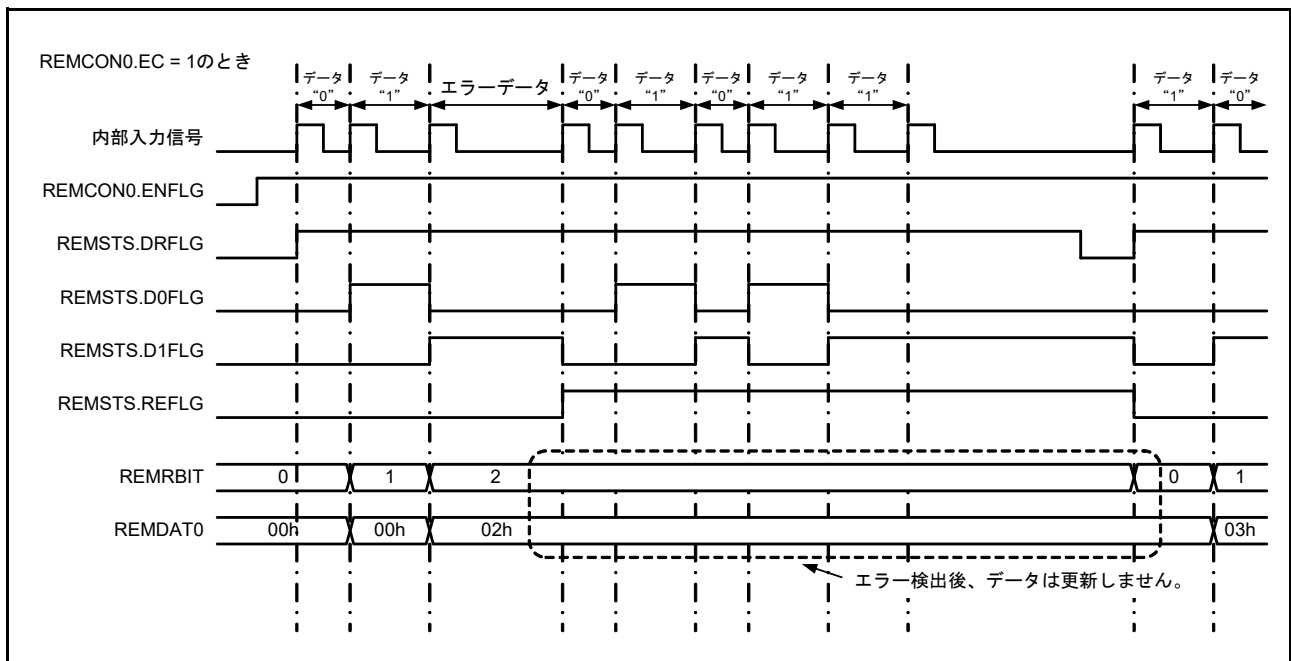


図 37.19 エラー検出時の REMDAT0、REMRBIT レジスタ動作説明 (REMCON0.EC ビット = 1)

37.3.11 パターン検出時のベースタイム値格納

測定結果レジスタ (REMTIM) には、以下のパターンを検出したときのベースタイムの値が格納されます。これにより、各パターン幅を測定することができます。測定機能の動作例を図 37.20 に示します。

- ヘッダパターン
- データ“0”パターン
- データ“1”パターン
- 特殊データパターン
- 上記以外のデータパターン(受信エラー)

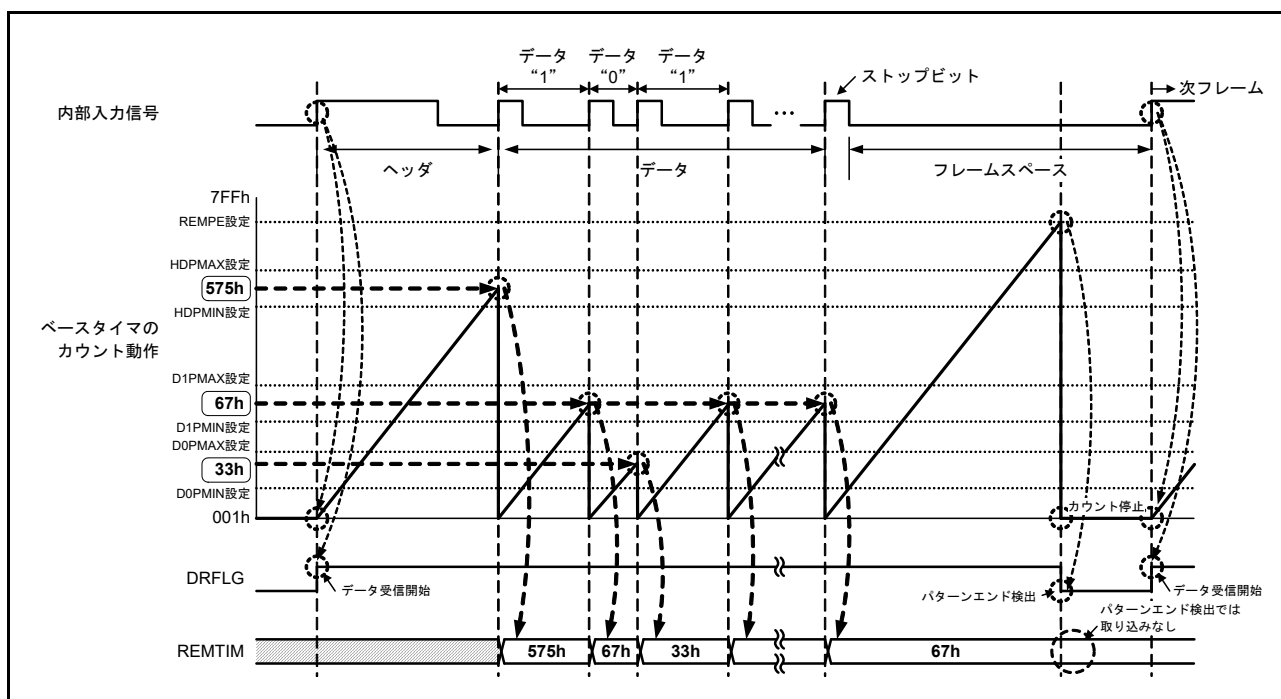


図 37.20 測定機能の動作例

37.3.12 割り込み

REMCの割り込み要因には、コンペアー一致、受信エラー、データ受信完了、受信バッファフル、ヘッダパターン一致、データ“0”パターンまたはデータ“1”パターン一致、特殊データパターン一致の7つあります。これらの割り込み要因は、すべて1つのベクタ番号に割り付けられています。

表 37.5 に REMC の割り込み要因を、表 37.6 に割り込みモードと REMC10 割り込み要求発生条件を示します。

ノーマル割り込みモードでは、REMINTレジスタの対応する割り込み許可ビットが“1”になっている割り込み要因の内、いずれかの割り込み要求発生条件が成立すると、REMC10 割り込み要求が出力されます。

シーケンシャル割り込みモードでは、コンペアー一致、データ受信完了、ヘッダパターン一致、特殊データパターン一致の4つの割り込み要因に対するREMC10 割り込み要求発生条件が異なります。これら4つの割り込み要因の内、REMINTレジスタの対応する割り込み許可ビットが“1”になっている要因すべての割り込み要求発生条件が成立するか、その他の割り込み要因の内、REMINTレジスタの対応する割り込み許可ビットが“1”になっている要因のいずれかの割り込み要求発生条件が成立すると、REMC10 割り込み要求が出力されます。

割り込み制御の詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表 37.5 REMCの割り込み要因

割り込み要因	ステータスフラグ	割り込み許可ビット	各割り込み要求発生条件
コンペアー一致	REMSTS.CPFLG	REMINT.CPINT	REMSTS.CPFLGフラグが“0”から“1”になるとき
受信エラー	REMSTS.REFLG	REMINT.REINT	REMSTS.REFLGフラグが“0”から“1”になるとき (受信エラーを検出したとき)
データ受信完了	REMSTS.DRFLG	REMINT.DRINT	REMSTS.DRFLGフラグが“1”から“0”になるとき
受信バッファフル	REMSTS.BFULFLG	REMINT.BFULINT	REMSTS.BFULFLGフラグが“0”から“1”になるとき
ヘッダパターン一致	REMSTS.HDFLG	REMINT.HDINT	REMSTS.HDFLGフラグが“0”から“1”になるとき (ヘッダパターンを検出したとき)
データ“0”パターンまたはデータ“1”パターン一致	REMSTS.D0FLG, REMSTS.D1FLG	REMINT.DINT	<ul style="list-style-type: none"> REMSTS.D0FLGフラグが“0”から“1”になるとき (データ“0”パターンを検出したとき) REMSTS.D1FLGフラグが“0”から“1”になるとき (データ“1”パターンを検出したとき)
特殊データパターン一致	REMSTS.SDFLG	REMINT.SDINT	REMSTS.SDFLGフラグが“0”から“1”になるとき (特殊データパターンを検出したとき)

表 37.6 REMCの割り込みモードとREMC10 割り込み要求発生条件

項目	割り込みモード	
	ノーマル割り込みモード	シーケンシャル割り込みモード
ビット設定	REMCON1.INTMDビット=0	REMCON1.INTMDビット=1
REMC10 割り込み要求発生条件	下記の7つの割り込み要因の内、割り込みを許可した要因のいずれかに対し割り込み要求発生条件が成立 <ul style="list-style-type: none"> コンペアー一致 受信エラー データ受信完了 受信バッファフル ヘッダパターン一致 データ“0”またはデータ“1”パターン一致 特殊データパターン一致 	下記の4つの割り込み要因の内、割り込みを許可した要因のすべてに対し割り込み要求発生条件が成立 <ul style="list-style-type: none"> コンペアー一致 データ受信完了 ヘッダパターン一致 特殊データパターン一致 または、下記の3つの割り込み要因の内、割り込みを許可した要因のいずれかに対し割り込み要求発生条件が成立 <ul style="list-style-type: none"> 受信エラー 受信バッファフル データ“0”またはデータ“1”パターン一致

37.3.13 低消費電力状態でのデータ受信動作

REMCは、低消費電力状態(スリープモード、ディープスリープモード、スヌーズモード、ソフトウェアスタンバイモード)でデータ受信を行うことができます。

低消費電力状態でデータ受信を行う場合は、低消費電力状態に遷移する前にREMCの通信設定を行う必要があります。

37.3.13.1 REMC 割り込み要求による低消費電力状態からの復帰

データ受信時に生成されるREMC割り込み要求を低消費電力状態からの復帰要因として使用することで、データ受信待機時の消費電力を低減することができます(図37.21参照)。パターン検出、コンペア機能などにより、特定のデータを受信したときのみ低消費電力状態から復帰させることもできます。

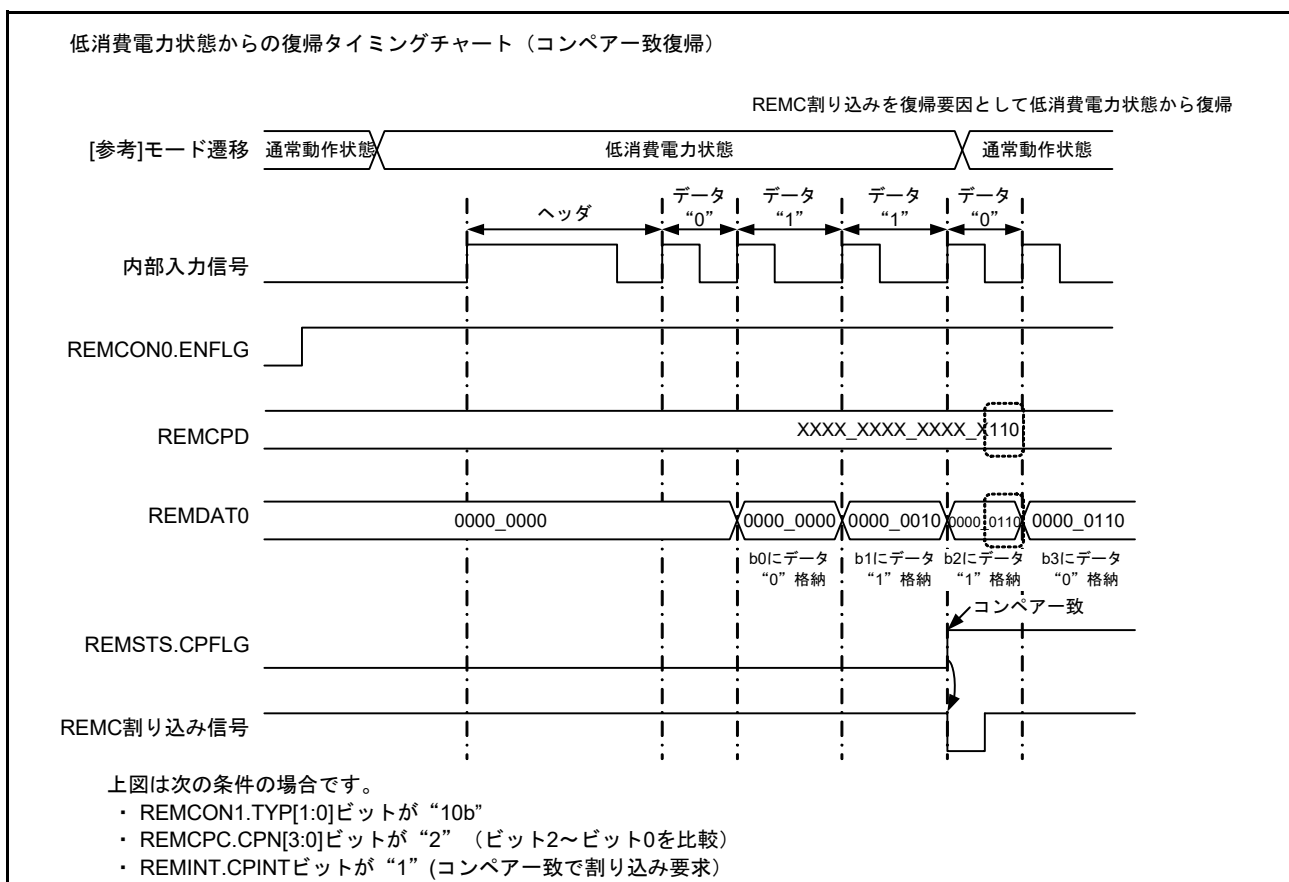


図 37.21 REMC 割り込みによる低消費電力状態からの復帰動作 (ノーマル割り込みモードの場合)

37.3.13.2 ソフトウェアスタンバイモードでのデータ受信動作

ソフトウェアスタンバイモードでは、表 37.7 に示す設定の組み合わせでデータ受信を行うことができます。

表 37.7 ソフトウェアスタンバイモードでデータ受信可能な設定の組み合わせ

REMC動作クロック	REMSTCレジスタの設定	その他設定、制約事項
IWDTCLK	LPCE = 0, DNFSL = 任意	IWDTCSTPR.SLCSTP = 0
サブクロック		SOSCCR.SOSTP = 0
PCLKB/64	LPCE = 1, DNFSL = 1	SCKCR3.CKSEL[2:0] = 001b (システムクロックソースにHOCOを選択) REMCNO.FIL = 1 IWDTCSTPR.SLCSTP = 0 LPT使用禁止
PCLKB/512		

(1) REMC 動作クロックに IWDTCLK、サブクロックを選択する場合

REMC 動作クロックに IWDTCLK、サブクロックを選択する場合、REMSTC.LPCE ビットを“0”(ソフトウェアスタンバイモード中の PCLK 供給を禁止)にしてください。選択した動作クロックは、ソフトウェアスタンバイモード中も継続して供給される必要があります。それぞれの動作クロックの供給方法については、「37.3.4 動作クロック」を参照してください。

ソフトウェアスタンバイモードからの復帰要因には、データ受信時に生成される REMC 割り込み要求を選択してください。パターン検出、コンペア機能などにより、特定のデータを受信したときのみソフトウェアスタンバイモードから復帰させることもできます。

ソフトウェアスタンバイモードでのデータ受信設定フロー例を図 37.22 に示します。

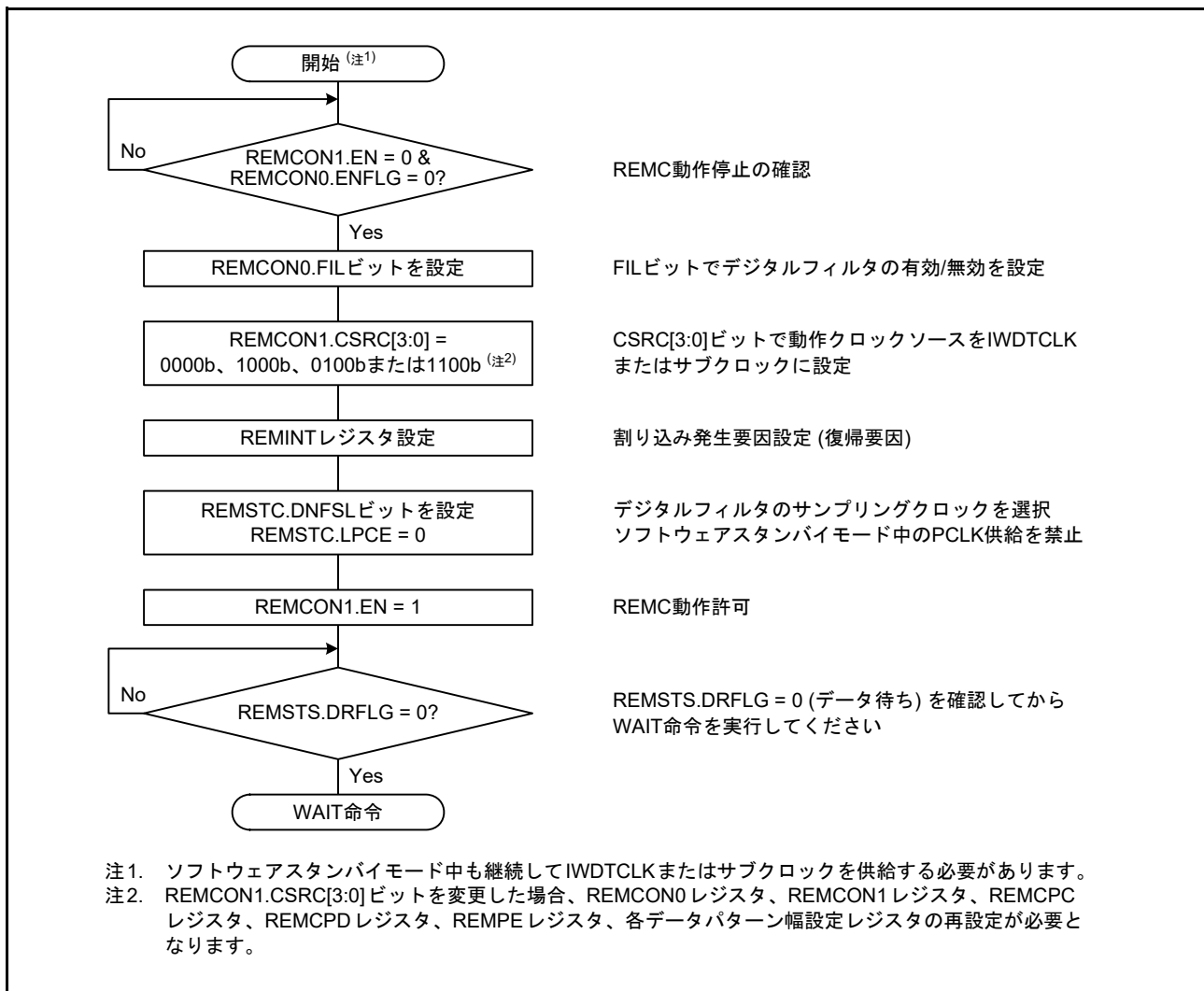


図 37.22 ソフトウェアスタンバイモードでのデータ受信設定フロー (REMSTC.LPCE = 0 の場合)

(2) REMC 動作クロックに PCLKB/64、PCLKB/512 を選択する場合

REMC 動作クロックに PCLKB/64、PCLKB/512 を選択する場合、SNZCR.REMCSNZSEL[1:0] ビットを“10b”、REMSTC.LPCE ビットを“1”(ソフトウェアスタンバイモード中の PCLK 供給を許可)にしてください。ソフトウェアスタンバイモードに遷移後、PMC0 端子の入力レベルの変化を検出すると、REMC から PCLK 要求信号が出力されます。MCU がスリープモードに遷移し、発振器の動作が再開すると、PCLK の供給が行われます。システムクロックソースには HOCO を選択してください。その場合、PMC0 端子入力レベルの変化検出から PCLK が供給されるまで、最大 t_{SNZHO} かかります。その間は、REMC 動作クロックが供給されず、ベースタイムも停止したままです。先頭データのパターン設定の MIN 値は、通常動作モードでの受信動作で設定する値より t_{SNZHO} 短い値を設定してください。 t_{SNZHO} については、「47. 電気的特性」を参照してください。

データ受信中にヘッダパターン一致割り込みやコンペアー一致割り込みなどが発生すると、通常動作モードに復帰しますが、割り込みが発生しなかった場合、パターンエンドの検出で PCLK 要求信号がネゲートされるため、ソフトウェアスタンバイモードに復帰し発振器の動作が停止します(データ受信完了割り込みは禁止に設定)。その後、再び PMC0 端子の入力レベルの変化を検出すると、PCLK 要求信号が出力され、データを受信することができます。なお、データ受信により、ヘッダパターン一致割り込みやコンペアー一致割り込みなどが発生した場合、PCLK 要求信号はパターンエンドを検出してもネゲートされません。復帰要因の

割り込み処理でREMSTC.LPCE ビットを“0”にすることで、PCLK 要求信号もネゲートされます。

コンペア不一致でのソフトウェアスタンバイモードの継続動作を図 37.23 に、コンペア一致でのソフトウェアスタンバイモードからの復帰動作を図 37.24 に示します。また、ソフトウェアスタンバイモードでのデータ受信設定フロー例を図 37.25 に示します。

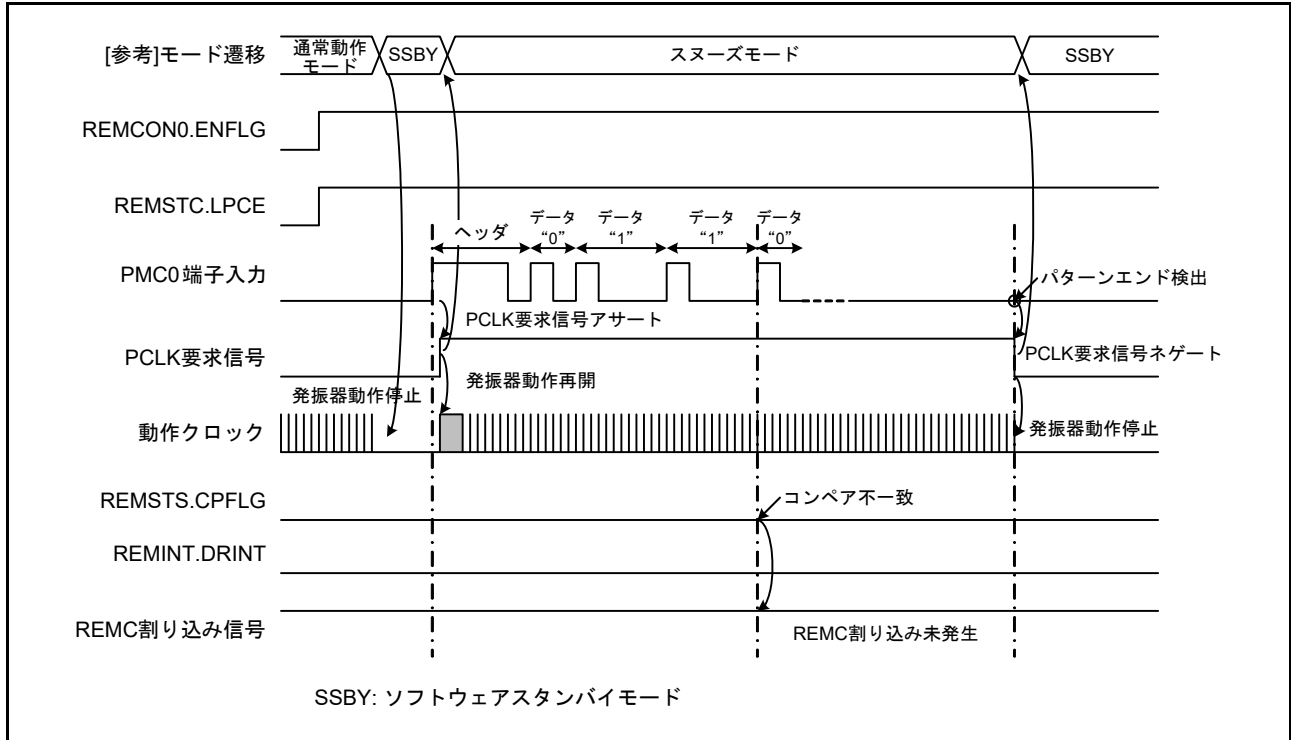


図 37.23 コンペア不一致でのソフトウェアスタンバイモードの継続

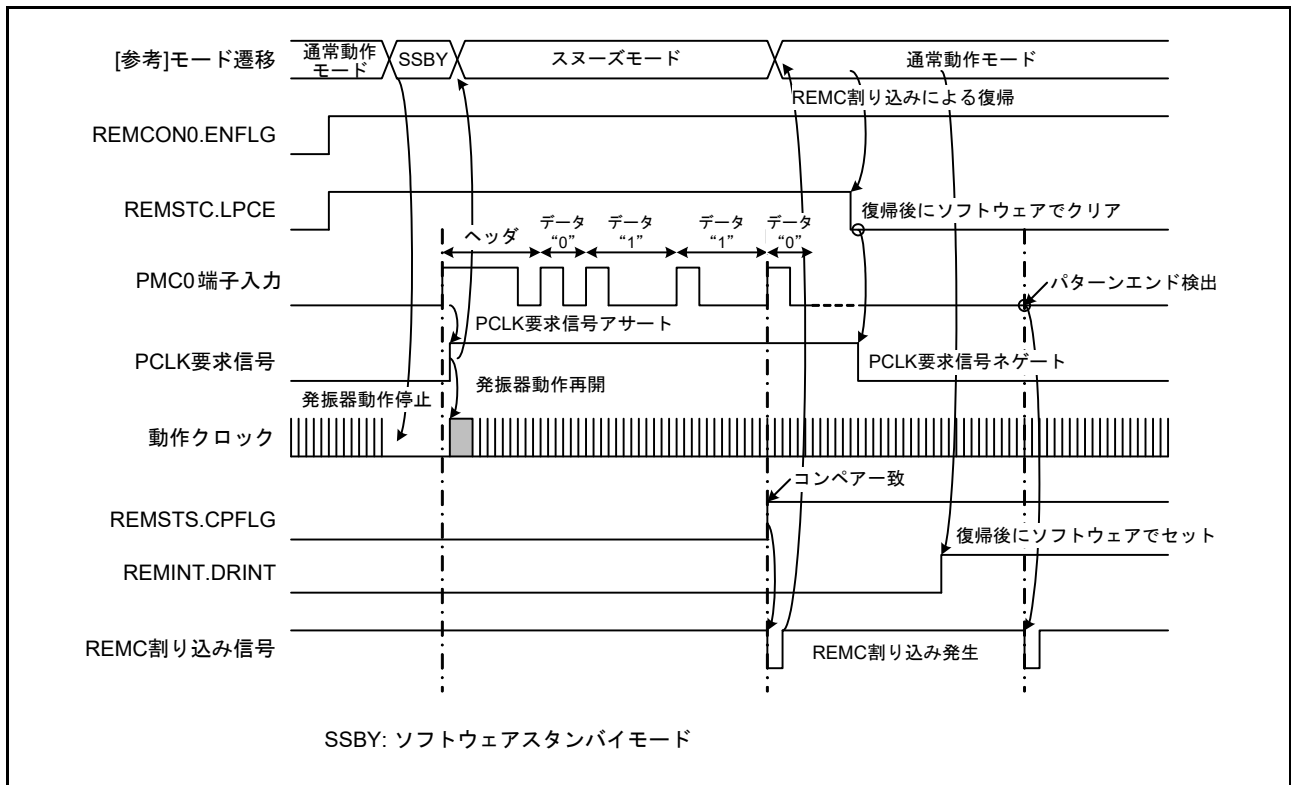


図 37.24 コンペア一致でのソフトウェアスタンバイモードからの復帰

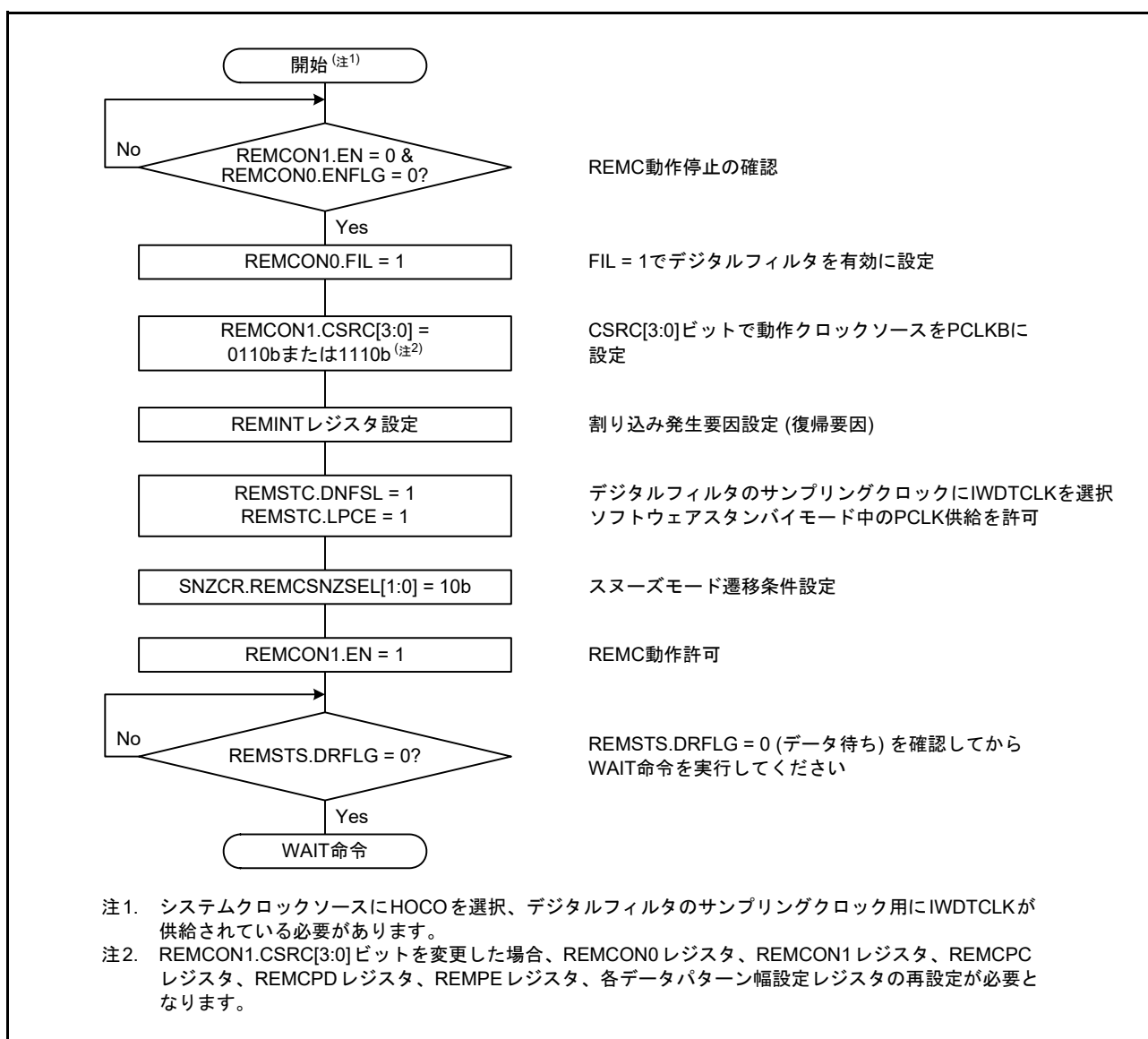


図 37.25 ソフトウェアスタンバイモードでのデータ受信設定フロー (REMSTC.LPCE = 1 の場合)

37.4 使用上の注意事項

37.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、REMCの動作禁止/許可を設定することが可能です。リセット後、REMCの動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

37.4.2 周辺モジュールクロックとREMC動作クロックの設定

周辺モジュールクロック周波数(PCLKB) > REMC動作クロック周波数となるように設定してください。

37.4.3 独立ウォッチドッグタイマ(IWDT)の使用制限

REMC動作クロックまたはデジタルフィルタのサンプリングクロックとして、IWDTCLKを使用する場合、IWDTの機能は使用しないでください。

37.4.4 ローパワータイマ(LPT)の使用制限

REMSTC.LPCEビットを“1”にしてソフトウェアスタンバイモード中にデータ受信を行う場合、LPTの機能は使用しないでください。

37.4.5 リモコン信号受信機能の動作開始、停止

REMCON1.ENビットは、リモコン信号受信機能の動作開始または停止を制御するビットです。REMCON0.ENFLGフラグは動作の開始・停止したことを示すフラグです。REMCON1.ENビットを“1”(動作許可)にするとREMC回路が動作を開始し、REMCON0.ENFLGフラグが“1”になるまで、最大で動作クロックの0~1サイクルかかります。この間、REMCON0.ENFLGフラグを除くREMC関連レジスタ(37.2.1~37.2.20に示したレジスタ)をアクセスしないでください。

37.4.6 レジスタアクセス

以下のレジスタはREMCON1.ENビットと、REMCON0.ENFLGフラグがともに“0”(REMC停止)のときに変更してください。

- REMCON0レジスタ
- REMCON1レジスタ(ビット0~2を除く)
- REMINTレジスタ(ビット2,5を除く)
- REMCPCレジスタ
- REMCPDレジスタ
- ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターンのパターン幅設定レジスタ
- パターンエンド設定レジスタ
- REMSTCレジスタ

REMCON1.ENビット、またはREMCON0.ENFLGフラグが“1”(REMC動作)のときにREMCON1.TYP[1:0]ビットを書き換える場合、1ビットごとに値を変更してください。また

REMC0N0.INFLG フラグの切り替わり時に本ビットを書き換えるとリモコン信号受信機能に取り込まれる信号は不定となる場合があります。

REMDAT0、REMRBIT レジスタのビット 0 もしくは REMSTS.BFULFLG フラグに“0”を書き込んだ後に、再度同一ビットに“0”を書き込む際には動作クロック 2 サイクル間は書き込まないでください。

REMC0N0.INFLG フラグの切り替わり時に“0”を書き込んだ場合は、REMDATj、REMRBIT レジスタ、REMSTS.BFULFLG フラグは不定となる場合があります。

37.4.7 PMC0 入力制御

REMC0N0.FILSEL、FIL、INV ビットを書き換えた場合、デジタルフィルタのサンプリングクロックの 3 サイクルの間、リモコン信号受信機能に取り込まれる信号は不定です。

37.4.8 動作クロック変更時の注意事項

REMC0N1.CSRC[3:0] ビットを書き換えた場合、REMC0N0、REMC0N1、REMINT、REMCPC、REMCPCD、REMPE レジスタ、ヘッダパターン、データ“0”パターン、データ“1”パターン、特殊データパターン幅設定レジスタを再度設定してください。

37.4.9 レジスタ読み出し手順

次のレジスタのデータが変化するタイミングで読み出すと、不定値を読み出すことがあります。

REMC0N0、REMSTS レジスタの各フラグ (REMSTS.DRFLG フラグを除く)、REMTIM、REMDAT0 ~ REMDAT7、REMRBIT レジスタ

このタイミングを避けるため、これらのレジスタは以下に示す方法で読み出してください。

- 割り込みを使用する方法

REMC0N1.DRINT ビットを“1”(データ受信完了割り込み許可)にしておき、REMC 割り込みルーチン内で読み出す

- プログラムで監視する方法 1

REMC0N1.DRINT ビットを“1”(データ受信完了割り込み許可)にしておき、プログラムで ICU.IRn.IR フラグを監視し、“1”(割り込み要求発生)になったら読み出す

- プログラムで監視する方法 2

(1) REMSTS.DRFLG フラグを監視する

(2) REMSTS.DRFLG フラグが“1”になったら、“0”になるまで監視する

(3) REMSTS.DRFLG フラグが“0”になったら、必要な内容を読み出す

38. Renesas Secure IP (RSIP-E11A)

本 MCU は、セキュリティ機能に対応した Renesas Secure IP (RSIP-E11A) を内蔵しています。RSIP はアクセス管理回路、暗号エンジン、乱数生成回路から構成されます。RSIP は、RSIP ライブラリを組み合わせることで、盗聴を防止する「秘匿性」、情報の偽造を防止する「完全性」、成りすましを防止する「認証」が実現できます。

また、暗号、復号の処理に用いる鍵情報は RSIP 内のみに格納し、外部からのアクセスを遮断することが可能なため、より強固なセキュリティシステムを実現することができます。

38.1 概要

表 38.1 に RSIP の仕様を示します。図 38.1 に RSIP のブロック図を示します。

表 38.1 RSIP の仕様

項目	内容
アクセス制御	アクセス管理回路 <ul style="list-style-type: none"> プログラムの改ざんや、CPU の暴走等により RSIP への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、RSIP からのデータ出力を停止
共通鍵暗号方式	AES : NIST FIPS PUB 197 準拠 <ul style="list-style-type: none"> 鍵長 : 128 ビット/256 ビット データブロック長 : 128 ビット 暗号利用モード ECB, CBC, CTR : NIST SP 800-38A 準拠 CCM : NIST SP 800-38C 準拠 GCM : NIST SP 800-38D 準拠 メッセージ認証符号アルゴリズム CMAC : NIST SP 800-38B 準拠 GMAC : NIST SP 800-38D 準拠 実行サイクル数(注1) ECB, CBC, CTR, CCM, GCM, CMAC, GMAC : 鍵長 128 ビット : PCLKB 44 サイクル 鍵長 256 ビット : PCLKB 60 サイクル
公開鍵暗号方式	ECC <ul style="list-style-type: none"> 鍵長 : 最長 256 ビット データブロック長 : 最長 256 ビット 署名の生成、署名の検証、鍵の生成
メッセージダイジェスト関数	HASH <ul style="list-style-type: none"> セキュアハッシュアルゴリズム SHA-224, SHA-256 : FIPS PUB 180-4 準拠 鍵長 : 最長 512 ビット データブロック長 512 ビット (SHA-224, SHA-256)
乱数生成	128 ビット真性乱数生成回路
ハードウェアユニークキー (HUK)	<ul style="list-style-type: none"> MCU の個体ごとに異なる 256 ビットリードオンリの鍵 RSIP ユニーク ID でラップして CPU から隔離された領域に格納 アクセス管理回路から専用バス経由でのみ読み出し可能 (CPU からアクセス不可能)
RSIP ユニーク ID	<ul style="list-style-type: none"> MCU の個体を識別するための 64 ビットリードオンリの ID コード アクセス管理回路から専用バス経由で読み出し可能 RSIP ユニーク ID は HUK をアンラップするために使用
鍵の管理	<ul style="list-style-type: none"> ユーザ鍵を HUK を用いてラップすることにより、フラッシュメモリや RAM 上で安全に保管することが可能 (平文鍵を保管しない) HUK でラップされた鍵は当該 RSIP の内部でのみ有効 (ラップされた鍵が流出しても、他の MCU 上の RSIP ではアンラップできない)
スーパバイザモード	<ul style="list-style-type: none"> スーパバイザモード信号をアクセス管理回路に接続しており、RSIP の制御をスーパバイザモード時に限定することが可能
割り込み要因	10 種類
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. RSIP ライブラリ呼び出しのオーバーヘッドは含みません。

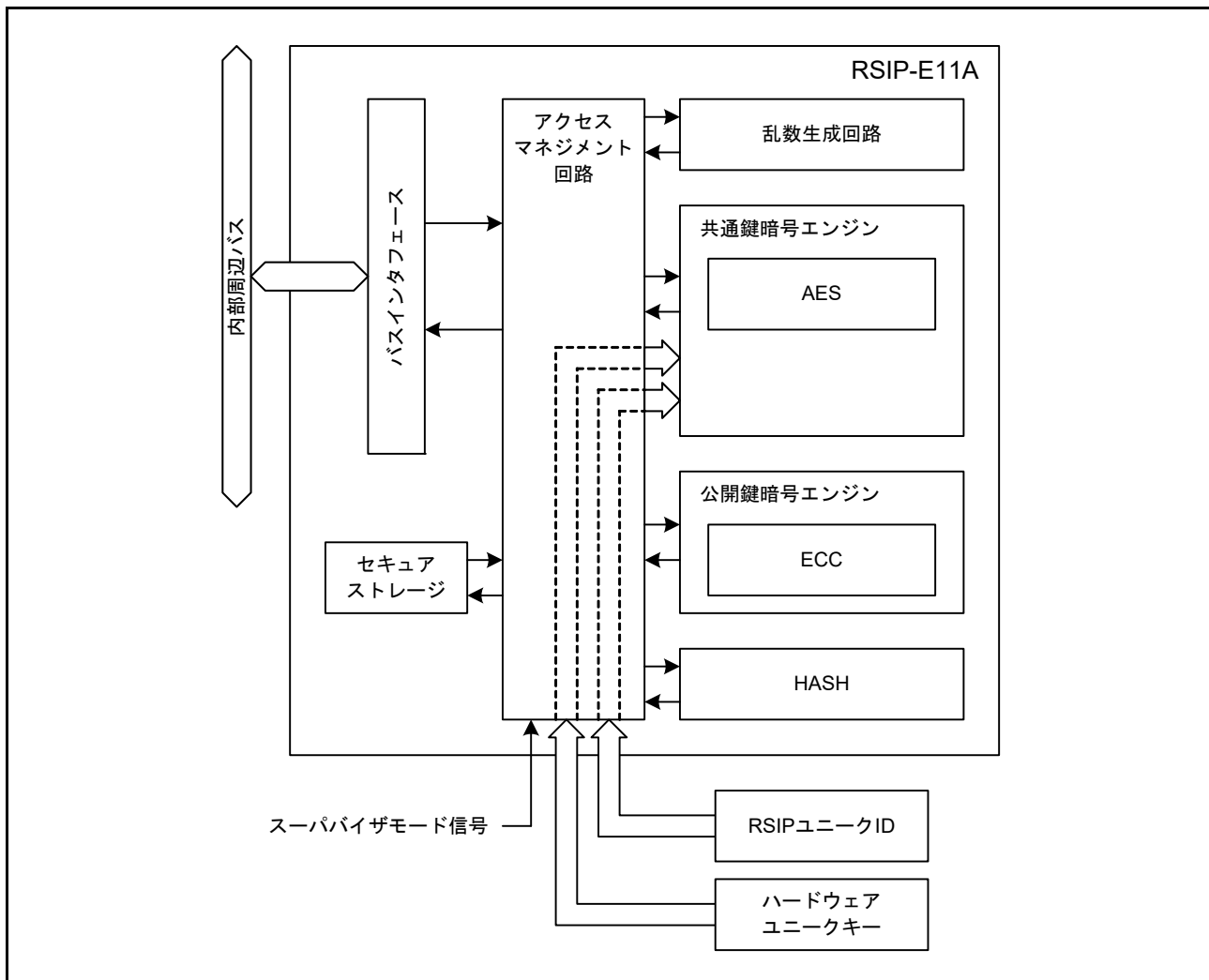


図 38.1 RSIP のブロック図

38.2 動作説明

38.2.1 暗号エンジン

RSIP に搭載している暗号エンジンの概念図を図 38.2 に示します。

暗号エンジンはラップされたユーザ鍵を使用し、平文を暗号文に、または暗号文を平文に変換する処理をハードウェアで行います。

ユーザ鍵や暗号/復号処理の中間データが RSIP の外部に出力されることなく、暗号/復号処理を行うことができます。

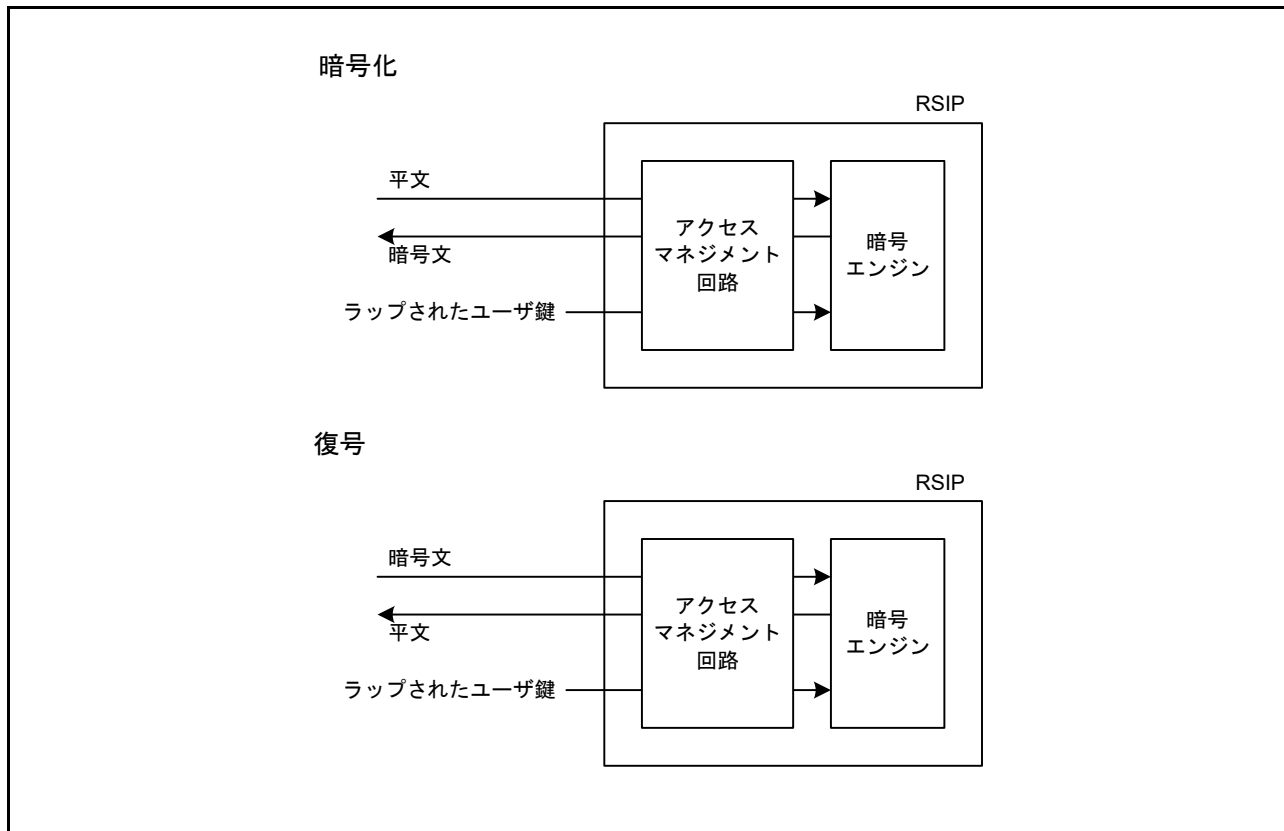


図 38.2 暗号エンジン概念図

38.2.2 暗号 / 復号処理

暗号 / 復号処理は、以下の手順で行います。

- (1) ラップされたユーザ鍵を RSIP に入力し、ユーザ鍵を復元します。
- (2) 処理対象のデータを RSIP に入力します。平文は暗号文に、暗号文は平文に変換されます。
- (3) 変換されたデータを読み出します。

暗号エンジンは入力バッファ、出力バッファを持っており、データの入出力と並行して暗号 / 復号処理を行うことができます。

図 38.3 に AES の暗号 / 復号処理タイミング図を示します。

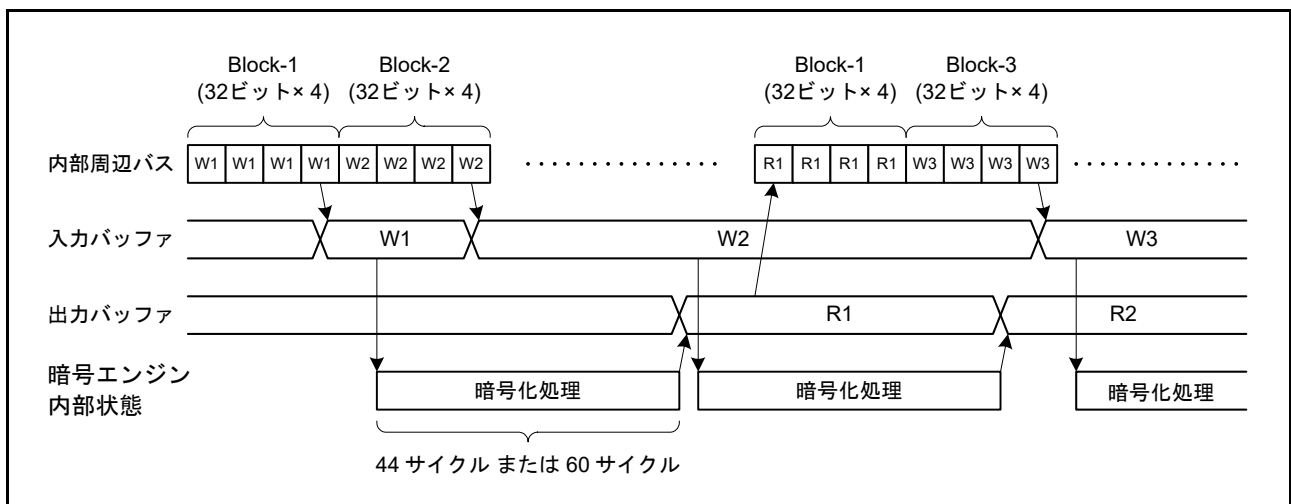


図 38.3 AES 暗号 / 復号処理タイミング図

38.3 割り込み

表 38.2 に RSIP の割り込み要因の一覧を示します。

表 38.2 RSIPの割り込み要因

名称	割り込み要因
PROC_BUSY	手順完了割り込み
ROMOK	改ざん検出割り込み
LONG_PLG	演算完了割り込み
TEST_BUSY	テストビジー
WRRDY0	ライトレディ 0
WRRDY2	ライトレディ 2
RDRDY0	リードレディ 0
INTEGRATE_WRRDY	インテグレートライトレディ
INTEGRATE_RDRDY	インテグレートリードレディ
ECCERR	ECCエラー検出割り込み

38.4 使用上の注意事項

38.4.1 スタンバイモード

暗号エンジンが処理を実行している途中でスタンバイモードに遷移した場合、復帰後に処理を継続しても正しく動作しません。暗号エンジンの動作が停止した状態でスタンバイモードに移行して下さい。

38.4.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、RSIP の動作を禁止 / 許可することができます。リセット後は、RSIP の動作は停止しています。モジュールストップ状態を解除することにより、RSIP にアクセスできます。詳細は「11. 消費電力低減機能」を参照して下さい。

38.4.3 RSIP ライブラリ

RSIP を使用する際は、ルネサス エレクトロニクスから提供する RSIP ライブラリが必要になります。

39. 静電容量式タッチセンサ (CTSUS2SLa)

静電容量式タッチセンサユニット (CTSU: Capacitive Touch Sensing Unit) は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が直接電極に接触することはありません。

図 39.1 に示すように、電極と周囲の導電体との間には静電容量 (寄生容量) が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

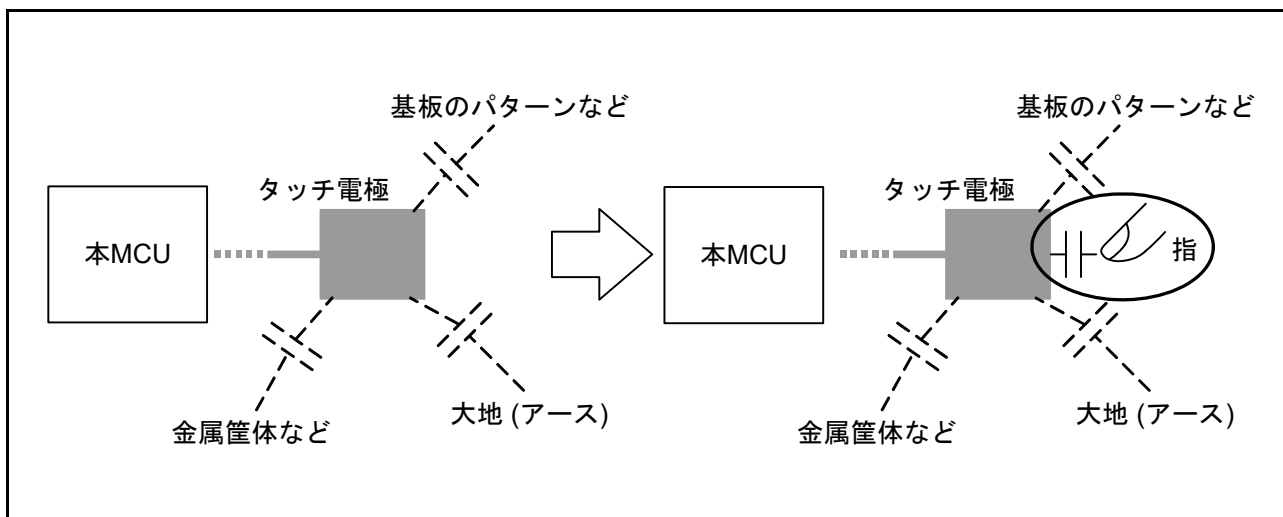


図 39.1 指による静電容量の増加

静電容量の検出方式には自己容量方式と相互容量方式があります。

自己容量方式では、指とひとつの電極との間に生じる静電容量を検出します。一方、相互容量方式は、二つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

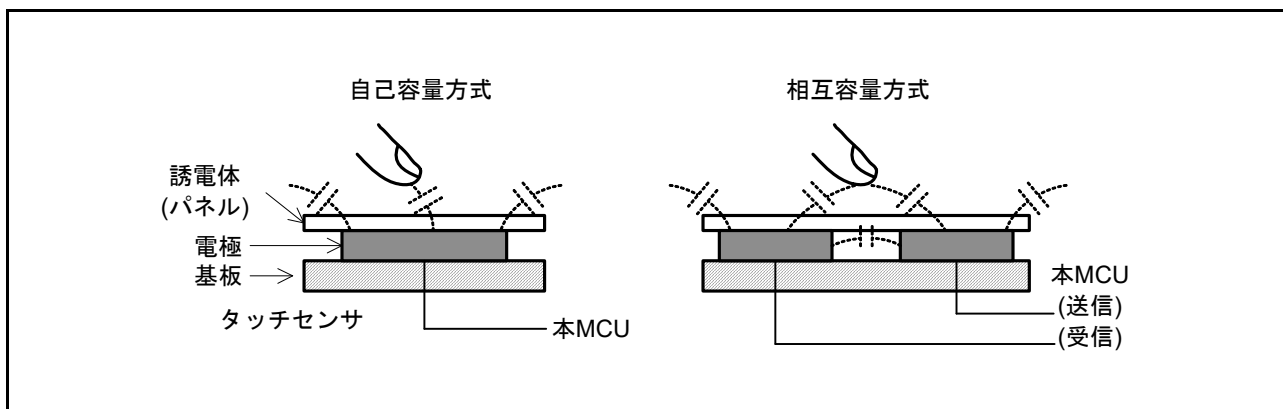


図 39.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数に変化するクロック信号を一定の時間カウントすることにより行います。

CTSU の計測動作原理については、「39.3.1 計測動作原理」を参照してください。

39.1 概要

表 39.1 に CTSU の仕様を、図 39.3 に CTSU のブロック図を示します。

表 39.1 CTSU の仕様

項目		内容
動作クロック		PCLKB (1 MHz~)、PCLKB/2、PCLKB/4、またはPCLKB/8から選択
入出力端子	静電容量計測端子	TS0~TS35端子(36チャンネル)
	計測電源用コンデンサ接続端子	TSCAP端子(0.01 μF)
計測方式	自己容量方式	電極の静電容量に対する充放電電流から計測
	相互容量方式	送信電極-受信電極間の静電容量に対する充放電電流から計測
	電流計測モード	端子に流れる電流を直接計測
スキャンモード	シングルスキャンモード	1チャンネルの静電容量を計測
	マルチスキャンモード	複数チャンネルの静電容量を連続して計測
ノイズ対策		<ul style="list-style-type: none"> センサドライブパルスのスペクトラム拡散機能 センサドライブパルスのランダム位相シフト機能 複数周波数センサドライブパルスを用いたノイズホッピング機能
端子ごとの調整		<ul style="list-style-type: none"> オフセット電流調整機能 センサドライブパルス周波数指定 計測時間指定
計測開始条件		<ul style="list-style-type: none"> ソフトウェアトリガ 外部トリガ(イベントリンクコントローラ(ELC)からのイベント入力)
自動処理機能		<ul style="list-style-type: none"> 自動補正機能 自動判定機能
低電力動作		スヌーズモード時に計測可能 <ul style="list-style-type: none"> ELC経由で入力される外部トリガによって計測開始 自動判定機能を使用した非タッチ判定によってスヌーズモードを終了可能 測定終了割り込みによってスヌーズモードを解除可能
割り込み要因		<ul style="list-style-type: none"> レジスタ設定要求割り込み(CTSUWR) 計測結果読み出し要求割り込み(CTSURD) 測定終了割り込み(CTSUFN)
イベントリンク機能		計測開始トリガ入力
消費電力低減機能		モジュールストップ状態への遷移が可能

CTSU は、図 39.3 に示すようにステート制御部、トリガ制御部、クロック制御部、チャンネル制御部、ポート制御部、センサドライブパルス生成部、計測部、割り込み部、制御レジスタで構成されます。

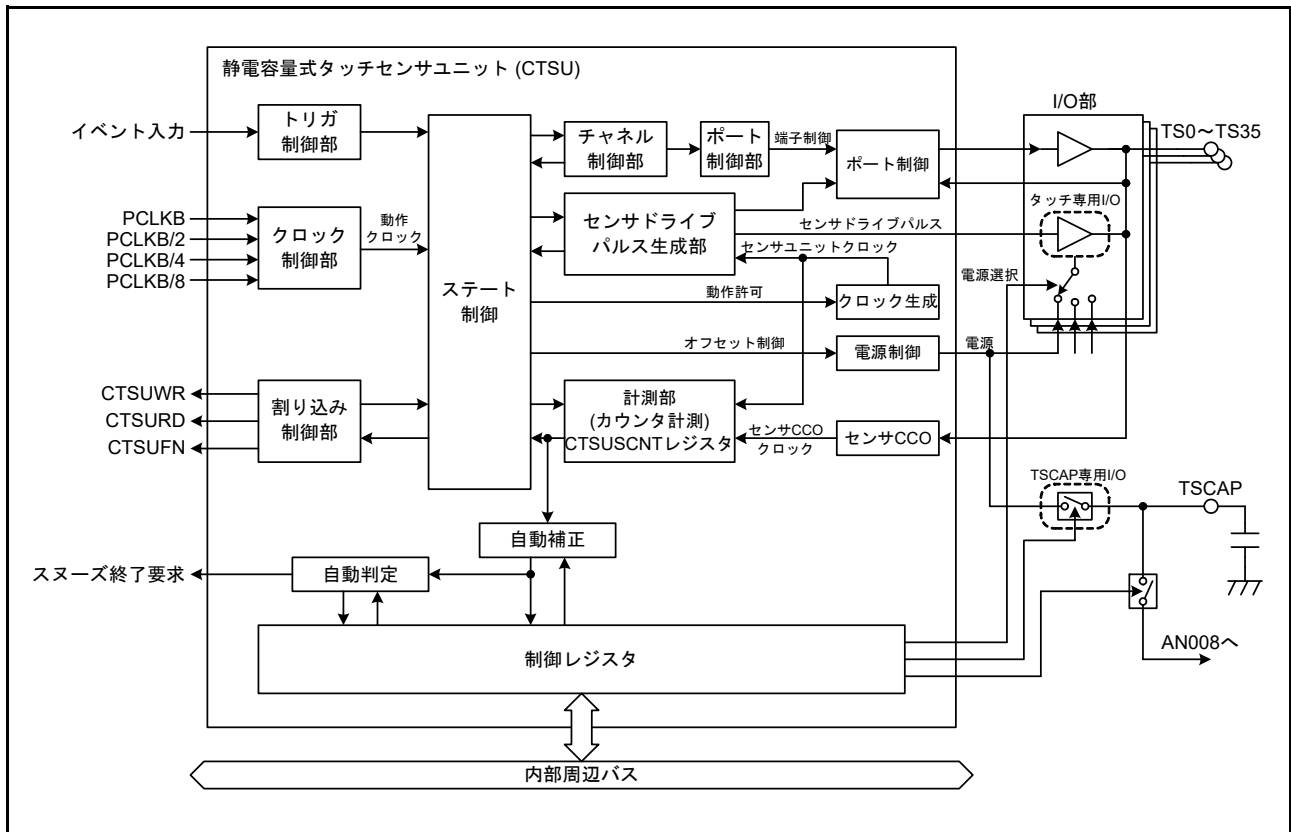


図 39.3 CTSU のブロック図

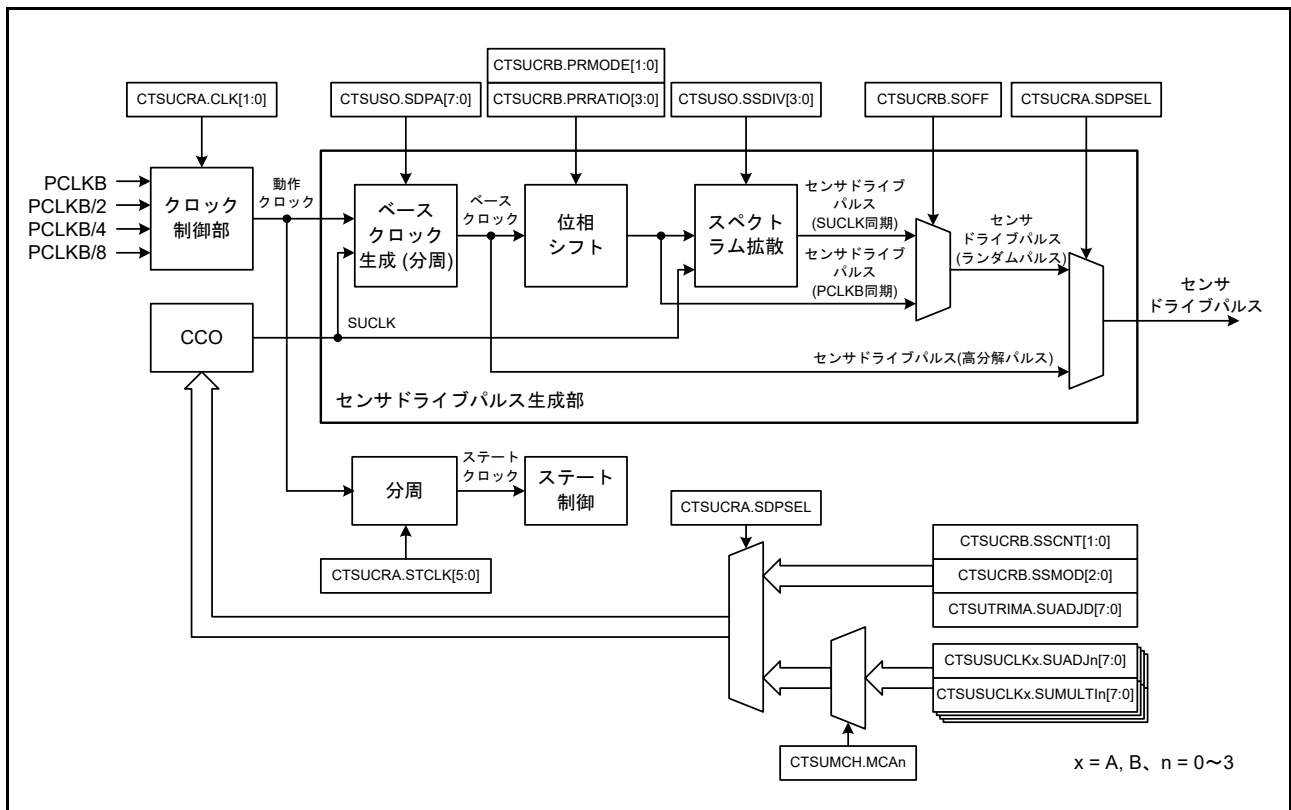


図 39.4 センサドライブパルス生成部の構成

表 39.2 CTSUの入出力端子

端子名	入出力	機能
TS0～TS35	入出力	静電容量計測端子(タッチ端子)
TSCAP	—	計測用二次電源(コンデンサ)接続端子

39.2 レジスタの説明

39.2.1 CTSU 制御レジスタ A (CTSUCRA)

アドレス CTSU.CTSUCRA 000A 0900h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
DCBAC K	DCMO DE	STCLK[5:0]					PCSEL	SDPSE L	POSEL[1:0]		LOAD[1:0]		ATUNE 2	—		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
MD1	MD0	CLK[1:0]		ATUNE 1	ATUNE 0	CSW	PON	TXVSEL[1:0]		PUMP ON	INIT	—	SNZ	CAP	STRT	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b0	STRT	計測動作開始ビット	0 : 計測動作停止 1 : 計測動作開始	R/W
b1	CAP	計測開始トリガ選択ビット	0 : ソフトウェアトリガ 1 : 外部トリガ	R/W
b2	SNZ	スヌーズ機能有効ビット	0 : スヌーズモード時計測無効/通常動作 1 : スヌーズモード時計測有効/サスペンド	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	INIT	制御部初期化ビット	“1”を書くとCTSU制御部と一部のレジスタ(注1)が初期化されます。読むと“0”が読めます	R/W
b5	PUMPON	昇圧回路起動ビット(注2)	0 : 昇圧回路OFF 1 : 昇圧回路ON	R/W
b7-b6	TXVSEL[1:0]	送信電源選択ビット	b7 b6 0 0 : I/O電源 x 1 : 低ノイズVCC(注3) 1 0 : 内部ロジック電源	R/W
b8	PON	計測電源供給許可ビット	0 : 電源OFF 1 : 電源ON	R/W
b9	CSW	計測電源用コンデンサ接続ビット	0 : TSCAP切断 1 : TSCAP接続	R/W
b10	ATUNE0	電源電圧設定ビット(注4)	0 : 計測電源電圧 = 1.5 V 1 : 計測電源電圧 = 1.2 V	R/W
b11	ATUNE1	電流レンジ切り替えビット1	電流の計測レンジを切り替えます。 詳細は、表39.5を参照してください	R/W
b13-b12	CLK[1:0]	動作クロック選択ビット	b13 b12 0 0 : PCLKB 0 1 : PCLKB/2 (PCLKBを2分周したクロック) 1 0 : PCLKB/4 (PCLKBを4分周したクロック) 1 1 : PCLKB/8 (PCLKBを8分周したクロック)	R/W
b14	MD0	計測モード選択ビット0	0 : シングルスキャンモード 1 : マルチスキャンモード	R/W
b15	MD1	計測モード選択ビット1	0 : 自己容量方式 1 : 相互容量方式	R/W
b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17	ATUNE2	電流レンジ切り替えビット2	電流の計測レンジを切り替えます。 詳細は、表39.5を参照してください	R/W
b19-b18	LOAD[1:0]	計測用負荷制御ビット	b19 b18 0 0 : 定電流負荷モード(通常計測用) 0 1 : 無負荷モード 1 0 : 定電流負荷モード(キャリブレーション用) 1 1 : 抵抗負荷モード(キャリブレーション用)	R/W

ビット	シンボル	ビット名	機能	R/W
b21-b20	POSEL[1:0]	非計測チャンネル出力選択ビット	b21 b20 0 0 : Low出力 0 1 : オープン(Hi-Z) 1 0 : Low出力(TXVSEL[1:0]ビットで設定した電源を使用) 1 1 : 送信チャンネルと同相のパルスを出力(TXVSEL[1:0]ビットで設定した電源を使用)	R/W
b22	SDPSEL	センサドライブパルス選択ビット	0 : ランダムパルスモード 1 : 高分解パルスモード(SUCLKモード)	R/W
b23	PCSEL	昇圧回路クロック選択ビット	0 : センサドライブパルス 1 : ステートクロック	R/W
b29-b24	STCLK[5:0]	ステートクロック選択ビット	設定値をnとすると、ステートクロック(STCLK)の周波数は動作クロックの $1/2(n+1)$ $n=0\sim 63$ 、STCLK = 動作クロック / (2~128) STCLKの周波数が500 kHzになるようにしてください	R/W
b30	DCMODE	電流計測モード選択ビット	0 : 通常モード 1 : DC電流計測モード	R/W
b31	DCBACK	電流計測帰還選択ビット	0 : TSCAP端子からフィードバック 1 : TSm端子からフィードバック	R/W

注. STRT ビット、INITビット以外のビットは、STRT ビットが“0”のときに設定してください。

注1. CTSUSCNT、CTSUSMCH、CTSUSURの各レジスタが初期化されます。

注2. VCCの電圧が4.5 V未満の場合、“1”にしてください。

注3. 低ノイズVCCとは、VCC端子からCTSUS送信電源専用の配線を用いて供給される電源です。他の回路との共通インピーダンスを持たないため、近隣端子の動作に伴うスイッチングノイズの影響を受けにくくなっています。

注4. VCCの電圧が2.4 V未満の場合、“1”にしてください。

STRT ビット (計測動作開始ビット)

計測の開始 / 停止を制御します。

CAP ビットが“0”(ソフトウェアトリガ)のときに STRT ビットを“1”にすると、計測を開始します。計測が終了すると自動的に“0”になります。

CAP ビットが“1”(外部トリガ)のときに STRT ビットを“1”にすると、外部トリガ待ち状態になり、外部トリガが入力されると計測を開始します。計測が終了すると、再び外部トリガ待ち状態になります。

CTSUSの状態を、表 39.3 に示します。

表 39.3 CTSUSの状態

CAPビット	STRTビット	CTSUSUR.STC[2:0]フラグ	CTSUSの状態
0	0	—	停止
0	1	—	計測中
1	0	—	停止
1	1	000b	外部トリガ待ち
1	1	000b以外	計測中

STRT ビットが“1”のときに“1”を上書きした場合、書き込みは無視され、動作はそのまま継続されます。

STRT ビットが“1”のときに計測を強制的に停止させたい場合(強制停止)、STRT ビットを“0”にするのと同時に INIT ビットを“1”にしてください。

SNZ ビット (スヌーズ機能有効ビット)

外部トリガを選択した場合に、スヌーズモード時の計測を有効にするビットです。また、単純に CTSU をサスペンド状態にして、待機時の消費電力を抑える用途にも使用できます。

表 39.4 CTSUの内部状態

PONビット	SNZビット	CAPビット	STRTビット	外部トリガ	CTSUの内部状態
0	0	0	0	—	停止
1	0	—	—	—	動作
1	1	0	0	—	サスペンド(低電力モード)(注1)
1	1	1	0	—	サスペンド
1	1	1	1	なし	サスペンド(トリガ待ち)
1	1	1	1	あり	計測

注. 上記以外は設定禁止です。

注1. CTSUを待機させて消費電力を抑えるモードです。計測はできません。

ソフトウェアスタンバイモード中のトリガによってスヌーズモードに遷移し、計測を実行できます。

スヌーズモード時の計測は以下の手順で実行できます。

- (1) イベントリンクコントローラ (ELC) で CTSU の外部トリガを LPT コンペアマッチ 1 に設定してください。
- (2) スヌーズモードへの遷移条件を (1) の要因に設定し、スヌーズモードの解除条件を測定終了割り込み (CTSUFN 割り込み) に設定してください。
- (3) CAP ビットと SNZ ビットを“1”にした後、STRT ビットを“1”にして、外部トリガ待ち状態にしてください。
- (4) ソフトウェアスタンバイモードに遷移させてください。
- (5) 外部トリガを検出すると、スヌーズモードに遷移し、CTSU が計測を開始します。
- (6) 計測が終了すると、CTSUFN 割り込みが発生し、CPU は通常動作モードになります。
- (7) SNZ ビットを“0”にしてサスペンド状態を解除してください。サスペンド状態を継続する場合、この後再度 SNZ ビットを“1”にしてください。

センサドライブパルスを高分解パルスモードに設定し (CTSUCRA.SDPSEL ビット = 1)、スヌーズ機能を使用する場合、昇圧回路用クロックにセンサドライブパルスを選択 (CTSUCRA.PCSEL ビット = 0) できません。

INIT ビット (制御部初期化ビット)

このビットを“1”にすることで内部制御レジスタを初期化できます。計測中に強制停止させる場合は、STRT ビットを“0”にするのと同時に INIT ビットを“1”にしてください。

STRT ビットを“1” (CTSU 動作開始) にするのと同時に INIT ビットを“1”にしないでください。

PUMPON ビット (昇圧回路起動ビット)

アナログスイッチの電源を生成するための昇圧回路を制御します。このビットが“0”のとき、出力電圧は VCC と同じになり、“1”のとき約 4.5V になります。VCC の電圧が 4.5V 未満の場合、このビットを“1”にしてください。

TXVSEL[1:0] ビット (送信電源選択ビット)

相互容量方式において、送信に設定した TSm 端子の I/O 電源を選択するビットです。また、選択した電源は、自己容量方式のアクティブシールド電極用の電源にも使用されます。

TSm 端子を自己容量方式のアクティブシールドに使用する場合は、“10b”にしてください。

PON ビット (計測電源供給許可ビット)

計測用電源 (1.5 V) の供給を制御するビットです。

このビットを“1”にする前に、PUMPON ビットを設定し、CSW ビットを“1”にしてください。

CSW ビット (計測電源用コンデンサ接続ビット)

TSCAP 端子に接続されたコンデンサの充電制御を行います。

このビットを“1”にする前に、TSCAP 端子にマルチプレクスされた汎用入出力ポート (PC4 端子) から Low を出力し、コンデンサの電荷を放電させてください。

このビットを“1”にした後は、TSCAP 端子に接続されたコンデンサが充電されるまで待ってから計測を開始してください。

ATUNE0 ビット (電源電圧設定ビット)

CTS2 の計測電源電圧を制御するビットです。

VCC の電圧に応じて本ビットを設定してください。VCC の電圧が 2.4 V 未満の場合、このビットを“1”にしてください。2.4 V 以上の場合は“0”、“1”どちらでも構いません。

ATUNE1 ビット (電流レンジ切り替えビット 1)、ATUNE2 ビット (電流レンジ切り替えビット 2)

計測電源の最大供給電流 (計測レンジ) を設定します。

表 39.5 ATUNE1 ビット、ATUNE2 ビットの設定と計測レンジ

ATUNE2 ビット	ATUNE1 ビット	計測レンジ
0	0	80 μ A
0	1	40 μ A
1	0	20 μ A
1	1	160 μ A (電流計測モード)

MD1 ビット (計測モード選択ビット 1)

計測方式 (自己容量方式 / 相互容量方式) を選択するビットです。

このビットを“0” (自己容量方式) にする場合、計測対象のチャネルは受信 (CHTRCm ビット = 0 (m = 0 ~ 35)) にしてください。アクティブシールドとして使用する場合に限り送信 (CHTRCm ビット = 1) にすることができます。送信に設定したチャネルがある場合、送信端子からは計測中のチャネルと同相のパルスが出力されます。

このビットを“1” (相互容量方式) にする場合、送信端子と受信端子をまんべんなく配置してください。すべてのチャネルが受信の場合、計測できません。

詳細は、「39.3.4 計測方式」を参照してください。

LOAD[1:0] ビット (計測用負荷制御ビット)

計測用の負荷を選択するビットです。

このビットが“00b”の場合、2.5 μ A の定電流負荷、“10b”の場合 20 μ A の定電流負荷、“11b”の場合 15 k Ω の抵抗負荷が選択されます。

定電流負荷モードから抵抗負荷モードに切り替える場合、まず無負荷モードに切り替えてから抵抗負荷モードに切り替えてください。

POSEL[1:0] ビット (非計測チャネル出力選択ビット)

計測中でない端子 (非計測端子) の出力を選択するビットです。

たとえば、図 39.5 のような電極配置で、TS0 ~ TS2 端子を使用して自己容量方式による計測を行い、TS3 端子と非計測端子をアクティブシールドとして使用する場合、以下のように設定します。

- TS3 端子を送信に設定 : CTSUCHACA.CHAC3 ビット、CTSUCHTRCA.CHTRC3 ビットを“1”にします
- TS0 ~ TS2 端子を受信に設定 : CTSUCHACA.CHAC0 ~ CHAC2 ビットを“1”、CTSUCHTRCA.CHTRC0 ~ CHTRC2 ビットを“0”にします
- 非計測端子の出力を同相パルスに設定 : POSEL[1:0] ビットを“11b”にします

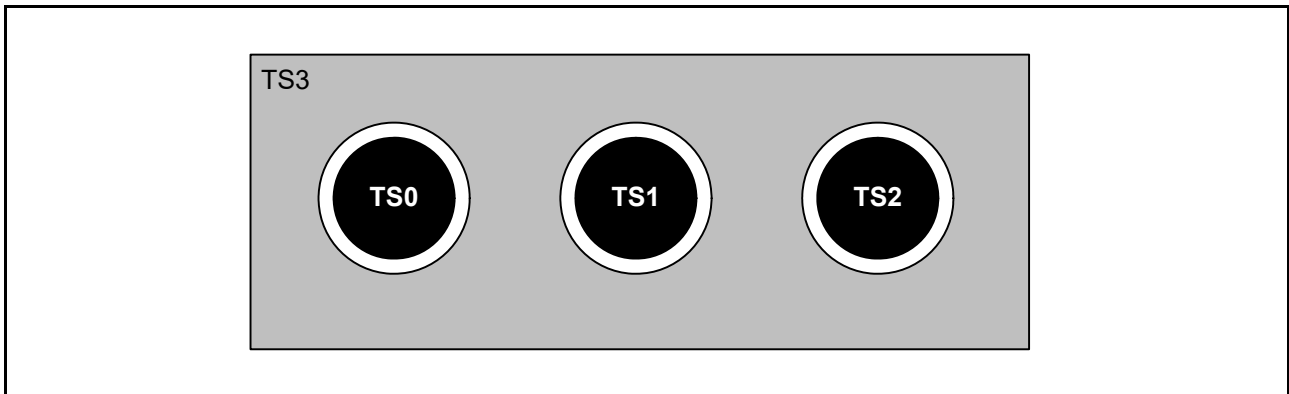


図 39.5 電極の配置例

SDPSEL ビット (センサドライブパルス選択ビット)

センサドライブパルスおよびセンサユニットクロック (SUCLK) を選択するビットです。

このビットを“0” (ランダムパルスモード) にした場合、動作クロックを CTSUSO.SDPA[7:0] ビットで分周したクロック (ベースクロック) を基準に、疑似乱数を用いてランダムに Low 幅を延長させることで、PCLKB に同期したセンサドライブパルスを生成します。このパルスを SUCLK でリサンプリングすることによって、High 幅、Low 幅ともにランダムにしたものをセンサドライブパルスとして使うこともできます。SUCLK は CTSUTRIMA.SUADJD[7:0] ビット、CTSUCRB.SSCNT[1:0] ビット、CTSUCRB.SSMOD[2:0] ビットの設定に従って生成されます。ランダムパルスモードでは、SUCLK はセンサドライブパルスのリサンプリング (周波数拡散) のためだけに使用されます。

このビットを“1” (高分解パルスモード) にした場合、SUCLK を CTSUSO.SDPA[7:0] ビットで分周したクロック (ベースクロック) がセンサドライブパルスになります。SUCLK は CTSUSUCLKA レジスタ、CTSUSUCLKB レジスタの設定に従って生成されます。CTSUSUCLKA レジスタ、CTSUSUCLKB レジスタは SDPSEL ビットを“1”にする前に設定し、“1”にした後は書き換えしないでください。CTSUCALIB.CCOCLK ビットを“1”にすると、計測ごとに SUCLK の周波数が調整されます。

STCLK[5:0] ビット (ステートクロック選択ビット)

動作クロックに対するステートクロック (STCLK) の分周値を設定します。STCLK は、計測時間と SUCLK の周波数調整周期に関係します。

このビットの設定値を n とすると、分周値は以下の式で決まります。

$$\text{分周値} = (n + 1) \times 2$$

STCLK が 500 kHz になるように、値を設定してください。

DCMODE ビット (電流計測モード選択ビット)

センサドライブパルスを使用せずに、電流を計測するときに使用します。

このビットを“1”にすると、受信端子から、CTSUCALIB.IOC ビットで指定したレベルが出力され、センサドライブパルスが停止します。

DCBACK ビット (電流計測帰還選択ビット)

計測電源 (LDO) のフィードバック入力を選択するビットです。DCMODE ビットが“1”のときのみ有効です。

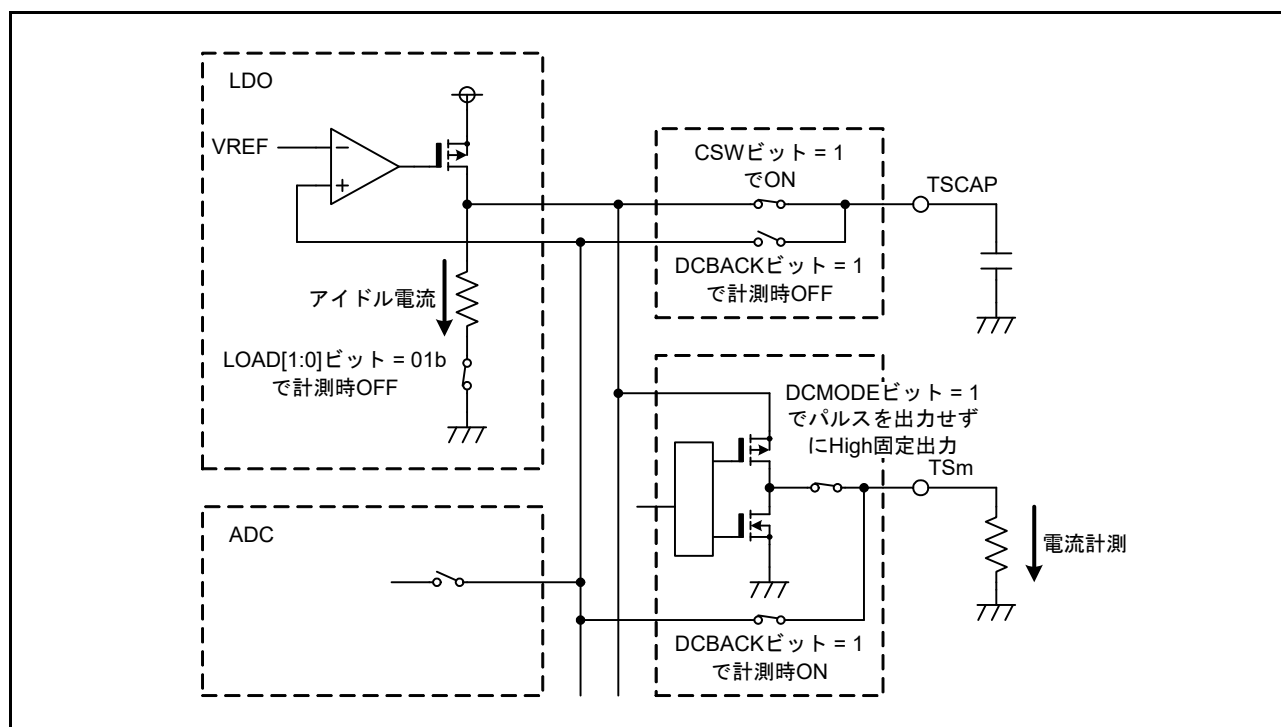


図 39.6 LDO のフィードバックループ

39.2.2 CTSU 制御レジスタ B (CTSUCRB)

アドレス CTSU.CTSUCRB 000A 0904h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PRRATIO[3:0]	疑似乱数更新周期設定ビット (注1)	疑似乱数生成用の線形帰還シフトレジスタ (LFSR) のシフト周期を設定します。	R/W
b5-b4	PRMODE[1:0]	疑似乱数生成周期設定ビット (注1)	b5 b4 0 0 : 255周期 0 1 : 63周期 1 0 : 31周期 1 1 : 3周期	R/W
b6	SOFF	周波数拡散機能OFFビット (注1)	0 : 周波数拡散機能ON 1 : 周波数拡散機能OFF	R/W
b7	PROFF	疑似乱数OFFビット	0 : 疑似乱数制御を行う 1 : 疑似乱数制御を行わない	R/W
b15-b8	SST[7:0]	センサ安定待ち時間設定ビット	<ul style="list-style-type: none"> ランダムパルスモード(CTSUCRA.SDPSEL = 0) 設定値をnとすると、安定待ち時間はPCLKB同期のセンサドライブパルスの2(n + 1)サイクル 高分解パルスモード(CTSUCRA.SDPSEL = 1) 設定値をnとすると、安定待ち時間はSTCLKのn + 1サイクル 	R/W
b23-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	SSMOD[2:0]	SUCLK拡散モード選択ビット	b26 b24 0 0 0 : 256周期 0 0 1 : 384周期 0 1 0 : 512周期 0 1 1 : 1024周期 1 1 1 : 周波数拡散なし 上記以外は設定しないでください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29-b28	SSCNT[1:0]	SUCLK拡散制御ビット	b29 b28 0 0 : CTSUTRIMA.SUADJD[7:0] + 00h 0 1 : CTSUTRIMA.SUADJD[7:0] + 20h 1 0 : CTSUTRIMA.SUADJD[7:0] + 40h 1 1 : CTSUTRIMA.SUADJD[7:0] + 60h	R/W
b31-b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. CTSUCRBレジスタは、CTSUCRA.STRTビットが“0”のときに設定してください。

注1. PRRATIO[3:0]ビット、PRMODE[1:0]ビット、SOFFビットは、CTSUCRA.SDPSELビットが“0” (ランダムパルスモード) のときのみ有効です。

PRRATIO[3:0] ビット (疑似乱数更新周期設定ビット)

疑似乱数生成に使用する線形帰還シフトレジスタ (LFSR) のシフト周期を指定するビットです。ベースクロックのクロック数で指定します。

また、このビットの設定値は、計測パルス数や計測時間に影響します。これらは以下の式で計算できます。

基本パルス数は、PRMODE[1:0] ビットによって選択した周期の2倍です。

計測パルス数 = 基本パルス数 × (PRRATIO[3:0] ビット + 1)

計測時間 = (基本パルス数 × (PRRATIO[3:0] ビット + 1) + (基本パルス数 - 2) × 0.25) × ベースクロック周期

PRMODE[1:0] ビット (疑似乱数生成周期設定ビット)

疑似乱数生成に使用する線形帰還シフトレジスタ (LFSR) の生成多項式を更新する周期を指定するビットです。

このビットで選択した周期の2倍が基本パルス数になります。

SOFF ビット (周波数拡散機能 OFF ビット)

周波数拡散のための SUCLK によるリサンプリング機能を OFF にするためのビットです。PCLKB に同期したセンサドライブパルスを使用する場合は、このビットを“1”にしてください。

PROFF ビット (疑似乱数 OFF ビット)

疑似乱数制御を OFF にするためのビットです。このビットを“1”にすると、疑似乱数生成に LFSR は用いられず、1周期毎に“1”または“0”を出力します。

SST[7:0] ビット (センサ安定待ち時間設定ビット)

センサドライブパルス供給から TSCAP 端子の電圧が安定するまでの期間を設定するビットです。

TSCAP 端子の電圧はセンサドライブパルスを供給することにより安定します。このビットの値とサイクル数の関係は以下のとおりです。

- CTSUCRA.SDPSEL ビット = 0 の場合

PCLKB 同期のセンサドライブパルスのサイクル数を基準に安定待ち時間を指定します。

サイクル数 = 2 × (SST[7:0] ビットの値 + 1)

安定待ち時間は、以下の範囲で設定してください。

SST[7:0] ビットで設定したサイクル数 ≥ (PRRATIO[3:0] ビット + 1)

- CTSUCRA.SDPSEL ビット = 1 の場合

STCLK のサイクル数により安定待ち時間を指定します。

サイクル数 = 1 × (SST[7:0] ビットの値 + 1)

SSMOD[2:0] ビット (SUCLK 拡散モード選択ビット)

SUCLK 発振器のスペクトラム拡散周期を設定するビットです。SUCLK の発振周波数は、CTSUTRIMA.SUADJD[7:0] ビットと SSCNT[1:0] ビットで指定された周波数を基準に、アップスプレッドされます。

SSCNT[1:0] ビット (SUCLK 拡散制御ビット)

CTSUTRIMA.SUADJD[7:0] ビットで指定された SUCLK 発振器の発振周波数を調整するビットです。

39.2.3 CTSU 計測チャネルレジスタ (CTSUMCH)

アドレス CTSU.CTSMCH 000A 0908h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	MCA3	MCA2	MCA1	MCA0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MCH1[5:0]					—	—	MCH0[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	MCH0[5:0]	計測チャネルビット0	<ul style="list-style-type: none"> シングルスキャンモード 計測したい受信チャネルの番号を指定します。 マルチスキャンモード 計測中の受信チャネルの番号が表示されます。 	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	MCH1[5:0]	計測チャネルビット1	<ul style="list-style-type: none"> シングルスキャンモード 計測したい送信チャネルの番号を指定します。 マルチスキャンモード 計測中の送信チャネルの番号が表示されます。 	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	MCA0	マルチクロック0許可ビット	0: 禁止 1: 許可(注1)	R/W
b17	MCA1	マルチクロック1許可ビット		
b18	MCA2	マルチクロック2許可ビット		
b19	MCA3	マルチクロック3許可ビット		
b31-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. CTSUMCHレジスタは、CTSUCRA.STRTビットが“0”のときに設定してください。

注1. 多数決モードを使用する(CTSUCRA.MAJIRIMDビット=1)場合、4ビットの内3ビットだけ“1”にしてください。

MCH0[5:0] ビット (計測チャネルビット0)

シングルスキャンモードでは、計測する受信チャネルを指定します。CTSUCHACA、CTSUCHACBレジスタで“0”(計測対象外)に設定されているチャネルを指定しないでください。指定した場合、計測開始後すぐに完了します。

マルチスキャンモードでは、計測中の受信チャネルを示します。値を書き換えても、計測開始時にクリアされます。

計測が終了すると“111111b”になります。

MCH1[5:0] ビット (計測チャネルビット1)

シングルスキャンモードでは、計測する送信チャネルを指定します。CTSUCHACA、CTSUCHACBレジスタで“0”(計測対象外)に設定されているチャネルを指定しないでください。指定した場合、計測開始後すぐに完了します。

マルチスキャンモードでは、計測中の送信チャネルを示します。値を書き換えても、計測開始時にクリアされます。

計測が終了すると“111111b”になります。

MCA_n ビット (マルチクロック n 許可ビット) (n = 0 ~ 3)

周波数の異なる複数のセンサユニットクロック (SUCLK) を使用して計測 (マルチクロック計測) する場合に、各クロックの使用を許可するビットです。

MCA_n ビットを“1”にすると、SUCLK_n が計測に使用されます。

MCA_n ビットを複数有効にして計測を開始すると、SUCLK₀ から昇順にクロックを切り替えながら、指定されたチャンネルの計測を行います。許可されたすべての SUCLK で計測が終わると、次のチャンネルの計測を開始します。

SUCLK₀ ~ SUCLK₃ の周波数は、CTSUSUCLKA レジスタ、CTSUSUCLKB レジスタで設定します。

39.2.4 CTSU チャネル有効制御レジスタ A (CTSUCHACA)

アドレス CTSU.CTSUCHACA 000A 090Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CHAC3	CHAC3	CHAC2	CHAC2	CHAC2	CHAC2	CHAC2	CHAC2	CHAC2	CHAC2	CHAC2	CHAC2	CHAC1	CHAC1	CHAC1	CHAC1
リセット後の値	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CHAC1	CHAC1	CHAC1	CHAC1	CHAC1	CHAC1	CHAC9	CHAC8	CHAC7	CHAC6	CHAC5	CHAC4	CHAC3	CHAC2	CHAC1	CHAC0
リセット後の値	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHAC0	チャンネル0有効制御ビット	0 : 計測対象外 1 : 計測対象	R/W
b1	CHAC1	チャンネル1有効制御ビット		R/W
b2	CHAC2	チャンネル2有効制御ビット		R/W
b3	CHAC3	チャンネル3有効制御ビット		R/W
b4	CHAC4	チャンネル4有効制御ビット		R/W
b5	CHAC5	チャンネル5有効制御ビット		R/W
b6	CHAC6	チャンネル6有効制御ビット		R/W
b7	CHAC7	チャンネル7有効制御ビット		R/W
b8	CHAC8	チャンネル8有効制御ビット		R/W
b9	CHAC9	チャンネル9有効制御ビット		R/W
b10	CHAC10	チャンネル10有効制御ビット		R/W
b11	CHAC11	チャンネル11有効制御ビット		R/W
b12	CHAC12	チャンネル12有効制御ビット		R/W
b13	CHAC13	チャンネル13有効制御ビット		R/W
b14	CHAC14	チャンネル14有効制御ビット		R/W
b15	CHAC15	チャンネル15有効制御ビット		R/W
b16	CHAC16	チャンネル16有効制御ビット		R/W
b17	CHAC17	チャンネル17有効制御ビット		R/W
b18	CHAC18	チャンネル18有効制御ビット		R/W
b19	CHAC19	チャンネル19有効制御ビット		R/W
b20	CHAC20	チャンネル20有効制御ビット		R/W
b21	CHAC21	チャンネル21有効制御ビット		R/W
b22	CHAC22	チャンネル22有効制御ビット		R/W
b23	CHAC23	チャンネル23有効制御ビット		R/W
b24	CHAC24	チャンネル24有効制御ビット		R/W
b25	CHAC25	チャンネル25有効制御ビット		R/W
b26	CHAC26	チャンネル26有効制御ビット		R/W
b27	CHAC27	チャンネル27有効制御ビット		R/W
b28	CHAC28	チャンネル28有効制御ビット		R/W
b29	CHAC29	チャンネル29有効制御ビット		R/W
b30	CHAC30	チャンネル30有効制御ビット		R/W
b31	CHAC31	チャンネル31有効制御ビット		R/W

注. CTSUCHACAレジスタは、CTSUCRA.STRTビットが“0”のときに設定してください。

39.2.5 CTSU チャネル有効制御レジスタ B (CTSUCHACB)

アドレス CTSU.CTSUCHACB 000A 0910h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CHAC3 5	CHAC3 4	CHAC3 3	CHAC3 2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHAC32	チャンネル32有効制御ビット	0 : 計測対象外 1 : 計測対象	R/W
b1	CHAC33	チャンネル33有効制御ビット		R/W
b2	CHAC34	チャンネル34有効制御ビット		R/W
b3	CHAC35	チャンネル35有効制御ビット		R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. CTSUCHACBレジスタは、CTSUCRA.STRTビットが“0”のときに設定してください。

CHACm ビット (チャンネル m 有効制御ビット) (m = 0 ~ 35)

静電容量を計測する端子 (送信、受信とも) を設定します。

存在しない端子に対応するビットは“0”にしてください。

39.2.6 CTSU チャネル送受信制御レジスタ A (CTSUCHTRCA)

アドレス CTSU.CTSUCHTRCA 000A 0914h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CHTRC31	CHTRC30	CHTRC29	CHTRC28	CHTRC27	CHTRC26	CHTRC25	CHTRC24	CHTRC23	CHTRC22	CHTRC21	CHTRC20	CHTRC19	CHTRC18	CHTRC17	CHTRC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CHTRC15	CHTRC14	CHTRC13	CHTRC12	CHTRC11	CHTRC10	CHTRC9	CHTRC8	CHTRC7	CHTRC6	CHTRC5	CHTRC4	CHTRC3	CHTRC2	CHTRC1	CHTRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHTRC0	チャンネル0送受信制御ビット	0 : 受信 1 : 送信	R/W
b1	CHTRC1	チャンネル1送受信制御ビット		R/W
b2	CHTRC2	チャンネル2送受信制御ビット		R/W
b3	CHTRC3	チャンネル3送受信制御ビット		R/W
b4	CHTRC4	チャンネル4送受信制御ビット		R/W
b5	CHTRC5	チャンネル5送受信制御ビット		R/W
b6	CHTRC6	チャンネル6送受信制御ビット		R/W
b7	CHTRC7	チャンネル7送受信制御ビット		R/W
b8	CHTRC8	チャンネル8送受信制御ビット		R/W
b9	CHTRC9	チャンネル9送受信制御ビット		R/W
b10	CHTRC10	チャンネル10送受信制御ビット		R/W
b11	CHTRC11	チャンネル11送受信制御ビット		R/W
b12	CHTRC12	チャンネル12送受信制御ビット		R/W
b13	CHTRC13	チャンネル13送受信制御ビット		R/W
b14	CHTRC14	チャンネル14送受信制御ビット		R/W
b15	CHTRC15	チャンネル15送受信制御ビット		R/W
b16	CHTRC16	チャンネル16送受信制御ビット		R/W
b17	CHTRC17	チャンネル17送受信制御ビット		R/W
b18	CHTRC18	チャンネル18送受信制御ビット		R/W
b19	CHTRC19	チャンネル19送受信制御ビット		R/W
b20	CHTRC20	チャンネル20送受信制御ビット		R/W
b21	CHTRC21	チャンネル21送受信制御ビット		R/W
b22	CHTRC22	チャンネル22送受信制御ビット		R/W
b23	CHTRC23	チャンネル23送受信制御ビット		R/W
b24	CHTRC24	チャンネル24送受信制御ビット		R/W
b25	CHTRC25	チャンネル25送受信制御ビット		R/W
b26	CHTRC26	チャンネル26送受信制御ビット		R/W
b27	CHTRC27	チャンネル27送受信制御ビット		R/W
b28	CHTRC28	チャンネル28送受信制御ビット		R/W
b29	CHTRC29	チャンネル29送受信制御ビット		R/W
b30	CHTRC30	チャンネル30送受信制御ビット		R/W
b31	CHTRC31	チャンネル31送受信制御ビット		R/W

注. CTSUCHTRCAレジスタは、CTSUCRA.STRTビットが“0”のときに設定してください。

39.2.7 CTSU チャネル送受信制御レジスタ B (CTSUCHTRCB)

アドレス CTSU.CTSUCHTRCB 000A 0918h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CHTRC 35	CHTRC 34	CHTRC 33	CHTRC 32
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CHTRC32	チャンネル32送受信制御ビット	0: 受信 1: 送信	R/W
b1	CHTRC33	チャンネル33送受信制御ビット		R/W
b2	CHTRC34	チャンネル34送受信制御ビット		R/W
b3	CHTRC35	チャンネル35送受信制御ビット		R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. CTSUCHTRCBレジスタは、CTSUCRA.STRTビットが“0”のときに設定してください。

CHTRCm ビット (チャンネル m 送受信制御ビット) (m = 0 ~ 35)

相互容量フルスキャンモード時のチャンネル m (T_Sm 端子) に対する受信、送信の割り当てを行います。

自己容量方式 (CTSUCRA.MD1 ビット = 0) 時に送信にすると、アクティブシールド信号出力として使用できます。ただし、アクティブシールド出力として使用する場合は、2ビット以上“1”にしないでください。

39.2.8 CTSU ステータスレジスタ (CTSUSR)

アドレス CTSU.CTSUSR 000A 091Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PS	UCOVF	SCOVF	DTSR	—	STC[2:0]	—	—	ICOMP0	ICOMP1	ICOMP RST	—	—	—	MFC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MFC[1:0]	マルチクロックカウンタ	b1 b0 0 0 : SUCLK0 0 1 : SUCLK1 1 0 : SUCLK2 1 1 : SUCLK3	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ICOMP RST	ICOMP0、ICOMP1フラグリセットビット	“1”を書くと、ICOMP0、ICOMP1フラグがリセットされます。読むと“0”が読めます	R/W
b6	ICOMP1	過電流検出フラグ	0 : 正常 1 : 過電流検出	R
b7	ICOMP0	過電圧検出フラグ	0 : 正常 1 : 過電圧検出	R
b10-b8	STC[2:0]	計測ステートカウンタ	b10 b8 0 0 0 : State 0 0 0 1 : State 1 0 1 0 : State 2 0 1 1 : State 3 1 0 0 : State 4 1 0 1 : State 5	R
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DTSR	データ転送ステータスフラグ	0 : 計測結果が読み出されている 1 : 計測結果が読み出されていない	R
b13	SCOVF	センサカウンタオーバフローフラグ (注1)	0 : オーバフローなし 1 : オーバフローあり	R/(W) (注2)
b14	UCOVF	センサユニットクロックカウンタオーバフローフラグ (注1)	0 : オーバフローなし 1 : オーバフローあり	R/(W) (注2)
b15	PS	相互容量計測状態フラグ	0 : 1回目の計測 1 : 2回目の計測	R
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CTSUCRA.INITビットを“1”にしてSCOVF、UCOVFフラグをクリアする場合、CTSUCRA.STRTビットが“0”のときに実施してください。

注2. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合、フラグが“1”であることを確認してから“0”を書いてください。

MFC[1:0] ビット (マルチクロックカウンタ)

マルチクロック計測を実行中 (CTSUCRA.SDPSEL ビット = 1、CTSUCRA.MCAn ビット (n = 0 ~ 3) の 2 ビット以上が“1”)、そのとき使用されている SUCLK の番号を示します。

CTSUSR レジスタに値を書く場合、このビットには“00b”を書いてください。

ICOMP1 フラグ (過電流検出フラグ)

計測用電源の出力電流異常を示すフラグです。CTSUCRA.PON ビットを“0”にするか ICOMPRST ビットを“1”にすると、クリアされます。

このフラグが“1”になったときの CTSUSCNT.SC[15:0] ビットの値は、“FFFFh”になります。

ICOMP0 フラグ (過電圧検出フラグ)

計測用電源の出力電圧異常を示すフラグです。CTSUCRA.PON ビットを“0”にするか ICOMPRST ビットを“1”にすると、クリアされます。

このフラグが“1”になったときの CTSUSCNT.SC[15:0] ビットの値は、“0000h”になります。

STC[2:0] ビット (計測ステートカウンタ)

現在の計測ステートを示すビットです。各ステートの詳細は、「39.3.3 計測ステート」を参照してください。

DTSR フラグ (データ転送ステータスフラグ)

センサカウンタに格納された計測結果を読み出したかどうかを示すフラグです。

[“1”になる条件]

- 計測が終了して、CTSUSCNT レジスタに計測結果が格納されたとき

[“0”になる条件]

- CTSUSCNT レジスタからデータを読み出したとき
- CTSUCRA.INIT ビットを“1”にしたとき

SCOVF フラグ (センサカウンタオーバフローフラグ)

センサカウンタがオーバフローしたことを示すフラグです。このフラグが“1”になったときの CTSUSCNT.SC[15:0] ビットの値は“FFFFh”になります。

計測の途中でオーバフローが発生しても、設定された期間まで計測処理は継続します。そのため、どのチャンネルを計測中にオーバフローが発生したかは、全チャンネルの計測が終了してから (CTSUFN 割り込み発生後)、各チャンネルの計測結果を見て判断してください。

[“1”になる条件]

- 計測中に CTSUSCNT.SC[15:0] ビットがオーバフローしたとき

[“0”になる条件]

- SCOVF フラグが“1”であることを確認した後、“0”を書いたとき
- CTSUCRA.INIT ビットを“1”にしたとき

UCOVF フラグ (センサユニットクロックカウンタオーバフローフラグ)

センサユニットクロックカウンタがオーバフローしたことを示すフラグです。このフラグが“1”になったときの CTSUSCNT.UC[15:0] ビットの値は“FFFFh”になります。

計測の途中でオーバフローが発生しても、設定された期間まで計測処理は継続します。そのため、どのチャンネルを計測中にオーバフローが発生したかは、全チャンネルの計測が終了してから (CTSUFN 割り込み発生後)、各チャンネルの計測結果を見て判断してください。

[“1”になる条件]

- 計測中に CTSUSCNT.UC[15:0] ビットがオーバフローしたとき

[“0”になる条件]

- UCOVF フラグが“1”であることを確認した後、“0”を書いたとき
- CTSUCRA.INIT ビットを“1”にしたとき

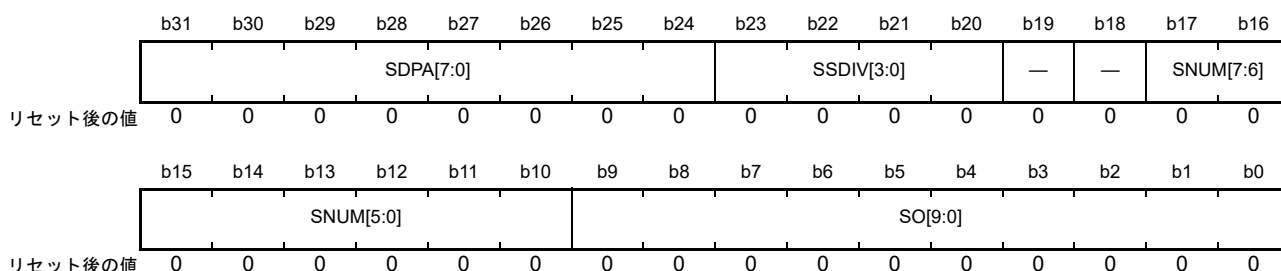
PS フラグ (相互容量計測状態フラグ)

相互容量方式 (CTSUCRA.MD1 ビット = 1) では1チャンネルあたり2回の計測を実施しますが、そのときの計測が1回目なのか2回目なのかを示すフラグです。

計測停止中や自己容量方式 (MD1 ビット = 0) での計測中は、“0” になっています。

39.2.9 CTSU センサオフセットレジスタ (CTSUSO)

アドレス CTSU.CTSUSO 000A 0920h



ビット	シンボル	ビット名	機能	R/W
b9-b0	SO[9:0]	センサオフセット調整ビット	センサCCOの入力電流オフセットを調整します	R/W
b17-b10	SNUM[7:0]	計測期間設定ビット	<ul style="list-style-type: none"> ランダムパルスモード(CTSUCRA.SDPSEL = 0) CTSUSOの計測期間を基本計測単位の繰り返し数で設定します。設定できる値の範囲は“00h”~“3Fh”です。設定値をnとすると、基本計測単位をn+1回繰り返します 高分解パルスモード(CTSUCRA.SDPSEL = 1) CTSUSOの計測期間をSTCLKの周期を基準に設定します。設定値をnとすると、STCLKの8(n+1)周期の間、計測を実施します 	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b20	SSDIV[3:0]	スペクトラム拡散サンプリング周期制御ビット	b23 b20 0 0 0 0 : 1分周 0 0 0 1 : 2分周 : 1 1 1 0 : 15分周 1 1 1 1 : 16分周	R/W
b31-b24	SDPA[7:0]	ベースクロック設定ビット (注1)	<ul style="list-style-type: none"> ランダムパルスモード(CTSUCRA.SDPSEL = 0) 設定値をnとすると、ベースクロック周波数は動作クロックの2(n+1)分周 高分解パルスモード(CTSUCRA.SDPSEL = 1) 設定値をnとすると、ベースクロック周波数はSUCLKの2(n+1)分周 	R/W

注1. 相互容量方式(CTSUCRA.MD1ビット=1)や周波数拡散機能がOFF(CTSUCRB.SOFFビット=1)の場合、SDPA[7:0]ビットを“00h”にしないでください。

このレジスタには、CTSUWR 割り込みの発生後、値を書き込んでください。このレジスタに値を書き込むと、計測ステートが State 3 に遷移します。このレジスタには1度に32ビットすべての値を設定してください。

SO[9:0] ビット (センサオフセット調整ビット)

センサ CCO の入力電流オフセットを調整するビットです。

非タッチ状態の静電容量により発生するセンサ CCO の入力電流をこのビットによってオフセットさせ、タッチ計測時にセンサカウンタがオーバーフローすることを防ぎます。

SNUM[7:0] ビット (計測期間設定ビット)

ランダムパルスモード (CTSUCRA.SDPSEL ビット = 0) の場合、CTSUCRB.PRRATIO[3:0] ビットと CTSUCRB.PRMODE[1:0] ビットで指定した数の計測パルス (基本計測単位) を、計測時に何回繰り返すかを設定します。繰り返し回数は「SNUM[7:0] ビットの値 + 1」です。

高分解パルスモード (SDPSEL ビット = 1) の場合、STCLK の周期を基準に計測期間を設定します。STCLK の「 $8 \times (\text{SNUM}[7:0] \text{ ビットの値} + 1)$ 」周期の間、計測を実施します。

SSDIV[3:0] ビット (スペクトラム拡散サンプリング周期制御ビット)

ランダムパルスモード (CTSUCRA.SDPSEL ビット = 0) において、PCLKB 同期のセンサドライブパルスを SUCLK でリサンプリングするときに、何分周のクロックでリサンプリングするかを設定するビットです。センサドライブパルスの 4 倍以上の周波数になるように設定してください。

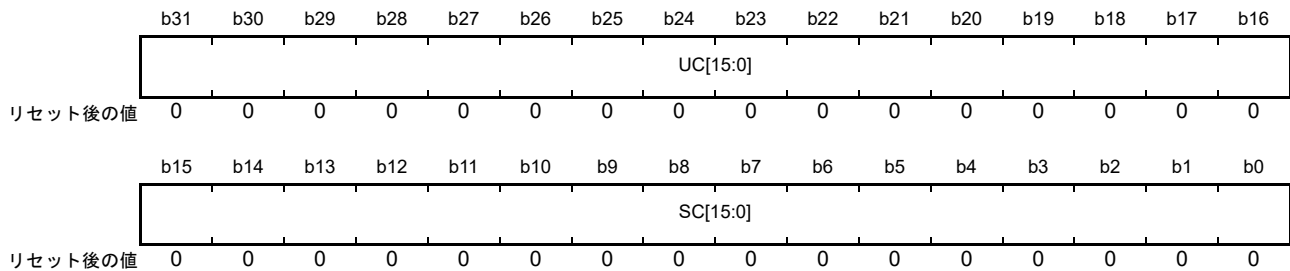
SDPA[7:0] ビット (ベースクロック設定ビット)

ランダムパルスモード (SDPSEL ビット = 0) の場合、動作クロックに対するベースクロックの分周値を設定します。このビットの設定値を n とすると、分周値は $2(n + 1)$ で表せます。ランダムパルスモードでは、ベースクロックをスペクトラム拡散させたものがセンサドライブパルスになります。

高分解パルスモード (SDPSEL ビット = 1) の場合、SUCLK に対するベースクロックの分周値を設定します。このビットの設定値を n とすると、分周値は $2(n + 1)$ で表せます。高分解パルスモードでは、ベースクロックがセンサドライブパルスとして使用されます。

39.2.10 CTSU センサカウンタ (CTSUSCNT)

アドレス CTSU.CTSUSCNT 000A 0924h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SC[15:0]	センサカウンタビット	計測結果を示すビットです。 オーバーフロー発生時は“FFFFh”になります	R
b31-b16	UC[15:0]	センサユニットクロックカウンタ ビット	SUCLK用CCOの出カクロック (SUCLKの2倍の周波数)のカウンタ値を示します。オーバーフロー発生時は“FFFFh”になります	R

このレジスタは、CTSURD 割り込み発生後、読み出してください。

このレジスタの値を CTSUCALIB.CNTRDSEL ビットで設定した回数読み出すと、計測ステートが State 0 (CTSUSR.STC[2:0] フラグ = 000b) または State 2 (STC[2:0] フラグ = 010b) に遷移します。

カウンタの値は、次の計測で計測ステートが State 4 (STC[2:0] フラグ = 100b) に遷移する直前にクリアされます。また、CTSUCRA.INIT ビットでも本カウンタはクリアされます。

(a) CTSUCALIB.CNTRDSEL ビット = 0 の場合

このレジスタを 1 回読み出すと計測ステートが進みます。

16 ビットアクセス時は、SC[15:0] ビットまたは UC[15:0] ビットのどちらを読み出しても計測ステートが進み、State 4 に遷移する前に両方のカウンタがクリアされます。計測結果が必要な場合は、SC[15:0] ビットを読み出してください。

(b) CTSUCALIB.CNTRDSEL ビット = 1 の場合

このレジスタを 2 回読み出すと計測ステートが進みます。

16 ビットアクセスで、SC[15:0] ビットと UC[15:0] ビット両方の結果を読み出したいときに使用してください。

SC[15:0] ビット (センサカウンタビット)

計測期間中にセンサ CCO から出力されるクロックをカウントするカウンタです。

UC[15:0] ビット (センサユニットクロックカウンタビット)

センサユニットクロックの 2 倍の周波数のクロックをカウントするカウンタです。

39.2.11 CTSU キャリブレーションレジスタ (CTSUCALIB)

アドレス CTSU.CTSUCALIB 000A 0928h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TXREV	CCOCLALIB	CCOCLK	DACCLK	SUCARRY	SUMSEL	DACCARRY	DACMSEL	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IOCSEL	DCOFF	—	IOC	CNTRDSEL	TSOC	SUCLKEN	CLKSEL[1:0]	DRV	TSOD	—	—	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	TSOD	TS全端子出力制御ビット	0 : 静電容量計測モード 1 : IOCSELビットで選択	R/W
b3	DRV	キャリブレーション設定ビット1	0 : 静電容量計測モード 1 : キャリブレーションモード1	R/W
b5-b4	CLKSEL[1:0]	観測クロック選択ビット	b5 b4 0 0 : Low出力 0 1 : センサCCOクロックの4分周 1 0 : 設定しないでください 1 1 : SUCLKの4分周	R/W
b6	SUCLKEN	SUCLK許可ビット	0 : SUCLK停止 1 : SUCLK発振	R/W
b7	TSOC	キャリブレーション設定ビット2	0 : 静電容量計測モード 1 : キャリブレーションモード2	R/W
b8	CNTRDSEL	センサカウンタレジスタリード回数 選択ビット	0 : 1回読み出すと次ステートへ進む 1 : 2回読み出すと次ステートへ進む	R/W
b9	IOC	TS端子出力制御ビット	<ul style="list-style-type: none"> TSOD = 1、IOCSEL = 1の場合 0 : TSm端子からLow出力 1 : TSm端子からHigh出力 CTSUCRA.DCMODE = 1の場合 0 : TSm端子からHigh出力 1 : TSm端子からLow出力 	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	DCOFF	ダウンコンパートOFFビット	0 : 通常動作モード 1 : ダウンコンパートOFF	R/W
b12	IOCSEL	TS端子固定出力選択ビット	0 : 静電容量計測モード(複数電極接続機能使用) 1 : TS端子出力テストモード(キャリブレーション用)	R/W
b23-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	DACMSEL	DAC電流マトリクス固定ビット	0 : 電流源をローテーション 1 : 電流源を固定	R/W
b25	DACCARRY	DAC上位電流源繰り上がり入力	0 : 通常計測 1 : data入力に+64します	R/W
b26	SUMSEL	CCO電流マトリクス固定ビット	0 : 電流源をローテーション 1 : 電流源を固定	R/W
b27	SUCARRY	CCO繰り上がり入力	0 : 通常計測 1 : data入力に+32します	R/W
b28	DACCLK	DAC変調回路用クロック選択ビット	0 : 動作クロック 1 : SUCLK	R/W
b29	CCOCLK	CCO変調回路用クロック選択ビット	0 : 動作クロック 1 : SUCLK	R/W

ビット	シンボル	ビット名	機能	R/W
b30	CCOCALIB	CCOキャリブレーションモード選択ビット	0: 通常モード LDO電流→電流計測用発振器 SSCNT電流→SUCLK発振器 1: 発振器キャリブレーションモード LDO電流→SUCLK発振器 SSCNT電流→電流計測用発振器	R/W
b31	TXREV	送信端子反転出力ビット	<ul style="list-style-type: none"> 自己容量方式(CTSUCRA.MD1 = 0) 0: 受信端子と同相の信号を出力 1: 受信端子と逆相の信号を出力 相互容量方式(CTSUCRA.MD1 = 1) 0: 1回目は受信端子の同相、2回目は受信端子の逆相の信号を出力 1: 1回目は受信端子の逆相、2回目は受信端子の同相の信号を出力 	R/W

TSOD ビット (TS 全端子出力制御ビット)

TSm 端子の出力テストや複数電極の合計容量の計測を行う場合に使用するビットです。自己容量方式 (CTSUCRA.MD1 ビット = 0)、シングルスキャンモード (CTSUCRA.MD0 ビット = 0) でのみ有効です。静電容量を計測する場合は、“0”にしてください。

TSOD ビット、IOCSEL ビットを“1”にした場合、IOC ビットで指定した信号がすべての TSm 端子から出力されます。

TSOD ビットを“1”、IOCSEL ビットを“0”にした場合、計測対象かつ受信に設定したすべての TSm 端子からセンサドライブパルスが出力されます。このとき、全電極の静電容量の合計値が計測できます。

DRV ビット (キャリブレーション設定ビット 1)

CTSUCRA のキャリブレーションを行う場合に使用するビットです。静電容量を計測する場合は、“0”にしてください。

DRV ビットを“1”にすると、疑似的に State 3、State 4 の状態になります。計測中の State 3、State 4 とは以下の点で異なります。

- センサドライブパルスが出力されない
- 計測カウンタのイネーブル、リセットが出力されない

CLKSEL[1:0] ビット (観測クロック選択ビット)

CTSUCRA 内で生成される 2 つのクロックの内、波形を観測したいクロックを選択するビットです。選択したクロックの 4 分周クロックを CLKOUT 端子でモニタできます。

TSOC ビット (キャリブレーション設定ビット 2)

TSOC ビットは、CTSUCRA のキャリブレーションを行う場合に使用します。静電容量を計測する場合は、“0”にしてください。

CNTRDSEL ビット (センサカウンタレジスタリード回数選択ビット)

CTSUCRA のレジスタのリード回数を選択するビットです。以下の場合、“1”にしてください。

- 16 ビットアクセスで、CTSUCRA.SC[15:0] ビットと CTSUCRA.UC[15:0] ビットの両方をリードする場合

IOC ビット (TS 端子出力制御ビット)

TSOD ビットと IOCSEL ビットを“1”にするか、または CTSUCRA.DCMODE ビットを“1”にした場合に、TSm 端子から出力するレベルを選択します。

TSOD ビットと IOCSEL ビットのいずれかが“0”、かつ CTSUCRA.DCMODE ビットが“0”の場合、このビットは無視されます。

DCOFF ビット (ダウンコンバート OFF ビット)

LDO の出力を OFF にするビットです。静電容量を計測する場合は、“0”にしてください。

DACMSEL ビット (DAC 電流マトリクス固定ビット)

主に電流源の特性評価及びテスト時に使用します。静電容量を計測する場合は、“0”にしてください。

SUMSEL ビット (CCO 電流マトリクス固定ビット)

主に電流源の特性補正、テスト評価に使用します。静電容量を計測する場合は、“0”にしてください。

CCOCALIB ビット (CCO キャリブレーションモード選択ビット)

外部電流と電流 DAC の出力を比較し、発振器特性を補正するときに使用します。

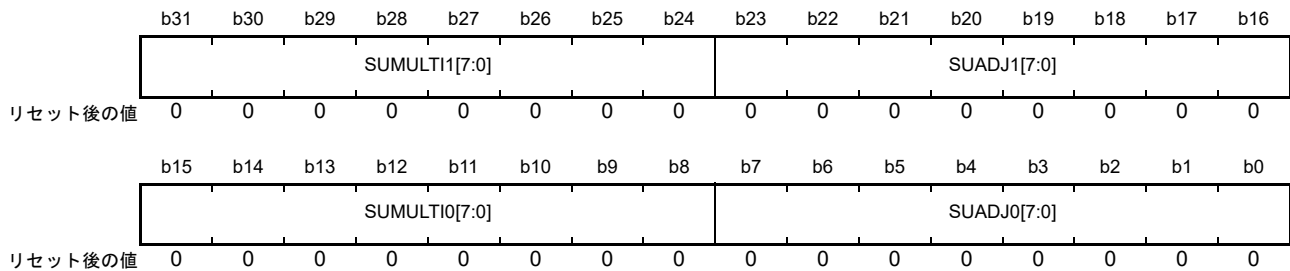
TXREV ビット (送信端子反転出力ビット)

送信端子からの出力を反転するためのビットです。

“1”にすると、送信端子からのパルス出力を反転できます。通常は“0”にしてください。

39.2.12 CTSU センサユニットクロック制御レジスタ A (CTSUSUCLKA)

アドレス CTSU.CTSUSUCLKA 000A 092Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	SUADJ0[7:0]	SUCLK0周波数調整ビット	SUCLK0の周波数の初期値を設定してください	R/W
b15-b8	SUMULTI0[7:0]	SUCLK0通倍率設定ビット	SUCLK0の周波数とSTCLKの周波数との通倍比を設定してください。設定した値をnとすると、SUCLK0の周波数はSTCLKの周波数のn+1倍になります	R/W
b23-b16	SUADJ1[7:0]	SUCLK1周波数調整ビット	SUCLK1の周波数の初期値を設定してください	R/W
b31-b24	SUMULTI1[7:0]	SUCLK1通倍率設定ビット	SUCLK1の周波数とSTCLKの周波数との通倍比を設定してください。設定した値をnとすると、SUCLK1の周波数はSTCLKの周波数のn+1倍になります	R/W

センサユニットクロック発振器内のフィードバックループの設定を行うレジスタです。

SUADJn[7:0] ビット (SUCLKn 周波数調整ビット) (n = 0, 1)

SUCLKnの周波数の初期値を設定するビットです。

このビットの値は、計測ごとに周波数のずれを補正するように更新されます。

SUMULTIn[7:0] ビット (SUCLKn 通倍率設定ビット) (n = 0, 1)

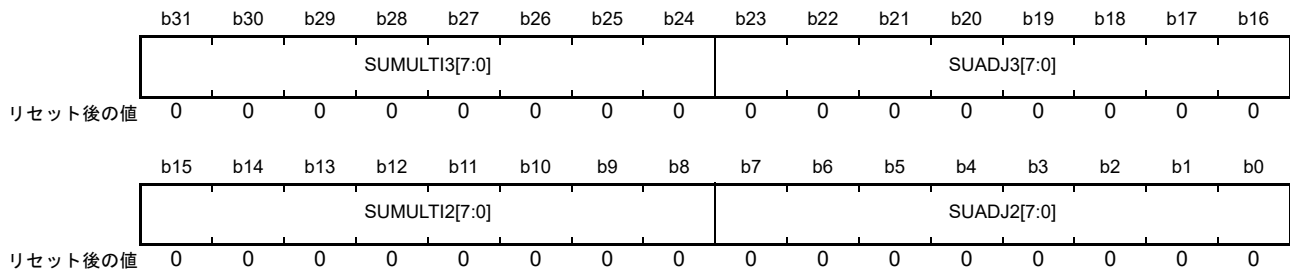
PLL内の分周器の分周比を設定するビットです。

PLLで生成されたクロックを「このビットに設定した値+1」分周し、STCLKの位相と比較します。比較した結果を元にSUADJnビットの値が更新されます。

SUCLKnの周波数が16 MHz～32 MHzの範囲に入るように値を設定してください。

39.2.13 CTSU センサユニットクロック制御レジスタ B (CTSUSUCLKB)

アドレス CTSU.CTSUSUCLKB 000A 0930h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SUADJ2[7:0]	SUCLK2周波数調整ビット	SUCLK2の周波数の初期値を設定してください	R/W
b15-b8	SUMULTI2[7:0]	SUCLK2通倍率設定ビット	SUCLK2の周波数とSTCLKの周波数との通倍比を設定してください。設定した値をnとすると、SUCLK2の周波数はSTCLKの周波数のn+1倍になります	R/W
b23-b16	SUADJ3[7:0]	SUCLK3周波数調整ビット	SUCLK3の周波数の初期値を設定してください	R/W
b31-b24	SUMULTI3[7:0]	SUCLK3通倍率設定ビット	SUCLK3の周波数とSTCLKの周波数との通倍比を設定してください。設定した値をnとすると、SUCLK3の周波数はSTCLKの周波数のn+1倍になります	R/W

センサユニットクロック発振器内のフィードバックループの設定を行うレジスタです。

SUADJn[7:0] ビット (SUCLKn 周波数調整ビット) (n = 2, 3)

SUCLKnの周波数の初期値を設定するビットです。

このビットの値は、計測ごとに周波数のずれを補正するように更新されます。

SUMULTIn[7:0] ビット (SUCLKn 通倍率設定ビット) (n = 2, 3)

PLL内の分周器の分周比を設定するビットです。

PLLで生成されたクロックを「このビットに設定した値+1」分周し、STCLKの位相と比較します。比較した結果を元にSUADJnビットの値が更新されます。

SUCLKnの周波数が16 MHz ~ 32 MHzの範囲に入るように値を設定してください。

39.2.14 CTSU トリミングレジスタ A (CTSUTRIMA)

アドレス CTSU.CTSUTRIMA 007F C3A4h



ビット	シンボル	ビット名	機能	R/W
b7-b0	RTRIM[7:0]	基準抵抗調整入力ビット	内部基準抵抗の抵抗値を調整するビットです。25°C時に所定の電流値になるような値が書かれています	R/W
b15-b8	DACTRIM[7:0]	オフセット電流調整ビット	電流計測用発振器用の電流DACの係数を調整するビットです	R/W
b23-b16	SUADJD[7:0]	SUCLK周波数調整ビット	ランダムパルスモード(CTSUCRA.SDPSEL = 0)時のSUCLK周波数を調整するビットです。SUCLKの周波数が約32 MHzになるような値が書かれています	R/W
b31-b24	TRESULT4[7:0]	テスト結果4格納ビット	LDOの負荷抵抗を120 kΩにしたときの変動係数が格納されています	R/W

このレジスタには、工場出荷時に個々のチップごとに測定された調整データが書かれています。値は書き換えしないでください。

39.2.15 CTSU トリミングレジスタ B (CTSUTRIMB)

アドレス CTSU.CTSUTRIMB 007F C3A8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	TRESULT0[7:0]	テスト結果0格納ビット	LDOの負荷抵抗を7.5 kΩにしたときの変動係数が格納されています	R/W
b15-b8	TRESULT1[7:0]	テスト結果1格納ビット	LDOの負荷抵抗を15 kΩにしたときの変動係数が格納されています	R/W
b23-b16	TRESULT2[7:0]	テスト結果2格納ビット	LDOの負荷抵抗を30 kΩにしたときの変動係数が格納されています	R/W
b31-b24	TRESULT3[7:0]	テスト結果3格納ビット	LDOの負荷抵抗を60 kΩにしたときの変動係数が格納されています	R/W

このレジスタには、工場出荷時に個々のチップごとに測定された調整データが書かれています。値は書き換えしないでください。

39.2.16 CTSU オプション設定レジスタ (CTSUSOPT)

アドレス CTSU.CTSUSOPT 000A 0940h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	SCACTB[3:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AJINTC	AJFEN	—	—	MTUCF EN	DTCLE SS	—	MAJIRI MD	MCACF EN	CCOCF EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCOCFEN	CCO特性補正機能許可ビット	0 : CCO特性補正機能無効 1 : CCO特性補正機能有効	R/W
b1	MCACFEN	マルチクロック補正機能許可ビット	0 : マルチクロック補正機能無効 1 : マルチクロック補正機能有効 (注1)	R/W
b2	MAJIRIMD	多数決モード許可ビット	0 : 多数決モード無効 1 : 多数決モード有効 (注2)	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DTCLESS	データ転送要求禁止ビット (注3)	0 : データ転送要求信号を出力する 1 : データ転送要求信号を出力しない	R/W
b5	MTUCFEN	相互容量演算許可ビット (注4)	0 : 2回目計測データから1回目計測データを減算しない 1 : 2回目計測データから1回目計測データを減算する	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	AJFEN	自動判定機能許可ビット	0 : 自動判定機能無効 1 : 自動判定機能有効 (注1)	R/W
b9	AJINTC	自動判定割り込み制御ビット	0 : 非タッチ判定時にスヌーズ終了要求を出力 1 : 判定結果にかかわらずCTSUFN割り込みを出力	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b19-b16	SCACTB[3:0]	センサカウンタ自動補正テーブル番号設定ビット	アクセスするセンサカウンタ自動補正テーブルの番号を指定します。値の範囲は0～11です。CTSUSCNTACTレジスタに値を設定すると、自動的にインクリメントされます	R/W
b31-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、CTSUCRA.STRTビットが“0”のときに設定してください。

注1. このビットを“1”にする場合、CCOCFENビットも“1”にしてください。

注2. このビットを“1”にする場合、CCOCFENビットとMCACFENビットも“1”にしてください。

注3. CTSUCRA.MD0ビットが“1” (マルチスキャンモード)の場合、このビットは“0”にしてください。

注4. CTSUCRA.MD1ビットが“1” (相互容量方式)、かつAJFENビットが“1”の場合、このビットは“1”にしてください。

CTSUSOPT レジスタは、測定結果の自動補正や自動判定機能を有効にするためのレジスタです。

CCOCFEN ビット (CCO 特性補正機能許可ビット)

このビットを“1”にすると、センサカウンタ自動補正テーブル n (n = 0 ~ 11) を使用して、計測値を補正します。補正した結果が“FFFFh”を超えた場合、センサカウンタの値は“FFFFh”になり、CTSUSR.SCOVFフラグが“1”になります。

MAJIRIMD ビット (多数決モード許可ビット)

このビットを“1”にすると、周波数の異なる3つのセンサユニットクロック (SUCLK) を使用して、3つの計測値の内、値の近い2つの計測値を加算した値をセンサカウンタ値として格納します (VMM (Value Majority Mode))。AJFEN ビットが“1”の場合、タッチ/非タッチの判定はこの加算値によって行われ、結果は CTSUAJRR.TJR0 フラグに格納されます。加算した結果が“FFFFh”を超えた場合、センサカウンタの値は“FFFFh”になりますが、CTSUSR.SCOVF フラグは“1”になりません。

このビットが“0”、AJFEN ビットが“1”の場合、測定値による多数決は行わず、各測定結果からタッチ/非タッチを判定し、その結果を CTSUAJRR.TJR0 ~ TJR3 フラグに格納します。SUCLK の数を3つ、判定条件を“2つ以上”(CTSUAJCR.JC[1:0] ビット = 01b) にした場合、判定結果による多数決が行われ、その結果が FJR フラグに格納されます (JMM (Judgment Majority Mode))。

DTCLESS ビット (データ転送要求禁止ビット)

このビットを“1”にすると、CTSUWR 割り込み、CTSURD 割り込みが出力されなくなります。また、CTSUSO レジスタに値を設定しなくても State 2 から State 3 に遷移します。CTSUSO レジスタには、計測開始前に値を設定しておいてください。同様に、CTSUSR.DTSR フラグも“1”になりません。

MTUCFEN ビット (相互容量演算許可ビット)

CTSUCRA.MD1 ビットが“1”(相互容量方式)のときにこのビットを“1”にすると、2回目の計測結果が1回目の計測値に対する差分になります。1回目の計測が完了したときは、CTSUSR.DTSR フラグは“1”にならず、CTSURD 割り込みも発生しません。2回目の計測を完了すると、DTSR フラグが“1”になり、CTSURD 割り込みが発生します。

2回目の計測値から1回目の計測値を引いた結果が“0000h”を下回った場合、CTSUSCNT.SC[15:0] ビットは“0000h”になります。また、1回目または2回目の計測値がオーバーフローした場合、CTSUSR.SCOVF フラグは“1”になりますが、SC[15:0] ビットには差分が格納されます。

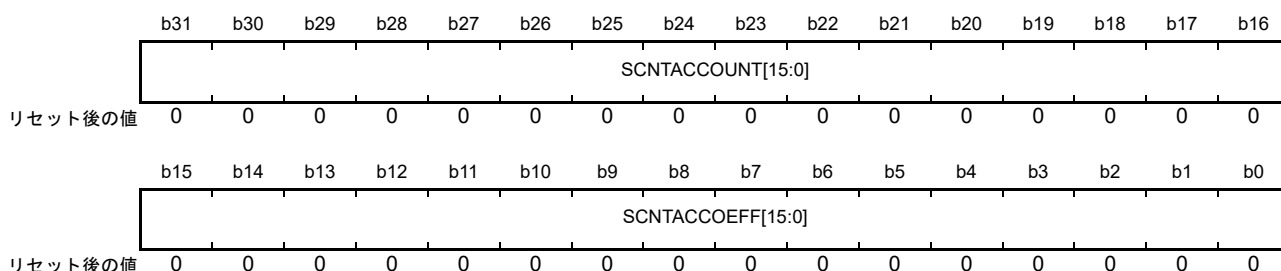
AJINTC ビット (自動判定割り込み制御ビット)

CTSUCRA.SNZ ビットが“1”(スヌーズモード時計測有効)かつ CTSUOPT.AJFEN ビットが“1”(自動判定機能有効)の場合に、CTSUFN 割り込みの生成条件を指定するビットです。この条件以外では、このビットの設定値にかかわらず、計測完了時に CTSUFN 割り込みが出力されます。

上記の条件下で、このビットが“0”の場合、タッチと判定されたチャンネルがあったときは CTSUFN 割り込みが出力されますが、すべてのチャンネルで非タッチと判定されるとスヌーズ終了要求が出力されます。このビットが“1”の場合、判定結果がタッチ/非タッチにかかわらず、CTSUFN 割り込みが出力されます。

39.2.17 CTSU センサカウンタ自動補正テーブルアクセスレジスタ (CTSUSCNTACT)

アドレス CTSU.CTSUSCNTACT 000A 0944h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SCNTACCOEFF[15:0]	センサカウンタ補正係数設定ビット	SCNTACCOUNT[15:0]ビットに設定した計測値に対する補正係数を設定します。補正係数は、整数部が4ビット、小数部が12ビットの固定小数点数です	R/W
b31-b16	SCNTACCOUNT[15:0]	センサカウンタ計測値設定ビット	比較対象の計測値を設定します	R/W

注. このレジスタは、CTSUCRA.STRTビットが“0”のときに設定してください。

CTSUSCNTACT レジスタは、センサカウンタ自動補正テーブル n ($n=0 \sim 11$) にアクセスするためのレジスタです。アクセス対象のテーブルは、CTSUOPT.SCACTB[3:0] ビットで選択します。

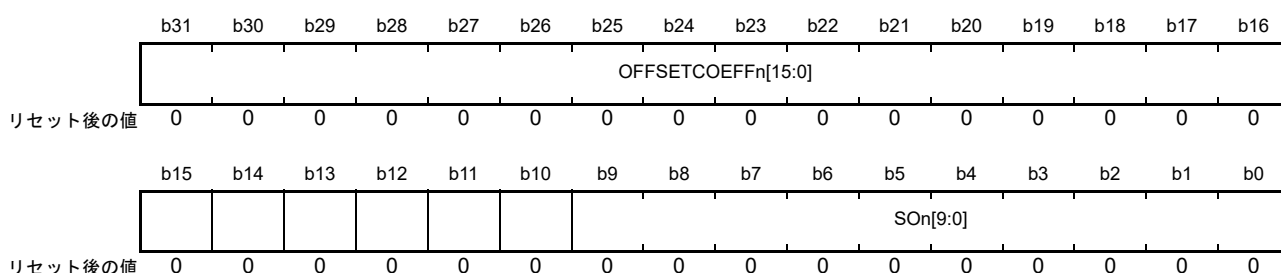
センサカウンタ自動補正テーブルは、CTSUOPT.CCOCFEN ビットが“1”(CCO 特性補正機能有効) の場合に使用されます。

センサカウンタ自動補正テーブル n には、比較対象の計測値と、その計測値に対する補正係数を設定します。テーブル n に設定する計測値は、テーブル $n-1$ に設定する計測値より大きな値にしてください。また、テーブル 0 の計測値は“0000h”、テーブル 11 の計測値は“FFFFh”にしてください。

SCNTACCOUNT[15:0] ビットに値を書くと、CTSUOPT.SCACTB[3:0] ビットの値が自動的にインクリメントされ、次のテーブルにアクセスできるようになります。

39.2.18 CTSU マルチクロック自動補正テーブル n (CTSUMCACTn) (n = 1 ~ 3)

アドレス CTSU.CTSMCACT1 000A 094Ch, CTSU.CTSMCACT2 000A 0950h, CTSU.CTSMCACT3 000A 0954h



ビット	シンボル	ビット名	機能	R/W
b9-b0	SO _n [9:0]	センサオフセット調整ビット	マルチクロック n に対するセンサ CCO の入力電流オフセットを調整します	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	OFFSETCOEFF _n [15:0]	計測値オフセット設定ビット	マルチクロック n に対する補正演算時のオフセット値を符号付き整数で設定します	R/W

CTSUMCACT_n レジスタは、マルチクロック補正機能で使用する計測値を補正するためのテーブルです。CTSUOPT.MCACFEN ビットが“1” (マルチクロック補正機能有効) の場合に使用されます。

マルチスキャンモード (CTSUCRA.MD0 ビット = 1) で、かつ多数決モードが有効 (CTSUOPT.MAJIRIMD ビット = 1) の場合、CTSUWR 割り込みの発生ごとにこれらのレジスタを更新してください。

シングルスキャンモード (MD0 ビット = 0) で、かつ多数決モードが有効 (CTSUOPT.MAJIRIMD ビット = 1) の場合、計測前にこれらのレジスタを設定しておけば計測中の更新は不要です。

多数決モードを使用しない (CTSUOPT.MAJIRIMD ビット = 0) 場合、CTSUMCACT2、CTSUMCACT3 レジスタおよび CTSUMCACT1.SO1[9:0] ビットは使用しません。CTSUWR 割り込み発生ごとに、CTSUMCACT1.OFFSETCOEFF1[15:0] ビットと CTSUSO.SO[9:0] ビットに各クロックの補正値を設定してください。なお、SUCLK0 に対しては、OFFSETCOEFF1[15:0] ビットに“0000h”を設定してください。

SO_n[9:0] ビット (センサオフセット調整ビット) (n = 1 ~ 3)

CTSUSO.SO[9:0] ビットと同等の機能です。マルチクロック 1 ~ 3 に対応しています。マルチクロック 0 に対しては CTSUSO.SO[9:0] ビットで設定します。

OFFSETCOEFF_n[15:0] ビット (計測値オフセット設定ビット) (n = 1 ~ 3)

マルチクロック 1 ~ 3 に対応したオフセット値を設定するビットです。マルチクロック 0 に対応したビットはありません。

39.2.19 CTSU 自動判定制御レジスタ (CTSUAJCR)

アドレス CTSU.CTSUAJCR 000A 0958h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
AJBMAT[3:0]				AJMMAT[3:0]				—	—	JC[1:0]		—	—	—	BLINI
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
THOT[7:0]								TLOT[7:0]							
リセット後の値															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TLOT[7:0]	非タッチ判定基準設定ビット	何回連続で非タッチが検出された場合に非タッチと判定するかを設定するビットです。設定値をmとすると、m+1回連続で非タッチが検出されたときにCTSUAJRR.TJRnフラグが“0”になります	R/W
b15-b8	THOT[7:0]	タッチ判定基準設定ビット	何回連続でタッチが検出された場合にタッチと判定するかを設定するビットです。設定値をmとすると、m+1回連続でタッチが検出されたときにCTSUAJRR.TJRnフラグが“1”になります	R/W
b16	BLINI	ベースライン初期化ビット	0 : ベースライン演算を行う 1 : ベースライン演算の結果を初期化する(注1)	R/W
b19-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b21-b20	JC[1:0]	判定条件設定ビット(注2)	b21 b20 0 0 : タッチ判定が1つ以上でタッチと判定する 0 1 : タッチ判定が2つ以上でタッチと判定する 1 0 : タッチ判定が3つ以上でタッチと判定する 1 1 : タッチ判定が4つのときのみタッチと判定する	R/W
b23-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	AJMMAT[3:0]	計測値移動平均回数設定ビット	計測値の移動平均回数を設定するビットです。設定値をnとすると平滑化係数は $1/2^n$ になります。設定範囲は“0000b”~“1011b”です	R/W
b31-b28	AJBMAT[3:0]	ベースライン平均回数設定ビット	ベースラインの平均回数を設定するビットです。設定値をnとすると、平均回数は 2^{n+1} になります。“0000b”を設定した場合、ベースラインの更新は行われません	R/W

注. このレジスタは、CTSUCRA.STRTビットが“0”のときに設定してください。

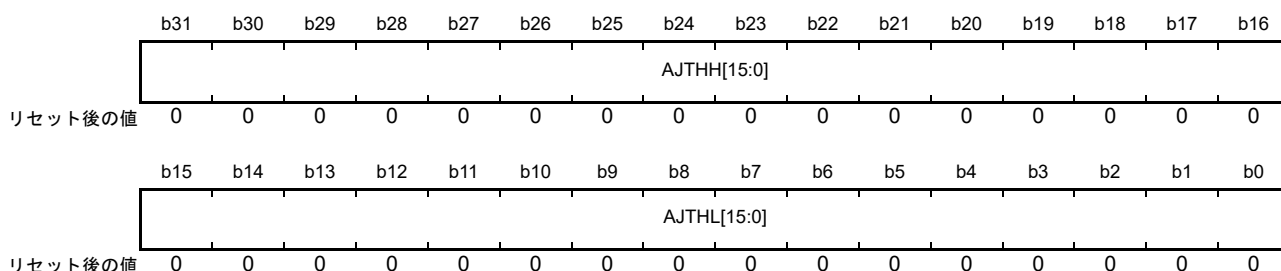
注1. 演算結果を初期化するには、このビットを“1”にしたまま計測を行う必要があります。

注2. マルチクロック計測を行うときのみ設定できます。マルチクロック計測を行わないときは“00b”にしてください。また、多数決モードを使用する(CTSUAJCR.OPT.MAJIRIMDビット=1)場合も“00b”にしてください。

CTSUAJCR レジスタは、ベースライン演算や移動平均演算の設定と、タッチ/非タッチ判定の基準を設定するためのレジスタです。

39.2.20 CTSU しきい値レジスタ (CTSUAJTHR)

アドレス CTSU.CTSUAJTHR 000A 095Ch



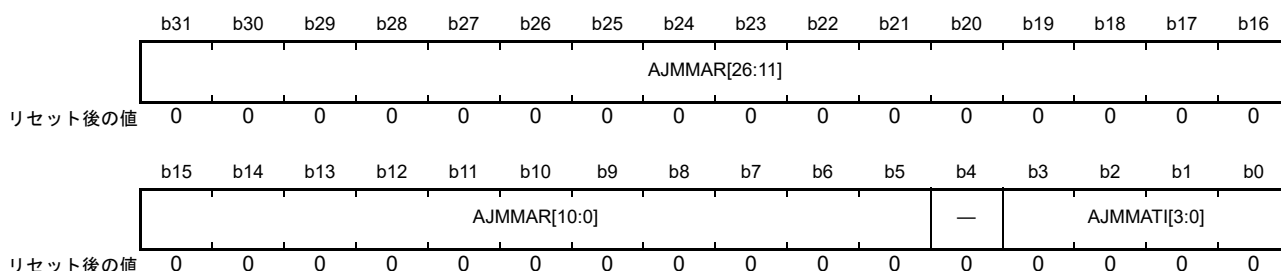
ビット	シンボル	ビット名	機能	R/W
b15-b0	AJTHL[15:0]	下側しきい値設定ビット	非タッチ判定のしきい値をベースラインからの相対値で設定します。-32768～32767の符号付き整数です	R/W
b31-b16	AJTHH[15:0]	上側しきい値設定ビット	タッチ判定のしきい値をベースラインからの相対値で設定します。-32768～32767の符号付き整数です	R/W

注. このレジスタは、State 0またはState 2で設定してください。

CTSUAJTHR レジスタは、タッチ/非タッチ判定の基準となるしきい値を設定するためのレジスタです。AJTHH[15:0] ビットの絶対値が、AJTHL[15:0] ビットの絶対値より大きくなるように設定してください。マルチスキャンモード (CTSUCRA.MD0 ビット = 1) の場合で、かつ CTSUWR 割り込み発生時にこのレジスタの値を設定する場合、CTSURD 割り込み発生時にこのレジスタの値も RAM に退避させてください。

39.2.21 CTSU 移動平均結果レジスタ (CTSUAJMMAR)

アドレス CTSU.CTSUAJMMAR 000A 0960h



ビット	シンボル	ビット名	機能	R/W
b3-b0	AJMMATI[3:0]	移動平均回数カウントビット	現時点の計測値の移動平均回数を示します。初回計測時に“0000b”にしてください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b5	AJMMAR[26:0]	移動平均結果ビット	計測値の移動平均演算結果が格納されます。整数部が16ビット、小数部が11ビットの固定小数点数です	R/W

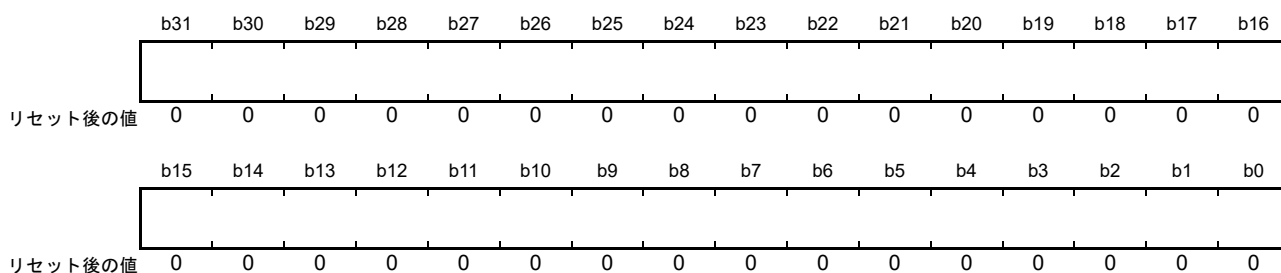
注. このレジスタは、State 0またはState 2で設定してください。

CTSUAJMMAR レジスタは、移動平均演算の内部状態を格納するレジスタです。

マルチスキャンモード (CTSUCRA.MD0 ビット = 1) の場合、CTSURD 割り込み発生ごとにこのレジスタの値を RAM に退避させて、再び同じチャネルを計測する前の CTSUWR 割り込み発生時に書き戻してください。

39.2.22 CTSU ベースライン平均中間結果レジスタ (CTSUAJBLACT)

アドレス CTSU.CTSUAJBLACT 000A 0964h



注. このレジスタは、State 0またはState 2で設定してください。

CTSUAJBLACT レジスタは、ベースライン平均演算の途中の演算値を格納するレジスタです。整数部が16ビット、小数部が16ビットの固定小数点数です。

マルチスキャンモード (CTSUCRA.MD0 ビット = 1) の場合、CTSURD 割り込み発生ごとにこのレジスタの値を RAM に退避させて、再び同じチャネルを計測する前の CTSUWR 割り込み発生時に書き戻してください。

39.2.23 CTSU ベースライン平均結果レジスタ (CTSUAJBLAR)

アドレス CTSU.CTSUAJBLAR 000A 0968h



ビット	シンボル	ビット名	機能	R/W
b15-b0	AJBLAC[15:0]	ベースライン平均カウントビット	現時点のベースライン平均演算のカウント値を示します	R/W
b31-b16	AJBLAR[15:0]	ベースライン平均結果ビット	ベースライン平均演算結果が格納されます	R/W

注. このレジスタは、State 0またはState 2で設定してください。

CTSUAJBLAR レジスタは、ベースライン平均演算の結果を格納するレジスタです。

マルチスキャンモード (CTSUCRA.MD0 ビット = 1) の場合、CTSURD 割り込み発生ごとにこのレジスタの値を RAM に退避させて、再び同じチャンネルを計測する前の CTSUWR 割り込み発生時に書き戻してください。

39.2.24 CTSU 自動判定結果レジスタ (CTSUAJRR)

アドレス CTSU.CTSUAJRR 000A 096Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SJCCR[7:0]							—	—	—	FJR	TJR3	TJR2	TJR1	TJR0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TJR0	タッチ判定結果フラグ0	ランダムパルスまたはSUCLK0を使用したときの判定結果が格納されます 0: 非タッチ 1: タッチ	R/W
b1	TJR1	タッチ判定結果フラグ1	SUCLK1を使用したときの判定結果が格納されます 0: 非タッチ 1: タッチ	R/W
b2	TJR2	タッチ判定結果フラグ2	SUCLK2を使用したときの判定結果が格納されます 0: 非タッチ 1: タッチ	R/W
b3	TJR3	タッチ判定結果フラグ3	SUCLK3を使用したときの判定結果が格納されます 0: 非タッチ 1: タッチ	R/W
b4	FJR	最終判定結果フラグ	マルチクロック計測時の最終判定結果が格納されます。マルチクロック計測を指定しなかった場合、TJR0フラグと同じ値が格納されます 0: 非タッチ 1: タッチ	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	SJCCR[7:0]	連続検出残回数ビット	あと何回連続でタッチまたは非タッチを検出するとTJRnフラグの値が反転するかを示します	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは、State 0またはState 2で設定してください。

CTSUAJRR レジスタは、タッチ/非タッチの判定結果を格納するレジスタです。

マルチスキャンモード(CTSUCRA.MD0 ビット = 1)の場合、CTSURD 割り込み発生ごとにこのレジスタの値をRAMに退避させて、再び同じチャンネルを計測する前のCTSUWR 割り込み発生時に書き戻してください。

39.2.25 CTSU A/D コンバータ接続制御レジスタ (CTSUAADCC)

アドレス CTSU.CTSUAADCC 000A 0700h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CTADCS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTADCS	TSCAP 電圧 A/D 変換ビット	0 : TSCAP 端子の電圧を計測しない 1 : TSCAP 端子の電圧を AN008 に接続する	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CTSUS と A/D コンバータの信号接続を制御するレジスタです。

CTADCS ビット (TSCAP 電圧 A/D 変換ビット)

TSCAP 端子の電圧を A/D コンバータで計測するためのビットです。

CTSUCRA.DCMODE ビットを“1”(電流計測モード)、CTSUCRA.DCBACK ビットを“1”にすると、TSM 端子 (m = 0 ~ 35) の電圧も計測できます。

(a) TSCAP 端子の電圧を測定する場合のレジスタ設定

CTSUCRA.PUMPON ビット = 0 または 1 (VCC の電圧によって決定)

CTSUCRA.PON ビット = 1

CTSUCRA.CSW ビット = 1

CTSUCRA.DCBACK ビット = 0

(b) TSM 端子の電圧を測定する場合のレジスタ設定

CTSUCRA.PUMPON ビット = 0 または 1 (VCC の電圧によって決定)

CTSUCRA.PON ビット = 1

CTSUCRA.CSW ビット = 0

CTSUCRA.MD0 ビット = 0

CTSUCRA.MD1 ビット = 0

CTSUCRA.LOAD[1:0] ビット = 01b

CTSUCRA.DCMODE ビット = 1

CTSUCRA.DCBACK ビット = 1

CTSUCHACA.CHACm ビットまたは CTSUCHACB.CHACm ビット = 1

CTSUCHTRCA.CHTRCm ビットまたは CTSUCHTRCB.CHTRCm ビット = 0

CTSUSMCH.MCH0[5:0] ビット = m

CTSUCALIB.DRV ビット = 1

CTSUSO レジスタ = 0000 03C0h

39.3 動作説明

39.3.1 計測動作原理

図 39.7 に計測部回路を示します。

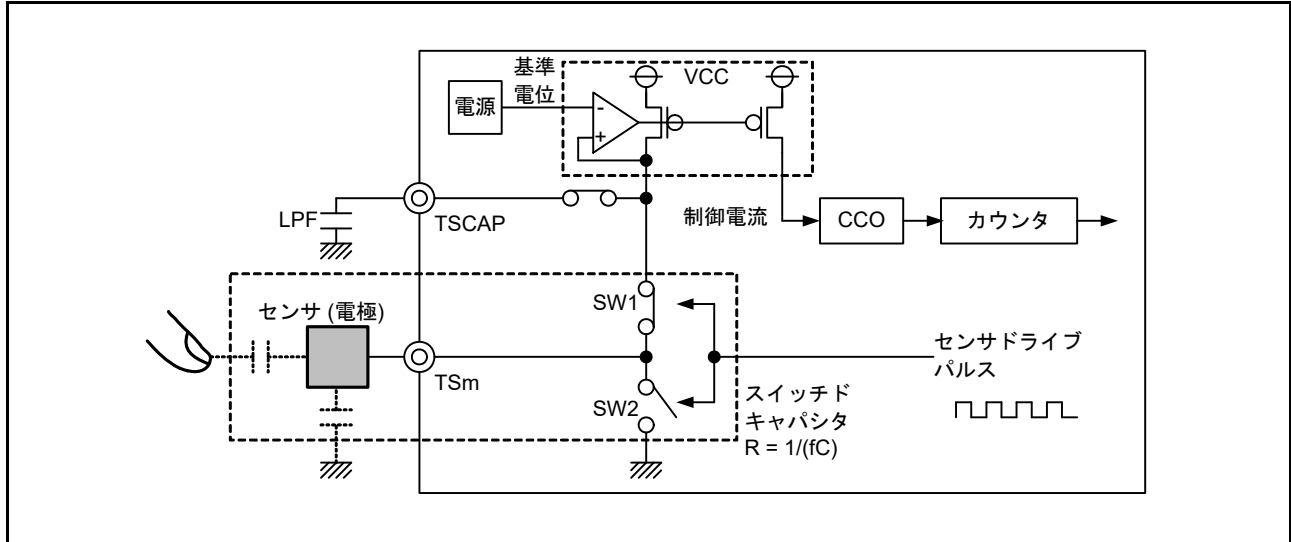


図 39.7 計測部回路 (m = 0 ~ 35)

CTS2の電流周波数変換方式の静電容量計測動作原理を、図 39.8 ~ 図 39.10 を用いて説明します。

(1) SW1 : ON、SW2 : OFF にすることで、電極の静電容量に充電されます (図 39.8)。

(2) SW1 : OFF、SW2 : ON にすることで、充電された容量は放電されます (図 39.9)。

(1) と (2) の充放電を早いタイミングで切り替えることにより、スイッチドキャパシタに電流が流れます。このとき、人体の接近により静電容量値が変わるため、流れる電流が変化します。TSCAP 電源を生成する電源 (LDO) からスイッチドキャパシタに流れる電流に比例した制御電流を電流制御発振器 (CCO) に供給することで、クロックを生成します。人体の接近によって変わるクロック周波数をカウンタで計測し、読み出したカウンタ値を用いて、ソフトウェアで人体の接近を判定します (図 39.10)。

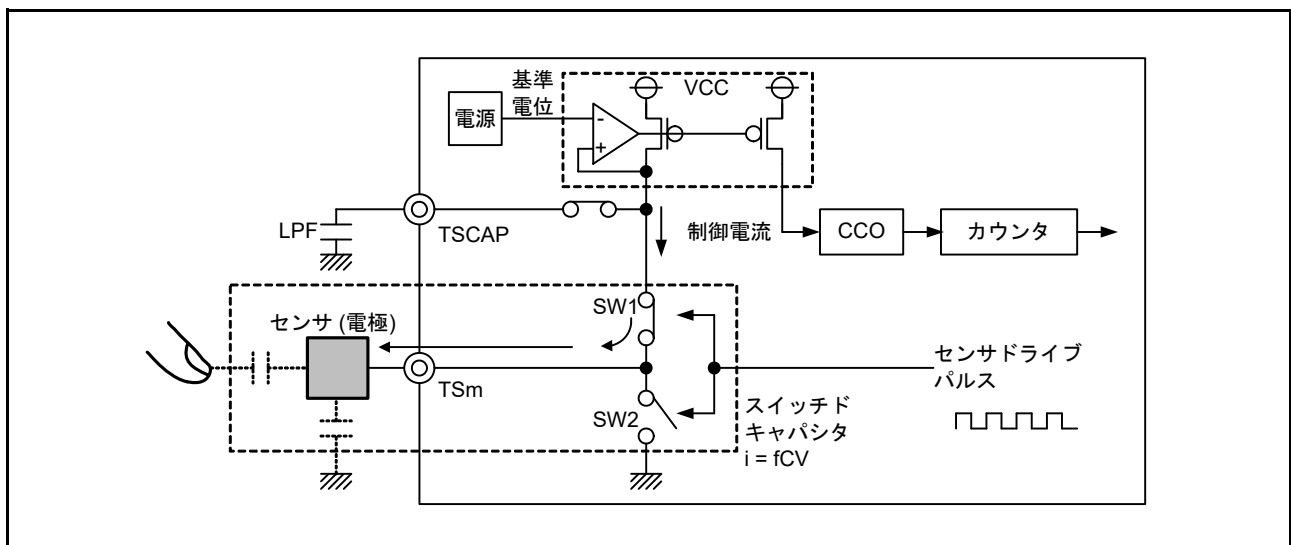


図 39.8 充電動作 (m = 0 ~ 35)

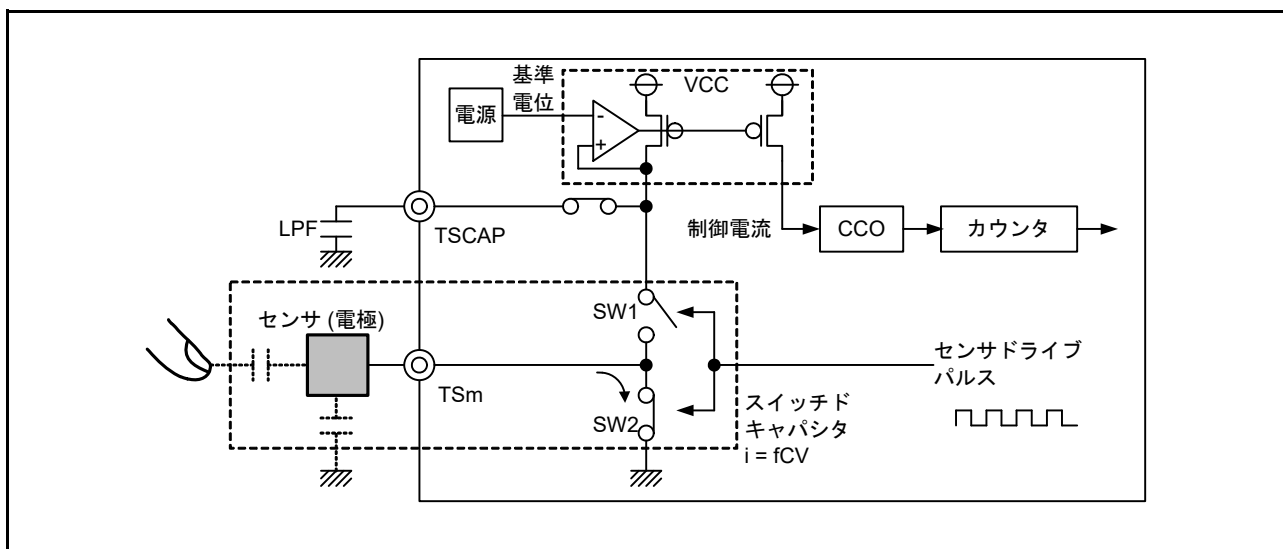


図 39.9 放電動作 (m = 0 ~ 35)

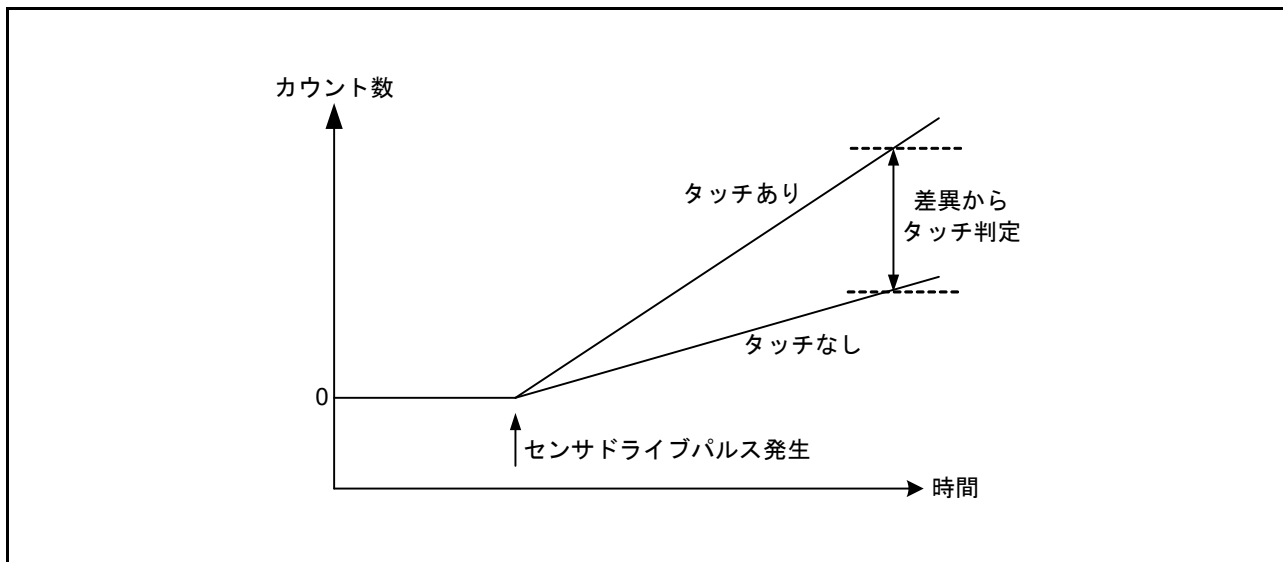


図 39.10 接触 / 非接触による計測値の変化

39.3.2 初期設定フロー

図 39.11 に、CTSUS の初期設定フローを示します。

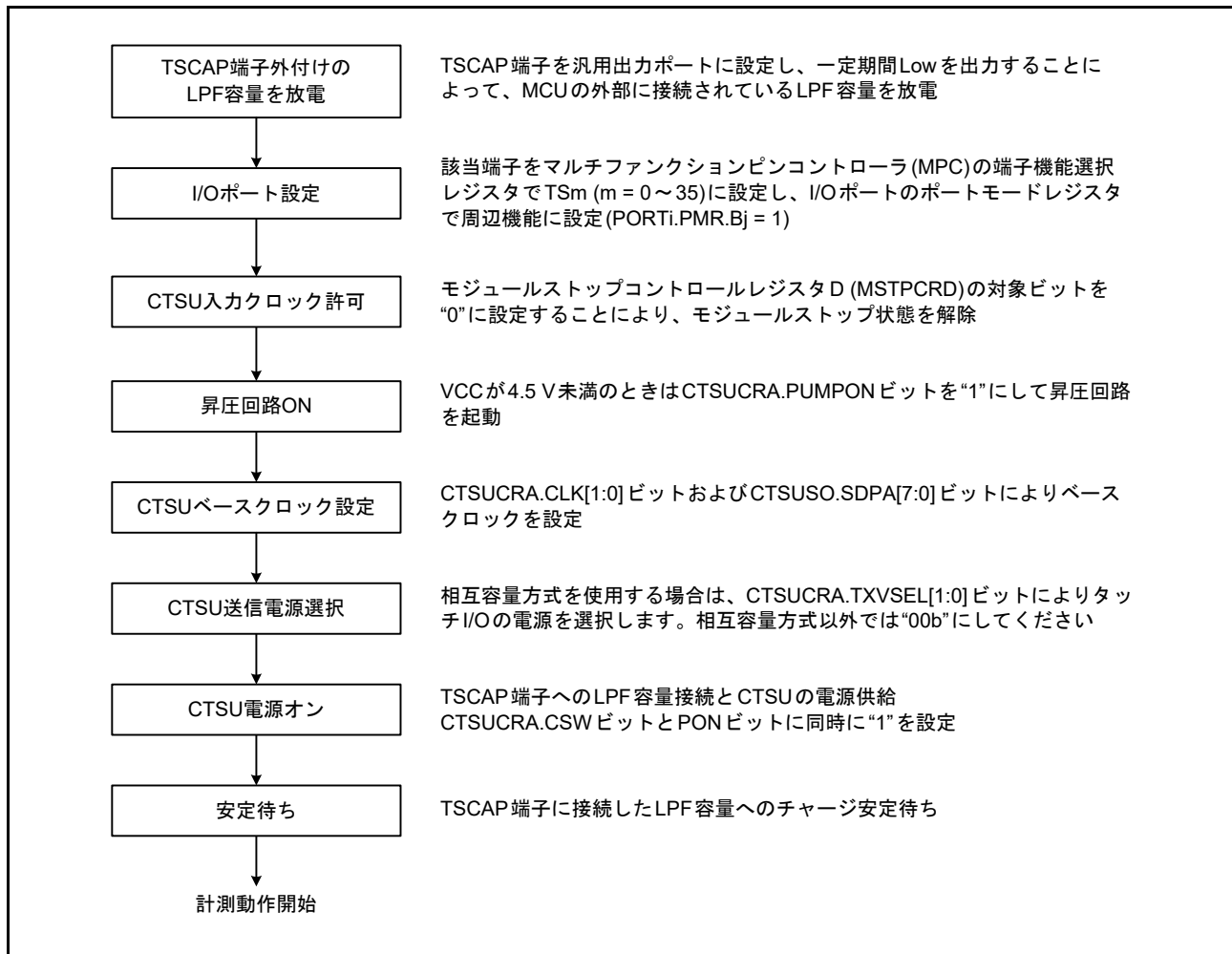


図 39.11 CTSUS 初期設定フロー

図 39.12 に、CTSUS の動作を停止し、スタンバイ状態にするフローを示します。

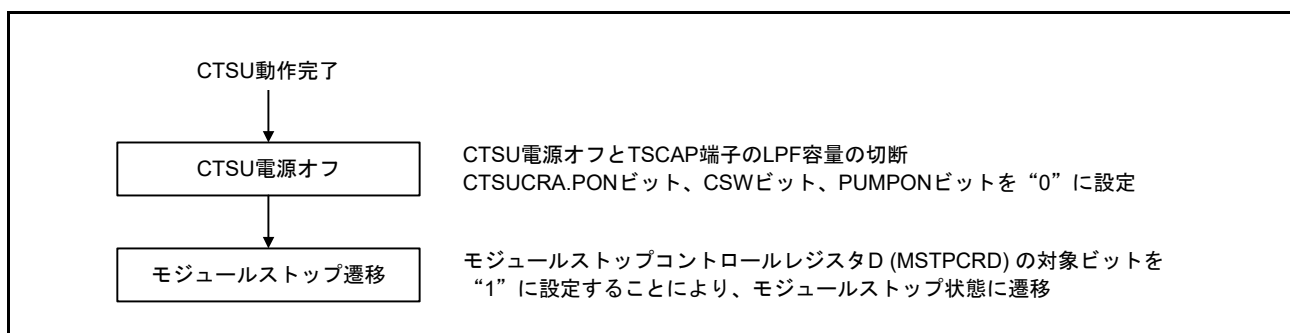


図 39.12 CTSUS 停止フロー

停止から再開する場合は、図 39.11 の初期設定フローに従ってください。

39.3.3 計測ステート

CTSUSR.STC[2:0] ビットには、現在の計測ステートが表示されます。計測ステートは、全ての計測方式で共通です。図 39.13 に状態遷移図を示します。

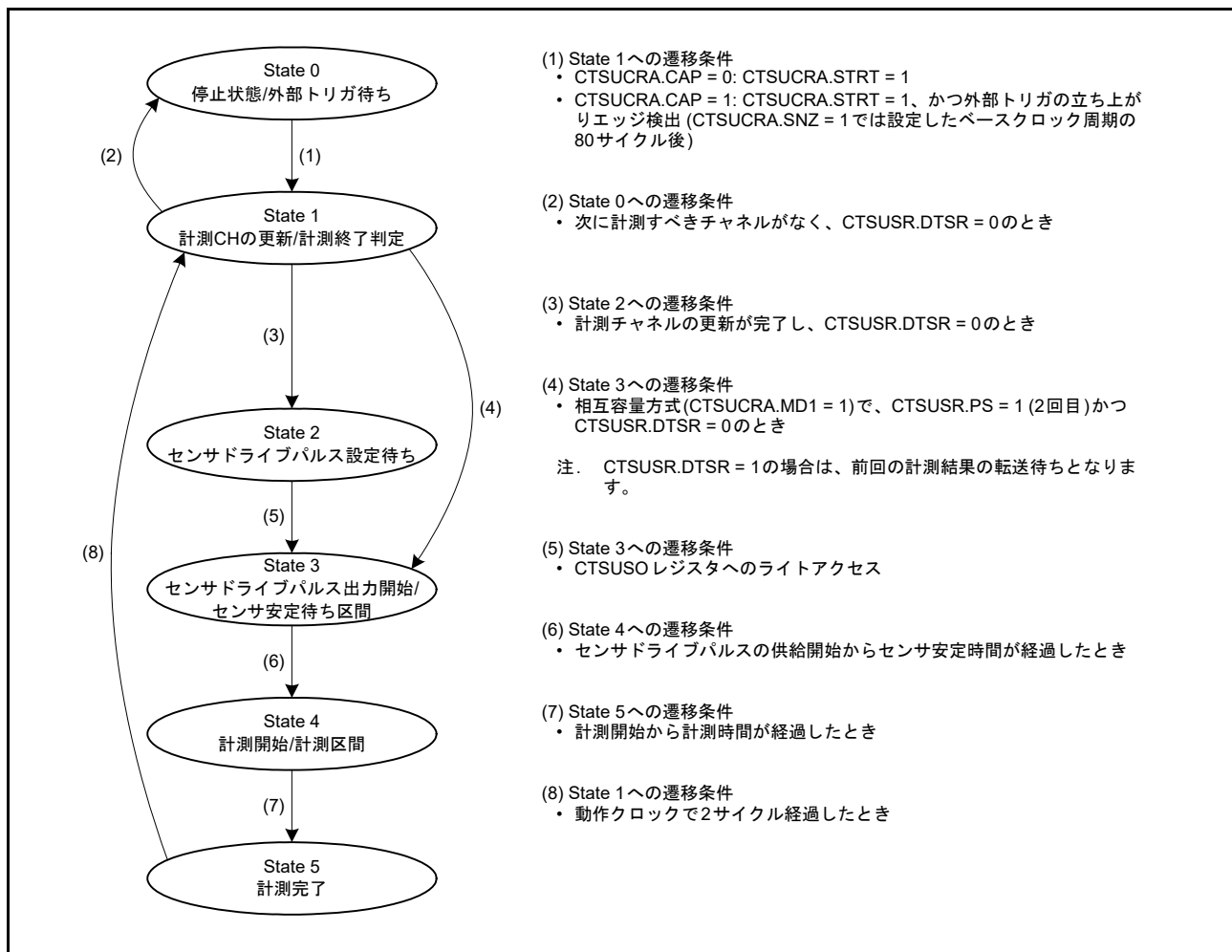


図 39.13 状態遷移図

CTSUS ステートマシンは、指定したすべての計測チャンネルの計測が終了すると State 0 に遷移します。

CTSUCRA.STRT ビットは、ソフトウェアトリガの場合は自動的に“0”になります。外部トリガの場合は“1”が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態時に強制停止 (CTSUCRA.STRT ビットへの“0”と CTSUCRA.INIT ビットへの“1”の同時書き込み) させることにより、State 0 に遷移し、停止します。

また、CTSUSMCH レジスタ、CTSUSCHAC_x レジスタ (x = A, B)、CTSUSCHTRC_x レジスタの設定で計測するチャンネルが存在しなかった場合、State 1 に遷移した後すぐに CTSUSFN 割り込みを出力し State 0 に遷移します。

39.3.4 計測方式

CTS2SLaは、自己容量方式と相互容量方式に対応しています。図 39.14 に自己容量方式と相互容量方式の概要を示します。

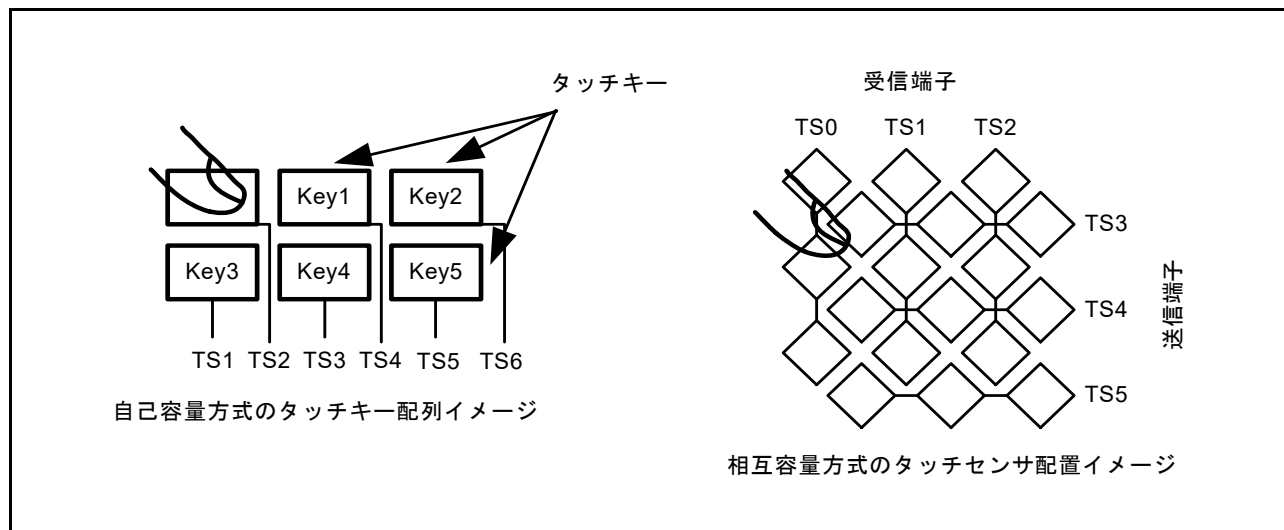


図 39.14 自己容量方式と相互容量方式の概要

自己容量方式では、1つのタッチキーに1つのタッチ端子を割り当て、それぞれの人体の接近による静電容量を計測します。

相互容量方式では、対向する2つの電極(送信端子、受信端子)間の容量を計測します。

39.3.4.1 自己容量方式動作

自己容量方式では、1つのセンサに1つの計測端子を割り当て、それぞれの静電容量を計測します。スキャンモードとセンサドライブパルスを選択できます。

図 39.15 にソフトウェアフローと動作例を示します。

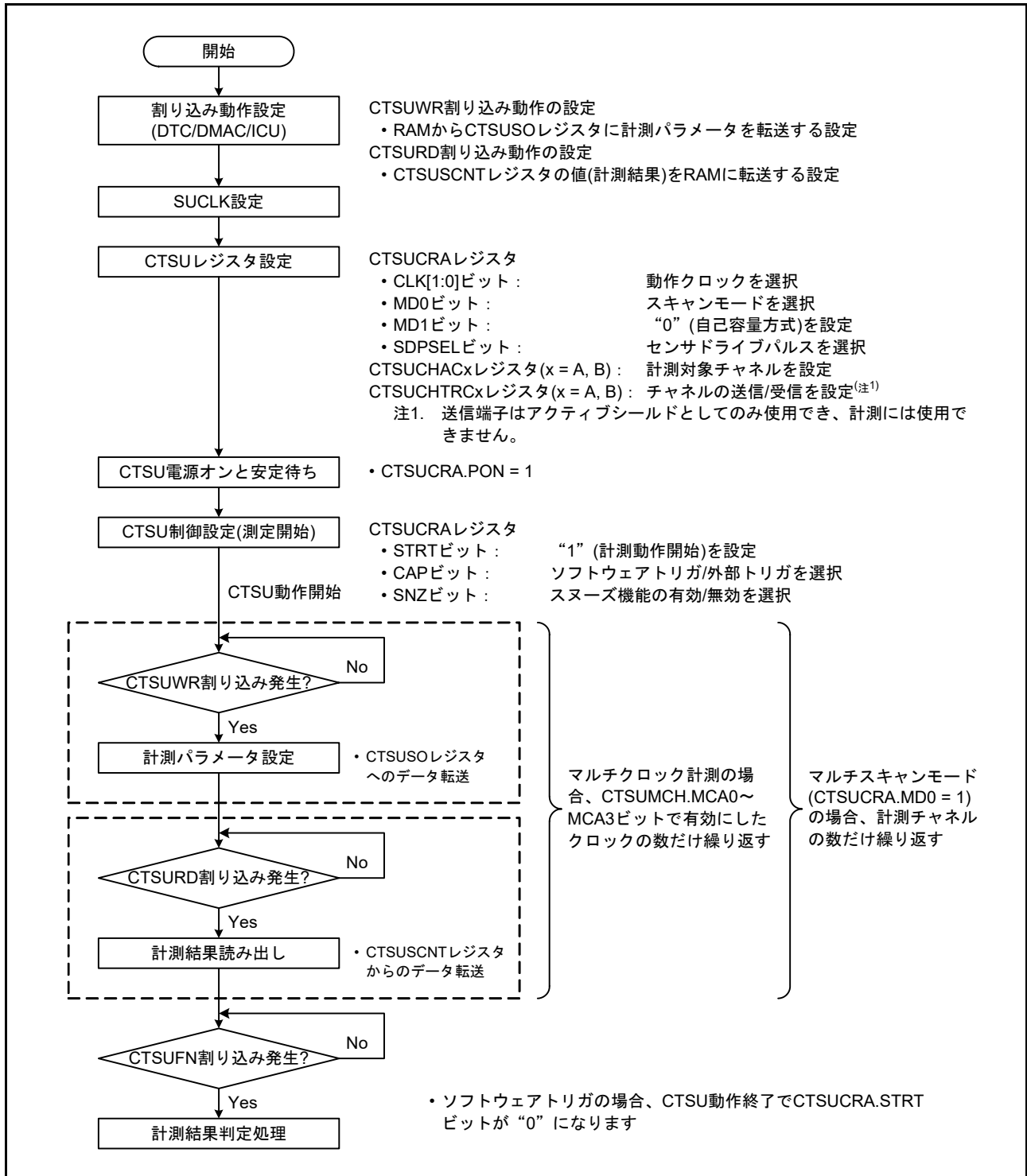


図 39.15 自己容量方式のソフトウェアフローと動作例

39.3.4.2 相互容量方式動作

相互容量方式は、受信チャンネルのセンサドライブパルスの High 期間に対して、計測対象の送信チャンネルにエッジを印加して計測を行います。1 計測対象に対して立ち上がりエッジと立ち下がりエッジの 2 回の計測を実施します。この 2 回の計測データの差分からタッチ判定を行い、より高いタッチ感度を実現します。スキャンモードとセンサドライブパルスを選択できます。

送信端子と受信端子のすべての組み合わせに対して静電容量を計測します。図 39.16 にソフトウェアフローと動作例を示します。

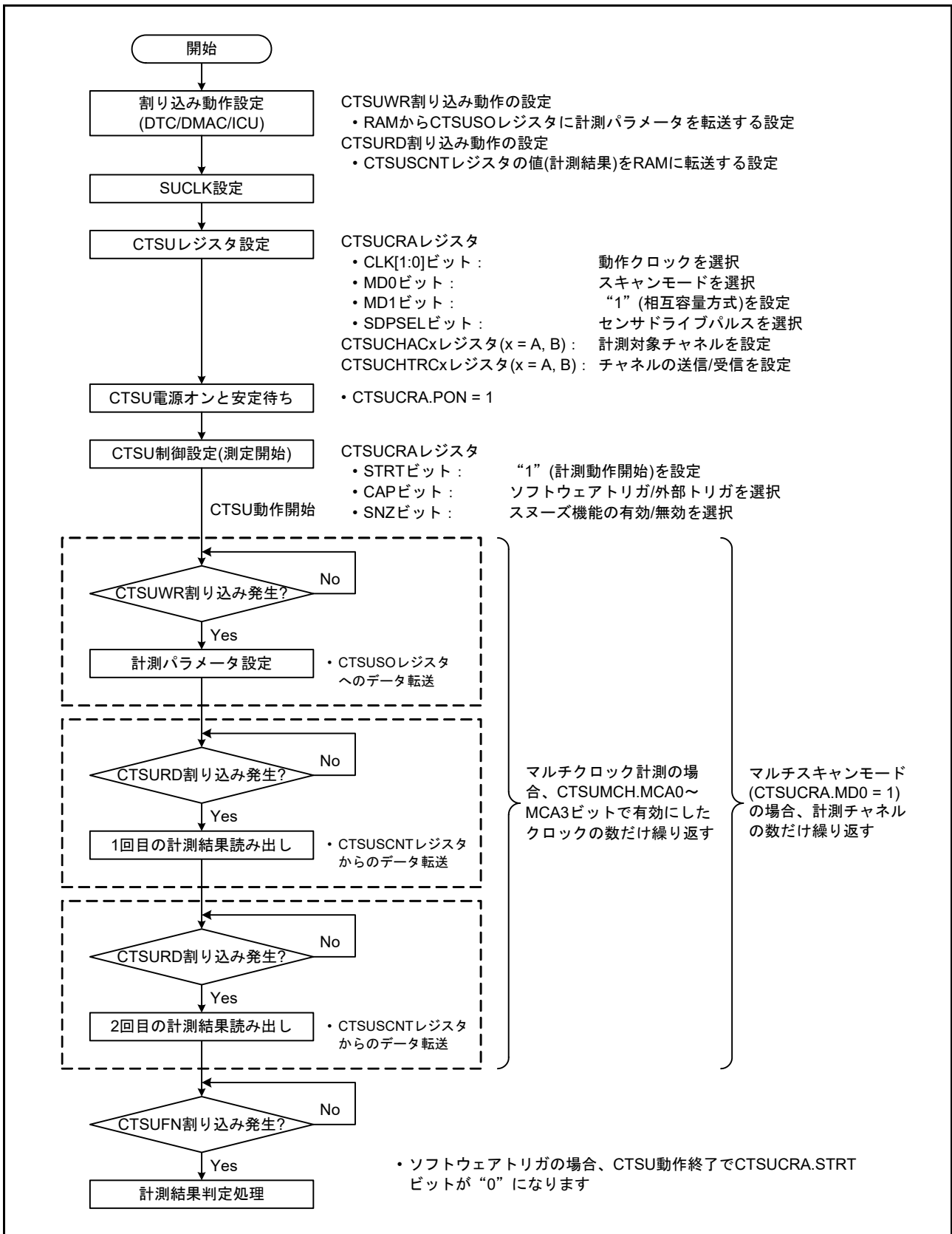


図 39.16 相互容量方式のソフトウェアフローと動作例

39.3.5 スキャンモード

CTSUSのスキャンモードには、シングルスキャンモードとマルチスキャンモードの2つのモードがあります。

(1) シングルスキャンモード

CTSUSMCH.MCH0[5:0] ビットで指定した受信チャンネル、MCH1[5:0] ビットで指定した送信チャンネルの組み合わせで、1回だけ計測を行います。

(2) マルチスキャンモード

CTSUSCHACx レジスタ (x = A, B) で計測対象にしたチャンネルの内、CTSUSCHTRCx レジスタで設定した受信チャンネル、送信チャンネルのすべての組み合わせに対して、それぞれ1回ずつ計測を行います。

受信チャンネル、送信チャンネルともチャンネル番号の小さい方から順に使用されます。また、1つの送信チャンネルに対しすべての受信チャンネルの組み合わせで測定が終わってから、送信チャンネルが切り替わります。

39.3.6 マルチクロック計測

周波数の異なる複数のクロックを順次切り替えて計測を行います。高分解パルスモード (SUSCLK モード) のみ有効です。

計測に使用するクロック (SUSCLKn) は、CTSUSMCH.MCAN ビット (n = 0 ~ 3) で指定してください。また、各クロックの周波数は、CTSUSUSCLKA、CTSUSUSCLKB レジスタで設定してください。

計測は SUSCLK0 から昇順に行われます。指定されたすべてのクロックで計測が終わると、次のチャンネルの計測を開始します。

39.3.7 自動判定機能

CTSUSには、タッチ/非タッチを自動判定する機能があります。

自動判定機能の CTSUSFN 割り込みにより、スリープモードから通常動作モードに復帰させたり、スリープ終了要求により、ソフトウェアスタンバイモードに復帰させたりすることができます。

図 39.17 に自動判定機能の構成図を示します。

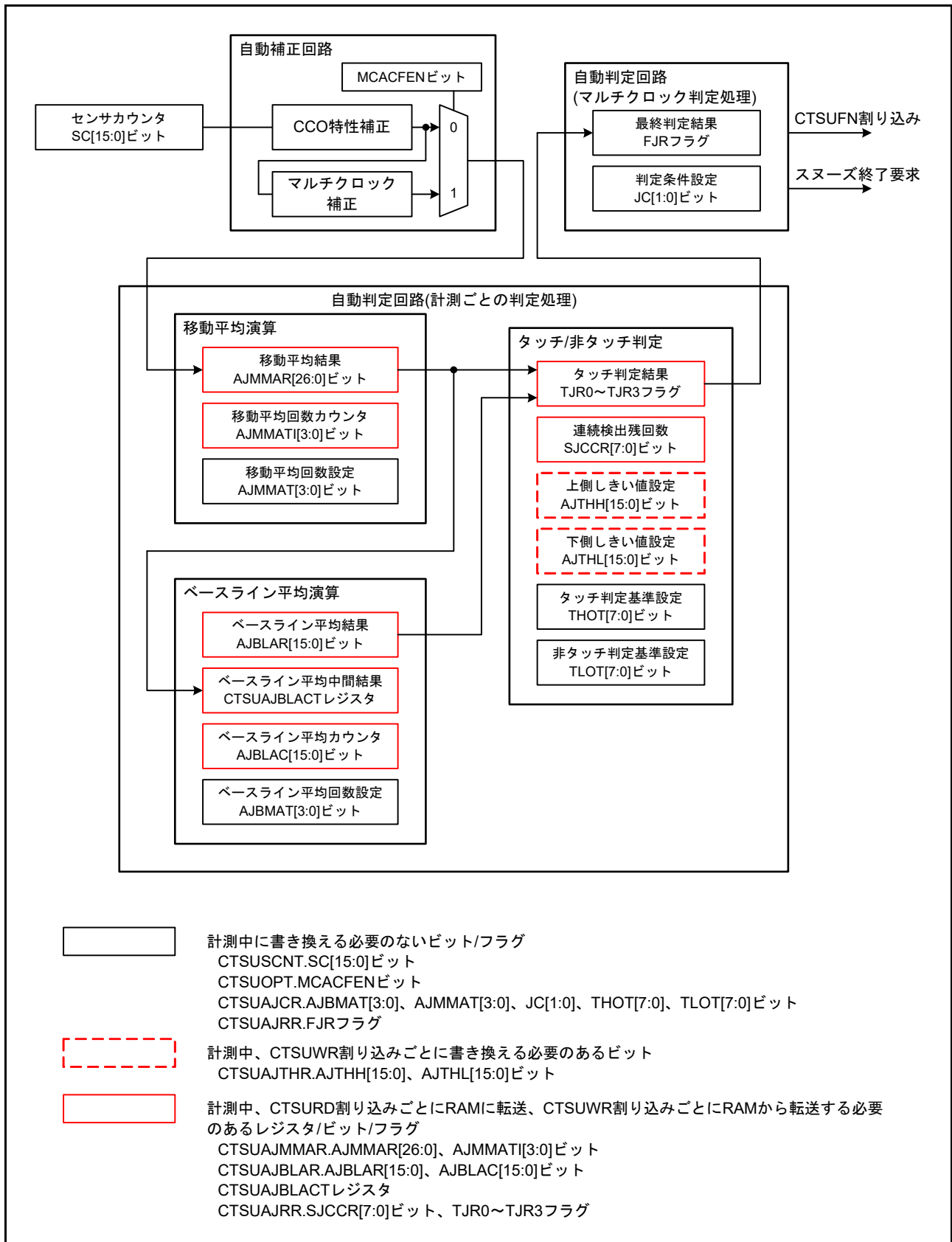


図 39.17 自動判定機能の構成図

39.3.7.1 自動判定機能の動作

自動判定の対象となる計測値は、CTSUSCNT.SC[15:0] ビットの値です。計測値から移動平均とベースライン平均を算出し、その差分からタッチ/非タッチを判定します。移動平均回数とベースライン平均回数は、それぞれ CTSUAJCR レジスタの AJMMAT[3:0] ビット、AJBMAT[3:0] ビットで設定できます。

図 39.18 に自動判定機能の動作例を示します。

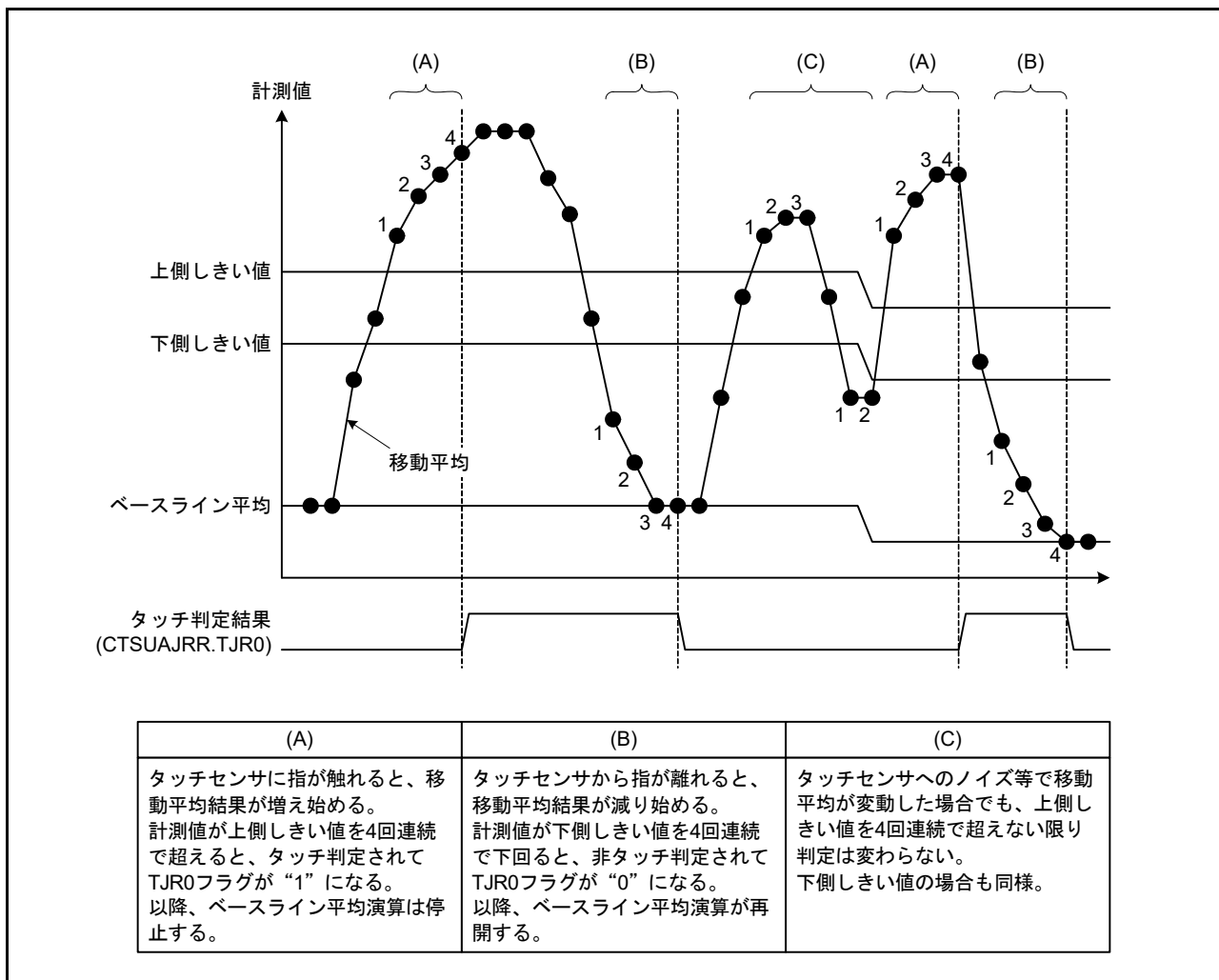


図 39.18 自動判定機能の動作例 (CTSUAJCR.THOT[7:0] ビット = 03h、TLOT[7:0] ビット = 03h の場合)

(1) タッチ判定

移動平均とベースライン平均の差分が上側しきい値 (CTSUAJTHR.AJTHH[15:0] ビット) を CTSUAJCR.THOT[7:0] ビットで指定した回数連続で超えると (上側しきい値が負の値の場合は下回ると)、CTSUAJRR.TJRn フラグ (n = 0 ~ 3) が “1” になります。

マルチクロック計測を指定しなかった場合は、TJR0 フラグの値がそのまま CTSUAJRR.FJR フラグに反映されます。マルチクロック計測を指定した場合は、TJR0 ~ TJR3 フラグの値が CTSUAJCR.JC[1:0] ビットで指定した判定条件に合致すると、FJR フラグが “1” になります。

(2) 非タッチ判定

移動平均とベースライン平均の差分が下側しきい値 (CTSUAJTHR.AJTHL[15:0] ビット) を CTSUAJCR.TLOT[7:0] ビットで指定した回数連続で下回ると (下側しきい値が負の値の場合は超えると)、TJR_n フラグ (n=0~3) が“0”になります。

マルチクロック計測を指定しなかった場合は、TJR0 フラグの値がそのまま FJR フラグに反映されます。マルチクロック計測を指定した場合は、TJR0 ~ TJR3 フラグの値が JC[1:0] ビットで指定した判定条件を満たさなくなると、FJR フラグが“0”になります。

(3) ベースライン平均演算

TJR_n フラグ (n=0~3) が“1”になると、次の計測からベースライン平均演算を停止します。ベースライン平均演算が停止すると、中間結果 (CTSUAJBLACT レジスタ) と平均回数 (CTSUAJBLAR.AJBLAC[15:0] ビット) が初期化されます。

TJR_n フラグが“0”になると、次の計測からベースライン平均演算を再開します。

マルチクロック計測を指定した場合は、TJR0 ~ TJR3 フラグごとに、ベースライン平均演算の停止 / 再開が行われます。

39.3.7.2 自己容量方式動作

図 39.19 に、自動判定機能を使用した、自己容量マルチスキャンモードのソフトウェアフローを示します。

シングルスキャンモードでかつマルチクロック計測を行わない場合に限り、割り込み動作の設定を省略できます。その際は、CTSUOPT.DTCLESS ビットを“1”(データ転送要求信号を出力しない)にし、CTSUSO、CTSUAJTHR レジスタは計測開始前に値を設定してください。

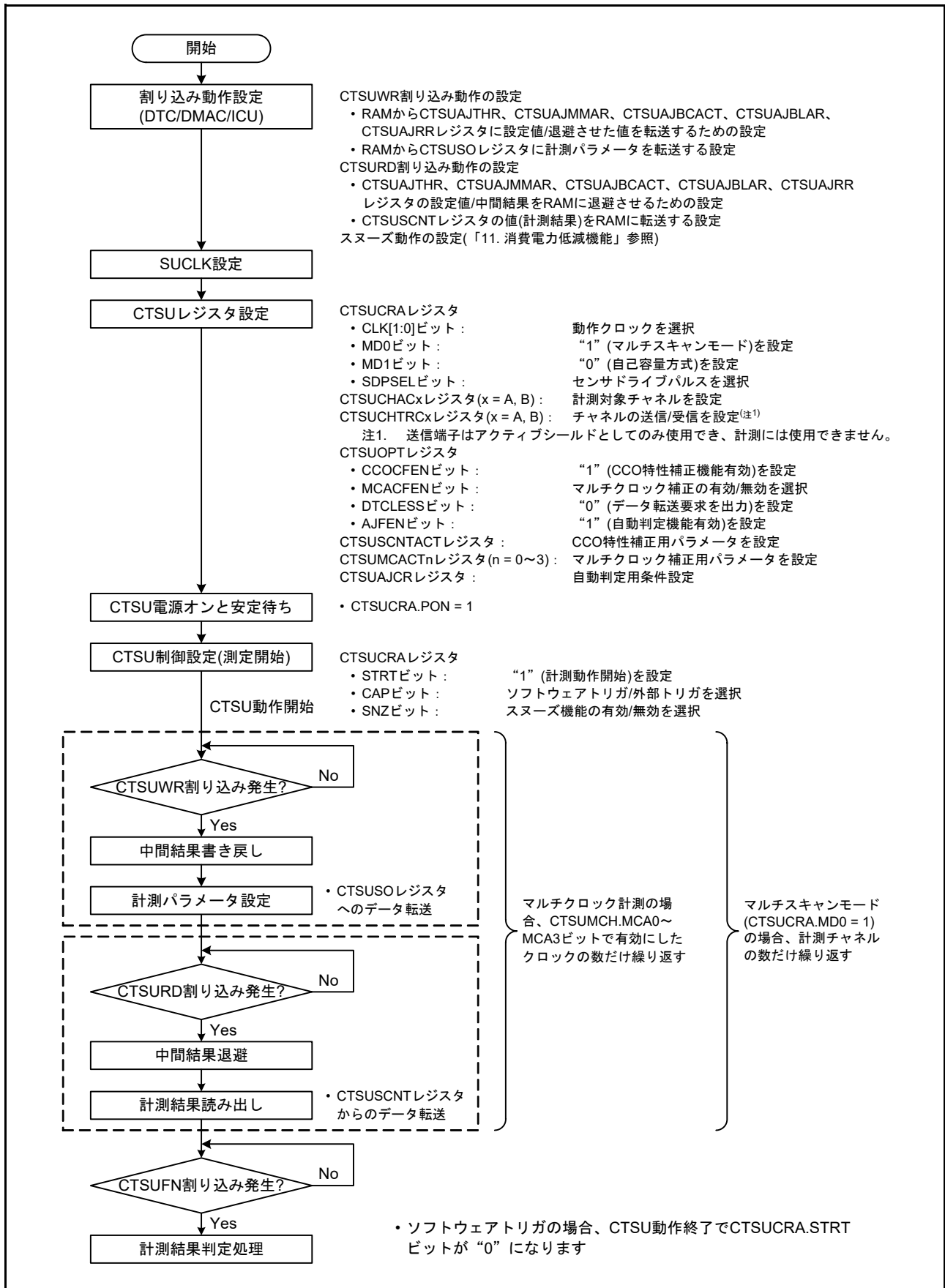


図 39.19 自動判定機能使用時の自己容量マルチスキャンモードのソフトウェアフロー

39.3.7.3 相互容量方式動作

図 39.20 に、自動判定機能を使用した、相互容量マルチスキャンモードのソフトウェアフローを示します。

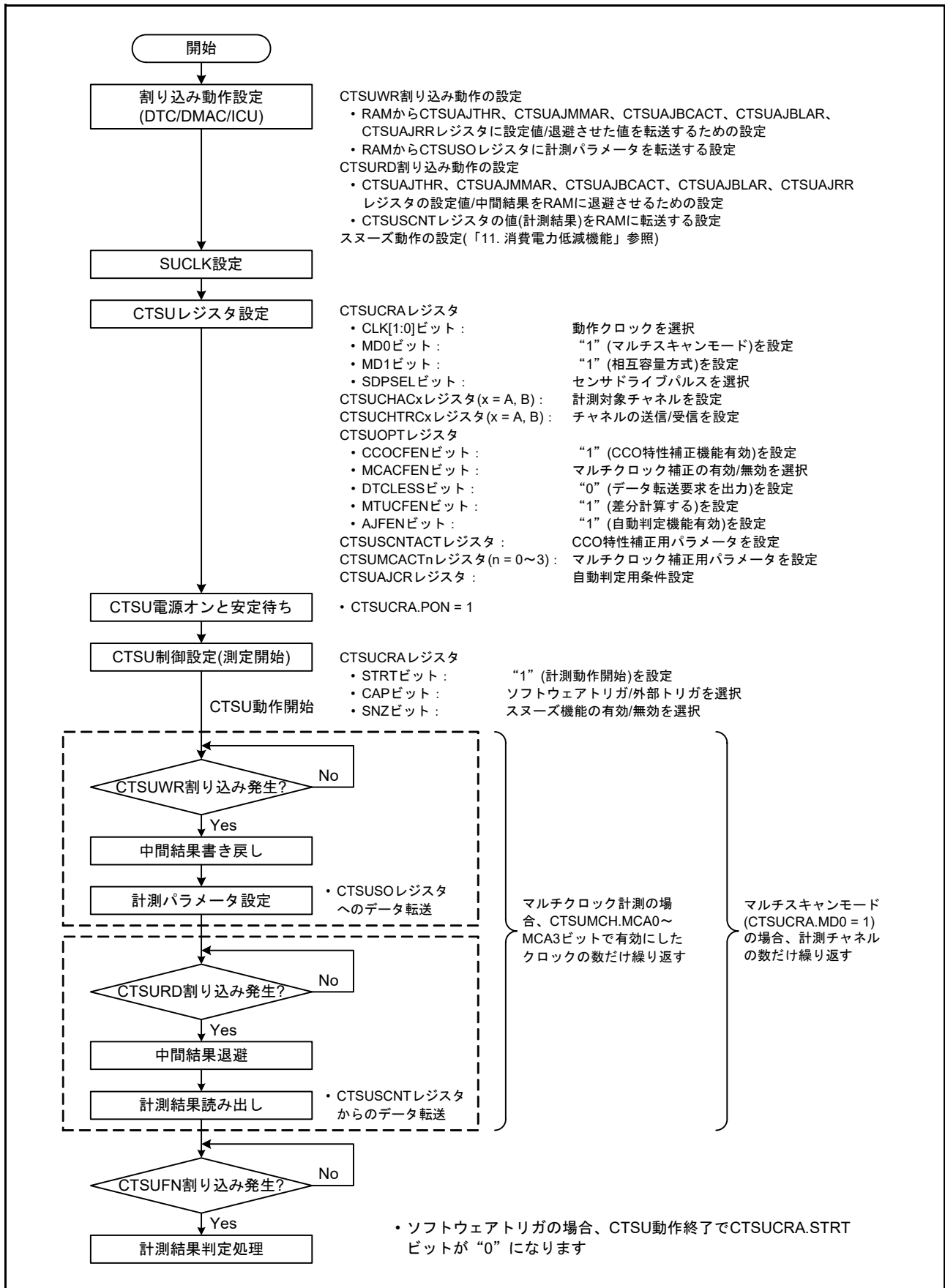


図 39.20 自動判定機能使用時の相互容量マルチスキャンモードのソフトウェアフロー

39.3.8 複数電極接続機能

複数電極接続 (Multiple Electrode Connection: MEC) 機能とは、複数の電極をあたかも1つの電極であるかのように扱う機能です。この機能を使用すると、複数の電極を一度にまとめて計測することが可能になります。

CTSUCRA.MD1 ビットを“0”(自己容量方式)、MD0 ビットを“0”(シングルスキャンモード)、CTSUCALIB.TSOD ビットを“1”(IOCSEL ビットで選択)、IOCSEL ビットを“0”(静電容量計測モード(複数電極接続機能使用))にした場合、CTSUCHACx.CHACm ビット(x = A, B、m = 0 ~ 35)を“1”(計測対象)、CTSUCHTRCx.CHTRCm ビットを“0”(受信)に設定したすべての TSm 端子からセンサドライブパルスが出力されます。このため、各 TSm 端子に接続された全電極の静電容量の合計値が計測できます。

なお、本機能を用いてタッチが検出された場合、どの電極の静電容量が変化したのかは判別できません。TSOD ビットを“0”(静電容量計測モード)にして、各電極の静電容量を個別に計測してください。

39.4 割り込み

CTSUSには、以下の3種類の割り込みがあります。

- レジスタ設定要求割り込み (CTSUSWR)
- 計測結果読み出し要求割り込み (CTSUSRD)
- 測定終了割り込み (CTSUSFN)

39.4.1 レジスタ設定要求割り込み (CTSUSWR)

計測チャンネルごとの設定データをRAM上に用意しておき、あらかじめCTSUSWR割り込みに対応したDTC/ICUの転送設定を行います。CTSUSWR割り込みはState 1からState 2に遷移したときに出力されます。対応するチャンネルの設定データをRAMからCTSUSレジスタに書き込んでください(図39.21)。CTSUSレジスタにデータを書くとState 3に遷移します。

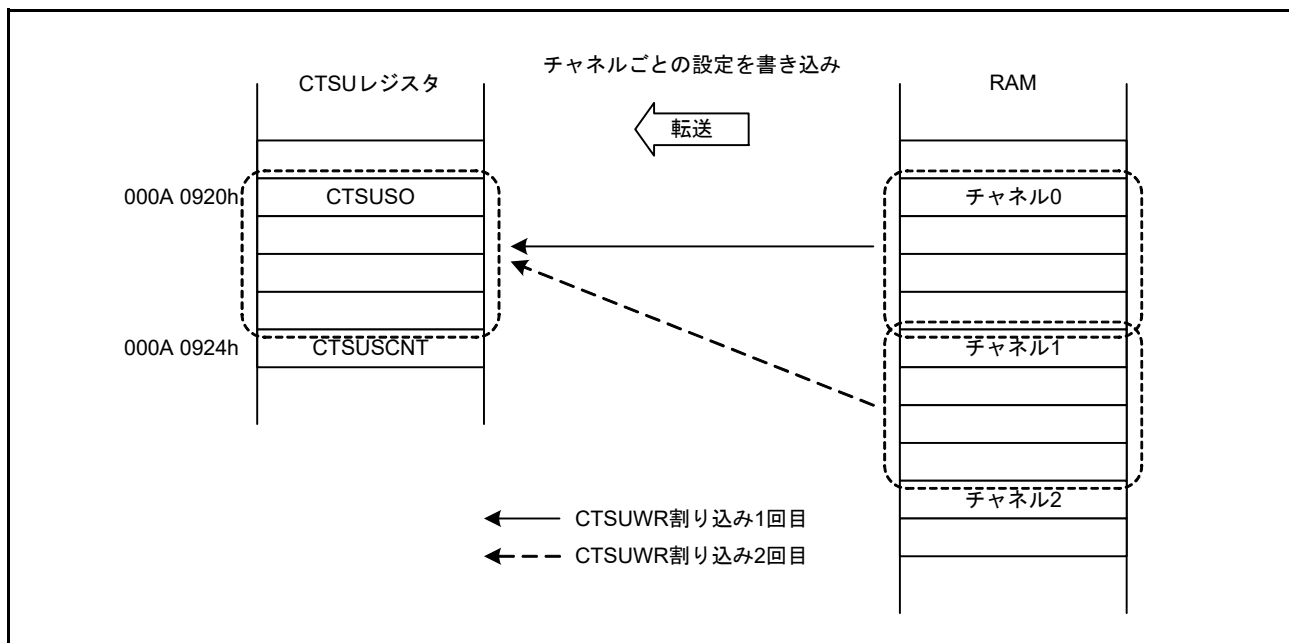


図 39.21 CTSUSWR 割り込みを用いた DTC 転送動作例

CTSUSWR 割り込みによって DTC 転送を行う場合、以下のとおり設定してください。

- 転送先アドレス：CTSUS0 レジスタのアドレス
- 転送先アドレスの処理：1回の割り込みで4バイトのデータを1回転送(アドレスは固定)
- 転送元アドレス：RAM上に用意した設定データの最下位チャンネルのCTSUS0データ格納アドレス
- 転送元アドレスの処理：1回の割り込みで4バイトのデータを1回転送(先頭バイトのアドレスは前回の割り込み処理から継続)
- 転送回数：計測する回数を指定

39.4.2 計測結果読み出し要求割り込み (CTSURD)

あらかじめ、CTSURD 割り込みに対応した DTC/ICU の転送設定を行います。1 チャネルの計測が終了した後、State 5 から State 1 に遷移すると CTSURD 割り込みが出力されます。計測結果を CTSUSCNT レジスタから読み出してください(図 39.22)。CTSUSCNT レジスタを読み出すと、State 0 または State 2 に遷移します。

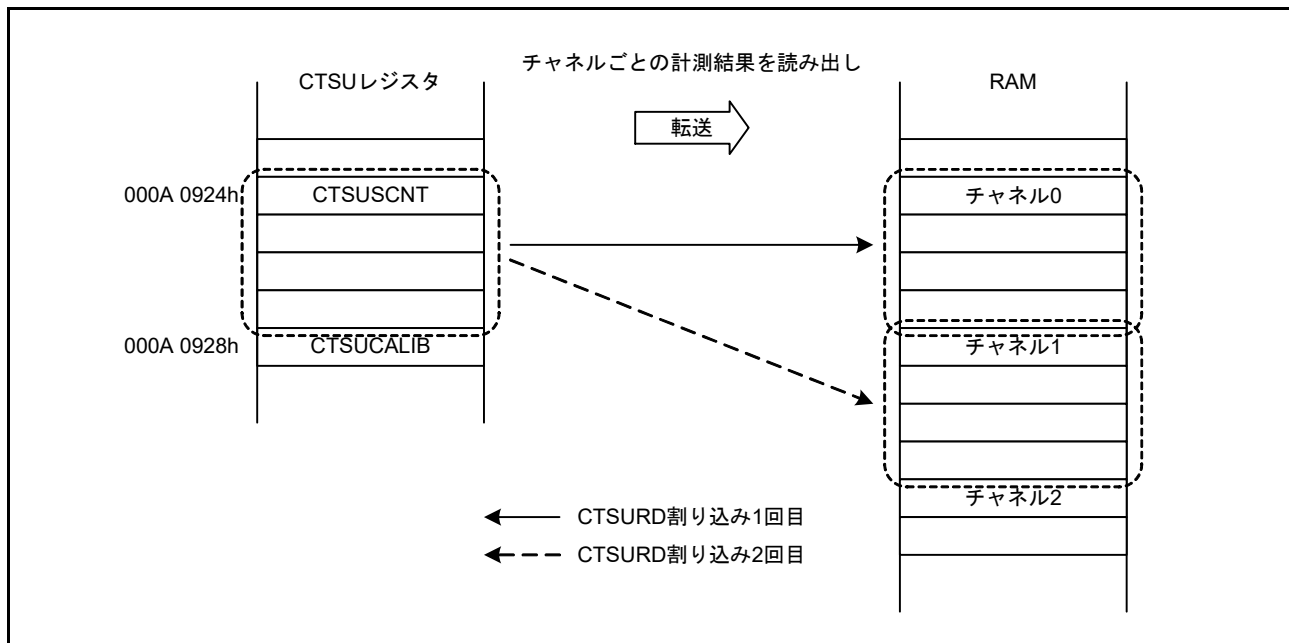


図 39.22 CTSURD 割り込みを用いた DTC 転送動作例

CTSURD 割り込みによって DTC 転送を行う場合、以下のとおり設定してください。

- 転送元アドレス：CTSUSCNT レジスタのアドレス
- 転送元アドレスの処理：1 回の割り込みで 4 バイトのデータを 1 回転送 (先頭アドレスは固定)
- 転送先アドレス：RAM 上に用意した最下位チャンネルの計測結果データ格納アドレス
- 転送先アドレスの処理：1 回の割り込みで 4 バイトのデータを 1 回転送 (先頭アドレスは前回の割り込み処理から継続)
- 転送回数：計測する回数を指定

39.4.3 測定終了割り込み (CTSUFN)

有効にしたすべてのチャンネルの計測が終了した後、State 1 から State 0 に遷移すると CTSUFN 割り込みが出力されます。

ただし、CTSUCRA.SNZ ビットが“1”(スヌーズモード時計測有効)、CTSUOPT.AJFEN ビットが“1”(自動判定機能有効)、かつ CTSUOPT.AJINTC ビットが“0”(非タッチ判定時にスヌーズ終了要求を出力)の場合、以下の条件の少なくとも一つが満たされたときのみ CTSUFN 割り込みが出力されます。

- タッチ判定されたチャンネルがあったとき
- 最終チャンネルの計測時に過電圧が検出されたとき

なお、スヌーズ解除割り込みに CTSUFN 割り込みを選択している場合、測定中に上記以外のエラーが発生しても、非タッチと判定されれば、スヌーズモードは解除されずにソフトウェアスタンバイモードに戻ります。このことが問題になる場合は、他の割り込みを使用してソフトウェアスタンバイモードを解除してください。

39.5 スヌーズ終了要求

CTSUCRA.SNZ ビットが“1”(スヌーズモード時計測有効)、CTSUOPT.AJFEN ビットが“1”(自動判定機能有効)、かつ CTSUOPT.AJINTC ビットが“0”(非タッチ判定時にスヌーズ終了要求を出力)の場合、すべてのチャンネルで非タッチと判定されると、スヌーズ終了要求が出力されます。

ただし、最終チャンネルの計測時に過電圧が検出された場合は、スヌーズ終了要求は出力されずに CTSUFN 割り込みが出力されます。

スヌーズモードの詳細については、「11. 消費電力低減機能」を参照してください。

39.6 使用上の注意事項

39.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、CTSUS の動作を禁止 / 許可することができます。リセット後の値では、CTSUS の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

39.6.2 計測結果データ (CTSUSCNT レジスタ)

計測中に読み出さないでください。読み出した場合、その値は保証できません。

39.6.3 ソフトウェアトリガ

CTSUCRA.CLK[1:0] ビットで“10b”(PCLKB/4)または“11b”(PCLKB/8)を選択した場合、計測終了後すぐに計測を再開させるときは、割り込み発生から下記のサイクル以上待ってから CTSUCRA.STRT ビットに“1”を書いてください。

- CTSUCRA.CLK[1:0] ビット = 10b の場合 : 3 サイクル以上
- CTSUCRA.CLK[1:0] ビット = 11b の場合 : 7 サイクル以上

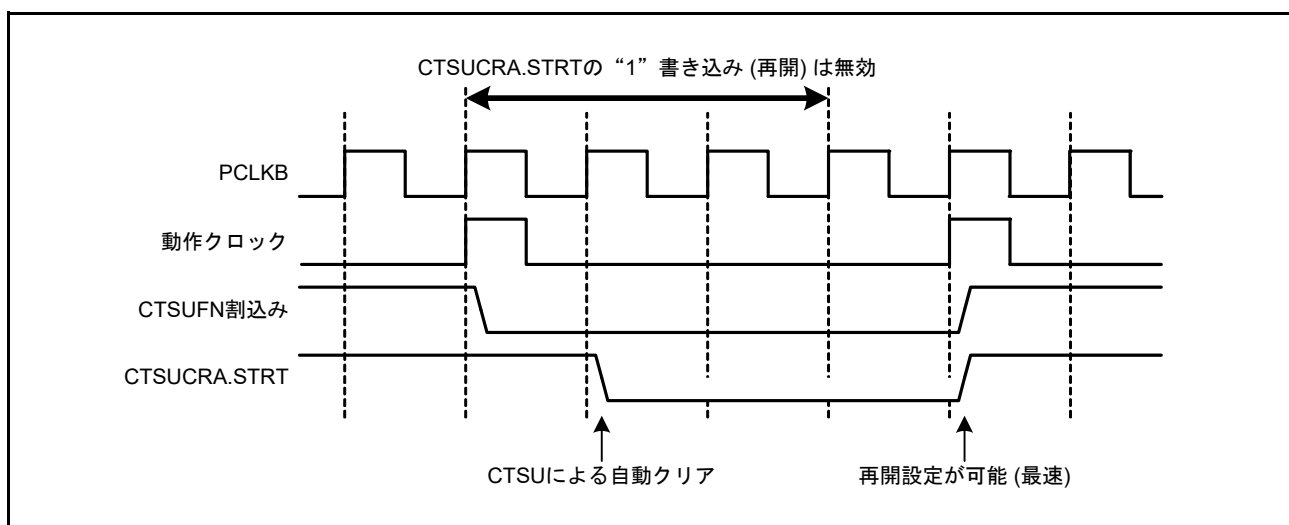


図 39.23 再開時の注意事項

39.6.4 外部トリガ

計測期間中に外部トリガが入力された場合、そのトリガは無視されます。外部トリガは、CTSUFN 割り込みが発生してから動作クロックで1サイクル後から有効になります。

外部トリガモードを終了する場合は、CTSUCRA.STRT ビットに“0”を書くのと同時に CTSUCRA.INIT ビットに“1”を書いて(強制停止)ください。

39.6.5 強制停止の注意事項

計測中に強制停止させる場合は、CTSUCRA.STRT ビットに“0”を書くのと同時に CTSUCRA.INIT ビットに“1”を書いてください。動作が停止し、内部制御レジスタが初期化されます。

INIT ビットによる初期化では、内部計測状態の初期化に加え、以下のレジスタが初期化されます。

- CTSUMCH レジスタ
- CTSUSR レジスタ
- CTSUSCNT レジスタ

また強制停止させた場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC や ICU の停止 / 無効処理を行ってください。

何らかの要因で DTC 転送を停止する場合は、CTSUSU に対しても強制停止および初期化処理を行ってください。

39.6.6 TSCAP 端子

TSCAP 端子には、CTSUSU の内部電圧を安定させるためのコンデンサを接続する必要があります。TSCAP 端子とコンデンサの間、およびコンデンサと GND の間の配線は、できるだけ太く、短くしてください。

TSCAP 端子に接続されたコンデンサは、スイッチを ON (CTSUCRA.CSW = 1) にして接続する前に、I/O ポートから Low を出力させ、十分に放電させてください。

39.6.7 周波数拡散時のサンプリング周期設定

周波数拡散機能が ON (CTSUCRB.SOFP = 0) のときのセンサドライブパルスのサンプリング周期が、センサドライブパルス周期の 1/4 未満になるように、CTSUCRA.CLK[1:0] と CTSUSO.SDPA[7:0] を設定してください。

39.6.8 計測動作中 (CTSUCRA.STRT ビット = 1) の注意事項

計測動作中 (CTSUCRA.STRT ビット = 1) に、周辺モジュールクロックを停止させたり、計測端子 (TSM 端子、TSCAP 端子) のポート設定を変更したりしないでください。

このような設定をしてしまった場合、強制停止 (CTSUCRA.STRT ビット = 0、CTSUCRA.INIT ビット = 1) 後、CTSUCRA.PON ビットと CTSUCRA.CSW ビットに同時に“0”を書き込み、CTSUCRA.SNZ ビットに“0”を設定し、初期設定からやり直してください。

39.6.9 自己容量方式の送信端子

自己容量方式時の送信端子は、計測には使用できません。送信端子からは計測パルスと同相のパルスが出力されています。基板上のアクティブシールドとして使用してください。また、自己容量方式では送信端子を同時に複数選択しないでください。

40. 12ビットA/Dコンバータ (S12ADE)

40.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。最大25チャンネルのアナログ入力と温度センサ出力、内部基準電圧を選択できます。

12ビットA/Dコンバータは、選択した最大25チャンネルのアナログ入力、温度センサ出力または内部基準電圧を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大25チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換するシングルスキャンモードと、任意に選択した最大25チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、最大25チャンネルのアナログ入力を任意に選択して2つのグループ(グループAとグループB)に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件(同期トリガ)を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。グループAの優先制御動作を設定すると、前述の動作に加えてグループBのA/D変換動作中にグループAのスキャン開始を受け付けて、グループBのA/D変換動作を中断して、グループAのA/D変換動作を優先的に開始します。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード(グループA)で変換し、1回目の同期トリガで変換したデータと2回目の同期トリガで変換したデータを別々のレジスタに格納(A/D変換データの二重化)します。

自己診断は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

温度センサ出力と内部基準電圧の両方を同時に選択することはできません。温度センサ出力または内部基準電圧は、それぞれ単独でA/D変換を行ってください。

高電位側基準電圧には外部端子入力(VREFH0)かアナログ基準電圧(AVCC0)から選択することができます。低電位側基準電圧には外部端子入力(VREFL0)かアナログ基準電圧(AVSS0)を選択することができます。

コンペア機能(ウィンドウA、ウィンドウB)を有しています。ウィンドウA/BそれぞれにHigh側、Low側の基準値を指定し、選択したチャンネルのA/D変換値が比較条件に一致した場合、イベント条件(A or B、A and B、A exor B)に応じてELCイベント(S12ADWMELC/S12ADWUMELC)を出力します。また、A/D変換値とLow側基準値を比較するコンパレータ動作も可能です。

A/Dデータ格納バッファは、A/D変換データを順番に格納する16本からなるリングバッファです。

表40.1に12ビットA/Dコンバータの仕様を、表40.2に12ビットA/Dコンバータの機能概要を示します。図40.1に12ビットA/Dコンバータのブロック図を示します。

表40.1 12ビットA/Dコンバータの仕様 (1/2)

項目	内容
ユニット数	1ユニット
入力チャンネル	25チャンネル
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり 0.7 μ s (ADCCR.CCSビット=0)、0.5 μ s (ADCCR.CCSビット=1) (A/D変換クロック ADCLK = 64 MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLKB(注1)とA/D変換クロックADCLK(注1)を以下の周波数比で設定可能 PCLKB : ADCLK周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	<ul style="list-style-type: none"> アナログ入力用25本、ダブルトリガモードでのA/D変換データ二重化用1本 温度センサ用1本 内部基準電圧用1本 自己診断用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の12ビット精度出力に対応 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビット/4ビット(注2)でA/Dデータレジスタに保持 ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは二重化レジスタに保持
動作モード	<ul style="list-style-type: none"> シングルスキャンモード : 任意に選択した最大25チャンネルのアナログ入力を1回のみA/D変換 温度センサ出力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 連続スキャンモード : 任意に選択した最大25チャンネルのアナログ入力を繰り返しA/D変換 グループスキャンモード : 任意に選択した最大25チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBは、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 グループスキャンモード(グループA優先制御選択時) グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実施 グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行(再スキャン)の設定が可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ 汎用PWMタイマ(GPTW)、イベントリンクコントローラ(ELC)からのトリガ 非同期トリガ 外部トリガADTRG0#端子によるA/D変換動作の開始が可能
機能	<ul style="list-style-type: none"> サンプリングステート数可変機能 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モードと平均モードが選択可能 アナログ入力断線検出機能(ディスチャージ機能/プリチャージ機能) ダブルトリガモード(A/D変換データ二重化機能) A/Dデータレジスタオートクリア機能 コンペア機能(ウィンドウA、ウィンドウB) コンペア機能使用時のリングバッファ(16本)
割り込み要因	<ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 S12ADI0、GBADI割り込みでDMAコントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能

表40.1 12ビットA/Dコンバータの仕様 (2/2)

項目	内容
イベントリンク機能	<ul style="list-style-type: none"> グループスキャンモードでのグループBのスキャン終了を除くスキャン終了時にELCイベント発生 グループスキャンモードでのグループBのスキャン終了時にELCイベント発生 すべてのスキャン終了時にELCイベント発生 ELCからのトリガによりスキャン開始可能 シングルスキャンモードでのウィンドウコンペア機能のイベント条件に応じて、ELCイベント発生
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への設定が可能 (注3、注4)

- 注1. 周辺モジュールクロックPCLKBはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。
- 注2. 加算時の拡張ビット数は、加算回数により異なります。
 2ビット拡張：1～4回変換(0～3回加算)
 4ビット拡張：16回変換(15回加算)
- 注3. 詳細は、「11. 消費電力低減機能」を参照してください。
- 注4. モジュールストップ状態を解除後は、1 μs以上待つてからA/D変換を開始してください。

表40.2 12ビットA/Dコンバータの機能概要

項目		端子名、略称等	
アナログ入力チャネル		AN000～AN008、AN016～AN031、温度センサ出力、内部基準電圧	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能
	非同期トリガ	ADTRG0#	可能
		同期トリガ	GPTW0.GTADTRAのコンペアマッチ
		GPTW0.GTADTRBのコンペアマッチ	GTADTRB0N
		GPTW1.GTADTRAのコンペアマッチ	GTADTRA1N
		GPTW1.GTADTRBのコンペアマッチ	GTADTRB1N
		GPTW2.GTADTRAのコンペアマッチ	GTADTRA2N
		GPTW2.GTADTRBのコンペアマッチ	GTADTRB2N
		GPTW0.GTADTRAのコンペアマッチまたはGPTW0.GTADTRBのコンペアマッチ	GTADTRA0NまたはGTADTRB0N
		GPTW1.GTADTRAのコンペアマッチまたはGPTW1.GTADTRBのコンペアマッチ	GTADTRA1NまたはGTADTRB1N
		GPTW2.GTADTRAのコンペアマッチまたはGPTW2.GTADTRBのコンペアマッチ	GTADTRA2NまたはGTADTRB2N
	ELCからのトリガ	可能	
割り込み		S12ADI0、GBADI割り込み	
モジュールストップ機能の設定 (注1)		MSTPCRA.MSTPA17ビット	

- 注1. 詳細は、「11. 消費電力低減機能」を参照してください。

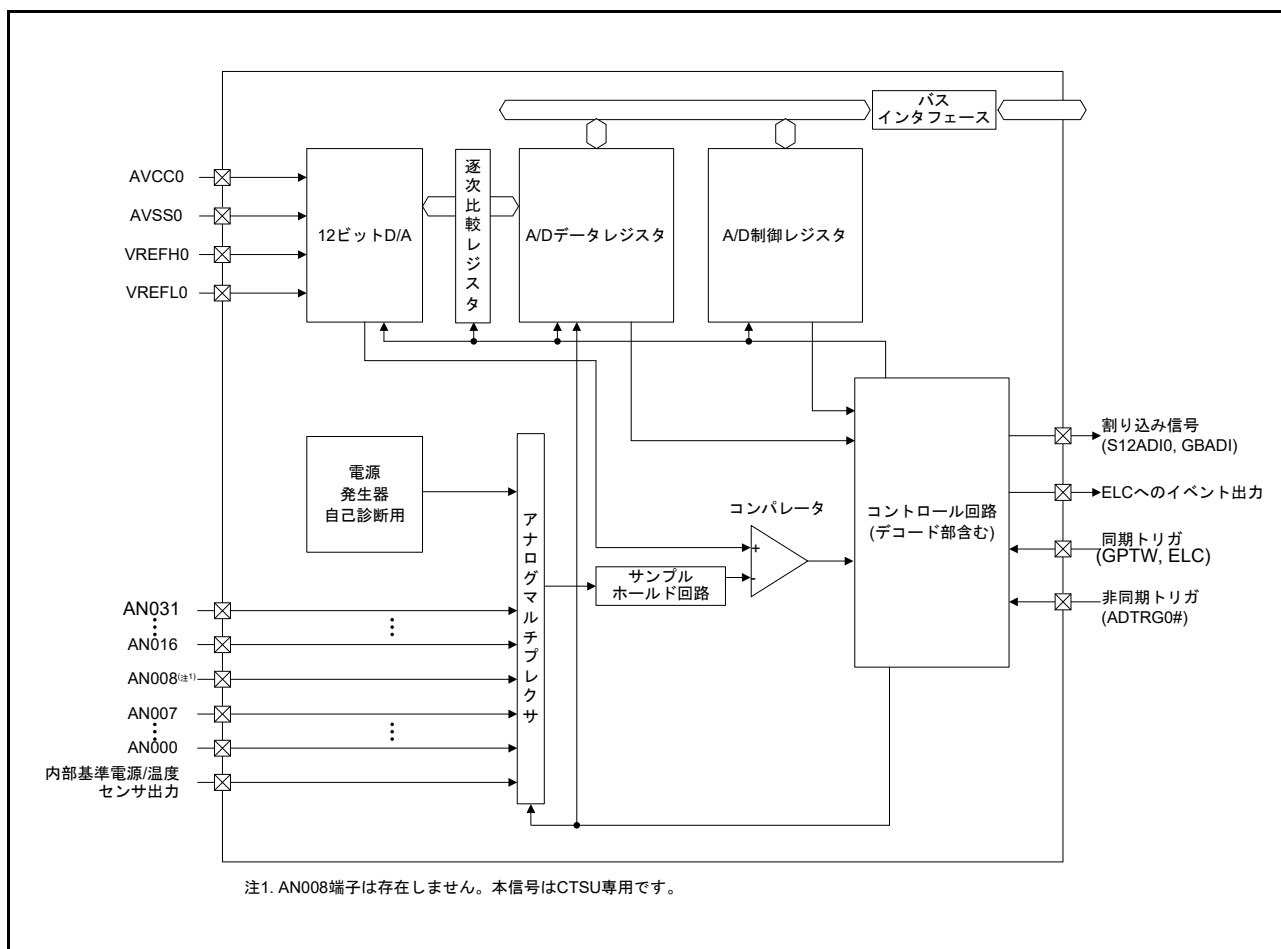


図 40.1 12ビットA/Dコンバータのブロック図

表 40.3 に 12ビットA/Dコンバータで使用する入力端子を示します。

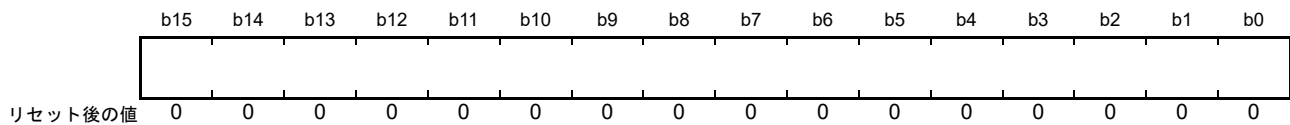
表40.3 12ビットA/Dコンバータの入力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準電源グランド端子
AN000～AN007, AN016～AN031	入力	アナログ入力端子0～7、アナログ入力端子16～31
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

40.2 レジスタの説明

40.2.1 A/D データレジスタ y (ADDR y) ($y = 0 \sim 8, 16 \sim 31$)、 A/D データ二重化レジスタ (ADDBLDR)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)

アドレス S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h,
S12AD.ADDR3 0008 9026h, S12AD.ADDR4 0008 9028h, S12AD.ADDR5 0008 902Ah,
S12AD.ADDR6 0008 902Ch, S12AD.ADDR7 0008 902Eh, S12AD.ADDR8 0008 9030h,
S12AD.ADDR16 0008 9040h, S12AD.ADDR17 0008 9042h, S12AD.ADDR18 0008 9044h,
S12AD.ADDR19 0008 9046h, S12AD.ADDR20 0008 9048h, S12AD.ADDR21 0008 904Ah,
S12AD.ADDR22 0008 904Ch, S12AD.ADDR23 0008 904Eh, S12AD.ADDR24 0008 9050h,
S12AD.ADDR25 0008 9052h, S12AD.ADDR26 0008 9054h, S12AD.ADDR27 0008 9056h,
S12AD.ADDR28 0008 9058h, S12AD.ADDR29 0008 905Ah, S12AD.ADDR30 0008 905Ch,
S12AD.ADDR31 0008 905Eh, S12AD.ADDBLDR 0008 9018h, S12AD.ADTSDR 0008 901Ah,
S12AD.ADOCDR 0008 901Ch



ADDR y レジスタ ($y = 0 \sim 8, 16 \sim 31$) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (1 回、2 回、3 回、15 回加算)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は “0” が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は “0” が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合

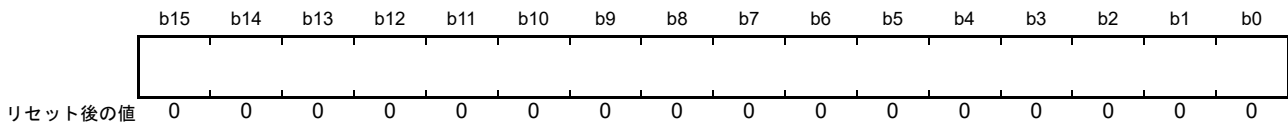
b13-b0に同一チャネルのA/D変換値を加算した値を格納します。読み出し時、b15-b14は“0”が読み出されます。

- 右詰めフォーマット(A/D変換値加算モード、変換回数16回選択時)に設定した場合b15-b0に同一チャネルのA/D変換値を加算した値を格納します。
- 左詰めフォーマット(A/D変換値加算モード、変換回数1回～4回選択時)に設定した場合b15-b2に同一チャネルのA/D変換値を加算した値を格納します。読み出し時、b1-b0は“0”が読み出されます。
- 左詰めフォーマット(A/D変換値加算モード、変換回数16回選択時)に設定した場合b15-b0に同一チャネルのA/D変換値を加算した値を格納します。

A/D変換値加算モードを選択したとき、同一チャネルのA/D変換値を加算した値を示します。A/D変換回数を1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、変換回数を1回～4回に設定した場合は、A/D変換結果の加算値を変換精度のビット数に2ビット分拡張したデータとして、変換回数を16回に設定した場合は、A/D変換結果の加算値を変換精度のビット数に4ビット分拡張したデータとして、A/Dデータレジスタに保持します。A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定に従い、A/Dデータレジスタに値が格納されます。

40.2.2 A/D 自己診断データレジスタ (ADRD)

アドレス S12AD.ADRD 0008 901Eh



ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値に加えて、自己診断のステータスが付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

A/D自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については「40.2.11 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマットに設定した場合
b11-b0にA/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b12は“0”が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4にA/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b3-b2は“0”が読み出されます。

表40.4 自己診断ステータス内容

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	基準電圧×1/2の電圧値の自己診断を実施したことを示します
11b	基準電圧の電圧値の自己診断を実施したことを示します

注. 自己診断の詳細については、「40.2.11 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

40.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD.ADCSR 0008 9000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にGBADI割り込み発生を禁止 1: グループBのスキャン終了後にGBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガによるA/D変換の開始を選択 1: 非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b10	ADHSC	A/D変換動作選択ビット	0: 高速変換動作 1: 低電流変換動作	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のS12ADI0割り込み発生を禁止 1: スキャン終了後のS12ADI0割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子(非同期トリガ)でA/D変換を起動する方法
外部端子(ADTRG0#)にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5 PCLKBクロック以上必要です。

ADCSRレジスタは、ダブルトリガモードの設定、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択ビット)

ダブルトリガモードでA/D変換データを二重化する1チャンネルを選択します。

DBLANS[4:0]ビットで選択したチャンネルのアナログ入力を、1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ二重化レジスタに格納されます。表40.5にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを選択した場合は、ADANSA0、ADANSA1レジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0]ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。

ダブルトリガモードを使用する場合は、自己診断機能、温度センサ出力および内部基準電圧のA/D変換は選択しないでください(グループスキャンのグループBのA/D変換には、温度センサ出力および内部基準電圧を選択することができます)。また、DBLANS[4:0]ビットは、ADSTビットが“0”のときに設定してください(ADSTビットへの“1”書き込みと同時に設定もしないでください)。

なお、ダブルトリガモードを設定した状態でのA/D変換値加算/平均モードは、DBLANS[4:0]ビットで選択したチャンネルをADANSA0、ADANSA1レジスタで選択することで実行可能です。

表40.5 DBLANS[4:0]ビット設定値とダブルトリガ対象チャンネルの関係

DBLANS[4:0]	二重化チャンネル	DBLANS[4:0]	二重化チャンネル	DBLANS[4:0]	二重化チャンネル
0000b	AN000	1000b	AN016	1100b	AN024
0001b	AN001	1001b	AN017	1101b	AN025
0010b	AN002	1010b	AN018	1110b	AN026
0011b	AN003	1011b	AN019	1111b	AN027
0100b	AN004	1100b	AN020		AN028
0101b	AN005	1101b	AN021		AN029
0110b	AN006	1110b	AN022		AN030
0111b	AN007	1111b	AN023		AN031
1000b	AN008				

GBADIE ビット (グループB スキャン終了割り込み許可ビット)

グループスキャンモードでのグループBのスキャン終了割り込み (GBADI) の発生を許可/禁止します。

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、1回目の同期トリガで変換された結果と2回目で変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSA0、ADANSA1レジスタで指定したチャンネルは無効となり、DBLANS[4:0]ビットで選択したチャンネルが有効となります。ADSTRGR.TRSA[5:0]ビットで選択された同期トリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1回目の同期トリガで変換した結果は、A/Dデータレジスタyに格納され、2回目の同期トリガで変換した結果は、A/Dデータ二重化レジスタに格納されます。このとき、ADIEビットが“1”に設定していると、1回目の変換終了時は割り込みを発生せず、2回目の変換終了時に割り込みを発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。

DBLEビットの設定は、あらかじめADSTビットを“0”にしてから行ってください。

EXTRG ビット (トリガ選択ビット)

A/D変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによるA/D変換の起動を許可/禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADHSC ビット (A/D変換動作選択ビット)

A/D変換の動作モードを設定します。

ADHSCビットを書き換える場合は、12ビットA/Dコンバータをスタンバイ状態にする必要があります。ADHSCビットの書き換え手順は、「40.8.10 ADHSCビットの書き換え手順」を参照してください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループBを除く、A/Dスキャン変換終了割り込み (S12ADI0) の発生を許可/禁止します。

ダブルトリガモードを非選択に設定した場合は、1回のスキャンが終了したときに、ADIEビットが“1”

に設定されていれば、S12ADIO 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガからのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”に設定されていれば S12ADIO 割り込みが発生します。

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 25 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA0、ADANSA1 レジスタで選択した最大 25 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを“0”にすると、スキャン中に A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを開始条件として、ADANSA0、ADANSA1 レジスタで選択した最大 25 チャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また、同様に ADSTRGR.TRSB[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSB0、ADANSB1 レジスタで選択した最大 25 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。

グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

温度センサ出力または内部基準電圧を選択する場合は、シングルスキャンモードを選択し、ADANSA0、ADANSA1 レジスタでのチャンネル選択をすべて非選択としてから A/D 変換を行います。選択した温度センサ出力または内部基準電圧の A/D 変換が終了すると停止します。

ADCS[1:0] ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時設定もしないでください)。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1”になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG ビットに“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードでADCSR.TRGEビットに“1”を設定しADSTRGR.TRSB[5:0]ビットで選択した同期トリガを検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[5:0] ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット = 01bかつADGSPCR.PGSビット = 1)に、グループBのトリガを検出し、グループBのA/D変換を開始したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット = 01bかつADGSPCR.PGSビット = 1)に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループBのA/D変換を再開したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット = 01bかつADGSPCR.PGSビット = 1)に、

ADGSPCR.GBRP ビットを“1”に設定し、グループ B の A/D 変換を開始したとき

[“0”になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、グループ B の A/D 変換実行中に、グループ A のトリガを検出し、グループ B のスキャンが中断されたとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B の再起動トリガによるスキャンが終了したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRP ビットを“1”に設定し、グループ B のトリガによるスキャンが終了したとき

注． グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを“1”にしないでください。

注． グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを“0”にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

40.2.4 A/D チャネル選択レジスタ A0 (ADANSA0)

アドレス S12AD.ADANSA0 0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ANSA0 08	ANSA0 07	ANSA0 06	ANSA0 05	ANSA0 04	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャンネル選択ビット	0 : AN000 ~ AN008を変換対象から外す 1 : AN000 ~ AN008を変換対象とする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b8	ANSA008			R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSA0 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN008 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA0n ビット (n = 00 ~ 08) (A/D 変換チャンネル選択ビット)

A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN008 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA000 ビットが AN000 に、ANSA008 ビットが AN008 に対応します。

温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタ設定値を“0000h”としてください)。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

40.2.5 A/D チャネル選択レジスタ A1 (ADANSA1)

アドレス S12AD.ANANSA1 0008 9006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSA1 15	ANSA1 14	ANSA1 13	ANSA1 12	ANSA1 11	ANSA1 10	ANSA1 09	ANSA1 08	ANSA1 07	ANSA1 06	ANSA1 05	ANSA1 04	ANSA1 03	ANSA1 02	ANSA1 01	ANSA1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA100	A/D変換チャネル選択ビット	0 : AN016 ~ AN031 を変換対象から外す 1 : AN016 ~ AN031 を変換対象とする	R/W
b1	ANSA101			R/W
b2	ANSA102			R/W
b3	ANSA103			R/W
b4	ANSA104			R/W
b5	ANSA105			R/W
b6	ANSA106			R/W
b7	ANSA107			R/W
b8	ANSA108			R/W
b9	ANSA109			R/W
b10	ANSA110			R/W
b11	ANSA111			R/W
b12	ANSA112			R/W
b13	ANSA113			R/W
b14	ANSA114			R/W
b15	ANSA115			R/W

ADANSA1 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN016 ~ AN031 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA1n ビット (n = 00 ~ 15) (A/D 変換チャネル選択ビット)

A/D 変換を行うチャネルのアナログ入力 AN016 ~ AN031 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ANSA100 ビットが AN016 に、ANSA115 ビットが AN031 に対応します。

温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください(本レジスタ設定値を 0000h としてください)。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA1n ビットの設定は無効になります。

ANSA1n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

40.2.6 A/D チャネル選択レジスタ B0 (ADANSB0)

アドレス S12AD.ADANSB0 0008 9014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ANSB0 08	ANSB0 07	ANSB0 06	ANSB0 05	ANSB0 04	ANSB0 03	ANSB0 02	ANSB0 01	ANSB0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャンネル選択ビット	0 : AN000 ~ AN008を変換対象から外す 1 : AN000 ~ AN008を変換対象とする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b8	ANSB008			R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN008 を選択するレジスタです。ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00 ~ 08) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN008 の選択を行います。ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタ、またはダブルトリガモードによる ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB000 ビットが AN000 に、ANSB008 ビットが AN008 に対応します。

温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタ設定値を 0000h としてください)。

ANSB0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

40.2.7 A/D チャネル選択レジスタ B1 (ADANSB1)

アドレス S12AD.ADANSB1 0008 9016h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ANSB1 15	ANSB1 14	ANSB1 13	ANSB1 12	ANSB1 11	ANSB1 10	ANSB1 09	ANSB1 08	ANSB1 07	ANSB1 06	ANSB1 05	ANSB1 04	ANSB1 03	ANSB1 02	ANSB1 01	ANSB1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB100	A/D変換チャネル選択ビット	0 : AN016～AN031を変換対象から外す 1 : AN016～AN031を変換対象とする	R/W
b1	ANSB101			R/W
b2	ANSB102			R/W
b3	ANSB103			R/W
b4	ANSB104			R/W
b5	ANSB105			R/W
b6	ANSB106			R/W
b7	ANSB107			R/W
b8	ANSB108			R/W
b9	ANSB109			R/W
b10	ANSB110			R/W
b11	ANSB111			R/W
b12	ANSB112			R/W
b13	ANSB113			R/W
b14	ANSB114			R/W
b15	ANSB115			R/W

ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN016～AN031 を選択するレジスタです。ADANSB1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB1n ビット (n = 00 ～ 15) (A/D 変換チャネル選択ビット)

ANSB1n ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネル AN016～AN031 の選択を行います。ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (ADANSA0、ADANSA1 レジスタ、またはダブルトリガモードによる ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル) 以外から設定します。

ANSB100 ビットが AN016 に、ANSB115 ビットが AN031 に対応します。

温度センサあるいは内部基準電圧を A/D 変換する場合は、アナログ入力チャネルを選択しないでください (本レジスタ設定値を 0000h としてください)。

ANSB1n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

40.2.8 A/D変換値加算 / 平均機能チャンネル選択レジスタ 0 (ADADS0)

アドレス S12AD.ADADS0 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ADS008	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャンネル選択ビット	0 : AN000 ~ AN008のA/D変換値加算/平均モード非選択 1 : AN000 ~ AN008のA/D変換値加算/平均モード選択	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b8	ADS008			R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADS0レジスタは、A/D変換を連続2～4、16回実施して加算(積算)、または平均するA/D変換チャンネル00～08を選択します。

ADS0nビット (n = 00 ~ 08) (A/D変換値加算 / 平均チャンネル選択ビット)

ADANSA0.ANSA0nビット、またはADCSR.DBLANS[4:0]ビットとADANSB0.ANSB0nビットで選択したA/D変換チャンネルと同一番号のADS0nビットを“1”にすると、ADADC.ADC[2:0]ビットで設定した回数(2～4、16回)分、選択したチャンネルのアナログ入力を連続してA/D変換し、ADADC.AVEEビットが“0”の場合、加算(積算)した値を、ADADC.AVEEビットが“1”の場合、加算(積算)値から平均した値をA/Dデータレジスタに格納します。加算/平均モードが非選択のA/D変換チャンネルは、通常の1回変換を実施し、A/Dデータレジスタに値を格納します。

ADS0nビットは、ADCSR.ADSTビットが“0”のときに設定してください。

40.2.9 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 1 (ADADS1)

アドレス S12AD.ADADS1 0008 900Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADS11 5	ADS11 4	ADS11 3	ADS11 2	ADS11 1	ADS11 0	ADS10 9	ADS10 8	ADS10 7	ADS10 6	ADS10 5	ADS10 4	ADS10 3	ADS10 2	ADS10 1	ADS10 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS100	A/D変換値加算/平均チャンネル選択ビット	0 : AN016~AN031のA/D変換値加算/平均モード非選択 1 : AN016~AN031のA/D変換値加算/平均モード選択	R/W
b1	ADS101			R/W
b2	ADS102			R/W
b3	ADS103			R/W
b4	ADS104			R/W
b5	ADS105			R/W
b6	ADS106			R/W
b7	ADS107			R/W
b8	ADS108			R/W
b9	ADS109			R/W
b10	ADS110			R/W
b11	ADS111			R/W
b12	ADS112			R/W
b13	ADS113			R/W
b14	ADS114			R/W
b15	ADS115			R/W

ADADS1 レジスタは、A/D 変換を連続 2 ~ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャンネル 16 ~ 31 を選択します。

ADS1n ビット (n = 00 ~ 15) (A/D 変換値加算 / 平均チャンネル選択ビット)

ADANSA1.ANSA1n ビット、または ADCSR.DBLANS[4:0] ビットと ADANSB1.ANSB1n ビットで選択した A/D 変換チャンネルと同一番号の ADS1n ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合、加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS1n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

図 40.2 に ADS002 ビットと ADS006 ビットを“1”にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算モードを選択 (ADADC.AVEE = 0)、加算回数は 3 回に設定 (ADADC.ADC[2:0] = 011b)、AN000 ~ AN008 が選択 (ADANSA0.ANSA0n = FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換 (3 回加算) し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN008 の変換後、再度 AN000 から同じシーケンスで動作します。

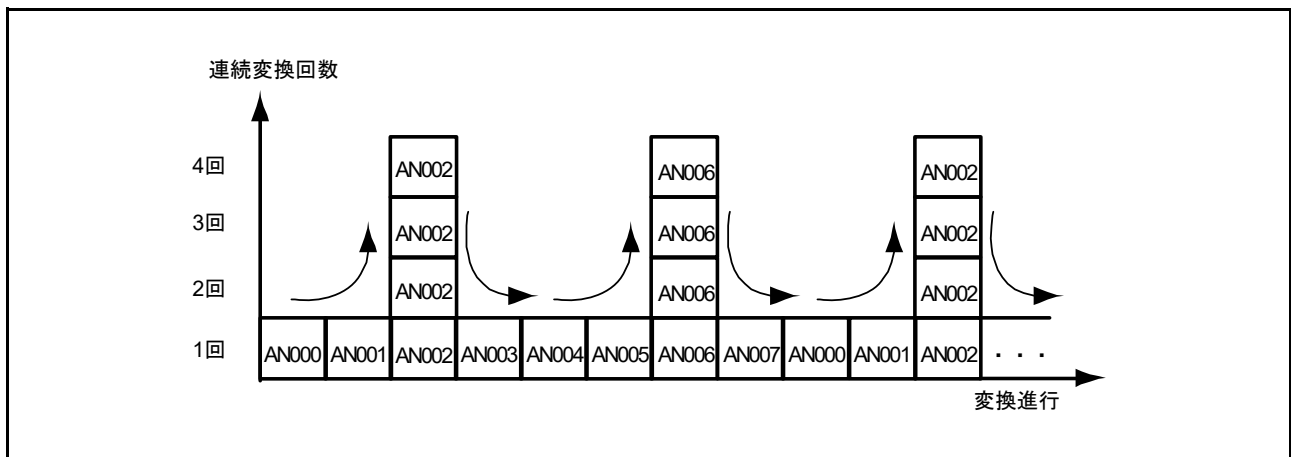


図 40.2 ADADC.ADC[2:0] = 011b、ADS002 = 1、ADS006 = 1 選択時のスキャン変換シーケンス

40.2.10 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch

b7	b6	b5	b4	b3	b2	b1	b0
AVEE	—	—	—	—	ADC[2:0]		

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 000: 1回変換(加算なし。通常変換と同じ) 001: 2回変換(1回加算を行う) 010: 3回変換(2回加算を行う)(注1) 011: 4回変換(3回加算を行う) 101: 16回変換(15回加算を行う)(注1) 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0: 加算モードを選択 1: 平均モードを選択	R/W

注1. AVEEビットは、2回変換、4回変換の時のみ有効です。平均モードを選択した場合(ADADC.AVEEビット=1)、3回変換(ADADC.ADC[2:0]=010b)および16回変換(ADADC.ADC[2:0]=101b)に設定しないでください。

ADADCレジスタは、A/D変換値加算/平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧のA/D変換に対して加算回数の設定と、加算モード/平均モードの選択を行います。

ADC[2:0]ビット(加算回数選択ビット)

ダブルトリガモードでの選択チャンネル(ADCSR.DBLANS[4:0]ビットでの選択チャンネル)を含むA/D変換および加算/平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧のA/D変換に対して共通の加算回数を設定します。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換(ADADC.ADC[2:0]=000b)、3回変換(ADADC.ADC[2:0]=010b)および16回変換(ADADC.ADC[2:0]=101b)に設定しないでください。

ADC[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

AVEEビット(平均モードイネーブルビット)

ダブルトリガモードでの選択チャンネル(ADCSR.DBLANS[4:0]ビットでの選択チャンネル)を含むA/D変換および加算/平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧のA/D変換に対して加算モード、または平均モードの選択を行います。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換(ADADC.ADC[2:0]=000b)、3回変換(ADADC.ADC[2:0]=010b)および16回変換(ADADC.ADC[2:0]=101b)に設定しないでください。1回、3回および16回変換の平均値を求めることはできません。

AVEEビットの設定は、ADCSR.ADSTビットが“0”のときに設定してください。

40.2.11 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD.ADCER 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断電圧固定モード時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : 基準電圧×1/2の電圧を使って自己診断を行う (注1) 1 1 : 基準電圧の電圧を使って自己診断を行う (注1)	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

注1. 基準電圧とはADHVREFCNTレジスタで選択した端子の電圧を意味します。

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU、DTCまたはDMACAによってADDRy、ADDRD、ADDBLDR、ADTSDR、ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。

ADCER.DIAGLD ビットを“0”にすると 0V → 基準電圧×1/2 → 基準電圧の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0V、基準電圧×1/2、基準電圧の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアでADRDレジスタを読み出し、変換値が正常の範囲にある(正常)かない(異常)かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。グループスキャンモードで自己診断を選択した場合は、グループAとグループBのそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

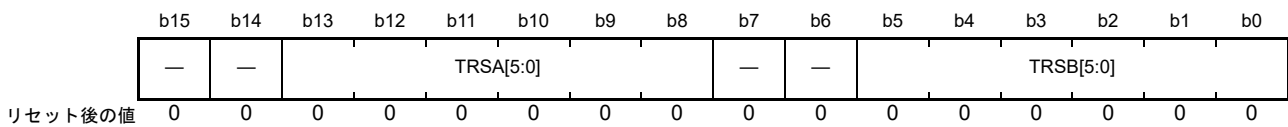
ADDR_y、ADRD、ADTSDR、ADOCDR、ADDBLDR、ADCMPDR0、ADCMPDR1、ADWINLLB、ADWINULB レジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

各データレジスタのフォーマットの詳細は、「40.2.1 A/D データレジスタ y (ADDR_y) (y = 0 ~ 8, 16 ~ 31)、A/D データ二重化レジスタ (ADDBLDR)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCDR)」、「40.2.2 A/D 自己診断データレジスタ (ADRD)」、「40.2.25 A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)」、「40.2.26 A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)」、「40.2.33 A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)」、「40.2.34 A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)」を参照してください。

40.2.12 A/D変換開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD.ADSTRGR 0008 9010h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループB専用A/D変換開始トリガ選択ビット)

グループBで選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループBのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

グループスキャンモードのグループA優先制御時に、ADGSPCR.GBRP ビットを“1”にすることで、グループBをシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを“1”に設定する場合は、TRSB[5:0] ビットを“3Fh”に設定してください。なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。

表 40.6 に TRSB[5:0] ビットでのA/D起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガのA/D変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガを使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。表 40.7 に TRSA[5:0] ビットでのA/D起動要因選択一覧を示します。

表40.6 TRSB[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSB [5]	TRSB [4]	TRSB [3]	TRSB [2]	TRSB [1]	TRSB [0]
トリガ要因非選択状態			1	1	1	1	1	1
GPTW	GTADTRA0N	GPTW0.GTADTRAのコンペアマッチ	0	1	0	0	0	1
	GTADTRB0N	GPTW0.GTADTRBのコンペアマッチ	0	1	0	0	1	0
	GTADTRA1N	GPTW1.GTADTRAのコンペアマッチ	0	1	0	0	1	1
	GTADTRB1N	GPTW1.GTADTRBのコンペアマッチ	0	1	0	1	0	0
	GTADTRA2N	GPTW2.GTADTRAのコンペアマッチ	0	1	0	1	0	1
	GTADTRB2N	GPTW2.GTADTRBのコンペアマッチ	0	1	0	1	1	0
	GTADTRA0N または GTADTRB0N	GPTW0.GTADTRAのコンペアマッチまたは GPTW0.GTADTRBのコンペアマッチ	0	1	1	0	0	1
	GTADTRA1N または GTADTRB1N	GPTW1.GTADTRAのコンペアマッチまたは GPTW1.GTADTRBのコンペアマッチ	0	1	1	0	1	0
GTADTRA2N または GTADTRB2N	GPTW2.GTADTRAのコンペアマッチまたは GPTW2.GTADTRBのコンペアマッチ	0	1	1	0	1	1	
ELC	ELCTRG00N		0	0	1	0	0	1
	ELCTRG01N		0	0	1	0	1	0
	ELCTRG00N または ELCTRG01N		0	0	1	0	1	1

表40.7 TRSA[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA [5]	TRSA [4]	TRSA [3]	TRSA [2]	TRSA [1]	TRSA [0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRG0#	トリガ入力端子	0	0	0	0	0	0
GPTW	GTADTRA0N	GPTW0.GTADTRAのコンペアマッチ	0	1	0	0	0	1
	GTADTRB0N	GPTW0.GTADTRBのコンペアマッチ	0	1	0	0	1	0
	GTADTRA1N	GPTW1.GTADTRAのコンペアマッチ	0	1	0	0	1	1
	GTADTRB1N	GPTW1.GTADTRBのコンペアマッチ	0	1	0	1	0	0
	GTADTRA2N	GPTW2.GTADTRAのコンペアマッチ	0	1	0	1	0	1
	GTADTRB2N	GPTW2.GTADTRBのコンペアマッチ	0	1	0	1	1	0
	GTADTRA0N または GTADTRB0N	GPTW0.GTADTRAのコンペアマッチまたは GPTW0.GTADTRBのコンペアマッチ	0	1	1	0	0	1
	GTADTRA1N または GTADTRB1N	GPTW1.GTADTRAのコンペアマッチまたは GPTW1.GTADTRBのコンペアマッチ	0	1	1	0	1	0
GTADTRA2N または GTADTRB2N	GPTW2.GTADTRAのコンペアマッチまたは GPTW2.GTADTRBのコンペアマッチ	0	1	1	0	1	1	
ELC	ELCTRG00N		0	0	1	0	0	1
	ELCTRG01N		0	0	1	0	1	0
	ELCTRG00N または ELCTRG01N		0	0	1	0	1	1

40.2.13 A/D変換拡張入力コントロールレジスタ (ADEXICR)

アドレス S12AD.ADEXICR 0008 9012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算/平均モード選択ビット	0: 温度センサ出力A/D変換値加算/平均モード非選択 1: 温度センサ出力A/D変換値加算/平均モード選択	R/W
b1	OCSAD	内部基準電圧A/D変換値加算/平均モード選択ビット	0: 内部基準電圧A/D変換値加算/平均モード非選択 1: 内部基準電圧A/D変換値加算/平均モード選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSSA	温度センサ出力A/D変換選択ビット	0: 温度センサ出力をA/D変換しない 1: 温度センサ出力をA/D変換する	R/W
b9	OCSA	内部基準電圧A/D変換選択ビット	0: 内部基準電圧をA/D変換しない 1: 内部基準電圧をA/D変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADEXICR レジスタは、温度センサ出力 / 内部基準電圧の A/D 変換の設定をします。

TSSAD ビット (温度センサ出力 A/D 変換値加算 / 平均モード選択ビット)

温度センサ出力の A/D 変換を選択し、TSSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、温度センサ出力を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 温度センサデータレジスタ (ADTSDR) に格納します。TSSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

OCSAD ビット (内部基準電圧 A/D 変換値加算 / 平均モード選択ビット)

内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、内部基準電圧を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に格納します。

OCSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

TSSA ビット (温度センサ出力 A/D 変換選択ビット)

シングルスキャンモードでの温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を行う場合は、ADANSA0、ADANSA1 レジスタ、ADANSB0、ADANSB1 レジスタの全ビットと ADCSR.DBLE ビット、OCSA ビットのすべてに“0”を設定し、シングルスキャンモードで実行してください。TSSA ビットの設定は、ADST ビットが“0”のときに行ってください。温度センサ出力の A/D 変換は、サンプリング前にディスチャージを行う必要がありますので、ADDISCR.ADNDIS[4:0] ビットに“0Fh”を自動的に設定します。また、サンプリング時間は 5 μ s 以上に設定してください。

温度センサ出力の A/D 変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間 (15 ADCLK) がサンプリング前に挿入されます。

OCSA ビット (内部基準電圧 A/D 変換選択ビット)

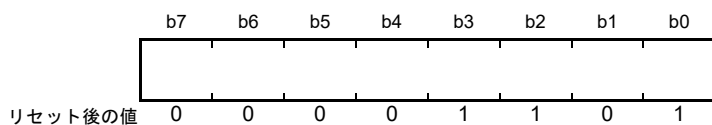
シングルスキャンモードでの内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を行う場

合は、ADANSA0、ADANSA1 レジスタ、ADANSB0、ADANSB1 レジスタの全ビットと ADCSR.DBLE ビット、TSSA ビットのすべてに“0”を設定し、シングルスキャンモードで実行してください。OCSA ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。内部基準電圧の A/D 変換は、サンプリング前にディスチャージを行う必要がありますので、ADDISCR.ADNDIS[4:0] ビットに“0Fh”を自動的に設定します。また、サンプリング時間は 5 μ s 以上に設定してください。

内部基準電圧の A/D 変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間 (15 ADCLK) がサンプリング前に挿入されます。

40.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 8, L, T, O)

アドレス S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h,
S12AD.ADSSTR3 0008 90E3h, S12AD.ADSSTR4 0008 90E4h, S12AD.ADSSTR5 0008 90E5h,
S12AD.ADSSTR6 0008 90E6h, S12AD.ADSSTR7 0008 90E7h, S12AD.ADSSTR8 0008 90E8h,
S12AD.ADSSTRL 0008 90DDh, S12AD.ADSSTRT 0008 90DEh, S12AD.ADSSTRO 0008 90DFh



ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

1 ステート = 1 ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 64 MHz であれば 1 ステート = 15.625 ns になります。初期値は 13 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。ADSSTRn レジスタは、ADCSR.ADST ビットが“0”のときに設定してください。サンプリング時間の設定下限値は、PCLKB と ADCLK の周波数比により異なります。

PCLKB : ADCLK 周波数比 = 1 : 1、2 : 1、4 : 1、8 : 1 の場合、5 ステート以上の値を設定してください。

PCLKB : ADCLK 周波数比 = 1 : 2 の場合、6 ステート以上の値を設定してください。

表 40.8 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

詳細は、「40.3.6 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

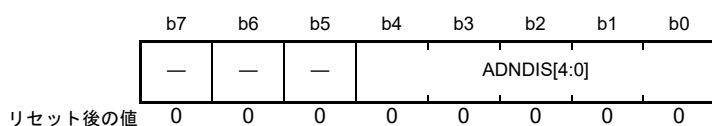
表 40.8 A/D サンプリングステートレジスタと対象チャネルの関係

レジスタ名	対象チャネル
ADSSTR0 レジスタ	AN000
ADSSTR1 レジスタ	AN001
ADSSTR2 レジスタ	AN002
ADSSTR3 レジスタ	AN003
ADSSTR4 レジスタ	AN004
ADSSTR5 レジスタ	AN005
ADSSTR6 レジスタ	AN006
ADSSTR7 レジスタ	AN007
ADSSTR8 レジスタ	AN008
ADSSTRL レジスタ	AN016 ~ AN031
ADSSTRT レジスタ	温度センサ出力 (注1)
ADSSTRO レジスタ	内部基準電圧 (注1)

注1. 温度センサ出力または内部基準電圧をA/D変換する場合、サンプリング時間を5 μ s以上に設定する必要があります。本レジスタでは255ステートまでしか設定できないため、温度センサ出力または内部基準電圧をA/D変換する場合は、ADCLK周波数に留意してください。(例：ADCLK = 64 MHzの場合、255ステート設定しても5 μ sに達しません。)

40.2.15 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	A/D断線検出アシスト設定ビット	b4 ADNDIS[4] : ディスチャージ/プリチャージの選択 0 : ディスチャージ 1 : プリチャージ b3-b0 ADNDIS[3:0] : ディスチャージ/プリチャージ期間	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

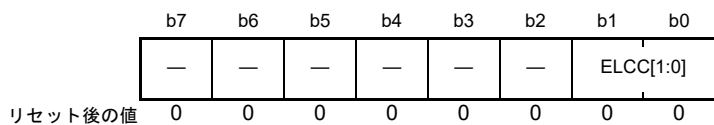
ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。

温度センサ出力または内部基準電圧を A/D 変換するために、ADEXICR.OCSA もしくは TSSA ビットを“1”にすると、ADNDIS[4:0] ビットを自動的に“0Fh”に固定し、A/D 変換に先立ちディスチャージする設定 (オートディスチャージ) となります。温度センサ出力または内部基準電圧を A/D 変換するたびに、オートディスチャージ期間 (15 ADCLK) がサンプリング前に挿入されます。

40.2.16 A/D イベントリンクコントロールレジスタ (ADELCCR)

アドレス S12AD.ADELCCR 0008 907Dh



ビット	シンボル	ビット名	機能	R/W
b1-b0	ELCC[1:0]	イベントリンクコントロールビット	b1 b0 0 0 : グループスキャンモードのグループBのスキャン終了を除くスキャン終了時にイベント発生 0 1 : グループスキャンモードのグループBのスキャン終了時にイベント発生 1 x : すべてのスキャン終了時にイベント発生	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

ADELCCR レジスタは、ELC 用スキャン終了イベント (S12ADELC) のイベント発生条件を設定します。

ELCC[1:0] ビット (イベントリンクコントロールビット)

ELC 用スキャン終了イベント (S12ADELC) 発生条件を選択するビットです。

40.2.17 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD.ADGSPCR 0008 9080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定ビット (注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定ビット (注2)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループAの優先制御でグループBのA/D変換動作中断後の再起動をしない 1: グループAの優先制御でグループBのA/D変換動作中断後の再起動をする	R/W
b14-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定ビット (注3)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループBはシングルスキャン連続動作しない 1: グループBのシングルスキャン連続動作開始	R/W

注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。それ以外の設定をした場合、動作は保証されません。

注2. GBRSCNビットを“1”にする場合は、周辺モジュールクロックPCLKBとA/D変換クロックADCLKの周波数比を1:1にしてください。

注3. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、グループBのシングルスキャン連続動作を実行します。

ADGSPCRレジスタは、グループスキャンモードでグループAを優先的にA/D変換する優先制御を設定するレジスタです。

PGSビット (グループA優先制御設定ビット)

グループAの優先動作を制御します。グループA優先制御動作を行うときに“1”を設定してください。

PGSビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。

PGSビットを“0”にする場合は、「40.8.2 A/D変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGSビットを“1”にする場合は、「40.3.4.3 グループA優先制御動作」の手順に従い設定を行ってください。

GBRSCNビット (グループB再起動設定ビット)

グループA優先制御時の、グループBの再スキャン動作を設定します。

GBRSCNビットを“1”にすると、グループAのトリガ入力によるスキャン動作中断後、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を実行します。また、グループAのA/D変換動作中にグループBのトリガ入力があった場合、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を行います。

GBRSCNビットを“0”にした場合は、A/D変換実行中に入力されたトリガは無視されます。また、GBRSCNビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

GBRSCNビットの設定は、PGSビットが“1”のときに有効となります。

GBRPビット (グループB用シングルスキャン連続起動設定ビット)

グループBをシングルスキャンで連続動作させる場合に設定します。

GBRPビットを“1”にすると、グループBのシングルスキャンが起動します。スキャン終了後、自動的に

グループ B のシングルスキャンを再開します。グループ A 優先制御動作でグループ B の A/D 変換動作が中断した後は、グループ A の A/D 変換動作終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを“1”にした場合、GBRSCN ビットの設定は無効です。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

40.2.18 A/D コンペア機能コントロールレジスタ (ADCMPCR)

アドレス S12AD.ADCMPCR 0008 9090h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	WCMPE	—	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウ A/B の複合条件設定ビット	b1 b0 0 0 : ウィンドウ A 比較条件一致 OR ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 0 1 : ウィンドウ A 比較条件一致 EXOR ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 1 0 : ウィンドウ A 比較条件一致 AND ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 1 1 : 設定禁止	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	CMPBE	コンペアウィンドウ B 動作許可ビット	0 : コンペアウィンドウ B 停止 S12ADWMELC/S12ADWUMELC 出力禁止 1 : コンペアウィンドウ B 動作	R/W
b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	CMPAE	コンペアウィンドウ A 動作許可ビット	0 : コンペアウィンドウ A 停止 S12ADWMELC/S12ADWUMELC 出力禁止 1 : コンペアウィンドウ A 動作	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	WCMPE	ウィンドウ機能設定ビット	0 : ウィンドウ機能無効 ウィンドウ A/B は下位側の 1 値と A/D 変換結果を比較するコンパレータとして動作します。 1 : ウィンドウ機能有効 ウィンドウ A/B は上位側、下位側の 2 値と A/D 変換結果を比較するウィンドウコンパレータとして動作します。	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPCR レジスタは、コンペアウィンドウ A/B 機能の設定を行います。

CMPAB[1:0] ビット (ウィンドウ A/B の複合条件設定ビット)

CMPAB[1:0] ビットは、シングルスキャン時、ウィンドウ A/B が共に有効である場合 (CMPAE = 1 かつ CMPBE = 1) に有効です。ELC 用コンペア機能マッチ/アンマッチイベント出力条件と ADWINMON.MONCOMB フラグのモニタ条件を選択します。CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPBE ビット (コンペアウィンドウ B 動作許可ビット)

コンペアウィンドウ B の停止 / 動作を選択します。CMPBE ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

以下のレジスタを設定する場合は、本ビットを“0”にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1)
- A/D 変換拡張入力コントロールレジスタの OCSA、TSSA ビット (ADEXICR.OCSA, TSSA)
- ウィンドウ B チャンネル選択レジスタの CMPCHB[5:0] (ADCMPBNSR.CMPCHB[5:0])

CMPAE ビット (コンペアウィンドウ A 動作許可ビット)

コンペアウィンドウ A の停止 / 動作を選択します。CMPAE ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

以下のレジスタを設定する場合は、本ビットを“0”にしてください。

- A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1)
- A/D 変換拡張入力コントロールレジスタの OCSA、TSSA ビット (ADEXICR.OCSA, TSSA)
- ウィンドウ A チャンネル選択レジスタ 0/1 (ADCMPANSR0, ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

WCMPE ビット (ウィンドウ機能設定ビット)

ウィンドウ機能の有効 / 無効を選択します。WCMPE ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

40.2.19 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0 (ADCMPANSR0)

アドレス S12AD.ADCMPANSR0 0008 9094h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPC HA008	CMPC HA007	CMPC HA006	CMPC HA005	CMPC HA004	CMPC HA003	CMPC HA002	CMPC HA001	CMPC HA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA000	コンペアウィンドウA チャンネル選択ビット	0 : AN000～AN008をコンペアウィンドウA対象から外す 1 : AN000～AN008をコンペアウィンドウA対象とする	R/W
b1	CMPCHA001			R/W
b2	CMPCHA002			R/W
b3	CMPCHA003			R/W
b4	CMPCHA004			R/W
b5	CMPCHA005			R/W
b6	CMPCHA006			R/W
b7	CMPCHA007			R/W
b8	CMPCHA008			R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPANSR0 レジスタは、コンペアウィンドウAの条件で比較を行うチャンネルのアナログ入力 AN000～AN008を選択するレジスタです。

CMPCHA0n ビット (n = 00～08) (コンペアウィンドウAチャンネル選択ビット)

ADANSA0.ANSA0n ビットと ADANSB0.ANSB0n ビットで選択したA/D変換チャンネルと同一番号のCMPCHA0n ビットを“1”にすると、コンペア機能が有効になります。

CMPCHA0n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

40.2.20 A/Dコンペア機能ウィンドウAチャンネル選択レジスタ1 (ADCMPANSR1)

アドレス S12AD.ADCMPANSR1 0008 9096h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPCHA115	CMPCHA114	CMPCHA113	CMPCHA112	CMPCHA111	CMPCHA110	CMPCHA109	CMPCHA108	CMPCHA107	CMPCHA106	CMPCHA105	CMPCHA104	CMPCHA103	CMPCHA102	CMPCHA101	CMPCHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCHA100	コンペアウィンドウA チャンネル選択ビット	0 : AN016～AN031をコンペアウィンドウA対象から外す 1 : AN016～AN031をコンペアウィンドウA対象とする	R/W
b1	CMPCHA101			R/W
b2	CMPCHA102			R/W
b3	CMPCHA103			R/W
b4	CMPCHA104			R/W
b5	CMPCHA105			R/W
b6	CMPCHA106			R/W
b7	CMPCHA107			R/W
b8	CMPCHA108			R/W
b9	CMPCHA109			R/W
b10	CMPCHA110			R/W
b11	CMPCHA111			R/W
b12	CMPCHA112			R/W
b13	CMPCHA113			R/W
b14	CMPCHA114			R/W
b15	CMPCHA115			R/W

ADCMPANSR1レジスタは、コンペアウィンドウAの条件で比較を行うチャンネルのアナログ入力AN016～AN031を選択するレジスタです。

CMPCHA1nビット (n = 00 ~ 15) (コンペアウィンドウAチャンネル選択ビット)

ADANSA1.ANSA1nビットとADANSB1.ANSB1nビットで選択したA/D変換チャンネルと同一番号のCMPCHA1nビットを“1”にすると、コンペア機能が有効になります。

CMPCHA1nビットは、ADCSR.ADSTビットが“0”のときに設定してください。

40.2.21 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCOMPANSER)

アドレス S12AD.ADCMPANSER 0008 9092h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPO CA	CMPTS A
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPTSA	温度センサ出力コンペア選択ビット	0 : 温度センサ出力をコンペアウィンドウA対象から外す 1 : 温度センサ出力をコンペアウィンドウA対象とする	R/W
b1	CMPOCA	内部基準電圧コンペア選択ビット	0 : 内部基準電圧をコンペアウィンドウA対象から外す 1 : 内部基準電圧をコンペアウィンドウA対象とする	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCOMPANSER レジスタは、温度センサ出力 / 内部基準電圧をコンペアウィンドウ A の条件で比較を行うかを選択するレジスタです。

CMPTSA ビット (温度センサ出力コンペア選択ビット)

ADEXICR.TSSA ビットが“1”のときに CMPTSA ビットを“1”にすると、コンペアウィンドウ A 機能が有効になります。CMPTSA ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

CMPOCA ビット (内部基準電圧コンペア選択ビット)

ADEXICR.OCSA ビットが“1”のときに CMPOCA ビットを“1”にすると、コンペアウィンドウ A 機能が有効になります。CMPOCA ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

40.2.22 A/Dコンペア機能ウィンドウA比較条件設定レジスタ0 (ADCMPLR0)

アドレス S12AD.ADCMPLR0 0008 9098h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPLCHA008	CMPLCHA007	CMPLCHA006	CMPLCHA005	CMPLCHA004	CMPLCHA003	CMPLCHA002	CMPLCHA001	CMPLCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA000	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時 (ADCMPCR.WCMPE ビットが“0”) 0: ADCMPDR0 レジスタ値 > A/D 変換値 1: ADCMPDR0 レジスタ値 < A/D 変換値	R/W
b1	CMPLCHA001			R/W
b2	CMPLCHA002		R/W	
b3	CMPLCHA003		ウィンドウ機能有効時 (ADCMPCR.WCMPE ビットが“1”) 0: A/D 変換値 < ADCMPDR0 レジスタ値または ADCMPDR1 レジスタ値 < A/D 変換値 1: ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b4	CMPLCHA004			R/W
b5	CMPLCHA005			R/W
b6	CMPLCHA006			R/W
b7	CMPLCHA007			R/W
b8	CMPLCHA008		R/W	
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLR0 レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLR0 レジスタの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLCHA0n ビット (n = 00 ~ 08) (コンペアウィンドウAコンペア条件選択ビット)

ウィンドウA比較条件の対象としたチャンネル (AN000 ~ AN008) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA000 ビットが AN000 に、CMPLCHA008 ビットが AN008 に対応します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPDR0.CMPSTCHA0n フラグが“1”にセットされます。コンペア条件を図 40.3 に示します。

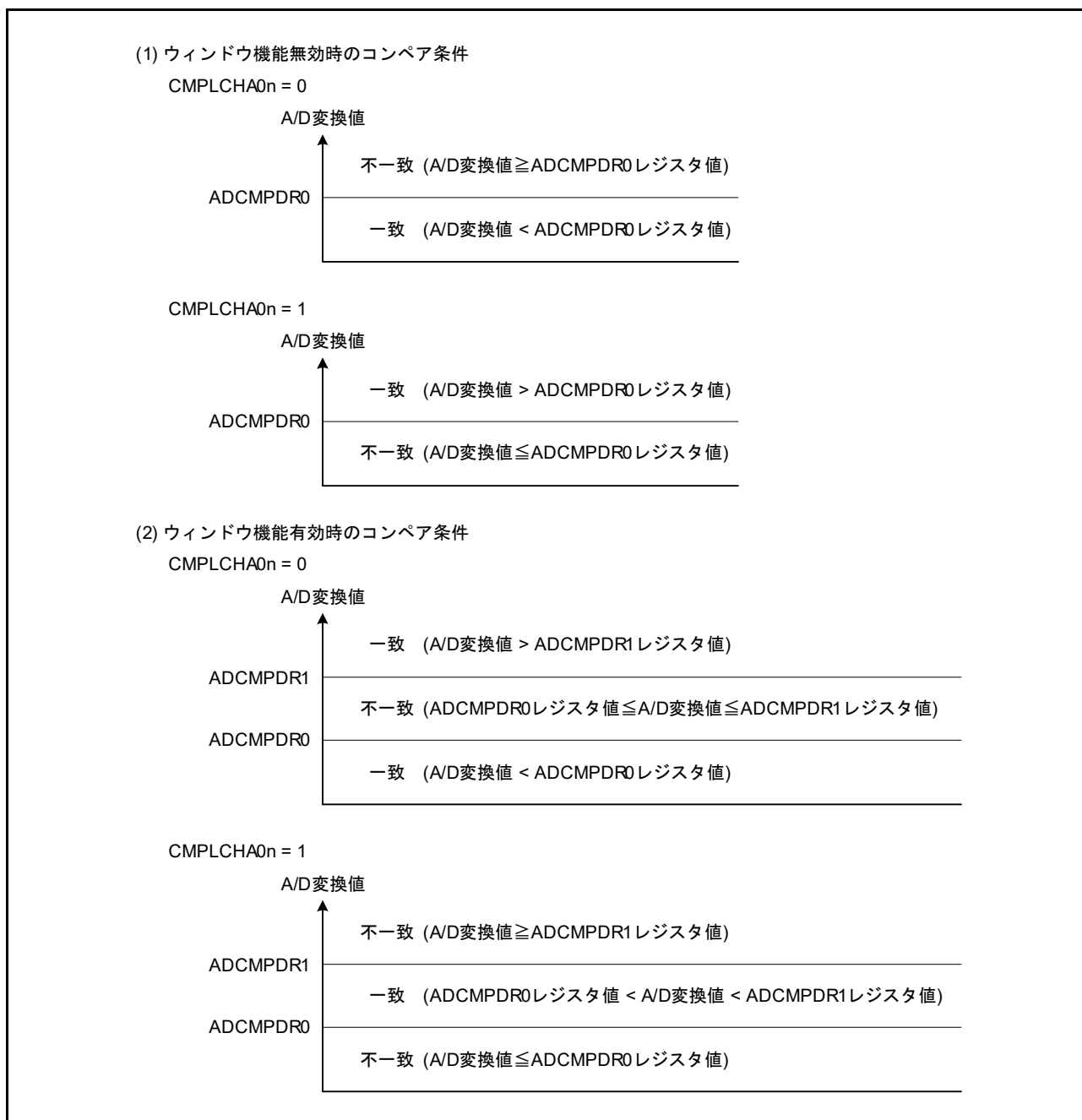


図 40.3 コンペア機能ウィンドウ A コンペア条件説明

40.2.23 A/Dコンペア機能ウィンドウA比較条件設定レジスタ1 (ADCMPLR1)

アドレス S12AD.ADCMPLR1 0008 909Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLCHA115	CMPLCHA114	CMPLCHA113	CMPLCHA112	CMPLCHA111	CMPLCHA110	CMPLCHA109	CMPLCHA108	CMPLCHA107	CMPLCHA106	CMPLCHA105	CMPLCHA104	CMPLCHA103	CMPLCHA102	CMPLCHA101	CMPLCHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLCHA100	コンペアウィンドウAコンペア条件選択ビット	ウィンドウ機能無効時 (ADCMPPCR.WCMPE ビットが“0”) 0 : ADCMPDR0 レジスタ値 > A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値	R/W
b1	CMPLCHA101			R/W
b2	CMPLCHA102		R/W	
b3	CMPLCHA103		ウィンドウ機能有効時 (ADCMPPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADCMPDR0 レジスタ値または ADCMPDR1 レジスタ値 < A/D 変換値 1 : ADCMPDR0 レジスタ値 < A/D 変換値 < ADCMPDR1 レジスタ値	R/W
b4	CMPLCHA104			R/W
b5	CMPLCHA105			R/W
b6	CMPLCHA106			R/W
b7	CMPLCHA107			R/W
b8	CMPLCHA108			R/W
b9	CMPLCHA109			R/W
b10	CMPLCHA110			R/W
b11	CMPLCHA111			R/W
b12	CMPLCHA112			R/W
b13	CMPLCHA113			R/W
b14	CMPLCHA114			R/W
b15	CMPLCHA115			R/W

ADCMPLR1 レジスタは、ADCMPDR0/ADCMPDR1 レジスタ値と A/D 変換結果を比較する条件を設定します。ADCMPLR1 レジスタの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLCHA1n ビット (n = 00 ~ 15) (コンペアウィンドウAコンペア条件選択ビット)

ウィンドウ A 比較条件の対象としたチャンネル (AN016 ~ AN031) の比較条件を設定します。比較対象のアナログ入力ごとに設定できます。CMPLCHA100 ビットが AN016 に、CMPLCHA115 ビットが AN031 に対応します。

各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPDR1.CMPSTCHA1n フラグが“1”にセットされます。

コンペア条件を図 40.3 に示します。

40.2.24 A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ (ADCMPLER)

アドレス S12AD.ADCMPLER 0008 9093h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPLO CA	CMPLT SA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTSA	コンペアウィンドウA 温度センサ出力コンペア 条件選択ビット	ウィンドウA機能無効時(ADCMPCR.WCMPEビットが“0”) 0: ADCMPDR0レジスタ値 > A/D変換値 1: ADCMPDR0レジスタ値 < A/D変換値 ウィンドウA機能有効時(ADCMPCR.WCMPEビットが“1”) 0: A/D変換値 < ADCMPDR0レジスタ値または A/D変換値 > ADCMPDR1レジスタ値 1: ADCMPDR0レジスタ値 < A/D変換値 < ADCMPDR1レジスタ値	R/W
b1	CMPLOCA	コンペアウィンドウA 内部基準電圧コンペア 条件選択ビット	ウィンドウA機能無効時(ADCMPCR.WCMPEビットが“0”) 0: ADCMPDR0レジスタ値 > A/D変換値 1: ADCMPDR0レジスタ値 < A/D変換値 ウィンドウA機能有効時(ADCMPCR.WCMPEビットが“1”) 0: A/D変換値 < ADCMPDR0レジスタ値または A/D変換値 > ADCMPDR1レジスタ値 1: ADCMPDR0レジスタ値 < A/D変換値 < ADCMPDR1レジスタ値	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPLERレジスタは、ADCMPDR0/ADCMPDR1レジスタ値とA/D変換結果を比較する条件を設定します。ADCMPLERレジスタの設定は、ADCSR.ADSTビットが“0”のときに設定してください。

CMPLTSAビット(コンペアウィンドウA温度センサ出力コンペア条件選択ビット)

温度センサ出力をウィンドウA比較条件の対象とした場合の比較条件を設定します。

温度センサ出力の比較結果が設定した条件と一致したとき、ADCMPSER.CMPSTTSAフラグが“1”にセットされます。コンペア条件を図40.3に示します。

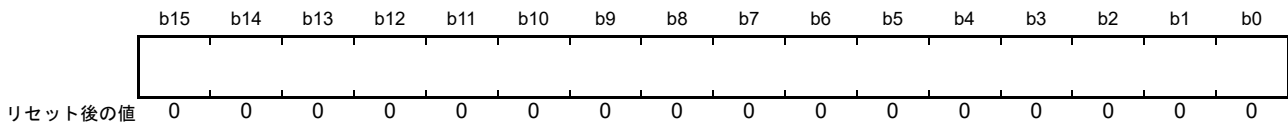
CMPLOCAビット(コンペアウィンドウA内部基準電圧コンペア条件選択ビット)

内部基準電圧をウィンドウA比較条件の対象とした場合の比較条件を設定します。

内部基準電圧の比較結果が設定した条件と一致したとき、ADCMPSER.CMPSTOCAフラグが“1”にセットされます。コンペア条件を図40.3に示します。

40.2.25 A/Dコンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)

アドレス S12AD.ADCMPDR0 0008 909Ch



ADCMPDR0 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR0 レジスタは、ウィンドウ A の下位側レベルを設定します。

ADCMPDR0 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADCMPDR1 設定値 \geq ADCMPDR0 設定値) となるように設定してください。

ADCMPDR0 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 は “0” を書いてください。

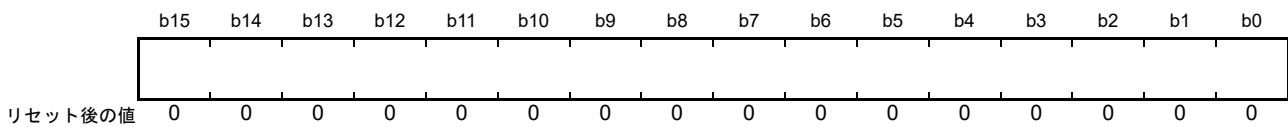
- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADCMPDR0 レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADCMPDR0 レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

40.2.26 A/Dコンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)

アドレス S12AD.ADCMPDR1 0008 909Eh



ADCMPDR1 レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADCMPDR1 は、ウィンドウ A の上位側レベルを設定します。

ADCMPDR1 レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADCMPDR1 設定値 \geq ADCMPDR0 設定値) となるように設定してください。

ADCMPDR1 レジスタはウィンドウ機能無効時には使用しません。

ADCMPDR1 レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合

b15-b2に同一チャネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。b1-b0は“0”を書いてください。

- 左詰めフォーマット(A/D変換値加算モード、変換回数16回選択時)に設定した場合 b15-b0に同一チャネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。

A/D変換値加算モードを選択したとき、同一チャネルのA/D変換値を加算した値を設定します。A/D変換回数は1回~4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回~4回設定時には、変換精度のビット数に2ビット分拡張してADCMPDR1レジスタに設定してください。A/D変換回数を16回設定時には、変換精度のビット数に4ビット分拡張してADCMPDR1レジスタに設定してください。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

40.2.27 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ0(ADCMPSTR0)

アドレス S12AD.ADCMPSTR0 0008 90A0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CMPSTCHA008	CMPSTCHA007	CMPSTCHA006	CMPSTCHA005	CMPSTCHA004	CMPSTCHA003	CMPSTCHA002	CMPSTCHA001	CMPSTCHA000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA000	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPCR.CMPAE = 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN000~AN008)の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
b1	CMPSTCHA001			R/W
b2	CMPSTCHA002			R/W
b3	CMPSTCHA003			R/W
b4	CMPSTCHA004			R/W
b5	CMPSTCHA005			R/W
b6	CMPSTCHA006			R/W
b7	CMPSTCHA007			R/W
b8	CMPSTCHA008			R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSTR0レジスタは、コンペアウィンドウA機能の比較結果を格納するレジスタです。

CMPSTCHA0nフラグ(n = 00 ~ 08) (コンペアウィンドウAフラグ)

ウィンドウA比較条件の対象としたチャネル(AN000~AN008)の比較結果を示すステータスフラグです。A/D変換終了時にADCMPSTR0.CMPSTCHA0nビットに設定された比較条件と一致した場合、“1”にセットされます。CMPSTCHA000フラグがAN000に、CMPSTCHA008フラグがAN008に対応します。

CMPSTCHA0nフラグに“1”を書き込むことはできません。

["1"になる条件]

- ADCMPCR.CMPAE = 1の条件で、ADCMPSTR0.CMPSTCHA0nビットに設定した条件が成立したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

40.2.28 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1 (ADCMPSTR1)

アドレス S12AD.ADCMPSTR1 0008 90A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPST CHA115	CMPST CHA114	CMPST CHA113	CMPST CHA112	CMPST CHA111	CMPST CHA110	CMPST CHA109	CMPST CHA108	CMPST CHA107	CMPST CHA106	CMPST CHA105	CMPST CHA104	CMPST CHA103	CMPST CHA102	CMPST CHA101	CMPST CHA100
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTCHA100	コンペアウィンドウAフラグ	ウィンドウA動作状態(ADCMPSTR.CMPAE = 1)のとき、ウィンドウA比較条件の対象としたチャネル(AN016～AN031)の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b1	CMPSTCHA101			R/W
b2	CMPSTCHA102			R/W
b3	CMPSTCHA103			R/W
b4	CMPSTCHA104			R/W
b5	CMPSTCHA105			R/W
b6	CMPSTCHA106			R/W
b7	CMPSTCHA107			R/W
b8	CMPSTCHA108			R/W
b9	CMPSTCHA109			R/W
b10	CMPSTCHA110			R/W
b11	CMPSTCHA111			R/W
b12	CMPSTCHA112			R/W
b13	CMPSTCHA113			R/W
b14	CMPSTCHA114			R/W
b15	CMPSTCHA115			R/W

ADCMPSTR1レジスタは、コンペアウィンドウA機能の比較結果を格納するレジスタです。

CMPSTCHA1nフラグ (n = 00～15) (コンペアウィンドウAフラグ)

ウィンドウA比較条件の対象としたチャネル(AN016～AN031)の比較結果を示すステータスフラグです。A/D変換終了時にADCMPSTR1.CMPLCHA1nビットに設定された比較条件と一致した場合、“1”にセットされます。CMPSTCHA100フラグがAN016に、CMPSTCHA115フラグがAN031に対応します。

CMPSTCHA1nフラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPSTR.CMPAE = 1の条件で、ADCMPSTR1.CMPLCHA1nビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

40.2.29 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ (ADCMPSER)

アドレス S12AD.ADCMPSER 0008 90A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPST OCA	CMPST TSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTTSA	コンペアウィンドウA 温度センサ出力コンペア フラグ	ウィンドウA動作状態(ADCMPPCR.CMPAE = 1)のとき、温度センサ出力の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b1	CMPSTOCA	コンペアウィンドウA 内部基準電圧コンペア フラグ	ウィンドウA動作状態(ADCMPPCR.CMPAE = 1)のとき、内部基準電圧の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSER レジスタは、コンペアウィンドウ A 機能の比較結果を格納するレジスタです。

CMPSTTSA フラグ (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

温度センサ出力の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPPLER.CMPLTSA ビットに設定された比較条件と一致した場合、“1”にセットされます。

CMPSTTSA フラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPPCR.CMPAE = 1 の条件で、ADCMPPLER.CMPLTSA ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

CMPSTOCA フラグ (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

内部基準電圧の比較結果を示すステータスフラグです。A/D 変換終了時に ADCMPPLER.CMPLOCA に設定された比較条件と一致した場合、“1”にセットされます。

CMPSTOCA フラグに“1”を書き込むことはできません。

[“1”になる条件]

- ADCMPPCR.CMPAE = 1 の条件で、ADCMPPLER.CMPLOCA ビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

40.2.30 A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス S12AD.ADHVREFCNT 0008 908Ah

b7	b6	b5	b4	b3	b2	b1	b0
ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HVSEL[1:0]	高電位側基準電圧選択ビット	b1 b0 0 0 : 高電位側基準電圧にAVCC0を選択 0 1 : 高電位側基準電圧にVREFH0を選択(注1) 上記以外は設定しないでください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LVSEL	低電位側基準電圧選択ビット	0 : 低電位側基準電圧にAVSS0を選択 1 : 低電位側基準電圧にVREFL0を選択(注1)	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ADSLP	スリープビット	0 : 通常動作 1 : スタンバイ状態	R/W

注1. PJ6、PJ7端子をアナログ入出力端子(PORTJ.PMR.B6 = 0, PORTJ.PMR.B7 = 0, PORTJ.PDR.B6 = 0, PORTJ.PDR.B7 = 0, PJ6PFS.ASEL = 1, PJ7PFS.ASEL = 1)に設定してください。

ADHVREFCNT レジスタは、高電位 / 低電位基準電圧の設定を行います。A/D 変換前に設定してください。

HVSEL[1:0] ビット (高電位側基準電圧選択ビット)

高電位側基準電圧の設定を行います。AVCC0、VREFH0 から選択できます。

LVSEL ビット (低電位側基準電圧選択ビット)

低電位側基準電圧の設定を行います。AVSS0、VREFL0 から選択できます。

ADSLP ビット (スリープビット)

12ビットA/Dコンバータをスタンバイ状態にします。ADCSR.ADHSC ビットを書き換える場合にのみADSLP ビットを“1”にしてください。ADCSR.ADHSC ビットを書き換え以外で、ADSLP ビットを“1”にすることは禁止です。

ADSLP ビットを“1”にした後は、5 μ s 以上経ってから“0”にしてください。またADSLP ビットを“0”にした後、1 μ s 以上待ってからA/D変換を開始してください。

ADHSC ビットを書き換え手順は、「40.8.10 ADHSC ビットを書き換え手順」を参照してください。

40.2.31 A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)

アドレス S12AD.ADWINMON 0008 908Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果モニタフラグ	組み合わせの結果を示します。 本フラグはウィンドウA/B共に動作状態のときに有効です。 0：ウィンドウA/Bの複合条件不成立 1：ウィンドウA/Bの複合条件成立	R
b3-b1	—	予約ビット	読むと“0”が読めます	R
b4	MONCMPA	比較結果モニタAフラグ	0：ウィンドウA比較条件不成立 1：ウィンドウA比較条件成立	R
b5	MONCMPB	比較結果モニタBフラグ	0：ウィンドウB比較条件不成立 1：ウィンドウB比較条件成立	R
b7-b6	—	予約ビット	読むと“0”が読めます	R

ADWINMON レジスタは比較結果と組みあわせ結果をモニタできます。

MONCOMB フラグ (組み合わせ結果モニタフラグ)

ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件で比較条件結果 A と比較結果条件 B を組み合わせた結果を示す読み出し専用のフラグです。

["1"になる条件]

- ADCMPCR.CMPAE = 1 かつ ADCMPCR.CMPBE = 1 の条件で、ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致

["0"になる条件]

- ADCMPCR.CMPAB[1:0] ビットで設定した組み合わせ条件に一致しない。
- ADCMPCR.CMPAE = 0 または ADCMPCR.CMPBE = 0 のとき

MONCMPA フラグ (比較結果モニタ A フラグ)

ADCMPPLR0、ADCMPPLR1、ADCMPPLER レジスタで設定した条件にウィンドウ A 対象チャネルの A/D 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のフラグです。

["1"になる条件]

- ADCMPCR.CMPAE = 1 の条件で、ADCMPPLR0.CMPLCHA0n ビットに設定した条件が成立したとき

["0"になる条件]

- ADCMPCR.CMPAE = 1 の条件で、ADCMPPLR0.CMPLCHA0n ビットに設定した条件が不成立のとき
- ADCMPCR.CMPAE = 0 のとき (ADCMPCR.CMPAE = 1 → 0 で自動クリア)

MONCMPB フラグ (比較結果モニタ B フラグ)

ADCMPBNSR.CMPLB ビットで設定した条件にウィンドウ B 対象チャネルの A/D 変換値が一致した場合は“1”を、一致しなかった場合は“0”を示す読み出し専用のフラグです。

["1"になる条件]

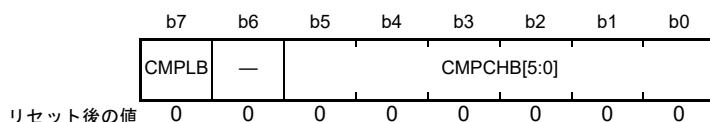
- ADCMPCR.CMPBE = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が成立したとき

[“0”になる条件]

- ADCMPPCR.CMPBE = 1 の条件で、ADCMPBNSR.CMPLB ビットに設定した条件が不成立のとき
- ADCMPPCR.CMPBE = 0 のとき (ADCMPPCR.CMPBE = 1 → 0 で自動クリア)

40.2.32 A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)

アドレス S12AD.ADCMPBNSR 0008 90A6h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウ B チャンネル選択ビット	コンペアウィンドウ B の条件で比較を行うチャンネルを選択します b5 b0 0 0 0 0 0 : AN000 0 0 0 0 1 : AN001 0 0 0 1 0 : AN002 : 0 0 0 1 1 0 : AN006 0 0 0 1 1 1 : AN007 0 0 1 0 0 0 : AN008 0 1 0 0 0 0 : AN016 0 1 0 0 0 1 : AN017 : 0 1 1 1 0 1 : AN029 0 1 1 1 1 0 : AN030 0 1 1 1 1 1 : AN031 1 0 0 0 0 0 : 温度センサ 1 0 0 0 0 1 : 内部基準電圧 上記以外は設定しないでください	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CMPLB	コンペアウィンドウ B コンペア条件設定ビット	ウィンドウ機能無効時 (ADCMPPCR.WCMPE ビットが“0”) 0 : ADWINLLB レジスタ値 > A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPPCR.WCMPE ビットが“1”) 0 : A/D 変換値 < ADWINLLB レジスタ値または ADWINULB レジスタ値 < A/D 変換値 1 : ADWINLLB レジスタ値 < A/D 変換値 < ADWINULB レジスタ値	R/W

ADCMPBNSR レジスタは、コンペアウィンドウ B 機能の設定を行います。

CMPCHB[5:0] ビット (コンペアウィンドウ B チャンネル選択ビット)

コンペアウィンドウ B の条件で比較を行うチャンネルを AN000 ~ AN008、AN016 ~ AN031、温度センサ、内部基準電圧から選択するビットです。

ADANSA0、ADANSA1、ADANSB0、ADANSB1 レジスタで選択した A/D 変換チャンネルの番号 (16 進) を指定すると、コンペアウィンドウ B 機能が有効になります。

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

CMPLB ビット (コンペアウィンドウ B コンペア条件設定ビット)

ウィンドウ B 対象としたチャンネルの比較条件を設定します。各アナログ入力の比較結果が設定した条件と一致したとき、ADCMPBSR.CMPSTB フラグが“1”にセットされます。コンペア条件を図 40.4 に示します。

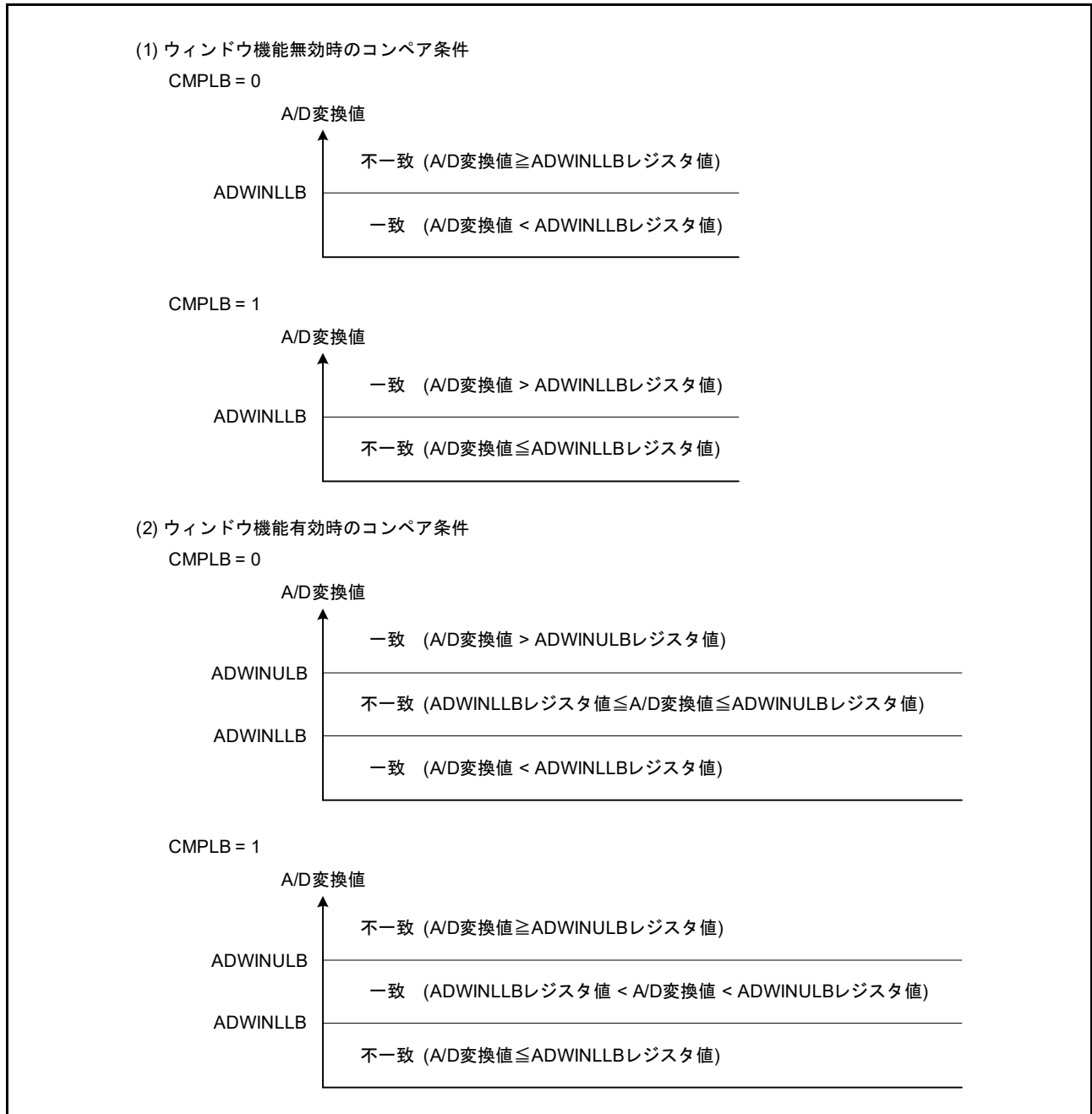


図 40.4 コンペア機能ウィンドウ B コンペア条件説明

40.2.33 A/Dコンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)

アドレス S12AD.ADWINLLB 0008 90A8h



ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINLLB は、ウィンドウ B の下位側レベルを設定します。

ADWINLLB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADWINULB 設定値 \geq ADWINLLB 設定値) となるように設定してください。

ADWINLLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 にコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 にコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。b1-b0 は “0” を書いてください。

- 左詰めフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャネルの A/D 変換値と比較するコンペアレベル (下位側) を設定します。

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を設定します。A/D 変換回数は 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、A/D 変換回数を 1 回～4 回設定時には、変換精度のビット数に 2 ビット分拡張して ADWINLLB レジスタに設定してください。A/D 変換回数を 16 回設定時には、変換精度のビット数に 4 ビット分拡張して ADWINLLB レジスタに設定してください。

A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

40.2.34 A/Dコンペア機能ウィンドウB上位側レベル設定レジスタ (ADWINULB)

アドレス S12AD.ADWINULB 0008 90AAh



ADWINULB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを設定するリードライト可能なレジスタです。ADWINULB は、ウィンドウ B の上位側レベルを設定します。

ADWINULB レジスタの書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、ダイナミックに基準データを変更することができます。

上限側レベル \geq 下限側レベル (ADWINULB 設定値 \geq ADWINLLB 設定値) となるように設定してください。

ADWINULB レジスタはウィンドウ機能無効時には使用しません。

ADWINULB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

注. A/D データレジスタ y (ADDRy) のフォーマット設定と異なるフォーマットでコンペア値を設定した場合、正しい比較結果が得られません。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 にコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 にコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b12 は “0” を書いてください。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b3-b0 は “0” を書いてください。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。b15-b14 は “0” を書いてください。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値と比較するコンペアレベル (上位側) を設定します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合

b15-b2に同一チャネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。b1-b0は“0”を書いてください。

- 左詰めフォーマット(A/D変換値加算モード、変換回数16回選択時)に設定した場合 b15-b0に同一チャネルのA/D変換値と比較するコンペアレベル(上位側)を設定します。

A/D変換値加算モードを選択したとき、同一チャネルのA/D変換値を加算した値を設定します。A/D変換回数は1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回～4回設定時には、変換精度のビット数に2ビット分拡張してADWINULBレジスタに設定してください。A/D変換回数を16回設定時には、変換精度のビット数に4ビット分拡張してADWINULBレジスタに設定してください。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがい基準となるデータを設定してください。

40.2.35 A/Dコンペア機能ウィンドウBチャネルステータスレジスタ (ADCMPBSR)

アドレス S12AD.ADCMPBSR 0008 90ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPST B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	0: 比較条件不成立 1: 比較条件成立	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPBSRレジスタは、コンペアウィンドウB機能の比較結果を格納するレジスタです。

CMPSTBフラグ(コンペアウィンドウBフラグ)

ウィンドウB比較条件の対象としたチャネル(AN000～AN008、AN016～AN031、温度センサ、内部基準電圧)の比較結果を示すステータスフラグです。A/D変換終了時にADCMPBSR.CMPCHB[5:0]ビットに設定された比較条件と一致した場合、“1”にセットされます。

CMPSTBフラグに“1”を書き込むことはできません。

[“1”になる条件]

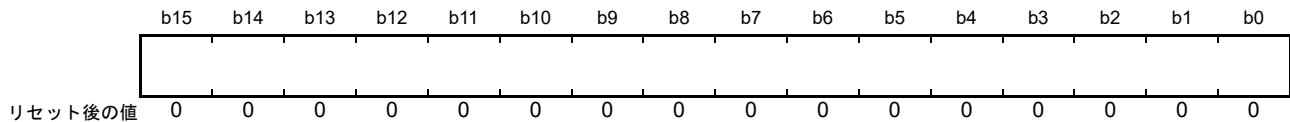
- ADCMPBSR.CMPBE = 1の条件で、ADCMPBSR.CMPLBビットに設定した条件が成立したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書き込んだとき

40.2.36 A/D データ格納バッファレジスタ n (ADBUFn) (n = 0 ~ 15)

アドレス S12AD.ADBUF0 0008 90B0h, S12AD.ADBUF1 0008 90B2h, S12AD.ADBUF2 0008 90B4h,
S12AD.ADBUF3 0008 90B6h, S12AD.ADBUF4 0008 90B8h, S12AD.ADBUF5 0008 90BAh,
S12AD.ADBUF6 0008 90BCh, S12AD.ADBUF7 0008 90BEh, S12AD.ADBUF8 0008 90C0h,
S12AD.ADBUF9 0008 90C2h, S12AD.ADBUF10 0008 90C4h, S12AD.ADBUF11 0008 90C6h,
S12AD.ADBUF12 0008 90C8h, S12AD.ADBUF13 0008 90CAh, S12AD.ADBUF14 0008 90CCh,
S12AD.ADBUF15 0008 90CEh



A/D データ格納バッファレジスタ n (ADBUFn) は、全 A/D 変換値を順に格納する 16 ビットの読み出し専用レジスタです。本レジスタはオートクリア機能対象外です。

ADBUFn レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算 / 平均機能チャンネル選択レジスタの設定値 (A/D 変換値平均モード選択、または非選択)
- A/D 変換値加算 / 平均回数選択レジスタの設定値 (加算 / 平均モード選択、加算回数選択)

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は“0”が読み出されます。
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b15-b2 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は“0”が読み出されます。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合
b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を格納します。A/D 変換

回数は1回～4回、16回に設定できます。A/D変換値加算モードを選択すると、A/D変換回数を1回～4回設定時には、変換精度のビット数に2ビット分拡張したデータとしてADBUFnレジスタに格納します。A/D変換回数16回設定時には、変換精度のビット数に4ビット分拡張したデータとしてADBUFnレジスタに格納します。

A/D変換値加算モードを選択した場合でも、A/Dデータレジスタフォーマット選択ビットの設定にしたがいADBUFnレジスタに拡張したA/D変換値を格納します。

40.2.37 A/Dデータ格納バッファイネーブルレジスタ (ADBUFEN)

アドレス S12AD.ADBUFEN 0008 90D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BUFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BUFEN	データ格納バッファイネーブルビット	0: データ格納バッファを使用しない 1: データ格納バッファを使用する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADBUFENレジスタは、データ格納バッファイネーブルの設定を行います。

BUFENビット (データ格納バッファイネーブルビット)

コンペア機能使用時に、データ格納バッファの使用を許可するビットです。

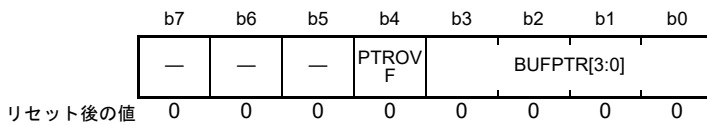
BUFEN=1のとき、自己診断以外のA/D変換結果(加算結果)をADBUFnに格納します。

ADBUFn、およびADBUFPTRは、データ格納動作を停止(BUFEN=0)させてから読み出してください。

データ二重化/連続スキャン/グループスキャン時、データ格納バッファは使用しないでください。

40.2.38 A/D データ格納バッファポインタレジスタ (ADBUFPTR)

アドレス S12AD.ADBUFPTR 0008 90D2h



ビット	シンボル	ビット名	機能	R/W
b3-b0	BUFPTR[3:0]	データ格納バッファポインタ	次のA/D変換データが転送されるデータ格納バッファの番号を示します	R/W
b4	PTROVF	ポインタオーバーフローフラグ	0: データ格納バッファポインタがオーバーフローしていない 1: データ格納バッファポインタがオーバーフローした	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADBUFPTR レジスタは、データ格納バッファポインタのレジスタです。

BUFPTR[3:0] ビット (データ格納バッファポインタ)

次のA/D変換データが転送されるデータ格納バッファの番号を示す読み出しビットです。

データ格納バッファ 15 にデータが転送されると、ポインタの値は“0000b”になり、PTROVF フラグが“1”にセットされます。次のデータが転送されるとデータ格納バッファ 0 のデータを上書きします。

本レジスタに“00h”を書き込むと値はクリアされます。“00h”以外の書き込みは無効です。

PTROVF フラグ (ポインタオーバーフローフラグ)

データ格納バッファポインタがオーバーフローしたかどうかを示す読み出しビットです。ポインタの値がオーバーフローして“0000b”になると“1”がセットされます。

本レジスタに“00h”を書き込むと値はクリアされます。“00h”以外の書き込みは無効です。

40.2.39 A/D変換サイクル制御レジスタ (ADCCR)

アドレス S12AD.ADCCR 0008 907Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CCS	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	CCS	変換サイクル選択ビット	変換サイクル数を選択するビットです。詳細は表40.9を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CCSビット (変換サイクル選択ビット)

1ビットあたりの変換に要するサイクルを選択します。

逐次変換に要するサイクル数は表40.9のとおりです。

表40.9 逐次変換サイクル数

CCSビット	ADHSCビット	変換サイクル数
0	0	32 サイクル
0	1	41 サイクル
1	0	22 サイクル
1	1	28 サイクル

40.3 動作説明

40.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。また、変換モードには高速変換モードと通常変換モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガで開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0、ADANSA1 レジスタで選択した AN_n の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA0、ADANSA1 レジスタで選択した AN_n の n が小さい番号順から、グループ B が ADANSB0、ADANSB1 レジスタで選択した AN_n の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビット A/D コンバータ内部で生成する3つの電圧値のうち1つを A/D 変換します。

温度センサ出力または、内部基準電圧を A/D 変換する場合は単独でスキャンを実施してください。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換データを二重化します。

40.3.2 シングルスキャンモード

40.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1レジスタで選択したAN_nのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDR_y)に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていると、S12ADI0割り込み要求を発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

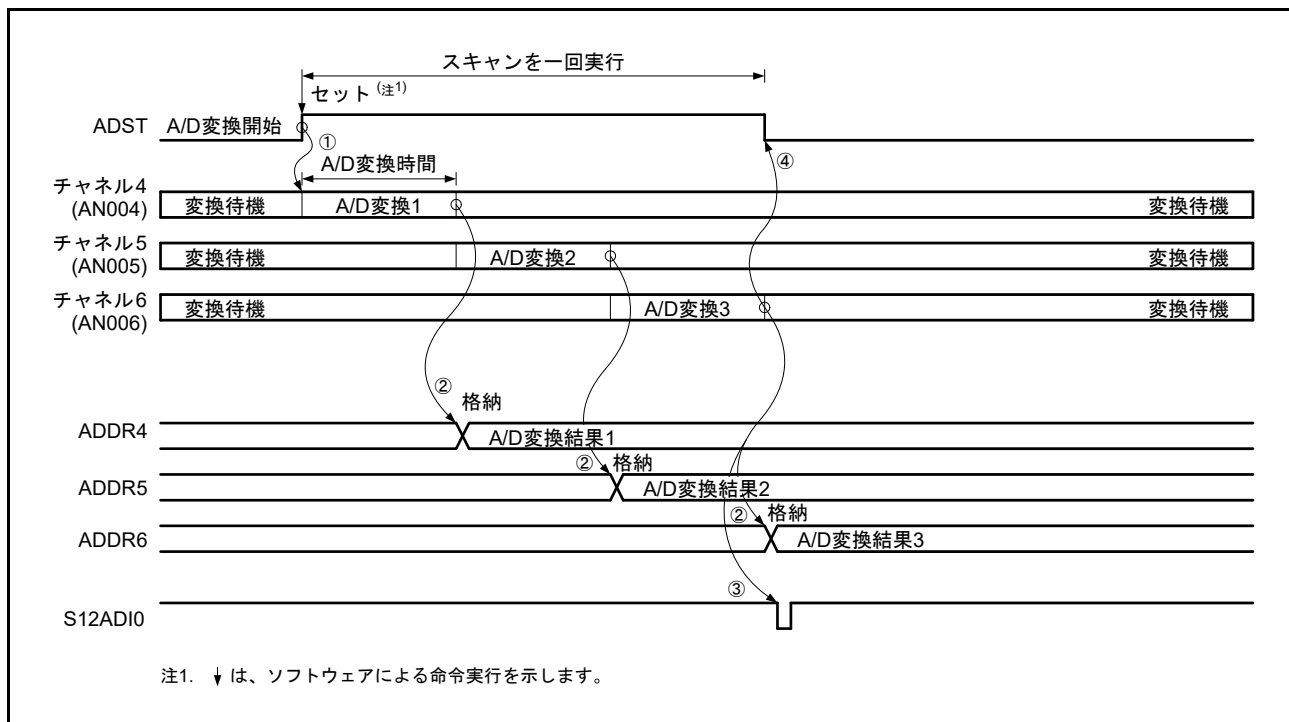


図 40.5 シングルスキャンモードの動作例 (基本動作 : AN004、AN005、AN006 選択)

40.3.2.2 チャンネル選択と自己診断

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADRD)に格納され、次にADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていれば、S12ADI0割り込み要求を発生します。
- (5) ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

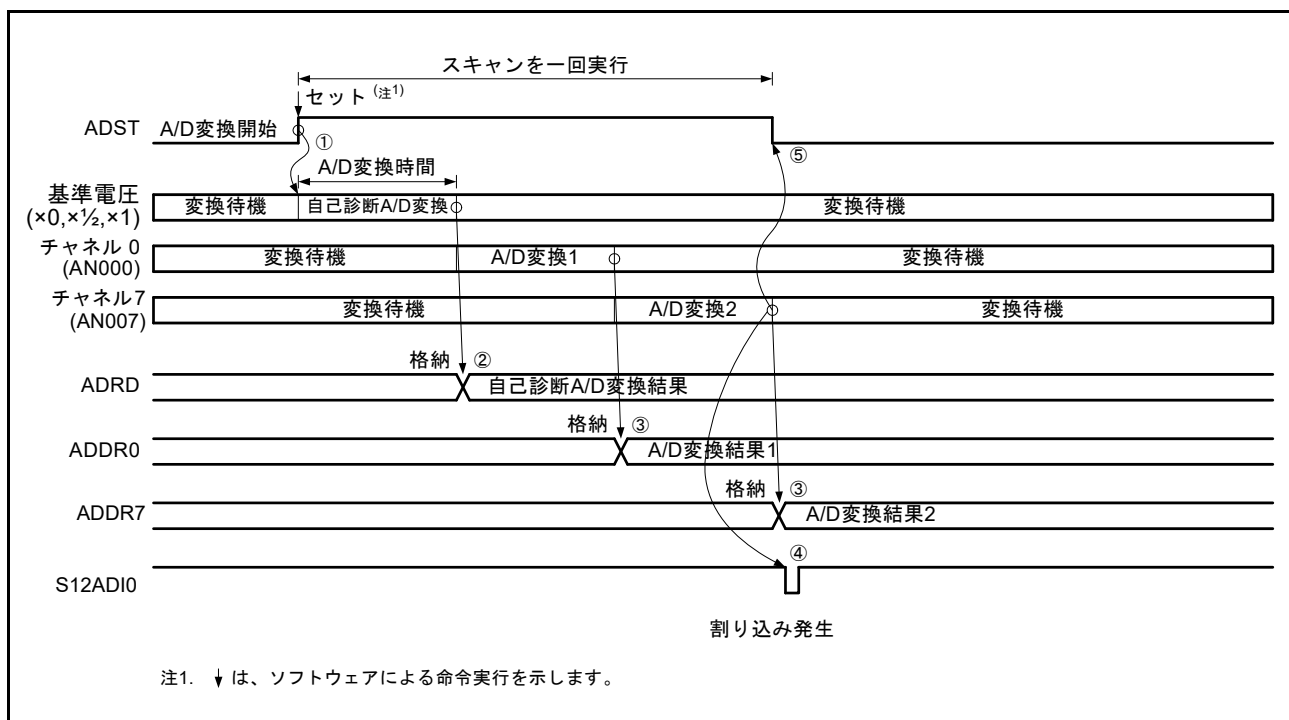


図 40.6 シングルスキャンモードの動作例 (基本動作 : AN000、AN007 選択 + 自己診断)

40.3.2.3 温度センサ出力 / 内部基準電圧選択時の A/D 変換動作

温度センサ出力または内部基準電圧の A/D 変換は、シングルスキャンモードで実行し、動作は以下のようになります。

チャンネル選択はすべて非選択 (ADANSA0、ADANSA1 レジスタビットはすべて“0”かつ ADCSR.DBLE ビットを“0”) に設定します。また温度センサ出力の A/D 変換を選択する場合は、内部基準電圧の A/D 変換選択ビット (ADEXICR.OCOSA) は“0” (非選択) に、内部基準電圧の A/D 変換を選択する場合は、温度センサ出力の A/D 変換選択ビット (ADEXICR.TSSA) は“0” (非選択) に設定します。

- (1) サンプリング時間は $5\ \mu\text{s}$ 以上になるように設定してください。
- (2) 内部基準電圧または温度センサ出力の A/D 変換に切り替えた後、ADST ビットを“1”にセットして変換を開始してください。
- (3) A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ (ADTSDR) または A/D 内部基準電圧データレジスタ (ADOCDR) に格納され、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (4) ADST ビットは A/D 変換中は“1”を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

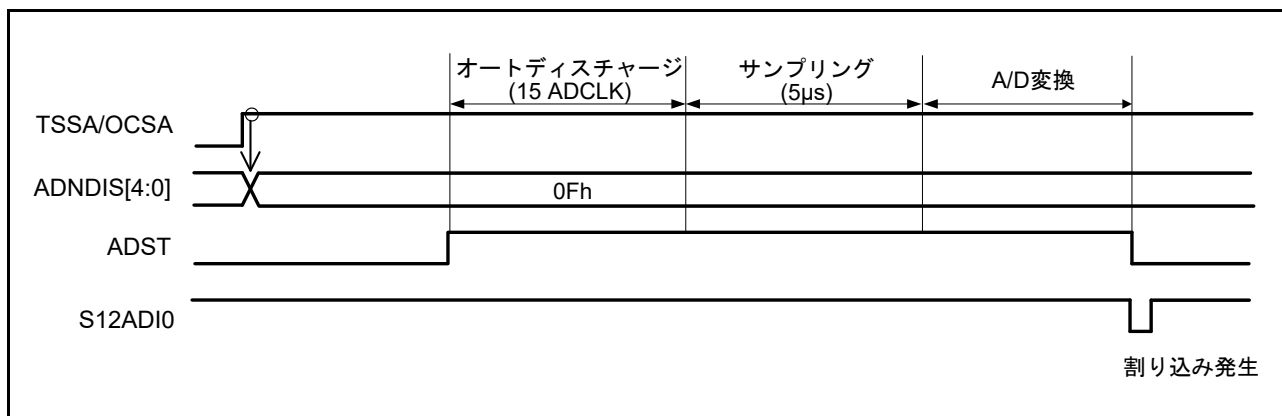


図 40.7 シングルスキャンモードの動作例 (温度センサ出力、内部基準電圧選択)

40.3.2.4 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを2回行います。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) にセットされると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) へ格納されます。
- (3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADI0 割り込み許可) の設定に関わらず、S12ADI0 割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていれば、S12ADI0 割り込み要求を発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

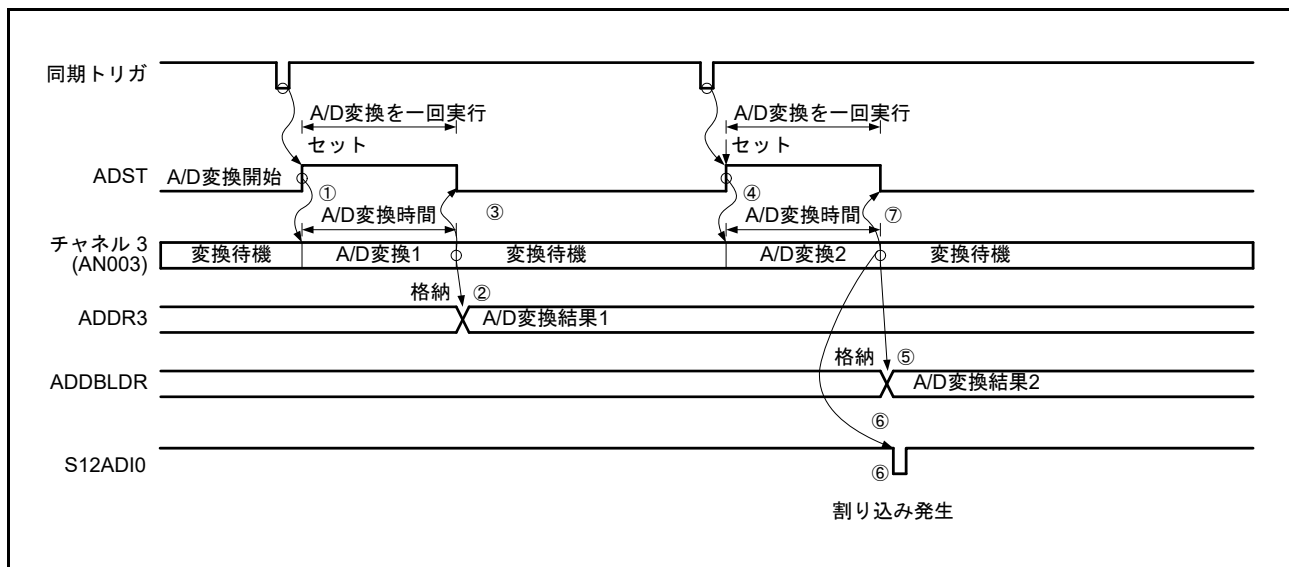


図 40.8 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

40.3.3 連続スキャンモード

40.3.3.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、温度センサ出力A/D変換選択ビット (ADEXICR.TSSA) と内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) はともに“0”(非選択)に設定します。

- (1) ソフトウェア、同期トリガまたは非同同期トリガ入力によって ADCSR.ADST ビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1 レジスタで選択した AN_n の n が小さい番号順に A/D 変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDR_y) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていると、S12ADI0割り込み要求を発生します。
また12ビットA/Dコンバータは、継続してADANSA0、ADANSA1レジスタで選択したAN_nのnが小さい番号順にA/D変換を開始します。
- (4) ADCSR.ADST ビットは自動的にクリアされず、“1”(A/D変換開始)の間は(2)～(3)を繰り返します。ADCSR.ADST ビットを“0”(A/D変換停止)に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットを“1”(A/D変換開始)にセットすると再びADANSA0、ADANSA1レジスタで選択したAN_nのnが小さい番号順にA/D変換を開始します。

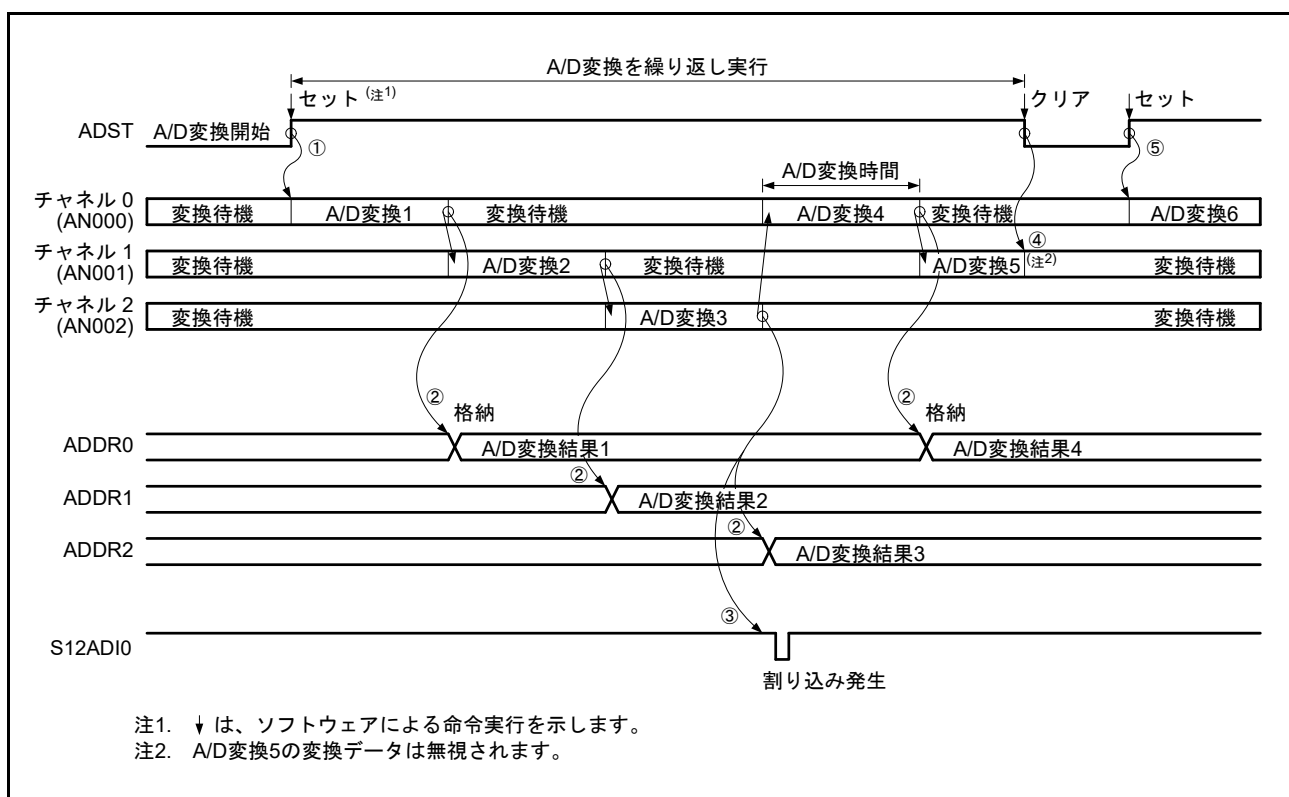


図 40.9 連続スキャンモードの動作例 (基本動作 : AN000、AN001、AN002 選択)

40.3.3.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。連続スキャンモード時は温度センサA/D変換選択ビット(ADEXICR.TSSA)と内部基準電圧A/D変換選択ビット(ADEXICR.OCSA)はともに“0”(非選択)に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADRD)に格納され、次にADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていれば、S12ADI0割り込み要求を発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (5) ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(4)を繰り返します。ADSTビットを“0”(A/D変換停止)に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADSTビットが“1”(A/D変換開始)に設定されると、再び自己診断でのA/D変換から開始します。

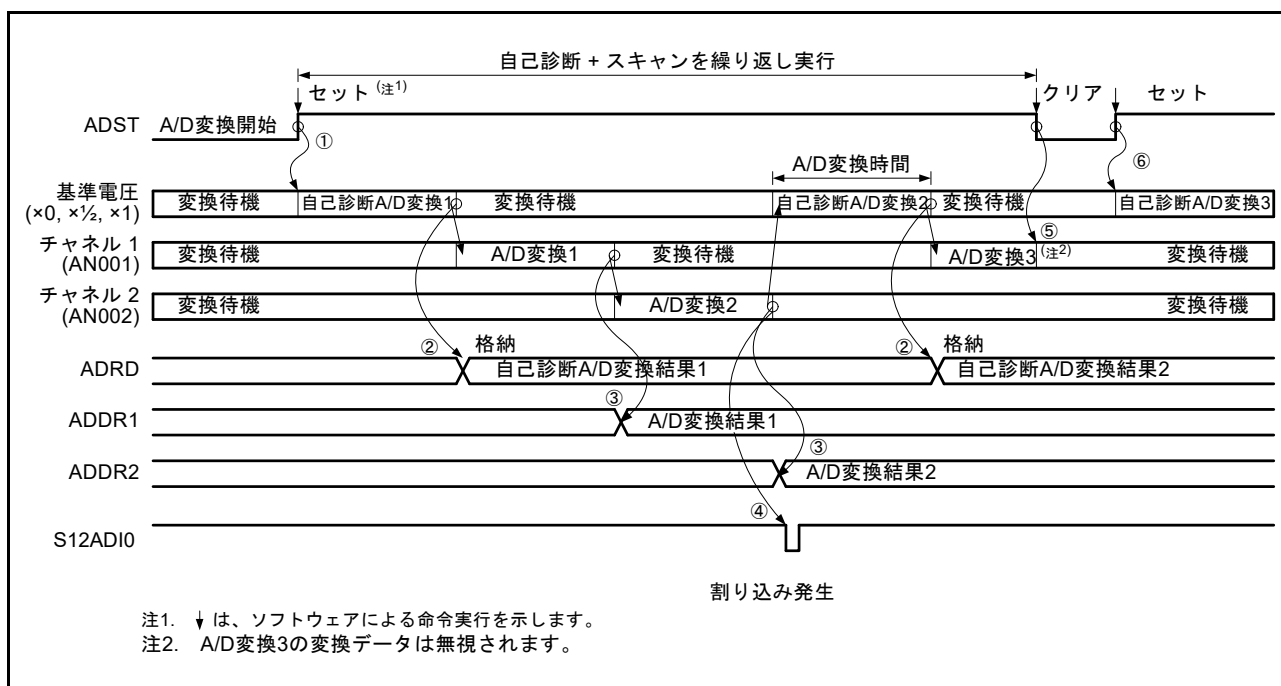


図 40.10 連続スキャンモードの動作例 (基本動作 : AN001、AN002 選択 + 自己診断)

40.3.4 グループスキャンモード

40.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモード時は温度センサ A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) はともに“0” (非選択) に設定します。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に GPTW からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は GPTW からの GTADTRA0N トリガで変換開始し、グループ B は GPTW からの GTADTRB0N トリガで変換開始する設定です。

- (1) GPTW からの GTADTRA0N トリガでグループ A のスキャンを開始します。
- (2) グループ A のスキャン終了時に ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込みを発生します。
- (3) GPTW からの GTADTRB0N トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (スキャン終了による GBADI 割り込み許可) に設定されていると、GBADI 割り込みを発生します。

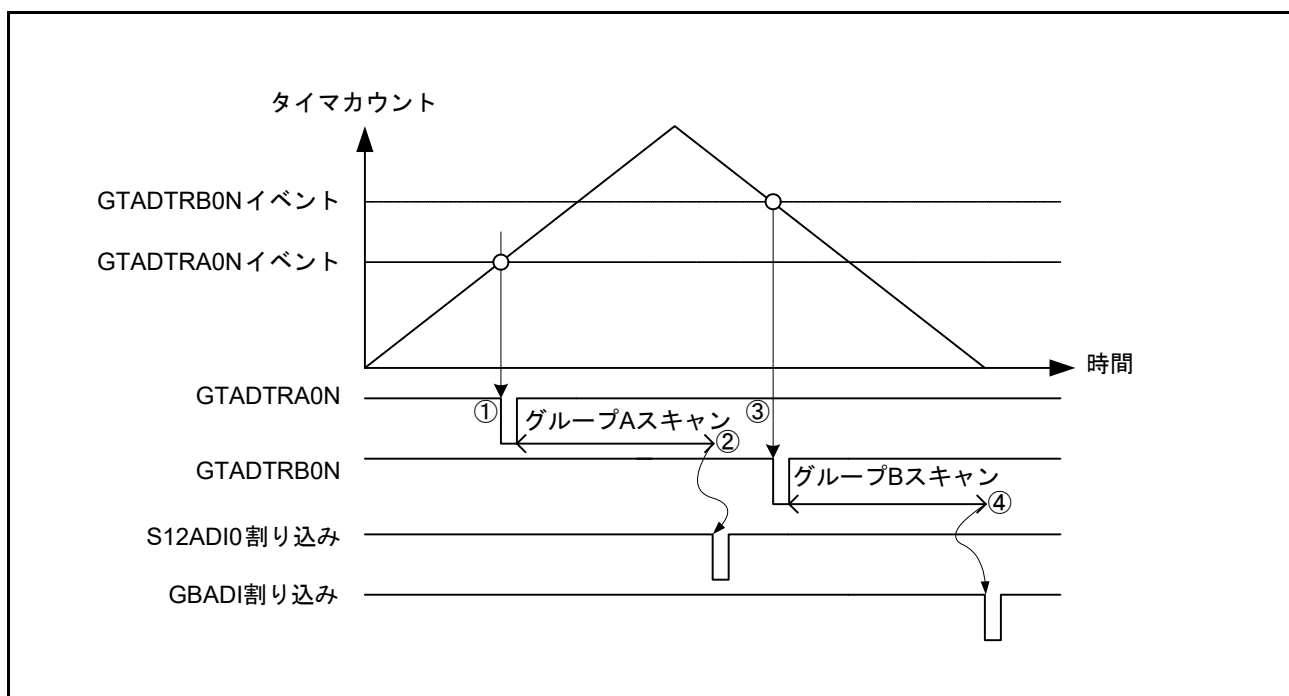


図 40.11 グループスキャンモードの動作例 (GPTW からの同期トリガ発生による基本動作)

40.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガで開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSA[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。グループスキャンモード時は温度センサ A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) はともに“0” (非選択) に設定します。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に GPTW からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は GPTW からの GTADTRA0N トリガで変換開始し、グループ B は GPTW からの GTADTRB0N トリガで変換開始する設定です。

- (1) GPTW からの GTADTRB0N トリガでグループ B のスキャンを開始します。
- (2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (スキャン終了による GBADI 割り込み許可) に設定されていると、GBADI 割り込みを発生します。
- (3) GPTW からの 1 回目の GTADTRA0N トリガでグループ A の 1 回目のスキャンを開始します。
- (4) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI0 割り込み要求は発生しません。
- (5) GPTW からの 2 回目の GTADTRA0N トリガでグループ A の 2 回目のスキャンを開始します。
- (6) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。

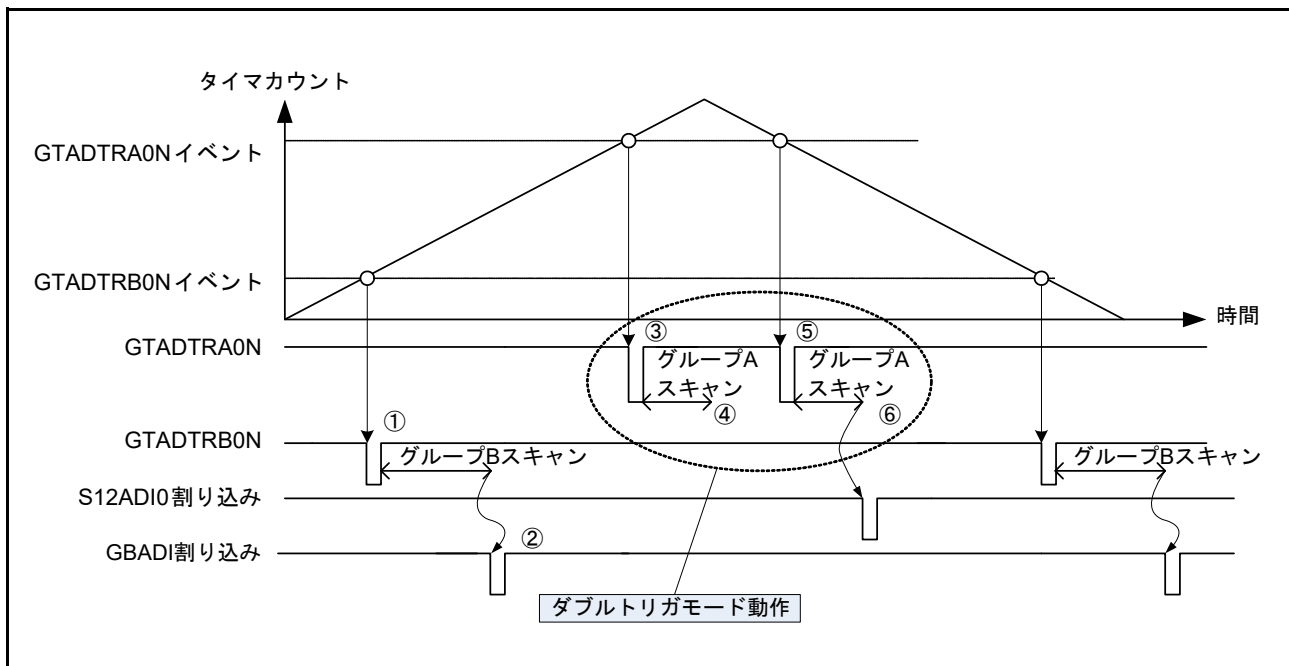


図 40.12 グループスキャンモードでダブルトリガモード選択時の動作例 (GPTW からの同期トリガ発生による基本動作)

40.3.4.3 グループ A 優先制御動作

グループスキャンモードで A/D グループスキャン優先コントロールレジスタ (ADGSPCR) の PGS ビットを“1”にすると、グループ A 優先制御動作を行います。ADGSPCR レジスタの PGS ビットを“1”に設定する際は、図 40.13 に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、もしくはグループ B の A/D 変換動作中に他方のトリガ入力があっても無視されます。グループ A 優先制御動作では、グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を行います。ADGSPCR.GBRSCN ビットが“0”のときは、グループ A の A/D 変換動作終了後に待機状態となります。ADGSPCR.GBRSCN ビットが“1”のときは、グループ A の A/D 変換動作終了後、自動的にグループ B の A/D 変換動作をスキャン先頭から再開します。ADGSPCR.GBRSCN ビットの設定と A/D 変換動作中のトリガ入力時の動作を表 40.10 に示します。

グループ A とグループ B のスキャン動作は、シングルスキャンモードと同じ動作になります。またグループ B のスキャン動作は、ADGSPCR.GBRP ビットに“1”を設定すると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択してください。ADGSPCR.GBRP ビットに“1”を設定する場合は、ADSTRGR.TRSB[5:0] ビットは“3Fh”を設定してください。また A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ A とは異なるグループ B のチャンネルを選択してください。

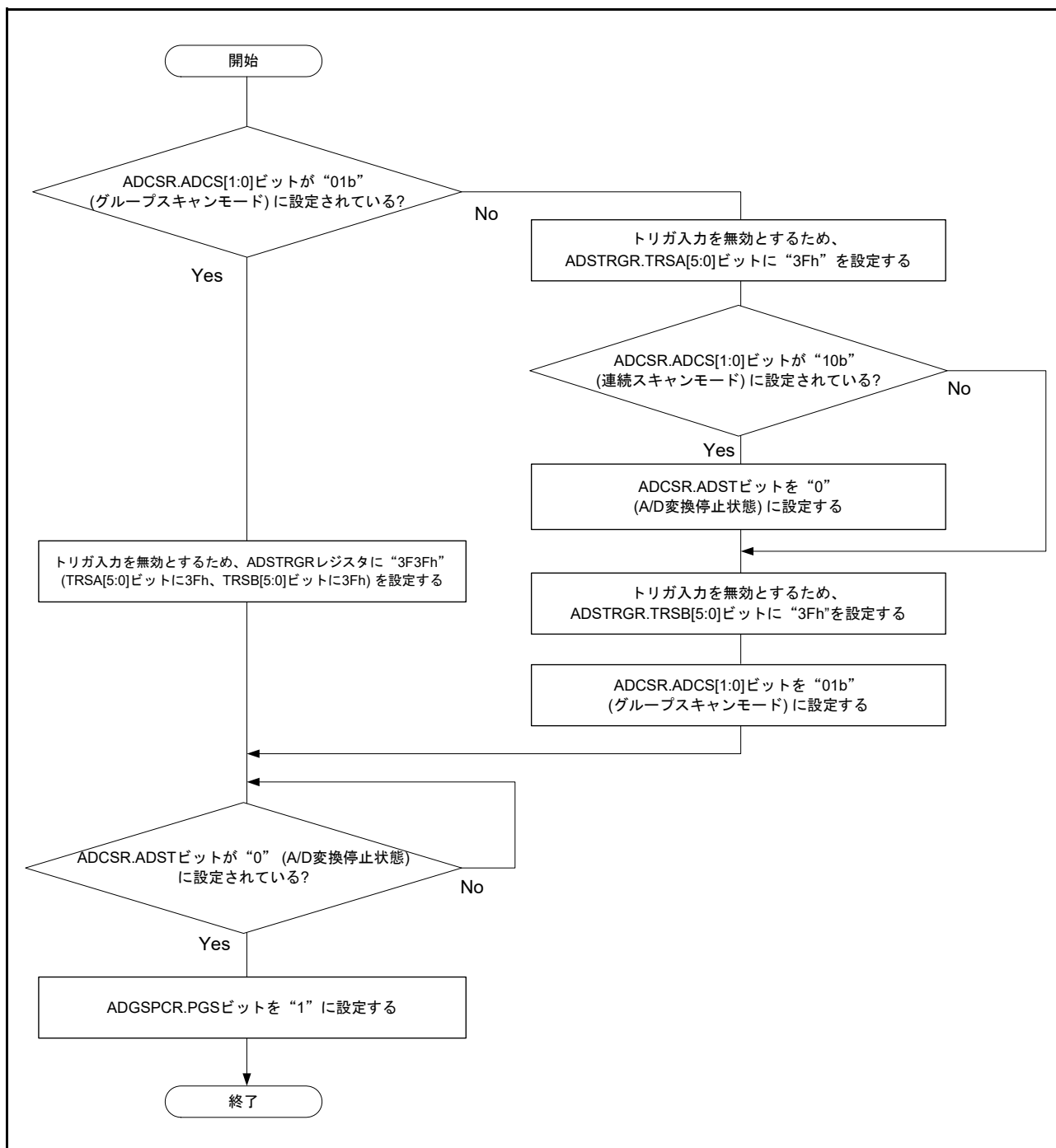


図 40.13 ADGSPCR.PGS ビット設定時のフロー

表 40.10 ADGSPCR.GBRSCNビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループA のA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換動作終了後、グループBのA/D変換動作を行います。
グループB のA/D変換動作中	グループAトリガ入力	グループBのA/D変換中断し、 グループAのA/D変換動作開始	<ul style="list-style-type: none"> グループBのA/D変換中断し、グループAのA/D変換動作開始 グループAのA/D変換終了後、グループBのA/D変換動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

以下にグループAにチャンネル0を、グループBにチャンネル1～3を選択したグループスキャンモードグループA優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0時) を示します。

- グループBのトリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSB0、ADANSB1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- グループBのA/D変換動作中に、グループAのトリガ入力があると、ADCSR.ADSTビットを“0”にクリアし、動作中のA/D変換を中断します。その後、ADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていると、S12ADI0割り込み要求を発生します。
- ADSTビットは自動的にクリアされた後、再度、自動的にADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSB0、ADANSB1レジスタで選択したチャンネルANnのnが小さい番号順に、グループBのA/D変換を再度開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- ADCSR.GBADIEビットが“1”(グループBのスキャン終了によるGBADI割り込み許可)に設定されていると、GBADI割り込み要求を発生します。
- ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、A/D変換が終了すると自動的にクリアされ、A/Dコンバータは待機状態になります。

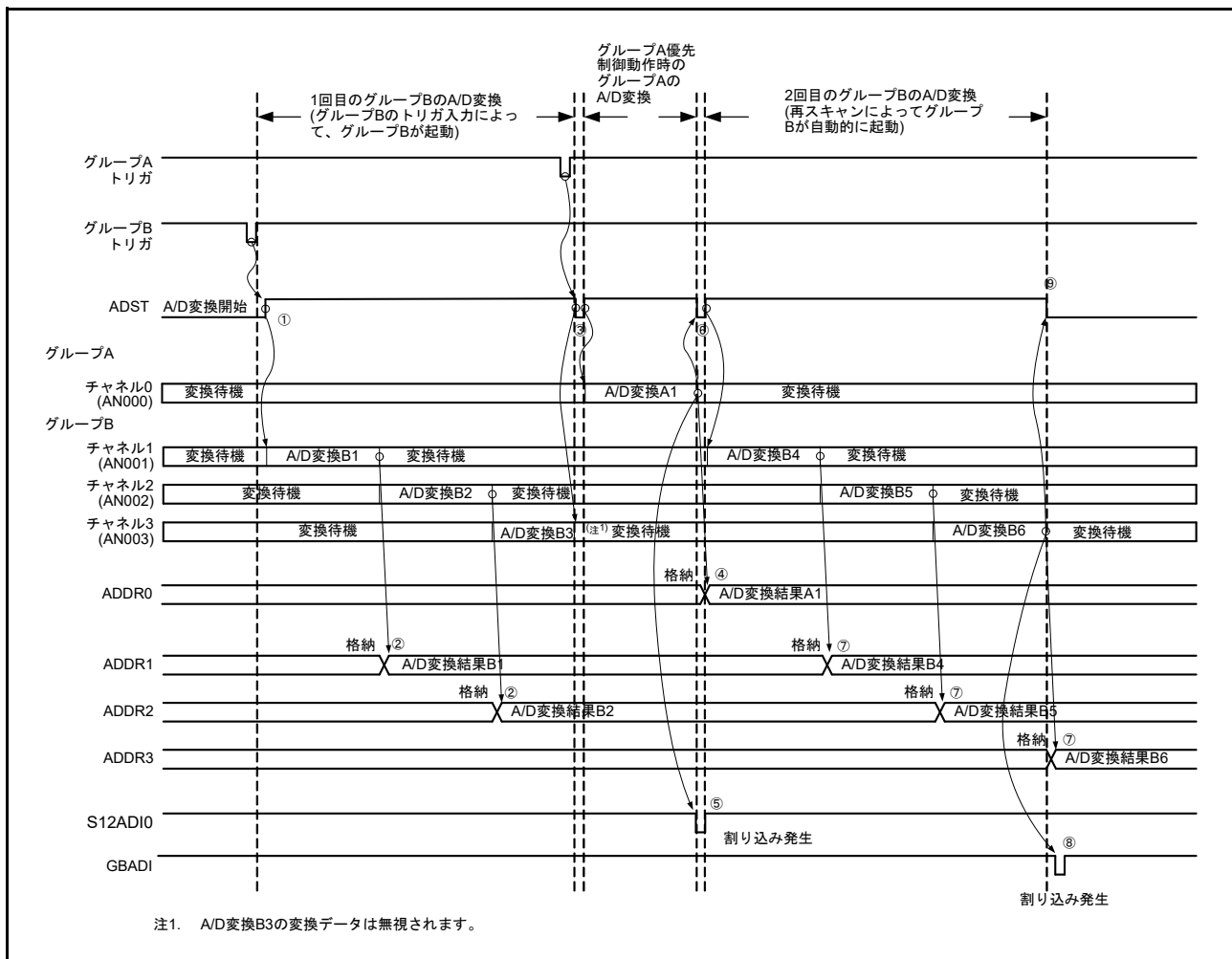


図 40.14 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1 ~ 3 を選択した場合の例を示します。

- (1) グループ B のトリガ入力によって、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
- (4) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
- (5) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (7) ADGSPCR.GBRSCN ビットが“1” (再スキャン動作有効) に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが“1”に設定されます。その

- 後、ADANSB0、ADANSB1レジスタで選択した、グループBのチャンネルANnのnが小さい番号順に、A/D変換を再度開始します。
- (8) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
 - (9) 再スキャン起動によるグループBのA/D変換動作中に、グループAのトリガ入力があると、ADCSR.ADSTビットを“0”にクリア(A/D変換停止)し、動作中のグループBのA/D変換を中断します。
 - (10) その後、ADCSR.ADSTビットを自動的に“1”にし、ADANSA0、ADANSA1レジスタで選択した、グループAのチャンネルANnのnが小さい番号順に、グループAのA/D変換を開始します。
 - (11) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
 - (12) ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI0割り込み許可)に設定されていると、S12ADI0割り込み要求を発生します。
 - (13) ADGSPCR.GBRSCNビットが“1”(再スキャン動作有効)に設定されていると、グループAのA/D変換後、グループBの再スキャン動作により、自動的にADCSR.ADSTビットが“1”に設定されます。その後、ADANSB0、ADANSB1レジスタで選択した、グループBのチャンネルANnのnが小さい番号順に、A/D変換を再度開始します。
 - (14) 再スキャン起動によるグループBのA/D変換中に、グループAのトリガ入力があると、(9)～(13)を繰り返し実行します。グループAのトリガ入力がない場合は、グループBのA/D変換が終了するとADCSR.ADSTビットが自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

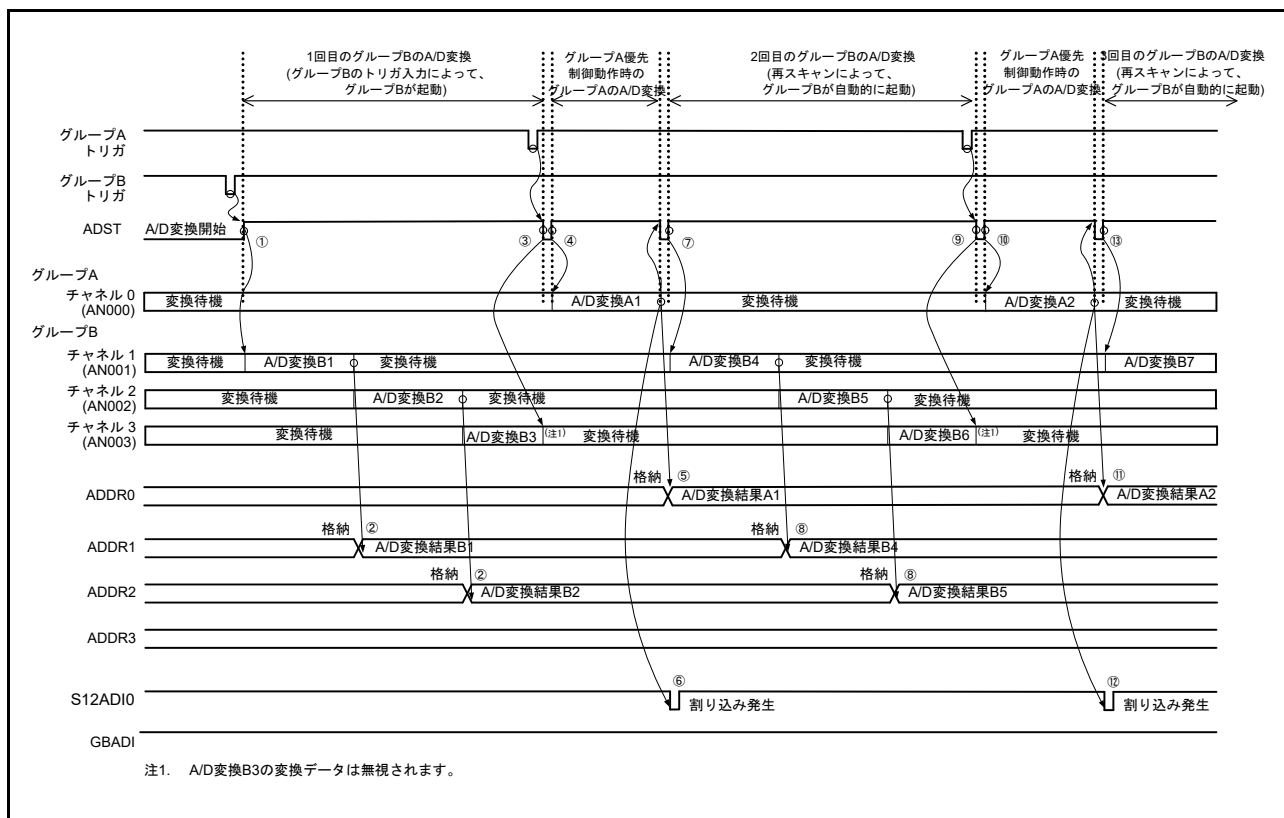


図 40.15 グループ A 優先制御の動作例 (2) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

次に、グループ A の A/D 変換動作中に、グループ B のトリガが入力された場合の、再スキャン動作の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 1 ~ 3 を、グループ B にチャンネル 0 を選択した場合の例を示します。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1”(A/D 変換開始)になると、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。(ただし、グループ A のトリガが連続で入力された場合、グループ B の再スキャン動作は、グループ A に打ち消され、実施されません)
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可)に設定されていると、S12ADI0 割り込み要求を発生します。
- (5) グループ A のスキャン終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが“1”に設定されます。
その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
- (6) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) 再スキャン起動による、グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1”(スキャン終了による GBADI 割り込み許可)に設定されていると、GBADI 割り込み要求を発生します。
- (8) ADST ビットは A/D 変換中は“1”(A/D 変換開始)を保持し、A/D 変換が終了すると、自動的にクリアされ、A/D 変換器は待機状態になります。

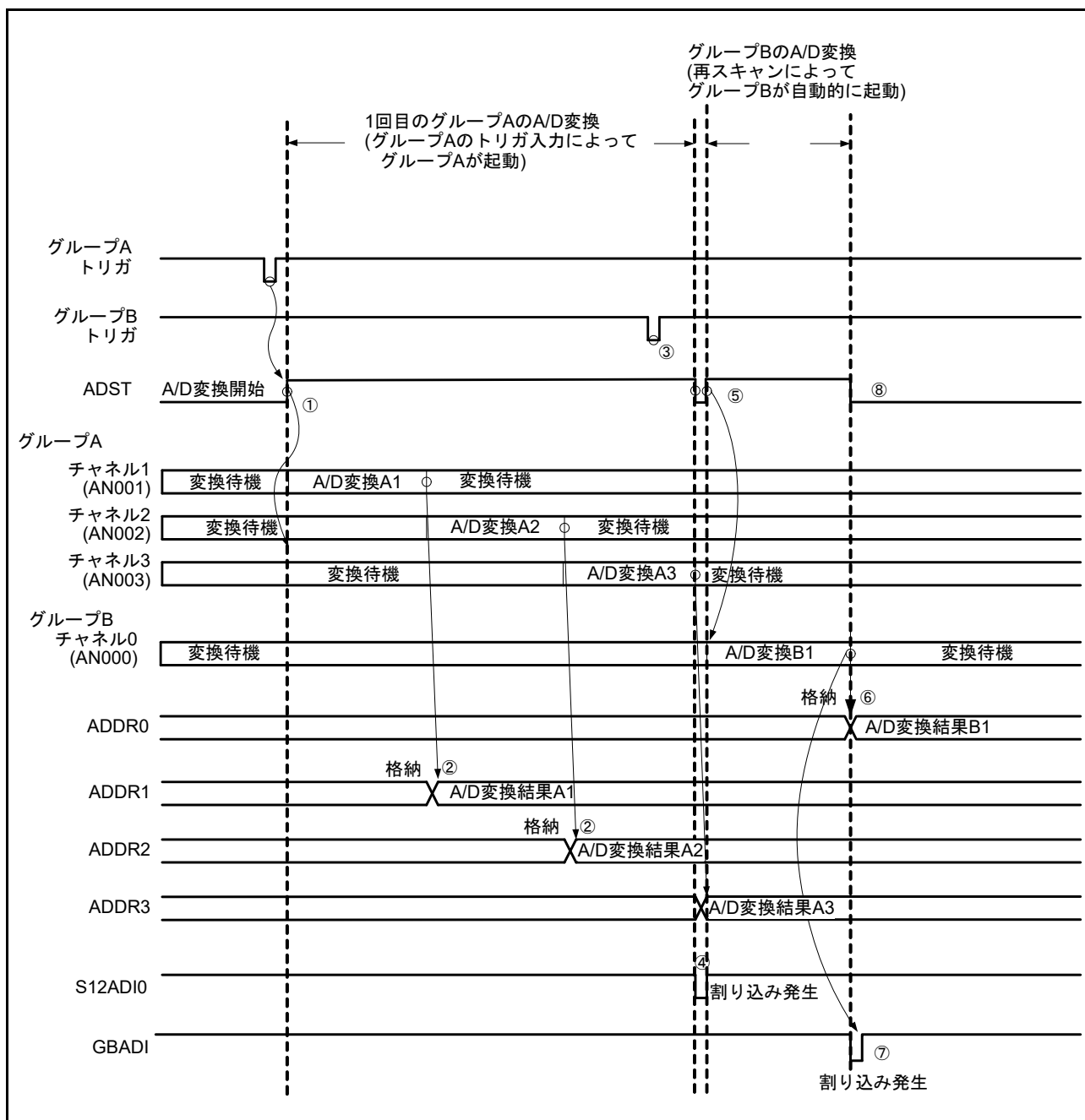


図 40.16 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0) を示します。

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (6) ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

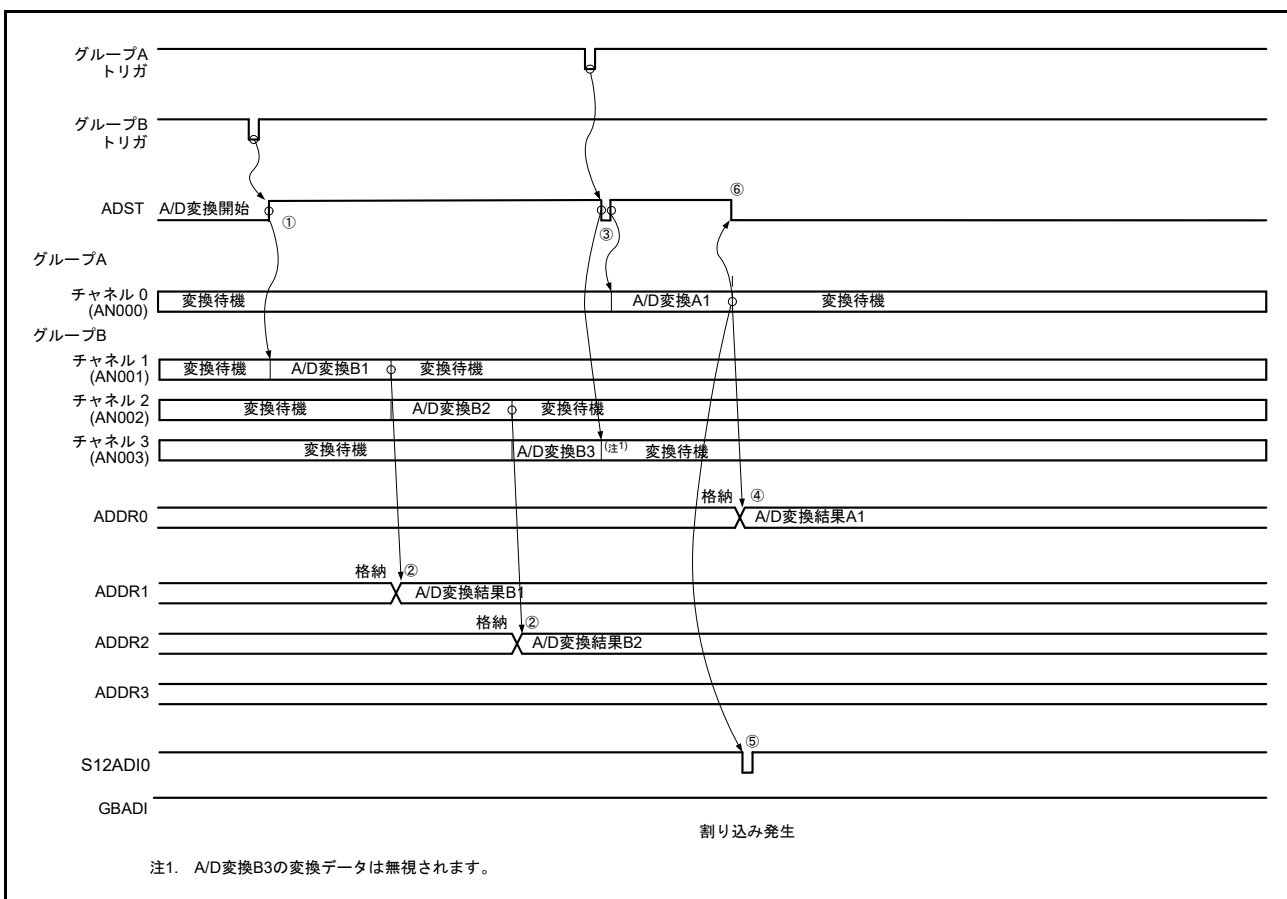


図 40.17 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0 時の動作)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときの、グループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1”(A/D 変換開始) に設定され、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1”(A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI0 割り込み許可) に設定されていると、S12ADI0 割り込み要求を発生します。
- (6) ADST ビットを自動的にクリアした後、再度、ADCSR.ADST ビットが自動的に“1”(A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を再度開始します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1”に設定されていると、GBADI 割り込み要求を発生します。
- (9) ADST ビットを自動的にクリアした後、再度、自動的に ADCSR.ADST ビットを“1”(A/D 変換開始) に設定して、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を再度開始します。ADGSPCR.GBRP ビットが“1”に設定されている間は、(6)～(9)の動作を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットを“0”にクリアしないでください。ADGSPCR.GBRP = 1 のとき、A/D 変換を強制停止させるには、「40.8.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

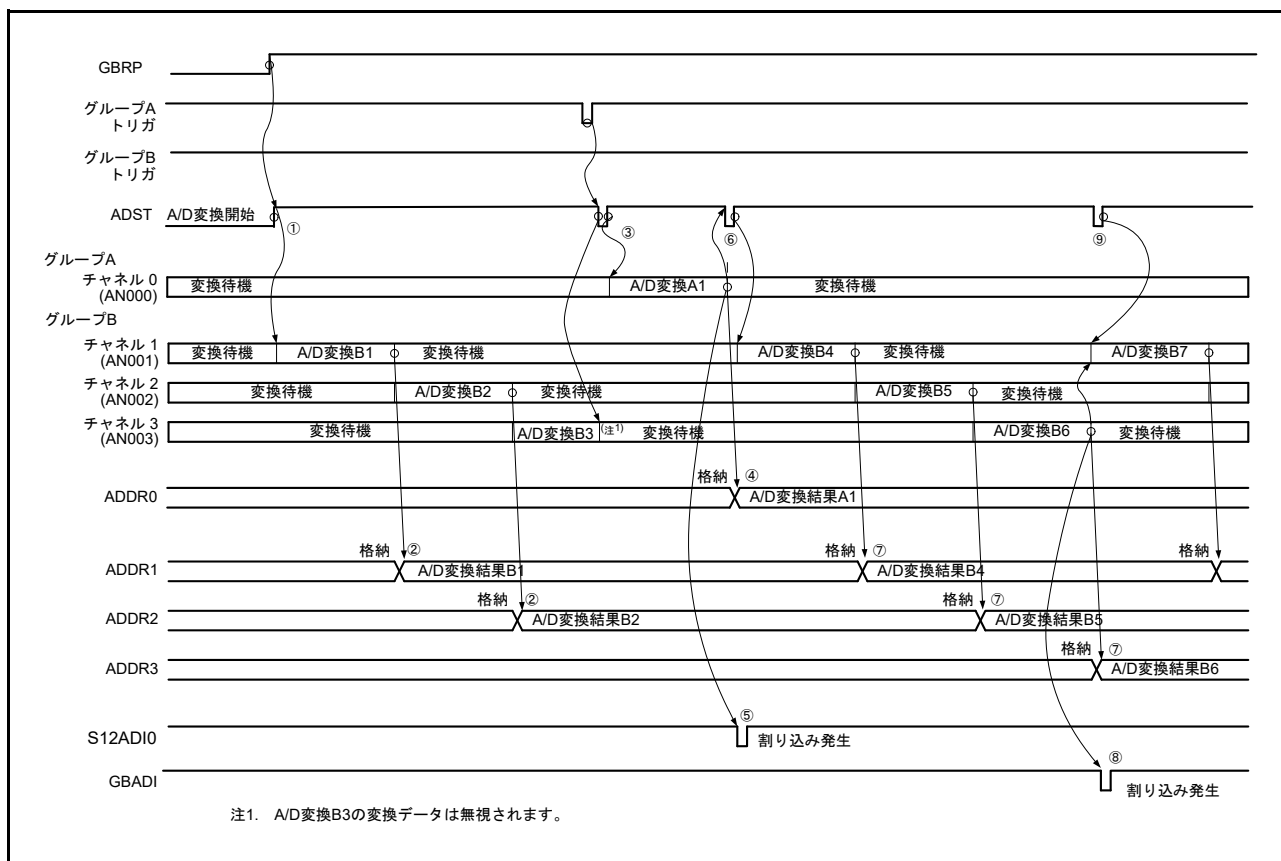


図 40.18 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 時の動作)

40.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

40.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、レジスタに設定した基準値と A/D 変換結果を比較する機能で、ウィンドウ (A/B) 毎に基準値を設定できます。コンペア機能使用時は、自己診断機能、ダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いは、ウィンドウ B が選択可能なチャンネルが 1 つであること、割り込み出力信号が異なることです。

連続スキャンモードとコンペア機能を組み合わせた場合の動作を以下に示します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、選択されたチャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y, ADTSDR, ADOCDR) に格納されます。ADCMPCR.CMPAE = 1 のとき、ADCMANSR0、ADCMANSR1、ADCMANSER レジスタでウィンドウ A 対象に設定されていれば、ADCMPCR0、ADCMPCR1 レジスタ設定値と比較されます。ADCMPCR.CMPBE = 1 のとき、ADCMBNSR レジスタで、ウィンドウ B 対象に設定されていれば、ADWINULB/ADWINLLB レジスタ設定値と比較されます。
- (3) 比較の結果、ウィンドウ A は、ADCMPLR0、ADCMPLR1、ADCMPLER レジスタで設定した条件と一致したときコンペアウィンドウ A のフラグ (ADCMPSR0.CMPSTCHA0n, ADCMPSR1.CMPSTCHA1n, ADCMPSER.CMPSTTSA, ADCMPSER.CMPSTOCA) が“1”にセットされます。同様に、ウィンドウ B は、ADCMBNSR.CMPLB で設定した条件と一致したとき、コンペアウィンドウ B フラグ (ADCMBSR.CMPSTB) が“1”にセットされます。
- (4) 選択されたすべての A/D 変換と比較が終了すると、再びスキャンを行います。
- (5) ADCSR.ADST ビットを“0” (A/D 変換停止) に設定し、コンペアフラグが“1”になっているチャンネルに対する処理を実行します。
- (6) 処理終了後、すべてのコンペアフラグをクリアしてください。再度コンペアを実行する場合には、再度 A/D 変換を開始してください。

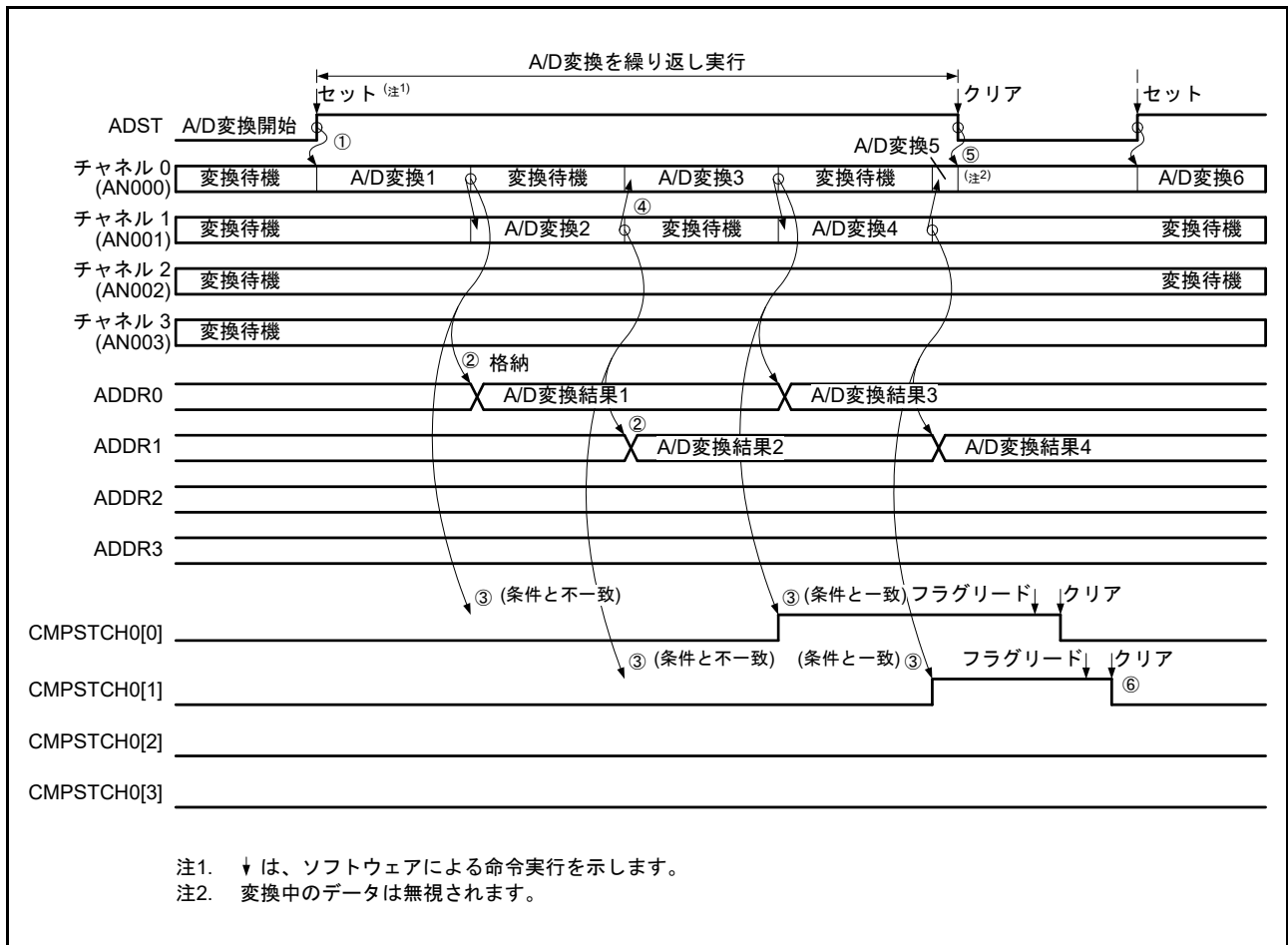


図 40.19 コンペア機能の動作例 (AN000、AN001、AN002、AN003 コンペア対象)

40.3.5.2 コンペア機能の ELC 出力

コンペア機能の ELC 出力は、ウィンドウ A/B それぞれに High 側、Low 側の基準値を指定し、選択したチャンネルの A/D 変換値を High/Low 基準値と比較して、ウィンドウ A と B の比較条件成立 / 不成立結果からイベント条件 (A or B, A and B, A exor B) に応じて ELC イベント (S12ADWMELC/S12ADWUMELC) を出力します。

ウィンドウ A で複数チャンネルを選択した場合は、いずれか一つのチャンネルの比較条件成立で、ウィンドウ A は比較条件成立となります。

本機能を使用する場合はシングルスキャンモードで A/D 変換してください。

ウィンドウ A には、AN000 ~ AN008、AN016 ~ AN031、温度センサ出力、内部基準電圧の中から任意のチャンネルを選択することができます。ただし、内部基準電圧か温度センサ出力を選択する時は他のチャンネルと同時に選択することはできません。ウィンドウ B には、AN000 ~ AN008、AN016 ~ AN031、温度センサ出力、内部基準電圧の中から一つのチャンネルを選択することができます。

以下に本機能を用いる場合の設定手順を示します。通常のシングルスキャンモードでの A/D 変換に必要な設定手順は省きます。

- (1) ADCSR.ADCS[1:0] ビットは“00b”(シングルスキャンモード)であることを確認してください。
- (2) ADCMPANSR0、ADCMPANSR1、ADCMPANSER レジスタでウィンドウ A、ADCMPBNSR レジスタでウィンドウ B に使用するチャンネル (AN000 ~ AN008、AN016 ~ AN031、温度センサ、内部基準電圧) を選択してください。
- (3) ADCMPLR0、ADCMPLR1、ADCMPLER、ADCMPBNSR レジスタでウィンドウコンペアの比較条件を設定し、ADCMPDR0、ADCMPDR1、ADWINULB/ADWINLLB レジスタで上限 / 下限基準値の設定を行ってください。
- (4) ADCMPCR レジスタで、ウィンドウ A/B の複合条件設定、ウィンドウ A/B 動作許可、割り込み出力許可を設定してください。1 回のシングルスキャンが終了するタイミングで ELC へのスキャン終了イベント (S12ADELC) が出力されます。また、ADCMPCR.CMPAB[1:0] の設定により、マッチ / アンマッチイベント (S12ADWMELC/S12ADWUMELC) が 1 PCLKB 遅れて出力されます。
マッチ / アンマッチイベントは排他出力で、同時にイベント両方を出力することはありません。

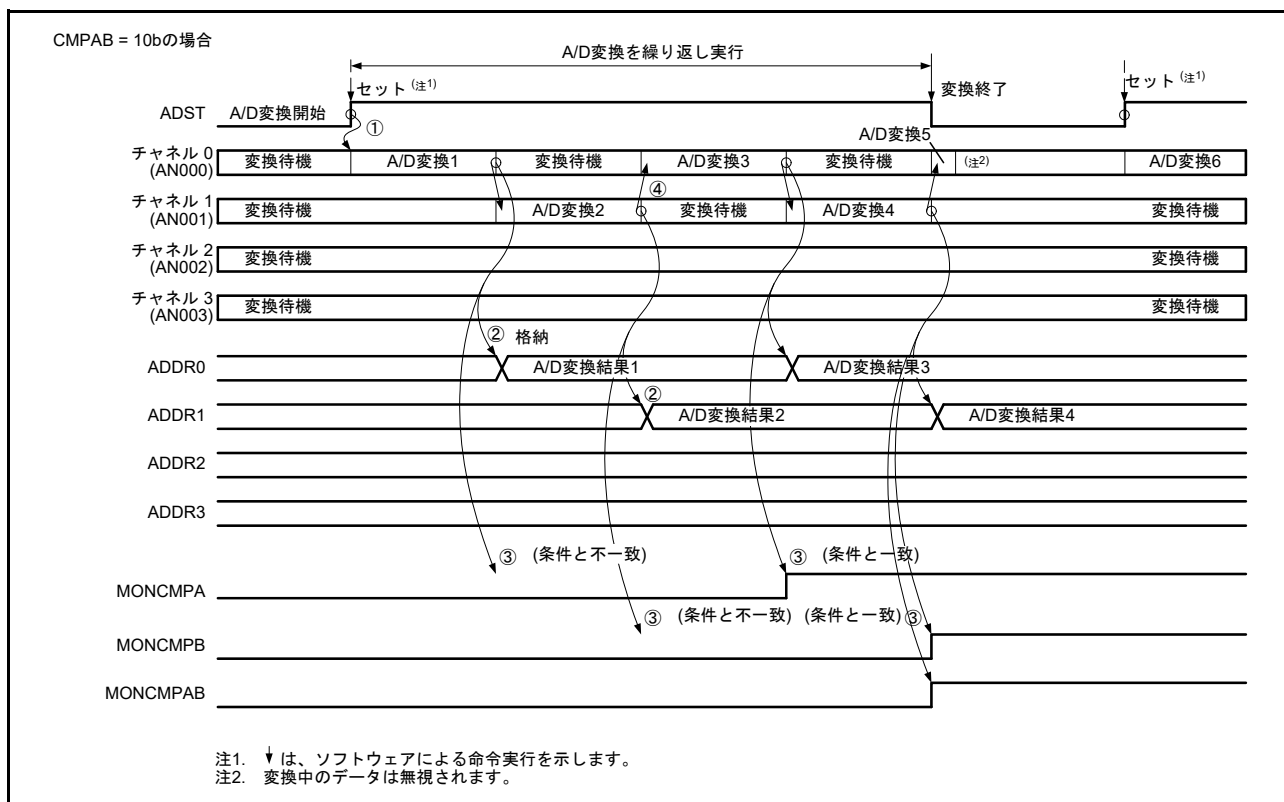


図 40.20 ウィンドウコンペア機能の動作例 (AN000、AN001、AN002、AN003 コンペア対象)

40.3.5.3 データ格納バッファの使用方法

S12ADEは、A/Dデータ格納バッファ16個からなるリングバッファ機能を有しており、コンペア機能使用時に、自己診断以外のA/D変換結果(加算/平均結果含む)を順番にデータ格納バッファ(ADBUFn(n=0~15))に格納します。

変換結果の格納タイミングは、A/D変換結果がデータレジスタに書き込まれるのと同時で、直近の16回分の変換データが保有されます。

以下にデータ格納バッファとポインタ、オーバーフローフラグの動作概要図を示す。BUFENビットを“1”にセットすると、A/D変換終了毎にA/D変換結果が転送される。ポインタの指し示す番号は次のデータが転送されてきた時にデータが書き込まれるデータ格納バッファの番号です。バッファ15までデータが書き込まれると、ポインタは“0000b”に戻り、オーバーフローフラグが“1”になります。その後続けて転送されてきたデータは以前に書き込まれたデータを上書きしていきます。ADBUFPTRレジスタに“00h”を書き込むとポインタとオーバーフローフラグは初期値に戻ります。

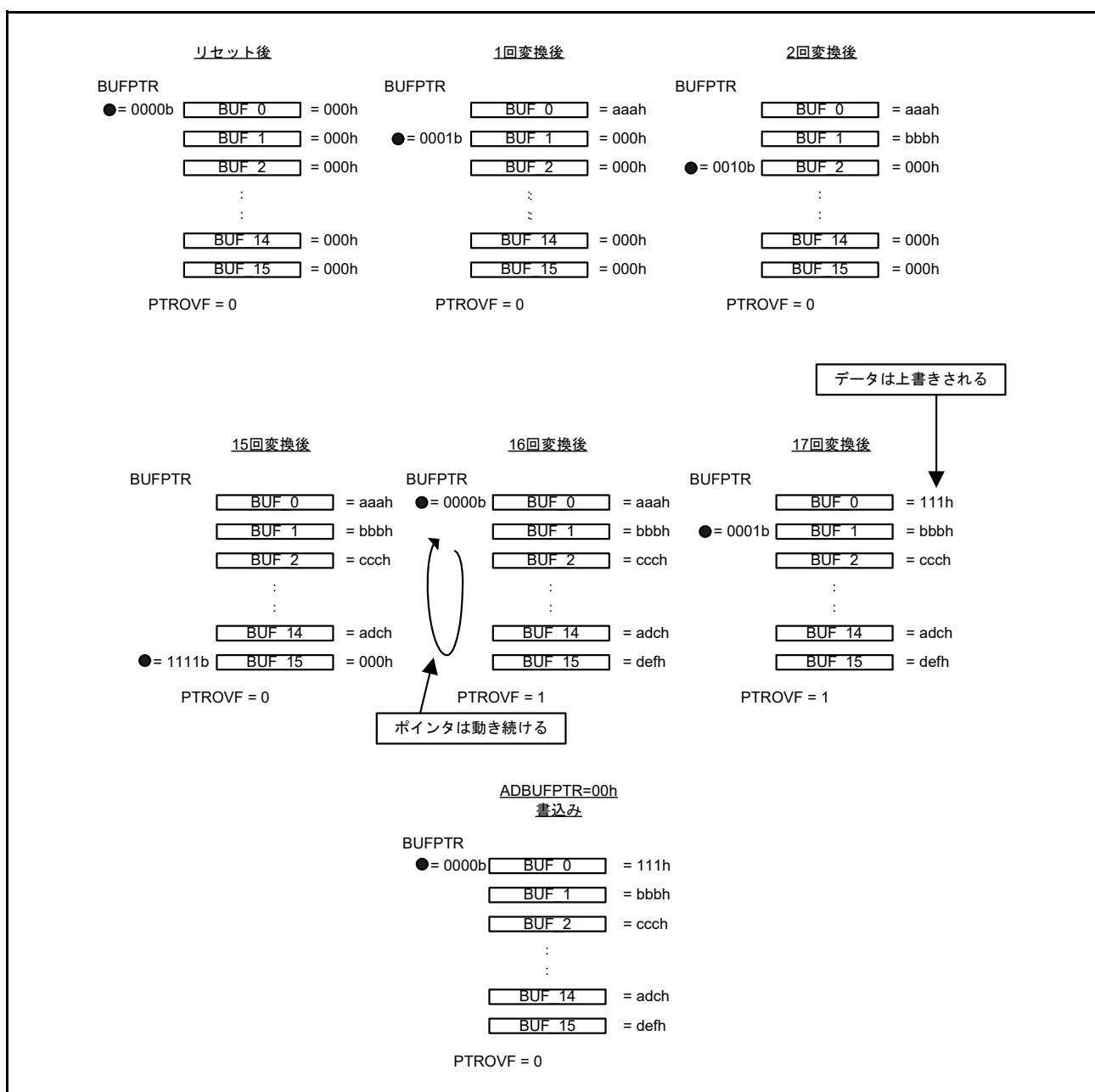


図 40.21 データ格納バッファとポインタ、オーバーフローフラグの動作概要

40.3.5.4 コンペア機能制約

コンペア機能には、以下の制約条件があります。

1. 自己診断機能、ダブルトリガモードは併用禁止です
(ADRD、ADDBLDR レジスタはコンペア機能対象外です。)
2. マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
3. ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
4. ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
5. ウィンドウ A とウィンドウ B で同一チャンネルは設定禁止です。
6. バッファ機能を使用する場合は、シングルスキャンモードを設定してください。
(ダブルトリガモードも併用禁止です)
7. High 側基準値 \geq Low 側基準値となるように設定してください。

40.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア、同期トリガまたは非同期トリガ入力による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、断線検出アシスト処理、自己診断変換処理を行い、この後に A/D 変換処理が開始されます。

図 40.22 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 40.23 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS}) (注 1)、自己診断変換時間 (t_{DIAG}) (注 2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、高速変換動作時で 32 ステート (ADCLK)、低電流変換動作時で 41 ステート (ADCLK) となります。スキャン変換時間を表 40.11 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) \text{ (注 3)} + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの 2 サイクル目以降は、 $(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$ となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。温度センサ、内部基準電圧を A/D 変換する場合に限り、オートディスチャージ期間 15 ステート (ADCLK) 挿入されます。

注 2. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$ となります。

注 3. 選択チャンネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ となりますが、チャンネルごとに異なる場合は、各チャンネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和となります。

表40.11 スキャンでの各所要時間(ADCLKとPCLKBのサイクル数で示します)

項目			記号	種別/条件			単位	
				同期トリガ (注5)	非同期トリガ	ソフトウェアトリガ		
スキャン開始処理時間 (注1、注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	t_D	3 PCLKB + 6 ADCLK	—	—	サイクル	
		グループB中断なし (グループAのA/D変換要因によって起動)		2 PCLKB + 4 ADCLK	—	—		
	自己診断有効時のA/D変換	2 PCLKB + 6 ADCLK		4 PCLKB + 6 ADCLK	6 ADCLK			
	上記以外	2 PCLKB + 4 ADCLK		4 PCLKB + 4 ADCLK	4 ADCLK			
断線検出アシスト処理時間			t_{DIS}	ADDISCR.ADNDIS[3:0]設定値 (初期値00h) × ADCLK (注3)				
自己診断変換処理時間 (注1)	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR0設定値 (初期値0Dh) × ADCLK (注4)			
	逐次変換時間	12ビット変換精度			t_{SAM}	32 ADCLK (高速変換動作かつ変換サイクル選択ビットが“0”の時)		
			41 ADCLK (低電流変換動作かつ変換サイクル選択ビットが“0”の時)					
			22 ADCLK (高速変換動作かつ変換サイクル選択ビットが“1”の時)					
			28 ADCLK (低電流変換動作かつ変換サイクル選択ビットが“1”の時)					
	自己診断変換終了後。通常のA/D変換開始時		t_{DED}	2 ADCLK				
連続スキャン時の最終チャネル変換終了後、自己診断変換開始時		t_{DSD}	2 ADCLK					
A/D変換処理時間 (注1)	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn (n = 0 ~ 8, L, T, O)設定値 (初期値0Dh) × ADCLK (注4)			
	逐次変換時間	12ビット変換精度			t_{SAM}	32 ADCLK (高速変換動作かつ変換サイクル選択ビットが“0”の時)		
						41 ADCLK (低電流変換動作かつ変換サイクル選択ビットが“0”の時)		
						22 ADCLK (高速変換動作かつ変換サイクル選択ビットが“1”の時)		
						28 ADCLK (低電流変換動作かつ変換サイクル選択ビットが“1”の時)		
スキャン終了時間 (注1)			t_{ED}	1 PCLKB + 3 ADCLK (注6)				

- 注1. t_D 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図40.22、図40.23を参照してください。
- 注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
- 注3. 温度センサ出力/内部基準電圧をA/D変換時は、“0Fh” (15 ADCLK)に固定されます。
- 注4. 電圧条件により必要なサンプリング時間(ns)が規定されています。「47.7 A/D変換特性」を参照ください。
- 注5. タイマ出力からトリガ入力までの経路で消費する時間は含まれていません。
- 注6. ADCLKがPCLKBより高速な場合(PCLKB : ADCLK周波数比 = 1 : 2の設定)では、2 PCLKB + 2 ADCLKになります。

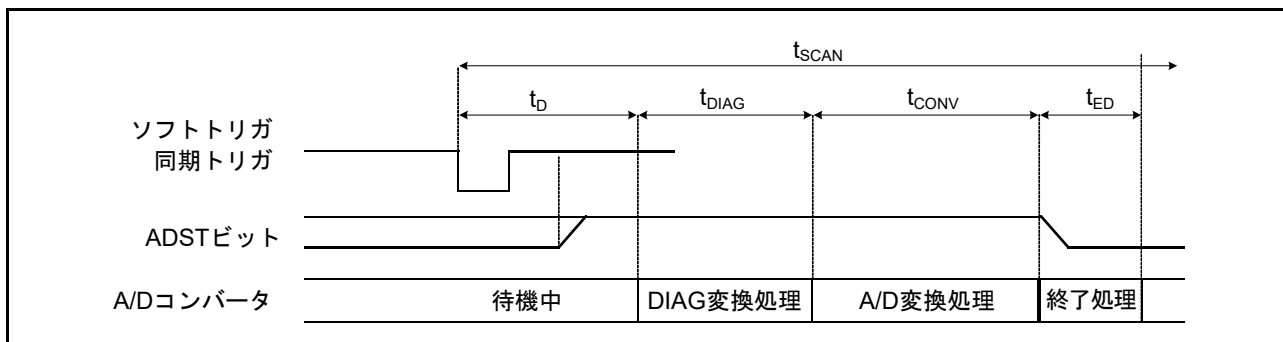


図 40.22 スキャン変換のタイミング (ソフトウェア起動、同期トリガ起動の場合)

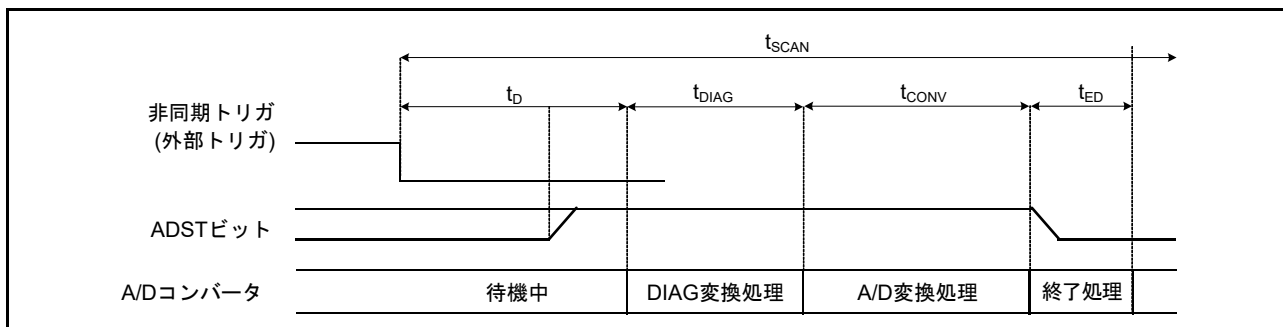


図 40.23 スキャン変換のタイミング (非同期トリガ起動の場合)

40.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTCまたはDMACによってA/D データレジスタ (ADDRy, ADRD, ADTSDR, ADOCDR, ADDBLDR) を読み出す際、自動的に ADDRy、ARDR、ADTSDR、ADOCDR、ADDBLDR レジスタを“0000h”にクリアできます。

リングバッファ (ADBUFn (n=0~15)) はオートクリア対象外です。

この機能を使うことにより、ADDRy、ARDR、ADTSDR、ADOCDR、ADDBLDR レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0”(自動クリア禁止)の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1”(自動クリア許可)の場合には、ADDRy = 0111h を CPU、DTC または DMAC により読み出す際、ADDRy レジスタは自動的に“0000h”にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

40.3.8 A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャンネルを2~4、16回連続でA/D変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャンネルを2回、または4回連続でA/D変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によってはA/D変換精度が良くなります。ただし、A/D変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

40.3.9 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 40.24 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 40.25 にプリチャージを選択した場合の断線検出例を、図 40.26 にディスチャージを選択した場合の断線検出例を示します。

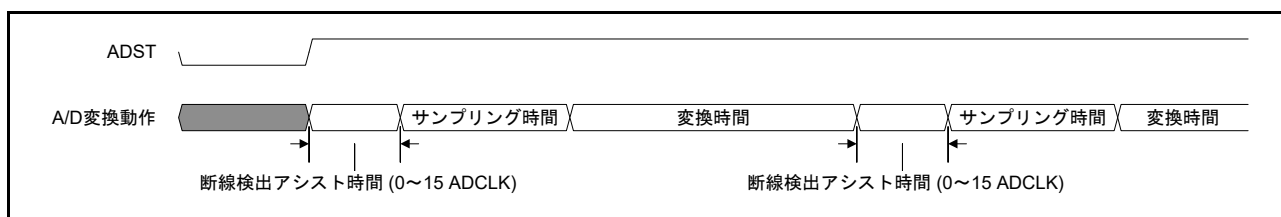


図 40.24 断線検出アシスト機能を使用した場合の A/D 変換動作図

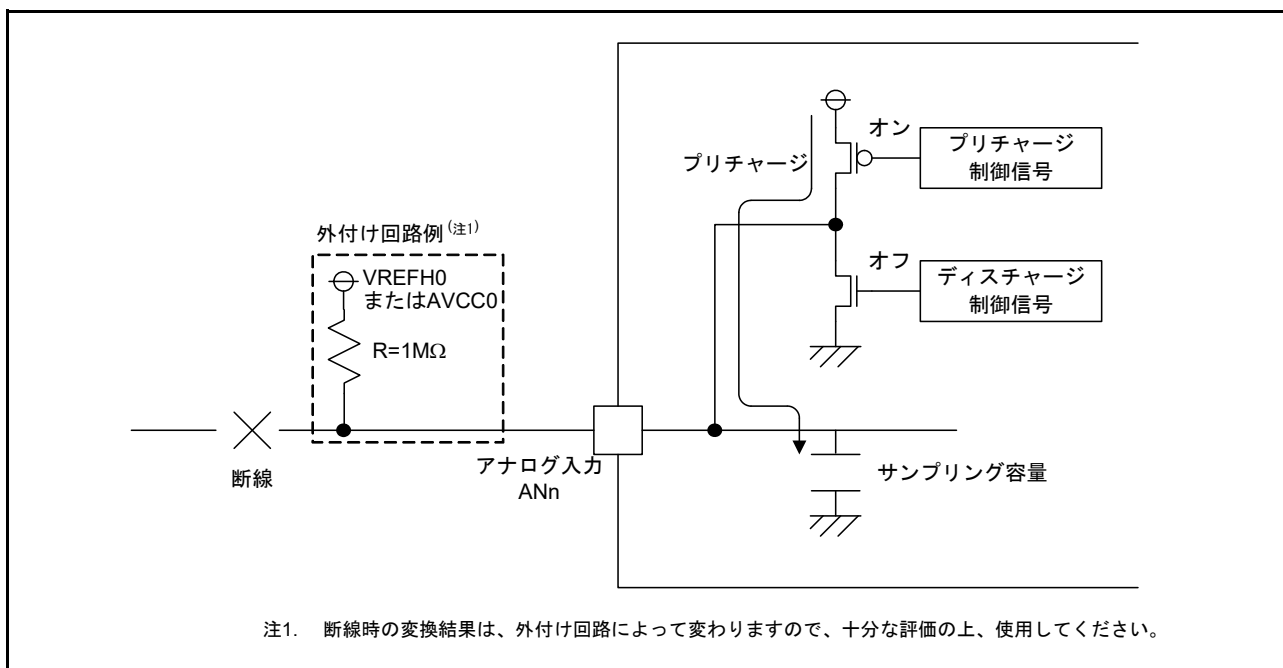


図 40.25 プリチャージを選択した場合の断線検出例

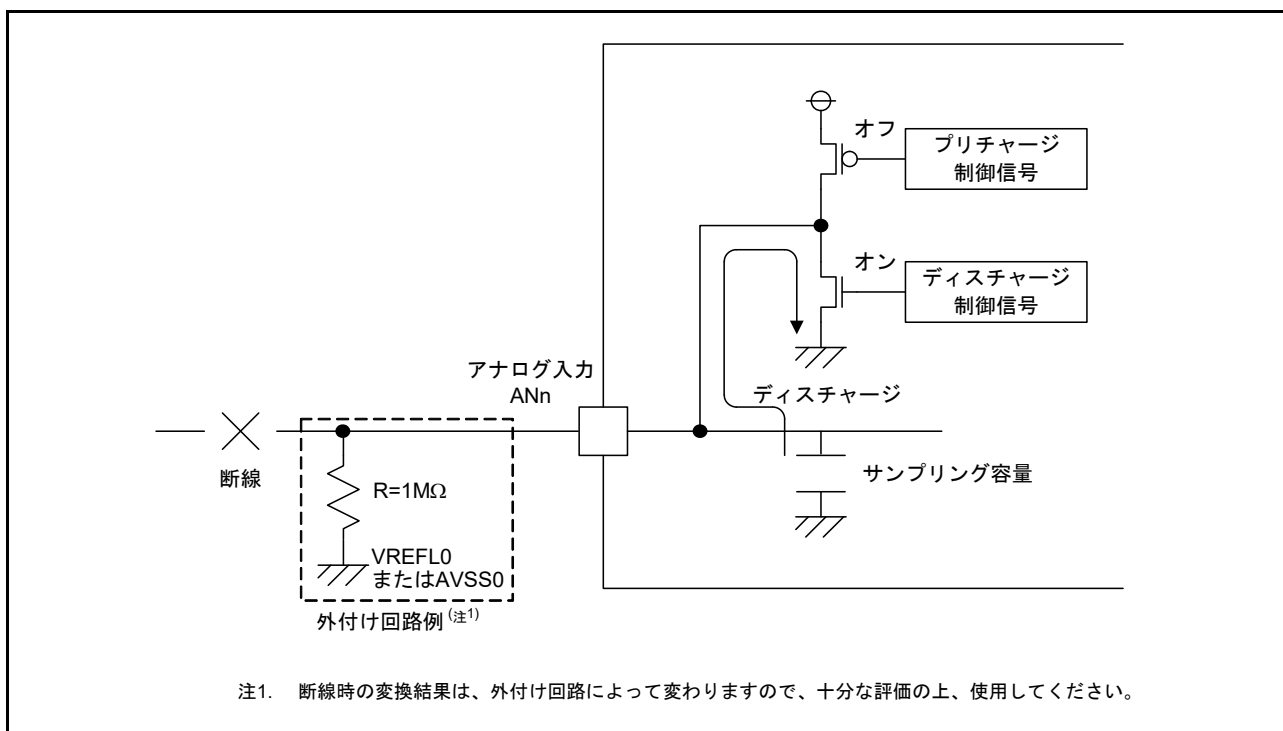


図 40.26 ディスチャージを選択した場合の断線検出例

40.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 40.27 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「40.8.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。グループスキャンモードで使用するグループ B は、非同期トリガを選択できません。

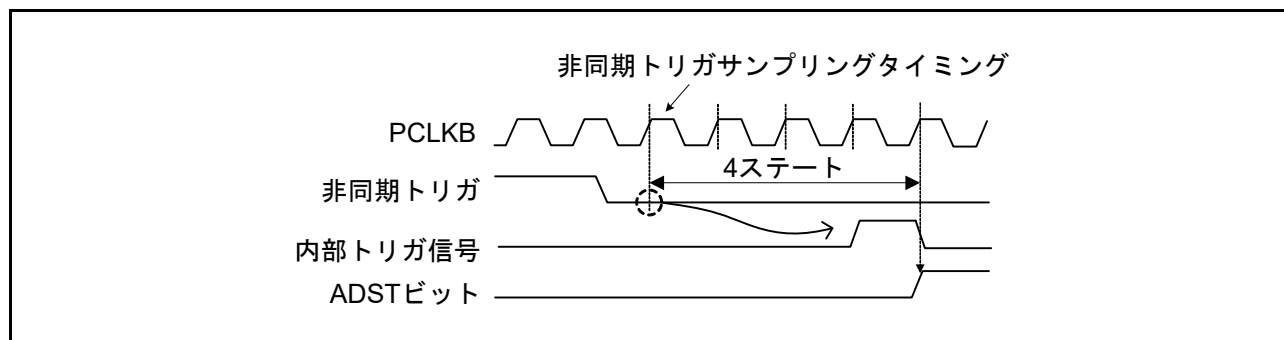


図 40.27 非同期トリガ入力タイミング

40.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

40.4 割り込み要因と DTC、DMA 転送要求

40.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI0、GBADI 割り込みを発生することができます。

ADCSR.ADIE ビットを “1” にすると S12ADI0 を許可、“0” にすると S12ADI0 を禁止できます。

ADCSR.GBADIE ビットを “1” にすると GBADI を許可、“0” にすると GBADI を禁止できます。

また、S12ADI0、GBADI 発生時に DTC または DMAC を起動できます。S12ADI0、GBADI 割り込みで変換されたデータの読み出しを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「18. データトランスファコントローラ (DTCb)」を、DMAC の設定は「17. DMA コントローラ (DMACA)」を参照してください。

40.5 イベントリンク機能

40.5.1 ELC へのイベント出力動作

ELC では、S12ADI0 割り込み要求信号をイベント信号 (S12ADELC) として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。イベント信号は、イベントリンクコントロールビット (ADELCCR.ELCC[1:0] ビット) で設定した条件で発生します。

イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。

12ビットA/Dコンバータは、A/D変換終了イベント (S12ADELC)、ウィンドウ機能コンペアマッチイベント (S12ADWMELC)、アンマッチイベント (S12ADWUMELC) を出力します。

ELC へのスキャン終了イベント出力 (S12ADELC) は、ADCSR.ADIE の設定によらず、割り込み出力 (S12ADI0) と同じ出力タイミングでイベントを出力します。

ELC へのコンペアマッチ/アンマッチイベント (S12ADWMELC/S12ADWUMELC) は、ADCSR.ADIE の設定によらず、割り込み出力 (S12ADI0) から1サイクル (PCLKB) 遅れたタイミングでイベントを出力します。

ELC へのコンペアマッチ/アンマッチイベント (S12ADWMELC/S12ADWUMELC) を使用する場合は、シングルスキャンモードに設定してください。

40.5.2 ELC からのイベントによる 12ビットA/Dコンバータの動作

12ビットA/DコンバータはELCのELSRnの設定により、あらかじめ設定したイベントによるA/D変換開始動作が可能です。

40.5.3 ELC からのイベントによる 12ビットA/Dコンバータの注意事項

A/D変換中にイベントが発生した場合は、イベントは無効になります。

40.6 基準電圧の選択方法

A/Dコンバータは高電位側基準電圧をVREFH0とAVCC0、低電位側基準電圧をVREFL0とAVSS0からそれぞれ選択することができます。A/D変換前に設定してください。設定の詳細は、「40.2.30 A/D高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)」を参照してください。

40.7 許容信号源インピーダンスについて

図 40.28 にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、内部コンデンサ (C_s) への充電がサンプリング時間内に終了することが必要です。信号源インピーダンス (R_0) が大きく C_s への充電に時間がかかるときは、ADSSTRn レジスタでサンプリング時間を延長してください。逆に R_0 が小さいときは、サンプリング時間を短縮することができます。電気的特性に各種動作条件下での許容信号源インピーダンスを記載していますので、参考にしてください。

シングルスキャンモードで1端子のみの変換を行う場合、外部に大容量のコンデンサ (C) を接続することにより、入力の負荷が実質的に内部入力抵抗 (R_s) だけになり、 R_0 の影響を無視できるようになります。ただし、 R_0 と C でローパスフィルタが形成されますので、変化の速いアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

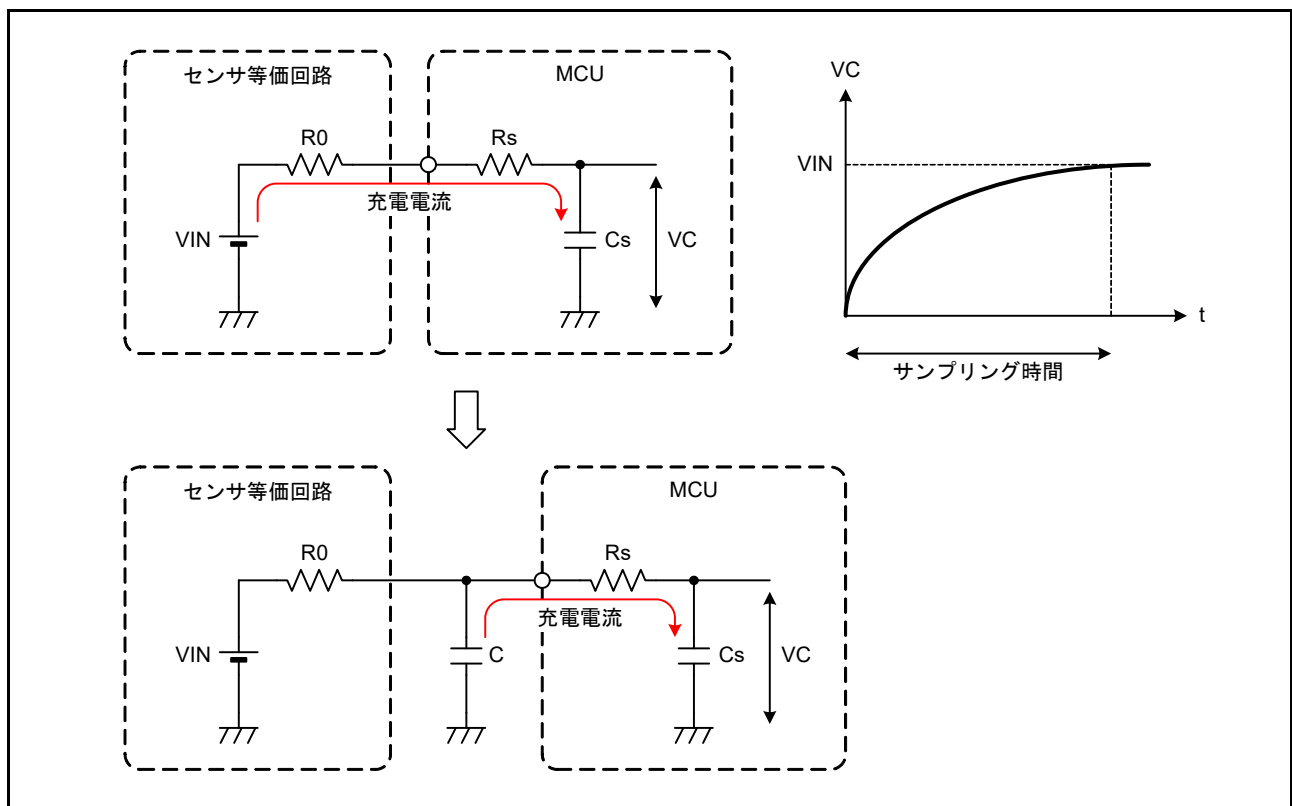


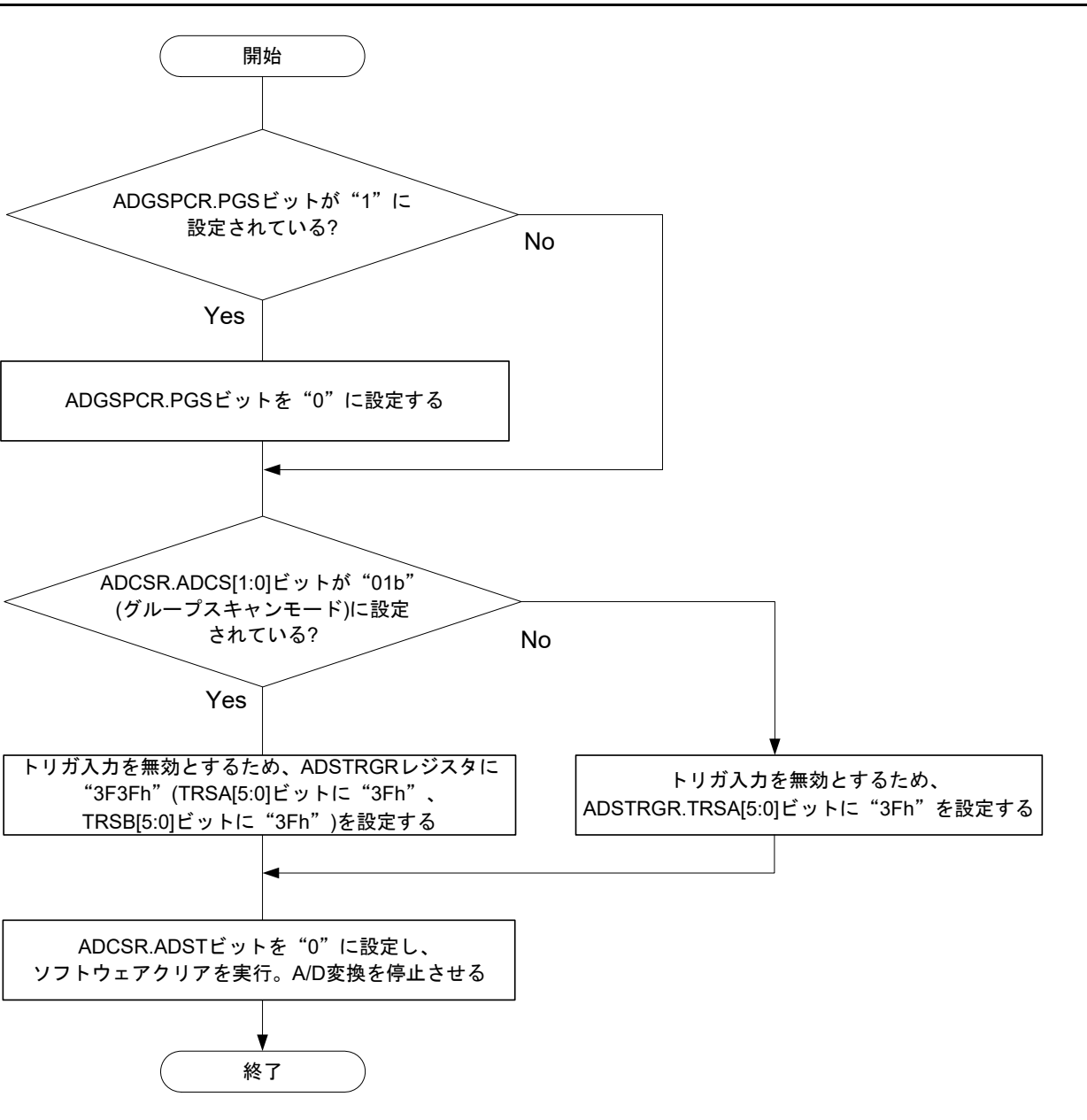
図 40.28 アナログ入力端子と外部センサの等価回路

40.8 使用上の注意事項

40.8.1 データレジスタの読出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D データ二重化レジスタ A、A/D データ二重化レジスタ B、A/D 温度センサデータレジスタ、A/D 内部基準電圧データレジスタ、および A/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの2回に分けて読み出すことにより、1回目に読み出した A/D 変換値と2回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

40.8.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、のフローチャートの手順に従ってください。

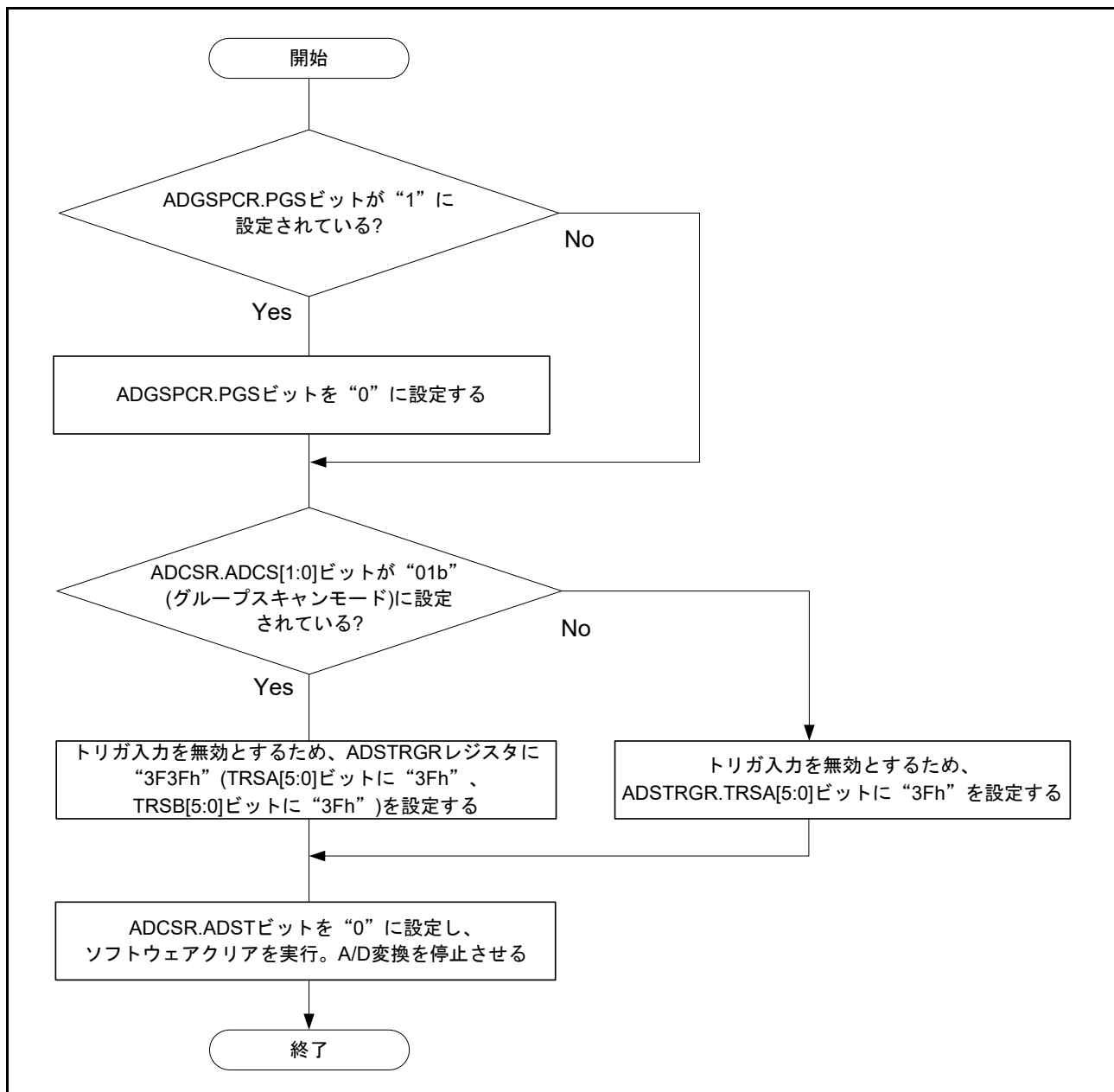


図 40.29 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

40.8.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのに ADCLK で最大6クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLK で最大3クロック (ADCLK が PCLKB より高速な場合 (PCLKB : ADCLK 周波数比 = 1 : 2 の設定) では、最大1 PCLKB + 2 ADCLK) の時間を必要とします。

40.8.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

40.8.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ A (MSTPCRA) により、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs 待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

40.8.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADST ビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 40.29 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、ADCLK の2クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

40.8.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間またはPLL回路の安定時間経過後、さらに1μs以上待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

40.8.8 12ビットA/Dコンバータを使用する場合の端子の設定

12ビットA/Dコンバータを使用する場合は、ポート4の各端子を出力に設定しないでください。ポート4の回路の一部でアナログ電源を使用しているため、出力にするとA/D変換精度に影響することがあります。

40.8.9 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力され、A/Dコンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

40.8.10 ADHSC ビットの書き換え手順

A/D変換動作選択ビット (ADCSR.ADHSC) を書き換える場合 (“0” から “1” または “1” から “0” にする場合) は、12ビットA/Dコンバータをスタンバイ状態にする必要があります。ADCSR.ADHSCビットの書き換えは下記の1～3の手順で行ってください。また、スリープビット (ADHVREFCNT.ADSL P) を “0” にした後、1 μ s 以上待ってからA/D変換を開始してください。

【ADCSR.ADHSCビットの書き換え手順】

1. スリープビット (ADHVREFCNT.ADSL P) を “1” にする。
2. 0.2 μ s 以上待ってから、A/D変換動作選択ビット (ADCSR.ADHSC) を書き換える。
3. 4.8 μ s 以上待ってから、スリープビット (ADHVREFCNT.ADSL P) を “0” にする。

注. A/D変換動作選択ビット (ADCSR.ADHSC) の書き換え以外で、ADHVREFCNT.ADSL Pビットを “1” にすることは禁止です。

40.8.11 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は $AVSS0 \leq VAN \leq AVCC0$ の範囲としてください。また、 $VREFH0$ 端子、 $VREFL0$ 端子に印加するリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$ 、 $VREFL0 = AVSS0$ にしてください。アナログ入力端子 AN_n に印加する電圧が、 $VREFH0$ を超える場合は、正しく変換できません(図40.30参照)。

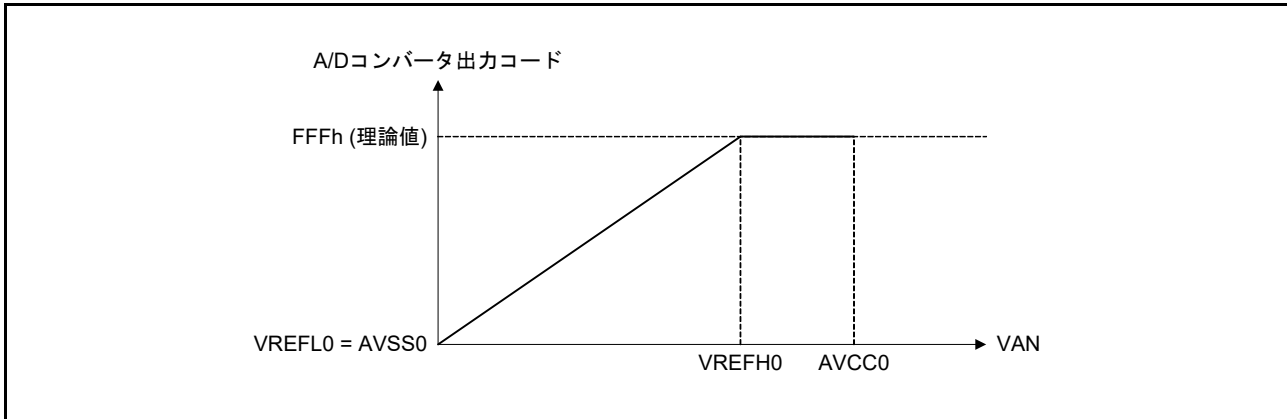


図 40.30 アナログ入力端子に印加する電圧と出力コードの関係

- 各電源端子 ($AVCC0 - AVSS0$, $VREFH0 - VREFL0$, $VCC - VSS$) の関係

$AVSS0$ と VSS との関係は $AVSS0 = VSS$ としてください。アナログ入力端子 $AN016 \sim AN031$ の A/D 変換を行う場合は、 $AVCC0 = VCC$ としてください。また、図40.31に示すように各々の電源間に最短で閉ループが形成できるように $0.1 \mu\text{F}$ のコンデンサを接続し、供給元で $VREFL0 = AVSS0 = VSS$ になるように接続してください。12ビットA/Dコンバータを使用しない場合は、 $AVCC0 = VCC$ 、 $AVSS0 = VSS$ としてください。

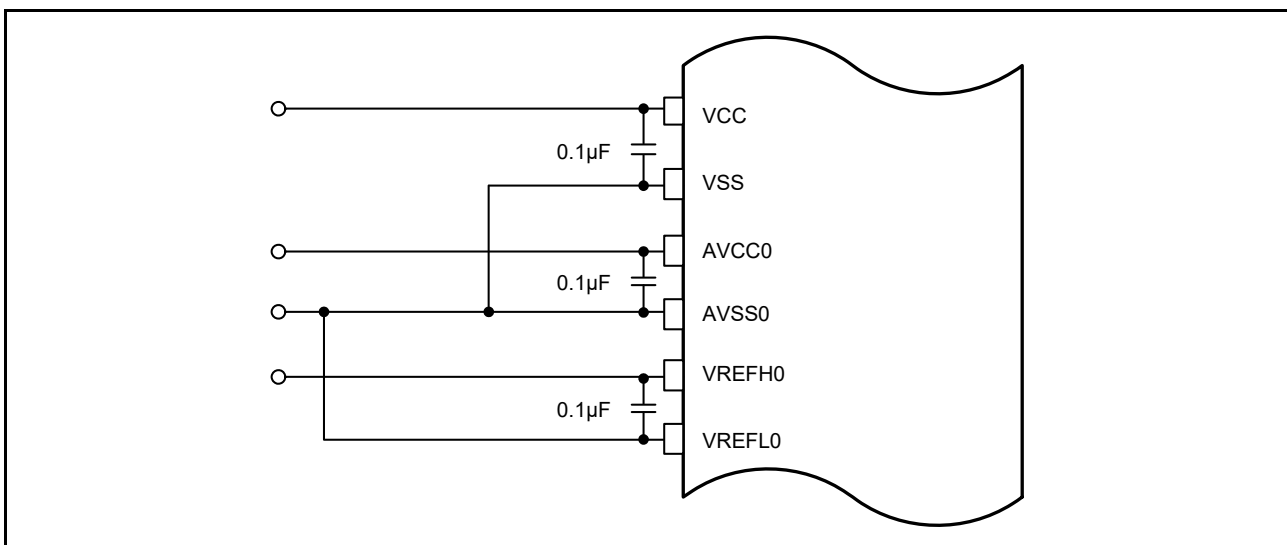


図 40.31 各電源端子の接続例

40.8.12 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN007, AN016 ~ AN031)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

40.8.13 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN007, AN016 ~ AN031) の破壊を防ぐために、図 40.32 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN007, AN016 ~ AN031) を基準に保護回路を接続してください。

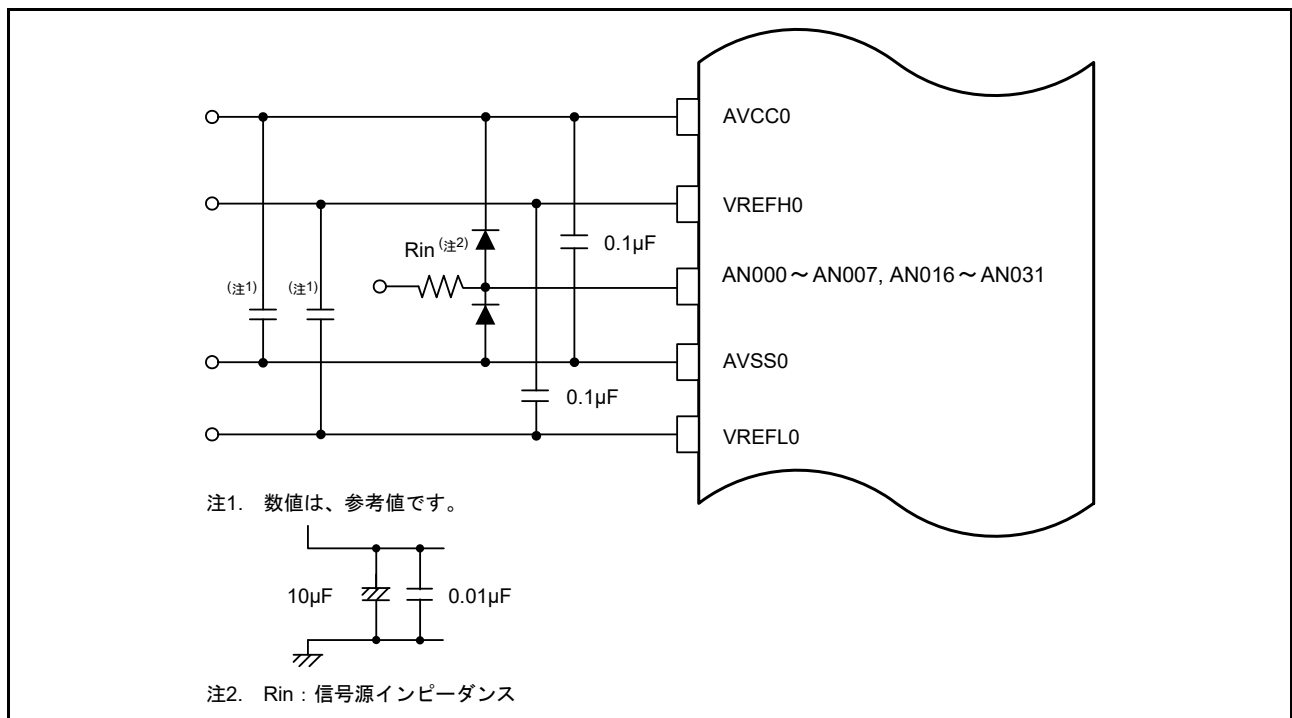


図 40.32 アナログ入力保護回路の例

41. D/Aコンバータ (DAa)

41.1 概要

本MCUは、8ビットD/Aコンバータを2チャンネル内蔵しています。

表41.1に8ビットD/Aコンバータの仕様を示します。図41.1に8ビットD/Aコンバータのブロック図を示します。

表41.1 8ビットD/Aコンバータの仕様

項目	内容
分解能	8ビット
出力チャンネル	2チャンネル
アナログモジュールの干渉対策	<ul style="list-style-type: none"> D/A変換とA/D変換の干渉対策 12ビットA/Dコンバータが出力する12ビットA/Dコンバータ同期D/A変換許可信号により、D/A変換データの更新タイミングを制御する。これにより、8ビットD/Aコンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉によるA/D変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能
イベントリンク機能(入力)	イベント信号の入力により、チャンネル0のD/A変換を開始可能

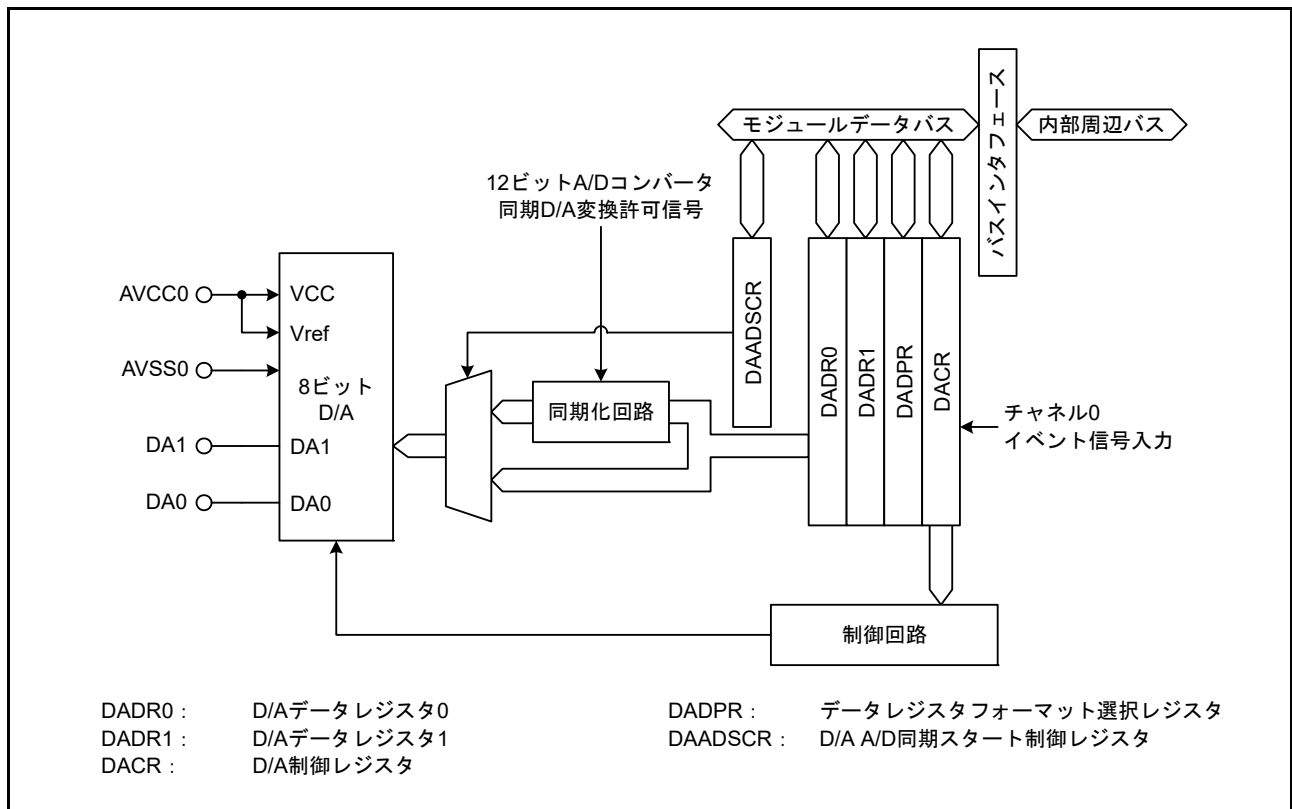


図 41.1 8ビットD/Aコンバータのブロック図

表 41.2 に 8 ビット D/A コンバータで使用する入出力端子を示します。

表 41.2 8ビットD/Aコンバータの入出力端子

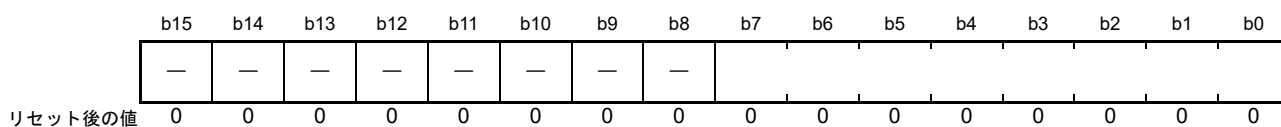
端子名	入出力	機能
AVCC0	入力	アナログ電源端子
AVSS0	入力	アナロググランド端子
DA0	出力	チャンネル0のアナログ出力
DA1	出力	チャンネル1のアナログ出力

41.2 レジスタの説明

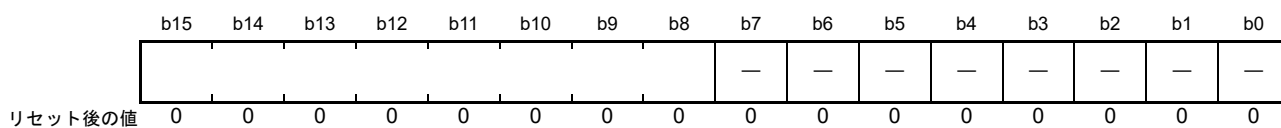
41.2.1 D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス DA.DADR0 0008 80C0h, DA.DADR1 0008 80C2h

- ・ DADPR.DPSEL ビット=0 (データは右詰め)



- ・ DADPR.DPSEL ビット=1 (データは左詰め)



DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換され D/A コンバータから出力されます。

DADPR.DPSEL ビットの設定によって 8 ビットのデータの配置を変更できます。“—” のビットは、読むと“0” が読めます。書く場合、“0” としてください。

41.2.2 D/A 制御レジスタ (DACR)

アドレス DA.DACR 0008 80C4h

b7	b6	b5	b4	b3	b2	b1	b0
DAOE1	DAOE0	—	—	—	—	—	—

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6	DAOE0	D/A出力許可0ビット	0 : チャネル0のアナログ出力(DA0)を禁止 1 : チャネル0のD/A変換を許可 チャネル0のアナログ出力(DA0)を許可	R/W
b7	DAOE1	D/A出力許可1ビット	0 : チャネル1のアナログ出力(DA1)を禁止 1 : チャネル1のD/A変換を許可 チャネル1のアナログ出力(DA1)を許可	R/W

このレジスタは、DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、12ビットA/Dコンバータ停止中に設定してください(ADCSR.ADSTビットが“0”のときに設定してください)。このとき確実に12ビットA/Dコンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

DAOE0 ビット (D/A 出力許可 0 ビット)

D/A変換とアナログ出力を制御します。

イベントリンク機能により、DAOE0ビットを“1”にできます。ELCのELSR16レジスタで設定されたイベントが発生すると、DAOE0ビットが“1”になり、D/A変換出力を開始します。

DAOE1 ビット (D/A 出力許可 1 ビット)

D/A変換とアナログ出力を制御します。

41.2.3 データレジスタフォーマット選択レジスタ (DADPR)

アドレス DA.DADPR 0008 80C5h

b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	フォーマット選択ビット	0 : D/Aデータレジスタは右詰め 1 : D/Aデータレジスタは左詰め	R/W

41.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR)

アドレス DA.DAADSCR 0008 80C6h

	b7	b6	b5	b4	b3	b2	b1	b0
DAADST	—	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0: 8ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換しない(D/A変換とA/D変換の干渉対策の無効) 1: 8ビットD/Aコンバータは、12ビットA/Dコンバータと同期変換する(D/A変換とA/D変換の干渉対策の有効)	R/W

DAADSCRレジスタは、D/A変換とA/D変換の干渉対策のために、8ビットD/Aコンバータの変換開始タイミングを12ビットA/Dコンバータからの12ビットA/Dコンバータ同期D/A変換許可信号に同期させるかさせないかを選択します。

このレジスタは、12ビットA/Dコンバータ停止中に設定してください(12ビットA/Dコンバータのトリガ選択をソフトウェアトリガに選択後、ADCSR.ADSTビットが“0”のときに設定してください)。

DAADSTビット(D/A A/D同期変換ビット)

DAADSTビットを“0”にすると、随時DADR_mレジスタ(m=0,1)の値をD/A変換します。DAADSTビットを“1”にすると、12ビットA/Dコンバータからの同期D/A変換許可信号に同期してD/A変換が行われます。したがって、DADR_mレジスタの値を書き換えても、12ビットA/DコンバータのA/D変換が終了するまでD/A変換は行われません。

DAADSTビットの設定は12ビットA/DコンバータのADCSR.ADSTビットが“0”のときに設定してください。このとき確実に12ビットA/Dコンバータを停止させるため、トリガ選択をソフトウェアトリガに設定してください。

なお、DAADSTビットを“1”にした場合は、イベント機能は使用できません。ELCのELSR16でイベントリンク機能を停止に設定してください。DAADSTビットは、8ビットD/Aコンバータのチャンネル0,1の共通仕様です。

41.3 動作説明

2チャンネルの8ビットD/Aコンバータは、それぞれ独立して変換を行うことができます。

DACR.DA0Emビット(m=0,1)を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図41.2に示します。

- (1) DADPR.DPSELビットとDADR0レジスタにD/A変換を行うためのデータを設定します。
- (2) DACR.DA0E0ビットを“1”にすると、D/A変換が開始されます。変換時間 t_{DCONV} が経過すると、DA0出力が設定値に対応する電圧で安定します。DADR0レジスタを書き換えるか、DA0E0ビットを“0”にするまで、この電圧が出力され続けます。出力電圧(参考)は以下の式で計算します。

$$\frac{\text{DADRmレジスタ}}{256} \times \text{AVCC0}$$

- (3) DADR0レジスタを書き換えると変換が開始されます。変換時間 t_{DCONV} が経過すると、DA0出力が変更した電圧で安定します。DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、D/A変換開始まで最大A/D変換1回分待たされます(ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
- (4) DA0E0ビットを“0”にするとアナログ出力が禁止されます。

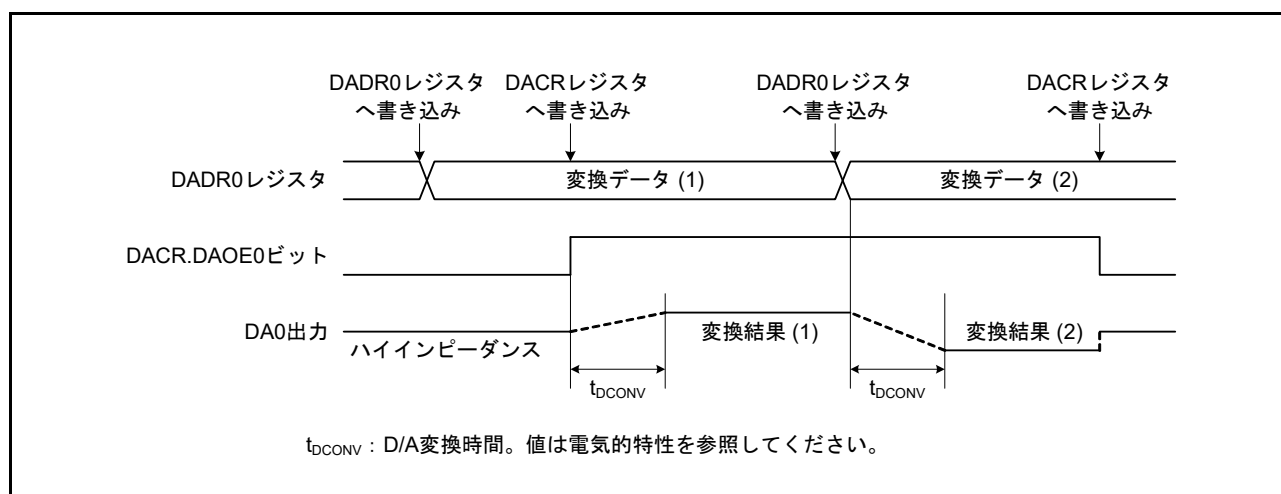


図 41.2 8ビットD/Aコンバータの動作例

41.3.1 D/A変換とA/D変換の干渉対策

D/A変換が始まると8ビットD/Aコンバータにはラッシュカレントが発生します。8ビットD/Aコンバータと12ビットA/Dコンバータのアナログ電源が共通のため、発生したラッシュカレントが12ビットA/Dコンバータの変換に干渉することがあります。

DAADSCR.DAADSTビットを“1”にしている場合、12ビットA/DコンバータがA/D変換中にDADR_mレジスタ ($m=0, 1$) にデータを書き換えても、すぐに変換されず、12ビットA/DコンバータのA/D変換終了タイミングに同期して変換を開始します。DADR_mレジスタへの書き込みからD/A変換回路の入力に反映するまで最大A/D変換1回分待たされます。その間DADR_mレジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADR_mレジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADSTビットを“1”にしている場合であっても、12ビットA/DコンバータがADCSR.ADSTビットを“0”にして停止中であればDADR_mレジスタにデータを書き換えると、1PCLKB後にD/A変換を開始します。

図41.3に8ビットD/Aコンバータを12ビットA/Dコンバータに同期変換させる場合のチャンネル0のD/A変換の動作例を示します。

- (1) 12ビットA/Dコンバータが停止中であることを確認し、DAADSCR.DAADSTビットを“1”にする。
- (2) 12ビットA/Dコンバータが停止中であることを確認し、DACR.DAOE0ビットを“1”にする。
- (3) DADR0レジスタを設定する (ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
 - DADR0レジスタを書き換えたとき、12ビットA/Dコンバータが停止していた場合 (ADCSR.ADSTビット=0)、1PCLKB後にD/A変換が開始されます。
 - DADR0レジスタを書き換えたとき、12ビットA/DコンバータがA/D変換中の場合 (ADCSR.ADSTビット=1)、A/D変換終了時にD/A変換が開始されます。A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

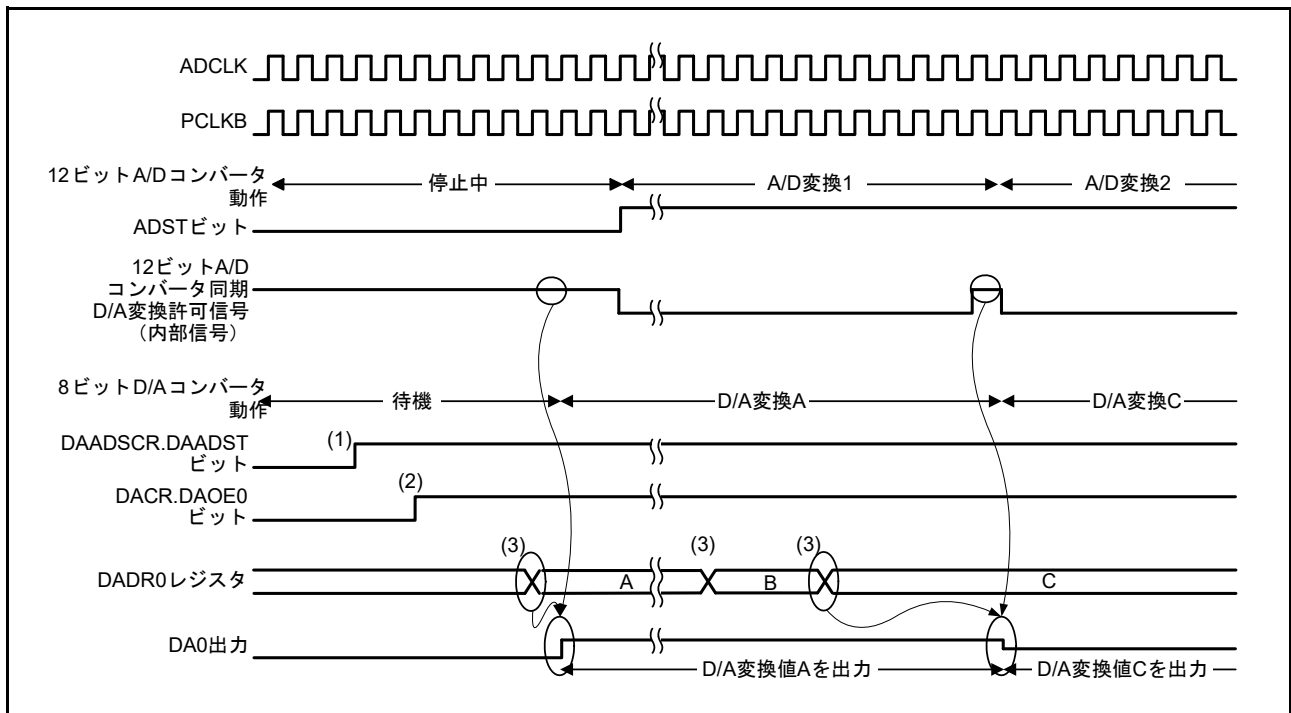


図 41.3 8ビットD/Aコンバータを12ビットA/Dコンバータに同期して変換する例

ADCLKがPCLKBよりも速い場合、A/D変換1とA/D変換2の間に出力されるADCLK1周期分の12ビットA/Dコンバータ同期D/A変換許可信号を8ビットD/Aコンバータが取り込めない可能性があります。図41.4に8ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例を示します。この場合、DA0出力はD/A変換値Aの出力を継続します。

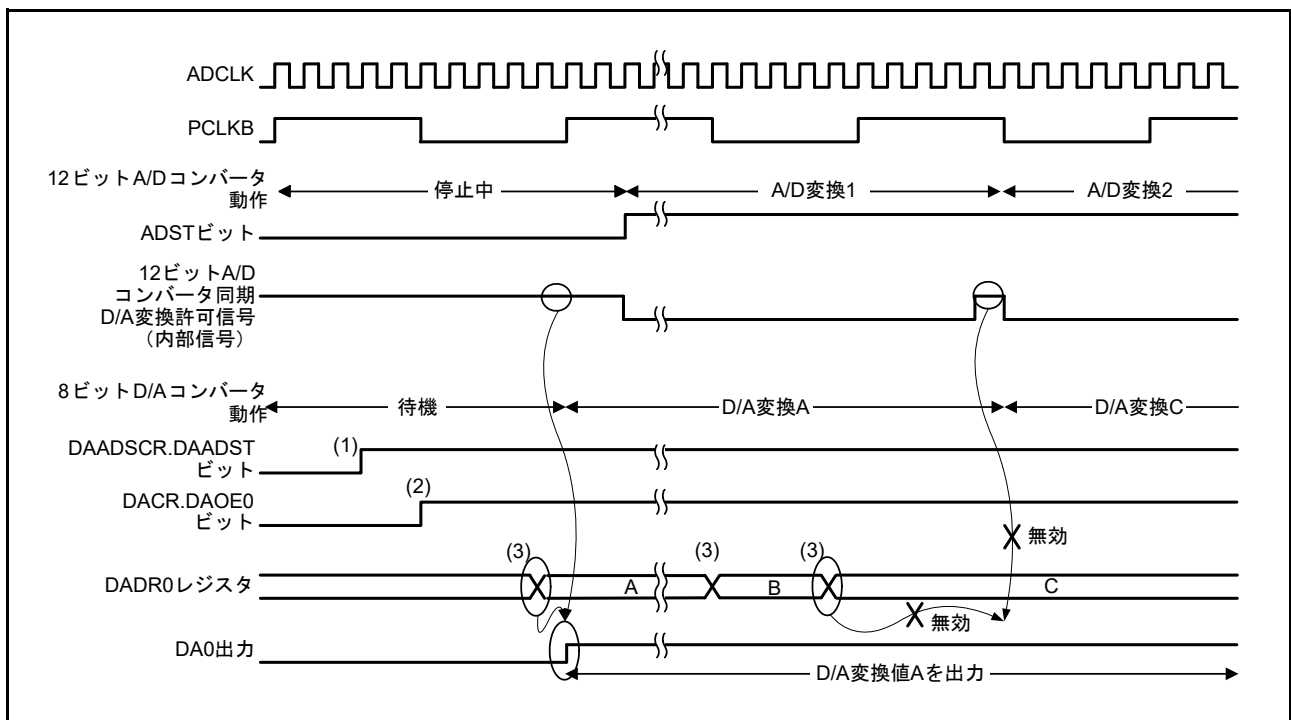


図 41.4 8ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例

41.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

- (1) DADPR.DPSEL ビットの設定と DADR0 レジスタに D/A 変換を行うためのデータを設定します。
- (2) ELC の ELSR16 レジスタにリンクする ELSR16 設定イベント信号のビットの値を設定します。
- (3) ELCR.ELCON ビットを“1”にします。これによりイベントリンクが設定されている全モジュールのイベントリンク動作が有効となります。
- (4) イベント出力元のモジュールを設定し、起動します。モジュールから出力されるイベントにより、DACR.DAOE0 ビットが“1”になり、チャンネル0のD/A変換が開始されます。
- (5) 8ビットD/Aコンバータのチャンネル0のイベントリンク動作を停止するときは、ELSR16.ELS[7:0] ビットに“0000 0000b”を設定してください。また ELCR.ELCON ビットを“0”にすることにより、全モジュールのイベントリンク動作が停止します。

41.5 イベントリンク動作における注意事項

- (1) DACR.DAOE0 ビットへの書き込みサイクル中に ELSR16 レジスタで設定されたイベントが発生すると、DACR.DAOE0 ビットへの書き込みサイクルは行われず、イベント発生による“1”設定が優先されます。
- (2) D/A 変換と A/D 変換の干渉対策として、DAADSCR.DAADST ビットを“1”にする場合、イベントリンク機能は使用禁止です。

41.6 使用上の注意事項

41.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、8ビットD/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、8ビットD/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

41.6.2 モジュールストップ時のD/Aコンバータの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

41.6.3 ソフトウェアスタンバイモード時のD/Aコンバータの動作

D/A変換を許可した状態でソフトウェアスタンバイモードになるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

41.6.4 D/A変換とA/D変換の干渉対策有効時の注意事項

DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、12ビットA/Dコンバータをモジュールストップ状態にしないでください。A/D変換が停止するだけでなく、D/A変換が停止する可能性があります。

42. 温度センサ (TEMPSA)

42.1 概要

本 MCU は、温度センサを内蔵しています。温度センサは温度に比例した電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータでデジタル値に変換し、温度に換算することで、MCU の内部温度を求めることができます。

表 42.1 に温度センサの仕様を示します。図 42.1 に温度センサ周りのブロック図を示します。

表 42.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータへ出力

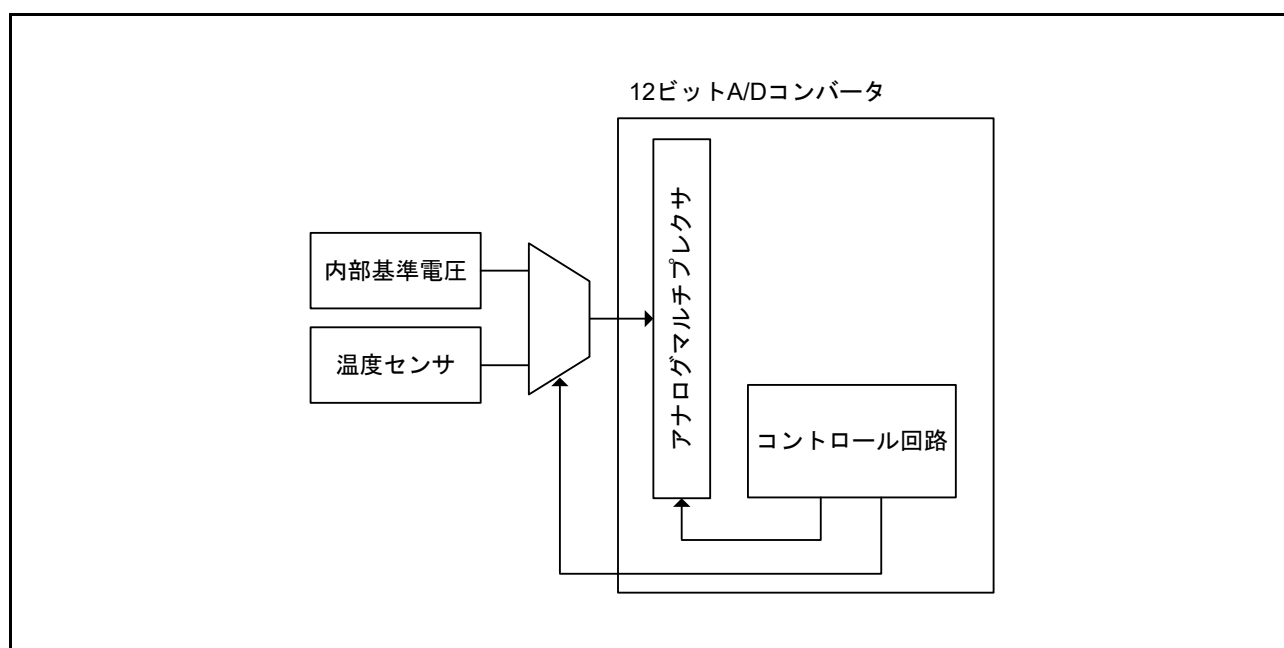
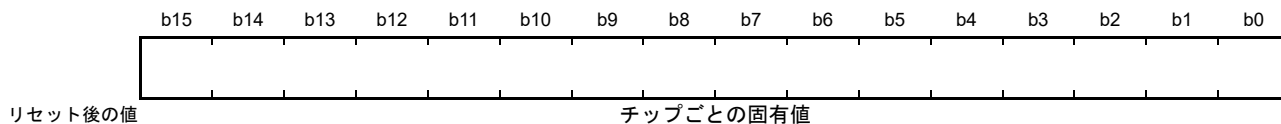


図 42.1 温度センサ周りのブロック図

42.2 レジスタの説明

42.2.1 温度センサ校正データレジスタ (TSCDR)

アドレス TEMPS.TSCDR 007F C228h



TSCDR レジスタには、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、 $T_j = 125^\circ\text{C}$ 、 $AVCC0 = VREFH0 = 3.3\text{V}$ の条件における温度センサの出力電圧を、12ビット A/D コンバータでデジタル変換した値 (CAL_{125}) です。

この変換値 CAL_{125} から、 $T_j = 125^\circ\text{C}$ における温度センサの出力電圧 $V1$ は、

$$V1 = 3.3 \times CAL_{125} / 4096 \quad (\text{V})$$

と計算できます。なお、温度センサの出力電圧 $V1$ は、 $AVCC0$ や $VREFH0$ の電圧に依存しません。

42.3 温度センサの使用法

温度センサは、温度に比例する電圧を出力します。この電圧を 12 ビット A/D コンバータを用いてデジタル変換し、温度に換算することで MCU の内部温度を求めることができます。

42.3.1 使用前の準備

温度センサのキャリブレーションを実施します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

T₂ : 2 点目の試行測定時の温度 (°C)

V₂ : 2 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C) Slope = (V₂ - V₁) / (T₂ - T₁)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

まず、温度 T₁ のときの温度センサの出力電圧 V₁ を 12 ビット A/D コンバータで試行測定することで求めます。

次に、温度 T₁ と異なる温度 T₂ のときの温度センサの出力電圧 V₂ を 12 ビット A/D コンバータにて試行測定することで求めます。

両者の測定結果から、温度傾斜 (Slope = (V₂ - V₁) / (T₂ - T₁)) を求めます。

この Slope を温度特性の式に代入し、測定温度 T = (V_s - V₁) / Slope + T₁ を求めます。

また、「47. 電気的特性」に記載の温度傾斜を用いることで、温度 T₁ のときの温度センサの出力電圧 V₁ を、12 ビット A/D コンバータで試行測定することで求め、下記式により測定温度を算出します。なお、本測定温度精度は 2 点測定方法よりも劣ります。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

また、本 MCU は、TSCDR レジスタに、T_j = 125°C、AVCC0 = VREFH0 = 3.3V の条件における温度センサの温度測定値 (CAL₁₂₅) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

CAL₁₂₅ から V₁ を求めると、

$$V_1 = 3.3 \times \text{CAL}_{125} / 4096 \quad (\text{V})$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (V_s - V_1) / \text{Slope} + 125 \quad (^\circ\text{C})$$

T : 測定温度 (MCU の内部温度) (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

V_1 : $T_j = 125^\circ\text{C}$ 、 $AVCC0 = VREFH0 = 3.3\text{V}$ 時の温度センサの出力電圧 (V)

Slope : 表 47.74 に記載の温度傾斜 $\div 1000$ ($\text{V}/^\circ\text{C}$)

なお、測定温度誤差 (ばらつき範囲は 3σ) は、図 42.2 のとおりです。

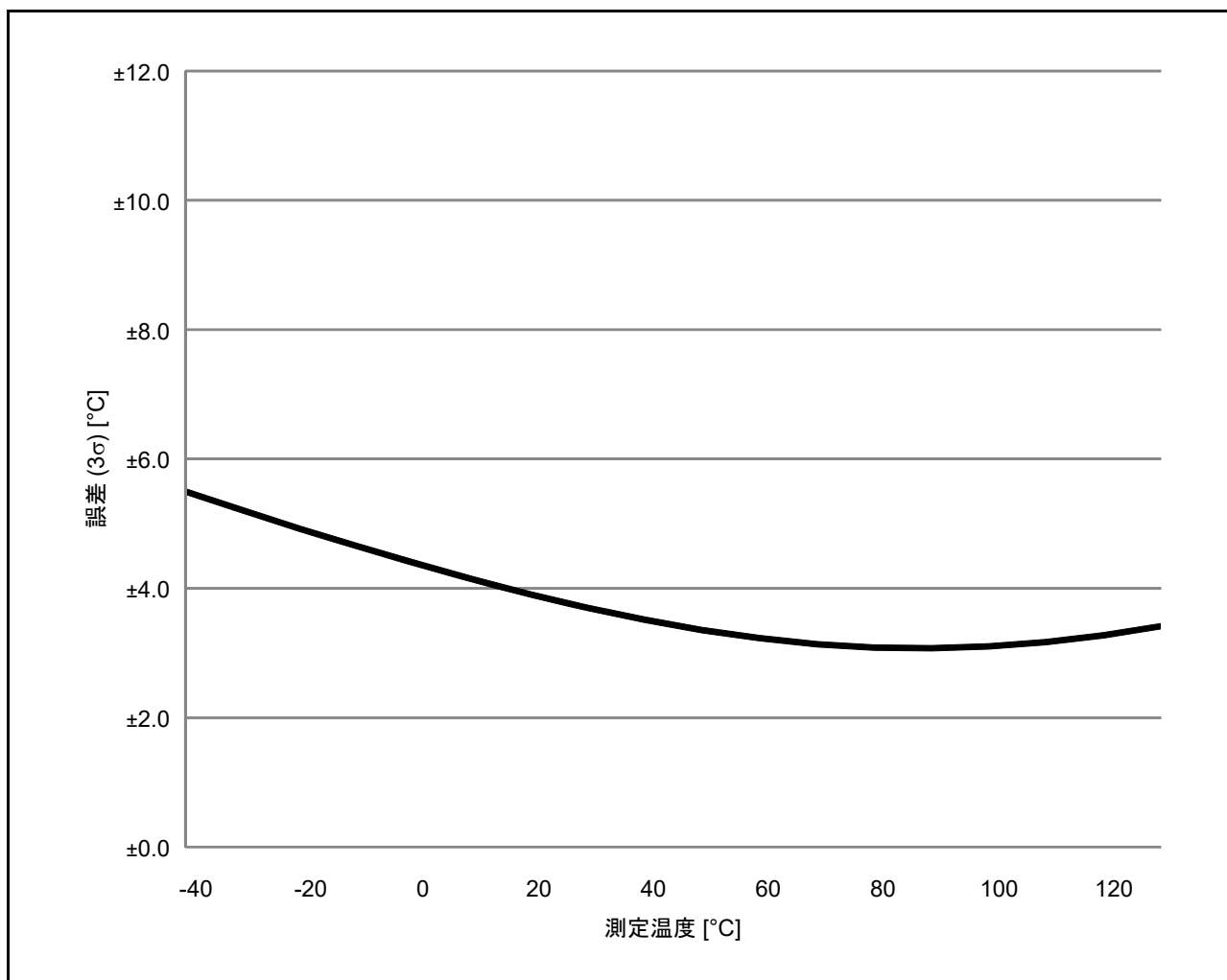


図 42.2 測定温度誤差 (設計値)

42.3.2 12 ビット A/D コンバータの設定

詳細は、「40. 12 ビット A/D コンバータ (S12ADE)」を参照してください。

43. コンパレータ B (CMPBa)

コンパレータ B はリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータ B0 とコンパレータ B1 の独立した 2 つのコンパレータです。

本章に記載している PCLK とは PCLKB を指します。

43.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、比較結果を外部に出力することもできます。リファレンス入力電圧として CVREFBn 端子 (n = 0, 1) への入力、または MCU 内部で生成する内部基準電圧のいずれかを選択可能です。

動作開始前にコンパレータ B 応答速度を設定することができます。高速モードにすると応答遅延時間が小さくなりますが消費電流は大きくなります。低速モードにすると応答遅延時間が大きいですが、消費電流は小さくなります。

表 43.1 にコンパレータ B の仕様、図 43.1 にウィンドウ機能無効時のコンパレータ B0、B1 のブロック図、図 43.2 にウィンドウ機能有効時のコンパレータ B0、B1 のブロック図、表 43.2 にコンパレータ B の入出力端子を示します。

表 43.1 コンパレータ B の仕様 (n = 0, 1)

項目	内容
アナログ入力電圧	CMPBn 端子への入力電圧
リファレンス入力電圧	CVREFBn 端子への入力電圧または内部基準電圧
比較結果	CPBFLG.CPBnOUT フラグの読み出し 比較結果を CMPOBn 端子へ出力可能
割り込み要求発生タイミング	コンパレータ B0 の比較結果が変化するとき コンパレータ B1 の比較結果が変化するとき
ELC へのイベント発生タイミング	コンパレータ B0 の比較結果が変化するとき コンパレータ B0 または B1 の比較結果が変化するとき
POE 要因出力タイミング	コンパレータ B0 の比較結果が変化するとき コンパレータ B1 の比較結果が変化するとき
選択機能	<ul style="list-style-type: none"> デジタルフィルタ機能 デジタルフィルタの有無、サンプリング周波数を選択可能 ウィンドウ機能 ウィンドウ機能 (VRFL < CMPBn < VRFH)^(注1)の有効/無効を選択可能 リファレンス入力電圧 CVREFBn 端子入力/内部基準電圧 (内部生成) を選択可能 コンパレータ B 応答速度 高速モード/低速モードを選択可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. VRFL: 低電位側リファレンス電圧、VRFH: 高電位側リファレンス電圧

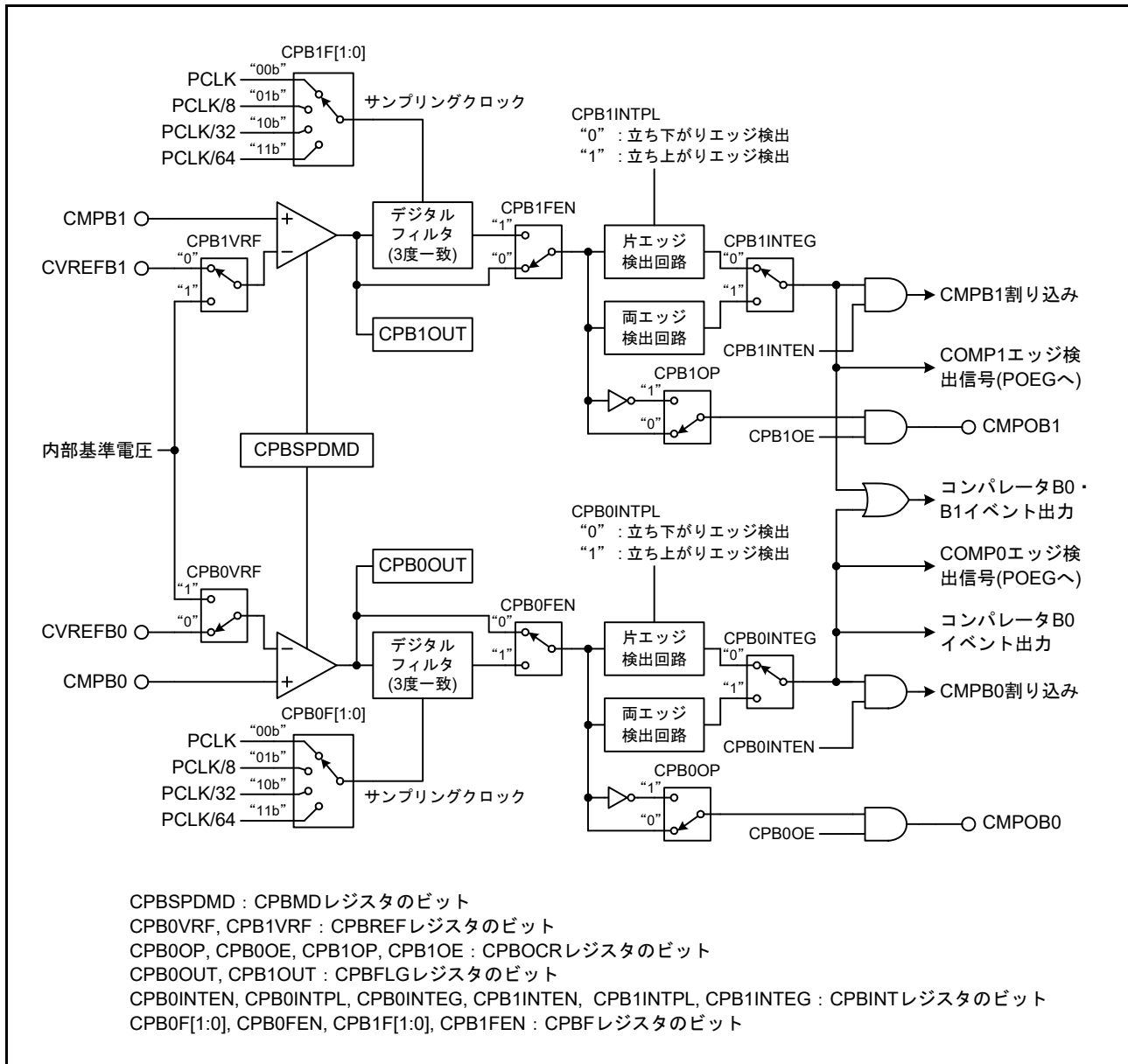


図 43.1 コンパレータ B0、B1 のブロック図 (ウィンドウ機能無効時)

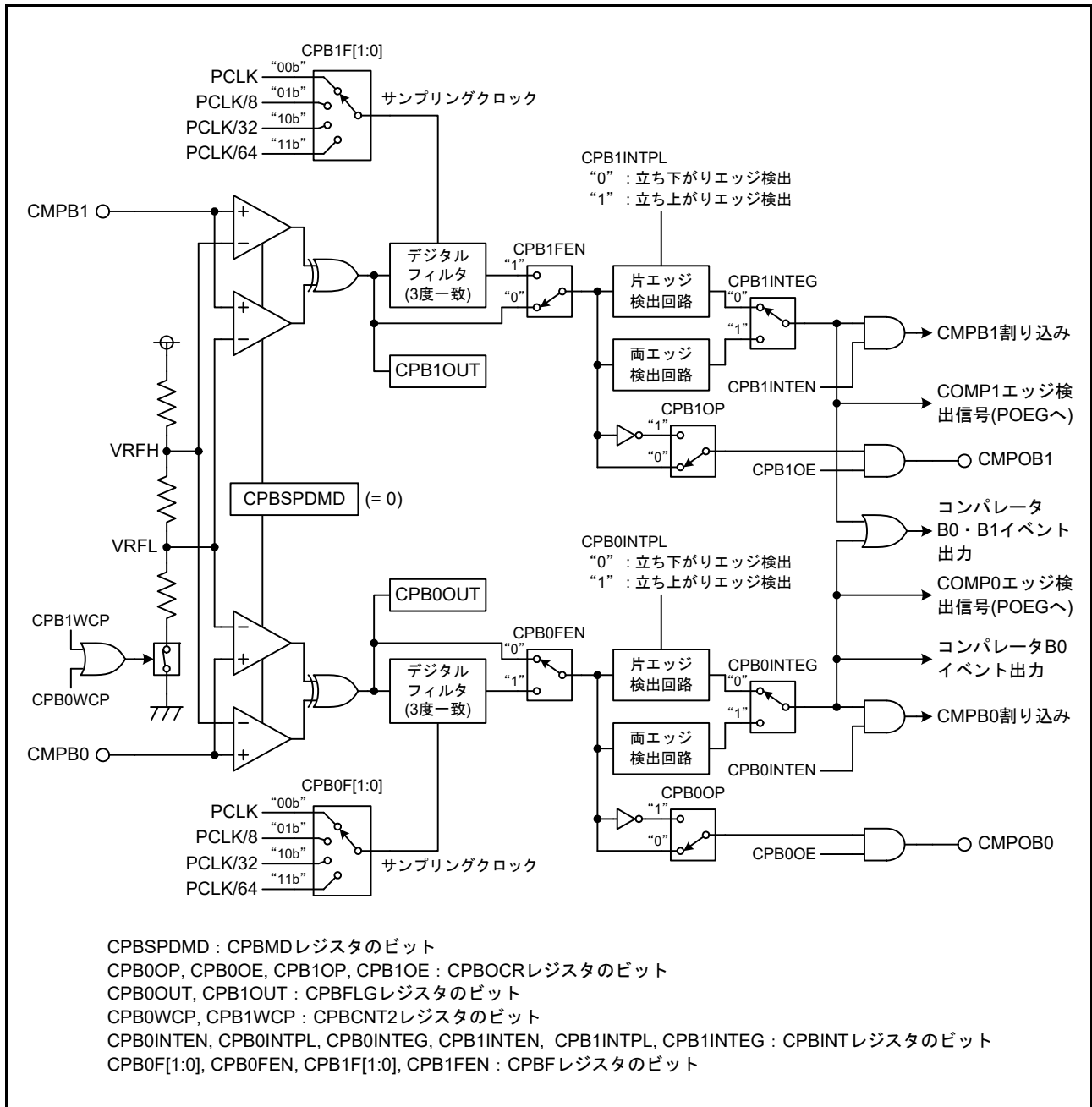


図 43.2 コンパレータ B0、B1 のブロック図 (ウィンドウ機能有効時)

表 43.2 コンパレータ B の入出力端子

端子名	入出力	機能
CMPB0	入力	コンパレータ B0 用アナログ端子
CVREFB0	入力	コンパレータ B0 用リファレンス入力電圧端子
CMPB1	入力	コンパレータ B1 用アナログ端子
CVREFB1	入力	コンパレータ B1 用リファレンス入力電圧端子
CMPOB0	出力	コンパレータ B0 出力端子
CMPOB1	出力	コンパレータ B1 出力端子

43.2 レジスタの説明

43.2.1 コンパレータ B 制御レジスタ 1 (CPBCNT1)

アドレス CMPB.CPBCNT1 0008 C580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB1I NI	—	—	—	CPB0I NI
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0INI	コンパレータ B0 許可ビット	0 : 禁止 1 : 許可 (コンパレータの電源 ON)	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1INI	コンパレータ B1 許可ビット	0 : 禁止 1 : 許可 (コンパレータの電源 ON)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

43.2.2 コンパレータ B 制御レジスタ 2 (CPBCNT2)

アドレス CMPB.CPBCNT2 0008 C581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB1W CP	—	—	—	CPB0W CP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0WCP	コンパレータ B0 ウィンドウ機能有効ビット	0 : 無効 1 : 有効(注1)	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1WCP	コンパレータ B1 ウィンドウ機能有効ビット	0 : 無効 1 : 有効(注1)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ウィンドウ機能を有効にする前に、CPBMD.CPBSPDMD ビットを“0”にしてください。

43.2.3 コンパレータ B フラグレジスタ (CPBFLG)

アドレス CMPB.CPBFLG 0008 C582h

b7	b6	b5	b4	b3	b2	b1	b0
CPB1OUT	—	—	—	CPB0OUT	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	CPB0OUT	コンパレータ B0 モニタフラグ	(ウィンドウ機能無効時) 0 : CMPB0 < CVREFB0 または CMPB0 < 内部基準電圧、 またはコンパレータ B0 動作禁止 1 : CMPB0 > CVREFB0 または CMPB0 > 内部基準電圧 (ウィンドウ機能有効時) 0 : CMPB0 < VRFL(注1) または CMPB0 > VRFH(注1)、また はコンパレータ B0 動作禁止 1 : VRFL < CMPB0 < VRFH	R
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CPB1OUT	コンパレータ B1 モニタフラグ	(ウィンドウ機能無効時) 0 : CMPB1 < CVREFB1 または CMPB1 < 内部基準電圧、 またはコンパレータ B1 動作禁止 1 : CMPB1 > CVREFB1 または CMPB1 > 内部基準電圧 (ウィンドウ機能有効時) 0 : CMPB1 < VRFL(注1) または CMPB1 > VRFH(注1)、また はコンパレータ B1 動作禁止 1 : VRFL < CMPB1 < VRFH	R

注1. VRFL: 低電位側リファレンス電圧、VRFH: 高電位側リファレンス電圧

43.2.4 コンパレータ B 割り込み制御レジスタ (CPBINT)

アドレス CMPB.CPBINT 0008 C583h

b7	b6	b5	b4	b3	b2	b1	b0
—	CPB11 NTPL	CPB11 NTEG	CPB11 NTEN	—	CPB01 NTPL	CPB01 NTEG	CPB01 NTEN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0INTEN	コンパレータ B0 割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b1	CPB0INTEG	コンパレータ B0 割り込み/イベント エッジ選択ビット(注1)	0 : 片エッジ 1 : 両エッジ	R/W
b2	CPB0INTPL	コンパレータ B0 割り込み/イベント エッジ極性選択ビット(注2)	0 : 立ち下がリエッジ 1 : 立ち上がりエッジ	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1INTEN	コンパレータ B1 割り込み許可ビット	0 : 禁止 1 : 許可	R/W
b5	CPB1INTEG	コンパレータ B1 割り込み/イベント エッジ選択ビット(注1)	0 : 片エッジ 1 : 両エッジ	R/W
b6	CPB1INTPL	コンパレータ B1 割り込み/イベント エッジ極性選択ビット(注2)	0 : 立ち下がリエッジ 1 : 立ち上がりエッジ	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPB0INTPL ビットを変更すると、IR058.IR フラグが“1” (割り込み要求あり) に、CPB1INTPL ビットを変更すると、IR059.IR フラグが“1” (割り込み要求あり) になることがあります。「14. 割り込みコントローラ (ICUb)」を参照してください。

注2. CPBnINTPL ビットは CPBnINTEG ビット = 0 (片エッジ) のときのみ有効です。

43.2.5 コンパレータ B フィルタ選択レジスタ (CPBF)

アドレス CMPB.CPBF 0008 C584h

b7	b6	b5	b4	b3	b2	b1	b0
CPB1F[1:0]	—	CPB1F EN	CPB0F[1:0]	—	CPB0F EN		

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0FEN	コンパレータ B0 フィルタ有効/無効 選択ビット(注1)	0 : フィルタ無効 1 : フィルタ有効	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CPB0F[1:0]	コンパレータ B0 フィルタ選択ビット (注1)	b3 b2 0 0 : PCLKでサンプリング 0 1 : PCLK/8でサンプリング 1 0 : PCLK/32でサンプリング 1 1 : PCLK/64でサンプリング	R/W
b4	CPB1FEN	コンパレータ B1 フィルタ有効/無効 選択ビット(注1)	0 : フィルタ無効 1 : フィルタ有効	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CPB1F[1:0]	コンパレータ B1 フィルタ選択ビット (注1)	b7 b6 0 0 : PCLKでサンプリング 0 1 : PCLK/8でサンプリング 1 0 : PCLK/32でサンプリング 1 1 : PCLK/64でサンプリング	R/W

注1. CPBnF[1:0]ビットはCPBnFENビット=1のとき(フィルタ有効を選択時)のみ有効です。

43.2.6 コンパレータ B モード選択レジスタ (CPBMD)

アドレス CMPB.CPBMD 0008 C585h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CPBSP DMD

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPBSPDMD	コンパレータ B 速度選択ビット(注1)	0 : 高速モード 1 : 低速モード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPBSPDMDビットを書き換える場合は、CPBCNT1レジスタのCPBnNIビット(n = 0, 1)を“0”にしてから書き換えてください。

43.2.7 コンパレータ B リファレンス入力電圧選択レジスタ (CPBREF)

アドレス CMPB.CPBREF 0008 C586h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CPB1V RF	—	—	—	CPB0V RF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0VRF	コンパレータ B0 リファレンス 入力電圧選択ビット	0 : コンパレータ B0 リファレンス入力電圧は CVREFB0 入力 1 : コンパレータ B0 リファレンス入力電圧は内部基準電圧(注 1、注2、注3)	R/W (注4)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1VRF	コンパレータ B1 リファレンス 入力電圧選択ビット	0 : コンパレータ B1 リファレンス入力電圧は CVREFB1 入力 1 : コンパレータ B1 リファレンス入力電圧は内部基準電圧(注 1、注2、注3)	R/W (注4)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ウィンドウ機能無効時のみ有効です。ウィンドウ機能有効時には、本ビットの設定に関わらずコンパレータ B 内部のリファレンス入力電圧が選択されます。
- 注2. 内部基準電圧を選択している場合は、A/Dコンバータに温度センサ出力は選択禁止です。
- 注3. 内部基準電圧を選択した場合は電圧発生回路が動作し、75 μ A程度電流が増加します。内部基準電圧を選択したままソフトウェアスタンバイモードに遷移しても電圧発生回路は自動的にOFFしません。
- 注4. CPBnVRF ビットは、CPBCNT2.CPBnWCP = 0のときは書き換え禁止です。

リファレンス入力電圧を変更する場合の注意点

- リファレンス入力電圧を CVREFBn (n = 0, 1) から内部基準電圧へ変更する場合、下記手順に従い、変更してください。
 - CPBCNT1.CPBnINI ビットを“1”にする。
 - CPBCNT2.CPBnWCP ビットを“1”にする。
 - CPBREF.CPBnVRF ビットを“1”にして、内部基準電圧を選択する。
 - CVREFBn 端子として使用しているポートの端子機能制御レジスタのアナログ選択ビット (ASEL) を“0”にする。
 - コンパレータの動作が安定するのを待つ (動作安定待ち時間 (Tcmp)(注1))。
 - CPBCNT2.CPBnWCP ビットを“0”にする。
- リファレンス入力電圧を内部基準電圧から CVREFBn (n = 0, 1) へ変更する場合、下記手順に従い、変更してください。
 - CPBCNT1.CPBnINI ビットを“1”にする。
 - CPBCNT2.CPBnWCP ビットを“1”にする。
 - CPBREF.CPBnVRF ビットを“0”にして、CVREFBn 端子入力を選択する。
 - CVREFBn 端子として使用しているポートの端子機能制御レジスタのアナログ選択ビット (ASEL) を“1”にする。
 - コンパレータの動作が安定するのを待つ (動作安定待ち時間 (Tcmp)(注1))。
 - CPBCNT2.CPBnWCP ビットを“0”にする。

注1. 動作安定待ち時間 (Tcmp) については電気的特性を参照してください。

43.2.8 コンパレータ B 出力制御レジスタ (CPBOCR)

アドレス CMPB.CPBOCR 0008 C587h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CPB1O P	CPB1O E	—	—	CPB0O P	CPB0O E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPB0OE	CMPOB0端子出力許可ビット	0: コンパレータ B0のCMPOB0端子出力禁止(注1) 1: コンパレータ B0のCMPOB0端子出力許可	R/W
b1	CPB0OP	CMPOB0出力極性選択ビット	0: コンパレータ B0出力をCMPOB0端子に出力 1: コンパレータ B0出力の反転をCMPOB0端子に出力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CPB1OE	CMPOB1端子出力許可ビット	0: コンパレータ B1のCMPOB1端子出力禁止(注1) 1: コンパレータ B1のCMPOB1端子出力許可	R/W
b5	CPB1OP	CMPOB1出力極性選択ビット	0: コンパレータ B1出力をCMPOB1端子に出力 1: コンパレータ B1出力の反転をCMPOB1端子に出力	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CPBnOEビット(n = 0, 1)を“0”にして、CMPOBn端子の出力を禁止した場合、CPBnOPビットの値に関わらず、CMPOBn端子にはLowを出力します。

43.3 動作説明

コンパレータ B0 とコンパレータ B1 はそれぞれ独立して動作できます。各チャンネルの動作は同じです。なお、比較中にレジスタの値を変更したときの動作は保証しません。

43.3.1 設定手順

表 43.3 にウィンドウ機能無効時のコンパレータ B 関連レジスタの設定手順を、表 43.4 にウィンドウ機能有効時のコンパレータ B 関連レジスタの設定手順を示します。

表 43.3 コンパレータ B 関連レジスタの設定手順(ウィンドウ機能無効時) (n = 0, 1)

順番	レジスタ	ビット	設定値
1	CMPBn 端子を割り当てているポートの PijPFS	ASEL	1
2	CPBMD	CPBSPDMD	コンパレータ応答速度の選択 (0 : 高速モード / 1 : 低速モード)
3	CPBCNT1	CPBnINI	電源 ON にする : 1
4	CPBCNT2	CPBnWCP	1(注1)
5	CPBREF	CPBnVRF	0 : リファレンス入力電圧 = CVREFBn 入力(注1) 1 : リファレンス入力電圧 = 内部基準電圧
6	CVREFBn 端子を割り当てているポートの PijPFS	ASEL	1 0
7	コンパレータの動作が安定するのを待つ(注1)(動作安定待ち時間(Tcmp)(注2))		
8	CPBCNT2	CPBnWCP	0(注1)
9	CPBF	フィルタ有無、サンプリングクロック選択	
10	コンパレータの動作が安定するのを待つ(動作安定待ち時間(Tcmp)(注2))		
11	CPBOCR	CPBnOP, CPBnOE	CMPOBn 出力の設定(極性選択、出力許可/禁止を設定)
12	CPBINT	CPBnINTEN	割り込みを使用する場合 : 1 (割り込み許可)
		CPBnINTEG	割り込み、イベント出力、または POE 要因出力を使用する場合 : エッジを選択 (1 = 両エッジ / 0 = 片エッジ)
		CPBnINTPL	割り込み、イベント出力、または POE 要因出力を使用する場合 : CPBnINTEG = 0 (片エッジ選択) の場合、エッジ極性を選択 (1 = 立ち上がりエッジ / 0 = 立ち下がりエッジ)
13	IPR058 (コンパレータ B0), IPR059 (コンパレータ B1)	IPR[3:0]	割り込みを使用する場合 : 割り込み優先レベル選択
	IR058 (コンパレータ B0), IR059 (コンパレータ B1)	IR	割り込みを使用する場合 : 0 (割り込み要求なし : 初期化)
	IER07	IEN2 (コンパレータ B0), IEN3 (コンパレータ B1)	割り込みを使用する場合 : 1 (割り込みコントローラ (ICU) 側の割り込み許可)

注1. リファレンス入力電圧を CVREFBn 入力から内部基準電圧、もしくは内部基準電圧から CVREFBn 入力へ変更する場合、必要な設定です。リセット解除後で CVREFBn 入力を選択する場合であれば CPBREF.CPBnVRF ビットの初期値が“0”であるため、手順4、5、7、8は不要です。

注2. 動作安定待ち時間(Tcmp)については電気的特性を参照してください。

表43.4 コンパレータB関連レジスタの設定手順(ウィンドウ機能有効時)(n = 0, 1)

順番	レジスタ	ビット	設定値
1	CMPBn端子を割り当てているポートのPijPFS	ASEL	1
2	CPBMD	CPBSPDMD	0 (高速モードを指定)
3	CPBCNT1	CPBnINI	電源ONにする: 1
4	CPBF	フィルタ有無、サンプリングクロック選択	
5	CPBCNT2	CPBnWCP	1 (動作許可)
6	コンパレータの動作が安定するのを待つ(動作安定待ち時間(Tcmp)(注1))		
7	CPBOCR	CPBnOP, CPBnOE	CMPOBn出力の設定(極性選択、出力許可/禁止を設定)
8	CPBINT	CPBnINTEN	割り込みを使用する場合: 1 (割り込み許可)
		CPBnINTEG	割り込み、イベント出力、またはPOE要因出力を使用する場合: エッジを選択(1 = 両エッジ/0 = 片エッジ)
		CPBnINTPL	割り込み、イベント出力、またはPOE要因出力を使用する場合: CPBnINTEG = 0 (片エッジ選択)の場合、エッジ極性を選択(1 = 立ち上がりエッジ/0 = 立ち下がりエッジ)
9	IPR058 (コンパレータB0), IPR059 (コンパレータB1)	IPR[3:0]	割り込みを使用する場合: 割り込み優先レベル選択
	IR058 (コンパレータB0), IR059 (コンパレータB1)	IR	割り込みを使用する場合: 0 (割り込み要求なし: 初期化)
	IER07	IEN2 (コンパレータB0), IEN3 (コンパレータB1)	割り込みを使用する場合: 1 (割り込み許可)

注1. 動作安定待ち時間(Tcmp)については電気的特性を参照してください。

43.3.2 動作例

図 43.3 にウィンドウ機能無効時のコンパレータ B_n の動作例 (n = 0, 1) を示します。

リファレンス入力電圧 (CVREFB0/CVREFB1 または内部基準電圧) とアナログ入力電圧 (CMPB_n) の比較を行います。リファレンス入力よりアナログ入力の電圧が高い場合は、CPBFLG.CPB_nOUT ビットが“1”になり、リファレンス入力よりアナログ入力の電圧が低い場合は、CPB_nOUT ビットが“0”になります。

コンパレータ B_n 割り込みを使用する場合は、CPBINT.CPB_nINTEN ビットを“1”(割り込み許可)にしてください。このとき比較結果が変化すれば、コンパレータ B_n 割り込み要求が発生します。割り込みについては「43.4 割り込み」を参照してください。

コンパレータ B₀、B₁ は ELC へイベント信号を出力し、他のモジュールを動作させることができます。イベント信号については「43.5 イベントリンク出力機能」を参照してください。

また、コンパレータ B₀、B₁ は、POEG に対し COMP_n エッジ検出信号を POE 要因として出力します。POE 要因出力の生成については「43.6 POEG への POE 要因出力」を参照してください。

比較中は、各レジスタの値を変更しないでください。

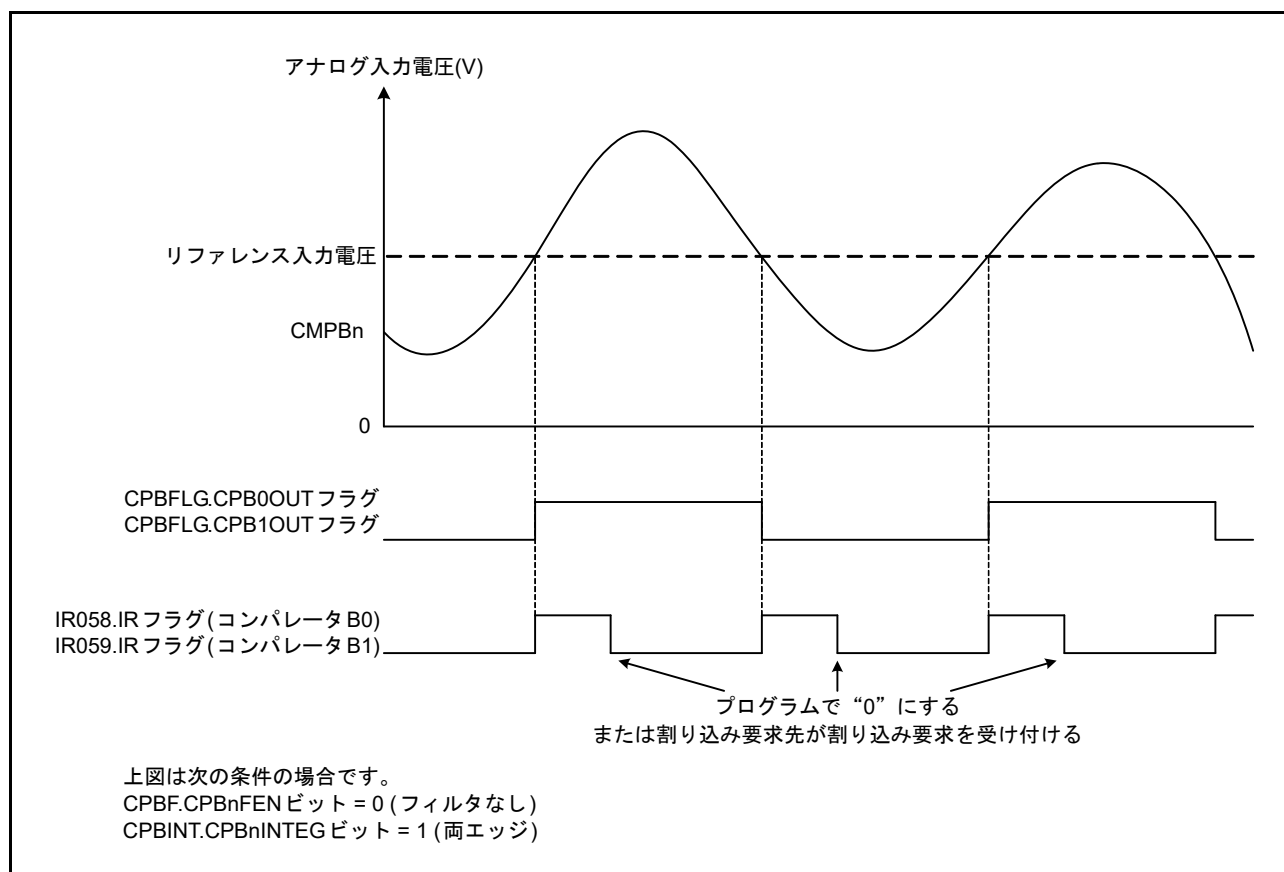


図 43.3 コンパレータ B_n の動作例 (ウィンドウ機能無効時) (n = 0, 1)

図 43.4 にウィンドウ機能有効時のコンパレータ Bn の動作例 (n = 0, 1) を示します。

ウィンドウ機能用内部基準電圧 (VRFH/VRFL) とアナログ入力電圧 (CMPBn) の比較を行います。VRFL < アナログ入力電圧 < VRFH となる場合は、CPBnOUT ビットが“1”になり、アナログ入力電圧 < VRFL または VRFH < アナログ入力電圧となる場合は CPBnOUT ビットが“0”になります。

コンパレータ Bn 割り込みを使用する場合は、CPBINT.CPBnINTEN ビットを“1” (割り込み許可) にしてください。このとき比較結果が変化すれば、コンパレータ Bn 割り込み要求が発生します。割り込みについては「43.4 割り込み」を参照してください。

コンパレータ B0、B1 は ELC へイベント信号を出力し、他のモジュールを動作させることができます。イベント信号については「43.5 イベントリンク出力機能」を参照してください。

また、コンパレータ B0、B1 は、POEG に対し COMPn エッジ検出信号を POE 要因として出力します。POE 要因出力の生成については「43.6 POEG への POE 要因出力」を参照してください。

比較中は、各レジスタの値を変更しないでください。

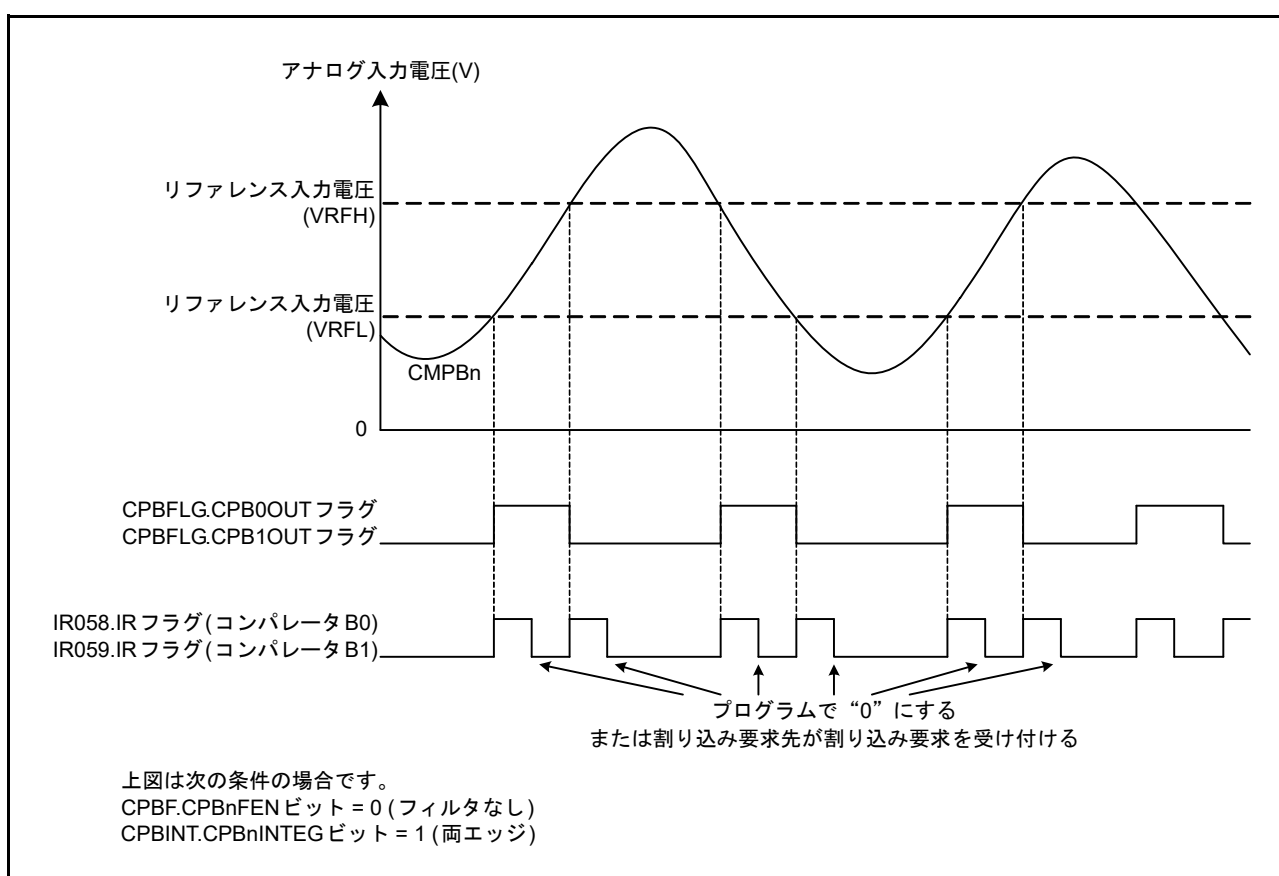


図 43.4 コンパレータ Bn の動作例 (ウィンドウ機能有効時) (n = 0, 1)

43.3.3 コンパレータ Bn デジタルフィルタ (n = 0, 1)

サンプリングクロックは、CPBF.CPBnF[1:0] ビットで選択できます。サンプリングクロックごとにコンパレータ Bn の CPBnOUT 出力信号 (内部信号) をサンプリングし、レベルが 3 度一致した次のクロックタイミングで、IR058.IR フラグ (コンパレータ B0 選択時)、IR059.IR フラグ (コンパレータ B1 選択時) が “1” (割り込み要求あり) になり、ELC へのイベント信号や POEG へのエッジ検出信号が出力されます。

図 43.5 にコンパレータ Bn デジタルフィルタの構成を、図 43.6 にコンパレータ Bn デジタルフィルタの動作例を示します。

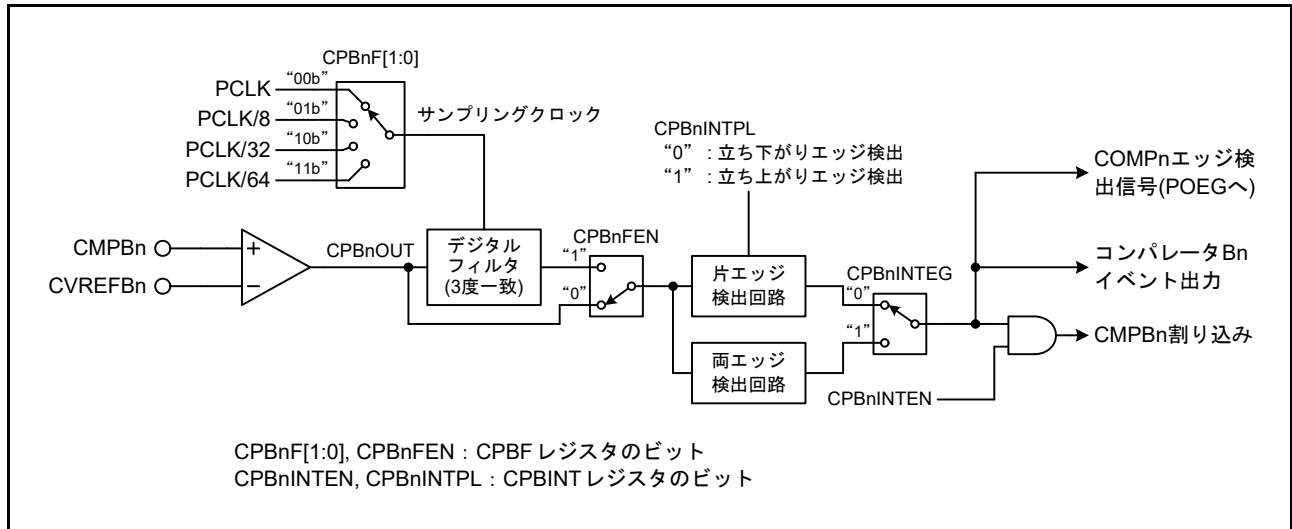


図 43.5 コンパレータ Bn デジタルフィルタの構成 (n = 0, 1)

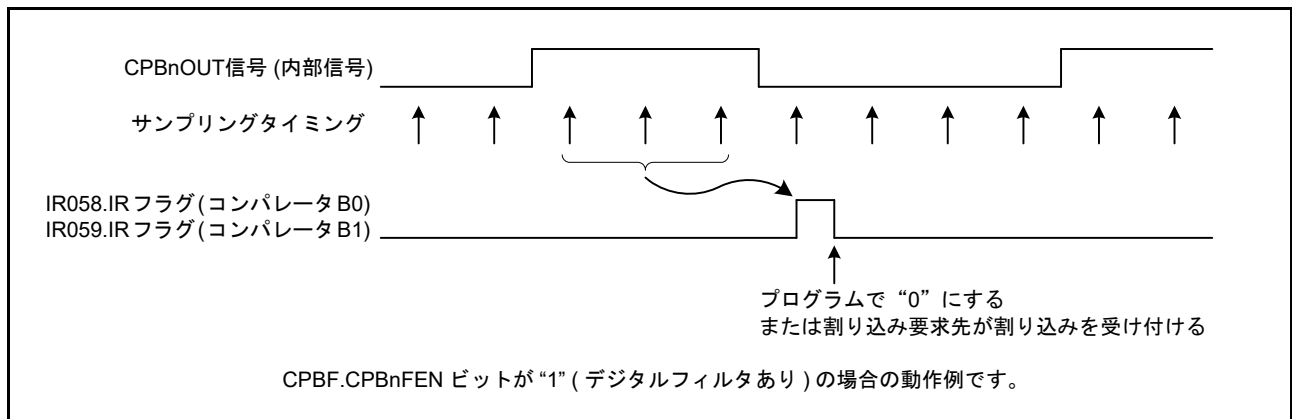


図 43.6 コンパレータ Bn デジタルフィルタの動作例 (n = 0, 1)

43.3.4 コンパレータ Bn 出力機能 (n = 0, 1)

コンパレータ B の比較結果を外部端子へ出力することができます。CPBOCR.CPBnOP ビット、CPBOCR.CPBnOE ビットにより出力極性 (そのまま出力 / 反転出力) および、出力許可 / 禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、「43.2.8 コンパレータ B 出力制御レジスタ (CPBOCR)」を参照してください。

CMPOB0 端子または CMPOB1 端子にコンパレータ B 比較結果を出力する場合は、以下の手順に従ってポートを設定してください (リセット後、ポートは入力設定になっています)。

- (1) コンパレータ B のモード設定、入力設定をする (表 43.3 記載の順番 1 ~ 10 および、表 43.4 記載の順番 1 ~ 6)。
- (2) CMPOB0、CMPOB1 端子の出力極性を選択、出力を許可する (CPBOCR.CPBnOP ビット、CPBOCR.CPBnOE ビットを設定)。
- (3) CMPOB0、CMPOB1 端子に対応するポートモードレジスタ、端子機能制御レジスタの設定をする (端子から出力開始)。

43.3.5 コンパレータ B を使用したソフトウェアスタンバイモード復帰例

コンパレータ B1 出力を使用してソフトウェアスタンバイモードから復帰する例を示します。

この例では、ソフトウェアスタンバイモード移行前がリファレンス入力電圧 (CVREFB1) > アナログ入力電圧 (CMPB1) の場合を示します。

ソフトウェアスタンバイモード移行前に下記 (1) ~ (3) の設定を行ってください。

- (1) 「43.3 動作説明」に従ってコンパレータ B1 関連レジスタの設定を行ってください。
ただし、CPBF.CPB1FEN ビットはフィルタ無効、CPBOCR.CPB1OE ビットは出力許可、CPBOCR.CPB1OP ビットは「コンパレータ B1 出力を CMPOB1 端子に出力」に設定してください。
- (2) 「14.4.8 外部端子割り込み」に従って IRQ4 の割り込み設定を行ってください。
ただし、IRQFLTE0.FLTEN4 ビットは“0” (デジタルフィルタ無効)、IRQCR4.IRQMD[1:0] ビットはコンパレータ B1 出力と同じ極性を選択してください。
この例では立ち上がりエッジ選択となります。
- (3) マルチファンクションピンコントローラ (MPC) の設定で CMPOB1 機能選択と IRQ4 を有効にしてください。

ソフトウェアスタンバイモードから復帰する場合は、コンパレータ B1 用アナログ端子 (CMPB1) からリファレンス入力電圧 (CVREFB1) < アナログ入力電圧 (CMPB1) となる電圧を入力することで、コンパレータ B1 出力端子 (CMPOB1) を経由して IRQ4 割り込みが発生し、ソフトウェアスタンバイモードから復帰します。

43.4 割り込み

コンパレータ B はコンパレータ B0 割り込み (CMPB0 割り込み)、コンパレータ B1 割り込み (CMPB1 割り込み) の 2 つの割り込み要求を発生します。CMPBn 割り込み (n = 0, 1) は、IR058.IR、IR059.IR フラグ、IPR058.IPR[3:0]、IPR059.IPR[3:0] ビットと、それぞれ 1 つの割り込みベクタを持ちます。

CMPBn 割り込みを使用するときは、CPBINT.CPBnINTEN ビットを“1”(割り込み許可)にしてください。さらに片エッジ検出か両エッジ検出かを CPBINT.CPBnINTEG ビットで選択できます。片エッジ選択時は極性を CPBINT.CPBnINTPL ビットで選択できます。

また、4 種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

43.5 イベントリンク出力機能

イベントリンクコントローラ (ELC) に対して以下のタイミングでイベント出力を行う機能を持っています。

- (1) コンパレータ B0 の比較結果が変化するとき
- (2) コンパレータ B0、B1 の比較結果が変化するとき (注 1)

注 1. コンパレータ B0、B1 からの結果が同時、あるいは 1 クロックだけずれて出力された場合、1 つのイベントとして出力されます。

43.5.1 割り込み処理とイベントリンクの関係

コンパレータ B0、B1 はイベントリンクコントローラ (ELC) へイベントを出力し、あらかじめ設定したモジュールを動作させることができます。ELC へのイベント信号は CPBnINTEN ビットの値に関わらず出力されます。

コンパレータ Bn から ELC に出力するイベント信号は、割り込み要求信号と同様に片エッジ検出か両エッジ検出かを CPBINT.CPBnINTEG ビットで選択できます。片エッジ選択時は極性を CPBINT.CPBnINTPL ビットで選択できます。

43.6 POEG への POE 要因出力

コンパレータ B0、B1 の比較結果が変化するとき、エッジ検出信号が POEG に出力されます。エッジ検出信号は、割り込み要求信号と同様の設定が選択できますが、出力を許可 / 禁止することはできません。

エッジ検出信号を POE 要因として使用する場合、先にコンパレータ B の設定を行ってから POEG の設定を行ってください。

43.7 使用上の注意事項

43.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ B の動作禁止 / 許可を設定することが可能です。リセット後、コンパレータ B の動作は停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

44. データ演算回路 (DOC)

44.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算する機能です。

表 44.1 にデータ演算回路 (DOC) の仕様、図 44.1 に DOC のブロック図を示します。

16 ビットのデータを比較し、選択した条件に合致した場合に割り込みを発生させることができます。

表 44.1 データ演算回路(DOC)の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への遷移が可能
割り込み	<ul style="list-style-type: none"> データ比較の結果が検出条件に合致したとき データ加算の結果が“FFFFh”より大きくなったとき(オーバフロー) データ減算の結果が“0000h”より小さくなったとき(アンダフロー)
イベントリンク機能(出力)	<ul style="list-style-type: none"> データ比較の結果が検出条件に合致したとき データ加算の結果が“FFFFh”より大きくなったとき(オーバフロー) データ減算の結果が“0000h”より小さくなったとき(アンダフロー)

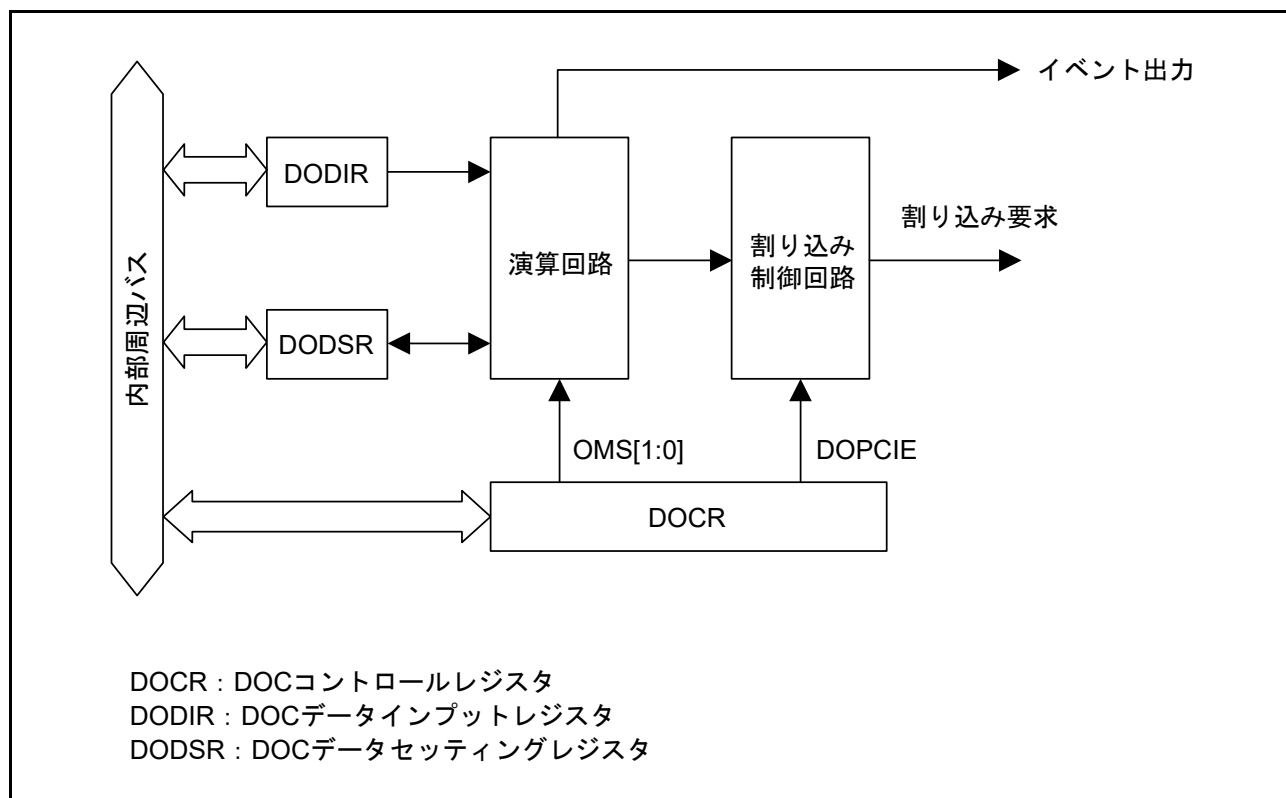


図 44.1 DOC のブロック図

44.2 レジスタの説明

44.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定禁止	R/W
b2	DCSEL	検出条件選択ビット(注1)	0 : 不一致を検出する 1 : 一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W
b5	DOPCF	データ演算結果フラグ	演算結果を示します	R
b6	DOPCFCL	データ演算結果クリアビット	0 : DOPCF フラグの値を保持 1 : DOPCF フラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. データ比較モード選択時のみ有効

DOCR レジスタは、DOC の動作モードの設定や、割り込みの許可 / 禁止を設定するレジスタです。

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定により DOC の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算結果フラグ)

[“1”になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

[“0”になる条件]

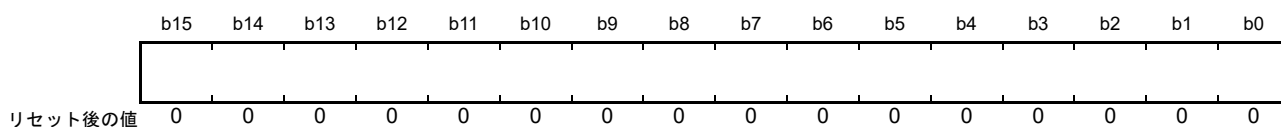
- DOPCFCL ビットに“1”を書き込んだとき

DOPCFCL ビット (データ演算結果クリアビット)

本ビットに“1”を書くと DOPCF フラグがクリアされます。
読むと“0”が読めます。

44.2.2 DOC データインプットレジスタ (DODIR)

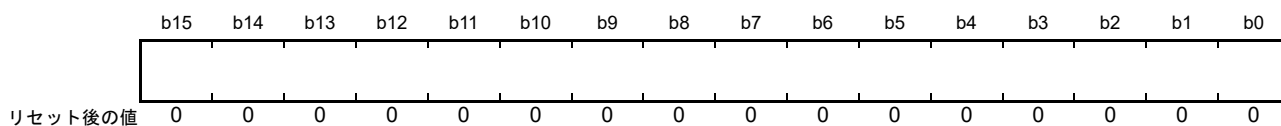
アドレス DOC.DODIR 0008 B082h



DODIR レジスタは、演算対象のデータを格納する読み書き可能なレジスタです。

44.2.3 DOC データセッティングレジスタ (DODSR)

アドレス DOC.DODSR 0008 B084h



DODSR レジスタは、比較対象のデータを格納する、または演算結果が格納される読み書き可能なレジスタです。

データ比較モードでは、比較の基準となるデータを格納してください。

データ加算モードおよびデータ減算モードでは、演算結果が格納されます。

44.3 動作説明

44.3.1 データ比較モード

図 44.2 にデータ比較モードの動作例を示します。

DOC は、データ比較モード時、以下のように動作します。

以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに比較の基準となるデータを設定します。
- (3) DODIR レジスタに比較するデータを書き込みます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに比較するデータを書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかったとき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCFCL ビットが “1” の場合は、データ演算回路割り込みが発生します。

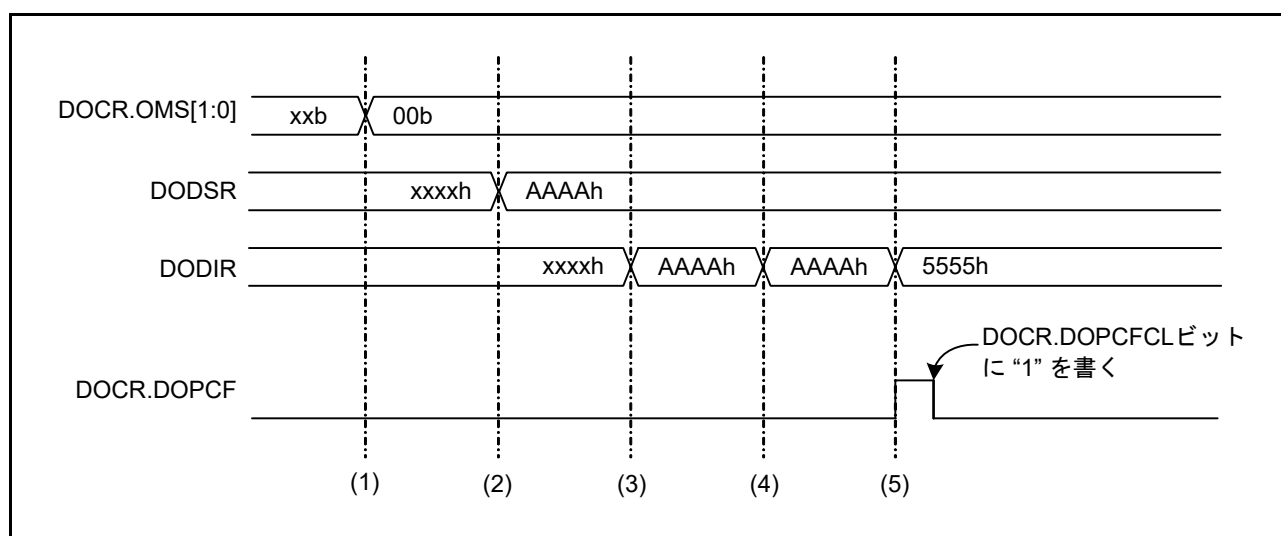


図 44.2 データ比較モードの動作例

44.3.2 データ加算モード

図 44.3 にデータ加算モードの動作例を示します。

DOC は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR レジスタに初期値を設定します。
- (3) DODIR レジスタに加算するデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに加算するデータを書き込みます。
- (5) 演算結果が“FFFFh”よりも大きくなると DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

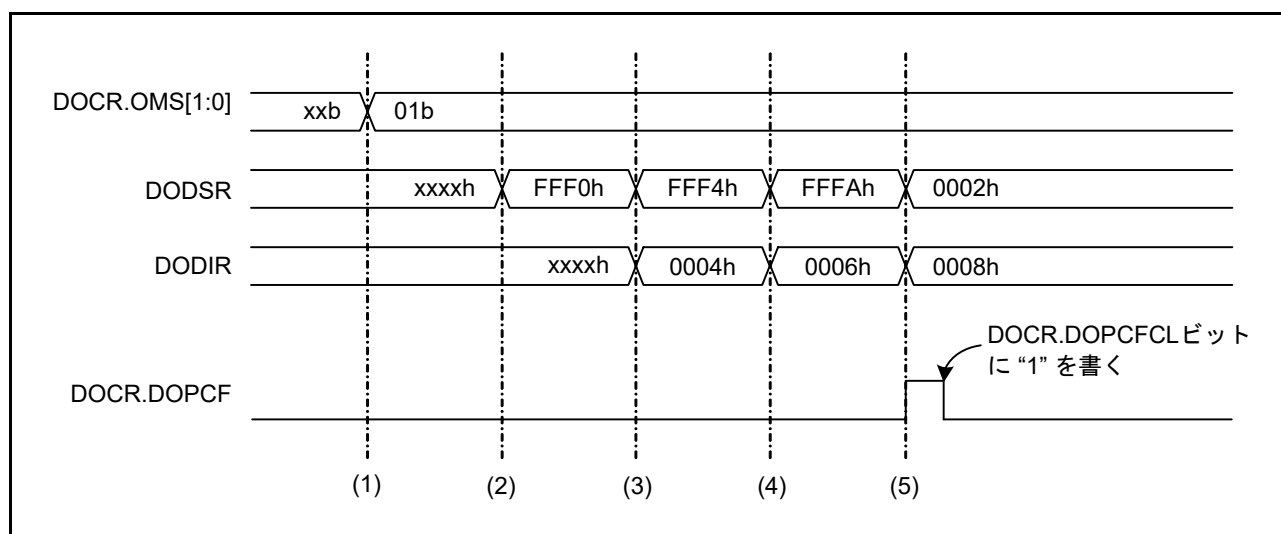


図 44.3 データ加算モードの動作例

44.3.3 データ減算モード

図 44.4 にデータ減算モードの動作例を示します。

DOC は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR レジスタに初期値を設定します。
- (3) DODIR レジスタに減算するデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに減算するデータを書き込みます。
- (5) 演算結果が“0000h”よりも小さくなると DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

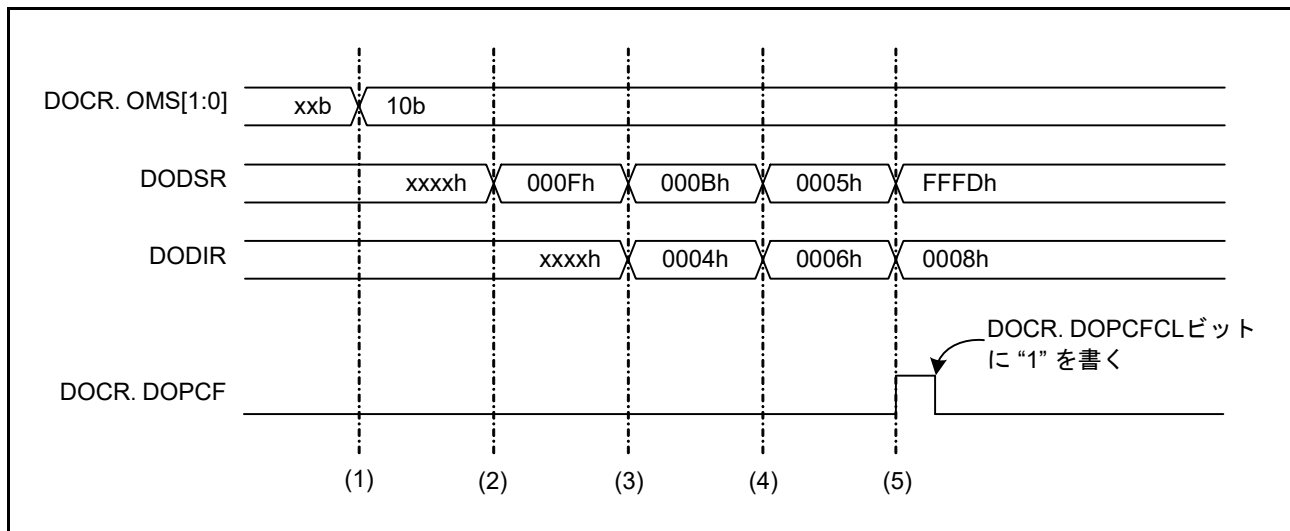


図 44.4 データ減算モードの動作例

44.4 割り込み要求

DOC が生成する割り込み要求には、データ演算回路割り込み (DOPCI) があります。割り込み要因が発生すると DOCR.DOPCF フラグが“1”になります。表 44.2 に割り込み要求の内容を示します。

表 44.2 DOCの割り込み要求

割り込み要求	データ演算結果フラグ	割り込み発生タイミング
データ演算回路割り込み (DOPCI)	DOPCF	<ul style="list-style-type: none"> • データ比較の結果が検出条件に合致したとき • データ加算の結果が“FFFFh”より大きくなったとき • データ減算の結果が“0000h”より小さくなったとき

44.5 イベントリンク出力機能

DOC はイベントリンクコントローラ (ELC) へ以下の条件でイベントを出力し、あらかじめ設定していたモジュールを動作させることができます。

- データ比較の結果が検出条件に合致したとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

44.5.1 割り込み処理とイベントリンクの関係

DOC には、割り込みを許可 / 禁止するビットがあります。割り込み要因が発生すると、割り込みが許可されている場合に CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると、割り込み許可ビットの値にかかわらず、ELC を介して他のモジュールにイベント信号として出力します。

44.6 使用上の注意事項

44.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) の MSTPB6 ビットにより、DOC の動作を禁止または許可することができます。リセット後、DOC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

45. RAM

本 MCU は、ノーウェイトで動作する 128K バイトの高速スタティック RAM (RAM) を内蔵しています。

45.1 概要

表 45.1 に RAM の仕様を示します。

表 45.1 RAM の仕様

項目	RAM
容量	128K バイト
アドレス	0000 0000h ~ 0001 FFFFh
メモリバス	メモリバス 1
アクセス	<ul style="list-style-type: none">読み出し/書き込みともに 1 サイクルで動作 (注1)RAM 有効/無効選択可能 (注2)
消費電力低減機能	モジュールストップ状態への遷移が可能
エラーチェック機能	<ul style="list-style-type: none">パリティエラー検出エラー発生時、ノンマスカブル割り込み、または割り込みを発生

注1. 8 バイト境界をまたいだアクセス時は、サイクル数が 2 倍に増えます。

注2. SYSCR1.RAME ビットにより選択可能です。SYSCR1 レジスタについては、「3.2.2 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。

45.2 レジスタの説明

45.2.1 RAM 動作モード制御レジスタ (RAMMODE)

アドレス RAM.RAMMODE 0008 1200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RAMMODE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RAMMODE[1:0]	RAM動作モード選択ビット	b1 b0 0 0: パリティチェック無効 0 1: パリティチェック有効 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

RAMMODE レジスタへの書き込みはRAMプロテクトレジスタ (RAMPRCR) によって保護されています。まず、RAMPRCR.RAMPRCR ビットを書き込み許可にしてからRAMMODE レジスタへの書き込みを行ってください。本レジスタはRAMへのアクセスを開始する前に設定してください。RAMへアクセスした後に本レジスタを書き換えた場合、RAMの動作は保証できません。

45.2.2 RAM エラーステータスレジスタ (RAMSTS)

アドレス RAM.RAMSTS 0008 1201h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RAMERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RAMERR	RAMエラーステータスフラグ	0: パリティチェックエラー未発生 1: パリティチェックエラー発生	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1. フラグをクリアするための“0”書き込みのみ可能です。

パリティチェックが有効のときパリティチェックエラーを検出すると、RAMERR フラグが“1”になります。RAMERR フラグが“1”になると、RAMエラー割り込み要求が発生します。

パリティチェックが無効のときはパリティチェックエラーを検出しないため、RAMERR フラグが“1”になりません。

RAMERR フラグに“0”を書き込むと、パリティチェックエラーに起因するRAMエラー割り込み要求はクリアされます。

45.2.3 RAM エラーアドレスキャプチャレジスタ (RAMECAD)

アドレス RAM.RAMECAD 0008 1208h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます	R
b18-b3	READ	エラーアドレスビット	エラーアドレスが読み出されます	R
b31-b19	—	予約ビット	読むと“0”が読めます	R

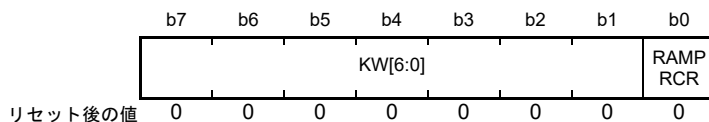
パリティチェックが有効のときパリティチェックエラーが発生したアドレスを保持します。RAMSTS.RAMERR フラグが“1”になると同時に、エラーが発生した 8 バイト境界のアドレスがこのレジスタに格納されます。

RAMERR フラグが“1” (エラー発生) のときは、エラーアドレスは更新されません。パリティチェックが無効のとき、パリティチェックエラーを検出しないため、変化しません。

RAMECAD レジスタはリセットでのみ初期化されます。

45.2.4 RAM プロテクトレジスタ (RAMPRCR)

アドレス RAM.RAMPRCR 0008 1204h



ビット	シンボル	ビット名	機能	R/W
b0	RAMPSCR	RAMMODE レジスタ書き込み制御ビット	0 : RAMMODE レジスタへの書き込み禁止 1 : RAMMODE レジスタへの書き込み許可	R/W
b7-b1	KW[6:0]	書き込みキーワードビット	RAMPSCR レジスタの書き換えの許可、禁止を制御します。RAMPSCR レジスタを書き換える場合、KW[6:0] ビットに“1111000b”を書いてください。	R/W

KW[6:0] = 1111000b のとき、RAMPSCR ビットへの“1”書き込みが可能になります。それ以外のデータ書き込み時、RAMPSCR ビットを“0”にします。KW[6:0] ビットは読むと“0000000b”が読み出されます。

本レジスタによる書き込み保護対象は、RAM 動作モード制御レジスタ (RAMMODE) です。一度 RAMPSCR ビットを“1”にすると、次に RAMPSCR ビットを“0”にするまで RAMMODE レジスタへの書き込みが可能です。RAMMODE レジスタへの書き込み後、RAMPSCR ビットをクリアしてください。

45.3 動作説明

45.3.1 パリティチェック機能

RAMMODE レジスタの設定によって、パリティチェックの有効、無効を選択することができます。

初期状態では、パリティチェックは無効です。パリティチェックの仕様は、偶数パリティです。

書き込み時1バイトデータ毎に1ビットのパリティチェックコードを付加し、読み出し時にパリティチェックを行います。

読み出し時に、パリティチェックで1バイト内に1ビットエラーを検出した場合、RAM エラー割り込みを発生させることが可能です。1バイト内に2ビット以上のエラーがある場合は正しく検出することができません。

電源投入後、パリティチェックコードは書き込みを行うまで不定です。パリティチェック機能を使用する場合は、リセット直後 RAM へアクセスを行う前に、パリティチェックが有効の状態ですべての領域に対して初期値を書いてください。

初期値を書いていない領域にアクセスがあった場合の動作は保証できません。

45.3.2 RAM エラー割り込み機能

パリティチェック有効時はパリティチェックエラーを示す RAMSTS.RAMERR ビットが“1”に変化すると、RAM エラー割り込みが発生します。

上記ビットに“0”を書き込めば、RAM エラー割り込みはクリアされます。

45.3.3 割り込み要因

RAM の割り込み要因には、パリティチェックエラーによる RAM エラー割り込みがあり、ノンマスクブル割り込み、または割り込みの両方に対応しています。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

表45.2 RAMの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
RAMERR	RAM エラー	不可能	不可能

45.4 使用上の注意事項

45.4.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減することができます。

MSTPCRC.MSTPC0 ビットを“1”にすると RAM に供給されるクロックが停止します。

クロック供給の停止により、RAM はモジュールストップ状態になります。

リセット後は、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。

RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

モジュールストップ状態で RAM へのアクセスは禁止です。アクセスした場合の動作は保証できません。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

45.4.2 RAM のエラーチェック機能使用時の注意事項

電源投入時の RAM 内のデータは不定です。このため初期化を実施せずにデータを読むと、パリティチェックエラーが発生します。RAM のリード単位は 8 バイト (64 ビット) ですから、初期化は 8 バイト境界で実施してください。

パリティチェックを有効にして、RAM 上でプログラムを実行する場合は、CPU が命令プリフェッチを行うことも考慮して初期化を実施してください。命令プリフェッチは最大 32 バイトまで実行されますから、プログラムの最終アドレスから 24 ～ 31 バイト分を余分に初期化してください。

45.4.3 RAM の自己診断に関する注意事項

RAM にはライトバッファが搭載されているため、書き込みを行った後に同一アドレスから読み出しを行うと、RAM のメモリセルではなくライトバッファのデータが読み出されることがあります。RAM の自己診断を行う場合、ライトバッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のアドレスにデータを書く
- (2) (1) のアドレスから 4 番地以上離れたアドレスにデータを書く
- (3) (1) のアドレスからデータを読む

46. フラッシュメモリ (FLASH)

本 MCU は、256K/384K/512K バイトのユーザ領域 (ROM) と 8K バイトのデータ領域 (E2 データフラッシュ) を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

46.1 概要

表 46.1 にフラッシュメモリの仕様を示します。

表 46.8 にブートモードで使用する入出力端子を示します。

表 46.1 フラッシュメモリの仕様

項目	内容
メモリ空間	<ul style="list-style-type: none"> ユーザ領域：最大512Kバイト データ領域：8Kバイト エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニークIDを格納
動作クロック	<ul style="list-style-type: none"> FCLK：1～64 MHz (ROM P/E モード時、E2 データフラッシュ P/E モード時) ～64 MHz (E2 データフラッシュリードモード時) HOCO クロック：24 MHz、32 MHz、48 MHz、または64 MHz (ROM P/E モード時、E2 データフラッシュ P/E モード時)
ソフトウェアコマンド	<ul style="list-style-type: none"> 以下のソフトウェアコマンドを実装 プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ エクストラ領域のプログラム用に以下のコマンドを実装 スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム
イレーズ後の値	<ul style="list-style-type: none"> ROM：FFh E2 データフラッシュ：FFh
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み (FRDYI) が発生
オンボードプログラミング	ブートモード (SCI インタフェース) (注1) <ul style="list-style-type: none"> シリアルコミュニケーションインタフェースのチャンネル1 (SCI1) を調歩同期式モードで使用 ユーザ領域とデータ領域を書き換え可能 ブートモード (FINE インタフェース) (注1) <ul style="list-style-type: none"> FINE を使用 ユーザ領域とデータ領域を書き換え可能 ブートモード (USB インタフェース) (注1) <ul style="list-style-type: none"> USB2.0 ファンクションモジュールのチャンネル0 (USB0) を使用 ユーザ領域とデータ領域を書き換え可能 セルフパワー、バスパワーいずれのモードでもフラッシュ書き換えが可能 USB ケーブルだけを用いてパソコンと接続が可能 セルフプログラミング (シングルチップモード) <ul style="list-style-type: none"> ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域とデータ領域の書き換えが可能
オフボードプログラミング	本 MCU に対応したフラッシュプログラマを使用して、ユーザ領域とデータ領域の書き換えが可能
ID コードプロテクト	<ul style="list-style-type: none"> ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 オンチップデバッグエミュレータ接続時、ID コードにより制御可能
スタートアッププログラム保護機能	ブロック0～7の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能
バックグラウンドオペレーション (BGO) 機能	E2 データフラッシュの書き換え中に、ROM 上に配置されたプログラムを実行可能

注1. 詳細については各シリアルプログラマのマニュアル、『Renesas Flash Programmer フラッシュ書き込みソフトウェア・ユーザーズ・マニュアル』をご参照ください。

46.2 ROM の領域とブロックの構成

本 MCU の ROM は最大で 512K バイトあります。ROM は 2K バイトのブロックと呼ばれる単位に分割されており、ブロックイレーズコマンドはこのブロック単位でメモリの消去を実行します。図 46.1 に ROM の領域とブロックの構成を示します。

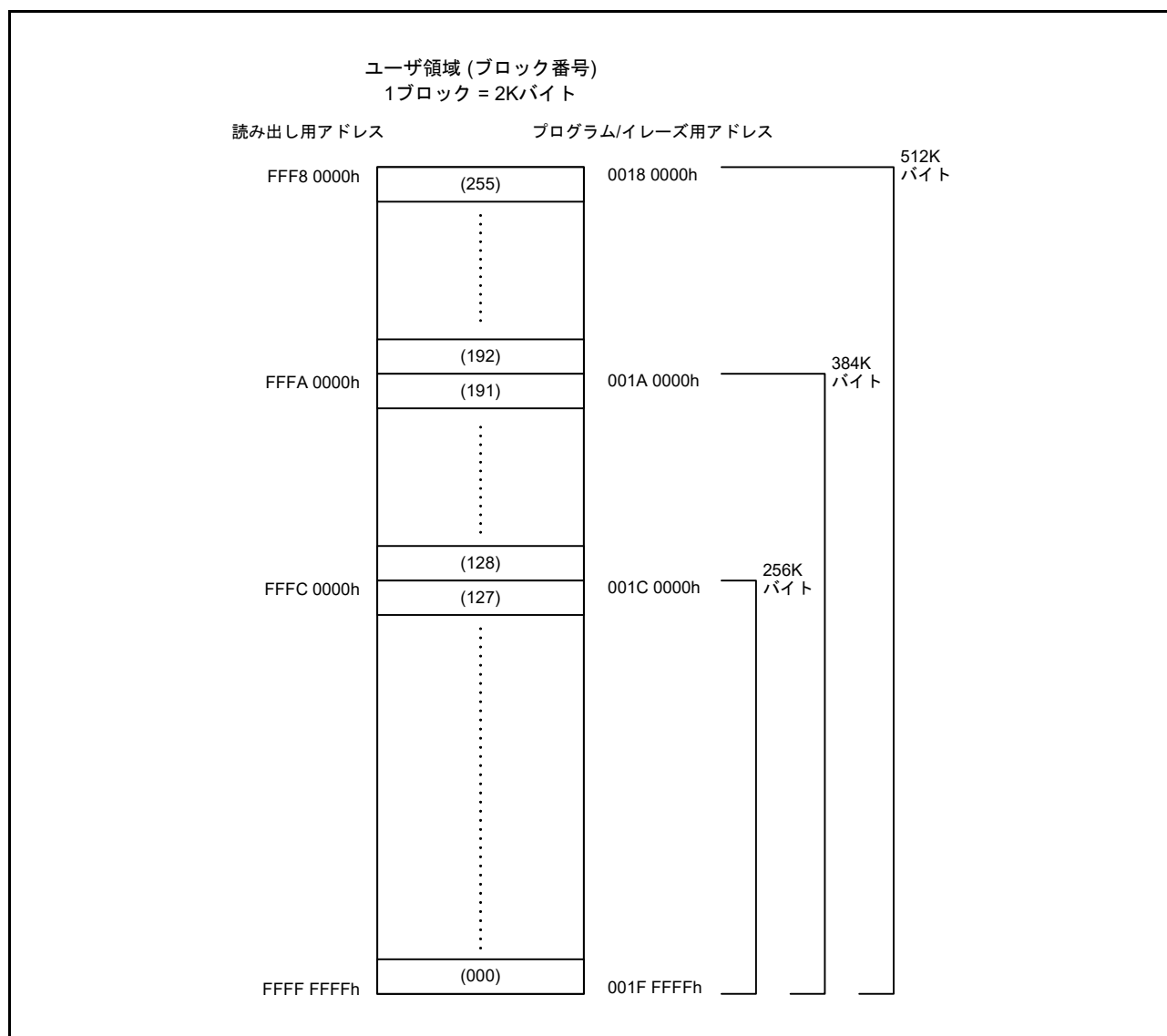


図 46.1 ROM の領域とブロックの構成

表 46.2 ROM容量と読み出し用アドレス対応表

ROM容量	読み出し用アドレス
512Kバイト	FFF8 0000h ~ FFFF FFFFh
384Kバイト	FFFA 0000h ~ FFFF FFFFh
256Kバイト	FFFC 0000h ~ FFFF FFFFh

46.3 E2 データフラッシュの領域とブロックの構成

本 MCU の E2 データフラッシュは 8K バイトで構成されています。ブロックに分割されており、イレーズはこのブロック単位で行います。図 46.2 に E2 データフラッシュの領域とブロックの構成を示します。

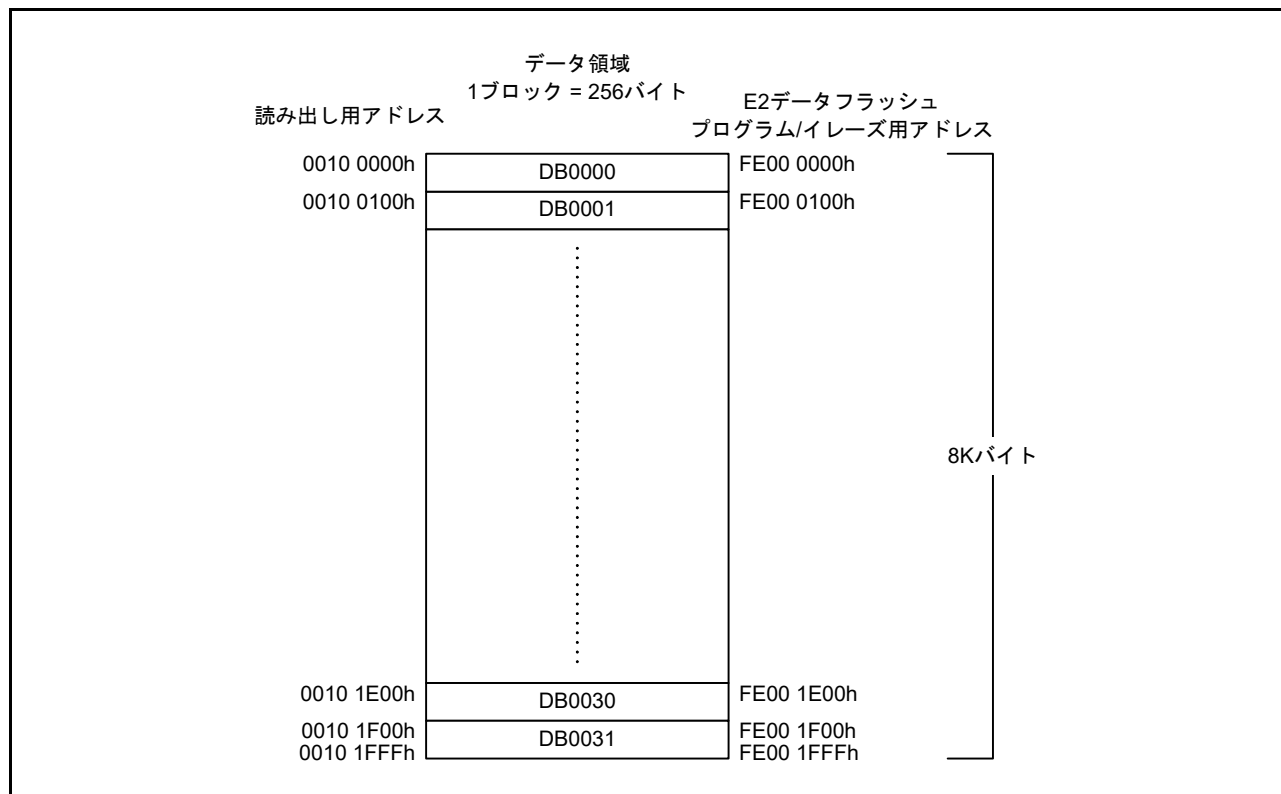


図 46.2 E2 データフラッシュの領域とブロックの構成

46.4 レジスタの説明

46.4.1 E2 データフラッシュ制御レジスタ (DFLCTL)

アドレス FLASH.DFLCTL 007F C090h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DFLEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	E2データフラッシュアクセス許可ビット	0: E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1)禁止 1: E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1)許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム

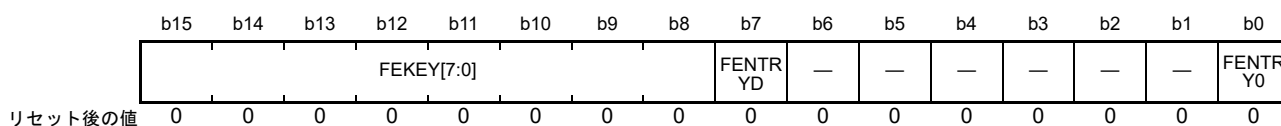
DFLCTL レジスタは、E2 データフラッシュへのアクセス(リード、プログラム、イレーズ)の許可/禁止およびP/Eモード時におけるエクストラ領域へのアクセス(スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム)を許可/禁止するためのレジスタです。

E2 データフラッシュのリード、プログラム、イレーズを行う場合は、DFLCTL.DFLEN ビットを“1”にしてE2 データフラッシュ STOP 解除時間 (tDSTOP) 経過後にE2 データフラッシュの読み出しとE2 データフラッシュ P/E モードへの遷移を行ってください。E2 データフラッシュ STOP 解除時間 (tDSTOP) を経過するまではE2 データフラッシュの読み出しとE2 データフラッシュ P/E モードへの遷移を行わないでください。

E2 データフラッシュ P/E モードについては、「46.7.1 シーケンサのモード」を、E2 データフラッシュ STOP 解除時間 (tDSTOP) については、「47. 電気的特性」を参照してください。

46.4.2 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス FLASH.FENTRYR 007F FFB0h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0 : ROMはリードモード 1 : ROMはP/Eモードエントリ可能	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2データフラッシュ P/Eモードエントリビット	0 : E2データフラッシュはリードモード 1 : E2データフラッシュはP/Eモードエントリ可能	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを “AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

ROM や E2 データフラッシュを書き換えるためには、HOCO を発振させた後、FENTRYD ビットと FENTRY0 ビットのいずれかを“1”にして P/E モードに移行させる必要があります。

リードモードに戻るときは、FENTRYR レジスタを設定した後、値が書き換わっていることを確認してから、ROM や E2 データフラッシュのリードを行ってください。

P/E モード、リードモードについては、「46.7.1 シーケンサのモード」を参照してください。

FENTRY0 ビット (ROM P/E モードエントリビット 0)

ROM を P/E モードに移行させるためのビットです。

[“1”になる条件]

- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA01h”を書いた場合

注． ROM P/E モードに遷移する場合、ROM に対する命令フェッチを実行させないため、命令フェッチ番地を ROM 以外の領域に移す必要があります。必要な命令コードを内蔵 RAM ヘコピーして内蔵 RAM ヘジャンプしてください。ただし、E2 データフラッシュは、ROM 上に配置されたプログラムで書き換え可能です。

[“0”になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

FENTRYD ビット (E2 データフラッシュ P/E モードエントリビット)

E2 データフラッシュを P/E モードに移行させるためのビットです。

[“1”になる条件]

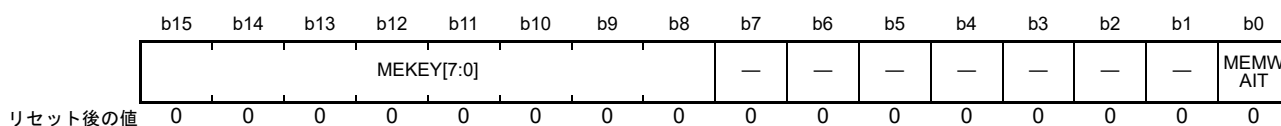
- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA80h”を書いた場合

[“0”になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

46.4.3 メモリウェイトサイクル設定レジスタ (MEMWAITR)

アドレス FLASH.MEMWAITR 007F FFC0h



ビット	シンボル	ビット名	機能	R/W
b0	MEMWAIT	メモリウェイトサイクル設定ビット	0 : ウェイトなし 1 : ウェイトあり	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	MEKEY[7:0]	キーコード	MEMWAITRレジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを “AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

MEMWAITR レジスタはROMのウェイトサイクルを制御するレジスタです。

MEMWAIT ビット (メモリウェイトサイクル設定ビット)

ROMのウェイトサイクルを指定するビットです。

システムクロック (ICLK) を 32 MHz より高い周波数にする場合、MEMWAIT ビットを“1”にしてください。また、中速動作モード、中速動作モード2、低速動作モードでは、MEMWAIT ビットを“0”にしてください。

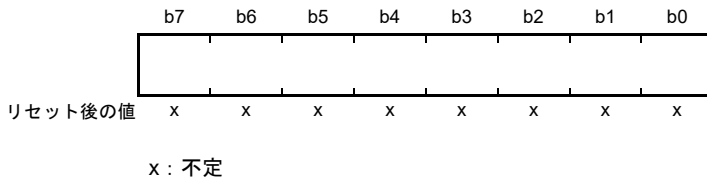
なお、MEMWAIT ビットの値は、高速動作モードでかつ ICLK の周波数が 32 MHz 以下のときに変更してください。

表46.3 MEMWAITビットの設定に関する制約

MEMWAIT ビット	高速動作モード		中速動作モード 中速動作モード2 低速動作モード
	ICLK > 32 MHz	ICLK ≤ 32 MHz	
0	設定禁止	設定可	設定可
1	設定可	設定可	設定禁止

46.4.4 プロテクト解除レジスタ (FPR)

アドレス FLASH.FPR 007F C180h



本レジスタは、CPUが暴走したときに備え、FPMCRレジスタが容易に書き換えられないように保護するためのライトオンリのレジスタです。以下に示す手順でレジスタをアクセスした場合のみ、FPMCRレジスタへの書き込みが有効になります。

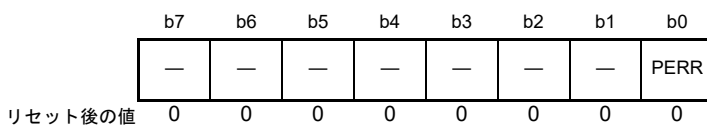
プロテクト解除手順

- (1) FPRレジスタに“A5h”を書き込む
- (2) FPMCRレジスタに設定したい値を書き込む
- (3) FPMCRレジスタに設定したい値の反転値を書き込む
- (4) FPMCRレジスタに再び設定したい値を書き込む

上記プロテクト解除手順以外で書き込みを行った場合、FPSR.PERRフラグが“1”になります。

46.4.5 プロテクト解除ステータスレジスタ (FPSR)

アドレス FLASH.FPSR 007F C184h



ビット	シンボル	ビット名	機能	R/W
b0	PERR	プロテクトエラーフラグ	0 : エラーなし 1 : エラー発生	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

PERRフラグ (プロテクトエラーフラグ)

FPMCRレジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合、レジスタへの書き込みは行われず、このフラグが“1”になります。

[“1”になる条件]

- FPMCRレジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合

[“0”になる条件]

- 「46.4.4 プロテクト解除レジスタ (FPR)」に記載のプロテクト解除手順でレジスタをアクセスした場合

46.4.6 フラッシュ P/E モード制御レジスタ (FPMCR)

アドレス FLASH.FPMCR 007F C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FMS1	RPDIS	—	FMS0	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	FMS0	フラッシュ動作モード選択ビット0	FMS1 FMS0 0 0 : ROM/E2データフラッシュリードモード 0 1 : ROM P/Eモード 1 0 : E2データフラッシュ P/Eモード 1 1 : 設定禁止	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	RPDIS	ROM P/E 禁止ビット	0 : ROMはプログラム/イレーズ可能 1 : ROMはプログラム/イレーズ不可能	R/W
b4	FMS1	フラッシュ動作モード選択ビット1	FMS0ビットを参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

フラッシュメモリの動作モードを設定するレジスタです。

本レジスタはプロテクトされています。プロテクト解除手順を用いて値を設定してください(詳細は「46.4.4 プロテクト解除レジスタ (FPR)」を参照)。

ROM P/E モードに遷移する場合、もしくはROM P/E モード中はRAM 上で命令を実行する必要があります。

FMS0, FMS1 ビット (フラッシュ動作モード選択ビット0、フラッシュ動作モード選択ビット1)

フラッシュの動作モードを設定します。

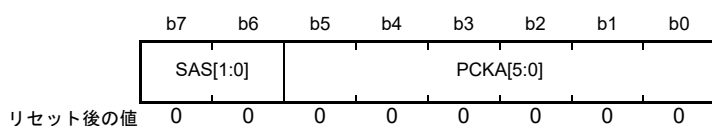
- リードモードから ROM P/E モードに遷移する場合
FMS1 ビット=0、FMS0 ビット=1、RPDIS ビット=0 に設定します。
- ROM P/E モードからリードモードに遷移する場合
FMS1 ビット=0、FMS0 ビット=0、RPDIS ビット=1 に設定します。
ROM モード遷移待ち時間 (tMS、「47. 電気的特性」を参照) 待ちます。
- リードモードから E2 データフラッシュ P/E モードに遷移する場合
FMS1 ビット=1、FMS0 ビット=0、RPDIS ビット=0 に設定します。
- E2 データフラッシュ P/E モードからリードモードに遷移する場合
FMS1 ビット=0、FMS0 ビット=0、RPDIS ビット=1 に設定します。
ROM モード遷移待ち時間 (tMS、「47. 電気的特性」を参照) 待ちます。

RPDIS ビット (ROM P/E 禁止ビット)

ROM のプログラム/イレーズ実行をソフトウェアによって禁止します。

46.4.7 フラッシュ初期設定レジスタ (FISR)

アドレス FLASH.FISR 007F C1D8h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PCKA[5:0]	周辺クロック通知ビット	FlashIFクロック (FCLK)の周波数を設定するためのビットです	R/W
b7-b6	SAS[1:0]	スタートアップ領域選択ビット	b7 b6 0 x : エクストラ領域内のスタートアップ領域設定に従う 1 0 : 一時的にスタートアップ領域をデフォルト領域に切り替える 1 1 : 一時的にスタートアップ領域を代替領域に切り替える	R/W

x : Don't care

FISR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

PCKA[5:0] ビット (周辺クロック通知ビット)

ROM/E2 データフラッシュのプログラム/イレーズ時に、FlashIF クロック (FCLK) の周波数を設定するためのビットです。

プログラム/イレーズを行う前に PCKA[5:0] ビットに FCLK の周波数を設定してください。ROM/E2 データフラッシュのプログラム/イレーズ中は、FCLK の周波数を変更しないでください。

● FCLK が 4 MHz より高い場合

小数部がある場合は切り上げて設定してください。

たとえば 31.5 MHz の場合は、32 MHz (PCKA[5:0] ビット = 011111b) に設定してください。

● FCLK が 4 MHz 以下の場合

小数部のある周波数は使用しないでください。

1 MHz、2 MHz、3 MHz または 4 MHz の周波数で使用してください。

注. FCLK と異なる周波数を PCKA[5:0] ビットに設定した場合、ROM/E2 データフラッシュのデータが破壊される可能性があります。

表 46.4 FlashIF クロック周波数設定例

FlashIF のクロック周波数 (MHz)	PCKA[5:0] ビット設定値	FlashIF のクロック周波数 (MHz)	PCKA[5:0] ビット設定値	FlashIF のクロック周波数 (MHz)	PCKA[5:0] ビット設定値
64	101111b	62	101110b	60	101101b
58	101100b	56	101011b	54	101010b
52	101001b	50	101000b	48	100111b
46	100110b	44	100101b	42	100100b
40	100011b	38	100010b	36	100001b
34	100000b	32	011111b	31	011110b
30	011101b	29	011100b	28	011011b
27	011010b	26	011001b	25	011000b
24	010111b	23	010110b	22	010101b
21	010100b	20	010011b	19	010010b
18	010001b	17	010000b	16	001111b
15	001110b	14	001101b	13	001100b

表46.4 FlashIFクロック周波数設定例

FlashIFのクロック周波数 (MHz)	PCKA[5:0]ビット設定値	FlashIFのクロック周波数 (MHz)	PCKA[5:0]ビット設定値	FlashIFのクロック周波数 (MHz)	PCKA[5:0]ビット設定値
12	001011b	11	001010b	10	001001b
9	001000b	8	000111b	7	000110b
6	000101b	5	000100b	4	000011b
3	000010b	2	000001b	1	000000b

SAS[1:0] ビット (スタートアップ領域選択ビット)

スタートアップ領域を選択します。スタートアップ領域を変更するには、以下の3種類の方法があります。

- エクストラ領域のスタートアップ領域設定に従いスタートアップ領域を選択する場合
SAS[1:0] ビットが“00b”または“01b”の場合、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域が選択されます。スタートアップ領域情報プログラムコマンドを使用して、スタートアップ領域を変更してください。
- 一時的にスタートアップ領域をデフォルト領域に切り替える場合
SAS[1:0] ビットを“10b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域をデフォルト領域に変更できます。
- 一時的にスタートアップ領域を代替領域に切り替える場合
SAS[1:0] ビットを“11b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域を代替領域に変更できます。

46.4.8 フラッシュリセットレジスタ (FRESETR)

アドレス FLASH.FRESETR 007F C124h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	FRESE T

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0: フラッシュ制御回路のリセットを解除する 1: フラッシュ制御回路をリセットする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRESET ビット (フラッシュリセットビット)

このビットを“1”にすると、FASR、FSARH、FSARL、FEARH、FEARL、FWB0、FWB1、FWB2、FWB3、FCR、FEXCR レジスタがリセットされます。また、FEAMH、FEAML レジスタの値が不定になります。リセット中はこれらのレジスタにアクセスしないでください。リセットを解除するときは、このビットを“0”にしてください。

なお、ソフトウェアコマンド実行中やエクストラ領域書き換え中は、本レジスタへ書き込まないでください。

46.4.9 フラッシュ領域選択レジスタ (FASR)

アドレス FLASH.FASR 007F C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EXS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXS	エクストラ領域選択ビット	0 : ユーザ領域、データ領域 1 : エクストラ領域	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FASR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

FASR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込みません。

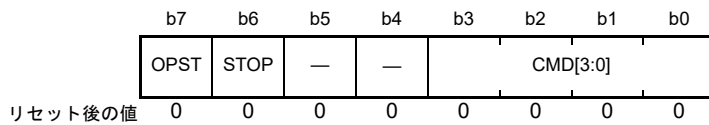
EXS ビット (エクストラ領域選択ビット)

エクストラ領域に対するソフトウェアコマンド (スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム) を発行する前に“1”にします。また、ユーザ領域に対するソフトウェアコマンド (プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を発行する前に“0”にします。

ソフトウェアコマンド発行後は、次のソフトウェアコマンドの発行まで値を変更しないでください。

46.4.10 フラッシュ制御レジスタ (FCR)

アドレス FLASH.FCR 007F C114h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0001: プログラム 0011: ブランクチェック 0100: ブロックイレーズ 0110: 全ブロックイレーズ 上記以外は設定しないでください(注1)	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	STOP	強制処理停止ビット	“1”にすると、実行中の処理を強制的に停止させることができません	R/W
b7	OPST	処理開始ビット	0: 処理停止 1: 処理開始	R/W

注1. FSTATR1.FRDRY フラグが“1”のとき、FCRレジスタを“00h”にする場合を除きます。

FCR レジスタは、ROM P/E モードでかつ ROM がプログラム / イレーズ可能時、または E2 データフラッシュ P/E モード時に書き込みができます。

FCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[3:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を設定します。それぞれのコマンドの機能を以下に示します。

- プログラム

FSARH/FSARL レジスタに設定したアドレスに、FWB0/FWB1/FWB2/FWB3 レジスタに設定した値を書き込みます。

- ブランクチェック

FSARH/FSARL レジスタに設定したアドレスから、FEARH/FEARL レジスタに設定したアドレスまでのブランクチェックを行います。書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません。

- ブロックイレーズ

フラッシュメモリ内の指定した任意の連続した領域をブロック単位で消去します。

消去したいブロックの先頭アドレスと最終アドレスを、それぞれ FSARH/FSARL レジスタと FEARH/FEARL レジスタに設定してください。それ以外の値を設定した場合、消去が正しく行えない場合があります。

- 全ブロックイレーズ

ROM または E2 データフラッシュを一括で消去します。

全ブロックイレーズは、ブロックイレーズに比べてより短時間でメモリを消去できます。

ROM を一括消去する場合は、ROM の先頭アドレスを FSARH/FSARL レジスタに、ROM の最終アドレスを FEARH/FEARL レジスタに設定してください。表 46.5 に全ブロックイレーズ時のアドレス設定値

を示します。

表46.5 全ブロックイレーズ時のアドレス設定値

対象	容量	FSARH/FSARL	FEARH/FEARL
ROM	512Kバイト	0018 0000h	001F FFF8h
	384Kバイト	001A 0000h	001F FFF8h
	256Kバイト	001C 0000h	001F FFF8h
E2データフラッシュ	8Kバイト	FE00 0000h	FE00 1FFFh

STOP ビット (強制処理停止ビット)

実行中の処理 (ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を強制的に停止させるときに使用します。

このビットを“1”にした後は、FSTATR1.FRDY フラグが“1” (処理完了) になるのを待ってから OPST ビットを“0”にしてください。

OPST ビット (処理開始ビット)

CMD[3:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.FRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.FRDY フラグが“0”になったのを確認してから次の処理を実施してください。

46.4.11 フラッシュエクストラ領域制御レジスタ (FEXCR)

アドレス FLASH.FEXCR 007F C1DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	OPST	—	—	—	—	CMD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CMD[2:0]	ソフトウェアコマンド設定ビット	b2 b0 001: スタートアップ領域情報プログラム/アクセスウィンドウプロテクト(注1) 010: アクセスウィンドウ情報プログラム 上記以外は設定しないでください(注2)	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OPST	処理開始ビット	0: 処理停止 1: 処理開始	R/W

注1. 一度プロテクトすると、解除できません。

注2. FSTATR1.EXRDYフラグが“1”のとき、FEXCRレジスタを“00h”にする場合を除きます。

FEXCR レジスタは、ROM P/E モードでかつ ROM がプログラム/イレーズ可能時に書き込みができます。FEXCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[2:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド(スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム)を設定します。

各コマンドの詳細を以下に示します。

- スタートアップ領域情報プログラム

スタートアッププログラム保護機能で使用するスタートアップ領域切り替えに使用します。

スタートアップ領域をデフォルト領域に設定する場合、FWB1、FWB0 レジスタに“FFFFh”を設定してこのコマンドを実行します。

スタートアップ領域を代替領域に設定する場合、FWB1 レジスタに“FFFFh”、FWB0 レジスタに“FEFFh”を設定してこのコマンドを実行します。

なお、FWB1、FWB0 レジスタに上記以外の設定をした場合、スタートアップ領域情報プログラムを実行しないでください。

- アクセスウィンドウプロテクト

アクセスウィンドウの設定をプロテクトするために使用します。

FWB1 レジスタに“FFFFh”、FWB0 レジスタの b14 に“0”、b8 に FSCMR.SASMF フラグと同じ値、その他のビットに“1”を設定してこのコマンドを実行すると、アクセスウィンドウの設定がプロテクトされます。一度プロテクトすると、解除できません。

- アクセスウィンドウ情報プログラム

エリアプロテクションで使用するアクセスウィンドウを設定するために使用します。

アクセスウィンドウはブロック単位で設定します。

FWB0 レジスタにアクセスウィンドウの先頭アドレス(アクセスウィンドウ開始アドレス)を、FWB1 レジスタにアクセスウィンドウの最終アドレスの次のアドレス(アクセスウィンドウ終了アドレス)を指定してこのコマンドを発行します。各レジスタにはプログラム/イレーズ用アドレスの b21 ~ b11 を

設定してください。

なお、開始アドレスと終了アドレスに同じ値を指定した場合、全領域がアクセス可能になります。また、開始アドレスに終了アドレスより大きい値を指定しないでください。

OPST ビット (処理開始ビット)

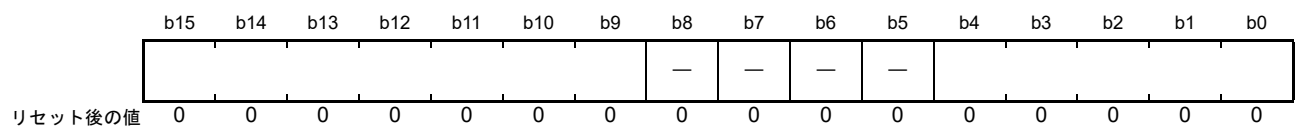
CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.EXRDY フラグが“1”(処理完了)になったのを確認してから“0”に戻してください。また、その後 FSTATR1.EXRDY フラグが“0”になったのを確認してから次の処理を実施してください。

OPST ビットに“1”を書き込むことで、エクストラ領域へのプログラムが開始されます。ソフトウェアコマンド実行中は、CMD[2:0] ビットへの書き込みは禁止です。

46.4.12 フラッシュ処理開始アドレスレジスタ H (FSARH)

アドレス FLASH.FSARH 007F C110h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

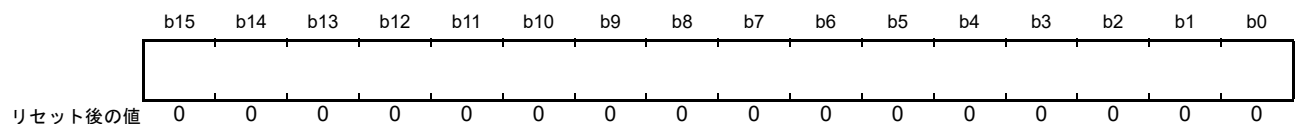
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 46.1、図 46.2 を参照してください。

46.4.13 フラッシュ処理開始アドレスレジスタ L (FSARL)

アドレス FLASH.FSARL 007F C108h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

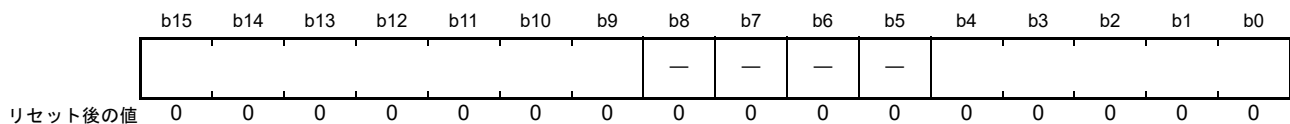
このレジスタはプログラムコマンド実行後、ROM を指定した場合、+8h、E2 データフラッシュを指定した場合、+1h インクリメントされます。そのため、連続してプログラムコマンドを実行する場合、このレジスタへのプログラム対象アドレスの設定は不要になります。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 46.1、図 46.2 を参照してください。

46.4.14 フラッシュ処理終了アドレスレジスタ H (FEARH)

アドレス FLASH.FEARH 007F C120h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

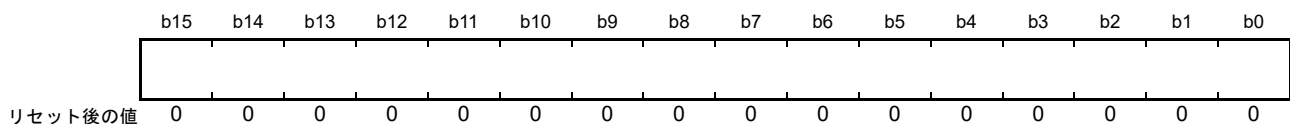
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 46.1、図 46.2 を参照してください。

46.4.15 フラッシュ処理終了アドレスレジスタ L (FEARL)

アドレス FLASH.FEARL 007F C118h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

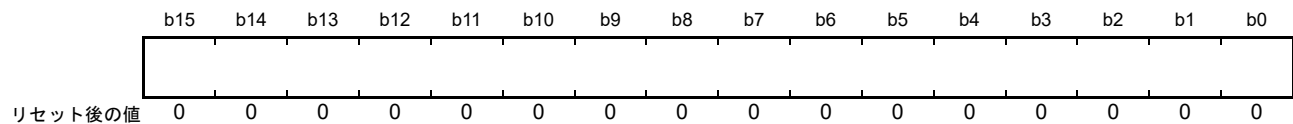
FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、[図 46.1](#)、[図 46.2](#) を参照してください。

46.4.16 フラッシュライトバッファレジスタ n (FWBn) (n = 0 ~ 3)

アドレス FLASH.FWB0 007F C130h, FLASH.FWB1 007F C138h, FLASH.FWB2 007F C140h, FLASH.FWB3 007F C144h



FWBn レジスタは、ROM、E2 データフラッシュ、またはエクストラ領域にプログラムするデータを設定するレジスタです。ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

FWBn レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FCR レジスタによるソフトウェアコマンド実行中、または FEXCR レジスタによるソフトウェアコマンド実行中に FWBn レジスタを読み出した場合、その値は不定です。

エクストラ領域にプログラムする場合、プログラムする 4 バイトのデータは FWB0 レジスタと FWB1 レジスタに設定してください。

E2 データフラッシュにプログラムする場合、プログラムするデータは FWB0 レジスタの下位 8 ビットに設定してください。

ROM にプログラムする場合、プログラムする 8 バイトのデータは FWB0 レジスタから FWB3 レジスタに設定してください。[図 46.3](#) に FSARH/FSARL レジスタが示すアドレスと FWBn レジスタに設定されたデータの関係を示します。

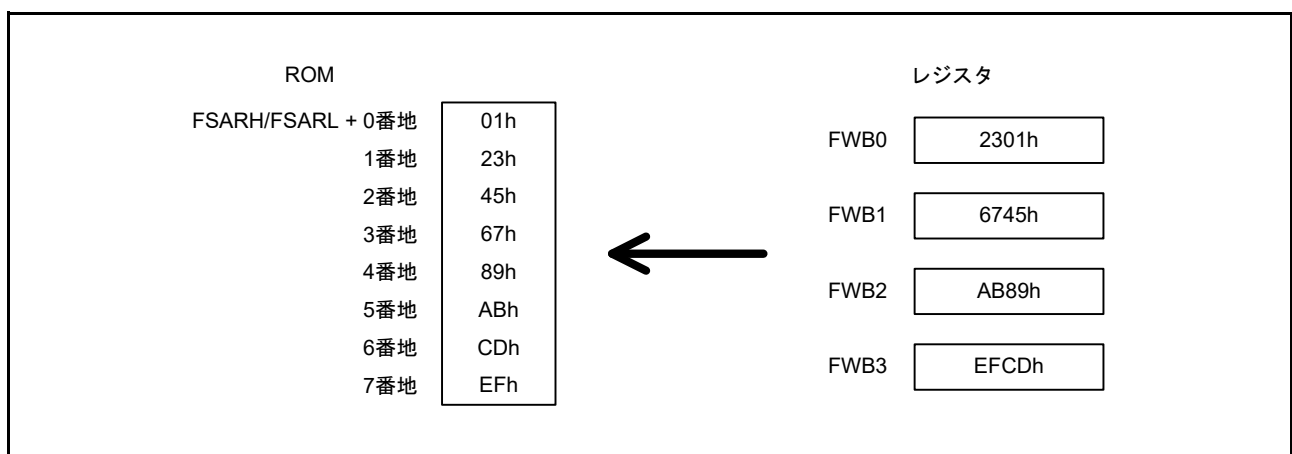


図 46.3 FWBn レジスタ設定値と ROM 上のデータ配置

46.4.17 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス FLASH.FSTATR0 007F C128h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	EILGLERR	ILGLERR	BCERR	—	PRGERR	ERERR
リセット後の値	x	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ERERR	イレーズエラーフラグ	0: イレーズは正常終了 1: イレーズ中にエラー発生	R
b1	PRGERR	プログラムエラーフラグ	0: プログラムは正常終了 1: プログラム中にエラー発生	R
b2	—	予約ビット	読んだ場合、その値は不定	R
b3	BCERR	ブランクチェックエラーフラグ	0: ブランクチェックは正常終了 1: ブランクチェック中にエラー発生	R
b4	ILGLERR	イリーガルコマンドエラーフラグ	0: 不正なソフトウェアコマンドや、不正なアクセスを検出していない 1: 不正なソフトウェアコマンドや、不正なアクセスを検出	R
b5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ	0: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出していない 1: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出	R
b7-b6	—	予約ビット	読んだ場合、その値は不定	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各エラーフラグは、次のソフトウェアコマンドを実行すると“0”になります。

ERERR フラグ (イレーズエラーフラグ)

ROM/E2 データフラッシュに対するイレーズ処理の結果を示すフラグです。

["1"になる条件]

- イレーズ中にエラーが発生した

["0"になる条件]

- 次のソフトウェアコマンドを実行した
イレーズ中に FCR.STOP ビットを“1” (強制処理停止) にするとフラグの値は不定になります。

PRGERR フラグ (プログラムエラーフラグ)

ROM/E2 データフラッシュに対するプログラム処理の結果を示すフラグです。

["1"になる条件]

- プログラム中にエラーが発生した

["0"になる条件]

- 次のソフトウェアコマンドを実行した

BCERR フラグ (ブランクチェックエラーフラグ)

ROM/E2 データフラッシュに対するブランクチェック処理の結果を示すフラグです。

["1"になる条件]

- ブランクチェック中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した
ブランクチェック中に FCR.STOP ビットを "1" (強制処理停止) にするとフラグの値は不定になります。

ILGLERR フラグ (イリーガルコマンドエラーフラグ)

ソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- アクセスウィンドウの範囲外の領域に対して、プログラム/イレーズを実行した
- FSARH/FSARL レジスタの設定値が FEARH/FEARL レジスタの設定値より大きいときに、ブランクチェック、ブロックイレーズのいずれかのコマンドを実行した
- FASR.EXS ビットが "1" のときに、プログラムコマンド、ブロックイレーズコマンドを実行した
- アクセスウィンドウを設定した状態で全ブロックイレーズを実行した
- FSARH/FSARL レジスタ、FEARH/FEARL レジスタの設定を正しく行わずに全ブロックイレーズコマンドを実行した
- ROM が P/E モードのときに FSARH/FSARL レジスタに E2 データフラッシュのアドレスを設定して、ソフトウェアコマンドを実行した
- E2 データフラッシュが P/E モードのときに FSARH/FSARL レジスタに ROM のアドレスを設定して、ソフトウェアコマンドを実行した
- ROM/E2 データフラッシュとも P/E モードに設定して、ソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

EILGLERR フラグ (エクストラ領域イリーガルコマンドエラーフラグ)

エクストラ領域に対するソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- FASR.EXS ビットが "0" のときに、エクストラ領域に対するソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

46.4.18 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス FLASH.FSTATR1 007F C12Ch

b7	b6	b5	b4	b3	b2	b1	b0
EXRDY	FRDY	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと“1”が読めます	R
b5-b3	—	予約ビット	読むと“0”が読めます	R
b6	FRDY	フラッシュレディフラグ	0: 下記以外 1: FCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R
b7	EXRDY	エクストラ領域レディフラグ	0: 下記以外 1: FEXCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各フラグは、次のソフトウェアコマンドを実行すると“0”になります。

FRDY フラグ (フラッシュレディフラグ)

ソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了するか、または強制停止処理が完了すると“1”になり、FCR.OPST ビットを“0”にすると、“0”になります。

また、FRDY フラグが“1”になると割り込み (FRDYI) が発生します。

EXRDY フラグ (エクストラ領域レディフラグ)

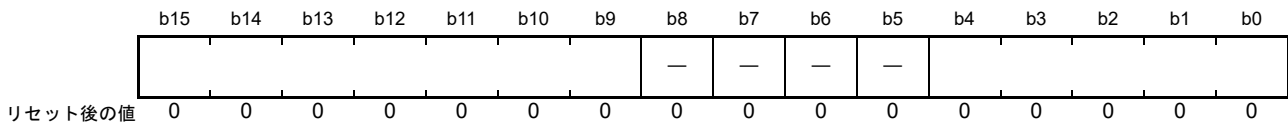
エクストラ領域に対するソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了すると“1”になり、FEXCR.OPST ビットを“0”にすると、“0”になります。

また、EXRDY フラグが“1”になると割り込み (FRDYI) が発生します。

46.4.19 フラッシュエラーアドレスモニタレジスタ H (FEAMH)

アドレス FLASH.FEAMH 007F C1E8h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b31-b25、b20-b16 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b31-b25、b20-b16 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

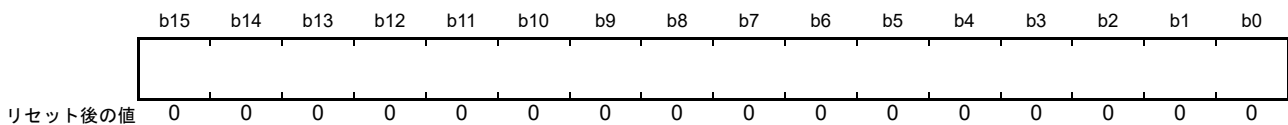
なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b31-b25、b20-b16 が格納されます。

フラッシュメモリのアドレスは、図 46.1、図 46.2 を参照してください。

46.4.20 フラッシュエラーアドレスモニタレジスタ L (FEAML)

アドレス FLASH.FEAML 007F C1E0h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b15-b0 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b15-b0 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b15-b0 が格納されます。

なお、ROM に対するソフトウェアコマンドを実行した場合下位 3 ビットは“000b”になります。

フラッシュメモリのアドレスは、図 46.1、図 46.2 を参照してください。

46.4.21 フラッシュスタートアップ設定モニタレジスタ (FSCMR)

アドレス FLASH.FSCMR 007F C1C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	AWPR	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
リセット後の値	0	ユーザ の設定 値 (注1)	1	1	0	1	1	ユーザ の設定 値 (注2)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます	R
b8	SASMF	スタートアップ領域設定モニタフラグ	0: 代替領域から起動する設定になっています 1: デフォルト領域から起動する設定になっています	R
b10-b9	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b11	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b14	AWPR	アクセスウィンドウプロテクトフラグ	0: アクセスウィンドウの設定を変更できません 1: アクセスウィンドウの設定を変更できます	R
b15	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. ブランク品は“1”です。アクセスウィンドウプロテクトコマンドを実行した後は、FWB0レジスタのb14に設定した値と同じ値になります。

注2. ブランク品は“1”です。スタートアップ領域情報プログラムコマンドを実行した後は、FWB0レジスタのb8に設定した値と同じ値になります。

SASMF フラグ (スタートアップ領域設定モニタフラグ)

スタートアップ領域の設定内容を確認するためのフラグです。

“0”の場合、ユーザプログラムは代替領域から起動する設定になっています。

“1”の場合、ユーザプログラムはデフォルト領域から起動する設定になっています。

AWPR フラグ (アクセスウィンドウプロテクトフラグ)

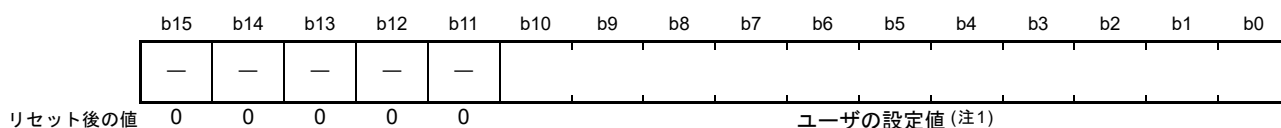
アクセスウィンドウの設定内容がプロテクトされているかどうかを確認するためのフラグです。

“0”の場合、アクセスウィンドウの開始/終了アドレスを変更することはできません。

“1”の場合、アクセスウィンドウの開始/終了アドレスを変更することができます。

46.4.22 フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)

アドレス FLASH.FAWSMR 007F C1C8h

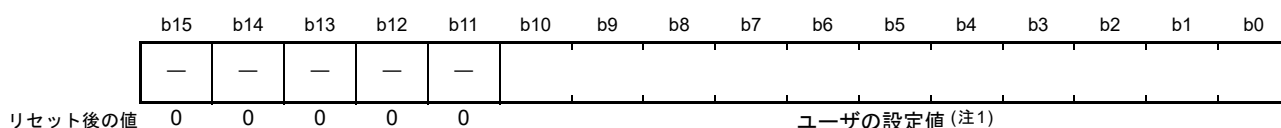


注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB0レジスタのb10-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの開始アドレス設定値を確認するためのレジスタです。

46.4.23 フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)

アドレス FLASH.FAWEMR 007F C1D0h

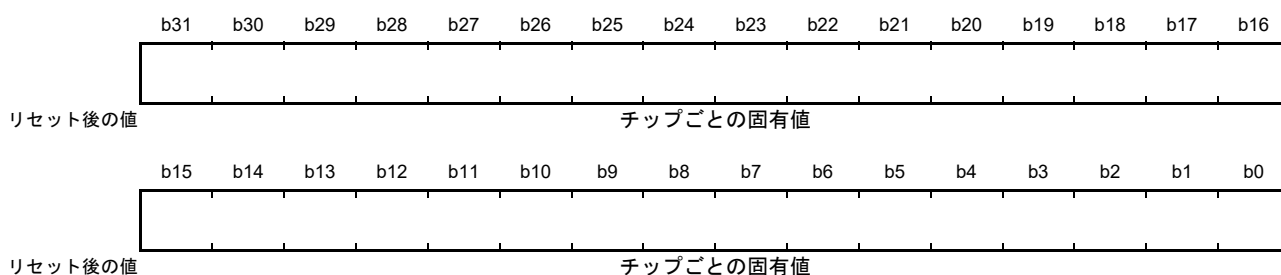


注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB1レジスタのb10-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの終了アドレス設定値を確認するためのレジスタです。

46.4.24 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)

アドレス FLASH.UIDR0 007F C350h, FLASH.UIDR1 007F C354h, FLASH.UIDR2 007F C358h, FLASH.UIDR3 007F C35Ch



UIDRn レジスタは、MCU の個体を識別するために用意された 16 バイト長の ID コード (ユニーク ID) を格納しているレジスタです。

ユニーク ID はフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。

46.5 スタートアッププログラム保護機能

セルフプログラミングでスタートアッププログラム(注1)の書き換えを行うとき、電源の瞬断などで書き換えが中断すると、スタートアッププログラムが正しく書き込まれず、ユーザプログラムを正しく起動できなくなる可能性があります。

この機能を使用することで、スタートアッププログラムを消去せずに書き換えることができようになり、上記のような問題が回避できます。なお、この機能はROM容量が32Kバイト以上の製品で有効です。

図46.4にスタートアッププログラム保護機能の概念を示します。ここでは説明のため、ブロック0～7をデフォルト領域、ブロック8～15を代替領域と呼びます。

注1. ユーザプログラムを起動するための処理を行うプログラム。固定ベクタテーブルも含まれる。

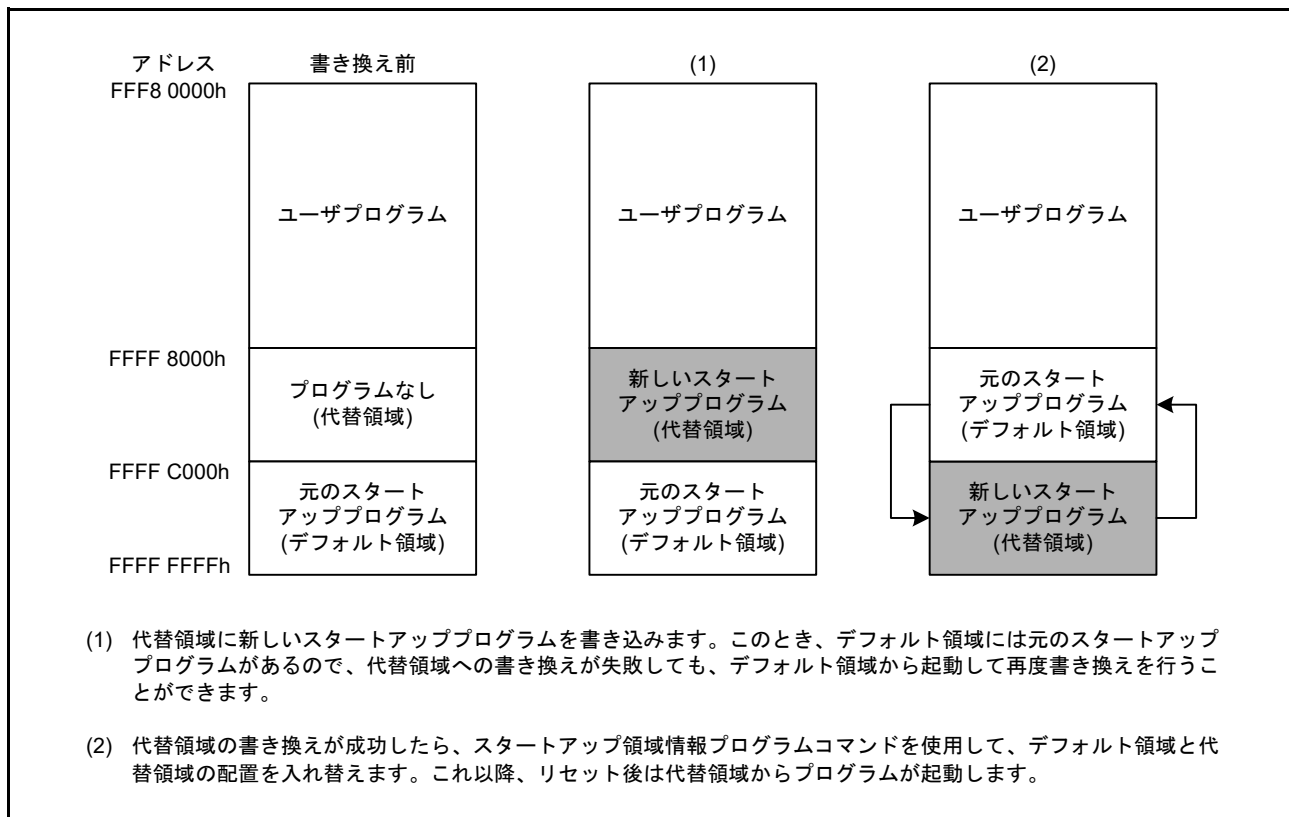


図 46.4 スタートアッププログラム保護機能の概念

46.6 エリアプロテクション

セルフプログラミング時に、ユーザ領域の指定された範囲 (アクセスウィンドウ) のみ書き換えを許可し、それ以外は書き換えを禁止する機能です。データ領域にアクセスウィンドウを設定することはできません。

アクセスウィンドウの範囲設定は、開始アドレスと終了アドレスを指定して行います。アクセスウィンドウの範囲は、ブートモードおよびセルフプログラミングのいずれでも設定できますが、エリアプロテクションが有効になるのはシングルチップモードでセルフプログラミングを行うときだけです。

図 46.5 にエリアプロテクションの概念を示します。

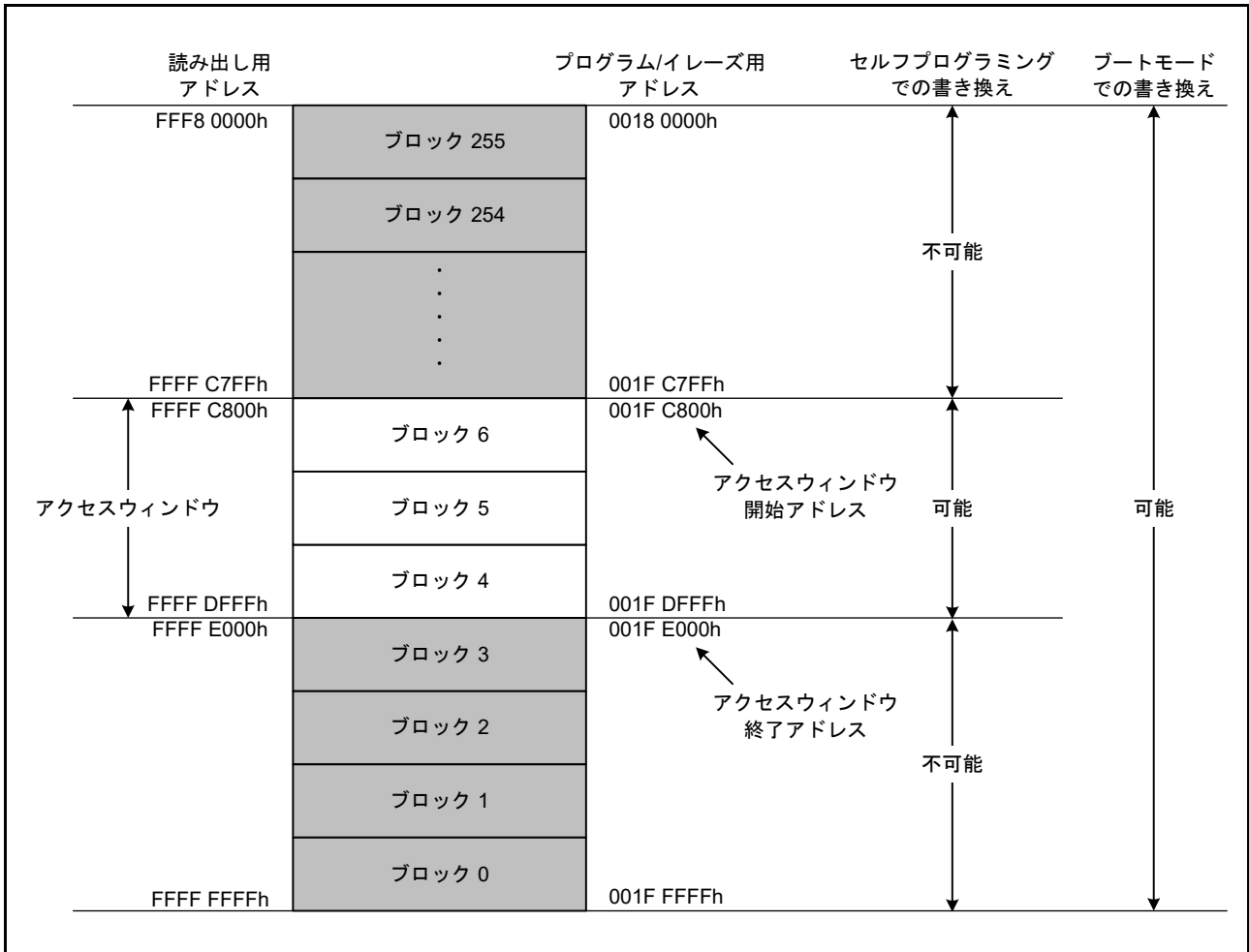


図 46.5 エリアプロテクションの概念 (ROM 容量が 512K バイトの製品で、ブロック 4 からブロック 6 をアクセスウィンドウに設定した場合)

46.7 プログラム/イレーズ

ROM や E2 データフラッシュへのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサのモードへ移行して、プログラム/イレーズ用のコマンドを発行することで行います。

ROM や E2 データフラッシュへのプログラム/イレーズに必要なモード移行とコマンドについて以下に説明します。これらはブートモード/シングルチップモードで共通です

46.7.1 シーケンサのモード

シーケンサには、4 種類のモードがあります。モードの移行は、DFLCTL レジスタ、FENTRYR レジスタへの書き込み、および FPMCR レジスタの設定で行います。図 46.6 にフラッシュメモリのモード遷移図を示します。

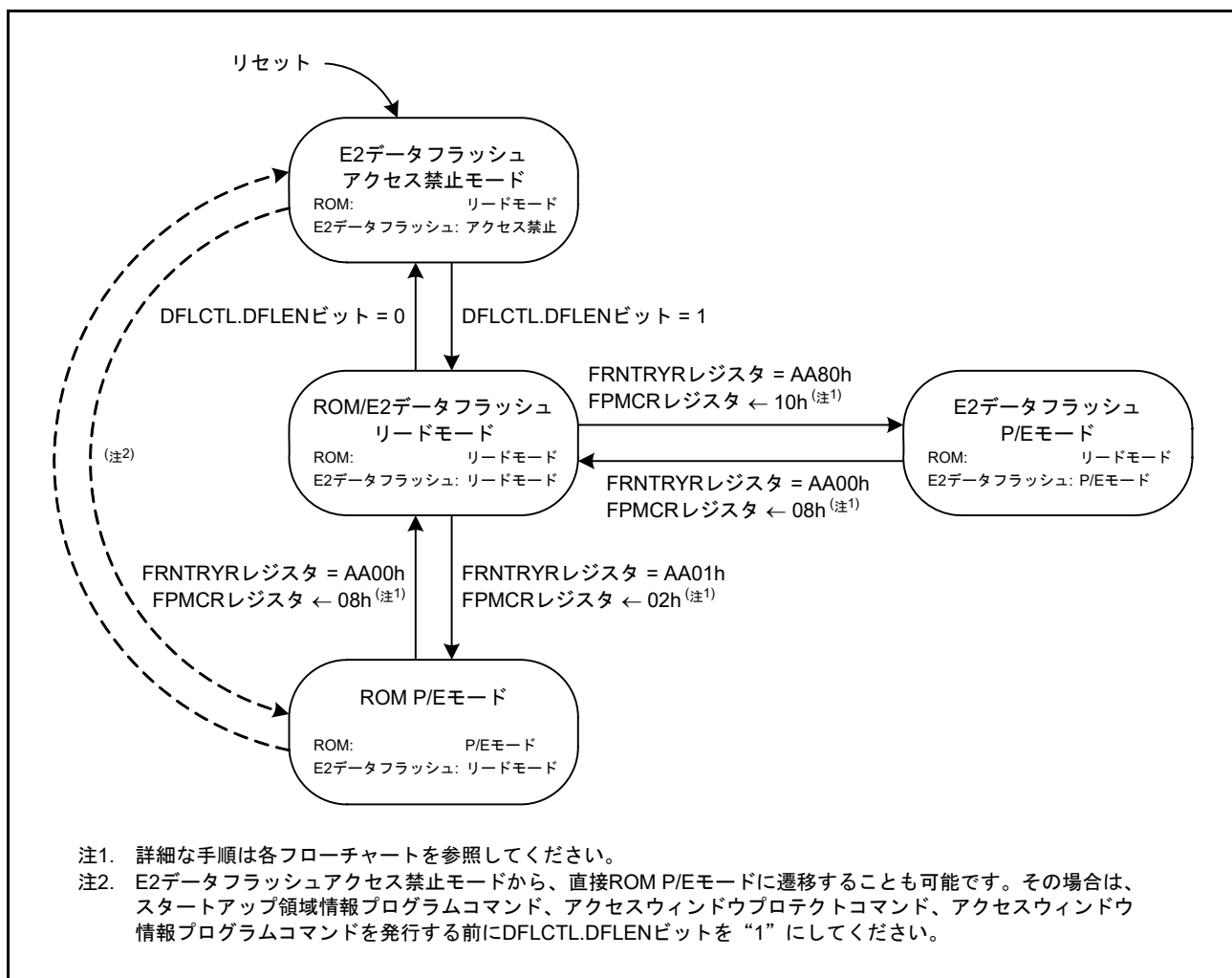


図 46.6 フラッシュメモリのモード遷移図

46.7.1.1 E2 データフラッシュアクセス禁止モード

E2 データフラッシュアクセス禁止モードは、E2 データフラッシュのアクセスが禁止されているモードです。リセット直後はこのモードに遷移します。

DFLCTL.DFLEN ビットを“1”にすると、E2 データフラッシュはリードモードに遷移します。

46.7.1.2 リードモード

リードモードは、ROMまたはE2データフラッシュの高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、1 ICLK クロックの高速読み出しが可能です。

(1) ROM/E2データフラッシュリードモード

ROM、E2データフラッシュともにリードモードになっているモードを、ROM/E2データフラッシュリードモードと言います。P/Eモードからは、FPMCRレジスタを“08h”、FENTRYR.FENTRYDビットを“0”、FENTRYR.FENTRY0ビットを“0”にした場合にこのモードに遷移します。

46.7.1.3 P/Eモード

P/Eモードは、ROMまたはE2データフラッシュのプログラム/イレーズを行うモードです。

(1) ROM P/Eモード

ROMがP/Eモード、E2データフラッシュがリードモードになっているモードを、ROM P/Eモードと言います。FENTRYR.FENTRYDビットを“0”、FENTRYR.FENTRY0ビットを“1”、FPMCRレジスタを“02h”にした場合にこのモードに遷移します。

(2) E2データフラッシュ P/Eモード

ROMがリードモード、E2データフラッシュがP/Eモードになっているモードを、E2データフラッシュ P/Eモードと言います。FENTRYR.FENTRYDビットを“1”、FENTRYR.FENTRY0ビットを“0”、FPMCRレジスタを“10h”にした場合にこのモードに遷移します。

46.7.2 モード遷移

46.7.2.1 E2データフラッシュアクセス禁止モードからリードモードへの遷移

E2データフラッシュをリードするためには、E2データフラッシュアクセス禁止モードから、ROM/E2データフラッシュリードモードに遷移させる必要があります。

ROM/E2データフラッシュリードモードに遷移させるためには、DFLCTL.DFLENビットを“1”にします。

図 46.7 に E2データフラッシュアクセス禁止モードから ROM/E2データフラッシュリードモードへの遷移フローを示します。

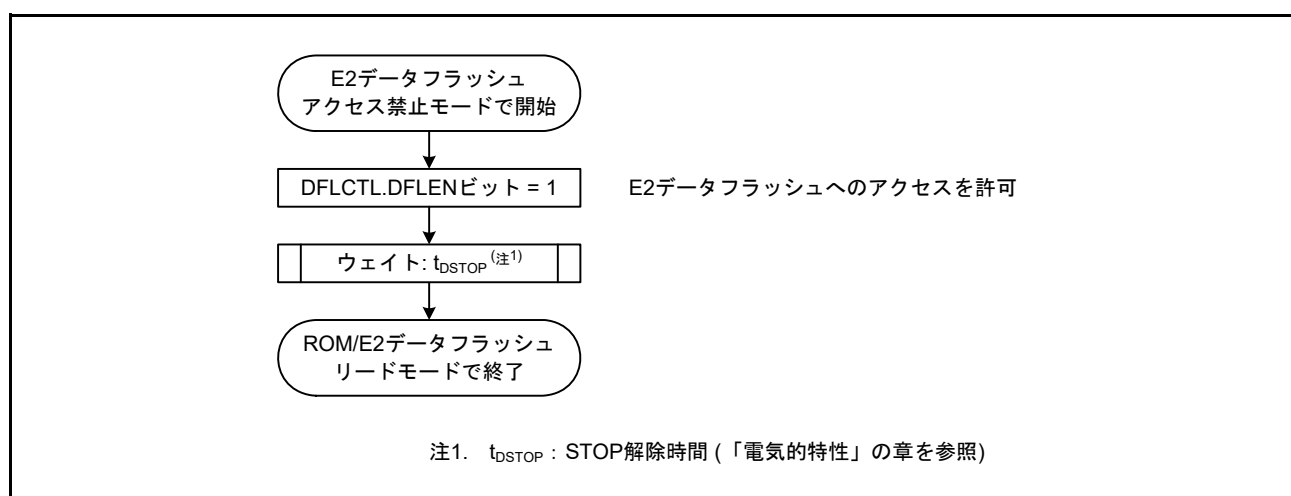


図 46.7 E2データフラッシュアクセス禁止モードからROM/E2データフラッシュリードモードへの遷移フロー

46.7.2.2 リードモードから P/E モードへの遷移

ROM 関連のソフトウェアコマンドを実行するためには、ROM P/E モードに遷移させる必要があります。

図 46.8 に ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フローを、図 46.9 に ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フローを示します。

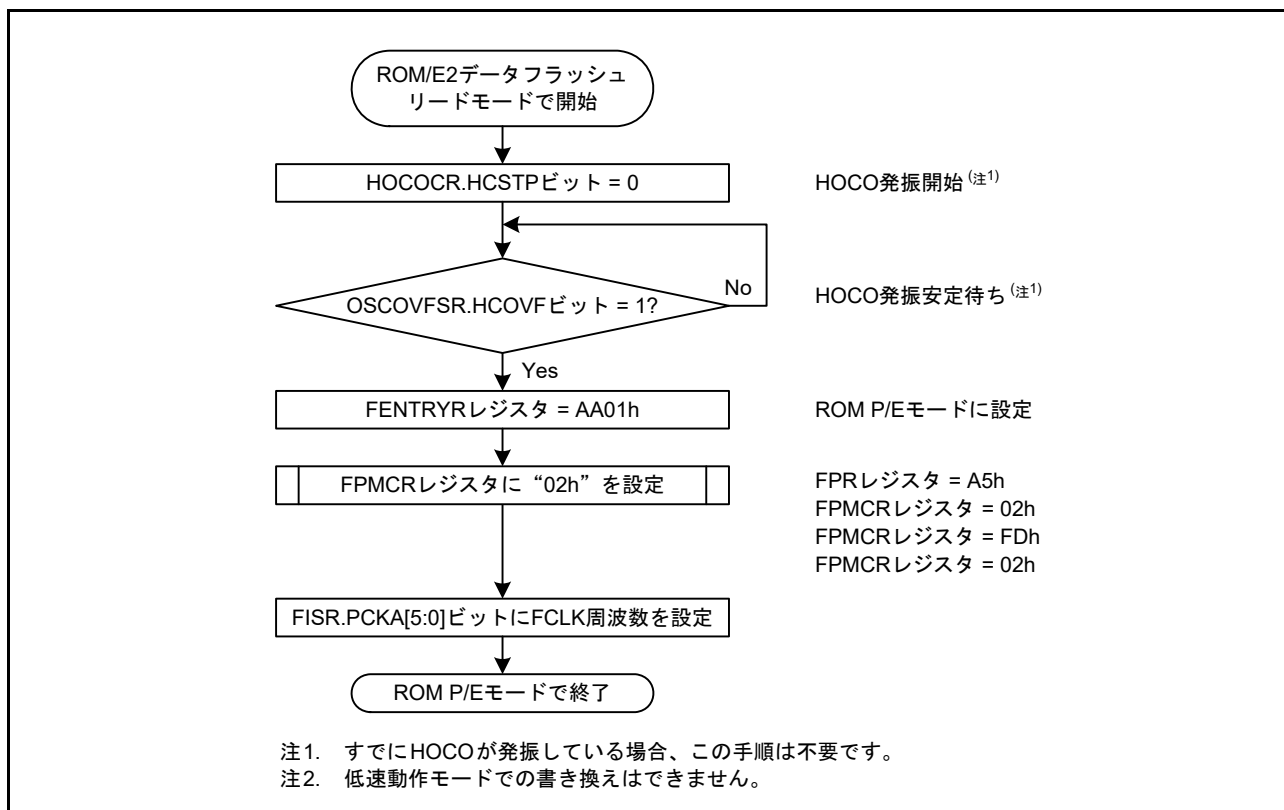


図 46.8 ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フロー

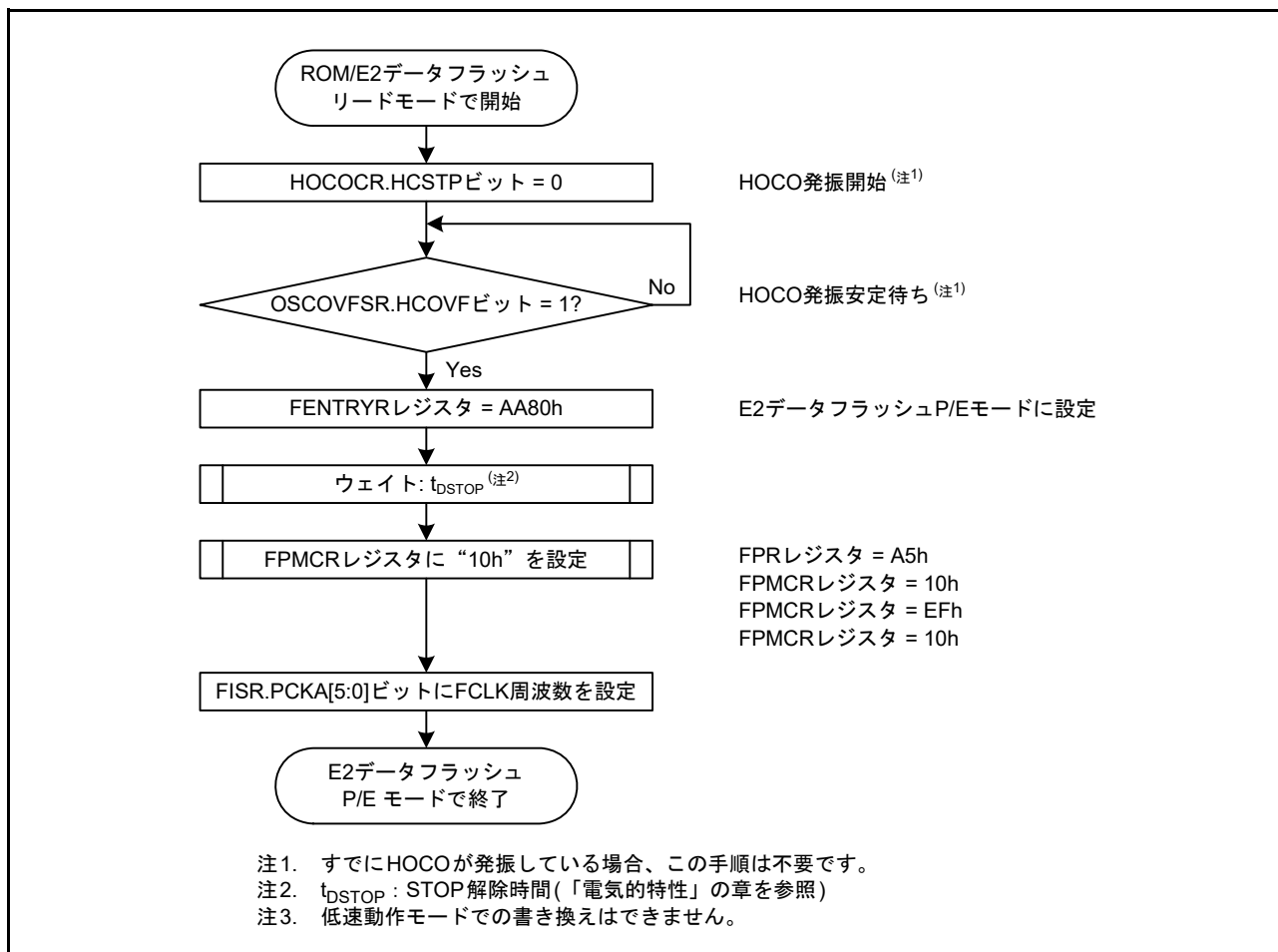


図 46.9 ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フロー

46.7.2.3 P/E モードからリードモードへの遷移

ROM の高速読み出しを行うためには、ROM/E2 データフラッシュリードモードに遷移させる必要があります。

図 46.10 に ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを、図 46.11 に E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを示します。

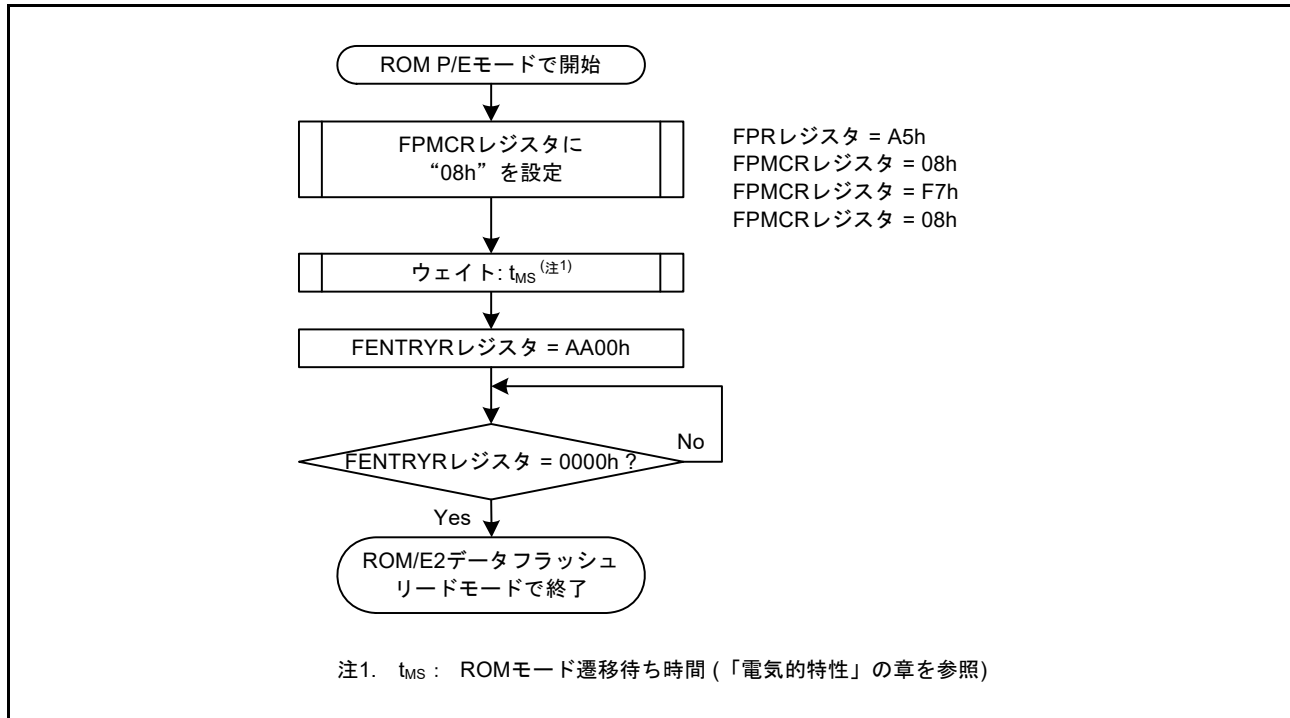


図 46.10 ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

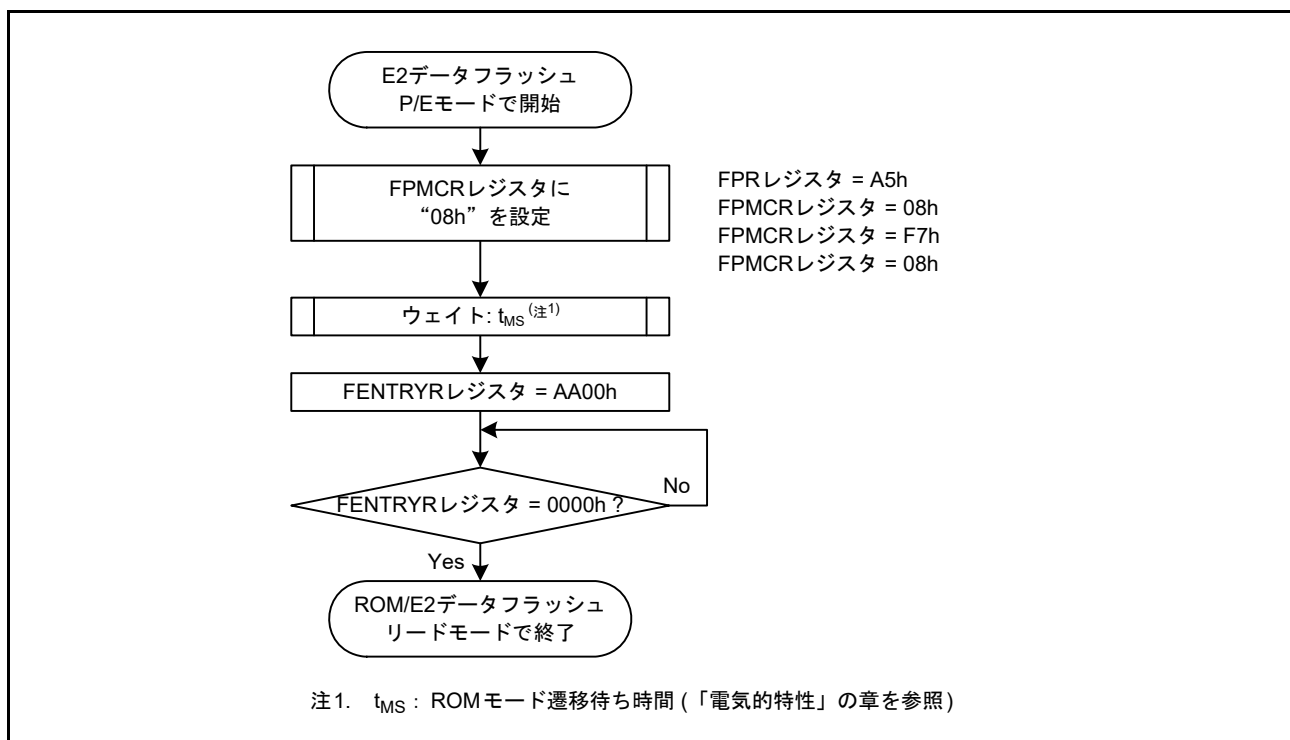


図 46.11 E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

46.7.3 ソフトウェアコマンド一覧

ソフトウェアコマンドには、プログラム/イレーズを行うためのコマンドや、スタートアッププログラム領域情報のプログラムを行うコマンド、アクセスウィンドウ情報プログラムを行うコマンドなどがあります。表 46.6 にフラッシュメモリで使用可能なソフトウェアコマンドの一覧を示します。

表46.6 ソフトウェアコマンド一覧

コマンド	機能
プログラム	<ul style="list-style-type: none">ROMへの書き込み(8バイト)E2データフラッシュへの書き込み(1バイト)
ブロックイレーズ	ROM/E2データフラッシュの消去
全ブロックイレーズ	ROM/E2データフラッシュの一括消去
ブランクチェック	指定した領域内のブランクチェックを行います 書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません
スタートアップ領域情報プログラム	スタートアッププログラム保護機能で使用するスタートアップ領域切り替え情報を書き換えます
アクセスウィンドウプロテクト	エリアプロテクションで使用するアクセスウィンドウの設定を書き換えられないようにプロテクトします
アクセスウィンドウ情報プログラム	エリアプロテクションで使用するアクセスウィンドウを設定します

46.7.4 ソフトウェアコマンド使用方法

ここでは各ソフトウェアコマンドの使用方法について、フローチャートを用いて説明します。

46.7.4.1 プログラム

図 46.12、図 46.13 にプログラムコマンドの発行フローを示します。

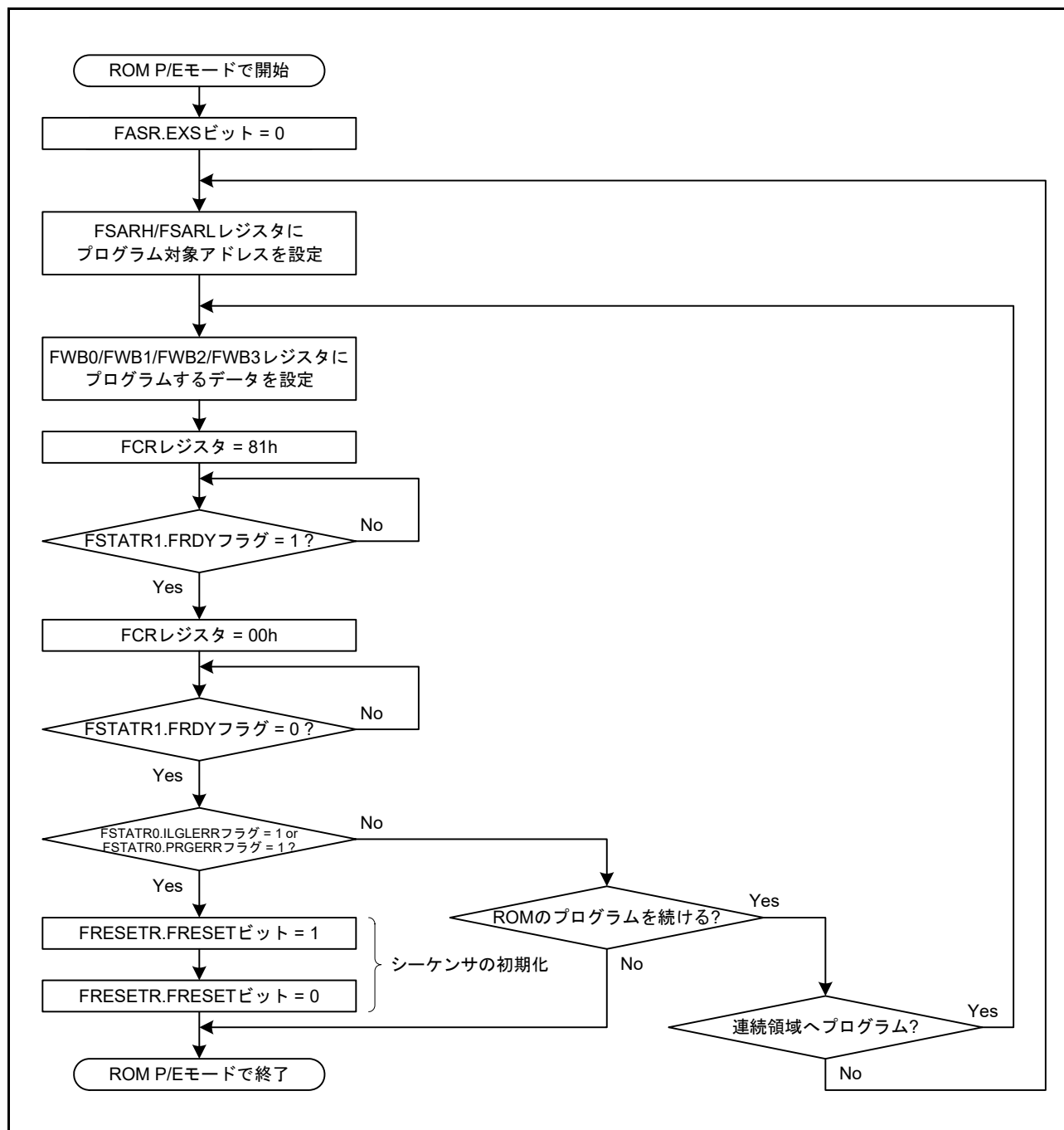


図 46.12 プログラムコマンドの発行フロー (ROM)

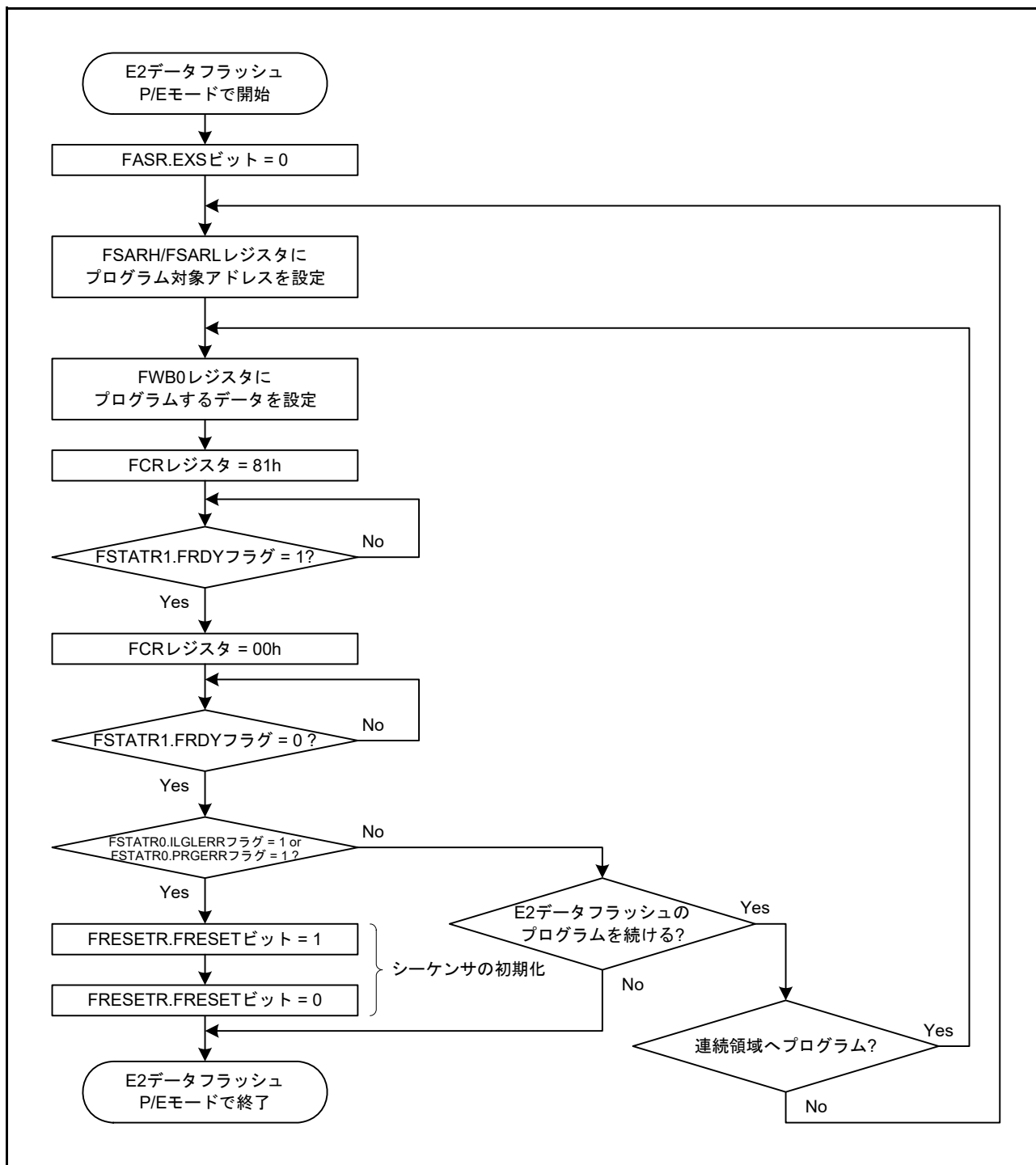


図 46.13 プログラムコマンドの発行フロー (E2 データフラッシュ)

46.7.4.2 ブロックイレーズ

図 46.14、図 46.15 にブロックイレーズコマンドの発行フローを示します。

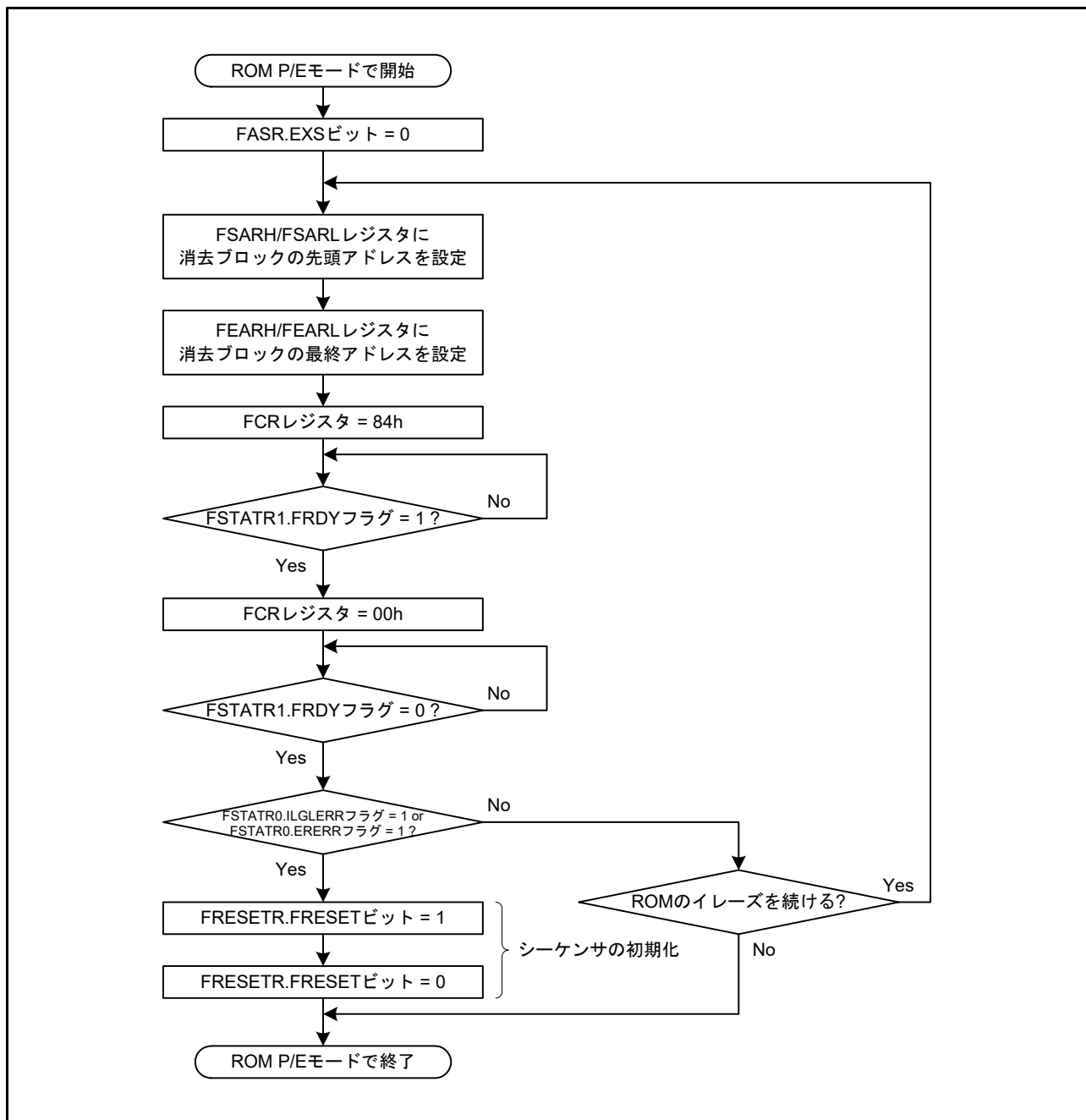


図 46.14 ブロックイレーズコマンドの発行フロー (ROM)

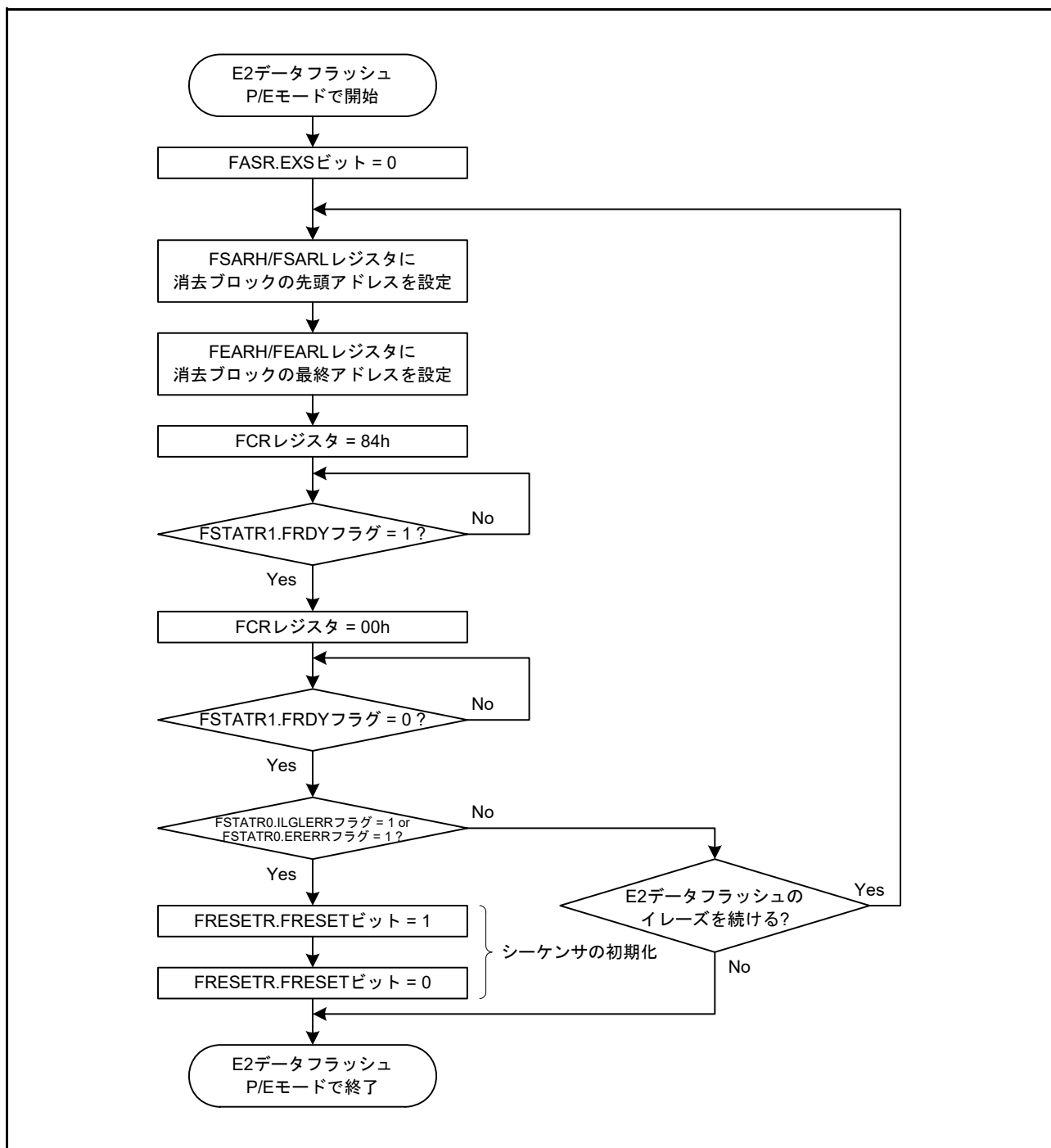


図 46.15 ブロックイレーズコマンドの発行フロー (E2 データフラッシュ)

46.7.4.3 全ブロックイレーズ

図 46.16、図 46.17 に全ブロックイレーズコマンドの発行フローを示します。

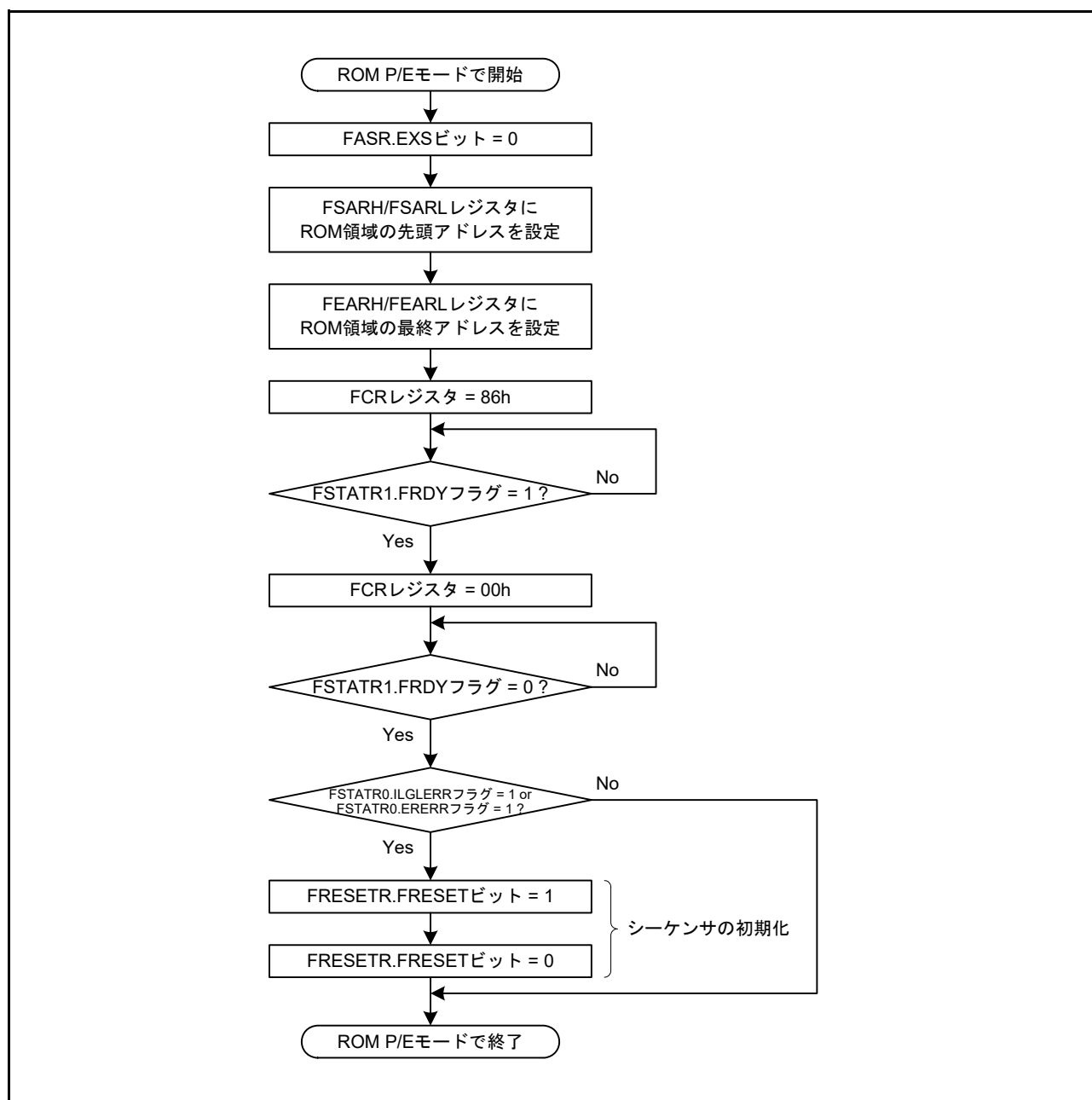


図 46.16 全ブロックイレーズコマンドの発行フロー (ROM)

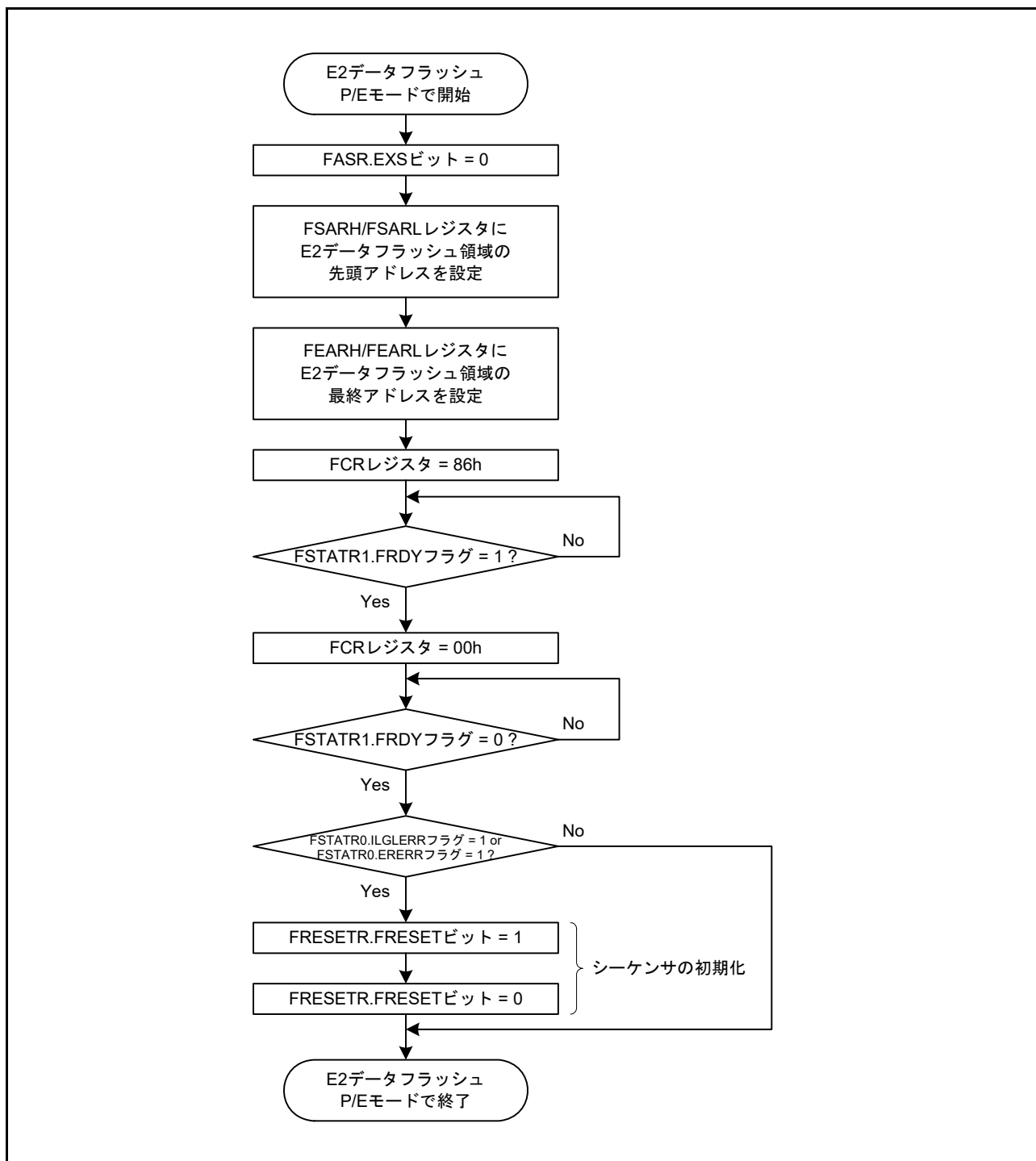


図 46.17 全ブロックイレースコマンドの発行フロー (E2 データフラッシュ)

46.7.4.4 ブランクチェック

図 46.18、図 46.19 にブランクチェックコマンドの発行フローを示します。

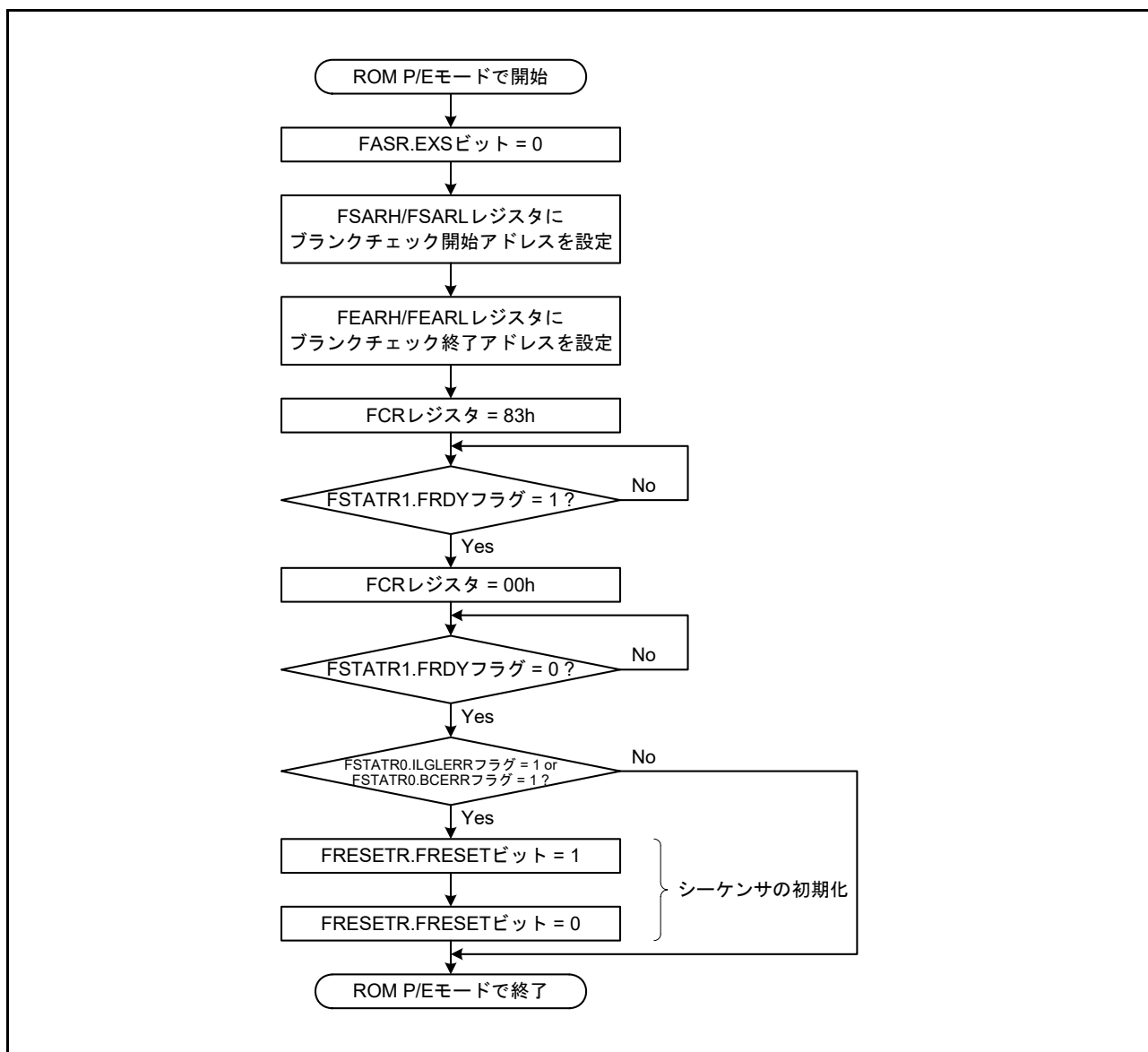


図 46.18 ブランクチェックコマンドの発行フロー (ROM)

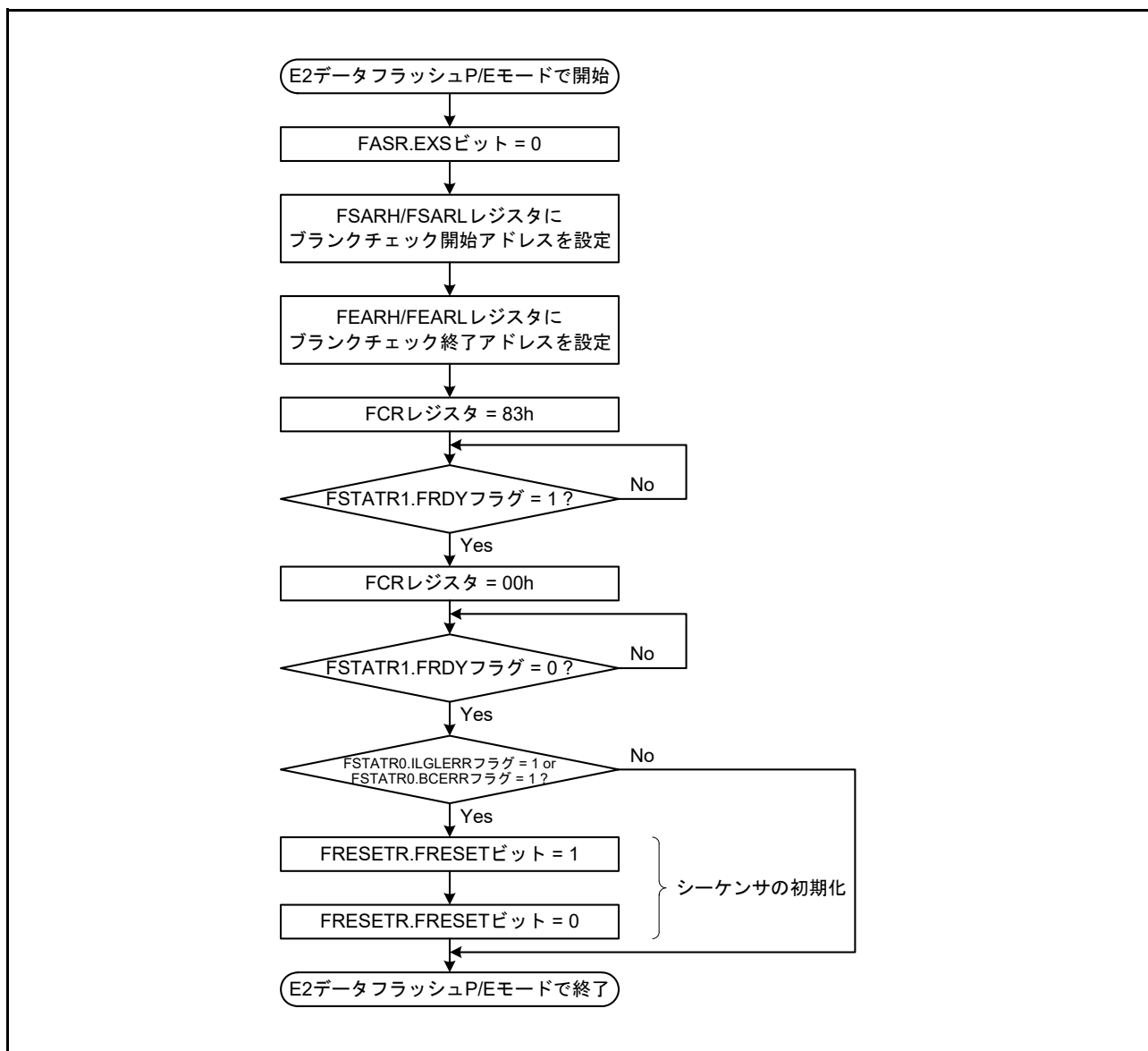


図 46.19 ブランクチェックコマンドの発行フロー (E2 データフラッシュ)

46.7.4.5 スタートアップ領域情報プログラム/アクセスウィンドウプロテクト/アクセスウィンドウ情報プログラム

図 46.20 にスタートアップ領域情報プログラムコマンド/アクセスウィンドウプロテクトコマンド/アクセスウィンドウ情報プログラムコマンドの発行フローを示します。

なお、E2 データフラッシュアクセス禁止モードから直接 ROM P/E モードに遷移した場合は、フローの先頭で DFLCTL.DFLEN ビットを“1”にしてください。

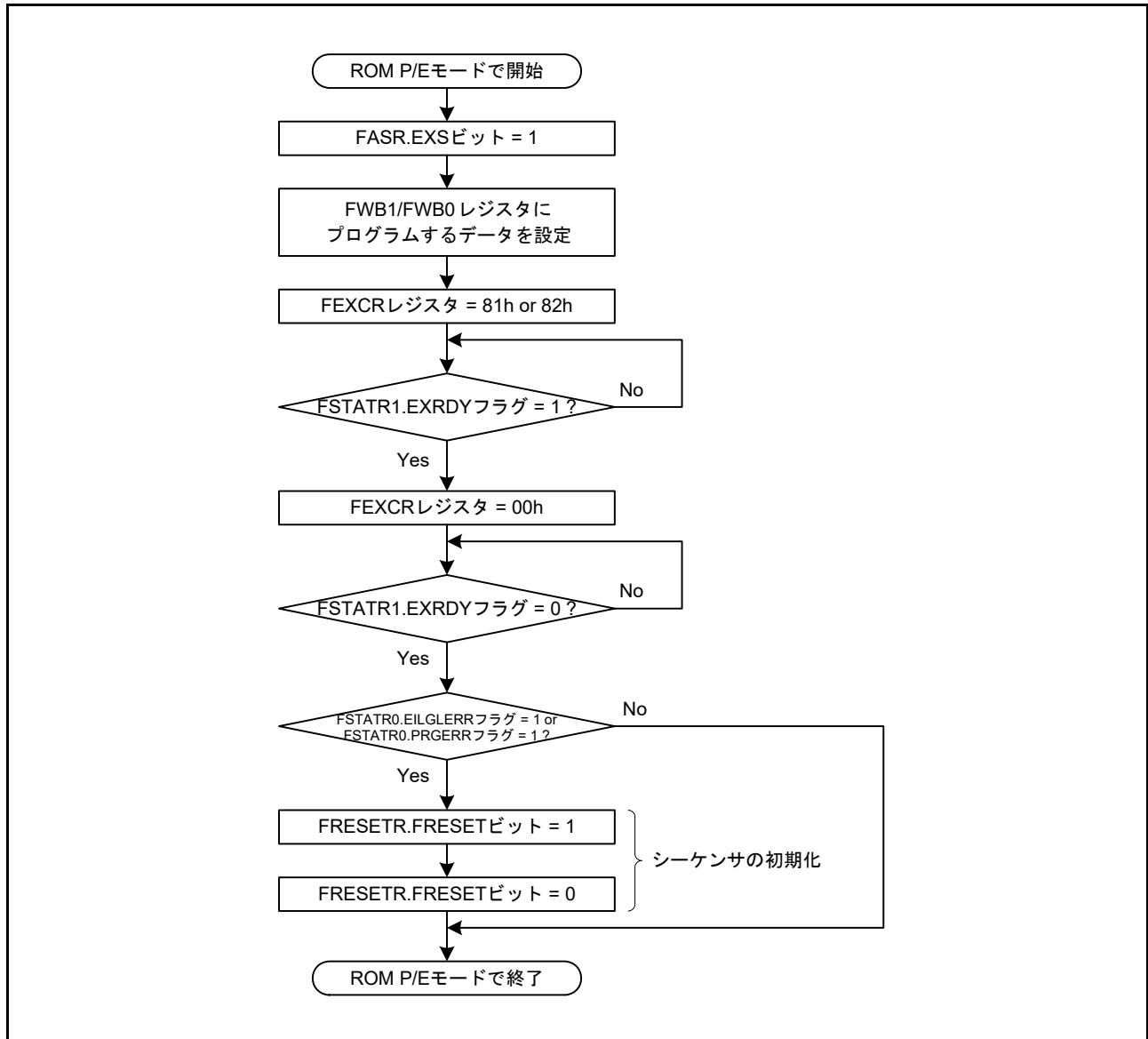


図 46.20 スタートアップ領域情報プログラムコマンド/アクセスウィンドウプロテクトコマンド/アクセスウィンドウ情報プログラムコマンドの発行フロー

46.7.4.6 ソフトウェアコマンドの強制停止

ブランクチェックコマンド、ブロックイレーズコマンドを強制的に停止させるには、図 46.21 に従って実施してください。

強制停止を実行すると、FEAMH/FEAML レジスタに中断した時点のアドレスが格納されます。ブランクチェックの場合は、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにコピーすることで、中断した処理を続きから再開させることができます。

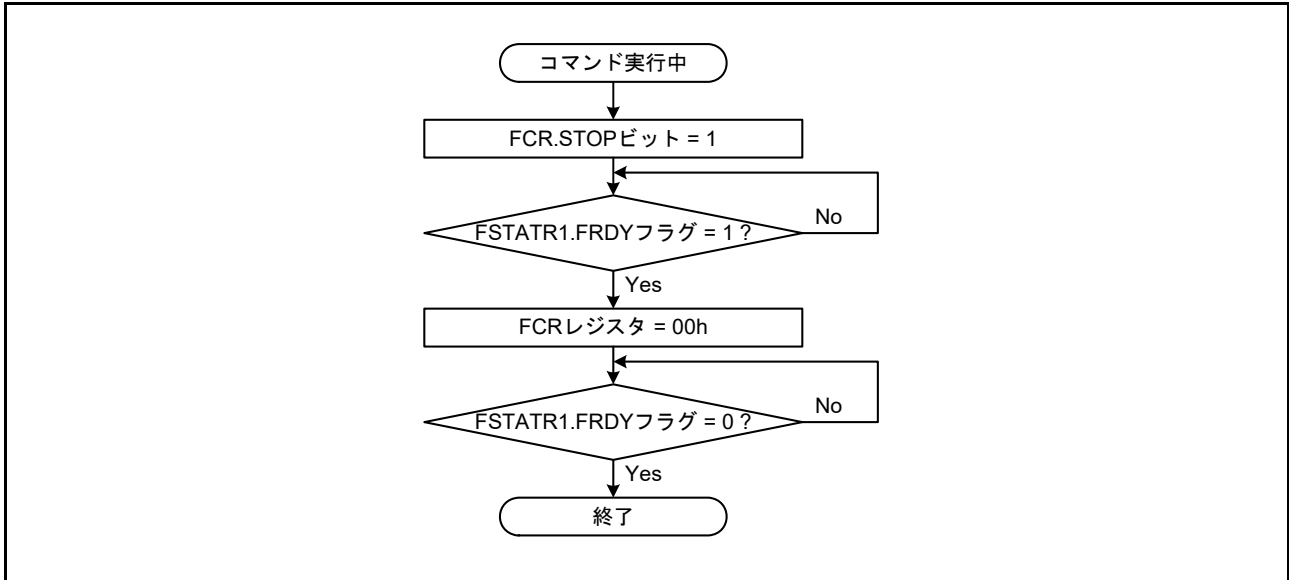


図 46.21 ソフトウェアコマンド強制停止の実行フロー

46.7.5 割り込み

ソフトウェアコマンド処理が完了するか、または強制停止処理が完了すると割り込み (FRDYI) が発生します。FCR.OPST ビットを“0”にすると FSTATR1.FRDY フラグが“0”に、また、FEXCR.OPST ビットを“0”にすると FSTATR1.EXRDY フラグが“0”になり、次の割り込み (FRDYI) を受け付けられるようになります。

本割り込みに対応する ICU の IERm.IENj ビットを“1”にする前に、IRn.IR フラグをクリアしてください。

46.8 ブートモード

ブートモードは、USB インタフェース、SCI インタフェース、または FINE インタフェースを使用します。

表 46.7 にブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュールを、表 46.8 にブートモードで使用する入出力端子を示します。

表46.7 ブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュール

項目	ブートモード		
	USBインタフェース	SCIインタフェース	FINEインタフェース
プログラム/イレーズ可能な領域	ユーザ領域 データ領域	ユーザ領域 データ領域	ユーザ領域 データ領域
使用する周辺モジュール	USB0	SCI1 (調歩同期式シリアル通信)	FINE

表46.8 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
PC7/UB	入力	ブートモード	動作モードを選択(「3. 動作モード」参照)
MD	入力		動作モードを選択(「3. 動作モード」参照)
MD/FINED	入出力	ブートモード (FINEインタフェース)	動作モードを選択、FINEデータ入出力
USB0_DP, USB0_DM	入出力	ブートモード (USBインタフェース)	データ入出力
P16/USB0_VBUS	入力		USBケーブルの接続/切断検出
P35/UPSEL	入力		バスパワーモードかセルフパワーモードの設定
P30/RXD1	入力	ブートモード (SCIインタフェース)	データ受信(注1)
P26/TXD1	出力		データ送信(注1)

注1. SCIインタフェースを使用する場合は、抵抗を介してVCCに接続(プルアップ)してください。

46.8.1 ブートモード (USB インタフェース)

ブートモード (USB インタフェース) は、フラッシュメモリのプログラム/イレーズに USB インタフェースを用いるモードです。ユーザ領域とデータ領域を書き換えることができます。

MD 端子を Low、UB 端子を High にしてリセットを解除すると、MCU はブートモード (USB インタフェース) で起動します。また、リセット解除時の UPSEL 端子の状態に応じてセルフパワーモードまたはバスパワーモードを選択できます。リセット解除時に UPSEL 端子が Low であればセルフパワーモード、UPSEL 端子が High であればバスパワーモードで動作します。

シリアルプログラマ (USB プログラマ) についてはメーカーにお問い合わせください。

46.8.1.1 ブートモード (USB インタフェース) の動作条件

ブートモード (USB インタフェース) では、シリアルプログラマとの通信に、USB0 を使用します。メインクロック発振器への入力周波数は、4, 6, 8, 12, 16 MHz のいずれかが使用できます。動作電圧は、3.0 V 以上 3.6 V 以下です。

また UB 端子は、VCC に直結、または抵抗を介して VCC に接続 (プルアップ) してください。

図 46.22 にブートモード (USB インタフェース) 時の端子接続例 (セルフパワーモード) を、表 46.9 にブートモード (USB インタフェース) 時に使用する端子の処理内容 (セルフパワーモード) を、図 46.23 にブートモード (USB インタフェース) 時の端子接続例 (バスパワーモード) を、表 46.10 にブートモード (USB インタフェース) 時に使用する端子の処理内容 (バスパワーモード) を示します。

なお、図 46.22、図 46.23 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

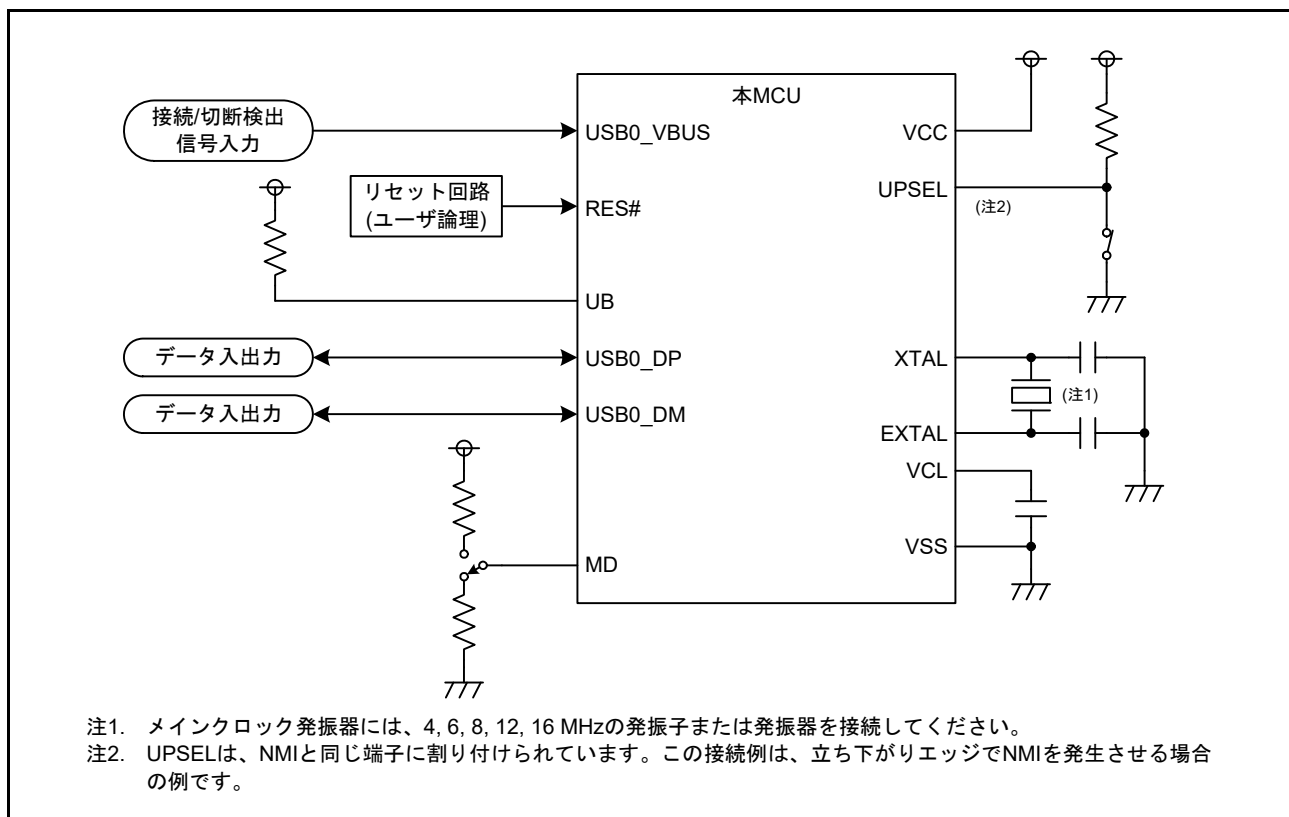


図 46.22 ブートモード (USB インタフェース) 時の端子接続例 (セルフパワーモード)

表 46.9 ブートモード(USB インタフェース)時に使用する端子の処理内容(セルフパワーモード)

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC端子には3.0V以上3.6V以下の電圧を、VSS端子には0Vを入力してください
AVCC0, AVSS0	12ビットA/Dコンバータ電源	—	AVCC0はVCCに接続してください。AVSS0はVSSに接続してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介してVSSに接続してください
XTAL, EXTAL	メインクロック入出力端子	入出力	4, 6, 8, 12, 16 MHzの発振子または発振器を接続してください
MD	動作モードコントロール	入力	Lowを入力してください
PC7/UB	動作モードコントロール	入力	Highを入力してください(注1)
P35/UPSEL	USBパワーモードコントロール	入力	Lowを入力してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
USB0_DP	USB内蔵トランシーバD+入出力端子	入出力	「30. USB2.0FSホスト/ファンクションモジュール(USB _e)」記載の回路へ接続してください
USB0_DM	USB内蔵トランシーバD-入出力端子	入出力	「30. USB2.0FSホスト/ファンクションモジュール(USB _e)」記載の回路へ接続してください
P16/USB0_VBUS	USBケーブル接続モニタ端子	入力	「30. USB2.0FSホスト/ファンクションモジュール(USB _e)」記載の回路へ接続してください

注1. 入力レベルはリセット解除後、2 ms以上、保持してください。

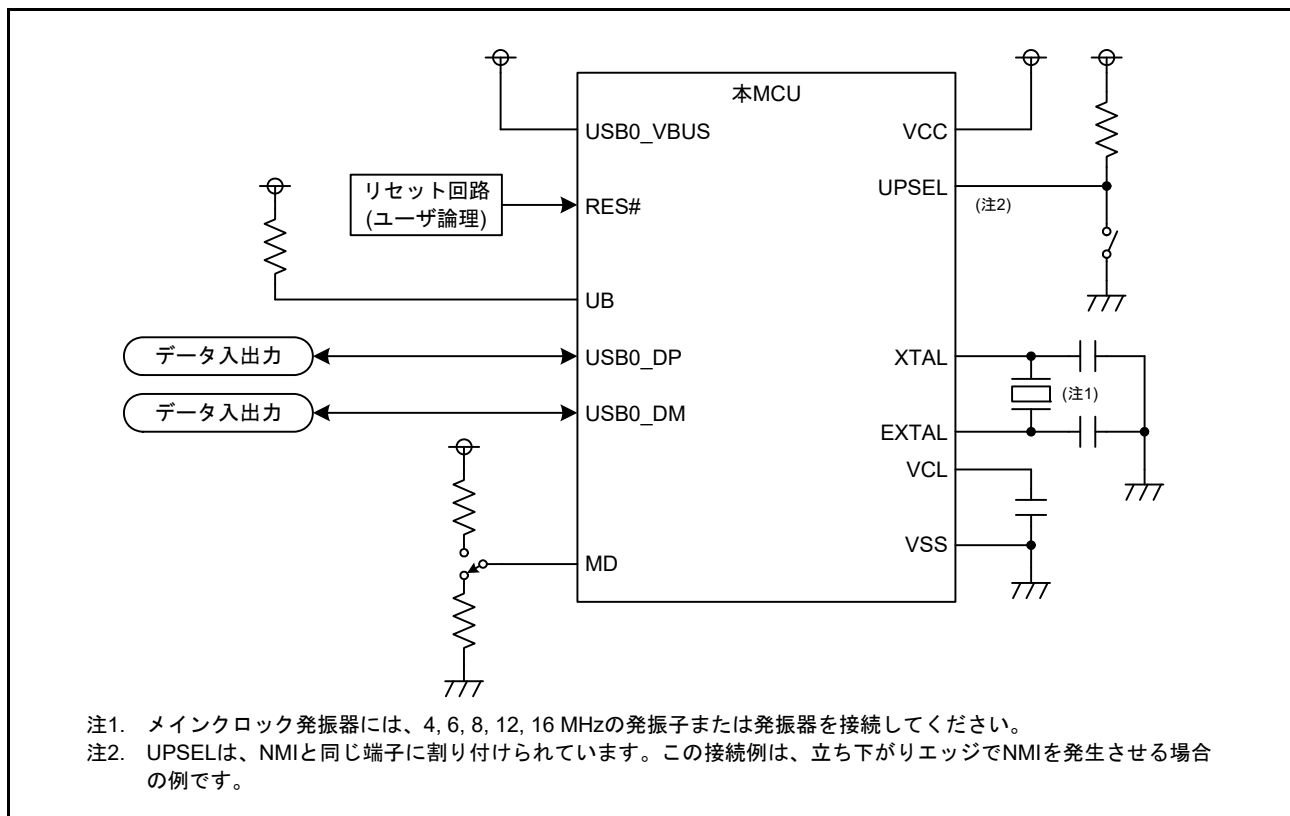


図 46.23 ブートモード (USB インタフェース) 時の端子接続例 (バスパワーモード)

表 46.10 ブートモード(USBインタフェース)時に使用する端子の処理内容(バスパワーモード)

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC端子には3.0V以上3.6V以下の電圧を、VSS端子には0Vを入力してください
AVCC0, AVSS0	12ビットA/Dコンバータ電源	—	AVCC0はVCCに接続してください。AVSS0はVSSに接続してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介してVSSに接続してください
XTAL, EXTAL	メインクロック入出力端子	入出力	4, 6, 8, 12, 16 MHzの発振子または発振器を接続してください
MD	動作モードコントロール	入力	Lowを入力してください
PC7/UB	動作モードコントロール	入力	Highを入力してください(注1)
P35/UPSEL	USBパワーモードコントロール	入力	Highを入力してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
USB0_DP	USB内蔵トランシーバD+入出力端子	入出力	「30. USB2.0FSホスト/ファンクションモジュール(USB _e)」記載の回路へ接続してください
USB0_DM	USB内蔵トランシーバD-入出力端子	入出力	「30. USB2.0FSホスト/ファンクションモジュール(USB _e)」記載の回路へ接続してください
P16/USB0_VBUS	USBケーブル接続モニタ端子	入力	USB0_VBUSはVCCに接続してください

注1. 入力レベルはリセット解除後、2 ms以上、保持してください。

46.8.2 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) は、フラッシュメモリのプログラム / イメージに SCI の調歩同期式モードを用いるモードです。ユーザ領域とデータ領域を書き換えることができます。

MD 端子、UB 端子を Low にしてリセットを解除すると、MCU はブートモード (SCI インタフェース) で起動します。

シリアルプログラマについてはメーカーにお問い合わせください。

46.8.2.1 ブートモード (SCI インタフェース) の動作条件

ブートモード (SCI インタフェース) は、シリアルプログラマとの通信に、SCI1 を調歩同期式モードで使
用します。図 46.24 にブートモード (SCI インタフェース) 時の端子接続例を、表 46.11 にブートモード
(SCI インタフェース) 時に使用する端子の処理内容を示します。

なお、図 46.24 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものでは
ありません。

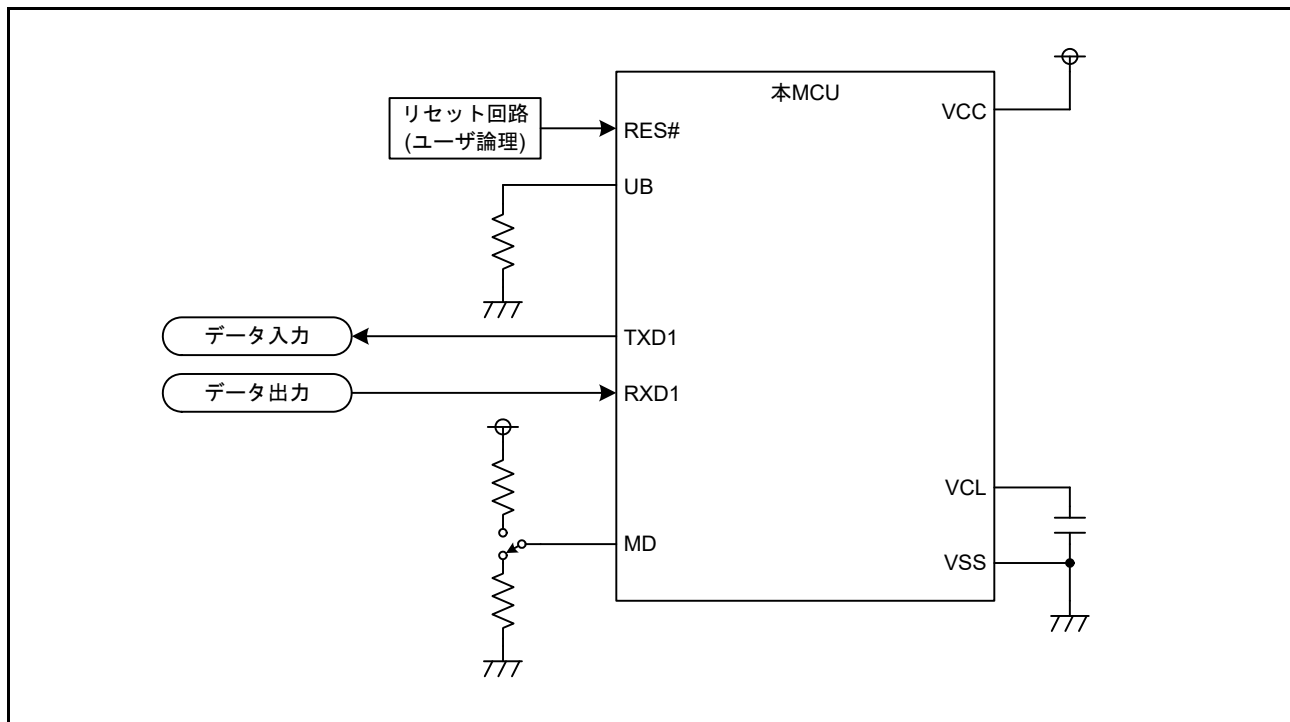


図 46.24 ブートモード (SCI インタフェース) 時の端子接続例

表 46.11 ブートモード (SCI インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 1.6 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD	動作モードコントロール	入力	Low を入力してください
PC7/UB	動作モードコントロール	入力	Low を入力してください (注1)
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
P30/RXD1	データ入力 RXD	入力	シリアルデータの入力端子です
P26/TXD1	データ出力 TXD	出力	シリアルデータの出力端子です

注1. 入力レベルはリセット解除後、2 ms 以上、保持してください。

シリアルプログラマとの通信フォーマットは、図 46.25 に示すとおり、8 ビットデータ、1 ストップビット、パリティなし、LSB ファーストです。

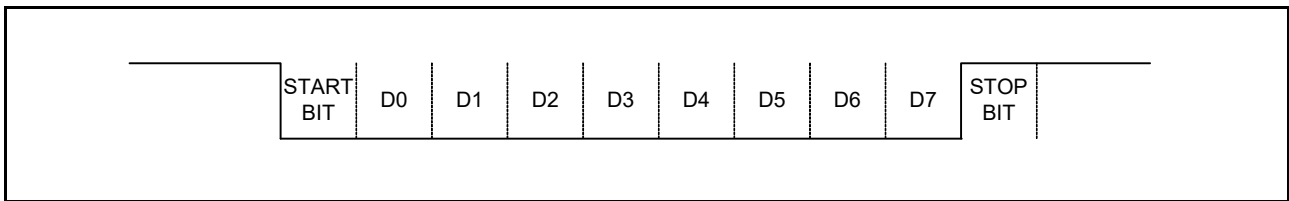


図 46.25 通信フォーマット

シリアルプログラマとの初期通信は、9,600 bps または 19,200 bps で行います。通信ビットレートは、接続後に変更できます。ブートモード (SCI インタフェース) で通信が可能な最大通信ビットレートは 2 Mbps です。

46.8.2.2 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子、UB 端子を両方とも Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。ブートモード (SCI インタフェース) で起動した後、400 ms 経過すると本 MCU との通信が可能になります。

図 46.26 に示すとおり、リセット解除後 400 ms の間は各端子の信号を変化させないでください。リセットに関しては、「47.5.2 リセットタイミング」に示す規格を守ってください。

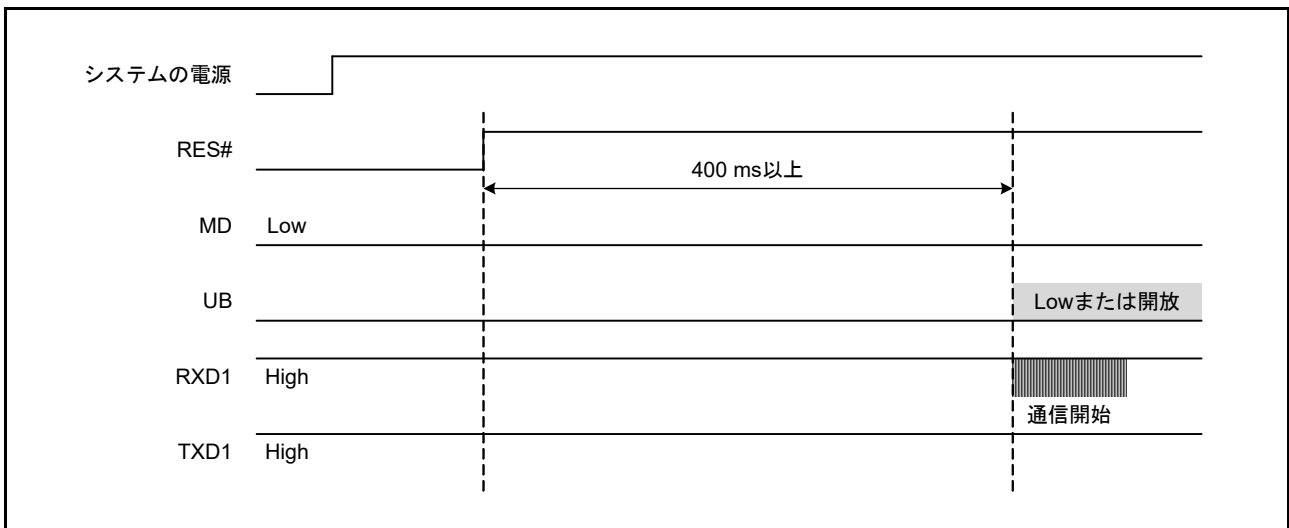


図 46.26 ブートモード (SCI インタフェース) で通信が可能になるまでの待ち時間

46.8.3 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。ユーザ領域とデータ領域を書き換えることができます。

シリアルプログラマについてはメーカーにお問い合わせください。

46.8.3.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。

図 46.27 にブートモード (FINE インタフェース) 時の端子接続例を、表 46.12 にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、図 46.27 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

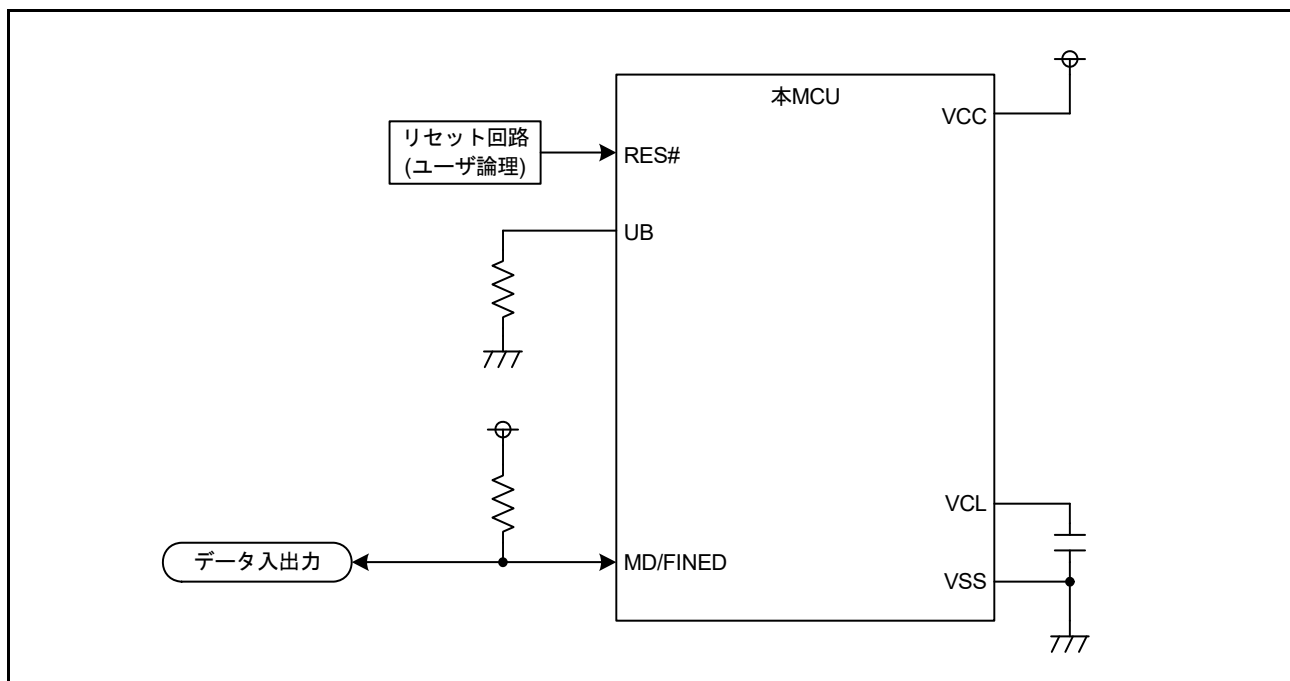


図 46.27 ブートモード (FINE インタフェース) 時の端子接続例

表 46.12 ブートモード (FINE インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 1.6 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD/FINED	動作モードコントロール/ データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
PC7/UB	動作モードコントロール	入力	Low を入力してください (注1)
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

注1. 入力レベルはリセット解除後、2 ms 以上、保持してください。

46.9 フラッシュメモリプロテクト機能

フラッシュメモリプロテクト機能は、第三者によるフラッシュメモリの読み出し、書き換えから保護する機能です。

シリアルプログラマ接続時にはブートモード ID コードプロテクト、オンチップデバ깅エミュレータ接続時にはオンチップデバ깅エミュレータ ID コードプロテクトがあります。

46.9.1 ID コードプロテクト

ID コードプロテクトには、シリアルプログラマを接続したときのブートモード ID コードプロテクト、オンチップデバ깅エミュレータを接続したときのオンチップデバ깅エミュレータ ID コードプロテクトの2つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

ID コードは、制御コード+ID コード1～ID コード15で構成されています。32ビット長4ワードのデータで、32ビット単位で設定してください。図 46.28 に ID コードの構成を示します。

	31	24 23	16 15	8 7	0
FFFF FFA0h	制御コード	IDコード1	IDコード2	IDコード3	
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7	
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11	
FFFF FFACH	IDコード12	IDコード13	IDコード14	IDコード15	

図 46.28 ID コードの構成

ID コードを設定するときのプログラムの記述例を以下に示します。

制御コード、ID コード1～ID コード15を順に“45h, 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh”に設定する場合

C 言語：

```
#pragma address ID_CODE = 0xFFFFFA0
const unsigned long ID_CODE [4] = {0x45010203, 0x04050607, 0x08090A0B, 0x0C0D0E0F};
```

アセンブリ言語：

```
.SECTION ID_CODE, CODE
.ORG 0xFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

46.9.1.1 ブートモード ID コードプロテクト

ブートモード ID コードプロテクトは、第三者がシリアルプログラマを接続したときのユーザ領域とデータ領域の読み出し、書き換えを禁止する機能です。

制御コードが“45h”または“52h”(ブートモード ID コードプロテクト有効)の場合は、シリアルプログラマから送られてくる 16 バイトのコードと、ユーザ領域上にある ID コードを比較し、その結果に従って、ユーザ領域とデータ領域の読み出し、書き換えを許可します。

制御コードが“45h”、“52h”以外(ブートモード ID コードプロテクト無効)の場合、ユーザ領域とデータ領域のすべてのブロックを消去し、ユーザ領域とデータ領域の読み出し、書き込みを許可します。

制御コードは、プロテクトの有効もしくは無効を設定します。表 46.13 にブートモード ID コードプロテクトの仕様を、図 46.29 にブートモード ID コードプロテクトの認証フローを示します。

ID コード 1 ~ ID コード 15 は、任意の値が設定できます。

ただし、無条件にシリアルプログラマの接続を禁止する場合は、ID コード 1 ~ ID コード 15 に順に“50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, FFh, FFh, FFh, FFh, FFh, FFh, FFh”と設定してください。

表46.13 ブートモードIDコードプロテクトの仕様

IDコード		プロテクト	IDコードの 判定結果	動作
制御コード	IDコード1~ IDコード15			
45h	任意	有効	一致	ブートモードIDコード認証ステートを完了し、プログラム/イ レースホストコマンド待ちステートに遷移する
			不一致	ブートモードIDコード認証ステートを継続する
			不一致 (3回連続)	ユーザ領域とデータ領域のすべてのブロックを消去し、ブート モードIDコード認証ステートを継続する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + FFh, ..., FFh (8バ イトすべてFFh)	有効	—	シリアルプログラマが送信したコードの値に関係なく、フラッ シュメモリの読み出し、書き換えを許可しない
			一致	ブートモードIDコード認証ステートを完了し、プログラム/イ レースホストコマンド待ちステートに遷移する
	上記以外		不一致	ブートモードIDコード認証ステートを継続する
上記以外	任意	無効	—	ユーザ領域とデータ領域のすべてのブロックを消去する

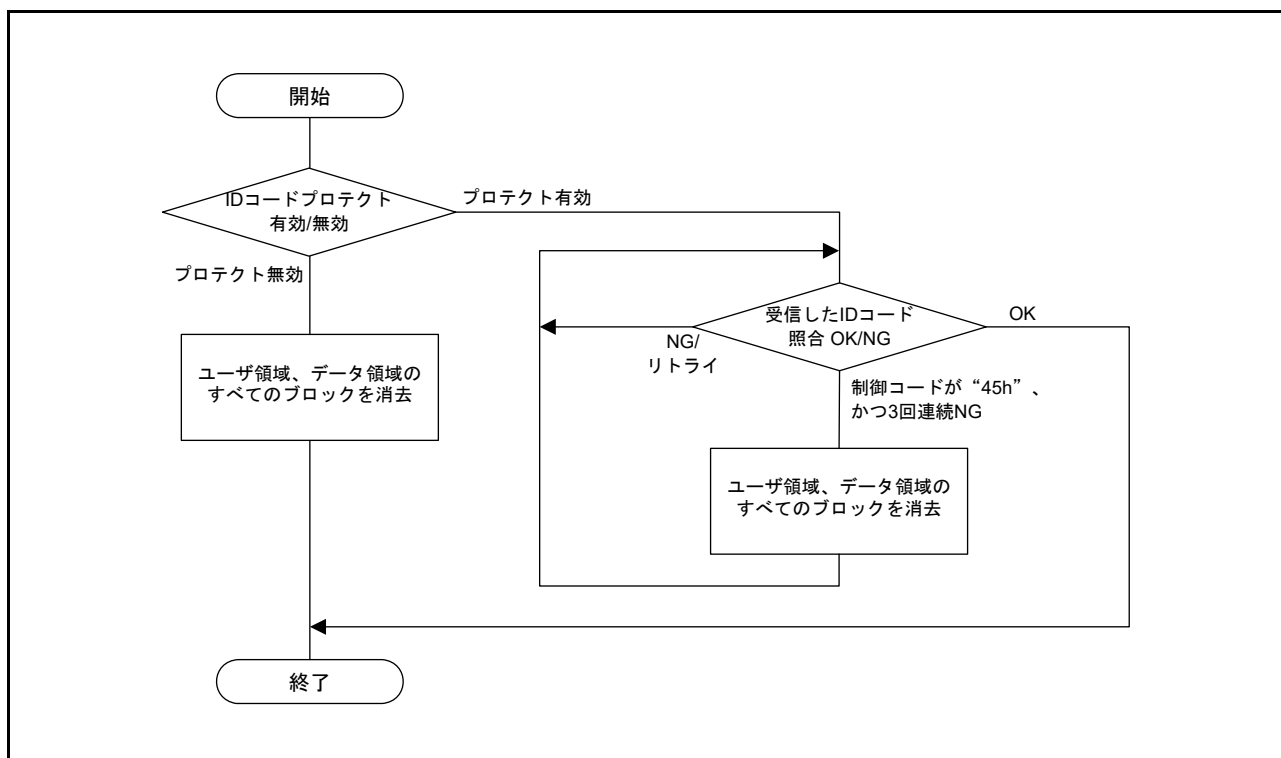


図 46.29 ブートモード ID コードプロテクトの認証フロー

46.9.1.2 オンチップデバッキングエミュレータ ID コードプロテクト

オンチップデバッキングエミュレータ ID コードプロテクトは、オンチップデバッキングエミュレータとの接続を許可 / 禁止する機能です。

オンチップデバッキングエミュレータ ID コードプロテクトが無効の場合もしくは、プロテクトが有効でオンチップデバッキングエミュレータから送られてくる 16 バイトのコードとユーザ領域にある ID コードが一致した場合、オンチップデバッキングエミュレータとの接続を許可します。

オンチップデバッキングエミュレータ ID コードプロテクトの仕様を、表 46.14 に示します。

表 46.14 オンチップデバッキングエミュレータ ID コードプロテクトの仕様

IDコード		プロテクト	IDコードの判定結果	動作
制御コード	IDコード1～IDコード15			
FFh	FFh, ..., FFh (15バイトすべてFFh)	無効	—	オンチップデバッキングエミュレータとの接続を許可する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + 任意の8バイト	有効	—	オンチップデバッキングエミュレータが送信したコードの値に関係なく、オンチップデバッキングエミュレータの接続を許可しない
上記以外	上記以外	有効	一致	オンチップデバッキングエミュレータとの接続を許可する
			不一致	IDコード待ちを継続する

46.10 通信プロトコル

ここでは、ブートモードで使用するプロトコルについて説明します。シリアルプログラマを開発する場合には、この通信プロトコルに従って制御してください。

46.10.1 ブートモード (SCI インタフェース) の状態遷移

図 46.30 にブートモード (SCI インタフェース) の状態遷移図を示します。

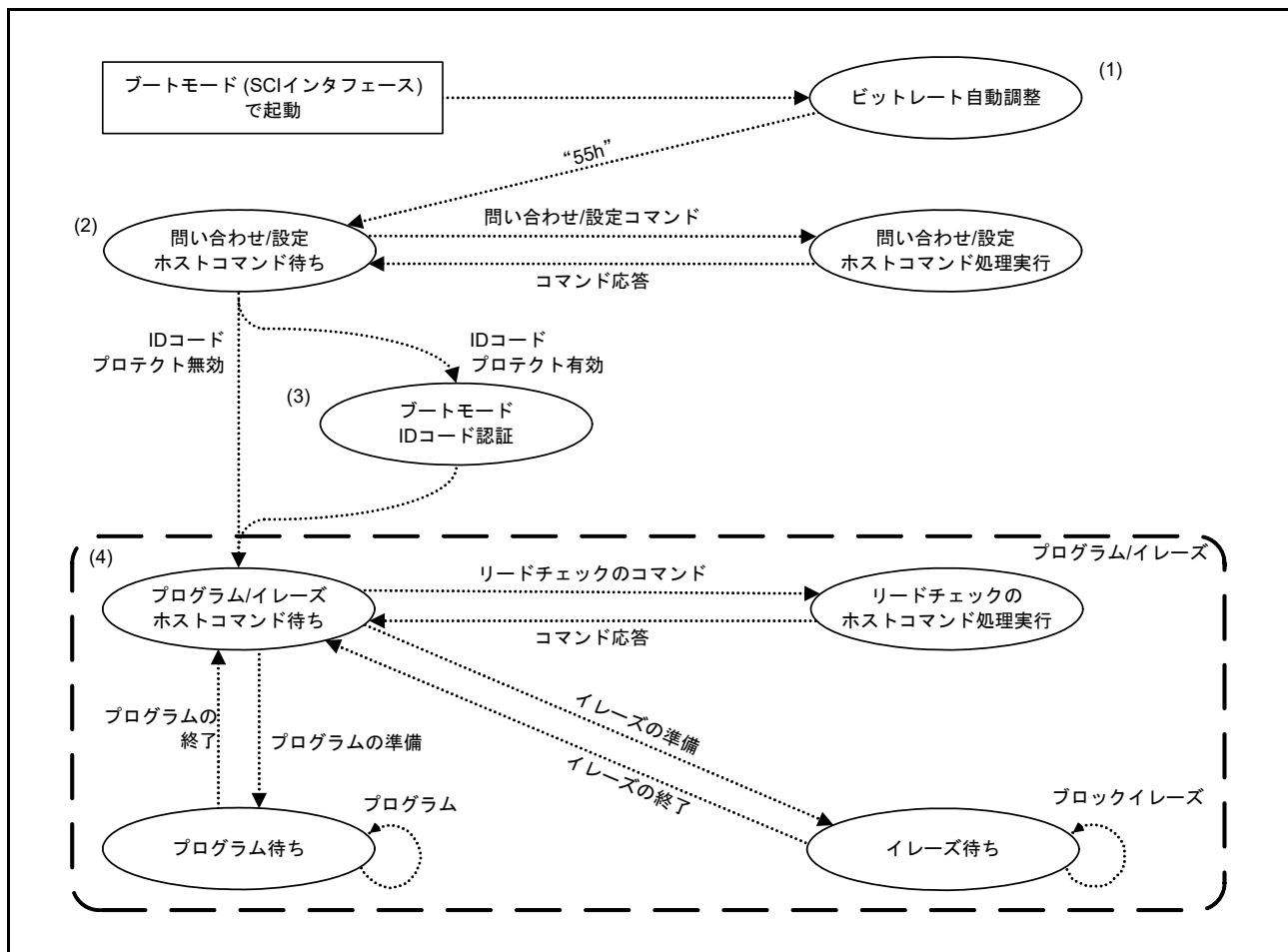


図 46.30 ブートモード (SCI インタフェース) の状態遷移図

(1) ビットレート自動調整ステート

ビットレート自動調整ステートでは、本 MCU とホスト間の通信ビットレートを 9,600 bps または 19,200 bps に自動調整します。ビットレート自動調整が終了すると、本 MCU はホストに “00h” を送信します。ホストは “00h” を受け取った後、“55h” を送信してください。“55h” を受信すると、本 MCU はホストに “E6h” を送信し、問い合わせ / 設定ホストコマンド待ちステートに遷移します。なお、ホストは、本 MCU のリセットを解除した後、400 ms 以上経過するまではデータを送信しないでください。

(2) 問い合わせ / 設定ホストコマンド待ちステート

問い合わせ / 設定ホストコマンド待ちステートでは、ブロック構成、ブロックサイズ、ユーザ領域やデータ領域の配置アドレスなど本 MCU の情報問い合わせや、データのエンディアン、ビットレートの選択ができます。本 MCU はホストからプログラム / イレーズホストコマンド待ちステート遷移コマンドを受信すると、ブートモード ID コードプロテクトの有効、無効を判定します。ブートモード ID コー

ドプロテクトが無効の場合、プログラム/イレーズホストコマンド待ちステートに遷移します。ブートモード ID コードプロテクトが有効の場合、ブートモード ID コード認証ステートに遷移します。問い合わせ/設定コマンドに関する詳細は、「46.10.5 問い合わせコマンド」、「46.10.6 設定コマンド」を参照してください。

(3) ブートモード ID コード認証ステート

ブートモード ID コード認証ステートでは、ID コード認証コマンドを受け付けます。ブートモード ID コードが不一致の場合は、ブートモード ID コード認証ステートから他のステートに遷移することはありません。

ブートモード ID コードプロテクトに関する詳細は、「46.9.1.1 ブートモード ID コードプロテクト」を、ID コード認証コマンドに関する詳細は、「46.10.7 ID コード認証コマンド」を参照してください。

(4) プログラム/イレーズステート

プログラム/イレーズステートでは、ホストからのコマンドに従って、プログラムやイレーズやリードチェックのコマンド処理を実行します。

プログラム/イレーズコマンドに関する詳細は、「46.10.8 プログラム/イレーズコマンド」を、リードチェックコマンドに関する詳細は、「46.10.9 リードチェックコマンド」を参照してください。

46.10.2 コマンドとレスポンスの構成

通信プロトコルは、ホストから本 MCU に送信する“コマンド”と本 MCU からホストに送信する“レスポンス”で構成されています。コマンドには1バイトコマンドと複数バイトコマンドがあり、レスポンスには1バイトレスポンスと複数バイトレスポンス、エラーレスポンスがあります。

複数バイトコマンド、複数バイトレスポンスには、送受信データのバイト数を通知する“サイズ”と、通信異常を検出するための“SUM”があります。

“サイズ”はコマンドコード(先頭1バイト)、サイズ、SUM を除いた送受信データのバイト数を指します。

“SUM”は、コマンドもしくはレスポンスの各バイトを合計した値が、“00h”になるように計算されたバイトデータを指します。

プログラムコマンドで指定するプログラムアドレス、ブロックイレーズコマンドで指定するブロック先頭アドレス、アクセスウィンドウ情報プログラムコマンドで指定する AW 先頭アドレス、AW 最終アドレス、アクセスウィンドウリードコマンドで受信する AW 先頭アドレス、AW 最終アドレスはフラッシュメモリの読み出し用アドレスを使用します。

46.10.3 未定義コマンドに対するレスポンス

本 MCU は未定義のコマンドを受信した場合、コマンドエラーを意味するレスポンスを返します。コマンドエラーのレスポンスの内容は以下のとおりです。エラーレスポンスの返信データには、受信したコマンドのコマンドコードが格納されています。

エラーレスポンス

80h	コマンド コード
-----	-------------

46.10.4 ブートモードステータス問い合わせ

ブートプログラムの、現在のステータスと直前のコマンドを発行したときにどのようなエラーがあったか、確認するコマンドです。

本 MCU が応答するステータス、エラーの一覧を、表 46.15、表 46.16 に示します。

ブートモードステータス問い合わせコマンドは、問い合わせ / 設定ホストコマンド待ちステータスとプログラム / イレーズホストコマンド待ちステータスで使用することができます。

コマンド	4Fh				
レスポンス	5Fh	サイズ	ステータス	エラー	SUM
サイズ (1 バイト)	: ステータス、エラーのデータの総バイト数 (固定値で "02h")				
ステータス (1 バイト)	: 本 MCU の現在のステータス (表 46.15 を参照)				
エラー (1 バイト)	: 直前に発行したコマンドに対するエラー状況 (表 46.16 を参照)				
SUM (1 バイト)	: レスポンスデータを合計して "00h" になる値				

表 46.15 ステータスの内容

コード	ステータス (注1)	詳細
11h	問い合わせ/設定ホストコマンド待ちステータス	デバイス選択待ち
12h/13h		動作周波数選択待ち
1Fh		プログラム/イレーズホストコマンド待ちステータス遷移コマンド待ち
31h	ブートモードIDコード認証ステータス	ユーザ領域、データ領域のイレーズ中
3Fh	プログラム/イレーズホストコマンド待ちステータス	プログラム/イレーズコマンド待ち
4Fh		プログラムデータ受信待ち
5Fh		ブロックイレーズ指定待ち

注1. 各ステータスについては、図 46.30 に記載しています。図の内容も併せて確認してください。

表 46.16 エラーの内容

コード	内容
00h	エラーなし
11h	SUMエラー
21h	デバイスコードエラー
24h	ビットレート選択エラー
29h	ブロック先頭アドレスエラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	データあり (未消去エラー)
53h	プログラムエラー
61h	IDコード不一致
63h	IDコード不一致かつイレーズエラー
80h	コマンドエラー
FFh	ビットレート自動調整エラー

46.10.5 問い合わせコマンド

問い合わせコマンドは、設定コマンド、プログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な基本情報を取得するコマンドです。表 46.17 に問い合わせコマンドの一覧を示します。一覧にあるコマンドは、問い合わせ/設定ホストコマンド待ち状態でのみ使用できます。

表 46.17 問い合わせコマンド一覧

コマンド	問い合わせ内容
サポートデバイス問い合わせ	デバイスコードとシリーズ名
データ領域有無問い合わせ	データ領域の有無
ユーザ領域情報問い合わせ	ユーザ領域の個数、領域先頭/領域最終アドレス
データ領域情報問い合わせ	データ領域の個数、領域先頭/領域最終アドレス
ブロック情報問い合わせ	ユーザ領域、データ領域それぞれの先頭アドレス、1ブロックのブロックサイズ、ブロック数

46.10.5.1 サポートデバイス問い合わせ

開発したソフトウェアのエンディアンを識別するためのデバイス情報を取得するコマンドです。

このコマンドを受信すると、本 MCU は開発したソフトウェアがリトルエンディアンで動作する場合のデバイス情報とビッグエンディアンで動作する場合のデバイス情報を順に送信します。

コマンド

20h

レスポンス

30h	サイズ	デバイス数
文字数	デバイスコード(リトルエンディアン)	シリーズ名(リトルエンディアン)
文字数	デバイスコード(ビッグエンディアン)	シリーズ名(ビッグエンディアン)
SUM		

- サイズ(1バイト) : デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数
 デバイス数(1バイト) : MCU がサポートするエンディアンの種別数 (固定値で "02h")
 文字数(1バイト) : デバイスコードとシリーズ名の文字数
 デバイスコード(4バイト) : 開発したソフトウェアのエンディアンを認識するための認識コード
 シリーズ名(nバイト) : MCU のシリーズ名とリトルエンディアン/ビッグエンディアンの別 (ASCII コード)
 SUM(1バイト) : レスポンスデータを合計して "00h" になる値

46.10.5.2 データ領域有無問い合わせ

このコマンドを受信すると、本MCUは「データ領域あり、エリアプロテクションあり、データ領域プログラムコマンドあり、アクセスウィンドウプロテクトあり」という結果を送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	領域有無	SUM
サイズ(1バイト)	: 領域有無の文字数(固定値で“01h”)			
領域有無(1バイト)	: データ領域の有無(固定値で“5Dh”) (データ領域あり、エリアプロテクションあり、データ領域プログラムコマンドあり、アクセスウィンドウプロテクトあり)			
SUM(1バイト)	: レスポンスデータを合計して“00h”になる値(固定値で“68h”)			

46.10.5.3 ユーザ領域情報問い合わせ

このコマンドを受信すると、本MCUはユーザ領域の領域数とアドレスの情報を送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		
サイズ(1バイト)	: 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数(固定値で“09h”)		
領域数(1バイト)	: ユーザ領域の領域数(固定値で“01h”)		
領域先頭アドレス(4バイト)	: ユーザ領域の先頭アドレス		
領域最終アドレス(4バイト)	: ユーザ領域の最終アドレス		
SUM(1バイト)	: レスポンスデータを合計して“00h”になる値		

46.10.5.4 データ領域情報問い合わせ

このコマンドを受信すると、本MCUはデータ領域の領域数とアドレスの情報を送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

- サイズ (1バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で“09h”)
 領域数 (1バイト) : データ領域の領域数 (固定値で“01h”)
 領域先頭アドレス (4バイト) : データ領域の先頭アドレス (固定値で“0010 0000h”)
 領域最終アドレス (4バイト) : データ領域の最終アドレス (固定値で“0010 1FFFh”)
 SUM (1バイト) : レスポンスデータを合計して“00h”になる値 (固定値で“7Dh”)

46.10.5.5 ブロック情報問い合わせ

このコマンドを受信すると、本MCUはユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を送信します。

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	データ領域先頭アドレス		
	1ブロックブロックサイズ(データ領域)		
	データ領域ブロック数		
	SUM		

- サイズ (2バイト) : “DDh” からデータ領域ブロック数までのデータの総バイト数 (固定値で“00 19h”)
 ユーザ領域先頭アドレス (4バイト) : ユーザ領域の先頭アドレス
 1ブロックブロックサイズ(ユーザ領域) (4バイト) : 1ブロックのメモリサイズ (固定値で“00 00 08 00h”)
 ユーザ領域ブロック数 (4バイト) : ユーザ領域を構成するブロックの数
 データ領域先頭アドレス (4バイト) : データ領域の先頭アドレス (固定値で“00 10 00 00h”)
 1ブロックブロックサイズ(データ領域) (4バイト) : 1ブロックのメモリサイズ (固定値で“00 00 01 00h”)
 データ領域ブロック数 (4バイト) : データ領域を構成するブロックの数 (固定値で“00 00 00 20h”)
 SUM (1バイト) : レスポンスデータを合計して“00h”になる値

46.10.6 設定コマンド

設定コマンドは、本 MCU のプログラムやイレーズを実行するために必要な基本設定を行うためのコマンドです。

表 46.18 に設定コマンドの一覧を示します。一覧にあるコマンドは、問い合わせ / 設定ホストコマンド待ちステートでのみ使用できます。

表 46.18 設定コマンド一覧

コマンド	機能
デバイス選択	デバイスコードの選択
動作周波数選択	通信のビットレートを変更
プログラム/イレーズホストコマンド待ちステート遷移	プログラム/イレーズホストコマンド待ちステート、またはブートモードIDコード認証ステートに遷移

46.10.6.1 デバイス選択

開発したソフトウェアのエンディアンを指定するコマンドです。コマンドに指定するデバイスコードは、サポートデバイス問い合わせコマンドで取得したデバイスコードの中から選択してください。

本 MCU は受け取ったデバイスコードがサポートしているデバイスに一致した場合、レスポンス “46h” を送信します。サポートしていないデバイスであった場合や、受信したコマンドの SUM 値が一致しなかった場合には、エラーレスポンスを送信します。

コマンド	10h	サイズ	デバイスコード	SUM
------	-----	-----	---------	-----

サイズ (1 バイト) : デバイスコードの文字数 (固定値で “04h”)
 デバイスコード (4 バイト) : 開発したソフトウェアのエンディアンを認識するための認識コード
 (サポートデバイス問い合わせコマンドの応答と同一のデバイスコード)
 SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス

46h

エラーレスポンス

90h	エラー
-----	-----

エラー (1 バイト) : エラーコード
 “11h” : SUM エラー
 “21h” : デバイスコードエラー

46.10.6.2 動作周波数選択

MCUの動作周波数、フラッシュメモリプログラマとの通信ビットレートを指定するコマンドです。コマンドに指定するビットレートは、32 MHzを分周して得られるビットレートとの誤差が4%未満となるビットレートを設定してください。

本MCUは指定された設定内容がサポート可能である場合、レスポンス“06h”を送信します。ビットレート誤差が4%以上の場合や、受信したコマンドのSUM値が一致しなかった場合には、エラーレスポンスを送信します。

ホストはレスポンスを受信した後、旧ビットレートで1ビット期間以上待ってから新ビットレートで通信確認データを送信してください。

本MCUは通信確認データを正しく受信できた場合、レスポンス“06h”を送信します。正しく受信できなかった場合には、エラーレスポンスを送信します。

コマンド	3Fh	サイズ	ビットレート	ダミーデータ
	クロック数	通倍率1	通倍率2	
	SUM			

サイズ(1バイト) : ビットレート、ダミーデータ、クロック数、通倍率のデータの総バイト数(固定値で“07h”)

ビットレート(2バイト) : 新ビットレート
ビットレート値を1/100した値を設定(例: 19200 bpsの場合、“00C0h”を設定)

ダミーデータ(2バイト) : 固定値で“0000h”を設定

クロック数(1バイト) : 通倍率を設定するクロックの種類(固定値: “02h”)

通倍率1(1バイト) : システムクロック(ICLK)の通倍率(固定値で“01h”)

通倍率2(1バイト) : 周辺モジュールクロック(PCLK)の通倍率(固定値で“01h”)

SUM(1バイト) : コマンドデータ(ダミーデータを含む)を合計して“00h”になる値

レスポンス

06h

エラーレスポンス

BFh	エラー
-----	-----

エラー(1バイト) : エラーコード

“11h” : SUMエラー

“24h” : ビットレート選択エラー

通信確認

06h

レスポンス

06h

エラーレスポンス

FFh

- ビットレート選択エラー

動作周波数選択コマンドで指定したビットレートを、本 MCU が誤差 4% 未満で生成できない場合にビットレート選択エラーが発生します。

動作周波数選択コマンドで指定した新ビットレートを B、32 (MHz) を Pφ とした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{P\phi \times 10^6}{B \times 16 \times N} - 1 \right) \times 100$$

$$N = \text{INT} \left(\frac{P\phi \times 10^6}{B \times 16} \right)$$

Pφ : 32 (MHz)

B : 新ビットレート (bps)

N : Pφ と新ビットレートの 16 倍との比 (ただし、1 ≤ N ≤ 256)

46.10.6.3 プログラム / イレーズホストコマンド待ちステート遷移

問い合わせ / 設定ホストコマンド待ちステートからプログラム / イレーズホストコマンド待ちステートに遷移させるために使用するコマンドです。このコマンドを受信すると、本 MCU はブートモード ID コードプロテクトの有効 / 無効を判定します。

ブートモード ID コードプロテクトが無効の場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。すべてのブロックのイレーズが完了するとレスポンス “06h” を送信し、プログラム / イレーズホストコマンド待ちステートに遷移します。正しくすべてのブロックをイレーズできなかった場合には、エラーレスポンスを送信します。

ブートモード ID コードプロテクトが有効の場合、レスポンス “16h” を送信し、ブートモード ID コード認証ステートに遷移します。

コマンド	40h
レスポンス	ACK
ACK (1 バイト)	: ACK コード “06h” : ID コードプロテクト無効 “16h” : ID コードプロテクト有効
エラーレスポンス	C0h エラー
エラー (1 バイト)	: エラーコード “51h” : イレーズエラー

46.10.7 IDコード認証コマンド

IDコード認証コマンドは、ブートモードIDコードプロテクトが有効の場合に、IDコード認証を行うためのコマンドです。表 46.19 に ID コード認証コマンドの一覧を示します。一覧にあるコマンドは、ブートモード ID コード認証ステートでのみ使用できます。

表 46.19 IDコード認証コマンド一覧

コマンド	機能
IDコードチェック	ホストから送信する16バイトのコードとIDコードとを比較する

46.10.7.1 IDコードチェック

ブートモード ID コードプロテクトを解除するために使用するコマンドです。コマンド中で指定する比較用 ID コードは、ユーザ領域にプログラム済みの制御コード、ID コード 1 ~ ID コード 15 と同じ値にしてください。

ホストから送信した比較用 ID コードと、ユーザ領域にプログラムされた ID コードが一致した場合、本 MCU はレスポンス “06h” を送信し、プログラム / イレーズホストコマンド待ちステートに遷移します。一致しなかった場合や受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

制御コードに “45h” がプログラムされているときに 3 回連続で不一致となった場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。イレーズ中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。また、すべてのブロックのイレーズが正常に完了してもエラーレスポンスを送信し、ブートモード ID コード認証ステートを継続します。プログラム / イレーズホストコマンド待ちステートに遷移するには、本 MCU をリセットしてください。

コマンド	60h	サイズ
	比較用 ID コード (制御コード + ID コード 1 ~ ID コード 15)	
	SUM	

サイズ (1 バイト) : ID コードのバイト数 (固定値で “10h”)
 ID コード (16 バイト) : 制御コード (1 バイト) + ID コード 1 ~ ID コード 15 (15 バイト)
 SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス	ACK
-------	-----

ACK (1 バイト) : ACK コード
 “06h” : プログラム / イレーズホストコマンド待ちステートに遷移します

エラーレスポンス	E0h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード
 “11h” : SUM エラー
 “61h” : ID コード不一致
 “63h” : ID コード不一致かつイレーズエラー

46.10.8 プログラム/イレーズコマンド

プログラム/イレーズコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域やデータ領域に対してプログラムやイレーズを行うコマンドです。表 46.20 にプログラム/イレーズホストコマンド待ち、プログラム待ち、イレーズ待ちの各状態で使用可能なプログラム/イレーズコマンドの一覧を、表 46.21 に各状態で受け付けるコマンドを示します。

各状態で表 46.21 に記載されていないコマンドを受信するとコマンドエラーのレスポンスを送信します。

表46.20 プログラム/イレーズコマンド一覧

コマンド	機能
ユーザ/データ領域プログラム準備	ユーザ領域、データ領域にデータをプログラムするためのプログラム待ち状態に遷移
プログラム	ユーザ領域またはデータ領域の指定領域に指定したデータをプログラム。 またはプログラム/イレーズホストコマンド待ち状態に遷移(プログラムの終了)
データ領域プログラム	データ領域の指定領域に指定したサイズのデータをプログラム。 またはプログラム/イレーズホストコマンド待ち状態に遷移(データ領域プログラムの終了)
イレーズ準備	イレーズ待ち状態に遷移
ブロックイレーズ	指定ブロックのイレーズ、またはプログラム/イレーズホストコマンド待ち状態に遷移(イレーズの終了)

表46.21 ステート毎の受け付け可能なコマンド

ステート	受け付け可能なコマンド
プログラム/イレーズホストコマンド待ち状態	ユーザ/データ領域プログラム準備コマンド、イレーズ準備コマンド
プログラム待ち状態	プログラムコマンド、データ領域プログラムコマンド
イレーズ待ち状態	ブロックイレーズコマンド

46.10.8.1 ユーザ/データ領域プログラム準備

プログラムコマンドとデータ領域プログラムコマンドの受け付け準備をさせるためのコマンドです。

このコマンドを受信すると、本MCUはプログラムの準備の指示がホストから行われたと判断し、プログラムコマンドとデータ領域プログラムコマンドのみ受け付ける、プログラム待ち状態に遷移し、レスポンス“06h”を送信します。

コマンド	43h
レスポンス	06h

46.10.8.2 プログラム

ユーザ領域、データ領域に指定のデータを書き込むためのコマンドです。コマンド中で指定するプログラムアドレスは、下位 8 ビットを“0”にしてください。プログラムデータ長が 256 バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本 MCU は指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、プログラム中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ち状態に遷移する場合、ホストから“50h FFh FFh FFh FFh B4h”を送信してください。本 MCU はレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ち状態に遷移します。

コマンド	50h	プログラムアドレス
	プログラムデータ	
	SUM	

- プログラムアドレス (4 バイト) : プログラム先のアドレス
 下位 8 ビットを“0”に設定
 プログラムを終了する場合は“FFFF FFFFh”を設定
- プログラムデータ (n バイト) : プログラムデータ (n = 256 または 0 (終了時))
 n バイトに満たない領域には“FFh”を設定
 プログラムを終了する場合はプログラムデータなし
- SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	D0h	エラー
----------	-----	-----

- エラー (1 バイト) : エラーコード
 “11h” : SUM エラー
 “2Ah” : アドレスエラー (アドレスが指定の領域内でない)
 “53h” : プログラムエラー (データが書き込めない)

46.10.8.3 データ領域プログラム

データ領域に指定のデータを書き込むためのコマンドです。コマンド中で指定するプログラムアドレスは、下位2ビットを“0”にしてください。プログラムデータ長が4バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本MCUは指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、プログラム中にエラーが発生すると、本MCUはエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“51h FFh FFh FFh FFh 00h B3h”を送信してください。本MCUはレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。

コマンド	51h	プログラムアドレス	プログラムデータ長
	プログラムデータ		
	SUM		

プログラムアドレス (4 バイト) : データ領域のプログラム先アドレス

指定するアドレスの下位2ビットは“0”に設定

データ領域プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ長 (1 バイト) : プログラムデータのサイズ

4バイト単位のデータを設定

データ領域プログラムを終了する場合は“00h”を設定

プログラムデータ (n バイト) : データ領域へのプログラムデータ (n = プログラムデータ長、“0” (終了時))

プログラムデータ長分のデータを設定

nバイトに満たない領域には“FFh”を設定

データ領域プログラムを終了する場合はプログラムデータなし

SUM (1 バイト)

: コマンドデータを合計して“00h”になる値

レスポンス

06h

エラーレスポンス

D1h	エラー
-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー

“2Bh” : データ長エラー

“53h” : プログラムエラー (データが書き込めない)

46.10.8.4 イレーズ準備

ブロックイレーズコマンドの受け付け準備をさせるためのコマンドです。

このコマンドを受信すると、本 MCU はイレーズの準備の指示がホストから行われたと判断し、ブロックイレーズコマンドのみを受け付けるイレーズ待ちステートに遷移し、レスポンス“06h”を送信します。

コマンド	48h
レスポンス	06h

46.10.8.5 ブロックイレーズ

ユーザ領域、データ領域の指定のブロックを消去するためのコマンドです。

コマンド中で指定するブロック先頭アドレスは、ブロック情報問い合わせコマンドのレスポンスを元にアドレスを計算して指定してください。

本 MCU はブロック先頭アドレスで指定されたブロックのイレーズが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、イレーズ中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

イレーズを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“59h 04h FFh FFh FFh FFh A7h”を送信してください。本 MCU はプログラム/イレーズホストコマンド待ちステートに遷移し、レスポンス“06h”を送信します。

コマンド	59h	サイズ
	ブロック先頭アドレス	
	SUM	

サイズ (1 バイト)	: ブロック先頭アドレスのデータの総バイト数 (固定値で“04h”)
ブロック先頭アドレス (4 バイト)	: イレーズするブロックの先頭アドレス イレーズを終了する場合には“FFFF FFFFh”を設定
SUM (1 バイト)	: コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	D9h	エラー
----------	-----	-----

エラー (1 バイト)	: エラーコード “11h”: SUM エラー “29h”: ブロック先頭アドレスエラー “51h”: イレーズエラー (指定ブロックがイレーズできない)
-------------	--

46.10.9 リードチェックコマンド

リードチェックコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域やデータ領域に対してデータリードやブランクチェックを行うコマンドです。表 46.22 にプログラム/イレーズホストコマンド待ち状態で使用可能なリードチェックコマンドの一覧を示します。

表 46.22 リードチェックコマンド一覧

コマンド	機能
メモリリード	ユーザ領域、データ領域のデータ読み出し
ユーザ領域チェックサム	ユーザ領域全体のチェックサムを取得
データ領域チェックサム	データ領域全体のチェックサムを取得
ユーザ領域ブランクチェック	ユーザ領域のプログラム済みデータの有無をチェック
データ領域ブランクチェック	データ領域のプログラム済みデータの有無をチェック
アクセスウィンドウ情報プログラム	アクセスウィンドウの設定
アクセスウィンドウリード	アクセスウィンドウの設定読み出し

46.10.9.1 メモリリード

ユーザ領域、データ領域にプログラムされているデータを読み出すコマンドです。

コマンド中で指定する読み出し先頭アドレスは、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲内の値を設定してください。

コマンド中で指定する読み出しサイズは、読み出し先頭アドレスに読み出しサイズを加算したアドレスが、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲に入るように設定してください。

本MCUはデータを正常にリードできた場合、指定された範囲のデータを送信します。受信したコマンドのSUM値が一致しなかった場合や、リードを正常に実行できなかった場合、エラーレスポンスを送信します。

コマンド	52h	サイズ	領域
	読み出し先頭アドレス		
	読み出しサイズ		
	SUM		

- サイズ (1 バイト) : 領域、読み出し先頭アドレス、読み出しサイズのデータの総バイト数
 領域 (1 バイト) : 読み出し対象の領域
 "01h" : ユーザ領域またはデータ領域
 読み出し先頭アドレス (4 バイト) : 読み出し対象範囲の先頭アドレス
 読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)
 SUM (1 バイト) : コマンドデータを合計して "00h" になる値

レスポンス	52h	読み出しサイズ
	読み出しデータ	
	SUM	

読み出しサイズ (4 バイト) : 読み出したデータのサイズ (バイト単位)
 読み出しデータ (n バイト) : 指定範囲から読み出したデータ (n = 読み出しサイズ)
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

エラーレスポンス	D2h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード
 "11h" : SUM エラー
 "2Ah" : アドレスエラー
 ・ コマンドの「領域」に "01h" 以外を指定した
 ・ コマンドの読み出し先頭アドレスが読み出し対象領域の範囲外である
 "2Bh" : サイズエラー
 ・ コマンドの読み出しサイズに "0000 0000h" が指定されている
 ・ コマンドの読み出しサイズが読み出し対象領域のサイズを超えている
 ・ コマンドの読み出し先頭アドレスと読み出しサイズを加算したアドレスが読み出し対象領域の範囲外である

46.10.9.2 ユーザ領域チェックサム

ユーザ領域全体のチェックサムを取得するコマンドです。

このコマンドを受信すると、本 MCU はユーザ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果 (チェックサム) をレスポンスとして送信します。

コマンド	4Bh	
レスポンス	5Bh	サイズ
	ユーザ領域チェックサム	
	SUM	

サイズ (1 バイト) : ユーザ領域チェックサムのバイト数 (固定値で "04h")
 ユーザ領域チェックサム (4 バイト) : ユーザ領域のデータを 1 バイト単位で加算した結果
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

46.10.9.3 データ領域チェックサム

データ領域全体のチェックサムを取得するコマンドです。

このコマンドを受信すると、本MCUはデータ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果(チェックサム)をレスポンスとして送信します。



サイズ(1バイト) : データ領域チェックサムのバイト数(固定値で“04h”)

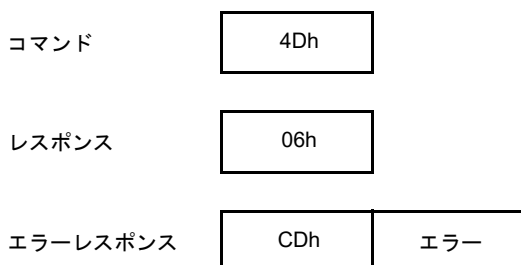
データ領域チェックサム(4バイト) : データ領域のデータを1バイト単位で加算した結果

SUM(1バイト) : レスポンスデータを合計して“00h”になる値

46.10.9.4 ユーザ領域ブランクチェック

ユーザ領域にデータがプログラムされているかどうかを確認するコマンドです。

このコマンドを受信すると、本MCUはユーザ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス“06h”を送信します。1バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。



エラー(1バイト) : エラーコード
 “52h” : データあり

46.10.9.5 データ領域ブランクチェック

データ領域にデータがプログラムされているかどうかを確認するコマンドです。

このコマンドを受信すると、本 MCU はデータ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス“06h”を送信します。1バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。

コマンド	62h	
レスポンス	06h	
エラーレスポンス	E2h	エラー

エラー (1バイト) : エラーコード
 “52h” : データあり

46.10.9.6 アクセスウィンドウ情報プログラム

エリアプロテクションで使用するアクセスウィンドウを設定するコマンドです。

コマンド中で指定するアクセスウィンドウ先頭アドレスには、スタートブロックの先頭アドレスを指定してください。また、アクセスウィンドウ最終アドレスには、エンドブロックの最終アドレスを指定してください。

本 MCU は指定されたアクセスウィンドウの設定が正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、アクセスウィンドウの設定中にエラーが発生すると、エラーレスポンスを送信します。

アクセスウィンドウの詳細については、「46.6 エリアプロテクション」を参照してください。

コマンド	74h	05h	AW区分	
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	SUM			

AW 区分 (1バイト)	: アクセスウィンドウの設定 / 解除 アクセスウィンドウを設定する場合には“00h”を設定 アクセスウィンドウを解除する場合には“FFh”を設定
AW 先頭アドレス LH (1バイト)	: アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8) スタートブロック先頭アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には“FFh”を設定
AW 先頭アドレス HL (1バイト)	: アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16) スタートブロック先頭アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には“FFh”を設定
AW 最終アドレス LH (1バイト)	: アクセスウィンドウ範囲の最終アドレス (A15 ~ A8) エンドブロック最終アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には“FFh”を設定
AW 最終アドレス HL (1バイト)	: アクセスウィンドウ範囲の最終アドレス (A23 ~ A16) エンドブロック最終アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には“FFh”を設定
SUM (1バイト)	: コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	F4h	エラー
----------	-----	-----

エラー (1バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (指定されたアドレスが領域内がない)

“53h” : プログラムエラー (アクセスウィンドウの設定ができない)

46.10.9.7 アクセスウィンドウリード

設定されているアクセスウィンドウの範囲を確認するためのコマンドです。

本 MCU はアクセスウィンドウの範囲を正常に取得できた場合、読み出したアクセスウィンドウ先頭アドレスとアクセスウィンドウ最終アドレスを送信します。受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

コマンド	73h	01h	FFh	8Dh
------	-----	-----	-----	-----

レスポンス	73h	05h		
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	FFh			
	SUM			

AW 先頭アドレス LH (1バイト) : アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8)

AW 先頭アドレス HL (1バイト) : アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16)

AW 最終アドレス LH (1バイト) : アクセスウィンドウ範囲の最終アドレス (A15 ~ A8)

AW 最終アドレス HL (1バイト) : アクセスウィンドウ範囲の最終アドレス (A23 ~ A16)

SUM (1バイト) : レスポンスデータを合計して “00h” になる値

エラーレスポンス	F3h	エラー
----------	-----	-----

エラー (1バイト) : エラーコード

“11h” : SUM エラー

46.10.9.8 アクセスウィンドウプロテクト

エリアプロテクションで使用するアクセスウィンドウの設定を保護するコマンドです。

プロテクトの設定が正常に終了すると、本MCUはレスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、プロテクトの設定中にエラーが発生すると、エラーレスポンスを送信します。

コマンド	7Ch	01h	FFh	84h
------	-----	-----	-----	-----

レスポンス	06h
-------	-----

エラーレスポンス	FCh	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“53h” : プログラムエラー (プロテクトの設定ができない)

46.10.9.9 アクセスウィンドウプロテクトフラグリード

アクセスウィンドウの設定が保護されているかどうかを確認するコマンドです。

プロテクトの設定が正常に取得できた場合、本MCUは読み出したフラグの値を送信します。受信したコマンドのSUM値が一致しなかった場合、エラーレスポンスを送信します。

コマンド	7Bh	01h	FFh	85h
------	-----	-----	-----	-----

レスポンス	7Bh	01h	ステータス	SUM
-------	-----	-----	-------	-----

ステータス (1 バイト) : プロテクトステータス

“01h” : プロテクト有効

“00h” : プロテクト無効

SUM (1 バイト) : レスポンスデータを合計して“00h”になる値

エラーレスポンス	FBh	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

46.11 ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明

ブートモード (SCI インタフェース) を用いたシリアルプログラマで、ユーザ領域、データ領域のプログラム / イレーズを行う手順を説明します。

1. ビットレート自動調整
2. MCU の情報取得 (注1)
3. デバイスの指定、ビットレートの変更
4. プログラム / イレーズホストコマンド待ちステートへの遷移
5. ブートモード ID コードプロテクトの解除
6. ユーザ領域、データ領域のイレーズ (注2、注3)
7. ユーザ領域、データ領域のプログラム (注2、注3)
8. ユーザ領域のデータ確認 (注2)
9. データ領域のデータ確認 (注2)
10. ユーザ領域のアクセスウィンドウ設定 (注2)
11. アクセスウィンドウの保護 (注2)
12. MCU のリセット

注1. 2の処理は、取得する情報がすでにある場合、省略できます。

注2. 6～11の処理は、必要に応じて行ってください。また11の処理を除き、実行順を入れ替えても構いません。

注3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、12の処理を行ってください。

上記2～11の処理で使用するコマンドの詳細は、「46.10.5 問い合わせコマンド」、「46.10.6 設定コマンド」、「46.10.7 IDコード認証コマンド」、「46.10.8 プログラム / イレーズコマンド」、「46.10.9 リードチェックコマンド」を参照してください。

46.11.1 ビットレート自動調整

MCUはシリアルプログラマから9,600 bpsまたは19,200 bpsで送信されるデータ“00h”のLow期間を測定してビットレートの自動調整を行います。

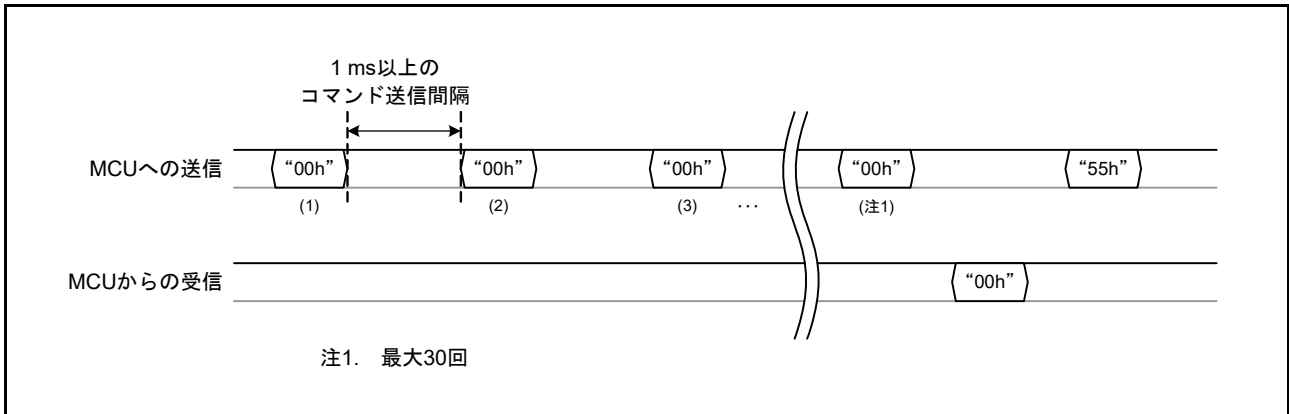


図 46.31 ビットレート自動調整時のデータフォーマット

ブートモードで起動して400 ms以上経過した後にシリアルプログラマから“00h”を送信してください。MCUはビットレート調整が終了すると“00h”をシリアルプログラマへ送信します。シリアルプログラマが“00h”を受信した場合には、シリアルプログラマから“55h”を送信してください。“00h”を受信できなかった場合は、1 ms以上置いて再度“00h”を送信してください。30回“00h”を送信しても“00h”を受信できなかった場合は、MCUをブートモードで再起動し、再度ビットレート自動調整をやり直してください。

MCUは“55h”を受信すると“E6h”を送信して問い合わせ/設定コマンド待ち状態になります。“55h”を受信できなかった場合には“FFh”を送信します。シリアルプログラマは“FFh”を受信したら、MCUをブートモードで再起動し、再度ビットレート自動調整からやり直してください。

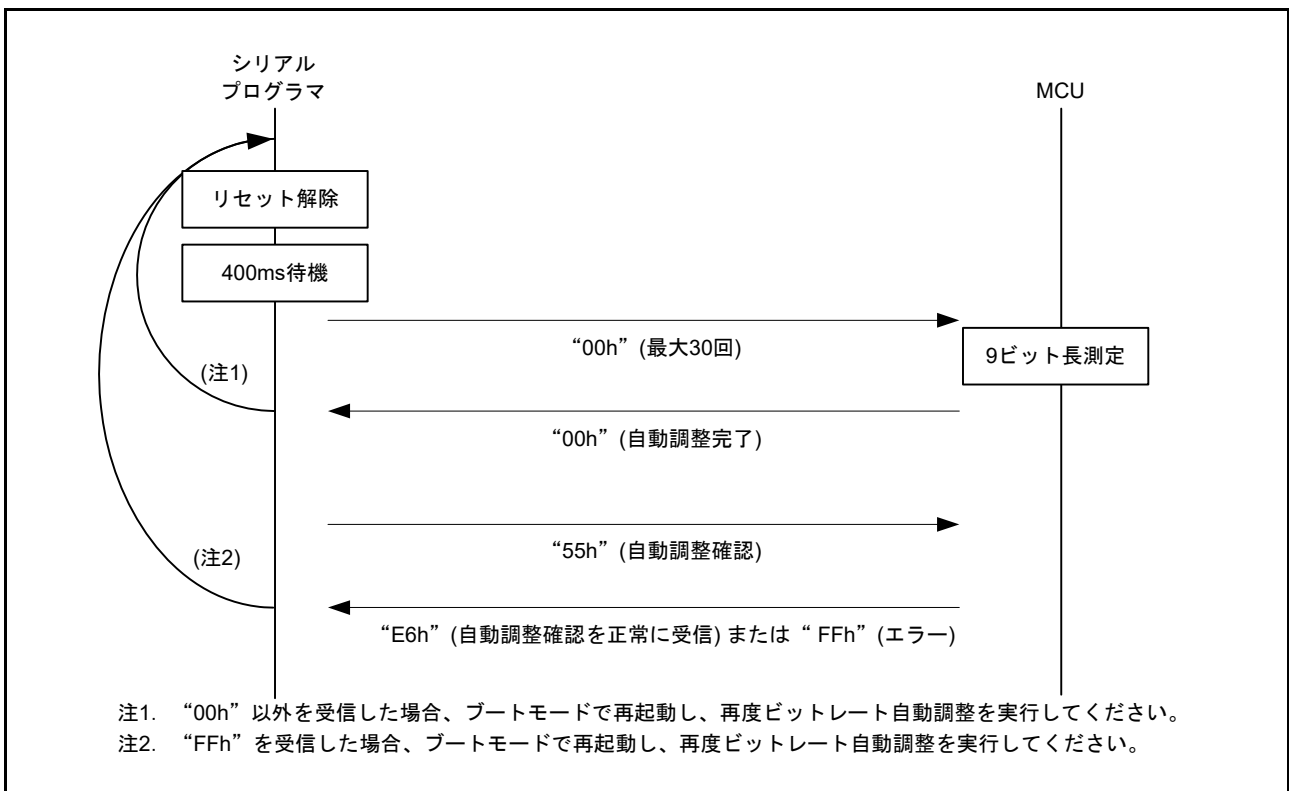


図 46.32 ビットレート自動調整の手順

46.11.2 MCU の情報取得

問い合わせコマンドを送信し、設定コマンド、プログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な情報を取得します。

- (1) MCU がどのエンディアンをサポートしているのかを確認するため、サポートデバイス問い合わせコマンド“20h”を送信します。MCU はサポートしているすべてのデバイスコードとシリーズ名を応答します。
- (2) ユーザ領域の先頭アドレスと最終アドレスを確認するため、ユーザ領域情報問い合わせコマンド“25h”を送信します。MCU はユーザ領域の先頭アドレスと最終アドレスを応答します。
- (3) ブロックの構成を確認するため、ブロック情報問い合わせコマンド“26h”を送信します。MCU はユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を応答します。
- (4) データ領域の先頭アドレスと最終アドレスを確認するため、データ領域情報問い合わせコマンド“2Bh”を送信します。MCU はデータ領域の先頭アドレスと最終アドレスを応答します。

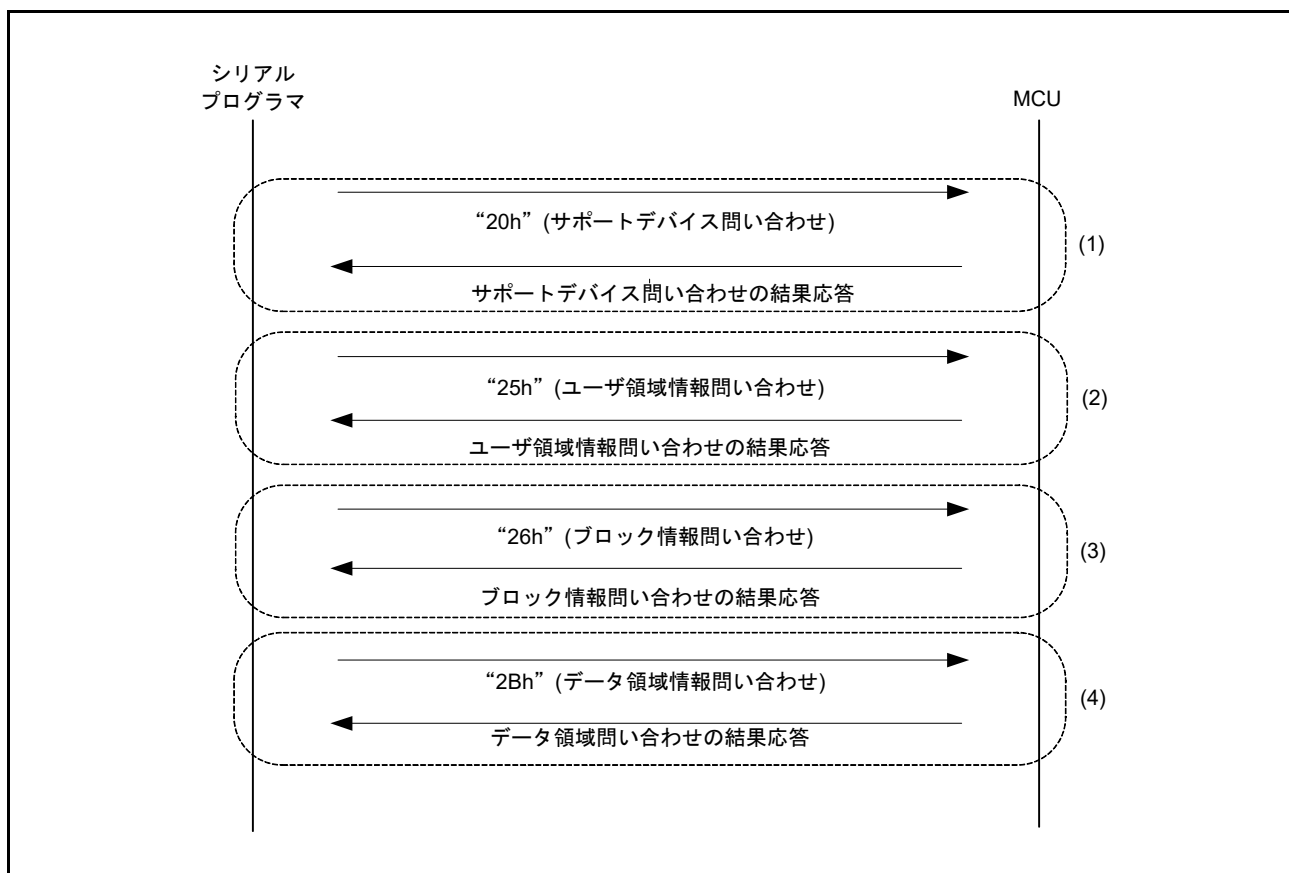


図 46.33 MCU の情報取得手順

46.11.3 デバイスの指定、ビットレートの変更

シリアルプログラマと接続するデバイスの指定と通信ビットレートの変更を行います。

- (1) デバイス選択コマンド“10h”を送信します。開発したソフトウェアのエンディアンに合わせて、デバイスコードを指定してください。
- (2) 通信ビットレートを 9,600 bps または 19,200 bps から変更するため、動作周波数選択コマンド“3Fh”を送信します。

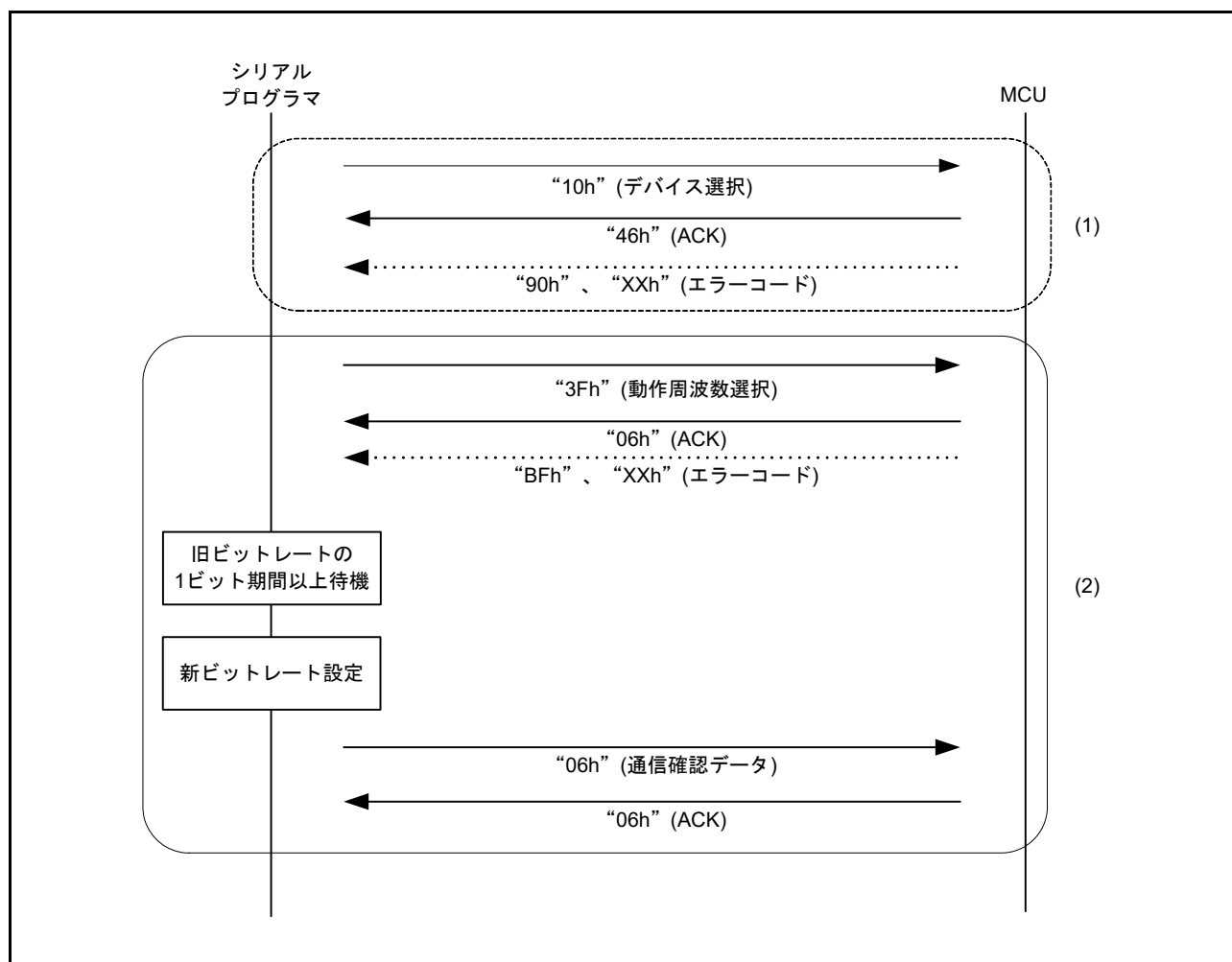


図 46.34 デバイス指定、ビットレート変更の手順

46.11.4 プログラム/イレーズホストコマンド待ち状態への遷移

プログラム/イレーズを行うため、プログラム/イレーズホストコマンド待ち状態遷移コマンドを送信します。MCUはブートモードIDコードプロテクトの有効/無効に応じてレスポンスを送信します。

- (1) ブートモードIDコードプロテクトが無効の場合、MCUはレスポンス“06h”を応答し、プログラム/イレーズホストコマンド待ち状態に遷移します。シリアルプログラマは「46.11.6 ユーザ領域、データ領域のイレーズ」から実行してください。
- (2) ブートモードIDコードプロテクトが有効の場合、MCUはレスポンス“16h”を応答し、IDコード認証状態に遷移します。シリアルプログラマは「46.11.5 ブートモードIDコードプロテクトの解除」から実行してください。

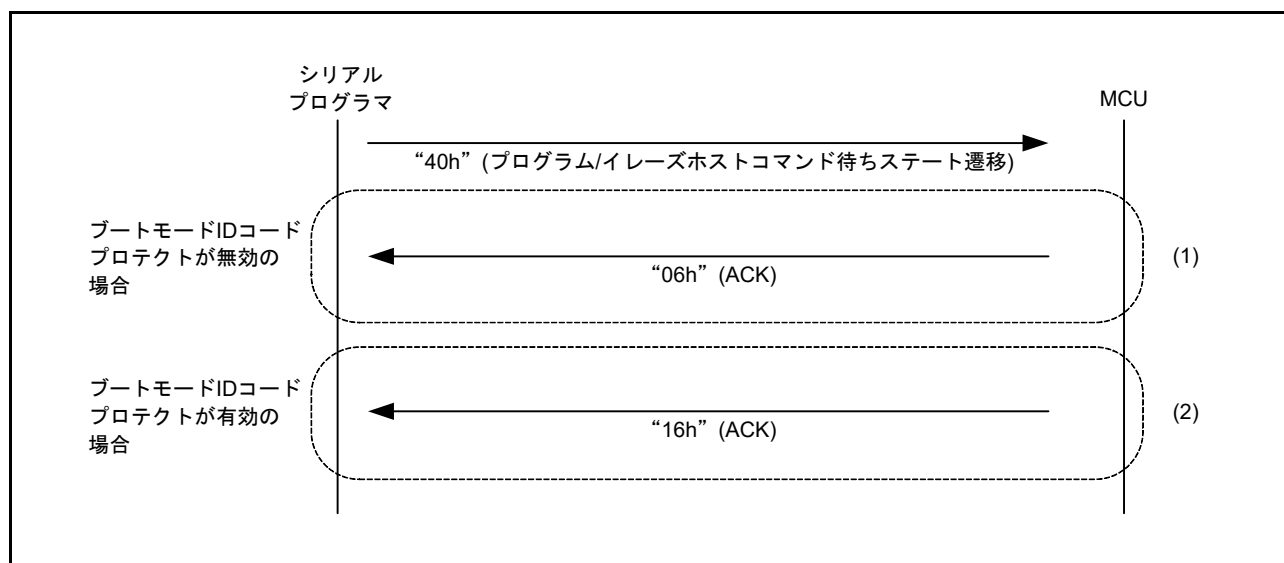


図 46.35 プログラム/イレーズホストコマンド待ち状態への遷移手順

46.11.5 ブートモード ID コードプロテクトの解除

ブートモード ID コードプロテクトを解除するため、ID コードチェックコマンドを送信します。

- (1) ID コードが一致した場合、MCU はプログラム / イレーズホストコマンド待ちステートに遷移します。このとき、ユーザ領域、データ領域のデータは消去されません。シリアルプログラマは「46.11.6 ユーザ領域、データ領域のイレーズ」から実行してください。
- (2) ID コードが不一致の場合、MCU はブートモード ID コード認証ステートから遷移しません。シリアルプログラマは MCU をリセット後「46.11.1 ビットレート自動調整」から再実行してください。

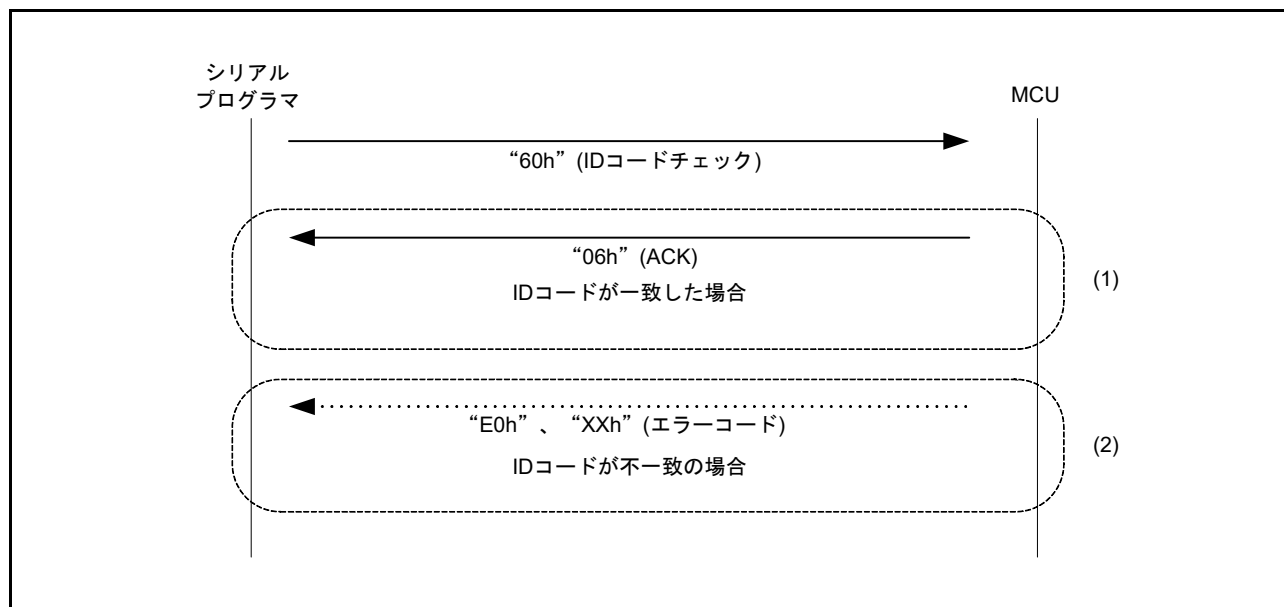


図 46.36 ブートモード ID コードプロテクトの解除手順

46.11.6 ユーザ領域、データ領域のイレーズ

ユーザプログラムやデータを書き込むために、ユーザ領域、データ領域を消去します。

- (1) イレーズ準備コマンド“48h”を送信します。
- (2) ブロックイレーズコマンド“59h”を送信します。
- (3) プログラム/イレーズホストコマンド待ちステートに遷移するため、イレーズを終了するブロックイレーズコマンド“59h 04h FFh FFh FFh FFh A7h”を送信します。

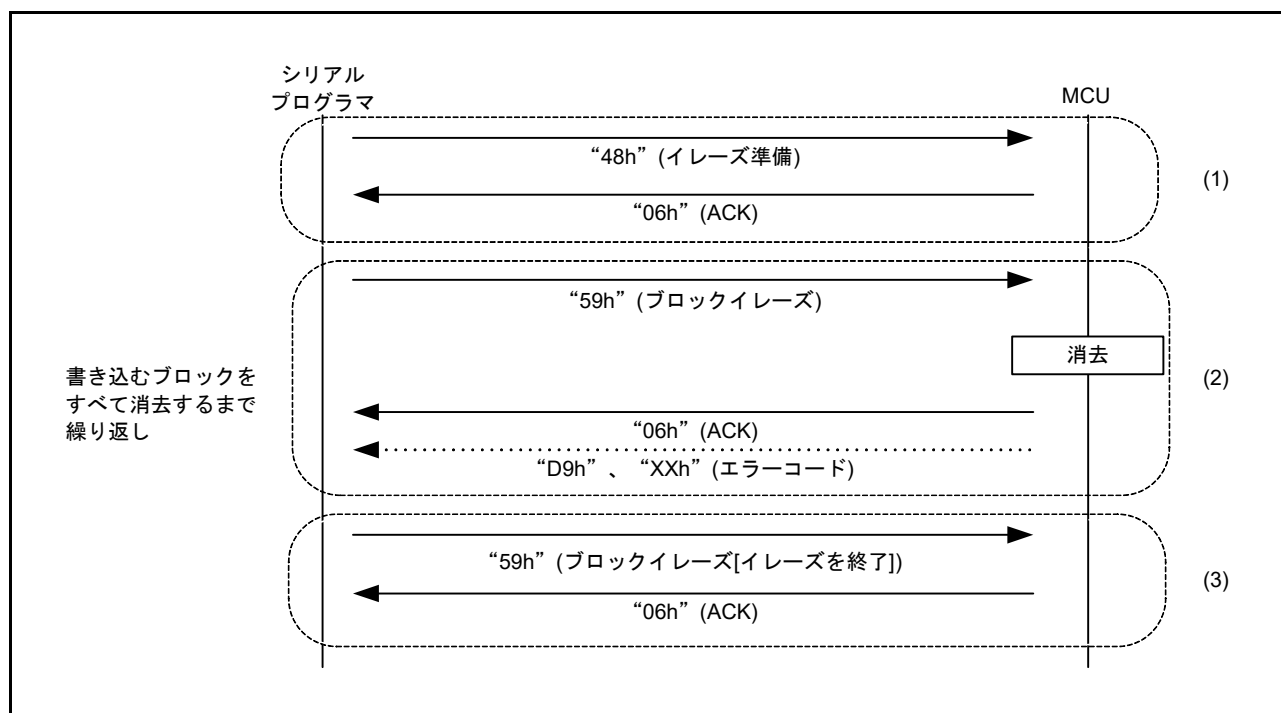


図 46.37 ユーザ領域、データ領域のイレーズ手順

46.11.7 ユーザ領域、データ領域のプログラム

ユーザ領域、データ領域にユーザプログラムやデータを書き込みます。

- (1) ユーザ/データ領域プログラム準備コマンド“43h”を送信します。
- (2) プログラムコマンド“50h”またはデータ領域プログラムコマンド“51h”を送信します。
- (3) プログラム/イレーズホストコマンド待ち状態に遷移するため、プログラムを終了するプログラムコマンド“50h FFh FFh FFh B4h”またはデータ領域プログラムコマンド“51h FFh FFh FFh 00h B3h”を送信します。

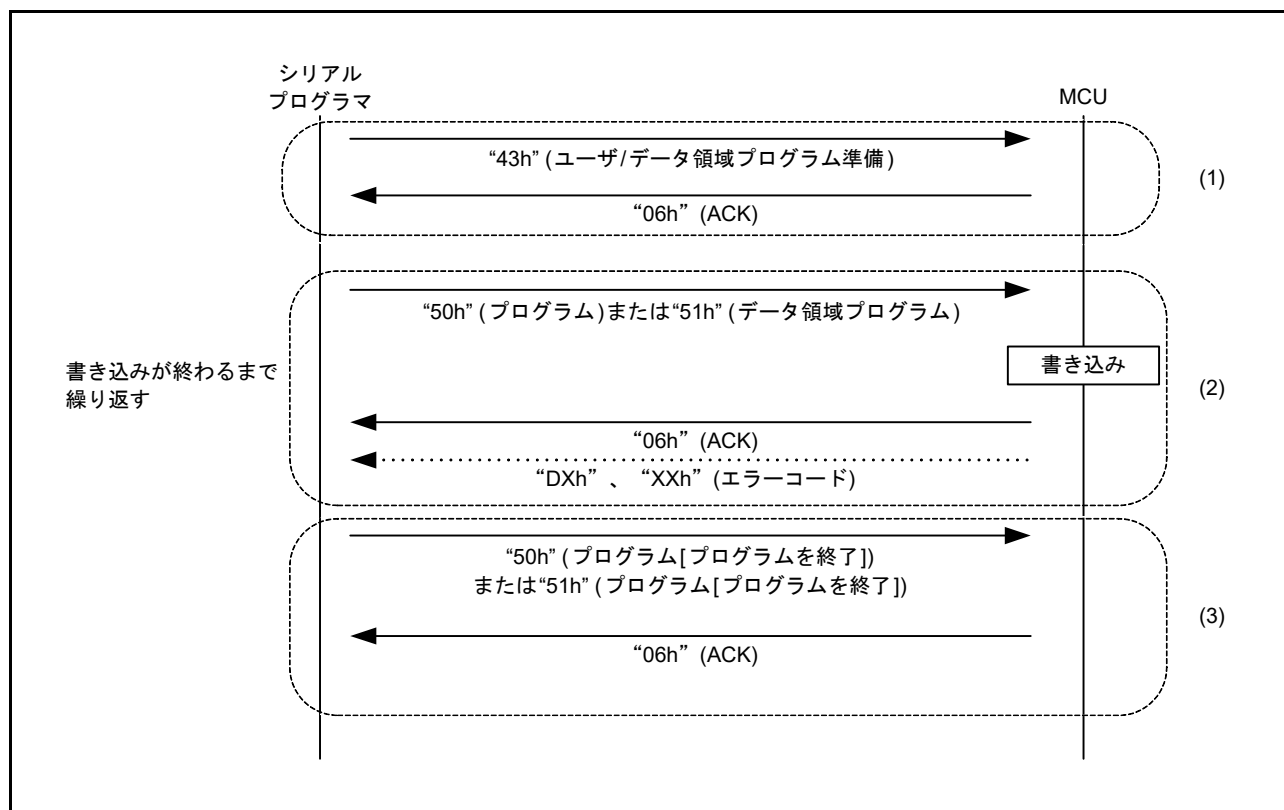


図 46.38 ユーザ領域、データ領域のプログラム手順

46.11.8 ユーザ領域のデータ確認

ユーザ領域に書き込まれたデータを確認するため、ユーザ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、ユーザ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。ユーザ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) ユーザ領域のチェックサム値でプログラムデータを確認するため、ユーザ領域チェックサムコマンド“4Bh”を送信します。
- (3) ユーザ領域にデータがあるかないかを確認するため、ユーザ領域ブランクチェックコマンド“4Dh”を送信します。

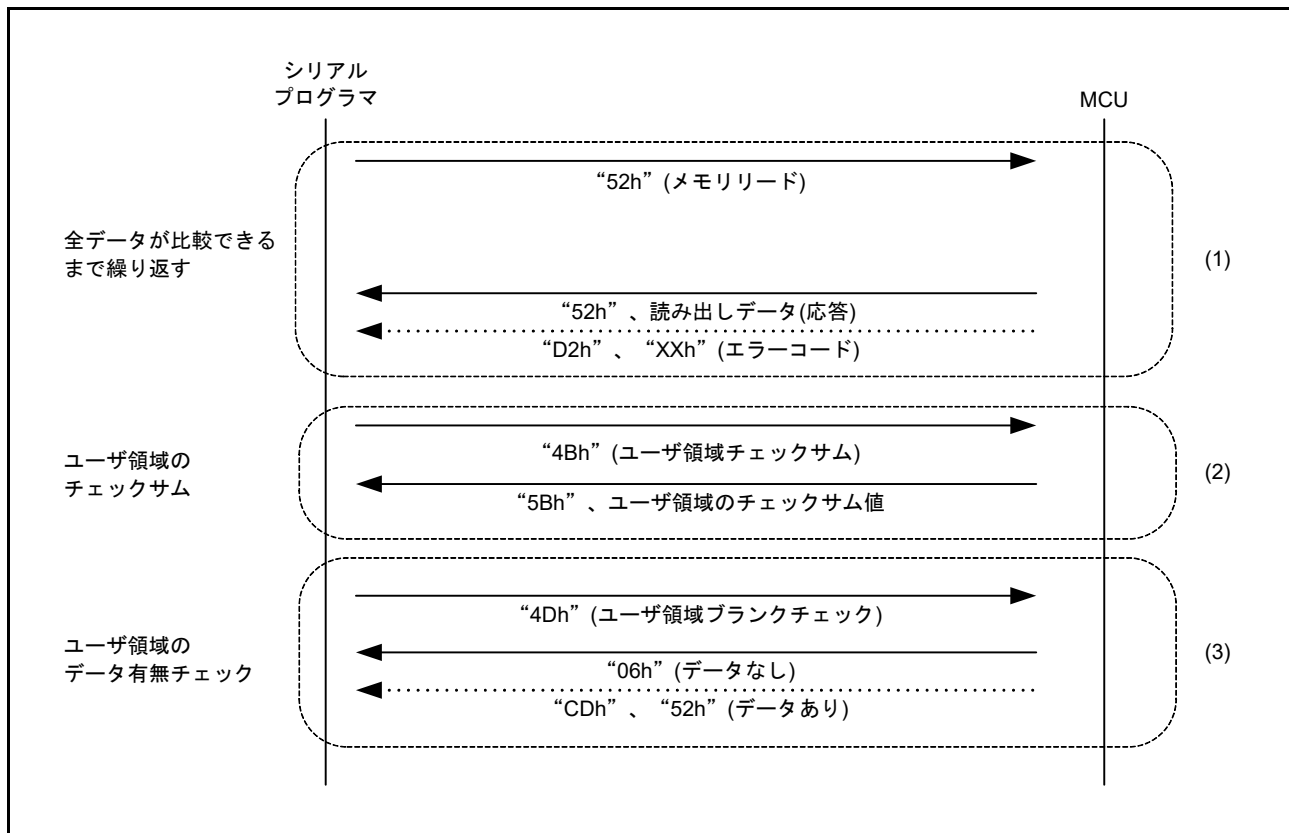


図 46.39 ユーザ領域のデータ確認手順

46.11.9 データ領域のデータ確認

データ領域に書き込まれたデータを確認するため、データ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、データ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。データ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) データ領域のチェックサム値でプログラムデータを確認するため、データ領域チェックサムコマンド“61h”を送信します。
- (3) データ領域にデータがあるかないかを確認するため、データ領域ブランクチェックコマンド“62h”を送信します。

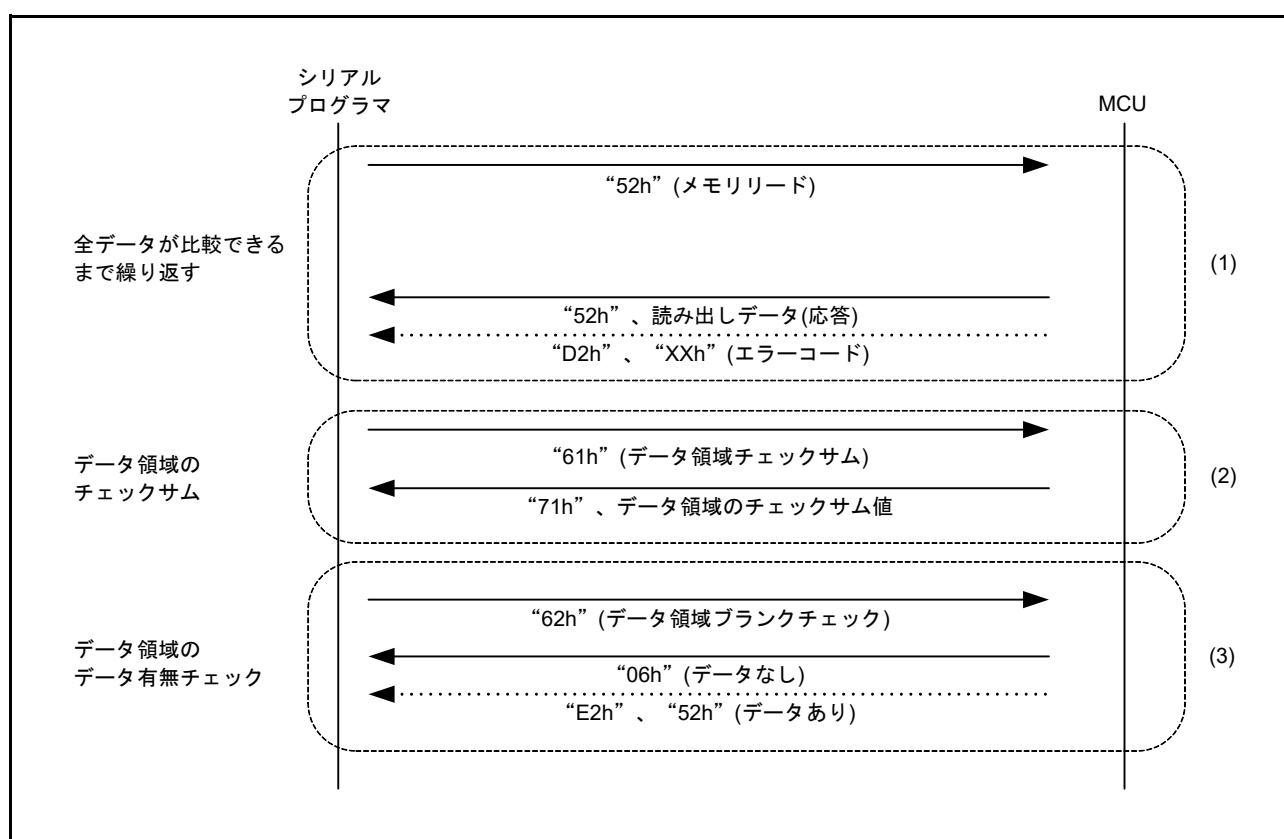


図 46.40 データ領域のデータ確認手順

46.11.10 ユーザ領域のアクセスウィンドウ設定

セルフプログラミングで、ユーザ領域の意図しない書き換えを防ぐため、アクセスウィンドウの設定を行います。

- (1) アクセスウィンドウの設定を行うため、アクセスウィンドウ情報プログラムコマンド“74h”を送信します。
- (2) アクセスウィンドウの設定を確認するため、アクセスウィンドウリードコマンド“73h”を送信します。

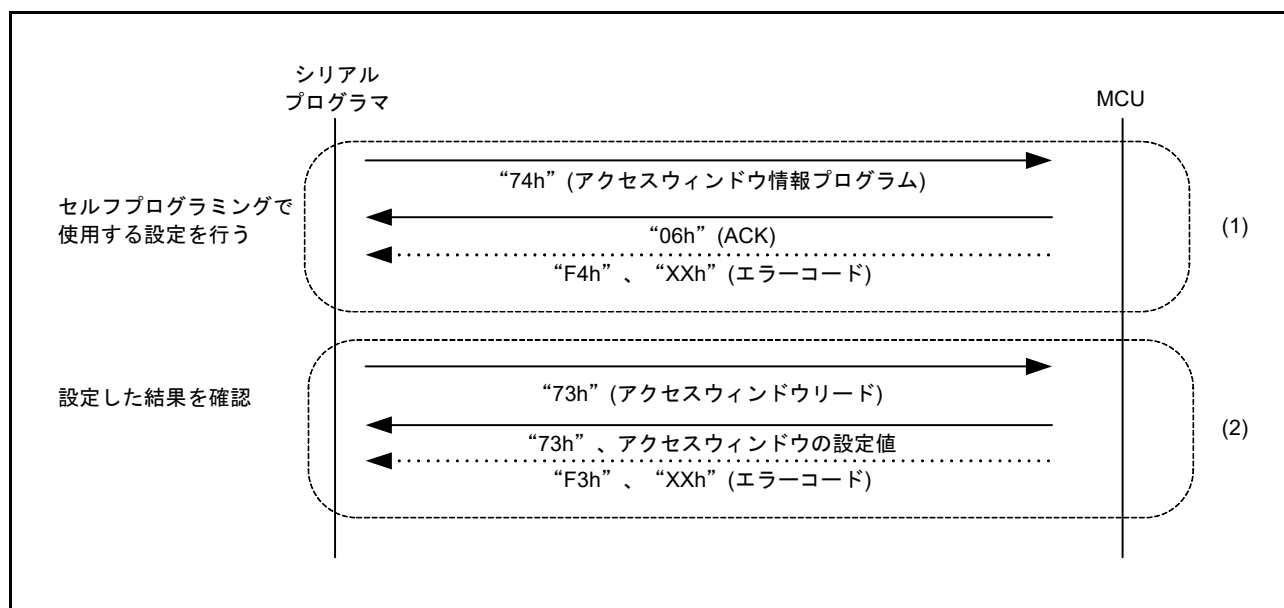


図 46.41 ユーザ領域のアクセスウィンドウ設定手順

46.11.11 アクセスウィンドウの保護

設定したアクセスウィンドウの位置を意図しない書き換えから保護するため、プロテクトを実施します。

- (1) アクセスウィンドウプロテクトコマンド“7Ch”を送信します。
- (2) プロテクトの設定を確認するため、アクセスウィンドウプロテクトフラグリードコマンド“7Bh”を送信します。

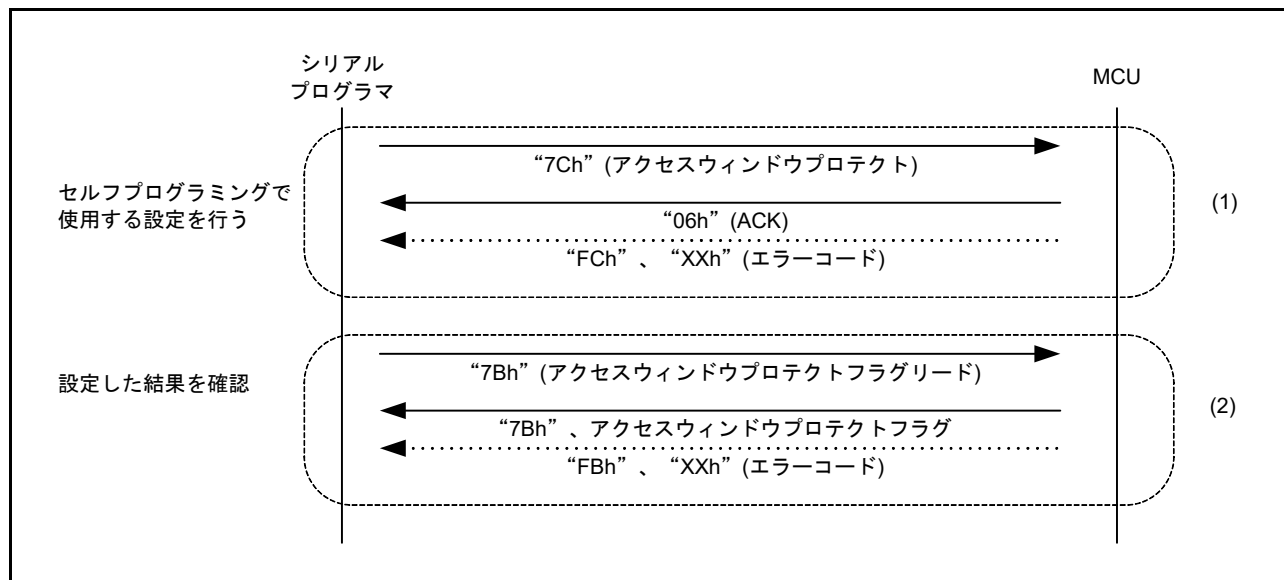


図 46.42 アクセスウィンドウの保護手順

46.12 セルフプログラミングでの書き換え

46.12.1 概要

本 MCU は、ユーザプログラム自身によるフラッシュメモリの書き換えをサポートします。ユーザプログラム内にフラッシュ書き換えルーチンを用意することにより、ROM と E2 データフラッシュを書き換えることができます。

E2 データフラッシュは、BGO 機能を利用して ROM 上でフラッシュ書き換えルーチンを実行して、書き換えることができます。また、あらかじめ内蔵 RAM に転送したフラッシュ書き換えルーチンを実行して、E2 データフラッシュを書き換えることもできます。

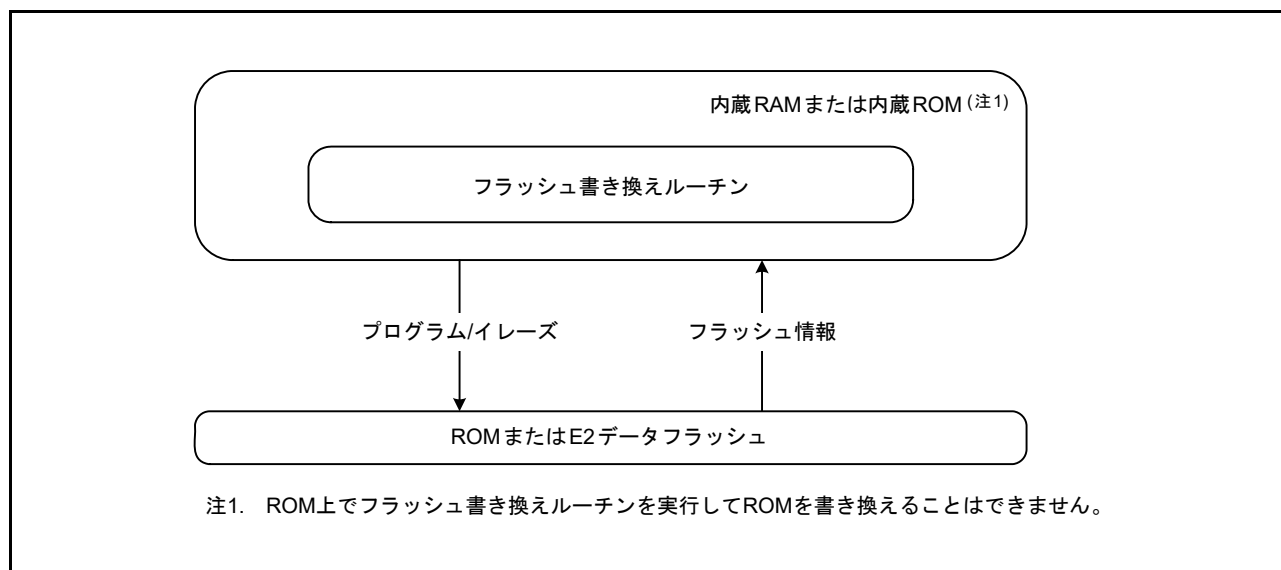


図 46.43 セルフプログラミングの概念

46.13 使用上の注意事項

- (1) イレーズ処理強制停止後の該当ブロックへのアクセス
イレーズ処理を強制停止した場合、処理が中断されたブロックの格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、当該ブロックでの命令実行や、データ読み出しが発生しないように注意してください。
- (2) イレーズ処理強制停止後の処理
イレーズ処理を強制停止した場合は、もう一度同一ブロックに対して、ブロックイレーズコマンドを発行してください。
- (3) 追加書き込み禁止
同一アドレスに2回以上のプログラムを行うことはできません。プログラム済みの領域を書き換えたい場合には、当該ブロックを消去してください。
- (4) プログラム/イレーズ中のリセット
プログラム/イレーズ中に RES# 端子リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、tRESW (「47. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。
プログラム/イレーズ中の IWDG リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。
- (5) プログラム/イレーズ中の割り込みベクタ、例外ベクタの配置
プログラム/イレーズ中に割り込みや例外が発生すると、ROM からのベクタフェッチが発生する場合があります。ROM からのベクタフェッチを回避するには、CPU の INTB レジスタおよび EXTB レジスタにより、割り込みベクタテーブル、例外ベクタテーブルを ROM 以外に配置してください。
- (6) 低速動作モードでの書き込み/消去
消費電力低減機能の SOPCCR レジスタで低速動作モードを選択した場合は、フラッシュへのプログラム/イレーズを行わないでください。
- (7) プログラム/イレーズ中の異常終了
プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、および事項(8)の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、再度該当領域のイレーズを行ってください。
- (8) プログラム/イレーズ中の禁止事項
プログラム/イレーズ中は、フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。
 - ・本 MCU の電源を動作電圧範囲外にする。
 - ・OPCCR.OPCM[2:0] ビットの値を更新する。
 - ・SOPCCR.SOPCM ビットの値を更新する。
 - ・SCKCR3 レジスタのクロックソース選択ビットを変更する。
 - ・RSTCKCR.RSTCKEN ビットの設定により、スリープモード復帰時のクロックソース切り替えを有効にする。
 - ・FlashIF クロック (FCLK) の分周比を変更する。
 - ・ディープスリープモード、ソフトウェアスタンバイモードに移行する。
 - ・ROM のプログラム/イレーズ中に E2 データフラッシュへアクセスする。
 - ・E2 データフラッシュのプログラム/イレーズ中に DFLCTL.DFLEN ビットの値を変更する。
- (9) プログラム/イレーズ時の FCLK について
セルフプログラミングでプログラム/イレーズを行う場合、FlashIF クロック (FCLK) の周波数を設定し、FISR.PCKA[5:0] ビットに FCLK 周波数を MHz 単位の整数値で設定してください。ただし、FCLK が 4 ~ 32 MHz の場合は、たとえば 12.5 MHz など整数値でない周波数を使用する場合には、小数点以下を切り上げて設定してください (12.5 MHz の場合は 13 MHz)。FCLK が 4 MHz 以下の場合には、1 MHz、2 MHz、3 MHz または 4 MHz 以外の周波数は使用できません。

46.14 使用上の注意事項 (ブートモード)

- (1) ブートモードで通信異常が発生した場合に関する注意事項
本MCUと正常な通信ができなくなった場合、本MCUをリセットして、再度ブートモードで起動させてください。
- (2) ブートモードでのオプション設定メモリに関する注意事項
ブートモードではオプション機能選択レジスタ0 (OFS0)、オプション機能選択レジスタ1 (OFS1)、エンディアン選択レジスタ (MDE) の設定は無効になります。
- (3) ブートモード (USB インタフェース) でのクロックに関する注意事項
ブートモード (USB インタフェース) を使用する場合は、EXTAL、XTAL 端子に外部から入力するか、発振子を接続してクロックを供給してください。
ブートモード (USB インタフェース) では、4, 6, 8, 12, 16 MHz の外部クロックを使用してください。4, 6, 8, 12, 16 MHz 以外の外部クロックでは使用できません。
- (4) ブートモード (USB インタフェース) での電源電圧に関する注意事項
ブートモード (USB インタフェース) では、3.0 V 以上 3.6 V 以下で動作させてください。3.0 V 未満の電圧では使用できません。
- (5) スタートアップ領域の切り替えに関する注意事項
スタートアップ領域の切り替えは、セルフプログラミングで実施してください。

47. 電気的特性

47.1 絶対最大定格

表 47.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	5Vトレラント対応ポート(注1)	V_{in}	-0.3 ~ +6.5	V
	P03 ~ P07, P40 ~ P47, PJ6, PJ7		-0.3 ~ AVCC0 + 0.3	V
	上記以外のポート		-0.3 ~ VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3	V
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN007使用時	V_{AN}	-0.3 ~ AVCC0 + 0.3	V
	AN016 ~ AN031使用時		-0.3 ~ VCC + 0.3	
ジャンクション温度	Dバージョン	T_j	-40 ~ +105	°C
	Gバージョン		-40 ~ +112	
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】

絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

詳細は、「47.16.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. P12、P13、P16、P17は、5Vトレラント対応です。

47.2 推奨動作条件

表47.2 推奨動作条件(1)

項目		記号	条件	min	typ	max	単位
電源電圧		VCC (注1、注2)	USB使用時	3.0	—	3.6	V
			PLL、PLL2、RSIP、CTSU、内部基準電圧、温度センサ使用時	1.8	—	5.5	
			上記以外	1.6	—	5.5	
		VSS		—	0	—	
アナログ電源電圧		AVCC0 (注1)		1.6	—	5.5	V
		AVSS0		—	0	—	
		VREFH0		1.6	—	AVCC0	
		VREFL0		—	0	—	
入力電圧	5Vトレラント対応ポート： P12, P13, P16, P17	V_{in}		-0.3	—	5.8	V
	P03～P07, P40～P47, PJ6, PJ7			-0.3	—	AVCC0 + 0.3	
	上記以外			-0.3	—	VCC + 0.3	
動作温度 (注3)	Dバージョン	T_{opr}		-40	—	85	°C
	Gバージョン			-40	—	105	

注1. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

注2. VCC < 2.4Vの場合、CTSUの通常動作モード機能が制限されます。詳細は「39. 静電容量式タッチセンサ(CTSUSL)」を参照してください。

注3. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は、「1.2 製品一覧」を参照してください。

表47.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	4.7 μ F \pm 30% (注1)

注1. 静電容量の公称値が4.7 μ F、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が \pm 30%以内の積層セラミックコンデンサを使用してください。

47.3 DC 特性

表47.4 DC 特性(1)

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く)	V _{IH}	0.7 × VCC	—	—	V		
		V _{IL}	—	—	0.3 × VCC			
		ΔV _T	0.05 × VCC	—	—			
	IRQ入力端子、GPTW入力端子、 POEG入力端子、TMR入力端子、 SCI入力端子、RSCI入力端子、 RSPI入力端子、CAC入力端子、 CANFD入力端子、RTC入力端子、 USB端子、REMC入力端子、 ADTRG0#入力端子(注1)、 RES#、NMI、MD	V _{IH}	0.8 × VCC	—	—			
		V _{IL}	—	—	0.2 × VCC			
		ΔV _T	0.1 × VCC	—	—			
		ADTRG0#入力端子(注2)	V _{IH}	0.8 × AVCC0	—			—
			V _{IL}	—	—			0.2 × AVCC0
			ΔV _T	0.1 × AVCC0	—			—
入力レベル電圧 (シュミット トリガ入力端子 を除く)	EXTAL (外部クロック入力)	V _{IH}	0.8 × VCC	—	—	V		
		V _{IL}	—	—	0.2 × VCC			
	RIIC入力端子(SMBus)	V _{IH}	2.2	—	—			VCC = 3.6 ~ 5.5V
			2.0	—	—			VCC = 2.7 ~ 3.6V
		V _{IL}	—	—	0.8			VCC = 3.6 ~ 5.5V
			—	—	0.5			VCC = 2.7 ~ 3.6V
	P12 ~ P17, P20 ~ P27, P30 ~ P37, P50 ~ P55, PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PH0 ~ PH3, PH6, PH7, PJ1, PJ3, PG7	V _{IH}	0.8 × VCC	—	—			
		V _{IL}	—	—	0.2 × VCC			
		P03 ~ P07, P40 ~ P47, PJ6, PJ7	V _{IH}	0.8 × AVCC0	—			—
			V _{IL}	—	—			0.2 × AVCC0

注1. P16、P25に割り付けられているADTRG0#入力端子です。

注2. P07に割り付けられているADTRG0#入力端子です。

表 47.5 DC特性(2)

条件：1.6V ≤ VCC < 2.7V, 1.6V ≤ AVCC0 < 2.7V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	IRQ入力端子、GPTW入力端子、 POEG入力端子、TMR入力端子、 SCI入力端子、RSCI入力端子、 RSPI入力端子、CAC入力端子、 CANFD入力端子、RTC入力端子、 USB端子、REMC入力端子、 ADTRG0#入力端子(注1)、 RES#、NMI、MD	V _{IH}	0.8 × VCC	—	—	V	
		V _{IL}	—	—	0.2 × VCC		
		ΔV _T	0.01 × VCC	—	—		
	ADTRG0#入力端子(注2)	V _{IH}	0.8 × AVCC0	—	—		
		V _{IL}	—	—	0.2 × AVCC0		
		ΔV _T	0.01 × AVCC0	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	EXTAL (外部クロック入力)	V _{IH}	0.8 × VCC	—	—	V	
		V _{IL}	—	—	0.2 × VCC		
	P12 ~ P17, P20 ~ P27, P30 ~ P37, P50 ~ P55, PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PH0 ~ PH3, PH6, PH7, PJ1, PJ3, PG7	V _{IH}	0.8 × VCC	—	—		
		V _{IL}	—	—	0.2 × VCC		
	P03 ~ P07, P40 ~ P47, PJ6, PJ7	V _{IH}	0.8 × AVCC0	—	—		
		V _{IL}	—	—	0.2 × AVCC0		

注1. P16、P25に割り付けられているADTRG0#入力端子です。

注2. P07に割り付けられているADTRG0#入力端子です。

表 47.6 DC特性(3)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, P35, PH6, PH7	I _{in}	—	—	1.0	μA, V _{in} = 0V, VCC
スリーステートリーク 電流(オフ状態)	5Vトレラント対応ポート	I _{TSL}	—	—	1.0	V _{in} = 0V, 5.8V
	PJ6, PJ7, USB0_DM, USB0_DP		—	—	1.0	V _{in} = 0V, VCC
	5Vトレラント対応ポート、 PJ6、PJ7以外		—	—	0.2	V _{in} = 0V, VCC
入力容量	全入力端子 (P35、USB0_DM、USB0_DP以 外)	C _{in}	—	—	15	pF, V _{in} = 0mV, f = 1MHz, Ta = 25°C
	P35, USB0_DM, USB0_DP		—	—	30	

表 47.7 DC特性(4)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (P35、PH6、PH7以外)	R _U	10	20	50	kΩ, V _{in} = 0V

表 47.8 DC特性(5) (1/3)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件	
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし(注2)	ICLK = 64MHz	I _{CC}	4.4	—	mA	
				ICLK = 48MHz		3.4	—		
				ICLK = 32MHz		2.7	—		
				ICLK = 16MHz		1.8	—		
				ICLK = 8MHz		1.4	—		
				ICLK = 4MHz		1.2	—		
			全周辺動作 通常動作(注3)	ICLK = 64MHz		19.5	—		
				ICLK = 48MHz		14.8	—		
				ICLK = 32MHz		12.3	—		
				ICLK = 16MHz		6.8	—		
				ICLK = 8MHz		4.1	—		
				ICLK = 4MHz		2.7	—		
		全周辺動作 最大動作(注3)	ICLK = 64MHz	—	34.5				
			ICLK = 32MHz	—	21.7				
		スリープモード	周辺動作なし(注2)	ICLK = 64MHz	2.4	—			
				ICLK = 48MHz	1.9	—			
				ICLK = 32MHz	1.6	—			
				ICLK = 16MHz	1.3	—			
				ICLK = 8MHz	1.1	—			
				ICLK = 4MHz	1.0	—			
	全周辺動作 通常動作(注3)		ICLK = 64MHz	11.0	—				
			ICLK = 48MHz	8.4	—				
			ICLK = 32MHz	7.8	—				
			ICLK = 16MHz	4.5	—				
			ICLK = 8MHz	2.8	—				
			ICLK = 4MHz	2.0	—				
	ディープ スリープモード	周辺動作なし(注2)	ICLK = 64MHz	1.6	—				
			ICLK = 48MHz	1.3	—				
			ICLK = 32MHz	1.2	—				
			ICLK = 16MHz	1.0	—				
			ICLK = 8MHz	0.9	—				
			ICLK = 4MHz	0.9	—				
全周辺動作 通常動作(注3)		ICLK = 64MHz	9.2	—					
		ICLK = 48MHz	7.0	—					
		ICLK = 32MHz	6.6	—					
		ICLK = 16MHz	3.9	—					
		ICLK = 8MHz	2.5	—					
		ICLK = 4MHz	1.8	—					
フラッシュメモリ書き換え時の増加分(注5)					2.6	—			

表 47.8 DC特性(5) (2/3)

条件 : 1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目					記号	typ (注4)	max	単位	測定条件		
消費電流 (注1)	中速動作モード	通常動作モード	周辺動作なし(注6)	ICLK = 24MHz	I _{CC}	1.8	—	mA			
				ICLK = 12MHz		1.2	—				
				ICLK = 8MHz		1.0	—				
				ICLK = 4MHz		0.4	—				
				ICLK = 1MHz		0.2	—				
			全周辺動作 通常動作(注7)	ICLK = 24MHz		9.1	—				
				ICLK = 12MHz		5.0	—				
				ICLK = 8MHz		3.7	—				
				ICLK = 4MHz		2.2	—				
				ICLK = 1MHz		1.2	—				
			全周辺動作 最大動作(注7)	ICLK = 24MHz		—	18.1				
			スリープモード	周辺動作なし(注6)		ICLK = 24MHz	1.1			—	
						ICLK = 12MHz	0.8			—	
						ICLK = 8MHz	0.7			—	
						ICLK = 4MHz	0.2			—	
		ICLK = 1MHz			0.2	—					
		全周辺動作 通常動作(注7)		ICLK = 24MHz	5.8	—					
				ICLK = 12MHz	3.3	—					
				ICLK = 8MHz	2.7	—					
				ICLK = 4MHz	1.7	—					
				ICLK = 1MHz	1.1	—					
	ディープ スリープモード	周辺動作なし(注6)	ICLK = 24MHz	0.8	—						
			ICLK = 12MHz	0.6	—						
			ICLK = 8MHz	0.6	—						
			ICLK = 4MHz	0.1	—						
			ICLK = 1MHz	0.1	—						
		全周辺動作 通常動作(注7)	ICLK = 24MHz	4.9	—						
			ICLK = 12MHz	2.8	—						
			ICLK = 8MHz	2.3	—						
			ICLK = 4MHz	1.5	—						
			ICLK = 1MHz	1.0	—						
	フラッシュメモリ書き換え時の増加分(注5)						2.1	—			
	中速動作モード 2	通常動作モード	周辺動作なし(注8)	ICLK = 1MHz	I _{CC}	160	—	μA			
全周辺動作 通常動作(注9)				ICLK = 1MHz		1170	—				
				全周辺動作 最大動作(注9)		ICLK = 1MHz	—		4520		
スリープモード		周辺動作なし(注8)	ICLK = 1MHz	120		—					
			全周辺動作 通常動作(注9)	ICLK = 1MHz		1030	—				
ディープ スリープモード		周辺動作なし(注8)	ICLK = 1MHz	110		—					
			全周辺動作 通常動作(注9)	ICLK = 1MHz		990	—				
フラッシュメモリ書き換え時の増加分(注5)							1420		—		

表 47.8 DC特性(5) (3/3)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目				記号	typ (注4)	max	単位	測定条件
消費電流 (注1)	低速動作モード	通常動作モード	周辺動作なし(注10)	ICLK = 32.768kHz	I _{CC}	4.3	—	μA
			全周辺動作 通常動作(注11、注12)	ICLK = 32.768kHz		13.9	—	
			全周辺動作 最大動作(注11、注12)	ICLK = 32.768kHz		—	1500	
	スリープモード	周辺動作なし(注10)	ICLK = 32.768kHz	2.9		—		
		全周辺動作 通常動作(注11)	ICLK = 32.768kHz	9.0		—		
	ディープ スリープモード	周辺動作なし(注10)	ICLK = 32.768kHz	2.5		—		
		全周辺動作 通常動作(注11)	ICLK = 32.768kHz	7.8		—		

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。ICLK = 64、48MHzの場合、FCLK、PCLKA、PCLKDはICLKと同じ周波数です。PCLKBは2分周設定です。ICLK = 32MHz以下の場合、FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC = 3.3Vの値です。
- 注5. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態。クロックソースはICLK = 24MHzの時はPLL、ICLK = 8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態。クロックソースはICLK = 24MHzの時はPLL、ICLK = 8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態。クロックソースはICLK = 1MHzの時はLOCOです。FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態。クロックソースはICLK = 1MHzの時はLOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注10. 周辺機能はクロック停止状態。クロックソースはサブ発振回路です。FCLK、PCLKは64分周設定です。
- 注11. 周辺機能はクロック供給状態。クロックソースはサブ発振回路です。FCLK、PCLKはICLKと同じ周波数です。
- 注12. MSTPCRA.MSTPA17 (12ビットA/Dコンバータモジュールストップ設定ビット)をモジュールストップ状態に設定した時の値です。

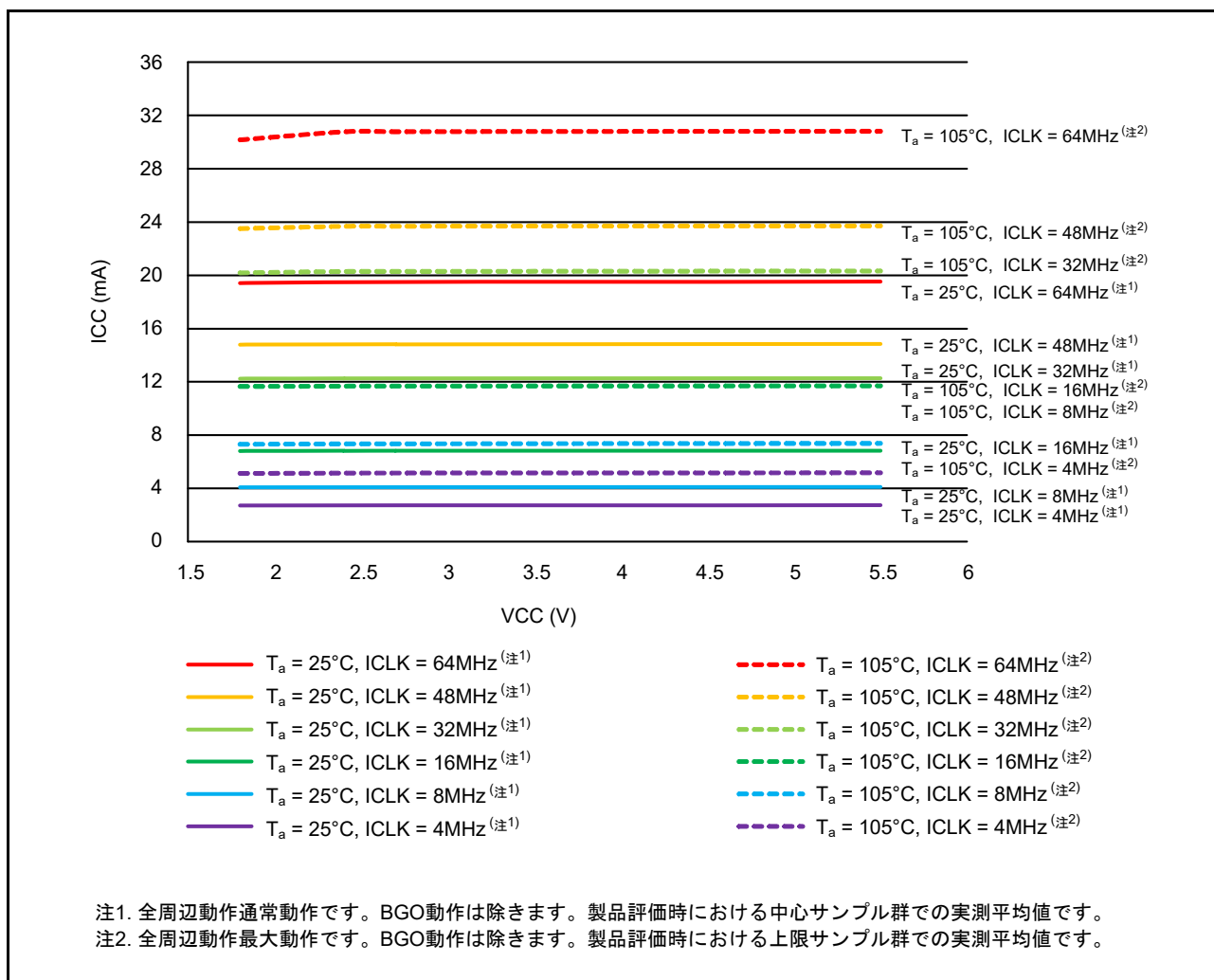


図 47.1 高速動作モードの電圧依存性

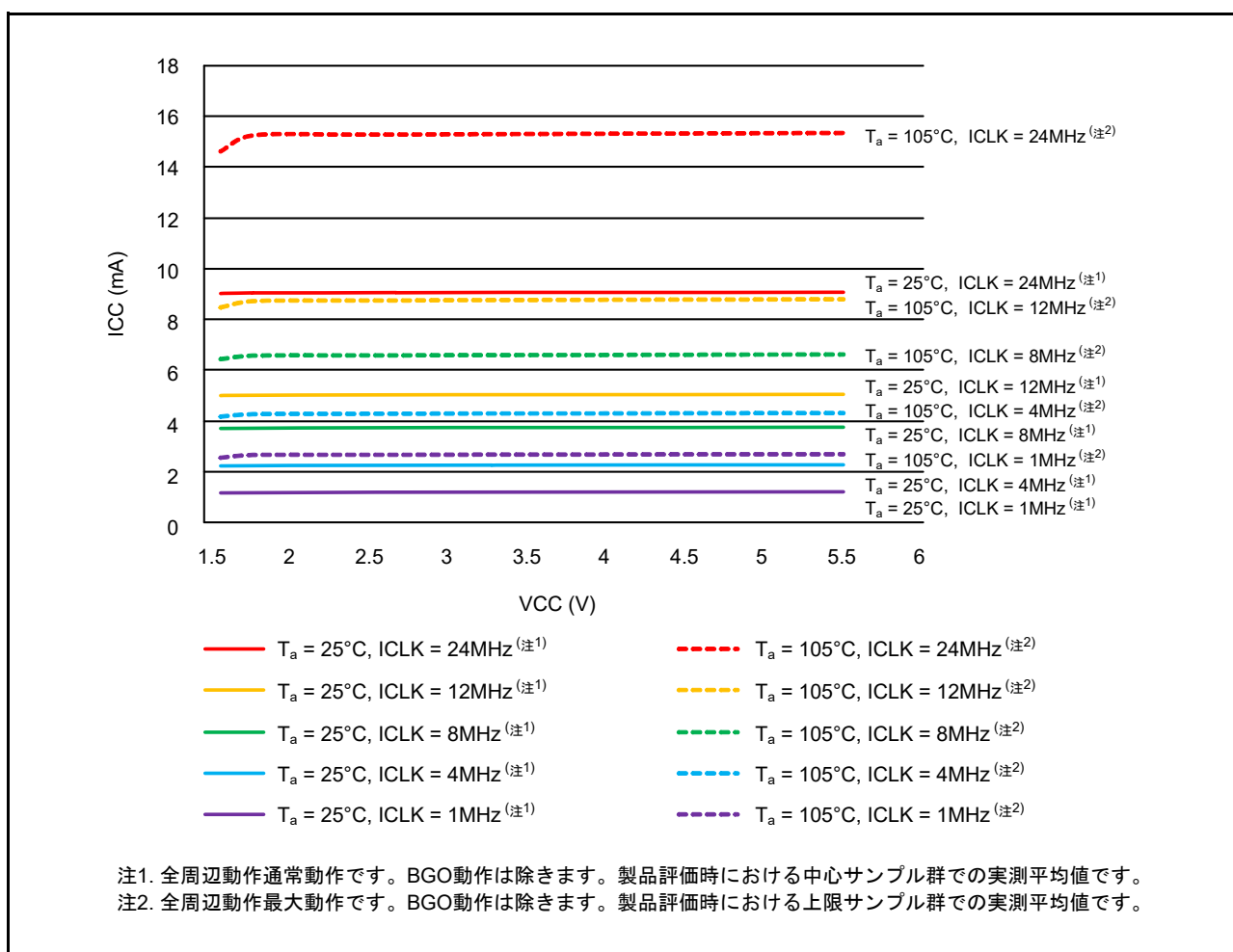


図 47.2 中速動作モードの電圧依存性

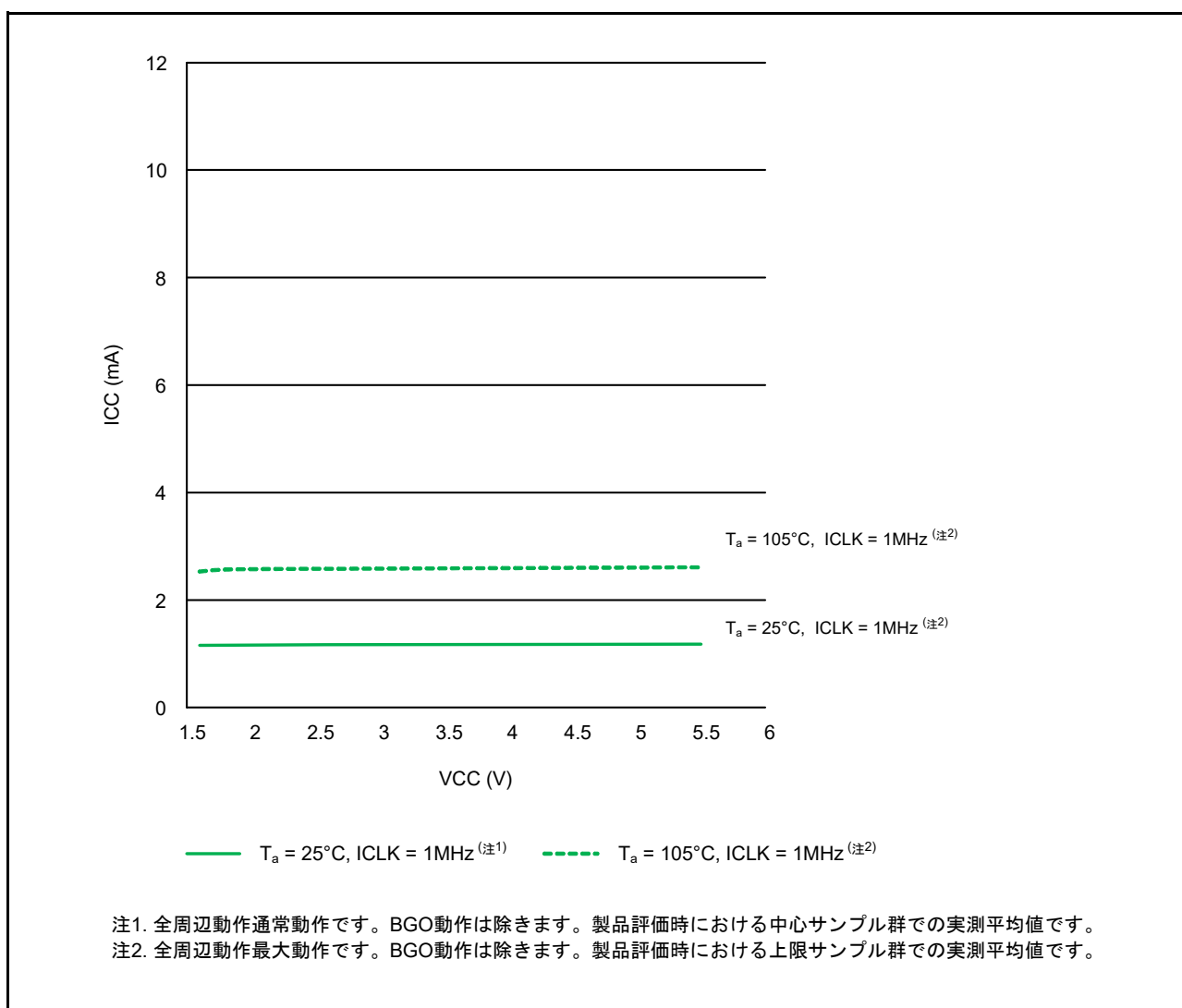


図 47.3 中速動作モード2の電圧依存性

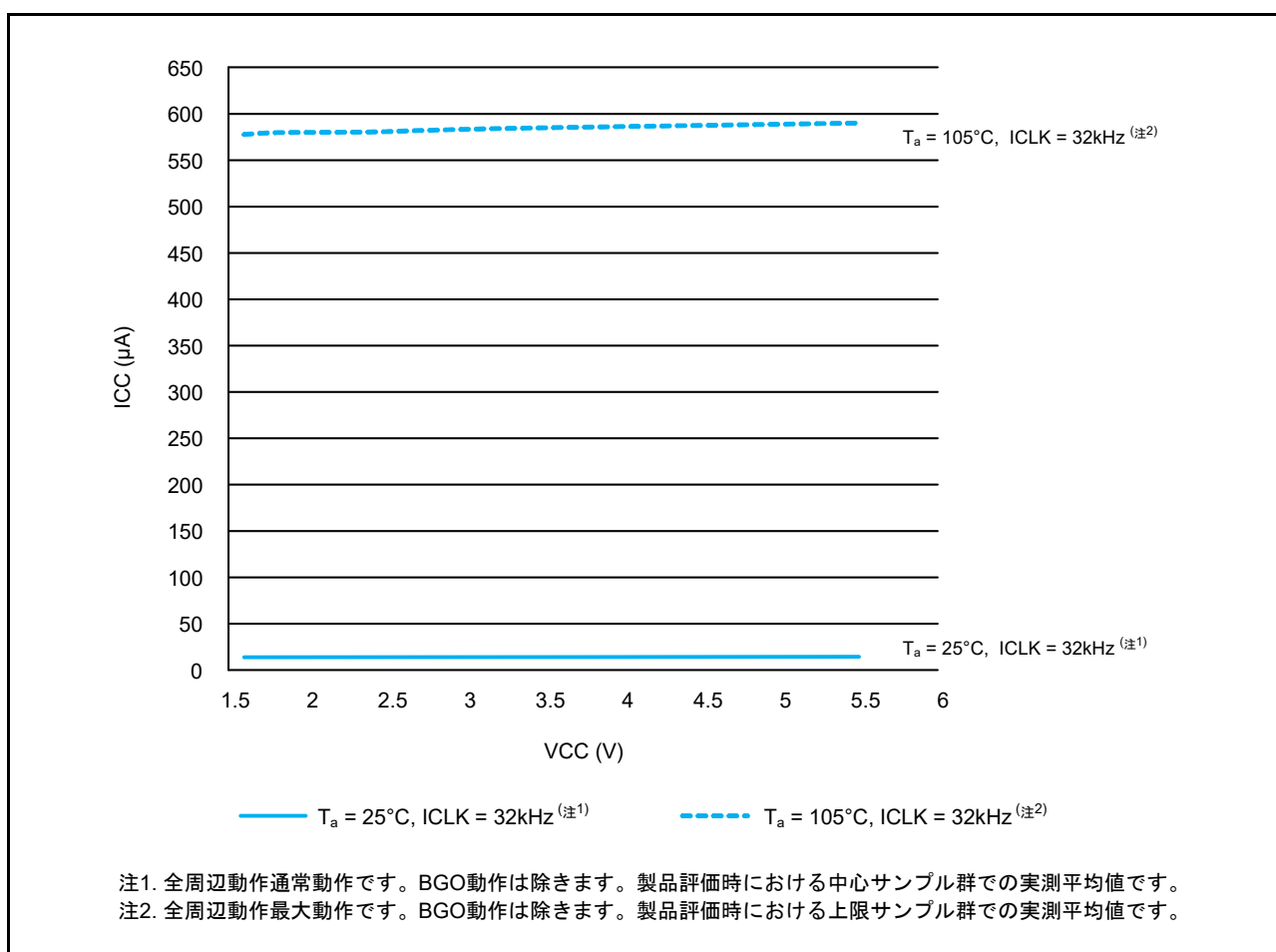


図 47.4 低速動作モードの電圧依存性

表 47.9 DC特性(6)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイ モード (注2)	RAM電源 遮断なし	I _{CC}	T _a = 25°C	1.01	19.54	μA	
				T _a = 55°C	3.71	73.97		
				T _a = 85°C	14.44	229.58		
				T _a = 105°C	33.81	470.46		
	RTC動作の増加分(注4)			0.99	—	SOMCR.SODRV[1:0]は標準CL用ドライブ能力 設定		
				0.55	—	SOMCR.SODRV[1:0]は低CL用ドライブ能力高 設定		
				0.32	—	SOMCR.SODRV[1:0]は低CL用ドライブ能力中 設定		
				0.22	—	SOMCR.SODRV[1:0]は低CL用ドライブ能力低 設定		
	ローパワータイム動作の増加分			0.33	—	LPTCR1.LPCNTCKSELは、IWDT専用オン チップオシレータ選択時		
				16.00	—	LPTCR1.LPCNTCKSEL2は、低速オンチップオ シレータ選択時		
	独立ウォッチドックタイム動作の 増加分			0.32	—			
	REMC動作の増加分(注4)			0.98	—	REMCN1.CSRC[3:0]は、サブクロック選択時 SOMCR.SODRV[1:0]は標準CL用ドライブ能力 設定		
				0.60	—	REMCN1.CSRC[3:0]は、サブクロック選択時 SOMCR.SODRV[1:0]は低CL用ドライブ能力高 設定		
				0.42	—	REMCN1.CSRC[3:0]は、サブクロック選択時 SOMCR.SODRV[1:0]は低CL用ドライブ能力中 設定		
				0.31	—	REMCN1.CSRC[3:0]は、サブクロック選択時 SOMCR.SODRV[1:0]は低CL用ドライブ能力低 設定		
				0.29	—	REMCN1.CSRC[3:0]は、IWDTCLK選択時		

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プリアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVD、CMPBは動作停止です。

注3. VCC = 3.3Vの場合です。

注4. 発振回路を含みます。

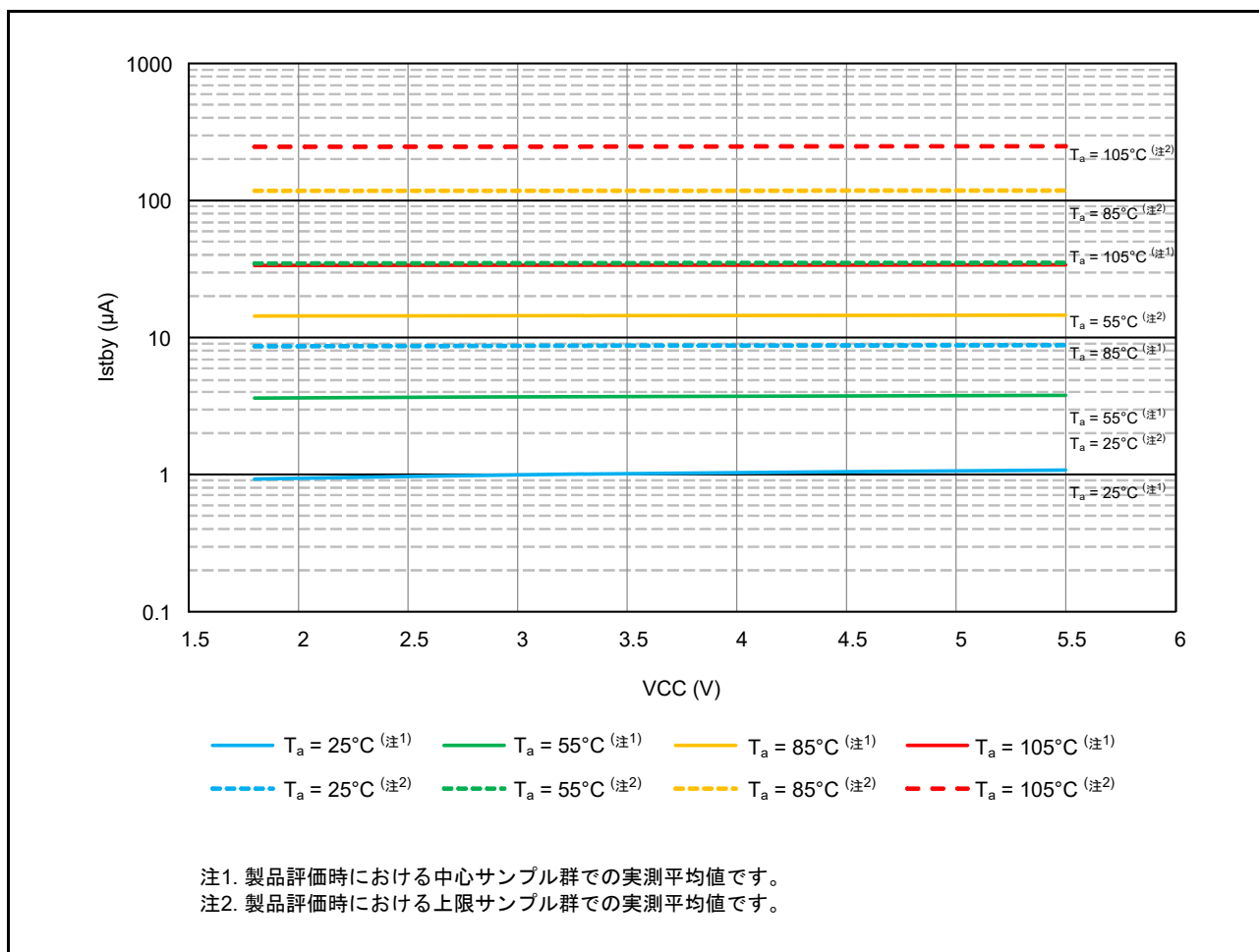


図 47.5 ソフトウェアスタンバイモード時の電圧依存性 (RAM 電源遮断無効の場合の参考データ)

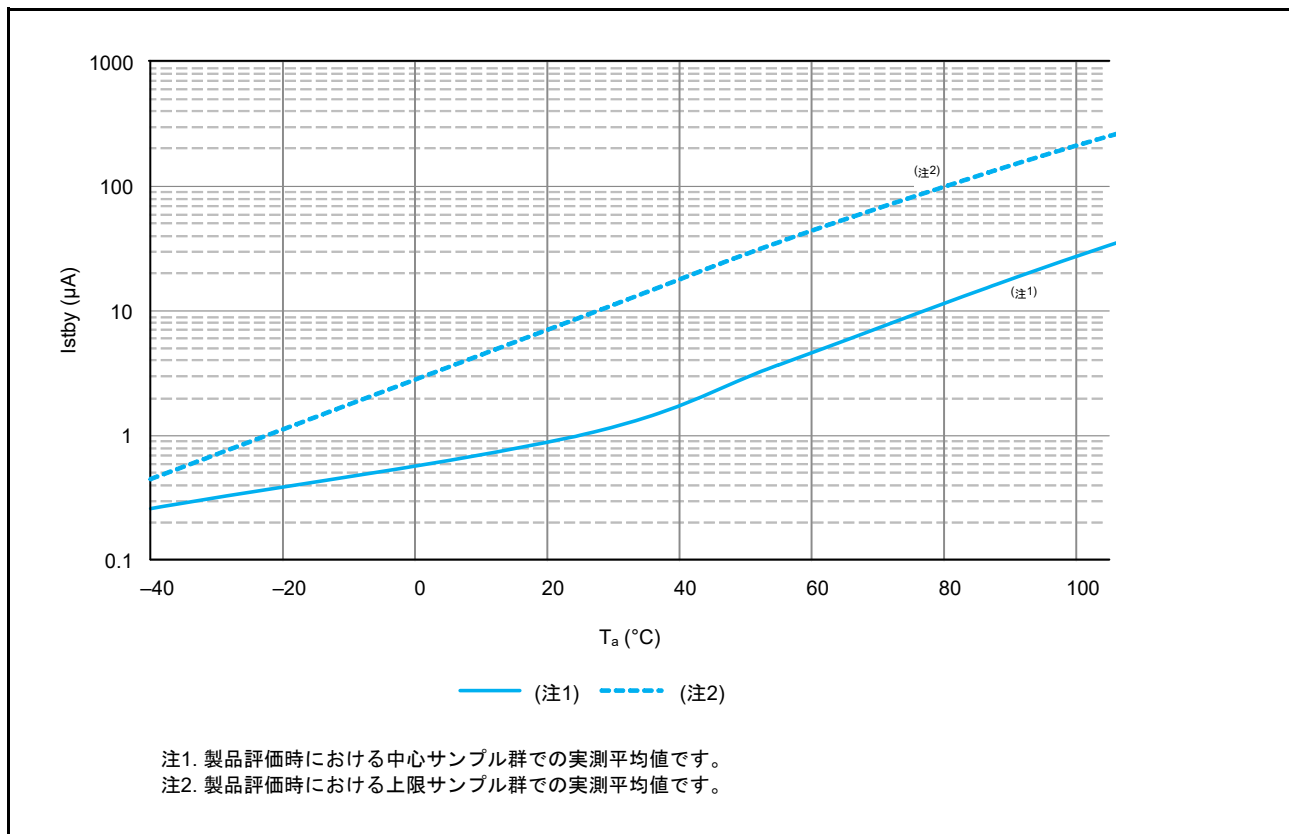


図 47.6 ソフトウェアスタンバイモード時の温度依存性 (RAM 電源遮断無効の場合の参考データ)

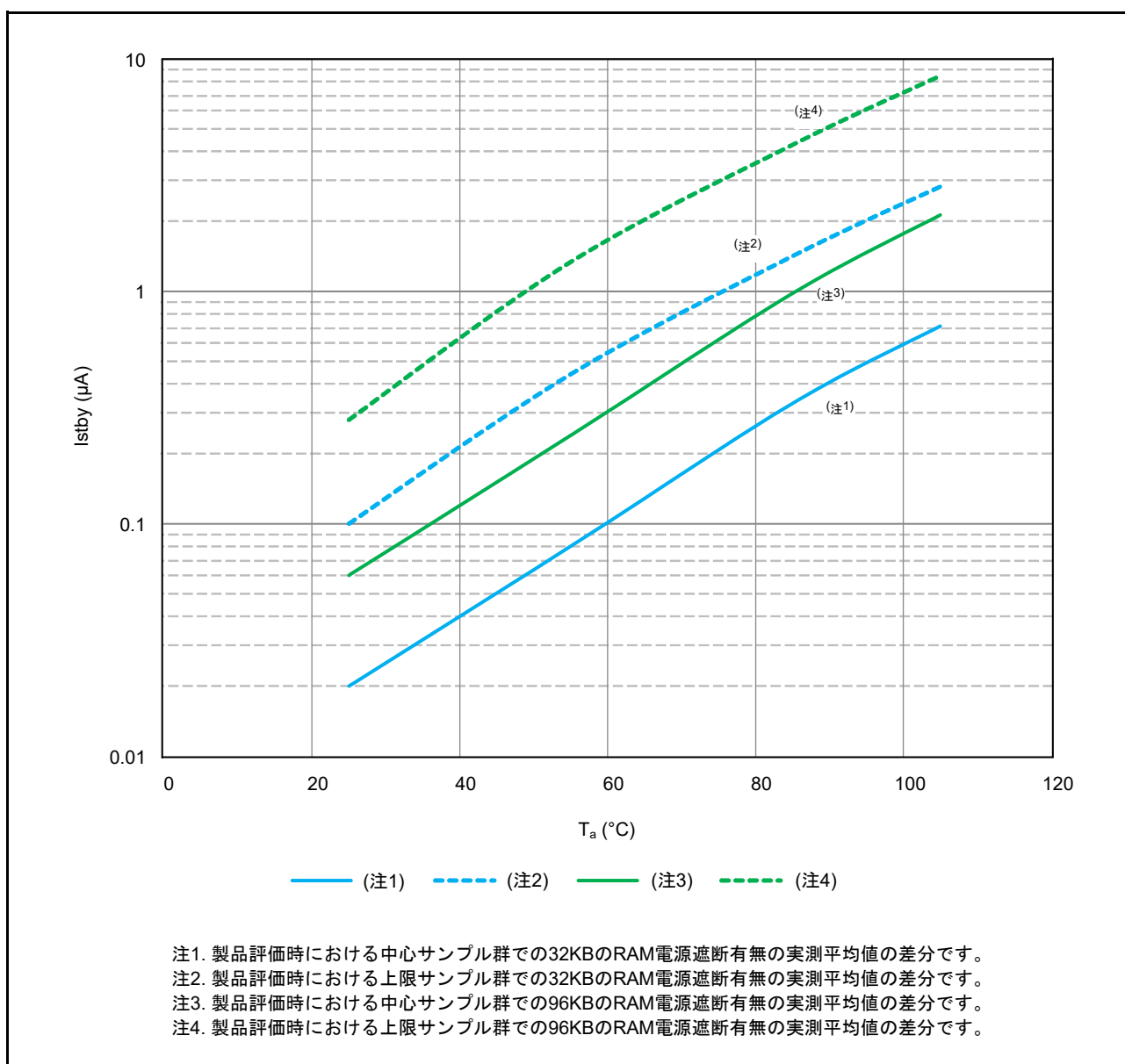


図 47.7 ソフトウェアスタンバイモード時の温度依存性 (RAM 電源遮断有効の場合の参考データ)

表 47.10 DC特性(7)

条件: $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ (注4)	max	単位	測定条件
アナログ電源電流	A/D変換中(高速変換時)	I_{AVCC}	—	0.7	1.4	mA	
	A/D変換中(低電流モード)		—	0.3	0.7		
	D/A変換中(1チャンネル当り)(注1)		—	—	0.5		
	A/D、D/A変換待機時		—	—	2.0	μA	
リファレンス電源電流	A/D変換中(高速変換時)	I_{REFH0}	—	53	122	μA	
	A/D変換待機時		—	—	0.3	nA	
LVD0	—	I_{LVD}	—	0.04	—	μA	
LVD1, 2	1チャンネル当り		—	0.12	—	μA	
温度センサ(注3)	—	I_{TEMP}	—	120	—	μA	
コンパレータB動作電流(注3)	ウィンドウ機能有効	I_{CMP} (注2)	—	7.5	12.5	μA	
	コンパレータ高速モード(1チャンネル当り)		—	5.0	10.0	μA	
	コンパレータ低速モード(1チャンネル当り)		—	1.5	3.0	μA	
USB動作電流(注3)	以下の設定、条件におけるUSB通信動作時 ● フルスピードモードのホスト動作設定 バルクOUT転送(64バイト)1本、 バルクIN転送(64バイト)1本 ● USBポートからUSBケーブル(1m)を経由して周辺機器に接続	I_{USBH} (注5)	—	3.5	—	mA	
	以下の設定、条件におけるUSB通信動作時 ● フルスピードモードのファンクション動作設定 バルクOUT転送(64バイト)1本 バルクIN転送(64バイト)1本 ● USBポートからUSBケーブル(1m)を経由してホスト機器に接続		I_{USBF} (注5)	—	4.0		
	以下の設定、条件におけるサスペンド時 ● フルスピードモードのファンクション動作設定(USB0_DP端子をプルアップ) ● ソフトウェアスタンバイモード ● USBポートからUSBケーブル(1m)を経由してホスト機器に接続	I_{SUSP} (注6)		—	160	—	
RSIP動作電流(注3)	セルフテスト	I_{RSIP} (注7)	—	—	11.3	mA	PCLKB = 32MHz
	モジュールストップ解除状態		—	3.6	—		

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. コンパレータBモジュールのみの消費電流です。

注3. 電源(VCC)の消費電流です。

注4. $VCC = AVCC0 = 3.3V$ のとき。

注5. USBモジュールのみの消費電流です。

注6. サスペンド状態における本製品の自己消費電流に加えて、USB0_DP端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

注7. RSIPモジュールのみの消費電流です。

表 47.11 DC特性(8)

条件: $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V_{RAM}	1.6	—	—	V	

表 47.12 DC特性(9)

条件：0V ≤ VCC ≤ 5.5V, 0V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時(注1)	StVCC	0.02	—	20	ms/V	
	起動時間短縮時(注2)		0.02	—	2		
	起動時電圧監視0リセット有効時(注3、注4)		0.02	—	—		

注1. OFS1.(FASTSTUP, LVDAS) = 11bを設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS) = 01bを設定した場合です。

注3. OFS1.LVDAS = 0を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 47.13 DC特性(10)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C電源リップルは、VCCの上限と下限は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動がVCC±10%を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図47.8 $V_r(VCC) \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図47.8 $V_r(VCC) \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図47.8 $V_r(VCC) \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動がVCC±10%を超える場合

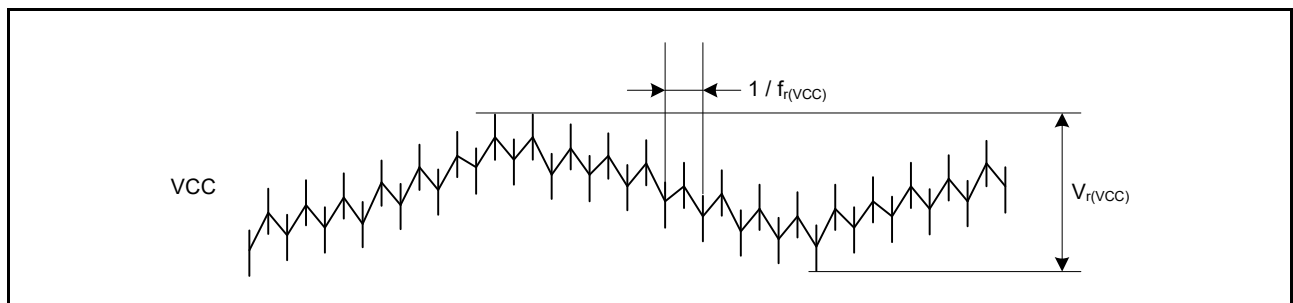


図 47.8 電源リップル波形

表 47.14 出力許容電流値(1)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +85°C

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I _{OL}	8.0	mA
	それ以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		8.0	
	それ以外のポート		8.0	
出力Lowレベル許容電流	P03~P07、 P40~P47、 PJ6、PJ7の合計	ΣI _{OL}	40	
	P12~P17、 P20~P27、 P30~P37、 PG7、PH2、PH3、PH6、PH7、 PJ1、PJ3の合計		40	
	P50~P55、 PB0~PB7、 PC0~PC7、 PH0、PH1の合計		40	
	PA0~PA7、 PD0~PD7、 PE0~PE7の合計		40	
	全出力端子の総和		80	
出力Highレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I _{OH}	-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流	P03~P07、 P40~P47、 PJ6、PJ7の合計	ΣI _{OH}	-40	
	P12~P17、 P20~P27、 P30~P37、 PG7、PH2、PH3、PH6、PH7、 PJ1、PJ3の合計		-40	
	P50~P55、 PB0~PB7、 PC0~PC7、 PH0、PH1の合計		-40	
	PA0~PA7、 PD0~PD7、 PE0~PE7の合計		-40	
	全出力端子の総和		-80	

注. 許容総消費電流は超えないようにしてください。

表 47.15 出力許容電流値(2)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I _{OL}	8.0	mA
	それ以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		8.0	
	それ以外のポート		8.0	
出力Lowレベル許容電流	P03~P07、 P40~P47、 PJ6、PJ7の合計	ΣI _{OL}	30	
	P12~P17、 P20~P27、 P30~P37、 PG7、PH2、PH3、PH6、PH7、 PJ1、PJ3の合計		30	
	P50~P55、 PB0~PB7、 PC0~PC7、 PH0、PH1の合計		30	
	PA0~PA7、 PD0~PD7、 PE0~PE7の合計		30	
	全出力端子の総和		60	
出力Highレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I _{OH}	-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流	P03~P07、 P40~P47、 PJ6、PJ7の合計	ΣI _{OH}	-30	
	P12~P17、 P20~P27、 P30~P37、 PG7、PH2、PH3、PH6、PH7、 PJ1、PJ3の合計		-30	
	P50~P55、 PB0~PB7、 PC0~PC7、 PH0、PH1の合計		-30	
	PA0~PA7、 PD0~PD7、 PE0~PE7の合計		-30	
	全出力端子の総和		-60	

注. 許容総消費電流は超えないようにしてください。

表 47.16 出力電圧値(1)

条件： $1.6V \leq VCC < 1.8V$, $1.6V \leq AVCC0 < 1.8V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Low レベル	全出力端子(RIIC以外)	V_{OL}	—	0.3	V	$I_{OL} = 0.3mA$	
出力High レベル	全出力端子	V_{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	$AVCC0 - 0.3$	—	V	$I_{OH} = -0.5mA$
	上記以外		$VCC - 0.3$	—			

表 47.17 出力電圧値(2)

条件： $1.8V \leq VCC < 2.7V$, $1.8V \leq AVCC0 < 2.7V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Low レベル	全出力端子(RIIC以外)	V_{OL}	—	0.3	V	$I_{OL} = 1.0mA$	
出力High レベル	全出力端子	V_{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	$AVCC0 - 0.3$	—	V	$I_{OH} = -0.5mA$
	上記以外		$VCC - 0.3$	—			

表 47.18 出力電圧値(3)

条件： $2.7V \leq VCC < 4.0V$, $2.7V \leq AVCC0 < 4.0V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Low レベル	全出力端子(RIIC以外)	V_{OL}	—	0.5	V	$I_{OL} = 2.0mA$	
	RIIC端子		—	0.6		$I_{OL} = 6.0mA$	
出力High レベル	全出力端子	V_{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	$AVCC0 - 0.5$	—	V	$I_{OH} = -1.0mA$
	上記以外		$VCC - 0.5$	—			

表 47.19 出力電圧値(4)

条件： $4.0V \leq VCC \leq 5.5V$, $4.0V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Low レベル	全出力端子(RIIC以外)	V_{OL}	—	0.8	V	$I_{OL} = 4.0mA$	
	RIIC端子		—	0.6		$I_{OL} = 6.0mA$	
出力High レベル	全出力端子	V_{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	$AVCC0 - 0.8$	—	V	$I_{OH} = -2.0mA$
	上記以外		$VCC - 0.8$	—			

表 47.20 熱抵抗値(参考値)

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	100ピンLFQFP(PLQP0100KB-B)	θ_{ja}	—	—	47.9	°C/W	JESD51-2およびJESD51-7 準拠
	80ピンLFQFP (PLQP0080KB-B)		—	—	46.0		
	64ピンLFQFP (PLQP0064KB-C)		—	—	44.8		
	48ピンLFQFP (PLQP0048KB-B)		—	—	53.6		
	48ピンHWQFN (PWQN0048KC-A)		—	—	20.0(注1)		
	100ピンLFQFP(PLQP0100KB-B)	Ψ_{jt}	—	—	0.81		
	80ピンLFQFP (PLQP0080KB-B)		—	—	0.81		
	64ピンLFQFP (PLQP0064KB-C)		—	—	0.81		
	48ピンLFQFP (PLQP0048KB-B)		—	—	1.30		
	48ピンHWQFN (PWQN0048KC-A)		—	—	0.11(注1)		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

注1. exposed die padにVSSを接続したときの値です。

47.4 標準 I/O 端子出力特性

表 47.21 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = AVCC0 = 2.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC - 0.05	—	V	I _{OH} = -0.5mA
			—	VCC - 0.09	—		I _{OH} = -1.0mA
			—	VCC - 0.20	—		I _{OH} = -2.0mA
			—	VCC - 0.49	—		I _{OH} = -4.0mA

表 47.22 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = AVCC0 = 3.3V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC - 0.02	—	V	I _{OH} = -0.5mA
			—	VCC - 0.05	—		I _{OH} = -1.0mA
			—	VCC - 0.10	—		I _{OH} = -2.0mA
			—	VCC - 0.22	—		I _{OH} = -4.0mA

表 47.23 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = AVCC0 = 5.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC - 0.02	—	V	I _{OH} = -0.5mA
			—	VCC - 0.04	—		I _{OH} = -1.0mA
			—	VCC - 0.08	—		I _{OH} = -2.0mA
			—	VCC - 0.15	—		I _{OH} = -4.0mA

表 47.24 標準 I/O 端子 V_{OL} 電圧特性 (参考値)条件 : VCC = AVCC0 = 2.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.02	—	V	I _{OL} = 0.5mA
			—	0.04	—		I _{OL} = 1.0mA
			—	0.08	—		I _{OL} = 2.0mA
			—	0.17	—		I _{OL} = 4.0mA
			—	0.43	—		I _{OL} = 8.0mA

表 47.25 標準 I/O 端子 V_{OL} 電圧特性 (参考値)条件 : VCC = AVCC0 = 3.3V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.01	—	V	I _{OL} = 0.5mA
			—	0.02	—		I _{OL} = 1.0mA
			—	0.04	—		I _{OL} = 2.0mA
			—	0.08	—		I _{OL} = 4.0mA
			—	0.17	—		I _{OL} = 8.0mA

表 47.26 標準 I/O 端子 VOL 電圧特性 (参考値)

条件 : VCC = AVCC0 = 5.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.01	—	V	I _{OL} = 0.5mA
			—	0.01	—		I _{OL} = 1.0mA
			—	0.03	—		I _{OL} = 2.0mA
			—	0.06	—		I _{OL} = 4.0mA
			—	0.12	—		I _{OL} = 8.0mA

47.5 AC 特性

47.5.1 クロックタイミング

表47.27 動作周波数(高速動作モード)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	VCC				単位	
		1.8V ≤ VCC < 2.4V (注5)	1.8V ≤ VCC < 2.4V (注6)	2.4V ≤ VCC ≤ 5.5V	USB使用時、3.0V ≤ VCC ≤ 3.6V		
最大動作周波数 (注4)	システムクロック (ICLK)	f _{max}	16	48	64	64	MHz
	FlashIFクロック (FCLK) (注1、注2)		16	48	64	64	
	周辺モジュールクロック (PCLKA)		16	48	64	64	
	周辺モジュールクロック (PCLKB)		16	32	32	32	
	周辺モジュールクロック (PCLKD) (注3)		16	48	64	64	
USBクロック (UCLK)	f _{usb}	—	—	—	48		

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

注4. 最高動作周波数には、HOCOの誤差、PLLジッタは含んでいません。「表47.34 HOCOクロックタイミング」、「表47.35 PLLクロックタイミング」、「表47.36 PLL2クロックタイミング」を参照してください。

注5. RSIPを使用する場合

注6. RSIPは使用できません、モジュールストップを解除しないでください。

表47.28 動作周波数(中速動作モード)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	VCC					単位	
		1.6V ≤ VCC < 1.8V (注6)	1.8V ≤ VCC < 2.4V (注5)	1.8V ≤ VCC < 2.4V (注6)	2.4V ≤ VCC ≤ 5.5V	USB使用時、3.0V ≤ VCC ≤ 3.6V		
最大動作周波数 (注4)	システムクロック (ICLK)	f _{max}	4	16	24	24	24	MHz
	FlashIFクロック (FCLK) (注1、注2)		4	16	24	24	24	
	周辺モジュールクロック (PCLKA)		4	16	24	24	24	
	周辺モジュールクロック (PCLKB)		4	16	24	24	24	
	周辺モジュールクロック (PCLKD) (注3)		4	16	24	24	24	
USBクロック (UCLK)	f _{usb}	—	—	—	—	48		

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

注4. 最高動作周波数には、HOCOの誤差、PLLジッタは含んでいません。「表47.34 HOCOクロックタイミング」、「表47.35 PLLクロックタイミング」、「表47.36 PLL2クロックタイミング」を参照してください。

注5. RSIPを使用する場合

注6. RSIPは使用できません、モジュールストップを解除しないでください。

表 47.29 動作周波数 (中速動作モード2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC		単位	
		$1.6V \leq VCC < 1.8V$ (注4)	$1.8V \leq VCC \leq 5.5V$		
最大動作周波数	システムクロック (ICLK)	f_{max}	1	1	MHz
	FlashIFクロック (FCLK) (注1、注2)		1	1	
	周辺モジュールクロック (PCLKA)		1	1	
	周辺モジュールクロック (PCLKB)		1	1	
	周辺モジュールクロック (PCLKD) (注3)		1	1	

注1. フラッシュメモリP/E時、FCLKは1MHzです。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. A/Dコンバータ使用時のPCLKDの周波数は1MHzです。

注4. RSIPは使用できません、モジュールストップを解除しないでください。

表 47.30 動作周波数 (低速動作モード)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC	単位	
		$1.6V \leq VCC \leq 5.5V$		
最大動作周波数	システムクロック (ICLK)	f_{max}	32.768	kHz
	FlashIFクロック (FCLK) (注1)		32.768	
	周辺モジュールクロック (PCLKA)		32.768	
	周辺モジュールクロック (PCLKB)		32.768	
	周辺モジュールクロック (PCLKD) (注2)		32.768	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

表47.31 EXTALクロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	1.8 V ≤ VCC ≤ 5.5V	50	—	—	ns	図47.9
	1.6 V ≤ VCC < 1.8V	250	—	—	ns	
EXTAL外部クロック入力Highパルス幅	1.8 V ≤ VCC ≤ 5.5V	20	—	—	ns	
	1.6 V ≤ VCC < 1.8V	120	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	1.8 V ≤ VCC ≤ 5.5V	20	—	—	ns	
	1.6 V ≤ VCC < 1.8V	120	—	—	ns	
EXTAL外部クロック立ち上がり時間	t _{xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t _{xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間(注1)	t _{xWT}	0.5	—	—	μs	

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

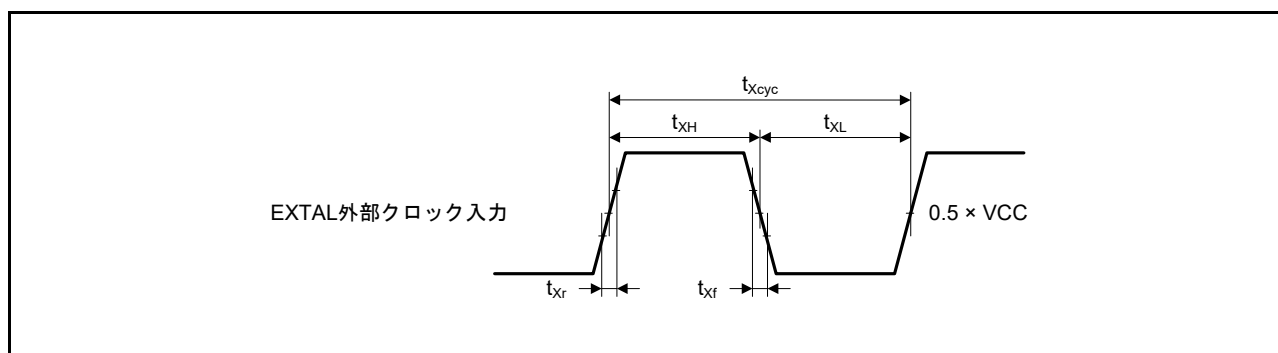


図 47.9 EXTAL 外部クロック入力タイミング

表 47.32 メインクロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f _{MAIN}	1	—	20	MHz	
メインクロック発振安定時間(水晶振動子)(注1)	t _{MAINOSC}	—	3	—	ms	図 47.10
メインクロック発振安定時間(セラミック共振器)(注1)	t _{MAINOSC}	—	50	—	μs	

注1. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。
MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

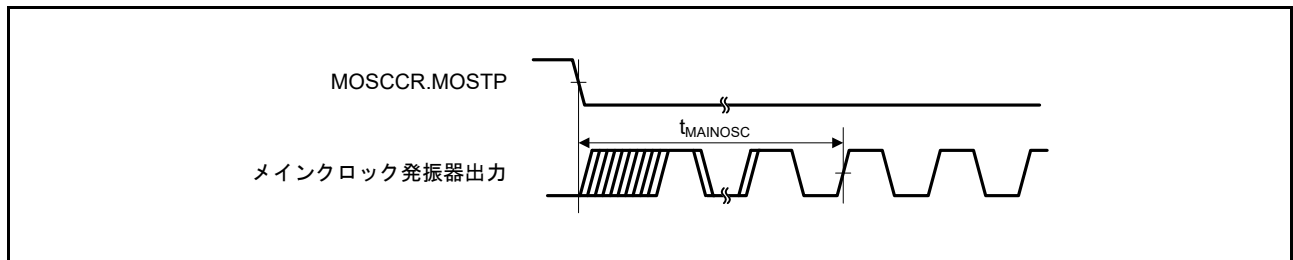


図 47.10 メインクロック発振開始タイミング

表 47.33 LOCO, IWDT専用低速クロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
LOCOクロック発振周波数	f _{LOCO}	3.44	4.0	4.56	MHz	
LOCOクロック発振周波数誤差	Δf _{LOCO}	—	—	±14	%	
LOCOクロック発振安定時間	t _{LOCO}	—	—	0.5	μs	図 47.11
IWDT専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	
IWDT専用クロック発振周波数誤差	Δf _{ILOCO}	—	—	±15	%	
IWDT専用クロック発振安定時間	t _{ILOCO}	—	—	80	μs	図 47.12

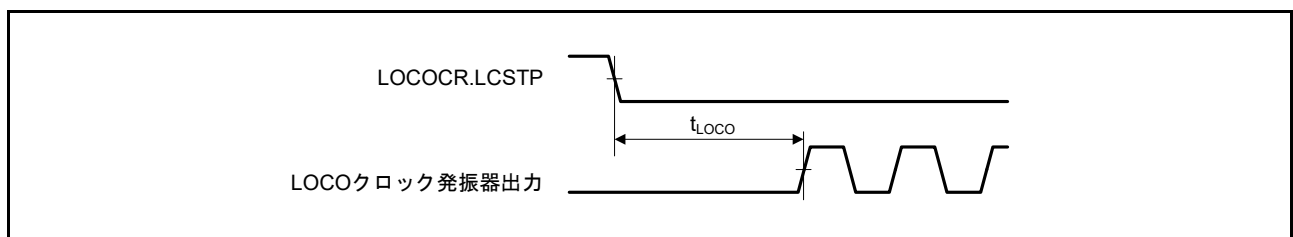


図 47.11 LOCO クロック発振開始タイミング

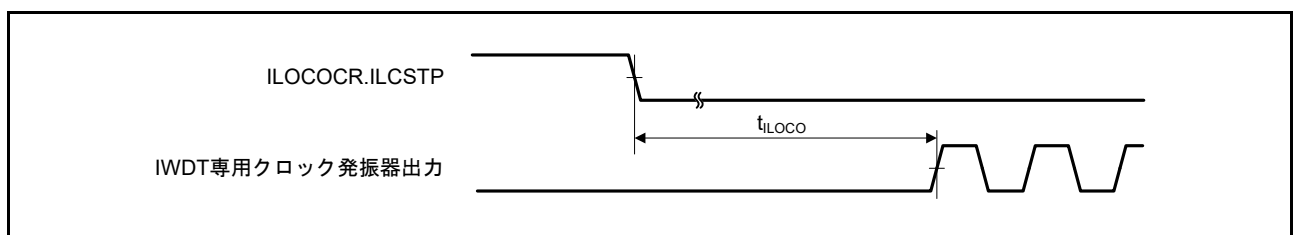


図 47.12 IWDT専用クロック発振開始タイミング

表 47.34 HOCOクロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
HOCO発振周波数	f _{HOCO}	23.76 (-1.0%)	24	24.24 (+1.0%)	MHz	T _a = -40 ~ +105°C
		31.68 (-1.0%)	32	32.32 (+1.0%)		
		47.52 (-1.0%)	48	48.48 (+1.0%)		
		63.36 (-1.0%)	64	64.64 (+1.0%)		
HOCO発振周波数誤差	Δf _{HOCO}	—	—	±1.0	%	T _a = -40 ~ +105°C
HOCOクロック発振安定時間	t _{HOCO}	—	—	4.95	μs	図 47.14

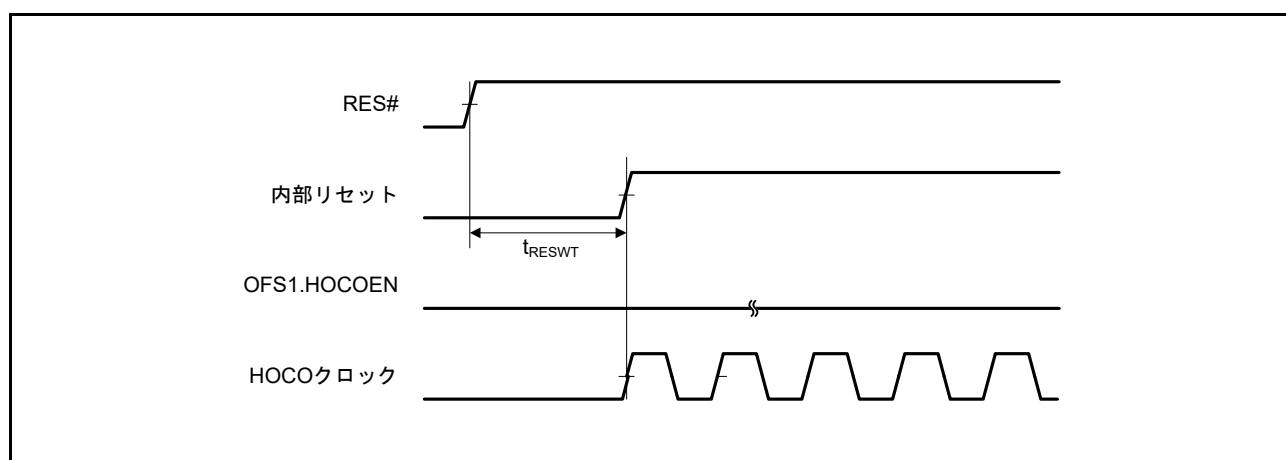


図 47.13 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット “0” 設定時のリセット解除後)

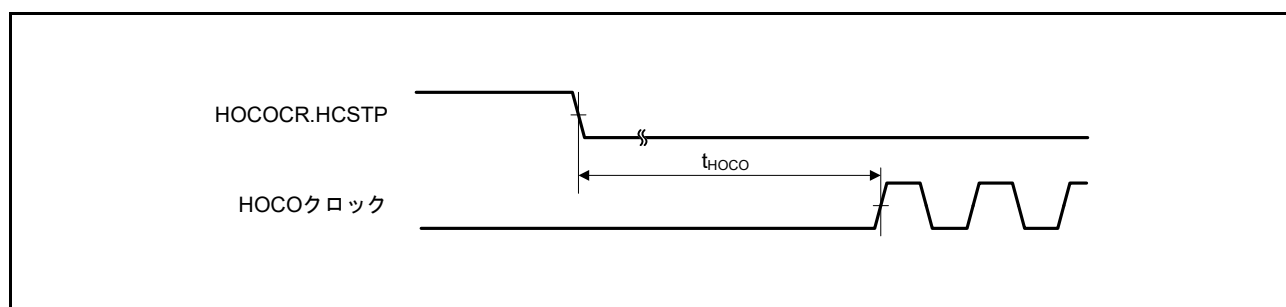


図 47.14 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

表 47.35 PLLクロックタイミング

条件 : $1.8V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
PLL入力周波数	f_{PLLIN}	4	—	12.5	MHz	
PLLクロック発振周波数	f_{PLL}	24	—	64	MHz	
PLLクロック発振安定時間	t_{PLL}	—	—	81.4	μs	図 47.15
PLL自励発振周波数	f_{PLLFR}	—	9	—	MHz	

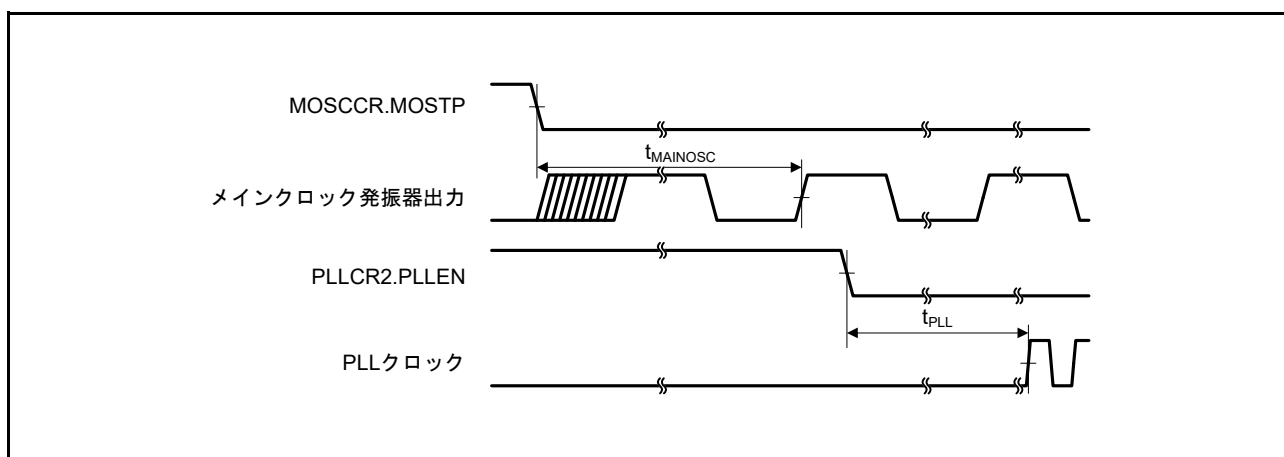


図 47.15 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

表 47.36 PLL2クロックタイミング

条件 : $1.8V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
PLL2入力周波数	f_{PLLIN}	4	—	12.5	MHz	
PLL2クロック発振周波数	f_{PLL}	24	—	64	MHz	
PLL2クロック発振安定時間	t_{PLL}	—	—	81.4	μs	図 47.16

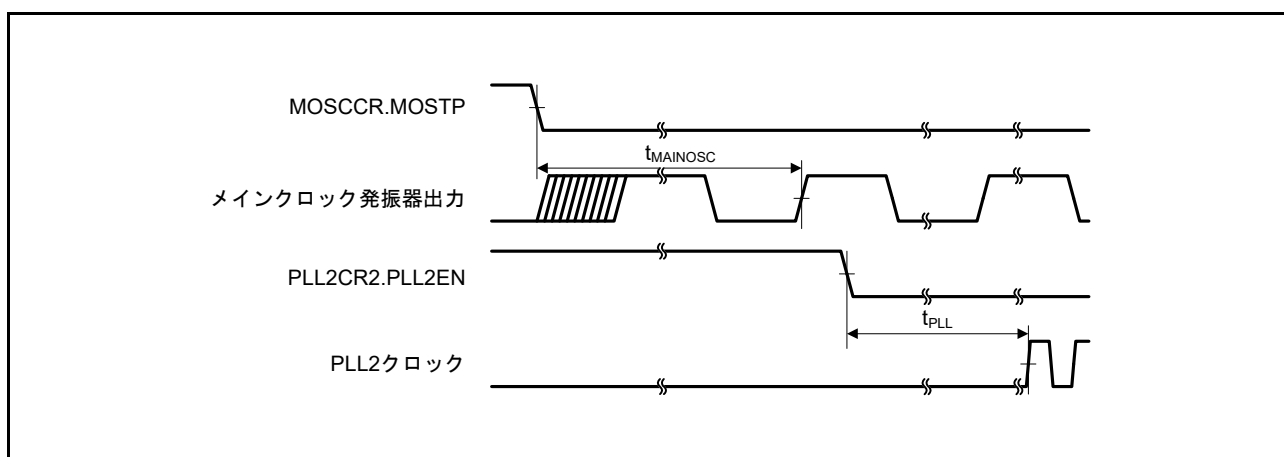


図 47.16 PLL2 クロック発振開始タイミング (メインクロック発振安定後に PLL2 を動作させたとき)

表47.37 EXCINクロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
EXCIN外部クロック入力サイクル時間	t _{Xcyc}	31.25	—	—	μs	図47.17
EXCIN外部クロック入力Highパルス幅	t _{XH}	15.62	—	—	μs	
EXCIN外部クロック入力Lowパルス幅	t _{XL}	15.62	—	—	μs	
EXCIN外部クロック立ち上がり時間	t _{Xr}	—	—	5.0	ns	
EXCIN外部クロック立ち下がり時間	t _{Xf}	—	—	5.0	ns	
EXCIN外部クロック入力待機時間(注1)	t _{XWT}	0.2	—	—	ms	

注1. サブクロック発振器停止ビット(SOSCCR.SOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

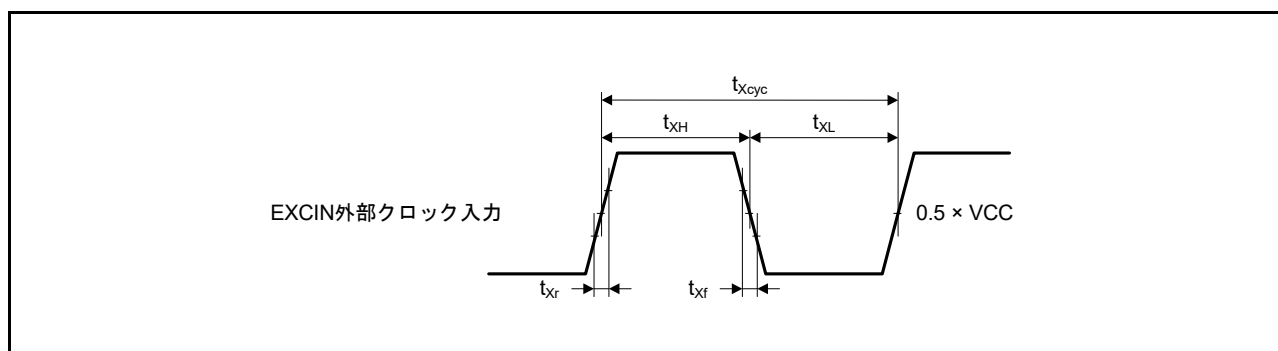


図47.17 EXCIN 外部クロック入力タイミング

表47.38 サブクロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
サブクロック発振器発振周波数(注2)	f _{SUB}	—	32.768	—	kHz	図47.18
サブクロック発振安定時間(注1)	t _{SUBOSC}	—	0.5	—	s	

注1. 32.768kHzの発振子を使用した参考値です。

SOSCCR.SOSTPビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

注2. 32.768kHzのみ使用可能です。

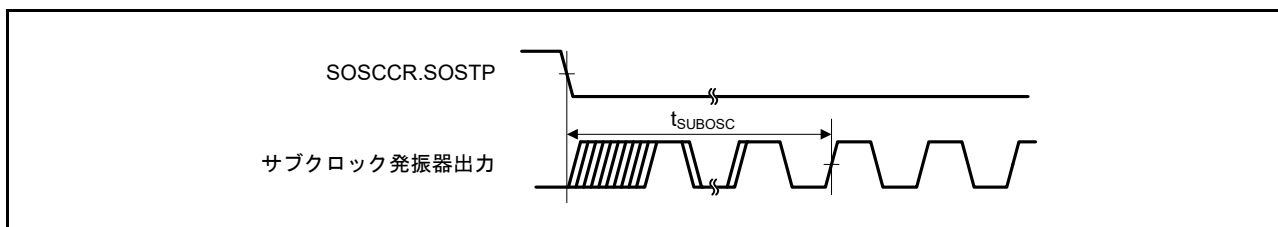


図47.18 サブクロック発振開始タイミング

47.5.2 リセットタイミング

表47.39 リセットタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	10.5	—	—	ms	図47.19
	上記以外	t _{RESW}	30	—	—	μs	図47.20
RES#解除後待機時間(電源投入時)	通常起動時(注1)	t _{RESWT}	—	8.5	—	ms	図47.19
	起動時間短縮時(注2)	t _{RESWT}	—	850	—	μs	
RES#解除後待機時間(電源立ち上がった状態)	LVD0無効時(注3)	t _{RESWT}	—	140	—	μs	図47.20
	LVD0有効時(注4)		—	850	—	μs	
内部リセット時間(独立ウォッチドックタイマリセット、ウォッチドックタイマリセット、ソフトウェアリセット)	LVD0無効時(注3)	t _{RESWT2}	—	210	—	μs	
	LVD0有効時(注4)		—	910	—	μs	

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. OFS1.LVDAS = 1bを設定した場合です。

注4. OFS1.LVDAS = 0bを設定した場合です。

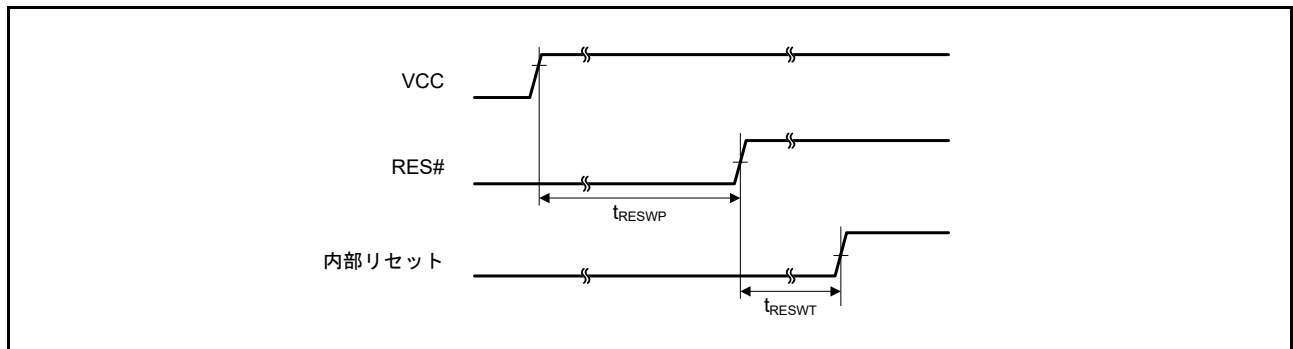


図47.19 電源投入時リセット入力タイミング

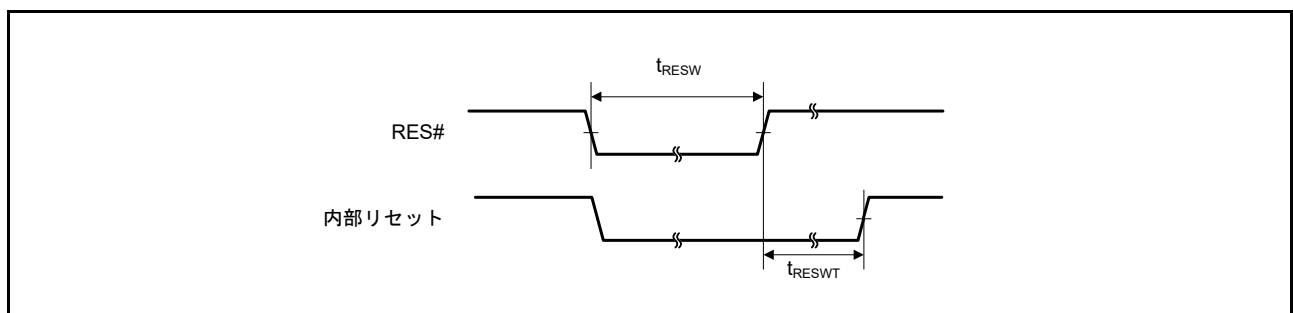


図47.20 リセット入力タイミング(1)

47.5.3 低消費電力状態からの復帰タイミング

表47.40 低消費電力状態からの復帰タイミング(1)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
発振安定待機時間(注1)	高速動作モード/ 中速動作モード	メイン クロック 発振器動作	メインクロック発振器動作	t _{SBYOSCWTMC}	—	—	0.65 + t _L LOCO + (16 + MOSCWTCR 設定のサイクル数) / f _L LOCO + 2 / f _M OSC + 1 / f _I CLK	μs	
			メインクロック発振器、PLL回路動作	t _{SBYOSCWTPC}	—	—	0.65 + t _L LOCO + (288 + MOSCWTCR 設定のサイクル数) / f _L LOCO + 2 / f _P LL + 1 / f _I CLK		
		サブクロック発振器動作		t _{SBYOSCWTSC}	—	—	0.65 + 3 / f _S OSC + 1 / f _I CLK		
		高速オンチップオシレータ動作		t _{SBYOSCWTMO}	—	—	0.65 + t _L LOCO + 16 / f _L LOCO + 2 / f _H OCO + 1 / f _I CLK		
		低速オンチップオシレータ動作		t _{SBYOSCWTLO}	—	—	0.65 + t _L LOCO + 1 / f _I CLK		
ソフトウェアスタンバイモード解除シーケンサ動作時間(注2)				t _{SBYSEQ}	—	—	4 / f _L LOCO + 11 / f _I CLK + 3 / f _P CLKB + 3n / f _ソ ース クロック		
ソフトウェアスタンバイモード解除後復帰時間(注3)	高速動作モード/ 中速動作モード	メイン クロック 発振器動作	メインクロック発振器動作	t _{SBYMC}	—	—	t _{SBYOSCWTMC} + t _{SBYSEQ}		図 47.21
			メインクロック発振器、PLL回路動作	t _{SBYPC}	—	—	t _{SBYOSCWTPC} + t _{SBYSEQ}		
		サブクロック発振器動作		t _{SBYSC}	—	—	t _{SBYOSCWTSC} + t _{SBYSEQ}		
		高速オンチップオシレータ動作		t _{SBYHO}	—	—	t _{SBYOSCWTMO} + t _{SBYSEQ}		
		低速オンチップオシレータ動作		t _{SBYLO}	—	—	t _{SBYOSCWTLO} + t _{SBYSEQ}		

注1. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は動作している発振器の内、最も大きな値が選択されます。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注3. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

表 47.41 低消費電力状態からの復帰タイミング(2)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
発振安定待機時間(注1)	中速動作モード2	メインクロック発振器動作	メインクロック発振器動作	t _{SBYOSCWTMC}	—	—	0.65 + t _{LOCO} + (16 + MOSCWTCR 設定のサイクル数) / f _{LOCO} + 2 / f _{MOSC} + 1 / f _{ICLK}	μs	
			メインクロック発振器、PLL回路動作	t _{SBYOSCWTPC}	—	—	0.65 + t _{LOCO} + (288 + MOSCWTCR 設定のサイクル数) / f _{LOCO} + 2 / f _{PLL} + 1 / f _{ICLK}		
		サブクロック発振器動作		t _{SBYOSCWTSC}	—	—	0.65 + 3 / f _{SOSC} + 1 / f _{ICLK}		
		高速オンチップオシレータ動作		t _{SBYOSCWTTHO}	—	—	0.65 + t _{LOCO} + 16 / f _{LOCO} + 2 / f _{HOCO} + 1 / f _{ICLK}		
		低速オンチップオシレータ動作		t _{SBYOSCWTLO}	—	—	0.65 + t _{LOCO} + 1 / f _{ICLK}		
ソフトウェアスタンバイモード解除シーケンサ動作時間(注2)				t _{SBYSEQ}	—	—	9 / f _{ICLK} + 3 / f _{PCLKB} + 3n / f _{ソース} クロック		
ソフトウェアスタンバイモード解除後復帰時間(注3)	中速動作モード2	メインクロック発振器動作	メインクロック発振器動作	t _{SBYMC}	—	—	t _{SBYOSCWTMC} + t _{SBYSEQ}		図 47.21
			メインクロック発振器、PLL回路動作	t _{SBYPC}	—	—	t _{SBYOSCWTPC} + t _{SBYSEQ}		
		サブクロック発振器動作		t _{SBYSC}	—	—	t _{SBYOSCWTSC} + t _{SBYSEQ}		
		高速オンチップオシレータ動作		t _{SBYHO}	—	—	t _{SBYOSCWTTHO} + t _{SBYSEQ}		
		低速オンチップオシレータ動作		t _{SBYLO}	—	—	t _{SBYOSCWTLO} + t _{SBYSEQ}		

注1. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は動作している発振器の内、最も大きな値が選択されます。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注3. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

表 47.42 低消費電力状態からの復帰タイミング(3)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位	測定条件
発振安定待機時間	低速動作モード	サブクロック発振器動作	$t_{SBYOSCWTSC}$	—	—	$0.65 + 3 / f_{SOSC} + 1 / f_{ICLK}$	μs	
ソフトウェアスタンバイモード解除シーケンサ動作時間(注1)			t_{SBYSEQ}	—	—	$9 / f_{ICLK} + 3 / f_{PCLKB} + 3n / f_{ソースクロック}$		
ソフトウェアスタンバイモード解除後復帰時間(注2)	低速動作モード	サブクロック発振器動作	t_{SBYSC}	—	—	$t_{SBYOSCWTSC} + t_{SBYSEQ}$		図 47.21

注1. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注2. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

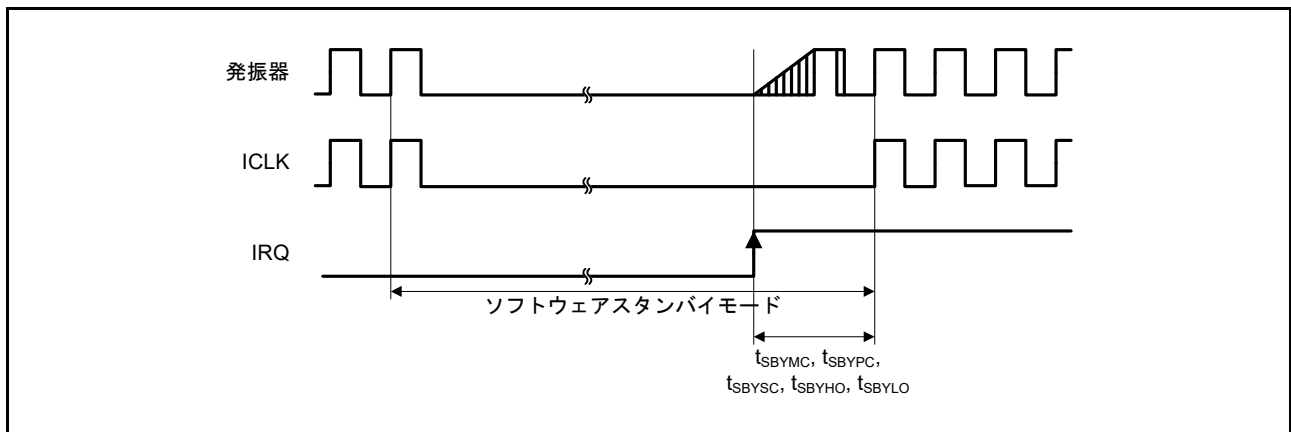


図 47.21 ソフトウェアスタンバイモード復帰タイミング

表 47.43 低消費電力状態からの復帰タイミング(4)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件
発振安定待機時間(注1)	メインクロック発振器動作	メインクロック発振器動作	t _{SBYOSCWTMC}	—	—	0.65 + t _L LOCO + (16 + MOSCWTCR 設定のサイクル数) / f _L LOCO + 2 / f _M OSC + 1 / f _I CLK	μs	
		メインクロック発振器、PLL回路動作	t _{SBYOSCWTPC}	—	—	0.65 + t _L LOCO + (288 + MOSCWTCR 設定のサイクル数) / f _L LOCO + 2 / f _{PLL} + 1 / f _I CLK		
	サブクロック発振器動作		t _{SBYOSCWTSC}	—	—	0.65 + 3 / f _S OSC + 1 / f _I CLK		
	高速オンチップオシレータ動作		t _{SBYOSCWTTHO}	—	—	0.65 + t _L LOCO + 16 / f _L LOCO + 2 / f _H OCCO + 1 / f _I CLK		
	低速オンチップオシレータ動作		t _{SBYOSCWTLO}	—	—	0.65 + t _L LOCO + 1 / f _I CLK		
ソフトウェアスタンバイモード解除シーケンサ動作時間(注2)			t _{SBYSEQ}	—	—	3 / f _I CLK + 2n / f _{ソース} クロック		
ソフトウェアスタンバイモードからスヌーズモードへの遷移時間(注3)	メインクロック発振器動作	メインクロック発振器動作	t _{SNZMC}	—	—	t _{SBYOSCWTMC} + t _{SBYSEQ}		図 47.22
		メインクロック発振器、PLL回路動作	t _{SNZPC}	—	—	t _{SBYOSCWTPC} + t _{SBYSEQ}		
	サブクロック発振器動作		t _{SNZSC}	—	—	t _{SBYOSCWTSC} + t _{SBYSEQ}		
	高速オンチップオシレータ動作		t _{SNZH0}	—	—	t _{SBYOSCWTTHO} + t _{SBYSEQ}		
	低速オンチップオシレータ動作		t _{SNZLO}	—	—	t _{SBYOSCWTLO} + t _{SBYSEQ}		

注1. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は動作している発振器の内、最も大きな値が選択されます。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注3. ソフトウェアスタンバイモードからスヌーズモードへの遷移時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

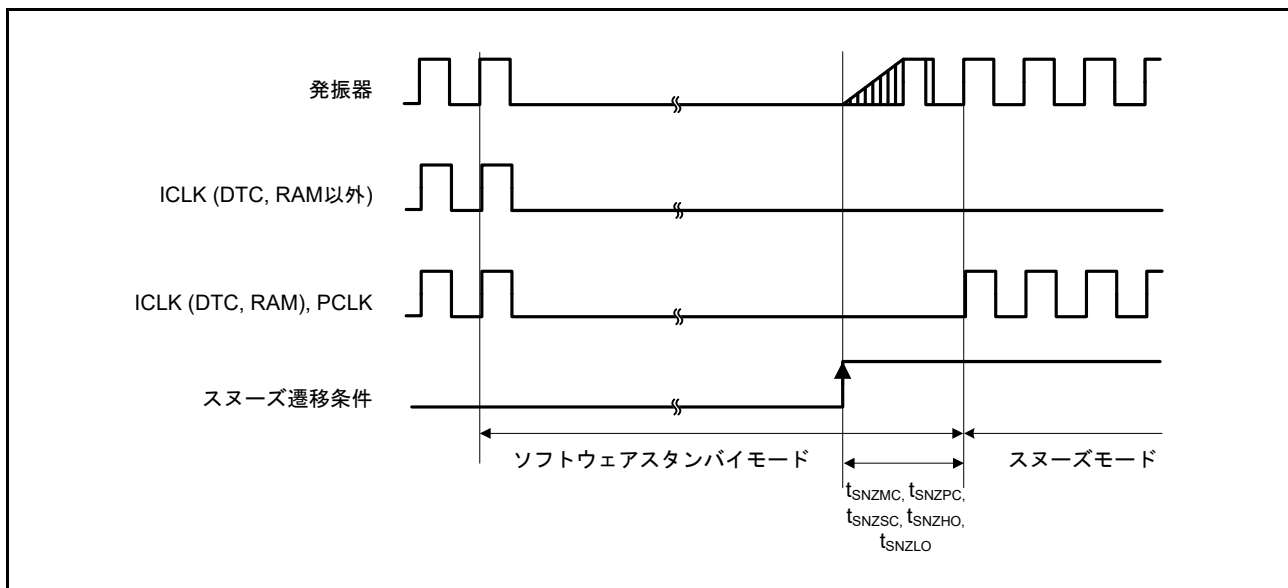


図 47.22 ソフトウェアスタンバイモードからスヌーズモードへの遷移タイミング

表 47.44 低消費電力状態からの復帰タイミング(5)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max (注2)	単位	測定条件
ディープスリープモード 解除後復帰時間(注1)	高速動作 モード	$t_{DSL P}$	—	—	$4 / f_{LOCO} + 8 / f_{ICLK} + 2 / f_{PCLKB} + 3n / f_{ソースクロック}$	μs	図 47.23
	中速動作 モード				$4 / f_{LOCO} + 8 / f_{ICLK} + 2 / f_{PCLKB} + 3n / f_{ソースクロック}$		
	中速動作 モード2				$6 / f_{ICLK} + 2 / f_{PCLKB} + 3n / f_{ソースクロック}$		
	低速動作 モード				$6 / f_{ICLK} + 2 / f_{PCLKB} + 3n / f_{ソースクロック}$		

注1. ディープスリープモードでは発振器は発振を継続します。

注2. nは内部クロックの分周設定のうち最も大きな値が選択されます。

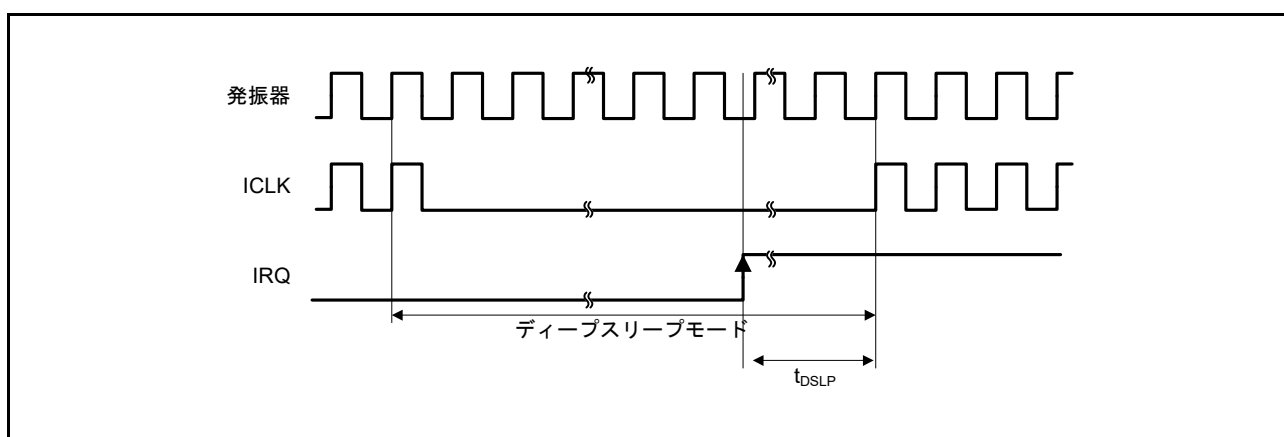


図 47.23 ディープスリープモード解除タイミング

47.5.4 動作モード遷移タイミング

表47.45 動作モード遷移時間

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

遷移前モード	遷移後モード	遷移時間			単位	
		min	typ			max
			$f_{ICLK} \geq f_{FCLK}$	$f_{ICLK} < f_{FCLK}$		
高速動作モード	中速動作モード	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$	μs	
	中速動作モード2	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	低速動作モード	—	$3 / f_{ICLK} + 2 / f_{FCLK}$	$5 / f_{ICLK}$		
中速動作モード	高速動作モード	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	中速動作モード2	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	低速動作モード	—	$3 / f_{ICLK} + 2 / f_{FCLK}$	$5 / f_{ICLK}$		
中速動作モード2	高速動作モード	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	中速動作モード	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	低速動作モード	—	$3 / f_{ICLK} + 2 / f_{FCLK}$	$5 / f_{ICLK}$		
低速動作モード	高速動作モード	—	$3 / f_{ICLK} + 3 / f_{FCLK}$	$6 / f_{ICLK}$		
	中速動作モード	—	$3 / f_{ICLK} + 3 / f_{FCLK}$	$6 / f_{ICLK}$		
	中速動作モード2	—	$3 / f_{ICLK} + 3 / f_{FCLK}$	$6 / f_{ICLK}$		

47.5.5 制御信号タイミング

表47.46 制御信号タイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t _{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	t _{NMICK} × 3 ≤ 200ns
		t _{NMICK} × 3.5 (注2)	—	—			t _{NMICK} × 3 > 200ns
IRQパルス幅	t _{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	t _{IRQCK} × 3 ≤ 200ns
		t _{IRQCK} × 3.5 (注3)	—	—			t _{IRQCK} × 3 > 200ns

注. ソフトウェアスタンバイモード時は最小200nsです。

注1. t_{Pcyc}はPCLKBの周期を指します。

注2. t_{NMICK}はNMIデジタルフィルタサンプリングクロックの周期です。

注3. t_{IRQCK}はIRQiデジタルフィルタサンプリングクロック(i = 0~7)の周期を指します。

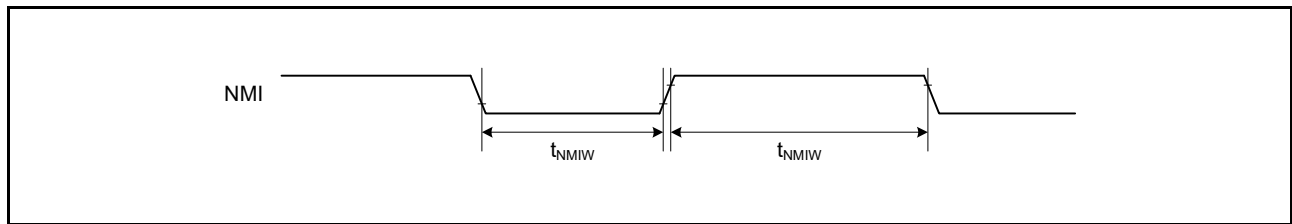


図 47.24 NMI 割り込み入カタイミング

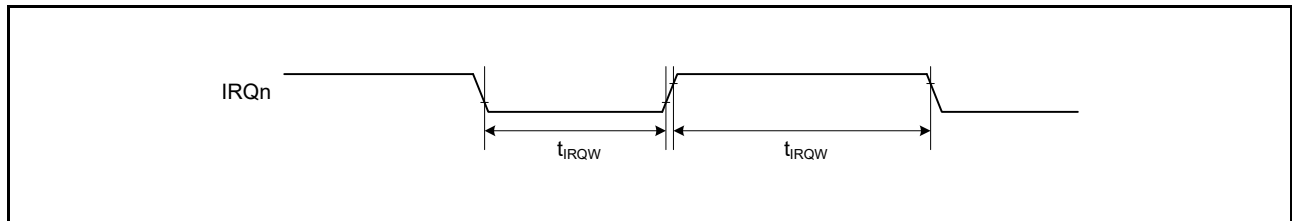


図 47.25 IRQ 割り込み入カタイミング

47.5.6 内蔵周辺モジュールタイミング

47.5.6.1 I/Oポート

表47.47 I/Oポートタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位(注1)	測定条件
I/Oポート	入カデータパルス幅	t _{PRW}	1.5	—	t _{PBcyc}	図47.26

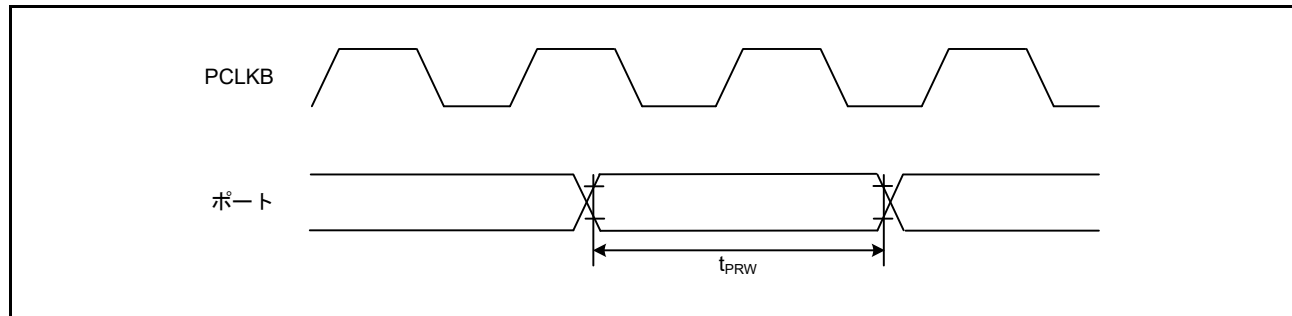
注1. t_{PBcyc} : PCLKBの周期

図47.26 I/Oポート入力タイミング

47.5.6.2 GPTW

表47.48 GPTW タイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件	
GPTW	入力キャプチャ 入力パルス幅	単エッジ指定	1.5	—	t _{PAcyc}	図47.27	
		両エッジ指定	2.5	—			
	入力キャプチャ立ち上がり/立ち下がり 時間		t _{GTICr} / t _{GTICf}	—	0.1	μs/V	図47.27
	外部トリガ入力パルス幅	単エッジ指定	t _{GTEW}	1.5	—	t _{PAcyc}	図47.28
		両エッジ指定	2.5	—			
	タイマクロックパルス幅		t _{GTCKWH} t _{GTCKWL}	1.5	—	t _{PAcyc}	図47.29
タイマクロック立ち上がり/立ち下がり時間		t _{GTCKr} / t _{GTCKf}	—	0.1	μs/V	図47.29	

注1. t_{PAcyc} : PCLKAの周期

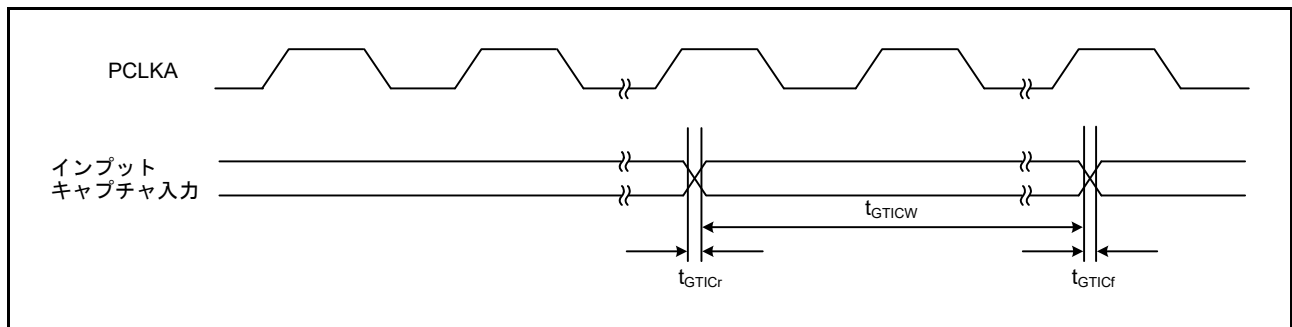


図47.27 GPTW 入力キャプチャ入力タイミング

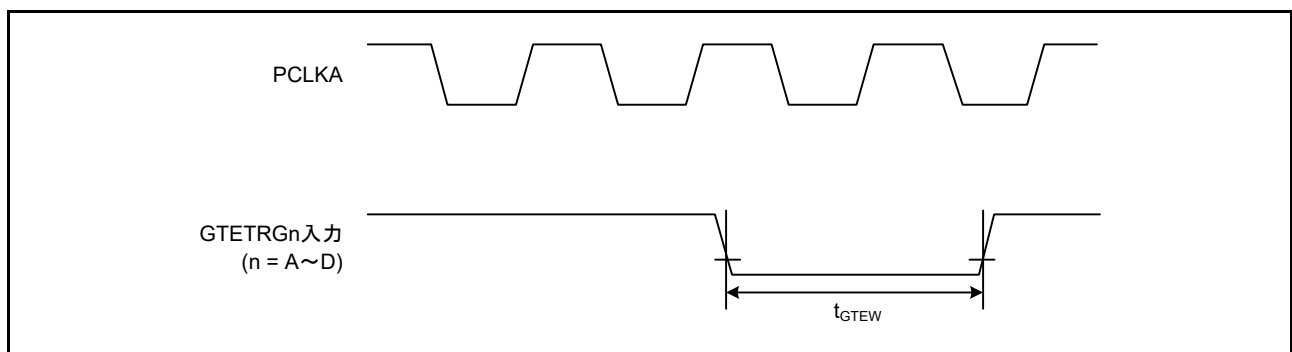


図47.28 GPTW 外部トリガ入力タイミング

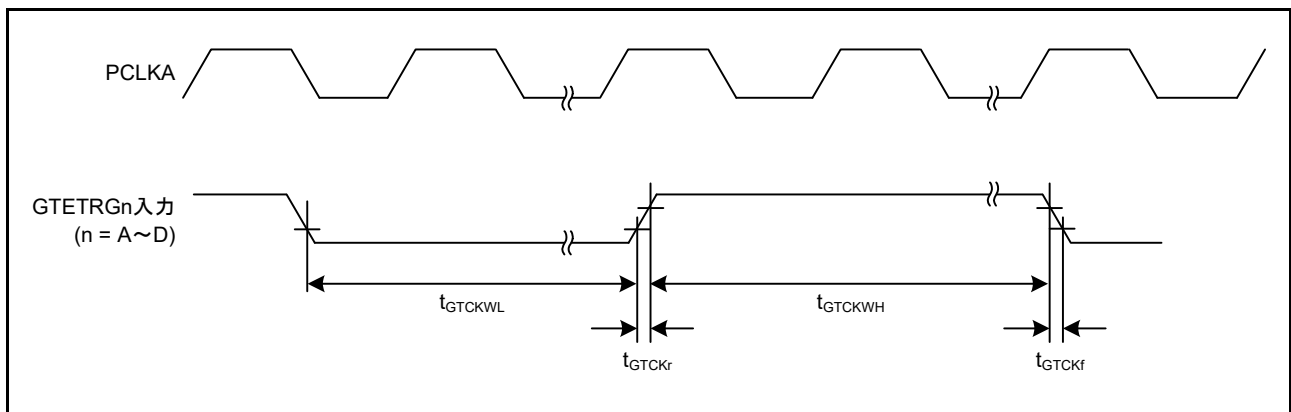


図 47.29 GPTW クロック入力タイミング

47.5.6.3 POEG

表47.49 POEGタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目		記号	min	typ	max	単位 (注1)	測定条件	
POEG	GTETR _{Gn} 入力パルス幅 (n = A ~ D)	t _{POEGW}	1.5	—	—	t _{PBcyc}	図47.30	
	GTER _{Gn} 入力立ち上がり/立ち下がり時間	t _{POEGr} / t _{POEGf}	—	—	0.1	μs/V	図47.30	
	出力ディセーブル時間	GTETR _{Gn} 端子の入カレベル検出 (フラグ経由)	t _{POEGDI}	—	—	3 PCLKB + 0.34	μs	図47.31 デジタルノイズフィルタ 不使用時 (POEG _{Gn} .NFEN = 0 (n = A ~ D))
		GPTWからの出力停止信号検出 (同時High出力、同時Low出力)	t _{POEGDE}	—	—	0.5	μs	図47.32
		コンパレータエッジ検出	t _{POEGDC}	—	—	4 PCLKB + 0.5	μs	図47.33 コンパレータBのノイズ フィルタ不使用時 (CPBF.CPB0FEN = 0かつ CPBF.CPB1FEN = 0)、コ ンパレータBの検出時間は 除く
		レジスタ設定	t _{POEGDS}	—	—	1 PCLKB + 0.3	μs	図47.34 レジスタアクセス時間は 除く
	発振停止検出	t _{POEGDOS}	—	—	21	μs	図47.35	

注1. t_{PBcyc} : PCLKBの周期

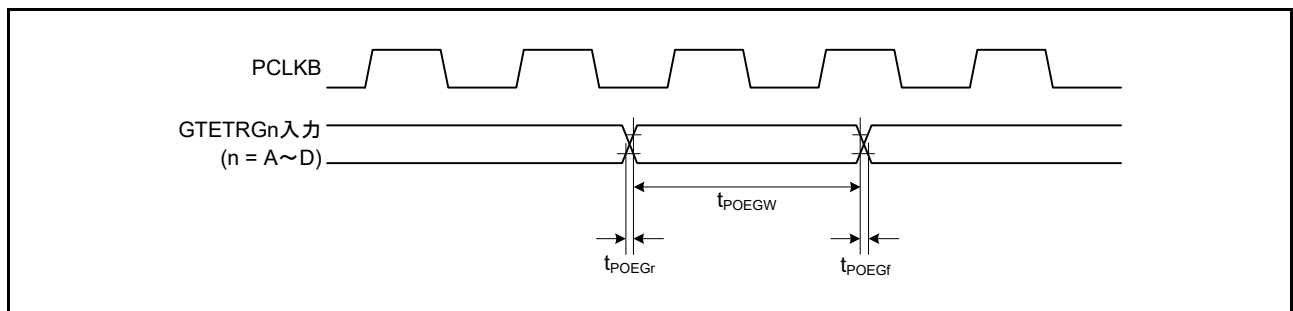


図47.30 POEG 入力タイミング

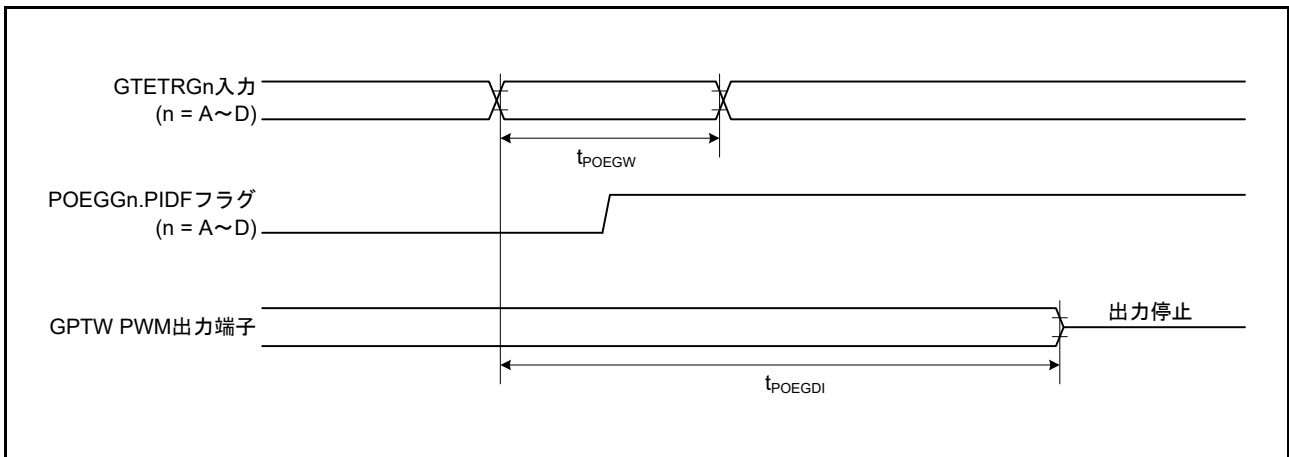
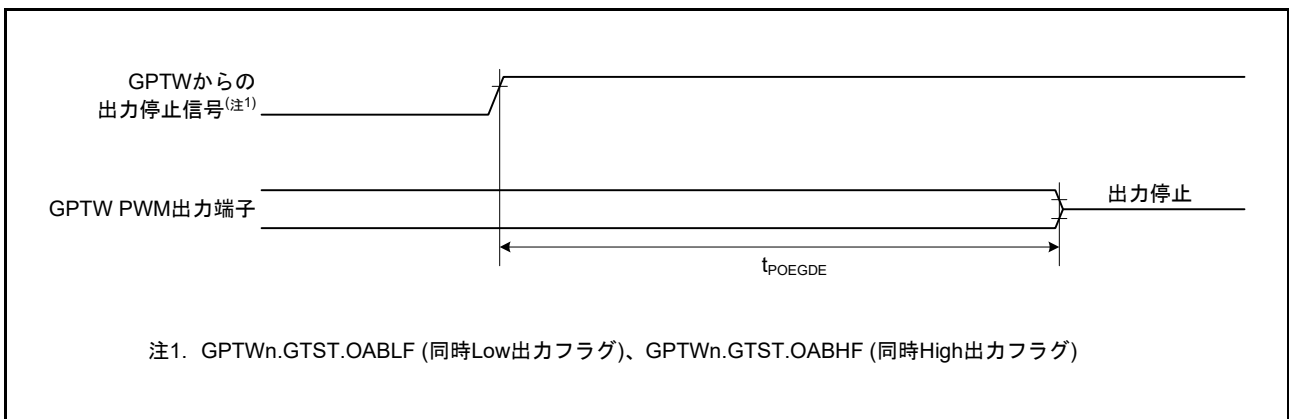


図 47.31 POEG 出力ディセーブル時間 (GTETR Gn 端子の入力レベル検出 (フラグ経由))



注1. GPTWn.GTST.OABLF (同時Low出力フラグ)、GPTWn.GTST.OABHF (同時High出力フラグ)

図 47.32 POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出)

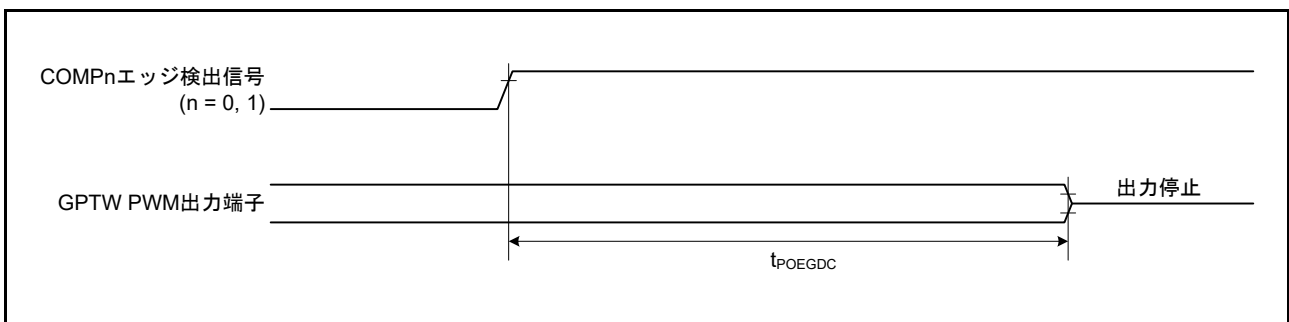


図 47.33 POEG 出力ディセーブル時間 (コンパレータエッジ検出)

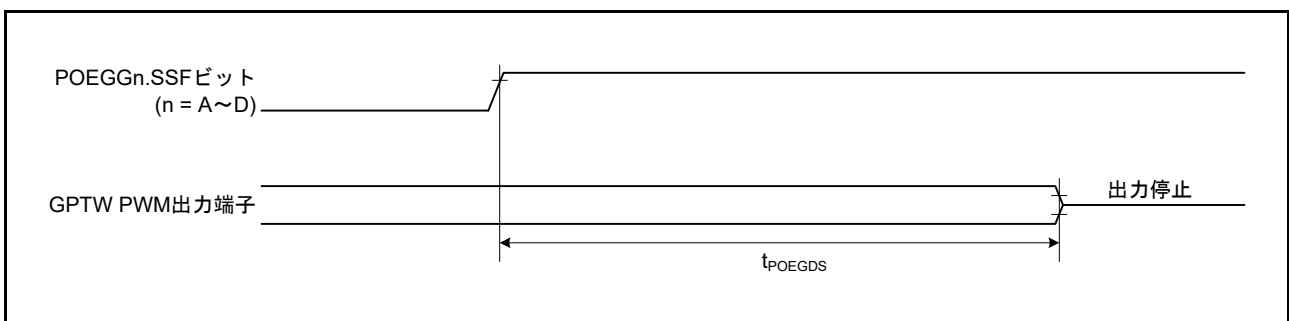


図 47.34 POEG 出力ディセーブル時間 (レジスタ設定)

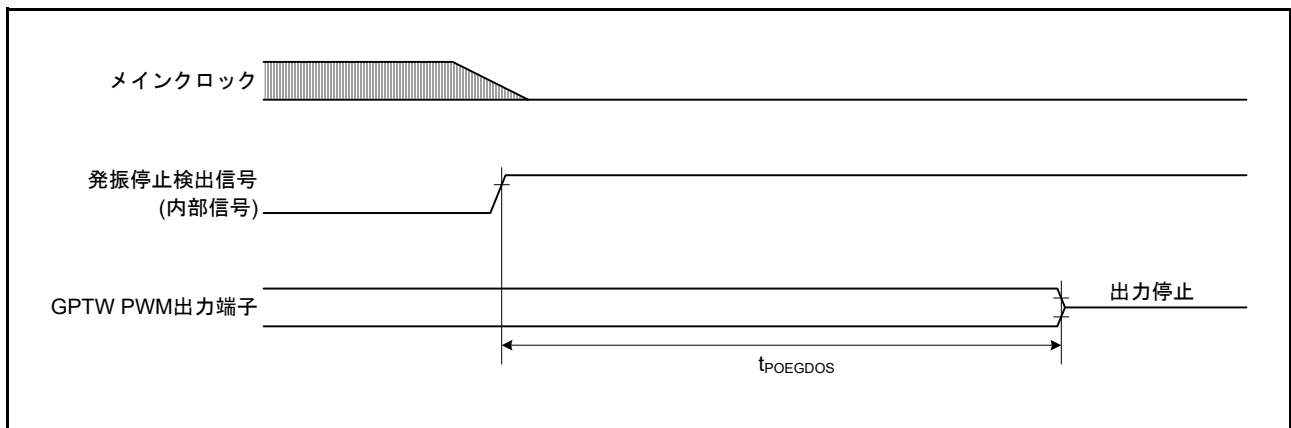


図 47.35 POEG 出力ディセーブル時間 (発振停止検出)

47.5.6.4 TMR

表47.50 TMRタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	1.5	—	t _{pBcyc}	図47.36
		両エッジ指定	2.5	—		
	タイマクロック立ち上がり/立ち下がり時間	t _{TMCr} t _{TMCf}	—	0.1	μs/V	

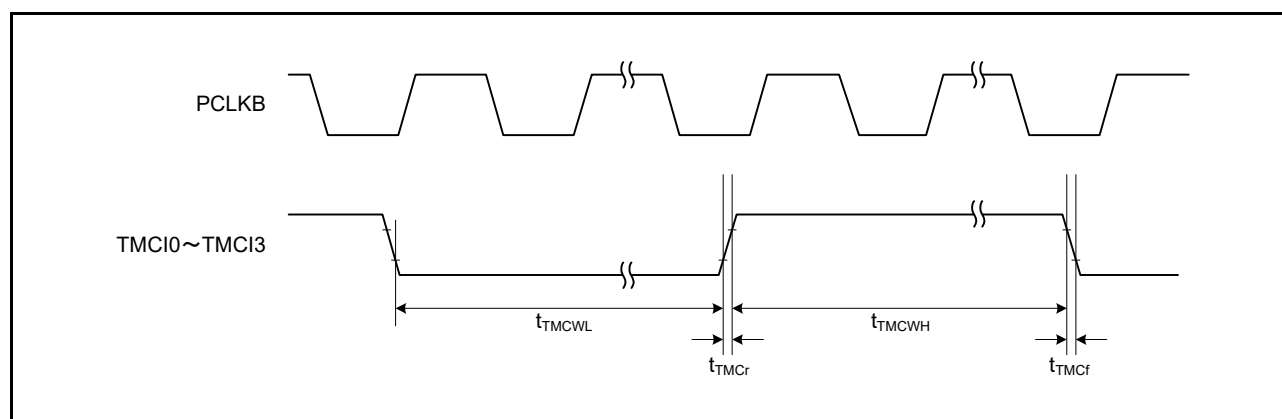
注1. t_{pBcyc} : PCLKBの周期

図 47.36 TMR クロック入力タイミング

47.5.6.5 SCI

表47.51 SCIタイミング (1/2)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF

項目		記号	min	max	単位 (注1)	測定条件			
SCI (チャンネル 1, 5, 6)	入力クロックサイクル時間	調歩同期		t _{Scyc}	4	—	t _{PBcyc}	図 47.37	
		クロック同期	2.4V ≤ VCC ≤ 5.5V		6	—			
			1.8V ≤ VCC < 2.4V		8	—			
			1.6V ≤ VCC < 1.8V		6	—			
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	入力クロック立ち上がり時間		t _{SCKr}	—	20	ns			
	入力クロック立ち下がり時間		t _{SCKf}	—	20	ns			
	出力クロックサイクル時間	調歩同期		t _{Scyc}	6	—	t _{PBcyc}	図 47.38	
		クロック同期	2.4V ≤ VCC ≤ 5.5V		4	—			
			1.8V ≤ VCC < 2.4V		8	—			
1.6V ≤ VCC < 1.8V			4		—				
出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}				
出力クロック立ち上がり時間		1.8V ≤ VCC ≤ 5.5V		t _{SCKr}	—	20	ns		
		1.6V ≤ VCC < 1.8V			—	30	ns		
出力クロック立ち下がり時間		1.8V ≤ VCC ≤ 5.5V		t _{SCKf}	—	20	ns		
		1.6V ≤ VCC < 1.8V			—	30	ns		
送信データ遅延時間(マスタ)	クロック同期	1.8V ≤ VCC ≤ 5.5V		t _{TXD}	—	40	ns		
		1.6V ≤ VCC < 1.8V			—	45	ns		
送信データ遅延時間(スレーブ)	クロック同期	2.7V ≤ VCC ≤ 5.5V		t _{TXD}	—	55	ns		
		2.4V ≤ VCC < 2.7V			—	60	ns		
		1.8V ≤ VCC < 2.4V			—	100	ns		
		1.6V ≤ VCC < 1.8V			—	125	ns		
受信データセットアップ時間 (マスタ)	クロック同期	2.7V ≤ VCC ≤ 5.5V		t _{RXS}	45	—	ns		
		2.4V ≤ VCC < 2.7V			55	—	ns		
		1.8V ≤ VCC < 2.4V			90	—	ns		
		1.6V ≤ VCC < 1.8V			110	—	ns		
受信データセットアップ時間 (スレーブ)	クロック同期	1.8V ≤ VCC ≤ 5.5V		t _{RXS}	40	—	ns		
		1.6V ≤ VCC < 1.8V			45	—	ns		
受信データホールド時間		t _{RXH}	40	—	ns				

表 47.51 SCI タイミング (2/2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$

項目			記号	min	max	単位 (注1)	測定条件		
SCI (チャンネル 12)	入カクロックサイクル時間	調歩同期	t_{Scyc}	4	—	t_{PBcyc}	図 47.37		
		クロック同期		$2.4V \leq VCC \leq 5.5V$	6			—	
				$1.8V \leq VCC < 2.4V$	8			—	
				$1.6V \leq VCC < 1.8V$	6			—	
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}			
	入カクロック立ち上がり時間		t_{SCKr}	—	20	ns			
	入カクロック立ち下がり時間		t_{SCKf}	—	20	ns			
	出カクロックサイクル時間	調歩同期 (注2)	t_{Scyc}	8	—	t_{PBcyc}		図 47.38	
		クロック同期		$2.4V \leq VCC \leq 5.5V$	4				—
				$1.8V \leq VCC < 2.4V$	8				—
$1.6V \leq VCC < 1.8V$				4	—				
出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}				
出カクロック立ち上がり時間		t_{SCKr}	$1.8V \leq VCC \leq 5.5V$	—	20	ns			
			$1.6V \leq VCC < 1.8V$	—	30	ns			
出カクロック立ち下がり時間		t_{SCKf}	$1.8V \leq VCC \leq 5.5V$	—	20	ns			
			$1.6V \leq VCC < 1.8V$	—	30	ns			
送信データ遅延時間(マスタ)	クロック同期	t_{TXD}	$1.8V \leq VCC \leq 5.5V$	—	40	ns			
			$1.6V \leq VCC < 1.8V$	—	45	ns			
送信データ遅延時間(スレーブ)	クロック同期	t_{TXD}	$2.4V \leq VCC \leq 5.5V$	—	65	ns			
			$1.8V \leq VCC < 2.4V$	—	100	ns			
			$1.6V \leq VCC < 1.8V$	—	125	ns			
				—	125	ns			
受信データセットアップ時間 (マスタ)	クロック同期	t_{RXS}	$2.7V \leq VCC \leq 5.5V$	45	—	ns			
			$2.4V \leq VCC < 2.7V$	55	—	ns			
			$1.8V \leq VCC < 2.4V$	90	—	ns			
			$1.6V \leq VCC < 1.8V$	110	—	ns			
受信データセットアップ時間 (スレーブ)	クロック同期	t_{RXS}	$1.8V \leq VCC \leq 5.5V$	40	—	ns			
			$1.6V \leq VCC < 1.8V$	45	—	ns			
受信データホールド時間	クロック同期	t_{RXH}	40	—	ns				

注1. t_{PBcyc} : PCLKBの周期

注2. SEMR.ABCSビット = 1かつSEMR.BGDMビット = 1のとき

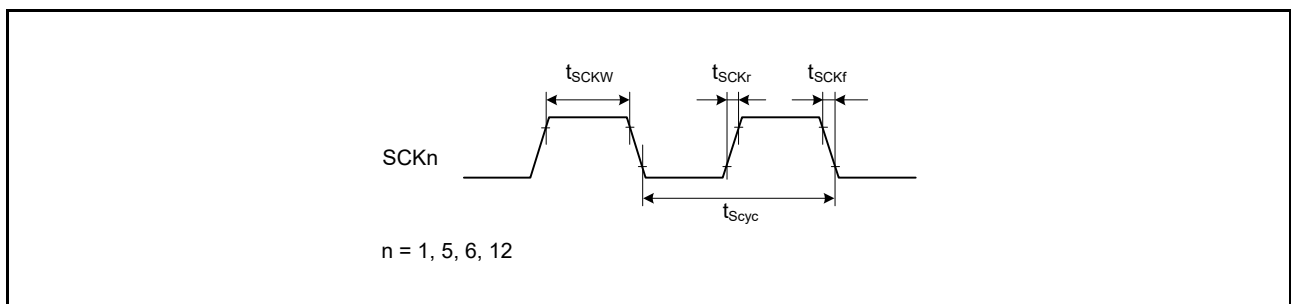


図 47.37 SCK クロック入力タイミング

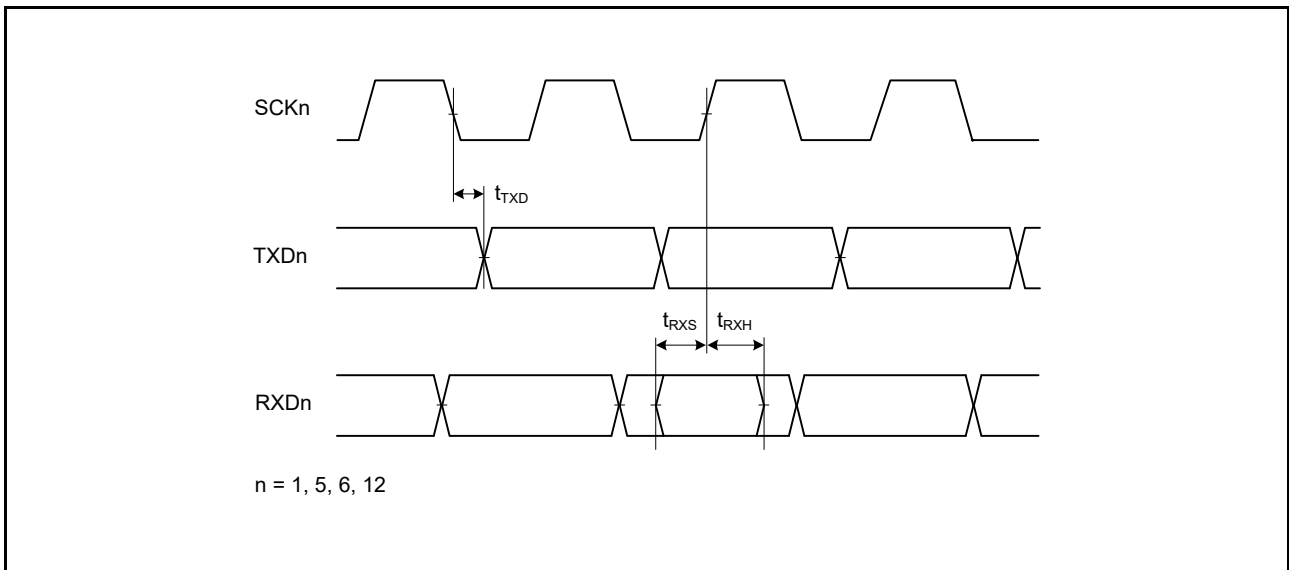


図 47.38 SCI 入出力タイミング / クロック同期式モード

表 47.52 簡易 I²C タイミング

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目		記号	min	max	単位	測定条件
簡易 I ² C (スタンダード モード)	SDA立ち上がり時間	t _{sr}	—	1000	ns	図 47.39
	SDA立ち下がり時間	t _{sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pBcyc}	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注1)	—	400	pF	
簡易 I ² C (ファストモード)	SDA立ち上がり時間	t _{sr}	—	300	ns	図 47.39
	SDA立ち下がり時間	t _{sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pBcyc}	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注1)	—	400	pF	

注. t_{pBcyc} : PCLKBの周期
注1. C_bはバスラインの容量総計です。

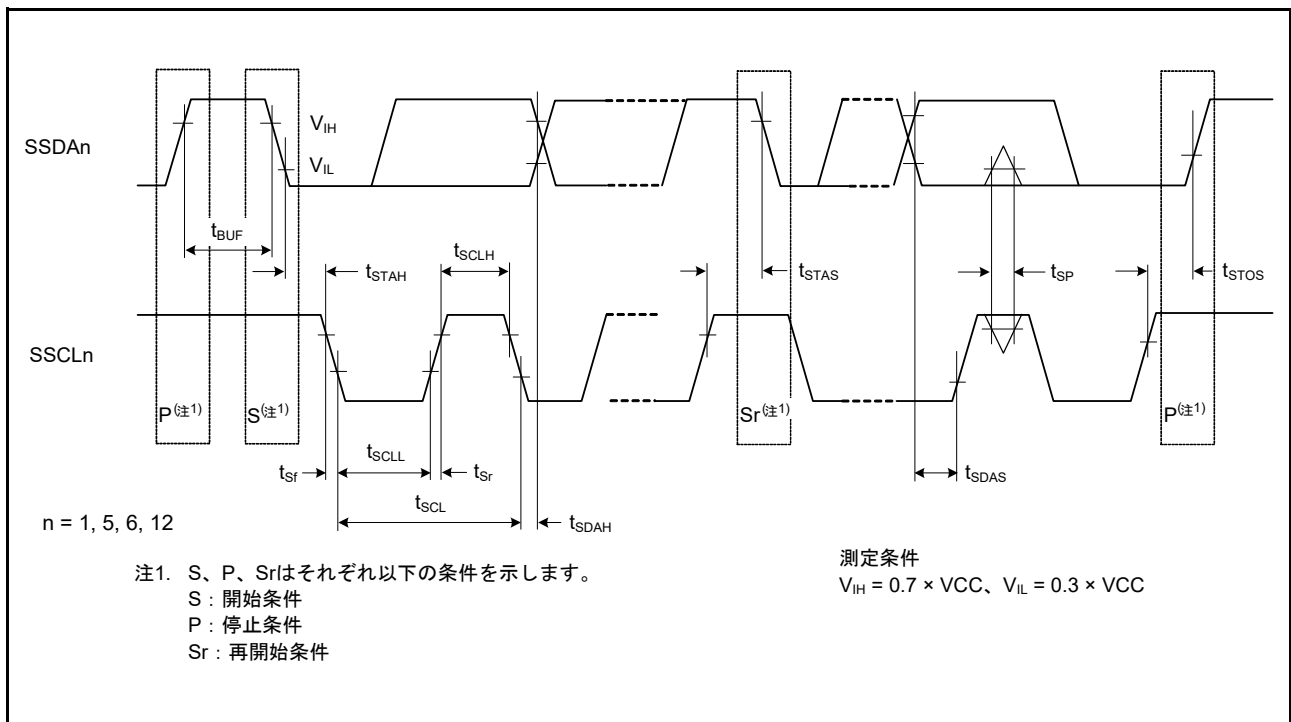


図 47.39 簡易 I²C バスインタフェース入出力タイミング

表 47.53 簡易SPIタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目		記号	min	max	単位 (注1)	測定条件		
簡易SPI	SCKクロックサイクル出力 (マスタ)	2.4V ≤ VCC ≤ 5.5V	t _{SPBcyc}	4	65536	t _{PBcyc}	図 47.40	
		1.8V ≤ VCC < 2.4V		8	65536			
		1.6V ≤ VCC < 1.8V		4	65536			
	SCKクロックサイクル入力 (スレーブ)	2.4V ≤ VCC ≤ 5.5V	t _{SPBcyc}	6	—	t _{PBcyc}		
		1.8V ≤ VCC < 2.4V		8	—			
		1.6V ≤ VCC < 1.8V		6	—			
	SCKクロックHighレベルパルス幅		t _{SPCKWH}	0.4	0.6	t _{SPBcyc}		
	SCKクロックLowレベルパルス幅		t _{SPCKWL}	0.4	0.6	t _{SPBcyc}		
	SCKクロック立ち上がり/立ち下がり時間	1.8V ≤ VCC ≤ 5.5V	t _{SPCKr}	—	20	ns		
		1.6V ≤ VCC < 1.8V	t _{SPCKf}	—	30	ns		
	データ入力セットアップ時間 (マスタ)	2.7V ≤ VCC ≤ 5.5V	t _{SU}	45	—	ns	図 47.41、 図 47.42	
		2.4V ≤ VCC < 2.7V			55	—		
		1.8V ≤ VCC < 2.4V			80	—		
		1.6V ≤ VCC < 1.8V			110	—		
	データ入力セットアップ時間 (スレーブ)	1.8V ≤ VCC ≤ 5.5V	t _{SU}	45	40	—		
		1.6V ≤ VCC < 1.8V			45	—		
	データ入力ホールド時間		t _H	40	—	ns		
	SSL入力セットアップ時間		t _{LEAD}	1	—	t _{SPBcyc}		
	SSL入力ホールド時間		t _{LAG}	1	—	t _{SPBcyc}		
	データ出力遅延時間(マスタ)	1.8V ≤ VCC ≤ 5.5V	t _{OD}	—	40	ns		
1.6V ≤ VCC < 1.8V		50						
データ出力遅延時間(スレーブ)	2.4V ≤ VCC ≤ 5.5V	t _{OD}	—	65				
	1.8V ≤ VCC < 2.4V			100				
	1.6V ≤ VCC < 1.8V			125				
データ出力ホールド時間 (マスタ)	2.7V ≤ VCC ≤ 5.5V	t _{OH}	—	-10	ns			
	1.8V ≤ VCC < 2.4V			-20	—			
	1.6V ≤ VCC < 1.8V			-40	—			
データ出力ホールド時間(スレーブ)				-10	—			
データ立ち上がり/立ち下がり時間	1.8V ≤ VCC ≤ 5.5V	t _{Dr} , t _{Df}	—	20	ns			
	1.6V ≤ VCC < 1.8V			30				
SSL入力立ち上がり/立ち下がり時間		t _{SSLr} , t _{SSLf}	—	20	ns			
スレーブアクセス時間	2.4V ≤ VCC ≤ 5.5V		t _{SA}	—	6	t _{PBcyc}	図 47.43、 図 47.44	
	1.8V ≤ VCC < 2.4V	24MHz < PCLKB ≤ 32MHz			7			
		PCLKB ≤ 24MHz			6			
	1.6V ≤ VCC < 1.8V				6			
スレーブ出力開放時間	2.4V ≤ VCC ≤ 5.5V		t _{REL}	—	6	t _{PBcyc}		
	1.8V ≤ VCC < 2.4V	24MHz < PCLKB ≤ 32MHz			7			
		PCLKB ≤ 24MHz			6			
	1.6V ≤ VCC < 1.8V				6			

注1. t_{PBcyc} : PCLKBの周期

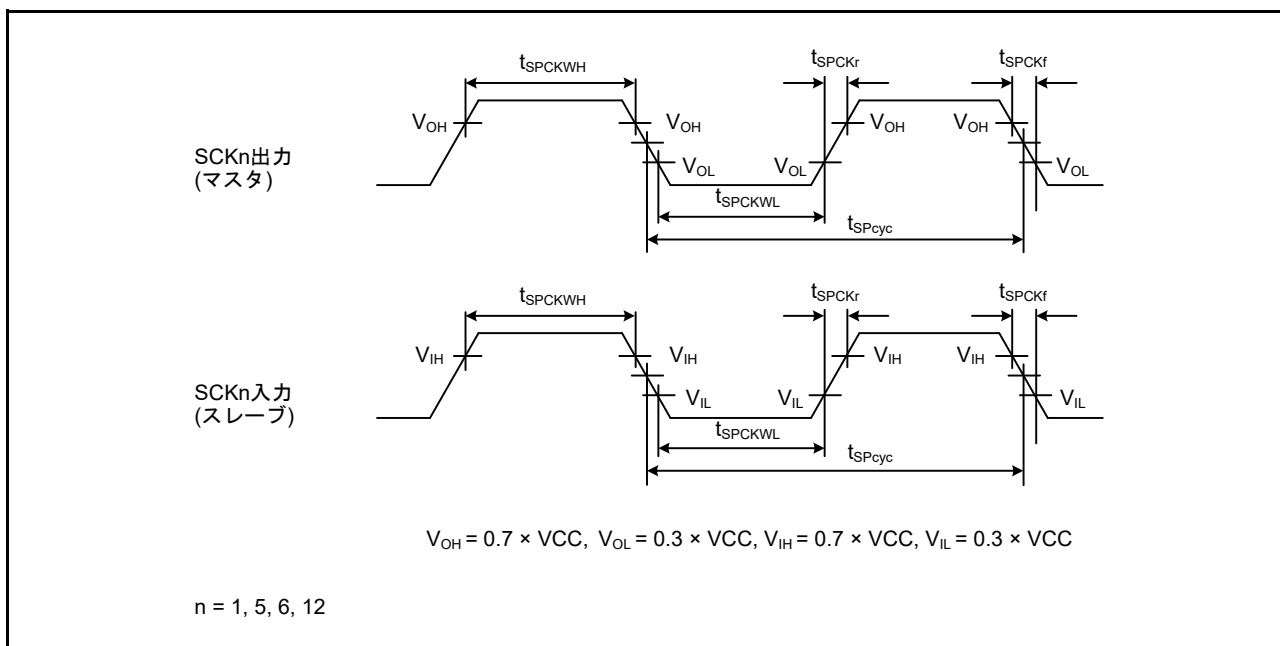


図 47.40 簡易 SPI クロックタイミング

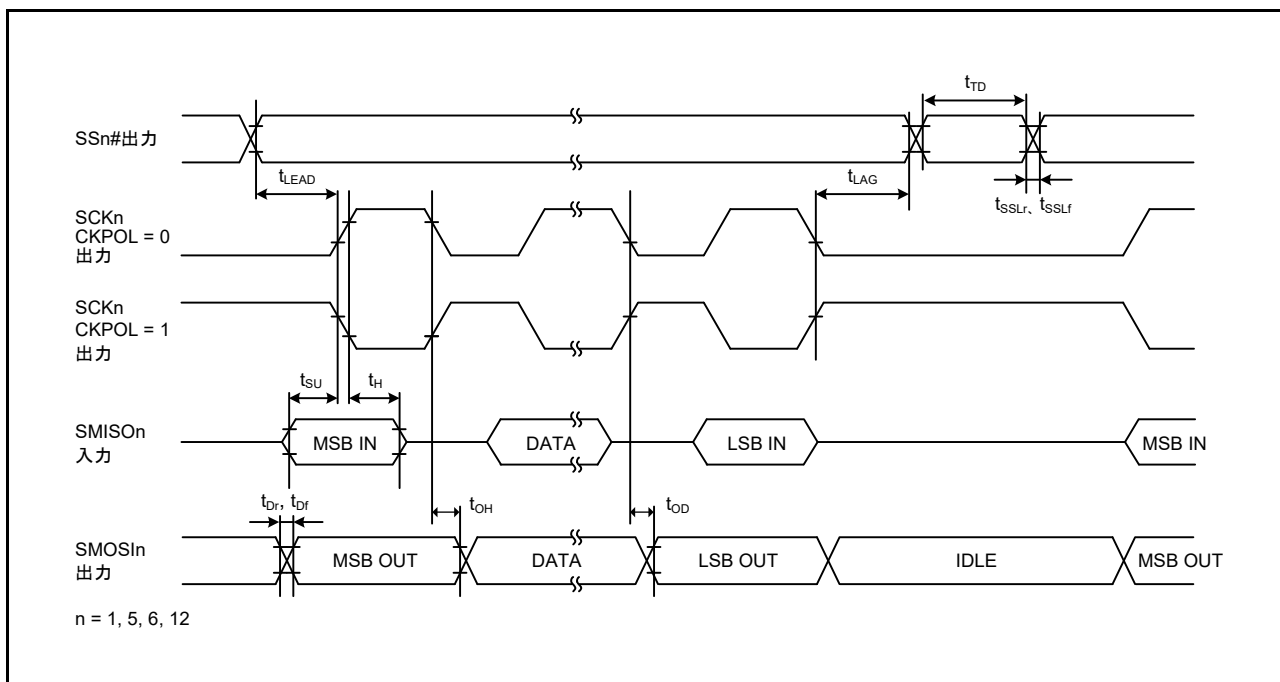


図 47.41 簡易 SPI クロックタイミング (マスタ、CKPH = 1)

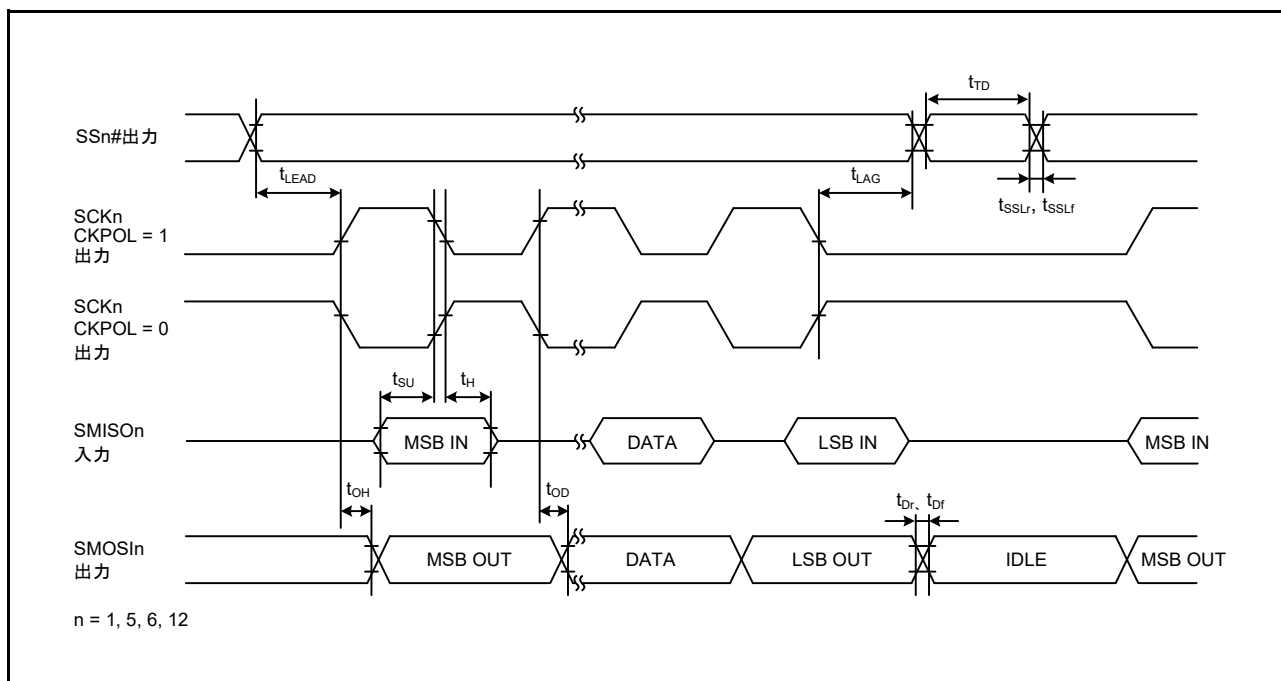


図 47.42 簡易 SPI クロックタイミング (マスタ、CKPH = 0)

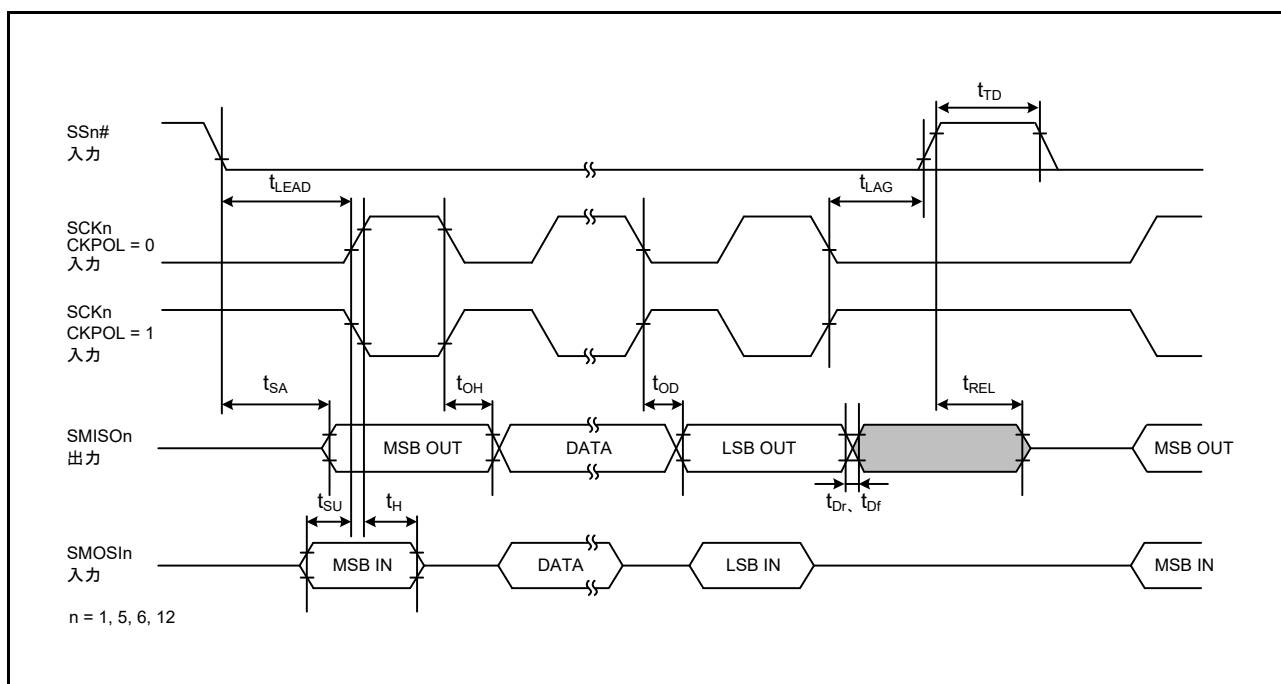


図 47.43 簡易 SPI クロックタイミング (スレーブ、CKPH = 1)

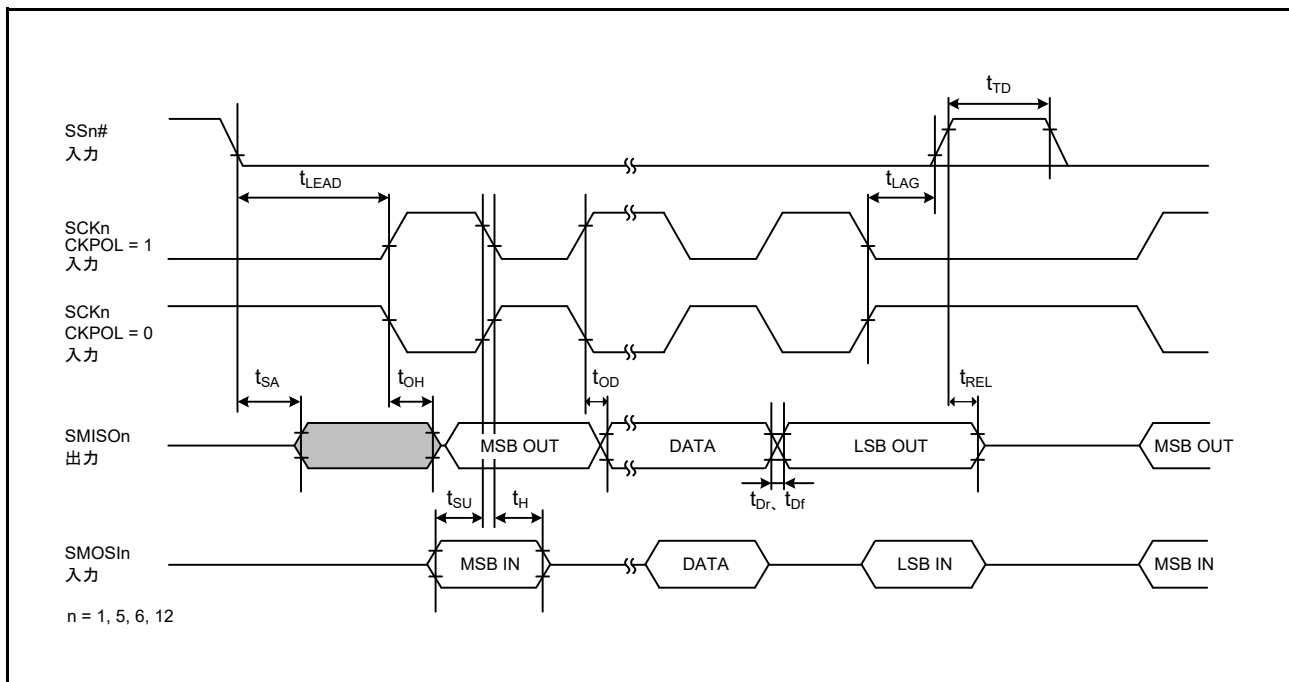


図 47.44 簡易 SPI クロックタイミング (スレーブ、CKPH = 0)

47.5.6.6 RSCI

表47.54 RSCIタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF

項目				記号	min	max	単位 (注1)	測定 条件	
RSCI (チャンネル 0, 8, 9)	入力クロック サイクル時間	調歩同期		t _{Scyc}	4	—	t _{PBcyc}	図47.45	
		クロック 同期	4.5V ≤ VCC ≤ 5.5V		24MHz < PCLKB ≤ 32MHz	4			—
					PCLKB ≤ 24MHz	2			—
			2.4V ≤ VCC < 4.5V		6	—			
		1.8V ≤ VCC < 2.4V			8	—			
		1.6V ≤ VCC < 1.8V			2	—			
	入力クロックパルス幅				t _{SCKW}	0.4	0.6	t _{Scyc}	
	入力クロック立ち上がり時間				t _{SCKr}	—	20	ns	
	入力クロック立ち下がり時間				t _{SCKf}	—	20	ns	
	出カクロック サイクル時間	調歩同期	クロック 同期	4.5V ≤ VCC ≤ 5.5V	t _{Scyc}	6	—	t _{PBcyc}	図47.46
						24MHz < PCLKB ≤ 32MHz	4		
				PCLKB ≤ 24MHz		2	—		
			2.7V ≤ VCC < 4.5V	4		—			
2.4V ≤ VCC < 2.7V			6	—					
1.8V ≤ VCC < 2.4V			8	—					
1.6V ≤ VCC < 1.8V		6	—						
2.4V ≤ VCC < 2.7V		2	—						
1.8V ≤ VCC < 2.4V		24MHz < PCLKB ≤ 32MHz	8	—					
1.6V ≤ VCC < 1.8V		PCLKB ≤ 24MHz	6	—					
出カクロックパルス幅				t _{SCKW}	0.4	0.6	t _{Scyc}		
出カクロック立ち上がり時間				t _{SCKr}	4.5V ≤ VCC ≤ 5.5V	—	5	ns	
					1.8V ≤ VCC < 4.5V	—	20	ns	
					1.6V ≤ VCC < 1.8V	—	30	ns	
出カクロック立ち下がり時間				t _{SCKf}	4.5V ≤ VCC ≤ 5.5V	—	5	ns	
					1.8V ≤ VCC < 4.5V	—	20	ns	
					1.6V ≤ VCC < 1.8V	—	30	ns	
送信データ遅延時間 (マスタ)		クロック同期		t _{TXD}	4.5V ≤ VCC ≤ 5.5V	—	10	ns	
					1.8V ≤ VCC < 4.5V	—	40	ns	
					1.6V ≤ VCC < 1.8V	—	45	ns	
送信データ遅延時間 (スレーブ)		クロック同期		t _{TXD}	4.5V ≤ VCC ≤ 5.5V	—	30	ns	
					2.7V ≤ VCC < 4.5V	—	55	ns	
					2.4V ≤ VCC < 2.7V	—	60	ns	
					1.8V ≤ VCC < 2.4V	—	100	ns	
					1.6V ≤ VCC < 1.8V	—	125	ns	
受信データセットアップ 時間(マスタ)		クロック同期		t _{RXS}	4.5V ≤ VCC ≤ 5.5V	25	—	ns	
					2.7V ≤ VCC < 4.5V	45	—	ns	
					2.4V ≤ VCC < 2.7V	55	—	ns	
					1.8V ≤ VCC < 2.4V	90	—	ns	
					1.6V ≤ VCC < 1.8V	110	—	ns	
受信データセットアップ 時間(スレーブ)		クロック同期		t _{RXS}	4.5V ≤ VCC ≤ 5.5V	10	—	ns	
					1.8V ≤ VCC < 4.5V	40	—	ns	
					1.6V ≤ VCC < 1.8V	45	—	ns	
受信データホールド時間				t _{RXH}	10	—	ns		

注1. t_{PBcyc} : PCLKBの周期

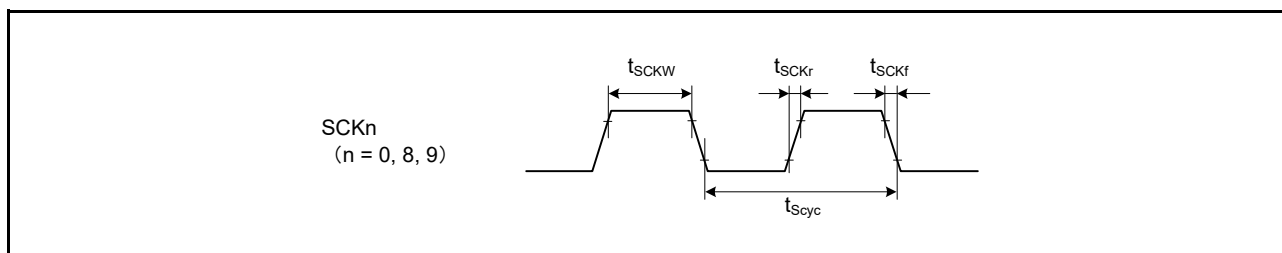


図 47.45 SCK クロック入力タイミング

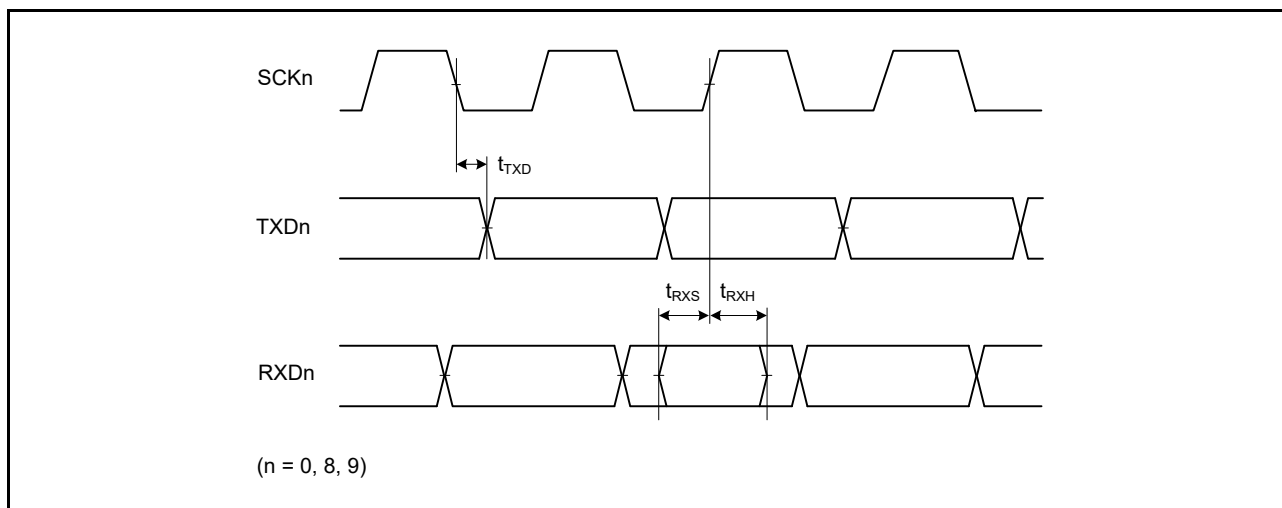


図 47.46 RSCI 入出力タイミング / クロック同期式モード

表 47.55 簡易 I²C タイミング

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目		記号	min	max	単位	測定条件
簡易 I ² C (スタンダード モード)	SDA 立ち上がり時間	t _{sr}	—	1000	ns	図 47.47
	SDA 立ち下がり時間	t _{sf}	—	300	ns	
	SDA スパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C _b (注 1)	—	400	pF	
簡易 I ² C (ファストモード)	SDA 立ち上がり時間	t _{sr}	—	300	ns	図 47.47
	SDA 立ち下がり時間	t _{sf}	—	300	ns	
	SDA スパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C _b (注 1)	—	400	pF	

注. t_{Pcyc} : PCLKB の周期

注 1. C_b はバスラインの容量総計です。

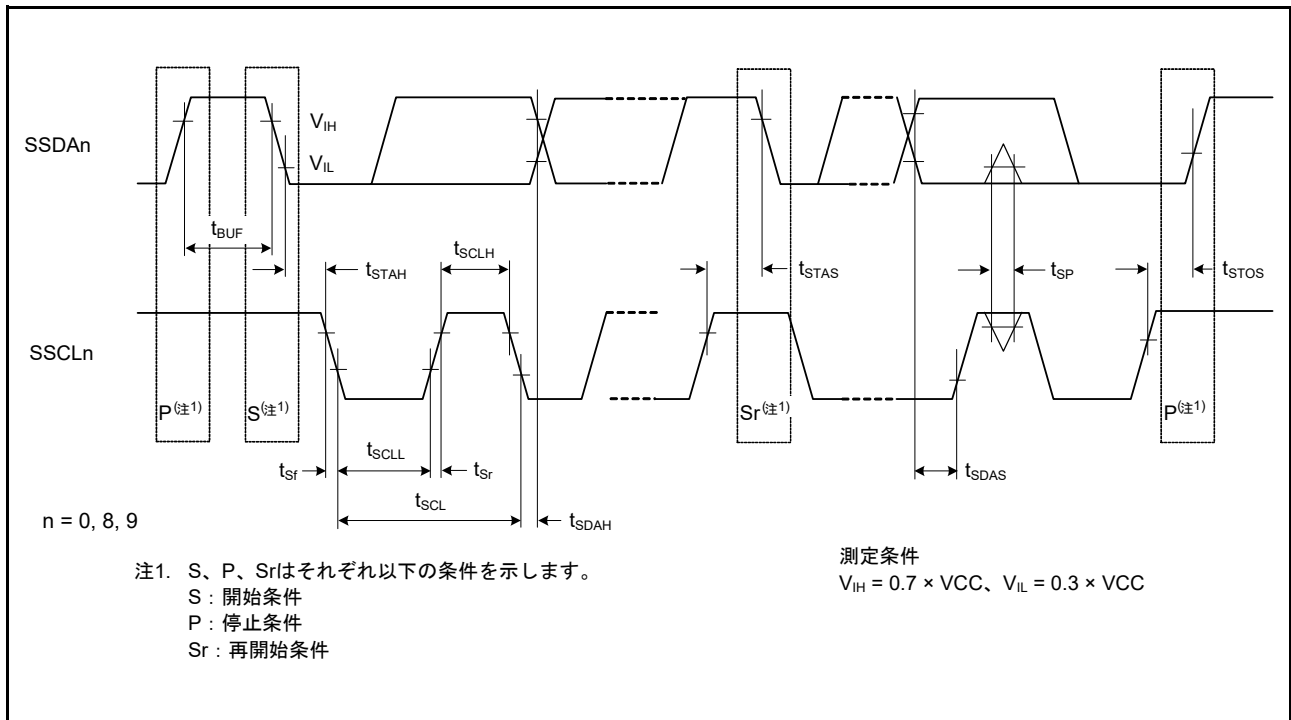


図 47.47 簡易 I²C バスインタフェース入出力タイミング

表 47.56 簡易SPIタイミング (1/2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,

出力負荷条件 : $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目			記号	min	max	単位 (注1)	測定条件		
簡易SPI	SCKクロック サイクル出力 (マスタ)	$4.5V \leq VCC \leq 5.5V$	$24MHz < PCLKB \leq 32MHz$	t_{SPcyc}	4	65536	t_{PBcyc}	図 47.48	
			$PCLKB \leq 24MHz$		2	65536			
		$2.7V \leq VCC < 4.5V$				4			65536
		$2.4V \leq VCC < 2.7V$				6			65536
		$1.8V \leq VCC < 2.4V$	$24MHz < PCLKB \leq 32MHz$		8	65536			
			$PCLKB \leq 24MHz$		6	65536			
	$1.6V \leq VCC < 1.8V$			2	65536				
	SCKクロック サイクル入力 (スレーブ)	$4.5V \leq VCC \leq 5.5V$	$24MHz < PCLKB \leq 32MHz$	t_{SPcyc}	4	—	t_{PBcyc}		
			$PCLKB \leq 24MHz$		2	—			
		$2.7V \leq VCC < 4.5V$			6	—			
		$1.8V \leq VCC < 2.4V$			8	—			
	$1.6V \leq VCC < 1.8V$			2	—				
SCKクロック High レベルパルス幅			t_{SPCKWH}	0.4	0.6	t_{SPcyc}			
SCKクロック Low レベルパルス幅			t_{SPCKWL}	0.4	0.6	t_{SPcyc}			
SCKクロック立ち上がり/立ち下がり時間	$4.5V \leq VCC \leq 5.5V$		t_{SPCKr} , t_{SPCKf}	—	5	ns			
	$1.8V \leq VCC < 4.5V$			—	20	ns			
	$1.6V \leq VCC < 1.8V$			—	30	ns			
データ入力セットアップ時間 (マスタ)	$4.5V \leq VCC \leq 5.5V$		t_{SU}	25	—	ns			
	$2.7V \leq VCC < 4.5V$			45	—				
	$2.4V \leq VCC < 2.7V$			55	—				
	$1.8V \leq VCC < 2.4V$			80	—				
	$1.6V \leq VCC < 1.8V$			110	—				
データ入力セットアップ時間 (スレーブ)	$4.5V \leq VCC \leq 5.5V$		t_{SU}	10	—	ns			
	$1.8V \leq VCC < 4.5V$			40	—				
	$1.6V \leq VCC < 1.8V$			45	—				
データ入力ホールド時間			t_H	10	—	ns			
SSL入力セットアップ時間	$t_{SPcyc} < 6t_{PBcyc}$		t_{LEAD}	2	—	t_{SPcyc}			
	$t_{SPcyc} \geq 6t_{PBcyc}$			1	—				
SSL入力ホールド時間			t_{LAG}	1	—	t_{SPcyc}			
データ出力遅延時間(マスタ)	$4.5V \leq VCC \leq 5.5V$		t_{OD}	—	10	ns			
	$1.8V \leq VCC < 4.5V$			—	40				
	$1.6V \leq VCC < 1.8V$			—	50				
データ出力遅延時間(スレーブ)	$4.5V \leq VCC \leq 5.5V$		t_{OD}	—	30	ns			
	$2.4V \leq VCC < 4.5V$			—	65				
	$1.8V \leq VCC < 2.4V$			—	100				
	$1.6V \leq VCC < 1.8V$			—	125				
データ出力ホールド時間 (マスタ)	$2.7V \leq VCC \leq 5.5V$		t_{OH}	-10	—	ns			
	$1.8V \leq VCC < 2.7V$			-20	—				
	$1.6V \leq VCC < 1.8V$			-40	—				
データ出力ホールド時間(スレーブ)			t_{OH}	-10	—	ns			
データ立ち上がり/立ち下がり時間	$4.5V \leq VCC \leq 5.5V$		t_{Dr} , t_{Df}	—	5	ns			
	$2.7V \leq VCC < 4.5V$			—	20				
	$1.6V \leq VCC < 1.8V$			—	30				
SSL入力立ち上がり/立ち下がり時間			t_{SSLr} , t_{SSLf}	—	20	ns			

表 47.56 簡易SPIタイミング (2/2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,
出力負荷条件 : $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目			記号	min	max	単位 (注1)	測定条件	
簡易SPI	スレーブアクセス時間	$2.4V \leq VCC \leq 5.5V$	t_{SA}	—	6	t_{PBcyc}	図 47.51、 図 47.52	
		$1.8V \leq VCC < 2.4V$		$24MHz < PCLKB \leq 32MHz$	—			7
				$PCLKB \leq 24MHz$	—			6
		$1.6V \leq VCC < 1.8V$		—	6			
	スレーブ出力開放時間	$2.4V \leq VCC \leq 5.5V$	t_{REL}	—	6	t_{PBcyc}		
		$1.8V \leq VCC < 2.4V$		$24MHz < PCLKB \leq 32MHz$	—			7
				$PCLKB \leq 24MHz$	—			6
		$1.6V \leq VCC < 1.8V$		—	6			

注1. t_{PBcyc} : PCLKBの周期

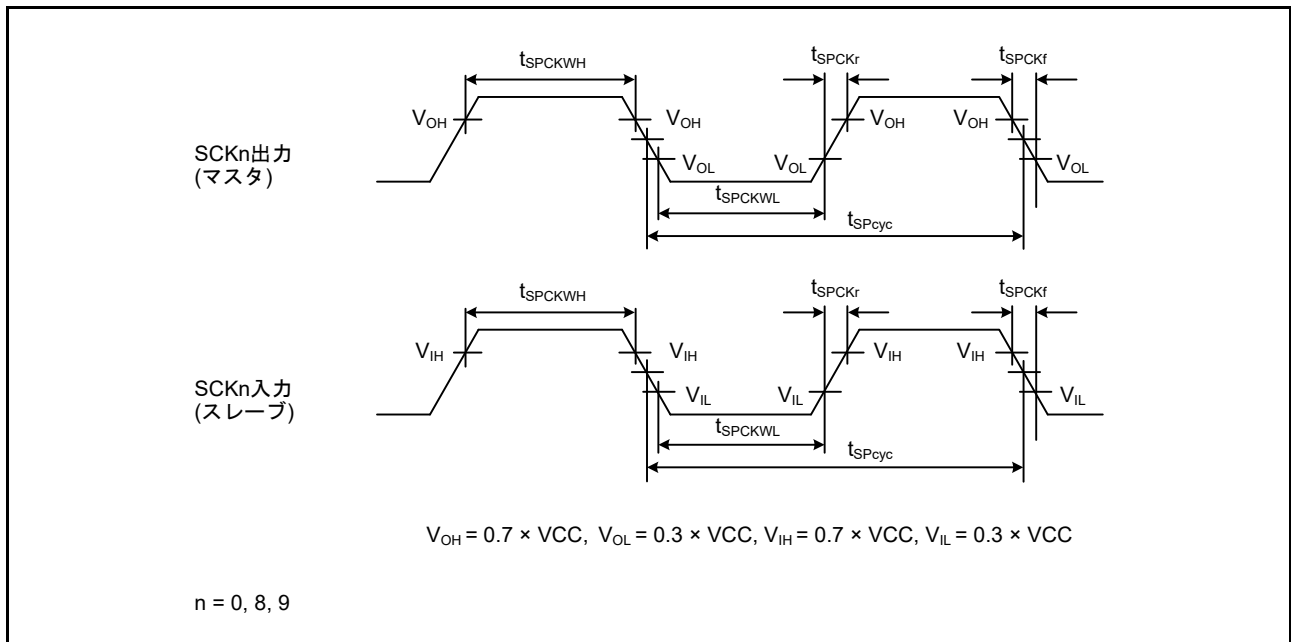


図 47.48 簡易SPIクロックタイミング

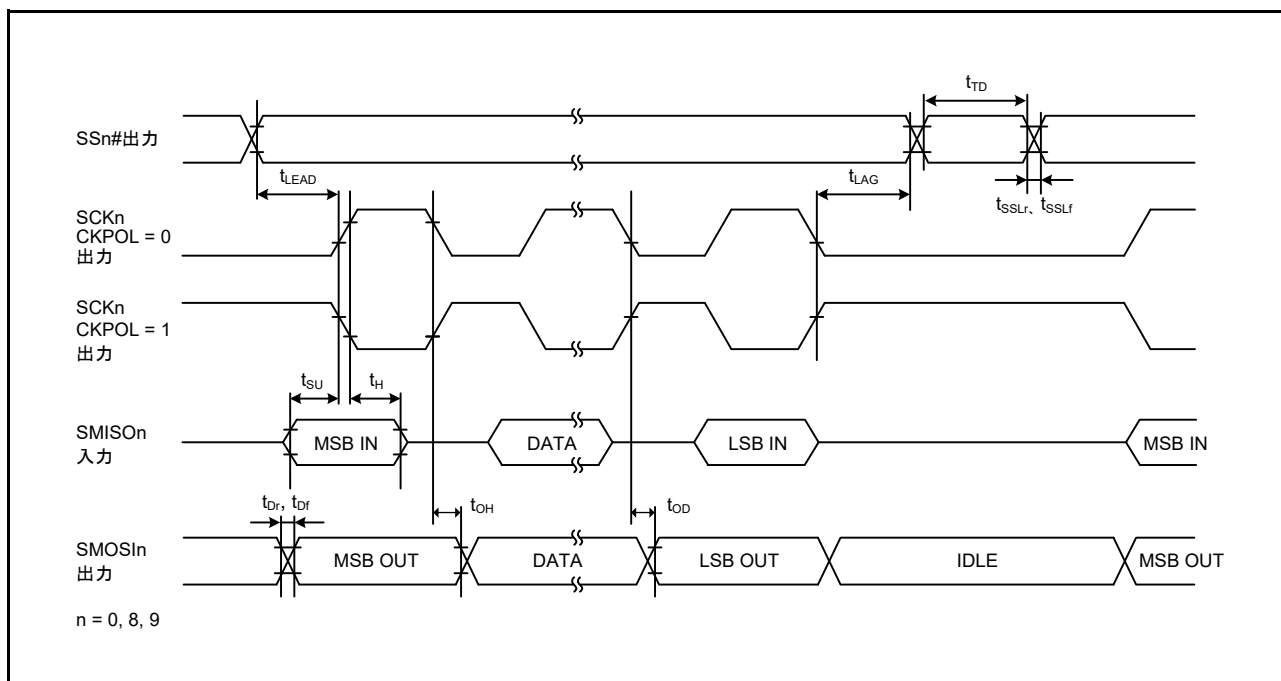


図 47.49 簡易 SPI クロックタイミング (マスタ、CPHA = 1)

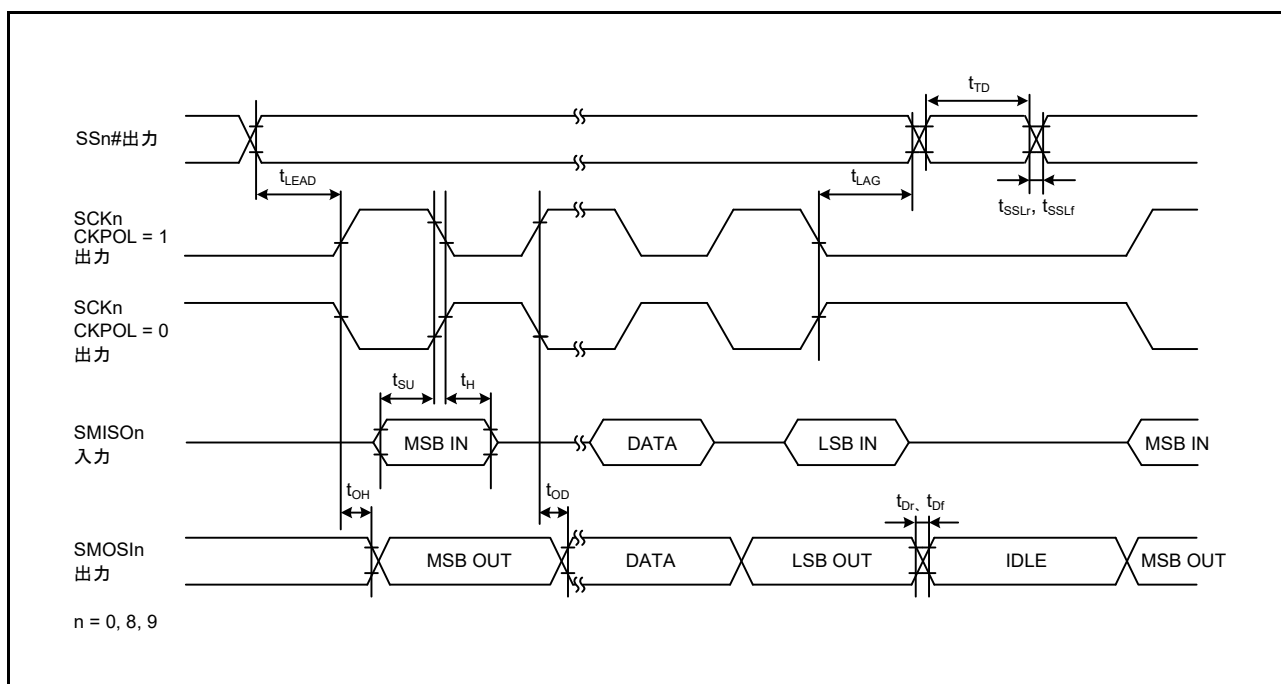


図 47.50 簡易 SPI クロックタイミング (マスタ、CPHA = 0)

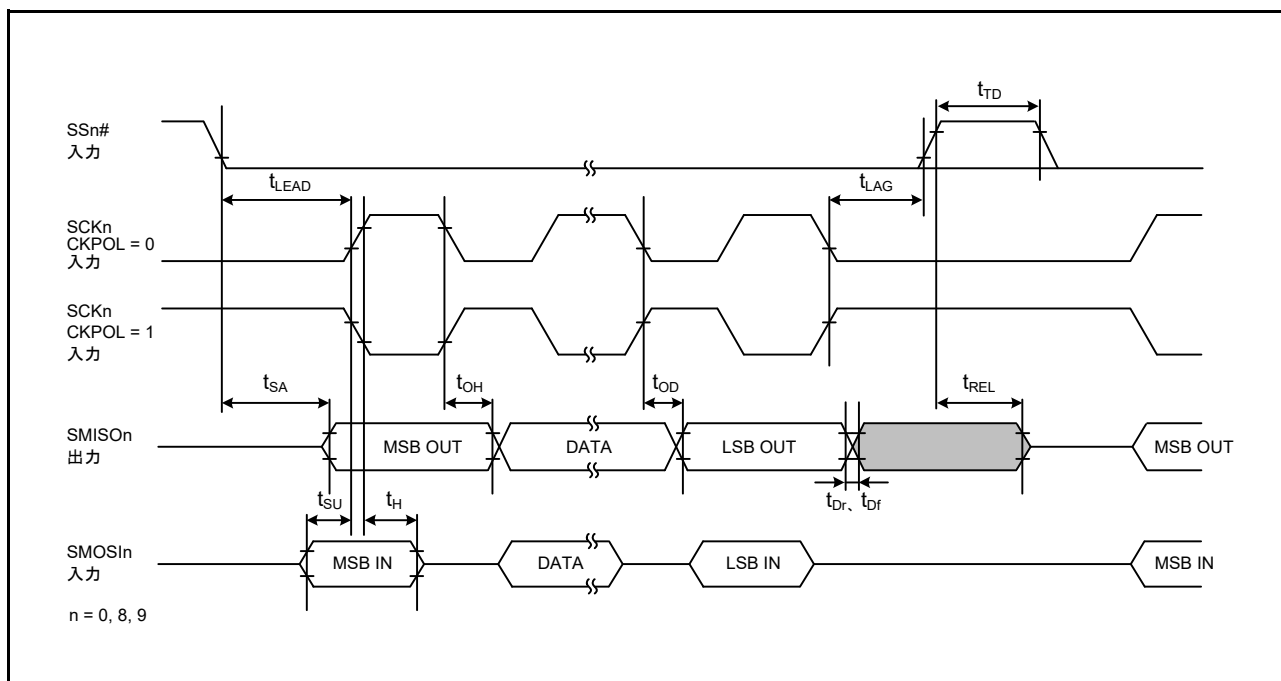


図 47.51 簡易 SPI クロックタイミング (スレーブ、CPHA = 1)

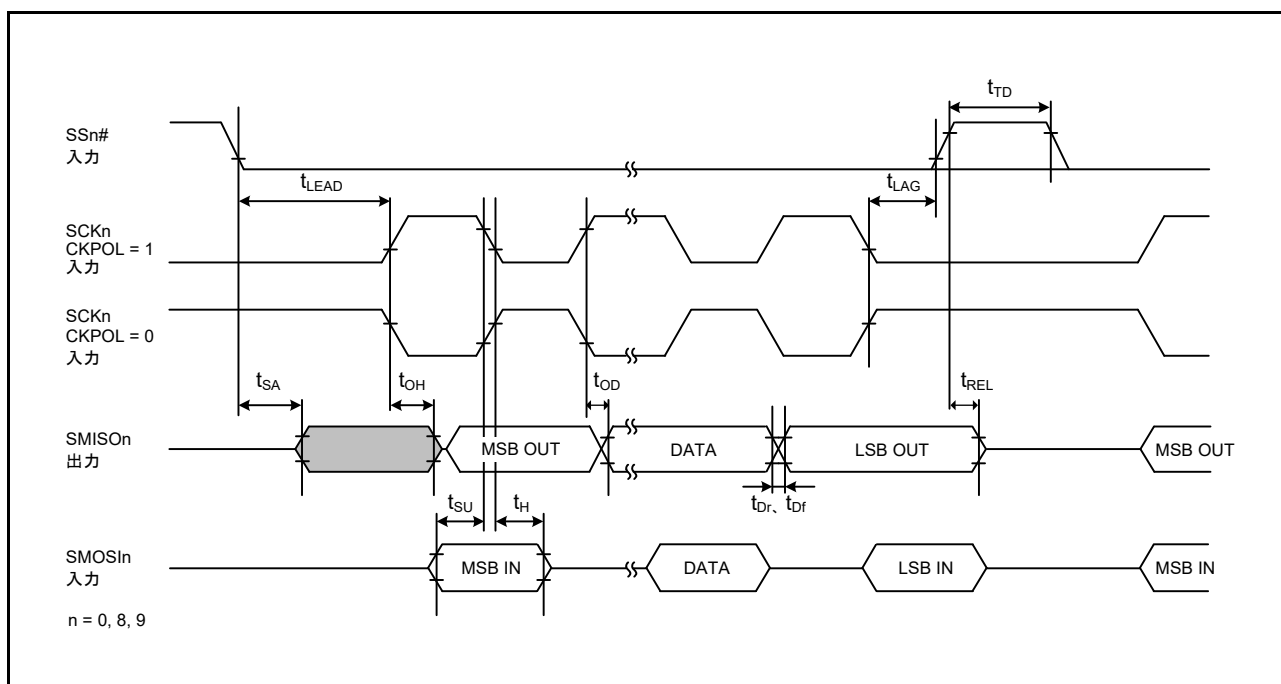


図 47.52 簡易 SPI クロックタイミング (スレーブ、CPHA = 0)

47.5.6.7 RIIC

表47.57 RIICタイミング

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目	記号	min (注1)	max	単位	測定条件	
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 1300	—	ns	図47.53
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
	SDAバスフリー時間	t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件セットアップ時間	t _{STOS}	1000	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注2)	—	400	pF	
RIIC (ファストモード)	SCLサイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 600	—	ns	図47.53
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA立ち上がり時間	t _{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
	SDAバスフリー時間	t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	300	—	ns	
	停止条件セットアップ時間	t _{STOS}	300	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注2)	—	400	pF	

注. t_{IIcCyc} : RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

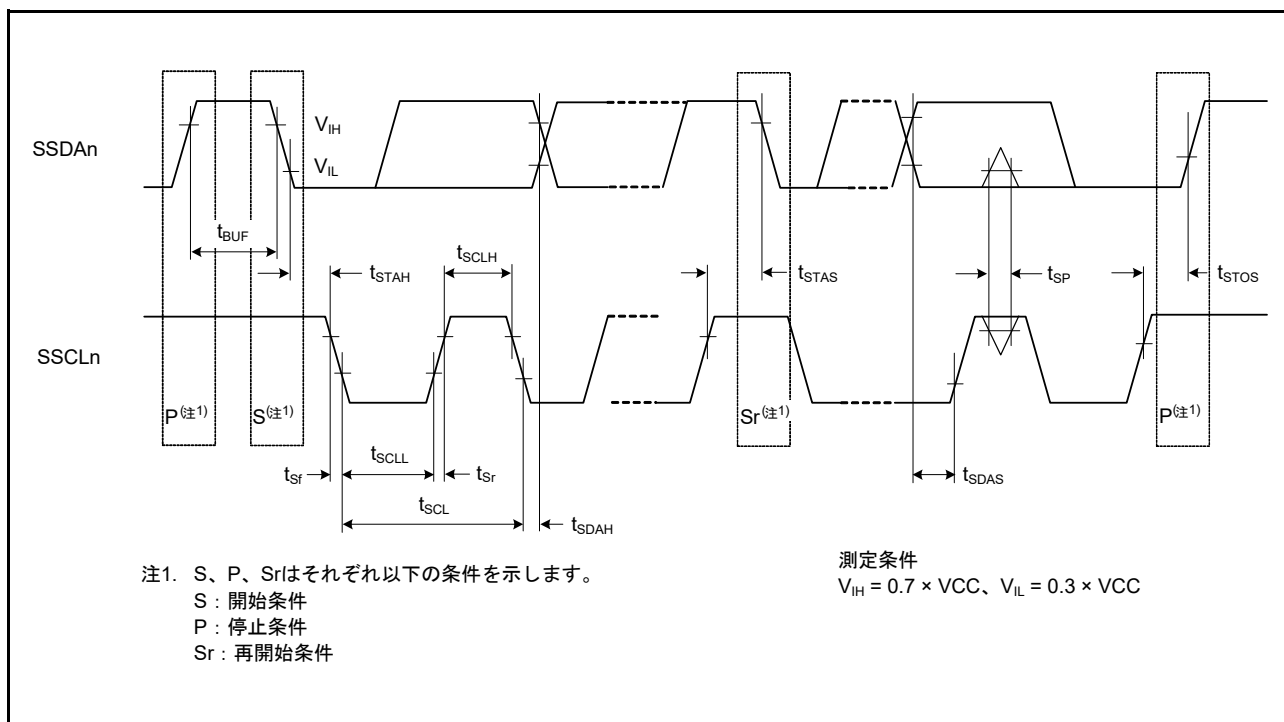


図 47.53 RIIC バスインタフェース入出力タイミング

47.5.6.8 RSPI

表47.58 RSPIタイミング (1/2)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C, C = 30pF,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目			記号	min	max	単位	測定条件	
RSPI	RSPCKクロック サイクル	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{SPcyc}	2	4096	t _{PBcyc} (注1)	図47.54
			1.8V ≤ VCC < 2.7V		4	4096		
			1.6V ≤ VCC < 1.8V		2	4096		
		スレーブ	2.7V ≤ VCC ≤ 5.5V		4	—		
			2.4V ≤ VCC < 2.7V		6	—		
			1.8V ≤ VCC < 2.4V		8	—		
			1.6V ≤ VCC < 1.8V		4	—		
	RSPCKクロック Highレベルパルス幅	マスタ		t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
	RSPCKクロック Lowレベルパルス幅	マスタ		t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—		
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	2.7V ≤ VCC ≤ 5.5V	t _{SPCKr} , t _{SPCKf}	—	10	ns	
			2.4V ≤ VCC < 2.7V		—	15		
1.8V ≤ VCC < 2.4V			—		20			
1.6V ≤ VCC < 1.8V			—		30			
入力				—	0.1	μs/V		
データ入力セット アップ時間	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{SU}	10	—	ns	図47.55 ~ 図47.60	
		1.8V ≤ VCC < 2.7V		30	—			
		1.6V ≤ VCC < 1.8V		10	—			
	スレーブ	2.4V ≤ VCC ≤ 5.5V		10	—			
		1.8V ≤ VCC < 2.4V		15	—			
		1.6V ≤ VCC < 1.8V		20	—			
データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t _H	t _{PBcyc}	—	ns		
		RSPCKをPCLKB の2分周に設定	t _{HF}	0	—			
	スレーブ		t _H	20	—			
SSLセットアップ 時間	マスタ	1.8V ≤ VCC ≤ 5.5V	t _{LEAD}	-30 + N (注2) × t _{SPcyc}	—	ns		
		1.6V ≤ VCC < 1.8V		-50 + N (注2) × t _{SPcyc}	—			
	スレーブ			6	—	t _{PBcyc}		
SSLホールド時間	マスタ		t _{LAG}	-30 + N (注3) × t _{SPcyc}	—	ns		
		スレーブ			6		—	t _{PBcyc}

表 47.58 RSPI タイミング (2/2)

条件: $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$, $C = 30pF$,
出力負荷条件: $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目			記号	min	max	単位	測定条件	
RSPI	データ出力遅延時間	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{OD}	—	14	ns	図 47.55 ~ 図 47.60
			$2.4V \leq VCC < 2.7V$		—	20		
			$1.8V \leq VCC < 2.4V$		—	25		
			$1.6V \leq VCC < 1.8V$		—	30		
		スレーブ	$2.7V \leq VCC \leq 5.5V$		—	50		
			$2.4V \leq VCC < 2.7V$		—	60		
			$1.8V \leq VCC < 2.4V$		—	85		
			$1.6V \leq VCC < 1.8V$		—	110		
	データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
		スレーブ			0	—		
	連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{PBcyc}$	$8 \times t_{SPcyc} + 2 \times t_{PBcyc}$	ns	
		スレーブ			$6 \times t_{PBcyc}$	—		
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{Dr} , t_{Df}	—	10	ns		
		$2.4V \leq VCC < 2.7V$		—	15			
		$1.8V \leq VCC < 2.4V$		—	20			
		$1.6V \leq VCC < 1.8V$		—	30			
	入力			—	1		μs	
SSL立ち上がり/ 立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{SSLr} , t_{SSLf}	—	10	ns		
		$2.4V \leq VCC < 2.7V$		—	15	ns		
		$1.8V \leq VCC < 2.4V$		—	20	ns		
		$1.6V \leq VCC < 1.8V$		—	30	ns		
	入力			—	1	μs		
スレーブアクセス時間		$2.4V \leq VCC \leq 5.5V$	t_{SA}	—	$2 \times t_{PBcyc} + 100$	ns	図 47.59、 図 47.60	
		$1.8V \leq VCC < 2.4V$		—	$2 \times t_{PBcyc} + 140$	ns		
		$1.6V \leq VCC < 1.8V$		—	$2 \times t_{PBcyc} + 180$	ns		
スレーブ出力開放時間		$2.4V \leq VCC \leq 5.5V$	t_{REL}	—	$2 \times t_{PBcyc} + 100$	ns		
		$1.8V \leq VCC < 2.4V$		—	$2 \times t_{PBcyc} + 140$	ns		
		$1.6V \leq VCC < 1.8V$		—	$2 \times t_{PBcyc} + 180$	ns		

注1. t_{PBcyc} : PCLKBの周期

注2. N: RSPIクロック遅延レジスタ (SPCKD)にて設定可能な1~8の整数

注3. N: RSPIスレーブセレクトネゲート遅延レジスタ (SSLND)にて設定可能な1~8の整数

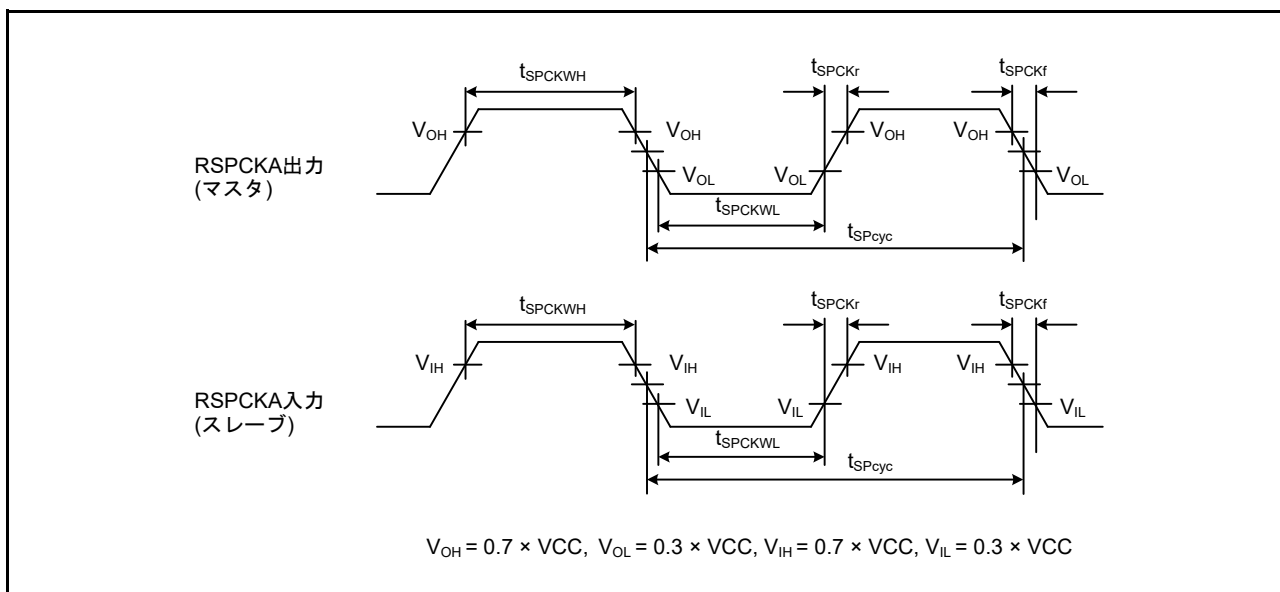


図 47.54 RSPCKA クロックタイミング

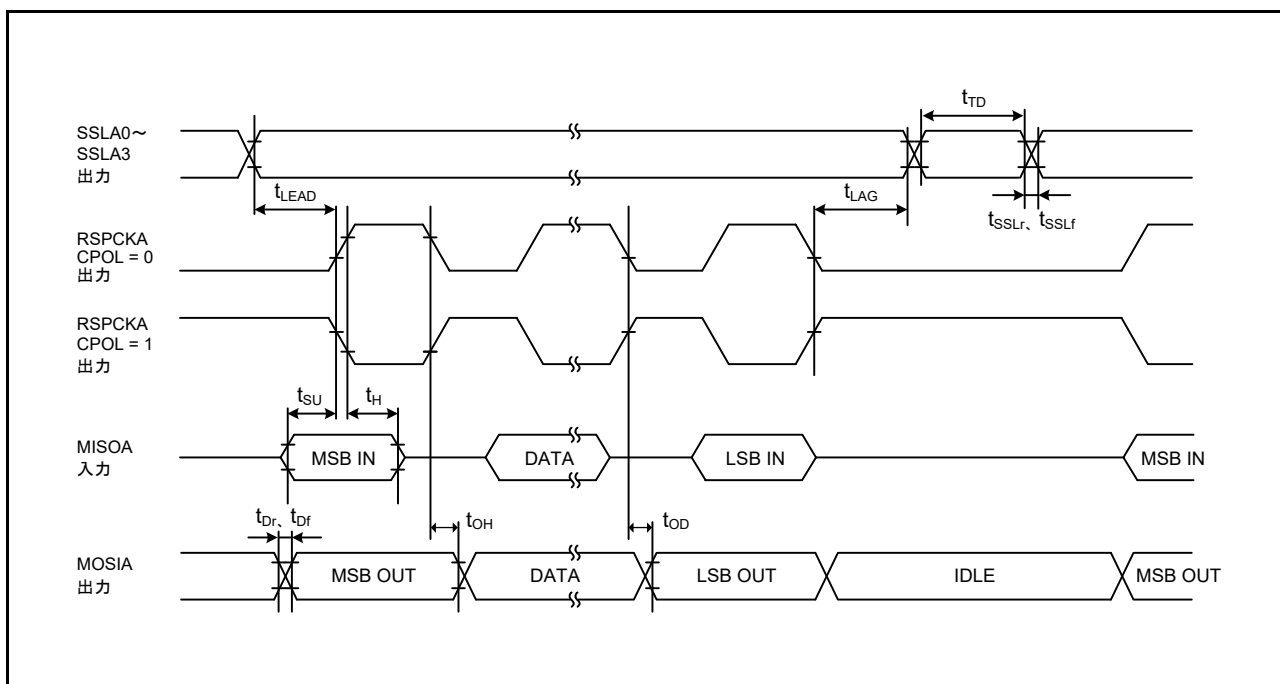


図 47.55 RSPCKA タイミング (マスター、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

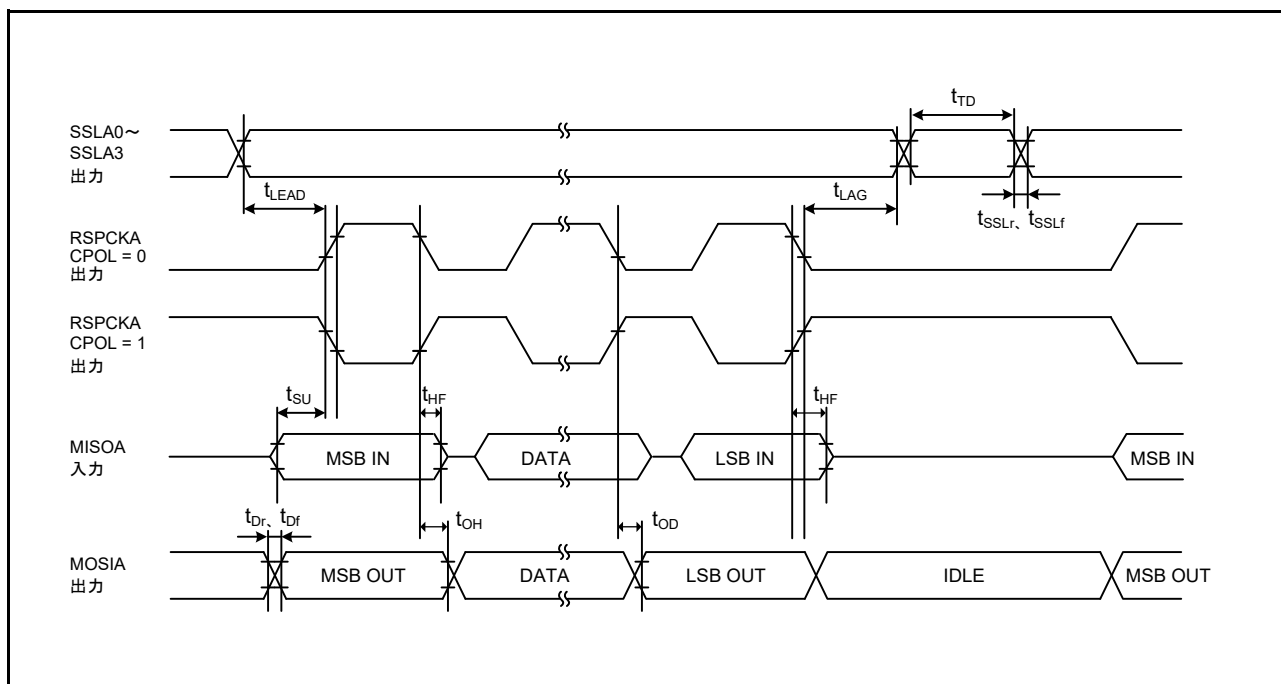


図 47.56 RSPi タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

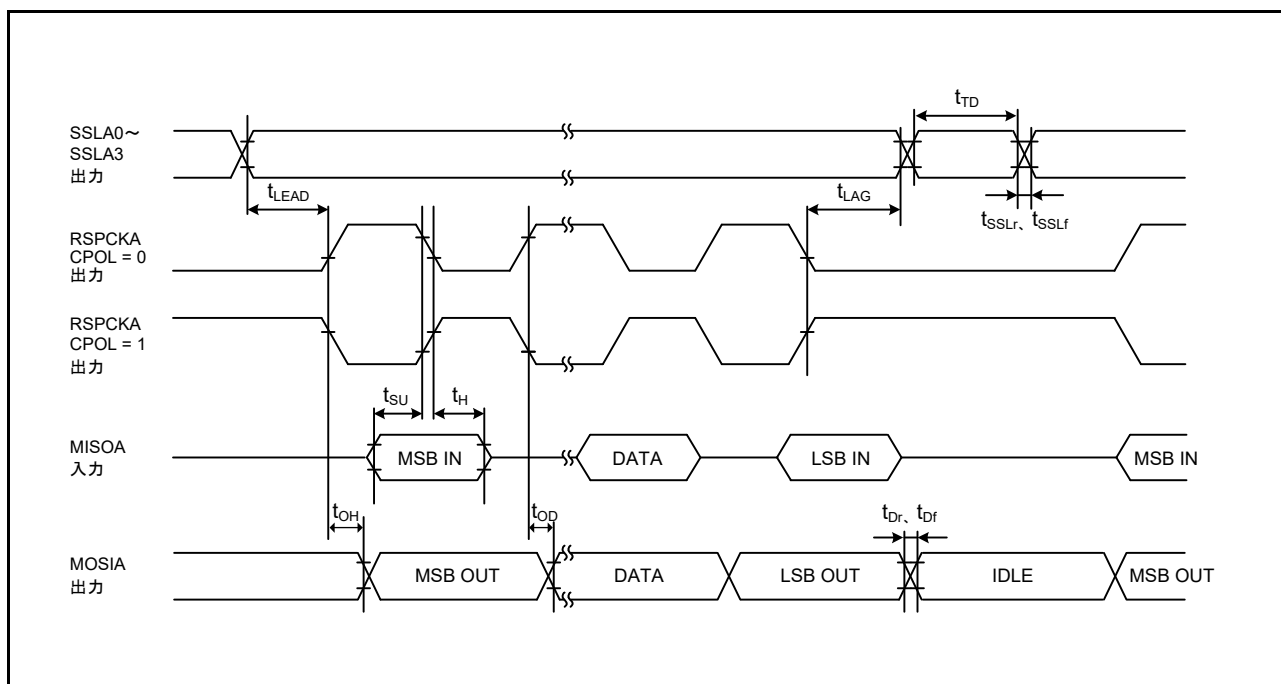


図 47.57 RSPi タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

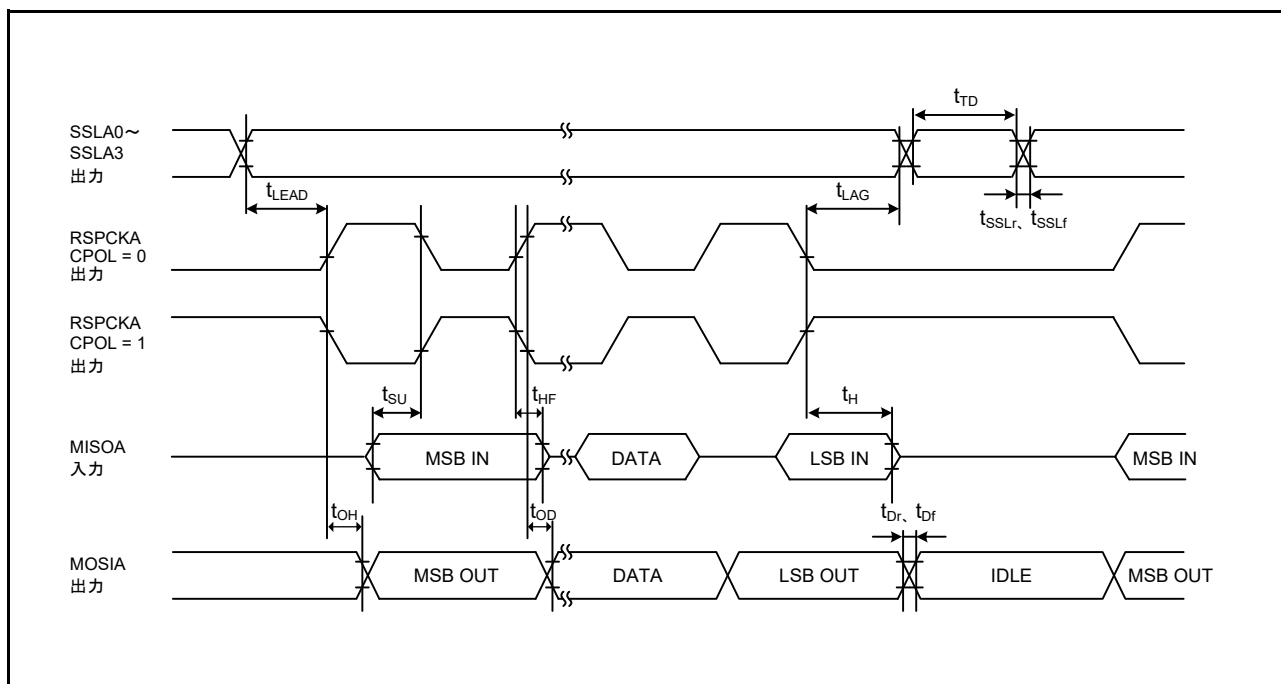


図 47.58 RSPi タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

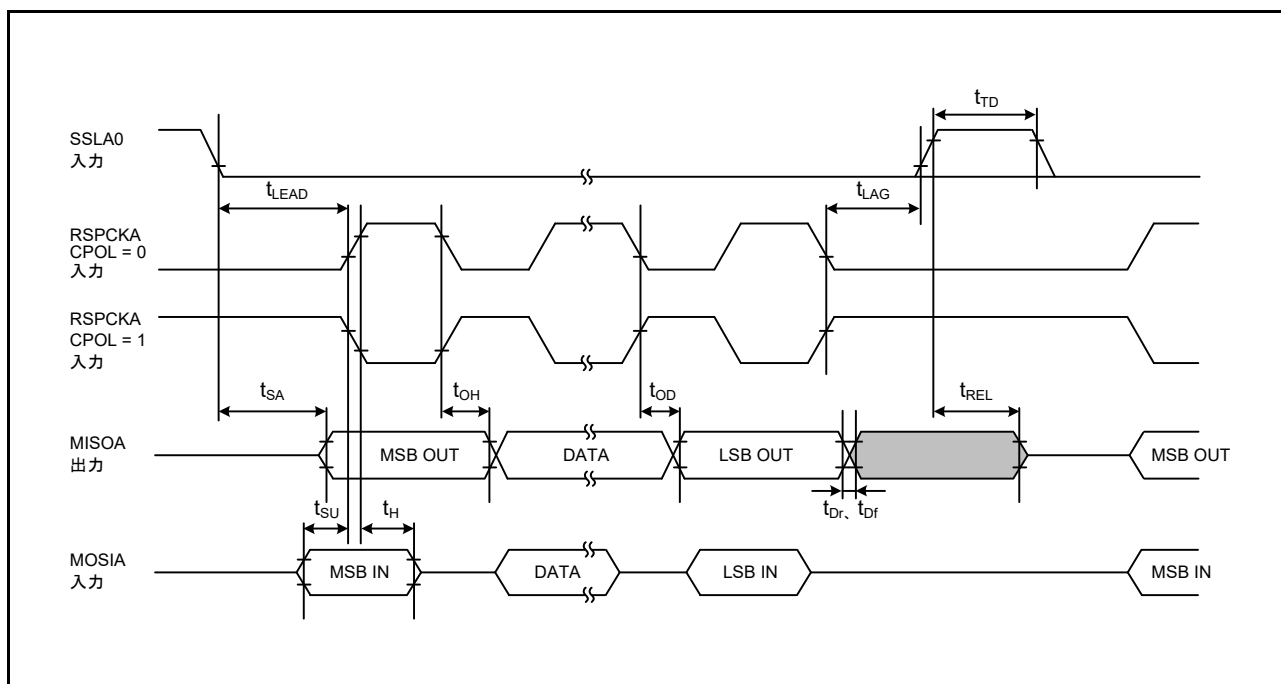


図 47.59 RSPi タイミング (スレーブ、CPHA = 0)

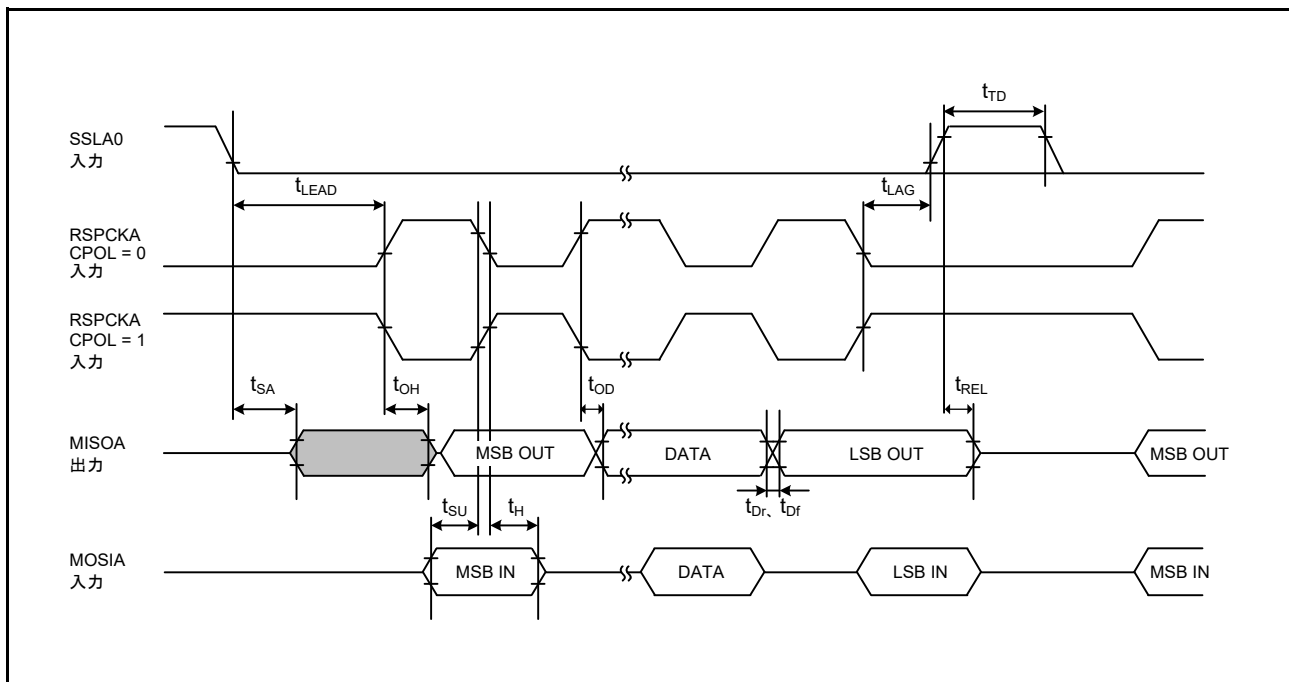


図 47.60 RSPi タイミング (スレーブ、CPHA = 1)

47.5.6.9 CANFD

表47.59 CANFDタイミング

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,

出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目	記号	min	max	単位	測定条件
内部遅延時間	2.4V ≤ VCC ≤ 5.5V	—	50	ns	図 47.61
	1.8V ≤ VCC < 2.4V	—	75		

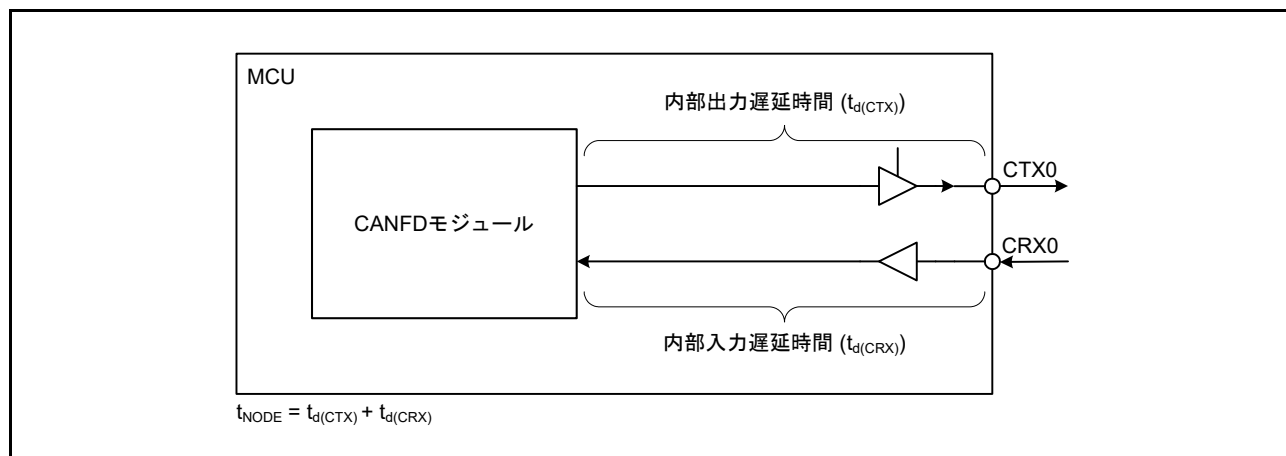


図 47.61 内部遅延時間の定義

47.5.6.10 A/Dコンバータトリガ

表47.60 A/Dコンバータトリガタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件
A/Dコンバータ	トリガ入力パルス幅	t _{TRGW}	1.5	—	t _{PBcyc}	図47.62

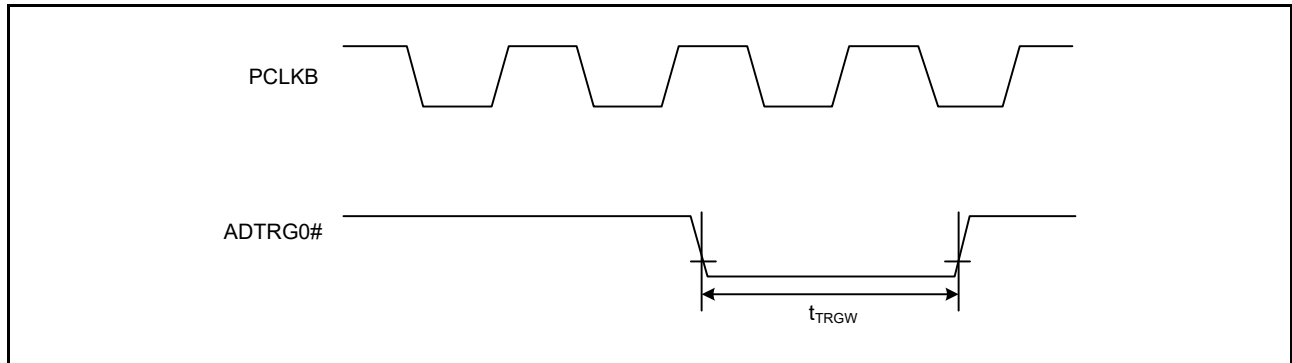
注1. t_{PBcyc} : PCLKBの周期

図 47.62 A/Dコンバータ外部トリガ入力タイミング

47.5.6.11 CAC

表47.61 CACタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件
CAC	CACREF入力パルス幅	t _{CACREF}	t _{PBcyc} ≤ t _{cac} (注2)	4.5 t _{cac} + 3 t _{PBcyc}	—	ns
			t _{PBcyc} > t _{cac} (注2)	5 t _{cac} + 6.5 t _{PBcyc}		
	CACREF入力立ち上がり/立ち下がり時間	t _{CACREFr} , t _{CACREFf}	—	0.1	μs/V	

注1. t_{PBcyc} : PCLKBの周期注2. t_{cac} : CACカウントクロックソースの周期

47.5.6.12 CLKOUT

表47.62 CLKOUT タイミング

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,
出力負荷条件 : $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目		記号	min	max	単位	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注2)	t_{Cyc}	$2.7V \leq VCC \leq 5.5V$	62.5	—	ns	図 47.63
			$1.8V \leq VCC < 2.7V$	125			
			$1.6V \leq VCC < 1.8V$	250			
	CLKOUT 端子 High レベルパルス幅 (注1)	t_{CH}	$2.7V \leq VCC \leq 5.5V$	15	—	ns	
			$1.8V \leq VCC < 2.7V$	30			
			$1.6V \leq VCC < 1.8V$	80			
	CLKOUT 端子 Low レベルパルス幅 (注1)	t_{CL}	$2.7V \leq VCC \leq 5.5V$	15	—	ns	
			$1.8V \leq VCC < 2.7V$	30			
			$1.6V \leq VCC < 1.8V$	80			
	CLKOUT 端子出力立ち上がり時間	t_{Cr}	$2.7V \leq VCC \leq 5.5V$	—	12	ns	
			$1.8V \leq VCC < 2.7V$	—	25		
			$1.6V \leq VCC < 1.8V$	—	30		
CLKOUT 端子出力立ち下がり時間	t_{Cf}	$2.7V \leq VCC \leq 5.5V$	—	12	ns		
		$1.8V \leq VCC < 2.7V$	—	25			
		$1.6V \leq VCC < 1.8V$	—	30			

注1. クロック出力ソースに LOCO 選択 (CKOCR.CKOSSEL[3:0] ビット = 0000b) の場合は、クロック出力分周比選択を 2 分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

注2. XTAL 外部クロック入力または発振子を使用して 1 分周 (CKOCR.CKOSSEL[3:0] ビット = 0010b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT より出力する場合は、入力デューティ比 45 ~ 55% で上記を満たします。

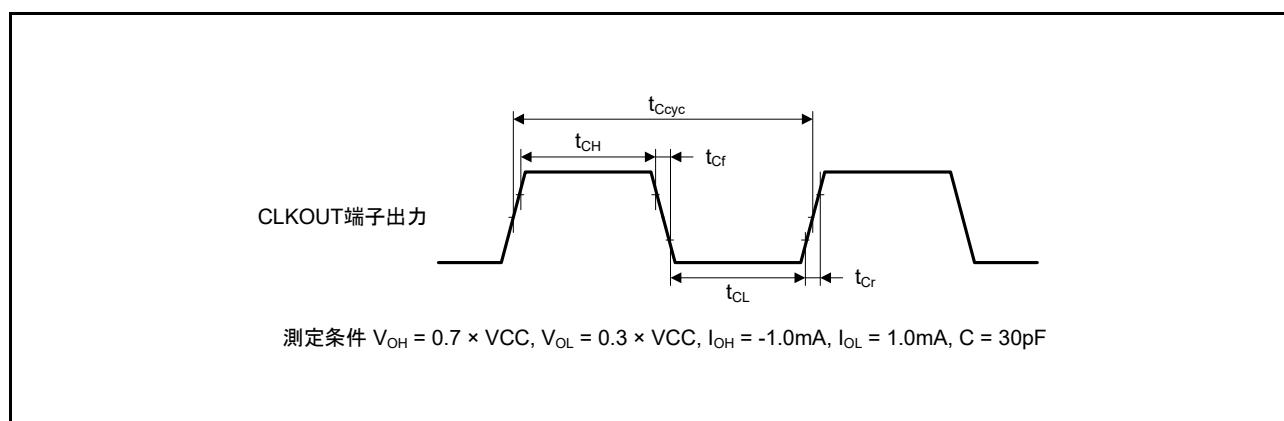


図 47.63 CLKOUT 出力タイミング

47.6 USB 特性

表47.63 USB特性 (USB0_DP、USB0_DM端子特性)

条件 : 3.0V ≤ VCC ≤ 3.6V、3.0V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	max	単位	測定条件	
入力特性	入力Highレベル電圧	V _{IH}	2.0	—	V		
	入力Lowレベル電圧	V _{IL}	—	0.8	V		
	差動入力感度	V _{DI}	0.2	—	V	USB0_DP - USB0_DM	
	差動コモンモードレンジ	V _{CM}	0.8	2.5	V		
出力特性	出力Highレベル電圧	V _{OH}	2.8	VCC	V	I _{OH} = -200μA	
	出力Lowレベル電圧	V _{OL}	0.0	0.3	V	I _{OL} = 2mA	
	クロスオーバー電圧	V _{CRS}	1.3	2.0	V	図47.64、 図47.65	
	立ち上がり時間	FS	t _r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t _f	4	20		ns
		LS		75	300		
	立ち上がり/ 立ち下がり時間比	FS	t _r /t _f	90	111.11		%
LS		80		125			
出力抵抗		Z _{DRV}	28	44	Ω		(外部素子による抵抗調整不要)
ブルアップ、 ブルダウン	ブルダウン抵抗	R _{PD}	14.25	24.80	kΩ		
	ブルアップ抵抗	R _{PUI}	0.9	1.575	kΩ	アイドル時	
		R _{PUA}	1.425	3.09	kΩ	送受信時	

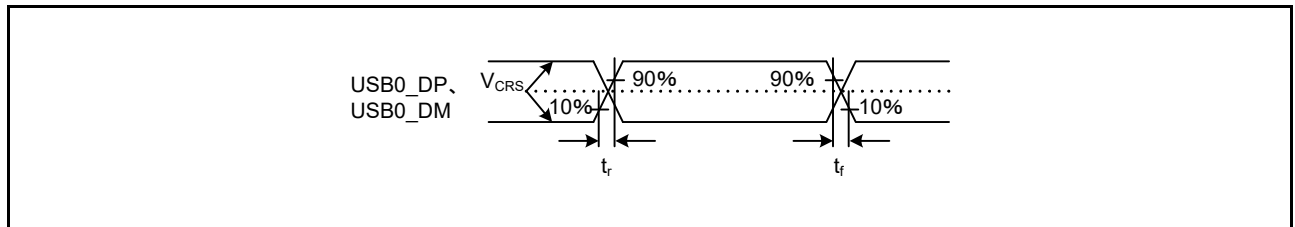


図 47.64 USB0_DP、USB0_DM 出カタイミング

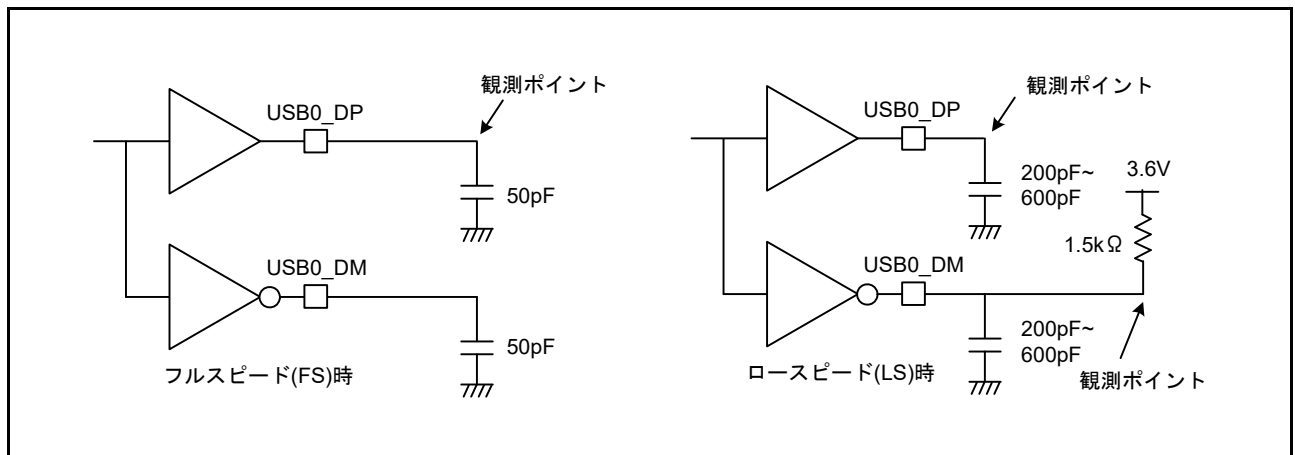


図 47.65 測定回路

47.7 A/D変換特性

表 47.64 A/D変換特性(1)

条件：4.5V ≤ VCC ≤ 5.5V, 4.5V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 0.5kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	64	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 64MHz時)	0.50 (0.156) (注2)	—	—	μs	高精度チャネル ADCSR.ADHSCビット=0 ADSSTRn = 0Ah ADCCR.CCS = 1
	0.97 (0.625) (注2)	—	—		通常精度チャネル ADCSR.ADHSCビット=0 ADSSTRn = 28h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	pF	高精度チャネル
		—	—		10(注3)
アナログ入力抵抗	Rs	—	—	kΩ	高精度チャネル
		—	—		5.0(注3)
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±1.0	±4.5	LSB	高精度チャネル
			±6.0	LSB	上記以外
フルスケール誤差	—	±1.0	±4.5	LSB	高精度チャネル
			±6.0	LSB	上記以外
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±2.5	±5.0	LSB	高精度チャネル
			±8.0	LSB	上記以外
DNL微分非直線性誤差	—	±1.0	—	LSB	
INL積分非直線性誤差	—	±1.5	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 47.65 A/D変換特性(2)

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 0.3kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	48	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 48MHz時)	0.67 (0.208) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 0Ah ADCCR.CCS = 1
	1.29 (0.833) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 28h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	g(注3)	高精度チャンネル
		—	—		10(注3)
アナログ入力抵抗	Rs	—	—	1.9(注3)	高精度チャンネル
		—	—		6.0(注3)
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±1.0	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
フルスケール誤差	—	±1.0	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±2.5	±5.5	LSB	高精度チャンネル
			±8.5	LSB	上記以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 47.66 A/D変換特性(3)

条件：2.4V ≤ VCC ≤ 5.5V, 2.4V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 1.3kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	32	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 32MHz時)	1.00 (0.313) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 0Ah ADCCR.CCS = 1
	1.94 (1.250) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 28h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	g(注3)	高精度チャンネル
		—	—		10(注3)
アナログ入力抵抗	Rs	—	—	2.2(注3)	高精度チャンネル
		—	—		7.0(注3)
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±1.0	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
フルスケール誤差	—	±1.0	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±2.5	±5.5	LSB	高精度チャンネル
			±8.5	LSB	上記以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 47.67 A/D変換特性(4)

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 1.1kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	24	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 24MHz時)	1.58 (0.417) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Ah ADCCR.CCS = 1
	2.00 (0.833) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 14h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	pF	高精度チャンネル
		—	—		通常精度チャンネル
アナログ入力抵抗	Rs	—	—	kΩ	高精度チャンネル
		—	—		通常精度チャンネル
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±1.25	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
フルスケール誤差	—	±1.0	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±2.5	±5.5	LSB	高精度チャンネル
			±8.5	LSB	上記以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 47.68 A/D変換特性(5)

条件：2.4V ≤ VCC ≤ 5.5V, 2.4V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 2.2kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	16	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 16MHz時)	2.38 (0.625) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Ah ADCCR.CCS = 1
	3.00 (1.250) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 14h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	pF	高精度チャンネル
		—	—		通常精度チャンネル
アナログ入力抵抗	Rs	—	—	kΩ	高精度チャンネル
		—	—		通常精度チャンネル
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±1.25	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
フルスケール誤差	—	±1.0	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±2.5	±5.5	LSB	高精度チャンネル
			±8.5	LSB	上記以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 47.69 A/D変換特性(6)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 5kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	8	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 8MHz時)	4.75 (1.250) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Ah ADCCR.CCS = 1
	6.00 (2.500) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 14h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	pF	高精度チャンネル
		—	—		通常精度チャンネル
アナログ入力抵抗	Rs	—	—	kΩ	高精度チャンネル
		—	—		通常精度チャンネル
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャンネル
			±10.0	LSB	上記以外
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャンネル
			±10.0	LSB	上記以外
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±3.0	±8.0	LSB	高精度チャンネル
			±11.0	LSB	上記以外
DNL微分非直線性誤差	—	±1.25	—	LSB	
INL積分非直線性誤差	—	±1.5	±3.5	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 47.70 A/D変換特性(7)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 9.9kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件	
周波数	1	—	4	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 4MHz時)	9.50 (2.500) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Ah ADCCR.CCS = 1	
	12.00 (5.000) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 14h ADCCR.CCS = 1	
アナログ入力容量	Cs	—	—	9(注3)	pF	高精度チャンネル
		—	—	10(注3)		通常精度チャンネル
アナログ入力抵抗	Rs	—	—	12(注3)	kΩ	高精度チャンネル
		—	—	28(注3)		通常精度チャンネル
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャンネル	
			±10.0	LSB	上記以外	
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャンネル	
			±10.0	LSB	上記以外	
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	±3.0	±8.0	LSB	高精度チャンネル	
			±11.0	LSB	上記以外	
DNL微分非直線性誤差	—	±1.25	—	LSB		
INL積分非直線性誤差	—	±1.5	±3.5	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 47.71 A/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
高精度チャンネル	AN000～AN007	AVCC0 = 1.6～5.5V	A/Dコンバータ使用時、AN000～AN007端子をデジタル出力として使用することはできません
通常精度チャンネル	AN016～AN031		
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 1.6～5.5V	
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 1.6～5.5V	
CTSU入力チャンネル	AN008	AVCC0 = 1.6～5.5V	

表 47.72 A/D内部基準電圧特性

条件：1.8V ≤ VCC ≤ 5.5V, 1.6V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40～+105°C

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャンネル(注1)	1.42	1.48	1.54	V	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

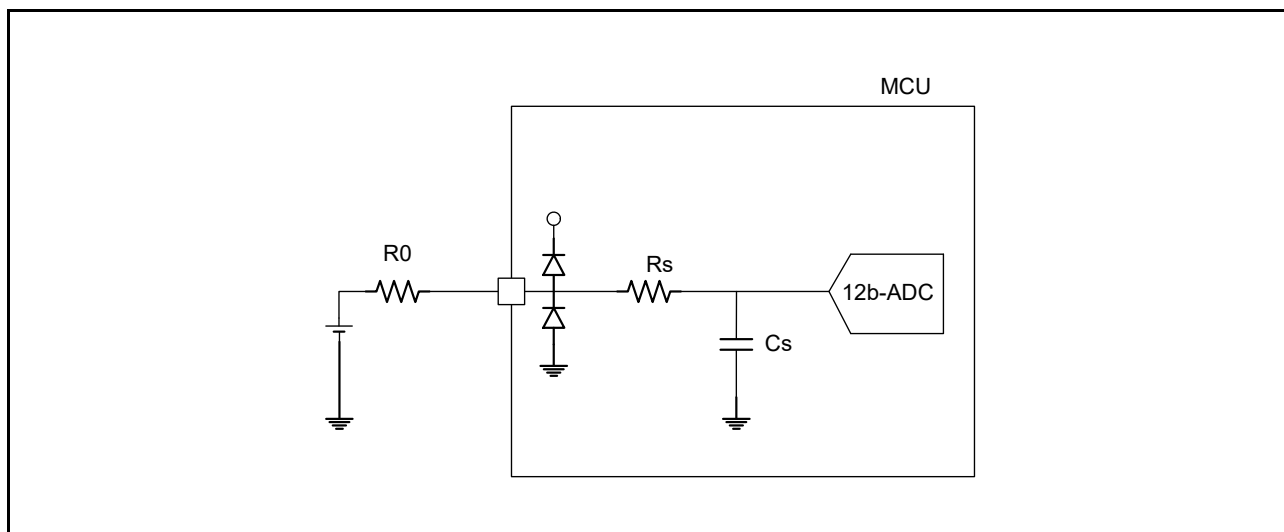


図 47.66 等価回路

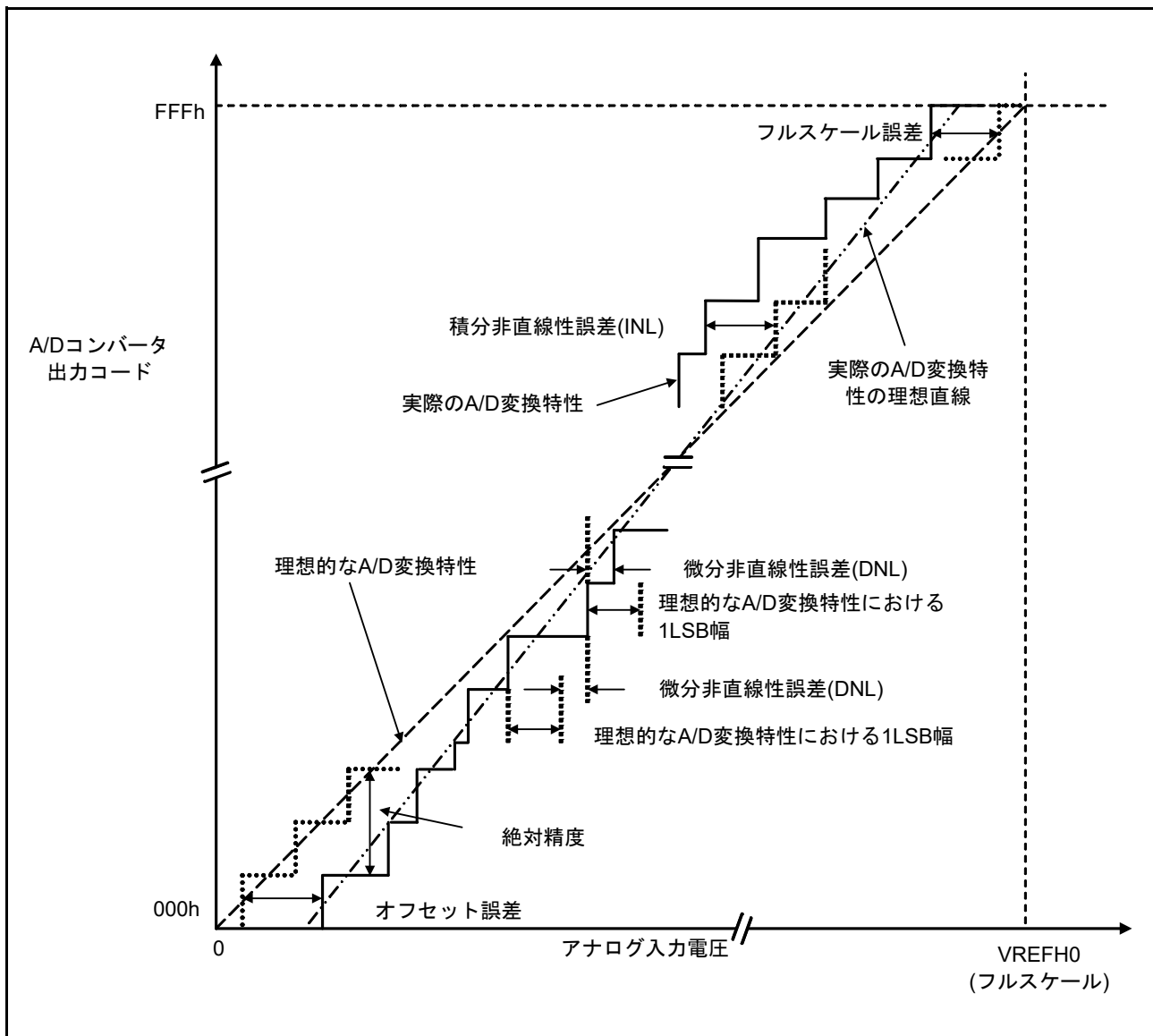


図 47.67 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧 (VREFH0 = 3.072V) の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

47.8 D/A 変換特性

表 47.73 D/A 変換特性

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	AVCC0 = 1.6 ~ 5.5V t_{DCONV}	—	—	3.0	μs	負荷容量 35pF
絶対精度	AVCC0 = 2.4 ~ 5.5V	—	—	± 3.0	LSB	負荷抵抗 2M Ω
	AVCC0 = 1.8 ~ 2.4V	—	—	± 3.5		
	AVCC0 = 1.6 ~ 1.8V	—	—	± 4.0		
	AVCC0 = 2.4 ~ 5.5V	—	—	± 2.0	LSB	負荷抵抗 4M Ω
	AVCC0 = 1.8 ~ 2.4V	—	—	± 2.5		
	AVCC0 = 1.6 ~ 1.8V	—	—	± 3.0		
RO出力抵抗	—	—	9.0	—	k Ω	

47.9 温度センサ特性

表47.74 温度センサ特性

条件：1.8V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4V以上
		—	±2.0	—		2.4V未満
温度傾斜	—	—	-3.3	—	mV/°C	
出力電位(25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	
サンプリング時間	—	5	—	—	μs	

47.10 コンパレータ特性

表47.75 コンパレータ特性

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
CVREFB0~CVREFB1入力基準電圧	VREF	0	—	VCC - 1.4	V	
CMPB0~CMPB1入力電圧	VI	0	—	VCC	V	
内部基準電圧(注1)	—	1.34	1.44	1.54	V	
オフセット	コンパレータ高速モード	—	—	50	mV	
	コンパレータ高速モード ウィンドウ機能有効	—	—	60	mV	
	コンパレータ低速モード	—	—	40	mV	
コンパレータ 出力遅延時間	コンパレータ高速モード	Td	—	1.2	μs	VCC = 3V、 入カスルーレート ≥ 50mV/μs
	コンパレータ高速モード ウィンドウ機能有効	Tdw	—	2.0	μs	
	コンパレータ低速モード	Td	—	9.0	μs	
高電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFH	—	0.76 × VCC	—	V	
低電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFL	—	0.24 × VCC	—	V	
動作安定待ち時間 (高速モード)	VCC = 1.6V ~ 5.5V	T _{cmp}	100	—	μs	
動作安定待ち時間 (低速モード)	VCC = 1.8V ~ 5.5V		100	—		
	VCC = 1.6V ~ 1.8V		1000	—		

注1. VCC < 1.8Vの場合、内部基準電圧は使用できません。

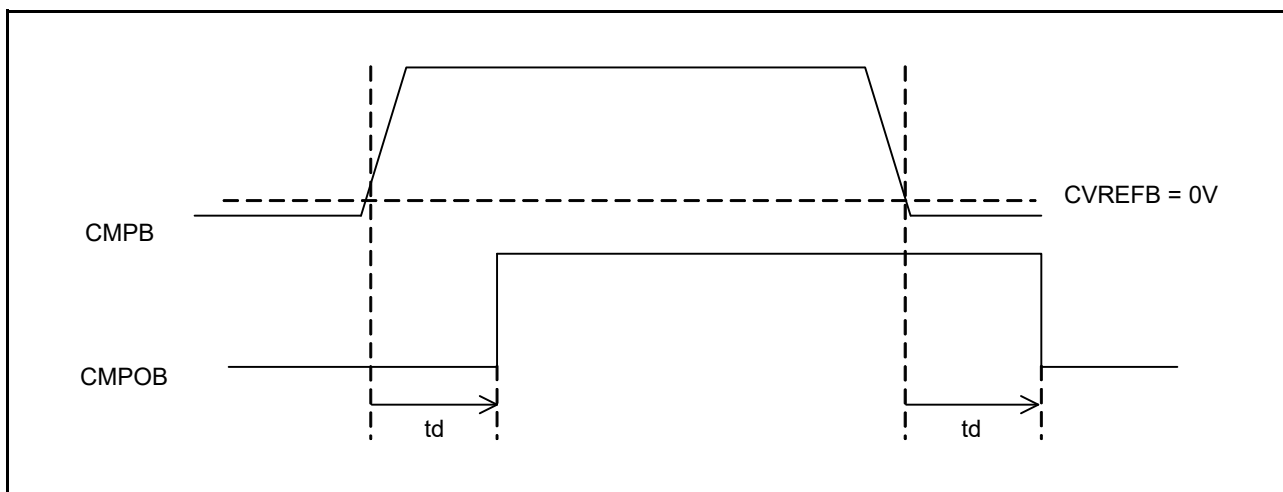


図 47.68 コンパレータ高速モード、低速モードのコンパレータ出力遅延時間

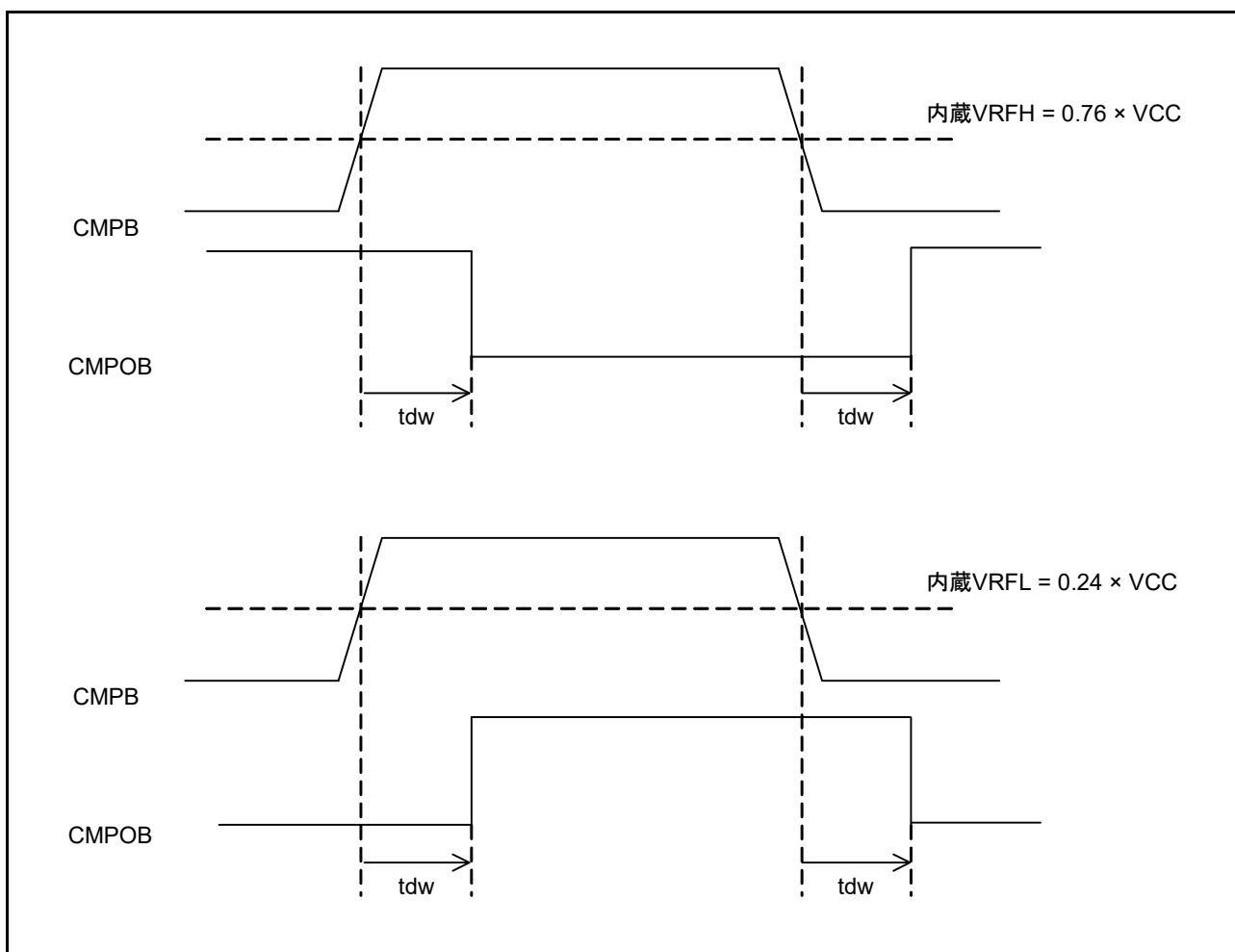


図 47.69 コンパレータ高速モードウィンドウ機能有効のコンパレータ出力遅延時間

47.11 CTSU 特性

表 47.76 CTSU 特性

条件 : $1.8V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
TSCAP端子外付け容量	C_{tscap}	9	10	11	nF	

47.12 パワーオンリセット回路、電圧検出回路特性

表47.77 パワーオンリセット回路、電圧検出回路特性(1)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.46	1.50	1.54	V	図47.70、図47.71
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.85	3.97	V	図47.72 VCC立ち下がり時
		V _{det0_1}	2.70	2.85	3.00		
		V _{det0_2}	2.37	2.53	2.67		
		V _{det0_3}	1.80	1.90	1.99		
		V _{det0_4}	1.60	1.69	1.80		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42	V	図47.73 VCC立ち下がり時
		V _{det1_1}	3.98	4.16	4.28		
		V _{det1_2}	3.86	4.03	4.16		
		V _{det1_3}	3.68	3.86	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.80	2.98		
		V _{det1_8}	2.57	2.68	2.87		
		V _{det1_9}	2.47	2.59	2.67		
		V _{det1_A}	2.37	2.48	2.57		
		V _{det1_B}	2.10	2.20	2.30		
		V _{det1_C}	1.86	1.96	2.06		
		V _{det1_D}	1.80	1.86	1.96		
V _{det1_E}		1.69	1.75	1.81			
V _{det1_F}	1.60	1.65	1.70				
電圧検出回路 (LVD2) (注3)	V _{det2_0}	4.08	4.32	4.48	V	図47.74 VCC立ち下がり時	
	V _{det2_1}	3.95	4.17	4.35			
	V _{det2_2}	3.82	4.03	4.22			
	V _{det2_3}	3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD2)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号Vdet0_nのnは、OFS1.VDSEL2, VDSEL[1:0]ビットの値です。

注2. 記号Vdet1_nのnは、LVDLVL.R.LVD1LVL[3:0]ビットの値です。

注3. 記号Vdet2_nのnは、LVDLVL.R.LVD2LVL[1:0]ビットの値です。

表 47.78 パワーオンリセット回路、電圧検出回路特性(2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	通常起動時(注1)	—	12.5	—	ms	図 47.71
	起動時間短縮時(注2)	—	5.0	—		
電圧監視0リセット解除後待機時間	t_{LVD0}	—	880	—	μs	図 47.72
電圧監視1リセット解除後待機時間	LVD0無効時(注4)	—	180	—	μs	図 47.73
	LVD0有効時(注5)	—	880	—	μs	
電圧監視2リセット解除後待機時間	LVD0無効時(注4)	—	180	—	μs	図 47.74
	LVD0有効時(注5)	—	880	—	μs	
POR応答遅延時間	t_{det}	—	—	500	μs	図 47.70
LVD0応答遅延時間		—	—	500	μs	図 47.70
LVD1応答遅延時間		—	—	360	μs	図 47.70
LVD2応答遅延時間		—	—	600	μs	図 47.70
POR/LVD0最小VCC低下時間(注3)	t_{VOFF}	500	—	—	μs	図 47.70、VCC = 1.0V以上
LVD1最小VCC低下時間(注3)		300	—	—	μs	図 47.70、VCC = 1.0V以上
LVD2最小VCC低下時間(注3)		600	—	—	μs	図 47.70、VCC = 1.0V以上
パワーオンリセット有効時間	$t_{W(POR)}$	1	—	—	ms	図 47.71、VCC = 1.0V未満
LVD1動作安定時間(LVD有効切り替え時)	$t_{d(E-A)}$	—	—	300	μs	図 47.73
LVD2動作安定時間(LVD有効切り替え時)	$t_{d(E-A)}$	—	—	1200	μs	図 47.74
ヒステリシス幅(パワーオンリセット(POR))	V_{PORH}	—	10	—	mV	
ヒステリシス幅(電圧検出回路(LVD0, LVD1, LVD2))	V_{LVH}	—	60	—	mV	Vdet0_0 ~ Vdet0_4 選択時
		—	110	—		Vdet1_0 ~ Vdet1_2 選択時
		—	70	—		Vdet1_3 ~ Vdet1_9 選択時
		—	60	—		Vdet1_A ~ Vdet1_B 選択時
		—	50	—		Vdet1_C ~ Vdet1_F 選択時
		—	90	—		LVD2 選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

注4. OFS1.LVDAS = 1bを設定した場合です。

注5. OFS1.LVDAS = 0bを設定した場合です。

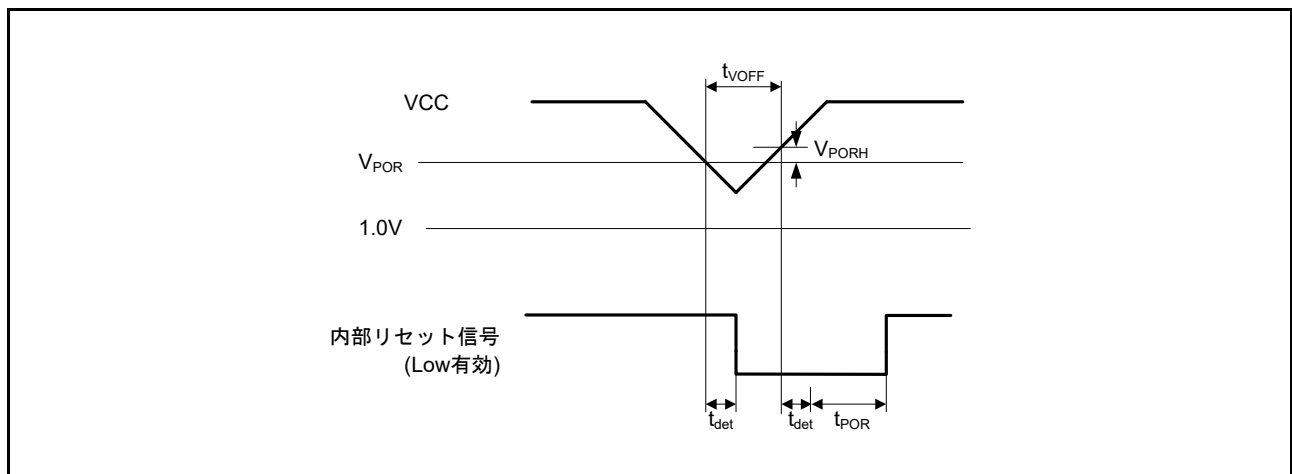


図 47.70 電圧検出リセットタイミング

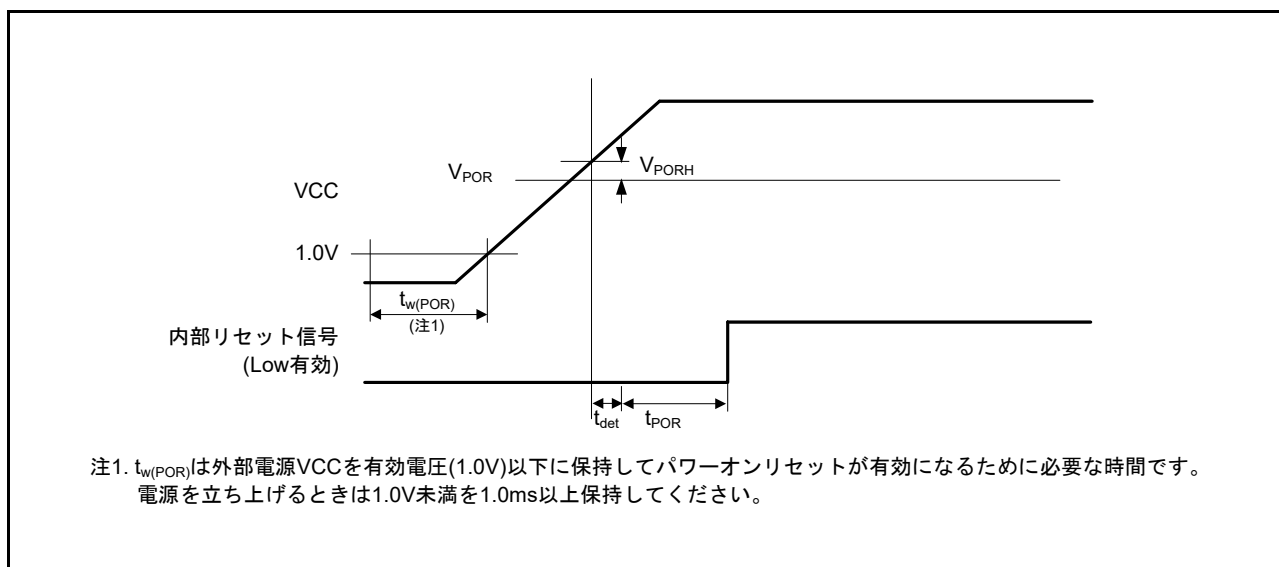
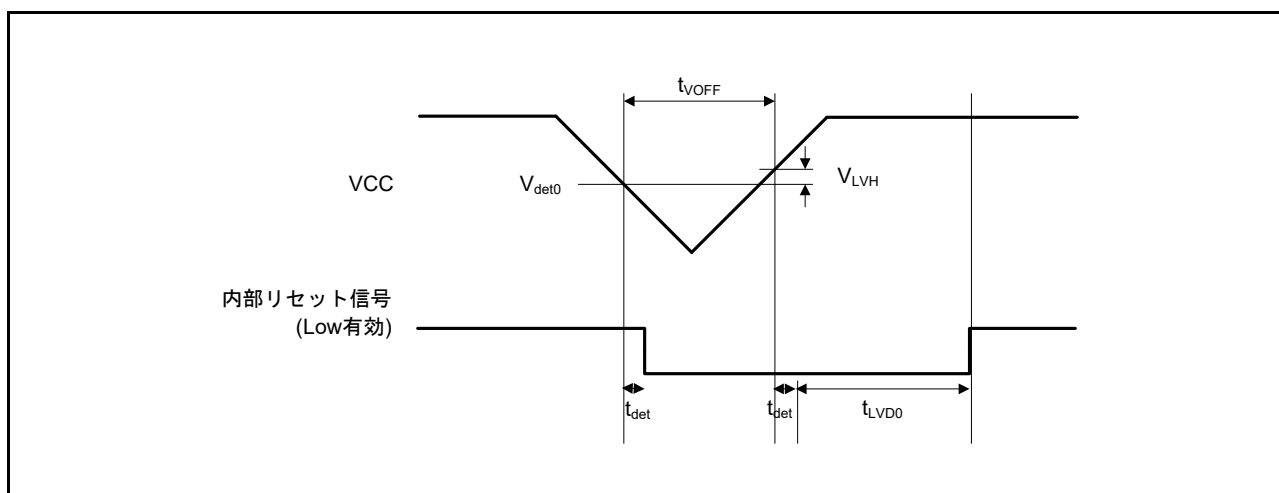


図 47.71 パワーオンリセットタイミング

図 47.72 電圧検出回路タイミング (V_{det0})

47.13 発振停止検出タイミング

表47.79 発振停止検出回路特性

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図47.75

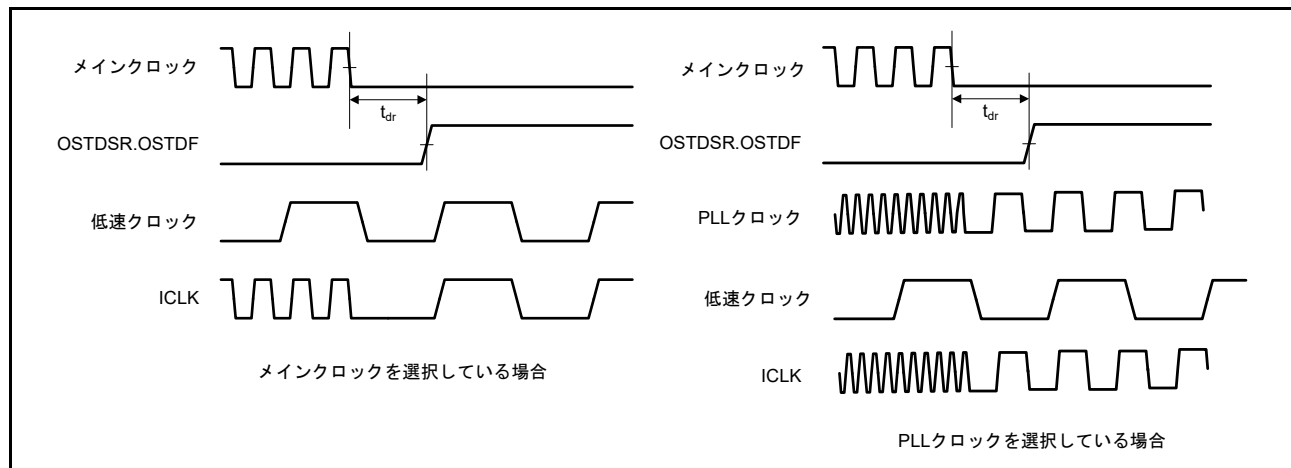


図 47.75 発振停止検出タイミング

47.14 ROM (コード格納用フラッシュメモリ) 特性

表47.80 ROM (コード格納用フラッシュメモリ)特性(1)

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル(注1)	N _{PEC}	1K	—	—	回	
データ保持時間 (注2、注3)	N _{PEC} 1K回後	t _{DRP}	20	—	年	T _a = +105°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n = 1K回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に8バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表47.81 ROM (コード格納用フラッシュメモリ)特性(2) 高速動作モード

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 48MHz(注1)			FCLK = 64MHz(注1)			単位	
		min	typ	max	min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{P8}	—	94	843.5	—	45.1	446.0	—	45.0	445.0	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.3	282.0	—	5.4	220.1	—	5.4	220.4	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t _{E512K}	—	807.1	17356.0	—	67.9	1651.9	—	70.6	1709.3	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t _{EA512K}	—	801.9	17140.5	—	62.7	1436.9	—	65.4	1494.3	ms
ブランク チェック時間	8バイト	t _{BC8}	—	—	45.0	—	—	8.7	—	—	8.6	μs
	2Kバイト	t _{BC2K}	—	—	1573	—	—	115	—	—	120	μs
イレーズ処理強制停止時間		t _{SED}	—	—	22.8	—	—	11.0	—	—	10.9	μs
スタートアップ領域入れ替え設定 時間		t _{SAS}	—	8.2	503.3	—	5.6	437.7	—	5.6	437.9	ms
アクセスウィンドウ設定時間		t _{AWS}	—	8.2	503.3	—	5.6	437.7	—	5.6	437.9	ms
ROMモード遷移待ち時間		t _{MS}	15	—	—	15	—	—	15	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

注1. 2.4V ≤ VCC ≤ 5.5V

表47.82 ROM (コード格納用フラッシュメモリ)特性(3) 中速動作モード
 条件: $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$
 プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +105^\circ C$

項目	記号	FCLK = 1MHz			FCLK = 24MHz(注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t_{P8}	—	94.0	843.5	—	45.7	450.7	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.3	282.0	—	5.4	220.2	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t_{E512K}	—	807.1	17356.0	—	67.9	1653.0	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t_{EA512K}	—	801.9	17140.5	—	62.7	1438.1	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	45	—	—	9	μs
	2Kバイト	t_{BC2K}	—	—	1573	—	—	115	μs
イレーズ処理強制停止時間		t_{SED}	—	—	22.8	—	—	11.2	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	8.2	503.3	—	5.6	437.7	ms
アクセスウィンドウ設定時間		t_{AWS}	—	8.2	503.3	—	5.6	437.7	ms
ROMモード遷移待ち時間		t_{MS}	15	—	—	15	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

注1. $2.4V \leq VCC \leq 5.5V$

表47.83 ROM (コード格納用フラッシュメモリ)特性(4) 中速動作モード2
 条件: $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$
 プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +105^\circ C$

項目	記号	FCLK = 1MHz			単位	
		min	typ	max		
プログラム時間	8バイト	t_{P8}	—	94.0	843.5	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.3	282.0	ms
	512Kバイト (ブロックイレーズコマンド 使用時)	t_{E512K}	—	807.1	17356.0	ms
	512Kバイト (全ブロックイレーズコマンド 使用時)	t_{EA512K}	—	801.9	17140.5	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	45	μs
	2Kバイト	t_{BC2K}	—	—	1573	μs
イレーズ処理強制停止時間		t_{SED}	—	—	22.8	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	8.2	503.3	ms
アクセスウィンドウ設定時間		t_{AWS}	—	8.2	503.3	ms
ROMモード遷移待ち時間		t_{MS}	15	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。

注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

47.15 E2 データフラッシュ (データ格納用フラッシュメモリ) 特性

表47.84 E2データフラッシュ特性(1)

項目	記号	min	typ	max	単位	条件	
再プログラム/イレーズサイクル(注1)	N _{DPEC}	100K	1000K	—	回		
データ保持時間	N _{DPEC} 10K回後	t _{DDRP}	20(注2、注3)	—	—	年	T _a = +105°C
	N _{DPEC} 100K回後		5(注2、注3)	—	—	年	
	N _{DPEC} 1000K回後	—	1(注2、注3)	—	—	年	T _a = +25°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n = 100K回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、256バイトのブロックについて、それぞれ異なる番地に1バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表47.85 E2データフラッシュ特性(2) 高速動作モード

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 48MHz			FCLK = 64MHz(注1)			単位	
		min	typ	max	min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	—	34.8	338.8	—	34.6	337.7	μs
イレーズ時間	256バイト	t _{DE256}	—	8.3	282.0	—	5.4	220.1	—	5.4	220.4	ms
	8Kバイト	t _{DE8K}	—	104.8	2331.4	—	12.4	368.0	—	12.7	375.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	—	—	8.7	—	—	8.6	μs
	256バイト	t _{DBC256}	—	—	1573	—	—	115	—	—	120	μs
イレーズ処理強制停止時間	t _{DSED}	—	—	22.8	—	—	11	—	—	10.9	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	250	—	—	250	—	—	250	—	—	ns	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

注1. 2.4V ≤ VCC ≤ 5.5V

表47.86 E2データフラッシュ特性(3) 中速動作モード

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 24MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	—	35.3	343.2	μs
イレーズ時間	256バイト	t _{DE256}	—	8.3	282.0	—	5.4	220.2	ms
	8Kバイト	t _{DE8K}	—	104.8	2331.4	—	12.4	368.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	—	—	9.0	μs
	256バイト	t _{DBC256}	—	—	1573	—	—	0.1	ms
イレーズ処理強制停止時間	t _{DSED}	—	—	22.8	—	—	11.2	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	250	—	—	250	—	—	ns	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表 47.87 E2データフラッシュ特性(4) 中速動作モード2
 条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目		記号	FCLK = 1MHz			単位
			min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	μs
イレーズ時間	256バイト	t _{DE256}	—	8.3	282.0	ms
	8Kバイト	t _{DE8K}	—	104.8	2331.4	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	μs
	256バイト	t _{DBC256}	—	—	1573	ms
イレーズ処理強制停止時間		t _{DSED}	—	—	22.8	μs
データフラッシュ STOP解除時間		t _{DSTOP}	250	—	—	ns

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。
 注. FCLKの周波数精度は±3.5%である必要があります。

47.16 使用上の注意事項

47.16.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサ接続方法を図 47.77 ~ 図 47.79 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μ F (推奨値) を使用してください。水晶発振関連のコンデンサについては「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「40. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

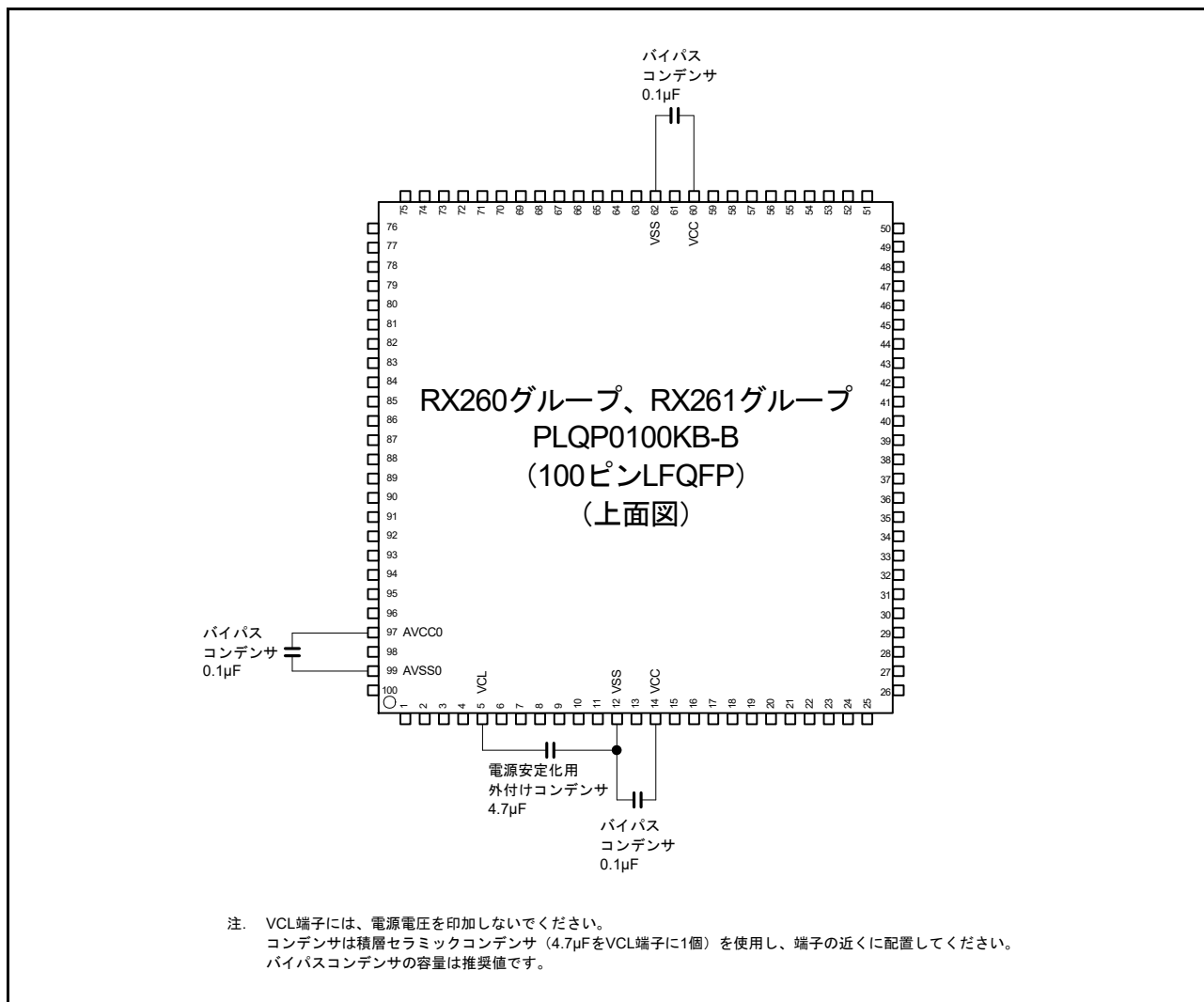


図 47.76 コンデンサ接続方法 (100ピン)

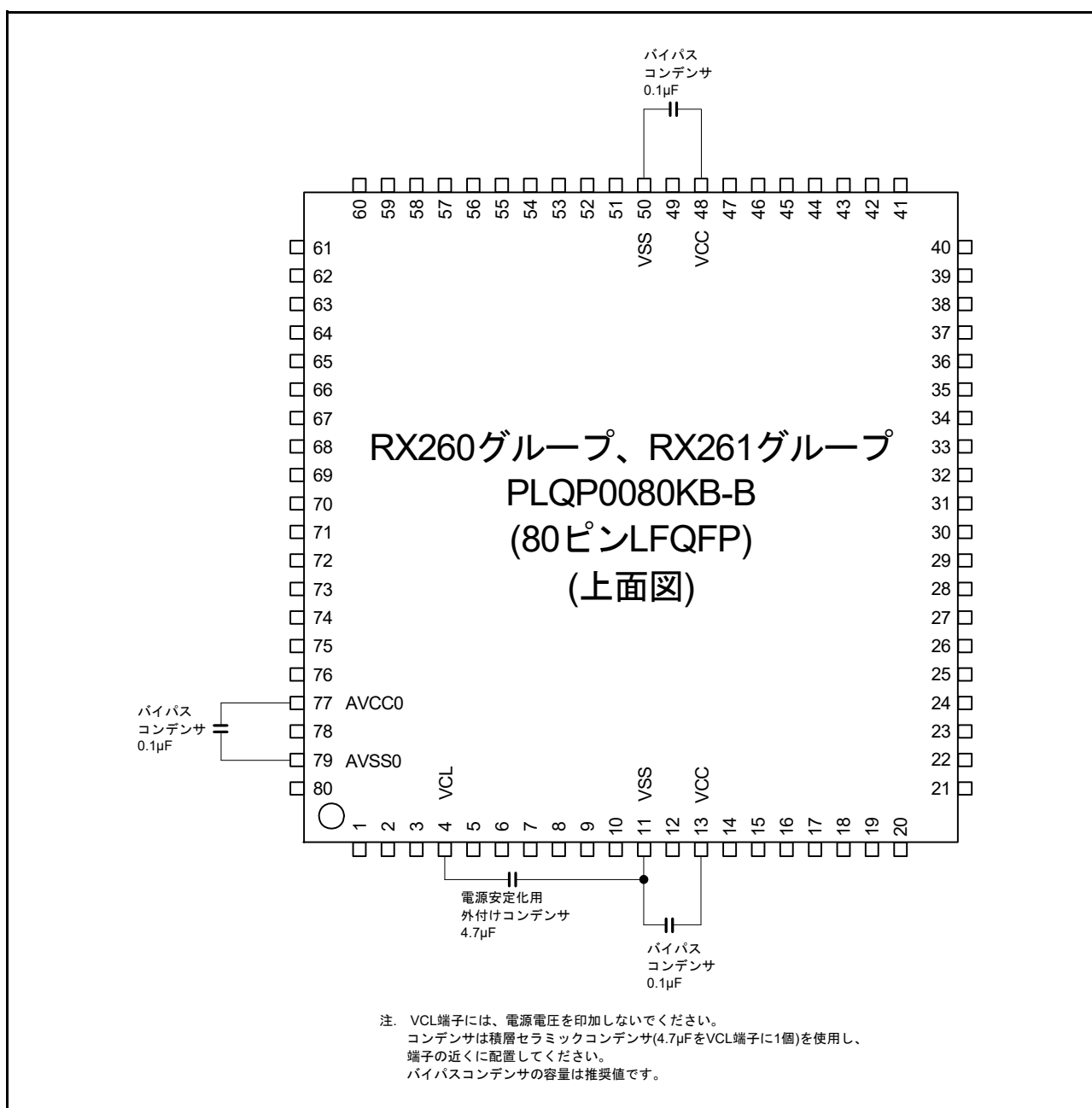


図 47.77 コンデンサ接続方法 (80ピン)

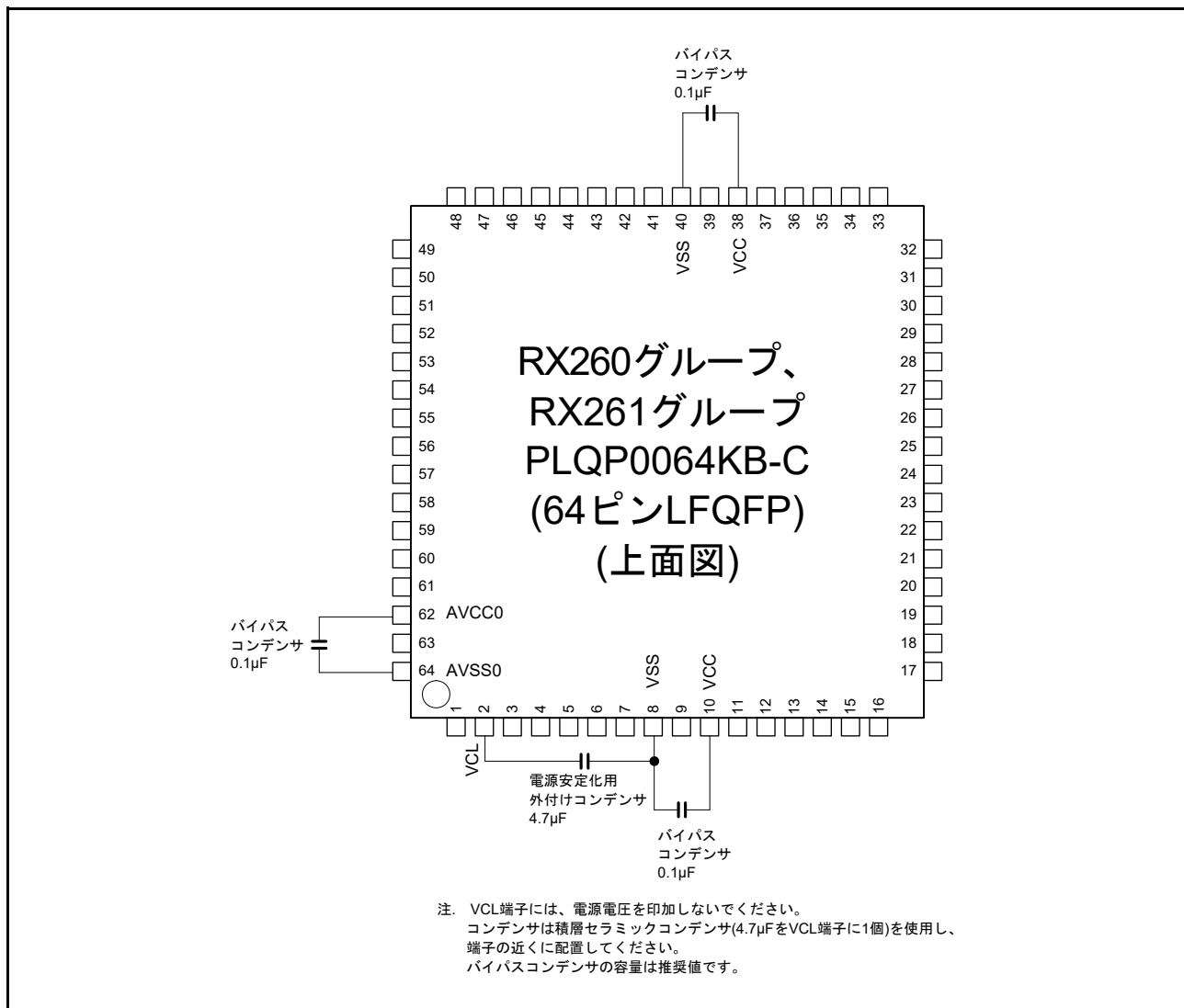


図 47.78 コンデンサ接続方法 (64 ピン)

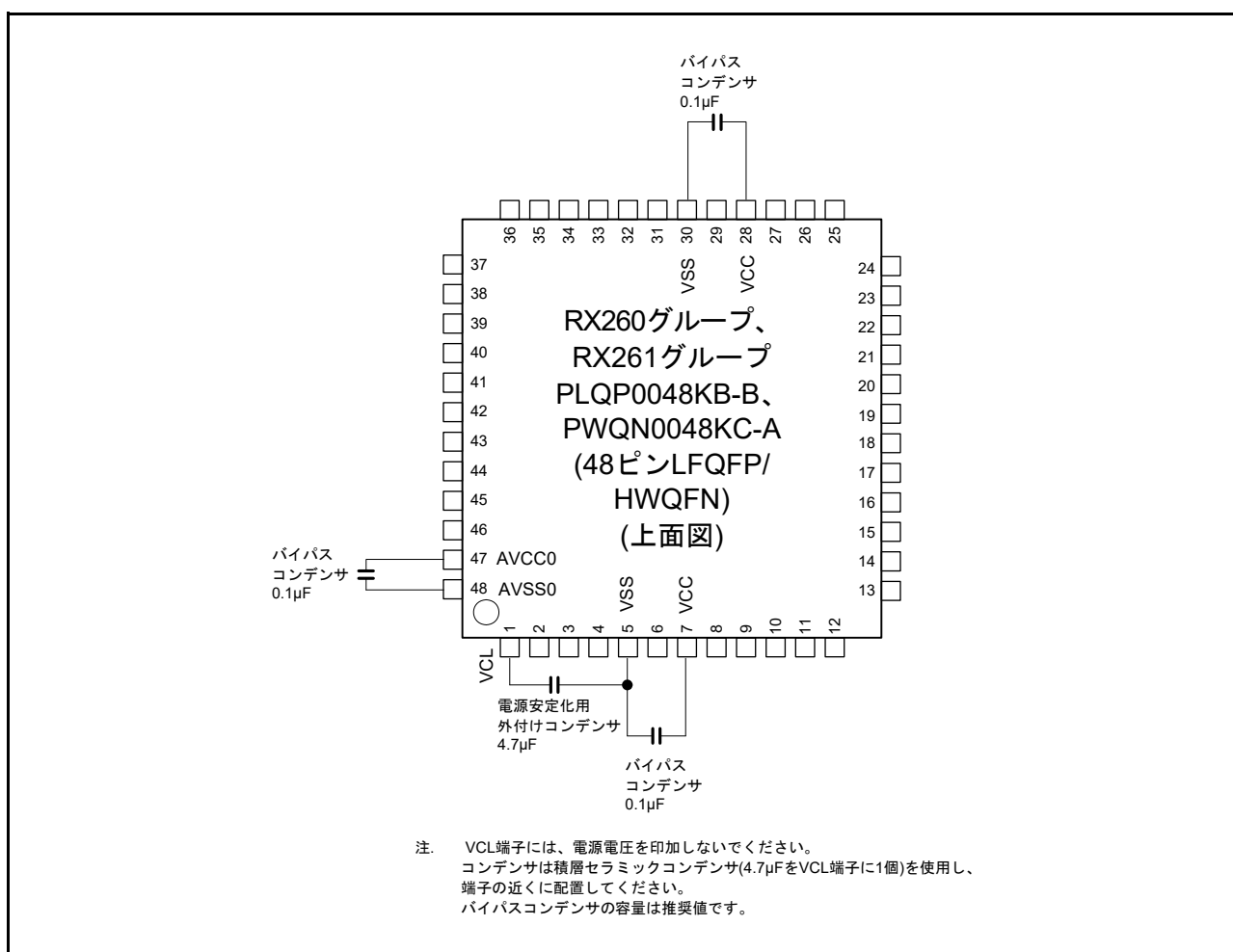


図 47.79 コンデンサ接続方法 (48 ピン)

付録1. 各処理状態におけるポートの状態

表 1.1 各処理状態におけるポートの状態 (1/2)

ポート名、端子名	リセット	ソフトウェアスタンバイモード	
P03 (DA0)	Hi-z	DA0出力時(DAOE0 = 1)	DA出力保持
		上記以外(DAOE0 = 0)	Keep-O
P05 (DA1)	Hi-z	DA1出力時(DAOE1 = 1)	DA出力保持
		上記以外(DAOE1 = 0)	Keep-O
P04, P06, P07	Hi-z	Keep-O	
P12 (IRQ2)	Hi-z	Keep-O(注1)	
P13 (IRQ3)	Hi-z	Keep-O(注1)	
P14 (IRQ4/USB0_OVRCURA)	Hi-z	Keep-O(注1、注2)	
P15 (IRQ5)	Hi-z	Keep-O(注1)	
P16 (IRQ6/RTCOUT/USB0_VBUS/ USB0_OVRCURB)	Hi-z	RTCOUT選択時	RTCOUT出力
		上記以外	Keep-O(注1、注2)
P17 (IRQ7)	Hi-z	Keep-O(注1)	
P20, P21, P23, P24	Hi-z	Keep-O	
P22 (USB0_OVRCURB)	Hi-z	Keep-O(注2)	
P26 (CLKOUT)	Hi-z	CLKOUT選択時	CLKOUT出力
		上記以外	Keep-O
P27	Hi-z	Keep-O	
P30 (IRQ0)	Hi-z	Keep-O(注1)	
P31 (IRQ1)	Hi-z	Keep-O(注1)	
P32 (IRQ2/RTCOUT)	Hi-z	RTCOUT選択時	RTCOUT出力
		上記以外	Keep-O(注1)
P33 (IRQ3)	Hi-z	Keep-O(注1)	
P34 (IRQ4)	Hi-z	Keep-O(注1)	
P35 (NMI)	Hi-z	Keep(注1)	
P36 (IRQ2)	Hi-z	Keep-O(注1)	
P37 (IRQ4)	Hi-z	Keep-O(注1)	
P40 ~ P47	Hi-z	Keep-O	
P50, P52, P54, P55	Hi-z	Keep-O	
P51, P53 (PMC0)	Hi-z	Keep-O(注3)	
PA0, PA1	Hi-z	Keep-O	
PA2 (RXD5)	Hi-z	Keep-O(注4)	
PA3 (IRQ6/RXD5)	Hi-z	Keep-O(注1、注4)	
PA4 (IRQ5)	Hi-z	Keep-O(注1)	
PA5 ~ PA7	Hi-z	Keep-O	
PB0	Hi-z	Keep-O	
PB1 (IRQ4/CMPOB1)	Hi-z	CMPOB1選択時	CMPOB1出力
		上記以外	Keep-O(注1)
PB2, PB4, PB6, PB7	Hi-z	Keep-O	
PB3 (PMC0)	Hi-z	Keep-O(注3)	
PB5 (USB0_VBUS)	Hi-z	Keep-O(注2)	
PC0, PC1, PC6, PC7	Hi-z	Keep-O	
PC2 (RXD5)	Hi-z	Keep-O(注4)	
PC3 ~ PC5 (PMC0)	Hi-z	Keep-O(注3)	

表 1.1 各処理状態におけるポートの状態 (2/2)

ポート名、端子名	リセット	ソフトウェアスタンバイモード	
PD0 (IRQ0)	Hi-z	Keep-O ^(注1)	
PD1 (IRQ1)	Hi-z	Keep-O ^(注1)	
PD2 (IRQ2)	Hi-z	Keep-O ^(注1)	
PD3 (IRQ3)	Hi-z	Keep-O ^(注1)	
PD4 (IRQ4)	Hi-z	Keep-O ^(注1)	
PD5 (IRQ5)	Hi-z	Keep-O ^(注1)	
PD6 (IRQ6)	Hi-z	Keep-O ^(注1)	
PD7 (IRQ7)	Hi-z	Keep-O ^(注1)	
PE0, PE1	Hi-z	Keep-O	
PE2 (IRQ7)	Hi-z	Keep-O ^(注1)	
PE3, PE4 (CLKOUT)	Hi-z	CLKOUT 選択時	CLKOUT 出力
		上記以外	Keep-O
PE5 (IRQ5/CMPOB0)	Hi-z	CMPOB0 選択時	CMPOB0 出力
		上記以外	Keep-O ^(注1)
PE6 (IRQ6)	Hi-z	Keep-O ^(注1)	
PE7 (IRQ7)	Hi-z	Keep-O ^(注1)	
PH0	Hi-z	Keep-O	
PG7/MD	Pullup	Keep-O	
PH1 (IRQ0)	Hi-z	Keep-O ^(注1)	
PH2 (IRQ1)	Hi-z	Keep-O ^(注1)	
PH3	Hi-z	Keep-O	
PH6/XCOUT	Hi-z	サブクロック 選択時	XCOUT 出力
		上記以外	Hi-z
PH7/XCIN	Hi-z	サブクロック 選択時	XCIN 入力
		上記以外	Hi-z
PJ1, PJ3, PJ6, PJ7	Hi-z	Keep-O	

H : High レベル

L : Low レベル

Keep-O: 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイモードでの端子状態を保持 (プルアップ、オープンドレイン設定も保持されます)

Hi-z : ハイインピーダンス

注1. 外部端子割り込みとして使用時は、ソフトウェアスタンバイモード解除要因として設定されている場合、入力できます。

注2. USB端子(USB0_VBUS, USB0_OVRCURA, USB0_OVRCURB)として使用時は入力できます。

注3. REMC外部パルス信号入力端子として使用時は、ソフトウェアスタンバイモードでも入力できます。

注4. SCI5のRXD端子として使用時は、ソフトウェアスタンバイモードでも入力できます。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

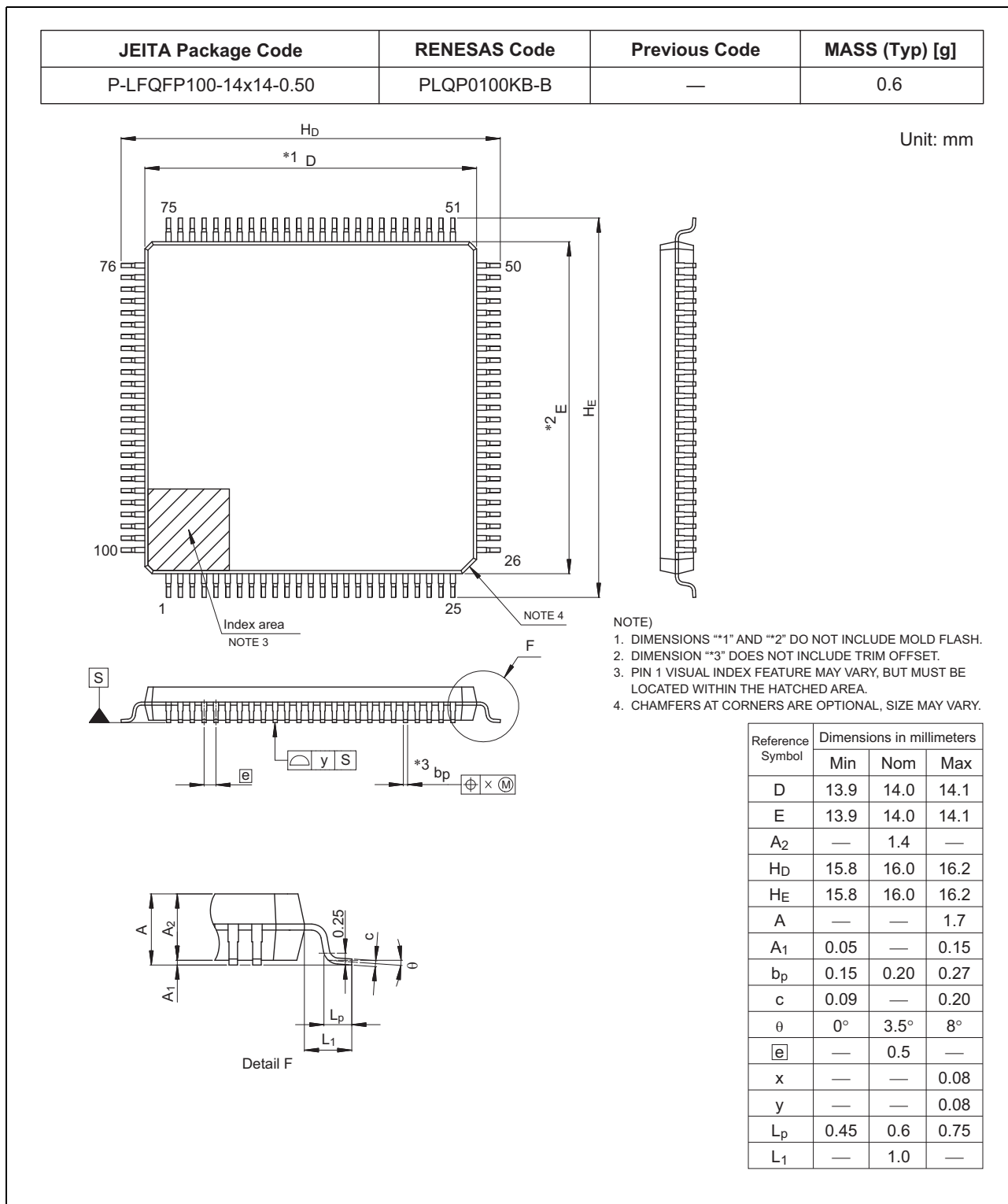
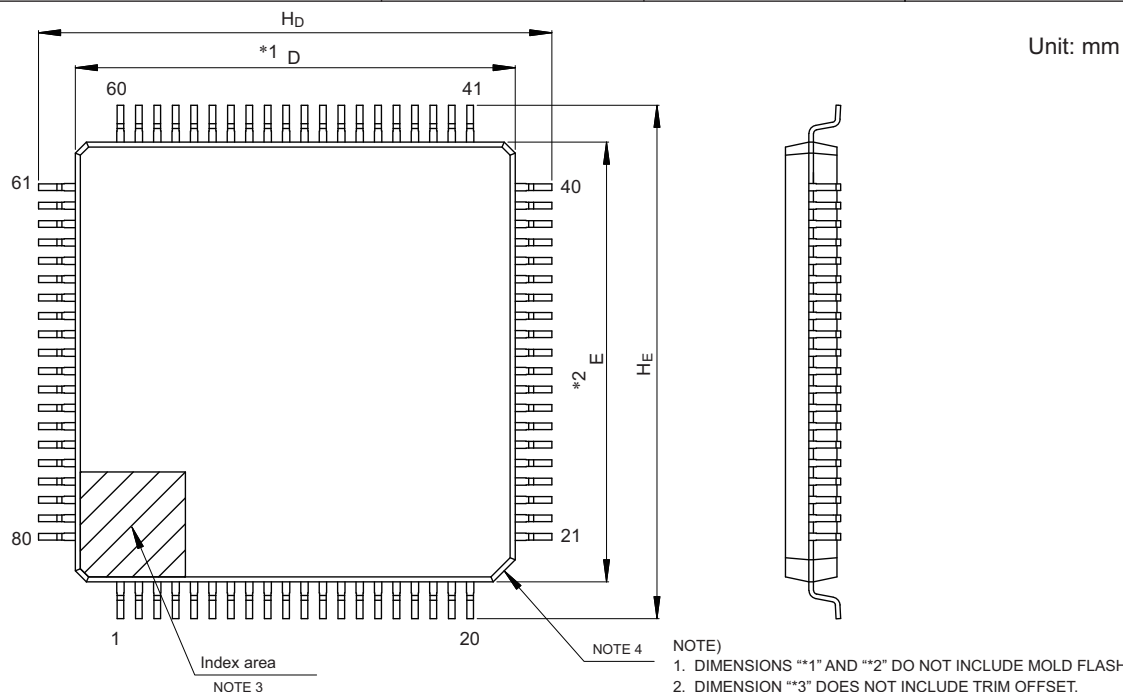
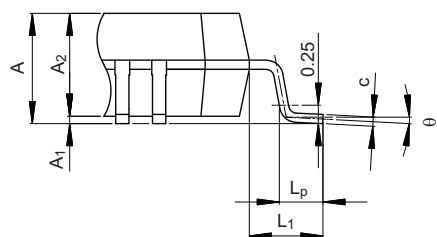
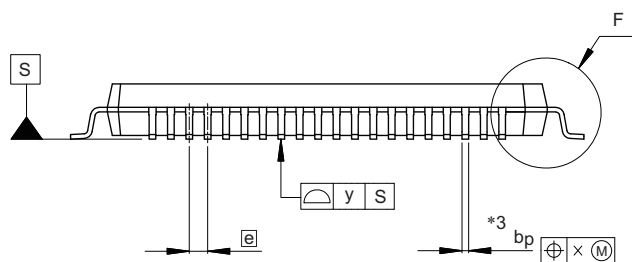


図 A. 100 ピン LFQFP (PLQP0100KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



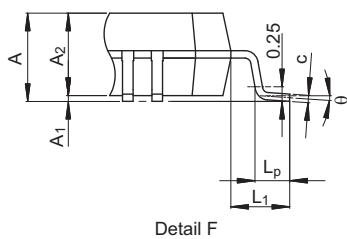
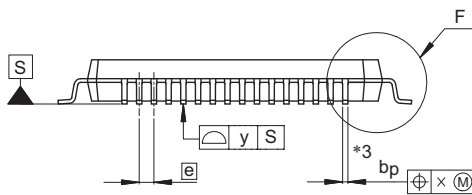
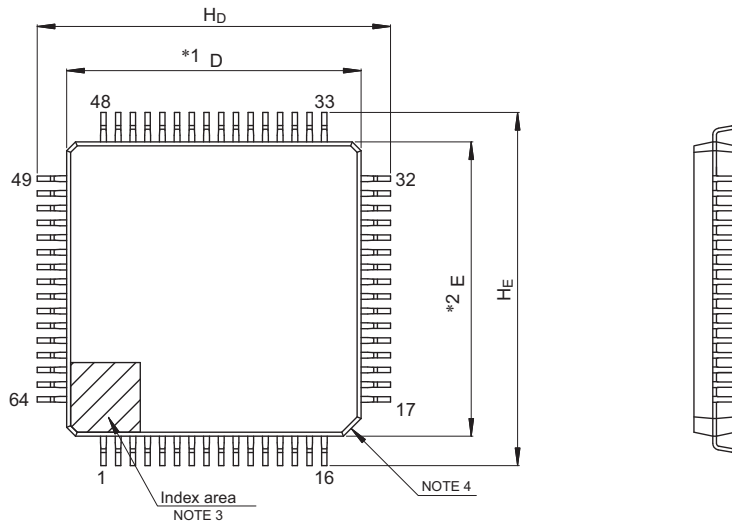
Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
ⓔ	—	0.5	—
x	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 B. 80ピンLFQFP (PLQP0080KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

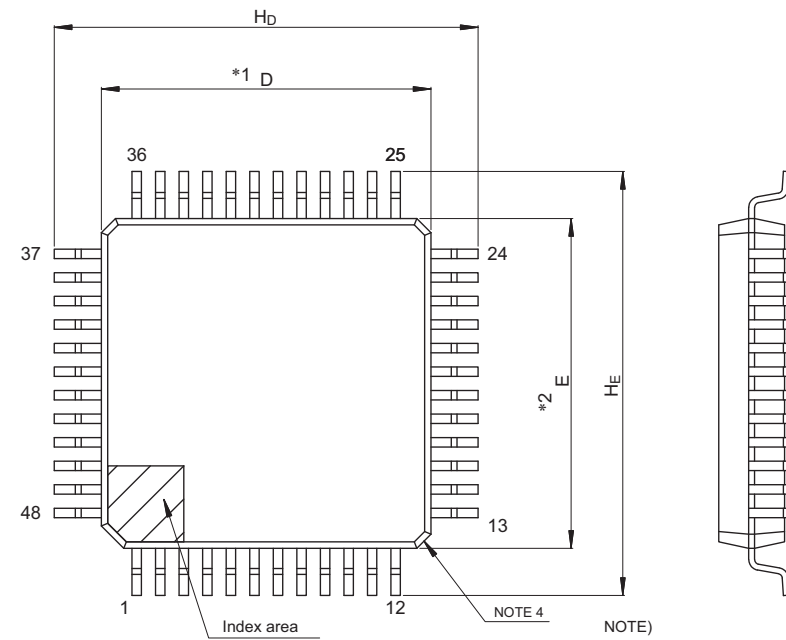
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

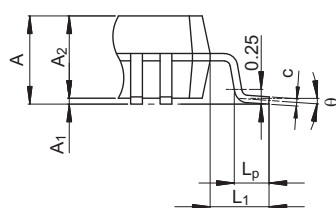
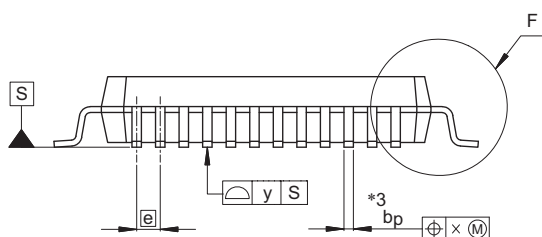
図 C. 64ピン LFQFP (PLQP0064KB-C)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



- NOTE)
1. DIMENSIONS "**1" AND "**2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION "**3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

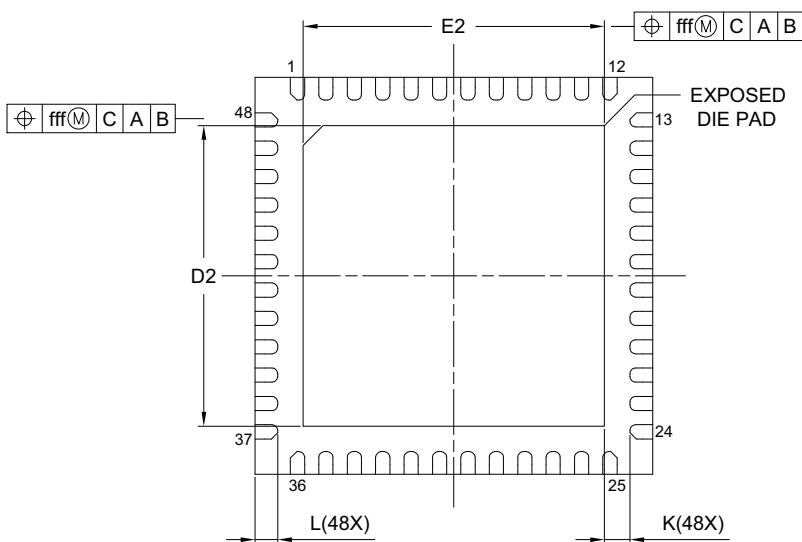
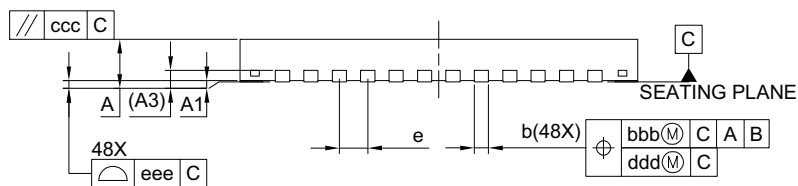
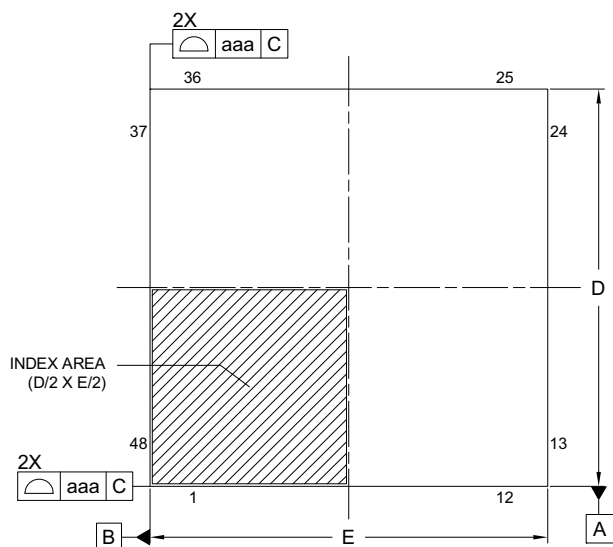


Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 D. 48ピン LFQFP (PLQP0048KB-B)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.25	5.30	5.35
E ₂	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 E. 48ピン HWQFN (PWQN0048KC-A)

改訂記録	RX260グループ、RX261グループ ユーザーズマニュアル ハードウェア編
------	---

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2024.07.31	—	初版発行	

RX260グループ、RX261グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2024年7月31日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

RX260 グループ、RX261 グループ