User's Manual

32

RX62N グループ、RX621 グループ

ユーザーズマニュアル　ハードウェア編

ルネサス 32 ビットマイクロコンピュータ

RX ファミリ／RX600 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.40　2014.07

ご注意書き

1．　本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。

2．　本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。

3．　本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。

4．　当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。

5．　当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
各品質水準は、以下に示す用途に製品が使用されることを意図しております。

　　標準水準：　　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
　　家電、工作機械、パーソナル機器、産業用ロボット等

　　高品質水準：　　輸送機器（自動車、電車、船舶等）、交通用信号機器、
　　防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）　、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。

6．　当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。

7．　当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。

8．　当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。

9．　本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。

10.　お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。

11.　本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1.　本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理
   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。
   CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。
2. 電源投入時の処置
   【注意】電源投入時は，製品の状態は不定です。
   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。
   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。
   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. リザーブアドレス（予約領域）のアクセス禁止
   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。
   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
4. クロックについて
   【注意】リセット時は、クロックが安定した後、リセットを解除してください。
   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。
   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
5. 製品間の相違について
   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。
   同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX62N グループ、RX621 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。
最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
ショートシート	ハードウェアの概要	—	—
データシート	ハードウェアの概要と電気的特性	RX62N グループ、RX621 グループ データシート	R01DS0052JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX62N グループ、RX621 グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RX ファミリ ユーザーズマニュアル ソフトウェア編	R01US0032JJ
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS THCHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2.　レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X　　••••レジスタ

アドレス　xxxx xxxxh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	••••[1:0]		••••4	—	—	—	••••0
リセット後の値	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	••••0	・・・・ビット	0：・・・・・・ 1：設定しないでください (3)	R/W (1)
b3-b1	—	予約ビット (2)	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	••••4	・・・・ビット	0：・・・・・・ 1：・・・・・・	R
b6-b5	••••[1:0]	・・・・ビット	0 0：・・・・・・ 0 1：・・・・・・ 上記以外は設定しないでください (3)	R/(W) （注1）
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

（1）　R/W　　：読み出し/書き込みともに有効です。
　　R/(W)　：読み出し/書き込みともに有効ですが、書き込みには制限があります。
　　制限の内容については、各レジスタの説明や注記を参照ください。
　　R　　：読み出しのみ有効です。書き込みは無効になります。

（2）　予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。

（3）　設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電気的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

特長 43

1. 概要 44

1.1 仕様概要 44

1.2 製品一覧 49

1.3 ブロック図 51

1.4 ピン配置図 52

1.5 端子機能 82

2. CPU 88

2.1 特長 88

2.2 CPU レジスタセット 89

2.2.1 汎用レジスタ（R0 ～ R15） 90

2.2.2 制御レジスタ 90

2.2.2.1 割り込みスタックポインタ（ISP）／ユーザスタックポインタ（USP） 91

2.2.2.2 割り込みテーブルレジスタ（INTB） 91

2.2.2.3 プログラムカウンタ（PC） 91

2.2.2.4 プロセッサステータスワード（PSW） 92

2.2.2.5 バックアップ PC（BPC） 94

2.2.2.6 バックアップ PSW（BPSW） 94

2.2.2.7 高速割り込みベクタレジスタ（FINTV） 94

2.2.2.8 浮動小数点ステータスワード（FPSW） 95

2.2.3 アキュムレータ（ACC） 97

2.3 プロセッサモード 98

2.3.1 スーパバイザモード 98

2.3.2 ユーザモード 98

2.3.3 特権命令 98

2.3.4 プロセッサモード間の移行 98

2.4 データタイプ 99

2.4.1 整数 99

2.4.2 浮動小数点数 99

2.4.3 ビット 100

2.4.4 ストリング 100

2.5 エンディアン 101

2.5.1 エンディアンの設定 101

2.5.2 I/O レジスタアクセス 105

2.5.3 I/O レジスタアクセスの注意事項 105

2.5.4 データ配置 106

2.5.4.1 レジスタのデータ配置 106

2.5.4.2 メモリ上のデータ配置 106

2.5.5 命令コード配置の注意事項 107

2.6 ベクタテーブル 107

2.6.1 固定ベクタテーブル 107

2.6.2 可変ベクタテーブル 108
2.7 命令動作 109
2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ 109
2.8 パイプライン 110
2.8.1 概要 110
2.8.2 命令とパイプライン処理 112
2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理 112
2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理 114
2.8.2.3 パイプラインの基本動作 117
2.8.3 命令処理時間の計算方法 119
2.8.4 割り込み応答サイクル数 119
3. 動作モード 120
3.1 動作モードの種類と選択 120
3.2 レジスタの説明 121
3.2.1 モードモニタレジスタ（MDMONR） 122
3.2.2 モードステータスレジスタ（MDSR） 123
3.2.3 システムコントロールレジスタ 0（SYSCR0） 124
3.2.4 システムコントロールレジスタ 1（SYSCR1） 125
3.3 動作モードの説明 126
3.3.1 シングルチップモード 126
3.3.2 内蔵 ROM 有効拡張モード 126
3.3.3 内蔵 ROM 無効拡張モード 126
3.3.4 ブートモード 126
3.3.5 USB ブートモード 126
3.4 動作モードの移行 127
3.4.1 モード端子による動作モードの移行 127
3.4.2 レジスタによる動作モードの移行 128
4. アドレス空間 129
4.1 アドレス空間 129
4.2 外部アドレス空間 130
5. I/O レジスタ 131
5.1 I/O レジスタアドレス一覧（アドレス順） 133
5.2 I/O レジスタビット一覧 176
6. リセット 225
6.1 概要 225
6.2 レジスタの説明 228
6.2.1 リセットステータスレジスタ（RSTSR） 228
6.2.2 リセットコントロール／ステータスレジスタ（RSTCSR） 228
6.2.3 IWDT ステータスレジスタ（IWDTSR） 228
6.3 動作説明 229

6.3.1 端子リセット 229
6.3.2 パワーオンリセット 230
6.3.3 電圧監視リセット 231
6.3.4 ディープソフトウェアスタンバイリセット 231
6.3.5 独立ウォッチドッグタイマリセット 231
6.3.6 ウォッチドッグタイマリセット 231
6.4 リセット発生要因の判定 232
6.5 使用上の注意事項 232
6.5.1 ボード設計上の注意 232
7. 電圧検出回路（LVD） 233
7.1 概要 233
7.2 レジスタの説明 235
7.2.1 リセットステータスレジスタ（RSTSR） 236
7.2.2 低電圧検出コントロールレジスタ用キーコードレジスタ（LVDKEYR） 236
7.2.3 低電圧検出コントロールレジスタ（LVDCR） 237
7.3 電圧検出回路 238
7.3.1 電圧監視リセット 238
7.3.2 電圧監視割り込み 241
7.3.3 電圧検出回路によるディープソフトウェアスタンバイモードの解除 244
8. クロック発生回路 245
8.1 概要 245
8.2 レジスタの説明 247
8.2.1 システムクロックコントロールレジスタ（SCKCR） 248
8.2.2 外部バスクロックコントロールレジスタ（BCKCR） 250
8.2.3 発振停止検出コントロールレジスタ（OSTDCR） 251
8.2.4 サブクロック発振器コントロールレジスタ（SUBOSCCR） 252
8.3 メインクロック発振器 253
8.3.1 水晶発振子を接続する方法 253
8.3.2 外部クロックを入力する方法 254
8.4 サブクロック発振器 255
8.4.1 32.768kHz 水晶発振子を接続する方法 255
8.4.2 サブクロックを使用しない場合の端子処理 255
8.5 オンチップオシレータ 256
8.6 発振停止検出回路 256
8.7 内部発振回路 256
8.8 PLL 回路 256
8.9 分周器 256
8.10 内部クロック 257
8.10.1 システムクロック（ICLK） 257
8.10.2 周辺モジュールクロック（PCLK） 257
8.10.3 外部バスクロック（BCLK） 257

8.10.4 SDRAM クロック（SDCLK）..... 258
8.10.5 USB 専用クロック（UCLK）..... 258
8.10.6 RTC 専用クロック（SUBCLK）..... 258
8.10.7 オンチップオシレータクロック（IWDTCLK）..... 258
8.11 発振停止検出機能..... 259
8.11.1 発振停止検出と検出後の動作..... 259
8.11.2 発振停止検出割り込み..... 260
8.11.3 ディープソフトウェアスタンバイ解除に関する注意事項..... 260
8.12 使用上の注意事項..... 261
8.12.1 クロック発生回路に関する注意事項..... 261
8.12.2 発振子に関する注意事項..... 262
8.12.3 ボード設計上の注意..... 262
9. 消費電力低減機能..... 263
9.1 概要..... 263
9.2 レジスタの説明..... 266
9.2.1 スタンバイコントロールレジスタ（SBYCR）..... 267
9.2.2 モジュールストップコントロールレジスタ A（MSTPCRA）..... 269
9.2.3 モジュールストップコントロールレジスタ B（MSTPCRB）..... 271
9.2.4 モジュールストップコントロールレジスタ C（MSTPCRC）..... 273
9.2.5 ディープスタンバイコントロールレジスタ（DPSBYCR）..... 274
9.2.6 ディープスタンバイウェイトコントロールレジスタ（DPSWCR）..... 276
9.2.7 ディープスタンバイインタラプトイネーブルレジスタ（DPSIER）..... 277
9.2.8 ディープスタンバイインタラプトフラグレジスタ（DPSIFR）..... 278
9.2.9 ディープスタンバイインタラプトエッジレジスタ（DPSIEGR）..... 280
9.2.10 リセットステータスレジスタ（RSTSR）..... 281
9.2.11 ディープスタンバイバックアップレジスタ（DPSBKRy）（y = 0 ～ 31）..... 283
9.3 マルチクロック機能..... 284
9.4 モジュールストップ機能..... 284
9.5 低消費電力状態..... 285
9.5.1 スリープモード..... 285
9.5.1.1 スリープモードへの移行..... 285
9.5.1.2 スリープモードの解除..... 285
9.5.2 全モジュールクロックストップモード..... 286
9.5.2.1 全モジュールクロックストップモードへの移行..... 286
9.5.2.2 全モジュールクロックストップモードの解除..... 286
9.5.3 ソフトウェアスタンバイモード..... 287
9.5.3.1 ソフトウェアスタンバイモードへの移行..... 287
9.5.3.2 ソフトウェアスタンバイモードの解除..... 288
9.5.3.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定..... 289
9.5.3.4 ソフトウェアスタンバイモードの応用例..... 290
9.5.4 ディープソフトウェアスタンバイモード..... 291

9.5.4.1 ディープソフトウェアスタンバイモードへの移行 291
9.5.4.2 ディープソフトウェアスタンバイモードの解除 292
9.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態 293
9.5.4.4 ディープソフトウェアスタンバイモード解除後の発振安定時間の設定 294
9.5.4.5 USB によるディープソフトウェアスタンバイモードの解除 295
9.5.4.6 ディープソフトウェアスタンバイモードの応用例 296
9.5.4.7 ディープソフトウェアスタンバイモードのフローチャート 297
9.6 BCLK、SDCLK 出力制御 298
9.7 使用上の注意事項 299
9.7.1 I/O ポートの状態 299
9.7.2 DMACA、DTC、EXDMAC、および EDMAC のモジュールストップ 299
9.7.3 内蔵周辺モジュールの割り込み 299
9.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み 299
9.7.5 DIRQnE ビット (n =3 ～ 0) による入力バッファ制御 299
9.7.6 ディープソフトウェアスタンバイモードの移行と割り込みの競合 299
9.7.7 WAIT 命令の実行タイミング 299
10. 例外処理 300
10.1 例外事象 300
10.1.1 未定義命令例外 301
10.1.2 特権命令例外 301
10.1.3 アクセス例外 301
10.1.4 浮動小数点例外 301
10.1.5 リセット 301
10.1.6 ノンマスカブル割り込み 301
10.1.7 割り込み 301
10.1.8 無条件トラップ 301
10.2 例外の処理手順 302
10.3 例外事象の受け付け 304
10.3.1 受け付けタイミングと保存される PC 値 304
10.3.2 ベクタと PC、PSW の退避場所 304
10.4 例外の受け付け／復帰時のハードウェア処理 305
10.5 ハードウェア前処理 306
10.5.1 未定義命令例外 306
10.5.2 特権命令例外 306
10.5.3 アクセス例外 306
10.5.4 浮動小数点例外 306
10.5.5 リセット 307
10.5.6 ノンマスカブル割り込み 307
10.5.7 割り込み 307
10.5.8 無条件トラップ 307
10.6 例外処理ルーチンからの復帰 308

10.7 例外事象の優先順位 308
11. 割り込みコントローラ（ICUa） 309
11.1 概要 309
11.2 レジスタの説明 311
11.2.1 割り込み要求レジスタ i（IRi）（ i = 割り込みベクタ番号） 321
11.2.2 割り込み要求許可レジスタ m（IERm）（m = 02h ～ 1Fh） 322
11.2.3 割り込み要因プライオリティレジスタ m（IPRm）（m= 00h~8Fh） 323
11.2.4 高速割り込み設定レジスタ（FIR） 324
11.2.5 ソフトウェア割り込み起動レジスタ（SWINTR） 325
11.2.6 DTC 起動許可レジスタ n（DTCERn）（n = 割り込みベクタ番号） 326
11.2.7 DMACA 起動要因選択レジスタ n（DMRSRn）（n = DMACA チャネル番号） 327
11.2.8 IRQ コントロールレジスタ n（IRQCRn）（n =0 ～ 15） 328
11.2.9 ノンマスカブル割り込みステータスレジスタ（NMISR） 329
11.2.10 ノンマスカブル割り込み許可レジスタ（NMIER） 330
11.2.11 ノンマスカブル割り込みクリアレジスタ（NMICLR） 331
11.2.12 NMI 端子割り込みコントロールレジスタ（NMICR） 332
11.3 ベクタテーブル 333
11.3.1 割り込みのベクタテーブル 333
11.3.2 高速割り込みのベクタテーブル 338
11.3.3 ノンマスカブル割り込みのベクタテーブル 338
11.4 割り込みの動作説明 339
11.4.1 割り込み検出 339
11.4.1.1 エッジ検出の割り込みステータスフラグ 339
11.4.1.2 レベル検出の割り込みステータスフラグ 340
11.4.2 割り込み要求の許可／禁止 341
11.4.3 割り込み要求先の選択 342
11.4.4 優先順位の判定 344
11.4.5 多重割り込み 344
11.4.6 高速割り込み 344
11.4.7 外部端子割り込み 345
11.5 ノンマスカブル割り込みの動作説明 345
11.6 低消費電力状態からの復帰 346
11.6.1 スリープモードからの復帰 346
11.6.2 全モジュールクロックストップモードからの復帰 346
11.6.3 ソフトウェアスタンバイモードからの復帰 346
11.7 使用上の注意事項 347
11.7.1 DTC/DMACA 転送を使用した通信動作の注意事項 347
12. バス 350
12.1 概要 350
12.2 バスの説明 353
12.2.1 CPU バス 353

12.2.2 メモリバス 353
12.2.3 内部メインバス 354
12.2.4 内部周辺バス 354
12.2.5 外部バス 355
12.2.6 並列動作 357
12.2.7 制約事項 357
12.3 レジスタの説明 358
12.3.1 CSn 制御レジスタ（CSnCR）（n = 0 ～ 7） 360
12.3.2 CSn リカバリサイクル設定レジスタ（CSnREC）（n = 0 ～ 7） 361
12.3.3 CSn モードレジスタ（CSnMOD）（n = 0 ～ 7） 363
12.3.4 CSn ウェイト制御レジスタ 1（CSnWCR1）（n = 0 ～ 7） 365
12.3.5 CSn ウェイト制御レジスタ 2（CSnWCR2）（n = 0 ～ 7） 368
12.3.6 SDC 制御レジスタ（SDCCR） 371
12.3.7 SDC モードレジスタ（SDCMOD） 372
12.3.8 SDRAM アクセスモードレジスタ（SDAMOD） 373
12.3.9 SDRAM セルフリフレッシュ制御レジスタ（SDSELF） 374
12.3.10 SDRAM リフレッシュ制御レジスタ（SDRFCR） 375
12.3.11 SDRAM オートリフレッシュ制御レジスタ（SDRFEN） 377
12.3.12 SDRAM 初期化シーケンス制御レジスタ（SDICR） 378
12.3.13 SDRAM 初期化レジスタ（SDIR） 379
12.3.14 SDRAM アドレスレジスタ（SDADR） 381
12.3.15 SDRAM タイミングレジスタ（SDTR） 382
12.3.16 SDRAM モードレジスタ（SDMOD） 384
12.3.17 SDRAM ステータスレジスタ（SDSR） 385
12.3.18 バスエラーステータスクリアレジスタ（BERCLR） 386
12.3.19 バスエラー監視許可レジスタ（BEREN） 386
12.3.20 バスエラーステータスレジスタ 1（BERSR1） 387
12.3.21 バスエラーステータスレジスタ 2（BERSR2） 388
12.4 エンディアンとデータアライメント 389
12.4.1 CS 領域のデータアライメント制御 389
12.4.2 SDRAM 領域のデータアライメント制御 395
12.5 CS エリアコントローラの動作説明 403
12.5.1 CS 領域のタイミング 403
12.5.2 外部ウェイト機能 419
12.5.3 非アクセス時の状態 420
12.5.4 リカバリサイクルの挿入 420
12.5.5 ライトバッファ機能 421
12.5.6 制約事項 422
12.6 SDRAM エリアコントローラの動作説明 424
12.6.1 SDRAM のアクセス有効／無効、SDRAM バス幅設定 424
12.6.2 非アクセス時の状態 424

12.6.3 リカバリサイクルの挿入 424
12.6.4 ライトバッファ機能 425
12.6.5 SDRAM コマンド 425
12.6.6 SDRAMC レジスタの設定条件 426
12.6.7 セルフリフレッシュ 427
12.6.8 オートリフレッシュ 430
12.6.9 初期化シーケンサ 432
12.6.10 リード／ライトアクセス 433
12.6.11 モードレジスタ設定 436
12.6.12 SDRAMC 設定例 437
12.6.12.1 SDRAMC のアクセス設定手順 437
12.6.12.2 セルフリフレッシュモードへの移行／復帰手順 438
12.6.12.3 タイミングレジスタ設定値とアクセスタイミング 440
12.6.13 アドレスマルチプレクス 449
12.6.14 SDRAM 接続例 450
12.6.14.1 32 ビットバス空間の場合 450
12.6.14.2 16 ビットバス空間の場合 453
12.6.15 制限事項 456
12.7 バスエラー監視部 457
12.7.1 バスエラーの種類 457
12.7.1.1 不正アドレスアクセス 457
12.7.1.2 タイムアウト 457
12.7.2 バスエラー発生時の動作 458
12.7.3 バスエラーの発生条件 458
13. メモリプロテクションユニット（MPU） 460
13.1 概要 460
13.1.1 アクセス制御の種類 462
13.1.2 アクセス制御領域 462
13.1.3 バックグラウンド領域 462
13.1.4 領域のオーバラップ 462
13.1.5 領域をまたぐ命令とデータ 462
13.2 レジスタの説明 463
13.2.1 領域 n 開始ページ番号レジスタ（RSPAGEn）(n=0 ～ 7) 464
13.2.2 領域 n 終了ページ番号レジスタ（REPAGEn）(n=0 ～ 7) 465
13.2.3 メモリプロテクション機能有効化レジスタ（MPEN） 466
13.2.4 バックグラウンドアクセス制御レジスタ（MPBAC） 467
13.2.5 メモリプロテクションエラーステータスクリアレジスタ（MPECLR） 468
13.2.6 メモリプロテクションエラーステータスレジスタ（MPESTS） 469
13.2.7 データメモリプロテクションエラーアドレスレジスタ（MPDEA） 470
13.2.8 領域サーチアドレスレジスタ（MPSA） 471
13.2.9 領域サーチオペレーションレジスタ（MPOPS） 471

13.2.10 領域インバリデートオペレーションレジスタ（MPOPI）..... 472
13.2.11 命令ヒット領域レジスタ（MHITI）..... 473
13.2.12 データヒット領域レジスタ（MHITD）..... 475
13.3 機能..... 477
13.3.1 メモリプロテクション機能..... 477
13.3.2 領域サーチ機能..... 477
13.3.3 メモリプロテクションユニット関連レジスタの保護..... 477
13.3.4 メモリプロテクション機能のアクセス判定フロー..... 478
13.4 メモリプロテクション機能使用手順..... 480
13.4.1 アクセス制御情報の設定..... 480
13.4.2 メモリプロテクション機能の有効化..... 480
13.4.3 ユーザモードへの移行..... 480
13.4.4 メモリプロテクションエラー発生時の処理..... 480
14. DMA コントローラ（DMACA）..... 482
14.1 概要..... 482
14.2 レジスタの説明..... 484
14.2.1 DMA 転送元アドレスレジスタ（DMSAR）..... 486
14.2.2 DMA 転送先アドレスレジスタ（DMDAR）..... 486
14.2.3 DMA 転送カウントレジスタ（DMCRA）..... 487
14.2.4 DMA ブロック転送カウントレジスタ（DMCRB）..... 489
14.2.5 DMA 転送モードレジスタ（DMTMD）..... 490
14.2.6 DMA 割り込み設定レジスタ（DMINT）..... 491
14.2.7 DMA アドレスモードレジスタ（DMAMD）..... 493
14.2.8 DMA オフセットレジスタ（DMOFR）..... 496
14.2.9 DMA 転送許可レジスタ（DMCNT）..... 497
14.2.10 DMA ソフトウェア起動レジスタ（DMREQ）..... 498
14.2.11 DMA ステータスレジスタ（DMSTS）..... 499
14.2.12 DMA 起動要因フラグ制御レジスタ（DMCSL）..... 501
14.2.13 DMACA モジュール起動レジスタ（DMAST）..... 502
14.3 動作説明..... 503
14.3.1 転送モード..... 503
14.3.2 拡張リピートエリア機能..... 507
14.3.3 オフセットを使ったアドレス更新機能..... 509
14.3.4 起動要因..... 513
14.3.5 DMACA の起動..... 515
14.3.6 DMA 転送の開始..... 516
14.3.7 DMA 転送中のレジスタ..... 516
14.3.8 チャネルの優先順位..... 517
14.3.9 動作タイミング..... 518
14.3.10 DMACA の実行サイクル..... 519
14.4 DMA 転送終了..... 519

14.4.1 設定した総データ転送による転送終了 519
14.4.2 リピートサイズ終了割り込みによる転送終了 520
14.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了 520
14.5 割り込み 521
14.6 消費電力低減機能 523
14.7 使用上の注意事項 524
14.7.1 外部デバイスを使用する場合 524
14.7.2 周辺モジュールへ DMA 転送する場合 524
14.7.3 DMACA 動作中のレジスタアクセスについて 524
14.7.4 予約領域への DMA 転送について 524
14.7.5 DMACA 起動要因フラグ制御レジスタ（DMCSL）設定による転送終了ごとの割り込み要求について 524
14.7.6 割り込みコントローラの DMACA 起動要求レジスタ（ICU.DMRSRn）の設定 524
14.7.7 DMACA 起動の保留／再開 524
14.7.8 DMA 転送起動要因に通信機能の割り込みを指定する場合 524
15. EXDMA コントローラ（EXDMAC） 525
15.1 概要 525
15.2 レジスタの説明 527
15.2.1 EXDMA 転送元アドレスレジスタ（EDMSAR） 528
15.2.2 EXDMA 転送先アドレスレジスタ（EDMDAR） 528
15.2.3 EXDMA 転送カウントレジスタ（EDMCRA） 529
15.2.4 EXDMA ブロック転送カウントレジスタ（EDMCRB） 531
15.2.5 EXDMA 転送モードレジスタ（EDMTMD） 532
15.2.6 EXDMA 出力設定レジスタ（EDMOMD） 533
15.2.7 EXDMA 割り込み設定レジスタ（EDMINT） 534
15.2.8 EXDMA アドレスモードレジスタ（EDMAMD） 536
15.2.9 EXDMA オフセットレジスタ（EDMOFR） 540
15.2.10 EXDMA 転送許可レジスタ（EDMCNT） 541
15.2.11 EXDMA ソフトウェア起動レジスタ（EDMREQ） 542
15.2.12 EXDMA ステータスレジスタ（EDMSTS） 543
15.2.13 EXDMA 外部要求センスモードレジスタ（EDMRMD） 545
15.2.14 EXDMA 外部要求フラグレジスタ（EDMERF） 546
15.2.15 EXDMA 周辺要求フラグレジスタ（EDMPRF） 547
15.2.16 EXDMA モジュール起動レジスタ（EDMAST） 548
15.2.17 クラスタバッファレジスタ i（CLSBRi）（i = 0 ～ 6） 549
15.3 動作説明 550
15.3.1 転送モード 550
15.3.2 拡張リピートエリア機能 556
15.3.3 オフセットを使ったアドレス更新機能 558
15.3.4 アドレスモード 562
15.4 転送動作 563

15.4.1 ノーマル転送モード／リピート転送モードの転送動作 563
15.4.2 ブロック転送モードの転送動作 565
15.4.3 クラスタ転送モードの転送動作 567
15.5 起動要因と起動手順 570
15.5.1 起動要因 570
15.5.2 EXDMAC の起動 572
15.5.3 DMA 転送の開始 573
15.5.4 DMA 転送中のレジスタ 573
15.5.5 チャネルの優先順位 574
15.6 DMA 転送終了 575
15.6.1 設定した総データ転送による転送終了 575
15.6.2 リピートサイズ終了割り込みによる転送終了 576
15.6.3 拡張リピートエリアオーバフロー割り込みによる転送終了 576
15.7 割り込み 577
15.8 消費電力低減機能 579
15.9 シングルアドレスモード時の EDACK 動作 580
15.9.1 シングルアドレスモードノーマル転送（CS 領域）EDACK 動作例 580
15.9.2 シングルアドレスモードノーマル転送（SDRAM 領域）EDACK 動作例 582
15.9.3 シングルアドレスモードブロック転送（CS 領域）EDACK 動作例 584
15.9.4 シングルアドレスモードブロック転送（SDRAM 領域）EDACK 動作例 586
15.10 使用上の注意事項 589
15.10.1 クラスタバッファについて 589
15.10.2 DMA 動作中のレジスタアクセスについて 589
15.10.3 予約領域への DMA 転送について 589
16. データトランスファコントローラ（DTCa） 590
16.1 概要 590
16.2 レジスタの説明 592
16.2.1 DTC モードレジスタ A（MRA） 593
16.2.2 DTC モードレジスタ B（MRB） 594
16.2.3 DTC 転送元アドレスレジスタ（SAR） 596
16.2.4 DTC 転送先アドレスレジスタ（DAR） 596
16.2.5 DTC 転送カウントレジスタ A（CRA） 597
16.2.6 DTC 転送カウントレジスタ B（CRB） 598
16.2.7 DTC コントロールレジスタ（DTCCR） 598
16.2.8 DTC ベクタベースレジスタ（DTCVBR） 599
16.2.9 DTC アドレスモードレジスタ（DTCADMOD） 599
16.2.10 DTC モジュール起動レジスタ（DTCST） 600
16.2.11 DTC ステータスレジスタ（DTCSTS） 601
16.3 起動要因 602
16.3.1 転送情報の配置と DTC ベクタテーブル 602
16.3.2 起動要因とベクタアドレス 604

16.4 動作説明 607
16.4.1 転送情報リードスキップ機能 610
16.4.2 転送情報ライトバックスキップ機能 611
16.4.3 ノーマル転送モード 612
16.4.4 リピート転送モード 613
16.4.5 ブロック転送モード 615
16.4.6 チェーン転送 616
16.4.7 動作タイミング 617
16.4.8 DTC の実行サイクル 620
16.4.9 DTC のバス権解放タイミング 620
16.5 DTC の設定手順 621
16.6 DTC 使用例 622
16.6.1 ノーマル転送 622
16.6.2 チェーン転送 622
16.6.3 カウンタ = 0 のときのチェーン転送 624
16.7 割り込み要因 625
16.8 消費電力低減機能 626
16.9 使用上の注意事項 626
16.9.1 転送情報先頭アドレス 626
16.9.2 転送情報の配置 627
16.9.3 割り込みコントローラの DTC 起動許可レジスタ（ICU.DTCERi）の設定 628
16.9.4 DTC の起動要因に通信機能の割り込みを指定する場合 628
17. I/O ポート 629
17.1 [176 ピン LFBGA] I/O ポート 629
17.1.1 概要 629
17.1.2 レジスタの説明 635
17.1.2.1 データディレクションレジスタ（DDR） 641
17.1.2.2 データレジスタ（DR） 642
17.1.2.3 ポートレジスタ（PORT） 643
17.1.2.4 入力バッファコントロールレジスタ（ICR） 644
17.1.2.5 オープンドレインコントロールレジスタ（ODR） 645
17.1.2.6 プルアップ抵抗コントロールレジスタ（PCR） 646
17.1.2.7 ポートファンクションレジスタ 0（PF0CSE） 648
17.1.2.8 ポートファンクションレジスタ 1（PF1CSS） 649
17.1.2.9 ポートファンクションレジスタ 2（PF2CSS） 650
17.1.2.10 ポートファンクションレジスタ 3（PF3BUS） 651
17.1.2.11 ポートファンクションレジスタ 4（PF4BUS） 652
17.1.2.12 ポートファンクションレジスタ 5（PF5BUS） 653
17.1.2.13 ポートファンクションレジスタ 6（PF6BUS） 654
17.1.2.14 ポートファンクションレジスタ 7（PF7DMA） 655
17.1.2.15 ポートファンクションレジスタ 8（PF8IRQ） 656

17.1.2.16 ポートファンクションレジスタ 9（PF9IRQ）..... 657
17.1.2.17 ポートファンクションレジスタ A（PFAADC）..... 658
17.1.2.18 ポートファンクションレジスタ B（PFBTMR）..... 659
17.1.2.19 ポートファンクションレジスタ C（PFCMTU）..... 660
17.1.2.20 ポートファンクションレジスタ D（PFDMTU）..... 661
17.1.2.21 ポートファンクションレジスタ E（PFENET）..... 662
17.1.2.22 ポートファンクションレジスタ F（PFFSCI）..... 664
17.1.2.23 ポートファンクションレジスタ G（PFGSPI）..... 665
17.1.2.24 ポートファンクションレジスタ H（PFHSPI）..... 667
17.1.2.25 ポートファンクションレジスタ J（PFJCAN）..... 669
17.1.2.26 ポートファンクションレジスタ K（PFKUSB）..... 670
17.1.2.27 ポートファンクションレジスタ L（PFLUSB）..... 672
17.1.2.28 ポートファンクションレジスタ M（PFMPOE）..... 674
17.1.2.29 ポートファンクションレジスタ N（PFNPOE）..... 675
17.1.3 ポートの設定..... 676
17.1.4 出力許可設定一覧..... 677
17.1.5 未使用端子の処理..... 697
17.2 [145 ピン TFLGA ／ 144 ピン LQFP] I/O ポート..... 698
17.2.1 概要..... 698
17.2.2 レジスタの説明..... 703
17.2.2.1 データディレクションレジスタ（DDR）..... 709
17.2.2.2 データレジスタ（DR）..... 710
17.2.2.3 ポートレジスタ（PORT）..... 711
17.2.2.4 入力バッファコントロールレジスタ（ICR）..... 712
17.2.2.5 オープンドレインコントロールレジスタ（ODR）..... 713
17.2.2.6 プルアップ抵抗コントロールレジスタ（PCR）..... 714
17.2.2.7 ポートファンクションレジスタ 0（PF0CSE）..... 716
17.2.2.8 ポートファンクションレジスタ 1（PF1CSS）..... 717
17.2.2.9 ポートファンクションレジスタ 2（PF2CSS）..... 718
17.2.2.10 ポートファンクションレジスタ 3（PF3BUS）..... 719
17.2.2.11 ポートファンクションレジスタ 4（PF4BUS）..... 720
17.2.2.12 ポートファンクションレジスタ 5（PF5BUS）..... 721
17.2.2.13 ポートファンクションレジスタ 6（PF6BUS）..... 722
17.2.2.14 ポートファンクションレジスタ 7（PF7DMA）..... 723
17.2.2.15 ポートファンクションレジスタ 8（PF8IRQ）..... 724
17.2.2.16 ポートファンクションレジスタ 9（PF9IRQ）..... 725
17.2.2.17 ポートファンクションレジスタ A（PFAADC）..... 726
17.2.2.18 ポートファンクションレジスタ B（PFBTMR）..... 727
17.2.2.19 ポートファンクションレジスタ C（PFCMTU）..... 728
17.2.2.20 ポートファンクションレジスタ D（PFDMTU）..... 729
17.2.2.21 ポートファンクションレジスタ E（PFENET）..... 730

17.2.2.22 ポートファンクションルレジスタ F（PFFSCI）..... 732
17.2.2.23 ポートファンクションレジスタ G（PFGSPI）..... 733
17.2.2.24 ポートファンクションレジスタ H（PFHSPI）..... 735
17.2.2.25 ポートファンクションレジスタ J（PFJCAN）..... 737
17.2.2.26 ポートファンクションレジスタ K（PFKUSB）..... 738
17.2.2.27 ポートファンクションレジスタ M（PFMPOE）..... 740
17.2.2.28 ポートファンクションレジスタ N（PFNPOE）..... 741
17.2.3 ポートの設定..... 742
17.2.4 出力許可設定一覧..... 743
17.2.5 未使用端子の処理..... 758
17.3 [100 ピン LQFP] I/O ポート..... 759
17.3.1 概要..... 759
17.3.2 レジスタの説明..... 763
17.3.2.1 データディレクションレジスタ（DDR）..... 767
17.3.2.2 データレジスタ（DR）..... 768
17.3.2.3 ポートレジスタ（PORT）..... 769
17.3.2.4 入力バッファコントロールレジスタ（ICR）..... 770
17.3.2.5 オープンドレインコントロールレジスタ（ODR）..... 771
17.3.2.6 プルアップ抵抗コントロールレジスタ（PCR）..... 772
17.3.2.7 ポートファンクションレジスタ 0（PF0CSE）..... 774
17.3.2.8 ポートファンクションレジスタ 3（PF3BUS）..... 775
17.3.2.9 ポートファンクションレジスタ 4（PF4BUS）..... 776
17.3.2.10 ポートファンクションレジスタ 5（PF5BUS）..... 777
17.3.2.11 ポートファンクションレジスタ 6（PF6BUS）..... 778
17.3.2.12 ポートファンクションレジスタ 8（PF8IRQ）..... 779
17.3.2.13 ポートファンクションレジスタ 9（PF9IRQ）..... 780
17.3.2.14 ポートファンクションレジスタ A（PFAADC）..... 781
17.3.2.15 ポートファンクションレジスタ C（PFCMTU）..... 782
17.3.2.16 ポートファンクションレジスタ D（PFDMTU）..... 783
17.3.2.17 ポートファンクションレジスタ E（PFENET）..... 784
17.3.2.18 ポートファンクションレジスタ F（PFFSCI）..... 786
17.3.2.19 ポートファンクションレジスタ G（PFGSPI）..... 787
17.3.2.20 ポートファンクションレジスタ H（PFHSPI）..... 789
17.3.2.21 ポートファンクションレジスタ J（PFJCAN）..... 791
17.3.2.22 ポートファンクションレジスタ K（PFKUSB）..... 792
17.3.2.23 ポートファンクションレジスタ M（PFMPOE）..... 794
17.3.2.24 ポートファンクションレジスタ N（PFNPOE）..... 795
17.3.3 ポートの設定..... 796
17.3.4 出力許可設定一覧..... 797
17.3.5 未使用端子の処理..... 812
17.4 [85 ピン TFLGA] I/O ポート..... 813

17.4.1 概要 813
17.4.2 レジスタの説明 816
17.4.2.1 データディレクションレジスタ（DDR） 820
17.4.2.2 データレジスタ（DR） 821
17.4.2.3 ポートレジスタ（PORT） 822
17.4.2.4 入力バッファコントロールレジスタ（ICR） 823
17.4.2.5 オープンドレインコントロールレジスタ（ODR） 824
17.4.2.6 プルアップ抵抗コントロールレジスタ（PCR） 825
17.4.2.7 ポートファンクションレジスタ 0（PF0CSE） 826
17.4.2.8 ポートファンクションレジスタ 3（PF3BUS） 827
17.4.2.9 ポートファンクションレジスタ 4（PF4BUS） 828
17.4.2.10 ポートファンクションレジスタ 8（PF8IRQ） 829
17.4.2.11 ポートファンクションレジスタ 9（PF9IRQ） 830
17.4.2.12 ポートファンクションレジスタ D（PFDMTU） 831
17.4.2.13 ポートファンクションレジスタ F（PFFSCI） 832
17.4.2.14 ポートファンクションレジスタ G（PFGSPI） 833
17.4.2.15 ポートファンクションレジスタ H（PFHSPI） 834
17.4.2.16 ポートファンクションレジスタ J（PFJCAN） 835
17.4.2.17 ポートファンクションレジスタ K（PFKUSB） 836
17.4.3 ポートの設定 838
17.4.4 出力許可設定一覧 839
17.4.5 未使用端子の処理 852
17.5 入出力ポートの構成 853
17.6 使用上の注意事項 857
17.6.1 入力バッファコントロールレジスタ（PORTn.ICR）の設定 857
17.6.2 ポートファンクションレジスタの設定 857
17.6.3 出力許可設定の切り替えについて 858
17.6.4 TDO が割り当てられている端子のオープンドレイン設定について 858
17.6.5 ポートレジスタ（PORT）を読むときの注意事項 858
18. マルチファンクションタイマパルスユニット 2（MTU2） 859
18.1 概要 859
18.2 レジスタの説明 868
18.2.1 タイマコントロールレジスタ（TCR） 873
18.2.2 タイマモードレジスタ（TMDR） 876
18.2.3 タイマ I/O コントロールレジスタ（TIOR） 878
18.2.4 タイマコンペアマッチクリアレジスタ（TCNTCMPCLR） 889
18.2.5 タイマインタラプトイネーブルレジスタ（TIER） 890
18.2.6 タイマステータスレジスタ（TSR） 893
18.2.7 タイマバッファ動作転送モードレジスタ（TBTM） 894
18.2.8 タイマインプットキャプチャコントロールレジスタ（TICCR） 895
18.2.9 タイマ A/D 変換開始要求コントロールレジスタ（TADCR） 896

18.2.10 タイマ A/D 変換開始要求周期設定レジスタ（TADCORA、TADCORB）..... 897
18.2.11 タイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBRA、TADCOBRB）..... 897
18.2.12 タイマカウンタ（TCNT）..... 898
18.2.13 タイマジェネラルレジスタ（TGR）..... 898
18.2.14 タイマスタートレジスタ（TSTR）..... 899
18.2.15 タイマシンクロレジスタ（TSYR）..... 901
18.2.16 タイマリードライトイネーブルレジスタ（TRWER）..... 902
18.2.17 タイマアウトプットマスタイネーブルレジスタ（TOER）..... 903
18.2.18 タイマアウトプットコントロールレジスタ 1（TOCR1）..... 904
18.2.19 タイマアウトプットコントロールレジスタ 2（TOCR2）..... 906
18.2.20 タイマアウトプットレベルバッファレジスタ（TOLBR）..... 909
18.2.21 タイマゲートコントロールレジスタ（TGCR）..... 910
18.2.22 タイマサブカウンタ（TCNTS）..... 912
18.2.23 タイマデッドタイムデータレジスタ（TDDR）..... 912
18.2.24 タイマ周期データレジスタ（TCDR）..... 913
18.2.25 タイマ周期バッファレジスタ（TCBR）..... 913
18.2.26 タイマ割り込み間引き設定レジスタ（TITCR）..... 914
18.2.27 タイマ割り込み間引き回数カウンタ（TITCNT）..... 916
18.2.28 タイマバッファ転送設定レジスタ（TBTER）..... 917
18.2.29 タイマデッドタイムイネーブルレジスタ（TDER）..... 918
18.2.30 タイマ波形コントロールレジスタ（TWCR）..... 919
18.2.31 バスマスタとのインタフェース..... 920
18.3 動作説明..... 921
18.3.1 概要..... 921
18.3.2 同期動作..... 927
18.3.3 バッファ動作..... 929
18.3.4 カスケード接続動作..... 934
18.3.5 PWM モード..... 939
18.3.6 位相計数モード..... 943
18.3.7 リセット同期 PWM モード..... 949
18.3.8 相補 PWM モード..... 952
18.3.9 A/D 変換開始要求ディレイド機能..... 985
18.3.10 外部パルス幅測定機能..... 988
18.3.11 デッドタイム補償用機能..... 989
18.4 割り込み要因..... 992
18.4.1 割り込み要因と優先順位..... 992
18.4.2 DTC/DMACA の起動..... 995
18.4.3 A/D コンバータの起動..... 995
18.5 動作タイミング..... 998
18.5.1 入出力タイミング..... 998

18.5.2 割り込み信号タイミング 1004
18.6 使用上の注意事項 1007
18.6.1 モジュールクロックストップモードの設定 1007
18.6.2 入力クロックの制限事項 1007
18.6.3 周期設定上の注意事項 1008
18.6.4 TCNT への書き込みとカウンタクリアの競合 1008
18.6.5 TCNT への書き込みとカウントアップの競合 1009
18.6.6 TGR への書き込みとコンペアマッチの競合 1009
18.6.7 バッファレジスタへの書き込みとコンペアマッチの競合 1010
18.6.8 バッファレジスタへの書き込みと TCNT クリアの競合 1011
18.6.9 TGR の読み出しとインプットキャプチャの競合 1012
18.6.10 TGR への書き込みとインプットキャプチャの競合 1013
18.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合 1014
18.6.12 カスケード接続における MTUn.TCNT への書き込みとオーバフロー／アンダフローの競合（n=2,8） 1015
18.6.13 相補 PWM モード停止時のカウンタ値 1016
18.6.14 相補 PWM モードでのバッファ動作の設定 1016
18.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ 1017
18.6.16 リセット同期 PWM モードのオーバフローフラグ 1018
18.6.17 オーバフロー／アンダフローとカウンタクリアの競合 1019
18.6.18 TCNT への書き込みとオーバフロー／アンダフローの競合 1020
18.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ移行する場合の注意事項 1020
18.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル 1020
18.6.21 モジュールストップ状態時の割り込み 1020
18.6.22 カスケード接続における MTUn.TCNT、MTUm.TCNT 同時インプットキャプチャ . 1021
18.6.23 相補 PWM モードの出力保護機能未使用時の注意事項 1021
18.6.24 相補 PWM モード同期クリアするときの異常動作防止について 1022
18.7 MTU 出力端子の初期化方法 1024
18.7.1 動作モード 1024
18.7.2 動作中の異常などによる再設定時の動作 1024
18.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要 1025
19. ポートアウトプットイネーブル 2（POE2） 1049
19.1 概要 1049
19.2 レジスタの説明 1052
19.2.1 入力レベルコントロール／ステータスレジスタ 1（ICSR1） 1053
19.2.2 出力レベルコントロール／ステータスレジスタ 1（OCSR1） 1055
19.2.3 入力レベルコントロール／ステータスレジスタ 2（ICSR2） 1056
19.2.4 出力レベルコントロール／ステータスレジスタ 2（OCSR2） 1058
19.2.5 入力レベルコントロール／ステータスレジスタ 3（ICSR3） 1059
19.2.6 入力レベルコントロール／ステータスレジスタ 4（ICSR4） 1060

19.2.7 ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）..... 1061
19.2.8 ポートアウトプットイネーブルコントロールレジスタ 1（POECR1）..... 1063
19.2.9 ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）..... 1065
19.3 動作説明 1067
19.3.1 入力レベル検出動作 1068
19.3.2 出力レベル比較動作 1069
19.3.3 レジスタによるハイインピーダンス制御 1069
19.3.4 発振停止検出検知によるハイインピーダンス制御 1069
19.3.5 ハイインピーダンス状態からの解除 1069
19.4 割り込み 1070
19.5 使用上の注意事項 1070
20. プログラマブルパルスジェネレータ（PPG）..... 1071
20.1 概要 1071
20.2 レジスタの説明 1074
20.2.1 PPG トリガセレクトレジスタ（PTRSLR）..... 1075
20.2.2 ネクストデータイネーブルレジスタ H（NDERH）、
ネクストデータイネーブルレジスタ L（NDERL）..... 1076
20.2.3 アウトプットデータレジスタ H（PODRH）、
アウトプットデータレジスタ L（PODRL）..... 1079
20.2.4 ネクストデータレジスタ H（NDRH）、ネクストデータレジスタ L（NDRL）..... 1081
20.2.5 PPG 出力コントロールレジスタ（PCR）..... 1085
20.2.6 PPG 出力モードレジスタ（PMR）..... 1087
20.3 動作説明 1089
20.3.1 出力タイミング 1090
20.3.2 通常動作のパルス出力設定手順例 1091
20.3.3 パルス出力通常動作例（5 相パルス出力例）..... 1093
20.3.4 パルス出力ノンオーバラップ動作 1094
20.3.5 ノンオーバラップ動作のパルス出力設定手順例 1095
20.3.6 パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力例）..... 1097
20.3.7 パルス反転出力 1099
20.3.8 インプットキャプチャによるパルス出力 1100
20.4 使用上の注意事項 1101
20.4.1 モジュールストップ機能の設定 1101
21. 8 ビットタイマ（TMR）..... 1102
21.1 概要 1102
21.2 レジスタの説明 1106
21.2.1 タイマカウンタ（TCNT）..... 1107
21.2.2 タイムコンスタントレジスタ A（TCORA）..... 1108
21.2.3 タイムコンスタントレジスタ B（TCORB）..... 1108
21.2.4 タイマコントロールレジスタ（TCR）..... 1109
21.2.5 タイマカウンタコントロールレジスタ（TCCR）..... 1110

21.2.6 タイマコントロール／ステータスレジスタ（TCSR）..... 1112
21.3 動作説明..... 1113
21.3.1 パルス出力..... 1113
21.3.2 リセット入力..... 1114
21.4 動作タイミング..... 1115
21.4.1 TCNT カウンタのカウントタイミング..... 1115
21.4.2 コンペアマッチ時の割り込みタイミング..... 1116
21.4.3 コンペアマッチ時のタイマ出力タイミング..... 1117
21.4.4 コンペアマッチによるカウンタクリアタイミング..... 1117
21.4.5 TCNT カウンタの外部リセットタイミング..... 1118
21.4.6 オーバフローによる割り込みタイミング..... 1119
21.5 カスケード接続時の動作..... 1120
21.5.1 16 ビットカウントモード..... 1120
21.5.2 コンペアマッチカウントモード..... 1120
21.6 割り込み要因..... 1121
21.6.1 割り込み要因と DTC 起動..... 1121
21.6.2 A/D コンバータの起動..... 1121
21.7 使用上の注意事項..... 1122
21.7.1 モジュールストップ機能の設定..... 1122
21.7.2 周期設定上の注意..... 1122
21.7.3 TCNT カウンタへの書き込みとカウンタクリアの競合..... 1122
21.7.4 TCNT カウンタへの書き込みとカウントアップの競合..... 1123
21.7.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合..... 1124
21.7.6 コンペアマッチ A、B の競合..... 1124
21.7.7 内部クロックの切り替えと TCNT カウンタの動作..... 1125
21.7.8 カスケード接続時のクロックソース設定..... 1126
22. コンペアマッチタイマ（CMT）..... 1127
22.1 概要..... 1127
22.2 レジスタの説明..... 1128
22.2.1 コンペアマッチタイマスタートレジスタ 0（CMSTR0）..... 1129
22.2.2 コンペアマッチタイマスタートレジスタ 1（CMSTR1）..... 1130
22.2.3 コンペアマッチタイマコントロールレジスタ（CMCR）..... 1131
22.2.4 コンペアマッチタイマカウンタ（CMCNT）..... 1132
22.2.5 コンペアマッチタイマコンスタントレジスタ（CMCOR）..... 1132
22.3 動作説明..... 1133
22.3.1 周期カウント動作..... 1133
22.3.2 CMCNT カウンタのカウントタイミング..... 1133
22.4 割り込み..... 1134
22.4.1 割り込み要因..... 1134
22.4.2 コンペアマッチ割り込みの発生タイミング..... 1134
22.5 使用上の注意事項..... 1135

22.5.1 モジュールストップ機能の設定 1135
22.5.2 コンペアマッチタイマカウンタ（CMCNT）への書き込みと
コンペアマッチの競合 1135
22.5.3 コンペアマッチタイマカウンタ（CMCNT）への書き込みと
カウントアップの競合 1135
22.5.4 コンペアマッチタイマコントロールレジスタ（CMCR）書き替え時の注意事項 1136
22.5.5 コンペアマッチタイマカウンタ（CMCNT）と
コンペアマッチコンスタントレジスタ（CMCOR）の注意事項 1136

23. リアルタイムクロック（RTC） 1137
23.1 概要 1137
23.2 レジスタの説明 1139
23.2.1 64Hz カウンタ（R64CNT） 1140
23.2.2 秒カウンタ（RSECCNT） 1141
23.2.3 分カウンタ（RMINCNT） 1142
23.2.4 時カウンタ（RHRCNT） 1142
23.2.5 曜日カウンタ（RWKCNT） 1143
23.2.6 日カウンタ（RDAYCNT） 1144
23.2.7 月カウンタ（RMONCNT） 1144
23.2.8 年カウンタ（RYRCNT） 1145
23.2.9 秒アラームレジスタ（RSECAR） 1146
23.2.10 分アラームレジスタ（RMINAR） 1146
23.2.11 時アラームレジスタ（RHRAR） 1147
23.2.12 曜日アラームレジスタ（RWKAR） 1148
23.2.13 日アラームレジスタ（RDAYAR） 1149
23.2.14 月アラームレジスタ（RMONAR） 1150
23.2.15 年アラームレジスタ（RYRAR） 1151
23.2.16 年アラームイネーブルレジスタ（RYRAREN） 1151
23.2.17 RTC コントロールレジスタ 1（RCR1） 1152
23.2.18 RTC コントロールレジスタ 2（RCR2） 1153
23.3 動作説明 1154
23.3.1 電源投入後のレジスタの初期設定 1154
23.3.2 時刻設定手順 1154
23.3.3 30 秒調整手順 1155
23.3.4 64Hz カウンタおよび時刻読み出し手順 1156
23.3.5 アラーム機能 1157
23.3.6 アラーム割り込みディスエーブル手順 1158
23.4 割り込み要因 1159
23.5 使用上の注意事項 1161
23.5.1 カウント動作時のレジスタ書き込みについて 1161
23.5.2 周期割り込みの使用について 1161
23.5.3 レジスタ設定後の低消費電力モード遷移について 1161
23.5.4 レジスタの書き込み／読み出し時の注意事項 1162

24. ウォッチドッグタイマ（WDT）..... 1163
24.1 概要 1163
24.2 レジスタの説明 1165
24.2.1 タイマカウンタ（TCNT）..... 1165
24.2.2 タイマコントロール／ステータスレジスタ（TCSR）..... 1166
24.2.3 リセットコントロール／ステータスレジスタ（RSTCSR）..... 1167
24.2.4 ライトウィンドウ A レジスタ（WINA）..... 1168
24.2.5 ライトウィンドウ B レジスタ（WINB）..... 1168
24.3 動作説明 1169
24.3.1 ウォッチドッグタイマモード 1169
24.3.2 インターバルタイマモード 1170
24.4 割り込み要因 1170
24.5 使用上の注意事項 1171
24.5.1 レジスタアクセス時の注意 1171
24.5.2 タイマカウンタ（TCNT）への書き込みとカウントアップの競合 1172
24.5.3 CKS[2:0] ビットの書き換え 1172
24.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え 1173
24.5.5 ウォッチドッグタイマモードでの内部リセット 1173
24.5.6 WDTOVF# 信号によるシステムのリセット 1173
24.5.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの移行 1173
25. 独立ウォッチドッグタイマ（IWDT）..... 1174
25.1 概要 1174
25.2 レジスタの説明 1175
25.2.1 IWDT リフレッシュレジスタ（IWDTRR）..... 1175
25.2.2 IWDT コントロールレジスタ（IWDTCR）..... 1176
25.2.3 IWDT ステータスレジスタ（IWDTSR）..... 1178
25.3 動作説明 1179
25.3.1 ダウンカウンタのカウント動作 1179
25.3.2 IWDT コントロールレジスタ書き込み制御 1180
25.3.3 リフレッシュ動作 1181
25.3.4 ステータスフラグ 1182
25.4 使用上の注意事項 1182
25.4.1 消費電力低減機能への遷移における制限事項 1182
26. イーサネットコントローラ（ETHERC）..... 1183
26.1 概要 1183
26.2 レジスタの説明 1185
26.2.1 ETHERC モードレジスタ（ECMR）..... 1186
26.2.2 ETHERC ステータスレジスタ（ECSR）..... 1188
26.2.3 ETHERC 割り込み許可レジスタ（ECSIPR）..... 1189
26.2.4 受信フレーム長上限レジスタ（RFLR）..... 1190
26.2.5 PHY 部インタフェースレジスタ（PIR）..... 1191

26.2.6 MAC アドレス上位設定レジスタ（MAHR）..... 1192
26.2.7 MAC アドレス下位設定レジスタ（MALR）..... 1193
26.2.8 PHY 部ステータスレジスタ（PSR）..... 1193
26.2.9 送信リトライオーバカウンタレジスタ（TROCR）..... 1194
26.2.10 遅延衝突検出カウンタレジスタ（CDCR）..... 1194
26.2.11 キャリア消失カウンタレジスタ（LCCR）..... 1195
26.2.12 キャリア未検出カウンタレジスタ（CNDCR）..... 1195
26.2.13 CRC エラーフレーム受信カウンタレジスタ（CEFCR）..... 1196
26.2.14 フレーム受信エラーカウンタレジスタ（FRECR）..... 1196
26.2.15 64 バイト未満フレーム受信カウンタレジスタ（TSFRCR）..... 1197
26.2.16 指定バイト超フレーム受信カウンタレジスタ（TLFRCR）..... 1197
26.2.17 端数ビットフレーム受信カウンタレジスタ（RFCR）..... 1198
26.2.18 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）..... 1198
26.2.19 IPG 設定レジスタ（IPGR）..... 1199
26.2.20 自動 PAUSE フレーム設定レジスタ（APR）..... 1199
26.2.21 手動 PAUSE フレーム設定レジスタ（MPR）..... 1200
26.2.22 自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）..... 1200
26.2.23 乱数生成カウンタ上限値設定レジスタ（RDMLR）..... 1201
26.2.24 受信 PAUSE フレームカウンタ（RFCF）..... 1201
26.2.25 PAUSE フレーム再送回数カウンタ（TPAUSECR）..... 1202
26.2.26 Broadcast フレーム受信回数設定レジスタ（BCFRR）..... 1202
26.3 動作説明..... 1203
26.3.1 送信動作..... 1203
26.3.2 受信動作..... 1204
26.3.3 フレームタイミング..... 1205
26.3.3.1 MII フレームタイミング 1205
26.3.3.2 RMII フレームタイミング 1207
26.3.4 MII/RMII レジスタのアクセス方法..... 1208
26.3.4.1 MII/RMII 管理フレームのフォーマット 1208
26.3.4.2 MII/RMII レジスタアクセス手順 1209
26.3.5 Magic Packet™ の検出 1211
26.3.6 IPG 設定による動作..... 1211
26.3.7 フロー制御..... 1212
26.3.7.1 自動 PAUSE フレームの送信 1212
26.3.7.2 手動 PAUSE フレームの送信 1212
26.3.7.3 PAUSE フレームの受信 1212
26.4 PHY-LSI との接続..... 1213
26.5 使用上の注意事項..... 1214
26.5.1 LCHNG フラグのセット条件について 1214
26.5.2 RMII 選択時の RMII_RX_ER 端子入力について..... 1214

27. イーサネットコントローラ用 DMA コントローラ（EDMAC）..... 1215
27.1 概要 1215
27.2 レジスタの説明 1216
27.2.1 EDMAC モードレジスタ（EDMR）..... 1217
27.2.2 EDMAC 送信要求レジスタ（EDTRR）..... 1218
27.2.3 EDMAC 受信要求レジスタ（EDRRR）..... 1219
27.2.4 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）..... 1220
27.2.5 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）..... 1221
27.2.6 ETHERC/EDMAC ステータスレジスタ（EESR）..... 1222
27.2.7 ETHERC/EDMAC ステータス割り込み許可レジスタ（EESIPR）..... 1225
27.2.8 送受信ステータスコピー指示レジスタ（TRSCER）..... 1227
27.2.9 ミスドフレームカウンタレジスタ（RMFCR）..... 1228
27.2.10 送信 FIFO しきい値指定レジスタ（TFTR）..... 1229
27.2.11 FIFO 容量指定レジスタ（FDR）..... 1230
27.2.12 受信方式制御レジスタ（RMCR）..... 1231
27.2.13 送信 FIFO アンダランカウント（TFUCR）..... 1232
27.2.14 受信 FIFO オーバフローカウント（RFOCR）..... 1232
27.2.15 受信バッファライトアドレスレジスタ（RBWAR）..... 1233
27.2.16 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）..... 1233
27.2.17 送信バッファリードアドレスレジスタ（TBRAR）..... 1234
27.2.18 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）..... 1234
27.2.19 フロー制御開始 FIFO しきい値設定レジスタ（FCFTR）..... 1235
27.2.20 受信データパディング挿入設定レジスタ（RPADIR）..... 1236
27.2.21 送信割り込み設定レジスタ（TRIMD）..... 1237
27.2.22 個別出力信号設定レジスタ（IOSR）..... 1237
27.3 動作説明 1238
27.3.1 ディスクリプタリストとデータバッファ 1238
27.3.1.1 送信ディスクリプタ 1238
27.3.1.2 受信ディスクリプタ 1241
27.3.2 送信機能 1244
27.3.3 受信機能 1245
27.3.4 マルチバッファフレームの送受信処理について 1246
27.3.4.1 マルチバッファフレームの送信処理 1246
27.3.4.2 マルチバッファフレームの受信処理 1247
28. USB2.0 ホスト／ファンクションモジュール（USB）..... 1248
28.1 概要 1248
28.2 レジスタの説明 1251
28.2.1 システムコンフィギュレーションコントロールレジスタ（SYSCFG）..... 1255
28.2.2 システムコンフィギュレーションステータスレジスタ 0（SYSSTS0）..... 1257
28.2.3 デバイスステートコントロールレジスタ 0（DVSTCTR0）..... 1258

28.2.4 CFIFO ポートレジスタ（CFIFO）
D0FIFO ポートレジスタ（D0FIFO）
D1FIFO ポートレジスタ（D1FIFO）1 261
28.2.5 CFIFO ポート選択レジスタ（CFIFOSEL）
D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL） 1263
28.2.6 CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR） 1268
28.2.7 割り込み許可レジスタ 0（INTENB0） 1270
28.2.8 割り込み許可レジスタ 1（INTENB1） 1272
28.2.9 BRDY 割り込み許可レジスタ（BRDYENB） 1274
28.2.10 NRDY 割り込み許可レジスタ（NRDYENB） 1275
28.2.11 BEMP 割り込み許可レジスタ（BEMPENB） 1276
28.2.12 SOF 出力コンフィグレーションレジスタ（SOFCFG） 1277
28.2.13 割り込みステータスレジスタ 0（INTSTS0） 1278
28.2.14 割り込みステータスレジスタ 1（INTSTS1） 1281
28.2.15 BRDY 割り込みステータスレジスタ（BRDYSTS） 1284
28.2.16 NRDY 割り込みステータスレジスタ（NRDYSTS） 1285
28.2.17 BEMP 割り込みステータスレジスタ（BEMPSTS） 1286
28.2.18 フレームナンバーレジスタ（FRMNUM） 1287
28.2.19 デバイスステート切り替えレジスタ（DVCHGR） 1288
28.2.20 USB アドレスレジスタ（USBADDR） 1289
28.2.21 USB リクエストタイプレジスタ（USBREQ） 1290
28.2.22 USB リクエストバリューレジスタ（USBVAL） 1291
28.2.23 USB リクエストインデックスレジスタ（USBINDX） 1292
28.2.24 USB リクエストレングスレジスタ（USBLENG） 1293
28.2.25 DCP コンフィギュレーションレジスタ（DCPCFG） 1294
28.2.26 DCP マックスパケットサイズレジスタ（DCPMAXP） 1295
28.2.27 DCP コントロールレジスタ（DCPCTR） 1296
28.2.28 パイプウィンドウ選択レジスタ（PIPESEL） 1300
28.2.29 パイプコンフィギュレーションレジスタ（PIPECFG） 1301
28.2.30 パイプマックスパケットサイズレジスタ（PIPEMAXP） 1303
28.2.31 パイプ周期制御レジスタ（PIPEPERI） 1304
28.2.32 パイプ n コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9） 1305
28.2.33 パイプ n トランザクションカウンタイネーブルレジスタ（PIPEnTRE）
（n = 1 ～ 5） 1313
28.2.34 パイプ n トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5） 1314
28.2.35 デバイスアドレス n コンフィグレーションレジスタ（DEVADDn）（n = 0 ～ 5） 1315
28.2.36 ディープスタンバイ USB トランシーバ制御／端子モニタレジスタ（DPUSR0R） 1316
28.2.37 ディープスタンバイ USB サスペンド／レジューム割り込みレジスタ
（DPUSR1R） 1318
28.3 動作説明 1321

28.3.1 システム制御 1321
28.3.1.1 動作開始 1321
28.3.1.2 コントローラ機能の選択設定 1321
28.3.1.3 USB 外部接続回路例 1322
28.3.1.4 USB サスペンド／レジューム割り込みによるディープソフトウェア
スタンバイモードの解除 1326
28.3.2 割り込み要因 1330
28.3.3 割り込みの説明 1333
28.3.3.1 BRDY 割り込み 1333
28.3.3.2 NRDY 割り込み 1337
28.3.3.3 BEMP 割り込み 1340
28.3.3.4 デバイスステート遷移割り込み 1342
28.3.3.5 コントロール転送ステージ遷移割り込み 1343
28.3.3.6 フレーム番号更新割り込み 1344
28.3.3.7 VBUS 割り込み 1344
28.3.3.8 レジューム割り込み 1344
28.3.3.9 OVRCR 割り込み 1345
28.3.3.10 BCHG 割り込み 1345
28.3.3.11 DTCH 割り込み 1345
28.3.3.12 SACK 割り込み 1345
28.3.3.13 SIGN 割り込み 1345
28.3.3.14 ATTCH 割り込み 1345
28.3.3.15 EOFERR 割り込み 1345
28.3.4 パイプコントロール 1346
28.3.4.1 パイプコントロールレジスタの切り替え手順 1347
28.3.4.2 転送タイプ 1347
28.3.4.3 エンドポイント番号 1347
28.3.4.4 マックスパケットサイズ設定 1348
28.3.4.5 トランザクションカウンタ（パイプ 1 ～ 5 読み出し方向） 1348
28.3.4.6 応答 PID 1349
28.3.4.7 データ PID シーケンスビット 1350
28.3.4.8 応答 PID = NAK 機能 1350
28.3.4.9 自動応答モード 1350
28.3.4.10 OUT-NAK モード 1350
28.3.4.11 Null 自動応答モード 1351
28.3.5 FIFO バッファメモリ 1352
28.3.5.1 FIFO バッファメモリ 1352
28.3.5.2 FIFO バッファクリア 1353
28.3.5.3 FIFO ポートの機能 1354
28.3.5.4 DMA 転送（D0FIFO/D1FIFO ポート） 1355
28.3.6 コントロール転送（DCP） 1356

28.3.6.1 ホストコントローラ機能選択時のコントロール転送 1356
28.3.6.2 ファンクションコントローラ機能選択時のコントロール転送 1357
28.3.7 バルク転送（パイプ 1 ～ 5）..... 1358
28.3.8 インタラプト転送（パイプ 6 ～ 9）..... 1359
28.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ 1359
28.3.9 アイソクロナス転送（パイプ 1、2）..... 1360
28.3.9.1 アイソクロナス転送のエラー検出 1360
28.3.9.2 DATA-PID 1361
28.3.9.3 インターバルカウンタ 1362
28.3.10 SOF 補完機能 1369
28.3.11 パイプスケジュール 1370
28.3.11.1 トランザクション発行条件 1370
28.3.11.2 転送スケジュール 1370
28.3.11.3 USB 通信許可 1370
29. シリアルコミュニケーションインタフェース（SCIa）..... 1371
29.1 概要 1371
29.2 シリアルコミュニケーションインタフェースモード 1375
29.2.1 レジスタの説明 1375
29.2.1.1 レシーブシフトレジスタ（RSR）..... 1376
29.2.1.2 レシーブデータレジスタ（RDR）..... 1376
29.2.1.3 トランスミットデータレジスタ（TDR）..... 1377
29.2.1.4 トランスミットシフトレジスタ（TSR）..... 1377
29.2.1.5 シリアルモードレジスタ（SMR）..... 1378
29.2.1.6 シリアルコントロールレジスタ（SCR）..... 1380
29.2.1.7 シリアルステータスレジスタ（SSR）..... 1382
29.2.1.8 スマートカードモードレジスタ（SCMR）..... 1385
29.2.1.9 ビットレートレジスタ（BRR）..... 1386
29.2.1.10 シリアル拡張モードレジスタ（SEMR）..... 1392
29.2.2 調歩同期式モードの動作 1394
29.2.2.1 シリアル送信／受信フォーマット 1395
29.2.2.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 1396
29.2.2.3 クロック 1397
29.2.2.4 SCI の初期化（調歩同期式モード）..... 1398
29.2.2.5 シリアルデータの送信（調歩同期式モード）..... 1399
29.2.2.6 シリアルデータの受信（調歩同期式モード）..... 1401
29.2.3 マルチプロセッサ通信機能 1405
29.2.3.1 マルチプロセッサシリアルデータ送信 1406
29.2.3.2 マルチプロセッサシリアルデータ受信 1407
29.2.4 クロック同期式モードの動作 1410
29.2.4.1 クロック 1410

29.2.4.2 SCI の初期化（クロック同期式モード）..... 1411
29.2.4.3 シリアルデータの送信（クロック同期式モード）..... 1412
29.2.4.4 シリアルデータの受信（クロック同期式モード）..... 1414
29.2.4.5 シリアルデータの全二重動作（クロック同期式モード）..... 1416
29.3 スマートカードインタフェースモード..... 1417
29.3.1 レジスタの説明..... 1417
29.3.1.1 シリアルモードレジスタ（SMR）..... 1418
29.3.1.2 シリアルコントロールレジスタ（SCR）..... 1420
29.3.1.3 シリアルステータスレジスタ（SSR）..... 1422
29.3.1.4 ビットレートレジスタ（BRR）..... 1425
29.3.2 スマートカードインタフェースモードの動作..... 1427
29.3.2.1 接続例..... 1427
29.3.3 データフォーマット（ブロック転送モード時を除く）..... 1427
29.3.3.1 ブロック転送モード..... 1429
29.3.3.2 受信データサンプリングタイミングと受信マージン..... 1430
29.3.3.3 スマートカードインタフェースの初期化..... 1431
29.3.3.4 シリアルデータの送信（ブロック転送モードを除く）..... 1432
29.3.3.5 シリアルの受信（ブロック転送モードを除く）..... 1435
29.3.3.6 クロック出力制御..... 1436
29.4 割り込み要因..... 1438
29.4.1 シリアルコミュニケーションインタフェースモードにおける割り込み..... 1438
29.4.2 スマートカードインタフェースモードにおける割り込み..... 1439
29.5 使用上の注意事項..... 1440
29.5.1 モジュールストップ機能の設定..... 1440
29.5.2 ブレークの検出と処理について..... 1440
29.5.3 マーク状態とブレークの送出..... 1440
29.5.4 受信エラーフラグと送信動作について（クロック同期式モードのみ）..... 1440
29.5.5 TDR への書き込みについて..... 1440
29.5.6 クロック同期送信時の制約事項..... 1440
29.5.7 DMACA または DTC 使用上の制約事項..... 1441
29.5.8 低消費電力状態時の動作について..... 1441
29.5.9 クロック同期式モード外部クロック入力..... 1444
30. CRC 演算器（CRC）..... 1445
30.1 概要..... 1445
30.2 レジスタの説明..... 1446
30.2.1 CRC コントロールレジスタ（CRCCR）..... 1446
30.2.2 CRC データ入力レジスタ（CRCDIR）..... 1447
30.2.3 CRC データ出力レジスタ（CRCDOR）..... 1447
30.3 CRC 演算器の動作説明..... 1448
30.4 使用上の注意事項..... 1451
30.4.1 モジュールストップ機能の設定..... 1451

30.5 転送時の注意事項 1451
31. I²C バスインタフェース（RIIC）..... 1452
31.1 概要 1452
31.2 レジスタの説明 1455
31.2.1 I²C バスコントロールレジスタ 1（ICCR1）..... 1456
31.2.2 I²C バスコントロールレジスタ 2（ICCR2）..... 1459
31.2.3 I²C バスモードレジスタ 1（ICMR1）..... 1463
31.2.4 I²C バスモードレジスタ 2（ICMR2）..... 1464
31.2.5 I²C バスモードレジスタ 3（ICMR3）..... 1466
31.2.6 I²C バスファンクションイネーブルレジスタ（ICFER）..... 1469
31.2.7 I²C バスステータスイネーブルレジスタ（ICSER）..... 1471
31.2.8 I²C バスインタラプトイネーブルレジスタ（ICIER）..... 1473
31.2.9 I²C バスステータスレジスタ 1（ICSR1）..... 1475
31.2.10 I²C バスステータスレジスタ 2（ICSR2）..... 1478
31.2.11 スレーブアドレスレジスタ Ly（SARLy）（y= 0 ～ 2）..... 1482
31.2.12 スレーブアドレスレジスタ Uy（SARUy）（y= 0 ～ 2）..... 1483
31.2.13 I²C バスビットレートローレベルレジスタ（ICBRL）..... 1484
31.2.14 I²C バスビットレートハイレベルレジスタ（ICBRH）..... 1485
31.2.15 I²C バス送信データレジスタ（ICDRT）..... 1487
31.2.16 I²C バス受信データレジスタ（ICDRR）..... 1487
31.2.17 I²C バスシフトレジスタ（ICDRS）..... 1488
31.2.18 タイムアウト 内部カウンタ（TMOCNT）..... 1489
31.3 動作説明 1490
31.3.1 通信データフォーマット 1490
31.3.2 初期設定 1491
31.3.3 マスタ送信動作 1492
31.3.4 マスタ受信動作 1496
31.3.5 スレーブ送信動作 1502
31.3.6 スレーブ受信動作 1505
31.4 SCL 同期回路 1508
31.5 SDA 出力遅延機能 1509
31.6 デジタルノイズフィルタ回路 1510
31.7 アドレス一致検出機能 1511
31.7.1 スレーブアドレス一致検出機能 1511
31.7.2 ジェネラルコールアドレス検出機能 1513
31.7.3 デバイス ID アドレス検出機能 1514
31.7.4 ホストアドレス検出機能 1516
31.8 SCL の自動 Low ホールド機能 1517
31.8.1 送信データ誤送信防止機能 1517
31.8.2 NACK 受信転送中断機能 1518
31.8.3 受信データ取りこぼし防止機能 1518

31.9 アービトレーションロスト検出機能 1520
31.9.1 マスタアービトレーションロスト検出機能（MALE ビット） 1520
31.9.2 NACK 送信アービトレーションロスト検出機能（NALE ビット） 1522
31.9.3 スレーブアービトレーションロスト検出機能（SALE ビット） 1523
31.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 1524
31.10.1 スタートコンディション発行動作 1524
31.10.2 リスタートコンディション発行動作 1524
31.10.3 ストップコンディション発行動作 1525
31.11 バスハングアップ 1526
31.11.1 タイムアウト検出機能 1526
31.11.2 SCL クロック追加出力機能 1527
31.11.3 RIIC/ 内部リセット 1528
31.12 SMBus 動作 1529
31.12.1 SMBus タイムアウト測定 1529
31.12.2 パケットエラーコード（PEC） 1531
31.12.3 SMBus ホスト通知プロトコル /Notify ARP master 1531
31.13 割り込み要因 1532
31.14 リセット状況 1533
31.15 使用上の注意事項 1534
31.15.1 モジュールストップ機能の設定 1534
31.15.2 入力バッファコントロールレジスタの設定 1534
32. CAN モジュール（CAN） 1535
32.1 概要 1535
32.2 レジスタの説明 1538
32.2.1 制御レジスタ（CTLR） 1539
32.2.2 ビットコンフィグレーションレジスタ（BCR） 1543
32.2.3 マスクレジスタ i（MKRi）（i = 0 ～ 7） 1545
32.2.4 FIFO 受信 ID 比較レジスタ 0、1（FIDCR0、FIDCR1） 1546
32.2.5 マスク無効レジスタ（MKIVLR） 1548
32.2.6 メールボックスレジスタ j（MBj）（j = 0 ～ 31） 1549
32.2.7 メールボックス割り込み許可レジスタ（MIER） 1553
32.2.8 メッセージ制御レジスタ j（MCTLj）（j = 0 ～ 31） 1555
32.2.9 受信 FIFO 制御レジスタ（RFCR） 1559
32.2.10 受信 FIFO ポインタ制御レジスタ（RFPCR） 1562
32.2.11 送信 FIFO 制御レジスタ（TFCR） 1562
32.2.12 送信 FIFO ポインタ制御レジスタ（TFPCR） 1565
32.2.13 ステータスレジスタ（STR） 1566
32.2.14 メールボックスサーチモードレジスタ（MSMR） 1569
32.2.15 メールボックスサーチステータスレジスタ（MSSR） 1570
32.2.16 チャネルサーチサポートレジスタ（CSSR） 1572

32.2.17 アクセプタンスフィルタサポートレジスタ（AFSR）..... 1573
32.2.18 エラー割り込み許可レジスタ（EIER）..... 1574
32.2.19 エラー割り込み要因判定レジスタ（EIFR）..... 1576
32.2.20 受信エラーカウントレジスタ（RECR）..... 1579
32.2.21 送信エラーカウントレジスタ（TECR）..... 1579
32.2.22 エラーコード格納レジスタ（ECSR）..... 1580
32.2.23 タイムスタンプレジスタ（TSR）..... 1582
32.2.24 テスト制御レジスタ（TCR）..... 1583
32.3 動作モード..... 1585
32.3.1 CAN リセットモード..... 1586
32.3.2 CAN Halt モード..... 1587
32.3.3 CAN スリープモード..... 1588
32.3.4 CAN オペレーションモード（バスオフ状態以外）..... 1588
32.3.5 CAN オペレーションモード（バスオフ状態）..... 1589
32.4 CAN 通信速度の設定..... 1590
32.4.1 CAN クロックの設定..... 1590
32.4.2 ビットタイミングの設定..... 1590
32.4.3 ビットレート..... 1591
32.5 メールボックスとマスクレジスタの構成..... 1592
32.6 アクセプタンスフィルタ機能とマスク機能..... 1593
32.7 受信／送信..... 1596
32.7.1 受信..... 1597
32.7.2 送信..... 1599
32.8 CAN 割り込み..... 1600
33. シリアルペリフェラルインタフェース（RSPI）..... 1601
33.1 概要..... 1601
33.2 レジスタの説明..... 1604
33.2.1 RSPI 制御レジスタ（SPCR）..... 1605
33.2.2 RSPI スレーブセレクト極性レジスタ（SSLP）..... 1607
33.2.3 RSPI 端子制御レジスタ（SPPCR）..... 1608
33.2.4 RSPI ステータスレジスタ（SPSR）..... 1609
33.2.5 RSPI データレジスタ（SPDR）..... 1612
33.2.6 RSPI シーケンス制御レジスタ（SPSCR）..... 1613
33.2.7 RSPI シーケンスステータスレジスタ（SPSSR）..... 1614
33.2.8 RSPI ビットレートレジスタ（SPBR）..... 1615
33.2.9 RSPI データコントロールレジスタ（SPDCR）..... 1616
33.2.10 RSPI クロック遅延レジスタ（SPCKD）..... 1619
33.2.11 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）..... 1620
33.2.12 RSPI 次アクセス遅延レジスタ（SPND）..... 1621
33.2.13 RSPI 制御レジスタ 2（SPCR2）..... 1622
33.2.14 RSPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ SPCMD7）..... 1623

33.3 動作説明 1626
33.3.1 RSPI 動作の概要 1626
33.3.2 RSPI 端子の制御 1627
33.3.3 RSPI システム構成例 1628
33.3.3.1 シングルマスタ／シングルスレーブ（本 LSI ＝マスタ） 1628
33.3.3.2 シングルマスタ／シングルスレーブ（本 LSI ＝スレーブ） 1629
33.3.3.3 シングルマスタ／マルチスレーブ（本 LSI ＝マスタ） 1630
33.3.3.4 シングルマスタ／マルチスレーブ（本 LSI ＝スレーブ） 1631
33.3.3.5 マルチマスタ／マルチスレーブ（本 LSI ＝マスタ） 1632
33.3.3.6 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本 LSI ＝マスタ） 1633
33.3.3.7 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本 LSI ＝スレーブ） 1633
33.3.4 転送フォーマット 1634
33.3.4.1 CPHA ビット＝ 0 の場合 1634
33.3.4.2 CPHA ビット＝ 1 の場合 1635
33.3.5 データフォーマット 1636
33.3.5.1 MSB ファースト転送（32 ビットデータ） 1636
33.3.5.2 MSB ファースト転送（24 ビットデータ） 1638
33.3.5.3 LSB ファースト転送（32 ビットデータ） 1640
33.3.5.4 LSB ファースト転送（24 ビットデータ） 1642
33.3.6 通信動作モード 1644
33.3.6.1 全二重同期式シリアル通信（SPCR.TXMD=0） 1644
33.3.6.2 送信のみ動作（SPCR.TXMD=1） 1645
33.3.7 送信バッファエンプティ／受信バッファフル割り込み 1646
33.3.8 エラー検出 1648
33.3.8.1 オーバランエラー 1649
33.3.8.2 パリティエラー 1651
33.3.8.3 モードフォルトエラー 1652
33.3.9 RSPI の初期化 1653
33.3.9.1 SPE ビットのクリアによる初期化 1653
33.3.9.2 システムリセット 1653
33.3.10 SPI 動作 1654
33.3.10.1 マスタモード動作 1654
33.3.10.2 スレーブモード動作 1661
33.3.11 クロック同期式動作 1665
33.3.12 マスタモード動作 1665
33.3.13 スレーブモード動作 1669
33.3.14 エラー処理 1672
33.3.15 ループバックモード 1674
33.3.16 パリティビット機能の自己判断 1675
33.3.17 割り込み要因 1676

33.4 使用上の注意事項 1676
33.4.1 マスタモードにおけるパリティ機能有効時の送信動作 1676
34. 12 ビット A/D コンバータ（S12AD） 1677
34.1 概要 1677
34.2 レジスタの説明 1680
34.2.1 A/D データレジスタ n（ADDRn）（n = 0 ～ 7） 1681
34.2.2 A/D コントロールレジスタ（ADCSR） 1683
34.2.3 A/D チャネル選択レジスタ（ADANS） 1685
34.2.4 A/D 変換値加算モード選択レジスタ（ADADS） 1686
34.2.5 A/D 変換値加算回数選択レジスタ（ADADC） 1687
34.2.6 A/D コントロール拡張レジスタ（ADCER） 1688
34.2.7 A/D 開始トリガ選択レジスタ（ADSTRGR） 1689
34.3 動作説明 1690
34.3.1 スキャン変換動作の説明 1690
34.3.2 1 サイクルスキャンモード 1690
34.3.3 連続スキャンモード 1691
34.3.4 アナログ入力のサンプリングとスキャン変換時間 1692
34.3.5 A/D データレジスタ n（ADDRn）の自動クリア機能の使用例 1693
34.3.6 A/D 変換値加算機能 1693
34.3.7 外部トリガによるスキャン変換の開始 1693
34.3.8 周辺モジュールからのトリガによるスキャン変換の開始 1694
34.3.8.1 MTU の TRG0AN_0 と TRG0BN_0 による A/D 変換の開始 1694
34.3.8.2 MTU の TRGAN_0 と TRGAN_1 による A/D 変換の開始 1695
34.3.8.3 MTU の TRG0EN_0 と TRG0FN_0 による A/D 変換の開始 1696
34.3.8.4 MTU の TRG4ABN_0 と TRG4ABN_1 による A/D 変換の開始 1697
34.3.8.5 TMR の TMTRG0AN_0 と TMTRG0AN_1 による A/D 変換の開始 1698
34.4 割り込み要因と DMA 転送要求 1699
34.4.1 スキャン変換の各スキャン終了時の割り込み要求 1699
34.5 使用上の注意事項 1699
34.5.1 12 ビット A/D コンバータおよび 10 ビット A/D コンバータの選択 1699
34.5.2 モジュールストップ機能の設定 1699
34.5.3 A/D 変換再開時の注意事項 1699
34.5.4 A/D 変換停止時の注意事項 1699
34.5.5 低消費電力状態への遷移時の注意 1700
34.5.6 ソフトウェアスタンバイモード解除時の注意 1700
34.5.7 A/D コンバータと D/A コンバータを同時に使用した場合の注意事項 1700
35. 10 ビット A/D コンバータ（ADa） 1701
35.1 概要 1701
35.2 レジスタの説明 1706
35.2.1 A/D データレジスタ n（ADDRn）（n = A ～ D） 1707
35.2.2 A/D コントロール／ステータスレジスタ（ADCSR） 1708

35.2.3 A/D コントロールレジスタ（ADCR）..... 1710
35.2.4 ADDRn フォーマット選択レジスタ（ADDPR）（n = A ～ D）..... 1711
35.2.5 A/D サンプリングステートレジスタ（ADSSTR）..... 1711
35.2.6 A/D 自己診断レジスタ（ADDIAGR）..... 1712
35.3 動作説明..... 1713
35.3.1 シングルモード..... 1714
35.3.2 スキャンモード..... 1715
35.3.2.1 連続スキャンモード 1715
35.3.2.2 1 サイクルスキャンモード 1716
35.3.3 入力サンプリングと A/D 変換時間..... 1717
35.3.4 外部トリガによる A/D 変換の開始..... 1719
35.3.5 MTU の TRG0AN_0 と TRG0BN_0 による A/D 変換の開始..... 1720
35.3.6 MTU の TRGAN_0 と TRGAN_1 による A/D 変換の開始..... 1721
35.3.7 MTU の TRG4ABN_0 と TRG4ABN_1 による A/D 変換の開始 1722
35.3.8 TMR の TMTRG0AN_0 による A/D 変換の開始..... 1723
35.4 割り込み要因..... 1724
35.5 A/D 変換精度の定義..... 1724
35.6 使用上の注意事項..... 1726
35.6.1 モジュールストップ機能の設定..... 1726
35.6.2 A/D 変換停止時の注意事項..... 1726
35.6.3 A/D 変換再開時の注意事項..... 1726
35.6.4 低消費電力状態への遷移時の注意..... 1726
35.6.5 許容信号源インピーダンスについて..... 1727
35.6.6 絶対精度への影響..... 1727
35.6.7 アナログ電源端子他の設定範囲..... 1728
35.6.8 ボード設計上の注意..... 1728
35.6.9 ノイズ対策上の注意..... 1728
35.6.10 高速変換を実現するためには..... 1729
35.6.11 12 ビット A/D コンバータおよび 10 ビット A/D コンバータの選択 1730
35.6.12 A/D コンバータと D/A コンバータを同時に使用した場合の注意事項 1730
36. D/A コンバータ 1731
36.1 概要..... 1731
36.2 レジスタの説明..... 1732
36.2.1 D/A データレジスタ m（DADRm）（m=0、1）..... 1732
36.2.2 D/A コントロールレジスタ（DACR）..... 1733
36.2.3 DADRm フォーマット選択レジスタ（DADPR）..... 1735
36.3 動作説明..... 1736
36.4 使用上の注意事項..... 1737
36.4.1 モジュールストップ機能の設定..... 1737
36.4.2 モジュールストップ時の D/A の動作..... 1737
36.4.3 ソフトウェアスタンバイモード時の D/A の動作..... 1737

36.4.4 ディープソフトウェアスタンバイモード時の注意事項 1737
37. RAM 1738
37.1 概要 1738
37.2 動作説明 1738
37.2.1 データ保持 1738
37.2.2 消費電力低減機能 1738
38. ROM（コード格納用フラッシュメモリ） 1739
38.1 概要 1739
38.2 レジスタの説明 1741
38.2.1 フラッシュモードレジスタ（FMODR） 1742
38.2.2 フラッシュアクセスステータスレジスタ（FASTAT） 1743
38.2.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT） 1745
38.2.4 FCU RAM イネーブルレジスタ（FCURAME） 1746
38.2.5 フラッシュステータスレジスタ 0（FSTATR0） 1747
38.2.6 フラッシュステータスレジスタ 1（FSTATR1） 1750
38.2.7 フラッシュレディ割り込み許可レジスタ（FRDYIE） 1751
38.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR） 1752
38.2.9 フラッシュプロテクトレジスタ（FPROTR） 1754
38.2.10 フラッシュリセットレジスタ（FRESETR） 1755
38.2.11 FCU コマンドレジスタ（FCMDR） 1756
38.2.12 FCU 処理切り替えレジスタ（FCPSR） 1757
38.2.13 フラッシュ P/E ステータスレジスタ（FPESTAT） 1758
38.2.14 周辺クロック通知レジスタ（PCKAR） 1759
38.2.15 フラッシュライトイレースプロテクトレジスタ（FWEPROR） 1760
38.3 ROM のメモリマット構成 1761
38.4 ブロック構成 1761
38.5 ROM 関連の動作モード 1762
38.6 ROM への書き込み／消去 1764
38.6.1 FCU のモード 1764
38.6.1.1 ROM リードモード 1765
38.6.1.2 ROM P/E モード 1765
38.6.2 FCU コマンド一覧 1766
38.6.3 FCU のモードとコマンドの関係 1768
38.6.4 FCU コマンド使用方法 1769
38.6.4.1 モード移行 1769
38.6.4.2 書き込み／消去方法手順 1773
38.6.4.3 エラー処理の方法 1782
38.6.4.4 サスペンド／レジューム 1783
38.7 サスペンド動作 1786
38.7.1 書き込み中のサスペンド 1786
38.7.2 消去中のサスペンド（サスペンド優先モード） 1787

38.7.3 消去中のサスペンド（消去優先モード）..... 1788
38.8 プロテクト..... 1789
38.8.1 ソフトウェアプロテクト..... 1789
38.8.2 エラープロテクト..... 1789
38.9 ブートモード..... 1791
38.9.1 システム構成..... 1791
38.9.2 ID コードプロテクト..... 1792
38.9.3 UB コード A..... 1793
38.9.4 ブートモードの状態遷移..... 1794
38.9.5 ビットレートの自動調整..... 1796
38.9.6 問い合わせ設定ホストコマンド待ち状態..... 1797
38.9.7 ID コード待ち状態..... 1808
38.9.8 書き込み／消去ホストコマンド待ち状態..... 1809
38.10 USB（ユーザ）ブートモード..... 1817
38.10.1 特長..... 1818
38.10.2 状態遷移..... 1819
38.10.3 USB ブートモード実行時の注意点..... 1820
38.11 オンチップデバッガ ID コードプロテクト..... 1820
38.12 ROM コードプロテクト..... 1821
38.13 使用上の注意事項..... 1821
39. データフラッシュ（データ格納用フラッシュメモリ）..... 1823
39.1 概要..... 1823
39.2 レジスタの説明..... 1825
39.2.1 フラッシュモードレジスタ（FMODR）..... 1826
39.2.2 フラッシュアクセスステータスレジスタ（FASTAT）..... 1827
39.2.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）..... 1829
39.2.4 データフラッシュ読み出し許可レジスタ 0（DFLRE0）..... 1830
39.2.5 データフラッシュ読み出し許可レジスタ 1（DFLRE1）..... 1831
39.2.6 データフラッシュ書き込み／消去許可レジスタ 0（DFLWE0）..... 1832
39.2.7 データフラッシュ書き込み／消去許可レジスタ 1（DFLWE1）..... 1833
39.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR）..... 1834
39.2.9 データフラッシュブランクチェック制御レジスタ（DFLBCCNT）..... 1836
39.2.10 データフラッシュブランクチェックステータスレジスタ（DFLBCSTAT）..... 1837
39.3 データフラッシュのメモリマット構成..... 1838
39.4 ブロック構成..... 1838
39.5 データフラッシュ関連の動作モード..... 1839
39.6 データフラッシュへの書き込み／消去..... 1840
39.6.1 FCU のモード..... 1840
39.6.1.1 ROM P/E モード..... 1841
39.6.1.2 ROM ／データフラッシュリードモード..... 1841
39.6.1.3 データフラッシュ P/E モード..... 1841

39.6.2 FCU コマンド一覧 1842
39.6.3 FCU のモードとコマンドの関係 1843
39.6.4 FCU コマンド使用方法 1844
39.7 プロテクト 1848
39.7.1 ソフトウェアプロテクト 1848
39.7.2 エラープロテクト 1849
39.8 ブートモード 1850
39.8.1 問い合わせ設定ホストコマンド 1850
39.8.2 書き込み／消去ホストコマンド 1851
39.9 使用上の注意事項 1853
40. バウンダリスキャン 1854
40.1 概要 1854
40.2 レジスタの説明 1855
40.2.1 インストラクションレジスタ（JTIR） 1856
40.2.2 ID コードレジスタ（JTIDR） 1856
40.2.3 バイパスレジスタ（JTBPR） 1857
40.2.4 バウンダリスキャンレジスタ（JTBSR） 1857
40.3 動作説明 1869
40.3.1 TAP コントローラ 1869
40.3.2 コマンド一覧 1870
40.4 使用上の注意事項 1871
41. 電気的特性 1873
41.1 絶対最大定格 1873
41.2 DC 特性 1874
41.3 AC 特性 1878
41.3.1 クロックタイミング 1879
41.3.2 制御信号タイミング 1883
41.3.3 バスタイミング 1884
41.3.4 EXDMAC タイミング 1897
41.3.5 内蔵周辺モジュールタイミング 1898
41.4 USB 特性 1915
41.5 A/D 変換特性 1916
41.6 D/A 変換特性 1917
41.7 パワーオンリセット回路、電圧検出回路特性 1917
41.8 発振停止検出タイミング 1919
41.9 ROM（コード格納用フラッシュメモリ）特性 1920
41.10 データフラッシュ（データ格納用フラッシュメモリ）特性 1921
付録 1. 各動作モードにおけるポートの状態 1923
付録 2. 外形寸法図 1932
改訂記録 1937

RX62N/RX621グループ

ルネサスマイクロコンピュータ

R01UH0033JJ0140
Rev.1.40
2014.07.16

100MHz、32ビットRX MCU、FPU内蔵、165 DMIPS、最大512Kバイトフラッシュメモリ、USB2.0フルスピード　ホスト/ファンクション/OTG イーサネット、CAN、12ビットADC、TFT-LCD、RTC、最大14本の通信I/F

特長

■ 32 ビット RX CPU コア内蔵

- 最大動作周波数 100MHz
  165 DMIPS の性能（100MHz 動作時）
- 32 ビット単精度浮動小数点（IEEE754 に準拠）
- 32×32 → 64 ビット演算結果（1 命令）のアキュームレータ
- 乗除算器 32×32 ビット（乗算命令は 1CPU クロック）
- 高速割り込み
- 5段パイプラインのCISCハーバードアーキテクチャ
- 可変長命令形式：コードを大幅に短縮
- メモリプロテクションユニット（MPU）対応
- JTAG デバッグ機能および高速トレース機能

■消費電力低減機能

- 2.7V ～ 3.6V 動作の単一電源
- 全周辺機能サポート時、500μA/MHz の消費電力
- RTC を使用したディープソフトウェアスタンバイモード
- 4 種類の低消費電力モード

■内蔵メインフラッシュメモリ（ウェイトなし）

- 100MHz 動作、10 n sec 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 256K/384K/512K バイトの容量
- 命令、オペランド用
- USB、SCI、JTAG からのユーザ書き込み

■内蔵データフラッシュメモリ

- 最大 32K バイト（30K 回消去可能）
- CPU に負荷をかけない書き込み / 消去

■内蔵 SRAM（ウェイトなし）

- 64K/96K バイト SRAM
- オペランド、命令用
- ディープソフトウェアスタンバイモード時のバックアップ保存機能

■ DMA

- DMA：4 チャネル内蔵
- 外部間転送用 EXDMA：2 チャネル内蔵
- DTC

■リセットおよび電源電圧制御

- 常時パワーオンリセット（POR）内蔵
- 低電圧検出機能（LVD）の設定可能

■クロック機能

- 外部水晶発振、内部 PLL 対応 8MHz ～ 14MHz
- システム、USB、イーサネット向け PLL
- IWDT 用、内部 125kHz LOCO クロック
- 外部水晶発振、32kHz RTC 用専用クロック

■リアルタイムクロック内蔵

■独立ウォッチドッグタイマ内蔵

- 125kHz LOCO クロック動作

■最大 14 本の通信インタフェース内蔵

- PHY 付き USB2.0 フルスピード (2ch)
  ホスト / ファンクション / OTG に対応
  10 エンドポイント：Control, Interrupt, Bulk, Isochronous
- イーサネット MAC 10/100 Mbps、
  全 2 重 / 半 2 重モードに対応 (1ch)
  2K バイト受信 / 送信 FIFO 付き専用 DMA
  RMII/MII インタフェースに対応
- CAN (ISO11898-1 準拠), 32 メールボックス内蔵 (1ch)
- SCI(6ch)
  調歩同期式モード / クロック同期式モード /
  スマートカードインタフェースモード
- I^2C バスインタフェース　最大 1M bps 転送、SMBus に対応 (2ch)
- RSPI(2ch)

■外部アドレス空間

- 8 つの CS 領域（8×16 M バイト）
- 128 M バイトの SDRAM 領域
- エリアごとに 8/16/32 ビットバス空間を選択可能

■ WQVGA までの TFT-LCD に対応

■最大 20 本の拡張タイマ機能

- 16 ビット MTU2：インプットキャプチャ、
  アウトプットコンペア、PWM 波形出力、
  位相計数モード (12ch)
- 8 ビット TMR(4ch)
- 16 ビット CMT(4ch)

■ 1MHz 動作 A/D コンバータ内蔵

- 1サンプル/ホールド回路内蔵 12ビット×8チャネル、または、1 サンプル / ホールド回路内蔵 10 ビット × 4 チャネル 2 ユニット
- A/D 変換値加算機能（12 ビット A/D コンバータ）

■ 10 ビット D/A コンバータ内蔵：2 チャネル

■最大 128 本の GPIO 内蔵

- 5V トレラント、オープンドレイン、
  入力プルアップ

■動作周囲温度

- –40 ℃ ～ +85 ℃

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 に製品別機能対応表を示します。

表1.1 仕様概要 (1 / 4)

分類	モジュール／機能	説明
CPU	中央演算処理装置	● 最大動作周波数：100MHz ● 32ビットRX CPU ● 最小命令実行時間：1命令1クロック ● アドレス空間：4Gバイト・リニアアドレス ● レジスタ 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×9本 アキュムレータ：64ビット×1本 ● 基本命令：73種類 ● 浮動小数点演算命令：8種類 ● DSP機能命令：9種類 ● アドレッシングモード：10種類 ● データ配置 命令：リトルエンディアン データ：リトルエンディアン／ビッグエンディアンを選択可能 ● 32ビット乗算器：32ビット×32ビット→64ビット ● 除算器：32ビット÷32ビット→32ビット ● バレルシフタ：32ビット ● メモリプロテクションユニット（MPU)
	FPU	● 単精度浮動小数点数（32ビット） ● IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	● ROM容量：最大512Kバイト ● 2種類のオンボードプログラミングモード ブートモード（SCI、USB を使用してユーザマットを書き換え可能） ユーザプログラムモード ● パラレルライタモード（オフボードプログラミング）
	RAM	RAM容量：最大96Kバイト
	データフラッシュ	データROM容量：32Kバイト
MCU動作モード		シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード（ソフトウェア切り替え）
クロック	クロック発生回路	● 2回路：メインクロック発振回路、サブクロック発振回路 ● 内部発振：低速オンチップオシレータ ● PLL周波数シンセサイザと周波数分周回路で構成され、動作周波数を選択可能 ● 発振停止検出：あり ● システムクロック（ICLK）、周辺モジュールクロック（PCLK）、外部バスクロック（BCLK）を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：8～100MHz 周辺モジュールは、PCLK同期：8～50MHz 外部バスに接続するデバイスは、BCLK同期：8～50MHz（注1）
リセット		端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット
電圧検出回路		VCCが電圧検出レベル（Vdet）以下になると内部リセットまたは内部割り込みを発生
低消費電力	消費電力低減機能	● モジュールストップ機能 ● 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

注1. 100ピンLQFP版、85ピンTFLGA版では、BCLK同期：8～25MHz です。

表1.1　仕様概要 (2 / 4)

分類	モジュール／機能	説明
割り込み	割り込みコントローラ	• 周辺機能割り込み：要因数146 • 外部割り込み：要因数 16（IRQ0～IRQ15端子） • ノンマスカブル割り込み：要因数 3（NMI端子、発振停止検出割り込み、電圧監視割り込み） • 16レベルの割り込み優先順位を設定可能
	ユーザブレーク コントローラ （オプション）	• 2チャネルのブレークポイント フェッチサイクルにアドレスブレークが設定可能（ROM訂正が可能）
外部バス拡張		• 外部アドレス空間を9つのエリア（CS0～CS7、SDCS）に分割して管理 各エリアの領域：16Mバイト（CS0～CS7）、128Mバイト（SDCS） エリアごとにチップセレクト（CS0#～CS7#、SDCS#）出力可能 エリアごとに8ビットバス空間／16ビットバス空間／32ビットバス空間を選択可能 （32ビットバス空間は176ピン版のみ） エリアごとにエンディアンを設定可能（データのみ） • SDRAMインタフェース接続可能 • バス形式：セパレートバス • ウェイト制御可能 • ライトバッファ機能
DMA	DMAコントローラ	• 4チャネル • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	EXDMAコントローラ	• 2チャネル • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モード • EDACK信号によるシングルアドレス転送が可能 • TFT LCDパネルへのダイレクトデータ転送が可能 • 起動要因：ソフトウェアトリガ、外部DMA転送要求（EDREQ）、周辺機能割り込み
	データトランスファ コントローラ	• 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
I/Oポート	プログラマブル入出力 ポート	176ピンLFBGA/145ピンTFLGA/144ピンLQFP/100ピンLQFP/85ピンTFLGAのI/Oポート • 入出力：126/103/103/72/58 • 入力：2/2/2/2/2 • プルアップ抵抗：56/44/44/40/28 • オープンドレイン出力：35/33/33/27/23 • 5Vトレラント：11/11/11/7/6
タイマ	マルチファンクション タイマパルスユニット	• （16ビット× 6チャネル）×2ユニット • 16ビットタイマ12チャネルをベースに最大32本のパルス入出力、および6本のパルス入力が可能 • チャネルごとに8種類のカウントクロック（PCLK/1、PCLK/4、PCLK/16、PCLK/64、MTCLKA、MTCLKB、MTCLKC、MTCLKD）を選択可能（チャネル5は4種類） • インプットキャプチャ機能 • 21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • パルス出力モード • 相補PWM出力モード • リセット同期PWMモード • 位相計数モード • A/Dコンバータの変換開始トリガを生成可能
	ポートアウトプット イネーブル	MTU波形出力端子のハイインピーダンス制御

表1.1　仕様概要 (3 / 4)

分類	モジュール／機能	説明
タイマ	プログラマブルパルスジェネレータ	• （4ビット×4グループ）×2ユニット • MTUからの出力をトリガとしてパルスを出力 • 最大32ビットのパルス出力
	8ビットタイマ	• （8ビット×2チャネル）×2ユニット • 7種類の内部クロック（PCLK、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192）と外部クロックを選択可能 • 任意のデューティ比のパルス出力やPWM出力が可能 • 2チャネルをカスケード接続し16ビットタイマとして使用可能 • A/Dコンバータの変換開始トリガを生成可能 • SCI5、SCI6のボーレートクロック生成可能
	コンペアマッチタイマ	• （16ビット×2チャネル）×2ユニット • 4種類のクロック（PCLK/8、PCLK/32、PCLK/128、PCLK/512）を選択可能
	ウォッチドッグタイマ	• 8ビット×1チャネル • 8種類のカウントクロック（PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072）を選択可能 • ウォッチドッグタイマモード／インターバルタイマモードを切り替えて使用可能
	独立ウォッチドッグタイマ	• 14ビット×1チャネル • カウントクロック：専用オンチップオシレータ
リアルタイムクロック		• クロックソース：サブクロックにて動作 • 時計／カレンダー機能 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み
通信機能	イーサネットコントローラ	• イーサネット／IEEE802.3フレームの送受信 • 10Mbpsおよび100Mbps転送への対応 • 全二重モードおよび半二重モード対応 • IEEE802.3u規格のMII（Media Independent Interface）およびRMII（Reduced Media Independent Interface）に対応 • Magic Packet™（注）の検出およびWake-On-LAN（WOL）信号の出力 • IEEE802.3x規格のフロー制御準拠 注．　Magic Packet™は、Advanced Micro Devices, Inc.の登録商標です。
	イーサネットコントローラ用DMAコントローラ	• ディスクリプタ管理方式によるCPU負荷の軽減 • 送信FIFO：2Kバイト、受信FIFO：2Kバイト
	USB2.0ホスト／ファンクションモジュール	• USB2.0に対応したUDC（USB Device Controller）およびトランシーバを内蔵 • 1ポート（176ピン版：2ポート） • USBバージョン2.0準拠 • 転送スピード：フルスピード（12Mbps） • セルフパワーモードおよびバスパワードを選択可能 • OTG（ON-The-Go）に対応可能 • 通信バッファとして2KバイトのRAMを内蔵
	シリアルコミュニケーションインタフェース	• 6チャネル • シリアル通信方式：調歩同期式／クロック同期式／スマートカードインタフェース • マルチプロセッサ通信機能 • 内蔵ボーレートジェネレータで任意のビットレートを選択可能 • LSBファースト／MSBファーストを選択可能 • TMRからの平均転送レートクロック入力が可能（SCI5、SCI6）
	I^2Cバスインタフェース	• 2チャネル（100ピン版：1チャネル） • 通信フォーマット I^2Cバスフォーマット／SMBusフォーマット マスタ／スレーブ選択可能（マルチマスタ対応）
	CANモジュール	• 1チャネル • 32メールボックス

表1.1　仕様概要 (4 / 4)

分類	モジュール／機能	説明
通信機能	シリアルペリフェラルインタフェース	● 2ユニット ● RSPI転送機能 MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（RSPI Clock）信号を使用して、SPI動作（4線式）／クロック同期式動作（3線式）でシリアル通信が可能 マスタ／スレーブモードでのシリアル通信が可能 ● データフォーマット MSBファースト／LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信／受信バッファは128ビット 一度の送受信で最大4フレームを転送（1フレームは最大32ビット） ● バッファ構成 ● 送信／受信バッファ構成はダブルバッファ ● 最大転送レート マスタモード時：18Mbps スレーブモード時：6.25Mbps
12ビットA/Dコンバータ／10ビットA/Dコンバータ		● 12ビット×1ユニット（1ユニット×8チャネル）または10ビット×2ユニット（2ユニット×4チャネル） （12 ビットA/D コンバータ、10 ビットA/D コンバータは排他的に使用可能） ● 分解能：10ビットまたは12ビット ● 変換時間：1チャネル当たり1.0μs（PCLK=50MHz動作時） ● 2種類の動作モード シングルモード スキャンモード（1サイクルスキャンモード／連続スキャンモード） ● サンプル＆ホールド機能付き ● 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ（MTU、TMR）のトリガ、外部トリガ ● A/Dコンバータの自己診断機能
D/Aコンバータ		● 2チャネル（100ピン版：1チャネル） ● 分解能：10ビット ● 出力電圧：0V～VREFH
CRC演算器		● 8ビット単位の任意のデータ長に対してCRCコードを生成 ● 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ ● LSBファースト／MSBファースト通信用CRCコード生成の選択が可能
動作周波数		8～100MHz
電源電圧		VCC = PLLVCC = AVCC = 2.7～3.6V、VREFH = 2.7～AVCC
動作周囲温度		–40～+85℃
パッケージ		176ピンLFBGA（PLBG0176GA-A）、145ピンTFLGA（PTLG0145JB-A） 144ピンLQFP（PLQP0144KA-A）、100ピンLQFP（PLQP0100KB-A）（注2） 85ピンTFLGA（PTLG0085JA-A）（注2、注3）

注2.　100ピンLQFP版、85ピンTFLGA版には、SDRAMエリアコントローラ、EXDMAコントローラはサポートしていません。
注3.　85ピンTFLGA版には、ポートアウトプットイネーブルはサポートしていません。

表1.2　RX62Nグループ、RX621グループ機能比較表

機能		RX62Nグループ								RX621グループ				
		R5F562NxBXXX（注）				R5F562NxAXXX（注）				R5F5621xBXXX（注）				
パッケージ		176ピンLFBGA	145ピンTFLGA	144ピンLQFP	100ピンLQFP	176ピンLFBGA	145ピンTFLGA	144ピンLQFP	100ピンLQFP	176ピンLFBGA	145ピンTFLGA	144ピンLQFP	100ピンLQFP	85ピンTFLGA
外部バス	SDRAMエリアコントローラ	○			―	○			―	○			―	
DMA	DMAコントローラ	○				○				○				
	EXDMAコントローラ	○			―	○			―	○			―	
	データトランスファコントローラ	○				○				○				
タイマ	マルチファンクションタイマパルスユニット	○				○				○				
	ポートアウトプットイネーブル	○				○				○				―
	プログラマブルパルスジェネレータ	○				○				○				
	8ビットタイマ	○				○				○				
	コンペアマッチタイマ	○				○				○				
	リアルタイムクロック	○				○				○				
	ウォッチドッグタイマ	○				○				○				
	独立ウォッチドッグタイマ	○				○				○				
通信機能	イーサネットコントローラ／イーサネットコントローラ用DMAコントローラ	○				○				―				
	USB2.0ホスト／ファンクションモジュール	○				○				○				
	シリアルコミュニケーションインタフェース	○				○				○				
	I^2Cバスインタフェース	○				○				○				
	CANモジュール	○				―				○				
	シリアルペリフェラルインタフェース	○				○				○				
A/Dコンバータ		○				○				○				
D/Aコンバータ		○				○				○				
CRC演算器		○				○				○				

【記号説明】　○：あり、―：なし

注.　製品型名については、表1.3を参照してください。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表1.3 製品一覧表

グループ	型名	パッケージ	ROM容量	RAM容量	データフラッシュ	動作周波数（max）
RX62N	R5F562N8BDBG	PLBG0176GA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8BDLE	PTLG0145JB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8BDFB	PLQP0144KA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8BDFP	PLQP0100KB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N7BDBG	PLBG0176GA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7BDLE	PTLG0145JB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7BDFB	PLQP0144KA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7BDFP	PLQP0100KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N8ADBG	PLBG0176GA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8ADLE	PTLG0145JB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8ADFB	PLQP0144KA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8ADFP	PLQP0100KB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N7ADBG	PLBG0176GA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7ADLE	PTLG0145JB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7ADFB	PLQP0144KA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7ADFP	PLQP0100KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
RX621	R5F56218BDBG	PLBG0176GA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56218BDLE	PTLG0145JB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56218BDFB	PLQP0144KA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56218BDFP	PLQP0100KB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56218BDLD	PTLG0085JA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56217BDBG	PLBG0176GA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56217BDLE	PTLG0145JB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56217BDFB	PLQP0144KA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56217BDFP	PLQP0100KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56217BDLD	PTLG0085JA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDBG	PLBG0176GA-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDLE	PTLG0145JB-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDFB	PLQP0144KA-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDFP	PLQP0100KB-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDLD	PTLG0085JA-A	256Kバイト	64Kバイト	32Kバイト	100MHz

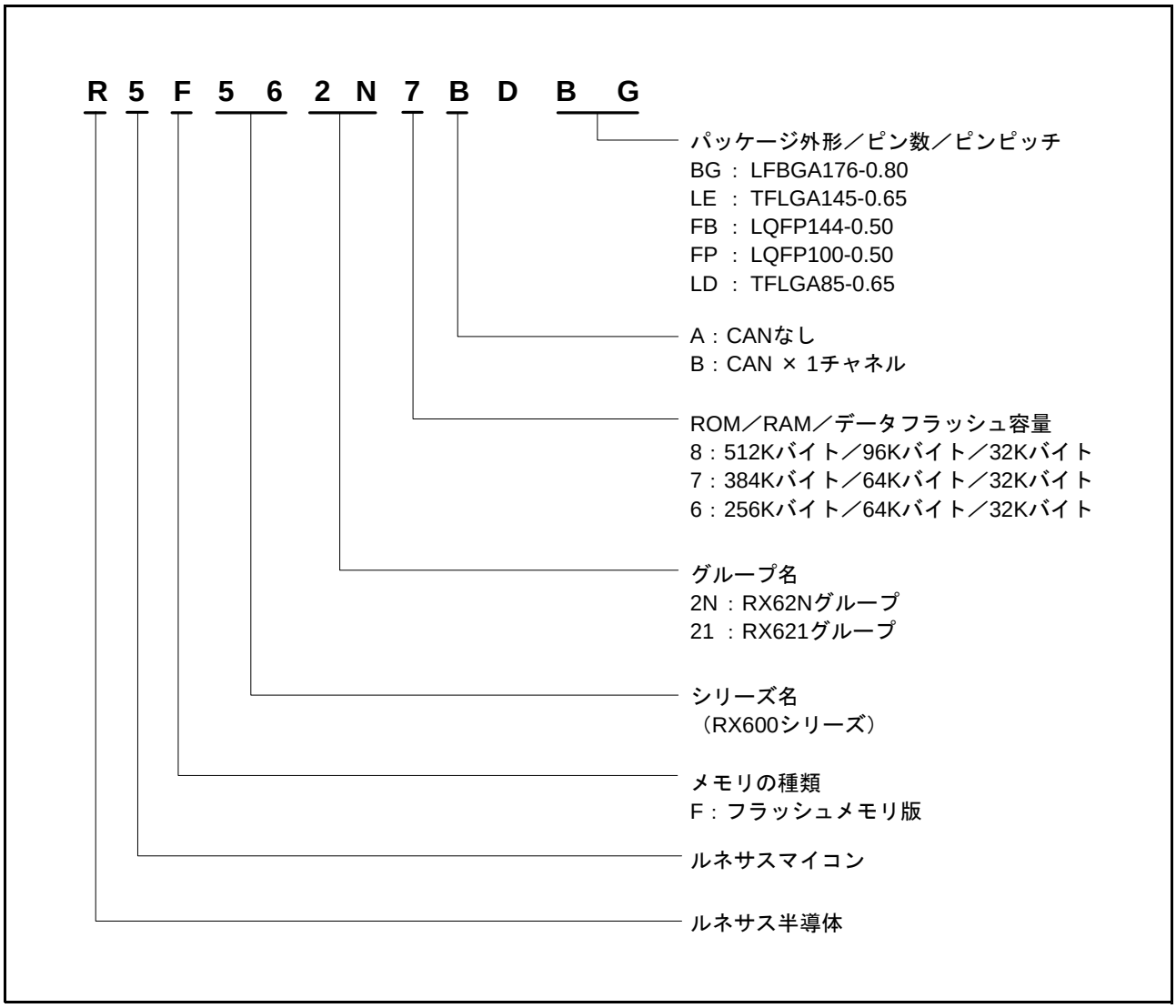
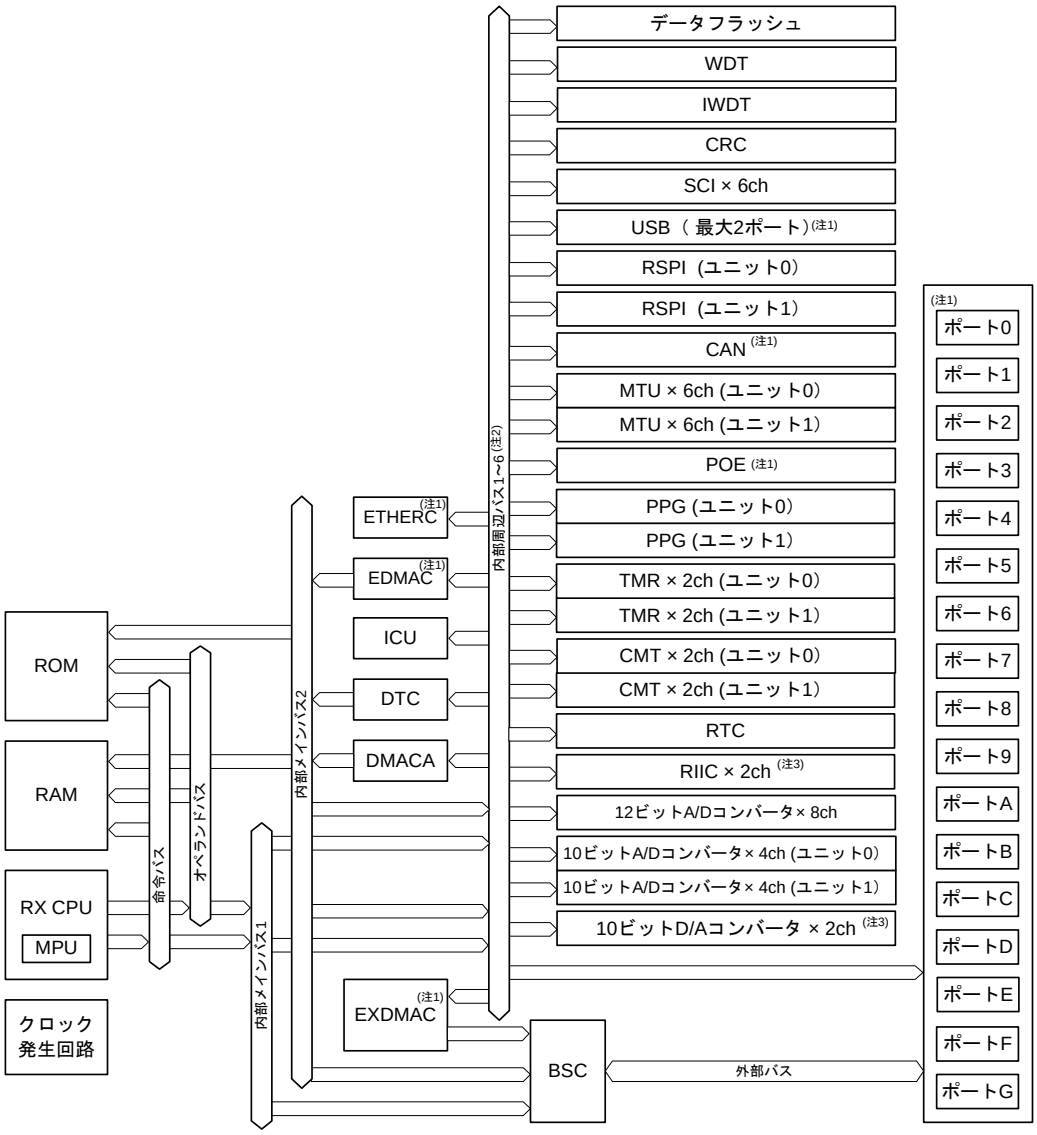


図 1.1　　型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。



注1.　EXDMAC、ETHERC、EDMAC、USB、CAN、POE、ポート0～Gは、製品グループおよびパッケージにより、搭載/非搭載が異なります。
注2.　内部周辺バスの構成は、「12.　バス」を参照してください。
注3　RIIC、10ビットD/A変換器は、パッケージにより、搭載チャネル数が異なります。

ETHERC　：イーサネットコントローラ
EDMAC　：イーサネットコントローラ用DMAコントローラ
ICU　：割り込みコントローラ
DTC　：データトランスファコントローラ
DMACA　：DMAコントローラ
EXDMAC　：EXDMAコントローラ
BSC　：バスコントローラ
WDT　：ウォッチドッグタイマ
IWDT　：独立ウォッチドッグタイマ
CRC　：CRC（Cyclic Redundancy Check）演算器
MPU　：メモリプロテクションユニット
SCI　：シリアルコミュニケーションインタフェース
USB　：USB2.0ホスト／ファンクションモジュール
RSPI　：シリアルペリフェラルインタフェース
CAN　：CANモジュール
MTU　：マルチファンクションタイマパルスユニット
POE　：ポートアウトプットイネーブル
PPG　：プログラマブルパルスジェネレータ
TMR　：8ビットタイマ
CMT　：コンペアマッチタイマ
RTC　：リアルタイムクロック
RIIC　：I^2Cバスインタフェース

図 1.2　ブロック図

1.4　ピン配置図

図 1.3 ～図 1.9 にピン配置図を示します。また、表 1.4 ～表 1.8 に機能別端子一覧を示します。

RX62Nグループ
RX621グループ
PLBG0176GA-A
（176ピンLFBGA）
（上面透視図）

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE1	P70	PE6	P65	P67	PG5	PA1	PA3	PA6	PB0	VCC	PB2	PB5	PB7	P75	15
14	P63	PE2	PE5	PE7	P66	PA0	PG6	PA4	PA7	P72	PB3	PB6	P73	PC1	P77	14
13	P61	P64	PE3	PE4	VCC	PG3	VCC	PA2	PA5	P71	PB4	VCC	P74	P76	P80	13
12	PD7	P62	PE0	VSS	PG2	PG4	VSS	PG7	VSS	PB1	VSS	PC0	PC2	PC4	PC7	12
11	PG0	P60	VCC	VSS								P81	PC3	P82	P83	11
10	PD4	PD6	PD5	PG1								PC6	PC5	P50	P53	10
9	PD3	P97	VCC	VSS								VSS	VCC	P84	P85	9
8	PD2	P96	P94	P95								P51	P52	VCC_USB	USB1_DP	8
7	PD0	PD1	P92	P93								P54	P10	P56	USB1_DM	7
6	P90	P91	VCC	VSS								P55	P57	VCC_USB	VSS_USB	6
5	P46	P47	P40	P43								P11	P15	P13	USB0_DP	5
4	P45	P44	P07	P41	VSS	VSS	MDE	RES#	P34	PF4	P30	VSS	P17	P14	USB0_DM	4
3	P42	VREFL	P05	VCC	BSCANP	VCL	MD0	VCC	PF3	PF0	VCC	P22	P20	P16	P12	3
2	AVCC	VREFH	P03	P01	CNVSS	WDTOVF#	MD1	P35	P32	P31	P27	P25	P23	PLLVCC	PLLVSS	2
1	AVSS	P02	P00	EMLE	XCIN	XCOUT	VSS	XTAL	EXTAL	P33	PF2	PF1	P26	P24	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

図 1.3　176 ピン LFBGA ピン配置図

RX62Nグループ
RX621グループ
PTLG0145JB-A
（145ピンTFLGA）
（上面透視図）

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	P64	PE4	P70	PE6	P66	PA2	PA4	PA7	P72	PB3	PB6	VSS	P74	13
12	P62	PE1	PE3	PE7	PA0	VCC	PA6	PB1	PB5	PC0	VCC	PC1	P76	12
11	P60	PE2	PE5	VCC	P67	PA3	PA5	P71	PB4	P73	P75	PC2	PC4	11
10	PD6	PE0	P63	VSS	P65	PA1	VSS	PB0	PB2	PB7	P77	P80	PC5	10
9	PD3	VSS	P61	VCC						PC3	P81	PC6	VCC	9
8	PD0	PD5	PD7	PD4						P82	P83	P50	P51	8
7	P91	PD1	PD2	P93						PC7	P52	P55	P54	7
6	P47	P90	P92	VSS						VSS	P56	VSS_USB	USB0_DP	6
5	P44	P45	P46	VCC	NC					P53	VCC_USB	P14	USB0_DM	5
4	P42	P40	P41	P43	BSCANP	MDE	MD0	RES#	P32	P26	P12	P15	P13	4
3	VREFL	VREFH	VSS	P02	P00	WDTOVF#	MD1	VCC	P35	P31	P17	PLLVCC	PLLVSS	3
2	AVCC	P07	P05	VCC	VSS	XCOUT	VSS	P34	P27	P24	P22	P20	P16	2
1	AVSS	P03	P01	EMLE	VCL	XCIN	XTAL	EXTAL	P33	P30	P25	P23	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	

: NCピン

図 1.4　145 ピン TFLGA ピン配置図

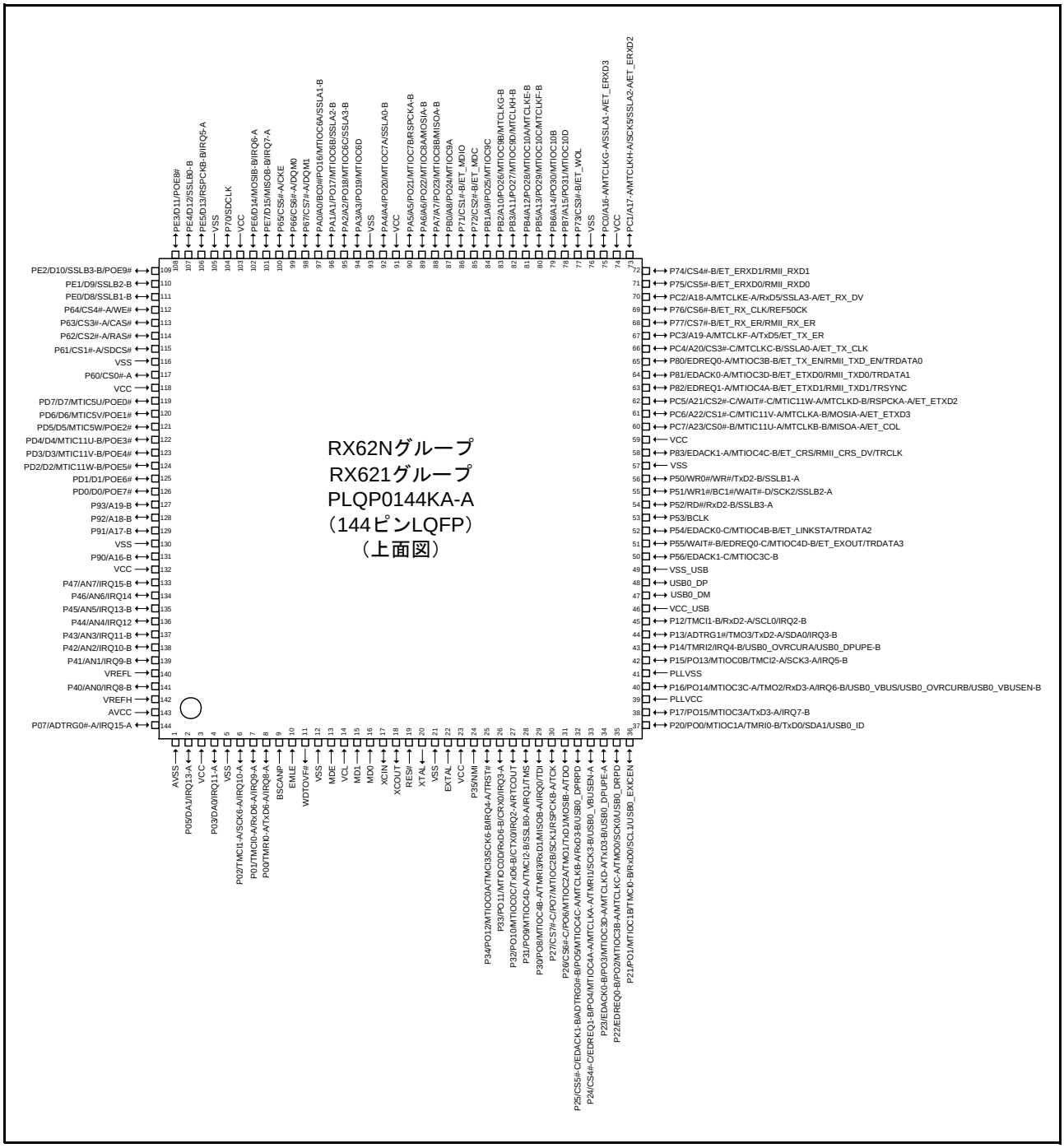


図 1.5　　144 ピン LQFP ピン配置図

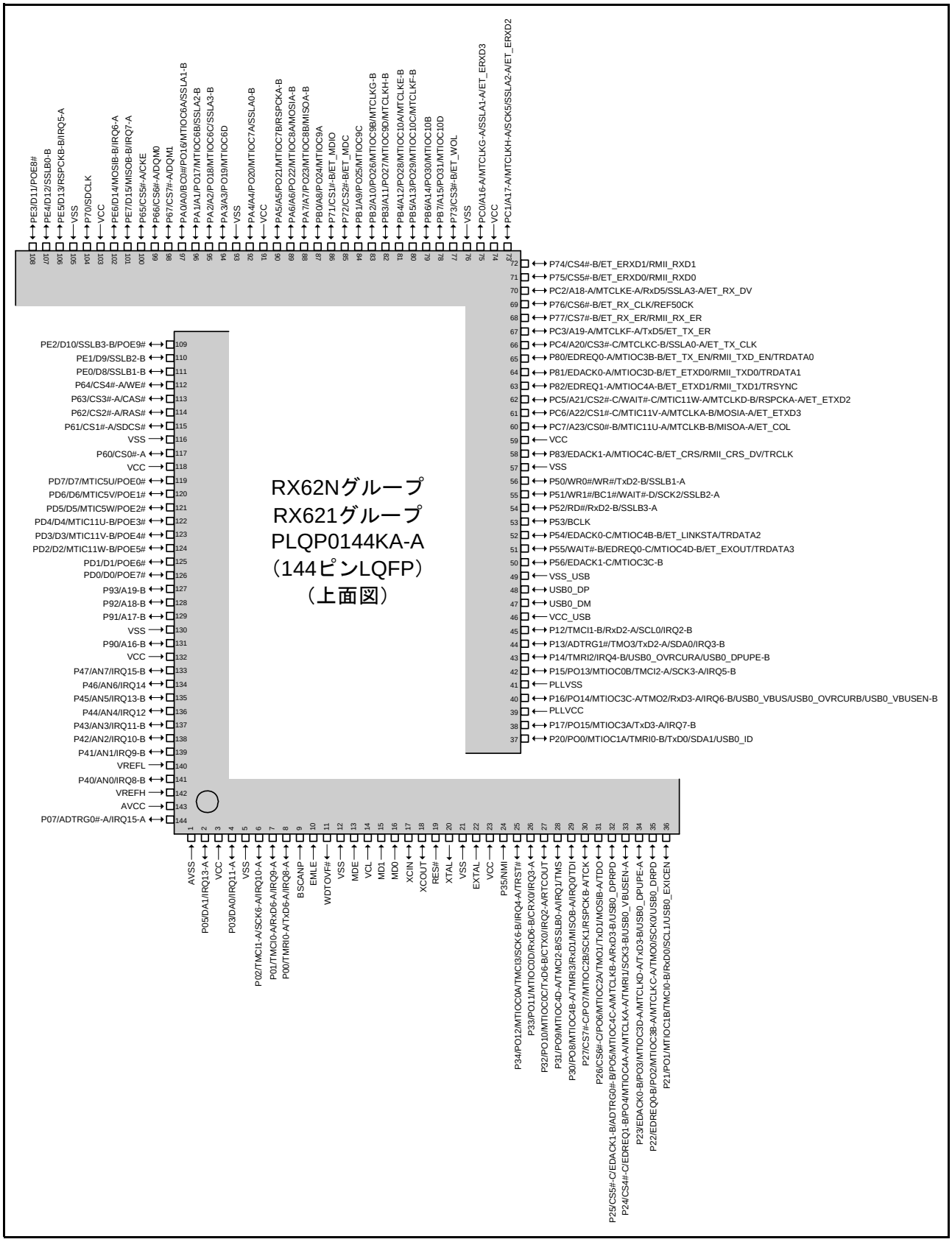


図 1.6　144 ピン LQFP ピン配置図（補助図）

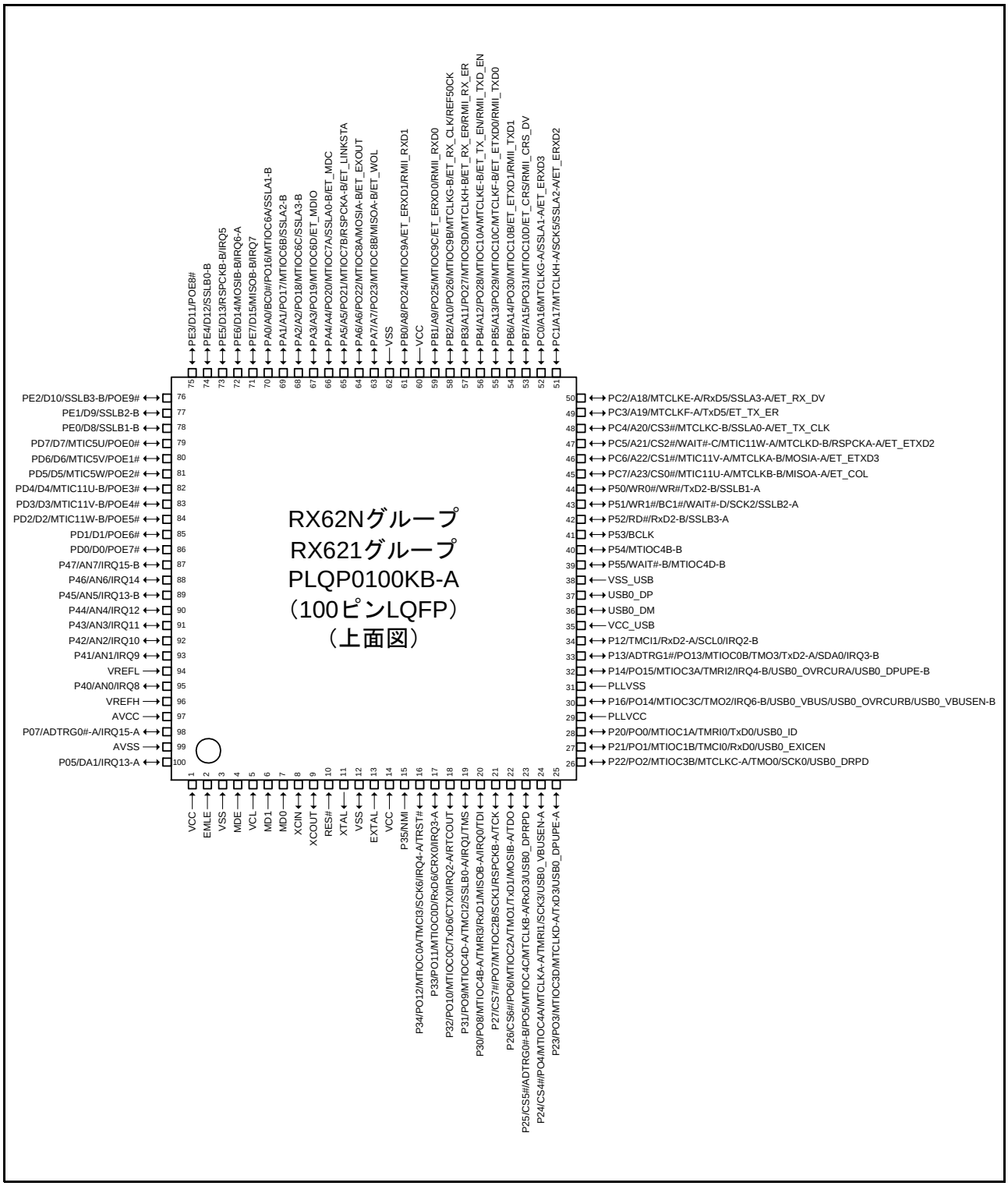


図 1.7　100 ピン LQFP ピン配置図

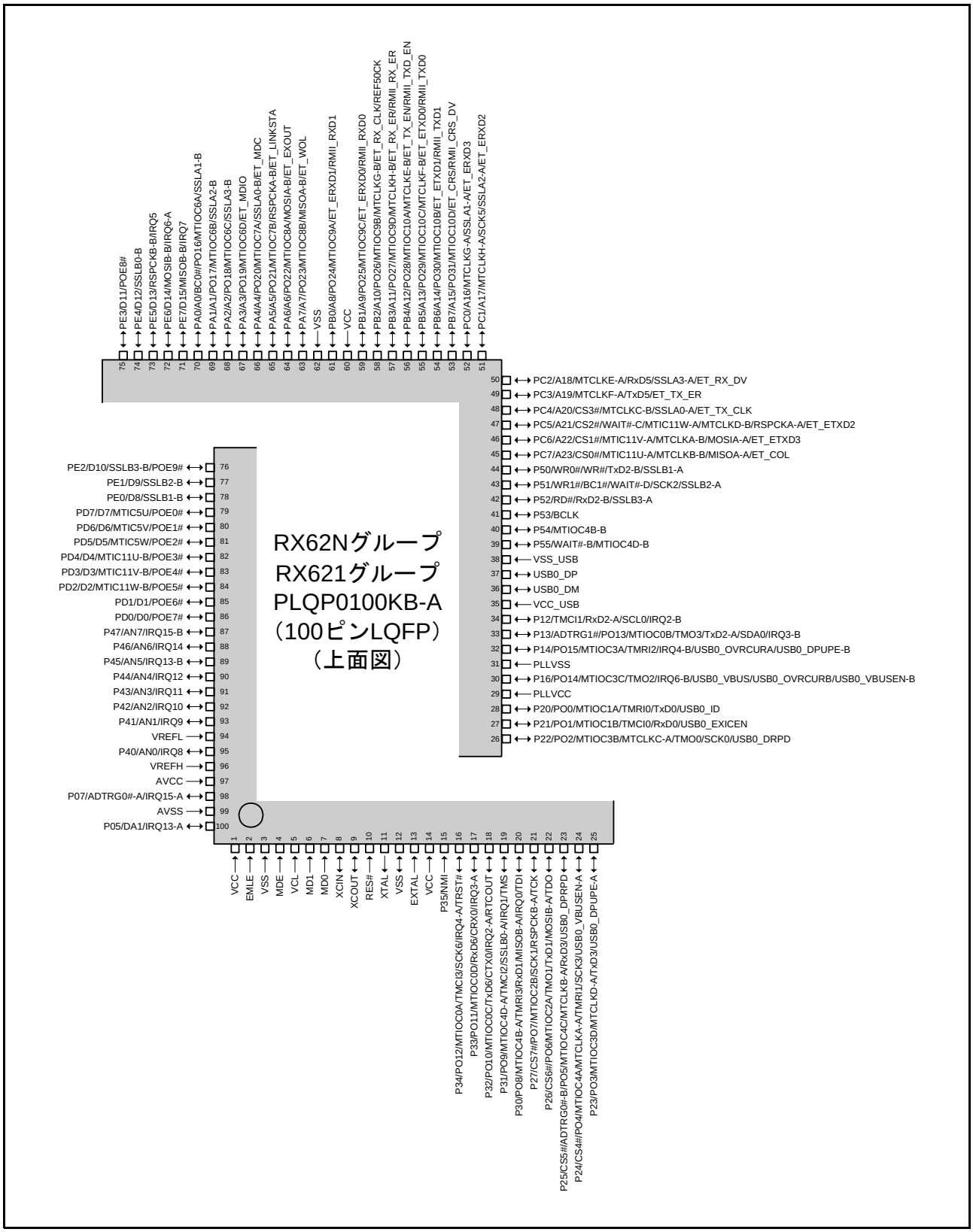


図 1.8　100 ピン LQFP ピン配置図（補助図）

	A	B	C	D	E	F	G	H	J	K	
10	PD6	PA1	PA0	PA2	PA4	PA7	PB1	PB4	PC0	PC1	10
9	PD7	PA3	PA5	PA6	PB0	PB2	PB5	PB7	PC3	PC2	9
8	PD5	PD3	BSCANP	VCL	VSS	VCC	PB3	PB6	P51	P50	8
7	PD4	PD2	MD1					P53	P52	VSS_USB	7
6	PD1	PD0	P45					P13	USB0_DM	USB0_DP	6
5	P47	P46	P44					P14	VCC_USB	P12	5
4	P43	P42	P41	RES#				PLLVCC	P16	PLLVSS	4
3	VREFL	VREFH	P40	MD0	P34	P32	P27	P26	P24	P20	3
2	AVCC	AVSS	VSS	EMLE	XCOUT	EXTAL	P33	P30	P23	P22	2
1	P05	VCC	P03	MDE	XCIN	XTAL	P35	P31	P25	P21	1
	A	B	C	D	E	F	G	H	J	K	

RX62Nグループ
RX621グループ
PTLG0085JA-A
（85ピンTFLGA）
（上面透視図）

図 1.9　85 ピン TFLGA ピン配置図

表1.4 機能別端子一覧（176ピンLFBGA）(1 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
A1	AVSS							
A2	AVCC							
A3		P42						IRQ10-B/AN2
A4		P45						IRQ13-B/AN5
A5		P46						IRQ14/AN6
A6		P90	D16/A16-B					
A7		PD0	D0			POE7#		
A8		PD2	D2			MTIC11W-B/ POE5#		
A9		PD3	D3			MTIC11V-B/ POE4#		
A10		PD4	D4			MTIC11U-B/ POE3#		
A11		PG0	D24					
A12		PD7	D7			MTIC5U-B/ POE0#		
A13		P61	CS1#-A/ SDCS#					
A14		P63	CS3#-A/ CAS#					
A15		PE1	D9				SSLB2-B	
B1		P02				TMCI1-A	SCK6-A	IRQ10-A
B2	VREFH							
B3	VREFL							
B4		P44						IRQ12/AN4
B5		P47						IRQ15-B/AN7
B6		P91	D17/A17-B					
B7		PD1	D1			POE6#		
B8		P96	D22/A22-B					
B9		P97	D23/A23-B					
B10		PD6	D6			MTIC5V-B/ POE1#		
B11		P60	CS0#-A					
B12		P62	CS2#-A/ RAS#					
B13		P64	CS4#-A/ WE#					
B14		PE2	D10			POE9#	SSLB3-B	
B15	SDCLK	P70						
C1		P00				TMRI0-A	TxD6-A	IRQ8-A
C2		P03						IRQ11-A/DA0
C3		P05						IRQ13-A/DA1
C4		P07						IRQ15-A/ ADTRG0#-A
C5		P40						IRQ8-B/AN0
C6	VCC							

表1.4 機能別端子一覧（176ピンLFBGA）(2 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
C7		P92	D18/A18-B					
C8		P94	D20/A20-B					
C9	VCC							
C10		PD5	D5			MTIC5W-B/ POE2#		
C11	VCC							
C12		PE0	D8				SSLB1-B	
C13		PE3	D11			POE8#		
C14		PE5	D13				RSPCKB-B	IRQ5-A
C15		PE6	D14				MOSIB-B	IRQ6-A
D1	EMLE							
D2		P01				TMCI0-A	RxD6-A	IRQ9-A
D3	VCC							
D4		P41						IRQ9-B/AN1
D5		P43						IRQ11-B/AN3
D6	VSS							
D7		P93	D19/A19-B					
D8		P95	D21/A21-B					
D9	VSS							
D10		PG1	D25					
D11	VSS							
D12	VSS							
D13		PE4	D12				SSLB0-B	
D14		PE7	D15				MISOB-B	IRQ7-A
D15		P65	CS5#-A/ CKE					
E1	XCIN							
E2	CNVSS							
E3	BSCANP							
E4	VSS							
E12		PG2	D26					TRDATA0
E13	VCC							
E14		P66	CS6#-A/ DQM0					
E15		P67	CS7#-A/ DQM1					
F1	XCOUT							
F2						WDTOVF#		
F3	VCL							
F4	VSS							
F12		PG4	D28					TRSYNC
F13		PG3	D27					TRDATA1
F14		PA0	A0/BC0#/ DQM2			MTIOC6A/ PO16	SSLA1-B	
F15		PG5	D29					TRCLK

表1.4 機能別端子一覧（176ピンLFBGA）(3 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
G1	VSS							
G2	MD1							
G3	MD0							
G4	MDE							
G12	VSS							
G13	VCC							
G14		PG6	D30					TRDATA2
G15		PA1	A1/DQM3			MTIOC6B/ PO17	SSLA2-B	
H1	XTAL							
H2		P35						NMI
H3	VCC							
H4	RES#							
H12		PG7	D31					TRDATA3
H13		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
H14		PA4	A4			MTIOC7A/ PO20	SSLA0-B	
H15		PA3	A3			MTIOC6D/ PO19		
J1	EXTAL							
J2		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6-B	IRQ2-A
J3		PF3						TMS
J4		P34				MTIOC0A/ TMCI3-B/ PO12	SCK6-B	IRQ4-A
J12	VSS							
J13		PA5	A5			MTIOC7B/ PO21	RSPCKA-B	
J14		PA7	A7			MTIOC8B/ PO23	MISOA-B	
J15		PA6	A6			MTIOC8A/ PO22	MOSIA-B	
K1		P33				MTIOC0D/ PO11	CRX0/ RxD6-B	IRQ3-A
K2		P31			USB1_DPRPD	MTIOC4D-A/ TMCI2-B/ PO9	SSLB0-A	IRQ1-A
K3		PF0					TxD1-B	TDO
K4		PF4						TRST#
K12		PB1	A9			MTIOC9C/ PO25		
K13		P71	CS1#-B	ET_MDIO				
K14		P72	CS2#-B	ET_MDC				
K15		PB0	A8			MTIOC9A/ PO24		

表1.4 機能別端子一覧（176ピンLFBGA）(4 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
L1		PF2					RxD1-B	TDI
L2		P27	CS7#-C		USB1_EXICEN	MTIOC2B/ PO7	RSPCKB-A/ SCK1-A	
L3	VCC							
L4		P30			USB1_DRPD	MTIOC4B-A/ TMRI3-B/ PO8	MISOB-A/ RxD1-A	IRQ0-A
L12	VSS							
L13		PB4	A12			MTIOC10A/ MTCLKE-B/ PO28		
L14		PB3	A11			MTIOC9D/ MTCLKH-B/ PO27		
L15	VCC							
M1		PF1					SCK1-B	TCK
M2		P25	CS5#-C/ EDACK1-B		USB0_DPRPD	MTIOC4C-A/ MTCLKB-A/ PO5	RxD3-B	ADTRG0#-B
M3		P22	EDREQ0-B		USB0_DRPD	MTIOC3B-A/ MTCLKC-A/ TMO0/ PO2	SCK0	
M4	VSS							
M5		P11			USB1_VBUSEN-A	MTIC5V-A/ TMCI3-A	SCK2-A	IRQ1-B
M6		P55	WAIT#-B/ EDREQ0-C	ET_EXOUT		MTIOC4D-B		
M7		P54	EDACK0-C	ET_LINKSTA		MTIOC4B-B		
M8		P51	WR1#/ BC1#/ WAIT#-D				SSLB2-A/ SCK2-B	
M9	VSS							
M10		PC6	A22-A/ CS1#-C	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
M11		P81	EDACK0-A	ET_ETXD0/ RMII_TXD0		MTIOC3D-B		
M12		PC0	A16-A	ET_ERXD3		MTCLKG-A	SSLA1-A	
M13	VCC							
M14		PB6	A14			MTIOC10B/ PO30		
M15		PB2	A10			MTIOC9B/ MTCLKG-B/ PO26		
N1		P26	CS6#-C		USB1_ID	MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1-A	
N2		P23	EDACK0-B		USB0_DPUPE-A	MTIOC3D-A/ MTCLKD-A/ PO3	TxD3-B	
N3		P20			USB0_ID	MTIOC1A/ TMRI0-B/ PO0	SDA1/ TxD0	

表1.4 機能別端子一覧（176ピンLFBGA）(5 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
N4		P17			USB1_VBUS/ USB1_OVRCURB/ USB1_VBUSEN-B	MTIOC3A/ PO15	TxD3-A	IRQ7-B
N5		P15			USB1_OVRCURA/ USB1_DPUPE-B	MTIOC0B/ TMCI2-A/ PO13	SCK3-A	IRQ5-B
N6		P57	WAIT#-A/ WR3#/BC3#/ EDREQ1-C					
N7		P10			USB1_DPUPE-A	MTIC5W-A/ TMRI3-A		IRQ0-B
N8		P52	RD#				SSLB3-A/ RxD2-B	
N9	VCC							
N10		PC5	A21-A/ CS2#-C/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
N11		PC3	A19-A	ET_TX_ER		MTCLKF-A	TxD5	
N12		PC2	A18-A	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
N13		P74	CS4#-B	ET_ERXD1/ RMII_RXD1				
N14		P73	CS3#-B	ET_WOL				
N15		PB5	A13			MTIOC10C/ MTCLKF-B/ PO29		
P1		P24	CS4#-C/ EDREQ1-B		USB0_VBUSEN-A	MTIOC4A-A/ MTCLKA-A/ TMRI1/ PO4	SCK3-B	
P2	PLLVCC							
P3		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C-A/ TMO2/ PO14	RxD3-A	IRQ6-B
P4		P14			USB0_OVRCURA/ USB0_DPUPE-B	TMRI2		IRQ4-B
P5		P13				TMO3	SDA0/ TxD2-A	IRQ3-B / ADTRG1#
P6	VCC_USB							
P7		P56	WR2#/BC2#/ EDACK1-C			MTIOC3C-B		
P8	VCC_USB							
P9		P84						
P10		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
P11		P82	EDREQ1-A	ET_ETXD1/ RMII_TXD1		MTIOC4A-B		
P12		PC4	A20-A/ CS3#-C	ET_TX_CLK		MTCLKC-B	SSLA0-A	
P13		P76	CS6#-B	ET_RX_CLK/ REF50CK				
P14		PC1	A17-A	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	

表1.4 機能別端子一覧（176ピンLFBGA）(6 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
P15		PB7	A15			MTIOC10D/ PO31		
R1		P21			USB0_EXICEN	MTIOC1B/ TMCI0-B/ PO1	SCL1/ RxD0	
R2	PLLVSS							
R3		P12				MTIC5U-A/ TMCI1-B	SCL0/ RxD2-A	IRQ2-B
R4					USB0_DM			
R5					USB0_DP			
R6	VSS_USB							
R7					USB1_DM			
R8					USB1_DP			
R9		P85						
R10	BCLK	P53						
R11		P83	EDACK1-A	ET_CRS/ RMII_CRS_DV		MTIOC4C-B		
R12		PC7	A23-A/ CS0#-B	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
R13		P80	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN		MTIOC3B-B		
R14		P77	CS7#-B	ET_RX_ER/ RMII_RX_ER				
R15		P75	CS5#-B	ET_ERXD0/ RMII_RXD0				

表1.5 機能別端子一覧（145ピンTFLGA）(1 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
A1	AVSS							
A2	AVCC							
A3	VREFL							
A4		P42						IRQ10-B/AN2
A5		P44						IRQ12/AN4
A6		P47						IRQ15-B/AN7
A7		P91	A17-B					
A8		PD0	D0			POE7#		
A9		PD3	D3			MTIC11V-B/ POE4#		
A10		PD6	D6			MTIC5V/ POE1#		
A11		P60	CS0#-A					
A12		P62	CS2#-A/ RAS#					
A13		P64	CS4#-A/ WE#					
B1		P03						IRQ11-A/DA0
B2		P07						IRQ15-A/ ADTRG0#-A
B3	VREFH							
B4		P40						IRQ8-B/AN0
B5		P45						IRQ13-B/AN5
B6		P90	A16-B					
B7		PD1	D1			POE6#		
B8		PD5	D5			MTIC5W/ POE2#		
B9	VSS							
B10		PE0	D8				SSLB1-B	
B11		PE2	D10			POE9#	SSLB3-B	
B12		PE1	D9				SSLB2-B	
B13		PE4	D12				SSLB0-B	
C1		P01				TMCI0-A	RxD6-A	IRQ9-A
C2		P05						IRQ13-A/DA1
C3	VSS							
C4		P41						IRQ9-B/AN1
C5		P46						IRQ14/AN6
C6		P92	A18-B					
C7		PD2	D2			MTIC11W-B/ POE5#		
C8		PD7	D7			MTIC5U/ POE0#		
C9		P61	CS1#-A/SDCS#					
C10		P63	CS3#-A/ CAS#					
C11		PE5	D13				RSPCKB-B	IRQ5-A
C12		PE3	D11			POE8#		
C13	SDCLK	P70						

表1.5 機能別端子一覧（145ピンTFLGA）(2 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
D1	EMLE							
D2	VCC							
D3		P02				TMCI1-A	SCK6-A	IRQ10-A
D4		P43						IRQ11-B/AN3
D5	VCC							
D6	VSS							
D7		P93	A19-B					
D8		PD4	D4			MTIC11U-B/ POE3#		
D9	VCC							
D10	VSS							
D11	VCC							
D12		PE7	D15				MISOB-B	IRQ7-A
D13		PE6	D14				MOSIB-B	IRQ6-A
E1	VCL							
E2	VSS							
E3		P00				TMRI0-A	TxD6-A	IRQ8-A
E4	BSCANP							
E5	（N.C）							
E10		P65	CS5#-A/ CKE					
E11		P67	CS7#-A/ DQM1					
E12		PA0	A0/BC0#			MTIOC6A/ PO16	SSLA1-B	
E13		P66	CS6#-A/ DQM0					
F1	XCIN							
F2	XCOUT							
F3						WDTOVF#		
F4	MDE							
F10		PA1	A1			MTIOC6B/ PO17	SSLA2-B	
F11		PA3	A3			MTIOC6D/ PO19		
F12	VCC							
F13		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
G1	XTAL							
G2	VSS							
G3	MD1							
G4	MD0							
G10	VSS							
G11		PA5	A5			MTIOC7B/ PO21	RSPCKA-B	
G12		PA6	A6			MTIOC8A/ PO22	MOSIA-B	
G13		PA4	A4			MTIOC7A/ PO20	SSLA0-B	

表1.5 機能別端子一覧（145ピンTFLGA）(3 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
H1	EXTAL							
H2		P34				MTIOC0A/ TMCI3/ PO12	SCK6-B	IRQ4-A/ TRST#
H3	VCC							
H4	RES#							
H10		PB0	A8			MTIOC9A/ PO24		
H11		P71	CS1#-B	ET_MDIO				
H12		PB1	A9			MTIOC9C/ PO25		
H13		PA7	A7			MTIOC8B/ PO23	MISOA-B	
J1		P33				MTIOC0D/ PO11	CRX0/ RxD6-B	IRQ3-A
J2		P27	CS7#-C			MTIOC2B/ PO7	RSPCKB-A/SCK1	TCK
J3		P35						NMI
J4		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6-B	IRQ2-A
J10		PB2	A10			MTIOC9B/ MTCLKG-B/ PO26		
J11		PB4	A12			MTIOC10A/ MTCLKE-B/ PO28		
J12		PB5	A13			MTIOC10C/ MTCLKF-B/ PO29		
J13		P72	CS2#-B	ET_MDC				
K1		P30				MTIOC4B-A/ TMRI3/ PO8	RxD1/ MISOB-A	IRQ0/ TDI
K2		P24	CS4#-C/ EDREQ1-B		USB0_VBUSEN-A	MTIOC4A-A/ MTCLKA-A/ TMRI1/PO4	SCK3-B	
K3		P31				MTIOC4D-A/ TMCI2-B/ PO9	SSLB0-A	IRQ1/ TMS
K4		P26	CS6#-C			MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1	TDO
K5	BCLK	P53						
K6	VSS							
K7		PC7	A23/ CS0#-B	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
K8		P82	EDREQ1-A	ET_ETXD1/ RMII_TXD1		MTIOC4A-B		TRSYNC
K9		PC3	A19-A	ET_TX_ER		MTCLKF-A	TxD5	
K10		PB7	A15			MTIOC10D/ PO31		
K11		P73	CS3#-B	ET_WOL				
K12		PC0	A16-A	ET_ERXD3		MTCLKG-A	SSLA1-A	

表1.5 機能別端子一覧（145ピンTFLGA）(4 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
K13		PB3	A11			MTIOC9D/ MTCLKH-B/ PO27		
L1		P25	CS5#-C/ EDACK1-B		USB0_DPRPD	MTIOC4C-A/ MTCLKB-A/ PO5	RxD3-B	ADTRG0#-B
L2		P22	EDREQ0-B		USB0_DRPD	MTIOC3B-A/ MTCLKC-A/ TMO0/PO2	SCK0	
L3		P17				MTIOC3A/ PO15	TxD3-A	IRQ7-B
L4		P12				TMCI1-B	SCL0/ RxD2-A	IRQ2-B
L5	VCC_USB							
L6		P56	EDACK1-C			MTIOC3C-B		
L7		P52	RD#				SSLB3-A/ RxD2-B	
L8		P83	EDACK1-A	ET_CRS/ RMII_CRS_DV		MTIOC4C-B		TRCLK
L9		P81	EDACK0-A	ET_ETXD0/ RMII_TXD0		MTIOC3D-B		TRDATA1
L10		P77	CS7#-B	ET_RX_ER/ RMII_RX_ER				
L11		P75	CS5#-B	ET_ERXD0/ RMII_RXD0				
L12	VCC							
L13		PB6	A14			MTIOC10B/ PO30		
M1		P23	EDACK0-B		USB0_DPUPE-A	MTIOC3D-A/ MTCLKD-A/ PO3	TxD3-B	
M2		P20			USB0_ID	MTIOC1A/ TMRI0-B/ PO0	SDA1/ TxD0	
M3	PLLVCC							
M4		P15				MTIOC0B/ TMCI2-A/ PO13	SCK3-A	IRQ5-B
M5		P14			USB0_OVRCURA/ USB0_DPUPE-B	TMRI2		IRQ4-B
M6	VSS_USB							
M7		P55	WAIT#-B/ EDREQ0-C	ET_EXOUT		MTIOC4D-B		TRDATA3
M8		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
M9		PC6	A22/CS1#-C	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
M10		P80	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN		MTIOC3B-B		TRDATA0
M11		PC2	A18-A	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
M12		PC1	A17-A	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	
M13	VSS							

表1.5 機能別端子一覧（145ピンTFLGA）(5 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
N1		P21			USB0_EXICEN	MTIOC1B/ TMCI0-B/ PO1	SCL1/RxD0	
N2		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C-A/ TMO2/ PO14	RxD3-A	IRQ6-B
N3	PLLVSS							
N4		P13				TMO3	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
N5					USB0_DM			
N6					USB0_DP			
N7		P54	EDACK0-C	ET_LINKSTA		MTIOC4B-B		TRDATA2
N8		P51	WR1#/BC1#/ WAIT#-D				SSLB2-A/ SCK2	
N9	VCC							
N10		PC5	A21/CS2#-C/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
N11		PC4	A20/CS3#-C	ET_TX_CLK		MTCLKC-B	SSLA0-A	
N12		P76	CS6#-B	ET_RX_CLK/ REF50CK				
N13		P74	CS4#-B	ET_ERXD1/ RMII_RXD1				

表1.6 機能別端子一覧（144ピンLQFP）(1 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
1	AVSS							
2		P05						IRQ13-A/DA1
3	VCC							
4		P03						IRQ11-A/DA0
5	VSS							
6		P02				TMCI1-A	SCK6-A	IRQ10-A
7		P01				TMCI0-A	RxD6-A	IRQ9-A
8		P00				TMRI0-A	TxD6-A	IRQ8-A
9	BSCANP							
10	EMLE							
11						WDTOVF#		
12	VSS							
13	MDE							
14	VCL							
15	MD1							
16	MD0							
17	XCIN							
18	XCOUT							
19	RES#							
20	XTAL							
21	VSS							
22	EXTAL							
23	VCC							
24		P35						NMI
25		P34				MTIOC0A/ TMCI3 /PO12	SCK6-B	IRQ4-A/ TRST#
26		P33				MTIOC0D/ PO11	CRX0/ RxD6-B	IRQ3-A
27		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6-B	IRQ2-A
28		P31				MTIOC4D-A/ TMCI2-B/ PO9	SSLB0-A	IRQ1/ TMS
29		P30				MTIOC4B-A/ TMRI3 /PO8	RxD1/ MISOB-A	IRQ0/ TDI
30		P27	CS7#-C			MTIOC2B/ PO7	RSPCKB-A/ SCK1	TCK
31		P26	CS6#-C			MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1	TDO
32		P25	CS5#-C/ EDACK1-B		USB0_DPRPD	MTIOC4C-A/ MTCLKB-A/ PO5	RxD3-B	ADTRG0#-B

表1.6 機能別端子一覧（144ピンLQFP）(2 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
33		P24	CS4#-C/ EDREQ1-B		USB0_VBUSEN-A	MTIOC4A-A/ MTCLKA-A/ TMRI1/PO4	SCK3-B	
34		P23	EDACK0-B		USB0_DPUPE-A	MTIOC3D-A/ MTCLKD-A/ PO3	TxD3-B	
35		P22	EDREQ0-B		USB0_DRPD	MTIOC3B-A/ MTCLKC-A/ TMO0/PO2	SCK0	
36		P21			USB0_EXICEN	MTIOC1B/ TMCI0-B/PO1	SCL1/RxD0	
37		P20			USB0_ID	MTIOC1A/ TMRI0-B/PO0	SDA1/ TxD0	
38		P17				MTIOC3A/ PO15	TxD3-A	IRQ7-B
39	PLLVCC							
40		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C-A/ TMO2/ PO14	RxD3-A	IRQ6-B
41	PLLVSS							
42		P15				MTIOC0B/ TMCI2-A/ PO13	SCK3-A	IRQ5-B
43		P14			USB0_OVRCURA/ USB0_DPUPE-B	TMRI2		IRQ4-B
44		P13				TMO3	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
45		P12				TMCI1-B	SCL0/ RxD2-A	IRQ2-B
46	VCC_USB							
47					USB0_DM			
48					USB0_DP			
49	VSS_USB							
50		P56	EDACK1-C			MTIOC3C-B		
51		P55	WAIT#-B/ EDREQ0-C	ET_EXOUT		MTIOC4D-B		TRDATA3
52		P54	EDACK0-C	ET_LINKSTA		MTIOC4B-B		TRDATA2
53	BCLK	P53						
54		P52	RD#				SSLB3-A/ RxD2-B	
55		P51	WR1#/BC1#/ WAIT#-D				SSLB2-A/ SCK2	
56		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
57	VSS							
58		P83	EDACK1-A	ET_CRS/ RMII_CRS_DV		MTIOC4C-B		TRCLK
59	VCC							

表1.6 機能別端子一覧（144ピンLQFP）(3 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
60		PC7	A23/ CS0#-B	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
61		PC6	A22/ CS1#-C	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
62		PC5	A21/CS2#-C/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
63		P82	EDREQ1-A	ET_ETXD1/ RMII_TXD1		MTIOC4A-B		TRSYNC
64		P81	EDACK0-A	ET_ETXD0/ RMII_TXD0		MTIOC3D-B		TRDATA1
65		P80	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN		MTIOC3B-B		TRDATA0
66		PC4	A20/CS3#-C	ET_TX_CLK		MTCLKC-B	SSLA0-A	
67		PC3	A19-A	ET_TX_ER		MTCLKF-A	TxD5	
68		P77	CS7#-B	ET_RX_ER/ RMII_RX_ER				
69		P76	CS6#-B	ET_RX_CLK/ REF50CK				
70		PC2	A18-A	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
71		P75	CS5#-B	ET_ERXD0/ RMII_RXD0				
72		P74	CS4#-B	ET_ERXD1/ RMII_RXD1				
73		PC1	A17-A	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	
74	VCC							
75		PC0	A16-A	ET_ERXD3		MTCLKG-A	SSLA1-A	
76	VSS							
77		P73	CS3#-B	ET_WOL				
78		PB7	A15			MTIOC10D/ PO31		
79		PB6	A14			MTIOC10B/ PO30		
80		PB5	A13			MTIOC10C/ MTCLKF-B/ PO29		
81		PB4	A12			MTIOC10A/ MTCLKE-B/ PO28		
82		PB3	A11			MTIOC9D/ MTCLKH-B/ PO27		
83		PB2	A10			MTIOC9B/ MTCLKG-B/ PO26		
84		PB1	A9			MTIOC9C/ PO25		
85		P72	CS2#-B	ET_MDC				
86		P71	CS1#-B	ET_MDIO				

表1.6 機能別端子一覧（144ピンLQFP）(4 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
87		PB0	A8			MTIOC9A/ PO24		
88		PA7	A7			MTIOC8B/ PO23	MISOA-B	
89		PA6	A6			MTIOC8A/ PO22	MOSIA-B	
90		PA5	A5			MTIOC7B/ PO21	RSPCKA-B	
91	VCC							
92		PA4	A4			MTIOC7A/ PO20	SSLA0-B	
93	VSS							
94		PA3	A3			MTIOC6D/ PO19		
95		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
96		PA1	A1			MTIOC6B/ PO17	SSLA2-B	
97		PA0	A0/BC0#			MTIOC6A/ PO16	SSLA1-B	
98		P67	CS7#-A/ DQM1					
99		P66	CS6#-A/ DQM0					
100		P65	CS5#-A/ CKE					
101		PE7	D15				MISOB-B	IRQ7-A
102		PE6	D14				MOSIB-B	IRQ6-A
103	VCC							
104	SDCLK	P70						
105	VSS							
106		PE5	D13				RSPCKB-B	IRQ5-A
107		PE4	D12				SSLB0-B	
108		PE3	D11			POE8#		
109		PE2	D10			POE9#	SSLB3-B	
110		PE1	D9				SSLB2-B	
111		PE0	D8				SSLB1-B	
112		P64	CS4#-A/ WE#					
113		P63	CS3#-A/ CAS#					
114		P62	CS2#-A/ RAS#					
115		P61	CS1#-A/ SDCS#					
116	VSS							
117		P60	CS0#-A					
118	VCC							

表1.6 機能別端子一覧（144ピンLQFP）(5 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
119		PD7	D7			MTIC5U/ POE0#		
120		PD6	D6			MTIC5V/ POE1#		
121		PD5	D5			MTIC5W/ POE2#		
122		PD4	D4			MTIC11U-B/ POE3#		
123		PD3	D3			MTIC11V-B/ POE4#		
124		PD2	D2			MTIC11W-B/ POE5#		
125		PD1	D1			POE6#		
126		PD0	D0			POE7#		
127		P93	A19-B					
128		P92	A18-B					
129		P91	A17-B					
130	VSS							
131		P90	A16-B					
132	VCC							
133		P47						IRQ15-B/AN7
134		P46						IRQ14/AN6
135		P45						IRQ13-B/AN5
136		P44						IRQ12/AN4
137		P43						IRQ11-B/AN3
138		P42						IRQ10-B/AN2
139		P41						IRQ9-B/AN1
140	VREFL							
141		P40						IRQ8-B/AN0
142	VREFH							
143	AVCC							
144		P07						IRQ15-A/ ADTRG0#-A

表1.7 機能別端子一覧（100ピンLQFP）(1 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE）	通信 （SCI、CAN、RSPI、RIIC）	その他
1	VCC							
2	EMLE							
3	VSS							
4	MDE							
5	VCL							
6	MD1							
7	MD0							
8	XCIN							
9	XCOUT							
10	RES#							
11	XTAL							
12	VSS							
13	EXTAL							
14	VCC							
15		P35						NMI
16		P34				MTIOC0A/ TMCI3/ PO12	SCK6	IRQ4-A/ TRST#
17		P33				MTIOC0D/ PO11	CRX0/ RxD6	IRQ3-A
18		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6	IRQ2-A
19		P31				MTIOC4D-A/ TMCI2/ PO9	SSLB0-A	IRQ1/ TMS
20		P30				MTIOC4B-A/ TMRI3/ PO8	RxD1/ MISOB-A	IRQ0/ TDI
21		P27	CS7#			MTIOC2B/ PO7	RSPCKB-A/ SCK1	TCK
22		P26	CS6#			MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1	TDO
23		P25	CS5#		USB0_DPRPD	MTIOC4C/ MTCLKB-A/ PO5	RxD3	ADTRG0#-B
24		P24	CS4#		USB0_VBUSEN-A	MTIOC4A/ MTCLKA-A/ TMRI1/PO4	SCK3	
25		P23			USB0_DPUPE-A	MTIOC3D/ MTCLKD-A/ PO3	TxD3	
26		P22			USB0_DRPD	MTIOC3B/ MTCLKC-A/ TMO0/PO2	SCK0	
27		P21			USB0_EXICEN	MTIOC1B/ TMCI0/ PO1	RxD0	

表1.7 機能別端子一覧（100ピンLQFP）(2 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE）	通信 （SCI、CAN、RSPI、RIIC）	その他
28		P20			USB0_ID	MTIOC1A/ TMRI0/ PO0	TxD0	
29	PLLVCC							
30		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C/ TMO2/ PO14		IRQ6-B
31	PLLVSS							
32		P14			USB0_OVRCURA/ USB0_DPUPE-B	MTIOC3A/ TMRI2/ PO15		IRQ4-B
33		P13				MTIOC0B/ TMO3/ PO13	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
34		P12				TMCI1	SCL0/ RxD2-A	IRQ2-B
35	VCC_USB							
36					USB0_DM			
37					USB0_DP			
38	VSS_USB							
39		P55	WAIT#-B/			MTIOC4D-B		
40		P54				MTIOC4B-B		
41	BCLK	P53						
42		P52	RD#				SSLB3-A/ RxD2-B	
43		P51	WR1#/BC1#/ WAIT#-D				SSLB2-A/ SCK2	
44		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
45		PC7	A23/ CS0#	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
46		PC6	A22/ CS1#	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
47		PC5	A21/CS2#/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
48		PC4	A20/CS3#	ET_TX_CLK		MTCLKC-B	SSLA0-A	
49		PC3	A19	ET_TX_ER		MTCLKF-A	TxD5	
50		PC2	A18	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
51		PC1	A17	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	
52		PC0	A16	ET_ERXD3		MTCLKG-A	SSLA1-A	
53		PB7	A15	ET_CRS/ RMII_CRS_DV		MTIOC10D/ PO31		
54		PB6	A14	ET_ETXD1/ RMII_TXD1		MTIOC10B/ PO30		
55		PB5	A13	ET_ETXD0/ RMII_TXD0		MTIOC10C/ MTCLKF-B/ PO29		

表1.7 機能別端子一覧（100ピンLQFP）(3 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE）	通信 （SCI、CAN、RSPI、RIIC）	その他
56		PB4	A12	ET_TX_EN/ RMII_TXD_EN		MTIOC10A/ MTCLKE-B/ PO28		
57		PB3	A11	ET_RX_ER/ RMII_RX_ER		MTIOC9D/ MTCLKH-B/ PO27		
58		PB2	A10	ET_RX_CLK/ REF50CK		MTIOC9B/ MTCLKG-B/ PO26		
59		PB1	A9	ET_ERXD0/ RMII_RXD0		MTIOC9C/ PO25		
60	VCC							
61		PB0	A8	ET_ERXD1/ RMII_RXD1		MTIOC9A/ PO24		
62	VSS							
63		PA7	A7	ET_WOL		MTIOC8B/ PO23	MISOA-B	
64		PA6	A6	ET_EXOUT		MTIOC8A/ PO22	MOSIA-B	
65		PA5	A5	ET_LINKSTA		MTIOC7B/ PO21	RSPCKA-B	
66		PA4	A4	ET_MDC		MTIOC7A/ PO20	SSLA0-B	
67		PA3	A3	ET_MDIO		MTIOC6D/ PO19		
68		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
69		PA1	A1			MTIOC6B/ PO17	SSLA2-B	
70		PA0	A0/BC0#			MTIOC6A/ PO16	SSLA1-B	
71		PE7	D15				MISOB-B	IRQ7
72		PE6	D14				MOSIB-B	IRQ6-A
73		PE5	D13				RSPCKB-B	IRQ5
74		PE4	D12				SSLB0-B	
75		PE3	D11			POE8#		
76		PE2	D10			POE9#	SSLB3-B	
77		PE1	D9				SSLB2-B	
78		PE0	D8				SSLB1-B	
79		PD7	D7			MTIC5U/ POE0#		
80		PD6	D6			MTIC5V/ POE1#		
81		PD5	D5			MTIC5W/ POE2#		
82		PD4	D4			MTIC11U-B/ POE3#		
83		PD3	D3			MTIC11V-B/ POE4#		
84		PD2	D2			MTIC11W-B/ POE5#		

表1.7 機能別端子一覧（100ピンLQFP）(4 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE）	通信 （SCI、CAN、RSPI、RIIC）	その他
85		PD1	D1			POE6#		
86		PD0	D0			POE7#		
87		P47						IRQ15-B/AN7
88		P46						IRQ14/AN6
89		P45						IRQ13-B/AN5
90		P44						IRQ12/AN4
91		P43						IRQ11/AN3
92		P42						IRQ10/AN2
93		P41						IRQ9/AN1
94	VREFL							
95		P40						IRQ8/AN0
96	VREFH							
97	AVCC							
98		P07						IRQ15-A/ ADTRG0#-A
99	AVSS							
100		P05						DA1/IRQ13-A

表1.8 機能別端子一覧（85ピンTFLGA）(1 / 3)

ピン番号 85ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス	USB	タイマ （MTU、TMR、PPG）	通信 （SCI、CAN、RSPI、RIIC）	その他
A1		P05					DA1/IRQ13-A
A2	AVCC						
A3	VREFL						
A4		P43					IRQ11-B/AN3
A5		P47					IRQ15/AN7
A6		PD1	D1				
A7		PD4	D4		MTIC11U		
A8		PD5	D5		MTIC5W		
A9		PD7	D7		MTIC5U		
A10		PD6	D6		MTIC5V		
B1	VCC						
B2	AVSS						
B3	VREFH						
B4		P42					IRQ10/AN2
B5		P46					IRQ14/AN6
B6		PD0	D0				
B7		PD2	D2		MTIC11W		
B8		PD3	D3		MTIC11V		
B9		PA3	A3		MTIOC6D/PO19		
B10		PA1	A1		MTIOC6B/PO17	SSLA2	
C1		P03					IRQ11-A/DA0
C2	VSS						
C3		P40					IRQ8/AN0
C4		P41					IRQ9/AN1
C5		P44					IRQ12/AN4
C6		P45					IRQ13-B/AN5
C7	MD1						
C8	BSCANP						
C9		PA5	A5		MTIOC7B/PO21	RSPCKA	
C10		PA0	A0		MTIOC6A/PO16	SSLA1	
D1	MDE						
D2	EMLE						
D3	MD0						
D4	RES#						
D8	VCL						
D9		PA6	A6		MTIOC8A/PO22	MOSIA	
D10		PA2	A2		MTIOC6C/PO18	SSLA3	
E1	XCIN						
E2	XCOUT						

表1.8 機能別端子一覧（85ピンTFLGA）(2 / 3)

ピン番号 85ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス	USB	タイマ （MTU、TMR、PPG）	通信 （SCI、CAN、RSPI、RIIC）	その他
E3		P34			MTIOC0A/ TMCI3/PO12	SCK6	IRQ4-A/TRST#
E8	VSS						
E9		PB0	A8		MTIOC9A/ PO24		
E10		PA4	A4		MTIOC7A/ PO20	SSLA0	
F1	XTAL						
F2	EXTAL						
F3		P32			MTIOC0C/ PO10/ RTCOUT	TxD6/CTX0	IRQ2-A
F8	VCC						
F9		PB2	A10		MTIOC9B/ MTCLKG-B/ PO26		
F10		PA7	A7		MTIOC8B/ PO23	MISOA	
G1		P35					NMI
G2		P33			MTIOC0D/ PO11	RxD6/CRX0	IRQ3-A
G3		P27	CS7#		MTIOC2B/ PO7	SCK1/ RSPCKB	TCK
G8		PB3	A11		MTIOC9D/ MTCLKH-B/ PO27		
G9		PB5	A13		MTIOC10C/ MTCLKF-B/ PO29		
G10		PB1	A9		MTIOC9C/ PO25		
H1		P31			MTIOC4D/ TMCI2/PO9	SSLB0	IRQ1/TMS
H2		P30			MTIOC4B/ TMRI3/PO8	RxD1/MISOB	IRQ0/TDI
H3		P26	CS6#		MTIOC2A/ TMO1/PO6	TxD1/MOSIB	TDO
H4	PLLVCC						
H5		P14		USB0_OVRCURA/ USB0_DPUPE-B	MTIOC3A/ TMRI2/PO15		IRQ4-B
H6		P13			MTIOC0B/ TMO3/PO13	TxD2-A/ SDA0	IRQ3-B/ ADTRG1#
H7	BCLK	P53					
H8		PB6	A14		MTIOC10B/ PO30		
H9		PB7	A15		MTIOC10D/ PO31		
H10		PB4	A12		MTIOC10A/ MTCLKE-B/ PO28		

表1.8 機能別端子一覧（85ピンTFLGA）(3 / 3)

ピン番号 85ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス	USB	タイマ （MTU、TMR、PPG）	通信 （SCI、CAN、RSPI、RIIC）	その他
J1		P25	CS5#	USB0_DPRPD	MTIOC4C/ MTCLKB/ PO5	RxD3	ADTRG0#
J2		P23		USB0_DPUPE-A	MTIOC3D/ MTCLKD/ PO3	TxD3	
J3		P24	CS4#	USB0_VBUSEN-A	MTIOC4A/ MTCLKA/ TMRI1/PO4	SCK3	
J4		P16		USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C/ TMO2/PO14		IRQ6
J5	VCC_USB						
J6				USB0_DM			
J7		P52	RD#			RxD2-B/ SSLB3	
J8		P51	WAIT#			SCK2/SSLB2	
J9		PC3	A19		MTCLKF-A	TxD5	
J10		PC0	A16		MTCLKG-A		
K1		P21		USB0_EXICEN	MTIOC1B/ TMCI0/PO1	RxD0/SCL1	
K2		P22		USB0_DRPD	MTIOC3B/ MTCLKC/ TMO0/PO2	SCK0	
K3		P20		USB0_ID	MTIOC1A/ TMRI0/PO0	TxD0/SDA1	
K4	PLLVSS						
K5		P12			TMCI1	RxD2-A/ SCL0	IRQ2-B
K6				USB0_DP			
K7	VSS_USB						
K8		P50	WR0#			TxD2-B/ SSLB1	
K9		PC2	A18		MTCLKE-A	RxD5	
K10		PC1	A17		MTCLKH-A	SCK5	

1.5 端子機能

表 1.9 に端子機能一覧を示します。

表1.9 端子機能一覧 (1 / 6)

分類	端子名	入出力	機　能
電源	VCC	入力	電源端子です。システムの電源に接続してください
	VCL	入力	0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子です。システムの電源（0V）に接続してください
	PLLVCC	入力	PLL回路用の電源端子です。システムの電源に接続してください
	PLLVSS	入力	PLL回路用のグランド端子です
クロック	XTAL	出力	水晶発振子接続端子です。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子です
	SDCLK	出力	SDRAM専用のクロック出力端子です
	XCOUT	出力	サブクロック発振回路の入出力です。XCOUTとXCINの間には、水晶発振子を接続してください
	XCIN	入力	
動作モードコントロール	MD0、MD1、MDE	入力	動作モードを設定します。これらの端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子です。この端子がLowになると、リセット状態となります
	EMLE	入力	オンチップエミュレータの接続を許可する端子です。オンチップエミュレータを使用する場合は、Highにしてください。 オンチップエミュレータを使用しない場合は、Lowにしてください
	BSCANP	入力	バウンダリスキャン許可端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
CNVSS	CNVSS	入力	抵抗を介してVSSに接続（プルダウン）してください
オンチップエミュレータ	TRST#	入力	オンチップエミュレータ用またはバウンダリスキャン用の端子です。EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します
	TRDATA0～TRDATA3	出力	トレース情報を出力します
アドレスバス	A0～A15 A16-A/A16-B～A23-A/A23-B	出力	アドレス出力端子です
データバス	D0～D31	入出力	双方向データバスです

表1.9 端子機能一覧 (2 / 6)

分類	端子名	入出力	機　　能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストローブ信号です
	WR#	出力	1ライトストローブモード時、外部バスインタフェース空間をライト中であることを示すストローブ信号です
	WR0#～WR3#	出力	バイトストローブモード時、外部バスインタフェース空間をライト中で、データバス（D7～D0、D15～D8、D23～D16、D31～D24）のいずれかが有効であることを示すストローブ信号です
	BC0#～BC3#	出力	1ライトストローブモード時、外部バスインタフェース空間をアクセス中で、データバス（D7～D0、D15～D8、D23～D16、D31～D24）のいずれかが有効であることを示すストローブ信号です
	WE#	出力	SDRAMライトイネーブル端子です
	CAS#	出力	SDRAMカラムアドレスストローブ信号です
	RAS#	出力	SDRAMロウアドレスストローブ信号です
	CKE	出力	SDRAMクロックイネーブル信号です
	DQM0～DQM3	出力	SDRAM入出力データマスクイネーブル信号です
	SDCS#	出力	SDRAMチップセレクト信号です
	CS0#-A/CS0#-B CS1#-A/CS1#-B/CS1#-C CS2#-A/CS2#-B/CS2#-C CS3#-A/CS3#-B/CS3#-C CS4#-A/CS4#-B/CS4#-C CS5#-A/CS5#-B/CS5#-C CS6#-A/CS6#-B/CS6#-C CS7#-A/CS7#-B/CS7#-C	出力	エリア0～7の選択信号です
	WAIT#-A/WAIT#-B/ WAIT#-C/WAIT#-D	入力	外部空間をアクセスするときのウェイト要求信号です
EXDMAコントローラ	EDREQ0-A/EDREQ0-B/ EDREQ0-C	入力	チャネル0の外部DMA転送要求端子です
	EDREQ1-A/EDREQ1-B/ EDREQ1-C	入力	チャネル1の外部DMA転送要求端子です
	EDACK0-A/EDACK0-B/ EDACK0-C	出力	チャネル0のシングルアドレス転送アクノリッジ信号です
	EDACK1-A/EDACK1-B/ EDACK1-C	出力	チャネル1のシングルアドレス転送アクノリッジ信号です
割り込み	NMI	入力	ノンマスカブル割り込み要求端子です
	IRQ0-A/IRQ0-B IRQ1-A/IRQ1-B IRQ2-A/IRQ2-B IRQ3-A/IRQ3-B IRQ4-A/IRQ4-B IRQ5-A/IRQ5-B IRQ6-A/IRQ6-B IRQ7-A/IRQ7-B IRQ8-A/IRQ8-B IRQ9-A/IRQ9-B IRQ10-A/IRQ10-B IRQ11-A/IRQ11-B IRQ12 IRQ13-A/IRQ13-B IRQ14 IRQ15-A/IRQ15-B	入力	割り込み要求端子です

表1.9 端子機能一覧 (3 / 6)

分類	端子名	入出力	機　　能
マルチファンクション タイマパルスユニット	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC1A MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC2A MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC3A MTIOC3B-A/MTIOC3B-B MTIOC3C-A/MTIOC3C-B MTIOC3D-A/MTIOC3D-B	入出力	TGRA3～TGRD3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC4A-A/MTIOC4A-B MTIOC4B-A/MTIOC4B-B MTIOC4C-A/MTIOC4C-B MTIOC4D-A/MTIOC4D-B	入出力	TGRA4、TGRB4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIC5U-A/MTIC5U-B MTIC5V-A/MTIC5V-B MTIC5W-A/MTIC5W-B	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力／デッドタイム補償機能の入力端子です
	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	入出力	TGRA6～TGRD6のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC7A MTIOC7B	入出力	TGRA7、TGRB7のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC8A MTIOC8B	入出力	TGRA8、TGRB8のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC9A MTIOC9B MTIOC9C MTIOC9D	入出力	TGRA9～TGRD9のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC10A MTIOC10B MTIOC10C MTIOC10D	入出力	TGRA10、TGRB10のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIC11U-A/MTIC11U-B MTIC11V-A/MTIC11V-B MTIC11W-A/MTIC11W-B	入力	TGRU11、TGRV11、TGRW11のインプットキャプチャ入力／デッドタイム補償機能の入力端子です
	MTCLKA-A/MTCLKA-B MTCLKB-A/MTCLKB-B MTCLKC-A/MTCLKC-B MTCLKD-A/MTCLKD-B MTCLKE-A/MTCLKE-B MTCLKF-A/MTCLKF-B MTCLKG-A/MTCLKG-B MTCLKH-A/MTCLKH-B	入力	外部クロックを入力します
ポートアウトプット イネーブル	POE0#～POE9#	入力	MTU用の大電流端子をハイインピーダンス状態にする要求信号を入力します
プログラマブルパルス ジェネレータ	PO0～PO31	出力	パルス出力端子です

表1.9 端子機能一覧 (4 / 6)

分類	端子名	入出力	機　　能
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子です
	TMCI0-A/TMCI0-B TMCI1-A/TMCI1-B TMCI2-A/TMCI2-B TMCI3-A/TMCI3-B	入力	カウンタに入力する外部クロックの入力端子です
	TMRI0-A/TMRI0-B TMRI1 TMRI2 TMRI3-A/TMRI3-B	入力	カウンタリセット入力端子です
ウォッチドッグタイマ	WDTOVF#	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力端子です
シリアル コミュニケーション インタフェース	TxD0 TxD1-A/TxD1-B TxD2-A/TxD2-B TxD3-A/TxD3-B TxD5 TxD6-A/TxD6-B	出力	送信データ出力端子です
	RxD0 RxD1-A/RxD1-B RxD2-A/RxD2-B RxD3-A/RxD3-B RxD5 RxD6-A/RxD6-B	入力	受信データ入力端子です
	SCK0 SCK1-A/SCK1-B SCK2-A/SCK2-B SCK3-A/SCK3-B SCK5 SCK6-A/SCK6-B	入出力	クロック入出力端子です
I^2Cバスインタフェース	SCL0、SCL1	入出力	I^2Cバスインタフェースのクロック入出力端子です。NMOSオープンドレイン出力でバスを直接駆動できます
	SDA0、SDA1	入出力	I^2Cバスインタフェースのデータ入出力端子です。NMOSオープンドレイン出力でバスを直接駆動できます
イーサネットコントローラ	REF50CK	入力	50MHz基準クロックです。RMIIモード時の送受信信号タイミング参照信号です
	RMII_CRS_DV	入力	RMIIモード時、キャリア検出信号、有効な受信データがRMII_RXD1～0上にあることを示す信号です
	RMII_TXD0、RMII_TXD1	出力	RMIIモード時、2ビットの送信データです
	RMII_RXD0、RMII_RXD1	入力	RMIIモード時、2ビットの受信データです
	RMII_TXD_EN	出力	RMIIモード時、データ送信イネーブル信号です
	RMII_RX_ER	入力	RMIIモード時、データ受信中にエラーが発生したことを示します
	ET_CRS	入力	キャリア検出／受信データ有効端子です
	ET_RX_DV	入力	有効な受信データがET_ERXD3～0上にあることを示す信号です
	ET_EXOUT	出力	汎用外部出力端子です
	ET_LINKSTA	入力	PHY-LSIからのリンク状態を入力します
	ET_ETXD0～ET_ETXD3	出力	MIIの4ビット送信データです
	ET_ERXD0～ET_ERXD3	入力	MIIの4ビット受信データです
	ET_TX_EN	出力	送信イネーブル端子です。ET_ETXD3～0上に送信データが準備できたことを示す信号です

表1.9　端子機能一覧 (5 / 6)

分類	端子名	入出力	機　能
イーサネットコントローラ	ET_TX_ER	出力	送信エラー端子です。送信中のエラーをPHY-LSIに通知する信号です
	ET_RX_ER	入力	受信エラー端子です。データ受信中に発生したエラー状態を認識する信号です
	ET_TX_CLK	入力	送信クロック端子です。ET_TX_EN、ET_ETXD3～0、ET_TX_ERのタイミング参照信号です
	ET_RX_CLK	入力	受信クロック端子です。ET_RX_DV、ET_ERXD3～0、ET_RX_ERのタイミング参照信号です
	ET_COL	入力	衝突検出信号です
	ET_WOL	出力	Magic Packet™受信を示す信号です
	ET_MDC	出力	ET_MDIOによる情報転送用の参照クロック信号です
	ET_MDIO	入出力	RX62NグループとPHY-LSIとの間で管理情報を交換するための双方向信号です
USB2.0ホスト／ファンクションモジュール	VCC_USB	入力	USB用の電源端子です。USB未使用時もシステムの電源に接続してください
	VSS_USB	入力	USB用の電源端子です。USB未使用時もシステムの電源（0V）に接続してください
	USB0_DP USB1_DP	入出力	USBバスのD+データです
	USB0_DM USB1_DM	入出力	USBバスのD-データです
	USB0_DPRPD USB1_DPRPD	出力	D+プルダウン許可
	USB0_DRPD USB1_DRPD	出力	D-プルダウン許可
	USB0_EXICEN USB1_EXICEN	出力	OTG電源ICに接続します
	USB0_ID USB1_ID	入力	OTG電源ICに接続します
	USB0_VBUSEN-A/ USB0_VBUSEN-B USB1_VBUSEN-A/ USB1_VBUSEN-B	出力	USB用VBUSパワーイネーブル端子です
	USB0_DPUPE-A/ USB0_DPUPE-B USB1_DPUPE-A/ USB1_DPUPE-B	出力	USB用プルアップ端子です
	USB0_OVRCURA/ USB0_OVRCURB USB1_OVRCURA/ USB1_OVRCURB	入力	USB用オーバカレント端子です
	USB0_VBUS USB1_VBUS	入力	USBケーブルの接続／切断検出入力端子です
CANモジュール	CRX0	入力	CANの入力端子です
	CTX0	出力	CANの出力端子です

表1.9　端子機能一覧 (6 / 6)

分類	端子名	入出力	機　能
シリアルペリフェラルインタフェース	RSPCKA-A/ RSPCKA-B	入出力	RSPIのクロック入出力端子です
	RSPCKB-A/ RSPCKB-B	入出力	RSPIのクロック入出力端子です
	MOSIA-A/MOSIA-B MOSIB-A/MOSIB-B	入出力	RSPIのマスタ送出データ端子です
	MISOA-A/MISOA-B MISOB-A/MISOB-B	入出力	RSPIのスレーブ送出データ端子です
	SSLA0-A/SSLA0-B	入出力	RSPIのスレーブセレクト
	SSLA1-A/SSLA1-B SSLA2-A/SSLA2-B SSLA3-A/SSLA3-B	出力	
	SSLB0-A/SSLB0-B	入出力	
	SSLB1-A/SSLB1-B SSLB2-A/SSLB2-B SSLB3-A/SSLB3-B	出力	
リアルタイムクロック	RTCOUT	出力	1Hz出力端子です
A/Dコンバータ	AN0～AN7	入力	A/Dコンバータのアナログ入力端子です
	ADTRG0#-A/ADTRG0#-B ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子です
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子です
アナログ電源	AVCC	入力	A/DコンバータおよびD/Aコンバータのアナログ電源端子です。A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源に接続してください
	AVSS	入力	A/DコンバータおよびD/Aコンバータのグランド端子です。システムの電源（0V）してください
	VREFH	入力	A/DコンバータおよびD/Aコンバータの基準電源端子です。A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源に接続してください
	VREFL	入力	A/DコンバータおよびD/Aコンバータの基準グランド端子です。アナログ基準電源（0V）に接続してください。また、A/Dコンバータおよび D/Aコンバータを使用しない場合は、システムの電源（0V）に接続してください。詳細は「35.6.7　アナログ電源端子他の設定範囲」を参照してください。
I/Oポート	P00～P03、P05、P07	入出力	6ビットの入出力端子です。
	P10～P17	入出力	8ビットの入出力端子です。
	P20～P27	入出力	8ビットの入出力端子です。
	P30～P34	入出力	5ビットの入出力端子です。
	P35	入力	1ビットの入力端子です。
	P40～P47	入出力	8ビットの入出力端子です。
	P50～P52、P54～P57	入出力	7ビットの入出力端子です。
	P53	入力	1ビットの入力端子です。
	P60～P67	入出力	8ビットの入出力端子です。
	P70～P77	入出力	8ビットの入出力端子です。
	P80～P85	入出力	6ビットの入出力端子です。
	P90～P97	入出力	8ビットの入出力端子です。
	PA0～PA7	入出力	8ビットの入出力端子です。
	PB0～PB7	入出力	8ビットの入出力端子です。
	PC0～PC7	入出力	8ビットの入出力端子です。
	PD0～PD7	入出力	8ビットの入出力端子です。
	PE0～PE7	入出力	8ビットの入出力端子です。
	PF0～PF4	入出力	5ビットの入出力端子です。
	PG0～PG7	入出力	8ビットの入出力端子です。

2. CPU

RX62N グループ、RX621 グループは、RX CPU を搭載するプロセッサです。

RX CPU は、可変長命令形式を採用しています。使用頻度の高い命令をより短い命令長に割り付けており、少ないメモリ容量で効率の良いプログラムを開発できます。

73 種類の基本命令、8 種類の浮動小数点演算命令、9 種類の DSP 機能命令の合計 90 種類の命令と、10 種類のアドレッシングモードを持ち、レジスターレジスタ間、レジスターメモリ間、即値－レジスタ、即値－メモリの演算をはじめ、ビット操作、メモリーメモリ間の転送を行います。レジスタ間演算命令だけでなく、いくつかの複合命令を 1 クロックで実行することで、高速な演算処理を実現しました。乗算器、除算器を内蔵していますので、高速な乗算処理、除算処理を行うことができます。

RX CPU は、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの 5 ステージのパイプライン処理により、命令を処理します。メモリアクセスによりパイプラインが延びた場合、後続の演算が先に実行される場合があります。RX CPU は、このような「out-of-order-completion」の採用により、クロックサイクル数を無駄にしない命令実行制御を行います。

2.1 特長

- 最小命令実行時間：1 命令 1 クロックで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
  汎用レジスタ：32 ビット ×16 本
  制御レジスタ：32 ビット ×9 本
  アキュムレータ：64 ビット ×1 本
- 基本命令：73 種類（算術／論理命令、転送命令、分岐命令、ビット操作命令、ストリング操作命令、システム操作命令）
  分岐距離に応じた相対分岐命令
  可変長命令形式（1 バイト長～ 8 バイト長）
  頻出命令に短縮フォーマットを用意
- 浮動小数点演算命令：8 種類
- DSP 機能命令：9 種類
  16 ビット ×16 ビットの乗算、積和命令に対応
  アキュムレータの丸め命令に対応
- アドレッシングモード：10 種類
- 5 段パイプライン
  「out-of-order-completion」の採用
- プロセッサモード
  スーパバイザモード、ユーザモード
- 浮動小数点演算ユニット
  単精度浮動小数点数（32 ビット）に対応
  IEEE754 に準拠したデータタイプ、および例外に対応
- メモリプロテクションユニット
- データ配置
  リトルエンディアン／ビッグエンディアン選択可能

2.2 CPU レジスタセット

RX CPU のレジスタには、汎用レジスタ（16 本）と、制御レジスタ（9 本）、および DSP 機能命令で使用するアキュムレータ（1 本）があります。

汎用レジスタ

b31	b0
R0 （SP） （注1）	
R1	
R2	
R3	
R4	
R5	
R6	
R7	
R8	
R9	
R10	
R11	
R12	
R13	
R14	
R15	

制御レジスタ

b31	b0
ISP （割り込みスタックポインタ）	
USP （ユーザスタックポインタ）	
INTB （割り込みテーブルレジスタ）	
PC （プログラムカウンタ）	
PSW （プロセッサステータスワード）	
BPC （バックアップPC）	
BPSW （バックアップPSW）	
FINTV （高速割り込みベクタレジスタ）	
FPSW （浮動小数点ステータスワード）	

DSP機能命令関連レジスタ

b63	b0
ACC（アキュムレータ）	

注1.スタックポインタ（SP）は、PSWのUビットによって、割り込みスタックポインタ（ISP）、または
ユーザスタックポインタ（USP）に切り替わります。

図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ（R0 ～ R15）

汎用レジスタは、16 本（R0 ～ R15）あります。汎用レジスタ R0 ～ R15 は、データレジスタやアドレスレジスタとして使用します。

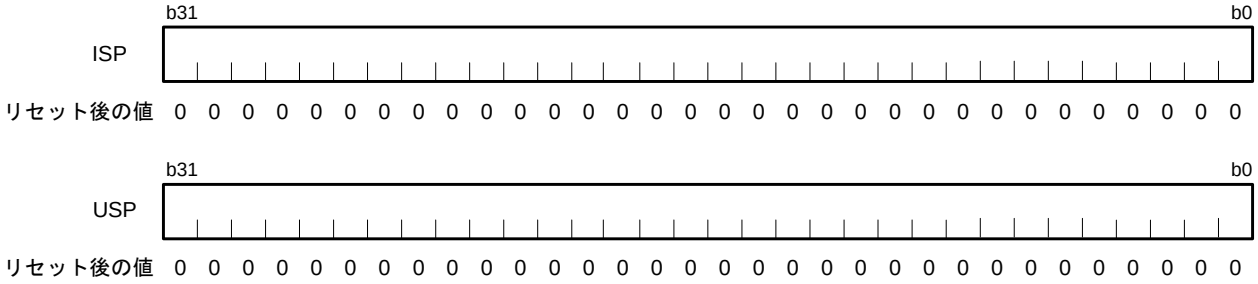
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられています。SP は、プロセッサステータスワード（PSW）のスタックポインタ指定ビット（U）によって、割り込みスタックポインタ（ISP）、またはユーザスタックポインタ（USP）に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の 9 本のレジスタがあります。

- 割り込みスタックポインタ（ISP）
- ユーザスタックポインタ（USP）
- 割り込みテーブルレジスタ（INTB）
- プログラムカウンタ（PC）
- プロセッサステータスワード（PSW）
- バックアップ PC（BPC）
- バックアップ PSW（BPSW）
- 高速割り込みベクタレジスタ（FINTV）
- 浮動小数点ステータスワード（FPSW）

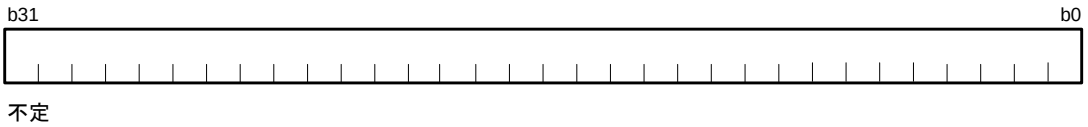
2.2.2.1 割り込みスタックポインタ（ISP）／ユーザスタックポインタ（USP）



スタックポインタ（SP）には、割り込みスタックポインタ（ISP）と、ユーザスタックポインタ（USP）の 2 種類があります。使用するスタックポインタ（ISP/USP）は、プロセッサステータスワード（PSW）のスタックポインタ指定ビット（U）によって切り替えられます。

ISP、USP に 4 の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

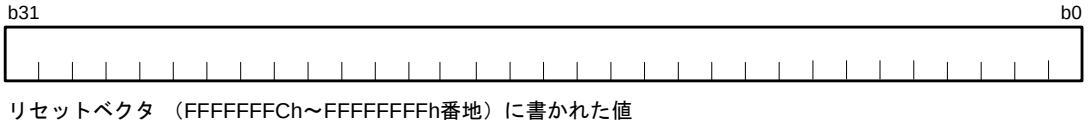
2.2.2.2 割り込みテーブルレジスタ（INTB）



割り込みテーブルレジスタ（INTB）には、可変ベクタテーブルの先頭番地を設定してください。

また、INTB レジスタには 4 の倍数を設定してください。

2.2.2.3 プログラムカウンタ（PC）



プログラムカウンタ（PC）は、実行中の命令の番地を示します。

2.2.2.4 プロセッサステータスワード（PSW）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	IPL[3:0]				–	–	–	PM	–	–	U	I
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	–	O	S	Z	C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0：キャリの発生なし 1：キャリの発生あり	R/W
b1	Z	ゼロフラグ	0：演算結果は0でなかった 1：演算結果は0であった	R/W
b2	S	サインフラグ	0：演算結果は正または0であった 1：演算結果は負であった	R/W
b3	O	オーバフローフラグ	0：オーバフローの発生なし 1：オーバフローの発生あり	R/W
b15–b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I（注1）	割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b17	U（注1）	スタックポインタ指定ビット	0：割り込みスタックポインタ（ISP）を指定 1：ユーザスタックポインタ（USP）を指定	R/W
b19–b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM （注1）（注2）（注3）	プロセッサモード設定ビット	0：スーパバイザモードに設定 1：ユーザモードに設定	R/W
b23–b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27–b24	IPL[3:0]（注1）	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0：優先レベル0（最低） 0 0 0 1：優先レベル1 0 0 1 0：優先レベル2 0 0 1 1：優先レベル3 0 1 0 0：優先レベル4 0 1 0 1：優先レベル5 0 1 1 0：優先レベル6 0 1 1 1：優先レベル7 1 0 0 0：優先レベル8 1 0 0 1：優先レベル9 1 0 1 0：優先レベル10 1 0 1 1：優先レベル11 1 1 0 0：優先レベル12 1 1 0 1：優先レベル13 1 1 1 0：優先レベル14 1 1 1 1：優先レベル15（最高）	R/W
b31–b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。
また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。

注2. スーパバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできます。

注3. スーパバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード（PSW）は、命令実行の結果や、CPU の状態を示します。

C フラグ（キャリフラグ）

演算結果にキャリ、ボロー、シフトアウトが発生したことを示します。

Z フラグ（ゼロフラグ）

演算結果が 0 であったことを示します。

S フラグ（サインフラグ）

演算結果が負であったことを示します。

O フラグ（オーバフローフラグ）

演算中にオーバフローしたことを示します。

I ビット（割り込み許可ビット）

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは “0” になります。

U ビット（スタックポインタ指定ビット）

使用するスタックポインタ（ISP/USP）を指定するビットです。例外を受け付けると、このビットは “0” になります。スーパバイザモードからユーザモードに移行すると、このビットは “1” になります。

PM ビット（プロセッサモード設定ビット）

プロセッサモードを設定するビットです。例外を受け付けると、このビットは “0” になります。

IPL[3:0] ビット（プロセッサ割り込み優先レベル）

IPL[3:0] ビットは、優先レベル 0（最低）～ 優先レベル 15（最高）までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15（Fh）に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル 15（Fh）になります。割り込みが発生したとき、受け付けた割り込みの優先レベルが設定されます。

2.2.2.5 バックアップ PC（BPC）

リセット後の値 不定

バックアップ PC（BPC）は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ（PC）の内容が BPC に退避されます。

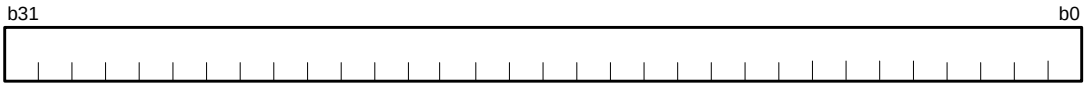
2.2.2.6 バックアップ PSW（BPSW）

リセット後の値 不定

バックアップ PSW（BPSW）は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード（PSW）の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.7 高速割り込みベクタレジスタ（FINTV）



リセット後の値 不定

高速割り込みベクタレジスタ（FINTV）は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.8 浮動小数点ステータスワード（FPSW）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	EX	EU	EZ	EO	EV	–	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0：最近値への丸め 0 1：0方向への丸め 1 0：+∞方向への丸め 1 1：−∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0：無効演算の発生なし 1：無効演算の発生あり	R/(W)（注1）
b3	CO	オーバフロー要因フラグ	0：オーバフローの発生なし 1：オーバフローの発生あり	R/(W)（注1）
b4	CZ	ゼロ除算要因フラグ	0：ゼロ除算の発生なし 1：ゼロ除算の発生あり	R/(W)（注1）
b5	CU	アンダフロー要因フラグ	0：アンダフローの発生なし 1：アンダフローの発生あり	R/(W)（注1）
b6	CX	精度異常要因フラグ	0：精度異常の発生なし 1：精度異常の発生あり	R/(W)（注1）
b7	CE	非実装処理要因フラグ	0：非実装処理の発生なし 1：非実装処理の発生あり	R/(W)（注1）
b8	DN	非正規化数の0フラッシュビット	0：非正規化数を非正規化数として扱う 1：非正規化数を0として扱う（注2）	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0：無効演算発生による例外処理を禁止 1：無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0：オーバフロー発生による例外処理を禁止 1：オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0：ゼロ除算発生による例外処理を禁止 1：ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0：アンダフロー発生による例外処理を禁止 1：アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0：精度異常発生による例外処理を禁止 1：精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV（注3）	無効演算フラグ	0：無効演算の発生なし 1：無効演算の発生あり（注8）	R/W
b27	FO（注4）	オーバフローフラグ	0：オーバフローの発生なし 1：オーバフローの発生あり（注8）	R/W
b28	FZ（注5）	ゼロ除算フラグ	0：ゼロ除算の発生なし 1：ゼロ除算の発生あり（注8）	R/W
b29	FU（注6）	アンダフローフラグ	0：アンダフローの発生なし 1：アンダフローの発生あり（注8）	R/W
b30	FX（注7）	精度異常フラグ	0：精度異常の発生なし 1：精度異常の発生あり（注8）	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映します	R

注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
注2. 正の非正規化数は+0、負の非正規化数は−0として扱います。
注3. EVビットが“0”のときに、FVフラグは有効となります。
注4. EOビットが“0”のときに、FOフラグは有効となります。
注5. EZビットが“0”のときに、FZフラグは有効となります。
注6. EUビットが“0”のときに、FUフラグは有効となります。
注7. EXビットが“0”のときに、FXフラグは有効となります。
注8. 当該ビットが1度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード（FPSW）は、浮動小数点演算結果を示します。

例外処理許可ビット Ej で例外処理を許可（Ej=“1”）した場合は、例外処理ルーチンで該当する Cj フラグをチェックし例外発生の要因を判断することができます。例外処理を禁止（Ej=“0”）した場合は、一連の処理の最後に Fj フラグをチェックし例外発生の有無を確認することができます。Fj フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します。（j=X、U、Z、O、V）

RM[1:0] ビット（浮動小数点丸めモード設定ビット）

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め（デフォルト） ： 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
  中間時は結果が偶数になる方向へ丸める
- 0方向への丸め ： 結果の絶対値が小さくなる方向へ丸める（単純な切り捨て）
- +∞方向への丸め ： 結果の値が大きくなる方向へ丸める
- −∞方向への丸め ： 結果の値が小さくなる方向へ丸める

（1）「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。
（2）「0 方向への丸め」、「+ ∞方向への丸め」、「− ∞方向への丸め」は、区間演算（Interval arithmetic）を使用した精度保証を行うときに使用します。

CV フラグ（無効演算要因フラグ）、CO フラグ（オーバフロー要因フラグ）
CZ フラグ（ゼロ除算要因フラグ）、CU フラグ（アンダフロー要因フラグ）
CX フラグ（精度異常要因フラグ）、CE フラグ（非実装処理要因フラグ）

IEEE754 規格で規定された 5 つの例外（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理が発生した場合に該当するフラグが “1” になります。

- “1” の場合は、FPU 演算命令実行時に “0” になります。
- MVTC、POPC 命令で “0” を書いた場合、“0” になります。“1” を書いた場合、前の値を保持します。

DN ビット（非正規化数の 0 フラッシュビット）

“0” のとき非正規化数を非正規化数として扱います。“1” のとき非正規化数を 0 として扱います。

EV ビット（無効演算例外処理許可ビット）、EO ビット（オーバフロー例外処理許可ビット）
EZ ビット（ゼロ除算例外処理許可ビット）、EU ビット（アンダフロー例外処理許可ビット）
EX ビット（精度異常例外処理許可ビット）

FPU 演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。
“0” の場合、例外処理は禁止されます。“1” の場合、例外処理が許可されます。

FV フラグ（無効演算フラグ）、FO フラグ（オーバフローフラグ）、FZ フラグ（ゼロ除算フラグ）
FU フラグ（アンダフローフラグ）、FX フラグ（精度異常フラグ）

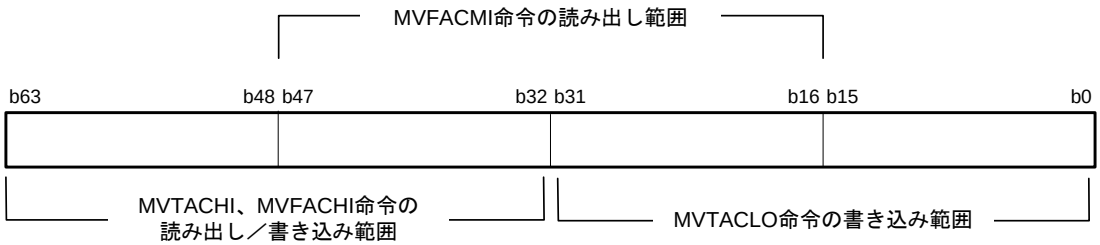
例外処理許可ビット Ej が “0”（例外処理を禁止）の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- Ej=“1”（例外処理を許可）のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します。（蓄積フラグ）

FS フラグ（浮動小数点エラーサマリフラグ）

FU、FZ、FO、FV フラグの論理和を反映します。

2.2.3 アキュムレータ（ACC）



リセット後の値 不定

アキュムレータ（ACC）は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令（EMUL、EMULU、FMUL、MUL）、積和演算命令（RMPA）でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット（b63 ～ b32）に、MVTACLO 命令は下位側 32 ビット（b31 ～ b0）にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット（b63 ～ b32）、MVFACMI 命令で中央の 32 ビット（b47 ～ b16）のデータをそれぞれ読みます。

2.3 プロセッサモード

RX CPU には、スーパバイザモード、およびユーザモードの 2 つのプロセッサモードがあります。プロセッサモードを使用して、CPU リソースに対する階層的な保護機構を実現することができます。

各プロセッサモードには、実行可能な命令、アクセス可能な CPU リソースに対する権限を規定しており、スーパバイザモードはユーザモードより高い権限を持っています。

リセット後は、スーパバイザモードで動作します。

2.3.1 スーパバイザモード

スーパバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード（PSW）のプロセッサモード設定ビット（PM）への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.4 プロセッサステータスワード（PSW）」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード（PSW）の一部のビット（IPL[3:0]、PM、U、I）
- 割り込みスタックポインタ（ISP）
- 割り込みテーブルレジスタ（INTB）
- バックアップ PSW（BPSW）
- バックアップ PC（BPC）
- 高速割り込みベクタレジスタ（FINTV）

2.3.3 特権命令

特権命令は、スーパバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード（PSW）のプロセッサモード設定ビット（PM）によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパバイザモードへの移行

例外が発生すると PSW の PM ビットが “0” になり、CPU はスーパバイザモードへ移行します。ハードウェア前処理は、スーパバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW の PM ビットに保持されます。

(2) スーパバイザモードからユーザモードへの移行

スタック上に退避されている PSW の PM ビットが “1” のとき RTE 命令を実行する、あるいはバックアップ PSW（BPSW）に退避されている PSW の PM ビットが “1” のとき RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット（U）が “1” になります。

2.4 データタイプ

RX CPU は、整数、浮動小数点数、ビット、ストリングの 4 種類のデータを扱うことができます。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2 の補数で表現します。

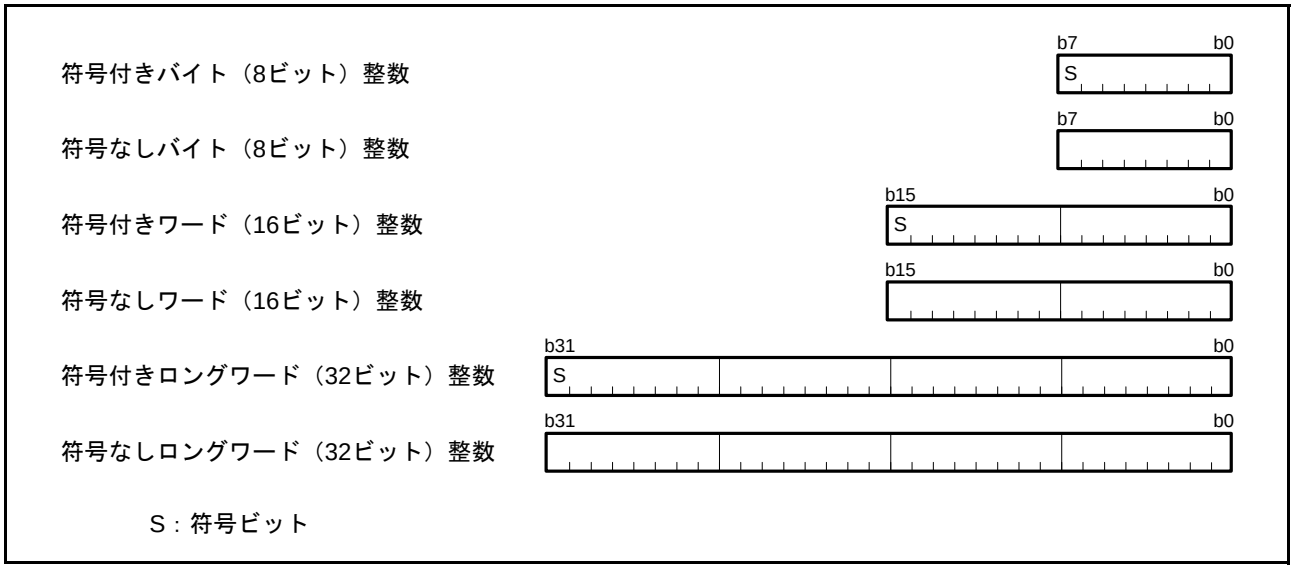


図 2.2 整数

2.4.2 浮動小数点数

浮動小数点数は、IEEE754 で規定されている単精度浮動小数点数に対応しています。浮動小数点数は、浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSUB、FTOI、ITOF、ROUND の 8 種類の命令で使用できます。

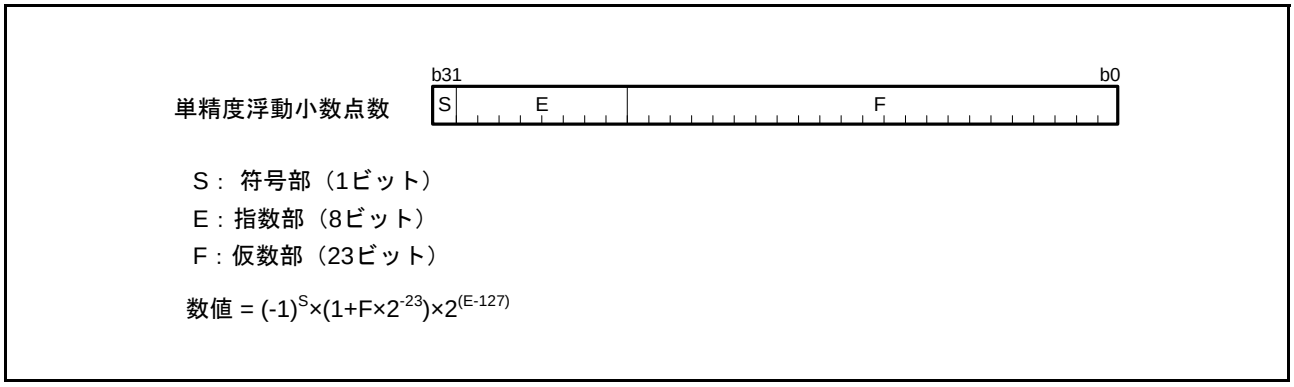


図 2.3 浮動小数点数

浮動小数点数は、以下の数値に対応しています。

- 0<E<255（正規化数 - Normal Numbers）
- E = 0 かつ F = 0（ゼロ - Signed Zero）
- E = 0 かつ F>0（非正規化数 - Subnormal Numbers）（注 1）
- E = 255 かつ F = 0（無限大 - Infinity）
- E = 255 かつ F>0（非数 - NaN : Not a Number）

注 1. FPSW.DN ビットが “1” のときは、0 として扱います。DN ビットが “0” のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR、BM*Cnd* 、BNOT、BSET、BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ～ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ～ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

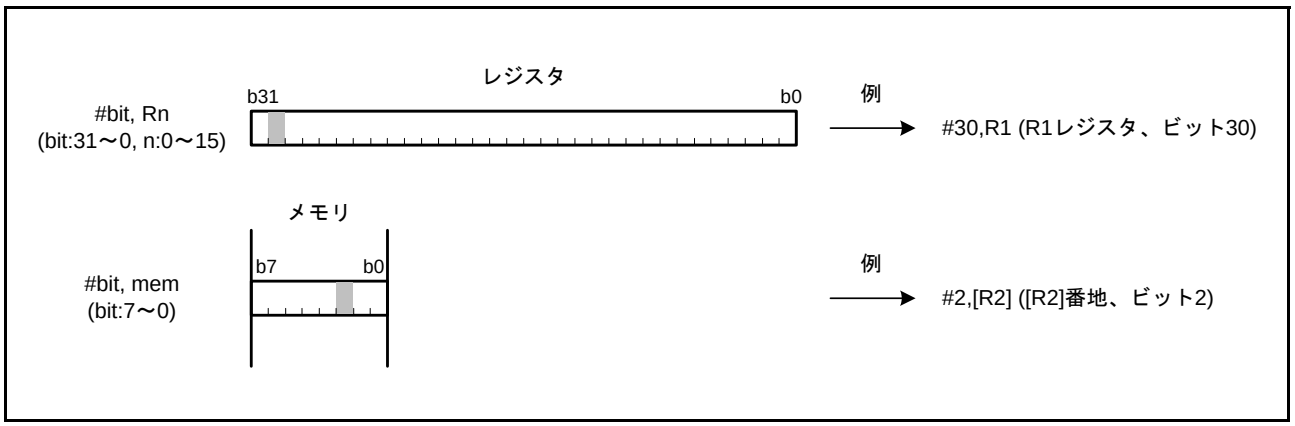


図 2.4 ビット

2.4.4 ストリング

ストリングとは、バイト（8 ビット）、ワード（16 ビット）、またはロングワード（32 ビット）のデータを任意の数だけ連続して並べたデータタイプです。ストリングは、ストリング操作命令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE の 7 種類の命令で使用できます。

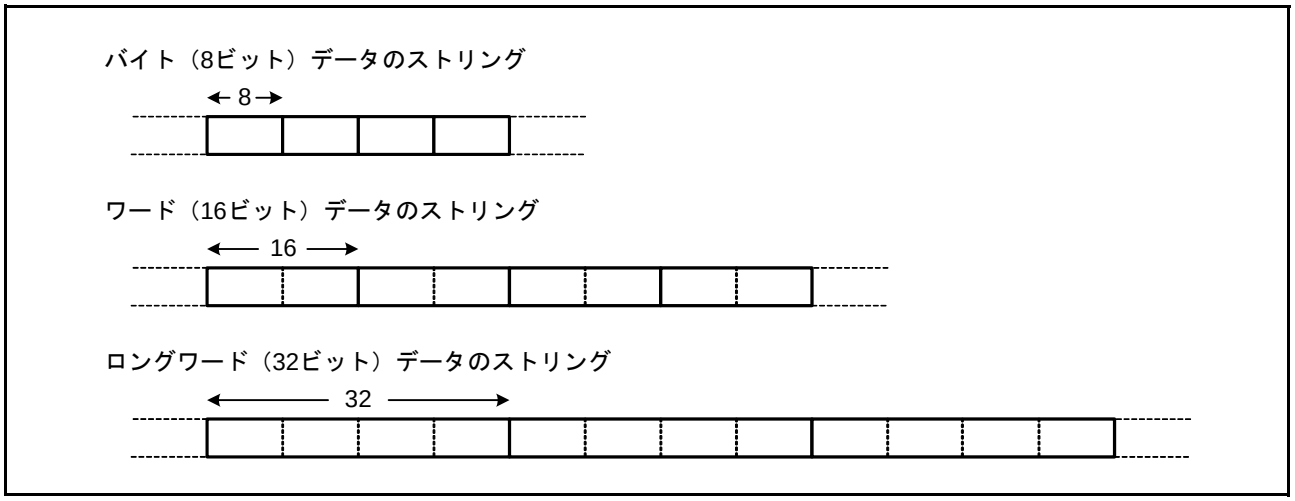


図 2.5 ストリング

2.5 エンディアン

RX CPU の命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

RX62N グループ、RX621 グループでは、バイトデータの並び方を、上位バイト（MSB）が 0 番地になるビッグエンディアン、下位バイト（LSB）が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」および「12. バス」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ～表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ～ D0

LH は、汎用レジスタの D15 ～ D8

HL は、汎用レジスタの D23 ～ D16

HH は、汎用レジスタの D31 ～ D24　　を示します。

	D31 ～ D24	D23 ～ D16	D15 ～ D8	D7 ～ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1　リトルエンディアン設定時の 32 ビットリード動作

動作 / src番地	0番地を 32ビット でリード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	LLに転送	－	－	－	－
1番地	LHに転送	LLに転送	－	－	－
2番地	HLに転送	LHに転送	LLに転送	－	－
3番地	HHに転送	HLに転送	LHに転送	LLに転送	－
4番地	－	HHに転送	HLに転送	LHに転送	LLに転送
5番地	－	－	HHに転送	HLに転送	LHに転送
6番地	－	－	－	HHに転送	HLに転送
7番地	－	－	－	－	HHに転送

表 2.2　ビッグエンディアン設定時の 32 ビットリード動作

動作 / src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	HHに転送	－	－	－	－
1番地	HLに転送	HHに転送	－	－	－
2番地	LHに転送	HLに転送	HHに転送	－	－
3番地	LLに転送	LHに転送	HLに転送	HHに転送	－
4番地	－	LLに転送	LHに転送	HLに転送	HHに転送
5番地	－	－	LLに転送	LHに転送	HLに転送
6番地	－	－	－	LLに転送	LHに転送
7番地	－	－	－	－	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 / dest番地	0番地に32ビットでライト	1番地に32ビットでライト	2番地に32ビットでライト	3番地に32ビットでライト	4番地に32ビットでライト
0番地	LLを転送	―	―	―	―
1番地	LHを転送	LLを転送	―	―	―
2番地	HLを転送	LHを転送	LLを転送	―	―
3番地	HHを転送	HLを転送	LHを転送	LLを転送	―
4番地	―	HHを転送	HLを転送	LHを転送	LLを転送
5番地	―	―	HHを転送	HLを転送	LHを転送
6番地	―	―	―	HHを転送	HLを転送
7番地	―	―	―	―	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 / dest番地	0番地に32ビットでライト	1番地に32ビットでライト	2番地に32ビットでライト	3番地に32ビットでライト	4番地に32ビットでライト
0番地	HHを転送	―	―	―	―
1番地	HLを転送	HHを転送	―	―	―
2番地	LHを転送	HLを転送	HHを転送	―	―
3番地	LLを転送	LHを転送	HLを転送	HHを転送	―
4番地	―	LLを転送	LHを転送	HLを転送	HHを転送
5番地	―	―	LLを転送	LHを転送	HLを転送
6番地	―	―	―	LLを転送	LHを転送
7番地	―	―	―	―	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 / src番地	0番地を16ビットでリード	1番地を16ビットでリード	2番地を16ビットでリード	3番地を16ビットでリード	4番地を16ビットでリード	5番地を16ビットでリード	6番地を16ビットでリード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 / src番地	0番地を16ビットでリード	1番地を16ビットでリード	2番地を16ビットでリード	3番地を16ビットでリード	4番地を16ビットでリード	5番地を16ビットでリード	6番地を16ビットでリード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 / dest番地	0番地に16ビットでライト	1番地に16ビットでライト	2番地に16ビットでライト	3番地に16ビットでライト	4番地に16ビットでライト	5番地に16ビットでライト	6番地に16ビットでライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 / dest番地	0番地に16ビットでライト	1番地に16ビットでライト	2番地に16ビットでライト	3番地に16ビットでライト	4番地に16ビットでライト	5番地に16ビットでライト	6番地に16ビットでライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 / src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	―	―	―
1番地	―	LLに転送	―	―
2番地	―	―	LLに転送	―
3番地	―	―	―	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 / src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	―	―	―
1番地	―	LLに転送	―	―
2番地	―	―	LLに転送	―
3番地	―	―	―	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 / dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	―	―	―
1番地	―	LLを転送	―	―
2番地	―	―	LLを転送	―
3番地	―	―	―	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 / dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	―	―	―
1番地	―	LLを転送	―	―
2番地	―	―	LLを転送	―
3番地	―	―	―	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがって I/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章の**レジスタの説明**を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。

- 16 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

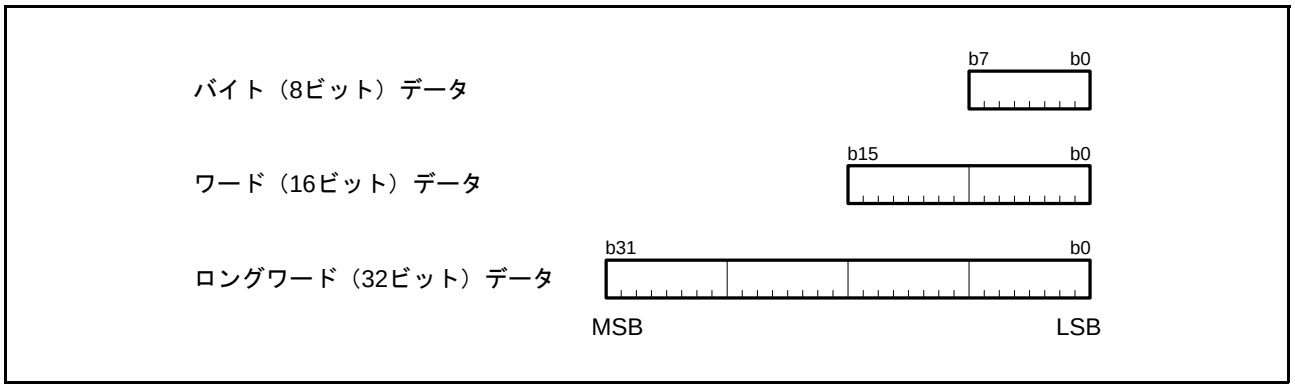


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト（8 ビット）、ワード（16 ビット）、ロングワード（32 ビット）の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

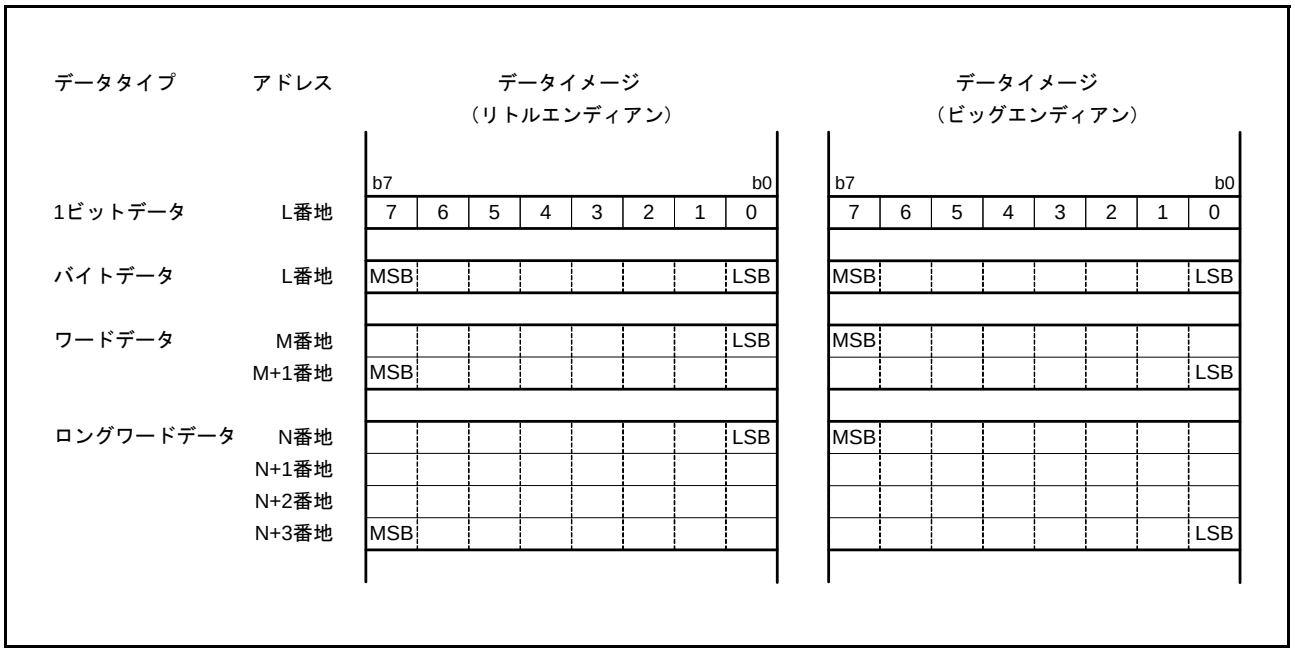


図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、固定ベクタテーブルと可変ベクタテーブルがあります。ベクタテーブルは、1 ベクタあたり 4 バイトで構成されており、各ベクタには対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 固定ベクタテーブル

固定ベクタテーブルは、テーブルの配置アドレスが固定されたベクタテーブルです。FFFFFF80h ～ FFFFFFFFh 番地に、特権命令例外、アクセス例外、未定義命令例外、浮動小数点例外、ノンマスカブル割り込み、リセットの各ベクタを配置しています。図 2.8 に固定ベクタテーブルを示します。

	MSB　　LSB
FFFFFF80h	（予約領域）
:	:
FFFFFFCCh	（予約領域）
FFFFFFD0h	特権命令例外
FFFFFFD4h	アクセス例外
FFFFFFD8h	（予約領域）
FFFFFFDCh	未定義命令例外
FFFFFFE0h	（予約領域）
FFFFFFE4h	浮動小数点例外
FFFFFFE8h	（予約領域）
FFFFFFECh	（予約領域）
FFFFFFF0h	（予約領域）
FFFFFFF4h	（予約領域）
FFFFFFF8h	ノンマスカブル割り込み
FFFFFFFCh	リセット

図 2.8　固定ベクタテーブル

2.6.2 可変ベクタテーブル

可変ベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ（INTB）の内容で示された値を先頭アドレス（IntBase）とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。**図 2.9** に可変ベクタテーブルを示します。

可変ベクタテーブルには、ベクタごとに番号（0 ～ 255）が付けられています。無条件トラップ発生要因の INT 命令では INT 命令番号（0 ～ 255）に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。

また、割り込み要因では、製品ごとに決められたベクタ番号（0 ～ 255）が割り当てられています。割り込みのベクタ番号については、「**11. 割り込みコントローラ（ICUa）**」を参照してください。

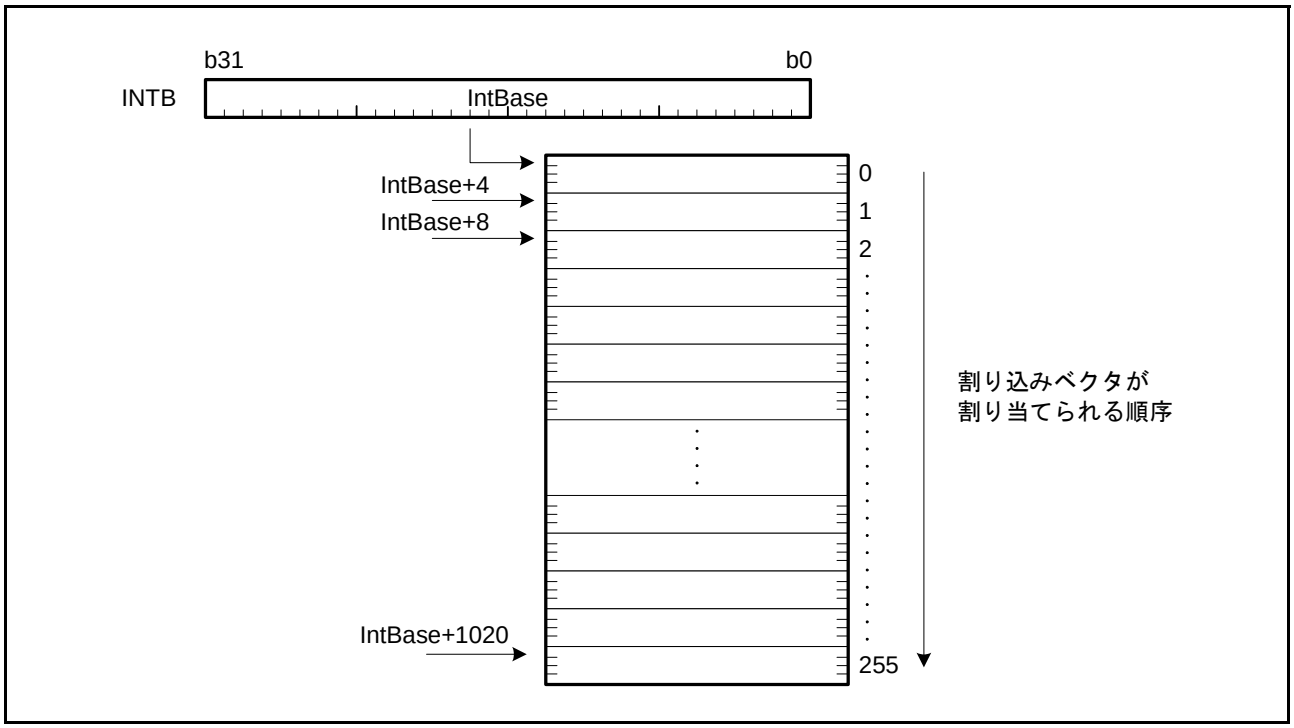


図 2.9 可変ベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ

RMPA 命令、および SSTR 命令を除くストリング操作命令（SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE）は、メモリからのデータ読み出し処理を高速化するため、データプリフェッチを行う場合があります。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.8 パイプライン

2.8.1 概要

RX CPU は 5 段のパイプラインステージで構成されています。RX CPU の命令は、1 つまたは、複数のマイクロオペレーションに変換され、RX CPU はマイクロオペレーションをパイプライン処理します。パイプラインステージは、IF ステージは命令単位、D ステージ以降は、マイクロオペレーション単位で動作します。

以下にパイプラインの動作と各ステージの概要を示します。

(1) IF ステージ（命令フェッチステージ）

命令フェッチを行うステージです。メモリから命令をフェッチします。RX CPU は 8 バイト ×4 本の命令キューを備えており、D（デコード）ステージのデコード処理完了とは無関係に、命令キューがいっぱいになるまでフェッチを続けます。

(2) D ステージ（デコードステージ）

D ステージは命令のデコード処理（DEC）を行い、命令をマイクロオペレーションに変換します。このステージでは、レジスタの読み出し（RF）を行い、先行する命令の演算結果を参照する処理の場合は、バイパス（BYP）を行います。バイパスにより、演算結果のレジスタへの書き込み (RW) と同時に、D ステージでのレジスタ参照が可能です。

(3) E ステージ（実行ステージ）

演算やアドレス計算など（OP）を行います。

(4) M ステージ（メモリアクセスステージ）

オペランドのメモリアクセス（OA1、OA2）を行います。メモリアクセス時のみ、このステージを使用します。このステージはさらに M1、M2 の 2 段のサブステージに分かれます。RX CPU では、M1、M2 の各ステージに 1 個のメモリアクセスが存在することができます。

- M1 ステージ（メモリアクセスステージ 1）

オペランドのメモリアクセス（OA1）を行います。

ストア動作時：ライト要求がバスに受け付けられると、パイプライン処理は終了します。

ロード動作時：リード要求がバスに受け付けられると、M2 ステージに進みます。要求受け付けとロードデータ到着が同時（ノーウェイトのメモリアクセス）の場合は、WB ステージに進みます。

- M2 ステージ（メモリアクセスステージ 2）

オペランドのメモリアクセス（OA2）を行います。ロードデータの到着を待つステージです。ロードデータが到着すると、WB ステージに進みます。

(5) WB ステージ（ライトバックステージ）

演算結果やメモリから読み出したデータをレジスタに書き込みます（RW）。メモリからの読み出しデータとそれ以外の演算結果は同時（同じサイクル）にレジスタへ書き込みができます。

図 2.10 にパイプライン構成とその動作を示します。

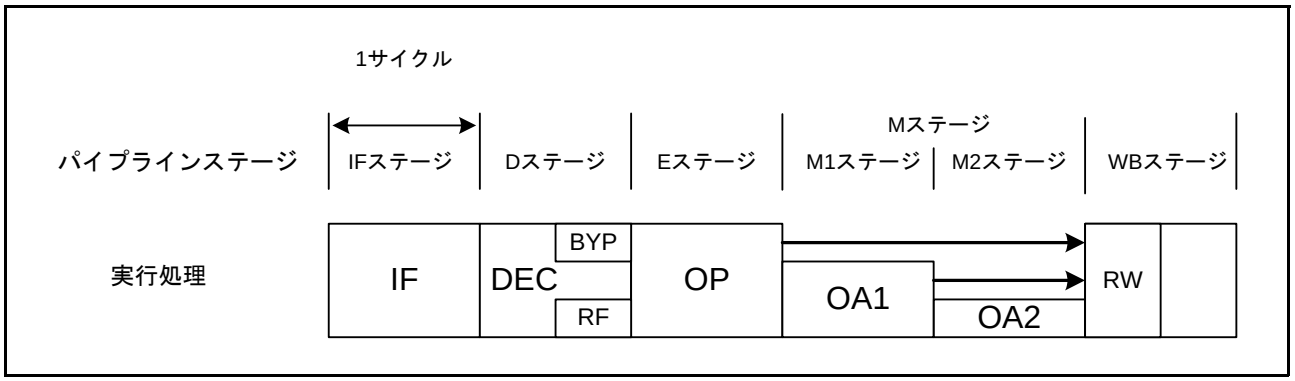


図 2.10 パイプライン構成と動作

2.8.2 命令とパイプライン処理

表中のオペランド表記は、以下に従います。

#IMM：即値

Rs, Rs2, Rd, Rd2, Ri, Rb：汎用レジスタ、CR：制御レジスタ

dsp：dsp5, dsp8, dsp16, dsp24

pcdsp：pcdsp3, pcdsp8, pcdsp16, pcdsp24

2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理

単一のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.13 単一マイクロオペレーションに変換される命令

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	参照図	サイクル数
算術／論理演算命令 （レジスタ間、即値-レジスタ） DIV、DIVU、EMUL、EMULU、RMPA、SATRを除く	• {ABS, ADC, ADD, AND, CMP, MAX, MIN, MUL, NEG, NOP, NOT, OR, ROLC, RORC, ROTL, ROTR, SAT, SBB, SHAR, SHLL, SHLR, SUB, TST, XOR} “#IMM, Rd”/“Rd” /“Rs, Rd”/“Rs, Rs2, Rd”	図2.11	1
算術／論理演算命令（除算）	• DIV “#IMM, Rd”/“Rs, Rd”	図2.11	3～20（注1）
	• DIVU “#IMM, Rd”/“Rs, Rd”	図2.11	2～18（注1）
転送命令 （レジスタ間、即値－レジスタ）	• {MOV, MOVU, REVL, REVW} “#IMM, Rd”/“Rs, Rd” • SC*Cnd* “Rd” • {STNZ, STZ} “#IMM, Rd”	図2.11	1
転送命令（ロード動作）	• {MOV, MOVU} “[Rs], Rd”/“dsp[Rs], Rd” /“[Rs+], Rd”/“[-Rs], Rd”/“Rs, [Ri, Rb]” • ・POP “Rd”	図2.12	スループット：1 レイテンシ：2（注2）
転送命令（ストア動作）	• MOV “Rs, [Rd]”/“Rs, dsp[Rd]”/“Rs, [Rd+]” /“Rs, [-Rd]”/“Rs, [Ri, Rb]” • PUSH “Rs” • PUSHC “CR”	図2.13	1
ビット操作命令（レジスタ）	• {BCLR, BNOT, BSET, BTST} “#IMM, Rd”/“Rs, Rd” • BM*Cnd* “#IMM, Rd”	図2.11	1
分岐命令	• B*Cnd* “pcdsp” • {BRA, BSR} “pcdsp”/“Rs” • {JMP, JSR} “Rs”	図2.22	分岐成立：3 分岐不成立：1
浮動小数点演算命令 （レジスタ間、即値－レジスタ）	• FCMP “#IMM, Rd”/“Rs, Rd”	図2.11	1
システム制御命令	• CLRPSW, SETPSW “#IMM” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL“#IMM”	－	1
DSP機能命令	• {MACHI , MACLO, MULHI, MULLO}“Rs, Rs2” • {MVFACHI, MVFACMI}“Rd” • {MVTACHI, MVTACLO}“Rs” • RACW“#IMM”	図2.11	1

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。
注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

基本的な単一のマイクロオペレーションに変換される命令動作を以下の図 2.11 ～図 2.13 に示します。

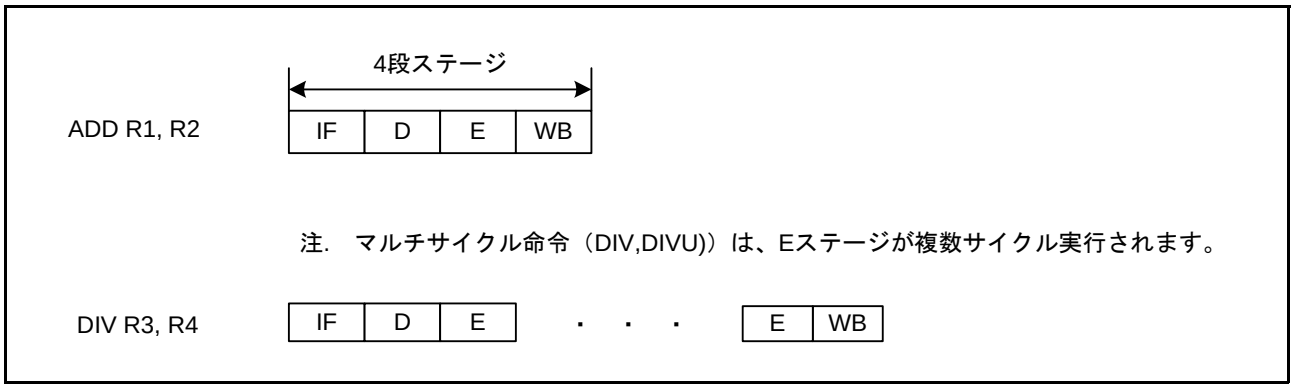


図 2.11 レジスタ間、即値－レジスタ演算

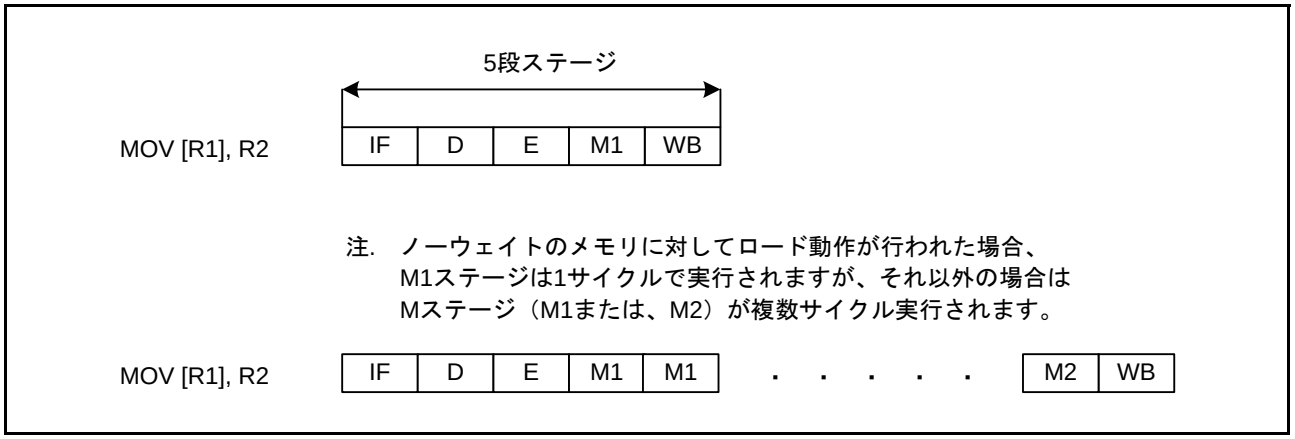


図 2.12 ロード動作

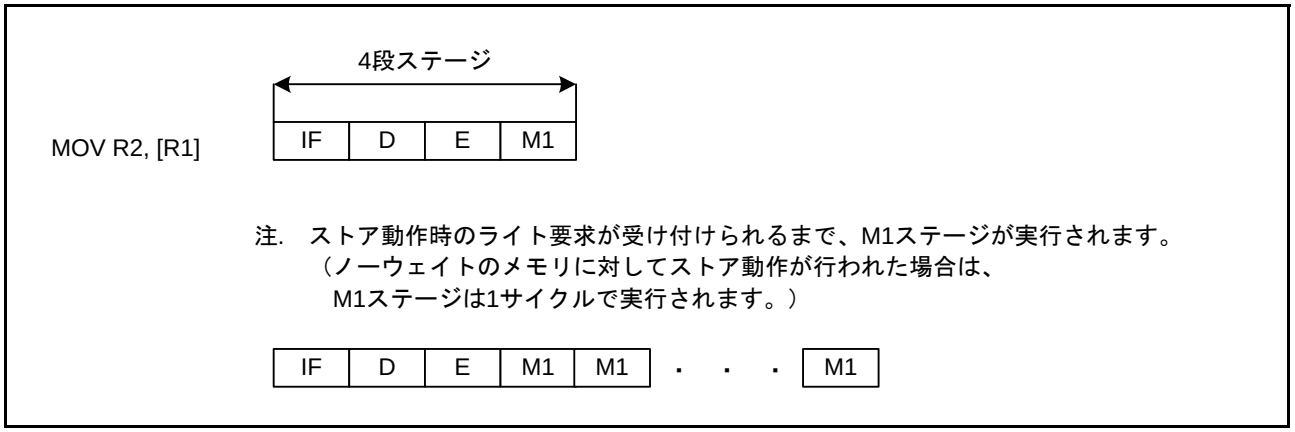


図 2.13 ストア動作

2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理

複数のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.14 複数マイクロオペレーションに変換される命令 (1 / 2)

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	参照図	サイクル数
算術／論理演算命令 （メモリソースオペランド）	• {ADC, ADD, AND, CMP, MAX, MIN, MUL, OR, SBB, SUB,TST, XOR} “[Rs], Rd”/“dsp[Rs], Rd”	図2.14	3
算術／論理演算命令（除算）	• DIV “[Rs],Rd / dsp[Rs],Rd”	—	5～22
	• DIVU“[Rs],Rd / dsp[Rs],Rd”	—	4～20
算術／論理演算命令 （乗算 32bit×32bit → 64bit） （レジスタ間、レジスター即値）	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	図2.16	2
算術／論理演算命令 （乗算 32bit×32bit → 64bit） （メモリソースオペランド）	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	—	4
算術／論理演算命令（積和演算）	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) nは処理バイト数（注1）
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) nは処理ワード数（注1）
	• RMPA.L	—	6+4n nは処理ロングワード数（注1）
算術／論理演算命令（RMPA命令用64ビット符号付き飽和処理）	• SATR	—	3
転送命令（メモリ間転送）	• MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]” /“[Rs], dsp[Rd]”/“dsp[Rs], [Rd]” • PUSH “[Rs]”/“dsp[Rs]”	図2.15	3
ビット操作命令 （メモリソースオペランド）	• {BCLR, BNOT, BSET, BTST} “#IMM, [Rd]” /“#IMM, dsp[Rd]” • BM*Cnd* “#IMM, [Rd]”/“#IMM, dsp[Rd]”	図2.15	3
転送命令（ロード命令）	• POPC “CR”	—	スループット：3 レイテンシ：4（注2）
転送命令（複数レジスタの退避）	• PUSHM “Rs-Rs2”	—	n nはレジスタ数（注3）
転送命令（複数レジスタの復帰）	• POPM “Rs-Rs2”	—	スループット：n レイテンシ：n+1 nはレジスタ数（注2、注4）
転送命令（レジスタ間の交換）	• XCHG “Rs, Rd”	図2.17	2
転送命令 （メモリーレジスタの交換）	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	図2.18	2
分岐命令	• RTS	—	5
	• RTSD “#IMM”	—	5
	• RTSD “#IMM, Rd-Rd2”	—	スループット：n<5?5:1+n レイテンシ：n<4?5:2+n nはレジスタ数（注2）

表2.14　複数マイクロオペレーションに変換される命令 (2 / 2)

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	参照図	サイクル数
ストリング操作命令（注5）	• SCMPU	—	2+4×floor(n/4)+4×(n%4) nは比較バイト数（注1）
	• SMOVB	—	n>3? 6+3×floor(n/4)+3×(n%4): 2+3n nは転送バイト数（注1）
	• SMOVF, SMOVU	—	2+3×floor(n/4)+3×(n%4) nは転送バイト数（注1）
	• SSTR.B	—	2+floor(n/4)+n%4 nは転送バイト数（注1）
	• SSTR.W	—	2+floor(n/2)+n%2 nは転送ワード数（注1）
	• SSTR.L	—	2+n nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	—	3+3×floor(n/4)+3×(n%4) nは比較バイト数（注1）
	• SUNTIL.W, SWHILE.W	—	3+3×floor(n/2)+3×(n%2) nは比較ワード数（注1）
	• SUNTIL.L, SWHILE.L	—	3+3×n nは比較ロングワード数
浮動小数点演算命令 （レジスタ間、即値－レジスタ）	• {FADD, FSUB} “#IMM, Rd”/ “Rs, Rd”	図2.19	4
	• FMUL “#IMM, Rd”/“Rs, Rd”	—	3
	• FDIV “#IMM, Rd”/“Rs, Rd”	—	16
	• {FTOI, ROUND, ITOF} “Rs, Rd”	—	2
浮動小数点演算命令 （メモリソースオペランド）	• {FADD, FSUB} “[Rs], Rd”/“dsp[Rs], Rd”	—	6
	• FMUL “[Rs], Rd”/“dsp[Rs], Rd”	—	5
	• FDIV “[Rs], Rd”/“dsp[Rs], Rd”	—	18
	• {FTOI, ROUND, ITOF} “[Rs], Rd” /“dsp[Rs], Rd”	—	4
システム制御命令	• RTE	—	6
	• RTFI	—	3

【記号説明】 ?：条件演算子

注1.　floor(x)：x以下の最大の整数
注2.　スループット、レイテンシ表記のサイクル数については「2.8.3　命令処理時間の計算方法」を参照してください。
注3.　PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。
注4.　POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。
注5.　SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

基本的な複数のマイクロオペレーションに変換される命令動作を以下の図 2.14 ～図 2.19 に示します。

注 .　mop：マイクロオペレーション、stall：パイプラインストール

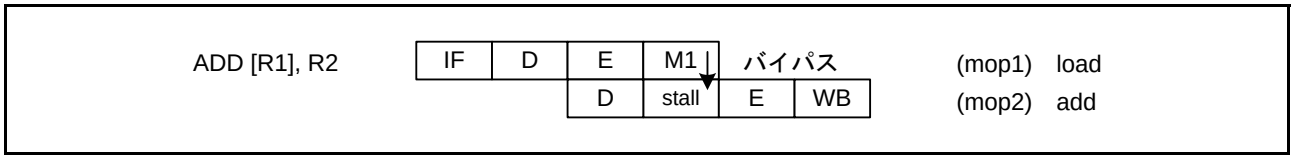


図 2.14　算術論理演算命令（メモリソースオペランド）

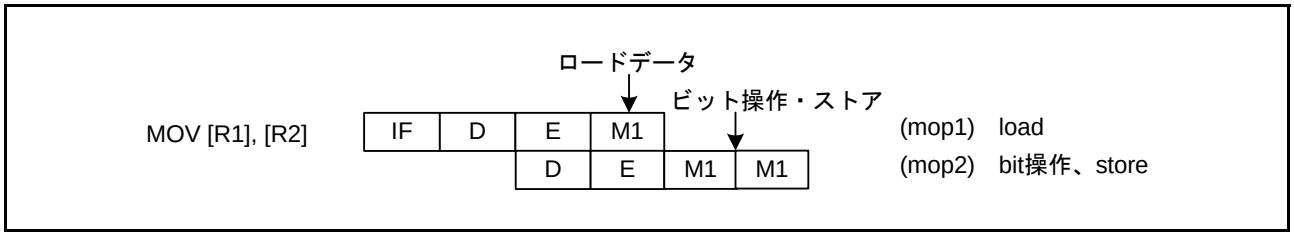


図 2.15　MOV 命令（メモリ間転送）、ビット操作命令（メモリソースオペランド）

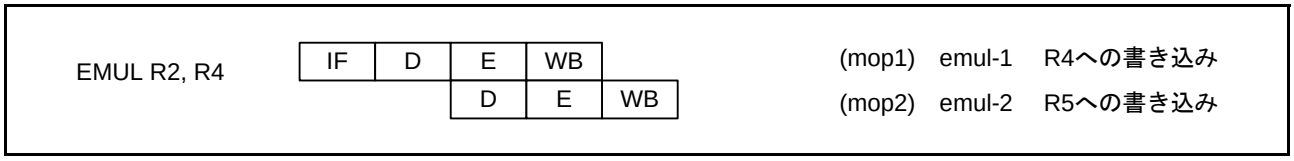


図 2.16　EMUL, EMULU 命令（レジスタ間、レジスター即値）

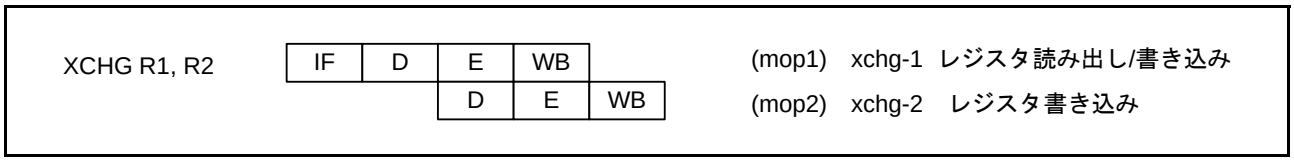


図 2.17　XCHG 命令（レジスタ）

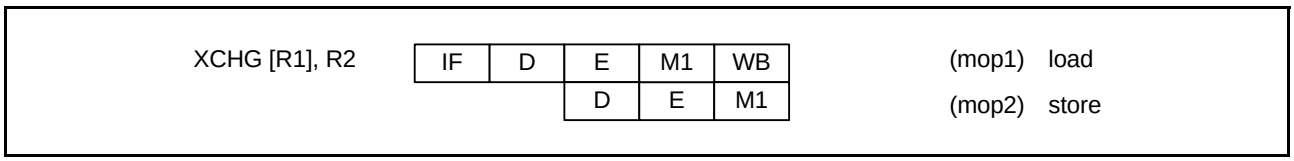


図 2.18　XCHG 命令（メモリソースオペランド）

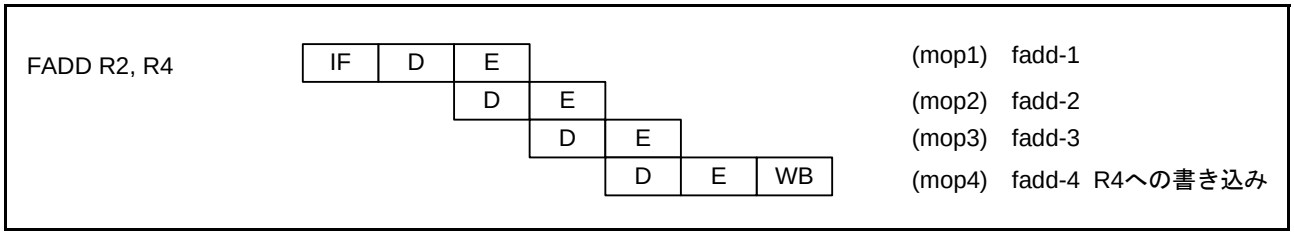


図 2.19　浮動小数点演算命令（レジスタ間、即値－レジスタ）

2.8.2.3 パイプラインの基本動作

理想的なパイプライン処理では、各ステージの実行サイクル数は 1 ですが、各ステージでの処理や分岐実行などによりパイプライン処理が乱れることがあります。

CPU は、IF ステージは命令単位、D ステージ以降は、マイクロオペレーション単位でパイプラインステージ制御を行います。

以下に代表的なケースについてパイプライン処理の状況を示します。

注． mop：マイクロオペレーション、stall：パイプラインストール

(1) パイプライン処理が乱れるケース

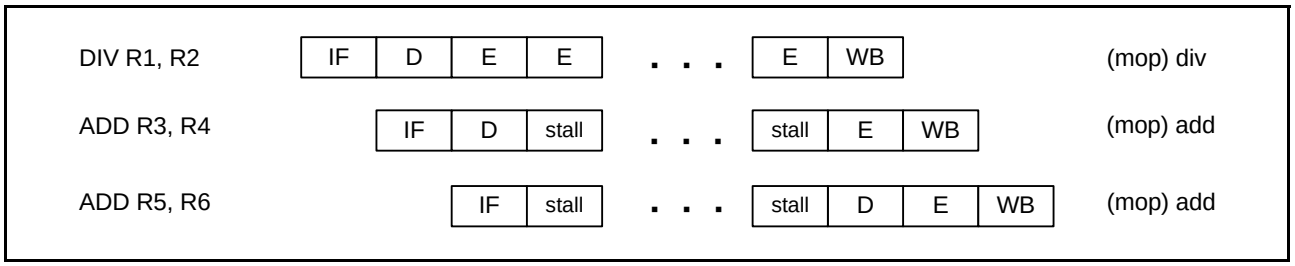


図 2.20 E ステージの実行に複数サイクルを要する命令の実行時

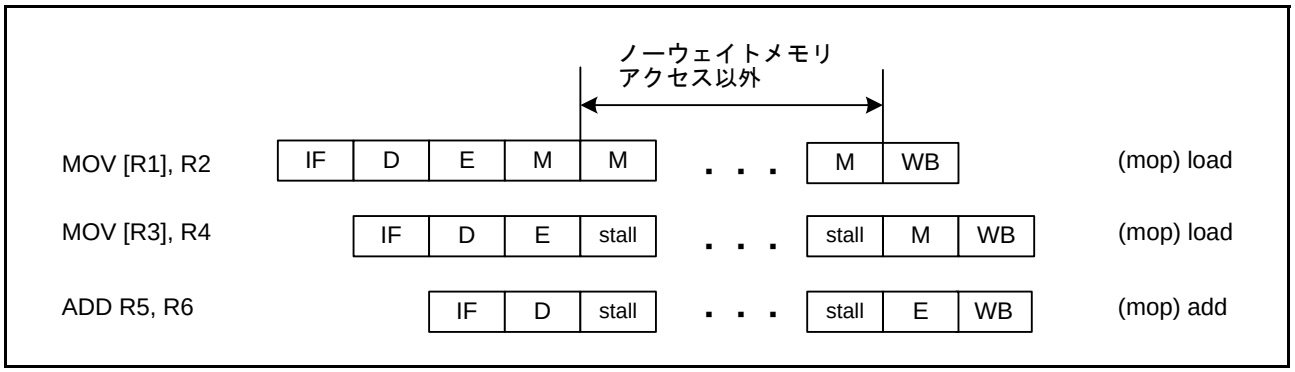


図 2.21 オペランドアクセスが 1 サイクルで終了しない場合

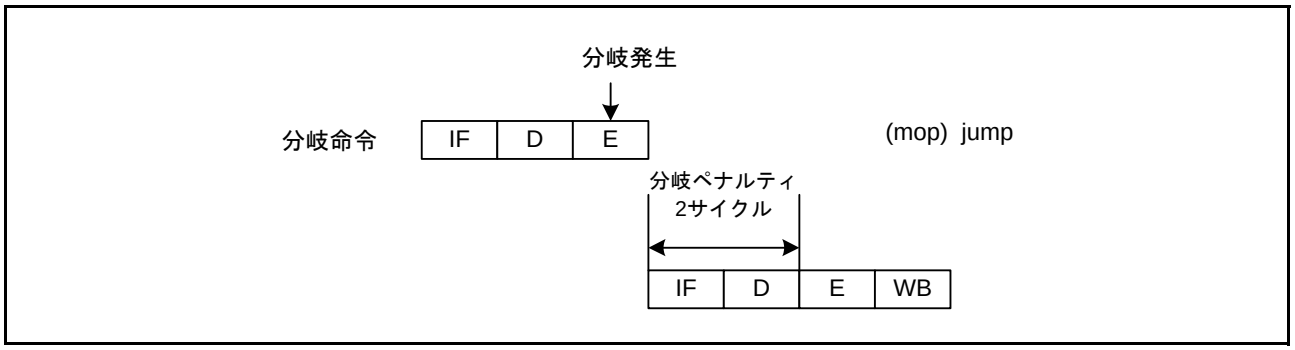


図 2.22 分岐（無条件分岐または、条件分岐で条件が成立した場合）

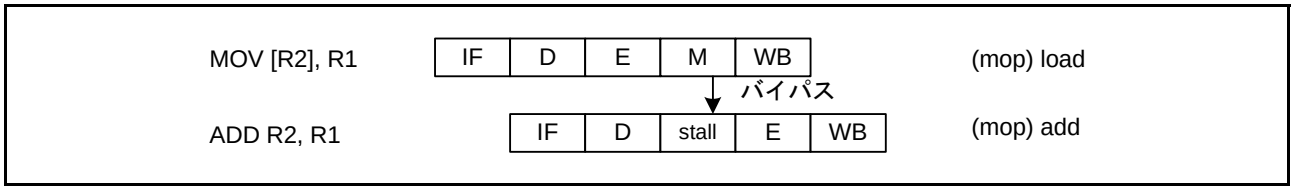


図 2.23　メモリから読み出したオペランドを後続命令が使用する場合

(2) パイプライン処理が乱れないケース

(a) バイパス

先行命令が書き込んだレジスタを後続命令が使用する場合であっても、レジスタ間演算の場合はバイパスにより、パイプライン処理は乱れません。

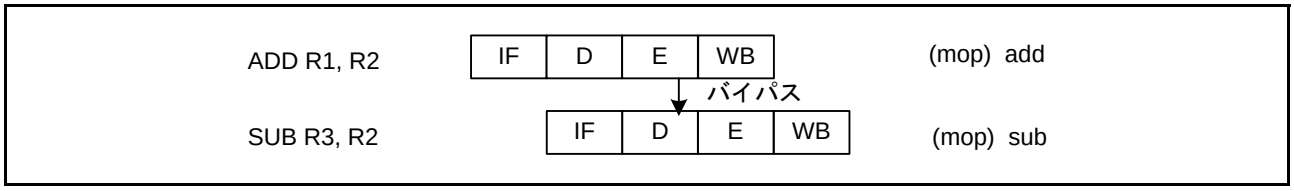


図 2.24　バイパス

(b) メモリロードと演算の WB ステージが重なっている場合

メモリロードと演算の WB ステージが重なっている場合であっても、ロードデータと演算結果はレジスタに同時に書けますので、パイプライン処理は乱れません。

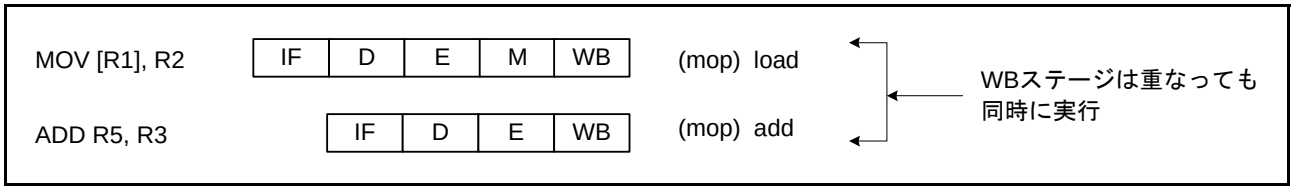


図 2.25　メモリロードと演算の WB ステージが重なっている場合

(c) メモリロードを終了する前に後続命令が同じレジスタへ書き込みを行った場合

メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合であっても、メモリロードの WB ステージはキャンセルされますので、パイプライン処理は乱れません。

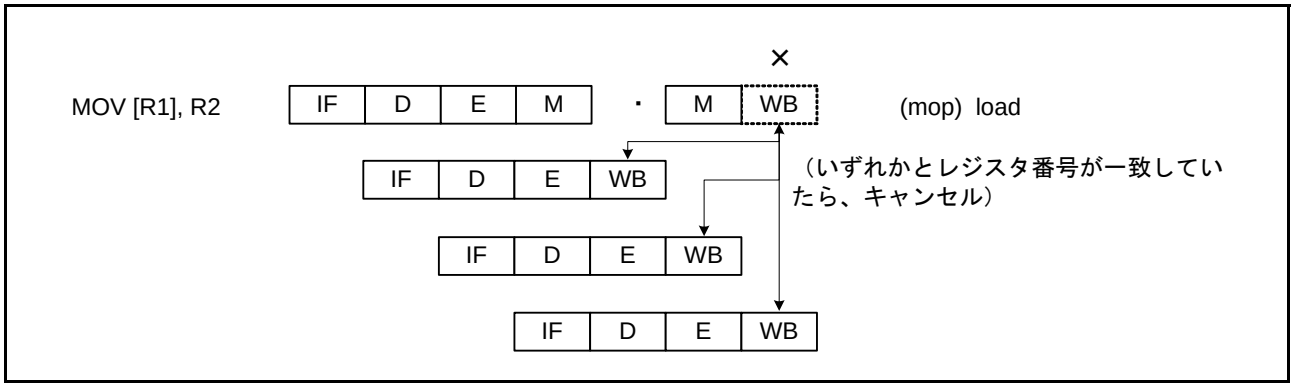


図 2.26　メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合

(d) メモリロードしたデータを後続命令が参照しない場合

メモリロードしたデータを後続命令が参照しない場合、後続の命令が先に実行されて完了します。（Out-of-Order Completion）

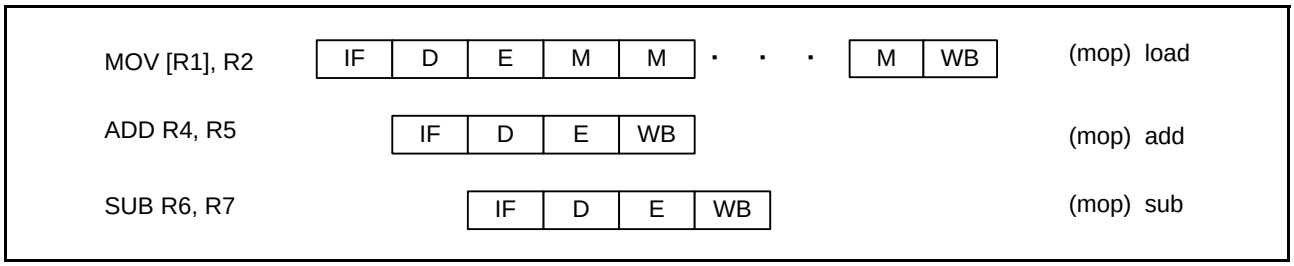


図 2.27 メモリロードしたデータを後続命令が参照しない場合

2.8.3 命令処理時間の計算方法

CPU の命令処理時間は、パイプライン処理によって変動しますが、次のような計算方法で命令処理時間を概算することができます。

- サイクル数をカウントします（表 2.13、表 2.14 を参照）。
- メモリロード結果を後続命令が参照する場合は、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数をカウントします。それ以外は“スループット”として記載されているサイクル数をカウントします。
- 命令フェッチストールが起きた場合は、さらにサイクル数が追加されます。
- システム構成によっては、メモリアクセスに複数サイクルかかります。RX62N グループ、RX621 グループのメモリアクセスサイクル数は機種依存です。

2.8.4 割り込み応答サイクル数

表 2.15 に割り込み応答処理のサイクル数を示します。

表2.15 割り込み応答サイクル数

割り込み要求の種類／処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受付までのサイクル数	Nサイクル （実行している命令によって異なる）	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 （高速割り込みは、制御レジスタへ退避） ベクタの読み出し 例外処理ルーチン先頭への分岐	4サイクル	6サイクル

表 2.15 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。RX62N グループ、RX621 グループは、ノーウェイトアクセス可能な内蔵 ROM、内蔵 RAM を搭載しています。プログラム（含むベクタ）は内蔵 ROM、スタック領域は内蔵 RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受付までのサイクル数 N は、「表 2.13 単一マイクロオペレーションに変換される命令」、「表 2.14 複数マイクロオペレーションに変換される命令」を参照してください。

割り込み受付タイミングはパイプラインの状態に依存します。割り込み受付タイミングについては、「10.3.1 受け付けタイミングと保存される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

RX62N グループ、RX621 グループには、5 種類の動作モードがあります。動作モードは MD1、MD0 端子と、システムコントロールレジスタ 0（SYSCR0）の ROME、EXBE ビットで設定します。

各動作モードの設定においては、RX62N グループ、RX621 グループのエンディアンを選択することができます。エンディアンは、MDE 端子で設定します。RX62N グループ、RX621 グループのエンディアンについては、「2.5　エンディアン」および「12.　バス」を参照してください。

注 .　MDE、MD1、MD0 端子は、LSI の動作中に変化させないでください。また、表 3.1 にない組み合わせは設定しないでください。

表3.1　モード端子による動作モードの選択

モード端子		SYSCR0 レジスタ初期状態		動作モード	内蔵ROM（注1）	外部バス
MD1	MD0	ROME	EXBE			
0	1	1	0	ブートモード	有効	無効
1	0	1	0	USB ブートモード	有効	無効
1	1	1	0	シングルチップモード	有効	無効

注1.　内蔵ROMにはROM、データフラッシュがあります。詳細は「38.　ROM（コード格納用フラッシュメモリ）」、「39.　データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

表3.2　レジスタによる動作モードの選択

SYSCR0 レジスタ		動作モード	内蔵ROM（注1）	外部バス
ROME	EXBE			
0	0	シングルチップモード	無効	無効
1	0		有効	無効
0	1	内蔵ROM無効拡張モード	無効	有効
1	1	内蔵ROM有効拡張モード	有効	有効

注1.　内蔵ROMにはROM、データフラッシュがあります。詳細は「38.　ROM（コード格納用フラッシュメモリ）」、「39.　データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

表3.3　エンディアンの選択

モード端子	エンディアン
MDE	
0	リトルエンディアン
1	ビッグエンディアン

3.2 レジスタの説明

表 3.4 に動作モード関連レジスター覧を示します。

表3.4 動作モード関連レジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
モードモニタレジスタ	MDMONR	10000000 x00000xxb	0008 0000h	16
モードステータスレジスタ	MDSR	00000000 00001001b	0008 0002h	16
システムコントロールレジスタ0	SYSCR0	00000000 00000001b	0008 0006h	16
システムコントロールレジスタ1	SYSCR1	00000000 00000001b	0008 0008h	16

3.2.1 モードモニタレジスタ（MDMONR）

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	MDE	—	—	—	—	—	MD1	MD0
リセット後の値	x（注1）	0	0	0	0	0	x（注1）	x（注1）

注1. モード端子（MDE、MD1、MD0）の設定によって異なります。

ビット	シンボル	ビット名	説　　明	R/W
b0	MD0	MD0端子ステータスフラグ	0：MD0端子は“0” 1：MD0端子は“1”	R
b1	MD1	MD1端子ステータスフラグ	0：MD1端子は“0” 1：MD1端子は“1”	R
b6-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	MDE	MDE端子ステータスフラグ	0：MDE端子は“0”（リトルエンディアン） 1：MDE端子は“1”（ビッグエンディアン）	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R

MDMONR レジスタは、モード端子のモニタ表示を行うレジスタです。

3.2.2 モードステータスレジスタ（MDSR）

アドレス 0008 0002h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	UBTS	—	BOTS	BSW[1:0]		EXB	IROM
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	説　　明	R/W
b0	IROM	内蔵ROM起動ステータスフラグ	0：起動時、内蔵ROM無効 1：起動時、内蔵ROM有効	R
b1	EXB	外部バス起動ステータスフラグ	0：起動時、外部バス無効 1：起動時、外部バス有効	R
b3-b2	BSW[1:0]	起動外部バス幅フラグ	0 0：16ビットバス起動 0 1：予約 1 0：8ビットバス起動 1 1：予約	R
b4	BOTS	ブートモード起動フラグ	0：ブートモード起動ではない 1：ブートモード起動	R
b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6	UBTS	USBブートモード起動フラグ	0：USBブートモード起動ではない 1：USBブートモード起動	R
b15-b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MDSR レジスタは、起動時の内部ステータスのモニタ表示を行うレジスタです。

3.2.3 システムコントロールレジスタ 0（SYSCR0）

アドレス 0008 0006h

	b15	b14	b13	b12	b11	b10	b9	b8
	KEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	EXBE	ROME
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説　　明	R/W
b0	ROME	内蔵ROM有効ビット	0：内蔵ROM無効 1：内蔵ROM有効	R/W
b1	EXBE	外部バス有効ビット	0：外部バス無効 1：外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0キーコード	5Ah：SYSCR0レジスタへの書き込み許可 上記以外は、SYSCR0レジスタへの書き込み禁止 読むと“00h”が読めます	R/W

SYSCR0 レジスタ は、内蔵 ROM の有効／無効、外部バスの有効／無効の選択するレジスタです。

ROME ビット（内蔵 ROM 有効ビット）

内蔵 ROM（ROM、データフラッシュ）の有効または無効を選択します。

ROME ビットが “1” のときは、“0” を書くことができます。ROME ビットが “0” のときは、“1” を書くことはできません。内蔵 ROM を有効から無効にすると、ROME ビットを使って内蔵 ROM を有効にすることはできません。内蔵 ROM アクセス中に “0” を書かないでください。

また、ROME ビットに “0” を書き、内蔵 ROM 無効に設定した後は、ROME ビットが “0” に書き換わっていることを確認してから次の処理を行ってください。

EXBE ビット（外部バス有効ビット）

外部バスの有効または無効を選択します。

“0” を書くときは、外部バスサイクルが実行されていない状態で行ってください。

外部バスと内部バスが同時に動作する場合があります。EXBE ビットを書き替える場合は、レジスタに書いた後、EXBE ビットが書き替わっていることを確認してからバスアクセスを行ってください。

なお、EXBE ビットの設定と同時に I/O ポートの設定も必要となります。詳細は「17. I/O ポート」を参照してください。

KEY[7:0] ビット（SYSCR0 キーコード）

SYSCR0 レジスタへの書き込み許可または禁止を選択します。

ROME、EXBE ビットへ値を書くときは、同時に KEY[7:0] ビットにも “5Ah” を書いてください。
KEY[7:0] ビットが “5Ah” 以外の値の場合、SYSCR0 レジスタへ書いても ROME、EXBE ビットの値は変更されません。

3.2.4 システムコントロールレジスタ 1（SYSCR1）

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説　　明	R/W
b0	RAME	RAM有効ビット	0：内蔵RAM無効 1：内蔵RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SYSCR1 レジスタは、内蔵 RAM の有効 / 無効を選択するレジスタです。

RAME ビット（RAM 有効ビット）

内蔵 RAM の有効または無効を選択します。

RAME ビットは、リセットを解除すると “1” に初期化されます。

内蔵 RAM アクセス中に “0” を書かないでください。

また、内蔵 RAM を無効から有効に変更した直後に内蔵 RAM をアクセスする場合は、RAME ビットが “1” に書き換わっていることを確認してからアクセスするようにしてください。

RAME ビットを “0” にしても、内蔵 RAM の値は保持されます。なお、RAM スタンバイ電圧（VRAM）は規定値を保持してください。詳細は「41.　電気的特性」を参照してください。

3.3 動作モードの説明

3.3.1 シングルチップモード

このモードでは、内蔵 ROM は、有効または無効、外部バスは無効（SYSCR0.EXBE ビット = 0）です。すべての I/O ポートを入出力ポートとして使用できます。

起動時の内蔵 ROM は有効です。内蔵 ROM 有効（SYSCR0.ROME ビット = 1）の場合、内蔵 ROM 無効（SYSCR0.ROME ビット = 0）に設定できます。内蔵 ROM 無効（SYSCR0.ROME ビット = 0）の場合、内蔵 ROM 有効（SYSCR0.ROME ビット = 1）には設定できません。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM は、有効（SYSCR0.ROME ビット = 1）で、外部バスを使用することができる外部拡張モード（SYSCR0.EXBE ビット = 1）です。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力とすることができます。詳細は、「17. I/O ポート」を参照してください。

外部バス幅は、バスの外部バス幅選択（CSnCR.BSIZE[1:0] ビット（n = 0 ～ 7））の設定で変更可能です。詳細は、「12. バス」を参照してください。

EXBE ビットを “0” にすることで、シングルチップモード（内蔵 ROM 有効）に移行することができます。

ROME ビットを “0” にすることで、内蔵 ROM 無効拡張モードに移行することができます。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM は、無効（SYSCR0.ROME ビット = 0）で、外部バスを使用することができる外部拡張モード（SYSCR0.EXBE ビット = 1）です。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力とすることができます。詳細は、「17. I/O ポート」を参照してください。

外部バス幅は、バスの外部バス幅選択（CSnCR.BSIZE[1:0] ビット (n = 0 ～ 7)）の設定で変更可能です。詳細は、「12. バス」を参照してください。

内蔵 ROM 有効（ROME ビット = 1）には設定できません。

EXBE ビットを “0” にすることで、シングルチップモード（内蔵 ROM 無効）に移行することができます。

3.3.4 ブートモード

フラッシュメモリのブートモードです。フラッシュメモリへの書き込み／消去以外は、シングルチップモードと同様の動作となります。詳細は「38. ROM（コード格納用フラッシュメモリ）」、「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

3.3.5 USB ブートモード

フラッシュメモリの USB ブートモードです。フラッシュメモリへの書き込み／消去以外は、シングルチップモードと同様の動作となります。詳細は「38. ROM（コード格納用フラッシュメモリ）」、「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

3.4 動作モードの移行

3.4.1 モード端子による動作モードの移行

MD1、MD0 端子の設定による動作モードの移行について、図 3.1 に示します。図の矢印の方向へ動作モードを移行することができます。

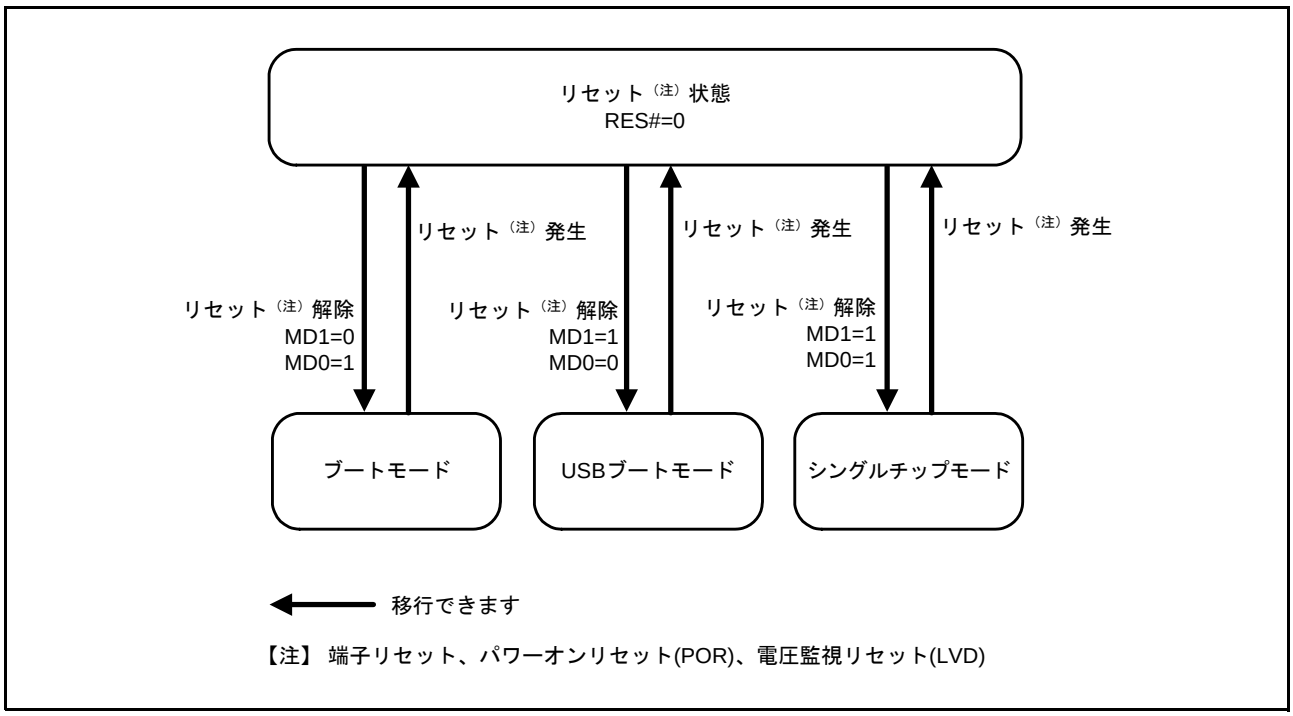


図 3.1 MD1、MD0 端子の設定と動作モード

3.4.2 レジスタによる動作モードの移行

SYSCR0.ROME, EXBE ビットの設定による動作モードの移行について、図 3.2 に示します。図の矢印の方向へ動作モードを移行することができます。

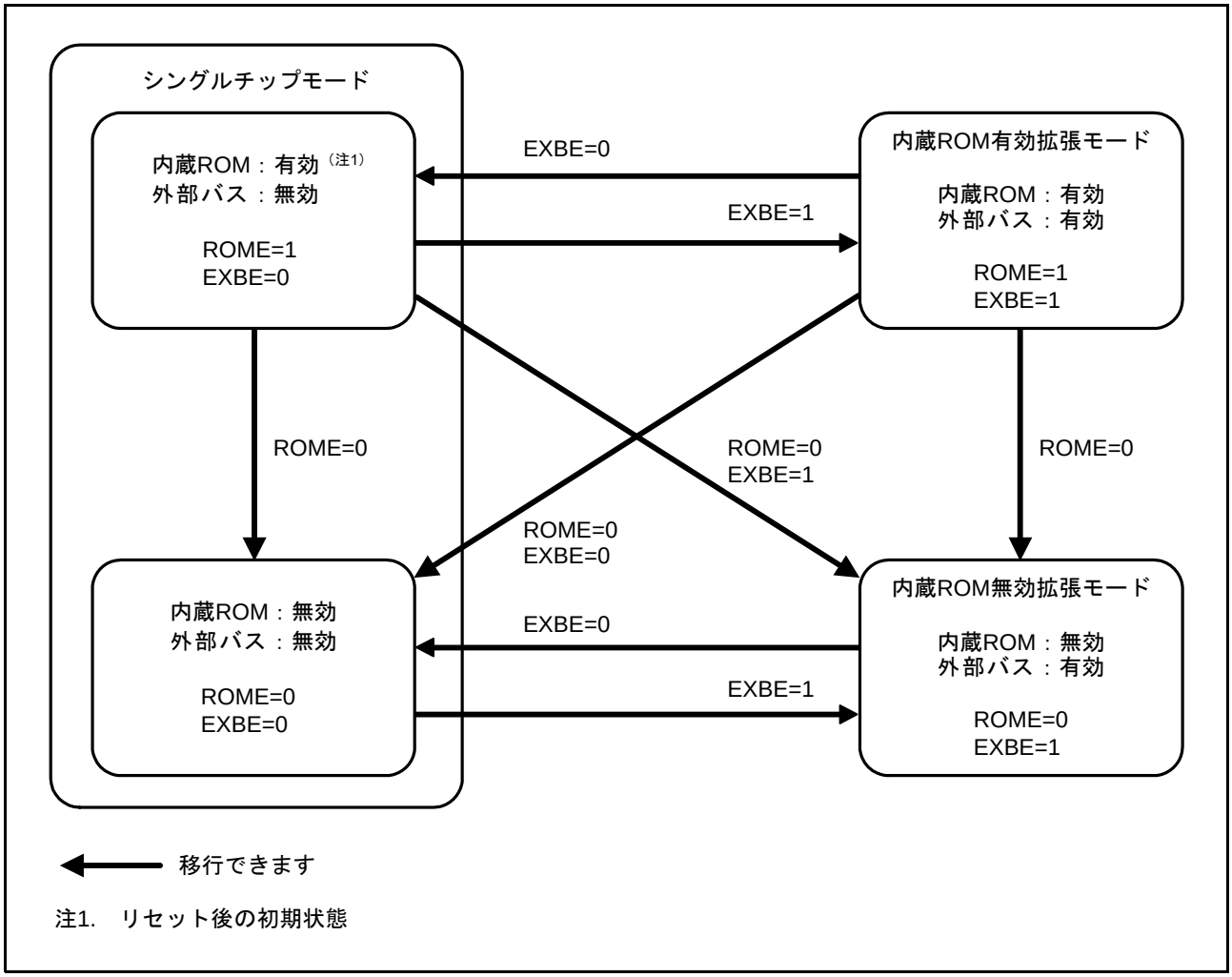


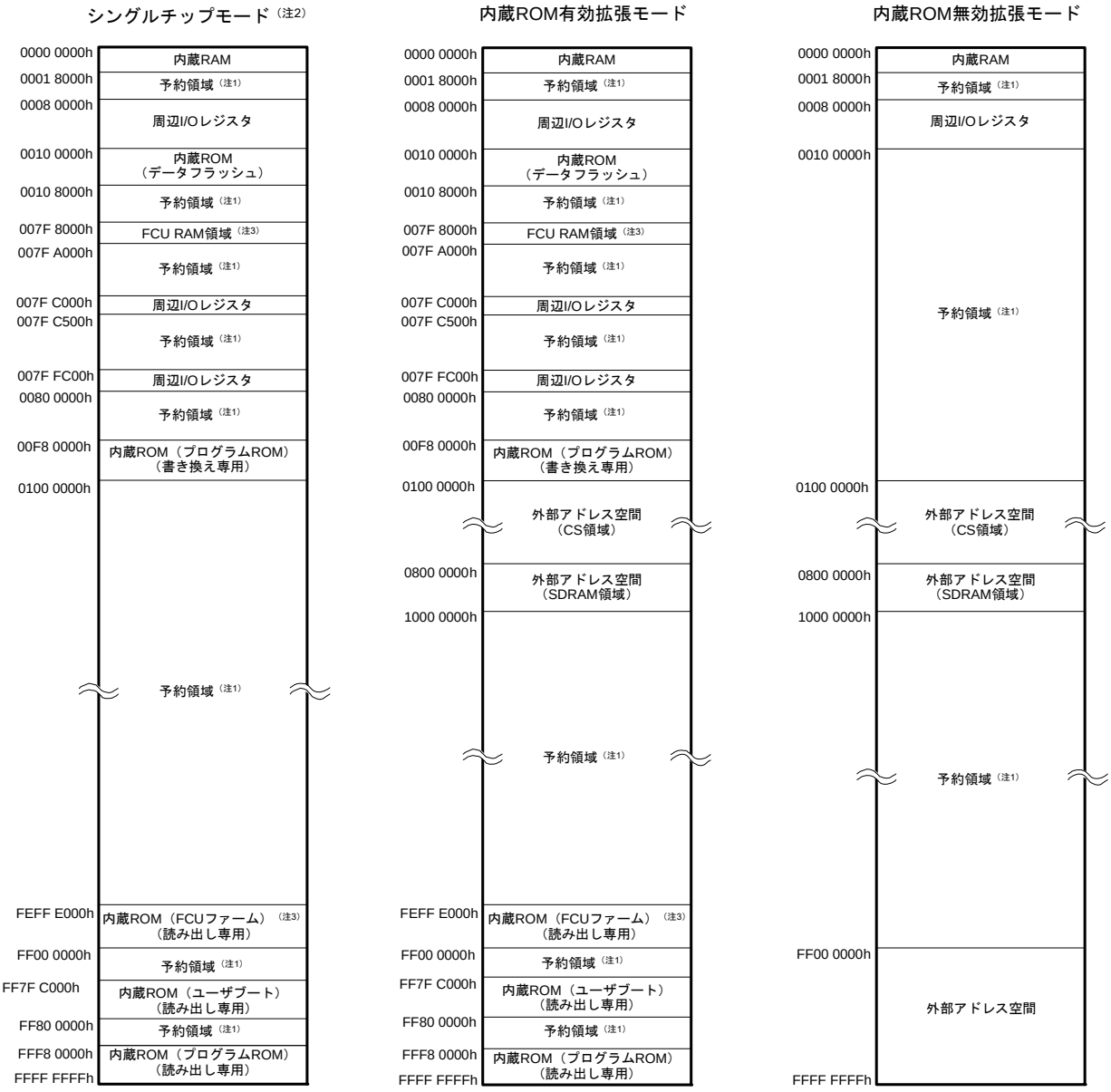
図 3.2　ROME ビット、EXBE ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。



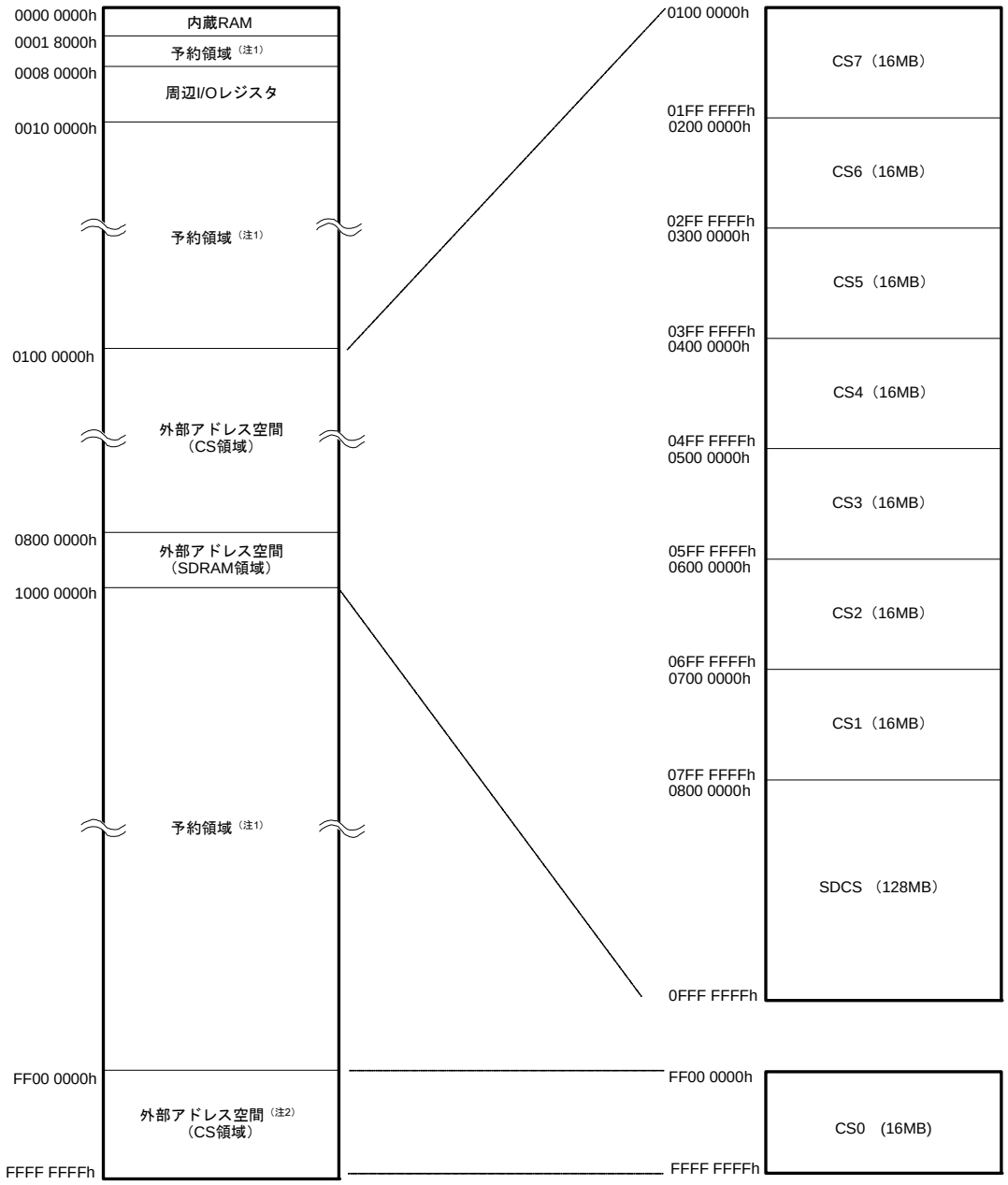
注1. 予約領域をアクセスしたときの動作については保証できませんので、アクセスしないようにしてください。
注2. ブートモード、USBブートモードは、シングルチップモードと同じアドレス空間となります。
注3. FCUについての詳細は、ユーザーズマニュアル ハードウエア編の「38. ROM」、「39. データフラッシュ」を参照してください。

図 4.1　各動作モードのメモリマップ

4.2　外部アドレス空間

外部アドレス空間は、CS 領域（CS0 ～ CS7）と、SDRAM 領域（SDCS）に分割されています。CS 領域は、CSi# 端子 (i=0 ～ 7) から出力される CSi# 信号によって最大 8 つのエリア（CS0 ～ CS7）に分割できます。

図 4.2 に内蔵 ROM 無効外部拡張モード時の CS 領域（CS0 ～ CS7）、SDRAM 領域（SDCS）とアドレスの対応を示します。



注1.　予約領域をアクセスしたときの動作については保証できませんので、
　　アクセスしないようにしてください。
注2.　内蔵ROM有効拡張モード時はCS0領域は無効となり、
　　1000 0000h番地以降は図4.1で示すアドレス空間となります。

図 4.2　外部アドレス空間と CS 領域（CS0 ～ CS7）、SDRAM 領域（SDCS）
（内蔵 ROM 無効拡張モードの場合）

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスステート数については、指定の基準クロックのステート数を示しています。
- I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないでください。
- レジスタごとにアクセスサイズが指定されています。指定されたアクセスサイズ以外でのアクセスは禁止です。

(2) I/O レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- 予約ビットは、ビット名部に「－」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16 ビットまたは 32 ビットのレジスタの場合、MSB 側のビットから記載しています。

(3) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

［注意が必要な動作の例］

- 割り込み要求許可ビット（ICU.IERm.IENj ビット）を “0” にして、割り込み禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

(a) I/O レジスタの書き込み
(b) 書き込んだI/O レジスタの値を汎用レジスタに読み出し
(c) 読み出し値を使って演算を実行
(d) 後続の命令を実行

［命令例］

- I/O レジスタがバイトサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.B  #SFR_DATA, [R1]
CMP    [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.W  #SFR_DATA, [R1]
CMP    [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L  #SFR_ADDR, R1
MOV.L  #SFR_DATA, [R1]
CMP    [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(4)　I/O レジスタアクセスサイクル数

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

I/O レジスタアクセスサイクル数 ＝ 内部メインバス 1 のバスサイクル数 ＋
分周クロック同期化サイクル数＋
内部周辺バス 1 ～ 6 のバスサイクル数

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。レジスタごとの I/O レジスタアクセスサイクル数は、「**表 5.1　I/O レジスタアドレス一覧**」を参照してください。

内部周辺バス 6 に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK（または BCLK）の周波数比やバスアクセスのタイミングによって異なりますが、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（または BCLK）で最大 1 サイクルとなるため、**表 5.1** では 1PCLK（または 1BCLK）の幅を持たせて記載しています。

注 1.　CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMACA、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

5.1 I/O レジスタアドレス一覧（アドレス順）

表5.1 I/O レジスタアドレス一覧 (1 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	16	16	3ICLK
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK

表5.1　I/O レジスタアドレス一覧 (2 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK
0008 2200h	DMAC	DMACAモジュール起動レジスタ	DMAST	8	8	2ICLK
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK
0008 2800h	EXDMAC0	EXDMA転送元アドレスレジスタ	EDMSAR	32	32	1～2BCLK (注8)
0008 2804h	EXDMAC0	EXDMA転送先アドレスレジスタ	EDMDAR	32	32	1～2BCLK (注8)
0008 2808h	EXDMAC0	EXDMA転送カウントレジスタ	EDMCRA	32	32	1～2BCLK (注8)
0008 280Ch	EXDMAC0	EXDMAブロック転送カウントレジスタ	EDMCRB	16	16	1～2BCLK (注8)
0008 2810h	EXDMAC0	EXDMA転送モードレジスタ	EDMTMD	16	16	1～2BCLK (注8)
0008 2812h	EXDMAC0	EXDMA出力設定レジスタ	EDMOMD	8	8	1～2BCLK (注8)
0008 2813h	EXDMAC0	EXDMA割り込み設定レジスタ	EDMINT	8	8	1～2BCLK (注8)
0008 2814h	EXDMAC0	EXDMAアドレスモードレジスタ	EDMAMD	32	32	1～2BCLK (注8)
0008 2818h	EXDMAC0	EXDMAオフセットレジスタ	EDMOFR	32	32	1～2BCLK (注8)
0008 281Ch	EXDMAC0	EXDMA転送許可レジスタ	EDMCNT	8	8	1～2BCLK (注8)
0008 281Dh	EXDMAC0	EXDMAソフトウェア起動レジスタ	EDMREQ	8	8	1～2BCLK (注8)
0008 281Eh	EXDMAC0	EXDMAステータスレジスタ	EDMSTS	8	8	1～2BCLK (注8)
0008 2820h	EXDMAC0	EXDMA外部要求センスモードレジスタ	EDMRMD	8	8	1～2BCLK (注8)
0008 2821h	EXDMAC0	EXDMA外部要求フラグレジスタ	EDMERF	8	8	1～2BCLK (注8)
0008 2822h	EXDMAC0	EXDMA周辺要求フラグレジスタ	EDMPRF	8	8	1～2BCLK (注8)
0008 2840h	EXDMAC1	EXDMA転送元アドレスレジスタ	EDMSAR	32	32	1～2BCLK (注8)
0008 2844h	EXDMAC1	EXDMA転送先アドレスレジスタ	EDMDAR	32	32	1～2BCLK (注8)
0008 2848h	EXDMAC1	EXDMA転送カウントレジスタ	EDMCRA	32	32	1～2BCLK (注8)

表5.1　I/O レジスタアドレス一覧 (3 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 284Ch	EXDMAC1	EXDMAブロック転送カウントレジスタ	EDMCRB	16	16	1～2BCLK（注8）
0008 2850h	EXDMAC1	EXDMA転送モードレジスタ	EDMTMD	16	16	1～2BCLK（注8）
0008 2852h	EXDMAC1	EXDMA出力設定レジスタ	EDMOMD	8	8	1～2BCLK（注8）
0008 2853h	EXDMAC1	EXDMA割り込み設定レジスタ	EDMINT	8	8	1～2BCLK（注8）
0008 2854h	EXDMAC1	EXDMAアドレスモードレジスタ	EDMAMD	32	32	1～2BCLK（注8）
0008 285Ch	EXDMAC1	EXDMA転送許可レジスタ	EDMCNT	8	8	1～2BCLK（注8）
0008 285Dh	EXDMAC1	EXDMAソフトウェア起動レジスタ	EDMREQ	8	8	1～2BCLK（注8）
0008 285Eh	EXDMAC1	EXDMAステータスレジスタ	EDMSTS	8	8	1～2BCLK（注8）
0008 2860h	EXDMAC1	EXDMA外部要求センスモードレジスタ	EDMRMD	8	8	1～2BCLK（注8）
0008 2861h	EXDMAC1	EXDMA外部要求フラグレジスタ	EDMERF	8	8	1～2BCLK（注8）
0008 2862h	EXDMAC1	EXDMA周辺要求フラグレジスタ	EDMPRF	8	8	1～2BCLK（注8）
0008 2A00h	EXDMAC	EXDMAモジュール起動レジスタ	EDMAST	8	8	1～2BCLK（注8）
0008 2BE0h	EXDMAC	クラスタバッファレジスタ0	CLSBR0	32	32	1～2BCLK（注8）
0008 2BE4h	EXDMAC	クラスタバッファレジスタ1	CLSBR1	32	32	1～2BCLK（注8）
0008 2BE8h	EXDMAC	クラスタバッファレジスタ2	CLSBR2	32	32	1～2BCLK（注8）
0008 2BECh	EXDMAC	クラスタバッファレジスタ3	CLSBR3	32	32	1～2BCLK（注8）
0008 2BF0h	EXDMAC	クラスタバッファレジスタ4	CLSBR4	32	32	1～2BCLK（注8）
0008 2BF4h	EXDMAC	クラスタバッファレジスタ5	CLSBR5	32	32	1～2BCLK（注8）
0008 2BF8h	EXDMAC	クラスタバッファレジスタ6	CLSBR6	32	32	1～2BCLK（注8）
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1～2BCLK（注8）
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1～2BCLK（注8）
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1～2BCLK（注8）
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1～2BCLK（注8）
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1～2BCLK（注8）
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1～2BCLK（注8）
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1～2BCLK（注8）
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1～2BCLK（注8）
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1～2BCLK（注8）
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1～2BCLK（注8）
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1～2BCLK（注8）

表5.1 I/O レジスタアドレス一覧 (4 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1～2BCLK (注8)
0008 3042h	BSC	CS4モードレジスタ	CS4MOD	16	16	1～2BCLK (注8)
0008 3044h	BSC	CS4ウェイト制御レジスタ1	CS4WCR1	32	32	1～2BCLK (注8)
0008 3048h	BSC	CS4ウェイト制御レジスタ2	CS4WCR2	32	32	1～2BCLK (注8)
0008 3052h	BSC	CS5モードレジスタ	CS5MOD	16	16	1～2BCLK (注8)
0008 3054h	BSC	CS5ウェイト制御レジスタ1	CS5WCR1	32	32	1～2BCLK (注8)
0008 3058h	BSC	CS5ウェイト制御レジスタ2	CS5WCR2	32	32	1～2BCLK (注8)
0008 3062h	BSC	CS6モードレジスタ	CS6MOD	16	16	1～2BCLK (注8)
0008 3064h	BSC	CS6ウェイト制御レジスタ1	CS6WCR1	32	32	1～2BCLK (注8)
0008 3068h	BSC	CS6ウェイト制御レジスタ2	CS6WCR2	32	32	1～2BCLK (注8)
0008 3072h	BSC	CS7モードレジスタ	CS7MOD	16	16	1～2BCLK (注8)
0008 3074h	BSC	CS7ウェイト制御レジスタ1	CS7WCR1	32	32	1～2BCLK (注8)
0008 3078h	BSC	CS7ウェイト制御レジスタ2	CS7WCR2	32	32	1～2BCLK (注8)
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1～2BCLK (注8)
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1～2BCLK (注8)
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1～2BCLK (注8)
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1～2BCLK (注8)
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1～2BCLK (注8)
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1～2BCLK (注8)
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1～2BCLK (注8)
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1～2BCLK (注8)
0008 3842h	BSC	CS4制御レジスタ	CS4CR	16	16	1～2BCLK (注8)
0008 384Ah	BSC	CS4リカバリサイクル設定レジスタ	CS4REC	16	16	1～2BCLK (注8)
0008 3852h	BSC	CS5制御レジスタ	CS5CR	16	16	1～2BCLK (注8)
0008 385Ah	BSC	CS5リカバリサイクル設定レジスタ	CS5REC	16	16	1～2BCLK (注8)
0008 3862h	BSC	CS6制御レジスタ	CS6CR	16	16	1～2BCLK (注8)
0008 386Ah	BSC	CS6リカバリサイクル設定レジスタ	CS6REC	16	16	1～2BCLK (注8)
0008 3872h	BSC	CS7制御レジスタ	CS7CR	16	16	1～2BCLK (注8)
0008 387Ah	BSC	CS7リカバリサイクル設定レジスタ	CS7REC	16	16	1～2BCLK (注8)
0008 3C00h	BSC	SDC制御レジスタ	SDCCR	8	8	1～2BCLK (注8)

表5.1　I/O レジスタアドレス一覧 (5 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 3C01h	BSC	SDCモードレジスタ	SDCMOD	8	8	1～2BCLK（注8）
0008 3C02h	BSC	SDRAMアクセスモードレジスタ	SDAMOD	8	8	1～2BCLK（注8）
0008 3C10h	BSC	SDRAMセルフリフレッシュ制御レジスタ	SDSELF	8	8	1～2BCLK（注8）
0008 3C14h	BSC	SDRAMリフレッシュ制御レジスタ	SDRFCR	16	16	1～2BCLK（注8）
0008 3C16h	BSC	SDRAMオートリフレッシュ制御レジスタ	SDRFEN	8	8	1～2BCLK（注8）
0008 3C20h	BSC	SDRAM初期化シーケンス制御レジスタ	SDICR	8	8	1～2BCLK（注8）
0008 3C24h	BSC	SDRAM初期化レジスタ	SDIR	16	16	1～2BCLK（注8）
0008 3C40h	BSC	SDRAMアドレスレジスタ	SDADR	8	8	1～2BCLK（注8）
0008 3C44h	BSC	SDRAMタイミングレジスタ	SDTR	32	32	1～2BCLK（注8）
0008 3C48h	BSC	SDRAMモードレジスタ	SDMOD	16	16	1～2BCLK（注8）
0008 3C50h	BSC	SDRAMステータスレジスタ	SDSR	8	8	1～2BCLK（注8）
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK
0008 6504h	MPU	バッググラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK
0008 6526h	MPU	領域インバリデートオペレーションレジスタ	MPOPI	16	16	1ICLK
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (6 / 43)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK
0008 7024h	ICU	割り込み要求レジスタ 036	IR036	8	8	2ICLK
0008 7025h	ICU	割り込み要求レジスタ 037	IR037	8	8	2ICLK
0008 7026h	ICU	割り込み要求レジスタ 038	IR038	8	8	2ICLK
0008 7028h	ICU	割り込み要求レジスタ 040	IR040	8	8	2ICLK
0008 7029h	ICU	割り込み要求レジスタ 041	IR041	8	8	2ICLK
0008 702Ah	ICU	割り込み要求レジスタ 042	IR042	8	8	2ICLK
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK
0008 7030h	ICU	割り込み要求レジスタ 048	IR048	8	8	2ICLK
0008 7031h	ICU	割り込み要求レジスタ 049	IR049	8	8	2ICLK
0008 7032h	ICU	割り込み要求レジスタ 050	IR050	8	8	2ICLK
0008 7033h	ICU	割り込み要求レジスタ 051	IR051	8	8	2ICLK
0008 7038h	ICU	割り込み要求レジスタ 056	IR056	8	8	2ICLK
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK
0008 703Ch	ICU	割り込み要求レジスタ 060	IR060	8	8	2ICLK
0008 703Eh	ICU	割り込み要求レジスタ 062	IR062	8	8	2ICLK
0008 703Fh	ICU	割り込み要求レジスタ 063	IR063	8	8	2ICLK
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK
0008 7048h	ICU	割り込み要求レジスタ 072	IR072	8	8	2ICLK
0008 7049h	ICU	割り込み要求レジスタ 073	IR073	8	8	2ICLK
0008 704Ah	ICU	割り込み要求レジスタ 074	IR074	8	8	2ICLK
0008 704Bh	ICU	割り込み要求レジスタ 075	IR075	8	8	2ICLK
0008 704Ch	ICU	割り込み要求レジスタ 076	IR076	8	8	2ICLK
0008 704Dh	ICU	割り込み要求レジスタ 077	IR077	8	8	2ICLK
0008 704Eh	ICU	割り込み要求レジスタ 078	IR078	8	8	2ICLK
0008 704Fh	ICU	割り込み要求レジスタ 079	IR079	8	8	2ICLK
0008 705Ah	ICU	割り込み要求レジスタ 090	IR090	8	8	2ICLK
0008 705Bh	ICU	割り込み要求レジスタ 091	IR091	8	8	2ICLK
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK
0008 7060h	ICU	割り込み要求レジスタ 096	IR096	8	8	2ICLK
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK
0008 7063h	ICU	割り込み要求レジスタ 099	IR099	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (7 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK
0008 7093h	ICU	割り込み要求レジスタ 147	IR147	8	8	2ICLK
0008 7094h	ICU	割り込み要求レジスタ 148	IR148	8	8	2ICLK
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (8 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2ICLK
0008 70A9h	ICU	割り込み要求レジスタ 169	IR169	8	8	2ICLK
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK
0008 70ACh	ICU	割り込み要求レジスタ 172	IR172	8	8	2ICLK
0008 70ADh	ICU	割り込み要求レジスタ 173	IR173	8	8	2ICLK
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK
0008 70CAh	ICU	割り込み要求レジスタ 202	IR202	8	8	2ICLK
0008 70CBh	ICU	割り込み要求レジスタ 203	IR203	8	8	2ICLK
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (9 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2ICLK
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2ICLK
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2ICLK
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2ICLK
0008 711Bh	ICU	DTC起動許可レジスタ 027	DTCER027	8	8	2ICLK
0008 711Ch	ICU	DTC起動許可レジスタ 028	DTCER028	8	8	2ICLK
0008 711Dh	ICU	DTC起動許可レジスタ 029	DTCER029	8	8	2ICLK
0008 711Eh	ICU	DTC起動許可レジスタ 030	DTCER030	8	8	2ICLK
0008 711Fh	ICU	DTC起動許可レジスタ 031	DTCER031	8	8	2ICLK
0008 7124h	ICU	DTC起動許可レジスタ 036	DTCER036	8	8	2ICLK
0008 7125h	ICU	DTC起動許可レジスタ 037	DTCER037	8	8	2ICLK
0008 7128h	ICU	DTC起動許可レジスタ 040	DTCER040	8	8	2ICLK
0008 7129h	ICU	DTC起動許可レジスタ 041	DTCER041	8	8	2ICLK
0008 712Dh	ICU	DTC起動許可レジスタ 045	DTCER045	8	8	2ICLK
0008 712Eh	ICU	DTC起動許可レジスタ 046	DTCER046	8	8	2ICLK
0008 7131h	ICU	DTC起動許可レジスタ 049	DTCER049	8	8	2ICLK
0008 7132h	ICU	DTC起動許可レジスタ 050	DTCER050	8	8	2ICLK
0008 7140h	ICU	DTC起動許可レジスタ 064	DTCER064	8	8	2ICLK
0008 7141h	ICU	DTC起動許可レジスタ 065	DTCER065	8	8	2ICLK
0008 7142h	ICU	DTC起動許可レジスタ 066	DTCER066	8	8	2ICLK
0008 7143h	ICU	DTC起動許可レジスタ 067	DTCER067	8	8	2ICLK
0008 7144h	ICU	DTC起動許可レジスタ 068	DTCER068	8	8	2ICLK
0008 7145h	ICU	DTC起動許可レジスタ 069	DTCER069	8	8	2ICLK
0008 7146h	ICU	DTC起動許可レジスタ 070	DTCER070	8	8	2ICLK
0008 7147h	ICU	DTC起動許可レジスタ 071	DTCER071	8	8	2ICLK
0008 7148h	ICU	DTC起動許可レジスタ 072	DTCER072	8	8	2ICLK
0008 7149h	ICU	DTC起動許可レジスタ 073	DTCER073	8	8	2ICLK
0008 714Ah	ICU	DTC起動許可レジスタ 074	DTCER074	8	8	2ICLK
0008 714Bh	ICU	DTC起動許可レジスタ 075	DTCER075	8	8	2ICLK
0008 714Ch	ICU	DTC起動許可レジスタ 076	DTCER076	8	8	2ICLK
0008 714Dh	ICU	DTC起動許可レジスタ 077	DTCER077	8	8	2ICLK
0008 714Eh	ICU	DTC起動許可レジスタ 078	DTCER078	8	8	2ICLK
0008 714Fh	ICU	DTC起動許可レジスタ 079	DTCER079	8	8	2ICLK
0008 7162h	ICU	DTC起動許可レジスタ 098	DTCER098	8	8	2ICLK
0008 7163h	ICU	DTC起動許可レジスタ 099	DTCER099	8	8	2ICLK
0008 7166h	ICU	DTC起動許可レジスタ 102	DTCER102	8	8	2ICLK
0008 7172h	ICU	DTC起動許可レジスタ 114	DTCER114	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (10 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 7173h	ICU	DTC起動許可レジスタ 115	DTCER115	8	8	2ICLK
0008 7174h	ICU	DTC起動許可レジスタ 116	DTCER116	8	8	2ICLK
0008 7175h	ICU	DTC起動許可レジスタ 117	DTCER117	8	8	2ICLK
0008 7179h	ICU	DTC起動許可レジスタ 121	DTCER121	8	8	2ICLK
0008 717Ah	ICU	DTC起動許可レジスタ 122	DTCER122	8	8	2ICLK
0008 717Dh	ICU	DTC起動許可レジスタ 125	DTCER125	8	8	2ICLK
0008 717Eh	ICU	DTC起動許可レジスタ 126	DTCER126	8	8	2ICLK
0008 7181h	ICU	DTC起動許可レジスタ 129	DTCER129	8	8	2ICLK
0008 7182h	ICU	DTC起動許可レジスタ 130	DTCER130	8	8	2ICLK
0008 7183h	ICU	DTC起動許可レジスタ 131	DTCER131	8	8	2ICLK
0008 7184h	ICU	DTC起動許可レジスタ 132	DTCER132	8	8	2ICLK
0008 7186h	ICU	DTC起動許可レジスタ 134	DTCER134	8	8	2ICLK
0008 7187h	ICU	DTC起動許可レジスタ 135	DTCER135	8	8	2ICLK
0008 7188h	ICU	DTC起動許可レジスタ 136	DTCER136	8	8	2ICLK
0008 7189h	ICU	DTC起動許可レジスタ 137	DTCER137	8	8	2ICLK
0008 718Ah	ICU	DTC起動許可レジスタ 138	DTCER138	8	8	2ICLK
0008 718Bh	ICU	DTC起動許可レジスタ 139	DTCER139	8	8	2ICLK
0008 718Ch	ICU	DTC起動許可レジスタ 140	DTCER140	8	8	2ICLK
0008 718Dh	ICU	DTC起動許可レジスタ 141	DTCER141	8	8	2ICLK
0008 718Eh	ICU	DTC起動許可レジスタ 142	DTCER142	8	8	2ICLK
0008 718Fh	ICU	DTC起動許可レジスタ 143	DTCER143	8	8	2ICLK
0008 7190h	ICU	DTC起動許可レジスタ 144	DTCER144	8	8	2ICLK
0008 7191h	ICU	DTC起動許可レジスタ 145	DTCER145	8	8	2ICLK
0008 7195h	ICU	DTC起動許可レジスタ 149	DTCER149	8	8	2ICLK
0008 7196h	ICU	DTC起動許可レジスタ 150	DTCER150	8	8	2ICLK
0008 7199h	ICU	DTC起動許可レジスタ 153	DTCER153	8	8	2ICLK
0008 719Ah	ICU	DTC起動許可レジスタ 154	DTCER154	8	8	2ICLK
0008 719Dh	ICU	DTC起動許可レジスタ 157	DTCER157	8	8	2ICLK
0008 719Eh	ICU	DTC起動許可レジスタ 158	DTCER158	8	8	2ICLK
0008 719Fh	ICU	DTC起動許可レジスタ 159	DTCER159	8	8	2ICLK
0008 71A0h	ICU	DTC起動許可レジスタ 160	DTCER160	8	8	2ICLK
0008 71A2h	ICU	DTC起動許可レジスタ 162	DTCER162	8	8	2ICLK
0008 71A3h	ICU	DTC起動許可レジスタ 163	DTCER163	8	8	2ICLK
0008 71A4h	ICU	DTC起動許可レジスタ 164	DTCER164	8	8	2ICLK
0008 71A5h	ICU	DTC起動許可レジスタ 165	DTCER165	8	8	2ICLK
0008 71A6h	ICU	DTC起動許可レジスタ 166	DTCER166	8	8	2ICLK
0008 71A7h	ICU	DTC起動許可レジスタ 167	DTCER167	8	8	2ICLK
0008 71A8h	ICU	DTC起動許可レジスタ 168	DTCER168	8	8	2ICLK
0008 71A9h	ICU	DTC起動許可レジスタ 169	DTCER169	8	8	2ICLK
0008 71AEh	ICU	DTC起動許可レジスタ 174	DTCER174	8	8	2ICLK
0008 71AFh	ICU	DTC起動許可レジスタ 175	DTCER175	8	8	2ICLK
0008 71B1h	ICU	DTC起動許可レジスタ 177	DTCER177	8	8	2ICLK
0008 71B2h	ICU	DTC起動許可レジスタ 178	DTCER178	8	8	2ICLK
0008 71B4h	ICU	DTC起動許可レジスタ 180	DTCER180	8	8	2ICLK
0008 71B5h	ICU	DTC起動許可レジスタ 181	DTCER181	8	8	2ICLK
0008 71B7h	ICU	DTC起動許可レジスタ 183	DTCER183	8	8	2ICLK
0008 71B8h	ICU	DTC起動許可レジスタ 184	DTCER184	8	8	2ICLK
0008 71C6h	ICU	DTC起動許可レジスタ 198	DTCER198	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (11 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 71C7h	ICU	DTC起動許可レジスタ 199	DTCER199	8	8	2ICLK
0008 71C8h	ICU	DTC起動許可レジスタ 200	DTCER200	8	8	2ICLK
0008 71C9h	ICU	DTC起動許可レジスタ 201	DTCER201	8	8	2ICLK
0008 71CAh	ICU	DTC起動許可レジスタ 202	DTCER202	8	8	2ICLK
0008 71CBh	ICU	DTC起動許可レジスタ 203	DTCER203	8	8	2ICLK
0008 71D7h	ICU	DTC起動許可レジスタ 215	DTCER215	8	8	2ICLK
0008 71D8h	ICU	DTC起動許可レジスタ 216	DTCER216	8	8	2ICLK
0008 71DBh	ICU	DTC起動許可レジスタ 219	DTCER219	8	8	2ICLK
0008 71DCh	ICU	DTC起動許可レジスタ 220	DTCER220	8	8	2ICLK
0008 71DFh	ICU	DTC起動許可レジスタ 223	DTCER223	8	8	2ICLK
0008 71E0h	ICU	DTC起動許可レジスタ 224	DTCER224	8	8	2ICLK
0008 71E3h	ICU	DTC起動許可レジスタ 227	DTCER227	8	8	2ICLK
0008 71E4h	ICU	DTC起動許可レジスタ 228	DTCER228	8	8	2ICLK
0008 71EBh	ICU	DTC起動許可レジスタ 235	DTCER235	8	8	2ICLK
0008 71ECh	ICU	DTC起動許可レジスタ 236	DTCER236	8	8	2ICLK
0008 71EFh	ICU	DTC起動許可レジスタ 239	DTCER239	8	8	2ICLK
0008 71F0h	ICU	DTC起動許可レジスタ 240	DTCER240	8	8	2ICLK
0008 71F7h	ICU	DTC起動許可レジスタ 247	DTCER247	8	8	2ICLK
0008 71F8h	ICU	DTC起動許可レジスタ 248	DTCER248	8	8	2ICLK
0008 71FBh	ICU	DTC起動許可レジスタ 251	DTCER251	8	8	2ICLK
0008 71FCh	ICU	DTC起動許可レジスタ 252	DTCER252	8	8	2ICLK
0008 7202h	ICU	割り込み要求許可レジスタ02	IER02	8	8	2ICLK
0008 7203h	ICU	割り込み要求許可レジスタ03	IER03	8	8	2ICLK
0008 7204h	ICU	割り込み要求許可レジスタ04	IER04	8	8	2ICLK
0008 7205h	ICU	割り込み要求許可レジスタ05	IER05	8	8	2ICLK
0008 7206h	ICU	割り込み要求許可レジスタ06	IER06	8	8	2ICLK
0008 7207h	ICU	割り込み要求許可レジスタ07	IER07	8	8	2ICLK
0008 7208h	ICU	割り込み要求許可レジスタ08	IER08	8	8	2ICLK
0008 7209h	ICU	割り込み要求許可レジスタ09	IER09	8	8	2ICLK
0008 720Bh	ICU	割り込み要求許可レジスタ0B	IER0B	8	8	2ICLK
0008 720Ch	ICU	割り込み要求許可レジスタ0C	IER0C	8	8	2ICLK
0008 720Eh	ICU	割り込み要求許可レジスタ0E	IER0E	8	8	2ICLK
0008 720Fh	ICU	割り込み要求許可レジスタ0F	IER0F	8	8	2ICLK
0008 7210h	ICU	割り込み要求許可レジスタ10	IER10	8	8	2ICLK
0008 7211h	ICU	割り込み要求許可レジスタ11	IER11	8	8	2ICLK
0008 7212h	ICU	割り込み要求許可レジスタ12	IER12	8	8	2ICLK
0008 7213h	ICU	割り込み要求許可レジスタ13	IER13	8	8	2ICLK
0008 7214h	ICU	割り込み要求許可レジスタ14	IER14	8	8	2ICLK
0008 7215h	ICU	割り込み要求許可レジスタ15	IER15	8	8	2ICLK
0008 7216h	ICU	割り込み要求許可レジスタ16	IER16	8	8	2ICLK
0008 7217h	ICU	割り込み要求許可レジスタ17	IER17	8	8	2ICLK
0008 7218h	ICU	割り込み要求許可レジスタ18	IER18	8	8	2ICLK
0008 7219h	ICU	割り込み要求許可レジスタ19	IER19	8	8	2ICLK
0008 721Ah	ICU	割り込み要求許可レジスタ1A	IER1A	8	8	2ICLK
0008 721Bh	ICU	割り込み要求許可レジスタ1B	IER1B	8	8	2ICLK
0008 721Ch	ICU	割り込み要求許可レジスタ1C	IER1C	8	8	2ICLK
0008 721Dh	ICU	割り込み要求許可レジスタ1D	IER1D	8	8	2ICLK
0008 721Eh	ICU	割り込み要求許可レジスタ1E	IER1E	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (12 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7300h	ICU	割り込み要因プライオリティレジスタ 00	IPR00	8	8	2ICLK
0008 7301h	ICU	割り込み要因プライオリティレジスタ 01	IPR01	8	8	2ICLK
0008 7302h	ICU	割り込み要因プライオリティレジスタ 02	IPR02	8	8	2ICLK
0008 7303h	ICU	割り込み要因プライオリティレジスタ 03	IPR03	8	8	2ICLK
0008 7304h	ICU	割り込み要因プライオリティレジスタ 04	IPR04	8	8	2ICLK
0008 7305h	ICU	割り込み要因プライオリティレジスタ 05	IPR05	8	8	2ICLK
0008 7306h	ICU	割り込み要因プライオリティレジスタ 06	IPR06	8	8	2ICLK
0008 7307h	ICU	割り込み要因プライオリティレジスタ 07	IPR07	8	8	2ICLK
0008 7308h	ICU	割り込み要因プライオリティレジスタ 08	IPR08	8	8	2ICLK
0008 730Ch	ICU	割り込み要因プライオリティレジスタ 0C	IPR0C	8	8	2ICLK
0008 730Dh	ICU	割り込み要因プライオリティレジスタ 0D	IPR0D	8	8	2ICLK
0008 730Eh	ICU	割り込み要因プライオリティレジスタ 0E	IPR0E	8	8	2ICLK
0008 7310h	ICU	割り込み要因プライオリティレジスタ 10	IPR10	8	8	2ICLK
0008 7311h	ICU	割り込み要因プライオリティレジスタ 11	IPR11	8	8	2ICLK
0008 7312h	ICU	割り込み要因プライオリティレジスタ 12	IPR12	8	8	2ICLK
0008 7314h	ICU	割り込み要因プライオリティレジスタ 14	IPR14	8	8	2ICLK
0008 7315h	ICU	割り込み要因プライオリティレジスタ 15	IPR15	8	8	2ICLK
0008 7318h	ICU	割り込み要因プライオリティレジスタ 18	IPR18	8	8	2ICLK
0008 731Eh	ICU	割り込み要因プライオリティレジスタ 1E	IPR1E	8	8	2ICLK
0008 731Fh	ICU	割り込み要因プライオリティレジスタ 1F	IPR1F	8	8	2ICLK
0008 7320h	ICU	割り込み要因プライオリティレジスタ 20	IPR20	8	8	2ICLK
0008 7321h	ICU	割り込み要因プライオリティレジスタ 21	IPR21	8	8	2ICLK
0008 7322h	ICU	割り込み要因プライオリティレジスタ 22	IPR22	8	8	2ICLK
0008 7323h	ICU	割り込み要因プライオリティレジスタ 23	IPR23	8	8	2ICLK
0008 7324h	ICU	割り込み要因プライオリティレジスタ 24	IPR24	8	8	2ICLK
0008 7325h	ICU	割り込み要因プライオリティレジスタ 25	IPR25	8	8	2ICLK
0008 7326h	ICU	割り込み要因プライオリティレジスタ 26	IPR26	8	8	2ICLK
0008 7327h	ICU	割り込み要因プライオリティレジスタ 27	IPR27	8	8	2ICLK
0008 7328h	ICU	割り込み要因プライオリティレジスタ 28	IPR28	8	8	2ICLK
0008 7329h	ICU	割り込み要因プライオリティレジスタ 29	IPR29	8	8	2ICLK
0008 732Ah	ICU	割り込み要因プライオリティレジスタ 2A	IPR2A	8	8	2ICLK
0008 732Bh	ICU	割り込み要因プライオリティレジスタ 2B	IPR2B	8	8	2ICLK
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 2C	IPR2C	8	8	2ICLK
0008 732Dh	ICU	割り込み要因プライオリティレジスタ 2D	IPR2D	8	8	2ICLK
0008 732Eh	ICU	割り込み要因プライオリティレジスタ 2E	IPR2E	8	8	2ICLK
0008 732Fh	ICU	割り込み要因プライオリティレジスタ 2F	IPR2F	8	8	2ICLK
0008 733Ah	ICU	割り込み要因プライオリティレジスタ 3A	IPR3A	8	8	2ICLK
0008 733Bh	ICU	割り込み要因プライオリティレジスタ 3B	IPR3B	8	8	2ICLK
0008 733Ch	ICU	割り込み要因プライオリティレジスタ 3C	IPR3C	8	8	2ICLK
0008 7340h	ICU	割り込み要因プライオリティレジスタ 40	IPR40	8	8	2ICLK
0008 7344h	ICU	割り込み要因プライオリティレジスタ 44	IPR44	8	8	2ICLK
0008 7345h	ICU	割り込み要因プライオリティレジスタ 45	IPR45	8	8	2ICLK
0008 7348h	ICU	割り込み要因プライオリティレジスタ 48	IPR48	8	8	2ICLK
0008 7351h	ICU	割り込み要因プライオリティレジスタ 51	IPR51	8	8	2ICLK
0008 7352h	ICU	割り込み要因プライオリティレジスタ 52	IPR52	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (13 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 7353h	ICU	割り込み要因プライオリティレジスタ 53	IPR53	8	8	2ICLK
0008 7354h	ICU	割り込み要因プライオリティレジスタ 54	IPR54	8	8	2ICLK
0008 7355h	ICU	割り込み要因プライオリティレジスタ 55	IPR55	8	8	2ICLK
0008 7356h	ICU	割り込み要因プライオリティレジスタ 56	IPR56	8	8	2ICLK
0008 7357h	ICU	割り込み要因プライオリティレジスタ 57	IPR57	8	8	2ICLK
0008 7358h	ICU	割り込み要因プライオリティレジスタ 58	IPR58	8	8	2ICLK
0008 7359h	ICU	割り込み要因プライオリティレジスタ 59	IPR59	8	8	2ICLK
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 5A	IPR5A	8	8	2ICLK
0008 735Bh	ICU	割り込み要因プライオリティレジスタ 5B	IPR5B	8	8	2ICLK
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 5C	IPR5C	8	8	2ICLK
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 5D	IPR5D	8	8	2ICLK
0008 735Eh	ICU	割り込み要因プライオリティレジスタ 5E	IPR5E	8	8	2ICLK
0008 735Fh	ICU	割り込み要因プライオリティレジスタ 5F	IPR5F	8	8	2ICLK
0008 7360h	ICU	割り込み要因プライオリティレジスタ 60	IPR60	8	8	2ICLK
0008 7361h	ICU	割り込み要因プライオリティレジスタ 61	IPR61	8	8	2ICLK
0008 7362h	ICU	割り込み要因プライオリティレジスタ 62	IPR62	8	8	2ICLK
0008 7363h	ICU	割り込み要因プライオリティレジスタ 63	IPR63	8	8	2ICLK
0008 7364h	ICU	割り込み要因プライオリティレジスタ 64	IPR64	8	8	2ICLK
0008 7365h	ICU	割り込み要因プライオリティレジスタ 65	IPR65	8	8	2ICLK
0008 7366h	ICU	割り込み要因プライオリティレジスタ 66	IPR66	8	8	2ICLK
0008 7367h	ICU	割り込み要因プライオリティレジスタ 67	IPR67	8	8	2ICLK
0008 7368h	ICU	割り込み要因プライオリティレジスタ 68	IPR68	8	8	2ICLK
0008 7369h	ICU	割り込み要因プライオリティレジスタ 69	IPR69	8	8	2ICLK
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 6A	IPR6A	8	8	2ICLK
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 6B	IPR6B	8	8	2ICLK
0008 7370h	ICU	割り込み要因プライオリティレジスタ 70	IPR70	8	8	2ICLK
0008 7371h	ICU	割り込み要因プライオリティレジスタ 71	IPR71	8	8	2ICLK
0008 7372h	ICU	割り込み要因プライオリティレジスタ 72	IPR72	8	8	2ICLK
0008 7373h	ICU	割り込み要因プライオリティレジスタ 73	IPR73	8	8	2ICLK
0008 7374h	ICU	割り込み要因プライオリティレジスタ 74	IPR74	8	8	2ICLK
0008 7375h	ICU	割り込み要因プライオリティレジスタ 75	IPR75	8	8	2ICLK
0008 7380h	ICU	割り込み要因プライオリティレジスタ 80	IPR80	8	8	2ICLK
0008 7381h	ICU	割り込み要因プライオリティレジスタ 81	IPR81	8	8	2ICLK
0008 7382h	ICU	割り込み要因プライオリティレジスタ 82	IPR82	8	8	2ICLK
0008 7383h	ICU	割り込み要因プライオリティレジスタ 83	IPR83	8	8	2ICLK
0008 7385h	ICU	割り込み要因プライオリティレジスタ 85	IPR85	8	8	2ICLK
0008 7386h	ICU	割り込み要因プライオリティレジスタ 86	IPR86	8	8	2ICLK
0008 7388h	ICU	割り込み要因プライオリティレジスタ 88	IPR88	8	8	2ICLK
0008 7389h	ICU	割り込み要因プライオリティレジスタ 89	IPR89	8	8	2ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 8A	IPR8A	8	8	2ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 8B	IPR8B	8	8	2ICLK
0008 738Ch	ICU	割り込み要因プライオリティレジスタ 8C	IPR8C	8	8	2ICLK
0008 738Dh	ICU	割り込み要因プライオリティレジスタ 8D	IPR8D	8	8	2ICLK
0008 738Eh	ICU	割り込み要因プライオリティレジスタ 8E	IPR8E	8	8	2ICLK
0008 738Fh	ICU	割り込み要因プライオリティレジスタ 8F	IPR8F	8	8	2ICLK
0008 7400h	ICU	DMACA起動要因選択レジスタ 0	DMRSR0	8	8	2ICLK
0008 7404h	ICU	DMACA起動要因選択レジスタ 1	DMRSR1	8	8	2ICLK
0008 7408h	ICU	DMACA起動要因選択レジスタ 2	DMRSR2	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (14 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 740Ch	ICU	DMACA起動要因選択レジスタ3	DMRSR3	8	8	2ICLK
0008 7500h	ICU	IRQコントロールレジスタ0	IRQCR0	8	8	2ICLK
0008 7501h	ICU	IRQコントロールレジスタ1	IRQCR1	8	8	2ICLK
0008 7502h	ICU	IRQコントロールレジスタ2	IRQCR2	8	8	2ICLK
0008 7503h	ICU	IRQコントロールレジスタ3	IRQCR3	8	8	2ICLK
0008 7504h	ICU	IRQコントロールレジスタ4	IRQCR4	8	8	2ICLK
0008 7505h	ICU	IRQコントロールレジスタ5	IRQCR5	8	8	2ICLK
0008 7506h	ICU	IRQコントロールレジスタ6	IRQCR6	8	8	2ICLK
0008 7507h	ICU	IRQコントロールレジスタ7	IRQCR7	8	8	2ICLK
0008 7508h	ICU	IRQコントロールレジスタ8	IRQCR8	8	8	2ICLK
0008 7509h	ICU	IRQコントロールレジスタ9	IRQCR9	8	8	2ICLK
0008 750Ah	ICU	IRQコントロールレジスタ10	IRQCR10	8	8	2ICLK
0008 750Bh	ICU	IRQコントロールレジスタ11	IRQCR11	8	8	2ICLK
0008 750Ch	ICU	IRQコントロールレジスタ12	IRQCR12	8	8	2ICLK
0008 750Dh	ICU	IRQコントロールレジスタ13	IRQCR13	8	8	2ICLK
0008 750Eh	ICU	IRQコントロールレジスタ14	IRQCR14	8	8	2ICLK
0008 750Fh	ICU	IRQコントロールレジスタ15	IRQCR15	8	8	2ICLK
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK
0008 7582h	ICU	ノンマスカブル割り込みクリアレジスタ	NMICLR	8	8	2ICLK
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2～3PCLK (注8)
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLK (注8)
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLK (注8)
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLK (注8)
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLK (注8)
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLK (注8)
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLK (注8)
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2～3PCLK (注8)
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLK (注8)
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLK (注8)
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLK (注8)
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLK (注8)
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLK (注8)
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLK (注8)
0008 8028h	WDT	タイマコントロール／ステータスレジスタ	READ.TCSR	8	8	2～3PCLK (注8)
0008 8028h	WDT	ライトウインドウAレジスタ	WRITE.WINA	16	16	2～3PCLK (注8)
0008 8029h	WDT	タイマカウンタ	READ.TCNT	8	8	2～3PCLK (注8)

表5.1　I/O レジスタアドレス一覧 (15 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 802Ah	WDT	ライトウインドウBレジスタ	WRITE.WINB	16	16	2～3PCLK（注8）
0008 802Bh	WDT	リセットコントロール／ステータスレジスタ	READ.RSTCSR	8	8	2～3PCLK（注8）
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2～3PCLK（注8）
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2～3PCLK（注8）
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2～3PCLK（注8）
0008 8040h	AD0	A/Dデータレジスタ A	ADDRA	16	16	2～3PCLK（注8）
0008 8042h	AD0	A/Dデータレジスタ B	ADDRB	16	16	2～3PCLK（注8）
0008 8044h	AD0	A/Dデータレジスタ C	ADDRC	16	16	2～3PCLK（注8）
0008 8046h	AD0	A/Dデータレジスタ D	ADDRD	16	16	2～3PCLK（注8）
0008 8050h	AD0	A/Dコントロール／ステータスレジスタ	ADCSR	8	8	2～3PCLK（注8）
0008 8051h	AD0	A/Dコントロールレジスタ	ADCR	8	8	2～3PCLK（注8）
0008 8052h	AD0	ADDRnフォーマット選択レジスタ	ADDPR	8	8	2～3PCLK（注8）
0008 8053h	AD0	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2～3PCLK（注8）
0008 805Fh	AD0	A/D自己診断レジスタ	ADDIAGR	8	8	2～3PCLK（注8）
0008 8060h	AD1	A/Dデータレジスタ A	ADDRA	16	16	2～3PCLK（注8）
0008 8062h	AD1	A/Dデータレジスタ B	ADDRB	16	16	2～3PCLK（注8）
0008 8064h	AD1	A/Dデータレジスタ C	ADDRC	16	16	2～3PCLK（注8）
0008 8066h	AD1	A/Dデータレジスタ D	ADDRD	16	16	2～3PCLK（注8）
0008 8070h	AD1	A/Dコントロール／ステータスレジスタ	ADCSR	8	8	2～3PCLK（注8）
0008 8071h	AD1	A/Dコントロールレジスタ	ADCR	8	8	2～3PCLK（注8）
0008 8072h	AD1	ADDRnフォーマット選択レジスタ	ADDPR	8	8	2～3PCLK（注8）
0008 8073h	AD1	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2～3PCLK（注8）
0008 807Fh	AD1	A/D自己診断レジスタ	ADDIAGR	8	8	2～3PCLK（注8）
0008 80C0h	DA	D/Aデータレジスタ 0	DADR0	16	16	2～3PCLK（注8）
0008 80C2h	DA	D/Aデータレジスタ 1	DADR1	16	16	2～3PCLK（注8）
0008 80C4h	DA	D/Aコントロールレジスタ	DACR	8	8	2～3PCLK（注8）
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2～3PCLK（注8）
0008 81E6h	PPG0	PPG出力コントロールレジスタ	PCR	8	8	2～3PCLK（注8）
0008 81E7h	PPG0	PPG出力モードレジスタ	PMR	8	8	2～3PCLK（注8）
0008 81E8h	PPG0	ネクストデータイネーブルレジスタ H	NDERH	8	8	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (16 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 81E9h	PPG0	ネクストデータイネーブルレジスタL	NDERL	8	8	2～3PCLK（注8）
0008 81EAh	PPG0	アウトプットデータレジスタH	PODRH	8	8	2～3PCLK（注8）
0008 81EBh	PPG0	アウトプットデータレジスタL	PODRL	8	8	2～3PCLK（注8）
0008 81ECh（注1）	PPG0	ネクストデータレジスタH	NDRH	8	8	2～3PCLK（注8）
0008 81EDh（注2）	PPG0	ネクストデータレジスタL	NDRL	8	8	2～3PCLK（注8）
0008 81EEh（注1）	PPG0	ネクストデータレジスタH2	NDRH2	8	8	2～3PCLK（注8）
0008 81EFh（注2）	PPG0	ネクストデータレジスタL2	NDRL2	8	8	2～3PCLK（注8）
0008 81F0h	PPG1	PPGトリガセレクトレジスタ	PTRSLR	8	8	2～3PCLK（注8）
0008 81F6h	PPG1	PPG出力コントロールレジスタ	PCR	8	8	2～3PCLK（注8）
0008 81F7h	PPG1	PPG出力モードレジスタ	PMR	8	8	2～3PCLK（注8）
0008 81F8h	PPG1	ネクストデータイネーブルレジスタH	NDERH	8	8	2～3PCLK（注8）
0008 81F9h	PPG1	ネクストデータイネーブルレジスタL	NDERL	8	8	2～3PCLK（注8）
0008 81FAh	PPG1	アウトプットデータレジスタH	PODRH	8	8	2～3PCLK（注8）
0008 81FBh	PPG1	アウトプットデータレジスタL	PODRL	8	8	2～3PCLK（注8）
0008 81FCh（注3）	PPG1	ネクストデータレジスタH	NDRH	8	8	2～3PCLK（注8）
0008 81FDh（注4）	PPG1	ネクストデータレジスタL	NDRL	8	8	2～3PCLK（注8）
0008 81FEh（注3）	PPG1	ネクストデータレジスタH2	NDRH2	8	8	2～3PCLK（注8）
0008 81FFh（注4）	PPG1	ネクストデータレジスタL2	NDRL2	8	8	2～3PCLK（注8）
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8202h	TMR0	タイマコントロール／ステータスレジスタ	TCSR	8	8	2～3PCLK（注8）
0008 8203h	TMR1	タイマコントロール／ステータスレジスタ	TCSR	8	8	2～3PCLK（注8）
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLK（注8）
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLK（注8）
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLK（注8）
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLK（注8）
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2～3PCLK（注8）
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2～3PCLK（注8）
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLK（注8）
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLK（注8）

表5.1 I/O レジスタアドレス一覧 (17 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLK (注8)
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLK (注8)
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLK (注8)
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)
0008 8212h	TMR2	タイマコントロール／ステータスレジスタ	TCSR	8	8	2～3PCLK (注8)
0008 8213h	TMR3	タイマコントロール／ステータスレジスタ	TCSR	8	8	2～3PCLK (注8)
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLK (注8)
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLK (注8)
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLK (注8)
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLK (注8)
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2～3PCLK (注8)
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2～3PCLK (注8)
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLK (注8)
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLK (注8)
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLK (注8)
0008 8216h	TMR23	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLK (注8)
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLK (注8)
0008 8240h	SCI0	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8241h	SCI0	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 8242h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 8243h	SCI0	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 8244h	SCI0	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 8245h	SCI0	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 8246h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8247h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK (注8)
0008 8240h	SMCI0	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8241h	SMCI0	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)

表5.1 I/O レジスタアドレス一覧 (18 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8242h	SMCI0	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 8243h	SMCI0	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 8244h	SMCI0	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 8245h	SMCI0	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 8246h	SMCI0	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 8248h	SCI1	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8249h	SCI1	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）
0008 824Ah	SCI1	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 824Bh	SCI1	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 824Ch	SCI1	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 824Dh	SCI1	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 824Eh	SCI1	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 824Fh	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK（注8）
0008 8248h	SMCI1	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8249h	SMCI1	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）
0008 824Ah	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 824Bh	SMCI1	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 824Ch	SMCI1	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 824Dh	SMCI1	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 824Eh	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 8250h	SCI2	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8251h	SCI2	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）
0008 8252h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 8253h	SCI2	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 8254h	SCI2	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 8255h	SCI2	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 8256h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 8257h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK（注8）
0008 8250h	SMCI2	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8251h	SMCI2	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）

表5.1 I/O レジスタアドレス一覧 (19 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8252h	SMCI2	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 8253h	SMCI2	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 8254h	SMCI2	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 8255h	SMCI2	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 8256h	SMCI2	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 8258h	SCI3	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8259h	SCI3	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）
0008 825Ah	SCI3	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 825Bh	SCI3	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 825Ch	SCI3	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 825Dh	SCI3	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 825Eh	SCI3	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 825Fh	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK（注8）
0008 8258h	SMCI3	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8259h	SMCI3	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）
0008 825Ah	SMCI3	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 825Bh	SMCI3	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 825Ch	SMCI3	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 825Dh	SMCI3	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 825Eh	SMCI3	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 8268h	SCI5	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8269h	SCI5	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）
0008 826Ah	SCI5	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 826Bh	SCI5	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 826Ch	SCI5	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 826Dh	SCI5	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 826Eh	SCI5	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 826Fh	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK（注8）
0008 8268h	SMCI5	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8269h	SMCI5	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (20 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 826Ah	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 826Bh	SMCI5	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 826Ch	SMCI5	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 826Dh	SMCI5	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 826Eh	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 8270h	SCI6	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8271h	SCI6	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）
0008 8272h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 8273h	SCI6	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 8274h	SCI6	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 8275h	SCI6	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 8276h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 8277h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK（注8）
0008 8270h	SMCI6	シリアルモードレジスタ	SMR	8	8	2～3PCLK（注8）
0008 8271h	SMCI6	ビットレートレジスタ	BRR	8	8	2～3PCLK（注8）
0008 8272h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK（注8）
0008 8273h	SMCI6	トランスミットデータレジスタ	TDR	8	8	2～3PCLK（注8）
0008 8274h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2～3PCLK（注8）
0008 8275h	SMCI6	レシーブデータレジスタ	RDR	8	8	2～3PCLK（注8）
0008 8276h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK（注8）
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2～3PCLK（注8）
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2～3PCLK（注8）
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2～3PCLK（注8）
0008 8300h	RIIC0	I^2Cバスコントロールレジスタ1	ICCR1	8	8	2～3PCLK（注8）
0008 8301h	RIIC0	I^2Cバスコントロールレジスタ2	ICCR2	8	8	2～3PCLK（注8）
0008 8302h	RIIC0	I^2Cバスモードレジスタ1	ICMR1	8	8	2～3PCLK（注8）
0008 8303h	RIIC0	I^2Cバスモードレジスタ2	ICMR2	8	8	2～3PCLK（注8）
0008 8304h	RIIC0	I^2Cバスモードレジスタ3	ICMR3	8	8	2～3PCLK（注8）
0008 8305h	RIIC0	I^2Cバスファンクションイネーブルレジスタ	ICFER	8	8	2～3PCLK（注8）
0008 8306h	RIIC0	I^2Cバスステータスイネーブルレジスタ	ICSER	8	8	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (21 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8307h	RIIC0	I²Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2～3PCLK（注8）
0008 8308h	RIIC0	I²Cバスステータスレジスタ1	ICSR1	8	8	2～3PCLK（注8）
0008 8309h	RIIC0	I²Cバスステータスレジスタ2	ICSR2	8	8	2～3PCLK（注8）
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2～3PCLK（注8）
0008 830Ah	RIIC0	タイムアウト内部カウンタ	TMOCNT	16	16	2～3PCLK（注8）
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2～3PCLK（注8）
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2～3PCLK（注8）
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8	2～3PCLK（注8）
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2～3PCLK（注8）
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2～3PCLK（注8）
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2～3PCLK（注8）
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2～3PCLK（注8）
0008 8310h	RIIC0	I²Cバスビットレートローレベルレジスタ	ICBRL	8	8	2～3PCLK（注8）
0008 8311h	RIIC0	I²Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2～3PCLK（注8）
0008 8312h	RIIC0	I²Cバス送信データレジスタ	ICDRT	8	8	2～3PCLK（注8）
0008 8313h	RIIC0	I²Cバス受信データレジスタ	ICDRR	8	8	2～3PCLK（注8）
0008 8320h	RIIC1	I²Cバスコントロールレジスタ1	ICCR1	8	8	2～3PCLK（注8）
0008 8321h	RIIC1	I²Cバスコントロールレジスタ2	ICCR2	8	8	2～3PCLK（注8）
0008 8322h	RIIC1	I²Cバスモードレジスタ1	ICMR1	8	8	2～3PCLK（注8）
0008 8323h	RIIC1	I²Cバスモードレジスタ2	ICMR2	8	8	2～3PCLK（注8）
0008 8324h	RIIC1	I²Cバスモードレジスタ3	ICMR3	8	8	2～3PCLK（注8）
0008 8325h	RIIC1	I²Cバスファンクションイネーブルレジスタ	ICFER	8	8	2～3PCLK（注8）
0008 8326h	RIIC1	I²Cバスステータスイネーブルレジスタ	ICSER	8	8	2～3PCLK（注8）
0008 8327h	RIIC1	I²Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2～3PCLK（注8）
0008 8328h	RIIC1	I²Cバスステータスレジスタ1	ICSR1	8	8	2～3PCLK（注8）
0008 8329h	RIIC1	I²Cバスステータスレジスタ2	ICSR2	8	8	2～3PCLK（注8）
0008 832Ah	RIIC1	スレーブアドレスレジスタL0	SARL0	8	8	2～3PCLK（注8）
0008 832Ah	RIIC1	タイムアウト内部カウンタ	TMOCNT	16	16	2～3PCLK（注8）
0008 832Ah	RIIC1	タイムアウト内部カウンタL	TMOCNTL	8	8	2～3PCLK（注8）
0008 832Bh	RIIC1	スレーブアドレスレジスタU0	SARU0	8	8	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (22 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 832Bh	RIIC1	タイムアウト内部カウンタU	TMOCNTU	8	8	2～3PCLK（注8）
0008 832Ch	RIIC1	スレーブアドレスレジスタL1	SARL1	8	8	2～3PCLK（注8）
0008 832Dh	RIIC1	スレーブアドレスレジスタU1	SARU1	8	8	2～3PCLK（注8）
0008 832Eh	RIIC1	スレーブアドレスレジスタL2	SARL2	8	8	2～3PCLK（注8）
0008 832Fh	RIIC1	スレーブアドレスレジスタU2	SARU2	8	8	2～3PCLK（注8）
0008 8330h	RIIC1	I²Cバスビットレートローレベルレジスタ	ICBRL	8	8	2～3PCLK（注8）
0008 8331h	RIIC1	I²Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2～3PCLK（注8）
0008 8332h	RIIC1	I²Cバス送信データレジスタ	ICDRT	8	8	2～3PCLK（注8）
0008 8333h	RIIC1	I²Cバス受信データレジスタ	ICDRR	8	8	2～3PCLK（注8）
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2～3PCLK（注8）
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2～3PCLK（注8）
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2～3PCLK（注8）
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2～3PCLK（注8）
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2～3PCLK（注8）
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2～3PCLK（注8）
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2～3PCLK（注8）
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2～3PCLK（注8）
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2～3PCLK（注8）
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2～3PCLK（注8）
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2～3PCLK（注8）
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2～3PCLK（注8）
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2～3PCLK（注8）
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2～3PCLK（注8）
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2～3PCLK（注8）
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2～3PCLK（注8）
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2～3PCLK（注8）
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2～3PCLK（注8）
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2～3PCLK（注8）
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2～3PCLK（注8）
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (23 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 83A0h	RSPI1	RSPI制御レジスタ	SPCR	8	8	2～3PCLK（注8）
0008 83A1h	RSPI1	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2～3PCLK（注8）
0008 83A2h	RSPI1	RSPI端子制御レジスタ	SPPCR	8	8	2～3PCLK（注8）
0008 83A3h	RSPI1	RSPIステータスレジスタ	SPSR	8	8	2～3PCLK（注8）
0008 83A4h	RSPI1	RSPIデータレジスタ	SPDR	32	16、32	2～3PCLK（注8）
0008 83A8h	RSPI1	RSPIシーケンス制御レジスタ	SPSCR	8	8	2～3PCLK（注8）
0008 83A9h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2～3PCLK（注8）
0008 83AAh	RSPI1	RSPIビットレートレジスタ	SPBR	8	8	2～3PCLK（注8）
0008 83ABh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8	2～3PCLK（注8）
0008 83ACh	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8	2～3PCLK（注8）
0008 83ADh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2～3PCLK（注8）
0008 83AEh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8	2～3PCLK（注8）
0008 83AFh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8	2～3PCLK（注8）
0008 83B0h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16	2～3PCLK（注8）
0008 83B2h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16	2～3PCLK（注8）
0008 83B4h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16	2～3PCLK（注8）
0008 83B6h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16	2～3PCLK（注8）
0008 83B8h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16	2～3PCLK（注8）
0008 83BAh	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16	2～3PCLK（注8）
0008 83BCh	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16	2～3PCLK（注8）
0008 83BEh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16	2～3PCLK（注8）
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8604h	MTU3	タイマI/Oコントロールレジスタ H	TIORH	8	8	2～3PCLK（注8）
0008 8605h	MTU3	タイマI/Oコントロールレジスタ L	TIORL	8	8	2～3PCLK（注8）
0008 8606h	MTU4	タイマI/Oコントロールレジスタ H	TIORH	8	8	2～3PCLK（注8）
0008 8607h	MTU4	タイマI/Oコントロールレジスタ L	TIORL	8	8	2～3PCLK（注8）
0008 8608h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (24 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8609h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 860Ah	MTUA	タイマアウトプットマスタイネーブルレジスタ	TOER	8	8	2～3PCLK（注8）
0008 860Dh	MTUA	タイマゲートコントロールレジスタ	TGCR	8	8	2～3PCLK（注8）
0008 860Eh	MTUA	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2～3PCLK（注8）
0008 860Fh	MTUA	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2～3PCLK（注8）
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8614h	MTUA	タイマ周期データレジスタ	TCDR	16	16	2～3PCLK（注8）
0008 8616h	MTUA	タイマデッドタイムデータレジスタ	TDDR	16	16	2～3PCLK（注8）
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK（注8）
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK（注8）
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK（注8）
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK（注8）
0008 8620h	MTUA	タイマサブカウンタ	TCNTS	16	16	2～3PCLK（注8）
0008 8622h	MTUA	タイマ周期バッファレジスタ	TCBR	16	16	2～3PCLK（注8）
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLK（注8）
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLK（注8）
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLK（注8）
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLK（注8）
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 8630h	MTUA	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2～3PCLK（注8）
0008 8631h	MTUA	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2～3PCLK（注8）
0008 8632h	MTUA	タイマバッファ転送設定レジスタ	TBTER	8	8	2～3PCLK（注8）
0008 8634h	MTUA	タイマデッドタイムイネーブルレジスタ	TDER	8	8	2～3PCLK（注8）
0008 8636h	MTUA	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2～3PCLK（注8）
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK（注8）
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK（注8）
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2～3PCLK（注8）
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (25 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2～3PCLK（注8）
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2～3PCLK（注8）
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2～3PCLK（注8）
0008 8660h	MTUA	タイマ波形コントロールレジスタ	TWCR	8	8	2～3PCLK（注8）
0008 8680h	MTUA	タイマスタートレジスタ	TSTR	8	8	2～3PCLK（注8）
0008 8681h	MTUA	タイマシンクロレジスタ	TSYR	8	8	2～3PCLK（注8）
0008 8684h	MTUA	タイマリードライトイネーブルレジスタ	TRWER	8	8	2～3PCLK（注8）
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8702h	MTU0	タイマI/Oコントロールレジスタ H	TIORH	8	8	2～3PCLK（注8）
0008 8703h	MTU0	タイマI/Oコントロールレジスタ L	TIORL	8	8	2～3PCLK（注8）
0008 8704h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK（注8）
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK（注8）
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLK（注8）
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLK（注8）
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2～3PCLK（注8）
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2～3PCLK（注8）
0008 8724h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8	2～3PCLK（注8）
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK（注8）
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLK（注8）
0008 8784h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK（注8）
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (26 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2～3PCLK（注8）
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLK（注8）
0008 8804h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK（注8）
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK（注8）
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2～3PCLK（注8）
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2～3PCLK（注8）
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2～3PCLK（注8）
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2～3PCLK（注8）
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2～3PCLK（注8）
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2～3PCLK（注8）
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2～3PCLK（注8）
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2～3PCLK（注8）
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2～3PCLK（注8）
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2～3PCLK（注8）
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2～3PCLK（注8）
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2～3PCLK（注8）
0008 88B2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2～3PCLK（注8）
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2～3PCLK（注8）
0008 8900h	POE	入力レベルコントロール／ステータスレジスタ1	ICSR1	16	16	2～3PCLK（注8）
0008 8902h	POE	出力レベルコントロール／ステータスレジスタ1	OCSR1	16	16	2～3PCLK（注8）
0008 8904h	POE	入力レベルコントロール／ステータスレジスタ2	ICSR2	16	16	2～3PCLK（注8）
0008 8906h	POE	出力レベルコントロール／ステータスレジスタ2	OCSR2	16	16	2～3PCLK（注8）
0008 8908h	POE	入力レベルコントロール／ステータスレジスタ3	ICSR3	16	16	2～3PCLK（注8）
0008 890Ah	POE	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	8	8	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (27 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 890Bh	POE	ポートアウトプットイネーブルコントロールレジスタ1	POECR1	8	8	2～3PCLK（注8）
0008 890Ch	POE	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	16	16	2～3PCLK（注8）
0008 890Eh	POE	入力レベルコントロール／ステータスレジスタ4	ICSR4	16	16	2～3PCLK（注8）
0008 8A00h	MTU9	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8A01h	MTU10	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8A02h	MTU9	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8A03h	MTU10	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8A04h	MTU9	タイマI/Oコントロールレジスタ H	TIORH	8	8	2～3PCLK（注8）
0008 8A05h	MTU9	タイマI/Oコントロールレジスタ L	TIORL	8	8	2～3PCLK（注8）
0008 8A06h	MTU10	タイマI/Oコントロールレジスタ H	TIORH	8	8	2～3PCLK（注8）
0008 8A07h	MTU10	タイマI/Oコントロールレジスタ L	TIORL	8	8	2～3PCLK（注8）
0008 8A08h	MTU9	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8A09h	MTU10	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8A0Ah	MTUB	タイマアウトプットマスタイネーブルレジスタ	TOER	8	8	2～3PCLK（注8）
0008 8A0Dh	MTUB	タイマゲートコントロールレジスタ	TGCR	8	8	2～3PCLK（注8）
0008 8A0Eh	MTUB	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2～3PCLK（注8）
0008 8A0Fh	MTUB	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2～3PCLK（注8）
0008 8A10h	MTU9	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8A12h	MTU10	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8A14h	MTUB	タイマ周期データレジスタ	TCDR	16	16	2～3PCLK（注8）
0008 8A16h	MTUB	タイマデッドタイムデータレジスタ	TDDR	16	16	2～3PCLK（注8）
0008 8A18h	MTU9	タイマジェネラルレジスタ A	TGRA	16	16	2～3PCLK（注8）
0008 8A1Ah	MTU9	タイマジェネラルレジスタ B	TGRB	16	16	2～3PCLK（注8）
0008 8A1Ch	MTU10	タイマジェネラルレジスタ A	TGRA	16	16	2～3PCLK（注8）
0008 8A1Eh	MTU10	タイマジェネラルレジスタ B	TGRB	16	16	2～3PCLK（注8）
0008 8A20h	MTUB	タイマサブカウンタ	TCNTS	16	16	2～3PCLK（注8）
0008 8A22h	MTUB	タイマ周期バッファレジスタ	TCBR	16	16	2～3PCLK（注8）
0008 8A24h	MTU9	タイマジェネラルレジスタ C	TGRC	16	16	2～3PCLK（注8）
0008 8A26h	MTU9	タイマジェネラルレジスタ D	TGRD	16	16	2～3PCLK（注8）
0008 8A28h	MTU10	タイマジェネラルレジスタ C	TGRC	16	16	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (28 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8A2Ah	MTU10	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLK（注8）
0008 8A2Ch	MTU9	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 8A2Dh	MTU10	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 8A30h	MTUB	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2～3PCLK（注8）
0008 8A31h	MTUB	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2～3PCLK（注8）
0008 8A32h	MTUB	タイマバッファ転送設定レジスタ	TBTER	8	8	2～3PCLK（注8）
0008 8A34h	MTUB	タイマデッドタイムイネーブルレジスタ	TDER	8	8	2～3PCLK（注8）
0008 8A36h	MTUB	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2～3PCLK（注8）
0008 8A38h	MTU9	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK（注8）
0008 8A39h	MTU10	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK（注8）
0008 8A40h	MTU10	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2～3PCLK（注8）
0008 8A44h	MTU10	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2～3PCLK（注8）
0008 8A46h	MTU10	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2～3PCLK（注8）
0008 8A48h	MTU10	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2～3PCLK（注8）
0008 8A4Ah	MTU10	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2～3PCLK（注8）
0008 8A60h	MTUB	タイマ波形コントロールレジスタ	TWCR	8	8	2～3PCLK（注8）
0008 8A80h	MTUB	タイマスタートレジスタ	TSTR	8	8	2～3PCLK（注8）
0008 8A81h	MTUB	タイマシンクロレジスタ	TSYR	8	8	2～3PCLK（注8）
0008 8A84h	MTUB	タイマリードライトイネーブルレジスタ	TRWER	8	8	2～3PCLK（注8）
0008 8B00h	MTU6	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8B01h	MTU6	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8B02h	MTU6	タイマI/Oコントロールレジスタ H	TIORH	8	8	2～3PCLK（注8）
0008 8B03h	MTU6	タイマI/Oコントロールレジスタ L	TIORL	8	8	2～3PCLK（注8）
0008 8B04h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8B05h	MTU6	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 8B06h	MTU6	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8B08h	MTU6	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK（注8）
0008 8B0Ah	MTU6	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK（注8）
0008 8B0Ch	MTU6	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLK（注8）
0008 8B0Eh	MTU6	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLK（注8）

表5.1　I/O レジスタアドレス一覧 (29 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8B20h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	2～3PCLK（注8）
0008 8B22h	MTU6	タイマジェネラルレジスタF	TGRF	16	16	2～3PCLK（注8）
0008 8B24h	MTU6	タイマインタラプトイネーブルレジスタ2	TIER2	8	8	2～3PCLK（注8）
0008 8B26h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK（注8）
0008 8B80h	MTU7	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8B81h	MTU7	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8B82h	MTU7	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLK（注8）
0008 8B84h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8B85h	MTU7	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 8B86h	MTU7	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8B88h	MTU7	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK（注8）
0008 8B8Ah	MTU7	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK（注8）
0008 8B90h	MTU7	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2～3PCLK（注8）
0008 8C00h	MTU8	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8C01h	MTU8	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8C02h	MTU8	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLK（注8）
0008 8C04h	MTU8	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8C05h	MTU8	タイマステータスレジスタ	TSR	8	8	2～3PCLK（注8）
0008 8C06h	MTU8	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8C08h	MTU8	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK（注8）
0008 8C0Ah	MTU8	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK（注8）
0008 8C80h	MTU11	タイマカウンタU	TCNTU	16	16	2～3PCLK（注8）
0008 8C82h	MTU11	タイマジェネラルレジスタU	TGRU	16	16	2～3PCLK（注8）
0008 8C84h	MTU11	タイマコントロールレジスタU	TCRU	8	8	2～3PCLK（注8）
0008 8C86h	MTU11	タイマI/OコントロールレジスタU	TIORU	8	8	2～3PCLK（注8）
0008 8C90h	MTU11	タイマカウンタV	TCNTV	16	16	2～3PCLK（注8）
0008 8C92h	MTU11	タイマジェネラルレジスタV	TGRV	16	16	2～3PCLK（注8）
0008 8C94h	MTU11	タイマコントロールレジスタV	TCRV	8	8	2～3PCLK（注8）
0008 8C96h	MTU11	タイマI/OコントロールレジスタV	TIORV	8	8	2～3PCLK（注8）
0008 8CA0h	MTU11	タイマカウンタW	TCNTW	16	16	2～3PCLK（注8）

表5.1 I/O レジスタアドレス一覧 (30 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8CA2h	MTU11	タイマジェネラルレジスタW	TGRW	16	16	2～3PCLK (注8)
0008 8CA4h	MTU11	タイマコントロールレジスタW	TCRW	8	8	2～3PCLK (注8)
0008 8CA6h	MTU11	タイマI/Oコントロールレジスタ W	TIORW	8	8	2～3PCLK (注8)
0008 8CB2h	MTU11	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 8CB4h	MTU11	タイマスタートレジスタ	TSTR	8	8	2～3PCLK (注8)
0008 8CB6h	MTU11	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2～3PCLK (注8)
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	8	8	2～3PCLK (注8)
0008 9004h	S12AD	A/Dチャネル選択レジスタ	ADANS	16	16	2～3PCLK (注8)
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2～3PCLK (注8)
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2～3PCLK (注8)
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLK (注8)
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	8	8	2～3PCLK (注8)
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLK (注8)
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLK (注8)
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLK (注8)
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLK (注8)
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2～3PCLK (注8)
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2～3PCLK (注8)
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2～3PCLK (注8)
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2～3PCLK (注8)
0008 C000h	PORT0	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C001h	PORT1	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C002h	PORT2	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C003h	PORT3	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C004h	PORT4	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C005h	PORT5	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C006h	PORT6	データディレクションレジスタ	DDR (注6、注7)	8	8	2～3PCLK (注8)
0008 C007h	PORT7	データディレクションレジスタ	DDR (注6、注7)	8	8	2～3PCLK (注8)
0008 C008h	PORT8	データディレクションレジスタ	DDR (注6、注7)	8	8	2～3PCLK (注8)
0008 C009h	PORT9	データディレクションレジスタ	DDR (注6、注7)	8	8	2～3PCLK (注8)

表5.1 I/O レジスタアドレス一覧 (31 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 C00Ah	PORTA	データディレクションレジスタ	DDR	8	8	2～3PCLK（注8）
0008 C00Bh	PORTB	データディレクションレジスタ	DDR	8	8	2～3PCLK（注8）
0008 C00Ch	PORTC	データディレクションレジスタ	DDR	8	8	2～3PCLK（注8）
0008 C00Dh	PORTD	データディレクションレジスタ	DDR	8	8	2～3PCLK（注8）
0008 C00Eh	PORTE	データディレクションレジスタ	DDR（注7）	8	8	2～3PCLK（注8）
0008 C00Fh	PORTF	データディレクションレジスタ	DDR (注5、注6、注7)	8	8	2～3PCLK（注8）
0008 C010h	PORTG	データディレクションレジスタ	DDR (注5、注6、注7)	8	8	2～3PCLK（注8）
0008 C020h	PORT0	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C021h	PORT1	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C022h	PORT2	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C023h	PORT3	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C024h	PORT4	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C025h	PORT5	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C026h	PORT6	データレジスタ	DR（注6、注7）	8	8	2～3PCLK（注8）
0008 C027h	PORT7	データレジスタ	DR（注6、注7）	8	8	2～3PCLK（注8）
0008 C028h	PORT8	データレジスタ	DR（注6、注7）	8	8	2～3PCLK（注8）
0008 C029h	PORT9	データレジスタ	DR（注6、注7）	8	8	2～3PCLK（注8）
0008 C02Ah	PORTA	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C02Bh	PORTB	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C02Ch	PORTC	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C02Dh	PORTD	データレジスタ	DR	8	8	2～3PCLK（注8）
0008 C02Eh	PORTE	データレジスタ	DR（注7）	8	8	2～3PCLK（注8）
0008 C02Fh	PORTF	データレジスタ	DR（注5、注6、注7）	8	8	2～3PCLK（注8）
0008 C030h	PORTG	データレジスタ	DR（注5、注6、注7）	8	8	2～3PCLK（注8）
0008 C040h	PORT0	ポートレジスタ	PORT	8	8	2～3PCLK（注8）
0008 C041h	PORT1	ポートレジスタ	PORT	8	8	2～3PCLK（注8）
0008 C042h	PORT2	ポートレジスタ	PORT	8	8	2～3PCLK（注8）
0008 C043h	PORT3	ポートレジスタ	PORT	8	8	2～3PCLK（注8）
0008 C044h	PORT4	ポートレジスタ	PORT	8	8	2～3PCLK（注8）
0008 C045h	PORT5	ポートレジスタ	PORT	8	8	2～3PCLK（注8）

表5.1 I/O レジスタアドレス一覧 (32 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 C046h	PORT6	ポートレジスタ	PORT (注6、注7))	8	8	2～3PCLK (注8)
0008 C047h	PORT7	ポートレジスタ	PORT (注6、注7)	8	8	2～3PCLK (注8)
0008 C048h	PORT8	ポートレジスタ	PORT (注6、注7)	8	8	2～3PCLK (注8)
0008 C049h	PORT9	ポートレジスタ	PORT (注6、注7)	8	8	2～3PCLK (注8)
0008 C04Ah	PORTA	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C04Bh	PORTB	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C04Ch	PORTC	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C04Dh	PORTD	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C04Eh	PORTE	ポートレジスタ	PORT (注7)	8	8	2～3PCLK (注8)
0008 C04Fh	PORTF	ポートレジスタ	PORT (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C050h	PORTG	ポートレジスタ	PORT (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C060h	PORT0	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C061h	PORT1	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C062h	PORT2	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C063h	PORT3	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C064h	PORT4	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C065h	PORT5	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C066h	PORT6	入力バッファコントロールレジスタ	ICR (注6、注7)	8	8	2～3PCLK (注8)
0008 C067h	PORT7	入力バッファコントロールレジスタ	ICR (注6、注7)	8	8	2～3PCLK (注8)
0008 C068h	PORT8	入力バッファコントロールレジスタ	ICR (注6、注7)	8	8	2～3PCLK (注8)
0008 C069h	PORT9	入力バッファコントロールレジスタ	ICR (注6、注7)	8	8	2～3PCLK (注8)
0008 C06Ah	PORTA	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C06Bh	PORTB	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C06Ch	PORTC	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C06Dh	PORTD	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C06Eh	PORTE	入力バッファコントロールレジスタ	ICR (注7)	8	8	2～3PCLK (注8)
0008 C06Fh	PORTF	入力バッファコントロールレジスタ	ICR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C070h	PORTG	入力バッファコントロールレジスタ	ICR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C080h	PORT0	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)
0008 C081h	PORT1	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)

表5.1　I/O レジスタアドレス一覧 (33 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 C082h	PORT2	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)
0008 C083h	PORT3	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)
0008 C08Ch	PORTC	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)
0008 C0C9h	PORT9	プルアップ抵抗コントロールレジスタ	PCR (注6、注7)	8	8	2～3PCLK (注8)
0008 C0CAh	PORTA	プルアップ抵抗コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 C0CBh	PORTB	プルアップ抵抗コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 C0CCh	PORTC	プルアップ抵抗コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 C0CDh	PORTD	プルアップ抵抗コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 C0CEh	PORTE	プルアップ抵抗コントロールレジスタ	PCR (注7)	8	8	2～3PCLK (注8)
0008 C0D0h	PORTG	プルアップ抵抗コントロールレジスタ	PCR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C100h	IOPORT	ポートファンクションレジスタ0	PF0CSE	8	8	2～3PCLK (注8)
0008 C101h	IOPORT	ポートファンクションレジスタ1	PF1CSS (注6、注7)	8	8	2～3PCLK (注8)
0008 C102h	IOPORT	ポートファンクションレジスタ2	PF2CSS (注6、注7)	8	8	2～3PCLK (注8)
0008 C103h	IOPORT	ポートファンクションレジスタ3	PF3BUS	8	8	2～3PCLK (注8)
0008 C104h	IOPORT	ポートファンクションレジスタ4	PF4BUS	8	8	2～3PCLK (注8)
0008 C105h	IOPORT	ポートファンクションレジスタ5	PF5BUS	8	8	2～3PCLK (注8)
0008 C106h	IOPORT	ポートファンクションレジスタ6	PF6BUS	8	8	2～3PCLK (注8)
0008 C107h	IOPORT	ポートファンクションレジスタ7	PF7DMA	8	8	2～3PCLK (注8)
0008 C108h	IOPORT	ポートファンクションレジスタ8	PF8IRQ	8	8	2～3PCLK (注8)
0008 C109h	IOPORT	ポートファンクションレジスタ9	PF9IRQ	8	8	2～3PCLK (注8)
0008 C10Ah	IOPORT	ポートファンクションレジスタA	PFAADC	8	8	2～3PCLK (注8)
0008 C10Bh	IOPORT	ポートファンクションレジスタB	PFBTMR	8	8	2～3PCLK (注8)
0008 C10Ch	IOPORT	ポートファンクションレジスタC	PFCMTU	8	8	2～3PCLK (注8)
0008 C10Dh	IOPORT	ポートファンクションレジスタD	PFDMTU	8	8	2～3PCLK (注8)
0008 C10Eh	IOPORT	ポートファンクションレジスタE	PFENET	8	8	2～3PCLK (注8)
0008 C10Fh	IOPORT	ポートファンクションレジスタF	PFFSCI	8	8	2～3PCLK (注8)
0008 C110h	IOPORT	ポートファンクションレジスタG	PFGSPI	8	8	2～3PCLK (注8)
0008 C111h	IOPORT	ポートファンクションレジスタH	PFHSPI	8	8	2～3PCLK (注8)
0008 C113h	IOPORT	ポートファンクションレジスタJ	PFJCAN	8	8	2～3PCLK (注8)
0008 C114h	IOPORT	ポートファンクションレジスタK	PFKUSB	8	8	2～3PCLK (注8)

表5.1 I/O レジスタアドレス一覧 (34 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 C115h	IOPORT	ポートファンクションレジスタL	PFLUSB (注6、注7)	8	8	2～3PCLK (注8)
0008 C116h	IOPORT	ポートファンクションレジスタM	PFMPOE (注7)	8	8	2～3PCLK (注8)
0008 C117h	IOPORT	ポートファンクションレジスタN	PFNPOE (注7)	8	8	2～3PCLK (注8)
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4～5PCLK (注8)
0008 C281h	SYSTEM	ディープスタンバイウェイトコントロールレジスタ	DPSWCR	8	8	4～5PCLK (注8)
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ	DPSIER	8	8	4～5PCLK (注8)
0008 C283h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ	DPSIFR	8	8	4～5PCLK (注8)
0008 C284h	SYSTEM	ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	8	8	4～5PCLK (注8)
0008 C285h	SYSTEM	リセットステータスレジスタ	RSTSR	8	8	4～5PCLK (注8)
0008 C289h	FLASH	フラッシュライトイレースプロテクトレジスタ	FWEPROR	8	8	4～5PCLK (注8)
0008 C28Ah	SYSTEM	サブクロック発振器コントロールレジスタ	SUBOSCCR	8	8	4～5PCLK (注8)
0008 C28Ch	SYSTEM	低電圧検出コントロール用キーコードレジスタ	LVDKEYR	8	8	4～5PCLK (注8)
0008 C28Dh	SYSTEM	低電圧検出コントロールレジスタ	LVDCR	8	8	4～5PCLK (注8)
0008 C290h	SYSTEM	ディープスタンバイバックアップレジスタ0	DPSBKR0	8	8	4～5PCLK (注8)
0008 C291h	SYSTEM	ディープスタンバイバックアップレジスタ1	DPSBKR1	8	8	4～5PCLK (注8)
0008 C292h	SYSTEM	ディープスタンバイバックアップレジスタ2	DPSBKR2	8	8	4～5PCLK (注8)
0008 C293h	SYSTEM	ディープスタンバイバックアップレジスタ3	DPSBKR3	8	8	4～5PCLK (注8)
0008 C294h	SYSTEM	ディープスタンバイバックアップレジスタ4	DPSBKR4	8	8	4～5PCLK (注8)
0008 C295h	SYSTEM	ディープスタンバイバックアップレジスタ5	DPSBKR5	8	8	4～5PCLK (注8)
0008 C296h	SYSTEM	ディープスタンバイバックアップレジスタ6	DPSBKR6	8	8	4～5PCLK (注8)
0008 C297h	SYSTEM	ディープスタンバイバックアップレジスタ7	DPSBKR7	8	8	4～5PCLK (注8)
0008 C298h	SYSTEM	ディープスタンバイバックアップレジスタ8	DPSBKR8	8	8	4～5PCLK (注8)
0008 C299h	SYSTEM	ディープスタンバイバックアップレジスタ9	DPSBKR9	8	8	4～5PCLK (注8)
0008 C29Ah	SYSTEM	ディープスタンバイバックアップレジスタ10	DPSBKR10	8	8	4～5PCLK (注8)
0008 C29Bh	SYSTEM	ディープスタンバイバックアップレジスタ11	DPSBKR11	8	8	4～5PCLK (注8)
0008 C29Ch	SYSTEM	ディープスタンバイバックアップレジスタ12	DPSBKR12	8	8	4～5PCLK (注8)
0008 C29Dh	SYSTEM	ディープスタンバイバックアップレジスタ13	DPSBKR13	8	8	4～5PCLK (注8)
0008 C29Eh	SYSTEM	ディープスタンバイバックアップレジスタ14	DPSBKR14	8	8	4～5PCLK (注8)
0008 C29Fh	SYSTEM	ディープスタンバイバックアップレジスタ15	DPSBKR15	8	8	4～5PCLK (注8)
0008 C2A0h	SYSTEM	ディープスタンバイバックアップレジスタ16	DPSBKR16	8	8	4～5PCLK (注8)

表5.1　I/O レジスタアドレス一覧 (35 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 C2A1h	SYSTEM	ディープスタンバイバックアップレジスタ 17	DPSBKR17	8	8	4～5PCLK (注8)
0008 C2A2h	SYSTEM	ディープスタンバイバックアップレジスタ 18	DPSBKR18	8	8	4～5PCLK (注8)
0008 C2A3h	SYSTEM	ディープスタンバイバックアップレジスタ 19	DPSBKR19	8	8	4～5PCLK (注8)
0008 C2A4h	SYSTEM	ディープスタンバイバックアップレジスタ 20	DPSBKR20	8	8	4～5PCLK (注8)
0008 C2A5h	SYSTEM	ディープスタンバイバックアップレジスタ 21	DPSBKR21	8	8	4～5PCLK (注8)
0008 C2A6h	SYSTEM	ディープスタンバイバックアップレジスタ 22	DPSBKR22	8	8	4～5PCLK (注8)
0008 C2A7h	SYSTEM	ディープスタンバイバックアップレジスタ 23	DPSBKR23	8	8	4～5PCLK (注8)
0008 C2A8h	SYSTEM	ディープスタンバイバックアップレジスタ 24	DPSBKR24	8	8	4～5PCLK (注8)
0008 C2A9h	SYSTEM	ディープスタンバイバックアップレジスタ 25	DPSBKR25	8	8	4～5PCLK (注8)
0008 C2AAh	SYSTEM	ディープスタンバイバックアップレジスタ 26	DPSBKR26	8	8	4～5PCLK (注8)
0008 C2ABh	SYSTEM	ディープスタンバイバックアップレジスタ 27	DPSBKR27	8	8	4～5PCLK (注8)
0008 C2ACh	SYSTEM	ディープスタンバイバックアップレジスタ 28	DPSBKR28	8	8	4～5PCLK (注8)
0008 C2ADh	SYSTEM	ディープスタンバイバックアップレジスタ 29	DPSBKR29	8	8	4～5PCLK (注8)
0008 C2AEh	SYSTEM	ディープスタンバイバックアップレジスタ 30	DPSBKR30	8	8	4～5PCLK (注8)
0008 C2AFh	SYSTEM	ディープスタンバイバックアップレジスタ 31	DPSBKR31	8	8	4～5PCLK (注8)
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2～3PCLK (注8)
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2～3PCLK (注8)
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2～3PCLK (注8)
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2～3PCLK (注8)
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2～3PCLK (注8)
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2～3PCLK (注8)
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2～3PCLK (注8)
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2～3PCLK (注8)
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2～3PCLK (注8)
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2～3PCLK (注8)
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2～3PCLK (注8)
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2～3PCLK (注8)
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2～3PCLK (注8)
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2～3PCLK (注8)
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2～3PCLK (注8)

表5.1 I/Oレジスタアドレス一覧 (36 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 C41Eh	RTC	年アラームイネーブルレジスタ	RYRAREN	8	8	2～3PCLK (注8)
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2～3PCLK (注8)
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2～3PCLK (注8)
0009 0200h～0009 03FFh	CAN0	メールボックスレジスタ0～31	MB0～31	128	8、16、32	2～3PCLK (注8)
0009 0400h	CAN0	マスクレジスタ0	MKR0	32	8、16、32	2～3PCLK (注8)
0009 0404h	CAN0	マスクレジスタ1	MKR1	32	8、16、32	2～3PCLK (注8)
0009 0408h	CAN0	マスクレジスタ2	MKR2	32	8、16、32	2～3PCLK (注8)
0009 040Ch	CAN0	マスクレジスタ3	MKR3	32	8、16、32	2～3PCLK (注8)
0009 0410h	CAN0	マスクレジスタ4	MKR4	32	8、16、32	2～3PCLK (注8)
0009 0414h	CAN0	マスクレジスタ5	MKR5	32	8、16、32	2～3PCLK (注8)
0009 0418h	CAN0	マスクレジスタ6	MKR6	32	8、16、32	2～3PCLK (注8)
0009 041Ch	CAN0	マスクレジスタ7	MKR7	32	8、16、32	2～3PCLK (注8)
0009 0420h	CAN0	FIFO受信ID比較レジスタ0	FIDCR0	32	8、16、32	2～3PCLK (注8)
0009 0424h	CAN0	FIFO受信ID比較レジスタ1	FIDCR1	32	8、16、32	2～3PCLK (注8)
0009 0428h	CAN0	マスク無効レジスタ	MKIVLR	32	8、16、32	2～3PCLK (注8)
0009 042Ch	CAN0	メールボックス割り込み許可レジスタ	MIER	32	8、16、32	2～3PCLK (注8)
0009 0820h～0009 083Fh	CAN0	メッセージ制御レジスタ0～31	MCTL0～31	8	8	2～3PCLK (注8)
0009 0840h	CAN0	制御レジスタ	CTLR	16	8、16	2～3PCLK (注8)
0009 0842h	CAN0	ステータスレジスタ	STR	16	8、16	2～3PCLK (注8)
0009 0844h	CAN0	ビットコンフィグレーションレジスタ	BCR	32	8、16、32	2～3PCLK (注8)
0009 0848h	CAN0	受信FIFO制御レジスタ	RFCR	8	8	2～3PCLK (注8)
0009 0849h	CAN0	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2～3PCLK (注8)
0009 084Ah	CAN0	送信FIFO制御レジスタ	TFCR	8	8	2～3PCLK (注8)
0009 084Bh	CAN0	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2～3PCLK (注8)
0009 084Ch	CAN0	エラー割り込み許可レジスタ	EIER	8	8	2～3PCLK (注8)
0009 084Dh	CAN0	エラー割り込み要因判定レジスタ	EIFR	8	8	2～3PCLK (注8)
0009 084Eh	CAN0	受信エラーカウントレジスタ	RECR	8	8	2～3PCLK (注8)
0009 084Fh	CAN0	送信エラーカウントレジスタ	TECR	8	8	2～3PCLK (注8)
0009 0850h	CAN0	エラーコード格納レジスタ	ECSR	8	8	2～3PCLK (注8)
0009 0851h	CAN0	チャネルサーチサポートレジスタ	CSSR	8	8	2～3PCLK (注8)

表5.1　I/O レジスタアドレス一覧 (37 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0009 0852h	CAN0	メールボックスサーチステータスレジスタ	MSSR	8	8	2～3PCLK（注8）
0009 0853h	CAN0	メールボックスサーチモードレジスタ	MSMR	8	8	2～3PCLK（注8）
0009 0854h	CAN0	タイムスタンプレジスタ	TSR	16	8、16	2～3PCLK（注8）
0009 0856h	CAN0	アクセプタンスフィルタサポートレジスタ	AFSR	16	8、16	2～3PCLK（注8）
0009 0858h	CAN0	テスト制御レジスタ	TCR	8	8	2～3PCLK（注8）
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3～4PCLK（注8）
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLK以上（注9）
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLK以上（注9）
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8、16	3～4PCLK（注8）
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8、16	3～4PCLK（注8）
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8、16	3～4PCLK（注8）
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3～4PCLK（注8）
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3～4PCLK（注8）
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3～4PCLK（注8）
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3～4PCLK（注8）
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3～4PCLK（注8）
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3～4PCLK（注8）
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLK以上（注9）
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLK以上（注9）
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLK以上（注9）
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLK以上（注9）
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLK以上（注9）
000A 003Ch	USB0	SOF出力コンフィグレーションレジスタ	SOFCFG	16	16	9PCLK以上（注9）
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLK以上（注9）
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLK以上（注9）
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLK以上（注9）
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLK以上（注9）
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLK以上（注9）
000A 004Ch	USB0	フレームナンバーレジスタ	FRMNUM	16	16	9PCLK以上（注9）
000A 004Eh	USB0	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLK以上（注9）

表5.1 I/O レジスタアドレス一覧 (38 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
000A 0050h	USB0	USBアドレスレジスタ	USBADDR	16	16	9PCLK以上（注9）
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLK以上（注9）
000A 0056h	USB0	USBリクエストバリューレジスタ	USBVAL	16	16	9PCLK以上（注9）
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLK以上（注9）
000A 005Ah	USB0	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLK以上（注9）
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLK以上（注9）
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLK以上（注9）
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLK以上（注9）
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLK以上（注9）
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLK以上（注9）
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLK以上（注9）
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLK以上（注9）
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLK以上（注9）
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLK以上（注9）
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLK以上（注9）
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLK以上（注9）
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLK以上（注9）
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLK以上（注9）
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLK以上（注9）
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLK以上（注9）
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLK以上（注9）
000A 0090h	USB0	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLK以上（注9）
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLK以上（注9）
000A 0094h	USB0	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLK以上（注9）
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLK以上（注9）
000A 0098h	USB0	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLK以上（注9）
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLK以上（注9）
000A 009Ch	USB0	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLK以上（注9）
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLK以上（注9）
000A 00A0h	USB0	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLK以上（注9）

表5.1 I/Oレジスタアドレス一覧 (39 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLK以上（注9）
000A 00D0h	USB0	デバイスアドレス0コンフィグレーションレジスタ	DEVADD0	16	16	9PCLK以上（注9）
000A 00D2h	USB0	デバイスアドレス1コンフィグレーションレジスタ	DEVADD1	16	16	9PCLK以上（注9）
000A 00D4h	USB0	デバイスアドレス2コンフィグレーションレジスタ	DEVADD2	16	16	9PCLK以上（注9）
000A 00D6h	USB0	デバイスアドレス3コンフィグレーションレジスタ	DEVADD3	16	16	9PCLK以上（注9）
000A 00D8h	USB0	デバイスアドレス4コンフィグレーションレジスタ	DEVADD4	16	16	9PCLK以上（注9）
000A 00DAh	USB0	デバイスアドレス5コンフィグレーションレジスタ	DEVADD5	16	16	9PCLK以上（注9）
000A 0200h	USB1	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3～4PCLK（注8）
000A 0204h	USB1	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLK以上（注9）
000A 0208h	USB1	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLK以上（注9）
000A 0214h	USB1	CFIFOポートレジスタ	CFIFO	16	8、16	3～4PCLK（注8）
000A 0218h	USB1	D0FIFOポートレジスタ	D0FIFO	16	8、16	3～4PCLK（注8）
000A 021Ch	USB1	D1FIFOポートレジスタ	D1FIFO	16	8、16	3～4PCLK（注8）
000A 0220h	USB1	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3～4PCLK（注8）
000A 0222h	USB1	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3～4PCLK（注8）
000A 0228h	USB1	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3～4PCLK（注8）
000A 022Ah	USB1	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3～4PCLK（注8）
000A 022Ch	USB1	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3～4PCLK（注8）
000A 022Eh	USB1	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3～4PCLK（注8）
000A 0230h	USB1	割り込み許可レジスタ0	INTENB0	16	16	9PCLK以上（注9）
000A 0232h	USB1	割り込み許可レジスタ1	INTENB1	16	16	9PCLK以上（注9）
000A 0236h	USB1	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLK以上（注9）
000A 0238h	USB1	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLK以上（注9）
000A 023Ah	USB1	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLK以上（注9）
000A 023Ch	USB1	SOF出力コンフィグレーションレジスタ	SOFCFG	16	16	9PCLK以上（注9）
000A 0240h	USB1	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLK以上（注9）
000A 0242h	USB1	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLK以上（注9）
000A 0246h	USB1	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLK以上（注9）
000A 0248h	USB1	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLK以上（注9）
000A 024Ah	USB1	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLK以上（注9）

表5.1 I/O レジスタアドレス一覧 (40 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
000A 024Ch	USB1	フレームナンバーレジスタ	FRMNUM	16	16	9PCLK 以上（注9）
000A 024Eh	USB1	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLK 以上（注9）
000A 0250h	USB1	USBアドレスレジスタ	USBADDR	16	16	9PCLK 以上（注9）
000A 0254h	USB1	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLK 以上（注9）
000A 0256h	USB1	USBリクエストバリューレジスタ	USBVAL	16	16	9PCLK 以上（注9）
000A 0258h	USB1	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLK 以上（注9）
000A 025Ah	USB1	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLK 以上（注9）
000A 025Ch	USB1	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLK 以上（注9）
000A 025Eh	USB1	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLK 以上（注9）
000A 0260h	USB1	DCPコントロールレジスタ	DCPCTR	16	16	9PCLK 以上（注9）
000A 0264h	USB1	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLK 以上（注9）
000A 0268h	USB1	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLK 以上（注9）
000A 026Ch	USB1	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLK 以上（注9）
000A 026Eh	USB1	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLK 以上（注9）
000A 0270h	USB1	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLK 以上（注9）
000A 0272h	USB1	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLK 以上（注9）
000A 0274h	USB1	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLK 以上（注9）
000A 0276h	USB1	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLK 以上（注9）
000A 0278h	USB1	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLK 以上（注9）
000A 027Ah	USB1	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLK 以上（注9）
000A 027Ch	USB1	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLK 以上（注9）
000A 027Eh	USB1	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLK 以上（注9）
000A 0280h	USB1	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLK 以上（注9）
000A 0290h	USB1	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLK 以上（注9）
000A 0292h	USB1	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLK 以上（注9）
000A 0294h	USB1	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLK 以上（注9）
000A 0296h	USB1	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLK 以上（注9）
000A 0298h	USB1	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLK 以上（注9）
000A 029Ah	USB1	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLK 以上（注9）
000A 029Ch	USB1	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLK 以上（注9）

表5.1　I/O レジスタアドレス一覧 (41 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
000A 029Eh	USB1	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLK以上（注9）
000A 02A0h	USB1	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLK以上（注9）
000A 02A2h	USB1	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLK以上（注9）
000A 02D0h	USB1	デバイスアドレス0コンフィグレーションレジスタ	DEVADD0	16	16	9PCLK以上（注9）
000A 02D2h	USB1	デバイスアドレス1コンフィグレーションレジスタ	DEVADD1	16	16	9PCLK以上（注9）
000A 02D4h	USB1	デバイスアドレス2コンフィグレーションレジスタ	DEVADD2	16	16	9PCLK以上（注9）
000A 02D6h	USB1	デバイスアドレス3コンフィグレーションレジスタ	DEVADD3	16	16	9PCLK以上（注9）
000A 02D8h	USB1	デバイスアドレス4コンフィグレーションレジスタ	DEVADD4	16	16	9PCLK以上（注9）
000A 02DAh	USB1	デバイスアドレス5コンフィグレーションレジスタ	DEVADD5	16	16	9PCLK以上（注9）
000A 0400h	USB	ディープスタンバイUSBトランシーバ制御／端子モニタレジスタ	DPUSR0R	32	32	1～2PCLK（注8）
000A 0404h	USB	ディープスタンバイUSBサスペンド／レジューム割り込みレジスタ	DPUSR1R	32	32	1～2PCLK（注8）
000C 0000h	EDMAC	EDMACモードレジスタ	EDMR	32	32	4～5ICLK
000C 0008h	EDMAC	EDMAC送信要求レジスタ	EDTRR	32	32	4～5ICLK
000C 0010h	EDMAC	EDMAC受信要求レジスタ	EDRRR	32	32	4～5ICLK
000C 0018h	EDMAC	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	32	32	4～5ICLK
000C 0020h	EDMAC	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	32	32	4～5ICLK
000C 0028h	EDMAC	ETHERC/EDMACステータスレジスタ	EESR	32	32	4～5ICLK
000C 0030h	EDMAC	ETHERC/EDMACステータス割り込み許可レジスタ	EESIPR	32	32	4～5ICLK
000C 0038h	EDMAC	送受信ステータスコピー指示レジスタ	TRSCER	32	32	4～5ICLK
000C 0040h	EDMAC	ミスドフレームカウンタレジスタ	RMFCR	32	32	4～5ICLK
000C 0048h	EDMAC	送信FIFOしきい値指定レジスタ	TFTR	32	32	4～5ICLK
000C 0050h	EDMAC	FIFO容量指定レジスタ	FDR	32	32	4～5ICLK
000C 0058h	EDMAC	受信方式制御レジスタ	RMCR	32	32	4～5ICLK
000C 0064h	EDMAC	送信FIFOアンダランカウント	TFUCR	32	32	4～5ICLK
000C 0068h	EDMAC	受信FIFOオーバフローカウント	RFOCR	32	32	4～5ICLK
000C 006Ch	EDMAC	個別出力信号設定レジスタ	IOSR	32	32	4～5ICLK
000C 0070h	EDMAC	フロー制御開始FIFOしきい値設定レジスタ	FCFTR	32	32	4～5ICLK
000C 0078h	EDMAC	受信データパディング挿入設定レジスタ	RPADIR	32	32	4～5ICLK
000C 007Ch	EDMAC	送信割り込み設定レジスタ	TRIMD	32	32	4～5ICLK
000C 00C8h	EDMAC	受信バッファライトアドレスレジスタ	RBWAR	32	32	4～5ICLK
000C 00CCh	EDMAC	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	32	32	4～5ICLK
000C 00D4h	EDMAC	送信バッファリードアドレスレジスタ	TBRAR	32	32	4～5ICLK
000C 00D8h	EDMAC	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	32	32	4～5ICLK
000C 0100h	ETHERC	ETHERCモードレジスタ	ECMR	32	32	4～5ICLK
000C 0108h	ETHERC	受信フレーム長上限レジスタ	RFLR	32	32	4～5ICLK
000C 0110h	ETHERC	ETHERCステータスレジスタ	ECSR	32	32	4～5ICLK
000C 0118h	ETHERC	ETHERC割り込み許可レジスタ	ECSIPR	32	32	4～5ICLK
000C 0120h	ETHERC	PHY部インタフェースレジスタ	PIR	32	32	4～5ICLK
000C 0128h	ETHERC	PHY部ステータスレジスタ	PSR	32	32	4～5ICLK
000C 0140h	ETHERC	乱数生成カウンタ上限値設定レジスタ	RDMLR	32	32	4～5ICLK
000C 0150h	ETHERC	IPG設定レジスタ	IPGR	32	32	4～5ICLK
000C 0154h	ETHERC	自動PAUSEフレーム設定レジスタ	APR	32	32	4～5ICLK

表5.1　I/O レジスタアドレス一覧 (42 / 43)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
000C 0158h	ETHERC	手動PAUSEフレーム設定レジスタ	MPR	32	32	4～5ICLK
000C 0160h	ETHERC	受信PAUSEフレームカウンタ	RFCF	32	32	4～5ICLK
000C 0164h	ETHERC	自動PAUSEフレーム再送回数設定レジスタ	TPAUSER	32	32	4～5ICLK
000C 0168h	ETHERC	PAUSEフレーム再送回数カウンタ	TPAUSECR	32	32	4～5ICLK
000C 016Ch	ETHERC	Broadcastフレーム受信回数設定レジスタ	BCFRR	32	32	4～5ICLK
000C 01C0h	ETHERC	MACアドレス上位設定レジスタ	MAHR	32	32	4～5ICLK
000C 01C8h	ETHERC	MACアドレス下位設定レジスタ	MALR	32	32	4～5ICLK
000C 01D0h	ETHERC	送信リトライオーバカウンタレジスタ	TROCR	32	32	4～5ICLK
000C 01D4h	ETHERC	遅延衝突検出カウンタレジスタ	CDCR	32	32	4～5ICLK
000C 01D8h	ETHERC	キャリア消失カウンタレジスタ	LCCR	32	32	4～5ICLK
000C 01DCh	ETHERC	キャリア未検出カウンタレジスタ	CNDCR	32	32	4～5ICLK
000C 01E4h	ETHERC	CRCエラーフレーム受信カウンタレジスタ	CEFCR	32	32	4～5ICLK
000C 01E8h	ETHERC	フレーム受信エラーカウンタレジスタ	FRECR	32	32	4～5ICLK
000C 01ECh	ETHERC	64バイト未満フレーム受信カウンタレジスタ	TSFRCR	32	32	4～5ICLK
000C 01F0h	ETHERC	指定バイト超フレーム受信カウンタレジスタ	TLFRCR	32	32	4～5ICLK
000C 01F4h	ETHERC	端数ビットフレーム受信カウンタレジスタ	RFCR	32	32	4～5ICLK
000C 01F8h	ETHERC	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	32	32	4～5ICLK
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2～3PCLK (注8)
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2～3PCLK (注8)
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2～3PCLK (注8)
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2～3PCLK (注8)
007F C440h	FLASH	データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2～3PCLK (注8)
007F C442h	FLASH	データフラッシュ読み出し許可レジスタ1	DFLRE1	16	16	2～3PCLK (注8)
007F C450h	FLASH	データフラッシュ書き込み／消去許可レジスタ0	DFLWE0	16	16	2～3PCLK (注8)
007F C452h	FLASH	データフラッシュ書き込み／消去許可レジスタ1	DFLWE1	16	16	2～3PCLK (注8)
007F C454h	FLASH	FCU RAMイネーブルレジスタ	FCURAME	16	16	2～3PCLK (注8)
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2～3PCLK (注8)
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2～3PCLK (注8)
007F FFB2h	FLASH	フラッシュ P/Eモードエントリレジスタ	FENTRYR	16	16	2～3PCLK (注8)
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2～3PCLK (注8)
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2～3PCLK (注8)
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2～3PCLK (注8)
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2～3PCLK (注8)
007F FFCAh	FLASH	データフラッシュブランクチェックレジスタ	DFLBCCNT	16	16	2～3PCLK (注8)
007F FFCCh	FLASH	フラッシュ P/Eステータスレジスタ	FPESTAT	16	16	2～3PCLK (注8)
007F FFCEh	FLASH	データフラッシュブランクチェック制御ステータスレジスタ	DFLBCSTAT	16	16	2～3PCLK (注8)

表5.1　I/O レジスタアドレス一覧 (43 / 43)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2～3PCLK (注8)

注1.　PPG0.PCRの設定により、パルス出力グループ2とパルス出力グループ3の出力トリガ設定値が同一の場合は、PPG0.NDRHのアドレスは0008 81EChとなります。出力トリガが異なる場合は、パルス出力グループ2に対応するPPG0.NDRH2のアドレスは0008 81EEh、出力グループ3に対応するPPG0.NDRHは0008 81EChとなります。
注2.　PPG0.PCRの設定により、パルス出力グループ0とパルス出力グループ1の出力トリガ設定値が同一の場合は、PPG0.NDRLのアドレスは0008 81EDhとなります。出力トリガが異なる場合は、パルス出力グループ0に対応するPPG0.NDRL2のアドレスは0008 81EFh、出力グループ1に対応するPPG0.NDRLは0008 81EDhとなります。
注3.　PPG1.PCRの設定により、パルス出力グループ6とパルス出力グループ7の出力トリガ設定値が同一の場合PPG1.NDRHのアドレスは0008 81FChとなります。出力トリガが異なる場合は、パルス出力グループ6に対応するPPG1.NDRH2のアドレスは0008 81FEh、出力グループ7に対応するPPG1.NDRHは0008 81FChとなります。
注4.　PPG1.PCRの設定により、パルス出力グループ4とパルス出力グループ5の出力トリガ設定値が同一の場合は、PPG1.NDRLのアドレスは0008 81FDhとなります。出力トリガが異なる場合は、パルス出力グループ4に対応するPPG1.NDRL2のアドレスは0008 81FFh、出力グループ5に対応するPPG1.NDRLは0008 81FDhとなります。
注5.　145ピンTFLGA版および144ピンLQFP版ではサポートしていません。
注6.　100ピンLQFP版ではサポートしていません。
注7.　85ピンTFLGA版ではサポートしていません。
注8.　分周クロック同期化サイクル（0～1PCLK, 0～1BCLK）により変動します。
注9.　USB動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

5.2 I/O レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。
16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

表5.2 I/O レジスタビット一覧 (1 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SYSTEM	MDMONR	–	–	–	–	–	–	–	–
		MDE	–	–	–	–	–	MD1	MD0
SYSTEM	MDSR	–	–	–	–	–	–	–	–
		–	UBTS	–	BOTS	BSW[1:0]		EXB	IROM
SYSTEM	SYSCR0	KEY[7:0]							
		–	–	–	–	–	–	EXBE	ROME
SYSTEM	SYSCR1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	RAME
SYSTEM	SBYCR	SSBY	OPE	–	STS[4:0]				
		–	–	–	–	–	–	–	–
SYSTEM	MSTPCRA	ACSE	–	MSTPA29	MSTPA28	–	–	–	–
		MSTPA23	MSTPA22	–	–	MSTPA19	–	MSTPA17	–
		MSTPA15	MSTPA14	–	–	MSTPA11	MSTPA10	MSTPA9	MSTPA8
		–	–	MSTPA5	MSTPA4	–	–	–	–
SYSTEM	MSTPCRB	MSTPB31	MSTPB30	MSTPB29	MSTPB28	–	MSTPB26	MSTPB25	–
		MSTPB23	–	MSTPB21	MSTPB20	MSTPB19	MSTPB18	MSTPB17	MSTPB16
		MSTPB15	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	MSTPB0
SYSTEM	MSTPCRC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	MSTPC1	MSTPC0
SYSTEM	SCKCR	–	–	–	–	ICK[3:0]			
		PSTOP1	PSTOP0	–	–	BCK[3:0]			
		–	–	–	–	PCK[3:0]			
		–	–	–	–	–	–	–	–
SYSTEM	BCKCR	–	–	–	–	–	–	–	BCLKDIV
SYSTEM	OSTDCR	KEY[7:0]							
		OSTDE	OSTDF	–	–	–	–	–	–
BSC	BERCLR	–	–	–	–	–	–	–	STSCLR
BSC	BEREN	–	–	–	–	–	–	TOEN	IGAEN
BSC	BERSR1	–	MST[2:0]			–	–	TO	IA
BSC	BERSR2	ADDR[12:0]							
		ADDR[12:0]					–	–	–
DMAC0	DMSAR								
DMAC0	DMDAR								

表5.2 I/O レジスタビット一覧 (2 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC0	DMCRA	–	–	–	–	–	–		
DMAC0	DMCRB	–	–	–	–	–	–		
DMAC0	DMTMD	MD[1:0]		DTS[1:0]		–	–	SZ[1:0]	
		–	–	–	–	–	–	DCTG[1:0]	
DMAC0	DMINT	–	–	–	DTIE	ESIE	RPTIE	SARIE	DARIE
DMAC0	DMAMD	SM[1:0]		–	SARA[4:0]				
		DM[1:0]		–	DARA[4:0]				
DMAC0	DMOFR								
DMAC0	DMCNT	–	–	–	–	–	–	–	DTE
DMAC0	DMREQ	–	–	–	CLRS	–	–	–	SWREQ
DMAC0	DMSTS	ACT	–	–	DTIF	–	–	–	ESIF
DMAC0	DMCSL	–	–	–	–	–	–	–	DISEL
DMAC1	DMSAR								
DMAC1	DMDAR								
DMAC1	DMCRA	–	–	–	–	–	–		
DMAC1	DMCRB	–	–	–	–	–	–		
DMAC1	DMTMD	MD[1:0]		DTS[1:0]		–	–	SZ[1:0]	
		–	–	–	–	–	–	DCTG[1:0]	
DMAC1	DMINT	–	–	–	DTIE	ESIE	RPTIE	SARIE	DARIE
DMAC1	DMAMD	SM[1:0]		–	SARA[4:0]				
		DM[1:0]		–	DARA[4:0]				
DMAC1	DMCNT	–	–	–	–	–	–	–	DTE
DMAC1	DMREQ	–	–	–	CLRS	–	–	–	SWREQ
DMAC1	DMSTS	ACT	–	–	DTIF	–	–	–	ESIF
DMAC1	DMCSL	–	–	–	–	–	–	–	DISEL
DMAC2	DMSAR								

表5.2 I/O レジスタビット一覧 (3 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC2	DMDAR								
DMAC2	DMCRA	–	–	–	–	–	–		
DMAC2	DMCRB	–	–	–	–	–	–		
DMAC2	DMTMD	MD[1:0]		DTS[1:0]		–	–	SZ[1:0]	
		–	–	–	–	–	–	DCTG[1:0]	
DMAC2	DMINT	–	–	–	DTIE	ESIE	RPTIE	SARIE	DARIE
DMAC2	DMAMD	SM[1:0]		–	SARA[4:0]				
		DM[1:0]		–	DARA[4:0]				
DMAC2	DMCNT	–	–	–	–	–	–	–	DTE
DMAC2	DMREQ	–	–	–	CLRS	–	–	–	SWREQ
DMAC2	DMSTS	ACT	–	–	DTIF	–	–	–	ESIF
DMAC2	DMCSL	–	–	–	–	–	–	–	DISEL
DMAC3	DMSAR								
DMAC3	DMDAR								
DMAC3	DMCRA	–	–	–	–	–	–		
DMAC3	DMCRB	–	–	–	–	–	–		
DMAC3	DMTMD	MD[1:0]		DTS[1:0]		–	–	SZ[1:0]	
		–	–	–	–	–	–	DCTG[1:0]	
DMAC3	DMINT	–	–	–	DTIE	ESIE	RPTIE	SARIE	DARIE
DMAC3	DMAMD	SM[1:0]		–	SARA[4:0]				
		DM[1:0]		–	DARA[4:0]				
DMAC3	DMCNT	–	–	–	–	–	–	–	DTE
DMAC3	DMREQ	–	–	–	CLRS	–	–	–	SWREQ
DMAC3	DMSTS	ACT	–	–	DTIF	–	–	–	ESIF
DMAC3	DMCSL	–	–	–	–	–	–	–	DISEL
DMAC	DMAST	–	–	–	–	–	–	–	DMST
DTC	DTCCR	–	–	–	RRS	–	–	–	–
DTC	DTCVBR								

表5.2　I/O レジスタビット一覧 (4 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DTC	DTCADMOD	–	–	–	–	–	–	–	SHORT
DTC	DTCST	–	–	–	–	–	–	–	DTCST
DTC	DTCSTS	ACT	–	–	–	–	–	–	–
		VECN[7:0]							
EXDMAC0	EDMSAR								
EXDMAC0	EDMDAR								
EXDMAC0	EDMCRA	–	–	–	–	–	–		
EXDMAC0	EDMCRB	–	–	–	–	–	–		
EXDMAC0	EDMTMD	MD[1:0]		DTS[1:0]		–	–	SZ[1:0]	
		–	–	–	–	–	–	DCTG[1:0]	
EXDMAC0	EDMOMD	–	–	–	–	DACKS	DACKE	DACKW	–
EXDMAC0	EDMINT	–	–	–	DTIE	ESIE	RPTIE	SARIE	DARIE
EXDMAC0	EDMAMD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	AMS	DIR
		SM[1:0]		–	SARA[4:0]				
		DM[1:0]		–	DARA[4:0]				
EXDMAC0	EDMOFR								
EXDMAC0	EDMCNT	–	–	–	–	–	–	–	DTE
EXDMAC0	EDMREQ	–	–	–	CLRS	–	–	–	SWREQ
EXDMAC0	EDMSTS	ACT	–	–	DTIF	–	–	–	ESIF
EXDMAC0	EDMRMD	–	–	–	–	–	–	DREQS[1:0]	
EXDMAC0	EDMERF	–	–	–	–	–	–	–	EREQ
EXDMAC0	EDMPRF	–	–	–	–	–	–	–	PREQ
EXDMAC1	EDMSAR								
EXDMAC1	EDMDAR								
EXDMAC1	EDMCRA	–	–	–	–	–	–		

表5.2 I/O レジスタビット一覧 (5 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
EXDMAC1	EDMCRB	–	–	–	–	–	–		
EXDMAC1	EDMTMD	MD[1:0]		DTS[1:0]		–	–	SZ[1:0]	
		–	–	–	–	–	–	DCTG[1:0]	
EXDMAC1	EDMOMD	–	–	–	–	DACKS	DACKE	DACKW	–
EXDMAC1	EDMINT	–	–	–	DTIE	ESIE	RPTIE	SARIE	DARIE
EXDMAC1	EDMAMD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	AMS	DIR
		SM[1:0]		–	SARA[4:0]				
		DM[1:0]		–	DARA[4:0]				
EXDMAC1	EDMCNT	–	–	–	–	–	–	–	DTE
EXDMAC1	EDMREQ	–	–	–	CLRS	–	–	–	SWREQ
EXDMAC1	EDMSTS	ACT	–	–	DTIF	–	–	–	ESIF
EXDMAC1	EDMRMD	–	–	–	–	–	–	DREQS[1:0]	
EXDMAC1	EDMERF	–	–	–	–	–	–	–	EREQ
EXDMAC1	EDMPRF	–	–	–	–	–	–	–	PREQ
EXDMAC	EDMAST	–	–	–	–	–	–	–	DMST
EXDMAC	CLSBR0								
EXDMAC	CLSBR1								
EXDMAC	CLSBR2								
EXDMAC	CLSBR3								
EXDMAC	CLSBR4								
EXDMAC	CLSBR5								
EXDMAC	CLSBR6								
BSC	CS0MOD	PRMOD	–	–	–	–	–	PWENB	PRENB
		–	–	–	–	EWENB	–	–	WRMOD

表5.2 I/O レジスタビット一覧 (6 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS0WCR1	–	–	–	CSRWAIT[4:0]				
		–	–	–	CSWWAIT[4:0]				
		–	–	–	–	–	CSPRWAIT[2:0]		
		–	–	–	–	–	CSPWWAIT[2:0]		
BSC	CS0WCR2	–	CSON[2:0]			–	WDON[2:0]		
		–	WRON[2:0]			–	RDON[2:0]		
		–	–	–	–	–	WDOFF[2:0]		
		–	CSWOFF[2:0]			–	CSROFF[2:0]		
BSC	CS1MOD	PRMOD	–	–	–	–	–	PWENB	PRENB
		–	–	–	–	EWENB	–	–	WRMOD
BSC	CS1WCR1	–	–	–	CSRWAIT[4:0]				
		–	–	–	CSWWAIT[4:0]				
		–	–	–	–	–	CSPRWAIT[2:0]		
		–	–	–	–	–	CSPWWAIT[2:0]		
BSC	CS1WCR2	–	CSON[2:0]			–	WDON[2:0]		
		–	WRON[2:0]			–	RDON[2:0]		
		–	–	–	–	–	WDOFF[2:0]		
		–	CSWOFF[2:0]			–	CSROFF[2:0]		
BSC	CS2MOD	PRMOD	–	–	–	–	–	PWENB	PRENB
		–	–	–	–	EWENB	–	–	WRMOD
BSC	CS2WCR1	–	–	–	CSRWAIT[4:0]				
		–	–	–	CSWWAIT[4:0]				
		–	–	–	–	–	CSPRWAIT[2:0]		
		–	–	–	–	–	CSPWWAIT[2:0]		
BSC	CS2WCR2	–	CSON[2:0]			–	WDON[2:0]		
		–	WRON[2:0]			–	RDON[2:0]		
		–	–	–	–	–	WDOFF[2:0]		
		–	CSWOFF[2:0]			–	CSROFF[2:0]		
BSC	CS3MOD	PRMOD	–	–	–	–	–	PWENB	PRENB
		–	–	–	–	EWENB	–	–	WRMOD
BSC	CS3WCR1	–	–	–	CSRWAIT[4:0]				
		–	–	–	CSWWAIT[4:0]				
		–	–	–	–	–	CSPRWAIT[2:0]		
		–	–	–	–	–	CSPWWAIT[2:0]		
BSC	CS3WCR2	–	CSON[2:0]			–	WDON[2:0]		
		–	WRON[2:0]			–	RDON[2:0]		
		–	–	–	–	–	WDOFF[2:0]		
		–	CSWOFF[2:0]			–	CSROFF[2:0]		
BSC	CS4MOD	PRMOD	–	–	–	–	–	PWENB	PRENB
		–	–	–	–	EWENB	–	–	WRMOD
BSC	CS4WCR1	–	–	–	CSRWAIT[4:0]				
		–	–	–	CSWWAIT[4:0]				
		–	–	–	–	–	CSPRWAIT[2:0]		
		–	–	–	–	–	CSPWWAIT[2:0]		
BSC	CS4WCR2	–	CSON[2:0]			–	WDON[2:0]		
		–	WRON[2:0]			–	RDON[2:0]		
		–	–	–	–	–	WDOFF[2:0]		
		–	CSWOFF[2:0]			–	CSROFF[2:0]		

表5.2　I/O レジスタビット一覧 (7 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS5MOD	PRMOD	–	–	–	–	–	PWENB	PRENB
		–	–	–	–	EWENB	–	–	WRMOD
BSC	CS5WCR1	–	–	–	CSRWAIT[4:0]				
		–	–	–	CSWWAIT[4:0]				
		–	–	–	–	–	CSPRWAIT[2:0]		
		–	–	–	–	–	CSPWWAIT[2:0]		
BSC	CS5WCR2	–	CSON[2:0]			–	WDON[2:0]		
		–	WRON[2:0]			–	RDON[2:0]		
		–	–	–	–	–	WDOFF[2:0]		
		–	CSWOFF[2:0]			–	CSROFF[2:0]		
BSC	CS6MOD	PRMOD	–	–	–	–	–	PWENB	PRENB
		–	–	–	–	EWENB	–	–	WRMOD
BSC	CS6WCR1	–	–	–	CSRWAIT[4:0]				
		–	–	–	CSWWAIT[4:0]				
		–	–	–	–	–	CSPRWAIT[2:0]		
		–	–	–	–	–	CSPWWAIT[2:0]		
BSC	CS6WCR2	–	CSON[2:0]			–	WDON[2:0]		
		–	WRON[2:0]			–	RDON[2:0]		
		–	–	–	–	–	WDOFF[2:0]		
		–	CSWOFF[2:0]			–	CSROFF[2:0]		
BSC	CS7MOD	PRMOD	–	–	–	–	–	PWENB	PRENB
		–	–	–	–	EWENB	–	–	WRMOD
BSC	CS7WCR1	–	–	–	CSRWAIT[4:0]				
		–	–	–	CSWWAIT[4:0]				
		–	–	–	–	–	CSPRWAIT[2:0]		
		–	–	–	–	–	CSPWWAIT[2:0]		
BSC	CS7WCR2	–	CSON[2:0]			–	WDON[2:0]		
		–	WRON[2:0]			–	RDON[2:0]		
		–	–	–	–	–	WDOFF[2:0]		
		–	CSWOFF[2:0]			–	CSROFF[2:0]		
BSC	CS0CR	–	–	–	–	–	–	–	EMODE
		–	–	BSIZE[1:0]		–	–	–	EXENB
BSC	CS0REC	–	–	–	–	WRCV[3:0]			
		–	–	–	–	RRCV[3:0]			
BSC	CS1CR	–	–	–	–	–	–	–	EMODE
		–	–	BSIZE[1:0]		–	–	–	EXENB
BSC	CS1REC	–	–	–	–	WRCV[3:0]			
		–	–	–	–	RRCV[3:0]			
BSC	CS2CR	–	–	–	–	–	–	–	EMODE
		–	–	BSIZE[1:0]		–	–	–	EXENB
BSC	CS2REC	–	–	–	–	WRCV[3:0]			
		–	–	–	–	RRCV[3:0]			
BSC	CS3CR	–	–	–	–	–	–	–	EMODE
		–	–	BSIZE[1:0]		–	–	–	EXENB
BSC	CS3REC	–	–	–	–	WRCV[3:0]			
		–	–	–	–	RRCV[3:0]			
BSC	CS4CR	–	–	–	–	–	–	–	EMODE
		–	–	BSIZE[1:0]		–	–	–	EXENB

表5.2　I/O レジスタビット一覧 (8 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS4REC	–	–	–	–	WRCV[3:0]			
		–	–	–	–	RRCV[3:0]			
BSC	CS5CR	–	–	–	–	–	–	–	EMODE
		–	–	BSIZE[1:0]		–	–	–	EXENB
BSC	CS5REC	–	–	–	–	WRCV[3:0]			
		–	–	–	–	RRCV[3:0]			
BSC	CS6CR	–	–	–	–	–	–	–	EMODE
		–	–	BSIZE[1:0]		–	–	–	EXENB
BSC	CS6REC	–	–	–	–	WRCV[3:0]			
		–	–	–	–	RRCV[3:0]			
BSC	CS7CR	–	–	–	–	–	–	–	EMODE
		–	–	BSIZE[1:0]		–	–	–	EXENB
BSC	CS7REC	–	–	–	–	WRCV[3:0]			
		–	–	–	–	RRCV[3:0]			
BSC	SDCCR	–	–	BSIZE[1:0]		–	–	–	EXENB
BSC	SDCMOD	–	–	–	–	–	–	–	EMODE
BSC	SDAMOD	–	–	–	–	–	–	–	BE
BSC	SDSELF	–	–	–	–	–	–	–	SFEN
BSC	SDRFCR	REFW[3:0]				RFC[11:0]			
		RFC[11:0]							
BSC	SDRFEN	–	–	–	–	–	–	–	RFEN
BSC	SDICR	–	–	–	–	–	–	–	INIRQ
BSC	SDIR	–	–	–	–	–	PRC[2:0]		
		ARFC[3:0]				ARFI[3:0]			
BSC	SDADR	–	–	–	–	–	–	MXC[1:0]	
BSC	SDTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	RAS[2:0]		
		–	–	RCD[1:0]		RP[2:0]			WR
		–	–	–	–	–	CL[2:0]		
BSC	SDMOD	–	MR[14:0]						
		MR[14:0]							
BSC	SDSR	–	–	–	SRFST	INIST	–	–	MRSST
MPU	RSPAGE0	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				–	–	–	–
MPU	REPAGE0	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE1	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				–	–	–	–
MPU	REPAGE1	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V

表5.2 I/O レジスタビット一覧 (9 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MPU	RSPAGE2	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				–	–	–	–
MPU	REPAGE2	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE3	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				–	–	–	–
MPU	REPAGE3	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE4	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				–	–	–	–
MPU	REPAGE4	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE5	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				–	–	–	–
MPU	REPAGE5	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE6	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				–	–	–	–
MPU	REPAGE6	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE7	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				–	–	–	–
MPU	REPAGE7	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V

表5.2 I/O レジスタビット一覧 (10 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MPU	MPEN	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	MPEN
MPU	MPBAC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	UBAC[2:0]			–
MPU	MPECLR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	CLR
MPU	MPESTS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	DRW	DA	IA
MPU	MPDEA	DEA[31:0]							
		DEA[31:0]							
		DEA[31:0]							
		DEA[31:0]							
MPU	MPSA	SA[31:0]							
		SA[31:0]							
		SA[31:0]							
		SA[31:0]							
MPU	MPOPS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	S
MPU	MPOPI	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INV
MPU	MHITI	–	–	–	–	–	–	–	–
		HITI[7:0]							
		–	–	–	–	–	–	–	–
		–	–	–	–	UHACI[2:0]			–
MPU	MHITD	–	–	–	–	–	–	–	–
		HITD[7:0]							
		–	–	–	–	–	–	–	–
		–	–	–	–	UHACD[2:0]			–
ICU	IR016	–	–	–	–	–	–	–	IR
ICU	IR021	–	–	–	–	–	–	–	IR
ICU	IR023	–	–	–	–	–	–	–	IR
ICU	IR027	–	–	–	–	–	–	–	IR
ICU	IR028	–	–	–	–	–	–	–	IR
ICU	IR029	–	–	–	–	–	–	–	IR
ICU	IR030	–	–	–	–	–	–	–	IR
ICU	IR031	–	–	–	–	–	–	–	IR
ICU	IR032	–	–	–	–	–	–	–	IR
ICU	IR036	–	–	–	–	–	–	–	IR
ICU	IR037	–	–	–	–	–	–	–	IR
ICU	IR038	–	–	–	–	–	–	–	IR

表5.2 I/O レジスタビット一覧 (11 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR040	–	–	–	–	–	–	–	IR
ICU	IR041	–	–	–	–	–	–	–	IR
ICU	IR042	–	–	–	–	–	–	–	IR
ICU	IR044	–	–	–	–	–	–	–	IR
ICU	IR045	–	–	–	–	–	–	–	IR
ICU	IR046	–	–	–	–	–	–	–	IR
ICU	IR047	–	–	–	–	–	–	–	IR
ICU	IR048	–	–	–	–	–	–	–	IR
ICU	IR049	–	–	–	–	–	–	–	IR
ICU	IR050	–	–	–	–	–	–	–	IR
ICU	IR051	–	–	–	–	–	–	–	IR
ICU	IR056	–	–	–	–	–	–	–	IR
ICU	IR057	–	–	–	–	–	–	–	IR
ICU	IR058	–	–	–	–	–	–	–	IR
ICU	IR059	–	–	–	–	–	–	–	IR
ICU	IR060	–	–	–	–	–	–	–	IR
ICU	IR062	–	–	–	–	–	–	–	IR
ICU	IR063	–	–	–	–	–	–	–	IR
ICU	IR064	–	–	–	–	–	–	–	IR
ICU	IR065	–	–	–	–	–	–	–	IR
ICU	IR066	–	–	–	–	–	–	–	IR
ICU	IR067	–	–	–	–	–	–	–	IR
ICU	IR068	–	–	–	–	–	–	–	IR
ICU	IR069	–	–	–	–	–	–	–	IR
ICU	IR070	–	–	–	–	–	–	–	IR
ICU	IR071	–	–	–	–	–	–	–	IR
ICU	IR072	–	–	–	–	–	–	–	IR
ICU	IR073	–	–	–	–	–	–	–	IR
ICU	IR074	–	–	–	–	–	–	–	IR
ICU	IR075	–	–	–	–	–	–	–	IR
ICU	IR076	–	–	–	–	–	–	–	IR
ICU	IR077	–	–	–	–	–	–	–	IR
ICU	IR078	–	–	–	–	–	–	–	IR
ICU	IR079	–	–	–	–	–	–	–	IR
ICU	IR090	–	–	–	–	–	–	–	IR
ICU	IR091	–	–	–	–	–	–	–	IR
ICU	IR092	–	–	–	–	–	–	–	IR
ICU	IR096	–	–	–	–	–	–	–	IR
ICU	IR098	–	–	–	–	–	–	–	IR
ICU	IR099	–	–	–	–	–	–	–	IR
ICU	IR102	–	–	–	–	–	–	–	IR
ICU	IR114	–	–	–	–	–	–	–	IR
ICU	IR115	–	–	–	–	–	–	–	IR
ICU	IR116	–	–	–	–	–	–	–	IR
ICU	IR117	–	–	–	–	–	–	–	IR
ICU	IR118	–	–	–	–	–	–	–	IR
ICU	IR119	–	–	–	–	–	–	–	IR
ICU	IR120	–	–	–	–	–	–	–	IR

表5.2 I/O レジスタビット一覧 (12 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR121	–	–	–	–	–	–	–	IR
ICU	IR122	–	–	–	–	–	–	–	IR
ICU	IR123	–	–	–	–	–	–	–	IR
ICU	IR124	–	–	–	–	–	–	–	IR
ICU	IR125	–	–	–	–	–	–	–	IR
ICU	IR126	–	–	–	–	–	–	–	IR
ICU	IR127	–	–	–	–	–	–	–	IR
ICU	IR128	–	–	–	–	–	–	–	IR
ICU	IR129	–	–	–	–	–	–	–	IR
ICU	IR130	–	–	–	–	–	–	–	IR
ICU	IR131	–	–	–	–	–	–	–	IR
ICU	IR132	–	–	–	–	–	–	–	IR
ICU	IR133	–	–	–	–	–	–	–	IR
ICU	IR134	–	–	–	–	–	–	–	IR
ICU	IR135	–	–	–	–	–	–	–	IR
ICU	IR136	–	–	–	–	–	–	–	IR
ICU	IR137	–	–	–	–	–	–	–	IR
ICU	IR138	–	–	–	–	–	–	–	IR
ICU	IR139	–	–	–	–	–	–	–	IR
ICU	IR140	–	–	–	–	–	–	–	IR
ICU	IR141	–	–	–	–	–	–	–	IR
ICU	IR142	–	–	–	–	–	–	–	IR
ICU	IR143	–	–	–	–	–	–	–	IR
ICU	IR144	–	–	–	–	–	–	–	IR
ICU	IR145	–	–	–	–	–	–	–	IR
ICU	IR146	–	–	–	–	–	–	–	IR
ICU	IR147	–	–	–	–	–	–	–	IR
ICU	IR148	–	–	–	–	–	–	–	IR
ICU	IR149	–	–	–	–	–	–	–	IR
ICU	IR150	–	–	–	–	–	–	–	IR
ICU	IR151	–	–	–	–	–	–	–	IR
ICU	IR152	–	–	–	–	–	–	–	IR
ICU	IR153	–	–	–	–	–	–	–	IR
ICU	IR154	–	–	–	–	–	–	–	IR
ICU	IR155	–	–	–	–	–	–	–	IR
ICU	IR156	–	–	–	–	–	–	–	IR
ICU	IR157	–	–	–	–	–	–	–	IR
ICU	IR158	–	–	–	–	–	–	–	IR
ICU	IR159	–	–	–	–	–	–	–	IR
ICU	IR160	–	–	–	–	–	–	–	IR
ICU	IR161	–	–	–	–	–	–	–	IR
ICU	IR162	–	–	–	–	–	–	–	IR
ICU	IR163	–	–	–	–	–	–	–	IR
ICU	IR164	–	–	–	–	–	–	–	IR
ICU	IR165	–	–	–	–	–	–	–	IR
ICU	IR166	–	–	–	–	–	–	–	IR
ICU	IR167	–	–	–	–	–	–	–	IR
ICU	IR168	–	–	–	–	–	–	–	IR

表5.2 I/O レジスタビット一覧 (13 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR169	–	–	–	–	–	–	–	IR
ICU	IR170	–	–	–	–	–	–	–	IR
ICU	IR171	–	–	–	–	–	–	–	IR
ICU	IR172	–	–	–	–	–	–	–	IR
ICU	IR173	–	–	–	–	–	–	–	IR
ICU	IR174	–	–	–	–	–	–	–	IR
ICU	IR175	–	–	–	–	–	–	–	IR
ICU	IR176	–	–	–	–	–	–	–	IR
ICU	IR177	–	–	–	–	–	–	–	IR
ICU	IR178	–	–	–	–	–	–	–	IR
ICU	IR179	–	–	–	–	–	–	–	IR
ICU	IR180	–	–	–	–	–	–	–	IR
ICU	IR181	–	–	–	–	–	–	–	IR
ICU	IR182	–	–	–	–	–	–	–	IR
ICU	IR183	–	–	–	–	–	–	–	IR
ICU	IR184	–	–	–	–	–	–	–	IR
ICU	IR185	–	–	–	–	–	–	–	IR
ICU	IR198	–	–	–	–	–	–	–	IR
ICU	IR199	–	–	–	–	–	–	–	IR
ICU	IR200	–	–	–	–	–	–	–	IR
ICU	IR201	–	–	–	–	–	–	–	IR
ICU	IR202	–	–	–	–	–	–	–	IR
ICU	IR203	–	–	–	–	–	–	–	IR
ICU	IR214	–	–	–	–	–	–	–	IR
ICU	IR215	–	–	–	–	–	–	–	IR
ICU	IR216	–	–	–	–	–	–	–	IR
ICU	IR217	–	–	–	–	–	–	–	IR
ICU	IR218	–	–	–	–	–	–	–	IR
ICU	IR219	–	–	–	–	–	–	–	IR
ICU	IR220	–	–	–	–	–	–	–	IR
ICU	IR221	–	–	–	–	–	–	–	IR
ICU	IR222	–	–	–	–	–	–	–	IR
ICU	IR223	–	–	–	–	–	–	–	IR
ICU	IR224	–	–	–	–	–	–	–	IR
ICU	IR225	–	–	–	–	–	–	–	IR
ICU	IR226	–	–	–	–	–	–	–	IR
ICU	IR227	–	–	–	–	–	–	–	IR
ICU	IR228	–	–	–	–	–	–	–	IR
ICU	IR229	–	–	–	–	–	–	–	IR
ICU	IR234	–	–	–	–	–	–	–	IR
ICU	IR235	–	–	–	–	–	–	–	IR
ICU	IR236	–	–	–	–	–	–	–	IR
ICU	IR237	–	–	–	–	–	–	–	IR
ICU	IR238	–	–	–	–	–	–	–	IR
ICU	IR239	–	–	–	–	–	–	–	IR
ICU	IR240	–	–	–	–	–	–	–	IR
ICU	IR241	–	–	–	–	–	–	–	IR
ICU	IR246	–	–	–	–	–	–	–	IR

表5.2 I/O レジスタビット一覧 (14 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR247	–	–	–	–	–	–	–	IR
ICU	IR248	–	–	–	–	–	–	–	IR
ICU	IR249	–	–	–	–	–	–	–	IR
ICU	IR250	–	–	–	–	–	–	–	IR
ICU	IR251	–	–	–	–	–	–	–	IR
ICU	IR252	–	–	–	–	–	–	–	IR
ICU	IR253	–	–	–	–	–	–	–	IR
ICU	DTCER027	–	–	–	–	–	–	–	DTCE
ICU	DTCER028	–	–	–	–	–	–	–	DTCE
ICU	DTCER029	–	–	–	–	–	–	–	DTCE
ICU	DTCER030	–	–	–	–	–	–	–	DTCE
ICU	DTCER031	–	–	–	–	–	–	–	DTCE
ICU	DTCER036	–	–	–	–	–	–	–	DTCE
ICU	DTCER037	–	–	–	–	–	–	–	DTCE
ICU	DTCER040	–	–	–	–	–	–	–	DTCE
ICU	DTCER041	–	–	–	–	–	–	–	DTCE
ICU	DTCER045	–	–	–	–	–	–	–	DTCE
ICU	DTCER046	–	–	–	–	–	–	–	DTCE
ICU	DTCER049	–	–	–	–	–	–	–	DTCE
ICU	DTCER050	–	–	–	–	–	–	–	DTCE
ICU	DTCER064	–	–	–	–	–	–	–	DTCE
ICU	DTCER065	–	–	–	–	–	–	–	DTCE
ICU	DTCER066	–	–	–	–	–	–	–	DTCE
ICU	DTCER067	–	–	–	–	–	–	–	DTCE
ICU	DTCER068	–	–	–	–	–	–	–	DTCE
ICU	DTCER069	–	–	–	–	–	–	–	DTCE
ICU	DTCER070	–	–	–	–	–	–	–	DTCE
ICU	DTCER071	–	–	–	–	–	–	–	DTCE
ICU	DTCER072	–	–	–	–	–	–	–	DTCE
ICU	DTCER073	–	–	–	–	–	–	–	DTCE
ICU	DTCER074	–	–	–	–	–	–	–	DTCE
ICU	DTCER075	–	–	–	–	–	–	–	DTCE
ICU	DTCER076	–	–	–	–	–	–	–	DTCE
ICU	DTCER077	–	–	–	–	–	–	–	DTCE
ICU	DTCER078	–	–	–	–	–	–	–	DTCE
ICU	DTCER079	–	–	–	–	–	–	–	DTCE
ICU	DTCER098	–	–	–	–	–	–	–	DTCE
ICU	DTCER099	–	–	–	–	–	–	–	DTCE
ICU	DTCER102	–	–	–	–	–	–	–	DTCE
ICU	DTCER114	–	–	–	–	–	–	–	DTCE
ICU	DTCER115	–	–	–	–	–	–	–	DTCE
ICU	DTCER116	–	–	–	–	–	–	–	DTCE
ICU	DTCER117	–	–	–	–	–	–	–	DTCE
ICU	DTCER121	–	–	–	–	–	–	–	DTCE
ICU	DTCER122	–	–	–	–	–	–	–	DTCE
ICU	DTCER125	–	–	–	–	–	–	–	DTCE
ICU	DTCER126	–	–	–	–	–	–	–	DTCE
ICU	DTCER129	–	–	–	–	–	–	–	DTCE

表5.2 I/O レジスタビット一覧 (15 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	DTCER130	–	–	–	–	–	–	–	DTCE
ICU	DTCER131	–	–	–	–	–	–	–	DTCE
ICU	DTCER132	–	–	–	–	–	–	–	DTCE
ICU	DTCER134	–	–	–	–	–	–	–	DTCE
ICU	DTCER135	–	–	–	–	–	–	–	DTCE
ICU	DTCER136	–	–	–	–	–	–	–	DTCE
ICU	DTCER137	–	–	–	–	–	–	–	DTCE
ICU	DTCER138	–	–	–	–	–	–	–	DTCE
ICU	DTCER139	–	–	–	–	–	–	–	DTCE
ICU	DTCER140	–	–	–	–	–	–	–	DTCE
ICU	DTCER141	–	–	–	–	–	–	–	DTCE
ICU	DTCER142	–	–	–	–	–	–	–	DTCE
ICU	DTCER143	–	–	–	–	–	–	–	DTCE
ICU	DTCER144	–	–	–	–	–	–	–	DTCE
ICU	DTCER145	–	–	–	–	–	–	–	DTCE
ICU	DTCER149	–	–	–	–	–	–	–	DTCE
ICU	DTCER150	–	–	–	–	–	–	–	DTCE
ICU	DTCER153	–	–	–	–	–	–	–	DTCE
ICU	DTCER154	–	–	–	–	–	–	–	DTCE
ICU	DTCER157	–	–	–	–	–	–	–	DTCE
ICU	DTCER158	–	–	–	–	–	–	–	DTCE
ICU	DTCER159	–	–	–	–	–	–	–	DTCE
ICU	DTCER160	–	–	–	–	–	–	–	DTCE
ICU	DTCER162	–	–	–	–	–	–	–	DTCE
ICU	DTCER163	–	–	–	–	–	–	–	DTCE
ICU	DTCER164	–	–	–	–	–	–	–	DTCE
ICU	DTCER165	–	–	–	–	–	–	–	DTCE
ICU	DTCER166	–	–	–	–	–	–	–	DTCE
ICU	DTCER167	–	–	–	–	–	–	–	DTCE
ICU	DTCER168	–	–	–	–	–	–	–	DTCE
ICU	DTCER169	–	–	–	–	–	–	–	DTCE
ICU	DTCER174	–	–	–	–	–	–	–	DTCE
ICU	DTCER175	–	–	–	–	–	–	–	DTCE
ICU	DTCER177	–	–	–	–	–	–	–	DTCE
ICU	DTCER178	–	–	–	–	–	–	–	DTCE
ICU	DTCER180	–	–	–	–	–	–	–	DTCE
ICU	DTCER181	–	–	–	–	–	–	–	DTCE
ICU	DTCER183	–	–	–	–	–	–	–	DTCE
ICU	DTCER184	–	–	–	–	–	–	–	DTCE
ICU	DTCER198	–	–	–	–	–	–	–	DTCE
ICU	DTCER199	–	–	–	–	–	–	–	DTCE
ICU	DTCER200	–	–	–	–	–	–	–	DTCE
ICU	DTCER201	–	–	–	–	–	–	–	DTCE
ICU	DTCER202	–	–	–	–	–	–	–	DTCE
ICU	DTCER203	–	–	–	–	–	–	–	DTCE
ICU	DTCER215	–	–	–	–	–	–	–	DTCE
ICU	DTCER216	–	–	–	–	–	–	–	DTCE
ICU	DTCER219	–	–	–	–	–	–	–	DTCE

表5.2 I/O レジスタビット一覧 (16 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	DTCER220	–	–	–	–	–	–	–	DTCE
ICU	DTCER223	–	–	–	–	–	–	–	DTCE
ICU	DTCER224	–	–	–	–	–	–	–	DTCE
ICU	DTCER227	–	–	–	–	–	–	–	DTCE
ICU	DTCER228	–	–	–	–	–	–	–	DTCE
ICU	DTCER235	–	–	–	–	–	–	–	DTCE
ICU	DTCER236	–	–	–	–	–	–	–	DTCE
ICU	DTCER239	–	–	–	–	–	–	–	DTCE
ICU	DTCER240	–	–	–	–	–	–	–	DTCE
ICU	DTCER247	–	–	–	–	–	–	–	DTCE
ICU	DTCER248	–	–	–	–	–	–	–	DTCE
ICU	DTCER251	–	–	–	–	–	–	–	DTCE
ICU	DTCER252	–	–	–	–	–	–	–	DTCE
ICU	IER02	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER03	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER04	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER05	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER06	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER07	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER08	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER09	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0B	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER10	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER11	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER12	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER13	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER14	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER15	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER16	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER17	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER18	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER19	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1A	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1B	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1D	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	SWINTR	–	–	–	–	–	–	–	SWINT
ICU	FIR	FIEN	–	–	–	–	–	–	–
		FVCT[7:0]							
ICU	IPR00	–	–	–	–	IPR[3:0]			
ICU	IPR01	–	–	–	–	IPR[3:0]			
ICU	IPR02	–	–	–	–	IPR[3:0]			
ICU	IPR03	–	–	–	–	IPR[3:0]			

表5.2 I/O レジスタビット一覧 (17 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IPR04	–	–	–	–	IPR[3:0]			
ICU	IPR05	–	–	–	–	IPR[3:0]			
ICU	IPR06	–	–	–	–	IPR[3:0]			
ICU	IPR07	–	–	–	–	IPR[3:0]			
ICU	IPR08	–	–	–	–	IPR[3:0]			
ICU	IPR0C	–	–	–	–	IPR[3:0]			
ICU	IPR0D	–	–	–	–	IPR[3:0]			
ICU	IPR0E	–	–	–	–	IPR[3:0]			
ICU	IPR10	–	–	–	–	IPR[3:0]			
ICU	IPR11	–	–	–	–	IPR[3:0]			
ICU	IPR12	–	–	–	–	IPR[3:0]			
ICU	IPR14	–	–	–	–	IPR[3:0]			
ICU	IPR15	–	–	–	–	IPR[3:0]			
ICU	IPR18	–	–	–	–	IPR[3:0]			
ICU	IPR1E	–	–	–	–	IPR[3:0]			
ICU	IPR1F	–	–	–	–	IPR[3:0]			
ICU	IPR20	–	–	–	–	IPR[3:0]			
ICU	IPR21	–	–	–	–	IPR[3:0]			
ICU	IPR22	–	–	–	–	IPR[3:0]			
ICU	IPR23	–	–	–	–	IPR[3:0]			
ICU	IPR24	–	–	–	–	IPR[3:0]			
ICU	IPR25	–	–	–	–	IPR[3:0]			
ICU	IPR26	–	–	–	–	IPR[3:0]			
ICU	IPR27	–	–	–	–	IPR[3:0]			
ICU	IPR28	–	–	–	–	IPR[3:0]			
ICU	IPR29	–	–	–	–	IPR[3:0]			
ICU	IPR2A	–	–	–	–	IPR[3:0]			
ICU	IPR2B	–	–	–	–	IPR[3:0]			
ICU	IPR2C	–	–	–	–	IPR[3:0]			
ICU	IPR2D	–	–	–	–	IPR[3:0]			
ICU	IPR2E	–	–	–	–	IPR[3:0]			
ICU	IPR2F	–	–	–	–	IPR[3:0]			
ICU	IPR3A	–	–	–	–	IPR[3:0]			
ICU	IPR3B	–	–	–	–	IPR[3:0]			
ICU	IPR3C	–	–	–	–	IPR[3:0]			
ICU	IPR40	–	–	–	–	IPR[3:0]			
ICU	IPR44	–	–	–	–	IPR[3:0]			
ICU	IPR45	–	–	–	–	IPR[3:0]			
ICU	IPR48	–	–	–	–	IPR[3:0]			
ICU	IPR51	–	–	–	–	IPR[3:0]			
ICU	IPR52	–	–	–	–	IPR[3:0]			
ICU	IPR53	–	–	–	–	IPR[3:0]			
ICU	IPR54	–	–	–	–	IPR[3:0]			
ICU	IPR55	–	–	–	–	IPR[3:0]			
ICU	IPR56	–	–	–	–	IPR[3:0]			
ICU	IPR57	–	–	–	–	IPR[3:0]			
ICU	IPR58	–	–	–	–	IPR[3:0]			
ICU	IPR59	–	–	–	–	IPR[3:0]			

表5.2 I/O レジスタビット一覧 (18 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IPR5A	–	–	–	–	IPR[3:0]			
ICU	IPR5B	–	–	–	–	IPR[3:0]			
ICU	IPR5C	–	–	–	–	IPR[3:0]			
ICU	IPR5D	–	–	–	–	IPR[3:0]			
ICU	IPR5E	–	–	–	–	IPR[3:0]			
ICU	IPR5F	–	–	–	–	IPR[3:0]			
ICU	IPR60	–	–	–	–	IPR[3:0]			
ICU	IPR61	–	–	–	–	IPR[3:0]			
ICU	IPR62	–	–	–	–	IPR[3:0]			
ICU	IPR63	–	–	–	–	IPR[3:0]			
ICU	IPR64	–	–	–	–	IPR[3:0]			
ICU	IPR65	–	–	–	–	IPR[3:0]			
ICU	IPR66	–	–	–	–	IPR[3:0]			
ICU	IPR67	–	–	–	–	IPR[3:0]			
ICU	IPR68	–	–	–	–	IPR[3:0]			
ICU	IPR69	–	–	–	–	IPR[3:0]			
ICU	IPR6A	–	–	–	–	IPR[3:0]			
ICU	IPR6B	–	–	–	–	IPR[3:0]			
ICU	IPR70	–	–	–	–	IPR[3:0]			
ICU	IPR71	–	–	–	–	IPR[3:0]			
ICU	IPR72	–	–	–	–	IPR[3:0]			
ICU	IPR73	–	–	–	–	IPR[3:0]			
ICU	IPR74	–	–	–	–	IPR[3:0]			
ICU	IPR75	–	–	–	–	IPR[3:0]			
ICU	IPR80	–	–	–	–	IPR[3:0]			
ICU	IPR81	–	–	–	–	IPR[3:0]			
ICU	IPR82	–	–	–	–	IPR[3:0]			
ICU	IPR83	–	–	–	–	IPR[3:0]			
ICU	IPR85	–	–	–	–	IPR[3:0]			
ICU	IPR86	–	–	–	–	IPR[3:0]			
ICU	IPR88	–	–	–	–	IPR[3:0]			
ICU	IPR89	–	–	–	–	IPR[3:0]			
ICU	IPR8A	–	–	–	–	IPR[3:0]			
ICU	IPR8B	–	–	–	–	IPR[3:0]			
ICU	IPR8C	–	–	–	–	IPR[3:0]			
ICU	IPR8D	–	–	–	–	IPR[3:0]			
ICU	IPR8E	–	–	–	–	IPR[3:0]			
ICU	IPR8F	–	–	–	–	IPR[3:0]			
ICU	DMRSR0								
ICU	DMRSR1								
ICU	DMRSR2								
ICU	DMRSR3								
ICU	IRQCR0	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR1	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR2	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR3	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR4	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR5	–	–	–	–	IRQMD[1:0]		–	–

表5.2 I/O レジスタビット一覧 (19 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IRQCR6	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR7	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR8	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR9	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR10	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR11	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR12	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR13	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR14	–	–	–	–	IRQMD[1:0]		–	–
ICU	IRQCR15	–	–	–	–	IRQMD[1:0]		–	–
ICU	NMISR	–	–	–	–	–	OSTST	LVDST	NMIST
ICU	NMIER	–	–	–	–	–	OSTEN	LVDEN	NMIEN
ICU	NMICLR	–	–	–	–	–	OSTCLR	–	NMICLR
ICU	NMICR	–	–	–	–	NMIMD	–	–	–
CMT	CMSTR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	STR1	STR0
CMT0	CMCR	–	–	–	–	–	–	–	–
		–	CMIE	–	–	–	–	CKS[1:0]	
CMT0	CMCNT								
CMT0	CMCOR								
CMT1	CMCR	–	–	–	–	–	–	–	–
		–	CMIE	–	–	–	–	CKS[1:0]	
CMT1	CMCNT								
CMT1	CMCOR								
CMT	CMSTR1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	STR3	STR2
CMT2	CMCR	–	–	–	–	–	–	–	–
		–	CMIE	–	–	–	–	CKS[1:0]	
CMT2	CMCNT								
CMT2	CMCOR								
CMT3	CMCR	–	–	–	–	–	–	–	–
		–	CMIE	–	–	–	–	CKS[1:0]	
CMT3	CMCNT								
CMT3	CMCOR								
WDT	TCSR	–	TMS	TME	–	–	CKS[2:0]		
WDT	WINA								
WDT	TCNT								
WDT	WINB								

表5.2　I/O レジスタビット一覧 (20 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
WDT	RSTCSR	WOVF	RSTE	–	–	–	–	–	–
IWDT	IWDTRR								
IWDT	IWDTCR	–	–	–	–	–	–	–	–
		CKS[3:0]				–	–	TOPS[1:0]	
IWDT	IWDTSR	–	UNDFF	CNTVAL[13:0]					
		CNTVAL[13:0]							
AD0	ADDRA (注5)	–	–	–	–	–	–		
AD0	ADDRB (注5)	–	–	–	–	–	–		
AD0	ADDRC (注5)	–	–	–	–	–	–		
AD0	ADDRD (注5)	–	–	–	–	–	–		
AD0	ADCSR	–	ADIE	ADST	–	CH[3:0]			
AD0	ADCR	TRGS[2:0]			–	CKS[1:0]		MODE[1:0]	
AD0	ADDPR	DPSEL	–	–	–	–	–	–	–
AD0	ADSSTR								
AD0	ADDIAGR	–	–	–	–	–	–	DIAG[1:0]	
AD1	ADDRA (注5)	–	–	–	–	–	–		
AD1	ADDRB (注5)	–	–	–	–	–	–		
AD1	ADDRC (注5)	–	–	–	–	–	–		
AD1	ADDRD (注5)	–	–	–	–	–	–		
AD1	ADCSR	–	ADIE	ADST	–	CH[3:0]			
AD1	ADCR	TRGS[2:0]			–	CKS[1:0]		MODE[1:0]	
AD1	ADDPR	DPSEL	–	–	–	–	–	–	–
AD1	ADSSTR								
AD1	ADDIAGR	–	–	–	–	–	–	DIAG[1:0]	
DA	DADR0								
DA	DADR1								
DA	DACR	DAOE1	DAOE0	DAE	–	–	–	–	–
DA	DADPR	DPSEL	–	–	–	–	–	–	–
PPG0	PCR	G3CMS[1:0]		G2CMS[1:0]		G1CMS[1:0]		G0CMS[1:0]	
PPG0	PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
PPG0	NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
PPG0	NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
PPG0	PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
PPG0	PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
PPG0	NDRH (注1)	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
PPG0	NDRL (注2)	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
PPG0	NDRH2 (注1)	–	–	–	–	NDR11	NDR10	NDR9	NDR8

表5.2　I/O レジスタビット一覧 (21 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PPG0	NDRL2 (注2)	–	–	–	–	NDR3	NDR2	NDR1	NDR0
PPG1	PTRSLR	–	–	–	–	–	–	–	PTRSL
PPG1	PCR	G3CMS[1:0]		G2CMS[1:0]		G1CMS[1:0]		G0CMS[1:0]	
PPG1	PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
PPG1	NDERH	NDER31	NDER30	NDER29	NDER28	NDER27	NDER26	NDER25	NDER24
PPG1	NDERL	NDER23	NDER22	NDER21	NDER20	NDER19	NDER18	NDER17	NDER16
PPG1	PODRH	POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24
PPG1	PODRL	POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16
PPG1	NDRH (注3)	NDR31	NDR30	NDR29	NDR28	NDR27	NDR26	NDR25	NDR24
PPG1	NDRL (注4)	NDR23	NDR22	NDR21	NDR20	NDR19	NDR18	NDR17	NDR16
PPG1	NDRH2 (注3)	–	–	–	–	NDR27	NDR26	NDR25	NDR24
PPG1	NDRL2 (注4)	–	–	–	–	NDR19	NDR18	NDR17	NDR16
TMR0	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		–	–	–
TMR1	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		–	–	–
TMR0	TCSR	–	–	–	ADTE	OSB[1:0]		OSA[1:0]	
TMR1	TCSR	–	–	–	–	OSB[1:0]		OSA[1:0]	
TMR0	TCORA								
TMR1	TCORA								
TMR0	TCORB								
TMR1	TCORB								
TMR0	TCNT								
TMR1	TCNT								
TMR0	TCCR	TMRIS	–	–	CSS[1:0]		CKS[2:0]		
TMR1	TCCR	TMRIS	–	–	CSS[1:0]		CKS[2:0]		
TMR01	TCORA								
TMR01	TCORB								
TMR01	TCNT								
TMR01	TCCR								
TMR2	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		–	–	–
TMR3	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		–	–	–
TMR2	TCSR	–	–	–	ADTE	OSB[1:0]		OSA[1:0]	
TMR3	TCSR	–	–	–	–	OSB[1:0]		OSA[1:0]	
TMR2	TCORA								
TMR3	TCORA								
TMR2	TCORB								
TMR3	TCORB								
TMR2	TCNT								
TMR3	TCNT								
TMR2	TCCR	TMRIS	–	–	CSS[1:0]		CKS[2:0]		
TMR3	TCCR	TMRIS	–	–	CSS[1:0]		CKS[2:0]		

表5.2 I/O レジスタビット一覧 (22 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
TMR23	TCORA								
TMR23	TCORB								
TMR23	TCNT								
TMR23	TCCR								
SCI0	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI0	BRR								
SCI0	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI0	TDR								
SCI0	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI0	RDR								
SCI0	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI0	SEMR	–	–	–	ABCS	–	–	–	ACS0
SMCI0	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI0	BRR								
SMCI0	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI0	TDR								
SMCI0	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI0	RDR								
SMCI0	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI1	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI1	BRR								
SCI1	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI1	TDR								
SCI1	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI1	RDR								
SCI1	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI1	SEMR	–	–	–	ABCS	–	–	–	ACS0
SMCI1	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI1	BRR								
SMCI1	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI1	TDR								
SMCI1	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI1	RDR								
SMCI1	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI2	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI2	BRR								
SCI2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI2	TDR								
SCI2	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI2	RDR								
SCI2	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI2	SEMR	–	–	–	ABCS	–	–	–	ACS0
SMCI2	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI2	BRR								

表5.2 I/O レジスタビット一覧 (23 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SMCI2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI2	TDR								
SMCI2	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI2	RDR								
SMCI2	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI3	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI3	BRR								
SCI3	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI3	TDR								
SCI3	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI3	RDR								
SCI3	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI3	SEMR	–	–	–	ABCS	–	–	–	ACS0
SMCI3	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI3	BRR								
SMCI3	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI3	TDR								
SMCI3	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI3	RDR								
SMCI3	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI5	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI5	BRR								
SCI5	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI5	TDR								
SCI5	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI5	RDR								
SCI5	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI5	SEMR	–	–	–	ABCS	–	–	–	ACS0
SMCI5	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI5	BRR								
SMCI5	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI5	TDR								
SMCI5	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI5	RDR								
SMCI5	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI6	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI6	BRR								
SCI6	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI6	TDR								
SCI6	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI6	RDR								
SCI6	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
SCI6	SEMR	–	–	–	ABCS	–	–	–	ACS0
SMCI6	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI6	BRR								
SMCI6	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI6	TDR								
SMCI6	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT

表5.2　I/O レジスタビット一覧 (24 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SMCI6	RDR								
SMCI6	SCMR	BCP2	–	–	–	SDIR	SINV	–	SMIF
CRC	CRCCR	DORCLR	–	–	–	–	LMS	GPS[1:0]	
CRC	CRCDIR								
CRC	CRCDOR								
RIIC0	ICCR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
RIIC0	ICCR2	BBSY	MST	TRS	–	SP	RS	ST	–
RIIC0	ICMR1	MTWP	CKS[2:0]			BCWP	BC[2:0]		
RIIC0	ICMR2	DLCS	SDDL[2:0]			TMWE	TMOH	TMOL	TMOS
RIIC0	ICMR3	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
RIIC0	ICFER	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
RIIC0	ICSER	HOAE	–	DIDE	–	GCAE	SAR2E	SAR1E	SAR0E
RIIC0	ICIER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
RIIC0	ICSR1	HOA	–	DID	–	GCA	AAS2	AAS1	AAS0
RIIC0	ICSR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
RIIC0	SARL0	SVA[6:0]							SVA0
RIIC0	SARU0	–	–	–	–	–	SVA[1:0]		FS
RIIC0	TMOCNT	TMOCNTL[7:0]							
		TMOCNTU[7:0]							
RIIC0	SARL1	SVA[6:0]							SVA0
RIIC0	SARU1	–	–	–	–	–	SVA[1:0]		FS
RIIC0	SARL2	SVA[6:0]							SVA0
RIIC0	SARU2	–	–	–	–	–	SVA[1:0]		FS
RIIC0	ICBRL	–	–	–	BRL[4:0]				
RIIC0	ICBRH	–	–	–	BRH[4:0]				
RIIC0	ICDRT								
RIIC0	ICDRR								
RIIC1	ICCR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
RIIC1	ICCR2	BBSY	MST	TRS	–	SP	RS	ST	–
RIIC1	ICMR1	MTWP	CKS[2:0]			BCWP	BC[2:0]		
RIIC1	ICMR2	DLCS	SDDL[2:0]			TMWE	TMOH	TMOL	TMOS
RIIC1	ICMR3	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
RIIC1	ICFER	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
RIIC1	ICSER	HOAE	–	DIDE	–	GCAE	SAR2E	SAR1E	SAR0E
RIIC1	ICIER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
RIIC1	ICSR1	HOA	–	DID	–	GCA	AAS2	AAS1	AAS0
RIIC1	ICSR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
RIIC1	SARL0	SVA[6:0]							SVA0
RIIC1	SARU0	–	–	–	–	–	SVA[1:0]		FS
RIIC1	TMOCNT	TMOCNTL[7:0]							
		TMOCNTU[7:0]							
RIIC1	SARL1	SVA[6:0]							SVA0
RIIC1	SARU1	–	–	–	–	–	SVA[1:0]		FS
RIIC1	SARL2	SVA[6:0]							SVA0
RIIC1	SARU2	–	–	–	–	–	SVA[1:0]		FS
RIIC1	ICBRL	–	–	–	BRL[4:0]				
RIIC1	ICBRH	–	–	–	BRH[4:0]				

表5.2 I/O レジスタビット一覧 (25 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RIIC1	ICDRT								
RIIC1	ICDRR								
RSPI0	SPCR	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
RSPI0	SSLP	–	–	–	–	SSLP3	SSLP2	SSLP1	SSLP0
RSPI0	SPPCR	–	–	MOIFE	MOIFV	–	SPOM	SPLP2	SPLP
RSPI0	SPSR	SPRF	–	SPTEF	–	PERF	MODF	IDLNF	OVRF
RSPI0	SPDR	H[15:0]							
		H[15:0]							
		L[15:0]							
		L[15:0]							
RSPI0	SPSCR	–	–	–	–	–	SPSLN[2:0]		
RSPI0	SPSSR	–	SPECM[2:0]			–	SPCP[2:0]		
RSPI0	SPBR	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
RSPI0	SPDCR	–	–	SPLW	SPRDTD	SLSEL[1:0]		SPFC[1:0]	
RSPI0	SPCKD	–	–	–	–	–	SCKDL[2:0]		
RSPI0	SSLND	–	–	–	–	–	SLNDL[2:0]		
RSPI0	SPND	–	–	–	–	–	SPNDL[2:0]		
RSPI0	SPCR2	–	–	–	–	PTE	SPIIE	SPOE	SPPE
RSPI0	SPCMD0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI0	SPCMD1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI0	SPCMD2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI0	SPCMD3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI0	SPCMD4	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI0	SPCMD5	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI0	SPCMD6	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI0	SPCMD7	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI1	SPCR	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
RSPI1	SSLP	–	–	–	–	SSLP3	SSLP2	SSLP1	SSLP0
RSPI1	SPPCR	–	–	MOIFE	MOIFV	–	SPOM	SPLP2	SPLP
RSPI1	SPSR	SPRF	–	SPTEF	–	PERF	MODF	IDLNF	OVRF
RSPI1	SPDR	H[15:0]							
		H[15:0]							
		L[15:0]							
		L[15:0]							
RSPI1	SPSCR	–	–	–	–	–	SPSLN[2:0]		
RSPI1	SPSSR	–	SPECM[2:0]			–	SPCP[2:0]		
RSPI1	SPBR	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
RSPI1	SPDCR	–	–	SPLW	SPRDTD	SLSEL[1:0]		SPFC[1:0]	
RSPI1	SPCKD	–	–	–	–	–	SCKDL[2:0]		
RSPI1	SSLND	–	–	–	–	–	SLNDL[2:0]		

表5.2 I/O レジスタビット一覧 (26 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RSPI1	SPND	–	–	–	–	–	SPNDL[2:0]		
RSPI1	SPCR2	–	–	–	–	PTE	SPIIE	SPOE	SPPE
RSPI1	SPCMD0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI1	SPCMD1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI1	SPCMD2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI1	SPCMD3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI1	SPCMD4	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI1	SPCMD5	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI1	SPCMD6	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RSPI1	SPCMD7	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
MTU3	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU4	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU3	TMDR	–	–	BFB	BFA	MD[3:0]			
MTU4	TMDR	–	–	BFB	BFA	MD[3:0]			
MTU3	TIORH	IOB[3:0]				IOA[3:0]			
MTU3	TIORL	IOD[3:0]				IOC[3:0]			
MTU4	TIORH	IOB[3:0]				IOA[3:0]			
MTU4	TIORL	IOD[3:0]				IOC[3:0]			
MTU3	TIER	TTGE	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU4	TIER	TTGE	TTGE2	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTUA	TOER	–	–	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
MTUA	TGCR	–	BDC	N	P	FB	WF	VF	UF
MTUA	TOCR1	–	PSYE	–	–	TOCL	TOCS	OLSN	OLSP
MTUA	TOCR2	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU3	TCNT								
MTU4	TCNT								
MTUA	TCDR								
MTUA	TDDR								
MTU3	TGRA								
MTU3	TGRB								
MTU4	TGRA								
MTU4	TGRB								

表5.2 I/O レジスタビット一覧 (27 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTUA	TCNTS								
MTUA	TCBR								
MTU3	TGRC								
MTU3	TGRD								
MTU4	TGRC								
MTU4	TGRD								
MTU3	TSR	TCFD	–	–	–	–	–	–	–
MTU4	TSR	TCFD	–	–	–	–	–	–	–
MTUA	TITCR	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
MTUA	TITCNT	–	T3ACNT[2:0]			–	T4VCNT[2:0]		
MTUA	TBTER	–	–	–	–	–	–	BTE[1:0]	
MTUA	TDER	–	–	–	–	–	–	–	TDER
MTUA	TOLBR	–	–	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU3	TBTM	–	–	–	–	–	–	TTSB	TTSA
MTU4	TBTM	–	–	–	–	–	–	TTSB	TTSA
MTU4	TADCR	BF[1:0]		–	–	–	–	–	–
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
MTU4	TADCORA								
MTU4	TADCORB								
MTU4	TADCOBRA								
MTU4	TADCOBRB								
MTUA	TWCR	CCE	–	–	–	–	–	–	WRE
MTUA	TSTR	CST4	CST3	–	–	–	CST2	CST1	CST0
MTUA	TSYR	SYNC4	SYNC3	–	–	–	SYNC2	SYNC1	SYNC0
MTUA	TRWER	–	–	–	–	–	–	–	RWE
MTU0	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU0	TMDR	–	BFE	BFB	BFA	MD[3:0]			
MTU0	TIORH	IOB[3:0]				IOA[3:0]			
MTU0	TIORL	IOD[3:0]				IOC[3:0]			
MTU0	TIER	TTGE	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU0	TSR	–	–	–	–	–	–	–	–
MTU0	TCNT								
MTU0	TGRA								
MTU0	TGRB								

表5.2 I/O レジスタビット一覧 (28 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU0	TGRC								
MTU0	TGRD								
MTU0	TGRE								
MTU0	TGRF								
MTU0	TIER2	–	–	–	–	–	–	TGIEF	TGIEE
MTU0	TBTM	–	–	–	–	–	TTSE	TTSB	TTSA
MTU1	TCR	–	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
MTU1	TMDR	–	–	–	–	MD[3:0]			
MTU1	TIOR	IOB[3:0]				IOA[3:0]			
MTU1	TIER	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA
MTU1	TSR	TCFD	–	–	–	–	–	–	–
MTU1	TCNT								
MTU1	TGRA								
MTU1	TGRB								
MTU1	TICCR	–	–	–	–	I2BE	I2AE	I1BE	I1AE
MTU2	TCR	–	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
MTU2	TMDR	–	–	–	–	MD[3:0]			
MTU2	TIOR	IOB[3:0]				IOA[3:0]			
MTU2	TIER	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA
MTU2	TSR	TCFD	–	–	–	–	–	–	–
MTU2	TCNT								
MTU2	TGRA								
MTU2	TGRB								
MTU5	TCNTU								
MTU5	TGRU								
MTU5	TCRU	–	–	–	–	–	–	TPSC[1:0]	
MTU5	TIORU	–	–	–	IOC[4:0]				
MTU5	TCNTV								
MTU5	TGRV								
MTU5	TCRV	–	–	–	–	–	–	TPSC[1:0]	
MTU5	TIORV	–	–	–	IOC[4:0]				
MTU5	TCNTW								

表5.2 I/O レジスタビット一覧 (29 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU5	TGRW								
MTU5	TCRW	–	–	–	–	–	–	TPSC[1:0]	
MTU5	TIORW	–	–	–	IOC[4:0]				
MTU5	TIER	–	–	–	–	–	TGIE5U	TGIE5V	TGIE5W
MTU5	TSTR	–	–	–	–	–	CSTU5	CSTV5	CSTW5
MTU5	TCNTCMPCLR	–	–	–	–	–	CMPCLR5U	CMPCLR5V	CMPCLR5W
POE	ICSR1	POE3F	POE2F	POE1F	POE0F	–	–	–	PIE1
		POE3M[1:0]		POE2M[1:0]		POE1M[1:0]		POE0M[1:0]	
POE	OCSR1	OSF1	–	–	–	–	–	OCE1	OIE1
		–	–	–	–	–	–	–	–
POE	ICSR2	POE7F	POE6F	POE5F	POE4F	–	–	–	PIE2
		POE7M[1:0]		POE6M[1:0]		POE5M[1:0]		POE4M[1:0]	
POE	OCSR2	OSF2	–	–	–	–	–	OCE2	OIE2
		–	–	–	–	–	–	–	–
POE	ICSR3	–	–	–	POE8F	–	–	POE8E	PIE3
		–	–	–	–	–	–	POE8M[1:0]	
POE	SPOER	–	–	–	–	CH6HIZ	CH910HIZ	CH0HIZ	CH34HIZ
POE	POECR1	PE7ZE	PE6ZE	PE5ZE	PE4ZE	PE3ZE	PE2ZE	PE1ZE	PE0ZE
POE	POECR2	–	P1CZEA	P2CZEA	P3CZEA	–	P1CZEB	P2CZEB	P3CZEB
		–	P4CZE	P5CZE	P6CZE	–	–	–	–
POE	ICSR4	–	–	–	POE9F	–	–	POE9E	PIE4
		–	–	–	–	–	–	POE9M[1:0]	
MTU9	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU10	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU9	TMDR	–	–	BFB	BFA	MD[3:0]			
MTU10	TMDR	–	–	BFB	BFA	MD[3:0]			
MTU9	TIORH	IOB[3:0]				IOA[3:0]			
MTU9	TIORL	IOD[3:0]				IOC[3:0]			
MTU10	TIORH	IOB[3:0]				IOA[3:0]			
MTU10	TIORL	IOD[3:0]				IOC[3:0]			
MTU9	TIER	TTGE	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU10	TIER	TTGE	TTGE2	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTUB	TOER	–	–	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
MTUB	TGCR	–	BDC	N	P	FB	WF	VF	UF
MTUB	TOCR1	–	PSYE	–	–	TOCL	TOCS	OLSN	OLSP
MTUB	TOCR2	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU9	TCNT								
MTU10	TCNT								
MTUB	TCDR								
MTUB	TDDR								
MTU9	TGRA								

表5.2　I/O レジスタビット一覧 (30 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU9	TGRB								
MTU10	TGRA								
MTU10	TGRB								
MTUB	TCNTS								
MTUB	TCBR								
MTU9	TGRC								
MTU9	TGRD								
MTU10	TGRC								
MTU10	TGRD								
MTU9	TSR	TCFD	–	–	–	–	–	–	–
MTU10	TSR	TCFD	–	–	–	–	–	–	–
MTUB	TITCR	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
MTUB	TITCNT	–	T3ACNT[2:0]			–	T4VCNT[2:0]		
MTUB	TBTER	–	–	–	–	–	–	BTE[1:0]	
MTUB	TDER	–	–	–	–	–	–	–	TDER
MTUB	TOLBR	–	–	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU9	TBTM	–	–	–	–	–	–	TTSB	TTSA
MTU10	TBTM	–	–	–	–	–	–	TTSB	TTSA
MTU10	TADCR	BF[1:0]		–	–	–	–	–	–
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
MTU10	TADCORA								
MTU10	TADCORB								
MTU10	TADCOBRA								
MTU10	TADCOBRB								
MTUB	TWCR	CCE	–	–	–	–	–	–	WRE
MTUB	TSTR	CST4	CST3	–	–	–	CST2	CST1	CST0
MTUB	TSYR	SYNC4	SYNC3	–	–	–	SYNC2	SYNC1	SYNC0
MTUB	TRWER	–	–	–	–	–	–	–	RWE
MTU6	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU6	TMDR	–	BFE	BFB	BFA	MD[3:0]			
MTU6	TIORH	IOB[3:0]				IOA[3:0]			
MTU6	TIORL	IOD[3:0]				IOC[3:0]			
MTU6	TIER	TTGE	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU6	TSR	–	–	–	–	–	–	–	–

表5.2 I/O レジスタビット一覧 (31 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU6	TCNT								
MTU6	TGRA								
MTU6	TGRB								
MTU6	TGRC								
MTU6	TGRD								
MTU6	TGRE								
MTU6	TGRF								
MTU6	TIER2	–	–	–	–	–	–	TGIEF	TGIEE
MTU6	TBTM	–	–	–	–	–	TTSE	TTSB	TTSA
MTU7	TCR	–	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
MTU7	TMDR	–	–	–	–	MD[3:0]			
MTU7	TIOR	IOB[3:0]				IOA[3:0]			
MTU7	TIER	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA
MTU7	TSR	TCFD	–	–	–	–	–	–	–
MTU7	TCNT								
MTU7	TGRA								
MTU7	TGRB								
MTU7	TICCR	–	–	–	–	I2BE	I2AE	I1BE	I1AE
MTU8	TCR	–	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]		
MTU8	TMDR	–	–	–	–	MD[3:0]			
MTU8	TIOR	IOB[3:0]				IOA[3:0]			
MTU8	TIER	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA
MTU8	TSR	TCFD	–	–	–	–	–	–	–
MTU8	TCNT								
MTU8	TGRA								
MTU8	TGRB								
MTU11	TCNTU								
MTU11	TGRU								
MTU11	TCRU	–	–	–	–	–	–	TPSC[1:0]	
MTU11	TIORU	–	–	–	IOC[4:0]				
MTU11	TCNTV								

表5.2　I/O レジスタビット一覧 (32 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU11	TGRV								
MTU11	TCRV	–	–	–	–	–	–	TPSC[1:0]	
MTU11	TIORV	–	–	–	IOC[4:0]				
MTU11	TCNTW								
MTU11	TGRW								
MTU11	TCRW	–	–	–	–	–	–	TPSC[1:0]	
MTU11	TIORW	–	–	–	IOC[4:0]				
MTU11	TIER	–	–	–	–	–	TGIE5U	TGIE5V	TGIE5W
MTU11	TSTR	–	–	–	–	–	CSTU5	CSTV5	CSTW5
MTU11	TCNTCMPCLR	–	–	–	–	–	CMPCLR5U	CMPCLR5V	CMPCLR5W
S12AD	ADCSR	ADST	ADCS	–	ADIE	CKS[1:0]		TRGE	EXTRG
S12AD	ADANS	–	–	–	–	–	–	–	–
		ANS[7:0]							
S12AD	ADADS	–	–	–	–	–	–	–	–
		ADS[7:0]							
S12AD	ADADC	–	–	–	–	–	–	ADC[1:0]	
S12AD	ADCER	ADRFMT	–	–	–	–	–	–	–
		–	–	ACE	–	–	–	–	–
S12AD	ADSTRGR	–	–	–	–	ADSTRS[3:0]			
S12AD	ADDR0								
S12AD	ADDR1								
S12AD	ADDR2								
S12AD	ADDR3								
S12AD	ADDR4								
S12AD	ADDR5								
S12AD	ADDR6								
S12AD	ADDR7								
PORT0	DDR	B7 (注8)	–	B5	–	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	DDR	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	DDR	–	–	–	B4	B3	B2	B1	B0
PORT4	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORT5	DDR	B7 (注6,注7,注8)	B6 (注7,注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORT6	DDR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)

表5.2　I/O レジスタビット一覧 (33 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PORT7	DDR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT8	DDR	—	—	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT9	DDR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	DDR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORTD	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	DDR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTF	DDR	—	—	—	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORTG	DDR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT0	DR	B7 (注8)	—	B5	—	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	DR	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	DR	—	—	—	B4	B3	B2	B1	B0
PORT4	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORT5	DR	B7 (注6,注7,注8)	B6 (注7,注8)	B5 (注8)	B4 (注8)	—	B2	B1	B0
PORT6	DR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT7	DR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT8	DR	—	—	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT9	DR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	DR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORTD	DR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	DR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTF	DR	—	—	—	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORTG	DR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT0	PORT	B7 (注8)	—	B5	—	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	PORT	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	PORT	—	—	B5	B4	B3	B2	B1	B0
PORT4	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORT5	PORT	B7 (注6,注7,注8)	B6 (注7,注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORT6	PORT	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT7	PORT	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)

表5.2 I/O レジスタビット一覧 (34 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PORT8	PORT	—	—	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT9	PORT	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	PORT	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORTD	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	PORT	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTF	PORT	—	—	—	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORTG	PORT	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT0	ICR	B7 (注8)	—	B5	—	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	ICR	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	ICR	—	—	—	B4	B3	B2	B1	B0
PORT4	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORT5	ICR	B7 (注6,注7,注8)	B6 (注7,注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORT6	ICR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT7	ICR	B7 (注7,注8)	B6 (注7,注8)	B5 (注7,注8)	B4 (注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT8	ICR	—	—	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT9	ICR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	ICR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORTD	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	ICR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTF	ICR	—	—	—	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORTG	ICR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT0	ODR	B7 (注8)	—	B5	—	B3 (注7)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORT1	ODR	B7 (注7,注8)	B6	B5 (注7,注8)	B4	B3	B2	B1 (注6,注7,注8)	B0 (注6,注7,注8)
PORT2	ODR	B7	B6	B5	B4	B3	B2	B1	B0
PORT3	ODR	—	—	—	B4	B3	B2	B1	B0
PORTC	ODR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0
PORT9	PCR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注7,注8)	B2 (注7,注8)	B1 (注7,注8)	B0 (注7,注8)
PORTA	PCR	B7	B6	B5	B4	B3	B2	B1	B0
PORTB	PCR	B7	B6	B5	B4	B3	B2	B1	B0
PORTC	PCR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3	B2	B1	B0

表5.2　I/O レジスタビット一覧 (35 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PORTD	PCR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	PCR	B7 (注8)	B6 (注8)	B5 (注8)	B4 (注8)	B3 (注8)	B2 (注8)	B1 (注8)	B0 (注8)
PORTG	PCR	B7 (注6,注7,注8)	B6 (注6,注7,注8)	B5 (注6,注7,注8)	B4 (注6,注7,注8)	B3 (注6,注7,注8)	B2 (注6,注7,注8)	B1 (注6,注7,注8)	B0 (注6,注7,注8)
IOPORT	PF0CSE	CS7E	CS6E	CS5E	CS4E	CS3E (注8)	CS2E (注8)	CS1E (注8)	CS0E (注8)
IOPORT	PF1CSS	CS7S[1:0] (注7,注8)		CS6S[1:0] (注7,注8)		CS5S[1:0] (注7,注8)		CS4S[1:0] (注7,注8)	
IOPORT	PF2CSS	CS3S[1:0] (注7,注8)		CS2S[1:0] (注7,注8)		CS1S[1:0] (注7,注8)		–	CS0S (注7,注8)
IOPORT	PF3BUS	A23E (注8)	A22E (注8)	A21E (注8)	A20E (注8)	A19E	A18E	A17E	A16E
IOPORT	PF4BUS	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
IOPORT	PF5BUS	WR32BC32E (注6,注7,注8)	WR1BC1E (注8)	DH32E (注6,注7,注8)	DHE (注8)	–	–	ADRHMS (注7,注8)	–
IOPORT	PF6BUS	SDCLKE (注7,注8)	DQM1E (注7,注8)	–	MDSDE (注7,注8)	–	–	WAITS[1:0] (注8)	
IOPORT	PF7DMA	EDMA1S[1:0] (注7,注8)		EDMA0S[1:0] (注7,注8)		–	–	–	–
IOPORT	PF8IRQ	ITS15 (注8)	–	ITS13	–	ITS11 (注7)	ITS10 (注7,注8)	ITS9 (注7,注8)	ITS8 (注7,注8)
IOPORT	PF9IRQ	ITS7 (注7,注8)	ITS6 (注8)	ITS5 (注7,注8)	ITS4	ITS3	ITS2	ITS1 (注6,注7,注8)	ITS0 (注6,注7,注8)
IOPORT	PFAADC	–	–	–	–	–	–	–	ADTRG0S (注8)
IOPORT	PFBTMR	–	–	–	–	TMR3S (注6,注7,注8)	TMR2S (注7,注8)	TMR1S (注7,注8)	TMR0S (注7,注8)
IOPORT	PFCMTU	TCLKS (注8)	MTUS6 (注6,注7,注8)	MTUS5 (注8)	MTUS4 (注7,注8)	MTUS3 (注7,注8)	MTUS2 (注7,注8)	–	–
IOPORT	PFDMTU	TCLKS	MTUS6 (注8)	–	–	–	–	–	–
IOPORT	PFENET	EE (注8)	–	–	PHYMODE (注8)	ENETE3 (注8)	ENETE2 (注8)	ENETE1 (注8)	ENETE0 (注8)
IOPORT	PFFSCI	–	SCI6S (注7,注8)	–	–	SCI3S (注7,注8)	SCI2S	SCI1S (注6,注7,注8)	–
IOPORT	PFGSPI	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS (注8)
IOPORT	PFHSPI	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS (注8)
IOPORT	PFJCAN	–	–	–	–	–	–	–	CAN0E
IOPORT	PFKUSB	–	–	–	USBE	PDHZS	PUPHZS	USBMD[1:0]	
IOPORT	PFLUSB	–	–	–	USBE (注6,注7,注8)	PDHZS (注6,注7,注8)	PUPHZS (注6,注7,注8)	USBMD[1:0] (注6,注7,注8)	
IOPORT	PFMPOE	POE7E (注8)	POE6E (注8)	POE5E (注8)	POE4E (注8)	POE3E (注8)	POE2E (注8)	POE1E (注8)	POE0E (注8)
IOPORT	PFNPOE	–	–	–	–	–	–	POE9E (注8)	POE8E (注8)
SYSTEM	DPSBYCR	DPSBY	IOKEEP	RAMCUT2	RAMCUT1	–	–	–	RAMCUT0
SYSTEM	DPSWCR	–	–	WTSTS[5:0]					
SYSTEM	DPSIER	DNMIE	DUSBE	DRTCE	DLVDE	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
SYSTEM	DPSIFR	DNMIF	DUSBF	DRTCF	DLVDF	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
SYSTEM	DPSIEGR	DNMIEG	–	–	–	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
SYSTEM	RSTSR	DPSRSTF	–	–	–	–	LVD2F	LVD1F	PORF
FLASH	FWEPROR	–	–	–	–	–	–	FLWE[1:0]	
SYSTEM	SUBOSCCR	–	–	–	–	–	–	–	SUBSTOP
SYSTEM	LVDKEYR								

表5.2 I/O レジスタビット一覧 (36 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SYSTEM	LVDCR	LVD2E	LVD2RI	–	–	LVD1E	LVD1RI	–	–
SYSTEM	DPSBKR0								
SYSTEM	DPSBKR1								
SYSTEM	DPSBKR2								
SYSTEM	DPSBKR3								
SYSTEM	DPSBKR4								
SYSTEM	DPSBKR5								
SYSTEM	DPSBKR6								
SYSTEM	DPSBKR7								
SYSTEM	DPSBKR8								
SYSTEM	DPSBKR9								
SYSTEM	DPSBKR10								
SYSTEM	DPSBKR11								
SYSTEM	DPSBKR12								
SYSTEM	DPSBKR13								
SYSTEM	DPSBKR14								
SYSTEM	DPSBKR15								
SYSTEM	DPSBKR16								
SYSTEM	DPSBKR17								
SYSTEM	DPSBKR18								
SYSTEM	DPSBKR19								
SYSTEM	DPSBKR20								
SYSTEM	DPSBKR21								
SYSTEM	DPSBKR22								
SYSTEM	DPSBKR23								
SYSTEM	DPSBKR24								
SYSTEM	DPSBKR25								
SYSTEM	DPSBKR26								
SYSTEM	DPSBKR27								
SYSTEM	DPSBKR28								
SYSTEM	DPSBKR29								
SYSTEM	DPSBKR30								
SYSTEM	DPSBKR31								
RTC	R64CNT	–	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
RTC	RSECCNT	–	SEC10[2:0]			SEC1[3:0]			
RTC	RMINCNT	–	MIN10[2:0]			MIN1[3:0]			
RTC	RHRCNT	–	–	HOUR10[1:0]		HOUR1[3:0]			
RTC	RWKCNT	–	–	–	–	–	DAY[2:0]		
RTC	RDAYCNT	–	–	DAY10[1:0]		DAY1[3:0]			
RTC	RMONCNT	–	–	–	MON10	MON1[3:0]			
RTC	RYRCNT	YEAR1000[3:0]				YEAR100[3:0]			
		YEAR10[3:0]				YEAR1[3:0]			
RTC	RSECAR	ENB	SEC10[2:0]			SEC1[3:0]			
RTC	RMINAR	ENB	MIN10[2:0]			MIN1[3:0]			
RTC	RHRAR	ENB	–	HOUR10[1:0]		HOUR1[3:0]			
RTC	RWKAR	ENB	–	–	–	–	DAY[2:0]		
RTC	RDAYAR	ENB	–	DAY10[1:0]		DAY1[3:0]			
RTC	RMONAR	ENB	–	–	MON10	MON1[3:0]			

表5.2　I/O レジスタビット一覧 (37 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RTC	RYRAR	YEAR1000[3:0]				YEAR100[3:0]			
		YEAR10[3:0]				YEAR1[3:0]			
RTC	RYRAREN	ENB	–	–	–	–	–	–	–
RTC	RCR1	–	PES[2:0]			–	PIE	CIE	AIE
RTC	RCR2	–	–	–	–	RTCOE	ADJ	RESET	START
CAN0	MB.ID	IDE	RTR	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
	MB.DLC	–	–	–	–	–	–	–	–
		–	–	–	–	DLC[3:0]			
	MB.DATA 0～7								
	MB.TS	TSH[7:0]							
		TSL[7:0]							
CAN0	MKR0	–	–	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
CAN0	MKR1	–	–	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
CAN0	MKR2	–	–	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
CAN0	MKR3	–	–	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
CAN0	MKR4	–	–	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
CAN0	MKR5	–	–	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
CAN0	MKR6	–	–	–	SID[10:0]				
		SID[10:0]]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
CAN0	MKR7	–	–	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							

表5.2　I/O レジスタビット一覧 (38 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
CAN0	FIDCR0	IDE	RTR	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
CAN0	FIDCR1	IDE	RTR	–	SID[10:0]				
		SID[10:0]						EID[17:0]	
		EID[17:0]							
		EID[17:0]							
CAN0	MKIVLR								
CAN0	MIER	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
CAN0	MCTL.TX	TRMREQ	RECREQ	–	ONESHOT	–	TRMABT	TRMACTIVE	SENTDATA
	MCTL.RX	TRMREQ	RECREQ	–	ONESHOT	–	MSGLOST	INVALDATA	NEWDATA
CAN0	CTLR	–	–	RBOC	BOM[1:0]		SLPM	CANM[1:0]	
		TSPS[1:0]		TSRC	TPM	MLM	IDFM[1:0]		MBM
CAN0	STR	–	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST
		EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
CAN0	BCR	TSEG1[3:0]				–	–	BRP[9:0]	
		BRP[9:0]							
		–	–	SJW[1:0]		–	TSEG2[2:0]		
		–	–	–	–	–	–	–	–
CAN0	RFCR	RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]			RFE
CAN0	RFPCR	–	–	–	–	–	–	–	–
CAN0	TFCR	TFEST	TFFST	–	–	TFUST[2:0]			TFE
CAN0	TFPCR	–	–	–	–	–	–	–	–
CAN0	EIER	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
CAN0	EIFR	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
CAN0	RECR	–	–	–	–	–	–	–	–
CAN0	TECR	–	–	–	–	–	–	–	–
CAN0	ECSR	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
CAN0	CSSR	–	–	–	–	–	–	–	–
CAN0	MSSR	SEST	–	–	MBNST[4:0]				
CAN0	MSMR	–	–	–	–	–	–	MBSM[1:0]	
CAN0	TSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
CAN0	AFSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
CAN0	TCR	–	–	–	–	–	TSTM[1:0]		TSTE
USB0	SYSCFG	–	–	–	–	–	SCKE	–	–
		–	DCFM	DRPD	DPRPU	–	–	–	USBE
USB0	SYSSTS0	OVCMON[1:0]		–	–	–	–	–	–
		–	HTACT	–	–	–	IDMON	LNST[1:0]	

表5.2 I/O レジスタビット一覧 (39 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB0	DVSTCTR0	–	–	–	–	HNPBTOA	EXICEN	VBUSEN	WKUP
		RWUPE	USBRST	RESUME	UACT	–	RHST[2:0]		
USB0	CFIFO	L[7:0]							
		H[7:0]							
USB0	D0FIFO	L[7:0]							
		H[7:0]							
USB0	D1FIFO	L[7:0]							
		H[7:0]							
USB0	CFIFOSEL	RCNT	REW	–	–	–	MBW	–	BIGEND
		–	–	ISEL	–	CURPIPE[3:0]			
USB0	CFIFOCTR	BVAL	BCLR	FRDY	–	–	–	–	DTLN[8:0]
		DTLN[8:0]							
USB0	D0FIFOSEL	RCNT	REW	DCLRM	DREQE	–	MBW	–	BIGEND
		–	–	–	–	CURPIPE[3:0]			
USB0	D0FIFOCTR	BVAL	BCLR	FRDY	–	–	–	–	DTLN[8:0]
		DTLN[8:0]							
USB0	D1FIFOSEL	RCNT	REW	DCLRM	DREQE	–	MBW	–	BIGEND
		–	–	–	–	CURPIPE[3:0]			
USB0	D1FIFOCTR	BVAL	BCLR	FRDY	–	–	–	–	DTLN[8:0]
		DTLN[8:0]							
USB0	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
		–	–	–	–	–	–	–	–
USB0	INTENB1	OVRCRE	BCHGE	–	DTCHE	ATTCHE	–	–	–
		–	EOFERRE	SIGNE	SACKE	–	–	–	–
USB0	BRDYENB	–	–	–	–	–	–	PIPE9BRDYE	PIPE8BRDYE
		PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
USB0	NRDYENB	–	–	–	–	–	–	PIPE9NRDYE	PIPE8NRDYE
		PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
USB0	BEMPENB	–	–	–	–	–	–	PIPE9BEMPE	PIPE8BEMPE
		PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
USB0	SOFCFG	–	–	–	–	–	–	–	–
		–	BRDYM	–	EDGESTS	–	–	–	–
USB0	INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
USB0	INTSTS1	OVRCR	BCHG	–	DTCH	ATTCH	–	–	–
		–	EOFERR	SIGN	SACK	–	–	–	–
USB0	BRDYSTS	–	–	–	–	–	–	PIPE9BRDY	PIPE8BRDY
		PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
USB0	NRDYSTS	–	–	–	–	–	–	PIPE9NRDY	PIPE8NRDY
		PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
USB0	BEMPSTS	–	–	–	–	–	–	PIPE9BEMP	PIPE8BEMP
		PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
USB0	FRMNUM	OVRN	CRCE	–	–	–	FRNM[10:0]		
		FRNM[10:0]							
USB0	DVCHGR	DVCHG	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
USB0	USBADDR	–	–	–	–	STSRECOV[3:0]			
		–	USBADDR[6:0]						

表5.2 I/O レジスタビット一覧 (40 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB0	USBREQ	BREQUEST[7:0]							
		BMREQUESTTYPE[7:0]							
USB0	USBVAL								
USB0	USBINDX								
USB0	USBLENG								
USB0	DCPCFG	–	–	–	–	–	–	–	–
		SHTNAK	–	–	DIR	–	–	–	–
USB0	DCPMAXP	DEVSEL[3:0]				–	–	–	–
		–	MXPS[6:0]						
USB0	DCPCTR	BSTS	SUREQ	–	–	SUREQCLR	–	–	SQCLR
		SQSET	SQMON	PBUSY	–	–	CCPL	PID[1:0]	
USB0	PIPESEL	–	–	–	–	–	–	–	–
		–	–	–	–	PIPESEL[3:0]			
USB0	PIPECFG	TYPE[1:0]		–	–	–	BFRE	DBLB	–
		SHTNAK	–	–	DIR	EPNUM[3:0]			
USB0	PIPEMAXP	DEVSEL[3:0]				–	–	–	MXPS[8:0]
		MXPS[8:0]							
USB0	PIPEPERI	–	–	–	IFIS	–	–	–	–
		–	–	–	–	–	IITV[2:0]		
USB0	PIPE1CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB0	PIPE2CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB0	PIPE3CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB0	PIPE4CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB0	PIPE5CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB0	PIPE6CTR	BSTS	–	–	–	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB0	PIPE7CTR	BSTS	–	–	–	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB0	PIPE8CTR	BSTS	–	–	–	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB0	PIPE9CTR	BSTS	–	–	–	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB0	PIPE1TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB0	PIPE1TRN								
USB0	PIPE2TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB0	PIPE2TRN								

表5.2 I/O レジスタビット一覧 (41 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB0	PIPE3TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB0	PIPE3TRN								
USB0	PIPE4TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB0	PIPE4TRN								
USB0	PIPE5TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB0	PIPE5TRN								
USB0	DEVADD0	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB0	DEVADD1	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB0	DEVADD2	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB0	DEVADD3	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB0	DEVADD4	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB0	DEVADD5	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB1	SYSCFG	–	–	–	–	–	SCKE	–	–
		–	DCFM	DRPD	DPRPU	–	–	–	USBE
USB1	SYSSTS0	OVCMON[1:0]		–	–	–	–	–	–
		–	HTACT	–	–	–	IDMON	LNST[1:0]	
USB1	DVSTCTR0	–	–	–	–	HNPBTOA	EXICEN	VBUSEN	WKUP
		RWUPE	USBRST	RESUME	UACT	–	RHST[2:0]		
USB1	CFIFO	L[7:0]							
		H[7:0]							
USB1	D0FIFO	L[7:0]							
		H[7:0]							
USB1	D1FIFO	L[7:0]							
		H[7:0]							
USB1	CFIFOSEL	RCNT	REW	–	–	–	MBW	–	BIGEND
		–	–	ISEL	–	CURPIPE[3:0]			
USB1	CFIFOCTR	BVAL	BCLR	FRDY	–	–	–	–	DTLN[8:0]
		DTLN[8:0]							
USB1	D0FIFOSEL	RCNT	REW	DCLRM	DREQE	–	MBW	–	BIGEND
		–	–	–	–	CURPIPE[3:0]			
USB1	D0FIFOCTR	BVAL	BCLR	FRDY	–	–	–	–	DTLN[8:0]
		DTLN[8:0]							
USB1	D1FIFOSEL	RCNT	REW	DCLRM	DREQE	–	MBW	–	BIGEND
		–	–	–	–	CURPIPE[3:0]			
USB1	D1FIFOCTR	BVAL	BCLR	FRDY	–	–	–	–	DTLN[8:0]
		DTLN[8:0]							

表5.2　I/O レジスタビット一覧 (42 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB1	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
		–	–	–	–	–	–	–	–
USB1	INTENB1	OVRCRE	BCHGE	–	DTCHE	ATTCHE	–	–	–
		–	EOFERRE	SIGNE	SACKE	–	–	–	–
USB1	BRDYENB	–	–	–	–	–	–	PIPE9BRDYE	PIPE8BRDYE
		PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
USB1	NRDYENB	–	–	–	–	–	–	PIPE9NRDYE	PIPE8NRDYE
		PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
USB1	BEMPENB	–	–	–	–	–	–	PIPE9BEMPE	PIPE8BEMPE
		PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
USB1	SOFCFG	–	–	–	–	–	–	–	–
		–	BRDYM	–	EDGESTS	–	–	–	–
USB1	INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
USB1	INTSTS1	OVRCR	BCHG	–	DTCH	ATTCH	–	–	–
		–	EOFERR	SIGN	SACK	–	–	–	–
USB1	BRDYSTS	–	–	–	–	–	–	PIPE9BRDY	PIPE8BRDY
		PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
USB1	NRDYSTS	–	–	–	–	–	–	PIPE9NRDY	PIPE8NRDY
		PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
USB1	BEMPSTS	–	–	–	–	–	–	PIPE9BEMP	PIPE8BEMP
		PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
USB1	FRMNUM	OVRN	CRCE	–	–	–	FRNM[10:0]		
		FRNM[10:0]							
USB1	DVCHGR	DVCHG	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
USB1	USBADDR	–	–	–	–	STSRECOV[3:0]			
		–	USBADDR[6:0]						
USB1	USBREQ	BREQUEST[7:0]							
		BMREQUESTTYPE[7:0]							
USB1	USBVAL								
USB1	USBINDX								
USB1	USBLENG								
USB1	DCPCFG	–	–	–	–	–	–	–	–
		SHTNAK	–	–	DIR	–	–	–	–
USB1	DCPMAXP	DEVSEL[3:0]				–	–	–	–
		–	MXPS[6:0]						
USB1	DCPCTR	BSTS	SUREQ	–	–	SUREQCLR	–	–	SQCLR
		SQSET	SQMON	PBUSY	–	–	CCPL	PID[1:0]	
USB1	PIPESEL	–	–	–	–	–	–	–	–
		–	–	–	–	PIPESEL[3:0]			
USB1	PIPECFG	TYPE[1:0]		–	–	–	BFRE	DBLB	–
		SHTNAK	–	–	DIR	EPNUM[3:0]			
USB1	PIPEMAXP	DEVSEL[3:0]				–	–	–	MXPS[8:0]
		MXPS[8:0]							

表5.2 I/O レジスタビット一覧 (43 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB1	PIPEPERI	–	–	–	IFIS	–	–	–	–
		–	–	–	–	–	IITV[2:0]		
USB1	PIPE1CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB1	PIPE2CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB1	PIPE3CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB1	PIPE4CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB1	PIPE5CTR	BSTS	INBUFM	–	–	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB1	PIPE6CTR	BSTS	–	–	–	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB1	PIPE7CTR	BSTS	–	–	–	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB1	PIPE8CTR	BSTS	–	–	–	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB1	PIPE9CTR	BSTS	–	–	–	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
USB1	PIPE1TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB1	PIPE1TRN								
USB1	PIPE2TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB1	PIPE2TRN								
USB1	PIPE3TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB1	PIPE3TRN								
USB1	PIPE4TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB1	PIPE4TRN								
USB1	PIPE5TRE	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
USB1	PIPE5TRN								
USB1	DEVADD0	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB1	DEVADD1	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB1	DEVADD2	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB1	DEVADD3	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–

表5.2　I/O レジスタビット一覧 (44 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB1	DEVADD4	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB1	DEVADD5	–	–	–	–	–	–	–	–
		USBSPD[1:0]		–	–	–	–	–	–
USB	DPUSR0R	DVSTS1	–	DOVCB1	DOVCA1	–	–	DM1	DP1
		DVBSTS0	–	DOVCB0	DOVCA0	–	–	DM0	DP0
		–	–	–	FIXPHY1	–	–	–	SRPC1
		–	–	–	FIXPHY0	–	–	–	SRPC0
USB	DPUSR1R	DVBINT1	–	DOVRCRB1	DOVRCRA1	–	–	DMINT1	DPINT1
		DVBINT0	–	DOVRCRB0	DOVRCRA0	–	–	DMINT0	DPINT0
		DVBSE1	–	DOVRCRBE1	DOVRCRAE1	–	–	DMINTE1	DPINTE1
		DVBSE0	–	DOVRCRBE0	DOVRCRAE0	–	–	DMINTE0	DPINTE0
EDMAC	EDMR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	DE	DL[1:0]		–	–	–	SWR
EDMAC	EDTRR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	TR
EDMAC	EDRRR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	RR
EDMAC	TDLAR								
EDMAC	RDLAR								
EDMAC	EESR	–	TWB	–	–	–	TABT	RABT	RFCOF
		ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
		–	–	–	–	CND	DLC	CD	TRO
		RMAF	–	–	RRF	RTLF	RTSF	PRE	CERF
EDMAC	EESIPR	–	TWBIP	–	–	–	TABTIP	RABTIP	RFCOFIP
		ADEIP	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
		–	–	–	–	CNDIP	DLCIP	CDIP	TROIP
		RMAFIP	–	–	RRFIP	RTLFIP	RTSFIP	PREIP	CERFIP
EDMAC	TRSCER	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CNDCE	DLCCE	CDCE	TROCE
		RMAFCE	–	–	RRFCE	RTLFCE	RTSFCE	PRECE	CERFCE

表5.2 I/O レジスタビット一覧 (45 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
EDMAC	RMFCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		MFC[15:0]							
		MFC[15:0]							
EDMAC	TFTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	TFT[10:0]		
		TFT[10:0]							
EDMAC	FDR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	TFD[4:0]				
		–	–	–	RFD[4:0]				
EDMAC	RMCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	RNC	RNR
EDMAC	TFUCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		UNDER[15:0]							
		UNDER[15:0]							
EDMAC	RFOCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		OVER[15:0]							
		OVER[15:0]							
EDMAC	IOSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ELB
EDMAC	FCFTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	RFFO[2:0]		
		–	–	–	–	–	–	–	–
		–	–	–	–	–	RFDO[2:0]		
EDMAC	RPADIR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PADS[1:0]	
		–	–	–	–	–	–	–	–
		–	–	PADR[5:0]					
EDMAC	TRIMD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	TIM	–	–	–	TIS
EDMAC	RBWAR								
EDMAC	RDFAR								

表5.2　I/O レジスタビット一覧 (46 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
EDMAC	TBRAR								
EDMAC	TDFAR								
ETHERC	ECMR	–	–	–	–	–	–	–	–
		–	–	–	TPC	ZPF	PFR	RXF	TXF
		–	–	–	PRCEF	–	–	MPDE	–
		–	RE	TE	–	ILB	RTM	DM	PRM
ETHERC	RFLR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	RFL[11:0]			
		RFL[11:0]							
ETHERC	ECSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	BFR	PSRTO	–	LCHNG	MPD	ICD
ETHERC	ECSIPR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	BFSIPR	PSRTOIP	–	LCHNGIP	MPDIP	ICDIP
ETHERC	PIR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	MDI	MDO	MMD	MDC
ETHERC	PSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	LMON
ETHERC	RDMLR	–	–	–	–	–	–	–	–
		–	–	–	–	RMD[19:0]			
		RMD[19:0]							
		RMD[19:0]							
ETHERC	IPGR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	IPG[4:0]				
ETHERC	APR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		AP[15:0]							
		AP[15:0]							
ETHERC	MPR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		MP[15:0]							
		MP[15:0]							

表5.2 I/O レジスタビット一覧 (47 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ETHERC	RFCF	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		RPAUSE[7:0]							
ETHERC	TPAUSER	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TPAUSE[15:0]							
		TPAUSE[15:0]							
ETHERC	TPAUSECR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TXP[7:0]							
ETHERC	BCFRR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		BCF[15:0]							
		BCF[15:0]							
ETHERC	MAHR	MA[47:0]							
		MA[47:0]							
		MA[47:0]							
		MA[47:0]							
ETHERC	MALR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		MA[15:0]							
		MA[15:0]							
ETHERC	TROCR								
ETHERC	CDCR								
ETHERC	LCCR								
ETHERC	CNDCR								
ETHERC	CEFCR								
ETHERC	FRECR								

表5.2 I/O レジスタビット一覧 (48 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ETHERC	TSFRCR								
ETHERC	TLFRCR								
ETHERC	RFCR								
ETHERC	MAFCR								
FLASH	FMODR	–	–	–	FRDMD	–	–	–	–
FLASH	FASTAT	ROMAE	–	–	CMDLK	DFLAE	–	DFLRPE	DFLWPE
FLASH	FAEINT	ROMAEIE	–	–	CMDLKIE	DFLAEIE	–	DFLRPEIE	DFLWPEIE
FLASH	FRDYIE	–	–	–	–	–	–	–	FRDYIE
FLASH	DFLRE0	KEY[7:0]							
		DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00
FLASH	DFLRE1	KEY[7:0]							
		DBRE15	DBRE14	DBRE13	DBRE12	DBRE11	DBRE10	DBRE09	DBRE08
FLASH	DFLWE0	KEY[7:0]							
		DBWE07	DBWE06	DBWE05	DBWE04	DBWE03	DBWE02	DBWE01	DBWE00
FLASH	DFLWE1	KEY[7:0]							
		DBWE15	DBWE14	DBWE13	DBWE12	DBWE11	DBWE10	DBWE09	DBWE08
FLASH	FCURAME	KEY[7:0]							
		–	–	–	–	–	–	–	FCRME
FLASH	FSTATR0	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	–	ERSSPD	PRGSPD
FLASH	FSTATR1	FCUERR	–	–	FLOCKST	–	–	–	–
FLASH	FENTRYR	FEKEY[7:0]							
		FENTRYD	–	–	–	–	–	–	FENTRY0
FLASH	FPROTR	FPKEY[7:0]							
		–	–	–	–	–	–	–	FPROTCN
FLASH	FRESETR	FRKEY[7:0]							
		–	–	–	–	–	–	–	FRESET
FLASH	FCMDR	CMDR[7:0]							
		PCMDR[7:0]							
FLASH	FCPSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ESUSPMD
FLASH	DFLBCCNT	–	–	–	–	–	BCADR[7:0]		
		BCADR[7:0]					–	–	BCSIZE
FLASH	FPESTAT	–	–	–	–	–	–	–	–
		PEERRST[7:0]							
FLASH	DFLBCSTAT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BCST

表5.2　I/O レジスタビット一覧 (49 / 49)

モジュールシンボル	レジスタシンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FLASH	PCKAR	–	–	–	–	–	–	–	–
		PCKA[7:0]							

注.　本節はI/Oポート関連のレジスタ（0008 C000h～0008 C117h）において、176ピンLFBGA版のビット構成を記載しています。パッケージによりレジスタ、ビット構成が異なりますので、その他のパッケージ品のレジスタ、ビット構成については「17. I/Oポート」を参照してください。

注1.　PPG0.PCRの設定により、パルス出力グループ2とパルス出力グループ3の出力トリガ設定値が同一の場合は、PPG0.NDRHのアドレスは0008 81EChとなります。出力トリガが異なる場合は、パルス出力グループ2に対応するPPG0.NDRH2のアドレスは0008 81EEh、出力グループ3に対応するPPG0.NDRHは0008 81EChとなります。

注2.　PPG0.PCRの設定により、パルス出力グループ0とパルス出力グループ1の出力トリガ設定値が同一の場合は、PPG0.NDRLのアドレスは0008 81EDhとなります。出力トリガが異なる場合は、パルス出力グループ0に対応するPPG0.NDRL2のアドレスは0008 81EFh、出力グループ1に対応するPPG0.NDRLは0008 81EDhとなります。

注3.　PPG1.PCRの設定により、パルス出力グループ6とパルス出力グループ7の出力トリガ設定値が同一の場合PPG1.NDRHのアドレスは0008 81FChとなります。出力トリガが異なる場合は、パルス出力グループ6に対応するPPG1.NDRH2のアドレスは0008 81FEh、出力グループ7に対応するPPG1.NDRHは0008 81FChとなります。

注4.　PPG1.PCRの設定により、パルス出力グループ4とパルス出力グループ5の出力トリガ設定値が同一の場合は、PPG1.NDRLのアドレスは0008 81FDhとなります。出力トリガが異なる場合は、パルス出力グループ4に対応するPPG1.NDRL2のアドレスは0008 81FFh、出力グループ5に対応するPPG1.NDRLは0008 81FDhとなります。

注5.　ADDRP.DPSEL＝0（LSB詰め）の場合のビット構成です。詳細は「35.　10ビットA/Dコンバータ（ADa）」を参照してください。

注6.　145ピンTFLGA版および144ピンLQFP版にはありません。

注7.　100ピンLQFP版にはありません。

注8.　85ピンTFLGA版にはありません。

6. リセット

6.1 概要

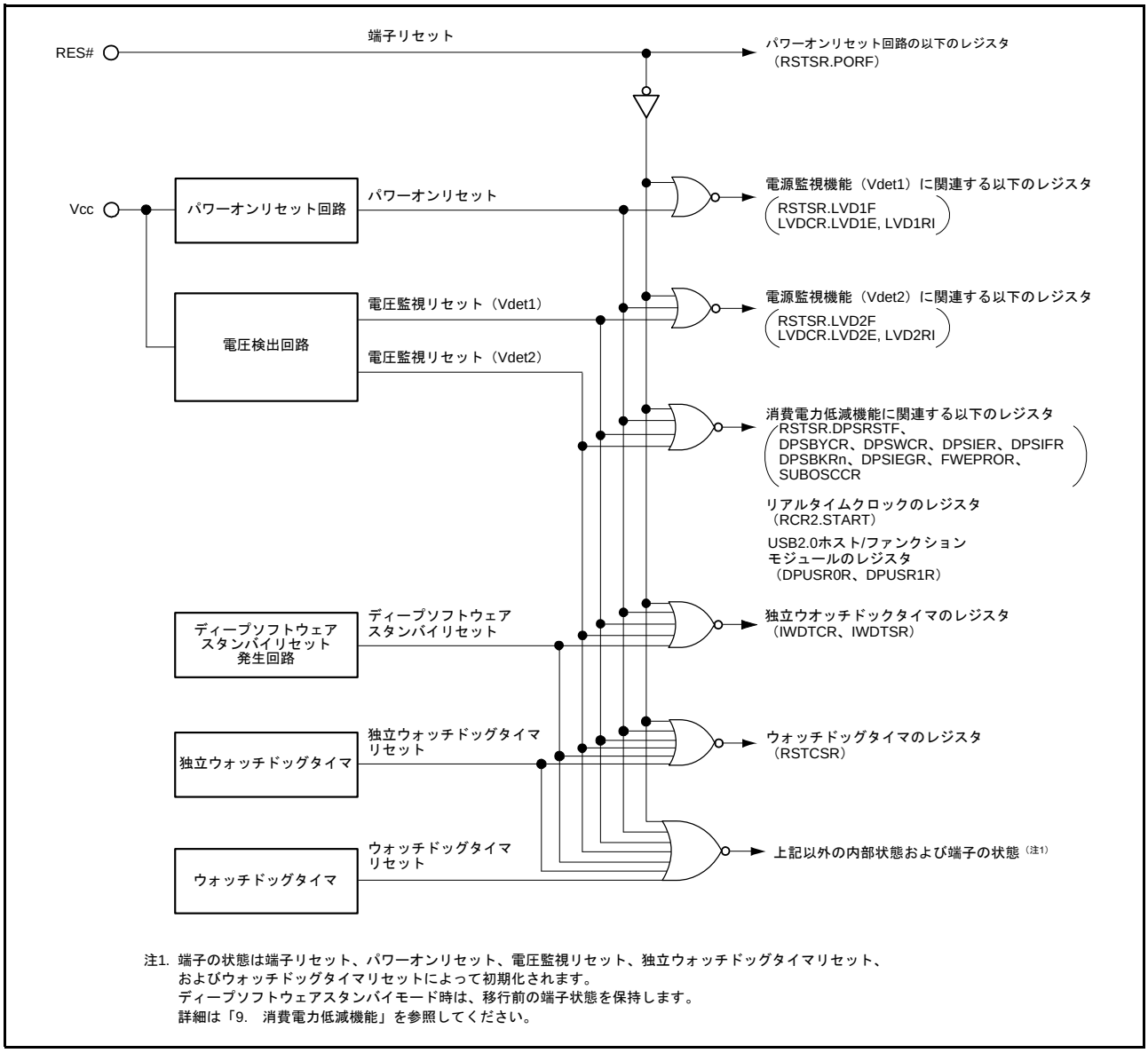
リセットには、端子リセット、パワーオンリセット、電圧監視リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセットがあります。表 6.1 にリセットの名称と要因を示します。

表6.1　リセットの名称と要因

リセットの名称	要　因
端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇、VCCの下降（監視電圧：V_{POR}）
電圧監視リセット	VCCの下降（監視電圧：Vdet1、Vdet2）（注）
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー
ウォッチドッグタイマリセット	ウォッチドッグタイマのオーバフロー

注.　監視電圧（Vdet1、Vdet2、V_{POR}）については、「7.　電圧検出回路（LVD）」および「41.　電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。図 6.1 に各リセットによって初期化される対象を示します。



注1. 端子の状態は端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、
およびウォッチドッグタイマリセットによって初期化されます。
ディープソフトウェアスタンバイモード時は、移行前の端子状態を保持します。
詳細は「9.　消費電力低減機能」を参照してください。

図 6.1　　リセット回路のブロック図

表6.2　リセット種別ごとの初期化対象

リセット対象	リセット種別						
	端子リセット	パワーオンリセット	電圧監視リセット		ディープソフトウェアスタンバイリセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
			Vdet1	Vdet2			
パワーオンリセット回路のレジスタ RSTSR.PORF	○	－	－	－	－	－	－
電圧監視機能（Vdet1）関連レジスタ RSTSR. LVD1F、 LVDCR. LVD1E, LVD1RI	○	○	－	－	－	－	－
電圧監視機能（Vdet2）関連レジスタ RSTSR.LVD2F、 LVDCR.LVD2E, LVD2RI	○	○	○	－	－	－	－
消費電力低減機能関連レジスタ RSTSR.DPSRSTF、DPSBYCR、 DPSWCR、DPSIER、DPSIFR、 DPSBKRn、DPSIEGR、FWEPROR、 SUBOSCCR リアルタイムクロックのレジスタ RCR2.START USB2.0ホスト／ファンクション モジュールのレジスタ （DPUSR0R、DPUSR1R）	○	○	○	○	－	－	－
独立ウォッチドッグタイマのレジスタ IWDTCR、IWDTSR	○	○	○	○	○	－	－
ウォッチドッグタイマのレジスタ RSTCSR	○	○	○	○	○	○	－
上記以外のレジスタおよび内部状態	○	○	○	○	○	○	○
端子の状態	○	○	○	○	－	○	○

リセットが解除されるとリセット例外処理を開始します。リセット例外処理については、「10.　例外処理」を参照してください。

リセットに関連する入出力端子を表 6.3 に示します。

表6.3　リセット関連の入出力端子

端子名	入出力	機　　能
RES#	入力	リセット端子

6.2 レジスタの説明

表 6.4 にリセットに関連するレジスター覧を示します。
各レジスタにはリセット種別毎の発生要因を示すビットが配置されています。

表6.4　リセット関連のレジスター覧

レジスタ名	シンボル	リセット後の値（注）	アドレス	アクセスサイズ
リセットステータスレジスタ	RSTSR	00h	0008 C285h	8
リセットコントロール／ステータスレジスタ	RSTCSR	1Fh	0008 802Bh	8
IWDTステータスレジスタ	IWDTSR	0000h	0008 8034h	16

注.　各レジスタによって有効なリセットが異なります。詳細は「図 6.1　リセット回路のブロック図」および「表 6.2　リセット種別ごとの初期化対象」を参照してください。

6.2.1 リセットステータスレジスタ（RSTSR）

RSTSR レジスタの詳細は「9.　消費電力低減機能」を参照してください。

6.2.2 リセットコントロール／ステータスレジスタ（RSTCSR）

RSTCSR レジスタの詳細は「24.　ウォッチドッグタイマ（WDT）」を参照してください。

6.2.3 IWDT ステータスレジスタ（IWDTSR）

IWDTSR レジスタの詳細は「25.　独立ウォッチドッグタイマ（IWDT）」を参照してください。

6.3 動作説明

6.3.1 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、RX62N、RX621 はリセット状態になります。

RX62N、RX621 を確実にリセットするために、電源投入時は規定の発振安定時間に従い、RES# 端子が Low を保持するようにしてください。動作中は規定のリセットパルス幅に従い、RES# 端子が Low を保持するようにしてください。詳細は「41. 電気的特性」を参照してください。

6.3.2 パワーオンリセット

パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が V_{POR} を超えると、ある一定の時間（パワーオンリセット時間）経過後、パワーオンリセットは解除されます。パワーオンリセット時間は、外部電源および LSI が安定するための時間です。

RES # 端子を High にした状態で電源電圧が低下し VCC が V_{POR} 以下になると、パワーオンリセットが発生します。次に VCC が上昇し V_{POR} を超えると、パワーオンリセット時間経過後、パワーオンリセットは解除されます。

また、パワーオンリセットが発生すると、RSTSR.PORF フラグが“ 1 ”になります。PORF フラグは読み出し専用のレジスタで端子リセットでのみ初期化されます。

図 6.2 にパワーオンリセットの動作を示します。

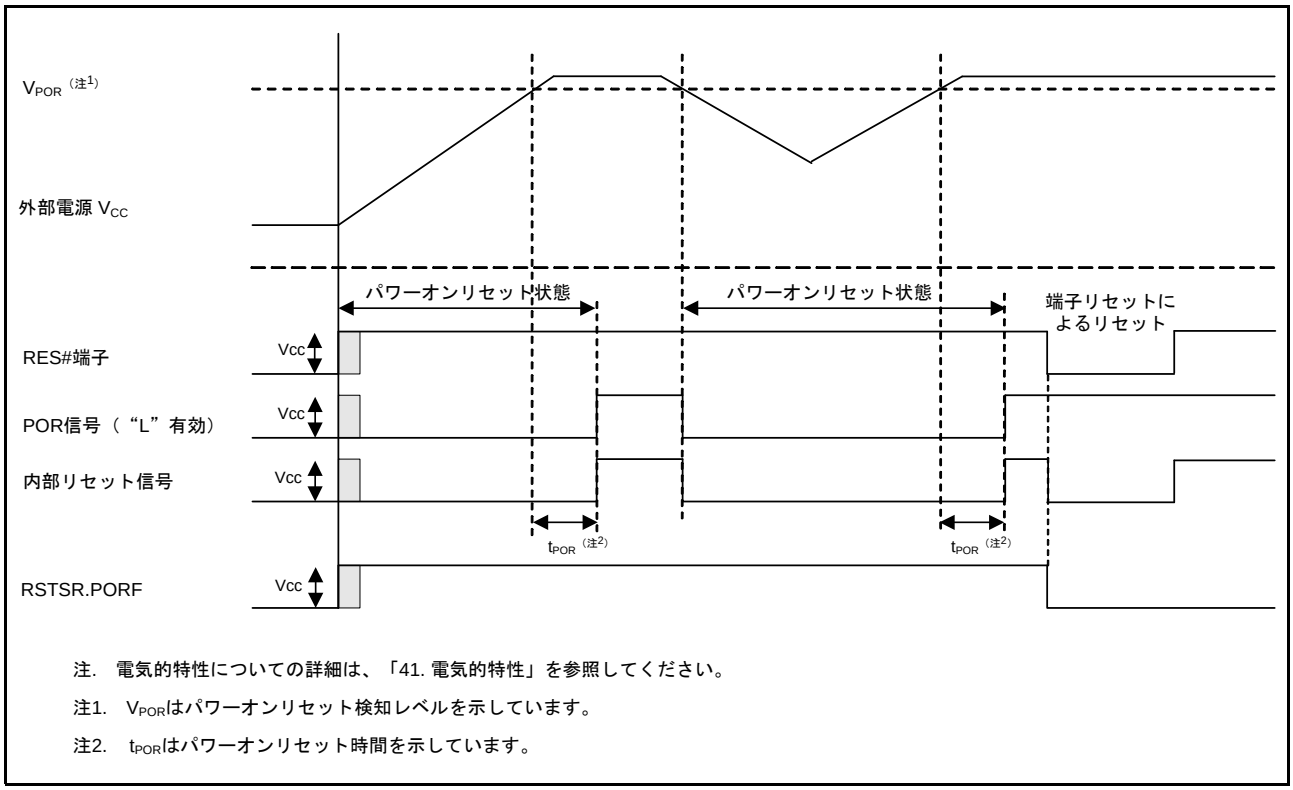


図 6.2　パワーオンリセット動作

6.3.3 電圧監視リセット

電圧検出回路による内部リセットです。

VCC が Vdet1 以下になると LVD1F フラグが “1” になります。このとき LVDCR レジスタの LVD1E ビットが “1”（電圧検出回路によるリセット／割り込み有効）で LVD1RI ビットが “0”（低電圧検出時リセット発生）の場合、電圧検出回路は電圧監視リセットが発生します。

同様に VCC が Vdet2 以下になると LVD2F フラグが “1” になります。このとき LVDCR レジスタの LVD2E ビットが “1”（電圧検出回路によるリセット／割り込み有効）で LVD2RI ビットが “0”（低電圧検出時リセット発生）の場合、電圧検出回路は電圧監視リセットが発生します。

次に VCC が Vdet1 または Vdet2 を超えると、電圧監視リセットは安定化時間（t_{POR}）が経過した後、解除されます。

電圧監視リセットの詳細は「7. **電圧検出回路**（LVD）」、「41. **電気的特性**」を参照してください。

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。その後、DPSWCR.WTSTS[5:0] ビットにより設定された時間が経過した後、ディープソフトウェアスタンバイリセットは解除されます。ディープソフトウェアスタンバイリセットの解除とともにディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイリセットの詳細は、「9. **消費電力低減機能**」を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

独立ウォッチドッグタイマがアンダフローしたときに、独立ウォッチドッグタイマリセットが発生します。その後、一定時間経過後、解除されます。

独立ウォッチドッグタイマリセットの詳細は「25. **独立ウォッチドッグタイマ**（IWDT）」を参照してください。

6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

RSTCSR レジスタの RSTE ビットを “1” にしておくと、ウォッチドッグタイマがオーバフローしたときに、ウォッチドッグタイマリセットが発生します。その後、一定時間が経過すると、ウォッチドッグタイマリセットは解除されます。

ウォッチドッグタイマリセットの詳細は「24. **ウォッチドッグタイマ**（WDT）」を参照してください。

6.4 リセット発生要因の判定

RSTCSR レジスタと IWDTSR レジスタ、RSTSR レジスタ、LVDCR レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.3 にリセット発生要因の判定フローの例を示します。

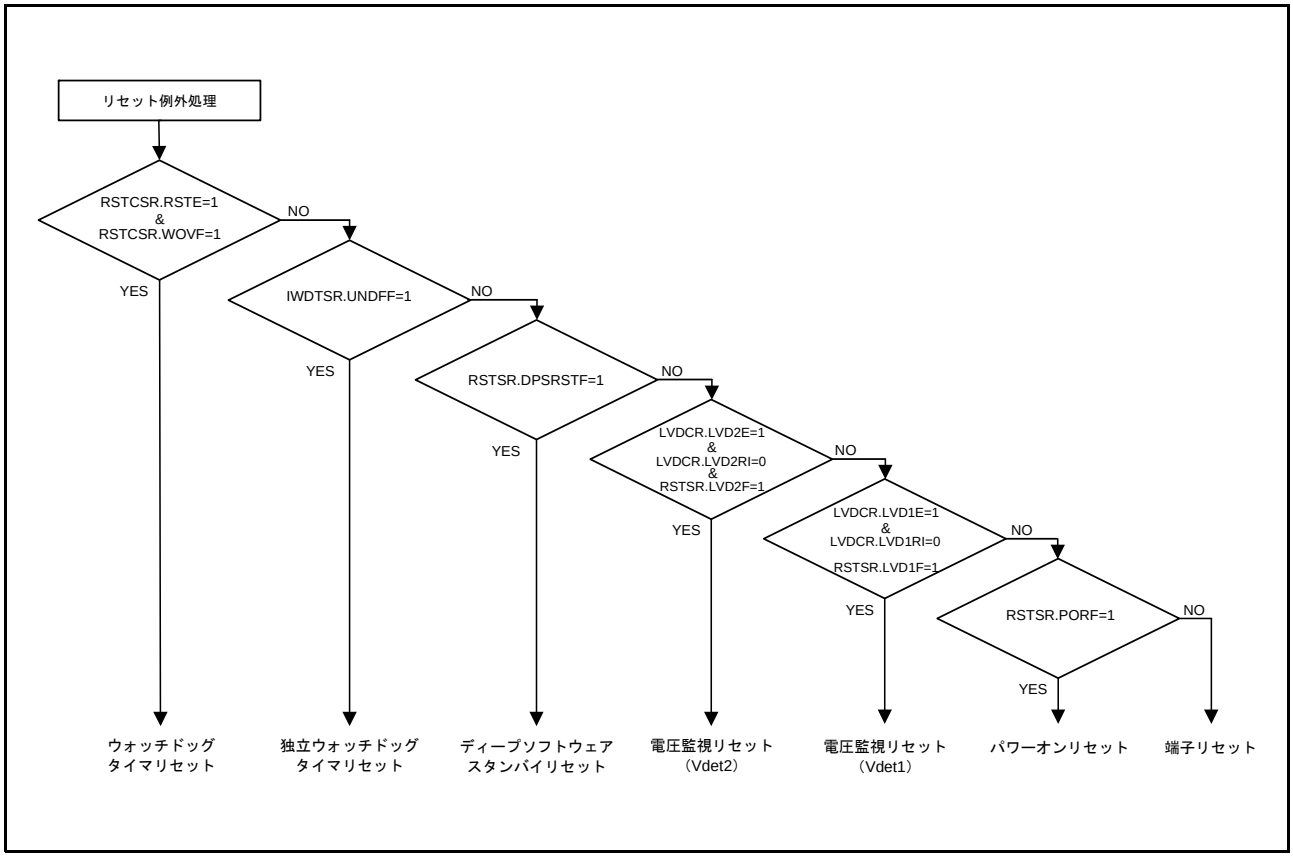


図 6.3 リセット発生要因判定フロー例

6.5 使用上の注意事項

6.5.1 ボード設計上の注意

RX62N グループ、RX621 グループは XTAL 端子とリセット端子が隣接するピン配置となっています。そのため、クロック信号の影響を受けないようにリセット信号は GND でガードしてください。

7. 電圧検出回路（LVD）

7.1 概要

電圧検出回路は、VCC の電圧レベルを監視する回路です。VCC が低下し、電圧検出レベルを下回ると、電圧検出回路は LSI 内部をリセットすることができます。また、割り込みを発生させることができます。

表 7.1　電圧検出回路の仕様

項目	内容
電圧検出回路1（LVD1）	• 電源電圧VCCがVdet1（注1）以下になったことを検出可能 • 低電圧検出時、内部リセットもしくは内部割り込みを発生可能
電圧検出回路2（LVD2）	• 電源電圧VCCがVdet2（注1）以下になったことを検出可能 • 低電圧検出時、内部リセットもしくは内部割り込みを発生可能

注1.　Vdet1、Vdet2については「41.　電気的特性」を参照してください。

電圧検出回路のブロック図を**図 7.1** に示します。

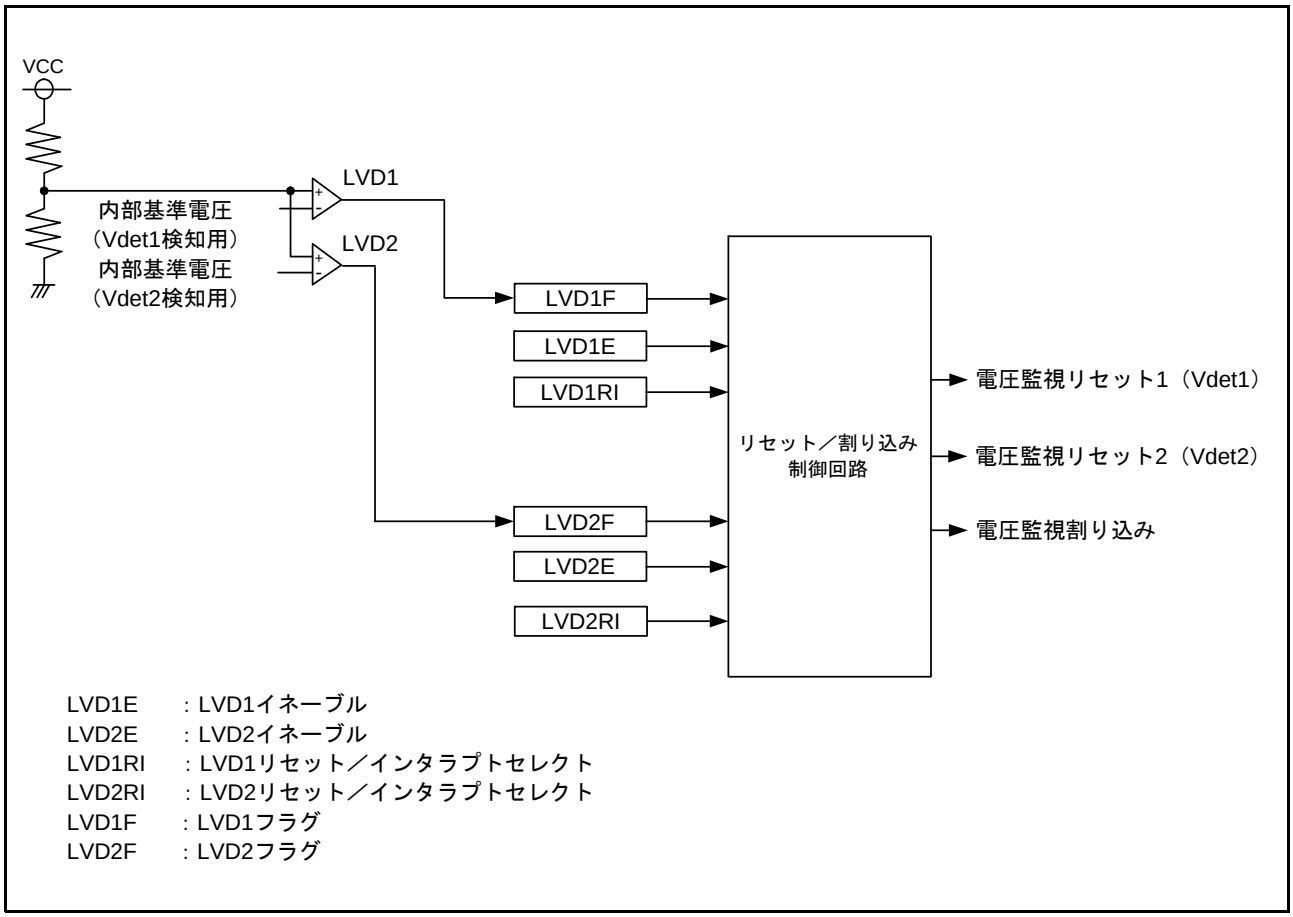


図 7.1　　電圧検出回路のブロック図

7.2 レジスタの説明

表 7.2 に電圧検出回路のレジスタ一覧を示します。

表7.2　電圧検出回路のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
リセットステータスレジスタ	RSTSR	x000 0xxxb	0008 C285h	8
低電圧検出コントロールレジスタ用キーコードレジスタ	LVDKEYR	0000 0000b	0008 C28Ch	8
低電圧検出コントロールレジスタ	LVDCR	000x 000xb	0008 C28Dh	8

7.2.1 リセットステータスレジスタ（RSTSR）

RSTSR レジスタの詳細は、「9. 消費電力低減機能」を参照してください。

7.2.2 低電圧検出コントロールレジスタ用キーコードレジスタ（LVDKEYR）

アドレス　0008 C28Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7～b0	—	LVDCRキーコード	3Ch　：LVDCRレジスタの書き込み有効 上記以外：LVDCRレジスタの書き込み無効	R/W

LVDKEYR レジスタは LVDCR レジスタの書き込みの許可 / 禁止の制御を行うレジスタです。
LVDKEYR レジスタにキーコードを書くことにより、LVDCR レジスタへの書き込みが可能になります。

KEY[7:0] ビット（LVDCR キーコード）

LVDKEYR レジスタに “3Ch” を書くと、LVDCR レジスタへの書き込みが有効になります。“3Ch” 以外の値が書かれている場合は、LVDCR レジスタに対して書き込みが無効になります。LVDCR レジスタへ書いた後、KEY[7:0] ビットは “00h” になります。

7.2.3 低電圧検出コントロールレジスタ（LVDCR）

アドレス　0008 C28Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2E	LVD2RI	—	—	LVD1E	LVD1RI	—	—
リセット後の値	0	0	0	X	0	0	0	X

X：不定

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読む場合、その値は不定です。書き込みは無効になります	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1RI	LVD1リセット／割り込み選択ビット	0：低電圧検出時、リセットを発生 1：低電圧検出時、割り込みを発生	R/W
b3	LVD1E	LVD1有効ビット	0：LVD1無効 1：LVD1有効	R/W
b4	—	予約ビット	読む場合、その値は不定です。書き込みは無効になります	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	LVD2リセット／割り込み選択ビット	0：低電圧検出時、リセットを発生 1：低電圧検出時、割り込みを発生	R/W
b7	LVD2E	LVD2有効ビット	0：LVD2無効 1：LVD2有効	R/W

LVDCR レジスタは電圧検出回路の制御を行うレジスタです。

LVD1E、LVD1RI ビットは、端子リセット、パワーオンリセットで初期化されます。

LVD2E、LVD2RI ビットは、端子リセット、パワーオンリセット、電圧監視リセット 1（Vdet1）で初期化されます。

表 7.3 に LVDCR レジスタの設定と電圧検出回路の状態を示します。

LVD1RI ビット（LVD1 リセット／割り込み選択ビット）

電圧検出回路 1 で低電圧が検出された場合に、内部リセットを発生させるか、割り込みを発生させるかを選択します。

LVD1E ビット（LVD1 有効ビット）

電圧検出回路 1 によるリセットや割り込みを有効にするビットです。

LVD2RI ビット（LVD2 リセット／割り込み選択ビット）

電圧検出回路 2 で低電圧が検出された場合に、内部リセットを発生させるか、割り込みを発生させるかを選択します。

LVD2E ビット（LVD2 有効ビット）

電圧検出回路 2 によるリセットや割り込みを有効にするビットです。

表7.3　LVDCRレジスタの設定と電圧検出回路の状態

LVDCRレジスタ				電源検出回路2（LVD2）	電源検出回路1（LVD1）
LVD2Eビット	LVD2RIビット	LVD1Eビット	LVD1RIビット		
0	0	0	0	LVD2無効	LVD1無効
0	0	1	0	LVD2無効	LVD1有効（リセット）
0	0	1	1	LVD2無効	LVD1有効（割り込み）
1	0	0	0	LVD2有効（リセット）	LVD1無効
1	1	0	0	LVD2有効（割り込み）	LVD1無効
1	1	1	0	LVD2有効（割り込み）	LVD1有効（リセット）
上記以外は設定しないでください					

7.3　電圧検出回路

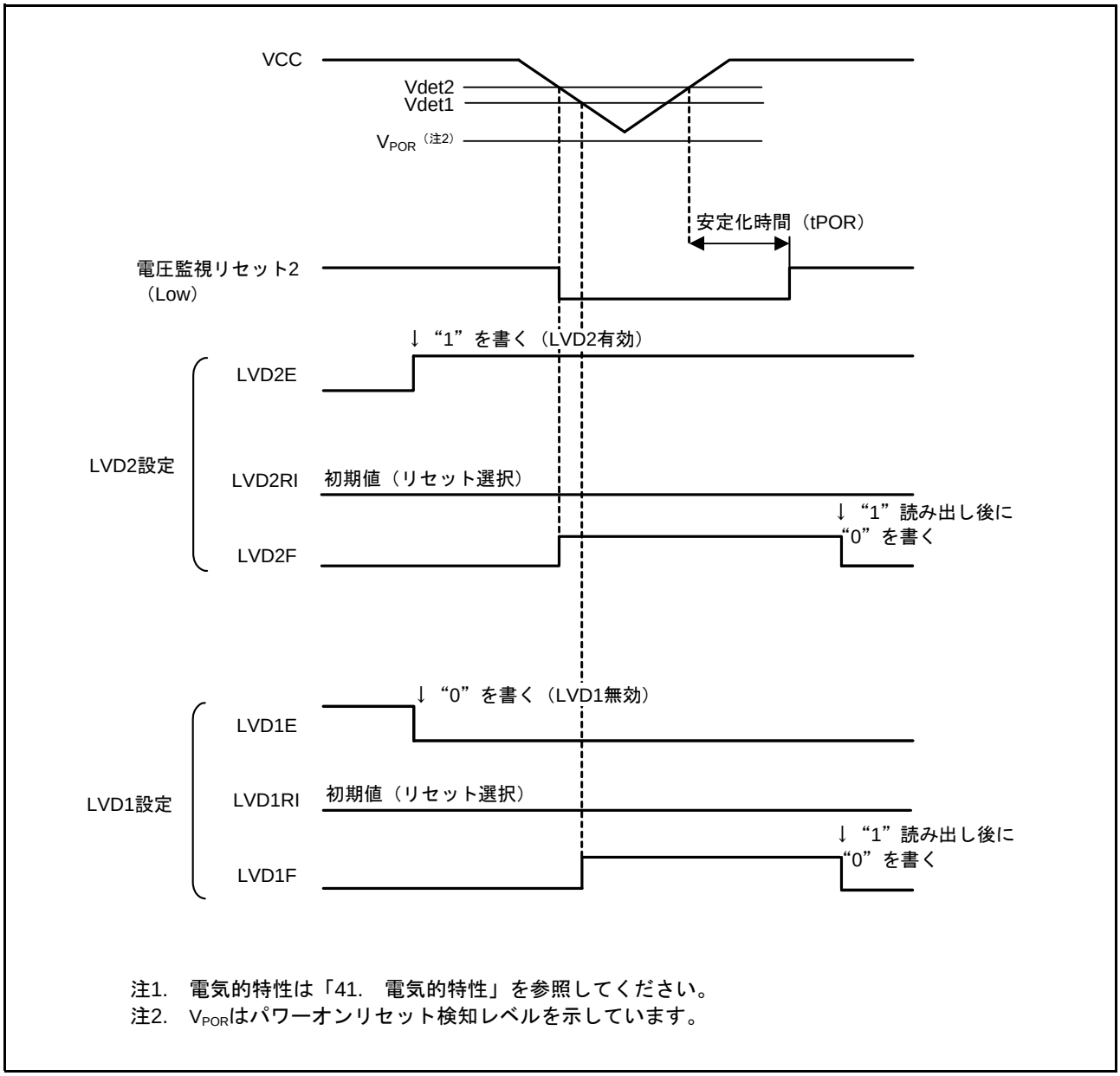
7.3.1　電圧監視リセット

電圧検出回路による電圧監視リセットを図 7.2、および図 7.3 に示します。

VCC が Vdet2 以下になると RSTSR.LVD2F フラグが “1” になります。このとき LVDCR.LVD2E ビットが “1” で LVDCR.LVD2RI ビットが “0” の場合、電圧検出回路は電圧監視リセットが発生します。

同様に VCC が Vdet1 以下になると RSTSR.LVD1F フラグが “1” になります。このとき LVDCR.LVD1E ビッが “1” で LVDCR.LVD1RI ビットが “0” の場合、電圧検出回路は電圧監視リセットが発生します。

次に VCC が Vdet1 または Vdet2 を超えると、電圧監視リセットは解除されます。電圧監視リセットが解除されると、リセット例外処理を開始します。



注1.　電気的特性は「41.　電気的特性」を参照してください。
注2.　V_{POR}はパワーオンリセット検知レベルを示しています。

図 7.2　　電圧監視リセットのタイミング図 1（LVD2 リセット選択／ LVD1 無効）

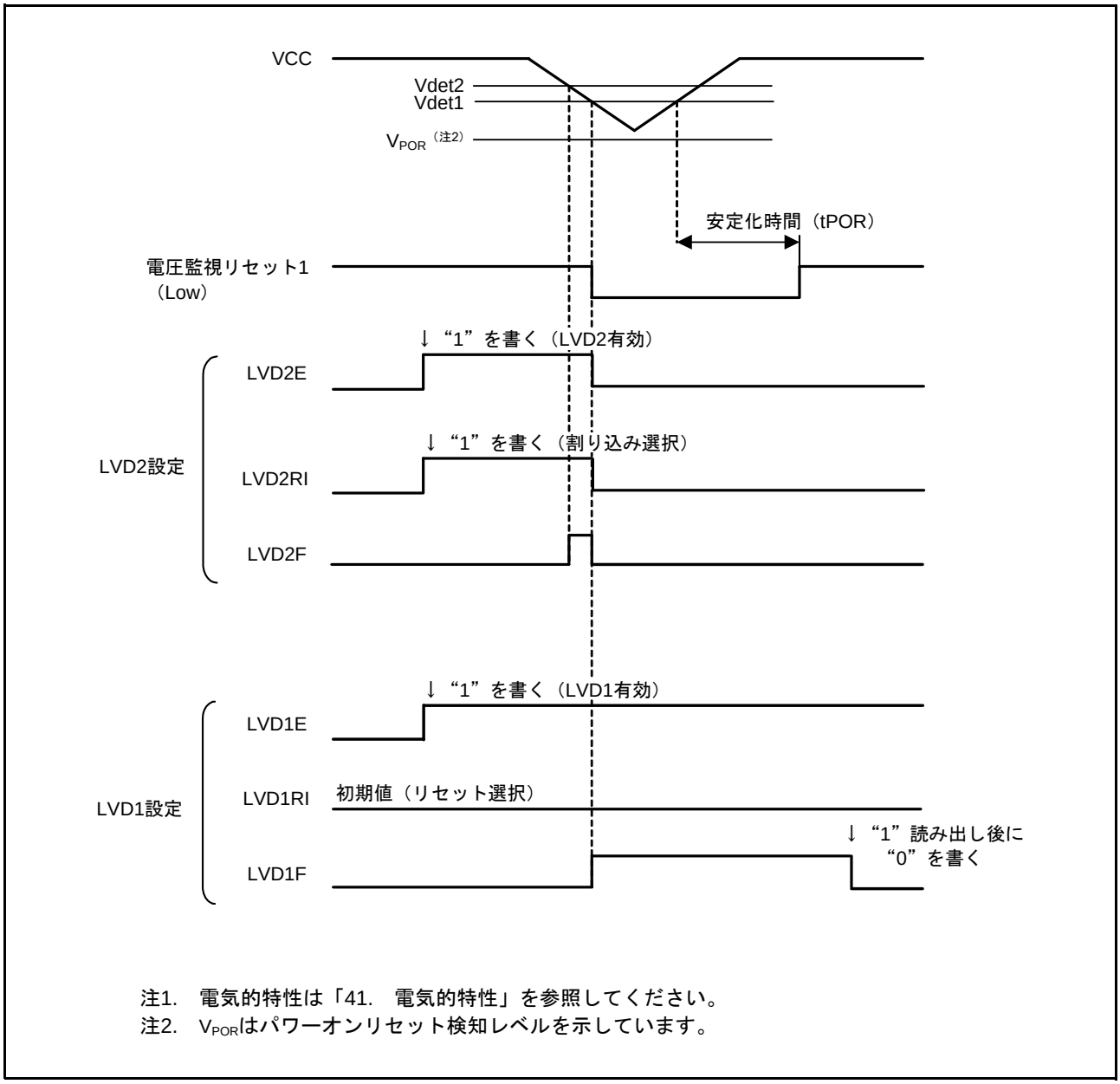


図 7.3　　電圧監視リセットのタイミング図 2（LVD2 割り込み選択、LVD1 リセット選択）

7.3.2 電圧監視割り込み

電圧検出回路による電圧監視割り込みを**図** 7.4 に示します。

VCC が Vdet1 以下になると RSTSR.LVD1F フラグが “1” になります。このとき LVDCR.LVD1E, LVD1RI ビットがともに “1” の場合、電圧検出回路は電圧監視割り込みを要求します。

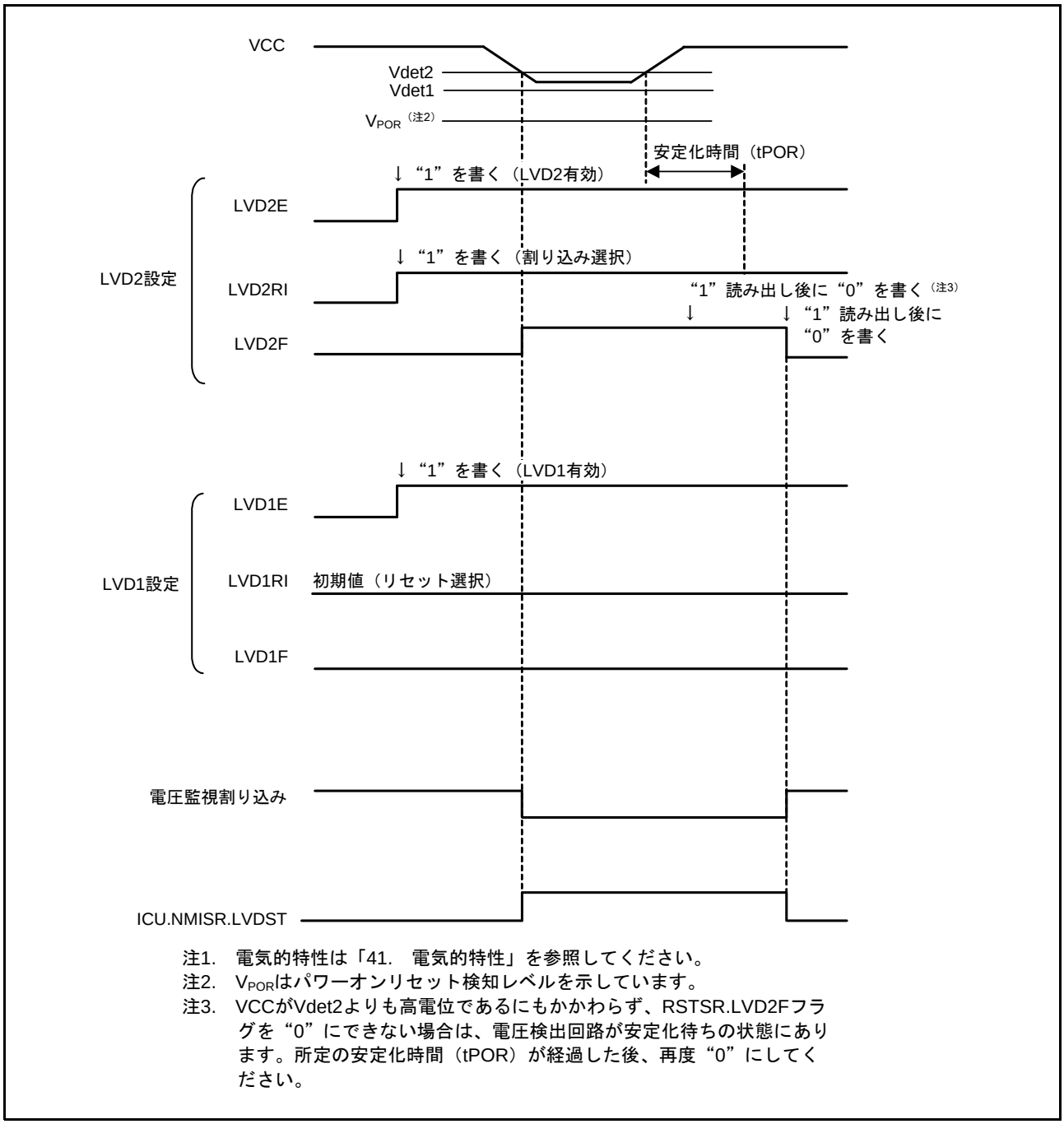
同様に VCC が Vdet2 以下になると、RSTSR.LVD2F フラグが “1” になります。このとき LVDCR.LVD2E, LVD2RI ビットがともに “1” の場合、電圧検出回路は電圧監視割り込みを要求します。

RSTSR.LVD1F フラグは、“1” を読んだ後、“0” を書くことによって “0” にすることができます。このとき、VCC 電圧レベルが LVD1 の検出レベル（Vdet1）以下の状態では、RSTSR.LVD1F フラグは “0” にできません。RSTSR.LVD1F フラグに “0” を書いた後、RSTSR.LVD1F フラグから “0” が読めることで、VCC が Vdet1 以上であることを確認できます。

同様に、RSTSR.LVD2F フラグは、“1” を読んだ後、“0” を書くことによって “0” にすることができます。このとき、VCC 電圧レベルが LVD2 の検出レベル（Vdet2）以下の状態では RSTSR.LVD2F フラグは “0” にできません。RSTSR.LVD2F フラグに “0” を書いた後、RSTSR.LVD2F フラグから “0” が読めることで、VCC が Vdet2 以上であることを確認できます。

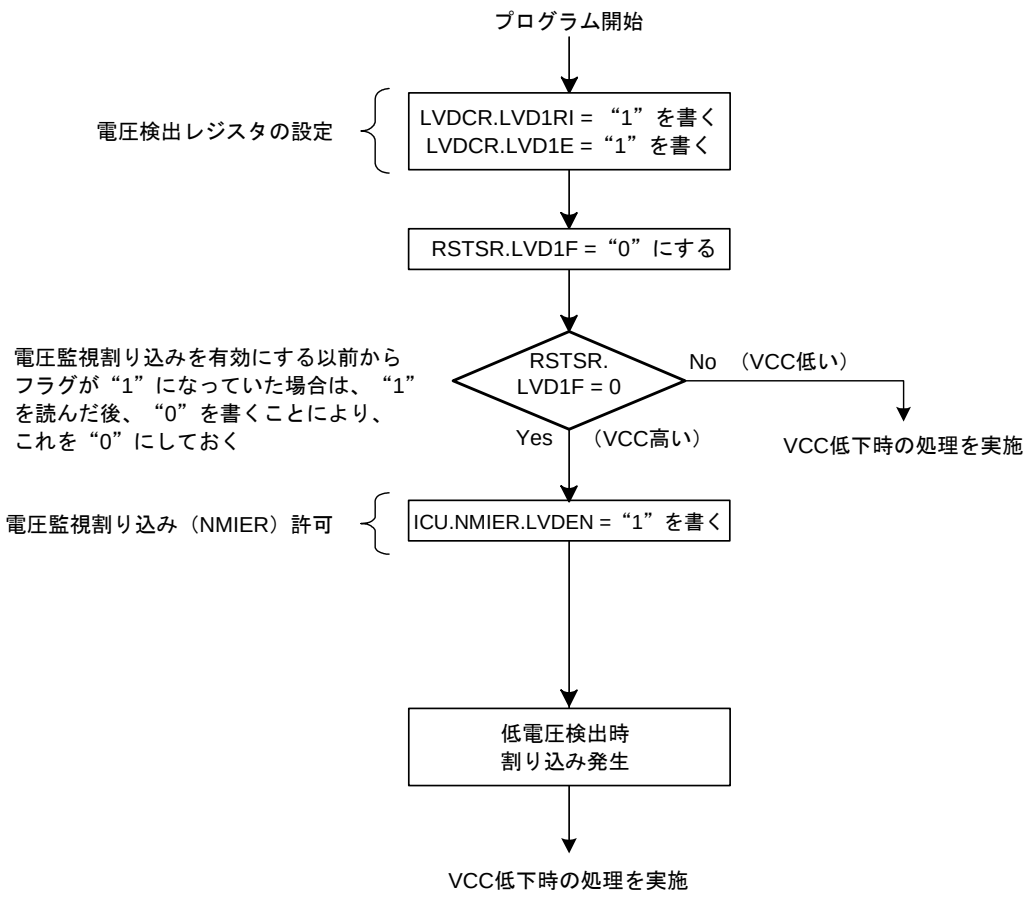
電圧監視割り込みは、ノンマスカブル割り込みに割り付けられています。割り込み処理に関する詳細は、「11. **割り込みコントローラ**（ICUa）」を参照してください。

図 7.5 に電圧監視割り込みの設定手順例を示します。



注1.　電気的特性は「41.　電気的特性」を参照してください。
注2.　V_{POR}はパワーオンリセット検知レベルを示しています。
注3.　VCCがVdet2よりも高電位であるにもかかわらず、RSTSR.LVD2Fフラグを“0”にできない場合は、電圧検出回路が安定化待ちの状態にあります。所定の安定化時間（tPOR）が経過した後、再度“0”にしてください。

図 7.4　　電圧監視割り込みのタイミング図（LVD2 割り込み選択／ LVD1 リセット選択）



注. VCCがVdet1よりも高電位であるにもかかわらず、RSTSR.LVD1Fフラグを “0” にできない場合は、電圧検出回路が安定化待ち状態にあります。所定の安定化時間（t_{POR}）が経過した後、再度 “0” にしてください。

図 7.5　電圧監視割り込みの設定手順例

7.3.3 電圧検出回路によるディープソフトウェアスタンバイモードの解除

VCC が Vdet1 以下になると RSTSR.LVD1F フラグが “1” になります。

このとき、LVDCR.LVD1E, LVD1RI ビットおよび DPSIER.DLVDE ビットが “1” であれば、DPSIFR.DLVDF フラグが “1” になり、電圧監視割り込みによるディープソフトウェアスタンバイモードの解除を要求します。

同様に VCC が Vdet2 以下になると RSTSR.LVD2F フラグが “1” になります。

このとき、LVDCR.LVD2E, LVD2RI ビットおよび DPSIER.DLVDE ビットが “1” であれば、DPSIFR.DLVDF フラグが “1” になり、電圧監視割り込みによるディープソフトウェアスタンバイモードの解除を要求します。

ディープソフトウェアスタンバイモードについては、「9. **消費電力低減機能**」を参照してください。

8. クロック発生回路

8.1 概要

RX62N グループ、RX621 グループはクロック発生回路を内蔵しており、システムクロック（ICLK）、周辺モジュールクロック（PCLK）、外部バスクロック（BCLK）、SDRAM クロック（SDCLK）、USB 専用クロック（UCLK）、RTC 専用クロック（SUBCLK）、およびオンチップオシレータクロック（IWDTCLK）を生成します。

クロック発生回路は、メインクロック発振器、サブクロック発振器、オンチップオシレータ、発振停止検出回路、内部発振回路、PLL（Phase Locked Loop）回路、分周器、セレクタによって構成されます。

表 8.1 にクロック発生回路の仕様を、図 8.1 にクロック発生回路のブロック図を示します。

表8.1　クロック発生回路の仕様

項目	仕様
用途	• CPU、DTC、DMACA、ETHERC、EDMAC、ROMおよびRAMに供給されるシステムクロック（ICLK）の生成 • 周辺モジュールに供給される周辺モジュールクロック（PCLK）の生成 • 外部バスに供給される外部バスクロック（BCLK）の生成 • SDRAMに供給されるSDRAMクロック（SDCLK）の生成 • USBに供給されるUSB専用クロック（UCLK）の生成 • RTCに供給されるRTC専用クロック（SUBCLK）の生成 • IWDTに供給されるオンチップオシレータクロック（IWDTCLK）の生成
動作周波数	ICLK：8MHz～100MHz PCLK：8MHz～50MHz BCLK：8MHz～100MHz（注2） BCLK端子出力：8MHz～50MHz（注3） SDCLK：8MHz～50MHz SDCLK端子出力：8MHz～50MHz UCLK：48MHz（EXTAL=12MHz時のみ） SUBCLK：32.768kHz IWDTCLK：125kHz（Typ.）（注1） クロック周波数設定制限：ICLK≧PCLK、ICLK≧BCLKを維持
接続できる発振子、または付加回路	水晶発振子
発振子、または付加回路の接続端子	メインクロック：EXTAL、XTAL サブクロック：XCIN、XCOUT
入力クロック（EXTAL）周波数	8MHz～14MHz
入力クロック（XCIN）周波数	32.768kHz
ICLK/PCLK/BCLK/SDCLK/UCLKクロックの選択	• EXTAL ×8、×4、×2、×1からICLK/PCLK/BCLK個別に選択可能 （SDCLKは、BCLKと同一周波数、UCLKは、EXTAL×4固定）
発振停止検出機能	メインクロック発振器の発振停止検出時、内部発振に切り替える機能 MTUの端子をハイインピーダンスにする機能
BCLK端子の出力制御機能	• BCLKクロック出力またはHigh出力の選択が可能 • 出力するクロックはBCLKまたはBCLKの2分周の選択が可能 （BCLKがEXTAL×1を選択している場合、BCLKの2分周の選択は無効）
SDCLK端子の出力制御機能	SDCLK出力またはHigh出力の選択が可能

注1.　詳細は「41.　電気的特性」を参照してください
注2.　100ピンLQFP版、85ピンTFLGA版では、BCLK：8～50MHz
注3.　100ピンLQFP版、85ピンTFLGA版では、BCLK端子出力：8～25MHz

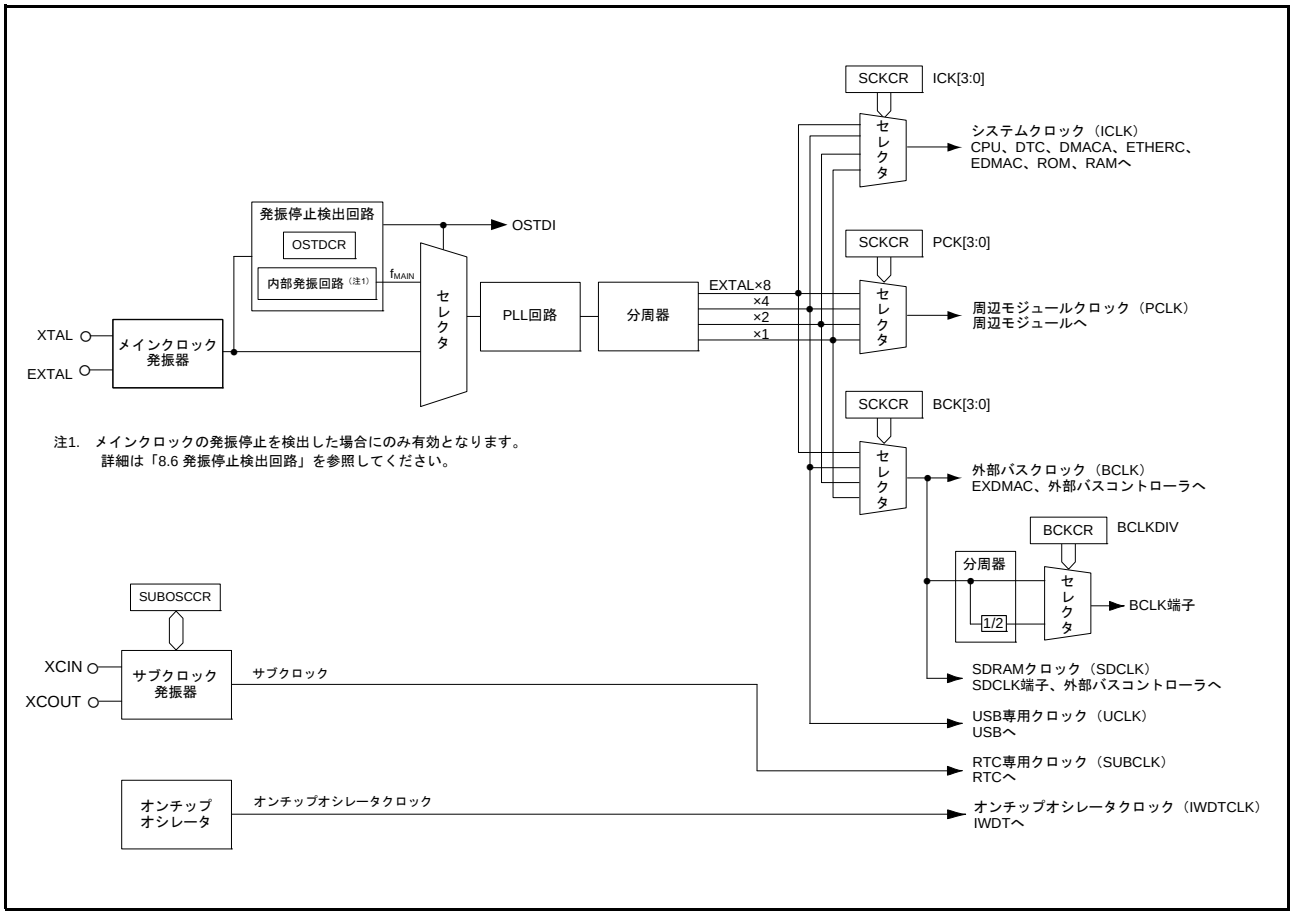


図 8.1　　クロック発生回路のブロック図

表 8.2 にクロック発生回路の入出力端子を示します。

表8.2　　クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	水晶発振子接続端子です。EXTAL端子は外部クロックの入力も可能。 詳細は、「8.3.2　外部クロックを入力する方法」を参照
EXTAL	入力	
XCIN	入力	32.768kHzの水晶発振子を接続します。XCIN端子は外部クロックの入力も可能。
XCOUT	出力	
BCLK	出力	外部デバイスに外部バスクロック（BCLK）を供給します。
SDCLK	出力	外部デバイスにSDRAMクロック（SDCLK）を供給します。

8.2 レジスタの説明

表 8.3 にクロック発生回路のレジスター覧を示します。

表8.3 クロック発生回路のレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムクロックコントロールレジスタ	SCKCR	0202 0200h	0008 0020h	32
外部バスクロックコントロールレジスタ	BCKCR	00h	0008 0030h	8
発振停止検出コントロールレジスタ	OSTDCR	0080h	0008 0040h	16
サブクロック発振器コントロールレジスタ	SUBOSCCR	00h	0008 C28Ah	8

8.2.1 システムクロックコントロールレジスタ（SCKCR）

アドレス　0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24
	—	—	—	—	ICK[3:0]			
リセット後の値	0	0	0	0	0	0	1	0

	b23	b22	b21	b20	b19	b18	b17	b16
	PSTOP1	PSTOP0	—	—	BCK[3:0]			
リセット後の値	0	0	0	0	0	0	1	0

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	PCK[3:0]			
リセット後の値	0	0	0	0	0	0	1	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCK[3:0]（注1）	周辺モジュールクロック選択ビット	b11　b8 0 0 0 0：×8 0 0 0 1：×4 0 0 1 0：×2 0 0 1 1：×1 上記以外は設定しないでください。	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b19-b16	BCK[3:0]（注1）	外部バスクロック、SDRAMクロック選択ビット	b19　b16 0 0 0 0：×8 0 0 0 1：×4 0 0 1 0：×2 0 0 1 1：×1 上記以外は設定しないでください。	R/W
b21-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22	PSTOP0	SDCLK端子出力制御ビット	0：SDCLK端子出力動作 1：SDCLK端子出力禁止（High固定）	R/W
b23	PSTOP1	BCLK端子出力制御ビット	0：BCLK端子出力動作 1：BCLK端子出力停止（High固定）	R/W
b27-b24	ICK[3:0]（注2）	システムクロック選択ビット	b27　b24 0 0 0 0：×8 0 0 0 1：×4 0 0 1 0：×2 0 0 1 1：×1 上記以外は設定しないでください。	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　システムクロック（ICLK）より高い周波数を設定しないでください。レジスタの設定は行えますが、周波数はICLK と同一になります。

注2.　周辺モジュールクロック（PCLK）、および外部バスクロック（BCLK）より低い周波数を設定しないでください。レジスタの設定は行えますが、PCLKおよびBCLKの周波数はシステムクロック（ICLK）と同一になります。

SCKCR レジスタは、BCLK、および SDCLK の出力制御と、システムクロック（ICLK）、周辺モジュールクロック（PCLK）および外部バスクロック（BCLK）、SDRAM クロック（SDCLK）の周波数を選択するレジスタです。

PCK[3:0] ビット（周辺モジュールクロック選択ビット）

周辺モジュールクロック（PCLK）の周波数を選択します。
入力クロック（EXTAL）に対する倍率を示しています。

BCK[3:0] ビット（外部バスクロック、SDRAM クロック選択ビット）

外部バスクロック（BCLK）、および SDRAM クロック（SDCLK）の周波数を選択します。
入力クロック（EXTAL）に対する倍率を示しています。

PSTOP0 ビット（SDCLK 端子出力制御ビット）

P70（SDCLK）端子から出力する SDCLK の停止 / 出力を制御します。
停止の場合、High が出力されます。

PSTOP1 ビット（BCLK 端子出力制御ビット）

P53（BCLK）端子から出力する BCLK の停止 / 出力を制御します。
停止の場合、High が出力されます。

ICK[3:0] ビット（システムクロック選択ビット）

CPU、DMACA、DTC とシステムクロック（ICLK）の周波数を選択します。
入力クロック（EXTAL）に対する倍率を示しています。

8.2.2 外部バスクロックコントロールレジスタ（BCKCR）

アドレス　0008 0030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKDIV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	BCLK端子出力選択ビット	0：BCLK ×1 1：BCLK ×1/2	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BCKCR レジスタは、外部バスクロックの制御を行うレジスタです。

BCLKDIV（BCLK 端子出力選択ビット）

P53（BCLK）端子から出力するクロックを選択します。

SCKCR.BCK[3:0] ビットで選択した周波数の BCLK をそのまま出力するか、あるいはその 2 分の 1 の周波数で出力するかを選択できます。

8.2.3 発振停止検出コントロールレジスタ（OSTDCR）

アドレス　0008 0040h

	b15	b14	b13	b12	b11	b10	b9	b8
	KEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	OSTDF	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5～b0	ー	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	OSTDF	発振停止検出フラグ	OSTDE=1のとき 0：メインクロック発振器は正常動作 1：メインクロック発振器の発振停止を検出 OSTDE=0のとき 読むと“0”が読めます	R
b7	OSTDE	発振停止検出機能有効ビット	0：発振停止検出機能は無効 1：発振停止検出機能は有効	R/W
b15～8	KEY[7:0]	OSTDCR キーコード	ACh　：OSTDCR レジスタへの書き込み許可 上記以外　：OSTDCR レジスタへの書き込み禁止 読むと“0”が読めます	R/W

OSTDCR レジスタは、発振停止検出機能の制御を行うレジスタです。

OSTDF フラグ（発振停止検出フラグ）

メインクロック発振器の状態を示すステータスフラグです。

OSTDF フラグが “1” のとき、メインクロック発振器の発振停止を検出したことを示します。

OSTDE ビット（発振停止検出機能有効ビット）

発振停止検出機能の有効／無効の動作を設定します。

OSTDE ビットが “1”（発振停止検出機能有効）の場合、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを “0” にした後、WAIT 命令を発行してください。

KEY[7:0] ビット（OSTDCR キーコード）

OSTDCR レジスタの書き込み許可または禁止を選択します。

OSTDE ビットへ値を書き込むときは、KEY[7:0] ビットを “ACh” にして書いてください。KEY[7:0] ビットが “ACh” 以外の値の場合、OSTDCR レジスタへ書き込みを行っても OSTDE ビットの値は変更されません。

8.2.4 サブクロック発振器コントロールレジスタ（SUBOSCCR）

アドレス　0008 C28Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SUBSTOP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SUBSTOP	サブクロック発振器制御ビット	0：サブクロック発振器動作 1：サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SUBOSCCR レジスタは、サブクロック発振器の制御を行うレジスタです。

SUBSTOP ビット（サブクロック発振器制御ビット）

サブクロック発振器の動作／停止を制御します。

8.3 メインクロック発振器

クロックを供給するには、水晶発振子を接続する方法と外部クロックを入力する方法があります。

8.3.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を**図** 8.2 に示します。ダンピング抵抗 Rd（参考値）を**表** 8.4 に示します。水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は、8 ～ 14MHz としてください。

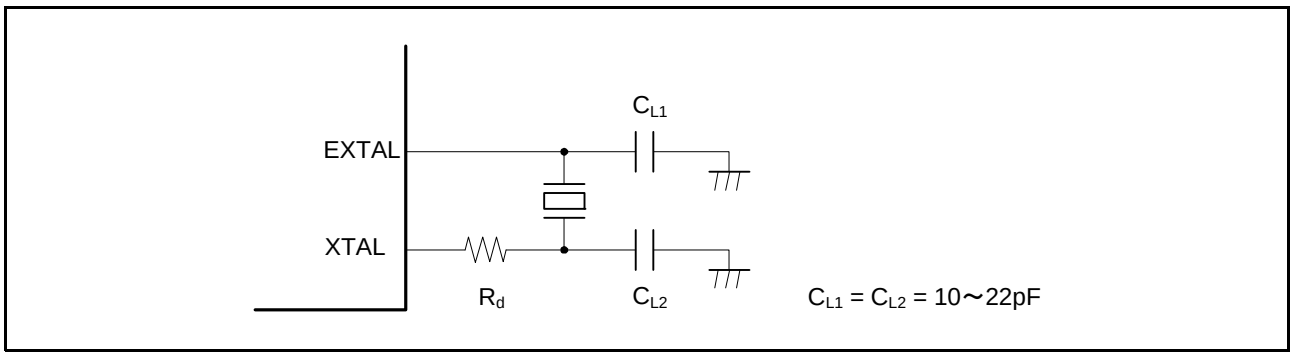


図 8.2　水晶発振子の接続例

表8.4　ダンピング抵抗（参考値）

周波数（MHz）	8	10	12	14
Rd（Ω）	200	100	0	0

水晶発振子の等価回路を**図** 8.3 に示します。水晶発振子は**表** 8.5 に示す特性のものを使用してください。

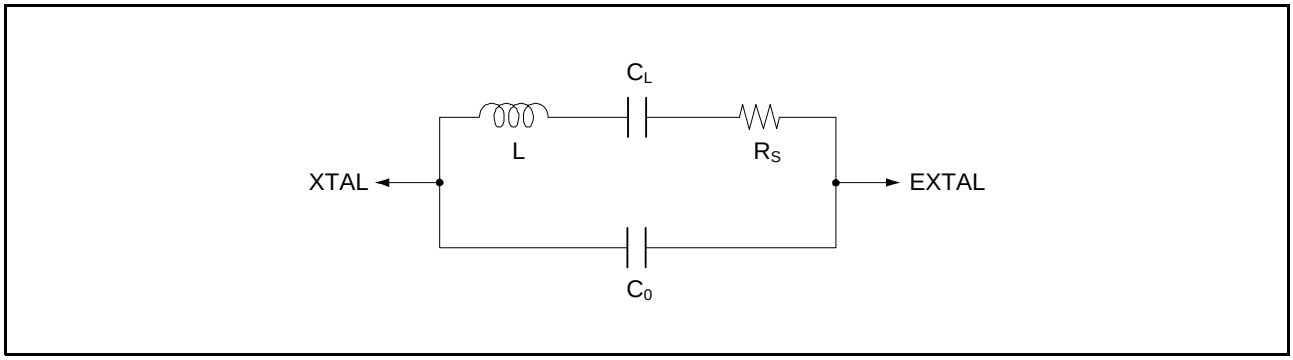


図 8.3　水晶発振子の等価回路

表8.5　水晶発振子の特性（参考値）

周波数（MHz）	8	10	12	14
R_S max（Ω）	80	70	60	50
C_0 max（pF）	7			

8.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 8.4 に示します。XTAL 端子をオープンにする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High にしてください。

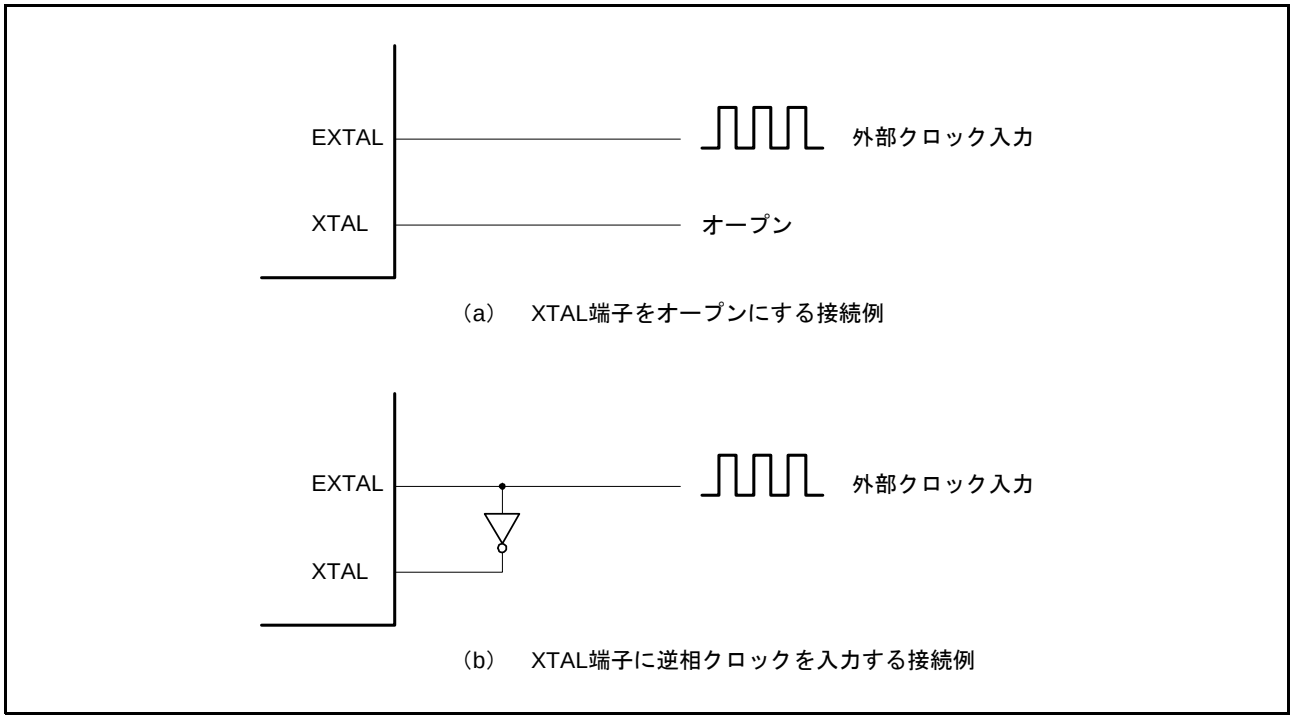


図 8.4 外部クロックの接続例

8.4 サブクロック発振器

8.4.1 32.768kHz 水晶発振子を接続する方法

サブクロック発振器へクロックを供給するには、図8.5に示すように32.768kHzの水晶発振子を接続します。
発振子に関する注意事項については、「8.12.2 発振子に関する注意事項」を参照してください。
ボード設計については、「8.12.3 ボード設計上の注意」を参考にしてください。

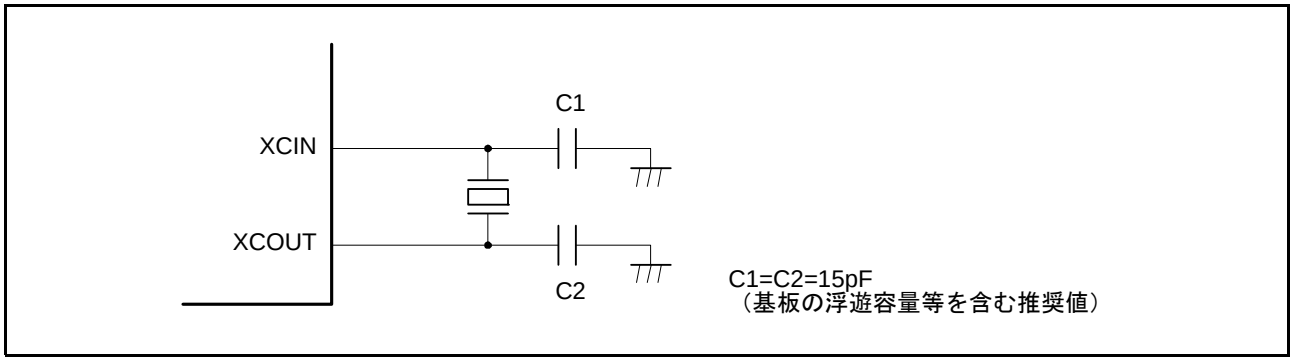


図 8.5 32.768kHz 水晶発振子の接続例

32.768kHz 水晶発振子の等価回路を図 8.6 に示します。

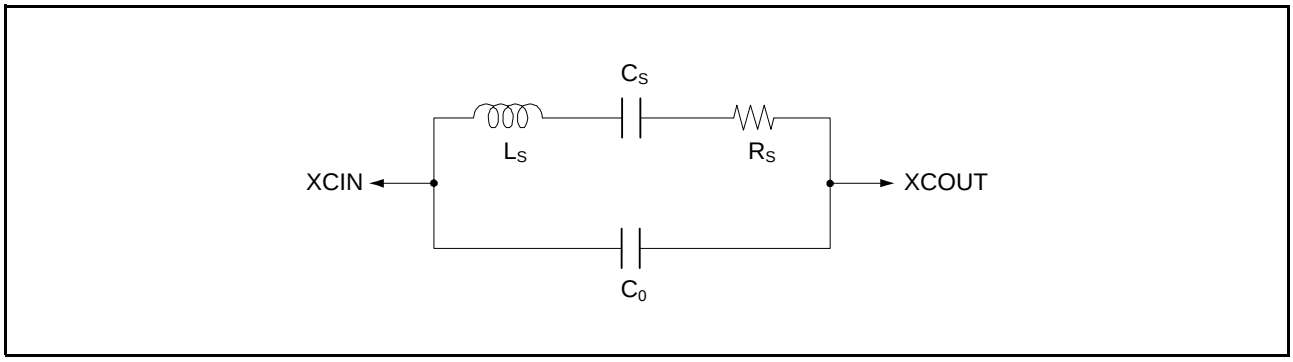


図 8.6 32.768kHz 水晶発振子の等価回路

8.4.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 8.7 に示すように XCIN 端子を抵抗を介して VCC に接続（プルアップ）または抵抗を介して VSS に接続（プルダウン）して、XCOUT 端子をオープンとしてください。

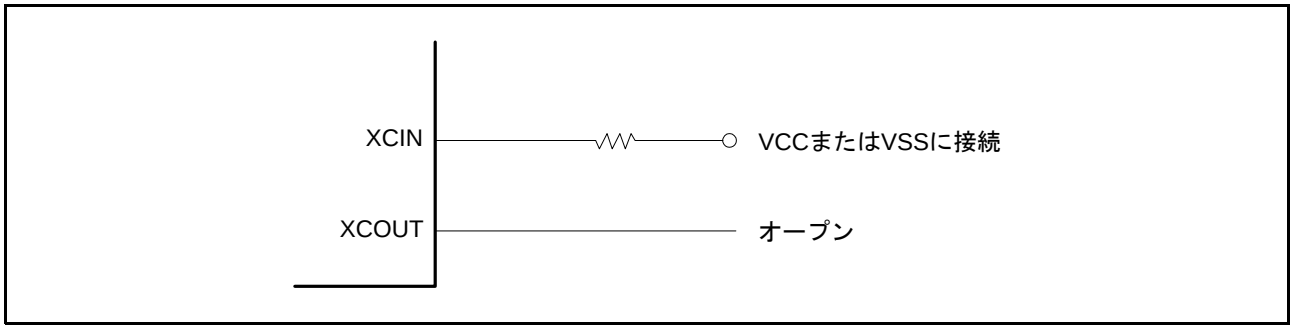


図 8.7 サブクロックを使用しない場合の端子処理

8.5 オンチップオシレータ

オンチップオシレータは、内部発振によりオンチップオシレータクロック（IWDTCLK）を生成します。

8.6 発振停止検出回路

発振停止検出回路は、メインクロック発振器の停止を検出し、停止したメインクロックの替わりに内部発振回路が出力する内部発振クロックを供給する機能を持っています。

詳細は、「8.11　**発振停止検出機能**」を参照してください。

8.7 内部発振回路

内部発振回路は、内部発振により内部発振クロックを生成します。

8.8 PLL 回路

PLL 回路は、発振器からの周波数を 8 倍に逓倍する機能を持っています。

8.9 分周器

分周器は、PLL クロックを分周し、1/2、1/4、1/8 のクロックを生成します。SCKCR.ICK[3:0], PCK[3:0], BCK[3:0] ビットを書き替えると、選択した周波数で動作します。

また、BCKCR.BCLKDIV ビットにより BCLK または BCLK の 2 分周のどちらを BCLK 端子から出力するか選択できます。

8.10 内部クロック

内部クロックは、外部からの入力クロック（EXTAL）を PLL 回路で 8 逓倍し、分周器で 1/2/4/8 分周したクロック、外部からの入力クロック（XCIN）、およびオンチップオシレータで内部発振により生成したクロックです。

内部クロックには、以下の 7 種類のクロックがあります。

- CPU、DMACA、DTC、ETHERC、EDMAC、ROM および RAM の動作クロック：システムクロック（ICLK）
- 周辺モジュールの動作クロック：周辺モジュールクロック（PCLK）
- 外部バスコントローラ、EXDMAC、外部端子出力クロック：外部バスクロック（BCLK）
- 外部バスコントローラ、SDRAM 用の外部端子出力クロック：SDRAM クロック（SDCLK）
- USB 用の動作クロック：USB 専用クロック（UCLK）
- RTC 用の動作クロック：RTC 専用クロック（SUBCLK）
- IWDT 用の動作クロック：オンチップオシレータクロック（IWDTCLK）

周波数は、SCKCR.ICK[3:0], BCK[3:0], PCK[3:0] 、BCKCR.BCLKDIV ビットの組み合わせで設定します。

8.10.1 システムクロック（ICLK）

システムクロック（ICLK）は、CPU、DMACA、DTC、ETHERC、EDMAC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビットで設定します。

ICLK は、周辺モジュールクロック（PCLK）および外部バスクロック（BCLK）より低い周波数に設定することはできません。低い周波数に設定した場合、PCLK および BCLK は ICLK と同じ周波数となります。

8.10.2 周辺モジュールクロック（PCLK）

周辺モジュールクロック（PCLK）は、周辺モジュール用の動作クロックです。

PCLK の周波数は、SCKCR.PCK[3:0] ビットで設定します。

PCLK は、システムクロック（ICLK）より高い周波数に設定することはできません。高い周波数に設定した場合、ICLK と同じ周波数となります。

8.10.3 外部バスクロック（BCLK）

外部バスクロック（BCLK）は、外部バスコントローラ、EXDMAC の動作クロックです。また、BCLK は外部接続バス用に BCLK 端子から外部に出力できます。

SCKCR.PSTOP1 ビットを “0”（BCLK 出力）、PORT5.DDR.B3 ビットを “1”（出力ポート）にすると、BCLK を BCLK 端子から出力することができます。PORT5.DDR.B3 ビットの値を変更する場合は、SCKCR.PSTOP1 ビットが “1”（High 固定）の状態で行なってください。

また、BCKCR.BCLKDIV ビットを “1” に設定すると、BCLK 端子から BCLK の 2 分周クロックを出力することができます。SCKCR.BCK[3:0] ビットを “0000b”（EXTAL×8）に設定を変更する場合は、BCKCR.BCLKDIV ビットが “1” の状態で行ってください。SCKCR.BCK[3:0] ビットを “0011b”（EXTAL×1）に設定を変更する場合は、BCKCR.BCLKDIV ビットが “0” の状態で行ってください。また、SCKCR.BCK[3:0] ビットを “0011b”（EXTAL × 1）に設定した場合、BCKCR.BCLKDIV ビットの設定が無効となり BCLK がそのまま出力されます。

BCLK の周波数は、SCKCR.BCK[3:0] ビットで設定します。

BCLK は、システムクロック（ICLK）より高い周波数に設定することはできません。高い周波数に設定した場合、ICLK と同じ周波数となります。

8.10.4 SDRAM クロック（SDCLK）

SDRAM クロック（SDCLK）は、外部バスコントローラの動作クロックです。また、外部バスに接続する SDRAM 用に SDCLK 端子から外部に出力できます。

SCKCR.PSTOP0 ビットを “0”（SDCLK 出力）、PF6BUS.SDCLKE ビットを “1”（出力ポート）にすると、SDCLK を SDCLK 端子から出力することができます。PF6BUS.MDSDE ビットおよび PF6BUS.SDCLKE ビットの値を変更する場合は、SCKCR.PSTOP0 ビットが “1”（High 固定）の状態で行ってください。

SDRAM クロック周波数は、SCKCR.BCK[3:0] ビットで設定します。

SDRAM クロックは、システムクロックより高い周波数に設定することはできません。高い周波数に設定した場合、システムクロックと同じ周波数となります。

8.10.5 USB 専用クロック（UCLK）

USB 専用クロック（UCLK）は、USB 用の動作クロックです。常に入力クロック（EXTAL）×4 のクロックが出力されます。

USB へは 48MHz のクロックを供給する必要があります。USB を使用する場合は、UCLK が 48MHz となるように、メインクロックの周波数を 12MHz としてください。

8.10.6 RTC 専用クロック（SUBCLK）

RTC 専用クロック（SUBCLK）は、RTC 用の動作クロックです。

SUBCLK は、外部からの入力クロック（XCIN）です。

8.10.7 オンチップオシレータクロック（IWDTCLK）

オンチップオシレータクロック（IWDTCLK）は、IWDT 用の動作クロックです。

IWDTCLK は、オンチップオシレータで内部発振により生成されたクロックです。

8.11 発振停止検出機能

8.11.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、停止したメインクロックの替わりに内部発振回路が出力する内部発振クロックを供給する機能です。発振停止検出時には割り込み要求を発生させることができます。また発振停止検出時に、MTU の出力を強制的にハイインピーダンス状態にすることも可能です。詳細については、「18. マルチファンクションタイマパルスユニット 2（MTU2）」、「19. ポートアウトプットイネーブル 2（POE2）」、および「付録 1. 各動作モードにおけるポートの状態」を参照してください。

RX62N、RX621 グループは、メインクロック発振器の異常などにより入力クロックが一定期間 “0”、または “1” となり続けた場合（表 41.24 を参照）に、メインクロック発振器の発振停止を検出します。

発振停止を検出した場合、RX62N、RX621 グループは内部発振回路から出力する内部発振クロックで動作を継続します。

内部発振回路使用時のシステムクロック（ICLK）の周波数を表 8.6 に示します。

表 8.6　内部発振回路使用時のシステムクロック（ICLK）の周波数

システムクロック（ICLK）	min	typ	max
ICLK 周波数（8 逓倍時）	$8\times f_{MAIN}$	$8\times f_{MAIN}$	$8\times f_{MAIN}$
ICLK 周波数（4 逓倍時）	$4\times f_{MAIN}$	$4\times f_{MAIN}$	$4\times f_{MAIN}$
ICLK 周波数（2 逓倍時）	$2\times f_{MAIN}$	$2\times f_{MAIN}$	$2\times f_{MAIN}$
ICLK 周波数（1 逓倍時）	f_{MAIN}	f_{MAIN}	f_{MAIN}

注. f_{MAIN} については「41. 電気的特性」を参照してください。

メインクロックから内部発振クロックへの切り替えは、発振停止の検出をきっかけにして自動的に行なわれます。発振停止を検出した後にメインクロック発振器が動作を再開した場合でも、内部発振クロックでの動作を継続します。ただし、端子リセット、パワーオンリセット、および電圧監視リセット中に限り、内部発振クロックからメインクロックへの切り替えも行われますので、メインクロック発振器が発振を開始した後はメインクロックで動作します。

発振停止検出機能は、すべてのリセットにより LSI 内部が初期化された時点で有効になります。機能を無効にするには、OSTDCR.OSTDE ビットを “0” にしてください。なお、発振停止を検出し、内部発振クロックで動作している状態では、OSTDCR.OSTDE ビットを “0” にすることはできません。

8.11.2 発振停止検出割り込み

発振停止検出機能が有効なとき、発振停止を検知すると発振停止検出割り込み要求（OSTDI）が発生します。発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスカブル割り込みを有効にしてください。詳細は「**11. 割り込みコントローラ（ICUa）**」を参照ください。

発振停止を検出して内部発振クロックで動作している状態は、システムとして何らかの異常が発生している状態です。異常に対する応急処置のみ実施するようにしてください。

8.11.3 ディープソフトウェアスタンバイ解除に関する注意事項

ディープソフトウェアスタンバイモード中にメインクロック発振器に異常が生じ、メインクロック発振器が正常に動作しない状態では、割り込みによってディープソフトウェアスタンバイモードを解除することができません。

ただし、端子リセットによって解除する場合には、メインクロック発振器が動作しない状態でもディープソフトウェアスタンバイモードを解除することが可能です。確実にディープソフトウェアスタンバイモードを解除する必要がある場合には、端子リセットによって解除するようにしてください。

8.12 使用上の注意事項

8.12.1 クロック発生回路に関する注意事項

1. SCKCRレジスタまたはBCKCRレジスタの設定で、各モジュールに供給されるシステムクロック（ICLK）、周辺モジュールクロック（PCLK）、外部バスクロック（BCLK）、SDRAMクロック（SDCLK）の周波数を選択します。各周波数は、電気的特性のAC特性のクロックサイクル時間（tcyc）の動作保証範囲内に収まるようにしてください。各周波数は、以下のようにしてください。ただし、SDCLKを使用する場合は、BCLKが50MHzを超えないようにしてください。また、BCLK端子出力が50MHzを超えないようにBCLKの周波数を選択してください。
   100ピンLQFP版、85ピンTFLGA版の場合は、BCLK端子出力が25MHzを超えないようにしてください。

   ICLK = 8MHz ～ 100MHz、PCLK = 8MHz ～ 50MHz、BCLK = 8MHz ～ 100MHz、
   SDCLK = 8MHz ～ 50MHz

   ETHERC、EDMACを使用するときは、ICLKを12.5MHz以上としてください。
   また、USBを使用するときは、PCLKを24MHz以上としてください。

2. 周辺モジュール（DMACA、DTC、EXDMAC、ETHERC、EDMACを除く）は、すべてPCLKを基準に動作します。このため、周波数変更の前後でタイマやSCIなどの動作速度が変わりますので注意してください。
   また、ソフトウェアスタンバイモード解除用の待機時間もPCLKの周波数を変更することで変わります。詳細は、「9.5.3.3　ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

3. システムクロック（ICLK）、周辺モジュールクロック（PCLK）、外部バスクロック（BCLK）との間には、ICLK ≧ PCLK、ICLK ≧ BCLKの関係が成り立っており、かつICLKの設定が優先されます。そのため、この条件を満たせない設定を行った場合、SCKCR.PCK[3:0], BCK[3:0]ビットの設定は無効となり、PCLK、BCLKは、SCKCR.ICK[3:0]ビットで設定したクロック周波数になります。

4. クロック周波数を変更する場合、外部バスアクセス中に周波数が変化しないように注意しながら設定してください。

5. SCKCRレジスタまたはBCKCRレジスタへの書き込み後、周波数の変更が完了するまでの間に再度SCKCRレジスタまたはBCKCRレジスタへ書き込みを行なった場合、その書き込みは無視されます。SCKCRレジスタまたはBCKCRレジスタへの書き込みが続く場合は、最後に書いた値がSCKCRレジスタまたはBCKCRレジスタから読めることを確認するようにしてください。

6. SCKCRレジスタまたはBCKCRレジスタへの書き込み後、周波数の変更が完了するまでの間、ソフトウェアスタンバイモードへの移行は禁止します。周波数変更途中にソフトウェアスタンバイモードへの移行を行なった場合、以降の動作は保障できません。SCKCRレジスタまたはBCKCRレジスタへの書き込み完了後、システムクロックで11サイクル以上待ってからWAIT命令を発行するようにしてください。詳細は「5.　I/Oレジスタ」を参照してください。

8.12.2　発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考にユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は、発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧は、絶対最大定格を超えないようにしてください。

8.12.3　ボード設計上の注意

水晶発振子を使用する場合は、発振子およびコンデンサはできるだけ XTAL、EXTAL 端子の近くに配置してください。**図 8.8** に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

RX62N グループ、RX621 グループは XTAL 端子とリセット端子が隣接するピン配置となっています。そのため、クロック信号の影響を受けないようにリセット信号は GND でガードしてください。

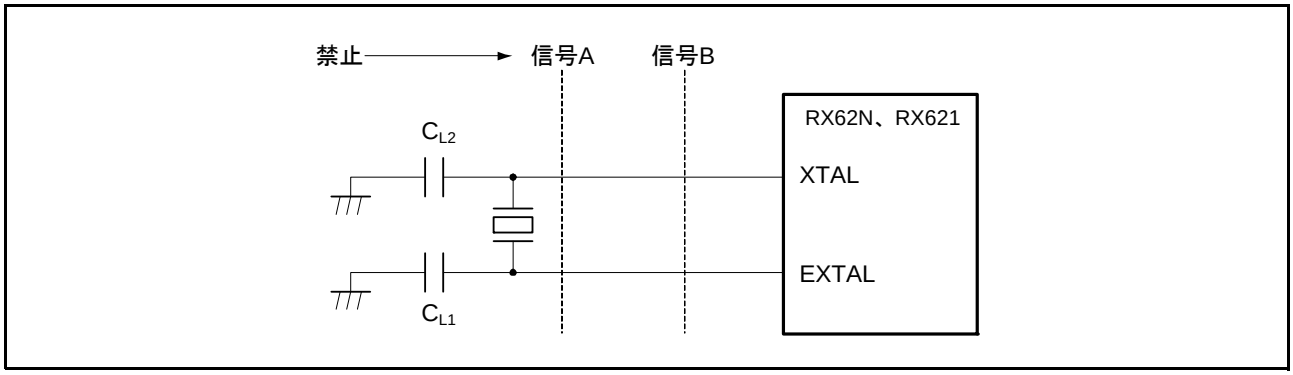


図 8.8　発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を**図 8.9** に示します。PLLVCC と PLLVSS は、その他の VCC、VSS とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ（CPB および CB）を挿入してください。
また、PLLVCC と VCC は同電位にしてください。

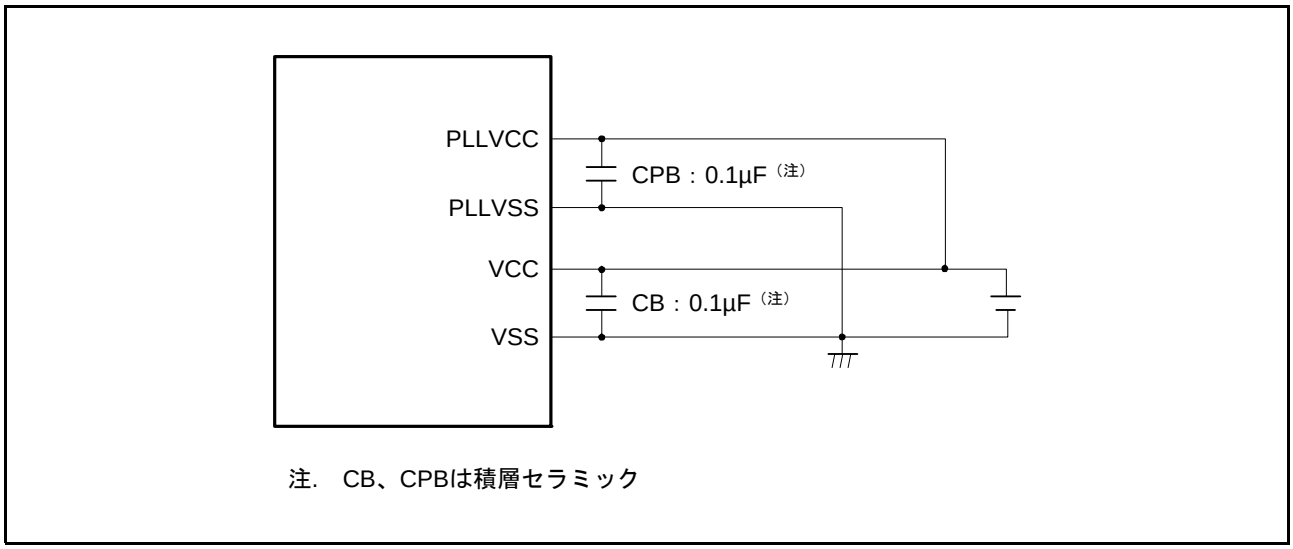


図 8.9　PLL 回路の外付け推奨回路

9. 消費電力低減機能

9.1 概要

RX62N グループ、RX621 グループには、消費電力低減機能としてマルチクロック機能、BCLK 出力制御機能、SDCLK 出力制御機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

表 9.1 に消費電力低減機能の仕様を、**表 9.2** に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DTC、DMACA、EXDMAC 以外のモジュールは停止状態です。

表 9.1 消費電力低減機能の仕様

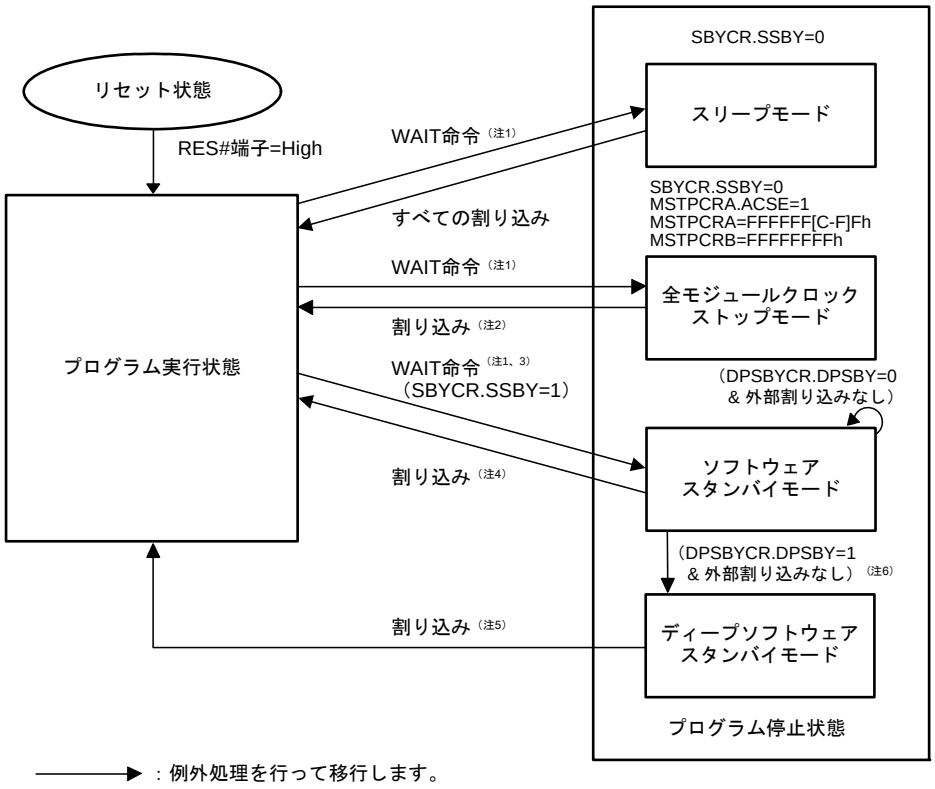
項目	内容
マルチクロック機能	システムクロック（ICLK）、周辺モジュールクロック（PCLK）、外部バスクロック（BCLK）に対し、個別に分周比を設定することが可能
BCLK出力制御機能	BCLK出力またはHigh出力の選択が可能
SDCLK出力制御機能	SDCLK出力またはHigh出力の選択が可能
モジュールストップ機能	周辺モジュールごとに機能を停止することが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	スリープモード 全モジュールクロックストップモード ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード

表9.2　各モードにおける移行および解除方法と動作状態

移行および解除方法と動作状態	スリープモード	全モジュール クロックストップモード	ソフトウェア スタンバイモード	ディープソフトウェア スタンバイモード
移行方法	制御レジスタ＋命令	制御レジスタ＋命令	制御レジスタ＋命令	制御レジスタ＋命令
リセット以外の解除方法	割り込み	割り込み（注1）	割り込み（注2）	割り込み（注3）
解除後の状態（注4）	プログラム実行状態 （割り込み処理）	プログラム実行状態 （割り込み処理）	プログラム実行状態 （割り込み処理）	プログラム実行状態 （リセット処理）
発振器（メインクロック発振器）	動作	動作	停止	停止
CPU	停止（保持）	停止（保持）	停止（保持）	停止（不定）
内蔵RAM1 （0001 0000h～0001 7FFFh）	動作（保持）	停止（保持）	停止（保持）	停止（不定）
内蔵RAM0 （0000 0000h～0000 FFFFh）	動作（保持）	停止（保持）	停止（保持）	停止（保持／不定）（注5）
USB2.0ホスト／ファンクションモジュール（USB）	動作	停止（注6）	停止（注6）	停止（保持/不定）（注7）
ウォッチドッグタイマ（WDT）	動作	動作	停止（保持）	停止（不定）
独立ウォッチドッグタイマ （IWDT）	動作	動作	停止（保持）	停止（不定）
8ビットタイマ（ユニット0、1）	動作	動作（注8）	停止（保持）	停止（不定）
ポートアウトプットイネーブル2（POE2）	動作	動作（注13）	停止（保持）	停止（不定）
リアルタイムクロック（RTC） サブクロック発振器	動作	動作	動作	動作
電圧検出回路	動作	動作	動作	動作
パワーオンリセット回路	動作	動作	動作	動作
周辺モジュール	動作	停止（注9）	停止（注9）	停止（不定）
I/O端子状態	動作	保持（注11、注12）	保持（注10、注12）	保持（注10）

停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。
停止（不定）は、内部レジスタ値不定、内部状態は電源オフを示します。

注1.　外部割り込み、一部の内部割り込み（8ビットタイマ、WDT、RTCアラーム、発振停止検出、およびUSB割り込み（USBR）、電圧監視）
注2.　外部割り込み、一部の内部割り込み（電圧監視、RTCアラーム、およびUSB割り込み（USBR））
注3.　NMI、IRQ0～IRQ3のA側のみ、一部の内部割り込み（電圧監視、RTCアラーム、およびUSBサスペンド／レジューム）。ただし、いずれの要因もディープスタンバイインタラプトイネーブルレジスタ（DPSIER）の当該ビットが“1”のときのみ有効
注4.　RES#端子、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子、パワーオンリセット、電圧監視リセット、WDTリセット、IWDTリセットによる解除の場合は、リセット状態に遷移します。
注5.　ディープスタンバイコントロールレジスタの内蔵 RAM オフ 2 ビット、内蔵 RAM オフ 1 ビット、内蔵 RAM オフ 0 ビット（DPSBYCR.RAMCUT2, RAMCUT1, RAMCUT0）の設定によって、保持／不定を選択することができます。
注6.　レジューム検出は可能です。
注7.　USBレジューム検出機能の有効／無効をディープスタンバイコントロールレジスタの内蔵RAMオフ2ビット、内蔵RAMオフ1ビット、内蔵RAMオフ0ビット（DPSBYCR.RAMCUT2, RAMCUT1, RAMCUT0）によって制御できます。
注8.　モジュールストップコントロールレジスタAの8ビットタイマ1、0（ユニット0）モジュールストップ設定ビット、8ビットタイマ3、2（ユニット1）モジュールストップ設定ビット（MSTPCRA.MSTPA4, MSTPA5）の設定によって、動作／停止を選択することができます。
注9.　周辺モジュールは状態を保持します。
注10.　スタンバイコントロールレジスタの出力ポート許可ビット（SBYCR.OPE）の設定によって、アドレスバス、バス制御信号（CS0#～CS7#、RD#、WR#、WR0#～WR3#、BC0#～BC3#、CKE、SDCS#、RAS#、CAS#、WE#、DQM0～DQM3）の保持／ハイインピーダンスを選択することができます。
注11.　P53をBCLK出力として使用している場合は、BCLK出力のまま動作を継続します。P70をSDCLK出力として使用している場合は、SDCLK出力のまま動作を継続します。詳細は「9.6　BCLK、SDCLK出力制御」を参照してください。
8ビットタイマ出力（TMO）が割り当てられているI/O端子をTMO出力として使用している場合は、TMO出力のまま動作を継続します。ウォッチドッグタイマを使用している場合は、WDTOVF#端子の出力は動作を継続します。
注12.　P32をRTCOUT出力として使用している場合は、RTCOUT出力のまま動作を継続します。
注13.　POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中にPOE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後にPOE 割り込みが発生します。



注1. WAIT命令実行後、プログラム停止状態へ移行中に解除要因となる割り込みが受け付けられると、
プログラム停止状態へ移行せず、割り込み例外処理を実行します。

注2. 外部割り込み、一部の内部割り込み（8ビットタイマ割り込み、WDT、RTCアラーム、発振停止検出、およびUSB割り込み（USBR））。
ただし、8ビットタイマはMSTPCRA.MSTPA5, MSTPA4ビットのいずれかが“0”のとき有効。

注3. 以下の場合はソフトウェアスタンバイモードに移行できません。
・WDTをウォッチドッグタイマモードで使用しているとき
・IWDTを使用しているとき
・発振停止検出機能が有効のとき

注4. 外部割り込み、一部の内部割り込み（電圧監視、RTCアラーム、およびUSB割り込み（USBR））。

注5. 外部割り込み（NMI、IRQ0～IRQ3のA）、一部の内部割り込み（電圧監視、RTCアラーム、およびUSBサスペンド／レジューム）。
ただし、いずれの要因もディープスタンバイインタラプトイネーブルレジスタ（DPSIER）の当該ビットが“1”のときのみ有効。

注6. ディープソフトウェアスタンバイモードへの移行とソフトウェアスタンバイモードの解除要因が競合した場合、
ソフトウェアスタンバイモードから割り込み例外処理を経てプログラム実行状態へ遷移することがあります。
この場合、ディープソフトウェアスタンバイモードへは移行しません。
詳細は「9.7　使用上の注意事項」を参照してください。

注7. 注5に示された割り込み要因が発生すると内部リセット(ディープソフトウェアスタンバイリセット)がDPSWCR.WTSTS[5:0]ビットにより設定された時間発生します。内部リセットの解除とともにディープソフトウェアスタンバイモードは解除されます。ディープソフトウェアスタンバイモードが解除されると、プログラム実行状態に移行し、リセット例外処理が開始されます。

すべての状態において、端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、
独立ウォッチドッグタイマリセットが発生するとリセット状態に遷移します。

図 9.1　　モード遷移

9.2 レジスタの説明

表 9.3 に消費電力低減機能に関連するレジスタを示します。システムクロックコントロールレジスタ（SCKCR）については、「8.2.1 **システムクロックコントロールレジスタ（SCKCR）**」を参照してください。

表9.3　消費電力低減機能関連のレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	SBYCR	4F00h	0008 000Ch	16
モジュールストップコントロールレジスタA	MSTPCRA	47FF FFFFh	0008 0010h	32
モジュールストップコントロールレジスタB	MSTPCRB	FFFF FFFFh	0008 0014h	32
モジュールストップコントロールレジスタC	MSTPCRC	FFFF 0000h	0008 0018h	32
ディープスタンバイコントロールレジスタ	DPSBYCR	31h	0008 C280h	8
ディープスタンバイウェイトコントロールレジスタ	DPSWCR	0Fh	0008 C281h	8
ディープスタンバイインタラプトイネーブルレジスタ	DPSIER	00h	0008 C282h	8
ディープスタンバイインタラプトフラグレジスタ	DPSIFR	00h	0008 C283h	8
ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	00h	0008 C284h	8
リセットステータスレジスタ	RSTSR	x000 0xxxb	0008 C285h	8
ディープスタンバイバックアップレジスタ0	DPSBKR0	xxh（注1）	0008 C290h	8
ディープスタンバイバックアップレジスタ1	DPSBKR1	xxh（注1）	0008 C291h	8
ディープスタンバイバックアップレジスタ2	DPSBKR2	xxh（注1）	0008 C292h	8
ディープスタンバイバックアップレジスタ3	DPSBKR3	xxh（注1）	0008 C293h	8
ディープスタンバイバックアップレジスタ4	DPSBKR4	xxh（注1）	0008 C294h	8
ディープスタンバイバックアップレジスタ5	DPSBKR5	xxh（注1）	0008 C295h	8
ディープスタンバイバックアップレジスタ6	DPSBKR6	xxh（注1）	0008 C296h	8
ディープスタンバイバックアップレジスタ7	DPSBKR7	xxh（注1）	0008 C297h	8
ディープスタンバイバックアップレジスタ8	DPSBKR8	xxh（注1）	0008 C298h	8
ディープスタンバイバックアップレジスタ9	DPSBKR9	xxh（注1）	0008 C299h	8
ディープスタンバイバックアップレジスタ10	DPSBKR10	xxh（注1）	0008 C29Ah	8
ディープスタンバイバックアップレジスタ11	DPSBKR11	xxh（注1）	0008 C29Bh	8
ディープスタンバイバックアップレジスタ12	DPSBKR12	xxh（注1）	0008 C29Ch	8
ディープスタンバイバックアップレジスタ13	DPSBKR13	xxh（注1）	0008 C29Dh	8
ディープスタンバイバックアップレジスタ14	DPSBKR14	xxh（注1）	0008 C29Eh	8
ディープスタンバイバックアップレジスタ15	DPSBKR15	xxh（注1）	0008 C29Fh	8
ディープスタンバイバックアップレジスタ16	DPSBKR16	xxh（注1）	0008 C2A0h	8
ディープスタンバイバックアップレジスタ17	DPSBKR17	xxh（注1）	0008 C2A1h	8
ディープスタンバイバックアップレジスタ18	DPSBKR18	xxh（注1）	0008 C2A2h	8
ディープスタンバイバックアップレジスタ19	DPSBKR19	xxh（注1）	0008 C2A3h	8
ディープスタンバイバックアップレジスタ20	DPSBKR20	xxh（注1）	0008 C2A4h	8
ディープスタンバイバックアップレジスタ21	DPSBKR21	xxh（注1）	0008 C2A5h	8
ディープスタンバイバックアップレジスタ22	DPSBKR22	xxh（注1）	0008 C2A6h	8
ディープスタンバイバックアップレジスタ23	DPSBKR23	xxh（注1）	0008 C2A7h	8
ディープスタンバイバックアップレジスタ24	DPSBKR24	xxh（注1）	0008 C2A8h	8
ディープスタンバイバックアップレジスタ25	DPSBKR25	xxh（注1）	0008 C2A9h	8
ディープスタンバイバックアップレジスタ26	DPSBKR26	xxh（注1）	0008 C2AAh	8
ディープスタンバイバックアップレジスタ27	DPSBKR27	xxh（注1）	0008 C2ABh	8
ディープスタンバイバックアップレジスタ28	DPSBKR28	xxh（注1）	0008 C2ACh	8
ディープスタンバイバックアップレジスタ29	DPSBKR29	xxh（注1）	0008 C2ADh	8
ディープスタンバイバックアップレジスタ30	DPSBKR30	xxh（注1）	0008 C2AEh	8
ディープスタンバイバックアップレジスタ31	DPSBKR31	xxh（注1）	0008 C2AFh	8

注1.　DPSBKR0～DPSBKR31レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

9.2.1 スタンバイコントロールレジスタ（SBYCR）

アドレス　0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8
	SSBY	OPE	—	STS[4:0]				
リセット後の値	0	1	0	0	1	1	1	1

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b8	STS[4:0]	スタンバイタイマ選択ビット	b12　b8 0 0 1 0 1：待機時間 = 64ステート 0 0 1 1 0：待機時間 = 512ステート 0 0 1 1 1：待機時間 = 1024ステート 0 1 0 0 0：待機時間 = 2048ステート 0 1 0 0 1：待機時間 = 4096ステート 0 1 0 1 0：待機時間 = 16384ステート 0 1 0 1 1：待機時間 = 32768ステート 0 1 1 0 0：待機時間 = 65536ステート 0 1 1 0 1：待機時間 = 131072ステート 0 1 1 1 0：待機時間 = 262144ステート 0 1 1 1 1：待機時間 = 524288ステート 上記以外は設定しないでください。	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポート許可ビット	0：ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1：ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイビット	0：WAIT命令実行後、スリープモードにまたは全モジュールクロックストップモードに移行 1：WAIT命令実行後、ソフトウェアスタンバイモードに移行	R/W

SBYCR レジスタは、ソフトウェアスタンバイモードの制御を行うレジスタです。

STS[4:0] ビット（スタンバイタイマ選択ビット）

外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでの待機時間を選択します。

水晶発振の場合、**表 9.4** を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。**表 9.4** を参照し、待機時間を設定してください。

発振安定期間中は、周辺モジュールクロック（PCLK）の周波数でカウントされます。マルチクロック機能使用時は注意してください。

OPE ビット（出力ポート許可ビット）

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に、アドレスバス、バス制御信号（CS0# ～ CS7#、RD#、WR#、WR0# ～ WR3#、BC0# ～ BC3#、CKE、SDCS#、RAS#、CAS#、WE#、DQM0 ～ DQM3）の出力を保持するか、ハイインピーダンスにするかを選択します。

SSBY ビット（ソフトウェアスタンバイビット）

WAIT 命令実行後の移行先を設定します。

SSBY ビットが “0” のとき、MSTPCRA および MSTPCRB レジスタの設定に従い、WAIT 命令実行後スリープモードに移行するか、または全モジュールストップモードに移行するかが変わります。また、SSBY ビットが “1” のとき、WAIT 命令実行後はソフトウェアスタンバイモードに移行します。このとき、DPSBYCR.DPSBY ビットが “1” であれば、ソフトウェアスタンバイモードを経由して、ディープソフトウェアスタンバイモードに移行します。詳細は、「9.5　低消費電力状態」を参照してください。

なお、外部割り込みによってソフトウェアスタンバイモードが解除され通常モードに移行したときは、SSBY ビットは “1” のままです。“0” にするときは “0” を書いてください。

WDT をウォッチドックタイマモードで使用しているとき、IWDT を使用しているとき、および発振停止検出機能有効のときは、このビットに設定された値は無効になります。その場合、WAIT 命令実行後は常にスリープモード、あるいは全モジュールクロックストップモードに移行します。

9.2.2 モジュールストップコントロールレジスタ A（MSTPCRA）

アドレス　0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24
	ACSE	—	MSTPA29	MSTPA28	—	—	—	—
リセット後の値	0	1	0	0	0	1	1	1

	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPA23	MSTPA22	—	—	MSTPA19	—	MSTPA17	—
リセット後の値	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8
	MSTPA15	MSTPA14	—	—	MSTPA11	MSTPA10	MSTPA9	MSTPA8
リセット後の値	1	1	1	1	1	1	1	1

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MSTPA5	MSTPA4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2（ユニット1） モジュールストップ設定ビット	対象モジュール：TMR3、TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0（ユニット0） モジュールストップ設定ビット	対象モジュール：TMR1、TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b8	MSTPA8	マルチファンクションタイマパルスユニット （ユニット1）モジュールストップ設定ビット	対象モジュール：MTUユニット1 （MTU6～MTU11） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPA9	マルチファンクションタイマパルスユニット （ユニット0）モジュールストップ設定ビット	対象モジュール：MTUユニット0 （MTU0～MTU5） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b10	MSTPA10	プログラマブルパルスジェネレータ （ユニット1）モジュールストップ設定ビット	対象モジュール：PPG1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11	MSTPA11	プログラマブルパルスジェネレータ （ユニット0）モジュールストップ設定ビット	対象モジュール：PPG0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b12	—	予約ビット	読むと“1”が読み出されます。 書き込みは“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ（ユニット1） モジュールストップ設定ビット	対象モジュール：CMTユニット1 （CMT2、CMT3） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b15	MSTPA15	コンペアマッチタイマ（ユニット0） モジュールストップ設定ビット	対象モジュール：CMTユニット0 （CMT0、CMT1） 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b17	MSTPA17（注）	12ビットA/Dコンバータ モジュールストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b19	MSTPA19	D/Aコンバータ モジュールストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b22	MSTPA22（注1）	10ビットA/Dコンバータ（ユニット1） モジュールストップ設定ビット	対象モジュール：AD1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b23	MSTPA23（注1）	10ビットA/Dコンバータ（ユニット0） モジュールストップ設定ビット	対象モジュール：AD0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26- b24	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b27	—	予約ビット	読み出し、書き込みともに有効です。全モジュールストップモードへ移行させる場合は、本ビットに“1”を書き込んでおく必要があります	R/W
b28	MSTPA28	DMAコントローラ／ データトランスファコントローラ モジュールストップ設定ビット	対象モジュール：DMACAおよびDTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPA29	EXDMAコントローラ モジュールストップ設定ビット	対象モジュール：EXDMAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b31	ACSE（注2）	全モジュールクロックストップモード許可ビット	0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可	R/W

注1.　10ビットA/Dコンバータと12ビットA/Dコンバータは同時に使用することはできません。MSTPA17ビットとMSTPA22ビット、またはMSTPA17ビットとMSTPA23ビットを同時にモジュールストップ解除状態にしないでください。
注2.　SBYCR.SSBYビットが“0”で、MSTPCRA.ACSEビットが“0”の場合は、WAIT命令実行後スリープモードに遷移します。

MSTPCRA レジスタは、モジュールストップ状態の制御を行うレジスタです。

ACSE ビット（全モジュールクロックストップモード許可ビット）

MSTPCRA、MSTPCRB レジスタで制御されるすべてのモジュール（注 1）がモジュールストップ状態に設定された上で、CPU が WAIT 命令を実行した場合にバス制御部と I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。

注 1.　8 ビットタイマは、MSTPA5、MSTPA 4 ビットの設定によって、動作／停止を選択することができます。

9.2.3 モジュールストップコントロールレジスタ B（MSTPCRB）

アドレス　0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24
	MSTPB31	MSTPB30	MSTPB29	MSTPB28	—	MSTPB26	MSTPB25	—
リセット後の値	1	1	1	1	1	1	1	1

	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB23	—	MSTPB21	MSTPB20	MSTPB19	MSTPB18	MSTPB17	MSTPB16
リセット後の値	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8
	MSTPB15	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MSTPB0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPB0	CANモジュールストップ設定ビット	対象モジュール：CAN 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14-b1	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b15	MSTPB15	イーサネットコントローラ用DMAコントローラ モジュールストップ設定ビット	対象モジュール：EDMAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPB16	シリアルペリフェラルインタフェース1 モジュールストップ設定ビット	対象モジュール：RSPI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0 モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	MSTPB18	ユニバーサルシリアルバスインタフェース （ポート1）モジュールストップ設定ビット	対象モジュール：USB1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b19	MSTPB19	ユニバーサルシリアルバスインタフェース （ポート0）モジュールストップ設定ビット	対象モジュール：USB0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	MSTPB20	I^2Cバスインタフェース1 モジュールストップ設定ビット	対象モジュール：RIIC1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21	MSTPB21	I^2Cバスインタフェース0 モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器 モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b24	―	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6 モジュールストップ設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5 モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	―	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b28	MSTPB28	シリアルコミュニケーションインタフェース3 モジュールストップ設定ビット	対象モジュール：SCI3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーションインタフェース2 モジュールストップ設定ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1 モジュールストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0 モジュールストップ設定ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

MSTPCRB レジスタは、モジュールストップ状態の制御を行うレジスタです。

9.2.4 モジュールストップコントロールレジスタ C（MSTPCRC）

アドレス　0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24
	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MSTPC1	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0 （注1）	RAM0 モジュールストップ設定ビット	対象モジュール：RAM0（0000 0000h～0000 FFFFh） 0：RAM0動作 1：RAM0停止	R/W
b1	MSTPC1 （注1）	RAM1 モジュールストップ設定ビット	対象モジュール：RAM1（0001 0000h～0001 7FFFh） 0：RAM1動作 1：RAM1停止	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。 書く場合、“0”としてください	R/W
b31-b16	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W

注1.　内蔵RAMアクセス中に該当するMSTPC1、MSTPC0ビットを“1”にセットしないでください。また、MSTPC1、MSTPC0ビットが“1”の状態で、該当するRAMにアクセスしないでください。

MSTPCRC レジスタは、モジュールストップ状態の制御を行うレジスタです。

9.2.5 ディープスタンバイコントロールレジスタ（DPSBYCR）

アドレス　0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP	RAMCUT2	RAMCUT1	—	—	—	RAMCUT0
リセット後の値	0	0	1	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAMCUT0	内蔵RAMオフ0ビット	b5 b4 b0 ０００：ディープソフトウェアスタンバイモード時、内蔵RAM（RAM0（注））とUSBレジューム検出部に電源を供給する １１１：ディープソフトウェアスタンバイモード時、内蔵RAM（RAM0（注））とUSBレジューム検出部に電源を供給しない 上記以外は、設定しないでください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	RAMCUT1	内蔵RAMオフ1ビット	RAMCUT0ビットの機能を参照してください。	R/W
b5	RAMCUT2	内蔵RAMオフ2ビット	RAMCUT0ビットの機能を参照してください。	R/W
b6	IOKEEP	I/Oポート保持ビット	0：ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持を解除 1：ディープソフトウェアスタンバイモード解除後のIOKEEPビットへ“0”を書くと、I/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフトウェアスタンバイビット	SSBY b7 0　0：WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 0　1：WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1　0：WAIT命令実行後、ソフトウェアスタンバイモードに移行 1　1：WAIT命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

注．　内蔵RAMのアドレス空間については、表9.2を参照してください。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの制御を行うレジスタです。

DPSBYCR レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

RAMCUTj ビット（内蔵 RAM オフ j ビット）（j = 2 ～ 0）

内蔵 RAM と USB レジューム検出部に供給する内部電源をディープソフトウェアスタンバイモード時に制御します。

内蔵 RAM のアドレス空間は、RAM0 と RAM1 の領域に分かれています。アドレス空間は、**表 9.2** を参照してください。

RAM0 と USB レジューム検出部の内部電源のみ、RAMCUT0、RAMCUT1、RAMCUT2 ビットの設定で制御可能です。

ディープソフトウェアスタンバイモードの解除要因に、USB サスペンド／レジューム割り込みを使用する場合は RAMCUT2、RAMCUT1、RAMCUT0 ビットにはすべて “0” を設定してください。

RAM1 の内部電源は、RAMCUT2、RAMCUT1、RAMCUT0 ビットの設定にかかわらず、ディープソフトウェアスタンバイモード時に停止します。

IOKEEP ビット（I/O ポート保持ビット）

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットで、ディープソフトウェアスタンバイモード時に保持した I/O ポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット（ディープソフトウェアスタンバイビット）

ディープソフトウェアスタンバイモードへの移行を制御します。

SBYCR.SSBY ビットが “1”、かつ DPSBY ビットが “1” の状態で、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。外部割り込み端子、一部の内部割り込み（電圧監視、RTC アラーム、および USB サスペンド／レジューム）によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは “1” のままです。“0” にするときは、“0” を書いてください。

WDT をウォッチドックタイマモードで使用しているとき、IWDT を使用しているとき、および発振停止検出機能有効のときは、このビットに設定された値は無効になります。この場合、SBYCR.SSBY ビットが “1”、かつ DPSBY ビットが “1” の状態でも、WAIT 命令実行後は、常にスリープモードあるいは全モジュールクロックストップモードに移行します。

9.2.6 ディープスタンバイウェイトコントロールレジスタ（DPSWCR）

アドレス　0008 C281h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	WTSTS[5:0]					
リセット後の値	0	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b5-b0	WTSTS[5:0]	ディープソフトウェアスタンバイウェイト時間設定ビット	b5　b0 ０００１０１：待機時間 = 64ステート ０００１１０：待機時間 = 512ステート ０００１１１：待機時間 = 1024ステート ００１０００：待機時間 = 2048ステート ００１００１：待機時間 = 4096ステート ００１０１０：待機時間 = 16384ステート ００１０１１：待機時間 = 32768ステート ００１１００：待機時間 = 65536ステート ００１１０１：待機時間 = 131072ステート ００１１１０：待機時間 = 262144ステート ００１１１１：待機時間 = 524288ステート	R/W
b7-b6	―	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSWCR レジスタは、外部割り込み端子、一部の内部割り込み（電圧監視、RTC アラームおよび USB サスペンド／レジューム）によってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで LSI が待機する時間を選択するレジスタです。

DPSWCR レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

WTSTS[5:0] ビット（ディープソフトウェアスタンバイウェイト時間設定ビット）

外部割り込み端子、一部の内部割り込み（電圧監視、RTC アラームおよび USB サスペンド／レジューム）によってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで LSI が待機する時間を選択します。ディープソフトウェアスタンバイモードを使用する場合は、ディープソフトウェアスタンバイモードに移行する前に WTSTS[5:0] ビットの設定を行ってください。

水晶発振の場合、**表 9.4** を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。**表 9.4** を参照し、待機時間を設定してください。

発振安定期間中は、EXTAL 入力クロック周波数でカウントされます。

9.2.7 ディープスタンバイインタラプトイネーブルレジスタ（DPSIER）

アドレス　0008 C282h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIE	DUSBE	DRTCE	DLVDE	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0端子許可ビット	0：IRQ0端子によるディープソフトウェアスタンバイモードの解除を禁止 1：IRQ0端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b1	DIRQ1E	IRQ1端子許可ビット	0：IRQ1端子によるディープソフトウェアスタンバイモードの解除を禁止 1：IRQ1端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b2	DIRQ2E	IRQ2端子許可ビット	0：IRQ2端子によるディープソフトウェアスタンバイモードの解除を禁止 1：IRQ2端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b3	DIRQ3E	IRQ3端子許可ビット	0：IRQ3端子によるディープソフトウェアスタンバイモードの解除を禁止 1：IRQ3端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b4	DLVDE	LVDディープスタンバイ解除信号許可ビット	0：電圧監視割り込みによるディープソフトウェアスタンバイモードの解除を禁止 1：電圧監視割り込みによるディープソフトウェアスタンバイモードの解除を許可	R/W
b5	DRTCE	RTCディープスタンバイ解除信号許可ビット	0：RTCアラーム割り込みによるディープソフトウェアスタンバイモードの解除を禁止 1：RTCアラーム割り込みによるディープソフトウェアスタンバイモードの解除を許可	R/W
b6	DUSBE	USBサスペンド／レジュームディープスタンバイ解除信号許可ビット	0：USBサスペンド／レジュームによるディープソフトウェアスタンバイモードの解除を禁止 1：USBサスペンド／レジュームによるディープソフトウェアスタンバイモードの解除を許可	R/W
b7	DNMIE	NMI端子許可ビット	0：NMI端子によるディープソフトウェアスタンバイモードの解除を禁止 1：NMI端子によるディープソフトウェアスタンバイモードの解除を許可	R/(W) （注1）

注1.　一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER レジスタは、ディープソフトウェアスタンバイモードを解除する外部割り込み端子、および内部の解除信号の許可／禁止をするレジスタです。

DPSIER レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

なお、DPSIER レジスタの設定を変更すると、対応する端子の入力バッファを制御する内部状態が変化します。このとき、端子の状態によっては内部的にエッジが発生し DPSIFR レジスタが “1” になる場合があります。ディープソフトウェアスタンバイモードへ移行する前に、DPSIFR レジスタを “0” にしてください。

また、DPSIER レジスタが “0” になっている端子は、ディープソフトウェアスタンバイモードへ移行する際、入力バッファは無効になります。このとき、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR レジスタが “1” になる場合があります。ただし、DPSIEGR レジスタが “0” になっている場合は、立ち上がりエッジを検出しないため、DPSIFR レジスタは “1” になりません。

9.2.8 ディープスタンバイインタラプトフラグレジスタ（DPSIFR）

アドレス　0008 C283h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIF	DUSBF	DRTCF	DLVDF	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0ディープスタンバイ解除フラグ	0：IRQ0端子による解除要求の発生なし 1：IRQ0端子による解除要求の発生あり	R/(W)（注1）
b1	DIRQ1F	IRQ1ディープスタンバイ解除フラグ	0：IRQ1端子による解除要求の発生なし 1：IRQ1端子による解除要求の発生あり	R/(W)（注1）
b2	DIRQ2F	IRQ2ディープスタンバイ解除フラグ	0：IRQ2端子による解除要求の発生なし 1：IRQ2端子による解除要求の発生あり	R/(W)（注1）
b3	DIRQ3F	IRQ3ディープスタンバイ解除フラグ	0：IRQ3端子による解除要求の発生なし 1：IRQ3端子による解除要求の発生あり	R/(W)（注1）
b4	DLVDF	LVDディープスタンバイ解除フラグ	0：電圧監視信号による解除要求の発生なし 1：電圧監視信号による解除要求の発生あり	R/(W)（注1）
b5	DRTCF	RTCディープスタンバイ解除フラグ	0：RTCアラーム割り込みによる解除要求の発生なし 1：RTCアラーム割り込みによる解除要求の発生あり	R/(W)（注1）
b6	DUSBF	USBサスペンド／レジュームディープスタンバイ解除フラグ	0：USBサスペンド／レジュームによる解除要求の発生なし 1：USBサスペンド／レジュームによる解除要求の発生あり	R/(W)（注1）
b7	DNMIF	NMIディープスタンバイ解除フラグ	0：NMI端子による解除要求の発生なし 1：NMI端子による解除要求の発生あり	R/(W)（注1）

注1.　“0”のみ書けます。

DPSIFR レジスタは、ディープソフトウェアスタンバイモードの解除要因を保持するレジスタです。

ディープスタンバイインタラプトエッジレジスタ（DPSIEGR）で設定した解除要求が発生したときに “1” になります。ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば “1” になるため、DPSIFR レジスタを “0” にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIFR レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

DIRQnF フラグ（IRQn ディープスタンバイ解除フラグ）（n = 0 ～ 3）

IRQn 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR レジスタで選択した IRQn 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DLVDF フラグ（LVD ディープスタンバイ解除フラグ）

電圧監視信号による解除要求が発生したことを示します。

[“1” になる条件]

- 電圧監視信号による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DRTCF フラグ（RTC ディープスタンバイ解除フラグ）

RTC アラーム割り込みによる解除要求が発生したことを示します。

［“1” になる条件］

- RTC アラーム割り込みによる解除要求が発生したとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

DUSBF フラグ（USB サスペンド／レジュームディープスタンバイ解除フラグ）

USB サスペンド／レジュームによる解除要求が発生したことを示します。

［“1” になる条件］

- USB サスペンド／レジュームによる解除要求が発生したとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

DNMIF フラグ（NMI ディープスタンバイ解除フフラグ）

NMI 端子による解除要求が発生したことを示します。

[“1” になる条件]

- DPSIEGR レジスタで設定した NMI 端子による解除要求が発生したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

9.2.9 ディープスタンバイインタラプトエッジレジスタ（DPSIEGR）

アドレス　0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIEG	—	—	—	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3エッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DNMIEG	NMIエッジ選択ビット	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W

DPSIEGR レジスタは、ディープソフトウェアスタンバイモードの解除に使用する解除信号のエッジ選択を行うレジスタです。

DPSIEGR レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。

9.2.10 リセットステータスレジスタ（RSTSR）

アドレス　0008 C285h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSRSTF	—	—	—	—	LVD2F	LVD1F	PORF
リセット後の値	0/1 (注1)	0	0	0	0	0/1 (注1)	0/1 (注1)	0/1 (注1)

注1.　リセット要因に依存して初期値が決まります。

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセットフラグ	0：パワーオンリセット未発生 1：パワーオンリセット発生	R
b1	LVD1F	LVD1検知フラグ	0：LVD1未検知 1：LVD1検知	R/(W) (注1)
b2	LVD2F	LVD2検知フラグ	0：LVD2未検知 1：LVD2検知	R/(W) (注1)
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェア スタンバイリセットフラグ	0：外部割り込み、一部の内部割り込み（電圧監視、RTCアラームおよびUSBサスペンド／レジューム）によるディープソフトウェアスタンバイモード解除要因の発生なし 1：外部割り込み、一部の内部割り込み（電圧監視、RTCアラームおよびUSBサスペンド／レジューム）によるディープソフトウェアスタンバイモード解除要因の発生あり	R/(W) (注1)

注1.　“0”のみ書けます。

RSTSR レジスタは、内部リセットの発生要因を示すレジスタです。

PORF フラグ（パワーオンリセットフラグ）

パワーオンリセットが発生したことを示します。

PORF フラグは、RES# 端子からのリセット信号で初期化されます。ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

［“1” になる条件］

- パワーオンリセットが発生したとき

［“0” になる条件］

- RES# 端子でリセットしたとき

LVD1F フラグ（LVD1 検知フラグ）

Vdet1 レベル以下の VCC 電圧を検知したことを示します。

LVD1F フラグは RES# 端子からのリセット信号およびパワーオンリセットで初期化されます。ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

［“1” になる条件］

- Vdet1 レベル以下の VCC 電圧を検知したとき

［“0” になる条件］

- LVDCR.LVD1E ビットが “1” の状態で、VCC が Vdet1 を超え安定化時間を経過した状態で、“1” を読んだ後、“0” を書いたとき
- RES# 端子でリセットしたとき
- パワーオンリセットが発生したとき

LVD2F フラグ（LVD2 検知フラグ）

Vdet2 レベル以下の VCC 電圧を検知したことを示します。

LVD2F フラグは RES# 端子からのリセット信号およびパワーオンリセットで初期化されます。ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

［“1” になる条件］

- Vdet2 レベル以下の VCC 電圧を検知したとき

［“0” になる条件］

- LVDCR.LVD2E ビットが “1” の状態で、VCC が Vdet2 を超え安定化時間を経過した状態で、“1” を読んだ後、“0” を書いたとき
- RES# 端子でリセットしたとき
- パワーオンリセットが発生したとき
- LVD1 によるリセットが発生したとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセットフラグ）

ディープソフトウェアスタンバイモードが DPSIER、DPSIEGR レジスタで設定した外部割り込み要因、一部の内部割り込み（電圧監視、RTC アラームおよび USB サスペンド／レジューム）で解除され、内部リセットが発生したことを示します。

DPSRSTF フラグは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

［“1” になる条件］

- 外部割り込み要因、一部の内部割り込み（電圧監視、RTC アラームおよび USB サスペンド／レジューム）によりディープソフトウェアスタンバイモードを解除したとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- RES# 端子でリセットしたとき
- パワーオンリセットが発生したとき
- LVD1 によるリセットが発生したとき
- LVD2 によるリセットが発生したとき

9.2.11 ディープスタンバイバックアップレジスタ（DPSBKRy）（y = 0 ～ 31）

アドレス　0008 C290h～0008 C2AFh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

DPSBKRy レジスタは、ディープソフトウェアスタンバイモード中にデータを退避するための 32 バイトのレジスタで読み出し、書き込みいずれも可能です。

内蔵 RAM のデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。

DPSBKRy レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

9.3 マルチクロック機能

SCKCR.ICK[3:0], BCK[3:0], PCK[3:0] ビットを設定すると、クロック周波数が切り替わります。

CPU とバスマスタは、ICK[3:0] ビットで設定した動作クロックで動作します。周辺モジュールは、PCK[3:0] ビットで設定した動作クロックで動作します。また、外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は、「8. **クロック発生回路**」を参照してください。

9.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ～ MSTPCRC レジスタに対応する MSTPyj ビット (y=A ～ C、j=31 ～ 0) を “1” にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は単独で動作を継続します。対応する MSTPyj ビットを “0” にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。

モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット後は、DMACA、DTC、EXDMAC、内蔵 RAM を除くすべてのモジュールがモジュールストップ状態になっています。モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできません。

9.5 低消費電力状態

9.5.1 スリープモード

9.5.1.1 スリープモードへの移行

SBYCR.SSBY ビットが “0” の状態で WAIT 命令を実行すると、CPU はスリープモードになります。

スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

1. CPU の PSW.I ビット（注 1）を “0” にする。
2. スリープモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
3. スリープモードからの復帰に使用する割り込みの優先レベル（注 2）を CPU の PSW.IPL[3:0] ビット（注 1）よりも高く設定する。
4. スリープモードからの復帰に使用する割り込みの IERm.IENj ビット（注 2）を “1” にする。
5. 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
6. WAIT 命令の実行（WAIT 命令の実行により CPU の PSW.I ビット（注 1）は自動的に “1” になります）。

注 1.　詳細は、「2.　CPU」を参照してください。
注 2.　詳細は、「11.　割り込みコントローラ（ICUa）」を参照してください。

9.5.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子によるリセット、パワーオンリセット、電圧監視リセット、WDT のオーバフローによるリセット、または IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
  割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。ただし、マスカブル割り込みが CPU でマスクされている場合（割り込み優先レベルが（注 1）が CPU の PSW.IPL[3:0] ビット（注 2）以下に設定されている場合）には、スリープモードは解除されません。
- RES# 端子による解除
  RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- WDT のオーバフローリセットによる解除
  WDT のオーバフローの内部リセットによって、スリープモードが解除されます。
- IWDT による解除
  IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除
  電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- パワーオンリセットによる解除
  パワーオンリセットによって、スリープモードが解除されます。

注 1.　詳細は「11.　割り込みコントローラ（ICUa）」を参照しください。
注 2.　詳細は「2.　CPU」を参照してください。

9.5.2 全モジュールクロックストップモード

9.5.2.1 全モジュールクロックストップモードへの移行

SBYCR.SSBY ビットを “0” にした状態で WAIT 命令を実行したとき、以下の 2 つの条件が成立していればバスサイクルの終了時点で全モジュールクロックストップモードへ移行します。(注 1)

- MSTPCRA.ACSE ビットが “1” である。
- MSTPCRA、MSTPCRB レジスタで制御されるすべてのモジュールのうち、8 ビットタイマ（ユニット 0、ユニット 1）を除くすべてのモジュールをモジュールストップ状態に設定している（MSTPCRA レジスタ＝ FFFFFF[C-F]Fh、MSTPCRB レジスタ＝ FFFFFFFFh）。

全モジュールクロックストップモードでは、8 ビットタイマ（注 2）、POE（注 5）、WDT、IWDT、RTC、パワーオンリセット回路、電圧検出回路を除いた全周辺モジュールと、CPU、バスコントローラ、および I/O ポートの動作が停止します。

全モジュールクロックストップモード時に、さらに消費電流を低減する必要がある場合は、MSTPCRC レジスタで制御されるモジュールをモジュールストップ状態にしてください。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

1. CPU の PSW.I ビット（注 3）を “0” にする。
2. 全モジュールクロックストップモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
3. 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル（注 4）を CPU の PSW.IPL[3:0] ビット（注 3）よりも高く設定する。
4. 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENn ビット（注 4）を “1” にする。
5. WAIT 命令を実行する（WAIT 命令の実行によって CPU の PSW.I ビット(注 3)は自動的に “1” になります）。

注 1. DTC、DMACA、EXDMAC、EDMAC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA29, MSTPA28、MSTPCRB.MSTPB15 ビットを “1” にする前に、DMACA の DMAST.DMST ビット、DTC の DTCST.DTCST ビット、EXDMAC の EDMAST.DMST ビットを “0” にし、DTC、DMACA、EXDMAC、EDMAC が起動していない状態で行ってください。
注 2. MSTPCRA.MSTPA5, MSTPA 4 ビットで動作／停止を選択できます。
注 3. 詳細は「2. CPU」を参照してください。
注 4. 詳細は「11. 割り込みコントローラ（ICUa）」を参照してください。
注 5. POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

9.5.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部割り込み（NMI 端子、IRQ0 ～ IRQ15 端子）、RES# 端子、電圧監視リセット、パワーオンリセット、内部割り込み（8 ビットタイマ（注 1）、WDT、RTC アラーム、電圧監視、発振停止検出、および USB 割り込み（USBR））によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。マスカブル割り込みが CPU でマスクされている場合（割り込みの優先レベル（注 2）が CPU の PSW.IPL[3:0] ビット（注 3）以下に設定されている場合）、または DTC、DMACA、EXDMAC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

注 1. MSTPCRA.MSTPA5, MSTPA 4 ビットで動作／停止を選択できます。
注 2. 詳細は「11. 割り込みコントローラ（ICUa）」を参照してください。
注 3. 詳細は「2. CPU」を参照してください。

9.5.3 ソフトウェアスタンバイモード

9.5.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを “1” にし、DPSBYCR.DPSBY ビットを “0” にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの値と、内蔵 RAM のデータ、内蔵周辺機能と、I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態とするか、出力状態を保持するかを、SBYCR.OPE ビットで選択できます。このモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DMAC.DMAST.DMST、DTC.DTCST.DTCST 、EXDMAC.EXDMAST.DMST、EDMAC.EDTRR.TR および EDMAC.EDRRR.RR ビットを “0” にしておいてください。

WDT をウォッチドックタイマモードで使用している場合、または IWDT を使用している場合、ソフトウェアスタンバイモードに移行できません。WAIT 命令を実行する前に WDT を停止させてください。

また、発振停止検出機能有効の場合（注 1）、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効に設定後、WAIT 命令を発行してください

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

1. CPU の PSW.I ビット（注 2）を “0” にする。
2. ソフトウェアスタンバイモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
3. ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル（注 3）を CPU の PSW.IPL[3:0] ビット（注 2）よりも高く設定する。
4. ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENn ビット（注 3）を “1” にする。
5. WAIT 命令を実行する（WAIT 命令の実行により CPU.PSW.I ビット（注 2）は自動的に “1” になります）。

注 1. リセット解除後、発振停止検出機能（OSTDCR.OSTDE ビット）は有効です。
注 2. 詳細は、「2. CPU」」を参照してください。
注 3. 詳細は、「11. 割り込みコントローラ（ICUa）」を参照してください。

9.5.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI、IRQ0 ～ IRQ15(注)）、一部の内部割り込み（電圧監視、RTC アラーム、および USB 割り込み（USBR））、RES# 端子によるリセット、パワーオンリセット、または電圧監視リセットによって行われます。

- 割り込みによる解除

  NMI、IRQ0 ～ IRQ15(注)、電圧監視、RTC アラーム、および USB 割り込み（USBR）による割り込みの要求信号が入力されると、クロックが発振を開始し、SBYCR.STS[4:0] ビットで選択した時間が経過した後、安定したクロックが LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。
- RES# 端子による解除

  RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、LSI にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- パワーオンリセットによる解除

  電源電圧の低下によりパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。
- 電圧監視リセットによる解除

  電源電圧の低下により電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除され、クロックは発振を開始します。

注．　詳細は、「11.　割り込みコントローラ（ICUa）」を参照してください。

9.5.3.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR.STS[4:0] ビットは、以下のように設定してください。

1. 水晶発振の場合
   待機時間が発振安定時間以上となるように STS[4:0] ビットを設定してください。
   表 9.4 に、動作周波数と STS[4:0] ビットの設定に対する待機時間を示します。
2. 外部クロックの場合
   PLL 回路の安定時間が必要となります。**表 9.4** を参照し待機時間を設定してください。

表9.4　発振安定時間の設定

STS4	STS3	STS2	STS1	STS0	待機時間（ステート）	PCLK（注1）（MHz）			単位
						50	25	8	
0	0	0	0	0	（予約）	—	—	—	μs
				1	（予約）	—	—	—	
			1	0	（予約）	—	—	—	
				1	（予約）	—	—	—	
		1	0	0	（予約）	—	—	—	
				1	64	1.3	2.6	8.0	
			1	0	512	10.25	20.5	64.0	
				1	1024	20.5	41.0	128.0	
	1	0	0	0	2048	40.95	81.9	256.0	
				1	4096	0.08	0.16	0.51	ms
			1	0	16384	0.33	0.66	2.05	
				1	32768	0.655	1.31	4.10	
		1	0	0	65536	1.31	2.62	8.19	
				1	131072	2.62	5.24	16.38	
			1	0	262144	5.25	10.49	32.77	
				1	524288	10.49	20.97	65.54	
1	x	x	x	x	（予約）	—	—	—	

：外部クロック使用時の推奨設定時間

：水晶発振使用時の推奨設定時間

注1.　PCLKは周辺モジュール分周器の出力です。
発振安定待ち時間は、発振器が発振安定していない期間も含みますので、発振子の特性に影響されます。
上記数値は参考値です。

9.5.3.4 ソフトウェアスタンバイモードの応用例

IRQ 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQ 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 9.2 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b”（立ち下がりエッジ）に設定されている状態で、IRQ 割り込みを受け付けた後、IRQMD[1:0] ビットを “10b”（立ち上がりエッジ）に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQ 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ（ICU）の設定も必要となります。詳細は、「11. 割り込みコントローラ（ICUa）」を参照してください。

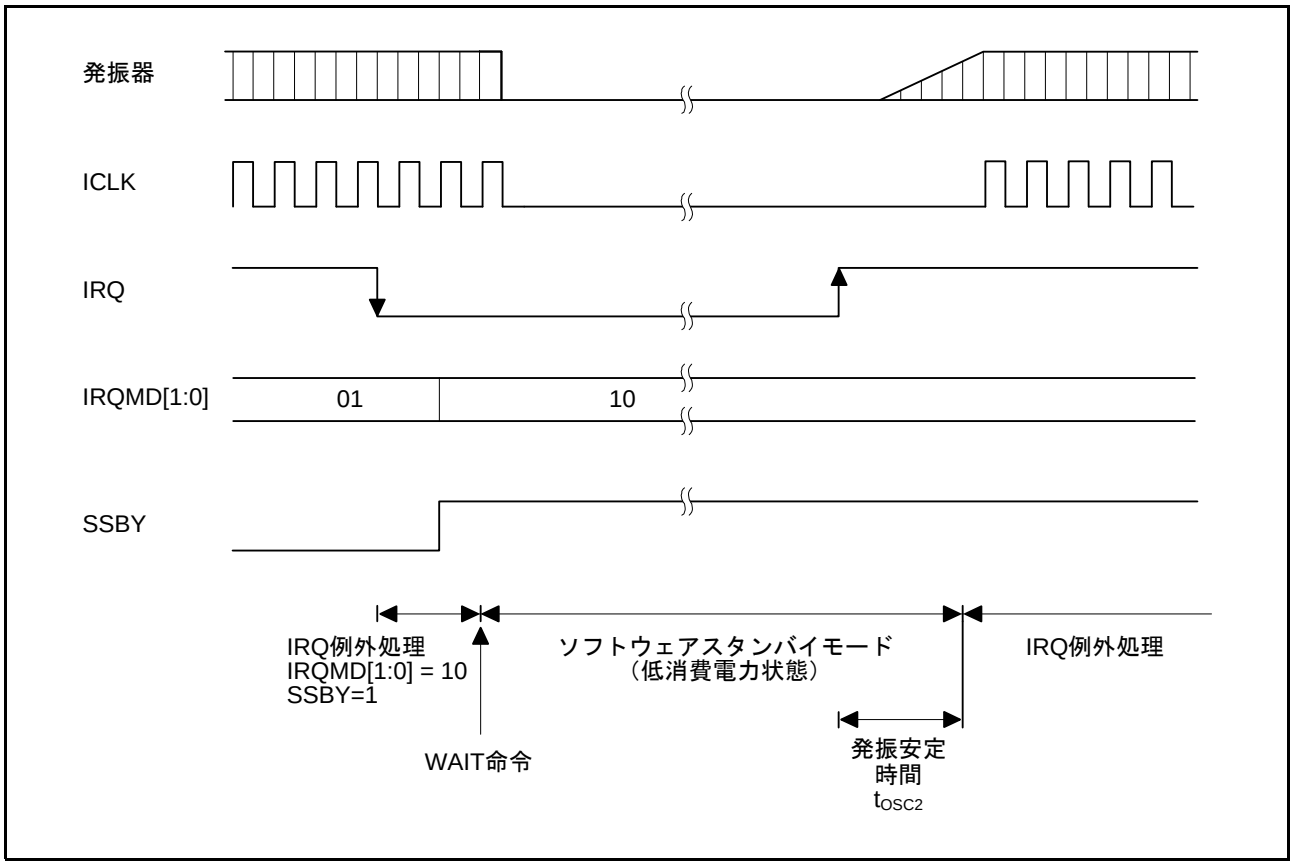


図 9.2　ソフトウェアスタンバイモードの応用例

9.5.4 ディープソフトウェアスタンバイモード

9.5.4.1 ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが “1” の状態で、WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します（注 1）。このとき、DPSBYCR.DPSBY ビットが “1” なら、ディープソフトウェアスタンバイモードに移行します。ただし、ソフトウェアスタンバイモードに移行した際に、ソフトウェアスタンバイモード解除要求（NMI、IRQ0 ～ 15 割り込み要求、一部の内部割り込み（電圧監視、RTC アラーム、および USB 割り込み（USBR））の発生が競合した場合には、DPSBY ビットの設定にかかわらず、ソフトウェアスタンバイモードが解除され、SBYCR.STS[4:0] ビットで選択したソフトウェアスタンバイモードの発振安定時間が経過した後、割り込み例外処理が開始されます。

SSBY ビットと DPSBY ビットがともに “1” の状態で、かつソフトウェアスタンバイモード解除要求が発生していない場合は、ソフトウェアスタンバイモードに移行後、直ちにディープソフトウェアスタンバイモードに移行します。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能（USB レジューム検出部、RTC を除く）、内蔵 RAM1（注 2）、および発振器のすべての機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。このとき、CPU、内蔵周辺機能（USB レジューム検出部、RTC を除く）のレジスタ内容はすべて不定となります。内蔵 RAM1（注 2）のデータは DPSBYCR.RAMCUT2、RAMCUT1、RAMCUT 0 ビットの設定にかかわらず、すべて不定となります。

内蔵 RAM0（注 2）のデータについては、RAMCUT2、RAMCUT1、RAMCUT 0 ビットをすべて “0” にしておくことで、保持することができます。RAMCUT2、RAMCUT1、RAMCUT 0 ビットをすべて “1” にした場合は、内蔵 RAM0（注 2）、および USB レジューム検出部への内部電源の供給も停止しますので、消費電力はさらに低減されます。このとき、内蔵 RAM0（注 2）のデータは不定となります。

電圧検出回路、パワーオンリセット回路 は、ディープソフトウェアスタンバイモード時も有効です。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

注 1. WAIT 命令実行前に、ソフトウェアスタンバイモードへ移行する際の DTC、DMACA、EXDMAC、EDMAC、WDT、IWDT、発振停止検出機能に関する条件を満たしておく必要があります。詳細は、「9.5.3 ソフトウェアスタンバイモード」を参照してください。

注 2. 内蔵 RAM のアドレス空間は、RAM0 と RAM1 の領域に分かれています。アドレス空間は表 9.2 を参照してください。

9.5.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部割り込み端子（NMI 端子、IRQ0-A ～ IRQ3-A 端子）、一部の内部割り込み（電圧監視、RTC アラーム、および USB サスペンド／レジューム）、RES# 端子によるリセット、パワーオンリセット、または電圧監視リセットによって行われます。

- 外部割り込みおよび内部割り込みによる解除

  DPSIFR レジスタは、ディープソフトウェアスタンバイモードの解除要因を保持するレジスタで、解除要求が発生したときに “1” になります。このとき、DPSIER レジスタで解除要因が許可されている場合、ディープソフトウェアスタンバイモードは解除されます。

  DPSIFR.DNMIF、DIRQnF フラグは、DPSIER.DNMIE ビットや、DPSIER.DIRQnE ビット (n=3 ～ 0) で許可した NMI 端子、または IRQ0-A ～ IRQ3-A 端子にエッジが発生すると “1” がセットされます。立ち上がりエッジと立ち下がりエッジの選択は DPSIEGR レジスタで端子ごとに行えます。

  また、DUSBF フラグは、DPSIER.DUSBE ビットで許可した USB サスペンド／レジュームによる割り込みが発生すると “1” になります。DRTCF フラグは、DPSIER.DRTCE ビットで許可した RTC アラーム割り込みが発生すると “1” になります。DLVDF フラグは、DPSIER.DLDVE ビットで許可した電圧監視割り込みが発生すると “1” になります。

  ディープソフトウェアスタンバイモードの解除要求が発生すると、クロック発振を開始するのと同時に、内部電源の供給を開始し、LSI 全体に対して内部リセット信号が発生します。

  DPSWCR.WTSTS[5:0] ビットで選択した待機時間が経過した後、安定したクロックが LSI 全体に供給され、内部リセットが解除されます。内部リセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

  外部割り込みおよび内部割り込みによってディープソフトウェアスタンバイモードが解除されると、RSTSR.DPSRSTF フラグが “1” になります。

- RES# 端子による解除

  RES# 端子を Low にすると、クロックの発振を開始し、同時に内部電源の供給を開始します。クロックの発振開始と同時に、LSI にクロックが供給されます。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

  電源電圧の低下によりパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

  電源電圧の低下により電圧監視リセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

9.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、LSI 内部は初期化されており、ディープソフトウェアスタンバイモードが解除されると直ちにリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEP ビットで、I/O ポートを初期状態とするか、ソフトウェアスタンバイモード時の I/O ポートの状態を保持し続けるかを選択することができます。

- IOKEEP ビットが “0” のとき
  ディープソフトウェアスタンバイモードに伴う内部リセットによって、I/O ポートは初期化されます。
- IOKEEP ビットが “1” のとき
  ディープソフトウェアスタンバイモードに伴う内部リセットによって、LSI 内部は初期化されていますが、I/O ポートは LSI 内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持し続けます。このとき、I/O ポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時の I/O ポートの状態を保持し続けます。その後、IOKEEP ビットを “0” にすることで、I/O ポートの状態保持は解除され、内部状態に応じた動作となります。

IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

9.5.4.4 ディープソフトウェアスタンバイモード解除後の発振安定時間の設定

DPSWCR.WTSTS[5:0] ビットは、以下のように設定してください。

1. 水晶発振の場合
   待機時間が発振安定時間以上となるように WTSTS[5:0] ビットを設定してください。
   表 9.5 に EXTAL 入力クロック周波数と、WTSTS[5:0] ビットの設定に対する待機時間を示します。
2. 外部クロックの場合
   PLL 回路の安定時間が必要となります。**表 9.5** を参照し待機時間を設定してください。

表9.5　発振安定時間の設定

WTSTS5	WTSTS4	WTSTS3	WTSTS2	WTSTS1	WTSTS0	待機時間（ステート）	EXTAL入力クロック周波数（注1）（MHz）				単位
							14	12	10	8	
0	0	0	0	0	0	（予約）	—	—	—	—	μs
					1	（予約）	—	—	—	—	
				1	0	（予約）	—	—	—	—	
					1	（予約）	—	—	—	—	
			1	0	0	（予約）	—	—	—	—	
					1	64	4.6	5.3	6.4	8.0	
				1	0	512	36.6	42.7	51.2	64.0	
					1	1024	73.1	85.3	102.4	128.0	
		1	0	0	0	2048	146.3	170.7	204.8	256.0	
					1	4096	0.29	0.34	0.41	0.51	ms
				1	0	16384	1.17	1.37	1.64	2.05	
					1	32768	2.34	2.73	3.26	4.10	
			1	0	0	65536	4.68	5.46	6.55	8.19	
					1	131072	9.36	10.92	13.11	16.38	
				1	0	262144	18.72	21.85	26.21	32.77	
					1	524288	37.45	43.69	52.43	65.54	
	1	x	x	x	x	（予約）	—	—	—	—	
1	x	x	x	x	X	（予約）	—	—	—	—	

：外部クロック使用時の推奨設定時間

：水晶発振使用時の推奨設定時間

注1.　発振安定待ち時間は、発振器が発振安定していない期間も含みますので、発振子の特性に影響されます。
上記数値は参考値です。

9.5.4.5 USB によるディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、USB のサスペンド／レジューム割り込みにより解除することが可能です。

USB のサスペンド／レジューム割り込みの検出は、USB レジューム検出部で行います。詳細は「28.3.1.4 USB サスペンド／レジューム割り込みによるディープソフトウェア スタンバイモードの解除」を参照してください。

9.5.4.6　ディープソフトウェアスタンバイモードの応用例

IRQ 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQ 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 9.3 に示します。

この例では、ICU の IRQCRn.IRQMD[1:0] ビットが “01b”（立ち下がりエッジ）の状態で、IRQ 割り込みを受け付けた後、DPSIEGR.DIRQnEG ビット (n=3 ～ 0) を “1”（立ち上がりエッジ）にし、SBYCR.SSBY ビットと、DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQ 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

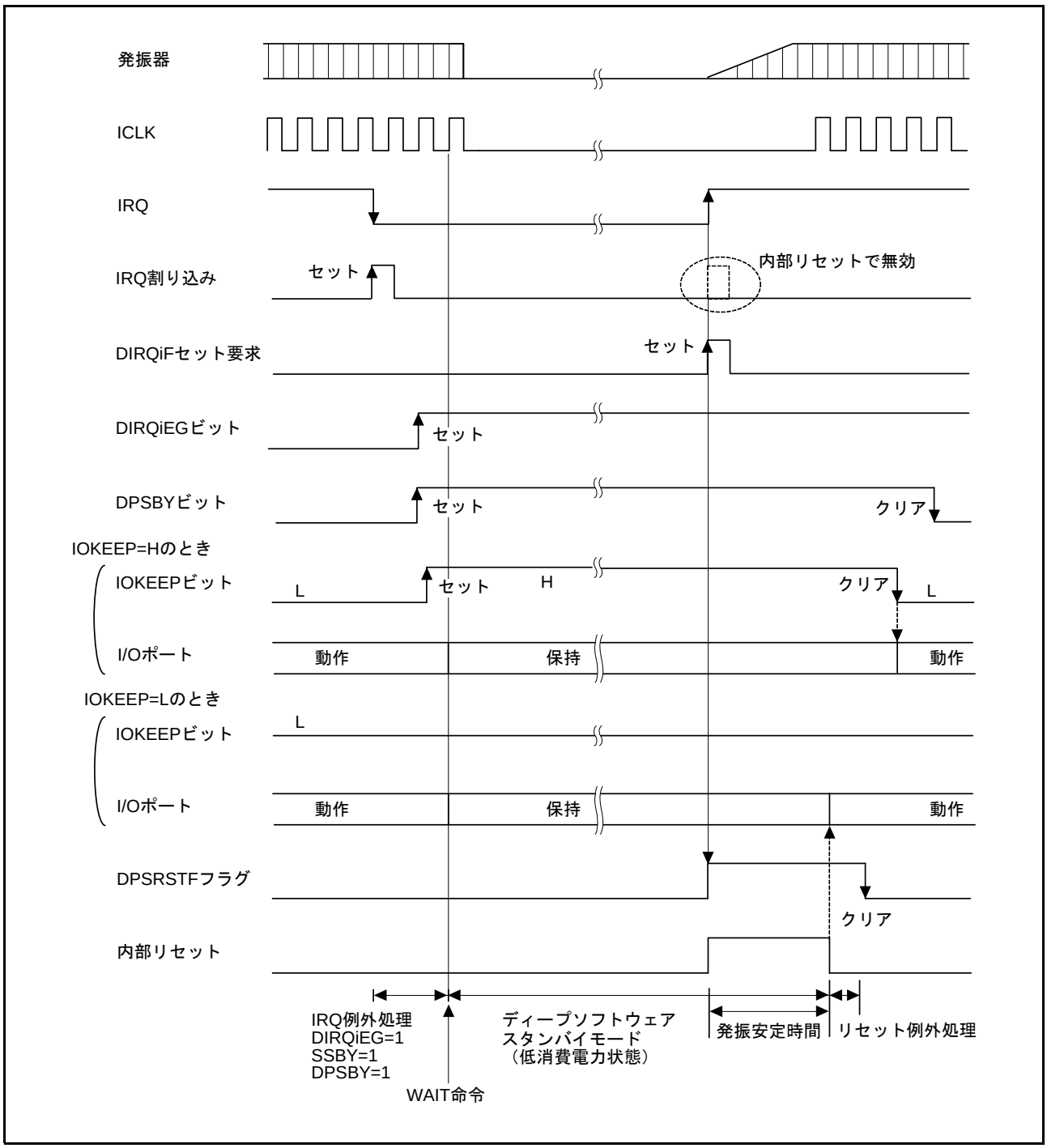


図 9.3　ディープソフトウェアスタンバイモードの応用例

9.5.4.7 ディープソフトウェアスタンバイモードのフローチャート

図 9.4 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR.DPSRSTF フラグにて RES# 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを “0” にしています。

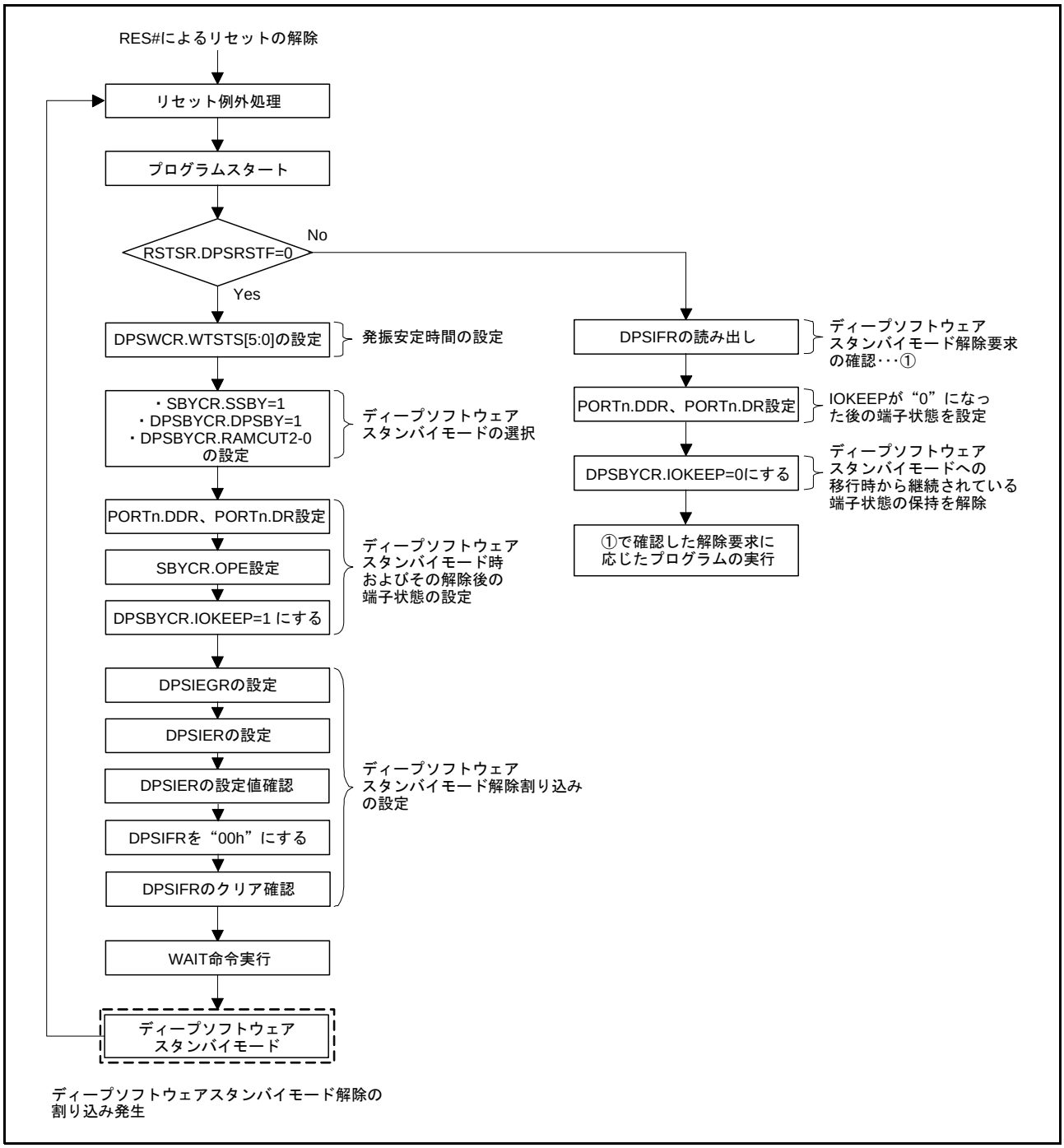


図 9.4　ディープソフトウェアスタンバイモードのフローチャート例

9.6 BCLK、SDCLK 出力制御

SCKCR.PSTOP1 ビットと、対応する P53 の P5.DDR.B3 ビットによって、BCLK 出力を制御することができます。

PSTOP1 ビットを “0” にすると、P53 は BCLK 出力になります。PSTOP1 ビットを “1” にすると、BCLK 出力は停止し、BCLK 出力は High になります。また、P53 の PORT5.DDR.B3 ビットを “0” にすると、BCLK 出力は禁止され、入力ポートになります。

表 9.6 に各低消費電力状態における BCLK 端子の状態を示します。

表9.6　各低消費電力状態おけるBCLK端子（P53）の状態

レジスタの設定値		通常動作状態	スリープ	全モジュールクロックストップ	ソフトウェアスタンバイ		ディープソフトウェアスタンバイ	
DDR	PSTOP1				OPE=0	OPE=1	IOKEEP=0	IOKEEP=1
0	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
1	0	BCLK出力	BCLK出力	BCLK出力	High	High	High	High
1	1	High	High	High	High	High	High	High

SCKCR.PSTOP0 ビットと対応する P70 の P7.DDR.B0 ビット、PF6BUS.SDCLKE ビットによって、SDCLK の出力を制御することができます。SDCLKE ビットを “1” かつ PSTOP0 ビットを “0” にすると、P70 は SDCLK 出力になります。SDCLKE ビット “1” かつ PSTOP0 ビットを “1” にすると SDCLK 出力は停止し、SDCLK 出力は High になります。また、SDCLKE ビットを “0” かつ PORT7.DDR.B0 ビットを “0” にすると入力ポートとなり、SDCLKE ビットを “0” かつ P7.DDR.B0 ビットを “1” にすると出力ポートとなります。

表 9.7 に各低消費電力における SDCLK 端子の状態を示します。

表9.7　各低消費電力状態におけるSDCLK端子（P70）の状態

レジスタの設定値			通常動作状態	スリープ	全モジュールクロックストップ	ソフトウェアスタンバイ		ディープソフトウェアスタンバイ	
SDCLKE	DDR	PSTOP0				OPE=0	OPE=1	IOKEEP=0	IOKEEP=1
0	0	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	1		PORT 出力	PORT 出力	PORT 出力	PORT 出力	PORT 出力	PORT 出力	PORT 出力
1	x	0	SDCLK 出力	SDCLK 出力	SDCLK 出力	High	High	High	High
		1	High	High	High	High	High	High	High

9.7 使用上の注意事項

9.7.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

9.7.2 DMACA、DTC、EXDMAC、および EDMAC のモジュールストップ

MSTPCRA.MSTPA29, MSTPA28 ビット、MSTPCRB.MSTPB15 ビットを “1” にする前に、EXDMAC の EDMAST.DMST ビット、DMACA の DMAST.DMST ビット、DTC の DTCST.DTCST ビット、EDMAC の EDTRR.TR および EDRRR.RR ビットを “0” にクリアし、DTC、DMACA、EXDMAC、EDMAC が起動していない状態にしてください。

詳細は「14. DMA コントローラ（DMACA）」、「15. EXDMA コントローラ（EXDMAC）」、「16. データトランスファコントローラ（DTCa）」および「27. イーサネットコントローラ用 DMA コントローラ（EDMAC）」を参照してください。

9.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMACA、DTC、EXDMAC、EDMAC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

9.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

9.7.5 DIRQnE ビット (n =3 ～ 0) による入力バッファ制御

DPSIER.DIRQnE（ n =3 ～ 0）ビットを “1” にすることで、P30/IRQ0-A ～ P33/IRQ3-A 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFR.DIRQnF（ n ＝ 3 ～ 0）ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

割り込みコントローラや周辺モジュール、I/O ポートへの入力は PORTn.ICR レジスタで制御してください。

9.7.6 ディープソフトウェアスタンバイモードの移行と割り込みの競合

ディープソフトウェアスタンバイモードへ移行する際、ソフトウェアスタンバイモードの解除要求が競合した場合には、ディープソフトウェアスタンバイモードへは移行せずにソフトウェアスタンバイモードの解除シーケンスを開始します。その後、SBYCR.STS[4:0] ビットで選択したソフトウェアスタンバイモードの発振安定時間が経過した後、割り込み例外処理が開始されます。

ディープソフトウェアスタンバイモードへの移行とソフトウェアスタンバイモードの解除要求が競合する場合は、割り込み例外処理ルーチンが必要ですので、注意してください。

9.7.7 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

10. 例外処理

10.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要が生じる場合があります。このような事象を総称して例外事象と呼びます。

RX CPU は、7 種類の例外に対応します。図 10.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパバイザモードに移行します。

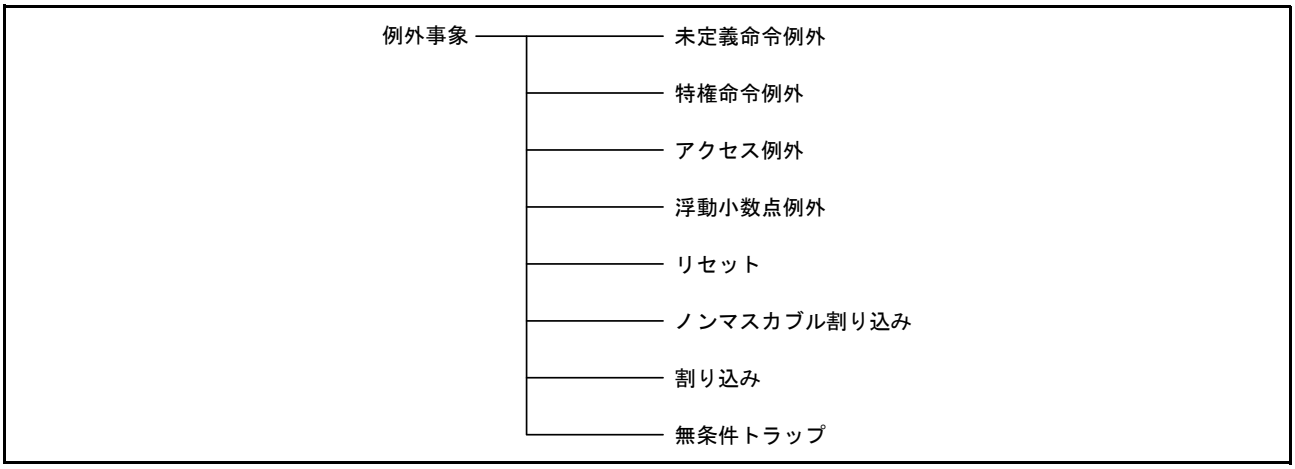


図 10.1 例外事象の種類

10.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

10.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパバイザモードでのみ実行可能です。

10.1.3 アクセス例外

アクセス例外は、CPU からのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

10.1.4 浮動小数点例外

浮動小数点例外は、IEEE754 規格で規定された 5 つの例外事象（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSW の EX、EU、EZ、EO、EV ビットが “0” のとき、例外処理が禁止されます。

10.1.5 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

10.1.6 ノンマスカブル割り込み

CPU にノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

10.1.7 割り込み

CPU に割り込み信号を入力することによって発生します。割り込みのうち 1 つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは 15（最高）です。

PSW の I ビットが “0” のとき、割り込みの受け付けは禁止されます。

10.1.8 無条件トラップ

INT 命令、および BRK 命令を実行すると無条件トラップが発生します。

10.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 10.2 に示します。

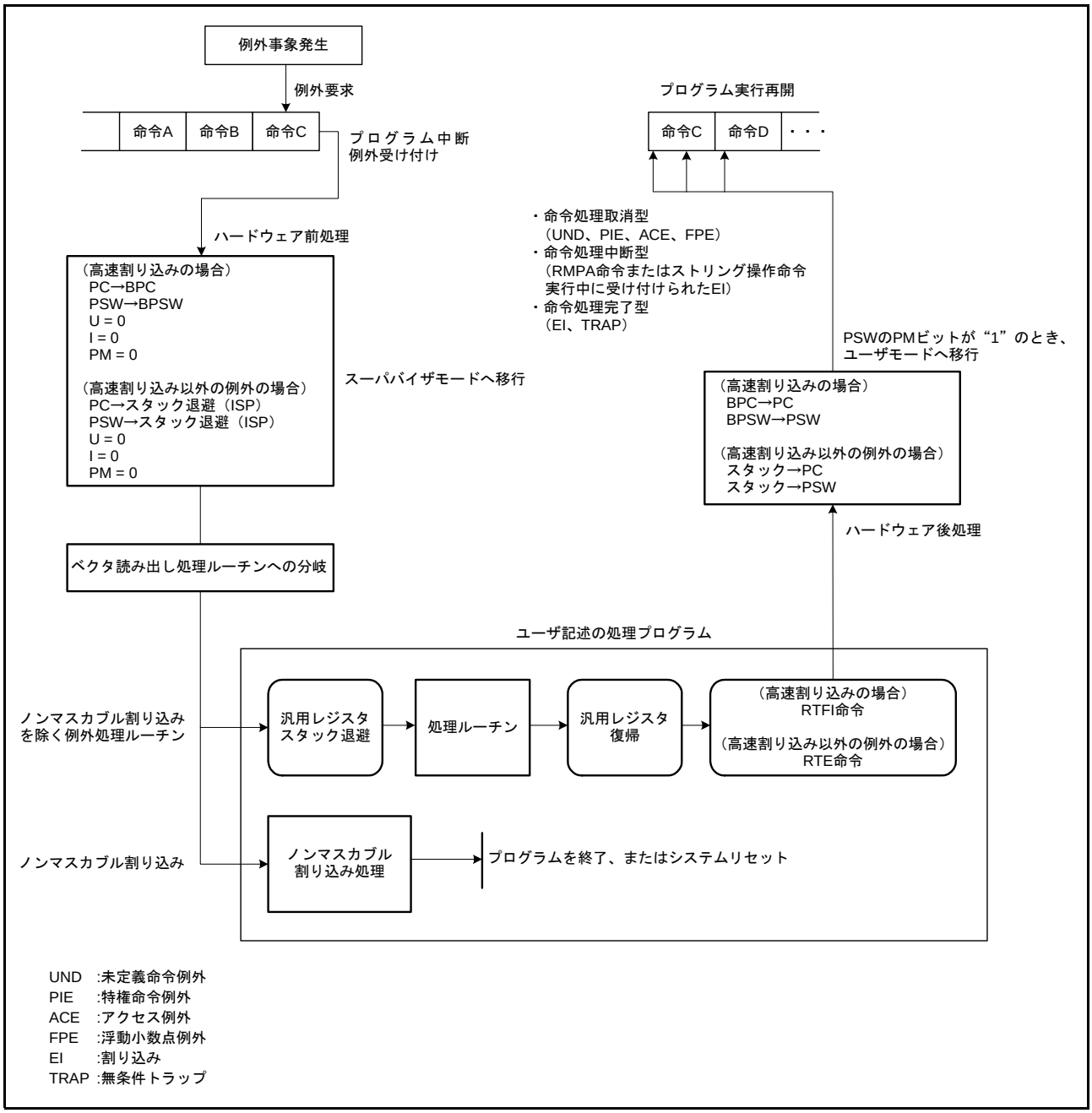


図 10.2　例外処理手順の概要

例外が受け付けられると、RX CPU はハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには各例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RX CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ（PC）の内容をバックアッププログラムカウンタ（BPC）に、プロセッサステータスワード（PSW）の内容をバックアッププロセッサステータスワード（BPSW）へ退避します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ルーチン完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RX CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

10.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

10.3.1 受け付けタイミングと保存される PC 値

各例外事象の受け付けタイミングと保存されるプログラムカウンタ（PC）の値を表 10.1 に示します。

表10.1　受け付けタイミングと保存されるPC値

例外事象		処理型	受け付け タイミング	BPC／スタックに保存されるPC値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
アクセス例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
リセット		命令処理放棄型	各サイクル	なし
ノンマスカブル割り込み	RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ		命令処理完了型	命令の区切り	次の命令のPC値

10.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ（PC）、プロセッサステータスワード（PSW）の退避場所を表 10.2 に示します。

表10.2　ベクタとPC、PSWの退避場所

例外事象		ベクタ	PC、PSWの退避場所
未定義命令例外		固定ベクタテーブル	スタック
特権命令例外		固定ベクタテーブル	スタック
アクセス例外		固定ベクタテーブル	スタック
浮動小数点例外		固定ベクタテーブル	スタック
リセット		固定ベクタテーブル	なし
ノンマスカブル割り込み		固定ベクタテーブル	スタック
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	可変ベクタテーブル（INTB）	スタック
無条件トラップ		可変ベクタテーブル（INTB）	スタック

10.4 例外の受け付け／復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

（高速割り込みの場合）
PSW → BPSW
（高速割り込み以外の例外の場合）
PSW →スタック領域

注． FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM、U、I ビットの更新

I： 0 にする
U： 0 にする
PM：0 にする

(c) PC の退避

（高速割り込みの場合）
PC → BPC
（高速割り込み以外の例外の場合）
PC →スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチンへ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

（高速割り込みの場合）
BPSW → PSW
（高速割り込み以外の例外の場合）
スタック領域→ PSW

(b) PC の復帰

（高速割り込みの場合）
BPC → PC
（高速割り込み以外の例外の場合）
スタック領域→ PC

10.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

10.5.1 未定義命令例外

(1) プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。

(2) PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。

(3) プログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します。

(4) FFFFFFDCh 番地からベクタを取得します。

(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.2 特権命令例外

(1) プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。

(2) PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。

(3) プログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します。

(4) FFFFFFD0h 番地からベクタを取得します。

(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.3 アクセス例外

(1) プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。

(2) PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。

(3) プログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します

(4) FFFFFFD4h 番地からベクタを取得します。

(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.4 浮動小数点例外

(1) プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。

(2) PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。

(3) プログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します。

(4) FFFFFFE4h 番地からベクタを取得します。

(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.5 リセット

(1) 制御レジスタを初期化します。
(2) FFFFFFFCh 番地からベクタを取得します。
(3) 取得したベクタをプログラムカウンタ（PC）にセットします。

10.5.6 ノンマスカブル割り込み

(1) プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。
(2) PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
(3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ（PC）の内容を、それ以外の状態では次の命令の PC の内容をスタック領域（ISP）に退避します。
(4) PSW のプロセッサ割り込み優先レベル（IPL[3:0]）を “Fh” にします。
(5) FFFFFFF8h 番地からベクタを取得します。
(6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.7 割り込み

(1) プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。高速割り込みの場合は、バックアッププロセッサステータスワード（BPSW）に退避します。
(2) PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
(3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ（PC）の内容を、それ以外の状態では次の命令の PC の内容をスタック領域（ISP）に退避します。高速割り込みの場合は、バックアッププログラムカウンタ（BPC）に退避します。
(4) PSW のプロセッサ割り込み優先レベル（IPL[3:0]）に、受け付けた割り込みの割り込み優先レベルを設定します。
(5) 可変ベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ（FINTV）からベクタを取得します。
(6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.8 無条件トラップ

(1) プロセッサステータスワード（PSW）の内容をスタック領域（ISP）に退避します。
(2) PSW のプロセッサモード設定ビット（PM）、スタックポインタ指定ビット（U）、割り込み許可ビット（I）を “0” にします。
(3) 次の命令のプログラムカウンタ（PC）の内容をスタック領域（ISP）に退避します。
(4) INT 命令の場合は、可変ベクタテーブルから INT 命令番号に対応したベクタを取得します。
BRK 命令の場合は、可変ベクタテーブルの先頭番地からベクタを取得します。
(5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で**表** 10.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC、BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表10.3　例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		復帰不可能
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

10.7 例外事象の優先順位

例外事象の優先順位を**表** 10.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表10.4　例外事象の優先順位

優先順位		例外事象
高い	1	リセット
↑	2	ノンマスカブル割り込み
	3	割り込み
	4	命令アクセス例外
	5	未定義命令例外 特権命令例外
	6	無条件トラップ
	7	オペランドアクセス例外
低い	8	浮動小数点例外

11. 割り込みコントローラ（ICUa）

11.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC、DMACA の起動を行ないます。表 11.1 に割り込みコントローラの仕様を、図 11.1 に割り込みコントローラのブロック図を示します。

表 11.1　割り込みコントローラの仕様

項目		内容
割り込み	周辺機能割り込み	● 周辺モジュールからの割り込み ● 要因数：146 ● 割り込み検出：エッジ検出／レベル検出 接続している周辺モジュールの要因ごとに検出方法が決められている
	外部端子割り込み	● IRQ15～IRQ0端子からの割り込み ● 要因数：16 ● 割り込み検出：Low／立ち下がりエッジ／立ち上がりエッジ／両エッジを要因ごとに設定可能
	ソフトウェア割り込み	● レジスタ書き込みによる割り込み ● 要因数：1
	割り込み優先順位	レジスタで優先順位を設定
	高速割り込み機能	CPUの割り込み処理の高速化が可能。1要因にのみ設定
	DTC、DMACA制御	割り込み要因によってDTCやDMACAを起動可能 DTC起動要因：102（周辺機能割り込み 85＋外部端子割り込み 16 ＋ソフトウェア割り込み 1） DMACA起動要因：45（周辺機能割り込み 41＋外部端子割り込み 4）
ノンマスカブル割り込み	NMI端子割り込み	● NMI端子からの割り込み ● 割り込み検出：立ち下がりエッジ／立ち上がりエッジ
	電圧監視割り込み	電源電圧低下検出時の割り込み
	発振停止検出割り込み	発振停止検出時の割り込み
低消費電力状態からの復帰		● スリープモード：ノンマスカブル割り込み、全割り込み要因で復帰 ● 全モジュールクロックストップモード：ノンマスカブル割り込み、IRQ15～IRQ0割り込み、WDT割り込み、TMR割り込み、USB割り込み(USBR)、RTCアラーム割り込みで復帰 ● ソフトウェアスタンバイモード：ノンマスカブル割り込み、IRQ15～IRQ0割り込み、USB割り込み(USBR)、RTCアラーム割り込みで復帰

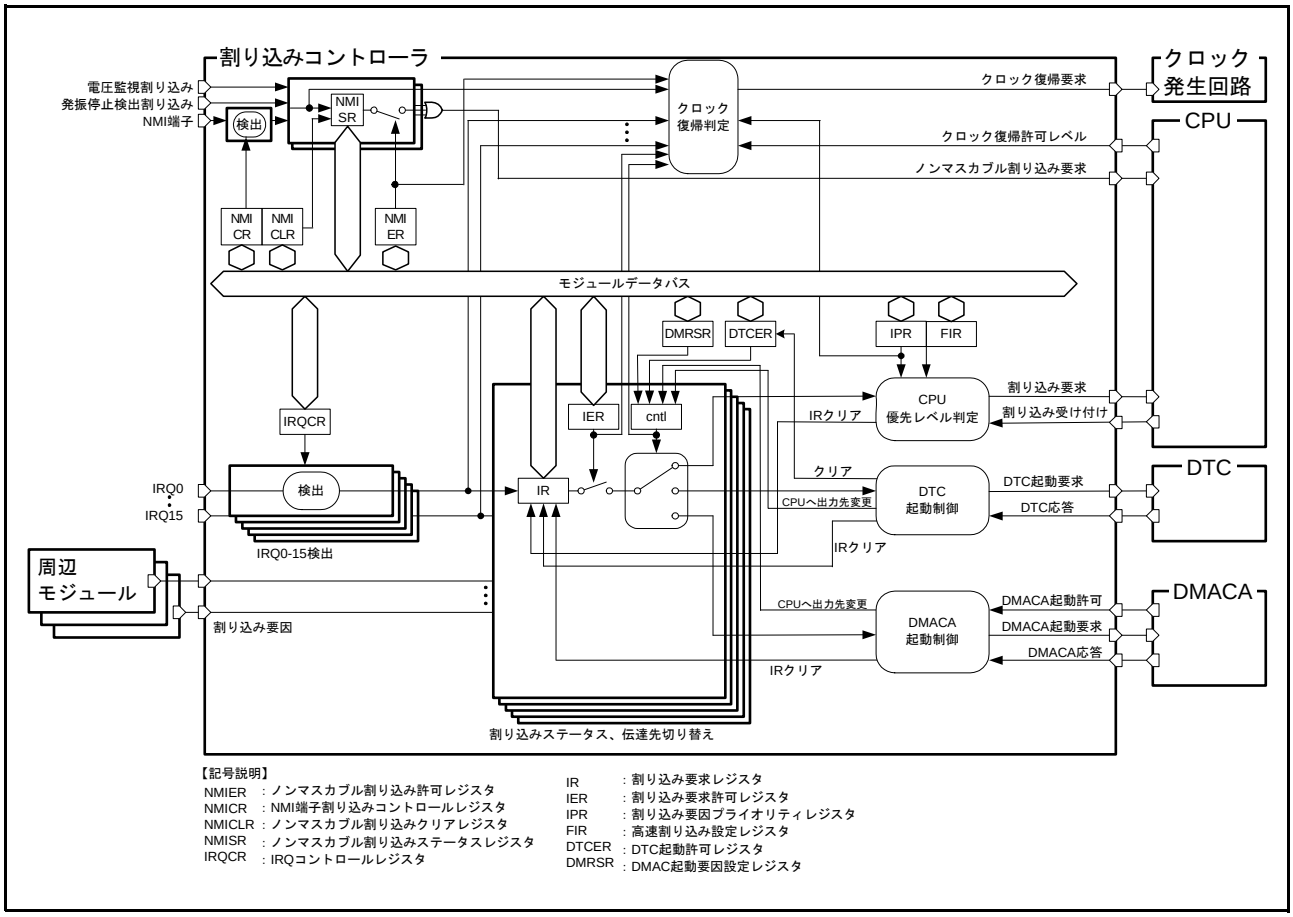


図 11.1　割り込みコントローラのブロック図

表 11.2 に割り込みコントローラで使用する入出力端子を示します。

表 11.2　割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスカブル割り込み要求端子
IRQ15～IRQ0	入力	外部割り込み要求端子

11.2 レジスタの説明

表 11.3 に割り込みコントローラのレジスター覧を示します。

表11.3　割り込みコントローラのレジスター覧 (1 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 016	IR016	00h	0008 7010h	8
割り込み要求レジスタ 021	IR021	00h	0008 7015h	8
割り込み要求レジスタ 023	IR023	00h	0008 7017h	8
割り込み要求レジスタ 027	IR027	00h	0008 701Bh	8
割り込み要求レジスタ 028	IR028	00h	0008 701Ch	8
割り込み要求レジスタ 029	IR029	00h	0008 701Dh	8
割り込み要求レジスタ 030	IR030	00h	0008 701Eh	8
割り込み要求レジスタ 031	IR031	00h	0008 701Fh	8
割り込み要求レジスタ 032	IR032	00h	0008 7020h	8
割り込み要求レジスタ 036	IR036	00h	0008 7024h	8
割り込み要求レジスタ 037	IR037	00h	0008 7025h	8
割り込み要求レジスタ 038	IR038	00h	0008 7026h	8
割り込み要求レジスタ 040	IR040	00h	0008 7028h	8
割り込み要求レジスタ 041	IR041	00h	0008 7029h	8
割り込み要求レジスタ 042	IR042	00h	0008 702Ah	8
割り込み要求レジスタ 044	IR044	00h	0008 702Ch	8
割り込み要求レジスタ 045	IR045	00h	0008 702Dh	8
割り込み要求レジスタ 046	IR046	00h	0008 702Eh	8
割り込み要求レジスタ 047	IR047	00h	0008 702Fh	8
割り込み要求レジスタ 048	IR048	00h	0008 7030h	8
割り込み要求レジスタ 049	IR049	00h	0008 7031h	8
割り込み要求レジスタ 050	IR050	00h	0008 7032h	8
割り込み要求レジスタ 051	IR051	00h	0008 7033h	8
割り込み要求レジスタ 056	IR056	00h	0008 7038h	8
割り込み要求レジスタ 057	IR057	00h	0008 7039h	8
割り込み要求レジスタ 058	IR058	00h	0008 703Ah	8
割り込み要求レジスタ 059	IR059	00h	0008 703Bh	8
割り込み要求レジスタ 060	IR060	00h	0008 703Ch	8
割り込み要求レジスタ 062	IR062	00h	0008 703Eh	8
割り込み要求レジスタ 063	IR063	00h	0008 703Fh	8
割り込み要求レジスタ 064	IR064	00h	0008 7040h	8
割り込み要求レジスタ 065	IR065	00h	0008 7041h	8
割り込み要求レジスタ 066	IR066	00h	0008 7042h	8
割り込み要求レジスタ 067	IR067	00h	0008 7043h	8
割り込み要求レジスタ 068	IR068	00h	0008 7044h	8
割り込み要求レジスタ 069	IR069	00h	0008 7045h	8
割り込み要求レジスタ 070	IR070	00h	0008 7046h	8
割り込み要求レジスタ 071	IR071	00h	0008 7047h	8
割り込み要求レジスタ 072	IR072	00h	0008 7048h	8
割り込み要求レジスタ 073	IR073	00h	0008 7049h	8
割り込み要求レジスタ 074	IR074	00h	0008 704Ah	8
割り込み要求レジスタ 075	IR075	00h	0008 704Bh	8

表11.3　割り込みコントローラのレジスター覧 (2 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 076	IR076	00h	0008 704Ch	8
割り込み要求レジスタ 077	IR077	00h	0008 704Dh	8
割り込み要求レジスタ 078	IR078	00h	0008 704Eh	8
割り込み要求レジスタ 079	IR079	00h	0008 704Fh	8
割り込み要求レジスタ 090	IR090	00h	0008 705Ah	8
割り込み要求レジスタ 091	IR091	00h	0008 705Bh	8
割り込み要求レジスタ 092	IR092	00h	0008 705Ch	8
割り込み要求レジスタ 096	IR096	00h	0008 7060h	8
割り込み要求レジスタ 098	IR098	00h	0008 7062h	8
割り込み要求レジスタ 099	IR099	00h	0008 7063h	8
割り込み要求レジスタ 102	IR102	00h	0008 7066h	8
割り込み要求レジスタ 114	IR114	00h	0008 7072h	8
割り込み要求レジスタ 115	IR115	00h	0008 7073h	8
割り込み要求レジスタ 116	IR116	00h	0008 7074h	8
割り込み要求レジスタ 117	IR117	00h	0008 7075h	8
割り込み要求レジスタ 118	IR118	00h	0008 7076h	8
割り込み要求レジスタ 119	IR119	00h	0008 7077h	8
割り込み要求レジスタ 120	IR120	00h	0008 7078h	8
割り込み要求レジスタ 121	IR121	00h	0008 7079h	8
割り込み要求レジスタ 122	IR122	00h	0008 707Ah	8
割り込み要求レジスタ 123	IR123	00h	0008 707Bh	8
割り込み要求レジスタ 124	IR124	00h	0008 707Ch	8
割り込み要求レジスタ 125	IR125	00h	0008 707Dh	8
割り込み要求レジスタ 126	IR126	00h	0008 707Eh	8
割り込み要求レジスタ 127	IR127	00h	0008 707Fh	8
割り込み要求レジスタ 128	IR128	00h	0008 7080h	8
割り込み要求レジスタ 129	IR129	00h	0008 7081h	8
割り込み要求レジスタ 130	IR130	00h	0008 7082h	8
割り込み要求レジスタ 131	IR131	00h	0008 7083h	8
割り込み要求レジスタ 132	IR132	00h	0008 7084h	8
割り込み要求レジスタ 133	IR133	00h	0008 7085h	8
割り込み要求レジスタ 134	IR134	00h	0008 7086h	8
割り込み要求レジスタ 135	IR135	00h	0008 7087h	8
割り込み要求レジスタ 136	IR136	00h	0008 7088h	8
割り込み要求レジスタ 137	IR137	00h	0008 7089h	8
割り込み要求レジスタ 138	IR138	00h	0008 708Ah	8
割り込み要求レジスタ 139	IR139	00h	0008 708Bh	8
割り込み要求レジスタ 140	IR140	00h	0008 708Ch	8
割り込み要求レジスタ 141	IR141	00h	0008 708Dh	8
割り込み要求レジスタ 142	IR142	00h	0008 708Eh	8
割り込み要求レジスタ 143	IR143	00h	0008 708Fh	8
割り込み要求レジスタ 144	IR144	00h	0008 7090h	8
割り込み要求レジスタ 145	IR145	00h	0008 7091h	8
割り込み要求レジスタ 146	IR146	00h	0008 7092h	8
割り込み要求レジスタ 147	IR147	00h	0008 7093h	8

表11.3　割り込みコントローラのレジスター覧 (3 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 148	IR148	00h	0008 7094h	8
割り込み要求レジスタ 149	IR149	00h	0008 7095h	8
割り込み要求レジスタ 150	IR150	00h	0008 7096h	8
割り込み要求レジスタ 151	IR151	00h	0008 7097h	8
割り込み要求レジスタ 152	IR152	00h	0008 7098h	8
割り込み要求レジスタ 153	IR153	00h	0008 7099h	8
割り込み要求レジスタ 154	IR154	00h	0008 709Ah	8
割り込み要求レジスタ 155	IR155	00h	0008 709Bh	8
割り込み要求レジスタ 156	IR156	00h	0008 709Ch	8
割り込み要求レジスタ 157	IR157	00h	0008 709Dh	8
割り込み要求レジスタ 158	IR158	00h	0008 709Eh	8
割り込み要求レジスタ 159	IR159	00h	0008 709Fh	8
割り込み要求レジスタ 160	IR160	00h	0008 70A0h	8
割り込み要求レジスタ 161	IR161	00h	0008 70A1h	8
割り込み要求レジスタ 162	IR162	00h	0008 70A2h	8
割り込み要求レジスタ 163	IR163	00h	0008 70A3h	8
割り込み要求レジスタ 164	IR164	00h	0008 70A4h	8
割り込み要求レジスタ 165	IR165	00h	0008 70A5h	8
割り込み要求レジスタ 166	IR166	00h	0008 70A6h	8
割り込み要求レジスタ 167	IR167	00h	0008 70A7h	8
割り込み要求レジスタ 168	IR168	00h	0008 70A8h	8
割り込み要求レジスタ 169	IR169	00h	0008 70A9h	8
割り込み要求レジスタ 170	IR170	00h	0008 70AAh	8
割り込み要求レジスタ 171	IR171	00h	0008 70ABh	8
割り込み要求レジスタ 172	IR172	00h	0008 70ACh	8
割り込み要求レジスタ 173	IR173	00h	0008 70ADh	8
割り込み要求レジスタ 174	IR174	00h	0008 70AEh	8
割り込み要求レジスタ 175	IR175	00h	0008 70AFh	8
割り込み要求レジスタ 176	IR176	00h	0008 70B0h	8
割り込み要求レジスタ 177	IR177	00h	0008 70B1h	8
割り込み要求レジスタ 178	IR178	00h	0008 70B2h	8
割り込み要求レジスタ 179	IR179	00h	0008 70B3h	8
割り込み要求レジスタ 180	IR180	00h	0008 70B4h	8
割り込み要求レジスタ 181	IR181	00h	0008 70B5h	8
割り込み要求レジスタ 182	IR182	00h	0008 70B6h	8
割り込み要求レジスタ 183	IR183	00h	0008 70B7h	8
割り込み要求レジスタ 184	IR184	00h	0008 70B8h	8
割り込み要求レジスタ 185	IR185	00h	0008 70B9h	8
割り込み要求レジスタ 198	IR198	00h	0008 70C6h	8
割り込み要求レジスタ 199	IR199	00h	0008 70C7h	8
割り込み要求レジスタ 200	IR200	00h	0008 70C8h	8
割り込み要求レジスタ 201	IR201	00h	0008 70C9h	8
割り込み要求レジスタ 202	IR202	00h	0008 70CAh	8
割り込み要求レジスタ 203	IR203	00h	0008 70CBh	8
割り込み要求レジスタ 214	IR214	00h	0008 70D6h	8

表11.3　割り込みコントローラのレジスター覧 (4 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 215	IR215	00h	0008 70D7h	8
割り込み要求レジスタ 216	IR216	00h	0008 70D8h	8
割り込み要求レジスタ 217	IR217	00h	0008 70D9h	8
割り込み要求レジスタ 218	IR218	00h	0008 70DAh	8
割り込み要求レジスタ 219	IR219	00h	0008 70DBh	8
割り込み要求レジスタ 220	IR220	00h	0008 70DCh	8
割り込み要求レジスタ 221	IR221	00h	0008 70DDh	8
割り込み要求レジスタ 222	IR222	00h	0008 70DEh	8
割り込み要求レジスタ 223	IR223	00h	0008 70DFh	8
割り込み要求レジスタ 224	IR224	00h	0008 70E0h	8
割り込み要求レジスタ 225	IR225	00h	0008 70E1h	8
割り込み要求レジスタ 226	IR226	00h	0008 70E2h	8
割り込み要求レジスタ 227	IR227	00h	0008 70E3h	8
割り込み要求レジスタ 228	IR228	00h	0008 70E4h	8
割り込み要求レジスタ 229	IR229	00h	0008 70E5h	8
割り込み要求レジスタ 234	IR234	00h	0008 70EAh	8
割り込み要求レジスタ 235	IR235	00h	0008 70EBh	8
割り込み要求レジスタ 236	IR236	00h	0008 70ECh	8
割り込み要求レジスタ 237	IR237	00h	0008 70EDh	8
割り込み要求レジスタ 238	IR238	00h	0008 70EEh	8
割り込み要求レジスタ 239	IR239	00h	0008 70EFh	8
割り込み要求レジスタ 240	IR240	00h	0008 70F0h	8
割り込み要求レジスタ 241	IR241	00h	0008 70F1h	8
割り込み要求レジスタ 246	IR246	00h	0008 70F6h	8
割り込み要求レジスタ 247	IR247	00h	0008 70F7h	8
割り込み要求レジスタ 248	IR248	00h	0008 70F8h	8
割り込み要求レジスタ 249	IR249	00h	0008 70F9h	8
割り込み要求レジスタ 250	IR250	00h	0008 70FAh	8
割り込み要求レジスタ 251	IR251	00h	0008 70FBh	8
割り込み要求レジスタ 252	IR252	00h	0008 70FCh	8
割り込み要求レジスタ 253	IR253	00h	0008 70FDh	8
DTC起動許可レジスタ 027	DTCER027	00h	0008 711Bh	8
DTC起動許可レジスタ 028	DTCER028	00h	0008 711Ch	8
DTC起動許可レジスタ 029	DTCER029	00h	0008 711Dh	8
DTC起動許可レジスタ 030	DTCER030	00h	0008 711Eh	8
DTC起動許可レジスタ 031	DTCER031	00h	0008 711Fh	8
DTC起動許可レジスタ 036	DTCER036	00h	0008 7124h	8
DTC起動許可レジスタ 037	DTCER037	00h	0008 7125h	8
DTC起動許可レジスタ 040	DTCER040	00h	0008 7128h	8
DTC起動許可レジスタ 041	DTCER041	00h	0008 7129h	8
DTC起動許可レジスタ 045	DTCER045	00h	0008 712Dh	8
DTC起動許可レジスタ 046	DTCER046	00h	0008 712Eh	8
DTC起動許可レジスタ 049	DTCER049	00h	0008 7131h	8
DTC起動許可レジスタ 050	DTCER050	00h	0008 7132h	8
DTC起動許可レジスタ 064	DTCER064	00h	0008 7140h	8

表11.3　割り込みコントローラのレジスター覧 (5 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC起動許可レジスタ 065	DTCER065	00h	0008 7141h	8
DTC起動許可レジスタ 066	DTCER066	00h	0008 7142h	8
DTC起動許可レジスタ 067	DTCER067	00h	0008 7143h	8
DTC起動許可レジスタ 068	DTCER068	00h	0008 7144h	8
DTC起動許可レジスタ 069	DTCER069	00h	0008 7145h	8
DTC起動許可レジスタ 070	DTCER070	00h	0008 7146h	8
DTC起動許可レジスタ 071	DTCER071	00h	0008 7147h	8
DTC起動許可レジスタ 072	DTCER072	00h	0008 7148h	8
DTC起動許可レジスタ 073	DTCER073	00h	0008 7149h	8
DTC起動許可レジスタ 074	DTCER074	00h	0008 714Ah	8
DTC起動許可レジスタ 075	DTCER075	00h	0008 714Bh	8
DTC起動許可レジスタ 076	DTCER076	00h	0008 714Ch	8
DTC起動許可レジスタ 077	DTCER077	00h	0008 714Dh	8
DTC起動許可レジスタ 078	DTCER078	00h	0008 714Eh	8
DTC起動許可レジスタ 079	DTCER079	00h	0008 714Fh	8
DTC起動許可レジスタ 098	DTCER098	00h	0008 7162h	8
DTC起動許可レジスタ 099	DTCER099	00h	0008 7163h	8
DTC起動許可レジスタ 102	DTCER102	00h	0008 7166h	8
DTC起動許可レジスタ 114	DTCER114	00h	0008 7172h	8
DTC起動許可レジスタ 115	DTCER115	00h	0008 7173h	8
DTC起動許可レジスタ 116	DTCER116	00h	0008 7174h	8
DTC起動許可レジスタ 117	DTCER117	00h	0008 7175h	8
DTC起動許可レジスタ 121	DTCER121	00h	0008 7179h	8
DTC起動許可レジスタ 122	DTCER122	00h	0008 717Ah	8
DTC起動許可レジスタ 125	DTCER125	00h	0008 717Dh	8
DTC起動許可レジスタ 126	DTCER126	00h	0008 717Eh	8
DTC起動許可レジスタ 129	DTCER129	00h	0008 7181h	8
DTC起動許可レジスタ 130	DTCER130	00h	0008 7182h	8
DTC起動許可レジスタ 131	DTCER131	00h	0008 7183h	8
DTC起動許可レジスタ 132	DTCER132	00h	0008 7184h	8
DTC起動許可レジスタ 134	DTCER134	00h	0008 7186h	8
DTC起動許可レジスタ 135	DTCER135	00h	0008 7187h	8
DTC起動許可レジスタ 136	DTCER136	00h	0008 7188h	8
DTC起動許可レジスタ 137	DTCER137	00h	0008 7189h	8
DTC起動許可レジスタ 138	DTCER138	00h	0008 718Ah	8
DTC起動許可レジスタ 139	DTCER139	00h	0008 718Bh	8
DTC起動許可レジスタ 140	DTCER140	00h	0008 718Ch	8
DTC起動許可レジスタ 141	DTCER141	00h	0008 718Dh	8
DTC起動許可レジスタ 142	DTCER142	00h	0008 718Eh	8
DTC起動許可レジスタ 143	DTCER143	00h	0008 718Fh	8
DTC起動許可レジスタ 144	DTCER144	00h	0008 7190h	8
DTC起動許可レジスタ 145	DTCER145	00h	0008 7191h	8
DTC起動許可レジスタ 149	DTCER149	00h	0008 7195h	8
DTC起動許可レジスタ 150	DTCER150	00h	0008 7196h	8
DTC起動許可レジスタ 153	DTCER153	00h	0008 7199h	8

表11.3　割り込みコントローラのレジスター覧 (6 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC起動許可レジスタ 154	DTCER154	00h	0008 719Ah	8
DTC起動許可レジスタ 157	DTCER157	00h	0008 719Dh	8
DTC起動許可レジスタ 158	DTCER158	00h	0008 719Eh	8
DTC起動許可レジスタ 159	DTCER159	00h	0008 719Fh	8
DTC起動許可レジスタ 160	DTCER160	00h	0008 71A0h	8
DTC起動許可レジスタ 162	DTCER162	00h	0008 71A2h	8
DTC起動許可レジスタ 163	DTCER163	00h	0008 71A3h	8
DTC起動許可レジスタ 164	DTCER164	00h	0008 71A4h	8
DTC起動許可レジスタ 165	DTCER165	00h	0008 71A5h	8
DTC起動許可レジスタ 166	DTCER166	00h	0008 71A6h	8
DTC起動許可レジスタ 167	DTCER167	00h	0008 71A7h	8
DTC起動許可レジスタ 168	DTCER168	00h	0008 71A8h	8
DTC起動許可レジスタ 169	DTCER169	00h	0008 71A9h	8
DTC起動許可レジスタ 174	DTCER174	00h	0008 71AEh	8
DTC起動許可レジスタ 175	DTCER175	00h	0008 71AFh	8
DTC起動許可レジスタ 177	DTCER177	00h	0008 71B1h	8
DTC起動許可レジスタ 178	DTCER178	00h	0008 71B2h	8
DTC起動許可レジスタ 180	DTCER180	00h	0008 71B4h	8
DTC起動許可レジスタ 181	DTCER181	00h	0008 71B5h	8
DTC起動許可レジスタ 183	DTCER183	00h	0008 71B7h	8
DTC起動許可レジスタ 184	DTCER184	00h	0008 71B8h	8
DTC起動許可レジスタ 198	DTCER198	00h	0008 71C6h	8
DTC起動許可レジスタ 199	DTCER199	00h	0008 71C7h	8
DTC起動許可レジスタ 200	DTCER200	00h	0008 71C8h	8
DTC起動許可レジスタ 201	DTCER201	00h	0008 71C9h	8
DTC起動許可レジスタ 202	DTCER202	00h	0008 71CAh	8
DTC起動許可レジスタ 203	DTCER203	00h	0008 71CBh	8
DTC起動許可レジスタ 215	DTCER215	00h	0008 71D7h	8
DTC起動許可レジスタ 216	DTCER216	00h	0008 71D8h	8
DTC起動許可レジスタ 219	DTCER219	00h	0008 71DBh	8
DTC起動許可レジスタ 220	DTCER220	00h	0008 71DCh	8
DTC起動許可レジスタ 223	DTCER223	00h	0008 71DFh	8
DTC起動許可レジスタ 224	DTCER224	00h	0008 71E0h	8
DTC起動許可レジスタ 227	DTCER227	00h	0008 71E3h	8
DTC起動許可レジスタ 228	DTCER228	00h	0008 71E4h	8
DTC起動許可レジスタ 235	DTCER235	00h	0008 71EBh	8
DTC起動許可レジスタ 236	DTCER236	00h	0008 71ECh	8
DTC起動許可レジスタ 239	DTCER239	00h	0008 71EFh	8
DTC起動許可レジスタ 240	DTCER240	00h	0008 71F0h	8
DTC起動許可レジスタ 247	DTCER247	00h	0008 71F7h	8
DTC起動許可レジスタ 248	DTCER248	00h	0008 71F8h	8
DTC起動許可レジスタ 251	DTCER251	00h	0008 71FBh	8
DTC起動許可レジスタ 252	DTCER252	00h	0008 71FCh	8
割り込み要求許可レジスタ 02	IER02	00h	0008 7202h	8
割り込み要求許可レジスタ 03	IER03	00h	0008 7203h	8

表11.3　割り込みコントローラのレジスター覧 (7 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求許可レジスタ 04	IER04	00h	0008 7204h	8
割り込み要求許可レジスタ 05	IER05	00h	0008 7205h	8
割り込み要求許可レジスタ 06	IER06	00h	0008 7206h	8
割り込み要求許可レジスタ 07	IER07	00h	0008 7207h	8
割り込み要求許可レジスタ 08	IER08	00h	0008 7208h	8
割り込み要求許可レジスタ 09	IER09	00h	0008 7209h	8
割り込み要求許可レジスタ 0B	IER0B	00h	0008 720Bh	8
割り込み要求許可レジスタ 0C	IER0C	00h	0008 720Ch	8
割り込み要求許可レジスタ 0E	IER0E	00h	0008 720Eh	8
割り込み要求許可レジスタ 0F	IER0F	00h	0008 720Fh	8
割り込み要求許可レジスタ 10	IER10	00h	0008 7210h	8
割り込み要求許可レジスタ 11	IER11	00h	0008 7211h	8
割り込み要求許可レジスタ 12	IER12	00h	0008 7212h	8
割り込み要求許可レジスタ 13	IER13	00h	0008 7213h	8
割り込み要求許可レジスタ 14	IER14	00h	0008 7214h	8
割り込み要求許可レジスタ 15	IER15	00h	0008 7215h	8
割り込み要求許可レジスタ 16	IER16	00h	0008 7216h	8
割り込み要求許可レジスタ 17	IER17	00h	0008 7217h	8
割り込み要求許可レジスタ 18	IER18	00h	0008 7218h	8
割り込み要求許可レジスタ 19	IER19	00h	0008 7219h	8
割り込み要求許可レジスタ 1A	IER1A	00h	0008 721Ah	8
割り込み要求許可レジスタ 1B	IER1B	00h	0008 721Bh	8
割り込み要求許可レジスタ 1C	IER1C	00h	0008 721Ch	8
割り込み要求許可レジスタ 1D	IER1D	00h	0008 721Dh	8
割り込み要求許可レジスタ 1E	IER1E	00h	0008 721Eh	8
割り込み要求許可レジスタ 1F	IER1F	00h	0008 721Fh	8
ソフトウェア割り込み起動レジスタ	SWINTR	00h	0008 72E0h	8
高速割り込み設定レジスタ	FIR	0000h	0008 72F0h	16
割り込み要因プライオリティレジスタ 00	IPR00	00h	0008 7300h	8
割り込み要因プライオリティレジスタ 01	IPR01	00h	0008 7301h	8
割り込み要因プライオリティレジスタ 02	IPR02	00h	0008 7302h	8
割り込み要因プライオリティレジスタ 03	IPR03	00h	0008 7303h	8
割り込み要因プライオリティレジスタ 04	IPR04	00h	0008 7304h	8
割り込み要因プライオリティレジスタ 05	IPR05	00h	0008 7305h	8
割り込み要因プライオリティレジスタ 06	IPR06	00h	0008 7306h	8
割り込み要因プライオリティレジスタ 07	IPR07	00h	0008 7307h	8
割り込み要因プライオリティレジスタ 08	IPR08	00h	0008 7308h	8
割り込み要因プライオリティレジスタ 0C	IPR0C	00h	0008 730Ch	8
割り込み要因プライオリティレジスタ 0D	IPR0D	00h	0008 730Dh	8
割り込み要因プライオリティレジスタ 0E	IPR0E	00h	0008 730Eh	8
割り込み要因プライオリティレジスタ 10	IPR10	00h	0008 7310h	8
割り込み要因プライオリティレジスタ 11	IPR11	00h	0008 7311h	8
割り込み要因プライオリティレジスタ 12	IPR12	00h	0008 7312h	8
割り込み要因プライオリティレジスタ 14	IPR14	00h	0008 7314h	8
割り込み要因プライオリティレジスタ 15	IPR15	00h	0008 7315h	8

表11.3　割り込みコントローラのレジスター覧 (8 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要因プライオリティレジスタ 18	IPR18	00h	0008 7318h	8
割り込み要因プライオリティレジスタ 1E	IPR1E	00h	0008 731Eh	8
割り込み要因プライオリティレジスタ 1F	IPR1F	00h	0008 731Fh	8
割り込み要因プライオリティレジスタ 20	IPR20	00h	0008 7320h	8
割り込み要因プライオリティレジスタ 21	IPR21	00h	0008 7321h	8
割り込み要因プライオリティレジスタ 22	IPR22	00h	0008 7322h	8
割り込み要因プライオリティレジスタ 23	IPR23	00h	0008 7323h	8
割り込み要因プライオリティレジスタ 24	IPR24	00h	0008 7324h	8
割り込み要因プライオリティレジスタ 25	IPR25	00h	0008 7325h	8
割り込み要因プライオリティレジスタ 26	IPR26	00h	0008 7326h	8
割り込み要因プライオリティレジスタ 27	IPR27	00h	0008 7327h	8
割り込み要因プライオリティレジスタ 28	IPR28	00h	0008 7328h	8
割り込み要因プライオリティレジスタ 29	IPR29	00h	0008 7329h	8
割り込み要因プライオリティレジスタ 2A	IPR2A	00h	0008 732Ah	8
割り込み要因プライオリティレジスタ 2B	IPR2B	00h	0008 732Bh	8
割り込み要因プライオリティレジスタ 2C	IPR2C	00h	0008 732Ch	8
割り込み要因プライオリティレジスタ 2D	IPR2D	00h	0008 732Dh	8
割り込み要因プライオリティレジスタ 2E	IPR2E	00h	0008 732Eh	8
割り込み要因プライオリティレジスタ 2F	IPR2F	00h	0008 732Fh	8
割り込み要因プライオリティレジスタ 3A	IPR3A	00h	0008 733Ah	8
割り込み要因プライオリティレジスタ 3B	IPR3B	00h	0008 733Bh	8
割り込み要因プライオリティレジスタ 3C	IPR3C	00h	0008 733Ch	8
割り込み要因プライオリティレジスタ 40	IPR40	00h	0008 7340h	8
割り込み要因プライオリティレジスタ 44	IPR44	00h	0008 7344h	8
割り込み要因プライオリティレジスタ 45	IPR45	00h	0008 7345h	8
割り込み要因プライオリティレジスタ 48	IPR48	00h	0008 7348h	8
割り込み要因プライオリティレジスタ 51	IPR51	00h	0008 7351h	8
割り込み要因プライオリティレジスタ 52	IPR52	00h	0008 7352h	8
割り込み要因プライオリティレジスタ 53	IPR53	00h	0008 7353h	8
割り込み要因プライオリティレジスタ 54	IPR54	00h	0008 7354h	8
割り込み要因プライオリティレジスタ 55	IPR55	00h	0008 7355h	8
割り込み要因プライオリティレジスタ 56	IPR56	00h	0008 7356h	8
割り込み要因プライオリティレジスタ 57	IPR57	00h	0008 7357h	8
割り込み要因プライオリティレジスタ 58	IPR58	00h	0008 7358h	8
割り込み要因プライオリティレジスタ 59	IPR59	00h	0008 7359h	8
割り込み要因プライオリティレジスタ 5A	IPR5A	00h	0008 735Ah	8
割り込み要因プライオリティレジスタ 5B	IPR5B	00h	0008 735Bh	8
割り込み要因プライオリティレジスタ 5C	IPR5C	00h	0008 735Ch	8
割り込み要因プライオリティレジスタ 5D	IPR5D	00h	0008 735Dh	8
割り込み要因プライオリティレジスタ 5E	IPR5E	00h	0008 735Eh	8
割り込み要因プライオリティレジスタ 5F	IPR5F	00h	0008 735Fh	8
割り込み要因プライオリティレジスタ 60	IPR60	00h	0008 7360h	8
割り込み要因プライオリティレジスタ 61	IPR61	00h	0008 7361h	8
割り込み要因プライオリティレジスタ 62	IPR62	00h	0008 7362h	8
割り込み要因プライオリティレジスタ 63	IPR63	00h	0008 7363h	8

表11.3　割り込みコントローラのレジスター覧 (9 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要因プライオリティレジスタ 64	IPR64	00h	0008 7364h	8
割り込み要因プライオリティレジスタ 65	IPR65	00h	0008 7365h	8
割り込み要因プライオリティレジスタ 66	IPR66	00h	0008 7366h	8
割り込み要因プライオリティレジスタ 67	IPR67	00h	0008 7367h	8
割り込み要因プライオリティレジスタ 68	IPR68	00h	0008 7368h	8
割り込み要因プライオリティレジスタ 69	IPR69	00h	0008 7369h	8
割り込み要因プライオリティレジスタ 6A	IPR6A	00h	0008 736Ah	8
割り込み要因プライオリティレジスタ 6B	IPR6B	00h	0008 736Bh	8
割り込み要因プライオリティレジスタ 70	IPR70	00h	0008 7370h	8
割り込み要因プライオリティレジスタ 71	IPR71	00h	0008 7371h	8
割り込み要因プライオリティレジスタ 72	IPR72	00h	0008 7372h	8
割り込み要因プライオリティレジスタ 73	IPR73	00h	0008 7373h	8
割り込み要因プライオリティレジスタ 74	IPR74	00h	0008 7374h	8
割り込み要因プライオリティレジスタ 75	IPR75	00h	0008 7375h	8
割り込み要因プライオリティレジスタ 80	IPR80	00h	0008 7380h	8
割り込み要因プライオリティレジスタ 81	IPR81	00h	0008 7381h	8
割り込み要因プライオリティレジスタ 82	IPR82	00h	0008 7382h	8
割り込み要因プライオリティレジスタ 83	IPR83	00h	0008 7383h	8
割り込み要因プライオリティレジスタ 85	IPR85	00h	0008 7385h	8
割り込み要因プライオリティレジスタ 86	IPR86	00h	0008 7386h	8
割り込み要因プライオリティレジスタ 88	IPR88	00h	0008 7388h	8
割り込み要因プライオリティレジスタ 89	IPR89	00h	0008 7389h	8
割り込み要因プライオリティレジスタ 8A	IPR8A	00h	0008 738Ah	8
割り込み要因プライオリティレジスタ 8B	IPR8B	00h	0008 738Bh	8
割り込み要因プライオリティレジスタ 8C	IPR8C	00h	0008 738Ch	8
割り込み要因プライオリティレジスタ 8D	IPR8D	00h	0008 738Dh	8
割り込み要因プライオリティレジスタ 8E	IPR8E	00h	0008 738Eh	8
割り込み要因プライオリティレジスタ 8F	IPR8F	00h	0008 738Fh	8
DMACA起動要因選択レジスタ0	DMRSR0	00h	0008 7400h	8
DMACA起動要因選択レジスタ1	DMRSR1	00h	0008 7404h	8
DMACA起動要因選択レジスタ2	DMRSR2	00h	0008 7408h	8
DMACA起動要因選択レジスタ3	DMRSR3	00h	0008 740Ch	8
IRQコントロールレジスタ 0	IRQCR0	00h	0008 7500h	8
IRQコントロールレジスタ 1	IRQCR1	00h	0008 7501h	8
IRQコントロールレジスタ 2	IRQCR2	00h	0008 7502h	8
IRQコントロールレジスタ 3	IRQCR3	00h	0008 7503h	8
IRQコントロールレジスタ 4	IRQCR4	00h	0008 7504h	8
IRQコントロールレジスタ 5	IRQCR5	00h	0008 7505h	8
IRQコントロールレジスタ 6	IRQCR6	00h	0008 7506h	8
IRQコントロールレジスタ 7	IRQCR7	00h	0008 7507h	8
IRQコントロールレジスタ 8	IRQCR8	00h	0008 7508h	8
IRQコントロールレジスタ 9	IRQCR9	00h	0008 7509h	8
IRQコントロールレジスタ 10	IRQCR10	00h	0008 750Ah	8
IRQコントロールレジスタ 11	IRQCR11	00h	0008 750Bh	8
IRQコントロールレジスタ 12	IRQCR12	00h	0008 750Ch	8

表11.3　割り込みコントローラのレジスター覧 (10 / 10)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
IRQコントロールレジスタ 13	IRQCR13	00h	0008 750Dh	8
IRQコントロールレジスタ 14	IRQCR14	00h	0008 750Eh	8
IRQコントロールレジスタ 15	IRQCR15	00h	0008 750Fh	8
ノンマスカブル割り込みステータスレジスタ	NMISR	00h	0008 7580h	8
ノンマスカブル割り込み許可レジスタ	NMIER	00h	0008 7581h	8
ノンマスカブル割り込みクリアレジスタ	NMICLR	00h	0008 7582h	8
NMI端子割り込みコントロールレジスタ	NMICR	00h	0008 7583h	8

11.2.1　割り込み要求レジスタ i（IRi）（ i = 割り込みベクタ番号）

アドレス　0008 7010h～0008 70FDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R/(W) （注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　エッジ検出要因の場合、フラグクリアするための"0"書き込みが可能です。"1"書き込みは、「11.7　使用上の注意事項」の条件でのみ可能です。
レベル検出要因の場合、書き込みはできません。

IRi レジスタは、割り込み要求のステータスレジスタです。
IRi レジスタは割り込み要因ごとに存在し、i は割り込みベクタ番号に対応しています。
割り込み要因と割り込みベクタ番号の対応は、**「表 11.4　割り込みのベクタテーブル」**を参照してください。

IR フラグ（割り込みステータスフラグ）

割り込み要求のステータスフラグです。割り込み要求が発生すると “1” になります。割り込み要求を検出するためには、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法には、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出／レベル検出が決まっています。IRQn 端子からの割り込みは、IRQCRn.IRQMD[1:0] ビット（n= 0 ～ 15）の設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、**「表 11.4　割り込みのベクタテーブル」**を参照してください。

（1）エッジ検出の場合

[“1” になる条件]

- 周辺モジュール、IRQn 端子の割り込み要求が発生すると “1” になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。
- IR フラグへの “1” 書き込みは禁止ですが、**「11.7　使用上の注意事項」**の条件でのみ “1” 書き込みが可能です。

[“0” になる条件]

- 割り込み要求先が割り込み要求を受け付けると “0” になります。
- IRフラグに“0”を書くと“0”になります。ただし、割り込み要求先をDTCまたはDMACAに設定している場合、IR フラグへの “0” 書き込みは禁止です。

（2）レベル検出の場合

[“1” になる条件]

- 周辺モジュール、IRQn 端子の割り込み要求が発生している間は常に “1” になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

[“0” になる条件]

- 割り込み要求の出力元をクリアすると “0” になります。（割り込み要求先が割り込み要求を受け付けても “0” になりません。）周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQn 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQn 端子を High にしてください。
レベル検出時は、IR フラグに “0”、“1” を書くことはともに禁止です。

11.2.2　割り込み要求許可レジスタ m（IERm）（m = 02h ～ 1Fh）

アドレス　0008 7202h～0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注.　予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読めます。

IERm レジスタは、CPU への割り込み要求、および DMACA/DTC 起動要求の許可／禁止を設定するレジスタです。

IENj ビット（割り込み要求許可ビット）（j ＝ 7 ～ 0）

IENj ビットが “1” のとき、割り込み要求先に割り込み要求を出力します。
IENj ビットが “0” のとき、割り込み要求先に割り込み要求を出力しません。
IRi.IR フラグは、IENj ビットの影響を受けません。IENj ビットが “0” であっても、「**11.2.1　割り込み要求レジスタ i（IRi）（ i = 割り込みベクタ番号）**」に示す条件で IR フラグは変化します。
IERm.IENj ビットは、割り込み要因（ベクタ番号）ごとに存在します。
割り込み要因と IERm.IENj ビットの対応は、「**表 11.4　割り込みのベクタテーブル**」を参照してください。
割り込み要求先の選択における IERm.IENj ビットの設定手順は、「**11.4.3　割り込み要求先の選択**」を参照してください。

11.2.3　割り込み要因プライオリティレジスタ m（IPRm）（m= 00h~8Fh）

アドレス　0008 7300h～0008 738Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IPR[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3　b0 0 0 0 0：レベル0（割り込み禁止） 0 0 0 1：レベル1 0 0 1 0：レベル2 ： 1 1 1 1：レベル15（最高）	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IPRm レジスタは、割り込み要因の優先順位を設定するレジスタです。

IPRm レジスタは、割り込みのグループごとに存在しており、m は 00h から 8Fh の通し番号です。

割り込み要因とグループの対応は、「表 11.4　割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット（割り込み優先レベル設定ビット）

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC や DMACA の転送要求には影響を与えません。

CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止（IERm.IENj ビット = “0”）した状態で行ってください。

11.2.4　高速割り込み設定レジスタ（FIR）

アドレス　0008 72F0h

	b15	b14	b13	b12	b11	b10	b9	b8
	FIEN	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	FVCT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにする割り込みベクタ番号を指定	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0：高速割り込みを禁止 1：高速割り込みを許可	R/W

FIR レジスタは、高速割り込み機能を設定するレジスタです。

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC や DMACA への転送要求には影響を与えません。

書き込みは、割り込み要求を禁止（IERm.IENj ビット =“0”）した状態で行ってください。

FVCT[7:0] ビット（高速割り込みベクタ設定ビット）

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット（高速割り込み許可ビット）

高速割り込みを許可するビットです。

FIENビットを“1”にすると､FVCT[7:0]ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが “1” のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると､IPRm レジスタ の設定に関係なく､高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合については「**11.6.3　ソフトウェアスタンバイモードからの復帰**」を参照してください。

IERm.IENj ビット (m=02h ～ 1Fh、j=7 ～ 0) で割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「**表 11.4　割り込みのベクタテーブル**」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「**10.　例外処理**」および「**11.4.6　高速割り込み**」を参照してください。

11.2.5 ソフトウェア割り込み起動レジスタ（SWINTR）

アドレス　0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読めます。 “1”書き込みでソフトウェア割り込み要求を発行します。 “0”書き込みは無効です。	R/(W) （注）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　“1”書き込みのみ可能です。

SWINTR レジスタは、ソフトウェア割り込み要求を発生させるレジスタです。

SWINT ビット（ソフトウェア割り込み起動ビット）

SWINT ビットに “1” を書くと、割り込み要求レジスタ 27（IR27）が “1” になります。

DTC 起動許可レジスタ 27（DTCER27）を “0” にして、SWINT ビットに “1” を書くと CPU への割り込みが発生します。

DTC 起動許可レジスタ 27（DTCER27）を “1” にして、SWINT ビットに “1” を書くと DTC 起動要求を発行します。

11.2.6 DTC 起動許可レジスタ n（DTCERn）（n = 割り込みベクタ番号）

アドレス　0008 711Bh～0008 71FCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC起動許可ビット	0：DTC起動禁止 1：DTC起動許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCERn レジスタは、DTC を起動する割り込み要因を選択するレジスタです。
DMACA 起動要求に選択したものと同一の要因に DTC 起動許可を設定するのは禁止です。

DTCE ビット（DTC 起動許可ビット）

DTCE ビットを “1” にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1” になる条件]

- DTCE ビットに “1” を書いたとき

[“0” になる条件]

- 指定した回数のデータ転送が終了したとき（チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき）
- DTCE ビットに “0” を書いたとき

11.2.7 DMACA 起動要因選択レジスタ n（DMRSRn）（n = DMACA チャネル番号）

アドレス　DMRSR0 0008 7400h、DMRSR1 0008 7404h
DMRSR2 0008 7408h、DMRSR3 0008 740Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	DMRS[7:0]	DMACA起動要求選択ビット	DMACA起動要求ベクタ番号を設定	R/W

DMRSRn レジスタは、DMACA を起動する割り込み要因を選択するレジスタです。

複数の DMRSRn に同一要因を設定するのは禁止です。DMRSRn に設定したものと同一要因に DTC 起動許可を設定するのは禁止です。これらの禁止事項に違反した場合の動作は保証されません。

DMRS[7:0] ビット（DMACA 起動要求選択ビット）

DMACA を起動する割り込み要因のベクタ番号を 8 ビットで指定します。DMACA の起動要因として割り当てられていないベクタ番号は設定しないでください。

割り込み要因のベクタ番号は、「表 11.4　割り込みのベクタテーブル」を参照してください。

DMRSRn レジスタへの書き込みは、DMA 転送許可レジスタの DMA 転送許可ビット（DMACn.DMCNT.DTE）が “0” のとき行ってください。

11.2.8 IRQ コントロールレジスタ n（IRQCRn）（n =0 ～ 15）

アドレス　0008 7500h～0008 750Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	IRQMD[1:0]		—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと “0” が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0：Low 0 1：立ち下がりエッジ 1 0：立ち上がりエッジ 1 1：両エッジ	R/W
b7-b4	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

IRQCRn レジスタは、外部割り込み要求端子 IRQn(n = 0 ～ 15) の設定を行うレジスタです。

該当する割り込み要求許可ビットが割り込み要求禁止（IERm.IENj ビットが “0”）の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット（IRQ 検出設定ビット）

外部端子割り込み要因（IRQ0 ～ IRQ15）の検出方法を設定します。

外部端子割り込みの検出方法の設定は、「11.4.7　外部端子割り込み」を参照してください。

11.2.9 ノンマスカブル割り込みステータスレジスタ（NMISR）

アドレス　0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OSTST	LVDST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0：NMI端子割り込み要求なし 1：NMI端子割り込み要求あり	R
b1	LVDST	電圧監視割り込み ステータスフラグ	0：電圧監視割り込み要求なし 1：電圧監視割り込み要求あり	R
b2	OSTST	発振停止検出割り込み ステータスフラグ	0：発振停止検出割り込み要求なし 1：発振停止検出割り込み要求あり	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスカブル割り込み許可レジスタ（NMIER）の設定はこれらステータスフラグには影響しません。

ノンマスカブル割り込みルーチンが終了する前に NMISR レジスタを読み出し、他のノンマスカブル割り込みの発生状況を確認してください。NMISR レジスタの全ビットが “0” であることを確認してから、ルーチンを終了してください。

NMIST フラグ（NMI ステータスフラグ）

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1” になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0” になる条件]

- NMICLR.NMICLR ビットに “1” を書いたとき

LVDST フラグ（電圧監視割り込みステータスフラグ）

電圧監視割り込み要求を示します。

[“1” になる条件]

- 電圧監視割り込みが発生したとき

[“0” になる条件]

- 発生元で割り込みをクリアしたとき

OSTST フラグ（発振停止検出割り込みステータスフラグ）

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

[“1” になる条件]

- 発振停止検出割り込みが発生したとき

[“0” になる条件]

- NMICLR.OSTCLR ビットに “1” を書いたとき

11.2.10 ノンマスカブル割り込み許可レジスタ（NMIER）

アドレス　0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OSTEN	LVDEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0：NMI端子割り込み禁止 1：NMI端子割り込み許可	R/(W) （注）
b1	LVDEN	電圧監視割り込み許可ビット	0：電圧監視割り込み禁止 1：電圧監視割り込み許可	R/(W) （注）
b2	OSTEN	発振停止検出割り込み許可ビット	0：発振停止検出割り込み禁止 1：発振停止検出割り込み許可	R/(W) （注）
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

NMIER レジスタは、ノンマスカブル割り込みの使用を許可するレジスタです。

NMIEN ビット（NMI 端子割り込み許可ビット）

NMI 端子割り込みの使用を許可するビットです。
一度だけ “1” を書くことができます。以後のライトアクセスは無効です。
“0” を書くことはできません。

LVDEN ビット（電圧監視割り込み許可ビット）

電圧監視割り込みの使用を許可するビットです。
一度だけ “1” を書くことができます。以後のライトアクセスは無効です。
“0” を書くことはできません。

OSTEN ビット（発振停止検出割り込み許可ビット）

発振停止検出割り込みの使用を許可するビットです。
一度だけ “1” を書くことができます。以後のライトアクセスは無効です。
“0” を書くことはできません。

11.2.11 ノンマスカブル割り込みクリアレジスタ（NMICLR）

アドレス　0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OSTCLR	—	NMICLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.NMISTフラグを“0”にします。“0”を書いても無効です。	R/(W)（注1）
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	OSTCLR	OSTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.OSTSTフラグを“0”にします。“0”を書いても無効です。	R/(W)（注2）
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　NMISR.NMISTフラグをクリアするため、“1”のみ書けます。
注2.　NMISR.OSTSTフラグをクリアするため、“1”のみ書けます。

NMICLR レジスタは、ノンマスカブル割り込みステータスレジスタ（NMISR）をクリアするレジスタです。

NMICLR ビット（NMI クリアビット）

“1” を書くと、NMISR.NMIST フラグは “0” になります。
“1” の状態を保持しません。読むと、“0” が読めます。

OSTCLR ビット（OST クリアビット）

“1” を書くと、NMISR.OSTST フラグは “0” になります。
“1” の状態を保持しません。読むと、“0” が読めます。

11.2.12 NMI 端子割り込みコントロールレジスタ（NMICR）

アドレス　0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタは、NMI 端子割り込みの設定を行うレジスタです。

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可（NMIER.NMIEN ビットを “1”）する前に行ってください。

NMIMD ビット（NMI 検出設定ビット）

NMI 端子割り込みの検出方法を設定します。

11.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから 4 バイトのベクタアドレスを取得します。

11.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPU の割り込みテーブルレジスタ（INTB）に設定した番地から、1024 バイト（4 バイト ×256 要因分）の領域に連続して配置されます。INTB レジスタは割り込みを許可する前に設定してください。INTB レジスタに 4 の倍数を設定してください。

表 11.4 に割り込みのベクタテーブルを示します。Sstb 復帰とはソフトウェア（S/W）スタンバイモードからの復帰、Sacs 復帰とは全モジュールクロックストップモードからの復帰を意味します。

表 11.4　割り込みのベクタテーブル (1 / 6)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み要因の検出方法	選択可能な割り込み要求先			Sstb 復帰	Sacs 復帰	IER	IPR
						CPU	DTC	DMA				
高	—	予約	0	0000h	—	×	×	×	×	×	—	—
▲	—	予約	1	0004h	—	×	×	×	×	×	—	—
	—	予約	2	0008h	—	×	×	×	×	×	—	—
	—	予約	3	000Ch	—	×	×	×	×	×	—	—
	—	予約	4	0010h	—	×	×	×	×	×	—	—
	—	予約	5	0014h	—	×	×	×	×	×	—	—
	—	予約	6	0018h	—	×	×	×	×	×	—	—
	—	予約	7	001Ch	—	×	×	×	×	×	—	—
	—	予約	8	0020h	—	×	×	×	×	×	—	—
	—	予約	9 ～ 15	0024h ～ 003Ch	—	×	×	×	×	×	—	—
	バスエラー	BUSERR	16	0040h	レベル	○	×	×	×	×	IER02.IEN0	IPR00
	—	予約	17	0044h	—	×	×	×	×	×	IER02.IEN1	—
	—	予約	18	0048h	—	×	×	×	×	×	IER02.IEN2	—
	—	予約	19	004Ch	—	×	×	×	×	×	IER02.IEN3	—
	—	予約	20	0050h	—	×	×	×	×	×	IER02.IEN4	—
	FCU	FIFERR	21	0054h	レベル	○	×	×	×	×	IER02.IEN5	IPR01
		予約	22	0058h	—	×	×	×	×	×	IER02.IEN6	—
		FRDYI	23	005Ch	エッジ	○	×	×	×	×	IER02.IEN7	IPR02
	—	予約	24	0060h	—	×	×	×	×	×	IER03.IEN0	—
	—	予約	25	0064h	—	×	×	×	×	×	IER03.IEN1	—
	—	予約	26	0068h	—	×	×	×	×	×	IER03.IEN2	—
	ICU	SWINT	27	006Ch	エッジ	○	○	×	×	×	IER03.IEN3	IPR03
	CMT0	CMI0	28	0070h	エッジ	○	○	○	×	×	IER03.IEN4	IPR04
	CMT1	CMI1	29	0074h	エッジ	○	○	○	×	×	IER03.IEN5	IPR05
	CMT2	CMI2	30	0078h	エッジ	○	○	○	×	×	IER03.IEN6	IPR06
	CMT3	CMI3	31	007Ch	エッジ	○	○	○	×	×	IER03.IEN7	IPR07
	ETHER	EINT	32	0080h	レベル	○	×	×	×	×	IER04.IEN0	IPR08
	—	予約	33	0084h	—	×	×	×	×	×	IER04.IEN1	IPR09
	—	予約	34	0088h	—	×	×	×	×	×	IER04.IEN2	IPR0A
低	—	予約	35	008Ch	—	×	×	×	×	×	IER04.IEN3	IPR0B

表11.4　割り込みのベクタテーブル (2 / 6)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み要因の検出方法	選択可能な割り込み要求先			Sstb復帰	Sacs復帰	IER	IPR
						CPU	DTC	DMA				
高	USB0	D0FIFO0	36	0090h	エッジ	○	○	○	×	×	IER04.IEN4	IPR0C
		D1FIFO0	37	0094h	エッジ	○	○	○	×	×	IER04.IEN5	IPR0D
		USBI0	38	0098h	エッジ	○	×	×	×	×	IER04.IEN6	IPR0E
	—	予約	39	009Ch	—	×	×	×	×	×	IER04.IEN7	IPR0F
	USB1	D0FIFO1	40	00A0h	エッジ	○	○	○	×	×	IER05.IEN0	IPR10
		D1FIFO1	41	00A4h	エッジ	○	○	○	×	×	IER05.IEN1	IPR11
		USBI1	42	00A8h	エッジ	○	×	×	×	×	IER05.IEN2	IPR12
	—	予約	43	00ACh	—	×	×	×	×	×	IER05.IEN3	IPR13
	RSPI0	SPEI0	44	00B0h	レベル	○	×	×	×	×	IER05.IEN4	IPR14
		SPRI0	45	00B4h	エッジ	○	○	○	×	×	IER05.IEN5	
		SPTI0	46	00B8h	エッジ	○	○	○	×	×	IER05.IEN6	
		SPII0	47	00BCh	レベル	○	×	×	×	×	IER05.IEN7	
	RSPI1	SPEI1	48	00C0h	レベル	○	×	×	×	×	IER06.IEN0	IPR15
		SPRI1	49	00C4h	エッジ	○	○	○	×	×	IER06.IEN1	
		SPTI1	50	00C8h	エッジ	○	○	○	×	×	IER06.IEN2	
		SPII1	51	00CCh	レベル	○	×	×	×	×	IER06.IEN3	
	—	予約	52	00D0h	—	×	×	×	×	×	IER06.IEN4	—
	—	予約	53	00D4h	—	×	×	×	×	×	IER06.IEN5	—
	—	予約	54	00D8h	—	×	×	×	×	×	IER06.IEN6	—
	—	予約	55	00DCh	—	×	×	×	×	×	IER06.IEN7	—
	CAN0	ERS0	56	00E0h	エッジ	○	×	×	×	×	IER07.IEN0	IPR18
		RXF0	57	00E4h	エッジ	○	×	×	×	×	IER07.IEN1	
		TXF0	58	00E8h	エッジ	○	×	×	×	×	IER07.IEN2	
		RXM0	59	00ECh	エッジ	○	×	×	×	×	IER07.IEN3	
		TXM0	60	00F0h	エッジ	○	×	×	×	×	IER07.IEN4	
	—	予約	61	00F4h	—	×	×	×	×	×	IER07.IEN5	IPR1D
	RTC	PRD	62	00F8h	エッジ	○	×	×	×	×	IER07.IEN6	IPR1E
		CUP	63	00FCh	エッジ	○	×	×	×	×	IER07.IEN7	IPR1F
	外部端子	IRQ0	64	0100h	エッジ／レベル	○	○	○	○	○	IER08.IEN0	IPR20
		IRQ1	65	0104h	エッジ／レベル	○	○	○	○	○	IER08.IEN1	IPR21
		IRQ2	66	0108h	エッジ／レベル	○	○	○	○	○	IER08.IEN2	IPR22
		IRQ3	67	010Ch	エッジ／レベル	○	○	○	○	○	IER08.IEN3	IPR23
		IRQ4	68	0110h	エッジ／レベル	○	○	×	○	○	IER08.IEN4	IPR24
		IRQ5	69	0114h	エッジ／レベル	○	○	×	○	○	IER08.IEN5	IPR25
		IRQ6	70	0118h	エッジ／レベル	○	○	×	○	○	IER08.IEN6	IPR26
		IRQ7	71	011Ch	エッジ／レベル	○	○	×	○	○	IER08.IEN7	IPR27
		IRQ8	72	0120h	エッジ／レベル	○	○	×	○	○	IER09.IEN0	IPR28
		IRQ9	73	0124h	エッジ／レベル	○	○	×	○	○	IER09.IEN1	IPR29
		IRQ10	74	0128h	エッジ／レベル	○	○	×	○	○	IER09.IEN2	IPR2A
		IRQ11	75	012Ch	エッジ／レベル	○	○	×	○	○	IER09.IEN3	IPR2B
		IRQ12	76	0130h	エッジ／レベル	○	○	×	○	○	IER09.IEN4	IPR2C
		IRQ13	77	0134h	エッジ／レベル	○	○	×	○	○	IER09.IEN5	IPR2D
		IRQ14	78	0138h	エッジ／レベル	○	○	×	○	○	IER09.IEN6	IPR2E
低		IRQ15	79	013Ch	エッジ／レベル	○	○	×	○	○	IER09.IEN7	IPR2F

表11.4　割り込みのベクタテーブル (3 / 6)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み要因の検出方法	選択可能な割り込み要求先			Sstb復帰	Sacs復帰	IER	IPR
						CPU	DTC	DMA				
高	—	予約	80～87	0140h～015Ch		×	×	×	×	×	—	—
	—	予約	88	0160h	—	×	×	×	×	×	IER0B.IEN0	—
	—	予約	89	0164h	—	×	×	×	×	×	IER0B.IEN1	—
	USB	USBR0	90	0168h	レベル	○	×	×	○	○	IER0B.IEN2	IPR3A
		USBR1	91	016Ch	レベル	○	×	×	○	○	IER0B.IEN3	IPR3B
	RTC	ALM	92	0170h	エッジ	○	×	×	○	○	IER0B.IEN4	IPR3C
	—	予約	93	0174h	—	×	×	×	×	×	IER0B.IEN5	—
	—	予約	94	0178h	—	×	×	×	×	×	IER0B.IEN6	—
	—	予約	95	017Ch	—	×	×	×	×	×	IER0B.IEN7	—
	WDT	WOVI	96	0180h	エッジ	○	×	×	×	○	IER0C.IEN0	IPR40
	—	予約	97	0184h		×	×	×	×	×	IER0C.IEN1	—
	AD0	ADI0	98	0188h	エッジ	○	○	○	×	×	IER0C.IEN2	IPR44
	AD1	ADI1	99	018Ch	エッジ	○	○	○	×	×	IER0C.IEN3	IPR45
	—	予約	100	0190h	—	×	×	×	×	×	IER0C.IEN4	—
	—	予約	101	0194h	—	×	×	×	×	×	IER0C.IEN5	—
	S12AD	S12ADI0	102	0198h	エッジ	○	○	○	×	×	IER0C.IEN6	IPR48
	—	予約	103～113	019Ch～01C4h	—	×	×	×	×	×	—	—
	MTU0	TGIA0	114	01C8h	エッジ	○	○	○	×	×	IER0E.IEN2	IPR51
		TGIB0	115	01CCh	エッジ	○	○	×	×	×	IER0E.IEN3	
		TGIC0	116	01D0h	エッジ	○	○	×	×	×	IER0E.IEN4	
		TGID0	117	01D4h	エッジ	○	○	×	×	×	IER0E.IEN5	
		TCIV0	118	01D8h	エッジ	○	×	×	×	×	IER0E.IEN6	IPR52
		TGIE0	119	01DCh	エッジ	○	×	×	×	×	IER0E.IEN7	
		TGIF0	120	01E0h	エッジ	○	×	×	×	×	IER0F.IEN0	
	MTU1	TGIA1	121	01E4h	エッジ	○	○	○	×	×	IER0F.IEN1	IPR53
		TGIB1	122	01E8h	エッジ	○	○	×	×	×	IER0F.IEN2	
		TCIV1	123	01ECh	エッジ	○	×	×	×	×	IER0F.IEN3	IPR54
		TCIU1	124	01F0h	エッジ	○	×	×	×	×	IER0F.IEN4	
	MTU2	TGIA2	125	01F4h	エッジ	○	○	○	×	×	IER0F.IEN5	IPR55
		TGIB2	126	01F8h	エッジ	○	○	×	×	×	IER0F.IEN6	
		TCIV2	127	01FCh	エッジ	○	×	×	×	×	IER0F.IEN7	IPR56
		TCIU2	128	0200h	エッジ	○	×	×	×	×	IER10.IEN0	
	MTU3	TGIA3	129	0204h	エッジ	○	○	○	×	×	IER10.IEN1	IPR57
		TGIB3	130	0208h	エッジ	○	○	×	×	×	IER10.IEN2	
		TGIC3	131	020Ch	エッジ	○	○	×	×	×	IER10.IEN3	
		TGID3	132	0210h	エッジ	○	○	×	×	×	IER10.IEN4	
		TCIV3	133	0214h	エッジ	○	×	×	×	×	IER10.IEN5	IPR58
	MTU4	TGIA4	134	0218h	エッジ	○	○	○	×	×	IER10.IEN6	IPR59
		TGIB4	135	021Ch	エッジ	○	○	×	×	×	IER10.IEN7	
		TGIC4	136	0220h	エッジ	○	○	×	×	×	IER11.IEN0	IPR59
		TGID4	137	0224h	エッジ	○	○	×	×	×	IER11.IEN1	
低		TCIV4	138	0228h	エッジ	○	○	×	×	×	IER11.IEN2	IPR5A

表11.4　割り込みのベクタテーブル (4 / 6)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み要因の検出方法	選択可能な割り込み要求先			Sstb復帰	Sacs復帰	IER	IPR
						CPU	DTC	DMA				
高	MTU5	TGIU5	139	022Ch	エッジ	○	○	×	×	×	IER11.IEN3	IPR5B
		TGIV5	140	0230h	エッジ	○	○	×	×	×	IER11.IEN4	
		TGIW5	141	0234h	エッジ	○	○	×	×	×	IER11.IEN5	
	MTU6	TGIA6	142	0238h	エッジ	○	○	○	×	×	IER11.IEN6	IPR5C
		TGIB6	143	023Ch	エッジ	○	○	×	×	×	IER11.IEN7	
		TGIC6	144	0240h	エッジ	○	○	×	×	×	IER12.IEN0	
		TGID6	145	0244h	エッジ	○	○	×	×	×	IER12.IEN1	
		TCIV6	146	0248h	エッジ	○	×	×	×	×	IER12.IEN2	IPR5D
		TGIE6	147	024Ch	エッジ	○	×	×	×	×	IER12.IEN3	
		TGIF6	148	0250h	エッジ	○	×	×	×	×	IER12.IEN4	
	MTU7	TGIA7	149	0254h	エッジ	○	○	○	×	×	IER12.IEN5	IPR5E
		TGIB7	150	0258h	エッジ	○	○	×	×	×	IER12.IEN6	
		TCIV7	151	025Ch	エッジ	○	×	×	×	×	IER12.IEN7	IPR5F
		TCIU7	152	0260h	エッジ	○	×	×	×	×	IER13.IEN0	
	MTU8	TGIA8	153	0264h	エッジ	○	○	○	×	×	IER13.IEN1	IPR60
		TGIB8	154	0268h	エッジ	○	○	×	×	×	IER13.IEN2	
		TCIV8	155	026Ch	エッジ	○	×	×	×	×	IER13.IEN3	IPR61
		TCIU8	156	0270h	エッジ	○	×	×	×	×	IER13.IEN4	
	MTU9	TGIA9	157	0274h	エッジ	○	○	○	×	×	IER13.IEN5	IPR62
		TGIB9	158	0278h	エッジ	○	○	×	×	×	IER13.IEN6	
		TGIC9	159	027Ch	エッジ	○	○	×	×	×	IER13.IEN7	
		TGID9	160	0280h	エッジ	○	○	×	×	×	IER14.IEN0	
		TCIV9	161	0284h	エッジ	○	×	×	×	×	IER14.IEN1	IPR63
	MTU10	TGIA10	162	0288h	エッジ	○	○	○	×	×	IER14.IEN2	IPR64
		TGIB10	163	028Ch	エッジ	○	○	×	×	×	IER14.IEN3	
		TGIC10	164	0290h	エッジ	○	○	×	×	×	IER14.IEN4	
		TGID10	165	0294h	エッジ	○	○	×	×	×	IER14.IEN5	
		TCIV10	166	0298h	エッジ	○	○	×	×	×	IER14.IEN6	IPR65
	MTU11	TGIU11	167	029Ch	エッジ	○	○	×	×	×	IER14.IEN7	IPR66
		TGIV11	168	02A0h	エッジ	○	○	×	×	×	IER15.IEN0	
		TGIW11	169	02A4h	エッジ	○	○	×	×	×	IER15.IEN1	
	POE	OEI1	170	02A8h	レベル	○	×	×	×	×	IER15.IEN2	IPR67
		OEI2	171	02ACh	レベル	○	×	×	×	×	IER15.IEN3	
		OEI3	172	02B0h	レベル	○	×	×	×	×	IER15.IEN4	
		OEI4	173	02B4h	レベル	○	×	×	×	×	IER15.IEN5	
	TMR0	CMIA0	174	02B8h	エッジ	○	○	×	×	○	IER15.IEN6	IPR68
		CMIB0	175	02BCh	エッジ	○	○	×	×	○	IER15.IEN7	
		OVI0	176	02C0h	エッジ	○	×	×	×	○	IER16.IEN0	
	TMR1	CMIA1	177	02C4h	エッジ	○	○	×	×	○	IER16.IEN1	IPR69
		CMIB1	178	02C8h	エッジ	○	○	×	×	○	IER16.IEN2	
低		OVI1	179	02CCh	エッジ	○	×	×	×	○	IER16.IEN3	

表11.4　割り込みのベクタテーブル (5 / 6)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み要因の検出方法	選択可能な割り込み要求先			Sstb復帰	Sacs復帰	IER	IPR
						CPU	DTC	DMA				
高	TMR2	CMIA2	180	02D0h	エッジ	○	○	×	×	○	IER16.IEN4	IPR6A
		CMIB2	181	02D4h	エッジ	○	○	×	×	○	IER16.IEN5	
		OVI2	182	02D8h	エッジ	○	×	×	×	○	IER16.IEN6	
	TMR3	CMIA3	183	02DCh	エッジ	○	○	×	×	○	IER16.IEN7	IPR6B
		CMIB3	184	02E0h	エッジ	○	○	×	×	○	IER17.IEN0	
		OVI3	185	02E4h	エッジ	○	×	×	×	○	IER17.IEN1	
	—	予約	186	02E8h	—	×	×	×	×	×	IER17.IEN2	
	—	予約	187	02ECh	—	×	×	×	×	×	IER17.IEN3	
	—	予約	188	02F0h	—	×	×	×	×	×	IER17.IEN4	
	—	予約	189	02F4h	—	×	×	×	×	×	IER17.IEN5	
	—	予約	190	02F8h	—	×	×	×	×	×	IER17.IEN6	
	—	予約	191	02FCh	—	×	×	×	×	×	IER17.IEN7	
	—	予約	192	0300h	—	×	×	×	×	×	IER18.IEN0	
	—	予約	193	0304h	—	×	×	×	×	×	IER18.IEN1	
	—	予約	194	0308h	—	×	×	×	×	×	IER18.IEN2	
	—	予約	195	030Ch	—	×	×	×	×	×	IER18.IEN3	
	—	予約	196	0310h	—	×	×	×	×	×	IER18.IEN4	
	—	予約	197	0314h	—	×	×	×	×	×	IER18.IEN5	
	DMACA	DMACI0	198	0318h	エッジ	○	○	×	×	×	IER18.IEN6	IPR70
		DMACI1	199	031Ch	エッジ	○	○	×	×	×	IER18.IEN7	IPR71
		DMACI2	200	0320h	エッジ	○	○	×	×	×	IER19.IEN0	IPR72
		DMACI3	201	0324h	エッジ	○	○	×	×	×	IER19.IEN1	IPR73
	EXDMAC	EXDMACI0	202	0328h	エッジ	○	○	×	×	×	IER19.IEN2	IPR74
		EXDMACI1	203	032Ch	エッジ	○	○	×	×	×	IER19.IEN3	IPR75
	—	予約	204	0330h	—	×	×	×	×	×	IER19.IEN4	
	—	予約	205	0334h	—	×	×	×	×	×	IER19.IEN5	
	—	予約	206	0338h	—	×	×	×	×	×	IER19.IEN6	
	—	予約	207	033Ch	—	×	×	×	×	×	IER19.IEN7	
	—	予約	208	0340h	—	×	×	×	×	×	IER1A.IEN0	
	—	予約	209	0344h	—	×	×	×	×	×	IER1A.IEN1	
	—	予約	210	0348h	—	×	×	×	×	×	IER1A.IEN2	
	—	予約	211	034Ch	—	×	×	×	×	×	IER1A.IEN3	
	—	予約	212	0350h	—	×	×	×	×	×	IER1A.IEN4	
	—	予約	213	0354h	—	×	×	×	×	×	IER1A.IEN5	
	SCI0	ERI0	214	0358h	レベル	○	×	×	×	×	IER1A.IEN6	IPR80
		RXI0	215	035Ch	エッジ	○	○	○	×	×	IER1A.IEN7	
		TXI0	216	0360h	エッジ	○	○	○	×	×	IER1B.IEN0	
		TEI0	217	0364h	レベル	○	×	×	×	×	IER1B.IEN1	
	SCI1	ERI1	218	0368h	レベル	○	×	×	×	×	IER1B.IEN2	IPR81
		RXI1	219	036Ch	エッジ	○	○	○	×	×	IER1B.IEN3	
		TXI1	220	0370h	エッジ	○	○	○	×	×	IER1B.IEN4	
低		TEI1	221	0374h	レベル	○	×	×	×	×	IER1B.IEN5	

表11.4　割り込みのベクタテーブル (6 / 6)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み要因の検出方法	選択可能な割り込み要求先			Sstb復帰	Sacs復帰	IER	IPR
						CPU	DTC	DMA				
高	SCI2	ERI2	222	0378h	レベル	○	×	×	×	×	IER1B.IEN6	IPR82
		RXI2	223	037Ch	エッジ	○	○	○	×	×	IER1B.IEN7	
		TXI2	224	0380h	エッジ	○	○	○	×	×	IER1C.IEN0	
		TEI2	225	0384h	レベル	○	×	×	×	×	IER1C.IEN1	
	SCI3	ERI3	226	0388h	レベル	○	×	×	×	×	IER1C.IEN2	IPR83
		RXI3	227	038Ch	エッジ	○	○	○	×	×	IER1C.IEN3	
		TXI3	228	0390h	エッジ	○	○	○	×	×	IER1C.IEN4	
		TEI3	229	0394h	レベル	○	×	×	×	×	IER1C.IEN5	
	–	予約	230	0398h	–	×	×	×	×	×	IER1C.IEN6	–
		予約	231	039Ch	–	×	×	×	×	×	IER1C.IEN7	–
		予約	232	03A0h	–	×	×	×	×	×	IER1D.IEN0	–
		予約	233	03A4h	–	×	×	×	×	×	IER1D.IEN1	–
	SCI5	ERI5	234	03A8h	レベル	○	×	×	×	×	IER1D.IEN2	IPR85
		RXI5	235	03ACh	エッジ	○	○	○	×	×	IER1D.IEN3	
		TXI5	236	03B0h	エッジ	○	○	○	×	×	IER1D.IEN4	
		TEI5	237	03B4h	レベル	○	×	×	×	×	IER1D.IEN5	
	SCI6	ERI6	238	03B8h	レベル	○	×	×	×	×	IER1D.IEN6	IPR86
		RXI6	239	03BCh	エッジ	○	○	○	×	×	IER1D.IEN7	
		TXI6	240	03C0h	エッジ	○	○	○	×	×	IER1E.IEN0	
		TEI6	241	03C4h	レベル	○	×	×	×	×	IER1E.IEN1	
	–	予約	242	03C8h	–	×	×	×	×	×	IER1E.IEN2	–
		予約	243	03CCh	–	×	×	×	×	×	IER1E.IEN3	–
		予約	244	03D0h	–	×	×	×	×	×	IER1E.IEN4	–
		予約	245	03D4h	–	×	×	×	×	×	IER1E.IEN5	–
	RIIC0	ICEEI0	246	03D8h	レベル	○	×	×	×	×	IER1E.IEN6	IPR88
		ICRXI0	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR89
		ICTXI0	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0	IPR8A
		ICTEI0	249	03E4h	レベル	○	×	×	×	×	IER1F.IEN1	IPR8B
	RIIC1	ICEEI1	250	03E8h	レベル	○	×	×	×	×	IER1F.IEN2	IPR8C
		ICRXI1	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3	IPR8D
		ICTXI1	252	03F0h	エッジ	○	○	○	×	×	IER1F.IEN4	IPR8E
		ICTEI1	253	03F4h	レベル	○	×	×	×	×	IER1F.IEN5	IPR8F
	–	予約	254	03F8h	–	×	×	×	×	×	IER1F.IEN6	IPR90
低	–	予約	255	03FCh	–	×	×	×	×	×	IER1F.IEN7	IPR91

【記号説明】 ○：選択可能 ×：選択不可

11.3.2　高速割り込みのベクタテーブル

高速割り込みに設定した割り込みのベクタテーブルは、CPU の高速割り込みベクタレジスタ（FINTV）で指定します。

11.3.3　ノンマスカブル割り込みのベクタテーブル

ノンマスカブル割り込みのベクタテーブルは “FFFF FFF8h” です。

11.4　割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可／禁止制御
- 割り込み要求先（CPU 割り込み、DTC 起動、DMACA 起動）の選択
- 割り込み優先順位判定

11.4.1　割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の 2 種類あります。

IRQn 端子 (n =0 ～ 15) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出／レベル検出が決まっています。

各要因に対応する検出方法は、「表 11.4　割り込みのベクタテーブル」を参照してください。

11.4.1.1　エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IRi.IR フラグの動作を図 11.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IRi.IR フラグが “1” になります。割り込み要求先が CPU の場合、割り込みを受け付けると IRi.IR フラグは自動的に “0” になります。割り込み要求先が DMACA、DTC の場合は、DMACA/DTC の転送設定、転送回数によって異なります。詳細は表 11.5 を参照してください。ソフトウェアで IRi.IR フラグをクリアする必要はありません。

割り込み信号について、割り込みベクタ番号が 64 ～ 95 の割り込みではタイミングが他の割り込みと異なります。割り込みベクタ番号 64 ～ 79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延＋ 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ～ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

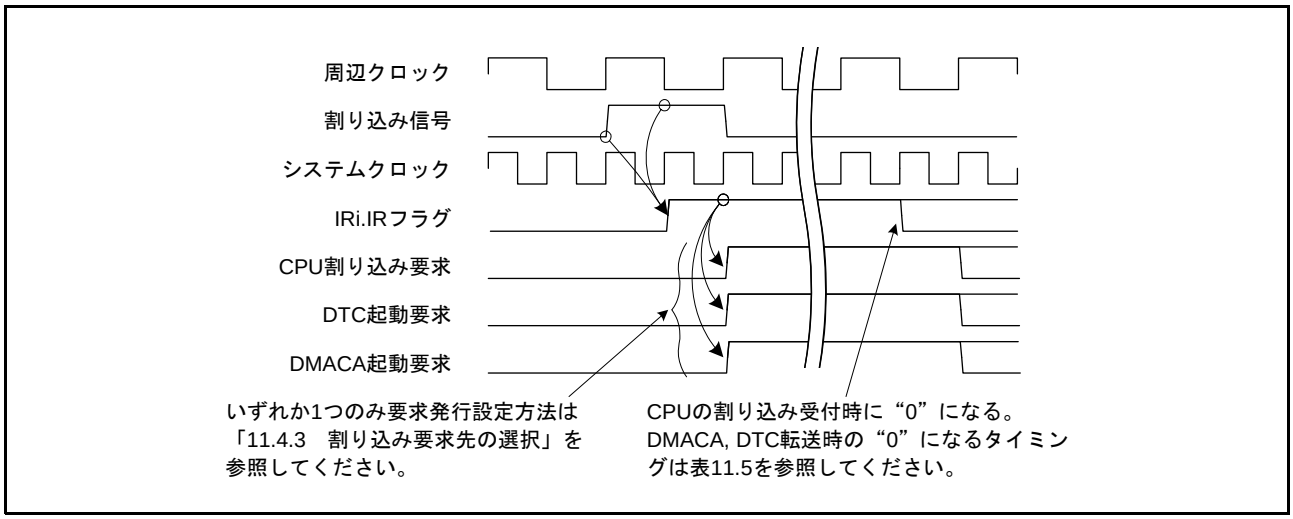


図 11.2　エッジ検出の IRi.IR フラグの動作

割り込み要求が発生し IRi.IR フラグが “1” の状態では、再度発生した割り込み要求は無視されます。IRi.IR フラグがクリアされた後、割り込み要求が発生すると IRi.IR フラグは再セットされます。IRi.IR フラグの再セットのタイミングを図 11.3 に示します。

通信機能（SCI/RIIC/RSPI/USB）と DTC/DMACA 機能との組み合わせでは、割り込み要求が無視され、転送要求が消失する場合があります。詳細は「11.7　使用上の注意事項」を参照してください。

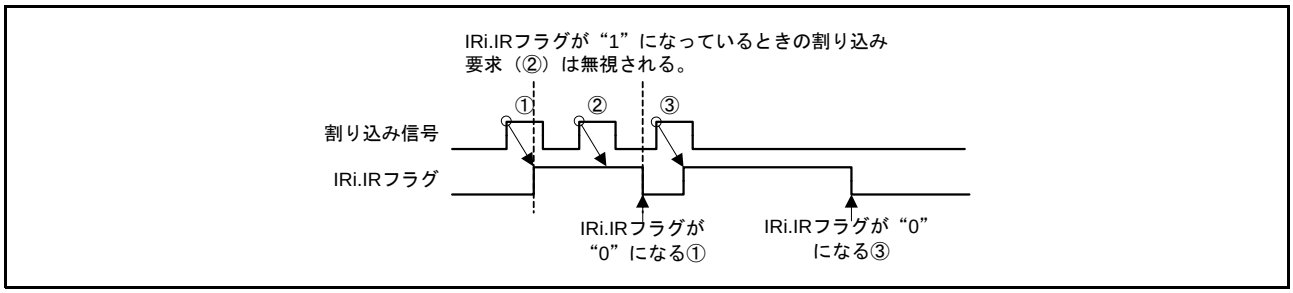


図 11.3　IRi.IR フラグの再セットのタイミング

IRi.IR フラグが “1” になった後、割り込みを禁止（周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止）としても、IRi.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 11.4 に示します。

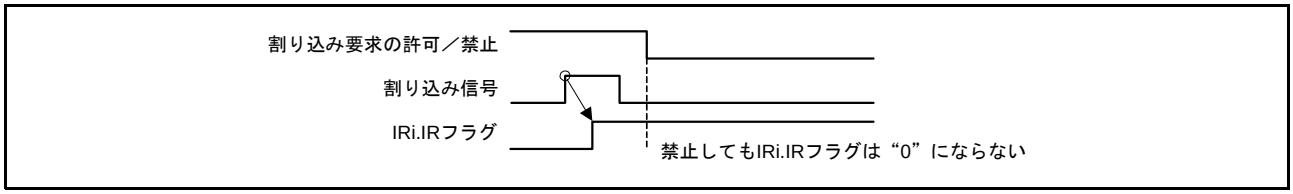


図 11.4　割り込み要求の禁止と IRi.IR フラグの関係

11.4.1.2　レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の IRi.IR フラグの動作を図 11.5 に示します。

割り込み信号がアサートされている間、IRi.IR フラグを “1” にし続けます。IRi.IR フラグを “0” にするためには、割り込み発生元の割り込み要求を “0” にしてください。

割り込み発生元の割り込み要求フラグが “0” になったことを確認してから、割り込みルーチンを終了してください。図 11.6 にレベル検出割り込みの処理手順を示します。

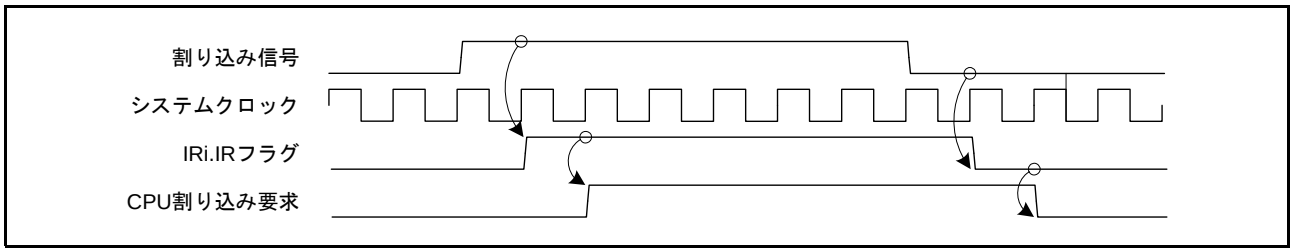


図 11.5　レベル検出時の IRi.IR フラグの動作

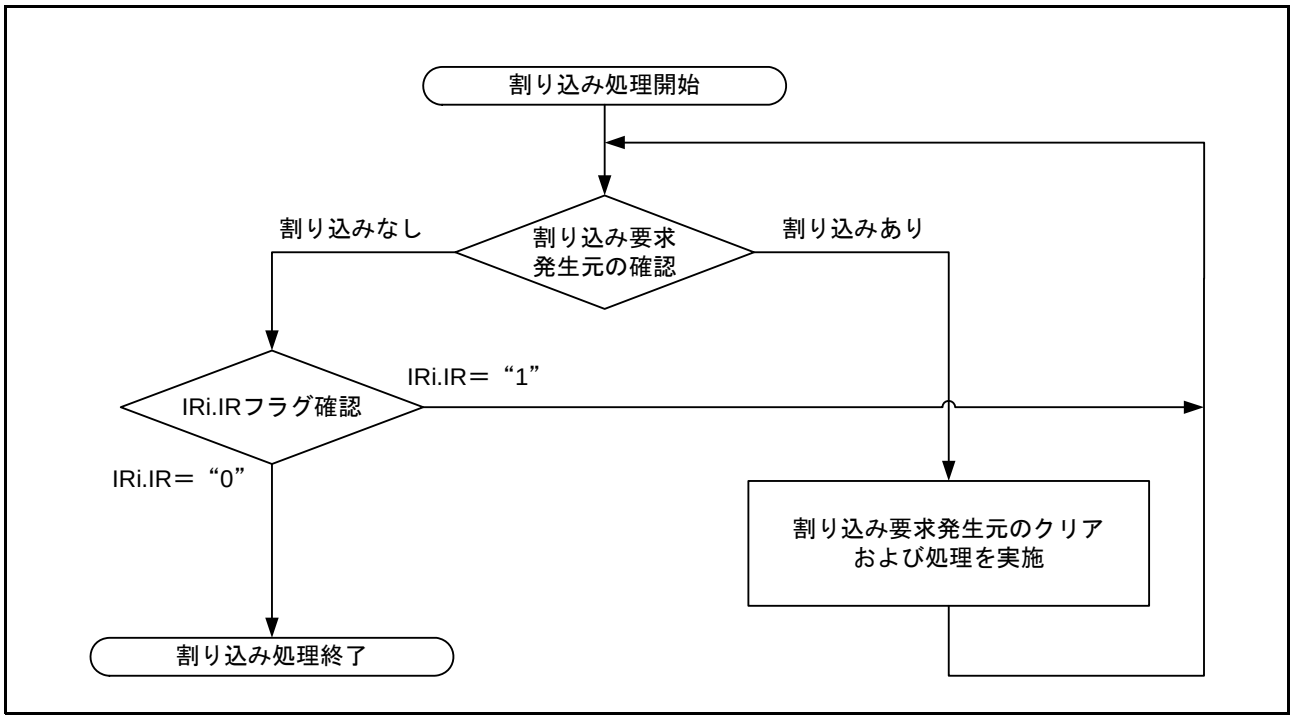


図 11.6　　レベル検出割り込みの処理手順

11.4.2　　割り込み要求の許可／禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビットによって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRi.IR フラグが “1” になります。

IERm.IENj ビットで割り込み要求を許可することで、IRi.IR フラグが “1” になった割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRi.IR フラグが “1” になった割り込み要求は保留されます。

IRi.IR フラグは、IERm.IENj ビットの影響を受けません。

11.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 11.4 割り込みのベクタテーブル」に示された要求先が設定できます。表 11.4 で、「○」の記載がない記載のない割り込み要求先を選択しないでください。

IRQ 端子で DTC/DMACA を割り込み要求先に設定する場合は、IRQCRi.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DMACA 起動

次の設定を IERm.IENj ビットが “0” のときに行ってください。

- DMACA のチャネルごとに用意されている DMACA 起動要求選択レジスタ（DMRSRn）に該当割り込み要因ベクタ番号を指定（注 1）
- DMACA 該当チャネルの起動要因（DMACn.DMTMD.DCTG[1:0]）を “01b”（割り込みモジュール検出）に設定
- DMACA の該当チャネルの DMACA 起動許可（DMACn.DMCNT.DTE）を “1” にする

上記設定がされている状態で、IERm.IENj ビットを “1” にしてください。

DMACA の設定手順は「14.3.5 DMACA の起動」を参照してください。

(2) DTC 起動

次の設定を IERm.IENj ビットが “0” のときに行ってください。

- 当該要因の DTC 起動許可レジスタの DTC 起動許可ビット（DTCERn.DTCE）を “1”（注 1）にする

上記設定がされている状態で、IERm.IENj ビットを “1” にしてください。

また、DTC モジュール起動ビット（DTCST.DTCST ビット）を “1” にしてください。

各要因ごとの設定と DMACA の動作許可ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は「16.5 DTC の設定手順」を参照してください。

(3) CPU 割り込み要求

割り込み要求先が DMACA でも DTC でもない要因は、CPU 割り込み対象となります。

上記、DMACA 起動、DTC 起動がされていない状態で、IERm.IENj ビットを “1” にしてください。

注 1. DTC 起動許可ビット（DTCERn.DTCE）と DMACA 起動要求選択レジスタ（DMRSRn）に同一の要因を設定しないでください。また、複数の DMRSRn に同一の要因を設定しないでください。

DMACA や DTC を割り込み要求先に設定した場合の動作は、表 11.5 に示す通りになります。

表 11.5　DMACA/DTC起動時の動作

割り込み要求先	DISEL	残り転送回数	1要求ごとの動作	IR（注1）（注4）	転送後の割り込み要求先
DMACA	1	≠ 0	DMA転送→CPU割り込み	CPU割り込み受け付け時にクリア	DMACA
		＝ 0	DMA転送→CPU割り込み	CPU割り込み受け付け時にクリア	DMACn.DMCNT.DTEビットがクリアされCPUに切り替え
	0	≠ 0	DMA転送	DMACA転送開始時にクリア	DMACA
		＝ 0	DMA転送（注2）	DMACA転送開始時にクリア（注2）	DMACn.DMCNT.DTEビットがクリアされCPUに切り替え
DTC（注3）	1	≠ 0	DTC転送→CPU割り込み	CPU割り込み受け付け時にクリア	DTC
		＝ 0	DTC転送→CPU割り込み	CPU割り込み受け付け時にクリア	DTCER.DTCEビットがクリアされCPUに切り替え
	0	≠ 0	DTC転送	DTC転送情報読み出し後のDTCデータ転送開始時にクリア	DTC
		＝ 0	DTC転送→CPU割り込み（注2）	CPU割り込み受け付け時にクリア（注2）	DTCER.DTCEビットがクリアされCPUに切り替え

DISEL：DMACA は DMACm.DMCSL.DISEL ビット、DTC は DTC.MRB.DISEL ビットで設定します。

注1.　IRi.IRフラグがセットされた状態で再度発生した割り込み要求（DTC/DMACA起動要求）は無視されます。
注2.　DISEL="0"での動作はDTCとDMACAで異なります。
注3.　チェーン転送の場合はチェーン最終転送までDTC転送を継続します。チェーン最終転送時の、CPU割り込みの有/無、IRフラグのクリア、転送後の割り込み要求先、の各動作は、チェーン最終転送のDISEL、残り転送回数によって決まります。
注4.　IRi.IRフラグがセットされた状態で再度発生した割り込み要求（DTC/DMACA起動要求）が無視されると通信機能（SCI/RIIC/RSPI/USB）では、問題となります。詳細は「11.7　使用上の注意事項」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが "0" のときに行ってください。

（1）の DMACA 起動を設定してから転送が完了していない状態（DMACn.DMCNT.DTE ビットがクリアされていない状態）で、割り込み要求先を変更する場合、または DMA 起動要因を別要因に変更する場合は、次の手順で変更をおこなってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを "0" にする。
2. DMACA 転送状況を確認する。転送中であれば、転送完了を待つ。
3. （1）DMACA 起動の設定を行う。

（2）の DTC 起動を設定してから転送が完了していない状態（DTCERn.DTCE ビットがクリアされていない状態）で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順でおこなってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを "0" にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. （2）DTC 起動の設定を行う。

11.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下の通りです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット（IPRm.IPR[3:0]）の値が大きい要因が優先されます。IPRm.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRm.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

(3) 割り込み要求先が DMACA の場合の優先順位判定

IPRm.IPR[3:0] ビットの影響を受けません。DMAC チャネルの優先順位については「14. DMA コントローラ（DMACA）」を参照してください。

11.4.5 多重割り込み

多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で CPU のプロセッサステータスワード（PSW）の I ビットを “1”（割り込み許可）にしてください。

割り込み処理ルーチン内での PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け（多重割り込み）が行われます。

なお、PSW.I ビットの書き換えは、スーパバイザモードのときのみ有効です。割り込みが受け付けられると PSW.PM ビットが “0”（スーパバイザモード）になるため、割り込みの処理ルーチン内では PSW.I ビットを書き換えることができます。

11.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうち 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、割り込み要因プライオリティレジスタ m（IPRm）の IPR[3:0] ビットの設定にかかわらず、“15”（最高）です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が “1111b”（優先レベル 15）の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てるには、高速割り込み設定レジスタ（FIR）の FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを “1”（高速割り込みを許可）にしてください。

高速割り込みの機能が有効になるのは、割り込み要求先として CPU を指定したときのみです。割り込み先に DTC や DMAC を指定した場合、高速割り込みの機能は無効になります。高速割り込みについては、「2. CPU」や「10. 例外処理」も参照してください。

11.4.7 外部端子割り込み

外部端子割り込みを使用する手順は以下の通りです。

1. IERm.IENj ビットを “0” にする。
2. I/O ポートの設定、および確認を行う。
3. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
4. IRi.IR フラグを “0” にする（エッジ検出の場合）。
5. DMACA 起動の場合 DMRSRn.DMRS[7:0] ビットを、DTC 起動の場合 DTCERn.DTCE ビットを設定する（どちらも設定しない場合は CPU 割り込み）。
6. IERm.IENj ビットを “1” にする。

11.5 ノンマスカブル割り込みの動作説明

ノンマスカブル割り込みには NMI 端子割り込み、電圧監視割り込み、発振停止検出割り込みの 3 種類があります。ノンマスカブル割り込みは CPU への割り込みのみであり、DTC や DMACA の起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスカブル割り込み要求は、CPU の PSW.I ビット（割り込み許可ビット）、PSW.IPL[3:0] ビット（プロセッサ割り込み優先レベル）の状態にかかわらず受け付けられます。ノンマスカブル割り込みの有無はノンマスカブル割り込みステータスレジスタ（NMISR）で確認できます。

ノンマスカブル割り込みルーチンでは、NMISR レジスタの全ビットが “0” になったことを確認してください。

初期状態では「ノンマスカブル割り込み禁止」となっています。ノンマスカブル割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスカブル割り込み使用手順

1. スタックポインタ（SP）を設定します。
2. NMI 端子を使用する場合は、NMI 端子の検出センス設定（NMICR.NMIMD ビット）を行います。
3. NMI 端子を使用する場合は、NMICLR.NMICLR ビットに “1” を書いて、NMISR.NMIST フラグを “0” にします。
4. ノンマスカブル割り込み許可レジスタ（NMIER）の許可する割り込みに対応する箇所に “1” を書いて、ノンマスカブル割り込みの使用を許可します。

NMIER レジスタに “1” を書くと、以後の NMIER レジスタへの書き込みは無視されます。ノンマスカブル割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスカブル割り込みの処理の流れは、「10. 例外処理」を参照してください。

NMI 端子割り込みフラグ（NMISR.NMIST）は NMICLR.NMICLR ビットに “1” を書くことで “0” になります。

発振停止検出割り込みフラグ（NMISR.OSTST）は NMICLR.OSTCLR ビットに “1” を書くことで “0” になります。

電圧監視割り込みフラグ（NMISR.LVDST）のクリアは「7. 電圧検出回路（LVD）」を参照してください。

NMISR レジスタのいずれかのステータスが “1” のときに WAIT 命令を発行しないでください。

11.6 低消費電力状態からの復帰

「スリープモード」、「全モジュールクロックストップモード」、「ソフトウェアスタンバイモード」状態からの復帰割り込みとして使用可能な割り込み要因を**「表 11.4 割り込みのベクタテーブル」**に示します。

詳細は**「9. 消費電力低減機能」**を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下の通りです。

11.6.1 スリープモードからの復帰

ノンマスカブル割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下の通りです。

- 割り込み

(1) 割り込み要求先が CPU であること
(2) IERm.IENj ビットによって該当する割り込み要求が許可されていること
(3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

- ノンマスカブル割り込み

NMIER レジスタによって該当する割り込み要求が許可されていること

11.6.2 全モジュールクロックストップモードからの復帰

ノンマスカブル割り込み、および全モジュールクロックストップモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下の通りです。

- 割り込み

(1) 全モジュールクロックストップモードから復帰可能な要因であること
(2) 割り込み要求先が CPU であること
(3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
(4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

- ノンマスカブル割り込み

NMIER レジスタによって該当する割り込み要求が許可されていること

11.6.3 ソフトウェアスタンバイモードからの復帰

ノンマスカブル割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下の通りです。

- 割り込み

(1) ソフトウェアスタンバイモードから復帰可能な要因であること
(2) 割り込み要求先が CPU であること
(3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
(4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
（高速割り込みに設定した要因には高速割り込み設定レジスタ（FIR）だけでなく、対応する割り込み優先レベル（IPRm）も CPU.PSW.IPL より高い設定にしてください。）

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスカブル割り込み

NMIER レジスタによって該当する割り込み要求が許可されていること

11.7 使用上の注意事項

11.7.1 DTC/DMACA 転送を使用した通信動作の注意事項

RX62N グループ、RX621 グループでは、DTC/DMACA 転送を使用した通信機能の動作で、注意が必要な場合があります。割り込み要求が発生し IRi.IR フラグが “1” の状態では、再度発生した割り込み要求は無視されます。割り込み要求先が DMACA、DTC の IR フラグは、クリアタイミングが DMACA/DTC の転送設定、転送回数によって異なるため、設定の組み合わせによっては、転送要求を消失する場合があります。

通信機能 (SCI/RIIC/RSPI/USB) と、DTC/DMACA 機能を組み合わせて使用する場合、以下の注意事項に従ってご使用ください。

(1) DTC/DMACA 転送を使用した通信動作の転送要求消失条件

表 11.6 に注意が必要な DTC/DMACA 機能の組み合わせを示します。

表11.6　注意が必要なDTC/DMACA機能の組み合わせ

	チェーン転送使用	転送ごとにCPUへ通信割り込み有無（注1）（DISELの設定）	問題発生の可能性
DMACA	— （チェーン転送機能なし）	DISEL＝0	送信：なし
			受信：あり
		DISEL＝1	あり
DTC	チェーン転送を使用しない	DISEL＝0 （転送カウンタ＞0）	なし
		DISEL＝0 （転送カウンタ＝0）（最終転送時）	なし（注2）
		DISEL＝1	あり
	チェーン転送を使用する	DISEL＝0 （転送カウンタ＞0かつ、チェーン転送の最後が通信レジスタアクセス）	なし
		DISEL＝0 （転送カウンタ＝0）（最終転送時）かつ、チェーン転送の最後が通信レジスタアクセス）	なし（注2）
		DISEL＝1	あり

注1. 通信割り込みとはSCI/RIIC/RSPIの送信データエンプティ、受信データフルの割り込み、およびUSBのDMA転送要求を表します。

注2. 次の通信パケットの転送要求に対して、IRi.IRフラグのクリアが間に合わない場合、問題が起こる可能性がありますので注意してください。

(2) DMACA を DISEL ＝ 0、受信で使用する場合

転送元 (受信データ) の読み出し後の転送先への書き込み時に IR フラグの自動クリアが行われます。IR フラグの自動クリアまでの間に、次の転送要求が発生すると、転送要求の消失が発生します。

通信機能の受信間隔を十分確保して使用するか、問題発生の可能性が無い DTC をご使用ください。

USB の受信で使用する場合は、DTC をご使用ください。

(3) DMACA を DISEL ＝ 1 で使用する場合

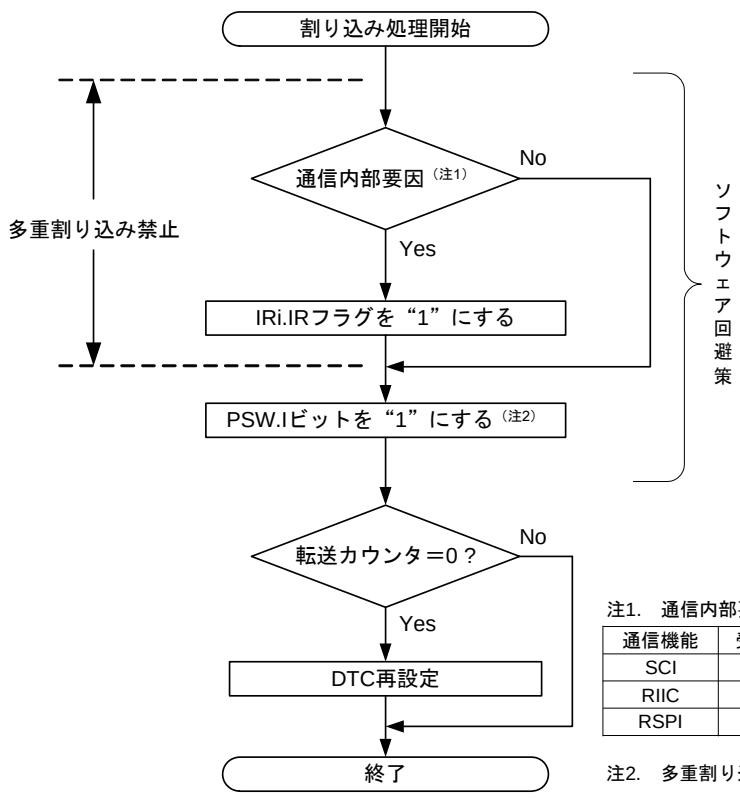
DMACA を DISEL=1 で使用すると通信機能の転送要求消失が発生します。通信機能に対し、DMACA を DISEL=1 で使用しないでください。

DISEL=1 機能を使用する場合は、DTC を DISEL=1 でお使いください（下記、「(4) DTC を DISEL=1 で使用する場合」を参照）。

(4) DTC を DISEL ＝ 1 で使用する場合

データ転送（DTC 動作）後の CPU 割り込み受け付け時に IR フラグの自動クリアが行われます。IR フラグの自動クリアまでの間に、次の転送要求が発生すると、転送要求の消失が発生します。DISEL=1 の場合は CPU 割り込みが発生しますので、下記のソフトウエア回避策（5）、（6）を実施してください。

(5) ソフトウェア回避策（SCI、RIIC、RSPI）のフローチャート



注1.　通信内部要因判定内容

通信機能	受信バッファフルフラグ	通信バッファエンプティフラグ
SCI	SSR.RDRF=1	SSR.TDRE=1
RIIC	ICSR2.RDRF=1	ICSR2.TDRE=1
RSPI	SPSR.SPRF=1	SPSR.SPTEF=1

注2.　多重割り込みを実施しない場合は必要ありません。

図 11.7　ソフトウェア回避策（SCI、RIIC、RSPI）のフローチャート

(6) ソフトウェア回避策（USB）のフローチャート

USB では、以下の条件をすべて満足した場合、ソフト対策は不要です。

- DTC の転送モードはブロック転送モードにしたとき
- DISEL=0 に設定したとき
- チェーン転送を使用しないとき
- DTC 側設定の送受信バイト数と、USB 側設定の送受信バイト数を整合させたとき
- 最終転送以降CPUへの割り込み処理を開始するまでに、新たなUSBによるDTC転送要求が発生しないようにしたとき

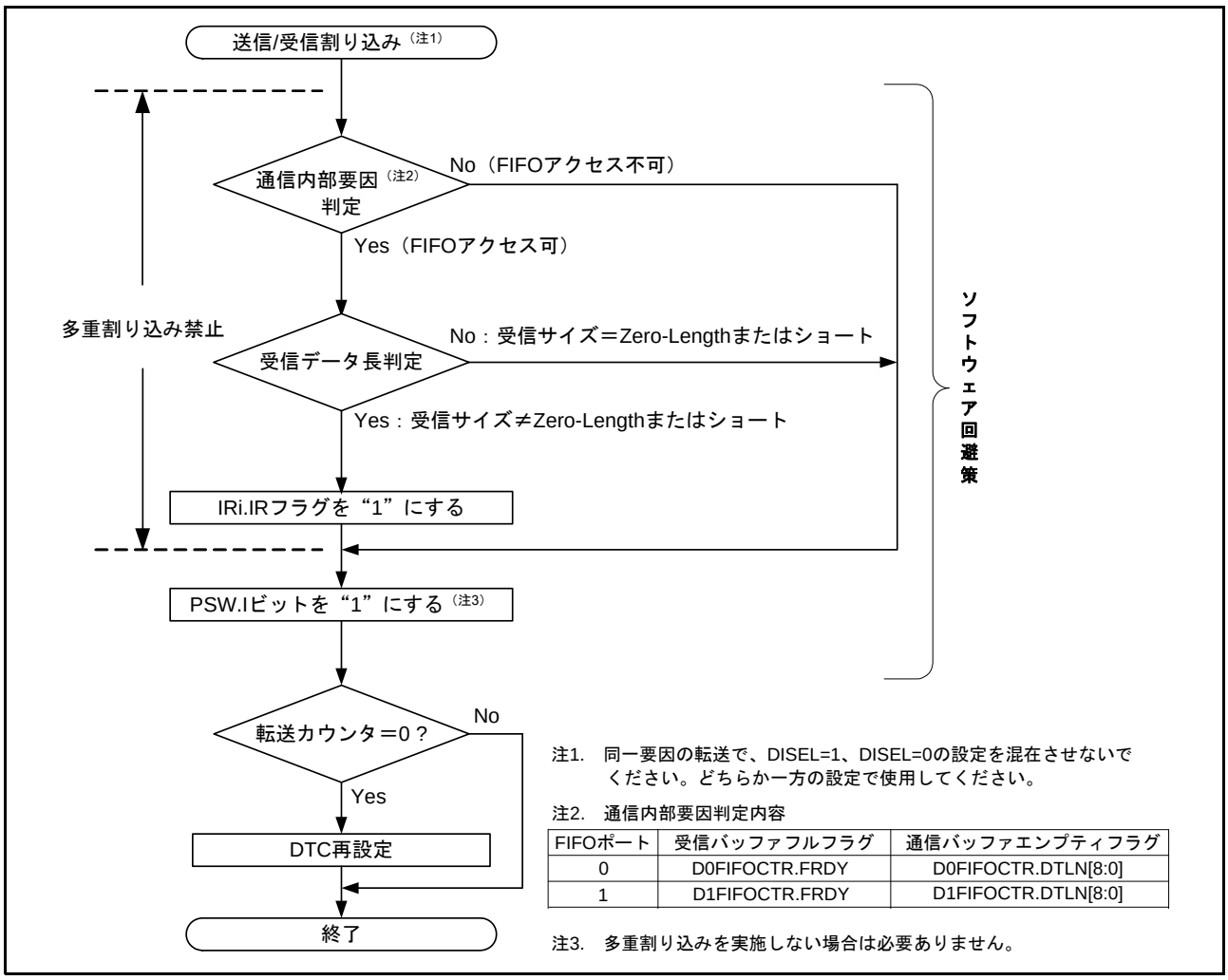


図 11.8　ソフトウェア回避策（USB）のフローチャート

12. バス

12.1 概要

表 12.1 に各バスの仕様を、図 12.1 にバスの構成図を、表 12.2 にバス種類別アドレス対応表を示します。

表12.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	• CPU（命令）を接続 • 内蔵メモリを接続（内蔵RAM、内蔵ROM） • システムクロック（ICLK）に同期して動作
	オペランドバス	• CPU（オペランド）を接続 • 内蔵メモリを接続（内蔵RAM、内蔵ROM） • システムクロック（ICLK）に同期して動作
メモリバス	メモリバス1	• 内蔵RAMを接続
	メモリバス2	• 内蔵ROMを接続
内部メインバス	内部メインバス1	• CPUを接続 • システムクロック（ICLK）に同期して動作
	内部メインバス2	• DMACA、DTC、EDMACを接続 • 内蔵メモリを接続（内蔵RAM、内蔵ROM） • システムクロック（ICLK）に同期して動作
内部周辺バス	内部周辺バス1	• 周辺機能を接続 • システムクロック（ICLK）に同期して動作
	内部周辺バス2	• 周辺機能を接続 • 周辺モジュールクロック（PCLK）に同期して動作
	内部周辺バス3	• 周辺機能（USB）を接続 • 周辺モジュールクロック（PCLK）に同期して動作
	内部周辺バス4	• 周辺機能（EDMAC、ETHERC）を接続 • システムクロック（ICLK）に同期して動作
	内部周辺バス5	• 周辺機能を接続 • システムクロック（ICLK）に同期して動作
	内部周辺バス6	• 内蔵ROM（P/E）／データフラッシュを接続 • 周辺モジュールクロック（PCLK）に同期して動作
外部バス	CS領域	• 外部デバイスを接続 • 外部バスクロック（BCLK）に同期して動作
	SDRAM領域	• SDRAMを接続 • SDRAMクロック（SDCLK）に同期して動作

【略語説明】

P/E： 書き込み／消去

BCLK（外部バスクロック）： CSC（CS エリアコントローラ）、EXDMAC は、BCLK に同期して動作します。

SDCLK（SDRAM クロック）： SDRAMC（SDRAM エリアコントローラ）は、SDCLK に同期して動作します。

BCLK 端子出力： デフォルトでは、BCLK と同じ周波数です。システムクロックコントロールレジスタの BCLK 端子出力選択ビット（SCKCR.BCLKDIV）で、BCLK の 1/2 分周が可能です。詳細は、「8. クロック発生回路」を参照してください。

注. SDRAM使用時は、BCLKとSDCLKは同じ周波数で動作させる必要があります。

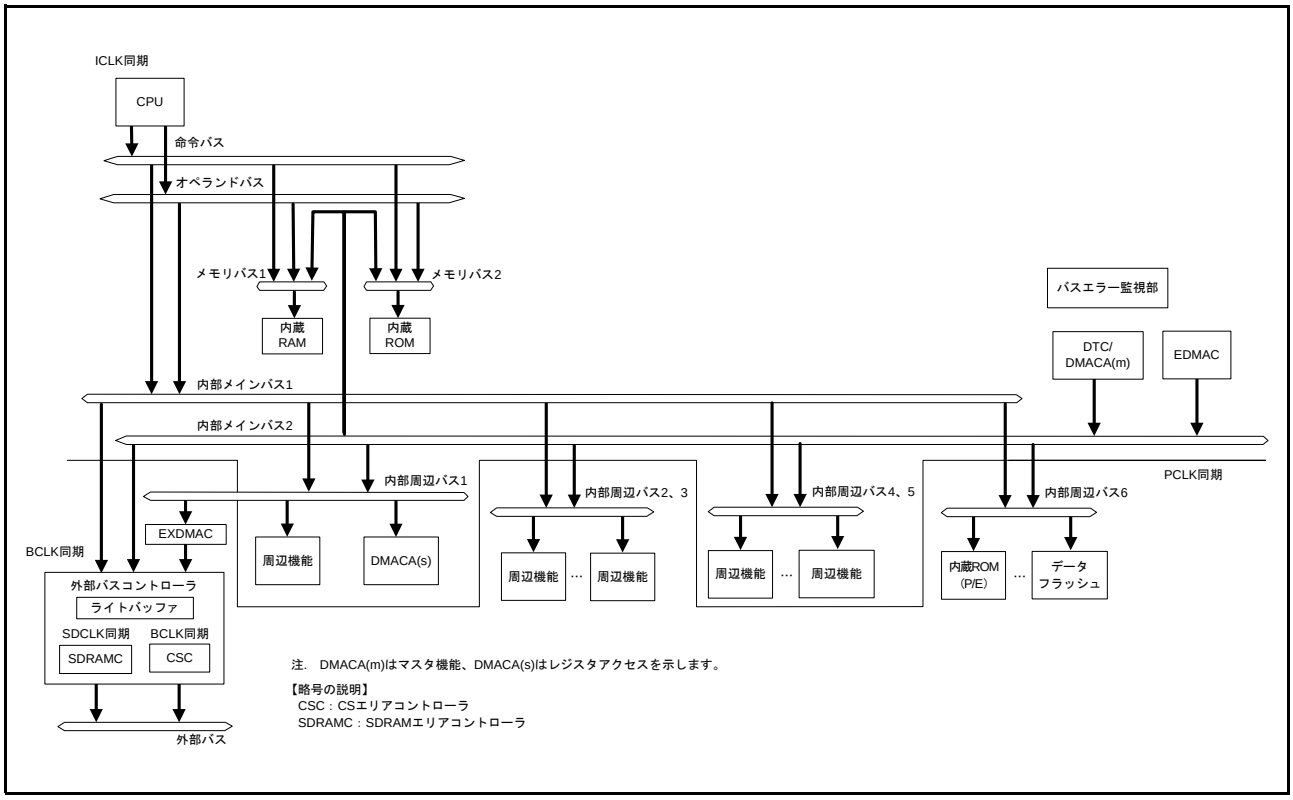

ICLK同期
CPU
命令バス
オペランドバス
メモリバス1
メモリバス2
内蔵
RAM
内蔵
ROM
バスエラー監視部
DTC/
DMACA(m)
EDMAC
内部メインバス1
内部メインバス2
PCLK同期
内部周辺バス1
内部周辺バス2、3
内部周辺バス4、5
内部周辺バス6
EXDMAC
BCLK同期
周辺機能
DMACA(s)
周辺機能
…
周辺機能
周辺機能
…
周辺機能
内蔵ROM
(P/E)
…
データ
フラッシュ
外部バスコントローラ
ライトバッファ
SDCLK同期
BCLK同期
SDRAMC
CSC
外部バス
注. DMACA(m)はマスタ機能、DMACA(s)はレジスタアクセスを示します。
【略号の説明】
CSC：CSエリアコントローラ
SDRAMC：SDRAMエリアコントローラ

図 12.1 バスの構成図

表12.2 バス種類別アドレス対応表

アドレス	種類	
	内蔵ROMモード	
	有効	無効
0000 0000h ～ 0007 FFFFh	メモリバス 1	
0008 0000h ～ 0008 7FFFh	内部周辺バス1	
0008 8000h ～ 0009 FFFFh	内部周辺バス2	
000A 0000h ～ 000B FFFFh	内部周辺バス3	
000C 0000h ～ 000D FFFFh	内部周辺バス4	
000E 0000h ～ 000F FFFFh	内部周辺バス5	
0010 0000h ～ 00FF FFFFh	内部周辺バス6	予約領域
0100 0000h ～0FFF FFFFh	外部バス	
1000 0000h ～ 7FFF FFFFh	予約領域	
8000 0000h ～ FEFF FFFFh	メモリバス 2	予約領域
FF00 0000h ～ FFFF FFFFh		外部バス

12.2 バスの説明

12.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。

命令バスとオペランドバスは、内蔵 RAM、内蔵 ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、内蔵 ROM は読み出しのみ CPU からの直接アクセスが可能であり、書き込み／消去は内部周辺バスを介して行います。

内部メインバス 1 は、内蔵 ROM/ 内蔵 RAM 以外の命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド＞命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部周辺バス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、内蔵 ROM と内蔵 RAM、内蔵 ROM と外部アクセスなどの並列動作が可能となります。

12.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には内蔵 RAM、メモリバス 2 には内蔵 ROM が接続されています。メモリバス 1 とメモリバス 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

２本のバスの優先順位は、内部メインバス 2 ＞ CPU バス（オペランド＞命令フェッチ）の順となります。

12.2.3 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DTC、DMACA、EDMAC）が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、内蔵 ROM/ 内蔵 RAM 以外の命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド＞命令フェッチの順となります。

内部メインバス 2 では、DTC/DMACA、EDMAC のバス権要求を調停します。優先順位は、**表 12.3** に示すように、EDMAC ＞ DTC/DMACA の順となります。

DTC と DMACA については、起動要求を受け付けたいずれかの一方のみがバス権要求を行います。DTC と DMACA の起動要求の優先順位は、DMAC0 ＞ DMAC1 ＞ DMAC2 ＞ DMAC3 ＞ DTC の順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1 ～内部周辺バス 6、外部バス）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

2 本のバスの優先順位は、内部メインバス 2 ＞内部メインバス 1 の順となります。ただし、CPU によって XCHG 命令が実行された場合には、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 12.3 バスマスタ優先順位

優先度	バスマスタ
高 ↑ 低	EDMAC
	DTC/DMACA（DMACA＞DTC）
	CPU

12.2.4 内部周辺バス

表 12.4 に内部周辺バスに接続される周辺機能を示します。

表 12.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス 1	• DMACA • EXDMAC • 割り込みコントローラ • バスエラー監視部
内部周辺バス 2	内部周辺バス 1、3、4、5 以外の周辺機能
内部周辺バス 3	USB
内部周辺バス 4	EDMAC、ETHERC
内部周辺バス 5	予約領域
内部周辺バス 6	内蔵 ROM（P/E）／データフラッシュ

内部周辺バス 1 ～内部周辺バス 6 は、それぞれ、CPU（内部メインバス 1）と CPU 以外のバスマスタ（内部メインバス 2）からのバス権要求を調停します。

2 本のバスの優先順位は、内部メインバス 2 ＞内部メインバス 1 の順となります。

12.2.5 外部バス

表 12.5 に外部バスの仕様を示します。

外部バスコントローラは、内部メインバス 1、内部メインバス 2、および EXDMAC からのバス権要求を、外部アドレス空間、および外部バスコントローラのレジスタ（CSC、SDRAMC）に対して調停します。ただし、EXDMAC は、外部アドレス空間のみアクセス可能です。

3 本のバスの優先順位は、EXDMAC ＞内部メインバス 2 ＞内部メインバス 1 となります。

表12.5 外部バスの仕様

項目	内容
外部アドレス空間	• 外部アドレス空間を8つのエリアCS領域（CS0～CS7）とSDRAM領域（SDCS）に分割して管理 • エリアごとにチップセレクトを出力可能 • エリアごとに8ビットバス空間／16ビットバス空間／32ビットバス空間を選択可能 • エリアごとにエンディアンを設定可能
CSエリアコントローラ	• リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 • サイクルウェイト機能：最大31サイクルウェイト（ページアクセス最大7サイクルウェイト） • ウェイト制御 チップセレクト信号（CS0#～CS7#）のアサート／ネゲートタイミング設定可能 リード信号（RD#）、ライト信号（WR#, WR0#～WR3#）のアサートタイミング設定可能 データ出力の開始／終了タイミング設定可能 • ライトアクセスモード：1ライトストローブモード／バイトストローブモード
SDRAMエリアコントローラ	• ロウアドレス/カラムアドレスのマルチプレクス出力（8ビット／9ビット／10ビット／11ビット） • オートリフレッシュとセルフリフレッシュを選択可能 • CASレイテンシを1～3に設定可能
ライトバッファ機能	バスマスタからの書き込みデータをライトバッファに書いた時点で、バスマスタ側のライトアクセスを終了
周波数	• CSエリアコントローラ（CSC）は、BCLK（注）に同期して動作 • SDRAMエリアコントローラ（SDRAMC）は、SDCLKに同期して動作

注. SDRAM使用時、BCLKとSDCLKは同じ周波数で動作させる必要があります。

表 12.6 に外部バスの入出力端子を示します。

表12.6　外部バスの入出力端子

端子名	入出力	機能
A23～A0（注1）	出力	アドレス出力端子です。
D31～D0	入出力	データ入出力端子です。 32ビットバス空間を設定した場合、D31～D0が有効となります。 16ビットバス空間を設定した場合、D15～D0が有効となります。 8ビットバス空間を設定した場合、D7～D0が有効となります。
BC0#（注1）（注2）	出力	1ライトストローブモード時、外部バスインタフェース空間をアクセス中でデータバスD7～D0が有効であることを示すストローブ信号です。
BC1#（注2）	出力	1ライトストローブモード時、外部バスインタフェース空間をアクセス中でデータバスD15～D8が有効であることを示すストローブ信号です。
BC2#（注2）	出力	1ライトストローブモード時、外部バスインタフェース空間をアクセス中でデータバスD23～D16が有効であることを示すストローブ信号です。
BC3#（注2）	出力	1ライトストローブモード時、外部バスインタフェース空間をアクセス中でデータバスD31～D24が有効であることを示すストローブ信号です。
CS0#	出力	エリア0（CS0）チップセレクト信号です。
CS1#	出力	エリア1（CS1）チップセレクト信号です。
CS2#	出力	エリア2（CS2）チップセレクト信号です。
CS3#	出力	エリア3（CS3）チップセレクト信号です。
CS4#	出力	エリア4（CS4）チップセレクト信号です。
CS5#	出力	エリア5（CS5）チップセレクト信号です。
CS6#	出力	エリア6（CS6）チップセレクト信号です。
CS7#	出力	エリア7（CS7）チップセレクト信号です。
RD#	出力	外部アドレス空間（CS0～CS7）をリード中であることを示すストローブ信号です。
WR#	出力	1ライトストローブモード時、外部バスインタフェース空間をライト中であることを示すストローブ信号です。
WR0#	出力	バイトストローブモード時、外部バスインタフェース空間をライト中でデータバスD7～D0が有効であることを示すストローブ信号です。
WR1#	出力	バイトストローブモード時、外部バスインタフェース空間をライト中でデータバスD15～D8が有効であることを示すストローブ信号です。
WR2#	出力	バイトストローブモード時、外部バスインタフェース空間をライト中でデータバスD23～D16が有効であることを示すストローブ信号です。
WR3#	出力	バイトストローブモード時、外部バスインタフェース空間をライト中でデータバスD31～D24が有効であることを示すストローブ信号です。
WAIT#	入力	外部アドレス空間（CS0～CS7）をアクセスするときのウェイト要求信号です。（Low：ウェイト要求）
SDCLK	出力	SDRAMクロック
CKE	出力	SDRAMクロックイネーブル信号です。
SDCS#	出力	SDRAMチップセレクト信号です。
RAS#	出力	SDRAMロウアドレスストローブ信号です。
CAS#	出力	SDRAMカラムアドレスストローブ信号です。
WE#	出力	SDRAMライトイネーブル信号です。
DQM0	出力	SDRAM入出力データマスクイネーブル信号です。D7～D0を制御します。
DQM1	出力	SDRAM入出力データマスクイネーブル信号です。D15～D8を制御します。
DQM2	出力	SDRAM入出力データマスクイネーブル信号です。D23～D16を制御します。
DQM3	出力	SDRAM入出力データマスクイネーブル信号です。D31～D24を制御します。

注1.　A0端子とBC0#端子を兼用している製品の場合、領域ごとにバイトライトモード時はA0端子、1ライトストローブモード時はBC0#端子が有効になります。ただし、1ライトストローブモード時は、16ビットバス空間および32ビットバス空間で設定できます。8ビットバス空間では設定できません。その他の兼用端子については、「17.　I/Oポート」を参照してください。

注2.　BC0#～BC3#信号は、リード、ライトアクセスとも有効です。

12.2.6 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並行して動作することが可能です。たとえば、CPU が内蔵 ROM から命令フェッチしながら、内蔵 RAM をオペランドアクセスし、さらに DMACA は周辺バスと外部バス間の転送を行う、という 3 種類の動作を同時に行うことができます。

図 12.2 に並列動作の例を示します。この例の場合、CPU は命令バスとオペランドバスを使って、それぞれ内蔵 ROM と内蔵 RAM を同時にアクセスすることが可能です。また、CPU が内蔵 ROM と内蔵 RAM をアクセス中に、DMACA は内部メインバス 2 を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

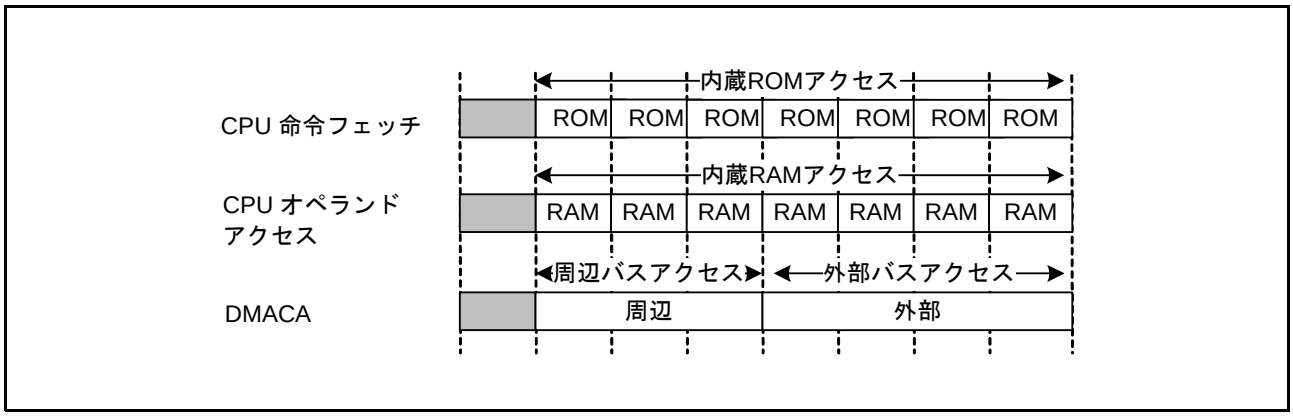


図 12.2 並列動作の例

12.2.7 制約事項

(1) アドレス空間の複数エリアにまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数エリアをまたがるアクセスは禁止されており、その場合の動作は保証できません。1 つのワード、ロングワードアクセスがアドレス空間の各エリア境界を挟んで 2 つのエリアにまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

(a) 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域にRMPA命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

(b) RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

12.3 レジスタの説明

表 12.7 に外部バスコントローラのレジスタを示します。

表12.7 外部バスコントローラのレジスター覧表 (1 / 2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CS0モードレジスタ	CS0MOD	0000h	0008 3002h	16
CS0ウェイト制御レジスタ1	CS0WCR1	0707 0707h	0008 3004h	32
CS0ウェイト制御レジスタ2	CS0WCR2	0000 0007h	0008 3008h	32
CS1モードレジスタ	CS1MOD	0000h	0008 3012h	16
CS1ウェイト制御レジスタ1	CS1WCR1	0707 0707h	0008 3014h	32
CS1ウェイト制御レジスタ2	CS1WCR2	0000 0007h	0008 3018h	32
CS2モードレジスタ	CS2MOD	0000h	0008 3022h	16
CS2ウェイト制御レジスタ1	CS2WCR1	0707 0707h	0008 3024h	32
CS2ウェイト制御レジスタ2	CS2WCR2	0000 0007h	0008 3028h	32
CS3モードレジスタ	CS3MOD	0000h	0008 3032h	16
CS3ウェイト制御レジスタ1	CS3WCR1	0707 0707h	0008 3034h	32
CS3ウェイト制御レジスタ2	CS3WCR2	0000 0007h	0008 3038h	32
CS4モードレジスタ	CS4MOD	0000h	0008 3042h	16
CS4ウェイト制御レジスタ1	CS4WCR1	0707 0707h	0008 3044h	32
CS4ウェイト制御レジスタ2	CS4WCR2	0000 0007h	0008 3048h	32
CS5モードレジスタ	CS5MOD	0000h	0008 3052h	16
CS5ウェイト制御レジスタ1	CS5WCR1	0707 0707h	0008 3054h	32
CS5ウェイト制御レジスタ2	CS5WCR2	0000 0007h	0008 3058h	32
CS6モードレジスタ	CS6MOD	0000h	0008 3062h	16
CS6ウェイト制御レジスタ1	CS6WCR1	0707 0707h	0008 3064h	32
CS6ウェイト制御レジスタ2	CS6WCR2	0000 0007h	0008 3068h	32
CS7モードレジスタ	CS7MOD	0000h	0008 3072h	16
CS7ウェイト制御レジスタ1	CS7WCR1	0707 0707h	0008 3074h	32
CS7ウェイト制御レジスタ2	CS7WCR2	0000 0007h	0008 3078h	32
CS0制御レジスタ	CS0CR	0021h	0008 3802h	16
CS0リカバリサイクル設定レジスタ	CS0REC	0000h	0008 380Ah	16
CS1制御レジスタ	CS1CR	0000h	0008 3812h	16
CS1リカバリサイクル設定レジスタ	CS1REC	0000h	0008 381Ah	16
CS2制御レジスタ	CS2CR	0000h	0008 3822h	16
CS2リカバリサイクル設定レジスタ	CS2REC	0000h	0008 382Ah	16
CS3制御レジスタ	CS3CR	0000h	0008 3832h	16
CS3リカバリサイクル設定レジスタ	CS3REC	0000h	0008 383Ah	16
CS4制御レジスタ	CS4CR	0000h	0008 3842h	16
CS4リカバリサイクル設定レジスタ	CS4REC	0000h	0008 384Ah	16
CS5制御レジスタ	CS5CR	0000h	0008 3852h	16
CS5リカバリサイクル設定レジスタ	CS5REC	0000h	0008 385Ah	16
CS6制御レジスタ	CS6CR	0000h	0008 3862h	16
CS6リカバリサイクル設定レジスタ	CS6REC	0000h	0008 386Ah	16
CS7制御レジスタ	CS7CR	0000h	0008 3872h	16
CS7リカバリサイクル設定レジスタ	CS7REC	0000h	0008 387Ah	16
SDC制御レジスタ	SDCCR	00h	0008 3C00h	8
SDCモードレジスタ	SDCMOD	00h	0008 3C01h	8

表12.7 外部バスコントローラのレジスター覧表 (2 / 2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SDRAMアクセスモードレジスタ	SDAMOD	00h	0008 3C02h	8
SDRAMセルフリフレッシュ制御レジスタ	SDSELF	00h	0008 3C10h	8
SDRAMリフレッシュ制御レジスタ	SDRFCR	0001h	0008 3C14h	16
SDRAMオートリフレッシュ制御レジスタ	SDRFEN	00h	0008 3C16h	8
SDRAM初期化シーケンス制御レジスタ	SDICR	00h	0008 3C20h	8
SDRAM初期化レジスタ	SDIR	0010h	0008 3C24h	16
SDRAMアドレスレジスタ	SDADR	00h	0008 3C40h	8
SDRAMタイミングレジスタ	SDTR	0000 0002h	0008 3C44h	32
SDRAMモードレジスタ	SDMOD	0000h	0008 3C48h	16
SDRAMステータスレジスタ	SDSR	00h	0008 3C50h	8
バスエラーステータスクリアレジスタ	BERCLR	00h	0008 1300h	8
バスエラー監視許可レジスタ	BEREN	00h	0008 1304h	8
バスエラーステータスレジスタ1	BERSR1	00h	0008 1308h	8
バスエラーステータスレジスタ2	BERSR2	0000h	0008 130Ah	16

12.3.1 CSn 制御レジスタ（CSnCR）（n = 0 ～ 7）

アドレス　0008 3802h（CS0CR）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス　0008 3812h～0008 3872h（CS1CR～CS7CR）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0：動作禁止 1：動作許可	R/W （注1）
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0：16ビットバス空間に設定（注3） 0 1：32ビットバス空間に設定（注4） 1 0：8ビットバス空間に設定 1 1：設定しないでください。	R/W （注2）
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0：エリアnのエンディアンは動作モードのエンディアンと同じ（n = 0～7） 1：エリアnのエンディアンは動作モードのエンディアンと異なる（n = 0～7）	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　CS0CR.EXENBビットの初期値は“1”、CSnCR.EXENBビット（n = 1～7）の初期値は“0”です。
注2.　CS0CR.BSIZE[1:0]ビットの初期値は、“10b”です。
注3.　85ピンTFLGA版では、16ビットバス空間はサポートしていません。
注4.　145ピンTFLGA版、144ピンLQFP版、100ピンLQFP版、85ピンTFLGA版では、32ビットバス空間はサポートしていません。

CSnCR レジスタは、外部アドレス空間の各エリアの動作許可／禁止、データバス幅、エンディアンを設定するレジスタです。

EXENB ビット（動作許可ビット）

各エリアの動作許可／禁止を設定します。

なお、リセット後は、エリア 0 のみ動作許可（“1”）になり、それ以外のエリアは動作禁止（“0”）になります。

動作禁止に設定したエリアをアクセスした場合は、外部バスアクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット（BEREN.IGAEN = 1）が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット（外部バス幅選択ビット）

各エリアのデータバス幅を設定します。

なお、リセット後のエリア 0 のデータバス幅は、8 ビットバス空間になります。

EMODE ビット（エンディアンモード指定ビット）

各エリアのエンディアンを設定します。

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

12.3.2 CSn リカバリサイクル設定レジスタ（CSnREC）（n = 0 ～ 7）

アドレス　0008 380Ah～0008 387Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	WRCV[3:0]				–	–	–	–	RRCV[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0：リカバリサイクルを挿入しない 0 0 0 1：リカバリサイクルを1サイクル挿入 0 0 1 0：リカバリサイクルを2サイクル挿入 0 0 1 1：リカバリサイクルを3サイクル挿入 0 1 0 0：リカバリサイクルを4サイクル挿入 0 1 0 1：リカバリサイクルを5サイクル挿入 0 1 1 0：リカバリサイクルを6サイクル挿入 0 1 1 1：リカバリサイクルを7サイクル挿入 1 0 0 0：リカバリサイクルを8サイクル挿入 1 0 0 1：リカバリサイクルを9サイクル挿入 1 0 1 0：リカバリサイクルを10サイクル挿入 1 0 1 1：リカバリサイクルを11サイクル挿入 1 1 0 0：リカバリサイクルを12サイクル挿入 1 1 0 1：リカバリサイクルを13サイクル挿入 1 1 1 0：リカバリサイクルを14サイクル挿入 1 1 1 1：リカバリサイクルを15サイクル挿入	R/W
b7-b4	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0：リカバリサイクルを挿入しない 0 0 0 1：リカバリサイクルを1サイクル挿入 0 0 1 0：リカバリサイクルを2サイクル挿入 0 0 1 1：リカバリサイクルを3サイクル挿入 0 1 0 0：リカバリサイクルを4サイクル挿入 0 1 0 1：リカバリサイクルを5サイクル挿入 0 1 1 0：リカバリサイクルを6サイクル挿入 0 1 1 1：リカバリサイクルを7サイクル挿入 1 0 0 0：リカバリサイクルを8サイクル挿入 1 0 0 1：リカバリサイクルを9サイクル挿入 1 0 1 0：リカバリサイクルを10サイクル挿入 1 0 1 1：リカバリサイクルを11サイクル挿入 1 1 0 0：リカバリサイクルを12サイクル挿入 1 1 0 1：リカバリサイクルを13サイクル挿入 1 1 1 0：リカバリサイクルを14サイクル挿入 1 1 1 1：リカバリサイクルを15サイクル挿入	R/W
b15-b12	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CSnREC レジスタは、外部アドレス空間の各エリアのライトアクセス、リードアクセス後のリカバリサイクル数を設定するレジスタです。

RRCV[3:0] ビット（リードリカバリ設定ビット）

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。
“0000b” 以外を設定すると、以下の場合に 1 ～ 15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、外部バスのライトアクセスがある場合
  （同じエリア内の連続アクセスの場合も、リカバリサイクルが挿入されます。）
- 外部バスに対するリードアクセス後、異なるエリアに対するリードアクセスがある場合
  （同じエリア内の連続アクセスの場合、リカバリサイクルは挿入されません。）

WRCV[3:0] ビット（ライトリカバリ設定ビット）

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。
“0000b” 以外を設定すると、以下の場合に 1 ～ 15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、外部バスのリードアクセスがある場合
  （同じエリア内の連続アクセスの場合も、リカバリサイクルが挿入されます。）

ライトアクセス後のライトアクセスでは、リカバリサイクルは挿入されません。

表 12.8 リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入
ライトアクセス後のリードアクセス	同じエリア	WRCV[3:0] ビット設定サイクル数が挿入
	異なるエリア	WRCV[3:0] ビット設定サイクル数が挿入
ライトアクセス後のライトアクセス	同じエリア	リカバリサイクルは挿入されない
	異なるエリア	リカバリサイクルは挿入されない
リードアクセス後のライトアクセス	同じエリア	RRCV[3:0] ビット設定サイクル数が挿入
	異なるエリア	RRCV[3:0] ビット設定サイクル数が挿入
リードアクセス後のリードアクセス	同じエリア	リカバリサイクルは挿入されない
	異なるエリア	RRCV[3:0] ビット設定サイクル数が挿入

12.3.3 CSn モードレジスタ（CSnMOD）（n = 0 ～ 7）

アドレス　0008 3002h～0008 3072h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	–	–	–	–	–	PWENB	PRENB	–	–	–	–	EWENB	–	–	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0：バイトストローブモード 1：1ライトストローブモード	R/W
b2-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0：外部ウェイト禁止 1：外部ウェイト許可	R/W
b7-b4	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0：ページリードアクセス禁止 1：ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0：ページライトアクセス禁止 1：ページライトアクセス許可	R/W
b14-b10	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0：ノーマルアクセス互換モード 1：外部データリード連続アサートモード	R/W

CSnMOD レジスタは、外部アドレス空間の各エリアのアクセスモードを設定するレジスタです。

WRMOD ビット（ライトアクセスモード選択ビット）

ライトアクセス時の動作モードを選択します。

“0” を設定すると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn# 信号 (n = 0 ～ 3) によりデータの書き込みの制御を行います。

“1” を設定すると、1 ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n = 0 ～ 3) と WR# 信号によりデータの書き込みの制御を行います。

注 .　A0 端子と BC0# 端子を兼用している製品の場合、1 ライトストローブモードは、16 ビットバス空間および 32 ビットバス空間で設定できます。8 ビットバス空間では 1 ライトストローブモードの設定は禁止です。

表 12.9　ライトアクセス時の制御信号の有効、無効

ライトアクセスモード	データライト信号					バイトコントロール記号			
	WR3#	WR2#	WR1#	WR0#	WR#	BC3#	BC2#	BC1#	BC0#
バイトストローブモード	○	○	○	○	×	×	×	×	×
1ライトストローブモード	×	×	×	×	○	○	○	○	○

【記号説明】 ○：有効、×：無効

EWENB ビット（外部ウェイト許可ビット）

外部ウェイトの許可 / 禁止を設定します。

“1” にすると、外部ウェイト許可となり、WAIT# 信号により各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0” にすると、WAIT# 信号は無効となります。

PRENB ビット（ページリードアクセス許可ビット）

ページリードアクセスの許可／禁止を設定します。

PWENB ビット（ページライトアクセス許可ビット）

ページライトアクセスの許可／禁止を設定します。

PRMOD ビット（ページリードアクセスモード選択ビット）

ページリードアクセス時の動作モードを選択します。

“0” にすると、ノーマルアクセス互換モードになります。このとき、1 つのデータをリードするごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外 RD# 信号はネゲートされません。

“1” にすると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

12.3.4 CSn ウェイト制御レジスタ 1（CSnWCR1）（n = 0 ～ 7）

アドレス　0008 3004h ～ 0008 3074h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	CSRWAIT[4:0]					—	—	—	CSWWAIT[4:0]				
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSPRWAIT[2:0]			—	—	—	—	—	CSPWWAIT[2:0]		
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択ビット （注1）	b2　b0 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクル ウェイト選択ビット（注2））	b10　b8 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクル ウェイト選択ビット	b20　b16 ０ ０ ０ ０ ０：ウェイトを挿入しない ０ ０ ０ ０ １：ウェイトを1サイクル挿入 ０ ０ ０ １ ０：ウェイトを2サイクル挿入 ０ ０ ０ １ １：ウェイトを3サイクル挿入 ０ ０ １ ０ ０：ウェイトを4サイクル挿入 ０ ０ １ ０ １：ウェイトを5サイクル挿入 ０ ０ １ １ ０：ウェイトを6サイクル挿入 ０ ０ １ １ １：ウェイトを7サイクル挿入 ０ １ ０ ０ ０：ウェイトを8サイクル挿入 ０ １ ０ ０ １：ウェイトを9サイクル挿入 ０ １ ０ １ ０：ウェイトを10サイクル挿入 ０ １ ０ １ １：ウェイトを11サイクル挿入 ０ １ １ ０ ０：ウェイトを12サイクル挿入 ０ １ １ ０ １：ウェイトを13サイクル挿入 ０ １ １ １ ０：ウェイトを14サイクル挿入 ０ １ １ １ １：ウェイトを15サイクル挿入 １ ０ ０ ０ ０：ウェイトを16サイクル挿入 １ ０ ０ ０ １：ウェイトを17サイクル挿入 １ ０ ０ １ ０：ウェイトを18サイクル挿入 １ ０ ０ １ １：ウェイトを19サイクル挿入 １ ０ １ ０ ０：ウェイトを20サイクル挿入 １ ０ １ ０ １：ウェイトを21サイクル挿入 １ ０ １ １ ０：ウェイトを22サイクル挿入 １ ０ １ １ １：ウェイトを23サイクル挿入 １ １ ０ ０ ０：ウェイトを24サイクル挿入 １ １ ０ ０ １：ウェイトを25サイクル挿入 １ １ ０ １ ０：ウェイトを26サイクル挿入 １ １ ０ １ １：ウェイトを27サイクル挿入 １ １ １ ０ ０：ウェイトを28サイクル挿入 １ １ １ ０ １：ウェイトを29サイクル挿入 １ １ １ １ ０：ウェイトを30サイクル挿入 １ １ １ １ １：ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクル ウェイト選択ビット	b28 b24 0 0 0 0 0 : ウェイトを挿入しない 0 0 0 0 1 : ウェイトを1サイクル挿入 0 0 0 1 0 : ウェイトを2サイクル挿入 0 0 0 1 1 : ウェイトを3サイクル挿入 0 0 1 0 0 : ウェイトを4サイクル挿入 0 0 1 0 1 : ウェイトを5サイクル挿入 0 0 1 1 0 : ウェイトを6サイクル挿入 0 0 1 1 1 : ウェイトを7サイクル挿入 0 1 0 0 0 : ウェイトを8サイクル挿入 0 1 0 0 1 : ウェイトを9サイクル挿入 0 1 0 1 0 : ウェイトを10サイクル挿入 0 1 0 1 1 : ウェイトを11サイクル挿入 0 1 1 0 0 : ウェイトを12サイクル挿入 0 1 1 0 1 : ウェイトを13サイクル挿入 0 1 1 1 0 : ウェイトを14サイクル挿入 0 1 1 1 1 : ウェイトを15サイクル挿入 1 0 0 0 0 : ウェイトを16サイクル挿入 1 0 0 0 1 : ウェイトを17サイクル挿入 1 0 0 1 0 : ウェイトを18サイクル挿入 1 0 0 1 1 : ウェイトを19サイクル挿入 1 0 1 0 0 : ウェイトを20サイクル挿入 1 0 1 0 1 : ウェイトを21サイクル挿入 1 0 1 1 0 : ウェイトを22サイクル挿入 1 0 1 1 1 : ウェイトを23サイクル挿入 1 1 0 0 0 : ウェイトを24サイクル挿入 1 1 0 0 1 : ウェイトを25サイクル挿入 1 1 0 1 0 : ウェイトを26サイクル挿入 1 1 0 1 1 : ウェイトを27サイクル挿入 1 1 1 0 0 : ウェイトを28サイクル挿入 1 1 1 0 1 : ウェイトを29サイクル挿入 1 1 1 1 0 : ウェイトを30サイクル挿入 1 1 1 1 1 : ウェイトを31サイクル挿入	R/W
b31-b29	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CSPWWAIT[2:0]ビットの設定値は、CSnMOD.PWENBビットが“1”の場合のみ有効となります。
注2. CSPRWAIT[2:0]ビットの設定値は、CSnMOD.PRENBビットが“1”の場合のみ有効となります。

CSnWCR1 レジスタは、外部アドレス空間の各エリアのウェイトサイクル数を選択するレジスタです。

CSPWWAIT[2:0] ビット（ページライトサイクルウェイト選択ビット）

ページライトアクセスの 2 回目以降のアクセスに挿入するサイクル数を設定します。CSPWWAIT[2:0] ビットの設定は、CSnMOD.PWENB ビットが “1” のとき有効になります。

注 . 1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット、また CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビットとなるように設定してください。

CSPRWAIT[2:0] ビット（ページリードサイクルウェイト選択ビット）

ページリードアクセスの 2 回目以降のアクセスに挿入するサイクル数を設定します。CSPRWAIT[2:0] ビットの設定は、CSnMOD.PRENB ビットが “1” のとき有効になります。

注 . CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[2:0] ビットとなるように設定してください。

CSWWAIT[4:0] ビット（ノーマルライトサイクルウェイト選択ビット）

ノーマルライトアクセスおよびページライトアクセスの最初のアクセスに挿入するサイクル数を設定します。

注 . 1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[2:0] ビット、また CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[2:0] ビットとなるように設定してください。

CSRWAIT[4:0] ビット（ノーマルリードサイクルウェイト選択ビット）

ノーマルリードアクセスおよびページリードアクセスの最初のアクセスに挿入するサイクル数を設定します。

注 . CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

注 . 各ビットは、「12.5.6 制約事項 (1) ノーマル／ページアクセス時の制約事項」に示す制約の範囲内で設定ください。
また、EXDMAC のシングルアドレス転送モードを使用時は、「12.5.6 制約事項 (4) EXDMAC のシングルアドレス転送モード時の制約事項」に示す制約の範囲内で設定してください。

12.3.5 CSn ウェイト制御レジスタ 2（CSnWCR2）（n = 0 ～ 7）

アドレス　0008 3008h ～ 0008 3078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リード時CS延長サイクル選択ビット	b2　b0 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	ライト時CS延長サイクル選択ビット	b6　b4 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択ビット	b10　b8 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18　b16 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22　b20 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W

ビット	シンボル	ビット名	機能	R/W
b23	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択ビット	b26 b24 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b27	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 ０ ０ ０：ウェイトを挿入しない ０ ０ １：ウェイトを1サイクル挿入 ０ １ ０：ウェイトを2サイクル挿入 ０ １ １：ウェイトを3サイクル挿入 １ ０ ０：ウェイトを4サイクル挿入 １ ０ １：ウェイトを5サイクル挿入 １ １ ０：ウェイトを6サイクル挿入 １ １ １：ウェイトを7サイクル挿入	R/W
b31	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSnWCR2 レジスタは、外部アドレス空間の各エリアのウェイトサイクル数を選択するレジスタです。

CSROFF[2:0] ビット（リード時 CS 延長サイクル選択ビット）

リードアクセス時のウェイトサイクル終了時（RD# 信号のネゲート時）から CSn# 信号 (n = 0 ～ 7) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット（ライト時 CS 延長サイクル選択ビット）

ライトアクセス時のウェイトサイクル終了時（WR0# ～ WR3#、WR# 信号のネゲート時）から CSn# 信号 (n = 0 ～ 7) をネゲートするまでのサイクル数を設定します。

注 . WDOFF[2:0] ビット≦ CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット（ライトデータ出力延長サイクル選択ビット）

ライトアクセス時のウェイトサイクル終了時（WR0# ～ WR3#、WR# のネゲート時）からライトデータ出力を終了するまでのサイクル数を設定します。

EXDMAC のシングルアドレス転送モード時には、チップからのライトデータ出力は行なわれませんが、ページアクセスのバス分割間のライトデータ出力延長サイクルの値は有効となります。

注 . WDOFF[2:0] ビット≦ CSWOFF[2:0] ビットとなるように設定してください。

RDON[2:0] ビット（RD アサートウェイト選択ビット）

RD# 信号のアサート前に挿入するウェイトサイクル数を設定します。

注 1. ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット ≦ CSnWCR1.CSRWAIT[4:0] ビット
ページリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[4:0] ビット
となるように設定してください。

注 2. EXDMAC のシングルアドレス転送モード時のリードアクセスの場合には、上記条件に加えて、CSnWCR2.RDON[2:0] ビット≧ 1 となるように設定してください。

WRON[2:0] ビット（WR アサートウェイト選択ビット）

WR0# ～ WR3#、WR# 信号のアサート前に挿入するウェイトサイクル数を設定します。

注 1. ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット ≦ CSnWCR1.CSWWAIT[4:0] ビット、また CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット ≦ CSnWCR1.CSWWAIT[4:0] ビット
ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[4:0] ビット、また CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット ≦ CSnWCR1.CSPWWAIT[4:0] ビット
となるように設定してください。

注 2. EXDMAC のシングルアドレス転送モード時のライトアクセスの場合には、上記条件に加えて、CSnWCR2.WRON[2:0] ビット≧ 1 となるように設定してください。

WDON[2:0] ビット（ライトデータ出力ウェイト選択ビット）

ライトデータ出力の前に挿入するウェイトサイクル数を設定します。ただし、ライトデータは、CS# 信号アサート時のみ出力されます。

注 . ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット ≦ CSnWCR1.CSWWAIT[4:0] ビット
ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[4:0] ビット
となるように設定してください。

CSON[2:0] ビット（CS アサートウェイト選択ビット）

CSn# 信号 (n = 0 ～ 7) のアサート前に挿入するウェイトサイクル数を設定します。

注 . ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット ≦ CSnWCR1.CSRWAIT[4:0] ビット、ページリードアクセス時、CSnWCR2.CSON[2:0] ビット ≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[4:0] ビット
ノーマルライトアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット ≦ CSnWCR1.CSWWAIT[4:0] ビット、ページライトアクセス時、CSnWCR2.CSON[2:0] ビット ≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[4:0] ビット
となるように設定してください。

注 . 各ビットは、「12.5.6 制約事項 (1) ノーマル／ページアクセス時の制約事項」に示す制約の範囲内で設定ください。また、EXDMAC のシングルアドレス転送モードを使用時は、「12.5.6 制約事項 (4) EXDMAC のシングルアドレス転送モード時の制約事項」に示す制約の範囲内で設定してください。

12.3.6 SDC 制御レジスタ（SDCCR）

アドレス 0008 3C00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0：動作禁止 1：動作許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	SDRAMバス幅選択ビット	b5 b4 0 0：16ビットバス空間に設定 0 1：32ビットバス空間に設定 1 0：8ビットバス空間に設定 1 1：設定しないでください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDCCR レジスタは、SDRAM アドレス空間の動作許可／禁止、データバス幅を設定するレジスタです。

EXENB ビット（動作許可ビット）

SDRAM アドレス空間の動作許可／禁止を設定します。

リセット後は、動作禁止（“0”）になります。

動作禁止に設定したエリアをアクセスした場合は、SDRAM アクセスは発生しません。このとき、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビット（BEREN.IGAEN = 1）が検出許可に設定されていれば、バスエラーとなります。

BSIZE[1:0] ビット（SDRAM バス幅選択ビット）

SDRAM アドレス空間のデータバス幅を設定します。

12.3.7 SDC モードレジスタ（SDCMOD）

アドレス 0008 3C01h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EMODE	エンディアン指定ビット	0：SDRAMアドレス空間のエンディアンは動作モードのエンディアンと同じ 1：SDRAMアドレス空間のエンディアンは動作モードのエンディアンと異なる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDCMOD レジスタは、SDRAM アドレス空間のエンディアンを設定するレジスタです。

EMODE ビット（エンディアンモード指定ビット）

SDRAM アドレス空間のエンディアンを設定します。

12.3.8 SDRAM アクセスモードレジスタ（SDAMOD）

アドレス　0008 3C02h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BE	連続アクセスイネーブル	0：連続アクセス禁止 1：連続アクセス許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDAMOD レジスタは、SDRAM アクセス空間の連続アクセスイネーブルを設定するレジスタです。

BE ビット（連続アクセスイネーブルビット）

SDRAM アクセス空間の連続アクセスの許可または禁止を選択します。

注 1.　SDAMOD レジスタの設定は、「表 12.15　レジスタの書き換え条件」を満たしているときにのみ行なってください。条件が満たされない状態で設定を行なった場合の動作は保証されません。

注 2.　EXDMAC 以外のバスマスタから SDRAM 領域をアクセスする場合は、連続アクセス許可に設定しても連続アクセスにはなりません。

12.3.9 SDRAM セルフリフレッシュ制御レジスタ（SDSELF）

アドレス　0008 3C10h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFEN	SDRAMセルフリフレッシュ動作有効ビット	0：セルフリフレッシュ無効 1：セルフリフレッシュ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDSELF レジスタは、セルフリフレッシュ動作を制御するレジスタです。

SFEN ビット（SDRAM セルフリフレッシュ動作有効ビット）

セルフリフレッシュ動作を制御します。

“1” にした場合、オートリフレッシュサイクル動作を行い、その後セルフリフレッシュ動作を開始します。

“0” にした場合、セルフリフレッシュ動作を終了し、その後オートリフレッシュ動作を行います。

SFEN ビットに書き込んだ値は、“1” をセットした場合はセルフリフレッシュ動作開始時に、“0” にした場合はセルフリフレッシュ動作終了後のオートリフレッシュ開始時点では、その値が反映されています。

注．　SFEN ビットへの書き込みによるセルフリフレッシュの有効／無効の設定は、「表 12.15　レジスタの書き換え条件」の条件を満たしているときにのみ行なってください。条件が満たされない状態で設定を行なった場合の動作は保証されません。

12.3.10 SDRAM リフレッシュ制御レジスタ（SDRFCR）

アドレス　0008 3C14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REFW[3:0]				RFC[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b11-b0	RFC[11:0]	オートリフレッシュ要求間隔設定ビット	b11　b0 0 0 0 0 0 0 0 0 0 0 0 0：設定しないでください 0 0 0 0 0 0 0 0 0 0 0 1：2サイクル 0 0 0 0 0 0 0 0 0 0 1 0：3サイクル ： 1 1 1 1 1 1 1 1 1 1 1 1：4096サイクル	R/W
b15-b12	REFW[3:0]	オートリフレッシュサイクル／ セルフリフレッシュ解除サイクル数設定ビット	b15　b12 0 0 0 0：1サイクル 0 0 0 1：2サイクル 0 0 1 0：3サイクル 0 0 1 1：4サイクル 0 1 0 0：5サイクル 0 1 0 1：6サイクル 0 1 1 0：7サイクル 0 1 1 1：8サイクル 1 0 0 0：9サイクル 1 0 0 1：10サイクル 1 0 1 0：11サイクル 1 0 1 1：12サイクル 1 1 0 0：13サイクル 1 1 0 1：14サイクル 1 1 1 0：15サイクル 1 1 1 1：16サイクル	R/W

SDRFCR レジスタは、リフレッシュサイクル数の設定を行うレジスタです。

RFC[11:0] ビット（オートリフレッシュ要求間隔設定ビット）

オートリフレッシュ要求間隔を設定します。

SDRAM オートリフレッシュ制御レジスタのオートリフレッシュ動作有効ビット（SDRFEN.RFEN）の状態にかかわらず、書けます。

オートリフレッシュ有効時に書いた値は、オートリフレッシュサイクル終了後にリフレッシュカウンタに反映されます。リフレッシュカウンタは、SDCLK でカウントされます。

REFW[3:0] ビット（オートリフレッシュサイクル / セルフリフレッシュ解除サイクル数設定ビット）

オートリフレッシュサイクル数、セルフリフレッシュ解除サイクル数を設定します。

SDRFEN.RFEN ビットの状態にかかわらず、書けます。

オートリフレッシュ有効時に書いた値は、オートリフレッシュサイクル中であれば、オートリフレッシュサイクル終了後に反映されます。

注．　SDRAM アクセス中はオートリフレッシュ要求が受け付けられず、アクセス終了まで待たされますので、オートリフレッシュ間隔が広がることがあります。使用する SDRAM のオートリフレッシュ間隔規定を満たすようにオートリフレッシュ要求間隔を決定し、RFC[11:0] ビットを設定してください。このとき、オートリフレッシュ要求間隔はオートリフレッシュサイクルより長くなるように設定してください。また、動作中に周波数を変更したときのオートリフレッシュ間隔の自動追随はできませんので、セルフリフレッシュを行い、周波数に対応したオートリフレッシュ間隔を設定し直すようにしてください。

- オートリフレッシュ要求間隔と RFC[11:0] ビット設定値の関係

SDRAMC（SDRAM エリアコントローラ）には 12 ビットのリフレッシュカウンタが内蔵されており、定期的にオートリフレッシュ要求を発生します。オートリフレッシュ要求間隔から RFC[11:0] ビットの設定値を求める計算式を以下に示します。

RFC =（オートリフレッシュ要求間隔 /SDCLK 周期）-1

注 . オートリフレッシュ要求は SDRAM アクセス中には受け付けられず、アクセス終了まで待たされますが、要求が受け付けられたか否かに関わらずカウンタ値は更新されます。SDRAM アクセス中に 2 回以上オートリフレッシュ要求が発生した場合、2 回目以降のリフレッシュ要求は無視されますので注意してください。

12.3.11 SDRAM オートリフレッシュ制御レジスタ（SDRFEN）

アドレス 0008 3C16h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFEN	オートリフレッシュ動作有効ビット	0：オートリフレッシュ無効 1：オートリフレッシュ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDRFEN レジスタは、オートリフレッシュ動作を制御するレジスタです。

RFEN ビット（オートリフレッシュ動作有効ビット）

オートリフレッシュ有効時に RFEN ビットを “0” にすると、オートリフレッシュサイクル終了後に RFEN ビットが “0” になって、オートリフレッシュ動作が停止します。ただし、オートリフレッシュサイクルが終了する前に再度、RFEN ビットを “1” にすると、オートリフレッシュ動作を継続します。

オートリフレッシュ無効時に RFEN ビットを “1” にすると、オートリフレッシュ動作を開始し、その後カウンタにより定期的にリフレッシュ要求が発生します。リフレッシュ要求の発生間隔は、SDRAM リフレッシュ制御レジスタのオートリフレッシュ要求間隔選択ビット（SDRFCR.RFC[11:0]）で設定した値に従います。

リフレッシュ要求は、SDRAM へのアクセス中は受け付けられず、アクセス完了まで待たされます。

SDRAM へのアクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。

12.3.12 SDRAM 初期化シーケンス制御レジスタ（SDICR）

アドレス　0008 3C20h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	INIRQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INIRQ	初期化シーケンス開始ビット	0：無効 1：初期化シーケンス開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDICR レジスタは、SDRAM 初期化シーケンスの起動を制御するレジスタです。

INIRQ ビット（初期化シーケンス開始ビット）

“1” にすると SDRAM 初期化シーケンスが開始され、自動的に SDRAM ステータスレジスタの初期化ステータスビット（SDSR.INIST）が “1” になります。初期化シーケンス終了後、SDSR.INIST ビットは自動的に “0” になります。

INIRQ ビットへ書いた値は保持されません。

初期化シーケンス起動後に、外部アドレス空間、外部バスコントローラのレジスタへのアクセスを行った場合は、初期化シーケンスが終了するまで待たされます。

注．　INIRQ ビットへの書き込みによる初期化シーケンスの起動は、「表 12.15　レジスタの書き換え条件」の条件を満たしているときにのみ行なってください。条件が満たされない状態で設定を行った場合の動作は保証されません。

12.3.13 SDRAM 初期化レジスタ（SDIR）

アドレス　0008 3C24h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	PRC[2:0]			ARFC[3:0]				ARFI[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ARFI[3:0]	初期化オートリフレッシュ間隔ビット	b3 b0 0 0 0 0：3サイクル 0 0 0 1：4サイクル 0 0 1 0：5サイクル 0 0 1 1：6サイクル 0 1 0 0：7サイクル 0 1 0 1：8サイクル 0 1 1 0：9サイクル 0 1 1 1：10サイクル 1 0 0 0：11サイクル 1 0 0 1：12サイクル 1 0 1 0：13サイクル 1 0 1 1：14サイクル 1 1 0 0：15サイクル 1 1 0 1：16サイクル 1 1 1 0：17サイクル 1 1 1 1：18サイクル	R/W
b7-b4	ARFC[3:0]	初期化オートリフレッシュ回数ビット	b7 b4 0 0 0 0：設定しないでください 0 0 0 1：1回 0 0 1 0：2回 0 0 1 1：3回 0 1 0 0：4回 0 1 0 1：5回 0 1 1 0：6回 0 1 1 1：7回 1 0 0 0：8回 1 0 0 1：9回 1 0 1 0：10回 1 0 1 1：11回 1 1 0 0：12回 1 1 0 1：13回 1 1 1 0：14回 1 1 1 1：15回	R/W
b10-b8	PRC[2:0]	初期化プリチャージサイクル数設定ビット	b10 b8 0 0 0：3サイクル 0 0 1：4サイクル 0 1 0：5サイクル 0 1 1：6サイクル 1 0 0：7サイクル 1 0 1：8サイクル 1 1 0：9サイクル 1 1 1：10サイクル	R/W
b15-b11	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDIR レジスタは、SDRAM の初期化シーケンスのタイミングを設定するレジスタです。

ARFI[3:0] ビット（初期化オートリフレッシュ間隔ビット）

SDRAM の初期化シーケンスにおけるオートリフレッシュコマンドの発行間隔を設定します。

ARFC[3:0] ビット（初期化オートリフレッシュ回数ビット）

SDRAM の初期化シーケンスにおけるオートリフレッシュ回数を設定します。

PRC[2:0] ビット（初期化プリチャージサイクル数設定ビット）

SDRAM の初期化シーケンスにおけるプリチャージサイクル数を設定します。

注 . 初期化シーケンス開始前に、接続する SDRAM の仕様を満たすように設定してください。

12.3.14 SDRAM アドレスレジスタ（SDADR）

アドレス　0008 3C40h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MXC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MXC[1:0]	アドレスマルチプレクス選択ビット	b1 b0 0 0：8ビットシフト 0 1：9ビットシフト 1 0：10ビットシフト 1 1：11ビットシフト	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDADR レジスタは、アドレスマルチプレクス選択用のパラメータを設定するレジスタです。

MXC[1:0] ビット（アドレスマルチプレクス選択ビット）

ロウアドレス / カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に SDRAMC の連続アクセス動作時に比較するロウアドレスを選択します。

詳細は、「表 12.20　アドレスマルチプレクス」を参照してください。

注 .　SDADR レジスタの設定は、「表 12.15　レジスタの書き換え条件」の条件を満たしているときにのみ行なってください。条件が満たされない状態で設定を行なった場合の動作は保証されません。

12.3.15 SDRAM タイミングレジスタ（SDTR）

アドレス　0008 3C44h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RAS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RCD[1:0]		RP[2:0]			WR	—	—	—	—	—	CL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CL[2:0]	SDRAMCカラムレイテンシ設定ビット	b2　b0 0 0 0：設定しないでください 0 0 1：1サイクル 0 1 0：2サイクル 0 1 1：3サイクル 1 0 0：設定しないでください 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	WR	ライトリカバリ期間設定ビット	0：1サイクル 1：2サイクル	R/W
b11-b9	RP[2:0]	ロウプリチャージ期間設定ビット	b11　b9 0 0 0：1サイクル 0 0 1：2サイクル 0 1 0：3サイクル 0 1 1：4サイクル 1 0 0：5サイクル 1 0 1：6サイクル 1 1 0：7サイクル 1 1 1：8サイクル	R/W
b13-b12	RCD[1:0]	ロウカラムレイテンシ設定ビット	b13 b12 0 0：1サイクル 0 1：2サイクル 1 0：3サイクル 1 1：4サイクル	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RAS[2:0]	ロウアクティブ期間設定ビット	b18　b16 0 0 0：1サイクル 0 0 1：2サイクル 0 1 0：3サイクル 0 1 1：4サイクル 1 0 0：5サイクル 1 0 1：6サイクル 1 1 0：7サイクル 1 1 1：設定しないでください	R/W
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDTR レジスタは、SDRAM のリード／ライトアクセスのタイミングを設定するレジスタです。（アクセスタイミングの詳細は、「12.6.12.3　**タイミングレジスタ設定値とアクセスタイミング**」を参照）。

CL[2:0] ビット（SDRAMC カラムレイテンシ設定ビット）

SDRAMC のカラムレイテンシを設定します。この設定は、SDRAMC 側のレイテンシ設定のみに影響し、外部に接続する SDRAM へのカラムレイテンシ設定は、後述する別途 SDRAM モードレジスタ（SDMOD）で行う必要があります。

注 . 連続アクセスモード時に CL[2:0] ビットを “1”（CL=1）に設定することは禁止しており、設定を行った場合の動作は保証されません。

WR ビット（ライトリカバリ期間設定ビット）

SDRAM のライト（WRIT）コマンドから非活性化（PALL）までの期間を設定します。

RP[2:0] ビット（ロウプリチャージ期間設定ビット）

SDRAM の非活性化（PALL）コマンドから次の有効なコマンドまでの最短サイクル数を設定します。

RCD[1:0] ビット（ロウカラムレイテンシ設定ビット）

SDRAM のロウーカラムレイテンシを設定します。

RAS[2:0] ビット（ロウアクティブ期間設定ビット）

SDRAM の行活性化（ACTV）コマンドから非活性化（PALL）までの最短期間を設定します。

RAS[2:0] ビットの値は、ロウーカラムレイテンシ（RCD[1:0]）+ カラムレイテンシ (CL[2:0]) 以下に設定してください。

注 . SDRAM タイミングレジスタの設定は、「表 12.15 レジスタの書き換え条件」の条件を満たしているときにのみ行なってください。条件が満たされない状態で設定を行なった場合の動作は保証されません。

12.3.16 SDRAM モードレジスタ（SDMOD）

アドレス　0008 3C48h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MR[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	MR[14:0]	モードレジスタ設定ビット	書き込み実行：モードレジスタセットコマンド発行	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDMOD レジスタは、SDRAM のモードレジスタに書く値を設定するレジスタです。

SDMOD レジスタへ書くと、自動的に SDRAM へのモードレジスタセットコマンド発行が行われます。

MR[14:0] ビット（モードレジスタ設定ビット）

SDRAM に対しモードレジスタセットコマンドを発行します。このとき、MR[14:0] ビットで設定した値をアドレスの下位側に出力します。詳細は、「12.6.11　モードレジスタ設定」を参照してください。

モードレジスタ書き込み後に、外部アドレス空間、外部バスコントローラのレジスタへのアクセスを行った場合は、モードレジスタセットコマンド発行が終了するまで待たされます。

注 1.　SDMOD レジスタの設定においては、以下の点に注意してください。
- SDRAM に対してバースト長 1 が設定されるように指定してください。バースト長 1 以外を設定した場合動作は保証されません。
- SDRAM のカラムレイテンシは、SDRAM タイミングレジスタの SDRAMC カラムレイテンシ設定ビット（SDTR.CL[2:0] ビット）の設定と一致させてください。異なるレイテンシが設定された場合、動作は保証されません。
- SDRAM ステータスレジスタのステータスビット（SDSR.SRFST, INIST, MRSST）がすべて “0” になっていることを確認してください。

注 2.　SDMOD レジスタの設定は、「表 12.15　レジスタの書き換え条件」の条件を満たしているときにのみ行なってください。条件が満たされない状態で設定を行なった場合の動作は保証されません。

12.3.17 SDRAM ステータスレジスタ（SDSR）

アドレス　0008 3C50h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SRFST	INIST	—	—	MRSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MRSST	モードレジスタセットステータスビット	0：モードレジスタセット動作中ではない 1：モードレジスタセット動作中	R
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	INIST	初期化ステータスビット	0：初期化シーケンス中ではない 1：初期化シーケンス中	R
b4	SRFST	セルフリフレッシュ移行／復帰ステータスビット	0：移行・復帰動作中ではない 1：移行・復帰動作中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDSR レジスタは、セルフリフレッシュ、初期化シーケンス、モードレジスタセット時に SDRAMC の動作状態を示すレジスタです。

MRSST ビット（モードレジスタセットステータスビット）

“1” になっているときは、SDRAM がモードレジスタセット動作中であることを示します。モードレジスタセット動作中に、SDSR レジスタをアクセスすると、モードレジスタセット動作が終了するまで、CPU の処理を待たせることができます。

INIST ビット（初期化ステータスビット）

“1” になっているときは、SDRAM が SDRAM 初期化シーケンス実行中であることを示します。初期化シーケンス中に、SDSR レジスタをアクセスすると、初期化シーケンスが終了するまで、CPU の処理を待たせることができます。

SRFST ビット（セルフリフレッシュ移行・復帰ステータスビット）

“1” になっているときは、SDRAM がセルフリフレッシュへの移行／復帰動作中であることを示します。

移行／復帰動作中とは、表 12.10 に示す各ビットへの書き込みからそれぞれのコマンドが発行されるまでの期間です。

注．　セルフリフレッシュ、初期化シーケンス、およびモードレジスタセットの実行は、すべてのステータスビットが “0” のときのみに行なってください。ステータスビット（SRFST、INIST、MRSST）のいずれかが “1” のときは、表 12.10 に示すレジスタ、ビットを書き換えないでください。

表12.10　ステータスビット確認が必要なレジスタ、ビット名一覧

機能	レジスタ名	ビット名
セルフリフレッシュ	SDSELF	SFEN
初期化シーケンス	SDICR	INIRQ
モードレジスタセット	SDMOD	MR[14:0]

12.3.18 バスエラーステータスクリアレジスタ（BERCLR）

アドレス　0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0：無効 1：バスエラーステータスレジスタの値をクリア	R/W（注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット（ステータスクリアビット）

“1” を書くと、バスエラーステータスレジスタ 1（BERSR1）とバスエラーステータスレジスタ 2（BERSR2）の値がクリアされます。

“0” を書くことは無効です。読むと “0” が読めます。

12.3.19 バスエラー監視許可レジスタ（BEREN）

アドレス　0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0：不正アドレスアクセス検出禁止 1：不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット（注1、注2）	0：バスタイムアウト検出禁止 1：バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　検出禁止（TOEN ビット = 0）にしてバスアクセスを行った場合、バスがフリーズすることがあります。
注2.　タイムアウトエラー検出中にTOEN ビットを“0”（検出禁止）にしないようにしてください。

IGAEN ビット（不正アドレスアクセス検出許可ビット）

不正アドレスアクセス検出の許可／禁止を設定します。

TOEN ビット（タイムアウト検出許可ビット）

バスタイムアウト検出の許可／禁止を設定します。

12.3.20 バスエラーステータスレジスタ 1（BERSR1）

アドレス　0008 1308h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MST[2:0]			—	—	TO	IA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0：不正アドレスアクセスの発生なし 1：不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0：タイムアウトの発生なし 1：タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6　b4 0 0 0：CPU 0 0 1：設定しないでください 0 1 0：設定しないでください 0 1 1：DTC/DMACA 1 0 0：設定しないでください 1 0 1：設定しないでください 1 1 0：EDMAC 1 1 1：EXDMAC	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

BERSR1 レジスタは、バスエラー発生状態を記録するレジスタです。

タイムアウトが発生したか（TO ビット）、不正アドレスアクセスが発生したか（IA ビット）、どのバスマスタからアクセスされたか（MST[2:0] ビット）を記録します。

IA ビット（不正アドレスアクセスフラグビット）

不正アドレスアクセスエラーが発生しているかどうかを示します。

TO ビット（タイムアウトフラグビット）

タイムアウトが発生しているかどうかを示します。

MST[2:0] ビット（バスマスタコードビット）

バスエラーを発生させたアクセスのバスマスタを示します。

12.3.21 バスエラーステータスレジスタ 2（BERSR2）

アドレス　0008 130Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDR[12:0]													–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	–	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット（512KB単位）	R

BERSR2 レジスタは、バスエラーを起こしたアドレスの上位 13 ビットを記録するレジスタです。

ADDR[12:0]（バスエラー発生アドレスビット）

バスエラーを起こしたアドレスの上位 13 ビットを示します。

12.4 エンディアンとデータアライメント

外部バスは、データアライメント機能を持っており、外部アドレス空間（CS 領域および SDRAM 領域）をアクセスするときデータバス D31 ～ D24、D23 ～ D16、D15 ～ D8、D7 ～ D0 のどれを使用するかを、アクセスするエリアのバス仕様（8 ビットバス空間、16 ビットバス空間、32 ビットバス空間）とデータサイズ、およびエンディアンモードによって制御します。

12.4.1 CS 領域のデータアライメント制御

(1) 32 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 32 ビットバス空間を選択すると、アドレスバス（A23 ～ A2）が 32 ビット単位のアドレス出力信号として有効になり、アドレスバス（A1、A0）は無効になります。

バイトストローブモード（CSnMOD.WRMOD ビット =“0”）を選択した場合、WR0# ～ WR3# 端子が有効になります。BC0# ～ BC3# 端子は使用しません。

1 ライトストローブモード（CSnMOD.WRMOD ビット =“1”）を選択した場合、WR# 端子のみ有効となり、データサイズにかかわらずライトアクセス時には WR# 端子より Low が出力されます。このとき、有効なバイト位置は、BC0# ～ BC3# 端子により表します。

32 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR3#/BC3#	WR2#/BC2#	WR1#/BC1#	WR0#/BC0#
						RD#			
						データバス			
						D31 D24	D23 D16	D15 D8	D7 D0
8bit	4n	1回	1回目	8bit	4n				7 0
	4n+1	1回	1回目	8bit	4n			7 0	
	4n+2	1回	1回目	8bit	4n		7 0		
	4n+3	1回	1回目	8bit	4n	7 0			
16bit	4n	1回	1回目	16bit	4n			15 8	7 0
	4n+1	2回	1回目	8bit	4n			7 0	
			2回目	8bit	4n		15 8		
	4n+2	1回	1回目	16bit	4n	15 8	7 0		
	4n+3	2回	1回目	8bit	4n	7 0			
			2回目	8bit	4n+4				15 8
32bit	4n	1回	1回目	32bit	4n	31 24	23 16	15 8	7 0
	4n+1	3回	1回目	8bit	4n			7 0	
			2回目	16bit	4n	23 16	15 8		
			3回目	8bit	4n+4				31 24
	4n+2	2回	1回目	16bit	4n	15 8	7 0		
			2回目	16bit	4n+4			31 24	23 16
	4n+3	3回	1回目	8bit	4n	7 0			
			2回目	16bit	4n+4			23 16	15 8
			3回目	8bit	4n+4		31 24		

図 12.3　32 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR3#/BC3#	WR2#/BC2#	WR1#/BC1#	WR0#/BC0#
						RD#			
						データバス			
						D31 D24	D23 D16	D15 D8	D7 D0
8bit	4n	1回	1回目	8bit	4n	7 0			
	4n+1	1回	1回目	8bit	4n		7 0		
	4n+2	1回	1回目	8bit	4n			7 0	
	4n+3	1回	1回目	8bit	4n				7 0
16bit	4n	1回	1回目	16bit	4n	15 8	7 0		
	4n+1	2回	1回目	8bit	4n		15 8		
			2回目	8bit	4n			7 0	
	4n+2	1回	1回目	16bit	4n			15 8	7 0
	4n+3	2回	1回目	8bit	4n				15 8
			2回目	8bit	4n+4	7 0			
32bit	4n	1回	1回目	32bit	4n	31 24	23 16	15 8	7 0
	4n+1	3回	1回目	8bit	4n		31 24		
			2回目	16bit	4n			23 16	15 8
			3回目	8bit	4n+4	7 0			
	4n+2	2回	1回目	16bit	4n			31 24	23 16
			2回目	16bit	4n+4	15 8	7 0		
	4n+3	3回	1回目	8bit	4n				31 24
			2回目	16bit	4n+4	23 16	15 8		
			3回目	8bit	4n+4			7 0	

図 12.4　32 ビットバス空間のデータアライメント（ビッグエンディアン）

(2)　16 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス（A23 ～ A1）が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス（A0）は無効になります。

バイトストローブモード（CSnMOD.WRMOD ビット =“0”）を選択した場合、WR0#、WR1# 端子が有効になり、WR2#、WR3# 端子は無効となります。BC0# ～ BC3# 端子は使用しません。

1 ライトストローブモード（CSnMOD.WRMOD ビット =“1”）を選択した場合、WR# 端子のみ有効となり、データサイズにかかわりなくライトアクセス時には WR# 端子より Low が出力されます。このとき、有効なバイト位置は、BC0#、BC1# 端子により表します。BC2#、BC3# 端子は使用しません。

16 ビットバス空間では、32 ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが 32 ビット境界を越えず、かつ BC0#、BC1# 信号の変化しない転送がページアクセスの対象となります。ページアクセスが発生する場合を図 12.5、図 12.6 に（p）で示します。

16 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#	RD#	データバス D15–D8	データバス D7–D0
8bit	4n	1回	1回目	8bit	4n					7–0
	4n+1	1回	1回目	8bit	4n				7–0	
	4n+2	1回	1回目	8bit	4n+2					7–0
	4n+3	1回	1回目	8bit	4n+2				7–0	
16bit	4n	1回	1回目	16bit	4n				15–8	7–0
	4n+1	2回	1回目	8bit	4n				7–0	
			2回目	8bit	4n+2					15–8
	4n+2	1回	1回目	16bit	4n+2				15–8	7–0
	4n+3	2回	1回目	8bit	4n+2				7–0	
			2回目	8bit	4n+4					15–8
32bit	4n	2回	1回目	16bit	4n				15–8	7–0
			2回目	16bit	4n+2 (p)				31–24	23–16
	4n+1	3回	1回目	8bit	4n				7–0	
			2回目	16bit	4n+2				23–16	15–8
			3回目	8bit	4n+4					31–24
	4n+2	2回	1回目	16bit	4n+2				15–8	7–0
			2回目	16bit	4n+4				31–24	23–16
	4n+3	3回	1回目	8bit	4n+2				7–0	
			2回目	16bit	4n+4				23–16	15–8
			3回目	8bit	4n+6					31–24

【記号説明】

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 12.5　16 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#	RD#	データバス D15–D8	データバス D7–D0
8bit	4n	1回	1回目	8bit	4n				7–0	
	4n+1	1回	1回目	8bit	4n					7–0
	4n+2	1回	1回目	8bit	4n+2				7–0	
	4n+3	1回	1回目	8bit	4n+2					7–0
16bit	4n	1回	1回目	16bit	4n				15–8	7–0
	4n+1	2回	1回目	8bit	4n					15–8
			2回目	8bit	4n+2				7–0	
	4n+2	1回	1回目	16bit	4n+2				15–8	7–0
	4n+3	2回	1回目	8bit	4n+2					15–8
			2回目	8bit	4n+4				7–0	
32bit	4n	2回	1回目	16bit	4n				31–24	23–16
			2回目	16bit	4n+2 (p)				15–8	7–0
	4n+1	3回	1回目	8bit	4n					31–24
			2回目	16bit	4n+2				23–16	15–8
			3回目	8bit	4n+4				7–0	
	4n+2	2回	1回目	16bit	4n+2				31–24	23–16
			2回目	16bit	4n+4				15–8	7–0
	4n+3	3回	1回目	8bit	4n+2					31–24
			2回目	16bit	4n+4				23–16	15–8
			3回目	8bit	4n+6				7–0	

【記号説明】

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 12.6　16 ビットバス空間のデータアライメント（ビッグエンディアン）

(3) 8 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス（A23 ～ A0）がバイト単位のアドレス信号として有効になります。

8 ビットバス空間では 1 ライトストローブモードは設定禁止で、バイトストローブモード（CSnMOD.WRMOD ビット＝“0”）を選択してください。ライトアクセス時には WR0# 端子のみが有効になります。WR1# ～ WR3#、BC0# ～ BC3# 端子は使用しません。

8 ビットバス空間では、16 ビット、32 ビットのデータサイズアクセスに対してページアクセスが発生することがあります。アクセスが 32 ビット境界を越えない転送がページアクセスの対象となります。ページアクセスが発生する場合を図 12.7、図 12.8 に（p）で示します。

8 ビットバス空間では、エンディアンにかかわらずチップの外部データは D7 ～ D0、制御信号は WR0# 信号を使用します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		WR1#/BC1# / WR0#/BC0# / RD# / データバス (D15 D8 | D7 D0)
8bit	4n	1回	1回目	8bit	4n		7 0
	4n+1	1回	1回目	8bit	4n+1		7 0
	4n+2	1回	1回目	8bit	4n+2		7 0
	4n+3	1回	1回目	8bit	4n+3		7 0
16bit	4n	2回	1回目	8bit	4n		7 0
			2回目	8bit	4n+1	(p)	15 8
	4n+1	2回	1回目	8bit	4n+1		7 0
			2回目	8bit	4n+2	(p)	15 8
	4n+2	2回	1回目	8bit	4n+2		7 0
			2回目	8bit	4n+3	(p)	15 8
	4n+3	2回	1回目	8bit	4n+3		7 0
			2回目	8bit	4n+4		15 8
32bit	4n	4回	1回目	8bit	4n		7 0
			2回目	8bit	4n+1	(p)	15 8
			3回目	8bit	4n+2	(p)	23 16
			4回目	8bit	4n+3	(p)	31 24
	4n+1	4回	1回目	8bit	4n+1		7 0
			2回目	8bit	4n+2	(p)	15 8
			3回目	8bit	4n+3	(p)	23 16
			4回目	8bit	4n+4		31 24
	4n+2	4回	1回目	8bit	4n+2		7 0
			2回目	8bit	4n+3	(p)	15 8
			3回目	8bit	4n+4		23 16
			4回目	8bit	4n+5	(p)	31 24
	4n+3	4回	1回目	8bit	4n+3		7 0
			2回目	8bit	4n+4		15 8
			3回目	8bit	4n+5	(p)	23 16
			4回目	8bit	4n+6	(p)	31 24

【記号説明】

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 12.7　8 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		WR1#/BC1#	WR0#/BC0#	RD#	データバス D15 D8	D7 D0
8bit	4n	1回	1回目	8bit	4n						7 0
	4n+1	1回	1回目	8bit	4n+1						7 0
	4n+2	1回	1回目	8bit	4n+2						7 0
	4n+3	1回	1回目	8bit	4n+3						7 0
16bit	4n	2回	1回目	8bit	4n						15 8
			2回目	8bit	4n+1	(p)					7 0
	4n+1	2回	1回目	8bit	4n+1						15 8
			2回目	8bit	4n+2	(p)					7 0
	4n+2	2回	1回目	8bit	4n+2						15 8
			2回目	8bit	4n+3	(p)					7 0
	4n+3	2回	1回目	8bit	4n+3						15 8
			2回目	8bit	4n+4						7 0
32bit	4n	4回	1回目	8bit	4n						31 24
			2回目	8bit	4n+1	(p)					23 16
			3回目	8bit	4n+2	(p)					15 8
			4回目	8bit	4n+3	(p)					7 0
	4n+1	4回	1回目	8bit	4n+1						31 24
			2回目	8bit	4n+2	(p)					23 16
			3回目	8bit	4n+3	(p)					15 8
			4回目	8bit	4n+4						7 0
	4n+2	4回	1回目	8bit	4n+2						31 24
			2回目	8bit	4n+3	(p)					23 16
			3回目	8bit	4n+4						15 8
			4回目	8bit	4n+5	(p)					7 0
	4n+3	4回	1回目	8bit	4n+3						31 24
			2回目	8bit	4n+4						23 16
			3回目	8bit	4n+5	(p)					15 8
			4回目	8bit	4n+6	(p)					7 0

【記号説明】

CSnMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 12.8　8 ビットバス空間のデータアライメント（ビッグエンディアン）

12.4.2　SDRAM 領域のデータアライメント制御

(1)　32 ビットバス空間

SDCCR.BSIZE[1:0] ビットで 32 ビットバス空間を選択すると、アドレスバス（A27 ～ A2）が 32 ビット単位のアドレス出力信号として有効になり、アドレスバス（A0 ～ A1）は無効になります。

外部データは、D31 ～ D24、D23 ～ D16、D15 ～ D8、D7 ～ D0 を使ってアクセスを行います。1 回にアクセスできるデータサイズは、8 ビット、16 ビット、32 ビットです。有効なバイト位置は、DQM0 ～ DQM3 信号により表します。

32 ビットバス空間では、ビッグエンディアンとリトルエンディアンで外部データ、SDRAM 制御信号（DQM0 ～ DQM3）の有効位置は異なります。図 12.9 にデータのエンディアンモードをリトルエンディアンにした場合のデータアライメント制御を、図 12.10 にデータのエンディアンモードをビッグエンディアンにした場合のデータアライメント制御を示します。

32 ビットバス空間では、8 ビット、16 ビット、32 ビットのデータサイズアクセスに対して連続アクセスが発生することがあります。1 転送要求により、1 回のバスアクセスが発生する転送が連続アクセスの対象となります。連続アクセスが発生する場合を図 12.9、図 12.10 に (r1) で示します。また、連続アクセスの動作例を図 12.15 に示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM3 / DQM2 / DQM1 / DQM0 / WE# / データバス (D31 D24 D23 D16 D15 D8 D7 D0)
8bit	4n	1回	1回目	8bit	4n	(r1)	7 0
	4n+1	1回	1回目	8bit	4n	(r1)	7 0
	4n+2	1回	1回目	8bit	4n	(r1)	7 0
	4n+3	1回	1回目	8bit	4n	(r1)	7 0
16bit	4n	1回	1回目	16bit	4n	(r1)	15 8 7 0
	4n+1	2回	1回目	8bit	4n		7 0
			2回目	8bit	4n		15 8
	4n+2	1回	1回目	16bit	4n	(r1)	15 8 7 0
	4n+3	2回	1回目	8bit	4n		7 0
			2回目	8bit	4n+4		15 8
32bit	4n	1回	1回目	32bit	4n	(r1)	31 24 23 16 15 8 7 0
	4n+1	3回	1回目	8bit	4n		7 0
			2回目	16bit	4n		23 16 15 8
			3回目	8bit	4n+4		31 24
	4n+2	2回	1回目	16bit	4n		15 8 7 0
			2回目	16bit	4n+4		31 24 23 16
	4n+3	2回	1回目	8bit	4n		7 0
			2回目	16bit	4n+4		23 16 15 8
			3回目	8bit	4n+4		31 24

【記号説明】

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 12.9　32 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM3	DQM2	DQM1	DQM0
							WE#			
							データバス			
							D31 D24	D23 D16	D15 D8	D7 D0
8bit	4n	1回	1回目	8bit	4n	(r1)	7 0			
	4n+1	1回	1回目	8bit	4n	(r1)		7 0		
	4n+2	1回	1回目	8bit	4n	(r1)			7 0	
	4n+3	1回	1回目	8bit	4n	(r1)				7 0
16bit	4n	1回	1回目	16bit	4n	(r1)	15 8	7 0		
	4n+1	2回	1回目	8bit	4n			15 8		
			2回目	8bit	4n				7 0	
	4n+2	1回	1回目	16bit	4n	(r1)			15 8	7 0
	4n+3	2回	1回目	8bit	4n					15 8
			2回目	8bit	4n+4		7 0			
32bit	4n	1回	1回目	32bit	4n	(r1)	31 24	23 16	15 8	7 0
	4n+1	3回	1回目	8bit	4n			31 24		
			2回目	16bit	4n				23 16	15 8
			3回目	8bit	4n+4		7 0			
	4n+2	2回	1回目	16bit	4n				31 24	23 16
			2回目	16bit	4n+4		15 8	7 0		
	4n+3	2回	1回目	8bit	4n					31 24
			2回目	16bit	4n+4		23 16	15 8		
			3回目	8bit	4n+4				7 0	

【記号説明】

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 12.10　32 ビットバス空間のデータアライメント（ビッグエンディアン）

(2) 16 ビットバス空間

SDCCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス（A27 ～ A0）が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス（A0）は無効（Low 固定）になります。

有効なバイト位置は、DQM0、DQM1 端子により表します。DQM2、DQM3 信号は使用しません。

16 ビットバス空間では、外部データは D15 ～ D8、D7 ～ D0、制御信号は DQM0、DQM1 を使ってアクセスを行います。1 回にアクセスできるデータサイズは、8 ビット、16 ビットです。

16 ビットバス空間では、ビッグエンディアンとリトルエンディアンでチップ外部のデータ、制御信号の有効位置は異なります。**図 12.11** にデータのエンディアンモードをリトルエンディアンにした場合のデータアライメント制御を、**図 12.12** にデータのエンディアンモードをビッグエンディアンにした場合のデータアライメント制御を示します。

16 ビットバス空間では、8 ビット、16 ビットのデータサイズアクセスに対して連続アクセスが発生することがあります。1 転送要求により、1 回のバスアクセスが発生する転送が連続アクセスの対象となります。連続アクセスが発生する場合を**図 12.11**、**図 12.12** に (r1) で示します。また、連続アクセスの動作例を**図 12.15** に示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 / DQM0 / WE# / データバス (D15 … D7 … D0)
8bit	4n	1回	1回目	8bit	4n	(r1)	7 … 0
	4n+1	1回	1回目	8bit	4n	(r1)	7 … 0
	4n+2	1回	1回目	8bit	4n+2	(r1)	7 … 0
	4n+3	1回	1回目	8bit	4n+2	(r1)	7 … 0
16bit	4n	1回	1回目	16bit	4n	(r1)	15 … 8 | 7 … 0
	4n+1	2回	1回目	8bit	4n		7 … 0
			2回目	8bit	4n+2		15 … 8
	4n+2	1回	1回目	16bit	4n+2	(r1)	15 … 8 | 7 … 0
	4n+3	2回	1回目	8bit	4n+2		7 … 0
			2回目	8bit	4n+4		15 … 8
32bit	4n	2回	1回目	16bit	4n		15 … 8 | 7 … 0
			2回目	16bit	4n+2		31 … 24 | 23 … 16
	4n+1	3回	1回目	8bit	4n		7 … 0
			2回目	16bit	4n+2		23 … 16 | 15 … 8
			3回目	8bit	4n+4		31 … 24
	4n+2	2回	1回目	16bit	4n+2		15 … 8 | 7 … 0
			2回目	16bit	4n+4		31 … 24 | 23 … 16
	4n+3	3回	1回目	8bit	4n+2		7 … 0
			2回目	16bit	4n+4		23 … 16 | 15 … 8
			3回目	8bit	4n+6		31 … 24

【記号説明】

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 12.11　16 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 / DQM0 / WE# / データバス (D15 … D7 … D0)
8bit	4n	1回	1回目	8bit	4n	(r1)	7 … 0
	4n+1	1回	1回目	8bit	4n	(r1)	7 … 0
	4n+2	1回	1回目	8bit	4n+2	(r1)	7 … 0
	4n+3	1回	1回目	8bit	4n+2	(r1)	7 … 0
16bit	4n	1回	1回目	16bit	4n	(r1)	15 … 8 | 7 … 0
	4n+1	2回	1回目	8bit	4n		15 … 8
			2回目	8bit	4n+2		7 … 0
	4n+2	1回	1回目	16bit	4n+2	(r1)	15 … 8 | 7 … 0
	4n+3	2回	1回目	8bit	4n+2		15 … 8
			2回目	8bit	4n+4		7 … 0
32bit	4n	2回	1回目	16bit	4n		31 … 24 | 23 … 16
			2回目	16bit	4n+2		15 … 8 | 7 … 0
	4n+1	3回	1回目	8bit	4n		31 … 24
			2回目	16bit	4n+2		23 … 16 | 15 … 8
			3回目	8bit	4n+4		7 … 0
	4n+2	2回	1回目	16bit	4n+2		31 … 24 | 23 … 16
			2回目	16bit	4n+4		15 … 8 | 7 … 0
	4n+3	3回	1回目	8bit	4n+2		31 … 24
			2回目	16bit	4n+4		23 … 16 | 15 … 8
			3回目	8bit	4n+6		7 … 0

【記号説明】

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 12.12　16 ビットバス空間のデータアライメント（ビッグエンディアン）

(3) 8 ビットバス空間

SDCCR.BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス（A27 ～ A0）が 8 ビット単位のアドレス信号として有効になります。

8 ビットバス空間では、エンディアンにかかわらず、外部データは D7 ～ D0、制御信号は DQM0 信号を使って、アクセスを行います。1 回にアクセスできるデータサイズは 8 ビットで、16 ビットアクセスでは 2 回、32 ビットアクセスでは 4 回の 8 ビットアクセスを実行します。

図12.13にデータのエンディアンモードをリトルエンディアンにした場合のデータアライメントと制御を、**図** 12.14 にデータのエンディアンモードをビッグエンディアンにした場合のデータアライメント制御を示します。

8 ビットバス空間では、8 ビットのデータサイズアクセスに対して連続アクセスが発生することがあります。1 転送要求により、1 回のバスアクセスが発生する転送が連続アクセスの対象となります。連続アクセスが発生する場合を**図** 12.13、**図** 12.14 に（r1）で示します。また、連続アクセスの動作例を**図** 12.15 に示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 / DQM0 / WE# / データバス D15 D7 D0
8bit	4n	1回	1回目	8bit	4n	(r1)	7 0
	4n+1	1回	1回目	8bit	4n+1	(r1)	7 0
	4n+2	1回	1回目	8bit	4n+2	(r1)	7 0
	4n+3	1回	1回目	8bit	4n+3	(r1)	7 0
16bit	4n	2回	1回目	8bit	4n		7 0
			2回目	8bit	4n+1		15 8
	4n+1	2回	1回目	8bit	4n+1		7 0
			2回目	8bit	4n+2		15 8
	4n+2	2回	1回目	8bit	4n+2		7 0
			2回目	8bit	4n+3		15 8
	4n+3	2回	1回目	8bit	4n+3		7 0
			2回目	8bit	4n+4		15 8
32bit	4n	4回	1回目	8bit	4n		7 0
			2回目	8bit	4n+1		15 8
			3回目	8bit	4n+2		23 16
			4回目	8bit	4n+3		31 24
	4n+1	4回	1回目	8bit	4n+1		7 0
			2回目	8bit	4n+2		15 8
			3回目	8bit	4n+3		23 16
			4回目	8bit	4n+4		31 24
	4n+2	4回	1回目	8bit	4n+2		7 0
			2回目	8bit	4n+3		15 8
			3回目	8bit	4n+4		23 16
			4回目	8bit	4n+5		31 24
	4n+3	4回	1回目	8bit	4n+3		7 0
			2回目	8bit	4n+4		15 8
			3回目	8bit	4n+5		23 16
			4回目	8bit	4n+6		31 24

【記号説明】

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 12.13　8 ビットバス空間のデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 / DQM0 / WE# / データバス D15 D7 D0
8bit	4n	1回	1回目	8bit	4n	(r1)	7 0
	4n+1	1回	1回目	8bit	4n+1	(r1)	7 0
	4n+2	1回	1回目	8bit	4n+2	(r1)	7 0
	4n+3	1回	1回目	8bit	4n+3	(r1)	7 0
16bit	4n	2回	1回目	8bit	4n		15 8
			2回目	8bit	4n+1		7 0
	4n+1	2回	1回目	8bit	4n+1		15 8
			2回目	8bit	4n+2		7 0
	4n+2	2回	1回目	8bit	4n+2		15 8
			2回目	8bit	4n+3		7 0
	4n+3	2回	1回目	8bit	4n+3		15 8
			2回目	8bit	4n+4		7 0
32bit	4n	4回	1回目	8bit	4n		31 24
			2回目	8bit	4n+1		23 16
			3回目	8bit	4n+2		15 8
			4回目	8bit	4n+3		7 0
	4n+1	4回	1回目	8bit	4n+1		31 24
			2回目	8bit	4n+2		23 16
			3回目	8bit	4n+3		15 8
			4回目	8bit	4n+4		7 0
	4n+2	4回	1回目	8bit	4n+2		31 24
			2回目	8bit	4n+3		23 16
			3回目	8bit	4n+4		15 8
			4回目	8bit	4n+5		7 0
	4n+3	4回	1回目	8bit	4n+3		31 24
			2回目	8bit	4n+4		23 16
			3回目	8bit	4n+5		15 8
			4回目	8bit	4n+6		7 0

【記号説明】

SDAMOD.BE=1で連続アクセスが許可、かつEXDMACのシングルアドレスモードブロック転送あるいはクラスタ転送時の場合、(r1)で表示されたアクセスが連続アクセスの対象となります。

図 12.14　8 ビットバス空間のデータアライメント（ビッグエンディアン）

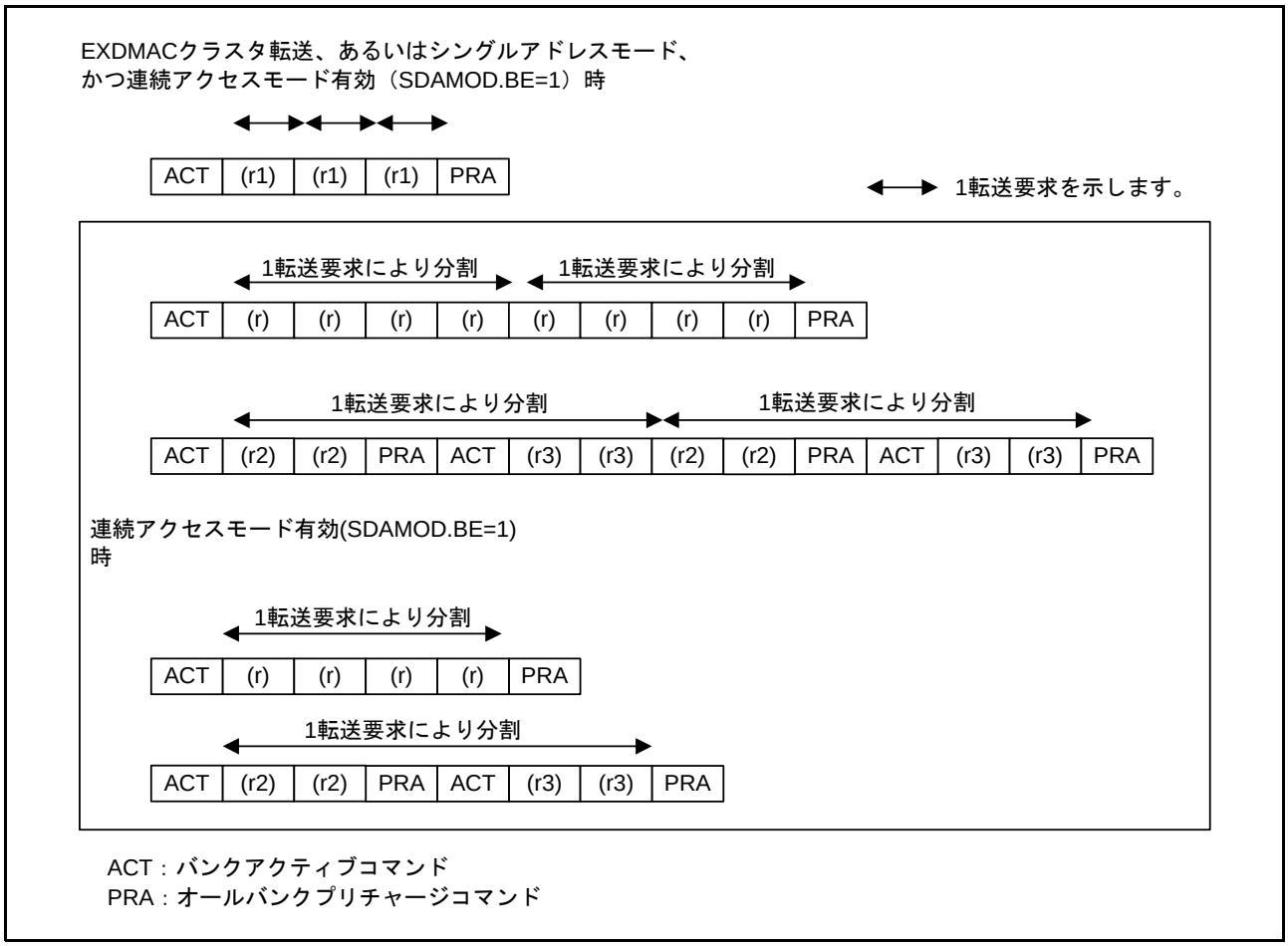


図 12.15　連続アクセスの動作例

12.5 CS エリアコントローラの動作説明

12.5.1 CS 領域のタイミング

タイミング図に記載する各サイクルの説明を以下に示します。

CSC（CS エリアコントローラ）は外部バスクロック（BCLK）に同期して動作します。したがって、CSC のレジスタで設定したウェイト数などは、BCLK でカウントされます。以下、特に断らない限り、外部バスクロック (BCLK) と BCLK 端子出力は、同一周波数であるものとします。

① Tw1 ～ Twn（ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト）

外部バスアクセス開始からストローブ信号有効サイクルの 1 サイクル前までのサイクル期間です。0 ～ 31 サイクルを選択できます。この期間内に CSn#、RD#、WRn# 信号が、ウェイト設定に応じて “Low” アサートされます。アサートするタイミングは、CSn ウェイト制御レジスタ 2（CSnWCR2）の CS アサートウェイト（CSON）、RD アサートウェイト（RDON）、WR アサートウェイト（WRON）、書き込みデータ出力ウェイト（WDON）の各選択ビットによって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ～ 7 サイクルを選択可能です。選択可能なサイクル数は、リード／ライトサイクルウェイトのサイクル数以内です。

外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になります。ただし、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合の 2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては BCLK 端子出力の立ち下がり時点になる可能性があります（**図 12.24 ～図 12.28** 参照）。

② Tend（ストローブ信号有効サイクル）

Tend はノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが “0” の場合、バスアクセス開始のサイクルがストローブ信号有効サイクルとなります。ストローブ信号有効サイクルの次のサイクルで RD#、WRn# 信号がネゲートされます。リードアクセスの場合は、読み出しデータのサンプルサイクルとなります。

外部ウェイト許可の場合、ストローブ信号有効サイクル時点でウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。（Tend）は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスで 1 回目のストローブ信号有効サイクルの場合、ライトアクセス時の書き込みデータ出力延長サイクルが設定されている（“0” 以外の値）場合（④）を除いて、次のサイクル 2 回目以降のページアクセス（⑤）が開始されます。RD アサートウェイト、WR アサートウェイト選択ビットの設定が “0” 以外の場合、次のサイクルで RD#、WRn# 信号がネゲートされます。“0” の場合、アサートが継続されます。また、CSn# 信号はネゲートされず、アサートを継続します。

③ Tn1 ～ Tnm（CS 延長サイクル）

ノーマルアクセスの場合、ストローブ信号有効サイクル（Tend）の次のサイクルから CSn# 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、CSn ウェイト制御レジスタ 2（CSnWCR2）の読み出し時 CS 延長サイクル選択ビット（CSROFF）、ライトアクセス時、書き込み時 CS 延長サイクル選択ビット（CSWOFF）によって制御可能です。

サイクル数は、ストローブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、最後のストローブ信号有効サイクルから CSn# 信号をネゲートするまでのサイクル期間です。

ライトアクセス時は、書き込みデータ出力延長サイクル選択ビット (WDOFF）によって、アドレス、出力データが延長されます。

④ Tdw1 ～ Tdwn（書き込みデータ出力延長サイクル）

ライトアクセス時、書き込みデータ出力延長ウェイトが “0” 以外の設定の場合、書き込みデータ出力延長サイクルがストローブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル（③）の期間内に挿入されます。

ページアクセスの場合、ストローブ信号有効サイクル（Tend）と後続のページアクセスの間、および CS 延長サイクル（③）の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn# 信号はネゲートされます。

⑤ Tpw1 ～ Tpwn（ページリードサイクルウェイト、ページライトサイクルウェイト）

ページアクセスの 2 回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1 回目のアクセスと同様に有効となります。RD アサートについては、ページリードアクセスモード（CSnMOD.PRMOD ビット）の設定によって動作が異なります。

CDnMOD.PRMOD ビット = 0 の場合 : 1 回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CDnMOD.PRMOD ビット = 1 の場合 : ノーマルアクセス互換モードと同様に、RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

⑥ Tr1 ～ Trn（リカバリサイクル）

バスサイクルの終了時点（CSn# 信号のネゲート時点）からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSn リカバリサイクル設定レジスタ（CSnREC）のリードリカバリ（RRCV）、ライトリカバリ（WRCV）設定ビットによって制御可能です。各リカバリサイクル数は、バスサイクルの終了時点（CSn# 信号のネゲート時点）を起点に数え、0 ～ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「12.5.4 リカバリサイクルの挿入」を参照してください。

(1) ノーマルアクセス

CSnMOD.PRENB ビットを “0”（ページリードアクセス禁止）、CSnMOD.PWENB ビットを “0”（ページライトアクセス禁止）にした場合、すべてのバスアクセスはノーマルアクセスを行います。

CSnMOD.PRENB ビットを “1”（ページリードアクセス許可）、CSnMOD.PWENB ビットを “1”（ページライトアクセス許可）にした場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

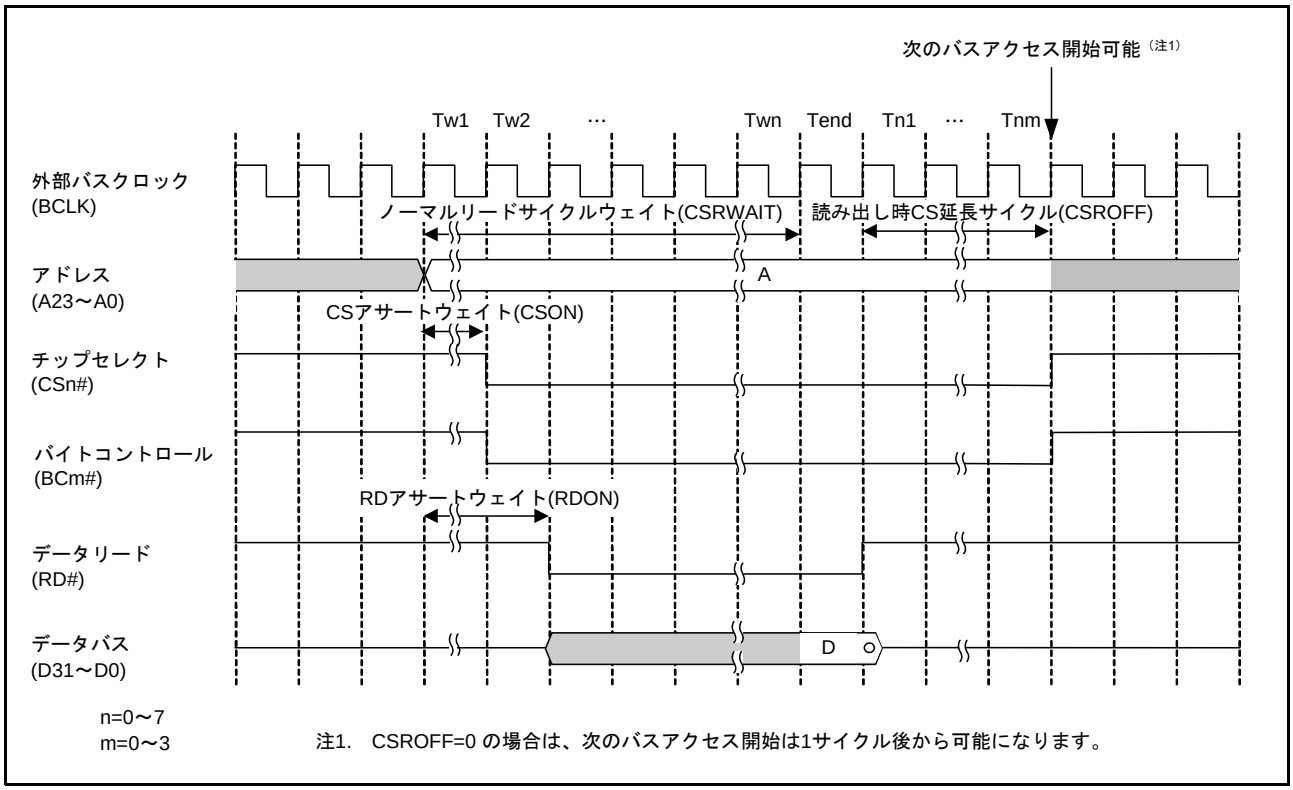


図 12.16 バスタイミング（ノーマルリード）

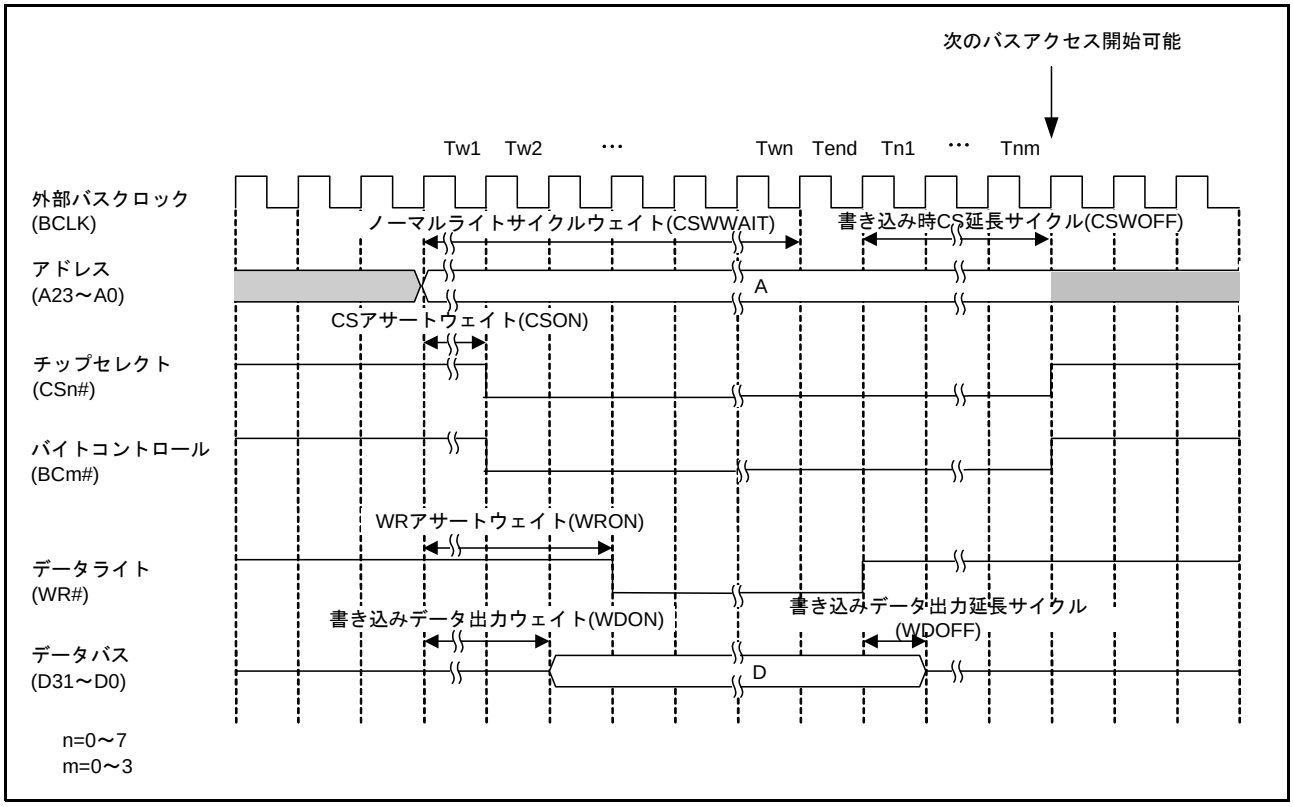


図 12.17 バスタイミング（ノーマルライト）

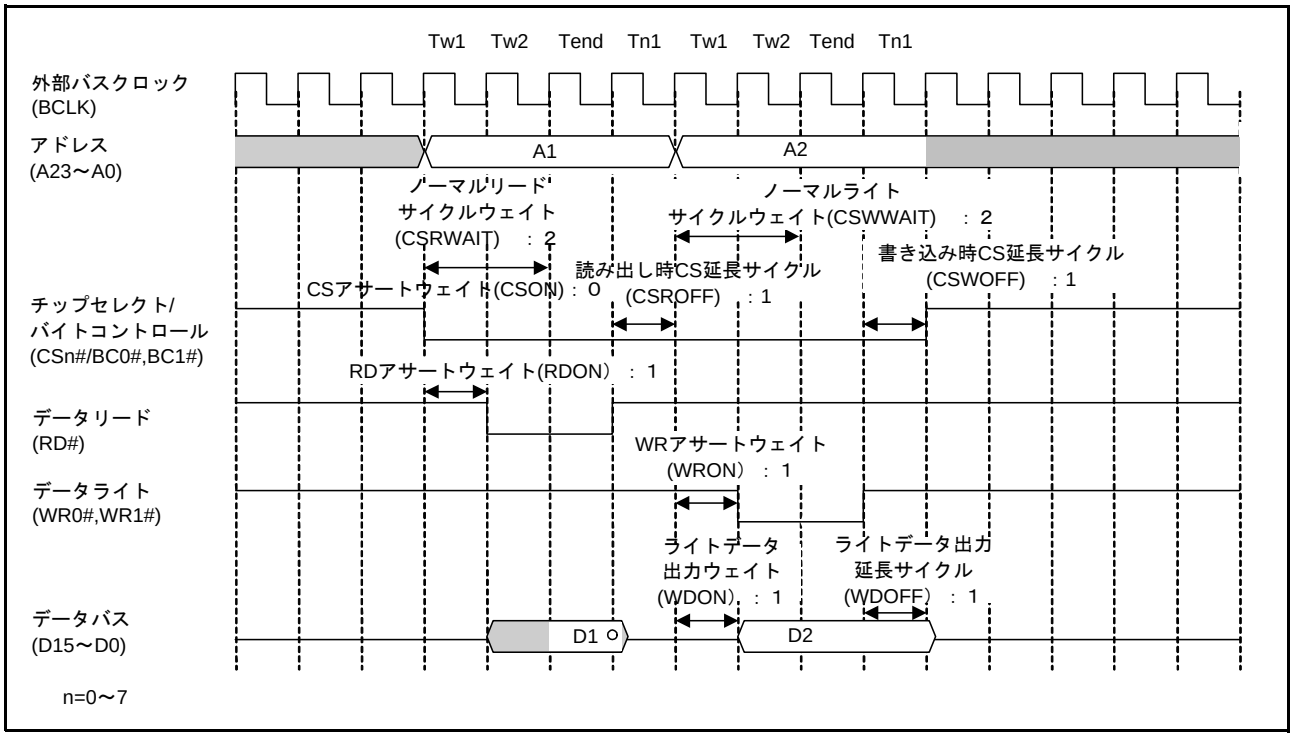


図 12.18 ノーマルアクセスの動作例（リード、ライト）

バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作（①から④）を繰り返します。図 12.19、図 12.20 に、1 転送要求に対して 2 回バスアクセスが発生する場合の動作例を示します。各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

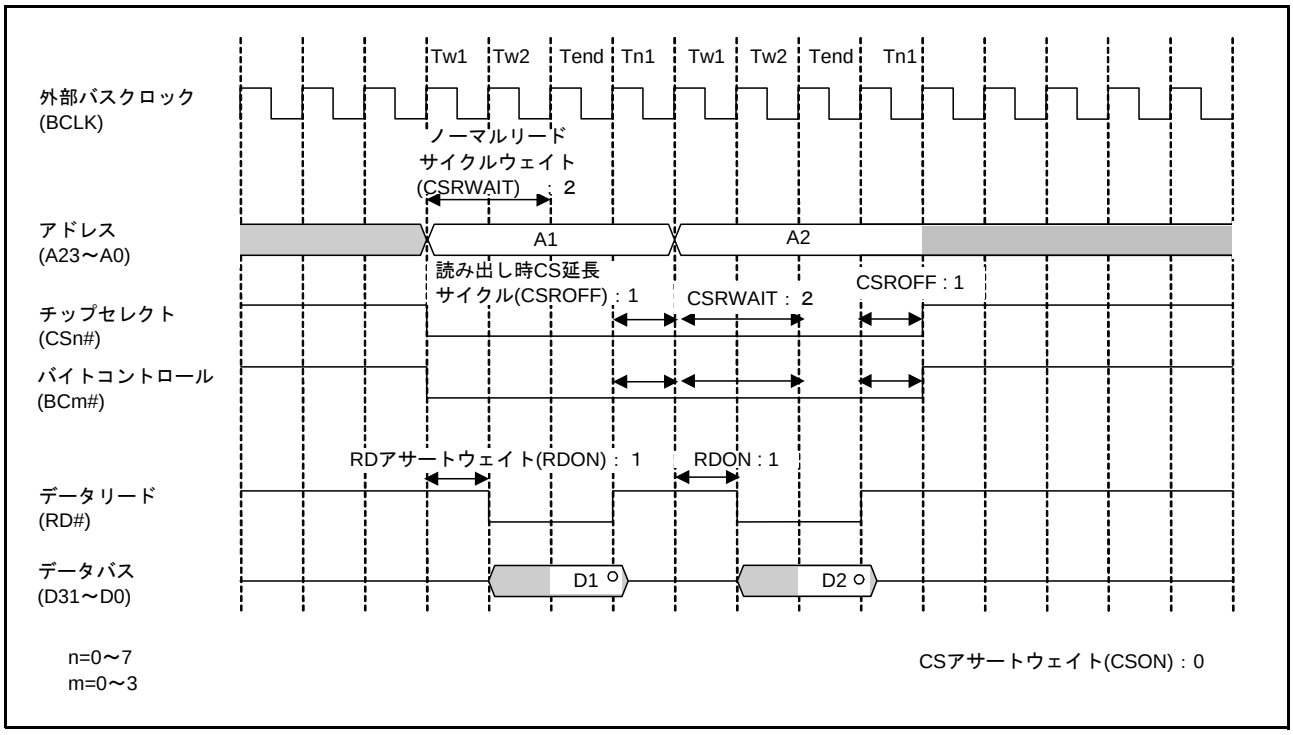


図 12.19　ノーマルリードアクセスの動作例（1 転送要求に対して 2 回バスアクセスが発生する場合）

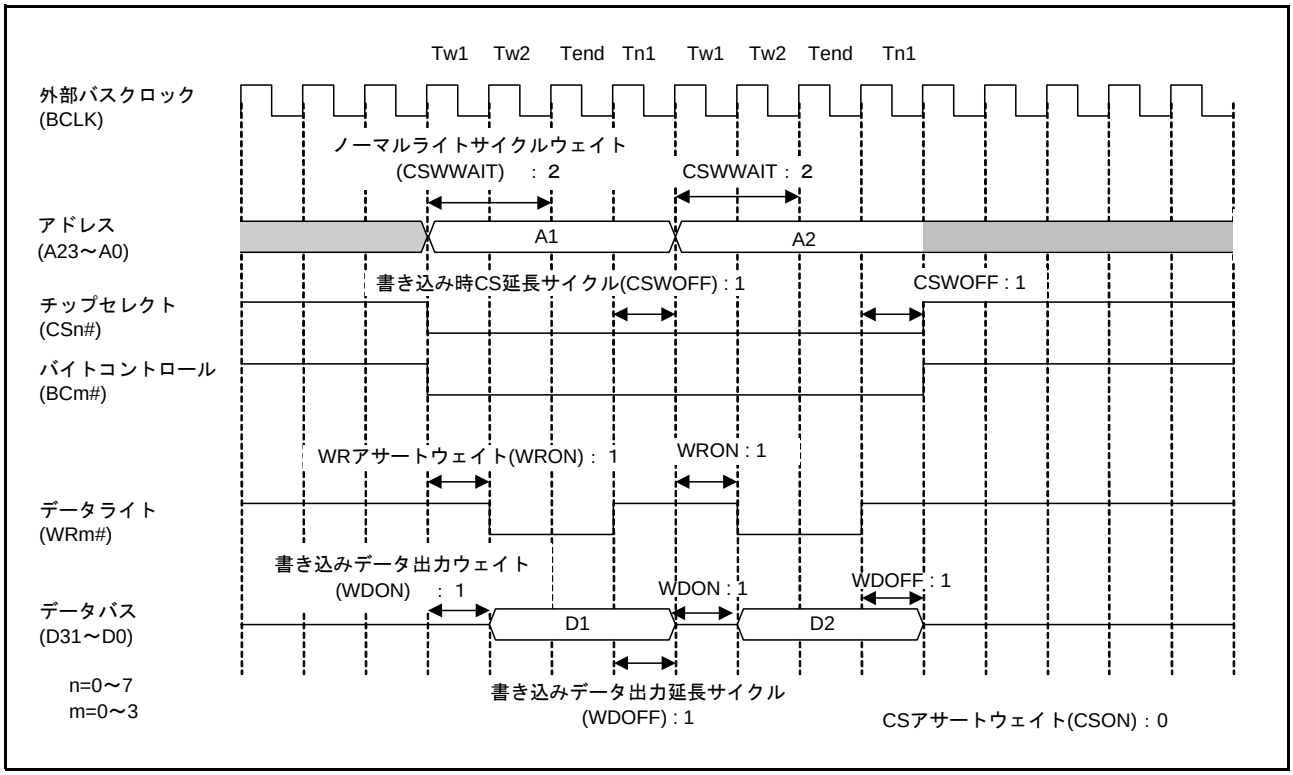


図 12.20　ノーマルライトアクセスの動作例
（1 転送要求に対して 2 回バスアクセスが発生する場合：1 ライトストローブモード時）

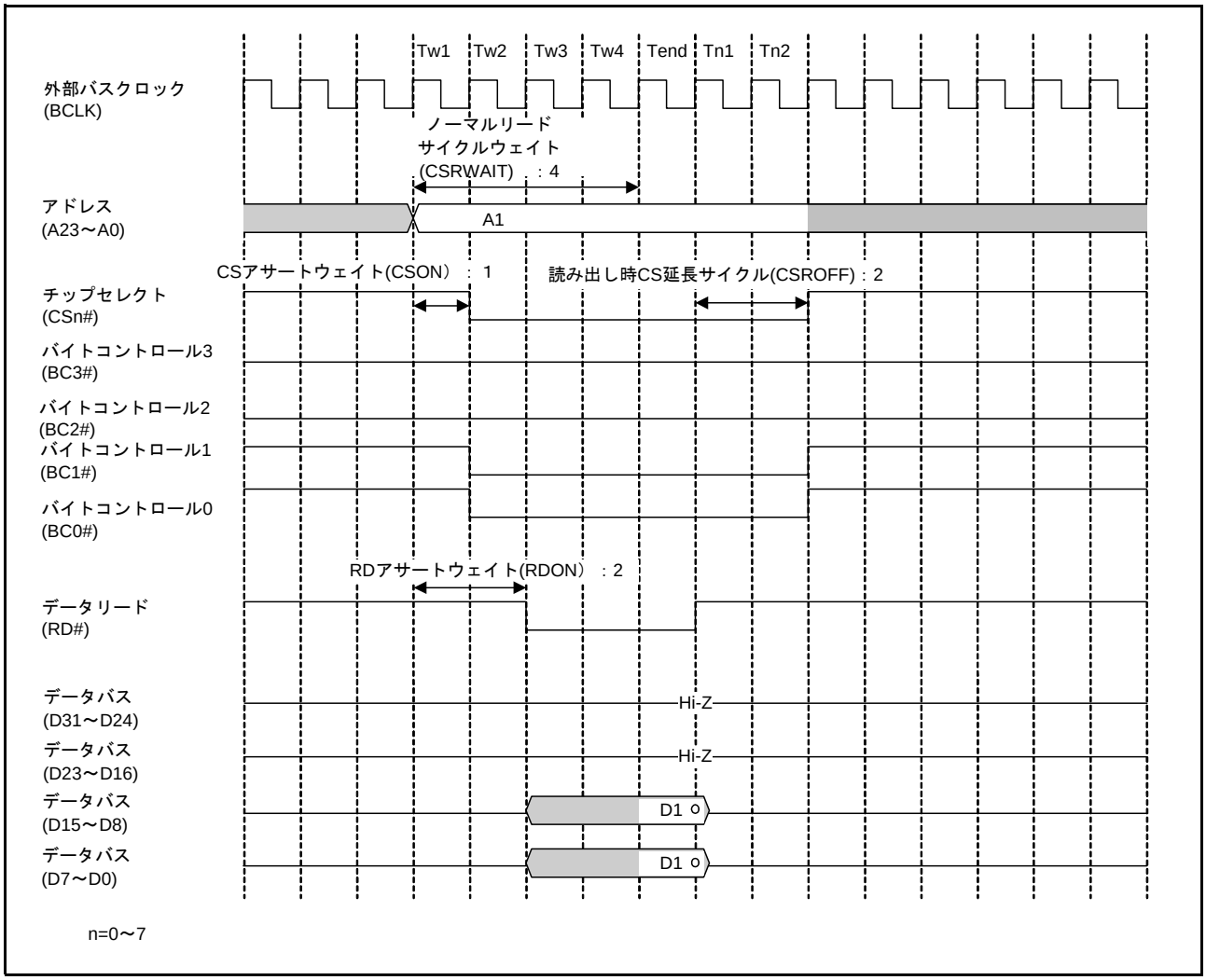


図 12.21 ノーマルリードアクセスの動作例（32 ビットバス空間に対して 16 ビットアクセスした場合）

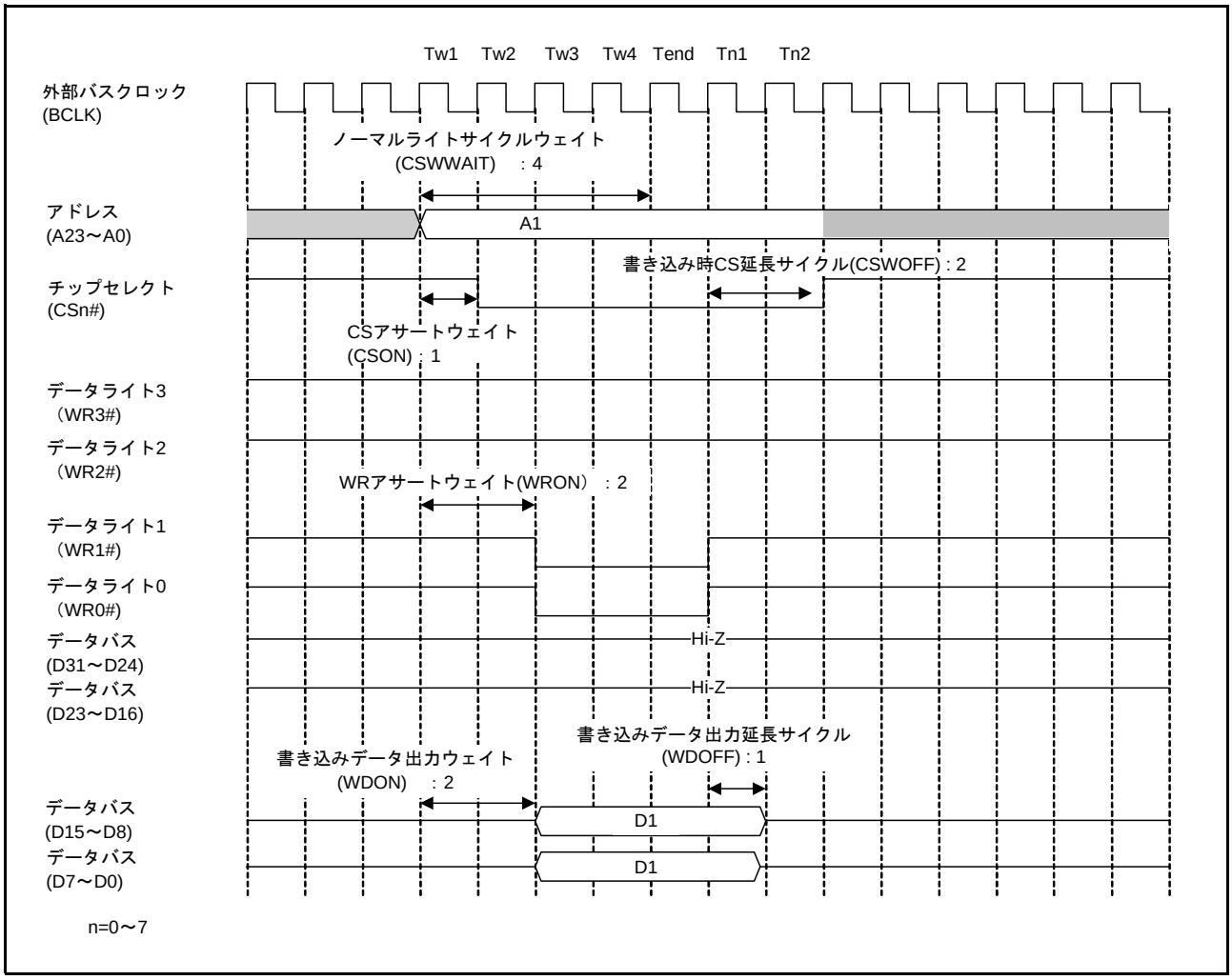


図 12.22 ノーマルライトアクセスの動作例
（32 ビットバス空間に対して 16 ビットアクセスした場合：バイトストローブモード時）

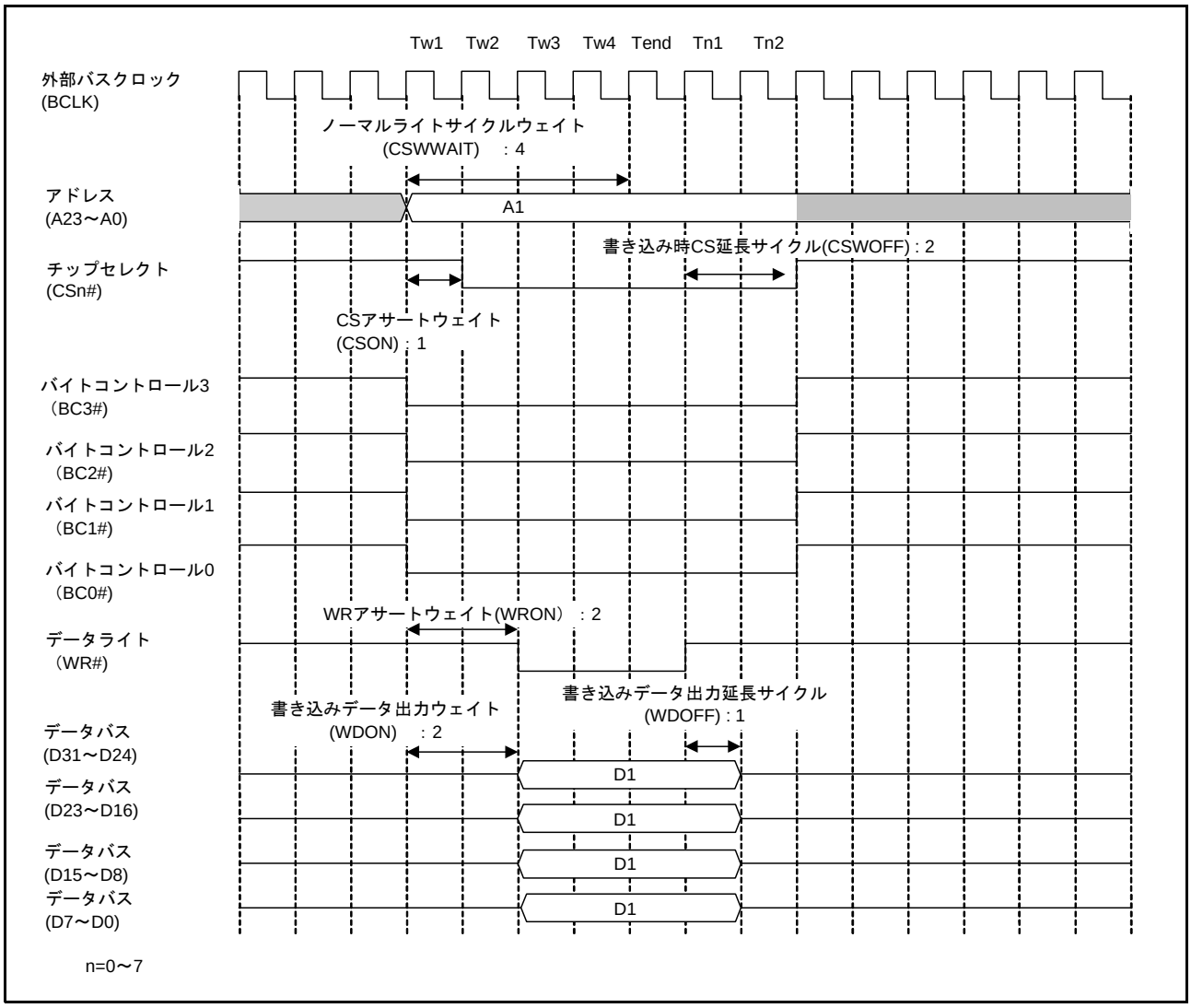


図 12.23 ノーマルライトアクセスの動作例
（32 ビットバス空間に対して 32 ビットアクセスした場合：1 ライトストローブモード時）

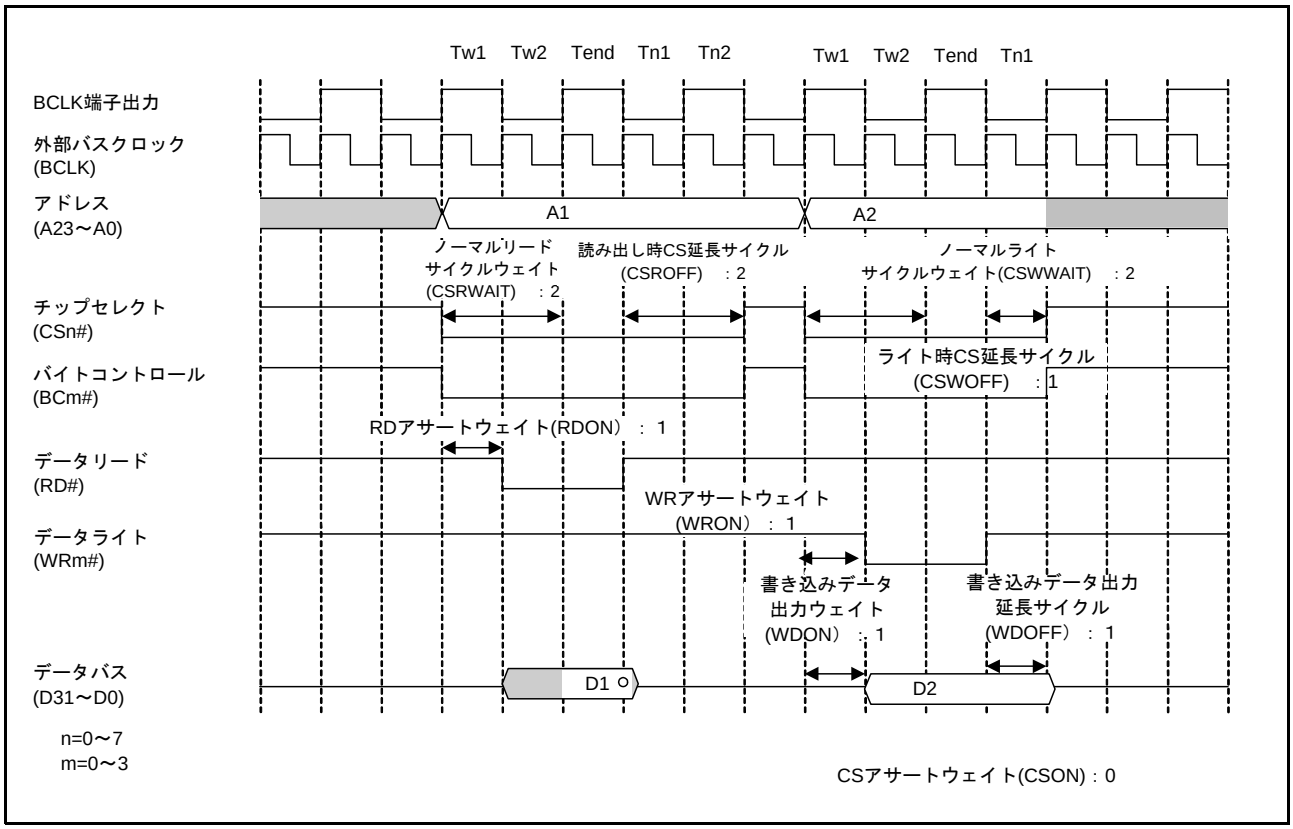


図 12.24　ノーマルアクセスの動作例（BCLK 端子出力選択ビットで BCLK×1/2 を設定した場合）

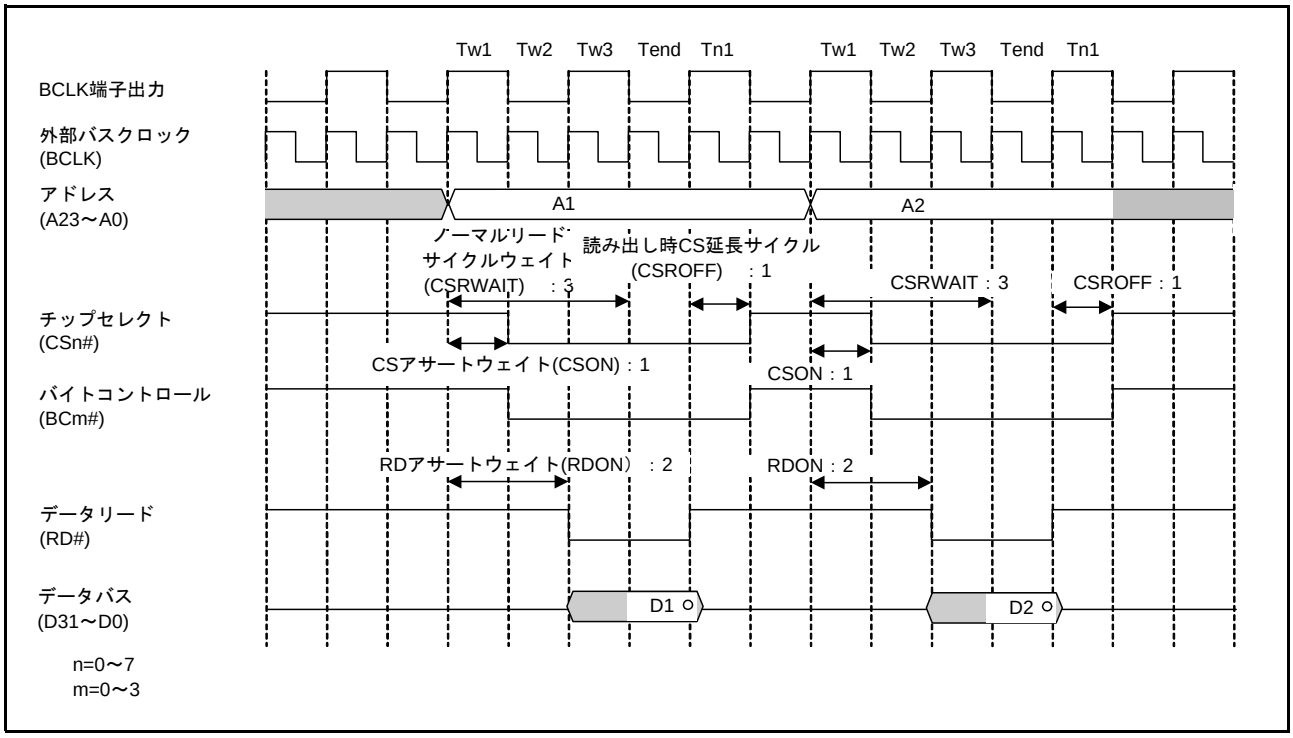


図 12.25　ノーマルリードアクセスの動作例（BCLK 端子出力選択ビットで BCLK×1/2 を設定した場合）

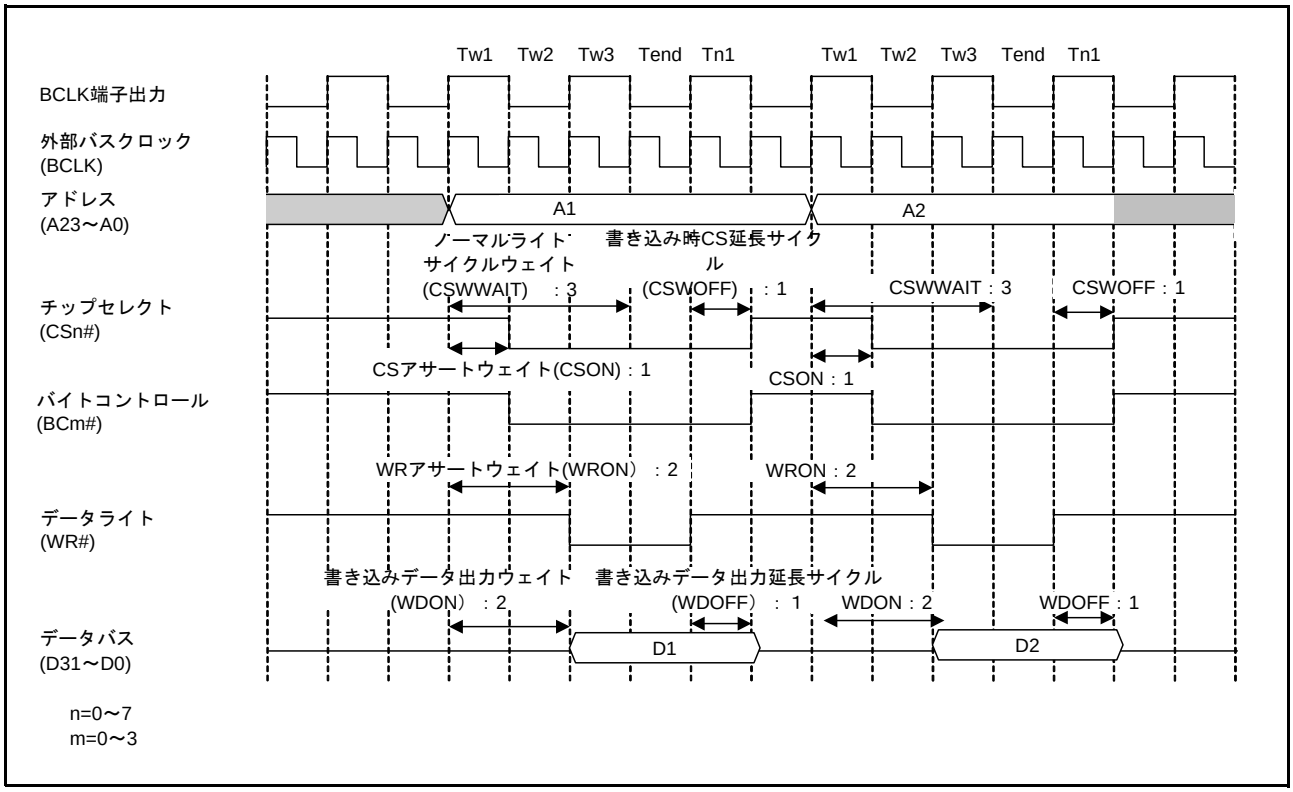


図 12.26 ノーマルライトアクセスの動作例（BCLK 端子出力選択ビットで BCLK×1/2 を設定した場合）

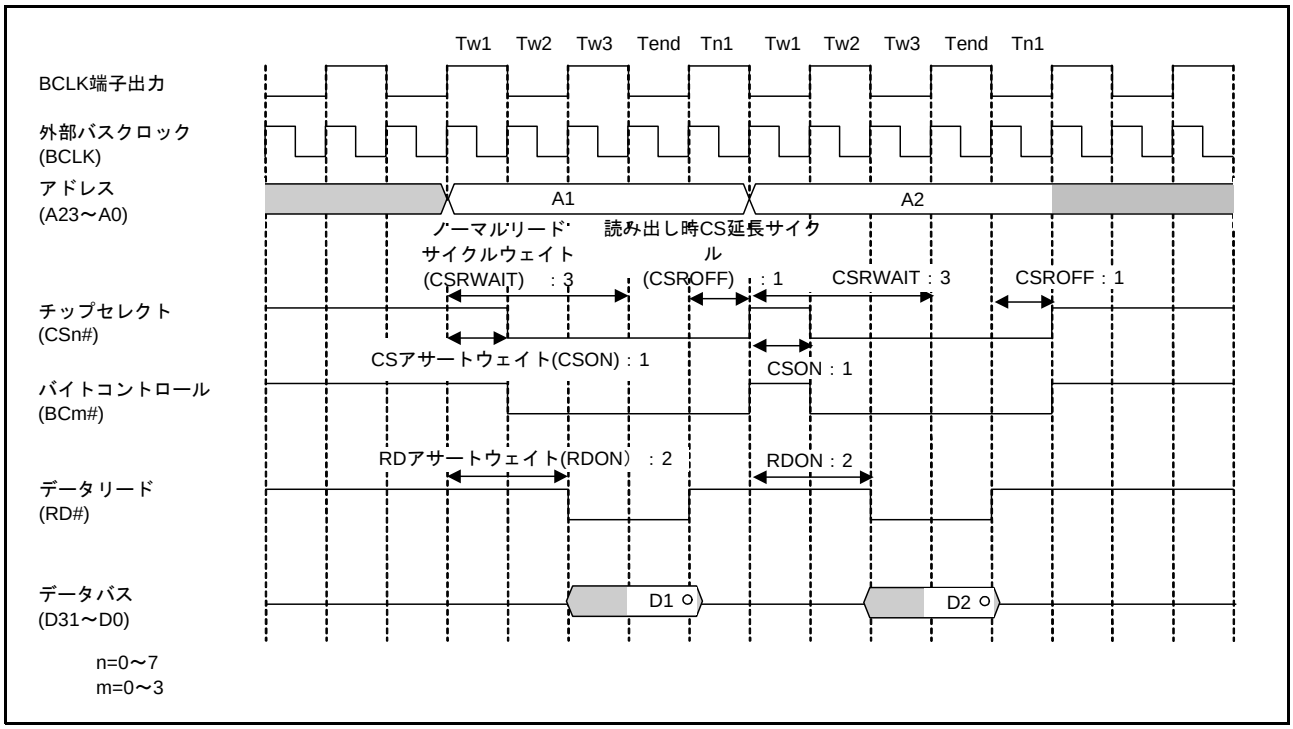


図 12.27 ノーマルリードアクセスの動作例
（BCLK 端子出力選択ビットで BCLK×1/2 を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合）

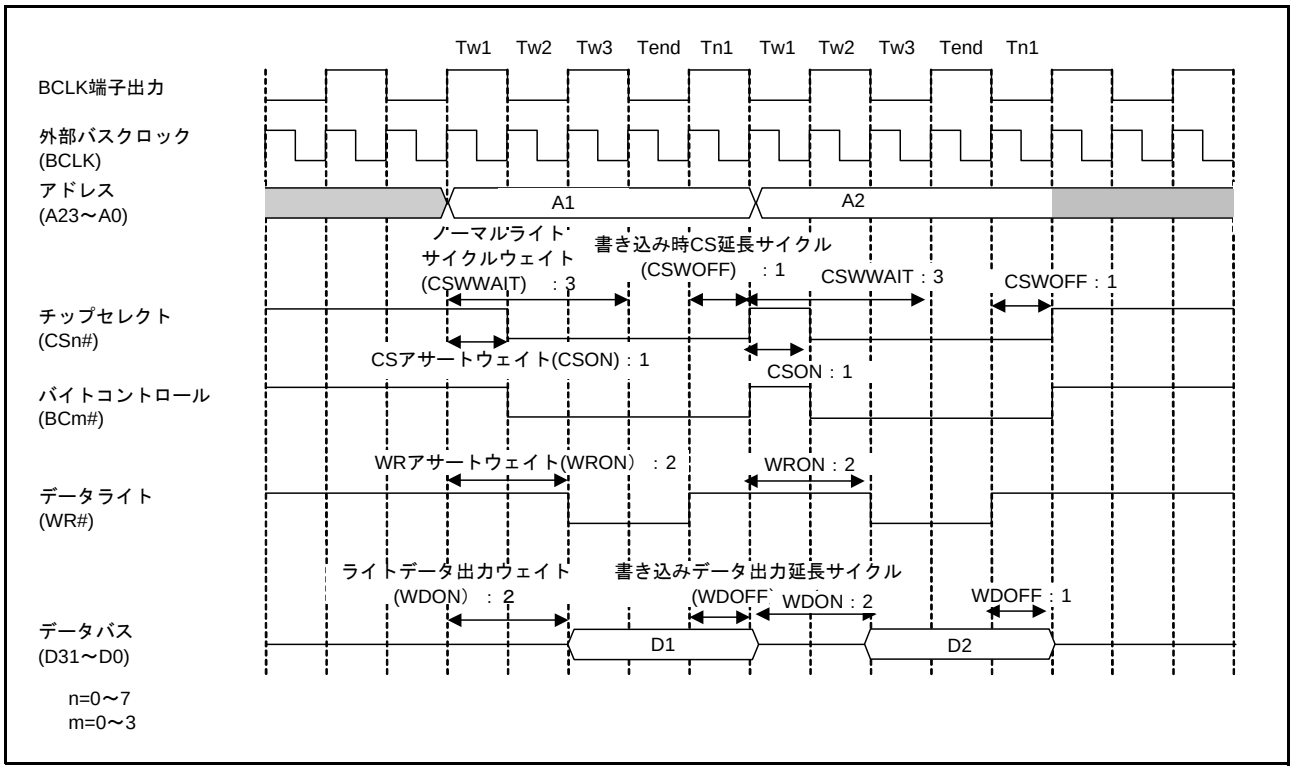


図 12.28 ノーマルライトアクセスの動作例
（BCLK 端子出力選択ビットで BCLK×1/2 を設定した場合、1 転送要求に対して 2 回バスアクセスが発生する場合）

(2) ページアクセス

CSnMOD.PRENB ビットを “1”（ページリードアクセス許可）、CSnMOD.PWENB ビット = を “1”（ページライトアクセス許可）にした場合、ページアクセスにあてはまるバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ただし、分割されたアクセスが非アラインアクセスになる場合、および 32 ビット境界を越えるアクセスの場合、ページアクセスの対象とはならずノーマルアクセスとなります。ページアクセスが発生する条件の詳細は、図 12.5 ～図 12.8 を参照してください。

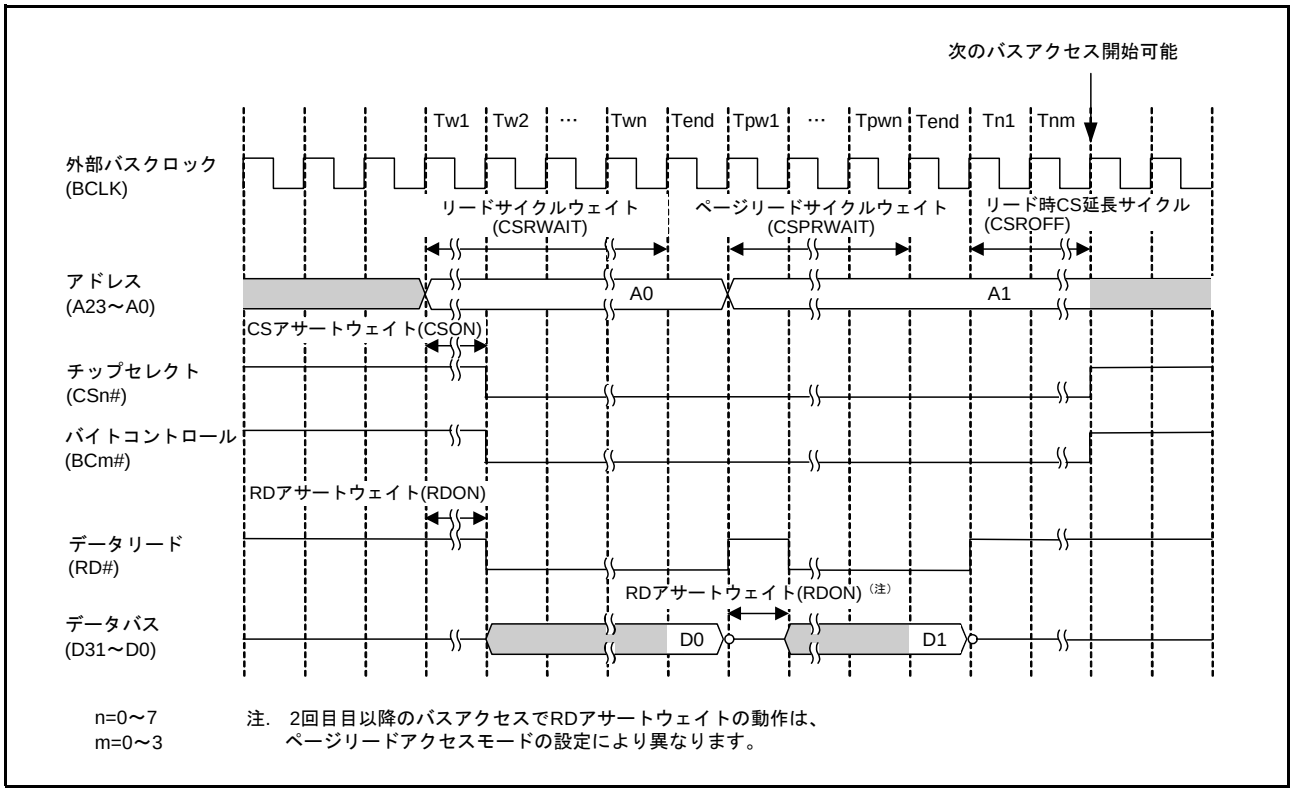


図 12.29 ページリードアクセスタイミング

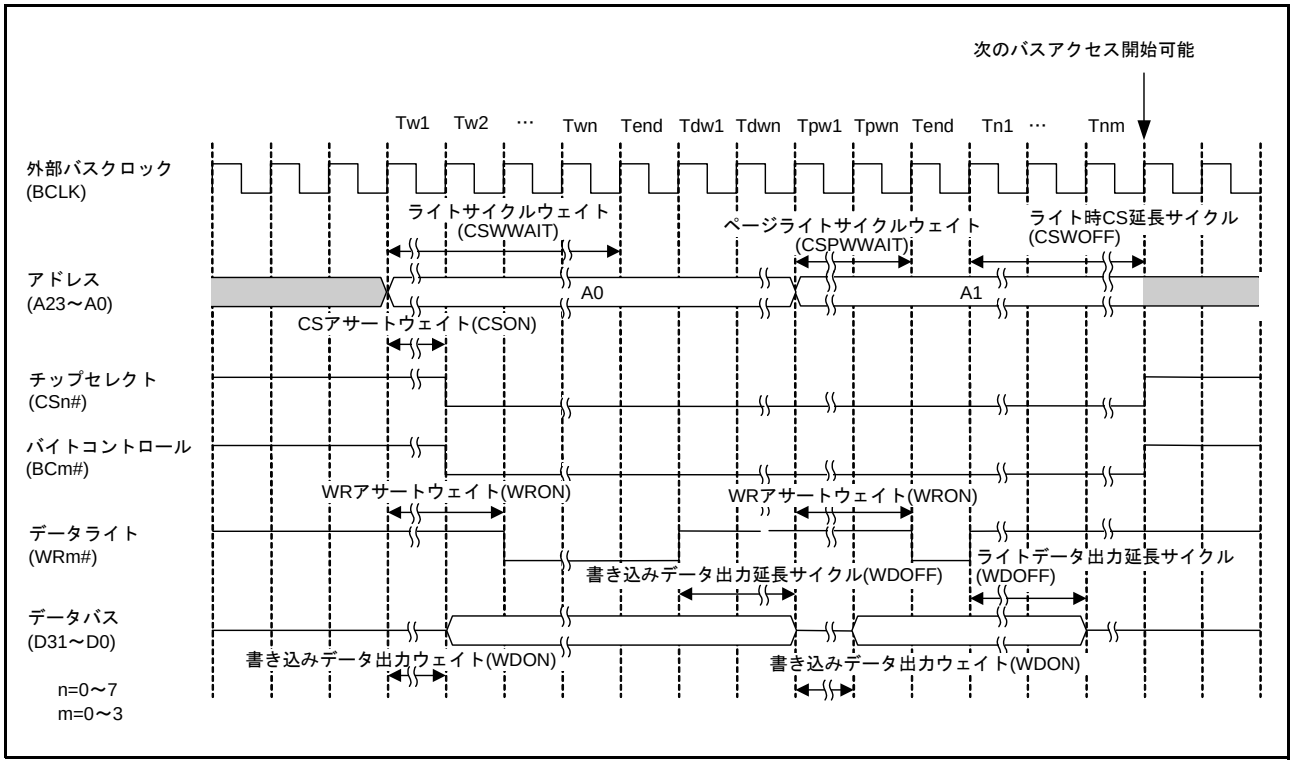


図 12.30 ページライトアクセスタイミング

図 12.31、図 12.32 に 16 ビットバス空間に対して 32 ビットバスアクセスした場合の動作例を示します。各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様にあわせてレジスタの値は設定してください。

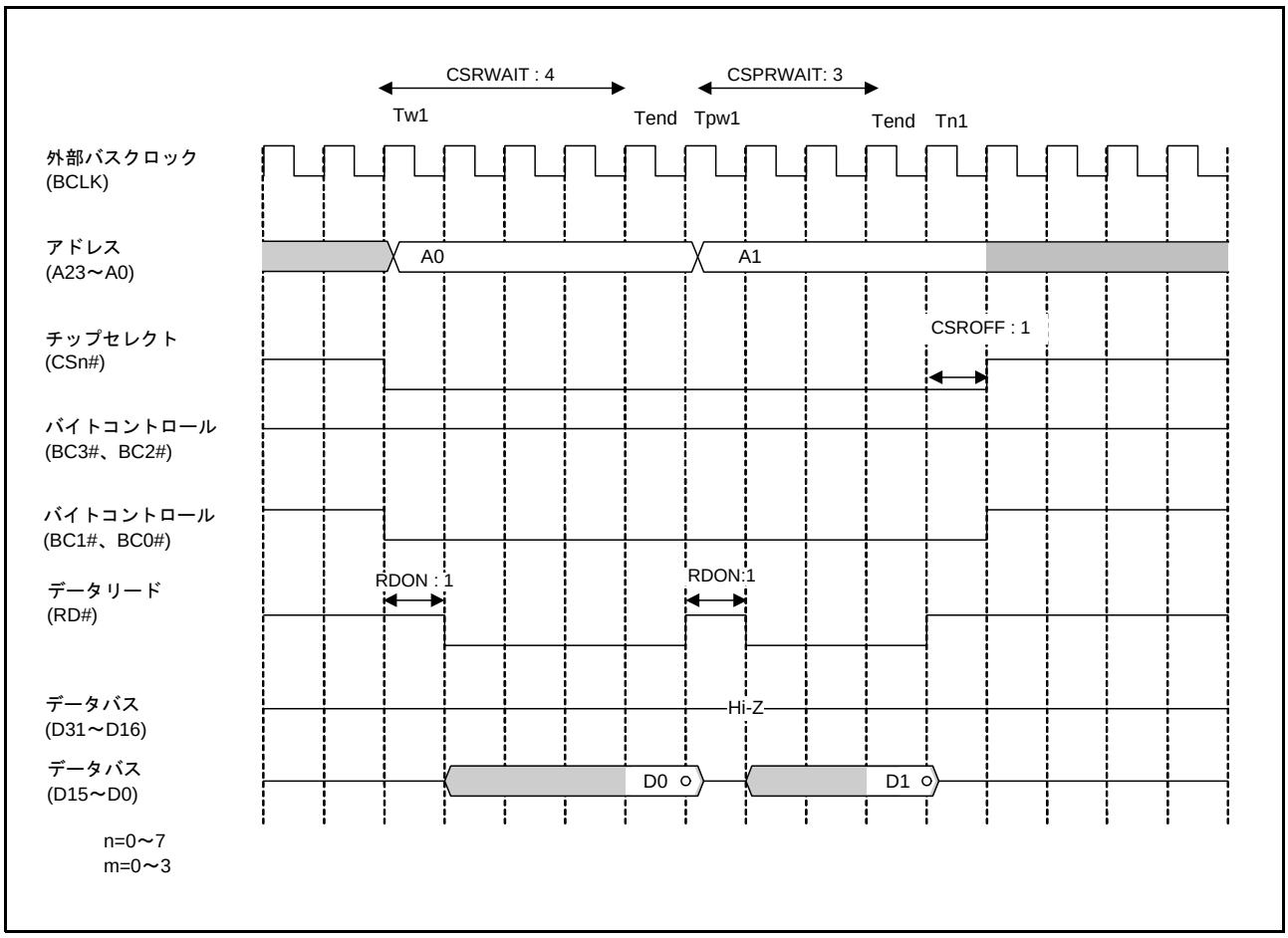


図 12.31 ページリードアクセスの動作例（16 ビットバス空間に対して 32 ビットアクセスした場合）

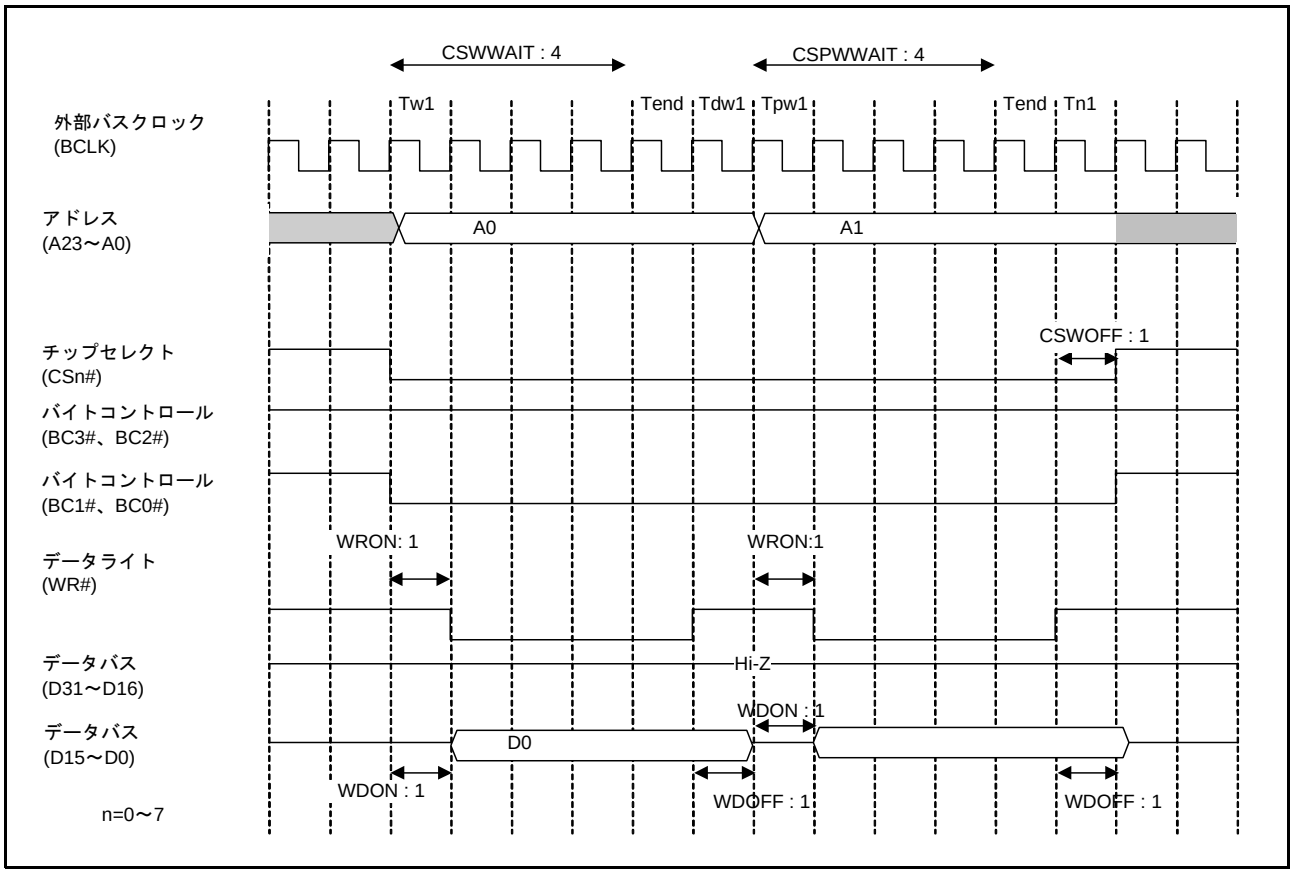


図 12.32　ページライトアクセスの動作例
（16 ビットバス空間に対して 32 ビットアクセスした場合：1 ライトストローブモード時）

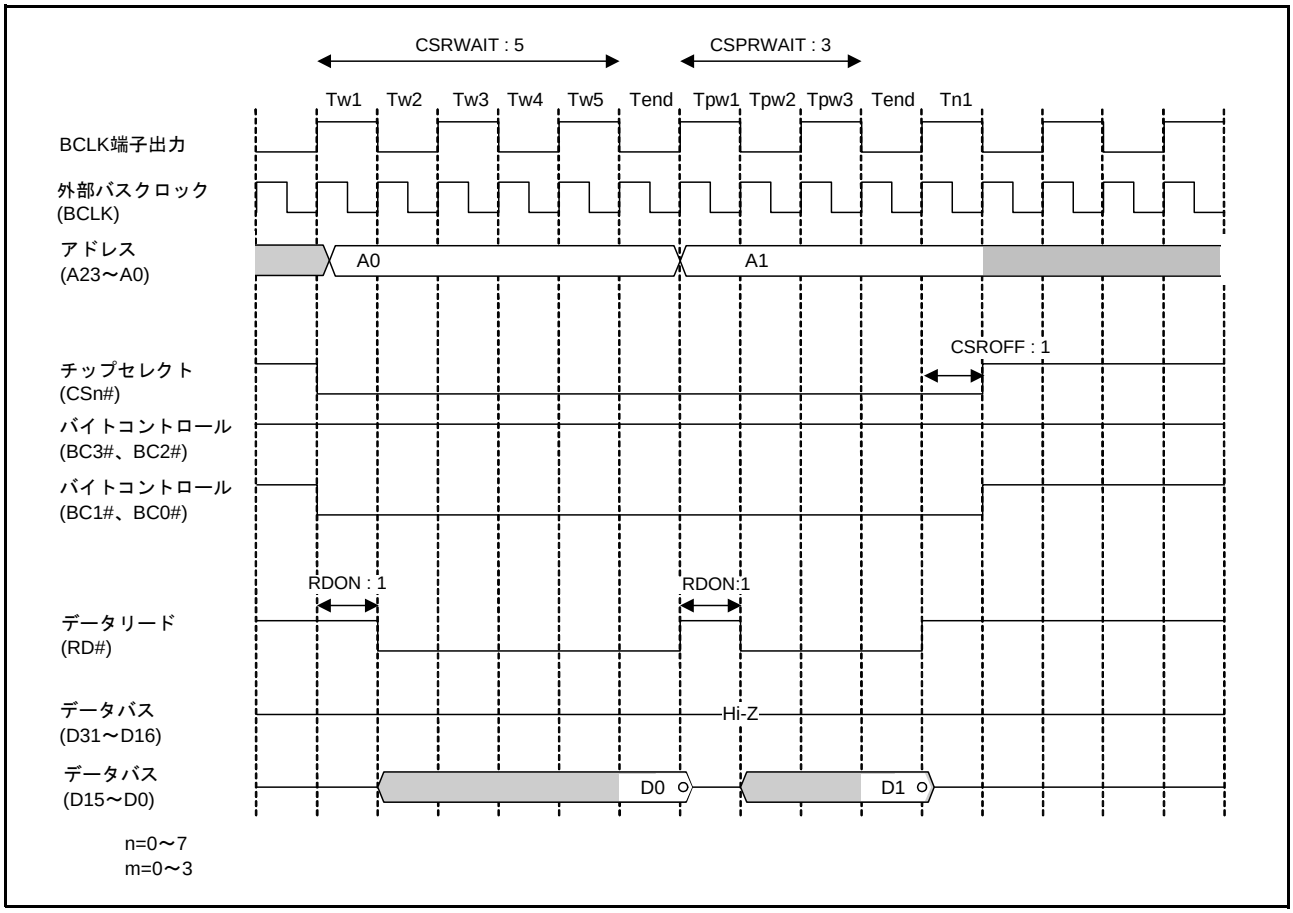


図 12.33 ページリードアクセスの動作例
（BCLK 端子出力 : BCLK ＝1 : 2、1 転送要求に対して 2 回バスアクセスが発生する場合）

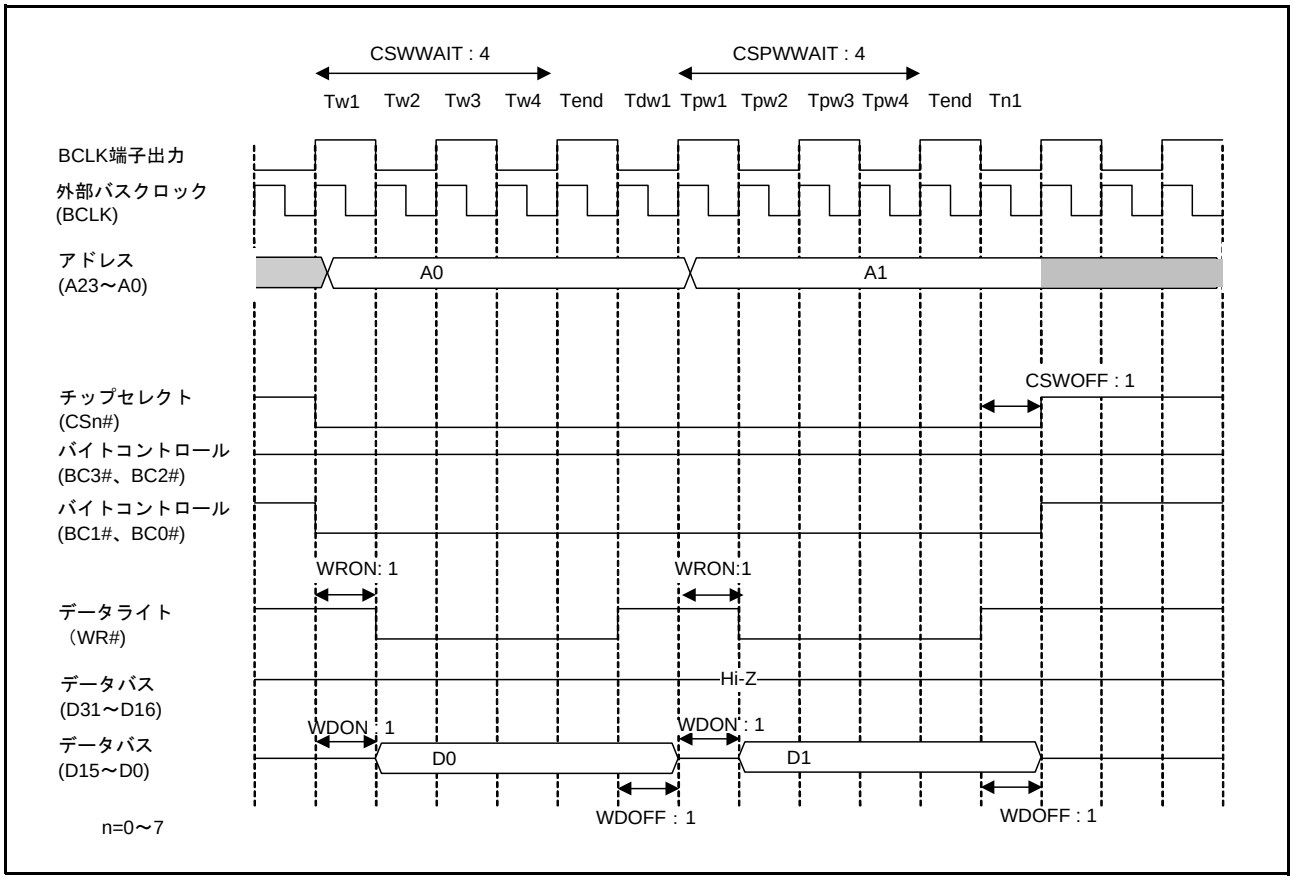


図 12.34 ページライトアクセスの動作例
（BCLK 端子出力 : BCLK = 1 : 2、1 転送要求に対して 2 回バスアクセスが発生する場合 : 1 ライトストローブモード時）

12.5.2　外部ウェイト機能

WAIT# 信号により、CSn ウェイト制御レジスタ 1（CSnWCR1）で設定したノーマルアクセスサイクルウェイト（CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット）や、ページアクセスサイクルウェイト（CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット）を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可（CSnMOD.EWENB ビット =“1”）にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止（CSnMOD.EWENB ビット =“0”）であれば WAIT# 信号は無効です。

なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

(1)　ノーマルアクセス

CSnWCR1 レジスタで設定したサイクルウェイト数が完了した時点（Tend）から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了（Tend）となります。

(2)　ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。ウェイト制御レジスタに設定したサイクルウェイト数が完了した時点（Tend）から WAIT# 信号がサンプルされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了（Tend）となります。

2 番目以降のリードアクセスに関しては、ページアクセスのウェイトサイクルが完了した時点（Tend）から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了（Tend）となります。

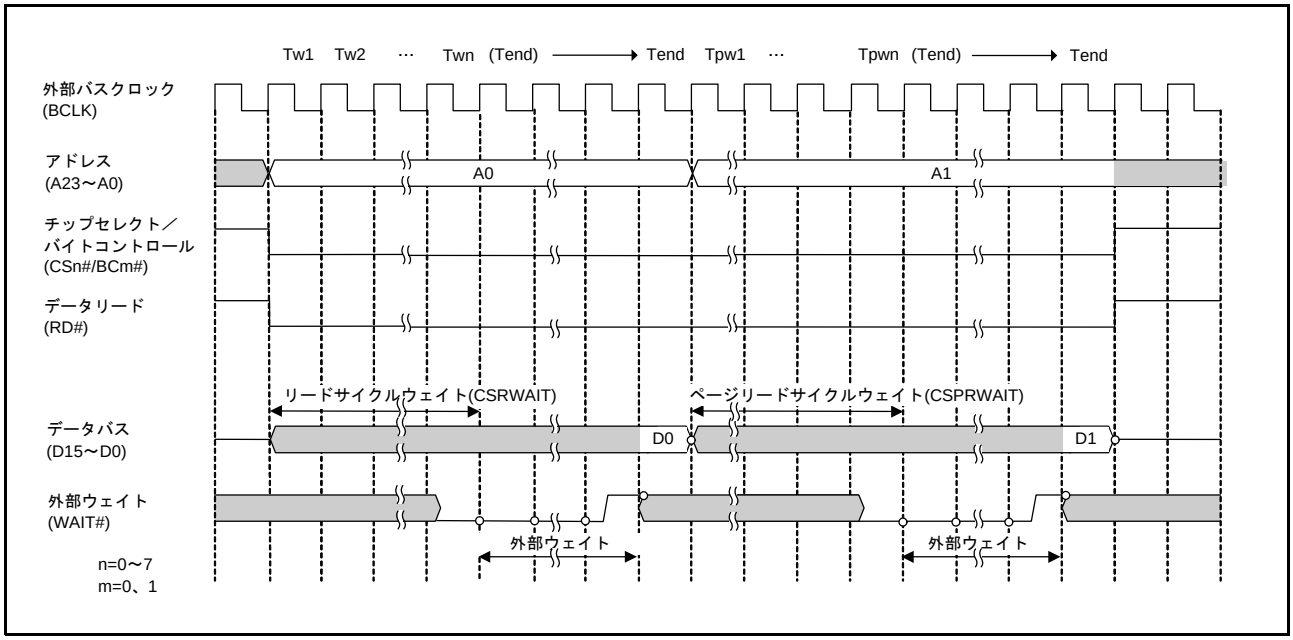


図 12.35　外部ウェイトタイミング例（16 ビットバス空間へのページリードアクセス）

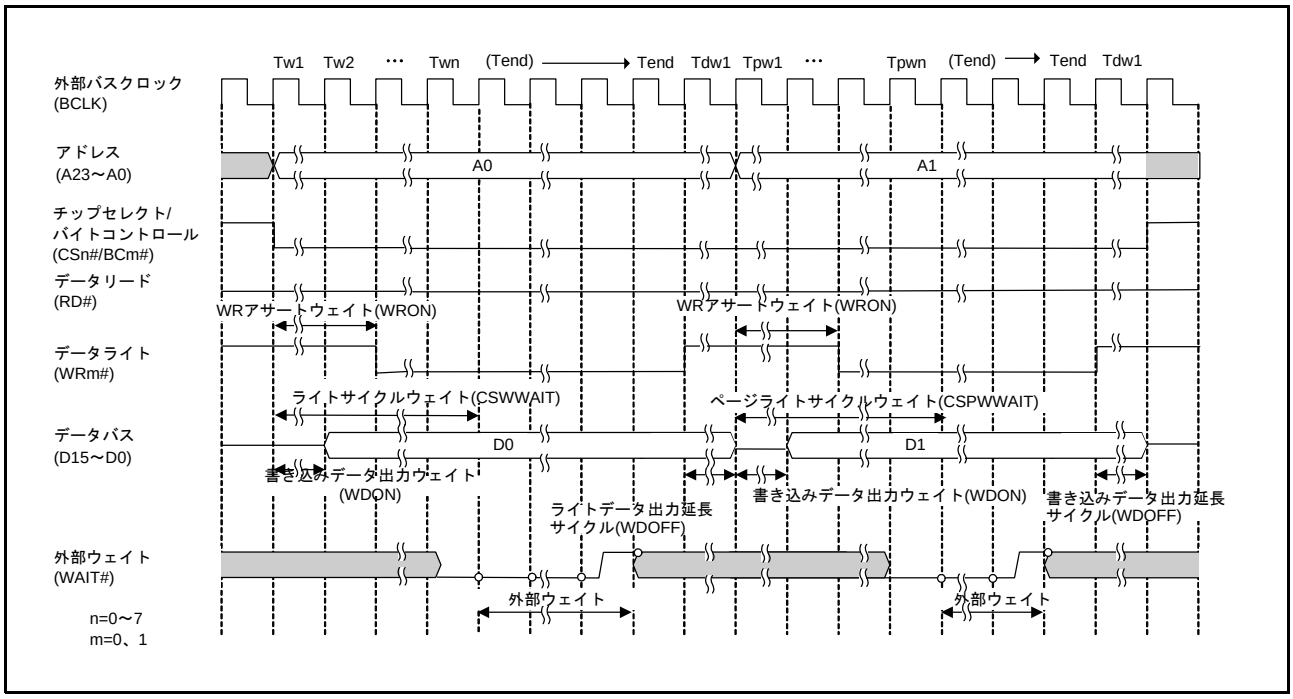


図 12.36 外部ウェイトタイミング例
（16 ビットバス空間へのページライトアクセス：バイトストローブモード時）

12.5.3 非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには CSn# 信号、BCn# 信号、WRn# 信号、RD# 信号は High に、D31 ～ D0 はハイインピーダンスになります。

12.5.4 リカバリサイクルの挿入

連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。以下にリカバリサイクル挿入可能な条件を示します。

- 外部バスに対するリードアクセス後、外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なるエリアに対するリードアクセスがある場合
- 外部バスに対するライトアクセス後、外部バスのリードアクセスがある場合

ライトアクセス後のライトアクセスでは、リカバリサイクルは挿入されません。

リカバリサイクルの挿入は、ライトサイクル後とリードサイクル後を個々に設定できます。ライトサイクル後のリカバリサイクル数は、前バスサイクルのライトアクセスするエリアの CSnREC.WRCV[3:0] ビットで、リードサイクル後のリカバリサイクル数は、前バスサイクルのリードアクセスするエリアの CSnREC.RRCV[3:0] ビットで設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは CS0REC.RRCV[3:0] で設定されたサイクル数になります。

リカバリサイクルの起点は、前バスサイクルの終了時点（CSn# 信号 (n=0 ～ 7) のネゲート時点）です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

最短でリカバリサイクルの終了直後に、次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後、次の外部バスアクセスを開始します。

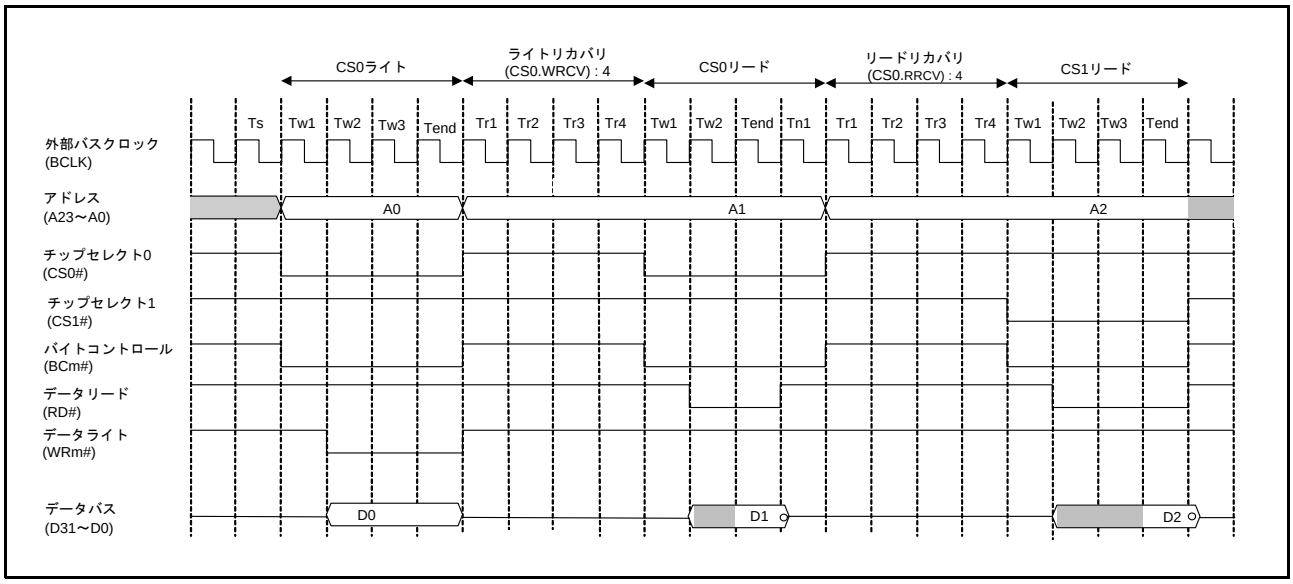


図 12.37　リカバリタイミング例

12.5.5　ライトバッファ機能

ライトアクセスの場合、データをライトバッファに書くことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 12.38 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス（内蔵メモリ、周辺モジュールのアクセス）が並行して実行されます。

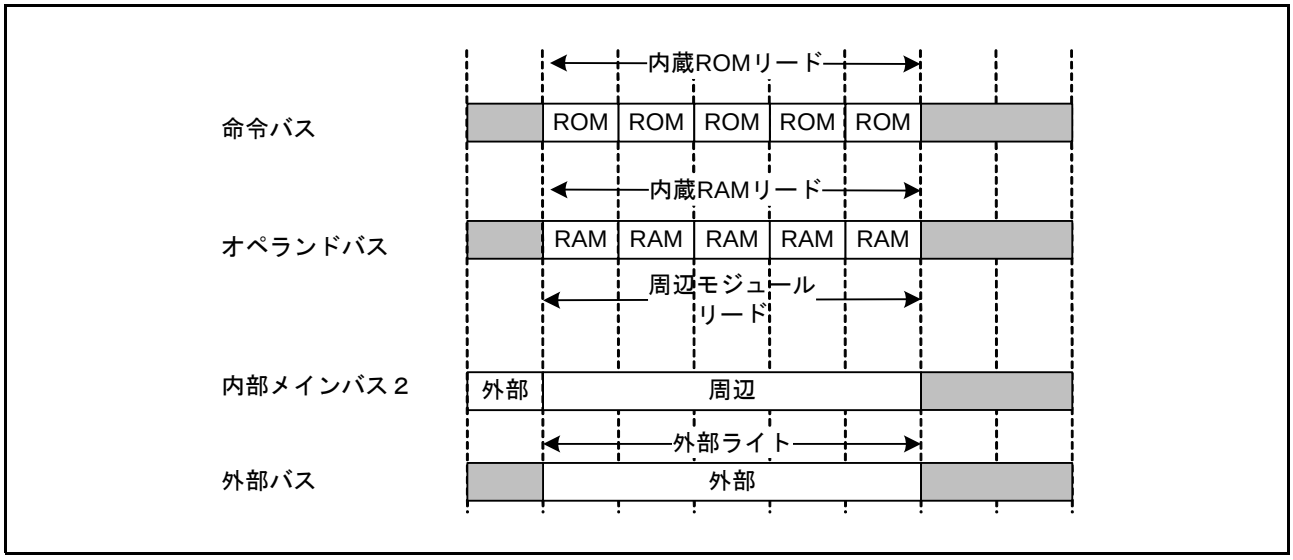


図 12.38　ライトバッファ機能使用時の動作例

12.5.6 制約事項

(1) ノーマル／ページアクセス時の制約事項

表 12.11 にノーマルアクセス時とページアクセス時の CSn ウェイト制御レジスタ 1（CSnWCR1）と、CSn ウェイト制御レジスタ 2（CSnWCR2）の各ビットの設定値の制約事項を示します。

CSn モードレジスタのページリードアクセス許可ビットが有効（CSnMOD.PRENB=“1”）、あるいはページライトアクセス許可ビットが有効（CSnMOD.PWENB=“1”）であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。

表12.11 ノーマル／ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≦ CSRWAIT RDON[2:0] ≦ CSRWAIT CSON[2:0] ≦ RDON	1≦WDON[2:0] CSON[2:0]≦WDON[2:0] CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON	CSON[2:0] ≦ CSPRWAIT RDON[2:0] ≦ CSPRWAIT CSON[2:0] ≦ RDON	1≦WDON[2:0] CSON[2:0]≦WDON[2:0] CSON[2:0] ≦ CSPWWAIT WRON[2:0] ≦ CSPWWAIT WDON[2:0] ≦ CSPWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON

(2) BCLK 端子出力選択ビットで BCLK×1/2 を設定した場合の制約事項

BCLK 端子出力選択ビットで BCLK×1/2 を設定した場合、外部バスアクセス開始の基点は、BCLK 端子出力の立ち上がり時点になりますが、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイト数の設定によっては、BCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様にあわせて、レジスタの値を設定してください。

(3) A0 端子と BC0# 端子を兼用している場合の制約事項

A0 端子と BC0# 端子を兼用する製品の場合、1 ライトストローブモードは、16 ビットバス空間および 32 ビットバス空間で設定できます。8 ビットバス空間では、1 ライトストローブモードの設定は禁止です。

(4) EXDMAC のシングルアドレス転送モード時の制約事項

- EXDMACのシングルアドレス転送時のEDACK信号のネゲートタイミングを、EXDMA出力設定レジスタの EDACKn 端子ネゲートウエイトビット (EDMOMD.DACKW) により、リードアクセスの場合は、RD# 信号の 1 サイクル前に、ライトアクセスの場合は、WR# 信号の 1 サイクル後に設定可能です。この場合、CS# 信号のアサート中に EDACK 信号が有効になるように、CS# 信号のアサート、ネゲートタイミングを設定する必要があります。表 12.12、表 12.13 に EXDMAC のシングルアドレス転送モード時の CSn ウェイト制御レジスタ 1（CSnWCR1）と、CSn ウェイト制御レジスタ 2（CSnWCR2）の各ビットの設定値の制約事項を示します。
- EXDMAC のシングルアドレス転送モード時、EDACK 信号出力を有効にする場合には、外部ウェイト機能は、無効（CSnMOD.EWENB ビット =“0”）にしておく必要があります。
- ページリードアクセスの場合で、外部データリード連続アサートモード (CSnMOD.PRMOD=“1”）設定時には、EXDMAC のシングルアドレス転送は禁止しており、その場合の動作は保証しません。

表12.12 EXDMACのシングルアドレス転送モード時の制約事項（EDMOMD.DACKW="0"の場合）

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≦ CSRWAIT RDON[2:0] ≦ CSRWAIT CSON[2:0] ≦ RDON 1 ≦ RDON	CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON 1 ≦ WRON	CSON[2:0] ≦ CSPRWAIT RDON[2:0] ≦ CSPRWAIT CSON[2:0] ≦ RDON 1 ≦ RDON	CSON[2:0] ≦ CSPWWAIT WRON[2:0] ≦ CSPWWAIT WDON[2:0] ≦ CSPWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON 1 ≦ WRON

表12.13 EXDMACのシングルアドレス転送モード時の制約事項（EDMOMD.DACKW="1"の場合）

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≦ CSRWAIT RDON[2:0] ＜ CSRWAIT CSON[2:0] ≦ RDON 1 ≦ RDON	CSON[2:0] ≦ CSWWAIT WRON[2:0] ≦ CSWWAIT WDON[2:0] ≦ CSWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON 1 ≦ WRON 1 ≦ WDOFF	CSON[2:0] ≦ CSPRWAIT RDON[2:0] ＜ CSPRWAIT CSON[2:0] ≦RDON 1 ≦ RDON	CSON[2:0] ≦ CSPWWAIT WRON[2:0] ≦ CSPWWAIT WDON[2:0] ≦CSPWWAIT WDOFF[2:0] ≦ CSWOFF WDON[2:0] ≦ WRON CSON[2:0] ≦ WRON 1 ≦ WRON 1 ≦ WDOFF

(5) アドレス空間の複数エリアにまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数エリアにまたがるアクセスは禁止しており、その場合の動作は保証できません。1 つのワード、ロングワードアクセスがアドレス空間の各エリア境界を挟んで 2 つのエリアにまたがらないようにしてください。

また、EXDMAC のシングルアドレスモードブロック転送およびクラスタ転送中に、アドレス空間の各エリアをまたがるアクセスは禁止しており、その場合の動作は保証していません。EXDMAC のシングルアドレスモードブロック転送、クラスタ転送によりアドレス空間の各エリア境界をはさんで 2 つのエリアにまたがらないようにしてください。

(6) RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(7) 命令コードに関する制約事項

- 領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

12.6 SDRAM エリアコントローラの動作説明

SDRAMC（SDRAM エリアコントローラ）の動作許可、SDRAM バス幅の設定、SDRAM に対して行う各動作（リード、ライト、オートリフレッシュ、セルフリフレッシュ、初期化シーケンス、モードレジスタ設定）について説明します。

12.6.1 SDRAM のアクセス有効／無効、SDRAM バス幅設定

SDRAM のアクセス有効／無効の設定は、SDC 制御レジスタ（SDCCR）で SDRAM アクセスの動作許可／禁止に設定することにより行います。また、SDRAM バス幅の設定も SDCCR レジスタで行います。

SDRAM アクセス空間を動作禁止状態に設定した場合でも、セルフリフレッシュもしくはオートリフレッシュ動作が有効に設定されているときには、リフレッシュ動作は行われます。

12.6.2 非アクセス時の状態

外部アドレス空間に対して処理を行っていないときには、SDCS# 信号、WE# 信号、RAS# 信号、CAS# 信号は High になります。

12.6.3 リカバリサイクルの挿入

CS 領域のアクセス後に SDRAM アクセスが起こる場合には、CSC（CS エリアコントローラ）に対するデータリカバリサイクルの挿入が行われます。CSC に対するリカバリサイクルがない場合は、最短で、CSn# 信号がネゲート直後に、次の SDRAM アクセスの ACT コマンドが発行されます。リカバリサイクルが 0 以外の場合は、最短で、CSn# 信号のネゲートからリカバリサイクル数経過後の 2 サイクル後に、ACT コマンドが発行されます。また、SDRAM に対するアクセスの場合、タイミング的にバス上のデータ衝突はありません。したがって、SDRAM に対するデータリカバリサイクルの設定はありません（“0” サイクル固定）。

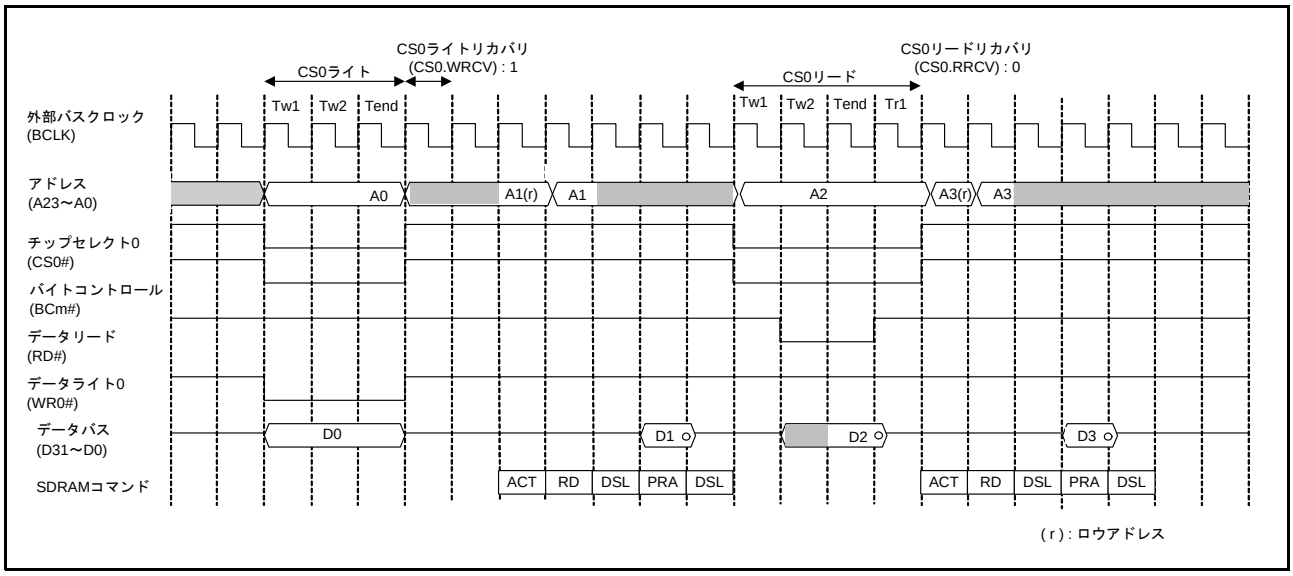


図 12.39 リカバリサイクルの動作例（SDRAM アクセス時）

12.6.4 ライトバッファ機能

ライトアクセスの場合、データをライトバッファに書くことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

12.6.5 SDRAM コマンド

SDRAMC は、バスサイクルごとにコマンドを発行することにより SDRAM の制御を行います。コマンドは、SDCS#/RAS#/CAS#/WE#/CKE 信号等の組み合わせにより定義します。

表 12.14 に SDRAMC が発行するコマンドを示します。

表12.14 SDRAMCコマンド

一般	略称	コマンド	SDCS#	RAS#	CAS#	WE#	CKE		BA1	BA0
							n-1	n		
DESL	DSL	デバイス非選択	H	x	x	x	H	x	x	x
ACTV	ACT	バンクアクティブ	L	L	H	H	H	x	V	V
READ	RD	リード	L	H	L	H	H	x	V	V
WRIT	WRI	ライト	L	H	L	L	H	x	V	V
PALL	PRA	オールバンクプリチャージ	L	L	H	L	H	x	x	x
REF	RFA	オートリフレッシュ	L	L	L	H	H	x	x	x
MRS	MRS	モードレジスタセット	L	L	L	L	H	x	L	L
SELF	RFS	セルフリフレッシュエントリ	L	L	L	H	H	L	x	x
SELFX	RFX	セルフリフレッシュ終了	H	x	x	x	L	H	x	x

注. H：High 、L：Low 、V：Valid、x：Don't Care（HighあるいはLow）
「n」は、コマンド発行サイクル、「n-1」は、コマンド発行の1サイクル前を示します。

12.6.6 SDRAMC レジスタの設定条件

SDRAMC の各レジスタを書き換える場合は、表 12.15 の各条件をすべて満たしている場合にのみ行ってください。

表12.15 レジスタの書き換え条件

機能／動作	書き換え対象	条件
セルフリフレッシュ	SDSELF レジスタ（注1）	• SDRAMアクセス無効（SDCCR.EXENB = 0（注2）） • オートリフレッシュ有効（SDRFEN.RFEN = 1）
オートリフレッシュ	SDRFCR レジスタ	セルフリフレッシュ無効（SDSELF.SFEN = 0）
	SDRFEN レジスタ	セルフリフレッシュ無効（SDSELF.SFEN = 0）
初期化シーケンス	SDIR レジスタ（注1）	SDICR設定前、かつSDICRの書き換えと同じ条件
	SDICR レジスタ（注1）	• SDRAMアクセス無効（SDCCR.EXENB = 0（注2）） • オートリフレッシュ無効（SDRFEN.RFEN = 0） • セルフリフレッシュ無効（SDSELF.SFEN = 0 ）
アドレスレジスタ設定	SDADR レジスタ	• SDRAMアクセス無効（SDCCR.EXENB = 0（注2）） • オートリフレッシュ無効（SDRFEN.RFEN = 0） • セルフリフレッシュ無効（SDSELF.SFEN = 0）
タイミングレジスタ設定	SDTR	• セルフリフレッシュ動作中（SDSELF.SFEN = 1） または、 • SDRAMアクセス無効（SDCCR.EXENB = 0（注2）） • オートリフレッシュ無効（SDRFEN.RFEN = 0） • セルフリフレッシュ無効（SDSELF.SFEN = 0）
モードレジスタ設定	SDMOD レジスタ（注1）	• SDRAMアクセス無効（SDCCR.EXENB = 0（注2）） • セルフリフレッシュ無効（SDSELF.SFEN = 0）
アクセスモードレジスタ設定	SDAMOD レジスタ	• SDRAMアクセス無効（SDCCR.EXENB = 0（注2）） • オートリフレッシュ無効（SDRFEN.RFEN = 0） • セルフリフレッシュ無効（SDSELF.SFEN = 0 ）

注1. 書き替え前にSDRAMステータスレジスタ（SDSR）のステータスビットがすべて“0”になっていることを確認してください。
注2. EXENBビットに“0”を書いた後に、EXENBビットが“0”になっていることを確認してください。

12.6.7 セルフリフレッシュ

SDRAM セルフリフレッシュ制御レジスタ（SDSELF）の設定により、セルフリフレッシュモードへの移行／復帰を制御することができます。

セルフリフレッシュモードへの移行直前には、オートリフレッシュサイクル動作が行われます。セルフリフレッシュモード中は、CKE 信号が Low になります。セルフリフレッシュモードからの復帰直後には、オートリフレッシュサイクルが起動されます。

図 12.40 にセルフリフレッシュモードへの移行タイミングを、**図** 12.41 に復帰タイミング例を示します。

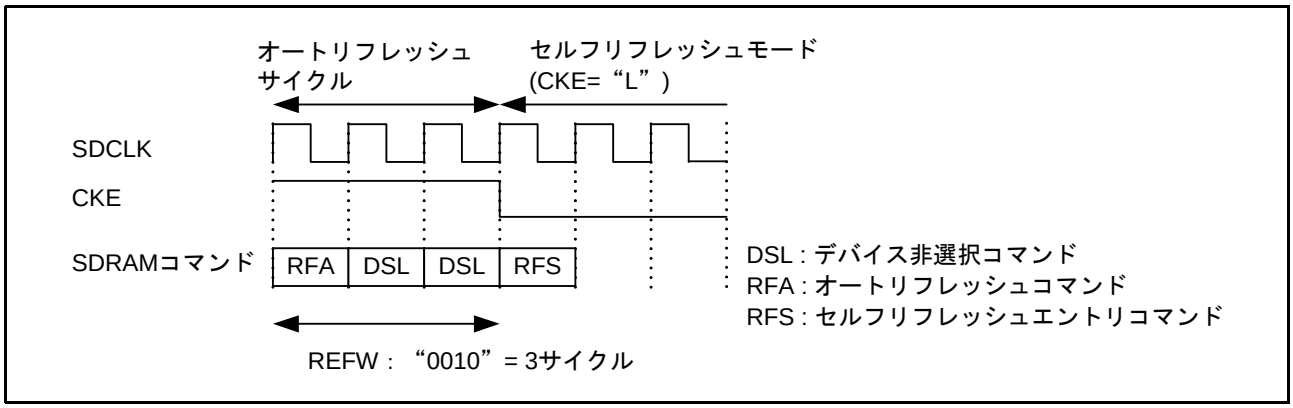


図 12.40　**セルフリフレッシュモード移行タイミング例**
（SDRFCR.REFW[3:0] **ビット** = “0010b” : 3 **サイクルの場合**）

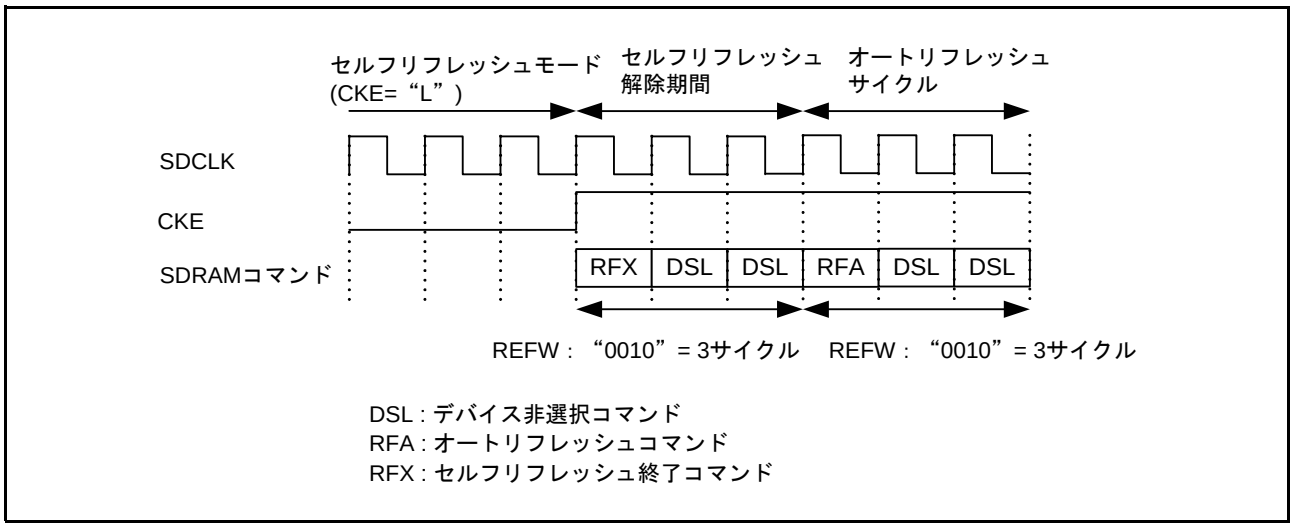


図 12.41　**セルフリフレッシュモード復帰タイミング例**

(1) **全モジュールクロックストップモードでのセルフリフレッシュ**

全モジュールクロックストップモードでのセルフリフレッシュモードへの移行は、「12.6.12.2　**セルフリフレッシュモードへの移行／復帰手順**」に従い、セルフリフレッシュモードに移行後、全モジュールクロックストップモードへの移行のための設定を行ってください。

全モジュールクロックストップモード解除後は、「12.6.12.2　**セルフリフレッシュモードへの移行／復帰手順**」に従ってください。

全モジュールクロックストップモードへの移行、解除の詳細については、「9.　**消費電力低減機能**」を参照してください。

(2) ソフトウェアスタンバイモードでのセルフリフレッシュ

ソフトウェアスタンバイモードでのセルフリフレッシュモードへの移行は、「12.6.12.2　セルフリフレッシュモードへの移行／復帰手順」に従い、セルフリフレッシュモードに移行後、ソフトウェアスタンバイモードへの移行のための設定を行ってください。ソフトウェアスタンバイモードでは、スタンバイコントロールレジスタの出力ポートイネーブルビット（SBYCR.OPE ビット）を “1” にし、アドレスバス、バス制御信号の出力状態を保持してください。

ソフトウェアスタンバイモード解除後は、「12.6.12.2　セルフリフレッシュモードへの移行／復帰手順」に従ってください。

ソフトウェアスタンバイモードへの移行、解除の詳細については、「9.　消費電力低減機能」を参照してください。

(3) ディープソフトウェアスタンバイモードでのセルフリフレッシュ

ディープソフトウェアスタンバイモードへは、ソフトウェアスタンバイモードを介して移行します。ディープソフトウエアスタンバイモード時の端子状態はソフトウェアスタンバイモード時の状態を保持しています。したがって、ディープソフトウェアスタンバイモードにおいてもソフトウェアスタンバイモードと同様の手順で、セルフリフレッシュに移行することができます。

ディープソフトウェアスタンバイモードでは、ソフトウェアスタンバイモードでのセルフリフレッシュの設定に加え、ディープスタンバイコントロールレジスタの I/O ポート保持（DPSBYCR.IOKEEP ビット）を 1 にセットした上で、セルフリフレッシュモードへ移行してください。

ディープソフトウェアスタンバイモード解除時には、内部リセットにより SDRAMC の内部状態がリセットされますので、SDRAM 関連の制御レジスタの再設定が必要になります。ディープソフトウエアスタンバイモード解除後は、セルフリフレッシュを解除するために以下の手順に従ってください。図 12.42 にディープソフトウェアスタンバイモードでのセルフリフレッシュタイミング例を示します。

ディープソフトウェアスタンバイモードへの移行、解除の詳細については、「9.　消費電力低減機能」を参照してください。

1. ディープソフトウェアスタンバイモード時は、DPSBYCR.IOKEEP ビットによる端子状態の保持により、CKE 信号は Low 出力の状態が保持されています。
2. SDRAMC へのクロックの供給を開始してください。
3. ディープソフトウエアスタンバイモードにともなう内部リセットで初期化された SDRAM 関連の制御レジスタ（SDCMOD、SDAMOD、SDADR、SDTR）を再設定後、オートリフレッシュを有効（SDRFEN.RFEN=“1”）にしてください。
4. SDSR レジスタのすべてのステータスビットが “0” にクリアされていることを確認し、SDSELF.SFEN ビットに “1” を設定し、セルフリフレッシュモードに再設定してください。
5. 以下の手順に従って、ポートの設定を SDRAM インタフェースに変更してください。

(1) SDRAM 端子のイネーブルビット（PF6BUS.MDSDE、PF6BUS.DQM1E）を、それぞれ、“1” に設定し、ポートの設定を SDRAM に再設定してください。

(2) SDCLK 端子のイネーブルビット（PF6BUS.SDCLKE）を “1” に設定し、SDCLK 端子の設定を出力有効に再設定してください。

(3) DPSBYCR.IOKEEP ビットを “0” にして I/O ポートの保持状態を解除してください。

6. CKCR.PSTOP0 ビットを “0” にして、SDCLK 端子から SDRAM へのクロックの供給を開始してください。
7. SDSR レジスタのすべてのステータスフラグが “0” になっていることを確認後、SDSELF.SFEN ビットに “0” を設定し、セルフリフレッシュを解除してください。

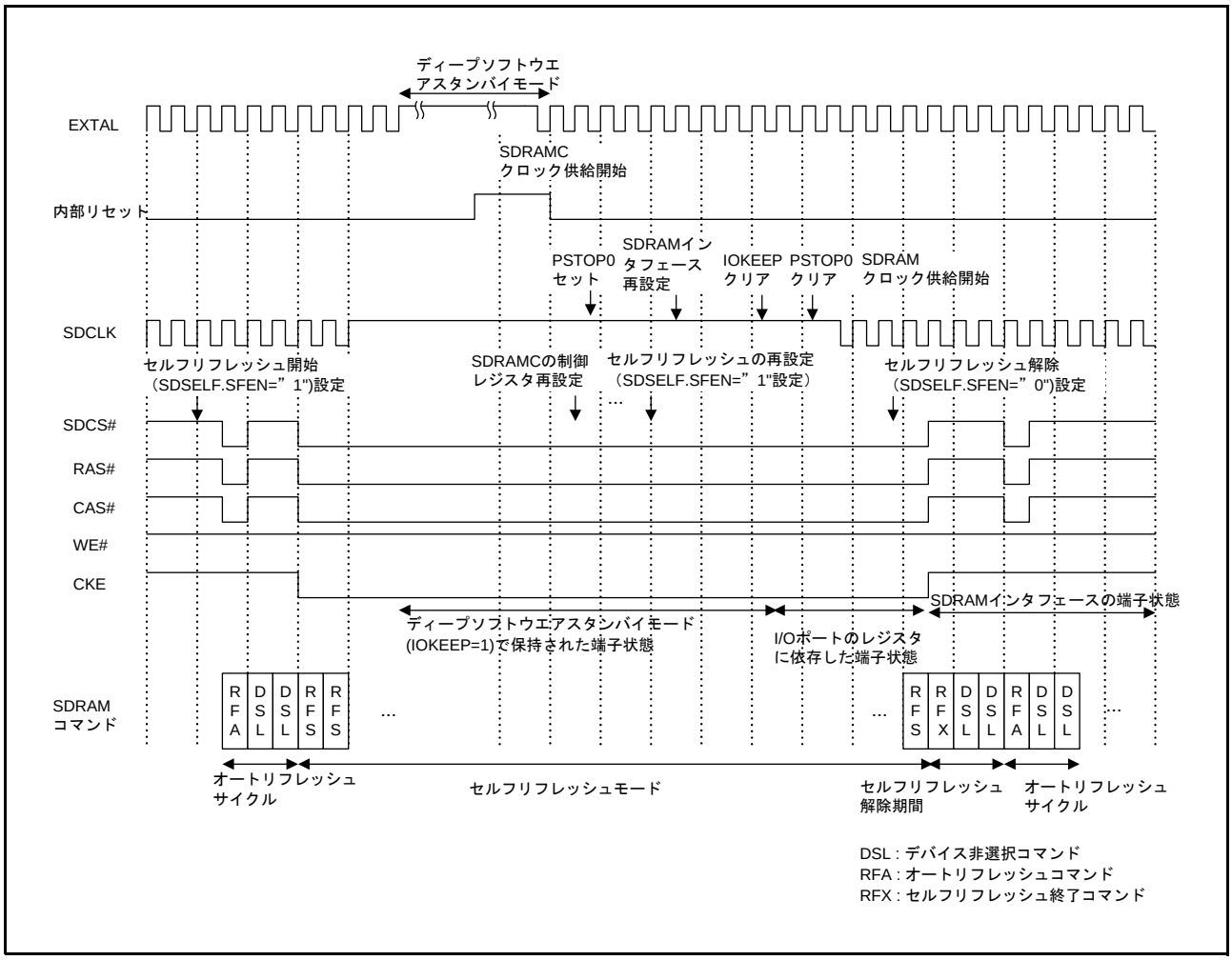


図 12.42　セルフリフレッシュタイミング例（ディープソフトウェアスタンバイモード時）

12.6.8 オートリフレッシュ

オートリフレッシュサイクルは、SDRAM オートリフレッシュ制御レジスタのオートリフレッシュ動作有効ビット（SDRFEN.RFEN）に “1” にすると開始されます。以後リフレッシュカウンタにより定期的にリフレッシュ要求が発生し、オートリフレッシュサイクルが起動されます。ただし、リフレッシュ要求はリード／ライトアクセス中には受け付けられないため、オートリフレッシュサイクルの起動が待たされることがあります。連続アクセス中にオートリフレッシュ要求が発生した場合は、バスマスタからの 1 転送要求に対するバスアクセスが終了した後に、オートリフレッシュサイクルが開始されます。

SDRAM へのアクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。また、CS 領域アクセスとリフレッシュ要求は同時に行うことができます。ただし、リフレッシュコマンド発行に必要な SDCS#/RAS#/CAS#/WE#/CKE 信号は、SDRAM アクセス専用の信号でなければなりません。

なお、オートリフレッシュサイクル開始後、再度 SDRFEN.RFEN ビットを “1” にすると、リフレッシュ要求が発生します。ただし、リード／ライトアクセス中の場合は、アクセス終了後にリフレッシュ要求が発生します。

リフレッシュカウンタは、セルフリフレッシュ中は停止します。セルフリフレッシュ復帰後は、オートリフレッシュサイクルを起動した後、カウンタ値がリセットされカウントが再開されます。

図 12.43 にオートリフレッシュサイクルのタイミング例を示します。

図 12.44 にシングルアクセス、図 12.45 に連続アクセス中にオートリフレッシュ要求が発生した場合の動作例を示します。

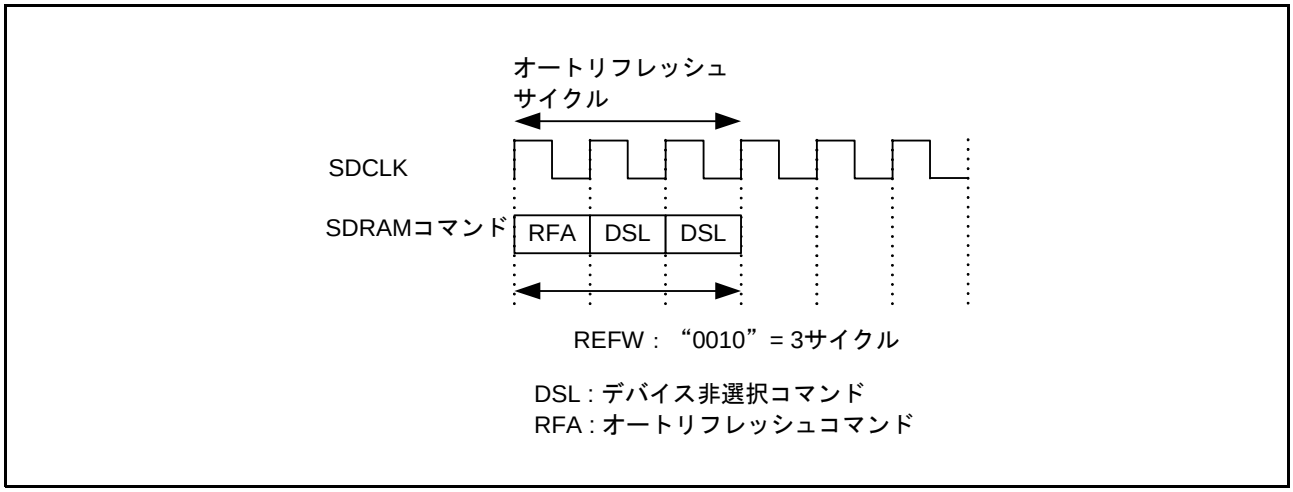


図 12.43 オートリフレッシュサイクルタイミング例（1）

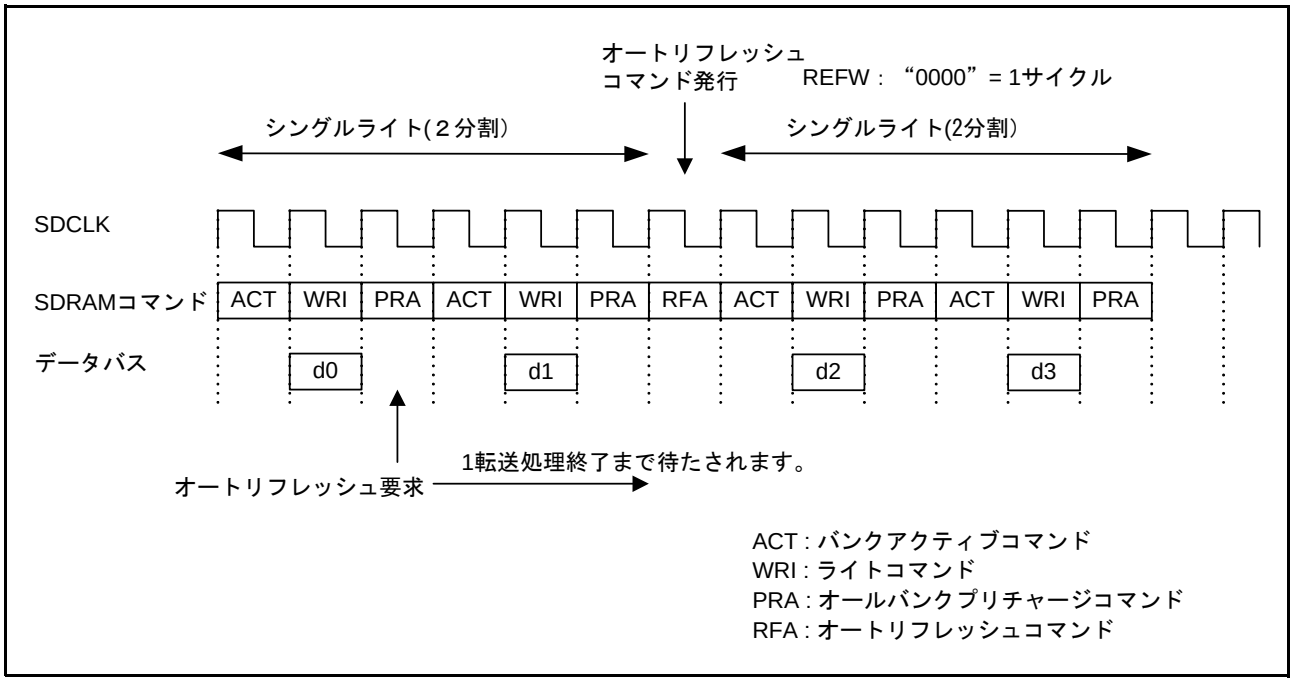


図 12.44 オートリフレッシュサイクルタイミング例（2）
（シングルアクセス中にオートリフレッシュ要求があった場合）

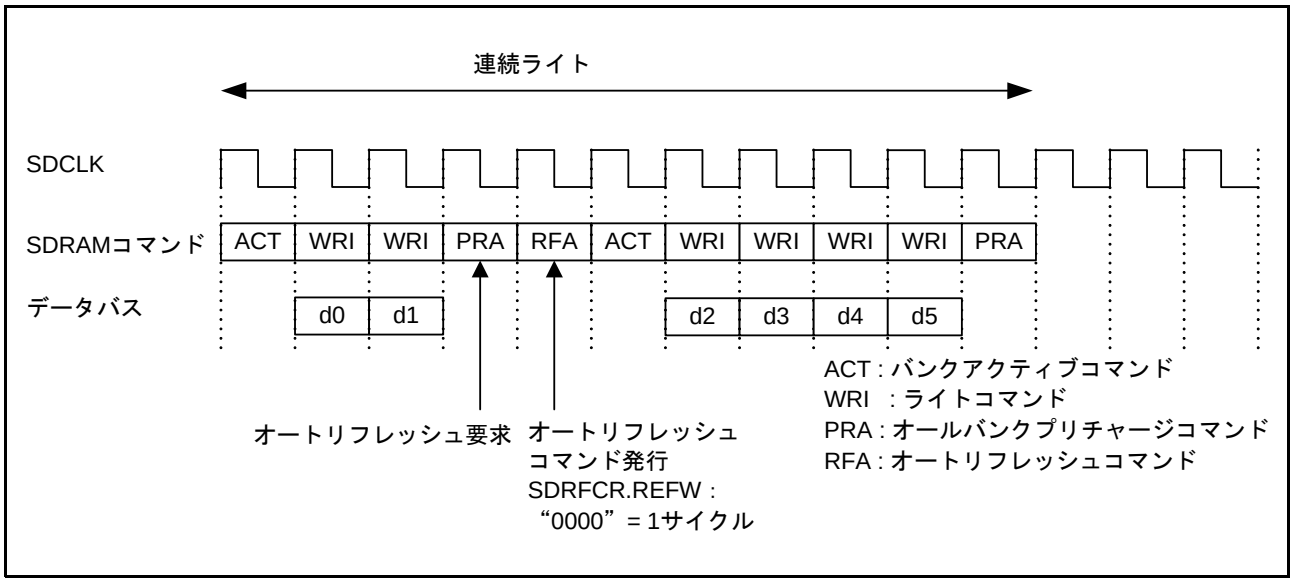


図 12.45 オートリフレッシュサイクルタイミング例（3）
（連続アクセス中にオートリフレッシュ要求があった場合）

12.6.9 初期化シーケンサ

SDRAMC は、SDRAM を初期化するためのコマンドを発行するシーケンサを備えています。初期化シーケンスの起動はリセット後に行ってください。初期化しなかった場合の動作は保証されません。

SDRAM の初期化シーケンサは、プリチャージオールバンクコマンドの発行、および n(n=1~15) 回のオートリフレッシュコマンドの発行を順に行います。初期化シーケンサのタイミング設定は SDRAM 初期化レジスタ（SDIR）で行ってください。初期化シーケンスの起動は SDRAM 初期化シーケンス制御レジスタ（SDICR）で行ってください。これらのレジスタの設定は、「表 12.15　レジスタの書き換え条件」の条件を満たしているときのみ行ってください。

図 12.46 に初期化シーケンスタイミング例を示します。SDIR.ARFC[3:0] ビットが 2 回以上に設定されている場合は、初期化オートリフレッシュサイクルが繰り返されます。

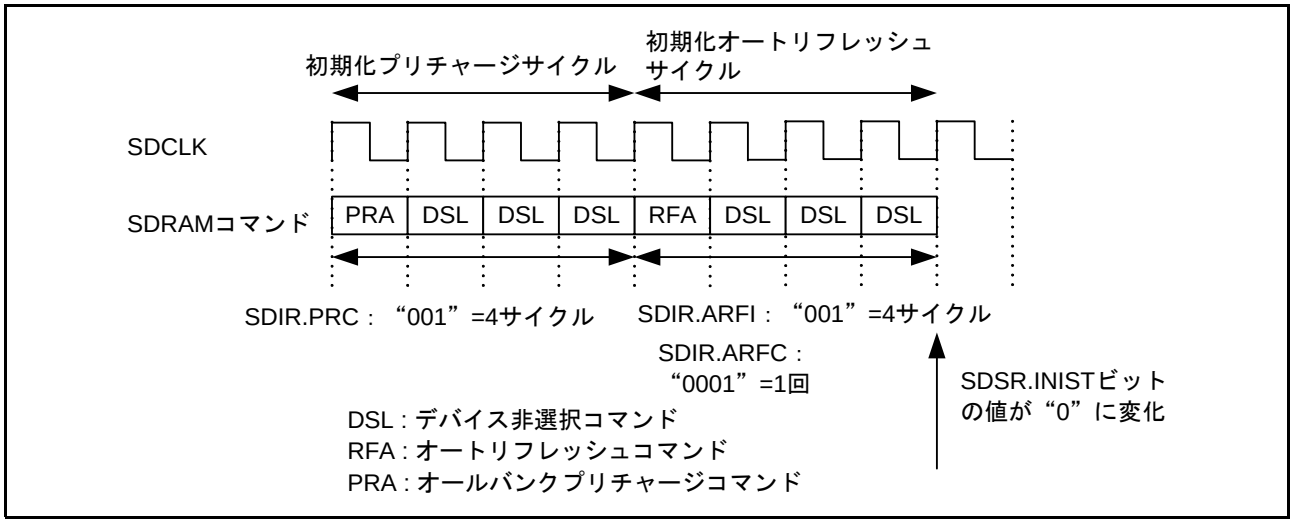


図 12.46　初期化シーケンスタイミング例

12.6.10 リード／ライトアクセス

SDRAMC のリード / ライトアクセスには、以下の 2 種類があります。

- シングルアクセス：アクセスの度にロウアドレスを出力してデータをアクセスします。
- 連続アクセス：同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後は、カラムアドレスを変更するだけでデータに高速にアクセスします。

EXDMAC のクラスタ転送、あるいはシングルアドレスモードブロック転送の場合、SDRAM アクセスモードレジスタの連続アクセスイネーブルビット（SDAMOD.BE ＝ 1）の設定により、SDRAM の連続アクセス動作が可能になります。

EXDMAC からの 1 転送データサイズが外部バス幅以下、かつ非アライメントアクセスでない場合のように、1 回の転送要求によりバスアクセスが 1 回で終わるときのみ、連続アクセス動作が可能となります。

上記の条件を満たさない場合は、連続アクセスモードに設定することは禁止しており、設定された場合の動作は保証していません。

また、連続アクセスモード時に SDTR レジスタの SDRAMC カラムレイテンシ設定ビット (SDTR.CL[2:0]) に “1”（CL=1）を設定することは禁止しており、設定された場合の動作は保証していません。

SDAMOD.BE ＝ 0 のときは、EXDMAC のクラスタ転送、シングルアドレスモードブロック転送についてもシングルアクセスとなります。

(1) シングルアクセス

図 12.47、図 12.48 にシングルリード、図 12.49 にシングルライトを行う場合のタイミング例を示します。アクセスタイミングは、SDRAM タイミングレジスタ（SDTR）の設定によって変化します。詳細は「12.6.12.3 タイミングレジスタ設定値とアクセスタイミング」を参照してください。

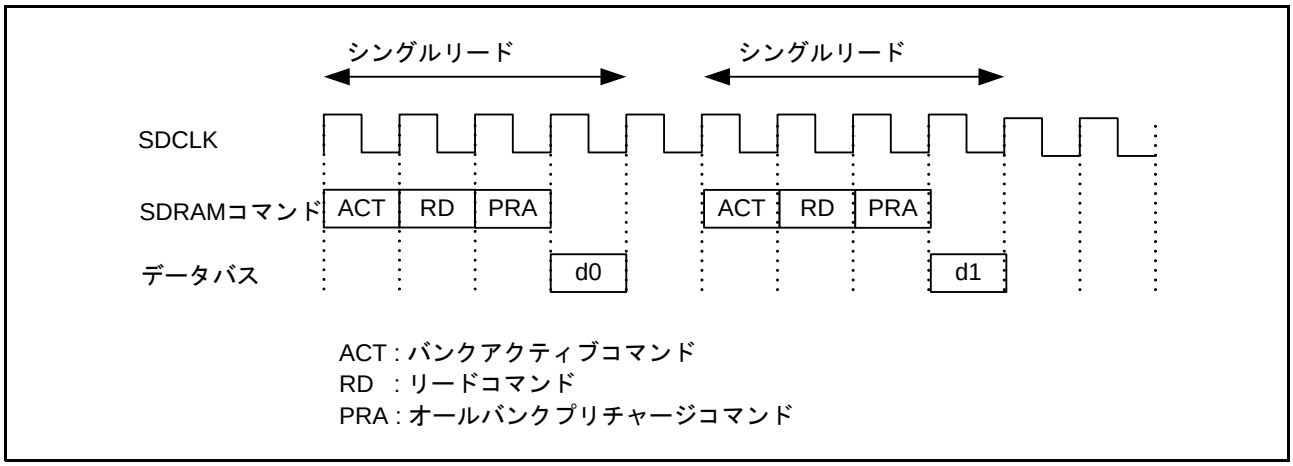


図 12.47　シングルリードタイミング例（SDTR.CL[2:0] ビット = 010b：2 サイクルの場合）

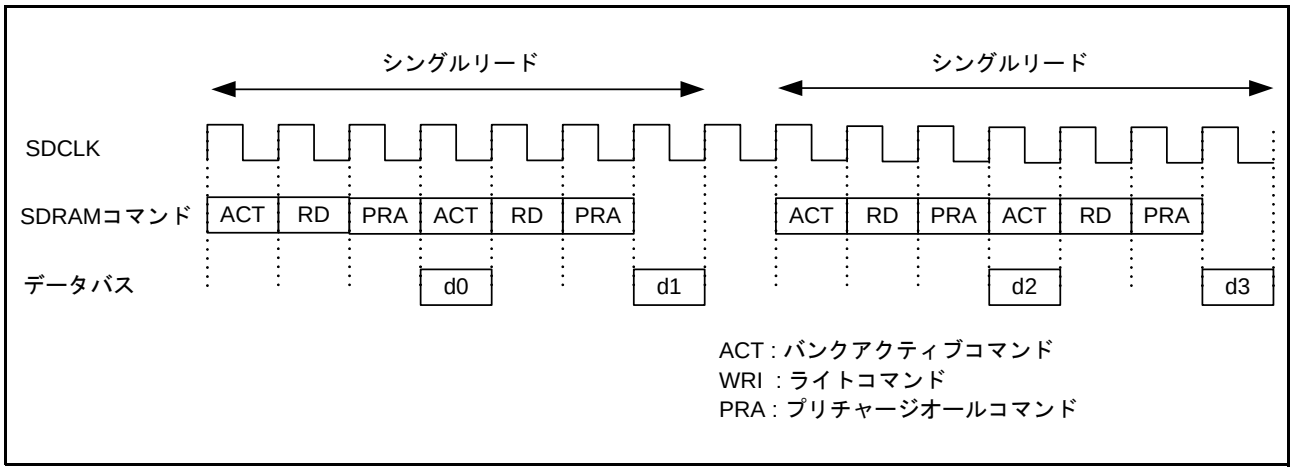


図 12.48 シングルリードタイミング例（EXDMAC のクラスタ転送、またはシングルアドレスモード ブロック転送、SDAMOD.BE = 0、SDTR.CL[2:0] = 010b：2 サイクルの場合）

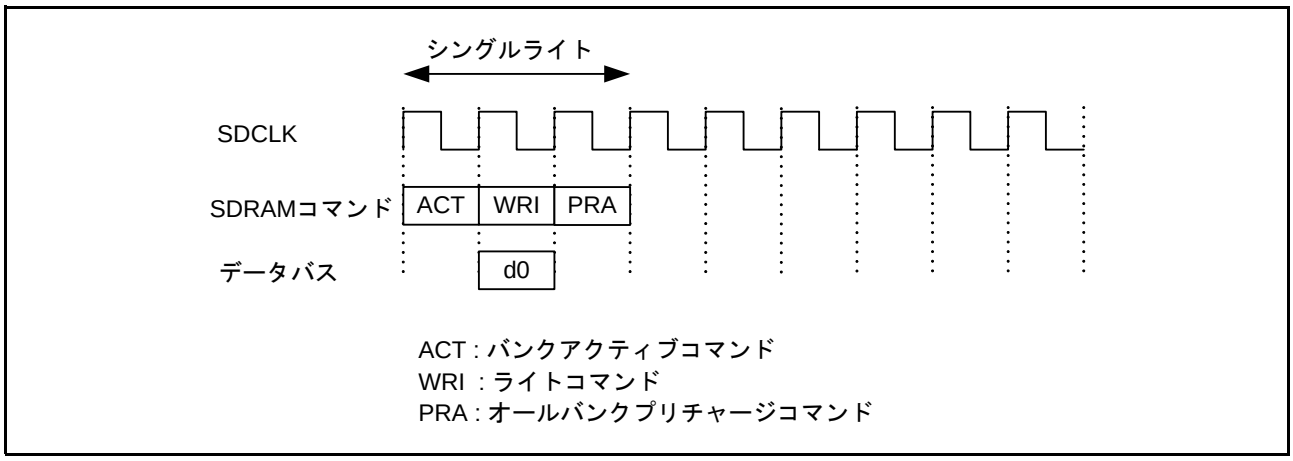


図 12.49 シングルライトタイミング例（最短タイミング設定時）

(2) 連続アクセス

図 12.50 に連続リードを、図 12.51 に連続ライトを行う場合のタイミング例を示します。

また、転送中に SDRAM のロウアドレスが変化する場合、自動的にロウの非活性化、活性化を行います。図 12.52 に連続ライトでロウアドレスが変化する場合のタイミング例を示します。

アクセスタイミングは、SDRAM タイミングレジスタ（SDTR）の設定によって変化します。詳細は「12.6.12.3 タイミングレジスタ設定値とアクセスタイミング」を参照してください。

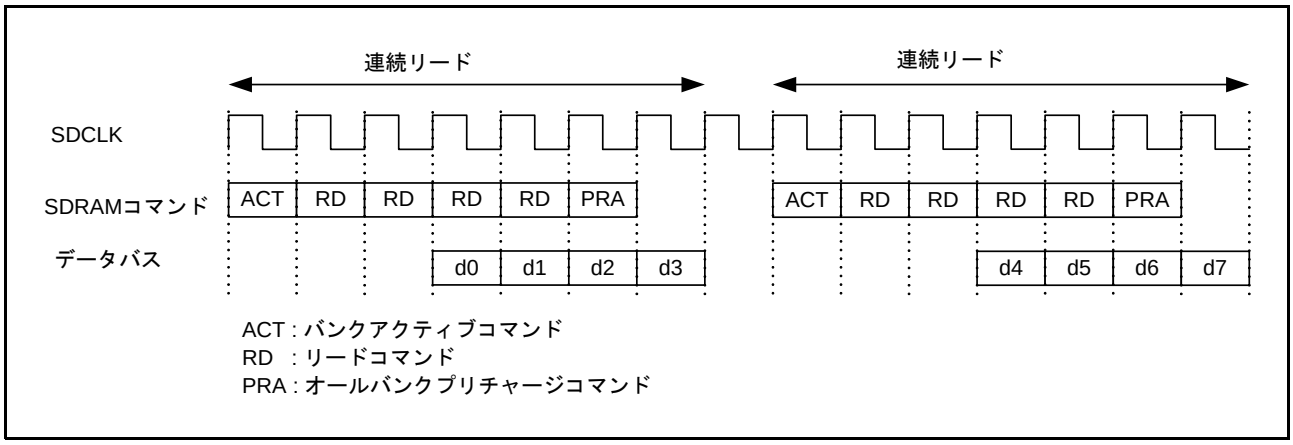


図 12.50 連続リードタイミング例（SDAMOD.BE = 1、SDTR.CL[2:0] = 010b：2 サイクルの場合）

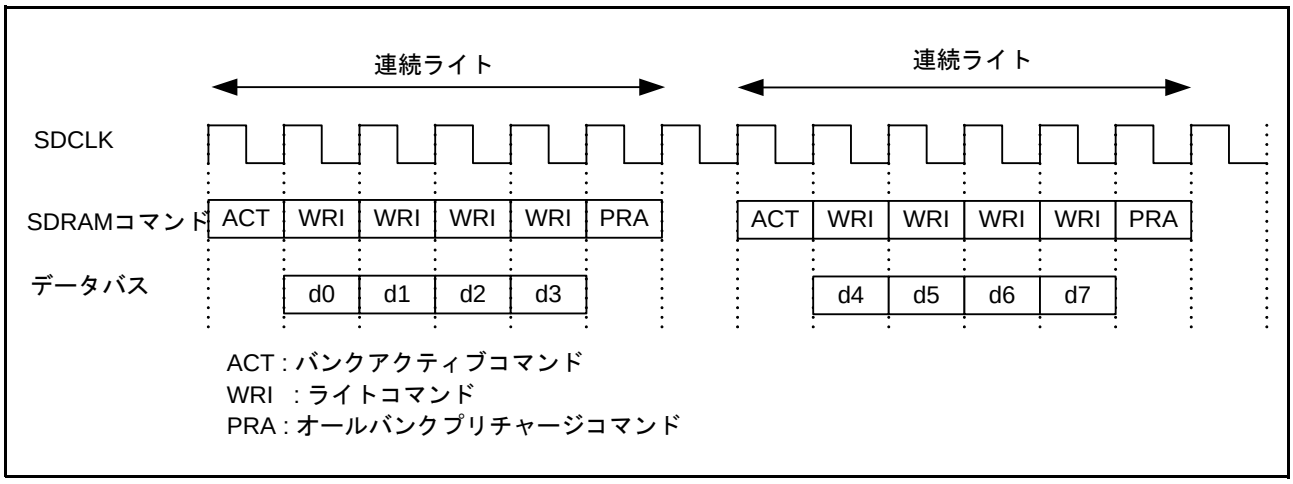


図 12.51 連続ライトタイミング例（SDAMOD.BE = 1、最短タイミング設定時）

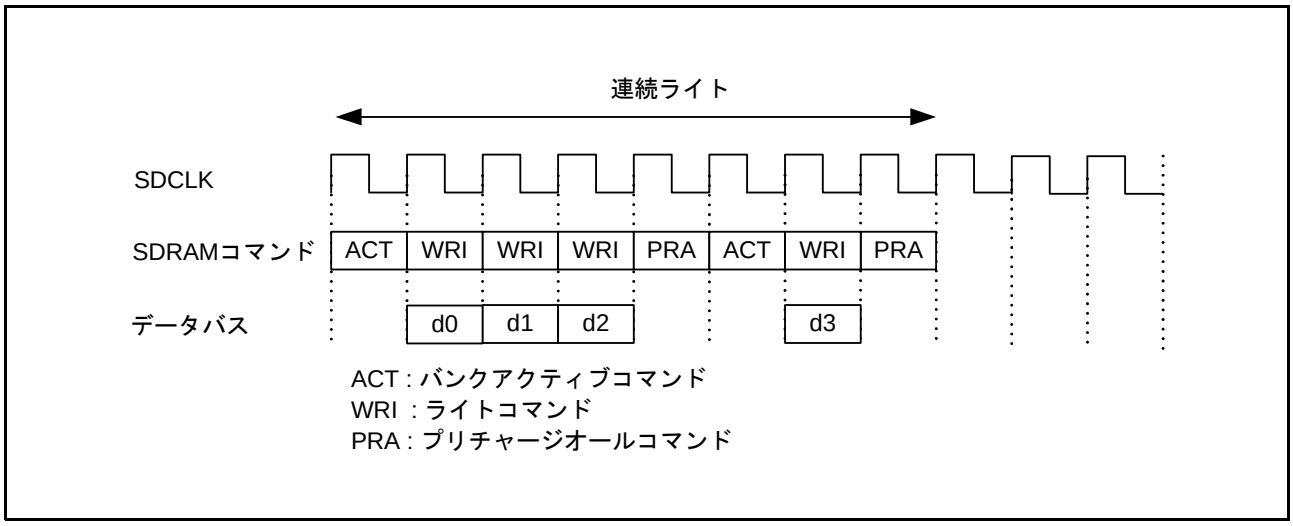


図 12.52 連続ライトタイミング例（SDAMOD.BE = 1、最短タイミング設定時）／ロウアドレスまたぎ

12.6.11 モードレジスタ設定

SDRAM モードレジスタ（SDMOD）に書くことにより、SDRAM に対しモードレジスタ設定コマンドを発行し、アドレスの下位側に SDMOD.MR[14:0] ビットに設定した値が出力されます。データバス幅が 8 ビットの場合は A14 ～ A0 に、16 ビットの場合は A15 ～ A1 に、32 ビットの場合は A16 ～ A2 に出力されます。したがって、モードレジスタ設定前に、SDCCR.BSIZE[1:0] を設定し、SDRAM のデータバス幅を確定させておく必要があります。

図 12.53 にモードレジスタ設定動作タイミングを示します。

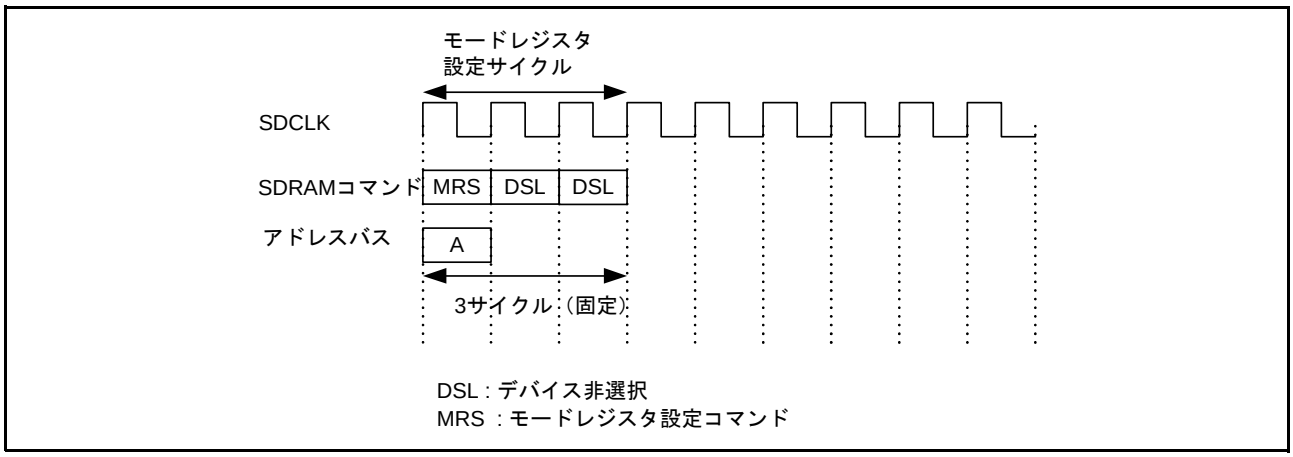


図 12.53 モードレジスタ設定動作タイミング

12.6.12 SDRAMC 設定例

ここでは SDRAMC の設定手順、タイミングレジスタの設定例、セルフリフレッシュモードへの移行／復帰手順について説明します。

12.6.12.1 SDRAMC のアクセス設定手順

図 12.54 に SDRAMC の設定手順を示します。

なお、使用される SDRAM により、パワーアップシーケンス等の仕様が異なる場合があります。SDRAM の仕様を十分ご検討の上、システム設計を行なってください。

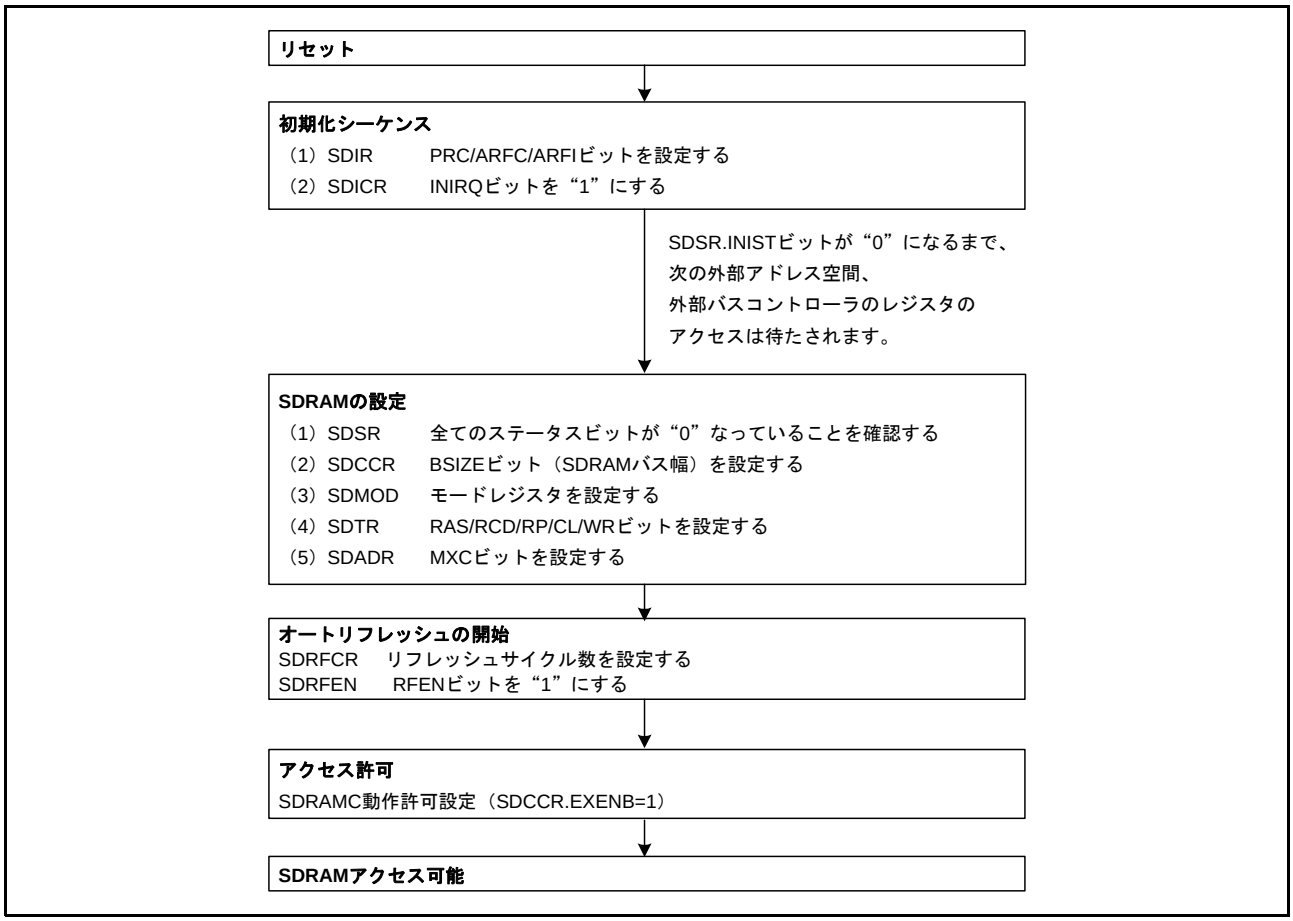


図 12.54　SDRAMC の設定手順

12.6.12.2 セルフリフレッシュモードへの移行／復帰手順

図 12.55 にセルフリフレッシュモードへの移行／復帰手順を示します。

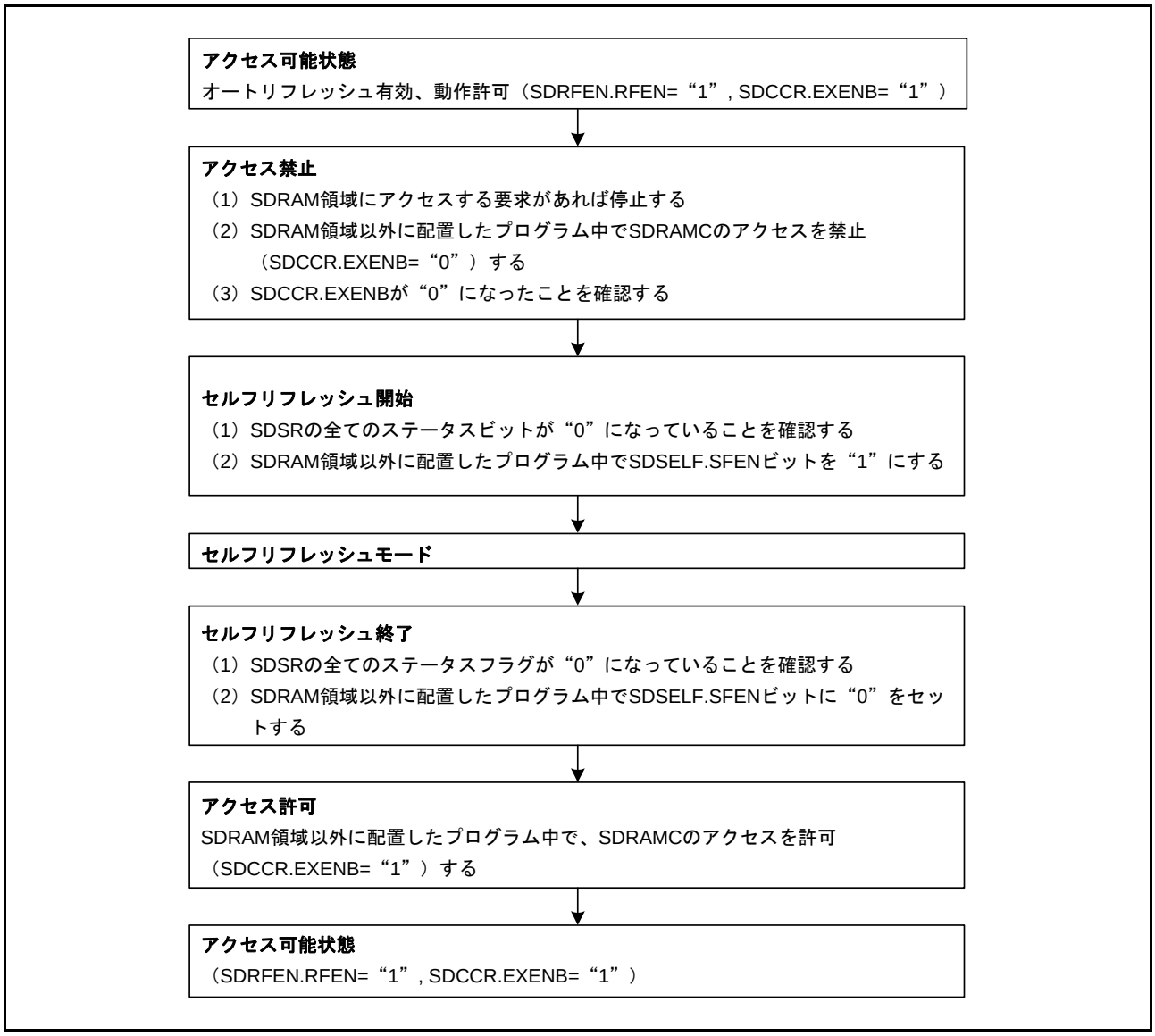


図 12.55　セルフリフレッシュモードへの移行／復帰手順

注．　セルフリフレッシュモードへの移行／復帰時には、SDRAM アクセスを禁止する必要があります。従って、SDRAM をアクセス中は、セルフリフレッシュモードへの移行／復帰はできません。プログラミングの際には、以下の点に注意してください。
・セルフリフレッシュモードに移行する前に、SDRAM 領域のアクセスを禁止してください。
・セルフリフレッシュ移行時、セルフリフレッシュモード中、セルフリフレッシュモード復帰に実行するプログラムは、SDRAM 領域へのオペランドアクセス、命令フェッチ（プリフェッチを含む）が生じないようにしてください。

図 12.56 にディープスタンバイモードでのセルフリフレッシュモードへの移行／復帰手順を示します。

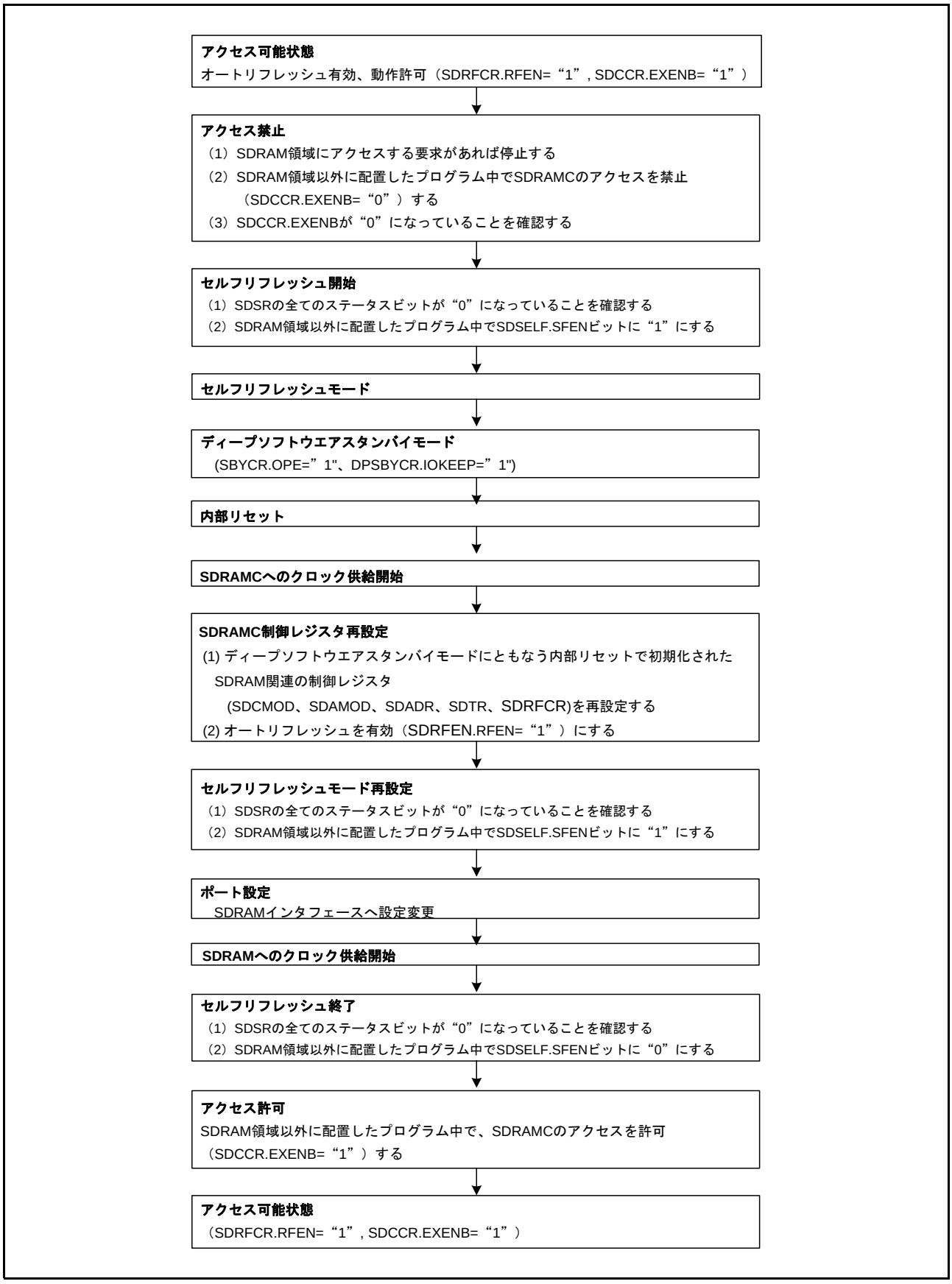


図 12.56　ディープソフトウェアスタンバイモードでのセルフリフレッシュモード移行／復帰手順

12.6.12.3　タイミングレジスタ設定値とアクセスタイミング

リード／ライトアクセスタイミングと、SDRAM タイミングレジスタ（SDTR）設定値の関連について説明します。

(1)　シングルリードタイミング設定例

図 12.57 ～図 12.61 に、シングルリードタイミングと SDRAM タイミングレジスタ（SDTR）設定値の関係を示します。**表 12.16** にそれぞれの図と SDTR レジスタ設定値の対応を示します。

リードアクセスの場合は、最短でリードデータが有効になった２サイクル後に次のバスアクセスが可能となります。ただし、1 転送要求に対して２回以上のバスアクセスが発生する場合には、**図 12.61** のように、最短でリードデータ有効の次のサイクルからバスアクセスが可能となります。

表12.16　SDTR レジスタ設定値対応表（シングルリードタイミング）

図	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	CL[2:0] 設定値	サイクル数
図12.57	010	3	00	1	001	2	010	2
図12.58	000	1	01	2	001	2	010	2
図12.59	000	1	01	2	001	2	011	3
図12.60 図12.61	010	3	00	1	000	1	010	2

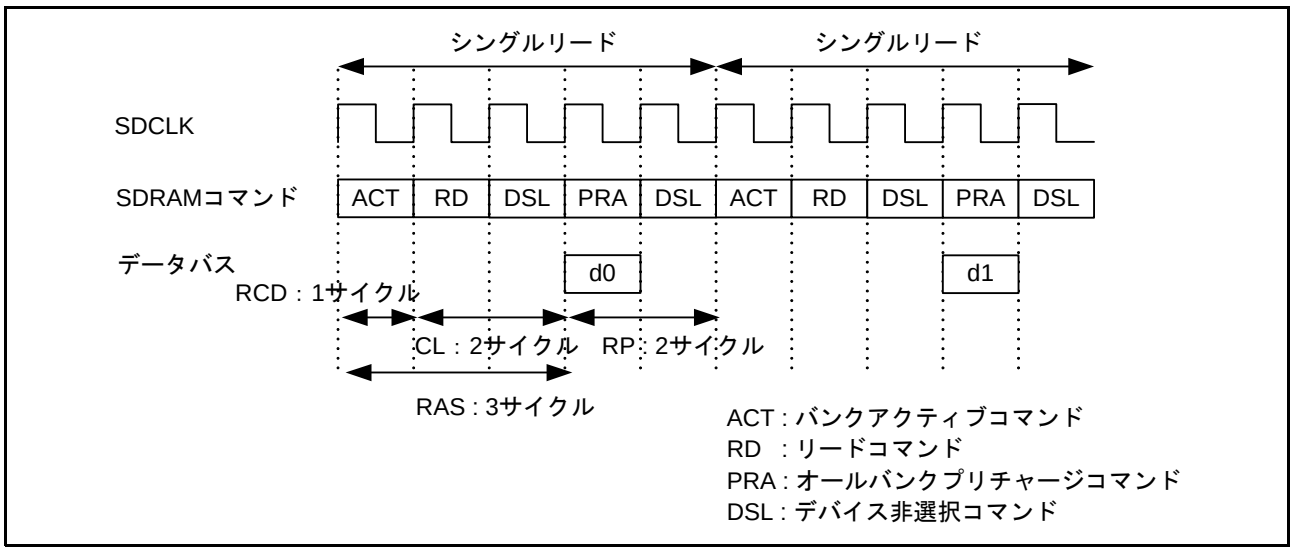


図 12.57　シングルリードタイミング例（1）

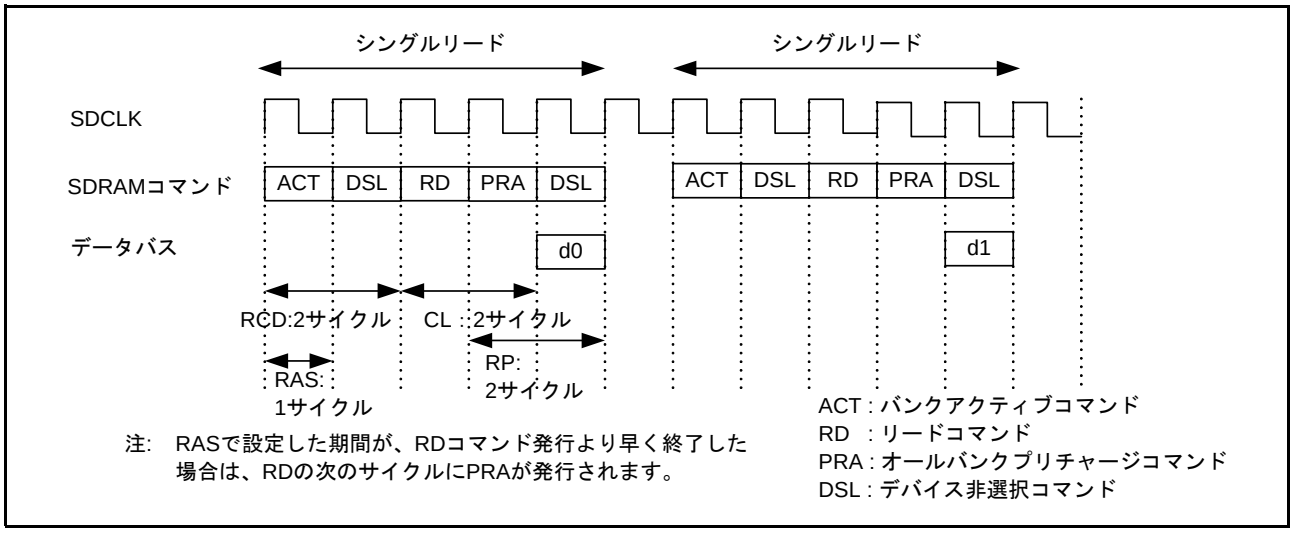


図 12.58 シングルリードタイミング例（2）

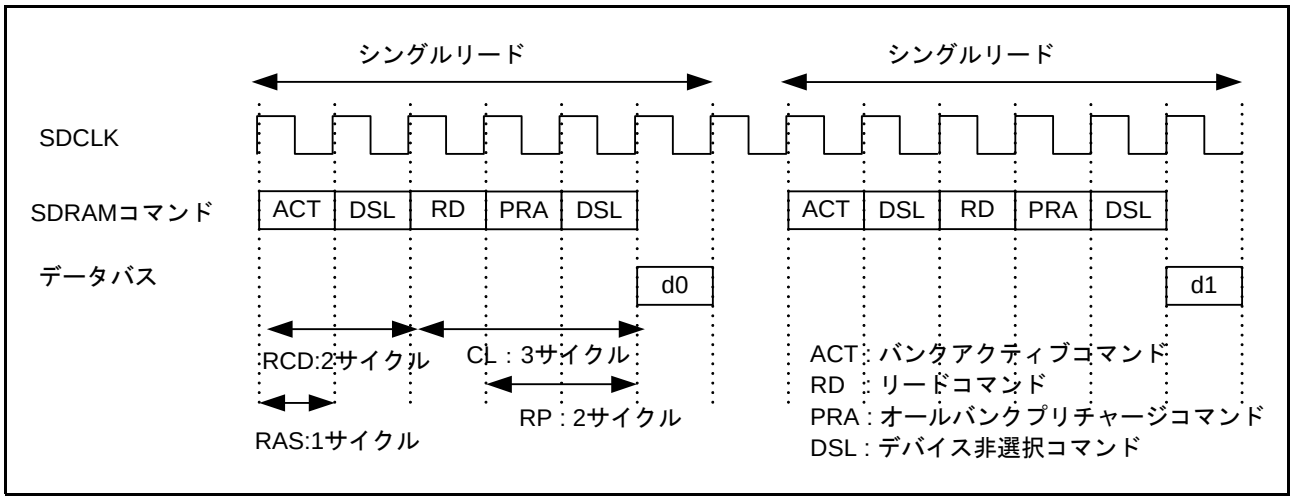


図 12.59 シングルリードタイミング例（3）

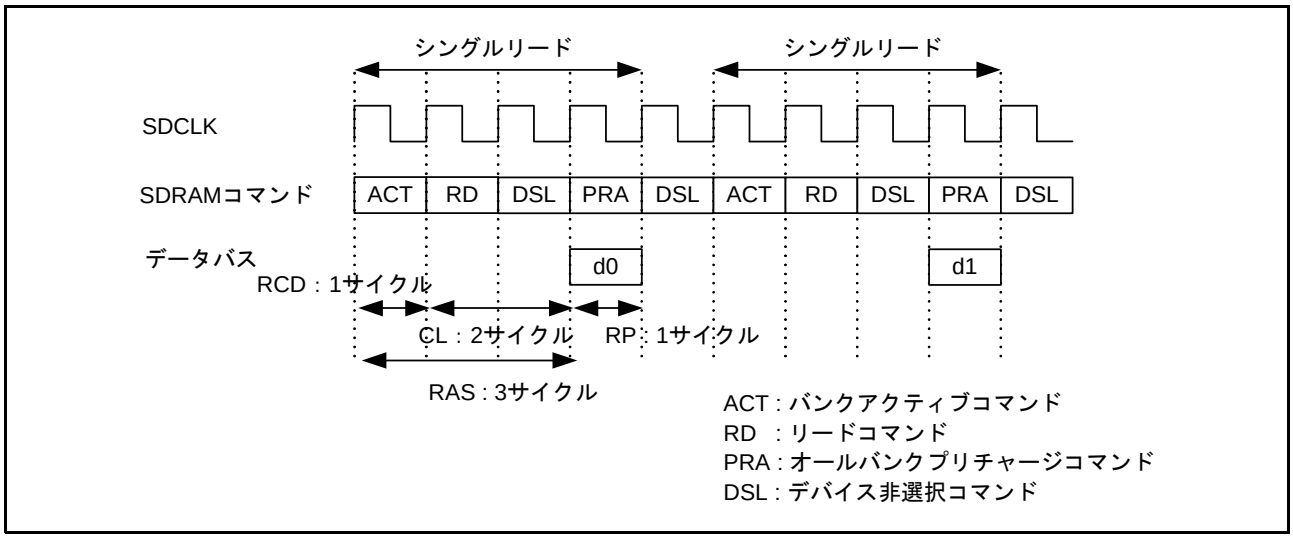


図 12.60 シングルリードタイミング例（4）

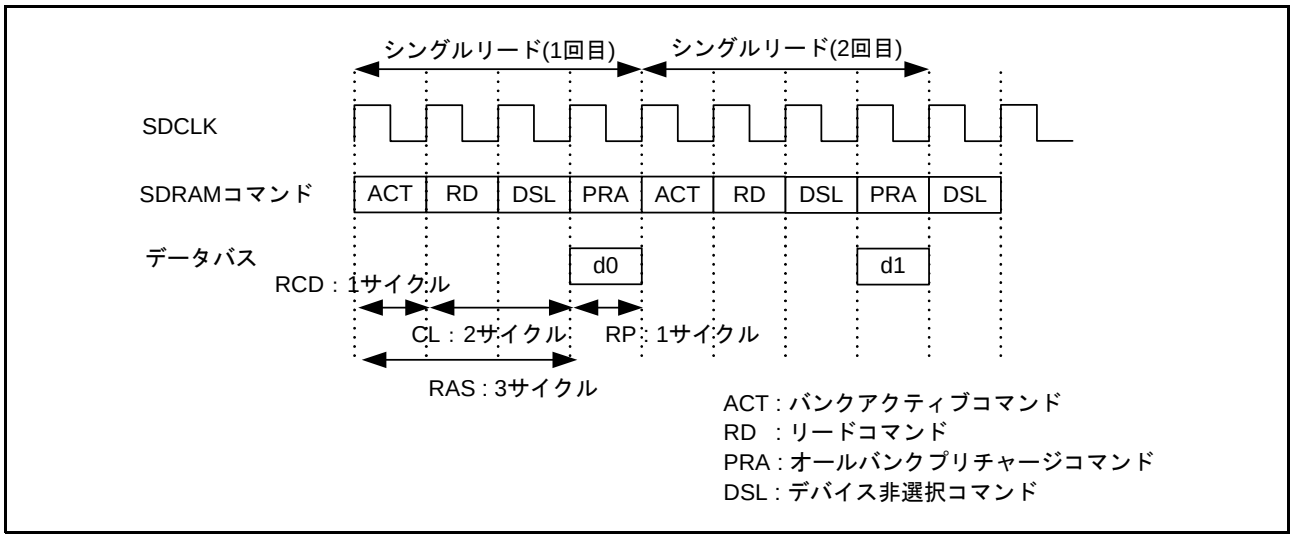


図 12.61　シングルリードタイミング例（5）（1 転送要求に対して 2 回バスアクセスが発生する場合）

(2)　シングルライトタイミング設定例

図 12.62 ～図 12.66 に、シングルライトタイミングと SDRAM タイミングレジスタ（SDTR）設定値の関係を示します。表 12.17 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

表12.17　SDTR レジスタ設定値対応表（シングルライトタイミング）

図	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	WR 設定値	サイクル数
図12.62	010	3	00	1	001	2	0	1
図12.63	000	1	01	2	001	2	0	1
図12.64	000	1	01	2	001	2	1	2
図12.65 図12.66	010	3	00	0	000	2	0	1

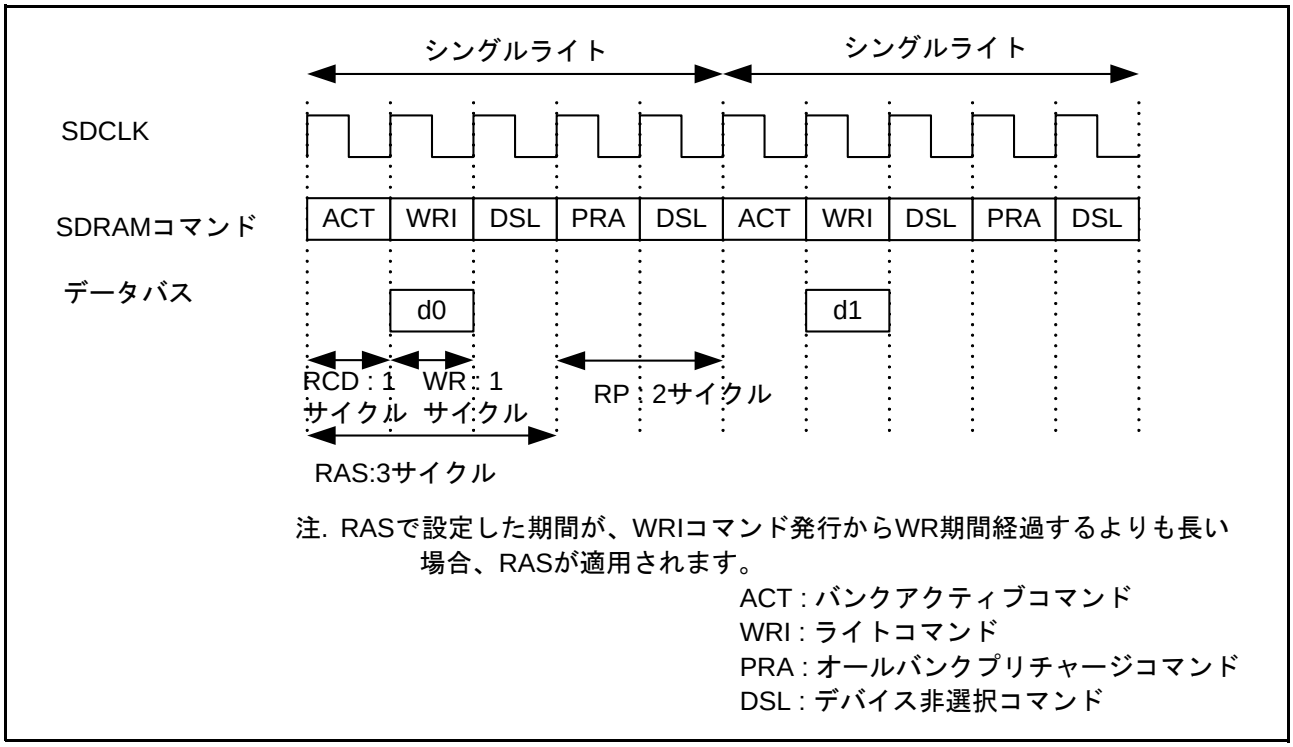


図 12.62 シングルライトタイミング例（1）

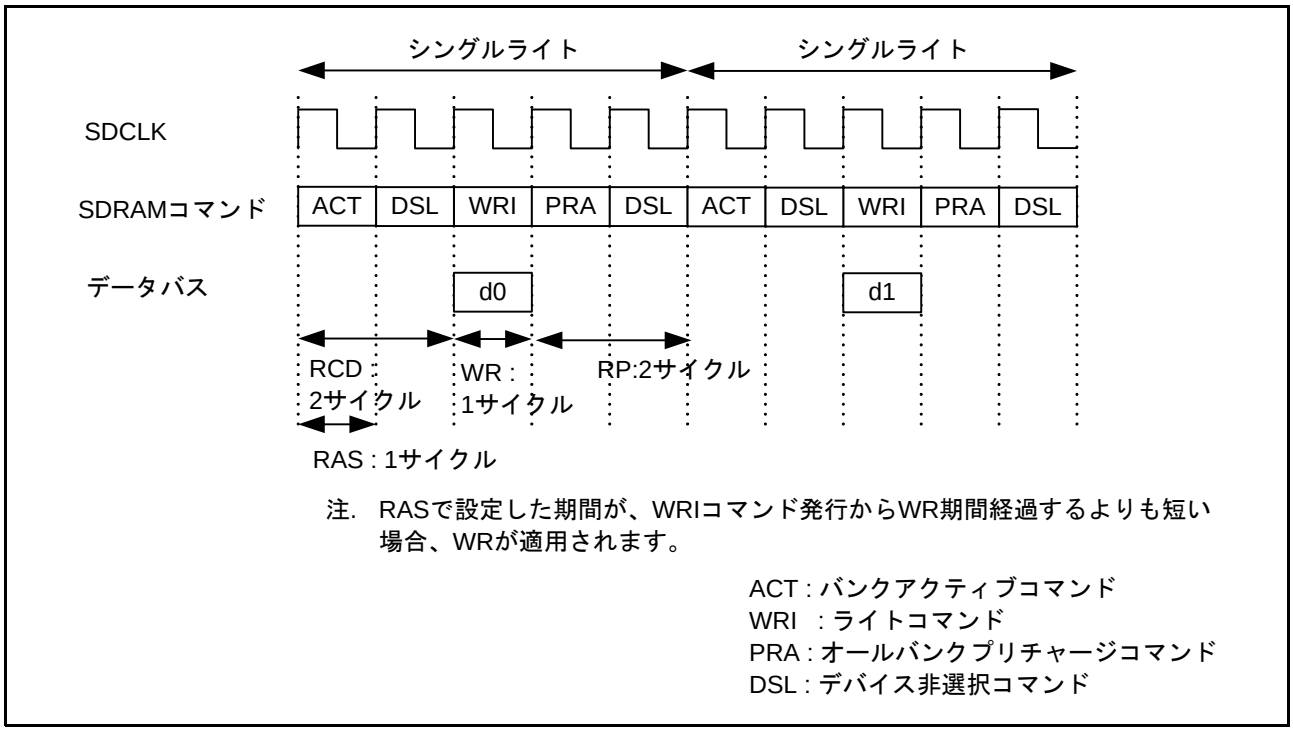


図 12.63 シングルライトタイミング例（2）

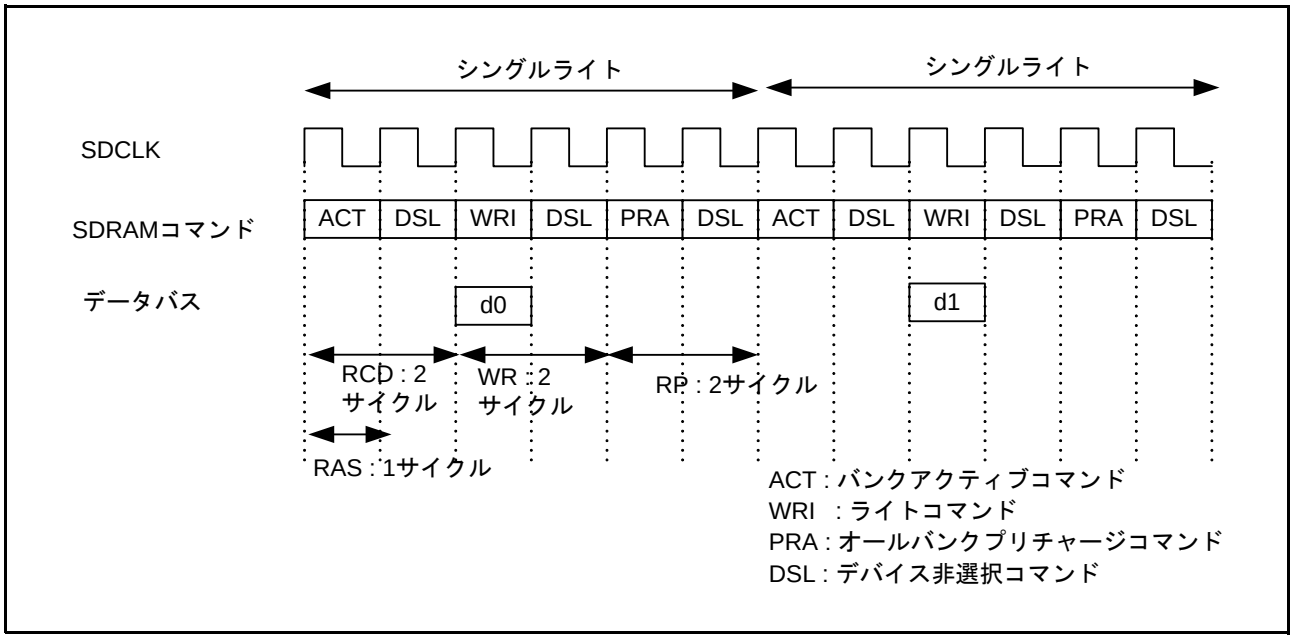


図 12.64 シングルライトタイミング例（3）

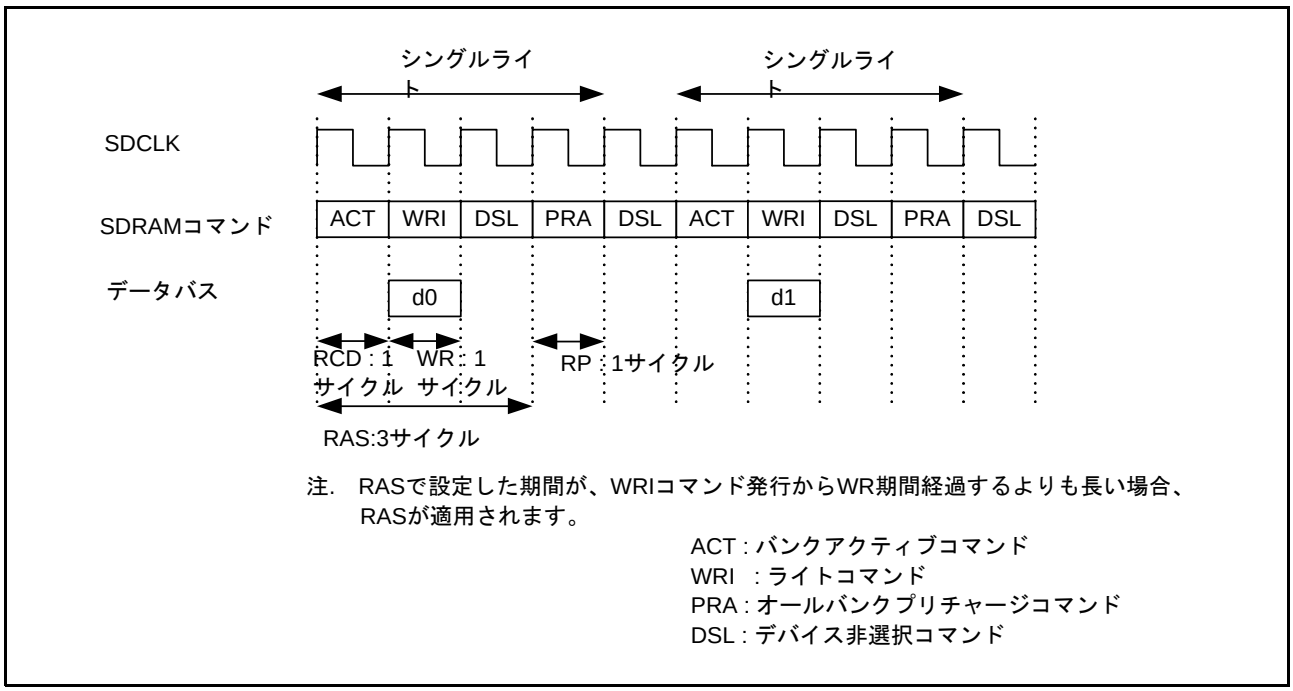
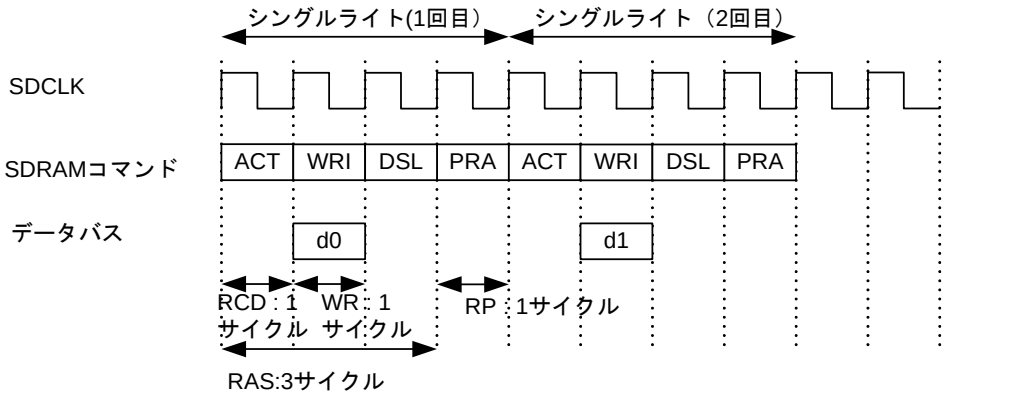


図 12.65 シングルライトタイミング例（4）



注. RASで設定した期間が、WRIコマンド発行からWR期間経過するよりも長い場合、RASが適用されます。

ACT : バンクアクティブコマンド
WRI : ライトコマンド
PRA : オールバンクプリチャージコマンド
DSL : デバイス非選択コマンド

図 12.66 シングルライトタイミング例（5）（1 転送要求に対して 2 回バスアクセスが発生する場合）

(3) 連続リードタイミング設定例

図 12.67 ～図 12.69 に、4 データの連続リード時のタイミングと SDRAM タイミングレジスタ（SDTR）設定値の関係を示します。表 12.18 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

表12.18　SDTR設定値対応表（連続リードタイミング）

図	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	CL[2:0] 設定値	サイクル数
図12.67	010	3	00	1	001	2	010	2
図12.68	000	1	01	2	001	2	010	2
図12.69	000	1	01	2	001	2	011	3

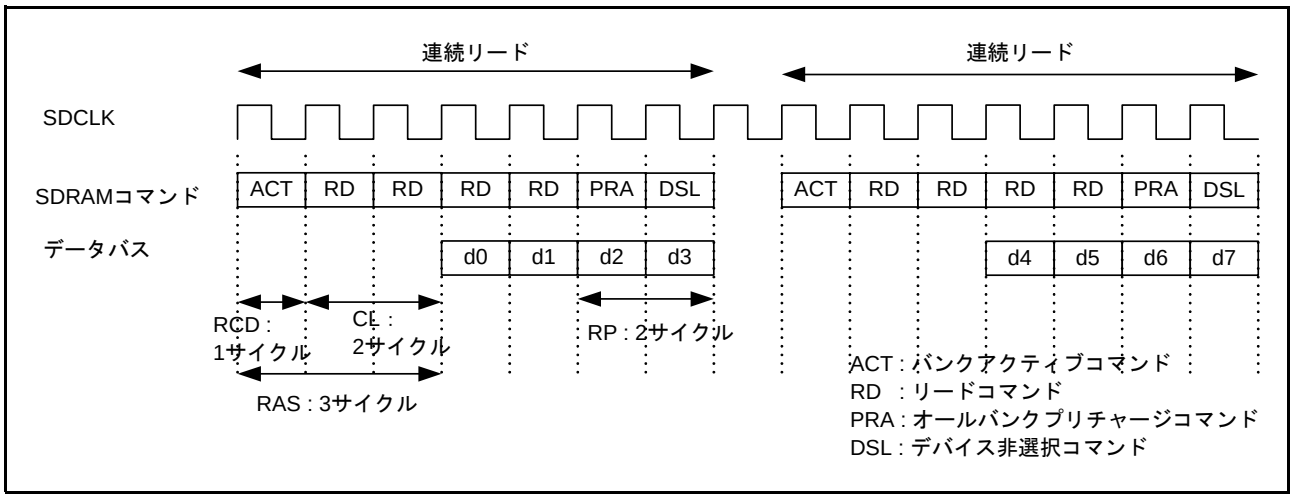


図 12.67　連続リードタイミング例（1）

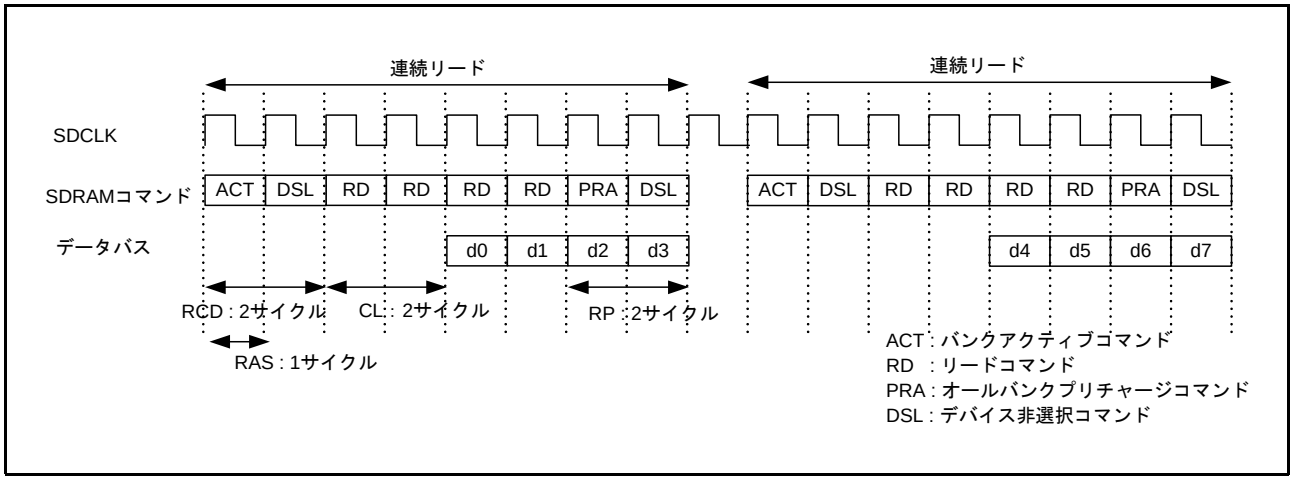


図 12.68　連続リードタイミング例（2）

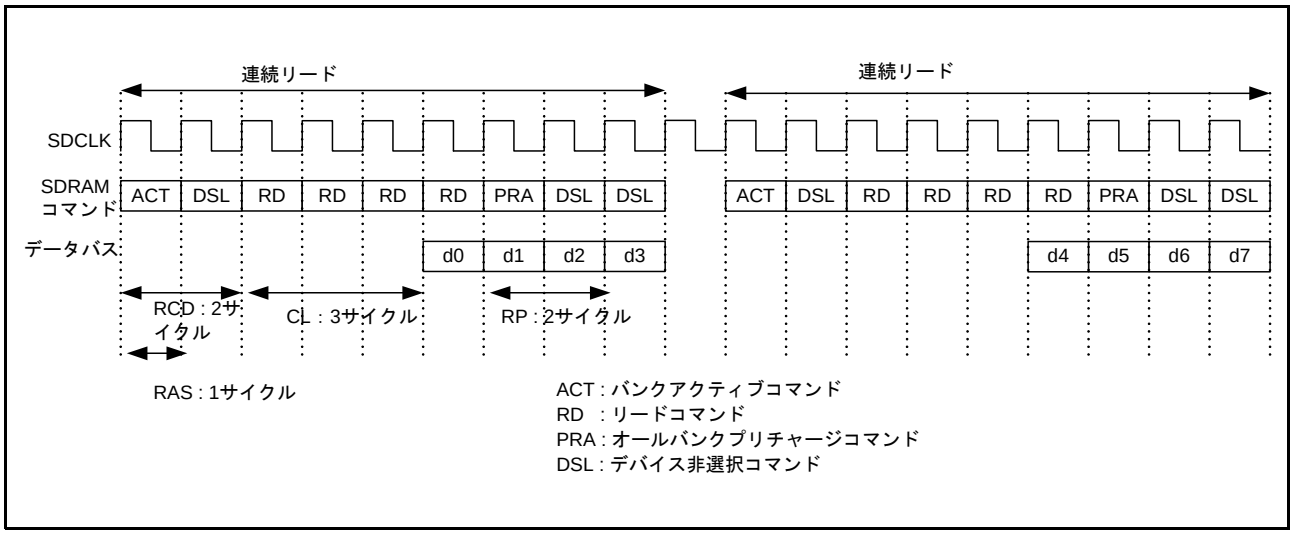


図 12.69　連続リードタイミング例（3）

(4)　連続ライトタイミング設定例

図 12.70 ～図 12.72 に、4 データの連続ライト時のタイミングと SDRAM タイミングレジスタ（SDTR）設定値の関係を示します。表 12.19 にそれぞれの図と SDTR レジスタ設定値の対応を示します。

表12.19　SDTR設定値対応表（連続ライトタイミング）

図	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	WR 設定値	サイクル数
図12.70	010	3	00	1	001	2	0	1
図12.71	000	1	01	2	001	2	0	1
図12.72	000	1	01	2	001	2	1	2

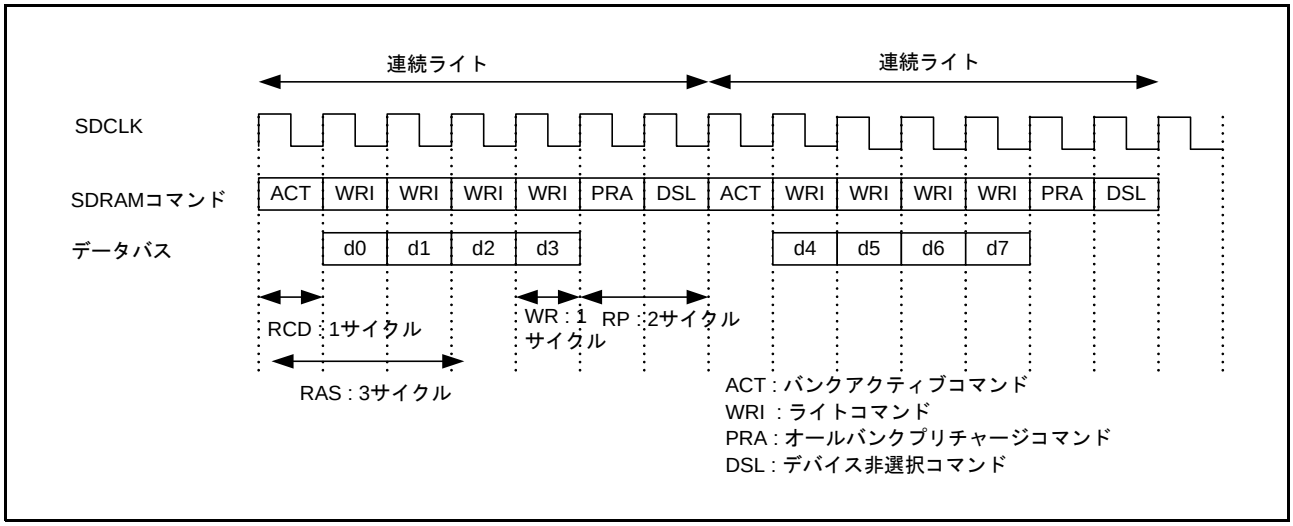


図 12.70　連続ライトタイミング例（1）

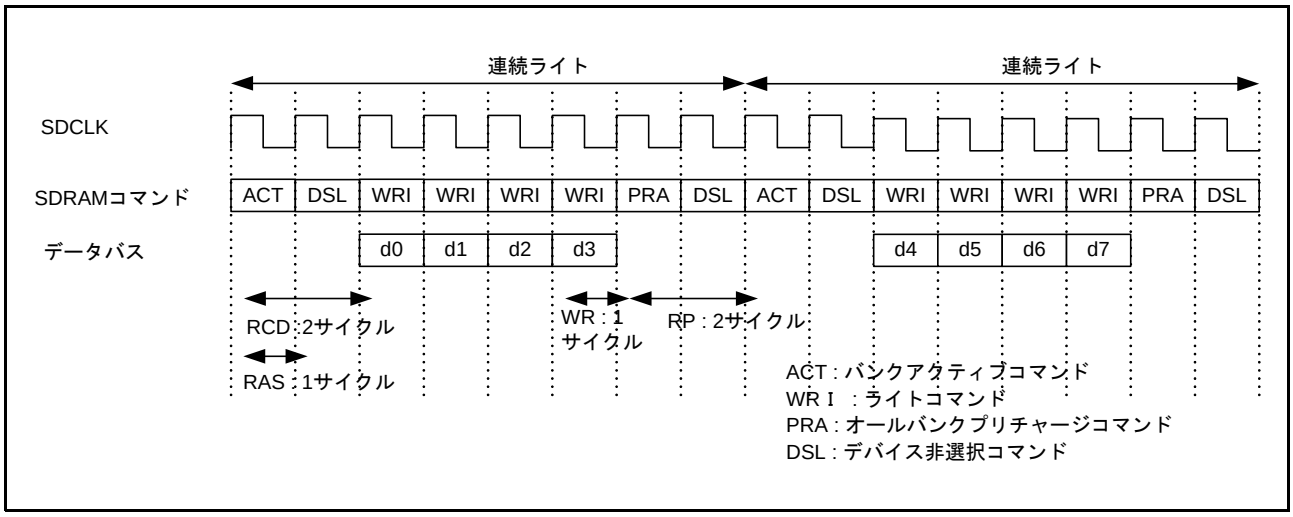


図 12.71 連続ライトタイミング例（2）

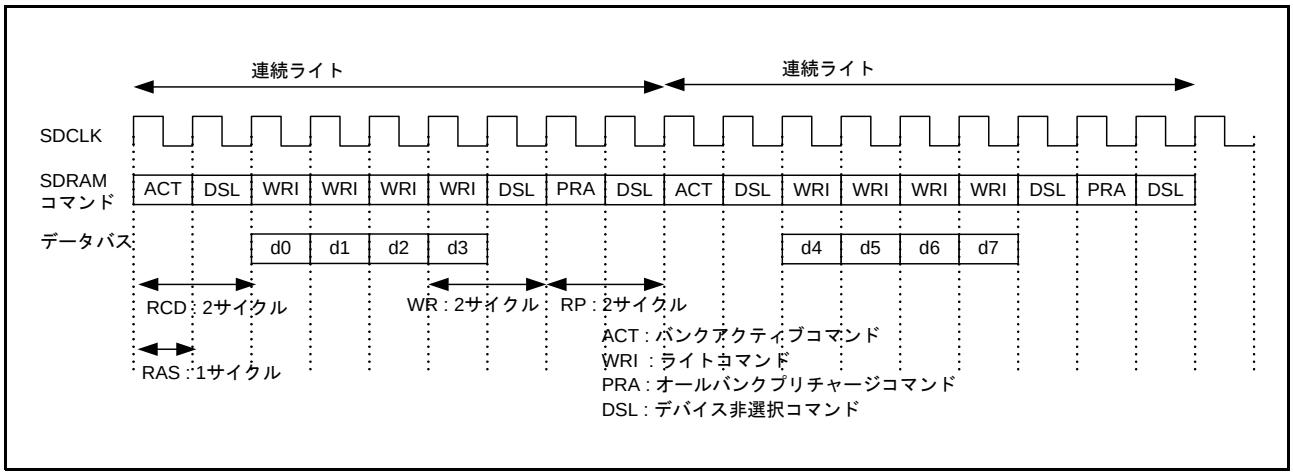


図 12.72 連続ライトタイミング例（3）

12.6.13 アドレスマルチプレクス

SDRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。アドレスマルチプレクスでは、SDRAM アドレスレジスタ（SDADR）のアドレスマルチプレクス選択ビット (SDADR.MXC[1:0]) により、ロウアドレスのシフト量を選択します。また、SDRAM 空間では、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) が出力されます。**表 12.20** に SDADR.MXC[1:0] ビットの設定値とシフト量の関係を示します。

表12.20　アドレスマルチプレクス

MXC [1:0]	シフト量	データバス幅	アドレス	マイコン外部アドレス端子																		
				A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
00	8ビット	8ビット	ロウ	A26	A25	A24	A23	A22	A21	A20	A19	A18*	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			カラム	A26	A25	A24	A23	A22	A21	A20	A19	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16ビット	ロウ	A26	A25	A24	A23	A22	A21	A20	A19*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			カラム	A26	A25	A24	A23	A22	A21	A20	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		32ビット	ロウ	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			カラム	A26	A25	A24	A23	A22	A21	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
01	9ビット	8ビット	ロウ	-	A26	A25	A24	A23	A22	A21	A20	A20*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
			カラム	-	A26	A25	A24	A23	A22	A21	A20	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16ビット	ロウ	-	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
			カラム	-	A26	A25	A24	A23	A22	A21	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		32ビット	ロウ	-	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
			カラム	-	A26	A25	A24	A23	A22	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
10	10ビット	8ビット	ロウ	-	-	A26	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	-	-	A26	A25	A24	A23	A22	A21	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16ビット	ロウ	-	-	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	-	-	A26	A25	A24	A23	A22	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		32ビット	ロウ	-	-	A26	A25	A24	A23	A22*	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	-	-	A26	A25	A24	A23	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
11	11ビット	8ビット	ロウ	-	-	-	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	-	-	-	A26	A25	A24	A23	A10	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		16ビット	ロウ	-	-	-	A26	A25	A24	A23	A22*	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	-	-	-	A26	A25	A24	A11	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		32ビット	ロウ	-	-	-	A26	A25	A24	A23*	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	-	-	-	A26	A25	A12	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

注. P ：プリチャージ設定コマンド(Precharge-sel)を出力します。
* ：PALLコマンド発行時はPrecharge-sel=1(High)を、Activeコマンド発行時は対応するアドレスを出力します。
\- ：Don't care を示します。

12.6.14 SDRAM 接続例

12.6.14.1 32 ビットバス空間の場合

図 12.73 にロウアドレス 13 ビット、カラムアドレス 10 ビット、512M ビット品、16 ビットバスの SDRAM を 2 個接続する場合の例を示します。

本LSI（シフト量10ビット）				SDRAM（512Mビット、16ビットバス）			
No.	端子名	ロウ	カラム	端子名	BA・AP	ロウ	カラム
1	RAS#			RAS#			
2	CAS#			CAS#			
3	WE#			WE#			
4	CKE			CKE			
5	SDCS#			CS#			
6	SDCLK			CLK			
7	DQM1			UDQM			
8	DQM0			LDQM			
9	A16	A26	A26	BA1(A14)	BA1	-	-
10	A15	A25	A25	BA0(A13)	BA0	-	-
11	A14	A24	A24	A12		A12	-
12	A13	A23	A23	A11		A11	-
13	A12	A22	P	A10	AP	A10	-
14	A11	A21	A11	A9		A9	A9
15	A10	A20	A10	A8		A8	A8
16	A9	A19	A9	A7		A7	A7
17	A8	A18	A8	A6		A6	A6
18	A7	A17	A7	A5		A5	A5
19	A6	A16	A6	A4		A4	A4
20	A5	A15	A5	A3		A3	A3
21	A4	A14	A4	A2		A2	A2
22	A3	A13	A3	A1		A1	A1
23	A2	A12	A2	A0		A0	A0
24	D15～D8			DQ[15:8]			
25	D7～D0			DQ[7:0]			
No.				SDRAM（512Mビット、16ビットバス）			
同(1)	RAS#			RAS#			
同(2)	CAS#			CAS#			
同(3)	WE#			WE#			
同(4)	CKE			CKE			
同(5)	SDCS#			CS#			
同(6)	SDCLK			CLK			
26	DQM3			UDQM			
27	DQM2			LDQM			
同(9)	A16	A26	A26	BA1(A14)	BA1	-	-
同(10)	A15	A25	A25	BA0(A13)	BA0	-	-
同(11)	A14	A24	A24	A12		A12	-
同(12)	A13	A23	A23	A11		A11	-
同(13)	A12	A22	P	A10	AP	A10	-
同(14)	A11	A21	A11	A9		A9	A9
同(15)	A10	A20	A10	A8		A8	A8
同(16)	A9	A19	A9	A7		A7	A7
同(17)	A8	A18	A8	A6		A6	A6
同(18)	A7	A17	A7	A5		A5	A5
同(19)	A6	A16	A6	A4		A4	A4
同(20)	A5	A15	A5	A3		A3	A3
同(21)	A4	A14	A4	A2		A2	A2
同(22)	A3	A13	A3	A1		A1	A1
同(23)	A2	A12	A2	A0		A0	A0
28	D31～D24			DQ[15:8]			
29	D23～D16			DQ[7:0]			

図 12.73　SDRAM 接続例（512M ビット品 ×2 個、16 ビットバス）

図 12.74 にロウアドレス 12 ビット、カラムアドレス 9 ビット、256M ビット品、32 ビットバスの SDRAM を 1 個接続する場合の例を示します。

本LSI（シフト量9ビット）				SDRAM（256Mビット、32ビットバス）			
No.	端子名	ロウ	カラム	端子名	BA・AP	ロウ	カラム
1	RAS#			RAS#			
2	CAS#			CAS#			
3	WE#			WE#			
4	CKE			CKE			
5	SDCS#			CS#			
6	SDCLK			CLK			
7	DQM3			DQM3			
8	DQM2			DQM2			
7	DQM1			DQM1			
8	DQM0			DQM0			
9	A15	A24	A24	BA1(A13)	BA1	-	-
10	A14	A23	A23	BA0(A12)	BA0	-	-
11	A13	A22	A22	A11		A11	-
12	A12	A21	P	A10	AP	A10	-
13	A11	A20	A11	A9		A9	-
14	A10	A19	A10	A8		A8	A8
15	A9	A18	A9	A7		A7	A7
16	A8	A17	A8	A6		A6	A6
17	A7	A16	A7	A5		A5	A5
18	A6	A15	A6	A4		A4	A4
19	A5	A14	A5	A3		A3	A3
20	A4	A13	A4	A2		A2	A2
21	A3	A12	A3	A1		A1	A1
22	A2	A11	A2	A0		A0	A0
23	D31～D24			DQ[31:24]			
24	D23～D16			DQ[23:16]			
25	D15～D8			DQ[15:8]			
26	D7～D0			DQ[7:0]			

図 12.74　SDRAM 接続例（256M ビット品 ×1 個、32 ビットバス）

図 12.75 にロウアドレス 12 ビット、カラムアドレス 9 ビット、128M ビット品、16 ビットバスの SDRAM を 2 個接続する場合の例を示します。

本LSI（シフト量9ビット）					SDRAM（128Mビット、16ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA・AP	ロウ	カラム
1	RAS#			→	RAS#			
2	CAS#			→	CAS#			
3	WE#			→	WE#			
4	CKE			→	CKE			
5	SDCS#			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			
8	DQM0			→	LDQM			
9	A15	A24	A24	→	BA1(A13)	BA1	-	-
10	A14	A23	A23	→	BA0(A12)	BA0	-	-
11	A13	A22	A22	→	A11		A11	-
12	A12	A21	P	→	A10	AP	A10	-
13	A11	A20	A11	→	A9		A9	-
14	A10	A19	A10	→	A8		A8	A8
15	A9	A18	A9	→	A7		A7	A7
16	A8	A17	A8	→	A6		A6	A6
17	A7	A16	A7	→	A5		A5	A5
18	A6	A15	A6	→	A4		A4	A4
19	A5	A14	A5	→	A3		A3	A3
20	A4	A13	A4	→	A2		A2	A2
21	A3	A12	A3	→	A1		A1	A1
22	A2	A11	A2	→	A0		A0	A0
23	D15～D8			↔	DQ[15:8]			
24	D7～D0			↔	DQ[7:0]			
No.					SDRAM（128Mビット、16ビットバス）			
同(1)	RAS#			→	RAS#			
同(2)	CAS#			→	CAS#			
同(3)	WE#			→	WE#			
同(4)	CKE			→	CKE			
同(5)	SDCS#			→	CS#			
同(6)	SDCLK			→	CLK			
25	DQM3			→	UDQM			
26	DQM2			→	LDQM			
同(9)	A15	A24	A24	→	BA1(A13)	BA1	-	-
同(10)	A14	A23	A23	→	BA0(A12)	BA0	-	-
同(11)	A13	A22	A22	→	A11		A11	-
同(12)	A12	A21	P	→	A10	AP	A10	-
同(13)	A11	A20	A11	→	A9		A9	-
同(14)	A10	A19	A10	→	A8		A8	A8
同(15)	A9	A18	A9	→	A7		A7	A7
同(16)	A8	A17	A8	→	A6		A6	A6
同(17)	A7	A16	A7	→	A5		A5	A5
同(18)	A6	A15	A6	→	A4		A4	A4
同(19)	A5	A14	A5	→	A3		A3	A3
同(20)	A4	A13	A4	→	A2		A2	A2
同(21)	A3	A12	A3	→	A1		A1	A1
同(22)	A2	A11	A2	→	A0		A0	A0
27	D31～D24			↔	DQ[15:8]			
28	D23～D16			↔	DQ[7:0]			

図 12.75　SDRAM 接続例（128M ビット品 ×2 個、16 ビットバス）

12.6.14.2　16 ビットバス空間の場合

図 12.76 にロウアドレス 13 ビット、カラムアドレス 11 ビット、512M ビット品、8 ビットバスの SDRAM を 2 個接続する場合の例を示します。

本LSI（シフト量11ビット）					SDRAM（512Mビット、8ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA・AP	ロウ	カラム
1	RAS#			→	RAS#			
2	CAS#			→	CAS#			
3	WE#			→	WE#			
4	CKE			→	CKE			
5	SDCS#			→	CS#			
6	SDCLK			→	CLK			
7	DQM0			→	LDQM			
8	A15	A26	A26	→	BA1(A14)	BA1	-	-
9	A14	A25	A25	→	BA0(A13)	BA0	-	-
10	A13	A24	A24	→	A12		A12	-
11	A12	A23	A11	→	A11		A11	A11
12	A11	A22	P	→	A10	AP	A10	-
13	A10	A21	A10	→	A9		A9	A9
14	A9	A20	A9	→	A8		A8	A8
15	A8	A19	A8	→	A7		A7	A7
16	A7	A18	A7	→	A6		A6	A6
17	A6	A17	A6	→	A5		A5	A5
18	A5	A16	A5	→	A4		A4	A4
19	A4	A15	A4	→	A3		A3	A3
20	A3	A14	A3	→	A2		A2	A2
21	A2	A13	A2	→	A1		A1	A1
22	A1	A12	A1	→	A0		A0	A0
23	D7～D0			↔	DQ[7:0]			
No.					SDRAM（512Mビット、8ビットバス）			
同(1)	RAS#			→	RAS#			
同(2)	CAS#			→	CAS#			
同(3)	WE#			→	WE#			
同(4)	CKE			→	CKE			
同(5)	SDCS#			→	CS#			
同(6)	SDCLK			→	CLK			
24	DQM1			→	LDQM			
同(8)	A15	A26	A26	→	BA1(A14)	BA1	-	-
同(9)	A14	A25	A25	→	BA0(A13)	BA0	-	-
同(10)	A13	A24	A24	→	A12		A12	-
同(11)	A12	A23	A11	→	A11		A11	A11
同(12)	A11	A22	P	→	A10	AP	A10	-
同(13)	A10	A21	A10	→	A9		A9	A9
同(14)	A9	A20	A9	→	A8		A8	A8
同(15)	A8	A19	A8	→	A7		A7	A7
同(16)	A7	A18	A7	→	A6		A6	A6
同(17)	A6	A17	A6	→	A5		A5	A5
同(18)	A5	A16	A5	→	A4		A4	A4
同(19)	A4	A15	A4	→	A3		A3	A3
同(20)	A3	A14	A3	→	A2		A2	A2
同(21)	A2	A13	A2	→	A1		A1	A1
同(22)	A1	A12	A1	→	A0		A0	A0
25	D15～D8			↔	DQ[7:0]			

図 12.76　SDRAM 接続例（512M ビット品 ×2 個、8 ビットバス）

図 12.77 にロウアドレス 13 ビット、カラムアドレス 10 ビット、512M ビット品、16 ビットバスの SDRAM を 1 個接続する場合の例を示します。

本LSI（シフト量10ビット）				SDRAM（512Mビット、16ビットバス）			
No.	端子名	ロウ	カラム	端子名	BA・AP	ロウ	カラム
1	RAS#			RAS#			
2	CAS#			CAS#			
3	WE#			WE#			
4	CKE			CKE			
5	SDCS#			CS#			
6	SDCLK			CLK			
7	DQM1			UDQM			
8	DQM0			LDQM			
9	A15	A25	A25	BA1(A14)	BA1	-	-
10	A14	A24	A24	BA0(A13)	BA0	-	-
11	A13	A23	A23	A12		A12	-
12	A12	A22	A22	A11		A11	-
13	A11	A21	P	A10	AP	A10	-
14	A10	A20	A10	A9		A9	A9
15	A9	A19	A9	A8		A8	A8
16	A8	A18	A8	A7		A7	A7
17	A7	A17	A7	A6		A6	A6
18	A6	A16	A6	A5		A5	A5
19	A5	A15	A5	A4		A4	A4
20	A4	A14	A4	A3		A3	A3
21	A3	A13	A3	A2		A2	A2
22	A2	A12	A2	A1		A1	A1
23	A1	A11	A1	A0		A0	A0
24	D15～D8			DQ[15:8]			
25	D7～D0			DQ[7:0]			

図 12.77　SDRAM 接続例（512M ビット品 ×1 個、16 ビットバス）

図 12.78 にロウアドレス 13 ビット、カラムアドレス 9 ビット、256M ビット品、16 ビットバスの SDRAM を 1 個接続する場合の例を示します。

本LSI（シフト量9ビット）				SDRAM（256Mビット、16ビットバス）			
No.	端子名	ロウ	カラム	端子名	BA・AP	ロウ	カラム
1	RAS#			RAS#			
2	CAS#			CAS#			
3	WE#			WE#			
4	CKE			CKE			
5	SDCS#			CS#			
6	SDCLK			CLK			
7	DQM1			UDQM			
8	DQM0			LDQM			
9	A15	A24	A24	BA1(A14)	BA1	-	-
10	A14	A23	A23	BA0(A13)	BA0	-	-
11	A13	A22	A22	A12		A12	-
12	A12	A21	A21	A11		A11	-
13	A11	A20	P	A10	AP	A10	-
14	A10	A19	A10	A9		A9	-
15	A9	A18	A9	A8		A8	A8
16	A8	A17	A8	A7		A7	A7
17	A7	A16	A7	A6		A6	A6
18	A6	A15	A6	A5		A5	A5
19	A5	A14	A5	A4		A4	A4
20	A4	A13	A4	A3		A3	A3
21	A3	A12	A3	A2		A2	A2
22	A2	A11	A2	A1		A1	A1
23	A1	A10	A1	A0		A0	A0
24	D15～D8			DQ[15:8]			
25	D7～D0			DQ[7:0]			

図 12.78　SDRAM 接続例（256M ビット品 X1 個、16 ビットバス）

12.6.15 制限事項

(1) 外部アドレス空間の各エリアをまたがるアクセスの禁止

一つのアクセスでアドレス空間の各エリアをまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各エリア境界をはさんで 2 つのエリアにまたがらないようにしてください。

また、EXDMAC のシングルアドレスモードブロック転送およびクラスタ転送中に、アドレス空間の各エリアをまたがるアクセスは禁止しており、その場合の動作は保証していません。EXDMAC のシングルアドレスモードブロック転送、クラスタ転送によりアドレス空間の各エリア境界をはさんで 2 つのエリアにまたがらないようにしてください。

(2) 低消費電力状態

全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード時には、SDRAMC のクロックが停止しますので、オートリフレッシュが実行されません。外部に SDRAM を接続し、SDRAM のデータを保持したい場合には、セルフリフレッシュ機能を使用してください。セルフリフレッシュモードへの移行、復帰の手順については、「12.6.7 セルフリフレッシュ」を参照してください。

(3) 連続アクセスモード

EXDMAC のシングルアドレスモードブロック転送およびクラスタ転送の場合、CL=1 を設定することは禁止しており、設定された場合の動作は保証していません。

(4) SDRAM タイミングレジスタ設定

SDRAM タイミングレジスタ (SDTR) の RAS[2:0] ビットの値は、ロウーカラムレイテンシ（SDTR .RCD[1:0]）+ カラムレイテンシ (SDTR .CL[2:0]) 以下に設定してください。この条件が満たされない場合の動作は保証していません。

(5) RMPA 命令、ストリング操作命令に関する制約事項

- 外部空間には領域ごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行った領域に RMPA 命令、ストリング操作命令の操作対象データを配置することは禁止しており、その場合の動作は保証していません。RMPA 命令、ストリング操作命令の操作対象データを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(6) 命令コードに関する制約事項

領域ごとのエンディアン設定が、チップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

12.7 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合バスマスタへ通知します。バスエラーには、不正アドレスアクセス、タイムアウトの 2 種類のバスエラーがあります。不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが 768 サイクル以内に終了しない場合に検出します。

12.7.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの 2 種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが 768 サイクル以内に終了しない場合に検出します。

12.7.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効（BEREN.IGAEN ビット = “1”）で、以下のアクセスが起こった場合に発生します。

- 外部領域について、動作禁止（CSnCR.EXENB ビット = “0”、SDCCR.EXENB ビット = “0”）に設定したエリアをアクセスした場合
- 上記以外の領域について、不正アドレス領域にアクセスした場合
  どの領域で不正アドレスアクセスエラーが発生するかを**表** 12.21 に示します。

12.7.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効（BEREN.TOEN ビット = “1”）で、バスアクセスが 768 サイクル以内に終了しない場合に発生します。

- CS 領域（CS0 ～ CS7）: バスアクセス開始後、外部バスクロック（BCLK）で 768 サイクル以内にバスアクセスが終了しない
  （WAIT# 信号がネゲートされない）場合
  タイムアウトが発生した場合は、バスアクセスを強制的に終了しますので、その動作は保証されません。タイムアウトが発生すると BCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。バスマスタからの 1 回のリクエストで、複数の外部バスアクセスが発生する転送では、タイムアウトが発生しても、後続のバスアクセスを中断できません。この場合、連続してタイムアウトが発生する可能性があります。

注 . RX62N、RX621 では、上記以外の領域では、タイムアウトは発生しません。

12.7.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：
  割り込みが発生します。割り込みを発生させるかどうかは、ICU.IEN レジスタで制御できます。

12.7.3 バスエラーの発生条件

表 12.21 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態（バスエラーステータスレジスタ n（BERSRn）(n = 1、2) がクリアされている場合）で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。1 度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表12.21　発生するバスエラーの種類

<table>
<tr><th rowspan="3">アドレス</th><th colspan="2" rowspan="2">内容</th><th colspan="4">種類</th></tr>
<tr><th colspan="2">不正アドレスアクセス</th><th colspan="2">タイムアウト</th></tr>
<tr><th colspan="2">内蔵ROMモード</th><th colspan="2">内蔵ROMモード</th><th colspan="2">内蔵ROMモード</th></tr>
<tr><th></th><th>有効</th><th>無効</th><th>有効</th><th>無効</th><th>有効</th><th>無効</th></tr>
<tr><td>0000 0000h ～ 0007 FFFFh</td><td colspan="2">内蔵 RAM（注）</td><td colspan="2">－</td><td colspan="2">－</td></tr>
<tr><td>0008 0000h ～ 0009 0FFFh</td><td colspan="2" rowspan="12">周辺 I/O レジスタ</td><td colspan="2">－</td><td colspan="2">－</td></tr>
<tr><td>0009 1000h ～ 0009 FFFFh</td><td colspan="2">○</td><td colspan="2">－</td></tr>
<tr><td>000A 0000h ～ 000A 00FFh</td><td colspan="2">－</td><td colspan="2">－</td></tr>
<tr><td>000A 0100h ～ 000A 01FFh</td><td colspan="2">○</td><td colspan="2">－</td></tr>
<tr><td>000A 0200h ～ 000A 02FFh</td><td colspan="2">－</td><td colspan="2">－</td></tr>
<tr><td>000A 0300h ～ 000A 03FFh</td><td colspan="2">○</td><td colspan="2">－</td></tr>
<tr><td>000A 0400h ～ 000A 041Fh</td><td colspan="2">－</td><td colspan="2">－</td></tr>
<tr><td>000A 0420h ～ 000B FFFFh</td><td colspan="2">○</td><td colspan="2">－</td></tr>
<tr><td>000C 0000h ～ 000C 043Fh</td><td colspan="2">－</td><td colspan="2">－</td></tr>
<tr><td>000C 0440h ～ 000D FFFFh</td><td colspan="2">○</td><td colspan="2">－</td></tr>
<tr><td>000E 0000h ～ 000F FFFFh</td><td colspan="2">○</td><td colspan="2">－</td></tr>
<tr><td>0010 0000h ～ 0011 FFFFh</td><td>データフラッシュ（注）</td><td rowspan="9">予約領域</td><td>－</td><td rowspan="9">○</td><td>－</td><td rowspan="9">－</td></tr>
<tr><td>0012 0000h ～ 007F 7FFFh</td><td>予約領域</td><td>○</td><td>－</td></tr>
<tr><td>007F 8000h ～ 007F 9FFFh</td><td>FCU RAM</td><td>－</td><td>－</td></tr>
<tr><td>007F A000h ～ 007F BFFFh</td><td>予約領域</td><td>○</td><td>－</td></tr>
<tr><td>007F C000h ～ 007F C4FFh</td><td>周辺 I/O レジスタ</td><td>－</td><td>－</td></tr>
<tr><td>007F C500h ～ 007F FBFFh</td><td>予約領域</td><td>○</td><td>－</td></tr>
<tr><td>007F FC00h ～ 007F FFFFh</td><td>周辺 I/O レジスタ</td><td rowspan="3">－</td><td rowspan="3">－</td></tr>
<tr><td>0080 0000h ～ 00DF FFFFh</td><td>予約領域</td></tr>
<tr><td>00E0 0000h ～ 00FF FFFFh</td><td>内蔵 ROM（注）
（書き換え専用）</td></tr>
<tr><td>0100 0000h ～ 07FF FFFFh</td><td colspan="2">外部アドレス空間（CS1 ～ CS7）</td><td colspan="2">[IA](*1)</td><td colspan="2">[TO]</td></tr>
<tr><td>0800 0000h ～ 0FFF FFFFh</td><td colspan="2">SDRAM 領域</td><td colspan="2">[IA](*2)</td><td colspan="2">－</td></tr>
<tr><td>1000 0000h ～ 7FFF FFFFh</td><td colspan="2">予約領域</td><td colspan="2">○</td><td colspan="2">－</td></tr>
<tr><td>8000 0000h ～ FEFF FFFFh</td><td rowspan="2">内蔵 ROM
（読み出し専用）</td><td>予約領域</td><td rowspan="2">－</td><td>○</td><td rowspan="2">－</td><td>－</td></tr>
<tr><td>FF00 0000h ～ FFFF FFFFh</td><td>外部アドレス
空間（CS0）</td><td>[IA](*1)</td><td>[TO]</td></tr>
<tr><td>8000 0000h ～ FEFF FFFFh</td><td rowspan="2">予約領域</td><td>予約領域</td><td>－</td><td>○</td><td>－</td><td>－</td></tr>
<tr><td>FF00 0000h ～ FF7F FFFFh</td><td rowspan="2">外部アドレス
空間（CS0）</td><td>－</td><td rowspan="2">[IA](*1)</td><td>－</td><td rowspan="2">[TO]</td></tr>
<tr><td>FF80 0000h ～ FFFF FFFFh</td><td>内蔵 ROM（注）
（読み出し専用）</td><td>－</td><td>－</td></tr>
</table>

【記号説明】　－：バスエラーは発生しません
○：バスエラーが発生します
[IA](*1)：これらの領域を動作禁止（CSnCR.EXENB = 0 (n = 0 ～ 7)）に設定している場合にバスエラーを検出します。
[IA](*2)：これらの領域を動作禁止（SDCCR.EXENB = 0）に設定している場合にバスエラーを検出します。
[TO]：768 サイクル以内にバスアクセスが終了しない場合にバスエラーを検出します。

注．　実装される内蔵 RAM、データフラッシュ、内蔵 ROM の容量は製品により異なります。製品ごとの仕様については、「37.　RAM」、「38.　ROM（コード格納用フラッシュメモリ）」、「39.　データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

13. メモリプロテクションユニット（MPU）

13.1 概要

RX CPUにはメモリプロテクションユニットが内蔵されており、全アドレス空間（0000 0000h～FFFF FFFFh）を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパバイザモードのときは、メモリ保護を行いません。

表 13.1 にメモリプロテクションユニットの仕様を、図 13.1 にブロック図を示します。

表13.1　メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域と プロセッサモード	0000 0000h～FFFF FFFFh（ユーザモード時） スーパバイザモード時はメモリ保護なし
領域数	8
ページサイズ（最小保護単位）	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域n終了ページ番号レジスタ（REPAGEn）の有効ビット（V）で各領域の有効/無効を設定(n=0～7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ（MPDEA）に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ（MPESTS）に要因を格納
バックグラウンド領域設定	バックグラウンド領域（全アドレス空間）に対して、アクセス制御情報を設定可能
領域オーバラップの処理	あるアドレスに対して領域がオーバラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

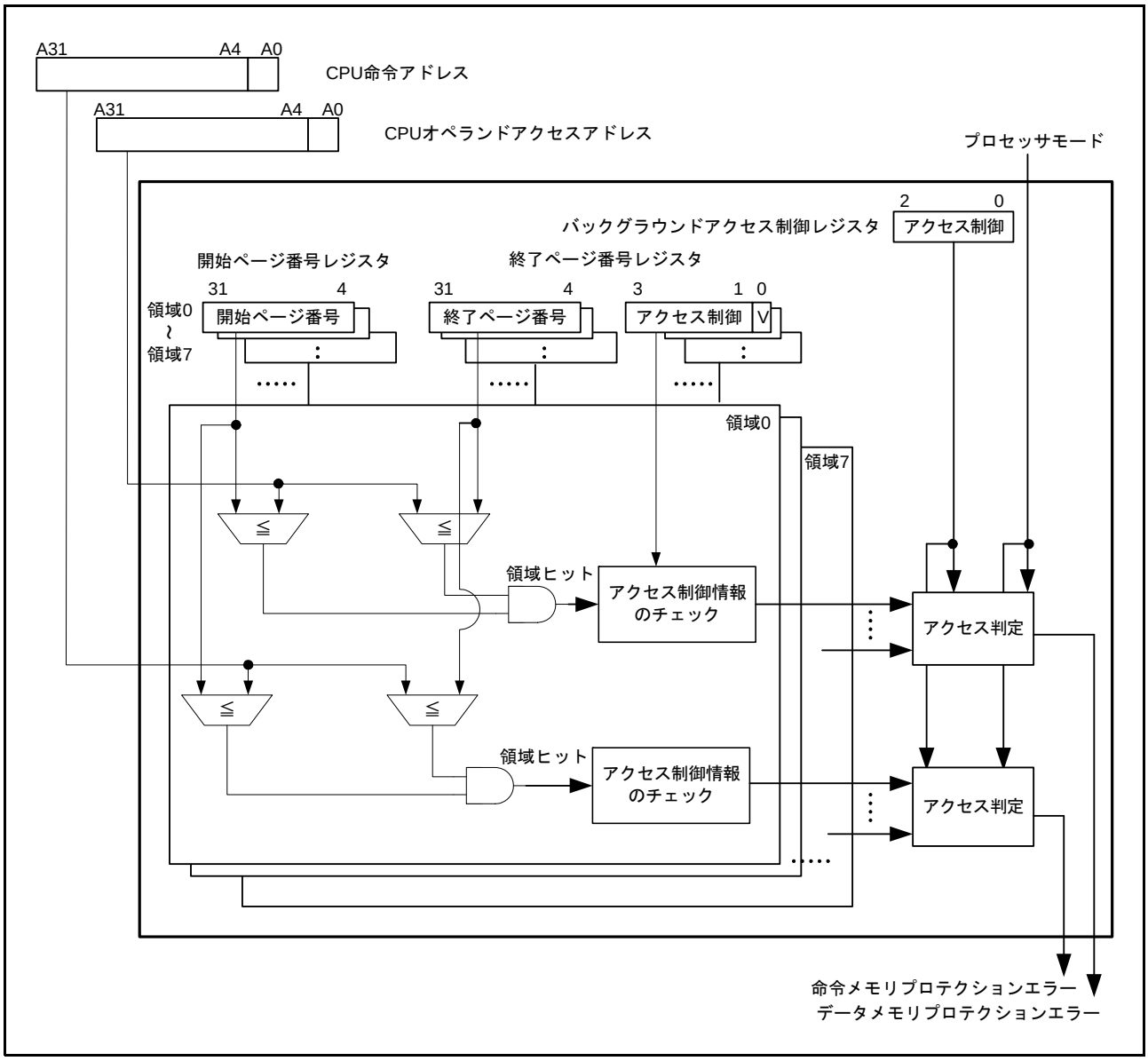


図 13.1　　メモリプロテクションユニットブロック図

13.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の 3 種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパバイザモードのプログラムに対しては違反を検出しません。

13.1.2 アクセス制御領域

アクセス制御領域は 8 つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ（RSPAGEn）および領域 n 終了ページ番号レジスタ（REPAGEn）で行います (n=0 ～ 7)。

ページは、アクセス制御の最小単位であり、アドレス空間を 16 バイト毎に区切ったものです。アドレス [31:0] の上位 28 ビット（[31:4]）がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

13.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間（0000 0000h ～ FFFF FFFFh）です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ（MPBAC）で設定します。バックグラウンド領域のアクセス制御情報は、8 つのアクセス制御領域と異なり、メモリプロテクション機能が有効（MPEN.MPEN ビットが “1”）であれば有効となります。

13.1.4 領域のオーバラップ

複数の領域がオーバラップした場合のアクセス制御情報は、オーバラップした領域（バックグラウンド領域を含む）のアクセス制御ビットの論理和となり、許可が優先して設定されます。

13.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

13.2 レジスタの説明

表 13.2 にメモリプロテクションユニットのレジスター一覧を示します。

表13.2　メモリプロテクションユニットのレジスター一覧

レジスタ名	シンボル	リセット後の値（注）	アドレス	アクセスサイズ
領域0開始ページ番号レジスタ	RSPAGE0	xxxx xxx0h	0008 6400h	32
領域0終了ページ番号レジスタ	REPAGE0	xxxx xxx0h	0008 6404h	32
領域1開始ページ番号レジスタ	RSPAGE1	xxxx xxx0h	0008 6408h	32
領域1終了ページ番号レジスタ	REPAGE1	xxxx xxx0h	0008 640Ch	32
領域2開始ページ番号レジスタ	RSPAGE2	xxxx xxx0h	0008 6410h	32
領域2終了ページ番号レジスタ	REPAGE2	xxxx xxx0h	0008 6414h	32
領域3開始ページ番号レジスタ	RSPAGE3	xxxx xxx0h	0008 6418h	32
領域3終了ページ番号レジスタ	REPAGE3	xxxx xxx0h	0008 641Ch	32
領域4開始ページ番号レジスタ	RSPAGE4	xxxx xxx0h	0008 6420h	32
領域4終了ページ番号レジスタ	REPAGE4	xxxx xxx0h	0008 6424h	32
領域5開始ページ番号レジスタ	RSPAGE5	xxxx xxx0h	0008 6428h	32
領域5終了ページ番号レジスタ	REPAGE5	xxxx xxx0h	0008 642Ch	32
領域6開始ページ番号レジスタ	RSPAGE6	xxxx xxx0h	0008 6430h	32
領域6終了ページ番号レジスタ	REPAGE6	xxxx xxx0h	0008 6434h	32
領域7開始ページ番号レジスタ	RSPAGE7	xxxx xxx0h	0008 6438h	32
領域7終了ページ番号レジスタ	REPAGE7	xxxx xxx0h	0008 643Ch	32
メモリプロテクション機能有効化レジスタ	MPEN	0000 0000h	0008 6500h	32
バッググラウンドアクセス制御レジスタ	MPBAC	0000 0000h	0008 6504h	32
メモリプロテクションエラーステータスクリアレジスタ	MPECLR	0000 0000h	0008 6508h	32
メモリプロテクションエラーステータスレジスタ	MPESTS	0000 0000h	0008 650Ch	32
データメモリプロテクションエラーアドレスレジスタ	MPDEA	xxxx xxxxh	0008 6514h	32
領域サーチアドレスレジスタ	MPSA	xxxx xxxxh	0008 6520h	32
領域サーチオペレーションレジスタ	MPOPS	0000h	0008 6524h	16
領域インバリデートオペレーションレジスタ	MPOPI	0000h	0008 6526h	16
命令ヒット領域レジスタ	MHITI	0000 0000h	0008 6528h	32
データヒット領域レジスタ	MHITD	0000 0000h	0008 652Ch	32

注.　x：不定

13.2.1 領域 n 開始ページ番号レジスタ（RSPAGEn）(n=0 ～ 7)

アドレス RSPAGE0 0008 6400h、RSPAGE1 0008 6408h、RSPAGE2 0008 6410h、RSPAGE3 0008 6418h
RSPAGE4 0008 6420h、RSPAGE5 0008 6428h、RSPAGE6 0008 6430h、RSPAGE7 0008 6438h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RSPN[27:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RSPN[27:0]												—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	説明	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット（領域開始ページ番号ビット）

領域開始ページ番号を設定します。

13.2.2 領域 n 終了ページ番号レジスタ（REPAGEn）(n=0 ～ 7)

アドレス REPAGE0 0008 6404h、REPAGE1 0008 640Ch、REPAGE2 0008 6414h、REPAGE3 0008 641Ch
REPAGE4 0008 6424h、REPAGE5 0008 642Ch、REPAGE6 0008 6434h、REPAGE7 0008 643Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	REPN[27:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REPN[27:0]												UAC[2:0]			V
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	説明	R/W
b0	V	有効ビット	0：領域設定無効 1：領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	REPN[27:0]	領域終了ページ番号	領域判定に使用する領域終了ページ番号情報	R/W

V ビット（有効ビット）

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ（MPOPI）により 全アクセス制御領域のインバリデート（無効化）を行った場合、V ビットは “0” になります。

UAC[2:0] ビット（ユーザモード時アクセス制御ビット）

ユーザモード時のアクセス制御を設定します。

REPN[27:0] ビット（領域終了ページ番号ビット）

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

13.2.3 メモリプロテクション機能有効化レジスタ（MPEN）

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1：メモリプロテクション機能有効 0：メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

MPEN ビット（メモリプロテクション機能有効化ビット）

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに “1” を書いた後、ユーザモードへ移行する分岐命令（RTE、RTFI）の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

13.2.4 バックグラウンドアクセス制御レジスタ（MPBAC）

アドレス 0008 6504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UBAC[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UBAC[2:0] ビット（ユーザモード時バックグラウンドアクセス制御ビット）

ユーザモード時のバックグラウンドアクセス制御を設定します。

13.2.5 メモリプロテクションエラーステータスクリアレジスタ（MPECLR）

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DA, IAビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CLR ビット（エラーステータスクリアビット）

メモリプロテクションエラーステータスレジスタ（MPESTS）のデータリード / ライトビット（DRW）、データメモリプロテクションエラー発生ビット（DA）、命令メモリプロテクションエラー発生ビット（IA）を “0” にします。

13.2.6 メモリプロテクションエラーステータスレジスタ（MPESTS）

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DA	IA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	IA	命令メモリプロテクションエラー発生ビット	0：命令メモリプロテクションエラー発生なし 1：命令メモリプロテクションエラー発生	R
b1	DA	データメモリプロテクションエラー発生ビット	0：データメモリプロテクションエラー発生なし 1：データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0：データリード 1：データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IA ビット（命令メモリプロテクションエラー発生ビット）

命令実行によるメモリプロテクションエラー発生状態を示します。

IA ビットは、メモリプロテクションエラーステータスクリアレジスタ（MPECLR）のエラーステータスクリアビット（CLR）を “1” にすることによってのみ、“0” になります。

DA ビット（データメモリプロテクションエラー発生ビット）

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DA ビットは、メモリプロテクションエラーステータスクリアレジスタ（MPECLR）のエラーステータスクリアビット（CLR）を “1” にすることによってのみ、“0” になります。

DRW ビット（データリード / ライトビット）

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DA ビットが “1” の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ（MPECLR）のエラーステータスクリアビット（CLR）を “1” にすることで、“0” になります。

13.2.7 データメモリプロテクションエラーアドレスレジスタ（MPDEA）

アドレス 0008 6514h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DEA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	説明	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット（データメモリプロテクションエラーアドレスビット）

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

13.2.8　領域サーチアドレスレジスタ（MPSA）

アドレス　0008 6520h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	SA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SA[31:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	説明	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット（領域サーチ用アドレスビット）

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ（RSPAGEn）の領域開始アドレス、領域 n 終了ページ番号レジスタ（REPAGEn）の領域終了アドレスと比較するアドレスを設定します。

13.2.9　領域サーチオペレーションレジスタ（MPOPS）

アドレス　0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

S ビット（領域サーチオペレーション起動ビット）

S ビットを “1” にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ（MPSA）で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ（MHITD）のデータヒット領域ビット（HITD[7:0]）に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット（UHACD[2:0]）に格納されます。

13.2.10 領域インバリデートオペレーションレジスタ（MPOPI）

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：全アクセス制御領域のインバリデート（無効化）	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

INV ビット（領域インバリデート起動ビット）

INV ビットを “1” にすることにより、すべての領域 n 終了ページ番号レジスタ（REPAGEn）の有効ビット（V）を “0” にします。REPAGEn.V ビットを “0” にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

13.2.11 命令ヒット領域レジスタ（MHITI）

アドレス 0008 6528h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITI[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UHACI[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット（MPESTS.IA）= “1”のとき、 [b23:b16] = 0000 0000b：バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0：領域7で命令メモリプロテクションエラーなし 1：領域7で命令メモリプロテクションエラーあり b22 0：領域6で命令メモリプロテクションエラーなし 1：領域6で命令メモリプロテクションエラーあり b21 0：領域5で命令メモリプロテクションエラーなし 1：領域5で命令メモリプロテクションエラーあり b20 0：領域4で命令メモリプロテクションエラーなし 1：領域4で命令メモリプロテクションエラーあり b19 0：領域3で命令メモリプロテクションエラーなし 1：領域3で命令メモリプロテクションエラーあり b18 0：領域2で命令メモリプロテクションエラーなし 1：領域2で命令メモリプロテクションエラーあり b17 0：領域1で命令メモリプロテクションエラーなし 1：領域1で命令メモリプロテクションエラーあり b16 0：領域0で命令メモリプロテクションエラーなし 1：領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACI[2:0] ビット（ユーザモード時命令ヒット領域アクセス制御ビット）

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット（REPAGEn.UAC[2:0]）を保持します。

オーバラップした領域でエラーが発生した場合、該当する領域（バックグラウンド領域も含む）のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット（命令ヒット領域ビット）

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーを発生したときは、HITI[7:0] ビットは “0000 0000b” にセットされます。

13.2.12 データヒット領域レジスタ（MHITD）

アドレス 0008 652Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	HITD[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UHACD[2:0]			—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITD[7:0]	データヒット領域 ビット	データメモリプロテクションエラー発生ビット(DA) =1のとき、 [b23:b16] = 0000 0000b：バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0：領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0：領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0：領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0：領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0：領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0：領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0：領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0：領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACD[2:0] ビット（ユーザモード時データヒット領域アクセス制御ビット）

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット（REPAGEn.UAC[2:0]）を保持します。

オーバラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域（バックグラウンド領域も含む）のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット（データヒット領域ビット）

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーを発生したとき、HITD[7:0] ビットは “0000 0000b” にセットされます。

注 .　ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

13.3 機能

13.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反（メモリプロテクションエラー）を検出した場合は、メモリプロテクションユニットは CPU へその情報を通知し、CPU はアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ（MPEN）のメモリプロテクション機能有効化ビット（MPEN）を “1” にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

13.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが 8 つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報（実行許可、読み出し許可、書き込み許可）がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ（MPOPS）の領域サーチオペレーションビット（S）を “1” にすることにより、領域サーチアドレスレジスタ（MPSA）で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ（MHITD）は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

13.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPU のオペランドアクセス以外の手段（命令フェッチ、DMA）ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパバイザモードでのみアクセスすることができます。ユーザモードで CPU のオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

13.3.4 メモリプロテクション機能のアクセス判定フロー

図 13.2 にデータアクセス判定フローを、図 13.3 に命令アクセス判定フローを示します。

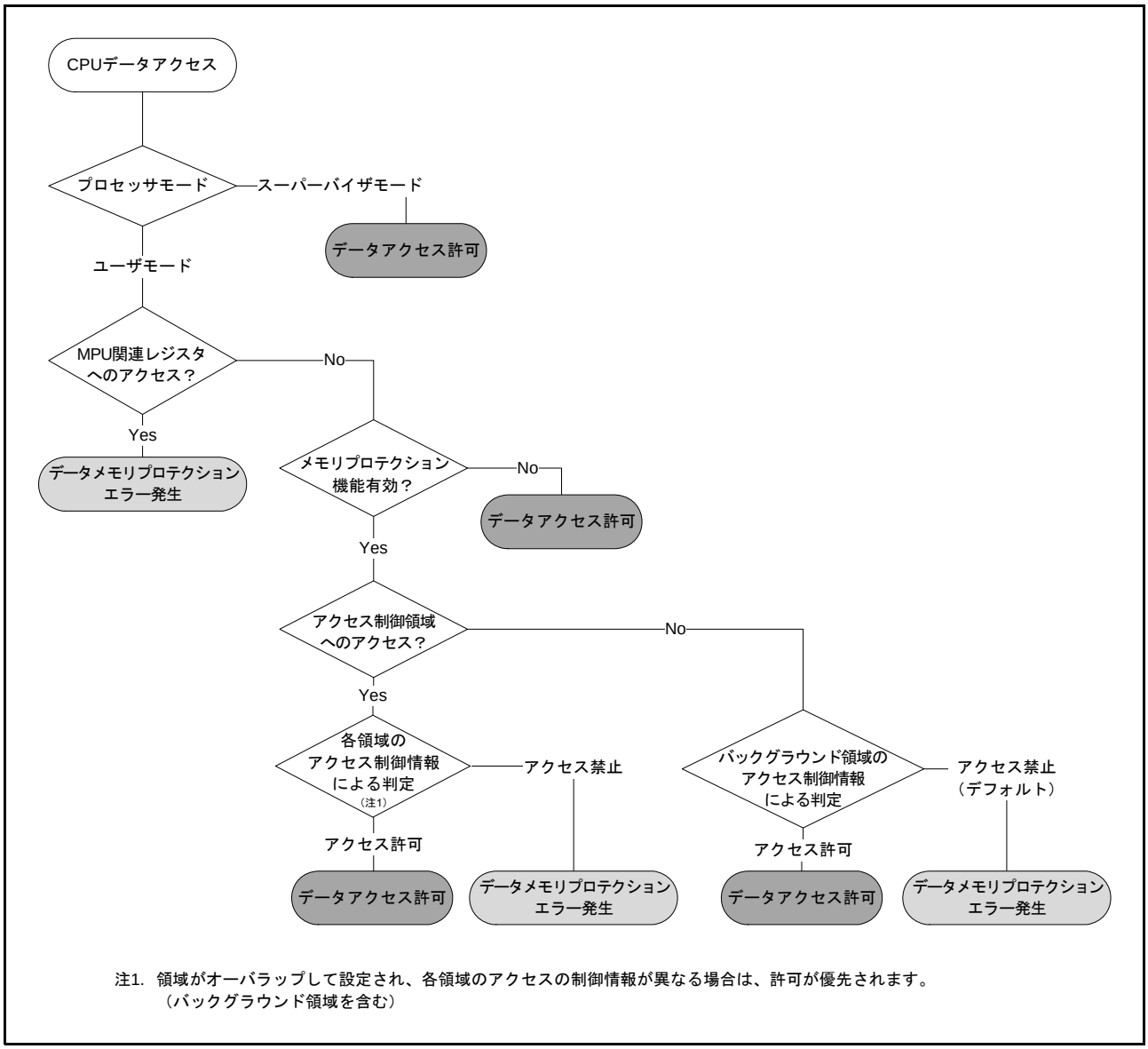


図 13.2　データアクセス判定フロー

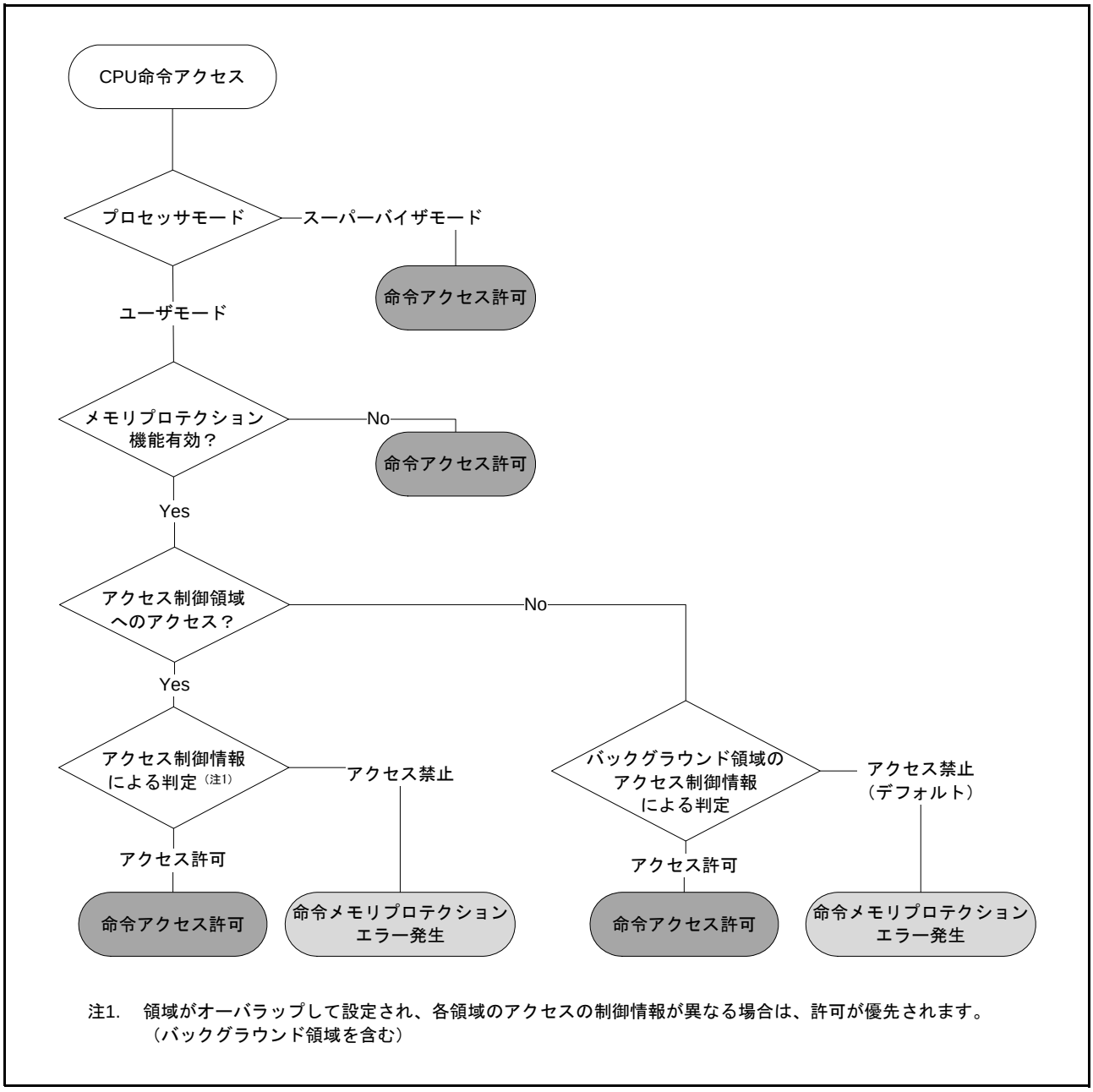


図 13.3　命令アクセス判定フロー

13.4 メモリプロテクション機能使用手順

13.4.1 アクセス制御情報の設定

スーパバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ（RSPAGEn）および領域 n 終了ページ番号レジスタ（REPAGEn）で行います (n=0 ～ 7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ（MPBAC）で行います。

13.4.2 メモリプロテクション機能の有効化

スーパバイザモードで、メモリプロテクション機能有効化レジスタ（MPEN）のメモリプロテクション機能有効化ビット（MPEN）を “1” にします。

13.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、最後に書き込みを行ったメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。

スーパバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード（PSW）のプロセッサモード設定ビット（PM）を “1”（ユーザモードに設定）にした後、RTE 命令を実行
- バックアップ PSW（BPSW）の PM ビットを “1” にした後、RTFI 命令を実行

注 . MVTC、POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

13.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反（メモリプロテクションエラー）を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「10. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ（MPESTS）の命令メモリプロテクションエラー発生ビット（IA）およびデータメモリプロテクションエラー発生ビット（DA）を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ（MPECLR）のエラーステータスクリアビット（CLR）を “1” にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ（MPDEA）に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ（MHITD）に格納されます。

- **有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合**

エラーを発生した領域番号に対応したデータヒット領域ビット（MHITD.HITD[7:0]）が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット（MHITD.UHACD[2:0]）にセットされます。

- **有効な領域 0 ～ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合**

データヒット領域ビット（MHITD.HITD[7:0]）は、“0000 0000b” になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット（MHITD.UHACD[2:0]）にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPU のアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ（MHITI）に格納されます。

- **有効な領域 0 ～ 7 にアクセスしたが、アクセス制御に違反した場合**

エラーを発生した領域番号に対応した命令ヒット領域ビット（MHITI.HITI[7:0]）が “1” になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット（MHITI.UHACI[2:0]）にセットされます。

- **有効な領域 0 ～ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合**

命令ヒット領域ビット（MHITI.HITI[7:0]）は、“0000 0000b” になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット（MHITI.UHACI[2:0]）にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

14. DMA コントローラ（DMACA）

RX62N グループ、RX621 グループは、4 チャネルの DMACA（Direct Memory Access Controller）を内蔵しています。

DMACA は、CPU を介さずにデータ転送を行います。DMACA は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

14.1 概要

表 14.1 に DMACA の仕様を、図 14.1 に DMACA のブロック図を示します。

表14.1　DMACAの仕様

項目		内容
チャネル数		4チャネル（DMACn (n = 0～3) ）
転送空間		512Mバイト （00000000h～0FFFFFFFhとF0000000h～FFFFFFFFhのうち予約領域を除く領域）
最大転送データ数		1023Kデータ（ブロック転送モード最大総転送数：1023データ×1024ブロック）
DMACA起動要因		• チャネルごとに起動要因を選択可能 ソフトウェアトリガ 周辺モジュールからの割り込み要求／外部割り込み入力端子へのトリガ入力（注1）
チャネル優先順位		チャネル0 ＞ チャネル1 ＞ チャネル2 ＞ チャネル3（チャネル0が最優先）
転送データ	1データ	ビット長：8ビット、16ビット、32ビット
	ブロックサイズ	データ数：1～1023 データ
転送モード	ノーマル転送モード	• 1回のDMA転送要求で1データを転送 • 総データ転送数を指定しない設定（フリーランニングモード）が可能
	リピート転送モード	• 1回のDMA転送要求で1データを転送 • 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 • リピートサイズは最大1024データを設定可能
	ブロック転送モード	• 1回のDMA転送要求で1ブロックのデータを転送 • ブロックサイズは最大1023データ設定可能
選択機能	拡張リピートエリア機能	• 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 • 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生

注1.　DMACAの起動要因は「14.3.4　起動要因」を参照してください。

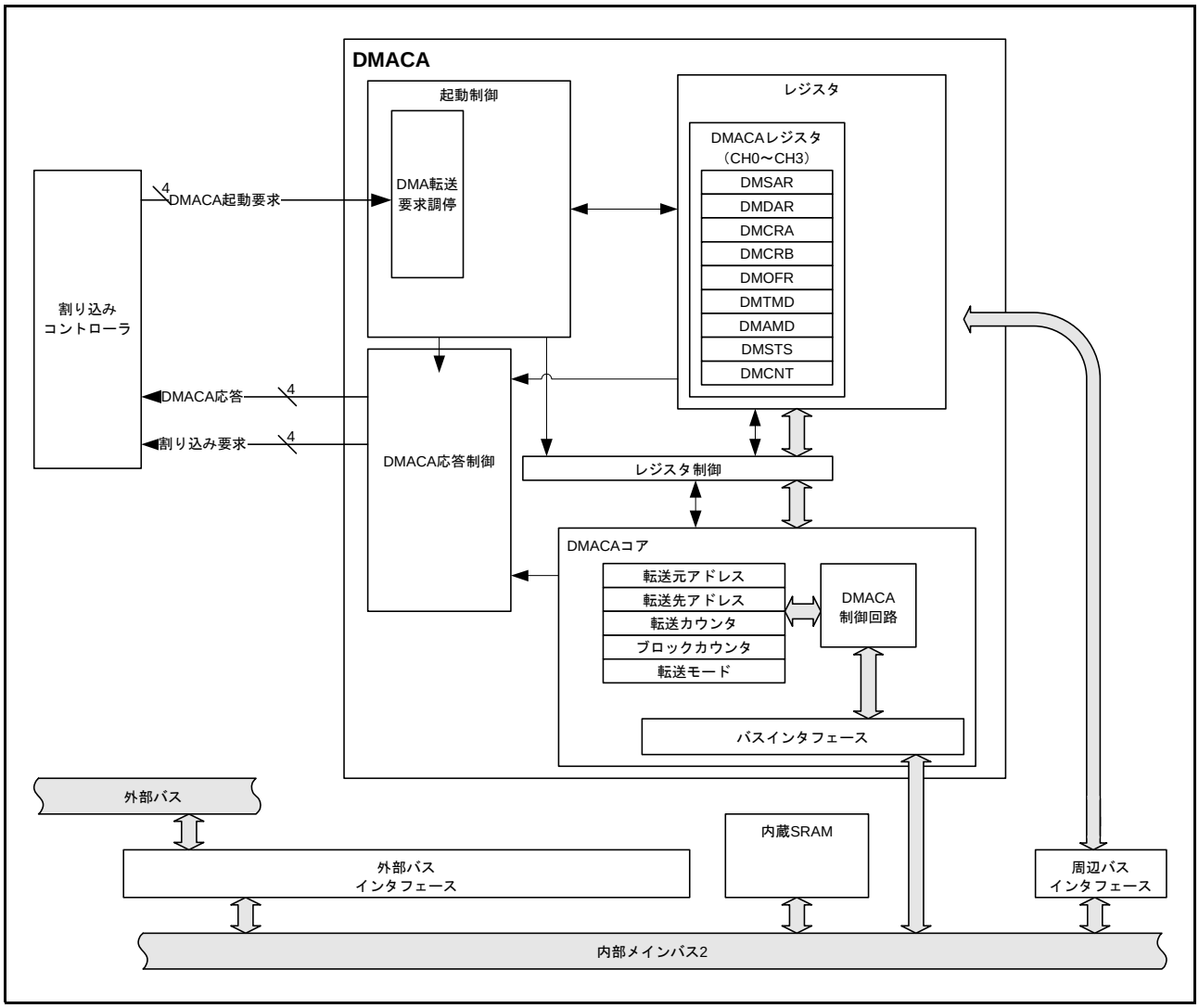


図 14.1　　DMACA のブロック図

14.2 レジスタの説明

表 14.2 に DMACA のレジスタ一覧を示します。DMAC0 ～ DMAC3 のレジスタの機能は同一です。

表14.2　DMACAのレジスター覧 (1 / 2)

チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DMAC0	DMA転送元アドレスレジスタ	DMSAR	0000 0000h	0008 2000h	32
	DMA転送先アドレスレジスタ	DMDAR	0000 0000h	0008 2004h	32
	DMA転送カウントレジスタ	DMCRA	0000 0000h	0008 2008h	32
	DMAブロック転送カウントレジスタ	DMCRB	0000h	0008 200Ch	16
	DMA転送モードレジスタ	DMTMD	0000h	0008 2010h	16
	DMA割り込み設定レジスタ	DMINT	00h	0008 2013h	8
	DMAアドレスモードレジスタ	DMAMD	0000h	0008 2014h	16
	DMAオフセットレジスタ	DMOFR	0000 0000h	0008 2018h	32
	DMA転送許可レジスタ	DMCNT	00h	0008 201Ch	8
	DMAソフトウェア起動レジスタ	DMREQ	00h	0008 201Dh	8
	DMAステータスレジスタ	DMSTS	00h	0008 201Eh	8
	DMA起動要因フラグ制御レジスタ	DMCSL	00h	0008 201Fh	8
DMAC1	DMA転送元アドレスレジスタ	DMSAR	0000 0000h	0008 2040h	32
	DMA転送先アドレスレジスタ	DMDAR	0000 0000h	0008 2044h	32
	DMA転送カウントレジスタ	DMCRA	0000 0000h	0008 2048h	32
	DMAブロック転送カウントレジスタ	DMCRB	0000h	0008 204Ch	16
	DMA転送モードレジスタ	DMTMD	0000h	0008 2050h	16
	DMA割り込み設定レジスタ	DMINT	00h	0008 2053h	8
	DMAアドレスモードレジスタ	DMAMD	0000h	0008 2054h	16
	DMA転送許可レジスタ	DMCNT	00h	0008 205Ch	8
	DMAソフトウェア起動レジスタ	DMREQ	00h	0008 205Dh	8
	DMAステータスレジスタ	DMSTS	00h	0008 205Eh	8
	DMA起動要因フラグ制御レジスタ	DMCSL	00h	0008 205Fh	8
DMAC2	DMA転送元アドレスレジスタ	DMSAR	0000 0000h	0008 2080h	32
	DMA転送先アドレスレジスタ	DMDAR	0000 0000h	0008 2084h	32
	DMA転送カウントレジスタ	DMCRA	0000 0000h	0008 2088h	32
	DMAブロック転送カウントレジスタ	DMCRB	0000h	0008 208Ch	16
	DMA転送モードレジスタ	DMTMD	0000h	0008 2090h	16
	DMA割り込み設定レジスタ	DMINT	00h	0008 2093h	8
	DMAアドレスモードレジスタ	DMAMD	0000h	0008 2094h	16
	DMA転送許可レジスタ	DMCNT	00h	0008 209Ch	8
	DMAソフトウェア起動レジスタ	DMREQ	00h	0008 209Dh	8
	DMAステータスレジスタ	DMSTS	00h	0008 209Eh	8
	DMA起動要因フラグ制御レジスタ	DMCSL	00h	0008 209Fh	8

表14.2　DMACAのレジスター覧 (2 / 2)

チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DMAC3	DMA転送元アドレスレジスタ	DMSAR	0000 0000h	0008 20C0h	32
	DMA転送先アドレスレジスタ	DMDAR	0000 0000h	0008 20C4h	32
	DMA転送カウントレジスタ	DMCRA	0000 0000h	0008 20C8h	32
	DMAブロック転送カウントレジスタ	DMCRB	0000h	0008 20CCh	16
	DMA転送モードレジスタ	DMTMD	0000h	0008 20D0h	16
	DMA割り込み設定レジスタ	DMINT	00h	0008 20D3h	8
	DMAアドレスモードレジスタ	DMAMD	0000h	0008 20D4h	16
	DMA転送許可レジスタ	DMCNT	00h	0008 20DCh	8
	DMAソフトウェア起動レジスタ	DMREQ	00h	0008 20DDh	8
	DMAステータスレジスタ	DMSTS	00h	0008 20DEh	8
	DMA起動要因フラグ制御レジスタ	DMCSL	00h	0008 20DFh	8
DMAC	DMACAモジュール起動レジスタ	DMAST	00h	0008 2200h	8

14.2.1 DMA 転送元アドレスレジスタ（DMSAR）

アドレス　DMAC0.DMSAR 0008 2000h、DMAC1.DMSAR 0008 2040h
DMAC2.DMSAR 0008 2080h、DMAC3.DMSAR 0008 20C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h～0FFFFFFFh（256Mバイト） F0000000h～FFFFFFFFh（256Mバイト）	R/W

DMSAR レジスタは、転送元の開始アドレスを設定するレジスタです。

DMSAR レジスタを設定する場合は、DMACA 起動禁止（DMAST.DMST ビット = 0）、または DMA 転送禁止（DMCNT.DTE ビット = 0）のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。DMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

14.2.2 DMA 転送先アドレスレジスタ（DMDAR）

アドレス　DMAC0.DMDAR 0008 2004h、DMAC1.DMDAR 0008 2044h
DMAC2.DMDAR 0008 2084h、DMAC3.DMDAR 0008 20C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h～0FFFFFFFh（256Mバイト） F0000000h～FFFFFFFFh（256Mバイト）	R/W

DMDAR レジスタは、転送先の開始アドレスを設定するレジスタです。

DMDAR レジスタを設定する場合は、DMACA 起動禁止（DMAST.DMST ビット = 0）、または DMA 転送禁止（DMCNT.DTE ビット = 0）のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。DMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

14.2.3　DMA 転送カウントレジスタ（DMCRA）

アドレス　DMAC0.DMCRA 0008 2008h、DMAC1.DMCRA 0008 2048h
DMAC2.DMCRA 0008 2088h、DMAC3.DMCRA 0008 20C8h

●ノーマル転送モード

	DMCRAH															
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	DMCRAL															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

●リピート転送モード、ブロック転送モード

	DMCRAH															
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	DMCRAL															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	0	0										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定します。	R/W
DMCRAH	転送カウント上位ビット		R/W

注.　リピート転送モード時およびブロック転送モード時は、DMCRAH、DMCRAL レジスタには同じ値を設定してください。

DMCRA レジスタは、DMA の転送回数を指定します。転送モードによって機能が異なります。

(1)　ノーマル転送モード（DMTMD.MD[1:0] ビット = 00b）のとき

DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。
転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント（–1）します。

設定値が “0000h” のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います（フリーランニングモード）。

ノーマル転送モードでは DMCRAH レジスタを使用しません。DMCRAH レジスタへは “0000h” を書いてください。

(2)　リピート転送モード（DMTMD.MD[1:0] ビット = 01b）のとき

DMCRAH レジスタはリピートサイズを保持し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。リピート転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h ～ 3FFh（1 回～ 1024 回）です。

DMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント（–1）され、“000h” になると DMCRAH レジスタの値が転送されます。

(3)　ブロック転送モード（DMTMD.MD[1:0] ビット = 10b）のとき

DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が “001h” のときはブロックサイズが 1、“3FFh” のときはブロックサイズが 1023 になります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも “001h ～ 3FFh” です。“000h” は設定しないでください。

DMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。DMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント（–1）され、“000h” になると DMCRAH レジスタの値が転送されます。

14.2.4 DMA ブロック転送カウントレジスタ（DMCRB）

アドレス　DMAC0.DMCRB 0008 200Ch、DMAC1.DMCRB 0008 204Ch
DMAC2.DMCRB 0008 208Ch、DMAC3.DMCRB 0008 20CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b9-b0	ブロック転送回数、リピート転送回数を設定します。	001h～3FFh（1～1023回） 000h　　（1024回）	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRB レジスタは、ブロック転送モード時のブロック転送回数、またはリピート転送モード時のリピート転送回数を指定するレジスタです。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。1 回のデータ転送を行う度にデクリメント（–1）します。

ノーマル転送モード設定時は、“3FFh” を設定してください。

14.2.5 DMA 転送モードレジスタ（DMTMD）

アドレス　DMAC0.DMTMD 0008 2010h、DMAC1.DMTMD 0008 2050h
DMAC2.DMTMD 0008 2090h、DMAC3.DMTMD 0008 20D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0：ソフトウェア 0 1：周辺モジュールおよび外部割込み入力端子からの割り込み（注） 1 0：設定しないでください 1 1：設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0：8bit転送 0 1：16bit転送 1 0：32bit転送 1 1：設定しないでください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0：転送先側がリピート領域またはブロック領域 0 1：転送元側がリピート領域またはブロック領域 1 0：リピート領域、ブロック領域は設定しない。 1 1：設定しないでください	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0：ノーマル転送 0 1：リピート転送 1 0：ブロック転送 1 1：設定しないでください	R/W

注．　DMACAの起動要因はICU.DMRSRnレジスタで設定します。詳細は「14.3.4　起動要因」および「11.　割り込みコントローラ（ICUa）」を参照してください。

DMTMD レジスタは、DMA 転送モードを設定するレジスタです。

DCTG[1:0] ビット（転送要求選択ビット）

DMACA の起動要因をソフトウェアによる起動、または割り込み要求による起動から選択します。

SZ[1:0] ビット（データ転送サイズビット）

1 回のデータ転送におけるデータサイズを 8 ビット、16 ビット、32 ビットから選択します。

DTS[1:0] ビット（リピート領域選択ビット）

リピート転送モードあるいはブロック転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

MD[1:0] ビット（転送モード設定ビット）

DMA 転送モードをノーマル転送、リピート転送、ブロック転送から設定します。

14.2.6 DMA 割り込み設定レジスタ（DMINT）

アドレス　DMAC0.DMINT 0008 2013h、DMAC1.DMINT 0008 2053h
DMAC2.DMINT 0008 2093h、DMAC3.DMINT 0008 20D3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送先アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送先アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送元アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送元アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0：リピートサイズ終了割り込みを禁止 1：リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0：エスケープ割り込みを禁止 1：エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0：転送終了割り込みを禁止 1：転送終了割り込みを許可	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMINT レジスタは、DMACA の割り込み要求出力を設定するレジスタです。

DARIE ビット（転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット）

DARIE ビットを “1” にしたとき、転送先アドレスの拡張リピートエリアオーバフローが発生すると、DMCNT.DTE ビットが “0” になります。同時に DMSTS.ESIF フラグが “1” になり、転送先アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。

転送先アドレスに拡張リピートエリアを設定していない場合、DARIE ビットの設定値は無効です。

SARIE ビット（転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット）

SARIE ビットを “1” にしたとき、転送元アドレスの拡張リピートエリアオーバフローが発生すると、DMCNT.DTE ビットが “0” になります。同時に DMSTS.ESIF フラグが “1” になり、転送元アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット（リピートサイズ終了割り込み許可ビット）

リピート転送モードにおいて、RPTIE ビットを “1” にしたとき、1 リピートサイズ分の転送終了後に DMCNT.DTE ビットが “0” になります。同時に DMSTS.ESIF フラグが “1” になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが “10b”（リピート領域、ブロック領域に指定しない）のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ブロック転送モードで、DMINT.RPTIE ビットを “1” にしたときも同様に 1 ブロックの転送終了後に DMCNT.DTE ビットが “0” になります。同時に DMSTS.ESIF フラグが “1” になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットが “10b”（リピート領域、ブロック領域に指定しない）に設定したときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット（転送エスケープ終了割り込み許可ビット）

DMA 転送中に発生したエスケープ割り込み要求（リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み）を許可または禁止します。

ESIE ビットを “1” にすると、DMSTS.ESIF フラグが “1” になったとき、転送エスケープ終了割り込みを発生します。転送エスケープ終了割り込みは、ESIE ビットを “0” にするか、DMSTS.ESIF フラグを “0” にすると解除されます。

DTIE ビット（転送終了割り込み許可ビット）

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを “1” にすると、DMSTS.DTIF フラグが “1” になったとき、転送終了割り込みが発生します。転送終了割り込みは、DTIE ビットを “0” にするか、DMSTS.DTIF フラグを “0” にすると解除されます。

14.2.7 DMA アドレスモードレジスタ（DMAMD）

アドレス　DMAC0.DMAMD 0008 2014h、DMAC1.DMAMD 0008 2054h
DMAC2.DMAMD 0008 2094h、DMAC3.DMAMD 0008 20D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SM[1:0]		—	SARA[4:0]					DM[1:0]		—	DARA[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます。設定値の詳細は表14.3を参照してください。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定	b7 b6 0 0：アドレス固定 0 1：オフセット加算（注1） 1 0：インクリメント 1 1：デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます。設定値の詳細は表14.3を参照してください。	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定	b15 b14 0 0：アドレス固定 0 1：オフセット加算（注1） 1 0：インクリメント 1 1：デクリメント	R/W

注1.　オフセット加算設定はDMAC0のみ可能です。

DMAMD レジスタは、DMACA アドレスモードを設定するレジスタです。

DARA[4:0] ビット（転送先アドレス拡張リピートエリア設定ビット）

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMTMD.DTS[1:0] = 00b（転送先側がリピート領域またはブロック領域）に設定している場合、DARA[4:0] ビットには “00000b” を書いてください。

DMINT.DARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。表 14.3 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット（転送先アドレス更新モード設定ビット）

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき –1、DMTMD.SZ[1:0] = 01b のとき –2、DMTMD.SZ[1:0] = 10b のとき –4 されます。

オフセット加算を選択した場合、DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

SARA[4:0] ビット（転送元アドレス拡張リピートエリア設定ビット）

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送またはブロック転送のとき、DMTMD.DTS[1:0] = 01b（転送元側がリピート領域またはブロック領域）に設定している場合、SARA[4:0] ビットには “00000b” を書いてください。

DMINT.SARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。表 14.3 に拡張リピートエリアの設定と範囲を示します。

SM ビット（転送元アドレス更新モード設定ビット）

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき +1、DMTMD.SZ[1:0] = 01b のとき +2、DMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、DMTMD.SZ[1:0] = 00b のとき –1、DMTMD.SZ[1:0] = 01b のとき –2、DMTMD.SZ[1:0] = 10b のとき –4 されます。

オフセット加算を選択した場合、DMOFR レジスタで設定した値が加算されます。オフセット加算設定は、DMAC0 のみ可能です。

表14.3　拡張リピートエリアの設定と範囲

SARA[4:0] / DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット（2バイト）を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット（4バイト）を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット（8バイト）を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット（16バイト）を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット（32バイト）を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット（64バイト）を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット（128バイト）を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット（256バイト）を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット（512バイト）を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット（1Kバイト）を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット（2Kバイト）を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット（4Kバイト）を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット（8Kバイト）を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット（16Kバイト）を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット（32Kバイト）を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット（64Kバイト）を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット（128Kバイト）を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット（256Kバイト）を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット（512Kバイト）を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット（1Mバイト）を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット（2Mバイト）を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット（4Mバイト）を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット（8Mバイト）を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット（16Mバイト）を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット（32Mバイト）を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット（64Mバイト）を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット（128Mバイト）を拡張リピートエリアに設定する
11100b ～ 11111b	（設定しないでください）

14.2.8 DMA オフセットレジスタ（DMOFR）

アドレス　DMAC0.DMOFR 0008 2018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定する	00000000h～00FFFFFFh（0バイト～(16M-1)バイト） FF000000h～FFFFFFFFh（–16Mバイト～–1バイト）	R/W

DMOFR レジスタは、アドレスオフセット値を設定するレジスタです。

DMOFR レジスタを設定する場合は、データ転送中でなく、DMACA 停止、または DMA 転送が禁止されているときに書いてください。

ビット 31 ～ 25 への設定値は無効です、ビット 31 ～ 25 へはビット 24 の値がビット拡張されます。DMOFR レジスタを読んだ場合、ビット拡張された値が読み出されます。

14.2.9 DMA 転送許可レジスタ（DMCNT）

アドレス　DMAC0.DMCNT 0008 201Ch、DMAC1.DMCNT 0008 205Ch
DMAC2.DMCNT 0008 209Ch、DMAC3.DMCNT 0008 20DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA転送許可ビット	0：DMA転送を禁止 1：DMA転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCNT レジスタは、対応するチャネルへの DMA 転送を許可または禁止するレジスタです。

DTE ビット（DMA 転送許可ビット）

DMAST.DMST ビットが “1”（DMACA 起動を許可）で、DTE ビットが “1”（DMA 転送を許可）のとき、対応するチャネルの DMA 転送を開始することができます。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リピートエリアオーバフロー割り込みにより DMA 転送が停止したとき

14.2.10 DMA ソフトウェア起動レジスタ（DMREQ）

アドレス　DMAC0.DMREQ 0008 201Dh、DMAC1.DMREQ 0008 205Dh
DMAC2.DMREQ 0008 209Dh、DMAC3.DMREQ 0008 20DDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMACAソフトウェア起動ビット	0：DMA転送要求なし 1：DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	CLRS	DMACAソフトウェア起動ビット自動クリア選択	0：ソフトウェア起動後にSWREQビットをクリアする 1：ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

DMREQ レジスタは、ソフトウェアで DMACA を起動させるためのレジスタです。

SWREQ ビット（DMACA ソフトウェア起動ビット）

SWREQ ビットに “1” を書くと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが “0” である場合、SWREQ ビットが “0” になります。CLRS ビットが “1” になっている場合、SWREQ ビットは “0” になりません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、DMTMD.DCTG[1:0] ビットを “00b”（DMA 起動要因がソフトウェア）に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0] ビットが “00b“ 以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRSビットが“0”でソフトウェア起動を行う場合、SWREQビットが“0”であることを確認してからSWREQビットに “1” を書いてください。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- CLRS ビットが “0”（ソフトウェア起動後に SWREQ ビットをクリアする）のときに、ソフトウェアによる要求が受け付けられデータ転送が開始されたとき
- “0” を書いたとき

CLRS ビット（DMACA ソフトウェア起動ビット自動クリア選択）

SWREQ ビットへの “1” 書き込みによる DMA 転送要求に対する転送を開始したときに、SWREQ ビットを “0” にするかしないを設定します。CLRS ビットが “0” のとき、転送が開始されると SWREQ ビットは “0” になります。CLRS ビットが “1” のとき、SWREQ ビットは “0” になりません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

14.2.11 DMA ステータスレジスタ（DMSTS）

アドレス　DMAC0.DMSTS 0008 201Eh、DMAC1.DMSTS 0008 205Eh
DMAC2.DMSTS 0008 209Eh、DMAC3.DMSTS 0008 20DEh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0：転送エスケープ割り込み発生なし 1：転送エスケープ割り込み発生あり	R/W （注1）
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0：転送終了割り込みなし 1：転送終了割り込みあり	R/W （注1）
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	DMACAアクティブフラグ	0：DMACAが停止中 1：DMACAが動作中	R

注1.　“0”のみ書けます。

DMSTS レジスタは DMACA の状態を示すレジスタです。

ESIF フラグ（転送エスケープ割り込みフラグ）

転送エスケープ割り込みが発生したことを示すフラグです。

[“1” になる条件]

- DMINT.RPTIE ビットが“1”に設定されており、リピート転送モードにおいて1リピートサイズ分の転送終了後
- DMINT.RPTIE ビットが “1” に設定されており、ブロック転送モードにおいて 1 ブロックの転送終了後
- DMINT.SARIE ビットが“1”に設定され、DMAMD.SARA[4:0] ビットに“00000b”以外（転送元アドレスを拡張リピートエリアに指定）に設定されているときに、転送元アドレスの拡張リピートエリアオーバフローが発生したとき
- DMINT.DARIE ビットが “1” に設定され、DMAMD.DARA[4:0] ビットに “00000b” 以外（転送先アドレスを拡張リピートエリアに指定）に設定されているときに、転送先アドレスの拡張リピートエリアオーバフローが発生したとき

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき（DMCRALレジスタが“0”になり転送が終了したとき）
- リピート転送モードにおいて指定リピート回数の転送が終了したとき（DMCRB レジスタが “0” になり転送が終了したとき）
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき（DMCRB レジスタが “0” になり転送が終了したとき）

[“0” になる条件]

- “0” を書いたとき
- DMCNT.DTE ビットに “1” を書いたとき

ACT フラグ（DMACA アクティブフラグ）

DMACA が動作中か停止中であることを示すフラグです。

[“1” になる条件]

- DMACA が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送が全て終了したとき

14.2.12 DMA 起動要因フラグ制御レジスタ（DMCSL）

アドレス　DMAC0.DMCSL 0008 201Fh、DMAC1.DMCSL 0008 205Fh
DMAC2.DMCSL 0008 209Fh、DMAC3.DMCSL 0008 20DFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DISEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DISEL	インタラプト選択ビット	0：転送終了時に起動要因となった割り込みフラグを“0”にする 1：転送終了時に起動要因となった割り込みフラグによりCPUに割り込み要求が発生する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCSL レジスタは DMACA の起動要因となった割り込みコントローラ（ICU）の割り込みフラグを制御するレジスタです。

DISEL ビット（インタラプト選択ビット）

DMACA の転送終了時に起動要因となった割り込みフラグを “0” にするか、割り込みフラグによりCPU へ割り込みを発生するかを選択します。

なお、DMTMD.DCTG[1:0] = 00b（ソフトウェアによる起動）に設定している場合は、DISEL ビットの設定値は無効です。

14.2.13 DMACA モジュール起動レジスタ（DMAST）

アドレス　0008 2200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMACA動作許可ビット	0：DMACA起動を禁止 1：DMACA起動を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMAST レジスタは、DMACA 全チャネルの起動許可または禁止するレジスタです。

DMST ビット（DMACA 動作許可ビット）

DMST ビットが “1” のとき、DMACA 全チャネルの起動が許可されます。

DMA 転送を行うには、DMST ビットを “1” にして、かつ、各チャネルの DMCNT.DTE ビットを “1” にしてください。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき

14.3 動作説明

14.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは 1 回の転送要求について 1 データの転送を行います。DMCRAL レジスタの設定により、最大 65535 データの指定転送回数を設定できます。また、DMCRAL レジスタを “0000h” に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います（フリーランニングモード）。DMCRB レジスタの設定はノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表 14.4 に、ノーマル転送モードの動作を図 14.2 に示します。

表 14.4　ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算（注1）
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算（注1）
DMCRAL	転送カウント	1減算／更新無し（フリーランニングモード時）
DMCRAH	–	更新されません。（ノーマル転送モードでは使用しません。）
DMCRB	–	更新されません。（ノーマル転送モードでは使用しません。）（注2）

注1.　オフセット加算はDMAC0のみ指定可能です。
注2.　ノーマル転送モード設定時は、“3FFh” を設定してください。

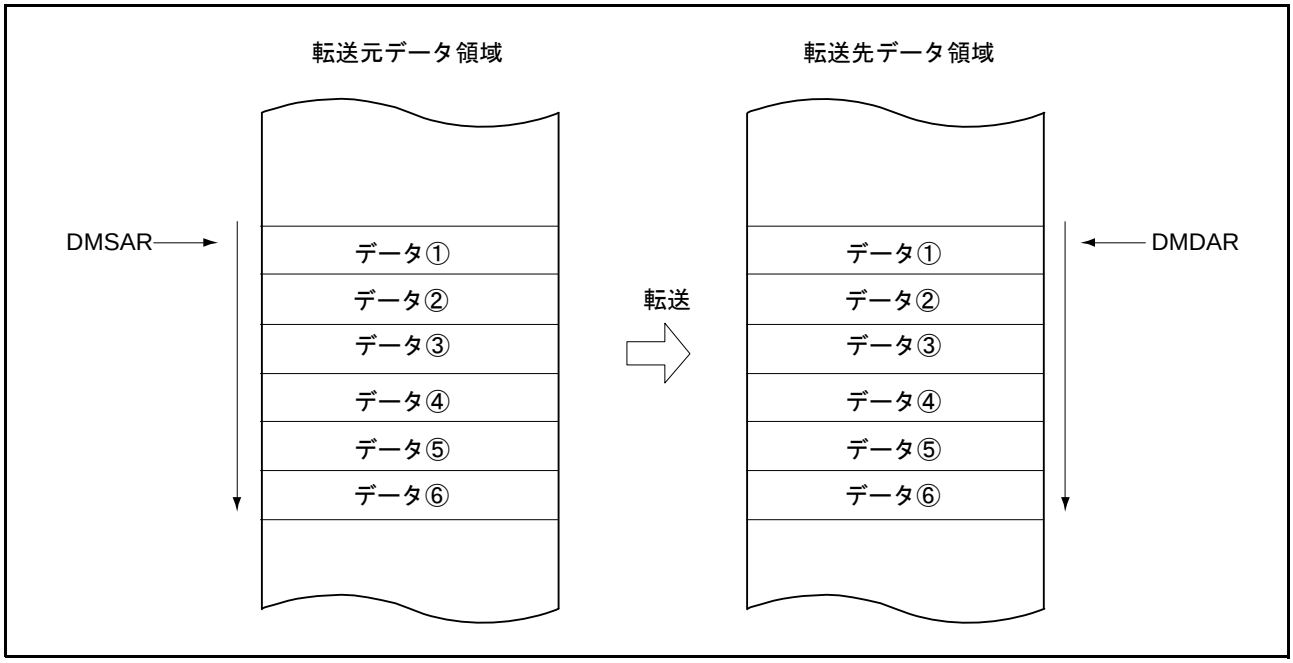


図 14.2　ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは 1 回の転送要求について 1 データの転送を行います。DMCRA レジスタで最大 1K データのリピートサイズを設定できます。また DMCRB レジスタで最大 1K 回の指定リピート回数を設定でき、総データ転送数は最大 1K データ ×1K リピート回数 = 1M データの指定が可能です。転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA 転送を停止しリピートサイズ終了割り込み要求を発生させることができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表 14.5 に、リピート転送モードの動作を図 14.3 に示します。

表 14.5　リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		DMCRAL レジスタが 1 以外のとき	DMCRAL レジスタが 1 のとき （リピートサイズの最終データ転送）
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算（注1）	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算（注1） • DMTMD.DTS[1:0] = 01b DMSAR の初期値 • .DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算（注1）
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算（注1）	• DMTMD.DTS[1:0] = 00b DMDAR の初期値 • DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算（注1） • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算（注1）
DMCRAH	リピートサイズ	保持	保持
DMCRAL	転送カウント	1 減算	DMCRAH
DMCRB	リピート回数カウント	保持	1 減算

注1.　オフセット加算は DMAC0 のみ指定可能です。

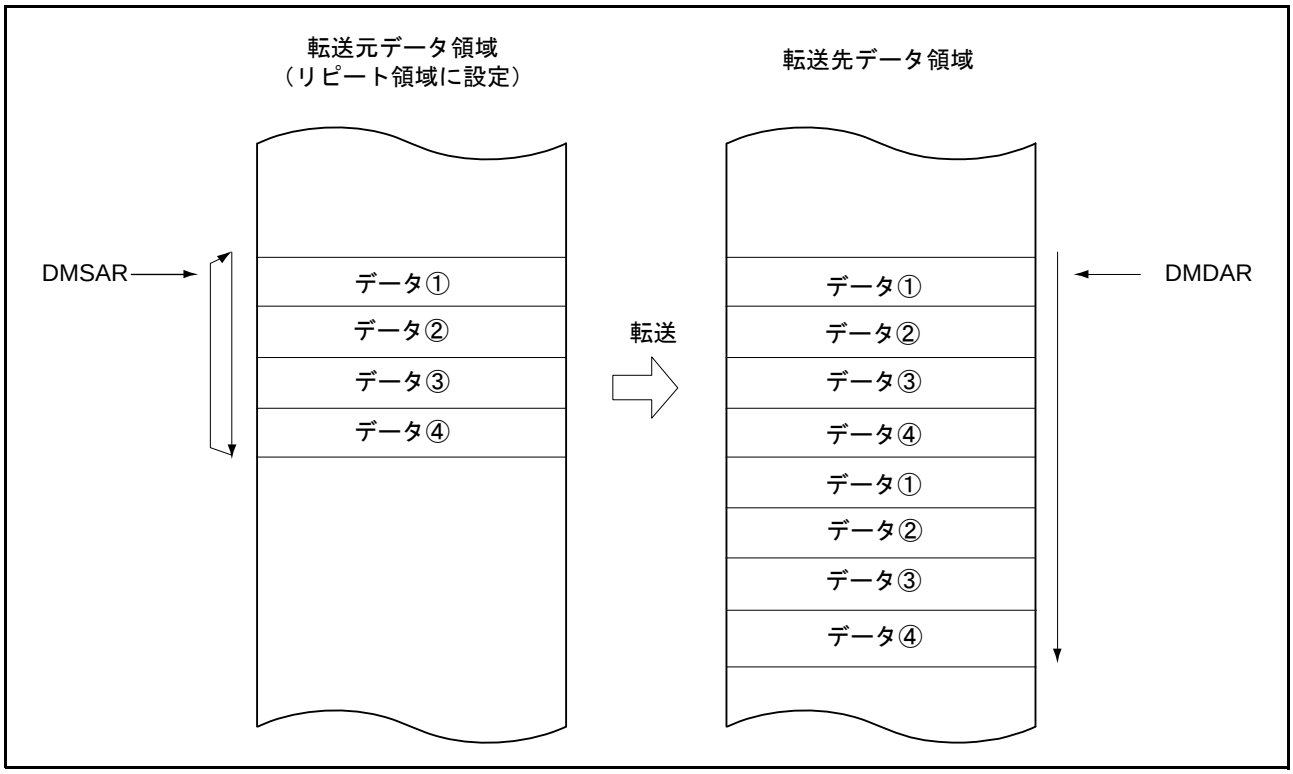


図 14.3　　リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックのデータ転送を行います。DMCRA レジスタで最大 1023 データのブロックサイズを設定できます。また DMCRB レジスタで最大 1K 回の指定ブロック回数を設定でき、総データ転送数は最大 1023 データ ×1K ブロック = 1023K データの指定が可能です。転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、1 ブロックのデータ転送が終了すると初期アドレスに回復します。ブロック転送モードでは、1 ブロックのデータ転送が終了した後に DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 14.6 に、ブロック転送モードの動作を図 14.4 に示します。

表 14.6　ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
DMSAR	転送元アドレス	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算（注1） • DMTMD.DTS[1:0] = 01b DMSARの初期値 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算（注1）
DMDAR	転送先アドレス	• DMTMD.DTS[1:0] = 00 b DMDARの初期値 • DMTMD.DTS[1:0] = 01 b インクリメント／デクリメント／固定／オフセット加算（注1） • DMTMD.DTS[1:0] = 10 b インクリメント／デクリメント／固定／オフセット加算（注1）
DMCRAH	ブロックサイズ	保持
DMCRAL	転送カウント	DMCRAH
DMCRB	ブロックカウント	1減算

注1.　オフセット加算はDMAC0のみ指定可能です。

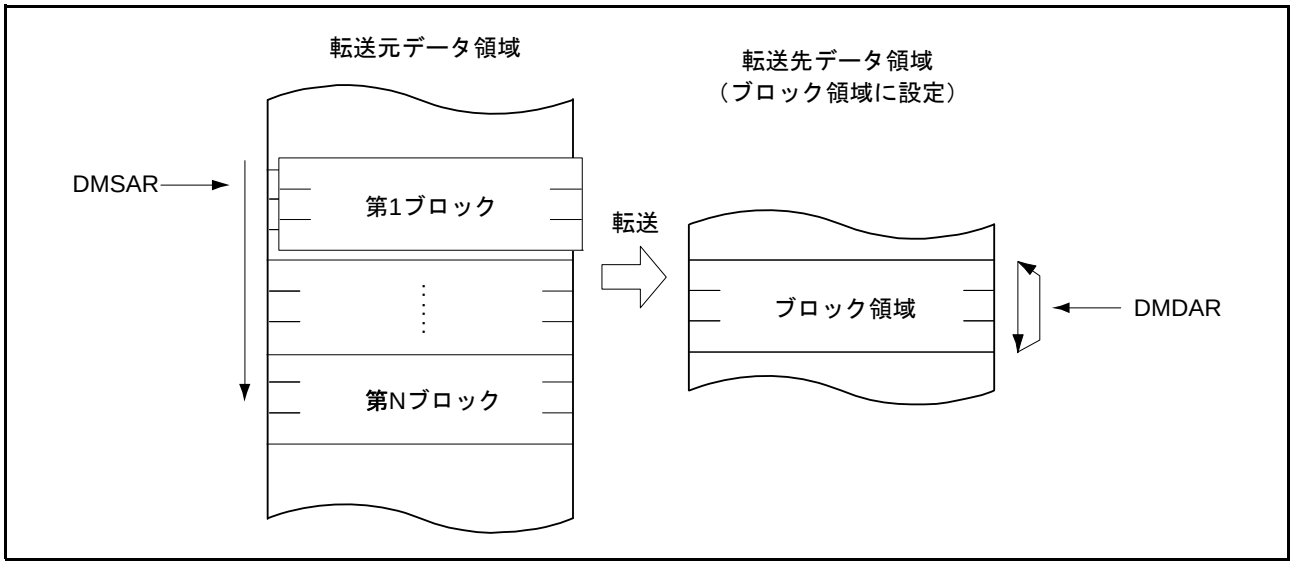


図 14.4　ブロック転送モードの動作

14.3.2　拡張リピートエリア機能

DMACA には転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、DMSAR レジスタ（転送元アドレスレジスタ）、DMDAR レジスタ（転送先アドレスレジスタ）に独立して設定できます。

転送元アドレスの拡張リピートエリアは DMAMD.SARA[4:0] ビットで設定します。転送先アドレスの拡張リピートエリアは DMAMD.DARA[4:0] ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。ただし、リピート領域またはブロック領域に指定したエリア（転送元または転送先）を拡張リピートエリアには指定しないでください。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバフローすると、DMA 転送を一時停止させて、CPU に対して拡張リピートエリアオーバフロー割り込み要求を発生することができます。DMINT.SARIE ビットを “1” にすると、転送元アドレスの拡張リピートエリアがオーバフローしたときに DMSTS.ESIF フラグを “1” にし、DMCNT.DTE ビットを “0” にして DMA 転送を終了します。このとき、DMINT.ESIE ビットが “1” なっていると、CPU または DTC に対して拡張リピートエリアオーバフロー割り込み要求が発生します。

DMINT.DARIE ビットを “1” にすると転送先アドレスレジスタが対象になります。

図 14.5 に拡張リピートエリア機能の例を示します。

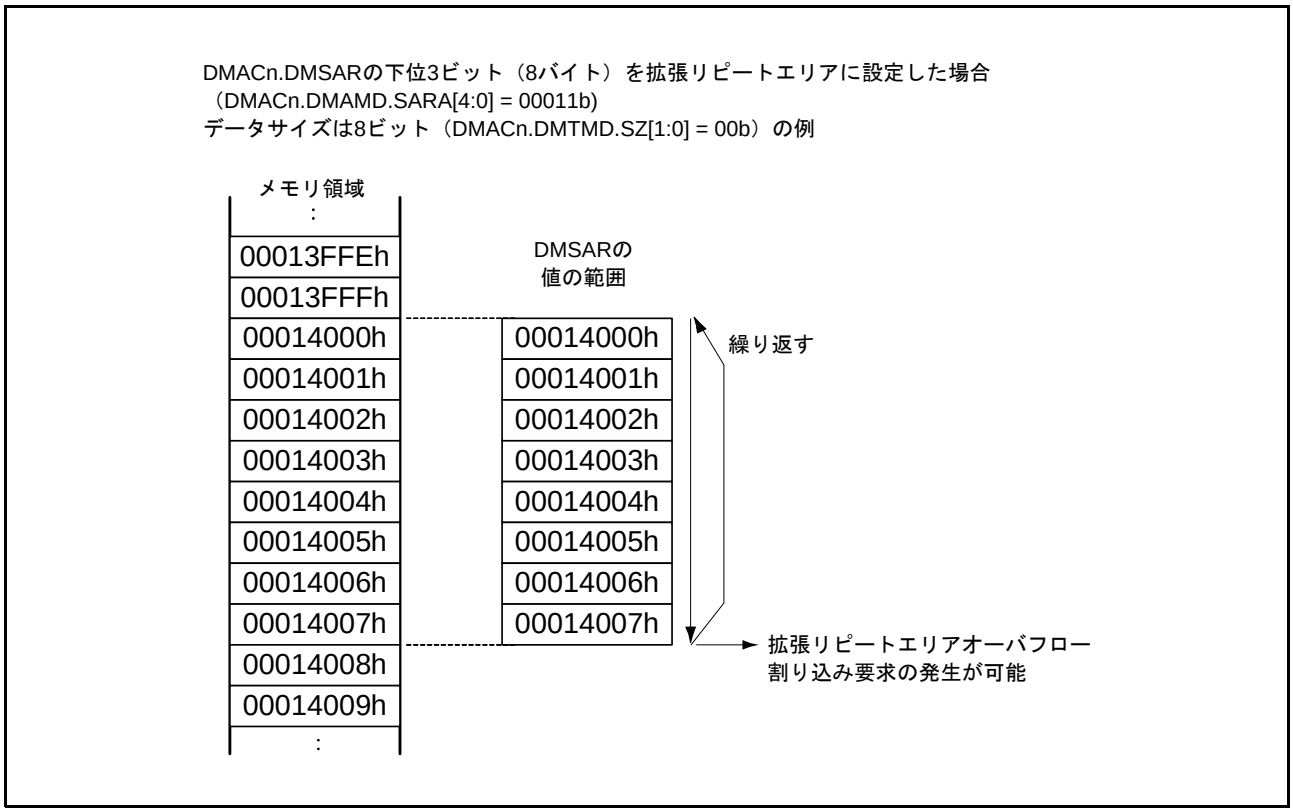


図 14.5　拡張リピートエリア機能の例

拡張リピートエリアオーバフロー割り込みをブロック転送モードと併用する場合は、以下の注意が必要です。

拡張リピートエリアのオーバフローの発生で転送を終了させる場合は、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックのデータを転送中に拡張リピートエリアにオーバフローが発生した場合は、1 ブロックのデータ転送が終了するまで拡張リピートエリアオーバフロー割り込み要求は保留され、転送はオーバランします。

図 14.6 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

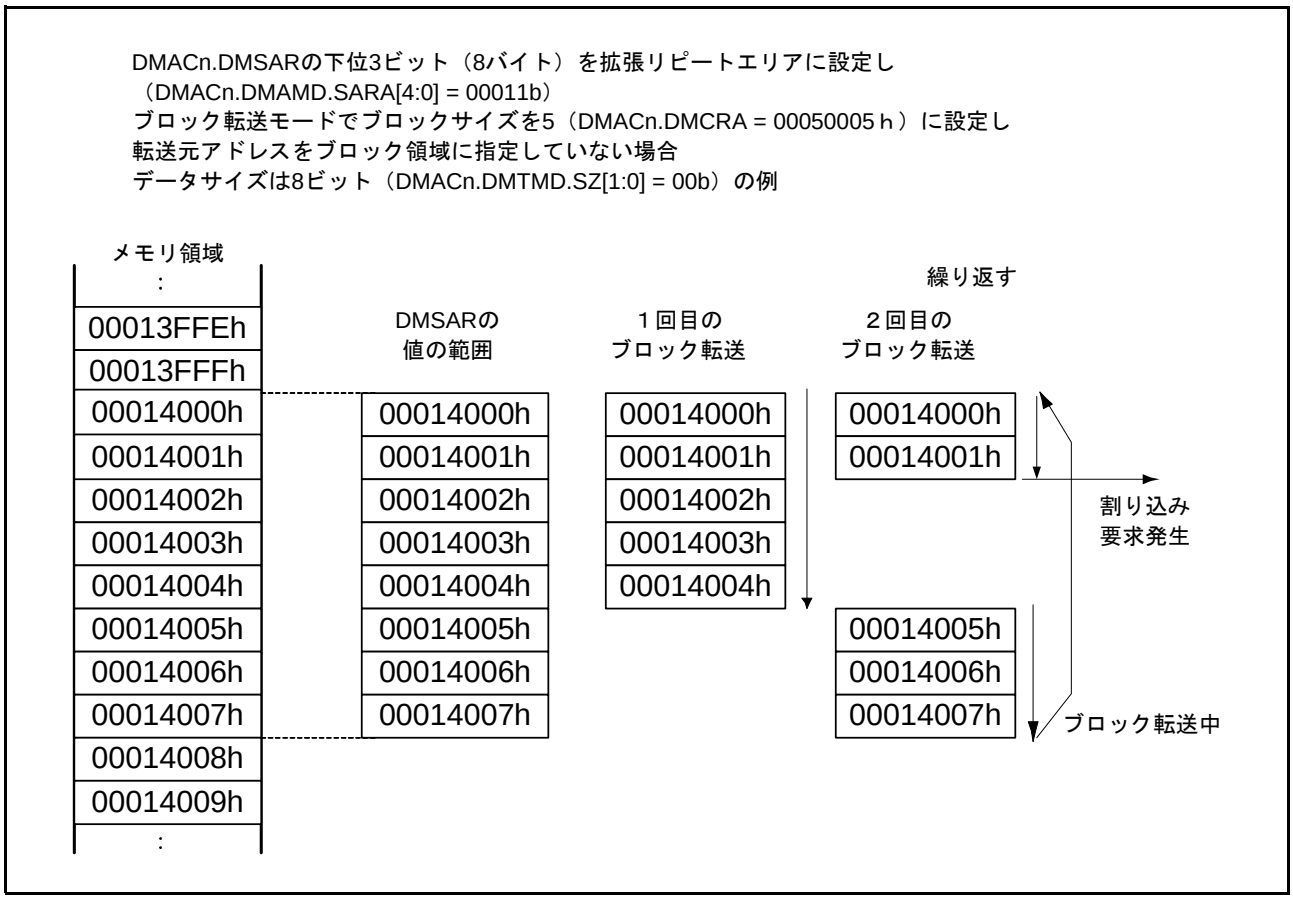


図 14.6　　ブロック転送モードと拡張リピートエリア機能を併用した例

14.3.3 オフセットを使ったアドレス更新機能

転送元アドレス、転送先アドレスの更新方法の種類として、固定／インクリメント／デクリメントの他にオフセット加算があります。オフセット加算では、1 データの転送を行う度に DMA オフセットレジスタ（DMAC0.DMOFR）に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

また、DMAC0.DMOFR に 2 の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャネルは DMAC0 のみです。

各アドレス更新モードでのアドレス更新方法を**表 14.7** に示します。

表14.7　各アドレス更新モードでのアドレス更新方法

アドレス更新モード	DMAMD.SM[1:0] DMAMD.DM[1:0] アドレス更新モード設定値	更新方法 （DMTMD.SZ[1:0] 設定値別更新方法）		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMAC0.DMOFR（注1）		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注1.　オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現 = ～（オフセット値）+1　（～：ビット反転）

(1) オフセット加算を使用した基本的な転送

オフセットによるアドレス更新機能の動作例を**図 14.7** に示します。

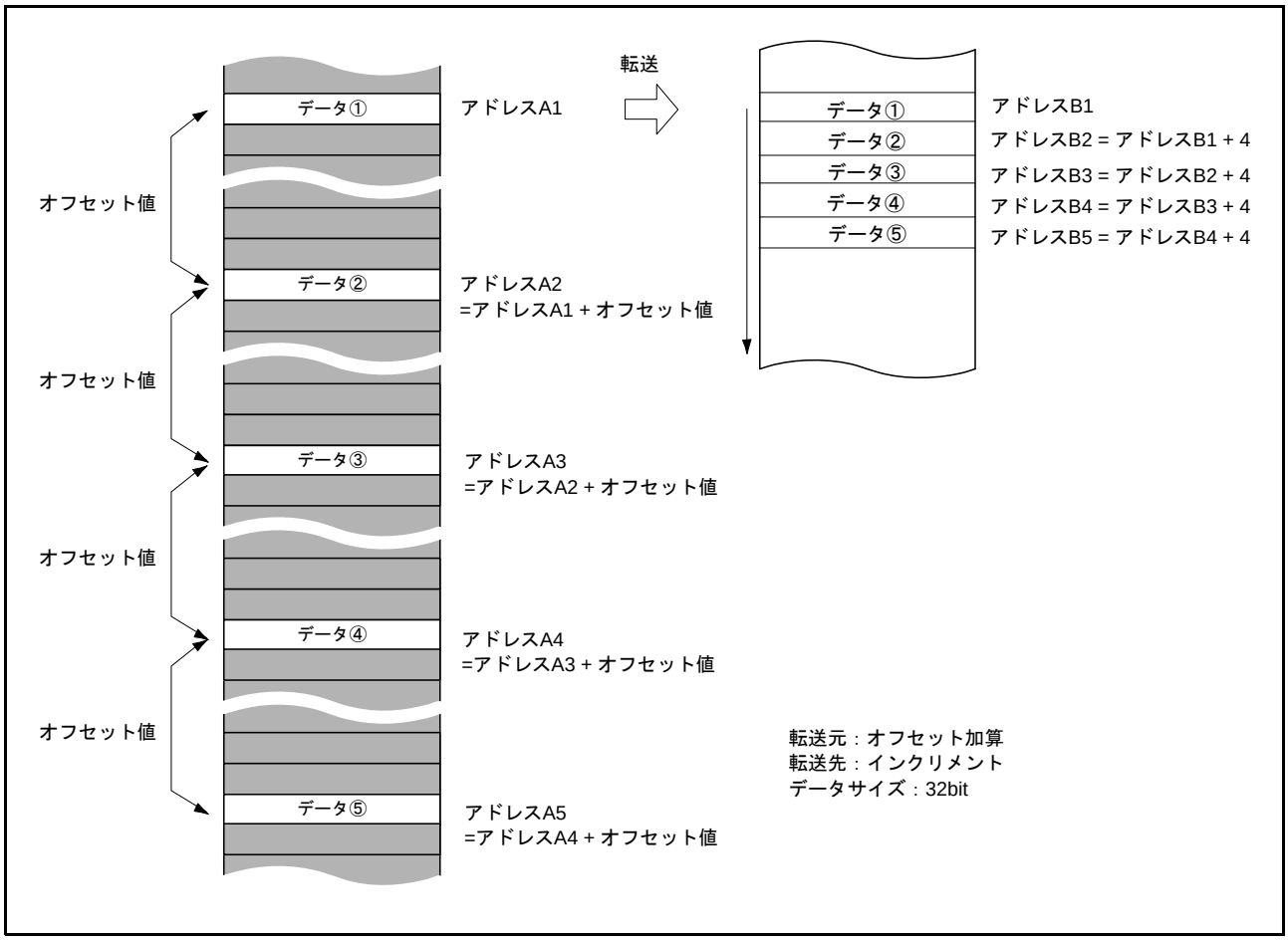


図 14.7　オフセットによるアドレス更新機能の動作例

図 14.7 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセット加算を使った XY 変換例

図 14.8 にリピート転送モード + オフセット加算による XY 変換のときの動作を示します。

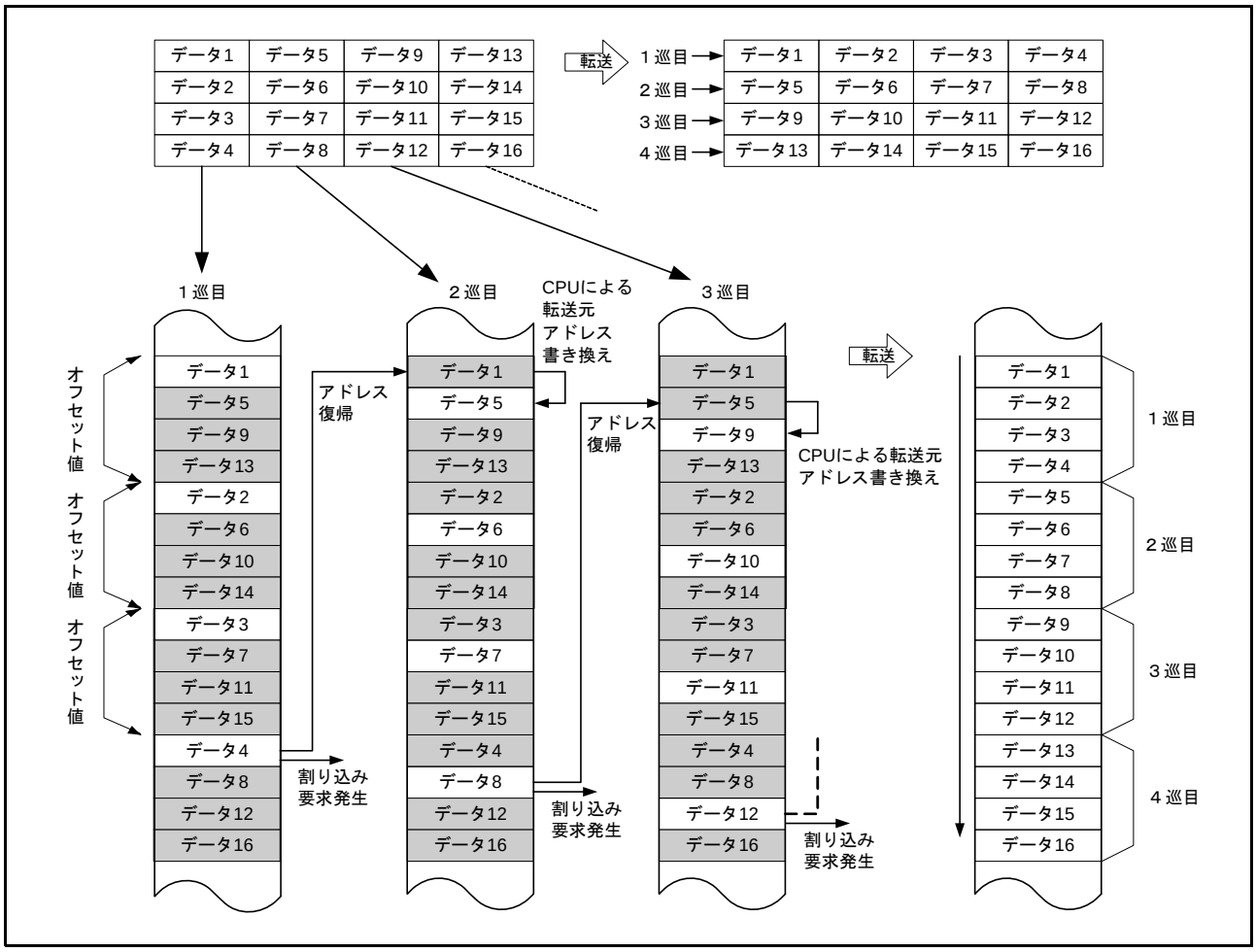


図 14.8　　リピート転送モード + オフセット加算による XY 変換のときの動作

図 14.8 では DMAC0.DMAMD レジスタで転送元アドレス側をリピート領域に設定し、かつ「オフセット加算」を設定しています。オフセット値は、4× 転送データサイズに相当するアドレスです（例えば、転送データサイズが 32 ビットであるならば、DMAC0.DMOFR レジスタに 00000010h を指定したことになります）。リピートサイズは 4× 転送データサイズです（例えば転送データサイズが 32 ビットであると、4×4 = 16 バイトをリピートサイズに指定したことになります）。転送先は「インクリメント」を設定しています。また、DMAC0.DMINT.RPTIE ビットを “1” にして、リピートサイズ分の転送が終了するとリピートサイズ終了割り込み要求が発生するように設定しています。転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“ データ 4” までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMAC A は転送元のアドレスを転送開始時のアドレス（転送元 “ データ 1” のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により、いったん転送が中断するので、CPU により DMAC0.DMSAR レジスタの値を “ データ 5” のアドレスに書き換えてください（32 ビット転送なら “ データ 1” のアドレス +4 にアドレスを書き換えます）。DMAC0.DMCNT.DTE ビットに “1” を書くと、次に発生した転送要求で引き続き DMA 転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 14.9 に XY 変換の処理フローを示します。

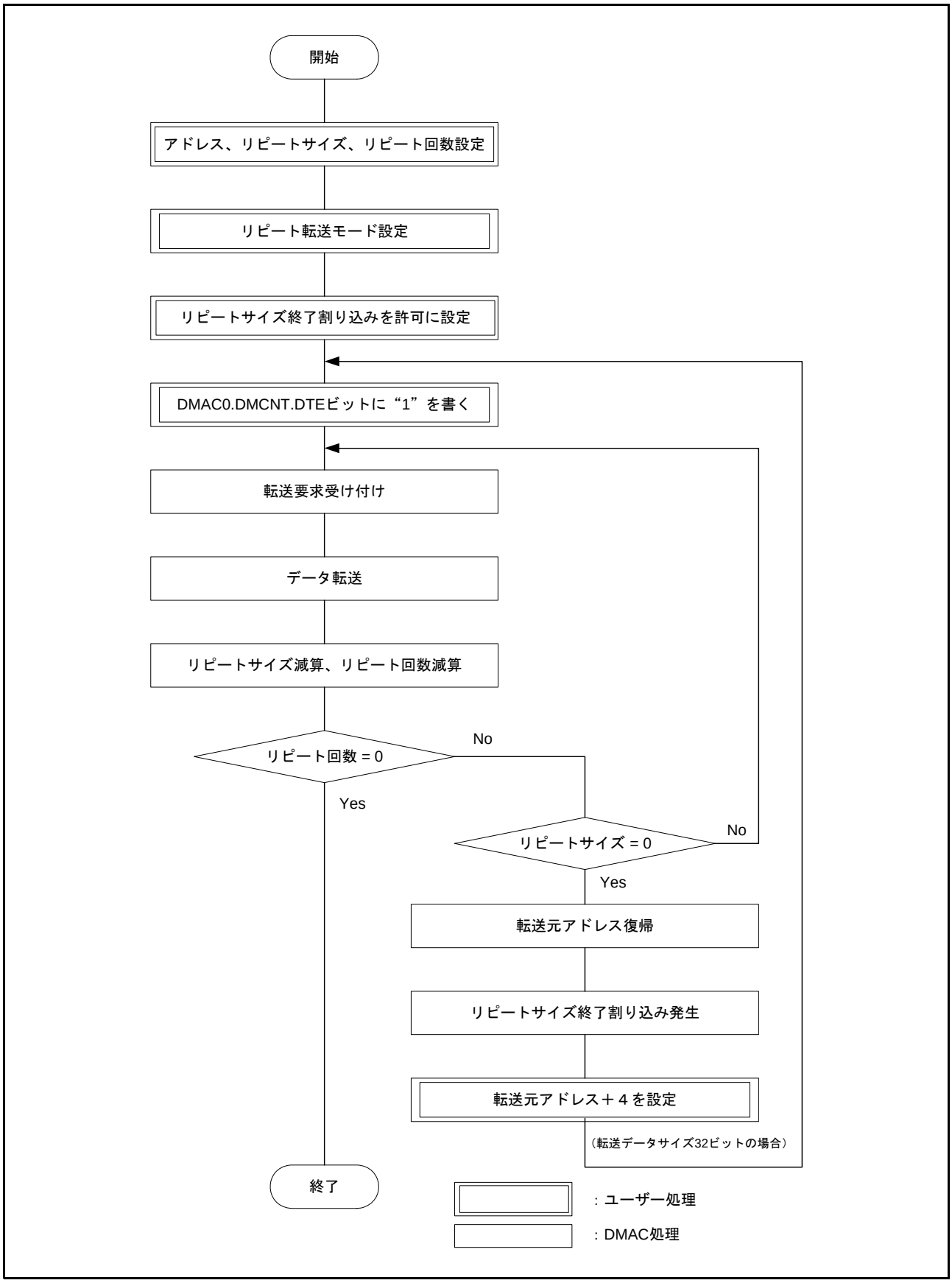


図 14.9　　リピート転送モード + オフセット加算による XY 変換のフロー

14.3.4 起動要因

DMACA の起動要因には、ソフトウェア、周辺モジュールからの割り込み要求、外部割り込み要求があります。これらの起動要因の選択は DMTMD.DCTG[1:0] ビットで設定できます。

(1) ソフトウェアによる起動

DMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動が可能となります。

ソフトウェアによる起動により DMA 転送を開始する前に、DMTMD.DCTG[1:0] ビットを “00b” に、DMAST.DMST ビットを “1”（DMACA 起動許可）にしてください。その後、DMCNT.DTE ビットを “1”（DMA 転送許可）にし、DMREQ.SWREQ ビットに “1”（DMA 転送要求あり）を書くと DMACA 動作が開始します。

DMREQ.CLRS ビットが “0” になっていると、DMA 転送要求に対する転送が開始され、DMREQ.SWREQ ビットが “0” になります。DMREQ.CLRS ビットが “1” になっていると、DMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求を発生します。

(2) 周辺モジュール／外部割り込み要求による起動

周辺モジュールからの割り込み要求、または外部割り込み要求を DMA 転送起動要因に指定することができます。起動要因の選択は割り込みコントローラ（ICU）の ICU.DMRSRn レジスタ（n = 0 ～ 3）で選択します。チャネルごとに独立して設定可能です。表 14.8 に DMACA の起動要因に指定可能な割り込み一覧を示します。

周辺モジュールからの割り込み要求、外部割り込み要求により DMACA を起動するには、DMTMD.DCTG[1:0] ビットを “01b”（周辺モジュールおよび外部割込み端子からの割り込み）に、DMAST.DMST ビットを “1”（DMACA 起動を許可）に、DMCNT.DTE ビットを “1” （DMA 転送を許可）にした後に割り込み要求が発生すると、DMACA 動作を開始します。

表 14.8　DMACA起動要因となる割り込み要求一覧 (1 / 2)

DMA起動要因（周辺モジュール／外部割り込み要求）	ICU.DMRSRn
CMI0（コンペアマッチタイマユニット0のCMT0コンペアマッチ割り込み）	28
CMI1（コンペアマッチタイマユニット0のCMT1コンペアマッチ割り込み）	29
CMI2（コンペアマッチタイマユニット1のCMT2コンペアマッチ割り込み）	30
CMI3（コンペアマッチタイマユニット1のCMT3コンペアマッチ割り込み）	31
D0FIFO0（USB0 D0FIFO転送要求）	36
D1FIFO0（USB0 D1FIFO転送要求）	37
D0FIFO1（USB1 D0FIFO転送要求）	40
D1FIFO1（USB1 D1FIFO転送要求）	41
SPRI0（RSPI0受信バッファフル割り込み）	45
SPTI0（RSPI0送信バッファエンプティ割り込み）	46
SPRI1（RSPI1受信バッファフル割り込み）	49
SPTI1（RSPI1送信バッファエンプティ割り込み）	50
IRQ0（外部端子割り込み）	64
IRQ1（外部端子割り込み）	65
IRQ2（外部端子割り込み）	66
IRQ3（外部端子割り込み）	67
ADI0（A/Dコンバータユニット0 AD0割り込み）	98
ADI1（A/Dコンバータユニット1 AD1割り込み）	99
S12ADI0（S12AD割り込み）	102
TGIA0（マルチファンクションタイマパルスユニット0のMTU0インプットキャプチャ／コンペアマッチ割り込み）	114
TGIA1（マルチファンクションタイマパルスユニット0のMTU1インプットキャプチャ／コンペアマッチ割り込み）	121
TGIA2（マルチファンクションタイマパルスユニット0のMTU2インプットキャプチャ／コンペアマッチ割り込み）	125

表14.8　DMACA起動要因となる割り込み要求一覧 (2 / 2)

DMA起動要因（周辺モジュール／外部割り込み要求）	ICU.DMRSRn
TGIA3（マルチファンクションタイマパルスユニット0のMTU3インプットキャプチャ／コンペアマッチ割り込み）	129
TGIA4（マルチファンクションタイマパルスユニット0のMTU4インプットキャプチャ／コンペアマッチ割り込み）	134
TGIA6（マルチファンクションタイマパルスユニット1のMTU6インプットキャプチャ／コンペアマッチ割り込み）	142
TGIA7（マルチファンクションタイマパルスユニット1のMTU7インプットキャプチャ／コンペアマッチ割り込み）	149
TGIA8（マルチファンクションタイマパルスユニット1のMTU8インプットキャプチャ／コンペアマッチ割り込み）	153
TGIA9（マルチファンクションタイマパルスユニット1のMTU9インプットキャプチャ／コンペアマッチ割り込み）	157
TGIA10（マルチファンクションタイマパルスユニット1のMTU10インプットキャプチャ／コンペアマッチ割り込み）	162
RXI0（シリアルコミュニケーションインタフェースSCI0受信データフル割り込み）	215
TXI0（シリアルコミュニケーションインタフェースSCI0送信データエンプティ割り込み）	216
RXI1（シリアルコミュニケーションインタフェースSCI1受信データフル割り込み）	219
TXI1（シリアルコミュニケーションインタフェースSCI1送信データエンプティ割り込み）	220
RXI2（シリアルコミュニケーションインタフェースSCI2受信データフル割り込み）	223
TXI2（シリアルコミュニケーションインタフェースSCI2送信データエンプティ割り込み）	224
RXI3（シリアルコミュニケーションインタフェースSCI3受信データフル割り込み）	227
TXI3（シリアルコミュニケーションインタフェースSCI3送信データエンプティ割り込み）	228
RXI5（シリアルコミュニケーションインタフェースSCI5受信データフル割り込み）	235
TXI5（シリアルコミュニケーションインタフェースSCI5送信データエンプティ割り込み）	236
RXI6（シリアルコミュニケーションインタフェースSCI6受信データフル割り込み）	239
TXI6（シリアルコミュニケーションインタフェースSCI6送信データエンプティ割り込み）	240
ICRXI0（I^2CバスインタフェースRIIC0データ受信終了割り込み）	247
ICTXI0（I^2CバスインタフェースRIIC0送信データエンプティ割り込み）	248
ICRXI1（I^2CバスインタフェースRIIC1データ受信終了割り込み）	251
ICTXI1（I^2CバスインタフェースRIIC1送信データエンプティ割り込み）	252

14.3.5 DMACA の起動

図 14.10 にレジスタの設定手順を示します。

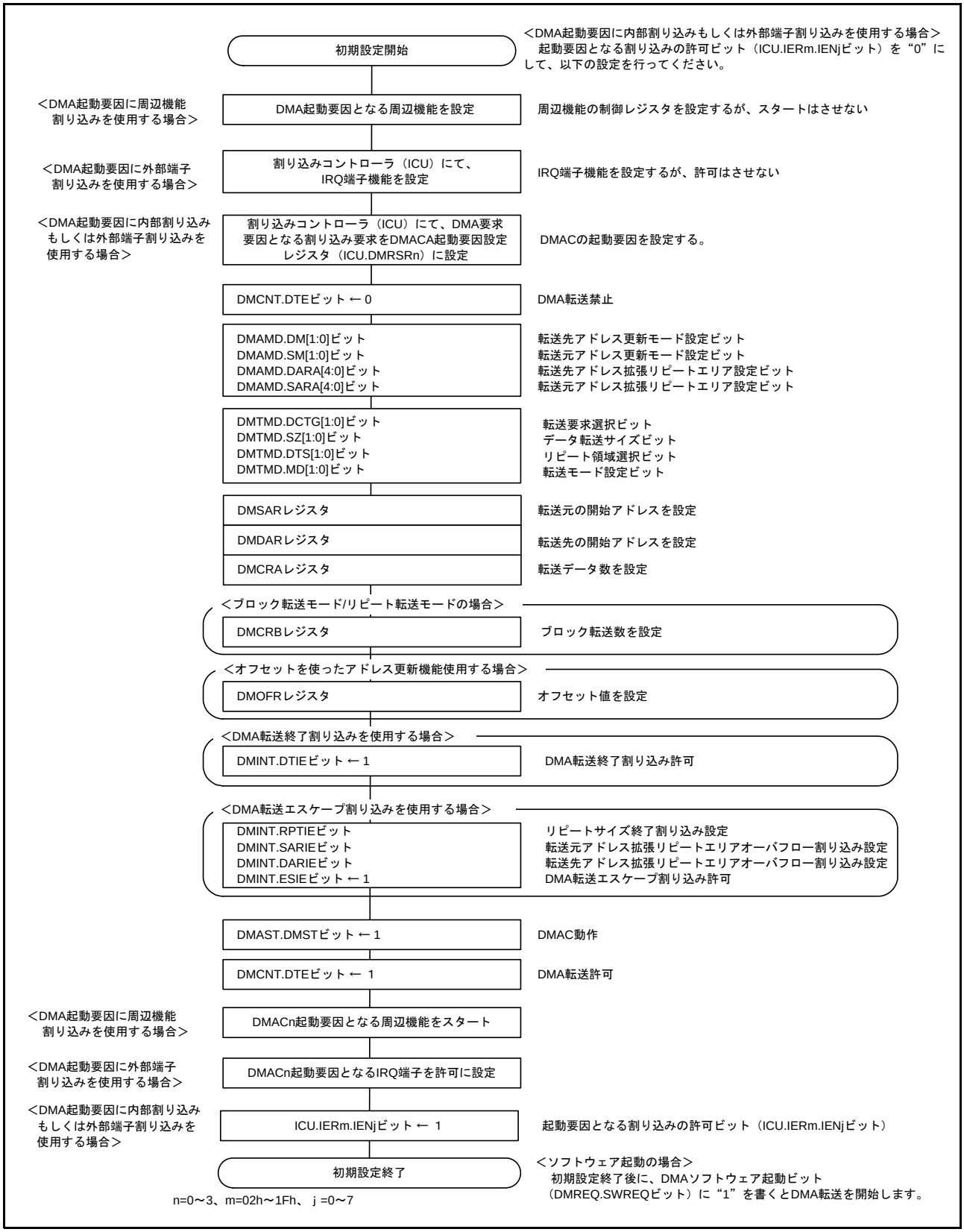


図 14.10　レジスタの設定手順

14.3.6 DMA 転送の開始

DMCNT.DTE ビットを “1”（DMA 転送許可）にして、DMAST.DMST ビットを “1”（DMACA 動作）にすると、チャネル n（n = 0 ～ 3）の DMA 転送が可能になります。

他の DMACA チャネル、DTC の転送中は新たな起動要求は受け付けません。先行する転送が終了した時点で最も優先順位の高いチャネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送要求が受け付けられ DMA 転送が開始すると、DMSTS.ACT ビットが “1”（DMACA 動作中）になります。

14.3.7 DMA 転送中のレジスタ

DMACA のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DMSAR、DMDAR、DMCRA、DMCRB、DMCNT、DMSTS です。

(1) DMA 転送元アドレスレジスタ（DMSAR）

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は表 14.4 ～表 14.6 を参照してください。

(2) DMA 転送先アドレスレジスタ（DMDAR）

1 転送要求に対するデータ転送を実行すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は表 14.4 ～表 14.6 を参照してください。

(3) DMA 転送カウントレジスタ（DMCRA）

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は表 14.4 ～表 14.6 を参照してください。

(4) DMA ブロック転送カウントレジスタ（DMCRB）

1 転送要求に対するデータ転送を実行すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は表 14.4 ～表 14.6 を参照してください。

(5) DMA 転送許可ビット（DMCNT.DTE）

DMCNT.DTE ビットは、CPU によりライトしてデータ転送の許可／禁止を制御しますが、DMA 転送状態によって DMACA により自動的に DMCNT.DTE ビットを “0” になることがあります。
DMACA により DMCNT.DTE ビットが “0” になる条件を以下に示します。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき
- DMCNT.DTE ビットに “0” を書いたとき
- リセット時

DMCNT.DTE ビットが “1” になっているチャネルのレジスタへの書き込みは禁止されています（DMCNT レジスタを除く）。DMCNT.DTE ビットに “0” を書いた後、各レジスタの設定を変更してください。

(6) DMA アクティブフラグ（DMSTS.ACT ビット）

DMACA が停止中か動作中であることを示します。DMSTS.ACT ビットは DMACA が転送動作を開始すると “1” になり、1 転送要求に対するデータ転送を終了すると “0” になります。

DMA 転送中に DMCNT.DTE ビットを “0” にし、DMA 転送を停止させた場合でも、DMA 転送が終了するまで “1” を保持します。

(7) 転送終了割り込みフラグ（DMSTS.DTIF フラグ）

DMA 転送によって総転送サイズ分の転送を終了すると、DMSTS.DTIF フラグが “1” になります。

DMSTS.DTIF フラグが “1” で、DMINT.DTIE ビットが “1” になっていると転送終了割り込み要求を発生します。

DMSTS.DTIF フラグが “1” になるタイミングは、DMA 転送のバスサイクルが終了して、DMSTS.ACT ビットが “0“ になって転送を終了したときです。

割り込み処理中に DMCNT.DTE ビットに “1” を書いた場合、自動的に DMSTS.DTIF フラグが “0” になります。

(8) 転送エスケープ割り込みフラグ（DMSTS.ESIF）

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMSTS.ESIF フラグは “1” になります。DMSTS.ESIF フラグが “1” で、DMINT.ESIE ビットが “1” になっていると転送エスケープ割り込み要求を発生します。

DMSTS.ESIF フラグが “1” になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMSTS.ACT フラグが “0“ になって転送を終了したときです。

割り込み処理中に DMCNT.DTE ビットに “1” を書いた場合、自動的に DMSTS.ESIF フラグが “0” になります。

DMACA からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「11. 割り込みコントローラ（ICUa）」を参照してください。

14.3.8 チャネルの優先順位

DMACA は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 ＞ チャネル 1 ＞ チャネル 2 ＞ チャネル 3 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行ない、優先順位の高いチャネルの転送が開始されます。

14.3.9 動作タイミング

図 14.11、図 14.12 に DMACA の動作タイミングの例を以下に示します。

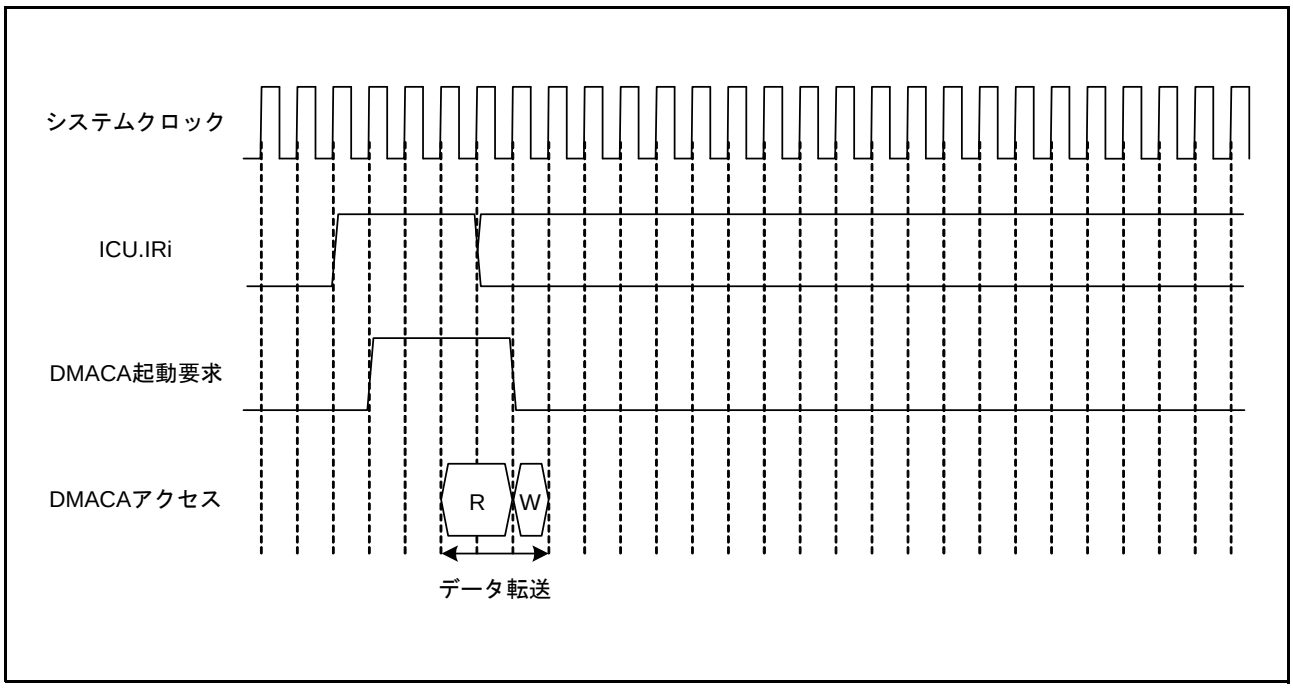


図 14.11　DMACA 動作タイミング例（1）（周辺モジュール／外部割り込み入力端子からの割り込みによる DMACA 起動、ノーマル転送モード、リピート転送モードの場合）

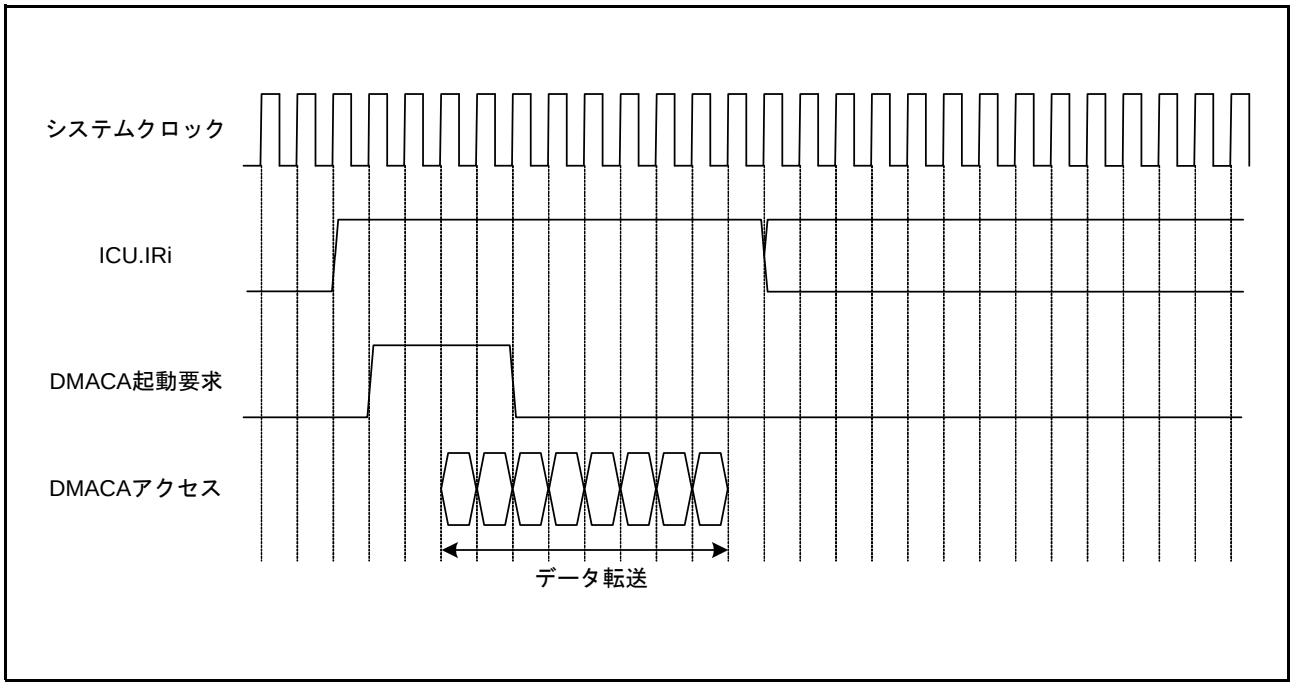


図 14.12　DMACA 動作タイミング例（2）（周辺モジュール／外部割り込み入力端子からの割り込みによる DMACA 起動、ブロック転送モード、ブロックサイズ＝ 4 の場合）

14.3.10 DMACA の実行サイクル

DMACA の 1 回のデータ転送の実行状態を表 14.9 に示します。

表 14.9　DMACAの実行サイクル

転送モード	データ転送（リード）	データ転送（ライト）
ノーマル	Cr+1	Cw
リピート	Cr+1	Cw
ブロック（注1）	Cr×P	Cw×P

注1.　ブロックサイズが2以上の場合です。ブロックサイズが1の場合はノーマル転送のサイクル数となります。

【記号説明】
P：ブロックサイズ（DMCRAH、DMCRAL レジスタの設定値）
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル
（Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「37. RAM」、「38. ROM（コード格納用フラッシュメモリ）」、「5. I/O レジスタ」、「12.2.5 外部バス」を参照してください。
データリードの「+1」の単位はシステムクロック（ICLK）です。
動作例は「14.3.9 動作タイミング」を参照してください。）

14.4 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMCNT.DTE ビットと DMSTS.ACT フラグが “1” から “0” になり、DMA 転送が終了したことを示します。

14.4.1 設定した総データ転送による転送終了

(1) ノーマル転送モード（DMTMD.MD[1:0] = 00b）のとき

DMCRAL レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが “0” になり、同時に DMSTS.DTIF フラグが “1” になります。
このとき DMINT.DTIE ビットが “1” ならば、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード（DMTMD.MD[1:0] = 01b）のとき

DMCRB レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが “0” になり、同時に DMSTS.DTIF フラグが “1” になります。このとき DMINT.DTIE ビットが “1” ならば、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード（DMTMD.MD[1:0] = 10b）のとき

DMCRB レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが “0” になり、同時に DMSTS.DTIF フラグが “1” になります。このとき DMINT.DTIE ビットが “1” ならば、CPU または DTC に割り込み要求が発生します。
DMACA からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「11. 割り込みコントローラ（ICUa）」を参照してください。

14.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMINT.RPTIE ビットが “1” であるときに、1 リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求を発生します。割り込み要求の発生により DMA 転送を終了し、DMCNT.DTE ビットが “0” になり、同時に DMSTS.ESIF フラグが “1” になります。このとき DMINT.ESIE ビットが “1” ならば、CPU または DTC に割り込み要求が発生します。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に、同様にリピートサイズ終了割り込み要求を発生します。

DMACA からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「11. 割り込みコントローラ（ICUa）」を参照してください。

14.4.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DMINT.SARIE ビットまたは DMINT.DARIE ビットが “1” にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMCNT.DTE ビットが “0” になり、同時に DMSTS.ESIF フラグが “1” になります。このとき DMINT.ESIE ビットが “1” ならば、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

DMACA からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳細は「11. 割り込みコントローラ（ICUa）」を参照してください。

14.5 割り込み

DMACA はチャネルごとに CPU または DTC に割り込み要求を出力させることができます。割り込みの要因、フラグ、許可ビットの関係を表 14.10 に、割り込み出力の概略論理図を図 14.13 に示します。

表 14.10　割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力許可
転送終了		－	DMSTS.DTIF	DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMINT.RPTIE	DMSTS.ESIF	DMINT.ESIE
	転送元アドレス拡張リピートエリアオーバフロー	DMINT.SARIE		
	転送先アドレス拡張リピートエリアオーバフロー	DMINT.DARIE		

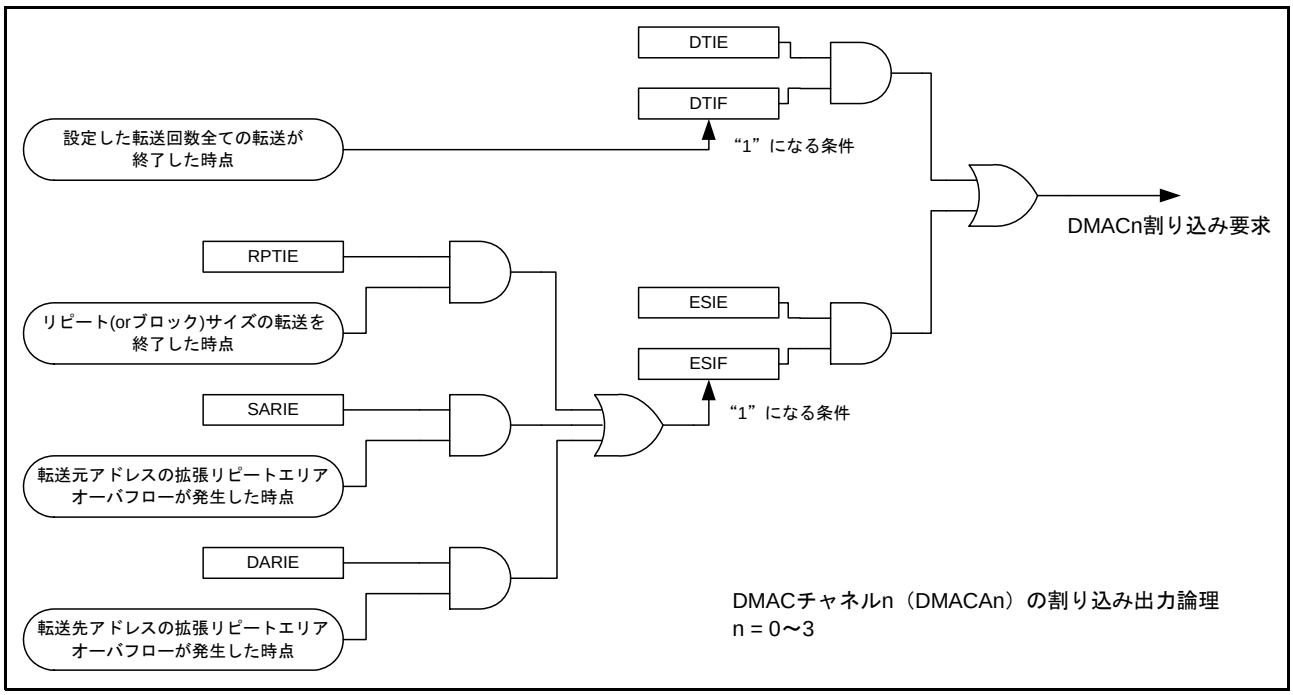


図 14.13　割り込み出力の概略論理図

割り込み処理ルーチンで割り込みを解除する方法は、DMA 転送を終了または中止させる場合と、転送を継続させる場合とで異なります。

(1) DISEL=0 での転送実施後、次に発生した要求で DMA 転送を継続する場合

あらかじめ、DMACA 起動要因の割り込み優先レベルを IPL（プロセッサ割り込み優先レベル）以下に設定してください。

DMAC 割り込みで以下の処理を行ってください。

- 起動要因の ICU.IERm.IENj ビットに “0” を書いてください。この処理を行うまで多重割り込みは禁止です
- DMCNT.DTE ビットに “1” を書いてください
- 起動要因の ICU.IERm.IENj ビットに “1” を書いてください

注 . m=02h ～ 1Fh、 j =0 ～ 7

(2) DISEL=1 での転送実施後、次に発生した要求で DMA 転送を継続する場合

起動要因の割り込みで次の処理を行ってください。

- DMSTS.DTIF フラグ、DMSTS.ESIF フラグを確認し、“1” であれば、起動要因の ICU.IERm.IENj ビットに “0” を書いてください

DMAC 割り込みで以下の処理を行ってください。

- DMCNT.DTE ビットに “1” を書いてください
- 起動要因の ICU.IERm.IENj ビットに “1” を書いてください

注 . m=02h ～ 1Fh、 j =0 ～ 7

(3) 次に発生した要求で CPU 割り込み処理、もしくは新たに転送を行う場合（DISEL=0、1 共通）

DMAC 割り込みで以下の処理を行ってください。

- 起動要因の ICU.IERm.IENj ビットに “0” を書いてください
- 転送終了割り込みの場合は DMSTS.DTIF フラグに、転送エスケープ割り込みの場合は DMSTS.ESIF フラグに “0” を書いてください
- 新たに転送を行う場合は、**図 14.10** の設定を行ってください。転送を終了し、CPU 割り込みとする場合は、起動要因の ICU.IERm.IENj ビットに ”1” を書いてください

注 . m=02h ～ 1Fh、 j =0 ～ 7

14.6　消費電力低減機能

DMACA のモジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMACA 起動要因の ICU.IERm.IENj ビットを “0” （注 1) にした後、DMAST.DMST ビットを “0”、DMCNT.DTE ビットを ”0” にしてください。その後、それぞれ以下の処理を行ってください。

注 1.　低消費電力モードからの復帰要因として CPU 割り込みを発生させる場合は、ICU.IERm.IENj ビットに ”1” を書いてください。設定方法の詳細は「11.6　低消費電力状態からの復帰」を参照してください。

(1)　モジュールストップ機能

MSTPCRA.MSTPA28 ビットに “1”（モジュールストップ状態への遷移）を書くことによって、DMACA のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに “1” を書いたときに DMA 転送動作中の場合、DMA 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットに “0”（モジュールストップ状態の解除）を設定することにより、DMACA のモジュールストップが解除されます。

(2)　全モジュールクロックストップモード

MSTPCRA.ACSE ビットに “ 1 ”（全モジュールクロックストップモード許可）を書き、MSTPCRA.MSTPA28 ビット（モジュールストップ状態への遷移）を含め MSTPCRA レジスタ及び MSTPCRB レジスタの全ビットに “1” を書きます。その後、WAIT 命令を実行することで、全モジュールクロックストップモードに移行します。WAIT 命令を実行したとき DMA 転送動作中の場合は、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに “0” を書くことにより、DMACA のモジュールストップが解除されます。

(3)　ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

SBYCR.SSBY ビットに “1”（WAIT 命令実行後、ソフトウェアスタンバイモードに移行）、および DPSBYCR.DPSBY ビットに “0”（WAIT 命令実行後、ソフトウェアスタンバイモードに移行）を書いた後、WAIT 命令を実行することでソフトウェアスタンバイモードに移行します。WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモードに移行します。

DPSBYCR.DPSBY ビットに “1”（WAIT 命令実行後、ディープソフトウェアスタンバイモードに移行）を書いた後に WAIT 命令を実行した場合は、ディープソフトウェアスタンバイモードに移行します。

(4)　消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「9.7.7　WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMACA 起動を継続する場合は「14.3.5　DMACA の起動」に沿って設定を行ってください。CPU 割り込み、DTC に切り替える場合は、「11.4.3　割り込み要求先の選択」に沿って設定を行ってください。

(m=02h ～ 1Fh、j=0 ～ 7)

14.7 使用上の注意事項

14.7.1 外部デバイスを使用する場合

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMSTS.ACT フラグが “0”（DMACA 停止中）になることがあります。

14.7.2 周辺モジュールへ DMA 転送する場合

周辺モジュールへの DMA 転送では、最後のデータライトが開始されてから周辺バスアクセスが終了する前に、DMSTS.ACT フラグが “0”（DMACA 停止中）になることがあります。

14.7.3 DMACA 動作中のレジスタアクセスについて

DMSTS.ACT フラグが “1”（DMACA 動作中）、または DMCNT.DTE ビットが “1”（DMA 転送許可）の状態で、同じチャネルの設定レジスタ（DMSAR、DMDAR、DMCRA、DMCRB、DMTMD、DMINT、DMAMD、DMOFR、DMCSL）へのアクセスは行わないでください。

14.7.4 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。
予約領域についての詳細は「4. **アドレス空間**」を参照してください。

14.7.5 DMACA 起動要因フラグ制御レジスタ（DMCSL）設定による転送終了ごとの割り込み要求について

DMCSL.DISEL ビットを “1” にすると、1 回の DMA 起動要求に対する転送が終了する度に CPU へ割り込み要求を発生させることができます。このとき発生する割り込みは、DMACA が出力する転送終了割り込み、エスケープ終了割り込みとは異なり、DMACA の起動要因となった割り込みフラグを DMA 転送終了時、“0” にならずに割り込み要求先を CPU に切り替えることにより、CPU への割込み要求が発生します。
割り込みフラグ、割り込み要求先変更については、「11. **割り込みコントローラ**（ICUa）」を参照してください。また、DMCSL.DISEL ビットの設定は、「14.2.12 DMA **起動要因フラグ制御レジスタ**（DMCSL）」を参照してください。

14.7.6 割り込みコントローラの DMACA 起動要求レジスタ（ICU.DMRSRn）の設定

DMACA 起動要因選択レジスタ（ICU.DMRSRn）の設定は、DMA 転送許可ビット（DMCNT.DTE ビット）が “0”（DMA 転送を禁止）のときに行なってください。また、ICU.DMRSRn レジスタで設定したベクタ番号と同じベクタ番号に対応するDTC起動許可レジスタ（ICU.DTCERn）を“1”にしないでください。ICU.DTCERn、ICU.DMRSRn レジスタの詳細は、「11. **割り込みコントローラ**（ICUa）」を参照してください。

14.7.7 DMACA 起動の保留／再開

DMACA 起動要求を保留する場合は、起動要因の割り込み許可ビット（ICU.IERm.IEN ビット）に “0” を書いてください。DMA 転送 を再開する場合は、「14.3.5 DMACA **の起動**」の設定がなされた状態で、ICU.IERm.IEN ビットに “1” を書いてください。

14.7.8 DMA 転送起動要因に通信機能の割り込みを指定する場合

RX62N グループ、RX621 グループでは、通信機能 (SCI/RIIC/RSPI/USB) と、DTC/DMAC 機能を組み合わせて使用する場合、注意が必要な場合があります。詳細は、「11.7 **使用上の注意事項**」を参照してください。

15. EXDMA コントローラ（EXDMAC）

RX62N グループ、RX621 グループは、2 チャネルの外部バス転送専用 DMAC（EXDMAC）を内蔵しています。

EXDMAC は、CPU を介さずにデータ転送を行います。EXDMAC は転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

15.1 概要

表 15.1 に EXDMAC の仕様を、図 15.1 に EXDMAC のブロック図を示します。

表15.1　EXDMACの仕様

項目		内容
チャネル数		2チャネル（EXDMACn (n = 0～1)）
転送空間		512Mバイト （00000000h～0FFFFFFFhとF0000000h～FFFFFFFFhのうち予約領域を除く外部領域）
最大転送データ数		1Mデータ（ブロック転送モード最大総転送数：1023データ×1024ブロック）
DMA起動要因		• チャネルごとに3種類の起動要因を選択可能 ソフトウェアトリガ 外部DMA転送要求端子 周辺モジュール（MTU1のコンペアマッチ）からのDMA転送要求
チャネル優先順位		チャネル0 ＞ チャネル1（チャネル0が最優先）
転送データ	1データ	ビット長：8ビット、16ビット、32ビット
	ブロックサイズ	データ数：1～1023データ
	クラスタサイズ	データ数：1～7データ
転送モード	ノーマル転送モード	• 1回のDMA転送要求で1データを転送 • 総データ転送数を指定しない設定（フリーランニングモード）が可能
	リピート転送モード	• 1回のDMA転送要求で1データを転送 • 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 • リピートサイズは最大1023データを設定可能
	ブロック転送モード	• 1回のDMA転送要求で1ブロックのデータを転送 • ブロックサイズは最大1023データを設定可能
	クラスタ転送モード	• 1回のDMA転送要求で1クラスタのデータを転送 • クラスタサイズは最大7データ（28バイト）を設定可能
アドレスモード	シングルアドレスモード	• 転送元または転送先の周辺デバイスをEDACKn信号でアクセスし、もう一方をアドレス指定してデータを転送 • ノーマル転送モード、リピート転送モード、ブロック転送モードで使用可能
	デュアルアドレスモード	• 転送元、転送先双方をアドレス指定しデータを転送 • ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モードで使用可能
選択機能	拡張リピートエリア機能	• 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 • 拡張リピートエリアは2バイトから128Mバイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生

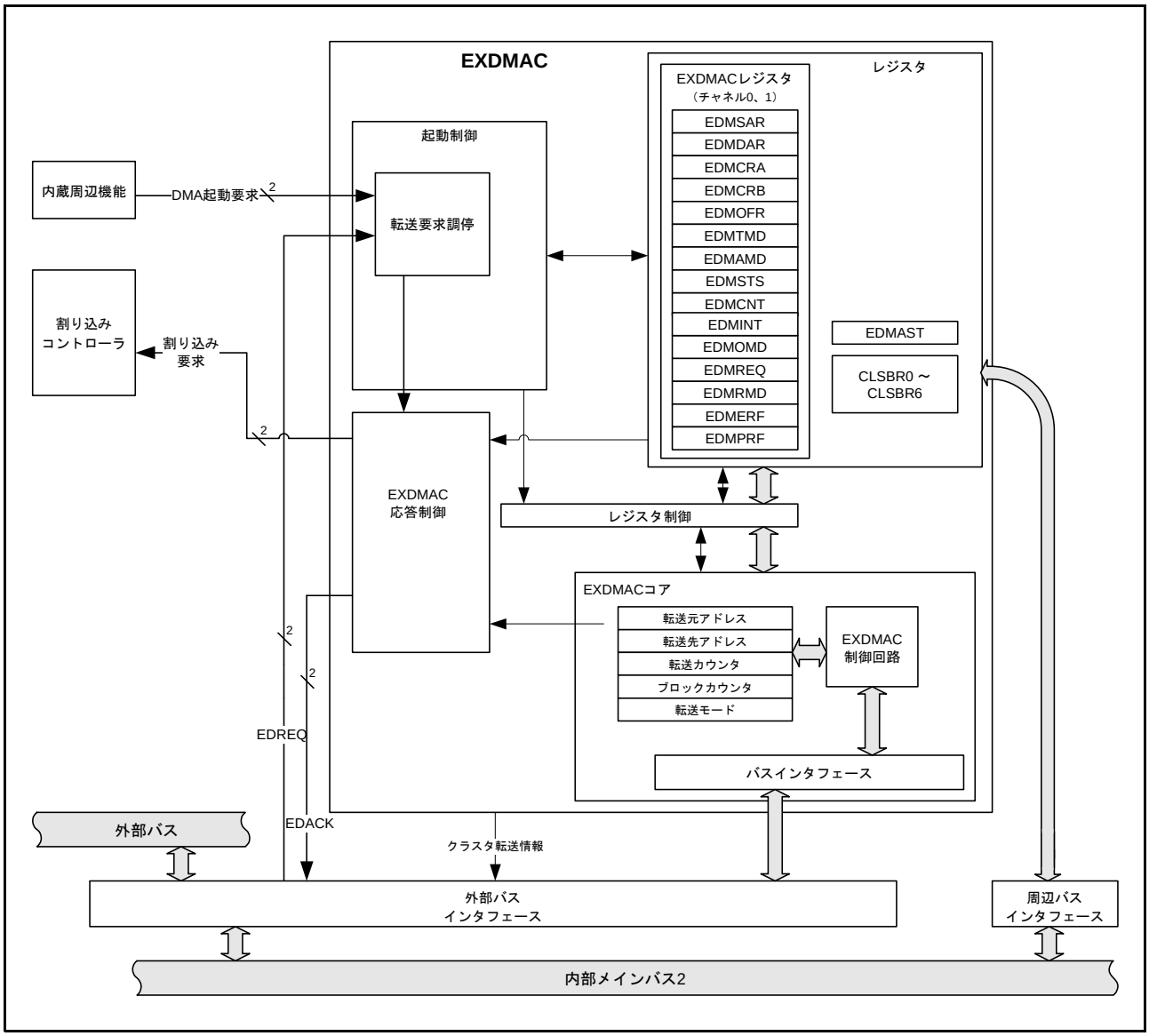


図 15.1　　EXDMAC のブロック図

EXDMAC の入出力端子を表 15.2 に示します。

表15.2　　EXDMACの入出力端子

チャネル	端子	入出力	機能
EXDMAC0	EDREQ0	入力	EXDMAC0の外部DMA転送要求
	EDACK0	出力	EXDMAC0のシングルアドレス転送アクノリッジ
EXDMAC1	EDREQ1	入力	EXDMAC1の外部DMA転送要求
	EDACK1	出力	EXDMAC1のシングルアドレス転送アクノリッジ

15.2 レジスタの説明

表 15.3 に EXDMAC のレジスタ一覧を示します。EXDMAC0、EXDMAC1 のレジスタは同一機能です。

表15.3　EXDMACのレジスタ一覧

チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
EXDMAC0	EXDMA転送元アドレスレジスタ	EDMSAR	0000 0000h	0008 2800h	32
	EXDMA転送先アドレスレジスタ	EDMDAR	0000 0000h	0008 2804h	32
	EXDMA転送カウントレジスタ	EDMCRA	0000 0000h	0008 2808h	32
	EXDMAブロック転送カウントレジスタ	EDMCRB	0000h	0008 280Ch	16
	EXDMA転送モードレジスタ	EDMTMD	0000h	0008 2810h	16
	EXDMA出力設定レジスタ	EDMOMD	00h	0008 2812h	8
	EXDMA割り込み設定レジスタ	EDMINT	00h	0008 2813h	8
	EXDMAアドレスモードレジスタ	EDMAMD	0000 0000h	0008 2814h	32
	EXDMAオフセットレジスタ	EDMOFR	0000 0000h	0008 2818h	32
	EXDMA転送許可レジスタ	EDMCNT	00h	0008 281Ch	8
	EXDMAソフトウェア起動レジスタ	EDMREQ	00h	0008 281Dh	8
	EXDMAステータスレジスタ	EDMSTS	00h	0008 281Eh	8
	EXDMA外部要求センスモードレジスタ	EDMRMD	00h	0008 2820h	8
	EXDMA外部要求フラグレジスタ	EDMERF	00h	0008 2821h	8
	EXDMA周辺要求フラグレジスタ	EDMPRF	00h	0008 2822h	8
EXDMAC1	EXDMA転送元アドレスレジスタ	EDMSAR	0000 0000h	0008 2840h	32
	EXDMA転送先アドレスレジスタ	EDMDAR	0000 0000h	0008 2844h	32
	EXDMA転送カウントレジスタ	EDMCRA	0000 0000h	0008 2848h	32
	EXDMAブロック転送カウントレジスタ	EDMCRB	0000h	0008 284Ch	16
	EXDMA転送モードレジスタ	EDMTMD	0000h	0008 2850h	16
	EXDMA出力設定レジスタ	EDMOMD	00h	0008 2852h	8
	EXDMA割り込み設定レジスタ	EDMINT	00h	0008 2853h	8
	EXDMAアドレスモードレジスタ	EDMAMD	0000 0000h	0008 2854h	32
	EXDMA転送許可レジスタ	EDMCNT	00h	0008 285Ch	8
	EXDMAソフトウェア起動レジスタ	EDMREQ	00h	0008 285Dh	8
	EXDMAステータスレジスタ	EDMSTS	00h	0008 285Eh	8
	EXDMA外部要求センスモードレジスタ	EDMRMD	00h	0008 2860h	8
	EXDMA外部要求フラグレジスタ	EDMERF	00h	0008 2861h	8
	EXDMA周辺要求フラグレジスタ	EDMPRF	00h	0008 2862h	8
EXDMAC	EXDMAモジュール起動レジスタ	EDMAST	00h	0008 2A00h	8
	クラスタバッファレジスタ0	CLSBR0	0000 0000h	0008 2BE0h	32
	クラスタバッファレジスタ1	CLSBR1	0000 0000h	0008 2BE4h	32
	クラスタバッファレジスタ2	CLSBR2	0000 0000h	0008 2BE8h	32
	クラスタバッファレジスタ3	CLSBR3	0000 0000h	0008 2BECh	32
	クラスタバッファレジスタ4	CLSBR4	0000 0000h	0008 2BF0h	32
	クラスタバッファレジスタ5	CLSBR5	0000 0000h	0008 2BF4h	32
	クラスタバッファレジスタ6	CLSBR6	0000 0000h	0008 2BF8h	32

15.2.1 EXDMA 転送元アドレスレジスタ（EDMSAR）

アドレス　EXDMAC0.EDMSAR：0008 2800h、EXDMAC1.EDMSAR：0008 2840h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h～0FFFFFFFh（256Mバイト） F0000000h～FFFFFFFFh（256Mバイト）	R/W

EDMSAR レジスタは、転送元の開始アドレスを設定するレジスタです。

EDMSAR レジスタを設定する場合は、EXDMAC 起動禁止（EDMAST.DMST ビット = 0）、または DMA 転送禁止（EDMCNT.DTE ビット = 0）のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。EDMSAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

15.2.2 EXDMA 転送先アドレスレジスタ（EDMDAR）

アドレス　EXDMAC0.EDMDAR：0008 2804h、EXDMAC1.EDMDAR：0008 2844h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h～0FFFFFFFh（256Mバイト） F0000000h～FFFFFFFFh（256Mバイト）	R/W

EDMDAR レジスタは、転送先の開始アドレスを設定するレジスタです。

EDMDAR レジスタを設定する場合は、EXDMAC 起動禁止（EDMAST.DMST ビット = 0）、または DMA 転送禁止（EDMCNT.DTE ビット = 0）のときに書いてください。

ビット 31 ～ 29 への設定値は無効です。ビット 31 ～ 29 へはビット 28 の値がビット拡張されます。EDMDAR レジスタを読み出した場合、ビット拡張された値が読み出されます。

15.2.3 EXDMA 転送カウントレジスタ（EDMCRA）

アドレス　EXDMAC0.EDMCRA：0008 2808h、EXDMAC1.EDMCRA：0008 2848h

●ノーマル転送モード

	EDMCRAH															
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	EDMCRAL															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

●リピート転送モード、ブロック転送モード

	EDMCRAH															
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	EDMCRAL															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	0	0										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　転送モードによって機能が異なります。

●クラスタ転送モード

	EDMCRAH															
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	EDMCRAL															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	0	0	0	0	0	0	0	0	0			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

シンボル	ビット名	機能	R/W
EDMCRAL	転送カウント下位ビット	転送回数を設定します。	R/W
EDMCRAH	転送カウント上位ビット		R/W

注.　リピート転送モード時、ブロック転送モード時およびクラスタ転送モード時は、EDMCRAH、EDMCRAL レジスタには同じ値を設定してください。

EDMCRA レジスタは、DMA の転送回数を指定するレジスタです。転送モードによって機能が異なります。

(1) ノーマル転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 00b）のとき

EDMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回となります。1 回のデータ転送を行う度にデクリメント（–1）します。

設定値が “0000h” のときは転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います（フリーランニングモード）。

ノーマル転送モードでは EDMCRAH レジスタを使用しません。EDMCRAH レジスタへは “0000h” を書いてください。

(2) リピート転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 01b）のとき

EDMCRAH レジスタはリピートサイズを保持し、EDMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回となります。リピート転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 001h ～ 3FFh です。“000h” は設定しないでください。

EDMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。EDMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

EDMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント（–1）され、“000h” になると EDMCRAH レジスタの値が転送されます。

(3) ブロック転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 10b）のとき

EDMCRAH レジスタはブロックサイズを保持し、EDMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が “001h” のときはブロックサイズが 1、“3FFh” のときはブロックサイズが 1023 になります。ブロック転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 001h ～ 3FFh です。“000h” は設定しないでください。

EDMCRAL レジスタのビット 15 ～ 10 の設定値は無効です。EDMCRAL レジスタのビット 15 ～ 10 へは “0” を書いてください。

EDMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント（–1）され、“000h” になると EDMCRAH レジスタの値が転送されます。

(4) クラスタ転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 11b）のとき

EDMCRAH レジスタはクラスタサイズを保持し、EDMCRAL レジスタは 3 ビットのクラスタサイズカウンタとして機能します。

設定値が “001h” のときはクラスタサイズが 1、“007h” のときはクラスタサイズが 7 になります。クラスタ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 001h ～ 007h です。“000h” は設定しないでください。

EDMCRAL レジスタのビット 15 ～ 3 の設定値は無効です。EDMCRAL レジスタのビット 15 ～ 3 へは “0” を書いてください。

EDMCRAL レジスタは 1 回のデータ転送を行う度にデクリメント（–1）され、“000h” になると EDMCRAH レジスタの値が転送されます。

15.2.4 EXDMA ブロック転送カウントレジスタ（EDMCRB）

アドレス　EXDMAC0.EDMCRB：0008 280Ch、EXDMAC1.EDMCRB：0008 284Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b9-b0	ブロック転送回数、リピート転送回数または クラスタ転送回数を設定します。	001h～3FFh（1～1023回） 000h　　（1024回）	R/W
b15-b10	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMCRB レジスタは、ブロック転送モード時のブロック転送回数、リピート転送モード時のリピート転送回数またはクラスタ転送回数を指定するレジスタです。

転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回となります。1 回のデータ転送を行う度にデクリメント（–1）します。

ノーマル転送モード設定時は、“3FFh” を設定してください。

15.2.5 EXDMA 転送モードレジスタ（EDMTMD）

アドレス　EXDMAC0.EDMTMD：0008 2810h、EXDMAC1.EDMTMD：0008 2850h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求選択ビット	b1 b0 0 0：ソフトウェア 0 1：設定しないでください 1 0：外部DMA転送要求端子（EDREQn端子） 1 1：内部周辺モジュール（MTU1のコンペアマッチ）による DMA転送要求	R/W
b7-b2	—	（予約ビット）	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b9-b8	SZ[1:0]	データ転送サイズビット	b9 b8 0 0：8ビット転送 0 1：16ビット転送 1 0：32ビット転送 1 1：設定しないでください。	R/W
b11-b10	—	（予約ビット）	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b13-b12	DTS[1:0]	リピート領域選択ビット	b13 b12 0 0：転送先側がリピート領域またはブロック領域 0 1：転送元側がリピート領域またはブロック領域 1 0：リピート領域、ブロック領域は設定しない 1 1：設定しないでください。	R/W
b15-b14	MD[1:0]	転送モード設定ビット	b15 b14 0 0：ノーマル転送 0 1：リピート転送 1 0：ブロック転送 1 1：クラスタ転送	R/W

EDMTMD は DMA 転送モードを設定するレジスタです。

DCTG[1:0] ビット（転送要求選択ビット）

EXDMAC の起動要因をソフトウェアによる起動、または外部 DMA 転送要求端子による起動、内部周辺モジュール（MTU1 のコンペアマッチ）からの DMA 転送要求による起動から選択します。

SZ[1:0] ビット（データ転送サイズビット）

1 回のデータ転送におけるデータサイズを 8 ビット、16 ビット、32 ビットから選択します。

DTS[1:0] ビット（リピート領域選択ビット）

リピート転送モードあるいはブロック転送モード、クラスタ転送モードにおいて、転送元、転送先のいずれか一方をリピート領域に選択することができます。ノーマル転送モードではこのビットの設定値は無効です。

MD[1:0] ビット（転送モード設定ビット）

DMA 転送モードをノーマル転送、リピート転送、ブロック転送、クラスタ転送から設定します。

15.2.6 EXDMA 出力設定レジスタ（EDMOMD）

アドレス　EXDMAC0.EDMOMD：0008 2812h、EXDMAC1.EDMOMD：0008 2852h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DACKS	DACKE	DACKW	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	DACKW	EDACKn端子ネゲートウェイトビット	0：EDACKn端子はRDn#端子、WRn#と同時にネゲート 1：EDACKn端子はRDn#端子の1BCLK前にネゲート、WRn＃端子の1BCLK後にネゲート	R/W
b2	DACKE	EDACKn端子出力許可ビット	0：EDACKn端子の出力を禁止 1：EDACKn端子の出力を許可	R/W
b3	DACKS	EDACKn端子極性設定ビット	0：EDACKn端子の極性をLowアクティブ 1：EDACKn端子の極性をHighアクティブ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMOMD レジスタは、EXDMAC の出力信号の設定を行うレジスタです。

DACKW ビット（EDACKn 端子ネゲートウェイトビット）

CS 領域とのシングルアドレスモードでのノーマル転送、リピート転送、ブロック転送における EDACKn 端子のネゲートタイミングを設定します。

CS 領域とのシングルアドレスモード（EDMAMD.AMS ビット = 1）でのノーマル転送、リピート転送またはブロック転送のとき、DACKW ビットが “0” であれば、EDACKn 端子は RDn# 端子もしくは WRn# 端子のネゲートタイミングと同時にネゲートします。DACKW ビットが “1” であれば、EDACKn 端子は RDn# 端子のネゲートタイミングの 1BCLK サイクル前に、もしくは WRn# 端子のネゲートタイミングの 1 BCLK サイクル後にネゲートされます。SDRAM とのシングルアドレスモードでのノーマル転送、リピート転送、ブロック転送では DACKW ビットの値は無効です。EDACKn 端子のネゲートタイミングの変更はできません。またデュアルアドレスモードでの転送、およびクラスタ転送時は DACKW ビットの値は無効です。EDACKn 端子は出力されません。

DACKE ビット（EDACKn 端子出力許可ビット）

EDACKn 端子の出力を許可または禁止します。またデュアルアドレスモードでの転送時および、クラスタ転送時、DACKE ビットの値は無効です（EDACKn 端子出力なし）。

DACKS ビット（EDACKn 端子出力極性設定ビット）

EDACKn 端子出力極性を設定します。

15.2.7 EXDMA 割り込み設定レジスタ（EDMINT）

アドレス　EXDMAC0.EDMINT：0008 2813h、EXDMAC1.EDMINT：0008 2853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送先アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送先アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b1	SARIE	転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット	0：転送元アドレス拡張リピートエリアオーバフロー割り込みを禁止 1：転送元アドレス拡張リピートエリアオーバフロー割り込みを許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可ビット	0：リピートサイズ終了割り込みを禁止 1：リピートサイズ終了割り込みを許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可ビット	0：エスケープ割り込みを禁止 1：エスケープ割り込みを許可	R/W
b4	DTIE	転送終了割り込み許可ビット	0：転送終了割り込みを禁止 1：転送終了割り込みを許可	R/W
b7-b5	—	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W

EDMINT レジスタは、EXDMAC の割り込み要求出力を設定するレジスタです。

DARIE ビット（転送先アドレス拡張リピートエリアオーバフロー割り込み許可ビット）

DARIE ビットを “1” にしたとき、転送先アドレスの拡張リピートエリアオーバフローが発生すると、EDMCNT.DTE ビットが “0” になります。同時に EDMSTS.ESIF フラグが “1” になり、転送先アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャネルの EDMCNT.DTE ビットを “1” にすると、転送終了した状態から再び転送を開始することができます。

転送先アドレスに拡張リピートエリアを設定していない場合は、DARIE ビットの設定値は無効です。

SARIE ビット（転送元アドレス拡張リピートエリアオーバフロー割り込み許可ビット）

SARIE ビットを “1” にしたとき、転送元アドレスの拡張リピートエリアオーバフローが発生すると、EDMCNT.DTE ビットが “0” になります。同時に EDMSTS.ESIF フラグが “1” になり、転送元アドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。

ブロック転送モードと併用する場合は、割り込み要求は 1 ブロックデータ転送終了後に発生します。割り込みにより転送終了したチャネルの EDMCNT.DTE ビットを “1” にすると、転送終了した状態から再び転送を開始することができます。

転送元アドレスに拡張リピートエリアを設定していない場合は、SARIE ビットの設定値は無効です。

RPTIE ビット（リピートサイズ終了割り込み許可ビット）

リピート転送モードにおいて、RPTIE ビットを “1” にしたとき、1 リピートサイズ分の転送終了後に EDMCNT.DTE ビットが “0” になります。同時に EDMSTS.ESIF フラグが “1” になり、リピートサイズ終了割り込み要求が発生したことを示します。EDMTMD.DTS[1:0] ビットが “10b”（リピート領域、ブロック領域に指定しない）のときでも、リピートサイズ終了割り込み要求を発生させることができます。

ブロック転送モードで、RPTIE ビットを “1” にしたときも同様に 1 ブロックの転送終了後に EDMCNT.DTE ビットが “0” になります。同時に EDMSTS.ESIF フラグが “1” になり、リピートサイズ終了割り込み要求が発生したことを示します。EDMTMD.DTS[1:0] ビットが “10b”（リピート領域、ブロック領域に指定しない）のときでも、リピートサイズ終了割り込み要求が発生させることができます。

クラスタ転送モードで、RPTIE ビットを “1” にしたときも同様に 1 クラスタの転送終了後に EDMCNT.DTE ビットが “0” になります。同時に EDMSTS.ESIF フラグが “1” にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。EDMTMD.DTS ビットが “10b”（リピート領域、ブロック領域に指定しない）のときでも、リピートサイズ終了割り込み要求が発生させることができます。

ESIE ビット（転送エスケープ終了割り込み許可ビット）

DMA 転送中に発生したエスケープ割り込み要求（リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み）を許可または禁止します。

ESIE ビットを “1” にすると、EXDMACn.EDMSTS.ESIF フラグが “1” のとき、転送エスケープ終了割り込みを発生します。転送エスケープ終了割り込みはこのビットを “0” にするか、EDMSTS.ESIF フラグを “0” にすると解除されます。

DTIE ビット（転送終了割り込み許可ビット）

指定した回数のデータ転送が終了したときの転送終了割り込み要求を許可または禁止します。

DTIE ビットを “1” にすると、EDMSTS.DTIF フラグが “1” になったとき、転送終了割り込みを発生します。転送終了割り込みは、DTIE ビットを “0” にするか、EDMSTS.DTIF フラグを “0” にすると解除されます。

15.2.8 EXDMA アドレスモードレジスタ（EDMAMD）

アドレス　EXDMAC0.EDMAMD：0008 2814h、EXDMAC1.EDMAMD：0008 2854h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AMS	DIR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SM[1:0]		—	SARA[4:0]					DM[1:0]		—	DARA[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス 拡張リピートエリア設定ビット	転送先アドレスに拡張リピートエリアを設定することができます。 設定値詳細は表15.4を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	DM[1:0]	転送先アドレス 更新モード設定ビット	b7　b6 0　0：アドレス固定 0　1：オフセット加算（注1） 1　0：インクリメント 1　1：デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス 拡張リピートエリア設定ビット	転送元アドレスに拡張リピートエリアを設定することができます。 設定値詳細は表15.4を参照してください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	SM[1:0]	転送元アドレス 更新モード設定ビット	b15　b14 0　0：アドレス固定 0　1：オフセット加算（注1） 1　0：インクリメント 1　1：デクリメント	R/W
b16	DIR	シングルアドレス 方向選択ビット	0：EDMSARレジスタを転送元アドレスとしてシングル転送 転送先へはEDACKn出力 1：EDMDARレジスタを転送先アドレスとしてシングル転送 転送元へはEDACKn出力	R/W
b17	AMS	アドレスモード選択ビット	0：デュアルアドレスモード 1：シングルアドレスモード	R/W
b31-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　オフセット加算はEXDMAC0のみ設定可能です。

EDMAND レジスタは、EDMAC のアドレスモードを設定するレジスタです。

DARA[4:0] ビット（転送先アドレス拡張リピートエリア設定ビット）

転送先アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレス拡張リピートエリアを設定しないでください。リピート転送、ブロック転送またはクラスタ転送のとき、EXDMACn.EDMTMD.DTS[1:0] = 00b（転送先側がリピート領域またはブロック領域）に設定している場合、DARA[4:0] ビットには “00000b” を書いてください。

EDMINT.DARIE ビットが “1” のとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。表 15.4 に拡張リピートエリアの設定と範囲を示します。

DM[1:0] ビット（転送先アドレス更新モード設定ビット）

転送先アドレスの更新モードを設定します。

インクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき +1、EDMTMD.SZ[1:0] = 01b のとき +2、EDMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき –1、EDMTMD.SZ[1:0] = 01b のとき –2、EDMTMD.SZ[1:0] = 10b のとき –4 されます。

オフセット加算を選択したとき、EXDMAC0.EDMOFR レジスタで設定した値が加算されます。オフセット加算設定は、EXDMAC0 のみ可能です。

SARA[4:0] ビット（転送元アドレス拡張リピートエリア設定ビット）

転送元アドレスに拡張リピートエリアを設定することができます。拡張リピートエリア機能は指定した下位アドレスをアドレス更新の対象として、残りの上位ビットは常に固定値をとるようにして実現しています。拡張リピートエリアのサイズは 2 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスはアドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスとなります。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレス拡張リピートエリアを設定しないでください。リピート転送、ブロック転送またはクラスタ転送のとき、EXDMACn.EDMTMD.DTS[1:0] = 01b（転送元側がリピート領域またはブロック領域）に設定している場合、SARA[4:0] ビットには “00000b” を書いてください。

EDMINT.SARIE ビットが “1” にされているとき、拡張リピートエリアのオーバフローが発生したときに割り込みを発生させることができます。**表 15.4** に拡張リピートエリアの設定と範囲を示します。

SM ビット（転送元アドレス更新モード設定ビット）

転送元アドレスの更新モードを設定します。

インクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき +1、EDMTMD.SZ[1:0] = 01b のとき +2、EDMTMD.SZ[1:0] = 10b のとき +4 されます。

デクリメントを選択した場合、EDMTMD.SZ[1:0] = 00b のとき –1、EDMTMD.SZ[1:0] = 01b のとき –2、EDMTMD.SZ[1:0] = 10b のとき –4 されます。

オフセット加算を選択した時、EXDMAC0.EDMOFR レジスタで設定した値が加算されます。オフセット加算設定は、EXDMAC0 のみ可能です。

DIR ビット（シングルアドレス方向選択ビット）

シングルアドレスモード時のアドレス方向を選択します。

- **ノーマル転送／リピート転送／ブロック転送のとき**

DIR ビットを “0” に設定すると、EDMSAR レジスタを転送元アドレスとして、シングル転送を行います。このとき EDMOMD.DACKE ビットを “1”（EDACKn を出力）にすると、転送先側のデバイスに EDACKn を出力することができます。

DIR ビットを “1” にすると、EDMDAR レジスタを転送先アドレスとしてシングル転送を行います。このとき EDMOMD.DACKE ビットを “1”（EDACKn を出力）にすると、転送元側のデバイスに EDACKn を出力することができます。DIR ビットの設定値は、EDMAMD.AMS = 1（シングルアドレスモード）のときに有効となります。EDMAMD.AMS = 0（デュアルアドレスモード）のときは無効です。

- **クラスタ転送のとき**

DIR ビットを “0” にすると EDMSAR レジスタを転送元アドレスとして、クラスタ転送リードアドレスモードで転送を行います。外部デバイスからクラスタバッファへの転送が行えます。

DIR ビットを “1” にすると EDMDAR レジスタを転送先アドレスとして、クラスタ転送ライトアドレスモードで転送を行います。クラスタバッファから外部デバイスへの転送が行えます。

DIR ビットの設定値は、EDMAMD.AMS = 1（シングルアドレスモード）のときに有効となります。EDMAMD.AMS = 0（デュアルアドレスモード）のときは無効です。

AMS ビット（アドレスモード選択ビット）

アドレスモードを選択します。

- **ノーマル転送／リピート転送／ブロック転送のとき**

AMS ビットを “0” にするとデュアルアドレスモードとなります。AMS ビットを “1” にするとシングルアドレスモードとなります。

シングルアドレスモードに設定する場合、転送元／転送先いずれにアドレスを出力するかを EDMAMD.DIR ビットで設定してください。

- **クラスタ転送のとき**

AMS ビットを “0” にするとデュアルアドレスモードとなります。AMS ビットを “1” にするとリードアドレスモードあるいはライトアドレスモードとなります。

リードアドレスモード、ライトアドレスモードの選択は EDMAMD.DIR ビットで設定してください。

表15.4　拡張リピートエリアの設定と範囲

SARA[4:0]／DARA[4:0]の値	拡張リピートエリアの範囲
00000b	拡張リピートエリアを設定しない
00001b	当該アドレスの下位1ビット（2バイト）を拡張リピートエリアに設定する
00010b	当該アドレスの下位2ビット（4バイト）を拡張リピートエリアに設定する
00011b	当該アドレスの下位3ビット（8バイト）を拡張リピートエリアに設定する
00100b	当該アドレスの下位4ビット（16バイト）を拡張リピートエリアに設定する
00101b	当該アドレスの下位5ビット（32バイト）を拡張リピートエリアに設定する
00110b	当該アドレスの下位6ビット（64バイト）を拡張リピートエリアに設定する
00111b	当該アドレスの下位7ビット（128バイト）を拡張リピートエリアに設定する
01000b	当該アドレスの下位8ビット（256バイト）を拡張リピートエリアに設定する
01001b	当該アドレスの下位9ビット（512バイト）を拡張リピートエリアに設定する
01010b	当該アドレスの下位10ビット（1Kバイト）を拡張リピートエリアに設定する
01011b	当該アドレスの下位11ビット（2Kバイト）を拡張リピートエリアに設定する
01100b	当該アドレスの下位12ビット（4Kバイト）を拡張リピートエリアに設定する
01101b	当該アドレスの下位13ビット（8Kバイト）を拡張リピートエリアに設定する
01110b	当該アドレスの下位14ビット（16Kバイト）を拡張リピートエリアに設定する
01111b	当該アドレスの下位15ビット（32Kバイト）を拡張リピートエリアに設定する
10000b	当該アドレスの下位16ビット（64Kバイト）を拡張リピートエリアに設定する
10001b	当該アドレスの下位17ビット（128Kバイト）を拡張リピートエリアに設定する
10010b	当該アドレスの下位18ビット（256Kバイト）を拡張リピートエリアに設定する
10011b	当該アドレスの下位19ビット（512Kバイト）を拡張リピートエリアに設定する
10100b	当該アドレスの下位20ビット（1Mバイト）を拡張リピートエリアに設定する
10101b	当該アドレスの下位21ビット（2Mバイト）を拡張リピートエリアに設定する
10110b	当該アドレスの下位22ビット（4Mバイト）を拡張リピートエリアに設定する
10111b	当該アドレスの下位23ビット（8Mバイト）を拡張リピートエリアに設定する
11000b	当該アドレスの下位24ビット（16Mバイト）を拡張リピートエリアに設定する
11001b	当該アドレスの下位25ビット（32Mバイト）を拡張リピートエリアに設定する
11010b	当該アドレスの下位26ビット（64Mバイト）を拡張リピートエリアに設定する
11011b	当該アドレスの下位27ビット（128Mバイト）を拡張リピートエリアに設定する
11100b～11111b	（設定しないでください）

15.2.9 EXDMA オフセットレジスタ（EDMOFR）

アドレス　EXDMAC0.EDMOFR：0008 2818h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元、転送先いずれかのアドレス更新モードがオフセット加算の場合のオフセット値を設定	00000000h～00FFFFFFh（0バイト～(16M–1)バイト） FF000000h～FFFFFFFFh（–16Mバイト～–1バイト）	R/W

EDMOFR レジスタは、アドレスオフセット値を設定するレジスタです。

EDMOFR レジスタを設定する場合は、データ転送中でなく、EXDMAC 停止、または DMA 転送が禁止されているときに書いてください。

ビット 31 ～ 25 への設定値は無効です、ビット 31 ～ 25 へはビット 24 の値がビット拡張されます。EDMOFR レジスタを読んだ場合、ビット拡張された値が読めます。

15.2.10 EXDMA 転送許可レジスタ（EDMCNT）

アドレス　EXDMAC0.EDMCNT：0008 281Ch、EXDMAC1.EDMCNT：0008 285Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA転送許可ビット	0：DMA転送を禁止 1：DMA転送を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMCNT レジスタは、対応するチャネルへの DMA 転送を許可または禁止します。

DTE ビット（DMA 転送許可ビット）

EDMAST.DMST ビットが “1”（EXDMAC 起動許可）で、DTE ビットが “1”（DMA 転送を許可）のとき、対応するチャネルの DMA 転送を開始することができます。

また、DMA 転送中に DTE ビットを “0” にすると、実行中の 1 転送要求に対するデータ転送が終了した後に、DMA 転送が一時停止します。この状態で、再度 DTE ビットを “1” にすることにより、継続して DMA 転送を行うことが可能です。

DTE ビットが “1” のとき、対応する EXDMAC チャネルの DTE ビット以外のレジスタへの書き込みは禁止です。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- 設定の総転送データ数の転送を終了したとき
- リピートサイズ終了割り込みにより DMA 転送が停止したとき
- 拡張リピートエリアオーバフロー割り込みにより DMA 転送が停止したとき

15.2.11 EXDMA ソフトウェア起動レジスタ（EDMREQ）

アドレス　EXDMAC0.EDMREQ：0008 281Dh、EXDMAC1.EDMREQ：0008 285Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動ビット	0：DMA転送要求なし 1：DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択ビット	0：ソフトウェア起動後にSWREQビットをクリアする 1：ソフトウェア起動後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMREQ レジスタは、ソフトウェアで DMA を起動させるためのレジスタです。

SWREQ ビット（DMA ソフトウェア起動ビット）

SWREQ ビットに “1” を書くと DMA の転送要求が発生し、その要求に対する転送が開始されると、CLRS ビットが “0” である場合、SWREQ ビットは “0” になります。CLRS ビットが “1” である場合、SWREQ ビットは “0” になりません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

ただし、EDMTMD.DCTG[1:0] ビットを ”00b”（DMA 起動要因がソフトウェア）に設定している場合のみ SWREQ ビットの値が有効となり、ソフトウェアによる DMA 転送が可能となります。

EDMTMD.DCTG[1:0] ビットが “00b“ 以外に設定されている場合は、SWREQ ビットの設定値は無効です。

CLRS=0 でソフトウェア起動を行う場合、SWREQ ビットが “0” であることを確認してから SWREQ ビットに “1” を書いてください。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- CLRS ビットが “0”（ソフトウェア起動後に SWREQ ビットをクリアする）のときに、ソフトウェアによる要求が受け付けられデータ転送が開始したとき
- “0” を書いたとき

CLRS ビット（DMA ソフトウェア起動ビット自動クリア選択ビット）

SWREQ ビットへの “1” 書き込みによる DMA 転送要求に対する転送が開始したときに、SWREQ ビットを “0” にするかしないを設定します。CLRS ビットが “0” の場合、転送が開始されると SWREQ ビットは “0” になります。CLRS ビットが “1” の場合は、SWREQ ビットは “0” になりません。この場合、転送終了後に再び DMA 転送要求を発生させることができます。

15.2.12 EXDMA ステータスレジスタ（EDMSTS）

アドレス　EXDMAC0.EDMSTS：008 281Eh、EXDMAC1.EDMSTS：0008 285Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ割り込みフラグ	0：転送エスケープ割り込み発生なし 1：転送エスケープ割り込み発生あり	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DTIF	転送終了割り込みフラグ	0：転送終了割り込みなし 1：転送終了割り込みあり	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	ACT	EXDMAアクティブフラグ	0：EXDMACが停止中 1：EXDMACが動作中	R

EDMSTS レジスタは DMA の状態を示すレジスタです。

ESIF フラグ（転送エスケープ割り込みフラグ）

転送エスケープ割り込みが発生したことを示すフラグです。

[“1” になる条件]

- EDMINT.RPTIE ビットが “1” に設定されており、リピート転送モードにおいて 1 リピートサイズ分の転送終了後
- EDMINT.RPTIE ビットが “1” に設定されており、ブロック転送モードにおいて 1 ブロックの転送終了後
- EDMINT.RPTIE ビットが “1” に設定されており、クラスタ転送モードにおいて 1 クラスタの転送終了後
- EDMINT.SARIE ビットが “1” に設定されており、EDMAMD.SARA[4:0] ビットに “00000b” 以外（転送元アドレスを拡張リピートエリアに指定）に設定されているときに、転送元アドレスの拡張リピートエリアオーバフローが発生したとき
- EDMINT.DARIE ビットが “1” に設定されており、EDMAMD.DARA[4:0] ビットに “00000b” 以外（転送先アドレスを拡張リピートエリアに指定）になっているときに、転送先アドレスの拡張リピートエリアオーバフローが発生したとき

[“0” になる条件]

- “0” を書いたとき
- EDMCNT.DTE ビットに “1” を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示すフラグです。

[“1” になる条件]

- ノーマル転送モードにおいて指定回数の転送が終了したとき（EDMCRAL レジスタが “0” になり転送が終了したとき）
- リピート転送モードにおいて指定リピート回数の転送が終了したとき（EDMCRBが“0”になり転送が終了したとき）
- ブロック転送モードにおいて指定ブロック数の転送が終了したとき（EDMCRBが“0”になり転送が終了したとき）
- クラスタ転送モードにおいて指定クラスタ数の転送が終了したとき（EDMCRBが“0”になり転送が終了したとき）

[“0” になる条件]

- “0” を書いたとき
- EDMCNT.DTE ビットに “1” を書いたとき

ACT フラグ（EXDMA アクティブフラグ）

EXDMAC が動作中か停止中であることを示すフラグです。

[“1” になる条件]

- EXDMAC が転送動作を開始したとき

[“0” になる条件]

- 1 転送要求に対する転送が全て終了したとき

15.2.13 EXDMA 外部要求センスモードレジスタ（EDMRMD）

アドレス　EXDMAC0.EDMRMD：0008 2820h、EXDMAC1.EDMRMD：0008 2860h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DREQS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DREQS[1:0]	要求入力センスモード設定ビット	b1 b0 0 0：立ち上がりエッジ 0 1：立ち下りエッジ 1 0：Low 1 1：設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMRMD レジスタは、EDREQn 端子のセンスモードを設定するレジスタです。

DREQS[1:0] ビット（EDREQn 端子センスモード設定）

外部 DMA 転送要求信号（EDREQn 端子）のセンスモードを設定します。

15.2.14 EXDMA 外部要求フラグレジスタ（EDMERF）

アドレス　EXDMAC0.EDMERF：0008 2821h、EXDMAC1.EDMERF：0008 2861h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EREQ	外部要求フラグ	EDREQn端子からのDMA転送要求フラグ 0：要求なし 1：要求あり	R/(W) （注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“0”を書くことは無効です。

EDMERF レジスタは、EDREQn 端子からの要求検出フラグレジスタです。

EREQ フラグ（外部要求フラグ）

外部 DMA 転送要求信号（EDREQn 端子）の要求検出フラグです。

［“1” になる条件］

- EXDMACn.EDMRMD.DREQS[1:0] = “00b”（立ち上がりエッジ）の ときに EDREQn 端子が “0” から “1” に変化したとき
- EXDMACn.EDMRMD.DREQS[1:0] = “01b”（立ち下がりエッジ）のときに EDREQn 端子が “1” から “0” に変化したとき
- EXDMACn.EDMRMD.DREQS[1:0] = “10b”（Low）のときに EDREQn 端子が “0” のとき

［“0” になる条件］

- EXDMACn.EDMRMD.DREQS[1:0] = “00b”（立ち上がりエッジ）または “01b”（立ち下がりエッジ）のときに EREQ フラグが “1”（要求あり）となることにより、その外部要求による DMA 転送が開始したとき
- EXDMACn.EDMRMD.DREQS[1:0] = “00b”（立ち上がりエッジ）または “01b”（立ち下がりエッジ）のときに “1” を書いたとき
- EXDMACn.EDMRMD.DREQS[1:0] = 10b（Low）のときに EDREQn 端子が “1” のとき

15.2.15 EXDMA 周辺要求フラグレジスタ（EDMPRF）

アドレス　EXDMAC0.EDMPRF：0008 2822h、EXDMAC1.EDMPRF：0008 2862h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PREQ	周辺モジュールからの要求フラグ	周辺モジュールからのDMA転送要求フラグです。 0：要求なし 1：要求あり	R/(W) （注1）
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　“0”を書くことは無効です。

EDMPRF レジスタは、周辺モジュールからの DMA 転送要求フラグレジスタです。

PREQ フラグ（周辺モジュールからの要求フラグ）

周辺モジュールからの DMA 転送要求フラグです。

［“1” になる条件］

- 周辺モジュールから DMA 転送要求が発生したとき

［“0” になる条件］

- 周辺モジュールから DMA 転送要求が発生し、PREQ フラグが “1”（要求あり）となることにより、その周辺モジュールからの DMA 転送要求による DMA 転送が開始したとき
- “1” を書いたとき

15.2.16 EXDMA モジュール起動レジスタ（EDMAST）

アドレス　0008 2A00h

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	EXDMAC動作許可ビット	0：EXDMAC起動を禁止 1：EXDMAC起動を許可	R/W
b7-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDMAST レジスタは、EXDMAC 全チャネルの起動許可または禁止するレジスタです。

DMST ビット（EXDMAC 動作許可ビット）

DMST ビットが “1” であるとき、EXDMAC 全チャネルの起動が許可されます。

複数チャネルの EDMCNT.DTE ビットに“1”(DMA 転送を許可)を書いた後に DMST ビットを“1”(EXDMAC 起動を許可）にすると、複数チャネルを同時に転送要求受付け可能状態にすることができます。

また、DMA 転送中に DMST ビットを “0” にすると、実行中の 1 転送要求に対するデータ転送が終了した後に、全チャネルの DMA 転送動作が停止します。この状態で、再度 DMST ビットを “1” にすることにより継続して DMA 転送を行うことが可能です。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき

15.2.17 クラスタバッファレジスタ i（CLSBRi）（i = 0 ～ 6）

アドレス　CLSBR0：0008 2BE0h、CLSBR1：0008 2BE4h、CLSBR2：0008 2BE8h、CLSBR3：0008 2BECh
CLSBR4：0008 2BF0h、CLSBR5：0008 2BF4h、CLSBR6：0008 2BF8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	R/W
b31-b0	クラスタ転送時の一時バッファとして使用されます。	R/W

CLSBRi レジスタは、クラスタ転送時の転送用バッファレジスタです。クラスタ転送中は CLSBR0 レジスタから順に転送データが格納されます。クラスタ転送または CPU で書き込まれたデータは、次のクラスタ転送、または CPU による書き込みを行うまで値を保持します。なお、クラスタ転送によって格納されたデータを CPU で読む場合は、クラスタ転送の完了を確認し、転送の際に指定したクラスタサイズ分のデータのみ参照してください。それ以外のデータに関しては無効です。

クラスタ転送では、全てのチャネルで同一の CLSBRi レジスタを使用します。CPU による CLSBRi レジスタへの書き込みとクラスタ転送が競合した場合は転送されるデータは保証されません。クラスタ転送リードアドレスモード、クラスタ転送ライトアドレスモードに設定した場合は、他のチャネルがクラスタ転送に設定されていると転送されるデータは書き換えられる可能性があります。

クラスタバッファは転送サイズ（EDMTMD.SZ[1:0] ビット）の設定により、データの格納方法が変わります。

(1) 転送サイズが 8 ビットのとき（EXDMACn.EDMTMD.SZ[1:0] = 00b）

クラスタバッファの下位 8 ビット（CLSBRn[7:0]）に格納されます。このとき上位 24 ビット（CLSBRn[31:8]）は無効です。クラスタサイズを最大値 7 にした場合、7 バイトのデータが 1 クラスタ単位となります。

転送順は CLSBR0 ～ CLSBRj（j = クラスタサイズ –1）の順です。

(2) 転送サイズが 16 ビットのとき（EXDMACn.EDMTMD.SZ[1:0] = 01b）

クラスタバッファの下位 16 ビット（CLSBRn[15:0]）に格納されます。このとき上位 16 ビット（CLSBRn[31:16]）は無効です。クラスタサイズを最大値 7 にした場合、14 バイトのデータが 1 クラスタ単位となります。

転送順は CLSBR0 ～ CLSBRj（j = クラスタサイズ –1）の順です。

(3) 転送サイズが 32 ビットのとき（EXDMACn.EDMTMD.SZ[1:0] = 10b）

クラスタバッファの全 32 ビット（CLSBRn[31:0]）に格納されます。クラスタサイズを最大値 7 にした場合、28 バイトのデータが 1 クラスタ単位となります。

転送順は CLSBR0 ～ CLSBRj（j = クラスタサイズ –1）の順です。

15.3 動作説明

15.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードは 1 回の転送要求について 1 データの転送を行います。EXDMACn.EDMCRA レジスタで最大 65535 データの指定転送回数を設定できます。また EXDMACn.EDMCRAL レジスタを “0000h” に設定すると、転送回数指定なしとなり、転送カウンタは停止してデータ転送を行います（フリーランニングモード）。EXDMACn.EDMCRB レジスタはノーマル転送モードのときは無効です。フリーランニングモードを除き、指定転送回数の転送終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでのレジスタ更新値を表 15.5 に、ノーマル転送モードの動作を図 15.2 に示します。

表 15.5　ノーマル転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値
EXDMACn.EDMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算（注1）
EXDMACn.EDMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算（注1）
EXDMACn.EDMCRAL	転送カウント	1減算／更新なし（フリーランニングモード時）
EXDMACn.EDMCRAH	ブロックサイズ	更新されません。（ノーマル転送モードでは使用しません）
EXDMACn.EDMCRB	ブロックカウント	更新されません。（ノーマル転送モードでは使用しません）（注2）

注1.　オフセット加算はEXDMAC0のみ設定可能です。
注2.　ノーマル転送モード設定時は、“3FFh” を設定してください。

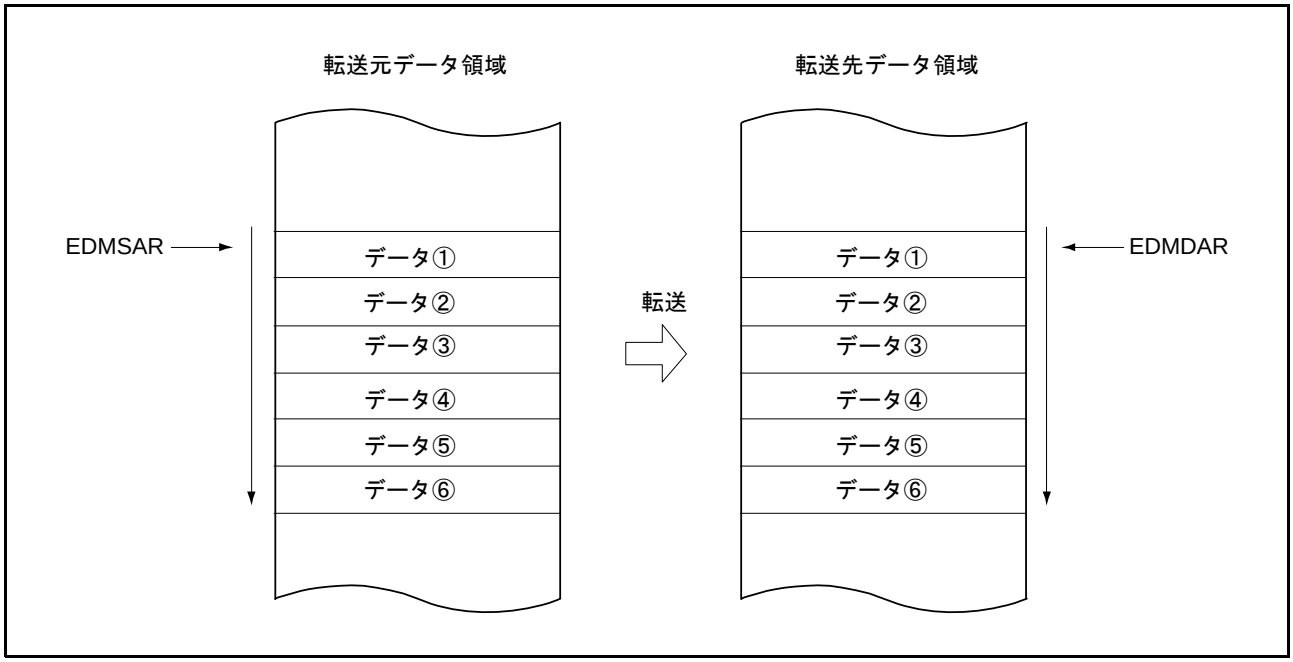


図 15.2　ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは1回の転送要求について1データの転送を行います。EXDMACn.EDMCRA レジスタで最大1023データのリピートサイズを設定できます。また EXDMACn.EDMCRB レジスタで最大1K回の指定リピート回数を設定でき、総データ転送数は最大1023データ ×1K回 = 1023Kデータの指定が可能です。転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ（EXDMACn.EDMSAR または EXDMACn.EDMDAR）は、リピートサイズ分のデータ転送が終了すると、初期アドレスに回復します。リピート転送モードでは、リピートサイズ分のデータ転送が終了した後に、DMA を停止しリピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、EXDMACn.EDMCNT.DTEビットに“1”を書くとDMA転送を再開することができます。

また、指定リピート回数の転送終了後に転送終了割り込み要求を発生させることができます。

リピート転送モードでのレジスタ更新値を表 15.6 に、リピート転送モードの動作を図 15.3 に示します。

表15.6　リピート転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する転送終了後の更新値	
		EXDMACn.EDMCRAL レジスタが1以外のとき	EXDMACn.EDMCRAL レジスタが1のとき（リピートサイズの最終データ転送）
EXDMACn.EDMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算（注）	• EXDMACn.EDMTMD.DTS[1:0] = 00 インクリメント／デクリメント／固定／オフセット加算（注） • EXDMACn.EDMTMD.DTS[1:0] = 01 DMSARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 10 インクリメント／デクリメント／固定／オフセット加算（注）
EXDMACn.EDMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算（注）	• EXDMACn.EDMTMD.DTS[1:0] = 00 EDMDARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 01 インクリメント／デクリメント／固定／オフセット加算（注） • EXDMACn.EDMTMD.DTS[1:0] = 10 インクリメント／デクリメント／固定／オフセット加算（注）
EXDMACn.EDMCRAH	リピートサイズ	保持	保持
EXDMACn.EDMCRAL	転送カウント	1減算	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	ブロックカウント	保持	1減算

注.　オフセット加算はEXDMAC0のみ設定可能です。

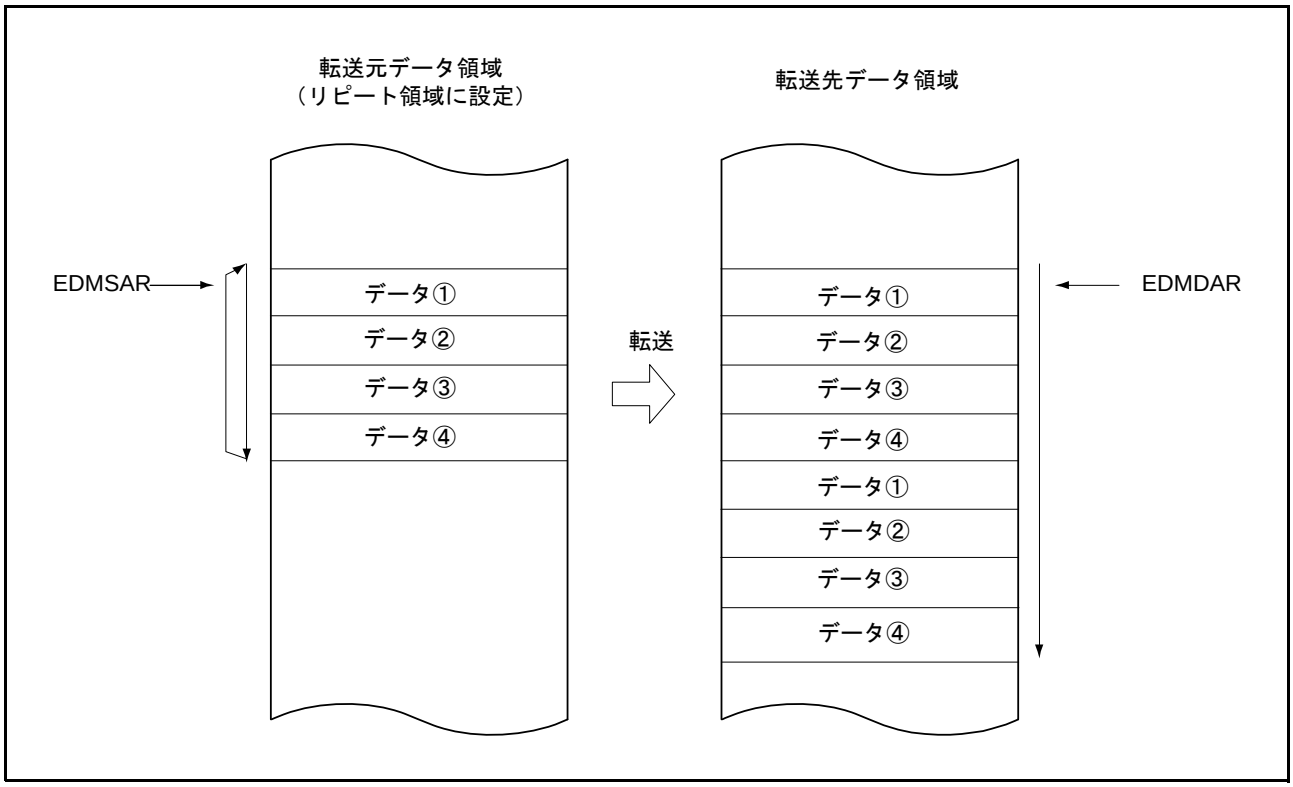


図 15.3　　リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックサイズの転送を行います。EXDMACn.EDMCRA レジスタで最大 1023 データのブロックサイズを設定できます。また EXDMACn.EDMCRB レジスタで最大 1K 回の指定ブロック回数を設定でき、総データ転送数は最大 1023 データ ×1K ブロック = 1023K データの指定が可能です。転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ（EXDMACn.EDMSAR または EXDMACn.EDMDAR）は、1 ブロックのデータ転送が終了すると、初期アドレスに回復します。ブロック転送モードでは、1 ブロックのデータ転送が終了した後に、DMA 転送を停止し終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、EXDMACn.EDMCNT.DTE ビットに “1” を書くと DMA 転送を再開することができます。

また、指定ブロック回数の転送終了後に転送終了割り込み要求を発生させることができます。

ブロック転送モードでのレジスタ更新値を表 15.7 に、ブロック転送モードの動作を図 15.4 に示します。

表 15.7　ブロック転送モードでのレジスタ更新値

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新値
EXDMACn.EDMSAR	転送元アドレス	• EXDMACn.EDMTMD.DTS[1:0] = 00 インクリメント／デクリメント／固定／オフセット加算（注） • EXDMACn.EDMTMD.DTS[1:0] = 01 EDMSARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 10 インクリメント／デクリメント／固定／オフセット加算（注）
EXDMACn.EDMDAR	転送先アドレス	• EXDMACn.EDMTMD.DTS[1:0] = 00 EDMDARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 01 インクリメント／デクリメント／固定／オフセット加算（注） • EXDMACn.EDMTMD.DTS[1:0] = 10 インクリメント／デクリメント／固定／オフセット加算（注）
EXDMACn.EDMCRAH	ブロックサイズ	保持
EXDMACn.EDMCRAL	転送カウント	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	ブロックカウント	1減算

注.　オフセット加算はEXDMAC0のみ設定可能です。

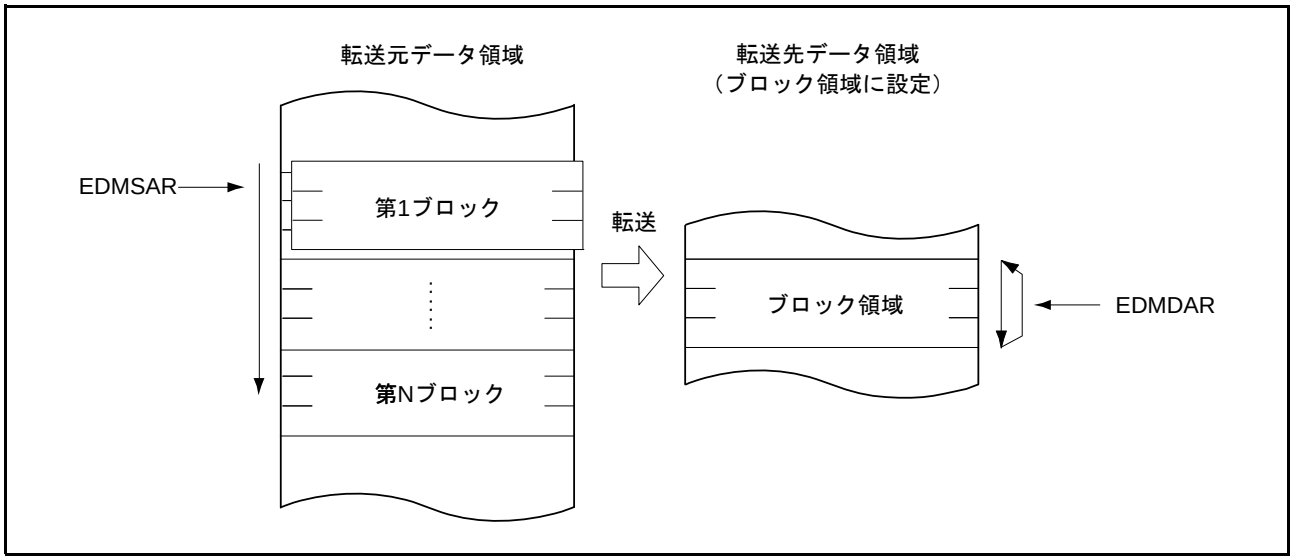


図 15.4　ブロック転送モードの動作

(4) クラスタ転送モード

クラスタ転送モードは、1 回の転送要求について 1 クラスタサイズの転送を行います。EXDMACn.EDMCRA レジスタで最大 7 データのクラスタサイズを設定できます。また EXDMACn.EDMCRB レジスタで最大 1K 回の指定クラスタ回数を設定でき、総データ転送数は最大 7 データ ×1K 回 = 7K データの指定が可能です。

クラスタ転送モードには、クラスタ転送デュアルアドレスモード、クラスタ転送リードアドレスモード、クラスタ転送ライトアドレスモードが選択できます。

- クラスタ転送デュアルアドレスモード

（EXDMACn.EDMTMD.MD[1:0] =“11”、EXDMACn.EDMAMD.AMS =“0”）

1 回の転送要求でまず、転送元アドレスからクラスタバッファへ 1 クラスタサイズ分のデータ転送を行います、その後、クラスタバッファから転送先アドレスで 1 クラスタ分のデータ転送を行います。

- クラスタ転送リードアドレスモード

（EXDMACn.EDMTMD.MD[1:0] =“11”、EXDMACn.EDMAMD.AMS =“1”、EXDMACn.EDMAMD.DIR =“0”）

1 回の転送要求で、転送元アドレスからクラスタバッファへ 1 クラスタサイズ分のデータ転送を行います。

- クラスタ転送ライトアドレスモード

（EXDMACn.EDMTMD.MD[1:0] =“11”、EXDMACn.EDMAMD.AMS =“1”、EXDMACn.EDMAMD.DIR =“1”）

1 回の転送要求で、クラスタバッファから転送先アドレスへ 1 クラスタサイズ分のデータ転送を行います。

クラスタ転送モードでのレジスタ更新値を表 15.8 に、クラスタ転送モードの動作を図 15.5 に示します。

表 15.8　クラスタ転送モードでのレジスタ更新値（デュアルアドレスモード）

レジスタ	機能	1転送要求に対する1クラスタ転送終了後の更新値
EXDMACn.EDMSAR	転送元アドレス	• EXDMACn.EDMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算（注1） • EXDMACn.EDMTMD.DTS[1:0] = 01b EDMSARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算（注1）
EXDMACn.EDMDAR	転送先アドレス	• EXDMACn.EDMTMD.DTS[1:0] = 00b EDMDARの初期値 • EXDMACn.EDMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算（注1） • EXDMACn.EDMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算（注1）
EXDMACn.EDMCRAH	クラスタサイズ	保持
EXDMACn.EDMCRAL	転送カウント	EXDMACn.EDMCRAH
EXDMACn.EDMCRB	クラスタカウント	1減算

注1.　オフセット加算はEXDMAC0のみ設定可能です。
リードアドレスモード時は転送先アドレスEXDMACn.EDMADARは固定（無効）です。
ライトアドレスモード時は転送元アドレスEXDMACn.EDMASARは固定（無効）です。

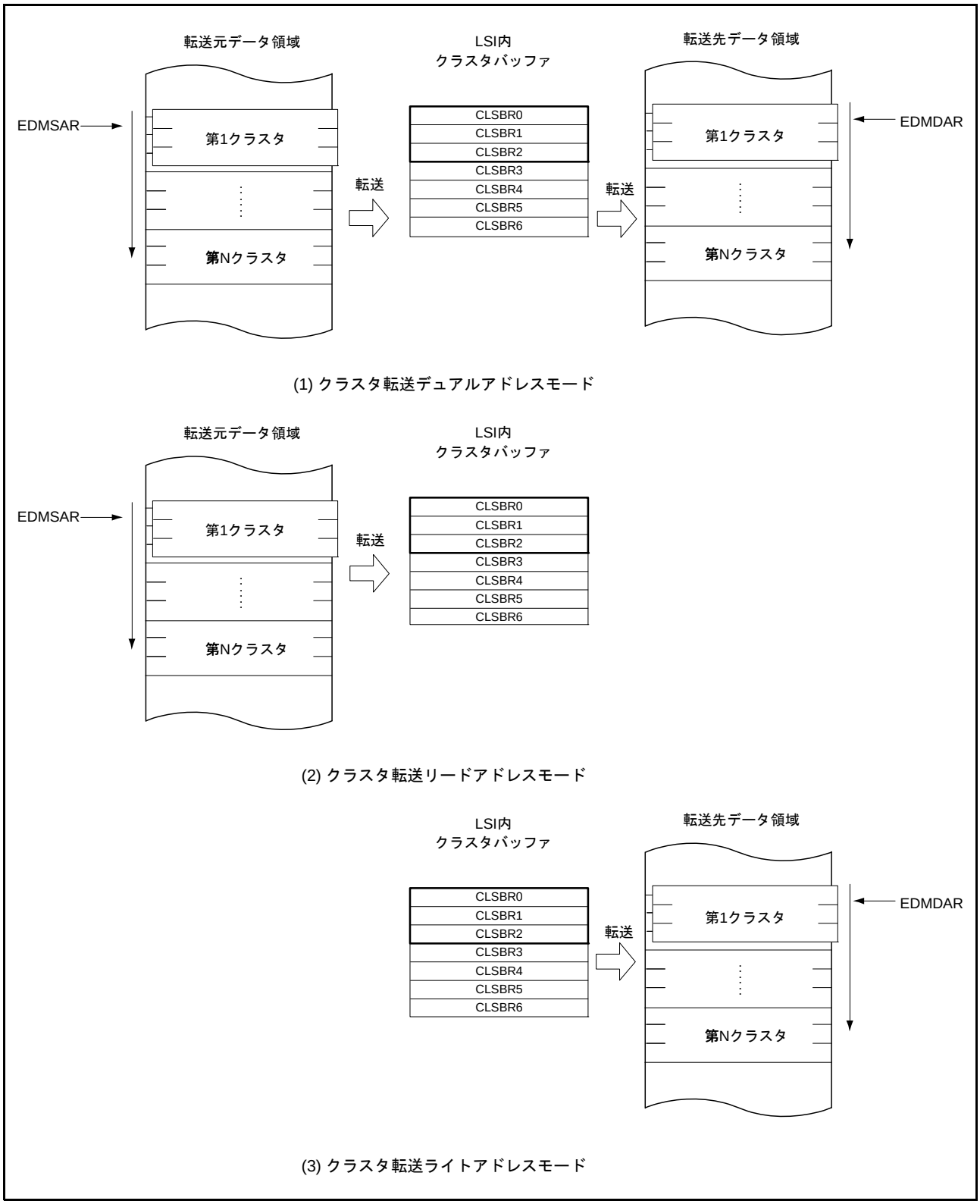


図 15.5　クラスタ転送モードの動作

15.3.2　拡張リピートエリア機能

EXDMAC には転送元アドレス、転送先アドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定した範囲のアドレス値を繰り返します。

拡張リピートエリア機能は、EXDMACn.EDMSAR レジスタ（転送元アドレスレジスタ）、EXDMACn.EDMDAR レジスタ（転送先アドレスレジスタ）に独立して設定できます。

転送元アドレスの拡張リピートエリアは EXDMACn.EDMAMD.SARA[4:0] ビットで設定します。転送先アドレスの拡張リピートエリアは EXDMACn.EDMAMD.DARA[4:0] ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバフローすると、

DMA 転送を一時停止させて、CPU に対して拡張リピートエリアオーバフロー割り込み要求を発生することができます。EXDMACn.EDMINT.SARIE ビットを “1” にすると、転送元アドレスの拡張リピートエリアがオーバフローしたときに EXDMACn.EDMSTS.ESIF フラグを “1” に、EXDMACn.EDMCNT.DTE ビットを “0” にして転送を終了します。このとき、EXDMACn.EDMINT.ESIE ビットが “1” であれば、CPU または DTC に対して拡張リピートエリアオーバフロー割り込み要求を発生します。

EXDMACn.EDMINT.DARIE ビットを “1” にすると転送先アドレスレジスタが対象になります。割り込み発生中に EXDMACn.EDMCNT.DTE ビットを “1” にすると、引き続き転送を再開します。

図 15.6 に拡張リピートエリア機能の例を示します。

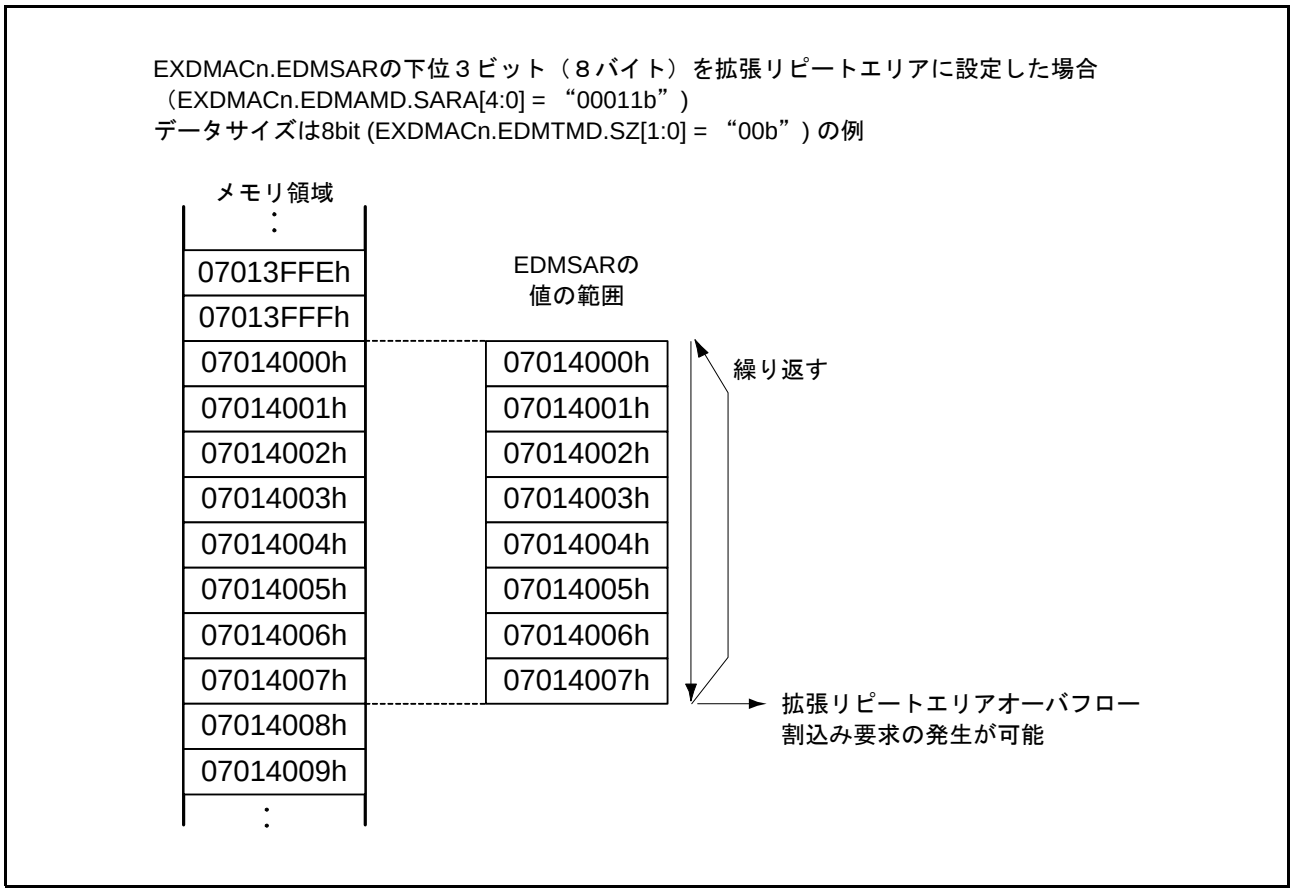


図 15.6　拡張リピートエリア機能の例

拡張リピートエリアオーバフロー割り込みをブロック転送モードまたはクラスタ転送モードと併用するときは、以下の注意が必要です。

拡張リピートエリアのオーバフローの発生で転送を終了させる場合は、ブロックサイズ（またはクラスタサイズ）を 2 のべき乗になるように設定するか、あるいは、ブロックサイズ（またはクラスタサイズ）の切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックサイズを転送中（または 1 クラスタサイズを転送中）に拡張リピートエリアにオーバフローが発生した場合は、1 ブロックサイズ（または 1 クラスタサイズ）の転送が終了するまで拡張リピートエリアオーバフロー割り込み要求は保留され、転送はオーバランします。

図 15.7 にブロック転送モードと拡張リピートエリア機能を併用した例を示します。

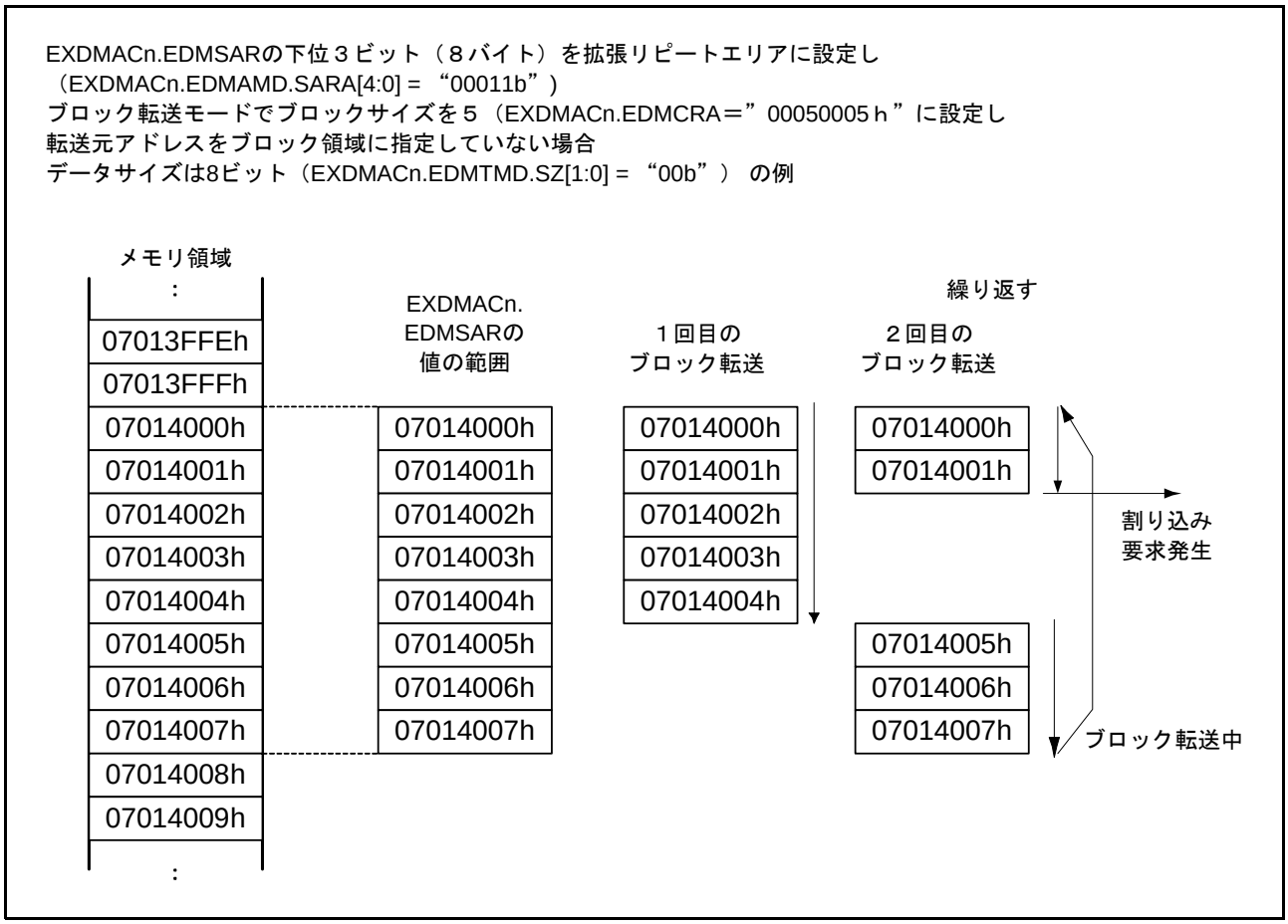


図 15.7　　ブロック転送モードと拡張リピートエリア機能を併用した例

15.3.3 オフセットを使ったアドレス更新機能

転送元、転送先アドレスの更新方法は、固定、インクリメント、デクリメントの他にオフセット加算があります。オフセット加算では、1 データの転送を行う度に、EXDMAC0.EDMOFR（DMA オフセットレジスタ）に設定した値を加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。また EXDMAC0.EDMOFR に 2 の補数で負の値を設定すると、オフセットによる減算も実現可能です。

オフセットを使ったアドレス更新機能が使用できるチャネルは EXDMAC0 のみです。

各アドレス更新モードでのアドレス更新方法を表 15.9 に示します。

表15.9　各アドレス更新モードでのアドレス更新方法

アドレス更新モード	EXDMACn.EDMAMD.SM EXDMACn.EDMAMD.DM アドレス更新モード設定値	更新方法 （EXDMACn.EDMTMD.SZ[1:0] 設定値別更新方法）		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+EXDMAC0.EDMOFR（注）		
インクリメント	10b	+1	+2	+4
デクリメント	11b	–1	–2	–4

注.　オフセットレジスタに負の値を設定する場合は、2の補数で設定してください。2の補数は次式で求められます。
負のオフセット値の2の補数表現　=　～（オフセット値）+1　　（～：ビット反転）

(1) オフセット加算を使った基本的な転送

オフセットによるアドレス更新機能の動作例を図 15.8 に示します。

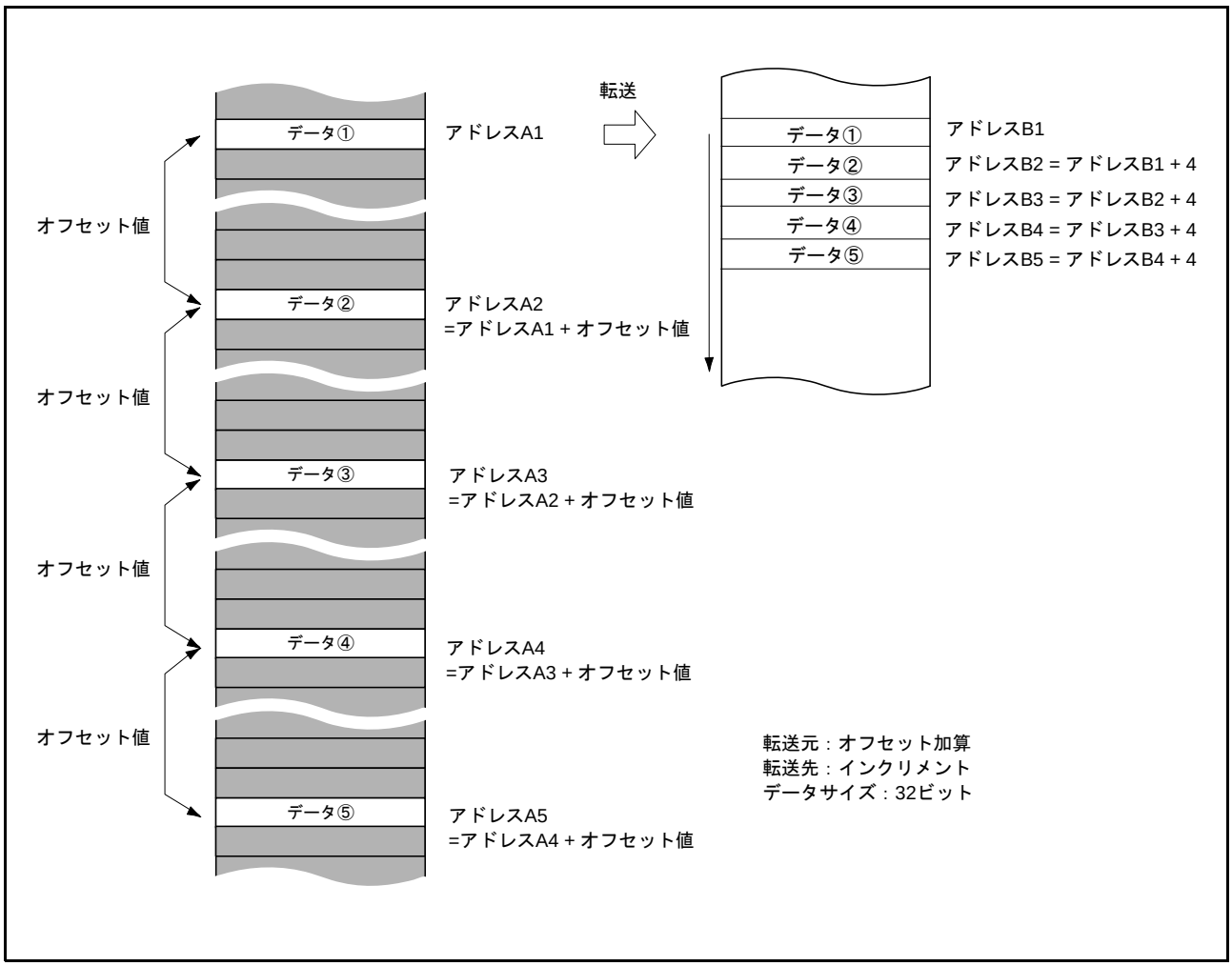


図 15.8　オフセットによるアドレス更新機能の動作例

図 15.8 では、転送データサイズは「32 ビット」、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「インクリメント」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けて読み出したデータは、転送先では連続した領域に書き込まれます。

(2) オフセット加算を使った XY 変換例

図 15.9 にリピート転送モードと「オフセット加算」を組み合わせて XY 変換を行うときの動作を示します。

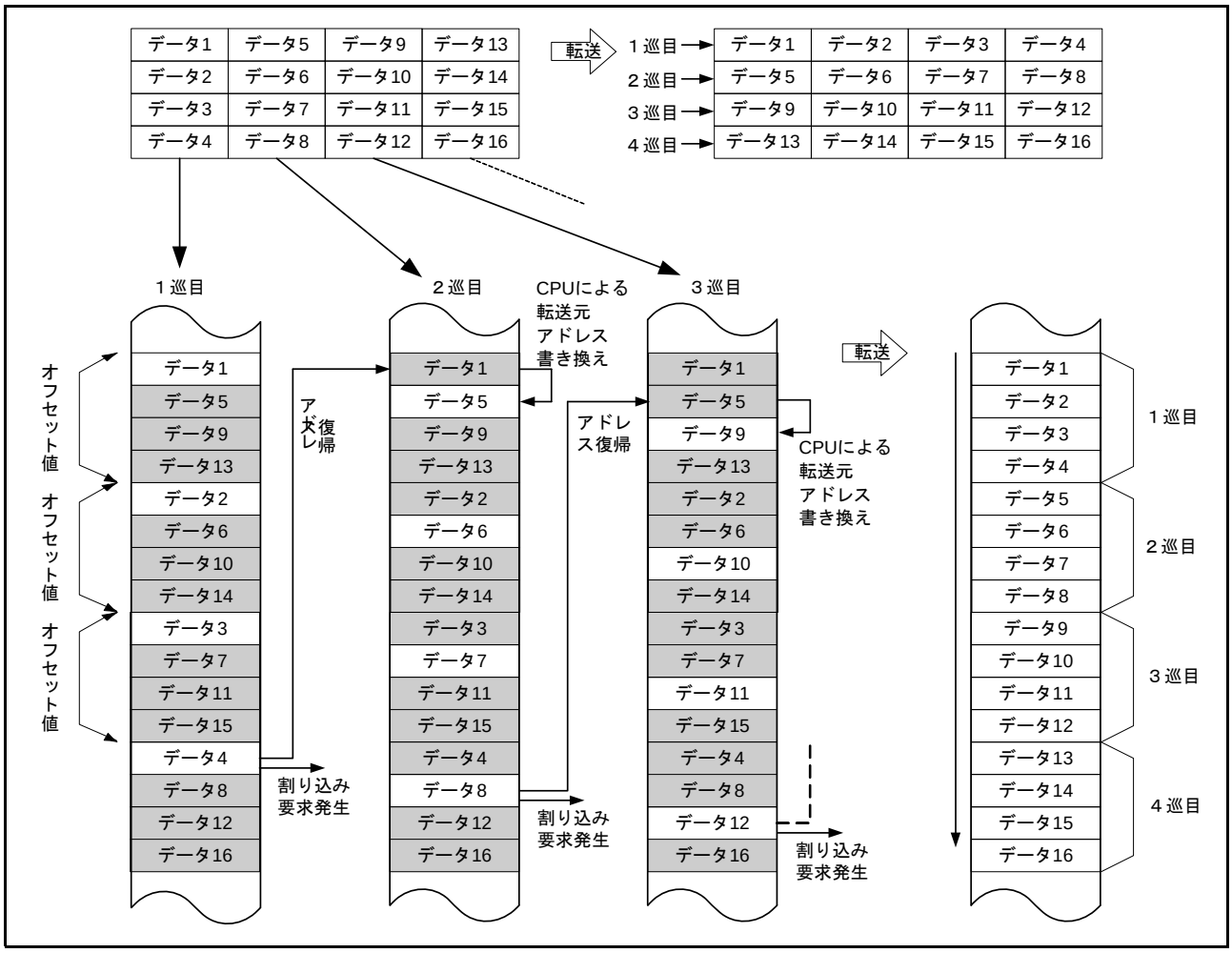


図 15.9　リピート転送モード + オフセット加算による XY 変換のときの動作

図 15.9 では、EXDMAC0.EDMAMD で転送元アドレス側をリピート領域に設定し、かつ「オフセット加算」を設定しています。オフセット値は、4× 転送データサイズに相当するアドレスです（例えば、転送データサイズが 32 ビットであれば、EXDMAC0.EDMOFR に 00000010h を指定したことになります）。リピートサイズは 4× 転送データサイズです（例えば転送データサイズが 32 ビットであると、4×4 = 16 バイトをリピートサイズに指定したことになります）。転送先は「インクリメント」を設定しています。また、EXDMAC0.EDMINT.RPTIE ビットを “1” にし、リピートサイズ分の転送が終了するとリピートサイズ終了割り込み要求が発生するように設定しています。

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。“ データ 4” までのデータが転送されると、リピートサイズ分のデータを転送したことになり、EXDMAC は転送元のアドレスを転送開始時のアドレス（転送元 “ データ 1” のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求によりいったん転送が中断するので、CPU により EXDMAC0.EDMSAR の値を “ データ 5” のアドレスに書き換えてください（32 ビット転送なら “ データ 1” のアドレス +4 にアドレスを書き換えます）。EDMCNT0.DTE ビットを ”1” を書き込むと、転送中断した状態から引き続き転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 15.10 に XY 変換の処理フローを示します。

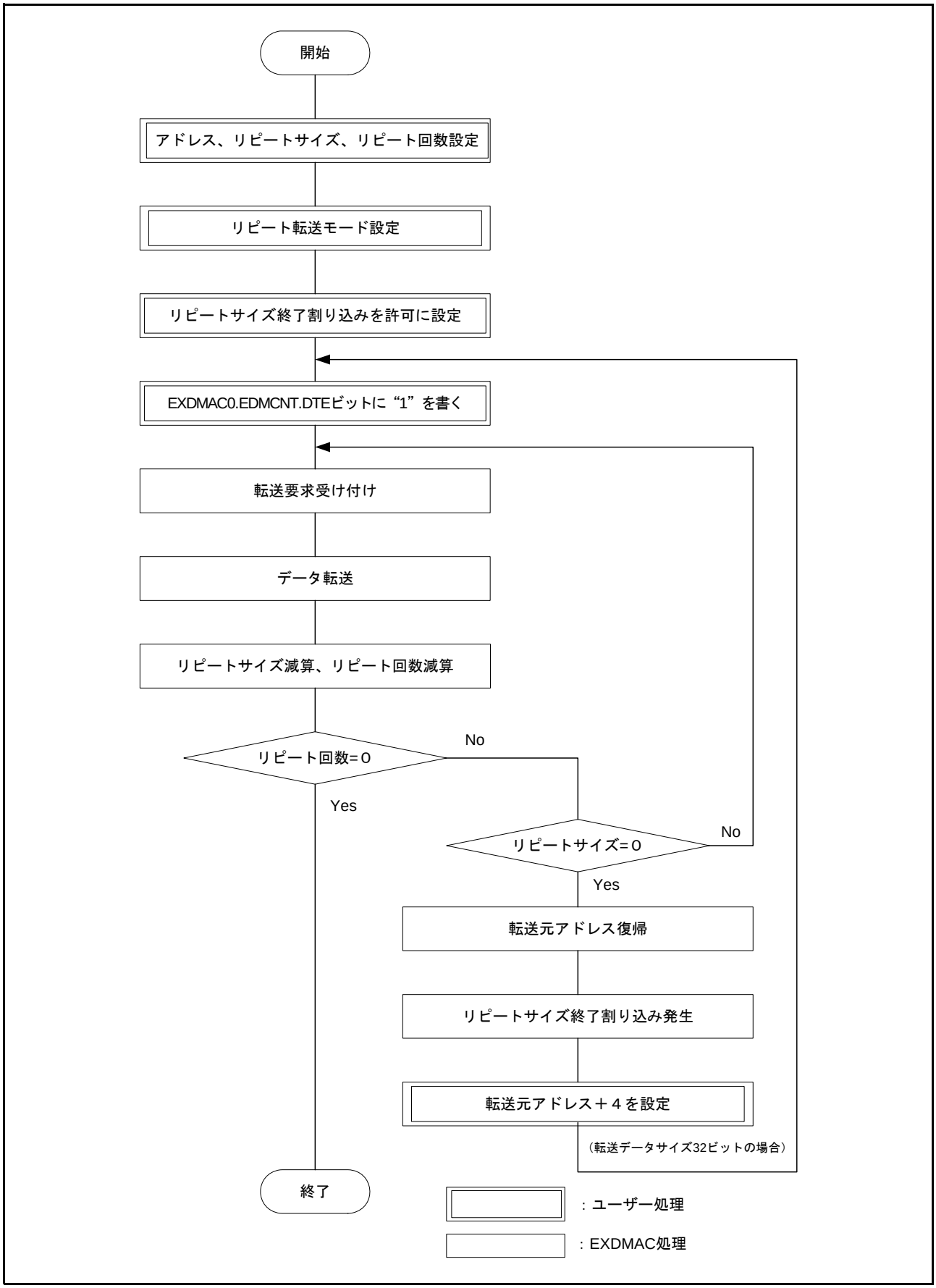


図 15.10　リピート転送モード＋オフセット加算による XY 変換のフロー

15.3.4 アドレスモード

EXDMAC はデュアルアドレスモードとシングルアドレスモード（クラスタ転送ではリードアドレスモードまたはライトアドレスモード）の設定が可能です。転送モードとアドレスモードの関係を表15.10に示します。

表15.10 転送モードとアドレスモードの関係

転送モード	アドレスモード	シングルアドレス方向	EXDMAC動作
ノーマル転送モード（EDMTMD.MD[1:0] = 00）	デュアルアドレスモード（EDMAMD.AMS = 0）	－	読み出し動作の後に書き込み動作
	シングルアドレスモード（EDMAMD.AMS = 1）	転送元（EDMAMD.DIR = 0）	読み出し動作のみ、ライト側デバイスにEDACKを出力。RX62N、RX621は読み出しデータを受け取らない
		転送先（EDMAMD.DIR = 1）	書き込み動作のみ、リード側デバイスにはEDACKを出力。RX62N、RX621は書き込みデータを出力しない
リピート転送モード（EDMTMD.MD[1:0] = 01）	デュアルアドレスモード（EDMAMD.AMS = 0）	－	読み出し動作の後に書き込み動作
	シングルアドレスモード（EDMAMD.AMS = 1）	転送元（EDMAMD.DIR = 0）	読み出し動作のみ、ライト側デバイスにはEDACKを出力。RX62N、RX621は読み出しデータを受け取らない
		転送先（EDMAMD.DIR = 1）	書き込み動作のみ、リード側デバイスにはEDACKを出力。RX62N、RX621は書き込みデータを出力しない
ブロック転送モード（EDMTMD.MD[1:0] = 10）	デュアルアドレスモード（EDMAMD.AMS = 0）	－	EDMTMD.SZ（転送データサイズ）ごとに読み出し／書き込み交互に動作
	シングルアドレスモード（EDMAMD.AMS = 1）	転送元（EDMAMD.DIR = 0）	読み出し動作のみ、ライト側デバイスにはEDACKを出力。RX62N、RX621は読み出しデータを受け取らない
		転送先（EDMAMD.DIR = 1）	書き込み動作のみ、リード側デバイスにはEDACKを出力。RX62N、RX621は書き込みデータを出力しない
クラスタ転送モード（EDMTMD.MD[1:0] = 11）	デュアルアドレスモード（EDMAMD.AMS = 0）	－	クラスタサイズ分読み出し動作し、その後クラスタサイズ分書き込み動作
	リードアドレスモード（EDMAMD.AMS = 1）	転送元（EDMAMD.DIR = 0）	クラスタサイズ分の読み出し動作のみ。転送先はクラスタバッファ
	ライトアドレスモード（EDMAMD.AMS = 1）	転送先（EDMAMD.DIR = 1）	クラスタサイズ分の書き込み動作のみ。転送元はクラスタバッファ

15.4　転送動作

EXDMAC 転送動作例を以下に示します。EXDMAC は外部バスクロック（BCLK）に同期して動作します。以下、特にことわりがない場合、外部バスクロック（BCLK）と BCLK 端子出力が同一周波数とした場合の動作例を説明しています。

15.4.1　ノーマル転送モード／リピート転送モードの転送動作

(1)　デュアルアドレスモード

ノーマル転送デュアルアドレスモードでのバスサイクル例を示します。**図 15.11** は 16 ビット、2 サイクルアクセスのデバイスから 16 ビット 2 サイクルアクセスのデバイスへ、データサイズ 16 ビット（EXDMACn.EDMTMD.SZ[1:0] = “01”）で 1 データの転送を EDREQ 立ち下がりエッジ起動により動作した例です。

リピート転送モードのバスサイクルはノーマル転送モードと同じです。

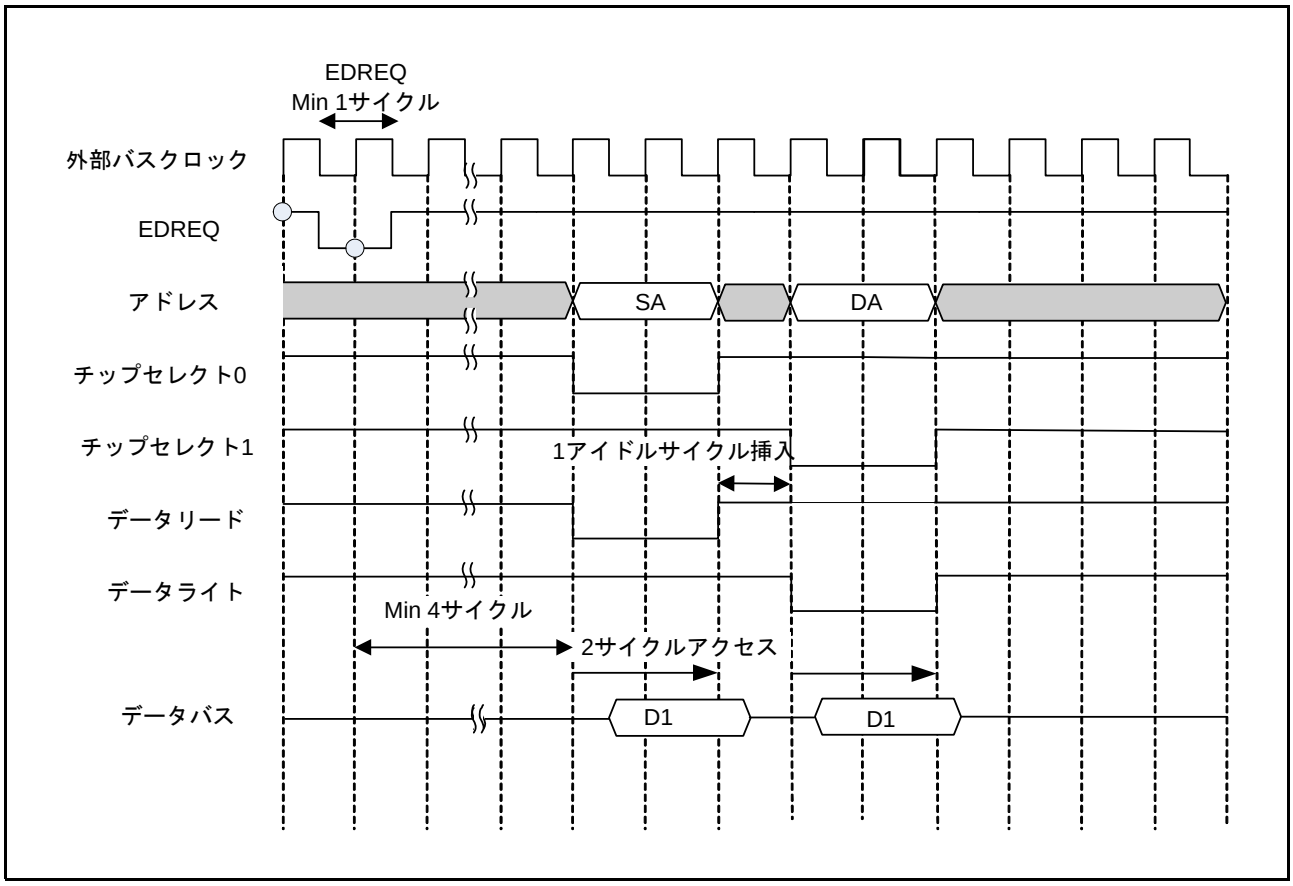


図 15.11　ノーマル転送デュアルアドレスモードでのバスサイクル例

(2)　シングルアドレスモード

シングルアドレスモードでは、転送元アドレスを読み出したときに読み出したデータを LSI に取り込まず、直接転送先デバイスへ転送をおこないます。このとき、EDACK を転送元または転送先いずれか一方の外部デバイスに出力すると同時に、もう一方の転送相手にアドレスを出力してアクセスします。

EXDMACn.EDMAMD.DIR が “0” のとき、外部バスには転送元アドレスを出力し、転送先に EDACK を出力します。EXDMACn.EDMAMD.DIR が “1” のとき、外部バスには転送先アドレスを出力し、転送元に EDACK を出力します。**図 15.12** にシングルアドレスモードでのデータの流れ（DIR=1 の場合）を示します。

図 15.13 にノーマル転送シングルアドレスモードで EXDMACn.EDMAMD.DIR = “1”（転送先アドレス出力）

時と EXDMACn.EDMAMD.DIR = “0”（転送元アドレス出力）に、2 サイクルアクセスでそれぞれ 1 データを転送したときのバスサイクルの例を示します。

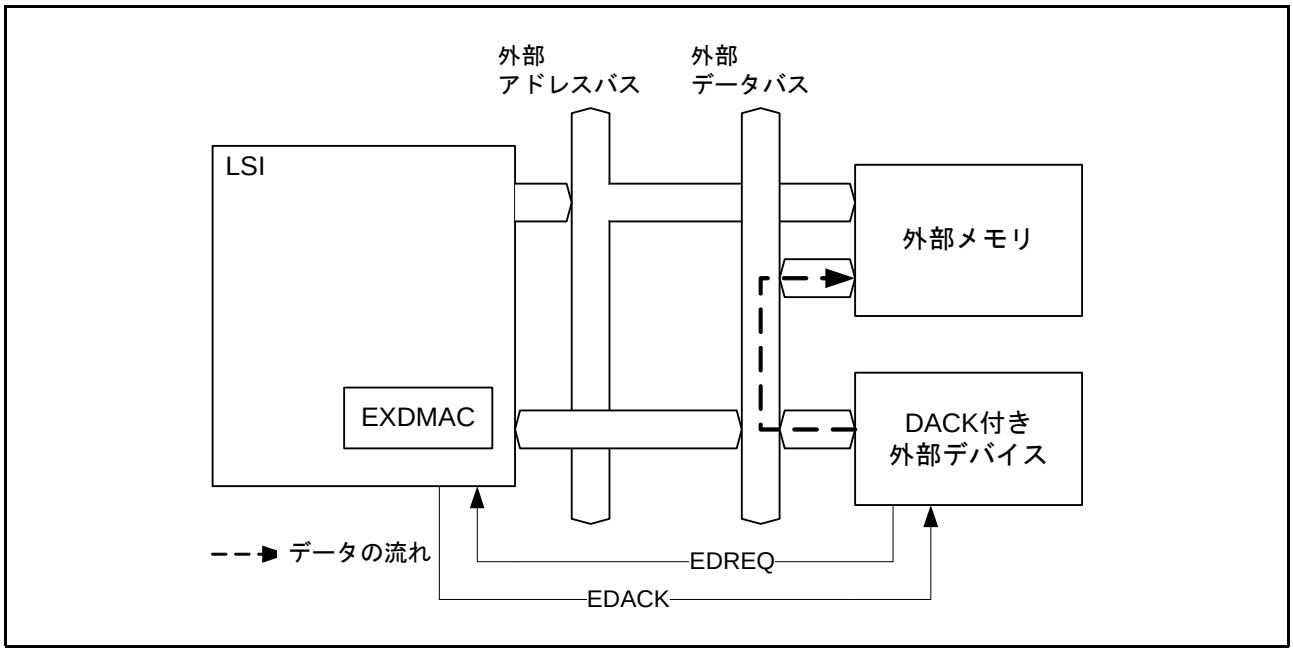


図 15.12　シングルアドレスモードでのデータの流れ（DIR=1 の場合）

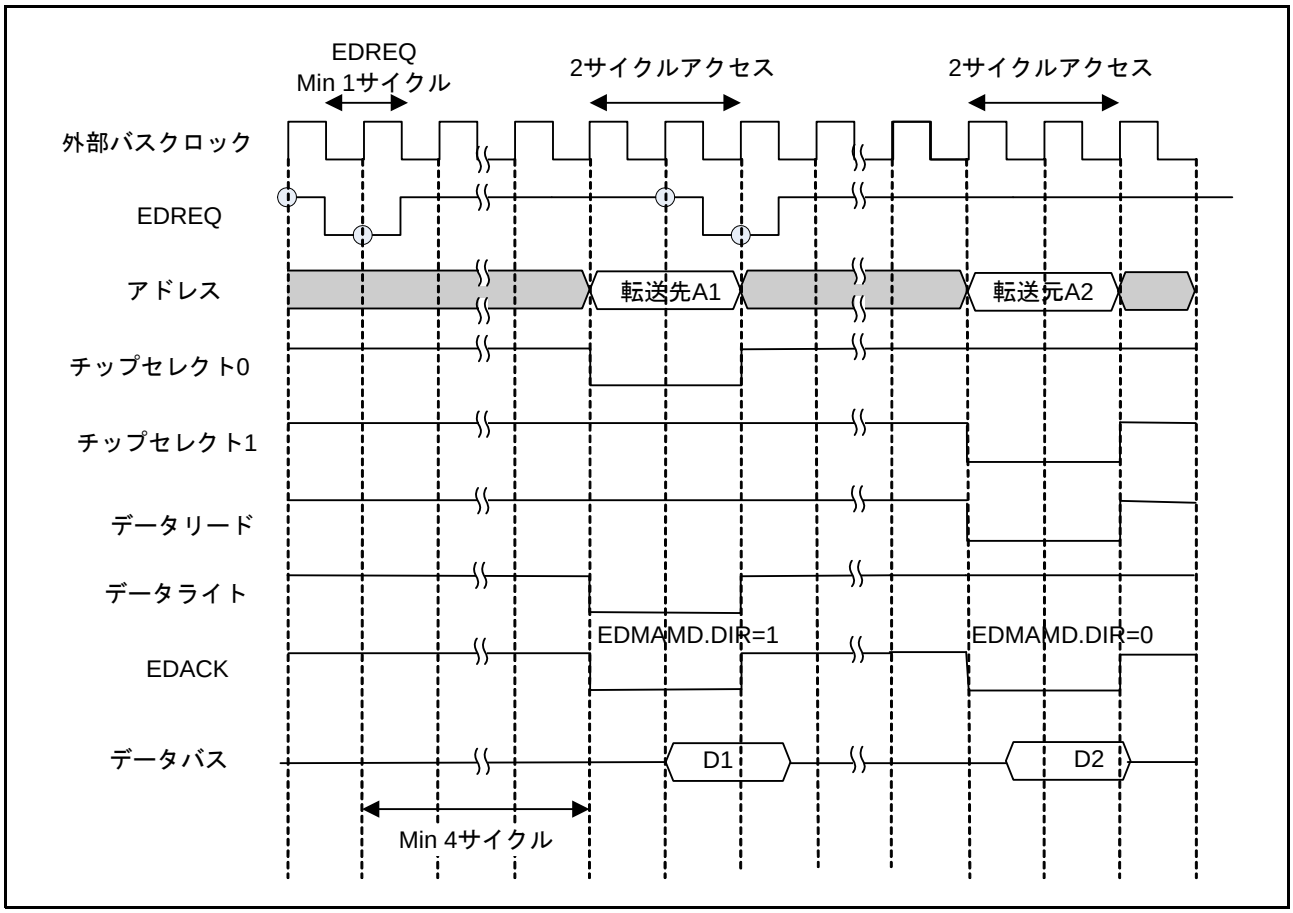


図 15.13　ノーマル転送シングルアドレスモードでのバスサイクル例

15.4.2　ブロック転送モードの転送動作

(1)　デュアルアドレスモード

ブロック転送デュアルアドレスモードでのバスサイクル例を示します。**図 15.14** は 16 ビット、2 サイクルアクセスのデバイスから 16 ビット 2 サイクルアクセスのデバイスへ、データサイズ 16 ビット（EXDMACn.EDMTMD.SZ[1:0] = “01”）でブロックサイズ 3 を転送した動作例です。

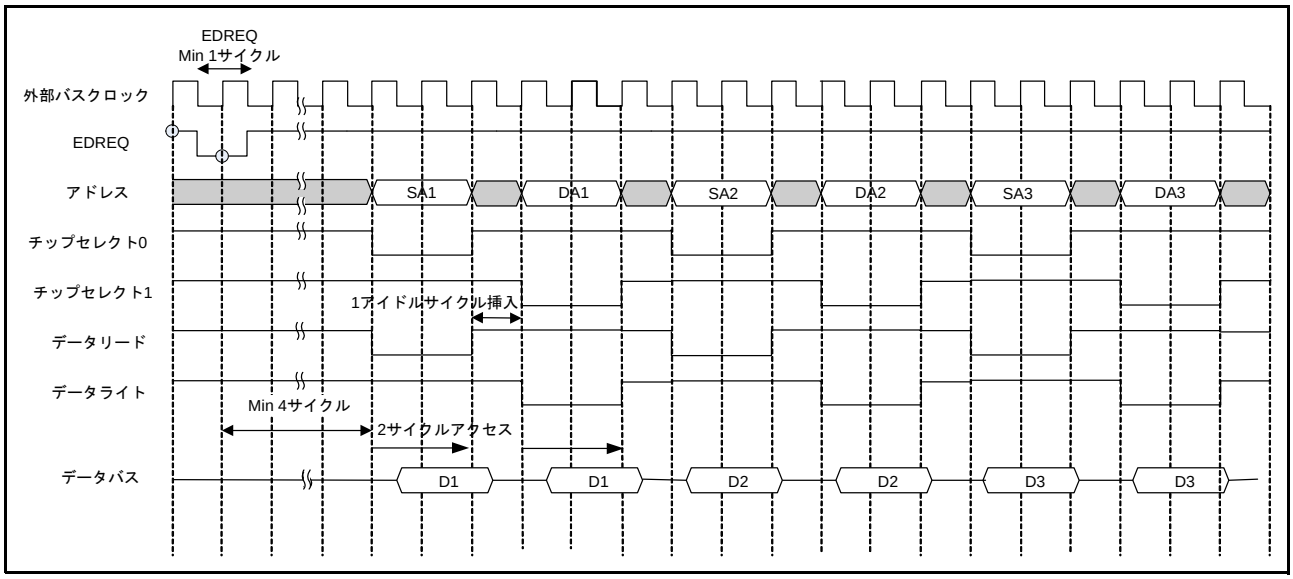


図 15.14　ブロック転送デュアルアドレスモードでのバスサイクル例

(2) シングルアドレスモード

ブロック転送シングルアドレスモードでのバスサイクル例を示します。**図 15.15** は 16 ビットアクセスの EDACK 付きデバイスから 16 ビットアクセスのデバイスへ、データサイズ 16 ビット（EXDMACn.EDMTMD.SZ[1:0] = “01”）でブロックサイズ 3 を 1 バスサイクル 3 サイクルで転送した動作例です。

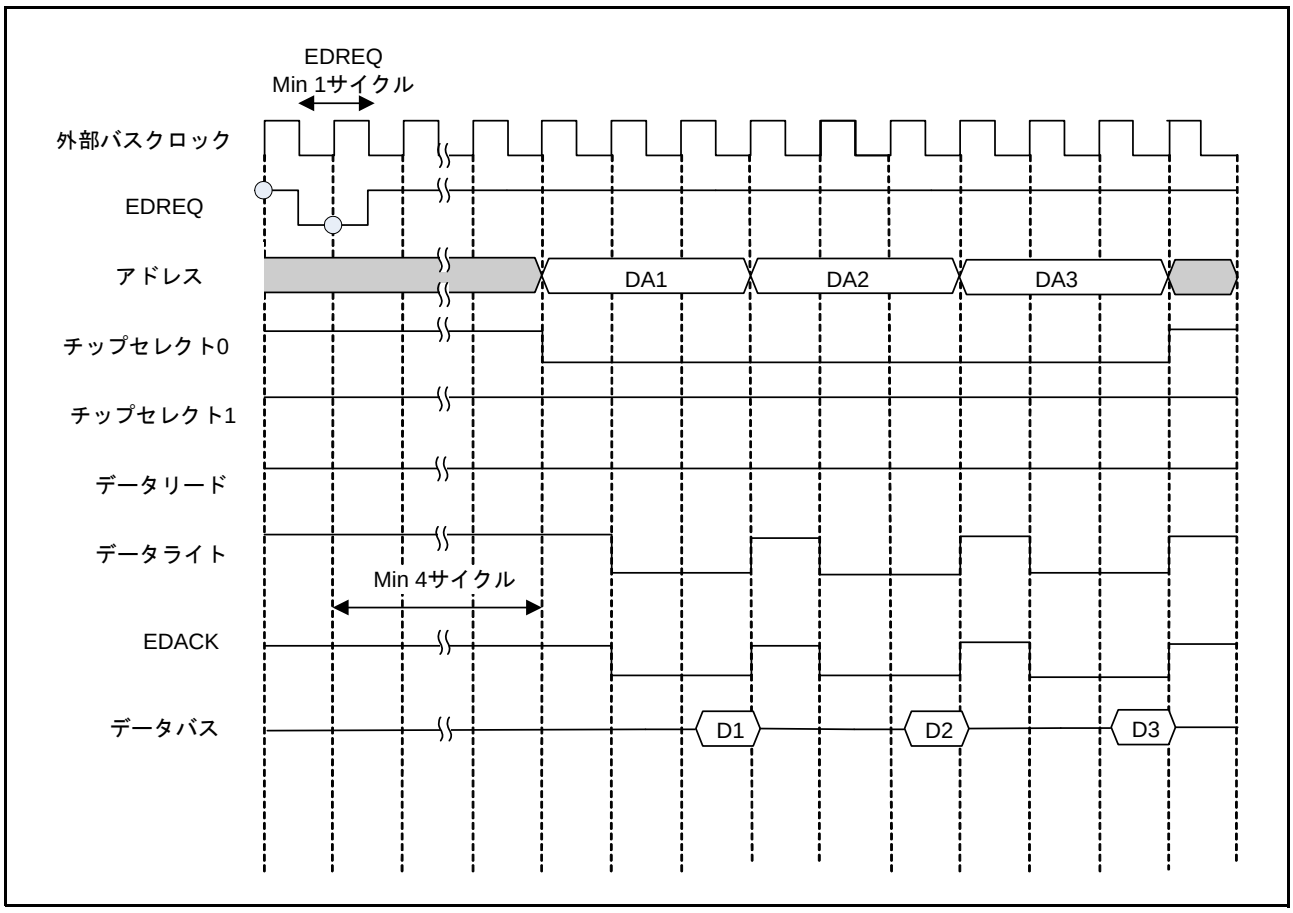


図 15.15　ブロック転送シングルアドレスモードでのバスサイクル例

15.4.3　クラスタ転送モードの転送動作

(1)　デュアルアドレスモード

クラスタ転送デュアルアドレスモードは、クラスタサイズのデータをクラスタバッファを中継して転送元外部デバイスから転送先外部デバイスへ転送を行います。図 15.16 にクラスタ転送デュアルアドレスモードのデータの流れを、図 15.17 にクラスタサイズ 3 で 1 クラスタを 2 クロックサイクルで転送したときのバスサイクルの例を示します。

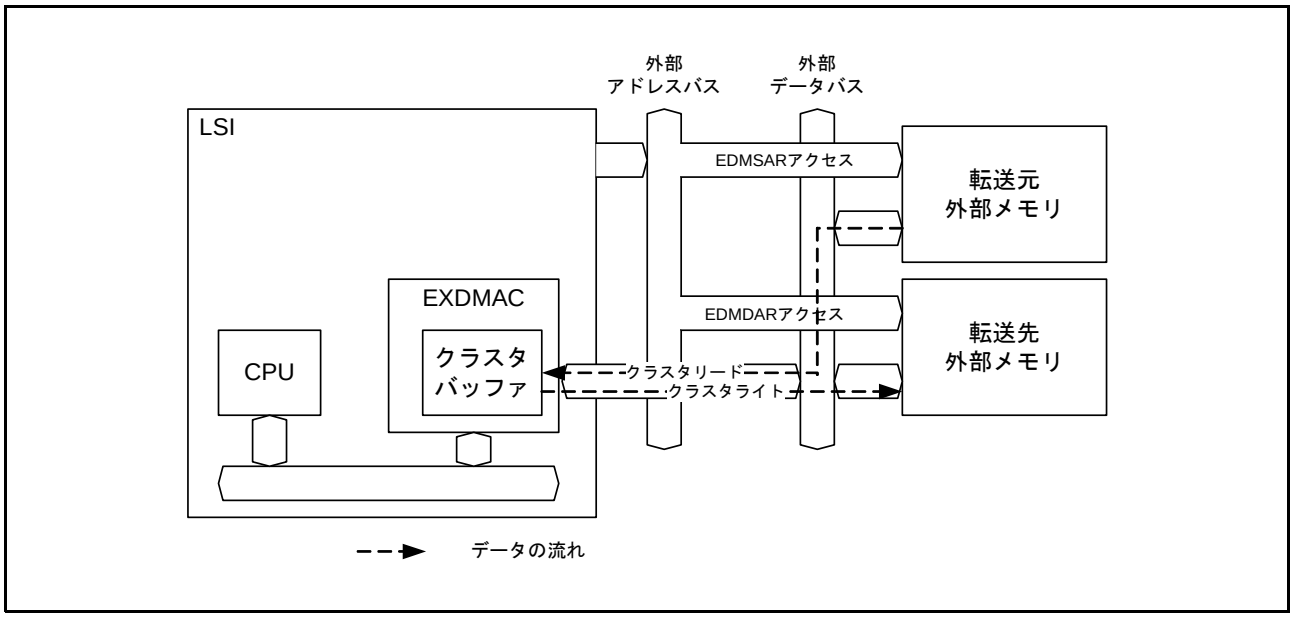


図 15.16　クラスタ転送デュアルアドレスモードのデータの流れ

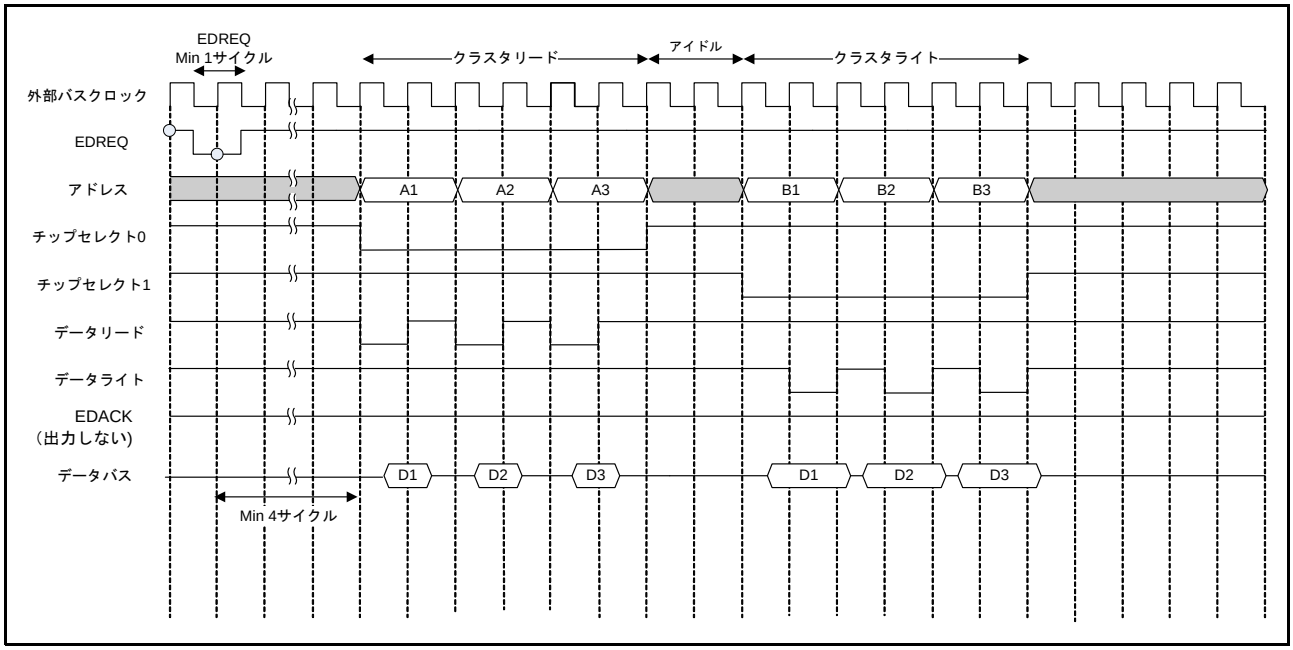


図 15.17　クラスタ転送デュアルアドレスモードでのバスサイクル例

(2) リードアドレスモード

クラスタ転送リードアドレスモードは、クラスタサイズのデータを転送元外部デバイスからクラスタバッファへ転送します。転送されたクラスタバッファ内のデータは CPU から読出しできます。図 15.18 にクラスタ転送リードアドレスモードのデータの流れを、図 15.19 にクラスタサイズ 6 で 1 クラスタを 2 クロックサイクルで転送したときのバスサイクルの例を示します。

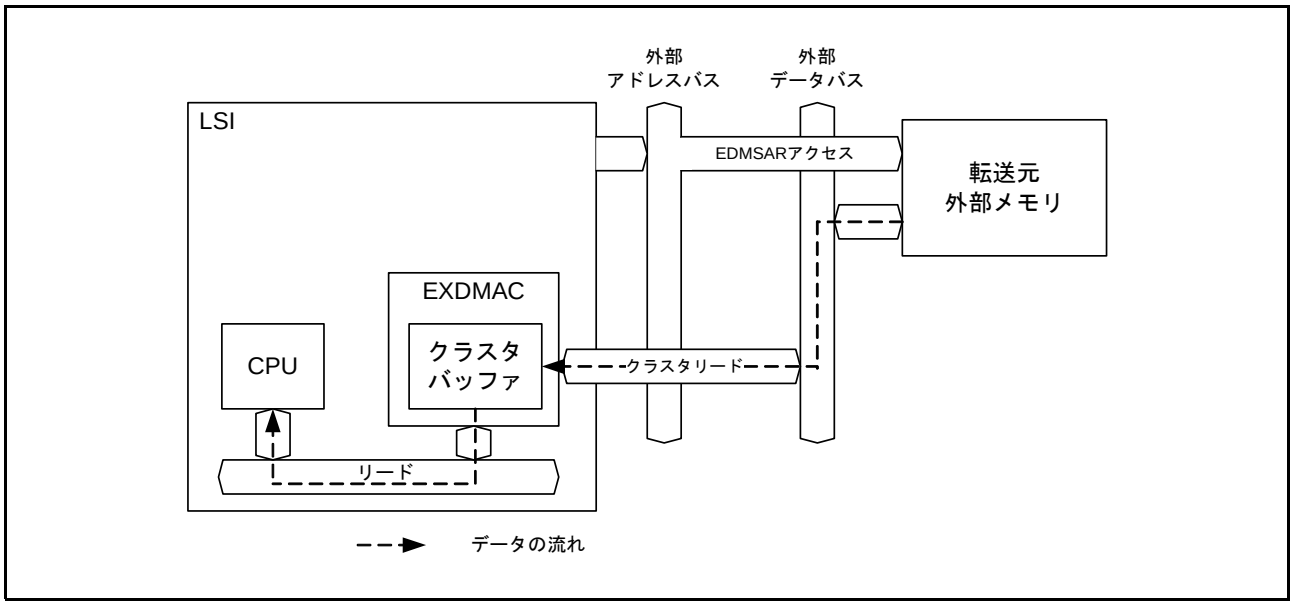


図 15.18　クラスタ転送リードアドレスモードのデータの流れ

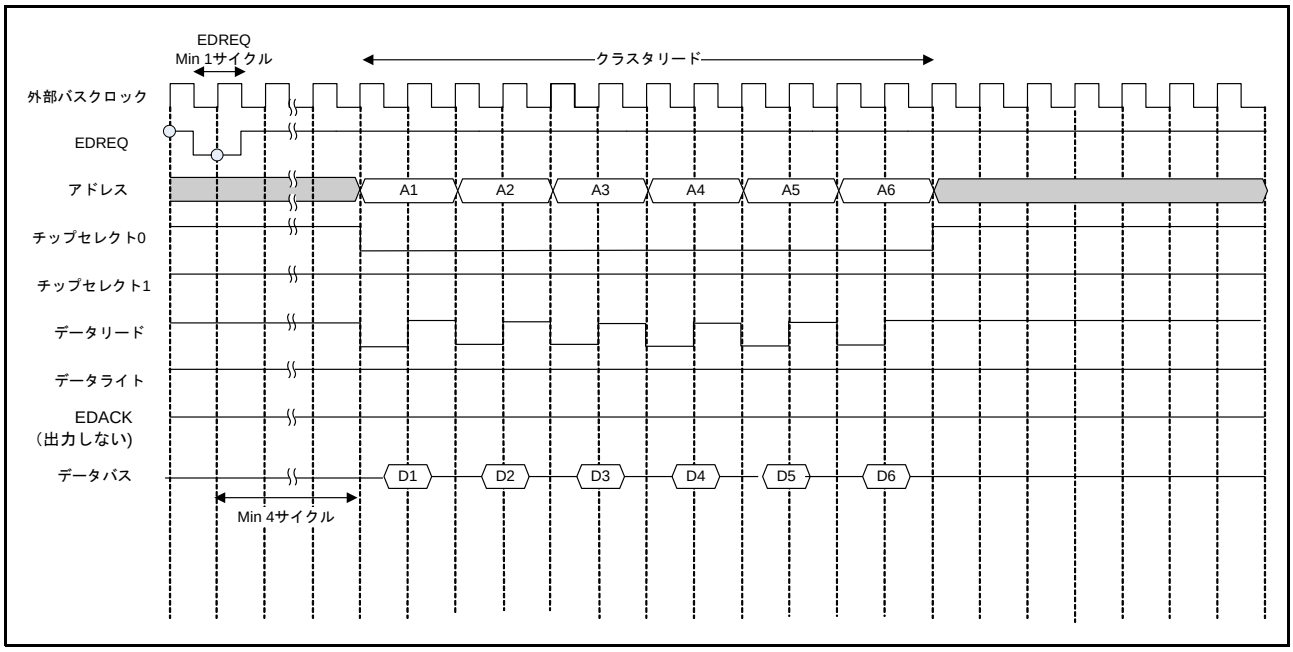


図 15.19　クラスタ転送リードアドレスモードでのバスサイクル例

(3) ライトアドレスモード

クラスタ転送ライトアドレスモードは、CPU/DMAC/DTC など内部バスマスタにより書き込まれたクラスタバッファのデータを転送先外部デバイスへ転送します。**図 15.20** にクラスタ転送ライトアドレスモードのデータの流れを、**図 15.21** にクラスタサイズ 6 で 1 クラスタを 1 バスサイクル 2 サイクルで転送したときのバスサイクルの例を示します。

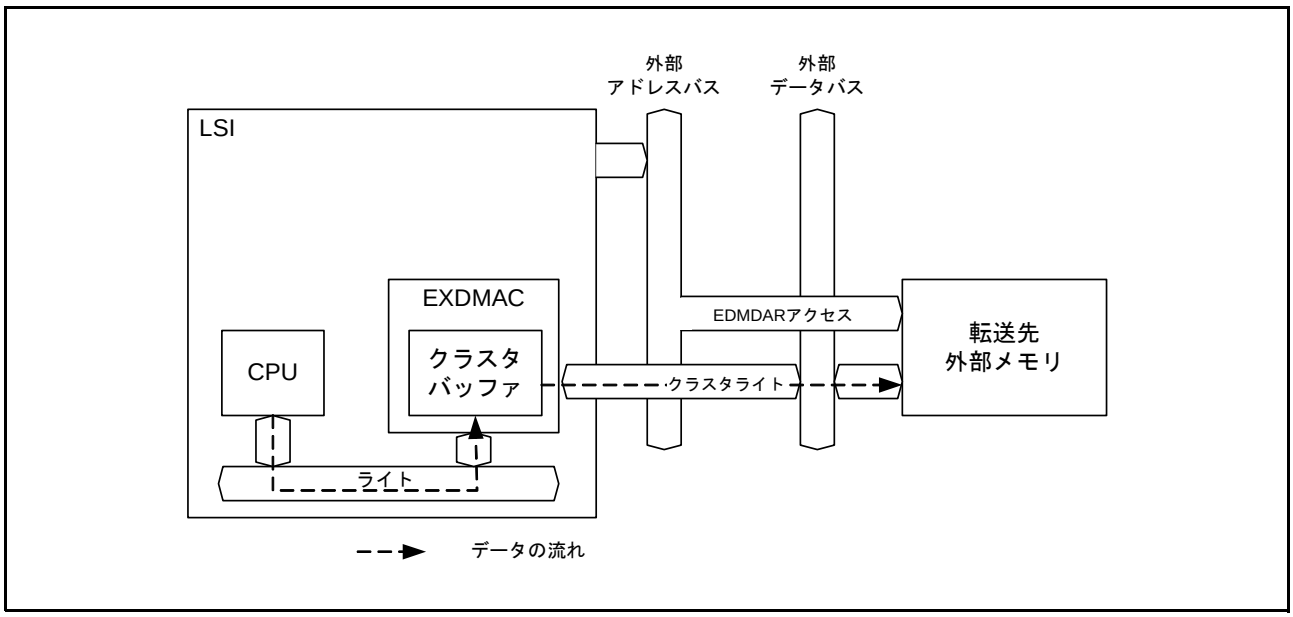


図 15.20　クラスタ転送ライトアドレスモードのデータの流れ

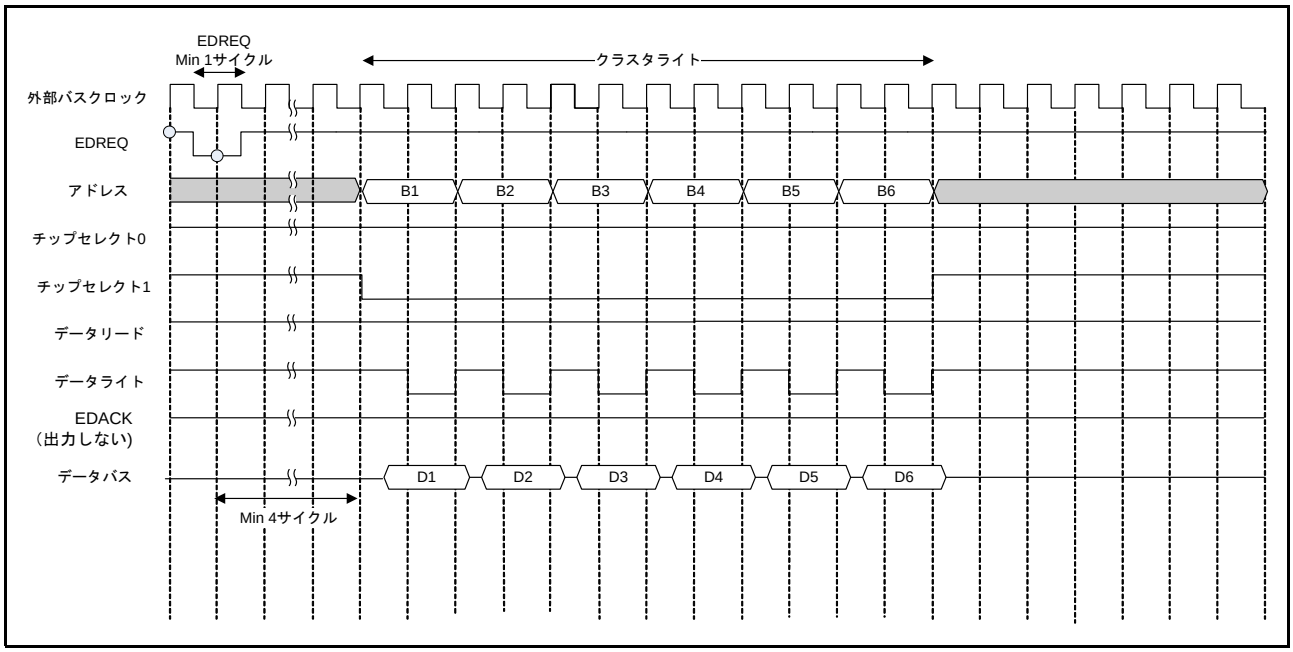


図 15.21　クラスタ転送ライトアドレスモードでのバスサイクル例

15.5 起動要因と起動手順

15.5.1 起動要因

EXDMAC の起動要因には、ソフトウェア、外部 DMA 転送要求端子（EDREQ 端子）、内部周辺モジュール（MTU1 のコンペアマッチ）からの DMA 転送要求があります。これらの起動要因は EXDMACn.EDMTMD.DCTG[1:0] ビットで選択します。

(1) ソフトウェアによる起動

EXDMACn.EDMTMD.DCTG[1:0] ビットを “00b” にするとソフトウェアによる起動可能となります。
ソフトウェア起動による DMA 転送は、以下の手順で行ってください。

1. EXDMACn.EDMREQ.SWREQ ビットが “0” であることを確認
2. EXDMACn.EDMTMD.DCTG[1:0] ビットを “00b” にする
3. EXDMACn.EDMCNT.DTE ビットを “1” にする
4. EXDMACn.EDMREQ.SWREQ ビットを “1” にする

EXDMACn.DMREQ.CLRS ビットが “0” の場合、要求に対する転送が開始されると、EXDMACn.EDMREQ.SWREQ ビットが “0” になります。EXDMACn.EDMREQ.CLRS ビットが “1” の場合、EXDMACn.EDMREQ.SWREQ ビットは “0” になりません。要求に対する転送終了後、再び DMA 転送要求を発生します。

(2) 外部 DMA 転送要求端子（EDREQ）による起動

EXDMACn.EDMTMD.DCTG[1:0] ビットを “10b” にすると外部 DMA 転送要求端子による起動可能となります。外部 DMA 転送要求端子による起動に設定する場合は以下の手順で行ってください。

1. EXDMACn.EDMRMD.DREQS[1:0] ビットで検出方法を設定
2. EXDMACn.EDMTMD.DCTG[1:0] ビットを “10b”（外部 DMA 転送要求端子）にする
3. EXDMACn.EDMERF.EREQ フラグに "1" を書いて EREQ フラグをクリア
4. EXDMACn.EDMCNT.DTE ビットを “1”（起動許可）にする

EXDMACn.EDMRMD.DREQS[1:0] ビットで “ 立ち下がりエッジ検出 ” または “ 立ち上がりエッジ検出 ” を設定した場合、外部 DMA 転送要求端子のエッジを検出すると、EXDMACn.EDMERF.EREQ フラグが “1” になります。EXDMACn.EDMERF.EREQ フラグは、外部要求により DMA 転送が開始すると “0” になります。また、“1” を書くことによって “0” になります。
EXDMACn.EDMRMD.DREQS[1:0] ビットで “Low” 検出に設定した場合、外部 DMA 転送要求端子が “Low” であれば EXDMACn.EDMERF.EREQ フラグは “1” になり、外部 DMA 転送要求端子が “High” であれば EXDMACn.EDMERF.EREQ フラグは “0” になります。また、“Low” 検出の場合は外部要求により DMA 転送が開始されたとき、もしくは “1” を書いたときに EXDMACn.EDMERF.EREQ フラグは “0” になりません。
EXDMACn.EDMERF.EREQ フラグが “1” であるとき、EDMAST.DMST ビットが “1” で、EXDMACn.EDMCNT.DTE ビットが “1” であれば DMA 動作が開始します。
EDMAST.DMST ビット、EXDMACn.EDMCNT.DTE ビットの値に関わらず、EXDMACn.EDMERF.EREQ フラグは保持されます。

図 15.22 に立ち下がりエッジ検出による外部 DMA 転送要求のタイミング、図 15.23 に Low レベル検出による外部 DMA 転送要求のタイミングを示します。

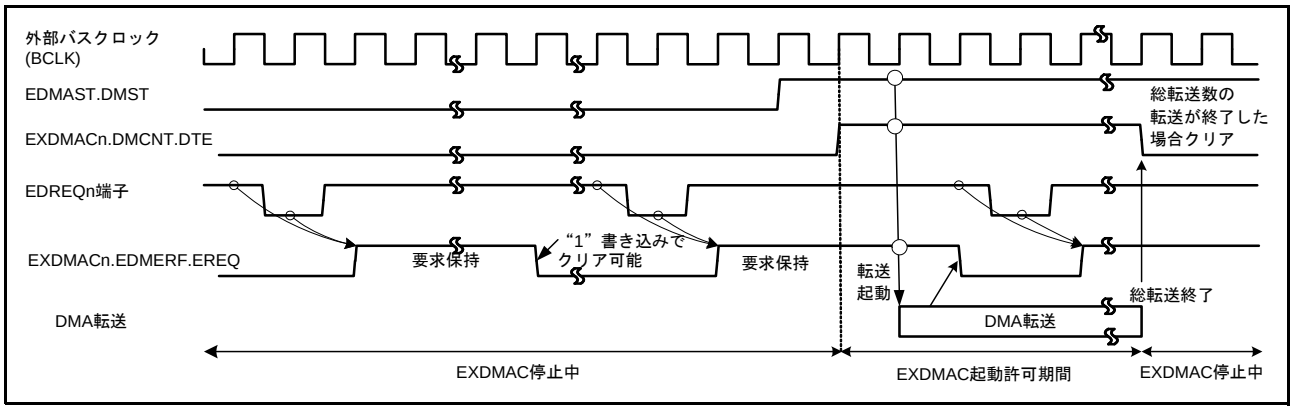


図 15.22　立ち下がりエッジ検出による外部 DMA 転送要求のタイミング

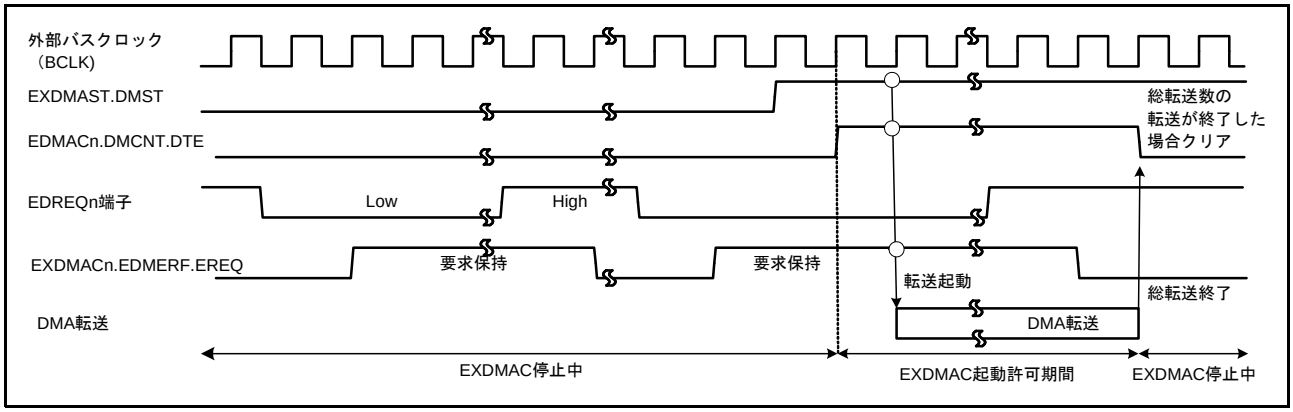


図 15.23　Low 検出による外部 DMA 転送要求のタイミング

(3)　内部周辺からの DMA 転送要求（MTU1 のコンペアマッチ）による起動

EXDMACn.EDMTMD.DCTG[1:0] ビットを “11b” に設定すると内部周辺モジュール（MTU1 のコンペアマッチ）からの DMA 転送要求による起動可能となります。

内部周辺モジュール（MTU1 のコンペアマッチ）による起動に設定する場合は以下の手順で行ってください。

1. EXDMACn.EDMTMD.DCTG[1:0] ビットを “11b”（MTU1 のコンペアマッチ）にする
2. EXDMACn.EDMPRF.PREQ フラグに "1" を書いて PREQ フラグをクリア
3. EXDMACn.EDMCNT.DTE ビットを “1”（起動許可）にする

内部周辺モジュール（MTU1 のコンペアマッチ）からの DMA 転送要求が発生すると、EXDMACn.EDMPRF.PREQ フラグが “1” になります。EXDMACn.EDMPRF.PREQ フラグは、内部周辺要求により DMA 転送が開始すると “0” になります。また、“1” を書くことによって “0” になります。

EXDMACn.EDMPRF.PREQ フラグが “1” の状態で、EDMAST.DMST ビットが “1” で、EXDMACn.EDMCNT.DTE ビットが “1” であれば DMA 動作が開始します。

EDMAST.DMST ビット、EXDMACn.EDMCNT.DTE ビットの値に関わらず、EXDMACn.EDMPRF.PREQ フラグは保持されます。

15.5.2 EXDMAC の起動

図 15.24 にレジスタの設定手順を示します。

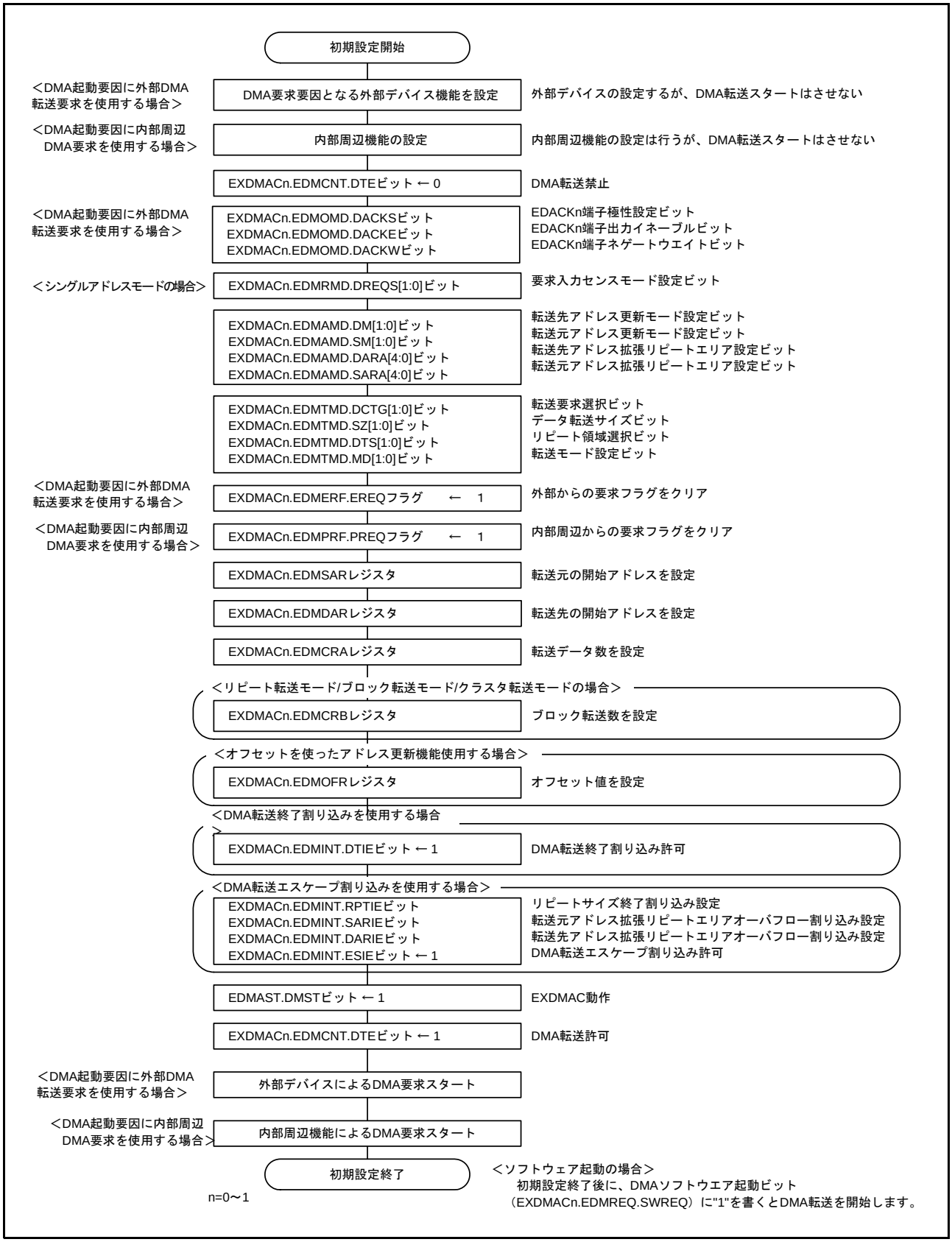


図 15.24　レジスタの設定手順

15.5.3 DMA 転送の開始

EXDMACn.EDMCNT.DTE ビットを “1”（DMA 転送許可）にして、EDMAST.DMST ビットを “1”（EXDMAC 動作）にすると、チャネル n（n = 0 ～ 1）の DMA 転送が可能になります。

DMA 転送要求が発生するとチャネル調停を行い、優先順位の高いチャネルの DMA 転送要求が受け付けられ、DMA転送を開始します。DMA転送要求が受け付けられDMA転送が開始すると、EXDMACn.EDMSTS.ACT フラグが “1”（データ転送中）になります。

15.5.4 DMA 転送中のレジスタ

EXDMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、EXDMACn.EDMSAR、EXDMACn.EDMDAR、EXDMACn.EDMCRA、EXDMACn.EDMCRB、EXDMACn.EDMCNT、EXDMACn.EDMSTS です。

(1) DMA 転送元アドレスレジスタ（EXDMACn.EDMSAR）

1 転送要求に対するデータ転送を終了すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は、**表 15.5 ～表 15.8** を参照してください。

(2) DMA 転送先アドレスレジスタ（EXDMACn.EDMDAR）

1 転送要求に対するデータ転送を終了すると、次の要求でアクセスするアドレスに更新されます。
各モードでのレジスタ更新は、**表 15.5 ～表 15.8** を参照してください。

(3) DMA 転送カウントレジスタ（EXDMACn.EDMCRA）

1 転送要求に対するデータ転送を終了すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は、**表 15.5 ～表 15.8** を参照してください。

(4) DMA ブロック転送カウントレジスタ（EXDMACn.EDMCRB）

1 転送要求に対するデータ転送を終了すると、カウント値が更新されます。各モードで更新値が異なります。
各モードでのレジスタ更新は、**表 15.5 ～表 15.8** を参照してください。

(5) DMA 転送許可ビット（EXDMACn.EDMCNT.DTE）

EXDMACn.EDMCNT.DTE ビットは、DMA 転送状態によって EXDMAC により自動的に EXDMACn.EDMCNT.DTE ビットが “0” になることがあります。

EXDMAC により EXDMACn.EDMCNT.DTE ビットが “0” になる条件は以下です。

- 設定の総転送データ数の転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバフロー割り込み要求が発生し、転送が終了したとき

(6) DMA アクティブフラグ（EXDMACn.EDMSTS.ACT フラグ）

EXDMAC が停止中か動作中であることを示します。EXDMACn.EDMSTS.ACT フラグは EXDMAC が転送動作を開始すると “1” になり、1 転送要求に対するデータ転送を終了すると “0” になります。

DMA 転送中に EXDMACn.EDMCNT.DTE ビットに “0” を書いて、DMA 転送を停止させた場合でも、DMA 転送が終了するまで “1” を保持します。

(7) 転送終了割り込みフラグ（EXDMACn.EDMSTS.DTIF フラグ）

DMA 転送によって総転送サイズ分の転送を終了すると、EXDMACn.EDMSTS.DTIF フラグは “1” になります。

EXDMACn.EDMSTS.DTIF フラグが “1” で、EXDMACn.EDMINT.DTIE ビットが “1” のとき、転送終了割り込み要求を発生します。

EXDMACn.EDMSTS.DTIF フラグが “1” になるタイミングは、DMA 転送のバスサイクルが終了して、EXDMACn.EDMSTS.ACT フラグが “0“ になって転送を終了したときです。

割り込み処理中に EXDMACn.EDMCNT.DTE ビットに “1” を書いた場合、自動的に EXDMACn.EDMSTS.DTIF フラグが “0” になります。

(8) 転送エスケープ割り込みフラグ（EXDMACn.EDMSTS.ESIF）

リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、EXDMACn.EDMSTS.ESIF フラグは “1” になります。EXDMACn.EDMSTS.ESIF フラグが “1” で、EXDMACn.EDMINT.ESIE ビットが “1” であるとき、転送エスケープ割り込み要求を発生します。

EXDMACn.EDMINT.F フラグに “1” になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、EXDMACn.EDMSTS.ACT フラグが “0“ になって転送を終了したときです。

割り込み処理中に EXDMACn.EDMCNT.DTE ビットに “1” を書いた場合、自動的に EXDMACn.EDMSTS.ESIF フラグが “0” になります。

EXDMACn からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です、詳しくは「11. 割り込みコントローラ（ICUa）」を参照してください。

15.5.5 チャネルの優先順位

EXDMAC は複数の DMA 転送要求があるとき、DMA 転送要求のあるチャネルの優先順位を判断します。チャネルの優先順位は、チャネル 0 ＞ チャネル 1 の順で固定です。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送終了後にチャネル調停を行い、優先順位の高いチャネルの転送が開始されます。

15.6 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、EXDMACn.EDMCNT.DTE ビットと EXDMACn.EDMSTS.ACT フラグが “1” から “0” になり、DMA 転送が終了したことを示します。

15.6.1 設定した総データ転送による転送終了

(1) ノーマル転送モード（EXDMACn.EDMTMD.MD[1:0] = 00b）のとき

EXDMACn.EDMCRAL レジスタの値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.DTIF フラグが “1” になります。このとき EXDMACn.EDMINT.DTIE ビットが “1” であれば、CPU または DTC に転送終了割り込み要求が発生します。

(2) リピート転送モード（EXDMACn.EDMTMD.MD[1:0] = 01b）のとき

EXDMACn.EDMCRB の値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが “0” にクリアされ、同時に EXDMACn.EDMSTS.DTIF フラグが “1” になります。このとき EXDMACn.EDMINT.DTIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。

(3) ブロック転送モード（EXDMACn.EDMTMD.MD[1:0] = 10b）のとき

EXDMACn.EDMCRB の値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.DTIF フラグが “1” になります。このとき EXDMACn.EDMINT.DTIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。

(4) クラスタ転送モード（EXDMACn.EDMTMD.MD[1:0] = 11b）のとき

EXDMACn.EDMCRB の値が “1” から “0” になると対応するチャネルの DMA 転送が終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.DTIF フラグが “1” になります。このとき EXDMACn.EDMINT.DTIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。

EXDMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳しくは「**11. 割り込みコントローラ（ICUa）**」を参照してください。

15.6.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、EXDMACn.EDMINT.RPTIE ビットが “1” のときに、1 リピートサイズ分の転送終了後に、リピートサイズ終了割り込み要求を発生します。割り込み要求の発生により DMA 転送を終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.ESIF フラグが “1” になります。このとき EXDMACn.EDMINT.ESIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。また、この状態から EXDMACn.EDMCNT.DTE ビットを “1” にすると転送を再開させることができます。

ブロック転送モード（またはクラスタ転送モード）においても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モード（またはクラスタ転送モード）では、1 ブロック分（または 1 クラスタ）の転送終了後に、同様にリピートサイズ終了割り込み要求を発生します。

EXDMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み制御レジスタの設定が必要です。詳しくは「11. 割り込みコントローラ（ICUa）」を参照してください。

15.6.3 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、EXDMACn.EDMINT.SARIE ビットまたは EXDMACn.EDMINT.DARIE ビットが “1” のときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、EXDMACn.EDMCNT.DTE ビットが “0” になり、同時に EXDMACn.EDMSTS.ESIF フラグが “1” になります。このとき EXDMACn.EDMINT.ESIE ビットが “1” であれば、CPU または DTC に割り込み要求が発生します。

リードサイクル中に拡張リピートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モード（またはクラスタ転送モード）では、1 ブロック分（または 1 クラスタ）の転送中に拡張リピートエリアオーバフロー割り込み要求が発生しても 1 ブロック分（または 1 クラスタ）の転送は実行されます。拡張リピートエリアオーバフロー割り込みによる転送終了は、ブロックサイズ（クラスタサイズ）の区切りで発生します。

EXDMAC からの割り込み要求を CPU または DTC に伝達させるためには、割り込み割り込み制御レジスタの設定が必要です、詳しくは「11. 割り込みコントローラ（ICUa）」を参照してください。

15.7 割り込み

EXDMAC はチャネルごとに CPU または DTC に割り込み要求を出力させることができます。割り込みの要因、フラグ、許可ビットの関係を表 15.11 に、割り込み出力の概略論理図を図 15.25 に示します。また、EXDMAC 割り込み処理で DMA 転送を再開／中止する方法を図 15.26 に示します。

表 15.11　割り込みの要因、フラグ、許可ビットの関係

割り込み要因		許可ビット	ステータスフラグ	要求出力イネーブル
転送終了		－	EXDMACn.EDMSTS.DTIF	EXDMACn.EDMINT.DTIE
エスケープ転送終了	リピートサイズ終了	EXDMACn.EDMINT.RPTIE	EXDMACn.EDMSTS.ESIF	EXDMACn.EDMINT.ESIE
	転送元アドレス拡張リピートエリアオーバフロー	EXDMACn.EDMINT.SARIE		
	転送先アドレス拡張リピートエリアオーバフロー	EXDMACn.EDMINT.DARIE		

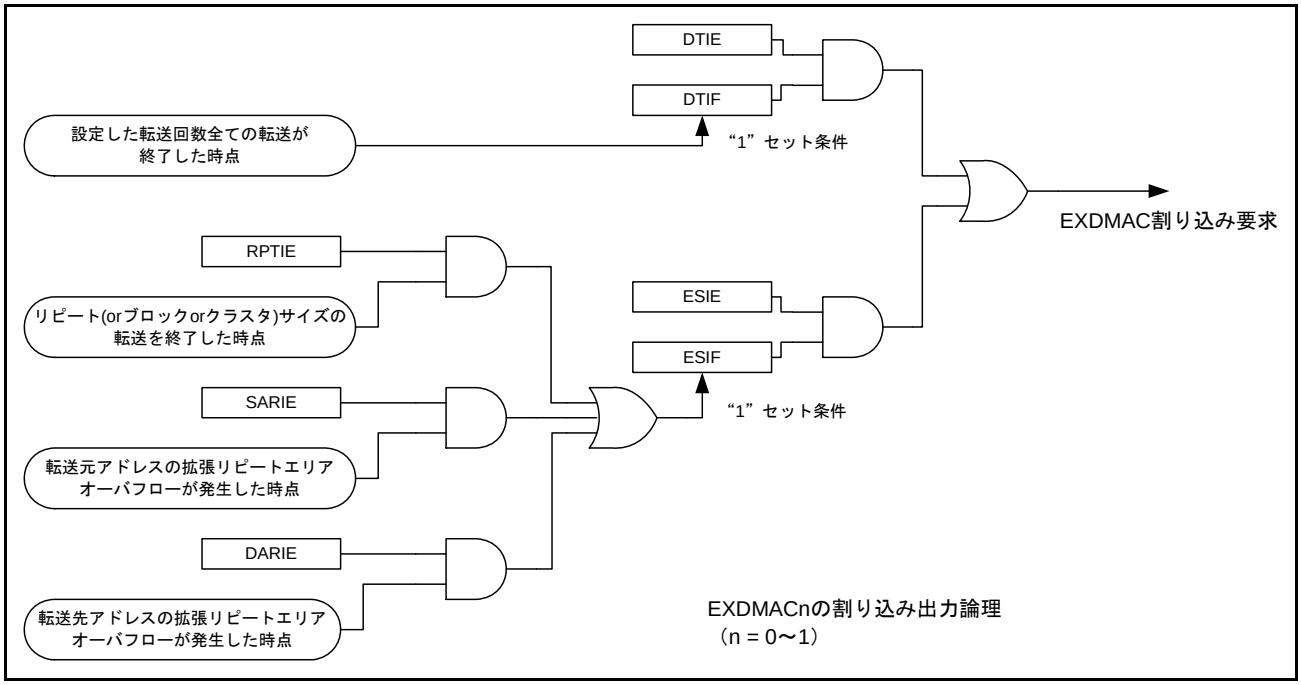


図 15.25　割り込み出力の概略論理図

EXDMAC 割り込み処理の手順は、DMA 転送を終了または中止させるときと、転送を継続させる場合で異なります。

(1) DMA 転送を終了または中止させる場合

転送終了割り込みの場合、EXDMACn.EDMSTS.DTIF フラグに “0” を書いて、割り込み要因をクリアしてください。リピートサイズ割り込み、および拡張リピートエリアオーバフロー割り込みの場合は、EXDMACn.EDMSTS.ESIF フラグに “0” を書いて、割り込み要因をクリアしてください。EXDMAC は停止状態を保ちます。その後新たな DMA 転送を行う場合は、必要なレジスタに設定値を書き込み、EXDMACn.EDMCNT.DTE ビットに “1” を書いてください。

(2) DMA 転送を継続させる場合

EXDMACn.EDMCNT.DTE ビットに “1” を書いてください。自動的に EXDMACn.EDMSTS.ESIF フラグがクリアされ（割り込み要因がクリアされ）転送が再開します。

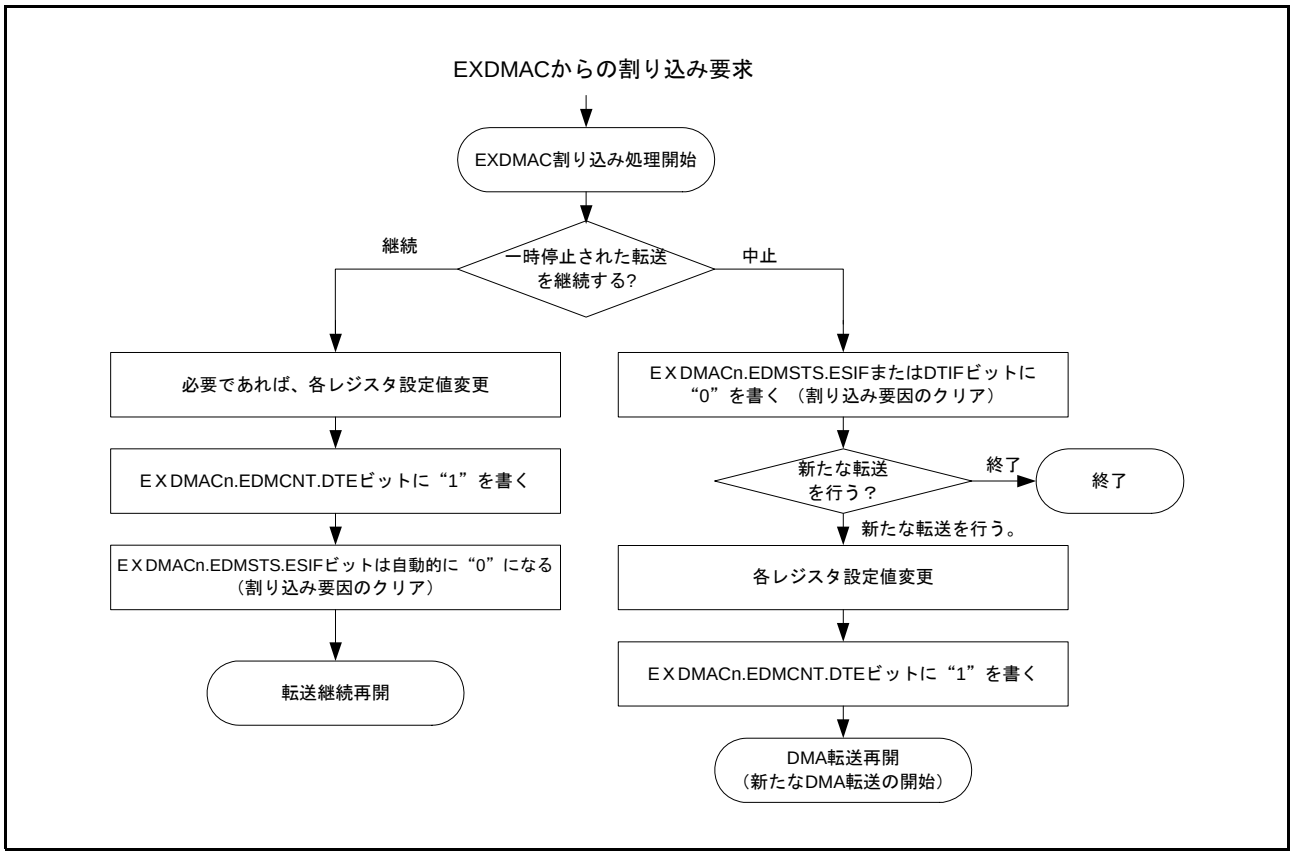


図 15.26　EXDMAC 割り込み処理で DMA 転送を再開／中止する方法

15.8 消費電力低減機能

EXDMAC のモジュールストップ機能および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、EDMAST.DMST ビットを “0”（EXDMAC 停止）にした後、以下の処理を行ってください。

(1) モジュールストップ機能

MSTPCRA.MSTPA29 ビットに “1”（モジュールストップ状態への遷移）を書くことによって、EXDMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA29 ビットに “1” を書いた時点で DMA 転送動作中の場合、DMA 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA29 ビットに “0”（モジュールストップ状態の解除）を書くことにより、EXDMAC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

MSTPCRA.ACSE ビットに “1”（全モジュールクロックストップモード許可）を書き、MSTPCRA.MSTPA29 ビット（モジュールストップ状態への遷移）を含め、MSTPCRA レジスタおよび MSTPCRB レジスタの全ビットに “1” を書きます。その後、WAIT 命令を実行することで全モジュールクロックストップモードへ移行します。WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA29 ビットに “0” を書くことにより、EXDMAC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

SBYCR.SSBY ビットに “1”（WAIT 命令実行後、ソフトウェアスタンバイモードに移行）、および DPSBYCR.DPSBY ビットに “0”（WAIT 命令実行後、ソフトウェアスタンバイモードに移行）を書いた後、WAIT 命令を実行することで、ソフトウェアスタンバイモードに移行します。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送終了後にソフトウェアスタンバイモードに移行します。

DPSBYCR.DPSBY ビットに “1”（WAIT 命令実行後、ディープソフトウェアスタンバイモードに移行）を書いた後に WAIT 命令を実行した場合は、ディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「9.7.7 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 EDMAST.DMST ビットに ”1” を書いてください。

15.9 シングルアドレスモード時の EDACK 動作

シングルアドレスモードでは、EDACK を転送元または転送先いずれか一方の外部デバイスに出力すると同時に、もう一方の転送相手にアドレスを出力してアクセスします。

EDACK を受ける外部デバイスの転送相手が CS 領域の場合、EXDMACn.EDMOMD.DACKW ビットを設定することによって、EDACK のネゲートタイミングを 1BCLK サイクル調整（外部デバイスが転送先の場合 1 サイクル前、転送元の場合 1 サイクル後）することができます。転送相手が SDRAM の場合、EDACK のネゲートタイミング調整はできません（EXDMACn.EDMOMD.DACKW ビットの設定値は無効）。CS 領域、SDRAM 領域のアドレスに関しては「4. アドレス空間」を参照してください。

シングルアドレスモードでのノーマル転送、ブロック転送で CS 領域、SDRAM 領域それぞれに対して転送を行った場合の EDACK 動作例を示します。

15.9.1 シングルアドレスモードノーマル転送（CS 領域）EDACK 動作例

図 15.27 にノーマル転送で CS 領域から EDACK 付きデバイスへ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを “1” にすることにより、データリード信号ネゲートタイミングの 1BCLK サイクル前に EDACK をネゲートすることができます。

図 15.28 にノーマル転送で EDACK 付きデバイスから CS 領域へ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを “1” にすることにより、データライト信号ネゲートタイミングの 1BCLK サイクル後に EDACK をネゲートすることができます。

データリード信号、データライト信号および CS 領域アクセスタイミング設定レジスタの詳細に関しては「12. バス」を参照してください。

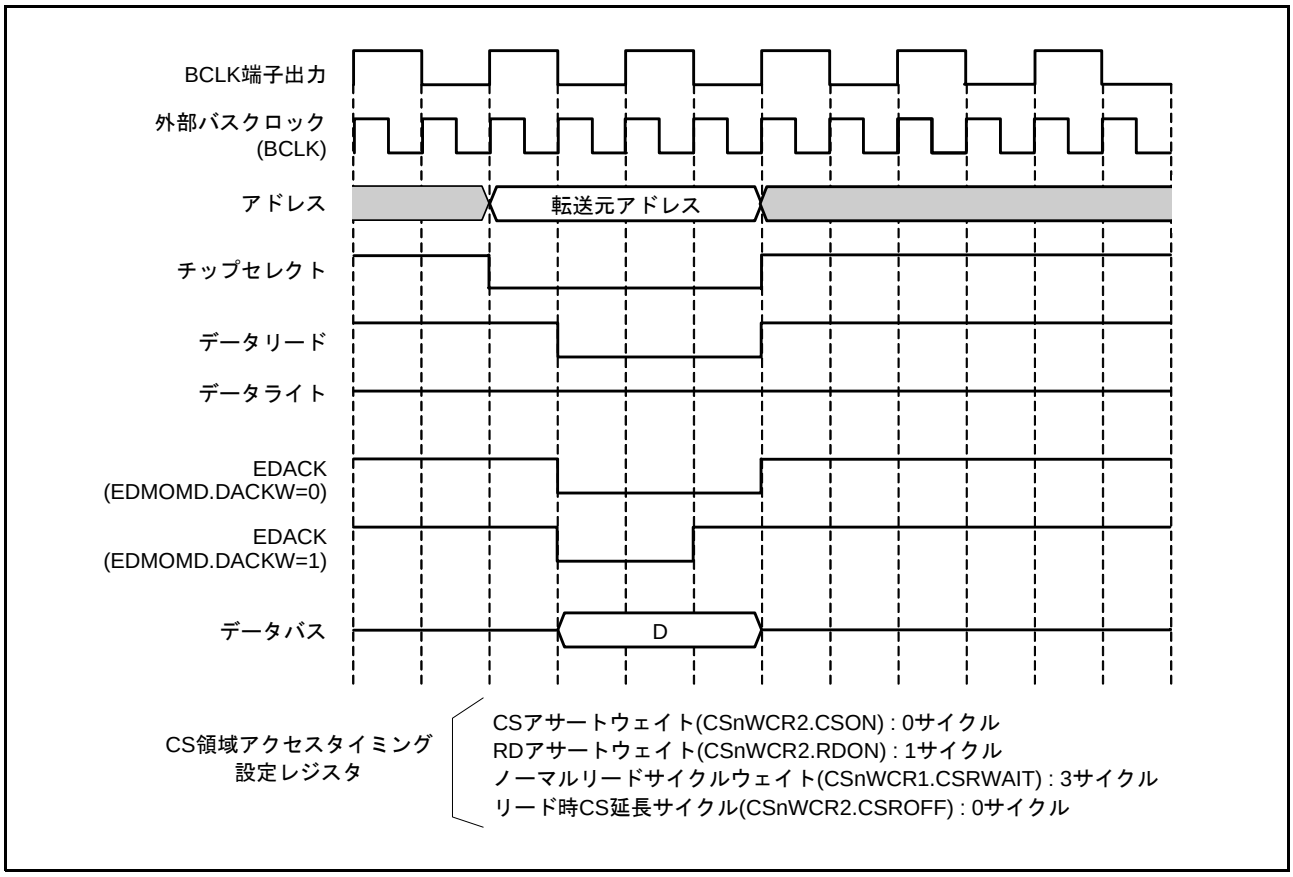


図 15.27 シングルアドレスモードノーマル転送（CS 領域　リード）動作例

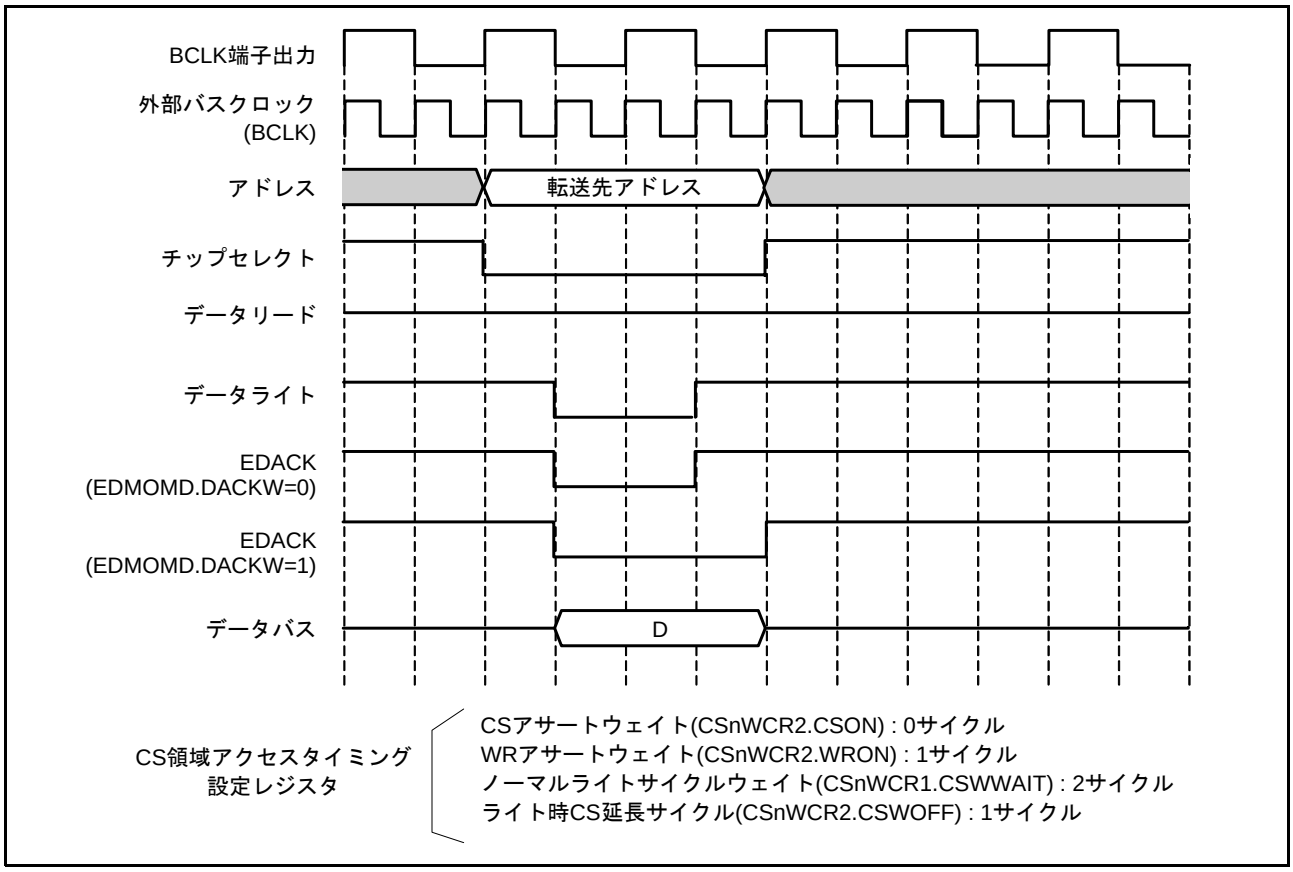


図 15.28　シングルアドレスモードノーマル転送（CS 領域　ライト）動作例

15.9.2　シングルアドレスモードノーマル転送（SDRAM 領域）EDACK 動作例

図 15.29 にノーマル転送で SDRAM から EDACK 付きデバイスへ転送した場合の動作例を示します。EDACK は SDRAM からのデータ出力サイクルの期間アサートします。

図 15.30 にノーマル転送で EDACK 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACK は SDRAM ライトサイクルの期間アサートします。

SDRAM コマンド、SDRAM アクセスタイミング設定レジスタの詳細に関しては「12.　バス」を参照してください。

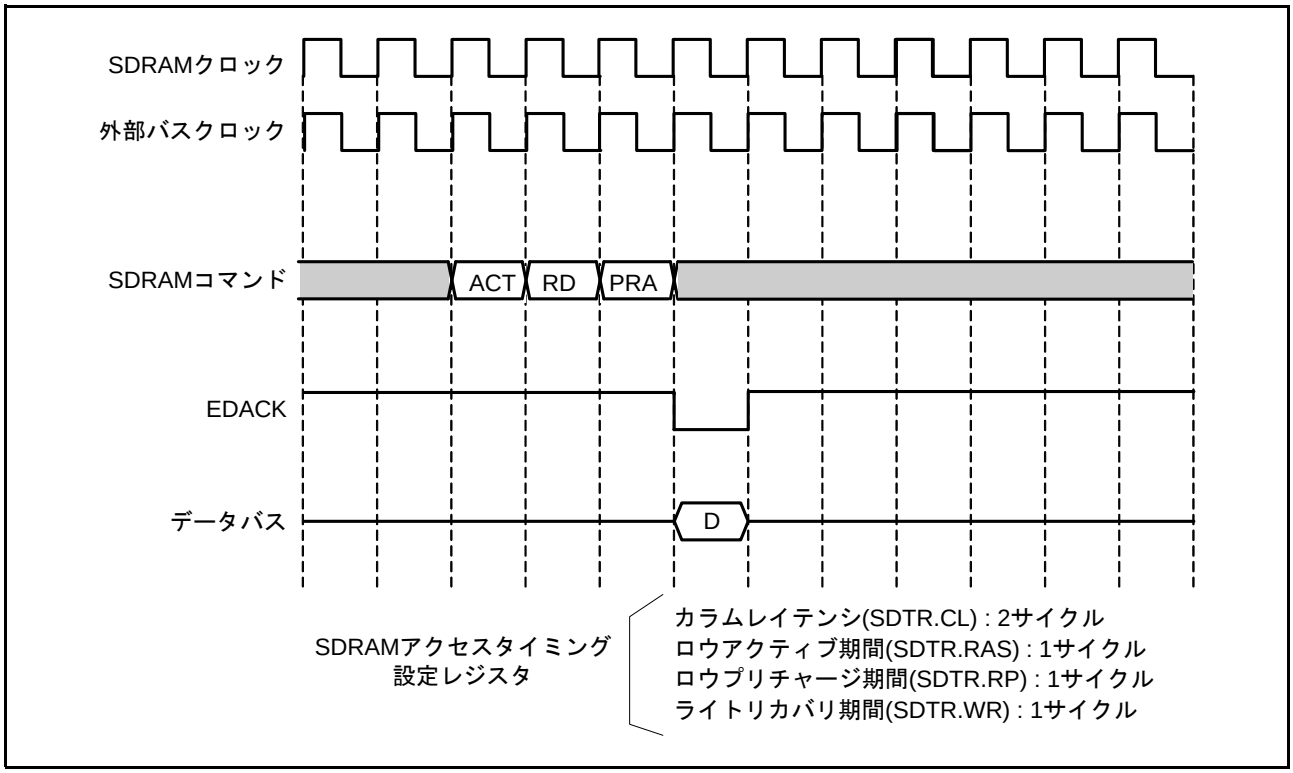


図 15.29　シングルアドレスモードノーマル転送（SDRAM 領域　リード）動作例

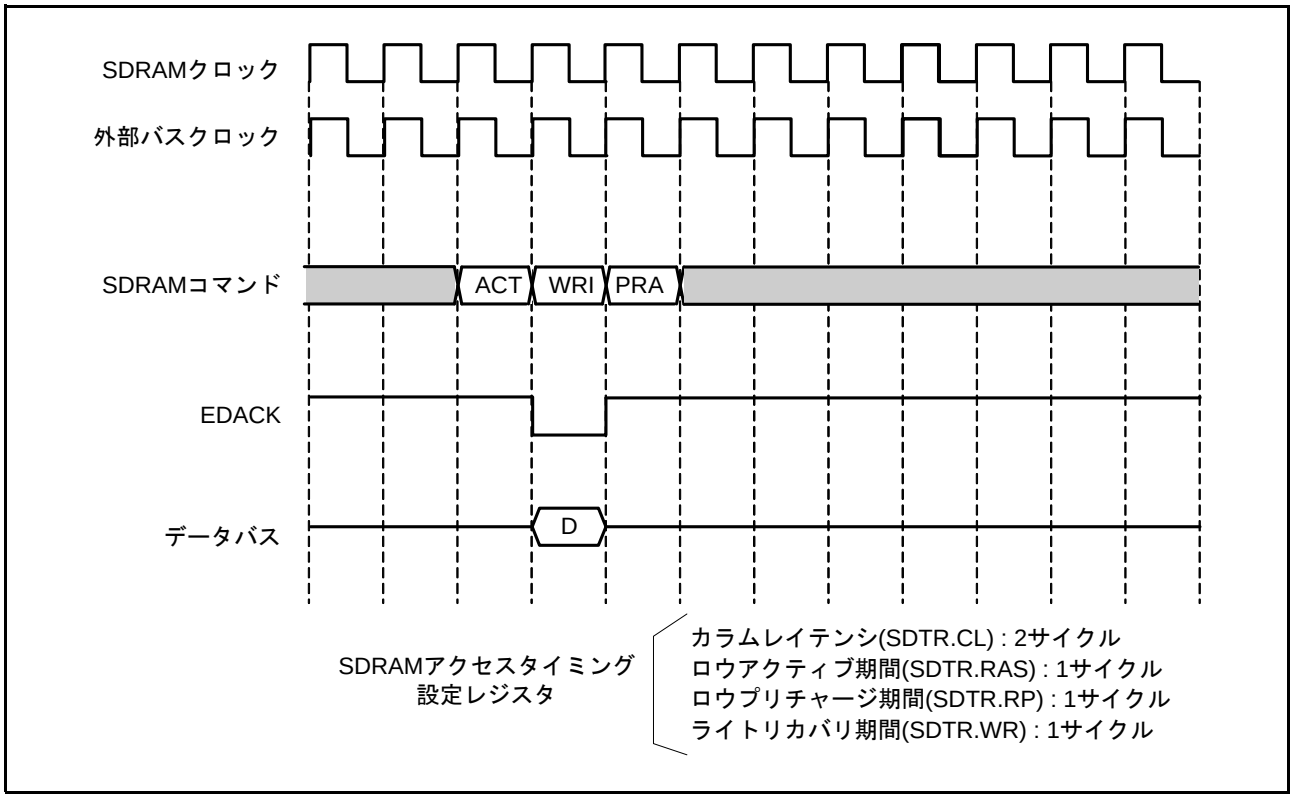


図 15.30　シングルアドレスモードノーマル転送（SDRAM 領域　ライト）動作例

15.9.3　シングルアドレスモードブロック転送（CS 領域）EDACK 動作例

図 15.31 にブロック転送（ブロックサイズ 2）で CS 領域から EDACK 付きデバイスへ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを “1” にすることにより、データリード信号ネゲートタイミングの 1BCLK サイクル前に EDACK をネゲートすることができます。

図 15.32 にブロック転送（ブロックサイズ 2）で EDACK 付きデバイスから CS 領域へ転送した場合の動作例を示します。EXDMACn.EDMOMD.DACKW ビットを “1” にすることにより、データライト信号ネゲートタイミングの 1BCLK サイクル後に EDACK をネゲートすることができます。

データリード信号、データライト信号および CS 領域アクセスタイミング設定レジスタの詳細に関しては「12.　バス」を参照してください。

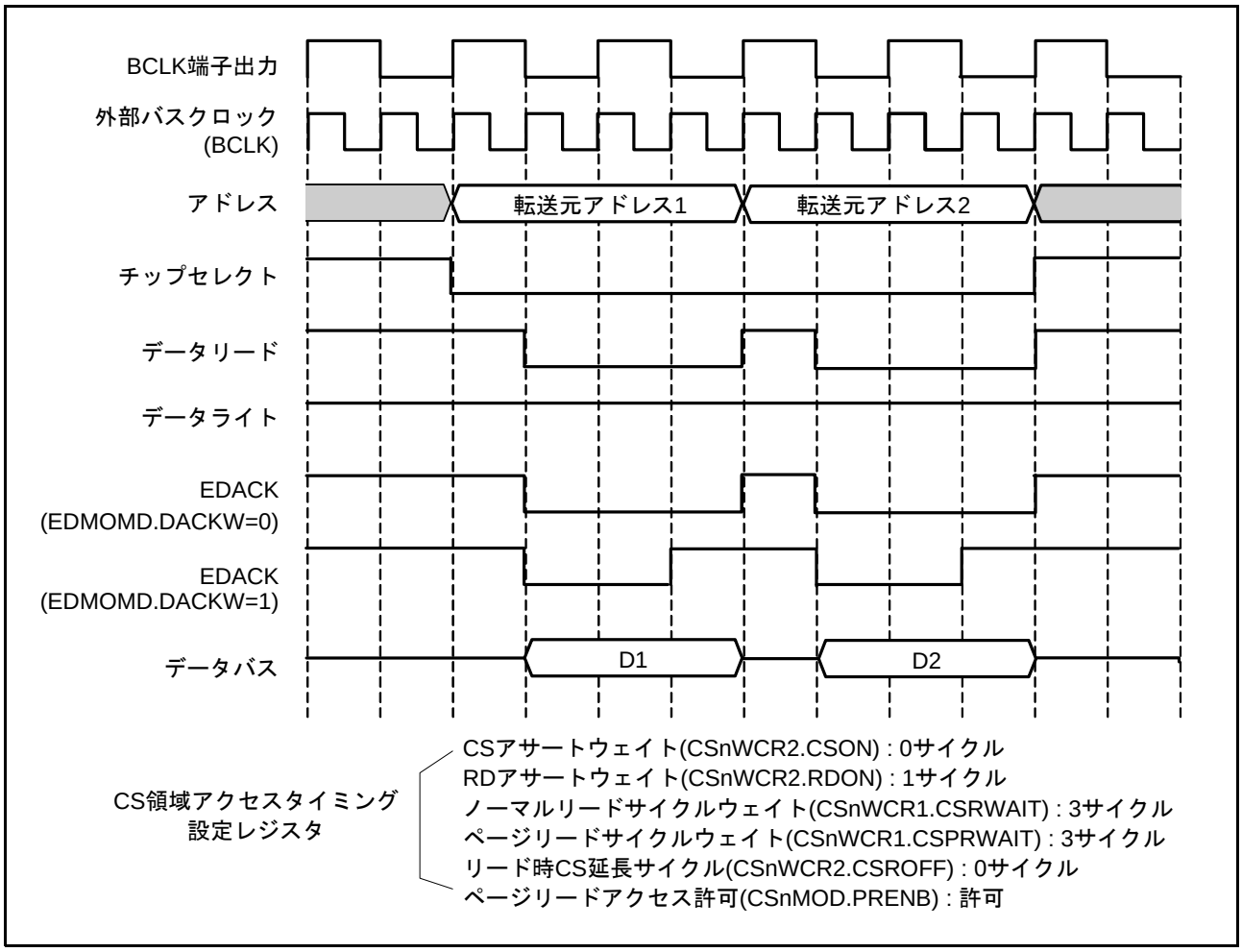


図 15.31　シングルアドレスモードブロック転送（CS 領域　リード）動作例

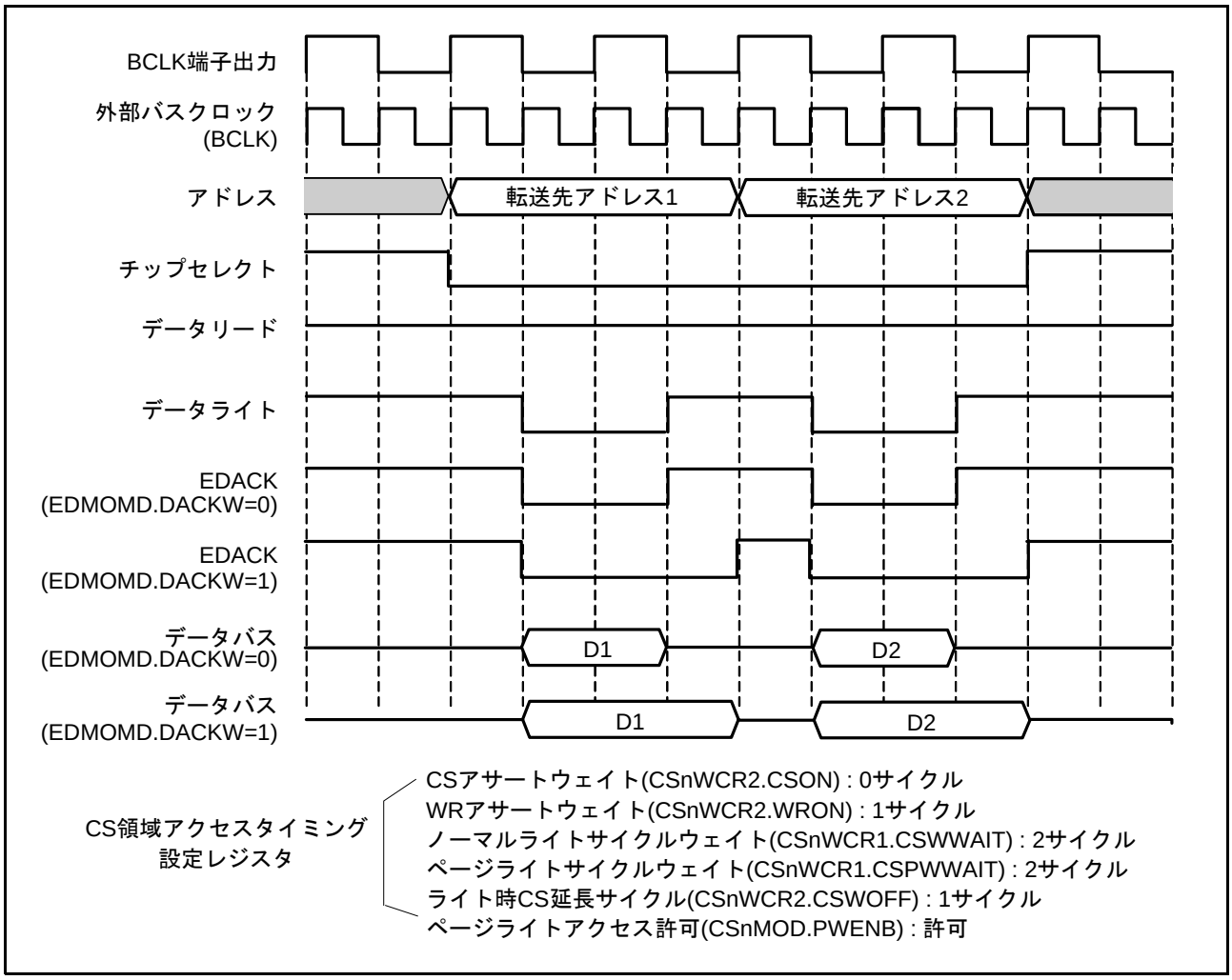


図 15.32　シングルアドレスモードブロック転送（CS 領域　ライト）動作例

15.9.4 シングルアドレスモードブロック転送（SDRAM 領域）EDACK 動作例

図 15.33 に SDRAM 連続アクセスイネーブルを許可（SDAMOD.BE = 1）にし、ブロック転送（ブロックサイズ 4）で SDRAM から EDACK 付きデバイスへ転送した場合の動作例を示します。EDACK は SDRAM からのデータ出力サイクルの期間アサートします。

図 15.34 に SDRAM 連続アクセスイネーブルを許可（SDAMOD.BE = 1）にし、ブロック転送（ブロックサイズ 4）で EDACK 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACK は SDRAM ライトサイクルの期間アサートします。

図 15.35 に SDRAM 連続アクセスイネーブルを禁止（SDAMOD.BE = 0）にし、ブロック転送（ブロックサイズ 2）で SDRAM から EDACK 付きデバイスへ転送した場合の動作例を示します。EDACK は SDRAM からのデータ出力サイクルの期間アサートします。

図 15.36 に SDRAM 連続アクセスイネーブルを禁止（SDAMOD.BE = 0）にし、ブロック転送（ブロックサイズ 2）で EDACK 付きデバイスから SDRAM へ転送した場合の動作例を示します。EDACK は SDRAM ライトサイクルの期間アサートします。

SDRAM コマンド、SDRAM アクセスタイミング設定レジスタの詳細に関しては「12. バス」を参照してください。

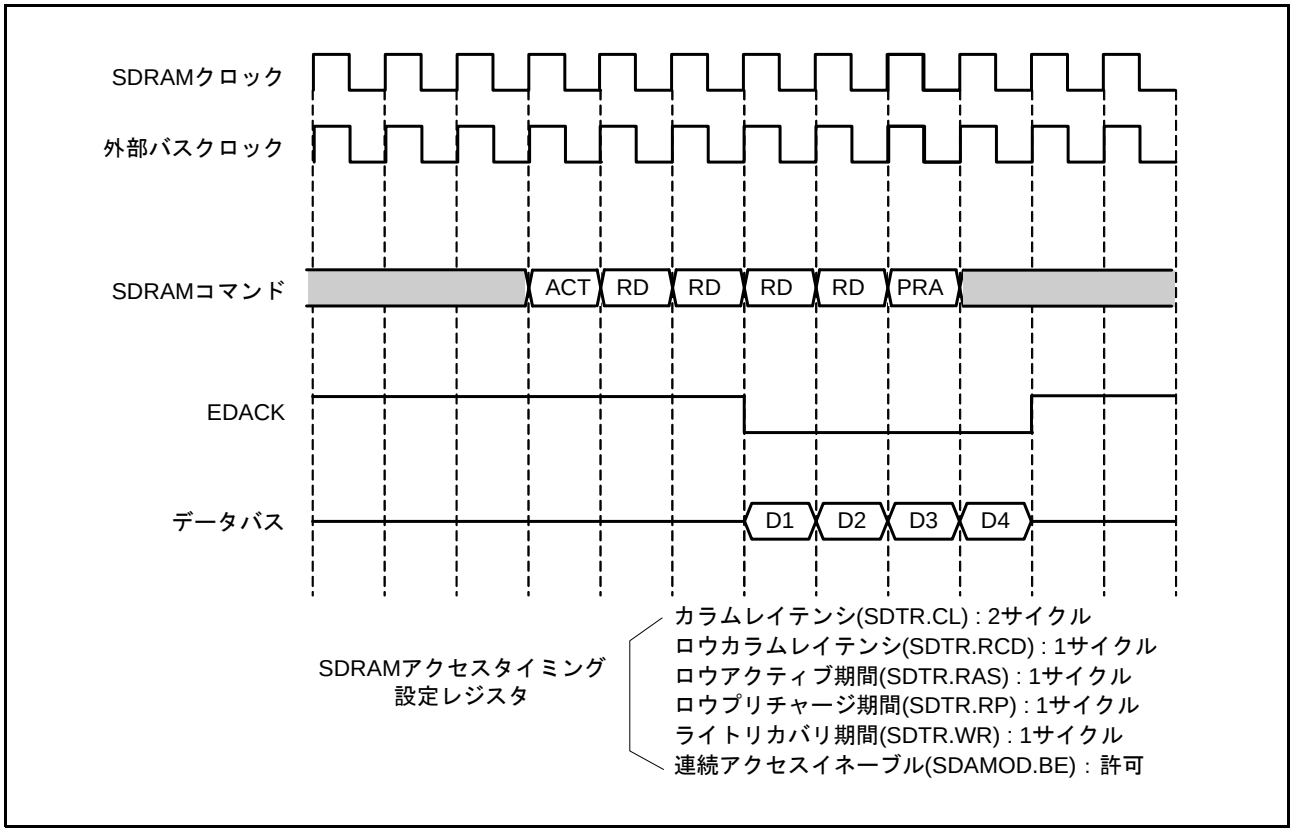


図 15.33　シングルアドレスモードブロック転送（SDRAM 領域　リード：連続アクセス許可）動作例

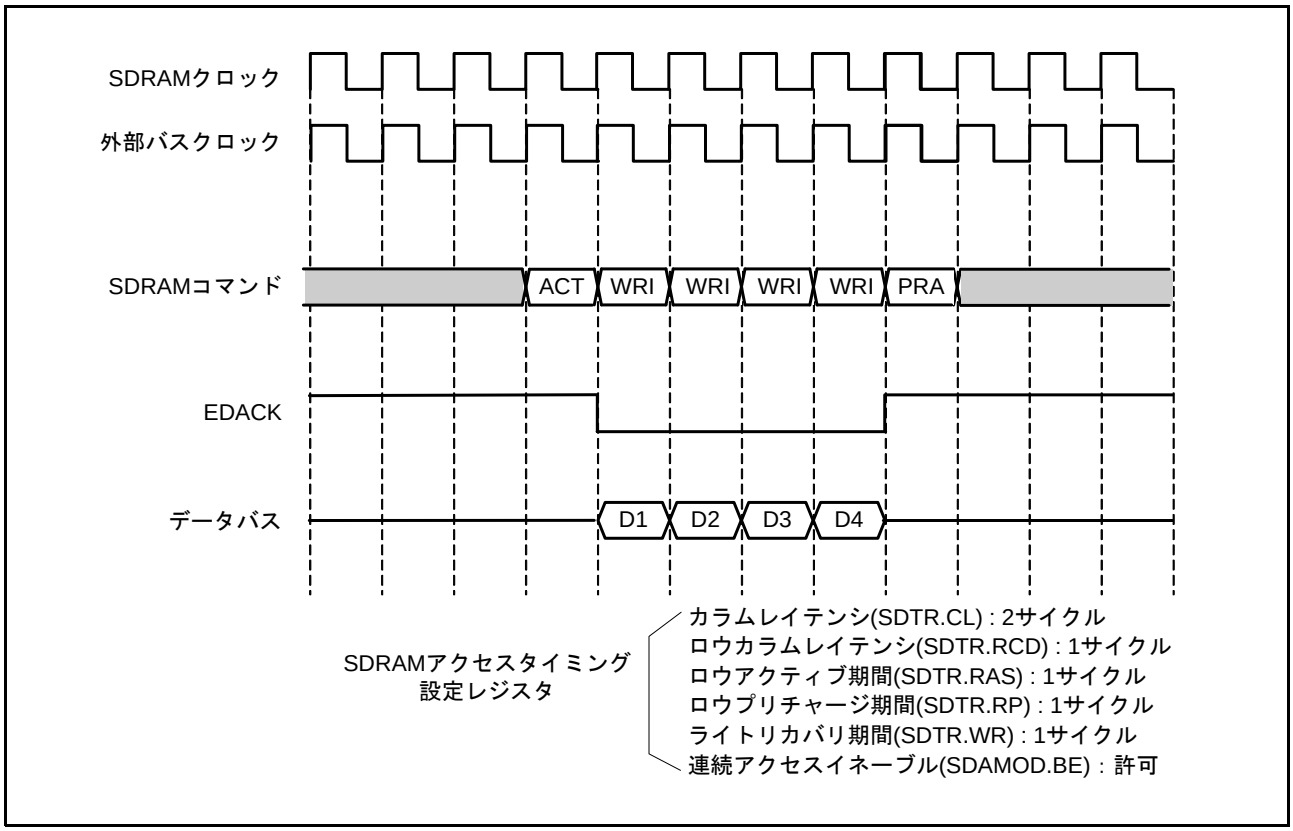


図 15.34　シングルアドレスモードブロック転送（SDRAM 領域　ライト：連続アクセス許可）動作例

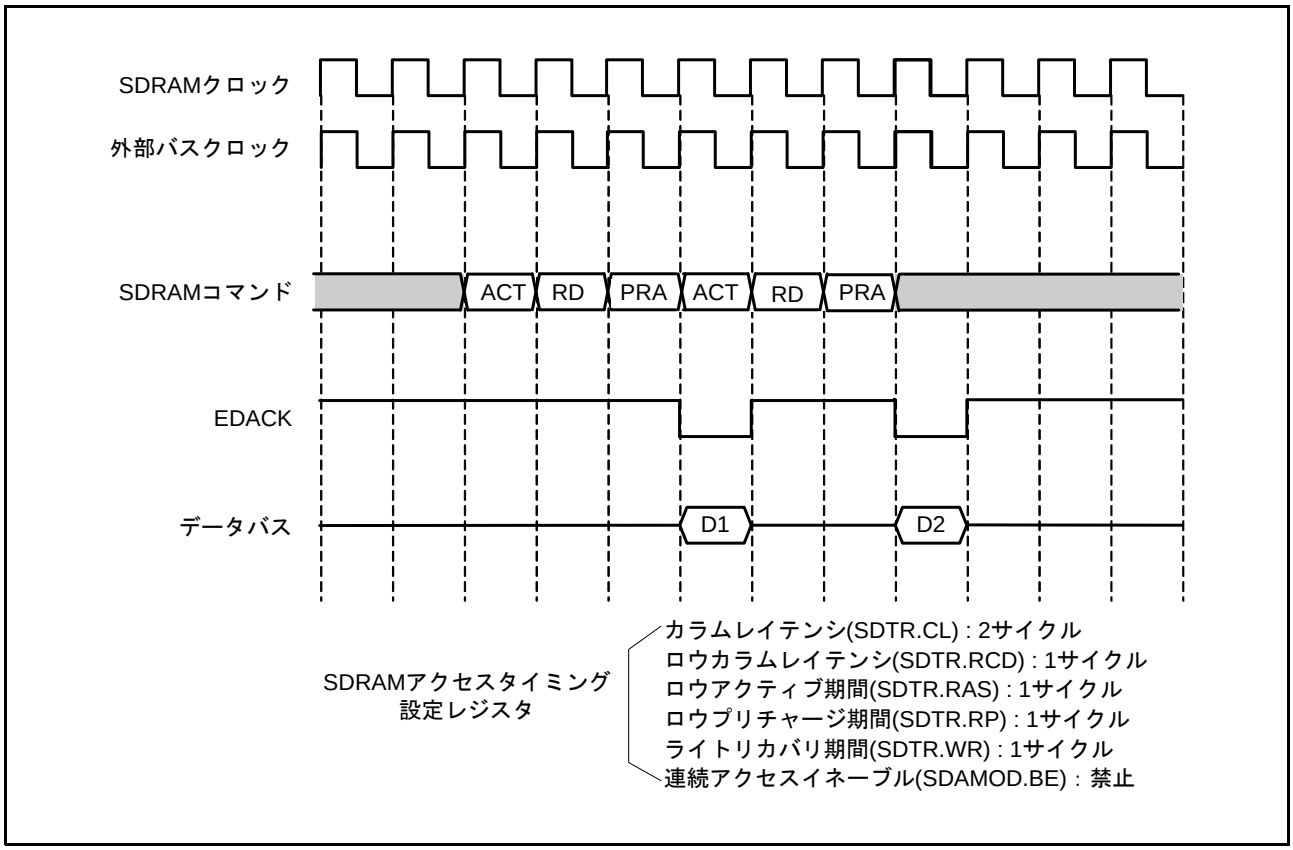


図 15.35　シングルアドレスモードブロック転送（SDRAM 領域　リード：連続アクセス禁止）動作例

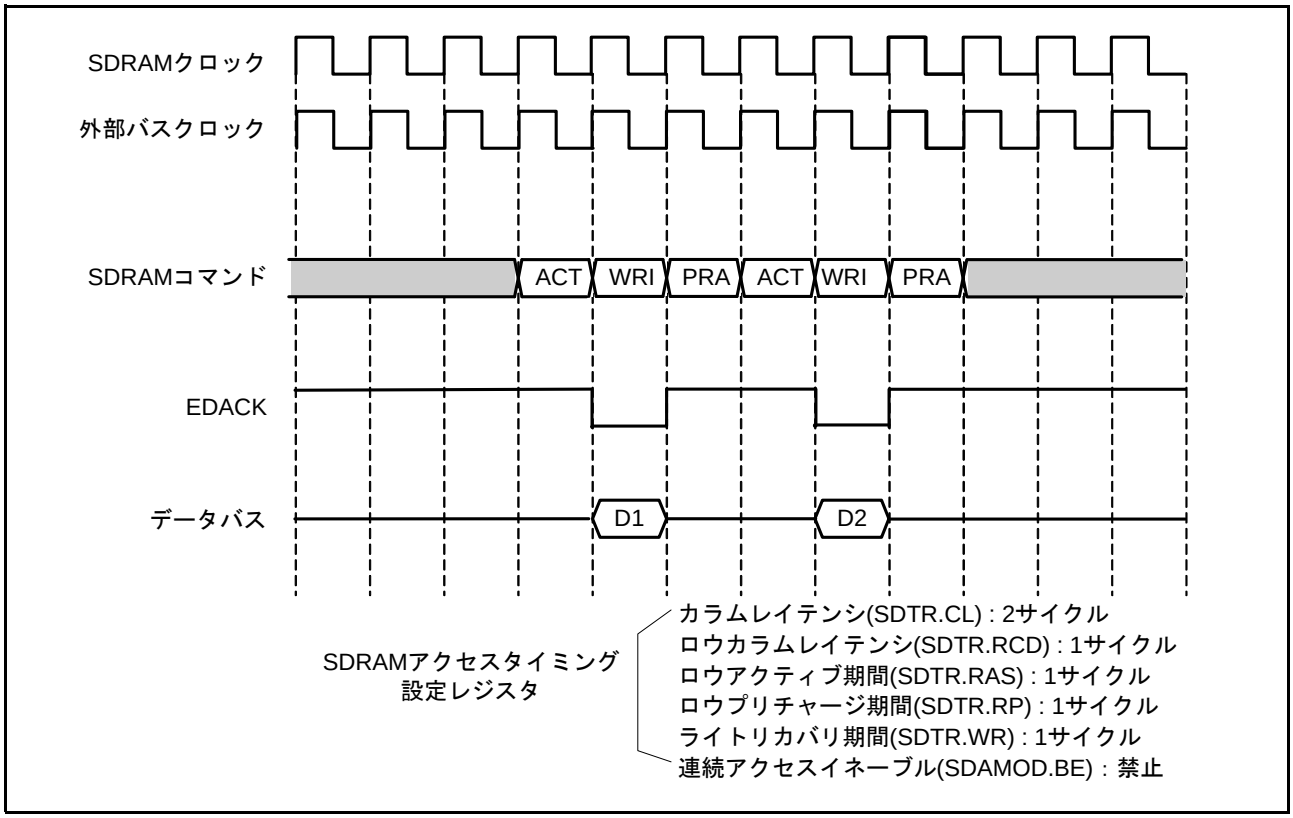


図 15.36　シングルアドレスモードブロック転送（SDRAM 領域　ライト：連続アクセス禁止）動作例

15.10 使用上の注意事項

15.10.1 クラスタバッファについて

EXDMAC は、32 ビットのクラスタバッファを 7 本（CLSBR0 ～ CLSBR6）内蔵しています。転送サイズ（EXDMACn.EDMTMD.SZ）の設定により、データの格納方法が変わります。

図 15.37 にクラスタバッファへのデータ格納方法を示します。

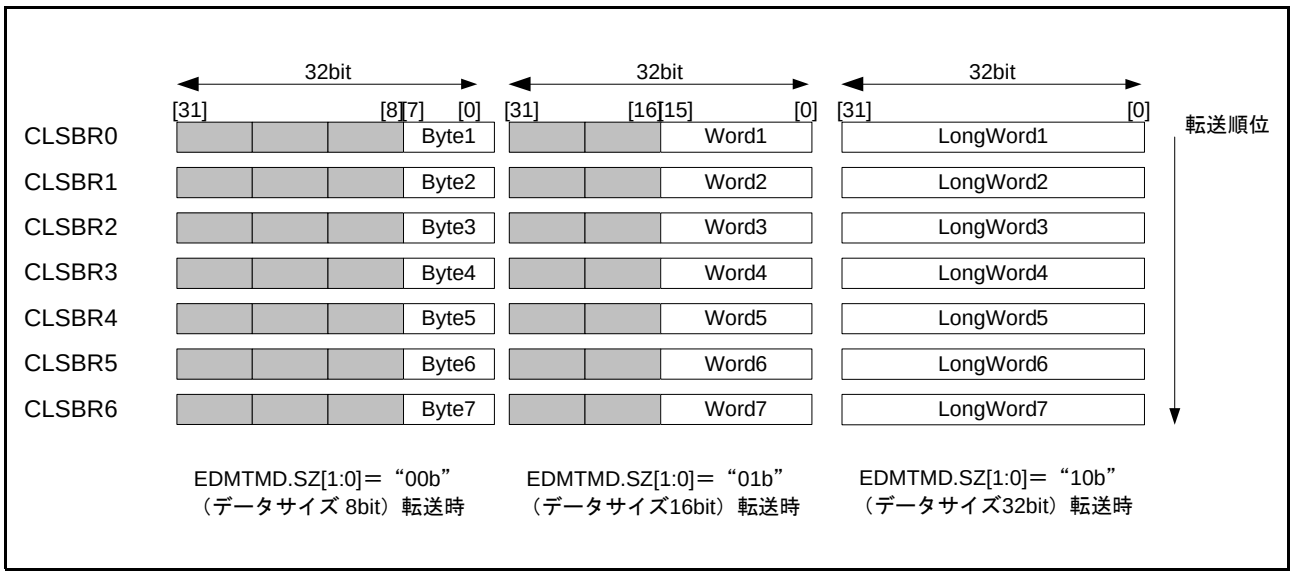


図 15.37　クラスタバッファへのデータ格納方法

15.10.2 DMA 動作中のレジスタアクセスについて

EXDMACn.EDMSTS.ACT フラグが “1”（DMA 動作中）または、EXDMACn.EDMCNT.DTE ビットが ”1”（DMA 転送を許可）のときに、同じチャネルの設定レジスタ（EDMSAR、EDMDAR、EDMCRA、EDMCRB、EDMTMD、EDMOMD、EDMINT、EDMAMD、EDMOFR、EDMRMD）へのアクセスは行わないでください。

15.10.3 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域についての詳細は「4.　アドレス空間」を参照してください。

16. データトランスファコントローラ（DTCa）

RX62N グループ、RX621 グループは、データトランスファコントローラ（DTC）を内蔵しています。DTC は、割り込み要求によって起動し、データ転送を行うことができます。

16.1 概要

表 16.1 に DTC の仕様を、図 16.1 に DTC のブロック図を示します。

表16.1　DTCの仕様

項目	内容
転送モード	• ノーマル転送モード 1回の起動で1データ転送する • リピート転送モード 1回の起動で1データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピートサイズは最大256データ設定可能 • ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは最大255データ設定可能
転送チャネル	• 割り込み要因に対応するチャネル転送が可能（ICUからのDTC起動要求で転送） • 1つの起動要因に対して複数のデータ転送が可能（チェーン転送） • チェーン転送は、カウンタ＝0のとき実施する／毎回実施する、のいずれかを選択可能
転送空間	• ショートアドレスモードのとき、16Mバイト （0000 0000h～007F FFFFhとFF80 0000h～FFFF FFFFhのうち予約領域以外の領域） • フルアドレスモードのとき、4Gバイト （0000 0000h～FFFF FFFFhのうち予約領域以外の領域）
データ転送単位	• 1データのビット長：8ビット、16ビット、32ビット • ブロックサイズのデータ数：1～255データ
CPU割り込み要因	• DTCを起動した割り込みでCPUへの割り込み要求発生が可能 • 1回のデータ転送終了後にCPUへの割り込み要求発生が可能 • 指定したデータ数のデータ転送終了後にCPUへの割り込み要求発生が可能
リードスキップ	転送情報のリードスキップを指定可能
ライトバックスキップ	転送元アドレス固定の場合または転送先アドレス固定の場合はライトバックスキップを実行

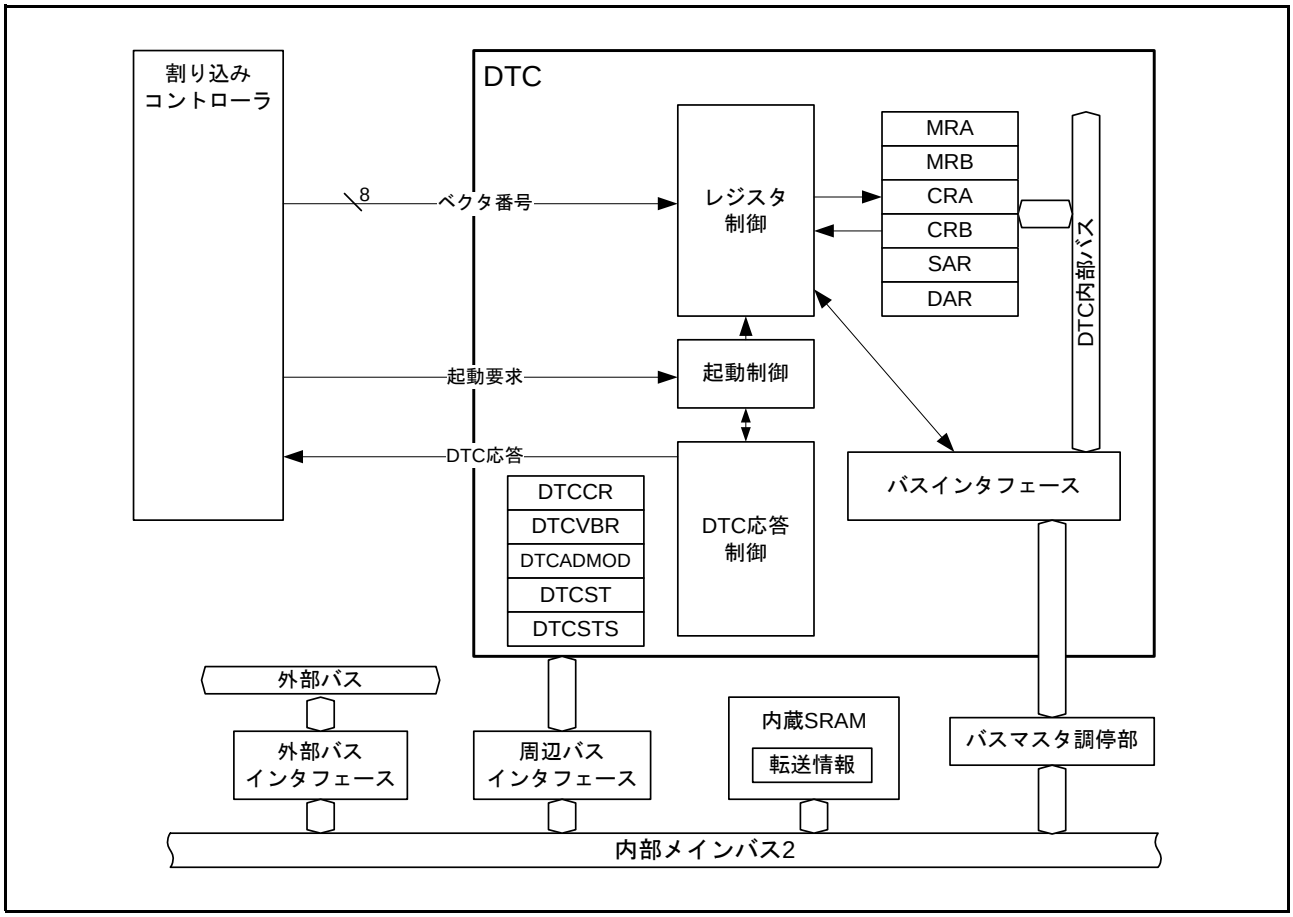


図 16.1　　DTC のブロック図

16.2 レジスタの説明

表 16.2 に DTC のレジスタ一覧を示します。

MRA、MRB、SAR、DAR、CRA、CRB の 6 本のレジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は起動要求が発生すると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、DTC の内部レジスタは転送情報として RAM 領域にライトバックされます。

表16.2　DTCのレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ（ビット）
DTCモードレジスタA	MRA	xxh	–	–
DTCモードレジスタB	MRB	xxh	–	–
DTC転送元アドレスレジスタ	SAR	xxxxxxxxh	–	–
DTC転送先アドレスレジスタ	DAR	xxxxxxxxh	–	–
DTC転送カウントレジスタA	CRA	xxxxh	–	–
DTC転送カウントレジスタB	CRB	xxxxh	–	–
DTCコントロールレジスタ	DTCCR	08h	0008 2400h	8
DTCベクタベースレジスタ	DTCVBR	00000000h	0008 2404h	32
DTCアドレスモードレジスタ	DTCADMOD	00h	0008 2408h	8
DTCモジュール起動レジスタ	DTCST	00h	0008 240Ch	8
DTCステータスレジスタ	DTCSTS	0000h	0008 240Eh	16

x：不定値

注.　DTC を起動するためには、割り込みコントローラ（ICU）の DTCERi.DTCE ビット（i = 割り込みベクタ番号）、IERm.IENj ビット（m = 02h～1Fh、j = 7～0）を設定する必要があります。詳細は「11.　割り込みコントローラ（ICUa）」を参照してください。

16.2.1 DTC モードレジスタ A（MRA）

アドレス　（CPUから直接アクセス不可能）

	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		SZ[1:0]		SM[1:0]		–	–
リセット後の値	x	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	–	予約ビット	読んだ場合、その値は不定です。書く場合、“0”としてください	–
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0：SAR レジスタはアドレス固定 （SAR レジスタのライトバックはスキップされます。） 0 1：SAR レジスタはアドレス固定 （SAR レジスタのライトバックはスキップされます。） 1 0：転送後SAR レジスタをインクリメント （SZ[1:0] ビットが“00b”のとき1、“01b”のとき +2、“10b”のとき+4） 1 1：転送後SAR レジスタをデクリメント （SZ[1:0] ビットが“00b”のとき-1、“01b”のとき-2、“10b”のとき-4）	–
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0：バイトサイズ転送 0 1：ワードサイズ転送 1 0：ロングワード転送 1 1：設定しないでください。	–
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0：ノーマル転送モード 0 1：リピート転送モード 1 0：ブロック転送モード 1 1：設定しないでください。	–

MRA レジスタは、DTC の動作モードの選択を行うレジスタです。
MRA レジスタは、CPU から直接アクセスすることはできません。

SM[1:0] ビット（転送元アドレスアドレッシングモードビット）

データ転送後の SAR レジスタの動作を指定します。

SZ[1:0] ビット（DTC データトランスファサイズビット）

転送データのサイズを指定します。

MD[1:0] ビット（DTC 転送モード選択ビット）

DTC の転送モードを指定します。

16.2.2 DTC モードレジスタ B（MRB）

アドレス　（CPUから直接アクセス不可能）

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読み出し値は不定です。書き込みは“0”としてください	—
b3-b2	DM[1:0]	転送先アドレス アドレッシングモードビット	b3 b2 0 0：DAR レジスタはアドレス固定 （DAR レジスタのライトバックはスキップされます。） 0 1：DAR レジスタはアドレス固定 （DAR レジスタのライトバックはスキップされます。） 1 0：転送後、DAR レジスタをインクリメント （MAR.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4） 1 1：転送後DAR レジスタをデクリメント （MAR.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4）	—
b4	DTS	DTC転送モード選択ビット	0：転送先がリピート領域またはブロック領域 1：転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択ビット	0：指定されたデータ転送終了時、CPUへの割り込みが発生 1：DTC データ転送の度に、CPUへの割り込みが発生	—
b6	CHNS	DTCチェーン転送選択ビット	0：連続してチェーン転送を行う 1：転送カウンタ＝0のときのみチェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可ビット	0：チェーン転送禁止 1：チェーン転送許可	—

MRB レジスタは、DTC の動作モードの選択を行うレジスタです。
MRB レジスタは、CPU から直接アクセスすることはできません。

DM[1:0] ビット（転送先アドレスアドレッシングモードビット）

データ転送後の DAR レジスタの動作を指定します。

DTS ビット（DTC 転送モード選択ビット）

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれかをリピート領域またはブロック領域とするかを指定します。

DISEL ビット（DTC 割り込み選択ビット）

DTC データ転送の度に CPU への割り込み要求を発生させるのか、データ転送を終了したときだけ CPU への割り込み要求を発生させるのかを指定します。

CHNS ビット（DTC チェーン転送選択ビット）

チェーン転送の条件を選択します。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可ビット）

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。

チェーン転送の詳細は、「16.4.6　**チェーン転送**」を参照してください。

16.2.3　DTC 転送元アドレスレジスタ（SAR）

アドレス　（CPUから直接アクセス不可能）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

注.　x：不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビット有効です。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット（b31~b24）の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

16.2.4　DTC 転送先アドレスレジスタ（DAR）

アドレス　（CPUから直接アクセス不可能）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

注.　x：不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビット有効です。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット（b31~b24）の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

16.2.5 DTC 転送カウントレジスタ A（CRA）

アドレス　（CPUから直接アクセス不可能）

●ノーマル転送モード

	CRA															
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

●リピート転送モード、ブロック転送モード

	CRAH								CRAL							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

注1.　転送モードによって機能が異なります。
注2.　x：不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタ A 下位レジスタ	転送回数を設定します	–
CRAH	転送カウンタ A 上位レジスタ		–

注.　リピート転送モード時およびブロック転送モード時は、CRAH、CRAL レジスタには同じ値を設定してください。

CRA レジスタは DTC の転送回数を指定するレジスタです。
転送モードによって機能が異なります。
CRA レジスタは CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合（MRA.MD[1:0] ビット = “00b”）

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。
転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。
1 回のデータ転送を行う度にデクリメント（–1）します。

(2) リピート転送モードの場合（MRA.MD[1:0] ビット = “01b”）

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。
転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。
CRAL レジスタは 1 回のデータ転送を行う度にデクリメント（–1）され、“00h” になると CRAH レジスタの値が転送されます。

(3) ブロック転送モードの場合（MRA.MD[1:0] ビット = “10b”）

CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。
転送回数は、設定値が“01h”のときは1回、“FFh”のときは255回となります。“00h”を設定しないでください。
CRAL レジスタは 1 回のデータ転送を行う度にデクリメント（–1）され、“00h” になると CRAH レジスタの値が転送されます。

16.2.6 DTC 転送カウントレジスタ B（CRB）

アドレス　（CPUから直接アクセス不可能）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

注. x：不定

CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。

ブロック転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。1 回のデータ転送を行う度にデクリメント（–1）します。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタに “FFFFh” を設定してください。

CRB レジスタは、CPU から直接アクセスすることはできません。

16.2.7 DTC コントロールレジスタ（DTCCR）

アドレス　0008 2400h

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	RRS	–	–	–	–
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	–	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC転送情報リードスキップ許可ビット	0：転送情報リードスキップを行わない 1：ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCCR レジスタは、DTC の制御の選択を行うレジスタです。

RRS ビット（DTC 転送情報リードスキップ許可ビット）

DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが “1” のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ（CRA レジスタ）が “0” になった場合と、ブロック転送で転送カウンタ（CRB レジスタ）が “0” になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

16.2.8 DTC ベクタベースレジスタ（DTCVBR）

アドレス　0008 2404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
					0	0	0	0	0	0	0	0	0	0	0	0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTCVBR レジスタは、DTC ベクタテーブルアドレス算出時のベースアドレスを設定するレジスタです。
下位 12 ビット（b11-b0）は “0” に固定されており、書き込みは無効です。
上位 4 ビット（b31-b28）への書き込みは無視され、b27 で指定した値でビット拡張されます。

16.2.9 DTC アドレスモードレジスタ（DTCADMOD）

アドレス　0008 2408h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHORT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0：フルアドレスモード 1：ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット（ショートアドレスモード設定ビット）

フルアドレスモードでは、4G バイト空間（00000000h ～ FFFFFFFFh）のアクセスが可能です。
ショートアドレスモードでは、16M バイト空間（00000000h ～ 007FFFFFh と FF800000h ～ FFFFFFFFh）のアクセスが可能です。

16.2.10 DTC モジュール起動レジスタ（DTCST）

アドレス　0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0：DTCモジュール停止 1：DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST レジスタは、DTC モジュールの動作／停止を設定するレジスタです。

DTCST ビット（DTC モジュール起動ビット）

DTC を起動要求受け付け可能とするためには、DTCST ビットを “1” にしてください。DTCST ビットを “0” にすると新たな起動要求を受け付けません。

動作中に “0” に書き換えた場合、受け付け済みの起動要求は処理が終わるまで動作します。

モジュールストップ機能および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを “0” にしてください。

モジュールストップ機能および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「16.8　消費電力低減機能」、および「9.　消費電力低減機能」を参照してください。

16.2.11 DTC ステータスレジスタ（DTCSTS）

アドレス　0008 240Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	–	–	–	–	–	–	–	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号モニタビット	DTC転送動作中にその起動要因をベクタ番号で示します。 DTC転送動作中（ACTフラグが"1"のとき）にのみ有効値を示します	R
b14-b8	–	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTCアクティブフラグ	0：DTC転送動作なし 1：DTC転送動作中	R

DTCSTS レジスタは、DTC の転送動作状態を示すレジスタです。

VECN[7:0] ビット（DTC アクティブベクタ番号モニタビット）

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが “1”（DTC 転送動作中）であれば、読み出された VECN[7:0] ビットは有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが “0”（DTC 転送動作なし）であれば、読み出された VECN[7:0] ビットは無効値です。

起動要因とベクタ番号の関係は**表 16.3** を参照してください。

ACT フラグ（DTC アクティブフラグ）

DTC の転送動作状態を示します。

［“1” になる条件］

- 起動要求に対して DTC が起動したとき

［“0” になる条件］

- 1 回の起動要求に対する DTC 動作が終了したとき

16.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込みに対応する割り込みコントローラ（ICU）の DTCERn.DTCE ビット（n = 割り込みベクタ番号）を “1” にすると DTC 起動要因となります。

ソフトウェア起動（SWINT）については、「11. 割り込みコントローラ（ICUa）」を参照してください。

1 回のデータ転送（チェーン転送の場合、連続した転送の最後）終了時に DTC は以下の動作を行います。

- 指定した総転送数の転送終了時は DTCERn.DTCE ビットを “0” にして CPU に割り込みを要求します。
- 上記以外の転送終了時の場合、MRB.DISEL ビットが “1” のときは CPU に割り込みを要求し、MRB.DISEL ビットが “0” のときは起動要因となった割り込みステータスフラグ（IRi.IR）を “0” にします。

16.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別にベクタテーブルから転送情報の先頭アドレスを読み、この先頭アドレスから転送情報を読みます。

ベクタテーブルはベースアドレス（先頭アドレス）の下位 12 ビットが “0” になるように配置してください。DTC ベクタベースレジスタ（DTCVBR）に DTC ベクタテーブルのベースアドレスを設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n の転送情報 (n) の先頭アドレスは、ベクタテーブルのベースアドレスに対し、+4n 番地としてください。

転送情報は、ショートアドレスモード（3 ロングワード）、フルアドレスモード（4 ロングワード）のいずれかで配置できます。DTCADMOD.SHORT ビットで、ショートアドレスモード（SHORT ビットが “1”）、フルアドレスモード（SHORT ビットが “0”）の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 16.2 に示します。RAM 領域上の転送情報の配置を図 16.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は図 16.16 を参照してください。

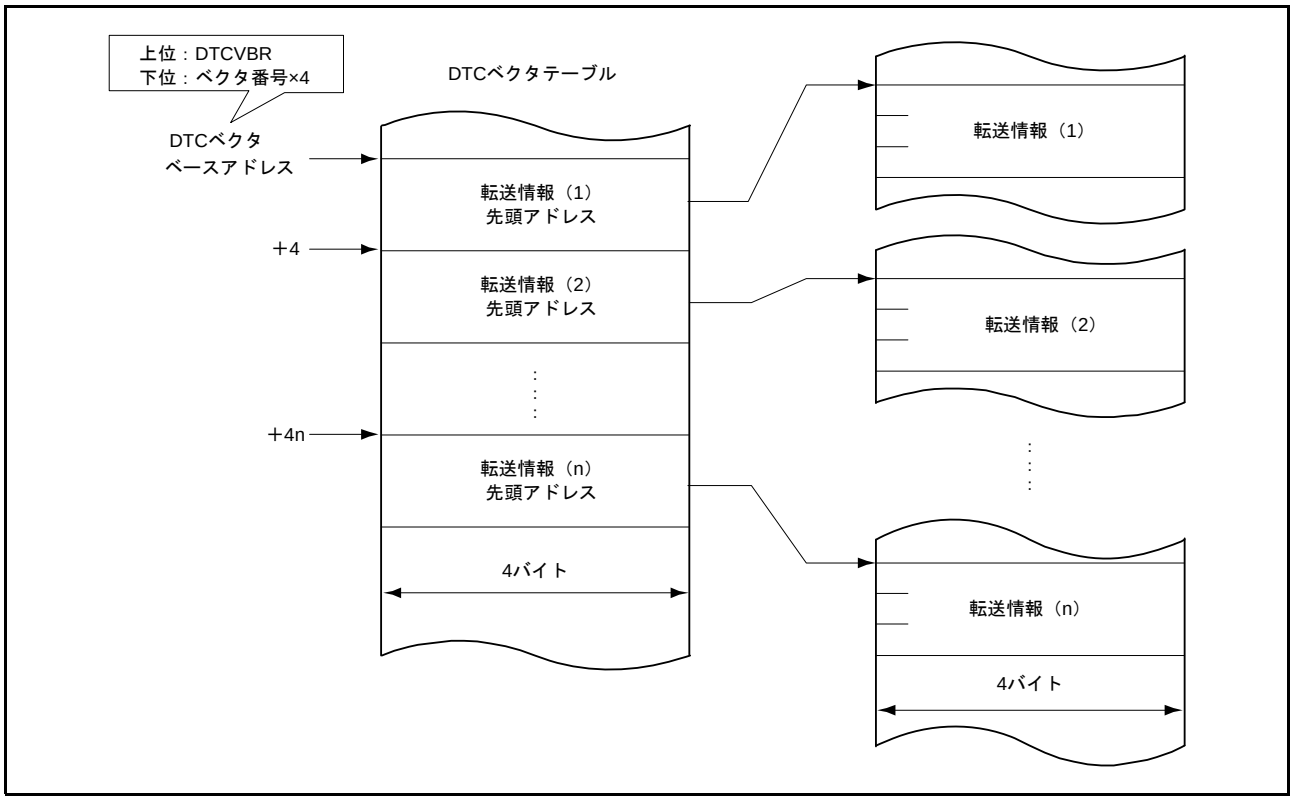


図 16.2 DTC ベクタテーブルと転送情報の対応

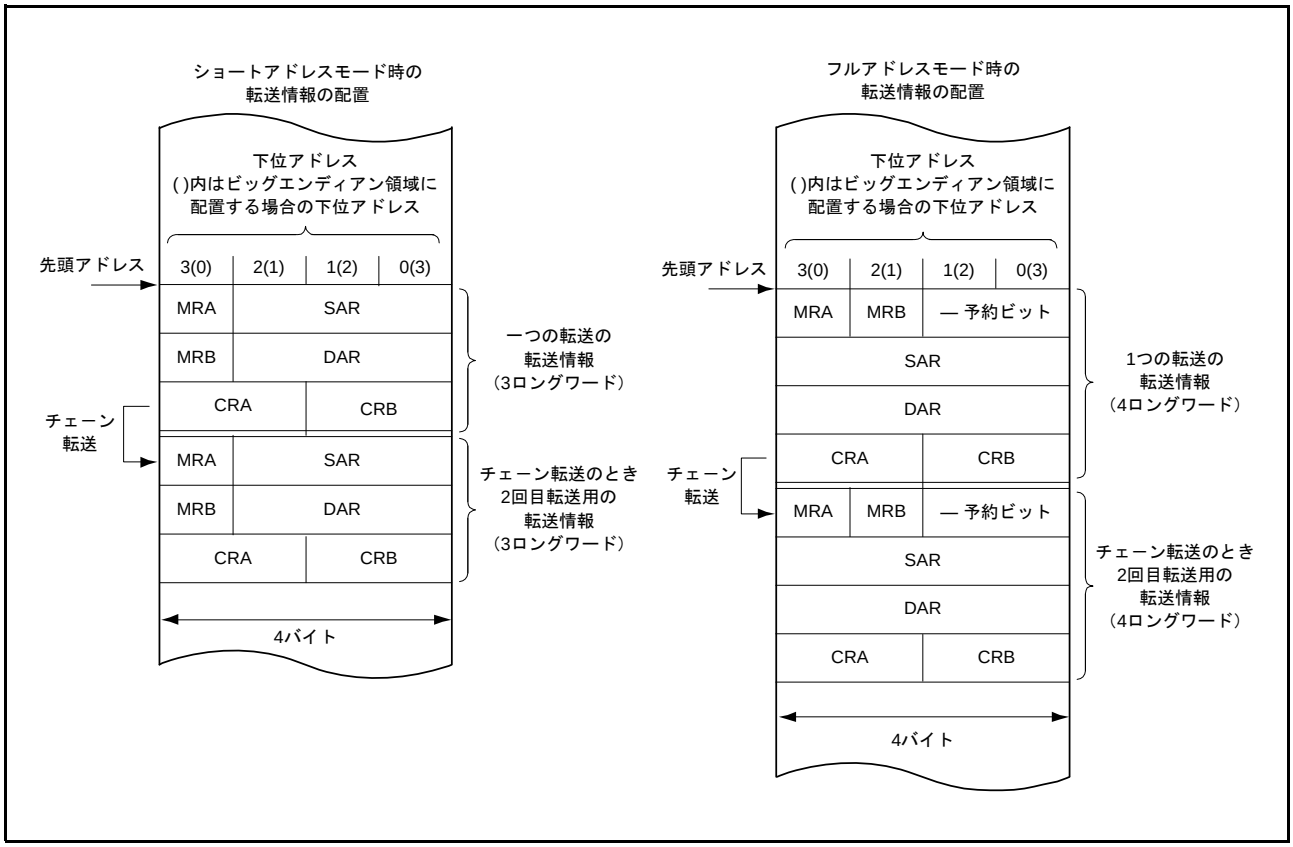


図 16.3　　データ領域上の転送情報の配置

16.3.2 起動要因とベクタアドレス

DTC の起動要因とベクタアドレスの関係を表 16.3 に示します。

表16.3 割り込み要因とDTCベクタアドレスおよびICU.DTCERnレジスタの対応 (1 / 3)

起動要求発生元	起動要因	ベクタ番号	DTCベクタアドレスオフセット	ICU.DTCERn	優先順位 (注)
ICU	SWINT	27	006Ch	ICU.DTCER027	高
CMT0	CMI0	28	0070h	ICU.DTCER028	↑
CMT1	CMI1	29	0074h	ICU.DTCER029	
CMT2	CMI2	30	0078h	ICU.DTCER030	
CMT3	CMI3	31	007Ch	ICU.DTCER031	
USB0	D0FIFO0	36	0090h	ICU.DTCER036	
	D1FIFO0	37	0094h	ICU.DTCER037	
USB1	D0FIFO1	40	00A0h	ICU.DTCER040	
	D1FIFO1	41	00A4h	ICU.DTCER041	
RSPI0	SPRI0	45	00B4h	ICU.DTCER045	
	SPTI0	46	00B8h	ICU.DTCER046	
RSPI1	SPRI1	49	00C4h	ICU.DTCER049	
	SPTI1	50	00C8h	ICU.DTCER050	
外部端子	IRQ0	64	0100h	ICU.DTCER064	
	IRQ1	65	0104h	ICU.DTCER065	
	IRQ2	66	0108h	ICU.DTCER066	
	IRQ3	67	010Ch	ICU.DTCER067	
	IRQ4	68	0110h	ICU.DTCER068	
	IRQ5	69	0114h	ICU.DTCER069	
	IRQ6	70	0118h	ICU.DTCER070	
	IRQ7	71	011Ch	ICU.DTCER071	
	IRQ8	72	0120h	ICU.DTCER072	
	IRQ9	73	0124h	ICU.DTCER073	
	IRQ10	74	0128h	ICU.DTCER074	
	IRQ11	75	012Ch	ICU.DTCER075	
	IRQ12	76	0130h	ICU.DTCER076	
	IRQ13	77	0134h	ICU.DTCER077	
	IRQ14	78	0138h	ICU.DTCER078	
	IRQ15	79	013Ch	ICU.DTCER079	
AD0	ADI0	98	0188h	ICU.DTCER098	
AD1	ADI1	99	018Ch	ICU.DTCER099	
S12AD	S12ADI0	102	0198h	ICU.DTCER102	
MTU0	TGIA0	114	01C8h	ICU.DTCER114	
	TGIB0	115	01CCh	ICU.DTCER115	
	TGIC0	116	01D0h	ICU.DTCER116	
	TGID0	117	01D4h	ICU.DTCER117	
MTU1	TGIA1	121	01E4h	ICU.DTCER121	
	TGIB1	122	01E8h	ICU.DTCER122	
MTU2	TGIA2	125	01F4h	ICU.DTCER125	
	TGIB2	126	01F8h	ICU.DTCER126	低

表16.3　割り込み要因とDTCベクタアドレスおよびICU.DTCERnレジスタの対応 (2 / 3)

起動要求発生元	起動要因	ベクタ番号	DTCベクタアドレスオフセット	ICU.DTCERn	優先順位 (注)
MTU3	TGIA3	129	0204h	ICU.DTCER129	高
	TGIB3	130	0208h	ICU.DTCER130	↑
	TGIC3	131	020Ch	ICU.DTCER131	
	TGID3	132	0210h	ICU.DTCER132	
MTU4	TGIA4	134	0218h	ICU.DTCER134	
	TGIB4	135	021Ch	ICU.DTCER135	
	TGIC4	136	0220h	ICU.DTCER136	
	TGID4	137	0224h	ICU.DTCER137	
	TCIV4	138	0228h	ICU.DTCER138	
MTU5	TGIU5	139	022Ch	ICU.DTCER139	
	TGIV5	140	0230h	ICU.DTCER140	
	TGIW5	141	0234h	ICU.DTCER141	
MTU6	TGIA6	142	0238h	ICU.DTCER142	
	TGIB6	143	023Ch	ICU.DTCER143	
	TGIC6	144	0240h	ICU.DTCER144	
	TGID6	145	0244h	ICU.DTCER145	
MTU7	TGIA7	149	0254h	ICU.DTCER149	
	TGIB7	150	0258h	ICU.DTCER150	
MTU8	TGIA8	153	0264h	ICU.DTCER153	
	TGIB8	154	0268h	ICU.DTCER154	
MTU9	TGIA9	157	0274h	ICU.DTCER157	
	TGIB9	158	0278h	ICU.DTCER158	
	TGIC9	159	027Ch	ICU.DTCER159	
	TGID9	160	0280h	ICU.DTCER160	
MTU10	TGIA10	162	0288h	ICU.DTCER162	
	TGIB10	163	028Ch	ICU.DTCER163	
	TGIC10	164	0290h	ICU.DTCER164	
	TGID10	165	0294h	ICU.DTCER165	
	TCIV10	166	0298h	ICU.DTCER166	
MTU11	TGIU11	167	029Ch	ICU.DTCER167	
	TGIV11	168	02A0h	ICU.DTCER168	
	TGIW11	169	02A4h	ICU.DTCER169	
TMR0	CMIA0	174	02B8h	ICU.DTCER174	
	CMIB0	175	02BCh	ICU.DTCER175	
TMR1	CMIA1	177	02C4h	ICU.DTCER177	
	CMIB1	178	02C8h	ICU.DTCER178	
TMR2	CMIA2	180	02D0h	ICU.DTCER180	
	CMIB2	181	02D4h	ICU.DTCER181	
TMR3	CMIA3	183	02DCh	ICU.DTCER183	
	CMIB3	184	02E0h	ICU.DTCER184	
DMACA	DMACI0	198	0318h	ICU.DTCER198	
	DMACI1	199	031Ch	ICU.DTCER199	
	DMACI2	200	0320h	ICU.DTCER200	
	DMACI3	201	0324h	ICU.DTCER201	低

表16.3　割り込み要因とDTCベクタアドレスおよびICU.DTCERnレジスタの対応 (3 / 3)

起動要求発生元	起動要因	ベクタ番号	DTCベクタアドレスオフセット	ICU.DTCERn	優先順位 (注)
EXDMAC	EXDMACI0	202	0328h	ICU.DTCER202	高
	EXDMACI1	203	032Ch	ICU.DTCER203	↑
SCI0	RXI0	215	035Ch	ICU.DTCER215	
	TXI0	216	0360h	ICU.DTCER216	
SCI1	RXI1	219	036Ch	ICU.DTCER219	
	TXI1	220	0370h	ICU.DTCER220	
SCI2	RXI2	223	037Ch	ICU.DTCER223	
	TXI2	224	0380h	ICU.DTCER224	
SCI3	RXI3	227	038Ch	ICU.DTCER227	
	TXI3	228	0390h	ICU.DTCER228	
SCI5	RXI5	235	03ACh	ICU.DTCER235	
	TXI5	236	03B0h	ICU.DTCER236	
SCI6	RXI6	239	03BCh	ICU.DTCER239	
	TXI6	240	03C0h	ICU.DTCER240	
RIIC0	ICRXI0	247	03DCh	ICU.DTCER247	
	ICTXI0	248	03E0h	ICU.DTCER248	
RIIC1	ICRXI1	251	03ECh	ICU.DTCER251	
	ICTXI1	252	03F0h	ICU.DTCER252	低

注.　DTCはいったん起動要求を受け付けると、その１要求分の転送が終わるまでは、優先順位に関わりなく新たな起動要求を受け付けません。また、DMACA/DTC転送中に複数の起動要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCモジュール起動レジスタ（DTCST）が“0”の状態で複数の起動要求が発生した場合、DTCが起動許可状態（DTCSTが“1”）になったときに、最も優先順位の高い要求が受け付けられます。

16.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読みます。次に DTC ベクタが示す転送情報格納アドレスから転送情報を読んでデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、転送後個々にインクリメント、デクリメント、あるいはアドレス固定になります。

DTC の転送モードを表 16.4 に示します。

表16.4　DTCの転送モード

転送モード	1回の起動要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト／ワード／ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード（注1）	1バイト／ワード／ロングワード	1、2または4増減あるいはアドレス固定	1～256回（注3）
ブロック転送モード（注2）	CRAHレジスタで指定したブロックサイズ（1～255バイト／ワード／ロングワード）	1、2または4増減あるいはアドレス固定	1～65536回

注1.　転送元または転送先のいずれかをリピート領域に設定
注2.　転送元または転送先のいずれかをブロック領域に設定
注3.　指定回数の転送終了後は、初期状態を回復し動作を継続（リピート）する。

また、MRB.CHNE ビットを “1” にしておくことにより、一つの起動要因で複数の転送を行うことができます（チェーン転送）。MRB.CHNS ビットの設定で、転送カウンタ = 0 のときにチェーン転送を行うことも可能です。

DTC 動作フローチャートを図 16.4 に示します。チェーン転送の条件を表 16.5 に示します（第 2 の転送から第 3 の転送を行う組み合わせ、および第 3 の転送以降の組み合わせは省略してあります）。

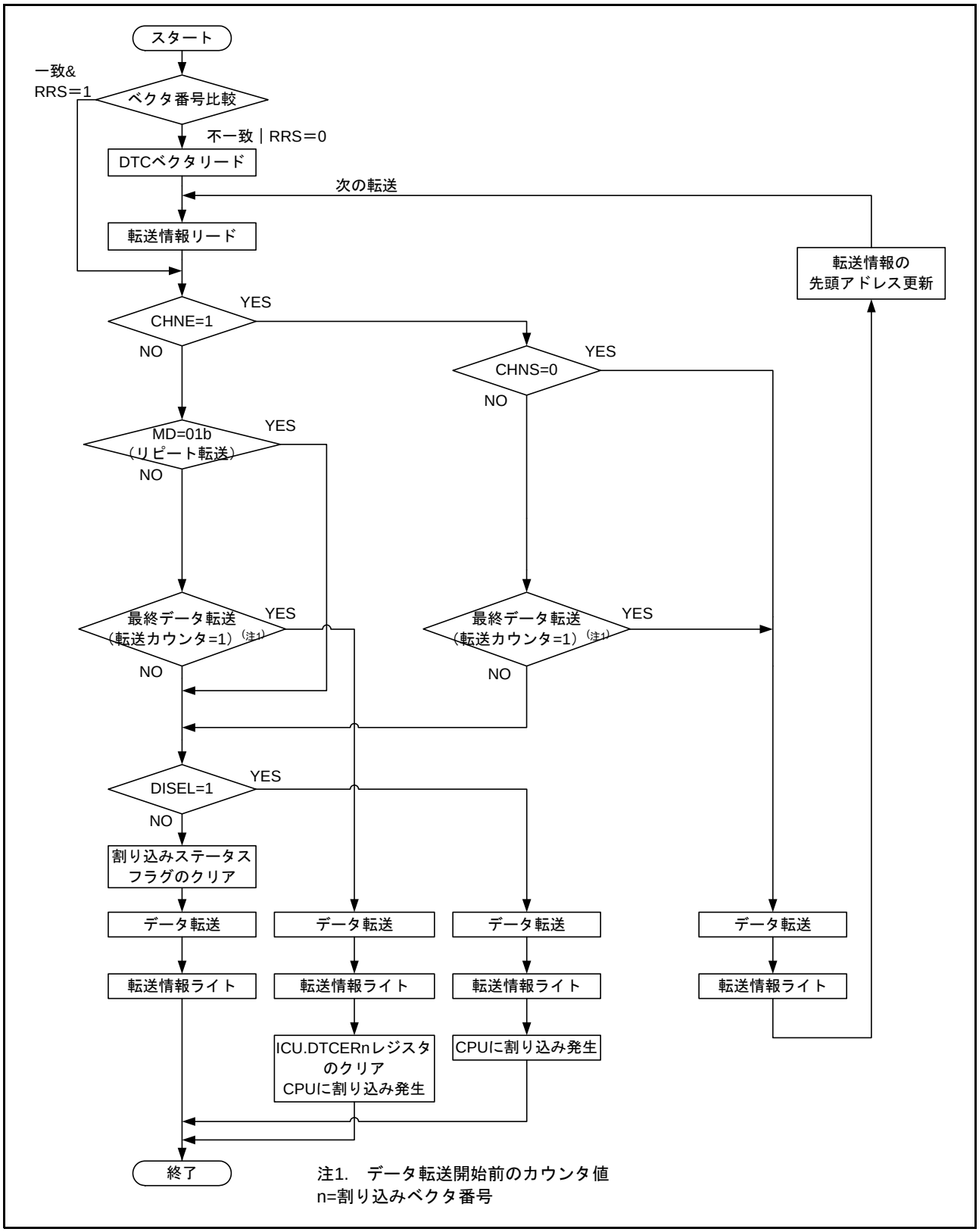


図 16.4　　DTC 動作フローチャート

表16.5　チェーン転送の条件

第1の転送				第2の転送（注3）				DTC転送
CHNEビット	CHNSビット	DISELビット	転送カウンタ（注1）（注2）	CHNEビット	CHNSビット	DISELビット	転送カウンタ（注1）（注2）	
0	—	0	（1→0）以外	—	—	—	—	第1転送で終了
0	—	0	（1→0）	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	（1→0）以外	第2転送で終了
				0	—	0	（1→0）	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	（1→*）以外	—	—	—	—	第1転送で終了
1	1	—	（1→*）	0	—	0	（1→0）以外	第2転送で終了
				0	—	0	（1→0）	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	（1→*）以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1.　転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。
ノーマル転送モード：CRAレジスタ、リピート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2.　転送最終時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは（1→0）、リピート転送モードでは（1→CRAH）となります。表中の（1→*）はこの両方の動作を指しています。

注3.　第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが"1"の組み合わせを省略しています。

16.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。

DTC 起動要求時、今回起動の DTC ベクタ番号と前回起動の DTC ベクタ番号は常に比較されます。比較結果が一致し、RRS ビット が “1” のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、ベクタアドレスのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ（CRA レジスタ）が 0 になった場合と、ブロック転送で転送カウンタ（CRB レジスタ）が 0 になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 16.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 RRS ビット を “0” にし、DTC ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS ビットを “0” にすると、保持されていたベクタ番号は破棄され、次回の起動時に更新された DTC ベクタテーブルおよび転送情報が読めます。

16.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 16.6 に示します。

なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。また、フルアドレスモードでは、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 16.6　転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

16.4.3 ノーマル転送モード

1つの起動要因で、1バイト、1ワード、1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表16.7に、ノーマル転送モードのメモリマップを図16.5に示します。

表16.7　ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定（注1）
DAR	転送先アドレス	インクリメント／デクリメント／固定（注1）
CRA	転送カウンタA	CRA–1
CRB	転送カウンタB	更新されません

注1.　アドレス固定のときはライトバックはスキップされます。

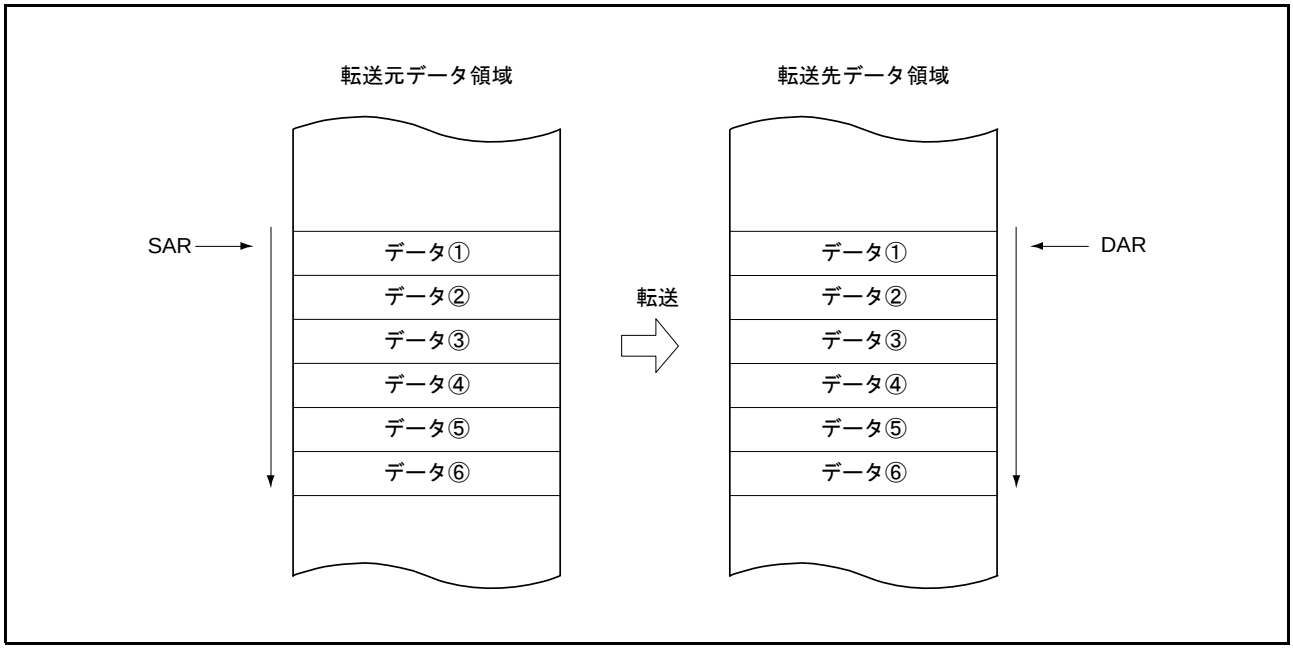


図16.5　ノーマル転送モードのメモリマップ

16.4.4 リピート転送モード

1 つの起動要因で、1 バイト、1 ワードまたは 1 ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は 1 ～ 256 まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが “00h” になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは “00h” にならないので、MRB.DISEL ビットが “0”（指定されたデータ転送終了時、CPU に割り込み要求が発生）のときに CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表16.8に、リピート転送モードのメモリマップを図16.6に示します。

表16.8　リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定（注1）	（MRB.DTS ビット = “0”のとき） インクリメント／デクリメント／固定（注1） （MRB.DTS ビット = “1”のとき） SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定（注1）	（MRB.DTS ビット = “0”のとき） DAR レジスタの初期値 （MRB.DTS ビット = “1”のとき） インクリメント／デクリメント／固定（注1）
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL–1	CRAH
CRB	転送カウンタ B	更新されません	更新されません

注1.　アドレス固定のときは、ライトバックはスキップされます。

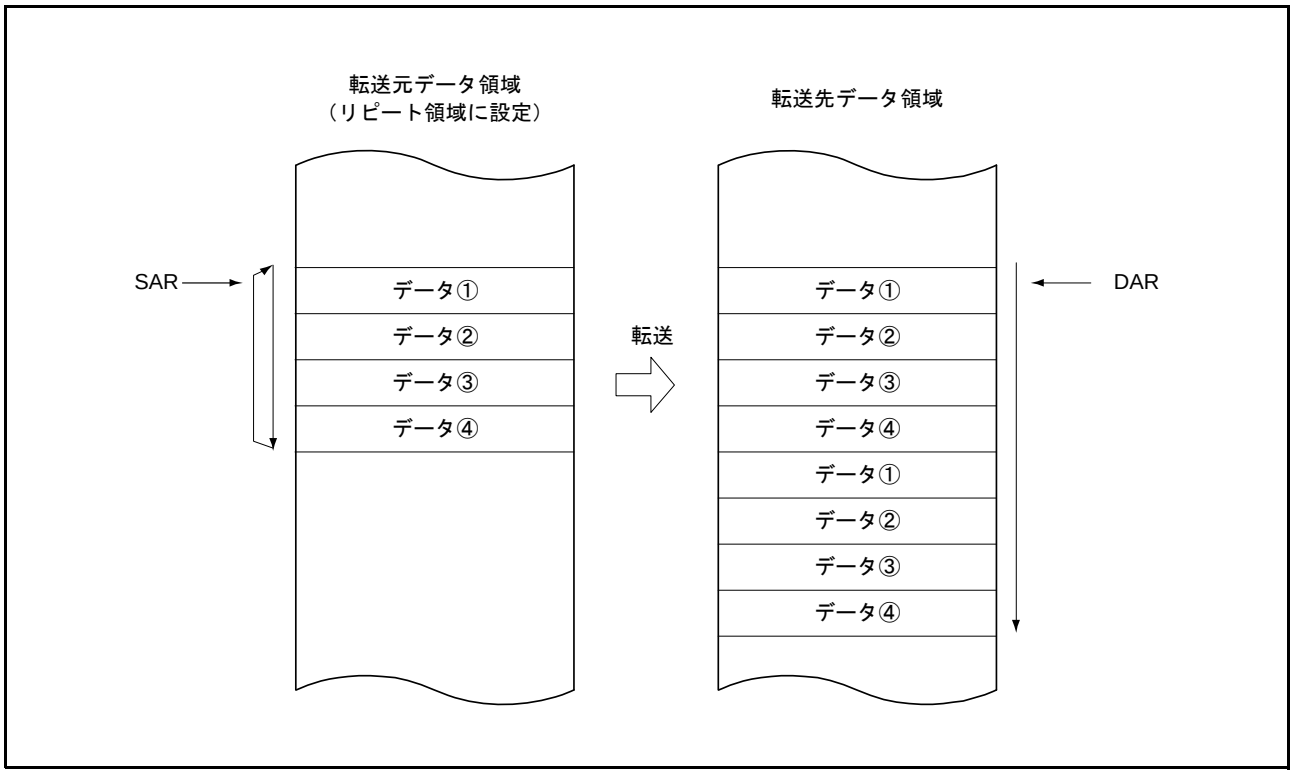


図 16.6　リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合）

16.4.5 ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。

MRB.DTSビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～255バイト（または1～255ワード、1～255ロングワード）の指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタCRALレジスタと、ブロック領域に指定したアドレスレジスタ（MRB.DTSビットが“1”のときSARレジスタ、DTSビットが“0”のときDARレジスタ）の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

ブロック転送回数は、1～65536まで指定できます。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表16.9に、ブロック転送モードのメモリマップを図16.7に示します。

表16.9　ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	（MRB.DTSビット＝“0”のとき） インクリメント／デクリメント／固定（注1） （MRB.DTSビット＝“1”のとき） SARレジスタの初期値
DAR	転送先アドレス	（MRB.DTSビット＝“0”のとき） DARレジスタの初期値 （MRB.DTSビット＝“1”のとき） インクリメント／デクリメント／固定（注1）
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB−1

注1.　アドレス固定のときは、ライトバックはスキップされます。

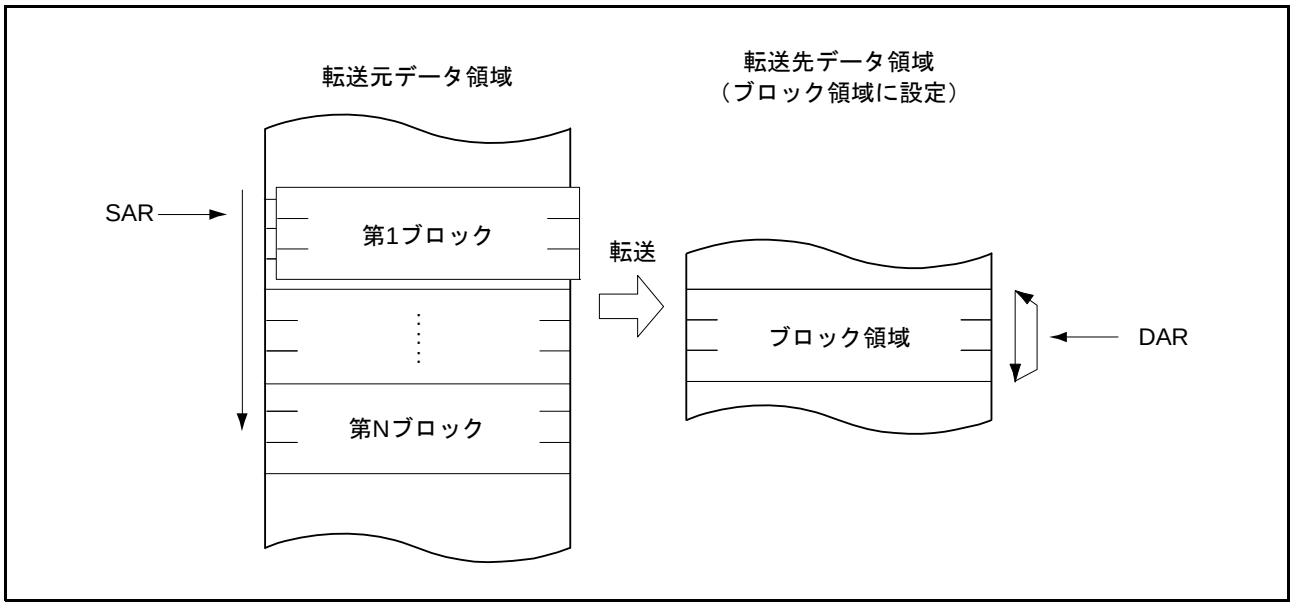


図16.7　ブロック転送モードのメモリマップ（転送先をブロック領域に指定した場合）

16.4.6　チェーン転送

MRB.CHNE ビットを “1” にするとチェーン転送が可能です。チェーン転送では 1 つの起動要因に対して複数のデータ転送を行います。

MRB.CHNE ビットを “1”、MRB.CHNS ビットを “0” に設定した場合、指定した転送回数の終了による CPU への割り込み要求や、MRB.DISEL ビット =“1”（DTC データ転送のたびに、CPU に割り込み要求を発生）による CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグに影響を与えません。

データ転送を定義する SAR、DAR、CRA、CRB、および MRA、MRB レジスタは個別に設定できます。

チェーン転送の動作を**図 16.8** に示します。

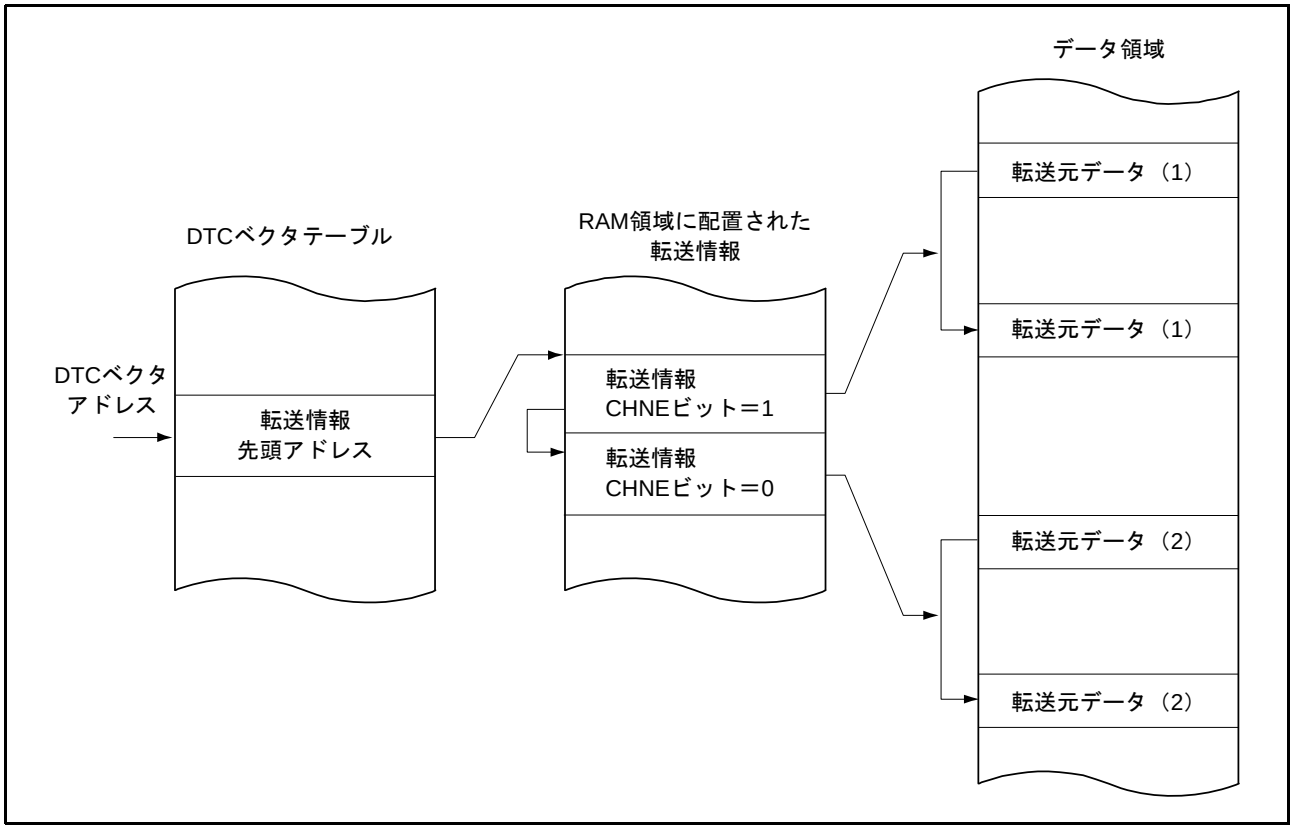


図 16.8　チェーン転送の動作

MRB.CHNE ビットを “1”、MRB.CHNS ビットを “1” にした場合、指定されたデータ転送終了時（転送カウンタが "0" になるとき）のみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送終了時にチェーン転送を行います。

チェーン転送の条件詳細は**表 16.5** を参照してください。

16.4.7 動作タイミング

DTC の動作タイミングの例を図 16.9 ～図 16.13 に示します。

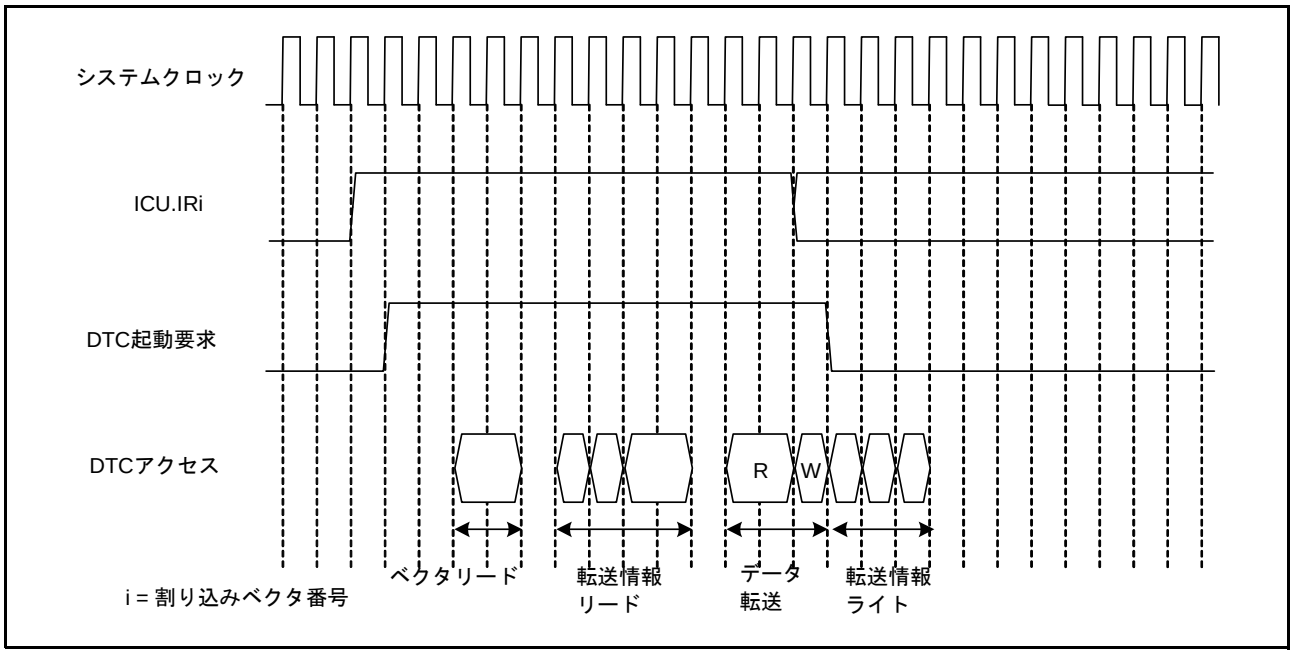


図 16.9　DTC 動作タイミング例（1）
（ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合）

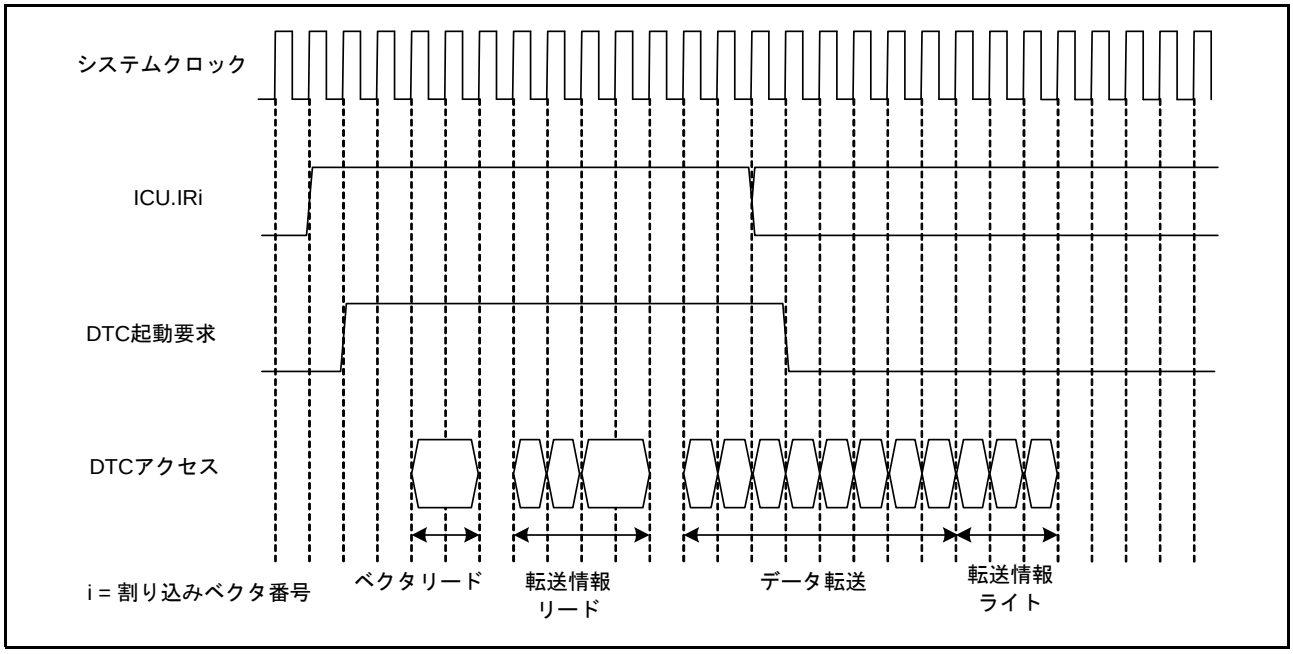


図 16.10　DTC 動作タイミング例（2）
（ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合）

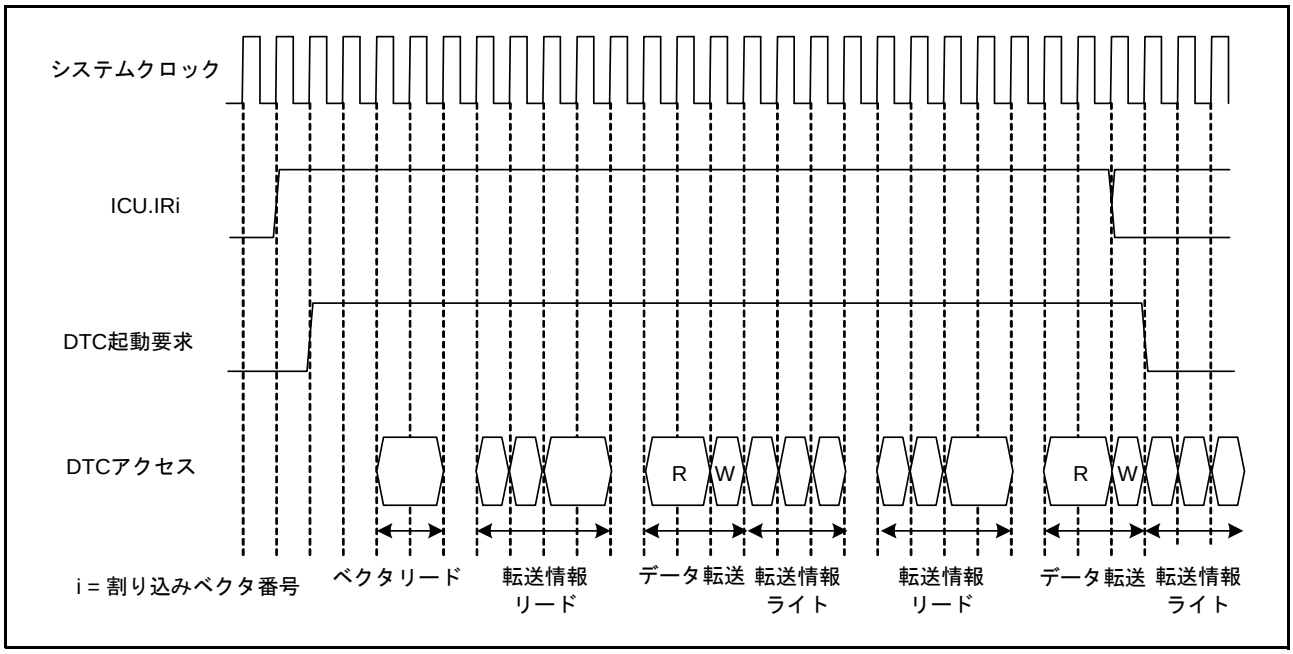


図 16.11　DTC 動作タイミング例（3）（ショートアドレスモード、チェーン転送の場合）

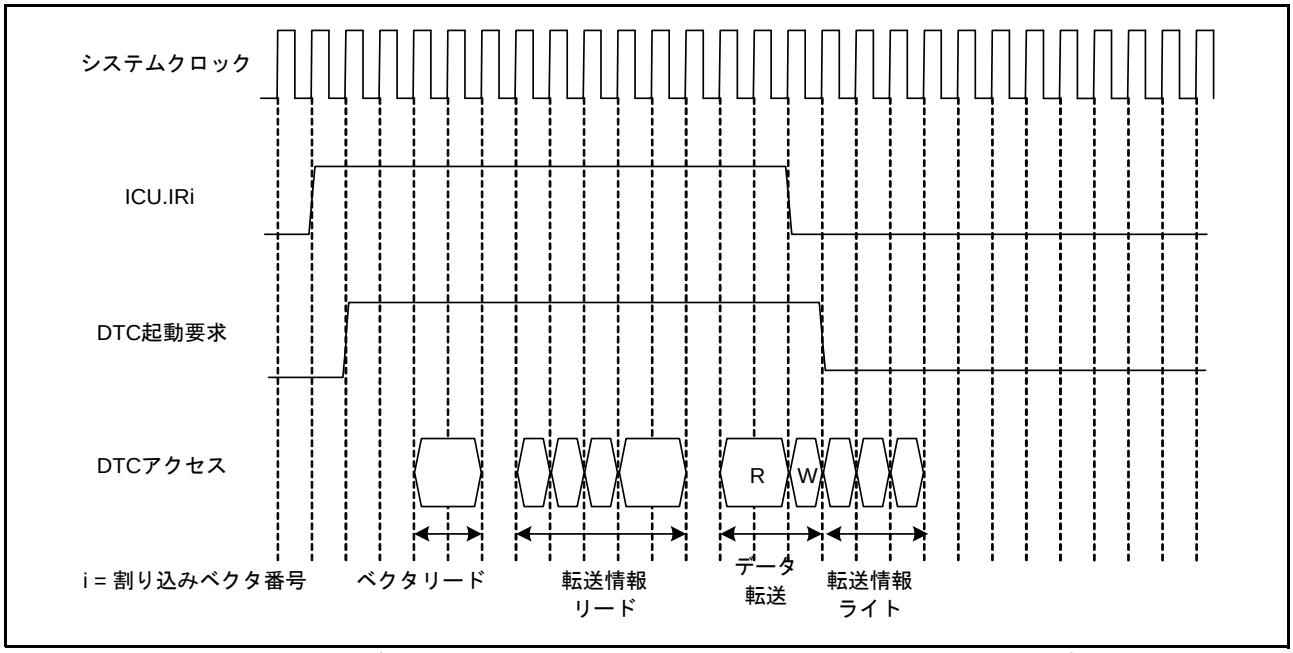


図 16.12　DTC 動作タイミング例（4）（フルアドレスモード、ノーマル転送モード、リピート転送モードの場合）

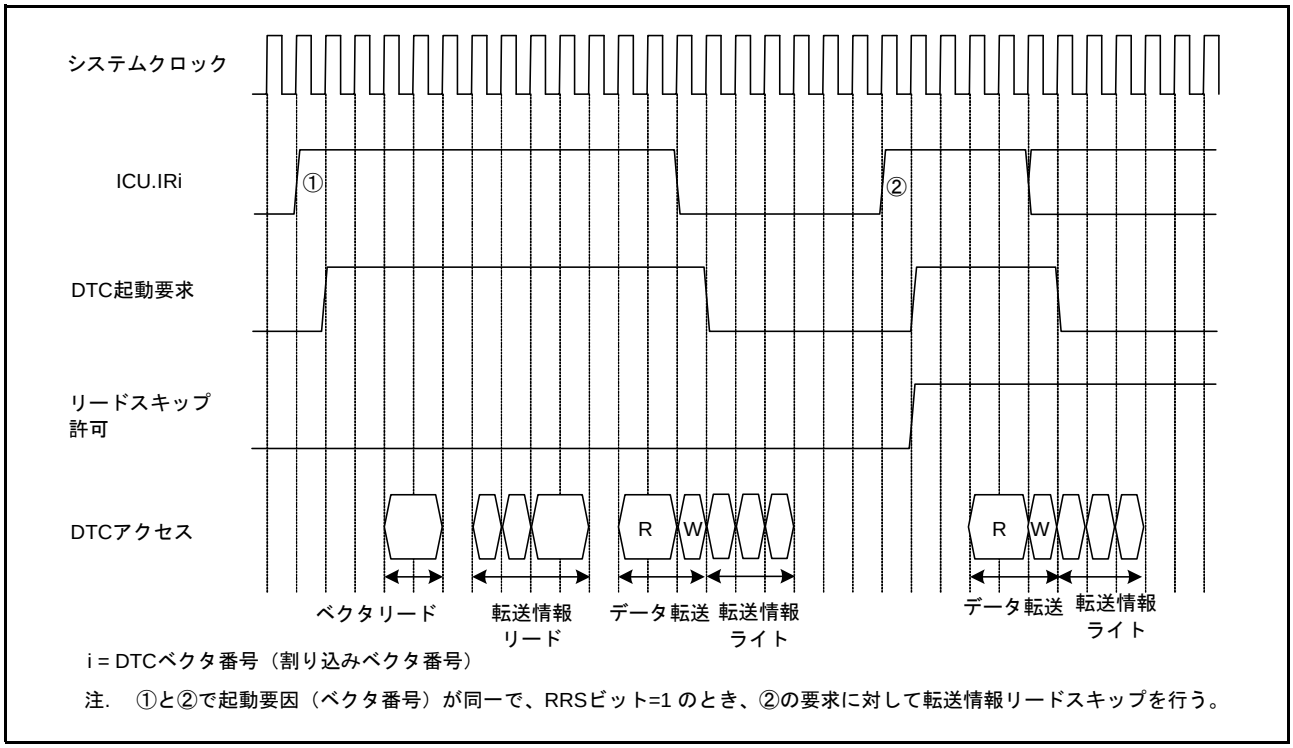


図 16.13　転送情報スキップ時の動作例

16.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行状態を**表 16.10** に示します。

表16.10　DTCの実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データリード	データライト	内部動作	
ノーマル	Cv+1	0（注1）	4×Ci+1（注2）	3×Ci+1（注3）	0（注1）	3×Ci（注4）	2×Ci（注5）	Ci（注6）	Cr+1	Cw	2	0（注1）
リピート	Cv+1	0（注1）	4×Ci+1（注2）	3×Ci+1（注3）	0（注1）	3×Ci（注4）	2×Ci（注5）	Ci（注6）	Cr+1	Cw	2	0（注1）
ブロック（注7）	Cv+1	0（注1）	4×Ci+1（注2）	3×Ci+1（注3）	0（注1）	3×Ci（注4）	2×Ci（注5）	Ci（注6）	P×Cr	P×Cw	2	0（注1）

注1.　転送情報スキップのとき
注2.　フルアドレスモード動作のとき
注3.　ショートアドレスモード動作のとき
注4.　SAR レジスタ、DAR レジスタがいずれもアドレス固定でないとき
注5.　SAR レジスタもしくはDAR レジスタがアドレス固定のとき
注6.　SAR レジスタと DAR レジスタがアドレス固定のとき
注7.　ブロックサイズが2以上の場合です。ブロックサイズが1の場合はノーマル転送のサイクル数となります。

【記号説明】
P：ブロックサイズ（CRAH、CRAL レジスタの設定値）
Cv：ベクタ情報格納先アクセスサイクル
Ci：転送情報格納先アクセスサイクル
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル

（ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック（ICLK）です。）

（Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、**「37.　RAM」**、**「38.　ROM（コード格納用フラッシュメモリ）」**、**「5.　I/O レジスタ」**、**「12.2.5　外部バス」**を参照してください。）

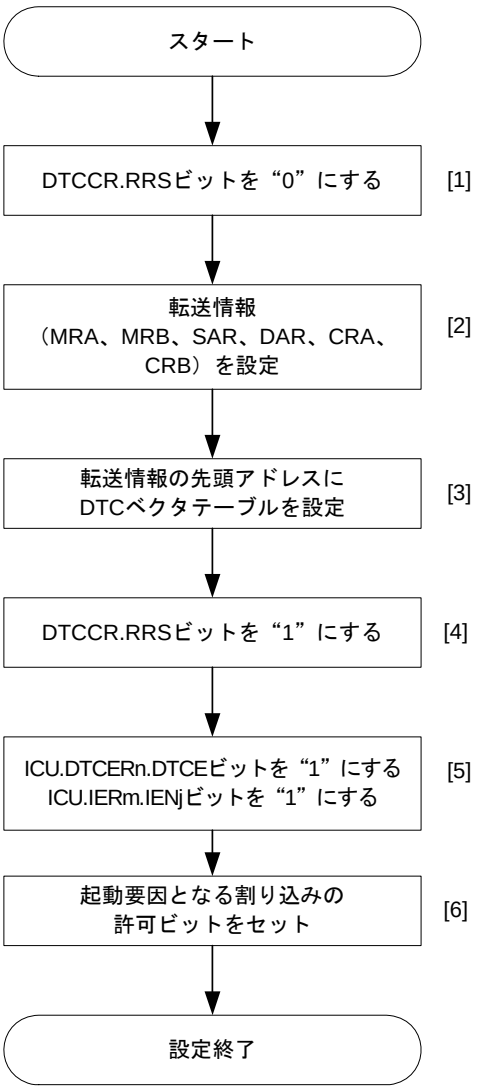
各処理状態の実施順序は、**「16.4.7　動作タイミング」**を参照してください。

16.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。バスの調停については、**「12.　バス」**を参照してください。

16.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ（DTCVBR）を設定してください。
DTC 各起動要因の設定手順を図 16.14 にしたがい行ってください。
また、DTC モジュール起動ビット（DTCST.DTCST ビット）を “1” にしてください。



起動要因となる割り込みに対応するICU.IERm.IENjビットを“0”にして、以下の設定を行ってください。

[1] DTCCR.RRSビットを“0”にすることで、転送情報リードスキップに対するフラグがリセットされます。“0”にした後、DTCを起動したときは、転送情報リードスキップは行われません。転送情報を更新したときは、この設定を行ってください。

[2] 転送情報（MRA、MRB、SAR、DAR、CRA、CRB）をデータ領域上に配置してください。転送情報の設定は「16.2　レジスタの説明」を参照してください。また、転送情報の配置方法は、「16.3.1　転送情報の配置とDTCベクタテーブル」を参照してください。

[3] 転送情報の先頭アドレスにDTCベクタテーブルを設定してください。DTCベクタテーブルの設定方法は「16.3.1　転送情報の配置とDTCベクタテーブル」を参照してください。

[4] DTCCR.RRSビットを“１”にすることで、同一割り込み要因による連続したDTC起動を行う場合の2回目の転送以降の転送情報リードサイクルをスキップできます。RRSビットへの1ライトはいつでも設定可能です。ただしDTC転送中の設定は、次回転送から有効になります。

[5] DTCを起動する割り込みに対応するICU.DTCERn.DTCEビットを“1”に、ICU.IERm.IENjビットを“1”に設定してください。割り込み要因とDTCERnレジスタの関係は、表16.3を参照してください。

[6] 起動要因となる割り込みの許可ビットを“1”にします。要因となる割り込みが発生すると、DTCが起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。

注. 上記各要因ごとの設定に加えて、DTC要因共通の設定として、DTCモジュール起動ビット（DTCST.DTCSTビット）を“1”にしてください。

図 16.14　DTC 各起動要因の設定手順

16.6 DTC 使用例

16.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定（MRA.SM[1:0] ビット = “00b”）、ノーマル転送モード（MRA.MD[1:0] ビット = “00b”）、バイトサイズ（MRA.SZ[1:0] ビット = “00b”）を設定します。MRB レジスタは、転送先アドレスインクリメント（MRB.DM[1:0] ビット = “10b”）、1 回の割り込みで 1 回のデータ転送（MRB.CHNE ビット = “0”、MRB.DISEL ビット = “0”）を行います。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタには SCIn.RDR レジスタ（n = 0 ～ 3、5、6）のアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128（“0080h”）を設定します。CRB レジスタには、“FFFFh” を設定してください。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCIn.SCR.RIE ビットを “1” にし、受信完了（RXI）割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI の 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCIn.RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送終了後、CRA レジスタが “0” になると、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

16.6.2 チェーン転送

DTC のチェーン転送の例として、PPG によるパルス出力を行う例を示します。

チェーン転送を使ってパルス出力データの転送と、PPG 出力トリガの周期の変更を行うことができます。チェーン転送の前半で PPGn.NDRH、PPGn.NDRL レジスタ（n = 0、1）へのリピート転送モード、後半で MTUn.TGR レジスタ（n = 0 ～ 11）へのノーマル転送を設定します。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェーン転送の後半（MRB.CHNE ビット = “0” のときの転送）に限られるためです。

以下に MTUn.TRGA レジスタ（n ＝ 0 ～ 4、6 ～ 10）のコンペアマッチ割り込みを DTC の起動要因として使用する例を示します。

(1) 第 1 転送の転送情報の設定

PPGn.NDRH、PPGn.NDRL レジスタへの転送の設定を行います。MRA レジスタに、転送元アドレスインクリメント（MRA.SM[1:0] ビット = “10b”）、リピート転送モード（MRA.MD[1:0] ビット = “01b”）、ワードサイズ（MRA.SZ[1:0] ビット = “01b”）を設定します。MRB レジスタは転送先アドレス固定（MRB.DM[1:0] ビット = “00b”）、チェーン転送（MRB.CHNE ビット = “1”、MRB.CHNS ビット = “0” にします。転送元をリピート領域（MRB.DTS ビット = “1”）に設定します。SAR レジスタはデータテーブルの先頭アドレス、DAR レジスタは PPGn.NDRH レジスタのアドレス、CRAH、CRAL レジスタにはデータテーブルサイズを設定します。CRB レジスタには、“FFFFh” を設定してください。

(2) 第 2 転送の転送情報の設定

MTUn.TGRA レジスタへの転送の設定を行います。MRA レジスタは転送元アドレスインクリメント（MRA.SM[1:0] ビット = “10b”）、ノーマル転送モード（MRA.MD[1:0] ビット = “00b”）、ワードサイズ（MRA.SZ[1:0] ビット = “01b”）を設定します。MRB レジスタは、転送先アドレス固定（MRB.DM[1:0] ビット = “00b”）、1 回の割り込みで 1 回のデータ転送（MRB.CHNE ビット = “0”、MRB.DISEL ビット = “0”）を行います。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタはデータテーブルの先頭アドレス、DAR レジスタは MTUn.TGRA レジスタのアドレス、CRA レジスタはデータテーブルサイズを設定します。CRB レジスタには、“FFFFh” を設定してください。

(3) 転送情報の配置方法

PPGn.NDRH、PPGn.NDRL レジスタ転送用転送情報の後に連続して MTU 転送用転送情報を配置します。

(4) DTC ベクタテーブルの設定

PPGn.NDRH、PPGn.NDRL レジスタ転送用転送情報の先頭アドレスを DTC ベクタテーブルに設定します。

(5) ICU の設定と DTC モジュール起動

TGIA 割り込みに対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(6) MTU の設定

MTUn.TIOR レジスタで MTUn.TGRA レジスタをアウトプットコンペアレジスタ（出力禁止）に設定し、MTUn.TIER レジスタで TGInA 割り込み要求を許可します。

(7) PPG の設定

PPGn.PODRH、PPGn.PODRL レジスタに出力初期値を設定し、PPGn.NDRH、PPGn.NDRL レジスタに次の出力値を設定します。PORTn.DDR レジスタ（n = 0 ～ 9、A ～ G）、PPGn.NDRH、PPGn.NDRL レジスタの出力を行うビットを “1” にします。また、PPGn.PCR レジスタ（n = A ～ E、G）で出力トリガとなる MTU のコンペアマッチを選択します。

(8) MTU の起動

MTUn.TSTR.CST[5:0] ビット（n = A、B）を “1” にし、MTUn.TCNT カウンタのカウント動作を開始します。

(9) DTC 転送

MTUn.TGRA レジスタのコンペアマッチが発生する度に次の出力値が PPGn.NDRH、PPGn.NDRL レジスタへ、次の出力トリガ周期の設定値が MTUn.TGRA レジスタへそれぞれ転送されます。

(10) 割り込み処理

指定した回数の転送終了後（MTU 転送用 CRA レジスタが “0” になると）、CPU に TGIAn 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

16.6.3 カウンタ = 0 のときのチェーン転送

カウンタが 0 になったときのみ第 2 のデータ転送を行い、第 1 のデータ転送の再設定を行うことによって、転送回数が 256 回以上のリピート転送を行うことができます。

128K バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス “0000h” から始まるように設定するものとします。カウンタ = 0 のときのチェーン転送を**図 16.15** に示します。

1. 第 1 のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタ = “0000h”（65536 回）、MRB.CHNE ビット = “1”（チェーン転送許可）、MRB.CHNS ビット = “1”（転送カウンタ = 0 のときのみチェーン転送を行う）、MRB.DISEL ビット = “0”（指定されたデータ転送終了時、CPU に割り込み要求を発生）としてください。
2. 第 1 のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビットアドレスを別の領域（ROM など）に用意してください。たとえば、入力バッファを “200000h” ～ “21FFFFh” とするときには、“21h”、“20 h ” を用意します。
3. 第 2 のデータ転送として、第 1 のデータ転送の転送先アドレス再設定用のリピート転送モード（転送元をリピート領域）とします。転送先は第 1 の転送情報領域の DAR レジスタの上位 8 ビットとします。このとき MRB.CHNE ビット = “0”（ チェーン転送禁止）、MRB.DISEL ビット = “0”（指定されたデータ転送終了時、CPU に割り込み要求を発生）としてください。上記入力バッファを “200000h” ～ “21FFFFh” とする場合には、転送カウンタ = 2 としてください。
4. 割り込みによって第 1 のデータ転送を 65536 回実行します。第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が起動されます。第 1 のデータ転送の転送元アドレス上位 8 ビットを “21h” に設定します。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは、“0000h” になっています。
5. 引き続き割り込みによって第 1 のデータ転送を、第 1 のデータ転送で指定した 65536 回実行します。第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が起動されます。第 1 のデータ転送の転送元アドレス上位 8 ビットを “20h” にします。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは “0000h” になっています。
6. 上記 4.、5. を無限に繰り返します。第 2 のデータ転送がリピート転送モードのため、CPU には割り込みを要求しません。

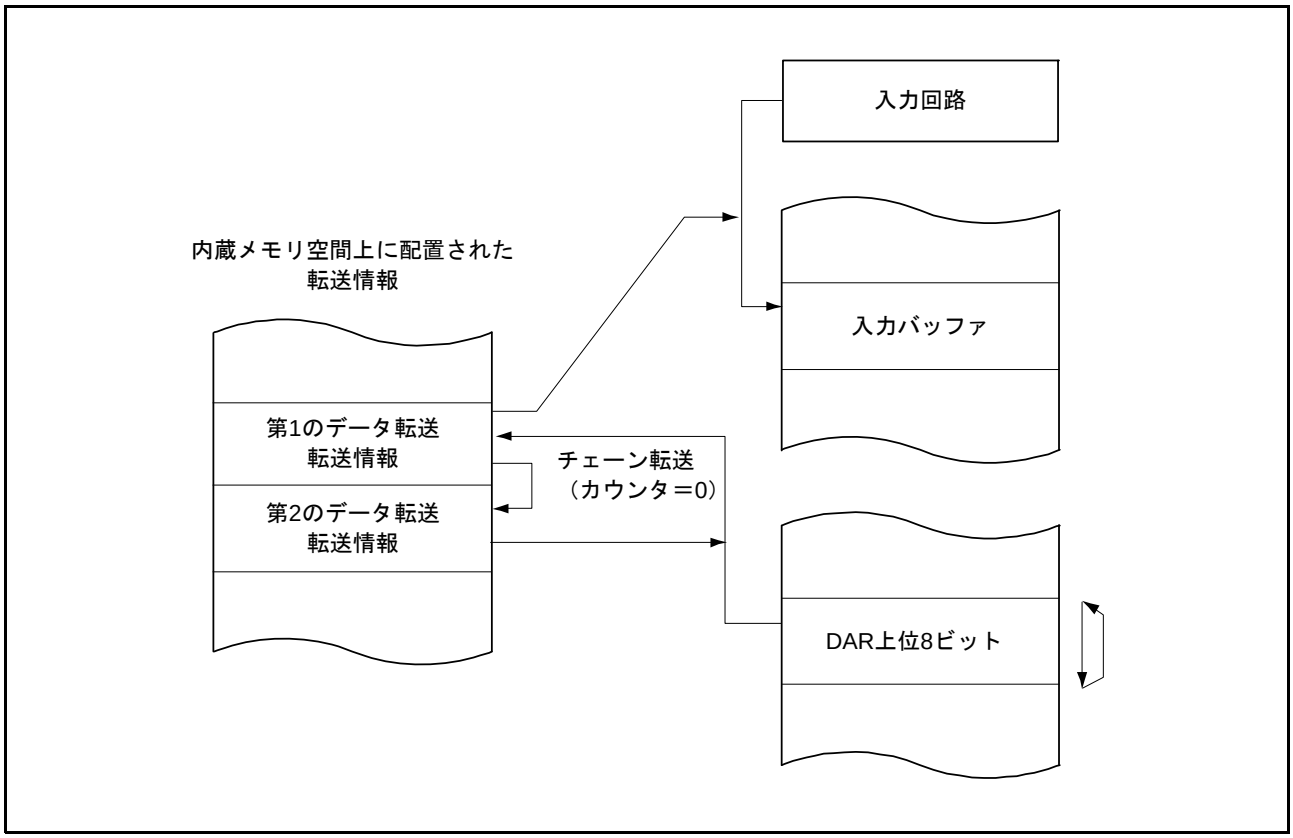


図 16.15　カウンタ = 0 のときのチェーン転送

16.7　割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが “1”（DTC データ転送の度に、CPU への割り込み要求が発生）のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは CPU の PSW.I ビット（割り込み許可ビット）、PSW.IPL[3:0] ビット（プロセッサ割り込み優先レベル）および割り込みコントローラの優先順位の制御を受けます。

16.8 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、またはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを “0”（DTC モジュール停止）にした後、それぞれ以下の設定を行ってください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに “1”（DMACA、DTC モジュールストップ状態への遷移）を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに “1” を書いたときに DTC が転送動作中の場合は、DTC 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットを “0”（モジュールストップ状態の解除）にすることにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

MSTPCRA.ACSE ビットに “1”（全モジュールクロックストップモード許可）を書き、MSTPCRA.MSTPA28 ビット（DMACA、DTC モジュールストップ状態への遷移設定ビット）を含め MSTPCRA.MSTPAn、MSTPCRB.MSTPBn の全ビットに “1” を書きます。その後、WAIT 命令を実行することで、全モジュールクロックストップモードに移行します。WAIT 命令を実行したとき、DTC が転送動作中の場合は DTC 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールククロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに “0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

SBYCR.SSBY ビットに “1”（WAIT 命令実行後、ソフトウェアスタンバイモードに移行）、および、DPSBYCR.DPSBY ビットに “0”（WAIT 命令後、ソフトウェアスタンバイモードに移行）を書いた後、WAIT 命令を実行することでソフトウェアスタンバイモードに移行します。WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にソフトウェアスタンバイモードに移行します。

DPSBYCR.DPSBY ビットに “1”（WAIT 命令実行後、ディープソフトウェアスタンバイモードに移行）を書いた後に WAIT 命令を実行した場合は、ディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「9.7.7 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DTC 転送を行うには、再度 DTCST.DTCST ビットを “1” にしてください。

16.9 使用上の注意事項

16.9.1 転送情報先頭アドレス

DTC ベクタテーブルに指定する転送情報の先頭アドレスは、4n 番地を指定してください。4n 番地以外を指定すると、アドレスの最下位 2 ビットは “00b” としてアクセスします。

16.9.2　転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、**図 16.16** に示すとおり配置してください。

たとえば、CRA、CRB 設定データ を 16 ビットで書く場合、ビッグエンディアンの場合は下位アドレス 0 に CRA 設定データ、下位アドレス 2 に CRB 設定データを書いてください。リトルエンディアンの場合は下位アドレス 0 に CRB 設定データ、下位アドレス 2 に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンに関わらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して下位アドレス 0 に書いてください。

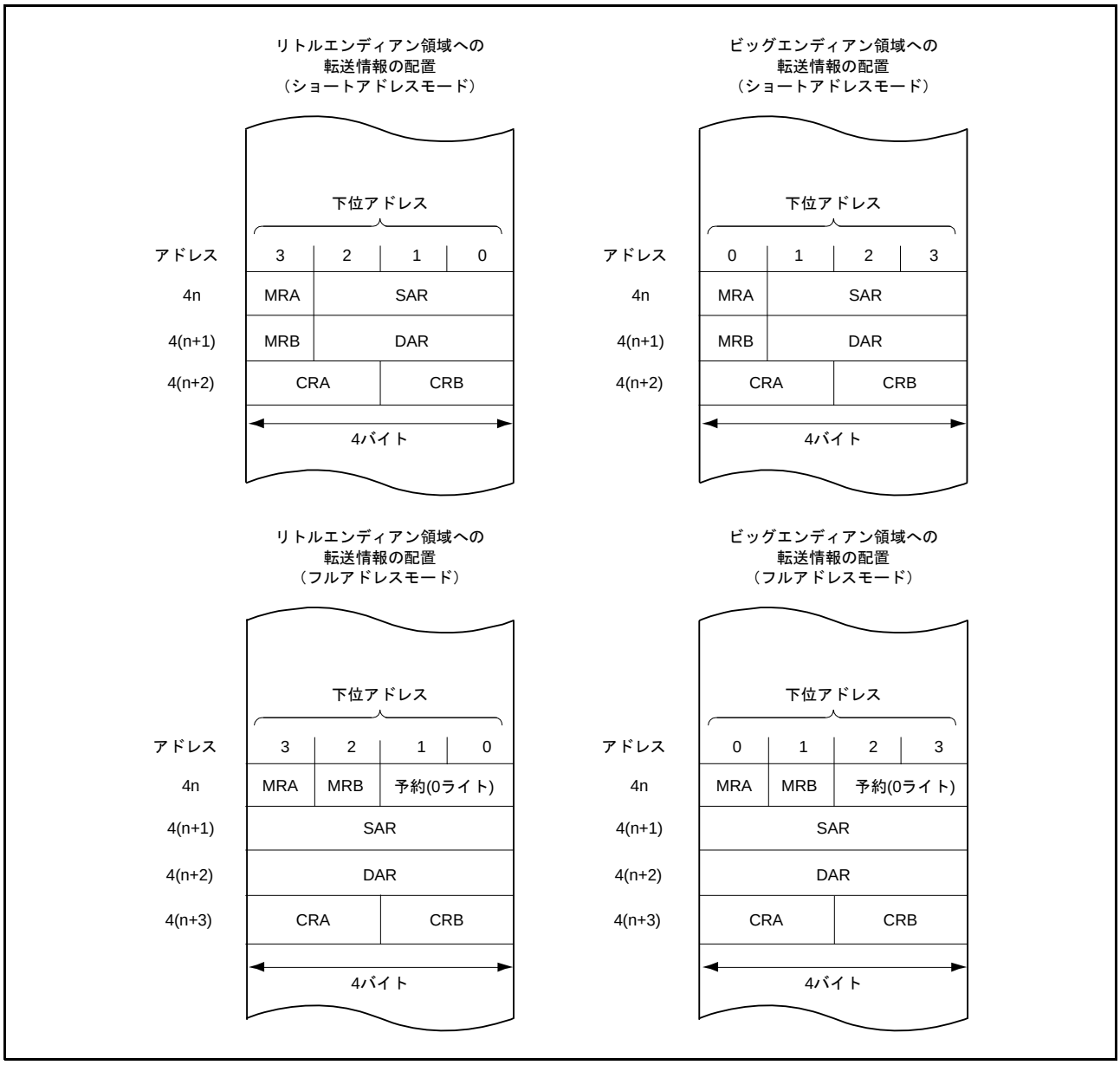


図 16.16　転送情報の配置

16.9.3 割り込みコントローラの DTC 起動許可レジスタ（ICU.DTCERi）の設定

DTC 起動許可レジスタ（ICU.DTCERi レジスタ（i = 割り込みベクタ番号））の設定は、DTCST.DTCST ビットが “0”（DTC モジュール停止）のときに行なってください。また、ICU.DTCERi レジスタで “1”（DTC 転送許可）にした割り込みベクタ番号と同じベクタ番号を DMACA 起動要求選択レジスタ（ICU.DMRSRn (n = DMACA チャネル番号)) に設定して DMACA を起動しないでください。ICU.DTCERi レジスタ、ICU.DMRSRn レジスタ（n = DMACA チャネル番号）の詳細は、「11. 割り込みコントローラ（ICUa）」を参照してください。

16.9.4 DTC の起動要因に通信機能の割り込みを指定する場合

RX62N グループ、RX621 グループでは、通信機能 (SCI/RIIC/RSPI/USB) と、DTC/DMACA 機能を組み合わせて使用する場合、注意が必要な場合があります。詳細は、「11.7 使用上の注意事項」を参照してください。

17. I/O ポート

RX62N グループ、RX621 グループの I/O ポートは、プログラマブル入出力ポートと周辺機能の入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/O ポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）、出力データを格納するデータレジスタ（DR）、端子の状態を読むポートレジスタ（PORT）、入力バッファの有効 / 無効を制御する入力バッファコントロールレジスタ（ICR）があります。

パッケージにより I/O ポートの構成が異なります。詳細は各パッケージの節を参照してください。

176 ピン LFBGA は、「17.1　[176 ピン LFBGA] I/O ポート」を参照してください。

145 ピン TFLGA および 144 ピン LQFP は、「17.2　[145 ピン TFLGA ／ 144 ピン LQFP] I/O ポート」を参照してください。

100 ピン LQFP は、「17.3　[100 ピン LQFP] I/O ポート」を参照してください。

85 ピン TFLGA は、「17.4　[85 ピン TFLGA] I/O ポート」を参照してください。

17.1 [176 ピン LFBGA] I/O ポート

RX62N グループ、RX621 グループ（176 ピン LFBGA）の I/O ポートは、ポート 0 ～ 9、A ～ G の 17 ポートから構成され、入出力ポートを 128 本備えています。

17.1.1 概要

表 17.1 に I/O ポートの仕様を、表 17.2 にポート機能一覧を示します。

表 17.1　I/O ポートの仕様（176 ピン LFBGA）

項目	内容
入出力端子	126 本
入力端子	2 本
ポート	17 ポート（0～9、A～G）
入力プルアップ抵抗内蔵	ポート 9、A、B、C、D、E、G
オープンドレイン出力	ポート 0、1、2、3（P30～P34）、C
5V トレラント対応端子	ポート 0（P00、P01、P02、P07）、ポート 1（P12、P13、P16、P17）、 ポート 2（P20、P21）、ポート 3（P33）
シュミットトリガ入力端子	全ポート入力、CAN 入力、USB 入力、IRQ 入力、MTU 入力、POE 入力、TMR 入力、RIIC 入力、SCI 入力、A/D トリガ入力
その他	● 1 個の TTL 負荷と 30pF の容量負荷を駆動可能 ● 出力時にダーリントントランジスタを駆動

表17.2　ポート機能一覧 (1 / 5)（176ピンLFBGA）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート0	割り込み入力、TMR入力、SCI入出力、A/Dコンバータ入力、D/Aコンバータ出力、と兼用の汎用入出力ポート	0	P00	TMRI0-A/IRQ8-A	TxD6-A	–	全入力機能	–	○
		1	P01	TMCI0-A/RxD6-A/IRQ9-A			全入力機能		
		2	P02/SCK6-A	TMCI1-A/IRQ10-A			全入力機能		
		3	P03	IRQ11-A	DA0		全入力機能		
		5	P05	IRQ13-A	DA1		全入力機能		
		7	P07	ADTRG0#-A/IRQ15-A			全入力機能		
ポート1	USB入出力、MTU入出力、TMR入出力、割り込み入力、SCI入出力、RIIC入出力、PPG入出力、A/Dコンバータ入力と兼用の汎用入出力ポート	0	P10	MTIC5W-A/TMRI3-A/IRQ0-B	USB1_DPUPE-A	–	全入力機能	–	○
		1	P11/SCK2-A	MTIC5V-A /TMCI3-A / IRQ1-B	USB1_VBUSEN-A		全入力機能		
		2	P12/SCL0	MTIC5U-A/TMCI1-B/RxD2-A/IRQ2-B			全入力機能		
		3	P13 /SDA0	ADTRG1#/IRQ3-B	TMO3/TxD2-A		全入力機能		
		4	P14	USB0_OVRCURA/TMRI2/IRQ4-B	USB0_DPUPE-B		全入力機能		
		5	P15/MTIOC0B/SCK3-A	USB1_OVRCURA/TMCI2-A/IRQ5-B	PO13/USB1_DPUPE-B		全入力機能		
		6	P16/MTIOC3C-A	USB0_VBUS/USB0_OVRCURB/RxD3-A/IRQ6-B	TMO2/PO14/USB0_VBUSEN-B		全入力機能		
		7	P17/MTIOC3A	USB1_VBUS/USB1_OVRCURB/IRQ7-B	TxD3-A/PO15/USB1_VBUSEN-B		全入力機能		
ポート2	バス制御入出力EXDMAC入出力、USB入出力、RSPI入出力、MTU入出力、PPG出力、TMR入出力、SCI入出力、RIIC入出力、A/Dコンバータ入力と兼用の汎用入出力ポート	0	P20/MTIOC1A/SDA1	USB0_ID/TMRI0-B	PO0/TxD0	–	全入力機能	–	○
		1	P21/MTIOC1B/SCL1	TMCI0-B/RxD0	USB0_EXICEN/PO1		全入力機能		
		2	P22/MTIOC3B-A/SCK0	EDREQ0-B/MTCLKC-A	USB0_DRPD/PO2/TMO0	EDREQ0-B	P22、MTIOC3B-A SCK0、MTCLKC-A		
		3	P23/MTIOC3D-A	MTCLKD-A	EDACK0-B/USB0_DPUPE-A/TxD3-B/PO3	–	全入力機能		
		4	P24/MTIOC4A-A/SCK3-B	EDREQ1-B/MTCLKA-A/TMRI1	CS4#-C/USB0_VBUSEN-A/PO4	EDREQ1-B	P24、MTIOC4A-A、SCK3-B、MTCLKA-A、TMRI1		
		5	P25/MTIOC4C-A	MTCLKB-A/ADTRG0#-B/RxD3-B	CS5#-C/EDACK1-B/USB0_DPRPD/PO5	–	全入力機能		
		6	P26/MOSIB-A/MTIOC2A	USB1_ID	CS6#-C/PO6/TMO1/TxD1-A	MOSIB-A	P26、MTIOC2A、USB1_ID		
		7	P27/RSPCKB-A/MTIOC2B/SCK1-A		CS7#-C/USB1_EXICEN/PO7	RSPCKB-A	P27、MTIOC2B、SCK1-A		

表17.2　ポート機能一覧 (2 / 5)（176ピンLFBGA）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート3	CAN入出力、USB出力、RSPI入出力、MTU入出力、TMR入力、SCI入出力、割り込み入力、PPG出力 RTC出力と兼用の汎用入出力ポート	0	P30/MISOB-A/MTIOC4B-A	TMRI3-B/RxD1-A/IRQ0-A	USB1_DRPD/PO8	MISOB-A	P30、MTIOC4B-A TMRI3-B、RxD1-A、IRQ0-A	–	○
		1	P31/SSLB0-A/MTIOC4D-A	TMCI2-B/IRQ1-A	USB1_DPRPD/PO9	SSLB0-A	P31、MTIOC4D-A TMCI2-B、IRQ1-A		○
		2	P32/MTIOC0C	IRQ2-A	CTX0/TxD6-B/PO10/RTCOUT	–	全入力機能		○
		3	P33/MTIOC0D	CRX0/RxD6-B/IRQ3-A	PO11		全入力機能		○
		4	P34/MTIOC0A/SCK6-B	TMCI3-B/IRQ4-A	PO12		全入力機能		○
		5		P35/NMI			全入力機能		–
ポート4	割り込み入力、A/Dコンバータ入力と兼用の汎用入出力ポート	0	P40	AN0/IRQ8-B		–	P40、IRQ8-B	–	–
		1	P41	AN1/IRQ9-B			P41、IRQ9-B		
		2	P42	AN2/IRQ10-B			P42、IRQ10-B		
		3	P43	AN3/IRQ11-B			P43、IRQ11-B		
		4	P44	AN4/IRQ12			P44、IRQ12		
		5	P45	AN5/IRQ13-B			P45、IRQ13-B		
		6	P46	AN6/IRQ14			P46、IRQ14		
		7	P47	AN7/IRQ15-B			P47、IRQ15-B		
ポート5	外部バスクロック出力、バス制御入出力、USB出力、EXDMAC入出力、RSPI出力、Ether入出力、MTU入出力、SCI入出力と兼用の汎用入出力ポート	0	P50		WR0#/WR#/SSLB1-A/TxD2-B	–	全入力機能	–	–
		1	P51/SCK2-B	WAIT#-D	WR1#/BC1#/SSLB2-A	WAIT#-D	P51、SCK2-B		
		2	P52	RxD2-B	RD#/SSLB3-A	–	全入力機能		
		3		P53	BCLK	–	全入力機能		
		4	P54/MTIOC4B-B	ET_LINKSTA	EDACK0-C	ET_LINKSTA	P54、MTIOC4B-B		
		5	P55/MTIOC4D-B	WAIT#-B/EDREQ0-C	ET_EXOUT	WAIT#-B、EDREQ0-C	P55、MTIOC4D-B		
		6	P56/MTIOC3C-B		WR2#/BC2#/EDACK1-C	–	全入力機能		
		7	P57	WAIT#-A/EDREQ1-C	WR3#/BC3#	WAIT#-A、EDREQ1-C	P57		
ポート6	SDRAM出力、バス制御出力と兼用の汎用入出力ポート	0	P60		CS0#-A	–	全入力機能	–	–
		1	P61		CS1#-A/SDCS#		全入力機能		
		2	P62		CS2#-A/RAS#		全入力機能		
		3	P63		CS3#-A/CAS#		全入力機能		
		4	P64		CS4#-A/WE#		全入力機能		
		5	P65		CS5#-A/CKE		全入力機能		
		6	P66		CS6#-A/DQM0		全入力機能		
		7	P67		CS7#-A/DQM1		全入力機能		

表17.2　ポート機能一覧 (3 / 5)（176ピンLFBGA）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート7	SDRAM出力、バス制御出力、Ether入出力と兼用の汎用入出力ポート	0	P70		SDCLK	－	全入力機能	－	－
		1	P71/ET_MDIO		CS1#-B	ET_MDIO	P71		
		2	P72		CS2#-B/ET_MDC	－	全入力機能		
		3	P73		CS3#-B/ET_WOL		全入力機能		
		4	P74	ET_ERXD1/ RMII_RXD1	CS4#-B	ET_ERXD1/ RMII_RXD1	P74		
		5	P75	ET_ERXD0/ RMII_RXD0	CS5#-B	ET_ERXD0/ RMII_RXD0	P75		
		6	P76	ET_RX_CLK/ REF50CK	CS6#-B	ET_RX_CLK/ REF50CK	P76		
		7	P77	ET_RX_ER/ RMII_RX_ER	CS7#-B	ET_RX_ER/ RMII_RX_ER	P77		
ポート8	EXDMAC入出力、MTU入出力、Ether入出力と兼用の汎用入出力ポート	0	P80/MTIOC3B-B	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN	EDREQ0-A	P80、MTIOC3B-B	－	－
		1	P81/MTIOC3D-B		EDACK0-A/ ET_ETXD0/ RMII_TXD0	－	全入力機能		
		2	P82/MTIOC4A-B	EDREQ1-A	ET_ETXD1/ RMII_TXD1	EDREQ1-A	P82、MTIOC4A-B		
		3	P83/MTIOC4C-B	ET_CRS/ RMII_CRS_DV	EDACK1-A	ET_CRS、RMII_CRS_DV	P83、MTIOC4C-B		
		4	P84			－	全入力機能		
		5	P85				全入力機能		
ポート9	アドレス出力、双方向データバスと兼用の汎用入出力ポート	0	P90/D16		A16-B	D16	P90	○	－
		1	P91/D17		A17-B	D17	P91		
		2	P92/D18		A18-B	D18	P92		
		3	P93/D19		A19-B	D19	P93		
		4	P94/D20		A20-B	D20	P94		
		5	P95/D21		A21-B	D21	P95		
		6	P96/D22		A22-B	D22	P96		
		7	P97/D23		A23-B	D23	P97		
ポートA	アドレス出力、SDRAM出力、バス制御入出力、RSPI入出力、MTU入出力、PPG出力と兼用の汎用入出力ポート	0	PA0/MTIOC6A		A0/BC0#/DQM2/ SSLA1-B/PO16	－	全入力機能	○	－
		1	PA1/MTIOC6B		A1/DQM3/ SSLA2-B/PO17		全入力機能		
		2	PA2/MTIOC6C		A2/SSLA3-B/ PO18		全入力機能		
		3	PA3/MTIOC6D		A3/PO19		全入力機能		
		4	PA4/SSLA0-B/ MTIOC7A		A4/PO20	SSLA0-B	PA4、MTIOC7A		
		5	PA5/ RSPCKA-B/ MTIOC7B		A5/PO21	RSPCKA-B	PA5、MTIOC7B		
		6	PA6/MOSIA-B/ MTIOC8A		A6/PO22	MOSIA-B	PA6、MTIOC8A		
		7	PA7/MISOA-B/ MTIOC8B		A7/PO23	MISOA-B	PA7、MTIOC8B		

表17.2　ポート機能一覧 (4 / 5)（176ピンLFBGA）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポートB	アドレス出力、MTU入出力、PPG出力と兼用の汎用入出力ポート	0	PB0/MTIOC9A		A8/PO24	–	全入力機能	○	–
		1	PB1/MTIOC9C		A9/PO25		全入力機能		
		2	PB2/MTIOC9B	MTCLKG-B	A10/PO26		全入力機能		
		3	PB3/MTIOC9D	MTCLKH-B	A11/PO27		全入力機能		
		4	PB4/MTIOC10A	MTCLKE-B	A12/PO28		全入力機能		
		5	PB5/MTIOC10C	MTCLKF-B	A13/PO29		全入力機能		
		6	PB6/MTIOC10B		A14/PO30		全入力機能		
		7	PB7/MTIOC10D		A15/PO31		全入力機能		
ポートC	アドレス出力、バス制御出力、RSPI入出力 Ether入出力 MTU入力、SCI入出力と兼用の汎用入出力ポート	0	PC0	ET_ERXD3/ MTCLKG-A	A16-A/SSLA1-A	ET_ERXD3	PC0、MTCLKG-A	○	○
		1	PC1/SCK5	ET_ERXD2/ MTCLKH-A	A17-A/SSLA2-A	ET_ERXD2	PC1、SCK5、MTCLKH-A		
		2	PC2	ET_RX_DV/ MTCLKE-A/RxD5	A18-A/SSLA3-A	ET_RX_DV	PC2、MTCLKE-A、RxD5		
		3	PC3	MTCLKF-A	A19-A/TxD5/ ET_TX_ER	–	全入力機能		
		4	PC4/SSLA0-A	MTCLKC-B/ ET_TX_CLK	A20-A/CS3#-C	SSLA0-A、ET_TX_CLK	PC4、MTCLKC-B		
		5	PC5/ RSPCKA-A	WAIT#-C/ MTIC11W-A/ MTCLKD-B	A21-A/CS2#-C/ ET_ETXD2	RSPCKA-A、WAIT#-C	PC5、MTIC11W-A、MTCLKD-B		
		6	PC6/MOSIA-A	MTIC11V-A/ MTCLKA-B	A22-A/CS1#-C/ ET_ETXD3	MOSIA-A	PC6、MTIC11V-A MTCLKA-B		
		7	PC7/MISOA-A	ET_COL/ MTIC11U-A/ MTCLKB-B	A23-A/CS0#-B	MISOA-A、ET_COL	PC7、MTIC11U-A MTCLKB-B		
ポートD	双方向データバス、MTU入力、POE入力と兼用の汎用入出力ポート	0	PD0/D0	POE7#		D0	PD0、POE7#	○	–
		1	PD1/D1	POE6#		D1	PD1、POE6#		
		2	PD2/D2	MTIC11W-B/ POE5#		D2	PD2、MTIC11W-B、POE5#		
		3	PD3/D3	MTIC11V-B/ POE4#		D3	PD3、MTIC11V-B、POE4#		
		4	PD4/D4	MTIC11U-B/ POE3#		D4	PD4、MTIC11U-B、POE3#		
		5	PD5/D5	MTIC5W-B/ POE2#		D5	PD5、MTIC5W-B、POE2#		
		6	PD6/D6	MTIC5V-B/ POE1#		D6	PD6、MTIC5V-B、POE1#		
		7	PD7/D7	MTIC5U-B/ POE0#		D7	PD7、MTIC5U-B、POE0#		
ポートE	双方向データバス、RSPI入出力、割り込み入力、POE入力と兼用の汎用入出力ポート	0	PE0/D8		SSLB1-B	D8	PE0	○	–
		1	PE1/D9		SSLB2-B	D9	PE1		
		2	PE2/D10	POE9#	SSLB3-B	D10	PE2、POE9#		
		3	PE3/D11	POE8#		D11	PE3、POE8#		
		4	PE4/D12/ SSLB0-B			D12、SSLB0-B	PE4		
		5	PE5/D13/ RSPCKB-B	IRQ5-A		D13、RSPCKB-B	PE5、IRQ5-A		
		6	PE6/D14/ MOSIB-B	IRQ6-A		D14、MOSIB-B	PE6、IRQ6-A		
		7	PE7/D15/ MISOB-B	IRQ7-A		D15、MISOB-B	PE7、IRQ7-A		

表17.2　ポート機能一覧 (5 / 5)（176ピンLFBGA）

ポート	概要	ビット	機能			CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
			入出力	入力	出力				
ポートF	オンチップエミュレータ入出力、SCI入出力と兼用汎用入出力ポート	0	PF0		TDO/TxD1-B	–	全入力機能	–	–
		1	PF1/SCK1-B	TCK	–	TCK	PF1、SCK1-B		
		2	PF2	TDI/RxD1-B		–	全入力機能		
		3	PF3	TMS		–	全入力機能		
		4	PF4	TRST#		–	全入力機能		
ポートG	トレース出力、双方向データバスと兼用汎用入出力ポート	0	PG0/D24			D24	PG0	○	–
		1	PG1/D25			D25	PG1		
		2	PG2/D26		TRDATA0	D26	PG2		
		3	PG3/D27		TRDATA1	D27	PG3		
		4	PG4/D28		TRSYNC	D28	PG4		
		5	PG5/D29		TRCLK	D29	PG5		
		6	PG6/D30		TRDATA2	D30	PG6		
		7	PG7/D31		TRDATA3	D31	PG7		

17.1.2 レジスタの説明

表 17.3 に I/O ポートのレジスター覧を示します。表 17.4 に各レジスタの有効ビット一覧を示します。

表17.3 I/Oポートのレジスター覧 (1 / 3)（176ピンLFBGA）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT0	データディレクションレジスタ	DDR	00h	0008 C000h	8
	データレジスタ	DR	00h	0008 C020h	8
	ポートレジスタ	PORT	不定	0008 C040h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C060h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C080h	8
PORT1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C081h	8
PORT2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C082h	8
PORT3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C083h	8
PORT4	データディレクションレジスタ	DDR	00h	0008 C004h	8
	データレジスタ	DR	00h	0008 C024h	8
	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
PORT5	データディレクションレジスタ	DDR	00h	0008 C005h	8
	データレジスタ	DR	00h	0008 C025h	8
	ポートレジスタ	PORT	不定	0008 C045h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C065h	8
PORT6	データディレクションレジスタ	DDR	00h	0008 C006h	8
	データレジスタ	DR	00h	0008 C026h	8
	ポートレジスタ	PORT	不定	0008 C046h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C066h	8
PORT7	データディレクションレジスタ	DDR	00h	0008 C007h	8
	データレジスタ	DR	00h	0008 C027h	8
	ポートレジスタ	PORT	不定	0008 C047h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C067h	8
PORT8	データディレクションレジスタ	DDR	00h	0008 C008h	8
	データレジスタ	DR	00h	0008 C028h	8
	ポートレジスタ	PORT	不定	0008 C048h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C068h	8

表17.3 I/Oポートのレジスター覧 (2 / 3)（176ピンLFBGA）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT9	データディレクションレジスタ	DDR	00h	0008 C009h	8
	データレジスタ	DR	00h	0008 C029h	8
	ポートレジスタ	PORT	不定	0008 C049h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C069h	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0C9h	8
PORTA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CAh	8
PORTB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CBh	8
PORTC	データディレクションレジスタ	DDR	00h	0008 C00Ch	8
	データレジスタ	DR	00h	0008 C02Ch	8
	ポートレジスタ	PORT	不定	0008 C04Ch	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ch	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C08Ch	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CCh	8
PORTD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CDh	8
PORTE	データディレクションレジスタ	DDR	00h	0008 C00Eh	8
	データレジスタ	DR	00h	0008 C02Eh	8
	ポートレジスタ	PORT	不定	0008 C04Eh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Eh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CEh	8
PORTF	データディレクションレジスタ	DDR	00h	0008 C00Fh	8
	データレジスタ	DR	00h	0008 C02Fh	8
	ポートレジスタ	PORT	不定	0008 C04Fh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Fh	8
PORTG	データディレクションレジスタ	DDR	00h	0008 C010h	8
	データレジスタ	DR	00h	0008 C030h	8
	ポートレジスタ	PORT	不定	0008 C050h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C070h	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0D0h	8

表17.3 I/Oポートのレジスター覧 (3 / 3)（176ピンLFBGA）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
IOPORT	ポートファンクションレジスタ0	PF0CSE	00h	0008 C100h	8
	ポートファンクションレジスタ1	PF1CSS	00h	0008 C101h	8
	ポートファンクションレジスタ2	PF2CSS	00h	0008 C102h	8
	ポートファンクションレジスタ3	PF3BUS	00h	0008 C103h	8
	ポートファンクションレジスタ4	PF4BUS	00h	0008 C104h	8
	ポートファンクションレジスタ5	PF5BUS	00h	0008 C105h	8
	ポートファンクションレジスタ6	PF6BUS	00h	0008 C106h	8
	ポートファンクションレジスタ7	PF7DMA	00h	0008 C107h	8
	ポートファンクションレジスタ8	PF8IRQ	00h	0008 C108h	8
	ポートファンクションレジスタ9	PF9IRQ	00h	0008 C109h	8
	ポートファンクションレジスタA	PFAADC	00h	0008 C10Ah	8
	ポートファンクションレジスタB	PFBTMR	00h	0008 C10Bh	8
	ポートファンクションレジスタC	PFCMTU	00h	0008 C10Ch	8
	ポートファンクションレジスタD	PFDMTU	00h	0008 C10Dh	8
	ポートファンクションレジスタE	PFENET	00h	0008 C10Eh	8
	ポートファンクションレジスタF	PFFSCI	00h	0008 C10Fh	8
	ポートファンクションレジスタG	PFGSPI	00h	0008 C110h	8
	ポートファンクションレジスタH	PFHSPI	00h	0008 C111h	8
	ポートファンクションレジスタJ	PFJCAN	00h	0008 C113h	8
	ポートファンクションレジスタK	PFKUSB	00h	0008 C114h	8
	ポートファンクションレジスタL	PFLUSB	00h	0008 C115h	8
	ポートファンクションレジスタM	PFMPOE	00h	0008 C116h	8
	ポートファンクションレジスタN	PFNPOE	00h	0008 C117h	8

表17.4 各レジスタの有効ビット一覧 (1 / 3)（176ピンLFBGA）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT0.DDR	○	×	○	×	○	○	○	○
PORT1.DDR	○	○	○	○	○	○	○	○
PORT2.DDR	○	○	○	○	○	○	○	○
PORT3.DDR	×	×	×	○	○	○	○	○
PORT4.DDR	○	○	○	○	○	○	○	○
PORT5.DDR	○	○	○	○	○	○	○	○
PORT6.DDR	○	○	○	○	○	○	○	○
PORT7.DDR	○	○	○	○	○	○	○	○
PORT8.DDR	×	×	○	○	○	○	○	○
PORT9.DDR	○	○	○	○	○	○	○	○
PORTA.DDR	○	○	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTC.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORTE.DDR	○	○	○	○	○	○	○	○
PORTF.DDR	×	×	×	○	○	○	○	○
PORTG.DDR	○	○	○	○	○	○	○	○
PORT0.DR	○	×	○	×	○	○	○	○
PORT1.DR	○	○	○	○	○	○	○	○
PORT2.DR	○	○	○	○	○	○	○	○
PORT3.DR	×	×	×	○	○	○	○	○
PORT4.DR	○	○	○	○	○	○	○	○
PORT5.DR	○	○	○	○	×	○	○	○
PORT6.DR	○	○	○	○	○	○	○	○
PORT7.DR	○	○	○	○	○	○	○	○
PORT8.DR	×	×	○	○	○	○	○	○
PORT9.DR	○	○	○	○	○	○	○	○
PORTA.DR	○	○	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTC.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORTE.DR	○	○	○	○	○	○	○	○
PORTF.DR	×	×	×	○	○	○	○	○
PORTG.DR	○	○	○	○	○	○	○	○
PORT0.PORT	○	×	○	×	○	○	○	○
PORT1.PORT	○	○	○	○	○	○	○	○
PORT2.PORT	○	○	○	○	○	○	○	○
PORT3.PORT	×	×	○	○	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	○	○	○	○	○	○	○	○
PORT6.PORT	○	○	○	○	○	○	○	○
PORT7.PORT	○	○	○	○	○	○	○	○
PORT8.PORT	×	×	○	○	○	○	○	○
PORT9.PORT	○	○	○	○	○	○	○	○

表17.4　各レジスタの有効ビット一覧 (2 / 3)（176ピンLFBGA）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORTA.PORT	○	○	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTC.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORTE.PORT	○	○	○	○	○	○	○	○
PORTF.PORT	×	×	×	○	○	○	○	○
PORTG.PORT	○	○	○	○	○	○	○	○
PORT0.ICR	○	×	○	×	○	○	○	○
PORT1.ICR	○	○	○	○	○	○	○	○
PORT2.ICR	○	○	○	○	○	○	○	○
PORT3.ICR	×	×	×	○	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT5.ICR	○	○	○	○	○	○	○	○
PORT6.ICR	○	○	○	○	○	○	○	○
PORT7.ICR	○	○	○	○	○	○	○	○
PORT8.ICR	×	×	○	○	○	○	○	○
PORT9.ICR	○	○	○	○	○	○	○	○
PORTA.ICR	○	○	○	○	○	○	○	○
PORTB.ICR	○	○	○	○	○	○	○	○
PORTC.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○
PORTE.ICR	○	○	○	○	○	○	○	○
PORTF.ICR	×	×	×	○	○	○	○	○
PORTG.ICR	○	○	○	○	○	○	○	○
PORT0.ODR	○	×	○	×	○	○	○	○
PORT1.ODR	○	○	○	○	○	○	○	○
PORT2.ODR	○	○	○	○	○	○	○	○
PORT3.ODR	×	×	×	○	○	○	○	○
PORTC.ODR	○	○	○	○	○	○	○	○
PORT9.PCR	○	○	○	○	○	○	○	○
PORTA.PCR	○	○	○	○	○	○	○	○
PORTB.PCR	○	○	○	○	○	○	○	○
PORTC.PCR	○	○	○	○	○	○	○	○
PORTD.PCR	○	○	○	○	○	○	○	○
PORTE.PCR	○	○	○	○	○	○	○	○
PORTG.PCR	○	○	○	○	○	○	○	○
IOPORT.PF0CSE	○	○	○	○	○	○	○	○
IOPORT.PF1CSS	○	○	○	○	○	○	○	○
IOPORT.PF2CSS	○	○	○	○	○	○	×	○
IOPORT.PF3BUS	○	○	○	○	○	○	○	○
IOPORT.PF4BUS	○	○	○	○	○	○	○	○
IOPORT.PF5BUS	○	○	○	○	×	×	○	×
IOPORT.PF6BUS	○	○	×	○	×	×	○	○
IOPORT.PF7DMA	○	○	○	○	×	×	×	×
IOPORT.PF8IRQ	○	×	○	×	○	○	○	○

表17.4 各レジスタの有効ビット一覧 (3 / 3)（176ピンLFBGA）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
IOPORT.PF9IRQ	○	○	○	○	○	○	○	○
IOPORT.PFAADC	×	×	×	×	×	×	×	○
IOPORT.PFBTMR	×	×	×	×	○	○	○	○
IOPORT.PFCMTU	○	○	○	○	○	○	×	×
IOPORT.PFDMTU	○	○	×	×	×	×	×	×
IOPORT.PFENET	○	×	×	○	○	○	○	○
IOPORT.PFFSCI	×	○	×	×	○	○	○	×
IOPORT.PFGSPI	○	○	○	○	○	○	○	○
IOPORT.PFHSPI	○	○	○	○	○	○	○	○
IOPORT.PFJCAN	×	×	×	×	×	×	×	○
IOPORT.PFKUSB	×	×	×	○	○	○	○	○
IOPORT.PFLUSB	×	×	×	○	○	○	○	○
IOPORT.PFMPOE	○	○	○	○	○	○	○	○
IOPORT.PFNPOE	×	×	×	×	×	×	○	○

17.1.2.1 データディレクションレジスタ（DDR）

アドレス　PORT0.DDR 0008 C000h、PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h
PORT4.DDR 0008 C004h、PORT5.DDR 0008 C005h、PORT6.DDR 0008 C006h、PORT7.DDR 0008 C007h
PORT8.DDR 0008 C008h、PORT9.DDR 0008 C009h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh
PORTC.DDR 0008 C00Ch、PORTD.DDR 0008 C00Dh、PORTE.DDR 0008 C00Eh、PORTF.DDR 0008 C00Fh
PORTG.DDR 0008 C010h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.DDRレジスタはb6、b4は予約ビットです。
PORT3.DDRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT8.DDRレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
PORTF.DDRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力／出力指定ビット	0：入力ポート 1：出力ポート	R/W
b1	B1	Pn1入力／出力指定ビット		R/W
b2	B2	Pn2入力／出力指定ビット		R/W
b3	B3	Pn3入力／出力指定ビット		R/W
b4	B4	Pn4入力／出力指定ビット		R/W
b5	B5	Pn5入力／出力指定ビット		R/W
b6	B6	Pn6入力／出力指定ビット		R/W
b7	B7	Pn7入力／出力指定ビット		R/W

【記号説明】　（n=0 ～ 9、A ～ G）

DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力／出力を指定するレジスタです。

PORTn.DDR レジスタ（n ＝ 0 ～ 9、A ～ G）の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

なお、P5.DDR.B3 ビットは、P53 入力／ BCLK 出力を指定します。P5.DDR.B3 ビットを “1” にした場合、P53 の出力は BCLK となるため、汎用出力ポートの機能は選択されません。

17.1.2.2 データレジスタ（DR）

アドレス　PORT0.DR 0008 C020h、PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h
PORT4.DR 0008 C024h、PORT5.DR 0008 C025h、PORT6.DR 0008 C026h、PORT7.DR 0008 C027h
PORT8.DR 0008 C028h、PORT9.DR 0008 C029h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh
PORTC.DR 0008 C02Ch、PORTD.DR 0008 C02Dh、PORTE.DR 0008 C02Eh、PORTF.DR 0008 C02Fh
PORTG.DR 0008 C030h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.DRレジスタはb6、b4は予約ビットです。
PORT3.DRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT8.DRレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
PORTF.DRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pn1出力データ格納ビット		R/W
b2	B2	Pn2出力データ格納ビット		R/W
b3	B3	Pn3出力データ格納ビット		R/W
b4	B4	Pn4出力データ格納ビット		R/W
b5	B5	Pn5出力データ格納ビット		R/W
b6	B6	Pn6出力データ格納ビット		R/W
b7	B7	Pn7出力データ格納ビット		R/W

【記号説明】　（n=0 ～ 9、A ～ G）

DR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。
なお、P53 の出力は BCLK となっており、PORT5.DR.B3 ビットに値を設定しても端子に影響しません。

17.1.2.3 ポートレジスタ（PORT）

アドレス　PORT0.PORT 0008 C040h、PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0009 C043h
PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORT6.PORT 0008 C046h、PORT7.PORT 0008 C047h
PORT8.PORT 0008 C048h、PORT9.PORT 0008 C049h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh
PORTC.PORT 0008 C04Ch、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh、PORTF.PORT 0008 C04Fh
PORTG.PORT 0008 C050h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	x	x	x	x	x	x	x	x

注.　PORT0.PORTレジスタはb6、b4は予約ビットです。
PORT3.PORTレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
PORT8.PORTレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
PORTF.PORTレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
予約ビットは、読むと“1”が読めます。書く場合、無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0（注）	Pn0ビット	ポートの端子状態を反映	R
b1	B1（注）	Pn1ビット		R
b2	B2（注）	Pn2ビット		R
b3	B3（注）	Pn3ビット		R
b4	B4（注）	Pn4ビット		R
b5	B5（注）	Pn5ビット		R
b6	B6（注）	Pn6ビット		R
b7	B7（注）	Pn7ビット		R

【記号説明】　（n=0 ～ 9、A ～ G）
注1.　読むときは、あらかじめ PORTn.ICR レジスタの対応するビットを “1”にしてください。
PORTn.ICR レジスタのビットが“0”の状態で読んだ場合、対応するビットの値は不定です。

PORT レジスタは、ポートの端子の状態を反映するレジスタです。
PORTn.PORT レジスタ（n ＝ 0 ～ 9、A ～ G）を読むと、端子の状態が読み出されます。
P35 は NMI 端子の状態が読めます。

17.1.2.4 入力バッファコントロールレジスタ（ICR）

アドレス　PORT0.ICR 0008 C060h、PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h
PORT4.ICR 0008 C064h、PORT5.ICR 0008 C065h、PORT6.ICR 0008 C066h、PORT7.ICR 0008 C067h
PORT8.ICR 0008 C068h、PORT9.ICR 0008 C069h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh
PORTC.ICR 0008 C06Ch、PORTD.ICR 0008 C06Dh、PORTE.ICR 0008 C06Eh、PORTF.ICR 0008 C06Fh
PORTG.ICR 0008 C070h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.ICRレジスタはb6、b4は予約ビットです。
PORT3.ICRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT8.ICRレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
PORTF.ICRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0（注）	Pn0入力バッファ制御ビット	0：対応する端子の入力バッファは無効 1：対応する端子の入力バッファは有効	R/W
b1	B1（注）	Pn1入力バッファ制御ビット		R/W
b2	B2（注）	Pn2入力バッファ制御ビット		R/W
b3	B3（注）	Pn3入力バッファ制御ビット		R/W
b4	B4（注）	Pn4入力バッファ制御ビット		R/W
b5	B5（注）	Pn5入力バッファ制御ビット		R/W
b6	B6（注）	Pn6入力バッファ制御ビット		R/W
b7	B7（注）	Pn7入力バッファ制御ビット		R/W

【記号説明】　（n=0 ～ 9、A ～ G）
注1.　入力端子として使用する場合は、対応するビットを“1”にしてください。入力として使用しない端子、およびアナログ入出力端子に対応するビットは、“0”にしてください。

ICR レジスタは、ポートの入力バッファを制御するレジスタです。

PORTn.ICR レジスタ（n ＝ 0 ～ 9、A ～ G）の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

周辺モジュールの入力端子および入力ポート端子として使用する場合は、あらかじめ対応する端子の入力バッファを有効にするために PORTn.ICR を “1” にする必要があります。PORTn.ICR を “0” にした状態のまま周辺モジュールの入力端子として使用した場合は、周辺モジュールへの入力信号は High に固定されます。なお、外部バス端子のデータバスとして使用する場合は、自動的に端子の入力バッファが有効になるため、PORTn.ICR を "1" にする必要はありません。

PORTn.ICR レジスタの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。PORTn.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQi(i=0 ～ 15) 入力の場合、当該割り込みを禁止した状態で PORTn.ICR レジスタの設定の変更を行い、割り込みコントローラの IRi.IR フラグ（i ＝ 64 ～ 79（IRQ の割り込みベクタ番号））を “0” にし、その後当該割り込みを許可してください。PORTn.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

17.1.2.5 オープンドレインコントロールレジスタ（ODR）

アドレス　PORT0.ODR 0008 C080h、PORT1.ODR 0008 C081h、PORT2.ODR 0008 C082H
PORT3.ODR 0008 C083h、PORTC.ODR 0008 C08Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.ODRレジスタはb6、b4は予約ビットです。
PORT3.ODRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力形態指定ビット	0：CMOS出力 1：NMOSオープンドレイン出力	R/W
b1	B1	Pn1出力形態指定ビット		R/W
b2	B2	Pn2出力形態指定ビット		R/W
b3	B3	Pn3出力形態指定ビット		R/W
b4	B4	Pn4出力形態指定ビット		R/W
b5	B5	Pn5出力形態指定ビット		R/W
b6	B6	Pn6出力形態指定ビット		R/W
b7	B7	Pn7出力形態指定ビット		R/W

【記号説明】　（n=0 ～ 3、C）

ODR レジスタは、ポートの端子の出力形態を選択するレジスタです。

17.1.2.6 プルアップ抵抗コントロールレジスタ（PCR）

アドレス　PORT9.PCR 0008 C0C9h、PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、PORTC.PCR 0008 C0CCH、PORTD.PCR 0008 C0CDh、PORTE.PCR 0008 C0CEh、PORTG.PCR 0008 C0D0h

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力プルアップ抵抗制御ビット	0：入力プルアップ抵抗無効 1：入力プルアップ抵抗有効	R/W
b1	B1	Pn1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pn2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pn3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pn4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pn5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pn6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pn7入力プルアップ抵抗制御ビット		R/W

【記号説明】　（n=9、A ～ E、G）

PCR レジスタは、ポートの入力プルアップ抵抗の有効 / 無効を制御するレジスタです。

端子が入力状態のとき、PORTn.PCR レジスタが “1” のビットに対応する端子の入力プルアップ抵抗が有効になります。表 17.5 に入力プルアップ抵抗の状態を示します。

表 17.5　入力プルアップ抵抗の状態（176 ピン LFBGA）

ポート	端子状態	リセット、ハードウェアスタンバイモード	その他の動作
ポート 9	データ入出力	無効	
	アドレス出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効/無効
ポート A	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効/無効
ポート B	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効/無効
ポート C	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効/無効
ポート D	データ入出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効/無効
ポート E	データ入出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート G	データ入出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効

【記号説明】
無効　　:　入力プルアップ抵抗は常に無効です。
有効 / 無効:　PORTm.PCR.Bj ビット（m=9、A ～ E、G、j=0 ～ 7）を “1” にすると有効、“0” にすると無効です。

17.1.2.7 ポートファンクションレジスタ 0（PF0CSE）

アドレス 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0出力許可ビット	0：I/Oポートとして使用 1：CSn#出力端子（n=0～7）として使用	R/W
b1	CS1E	CS1出力許可ビット		R/W
b2	CS2E	CS2出力許可ビット		R/W
b3	CS3E	CS3出力許可ビット		R/W
b4	CS4E	CS4出力許可ビット		R/W
b5	CS5E	CS5出力許可ビット		R/W
b6	CS6E	CS6出力許可ビット		R/W
b7	CS7E	CS7出力許可ビット		R/W

PF0CSE レジスタは、CSn# 出力の許可／禁止を選択するレジスタです。

CSnE ビット（CSn 出力許可ビット）（n ＝ 0 ～ 7）

対応する CSn# 出力の許可／禁止を選択します。

CSn を出力する場合には、対応する PF0CSE.CSnE ビットを “1” にしてください。

17.1.2.8 ポートファンクションレジスタ 1（PF1CSS）

アドレス 0008 C101h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7S[1:0]		CS6S[1:0]		CS5S[1:0]		CS4S[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CS4S[1:0]	CS4#出力端子選択ビット	b1 b0 0 0：P64からCS4#-Aを出力 0 1：P74からCS4#-Bを出力 1 x：P24からCS4#-Cを出力	R/W
b3-b2	CS5S[1:0]	CS5#出力端子選択ビット	b3 b2 0 0：P65からCS5#-Aを出力 0 1：P75からCS5#-Bを出力 1 x：P25からCS5#-Cを出力	R/W
b5-b4	CS6S[1:0]	CS6#出力端子選択ビット	b5 b4 0 0：P66からCS6#-Aを出力 0 1：P76からCS6#-Bを出力 1 x：P26からCS6#-Cを出力	R/W
b7-b6	CS7S[1:0]	CS7#出力端子選択ビット	b7 b6 0 0：P67からCS7#-Aを出力 0 1：P77からCS7#-Bを出力 1 x：P27からCS7#-Cを出力	R/W

【記号説明】 x：Don't care

PF1CSS レジスタは、CSn# 出力端子（n=4 ～ 7）を選択するレジスタです。

CSnS[1:0] ビット（CSn# 出力端子選択ビット）（n ＝ 4 ～ 7）

CSn# 出力許可時（PF0CSE.CSnE ビットが "1"）、CSn# の出力端子を選択します。

17.1.2.9 ポートファンクションレジスタ 2（PF2CSS）

アドレス 0008 C102h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS3S[1:0]		CS2S[1:0]		CS1S[1:0]		—	CS0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0S	CS0#出力端子選択ビット	0：P60からCS0#-Aを出力 1：PC7からCS0#-Bを出力	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CS1S[1:0]	CS1#出力端子選択ビット	b3 b2 0 0：P61からCS1#-Aを出力 0 1：P71からCS1#-Bを出力 1 x：PC6からCS1#-Cを出力	R/W
b5-b4	CS2S[1:0]	CS2#出力端子選択ビット	b5 b4 0 0：P62からCS2#-Aを出力 0 1：P72からCS2#-Bを出力 1 x：PC5からCS2#-Cを出力	R/W
b7-b6	CS3S[1:0]	CS3#出力端子選択ビット	b7 b6 0 0：P63からCS3#-Aを出力 0 1：P73からCS3#-Bを出力 1 x：PC4からCS3#-Cを出力	R/W

【記号説明】 x：Don’t care

PF2CSS レジスタは、CSn# 出力端子（n=0 ～ 3）の選択をするレジスタです。

CSnS ビット（CSn# 出力端子選択ビット）（n ＝ 0 ～ 3）

CSn# 出力許可時（PF0CSE.CSnE ビット =“1”）、CSn# の出力端子を選択します。

17.1.2.10 ポートファンクションレジスタ 3（PF3BUS）

アドレス　0008 C103h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0：A16出力無効 1：A16出力有効	R/W
b1	A17E	アドレスA17出力許可ビット	0：A17出力無効 1：A17出力有効	R/W
b2	A18E	アドレスA18出力許可ビット	0：A18出力無効 1：A18出力有効	R/W
b3	A19E	アドレスA19出力許可ビット	0：A19出力無効 1：A19出力有効	R/W
b4	A20E	アドレスA20出力許可ビット	0：A20出力無効 1：A20出力有効	R/W
b5	A21E	アドレスA21出力許可ビット	0：A21出力無効 1：A21出力有効	R/W
b6	A22E	アドレスA22出力許可ビット	0：A22出力無効 1：A22出力有効	R/W
b7	A23E	アドレスA23出力許可ビット	0：A23出力無効 1：A23出力有効	R/W

PF3BUS レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

AnE ビット（アドレス An 出力許可ビット）（n ＝ 16 ～ 23）

アドレス出力（An）の出力許可／禁止を選択します。

17.1.2.11 ポートファンクションレジスタ 4（PF4BUS）

アドレス　0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADRLE[1:0]	アドレス下位A9～A0出力許可ビット	b1 b0 0 0：A9～A0出力無効 0 1：A9～A4出力無効、A3～A0出力有効 1 0：A9～A8出力無効、A7～A0出力有効 1 1：A9～A0出力有効	R/W
b2	A10E	アドレスA10出力許可ビット	0：A10出力無効 1：A10出力有効	R/W
b3	A11E	アドレスA11出力許可ビット	0：A11出力無効 1：A11出力有効	R/W
b4	A12E	アドレスA12出力許可ビット	0：A12出力無効 1：A12出力有効	R/W
b5	A13E	アドレスA13出力許可ビット	0：A13出力無効 1：A13出力有効	R/W
b6	A14E	アドレスA14出力許可ビット	0：A14出力無効 1：A14出力有効	R/W
b7	A15E	アドレスA15出力許可ビット	0：A15出力無効 1：A15出力有効	R/W

PF4BUS レジスタは、アドレス出力の許可 / 禁止をするレジスタです。

ADRLE[1:0] ビット（アドレス下位 A9 ～ A0 出力許可ビット）

アドレス出力（A9 ～ A0）の出力許可／禁止を選択します。

AnE ビット（アドレス An 出力許可ビット）（n ＝ 10 ～ 15）

アドレス出力（An）の出力許可／禁止を選択します。

17.1.2.12 ポートファンクションレジスタ 5（PF5BUS）

アドレス　0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	WR32 BC32E	WR1BC1E	DH32E	DHE	—	—	ADRHMS	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ADRHMS	A23～A16出力選択ビット	A23～A16出力選択 0：PC[7:0]を外部アドレスバスA23-A～A16-Aとして設定 1：P9[7:0]を外部アドレスバスA23-B～A16-Bとして設定	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DHE	データD15～D8有効ビット	0：PE7～PE0をI/Oポートとして設定 1：PE7～PE0を外部データバスD15～D8として設定	R/W
b5	DH32E	データD31～D16有効ビット	0：PG7～PG0、P97～P90をI/Oポートとして設定 1：PG7～PG0、P97～P90を外部データバスD31～D16として設定	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0：P51をI/Oポートとして設定 1：P51をWR#1またはBC1#として設定	R/W
b7	WR32BC32E	WR3#/BC3#出力許可ビット WR2#/BC2#出力許可ビット	0：P56、P57をI/O ポートとして設定 1：P56をWR#2またはBC2#として設定 P57をWR#3またはBC3#として設定	R/W

ADRHMS ビット（アドレス A23 ～ A16 出力選択許可ビット）

アドレスバス（A23 ～ A16）の出力端子を選択します。

DHE ビット（データ D15 ～ D8 有効ビット）

データ入出力（D15 ～ D8）の入出力許可／禁止を選択します。

DH32E ビット（データ D31 ～ D16 有効ビット）

データ入出力（D31 ～ D16）の入出力許可／禁止を選択します。

WR1BC1E ビット（WR1#/BC1# 出力許可ビット）

WR1#/BC1# 出力の許可／禁止を選択します。

WR32BC32E ビット（WR3#/BC3# 出力許可ビット、WR2#/BC2# 出力許可ビット）

WR3#/BC3#、WR2#/BC2# 出力の許可／禁止を選択します。

17.1.2.13 ポートファンクションレジスタ 6（PF6BUS）

アドレス　0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	SDCLKE	DQM1E	—	MDSDE	—	—	WAITS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT選択ビット	b1 b0 0 0：P57をWAIT#-A入力端子として設定 0 1：P55をWAIT#-B入力端子として設定 1 0：PC5をWAIT#-C入力端子として設定 1 1：P51をWAIT#-D入力端子として設定	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MDSDE	SDRAM端子許可ビット	b6（DQM1Eビット）を参照してください。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	DQM1E	DQM1出力許可ビット	MDSDE DQM1E 0 x：P70/SDCLKに限り、SDCLKEビットにより制御 1 0：P67/DQM1を除き、SDRAM有効 1 1：SDRAM有効（全端子）	R/W
b7	SDCLKE	SDCLK出力許可ビット	0：SDCLK出力無効 1：SDCLK出力有効	R/W

WAITS ビット（WAIT 選択ビット）

WAIT# の入力端子を選択します。

MDSDE ビット（SDRAM 端子許可ビット）

SDRAM 端子の出力許可／禁止を選択します。

DQM1 端子は、MDSDE ビットを “1” にした状態で、DQM1E ビットにより個別に出力許可／禁止が選択可能です。SDCLK 端子は、MDSDE ビットの設定によらず、独立して SDCLKE ビットにより独立して出力許可／禁止が選択可能です。

DQM1E ビット（DQM1 出力許可ビット）

DQM1 端子の出力許可／禁止を選択します。

MDSDE ビットを “1” にすると DQM1E ビットの設定が有効になります。MDSDE ビットを “0” に設定すると DQM1E ビットの設定は無視されます。

SDCLK ビット（SDCLK 出力許可ビット）

SDCLK 端子の出力許可／禁止を選択します。

SDCLK ビットの設定を変更する場合は、SDCLK の設定をクロック停止状態にしてから変更してください。

17.1.2.14 ポートファンクションレジスタ 7（PF7DMA）

アドレス 0008 C107h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDMA1S[1:0]		EDMA0S[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	EDMA0S[1:0]	EXDMAC0端子選択ビット	b5 b4 0 0：P80をEDREQ0-A端子として設定 P81をEDACK0-A端子として設定 0 1：P22をEDREQ0-B端子として設定 P23をEDACK0-B端子として設定 1 x：P55をEDREQ0-C端子として設定 P54をEDACK0-C端子として設定	R/W
b7-b6	EDMA1S[1:0]	EXDMAC1端子選択ビット	b7 b6 0 0：P82をEDREQ1-A端子として設定 P83をEDACK1-A端子として設定 0 1：P24をEDREQ1-B端子として設定 P25をEDACK1-B端子として設定 1 x：P57をEDREQ1-C端子として設定 P56をEDACK1-C端子として設定	R/W

【記号説明】 x：Don’t care

EDMAnS ビット（EXDMACn 端子選択ビット）（n ＝ 0 ～ 1）

EXDMACn の端子を選択します。

17.1.2.15 ポートファンクションレジスタ 8（PF8IRQ）

アドレス　0008 C108h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS15	—	ITS13	—	ITS11	ITS10	ITS9	ITS8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITS8	IRQ8端子選択ビット	0：P00をIRQ8-A入力端子として設定 1：P40をIRQ8-B入力端子として設定	R/W
b1	ITS9	IRQ9端子選択ビット	0：P01をIRQ9-A入力端子として設定 1：P41をIRQ9-B入力端子として設定	R/W
b2	ITS10	IRQ10端子選択ビット	0：P02をIRQ10-A入力端子として設定 1：P42をIRQ10-B入力端子として設定	R/W
b3	ITS11	IRQ11端子選択ビット	0：P03をIRQ11-A入力端子として設定 1：P43をIRQ11-B入力端子として設定	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ITS13	IRQ13端子選択ビット	0：P05をIRQ13-A入力端子として設定 1：P45をIRQ13-B入力端子として設定	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ITS15	IRQ15端子選択ビット	0：P07をIRQ15-A入力端子として設定 1：P47をIRQ15-B入力端子として設定	R/W

PF8IRQ レジスタは、IRQ8 ～ IRQ15 入力端子を選択するレジスタです。

ITSi（IRQi 端子選択ビット）（i ＝ 8 ～ 11、13、15）

IRQi の入力端子を選択します。

17.1.2.16 ポートファンクションレジスタ 9（PF9IRQ）

アドレス　0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITS0	IRQ0端子選択ビット	0：P30をIRQ0-A入力端子として設定 1：P10をIRQ0-B入力端子として設定	R/W
b1	ITS1	IRQ1端子選択ビット	0：P31をIRQ1-A入力端子として設定 1：P11をIRQ1-B入力端子として設定	R/W
b2	ITS2	IRQ2端子選択ビット	0：P32をIRQ2-A入力端子として設定 1：P12をIRQ2-B入力端子として設定	R/W
b3	ITS3	IRQ3端子選択ビット	0：P33をIRQ3-A入力端子として設定 1：P13をIRQ3-B入力端子として設定	R/W
b4	ITS4	IRQ4端子選択ビット	0：P34をIRQ4-A入力端子として設定 1：P14をIRQ4-B入力端子として設定	R/W
b5	ITS5	IRQ5端子選択ビット	0：PE5をIRQ5-A入力端子として設定 1：P15をIRQ5-B入力端子として設定	R/W
b6	ITS6	IRQ6端子選択ビット	0：PE6をIRQ6-A入力端子として設定 1：P16をIRQ6-B入力端子として設定	R/W
b7	ITS7	IRQ7端子選択ビット	0：PE7をIRQ7-A入力端子として設定 1：P17をIRQ7-B入力端子として設定	R/W

PF9IRQ レジスタは、IRQ0 ～ IRQ7 入力端子を選択するレジスタです。

ITSi（IRQi 端子選択ビット）（i=0 ～ 7）

IRQi の入力端子を選択します。

17.1.2.17 ポートファンクションレジスタ A（PFAADC）

アドレス　0008 C10Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	ADTRG0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRG0S	ADTRG0#入力選択ビット	0：P07をADTRG0#-A入力端子として設定 1：P25をADTRG0#-B入力端子として設定	R/W
b7-b1	–	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W

ADTRG0S ビット（ADTRG0# 入力選択ビット）

ADTRG0# の入力端子を選択します。

17.1.2.18 ポートファンクションレジスタ B（PFBTMR）

アドレス　0008 C10Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	TMR3S	TMR2S	TMR1S	TMR0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMR0S	TMR0入力端子選択ビット	0：P01をTMCI0-A端子として選択 P00をTMRIO-A端子として選択 1：P21をTMCI0-B端子として選択 P20をTMRIO-B端子として選択	R/W
b1	TMR1S	TMR1入力端子選択ビット	0：P02をTMCI1-A端子として選択 1：P12をTMCI1-B端子として選択	R/W
b2	TMR2S	TMR2入力端子選択ビット	0：P15をTMCI2-A端子として選択 1：P31をTMCI2-B端子として選択	R/W
b3	TMR3S	TMR3入力端子選択ビット	0：P11をTMCI3-A端子として選択 P10をTMRI3-A端子として選択 1：P34をTMCI3-B端子として選択 P30をTMRI3-B端子として選択	R/W
b7-b4	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFBTMR レジスタは、TMR0 ～ TMR3 の端子を選択するレジスタです。

TMRnS ビット（TMRn 入力端子選択ビット）（n ＝ 0 ～ 3）

TMRn の入力端子を選択します。

17.1.2.19 ポートファンクションレジスタ C（PFCMTU）

アドレス　0008 C10Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	MTUS6	MTUS5	MTUS4	MTUS3	MTUS2	－	－
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	MTUS2	MTU端子選択ビット2	0：P16をMTIOC3C-A端子として選択 1：P56をMTIOC3C-B端子として選択	R/W
b3	MTUS3	MTU端子選択ビット3	0：P22をMTIOC3B-A端子として選択 P23をMTIOC3D-A端子として選択 1：P80をMTIOC3B-B端子として選択 P81をMTIOC3D-B端子として選択	R/W
b4	MTUS4	MTU端子選択ビット4	0：P24をMTIOC4A-A端子として選択 P25をMTIOC4C-A端子として選択 1：P82をMTIOC4A-B端子として選択 P83をMTIOC4C-B端子として選択	R/W
b5	MTUS5	MTU端子選択ビット5	0：P30をMTIOC4B-A端子として選択 P31をMTIOC4D-A端子として選択 1：P54をMTIOC4B-B端子として選択 P55をMTIOC4D-B端子として選択	R/W
b6	MTUS6	MTU端子選択ビット6	0：P12をMTIC5U-A端子として選択 P11をMTIC5V-A端子として選択 P10をMTIC5W-A端子として選択 1：PD7をMTIC5U-B端子として選択 PD6をMTIC5V-B端子として選択 PD5をMTIC5W-B端子として選択	R/W
b7	TCLKS	MTCLK端子選択ビット	0：P24をMTCLKA-A端子として選択 P25をMTCLKB-A端子として選択 P22をMTCLKC-A端子として選択 P23をMTCLKD-A端子として選択 1：PC6をMTCLKA-B端子として選択 PC7をMTCLKB-B端子として選択 PC4をMTCLKC-B端子として選択 PC5をMTCLKD-B端子として選択	R/W

PFCMTU レジスタは、MTU ユニット 0 の端子を選択するレジスタです。

MTUSj ビット（MTU 端子選択ビット j）（j ＝ 2 ～ 6）

MTU の入出力端子を選択します。

TCLKS ビット（MTCLK 端子選択ビット）

MTU の MTCLK 入力端子を選択します。

17.1.2.20 ポートファンクションレジスタ D（PFDMTU）

アドレス　0008 C10Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	MTUS6	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	MTUS6	MTU端子選択ビット6	0：PC7をMTIC11U-A端子として選択 PC6をMTIC11V-A端子として選択 PC5をMTIC11W-A端子として選択 1：PD4をMTIC11U-B端子として選択 PD3をMTIC11V-B端子として選択 PD2をMTIC11W-B端子として選択	R/W
b7	TCLKS	MTCLK端子選択ビット	0：PC2をMTCLKE-A端子として選択 PC3をMTCLKF-A端子として選択 PC0をMTCLKG-A端子として選択 PC1をMTCLKH-A端子として選択 1：PB4をMTCLKE-B端子として選択 PB5をMTCLKF-B端子として選択 PB2をMTCLKG-B端子として選択 PB3をMTCLKH-B端子として選択	R/W

PFDMTU レジスタは、MTU ユニット 1 の端子を選択するレジスタです。

MTUS6 ビット（MTU 端子選択ビット）

MTIC11U/V/W の入力端子を選択します。

TCLKS ビット（MTCLK 端子選択ビット）

MTU の MTCLK 入力端子を選択します。

17.1.2.21 ポートファンクションレジスタ E（PFENET）

アドレス　0008 C10Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	EE	—	—	PHY MODE	ENETE3	ENETE2	ENETE1	ENETE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENETE0	EtherNET端子許可ビット0	0：ET_WOL端子無効 1：ET_WOL端子有効	R/W
b1	ENETE1	EtherNET端子許可ビット1	0：ET_LINKSTA端子無効 1：ET_LINKSTA端子有効	R/W
b2	ENETE2	EtherNET端子許可ビット2	0：ET_EXOUT端子無効 1：ET_EXOUT端子有効	R/W
b3	ENETE3	EtherNET端子許可ビット3	0：ET_TX_ER端子無効 1：ET_TX_ER端子有効	R/W
b4	PHYMODE	EtherNETモード設定ビット	0：RMIIモード 1：MIIモード	R/W
b6-b5	—	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	EE	EtherNET端子許可ビット	0：EtherNET端子全体を無効に設定 1：EtherNET端子全体を有効に設定	R/W

PFENET レジスタは、EtherNET に関する入出力端子の設定するレジスタです。

ENETE0 ～ 3 ビット（EtherNET 端子許可ビット）

EtherNET 端子を選択します。

PHYMODE ビット（EtherNET モード設定ビット）

EtherNET の PHY モードを設定します。

表 17.6 に PHYMODE ビットの設定と、EtherNET のモードの関係を示します。

EE（EtherNET 端子許可ビット）

EtherNET 端子の有効 / 無効を選択します。

表17.6 PHYMODEビットの設定とEther NETモードの関係（176ピンLFBGA）

PHYMODE	EtherNETのモード	使用するEhterNET端子	割り当てポート名	備考
0	RMIIモード	ET_MDC	P72	
		ET_MDIO	P71	
		ET_WOL	P73	ENETE0=“1”で有効
		ET_LINKSTA	P54	ENETE1=“1”で有効
		ET_EXOUT	P55	ENETE2=“1”で有効
		REF50CK	P76	
		RMII_TXD0	P81	
		RMII_TXD1	P82	
		RMII_TXD_EN	P80	
		RMII_RXD0	P75	
		RMII_RXD1	P74	
		RMII_RX_ER	P77	
		RMII_CRS_DV	P83	
1	MIIモード	ET_MDC	P72	
		ET_MDIO	P71	
		ET_WOL	P73	ENETE0=“1”で有効
		ET_LINKSTA	P54	ENETE1=“1”で有効
		ET_EXOUT	P55	ENETE2=“1”で有効
		ET_TX_CLK	PC4	
		ET_ETXD0	P81	
		ET_ETXD1	P82	
		ET_ETXD2	PC5	
		ET_ETXD3	PC6	
		ET_TX_EN	P80	
		ET_TX_ER	PC3	ENETE3=”1”
		ET_COL	PC7	
		ET_CRS	P83	
		ET_RX_CLK	P76	
		ET_ERXD0	P75	
		ET_ERXD1	P74	
		ET_ERXD2	PC1	
		ET_ERXD3	PC0	
		ET_RX_DV	PC2	
		ET_RX_ER	P77	

17.1.2.22 ポートファンクションレジスタ F（PFFSCI）

アドレス　0008 C10Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCI6S	—	—	SCI3S	SCI2S	SCI1S	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SCI1S	SCI1端子選択ビット	0：P30をRxD1-A端子として設定 P27をSCK1-A端子として設定 P26をTxD1-A端子として設定 1：PF2をRxD1-B端子として設定 PF1をSCK1-B端子として設定 PF0をTxD1-B端子として設定	R/W
b2	SCI2S	SCI2端子選択ビット	0：P12をRxD2-A端子として設定 P11をSCK2-A端子として設定 P13をTxD2-A端子として設定 1：P52をRxD2-B端子として設定 P51をSCK2-B端子として設定 P50をTxD2-B端子として設定	R/W
b3	SCI3S	SCI3端子選択ビット	0：P16をRxD3-A端子として設定 P15をSCK3-A端子として設定 P17をTxD3-A端子として設定 1：P25をRxD3-B端子として設定 P24をSCK3-B端子として設定 P23をTxD3-B端子として設定	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SCI6S	SCI6端子選択ビット	0：P01をRxD6-A端子として設定 P02をSCK6-A端子として設定 P00をTxD6-A端子として設定 1：P33をRxD6-B端子として設定 P34をSCK6-B端子として設定 P32をTxD6-B端子として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFFSCI レジスタは、SCI の端子を選択するレジスタです。

SCInS ビット（SCI チャネル n 端子選択ビット）（n ＝ 1 ～ 3、6）

SCI チャネル n の入出力端子を選択します。

17.1.2.23 ポートファンクションレジスタ G（PFGSPI）

アドレス　0008 C110h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSPIS	RSPI端子選択ビット	0：PC7をMISOA-A端子として設定 PC6をMOSIA-A端子として設定 PC5をRSPCKA-A端子として設定 PC4をSSLA0-A端子として設定 PC0をSSLA1-A端子として設定 PC1をSSLA2-A端子として設定 PC2をSSLA3-A端子として設定 1：PA7をMISOA-B端子として設定 PA6をMOSIA-B端子として設定 PA5をRSPCKA-B端子として設定 PA4をSSLA0-B端子として設定 PA0をSSLA1-B端子として設定 PA1をSSLA2-B端子として設定 PA2をSSLA3-B端子として設定	R/W
b1	RSPCKE	RSPCKA出力許可ビット	0：RSPCKA端子無効 1：RSPCKA端子有効	R/W
b2	MOSIE	MOSIA出力許可ビット	0：MOSIA端子無効 1：MOSIA端子有効	R/W
b3	MISOE	MISOA出力許可ビット	0：MISOA端子無効 1：MISOA端子有効	R/W
b4	SSL0E	SSLA0出力許可ビット	0：SSLA0端子無効 1：SSLA0端子有効	R/W
b5	SSL1E	SSLA1出力許可ビット	0：SSLA1端子無効 1：SSLA1端子有効	R/W
b6	SSL2E	SSLA2出力許可ビット	0：SSLA2端子無効 1：SSLA2端子有効	R/W
b7	SSL3E	SSLA3出力許可ビット	0：SSLA3端子無効 1：SSLA3端子有効	R/W

PFGSPI レジスタは、RSPI チャネル 0 に関する入出力端子の設定をするレジスタです。

RSPIS ビット（RSPI 端子選択ビット）

RSPI の入出力端子を選択します。RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを “1” にしている端子は選択されますが、許可ビットを “0” にしている端子は選択されません。

RSPCKE ビット（RSPCKA 出力許可ビット）

RSPCKA 端子の出力許可／禁止を選択します。RSPCKA 端子を使用する場合は、“1” にしてください。

MOSIE ビット（MOSIA 出力許可ビット）

MOSIA 端子の出力許可／禁止を選択します。MOSIA 端子を使用する場合は、“1” にしてください。

MISOE ビット（MISOA 出力許可ビット）

MISOA 端子の出力許可／禁止を選択します。MISOA 端子を使用する場合は、“1” にしてください。

SSL0E ビット（SSLA0 出力許可ビット）

SSLA0 端子の出力許可／禁止を選択します。SSLA0 端子を使用する場合は、“1” にしてください。

SSL1E ビット（SSLA1 出力許可ビット）

SSLA1 端子の出力許可／禁止を選択します。SSLA1 端子を使用する場合は、“1” にしてください。

SSL2E ビット（SSLA2 出力許可ビット）

SSLA2 端子の出力許可／禁止を選択します。SSLA2 端子を使用する場合は、“1” にしてください。

SSL3E ビット（SSLA3 出力許可ビット）

SSLA3 端子の出力許可／禁止を選択します。SSLA3 端子を使用する場合は、“1” にしてください。

17.1.2.24 ポートファンクションレジスタ H（PFHSPI）

アドレス　0008 C111h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSPIS	RSPI端子選択ビット	0：P30をMISOB-A端子として設定 P26をMOSIB-A端子として設定 P27をRSPCKB-A端子として設定 P31をSSLB0-A端子として設定 P50をSSLB1-A端子として設定 P51をSSLB2-A端子として設定 P52をSSLB3-A端子として設定 1：PE7をMISOB-B端子として設定 PE6をMOSIB-B端子として設定 PE5をRSPCKB-B端子として設定 PE4をSSLB0-B端子として設定 PE0をSSLB1-B端子として設定 PE1をSSLB2-B端子として設定 PE2をSSLB3-B端子として設定	R/W
b1	RSPCKE	RSPCKB出力許可ビット	0：RSPCKB端子無効 1：RSPCKB端子有効	R/W
b2	MOSIE	MOSIB出力許可ビット	0：MOSIB端子無効 1：MOSIB端子有効	R/W
b3	MISOE	MISOB出力許可ビット	0：MISOB端子無効 1：MISOB端子有効	R/W
b4	SSL0E	SSLB0出力許可ビット	0：SSLB0端子無効 1：SSLB0端子有効	R/W
b5	SSL1E	SSLB1出力許可ビット	0：SSLB1端子無効 1：SSLB1端子有効	R/W
b6	SSL2E	SSLB2出力許可ビット	0：SSLB2端子無効 1：SSLB2端子有効	R/W
b7	SSL3E	SSLB3出力許可ビット	0：SSLB3端子無効 1：SSLB3端子有効	R/W

PFHSPI レジスタは、RSPI チャネル 1 に関する入出力端子の設定をするレジスタです。

RSPIS ビット（RSPI 端子選択ビット）

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを “1” にしている端子は選択されますが、許可ビットを “0” にしている端子は選択されません。

RSPCKE ビット（RSPCKB 出力許可ビット）

RSPCKB の出力許可／禁止を選択します。RSPCKB を使用する場合は、“1” にしてください。

MOSIE ビット（MOSIB 出力許可ビット）

MOSIB 端子の出力許可／禁止を選択します。MOSIB 端子を使用する場合は、“1” にしてください。

MISOE ビット（MISOB 出力許可ビット）

MISOB 端子の出力許可／禁止を選択します。MISOB 端子を使用する場合は、“1” にしてください。

SSL0E ビット（SSLB0 出力許可ビット）

SSLB0 端子の出力許可／禁止を選択します。SSLB0 端子を使用する場合は、“1” にしてください。

SSL1E ビット（SSLB1 出力許可ビット）

SSLB1 端子の出力許可／禁止を選択します。SSLB1 端子を使用する場合は、“1” にしてください。

SSL2E ビット（SSLB2 出力許可ビット）

SSLB2 端子の出力許可／禁止を選択します。SSLB2 端子を使用する場合は、“1” にしてください。

SSL3E ビット（SSLB3 出力許可ビット）

SSLB3 端子の出力許可／禁止を選択します。SSLB3 端子を使用する場合は、“1” にしてください。

17.1.2.25 ポートファンクションレジスタ J（PFJCAN）

アドレス　0008 C113h

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	CAN0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CAN0E	CAN0端子許可ビット	0：CTX0端子およびCRX0端子無効 1：CTX0端子およびCRX0端子有効	R/W
b7-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFJCAN レジスタは、CAN に関する入出力端子の設定するレジスタです。

CAN0E ビット（CAN0 端子許可ビット）

CAN0 端子の許可／禁止を選択します。CAN0 を使用する場合は、“1” にしてください。

17.1.2.26 ポートファンクションレジスタ K（PFKUSB）

アドレス　0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	USBE	PDHZS	PUPHZS	USBMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	USBMD[1:0]	USBモード設定ビット	b1 b0 0 0：USB0端子をファンクションモードに設定 0 1：USB0端子をホストモード用に設定 1 0：USB0端子をホスト/ファンクション兼用に設定 （オプション）（注1） 1 1：USB0端子をOTGモードに設定	R/W
b2	PUPHZS	PUPHZ選択ビット	0：USB0_DPUPE端子＝High出力/Low出力 （外部プルアップ制御信号） 1：USB0_DPUPE端子＝High出力/Hi-Z状態 （USB0_DP端子プルアップ出力）	R/W
b3	PDHZS	PDHZ選択ビット	0：USB0_DPRPD端子＝High出力/Low出力 USB0_DRPD端子＝High出力/Low出力 （外部プルダウン制御信号） 1：USB0_DPRPD端子＝Low出力/Hi-Z状態 USB0_DRPD端子＝Low出力/Hi-Z状態 （USB0_DP、USB0_DM端子プルダウン出力）	R/W
b4	USBE	USB許可ビット	0：USB0端子全体を無効に設定 1：USB0端子全体を有効に設定	R/W
b7-b5	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　オプションについては、弊社営業窓口までお問い合わせください。

PFKUSB レジスタは、USB0 に関する入出力端子の設定するレジスタです。

USBMD[1:0] ビット（USB モード設定ビット）

USB のモードを選択します。

表 17.8 に USBMD[1:0] ビットの設定と、USB モードの関係を示します。

PUPHZS ビット（PUPHZ 選択ビット）

USB の DPUPE 端子の出力モード（外部プルアップ制御／端子プルアップ出力）を選択します。

PUPHZS ビットを “0” にすると、外部プルアップ IC 用の制御信号出力モードになり、DPUPE 端子からは High アクティブの制御信号が出力されます。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子は Low 出力状態になります。

PUPHZS ビットを “1” にすると、DP 端子を直接プルアップする出力モードになります。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子はハイインピーダンス状態になります。

PDHZS ビット（PDHZ 選択ビット）

USB の DPRPD 端子、DRPD 端子の出力モード（外部プルダウン制御／端子プルダウン出力）を選択します。

PDHZS ビットを “0” にすると、外部プルダウン IC 用の制御信号出力モードになり、DPRPD 端子、DRPD 端子からは High アクティブの制御信号が出力されます。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は High 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子は Low 出力状態になります。

PDHZS ビットを “1” にすると、DP、DM 端子を直接プルダウンする出力モードになります。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は Low 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子はハイインピーダンス状態になります。

USBE ビット（USB 許可ビット）

USB 端子を許可します。

表 17.7　USBMD[1:0] ビットの設定と USB モードの関係（USB0）

USBMD1	USBMD0	USB0 のモード	使用する USB 端子	割り当てポート名	備考
0	0	ファンクションモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_VBUS	P16	
			USB0_DPUPE-B	P14	-B 側を選択
0	1	ホストモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUSEN-B	P16	-B 側を選択
1	0	ホスト/ファンクション兼用（オプション）（注 1）	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUS	P16	
			USB0_DRPD	P22	
			USB0_DPUPE-A	P23	-A 側を選択
			USB0_VBUSEN-A	P24	-A 側を選択
1	1	OTG モード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_OVRCURB	P16	
			USB0_DPRPD	P25	
			USB0_DRPD	P22	
			USB0_EXICEN	P21	
			USB0_ID	P20	
			USB0_DPUPE-A	P23	-A 側を選択
			USB0_VBUSEN-A	P24	-A 側を選択

注 1.　オプションについては、弊社営業窓口までお問い合わせください。

17.1.2.27　ポートファンクションレジスタ L（PFLUSB）

アドレス　0008 C115h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	USBE	PDHZS	PUPHZS	USBMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	USBMD[1:0]	USBモード設定ビット	b1 b0 0 0：USB1端子をファンクションモードに設定 0 1：USB1端子をホストモード用に設定 1 0：USB1端子をホスト/ファンクション兼用に設定 （オプション）（注1） 1 1：USB1端子をOTGモードに設定	R/W
b2	PUPHZS	PUPHZ選択ビット	0：USB1_DPUPE端子＝High出力/Low出力 （外部プルアップ制御信号） 1：USB1_DPUPE端子＝High出力/Hi-Z状態 （USB1_DP端子プルアップ出力）	R/W
b3	PDHZS	PDHZ選択ビット	0：USB1_DPRPD端子＝High出力/Low出力 USB1_DRPD端子＝High出力/Low出力 （外部プルダウン制御信号） 1：USB1_DPRPD端子＝Low出力/Hi-Z状態 USB1_DRPD端子＝Low出力/Hi-Z状態 （USB1_DP、USB1_DM端子プルダウン出力）	R/W
b4	USBE	USB許可ビット	0：USB1端子全体を無効に設定 1：USB1端子全体を有効に設定	R/W
b7-b5	—	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1.　オプションについては、弊社営業窓口までお問い合わせください。

PFLUSB レジスタは、USB1 に関する入出力端子の設定をするレジスタです。

USBMD[1:0] ビット（USB モード設定ビット）

USB のモードを選択します。

表 17.8 に USBMD[1:0] ビットの設定と、USB モードの関係を示します。

PUPHZS ビット（PUPHZ 選択ビット）

USB の DPUPE 端子の出力モード（外部プルアップ制御／端子プルアップ出力）を選択します。

PUPHZS ビットを “0” にすると、外部プルアップ IC 用の制御信号出力モードになり、DPUPE 端子からは High アクティブの制御信号が出力されます。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子は Low 出力状態になります。

PUPHZS ビットを “1” にすると、DP 端子を直接プルアップする出力モードになります。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子は Hiz 状態になります。

PDHZS ビット（PDHZ 選択ビット）

USB の DPRPD 端子、DRPD 端子の出力モード（外部プルダウン制御／端子プルダウン出力）を選択します。

PDHZS ビットを “0” にすると、外部プルダウン IC 用の制御信号出力モードになり、DPRPD 端子、DRPD 端子からは High アクティブの制御信号が出力されます。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は High 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子は Low 出力状態になります。

PDHZS ビットを “1” にすると、DP、DM 端子を直接プルダウンする出力モードになります。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は Low 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子はハイインピーダンス状態になります。

USBE ビット（USB 許可ビット）

USB 端子をイネーブルにします。

表 17.8　USBMD[1:0] ビットの設定と USB モードの関係（USB1）

USBMD1	USBMD0	USB1 のモード	使用する USB 端子	割り当てポート名	備荒
0	0	ファンクションモード	USB1_DP	USB1_DP	
			USB1_DM	USB1_DM	
			USB1_VBUS	P17	
			USB1_DPUPE-B	P15	-B 側を選択
0	1	ホストモード	USB1_DP	USB1_DP	
			USB1_DM	USB1_DM	
			USB1_OVRCURA	P15	
			USB1_VBUSEN-B	P17	-B 側を選択
1	0	ホスト/ファンクション兼用（オプション）（注 1）	USB1_DP	USB1_DP	
			USB1_DM	USB1_DM	
			USB1_OVRCURA	P15	
			USB1_VBUS	P17	
			USB1_DRPD	P30	
			USB1_DPUPE-A	P10	-A 側を選択
			USB1_VBUSEN-A	P11	-A 側を選択
1	1	OTG モード	USB1_DP	USB1_DP	
			USB1_DM	USB1_DM	
			USB1_OVRCURA	P15	
			USB1_OVRCURB	P17	
			USB1_DPRPD	P31	
			USB1_DRPD	P30	
			USB1_EXICEN	P27	
			USB1_ID	P26	
			USB1_DPUPE-A	P10	-A 側を選択
			USB1_VBUSEN-A	P11	-A 側を選択

注 1.　オプションについては、弊社営業窓口までお問い合わせください。

17.1.2.28 ポートファンクションレジスタ M（PFMPOE）

アドレス 0008 C116h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE7E	POE6E	POE5E	POE4E	POE3E	POE2E	POE1E	POE0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE0E	POE0入力許可ビット	0：I/Oポートとして設定 1：POEn#入力端子として設定（n=0～7）	R/W（注1）
b1	POE1E	POE1入力許可ビット		R/W（注1）
b2	POE2E	POE2入力許可ビット		R/W（注1）
b3	POE3E	POE3入力許可ビット		R/W（注1）
b4	POE4E	POE4入力許可ビット		R/W（注1）
b5	POE5E	POE5入力許可ビット		R/W（注1）
b6	POE6E	POE6入力許可ビット		R/W（注1）
b7	POE7E	POE7入力許可ビット		R/W（注1）

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFMPOE レジスタは、POE 入力端子の許可／禁止を選択するレジスタです。
システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。
書き込みはリセットスタート後の最初の 1 回目のみ有効です。

POEnE ビット（POEn 入力許可ビット）（n ＝ 0 ～ 7）

対応する POEn# 入力の許可／禁止を選択します。
POEn# を使用する場合は、対応する POEnE ビットを “1” にしてください。

17.1.2.29 ポートファンクションレジスタ N（PFNPOE）

アドレス 0008 C117h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	POE9E	POE8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE8E	POE8入力許可ビット	0：I/Oポートとして設定 1：POEn#入力端子として設定（n=8～9）	R/W（注1）
b1	POE9E	POE9入力許可ビット		R/W（注1）
b7-b2	—	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFNPOE レジスタは、POE 入力端子の許可／禁止を選択するレジスタです。
システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。
書き込みはリセットスタート後の最初の 1 回目のみ有効です。

POEnE ビット（POEn 入力許可ビット）（n ＝ 8 ～ 9）

対応する POEn# 入力の許可／禁止を選択します。
POEn# を使用する場合には、対応する POEnE ビットを “1” にしてください。

17.1.3 ポートの設定

各周辺モジュールの端子を有効に設定すると、各ポートの設定が切り替わります。

入力として機能する端子は、各周辺モジュールの設定により独立して設定できます。PORT レジスタリード、データバス入力、NMI、および POE 端子入力を除き、入力バッファコントロールレジスタ（ICR）の対応するビットを “1” にして入力バッファを有効にする必要があります。

出力および入出力として機能する端子は、各周辺モジュールの端子ごとに出力信号を有効に設定する必要があります。同じポートにマルチプレクスされている各周辺モジュールの出力信号有効設定が競合すると周辺モジュールのポートマルチプレクス優先順位に従って、優先される周辺モジュールの機能が有効になります。

表 17.9 に周辺モジュールのポートマルチプレクス優先順位一覧を示します。

表 17.10 に各ポートの出力イネーブル設定一覧を示します。

表 17.9　周辺モジュールのポートマルチプレクス優先順位一覧（176 ピン LFBGA）

優先順位		モジュール名	出力端子名
高	1	外部バス（データ）	D0～D31（データバス）
↑	2	外部バス SDRAM	RD#、WR#、WR0#～WR3#、BC0#～BC3#、BCLK、SDCLK、 SDCS#、RAS#、CAS#、WE#、CKE、DQM0～DQM3、 A0～A23（アドレスバス）
	3	外部バス（CS）	CS0#～CS7#（チップセレクト）
	4	RSPI0、RSPI1	RSPCKn、MOSIn、MISOn、SSLn0～SSLn3（n = A、B）
	5	USB0、USB1	USBm_DPUPE、USBm_VBUSEN、USBm_EXICEN、 USBm_DRPD、USBm_DPRPD（m = 0、1）
	6	CAN0	CTX0
	7	EtherNET	ET_MDC、ET_MDIO、ET_EXOUT、ET_WOL、 ET_TX_EN、ET_TX_ER、ET_ETXD0～ET_ETXD3、 RMII_TXD_EN、RMII_TXD0、RMII_TXD1
	8	EXDMAC0、 EXDMAC1	EDACK0、EDACK1
	9	MTU0～MTU4、 MTU6～MTU10	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、MTIOC2B、 MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、 MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC8A、MTIOC8B、 MTIOC9A、MTIOC9B、MTIOC9C、MTIOC9D、MTIOC10A、MTIOC10B、MTIOC10C、MTIOC10D
	10	TMR0～TMR3	TMO0～TMO3
	11	SCI0～SCI3、 SCI5～SCI6	SCK0～SCK3、SCK5～SCK6、 TxD0～TxD3、TxD5～TxD6
	12	RTC	RTCOUT
	13	PPG0、PPG1	PO0～PO15、PO16～PO31
	14	RIIC0、RIIC1	SCL0～SCL1、SDA0～SDA1
	15	DA	DA0～DA1
低	16	I/O PORT	P00～P03、P05、P07、P10～P17、P20～P27、P30～P34、P50～P52、 P54～P57、P60～P67、P70～P77、P80～P85、P90～P97、PA0～PA7、 PB0～PB7、PC0～PC7、PD0～PD7、PE0～PE7、PF0～PF4、PG0～PG7

17.1.4 出力許可設定一覧

表 17.10 に各ポートの出力許可設定一覧を示します。

当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

また、各周辺モジュールの端子名の末尾に A ～ D のいずれかが付いている端子は、ポートファンクションレジスタによって端子機能を変更できます。

表 17.10　各ポートの出力許可設定一覧 (1 / 14)（176 ピン LFBGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P00	SCI6	TxD6-A	PFFSCI.SCI6S = 0	SCI6.SCR.TE = 1
	PORT0	P00		PORT0.DDR.B0 = 1
P01	PORT0	P01		PORT0.DDR.B1 = 1
P02	SCI6	SCK6-A	PFFSCI.SCI6S = 0	SCI6.SCMR.SMIF = 1 のとき： SMR.GM = 0, SCR.CKE[1:0] = 01 か SMR.GM = 1 SCI6.SCMR.SMIF = 0 のとき： SMR.CM = 0, SCR.CKE[1:0] = 01 か SMR.CM = 1, SCR.CKE[1] = 0
	PORT0	P02		PORT0.DDR.B2 = 1
P03	DA	DA0		DACR.DAOE0 = 1
	PORT0	P03		PORT0.DDR.B3 = 1
P05	DA	DA1		DACR.DAOE1 = 1
	PORT0	P05		PORT0.DDR.B5 = 1
P07	PORT0	P07		PORT0.DDR.B7 = 1
P10	USB1	USB1_DPUPE-A	PFLUSB.USBE = 1 PFLUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	PORT1	P10		PORT1.DDR.B0 = 1
P11	USB1	USB1_VBUSEN-A	PFLUSB.USBE = 1 PFLUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	SCK2-A	PFFSCI.SCI2S = 0	SCI2.SCMR.SMIF = 1 のとき： SMR.GM = 0, SCR.CKE[1:0] = 01 か SMR.GM = 1 SCI2.SCMR.SMIF = 0 のとき： SMR.CM = 0, SCR.CKE[1:0] = 01 か SMR.CM = 1, SCR.CKE[1] = 0
	PORT1	P11		PORT1.DDR.B1 = 1
P12	RIIC0	SCL0		RIIC0.ICCR1.ICE = 1
	PORT1	P12		PORT1.DDR.B2 = 1
P13	TMR3	TMO3		TMO3.TCSR.OSA[1:0] = 01/10/11 か TMO3.TCSR.OSB[1:0] = 01/10/11
	SCI2	TxD2-A	PFFSCI.SCI2S = 0	SCI2.SCR.TE = 1
	RIIC0	SDA0		RIIC0.ICCR1.ICE = 1
	PORT1	P13		PORT1.DDR.B3 = 1
P14	USB0	USB0_DPUPE-B	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	PORT1	P14		PORT1.DDR.B4 = 1

表17.10　各ポートの出力許可設定一覧 (2 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P15	USB1	USB1_DPUPE-B	PFLUSB.USBE = 1 PFLUSB.USBMD[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0B		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	SCK3-A	PFFSCI.SCI3S = 0	SCI3.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI3.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO13		PPG0.NDERH.NDER13 = 1
	PORT1	P15		PORT1.DDR.B5 = 1
P16	USB0	USB0_VBUSEN-B	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 01	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3C-A	PFCMTU.MTUS2 = 0	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR2	TMO2		TMO2.TCSR.OSA[1:0] = 01/10/11 か TMO2.TCSR.OSB[1:0] = 01/10/11
	PPG0	PO14		PPG0.NDERH.NDER14 = 1
	PORT1	P16		PORT1.DDR.B6 = 1
P17	USB1	USB1_VBUSEN-B	PFLUSB.USBE = 1 PFLUSB.USBMD[1:0] = 01	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3A		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	TxD3-A	PFFSCI.SCI3S = 0	SCI3.SCR.TE = 1
	PPG0	PO15		PPG0.NDERH.NDER15 = 1
	PORT1	P17		PORT1.DDR.B7 = 1
P20	MTU1	MTIOC1A		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI0	TxD0		SCI0.SCR.TE = 1
	PPG0	PO0		PPG0.NDERL.NDER0 = 1
	RIIC1	SDA1		RIIC1.ICCR1.ICE = 1
	PORT2	P20		PORT2.DDR.B0 = 1
P21	USB0	USB0_EXICEN	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	MTU1	MTIOC1B		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO1		PPG0.NDERL.NDER1 = 1
	RIIC1	SCL1		RIIC1.ICCR1.ICE = 1
	PORT2	P21		PORT2.DDR.B1 = 1

表17.10　各ポートの出力許可設定一覧 (3 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P22	USB0	USB0_DRPD	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3B-A	PFCMTU.MTUS3 = 0	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR0	TMO0		TMO0.TCSR.OSA[1:0] = 01/10/11 か TMO0.TCSR.OSB[1:0] = 01/10/11
	SCI0	SCK0		SCI0.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI0.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO2		PPG0.NDERL.NDER2 = 1
	PORT2	P22		PORT2.DDR.B2 = 1
P23	USB0	USB0_DPUPE-A	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	EXDMAC0	EDACK0-B	PF7DMA.EDMA0S[1:0] = 01	EXDMAC0.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC0 の設定に従います)
	MTU3	MTIOC3D-A	PFCMTU.MTUS3 = 0	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	TxD3-B	PFFSCI.SCI3S = 1	SCI3.SCR.TE = 1
	PPG0	PO3		PPG0.NDERL.NDER3 = 1
	PORT2	P23		PORT2.DDR.B3 = 1
P24	外部バス （CS）	CS4#-C	PF0CSE.CS4E = 1 PF1CSS.CS4S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	USB0	USB0_VBUSEN-A	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4A-A	PFCMTU.MTUS4 = 0	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	SCK3-B	PFFSCI.SCI3S = 1	SCI3.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI3.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO4		PPG0.NDERL.NDER4 = 1
	PORT2	P24		PORT2.DDR.B4 = 1
P25	外部バス （CS）	CS5#-C	PF0CSE.CS5E = 1 PF1CSS.CS5S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	USB0	USB0_DPRPD	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	EXDMAC1	EDACK1-B	PF7DMA.EDMA1S[1:0] = 01	EDMAC1.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC1 の設定に従います)
	MTU4	MTIOC4C-A	PFCMTU.MTUS4 = 0	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO5		PPG0.NDERL.NDER5 = 1
	PORT2	P25		PORT2.DDR.B5 = 1

表17.10　各ポートの出力許可設定一覧 (4 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P26	外部バス （CS）	CS6#-C	PF0CSE.CS6E = 1 PF1CSS.CS6S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI1	MOSIB-A	PFHSPI.MOSIE = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU2	MTIOC2A		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR1	TMO1		TMO1.TCSR.OSA[1:0] = 01/10/11 か TMO1.TCSR.OSB[1:0] = 01/10/11
	SCI1	TxD1-A	PFFSCI.SCI1S = 0	SCI1.SCR.TE = 1
	PPG0	PO6		PPG0.NDERL.NDER6 = 1
	PORT2	P26		PORT2.DDR.B6 = 1
P27	外部バス （CS）	CS7#-C	PF0CSE.CS7E = 1 PF1CSS.CS7S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI1	RSPCKB-A	PFHSPI.RSPCKE = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	USB1	USB1_EXICEN	PFLUSB.USBE = 1 PFLUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	MTU2	MTIOC2B		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI1	SCK1-A	PFFSCI.SCI1S = 0	SCI1.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI1.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO7		PPG0.NDERL.NDER7 = 1
	PORT2	P27		PORT2.DDR.B7 = 1
P30	RSPI1	MISOB-A	PFHSPI.MISOE = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	USB1	USB1_DRPD	PFLUSB.USBE = 1 PFLUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4B-A	PFCMTU.MTUS5 = 0	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO8		PPG0.NDERH.NDER8 = 1
	PORT3	P30		PORT3.DDR.B0 = 1
P31	RSPI1	SSLB0-A	PFHSPI.SSL0E = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	USB1	USB1_DPRPD	PFLUSB.USBE = 1 PFLUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4D-A	PFCMTU.MTUS5 = 0	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO9		PPG0.NDERH.NDER9 = 1
	PORT3	P31		PORT3.DDR.B1 = 1
P32	CAN0	CTX0	PFJCAN.CAN0E = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0C		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI6	TxD6-B	PFFSCI.SCI6S = 1	SCI6.SCR.TE = 1
	RTC	RTCOUT		RCR2.RTCOE = 1
	PPG0	PO10		PPG0.NDERH.NDER10 = 1
	PORT3	P32		PORT3.DDR.B2 = 1

表17.10　各ポートの出力許可設定一覧 (5 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P33	MTU0	MTIOC0D		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO11		PPG0.NDERH.NDER11 = 1
	PORT3	P33		PORT3.DDR.B3 = 1
P34	MTU0	MTIOC0A		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI6	SCK6-B	PFFSCI.SCI6S = 1	SCI6.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI6.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO12		PPG0.NDERH.NDER12 = 1
	PORT3	P34		PORT3.DDR.B4 = 1
P35	（該当なし）	（該当なし）		
P40	I/O PORT	P40		P4.DDR.B0 = 1
P41	I/O PORT	P41		P4.DDR.B1 = 1
P42	I/O PORT	P42		P4.DDR.B2 = 1
P43	I/O PORT	P43		P4.DDR.B3 = 1
P44	I/O PORT	P44		P4.DDR.B4 = 1
P45	I/O PORT	P45		P4.DDR.B5 = 1
P46	I/O PORT	P46		P4.DDR.B6 = 1
P47	I/O PORT	P47		P4.DDR.B7 = 1
P50	外部バス	WR# WR0#		SYSCR0.EXBE = 1
	RSPI1	SSLB1-A	PFHSPI.SSL1E = 1 PFHSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	TxD2-B	PFFSCI.SCI2S = 1	SCI2.SCR.TE = 1
	PORT5	P50		PORT5.DDR.B0 = 1
P51	外部バス	WR1# BC1#	PF5BUS.WR1BC1E = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB2-A	PFHSPI.SSL2E = 1 PFHSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	SCK2-B	PFFSCI.SCI2S = 1	SCI2.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI2.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORT5	P51		PORT5.DDR.B1 = 1
P52	外部バス	RD#		SYSCR0.EXBE = 1
	RSPI1	SSLB3-A	PFHSPI.SSL3E = 1 PFHSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	PORT5	P52		PORT5.DDR.B2 = 1
P53	外部バス	BCLK		PORT5.DDR.B3 = 1
P54	EXDMAC0	EDACK0-C	PF7DMA.EDMA0S[1:0] = 11/10	EXDMAC0.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC0 の設定に従います)
	MTU4	MTIOC4B-B	PFCMTU.MTUS5 = 1	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT5	P54		PORT5.DDR.B4 = 1

表17.10　各ポートの出力許可設定一覧 (6 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P55	EtherNET	ET_EXOUT	PFENET.EE = 1 PFENET.ENETE2 = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4D-B	PFCMTU.MTUS5 = 1	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT5	P55		PORT5.DDR.B5 = 1
P56	外部バス	WR2# BC2#	PF5BUS.WR32BC32E = 1	SYSCR0.EXBE = 1
	EXDMAC1	EDACK1-C	PF7DMA.EDMA1S[1:0] = 11/10	EDMAC1.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC1 の設定に従います)
	MTU3	MTIOC3C-B	PFCMTU.MTUS2 = 1	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT5	P56		PORT5.DDR.B6 = 1
P57	外部バス	WR3# BC3#	PF5BUS.WR32BC32E = 1	SYSCR0.EXBE = 1
	PORT5	P57		PORT5.DDR.B7 = 1
P60	外部バス （CS）	CS0#-A	PF0CSE.CS0E = 1 PF2CSS.CS0S = 0	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P60		PORT6.DDR.B0 = 1
P61	SDRAM	SDCS#	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス （CS）	CS1#-A	PF0CSE.CS1E = 1 PF2CSS.CS1S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P61		PORT6.DDR.B1 = 1
P62	SDRAM	RAS#	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス （CS）	CS2#-A	PF0CSE.CS2E = 1 PF2CSS.CS2S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P62		PORT6.DDR.B2 = 1
P63	SDRAM	CAS#	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス （CS）	CS3#-A	PF0CSE.CS3E = 1 PF2CSS.CS3S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P63		PORT6.DDR.B3 = 1
P64	SDRAM	WE#	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス （CS）	CS4#-A	PF0CSE.CS4E = 1 PF1CSS.CS4S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P64		PORT6.DDR.B4 = 1
P65	SDRAM	CKE	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス （CS）	CS5#-A	PF0CSE.CS5E = 1 PF1CSS.CS5S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P65		PORT6.DDR.B5 = 1
P66	SDRAM	DQM0	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス （CS）	CS6#-A	PF0CSE.CS6E = 1 PF1CSS.CS6S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P66		PORT6.DDR.B6 = 1
P67	SDRAM	DQM1	PF6BUS.MDSDE = 1 PF6BUS.DQM1E = 1	SYSCR0.EXBE = 1
	外部バス （CS）	CS7#-A	PF0CSE.CS7E = 1 PF1CSS.CS7S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P67		PORT6.DDR.B7 = 1
P70	SDRAM	SDCLK	PF6BUS.SDCLKE = 1	
	PORT7	P70		PORT7.DDR.B0 = 1

表17.10　各ポートの出力許可設定一覧 (7 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P71	外部バス（CS）	CS1#-B	PF0CSE.CS1E = 1 PF2CSS.CS1S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	EtherNET	ET_MDIO	PFENET.EE = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORT7	P71		PORT7.DDR.B1 = 1
P72	外部バス（CS）	CS2#-B	PF0CSE.CS2E = 1 PF2CSS.CS2S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	EtherNET	ET_MDC	PFENET.EE = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P72		PORT7.DDR.B2 = 1
P73	外部バス（CS）	CS3#-B	PF0CSE.CS3E = 1 PF2CSS.CS3S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	EtherNET	ET_WOL	PFENET.EE = 1 PFENET.ENETE0 = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P73		PORT7.DDR.B3 = 1
P74	外部バス（CS）	CS4#-B	PF0CSE.CS4E = 1 PF1CSS.CS4S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT7	P74		PORT7.DDR.B4 = 1
P75	外部バス（CS）	CS5#-B	PF0CSE.CS5E = 1 PF1CSS.CS5S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT7	P75		PORT7.DDR.B5 = 1
P76	外部バス（CS）	CS6#-B	PF0CSE.CS6E = 1 PF1CSS.CS6S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT7	P76		PORT7.DDR.B6 = 1
P77	外部バス（CS）	CS7#-B	PF0CSE.CS7E = 1 PF1CSS.CS7S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT7	P77		PORT7.DDR.B7 = 1
P80	EtherNET	ET_TX_EN	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	EtherNET	RMII_TXD_EN	PFENET.EE = 1 PFENET.PHYMODE = 0	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3B-B	PFCMTU.MTUS3 = 1	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT8	P80		PORT8.DDR.B0 = 1
P81	EtherNET	ET_ETXD0	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	EtherNET	RMII_TXD0	PFENET.EE = 1 PFENET.PHYMODE = 0	(信号出力状態は周辺モジュールの設定に従います)
	EXDMAC0	EDACK0-A	PF7DMA.EDMA0S[1:0] = 00	EXDMAC0.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC0 の設定に従います)
	MTU3	MTIOC3D-B	PFCMTU.MTUS3 = 1	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT8	P81		PORT8.DDR.B1 = 1
P82	EtherNET	ET_ETXD1	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	EtherNET	RMII_TXD1	PFENET.EE = 1 PFENET.PHYMODE = 0	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4A-B	PFCMTU.MTUS4 = 1	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT8	P82		PORT8.DDR.B2 = 1

表17.10　各ポートの出力許可設定一覧 (8 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P83	EXDMAC1	EDACK1-A	PF7DMA.EDMA1S[1:0] = 00	EDMAC1.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC1 の設定に従います)
	MTU4	MTIOC4C-B	PFCMTU.MTUS4 = 1	MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT8	P83		PORT8.DDR.B3 = 1
P84	PORT8	P84		PORT8.DDR.B4 = 1
P85	PORT8	P85		PORT8.DDR.B5 = 1
P90	外部バス （データ）	D16	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	外部バス	A16-B	PF3BUS.A16E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P90		PORT9.DDR.B0 = 1
P91	外部バス （データ）	D17	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	外部バス	A17-B	PF3BUS.A17E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P91		PORT9.DDR.B1 = 1
P92	外部バス （データ）	D18	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	外部バス	A18-B	PF3BUS.A18E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P92		PORT9.DDR.B2 = 1
P93	外部バス （データ）	D19	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	外部バス	A19-B	PF3BUS.A19E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P93		PORT9.DDR.B3 = 1
P94	外部バス （データ）	D20	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	外部バス	A20-B	PF3BUS.A20E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P94		PORT9.DDR.B4 = 1
P95	外部バス （データ）	D21	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	外部バス	A21-B	PF3BUS.A21E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P95		PORT9.DDR.B5 = 1
P96	外部バス （データ）	D22	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	外部バス	A22-B	PF3BUS.A22E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P96		PORT9.DDR.B6 = 1
P97	外部バス （データ）	D23	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	外部バス	A23-B	PF3BUS.A23E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P97		PORT9.DDR.B7 = 1

表17.10　各ポートの出力許可設定一覧 (9 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PA0	外部バス SDRAM	A0 BC0# DQM2	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA1-B	PFGSPI.SSL1E = 1 PFGSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6A		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO16		PPG1.NDERL.NDER0 = 1
	PORTA	PA0		PORTA.DDR.B0 = 1
PA1	外部バス SDRAM	A1 DQM3	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA2-B	PFGSPI.SSL2E = 1 PFGSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6B		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO17		PPG1.NDERL.NDER1 = 1
	PORTA	PA1		PORTA.DDR.B1 = 1
PA2	外部バス	A2	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA3-B	PFGSPI.SSL3E = 1 PFGSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6C		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO18		PPG1.NDERL.NDER2 = 1
	PORTA	PA2		PORTA.DDR.B2 = 1
PA3	外部バス	A3	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	MTU6	MTIOC6D		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO19		PPG1.NDERL.NDER3 = 1
	PORTA	PA3		PORTA.DDR.B3 = 1
PA4	外部バス	A4	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA0-B	PFGSPI.SSL0E = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU7	MTIOC7A		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO20		PPG1.NDERL.NDER4 = 1
	PORTA	PA4		PORTA.DDR.B4 = 1
PA5	外部バス	A5	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	RSPCKA-B	PFGSPI.RSPCKE = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU7	MTIOC7B		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO21		PPG1.NDERL.NDER5 = 1
	PORTA	PA5		PORTA.DDR.B5 = 1
PA6	外部バス	A6	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	MOSIA-B	PFGSPI.MOSIE = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU8	MTIOC8A		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO22		PPG1.NDERL.NDER6 = 1
	PORTA	PA6		PORTA.DDR.B6 = 1

表17.10　各ポートの出力許可設定一覧 (10 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PA7	外部バス	A7	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	MISOA-B	PFGSPI.MISOE = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU8	MTIOC8B		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO23		PPG1.NDERL.NDER7 = 1
	PORTA	PA7		PORTA.DDR.B7 = 1
PB0	外部バス	A8	PF4BUS.ADRLE[1:0] = 11	SYSCR0.EXBE = 1
	MTU9	MTIOC9A		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO24		PPG1.NDERH.NDER8 = 1
	PORTB	PB0		PORTB.DDR.B0 = 1
PB1	外部バス	A9	PF4BUS.ADRLE[1:0] = 11	SYSCR0.EXBE = 1
	MTU9	MTIOC9C		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO25		PPG1.NDERH.NDER9 = 1
	PORTB	PB1		PORTB.DDR.B1 = 1
PB2	外部バス	A10	PF4BUS.A10E = 1	SYSCR0.EXBE = 1
	MTU9	MTIOC9B		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO26		PPG1.NDERH.NDER10 = 1
	PORTB	PB2		PORTB.DDR.B2 = 1
PB3	外部バス	A11	PF4BUS.A11E = 1	SYSCR0.EXBE = 1
	MTU9	MTIOC9D		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO27		PPG1.NDERH.NDER11 = 1
	PORTB	PB3		PORTB.DDR.B3 = 1
PB4	外部バス	A12	PF4BUS.A12E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10A		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO28		PPG1.NDERH.NDER12 = 1
	PORTB	PB4		PORTB.DDR.B4 = 1
PB5	外部バス	A13	PF4BUS.A13E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10C		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO29		PPG1.NDERH.NDER13 = 1
	PORTB	PB5		PORTB.DDR.B5 = 1
PB6	外部バス	A14	PF4BUS.A14E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10B		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO30		PPG1.NDERH.NDER14 = 1
	PORTB	PB6		PORTB.DDR.B6 = 1
PB7	外部バス	A15	PF4BUS.A15E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10D		MTUの設定は、「表17.11　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO31		PPG1.NDERH.NDER15 = 1
	PORTB	PB7		PORTB.DDR.B7 = 1

表17.10 各ポートの出力許可設定一覧 (11 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PC0	外部バス	A16-A	PF3BUS.A16E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	RSPI0	SSLA1-A	PFGSPI.SSL1E = 1 PFGSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC0		PORTC.DDR.B0 = 1
PC1	外部バス	A17-A	PF3BUS.A17E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	RSPI0	SSLA2-A	PFGSPI.SSL2E = 1 PFGSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	SCI5	SCK5		SCI5.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI5.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORTC	PC1		PORTC.DDR.B1 = 1
PC2	外部バス	A18-A	PF3BUS.A18E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	RSPI0	SSLA3-A	PFGSPI.SSL3E = 1 PFGSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC2		PORTC.DDR.B2 = 1
PC3	外部バス	A19-A	PF3BUS.A19E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	EtherNET	ET_TX_ER	PFENET.EE = 1 PFENET.ENETE3 = 1	(信号出力状態は周辺モジュールの設定に従います)
	SCI5	TxD5		SCI5.SCR.TE = 1
	PORTC	PC3		PORTC.DDR.B3 = 1
PC4	外部バス	A20-A	PF3BUS.A20E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	外部バス (CS)	CS3#-C	PF0CSE.CS3E = 1 PF2CSS.CS3S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	SSLA0-A	PFGSPI.SSL0E = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTC	PC4		PORTC.DDR.B4 = 1
PC5	外部バス	A21-A	PF3BUS.A21E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	外部バス (CS)	CS2#-C	PF0CSE.CS2E = 1 PF2CSS.CS2S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	RSPCKA-A	PFGSPI.RSPCKE = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	EtherNET	ET_ETXD2	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC5		PORTC.DDR.B5 = 1
PC6	外部バス	A22-A	PF3BUS.A22E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	外部バス (CS)	CS1#-C	PF0CSE.CS1E = 1 PF2CSS.CS1S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	MOSIA-A	PFGSPI.MOSIE = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	EtherNET	ET_ETXD3	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC6		PORTC.DDR.B6 = 1

表17.10 各ポートの出力許可設定一覧 (12 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PC7	外部バス	A23-A	PF3BUS.A23E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	外部バス（CS）	CS0#-B	PF0CSE.CS0E = 1 PF2CSS.CS0S = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	MISOA-A	PFGSPI.MISOE = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTC	PC7		PORTC.DDR.B7 = 1
PD0	外部バス（データ）	D0		SYSCR0.EXBE = 1
	PORTD	PD0		PORTD.DDR.B0 = 1
PD1	外部バス（データ）	D1		SYSCR0.EXBE = 1
	PORTD	PD1		PORTD.DDR.B1 = 1
PD2	外部バス（データ）	D2		SYSCR0.EXBE = 1
	PORTD	PD2		PORTD.DDR.B2 = 1
PD3	外部バス（データ）	D3		SYSCR0.EXBE = 1
	PORTD	PD3		PORTD.DDR.B3 = 1
PD4	外部バス（データ）	D4		SYSCR0.EXBE = 1
	PORTD	PD4		PORTD.DDR.B4 = 1
PD5	外部バス（データ）	D5		SYSCR0.EXBE = 1
	PORTD	PD5		PORTD.DDR.B5 = 1
PD6	外部バス（データ）	D6		SYSCR0.EXBE = 1
	PORTD	PD6		PORTD.DDR.B6 = 1
PD7	外部バス（データ）	D7		SYSCR0.EXBE = 1
	PORTD	PD7		PORTD.DDR.B7 = 1
PE0	外部バス（データ）	D8	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB1-B	PFHSPI.SSL1E = 1 PFHSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE0		PORTE.DDR.B0 = 1
PE1	外部バス（データ）	D9	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB2-B	PFHSPI.SSL2E = 1 PFHSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE1		PORTE.DDR.B1 = 1
PE2	外部バス（データ）	D10	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB3-B	PFHSPI.SSL3E = 1 PFHSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE2		PORTE.DDR.B2 = 1
PE3	外部バス（データ）	D11	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	PORTE	PE3		PORTE.DDR.B3 = 1

表17.10　各ポートの出力許可設定一覧 (13 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PE4	外部バス（データ）	D12	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB0-B	PFHSPI.SSL0E = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTE	PE4		PORTE.DDR.B4 = 1
PE5	外部バス（データ）	D13	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	RSPCKB-B	PFHSPI.RSPCKE = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTE	PE5		PORTE.DDR.B5 = 1
PE6	外部バス（データ）	D14	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	MOSIB-B	PFHSPI.MOSIE = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTE	PE6		PORTE.DDR.B6 = 1
PE7	外部バス（データ）	D15	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	MISOB-B	PFHSPI.MISOE = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります))
	PORTE	PE7		PORTE.DDR.B7 = 1
PF0	SCI1	TxD1-B	PFFSCI.SCI1S = 1	SCI1.SCR.TE = 1
	PORTF	PF0		PORTF.DDR.B0 = 1
PF1	SCI1	SCK1-B	PFFSCI.SCI1S = 1	SCI1.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI1.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORTF	PF1		PORTF.DDR.B1 = 1
PF2	PORTF	PF2		PORTF.DDR.B2 = 1
PF3	PORTF	PF3		PORTF.DDR.B3 = 1
PF4	PORTF	PF4		PORTF.DDR.B4 = 1
PG0	外部バス（データ）	D24	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	PORTG	PG0		PORTG.DDR.B0 = 1
PG1	外部バス（データ）	D25	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	PORTG	PG1		PORTG.DDR.B1 = 1
PG2	外部バス（データ）	D26	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	PORTG	PG2		PORTG.DDR.B2 = 1
PG3	外部バス（データ）	D27	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	PORTG	PG3		PORTG.DDR.B3 = 1
PG4	外部バス（データ）	D28	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	PORTG	PG4		PORTG.DDR.B4 = 1
PG5	外部バス（データ）	D29	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	PORTG	PG5		PORTG.DDR.B5 = 1

表17.10 各ポートの出力許可設定一覧 (14 / 14)（176ピンLFBGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PG6	外部バス （データ）	D30	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	PORTG	PG6		PORTG.DDR.B6 = 1
PG7	外部バス （データ）	D31	PF5BUS.DH32E = 1	SYSCR0.EXBE = 1
	PORTG	PG7		PORTG.DDR.B7 = 1

表 17.11　MTU の各端子の出力許可設定一覧 (1 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU0	MTIOC0A	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOA[3] = 0 MTU0.TIORH.IOA[1:0] = 01/10/11
		PWM モード 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TIORH.IOA[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 001 以外 MTU0.TIORH.IOA[1:0] = 01/10/11
	MTIOC0B	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOB[3] = 0 MTU0.TIORH.IOB[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 010 以外 MTU0.TIORH.IOB[1:0] = 01/10/11
	MTIOC0C	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFA = 0 MTU0.TIORL.IOC[3] = 0 MTU0.TIORL.IOC[1:0] = 01/10/11
		PWM モード 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TMDR.BFA = 0 MTU0.TMDR.BFB = 0 MTU0.TIORL.IOC[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFA = 0 MTU0.TCR.CCLR[2:0] = 101 以外 MTU0.TIORL.IOC[1:0] = 01/10/11
	MTIOC0D	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFB = 0 MTU0.TIORL.IOD[3] = 0 MTU0.TIORL.IOD[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFB = 0 MTU0.TCR.CCLR[2:0] = 110 以外 MTU0.TIORL.IOD[1:0] = 01/10/11
MTU1	MTIOC1A	通常動作	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
		PWM モード 1	MTU1.TMDR.MD[3:0] = 0010	MTU1.TIOR.IOA[1:0] = 01/10/11
		PWM モード 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 01 以外 MTU1.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 2	MTU1.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU1.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU1.TMDR.MD[3:0] = 0111	
	MTIOC1B	通常動作	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11
		PWM モード 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 10 以外 MTU1.TIOR.IOB[1:0] = 01/10/11
		位相計数モード 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11
		位相計数モード 2	MTU1.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU1.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU1.TMDR.MD[3:0] = 0111	
MTU2	MTIOC2A	通常動作	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11
		PWM モード 1	MTU2.TMDR.MD[3:0] = 0010	MTU2.TIOR.IOA[1:0] = 01/10/11
		PWM モード 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 01 以外 MTU2.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 2	MTU2.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU2.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU2.TMDR.MD[3:0] = 0111	

表17.11　MTU の各端子の出力許可設定一覧 (2 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU2	MTIOC2B	通常動作	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 10 以外 MTU2.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU2.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU2.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU2.TMDR.MD[3:0] = 0111	
MTU3	MTIOC3A	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTU3.TIORH.IOA[3] = 0 MTU3.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TIORH.IOA[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOCR1.PSYE = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
	MTIOC3B	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3B = 1 MTU3.TIORH.IOB[3] = 0 MTU3.TIORH.IOB[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3B = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
	MTIOC3C	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTU3.TMDR.BFA = 0 MTU3.TIORL.IOC[3] = 0 MTU3.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TMDR.BFA = 0 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOC[1:0] = 01/10/11
	MTIOC3D	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3D = 1 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOD[3] = 0 MTU3.TIORL.IOD[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3D = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
MTU4	MTIOC4A	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[3] = 0 MTU4.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4A = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	

表17.11　MTU の各端子の出力許可設定一覧 (3 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU4	MTIOC4B	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1 MTU4.TIORH.IOB[3] = 0 MTU4.TIORH.IOB[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4B = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	
	MTIOC4C	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TIORL.IOC[3] = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	
	MTIOC4D	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOD[3] = 0 MTU4.TIORL.IOD[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4D = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	

表17.11　MTU の各端子の出力許可設定一覧 (4 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU6	MTIOC6A	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOA[3] = 0 MTU6.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TIORH.IOA[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 001 以外 MTU6.TIORH.IOA[1:0] = 01/10/11
	MTIOC6B	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOB[3] = 0 MTU6.TIORH.IOB[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 010 以外 MTU6.TIORH.IOB[1:0] = 01/10/11
	MTIOC6C	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFA = 0 MTU6.TIORL.IOC[3] = 0 MTU6.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TMDR.BFA = 0 MTU6.TMDR.BFB = 0 MTU6.TIORL.IOC[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFA = 0 MTU6.TCR.CCLR[2:0] = 101 以外 MTU6.TIORL.IOC[1:0] = 01/10/11
	MTIOC6D	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFB = 0 MTU6.TIORL.IOD[3] = 0 MTU6.TIORL.IOD[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFB = 0 MTU6.TCR.CCLR[2:0] = 110 以外 MTU6.TIORL.IOD[1:0] = 01/10/11
MTU7	MTIOC7A	通常動作	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
		PWMモード1	MTU7.TMDR.MD[3:0] = 0010	MTU7.TIOR.IOA[1:0] = 01/10/11
		PWMモード2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 01 以外 MTU7.TIOR.IOA[1:0] = 01/10/11
		位相計数モード1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
		位相計数モード2	MTU7.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU7.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU7.TMDR.MD[3:0] = 0111	
	MTIOC7B	通常動作	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 10 以外 MTU7.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU7.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU7.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU7.TMDR.MD[3:0] = 0111	
MTU8	MTIOC8A	通常動作	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11
		PWMモード1	MTU8.TMDR.MD[3:0] = 0010	MTU8.TIOR.IOA[1:0] = 01/10/11
		PWMモード2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 01 以外 MTU8.TIOR.IOA[1:0] = 01/10/11
		位相計数モード1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11
		位相計数モード2	MTU8.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU8.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU8.TMDR.MD[3:0] = 0111	

表17.11　MTU の各端子の出力許可設定一覧 (5 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU8	MTIOC8B	通常動作	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 10 以外 MTU8.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU8.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU8.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU8.TMDR.MD[3:0] = 0111	
MTU9	MTIOC9A	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTU9.TIORH.IOA[3] = 0 MTU9.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TIORH.IOA[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOCR1.PSYE = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9B	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3B = 1 MTU9.TIORH.IOB[3] = 0 MTU9.TIORH.IOB[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3B = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9C	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTU9.TMDR.BFA = 0 MTU9.TIORL.IOC[3] = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TMDR.BFA = 0 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
	MTIOC9D	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3D = 1 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOD[3] = 0 MTU9.TIORL.IOD[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3D = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
MTU10	MTIOC10A	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[3] = 0 MTU10.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4A = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	

表17.11　MTU の各端子の出力許可設定一覧 (6 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU10	MTIOC10B	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1 MTU10.TIORH.IOB[3] = 0 MTU10.TIORH.IOB[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4B = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	
	MTIOC10C	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TIORL.IOC[3] = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	
	MTIOC10D	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOD[3] = 0 MTU10.TIORL.IOD[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4D = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	

17.1.5 未使用端子の処理

表 17.12 に未使用端子の処理内容を示します。

表17.12 未使用端子の処理内容（176ピンLFBGA）

端子名	処理内容
EMLE	抵抗を介してVSSに接続（プルダウン）
MD1、MD0	（モード端子として使用）
MDE	（モード端子として使用）
RES#	抵抗を介してVCCに接続（プルアップ）
USB0_DP	端子を開放
USB0_DM	
USB1_DP	
USB1_DM	
BSCANP	抵抗を介してVSSに接続（プルダウン）
P35/NMI	抵抗を介してVCCに接続（プルアップ）
EXTAL	（クロック端子として使用）
XTAL	端子を開放
XCIN	抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）
XCOUT	端子を開放
WDTOVF#	端子を開放
ポート0～9 ポートA～G	端子ごとに抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン） PORTn.ICRを初期値（入力バッファ無効）の状態で端子を開放することも可能（注1）
VREFH	AVCCに接続
VREFL	AVSSに接続
CNVSS	抵抗を介してVSSに接続（プルダウン）

注1. PORTn.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

17.2 [145 ピン TFLGA ／ 144 ピン LQFP] I/O ポート

RX62N グループ、RX621 グループ（145 ピン TFLGA ／ 144 ピン LQFP）の I/O ポートは、ポート 0 ～ 9、A ～ E の 15 ポートから構成され、入出力ポートを 105 本備えています。

17.2.1 概要

表 17.13 に I/O ポートの仕様を、表 17.14 にポート機能一覧を示します。

表 17.13　I/O ポートの仕様（145 ピン TFLGA ／ 144 ピン LQFP）

項目	内容
入出力端子	103 本
入力端子	2 本
ポート	15 ポート（0 ～ 9、A ～ E）
入力プルアップ抵抗内蔵	ポート 9、A、B、C、D、E
オープンドレイン出力	ポート 0、1、2、3（P30 ～ P34）、C
5V トレラント対応端子	ポート 0（P00、P01、P02、P07）、ポート 1（P12、P13、P16、P17）、 ポート 2（P20、P21）、ポート 3（P33）
シュミットトリガ入力端子	全ポート入力、CAN 入力、USB 入力、IRQ 入力、MTU 入力、POE 入力、TMR 入力、RIIC 入力、SCI 入力、A/D トリガ入力
その他	• 1 個の TTL 負荷と 30pF の容量負荷を駆動可能 • 出力時にダーリントントランジスタを駆動

表17.14　ポート機能一覧 (1 / 4)（145ピンTFLGA／144ピンLQFP）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート0	割り込み入力、TMR入力、SCI入出力、A/Dコンバータ入力、D/Aコンバータ出力、と兼用の汎用入出力ポート	0	P00	TMRI0-A/IRQ8-A	TxD6-A	–	全入力機能	–	○
		1	P01	TMCI0-A/RxD6-A/IRQ9-A			全入力機能		
		2	P02/SCK6-A	TMCI1-A/IRQ10-A			全入力機能		
		3	P03	IRQ11-A	DA0		全入力機能		
		5	P05	IRQ13-A	DA1		全入力機能		
		7	P07	ADTRG0#-A/IRQ15-A			全入力機能		
ポート1	USB入出力、MTU入出力、TMR入出力、割り込み入力、SCI入出力、RIIC入出力、PPG入出力、A/Dコンバータ入力と兼用の汎用入出力ポート	2	P12/SCL0	TMCI1-B/RxD2-A/IRQ2-B		–	全入力機能	–	○
		3	P13/ SDA0	ADTRG1#/IRQ3-B	TMO3/TxD2-A		全入力機能		○
		4	P14	USB0_OVRCURA/TMRI2/IRQ4-B	USB0_DPUPE-B		全入力機能		○
		5	P15/MTIOC0B/SCK3-A	TMCI2-A/IRQ5-B	PO13		全入力機能		○
		6	P16/MTIOC3C-A	USB0_VBUS/USB0_OVRCURB/RxD3-A/IRQ6-B	TMO2/PO14/USB0_VBUSEN-B		全入力機能		○
		7	P17/MTIOC3A	IRQ7-B	TxD3-A/PO15		全入力機能		○
ポート2	バス制御入出力EXDMAC入出力、USB入出力、RSPI入出力、MTU入出力、PPG出力、TMR入出力、SCI入出力、RIIC入出力、A/Dコンバータ入力、オンチップエミュレータ入出力と兼用の汎用入出力ポート	0	P20/MTIOC1A/SDA1	USB0_ID/TMRI0-B	PO0/TxD0	–	全入力機能	–	○
		1	P21/MTIOC1B/SCL1	TMCI0-B/RxD0	USB0_EXICEN/PO1		全入力機能		
		2	P22/MTIOC3B-A/SCK0	EDREQ0-B/MTCLKC-A	USB0_DRPD/PO2/TMO0	EDREQ0-B	P22、MTIOC3B-A SCK0、MTCLKC-A		
		3	P23/MTIOC3D-A	MTCLKD-A	EDACK0-B/USB0_DPUPE-A/TxD3-B/PO3	–	全入力機能		
		4	P24/MTIOC4A-A/SCK3-B	EDREQ1-B/MTCLKA-A/TMRI1	CS4#-C/USB0_VBUSEN-A/PO4	EDREQ1-B	P24、MTIOC4A-A、SCK3-B、MTCLKA-A、TMRI1		
		5	P25/MTIOC4C-A	MTCLKB-A/ADTRG0#-B/RxD3-B	CS5#-C/EDACK1-B/USB0_DPRPD/PO5	–	全入力機能		
		6	P26/MOSIB-A/MTIOC2A		CS6#-C/PO6/TMO1/TxD1/TDO	MOSIB-A	P26、MTIOC2A		
		7	P27/RSPCKB-A/MTIOC2B/SCK1	TCK	CS7#-C/PO7	RSPCKB-A TCK	P27、MTIOC2B、SCK1		
ポート3	CAN入出力RSPI入出力、MTU入出力、TMR入力、SCI入出力、割り込み入力、PPG出力、RTC出力、オンチップエミュレータ入力と兼用の汎用入出力ポート	0	P30/MISOB-A/MTIOC4B-A	TMRI3/RxD1/IRQ0/TDI	PO8	MISOB-A	P30、MTIOC4B-A TMRI3、RxD1、IRQ0、TDI	–	○
		1	P31/SSLB0-A/MTIOC4D-A	TMCI2-B/IRQ1/TMS	PO9	SSLB0-A	P31、MTIOC4D-A TMCI2-B、IRQ1、TMS		○
		2	P32/MTIOC0C	IRQ2-A	CTX0/TxD6-B/PO10/RTCOUT	–	全入力機能		○
		3	P33/MTIOC0D	CRX0/RxD6-B/IRQ3-A	PO11		全入力機能		○
		4	P34/MTIOC0A/SCK6-B	TMCI3/IRQ4-A /TRST#	PO12		全入力機能		○
		5		P35/NMI			全入力機能		–

表17.14　ポート機能一覧 (2 / 4)（145ピンTFLGA／144ピンLQFP）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート4	割り込み入力、A/Dコンバータ入力と兼用の汎用入出力ポート	0	P40	AN0/IRQ8-B		—	P40、IRQ8-B	—	—
		1	P41	AN1/IRQ9-B			P41、IRQ9-B		
		2	P42	AN2/IRQ10-B			P42、IRQ10-B		
		3	P43	AN3/IRQ11-B			P43、IRQ11-B		
		4	P44	AN4/IRQ12			P44、IRQ12		
		5	P45	AN5/IRQ13-B			P45、IRQ13-B		
		6	P46	AN6/IRQ14			P46、IRQ14		
		7	P47	AN7/IRQ15-B			P47、IRQ15-B		
ポート5	外部バスクロック出力、バス制御入出力、USB出力、EXDMAC入出力、RSPI出力、Ether入出力、MTU入出力、SCI入出力、トレース出力と兼用の汎用入出力ポート	0	P50		WR0#/WR#/SSLB1-A/TxD2-B	—	全入力機能	—	—
		1	P51/SCK2	WAIT#-D	WR1#/BC1#/SSLB2-A	WAIT#-D	P51/SCK2		
		2	P52	RxD2-B	RD#/SSLB3-A	—	全入力機能		
		3		P53	BCLK	—	全入力機能		
		4	P54/MTIOC4B-B	ET_LINKSTA	TRDATA2/EDACK0-C	ET_LINKSTA	P54、MTIOC4B-B		
		5	P55/MTIOC4D-B	WAIT#-B/EDREQ0-C	TRDATA3/ET_EXOUT	WAIT#-B、EDREQ0-C	P55、MTIOC4D-B		
		6	P56/MTIOC3C-B		EDACK1-C	—	全入力機能		
ポート6	SDRAM出力、バス制御出力と兼用の汎用入出力ポート	0	P60		CS0#-A	—	全入力機能	—	—
		1	P61		CS1#-A/SDCS#		全入力機能		
		2	P62		CS2#-A/RAS#		全入力機能		
		3	P63		CS3#-A/CAS#		全入力機能		
		4	P64		CS4#-A/WE#		全入力機能		
		5	P65		CS5#-A/CKE		全入力機能		
		6	P66		CS6#-A/DQM0		全入力機能		
		7	P67		CS7#-A/DQM1		全入力機能		
ポート7	SDRAM出力、バス制御出力、Ether入出力と兼用の汎用入出力ポート	0	P70		SDCLK	—	全入力機能	—	—
		1	P71/ET_MDIO		CS1#-B	ET_MDIO	P71		
		2	P72		CS2#-B/ET_MDC	—	全入力機能		
		3	P73		CS3#-B/ET_WOL		全入力機能		
		4	P74	ET_ERXD1/RMII_RXD1	CS4#-B	ET_ERXD1/RMII_RXD1	P74		
		5	P75	ET_ERXD0/RMII_RXD0	CS5#-B	ET_ERXD0/RMII_RXD0	P75		
		6	P76	ET_RX_CLK/REF50CK	CS6#-B	ET_RX_CLK/REF50CK	P76		
		7	P77	ET_RX_ER/RMII_RX_ER	CS7#-B	ET_RX_ER/RMII_RX_ER	P77		
ポート8	トレース出力EXDMAC入出力、MTU入出力、Ether入出力と兼用の汎用入出力ポート	0	P80/MTIOC3B-B	EDREQ0-A	TRDATA0/ET_TX_EN/RMII_TXD_EN	EDREQ0-A	P80、MTIOC3B-B	—	—
		1	P81/MTIOC3D-B		TRDATA1/EDACK0-A/ET_ETXD0/RMII_TXD0	—	全入力機能		
		2	P82/MTIOC4A-B	EDREQ1-A	TRSYNC ET_ETXD1 RMII_TXD1	EDREQ1-A	P82、MTIOC4A-B		
		3	P83/MTIOC4C-B	ET_CRS/RMII_CRS_DV	TRCLK/EDACK1-A	ET_CRS/RMII_CRS_DV	P83、MTIOC4C-B		

表17.14　ポート機能一覧 (3 / 4)（145ピンTFLGA／144ピンLQFP）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート9	アドレス出力と兼用の汎用入出力ポート	0	P90		A16-B	－	全入力機能	○	－
		1	P91		A17-B	－	全入力機能	○	
		2	P92		A18-B	－	全入力機能	○	
		3	P93		A19-B	－	全入力機能	○	
ポートA	アドレス出力、バス制御入出力、RSPI入出力、MTU入出力、PPG出力と兼用の汎用入出力ポート	0	PA0/MTIOC6A		A0/BC0# / SSLA1-B/PO16	－	全入力機能	○	－
		1	PA1/MTIOC6B		A1/ SSLA2-B/PO17		全入力機能		
		2	PA2/MTIOC6C		A2/SSLA3-B/ PO18		全入力機能		
		3	PA3/MTIOC6D		A3/PO19		全入力機能		
		4	PA4/SSLA0-B/ MTIOC7A		A4/PO20	SSLA0-B	PA4、MTIOC7A		
		5	PA5/ RSPCKA-B/ MTIOC7B		A5/PO21	RSPCKA-B	PA5、MTIOC7B		
		6	PA6/MOSIA-B/ MTIOC8A		A6/PO22	MOSIA-B	PA6、MTIOC8A		
		7	PA7/MISOA-B/ MTIOC8B		A7/PO23	MISOA-B	PA7、MTIOC8B		
ポートB	アドレス出力、MTU入出力、PPG出力と兼用の汎用入出力ポート	0	PB0/MTIOC9A		A8/PO24	－	全入力機能	○	－
		1	PB1/MTIOC9C		A9/PO25		全入力機能		
		2	PB2/MTIOC9B	MTCLKG-B	A10/PO26		全入力機能		
		3	PB3/MTIOC9D	MTCLKH-B	A11/PO27		全入力機能		
		4	PB4/MTIOC10A	MTCLKE-B	A12/PO28		全入力機能		
		5	PB5/MTIOC10C	MTCLKF-B	A13/PO29		全入力機能		
		6	PB6/MTIOC10B		A14/PO30		全入力機能		
		7	PB7/MTIOC10D		A15/PO31		全入力機能		
ポートC	アドレス出力、バス制御出力、RSPI入出力 Ether入出力 MTU入力、SCI入出力と兼用の汎用入出力ポート	0	PC0	ET_ERXD3/ MTCLKG-A	A16-A/SSLA1-A	ET_ERXD3	PC0、MTCLKG-A	○	○
		1	PC1/SCK5	ET_ERXD2/ MTCLKH-A	A17-A/SSLA2-A	ET_ERXD2	PC1、SCK5、MTCLKH-A		
		2	PC2	ET_RX_DV/ MTCLKE-A/RxD5	A18-A/SSLA3-A	ET_RX_DV	PC2、MTCLKE-A、RxD5		
		3	PC3	MTCLKF-A	A19-A/TxD5/ ET_TX_ER	－	全入力機能		
		4	PC4/SSLA0-A	MTCLKC-B/ ET_TX_CLK	A20/CS3#-C	SSLA0-A、ET_TX_CLK	PC4、MTCLKC-B		
		5	PC5/ RSPCKA-A	WAIT#-C/ MTIC11W-A/ MTCLKD-B	A21/CS2#-C/ ET_ETXD2	RSPCKA-A、WAIT#-C	PC5、MTIC11W-A、MTCLKD-B		
		6	PC6/MOSIA-A	MTIC11V-A/ MTCLKA-B	A22 /CS1#-C/ ET_ETXD3	MOSIA-A	PC6、MTIC11V-A MTCLKA-B		
		7	PC7/MISOA-A	ET_COL/ MTIC11U-A/ MTCLKB-B	A23/CS0#-B	MISOA-A、ET_COL	PC7、MTIC11U-A MTCLKB-B		

表17.14　ポート機能一覧 (4 / 4)（145ピンTFLGA／144ピンLQFP）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポートD	双方向データバス、MTU入力、POE入力と兼用の汎用入出力ポート	0	PD0/D0	POE7#		D0	PD0、POE7#	○	－
		1	PD1/D1	POE6#		D1	PD1、POE6#		
		2	PD2/D2	MTIC11W-B/POE5#		D2	PD2、MTIC11W-B、POE5#		
		3	PD3/D3	MTIC11V-B/POE4#		D3	PD3、MTIC11V-B、POE4#		
		4	PD4/D4	MTIC11U-B/POE3#		D4	PD4、MTIC11U-B、POE3#		
		5	PD5/D5	MTIC5W/POE2#		D5	PD5、MTIC5W、POE2#		
		6	PD6/D6	MTIC5V/POE1#		D6	PD6、MTIC5V、POE1#		
		7	PD7/D7	MTIC5U/POE0#		D7	PD7、MTIC5U、POE0#		
ポートE	双方向データバス、RSPI入出力、割り込み入力、POE入力と兼用の汎用入出力ポート	0	PE0/D8		SSLB1-B	D8	PE0	○	－
		1	PE1/D9		SSLB2-B	D9	PE1		
		2	PE2/D10	POE9#	SSLB3-B	D10	PE2、POE9#		
		3	PE3/D11	POE8#		D11	PE3、POE8#		
		4	PE4/D12/SSLB0-B			D12、SSLB0-B	PE4		
		5	PE5/D13/RSPCKB-B	IRQ5-A		D13、RSPCKB-B	PE5、IRQ5-A		
		6	PE6/D14/MOSIB-B	IRQ6-A		D14、MOSIB-B	PE6、IRQ6-A		
		7	PE7/D15/MISOB-B	IRQ7-A		D15、MISOB-B	PE7、IRQ7-A		

17.2.2 レジスタの説明

表 17.15 に I/O ポートのレジスター覧を示します。表 17.16 に各レジスタの有効ビット一覧を示します。

表 17.15　I/O ポートのレジスター覧 (1 / 3)（145 ピン TFLGA / 144 ピン LQFP）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT0	データディレクションレジスタ	DDR	00h	0008 C000h	8
	データレジスタ	DR	00h	0008 C020h	8
	ポートレジスタ	PORT	不定	0008 C040h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C060h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C080h	8
PORT1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C081h	8
PORT2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C082h	8
PORT3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C083h	8
PORT4	データディレクションレジスタ	DDR	00h	0008 C004h	8
	データレジスタ	DR	00h	0008 C024h	8
	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
PORT5	データディレクションレジスタ	DDR	00h	0008 C005h	8
	データレジスタ	DR	00h	0008 C025h	8
	ポートレジスタ	PORT	不定	0008 C045h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C065h	8
PORT6	データディレクションレジスタ	DDR	00h	0008 C006h	8
	データレジスタ	DR	00h	0008 C026h	8
	ポートレジスタ	PORT	不定	0008 C046h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C066h	8
PORT7	データディレクションレジスタ	DDR	00h	0008 C007h	8
	データレジスタ	DR	00h	0008 C027h	8
	ポートレジスタ	PORT	不定	0008 C047h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C067h	8
PORT8	データディレクションレジスタ	DDR	00h	0008 C008h	8
	データレジスタ	DR	00h	0008 C028h	8
	ポートレジスタ	PORT	不定	0008 C048h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C068h	8

表17.15 I/Oポートのレジスター覧 (2 / 3)（145ピンTFLGA / 144ピンLQFP）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT9	データディレクションレジスタ	DDR	00h	0008 C009h	8
	データレジスタ	DR	00h	0008 C029h	8
	ポートレジスタ	PORT	不定	0008 C049h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C069h	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0C9h	8
PORTA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CAh	8
PORTB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CBh	8
PORTC	データディレクションレジスタ	DDR	00h	0008 C00Ch	8
	データレジスタ	DR	00h	0008 C02Ch	8
	ポートレジスタ	PORT	不定	0008 C04Ch	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ch	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C08Ch	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CCh	8
PORTD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CDh	8
PORTE	データディレクションレジスタ	DDR	00h	0008 C00Eh	8
	データレジスタ	DR	00h	0008 C02Eh	8
	ポートレジスタ	PORT	不定	0008 C04Eh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Eh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CEh	8

表17.15 I/Oポートのレジスター覧 (3 / 3)（145ピンTFLGA / 144ピンLQFP）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
IOPORT	ポートファンクションレジスタ0	PF0CSE	00h	0008 C100h	8
	ポートファンクションレジスタ1	PF1CSS	00h	0008 C101h	8
	ポートファンクションレジスタ2	PF2CSS	00h	0008 C102h	8
	ポートファンクションレジスタ3	PF3BUS	00h	0008 C103h	8
	ポートファンクションレジスタ4	PF4BUS	00h	0008 C104h	8
	ポートファンクションレジスタ5	PF5BUS	00h	0008 C105h	8
	ポートファンクションレジスタ6	PF6BUS	00h	0008 C106h	8
	ポートファンクションレジスタ7	PF7DMA	00h	0008 C107h	8
	ポートファンクションレジスタ8	PF8IRQ	00h	0008 C108h	8
	ポートファンクションレジスタ9	PF9IRQ	00h	0008 C109h	8
	ポートファンクションレジスタA	PFAADC	00h	0008 C10Ah	8
	ポートファンクションレジスタB	PFBTMR	00h	0008 C10Bh	8
	ポートファンクションレジスタC	PFCMTU	00h	0008 C10Ch	8
	ポートファンクションレジスタD	PFDMTU	00h	0008 C10Dh	8
	ポートファンクションレジスタE	PFENET	00h	0008 C10Eh	8
	ポートファンクションレジスタF	PFFSCI	00h	0008 C10Fh	8
	ポートファンクションレジスタG	PFGSPI	00h	0008 C110h	8
	ポートファンクションレジスタH	PFHSPI	00h	0008 C111h	8
	ポートファンクションレジスタJ	PFJCAN	00h	0008 C113h	8
	ポートファンクションレジスタK	PFKUSB	00h	0008 C114h	8
	ポートファンクションレジスタM	PFMPOE	00h	0008 C116h	8
	ポートファンクションレジスタN	PFNPOE	00h	0008 C117h	8

表17.16 各レジスタの有効ビット一覧 (1 / 3)（145ピンTFLGA / 144ピンLQFP）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT0.DDR	○	×	○	×	○	○	○	○
PORT1.DDR	○	○	○	○	○	○	×	×
PORT2.DDR	○	○	○	○	○	○	○	○
PORT3.DDR	×	×	×	○	○	○	○	○
PORT4.DDR	○	○	○	○	○	○	○	○
PORT5.DDR	×	○	○	○	○	○	○	○
PORT6.DDR	○	○	○	○	○	○	○	○
PORT7.DDR	○	○	○	○	○	○	○	○
PORT8.DDR	×	×	×	×	○	○	○	○
PORT9.DDR	×	×	×	×	○	○	○	○
PORTA.DDR	○	○	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTC.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORTE.DDR	○	○	○	○	○	○	○	○
PORT0.DR	○	×	○	×	○	○	○	○
PORT1.DR	○	○	○	○	○	○	×	×
PORT2.DR	○	○	○	○	○	○	○	○
PORT3.DR	×	×	×	○	○	○	○	○
PORT4.DR	○	○	○	○	○	○	○	○
PORT5.DR	×	○	○	○	×	○	○	○
PORT6.DR	○	○	○	○	○	○	○	○
PORT7.DR	○	○	○	○	○	○	○	○
PORT8.DR	×	×	×	×	○	○	○	○
PORT9.DR	×	×	×	×	○	○	○	○
PORTA.DR	○	○	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTC.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORTE.DR	○	○	○	○	○	○	○	○
PORT0.PORT	○	×	○	×	○	○	○	○
PORT1.PORT	○	○	○	○	○	○	×	×
PORT2.PORT	○	○	○	○	○	○	○	○
PORT3.PORT	×	×	○	○	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	×	○	○	○	○	○	○	○
PORT6.PORT	○	○	○	○	○	○	○	○

表17.16　各レジスタの有効ビット一覧 (2 / 3)（145ピンTFLGA / 144ピンLQFP）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT7.PORT	○	○	○	○	○	○	○	○
PORT8.PORT	×	×	×	×	○	○	○	○
PORT9.PORT	×	×	×	×	○	○	○	○
PORTA.PORT	○	○	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTC.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORTE.PORT	○	○	○	○	○	○	○	○
PORT0.ICR	○	×	○	×	○	○	○	○
PORT1.ICR	○	○	○	○	○	○	×	×
PORT2.ICR	○	○	○	○	○	○	○	○
PORT3.ICR	×	×	×	○	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT5.ICR	×	○	○	○	○	○	○	○
PORT6.ICR	○	○	○	○	○	○	○	○
PORT7.ICR	○	○	○	○	○	○	○	○
PORT8.ICR	×	×	×	×	○	○	○	○
PORT9.ICR	×	×	×	×	○	○	○	○
PORTA.ICR	○	○	○	○	○	○	○	○
PORTB.ICR	○	○	○	○	○	○	○	○
PORTC.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○
PORTE.ICR	○	○	○	○	○	○	○	○
PORT0.ODR	○	×	○	×	○	○	○	○
PORT1.ODR	○	○	○	○	○	○	×	×
PORT2.ODR	○	○	○	○	○	○	○	○
PORT3.ODR	×	×	×	○	○	○	○	○
PORTC.ODR	○	○	○	○	○	○	○	○
PORT9.PCR	×	×	×	×	○	○	○	○
PORTA.PCR	○	○	○	○	○	○	○	○
PORTB.PCR	○	○	○	○	○	○	○	○
PORTC.PCR	○	○	○	○	○	○	○	○
PORTD.PCR	○	○	○	○	○	○	○	○
PORTE.PCR	○	○	○	○	○	○	○	○
IOPORT.PF0CSE	○	○	○	○	○	○	○	○
IOPORT.PF1CSS	○	○	○	○	○	○	○	○
IOPORT.PF2CSS	○	○	○	○	○	○	×	○

表17.16 各レジスタの有効ビット一覧 (3 / 3)（145ピンTFLGA / 144ピンLQFP）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
IOPORT.PF3BUS	○	○	○	○	○	○	○	○
IOPORT.PF4BUS	○	○	○	○	○	○	○	○
IOPORT.PF5BUS	×	○	×	○	×	×	○	×
IOPORT.PF6BUS	○	○	×	○	×	×	○	○
IOPORT.PF7DMA	○	○	○	○	×	×	×	×
IOPORT.PF8IRQ	○	×	○	×	○	○	○	○
IOPORT.PF9IRQ	○	○	○	○	○	○	×	×
IOPORT.PFAADC	×	×	×	×	×	×	×	○
IOPORT.PFBTMR	×	×	×	×	×	○	○	○
IOPORT.PFCMTU	○	×	○	○	○	○	×	×
IOPORT.PFDMTU	○	○	×	×	×	×	×	×
IOPORT.PFENET	○	×	×	○	○	○	○	○
IOPORT.PFFSCI	×	○	×	×	○	○	×	×
IOPORT.PFGSPI	○	○	○	○	○	○	○	○
IOPORT.PFHSPI	○	○	○	○	○	○	○	○
IOPORT.PFJCAN	×	×	×	×	×	×	×	○
IOPORT.PFKUSB	×	×	×	○	○	○	○	○
IOPORT.PFMPOE	○	○	○	○	○	○	○	○
IOPORT.PFNPOE	×	×	×	×	×	×	○	○

17.2.2.1 データディレクションレジスタ（DDR）

アドレス　PORT0.DDR 0008 C000h、PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h
PORT4.DDR 0008 C004h、PORT5.DDR 0008 C005h、PORT6.DDR 0008 C006h、PORT7.DDR 0008 C007h
PORT8.DDR 0008 C008h、PORT9.DDR 0008 C009h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh
PORTC.DDR 0008 C00Ch、PORTD.DDR 0008 C00Dh、PORTE.DDR 0008 C00Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.DDRレジスタはb6、b4は予約ビットです。
PORT1.DDRレジスタはb1、b0は予約ビットです。
PORT3.DDRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT5.DDRレジスタのb7は予約ビットです。
PORT8.DDRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
PORT9.DDRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力／出力指定ビット	0：入力ポート 1：出力ポート	R/W
b1	B1	Pn1入力／出力指定ビット		R/W
b2	B2	Pn2入力／出力指定ビット		R/W
b3	B3	Pn3入力／出力指定ビット		R/W
b4	B4	Pn4入力／出力指定ビット		R/W
b5	B5	Pn5入力／出力指定ビット		R/W
b6	B6	Pn6入力／出力指定ビット		R/W
b7	B7	Pn7入力／出力指定ビット		R/W

【記号説明】　（n=0 ～ 9、A ～ E）

DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力／出力を指定するレジスタです。

PORTn.DDR レジスタ（n=0 ～ 9、A ～ E）の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

なお、PORT5.DDR.B3 ビットは、P53 入力／ BCLK 出力を指定します。P5.DDR.B3 ビットを “1” にセットした場合、P53 の出力は BCLK となるため、汎用出力ポートの機能は選択されません。

17.2.2.2 データレジスタ（DR）

アドレス　PORT0.DR 0008 C020h、PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h
PORT4.DR 0008 C024h、PORT5.DR 0008 C025h、PORT6.DR 0008 C026h、PORT7.DR 0008 C027h
PORT8.DR 0008 C028h、PORT9.DR 0008 C029h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh
PORTC.DR 0008 C02Ch、PORTD.DR 0008 C02Dh、PORTE.DR 0008 C02Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.DRレジスタはb6、b4は予約ビットです。
PORT1.DRレジスタはb1、b0は予約ビットです。
PORT3.DRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT5.DRレジスタはb7、b3は予約ビットです。
PORT8.DRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
PORT9.DRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pn1出力データ格納ビット		R/W
b2	B2	Pn2出力データ格納ビット		R/W
b3	B3	Pn3出力データ格納ビット		R/W
b4	B4	Pn4出力データ格納ビット		R/W
b5	B5	Pn5出力データ格納ビット		R/W
b6	B6	Pn6出力データ格納ビット		R/W
b7	B7	Pn7出力データ格納ビット		R/W

【記号説明】　（n=0 ～ 9、A ～ E）

DR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。
なお、P53 の出力は BCLK となっており、PORT5.DR.B3 ビットに値を設定しても端子に影響しません。

17.2.2.3 ポートレジスタ（PORT）

アドレス　PORT0.PORT 0008 C040h、PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0009 C043h
PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORT6.PORT 0008 C046h、PORT7.PORT 0008 C047h
PORT8.PORT 0008 C048h、PORT9.PORT 0008 C049h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh
PORTC.PORT 0008 C04Ch、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	x	x	x	x	x	x	x	x

注.　PORT0.PORTレジスタはb6、b4は予約ビットです。
PORT1.PORTレジスタはb1、b0は予約ビットです。
PORT3.PORTレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
PORT5.PORTレジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
PORT8.PORTレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
PORT9.PORTレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“1”が読めます。書く場合、無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0（注1）	Pn0ビット	ポートの端子状態を反映	R
b1	B1（注1）	Pn1ビット		R
b2	B2（注1）	Pn2ビット		R
b3	B3（注1）	Pn3ビット		R
b4	B4（注1）	Pn4ビット		R
b5	B5（注1）	Pn5ビット		R
b6	B6（注1）	Pn6ビット		R
b7	B7（注1）	Pn7ビット		R

【記号説明】　（n=0 ～ 9、A ～ E）
注1.　読むときは、あらかじめ PORTn.ICR レジスタの対応するビットを “1”にしてください。
PORTn.ICR レジスタのビットが“0”の状態で読んだ場合、対応するビットの値は不定です。

PORT レジスタは、ポートの端子の状態を反映するレジスタです。
PORTn.PORT レジスタ（n=0 ～ 9、A ～ E）を読むと、端子の状態が読めます。
P35 は NMI 端子の状態が読めます。

17.2.2.4 入力バッファコントロールレジスタ（ICR）

アドレス　PORT0.ICR 0008 C060h、PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h
PORT4.ICR 0008 C064h、PORT5.ICR 0008 C065h、PORT6.ICR 0008 C066h、PORT7.ICR 0008 C067h
PORT8.ICR 0008 C068h、PORT9.ICR 0008 C069h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh
PORTC.ICR 0008 C06Ch、PORTD.ICR 0008 C06Dh、PORTE.ICR 0008 C06Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.ICRレジスタはb6、b4は予約ビットです。
PORT1.ICRレジスタはb1、b0は予約ビットです。
PORT3.ICRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT5.ICRレジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
PORT8.ICRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
PORT9.ICRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0（注1）	Pn0入力バッファ制御ビット	0：対応する端子の入力バッファは無効 1：対応する端子の入力バッファは有効	R/W
b1	B1（注1）	Pn1入力バッファ制御ビット		R/W
b2	B2（注1）	Pn2入力バッファ制御ビット		R/W
b3	B3（注1）	Pn3入力バッファ制御ビット		R/W
b4	B4（注1）	Pn4入力バッファ制御ビット		R/W
b5	B5（注1）	Pn5入力バッファ制御ビット		R/W
b6	B6（注1）	Pn6入力バッファ制御ビット		R/W
b7	B7（注1）	Pn7入力バッファ制御ビット		R/W

【記号説明】　（n=0 ～ 9、A ～ E）

注1.　入力端子として使用する場合は、対応するビットを“1”にしてください。入力として使用しない端子、およびアナログ入出力端子に対応するビットは、“0”にしてください。

ICR レジスタは、ポートの入力バッファを制御するレジスタです。

PORTn.ICR レジスタ（n=0 ～ 9、A ～ E）の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

周辺モジュールの入力端子および入力ポート端子として使用する場合は、あらかじめ、対応する端子の入力バッファを有効にするために PORTn.ICR を “1” にする必要があります。PORTn.ICR を “0” にした状態のまま周辺モジュールの入力端子として使用した場合は、周辺モジュールへの入力信号は High に固定されます。

PORTn.ICR レジスタの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。PORTn.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQi(i=0 ～ 15) 入力の場合、当該割り込みを禁止した状態で PORTn.ICR レジスタ の設定の変更を行い、割り込みコントローラの IRi.IR フラグ（i = 64 ～ 79(IRQ の割り込みベクタ番号)）を “0” にし、その後当該割り込みを許可してください。PORTn.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

17.2.2.5 オープンドレインコントロールレジスタ（ODR）

アドレス　PORT0.ODR 0008 C080h、PORT1.ODR 0008 C081h、PORT2.ODR 0008 C082h、
PORT3.ODR 0008 C083h、PORTC.ODR 0008 C08Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.ODRレジスタはb6、b4は予約ビットです。
PORT1.ODRレジスタはb1、b0は予約ビットです。
PORT3.ODRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力形態指定ビット	0：CMOS出力 1：NMOSオープンドレイン出力	R/W
b1	B1	Pn1出力形態指定ビット		R/W
b2	B2	Pn2出力形態指定ビット		R/W
b3	B3	Pn3出力形態指定ビット		R/W
b4	B4	Pn4出力形態指定ビット		R/W
b5	B5	Pn5出力形態指定ビット		R/W
b6	B6	Pn6出力形態指定ビット		R/W
b7	B7	Pn7出力形態指定ビット		R/W

【記号説明】　（n=0 ～ 3、C）

ODR レジスタは、ポートの端子の出力形態を選択するレジスタです。

17.2.2.6 プルアップ抵抗コントロールレジスタ（PCR）

アドレス　PORT9.PCR 0008 C0C9h、PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、
PORTC.PCR 0008 C0CCh、PORTD.PCR 0008 C0CDh、PORTE.PCR 0008 C0CEh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT9.PORTレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力プルアップ抵抗制御ビット（n=9、A～E）	0：入力プルアップ抵抗無効 1：入力プルアップ抵抗有効	R/W
b1	B1	Pn1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pn2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pn3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pn4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pn5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pn6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pn7入力プルアップ抵抗制御ビット		R/W

【記号説明】　（n=9、A ～ E）

PCR レジスタは、ポートの入力プルアップ抵抗の有効／無効を制御するレジスタです。

端子が入力状態のとき、PORTn.PCR レジスタが “1” のビットに対応する端子の入力プルアップ抵抗が有効になります。表 17.17 に入力プルアップ抵抗の状態を示します。

表 17.17　入力プルアップ抵抗の状態（1）（145 ピン TFLGA ／ 144 ピン LQFP）

ポート	端子状態	リセット、 ハードウェアスタンバイモード	その他の動作
ポート 9	アドレス出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート A	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート B	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート C	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート D	データ入出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート E	データ入出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効

【記号説明】

無効：　入力プルアップ MOS は常にオフ状態です。

有効 / 無効：　PORTn.PCR.Bi ビット（n=9、A ～ E、i=0 ～ 7）を “1” にすると有効、“0” にすると無効です。

17.2.2.7 ポートファンクションレジスタ 0（PF0CSE）

アドレス 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0出力許可ビット	0：I/Oポートとして設定 1：CSn#出力端子として設定（n=0～7）	R/W
b1	CS1E	CS1出力許可ビット		R/W
b2	CS2E	CS2出力許可ビット		R/W
b3	CS3E	CS3出力許可ビット		R/W
b4	CS4E	CS4出力許可ビット		R/W
b5	CS5E	CS5出力許可ビット		R/W
b6	CS6E	CS6出力許可ビット		R/W
b7	CS7E	CS7出力許可ビット		R/W

PF0CSE レジスタは、CSn# 出力の許可／禁止を選択するレジスタです。

CSnE ビット（CSn 出力許可ビット）（n=0 ～ 7）

対応する CSn# 出力の許可／禁止を選択します。

CSn を出力する場合には、対応する PF0CSE.CSnE ビットを “1” にしてください。

17.2.2.8 ポートファンクションレジスタ 1（PF1CSS）

アドレス 0008 C101h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7S[1:0]		CS6S[1:0]		CS5S[1:0]		CS4S[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CS4S[1:0]	CS4#出力端子選択ビット	b1 b0 0 0：P64からCS4#-Aを出力 0 1：P74からCS4#-Bを出力 1 x：P24からCS4#-Cを出力	R/W
b3-b2	CS5S[1:0]	CS5#出力端子選択ビット	b3 b2 0 0：P65からCS5#-Aを出力 0 1：P75からCS5#-Bを出力 1 x：P25からCS5#-Cを出力	R/W
b5-b4	CS6S[1:0]	CS6#出力端子選択ビット	b5 b4 0 0：P66からCS6#-Aを出力 0 1：P76からCS6#-Bを出力 1 x：P26からCS6#-Cを出力	R/W
b7-b6	CS7S[1:0]	CS7#出力端子選択ビット	b7 b6 0 0：P67からCS7#-Aを出力 0 1：P77からCS7#-Bを出力 1 x：P27からCS7#-Cを出力	R/W

【記号説明】x：Don't care

PF1CSS レジスタは、CSn# 出力端子（n=4 ～ 7）を選択するレジスタです。

CSnS[1:0] ビット（CSn# 出力端子選択ビット）（n=4 ～ 7）

CSn# 出力許可時（PF0CSE.CSnE ビットが "1"）、CSn# の出力端子を選択します。

17.2.2.9 ポートファンクションレジスタ 2（PF2CSS）

アドレス 0008 C102h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS3S[1:0]		CS2S[1:0]		CS1S[1:0]		—	CS0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0S	CS0#出力端子選択ビット	0：P60からCS0#-Aを出力 1：PC7からCS0#-Bを出力	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	CS1S[1:0]	CS1#出力端子選択ビット	b3 b2 0 0：P61からCS1#-Aを出力 0 1：P71からCS1#-Bを出力 1 x：PC6からCS1#-Cを出力	R/W
b5-b4	CS2S[1:0]	CS2#出力端子選択ビット	b5 b4 0 0：P62からCS2#-Aを出力 0 1：P72からCS2#-Bを出力 1 x：PC5からCS2#-Cを出力	R/W
b7-b6	CS3S[1:0]	CS3#出力端子選択ビット	b7 b6 0 0：P63からCS3#-Aを出力 0 1：P73からCS3#-Bを出力 1 x：PC4からCS3#-Cを出力	R/W

【記号説明】x：Don’t care

PF2CSS レジスタは、CSn# 出力端子 (n=0 ～ 3) の選択するレジスタです。

CSnS[1:0] ビット（CSn# 出力端子選択ビット）（n=0 ～ 3）

CSn# 出力許可時（PF0CSE.CSnE ビット =“1”）、CSn# の出力端子を選択します。

17.2.2.10 ポートファンクションレジスタ 3（PF3BUS）

アドレス　0008 C103h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0：A16出力無効 1：A16出力有効	R/W
b1	A17E	アドレスA17出力許可ビット	0：A17出力無効 1：A17出力有効	R/W
b2	A18E	アドレスA18出力許可ビット	0：A18出力無効 1：A18出力有効	R/W
b3	A19E	アドレスA19出力許可ビット	0：A19出力無効 1：A19出力有効	R/W
b4	A20E	アドレスA20出力許可ビット	0：A20出力無効 1：A20出力有効	R/W
b5	A21E	アドレスA21出力許可ビット	0：A21出力無効 1：A21出力有効	R/W
b6	A22E	アドレスA22出力許可ビット	0：A22出力無効 1：A22出力有効	R/W
b7	A23E	アドレスA23出力許可ビット	0：A23出力無効 1：A23出力有効	R/W

PF3BUS レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

AnE ビット（アドレス An 出力許可ビット）（n=16 ～ 23）

アドレス出力（An）の出力許可／禁止を選択します。

17.2.2.11 ポートファンクションレジスタ 4（PF4BUS）

アドレス　0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADRLE[1:0]	アドレス下位A9～A0出力許可ビット	b1 b0 0 0：A9～A0出力無効 0 1：A9～A4出力無効、A3～A0出力有効 1 0：A9～A8出力無効、A7～A0出力有効 1 1：A9～A0出力有効	R/W
b2	A10E	アドレスA10出力許可ビット	0：A10出力無効 1：A10出力有効	R/W
b3	A11E	アドレスA11出力許可ビット	0：A11出力無効 1：A11出力有効	R/W
b4	A12E	アドレスA12出力許可ビット	0：A12出力無効 1：A12出力有効	R/W
b5	A13E	アドレスA13出力許可ビット	0：A13出力無効 1：A13出力有効	R/W
b6	A14E	アドレスA14出力許可ビット	0：A14出力無効 1：A14出力有効	R/W
b7	A15E	アドレスA15出力許可ビット	0：A15出力無効 1：A15出力有効	R/W

PF4BUS レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

ADRLE[1:0] ビット（アドレス下位 A9 ～ A0 出力許可ビット）

アドレス出力（A9 ～ A0）の出力許可／禁止を選択します。

AnE ビット（アドレス An 出力許可ビット）（n=10 ～ 15）

アドレス出力（An）の出力許可／禁止を選択します。

17.2.2.12 ポートファンクションレジスタ 5（PF5BUS）

アドレス　0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WR1BC1E	—	DHE	—	—	ADRHMS	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ADRHMS	A19～A16出力選択ビット	A19～A16出力選択 0：PC[3:0]を外部アドレスバスA19-A～A16-Aとして設定 1：P9[3:0]を外部アドレスバスA19-B～A16-Bとして設定	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DHE	データD15～D8有効ビット	0：PE7～PE0をI/Oポートとして設定 1：PE7～PE0を外部データバスD15～D8として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0：P51をI/Oポートとして設定 1：P51をWR#1またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W

ADRHMS ビット（アドレス A19 ～ A16 出力選択ビット）

アドレスバス（A19 ～ A16）の出力端子を選択します。

DHE ビット（データ D15 ～ D8 有効ビット）

データ入出力（D15 ～ D8）の入出力許可／禁止を選択します。

WR1BC1E ビット（WR1#/BC1# 出力許可ビット）

WR1#/BC1# 出力の許可／禁止を選択します。

17.2.2.13　ポートファンクションレジスタ 6（PF6BUS）

アドレス　0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	SDCLKE	DQM1E	—	MDSDE	—	—	WAITS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT選択ビット	b1 b0 0 x：P55をWAIT#-B入力端子として設定 1 0：PC5をWAIT#-C入力端子として設定 1 1：P51をWAIT#-D入力端子として設定	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MDSDE	SDRAM 端子許可ビット	b6（DQM1Eビット）を参照してください。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	DQM1E	DQM1出力許可ビット	MDSDE DQM1E 0 x：P70/SDCLKに限り、SDCLKEビットにより制御 1 0：P67/DQM1を除き、SDRAM有効 1 1：SDRAM有効（全端子）	R/W
b7	SDCLKE	SDCLK出力許可ビット	0：SDCLK出力無効 1：SDCLK出力有効	R/W

【記号説明】x：Don’t care

WAITS ビット（WAIT 選択ビット）

WAIT# の入力端子を選択します。

MDSDE ビット（SDRAM 端子許可ビット）

SDRAM 端子の出力許可／禁止を選択します。

DQM1 端子は、MDSDE ビットを “1” にした状態で、DQM1E ビットにより個別に出力許可／禁止が選択可能です。SDCLK 端子は、MDSDE ビットの設定によらず、独立して SDCLKE ビットにより独立して出力許可／禁止が選択可能です。

DQM1E ビット（DQM1 出力許可ビット）

DQM1 端子の出力許可／禁止を選択します。

MDSDE ビットを “1” にすると DQM1E ビットの設定が有効になります。MDSDE ビットを “0” に設定すると DQM1E ビットの設定は無視されます。

SDCLK ビット（SDCLK 出力許可ビット）

SDCLK 端子の出力許可／禁止を選択します。

SDCLK ビットの設定を変更する場合は、SDCLK の設定をクロック停止状態にしてから変更してください。

17.2.2.14 ポートファンクションレジスタ 7（PF7DMA）

アドレス 0008 C107h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDMA1S[1:0]		EDMA0S[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	EDMA0S[1:0]	EXDMAC0端子選択ビット	b5 b4 0 0：P80をEDREQ0-A端子として設定 P81をEDACK0-A端子として設定 0 1：P22をEDREQ0-B端子として設定 P23をEDACK0-B端子として設定 1 x：P55をEDREQ0-C端子として設定 P54をEDACK0-C端子として設定	R/W
b7-b6	EDMA1S[1:0]	EXDMAC1端子選択ビット	b7 b6 0 0：P82をEDREQ1-A端子として設定 P83をEDACK1-A端子として設定 0 1：P24をEDREQ1-B端子として設定 P25をEDACK1-B端子として設定 1 x：P24をEDREQ1-B端子として設定 P56をEDACK1-C端子として設定	R/W

【記号説明】x：Don’t care

EDMAnS ビット（EXDMACn 端子選択ビット）（n=0 ～ 1）

EXDMACn の端子を選択します。

17.2.2.15 ポートファンクションレジスタ 8（PF8IRQ）

アドレス　0008 C108h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS15	—	ITS13	—	ITS11	ITS10	ITS9	ITS8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITS8	IRQ8端子選択ビット	0：P00をIRQ8-A入力端子として設定 1：P40をIRQ8-B入力端子として設定	R/W
b1	ITS9	IRQ9端子選択ビット	0：P01をIRQ9-A入力端子として設定 1：P41をIRQ9-B入力端子として設定	R/W
b2	ITS10	IRQ10端子選択ビット	0：P02をIRQ10-A入力端子として設定 1：P42をIRQ10-B入力端子として設定	R/W
b3	ITS11	IRQ11端子選択ビット	0：P03をIRQ11-A入力端子として設定 1：P43をIRQ11-B入力端子として設定	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ITS13	IRQ13端子選択ビット	0：P05をIRQ13-A入力端子として設定 1：P45をIRQ13-B入力端子として設定	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ITS15	IRQ15端子選択ビット	0：P07をIRQ15-A入力端子として設定 1：P47をIRQ15-B入力端子として設定	R/W

PF8IRQ レジスタは、IRQ8 ～ IRQ11、IRQ13、IRQ15 入力端子を選択するレジスタです。

ITSi ビット（IRQi 端子選択ビット）（i = 8 ～ 11、13、15）

IRQi の入力端子を選択します。

17.2.2.16 ポートファンクションレジスタ 9（PF9IRQ）

アドレス　0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b2	ITS2	IRQ2端子選択ビット	0：P32をIRQ2-A入力端子として設定 1：P12をIRQ2-B入力端子として設定	R/W
b3	ITS3	IRQ3端子選択ビット	0：P33をIRQ3-A入力端子として設定 1：P13をIRQ3-B入力端子として設定	R/W
b4	ITS4	IRQ4端子選択ビット	0：P34をIRQ4-A入力端子として設定 1：P14をIRQ4-B入力端子として設定	R/W
b5	ITS5	IRQ5端子選択ビット	0：PE5をIRQ5-A入力端子として設定 1：P15をIRQ5-B入力端子として設定	R/W
b6	ITS6	IRQ6端子選択ビット	0：PE6をIRQ6-A入力端子として設定 1：P16をIRQ6-B入力端子として設定	R/W
b7	ITS7	IRQ7端子選択ビット	0：PE7をIRQ7-A入力端子として設定 1：P17をIRQ7-B入力端子として設定	R/W

PF9IRQ レジスタは、IRQ2 ～ IRQ7 入力端子を選択するレジスタです。

ITSi ビット（IRQi 端子選択ビット）（i = 2 ～ 7）

IRQi の入力端子を選択します。

17.2.2.17 ポートファンクションレジスタ A（PFAADC）

アドレス　0008 C10Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	ADTRG0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRG0S	ADTRG0#入力選択ビット	0：P07をADTRG0#-A入力端子として設定 1：P25をADTRG0#-B入力端子として設定	R/W
b7-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFAADC レジスタは、ADTRG0# 端子を選択するレジスタです。

ADTRG0S ビット（ADTRG0# 入力選択ビット）

ADTRG0# の入力端子を選択します。

17.2.2.18 ポートファンクションレジスタ B（PFBTMR）

アドレス　0008 C10Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	TMR2S	TMR1S	TMR0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMR0S	TMR0入力端子選択ビット	0：P01をTMCI0-A端子として選択 P00をTMRIO-A端子として選択 1：P21をTMCI0-B端子として選択 P20をTMRIO-B端子として選択	R/W
b1	TMR1S	TMR1入力端子選択ビット	0：P02をTMCI1-A端子として選択 1：P12をTMCI1-B端子として選択	R/W
b2	TMR2S	TMR2入力端子選択ビット	0：P15をTMCI2-A端子として選択 1：P31をTMCI2-B端子として選択	R/W
b7-b3	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFBTMR レジスタは、TMR0 ～ TMR2 の端子を選択するレジスタです。

TMRnS ビット（TMRn 入力端子選択ビット）（n=0 ～ 2）

TMRn の入力端子を選択します。

17.2.2.19 ポートファンクションレジスタ C（PFCMTU）

アドレス　0008 C10Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	—	MTUS5	MTUS4	MTUS3	MTUS2	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	MTUS2	MTU端子選択ビット2	0：P16をMTIOC3C-A端子として選択 1：P56をMTIOC3C-B端子として選択	R/W
b3	MTUS3	MTU端子選択ビット3	0：P22をMTIOC3B-A端子として選択 P23をMTIOC3D-A端子として選択 1：P80をMTIOC3B-B端子として選択 P81をMTIOC3D-B端子として選択	R/W
b4	MTUS4	MTU端子選択ビット4	0：P24をMTIOC4A-A端子として選択 P25をMTIOC4C-A端子として選択 1：P82をMTIOC4A-B端子として選択 P83をMTIOC4C-B端子として選択	R/W
b5	MTUS5	MTU端子選択ビット5	0：P30をMTIOC4B-A端子として選択 P31をMTIOC4D-A端子として選択 1：P54をMTIOC4B-B端子として選択 P55をMTIOC4D-B端子として選択	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b7	TCLKS	MTCLK端子選択ビット	0：P24をMTCLKA-A端子として選択 P25をMTCLKB-A端子として選択 P22をMTCLKC-A端子として選択 P23をMTCLKD-A端子として選択 1：PC6をMTCLKA-B端子として選択 PC7をMTCLKB-B端子として選択 PC4をMTCLKC-B端子として選択 PC5をMTCLKD-B端子として選択	R/W

PFCMTU レジスタは、MTU ユニット 0 の端子を選択するレジスタです。

MTUSj ビット（MTU 端子選択ビット j）（j=2 ～ 5）

MTU の入出力端子を選択します。

TCLKS ビット（MTCLK 端子選択ビット）

MTU の MTCLK 入力端子を選択します。

17.2.2.20 ポートファンクションレジスタ D（PFDMTU）

アドレス　0008 C10Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	MTUS6	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	MTUS6	MTU端子選択ビット6	0：PC7をMTIC11U-A端子として選択 PC6をMTIC11V-A端子として選択 PC5をMTIC11W-A端子として選択 1：PD4をMTIC11U-B端子として選択 PD3をMTIC11V-B端子として選択 PD2をMTIC11W-B端子として選択	R/W
b7	TCLKS	MTCLK端子選択ビット	0：PC2をMTCLKE-A端子として選択 PC3をMTCLKF-A端子として選択 PC0をMTCLKG-A端子として選択 PC1をMTCLKH-A端子として選択 1：PB4をMTCLKE-B端子として選択 PB5をMTCLKF-B端子として選択 PB2をMTCLKG-B端子として選択 PB3をMTCLKH-B端子として選択	R/W

PFDMTU レジスタは、MTU ユニット 1 の端子を選択するレジスタです。

MTUS6 ビット（MTU 端子選択 6 ビット）

MTIC11U/V/W の入力端子を選択します。

TCLKS ビット（MTCLK 端子選択ビット）

MTU の MTCLK 入力端子を選択します。

17.2.2.21 ポートファンクションレジスタ E（PFENET）

アドレス　0008 C10Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	EE	—	—	PHY MODE	ENETE3	ENETE2	ENETE1	ENETE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENETE0	EtherNET端子許可ビット0	0：ET_WOL端子無効 1：ET_WOL端子有効	R/W
b1	ENETE1	EtherNET端子許可ビット1	0：ET_LINKSTA端子無効 1：ET_LINKSTA端子有効	R/W
b2	ENETE2	EtherNET端子許可ビット2	0：ET_EXOUT端子無効 1：ET_EXOUT端子有効	R/W
b3	ENETE3	EtherNET端子許可ビット3	0：ET_TX_ER端子無効 1：ET_TX_ER端子有効	R/W
b4	PHYMODE	EtherNETモード設定ビット	0：RMIIモード 1：MIIモード	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	EE	EtherNET端子許可ビット	0：EtherNET端子全体を無効に設定 1：EtherNET端子全体を有効に設定	R/W

PFENET レジスタは、EtherNET に関する入出力端子の設定をするレジスタです。

ENETEn ビット（EtherNET 端子許可ビット n）（n = 0 ～ 3）

EtherNET 端子を選択します。

PHYMODE ビット（EtherNET モード設定ビット）

EtherNET の PHY モードを設定します。

表 17.18 に PHYMODE ビットの設定と、EtherNET のモードの関係を示します。

EE ビット（EtherNET 端子許可ビット）

EtherNET 端子の有効 / 無効を選択します。

表17.18　PHYMODEビットの設定とEther NETモードの関係（145ピンTFLGA／144ピンLQFP）

PHYMODE	EtherNETのモード	使用するEhterNET端子	割り当てポート名	備考
0	RMIIモード	ET_MDC	P72	
		ET_MDIO	P71	
		ET_WOL	P73	ENETE0=“1”で有効
		ET_LINKSTA	P54	ENETE1=“1”で有効
		ET_EXOUT	P55	ENETE2=“1”で有効
		REF50CK	P76	
		RMII_TXD0	P81	
		RMII_TXD1	P82	
		RMII_TXD_EN	P80	
		RMII_RXD0	P75	
		RMII_RXD1	P74	
		RMII_RX_ER	P77	
		RMII_CRS_DV	P83	
1	MIIモード	ET_MDC	P72	
		ET_MDIO	P71	
		ET_WOL	P73	ENETE0=“1”で有効
		ET_LINKSTA	P54	ENETE1=“1”で有効
		ET_EXOUT	P55	ENETE2=“1”で有効
		ET_TX_CLK	PC4	
		ET_ETXD0	P81	
		ET_ETXD1	P82	
		ET_ETXD2	PC5	
		ET_ETXD3	PC6	
		ET_TX_EN	P80	
		ET_TX_ER	PC3	ENETE3=“1”で有効
		ET_COL	PC7	
		ET_CRS	P83	
		ET_RX_CLK	P76	
		ET_ERXD0	P75	
		ET_ERXD1	P74	
		ET_ERXD2	PC1	
		ET_ERXD3	PC0	
		ET_RX_DV	PC2	
		ET_RX_ER	P77	

17.2.2.22 ポートファンクションルレジスタ F（PFFSCI）

アドレス　0008 C10Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCI6S	—	—	SCI3S	SCI2S	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SCI2S	SCI2端子選択ビット	0：P12をRxD2-A端子として設定 P51をSCK2端子として設定 P13をTxD2-A端子として設定 1：P52をRxD2-B端子として設定 P51をSCK2端子として設定 P50をTxD2-B端子として設定	R/W
b3	SCI3S	SCI3端子選択ビット	0：P16をRxD3-A端子として設定 P15をSCK3-A端子として設定 P17をTxD3-A端子として設定 1：P25をRxD3-B端子として設定 P24をSCK3-B端子として設定 P23をTxD3-B端子として設定	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SCI6S	SCI6端子選択ビット	0：P01をRxD6-A端子として設定 P02をSCK6-A端子として設定 P00をTxD6-A端子として設定 1：P33をRxD6-B端子として設定 P34をSCK6-B端子として設定 P32をTxD6-B端子として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFFSCI レジスタは、SCI の端子を選択するレジスタです。

SCInS ビット（SCI n 端子選択ビット）（n = 2 ～ 3、6）

SCI チャネル n の入出力端子を選択します。

17.2.2.23 ポートファンクションレジスタ G（PFGSPI）

アドレス　0008 C110h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSPIS	RSPI端子選択ビット	0：PC7をMISOA-A端子として設定 PC6をMOSIA-A端子として設定 PC5をRSPCKA-A端子として設定 PC4をSSLA0-A端子として設定 PC0をSSLA1-A端子として設定 PC1をSSLA2-A端子として設定 PC2をSSLA3-A端子として設定 1：PA7をMISOA-B端子として設定 PA6をMOSIA-B端子として設定 PA5をRSPCKA-B端子として設定 PA4をSSLA0-B端子として設定 PA0をSSLA1-B端子として設定 PA1をSSLA2-B端子として設定 PA2をSSLA3-B端子として設定	R/W
b1	RSPCKE	RSPCKA出力許可ビット	0：RSPCKA端子無効 1：RSPCKA端子有効	R/W
b2	MOSIE	MOSIA出力許可ビット	0：MOSIA端子無効 1：MOSIA端子有効	R/W
b3	MISOE	MISOA出力許可ビット	0：MISOA端子無効 1：MISOA端子有効	R/W
b4	SSL0E	SSLA0出力許可ビット	0：SSLA0端子無効 1：SSLA0端子有効	R/W
b5	SSL1E	SSLA1出力許可ルビット	0：SSLA1端子無効 1：SSLA1端子有効	R/W
b6	SSL2E	SSLA2出力許可ビット	0：SSLA2端子無効 1：SSLA2端子有効	R/W
b7	SSL3E	SSLA3出力許可ビット	0：SSLA3端子無効 1：SSLA3端子有効	R/W

PFGSPI レジスタは、RSPI チャネル 0 に関する入出力端子の設定をするレジスタです。

RSPIS ビット（RSPI 端子選択ビット）

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを “1” にしている端子は選択されますが、許可ビットを “0” にしている端子は選択されません。

RSPCKE ビット（RSPCKA 出力イネーブルビット）

RSPCKA の出力許可／禁止を選択します。RSPCKA 端子を使用する場合は、“1” にしてください。

MOSIE ビット（MOSIA 出力イネーブルビット）

MOSIA の出力許可／禁止を選択します。MOSIA 端子を使用する場合は、“1” にしてください。

MISOE ビット（MISOA 出力イネーブルビット）

MISOA の出力許可／禁止を選択します。MISOA 端子を使用する場合は、“1” にしてください。

SSL0E ビット（SSLA0 出力イネーブルビット）

SSLA0 の出力許可／禁止を選択します。SSLA0 端子を使用する場合は、“1” にしてください。

SSL1E ビット（SSLA1 出力イネーブルビット）

SSLA1 の出力許可／禁止を選択します。SSLA1 端子を使用する場合は、“1” にしてください。

SSL2E ビット（SSLA2 出力イネーブルビット）

SSLA2 の出力許可／禁止を選択します。SSLA2 端子を使用する場合は、“1” にしてください。

SSL3E ビット（SSLA3 出力イネーブルビット）

SSLA3 の出力許可／禁止を選択します。SSLA3 端子を使用する場合は、“1” にしてください。

17.2.2.24 ポートファンクションレジスタ H（PFHSPI）

アドレス　0008 C111h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSPIS	RSPI端子選択ビット	0：P30をMISOB-A端子として設定 P26をMOSIB-A端子として設定 P27をRSPCKB-A端子として設定 P31をSSLB0-A端子として設定 P50をSSLB1-A端子として設定 P51をSSLB2-A端子として設定 P52をSSLB3-A端子として設定 1：PE7をMISOB-B端子として設定 PE6をMOSIB-B端子として設定 PE5をRSPCKB-B端子として設定 PE4をSSLB0-B端子として設定 PE0をSSLB1-B端子として設定 PE1をSSLB2-B端子として設定 PE2をSSLB3-B端子として設定	R/W
b1	RSPCKE	RSPCKB出力許可ビット	0：RSPCKB端子無効 1：RSPCKB端子有効	R/W
b2	MOSIE	MOSIB出力許可ビット	0：MOSIB端子無効 1：MOSIB端子有効	R/W
b3	MISOE	MISOB出力許可ビット	0：MISOB端子無効 1：MISOB端子有効	R/W
b4	SSL0E	SSLB0出力許可ビット	0：SSLB0端子無効 1：SSLB0端子有効	R/W
b5	SSL1E	SSLB1出力許可ビット	0：SSLB1端子無効 1：SSLB1端子有効	R/W
b6	SSL2E	SSLB2出力許可ビット	0：SSLB2端子無効 1：SSLB2端子有効	R/W
b7	SSL3E	SSLB3出力許可ビット	0：SSLB3端子無効 1：SSLB3端子有効	R/W

PFHSPI レジスタは、RSPI チャネル 1 に関する入出力端子の設定をするレジスタです。

RSPIS ビット（RSPI 端子選択ビット）

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを “1” にしている端子は選択されますが、許可ビットを “0” に設定している端子は選択されません。

RSPCKE ビット（RSPCKB 出力許可ビット）

RSPCKB の出力許可／禁止を選択します。RSPCKB 端子を使用する場合は、“1” にしてください。

MOSIE ビット（MOSIB 出力許可ビット）

MOSIB の出力許可／禁止を選択します。MOSIB 端子を使用する場合は、“1” にしてください。

MISOE ビット（MISOB 出力許可ビット）

MISOB の出力許可／禁止を選択します。MISOB 端子を使用する場合は、“1” にしてください。

SSL0E ビット（SSLB0 出力許可ビット）

SSLB0 の出力許可／禁止を選択します。SSLB0 端子を使用する場合は、“1” にしてください。

SSL1E ビット（SSLB1 出力許可ビット）

SSLB1 の出力許可／禁止を選択します。SSLB1 端子を使用する場合は、“1” にしてください。

SSL2E ビット（SSLB2 出力許可ビット）

SSLB2 の出力許可／禁止を選択します。SSLB2 端子を使用する場合は、“1” にしてください。

SSL3E ビット（SSLB3 出力許可ビット）

SSLB3 の出力許可／禁止を選択します。SSLB3 端子を使用する場合は、“1” にしてください。

17.2.2.25 ポートファンクションレジスタ J（PFJCAN）

アドレス　0008 C113h

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	CAN0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CAN0E	CAN0端子許可ビット	0：CTX0端子およびCRX0端子無効 1：CTX0端子およびCRX0端子有効	R/W
b7-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFJCAN レジスタは、CAN に関する入出力端子の設定をするレジスタです。

CANnE ビット（CANn 端子イネーブルビット）（n=0）

CANn 端子の許可／禁止を選択します。CANn を使用する場合は、“1” にしてください。

17.2.2.26 ポートファンクションレジスタ K（PFKUSB）

アドレス　0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	USBE	PDHZS	PUPHZS	USBMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	USBMD[1:0]	USBモード設定ビット	b1 b0 0 0：USB0端子をファンクションモードに設定 0 1：USB0端子をホストモード用に設定 1 0：USB0端子をホスト/ファンクション兼用に設定（オプション）（注1） 1 1：USB0端子をOTGモードに設定	R/W
b2	PUPHZS	PUPHZ選択ビット	0：USB0_DPUPE端子=High出力/Low出力（外部プルアップ制御信号） 1：USB0_DPUPE端子=High出力/Hi-Z状態（USB0_DP端子プルアップ出力）	R/W
b3	PDHZS	PDHZ選択ビット	0：USB0_DPRPD端子=High出力/Low出力 USB0_DRPD端子=High出力/Low出力 （外部プルダウン制御信号） 1：USB0_DPRPD端子=Low出力/Hi-Z状態 USB0_DRPD端子=Low出力/Hi-Z状態 （USB0_DP、USB0_DM端子プルダウン出力）	R/W
b4	USBE	USB許可ビット	0：USB0端子全体を無効に設定 1：USB0端子全体を有効に設定	R/W
b7-b5	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　オプションについては、弊社営業窓口までお問い合わせください。

PFKUSB レジスタは、USB0 に関する入出力端子の設定をします。

USBMD[1:0] ビット（USB モード設定ビット）

USB のモードを選択します。

表 17.19 に USBMD[1:0] ビットの設定と、USB モードの関係を示します。

PUPHZS ビット（PUPHZ 選択ビット）

USB の DPUPE 端子の出力モード（外部プルアップ制御／端子プルアップ出力）を選択します。

PUPHZS ビットを “0” にすると、外部プルアップ IC 用の制御信号出力モードになり、DPUPE 端子からは High アクティブの制御信号が出力されます。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子は Low 出力状態になります。

PUPHZS ビットを “1” にすると、DP 端子を直接プルアップする出力モードになります。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子は ハイインピーダンス状態になります。

PDHZS ビット（PDHZ 選択ビット）

USB の DPRPD 端子、DRPD 端子の出力モード（外部プルダウン制御／端子プルダウン出力）を選択します。

PDHZS ビットを “0” にすると、外部プルダウン IC 用の制御信号出力モードになり、DPRPD 端子、DRPD 端子からは High アクティブの制御信号が出力されます。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は High 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子は Low 出力状態になります。

PDHZS ビットを “1” にすると、DP、DM 端子を直接プルダウンする出力モードになります。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は Low 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子は ハイインピーダンス状態になります。

USBE ビット（USB 許可ビット）

USB 端子を許可します。

表17.19 USBMD[1:0]ビットの設定とUSBモードの関係（USB0）

USBMD1	USBMD0	USB0のモード	使用するUSB端子	割り当てポート名	備考
0	0	ファンクションモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_VBUS	P16	
			USB0_DPUPE-B	P14	-B側を選択
0	1	ホストモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUSEN-B	P16	-B側を選択
1	0	ホスト/ファンクション兼用（オプション）（注1）	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUS	P16	
			USB0_DRPD	P22	
			USB0_DPUPE-A	P23	-A側を選択
			USB0_VBUSEN-A	P24	-A側を選択
1	1	OTGモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_OVRCURB	P16	
			USB0_DPRPD	P25	
			USB0_DRPD	P22	
			USB0_EXICEN	P21	
			USB0_ID	P20	
			USB0_DPUPE-A	P23	-A側を選択
			USB0_VBUSEN-A	P24	-A側を選択

注1. オプションについては、弊社営業窓口までお問い合わせください。

17.2.2.27 ポートファンクションレジスタ M（PFMPOE）

アドレス 0008 C116h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE7E	POE6E	POE5E	POE4E	POE3E	POE2E	POE1E	POE0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE0E	POE0入力許可ビット	0：I/Oポートとして設定 1：POEn#入力端子として設定（n=0～7）	R/W（注1）
b1	POE1E	POE1入力許可ビット		R/W（注1）
b2	POE2E	POE2入力許可ビット		R/W（注1）
b3	POE3E	POE3入力許可ビット		R/W（注1）
b4	POE4E	POE4入力許可ビット		R/W（注1）
b5	POE5E	POE5入力許可ビット		R/W（注1）
b6	POE6E	POE6入力許可ビット		R/W（注1）
b7	POE7E	POE7入力許可ビット		R/W（注1）

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFMPOE レジスタは、POE 入力端子の許可／禁止を選択するレジスタです。
システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。
書き込みはリセットスタート後の最初の 1 回目のみ有効です。

POEnE ビット（POEn 入力許可ビット）（n=0 ～ 7）

対応する POEn# 入力の許可／禁止を選択します。
POEn# を使用する場合には、対応する POEnE ビットを “1” にしてください。

17.2.2.28 ポートファンクションレジスタ N（PFNPOE）

アドレス 0008 C117h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	POE9E	POE8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE8E	POE8入力許可ビット	0：I/Oポートとして設定 1：POEn#入力端子として設定（n=8～9）	R/W（注1）
b1	POE9E	POE9入力許可ビット		R/W（注1）
b7-b2	—	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFNPOE レジスタは、POE 入力端子の許可／禁止を選択するレジスタです。
システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。
書き込みはリセットスタート後の最初の 1 回目のみ有効です。

POEnE ビット（POEn 入力許可ビット）（n=8 ～ 9）

対応する POEn# 入力の許可／禁止を選択します。
POEn# を使用する場合には、対応する POEnE ビットを “1” にしてください。

17.2.3 ポートの設定

各周辺モジュールの端子を有効に設定すると、各ポートの設定が切り替わります。

入力として機能する端子は、各周辺モジュールの設定により独立して設定できます。PORT レジスタリード、データバス入力、NMI、および POE 端子入力を除き、入力バッファコントロールレジスタ（ICR）の対応するビットを “1” にして入力バッファを有効にする必要があります。

出力および入出力として機能する端子は、各周辺モジュールの端子ごとに出力信号を有効に設定する必要があります。同じポートにマルチプレクスされている各周辺モジュールの出力信号有効設定が競合すると周辺モジュールのポートマルチプレクス優先順位に従って、優先される周辺モジュールの機能が有効になります。

表 17.20 に周辺モジュールのポートマルチプレクス優先順位一覧を示します。

表 17.20　周辺モジュールのポートマルチプレクス優先順位一覧（145 ピン TFLGA／144 ピン LQFP）

優先順位		モジュール名	出力端子名
高い	1	外部バス（データ）	D0～D15（データバス）
↑	2	外部バス SDRAM	RD#、WR#、WR0#～WR1#、BC0#～BC1#、BCLK、SDCLK、 SDCS#、RAS#、CAS#、WE#、CKE、DQM0～DQM1、 A0～A23（アドレスバス）
	3	外部バス（CS）	CS0#～CS7#（チップセレクト）
	4	RSPI0、RSPI1	RSPCKn、MOSIn、MISOn、SSLn0～SSLn3（n = A、B）
	5	USB0	USB0_DPUPE、USB0_VBUSEN、USB0_EXICEN、 USB0_DRPD、USB0_DPRPD
	6	CAN0	CTX0
	7	EtherNET	ET_MDC、ET_MDIO、ET_EXOUT、ET_WOL、 ET_TX_EN、ET_TX_ER、ET_ETXD0～ET_ETXD3、 RMII_TXD_EN、RMII_TXD0、RMII_TXD1
	8	EXDMAC0、EXDMAC1	EDACK0、EDACK1
	9	MTU0～MTU4、 MTU6～MTU10	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、MTIOC2B、 MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、 MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC8A、MTIOC8B、 MTIOC9A、MTIOC9B、MTIOC9C、MTIOC9D、MTIOC10A、MTIOC10B、MTIOC10C、MTIOC10D
	10	TMR0～TMR3	TMO0～TMO3
	11	SCI0～SCI3、 SCI5～SCI6	SCK0～SCK3、SCK5～SCK6、 TxD0～TxD3、TxD5～TxD6
	12	RTC	RTCOUT
	13	PPG0、PPG1	PO0～PO15、PO16～PO31
	14	RIIC0、RIIC1	SCL0～SCL1、SDA0～SDA1
	15	DA	DA0～DA1
低い	16	I/O PORT	P00～P03、P05、P07、P12～P17、P20～P27、P30～P34、P50～P52、 P54～P56、P60～P67、P70～P77、P80～P83、P90～P93、PA0～PA7、 PB0～PB7、PC0～PC7、PD0～PD7、PE0～PE7

17.2.4 出力許可設定一覧

表 17.21 に各ポートの出力許可設定一覧を示します。

当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

また、各周辺モジュールの端子名の末尾に A ～ D のいずれかが付いている端子は、ポートファンクションレジスタによって端子機能を変更できます。

表17.21　各ポートの出力許可設定一覧 (1 / 9)（145ピンTFLGA／144ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P00	SCI6	TxD6-A	PFFSCI.SCI6S = 0	SCI6.SCR.TE = 1
	PORT0	P00		PORT0.DDR.B0 = 1
P01	PORT0	P01		PORT0.DDR.B1 = 1
P02	SCI6	SCK6-A	PFFSCI.SCI6S = 0	SCI6.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI6.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORT0	P02		PORT0.DDR.B2 = 1
P03	DA	DA0		DACR.DAOE0 = 1
	PORT0	P03		PORT0.DDR.B3 = 1
P05	DA	DA1		DACR.DAOE1 = 1
	PORT0	P05		PORT0.DDR.B5 = 1
P07	PORT0	P07		PORT0.DDR.B7 = 1
P12	RIIC0	SCL0		RIIC0.ICCR1.ICE = 1
	PORT1	P12		PORT1.DDR.B2 = 1
P13	TMR3	TMO3		TMO3.TCSR.OSA[1:0] = 01/10/11 か TMO3.TCSR.OSB[1:0] = 01/10/11
	SCI2	TxD2-A	PFFSCI.SCI2S = 0	SCI2.SCR.TE = 1
	RIIC0	SDA0		RIIC0.ICCR1.ICE = 1
	PORT1	P13		PORT1.DDR.B3 = 1
P14	USB0	USB0_DPUPE-B	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	PORT1	P14		PORT1.DDR.B4 = 1
P15	MTU0	MTIOC0B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	SCK3-A	PFFSCI.SCI3S = 0	SCI3.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI3.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO13		PPG0.NDERH.NDER13 = 1
	PORT1	P15		PORT1.DDR.B5 = 1
P16	USB0	USB0_VBUSEN-B	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 01	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3C-A	PFCMTU.MTUS2 = 0	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR2	TMO2		TMO2.TCSR.OSA[1:0] = 01/10/11 か TMO2.TCSR.OSB[1:0] = 01/10/11
	PPG0	PO14		PPG0.NDERH.NDER14 = 1
	PORT1	P16		PORT1.DDR.B6 = 1
P17	MTU3	MTIOC3A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	TxD3-A	PFFSCI.SCI3S = 0	SCI3.SCR.TE = 1
	PPG0	PO15		PPG0.NDERH.NDER15 = 1
	PORT1	P17		PORT1.DDR.B7 = 1
P20	MTU1	MTIOC1A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI0	TxD0		SCI0.SCR.TE = 1
	PPG0	PO0		PPG0.NDERL.NDER0 = 1
	RIIC1	SDA1		RIIC1.ICCR1.ICE = 1
	PORT2	P20		PORT2.DDR.B0 = 1

表17.21　各ポートの出力許可設定一覧 (2 / 9)（145ピンTFLGA／144ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P21	USB0	USB0_EXICEN	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	MTU1	MTIOC1B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO1		PPG0.NDERL.NDER1 = 1
	RIIC1	SCL1		RIIC1.ICCR1.ICE = 1
	PORT2	P21		PORT2.DDR.B1 = 1
P22	USB0	USB0_DRPD	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3B-A	PFCMTU.MTUS3 = 0	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR0	TMO0		TMO0.TCSR.OSA[1:0] = 01/10/11 か TMO0.TCSR.OSB[1:0] = 01/10/11
	SCI0	SCK0		SCI0.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI0.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO2		PPG0.NDERL.NDER2 = 1
	PORT2	P22		PORT2.DDR.B2 = 1
P23	USB0	USB0_DPUPE-A	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	EXDMAC0	EDACK0-B	PF7DMA.EDMA0S[1:0] = 01	EXDMAC0.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC0 の設定に従います)
	MTU3	MTIOC3D-A	PFCMTU.MTUS3 = 0	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	TxD3-B	PFFSCI.SCI3S = 1	SCI3.SCR.TE = 1
	PPG0	PO3		PPG0.NDERL.NDER3 = 1
	PORT2	P23		PORT2.DDR.B3 = 1
P24	外部バス（CS）	CS4#-C	PF0CSE.CS4E = 1 PF1CSS.CS4S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	USB0	USB0_VBUSEN-A	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4A-A	PFCMTU.MTUS4 = 0	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	SCK3-B	PFFSCI.SCI3S = 1	SCI3.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI3.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO4		PPG0.NDERL.NDER4 = 1
	PORT2	P24		PORT2.DDR.B4 = 1
P25	外部バス（CS）	CS5#-C	PF0CSE.CS5E = 1 PF1CSS.CS5S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	USB0	USB0_DPRPD	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	EXDMAC1	EDACK1-B	PF7DMA.EDMA1S[1:0] = 01	EDMAC1.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC1 の設定に従います)
	MTU4	MTIOC4C-A	PFCMTU.MTUS4 = 0	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO5		PPG0.NDERL.NDER5 = 1
	PORT2	P25		PORT2.DDR.B5 = 1
P26	外部バス（CS）	CS6#-C	PF0CSE.CS6E = 1 PF1CSS.CS6S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI1	MOSIB-A	PFHSPI.MOSIE = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU2	MTIOC2A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR1	TMO1		TMO1.TCSR.OSA[1:0] = 01/10/11 か TMO1.TCSR.OSB[1:0] = 01/10/11
	SCI1	TxD1		SCI1.SCR.TE = 1
	PPG0	PO6		PPG0.NDERL.NDER6 = 1
	PORT2	P26		PORT2.DDR.B6 = 1

表17.21　各ポートの出力許可設定一覧 (3 / 9)（145ピンTFLGA／144ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P27	外部バス（CS）	CS7#-C	PF0CSE.CS7E = 1 PF1CSS.CS7S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI1	RSPCKB-A	PFHSPI.RSPCKE = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU2	MTIOC2B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI1	SCK1		SCI1.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI1.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO7		PPG0.NDERL.NDER7 = 1
	PORT2	P27		PORT2.DDR.B7 = 1
P30	RSPI1	MISOB-A	PFHSPI.MISOE = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU4	MTIOC4B-A	PFCMTU.MTUS5 = 0	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO8		PPG0.NDERH.NDER8 = 1
	PORT3	P30		PORT3.DDR.B0 = 1
P31	RSPI1	SSLB0-A	PFHSPI.SSL0E = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU4	MTIOC4D-A	PFCMTU.MTUS5 = 0	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO9		PPG0.NDERH.NDER9 = 1
	PORT3	P31		PORT3.DDR.B1 = 1
P32	CAN0	CTX0	PFJCAN.CAN0E = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0C		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI6	TxD6-B	PFFSCI.SCI6S = 1	SCI6.SCR.TE = 1
	RTC	RTCOUT		RCR2.RTCOE = 1
	PPG0	PO10		PPG0.NDERH.NDER10 = 1
	PORT3	P32		PORT3.DDR.B2 = 1
P33	MTU0	MTIOC0D		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO11		PPG0.NDERH.NDER11 = 1
	PORT3	P33		PORT3.DDR.B3 = 1
P34	MTU0	MTIOC0A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI6	SCK6-B	PFFSCI.SCI6S = 1	SCI6.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI6.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO12		PPG0.NDERH.NDER12 = 1
	PORT3	P34		PORT3.DDR.B4 = 1
P35	（該当なし）	（該当なし）		
P40	PORT4	P40		PORT4.DDR.B0 = 1
P41	PORT4	P41		PORT4.DDR.B1 = 1
P42	PORT4	P42		PORT4.DDR.B2 = 1
P43	PORT4	P43		PORT4.DDR.B3 = 1
P44	PORT4	P44		PORT4.DDR.B4 = 1
P45	PORT4	P45		PORT4.DDR.B5 = 1
P46	PORT4	P46		PORT4.DDR.B6 = 1
P47	PORT4	P47		PORT4.DDR.B7 = 1
P50	外部バス	WR# WR0#		SYSCR0.EXBE = 1
	RSPI1	SSLB1-A	PFHSPI.SSL1E = 1 PFHSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	TxD2-B	PFFSCI.SCI2S = 1	SCI2.SCR.TE = 1
	PORT5	P50		PORT5.DDR.B0 = 1

表17.21　各ポートの出力許可設定一覧 (4 / 9)（145ピンTFLGA／144ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P51	外部バス	WR1# BC1#	PF5BUS.WR1BC1E = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB2-A	PFHSPI.SSL2E = 1 PFHSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	SCK2	PFFSCI.SCI2S = 1	SCI2.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI2.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORT5	P51		PORT5.DDR.B1 = 1
P52	外部バス	RD#		SYSCR0.EXBE = 1
	RSPI1	SSLB3-A	PFHSPI.SSL3E = 1 PFHSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	PORT5	P52		PORT5.DDR.B2 = 1
P53	外部バス	BCLK		PORT5.DDR.B3 = 1
P54	EXDMAC0	EDACK0-C	PF7DMA.EDMA0S[1:0] = 11/10	EXDMAC0.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC0 の設定に従います)
	MTU4	MTIOC4B-B	PFCMTU.MTUS5 = 1	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT5	P54		PORT5.DDR.B4 = 1
P55	EtherNET	ET_EXOUT	PFENET.EE = 1 PFENET.ENETE2 = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4D-B	PFCMTU.MTUS5 = 1	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT5	P55		PORT5.DDR.B5 = 1
P56	EXDMAC1	EDACK1-C	PF7DMA.EDMA1S[1:0] = 11/10	EDMAC1.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC1 の設定に従います)
	MTU3	MTIOC3C-B	PFCMTU.MTUS2 = 1	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT5	P56		PORT5.DDR.B6 = 1
P60	外部バス（CS）	CS0#-A	PF0CSE.CS0E = 1 PF2CSS.CS0S = 0	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P60		PORT6.DDR.B0 = 1
P61	SDRAM	SDCS#	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS1#-A	PF0CSE.CS1E = 1 PF2CSS.CS1S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P61		PORT6.DDR.B1 = 1
P62	SDRAM	RAS#	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS2#-A	PF0CSE.CS2E = 1 PF2CSS.CS2S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P62		PORT6.DDR.B2 = 1
P63	SDRAM	CAS#	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS3#-A	PF0CSE.CS3E = 1 PF2CSS.CS3S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P63		PORT6.DDR.B3 = 1
P64	SDRAM	WE#	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS4#-A	PF0CSE.CS4E = 1 PF1CSS.CS4S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P64		PORT6.DDR.B4 = 1
P65	SDRAM	CKE	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS5#-A	PF0CSE.CS5E = 1 PF1CSS.CS5S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P65		PORT6.DDR.B5 = 1
P66	SDRAM	DQM0	PF6BUS.MDSDE = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS6#-A	PF0CSE.CS6E = 1 PF1CSS.CS6S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P66		PORT6.DDR.B6 = 1
P67	SDRAM	DQM1	PF6BUS.MDSDE = 1 PF6BUS.DQM1E = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS7#-A	PF0CSE.CS7E = 1 PF1CSS.CS7S[1:0] = 00	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT6	P67		PORT6.DDR.B7 = 1
P70	SDRAM	SDCLK	PF6BUS.SDCLKE = 1	
	PORT7	P70		PORT7.DDR.B0 = 1

表17.21　各ポートの出力許可設定一覧 (5 / 9)（145ピンTFLGA／144ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P71	外部バス（CS）	CS1#-B	PF0CSE.CS1E = 1 PF2CSS.CS1S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	EtherNET	ET_MDIO	PFENET.EE = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORT7	P71		PORT7.DDR.B1 = 1
P72	外部バス（CS）	CS2#-B	PF0CSE.CS2E = 1 PF2CSS.CS2S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	EtherNET	ET_MDC	PFENET.EE = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P72		PORT7.DDR.B2 = 1
P73	外部バス（CS）	CS3#-B	PF0CSE.CS3E = 1 PF2CSS.CS3S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	EtherNET	ET_WOL	PFENET.EE = 1 PFENET.ENETE0 = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P73		PORT7.DDR.B3 = 1
P74	外部バス（CS）	CS4#-B	PF0CSE.CS4E = 1 PF1CSS.CS4S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT7	P74		PORT7.DDR.B4 = 1
P75	外部バス（CS）	CS5#-B	PF0CSE.CS5E = 1 PF1CSS.CS5S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT7	P75		PORT7.DDR.B5 = 1
P76	外部バス（CS）	CS6#-B	PF0CSE.CS6E = 1 PF1CSS.CS6S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT7	P76		PORT7.DDR.B6 = 1
P77	外部バス（CS）	CS7#-B	PF0CSE.CS7E = 1 PF1CSS.CS7S[1:0] = 01	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	PORT7	P77		PORT7.DDR.B7 = 1
P80	EtherNET	ET_TX_EN	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	EtherNET	RMII_TXD_EN	PFENET.EE = 1 PFENET.PHYMODE = 0	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3B-B	PFCMTU.MTUS3 = 1	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT8	P80		PORT8.DDR.B0 = 1
P81	EtherNET	ET_ETXD0	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	EtherNET	RMII_TXD0	PFENET.EE = 1 PFENET.PHYMODE = 0	(信号出力状態は周辺モジュールの設定に従います)
	EXDMAC0	EDACK0-A	PF7DMA.EDMA0S[1:0] = 00	EXDMAC0.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC0 の設定に従います)
	MTU3	MTIOC3D-B	PFCMTU.MTUS3 = 1	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT8	P81		PORT8.DDR.B1 = 1
P82	EtherNET	ET_ETXD1	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	EtherNET	RMII_TXD1	PFENET.EE = 1 PFENET.PHYMODE = 0	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4A-B	PFCMTU.MTUS4 = 1	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT8	P82		PORT8.DDR.B2 = 1
P83	EXDMAC1	EDACK1-A	PF7DMA.EDMA1S[1:0] = 00	EDMAC1.EDMOMD.DACKE = 1 (信号出力状態は EXDMAC1 の設定に従います)
	MTU4	MTIOC4C-B	PFCMTU.MTUS4 = 1	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT8	P83		PORT8.DDR.B3 = 1
P90	外部バス	A16-B	PF3BUS.A16E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P90		PORT9.DDR.B0 = 1
P91	外部バス	A17-B	PF3BUS.A17E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P91		PORT9.DDR.B1 = 1
P92	外部バス	A18-B	PF3BUS.A18E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P92		PORT9.DDR.B2 = 1
P93	外部バス	A19-B	PF3BUS.A19E = 1 PF5BUS.ADRHMS = 1	SYSCR0.EXBE = 1
	PORT9	P93		PORT9.DDR.B3 = 1

表17.21　各ポートの出力許可設定一覧 (6 / 9)（145ピンTFLGA／144ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PA0	外部バス	A0 BC0#	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA1-B	PFGSPI.SSL1E = 1 PFGSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO16		PPG1.NDERL.NDER0 = 1
	PORTA	PA0		PORTA.DDR.B0 = 1
PA1	外部バス	A1	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA2-B	PFGSPI.SSL2E = 1 PFGSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO17		PPG1.NDERL.NDER1 = 1
	PORTA	PA1		PORTA.DDR.B1 = 1
PA2	外部バス	A2	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA3-B	PFGSPI.SSL3E = 1 PFGSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6C		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO18		PPG1.NDERL.NDER2 = 1
	PORTA	PA2		PORTA.DDR.B2 = 1
PA3	外部バス	A3	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	MTU6	MTIOC6D		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO19		PPG1.NDERL.NDER3 = 1
	PORTA	PA3		PORTA.DDR.B3 = 1
PA4	外部バス	A4	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA0-B	PFGSPI.SSL0E = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU7	MTIOC7A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO20		PPG1.NDERL.NDER4 = 1
	PORTA	PA4		PORTA.DDR.B4 = 1
PA5	外部バス	A5	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	RSPCKA-B	PFGSPI.RSPCKE = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU7	MTIOC7B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO21		PPG1.NDERL.NDER5 = 1
	PORTA	PA5		PORTA.DDR.B5 = 1
PA6	外部バス	A6	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	MOSIA-B	PFGSPI.MOSIE = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU8	MTIOC8A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO22		PPG1.NDERL.NDER6 = 1
	PORTA	PA6		PORTA.DDR.B6 = 1
PA7	外部バス	A7	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	MISOA-B	PFGSPI.MISOE = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU8	MTIOC8B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO23		PPG1.NDERL.NDER7 = 1
	PORTA	PA7		PORTA.DDR.B7 = 1
PB0	外部バス	A8	PF4BUS.ADRLE[1:0] = 11	SYSCR0.EXBE = 1
	MTU9	MTIOC9A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO24		PPG1.NDERH.NDER8 = 1
	PORTB	PB0		PORTB.DDR.B0 = 1

表17.21　各ポートの出力許可設定一覧 (7 / 9)（145ピンTFLGA／144ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PB1	外部バス	A9	PF4BUS.ADRLE[1:0] = 11	SYSCR0.EXBE = 1
	MTU9	MTIOC9C		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO25		PPG1.NDERH.NDER9 = 1
	PORTB	PB1		PORTB.DDR.B1 = 1
PB2	外部バス	A10	PF4BUS.A10E = 1	SYSCR0.EXBE = 1
	MTU9	MTIOC9B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO26		PPG1.NDERH.NDER10 = 1
	PORTB	PB2		PORTB.DDR.B2 = 1
PB3	外部バス	A11	PF4BUS.A11E = 1	SYSCR0.EXBE = 1
	MTU9	MTIOC9D		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO27		PPG1.NDERH.NDER11 = 1
	PORTB	PB3		PORTB.DDR.B3 = 1
PB4	外部バス	A12	PF4BUS.A12E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO28		PPG1.NDERH.NDER12 = 1
	PORTB	PB4		PORTB.DDR.B4 = 1
PB5	外部バス	A13	PF4BUS.A13E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10C		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO29		PPG1.NDERH.NDER13 = 1
	PORTB	PB5		PORTB.DDR.B5 = 1
PB6	外部バス	A14	PF4BUS.A14E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO30		PPG1.NDERH.NDER14 = 1
	PORTB	PB6		PORTB.DDR.B6 = 1
PB7	外部バス	A15	PF4BUS.A15E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10D		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO31		PPG1.NDERH.NDER15 = 1
	PORTB	PB7		PORTB.DDR.B7 = 1
PC0	外部バス	A16-A	PF3BUS.A16E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	RSPI0	SSLA1-A	PFGSPI.SSL1E = 1 PFGSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC0		PORTC.DDR.B0 = 1
PC1	外部バス	A17-A	PF3BUS.A17E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	RSPI0	SSLA2-A	PFGSPI.SSL2E = 1 PFGSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	SCI5	SCK5		SCI5.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI5.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORTC	PC1		PORTC.DDR.B1 = 1
PC2	外部バス	A18-A	PF3BUS.A18E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	RSPI0	SSLA3-A	PFGSPI.SSL3E = 1 PFGSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC2		PORTC.DDR.B2 = 1
PC3	外部バス	A19-A	PF3BUS.A19E = 1 PF5BUS.ADRHMS = 0	SYSCR0.EXBE = 1
	EtherNET	ET_TX_ER	PFENET.EE = 1 PFENET.ENETE3 = 1	(信号出力状態は周辺モジュールの設定に従います)
	SCI5	TxD5		SCI5.SCR.TE = 1
	PORTC	PC3		PORTC.DDR.B3 = 1

表17.21　各ポートの出力許可設定一覧 (8 / 9)（145ピンTFLGA／144ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PC4	外部バス	A20	PF3BUS.A20E = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS3#-C	PF0CSE.CS3E = 1 PF2CSS.CS3S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	SSLA0-A	PFGSPI.SSL0E = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTC	PC4		PORTC.DDR.B4 = 1
PC5	外部バス	A21	PF3BUS.A21E = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS2#-C	PF0CSE.CS2E = 1 PF2CSS.CS2S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	RSPCKA-A	PFGSPI.RSPCKE = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	EtherNET	ET_ETXD2	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC5		PORTC.DDR.B5 = 1
PC6	外部バス	A22	PF3BUS.A22E = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS1#-C	PF0CSE.CS1E = 1 PF2CSS.CS1S[1:0] = 11/10	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	MOSIA-A	PFGSPI.MOSIE = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	EtherNET	ET_ETXD3	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC6		PORTC.DDR.B6 = 1
PC7	外部バス	A23	PF3BUS.A23E = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS0#-B	PF0CSE.CS0E = 1 PF2CSS.CS0S = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	MISOA-A	PFGSPI.MISOE = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTC	PC7		PORTC.DDR.B7 = 1
PD0	外部バス（データ）	D0		SYSCR0.EXBE = 1
	PORTD	PD0		PORTD.DDR.B0 = 1
PD1	外部バス（データ）	D1		SYSCR0.EXBE = 1
	PORTD	PD1		PORTD.DDR.B1 = 1
PD2	外部バス（データ）	D2		SYSCR0.EXBE = 1
	PORTD	PD2		PORTD.DDR.B2 = 1
PD3	外部バス（データ）	D3		SYSCR0.EXBE = 1
	PORTD	PD3		PORTD.DDR.B3 = 1
PD4	外部バス（データ）	D4		SYSCR0.EXBE = 1
	PORTD	PD4		PORTD.DDR.B4 = 1
PD5	外部バス（データ）	D5		SYSCR0.EXBE = 1
	PORTD	PD5		PORTD.DDR.B5 = 1
PD6	外部バス（データ）	D6		SYSCR0.EXBE = 1
	PORTD	PD6		PORTD.DDR.B6 = 1
PD7	外部バス（データ）	D7		SYSCR0.EXBE = 1
	PORTD	PD7		PORTD.DDR.B7 = 1
PE0	外部バス（データ）	D8	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB1-B	PFHSPI.SSL1E = 1 PFHSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE0		PORTE.DDR.B0 = 1
PE1	外部バス（データ）	D9	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB2-B	PFHSPI.SSL2E = 1 PFHSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE1		PORTE.DDR.B1 = 1
PE2	外部バス（データ）	D10	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB3-B	PFHSPI.SSL3E = 1 PFHSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE2		PORTE.DDR.B2 = 1

表17.21　各ポートの出力許可設定一覧 (9 / 9)（145ピンTFLGA／144ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PE3	外部バス （データ）	D11	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	PORTE	PE3		PORTE.DDR.B3 = 1
PE4	外部バス （データ）	D12	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB0-B	PFHSPI.SSL0E = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTE	PE4		PORTE.DDR.B4 = 1
PE5	外部バス （データ）	D13	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	RSPCKB-B	PFHSPI.RSPCKE = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTE	PE5		PORTE.DDR.B5 = 1
PE6	外部バス （データ）	D14	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	MOSIB-B	PFHSPI.MOSIE = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTE	PE6		PORTE.DDR.B6 = 1
PE7	外部バス （データ）	D15	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	MISOB-B	PFHSPI.MISOE = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります))
	PORT	PE7		PORTE.DDR.B7 = 1

表 17.22　MTU の各端子の出力許可設定一覧 (1 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU0	MTIOC0A	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOA[3] = 0 MTU0.TIORH.IOA[1:0] = 01/10/11
		PWM モード 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TIORH.IOA[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 001 以外 MTU0.TIORH.IOA[1:0] = 01/10/11
	MTIOC0B	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOB[3] = 0 MTU0.TIORH.IOB[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 010 以外 MTU0.TIORH.IOB[1:0] = 01/10/11
	MTIOC0C	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFA = 0 MTU0.TIORL.IOC[3] = 0 MTU0.TIORL.IOC[1:0] = 01/10/11
		PWM モード 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TMDR.BFA = 0 MTU0.TMDR.BFB = 0 MTU0.TIORL.IOC[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFA = 0 MTU0.TCR.CCLR[2:0] = 101 以外 MTU0.TIORL.IOC[1:0] = 01/10/11
	MTIOC0D	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFB = 0 MTU0.TIORL.IOD[3] = 0 MTU0.TIORL.IOD[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFB = 0 MTU0.TCR.CCLR[2:0] = 110 以外 MTU0.TIORL.IOD[1:0] = 01/10/11
MTU1	MTIOC1A	通常動作	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
		PWM モード 1	MTU1.TMDR.MD[3:0] = 0010	MTU1.TIOR.IOA[1:0] = 01/10/11
		PWM モード 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 01 以外 MTU1.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 2	MTU1.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU1.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU1.TMDR.MD[3:0] = 0111	
	MTIOC1B	通常動作	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11
		PWM モード 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 10 以外 MTU1.TIOR.IOB[1:0] = 01/10/11
		位相計数モード 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11
		位相計数モード 2	MTU1.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU1.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU1.TMDR.MD[3:0] = 0111	
MTU2	MTIOC2A	通常動作	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11
		PWM モード 1	MTU2.TMDR.MD[3:0] = 0010	MTU2.TIOR.IOA[1:0] = 01/10/11
		PWM モード 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 01 以外 MTU2.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 2	MTU2.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU2.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU2.TMDR.MD[3:0] = 0111	

表17.22　MTU の各端子の出力許可設定一覧 (2 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU2	MTIOC2B	通常動作	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 10 以外 MTU2.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU2.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU2.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU2.TMDR.MD[3:0] = 0111	
MTU3	MTIOC3A	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTU3.TIORH.IOA[3] = 0 MTU3.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TIORH.IOA[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOCR1.PSYE = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
	MTIOC3B	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3B = 1 MTU3.TIORH.IOB[3] = 0 MTU3.TIORH.IOB[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3B = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
	MTIOC3C	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTU3.TMDR.BFA = 0 MTU3.TIORL.IOC[3] = 0 MTU3.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TMDR.BFA = 0 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOC[1:0] = 01/10/11
	MTIOC3D	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3D = 1 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOD[3] = 0 MTU3.TIORL.IOD[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3D = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
MTU4	MTIOC4A	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[3] = 0 MTU4.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4A = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	

表17.22　MTU の各端子の出力許可設定一覧 (3 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU4	MTIOC4B	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1 MTU4.TIORH.IOB[3] = 0 MTU4.TIORH.IOB[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4B = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	
	MTIOC4C	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TIORL.IOC[3] = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	
	MTIOC4D	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOD[3] = 0 MTU4.TIORL.IOD[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4D = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	

表17.22　MTU の各端子の出力許可設定一覧 (4 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU6	MTIOC6A	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOA[3] = 0 MTU6.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TIORH.IOA[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 001 以外 MTU6.TIORH.IOA[1:0] = 01/10/11
	MTIOC6B	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOB[3] = 0 MTU6.TIORH.IOB[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 010 以外 MTU6.TIORH.IOB[1:0] = 01/10/11
	MTIOC6C	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFA = 0 MTU6.TIORL.IOC[3] = 0 MTU6.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TMDR.BFA = 0 MTU6.TMDR.BFB = 0 MTU6.TIORL.IOC[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFA = 0 MTU6.TCR.CCLR[2:0] = 101 以外 MTU6.TIORL.IOC[1:0] = 01/10/11
	MTIOC6D	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFB = 0 MTU6.TIORL.IOD[3] = 0 MTU6.TIORL.IOD[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFB = 0 MTU6.TCR.CCLR[2:0] = 110 以外 MTU6.TIORL.IOD[1:0] = 01/10/11
MTU7	MTIOC7A	通常動作	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
		PWMモード1	MTU7.TMDR.MD[3:0] = 0010	MTU7.TIOR.IOA[1:0] = 01/10/11
		PWMモード2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 01 以外 MTU7.TIOR.IOA[1:0] = 01/10/11
		位相計数モード1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
		位相計数モード2	MTU7.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU7.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU7.TMDR.MD[3:0] = 0111	
	MTIOC7B	通常動作	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 10 以外 MTU7.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU7.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU7.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU7.TMDR.MD[3:0] = 0111	
MTU8	MTIOC8A	通常動作	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11
		PWMモード1	MTU8.TMDR.MD[3:0] = 0010	MTU8.TIOR.IOA[1:0] = 01/10/11
		PWMモード2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 01 以外 MTU8.TIOR.IOA[1:0] = 01/10/11
		位相計数モード1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11
		位相計数モード2	MTU8.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU8.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU8.TMDR.MD[3:0] = 0111	

表17.22　MTU の各端子の出力許可設定一覧 (5 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU8	MTIOC8B	通常動作	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 10 以外 MTU8.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU8.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU8.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU8.TMDR.MD[3:0] = 0111	
MTU9	MTIOC9A	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTU9.TIORH.IOA[3] = 0 MTU9.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TIORH.IOA[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOCR1.PSYE = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9B	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3B = 1 MTU9.TIORH.IOB[3] = 0 MTU9.TIORH.IOB[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3B = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9C	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTU9.TMDR.BFA = 0 MTU9.TIORL.IOC[3] = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TMDR.BFA = 0 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
	MTIOC9D	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3D = 1 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOD[3] = 0 MTU9.TIORL.IOD[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3D = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
MTU10	MTIOC10A	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[3] = 0 MTU10.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4A = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	

表17.22　MTU の各端子の出力許可設定一覧 (6 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU10	MTIOC10B	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1 MTU10.TIORH.IOB[3] = 0 MTU10.TIORH.IOB[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4B = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	
	MTIOC10C	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TIORL.IOC[3] = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	
	MTIOC10D	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOD[3] = 0 MTU10.TIORL.IOD[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4D = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	

17.2.5 未使用端子の処理

表 17.23 に未使用端子の処理内容を示します。

表17.23 未使用端子の処理内容（145ピンTFLGA／144ピンLQFP）

端子名	処理内容
EMLE	抵抗を介してVSSに接続（プルダウン）
MD1、MD0	（モード端子として使用）
MDE	（モード端子として使用）
RES#	抵抗を介してVCCに接続（プルアップ）
USB0_DP	端子を開放
USB0_DM	
BSCANP	抵抗を介してVSSに接続（プルダウン）
P35/NMI	抵抗を介してVCCに接続（プルアップ）
EXTAL	（クロック端子として使用）
XTAL	端子を開放
XCIN	抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）
XCOUT	端子を開放
WDTOVF#	端子を開放
ポート0～9 ポートA～E	端子ごとに抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン） PORTn.ICRを初期値（入力バッファ無効）の状態で端子を開放することも可能（注1）
VREFH	AVCCに接続
VREFL	AVSSに接続

注1. PORTn.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

17.3 [100 ピン LQFP] I/O ポート

RX62N グループ、RX621 グループ（100 ピン LQFP）の I/O ポートは、ポート 0 ～ 5、A ～ E の 11 ポートから構成され、入出力ポートを 74 本備えています。

17.3.1 概要

表 17.24 に I/O ポートの仕様を、表 17.25 にポート機能一覧を示します。

表17.24 I/Oポートの仕様（100ピンLQFP）

項目	内容
入出力端子	72本
入力端子	2本
ポート	11ポート（0～5、A～E）
入力プルアップ抵抗内蔵	ポートA、B、C、D、E
オープンドレイン出力	ポート0、1、2、3（P30～P34）、C
5V トレラント対応端子	ポート0（P07）、ポート1（P12、P13、P16）、 ポート2（P20、P21）、ポート3（P33）
シュミットトリガ入力端子	全ポート入力、CAN入力、USB入力、IRQ入力、MTU入力、POE入力、TMR入力、RIIC入力、SCI入力、A/Dトリガ入力
その他	1個のTTL負荷と30pFの容量負荷を駆動可能 出力時にダーリントントランジスタを駆動

表17.25　ポート機能一覧 (1 / 3)（100ピンLQFP）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート0	割り込み入力、A/Dコンバータ入力、D/Aコンバータ出力、と兼用の汎用入出力ポート	5	P05	IRQ13-A	DA1	–	全入力機能	–	○
		7	P07	ADTRG0#-A/IRQ15-A			全入力機能	–	○
ポート1	USB入出力、MTU入出力、TMR入出力、割り込み入力、SCI入出力、RIIC入出力、PPG入出力、A/Dコンバータ入力と兼用の汎用入出力ポート	2	P12/SCL0	TMCI1/RxD2-A/IRQ2-B		–	全入力機能	–	○
		3	P13/MTIOC0B/SDA0	ADTRG1#/IRQ3-B	PO13/TMO3/TxD2-A		全入力機能		○
		4	P14/MTIOC3A	USB0_OVRCURA/TMRI2/IRQ4-B	PO15/USB0_DPUPE-B		全入力機能		○
		6	P16/MTIOC3C	USB0_VBUS/USB0_OVRCURB/IRQ6-B	TMO2/PO14/USB0_VBUSEN-B		全入力機能		○
ポート2	バス制御入出力、USB入出力、RSPI入出力、MTU入出力、PPG出力、TMR入出力、SCI入出力、A/Dコンバータ入力、オンチップエミュレータ入出力と兼用の汎用入出力ポート	0	P20/MTIOC1A/	USB0_ID/TMRI0	PO0/TxD0	–	全入力機能	–	○
		1	P21/MTIOC1B	TMCI0/RxD0	USB0_EXICEN/PO1		全入力機能		
		2	P22/MTIOC3B/SCK0	MTCLKC-A	USB0_DRPD/PO2/TMO0	–	全入力機能		
		3	P23/MTIOC3D	MTCLKD-A	USB0_DPUPE-A/TxD3/PO3	–	全入力機能		
		4	P24/MTIOC4A/SCK3	MTCLKA-A/TMRI1	CS4#/USB0_VBUSEN-A/PO4	–	全入力機能		
		5	P25/MTIOC4C	MTCLKB-A/ADTRG0#-B/RxD3	CS5#/USB0_DPRPD/PO5	–	全入力機能		
		6	P26/MOSIB-A/MTIOC2A		CS6#/PO6/TMO1/TxD1/TDO	MOSIB-A	P26、MTIOC2A		
		7	P27/RSPCKB-A/MTIOC2B/SCK1	TCK	CS7#/PO7	RSPCKB-A TCK	P27、MTIOC2B、SCK1		
ポート3	CAN入出力 RSPI入出力、MTU入出力、TMR入力、SCI入出力、割り込み入力、PPG出力、RTC出力、オンチップエミュレータ入力と兼用の汎用入出力ポート	0	P30/MISOB-A/MTIOC4B-A	TMRI3/RxD1/IRQ0/TDI	PO8	MISOB-A	P30、MTIOC4B-A TMRI3、RxD1、IRQ0、TDI	–	○
		1	P31/SSLB0-A/MTIOC4D-A	TMCI2/IRQ1/TMS	PO9	SSLB0-A	P31、MTIOC4D-A TMCI2、IRQ1、TMS		○
		2	P32/MTIOC0C	IRQ2-A	CTX0/TxD6/PO10/RTCOUT	–	全入力機能		○
		3	P33/MTIOC0D	CRX0/RxD6/IRQ3-A	PO11		全入力機能		○
		4	P34/MTIOC0A/SCK6	TMCI3/IRQ4-A/TRST#	PO12		全入力機能		○
		5		P35/NMI			全入力機能		–
ポート4	割り込み入力、A/Dコンバータ入力と兼用の汎用入出力ポート	0	P40	AN0/IRQ8		–	P40、IRQ8	–	–
		1	P41	AN1/IRQ9			P41、IRQ9		
		2	P42	AN2/IRQ10			P42、IRQ10		
		3	P43	AN3/IRQ11			P43、IRQ11		
		4	P44	AN4/IRQ12			P44、IRQ12		
		5	P45	AN5/IRQ13-B			P45、IRQ13-B		
		6	P46	AN6/IRQ14			P46、IRQ14		
		7	P47	AN7/IRQ15-B			P47、IRQ15-B		

表17.25　ポート機能一覧 (2 / 3)（100ピンLQFP）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート5	外部バスクロック出力、バス制御入出力、RSPI出力、MTU入出力、SCI入出力と兼用の汎用入出力ポート	0	P50		WR0#/WR#/SSLB1-A/TxD2-B	–	全入力機能	–	–
		1	P51/SCK2	WAIT#-D	WR1#/BC1#/SSLB2-A	WAIT#-D	P51、SCK2		
		2	P52	RxD2-B	RD#/SSLB3-A	–	全入力機能		
		3		P53	BCLK	–	全入力機能		
		4	P54/MTIOC4B-B			–	全入力機能		
		5	P55/MTIOC4D-B	WAIT#-B		WAIT#-B	P55、MTIOC4D-B		
ポートA	アドレス出力、バス制御入出力、RSPI入出力、MTU入出力、PPG出力、Ether入出力と兼用の汎用入出力ポート	0	PA0/MTIOC6A		A0/BC0#/SSLA1-B/PO16	–	全入力機能	○	–
		1	PA1/MTIOC6B		A1/SSLA2-B/PO17		全入力機能		
		2	PA2/MTIOC6C		A2/SSLA3-B/PO18		全入力機能		
		3	PA3/MTIOC6D/ET_MDIO		A3/PO19	ET_MDIO	PA3、MTIOC6D		
		4	PA4/SSLA0-B/MTIOC7A		A4/PO20/ET_MDC	SSLA0-B	PA4、MTIOC7A		
		5	PA5/RSPCKA-B/MTIOC7B	ET_LINKSTA	A5/PO21	RSPCKA-B、ET_LINKSTA	PA5、MTIOC7B		
		6	PA6/MOSIA-B/MTIOC8A		A6/PO22/ET_EXOUT	MOSIA-B	PA6、MTIOC8A		
		7	PA7/MISOA-B/MTIOC8B		A7/PO23/ET_WOL	MISOA-B	PA7、MTIOC8B		
ポートB	アドレス出力、MTU入出力、PPG出力、Ether入出力と兼用の汎用入出力ポート	0	PB0/MTIOC9A	ET_ERXD1/RMII_RXD1	A8/PO24	ET_ERXD1、RMII_RXD1	PB0、MTIOC9A	○	–
		1	PB1/MTIOC9C	ET_ERXD0/RMII_RXD0	A9/PO25	ET_ERXD0、RMII_RXD0	PB1、MTIOC9C		
		2	PB2/MTIOC9B	ET_RX_CLK/REF50CK/MTCLKG-B	A10/PO26	ET_RX_CLK、REF50CK	PB2、MTIOC9B、MTCLKG-B		
		3	PB3/MTIOC9D	ET_RX_ER/RMII_RX_ER/MTCLKH-B	A11/PO27	ET_RX_ER、RMII_RX_ER	PB3、MTIOC9D、MTCLKH-B		
		4	PB4/MTIOC10A	MTCLKE-B	A12/PO28/ET_TX_EN/RMII_TXD_EN	–	全入力機能		
		5	PB5/MTIOC10C	MTCLKF-B	A13/PO29/ET_ETXD0/RMII_TXD0	–	全入力機能		
		6	PB6/MTIOC10B		A14/PO30/ET_ETXD1/RMII_TXD1	–	全入力機能		
		7	PB7/MTIOC10D	ET_CRS/RMII_CRS_DV	A15/PO31	ET_CRS、RMII_CRS_DV	PB7、MTIOC10D		
ポートC	アドレス出力、バス制御出力、RSPI入出力Ether入出力MTU入力、SCI入出力と兼用の汎用入出力ポート	0	PC0	ET_ERXD3/MTCLKG-A	A16/SSLA1-A	ET_ERXD3	PC0、MTCLKG-A	○	○
		1	PC1/SCK5	ET_ERXD2/MTCLKH-A	A17/SSLA2-A	ET_ERXD2	PC1、SCK5、MTCLKH-A		
		2	PC2	ET_RX_DV/MTCLKE-A/RxD5	A18/SSLA3-A	ET_RX_DV	PC2、MTCLKE-A、RxD5		
		3	PC3	MTCLKF-A	A19/TxD5/ET_TX_ER	–	全入力機能		
		4	PC4/SSLA0-A	MTCLKC-B/ET_TX_CLK	A20/CS3#	SSLA0-A、ET_TX_CLK	PC4、MTCLKC-B		
		5	PC5/RSPCKA-A	WAIT#-C/MTIC11W-A/MTCLKD-B	A21/CS2#/ET_ETXD2	RSPCKA-A、WAIT#-C	PC5、MTIC11W-A、MTCLKD-B		
		6	PC6/MOSIA-A	MTIC11V-A/MTCLKA-B	A22/CS1#/ET_ETXD3	MOSIA-A	PC6、MTIC11V-A MTCLKA-B		
		7	PC7/MISOA-A	ET_COL/MTIC11U-A/MTCLKB-B	A23/CS0#	MISOA-A、ET_COL	PC7、MTIC11U-A MTCLKB-B		

表17.25　ポート機能一覧 (3 / 3)（100ピンLQFP）

ポート	概要	ビット	機能			CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
			入出力	入力	出力				
ポートD	双方向データバス、MTU入力、POE入力と兼用の汎用入出力ポート	0	PD0/D0	POE7#		D0	PD0、POE7#	○	－
		1	PD1/D1	POE6#		D1	PD1、POE6#		
		2	PD2/D2	MTIC11W-B/POE5#		D2	PD2、MTIC11W-B、POE5#		
		3	PD3/D3	MTIC11V-B/POE4#		D3	PD3、MTIC11V-B、POE4#		
		4	PD4/D4	MTIC11U-B/POE3#		D4	PD4、MTIC11U-B、POE3#		
		5	PD5/D5	MTIC5W/POE2#		D5	PD5、MTIC5W、POE2#		
		6	PD6/D6	MTIC5V/POE1#		D6	PD6、MTIC5V、POE1#		
		7	PD7/D7	MTIC5U/POE0#		D7	PD7、MTIC5U、POE0#		
ポートE	双方向データバス、割り込み入力、RSPI入出力、POE入力と兼用の汎用入出力ポート	0	PE0/D8		SSLB1-B	D8	PE0	○	－
		1	PE1/D9		SSLB2-B	D9	PE1		
		2	PE2/D10	POE9#	SSLB3-B	D10	PE2、POE9#		
		3	PE3/D11	POE8#		D11	PE3、POE8#		
		4	PE4/D12/SSLB0-B			D12、SSLB0-B	PE4		
		5	PE5/D13/RSPCKB-B	IRQ5		D13、RSPCKB-B	PE5、IRQ5		
		6	PE6/D14/MOSIB-B	IRQ6-A		D14、MOSIB-B	PE6、IRQ6-A		
		7	PE7/D15/MISOB-B	IRQ7		D15、MISOB-B	PE7、IRQ7		

17.3.2 レジスタの説明

表 17.26 に I/O ポートのレジスター覧を示します。表 17.27 に各レジスタの有効ビット一覧を示します。

表17.26 I/Oポートのレジスター覧 (1 / 2)（100ピンLQFP）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT0	データディレクションレジスタ	DDR	00h	0008 C000h	8
	データレジスタ	DR	00h	0008 C020h	8
	ポートレジスタ	PORT	不定	0008 C040h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C060h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C080h	8
PORT1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C081h	8
PORT2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C082h	8
PORT3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C083h	8
PORT4	データディレクションレジスタ	DDR	00h	0008 C004h	8
	データレジスタ	DR	00h	0008 C024h	8
	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
PORT5	データディレクションレジスタ	DDR	00h	0008 C005h	8
	データレジスタ	DR	00h	0008 C025h	8
	ポートレジスタ	PORT	不定	0008 C045h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C065h	8
PORTA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CAh	8
PORTB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CBh	8

表17.26　I/Oポートのレジスター覧 (2 / 2)（100ピンLQFP）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORTC	データディレクションレジスタ	DDR	00h	0008 C00Ch	8
	データレジスタ	DR	00h	0008 C02Ch	8
	ポートレジスタ	PORT	不定	0008 C04Ch	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ch	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C08Ch	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CCh	8
PORTD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CDh	8
PORTE	データディレクションレジスタ	DDR	00h	0008 C00Eh	8
	データレジスタ	DR	00h	0008 C02Eh	8
	ポートレジスタ	PORT	不定	0008 C04Eh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Eh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CEh	8
IOPORT	ポートファンクションレジスタ0	PF0CSE	00h	0008 C100h	8
	ポートファンクションレジスタ3	PF3BUS	00h	0008 C103h	8
	ポートファンクションレジスタ4	PF4BUS	00h	0008 C104h	8
	ポートファンクションレジスタ5	PF5BUS	00h	0008 C105h	8
	ポートファンクションレジスタ6	PF6BUS	00h	0008 C106h	8
	ポートファンクションレジスタ8	PF8IRQ	00h	0008 C108h	8
	ポートファンクションレジスタ9	PF9IRQ	00h	0008 C109h	8
	ポートファンクションレジスタA	PFAADC	00h	0008 C10Ah	8
	ポートファンクションレジスタC	PFCMTU	00h	0008 C10Ch	8
	ポートファンクションレジスタD	PFDMTU	00h	0008 C10Dh	8
	ポートファンクションレジスタE	PFENET	00h	0008 C10Eh	8
	ポートファンクションレジスタF	PFFSCI	00h	0008 C10Fh	8
	ポートファンクションレジスタG	PFGSPI	00h	0008 C110h	8
	ポートファンクションレジスタH	PFHSPI	00h	0008 C111h	8
	ポートファンクションレジスタJ	PFJCAN	00h	0008 C113h	8
	ポートファンクションレジスタK	PFKUSB	00h	0008 C114h	8
	ポートファンクションレジスタM	PFMPOE	00h	0008 C116h	8
	ポートファンクションレジスタN	PFNPOE	00h	0008 C117h	8

表17.27　各レジスタの有効ビット一覧 (1 / 2)（100ピンLQFP）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT0.DDR	○	×	○	×	×	×	×	×
PORT1.DDR	×	○	×	○	○	○	×	×
PORT2.DDR	○	○	○	○	○	○	○	○
PORTP3.DDR	×	×	×	○	○	○	○	○
PORTP4.DDR	○	○	○	○	○	○	○	○
PORT5.DDR	×	×	○	○	○	○	○	○
PORTA.DDR	○	○	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTC.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORTE.DDR	○	○	○	○	○	○	○	○
PORT0.DR	○	×	○	×	×	×	×	×
PORT1.DR	×	○	×	○	○	○	×	×
PORT2.DR	○	○	○	○	○	○	○	○
PORT3.DR	×	×	×	○	○	○	○	○
PORT4.DR	○	○	○	○	○	○	○	○
PORT5.DR	×	×	○	○	×	○	○	○
PORTA.DR	○	○	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTC.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORTE.DR	○	○	○	○	○	○	○	○
PORT0.PORT	○	×	○	×	×	×	×	×
PORT1.PORT	×	○	×	○	○	○	×	×
PORT2.PORT	○	○	○	○	○	○	○	○
PORT3.PORT	×	×	○	○	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	×	×	○	○	○	○	○	○
PORTA.PORT	○	○	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTC.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORTE.PORT	○	○	○	○	○	○	○	○
PORT0.ICR	○	×	○	×	×	×	×	×
PORT1.ICR	×	○	×	○	○	○	×	×
PORT2.ICR	○	○	○	○	○	○	○	○
PORT3.ICR	×	×	×	○	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT5.ICR	×	×	○	○	○	○	○	○
PORTA.ICR	○	○	○	○	○	○	○	○
PORTB.ICR	○	○	○	○	○	○	○	○
PORTC.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○
PORTE.ICR	○	○	○	○	○	○	○	○
PORT0.ODR	○	×	○	×	×	×	×	×

表17.27　各レジスタの有効ビット一覧 (2 / 2)（100ピンLQFP）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT1.ODR	×	○	×	○	○	○	×	×
PORT2.ODR	○	○	○	○	○	○	○	○
PORT3.ODR	×	×	×	○	○	○	○	○
PORTC.ODR	○	○	○	○	○	○	○	○
PORTA.PCR	○	○	○	○	○	○	○	○
PORTB.PCR	○	○	○	○	○	○	○	○
PORTC.PCR	○	○	○	○	○	○	○	○
PORTD.PCR	○	○	○	○	○	○	○	○
PORTE.PCR	○	○	○	○	○	○	○	○
IOPORT.PF0CSE	○	○	○	○	○	○	○	○
IOPORT.PF3BUS	○	○	○	○	○	○	○	○
IOPORT.PF4BUS	○	○	○	○	○	○	○	○
IOPORT.PF5BUS	×	○	×	○	×	×	×	×
IOPORT.PF6BUS	×	×	×	×	×	×	○	○
IOPORT.PF8IRQ	○	×	○	×	×	×	×	×
IOPORT.PF9IRQ	×	○	×	○	○	○	×	×
IOPORT.PFAADC	×	×	×	×	×	×	×	○
IOPORT.PFCMTU	○	×	○	×	×	×	×	×
IOPORT.PFDMTU	○	○	×	×	×	×	×	×
IOPORT.PFENET	○	×	×	○	○	○	○	○
IOPORT.PFFSCI	×	×	×	×	×	○	×	×
IOPORT.PFGSPI	○	○	○	○	○	○	○	○
IOPORT.PFHSPI	○	○	○	○	○	○	○	○
IOPORT.PFJCAN	×	×	×	×	×	×	×	○
IOPORT.PFKUSB	×	×	×	○	○	○	○	○
IOPORT.PFMPOE	○	○	○	○	○	○	○	○
IOPORT.PFNPOE	×	×	×	×	×	×	○	○

17.3.2.1 データディレクションレジスタ（DDR）

アドレス　PORT0.DDR 0008 C000h、PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h
PORT4.DDR 0008 C004h、PORT5.DDR 0008 C005h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh
PORTC.DDR 0008 C00Ch、PORTD.DDR 0008 C00Dh、PORTE.DDR 0008 C00Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.DDRレジスタはb6、b4～b0は予約ビットです。
PORT1.DDRレジスタはb7、b5、b1、b0は予約ビットです。
PORT3.DDRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT5.DDRレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力／出力指定ビット	0：入力ポート 1：出力ポート	R/W
b1	B1	Pn1入力／出力指定ビット		R/W
b2	B2	Pn2入力／出力指定ビット		R/W
b3	B3	Pn3入力／出力指定ビット		R/W
b4	B4	Pn4入力／出力指定ビット		R/W
b5	B5	Pn5入力／出力指定ビット		R/W
b6	B6	Pn6入力／出力指定ビット		R/W
b7	B7	Pn7入力／出力指定ビット		R/W

【記号説明】　（n=0 ～ 5、A ～ E）

DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力／出力を指定します。

PORTn.DDR レジスタ（n=0 ～ 5、A ～ E）の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

なお、PORT5.DDR.B3 ビットは、P53 入力／ BCLK 出力を指定します。PORT5.DDR.B3 ビットに “1” にした場合、P53 の出力は BCLK となるため、汎用出力ポートの機能は選択されません。

17.3.2.2 データレジスタ（DR）

アドレス　PORT0.DR 0008 C020h、PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h
PORT4.DR 0008 C024h、PORT5.DR 0008 C025h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh
PORTC.DR 0008 C02Ch、PORTD.DR 0008 C02Dh、PORTE.DR 0008 C02Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.DRレジスタはb6、b4～b0は予約ビットです。
PORT1.DRレジスタはb7、b5、b1、b0は予約ビットです。
PORT3.DRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT5.DRレジスタはb7、b6、b3は予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pn1出力データ格納ビット		R/W
b2	B2	Pn2出力データ格納ビット		R/W
b3	B3	Pn3出力データ格納ビット		R/W
b4	B4	Pn4出力データ格納ビット		R/W
b5	B5	Pn5出力データ格納ビット		R/W
b6	B6	Pn6出力データ格納ビット		R/W
b7	B7	Pn7出力データ格納ビット		R/W

【記号説明】　（n=0 ～ 5、A ～ E）

DR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。
なお、P53 の出力は BCLK となっており、PORT5.DR.B3 ビットに値を設定しても端子に影響しません。

17.3.2.3 ポートレジスタ（PORT）

アドレス　PORT0.PORT 0008 C040h、PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0009 C043h
PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh
PORTC.PORT 0008 C04Ch、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	x	x	x	x	x	x	x	x

注.　PORT0.PORTレジスタはb6、b4～b0は予約ビットです。
PORT1.PORTレジスタはb7、b5、b1、b0は予約ビットです。
PORT3.PORTレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
PORT5.PORTレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
予約ビットは、読むと“1”が読めます。書き込みは無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0（注1）	Pn0ビット	ポートの端子状態を反映	R
b1	B1（注1）	Pn1ビット		R
b2	B2（注1）	Pn2ビット		R
b3	B3（注1）	Pn3ビット		R
b4	B4（注1）	Pn4ビット		R
b5	B5（注1）	Pn5ビット		R
b6	B6（注1）	Pn6ビット		R
b7	B7（注1）	Pn7ビット		R

【記号説明】　（n=0 ～ 5、A ～ E）
注1.　読むときは、あらかじめ PORTn.ICR レジスタの対応するビットを “1”にしてください。
PORTn.ICR レジスタのビットが“0”の状態で読んだ場合、対応するビットの値は不定です。

PORT レジスタは、ポートの端子の状態を反映するレジスタです。
PORTn.PORT レジスタ（n=0 ～ 5、A ～ E）を読み出すと、端子の状態が読み出されます。
P35 は NMI 端子の状態が読み出されます。

17.3.2.4 入力バッファコントロールレジスタ（ICR）

アドレス　PORT0.ICR 0008 C060h、PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h
PORT4.ICR 0008 C064h、PORT5.ICR 0008 C065h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh
PORTC.ICR 0008 C06Ch、PORTD.ICR 0008 C06Dh、PORTE.ICR 0008 C06Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.ICRレジスタはb6、b4～b0は予約ビットです。
PORT1.ICRレジスタはb7、b5、b1、b0は予約ビットです。
PORT3.ICRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT5.ICRレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0（注1）	Pn0入力バッファ制御ビット（n=0～5、A～E）	0：対応する端子の入力バッファは無効 1：対応する端子の入力バッファは有効	R/W
b1	B1（注1）	Pn1入力バッファ制御ビット		R/W
b2	B2（注1）	Pn2入力バッファ制御ビット		R/W
b3	B3（注1）	Pn3入力バッファ制御ビット		R/W
b4	B4（注1）	Pn4入力バッファ制御ビット		R/W
b5	B5（注1）	Pn5入力バッファ制御ビット		R/W
b6	B6（注1）	Pn6入力バッファ制御ビット		R/W
b7	B7（注1）	Pn7入力バッファ制御ビット		R/W

【記号説明】　（n=0～5、A～E）
注1.　入力端子として使用する場合は、対応するビットを“1”にしてください。入力として使用しない端子、およびアナログ入出力端子に対応するビットは、“0”にしてください。

ICR レジスタは、ポートの入力バッファを制御するレジスタです。

PORTn.ICR レジスタ（n=0 ～ 5、A ～ E）の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

周辺モジュールの入力端子および入力ポート端子として使用する場合は、予め、対応する端子の入力バッファを有効にするために PORTn.ICR を 1 に設定する必要があります。PORTn.ICR を “0” にした状態のまま周辺モジュールの入力端子として使用した場合は、周辺モジュールへの入力信号は High に固定されます。

PORTn.ICR レジスタの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。PORTn.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQi(i=0 ～ 15) 入力の場合、当該割り込みを禁止した状態で PORTn.ICR レジスタ設定の変更を行い、割り込みコントローラの IRi.IR フラグ（i=64 ～ 79(IRQ の割り込みベクタ番号)）を “0” にし、その後当該割り込みを許可してください。PORTn.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

17.3.2.5 オープンドレインコントロールレジスタ（ODR）

アドレス　PORT0.ODR 0008 C080h、PORT1.ODR 0008 C081h、PORT2.ODR 0008 C082h、
PORT3.ODR 0008 C083h、PORTC.ODR 0008 C08Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.ODRレジスタはb6、b4～b0は予約ビットです。
PORT1.ODRレジスタはb7、b5、b1、b0は予約ビットです。
PORT3.ODRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力形態指定ビット	0：CMOS出力 1：NMOSオープンドレイン出力	R/W
b1	B1	Pn1出力形態指定ビット		R/W
b2	B2	Pn2出力形態指定ビット		R/W
b3	B3	Pn3出力形態指定ビット		R/W
b4	B4	Pn4出力形態指定ビット		R/W
b5	B5	Pn5出力形態指定ビット		R/W
b6	B6	Pn6出力形態指定ビット		R/W
b7	B7	Pn7出力形態指定ビット		R/W

【記号説明】　（n=0 ～ 3、C）

ODR レジスタは、ポートの端子の出力形態を選択するレジスタです。

17.3.2.6 プルアップ抵抗コントロールレジスタ（PCR）

アドレス　PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、PORTC.PCR 0008 C0CCh
PORTD.PCR 0008 C0CDh、PORTE.PCR 0008 C0CEh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力プルアップ抵抗制御ビット	0：入力プルアップ抵抗無効 1：入力プルアップ抵抗有効	R/W
b1	B1	Pn1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pn2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pn3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pn4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pn5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pn6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pn7入力プルアップ抵抗制御ビット		R/W

【記号説明】　（n=A ～ E）

PCR レジスタは、ポートの入力プルアップ抵抗の有効／無効を制御するレジスタです。

端子が入力状態のとき、PORTn.PCR レジスタが “1” のビットに対応する端子の入力プルアップ抵抗が有効になります。表 17.28 に入力プルアップ抵抗の状態を示します。

表 17.28　入力プルアップ抵抗の状態（1）（100 ピン LQFP）

ポート	端子状態	リセット	その他の動作
ポート A	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート B	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート C	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート D	データ入出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポート E	データ入出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効

【記号説明】

無効：　入力プルアップ抵抗は常に無効です。

有効 / 無効：　PORTn.PCR.Bi ビット（n=A ～ E、i=0 ～ 7）を “1” にすると有効、“0” にすると無効です。

17.3.2.7 ポートファンクションレジスタ 0（PF0CSE）

アドレス 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0出力許可ビット	0：I/Oポートとして使用 1：CSn#出力端子（n=0～7）として使用	R/W
b1	CS1E	CS1出力許可ビット		R/W
b2	CS2E	CS2出力許可ビット		R/W
b3	CS3E	CS3出力許可ビット		R/W
b4	CS4E	CS4出力許可ビット		R/W
b5	CS5E	CS5出力許可ビット		R/W
b6	CS6E	CS6出力許可ビット		R/W
b7	CS7E	CS7出力許可ビット		R/W

PF0CSE レジスタは、CSn# 出力の許可／禁止を選択するレジスタです。

CSnE ビット（CSn 出力許可ビット）（n=0 ～ 7）

対応する CSn# 出力の許可／禁止を選択します。

CSn を出力する場合には、対応する PF0CSE.CSnE ビットを “1” にしてください。

17.3.2.8 ポートファンクションレジスタ 3（PF3BUS）

アドレス　0008 C103h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0：A16出力無効 1：A16出力有効	R/W
b1	A17E	アドレスA17出力許可ビット	0：A17出力無効 1：A17出力有効	R/W
b2	A18E	アドレスA18出力許可ビット	0：A18出力無効 1：A18出力有効	R/W
b3	A19E	アドレスA19出力許可ビット	0：A19出力無効 1：A19出力有効	R/W
b4	A20E	アドレスA20出力許可ビット	0：A20出力無効 1：A20出力有効	R/W
b5	A21E	アドレスA21出力許可ビット	0：A21出力無効 1：A21出力有効	R/W
b6	A22E	アドレスA22出力許可ビット	0：A22出力無効 1：A22出力有効	R/W
b7	A23E	アドレスA23出力許可ビット	0：A23出力無効 1：A23出力有効	R/W

PF3BUS レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

AnE ビット（アドレス An 出力許可ビット）（n=16 ～ 23）

アドレス出力（An）の出力許可 / 禁止を選択します。

17.3.2.9 ポートファンクションレジスタ 4（PF4BUS）

アドレス　0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADRLE[1:0]	アドレス下位A9～A0出力許可ビット	b1 b0 0 0：A9～A0出力無効 0 1：A9～A4出力無効、A3～A0出力有効 1 0：A9～A8出力無効、A7～A0出力有効 1 1：A9～A0出力有効	R/W
b2	A10E	アドレスA10出力許可ビット	0：A10出力無効 1：A10出力有効	R/W
b3	A11E	アドレスA11出力許可ビット	0：A11出力無効 1：A11出力有効	R/W
b4	A12E	アドレスA12出力許可ビット	0：A12出力無効 1：A12出力有効	R/W
b5	A13E	アドレスA13出力許可ビット	0：A13出力無効 1：A13出力有効	R/W
b6	A14E	アドレスA14出力許可ビット	0：A14出力無効 1：A14出力有効	R/W
b7	A15E	アドレスA15出力許可ビット	0：A15出力無効 1：A15出力有効	R/W

PF4BUS レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

ADRLE[1:0] ビット（アドレス下位 A9 ～ A0 出力許可ビット）

アドレス出力（A9 ～ A0）の出力許可／禁止を選択します。

AnE ビット（アドレス An 出力許可ビット）（n=10 ～ 15）

アドレス出力（An）の出力許可／禁止を選択します。

17.3.2.10 ポートファンクションレジスタ 5（PF5BUS）

アドレス　0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WR1BC1E	—	DHE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DHE	データD15～D8有効ビット	0：PE7～PE0をI/Oポートとして設定 1：PE7～PE0を外部データバスD15～D8として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0：P51をI/Oポートとして設定 1：P51をWR#1またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W

DHE ビット（データ D15 ～ D8 有効ビット）

データ入出力（D15 ～ D8）の入出力許可／禁止を選択します。

WR1BC1E ビット（WR1#/BC1# 出力許可ビット）

WR1#/BC1# 出力の許可／禁止を選択します。

17.3.2.11 ポートファンクションレジスタ 6（PF6BUS）

アドレス　0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	WAITS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	WAITS[1:0]	WAIT端子選択ビット	b1 b0 0 x：P55をWAIT#-B入力端子として設定 1 0：PC5をWAIT#-C入力端子として設定 1 1：P51をWAIT#-D入力端子として設定	R/W
b7-b2	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

【記号説明】x：Don’t care

WAITS ビット（WAIT 端子選択ビット）

WAIT# の入力端子を選択します。

17.3.2.12 ポートファンクションレジスタ 8（PF8IRQ）

アドレス　0008 C108h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS15	—	ITS13	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ITS13	IRQ13端子選択ビット	0：P05をIRQ13-A入力端子として設定 1：P45をIRQ13-B入力端子として設定	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ITS15	IRQ15端子選択ビット	0：P07をIRQ15-A入力端子として設定 1：P47をIRQ15-B入力端子として設定	R/W

PF8IRQ レジスタは、IRQ13、IRQ15 入力端子を選択するレジスタです。

ITSi ビット（IRQi 端子選択ビット）（i = 13、15）

IRQi の入力端子を選択します。

17.3.2.13 ポートファンクションレジスタ 9（PF9IRQ）

アドレス　0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ITS6	—	ITS4	ITS3	ITS2	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b2	ITS2	IRQ2端子選択ビット	0：P32をIRQ2-A入力端子として設定 1：P12をIRQ2-B入力端子として設定	R/W
b3	ITS3	IRQ3端子選択ビット	0：P33をIRQ3-A入力端子として設定 1：P13をIRQ3-B入力端子として設定	R/W
b4	ITS4	IRQ4端子選択ビット	0：P34をIRQ4-A入力端子として設定 1：P14をIRQ4-B入力端子として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b6	ITS6	IRQ6端子選択ビット	0：PE6をIRQ6-A入力端子として設定 1：P16をIRQ6-B入力端子として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W

PF9IRQ レジスタは、IRQ2 ～ IRQ4、IRQ6 入力端子を選択するレジスタです。

ITSi ビット（IRQi 端子選択ビット）（i = 2 ～ 4、6）

IRQi の入力端子を選択します。

17.3.2.14 ポートファンクションレジスタ A（PFAADC）

アドレス　0008 C10Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	ADTRG0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRG0S	ADTRG0#入力選択ビット	0：P07をADTRG0#-A入力端子として設定 1：P25をADTRG0#-B入力端子として設定	R/W
b7-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFAADC レジスタは、ADTRG0# 端子を選択するレジスタです。

ADTRG0S ビット（ADTRG0# 入力選択ビット）

ADTRG0# の入力端子を選択します。

17.3.2.15 ポートファンクションレジスタ C（PFCMTU）

アドレス　0008 C10Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	–	MTUS5	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b5	MTUS5	MTU端子選択5ビット	0：P30をMTIOC4B-A端子として選択 P31をMTIOC4D-A端子として選択 1：P54をMTIOC4B-B端子として選択 P55をMTIOC4D-B端子として選択	R/W
b6	–	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b7	TCLKS	MTCLK端子選択ビット	0：P24をMTCLKA-A端子として選択 P25をMTCLKB-A端子として選択 P22をMTCLKC-A端子として選択 P23をMTCLKD-A端子として選択 1：PC6をMTCLKA-B端子として選択 PC7をMTCLKB-B端子として選択 PC4をMTCLKC-B端子として選択 PC5をMTCLKD-B端子として選択	R/W

PFCMTU レジスタは、MTU ユニット 0 の端子を選択するレジスタです。

MTUSj ビット（MTU 端子選択 j ビット）（j = 5）

MTU の入出力端子を選択します。

TCLKS ビット（MTCLK 端子選択ビット）

MTU の MTCLK 入力端子を選択します。

17.3.2.16 ポートファンクションレジスタ D（PFDMTU）

アドレス　0008 C10Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	MTUS6	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	MTUS6	MTU端子選択6ビット	0：PC7をMTIC11U-A端子として選択 PC6をMTIC11V-A端子として選択 PC5をMTIC11W-A端子として選択 1：PD4をMTIC11U-B端子として選択 PD3をMTIC11V-B端子として選択 PD2をMTIC11W-B端子として選択	R/W
b7	TCLKS	MTCLK端子選択ビット	0：PC2をMTCLKE-A端子として選択 PC3をMTCLKF-A端子として選択 PC0をMTCLKG-A端子として選択 PC1をMTCLKH-A端子として選択 1：PB4をMTCLKE-B端子として選択 PB5をMTCLKF-B端子として選択 PB2をMTCLKG-B端子として選択 PB3をMTCLKH-B端子として選択	R/W

PFDMTU レジスタは、MTU ユニット 1 の端子を選択します。

MTUSj ビット（MTU 端子選択ビット）（j=6）

MTU の入力端子を選択します。

TCLKS ビット（MTCLK 端子選択ビット）

MTU の MTCLK 入力端子を選択します。

17.3.2.17 ポートファンクションレジスタ E（PFENET）

アドレス　0008 C10Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	EE	—	—	PHY MODE	ENETE3	ENETE2	ENETE1	ENETE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENETE0	EtherNET端子許可ビット0	0：ET_WOL端子無効 1：ET_WOL端子有効	R/W
b1	ENETE1	EtherNET端子許可ビット1	0：ET_LINKSTA端子無効 1：ET_LINKSTA端子有効	R/W
b2	ENETE2	EtherNET端子許可ビット2	0：ET_EXOUT端子無効 1：ET_EXOUT端子有効	R/W
b3	ENETE3	EtherNET端子許可ビット3	0：ET_TX_ER端子無効 1：ET_TX_ER端子有効	R/W
b4	PHYMODE	EtherNETモード設定ビット	0：RMIIモード 1：MIIモード	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	EE	EtherNET端子許可ビット	0：EtherNET端子全体を無効に設定 1：EtherNET端子全体を有効に設定	R/W

PFENET レジスタは、EtherNET に関する入出力端子を設定するレジスタです。

ENETEn ビット（EtherNET 端子許可ビット n）（n = 0 ～ 3）

EtherNET 端子を選択します。

PHYMODE ビット（EtherNET モード設定ビット）

EtherNET の PHY モードを設定します。

表 17.29 に PHYMODE ビットの設定と、EtherNET のモードの関係を示します。

EE ビット（EtherNET 端子許可ビット）

EtherNET 端子の有効 / 無効を選択します。

表17.29　PHYMODEビットの設定とEther NETモードの関係（100ピンLQFP）

PHYMODE	EtherNETのモード	使用するEhterNET端子	割り当てポート名	備考
0	RMIIモード	ET_MDC	PA4	
		ET_MDIO	PA3	
		ET_WOL	PA7	ENETE0=“1”で有効
		ET_LINKSTA	PA5	ENETE1=“1”で有効
		ET_EXOUT	PA6	ENETE2=“1”で有効
		REF50CK	PB2	
		RMII_TXD0	PB5	
		RMII_TXD1	PB6	
		RMII_TXD_EN	PB4	
		RMII_RXD0	PB1	
		RMII_RXD1	PB0	
		RMII_RX_ER	PB3	
		RMII_CRS_DV	PB7	
1	MIIモード	ET_MDC	PA4	
		ET_MDIO	PA3	
		ET_WOL	PA7	ENETE0=“1”で有効
		ET_LINKSTA	PA5	ENETE1=“1”で有効
		ET_EXOUT	PA6	ENETE2=“1”で有効
		ET_TX_CLK	PC4	
		ET_ETXD0	PB5	
		ET_ETXD1	PB6	
		ET_ETXD2	PC5	
		ET_ETXD3	PC6	
		ET_TX_EN	PB4	
		ET_TX_ER	PC3	ENETE3=“1”で有効
		ET_COL	PC7	
		ET_CRS	PB7	
		ET_RX_CLK	PB2	
		ET_ERXD0	PB1	
		ET_ERXD1	PB0	
		ET_ERXD2	PC1	
		ET_ERXD3	PC0	
		ET_RX_DV	PC2	
		ET_RX_ER	PB3	

17.3.2.18 ポートファンクションレジスタ F（PFFSCI）

アドレス　0008 C10Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCI2S	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SCI2S	SCI2端子選択ビット	0：P12をRxD2-A端子として設定 P51をSCK2端子として設定 P13をTxD2-A端子として設定 1：P52をRxD2-B端子として設定 P51をSCK2端子として設定 P50をTxD2-B端子として設定	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFFSCI レジスタは、SCI の端子を選択するレジスタです。

SCInS ビット（SCI n 端子選択ビット）（n = 2）

SCI チャネル n の入出力端子を選択します。

17.3.2.19 ポートファンクションレジスタ G（PFGSPI）

アドレス　0008 C110h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSPIS	RSPI端子選択ビット	0：PC7をMISOA-A端子として設定 PC6をMOSIA-A端子として設定 PC5をRSPCKA-A端子として設定 PC4をSSLA0-A端子として設定 PC0をSSLA1-A端子として設定 PC1をSSLA2-A端子として設定 PC2をSSLA3-A端子として設定 1：PA7をMISOA-B端子として設定 PA6をMOSIA-B端子として設定 PA5をRSPCKA-B端子として設定 PA4をSSLA0-B端子として設定 PA0をSSLA1-B端子として設定 PA1をSSLA2-B端子として設定 PA2をSSLA3-B端子として設定	R/W
b1	RSPCKE	RSPCKA出力許可ビット	0：RSPCKA端子無効 1：RSPCKA端子有効	R/W
b2	MOSIE	MOSIA出力許可ビット	0：MOSIA端子無効 1：MOSIA端子有効	R/W
b3	MISOE	MISOA出力許可ビット	0：MISOA端子無効 1：MISOA端子有効	R/W
b4	SSL0E	SSLA0出力許可ビット	0：SSLA0端子無効 1：SSLA0端子有効	R/W
b5	SSL1E	SSLA1出力許可ビット	0：SSLA1端子無効 1：SSLA1端子有効	R/W
b6	SSL2E	SSLA2出力許可ビット	0：SSLA2端子無効 1：SSLA2端子有効	R/W
b7	SSL3E	SSLA3出力許可ビット	0：SSLA3端子無効 1：SSLA3端子有効	R/W

PFGSPI レジスタは、RSPI チャネル 0 に関する入出力端子を設定するレジスタです。

RSPIS ビット（RSPI 端子選択ビット）

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを “1” にしている端子は選択されますが、許可ビットを “0” にしている端子は選択されません。

RSPCKE ビット（RSPCKA 出力許可イネーブルビット）

RSPCKA 端子の出力許可／禁止を選択します。RSPCKA 端子を使用する場合は、“1” にしてください。

MOSIE ビット（MOSIA 出力許可イネーブルビット）

MOSIA 端子の出力許可／禁止を選択します。MOSIA 端子を使用する場合は、“1” にしてください。

MISOE ビット（MISOA 出力許可イネーブルビット）

MISOA 端子の出力許可／禁止を選択します。MISOA 端子を使用する場合は、“1” にしてください。

SSL0E ビット（SSLA0 出力許可イネーブルビット）

SSLA0 端子の出力許可／禁止を選択します。SSLA0 端子を使用する場合は、“1” にしてください。

SSL1E ビット（SSLA1 出力許可イネーブルビット）

SSLA1 端子の出力許可／禁止を選択します。SSLA1 端子を使用する場合は、“1” にしてください。

SSL2E ビット（SSLA2 出力許可イネーブルビット）

SSLA2 端子の出力許可／禁止を選択します。SSLA2 端子を使用する場合は、“1” にしてください。

SSL3E ビット（SSLA3 出力許可イネーブルビット）

SSLA3 端子の出力許可／禁止を選択します。SSLA3 端子を使用する場合は、“1” にしてください。

17.3.2.20 ポートファンクションレジスタ H（PFHSPI）

アドレス　0008 C111h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	RSPIS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSPIS	RSPI 端子選択ビット	0：P30をMISOB-A端子として設定 P26をMOSIB-A端子として設定 P27をRSPCKB-A端子として設定 P31をSSLB0-A端子として設定 P50をSSLB1-A端子として設定 P51をSSLB2-A端子として設定 P52をSSLB3-A端子として設定 1：PE7をMISOB-B端子として設定 PE6をMOSIB-B端子として設定 PE5をRSPCKB-B端子として設定 PE4をSSLB0-B端子として設定 PE0をSSLB1-B端子として設定 PE1をSSLB2-B端子として設定 PE2をSSLB3-B端子として設定	R/W
b1	RSPCKE	RSPCKB 出力許可ビット	0：RSPCKB端子無効 1：RSPCKB端子有効	R/W
b2	MOSIE	MOSIB 出力許可ビット	0：MOSIB端子無効 1：MOSIB端子有効	R/W
b3	MISOE	MISOB 出力許可ビット	0：MISOB端子無効 1：MISOB端子有効	R/W
b4	SSL0E	SSLB0 出力許可ビット	0：SSLB0端子無効 1：SSLB0端子有効	R/W
b5	SSL1E	SSLB1 出力許可ビット	0：SSLB1端子無効 1：SSLB1端子有効	R/W
b6	SSL2E	SSLB2 出力許可ビット	0：SSLB2端子無効 1：SSLB2端子有効	R/W
b7	SSL3E	SSLB3 出力許可ビット	0：SSLB3端子無効 1：SSLB3端子有効	R/W

PFHSPI レジスタは、RSPI チャネル 1 に関する入出力端子を設定するレジスタです。

RSPIS ビット（RSPI 端子選択ビット）

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを “1” にしている端子は選択されますが、許可ビットを “0” にしている端子は選択されません。

RSPCKE ビット（RSPCKB 出力許可ビット）

RSPCKB の出力許可／禁止を選択します。RSPCKB を使用する場合は、“1” にしてください。

MOSIE ビット（MOSIB 出力許可ビット）

MOSIB の出力許可／禁止を選択します。MOSIB を使用する場合は、“1” にしてください。

MISOE ビット（MISOB 出力許可ビット）

MISOB の出力許可／禁止を選択します。MISOB を使用する場合は、“1” にしてください。

SSL0E ビット（SSLB0 出力許可ビット）

SSLB0 の出力許可／禁止を選択します。SSLB0 を使用する場合は、“1” にしてください。

SSL1E ビット（SSLB1 出力許可ビット）

SSLB1 の出力許可／禁止を選択します。SSLB1 を使用する場合は、“1” にしてください。

SSL2E ビット（SSLB2 出力許可ビット）

SSLB2 の出力許可／禁止を選択します。SSLB2 を使用する場合は、“1” にしてください。

SSL3E ビット（SSLB3 出力許可ビット）

SSLB3 の出力許可／禁止を選択します。SSLB3 を使用する場合は、“1” にしてください。

17.3.2.21 ポートファンクションレジスタ J（PFJCAN）

アドレス　0008 C113h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CAN0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CAN0E	CAN0端子許可ビット	0：CTX0端子およびCRX0端子無効 1：CTX0端子およびCRX0端子有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFJCAN レジスタは、CAN に関する入出力端子を設定するレジスタです。

CANnE ビット（CANn 端子許可ビット）（n=0）

CANn 端子の許可／禁止を選択します。CANn を使用する場合は、“1” にしてください。

17.3.2.22 ポートファンクションレジスタ K（PFKUSB）

アドレス　0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	USBE	PDHZS	PUPHZS	USBMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	USBMD[1:0]	USBモード設定ビット	b1 b0 0 0：USB0端子をファンクションモードに設定 0 1：USB0端子をホストモード用に設定 1 0：USB0端子をホスト/ファンクション兼用に設定 （オプション）（注1） 1 1：USB0端子をOTGモードに設定	R/W
b2	PUPHZS	PUPHZ選択ビット	0：USB0_DPUPE端子=High出力/Low出力 （外部プルアップ制御信号） 1：USB0_DPUPE端子=High出力/Hi-Z状態 （USB0_DP端子プルアップ出力）	R/W
b3	PDHZS	PDHZ選択ビット	0：USB0_DPRPD端子=High出力/Low出力 USB0_DRPD端子=High出力/Low出力 （外部プルダウン制御信号 1：USB0_DPRPD端子=Low出力/Hi-Z状態 USB0_DRPD端子=Low出力/Hi-Z状態 （USB0_DP、USB0_DM端子プルダウン出力）	R/W
b4	USBE	USBイネーブルビット	0：USB0端子全体を無効に設定 1：USB0端子全体を有効に設定	R/W
b7-b5	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください	R/W

注1.　オプションについては、弊社営業窓口までお問い合わせください。

PFKUSB レジスタは、USB0 に関する入出力端子の設定をします。

USBMD[1:0] ビット（USB モード設定ビット）

USB のモードを選択します。

表 17.30 に USBMD[1:0] ビットの設定と、USB モードの関係を示します。

PUPHZS ビット（PUPHZ 選択ビット）

USB の DPUPE 端子の出力モード（外部プルアップ制御／端子プルアップ出力）を選択します。

PUPHZS ビットを “0” に設定すると、外部プルアップ IC 用の制御信号出力モードになり、DPUPE 端子からは High アクティブの制御信号が出力されます。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子は Low 出力状態になります。

PUPHZS ビットを “1” に設定すると、DP 端子を直接プルアップする出力モードになります。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子は ハイインピーダンス状態になります。

PDHZS ビット（PDHZ 選択ビット）

USB の DPRPD 端子、DRPD 端子の出力モード（外部プルダウン制御／端子プルダウン出力）を選択します。

PDHZS ビットを “0” に設定すると、外部プルダウン IC 用の制御信号出力モードになり、DPRPD 端子、DRPD 端子からは High アクティブの制御信号が出力されます。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は High 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子は Low レベル出力状態になります。

PDHZS ビットを “1” に設定すると、DP、DM 端子を直接プルダウンする出力モードになります。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は Low 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子はハイインピーダンス状態になります。

USBE ビット（USB イネーブルビット）

USB 端子をイネーブルにします。

表 17.30 USBMD[1:0] ビットの設定と USB モードの関係（USB0）

USBMD1	USBMD0	USB0のモード	使用するUSB端子	割り当てポート名	備考
0	0	ファンクションモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_VBUS	P16	
			USB0_DPUPE-B	P14	-B側を選択
0	1	ホストモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUSEN-B	P16	-B側を選択
1	0	ホスト/ファンクション兼用（オプション）（注1）	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUS	P16	
			USB0_DRPD	P22	
			USB0_DPUPE-A	P23	-A側を選択
			USB0_VBUSEN-A	P24	-A側を選択
1	1	OTGモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_OVRCURB	P16	
			USB0_DPRPD	P25	
			USB0_DRPD	P22	
			USB0_EXICEN	P21	
			USB0_ID	P20	
			USB0_DPUPE-A	P23	-A側を選択
			USB0_VBUSEN-A	P24	-A側を選択

注1. オプションについては、弊社営業窓口までお問い合わせください。

17.3.2.23 ポートファンクションレジスタ M（PFMPOE）

アドレス 0008 C116h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE7E	POE6E	POE5E	POE4E	POE3E	POE2E	POE1E	POE0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE0E	POE0入力許可ビット	0：I/Oポートとして設定 1：POEn#入力端子として設定（n=0～7）	R/W（注1）
b1	POE1E	POE1入力許可ビット		R/W（注1）
b2	POE2E	POE2入力許可ビット		R/W（注1）
b3	POE3E	POE3入力許可ビット		R/W（注1）
b4	POE4E	POE4入力許可ビット		R/W（注1）
b5	POE5E	POE5入力許可ビット		R/W（注1）
b6	POE6E	POE6入力許可ビット		R/W（注1）
b7	POE7E	POE7入力許可ビット		R/W（注1）

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFMPOE レジスタは、POE 入力端子の許可／禁止を選択するレジスタです。
システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。
書き込みはリセットスタート後の最初の 1 回目のみ有効です。

POEnE ビット（POEn 入力許可ビット）（n=0 ～ 7）

対応する POEn# 入力の許可／禁止を選択します。
POEn# を使用する場合には、対応する POEnE ビットを “1” にしてください。

17.3.2.24 ポートファンクションレジスタ N（PFNPOE）

アドレス 0008 C117h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	POE9E	POE8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE8E	POE8入力許可ビット	0：I/Oポートとして設定 1：POEn#入力端子として設定（n=8～9）	R/W（注）
b1	POE9E	POE9入力許可ビット		R/W（注）
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 書き込みはリセットスタート後の最初の１回目のみ有効です。２回目以降の書き込みはできません。

PFNPOE レジスタは、POE 入力端子の許可／禁止を選択するレジスタです。
システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。
書き込みはリセットスタート後の最初の 1 回目のみ有効です。

POEnE ビット（POEn 入力許可ビット）（n=8 ～ 9）

対応する POEn# 入力の許可／禁止を選択します。
POEn# を使用する場合には、対応する POEnE ビットを “1” にしてください。

17.3.3 ポートの設定

各周辺モジュールの端子を有効に設定すると、各ポートの設定が切り替わります。

入力として機能する端子は、各周辺モジュールの設定により独立して設定できます。PORT レジスタリード、データバス入力、NMI、および POE 端子入力を除き、入力バッファコントロールレジスタ（ICR）の対応するビットを “1” にして入力バッファを有効にする必要があります。

出力および入出力として機能する端子は、各周辺モジュールの端子ごとに出力信号を有効に設定する必要があります。同じポートにマルチプレクスされている各周辺モジュールの出力信号有効設定が競合すると周辺モジュールのポートマルチプレクス優先順位に従って、優先される周辺モジュールの機能が有効になります。

表 17.31 に周辺モジュールのポートマルチプレクス優先順位一覧を示します。

表 17.31　周辺モジュールのポートマルチプレクス優先順位一覧（100 ピン LQFP）

優先順位		モジュール名	出力端子名
高い ↑	1	外部バス（データ）	D0～D15（データバス）
	2	外部バス	RD#、WR#、WR0#～WR1#、BC0#～BC1#、BCLK、 A0～A23（アドレスバス）
	3	外部バス（CS）	CS0#～CS7#（チップセレクト）
	4	RSPI0、RSPI1	RSPCKn、MOSIn、MISOn、SSLn0～SSLn3（n = A、B）
	5	USB0	USB0_DPUPE、USB0_VBUSEN、USB0_EXICEN、 USB0_DRPD、USB0_DPRPD
	6	CAN0	CTX0
	7	EtherNET	ET_MDC、ET_MDIO、ET_EXOUT、ET_WOL、 ET_TX_EN、ET_TX_ER、ET_ETXD0～ET_ETXD3、 RMII_TXD_EN、RMII_TXD0、RMII_TXD1
	8	MTU0～MTU4、 MTU6～MTU10	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、MTIOC2B、 MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、 MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC8A、MTIOC8B、 MTIOC9A、MTIOC9B、MTIOC9C、MTIOC9D、MTIOC10A、MTIOC10B、MTIOC10C、 MTIOC10D
	9	TMR0～TMR3	TMO0～TMO3
	10	SCI0～SCI3、 SCI5～SCI6	SCK0～SCK3、SCK5～SCK6、 TxD0～TxD3、TxD5～TxD6
	11	RTC	RTCOUT
	12	PPG0、PPG1	PO0～PO15、PO16～PO31
	13	RIIC0	SCL0、SDA0
	14	DA	DA1
	15	I/O PORT	P05、P07、P12～P14、P16、P20～P27、P30～P34、P50～P52、P54～P55、 PA0～PA7、PB0～PB7、PC0～PC7、PD0～PD7、PE0～PE7
低い			

17.3.4 出力許可設定一覧

表 17.32 に各ポートの出力許可設定一覧を示します。

当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

また、各周辺モジュールの端子名の末尾に A ～ D のいずれかが付いている端子は、ポートファンクションレジスタによって端子機能を変更できます。

表 17.32　各ポートの出力許可設定一覧 (1 / 9)（100 ピン LQFP）

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P05	DA	DA1		DACR.DAOE1 = 1
	PORT0	P05		PORT0.DDR.B5 = 1
P07	PORT0	P07		PORT0.DDR.B7 = 1
P12	RIIC0	SCL0		RIIC0.ICCR1.ICE = 1
	PORT1	P12		PORT1.DDR.B2 = 1
P13	MTU0	MTIOC0B		MTU の設定は、「表 17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR3	TMO3		TMO3.TCSR.OSA[1:0] = 01/10/11 か TMO3.TCSR.OSB[1:0] = 01/10/11
	SCI2	TxD2-A	PFFSCI.SCI2S = 0	SCI2.SCR.TE = 1
	PPG0	PO13		PPG0.NDERH.NDER13 = 1
	RIIC0	SDA0		RIIC0.ICCR1.ICE = 1
	PORT1	P13		PORT1.DDR.B3 = 1
P14	USB0	USB0_DPUPE-B	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3A		MTU の設定は、「表 17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO15		PPG0.NDERH.NDER15 = 1
	PORT1	P14		PORT1.DDR.B4 = 1
P16	USB0	USB0_VBUSEN-B	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 01	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3C		MTU の設定は、「表 17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR2	TMO2		TMO2.TCSR.OSA[1:0] = 01/10/11 か TMO2.TCSR.OSB[1:0] = 01/10/11
	PPG0	PO14		PPG0.NDERH.NDER14 = 1
	PORT1	P16		PORT1.DDR.B6 = 1
P20	MTU1	MTIOC1A		MTU の設定は、「表 17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI0	TxD0		SCI0.SCR.TE = 1
	PPG0	PO0		PPG0.NDERL.NDER0 = 1
	PORT2	P20		PORT2.DDR.B0 = 1
P21	USB0	USB0_EXICEN	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	MTU1	MTIOC1B		MTU の設定は、「表 17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO1		PPG0.NDERL.NDER1 = 1
	PORT2	P21		PORT2.DDR.B1 = 1

表17.32　各ポートの出力許可設定一覧 (2 / 9)（100ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P22	USB0	USB0_DRPD	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR0	TMO0		TMO0.TCSR.OSA[1:0] = 01/10/11 か TMO0.TCSR.OSB[1:0] = 01/10/11
	SCI0	SCK0		SCI0.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI0.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO2		PPG0.NDERL.NDER2 = 1
	PORT2	P22		PORT2.DDR.B2 = 1
P23	USB0	USB0_DPUPE-A	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3D		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	TxD3		SCI3.SCR.TE = 1
	PPG0	PO3		PPG0.NDERL.NDER3 = 1
	PORT2	P23		PORT2.DDR.B3 = 1
P24	外部バス（CS）	CS4#	PF0CSE.CS4E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	USB0	USB0_VBUSEN-A	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	SCK3		SCI3.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI3.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO4		PPG0.NDERL.NDER4 = 1
	PORT2	P24		PORT2.DDR.B4 = 1
P25	外部バス（CS）	CS5#	PF0CSE.CS5E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	USB0	USB0_DPRPD	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4C		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO5		PPG0.NDERL.NDER5 = 1
	PORT2	P25		PORT2.DDR.B5 = 1
P26	外部バス（CS）	CS6#	PF0CSE.CS6E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI1	MOSIB-A	PFHSPI.MOSIE = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU2	MTIOC2A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR1	TMO1		TMO1.TCSR.OSA[1:0] = 01/10/11 か TMO1.TCSR.OSB[1:0] = 01/10/11
	SCI1	TxD1		SCI1.SCR.TE = 1
	PPG0	PO6		PPG0.NDERL.NDER6 = 1
	PORT2	P26		PORT2.DDR.B6 = 1

表17.32　各ポートの出力許可設定一覧 (3 / 9)（100ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P27	外部バス（CS）	CS7#	PF0CSE.CS7E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI1	RSPCKB-A	PFHSPI.RSPCKE = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU2	MTIOC2B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI1	SCK1		SCI1.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI1.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO7		PPG0.NDERL.NDER7 = 1
	PORT2	P27		PORT2.DDR.B7 = 1
P30	RSPI1	MISOB-A	PFHSPI.MISOE = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU4	MTIOC4B-A	PFCMTU.MTUS5 = 0	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO8		PPG0.NDERH.NDER8 = 1
	PORT3	P30		PORT3.DDR.B0 = 1
P31	RSPI1	SSLB0-A	PFHSPI.SSL0E = 1 PFHSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU4	MTIOC4D-A	PFCMTU.MTUS5 = 0	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO9		PPG0.NDERH.NDER9 = 1
	PORT3	P31		PORT3.DDR.B1 = 1
P32	CAN0	CTX0	PFJCAN.CAN0E = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0C		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI6	TxD6		SCI6.SCR.TE = 1
	RTC	RTCOUT		RCR2.RTCOE = 1
	PPG0	PO10		PPG0.NDERH.NDER10 = 1
	PORT3	P32		PORT3.DDR.B2 = 1
P33	MTU0	MTIOC0D		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO11		PPG0.NDERH.NDER11 = 1
	PORT3	P33		PORT3.DDR.B3 = 1
P34	MTU0	MTIOC0A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI6	SCK6		SCI6.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI6.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO12		PPG0.NDERH.NDER12 = 1
	PORT3	P34		PORT3.DDR.B4 = 1
P35	（該当なし）	（該当なし）		
P40	PORT4	P40		PORT4.DDR.B0 = 1
P41	PORT4	P41		PORT4.DDR.B1 = 1
P42	PORT4	P42		PORT4.DDR.B2 = 1
P43	PORT4	P43		PORT4.DDR.B3 = 1

表17.32　各ポートの出力許可設定一覧 (4 / 9)（100ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P44	PORT4	P44		PORT4.DDR.B4 = 1
P45	PORT4	P45		PORT4.DDR.B5 = 1
P46	PORT4	P46		PORT4.DDR.B6 = 1
P47	PORT4	P47		PORT4.DDR.B7 = 1
P50	外部バス	WR# WR0#		SYSCR0.EXBE = 1
	RSPI1	SSLB1-A	PFHSPI.SSL1E = 1 PFHSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	TxD2-B	PFFSCI.SCI2S = 1	SCI2.SCR.TE = 1
	PORT5	P50		PORT5.DDR.B0 = 1
P51	外部バス	WR1# BC1#	PF5BUS.WR1BC1E = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB2-A	PFHSPI.SSL2E = 1 PFHSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	SCK2		SCI2.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI2.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORT5	P51		PORT5.DDR.B1 = 1
P52	外部バス	RD#		SYSCR0.EXBE = 1
	RSPI1	SSLB3-A	PFHSPI.SSL3E = 1 PFHSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	PORT5	P52		PORT5.DDR.B2 = 1
P53	外部バス	BCLK		PORT5.DDR.B3 = 1
P54	MTU4	MTIOC4B-B	PFCMTU.MTUS5 = 1	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT5	P54		PORT5.DDR.B4 = 1
P55	EtherNET	ET_EXOUT	PFENET.EE = 1 PFENET.ENETE2 = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4D-B	PFCMTU.MTUS5 = 1	MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PORT5	P55		PORT5.DDR.B5 = 1
PA0	外部バス	A0 BC0#	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA1-B	PFGSPI.SSL1E = 1 PFGSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO16		PPG1.NDERL.NDER0 = 1
	PORTA	PA0		PORTA.DDR.B0 = 1
PA1	外部バス	A1	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA2-B	PFGSPI.SSL2E = 1 PFGSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO17		PPG1.NDERL.NDER1 = 1
	PORTA	PA1		PORTA.DDR.B1 = 1

表17.32　各ポートの出力許可設定一覧 (5 / 9)（100ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PA2	外部バス	A2	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA3-B	PFGSPI.SSL3E = 1 PFGSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6C		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO18		PPG1.NDERL.NDER2 = 1
	PORTA	PA2		PORTA.DDR.B2 = 1
PA3	外部バス	A3	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	EtherNET	ET_MDIO	PFENET.EE = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU6	MTIOC6D		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO19		PPG1.NDERL.NDER3 = 1
	PORTA	PA3		PORTA.DDR.B3 = 1
PA4	外部バス	A4	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA0-B	PFGSPI.SSL0E = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	EtherNET	ET_MDC	PFENET.EE = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU7	MTIOC7A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO20		PPG1.NDERL.NDER4 = 1
	PORTA	PA4		PORTA.DDR.B4 = 1
PA5	外部バス	A5	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	RSPCKA-B	PFGSPI.RSPCKE = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU7	MTIOC7B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO21		PPG1.NDERL.NDER5 = 1
	PORTA	PA5		PORTA.DDR.B5 = 1
PA6	外部バス	A6	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	MOSIA-B	PFGSPI.MOSIE = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	EtherNET	ET_EXOUT	PFENET.EE = 1 PFENET.ENETE2 = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU8	MTIOC8A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO22		PPG1.NDERL.NDER6 = 1
	PORTA	PA6		PORTA.DDR.B6 = 1
PA7	外部バス	A7	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	MISOA-B	PFGSPI.MISOE = 1 PFGSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	EtherNET	ET_WOL	PFENET.EE = 1 PFENET.ENETE0 = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU8	MTIOC8B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO23		PPG1.NDERL.NDER7 = 1
	PORTA	PA7		PORTA.DDR.B7 = 1

表17.32　各ポートの出力許可設定一覧 (6 / 9)（100ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PB0	外部バス	A8	PF4BUS.ADRLE[1:0] = 11	SYSCR0.EXBE = 1
	MTU9	MTIOC9A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO24		PPG1.NDERH.NDER8 = 1
	PORTB	PB0		PORTB.DDR.B0 = 1
PB1	外部バス	A9	PF4BUS.ADRLE[1:0] = 11	SYSCR0.EXBE = 1
	MTU9	MTIOC9C		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO25		PPG1.NDERH.NDER9 = 1
	PORTB	PB1		PORTB.DDR.B1 = 1
PB2	外部バス	A10	PF4BUS.A10E = 1	SYSCR0.EXBE = 1
	MTU9	MTIOC9B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO26		PPG1.NDERH.NDER10 = 1
	PORTB	PB2		PORTB.DDR.B2 = 1
PB3	外部バス	A11	PF4BUS.A11E = 1	SYSCR0.EXBE = 1
	MTU9	MTIOC9D		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO27		PPG1.NDERH.NDER11 = 1
	PORTB	PB3		PORTB.DDR.B3 = 1
PB4	外部バス	A12	PF4BUS.A12E = 1	SYSCR0.EXBE = 1
	EtherNET	ET_TX_EN	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	EtherNET	RMII_TXD_EN	PFENET.EE = 1 PFENET.PHYMODE = 0	(信号出力状態は周辺モジュールの設定に従います))
	MTU10	MTIOC10A		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO28		PPG1.NDERH.NDER12 = 1
	PORTB	PB4		PORTB.DDR.B4 = 1
PB5	外部バス	A13	PF4BUS.A13E = 1	SYSCR0.EXBE = 1
	EtherNET	ET_ETXD0	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	EtherNET	RMII_TXD0	PFENET.EE = 1 PFENET.PHYMODE = 0	(信号出力状態は周辺モジュールの設定に従います))
	MTU10	MTIOC10C		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO29		PPG1.NDERH.NDER13 = 1
	PORTB	PB5		PORTB.DDR.B5 = 1
PB6	外部バス	A14	PF4BUS.A14E = 1	SYSCR0.EXBE = 1
	EtherNET	ET_ETXD1	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	EtherNET	RMII_TXD1	PFENET.EE = 1 PFENET.PHYMODE = 0	(信号出力状態は周辺モジュールの設定に従います))
	MTU10	MTIOC10B		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO30		PPG1.NDERH.NDER14 = 1
	PORTB	PB6		PORTB.DDR.B6 = 1

表17.32　各ポートの出力許可設定一覧 (7 / 9)（100ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PB7	外部バス	A15	PF4BUS.A15E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10D		MTUの設定は、「表17.22　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO31		PPG1.NDERH.NDER15 = 1
	PORTB	PB7		PORTB.DDR.B7 = 1
PC0	外部バス	A16	PF3BUS.A16E = 1	SYSCR0.EXBE = 1
	RSPI0	SSLA1-A	PFGSPI.SSL1E = 1 PFGSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC0		PORTC.DDR.B0 = 1
PC1	外部バス	A17	PF3BUS.A17E = 1	SYSCR0.EXBE = 1
	RSPI0	SSLA2-A	PFGSPI.SSL2E = 1 PFGSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	SCI5	SCK5		SCI5.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI5.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORTC	PC1		PORTC.DDR.B1 = 1
PC2	外部バス	A18	PF3BUS.A18E = 1	SYSCR0.EXBE = 1
	RSPI0	SSLA3-A	PFGSPI.SSL3E = 1 PFGSPI.RSPIS = 0	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC2		PORTC.DDR.B2 = 1
PC3	外部バス	A19	PF3BUS.A19E = 1	SYSCR0.EXBE = 1
	EtherNET	ET_TX_ER	PFENET.EE = 1 PFENET.ENETE3 = 1	(信号出力状態は周辺モジュールの設定に従います)
	SCI5	TxD5		SCI5.SCR.TE = 1
	PORTC	PC3		PORTC.DDR.B3 = 1
PC4	外部バス	A20	PF3BUS.A20E = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS3#	PF0CSE.CS3E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	SSLA0-A	PFGSPI.SSL0E = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTC	PC4		PORTC.DDR.B4 = 1
PC5	外部バス	A21	PF3BUS.A21E = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS2#	PF0CSE.CS2E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	RSPCKA-A	PFGSPI.RSPCKE = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	EtherNET	ET_ETXD2	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC5		PORTC.DDR.B5 = 1
PC6	外部バス	A22	PF3BUS.A22E = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS1#	PF0CSE.CS1E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	MOSIA-A	PFGSPI.MOSIE = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	EtherNET	ET_ETXD3	PFENET.EE = 1 PFENET.PHYMODE = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTC	PC6		PORTC.DDR.B6 = 1

表17.32 各ポートの出力許可設定一覧 (8 / 9)（100ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PC7	外部バス	A23	PF3BUS.A23E = 1	SYSCR0.EXBE = 1
	外部バス（CS）	CS0#	PF0CSE.CS0E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI0	MISOA-A	PFGSPI.MISOE = 1 PFGSPI.RSPIS = 0	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	PORTC	PC7		PORTC.DDR.B7 = 1
PD0	外部バス （データ）	D0		SYSCR0.EXBE = 1
	PORTD	PD0		PORTD.DDR.B0 = 1
PD1	外部バス （データ）	D1		SYSCR0.EXBE = 1
	PORTD	PD1		PORTD.DDR.B1 = 1
PD2	外部バス （データ）	D2		SYSCR0.EXBE = 1
	PORTD	PD2		PORTD.DDR.B2 = 1
PD3	外部バス （データ）	D3		SYSCR0.EXBE = 1
	PORTD	PD3		PORTD.DDR.B3 = 1
PD4	外部バス （データ）	D4		SYSCR0.EXBE = 1
	PORTD	PD4		PORTD.DDR.B4 = 1
PD5	外部バス （データ）	D5		SYSCR0.EXBE = 1
	PORTD	PD5		PORTD.DDR.B5 = 1
PD6	外部バス （データ）	D6		SYSCR0.EXBE = 1
	PORTD	PD6		PORTD.DDR.B6 = 1
PD7	外部バス （データ）	D7		SYSCR0.EXBE = 1
	PORTD	PD7		PORTD.DDR.B7 = 1
PE0	外部バス （データ）	D8	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB1-B	PFHSPI.SSL1E = 1 PFHSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE0		PORTE.DDR.B0 = 1
PE1	外部バス （データ）	D9	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB2-B	PFHSPI.SSL2E = 1 PFHSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE1		PORTE.DDR.B1 = 1
PE2	外部バス （データ）	D10	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB3-B	PFHSPI.SSL3E = 1 PFHSPI.RSPIS = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE2		PORTE.DDR.B2 = 1
PE3	外部バス （データ）	D11	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	PORTE	PE3		PORTE.DDR.B3 = 1

表17.32 各ポートの出力許可設定一覧 (9 / 9)（100ピンLQFP）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PE4	外部バス （データ）	D12	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	SSLB0-B	PFHSPI.SSL0E = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります）
	PORTE	PE4		PORTE.DDR.B4 = 1
PE5	外部バス （データ）	D13	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	RSPCKB-B	PFHSPI.RSPCKE = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります）
	PORTE	PE5		PORTE.DDR.B5 = 1
PE6	外部バス （データ）	D14	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	MOSIB-B	PFHSPI.MOSIE = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります）
	PORTE	PE6		PORTE.DDR.B6 = 1
PE7	外部バス （データ）	D15	PF5BUS.DHE = 1	SYSCR0.EXBE = 1
	RSPI1	MISOB-B	PFHSPI.MISOE = 1 PFHSPI.RSPIS = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります）)
	PORTE	PE7		PORTE.DDR.B7 = 1

表 17.33　MTU の各端子の出力許可設定一覧 (1 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU0	MTIOC0A	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOA[3] = 0 MTU0.TIORH.IOA[1:0] = 01/10/11
		PWM モード 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TIORH.IOA[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 001 以外 MTU0.TIORH.IOA[1:0] = 01/10/11
	MTIOC0B	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOB[3] = 0 MTU0.TIORH.IOB[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 010 以外 MTU0.TIORH.IOB[1:0] = 01/10/11
	MTIOC0C	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFA = 0 MTU0.TIORL.IOC[3] = 0 MTU0.TIORL.IOC[1:0] = 01/10/11
		PWM モード 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TMDR.BFA = 0 MTU0.TMDR.BFB = 0 MTU0.TIORL.IOC[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFA = 0 MTU0.TCR.CCLR[2:0] = 101 以外 MTU0.TIORL.IOC[1:0] = 01/10/11
	MTIOC0D	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFB = 0 MTU0.TIORL.IOD[3] = 0 MTU0.TIORL.IOD[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFB = 0 MTU0.TCR.CCLR[2:0] = 110 以外 MTU0.TIORL.IOD[1:0] = 01/10/11
MTU1	MTIOC1A	通常動作	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
		PWM モード 1	MTU1.TMDR.MD[3:0] = 0010	MTU1.TIOR.IOA[1:0] = 01/10/11
		PWM モード 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 01 以外 MTU1.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 2	MTU1.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU1.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU1.TMDR.MD[3:0] = 0111	
	MTIOC1B	通常動作	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11
		PWM モード 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 10 以外 MTU1.TIOR.IOB[1:0] = 01/10/11
		位相計数モード 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11
		位相計数モード 2	MTU1.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU1.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU1.TMDR.MD[3:0] = 0111	
MTU2	MTIOC2A	通常動作	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11
		PWM モード 1	MTU2.TMDR.MD[3:0] = 0010	MTU2.TIOR.IOA[1:0] = 01/10/11
		PWM モード 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 01 以外 MTU2.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 2	MTU2.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU2.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU2.TMDR.MD[3:0] = 0111	

表17.33　MTU の各端子の出力許可設定一覧 (2 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU2	MTIOC2B	通常動作	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 10 以外 MTU2.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU2.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU2.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU2.TMDR.MD[3:0] = 0111	
MTU3	MTIOC3A	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTU3.TIORH.IOA[3] = 0 MTU3.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TIORH.IOA[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOCR1.PSYE = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
	MTIOC3B	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3B = 1 MTU3.TIORH.IOB[3] = 0 MTU3.TIORH.IOB[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3B = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
	MTIOC3C	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTU3.TMDR.BFA = 0 MTU3.TIORL.IOC[3] = 0 MTU3.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TMDR.BFA = 0 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOC[1:0] = 01/10/11
	MTIOC3D	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3D = 1 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOD[3] = 0 MTU3.TIORL.IOD[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3D = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
MTU4	MTIOC4A	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[3] = 0 MTU4.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4A = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	

表17.33　MTU の各端子の出力許可設定一覧 (3 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU4	MTIOC4B	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1 MTU4.TIORH.IOB[3] = 0 MTU4.TIORH.IOB[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4B = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	
	MTIOC4C	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TIORL.IOC[3] = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	
	MTIOC4D	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOD[3] = 0 MTU4.TIORL.IOD[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4D = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	

表17.33　MTU の各端子の出力許可設定一覧 (4 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU6	MTIOC6A	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOA[3] = 0 MTU6.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TIORH.IOA[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 001 以外 MTU6.TIORH.IOA[1:0] = 01/10/11
	MTIOC6B	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOB[3] = 0 MTU6.TIORH.IOB[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 010 以外 MTU6.TIORH.IOB[1:0] = 01/10/11
	MTIOC6C	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFA = 0 MTU6.TIORL.IOC[3] = 0 MTU6.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TMDR.BFA = 0 MTU6.TMDR.BFB = 0 MTU6.TIORL.IOC[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFA = 0 MTU6.TCR.CCLR[2:0] = 101 以外 MTU6.TIORL.IOC[1:0] = 01/10/11
	MTIOC6D	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFB = 0 MTU6.TIORL.IOD[3] = 0 MTU6.TIORL.IOD[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFB = 0 MTU6.TCR.CCLR[2:0] = 110 以外 MTU6.TIORL.IOD[1:0] = 01/10/11
MTU7	MTIOC7A	通常動作	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
		PWMモード1	MTU7.TMDR.MD[3:0] = 0010	MTU7.TIOR.IOA[1:0] = 01/10/11
		PWMモード2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 01 以外 MTU7.TIOR.IOA[1:0] = 01/10/11
		位相計数モード1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
		位相計数モード2	MTU7.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU7.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU7.TMDR.MD[3:0] = 0111	
	MTIOC7B	通常動作	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 10 以外 MTU7.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU7.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU7.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU7.TMDR.MD[3:0] = 0111	
MTU8	MTIOC8A	通常動作	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11
		PWMモード1	MTU8.TMDR.MD[3:0] = 0010	MTU8.TIOR.IOA[1:0] = 01/10/11
		PWMモード2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 01 以外 MTU8.TIOR.IOA[1:0] = 01/10/11
		位相計数モード1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11
		位相計数モード2	MTU8.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU8.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU8.TMDR.MD[3:0] = 0111	

表17.33　MTU の各端子の出力許可設定一覧 (5 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU8	MTIOC8B	通常動作	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 10 以外 MTU8.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU8.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU8.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU8.TMDR.MD[3:0] = 0111	
MTU9	MTIOC9A	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTU9.TIORH.IOA[3] = 0 MTU9.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TIORH.IOA[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOCR1.PSYE = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9B	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3B = 1 MTU9.TIORH.IOB[3] = 0 MTU9.TIORH.IOB[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3B = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9C	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTU9.TMDR.BFA = 0 MTU9.TIORL.IOC[3] = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TMDR.BFA = 0 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
	MTIOC9D	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3D = 1 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOD[3] = 0 MTU9.TIORL.IOD[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3D = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
MTU10	MTIOC10A	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[3] = 0 MTU10.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4A = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	

表17.33　MTU の各端子の出力許可設定一覧 (6 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU10	MTIOC10B	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1 MTU10.TIORH.IOB[3] = 0 MTU10.TIORH.IOB[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4B = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	
	MTIOC10C	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TIORL.IOC[3] = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	
	MTIOC10D	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOD[3] = 0 MTU10.TIORL.IOD[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4D = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	

17.3.5 未使用端子の処理

表 17.34 に未使用端子の処理内容を示します。

表17.34 未使用端子の処理内容（100ピンLQFP）

端子名	処理内容
EMLE	抵抗を介してVSSに接続（プルダウン）
MD1、MD0	（モード端子として使用）
MDE	（モード端子として使用）
RES#	抵抗を介してVCCに接続（プルアップ）
USB0_DP	端子を開放
USB0_DM	
P35/NMI	抵抗を介してVCCに接続（プルアップ）
EXTAL	（クロック端子として使用）
XTAL	端子を開放
XCIN	抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）
XCOUT	端子を開放
ポート0～5 ポートA～E	端子ごとに抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン） PORTn.ICRを初期値（入力バッファ無効）の状態で端子を開放することも可能（注）
VREFH	AVCCに接続
VREFL	AVSSに接続

注. PORTn.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

17.4 [85 ピン TFLGA] I/O ポート

17.4.1 概要

RX62N グループ、RX621 グループ（85 ピン TFLGA）の I/O ポートは、ポート 0 ～ 5、A ～ D の 10 ポートから構成され、入出力ポートを 60 本備えています。

表 17.35 に I/O ポートの仕様を、表 17.36 にポート機能一覧を示します。

表17.35 I/Oポートの仕様（85ピンTFLGA）

項目	内容
入出力端子	58本
入力端子	2本
ポート	10ポート（0～5、A～D）
入力プルアップ抵抗内蔵	ポートA、B、C、D
オープンドレイン出力	ポート0、1、2、3（P30～P34）、C
5V トレラント対応端子	ポート1（P12、P13、P16）、 ポート2（P20、P21）、ポート3（P33）
シュミットトリガ入力端子	全ポート入力、CAN入力、USB入力、IRQ入力、MTU入力、TMR入力、RIIC入力、 SCI入力、A/D トリガ入力
その他	1個のTTL負荷と30pFの容量負荷を駆動可能 出力時にダーリントントランジスタを駆動

表17.36　ポート機能一覧 (1 / 2)（85ピンTFLGA）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート0	割り込み入力、D/Aコンバータ出力と兼用の汎用入出力ポート	3	P03	IRQ11-A	DA0	–	全入力機能	–	○
		5	P05	IRQ13-A	DA1		全入力機能	–	○
ポート1	USB入出力、MTU入出力、TMR入出力、割り込み入力、SCI入出力、RIIC入出力、PPG出力、A/Dコンバータ入力と兼用の汎用入出力ポート	2	P12/SCL0	TMCI1/RxD2-A/IRQ2-B		–	全入力機能	–	○
		3	P13/MTIOC0B/SDA0	ADTRG1#/IRQ3-B	PO13/TMO3/TxD2-A		全入力機能	–	○
		4	P14/MTIOC3A	USB0_OVRCURA/TMRI2/IRQ4-B	PO15/USB0_DPUPE-B		全入力機能	–	○
		6	P16/MTIOC3C	USB0_VBUS/USB0_OVRCURB/IRQ6	TMO2/PO14/USB0_VBUSEN-B		全入力機能	–	○
ポート2	バス制御出力、USB入出力、RSPI入出力、MTU入出力、PPG出力、TMR入出力、SCI入出力、RIIC入出力、A/Dコンバータ入力、オンチップエミュレータ入出力と兼用の汎用入出力ポート	0	P20/MTIOC1A/SDA1	USB0_ID/TMRI0	PO0/TxD0	–	全入力機能	–	○
		1	P21/MTIOC1B/SCL1	TMCI0/RxD0	USB0_EXICEN/PO1		全入力機能		
		2	P22/MTIOC3B/SCK0	MTCLKC	USB0_DRPD/PO2/TMO0	–	全入力機能		
		3	P23/MTIOC3D	MTCLKD	USB0_DPUPE-A/TxD3/PO3	–	全入力機能		
		4	P24/MTIOC4A/SCK3	MTCLKA/TMRI1	CS4#/USB0_VBUSEN-A/PO4	–	全入力機能		
		5	P25/MTIOC4C	MTCLKB/ADTRG0#/RxD3	CS5#/USB0_DPRPD/PO5	–	全入力機能		
		6	P26/MOSIB/MTIOC2A		CS6#/PO6/TMO1/TxD1/TDO	MOSIB	P26、MTIOC2A		
		7	P27/RSPCKB/MTIOC2B/SCK1	TCK	CS7#/PO7	RSPCKB TCK	P27、MTIOC2B、SCK1		
ポート3	CAN入出力、USB出力、RSPI入出力、MTU入出力、TMR入力、SCI入出力、割り込み入力、PPG出力、RTC出力、オンチップエミュレータ入力と兼用の汎用入出力ポート	0	P30/MISOB/MTIOC4B	TMRI3/RxD1/IRQ0/TDI	PO8	MISOB	P30、MTIOC4B TMRI3、RxD1、IRQ0、TDI	–	○
		1	P31/SSLB0/MTIOC4D	TMCI2/IRQ1/TMS	PO9	SSLB0	P31、MTIOC4D TMCI2、IRQ1、TMS		○
		2	P32/MTIOC0C	IRQ2-A	CTX0/TxD6/PO10/RTCOUT	–	全入力機能		○
		3	P33/MTIOC0D	CRX0/RxD6/IRQ3-A	PO11		全入力機能		○
		4	P34/MTIOC0A/SCK6	TMCI3/IRQ4-A/TRST#	PO12		全入力機能		○
		5		P35/NMI			全入力機能		–
ポート4	割り込み入力、A/Dコンバータ入力と兼用の汎用入出力ポート	0	P40	AN0/IRQ8		–	P40、IRQ8	–	–
		1	P41	AN1/IRQ9			P41、IRQ9		
		2	P42	AN2/IRQ10			P42、IRQ10		
		3	P43	AN3/IRQ11-B			P43、IRQ11-B		
		4	P44	AN4/IRQ12			P44、IRQ12		
		5	P45	AN5/IRQ13-B			P45、IRQ13-B		
		6	P46	AN6/IRQ14			P46、IRQ14		
		7	P47	AN7/IRQ15			P47、IRQ15		

表17.36　ポート機能一覧 (2 / 2)（85ピンTFLGA）

ポート	概要	ビット	機能 入出力	機能 入力	機能 出力	CMOS入力端子	シュミットトリガ入力端子	入力プルアップ抵抗機能	オープンドレイン出力機能
ポート5	外部バスクロック出力、バス制御入出力、RSPI出力、SCI入出力と兼用の汎用入出力ポート	0	P50		WR0#/SSLB1/TxD2-B	–	全入力機能	–	–
		1	P51/SCK2	WAIT#	SSLB2	WAIT#	P51、SCK2		
		2	P52	RxD2-B	RD#/SSLB3	–	全入力機能		
		3		P53	BCLK	–	全入力機能		
ポートA	アドレス出力、RSPI入出力、MTU入出力、PPG出力、と兼用の汎用入出力ポート	0	PA0/MTIOC6A		A0/SSLA1/PO16	–	全入力機能	○	–
		1	PA1/MTIOC6B		A1/SSLA2/PO17	–	全入力機能		
		2	PA2/MTIOC6C		A2/SSLA3/PO18	–	全入力機能		
		3	PA3/MTIOC6D		A3/PO19	–	全入力機能		
		4	PA4/SSLA0/MTIOC7A		A4/PO20	SSLA0	PA4、MTIOC7A		
		5	PA5/RSPCKA/MTIOC7B		A5/PO21	RSPCKA	PA5、MTIOC7B		
		6	PA6/MOSIA/MTIOC8A		A6/PO22	MOSIA	PA6、MTIOC8A		
		7	PA7/MISOA/MTIOC8B		A7/PO23	MISOA	PA7、MTIOC8B		
ポートB	アドレス出力、MTU入出力、PPG出力、と兼用の汎用入出力ポート	0	PB0/MTIOC9A		A8/PO24	–	全入力機能	○	–
		1	PB1/MTIOC9C		A9/PO25	–	全入力機能		
		2	PB2/MTIOC9B	MTCLKG-B	A10/PO26	–	全入力機能		
		3	PB3/MTIOC9D	MTCLKH-B	A11/PO27	–	全入力機能		
		4	PB4/MTIOC10A	MTCLKE-B	A12/PO28	–	全入力機能		
		5	PB5/MTIOC10C	MTCLKF-B	A13/PO29	–	全入力機能		
		6	PB6/MTIOC10B		A14/PO30	–	全入力機能		
		7	PB7/MTIOC10D		A15/PO31	–	全入力機能		
ポートC	アドレス出力MTU入力、SCI入出力と兼用の汎用入出力ポート	0	PC0	MTCLKG-A	A16	–	全入力機能	○	○
		1	PC1/SCK5	MTCLKH-A	A17	–	全入力機能	○	○
		2	PC2	MTCLKE-A/RxD5	A18	–	全入力機能	○	○
		3	PC3	MTCLKF-A	A19/TxD5	–	全入力機能	○	○
ポートD	双方向データバス、MTU入力と兼用の汎用入出力ポート	0	PD0/D0			D0	PD0	○	–
		1	PD1/D1			D1	PD1		
		2	PD2/D2	MTIC11W		D2	PD2、MTIC11W		
		3	PD3/D3	MTIC11V		D3	PD3、MTIC11V		
		4	PD4/D4	MTIC11U		D4	PD4、MTIC11U		
		5	PD5/D5	MTIC5W		D5	PD5、MTIC5W		
		6	PD6/D6	MTIC5V		D6	PD6、MTIC5V		
		7	PD7/D7	MTIC5U		D7	PD7、MTIC5U		

17.4.2 レジスタの説明

表 17.37 に I/O ポートのレジスター覧を示します。表 17.38 に各レジスタの有効ビット一覧を示します。

表 17.37　I/O ポートのレジスター覧 (1 / 2)（85 ピン TFLGA）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT0	データディレクションレジスタ	DDR	00h	0008 C000h	8
	データレジスタ	DR	00h	0008 C020h	8
	ポートレジスタ	PORT	不定	0008 C040h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C060h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C080h	8
PORT1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C081h	8
PORT2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C082h	8
PORT3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C083h	8
PORT4	データディレクションレジスタ	DDR	00h	0008 C004h	8
	データレジスタ	DR	00h	0008 C024h	8
	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
PORT5	データディレクションレジスタ	DDR	00h	0008 C005h	8
	データレジスタ	DR	00h	0008 C025h	8
	ポートレジスタ	PORT	不定	0008 C045h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C065h	8
PORTA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CAh	8
PORTB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CBh	8

表17.37　I/Oポートのレジスター覧 (2 / 2)（85ピンTFLGA）

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORTC	データディレクションレジスタ	DDR	00h	0008 C00Ch	8
	データレジスタ	DR	00h	0008 C02Ch	8
	ポートレジスタ	PORT	不定	0008 C04Ch	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ch	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C08Ch	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CCh	8
PORTD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CDh	8
IOPORT	ポートファンクションレジスタ0	PF0CSE	00h	0008 C100h	8
	ポートファンクションレジスタ3	PF3BUS	00h	0008 C103h	8
	ポートファンクションレジスタ4	PF4BUS	00h	0008 C104h	8
	ポートファンクションレジスタ8	PF8IRQ	00h	0008 C108h	8
	ポートファンクションレジスタ9	PF9IRQ	00h	0008 C109h	8
	ポートファンクションレジスタD	PFDMTU	00h	0008 C10Dh	8
	ポートファンクションレジスタF	PFFSCI	00h	0008 C10Fh	8
	ポートファンクションレジスタG	PFGSPI	00h	0008 C110h	8
	ポートファンクションレジスタH	PFHSPI	00h	0008 C111h	8
	ポートファンクションレジスタJ	PFJCAN	00h	0008 C113h	8
	ポートファンクションレジスタK	PFKUSB	00h	0008 C114h	8

表17.38 各レジスタの有効ビット一覧 (1 / 2)（85ピンTFLGA）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT0.DDR	×	×	○	×	○	×	×	×
PORT1.DDR	×	○	×	○	○	○	×	×
PORT2.DDR	○	○	○	○	○	○	○	○
PORT3.DDR	×	×	×	○	○	○	○	○
PORT4.DDR	○	○	○	○	○	○	○	○
PORT5.DDR	×	×	×	×	○	○	○	○
PORTA.DDR	○	○	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTC.DDR	×	×	×	×	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORT0.DR	×	×	○	×	○	×	×	×
PORT1.DR	×	○	×	○	○	○	×	×
PORT2.DR	○	○	○	○	○	○	○	○
PORT3.DR	×	×	×	○	○	○	○	○
PORT4.DR	○	○	○	○	○	○	○	○
PORT5.DR	×	×	×	×	×	○	○	○
PORTA.DR	○	○	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTC.DR	×	×	×	×	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORT0.PORT	×	×	○	×	○	×	×	×
PORT1.PORT	×	○	×	○	○	○	×	×
PORT2.PORT	○	○	○	○	○	○	○	○
PORT3.PORT	×	×	○	○	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	×	×	×	×	○	○	○	○
PORTA.PORT	○	○	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTC.PORT	×	×	×	×	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORT0.ICR	×	×	○	×	○	×	×	×
PORT1.ICR	×	○	×	○	○	○	×	×
PORT2.ICR	○	○	○	○	○	○	○	○
PORT3.ICR	×	×	×	○	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT5.ICR	×	×	×	×	○	○	○	○
PORTA.ICR	○	○	○	○	○	○	○	○
PORTB.ICR	○	○	○	○	○	○	○	○
PORTC.ICR	×	×	×	×	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○
PORT0.ODR	×	×	○	×	○	×	×	×
PORT1.ODR	×	○	×	○	○	○	×	×
PORT2.ODR	○	○	○	○	○	○	○	○
PORT3.ODR	×	×	×	○	○	○	○	○
PORTC.ODR	×	×	×	×	○	○	○	○

表17.38 各レジスタの有効ビット一覧 (2 / 2)（85ピンTFLGA）

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORTA.PCR	○	○	○	○	○	○	○	○
PORTB.PCR	○	○	○	○	○	○	○	○
PORTC.PCR	×	×	×	×	○	○	○	○
PORTD.PCR	○	○	○	○	○	○	○	○
IOPORT.F0CSE	○	○	○	○	×	×	×	×
IOPORT.PF3BUS	×	×	×	×	○	○	○	○
IOPORT.PF4BUS	○	○	○	○	○	○	○	○
IOPORT.PF8IRQ	×	×	○	×	○	×	×	×
IOPORT.PF9IRQ	×	○	×	○	○	○	×	×
IOPORT.PFDMTU	○	×	×	×	×	×	×	×
IOPORT.PFFSCI	×	×	×	×	×	○	×	×
IOPORT.PFGSPI	○	○	○	○	○	○	○	×
IOPORT.PFHSPI	○	○	○	○	○	○	○	×
IOPORT.PFJCAN	×	×	×	×	×	×	×	○
IOPORT.PFKUSB	×	×	×	○	○	○	○	○

17.4.2.1 データディレクションレジスタ（DDR）

アドレス　PORT0.DDR 0008 C000h、PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h
PORT4.DDR 0008 C004h、PORT5.DDR 0008 C005h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh
PORTC.DDR 0008 C00Ch、PORTD.DDR 0008 C00Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.DDRレジスタはb7、b6、b4、b2～b0は予約ビットです。
PORT1.DDRレジスタはb7、b5、b1、ｂ0は予約ビットです。
PORT3.DDRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT5.DDRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
PORTC.DDRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力／出力指定ビット	0：入力ポート 1：出力ポート	R/W
b1	B1	Pn1入力／出力指定ビット		R/W
b2	B2	Pn2入力／出力指定ビット		R/W
b3	B3	Pn3入力／出力指定ビット		R/W
b4	B4	Pn4入力／出力指定ビット		R/W
b5	B5	Pn5入力／出力指定ビット		R/W
b6	B6	Pn6入力／出力指定ビット		R/W
b7	B7	Pn7入力／出力指定ビット		R/W

【記号説明】　（n=0 ～ 5、A ～ D）

DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力／出力を指定するレジスタです。

PORTn.DDR レジスタ（n=0 ～ 5、A ～ D）の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

なお、PORT5.DDR.B3 ビットは、P53 入力／ BCLK 出力を指定します。PORT5.DDR.B3 ビットを “1” にした場合、P53 の出力は BCLK となるため、汎用出力ポートの機能は選択されません。

17.4.2.2 データレジスタ（DR）

アドレス　PORT0.DR 0008 C020h、PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h
PORT4.DR 0008 C024h、PORT5.DR 0008 C025h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh
PORTC.DR 0008 C02Ch、PORTD.DR 0008 C02Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.DRレジスタはb7、b6、b4、b2～b0は予約ビットです。
PORT1.DRレジスタはb7、b5、b1、b0は予約ビットです。
PORT3.DRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT5.DRレジスタは下位3ビットが有効で、上位5ビットは予約ビットです。
PORTC.DRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0 出力データ格納ビット	出力データ格納	R/W
b1	B1	Pn1 出力データ格納ビット		R/W
b2	B2	Pn2 出力データ格納ビット		R/W
b3	B3	Pn3 出力データ格納ビット		R/W
b4	B4	Pn4 出力データ格納ビット		R/W
b5	B5	Pn5 出力データ格納ビット		R/W
b6	B6	Pn6 出力データ格納ビット		R/W
b7	B7	Pn7 出力データ格納ビット		R/W

【記号説明】　（n=0 ～ 5、A ～ D）

DR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。
なお、P53 の出力は BCLK となっており、PORT5.DR.B3 ビットに値を設定しても端子に影響しません。

17.4.2.3 ポートレジスタ（PORT）

アドレス　PORT0.PORT 0008 C040h、PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0009 C043h
PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh
PORTC.PORT 0008 C04Ch、PORTD.PORT 0008 C04Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	x	x	x	x	x	x	x	x

注.　PORT0.PORTレジスタはb7、b6、b4、b2～b0は予約ビットです。
PORT1.PORTレジスタはb7、b5、b1、b0は予約ビットです。
PORT3.PORTレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
PORT5.PORTレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
PORTC.PORTレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“1”が読めます。書く場合、無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0（注1）	Pn0ビット	ポートの端子状態を反映	R
b1	B1（注1）	Pn1ビット		R
b2	B2（注1）	Pn2ビット		R
b3	B3（注1）	Pn3ビット		R
b4	B4（注1）	Pn4ビット		R
b5	B5（注1）	Pn5ビット		R
b6	B6（注1）	Pn6ビット		R
b7	B7（注1）	Pn7ビット		R

【記号説明】　（n=0 ～ 5、A ～ D）
注1.　読むときは、あらかじめ PORTn.ICR レジスタの対応するビットを “1”にしてください。
PORTn.ICR レジスタのビットが“0”の状態で読んだ場合、対応するビットの値は不定です。

PORT レジスタは、ポートの端子の状態を反映するレジスタです。
PORTn.PORT レジスタ（n=0 ～ 5、A ～ D）を読むと、端子の状態が読めます。
P35 は NMI 端子の状態が読めます。

17.4.2.4 入力バッファコントロールレジスタ（ICR）

アドレス　PORT0.ICR 0008 C060h、PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h
PORT4.ICR 0008 C064h、PORT5.ICR 0008 C065h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh
PORTC.ICR 0008 C06Ch、PORTD.ICR 0008 C06Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.ICRレジスタはb7、b6、b4、ｂ2～b0は予約ビットです。
PORT1.ICRレジスタはb7、b5、b1、b0は予約ビットです。
PORT3.ICRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORT5.ICRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
PORTC.ICRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0（注1）	Pn0入力バッファ制御ビット	0：対応する端子の入力バッファは無効 1：対応する端子の入力バッファは有効	R/W
b1	B1（注1）	Pn1入力バッファ制御ビット		R/W
b2	B2（注1）	Pn2入力バッファ制御ビット		R/W
b3	B3（注1）	Pn3入力バッファ制御ビット		R/W
b4	B4（注1）	Pn4入力バッファ制御ビット		R/W
b5	B5（注1）	Pn5入力バッファ制御ビット		R/W
b6	B6（注1）	Pn6入力バッファ制御ビット		R/W
b7	B7（注1）	Pn7入力バッファ制御ビット		R/W

【記号説明】　（n=0 ～ 5、A ～ D）

注1.　入力端子として使用する場合は、対応するビットを“1”にしてください。入力として使用しない端子、およびアナログ入出力端子に対応するビットは、“0”にしてください。

ICR レジスタは、ポートの入力バッファを制御するレジスタです。

PORTn.ICR レジスタ（n=0 ～ 5、A ～ D）の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

周辺モジュールの入力端子および入力ポート端子として使用する場合は、あらかじめ、対応する端子の入力バッファを有効にするために PORTn.ICR を “1” にする必要があります。PORTn.ICR を “0” にした状態のまま周辺モジュールの入力端子として使用した場合は、周辺モジュールへの入力信号は High に固定されます。

PORTn.ICR レジスタの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。PORTn.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQi(i=0 ～ 15) 入力の場合、当該割り込みを禁止した状態で PORTn.ICR レジスタの設定の変更を行い、割り込みコントローラの IRi.IR フラグ（ i=64 ～ 79(IRQ の割り込みベクタ番号)）を “0” にし、その後当該割り込みを許可してください。PORTn.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

17.4.2.5 オープンドレインコントロールレジスタ（ODR）

アドレス　PORT0.ODR 0008 C080h、PORT1.ODR 0008 C081h、PORT2.ODR 0008 C082h、PORT3.ODR 0008 C083h
PORTC.ODR 0008 C08Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注.　PORT0.ODRレジスタはb7、b6、b4、b2～b0は予約ビットです。
PORT1.ODRレジスタはb7、b5、b1、b0は予約ビットです。
PORT3.ODRレジスタは下位5ビットが有効で、上位3ビットは予約ビットです。
PORTC.ODRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力形態指定ビット	0：CMOS出力 1：NMOSオープンドレイン出力	R/W
b1	B1	Pn1出力形態指定ビット		R/W
b2	B2	Pn2出力形態指定ビット		R/W
b3	B3	Pn3出力形態指定ビット		R/W
b4	B4	Pn4出力形態指定ビット		R/W
b5	B5	Pn5出力形態指定ビット		R/W
b6	B6	Pn6出力形態指定ビット		R/W
b7	B7	Pn7出力形態指定ビット		R/W

【記号説明】　（n=0 ～ 3、C）

ODR レジスタは、ポートの端子の出力形態を選択するレジスタです。

17.4.2.6 プルアップ抵抗コントロールレジスタ（PCR）

アドレス　PORTA.PCR 0008 C0CAh、PORTB.PCR 0008 C0CBh、PORTC.PCR 0008 C0CCh
PORTD.PCR 0008 C0CDh

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

注. PORTC.PCRレジスタは下位4ビットが有効で、上位4ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力プルアップ抵抗制御ビット（n=A～D）	0：入力プルアップ抵抗無効 1：入力プルアップ抵抗有効	R/W
b1	B1	Pn1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pn2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pn3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pn4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pn5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pn6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pn7入力プルアップ抵抗制御ビット		R/W

【記号説明】　（n=A ～ D）

PCR レジスタは、ポートの入力プルアップ抵抗の有効／無効を制御するレジスタです。

端子が入力状態のとき、PORTn.PCR レジスタが “1” のビットに対応する端子の入力プルアップ抵抗が有効になります。表 17.39 に入力プルアップ抵抗の状態を示します。

表17.39　入力プルアップ抵抗の状態（85ピンTFLGA）

ポート	端子状態	リセット	その他の動作
ポートA	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポートB	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポートC	アドレス出力	無効	
	周辺モジュール出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効
ポートD	データ入出力	無効	
	ポート出力	無効	
	ポート入力	無効	有効 / 無効

【記号説明】
無効：　入力プルアップ MOS は常にオフ状態です。
有効 / 無効：　PORTn.PCR.Bj ビット（n=A ～ D、j=0 ～ 7）を “1” にすると有効、“0” にすると無効です。

17.4.2.7 ポートファンクションレジスタ 0（PF0CSE）

アドレス 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	CS4E	CS4出力許可ビット	0：I/Oポートとして使用 1：CSn#出力端子として使用（n=4～7）	R/W
b5	CS5E	CS5出力許可ビット		R/W
b6	CS6E	CS6出力許可ビット		R/W
b7	CS7E	CS7出力許可ビット		R/W

PF0CSE レジスタは、CSn# 出力の許可／禁止を選択するレジスタです。

CSnE ビット（CSn 出力許可ビット）（n = 4 ～ 7）

対応する CSn# 出力の許可／禁止を選択します。

CSn を出力する場合には、対応する PF0CSE.CSnE ビットを “1” にしてください。

17.4.2.8 ポートファンクションレジスタ 3（PF3BUS）

アドレス　0008 C103h

	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16出力許可ビット	0：A16出力無効 1：A16出力有効	R/W
b1	A17E	アドレスA17出力許可ビット	0：A17出力無効 1：A17出力有効	R/W
b2	A18E	アドレスA18出力許可ビット	0：A18出力無効 1：A18出力有効	R/W
b3	A19E	アドレスA19出力許可ビット	0：A19出力無効 1：A19出力有効	R/W
b7-b4	―	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PF3BUS レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

AnE ビット（アドレス An 出力許可ビット）（n = 16 ～ 19）

アドレス出力（An）の出力許可／禁止を選択します。

17.4.2.9 ポートファンクションレジスタ 4（PF4BUS）

アドレス　0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	ADRLE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADRLE[1:0]	アドレス下位A9～A0出力許可ビット	b1 b0 0 0：A9～A0出力無効 0 1：A9～A4出力無効、A3～A0出力有効 1 0：A9～A8出力無効、A7～A0出力有効 1 1：A9～A0出力有効	R/W
b2	A10E	アドレスA10出力許可ビット	0：A10出力無効 1：A10出力有効	R/W
b3	A11E	アドレスA11出力許可ビット	0：A11出力無効 1：A11出力有効	R/W
b4	A12E	アドレスA12出力許可ビット	0：A12出力無効 1：A12出力有効	R/W
b5	A13E	アドレスA13出力許可ビット	0：A13出力無効 1：A13出力有効	R/W
b6	A14E	アドレスA14出力許可ビット	0：A14出力無効 1：A14出力有効	R/W
b7	A15E	アドレスA15出力許可ビット	0：A15出力無効 1：A15出力有効	R/W

PF4BUS レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

ADRLE[1:0] ビット（アドレス下位 A9 ～ A0 出力許可ビット）

アドレス出力（A9 ～ A0）の出力許可／禁止を選択します。

AnE ビット（アドレス An 出力許可ビット）（n=10 ～ 15）

アドレス出力（An）の出力許可／禁止を選択します。

17.4.2.10 ポートファンクションレジスタ 8（PF8IRQ）

アドレス　0008 C108h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ITS13	—	ITS11	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	ITS11	IRQ11端子選択ビット	0：P03をIRQ11-A入力端子として設定 1：P43をIRQ11-B入力端子として設定	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ITS13	IRQ13端子選択ビット	0：P05をIRQ13-A入力端子として設定 1：P45をIRQ13-B入力端子として設定	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PF8IRQ レジスタは、IRQ13、IRQ15 入力端子を選択するレジスタです。

ITSi ビット（IRQi 端子選択ビット）（i = 11、13）

IRQi の入力端子を選択します。

17.4.2.11 ポートファンクションレジスタ 9（PF9IRQ）

アドレス　0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ITS4	ITS3	ITS2	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b2	ITS2	IRQ2端子選択ビット	0：P32をIRQ2-A入力端子として設定 1：P12をIRQ2-B入力端子として設定	R/W
b3	ITS3	IRQ3端子選択ビット	0：P33をIRQ3-A入力端子として設定 1：P13をIRQ3-B入力端子として設定	R/W
b4	ITS4	IRQ4端子選択ビット	0：P34をIRQ4-A入力端子として設定 1：P14をIRQ4-B入力端子として設定	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W

PF9IRQ レジスタは、IRQ2 ～ IRQ4 入力端子を選択するレジスタです。

ITSi ビット（IRQi 端子選択ビット）（i = 2 ～ 4）

IRQi の入力端子を選択します。

17.4.2.12 ポートファンクションレジスタ D（PFDMTU）

アドレス　0008 C10Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCLKS	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TCLKS	TCLK端子選択ビット	0：PC2をMTCLKE-A端子として選択 PC3をMTCLKF-A端子として選択 PC0をMTCLKG-A端子として選択 PC1をMTCLKH-A端子として選択 1：PB4をMTCLKE-B端子として選択 PB5をMTCLKF-B端子として選択 PB2をMTCLKG-B端子として選択 PB3をMTCLKH-B端子として選択	R/W

PFDMTU レジスタは、MTU ユニット 1 の端子を選択します。

TCLKS ビット（MTCLK 端子選択ビット）

MTU の MTCLK 入力端子を選択します。

17.4.2.13 ポートファンクションレジスタ F（PFFSCI）

アドレス　0008 C10Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	SCI2S	–	–
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SCI2S	SCI2端子選択ビット	0：P12をRxD2-A端子として設定 P51をSCK2端子として設定 P13をTxD2-A端子として設定 1：P52をRxD2-B端子として設定 P51をSCK2端子として設定 P50をTxD2-B端子として設定	R/W
b7-b3	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFFSCI レジスタは、SCI の端子を選択するレジスタです。

SCInS ビット（SCI n 端子選択ビット）（n = 2）

SCI チャネル n の入出力端子を選択します。

17.4.2.14 ポートファンクションレジスタ G（PFGSPI）

アドレス　0008 C110h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	－
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	RSPCKE	RSPCKA端子許可ビット	0：RSPCKA端子無効 1：RSPCKA端子有効	R/W
b2	MOSIE	MOSIA出力許可ビット	0：MOSIA端子無効 1：MOSIA端子有効	R/W
b3	MISOE	MISOA出力許可ビット	0：MISOA端子無効 1：MISOA端子有効	R/W
b4	SSL0E	SSLA0出力許可ビット	0：SSLA0端子無効 1：SSLA0端子有効	R/W
b5	SSL1E	SSLA1出力許可ビット	0：SSLA1端子無効 1：SSLA1端子有効	R/W
b6	SSL2E	SSLA2出力許可ビット	0：SSLA2端子無効 1：SSLA2端子有効	R/W
b7	SSL3E	SSLA3出力許可ビット	0：SSLA3端子無効 1：SSLA3端子有効	R/W

PFGSPI レジスタは、RSPI チャネル 0 に関する入出力端子を設定するレジスタです。

RSPCKE ビット（RSPCKA 端子許可ビット）

RSPCKA 端子の出力許可／禁止を選択します。RSPCKA 端子を使用する場合は、“1” にしてください。

MOSIE ビット（MOSIA 出力許可ビット）

MOSIA 端子の出力許可／禁止を選択します。MOSIA 端子を使用する場合は、“1” にしてください。

MISOE ビット（MISOA 出力許可ビット）

MISOA 端子の出力許可／禁止を選択します。MISOA 端子を使用する場合は、“1” にしてください。

SSL0E ビット（SSLA0 出力許可ビット）

SSLA0 端子の出力許可／禁止を選択します。SSLA0 端子を使用する場合は、“1” にしてください。

SSL1E ビット（SSLA1 出力許可ビット）

SSLA1 端子の出力許可／禁止を選択します。SSLA1 端子を使用する場合は、“1” にしてください。

SSL2E ビット（SSLA2 出力許可ビット）

SSLA2 端子の出力許可／禁止を選択します。SSLA2 端子を使用する場合は、“1” にしてください。

SSL3E ビット（SSLA3 出力許可ビット）

SSLA3 端子の出力許可／禁止を選択します。SSLA3 端子を使用する場合は、“1” にしてください。

17.4.2.15 ポートファンクションレジスタ H（PFHSPI）

アドレス　0008 C111h

	b7	b6	b5	b4	b3	b2	b1	b0
	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	－
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	RSPCKE	RSPCKB端子許可ビット	0：RSPCKB端子無効 1：RSPCKB端子有効	R/W
b2	MOSIE	MOSIB出力許可ビット	0：MOSIB端子無効 1：MOSIB端子有効	R/W
b3	MISOE	MISOB出力許可ビット	0：MISOB端子無効 1：MISOB端子有効	R/W
b4	SSL0E	SSLB0出力許可ビット	0：SSLB0端子無効 1：SSLB0端子有効	R/W
b5	SSL1E	SSLB1出力許可ビット	0：SSLB1端子無効 1：SSLB1端子有効	R/W
b6	SSL2E	SSLB2出力許可ビット	0：SSLB2端子無効 1：SSLB2端子有効	R/W
b7	SSL3E	SSLB3出力許可ビット	0：SSLB3端子無効 1：SSLB3端子有効	R/W

PFHSPI レジスタは、RSPI チャネル 1 に関する入出力端子を設定するレジスタです。

RSPCKE ビット（RSPCKB 端子許可ビット）

RSPCKB 端子の出力許可／禁止を選択します。RSPCKB 端子を使用する場合は、“1” にしてください。

MOSIE ビット（MOSIB 出力許可ビット）

MOSIB 端子の出力許可／禁止を選択します。MOSIB 端子を使用する場合は、“1” にしてください。

MISOE ビット（MISOB 出力許可ビット）

MISOB 端子の出力許可／禁止を選択します。MISOB 端子を使用する場合は、“1” にしてください。

SSL0E ビット（SSLB0 出力許可ビット）

SSLB0 端子の出力許可／禁止を選択します。SSLB0 端子を使用する場合は、“1” にしてください。

SSL1E ビット（SSLB1 出力許可ビット）

SSLB1 端子の出力許可／禁止を選択します。SSLB1 端子を使用する場合は、“1” にしてください。

SSL2E ビット（SSLB2 出力許可ビット）

SSLB2 端子の出力許可／禁止を選択します。SSLB2 端子を使用する場合は、“1” にしてください。

SSL3E ビット（SSLB3 出力許可ビット）

SSLB3 端子の出力許可／禁止を選択します。SSLB3 端子を使用する場合は、“1” にしてください。

17.4.2.16 ポートファンクションレジスタ J（PFJCAN）

アドレス　0008 C113h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CAN0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CAN0E	CAN0端子許可ビット	0：CTX0端子およびCRX0端子無効 1：CTX0端子およびCRX0端子有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFJCAN レジスタは、CAN に関する入出力端子を設定するレジスタです。

CANnE ビット（CANn 端子許可ビット）（n = 0）

CANn 端子の許可／禁止を選択します。CANn を使用する場合は、“1” にしてください。

17.4.2.17 ポートファンクションレジスタ K（PFKUSB）

アドレス　0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	USBE	PDHZS	PUPHZS	USBMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	USBMD[1:0]	USBモード設定ビット	b1 b0 0 0：USB0端子をファンクションモードに設定 0 1：USB0端子をホストモード用に設定 1 0：USB0端子をホスト/ファンクション兼用に設定（オプション）（注1） 1 1：USB0端子をOTGモードに設定	R/W
b2	PUPHZS	PUPHZ選択ビット	0：USB0_DPUPE端子=High出力/Low出力（外部プルアップ制御信号） 1：USB0_DPUPE端子=High出力/Hi-Z状態（USB0_DP端子プルアップ出力）	R/W
b3	PDHZS	PDHZ選択ビット	0：USB0_DPRPD端子=High出力/Low出力 USB0_DRPD端子=High出力/Low出力 （外部プルダウン制御信号） 1：USB0_DPRPD端子=Low出力/Hi-Z状態 USB0_DRPD端子=Low出力/Hi-Z状態 （USB0_DP、USB0_DM端子プルダウン出力）	R/W
b4	USBE	USB許可ビット	0：USB0端子全体を無効に設定 1：USB0端子全体を有効に設定	R/W
b7-b5	—	（予約ビット）	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W

注1.　オプションについては、弊社営業窓口までお問い合わせください。

PFKUSB レジスタは、USB0 に関する入出力端子を設定するレジスタです。

USBMD[1:0] ビット（USB モード設定ビット）

USB のモードを選択します。

表 17.40 に USBMD[1:0] ビットの設定と、USB モードの関係を示します。

PUPHZS ビット（PUPHZ 選択ビット）

USB の DPUPE 端子の出力モード（外部プルアップ制御／端子プルアップ出力）を選択します。

PUPHZS ビットを “0” にすると、外部プルアップ IC 用の制御信号出力モードになり、DPUPE 端子からは High アクティブの制御信号が出力されます。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子は Low 出力状態になります。

PUPHZS ビットを “1” にすると、DP 端子を直接プルアップする出力モードになります。DP 端子プルアップ時、DPUPE 端子は High 出力状態になります。DP 端子プルアップ解除時、DPUPE 端子は ハイインピーダンス状態になります。

PDHZS ビット（PDHZ 選択ビット）

USB の DPRPD 端子、DRPD 端子の出力モード（外部プルダウン制御／端子プルダウン出力）を選択します。

PDHZS ビットを “0” にすると、外部プルダウン IC 用の制御信号出力モードになり、DPRPD 端子、DRPD 端子からは High アクティブの制御信号が出力されます。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は High 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子は Low 出力状態になります。

PDHZS ビットを “1” にすると、DP、DM 端子を直接プルダウンする出力モードになります。DP、DM 端子プルダウン時、DPRPD 端子、DRPD 端子は Low 出力状態になります。DP、DM 端子プルダウン解除時、DPRPD 端子、DRPD 端子は ハイインピーダンス状態になります。

USBE ビット（USB 許可ビット）

USB 端子を許可します。

表 17.40　USBMD[1:0] ビットの設定と USB モードの関係（USB0）

USBMD1	USBMD0	USB0のモード	使用するUSB端子	割り当てポート名	備考
0	0	ファンクションモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_VBUS	P16	
			USB0_DPUPE-B	P14	-B側を選択
0	1	ホストモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUSEN-B	P16	-B側を選択
1	0	ホスト/ファンクション兼用（オプション）（注1）	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_VBUS	P16	
			USB0_DRPD	P22	
			USB0_DPUPE-A	P23	-A側を選択
			USB0_VBUSEN-A	P24	-A側を選択
1	1	OTGモード	USB0_DP	USB0_DP	
			USB0_DM	USB0_DM	
			USB0_OVRCURA	P14	
			USB0_OVRCURB	P16	
			USB0_DPRPD	P25	
			USB0_DRPD	P22	
			USB0_EXICEN	P21	
			USB0_ID	P20	
			USB0_DPUPE-A	P23	-A側を選択
			USB0_VBUSEN-A	P24	-A側を選択

注 1.　オプションについては、弊社営業窓口までお問い合わせください。

17.4.3 ポートの設定

各周辺モジュールの端子を有効に設定すると、各ポートの設定が切り替わります。

入力として機能する端子は、各周辺モジュールの設定により独立して設定できます。PORT レジスタリード、データバス入力、および NMI を除き、入力バッファコントロールレジスタ（ICR）の対応するビットを “1” にして入力バッファを有効にする必要があります。

出力および入出力として機能する端子は、各周辺モジュールの端子ごとに出力信号を有効に設定する必要があります。同じポートにマルチプレクスされている各周辺モジュールの出力信号有効設定が競合すると周辺モジュールのポートマルチプレクス優先順位に従って、優先される周辺モジュールの機能が有効になります。

表 17.41 に周辺モジュールのポートマルチプレクス優先順位一覧を示します。

表 17.41　周辺モジュールのポートマルチプレクス優先順位一覧（85 ピン TFLGA）

優先順位		モジュール名	出力端子名
高い	1	外部バス（データ）	D0～D7（データバス）
↑	2	外部バス	RD#、WR0#、BCLK、 A0～A19（アドレスバス）
	3	外部バス（CS）	CS4#～CS7#（チップセレクト）
	4	RSPI0、RSPI1	RSPCKn、MOSIn、MISOn、SSLn0～SSLn3（n = A、B）
	5	USB0	USB0_DPUPE、USB0_VBUSEN、USB0_EXICEN、 USB0_DRPD、USB0_DPRPD
	6	CAN0	CTX0
	7	MTU0～MTU4、 MTU6～MTU10	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、MTIOC2B、MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC8A、MTIOC8B、MTIOC9A、MTIOC9B、MTIOC9C、MTIOC9D、MTIOC10A、MTIOC10B、MTIOC10C、MTIOC10D
	8	TMR0～TMR3	TMO0～TMO3
	9	SCI0～SCI3、 SCI5～SCI6	SCK0～SCK3、SCK5～SCK6、 TxD0～TxD3、TxD5～TxD6
	10	RTC	RTCOUT
	11	PPG0、PPG1	PO0～PO15、PO16～PO31
	12	RIIC0、RIIC1	SCL0～SCL1、SDA0～SDA1
	13	DA	DA0、DA1
	14	I/O PORT	P03、P05、P12～P14、P16、P20～P27、P30～P34、P50～P52、 PA0～PA7、PB0～PB7、PC0～PC3、PD0～PD7
低い			

17.4.4 出力許可設定一覧

表 17.42 に各ポートの出力許可設定一覧を示します。

当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

また、各周辺モジュールの端子名の末尾に A ～ D のいずれかが付いている端子は、ポートファンクションレジスタによって端子機能を変更できます。

表 17.42　各ポートの出力許可設定一覧 (1 / 7)（85 ピン TFLGA）

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P03	DA	DA0		DACR.DAOE0 = 1
	PORT0	P03		PORT0.DDR.B3 = 1
P05	DA	DA1		DACR.DAOE1 = 1
	PORT0	P05		PORT0.DDR.B5 = 1
P12	RIIC0	SCL0		RIIC0.ICCR1.ICE = 1
	PORT0	P12		PORT1.DDR.B2 = 1
P13	MTU0	MTIOC0B		MTU の設定は、「表 17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR3	TMO3		TMO3.TCSR.OSA[1:0] = 01/10/11 か TMO3.TCSR.OSB[1:0] = 01/10/11
	SCI2	TxD2-A	PFFSCI.SCI2S = 0	SCI2.SCR.TE = 1
	PPG0	PO13		PPG0.NDERH.NDER13 = 1
	RIIC0	SDA0		RIIC0.ICCR1.ICE = 1
	PORT1	P13		PORT1.DDR.B3 = 1
P14	USB0	USB0_DPUPE-B	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3A		MTU の設定は、「表 17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO15		PPG0.NDERH.NDER15 = 1
	PORT1	P14		PORT1.DDR.B4 = 1
P16	USB0	USB0_VBUSEN-B	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 01	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3C		MTU の設定は、「表 17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR2	TMO2		TMO2.TCSR.OSA[1:0] = 01/10/11 か TMO2.TCSR.OSB[1:0] = 01/10/11
	PPG0	PO14		PPG0.NDERH.NDER14 = 1
	PORT1	P16		PORT1.DDR.B6 = 1
P20	MTU1	MTIOC1A		MTU の設定は、「表 17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI0	TxD0		SCI0.SCR.TE = 1
	PPG0	PO0		PPG0.NDERL.NDER0 = 1
	RIIC1	SDA1		RIIC1.ICCR1.ICE = 1
	PORT2	P20		PORT2.DDR.B0 = 1
P21	USB0	USB0_EXICEN	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	MTU1	MTIOC1B		MTU の設定は、「表 17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO1		PPG0.NDERL.NDER1 = 1
	RIIC1	SCL1		RIIC1.ICCR1.ICE = 1
	PORT2	P21		PORT2.DDR.B1 = 1

表17.42　各ポートの出力許可設定一覧 (2 / 7)（85ピンTFLGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P22	USB0	USB0_DRPD	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3B		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR0	TMO0		TMO0.TCSR.OSA[1:0] = 01/10/11 か TMO0.TCSR.OSB[1:0] = 01/10/11
	SCI0	SCK0		SCI0.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI0.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO2		PPG0.NDERL.NDER2 = 1
	PORT2	P22		PORT2.DDR.B2 = 1
P23	USB0	USB0_DPUPE-A	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3D		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	TxD3		SCI3.SCR.TE = 1
	PPG0	PO3		PPG0.NDERL.NDER3 = 1
	PORT2	P23		PORT2.DDR.B3 = 1
P24	外部バス (CS)	CS4#	PF0CSE.CS4E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	USB0	USB0_VBUSEN-A	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 10/11	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4A		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI3	SCK3		SCI3.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI3.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO4		PPG0.NDERL.NDER4 = 1
	PORT2	P24		PORT2.DDR.B4 = 1
P25	外部バス (CS)	CS5#	PF0CSE.CS5E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	USB0	USB0_DPRPD	PFKUSB.USBE = 1 PFKUSB.USBMD[1:0] = 11	(信号出力状態は周辺モジュールの設定に従います)
	MTU4	MTIOC4C		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO5		PPG0.NDERL.NDER5 = 1
	PORT2	P25		PORT2.DDR.B5 = 1
P26	外部バス (CS)	CS6#	PF0CSE.CS6E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI1	MOSIB	PFHSPI.MOSIE = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU2	MTIOC2A		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	TMR1	TMO1		TMO1.TCSR.OSA[1:0] = 01/10/11 か TMO1.TCSR.OSB[1:0] = 01/10/11
	SCI1	TxD1		SCI1.SCR.TE = 1
	PPG0	PO6		PPG0.NDERL.NDER6 = 1
	PORT2	P26		PORT2.DDR.B6 = 1

表17.42　各ポートの出力許可設定一覧 (3 / 7)（85ピンTFLGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P27	外部バス （CS）	CS7#	PF0CSE.CS7E = 1	SYSCR0.EXBE = 1 (動作には外部バスコントローラの設定が必要です)
	RSPI1	RSPCKB	PFHSPI.RSPCKE = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU2	MTIOC2B		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI1	SCK1		SCI1.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI1.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO7		PPG0.NDERL.NDER7 = 1
	PORT2	P27		PORT2.DDR.B7 = 1
P30	RSPI1	MISOB	PFHSPI.MISOE = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU4	MTIOC4B		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO8		PPG0.NDERH.NDER8 = 1
	PORT3	P30		PORT3.DDR.B0 = 1
P31	RSPI1	SSLB0	PFHSPI.SSL0E = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU4	MTIOC4D		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO9		PPG0.NDERH.NDER9 = 1
	PORT3	P31		PORT3.DDR.B1 = 1
P32	CAN0	CTX0	PFJCAN.CAN0E = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0C		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI6	TxD6		SCI6.SCR.TE = 1
	RTC	RTCOUT		RCR2.RTCOE = 1
	PPG0	PO10		PPG0.NDERH.NDER10 = 1
	PORT3	P32		PORT3.DDR.B2 = 1
P33	MTU0	MTIOC0D		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG0	PO11		PPG0.NDERH.NDER11 = 1
	PORT3	P33		PORT3.DDR.B3 = 1
P34	MTU0	MTIOC0A		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	SCI6	SCK6		SCI6.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI6.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PPG0	PO12		PPG0.NDERH.NDER12 = 1
	PORT3	P34		PORT3.DDR.B4 = 1
P35	（該当なし）	（該当なし）		
P40	PORT4	P40		PORT4.DDR.B0 = 1
P41	PORT4	P41		PORT4.DDR.B1 = 1
P42	PORT4	P42		PORT4.DDR.B2 = 1
P43	PORT4	P43		PORT4.DDR.B3 = 1

表17.42　各ポートの出力許可設定一覧 (4 / 7)（85ピンTFLGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P44	PORT4	P44		PORT4.DDR.B4 = 1
P45	PORT4	P45		PORT4.DDR.B5 = 1
P46	PORT4	P46		PORT4.DDR.B6 = 1
P47	PORT4	P47		PORT4.DDR.B7 = 1
P50	外部バス	WR0#		SYSCR0.EXBE = 1
	RSPI1	SSLB1	PFHSPI.SSL1E = 1	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	TxD2-B	PFFSCI.SCI2S = 1	SCI2.SCR.TE = 1
	PORT5	P50		PORT5.DDR.B0 = 1
P51	RSPI1	SSLB2	PFHSPI.SSL2E = 1	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	SCK2		SCI2.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCI2.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORT5	P51		PORT5.DDR.B1 = 1
P52	外部バス	RD#		SYSCR0.EXBE = 1
	RSPI1	SSLB3	PFHSPI.SSL3E = 1	(信号出力状態は周辺モジュールの設定に従います)
	PORT5	P52		PORT5.DDR.B2 = 1
P53	外部バス	BCLK		PORT5.DDR.B3 = 1
PA0	外部バス	A0	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA1	PFGSPI.SSL1E = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6A		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO16		PPG1.NDERL.NDER0 = 1
	PORTA	PA0		PORTA.DDR.B0 = 1
PA1	外部バス	A1	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA2	PFGSPI.SSL2E = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6B		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO17		PPG1.NDERL.NDER1 = 1
	PORTA	PA1		PORTA.DDR.B1 = 1
PA2	外部バス	A2	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA3	PFGSPI.SSL3E = 1	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6C		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO18		PPG1.NDERL.NDER2 = 1
	PORTA	PA2		PORTA.DDR.B2 = 1
PA3	外部バス	A3	PF4BUS.ADRLE[1:0] = 01/10/11	SYSCR0.EXBE = 1
	MTU6	MTIOC6D		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO19		PPG1.NDERL.NDER3 = 1
	PORTA	PA3		PORTA.DDR.B3 = 1

表17.42　各ポートの出力許可設定一覧 (5 / 7)（85ピンTFLGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PA4	外部バス	A4	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	SSLA0	PFGSPI.SSL0E = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU7	MTIOC7A		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO20		PPG1.NDERL.NDER4 = 1
	PORTA	PA4		PORTA.DDR.B4 = 1
PA5	外部バス	A5	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	RSPCKA	PFGSPI.RSPCKE = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU7	MTIOC7B		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO21		PPG1.NDERL.NDER5 = 1
	PORTA	PA5		PORTA.DDR.B5 = 1
PA6	外部バス	A6	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	MOSIA	PFGSPI.MOSIE = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU8	MTIOC8A		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO22		PPG1.NDERL.NDER6 = 1
	PORTA	PA6		PORTA.DDR.B6 = 1
PA7	外部バス	A7	PF4BUS.ADRLE[1:0] = 10/11	SYSCR0.EXBE = 1
	RSPI0	MISOA	PFGSPI.MISOE = 1	(端子イネーブルとは別に、周辺モジュールの設定に入力／出力の切り替え機能があります)
	MTU8	MTIOC8B		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO23		PPG1.NDERL.NDER7 = 1
	PORTA	PA7		PORTA.DDR.B7 = 1
PB0	外部バス	A8	PF4BUS.ADRLE[1:0] = 11	SYSCR0.EXBE = 1
	MTU9	MTIOC9A		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO24		PPG1.NDERH.NDER8 = 1
	PORTB	PB0		PORTB.DDR.B0 = 1
PB1	外部バス	A9	PF4BUS.ADRLE[1:0] = 11	SYSCR0.EXBE = 1
	MTU9	MTIOC9C		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO25		PPG1.NDERH.NDER9 = 1
	PORTB	PB1		PORTB.DDR.B1 = 1
PB2	外部バス	A10	PF4BUS.A10E = 1	SYSCR0.EXBE = 1
	MTU9	MTIOC9B		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO26		PPG1.NDERH.NDER10 = 1
	PORTB	PB2		PORTB.DDR.B2 = 1
PB3	外部バス	A11	PF4BUS.A11E = 1	SYSCR0.EXBE = 1
	MTU9	MTIOC9D		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO27		PPG1.NDERH.NDER11 = 1
	PORTB	PB3		PORTB.DDR.B3 = 1

表17.42　各ポートの出力許可設定一覧 (6 / 7)（85ピンTFLGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PB4	外部バス	A12	PF4BUS.A12E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10A		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO28		PPG1.NDERH.NDER12 = 1
	PORTB	PB4		PORTB.DDR.B4 = 1
PB5	外部バス	A13	PF4BUS.A13E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10C		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO29		PPG1.NDERH.NDER13 = 1
	PORTB	PB5		PORTB.DDR.B5 = 1
PB6	外部バス	A14	PF4BUS.A14E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10B		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO30		PPG1.NDERH.NDER14 = 1
	PORTB	PB6		PORTB.DDR.B6 = 1
PB7	外部バス	A15	PF4BUS.A15E = 1	SYSCR0.EXBE = 1
	MTU10	MTIOC10D		MTUの設定は、「表17.43　MTU の各端子の出力許可設定一覧」を参照してください。
	PPG1	PO31		PPG1.NDERH.NDER15 = 1
	PORTB	PB7		PORTB.DDR.B7 = 1
PC0	外部バス	A16	PF3BUS.A16E = 1	SYSCR0.EXBE = 1
	PORTC	PC0		PORTC.DDR.B0 = 1
PC1	外部バス	A17	PF3BUS.A17E = 1	SYSCR0.EXBE = 1
	SCI5	SCK5		SCI5.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = SCI5.SCMR.SMIF = 0のとき： SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
	PORTC	PC1		PORTC.DDR.B1 = 1
PC2	外部バス	A18	PF3BUS.A18E = 1	SYSCR0.EXBE = 1
	PORTC	PC2		PORTC.DDR.B2 = 1
PC3	外部バス	A19	PF3BUS.A19E = 1	SYSCR0.EXBE = 1
	SCI5	TxD5		SCI5.SCR.TE = 1
	PORTC	PC3		PORTC.DDR.B3 = 1
PD0	外部バス （データ）	D0		SYSCR0.EXBE = 1
	PORTD	PD0		PORTD.DDR.B0 = 1
PD1	外部バス （データ）	D1		SYSCR0.EXBE = 1
	PORTD	PD1		PORTD.DDR.B1 = 1
PD2	外部バス （データ）	D2		SYSCR0.EXBE = 1
	PORTD	PD2		PORTD.DDR.B2 = 1
PD3	外部バス （データ）	D3		SYSCR0.EXBE = 1
	PORTD	PD3		PORTD.DDR.B3 = 1
PD4	外部バス （データ）	D4		SYSCR0.EXBE = 1
	PORTD	PD4		PORTD.DDR.B4 = 1

表17.42 各ポートの出力許可設定一覧 (7 / 7)（85ピンTFLGA）

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
PD5	外部バス （データ）	D5		SYSCR0.EXBE = 1
	PORTD	PD5		PORTD.DDR.B5 = 1
PD6	外部バス （データ）	D6		SYSCR0.EXBE = 1
	PORTD	PD6		PORTD.DDR.B6 = 1
PD7	外部バス （データ）	D7		SYSCR0.EXBE = 1
	PORTD	PD7		PORTD.DDR.B7 = 1

表 17.43　MTU の各端子の出力許可設定一覧 (1 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU0	MTIOC0A	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOA[3] = 0 MTU0.TIORH.IOA[1:0] = 01/10/11
		PWM モード 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TIORH.IOA[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 001 以外 MTU0.TIORH.IOA[1:0] = 01/10/11
	MTIOC0B	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TIORH.IOB[3] = 0 MTU0.TIORH.IOB[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TCR.CCLR[2:0] = 010 以外 MTU0.TIORH.IOB[1:0] = 01/10/11
	MTIOC0C	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFA = 0 MTU0.TIORL.IOC[3] = 0 MTU0.TIORL.IOC[1:0] = 01/10/11
		PWM モード 1	MTU0.TMDR.MD[3:0] = 0010	MTU0.TMDR.BFA = 0 MTU0.TMDR.BFB = 0 MTU0.TIORL.IOC[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFA = 0 MTU0.TCR.CCLR[2:0] = 101 以外 MTU0.TIORL.IOC[1:0] = 01/10/11
	MTIOC0D	通常動作	MTU0.TMDR.MD[3:0] = 0000	MTU0.TMDR.BFB = 0 MTU0.TIORL.IOD[3] = 0 MTU0.TIORL.IOD[1:0] = 01/10/11
		PWM モード 2	MTU0.TMDR.MD[3:0] = 0011	MTU0.TMDR.BFB = 0 MTU0.TCR.CCLR[2:0] = 110 以外 MTU0.TIORL.IOD[1:0] = 01/10/11
MTU1	MTIOC1A	通常動作	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
		PWM モード 1	MTU1.TMDR.MD[3:0] = 0010	MTU1.TIOR.IOA[1:0] = 01/10/11
		PWM モード 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 01 以外 MTU1.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOA[3] = 0 MTU1.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 2	MTU1.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU1.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU1.TMDR.MD[3:0] = 0111	
	MTIOC1B	通常動作	MTU1.TMDR.MD[3:0] = 0000	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11
		PWM モード 2	MTU1.TMDR.MD[3:0] = 0011	MTU1.TCR.CCLR[1:0] = 10 以外 MTU1.TIOR.IOB[1:0] = 01/10/11
		位相計数モード 1	MTU1.TMDR.MD[3:0] = 0100	MTU1.TIOR.IOB[3] = 0 MTU1.TIOR.IOB[1:0] = 01/10/11
		位相計数モード 2	MTU1.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU1.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU1.TMDR.MD[3:0] = 0111	
MTU2	MTIOC2A	通常動作	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11
		PWM モード 1	MTU2.TMDR.MD[3:0] = 0010	MTU2.TIOR.IOA[1:0] = 01/10/11
		PWM モード 2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 01 以外 MTU2.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOA[3] = 0 MTU2.TIOR.IOA[1:0] = 01/10/11
		位相計数モード 2	MTU2.TMDR.MD[3:0] = 0101	
		位相計数モード 3	MTU2.TMDR.MD[3:0] = 0110	
		位相計数モード 4	MTU2.TMDR.MD[3:0] = 0111	

表17.43　MTU の各端子の出力許可設定一覧 (2 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU2	MTIOC2B	通常動作	MTU2.TMDR.MD[3:0] = 0000	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU2.TMDR.MD[3:0] = 0011	MTU2.TCR.CCLR[1:0] = 10 以外 MTU2.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU2.TMDR.MD[3:0] = 0100	MTU2.TIOR.IOB[3] = 0 MTU2.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU2.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU2.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU2.TMDR.MD[3:0] = 0111	
MTU3	MTIOC3A	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTU3.TIORH.IOA[3] = 0 MTU3.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TIORH.IOA[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOCR1.PSYE = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
	MTIOC3B	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3B = 1 MTU3.TIORH.IOB[3] = 0 MTU3.TIORH.IOB[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3B = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
	MTIOC3C	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTU3.TMDR.BFA = 0 MTU3.TIORL.IOC[3] = 0 MTU3.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU3.TMDR.MD[3:0] = 0010	MTU3.TMDR.BFA = 0 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOC[1:0] = 01/10/11
	MTIOC3D	通常動作	MTU3.TMDR.MD[3:0] = 0000	MTUA.TOER.OE3D = 1 MTU3.TMDR.BFB = 0 MTU3.TIORL.IOD[3] = 0 MTU3.TIORL.IOD[1:0] = 01/10/11
		リセット同期PWMモード	MTU3.TMDR.MD[3:0] = 1000	MTUA.TOER.OE3D = 1
		相補PWMモード1	MTU3.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU3.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU3.TMDR.MD[3:0] = 1111	
MTU4	MTIOC4A	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[3] = 0 MTU4.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4A = 1 MTU4.TIORH.IOA[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4A = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4A = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	

表17.43　MTU の各端子の出力許可設定一覧 (3 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU4	MTIOC4B	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1 MTU4.TIORH.IOB[3] = 0 MTU4.TIORH.IOB[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4B = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4B = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	
	MTIOC4C	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TIORL.IOC[3] = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU4.TMDR.MD[3:0] = 0010	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOC[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4C = 1 MTU4.TMDR.BFA = 0
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	
	MTIOC4D	通常動作	MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1 MTU4.TMDR.BFB = 0 MTU4.TIORL.IOD[3] = 0 MTU4.TIORL.IOD[1:0] = 01/10/11
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1000	MTUA.TOER.OE4D = 1
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU4.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU3連動）	MTU3.TMDR.MD[3:0] = 1000 MTU4.TMDR.MD[3:0] = 0000	MTUA.TOER.OE4D = 1
		相補PWMモード1（MTU3連動）	MTU3.TMDR.MD[3:0] = 1101 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU3連動）	MTU3.TMDR.MD[3:0] = 1110 MTU4.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU3連動）	MTU3.TMDR.MD[3:0] = 1111 MTU4.TMDR.MD[3:0] = 0000	

表17.43　MTU の各端子の出力許可設定一覧 (4 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU6	MTIOC6A	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOA[3] = 0 MTU6.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TIORH.IOA[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 001 以外 MTU6.TIORH.IOA[1:0] = 01/10/11
	MTIOC6B	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TIORH.IOB[3] = 0 MTU6.TIORH.IOB[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TCR.CCLR[2:0] = 010 以外 MTU6.TIORH.IOB[1:0] = 01/10/11
	MTIOC6C	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFA = 0 MTU6.TIORL.IOC[3] = 0 MTU6.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU6.TMDR.MD[3:0] = 0010	MTU6.TMDR.BFA = 0 MTU6.TMDR.BFB = 0 MTU6.TIORL.IOC[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFA = 0 MTU6.TCR.CCLR[2:0] = 101 以外 MTU6.TIORL.IOC[1:0] = 01/10/11
	MTIOC6D	通常動作	MTU6.TMDR.MD[3:0] = 0000	MTU6.TMDR.BFB = 0 MTU6.TIORL.IOD[3] = 0 MTU6.TIORL.IOD[1:0] = 01/10/11
		PWMモード2	MTU6.TMDR.MD[3:0] = 0011	MTU6.TMDR.BFB = 0 MTU6.TCR.CCLR[2:0] = 110 以外 MTU6.TIORL.IOD[1:0] = 01/10/11
MTU7	MTIOC7A	通常動作	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
		PWMモード1	MTU7.TMDR.MD[3:0] = 0010	MTU7.TIOR.IOA[1:0] = 01/10/11
		PWMモード2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 01 以外 MTU7.TIOR.IOA[1:0] = 01/10/11
		位相計数モード1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOA[3] = 0 MTU7.TIOR.IOA[1:0] = 01/10/11
		位相計数モード2	MTU7.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU7.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU7.TMDR.MD[3:0] = 0111	
	MTIOC7B	通常動作	MTU7.TMDR.MD[3:0] = 0000	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU7.TMDR.MD[3:0] = 0011	MTU7.TCR.CCLR[1:0] = 10 以外 MTU7.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU7.TMDR.MD[3:0] = 0100	MTU7.TIOR.IOB[3] = 0 MTU7.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU7.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU7.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU7.TMDR.MD[3:0] = 0111	
MTU8	MTIOC8A	通常動作	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11
		PWMモード1	MTU8.TMDR.MD[3:0] = 0010	MTU8.TIOR.IOA[1:0] = 01/10/11
		PWMモード2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 01 以外 MTU8.TIOR.IOA[1:0] = 01/10/11
		位相計数モード1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOA[3] = 0 MTU8.TIOR.IOA[1:0] = 01/10/11
		位相計数モード2	MTU8.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU8.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU8.TMDR.MD[3:0] = 0111	

表17.43　MTU の各端子の出力許可設定一覧 (5 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU8	MTIOC8B	通常動作	MTU8.TMDR.MD[3:0] = 0000	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11
		PWMモード2	MTU8.TMDR.MD[3:0] = 0011	MTU8.TCR.CCLR[1:0] = 10 以外 MTU8.TIOR.IOB[1:0] = 01/10/11
		位相計数モード1	MTU8.TMDR.MD[3:0] = 0100	MTU8.TIOR.IOB[3] = 0 MTU8.TIOR.IOB[1:0] = 01/10/11
		位相計数モード2	MTU8.TMDR.MD[3:0] = 0101	
		位相計数モード3	MTU8.TMDR.MD[3:0] = 0110	
		位相計数モード4	MTU8.TMDR.MD[3:0] = 0111	
MTU9	MTIOC9A	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTU9.TIORH.IOA[3] = 0 MTU9.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TIORH.IOA[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOCR1.PSYE = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9B	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3B = 1 MTU9.TIORH.IOB[3] = 0 MTU9.TIORH.IOB[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3B = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
	MTIOC9C	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTU9.TMDR.BFA = 0 MTU9.TIORL.IOC[3] = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU9.TMDR.MD[3:0] = 0010	MTU9.TMDR.BFA = 0 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOC[1:0] = 01/10/11
	MTIOC9D	通常動作	MTU9.TMDR.MD[3:0] = 0000	MTUB.TOER.OE3D = 1 MTU9.TMDR.BFB = 0 MTU9.TIORL.IOD[3] = 0 MTU9.TIORL.IOD[1:0] = 01/10/11
		リセット同期PWMモード	MTU9.TMDR.MD[3:0] = 1000	MTUB.TOER.OE3D = 1
		相補PWMモード1	MTU9.TMDR.MD[3:0] = 1101	
		相補PWMモード2	MTU9.TMDR.MD[3:0] = 1110	
		相補PWMモード3	MTU9.TMDR.MD[3:0] = 1111	
MTU10	MTIOC10A	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[3] = 0 MTU10.TIORH.IOA[1:0] = 01/10/11
		PWMモード1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4A = 1 MTU10.TIORH.IOA[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4A = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4A = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	

表17.43　MTU の各端子の出力許可設定一覧 (6 / 6)

チャネル	端子名	動作モード	モード選択ビット	各端子の出力許可設定
MTU10	MTIOC10B	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1 MTU10.TIORH.IOB[3] = 0 MTU10.TIORH.IOB[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4B = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4B = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	
	MTIOC10C	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TIORL.IOC[3] = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
		PWMモード1	MTU10.TMDR.MD[3:0] = 0010	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOC[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4C = 1 MTU10.TMDR.BFA = 0
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	
	MTIOC10D	通常動作	MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1 MTU10.TMDR.BFB = 0 MTU10.TIORL.IOD[3] = 0 MTU10.TIORL.IOD[1:0] = 01/10/11
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1000	MTUB.TOER.OE4D = 1
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1101	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1110	
		—（設定しないでください）	MTU10.TMDR.MD[3:0] = 1111	
		リセット同期PWMモード（MTU9連動）	MTU9.TMDR.MD[3:0] = 1000 MTU10.TMDR.MD[3:0] = 0000	MTUB.TOER.OE4D = 1
		相補PWMモード1（MTU9連動）	MTU9.TMDR.MD[3:0] = 1101 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード2（MTU9連動）	MTU9.TMDR.MD[3:0] = 1110 MTU10.TMDR.MD[3:0] = 0000	
		相補PWMモード3（MTU9連動）	MTU9.TMDR.MD[3:0] = 1111 MTU10.TMDR.MD[3:0] = 0000	

17.4.5 未使用端子の処理

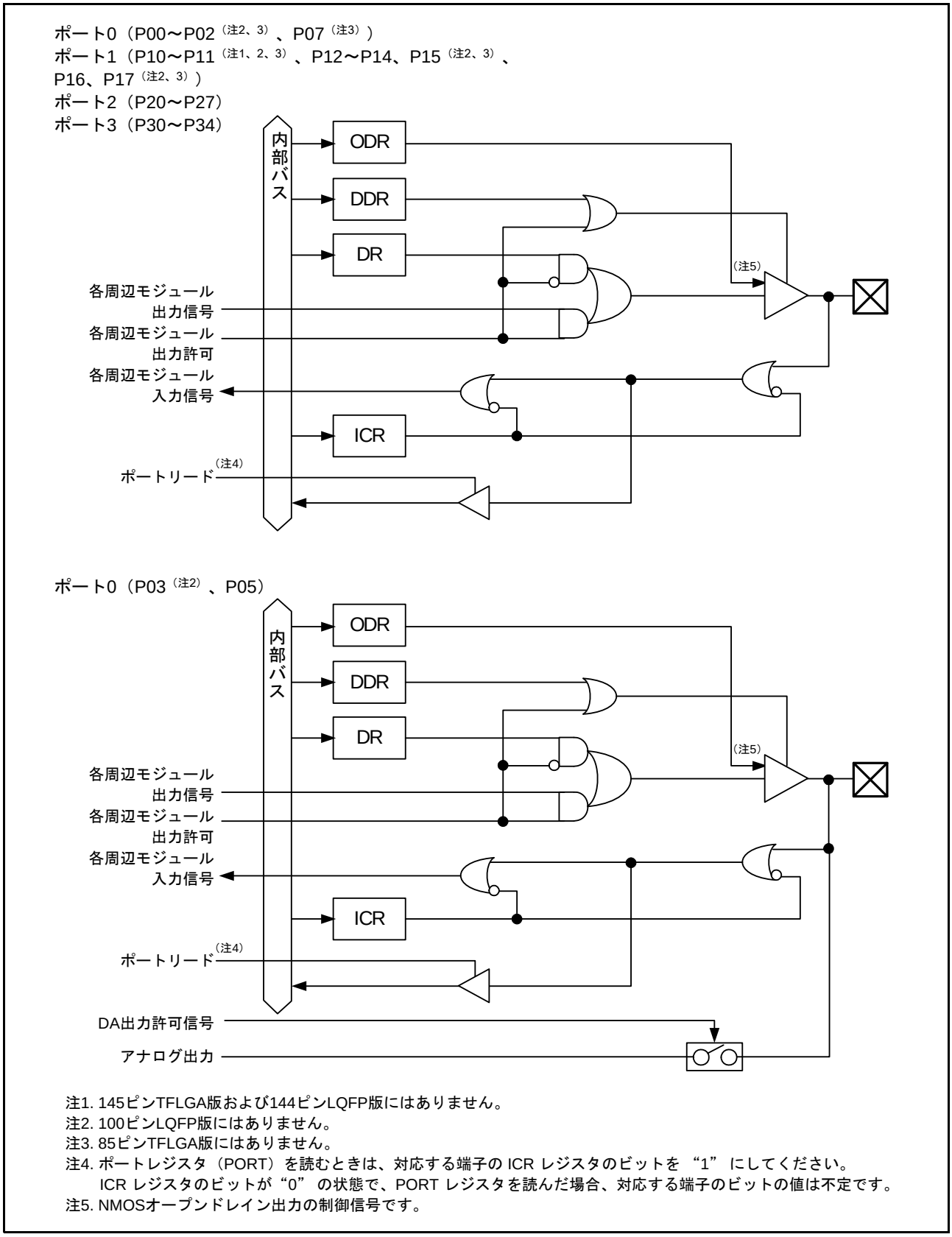
表 17.44 に未使用端子の処理内容を示します。

表17.44 未使用端子の処理内容（85ピンTFLGA）

端子名	処理内容
EMLE	抵抗を介してVSSに接続（プルダウン）
MD1、MD0	（モード端子として使用）
MDE	（モード端子として使用）
RES#	抵抗を介してVCCに接続（プルアップ）
USB0_DP	端子を開放
USB0_DM	
BSCANP	抵抗を介してVSSに接続（プルダウン）
P35/NMI	抵抗を介してVCCに接続（プルアップ）
EXTAL	（クロック端子として使用）
XTAL	端子を開放
XCIN	抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）
XCOUT	端子を開放
ポート0～5 ポートA～D	● 端子ごとに抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン） ● PORTn.ICRを初期値（入力バッファ無効）の状態で端子を開放することも可能（注）
VREFH	AVCCに接続
VREFL	AVSSに接続

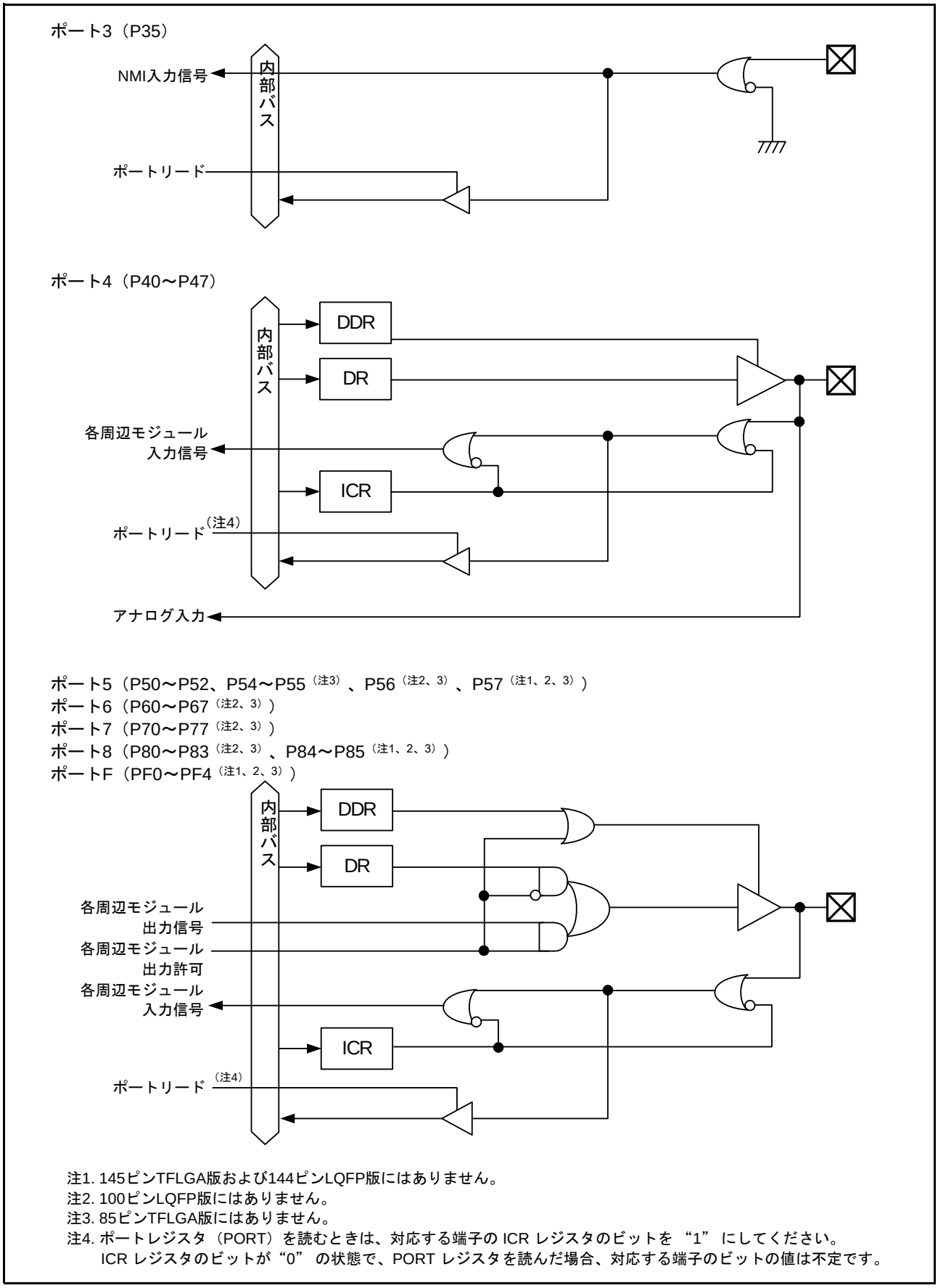
注. PORTn.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

17.5 入出力ポートの構成



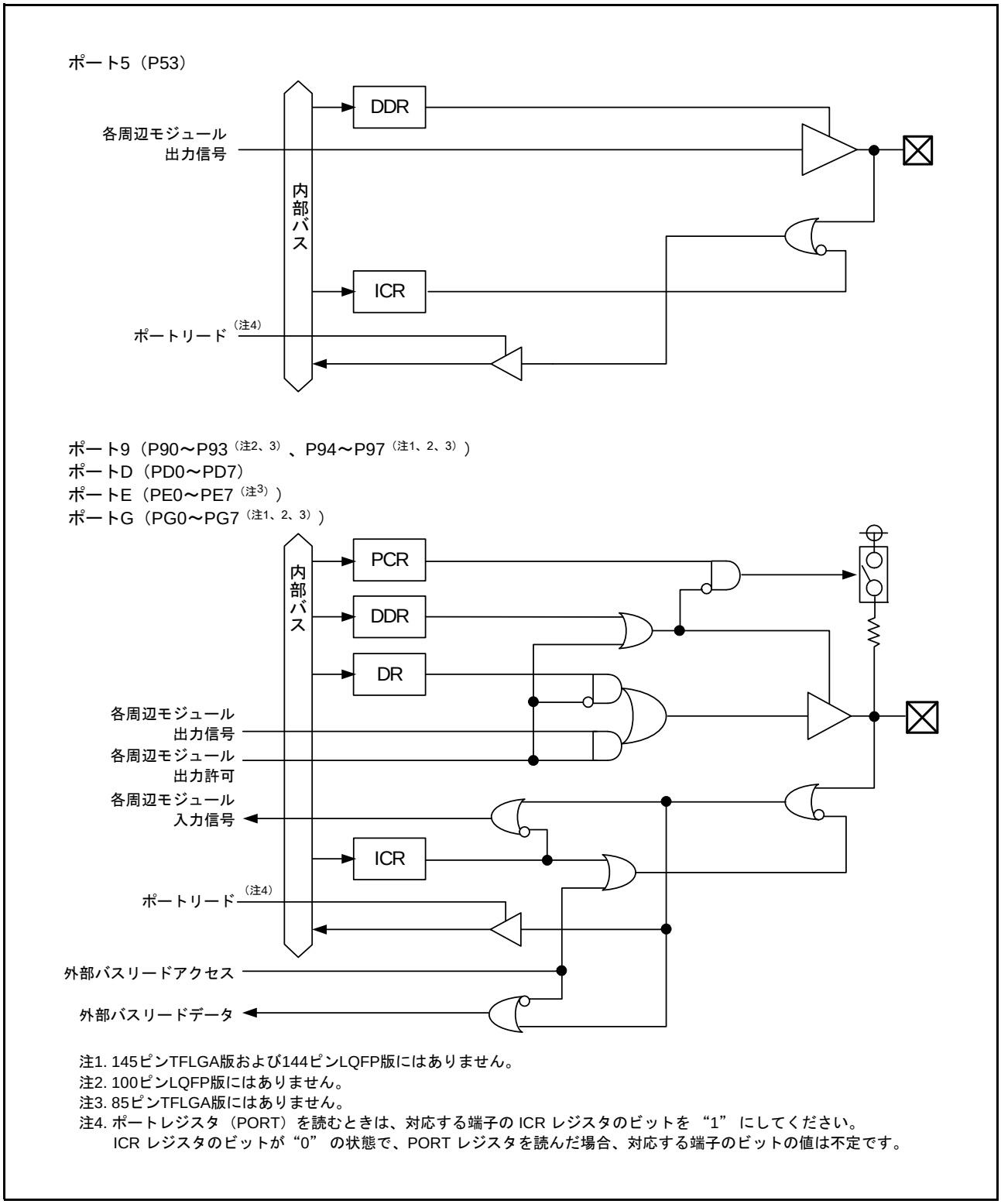
注1. 145ピンTFLGA版および144ピンLQFP版にはありません。
注2. 100ピンLQFP版にはありません。
注3. 85ピンTFLGA版にはありません。
注4. ポートレジスタ（PORT）を読むときは、対応する端子の ICR レジスタのビットを “1” にしてください。
ICR レジスタのビットが“0” の状態で、PORT レジスタを読んだ場合、対応する端子のビットの値は不定です。
注5. NMOSオープンドレイン出力の制御信号です。

図 17.1　入出力ポートの構成 (1)



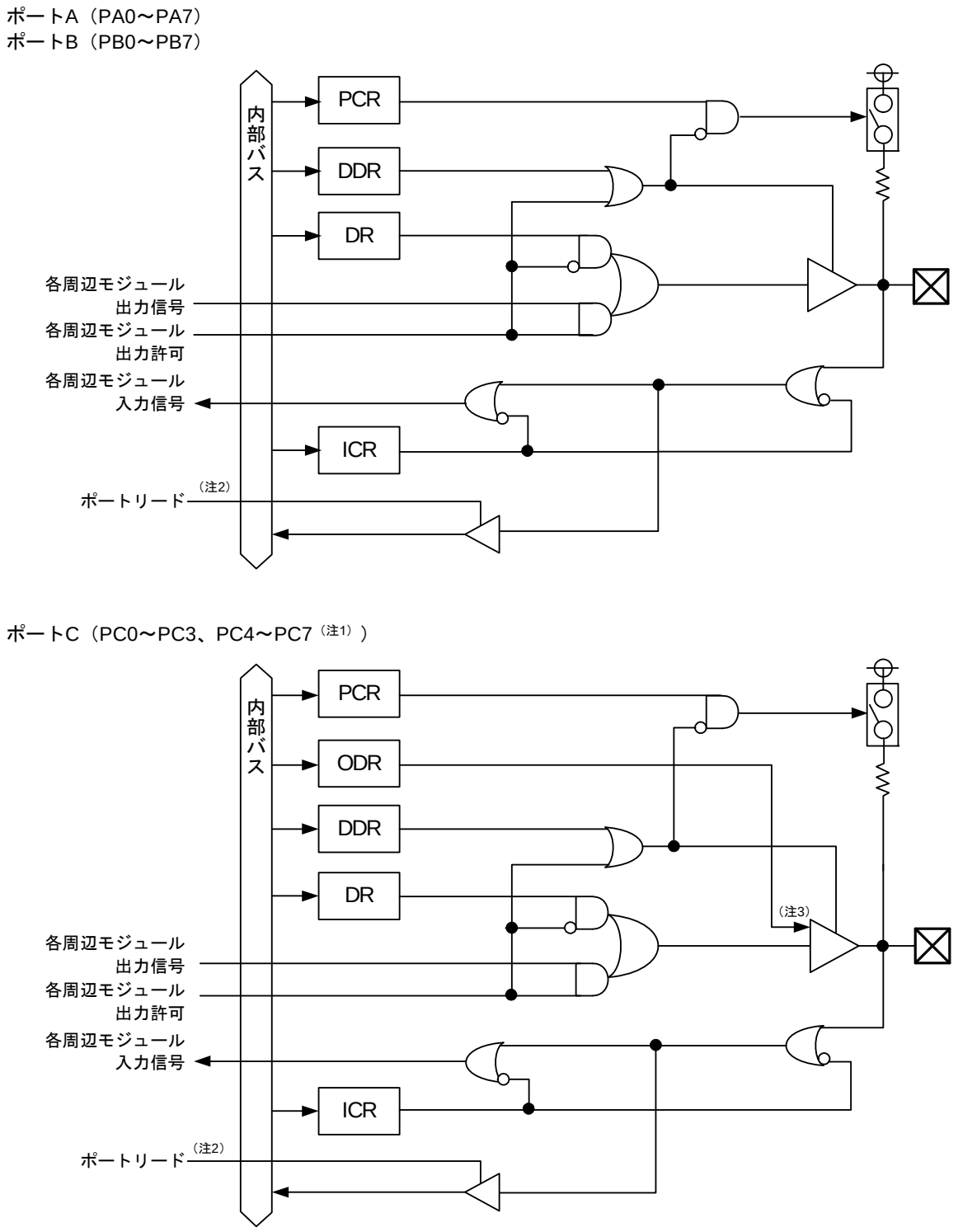
注1. 145ピンTFLGA版および144ピンLQFP版にはありません。
注2. 100ピンLQFP版にはありません。
注3. 85ピンTFLGA版にはありません。
注4. ポートレジスタ（PORT）を読むときは、対応する端子の ICR レジスタのビットを “1” にしてください。
ICR レジスタのビットが“0” の状態で、PORT レジスタを読んだ場合、対応する端子のビットの値は不定です。

図 17.2 入出力ポートの構成 (2)



注1. 145ピンTFLGA版および144ピンLQFP版にはありません。
注2. 100ピンLQFP版にはありません。
注3. 85ピンTFLGA版にはありません。
注4. ポートレジスタ（PORT）を読むときは、対応する端子の ICR レジスタのビットを “1” にしてください。
ICR レジスタのビットが“0” の状態で、PORT レジスタを読んだ場合、対応する端子のビットの値は不定です。

図 17.3 入出力ポートの構成 (3)



注1. 85ピンTFLGA版にはありません。
注2. ポートレジスタ（PORT）を読むときは、対応する端子の ICR レジスタのビットを “1” にしてください。
ICR レジスタのビットが“0” の状態で、PORT レジスタを読んだ場合、対応する端子のビットの値は不定です。
注3. NMOSオープンドレイン出力の制御信号です。

図 17.4 入出力ポートの構成 (4)

17.6 使用上の注意事項

17.6.1 入力バッファコントロールレジスタ（PORTn.ICR）の設定

PORTn.ICR レジスタの設定を変更する場合、端子の状態によっては内部にエッジが発生し、意図しない動作をすることがあります。PORTn.ICR レジスタの設定を変更する場合は、端子を High に固定した状態で行うか、当該端子に割り当てられている周辺モジュールの設定で、入力機能を無効にした状態で行ってください。

PORTn.ICR レジスタの設定で入力を有効にした場合、複数の入力機能が割り当てられている端子では、そのすべての入力機能に端子状態が反映されます。未使用の入力機能は各周辺モジュール側の設定に注意してください。

端子を出力端子として使用する場合、PORTn.ICR レジスタの設定で入力を有効にすると出力データが端子状態として取り込まれます。出力として使用する端子は、PORTn.ICR レジスタの設定で入力を無効にしてください。

17.6.2 ポートファンクションレジスタの設定

ポートファンクションレジスタは、I/O ポートの制御を行います。各端子の入出力の設定は、入出力先を選択後に入出力を有効にしてください。

入力端子を変更する場合、変更前の端子レベルと変更後の端子レベルが異なると内部にエッジが発生し、意図しない動作をすることがあります。入力端子を変更する場合は、以下の手順で行ってください。

1. 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を無効にする。
2. ポートファンクションレジスタの設定によって、入力端子を選択する。
3. 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を有効にする。

出力端子を変更する場合、変更前の端子設定と変更後の端子設定が異なると端子から内部エッジが出力されて、意図しない動作をすることがあります。出力端子を変更する場合は、以下の手順で行ってください。

1. 変更しようとする端子機能に該当する周辺モジュールの設定で、出力機能を無効にする。
2. ポートファンクションレジスタの設定により、出力端子を選択する。
3. 変更しようとする端子機能に該当する周辺モジュールの設定で、出力機能を有効にする。

1 つの端子機能に対して、入出力先を変更する端子選択ビット、および端子機能を有効にする許可ビットの両方が存在する場合、端子選択ビットで端子の入出力先を設定した後に、許可ビットで端子機能を有効にしてください。

17.6.3 出力許可設定の切り替えについて

各ポートの出力許可設定の初期状態は禁止のため、端子は Hi-Z 状態になっています。出力許可設定の切り替えを行うと、各ポートは Hi-Z 状態から出力（High 出力または Low 出力）に切り替わりますが、このとき、LSI 内部の状態により、端子からエッジが出力される場合があります。

エッジを発生させないようにするためには、あらかじめポートデータレジスタ（DR）に値を設定する必要があります。

Hi-Z 状態から High 出力に切り替える場合は、以下の手順で行ってください。

1. 出力端子のポートデータレジスタ（DR）のビットを “1”（LSI 内部の状態を High 側にセット）にする。
2. ポートファンクションレジスタの設定により、出力端子を選択する。
3. 出力端子の機能を出力許可設定に切り替える。

Hi-Z 状態から Low 出力に切り替える場合は、以下の手順で行ってください。

1 出力端子のポートデータレジスタ（DR）のビットを “0”（LSI 内部の状態を Low 側にセット）にする。
2. ポートファンクションレジスタの設定により、出力端子を選択する。
3. 出力端子の機能を出力許可設定に切り替える。

17.6.4 TDO が割り当てられている端子のオープンドレイン設定について

RX62N、RX621 グループでは、TDO が割り当てられている端子設定をオープンドレインに設定すると 、TDO として使用しているかに関わらずオープンドレイン出力となり、オンチップエミュレータの通信ができなくなります。

RX62N、RX621 グループでは、145 ピン TFLGA、144 ピン LQFP、100 ピン LQFP、85 ピン TFLGA の TDO 端子 は P26 に割り当てられており、P26 をオープンドレイン出力（P2.ODR.B6 = “1”）に設定すると、TDO 端子を使用した通信ができなくなります。そのため、145 ピン TFLGA、144 ピン LQFP、100 ピン LQFP、85 ピン TFLGA でオンチップエミュレータを使用する場合は、P26 をオープンドレイン出力に設定しないでください。

17.6.5 ポートレジスタ（PORT）を読むときの注意事項

ポートレジスタ（PORT）を読むときは、あらかじめ、対応する端子の入力バッファを有効にするために PORTn.ICR レジスタの対応するビットを “1” にしてください。

PORTn.ICR レジスタのビットが “0” の状態で、PORTn.PORT レジスタを読んだ場合、対応するビットの値は不定です。

18. マルチファンクションタイマパルスユニット 2（MTU2）

18.1 概要

RX62N グループ、RX621 グループは、6 チャネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット（MTU）を 2 ユニット（ユニット 0：チャネル 0 ～ 5、ユニット 1：チャネル 6 ～ 11）、合計 12 チャネル内蔵しています。

表 18.1 に MTU の仕様を、表 18.2 に MTU（ユニット 0）の機能一覧を、表 18.3 に MTU（ユニット 1）の機能一覧を示します。また、図 18.1 に MTU（ユニット 0）のブロック図を、図 18.2 に MTU（ユニット 1）のブロック図を示します。

なお、本章はユニット 0 およびユニット 1 は同一機能であるため、チャネル 0 ～ 5 の各機能はチャネル 6 ～ 11 の各機能に対応しています。表記上ユニット 0 についての説明がある場合は、適宜ユニット 1 のチャネルに読み替えてください。

表 18.1　MTUの仕様

項目	内容
パルス入出力	最大16本
パルス入力	3本
カウントクロック	チャネルごとに8または7種類（チャネル5と11は4種類）
設定可能動作	【チャネル0～4、6～10】 ● コンペアマッチによる波形出力 ● インプットキャプチャ機能 ● カウンタクリア動作 ● 複数のタイマカウンタ（TCNT）への同時書き込み ● コンペアマッチ／インプットキャプチャによる同時クリア ● カウンタの同期動作による各レジスタの同期入出力 ● 同期動作と組み合わせることによる最大12相のPWM出力 ● カスケード接続動作
	【チャネル0、3、4、6、9、10】 ● バッファ動作を設定可能 ● 相補PWM、リセット同期PWMを用いたAC同期モータ（ブラシレスDCモータ）駆動モードが設定可能で、2種類（チョッピング、レベル）の波形出力が選択可能
	【チャネル1、2、7、8】 ● 個々に位相計数モードを設定可能
	【チャネル3、4、9、10】 ● 連動動作による相補PWM、リセットPWM3相のポジ、ネガ計6相の出力が可能
	【チャネル5、11】 ● デッドタイム補償用カウンタ機能
相補PWMモード	● カウンタの山／谷での割り込み ● A/Dコンバータの変換開始トリガを間引き機能
割り込み要因	28種類
バッファ動作	レジスタデータの自動転送
トリガ生成	プログラマブルパルスジェネレータ（PPG）の出力トリガを生成可能
	A/Dコンバータの変換スタートトリガを生成可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

表18.2　MTUの機能一覧（ユニット0）(1 / 2)

項　目		MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
カウントクロック		PCLK／1 PCLK／4 PCLK／16 PCLK／64 MTCLKA MTCLKB MTCLKC MTCLKD	PCLK／1 PCLK／4 PCLK／16 PCLK／64 PCLK／256 MTCLKA MTCLKB	PCLK／1 PCLK／4 PCLK／16 PCLK／64 PCLK／1024 MTCLKA MTCLKB MTCLKC	PCLK／1 PCLK／4 PCLK／16 PCLK／64 PCLK／256 PCLK／1024 MTCLKA MTCLKB	PCLK／1 PCLK／4 PCLK／16 PCLK／64 PCLK／256 PCLK／1024 MTCLKA MTCLKB	PCLK／1 PCLK／4 PCLK／16 PCLK／64
ジェネラルレジスタ（TGR）		TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ／ バッファレジスタ		TGRC TGRD TGRF	–	–	TGRC TGRD	TGRC TGRD	–
入出力端子		MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	入力端子 MTIC5U MTIC5V MTIC5W
カウンタクリア機能		TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	Low出力	○	○	○	○	○	–
	High出力	○	○	○	○	○	–
	トグル出力	○	○	○	○	○	–
インプットキャプチャ機能		○	○	○	○	○	○
同期動作		○	○	○	○	○	–
PWMモード1		○	○	○	○	○	–
PWMモード2		○	○	○	–	–	–
相補PWMモード		–	–	–	○	○	–
リセット同期PWM		–	–	–	○	○	–
AC同期モータ駆動 モード		○	–	–	○	○	–
位相計数モード		–	○	○	–	–	–
バッファ動作		○	–	–	○	○	–
デッドタイム補償用 カウンタ機能		–	–	–	–	–	○
DMACAの起動		TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	–
DTCの起動		TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャと TCNT オーバフロー／ アンダフロー	TGRの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ		TGRAの コンペアマッチ または インプット キャプチャ TGRBの コンペアマッチ またはインプット キャプチャ TGREの コンペアマッチ TGRFのコンペア マッチ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ 相補PWM モード時TCNTの アンダフロー（谷）	–

表18.2　MTUの機能一覧（ユニット0）(2 / 2)

項　目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5
PPGトリガ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	TGRA、TGRBのコンペアマッチまたはインプットキャプチャ	－	－
割り込み要因	7要因 ● コンペアマッチ／インプットキャプチャ 0A ● コンペアマッチ／インプットキャプチャ 0B ● コンペアマッチ／インプットキャプチャ 0C ● コンペアマッチ／インプットキャプチャ 0D ● コンペアマッチ0E ● コンペアマッチ0F ● オーバフロー	4要因 ● コンペアマッチ／インプットキャプチャ 1A ● コンペアマッチ／インプットキャプチャ 1B ● オーバフロー ● アンダフロー	4要因 ● コンペアマッチ／インプットキャプチャ 2A ● コンペアマッチ／インプットキャプチャ 2B ● オーバフロー ● アンダフロー	5要因 ● コンペアマッチ／インプットキャプチャ 3A ● コンペアマッチ／インプットキャプチャ 3B ● コンペアマッチ／インプットキャプチャ 3C ● コンペアマッチ／インプットキャプチャ 3D ● オーバフロー	5要因 ● コンペアマッチ／インプットキャプチャ 4A ● コンペアマッチ／インプットキャプチャ 4B ● コンペアマッチ／インプットキャプチャ 4C ● コンペアマッチ／インプットキャプチャ 4D ● オーバフロー／アンダフロー	3要因 ● コンペアマッチ／インプットキャプチャ 5U ● コンペアマッチ／インプットキャプチャ 5V ● コンペアマッチ／インプットキャプチャ 5W
A/D変換開始要求ディレイド機能	－	－	－	－	● TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	－
割り込み間引き機能	－	－	－	● TGRAのコンペアマッチ割り込みを間引き	● TCIV割り込みを間引き	－
モジュールストップ	MSTPCRA.MSTPA9（注1）					

【記号説明】　○：可能
－：不可能

注1.　モジュールストップの詳細については、「9.　消費電力低減機能」を参照してください。

表18.3　MTUの機能一覧（ユニット1）(1 / 2)

項　目		MTU6	MTU7	MTU8	MTU9	MTU10	MTU11
カウントクロック		PCLK／1 PCLK／4 PCLK／16 PCLK／64 MTCLKE MTCLKF MTCLKG MTCLKH	PCLK／1 PCLK／4 PCLK／16 PCLK／64 PCLK／256 MTCLKE MTCLKF	PCLK／1 PCLK／4 PCLK／16 PCLK／64 PCLK／1024 MTCLKE MTCLKF MTCLKG	PCLK／1 PCLK／4 PCLK／16 PCLK／64 PCLK／256 PCLK／1024 MTCLKE MTCLKF	PCLK／1 PCLK／4 PCLK／16 PCLK／64 PCLK／256 PCLK／1024 MTCLKE MTCLKF	PCLK／1 PCLK／4 PCLK／16 PCLK／64
ジェネラルレジスタ（TGR）		TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ／バッファレジスタ		TGRC TGRD TGRF	－	－	TGRC TGRD	TGRC TGRD	－
入出力端子		MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B	MTIOC8A MTIOC8B	MTIOC9A MTIOC9B MTIOC9C MTIOC9D	MTIOC10A MTIOC10B MTIOC10C MTIOC10D	入力端子 MTIC11U MTIC11V MTIC11W
カウンタクリア機能		TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ
コンペアマッチ出力	Low出力	○	○	○	○	○	－
	High出力	○	○	○	○	○	－
	トグル出力	○	○	○	○	○	－
インプットキャプチャ機能		○	○	○	○	○	○
同期動作		○	○	○	○	○	－
PWMモード1		○	○	○	○	○	－
PWMモード2		○	○	○	－	－	－
相補PWMモード		－	－	－	○	○	－
リセット同期PWM		－	－	－	○	○	－
AC同期モータ駆動モード		○	－	－	○	○	－
位相計数モード		－	○	○	－	－	－
バッファ動作		○	－	－	○	○	－
デッドタイム補償用カウンタ機能		－	－	－	－	－	○
DMACAの起動		TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	－
DTCの起動		TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャ	TGRの コンペアマッチ または インプット キャプチャとTCNT オーバフロー／ アンダフロー	TGRの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ		TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ 相補PWM モード時TCNTの アンダフロー（谷）	－
PPGトリガ		TGRA、 TGRBの コンペアマッチ または インプット キャプチャ	TGRA、 TGRBの コンペアマッチ または インプット キャプチャ	TGRA、 TGRBの コンペアマッチ または インプット キャプチャ	TGRA、 TGRBの コンペアマッチ または インプット キャプチャ	－	－

表18.3　MTUの機能一覧（ユニット1）(2 / 2)

項　目	MTU6	MTU7	MTU8	MTU9	MTU10	MTU11
割り込み要因	7要因 ● コンペアマッチ／インプットキャプチャ 6A ● コンペアマッチ／インプットキャプチャ 6B ● コンペアマッチ／インプットキャプチャ 6C ● コンペアマッチ／インプットキャプチャ 6D ● コンペアマッチ6E ● コンペアマッチ6F ● オーバフロー	4要因 ● コンペアマッチ／インプットキャプチャ 7A ● コンペアマッチ／インプットキャプチャ 7B ● オーバフロー ● アンダフロー	4要因 ● コンペアマッチ／インプットキャプチャ 8A ● コンペアマッチ／インプットキャプチャ 8B ● ● オーバフロー ● アンダフロー	5要因 ● コンペアマッチ／インプットキャプチャ 9A ● コンペアマッチ／インプットキャプチャ 9B ● コンペアマッチ／インプットキャプチャ 9C ● コンペアマッチ／インプットキャプチャ 9D ● オーバフロー	5要因 ● コンペアマッチ／インプットキャプチャ 10A ● コンペアマッチ／インプットキャプチャ 10B ● コンペアマッチ／インプットキャプチャ 10C ● コンペアマッチ／インプットキャプチャ 10D ● オーバフロー／アンダフロー	3要因 ● コンペアマッチ／インプットキャプチャ 11U ● コンペアマッチ／インプットキャプチャ 11V ● コンペアマッチ／インプットキャプチャ 11W
A/D変換開始要求ディレイド機能	－	－	－	－	● TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	－
割り込み間引き機能	－	－	－	● TGRAのコンペアマッチ割り込みを間引き	● TCIV割り込みを間引き	－
モジュールストップ	MSTPCRA.MSTPA8（注1）					

【記号説明】　○：可能
－：不可能

注1.　モジュールストップの詳細については、「9.　消費電力低減機能」を参照してください。

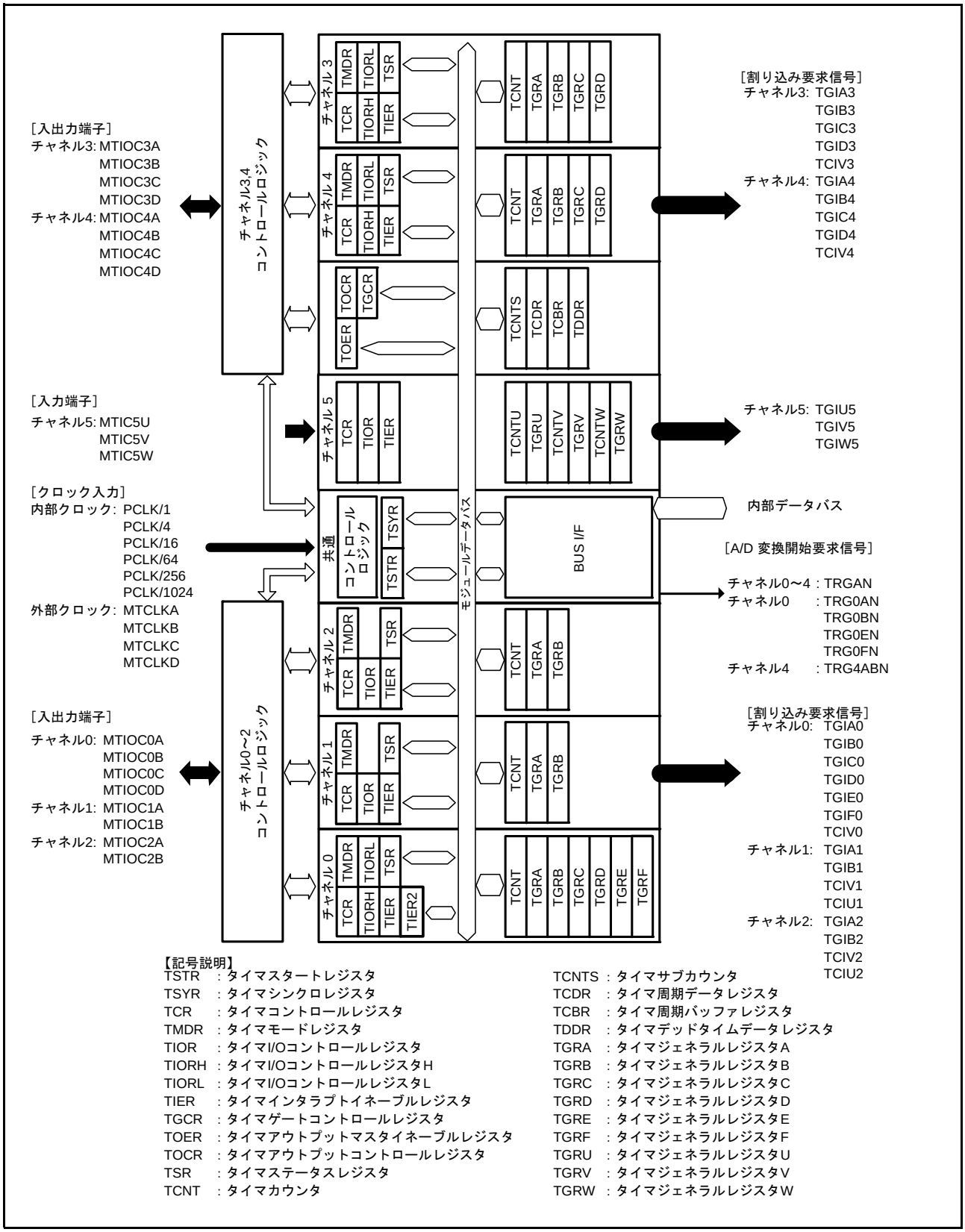


図 18.1　MTU のブロック図（ユニット 0）

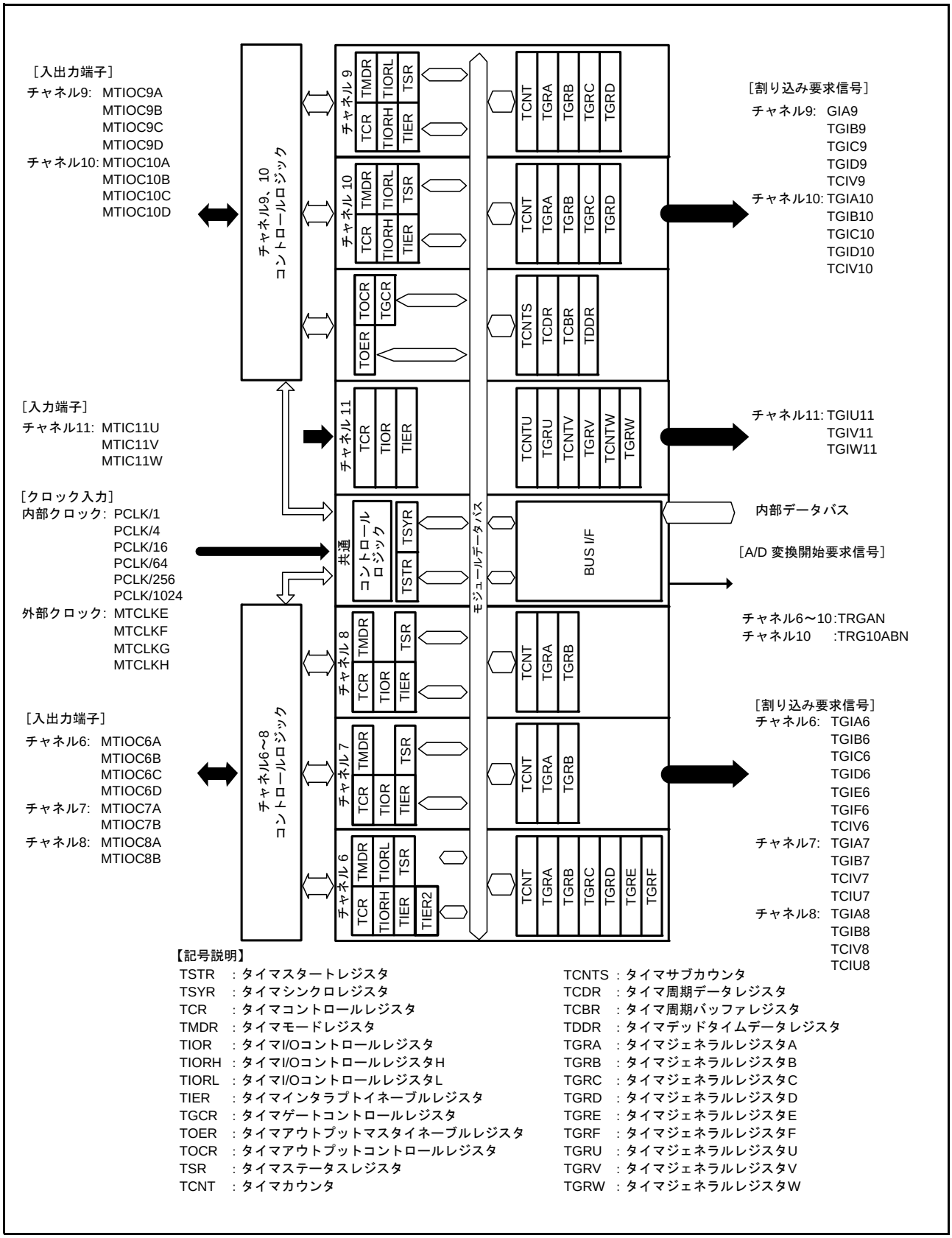


図 18.2　MTU のブロック図（ユニット 1）

表 18.4 に MTU で使用する入出力端子を示します。

表18.4　MTUの入出力端子 (1 / 2)

ユニット	チャネル	端子名	入出力	機　　能
ユニット0	共通	MTCLKA	入力	外部クロックA入力端子（チャネル1の位相計数モードA相入力）
		MTCLKB	入力	外部クロックB入力端子（チャネル1の位相計数モードB相入力）
		MTCLKC	入力	外部クロックC入力端子（チャネル2の位相計数モードA相入力）
		MTCLKD	入力	外部クロックD入力端子（チャネル2の位相計数モードB相入力）
	MTU0	MTIOC0A	入出力	TGRA0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC0B	入出力	TGRB0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC0C	入出力	TGRC0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC0D	入出力	TGRD0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU1	MTIOC1A	入出力	TGRA1のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC1B	入出力	TGRB1のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU2	MTIOC2A	入出力	TGRA2のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC2B	入出力	TGRB2のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU3	MTIOC3A	入出力	TGRA3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC3B	入出力	TGRB3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC3C	入出力	TGRC3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC3D	入出力	TGRD3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU4	MTIOC4A	入出力	TGRA4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC4B	入出力	TGRB4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC4C	入出力	TGRC4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC4D	入出力	TGRD4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU5	MTIC5U	入力	TGRU5のインプットキャプチャ入力／外部パルス入力端子
		MTIC5V	入力	TGRV5のインプットキャプチャ入力／外部パルス入力端子
		MTIC5W	入力	TGRW5のインプットキャプチャ入力／外部パルス入力端子

表18.4　MTUの入出力端子 (2 / 2)

ユニット	チャネル	端子名	入出力	機　能
ユニット1	共通	MTCLKE	入力	外部クロックE入力端子（チャネル7の位相計数モードA相入力）
		MTCLKF	入力	外部クロックF入力端子（チャネル7の位相計数モードB相入力）
		MTCLKG	入力	外部クロックG入力端子（チャネル8の位相計数モードA相入力）
		MTCLKH	入力	外部クロックH入力端子（チャネル8の位相計数モードB相入力）
	MTU6	MTIOC6A	入出力	TGRA6のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC6B	入出力	TGRB6のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC6C	入出力	TGRC6のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC6D	入出力	TGRD6のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU7	MTIOC7A	入出力	TGRA7のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC7B	入出力	TGRB7のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU8	MTIOC8A	入出力	TGRA8のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC8B	入出力	TGRB8のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU9	MTIOC9A	入出力	TGRA9のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC9B	入出力	TGRB9のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC9C	入出力	TGRC9のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC9D	入出力	TGRD9のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU10	MTIOC10A	入出力	TGRA10のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC10B	入出力	TGRB10のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC10C	入出力	TGRC10のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
		MTIOC10D	入出力	TGRD10のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	MTU11	MTIC11U	入力	TGRU11のインプットキャプチャ入力／外部パルス入力端子
		MTIC11V	入力	TGRV11のインプットキャプチャ入力／外部パルス入力端子
		MTIC11W	入力	TGRW11のインプットキャプチャ入力／外部パルス入力端子

18.2 レジスタの説明

表 18.5 に MTU のレジスター一覧を示します。

表18.5　MTUのレジスター覧 (1 / 5)

ユニット	チャネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
ユニット0	MTU0	タイマコントロールレジスタ	TCR	00h	0008 8700h	8
		タイマモードレジスタ	TMDR	00h	0008 8701h	8
		タイマI/Oコントロールレジスタ H	TIORH	00h	0008 8702h	8
		タイマI/Oコントロールレジスタ L	TIORL	00h	0008 8703h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8704h	8
		タイマステータスレジスタ	TSR	C0h	0008 8705h	8
		タイマカウンタ	TCNT	0000h	0008 8706h	16
		タイマジェネラルレジスタ A	TGRA	FFFFh	0008 8708h	16
		タイマジェネラルレジスタ B	TGRB	FFFFh	0008 870Ah	16
		タイマジェネラルレジスタ C	TGRC	FFFFh	0008 870Ch	16
		タイマジェネラルレジスタ D	TGRD	FFFFh	0008 870Eh	16
		タイマジェネラルレジスタ E	TGRE	FFFFh	0008 8720h	16
		タイマジェネラルレジスタ F	TGRF	FFFFh	0008 8722h	16
		タイマインタラプトイネーブルレジスタ 2	TIER2	00h	0008 8724h	8
		タイマバッファ動作転送モードレジスタ	TBTM	00h	0008 8726h	8
	MTU1	タイマコントロールレジスタ	TCR	00h	0008 8780h	8
		タイマモードレジスタ	TMDR	00h	0008 8781h	8
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 8782h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8784h	8
		タイマステータスレジスタ	TSR	C0h	0008 8785h	8
		タイマカウンタ	TCNT	0000h	0008 8786h	16
		タイマジェネラルレジスタ A	TGRA	FFFFh	0008 8788h	16
		タイマジェネラルレジスタ B	TGRB	FFFFh	0008 878Ah	16
		タイマインプットキャプチャコントロールレジスタ	TICCR	00h	0008 8790h	8
	MTU2	タイマコントロールレジスタ	TCR	00h	0008 8800h	8
		タイマモードレジスタ	TMDR	00h	0008 8801h	8
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 8802h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8804h	8
		タイマステータスレジスタ	TSR	C0h	0008 8805 h	8
		タイマカウンタ	TCNT	0000h	0008 8806h	16
		タイマジェネラルレジスタ A	TGRA	FFFFh	0008 8808h	16
		タイマジェネラルレジスタ B	TGRB	FFFFh	0008 880Ah	16

表18.5　MTUのレジスター覧 (2 / 5)

ユニット	チャネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
ユニット0	MTU3	タイマコントロールレジスタ	TCR	00h	0008 8600h	8
		タイマモードレジスタ	TMDR	00h	0008 8602h	8
		タイマI/OコントロールレジスタH	TIORH	00h	0008 8604h	8
		タイマI/OコントロールレジスタL	TIORL	00h	0008 8605h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8608h	8
		タイマカウンタ	TCNT	0000h	0008 8610h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8618h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 861Ah	16
		タイマジェネラルレジスタC	TGRC	FFFFh	0008 8624h	16
		タイマジェネラルレジスタD	TGRD	FFFFh	0008 8626h	16
		タイマステータスレジスタ	TSR	C0h	0008 862Ch	8
		タイマバッファ動作転送モードレジスタ	TBTM	00h	0008 8638h	8
	MTU4	タイマコントロールレジスタ	TCR	00h	0008 8601h	8
		タイマモードレジスタ	TMDR	00h	0008 8603h	8
		タイマI/OコントロールレジスタH	TIORH	00h	0008 8606h	8
		タイマI/OコントロールレジスタL	TIORL	00h	0008 8607h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8609h	8
		タイマカウンタ	TCNT	0000h	0008 8612h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 861Ch	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 861Eh	16
		タイマジェネラルレジスタC	TGRC	FFFFh	0008 8628h	16
		タイマジェネラルレジスタD	TGRD	FFFFh	0008 862Ah	16
		タイマステータスレジスタ	TSR	C0h	0008 862Dh	8
		タイマバッファ動作転送モードレジスタ	TBTM	00h	0008 8639h	8
		タイマA/D変換開始要求コントロールレジスタ	TADCR	0000h	0008 8640h	16
		タイマA/D変換開始要求周期設定レジスタA	TADCORA	FFFFh	0008 8644h	16
		タイマA/D変換開始要求周期設定レジスタB	TADCORB	FFFFh	0008 8646h	16
		タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	FFFFh	0008 8648h	16
		タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	FFFFh	0008 864Ah	16
	MTU5	タイマカウンタU	TCNTU	0000h	0008 8880h	16
		タイマジェネラルレジスタU	TGRU	FFFFh	0008 8882h	16
		タイマコントロールレジスタU	TCRU	00h	0008 8884h	8
		タイマI/OコントロールレジスタU	TIORU	00h	0008 8886h	8
		タイマカウンタV	TCNTV	0000h	0008 8890h	16
		タイマジェネラルレジスタV	TGRV	FFFFh	0008 8892h	16
		タイマコントロールレジスタV	TCRV	00h	0008 8894h	8
		タイマI/OコントロールレジスタV	TIORV	00h	0008 8896h	8
		タイマカウンタW	TCNTW	0000h	0008 88A0h	16
		タイマジェネラルレジスタW	TGRW	FFFFh	0008 88A2h	16
		タイマコントロールレジスタW	TCRW	00h	0008 88A4h	8
		タイマI/OコントロールレジスタW	TIORW	00h	0008 88A6h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 88B2h	8
		タイマスタートレジスタ	TSTR	00h	0008 88B4h	8
		タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	00h	0008 88B6h	8

表18.5　MTUのレジスター覧 (3 / 5)

ユニット	チャネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
ユニット0	MTUA	タイマアウトプットマスタイネーブルレジスタ	TOER	C0h	0008 860A	8
		タイマゲートコントロールレジスタ	TGCR	80h	0008 860D	8
		タイマアウトプットコントロールレジスタ1	TOCR1	00h	0008 860E	8
		タイマアウトプットコントロールレジスタ2	TOCR2	00h	0008 860Fh	8
		タイマ周期データレジスタ	TCDR	FFFFh	0008 8614h	16
		タイマデッドタイムデータレジスタ	TDDR	FFFFh	0008 8616h	16
		タイマサブカウンタ	TCNTS	0000h	0008 8620h	16
		タイマ周期バッファレジスタ	TCBR	FFFFh	0008 8622h	16
		タイマ割り込み間引き設定レジスタ	TITCR	00h	0008 8630h	8
		タイマ割り込み間引き回数カウンタ	TITCNT	00h	0008 8631h	8
		タイマバッファ転送設定レジスタ	TBTER	00h	0008 8632h	8
		タイマデッドタイムイネーブルレジスタ	TDER	01h	0008 8634h	8
		タイマアウトプットレベルバッファレジスタ	TOLBR	00h	0008 8636h	8
		タイマ波形コントロールレジスタ	TWCR	00h	0008 8660h	8
		タイマスタートレジスタ	TSTR	00h	0008 8680h	8
		タイマシンクロレジスタ	TSYR	00h	0008 8681h	8
		タイマリードライトイネーブルレジスタ	TRWER	01h	0008 8684h	8
ユニット1	MTU6	タイマコントロールレジスタ	TCR	00h	0008 8B00h	8
		タイマモードレジスタ	TMDR	00h	0008 8B01h	8
		タイマI/OコントロールレジスタH	TIORH	00h	0008 8B02h	8
		タイマI/OコントロールレジスタL	TIORL	00h	0008 8B03h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8B04h	8
		タイマステータスレジスタ	TSR	C0h	0008 8B05h	8
		タイマカウンタ	TCNT	0000h	0008 8B06h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8B08h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 8B0Ah	16
		タイマジェネラルレジスタC	TGRC	FFFFh	0008 8B0Ch	16
		タイマジェネラルレジスタD	TGRD	FFFFh	0008 8B0Eh	16
		タイマジェネラルレジスタE	TGRE	FFFFh	0008 8B20h	16
		タイマジェネラルレジスタF	TGRF	FFFFh	0008 8B22h	16
		タイマインタラプトイネーブルレジスタ2	TIER2	00h	0008 8B24h	8
		タイマバッファ動作転送モードレジスタ	TBTM	00h	0008 8B26h	8
	MTU7	タイマコントロールレジスタ	TCR	00h	0008 8B80h	8
		タイマモードレジスタ	TMDR	00h	0008 8B81h	8
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 8B82h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8B84h	8
		タイマステータスレジスタ	TSR	C0h	0008 8B85h	8
		タイマカウンタ	TCNT	0000h	0008 8B86h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8B88h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 8B8Ah	16
		タイマインプットキャプチャコントロールレジスタ	TICCR	00h	0008 8B90h	8

表18.5　MTUのレジスター覧 (4 / 5)

ユニット	チャネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
ユニット1	MTU8	タイマコントロールレジスタ	TCR	00h	0008 8C00h	8
		タイマモードレジスタ	TMDR	00h	0008 8C01h	8
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 8C02h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8C04h	8
		タイマステータスレジスタ	TSR	C0h	0008 8C05h	8
		タイマカウンタ	TCNT	0000h	0008 8C06h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8C08h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 8C0Ah	16
	MTU9	タイマコントロールレジスタ	TCR	00h	0008 8A00h	8
		タイマモードレジスタ	TMDR	00h	0008 8A02h	8
		タイマI/OコントロールレジスタH	TIORH	00h	0008 8A04h	8
		タイマI/OコントロールレジスタL	TIORL	00h	0008 8A05h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8A08h	8
		タイマカウンタ	TCNT	0000h	0008 8A10h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8A18h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 8A1Ah	16
		タイマジェネラルレジスタC	TGRC	FFFFh	0008 8A24h	16
		タイマジェネラルレジスタD	TGRD	FFFFh	0008 8A26h	16
		タイマステータスレジスタ	TSR	C0h	0008 8A2Ch	8
		タイマバッファ動作転送モードレジスタ	TBTM	00h	0008 8A38h	8
	MTU10	タイマコントロールレジスタ	TCR	00h	0008 8A01h	8
		タイマモードレジスタ	TMDR	00h	0008 8A03h	8
		タイマI/OコントロールレジスタH	TIORH	00h	0008 8A06h	8
		タイマI/OコントロールレジスタL	TIORL	00h	0008 8A07h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8A09h	8
		タイマカウンタ	TCNT	0000h	0008 8A12h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8A1Ch	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 8A1Eh	16
		タイマジェネラルレジスタC	TGRC	FFFFh	0008 8A28h	16
		タイマジェネラルレジスタD	TGRD	FFFFh	0008 8A2Ah	16
		タイマステータスレジスタ	TSR	C0h	0008 8A2Dh	8
		タイマバッファ動作転送モードレジスタ	TBTM	00h	0008 8A39h	8
		タイマA/D変換開始要求コントロールレジスタ	TADCR	0000h	0008 8A40h	16
		タイマA/D変換開始要求周期設定レジスタA	TADCORA	FFFFh	0008 8A44h	16
		タイマA/D変換開始要求周期設定レジスタB	TADCORB	FFFFh	0008 8A46h	16
		タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	FFFFh	0008 8A48h	16
		タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	FFFFh	0008 8A4Ah	16

表18.5　MTUのレジスター覧 (5 / 5)

ユニット	チャネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
ユニット1	MTU11	タイマカウンタU	TCNTU	0000h	0008 8C80h	16
		タイマジェネラルレジスタU	TGRU	FFFFh	0008 8C82h	16
		タイマコントロールレジスタU	TCRU	00h	0008 8C84h	8
		タイマI/OコントロールレジスタU	TIORU	00h	0008 8C86h	8
		タイマカウンタV	TCNTV	0000h	0008 8C90h	16
		タイマジェネラルレジスタV	TGRV	FFFFh	0008 8C92h	16
		タイマコントロールレジスタV	TCRV	00h	0008 8C94h	8
		タイマI/OコントロールレジスタV	TIORV	00h	0008 8C96h	8
		タイマカウンタW	TCNTW	0000h	0008 8CA0h	16
		タイマジェネラルレジスタW	TGRW	FFFFh	0008 8CA2h	16
		タイマコントロールレジスタW	TCRW	00h	0008 8CA4h	8
		タイマI/OコントロールレジスタW	TIORW	00h	0008 8CA6h	8
		タイマインタラプトイネーブルレジスタ	TIER	00h	0008 8CB2h	8
		タイマスタートレジスタ	TSTR	00h	0008 8CB4h	8
		タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	00h	0008 8CB6h	8
	MTUB	タイマアウトプットマスタイネーブルレジスタ	TOER	C0h	0008 8A0Ah	8
		タイマゲートコントロールレジスタ	TGCR	80h	0008 8A0Dh	8
		タイマアウトプットコントロールレジスタ1	TOCR1	00h	0008 8A0Eh	8
		タイマアウトプットコントロールレジスタ2	TOCR2	00h	0008 8A0Fh	8
		タイマ周期データレジスタ	TCDR	FFFFh	0008 8A14h	16
		タイマデッドタイムデータレジスタ	TDDR	FFFFh	0008 8A16h	16
		タイマサブカウンタ	TCNTS	0000h	0008 8A20h	16
		タイマ周期バッファレジスタ	TCBR	FFFFh	0008 8A22h	16
		タイマ割り込み間引き設定レジスタ	TITCR	00h	0008 8A30h	8
		タイマ割り込み間引き回数カウンタ	TITCNT	00h	0008 8A31h	8
		タイマバッファ転送設定レジスタ	TBTER	00h	0008 8A32h	8
		タイマデッドタイムイネーブルレジスタ	TDER	01h	0008 8A34h	8
		タイマアウトプットレベルバッファレジスタ	TOLBR	00h	0008 8A36h	8
		タイマ波形コントロールレジスタ	TWCR	00h	0008 8A60h	8
		タイマスタートレジスタ	TSTR	00h	0008 8A80h	8
		タイマシンクロレジスタ	TSYR	00h	0008 8A81h	8
		タイマリードライトイネーブルレジスタ	TRWER	01h	0008 8A84h	8

18.2.1 タイマコントロールレジスタ（TCR）

アドレス　MTU0.TCR 0008 8700h、MTU1.TCR 0008 8780h、MTU2.TCR 0008 8800h、MTU3.TCR 0008 8600h、MTU4.TCR 0008 8601h、MTU5.TCRU 0008 8884h、MTU5.TCRV 0008 8894h、MTU5.TCRW 0008 88A4h、MTU6.TCR 0008 8B00h、MTU7.TCR 0008 8B80h、MTU8.TCR 0008 8C00h、MTU9.TCR 0008 8A00h、MTU10.TCR 0008 8A01h、MTU11.TCRU 0008 8C84h、MTU11.TCRV 0008 8C94h、MTU11.TCRW 0008 8CA4h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機　能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表18.8～表18.12を参照してください。	R/W
b4-b3	CKEG[1:0] （注1）	クロックエッジ選択ビット	b4 b3 0 0：立ち上がりエッジでカウント 0 1：立ち下がりエッジでカウント 1 x：両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表18.6、表18.7を参照してください。	R/W

記号説明　　x：Don't care
注1.　チャネル5、11では、ビット4、3は予約ビットです。

TCR レジスタは、各チャネルの TCNT を制御する 8 ビットの読み出し／書き込み可能なレジスタです。MTU には、チャネル 0 ～ 4、6 ～ 10 に各 1 本、チャネル 5 とチャネル 11 には TCRU/V/W の 3 本、計 16 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット（タイマプリスケーラ選択ビット）

TCNT のカウンタクロックを選択します。各チャネル独立にクロックソースを選択することができます。詳細は表 18.8 ～表 18.12 を参照してください。

CKEG[1:0] ビット（クロックエッジ選択ビット）

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1 ／ 2 になります（例：PCLK ／ 4 の両エッジ＝ PCLK ／ 2 の立ち上がりエッジ）。チャネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが PCLK ／ 4 もしくはそれより遅い場合に有効です。入力クロックに PCLK ／ 1、あるいは他のチャネルのオーバフロー／アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット（カウンタクリアビット）

TCNT のカウンタクリア要因を選択します。詳細は表 18.6、表 18.7 を参照してください。

表18.6　CCLR[2:0]（チャネル0、3、4、6、9、10）

チャネル	ビット7	ビット6	ビット5	説　明
	CCLR2	CCLR1	CCLR0	
0、3、4 6、9、10	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ／インプットキャプチャでTCNTクリア（注2）
	1	1	0	TGRDのコンペアマッチ／インプットキャプチャでTCNTクリア（注2）
	1	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）

注1.　同期動作の設定は、TSYR.SYNCビットを“1”にすることにより行います。
注2.　TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNTはクリアされません。
注3.　チャネル5、11では、ビット7～5は予約ビットです。

表18.7　CCLR[2:0]（チャネル1、2、7、8）

チャネル	ビット7	ビット6	ビット5	説　明
	予約ビット（注2）	CCLR1	CCLR0	
1、2、7、8	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ／インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ／インプットキャプチャで TCNT クリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアで TCNT をクリア（注 1）

注1.　同期動作の設定は、TSYR.SYNCビットを“1”にすることにより行います。
注2.　チャネル1、2、7、8ではビット7は予約ビットです。読むと常に0が読めます。書く場合、“0”としてください。
注3.　チャネル5、11では、ビット7～5は予約ビットです。

表18.8　TPSC[2:0]（チャネル0、6）

チャネル	ビット2	ビット1	ビット0	説　明
	TPSC2	TPSC1	TPSC0	
0、6	0	0	0	内部クロック：PCLK ／ 1 でカウント
	0	0	1	内部クロック：PCLK ／ 4 でカウント
	0	1	0	内部クロック：PCLK ／ 16 でカウント
	0	1	1	内部クロック：PCLK ／ 64 でカウント
	1	0	0	外部クロック：MTCLKn 端子入力でカウント（n=A,E）
	1	0	1	外部クロック：MTCLKn 端子入力でカウント（n=B,F）
	1	1	0	外部クロック：MTCLKn 端子入力でカウント（n=C,G）
	1	1	1	外部クロック：MTCLKn 端子入力でカウント（n=D,H）

表18.9　TPSC[2:0]（チャネル1、7）

チャネル	ビット2	ビット1	ビット0	説　明
	TPSC2	TPSC1	TPSC0	
1、7	0	0	0	内部クロック：PCLK／1でカウント
	0	0	1	内部クロック：PCLK／4でカウント
	0	1	0	内部クロック：PCLK／16でカウント
	0	1	1	内部クロック：PCLK／64でカウント
	1	0	0	外部クロック：MTCLKn端子入力でカウント（n=A,E）
	1	0	1	外部クロック：MTCLKn端子入力でカウント（n=B,F）
	1	1	0	内部クロック：PCLK／256でカウント
	1	1	1	TCNTnのオーバフロー／アンダフローでカウント（n=2,8）

注.　チャネル1、7が位相計数モード時、この設定は無効になります。

表18.10　TPSC[2:0]（チャネル2、8）

チャネル	ビット2	ビット1	ビット0	説　明
	TPSC2	TPSC1	TPSC0	
2、8	0	0	0	内部クロック：PCLK／1でカウント
	0	0	1	内部クロック：PCLK／4でカウント
	0	1	0	内部クロック：PCLK／16でカウント
	0	1	1	内部クロック：PCLK／64でカウント
	1	0	0	外部クロック：MTCLKn端子入力でカウント（n=A,E）
	1	0	1	外部クロック：MTCLKn端子入力でカウント（n=B,F）
	1	1	0	外部クロック：MTCLKn端子入力でカウント（n=C,G）
	1	1	1	内部クロック：PCLK／1024でカウント

注.　チャネル2、8が位相計数モード時、この設定は無効になります。

表18.11　TPSC[2:0]（チャネル3、4、9、10）

チャネル	ビット2	ビット1	ビット0	説　明
	TPSC2	TPSC1	TPSC0	
3、4、9、10	0	0	0	内部クロック：PCLK／1でカウント
	0	0	1	内部クロック：PCLK／4でカウント
	0	1	0	内部クロック：PCLK／16でカウント
	0	1	1	内部クロック：PCLK／64でカウント
	1	0	0	内部クロック：PCLK／256でカウント
	1	0	1	内部クロック：PCLK／1024でカウント
	1	1	0	外部クロック：MTCLKA/MTCLKE端子入力でカウント
	1	1	1	外部クロック：MTCLKB/MTCLKF端子入力でカウント

表18.12　TPSC[2:0]（チャネル5、11）

チャネル	ビット1	ビット0	説　明
	TPSC1	TPSC0	
5、11	0	0	内部クロック：PCLK／1でカウント
	0	1	内部クロック：PCLK／4でカウント
	1	0	内部クロック：PCLK／16でカウント
	1	1	内部クロック：PCLK／64でカウント

注.　チャネル5、11では、ビット2は予約ビットです。読むと常に0が読めます。書く場合、“0”としてください。

18.2.2 タイマモードレジスタ（TMDR）

アドレス　MTU0.TMDR 0008 8701h、MTU1.TMDR 0008 8781h、MTU2.TMDR 0008 8801h、MTU3.TMDR 0008 8602h、MTU4.TMDR 0008 8603h、MTU6.TMDR 0008 8B01h、MTU7.TMDR 0008 8B81h、MTU8.TMDR 0008 8C01h、MTU9.TMDR 0008 8A02h、MTU10.TMDR 0008 8A03h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BFE	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表18.13を参照してください。	R/W
b4	BFA	バッファ動作Aビット	0：TGRAとTGRCレジスタは通常動作 1：TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0：TGRBとTGRDレジスタは通常動作 1：TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0：MTUn.TGREとMTUn.TGRFは通常動作 1：MTUn.TGREとMTUn.TGRFはバッファ動作 （n＝0、6）	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR レジスタは、8 ビットの読み出し／書き込み可能なレジスタで、各チャネルの動作モードの設定を行うレジスタです。MTU には、チャネル 0 ～ 4、6 ～ 10 に各 1 本、計 10 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

表18.13　MD[3:0]ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説　明
MD3	MD2	MD1	MD0	
0	0	0	0	ノーマルモード
0	0	0	1	設定しないでください
0	0	1	0	PWMモード1
0	0	1	1	PWMモード2（注1）
0	1	0	0	位相計数モード1（注2）
0	1	0	1	位相計数モード2（注2）
0	1	1	0	位相計数モード3（注2）
0	1	1	1	位相計数モード4（注2）
1	0	0	0	リセット同期PWMモード（注3）
1	0	0	1	設定しないでください
1	0	1	x	設定しないでください
1	1	0	0	設定しないでください
1	1	0	1	相補PWMモード1（山で転送）（注3）
1	1	1	0	相補PWMモード2（谷で転送）（注3）
1	1	1	1	相補PWMモード3（山・谷で転送）（注3）

【記号説明】　x：Don't care

注1.　チャネル3、4、9、10では、PWMモード2の設定はできません。

注2.　チャネル0、3、4、6、9、10では、位相計数モードの設定はできません。

注3.　リセット同期PWMモード、相補PWMモードの設定は、チャネル3、9のみ可能です。
チャネル3、9をリセット同期PWMモードまたは相補PWMモードに設定した場合、チャネル4、10の設定は無効となり自動的にチャネル3、9の設定に従います。チャネル4、10には初期値を設定してください。
チャネル0、1、2、6、7、8では、リセット同期PWMモード、相補PWMモードの設定はできません。

BFA ビット（バッファ動作 A ビット）

TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ／アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャネル 4、10 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマインタラプトイネーブルレジスタ（MTU4.TIER、MTU10.TIER）の TGIEC ビットは “0” にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードのチャネル 3、4、9、10 のバッファ動作は、チャネル 3、9 の設定に従います。チャネル 4、10 の TMDR.BFA ビットを “0” にしてください。

TGRC を持たないチャネル 1、2、7、8 ではこのビットは予約ビットになります。読むと “0” が読めます。書く場合、“0” としてください。

相補 PWM モードの Tb 区間については、**図 18.42** を参照してください。

BFB ビット（バッファ動作 B ビット）

TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ／アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、コンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマインタラプトイネーブルレジスタ 3、4、9、10（MTU3.TIER、MTU4.TIER、MTU9.TIER、MTU10.TIER）の TGIED ビットは 0 にしてください。

また、リセット同期 PWM モードおよび相補 PWM モードのチャネル 3、4、9、10 のバッファ動作は、チャネル 3、9 の設定に従います。チャネル 4、10 の TMDR.BFB ビットを “0” にしてください。

TGRD を持たないチャネル 1、2、7、8 ではこのビットは予約ビットになります。読むと “0” が読めます。書く場合、“0” としてください。

相補 PWM モードの Tb 区間については、**図 18.42** を参照してください。

BFE ビット（バッファ動作 E ビット）

MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。ユニット 1 に関しても同様です。

チャネル 1 ～ 4、7 ～ 10 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

18.2.3 タイマ I/O コントロールレジスタ（TIOR）

- MTU0.TIORH、MTU1.TIOR、MTU2.TIOR、MTU3.TIORH、MTU4.TIORH、MTU6.TIORH、MTU7.TIOR、MTU8.TIOR、MTU9.TIORH、MTU10.TIORH

アドレス　MTU0.TIORH 0008 8702h、MTU1.TIOR 0008 8782h、MTU2.TIOR 0008 8802h、MTU3.TIORH 0008 8604h、MTU4.TIORH 0008 8606h、MTU6.TIORH 0008 8B02h、MTU7.TIOR 0008 8B82h、MTU8.TIOR 0008 8C02h、MTU9.TIORH 0008 8A04h、MTU10.TIORH 0008 8A06h

	b7	b6	b5	b4	b3	b2	b1	b0
	IOB[3:0]				IOA[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/Oコントロール A ビット	下記の表を参照してください。 MTU0.TIORH、：表18.22　MTU1.TIOR：表18.24 MTU2.TIOR：表18.25　MTU3.TIORH：表18.26 MTU4.TIORH：表18.28	R/W
b7-b4	IOB[3:0]	I/Oコントロール B ビット	下記の表を参照してください。 MTU0.TIORH：表18.14　MTU1.TIOR：表18.16 MTU2.TIOR：表18.17　MTU3.TIORH：表18.18 MTU4.TIORH：表18.20	R/W

注.　チャネル0と6、チャネル1と7、チャネル2と8、チャネル3と9、チャネル4と10、チャネル5と11はそれぞれ同一機能であるため、ここではユニット0を説明しています。

- MTU0.TIORL、MTU3.TIORL、MTU4.TIORL、MTU6.TIORL、MTU9.TIORL、MTU10.TIORL

アドレス　MTU0.TIORL 0008 8703h、MTU3.TIORL 0008 8605h、MTU4.TIORL 0008 8607h、MTU6.TIORL 0008 8B03h、MTU9.TIORL 0008 8A05h、MTU10.TIORL 0008 8A07h

	b7	b6	b5	b4	b3	b2	b1	b0
	IOD[3:0]				IOC[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/Oコントロール C ビット	下記の表を参照してください。 MTU0.TIORL：表18.23　MTU3.TIORL：表18.27 MTU4.TIORL：表18.29	R/W
b7-b4	IOD[3:0]	I/Oコントロール D ビット	下記の表を参照してください。 MTU0.TIORL：表18.15　MTU3.TIORL：表18.19 MTU4.TIORL：表18.21	R/W

注.　チャネル0と6、チャネル3と9、チャネル4と10はそれぞれ同一機能であるため、ここではユニット0を説明しています。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW、MTU11.TIORU、MTU11.TIORV、MTU11.TIORW

アドレス　MTU5.TIORU 0008 8886h、MTU5.TIORV 0008 8896h、MTU5.TIORW 0008 88A6h、
MTU11.TIORU 0008 8C86h、MTU11.TIORV 0008 8C96h、MTU11.TIORW 0008 8CA6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IOC[4:0]				
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/Oコントロール C ビット	下記の表を参照してください。 MTU5.TIORU、MTU5.TIORV、MTU5.TIORW：表18.30	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　チャネル5と11はそれぞれ同一機能であるため、ここではユニット0を説明しています。

TIOR レジスタは、TGR を制御する 8 ビットの読み出し／書き込み可能なレジスタです。MTU には、チャネル 0、3、4、6、9、10 に各 2 本、チャネル 1、2、7、8 に各 1 本、チャネル 5、11 には MTU5.TIORU/V/W、MTU11.TIORU/V/W の 6 本、計 22 本の TIOR があります。

TIOR は TMDR の設定が、ノーマルモード、PWM モード、位相計数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した（TSTR の CST ビットを “0” にした）状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、この設定は無効となり、バッファレジスタとして動作します。

表18.14　TIORH（MTU0、MTU6）

ビット7	ビット6	ビット5	ビット4	説　明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRBの機能	MTIOCnB端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネルm／カウントクロック MTUm.TCNTのカウントアップ／カウントダウンでインプットキャプチャ（m=1、7）

【記号説明】　x：Don't care　n=0、6

表18.15　TIORL（MTU0、MTU6）

ビット7	ビット6	ビット5	ビット4	説　明	
IOD3	IOD2	IOD1	IOD0	MTUn.TGRDの機能	MTIOCnD端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネルm／カウントクロックMTUm.TCNTのカウントアップ／カウントダウンでインプットキャプチャ（m=1、7）

【記号説明】　x：Don't care　n=0、6

注1.　TMDRn.BFB ビットを 1 にセットして MTUn.TGRD をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表18.16　TIOR（MTU1、MTU7）

ビット7	ビット6	ビット5	ビット4	説　明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRBの機能	MTIOCnB端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTUm.TGRCのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ（m=0、6）

【記号説明】　x：Don't care　n=1、7

表18.17　TIOR（MTU2、MTU8）

ビット7	ビット6	ビット5	ビット4	説　明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRBの機能	MTIOCnB端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=2、8

表18.18　TIORH（MTU3、MTU9）

ビット7	ビット6	ビット5	ビット4	説　明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRBの機能	MTIOCnB端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=3、9

表18.19　TIORL（MTU3、MTU9）

ビット7	ビット6	ビット5	ビット4	説　明	
IOD3	IOD2	IOD1	IOD0	MTUn.TGRDの機能	MTIOCnD端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=3、9

注.　MTUn.TMDRのBFBビットを“1”にしてMTUn.TGRDをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表18.20　TIORH（MTU4、MTU10）

ビット7	ビット6	ビット5	ビット4	説　明	
IOB3	IOB2	IOB1	IOB0	MTUn.TGRBの機能	MTIOCnB端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=4、10

表18.21　TIORL（MTU4、MTU10）

ビット7	ビット6	ビット5	ビット4	説　明	
IOD3	IOD2	IOD1	IOD0	MTUn.TGRDの機能	MTIOCnD端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=4、10

注1.　MTUn.TMDRのBFBビットを1にセットして、MTUn.TGRDをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ／アウトプットコンペアは発生しません。

表18.22　TIORH（MTU0、MTU6）

ビット3	ビット2	ビット1	ビット0	説　明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRAの機能	MTIOCnA端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1、7／カウントクロックMTU1/7.TCNTのカウントアップ／カウントダウンでインプットキャプチャ

【記号説明】　x：Don't care　n=0、6

表18.23　TIORL（MTU0、MTU6）

ビット3	ビット2	ビット1	ビット0	説　明	
IOC3	IOC2	IOC1	IOC0	MTUn.TGRCの機能	MTIOCnCの端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1、7／カウントクロックMTU1/7.TCNTのカウントアップ／カウントダウンでインプットキャプチャ

【記号説明】　x：Don't care　n=0、6

注1.　MTUn.TMDRのBFAビットを“1”にしてMTUn.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表18.24　TIOR（MTU1、MTU7）

ビット3	ビット2	ビット1	ビット0	説　明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRAの機能	MTIOCnA端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTUm.TGRCのコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ（m=0、6）

【記号説明】　x：Don't care　n=1、7

表18.25　TIOR（MTU2、MTU8）

ビット3	ビット2	ビット1	ビット0	説　明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRAの機能	MTIOCnA端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=2、8

表18.26　TIORH（MTU3、MTU9）

ビット3	ビット2	ビット1	ビット0	説　明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRAの機能	MTIOCnA端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=3、9

表18.27　TIORL（MTU3、MTU9）

ビット3	ビット2	ビット1	ビット0	説　明	
IOC3	IOC2	IOC1	IOC0	MTUn.TGRCの端子	MTIOCnC端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=3、9

注1.　MTUn.TMDRのBFAビットを“1”にしてMTUn.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表18.28　TIORH（MTU4、MTU10）

ビット3	ビット2	ビット1	ビット0	説　明	
IOA3	IOA2	IOA1	IOA0	MTUn.TGRAの機能	MTIOCnA端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=4、10

表18.29　TIORL（MTU4、MTU10）

ビット3	ビット2	ビット1	ビット0	説　明	
IOC3	IOC2	IOC1	IOC0	MTUn.TGRCの機能	MTIOCnC端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注1）	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注1）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】　x：Don't care　n=4、10

注1.　MTUn.TMDRのBFAビットを“1”にして、MTUn.TGRCをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表18.30　TIORU、TIORV、TIORW（MTU5、MTU11）

ビット4	ビット3	ビット2	ビット1	ビット0	説　明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTUn.TGRU、MTUn.TGRV、MTUn.TGRWの機能	MTICnU、MTICnV、MTICnW端子の機能
0	0	0	0	0	コンペアマッチレジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャレジスタ	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

【記号説明】　x：Don't care　n=5、11

18.2.4 タイマコンペアマッチクリアレジスタ（TCNTCMPCLR）

アドレス　MTU5.TCNTCMPCLR 0008 88B6h、MTU11.TCNTCMPCLR 0008 8CB6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTWの0000hクリアを禁止 1：MTU5.TCNTWとMTU5.TGRWのコンペアマッチ／インプットキャプチャによる、MTUn.TCNTWの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTVの0000hクリアを禁止 1：MTU5.TCNTVとMTU5.TGRVのコンペアマッチ／インプットキャプチャによる、MTUn.TCNTVの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTUの0000hクリアを禁止 1：MTU5.TCNTUとMTU5.TGRUのコンペアマッチ／インプットキャプチャによる、MTU5.TCNTUの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　チャネル5と11はそれぞれ同一機能であるため、ここではユニット0を説明しています。

TCNTCMPCLR レジスタは、8 ビットの読み出し／書き込み可能なレジスタで、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定することができます。MTU には、チャネル 5、11 に各 1 本の TCNTCMPCLR レジスタがあります。

18.2.5 タイマインタラプトイネーブルレジスタ（TIER）

- TIER（MTU0 ～ MTU4、MTU6 ～ MTU10）

アドレス　MTU0.TIER 0008 8704h、MTU1.TIER 0008 8784h、MTU2.TIER 0008 8804h、MTU3.TIER 0008 8608h、MTU4.TIER 0008 8609h、MTU6.TIER 0008 8B04h、MTU7.TIER 0008 8B84h、MTU8.TIER 0008 8C04h、MTU9.TIER 0008 8A08h、MTU10.TIER 0008 8A09h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR割り込み許可Aビット	0：割り込み要求（TGIA）を禁止 1：割り込み要求（TGIA）を許可	R/W
b1	TGIEB	TGR割り込み許可Bビット	0：割り込み要求（TGIB）を禁止 1：割り込み要求（TGIB）を許可	R/W
b2	TGIEC	TGR割り込み許可Cビット	0：割り込み要求（TGIC）を禁止 1：割り込み要求（TGIC）を許可	R/W
b3	TGIED	TGR割り込み許可Dビット	0：割り込み要求（TGID）を禁止 1：割り込み要求（TGID）を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0：割り込み要求（TCIV）を禁止 1：割り込み要求（TCIV）を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0：割り込み要求（TCIU）を禁止 1：割り込み要求（TCIU）を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0：MTUn.TCNTのアンダフロー（谷）によるA/D変換要求を禁止 1：MTUn.TCNTのアンダフロー（谷）によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0：A/D変換開始要求の発生を禁止 1：A/D変換開始要求の発生を許可	R/W

【記号説明】　n=4、10

TIER レジスタは、8 ビットの読み出し／書き込み可能なレジスタで、各チャネルの割り込み要求の許可、禁止を制御します。MTUには、チャネル0、6に各2本、チャネル1～5、7～11に各1本、計14本のTIERがあります。

TGIEA、TGIEB ビット（TGR 割り込み許可 A、B ビット）

割り込み要求（TGIn）を許可または禁止します。（n ＝ A、B）

TGIEC、TGIED ビット（TGR 割り込み許可 C、D ビット）

チャネル 0、3、4、6、9、10 で割り込み要求（TGIn）を許可または禁止します。（n ＝ C、D）

チャネル 1、2、7、8 では予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

TCIEV ビット（オーバフロー割り込み許可ビット）

割り込み要求（TCIV）を許可または禁止します。

TCIEU ビット（アンダフロー割り込み許可ビット）

チャネル 1、2、7、8 で割り込み要求（TCIU）を許可または禁止します。

チャネル 0、3、4、6、9、10 では予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

TTGE2 ビット（A/D 変換開始要求許可 2 ビット）

相補 PWM モードで、MTU4/10.TCNT のアンダフロー（谷）による A/D 変換要求の発生を許可または禁止します。

チャネル 0 ～ 3、6 ～ 9 では予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

TTGE ビット（A/D 変換開始要求許可ビット）

TGRA のインプットキャプチャ／コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

- TIER2（MTU0、MTU6）

アドレス　MTU0.TIER2 0008 8724h、MTU6.TIER2 0008 8B24h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TGIEF	TGIEE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR割り込み許可Eビット	0：割り込み要求（TGIE）を禁止 1：割り込み要求（TGIE）を許可	R/W
b1	TGIEF	TGR割り込み許可Fビット	0：割り込み要求（TGIF）を禁止 1：割り込み要求（TGIF）を許可	R/W
b7-b2	—	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W

TGIEE、TGIEF ビット（TGR 割り込み許可 E、F ビット）

MTUn.TCNT と MTUn.TGRm のコンペアマッチによる割り込み要求の発生を許可または禁止します。

（n ＝ 0　m ＝ E、F）

- TIER（MTU5、MTU11）

アドレス　MTU5.TIER 0008 88B2h、MTU11.TIER 0008 8CB2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR割り込み許可5Wビット	0：TGInW割り込み要求を禁止 1：TGInW割り込み要求を許可	R/W
b1	TGIE5V	TGR割り込み許可5Vビット	0：TGInV割り込み要求を禁止 1：TGInV割り込み要求を許可	R/W
b2	TGIE5U	TGR割り込み許可5Uビット	0：TGInU割り込み要求を禁止 1：TGInU割り込み要求を許可	R/W
b7-b3	—	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W

【記号説明】n=5、11

注.　チャネル5と11はそれぞれ同一機能であるため、ここではユニット0を説明しています。

TGIE5W、TGIE5V、TGIE5U ビット（TGR 割り込み許可 5m ビット）

割り込み要求（TGIm）を許可または禁止します。（m ＝ U、V、W）

18.2.6 タイマステータスレジスタ（TSR）

- TSR（MTU0 ～ MTU4、MTU6 ～ MTU10）

アドレス　MTU0.TSR 0008 8705h、MTU1.TSR 0008 8785h、MTU2.TSR 0008 8805h、MTU3.TSR 0008 862Ch、MTU4.TSR 0008 862Dh、MTU6.TSR 0008 8B05h、MTU7.TSR 0008 8B85h、MTU8.TSR 0008 8C05h、MTU9.TSR 0008 8A2Ch、MTU10.TSR 0008 8A2Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読み出し値は不定です。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0：TCNTはダウンカウント 1：TCNTはアップカウント	R

TSR レジスタは、8 ビットの読み出し／書き込み可能なレジスタで、各チャネルのステータスの表示を行います。MTU には、チャネル 0、6 に各 1 本、チャネル 1 ～ 4、7 ～ 10 に各 1 本、計 10 本の TSR があります。

TCFD フラグ（カウント方向フラグ）

チャネル 1 ～ 4、7 ～ 10 の TCNT のカウント方向を示すステータスフラグです。

チャネル 0、6 では予約ビットです。読むと “1” が読めます。書く場合、“1” としてください。

18.2.7 タイマバッファ動作転送モードレジスタ（TBTM）

アドレス　MTU0.TBTM 0008 8726h、MTU3.TBTM 0008 8638h、MTU4.TBTM 0008 8639h、
MTU6.TBTM 0008 8B26h、MTU9.TBTM 0008 8A38h、MTU10.TBTM 0008 8A39h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0：TGRCからTGRAへの転送タイミングは各チャネルのコンペアマッチA発生時 1：TGRCからTGRAへの転送タイミングは各チャネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0：TGRDからTGRBへの転送タイミングは各チャネルのコンペアマッチB発生時 1：TGRDからTGRBへの転送タイミングは各チャネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0：MTUn.TGRFからMTUn.TGREへの転送タイミングはチャネル0、6のコンペアマッチE発生時 1：MTUn.TGRFからMTUn.TGREへの転送タイミングはMTUn.TCNTクリア時 （n=0,6）	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTM レジスタは PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定します。MTU には、チャネル 0、3、4、6、9、10 に各 1 本、計 6 本の TBTM があります。

TTSA ビット（タイミング選択 A ビット）

各チャネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。なお、PWM モード以外で使用するチャネルでは、TTSA ビットを “1” にしないでください。

TTSB ビット（タイミング選択 B ビット）

各チャネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。なお、PWM モード以外で使用するチャネルでは、TTSB ビットを “1” にしないでください。

TTSE ビット（タイミング選択 E ビット）

バッファ動作時の MTUn.TGRF から MTUn.TGRE への転送タイミングを設定します。チャネル 3、4、 9 、10 ではリザーブビットです。読み出すと “0” が読めます。書く場合、“0” にしてください。なお、チャネル 0、6 を PWM モード以外で使用する場合は、TTSE ビットを “1” にしないでください。
（n=0、6）

18.2.8 タイマインプットキャプチャコントロールレジスタ（TICCR）

アドレス　MTU1.TICCR 0008 8790h、MTU7.TICCR 0008 8B90h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0：MTIOCjA端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1：MTIOCjA端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0：MTIOCjB端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1：MTIOCjB端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0：MTIOCkA端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1：MTIOCkA端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0：MTIOCkB端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1：MTIOCkB端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W

【記号説明】　j =1、7、k =2、8

注.　チャネル1と7、チャネル2と8はそれぞれ同一機能であるため、ここではユニット0を説明しています。

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御します。MTU には、チャネル 1、7 に各 1 本の TICCR があります。

18.2.9 タイマ A/D 変換開始要求コントロールレジスタ（TADCR）

アドレス　MTU4.TADCR 0008 8640h、MTU10.TADCR 0008 8A40h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0（注1）	0	0（注1）	0（注1）	0（注1）	0（注1）	0（注1）

注1.　b6、b4～0は、相補PWMモード以外では、“1”に設定しないでください。

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4割り込み間引き連動 許可ビット	0：TCI4V割り込み間引き機能と連動しない 1：TCI4V割り込み間引き機能と連動する	R/W
b1	ITB3AE	TGIA3割り込み間引き連動 許可ビット	0：TGI3A割り込み間引き機能と連動しない 1：TGI3A割り込み間引き機能と連動する	R/W
b2	ITA4VE	TCIV4割り込み間引き連動 許可ビット	0：TCI4V割り込み間引き機能と連動しない 1：TCI4V割り込み間引き機能と連動する	R/W
b3	ITA3AE	TGIA3割り込み間引き連動 許可ビット	0：TGI3A割り込み間引き機能と連動しない 1：TGI3A割り込み間引き機能と連動する	R/W
b4	DT4BE	ダウンカウントTRG4BN 許可ビット	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b5	UT4BE	アップカウントTRG4BN 許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4BN）を許可	R/W
b6	DT4AE	ダウンカウントTRG4AN許可ビット	0：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのダウンカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b7	UT4AE	アップカウントTRG4AN許可ビット	0：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：MTU4.TCNTのアップカウント時にA/D変換の開始要求（TRG4AN）を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B転送タイミング 選択ビット	詳細は表18.31を参照してください。	R/W

注1.　チャネル4と10はそれぞれ同一機能であるため、ここではユニット0を説明しています。
注2.　TADCRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
注3.　割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）のT3AEN、T4VENビットを“0”に設定したとき、またはTITCRの間引き回数設定ビット（T3ACOR、T4VCOR）を“0”に設定したとき）は、割り込み間引き機能と連動しない（タイマA/D変換開始要求コントロールレジスタ（TADCR）のITA3AE、ITA4VE、ITB3AE、ITB4VEビットを0に設定）設定にしてください
注4.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。

TADCR レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、A/D 変換開始要求の許可／禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する／しないを設定します。MTU には、チャネル 4、10 に各 1 本の TADCR があります。

表18.31　BF[1:0]ビットによる転送タイミングの設定

ビット15	ビット14	説　明
BF[1]	BF[0]	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	MTUn.TCNT の山で周期設定バッファレジスタから周期設定レジスタへ転送する（注 1）
1	0	MTUn.TCNT の谷で周期設定バッファレジスタから周期設定レジスタへ転送する（注 2）
1	1	MTUn.TCNT の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する（注 2）

【記号説明】　n=4、10　m=3、9

注1.　相補PWMモードではMTUn.TCNTの山、リセット同期PWMモードではMTUm.TCNTがMTUm.TGRAとコンペアマッチしたとき、PWMモード1／ノーマルモードではMTUn.TCNTがMTUn.TGRAとコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

注2.　相補PWMモード以外では設定禁止です。

18.2.10　タイマ A/D 変換開始要求周期設定レジスタ（TADCORA、TADCORB）

アドレス　MTU4.TADCORA 0008 8644h、MTU4.TADCORB 0008 8646h、
MTU10.TADCORA 0008 8A44h、MTU10.TADCORB 0008 8A46h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TADCORA/Bの8 ビット単位でのアクセスは禁止です。常に16 ビット単位でアクセスしてください。

TADCORA/B レジスタは、16 ビットの読み出し／書き込み可能なレジスタです。MTUn.TCNT（n=4、10）と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B のリセット後の値は FFFFh です。

18.2.11　タイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBRA、TADCOBRB）

アドレス　MTU4.TADCOBRA 0008 8648h、MTU4.TADCOBRB 0008 864Ah、
MTU10.TADCOBRA 0008 8A48h、MTU10.TADCOBRB 0008 8A4Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TADCOBRA/Bの8 ビット単位でのアクセスは禁止です。 常に16 ビット単位でアクセスしてください。

TADCOBRA/B レジスタは、16 ビットの読み出し／書き込み可能なレジスタです。TADCOBRA/B のバッファレジスタから山か谷で TADCORA/B に転送します。

TADCOBRA/B のリセット後の値は FFFFh です。

18.2.12 タイマカウンタ（TCNT）

アドレス　MTU0.TCNT 0008 8706h、MTU1.TCNT 0008 8786h、MTU2.TCNT 0008 8806h、MTU3.TCNT 0008 8610h、MTU4.TCNT 0008 8612h、MTU5.TCNTU 0008 8880h、MTU5.TCNTV 0008 8890h、MTU5.TCNTW 0008 88A0h、MTU6.TCNT 0008 8B06h、MTU7.TCNT 0008 8B86h、MTU8.TCNT 0008 8C06h、MTU9.TCNT 0008 8A10h、MTU10.TCNT 0008 8A12h、MTU11.TCNTU 0008 8C80h、MTU11.TCNTV 0008 8C90h、MTU11.TCNTW 0008 8CA0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCNT は、16 ビットの読み出し／書き込み可能なカウンタです。チャネル 0 ～ 4、6 ～ 10 に各 1 本、チャネル 5、11 に MTUn.TCNTU/V/W の 3 本、計 16 本の TCNT があります。（n ＝ 5、11）

TCNT は、リセット時に 0000h に初期化されます。

18.2.13 タイマジェネラルレジスタ（TGR）

アドレス　MTU0.TGRA 0008 8708h、MTU0.TGRB 0008 870Ah、MTU0.TGRC 0008 870Ch、MTU0.TGRD 0008 870Eh、MTU0.TGRE 0008 8720h、MTU0.TGRF 0008 8722h、MTU1.TGRA 0008 8788h、MTU1.TGRB 0008 878Ah、MTU2.TGRA 0008 8808h、MTU2.TGRB 0008 880Ah、MTU3.TGRA 0008 8618h、MTU3.TGRB 0008 861Ah、MTU3.TGRC 0008 8624h、MTU3.TGRD 0008 8626h、MTU4.TGRA 0008 861Ch、MTU4.TGRB 0008 861Eh、MTU4.TGRC 0008 8628h、MTU4.TGRD 0008 862Ah、MTU5.TGRU 0008 8882h、MTU5.TGRV 0008 8892h、MTU5.TGRW 0008 88A2h、MTU6.TGRA 0008 8B08h、MTU6.TGRB 0008 8B0Ah、MTU6.TGRC 0008 8B0Ch、MTU6.TGRD 0008 8B0Eh、MTU6.TGRE 0008 8B20h、MTU6.TGRF 0008 8B22h、MTU7.TGRA 0008 8B88h、MTU7.TGRB 0008 8B8Ah、MTU8.TGRA 0008 8C08h、MTU8.TGRB 0008 8C0Ah、MTU9.TGRA 0008 8A18h、MTU9.TGRB 0008 8A1Ah、MTU9.TGRC 0008 8A24h、MTU9.TGRD 0008 8A26h、MTU10.TGRA 0008 8A1Ch、MTU10.TGRB 0008 8A1Eh、MTU10.TGRC 0008 8A28h、MTU10.TGRD 0008 8A2Ah、MTU11.TGRU 0008 8C82h、MTU11.TGRV 0008 8C92h、MTU11.TGRW 0008 8CA2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、FFFFhです。

TGR は、16 ビットの読み出し／書き込み可能なレジスタです。チャネル 0、6 に 6 本、チャネル 1、2、7、8 に各 2 本、チャネル 3、4、9、10 に各 4 本、チャネル 5、11 に 3 本、計 42 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャネル 0、3、4、6、9、10 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA － TGRC、TGRB － TGRD になります。

MTUn.TGRE、MTUn.TGRF はコンペアマッチ用のレジスタです。（n=0）TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE － TGRF になります。

MTUm.TGRU、MTUm.TGRV、MTUm.TGRW はコンペアマッチ／インプットキャプチャ／外部パルス幅測定兼用のレジスタです。（m=5、11）

また、本レジスタにて、A/D 変換開始要求の発生間隔を設定することができます。A/D 変換開始条件の詳細は、「34.　12 ビット A/D コンバータ（S12AD）」および「35.　10 ビット A/D コンバータ（ADa）」の章を参照してください。

18.2.14 タイマスタートレジスタ（TSTR）

- MTUA.TSTR（MTU0 ～ MTU4）、MTUB.TSTR（MTU6 ～ MTU10）

アドレス　MTUA.TSTR 0008 8680h、MTUB.TSTR 0008 8A80h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	—	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0：MTU0.TCNTのカウント動作は停止 1：MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0：MTU1.TCNTのカウント動作は停止 1：MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0：MTU2.TCNTのカウント動作は停止 1：MTU2.TCNTはカウント動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b6	CST3	カウンタスタート3ビット	0：MTU3.TCNTのカウント動作は停止 1：MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0：MTU4.TCNTのカウント動作は停止 1：MTU4.TCNTはカウント動作	R/W

注.　チャネル0～4と6～10はそれぞれ同一機能であるため、ここではユニット0を説明しています。

TSTR レジスタは MTU0 ～ 4、MTU6 ～ 10 の TCNT の動作／停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

CST ビット（カウントスタートビット）

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CST ビットに “0” を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが “0” の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTUA.TSTR（MTU5）、MTUB.TSTR（MTU11）

アドレス　MTUA.TSTR 0008 88B4h、MTUB.TSTR 0008 8CB4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0：MTU5.TCNTWのカウント動作は停止 1：MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0：MTU5.TCNTVのカウント動作は停止 1：MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0：MTU5.TCNTUのカウント動作は停止 1：MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　チャネル5と11はそれぞれ同一機能であるため、ここではユニット0を説明しています。

18.2.15 タイマシンクロレジスタ（TSYR）

アドレス　MTUA.TSYR 0008 8681h、MTUB.TSYR 0008 8A81h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0：MTU0.TCNTは独立して動作（TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU0.TCNTは同期動作 TCNTの同期プリセット／同期クリアが可能	R/W
b1	SYNC1	タイマ同期1ビット	0：MTU1.TCNTは独立して動作（TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU1.TCNTは同期動作 TCNTの同期プリセット／同期クリアが可能	R/W
b2	SYNC2	タイマ同期2ビット	0：MTU2.TCNTは独立して動作（TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU2.TCNTは同期動作 TCNTの同期プリセット／同期クリアが可能	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0：MTU3.TCNTは独立して動作（TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU3.TCNTは同期動作 TCNTの同期プリセット／同期クリアが可能	R/W
b7	SYNC4	タイマ同期4ビット	0：MTU4.TCNTは独立して動作（TCNTのプリセット／クリアは他のチャネルと無関係） 1：MTU4.TCNTは同期動作 TCNTの同期プリセット／同期クリアが可能	R/W

注.　ここではユニット0を説明しています。

TSYR レジスタは MTU0 ～ 4、MTU6 ～ 10 の TCNT の独立動作または同期動作を選択します。
対応するビットを “1” にしたチャネルが同期動作を行います。

SYNC ビット（タイマ同期ビット）

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNC ビットを “1” にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

18.2.16 タイマリードライトイネーブルレジスタ（TRWER）

アドレス　MTUA.TRWER 0008 8684h、MTUB.TRWER 0008 8A84h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0：レジスタのリードライトを禁止 1：レジスタのリードライトを許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWER レジスタは、チャネル 3、4、9、10 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を設定します。

RWE ビット（リードライト許可ビット）

誤書き込み防止のレジスタへのリードライト許可／禁止を設定します。

［“0” になる条件］

- RWE = 1 の状態で RWE を読んだ後、RWE に “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ**

MTUn.TCR、MTUn.TMDR、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTUj.TOER、MTUj.TOCR1、MTUj.TOCR2、MTUj.TGCR、MTUj.TCDR、MTUj.TDDR と MTUn.TCNT の計 44 レジスタです。

（n = 3、4、9、10　j = A、B）

18.2.17 タイマアウトプットマスタイネーブルレジスタ（TOER）

アドレス　MTUA.TOER 0008 860Ah、MTUB.TOER 0008 8A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0：MTU出力禁止（注1） 1：MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書いた場合、“1”としてください。	R/W

注1.　MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータディレクションレジスタ（DDR）、データレジスタ（DR）で汎用入出力ポートに非アクティブレベルを出力する設定をしてください。詳細は、「17.　I/Oポート」を参照してください。

TOER レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B、MTIOC10D、MTIOC10C、MTIOC9D、MTIOC10B、MTIOC10A、MTIOC9B の出力設定の許可／禁止を行います。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。チャネル 3、4、9、10 において、TOER レジスタはチャネル 3、4、9、10 の TIOR レジスタ設定の前に値を設定してください。

MTUA.TOER レジスタは、MTUA.TSTR レジスタの CST3、CST4 ビットを “0” にした後で設定してください。MTUB.TOER レジスタは、MTUB.TSTR レジスタの CST0、CST1 ビットを “0” にした後で設定してください（図 18.36、図 18.39 参照）。

18.2.18 タイマアウトプットコントロールレジスタ 1（TOCR1）

アドレス　MTUA.TOCR1 0008 860Eh、MTUB.TOCR1 0008 8A0Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0（注1）	0	0	0

注1. リセット後、1回だけ“1”を書けます。1を書いた後は、“0”を書くことはできません。

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット（注2）（注3）	表18.32を参照してください。	R/W
b1	OLSN	出力レベル選択Nビット（注2）（注3）	表18.33を参照してください。	R/W
b2	TOCS	TOC選択ビット	0：TOCR1の設定が有効になる 1：TOCR2の設定が有効になる	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット（注1）	0：TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1：TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5,b4	—	（予約ビット）	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b6	PSYE	PWM同期出力許可ビット	0：トグル出力を禁止 1：トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書いた場合、“0”としてください	R/W

注1.　TOCR1.TOCLビットを“1”に設定することによって、CPU暴走時の誤書き込みを防止することができます。
注2.　TOCR1.TOCSビットを“0”に設定することにより、この設定が有効になります。
注3.　デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

TOCR1 レジスタは、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード／リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可／禁止、および PWM 出力の出力レベル反転の制御を行います。

MTUA.TOCR1 レジスタはユニット 0、MTUB.TOCR1 レジスタはユニット 1 に使用します。

OLSP ビット（出力レベル選択 P ビット）

リセット同期 PWM モード／相補 PWM モード時に、正相の出力レベルを選択します。

OLSN ビット（出力レベル選択 N ビット）

リセット同期 PWM モード／相補 PWM モード時に、逆相の出力レベルを選択します。

TOCS ビット（TOC 選択ビット）

相補 PWM モード／リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。

TOCL ビット（TOC レジスタ書き込み禁止ビット）

TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止／許可の設定をします。

PSYE ビット（PWM 同期出力許可ビット）

PWM 周期に同期したトグル出力の許可／禁止を設定します。

表18.32　出力レベル選択機能

ビット0	機　能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表18.33　出力レベル選択機能

ビット1	機　能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 18.3 に示します。

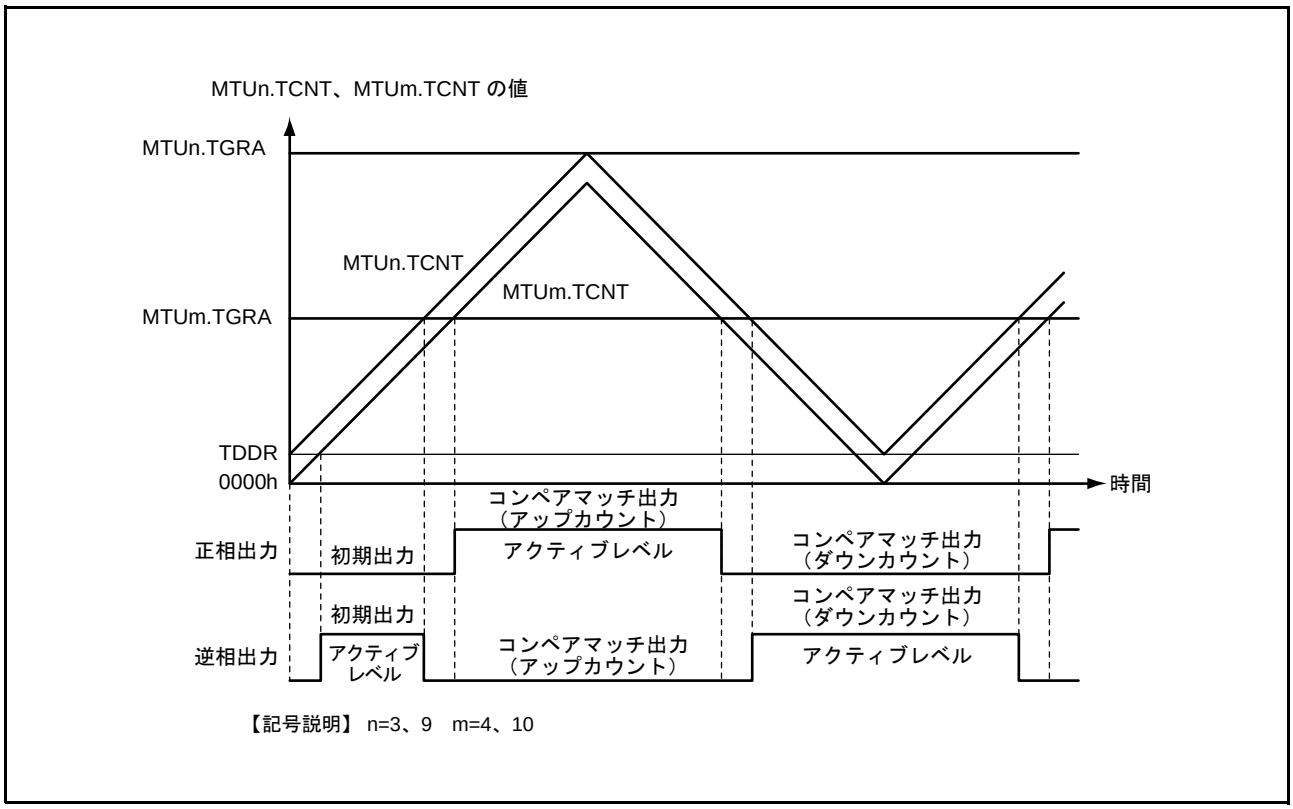


図 18.3　相補 PWM モードの出力レベルの例

18.2.19 タイマアウトプットコントロールレジスタ 2（TOCR2）

アドレス　MTUA.TOCR2 0008 860Fh、MTUB.TOCR2 0008 8A0Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット （注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC3Bの出力レベルを選択します。 表18.34を参照してください。	R/W
b1	OLS1N	出力レベル選択1Nビット （注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC3Dの出力レベルを選択します。 表18.35を参照してください。	R/W
b2	OLS2P	出力レベル選択2Pビット （注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC4Aの出力レベルを選択します。 表18.36を参照してください。	R/W
b3	OLS2N	出力レベル選択2Nビット （注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC4Cの出力レベルを選択します。 表18.37を参照してください。	R/W
b4	OLS3P	出力レベル選択3Pビット （注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC4Bの出力レベルを選択します。 表18.38を参照してください。	R/W
b5	OLS3N	出力レベル選択3Nビット （注1）（注2）	リセット同期PWMモード／相補PWMモード時に、MTIOC4Dの出力レベルを選択します。 表18.39を参照してください。	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング選択	TOLBRからTOCR2へのバッファ転送タイミングを選択します。 詳細は表18.40を参照してください。	R/W

注1.　チャネル3と9、チャネル4と10はそれぞれ同一機能であるため、ここではユニット0を説明しています。
TOCR1.TOCSビットを“1”に設定することにより、この設定が有効になります。
注2.　デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSiP ビットのみ有効となります。（i=1,2,3）

TOCR2 レジスタは、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

MTUA.TOCR2 レジスタはユニット 0、MTUB.TOCR2 レジスタはユニット 1 に使用します。

表18.34　MTIOCmB出力レベル選択機能

ビット0	機　　能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

【記号説明】　m = 3、9

表18.35　MTIOCmD出力レベル選択機能

ビット1	機　　能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

【記号説明】m = 3、9

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表18.36　MTIOCnA出力レベル選択機能

ビット2	機　　能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

【記号説明】　n = 4、10

表18.37　MTIOCnC出力レベル選択機能

ビット3	機　　能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

【記号説明】　n = 4、10

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表18.38　MTIOCmB出力レベル選択機能

ビット4	機　　能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

【記号説明】　m = 3、9

表18.39　MTIOCmD出力レベル選択機能

ビット5	機　能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

【記号説明】　m = 3、9

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表18.40　TOCR2.BF[1:0]ビットの設定

ビット7	ビット6	説　明	
BF[1]	BF[0]	相補PWMモード時	リセットPWMモード時
0	0	バッファレジスタ（TOLBR）からTOCR2へ転送しない	バッファレジスタ（TOLBR）からTOCR2へ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ（TOLBR）からTOCR2へ転送する	MTUn.TCNT、MTUm.TCNTカウンタクリア時にバッファレジスタ（TOLBR）からTOCR2へ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ（TOLBR）からTOCR2へ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ（TOLBR）からTOCR2へ転送する	設定しないでください

【記号説明】　n = 4、10　m = 3、9

18.2.20 タイマアウトプットレベルバッファレジスタ（TOLBR）

アドレス　MTUA.TOLBR 0008 8636h、MTUB.TOLBR 0008 8A36h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2のOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2のOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2のOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2のOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2のOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2のOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　ここではユニット0を説明しています。

TOLBR レジスタは TOCR2 のバッファレジスタで、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。TOLBR レジスタは 8 ビットの読み出し／書き込み可能なレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 18.4 に示します。

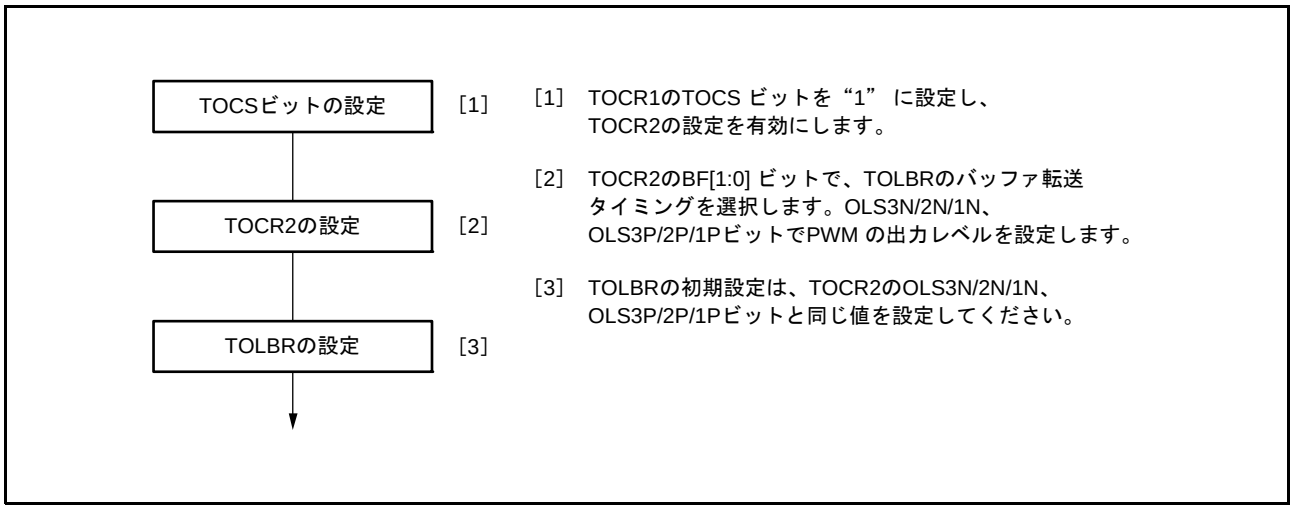


図 18.4　PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

18.2.21 タイマゲートコントロールレジスタ（TGCR）

アドレス　MTUA.TGCR 0008 860Dh、MTUB.TGCR 0008 8A0Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相／逆相の出力相のON/OFFを設定します。これらのビットの設定はFBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりになります。表18.41を参照してください。	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り換えは、外部入力（入力元は、チャネルn（n＝0、6）のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り換えはソフトウェアで行う（TGCRのUF、VF、WFの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM／相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM／相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	（予約ビット）	読むと“1”が読めます。書く場合、“1”としてください。	R/W

TGCR レジスタは、リセット同期 PWM モード／相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。相補 PWM モード／リセット同期 PWM モード以外では、このレジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定は FB ビットが “1” のときのみ有効です。このときは、ビット 0 ～ 2 の設定が、外部入力の代わりになります。表 18.41 を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相／逆相の出力の切り替えを MTUn（n=0、6）の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2 ～ 0 に 0 または “1” を書くことによって行うかを選択します。

P ビット（正相出力（P）制御ビット）

正相端子（MTIOCnB 端子、MTIOCmA 端子、MTIOCmB 端子）（n=3、9　m=4、10）を出力時、レベル出力をするか、リセット同期 PWM ／相補 PWM 出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOCnD 端子、MTIOCmC 端子、MTIOCmD 端子）（n=3、9　m=4、10）を出力時、レベル出力するか、リセット同期 PWM ／相補 PWM 出力するかの選択をします。

BDC ビット（ブラシレス DC モータビット）

TGCR レジスタの機能を有効にするか、無効にするかを選択します。

表18.41　出力レベル選択機能

ビット2	ビット1	ビット0	機　能					
WF	VF	UF	MTIOCnB	MTIOCmA	MTIOCmB	MTIOCnD	MTIOCmC	MTIOCmD
			U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

【記号説明】　（n=3、9　m=4、10）

18.2.22 タイマサブカウンタ（TCNTS）

アドレス　MTUA.TCNTS 0008 8620h、MTUB.TCNTS 0008 8A20h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注.　TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCNTS レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS のリセット後の値は 0000h です。

18.2.23 タイマデッドタイムデータレジスタ（TDDR）

アドレス　MTUA.TDDR 0008 8616h、MTUB.TDDR 0008 8A16h

	b15	b14	b13	b12	b11	b11	b9	b8	b7	b6	b5	b4	b3	b2	b1	b1
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TDDR レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 MTU3/9.TCNT と MTU4/10.TCNT カウンタのオフセット値を設定します。相補 PWM モード時に MTU3/9.TCNT、MTU4/10.TCNT カウンタをクリアして再スタートするときは、TDDR レジスタの値が MTU3/9.TCNT カウンタにロードされカウント動作を開始します。TDDR レジスタのリセット後の値は FFFFh です。

18.2.24　タイマ周期データレジスタ（TCDR）

アドレス　MTUA.TCDR 0008 8614h、MTUB.TCDR 0008 8A14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCDR レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。このレジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます（ダウンカウント→アップカウント）。TCDR のリセット後の値は FFFFh です。

18.2.25　タイマ周期バッファレジスタ（TCBR）

アドレス　MTUA.TCBR 0008 8622h、MTUB.TCBR 0008 8A22h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注.　TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TCBR レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR のリセット後の値は FFFFh です。

18.2.26 タイマ割り込み間引き設定レジスタ（TITCR）

アドレス　MTUA.TITCR 0008 8630h、MTUB.TITCR 0008 8A30h

	b7	b6	b5	b4	b3	b2	b1	b0
	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0～7回で設定します。(注1) 詳細は表18.42を参照してください。	R/W
b3	T4VEN	T4VENビット	0：TCIV4割り込みの間引きを禁止する 1：TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0～7回で設定します。(注1、注2) 詳細は表18.43を参照してください。	R/W
b7	T3AEN	T3AENビット	0：TGIA3割り込みの間引きを禁止する 1：TGIA3割り込みの間引きを許可する	R/W

注.　チャネル3と9、チャネル4と10はそれぞれ同一機能であるため、ここではユニット0を説明しています。
注1.　割り込み間引き回数に0を設定すると間引きは行いません。
注2.　割り込み間引き回数の変更前に、TITCR.T3AEN、TITCR.T4VEN ビットを “0” に設定して間引き回数カウンタ（TITCNT）をクリアしてください。

TITCR レジスタは、割り込み間引きの禁止／許可、割り込み間引き回数の設定を制御します。MTU には 2 本の TITCR があります。

T4VCOR[2:0] ビット（TCIV4 割り込み間引き回数設定ビット）

T3ACOR[2:0] ビット（TGIA3 割り込み間引き回数設定ビット）

TCIVm および TGIAn の割り込みの間引き回数を 0 ～ 7 回で設定します。詳細は表 18.42、表 18.43 を参照してください。

表18.42　T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T4VCOR2	ビット1 T4VCOR1	ビット0 T4VCOR0	説　明
0	0	0	TCIVn の割り込み間引きを行わない
0	0	1	TCIVn の割り込み間引き回数を 1 回に設定
0	1	0	TCIVn の割り込み間引き回数を 2 回に設定
0	1	1	TCIVn の割り込み間引き回数を 3 回に設定
1	0	0	TCIVn の割り込み間引き回数を 4 回に設定
1	0	1	TCIVn の割り込み間引き回数を 5 回に設定
1	1	0	TCIVn の割り込み間引き回数を 6 回に設定
1	1	1	TCIVn の割り込み間引き回数を 7 回に設定

【記号説明】　n=4、10

表18.43　T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説　明
T3ACOR2	T3ACOR1	T3ACOR0	
0	0	0	TGIAmの割り込み間引きを行わない
0	0	1	TGIAmの割り込み間引き回数を1回に設定
0	1	0	TGIAmの割り込み間引き回数を2回に設定
0	1	1	TGIAmの割り込み間引き回数を3回に設定
1	0	0	TGIAmの割り込み間引き回数を4回に設定
1	0	1	TGIAmの割り込み間引き回数を5回に設定
1	1	0	TGIAmの割り込み間引き回数を6回に設定
1	1	1	TGIAmの割り込み間引き回数を7回に設定

【記号説明】　m=3、9

18.2.27 タイマ割り込み間引き回数カウンタ（TITCNT）

アドレス　MTUA.TITCNT 0008 8631h、MTUB.TITCNT 0008 8A31h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	T3ACNT[2:0]			—	T4VCNT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCRのT4VENビットに1を設定時、TCIV4割り込み要因が発生したときに1カウントアップします。	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCRのT3AENビットに1を設定時、TGIA3割り込み要因が発生したときに1カウントアップします。	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注.　チャネル3と9、チャネル4と10はそれぞれ同一機能であるため、ここではユニット0を説明しています。
TITCNTの値をクリアするには、TITCR.T3AENビットとTITCR.T4VENビットを“0”にクリアしてください。

TITCNT レジスタは、8 ビットの読み出し可能なカウンタです。MTU には 2 本の TITCNT があります。TITCNT は、MTUn.TCNT および MTUm.TCNT のカウント動作停止後も、値を保持します。
（n=3、9　m=4、10）

T4VCNT[2:0] ビット（TCIV4 割り込みカウンタビット）

[“0” になる条件]

- TITCR の T4VCOR[2:0] と TITCNT の T4VCNT[2:0] が一致したとき
- TITCR の T4VEN ビットが “0” のとき
- TITCR の T4VCOR[2:0] が “000b” のとき

T3ACNT[2:0] ビット（TGIA3 割り込みカウンタビット）

［“0” になる条件］

- TITCR の T3ACOR[2:0] と TITCNT の T3ACNT[2:0] が一致したとき
- TITCR の T3AEN ビットが “0” のとき
- TITCR の T3ACOR[2:0] が “000b” のとき

18.2.28 タイマバッファ転送設定レジスタ（TBTER）

アドレス　MTUA.TBTER 0008 8632h、MTUB.TBTER 0008 8A32h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BTE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1,b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ（注）からテンポラリレジスタへの転送を抑止する／しない、または割り込み間引き機能と連動する／しないを設定します。 詳細は表18.44を参照してください。	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　対象バッファレジスタ
MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTUj.TCBR (j=A、B)

TBTER レジスタは、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する／しない、または割り込み間引き機能と連動する／しないを設定します。MTU には 2 本の TBTER レジスタがあります。

表18.44　TBTER.BTE[1:0]ビットの設定

ビット1 BTE1	ビット0 BTE0	説　明
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない（注1） また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する（注2）
1	1	設定しないでください

注1.　TMDRのMD[3:0]ビットの設定に従い転送します。詳細は「18.3.8　相補PWMモード」を参照してください。
注2.　割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを “0” に設定したとき、またはTITCRの間引き回数設定ビット（T3ACOR、T4VCOR）を“0”に設定したとき）は、バッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTER）のBTE1を“0”に設定）にしてください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

18.2.29 タイマデッドタイムイネーブルレジスタ（TDER）

アドレス　MTUA.TDER 0008 8634h、MTUB.TDER 0008 8A34h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルレジスタビット	0：デッドタイムを生成しない 1：デッドタイムを生成する（注1）	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TDDR≧1に設定してください。

TDER レジスタは、8 ビットの読み出し／書き込み可能なレジスタです。TDER レジスタはチャネル 3、9 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。MTU には 2 本の TDER レジスタがあります。TDER レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット（デッドタイムイネーブルレジスタビット）

デッドタイムの生成をする／しないを設定します。

［“0” になる条件］

- TDER が “1” で TDER を読んだ後、“0” を書いたとき

18.2.30 タイマ波形コントロールレジスタ（TWCR）

アドレス　MTUA.TWCR 0008 8660h、MTUB.TWCR 0008 8A60h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	初期出力抑止許可ビット	0：TOCRレジスタで設定した初期出力値を出力 1：初期出力を抑止する	R/(W) （注1）
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット	0：MTUn.TGRAのコンペアマッチによるカウンタクリアをしない 1：MTUn.TGRAのコンペアマッチによるカウンタクリアをする	R/(W) （注2）

【記号説明】　n=3、9

注1.　相補PWMモードのとき以外は、“1”に設定しないでください。
注2.　相補PWMモード1のとき以外は、“1”に設定しないでください。

TWCR レジスタは、8 ビットの読み出し／書き込み可能なレジスタです。MTUA.TWCR レジスタは相補 PWM モードで MTU3.TNCT、MTU4.TNCT の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA のコンペアマッチによるカウンタクリアをする／しないを設定します。MTUB.TWCR レジスタは相補 PWM モードで MTU9.TNCT、MTU10.TNCT の同期カウンタクリアが発生した場合の出力波形の制御と、MTU9.TGRA のコンペアマッチによるカウンタクリアをする／しないを設定します。

TWCR.CCE ビット、TWCR.WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット（初期出力抑止許可ビット）

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

この機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、TWCR.WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、MTUn.TCNT、MTUm.TCNT スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。（n=3、9　m=4、10）

相補 PWM モードの谷の Tb 区間については、図 18.41 を参照してください。

［“1” になる条件］

- TWCR.WRE が “0” で TWCR.WRE を読んだ後、TWCR.WRE に “1” を書いたとき

CCE ビット（コンペアマッチクリア許可ビット）

相補 PWM モードで、TGRAn のコンペアマッチによるカウンタクリアをする／しないを設定します。（n=3、9）

［1 になる条件］

- CCE が “0” で CCE を読んだ後、“1” を書いたとき

18.2.31 バスマスタとのインタフェース

タイマカウンタ（TCNT）、ジェネラルレジスタ（TGR）、タイマサブカウンタ（TCNTS）、タイマ周期バッファレジスタ（TCBR）、タイマデッドタイムデータレジスタ（TDDR）、タイマ周期データレジスタ（TCDR）、タイマ A/D 変換開始要求コントロールレジスタ（TADCR）、タイマ A/D 変換開始要求周期設定レジスタ（TADCOR）、およびタイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBR）は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し／書き込みが可能です。8 ビット単位での読み出し／書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し／書き込みを行ってください。

18.3 動作説明

18.3.1 概要

各チャネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行うことで、フリーランニング動作、周期カウンタ動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR の CST0 ～ CST4 ビット、MTUn.TSTR の CSTU5、CSTV5、CSTW5 ビットを “1” にセットすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。（n=5、11）

(a) カウント動作の設定手順例

カウンタ動作設定手順例を図 18.5 に示します。

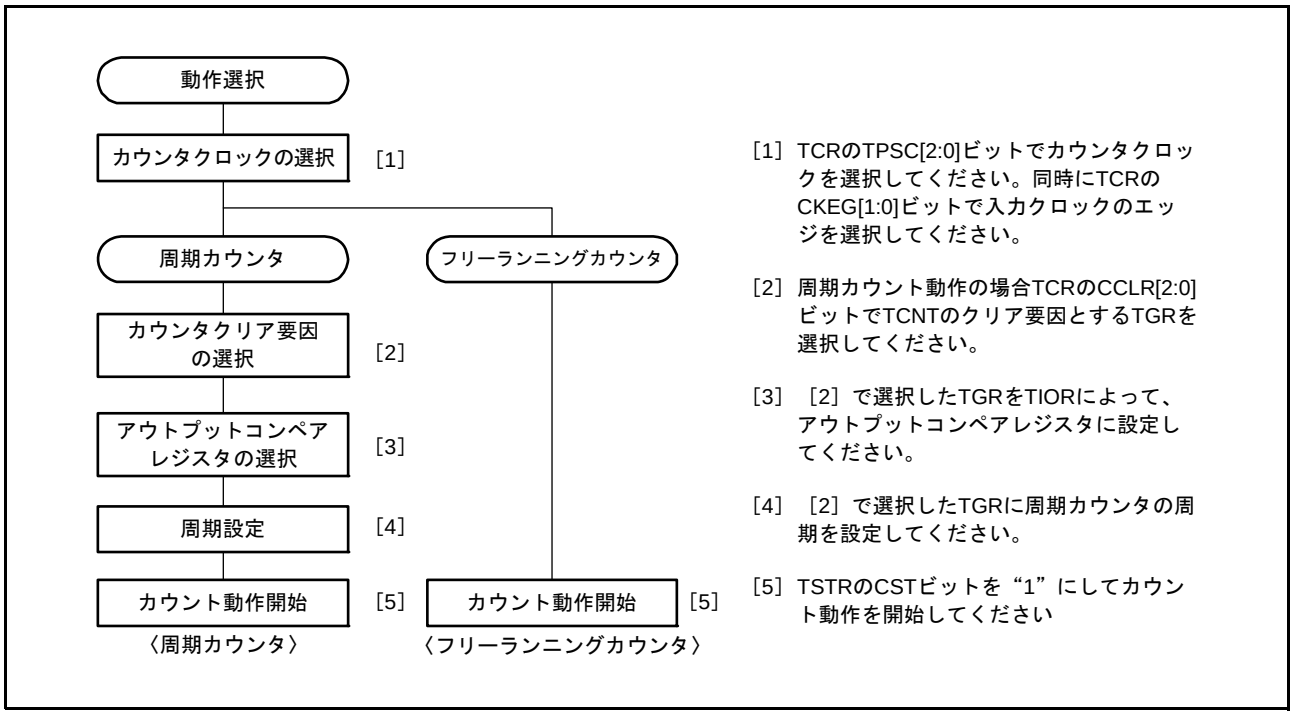


図 18.5 カウンタ動作設定手順例

(b) フリーランニングカウント動作と周期カウント動作

MTU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを “1” にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバフロー（FFFFh → 0000h）すると、対応する TIER レジスタの TCIEV ビットが “1” ならば、MTU は割り込みを要求します。TCNT はオーバフロー後、0000h からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 18.6 に示します。

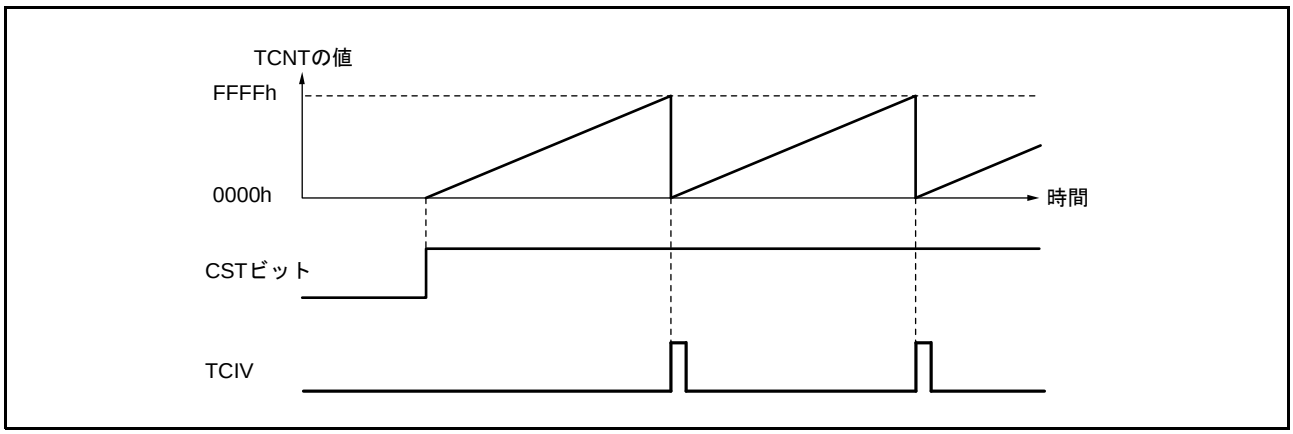


図 18.6　フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR[2:0] ビットでコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを “1” にすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TCNT は 0000h になります。

このとき対応する TIER の TGIE ビットが “1” ならば、MTU は割り込みを要求します。TCNT はコンペアマッチ後、0000h からアップカウント動作を継続します。

周期カウンタの動作を図 18.7 に示します。

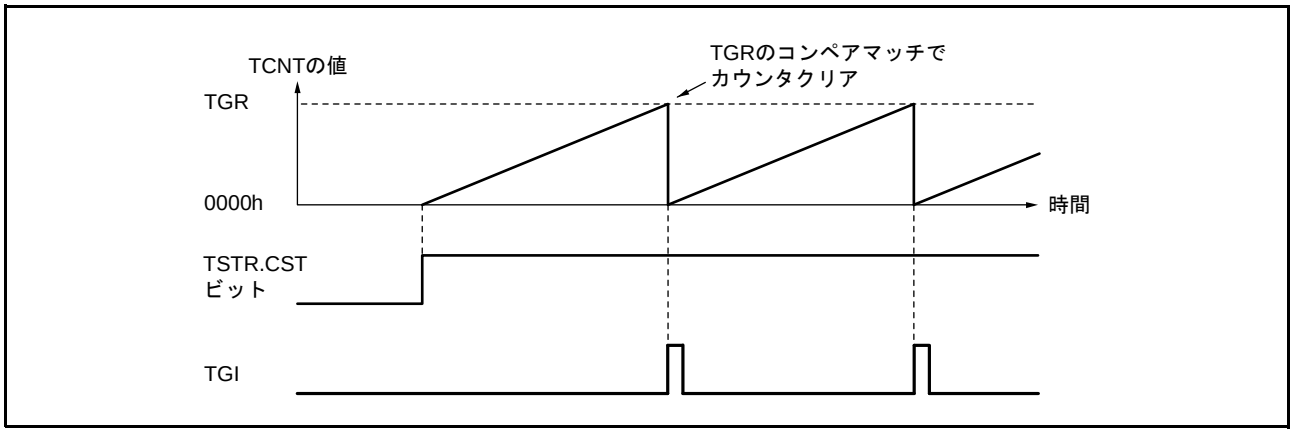


図 18.7　周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU は、コンペアマッチにより対応する出力端子から Low 出力／ High 出力／トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 18.8 に示します。

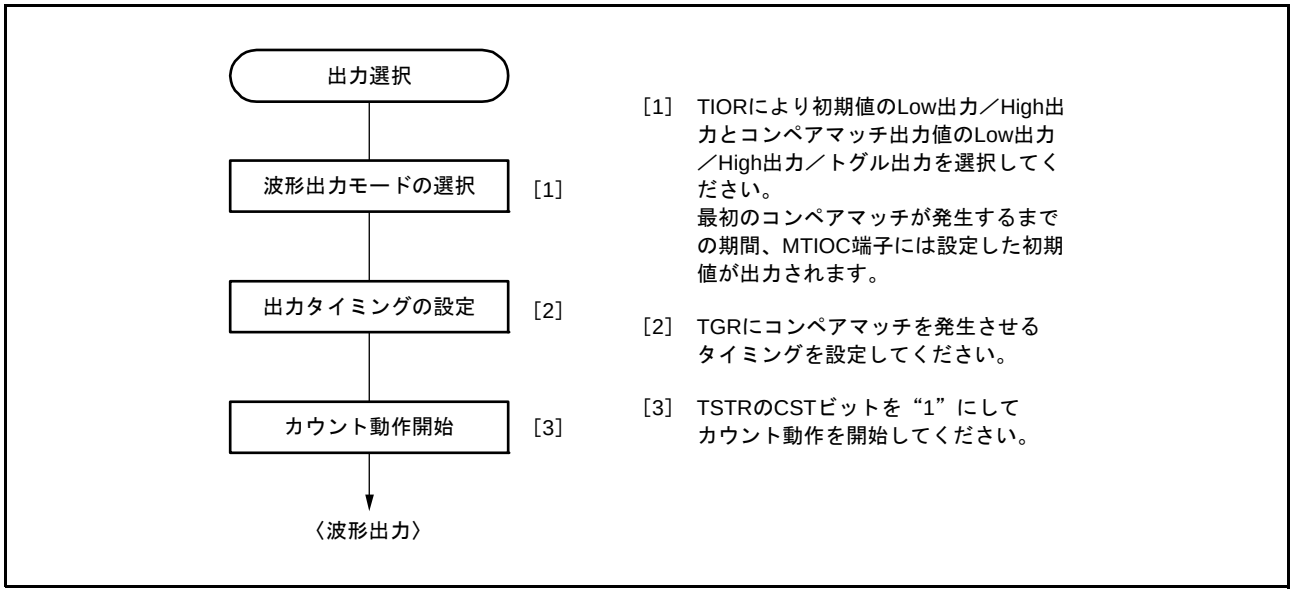


図 18.8　コンペアマッチによる波形出力動作例

(b)　波形出力動作例

Low 出力／ High 出力例を図 18.9 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

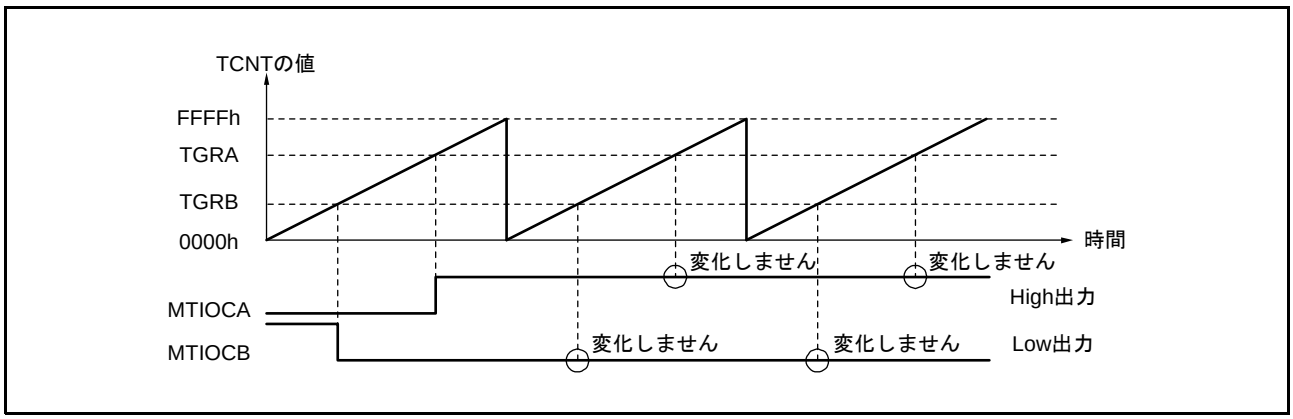


図 18.9　Low 出力／ High 出力の動作例

トグル出力の例を図 18.10 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

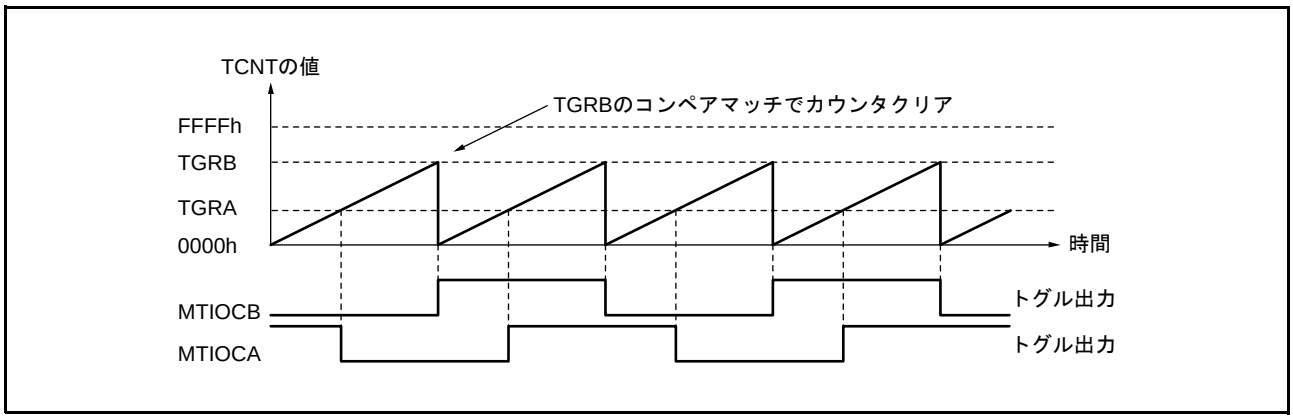


図 18.10　トグル出力の動作例

(3) インプットキャプチャ機能

MTIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。また、チャネル 0、1、6、7 は別のチャネルのカウンタ入力クロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。

注 . チャネル 0、1、6、7 で別のチャネルのカウンタ入力クロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウンタ入力クロックに PCLK ／ 1 を選択しないでください。PCLK ／ 1 を選択した場合は、インプットキャプチャは発生しません。

(a) インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 18.11 に示します。

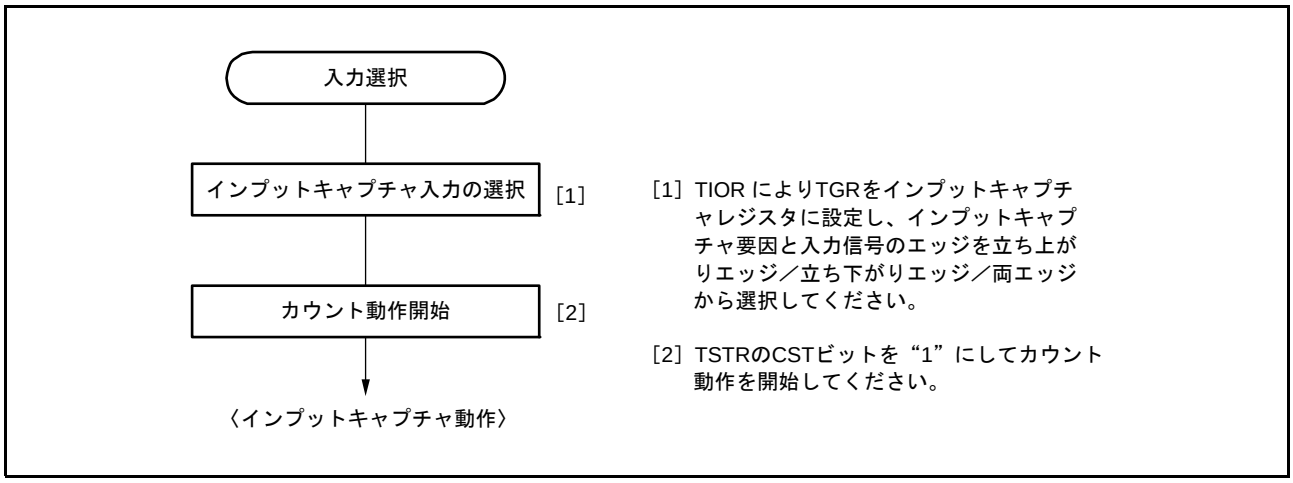


図 18.11　インプットキャプチャ動作の設定例

(b)　インプットキャプチャ動作例

インプットキャプチャ動作例を図 18.12 に示します。

MTIOCA 端子のインプットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また MTIOCB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です。

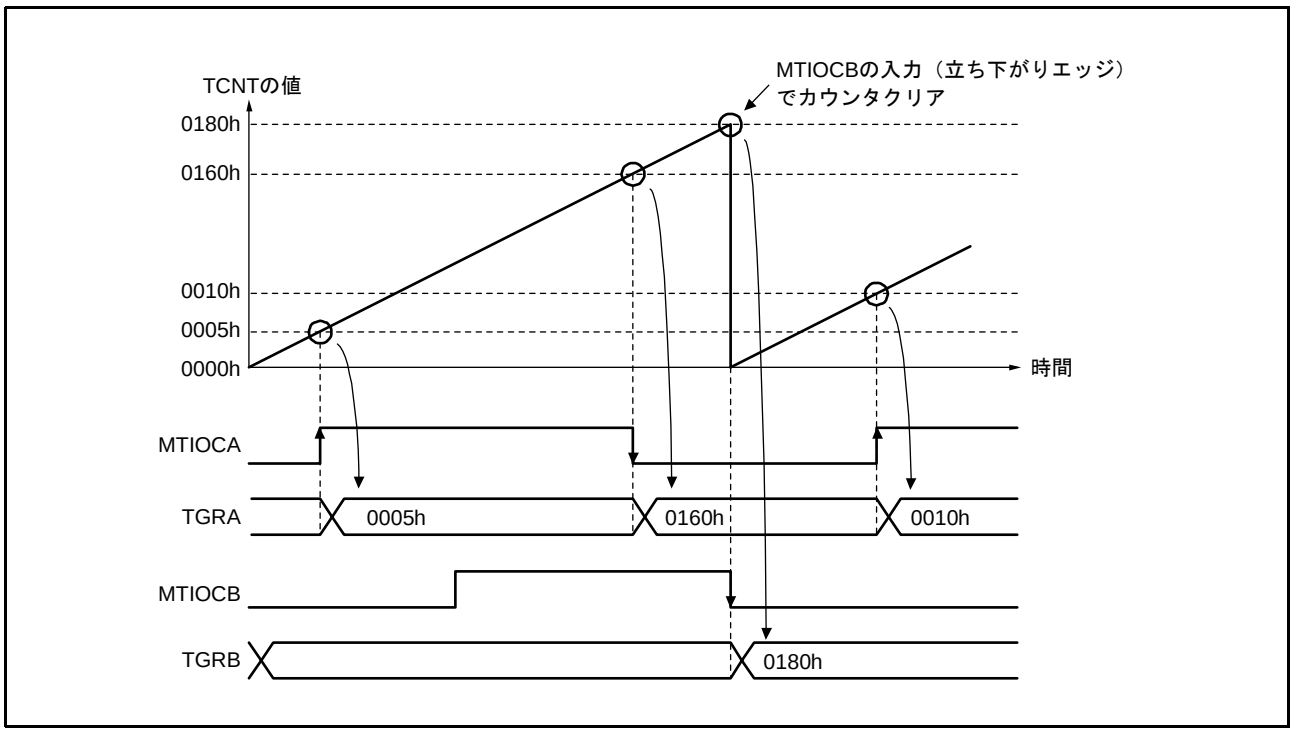


図 18.12　インプットキャプチャ動作例

18.3.2　同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR の設定によって複数の TCNT を同時にクリアすることができます（同期クリア）。

同期動作によって、1 つのタイムベースに対して動作する TGR の本数を増加させることができます。

チャネル 0 ～ 4、6 ～ 10 はすべて同期動作の設定が可能です。

チャネル 5、11 は同期動作できません。

(1)　同期動作の設定手順例

同期動作の設定手順例を図 18.13 に示します。

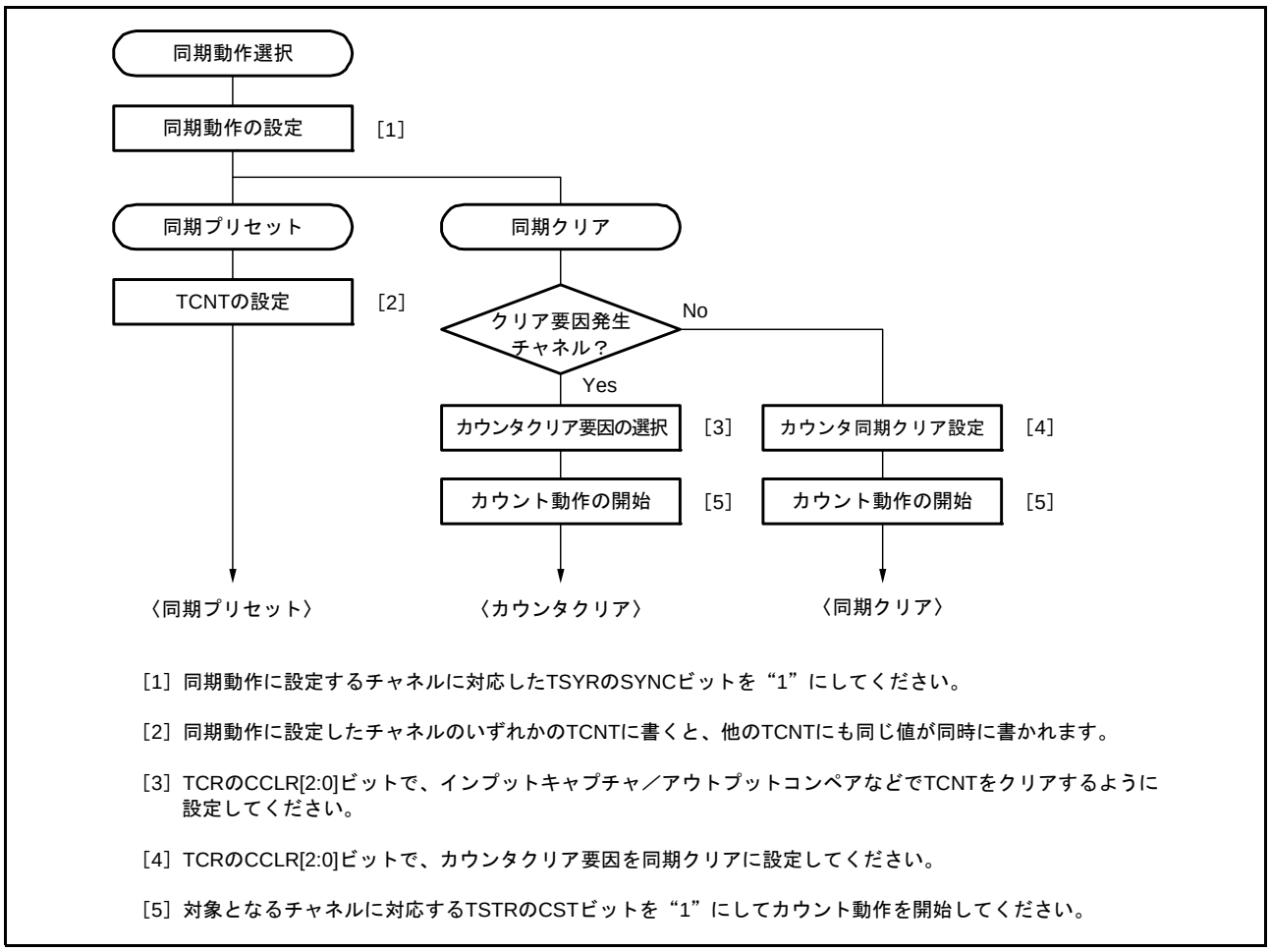


図 18.13　同期動作の設定手順例

(2)　同期動作の例

同期動作の例を図 18.14 に示します。

チャネル 0 ～ 2 を同期動作かつ PWM モード 1 に設定し、チャネル 0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、またチャネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、チャネル 0 ～ 2 の TCNT は同期プリセット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「18.3.5　PWM モード」を参照してください。

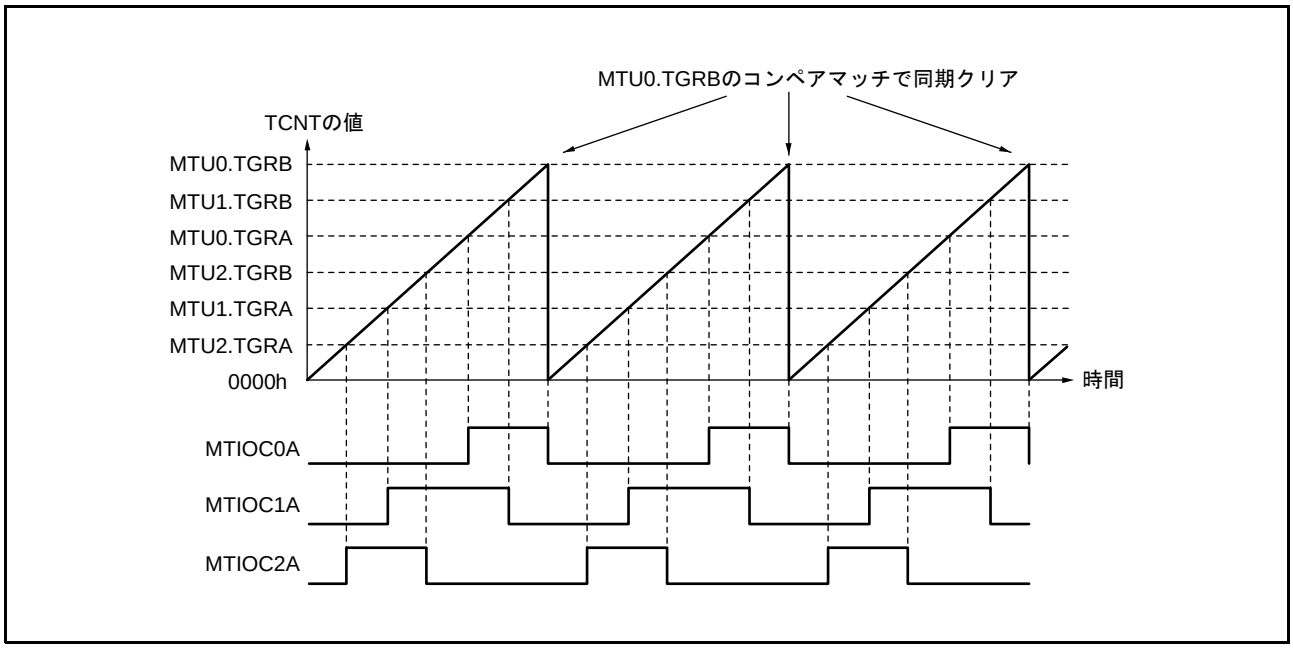


図 18.14　同期動作の動作例

18.3.3 バッファ動作

バッファ動作は、チャネル0、3、4、6、9、10が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。また、チャネル0、6はTGRFもバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注．　MTUn.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。（n=0、6）

表18.45にバッファ動作時のレジスタの組み合わせを示します。

表18.45　レジスタの組み合わせ

チャネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0、MTU6	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3、MTU9	TGRA	TGRC
	TGRB	TGRD
MTU4、MTU10	TGRA	TGRC
	TGRB	TGRD

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図18.15に示します。

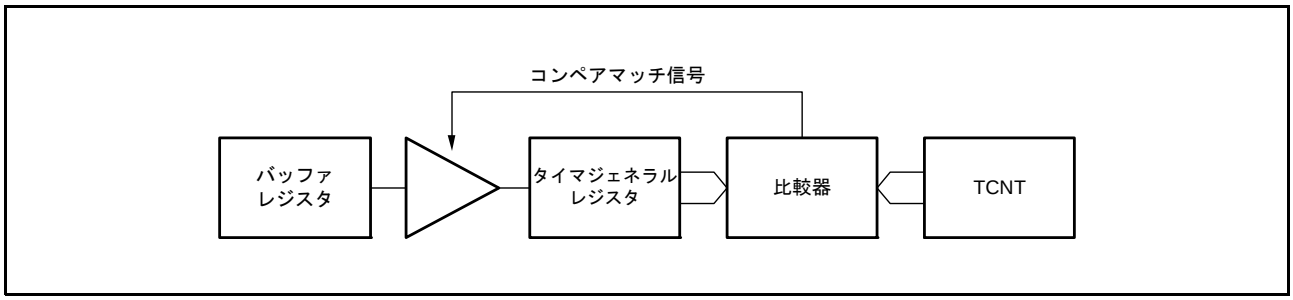


図18.15　コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 18.16 に示します。

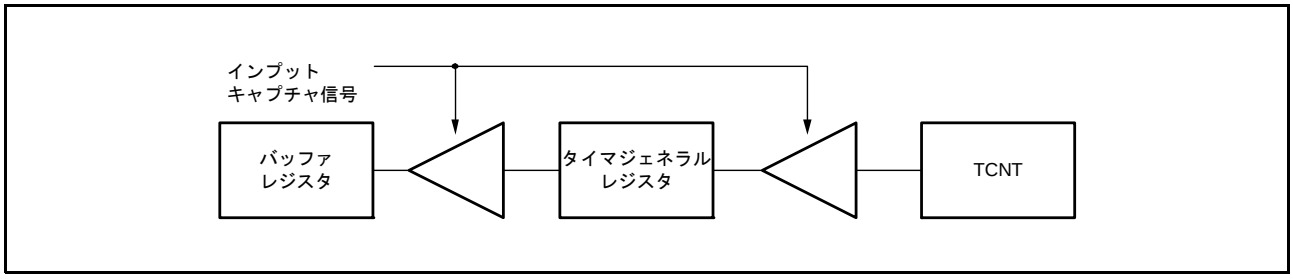


図 18.16　インプットキャプチャバッファ動作

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を図 18.17 に示します。

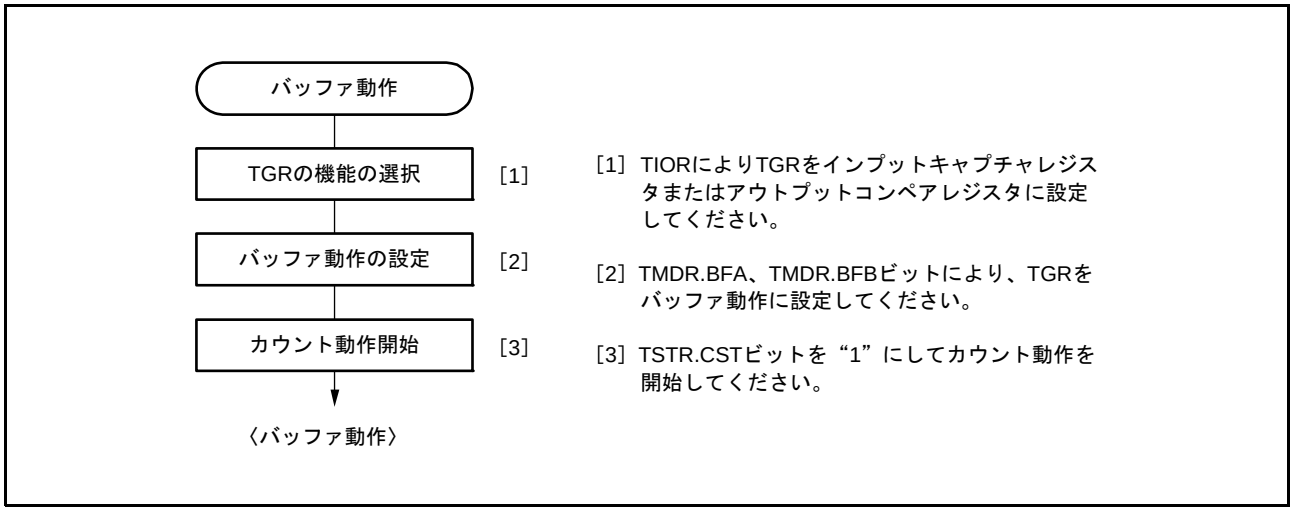


図 18.17　バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 18.18 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM の TTSA ビットは “0” に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「18.3.5 PWM モード」を参照してください。

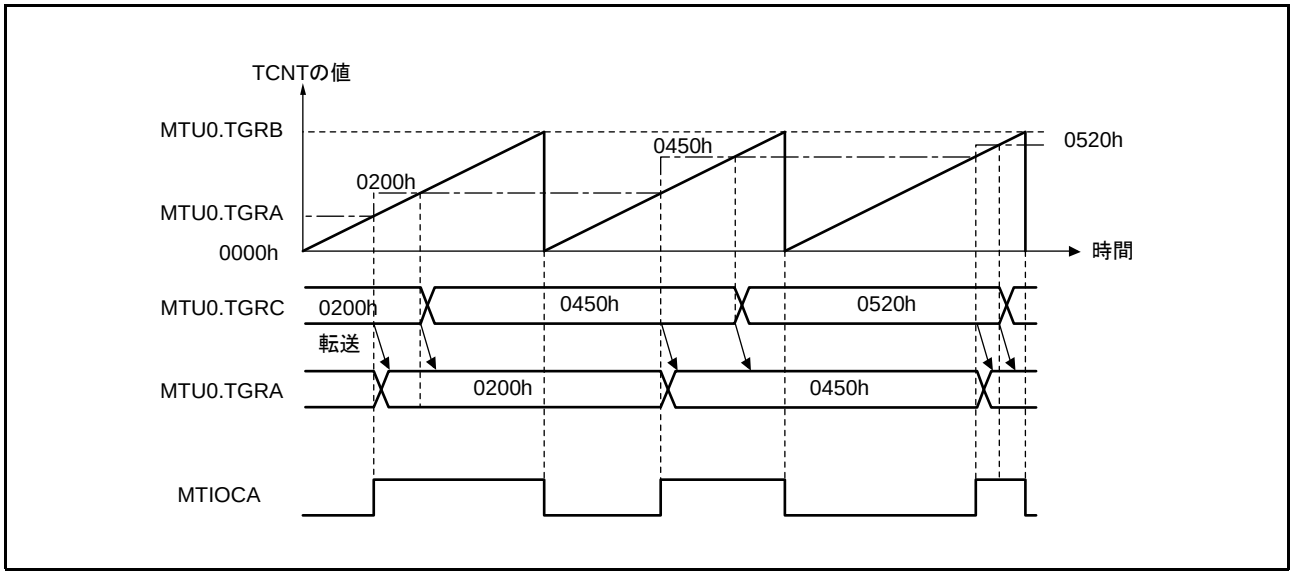


図 18.18 バッファ動作例（1）

(b)　TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 18.19 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、MTIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ／立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

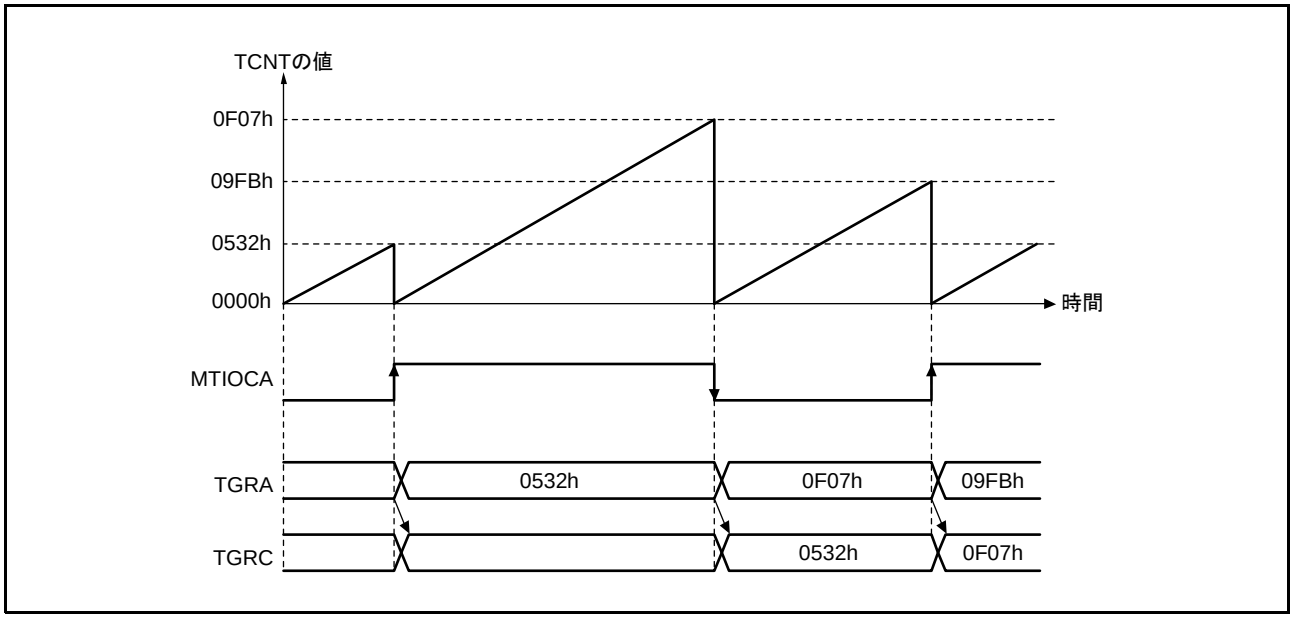


図 18.19　バッファ動作例（2）

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ（MTUn.TBTM、MTUm.TBTM、MTUi.TBTM）を設定することで、チャネル 0、6 では PWM モード 1、2 時の、チャネル 3、4、9、10 では PWM モード 1 のときの、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（初期値）と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。（n=0,6　m=3,9　i=4,10）

- TCNT がオーバフローしたとき（FFFFh → 0000h）
- カウンタ動作中、TCNT に 0000h が書かれたとき
- TCR の CCLR[2:0] ビットで設定したクリア要因で、TCNT が 0000h になったとき

注 .　TBTM レジスタの設定は TCNT が停止した状態で行ってください。

チャネル 0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 18.20 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM の TTSA ビットは “1” に設定しています。

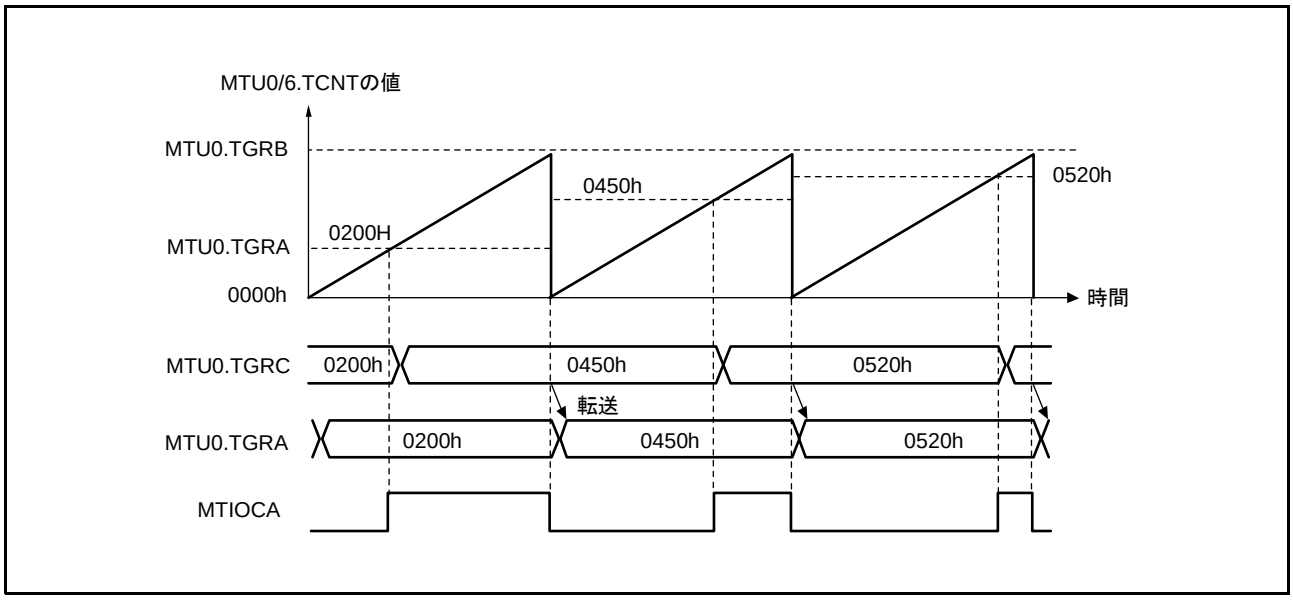


図 18.20　MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

18.3.4 カスケード接続動作

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャネル 1、7 のカウンタクロックを TCR の TPSC[2:0] ビットで（MTU1.TCNT または MTU7.TCNT）のオーバフロー／アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 18.46 にカスケード接続の組み合わせを示します。

注．　チャネル 1、7 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表18.46　カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャネル1とチャネル2 （チャネル7とチャネル8）	MTU1.TCNT （MTU7.TCNT）	MTU2.TCNT （MTU8.TCNT）

カスケード動作時に、MTUn.TCNT と MTUm.TCNT の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ（TICCR）で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方が High のとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4)　カスケード接続動作例（c）」を参照してください。カスケード接続時のインプットキャプチャについては「18.6.22　カスケード接続における MTUn.TCNT、MTUm.TCNT 同時インプットキャプチャ」を参照してください。

（n=1, 7　m=2, 8）

TICCR 設定値とインプットキャプチャ入力端子の対応を表 18.47 に示します。

表18.47　TICCR設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR設定値	インプットキャプチャ入力端子
MTUn.TCNT から MTUn.TGRA へのインプットキャプチャ	I2AE ビット＝0（初期値）	MTIOCnA
	I2AE ビット＝1	MTIOCnA、MTIOCmA
MTUn.TCNT から MTUn.TGRB へのインプットキャプチャ	I2BE ビット＝0（初期値）	MTIOCnB
	I2BE ビット＝1	MTIOCnB、MTIOCmB
MTUm.TCNT から MTUm.TGRA へのインプットキャプチャ	I1AE ビット＝0（初期値）	MTIOCmA
	I1AE ビット＝1	MTIOCmA、MTIOCnA
MTUm.TCNT から MTUm.TGRB へのインプットキャプチャ	I1BE ビット＝0（初期値）	MTIOCmB
	I1BE ビット＝1	MTIOCmB、MTIOCnB

【記号説明】　（n=1, 7　m=2, 8）

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 18.21 に示します。

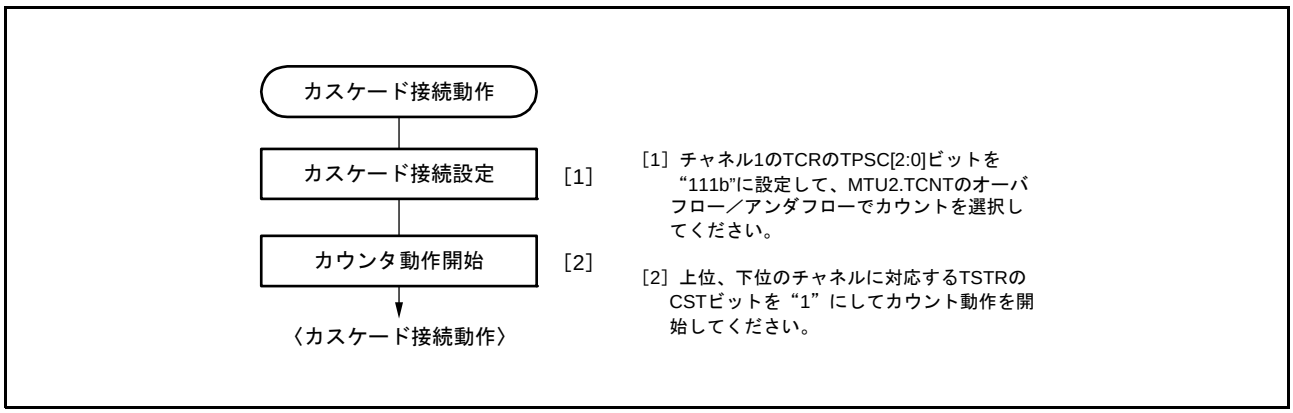


図 18.21　カスケード接続動作設定手順

(2) カスケード接続動作例（a）

MTU1.TCNT は MTU2.TCNT のオーバフロー／アンダフローでカウント、チャネル 2 を位相計数モードに設定したときの動作を図 18.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

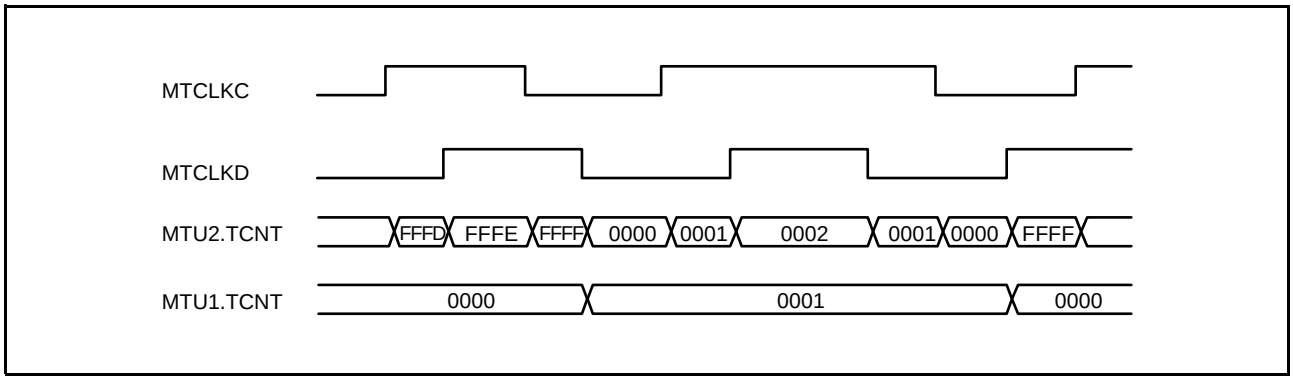


図 18.22　カスケード接続動作例（a）

(3) カスケード接続動作例（b）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットに “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を**図 18.23** に示します。この例では MTU1.TIOR の IOA[3:0] の設定は、（MTIOC1A の）立ち上がりエッジでインプットキャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] の設定は、（MTIOC2A の）立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA のインプットキャプチャ条件に設定されます。また、MTU2.TGRA のインプットキャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

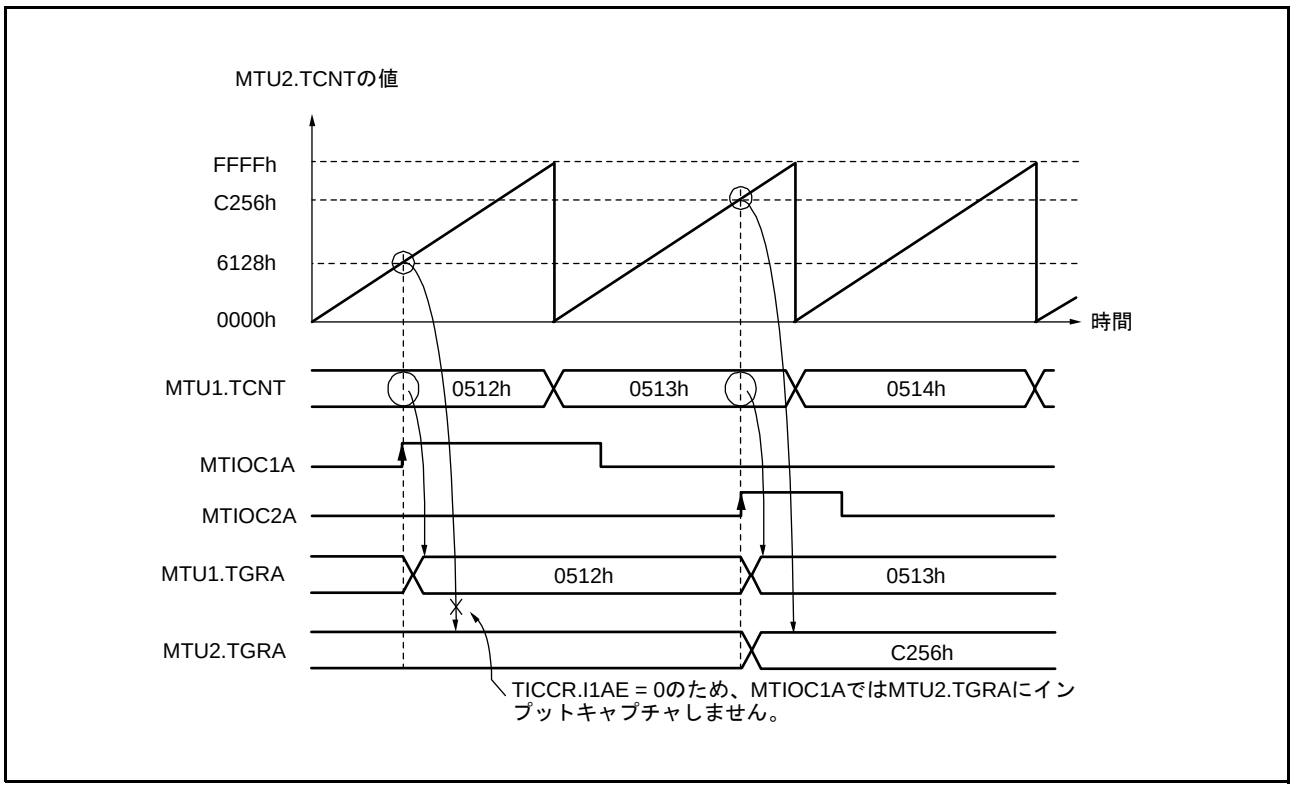
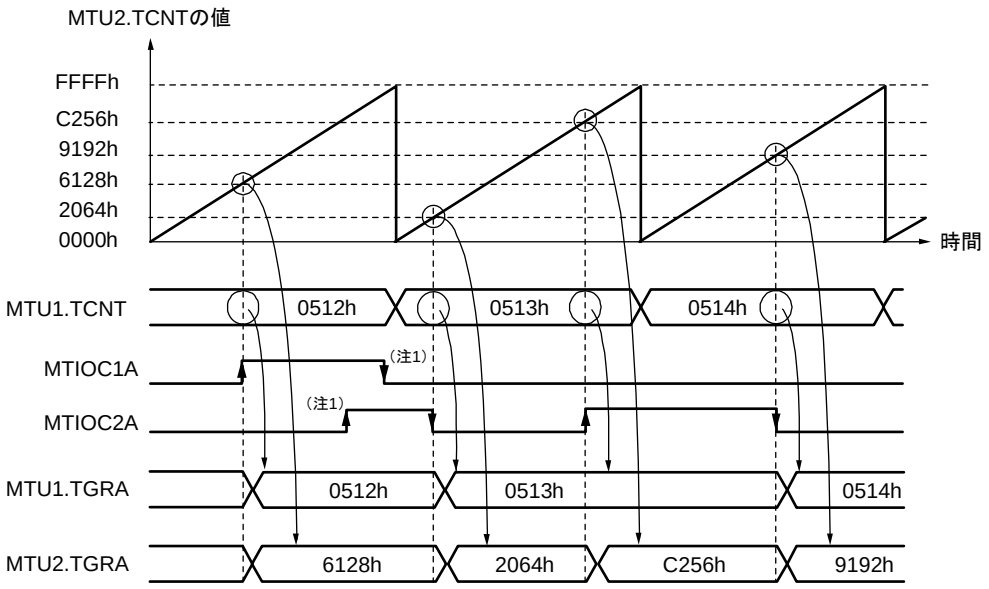


図 18.23　カスケード接続動作例（b）

(4) カスケード接続動作例（c）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットと TICCR.I1AE を “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加した場合の動作を**図 18.24** に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] の設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA のインプットキャプチャ条件となります。



注1.　一方の入力信号のレベルがHighのとき、もう一方の入力信号のエッジはインプットキャプチャー条件になりません。

図 18.24　カスケード接続動作例（c）

(5) カスケード接続動作例（d）

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR の I2AE ビットを “1” にして、MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加した場合の動作を図 18.25 に示します。この例では MTU1.TIOR の IOA[3:0] の設定は、MTU0.TGRA のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] の設定は、（MTIOC2A の）立ち上がりエッジでインプットキャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャのため、TICCR の I2AE ビットを “1” にしても MTIOC2A のエッジが MTU1.TGRA のインプットキャプチャ条件になることはありません。

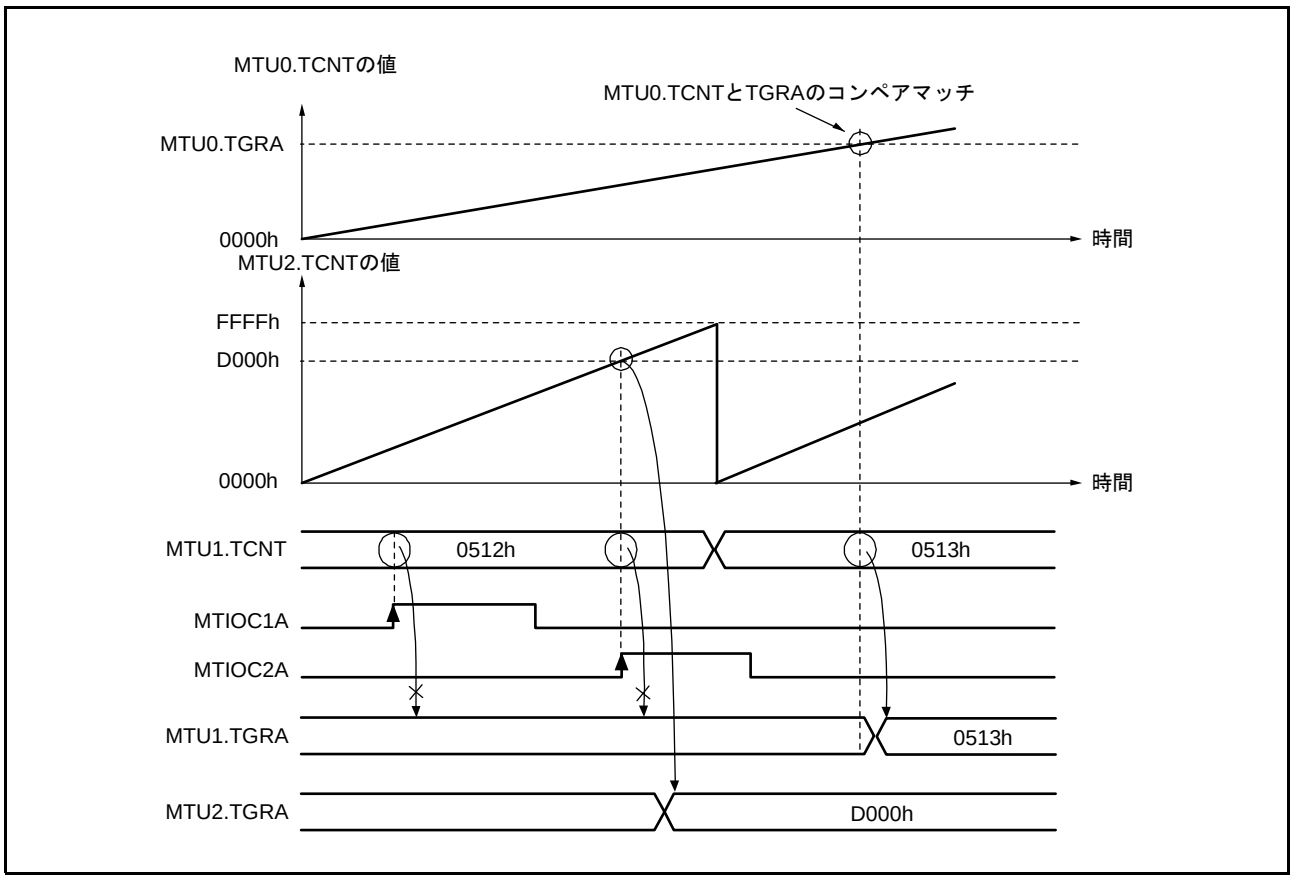


図 18.25　カスケード接続動作例（d）

18.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは Low 出力／ High 出力／トグル出力の中から選択可能です。

各 TGR の設定により、デューティ比 0 ～ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、MTIOCA、MTIOCC 端子から PWM 波形を出力します。MTIOCA、MTIOCC 端子からコンペアマッチ A、C によって TIOR の IOA[3:0]、IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB[3:0]、IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 18.48 に示します。

表18.48　各PWM出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0、MTU6	MTUn.TGRA（n=0,6）	MTIOC0A MTIOC6A	MTIOC0A MTIOC6A
	MTUn.TGRB（n=0,6）		MTIOC0B MTIOC6B
	MTUn.TGRC（n=0,6）	MTIOC0C MTIOC6C	MTIOC0C MTIOC6C
	MTUn.TGRD（n=0,6）		MTIOC0D MTIOC6D
MTU1、MTU7	MTUn.TGRA（n=1,7）	MTIOC1A MTIOC7A	MTIOC1A MTIOC7A
	MTUn.TGRB（n=1,7）		MTIOC1B MTIOC6B
MTU2、MTU8	MTUn.TGRA（n=2,8）	MTIOC2A MTIOC8A	MTIOC2A MTIOC8A
	MTUn.TGRB（n=2,8）		MTIOC2B MTIOC8B
MTU3、MTU9	MTUn.TGRA（n=3,9）	MTIOC3A MTIOC9A	設定できません
	MTUn.TGRB（n=3,9）		
	MTUn.TGRC（n=3,9）	MTIOC3C MTIOC9C	
	MTUn.TGRD（n=3,9）		
MTU4、MTU10	MTUn.TGRA（n=4,10）	MTIOC4A MTIOC10A	
	MTUn.TGRB（n=4,10）		
	MTUn.TGRC（n=4,10）	MTIOC4C MTIOC10C	
	MTUn.TGRD（n=4,10）		

注.　PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 18.26 に示します。

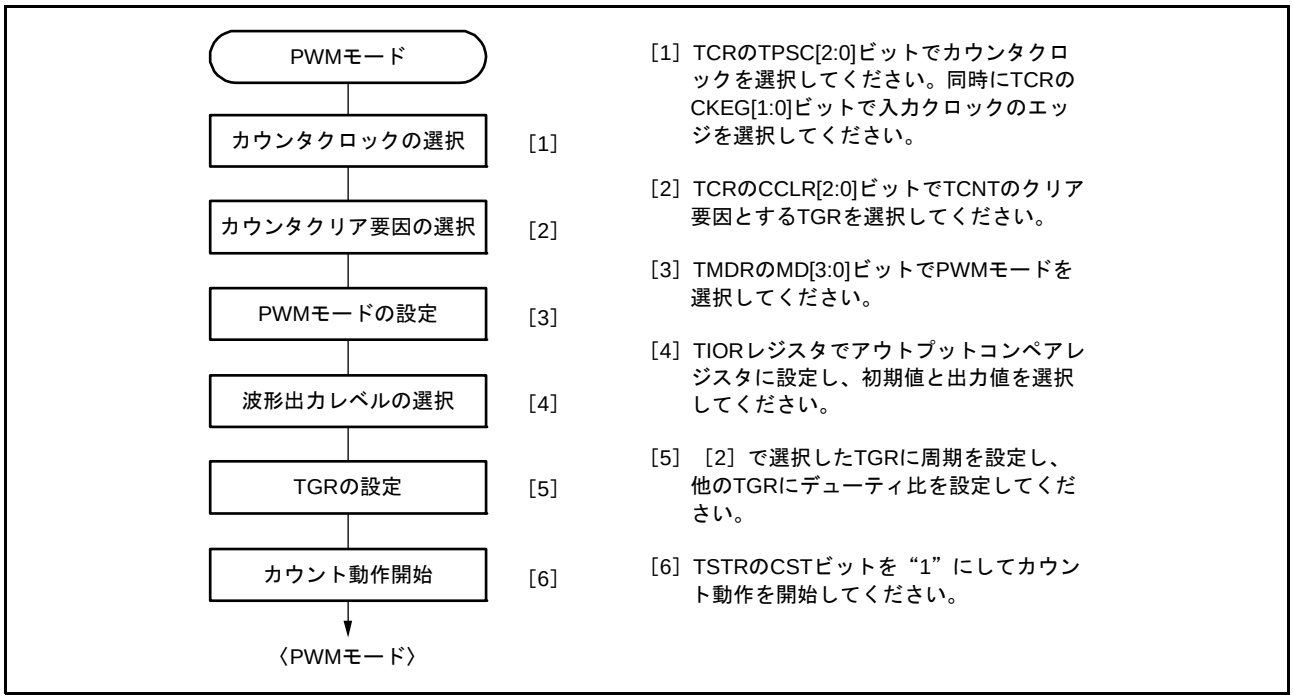


図 18.26　PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 18.27 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を Low、TGRB の出力値を High に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値でデューティ比が決まります。

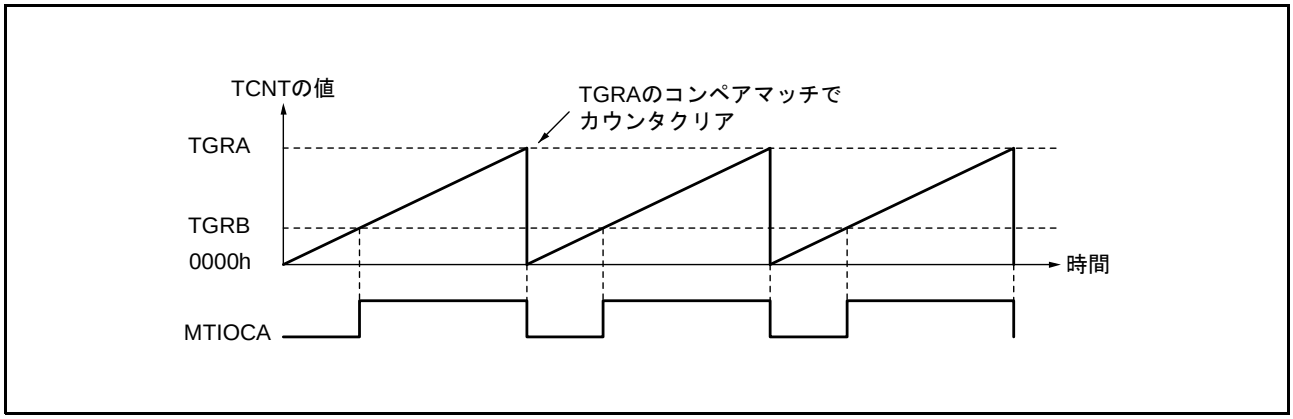


図 18.27　PWM モード 1 の動作例

PWM モード 2 の動作例を図 18.28 に示します。

この図は、チャネル 0 と 1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB のコンペアマッチとし、他の TGR（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）の初期出力値を Low、出力値を High にして 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR（MTU0.TGRA ～ MTU0.TGRD、MTU1.TGRA）に設定した値で各々の出力のデューティ比が決まります。

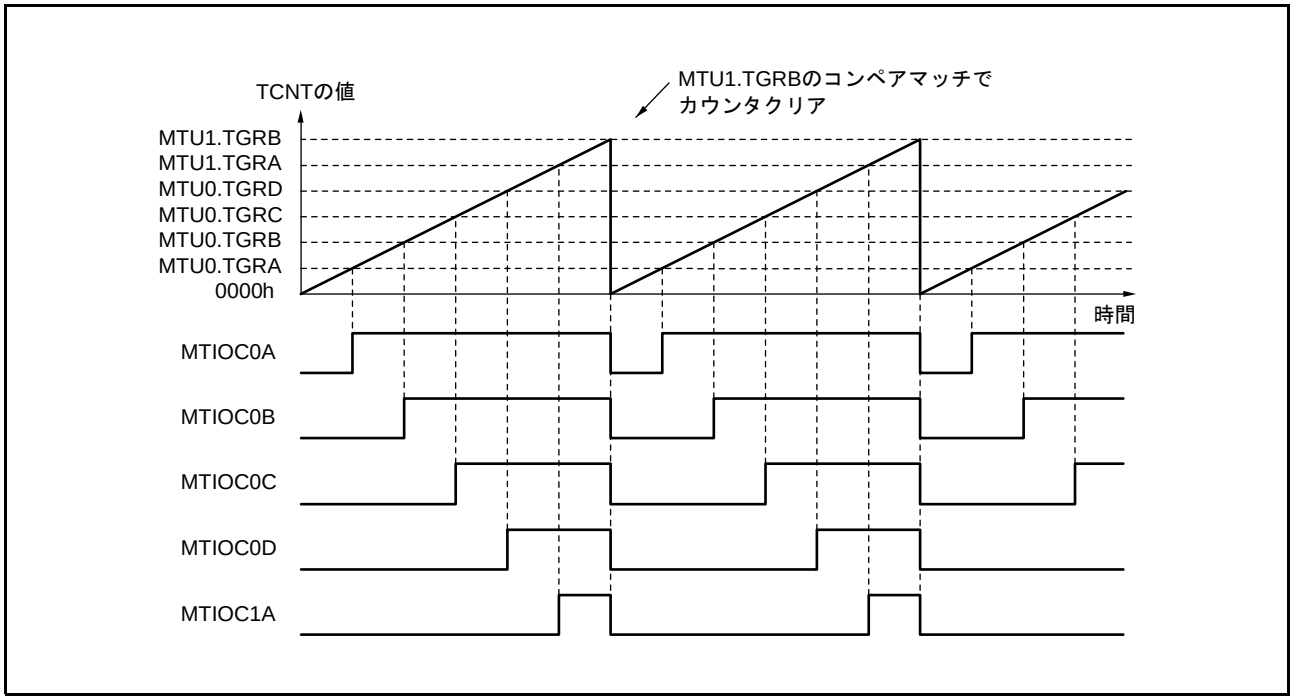


図 18.28　PWM モード 2 の動作例

PWM モードで、デューティ比 0%、デューティ比 100%の PWM 波形を出力する例を図 18.29 に示します。

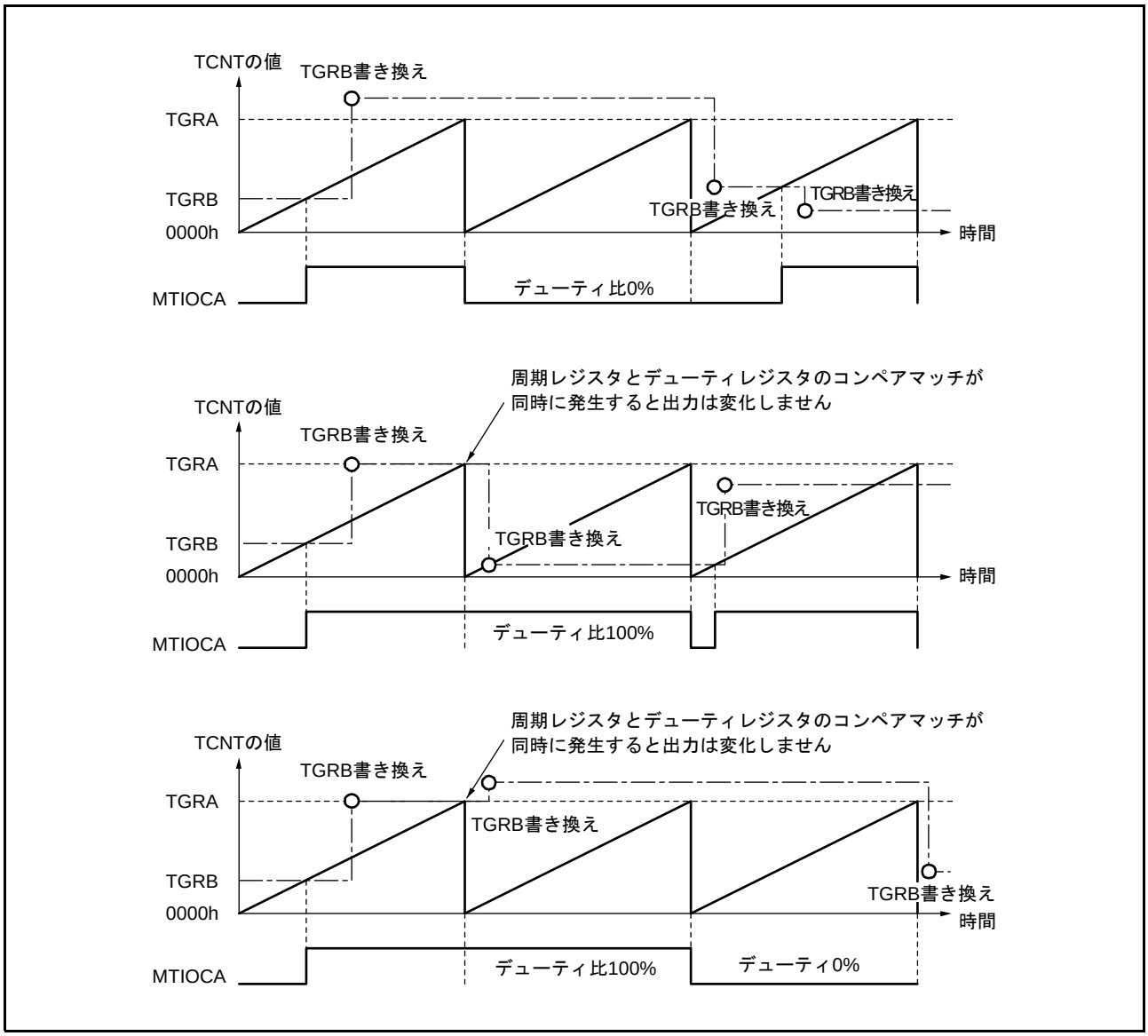


図 18.29　PWM モードでのデューティ比変更例

18.3.6　位相計数モード

位相計数モードでは、チャネル1、2（またはチャネル7、8）の設定によって、2本の外部クロック入力の位相差を検出し、TCNTをアップ／ダウンカウントします。

位相計数モードに設定すると、TCRのTPSC[2:0]ビット、CKEG[1:0]ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ／ダウンカウンタとして動作します。ただし、TCRのCCLR[1:0]ビット、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

TCNTがアップカウント時、オーバフローが発生すると、対応するTIERのTCIEVビットが“1”ならば、TCIV割り込みが発生します。また、ダウンカウント時アンダフローが発生すると、対応するTIERのTCIEUビットが“1”ならばTCIU割り込みが発生します。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグを読むことにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表18.49に外部クロック端子とチャネルの対応を示します。

表18.49　位相計数モードクロック入力端子

チャネル	外部クロック端子	
	A相	B相
チャネル1（または7）を位相計数モードとするとき	MTCLKA（MTCLKE）	MTCLKB（MTCLKF）
チャネル2（または8）を位相計数モードとするとき	MTCLKC（MTCLKG）	MTCLKD（MTCLKH）

(1)　位相計数モードの設定手順例

位相計数モードの設定手順例を図18.30に示します。

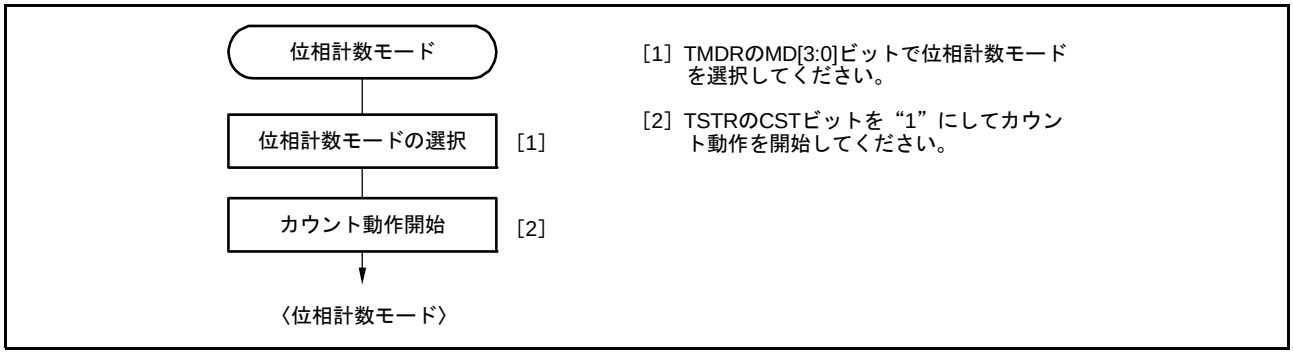


図18.30　位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2 本の外部クロックの位相差で TCNT がアップ／ダウンカウントします。なお、カウント条件により 4 つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 18.31 に、TCNT のアップ／ダウンカウント条件を表 18.50 に示します。

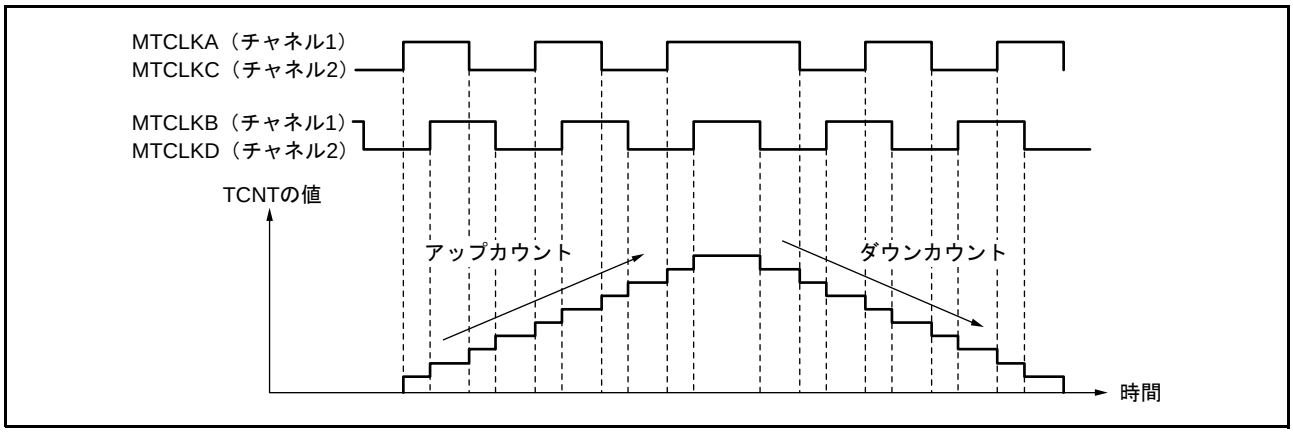


図 18.31　位相計数モード 1 の動作例

表18.50　位相計数モード1のアップ／ダウンカウント条件

MTCLKA（チャネル1） MTCLKC（チャネル2）	MTCLKB（チャネル1） MTCLKD（チャネル2）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(b)　位相計数モード 2

位相計数モード 2 の動作例を図 18.32 に、TCNT のアップ／ダウンカウント条件を表 18.51 に示します。

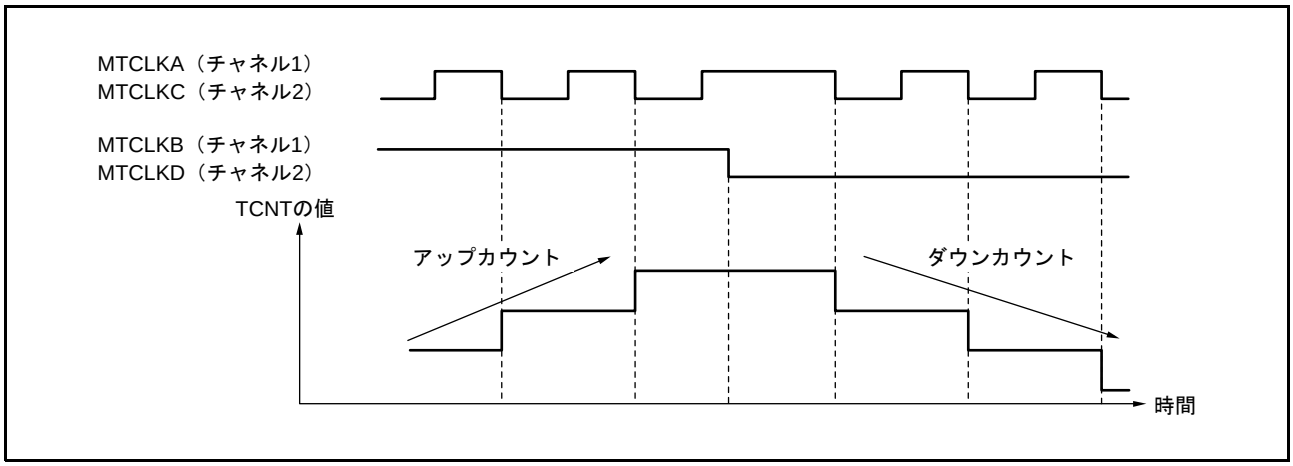


図 18.32　位相計数モード 2 の動作例

表18.51　　位相計数モード2のアップ／ダウンカウント条件

MTCLKA（チャネル1） MTCLKC（チャネル2）	MTCLKB（チャネル1） MTCLKD（チャネル2）	動作内容
High	↑	カウントしない（Don't care）
Low	↓	
↑	Low	
↓	High	アップカウント
High	↓	カウントしない（Don't care）
Low	↑	
↑	High	
↓	Low	ダウンカウント

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図18.33に、TCNTのアップ／ダウンカウント条件を表18.52に示します。

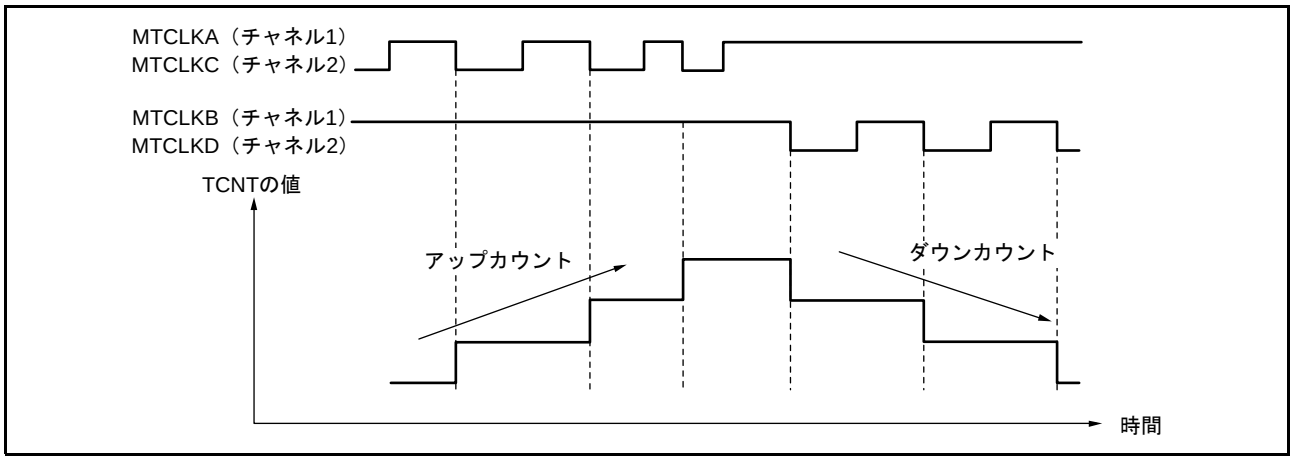


図18.33　位相計数モード3の動作例

表18.52　位相計数モード3のアップ／ダウンカウント条件

MTCLKA（チャネル1） MTCLKC（チャネル2）	MTCLKB（チャネル1） MTCLKD（チャネル2）	動作内容
High	↑	カウントしない（Don't care）
Low	↓	
↑	Low	
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	カウントしない（Don't care）
↑	High	
↓	Low	

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図18.34に、TCNTのアップ／ダウンカウント条件を表18.53に示します。

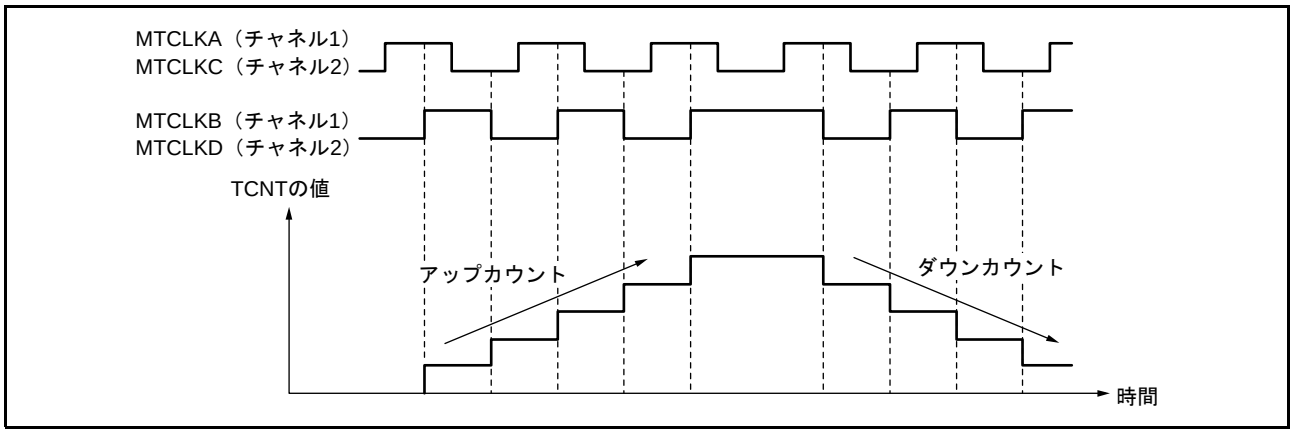


図18.34　位相計数モード4の動作例

表18.53　位相計数モード4のアップ／ダウンカウント条件

MTCLKA（チャネル1） MTCLKC（チャネル2）	MTCLKB（チャネル1） MTCLKD（チャネル2）	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない（Don't care）
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない（Don't care）
↓	Low	

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(3) 位相計数モード応用例

チャネル 1（またはチャネル 7）を位相計数モードに設定し、チャネル 0（またはチャネル 6）と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 18.35 に示します。

チャネル 1（またはチャネル 7）は位相計数モード 1 に設定し、MTCLKA（または MTCLKE）と MTCLKB（または MTCLKF）にエンコーダパルスの A 相、B 相を入力します。

チャネル 0（またはチャネル 6）は TCNT を MTUn.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTUn.TGRA と TGRC はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTUn.TGRB はインプットキャプチャ機能で使用し、MTUn.TGRB と TGRD をバッファ動作させます。MTUn.TGRB のインプットキャプチャ要因は、チャネル 1（またはチャネル 7）のカウンタ入力クロックとし、2 相エンコーダの 4 逓倍パルスのパルス幅を検出します。（n=0,6）

チャネル 1（またはチャネル 7）の MTUm.TGRA と TGRB は、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャネル 0（またはチャネル 6）の MTUn.TGRA と TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップ／ダウンカウンタの値を格納します。

これにより、正確な位置／速度検出を行うことができます。（n=0,6　m=1,7）

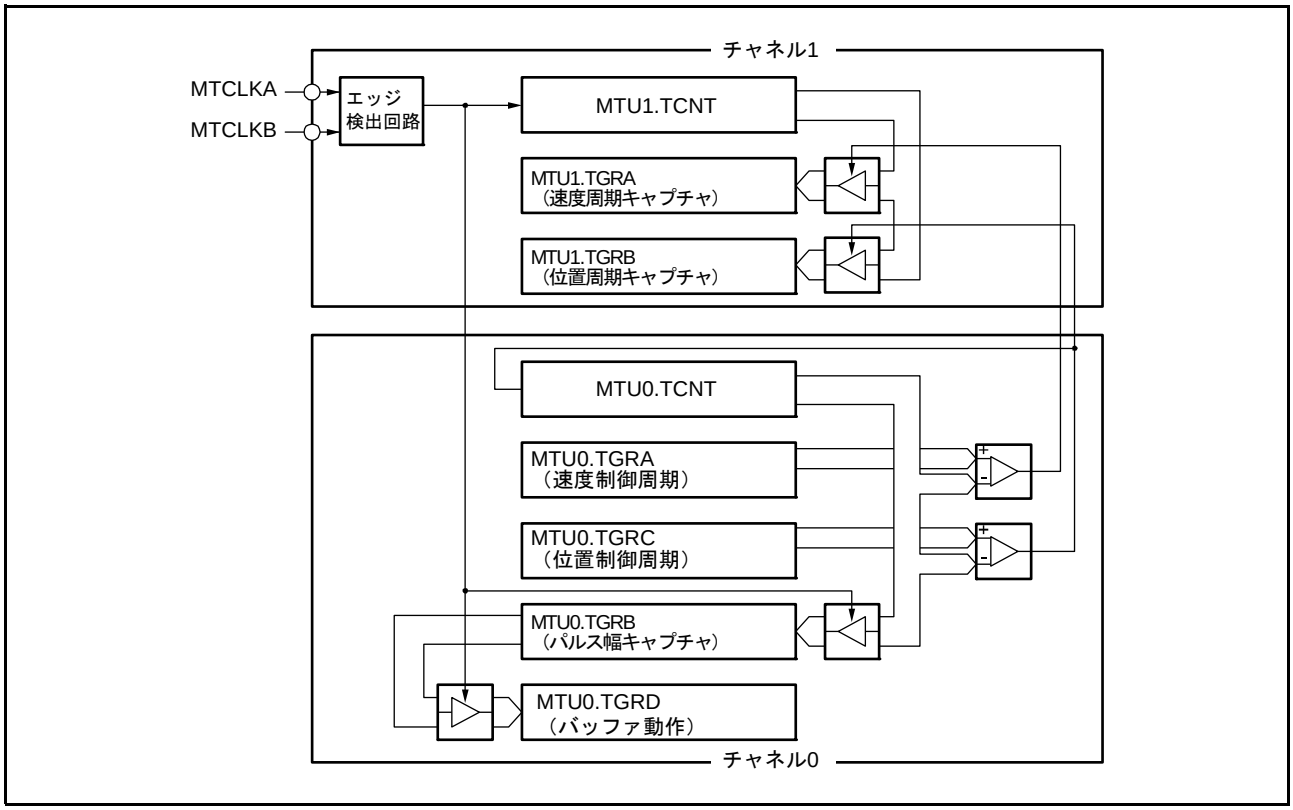


図 18.35　位相計数モードの応用例（ユニット 0）

18.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャネル 3、4（または 9 と 10）を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、MTIOCnB、MTIOCnD、MTIOCmA、MTIOCmC、MTIOCmB、および MTIOCmD 端子は PWM 出力端子となり、タイマカウンタ n（MTUn.TCNT）はアップカウンタとして機能します。

（n=3,9　m=4,10）

使用される PWM 出力端子を表 18.54 に、使用するレジスタの設定を表 18.55 に示します。

表 18.54　リセット同期PWMモード時の出力端子

チャネル	出力端子	説　明
MTU3、MTU9	MTIOCnB	PWM出力端子1
	MTIOCnD	PWM出力端子1'（PWM出力1の逆相波形）
MTU4、MTU10	MTIOCmA	PWM出力端子2
	MTIOCmC	PWM出力端子2'（PWM出力2の逆相波形）
	MTIOCmB	PWM出力端子3
	MTIOCmD	PWM出力端子3'（PWM出力3の逆相波形）

【記号説明】　n=3,9　m=4,10

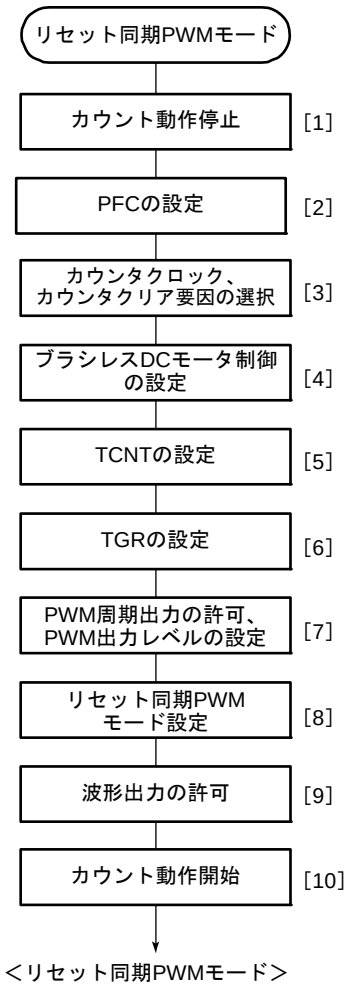
表 18.55　リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTUn.TCNT	0000hを初期設定
MTUm.TCNT	0000hを初期設定
MTUn.TGRA	MTUn.TCNTのカウント周期を設定
MTUn.TGRB	MTIOCnB、MTIOCnD端子より出力されるPWM波形の変化点を設定
MTUm.TGRA	MTIOCmA、MTIOCmC端子より出力されるPWM波形の変化点を設定
MTUm.TGRB	MTIOCmB、MTIOCmD端子より出力されるPWM波形の変化点を設定

【記号説明】　n=3,9　m=4,10

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モード (ユニット 0) の設定手順例を図 18.36 に示します。



[1] タイマスタートレジスタ（TSTR）のCST3、CST4ビットを0にクリアし、タイマカウンタ（TCNT）のカウント動作を停止してください。リセット同期PWMモードの設定はMTU3.TCNT、MTU4.TCNTが停止した状態で行ってください。

[2] ポートコントロールレジスタとポートI/Oレジスタの設定をしてください。

[3] MTU3.TCRのTPSC[2:0]ビットとCKEG[1:0]ビットでチャネル3のカウンタクロックとクロックのエッジを設定してください。
CCLR[2:0]ビットでカウンタクリア要因をTGRAのコンペアマッチに設定してください。

[4] ブラシレスDCモータ用の制御をする場合、タイマゲートコントロールレジスタ（TGCR）のBDCビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。

[5] MTU3.TCNT、MTU4.TCNTは0000hとしてください。

[6] MTU3.TGRAは周期レジスタです。MTU3.TGRAには周期を設定してください。MTU3.TGRB、MTU4.TGRA、MTU4.TGRBにはPWM出力波形変化タイミングを設定してください。ただし、設定値はMTU3.TCNTとコンペアマッチする範囲で設定してください。

X≦MTU3.TGRA （X：設定値）

[7] タイマアウトプットコントロールレジスタ1（TOCR1）のPSYEビットでPWM周期に同期したトグル出力の許可／禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。TOCR2A、TOLBRAレジスタにより、PWM出力レベルの設定をバッファ動作で行う場合は、図18.4を参照してください。

[8] タイマモードレジスタ（MTU3.TMDR）のMD[3:0]ビットを1000bにしてリセット同期PWMモード、および必要に応じTGRAレジスタとTGRCレジスタのバッファ動作（BFA=1）、TGRBレジスタとTGRDレジスタのバッファ動作（BFB=1）を設定してください。MTU4.TMDRには初期値を設定してください。

[9] タイマアウトプットマスタイネーブルレジスタ（TOER）でPWM波形出力端子の出力の許可／禁止を設定してください。

[10] TSTRAのCST3ビットを“1”にして、カウント動作を開始してください。

注. X=MTU3.TGRAすなわち周期＝デューティ比の設定を行うと出力波形はMTU3.TCNT=MTU3.TGRA=Xのポイントでトグル動作します。

図 18.36　リセット同期 PWM モード (ユニット 0) の設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 18.37 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT はアップカウンタとして動作します。MTU3.TCNT が MTU3.TGRA とコンペアマッチするとカウンタはクリアされ 0000h からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

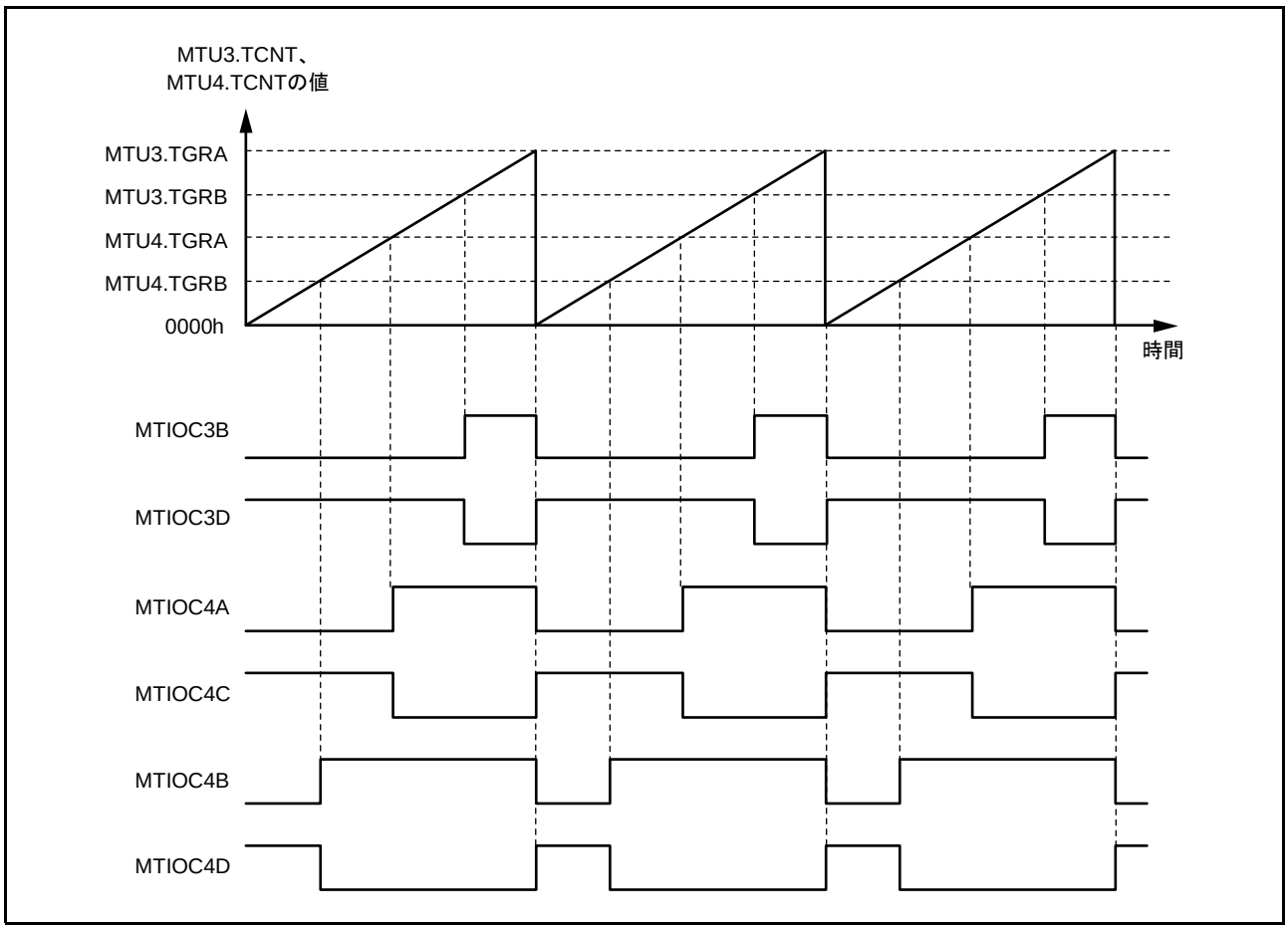


図 18.37　リセット同期 PWM モードの動作例（ユニット 0、TOCRA の OLSN ＝ 1、OLSP ＝ 1 にした場合）

18.3.8 相補 PWM モード

相補 PWM モードは、チャネル 3、4（またはチャネル 9、10）を組み合わせることにより、正相と逆相がノンオーバラップの関係にある PWM 波形を 3 相出力します。ノンオーバラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、MTIOCnB、MTIOCnD、MTIOCmA、MTIOCmB、MTIOCmC、MTIOCmD 端子は PWM 出力端子となり、MTIOCnA 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTUn.TCNT と MTUm.TCNT はアップ／ダウンカウンタとして機能します。

使用される PWM 出力端子を表 18.56 に、使用するレジスタの設定を表 18.57 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

（n=3,9　m=4,10）

表 18.56　相補PWMモード時の出力端子

チャネル	出力端子	説　明
MTU3 MTU9	MTIOC3A/ MTIOC9A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B/ MTIOC9B	PWM出力端子1
	MTIOC3C/ MTIOC9C	入出力ポート（注1）
	MTIOC3D/ MTIOC9D	PWM出力端子1'（PWM出力1とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）
MTU4 MTU10	MTIOC4A/ MTIOC10A	PWM出力端子2
	MTIOC4C/ MTIOC10C	PWM出力端子2'（PWM出力2とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）
	MTIOC4B/ MTIOC10B	PWM出力端子3
	MTIOC4D/ MTIOC10D	PWM出力端子3'（PWM出力3とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）

注1.　MTIOC3C/MTIOC9C端子は相補PWMモード時、タイマ入出力端子に設定しないでください。

表18.57　相補PWMモード時のレジスタ設定

チャネル	カウンタ／レジスタ	説　明	CPUからの読み出し／書き込み
MTU3/MTU9	MTUn.TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERの設定（注1）によりマスク可能
	MTUn.TGRA	MTUn.TCNTの上限値を設定（キャリア周期の1/2＋デッドタイム）	TRWERの設定（注1）によりマスク可能
	MTUn.TGRB	PWM出力1のコンペアレジスタ	TRWERの設定（注1）によりマスク可能
	MTUn.TGRC	MTUn.TGRAのバッファレジスタ	常に読み出し／書き込み可能
	MTUn.TGRD	PWM出力1/MTUn.TGRBのバッファレジスタ	常に読み出し／書き込み可能
MTU4/MTU10	MTUm.TCNT	0000hを初期設定しカウントアップスタート	TRWERの設定（注1）によりマスク可能
	MTUm.TGRA	PWM出力2のコンペアレジスタ	TRWERの設定（注1）によりマスク可能
	MTUm.TGRB	PWM出力3のコンペアレジスタ	TRWERの設定（注1）によりマスク可能
	MTUm.TGRC	PWM出力2/MTUm.TGRAのバッファレジスタ	常に読み出し／書き込み可能
	MTUm.TGRD	PWM出力3/MTUm.TGRBのバッファレジスタ	常に読み出し／書き込み可能
タイマデッドタイムデータレジスタ（TDDR）		MTUm.TCNTとMTUn.TCNTのオフセット値（デッドタイムの値）を設定	TRWERの設定（注1）によりマスク可能
タイマ周期データレジスタ（TCDR）		MTUm.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERの設定（注1）によりマスク可能
タイマ周期バッファレジスタ（TCBR）		TCDRのバッファレジスタ	常に読み出し／書き込み可能
サブカウンタ（TCNTS）		デッドタイム生成のためのサブカウンタ	読み出しのみ可能
テンポラリレジスタ1（TEMP1）		PWM出力1/MTUn.TGRBのテンポラリレジスタ	読み出し／書き込み不可
テンポラリレジスタ2（TEMP2）		PWM出力2/MTUm.TGRAのテンポラリレジスタ	読み出し／書き込み不可
テンポラリレジスタ3（TEMP3）		PWM出力3/MTUm.TGRBのテンポラリレジスタ	読み出し／書き込み不可

【記号説明】　n=3,9　m=4,10

注1.　TRWER（タイマリードライトイネーブルレジスタ）の設定によりアクセスの許可／禁止が可能です。

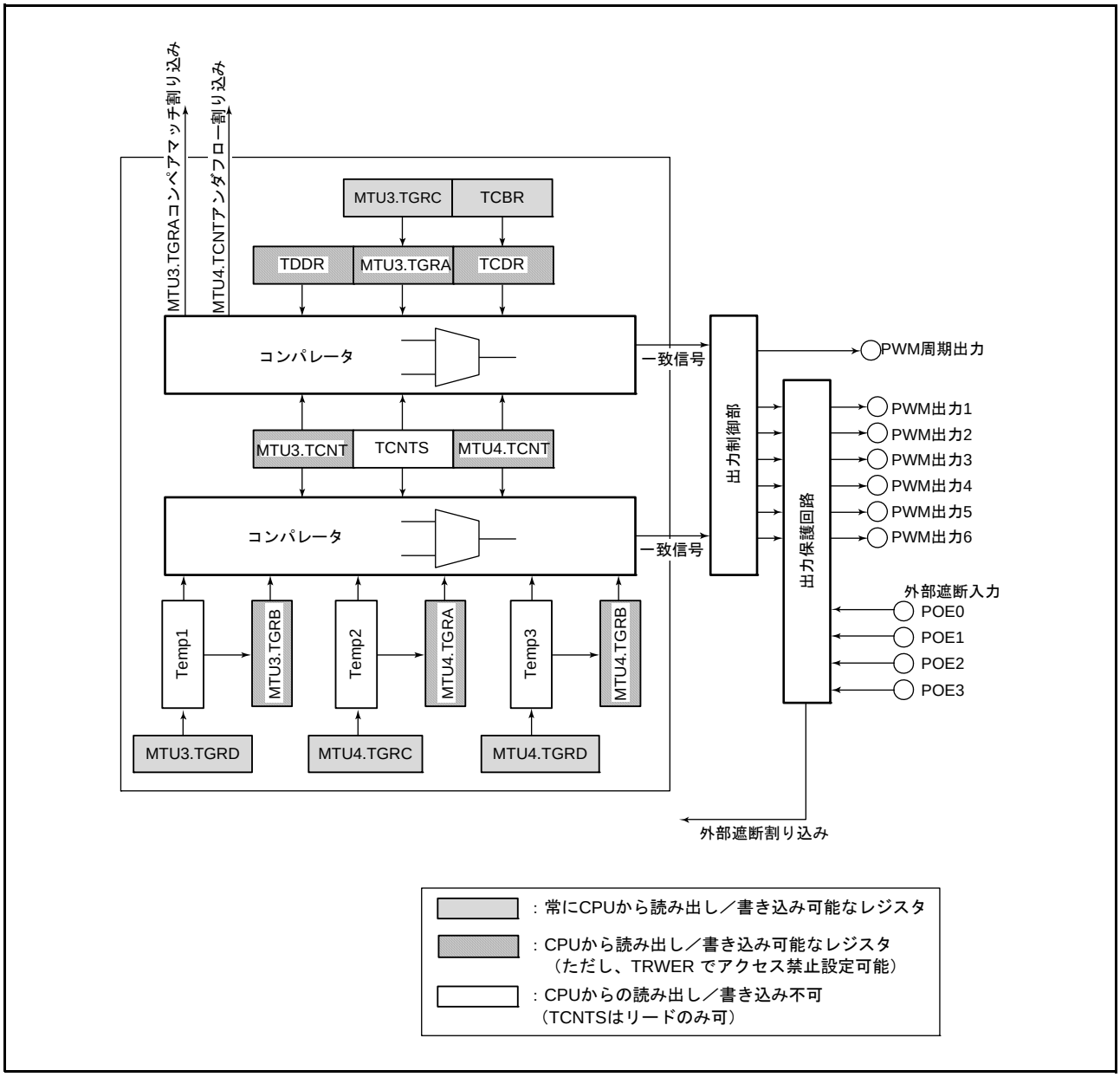
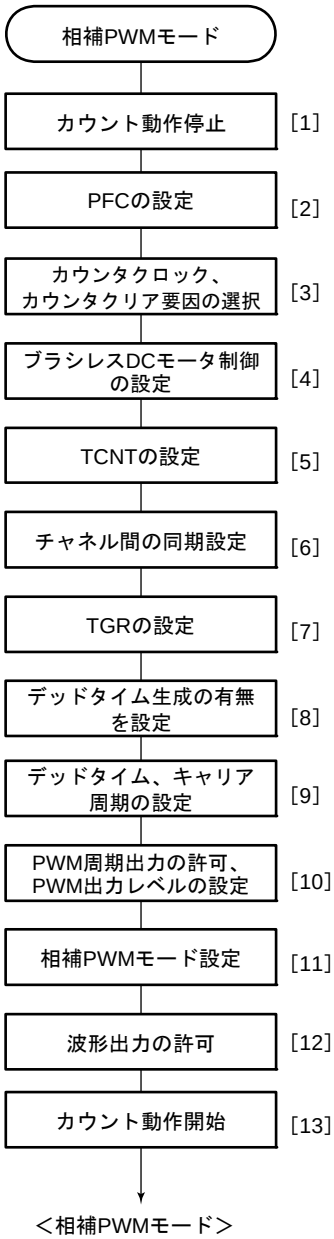


図 18.38　相補 PWM モード時のチャネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モード (ユニット 0) の設定手順例を図 18.39 に示します。



[1] タイマスタートレジスタ（TSTR）のCST3、CST4ビットを“0”にしてタイマカウンタ（TCNT）のカウント動作を停止してください。相補PWMモードの設定はMTU3.TCNT、MTU4.TCNTが停止した状態で行ってください。

[2] ポートコントロールレジスタとポートI/Oレジスタの設定をしてください。

[3] タイマコントロールレジスタ（TCR）のTPSC[2:0]ビットとCKEG[1:0]ビットでチャネル3、4に同一のカウンタクロックとクロックのエッジを設定してください。CCLR[2:0]ビットは相補PWMモードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ同期クリアを設定してください。

[4] ブラシレスDCモータ用の制御をする場合、タイマゲートコントロールレジスタ（TGCR）のBDCビットをセットし、フィードバック信号の入力元と出力のチョッピングまたはゲート信号直接出力を設定してください。

[5] MTU3.TCNTにはデッドタイムを設定してください。MTU4.TCNTは0000hとしてください。

[6] 相補PWMモードの動作中に他チャネルからの同期クリアで再スタートさせる場合のみ設定してください。このときタイマシンクロレジスタ（TSYR）でチャネル3、4と同期クリア発生するチャネルを同期させてください。

[7] 出力するPWMデューティ比をコンペアレジスタ（MTU3.TGRB、MTU4.TGRA、TGRB）とバッファレジスタ（MTU3.TGRD、MTU4.TGRC、TGRD）に設定します。バッファレジスタとコンペアレジスタには同じ値を設定してください。

[8] デッドタイムを生成しない場合のみ設定してください。タイマデッドタイムイネーブルレジスタ（TDER）でデッドタイムを生成しないを選択します。

[9] デッドタイムレジスタ（TDDR）にデッドタイムを設定し、タイマ周期データレジスタ（TCDR）、タイマ周期バッファレジスタ（TCBR）にキャリア周期の1/2を、MTU3.TGRAとMTU3.TGRCにキャリア周期の1/2にデッドタイム分加えた値を設定してください。　デッドタイムを生成しない設定をした場合は、TDDRに1、MTU3.TGRAとMTU3.TGRCにキャリア周期の1/2+1を設定してください。

[10] タイマアウトプットコントロールレジスタ1（TOCR1）のPSYEビットでPWM周期に同期したトグル出力の許可／禁止を選択し、OLSP、OLSNビットでPWM出力レベルを設定してください。
MTUA.TOCR2、MTUA.TOLBRレジスタにより、PWM出力レベルの設定をバッファ動作で行う場合は、図18.4を参照してください。

[11] タイマモードレジスタ（MTU3.TMDR）で相補PWMモードと必要に応じTGRAレジスタとTGRCレジスタのバッファ動作（BFA=1）、TGRBレジスタとTGRDレジスタのバッファ動作（BFB=1）を設定してください。MTU4.TMDRには初期値を設定してください。

[12] タイマアウトプットマスタイネーブルレジスタ（TOER）でPWM波形出力端子の出力の許可／禁止を設定してください。

[13] TSTRのCST3、CST4ビットを“1”にして、カウント動作を開始してください。

図 18.39　相補 PWM モード (ユニット 0) の設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 18.40 に相補 PWM モードのカウンタ動作を示します。図 18.41 に相補 PWM モード動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTUn.TCNT、MTUm.TCNT および TCNTS の 3 本（ユニットごと）のカウンタがアップダウンカウント動作を行います。

MTUn.TCNT は、相補 PWM モードに設定され TSTR の CST ビットが “0” のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが “1” に設定されると、MTUn.TGRA に設定された値までアップカウント動作を行い、MTUn.TGRA と一致するとダウンカウントに切り換わります。その後、TDDR と一致するとアップカウントに切り換わり、この動作を繰り返します。

また、MTUm.TCNT は、初期値として 0000h を設定します。

CST ビットが “1” に設定されると、MTUn.TCNT に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り換わります。この後、0000h と一致するとアップカウントに切り換わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

チャネル 3 と 4（またはチャネル 9 と 10）の TCNT がアップダウンカウント時、MTUn.TCNT が TCDR と一致するとダウンカウントを開始し、TCNTS が TCDR と一致するとアップカウントに切り替わります。また、MTUn.TGRA と一致すると 0000h にクリアされます。

MTUn.TCNT、MTUm.TCNT がダウンカウント時、MTUm.TCNT が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、0000h に一致すると TCNTS は MTUn.TGRA の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。（n=3,9　m=4,10）

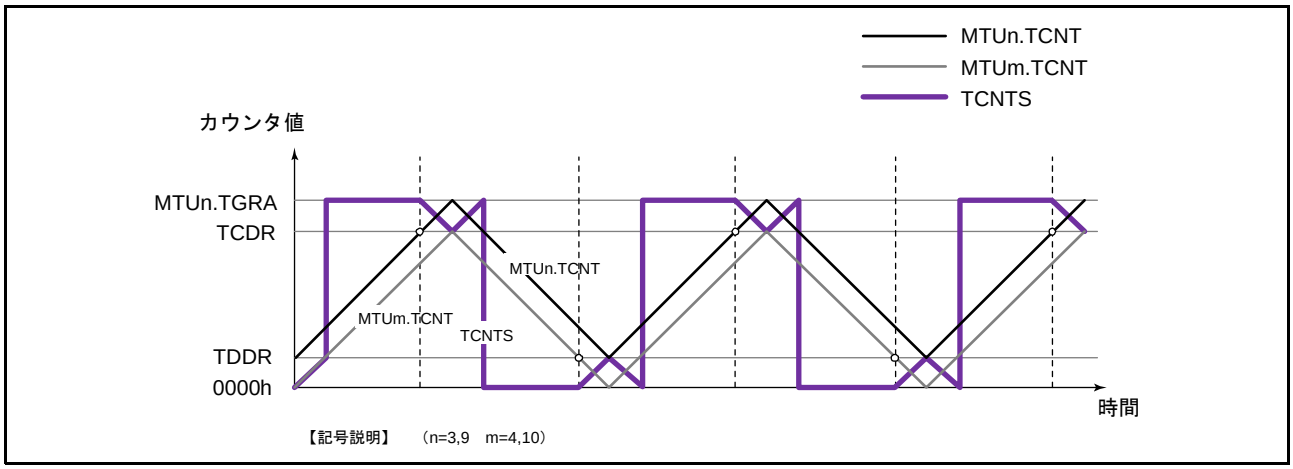


図 18.40　相補 PWM モードのカウンタ動作

(b)　レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本（ユニットごと）のレジスタを使用します。図 18.41 に相補 PWM モードの動作例を示します。

PWM　出力を行うためにカウンタと常に比較されているレジスタが、MTUn.TGRB、MTUm.TGRA、MTUm.TGRB です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN、OLSP ビットで設定した値が出力されます。（n=3,9　m=4,10）

これらのコンペアレジスタのバッファレジスタが、MTUn.TGRD、MTUm.TGRC、MTUm.TGRD です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。（n=3,9　m=4,10）

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し／書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に MTUn.TGRA が一致したとき、またはダウンカウント時に 0000h と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ（TMDR）の MD[3:0] ビットで選択できます。図 18.41 は、谷で変更するモードを選択した例です。（n=3,9　m=4,10）

テンポラリレジスタへのデータの転送が行われない Tb（図 18.41 では Tb1）区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、ユニット 0 は、MTU3.TCNT、MTU4.TCNT および MTUA.TCNTS の 3 本、ユニット 1 では MTU9.TCNT、MTU10.TCNT および MTUB.TCNTS の 3 本、カウンタとコンペアレジスタ、テンポラリレジスタの各 2 本のレジスタが比較され、PWM 出力を制御します。

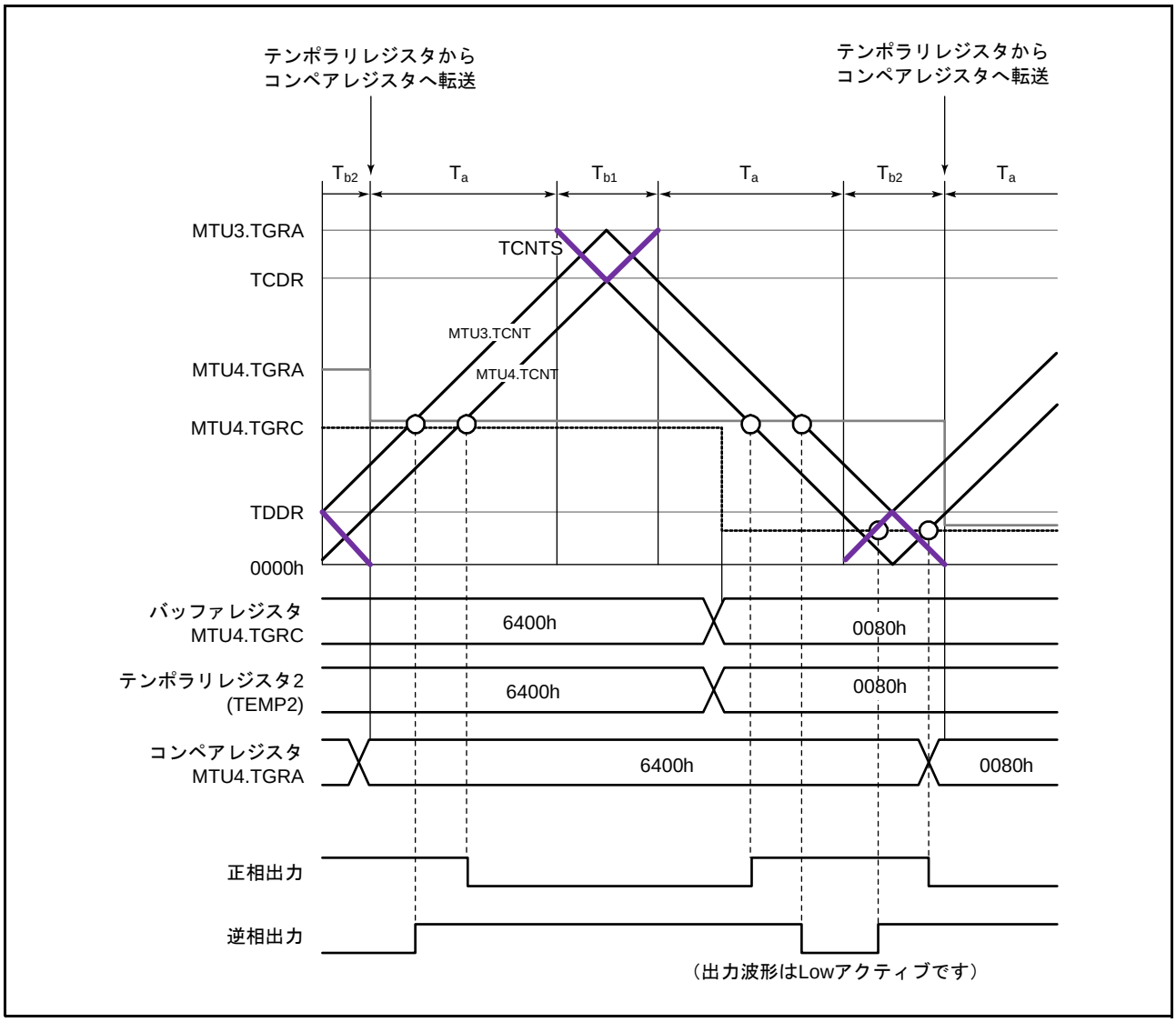


図 18.41　相補 PWM モード動作例

(c)　初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ（TMDR）の MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTUn.TGRC は MTUn.TGRA（n=3,9）のバッファレジスタとして動作し、PWM キャリア周期の 1/2 ＋デッドタイム Td を設定します。タイマ周期バッファレジスタ（TCBR）は、タイマ周期データレジスタ（TCDR）のバッファレジスタとして動作し、PWM キャリア周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ（TDDR）には、デッドタイム Td を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ（TDER）の TDER ビットを “0” に設定し、MTUn.TGRC、MTUn.TGRA（n=3,9）には、PWM キャリア周期の 1/2+1 を、TDDR には 1 を設定します。

ユニット 0 のバッファレジスタ MTU3.TGRD、MTU4.TGRC、MTU4.TGRD の 3 本（またはユニット 1 の

バッファレジスタ MTU9.TGRD、MTU10.TGRC、MTU10.TGRD の 3 本）には、それぞれ PWM デューティ比の初期値を設定します。

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTUm.TCNT（m=4,10）は、相補 PWM モードに設定する前に 0000h に設定してください。

表18.58　初期設定の必要なレジスタとカウンタ

レジスタ／カウンタ	設定値
MTUn.TGRC（n=3,9)	PWMキャリア周期の1/2＋デッドタイムTd （TDERでデッドタイム生成をなしに設定した場合はPWMキャリア周期の1/2+1）
TDDR	デッドタイムTd（TDERでデッドタイム生成をなしに設定した場合1）
TCBR	PWMキャリア周期の1/2
MTUn.TGRD、 MTUm.TGRC、 MTUm.TGRD（n=3,9　m=4,10）	各相のPWMデューティ比の初期値
MTUm.TCNT（m=4,10）	0000h

注.　MTUn.TGRC（n=3,9）の設定値は、TCBRに設定するPWMキャリア周期の1/2の値とTDDRに設定するデッドタイムTdの値の和としてください。ただし、TDERレジスタでデッドタイム生成をなしに設定した場合は、PWMキャリア周期の1/2+1としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2（TOCR2）の OLS1P ～ OLS3P、OLS1N ～ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定／変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバラップの関係にある PWM パルスを出力します。また、このノンオーバラップ時間をデッドタイム時間と呼びます。

ノンオーバラップ時間は、タイマデッドタイムデータレジスタ（TDDR）に設定します。TDDR に設定した値が、MTUn.TCNT のカウンタスタート値となり、MTUn.TCNT と MTUm.TCNT のノンオーバラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。（n=3,9　m=4,10）

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ（TDER）の TDER ビットを “0” にします。TDER は、TDER ＝ 1 の状態で TDER を読み出した後、TDER に “0” を書いたときのみ、“0” になります。

MTUn.TGRA、MTUn.TGRC（n=3,9）には PWM キャリア周期の 1/2+1 を設定し、タイマデッドタイムデータレジスタ（TDDR）を “1” にします。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。**図 18.42** にデッドタイムを生成しない場合の動作例を示します。

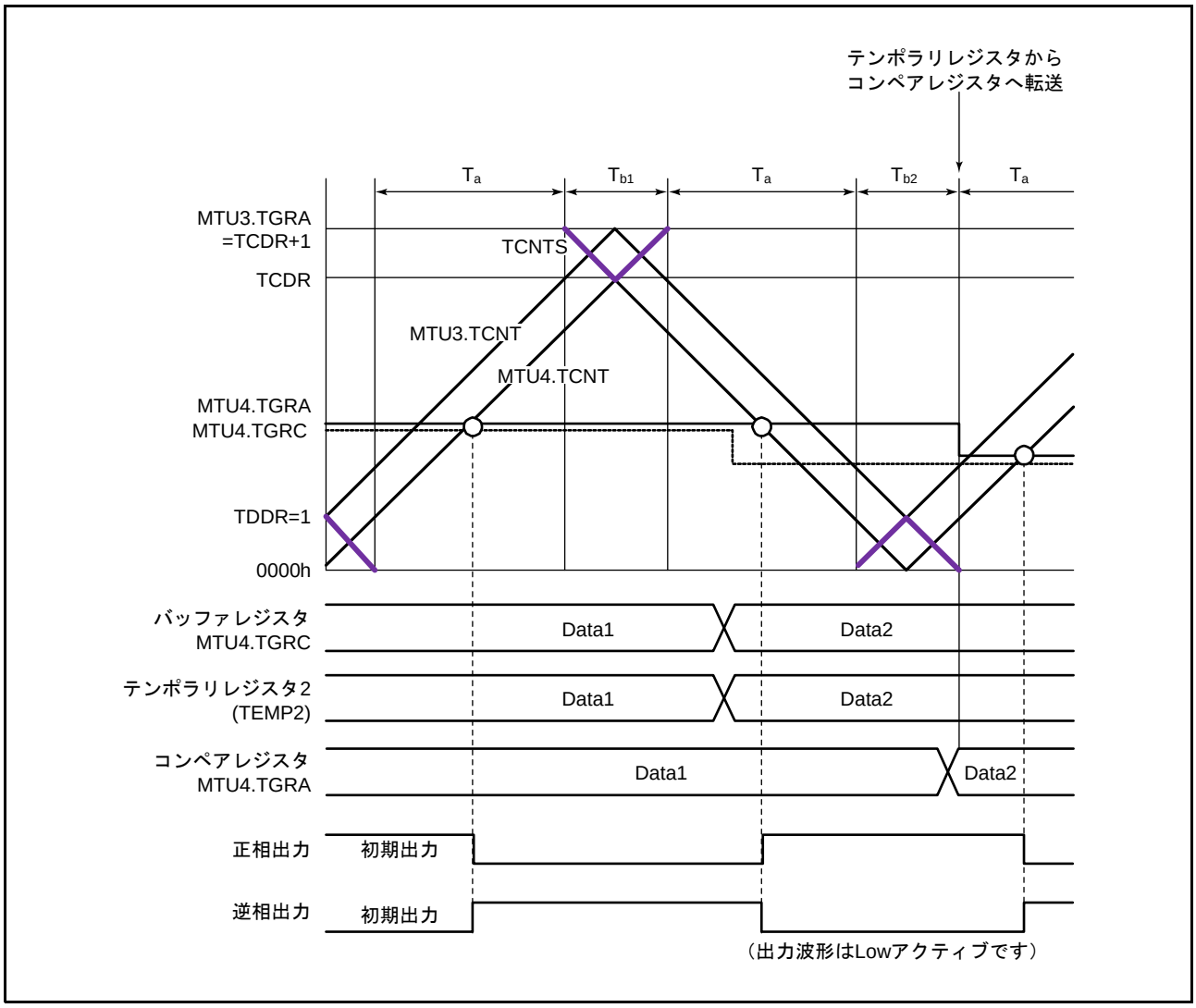


図 18.42　デッドタイムを生成しない場合の動作例

(g)　PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を MTUn.TCNT の上限値を設定する MTUn.TGRA（n=3,9）と MTUm.TCNT（m=4,10）の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：MTU3.TGRA または MTU9.TGRA の設定値＝ TCDR の設定値＋ TDDR の設定値
デッドタイム生成なし：MTU3.TGRA または MTU9.TGRA の設定値＝ TCDR の設定値＋ 1

TCDR レジスタと TDDR レジスタの関係が、次の関係になるように設定してください。
TCDR の設定値 > TDDR の設定値 ×2 + 2

また、MTU3.TGRA、TCDR （MTU9.TGRA、TCDR）の設定は、バッファレジスタの MTU3.TGRC、TCBR（MTU9.TGRC、TCBR）に値を設定することで行ってください。MTU3.TGRC、TCBR （MTU9.TGRC、TCBR）に設定した値は、タイマモードレジスタ（TMDR）のMD[3:0]ビットで選択した転送タイミングでMTU3.TGRA、TCDR （MTU9.TGRA、TCDR）に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。**図 18.43** に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h)　**レジスタデータの更新**」の項を参照してください。

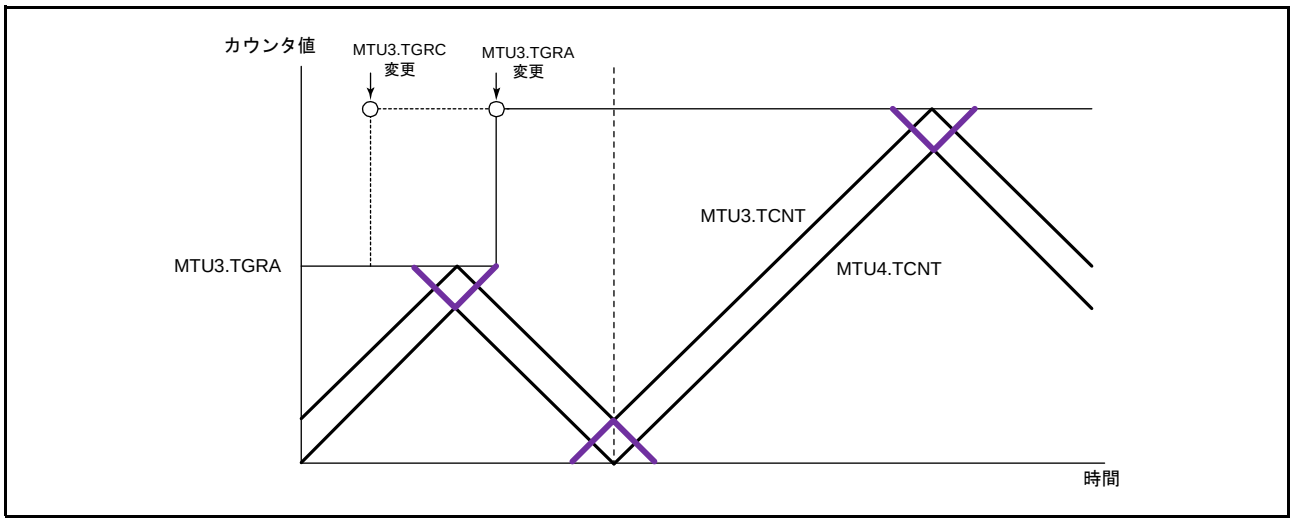


図 18.43　PWM 周期の変更例

(h)　レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換ります。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ（TMDR）の MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。**図 18.44** に相補 PWM モードのデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTUm.TGRD への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTUm.TGRD に書き込みした後、5 本すべてのレジスタ同時に行われます。（m=4,10）

なお、5 本すべてのレジスタの更新を行わない場合、または MTUm.TGRD のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTUm.TGRD に書き込み動作を行ってください。またこのとき、MTUm.TGRD に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。（m=4,10）

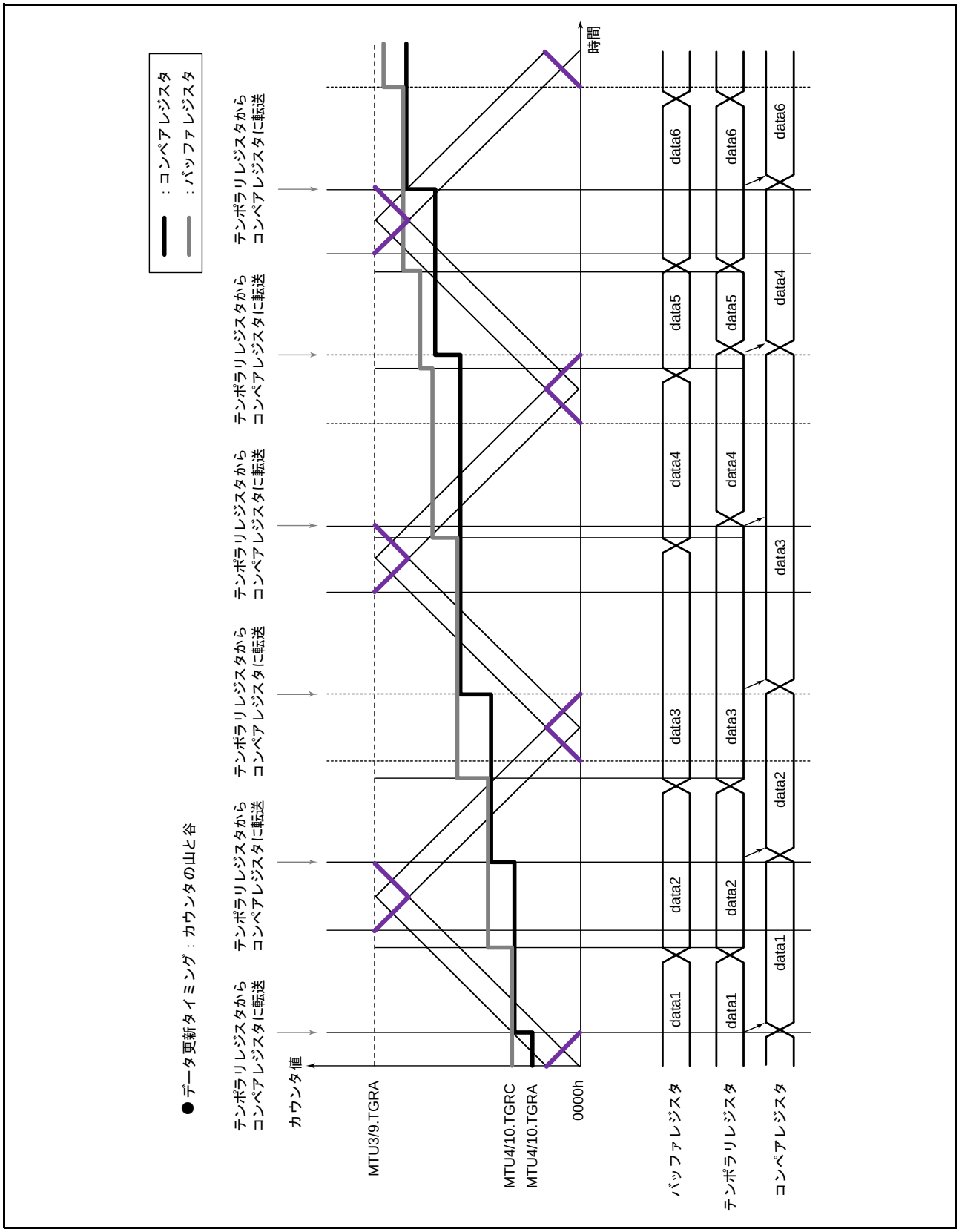


図 18.44　相補 PWM モードのデータ更新例

(i)　相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2（TOCR2）の OLS1N ～ OLS3N、OLS1P ～ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスの非アクティブレベルで、タイマモードレジスタ（TMDR）で相補 PWM モードを設定してから MTU4.TCNT（または MTU10.TCNT）がデッドタイムレジスタ（TDDR）に設定された値より大きくなるまで出力されます。図 18.45 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDR の値より小さい場合の波形例を図 18.46 に示します。

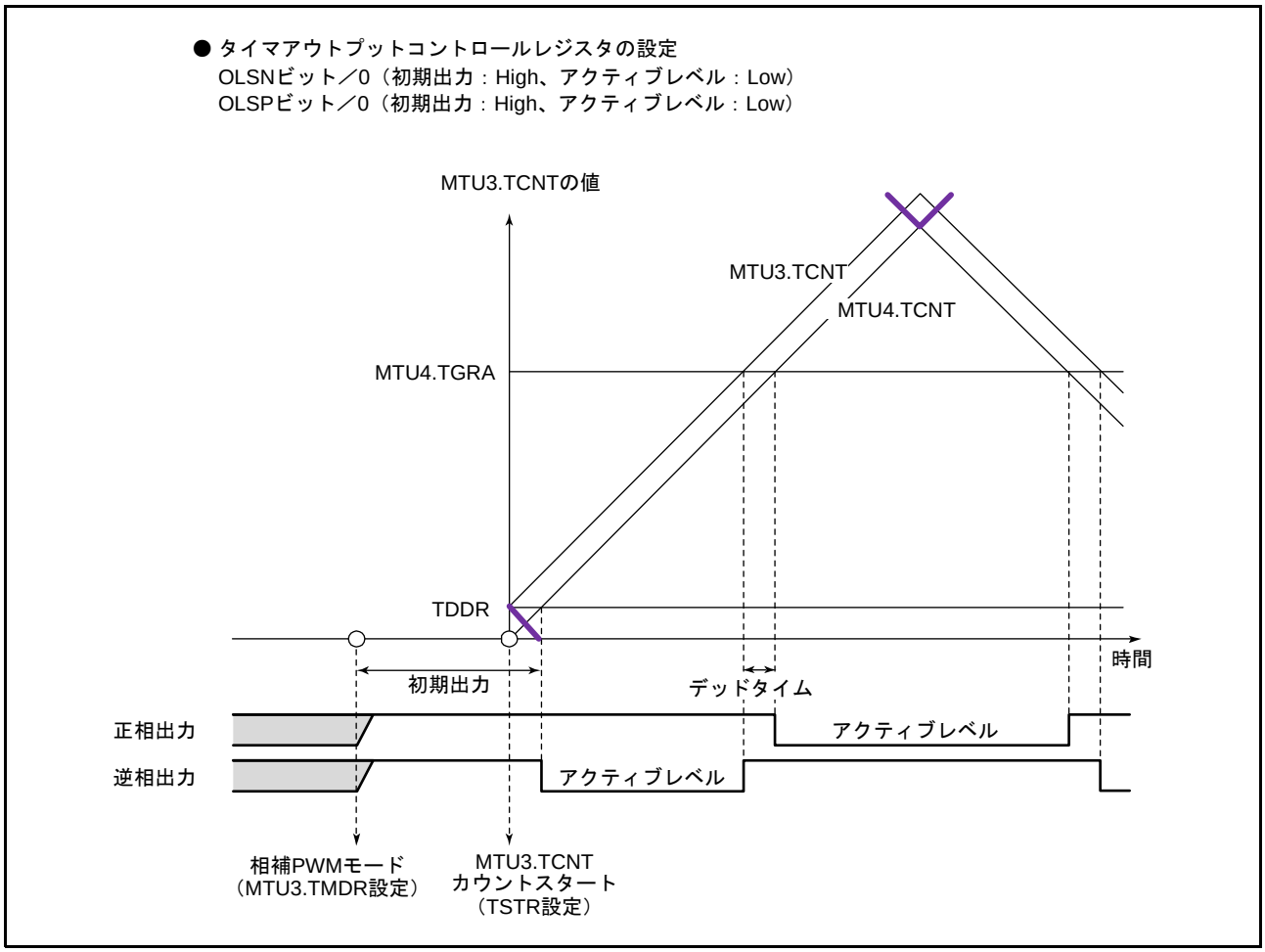


図 18.45　相補 PWM モードの初期出力例（1）（ユニット 0）

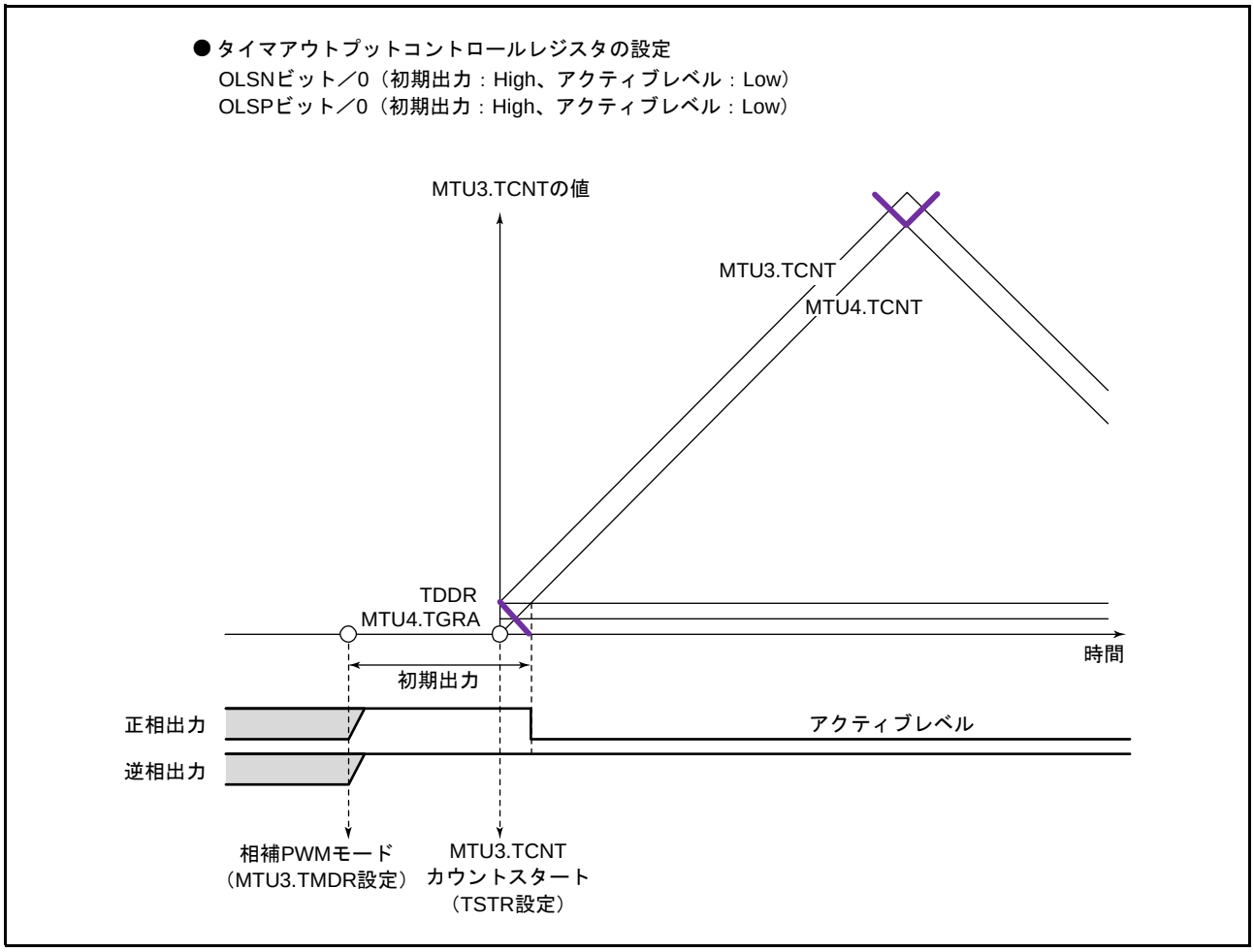


図 18.46　相補 PWM モードの初期出力例（2）（ユニット 0）

(j)　相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバラップ時間を持った PWM 波形を 3 相出力します。このノンオーバラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0 ～ 100% まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相／逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。**図 18.47** ～**図 18.49** に相補 PWM モードの波形生成例を示します。

正相／逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、**図 18.47** に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 18.48 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、**図 18.49** に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

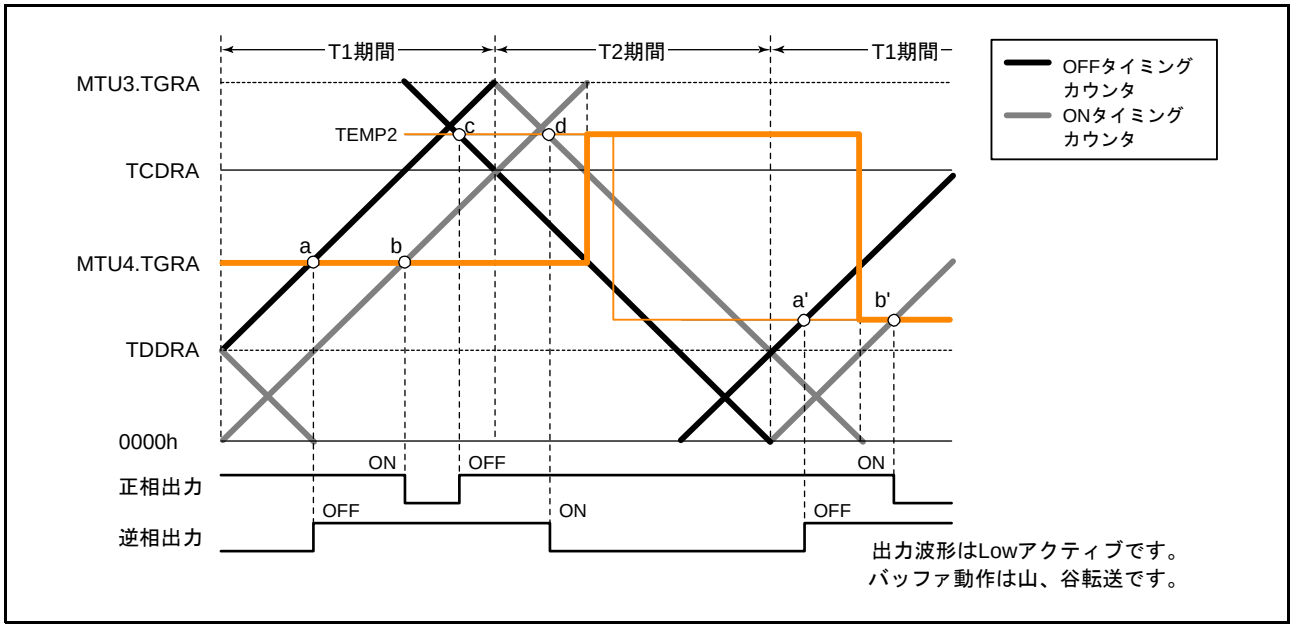


図 18.47　相補 PWM モード波形出力例（1）（ユニット 0）

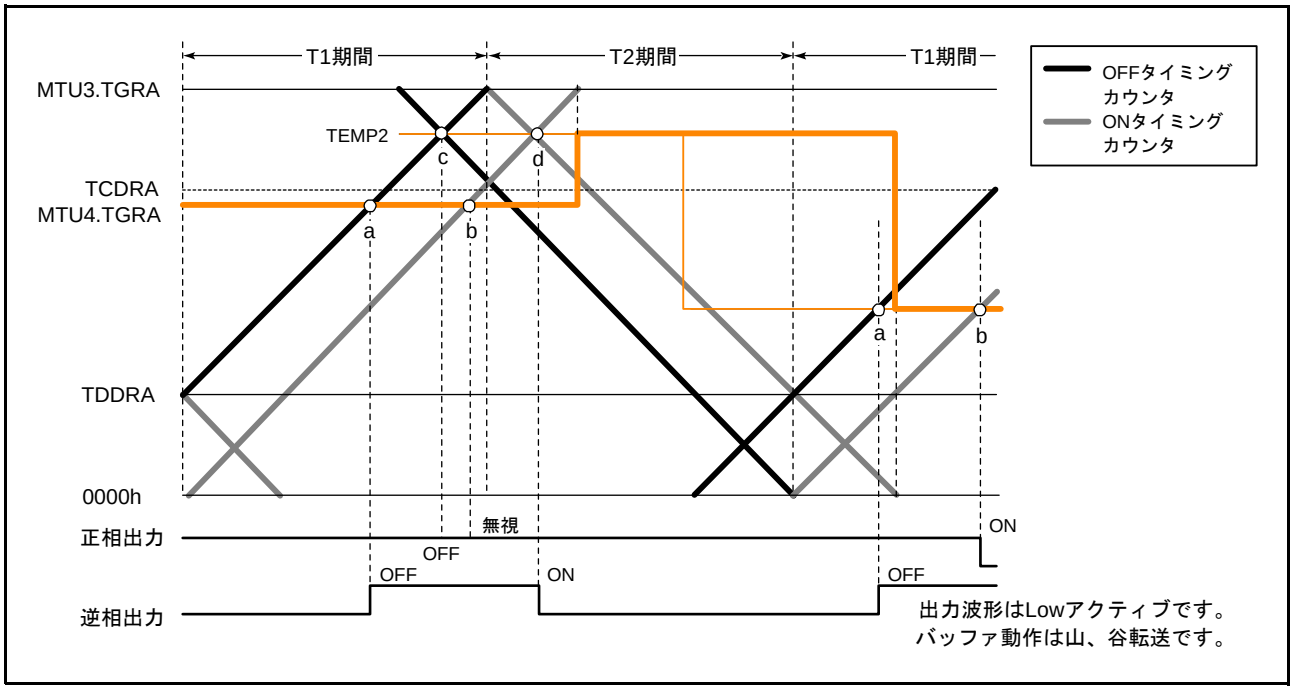


図 18.48　相補 PWM モード波形出力例（2）

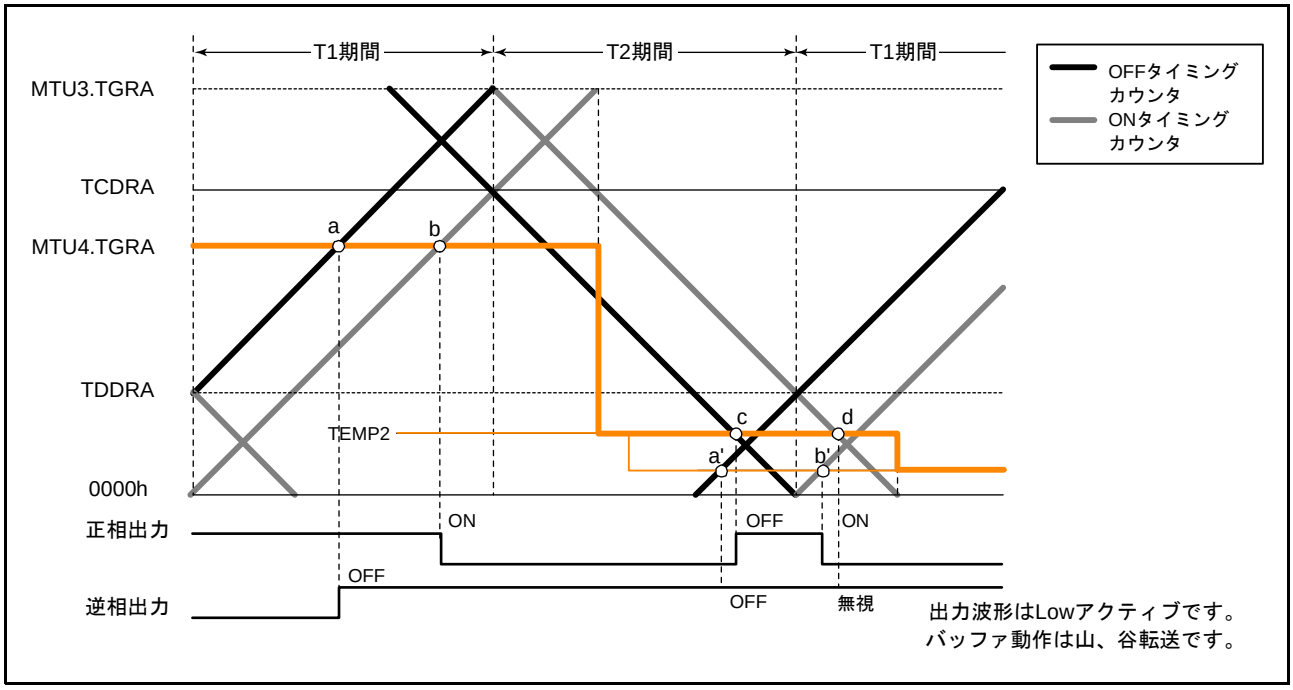


図 18.49　相補 PWM モード波形出力例（3）（ユニット 0）

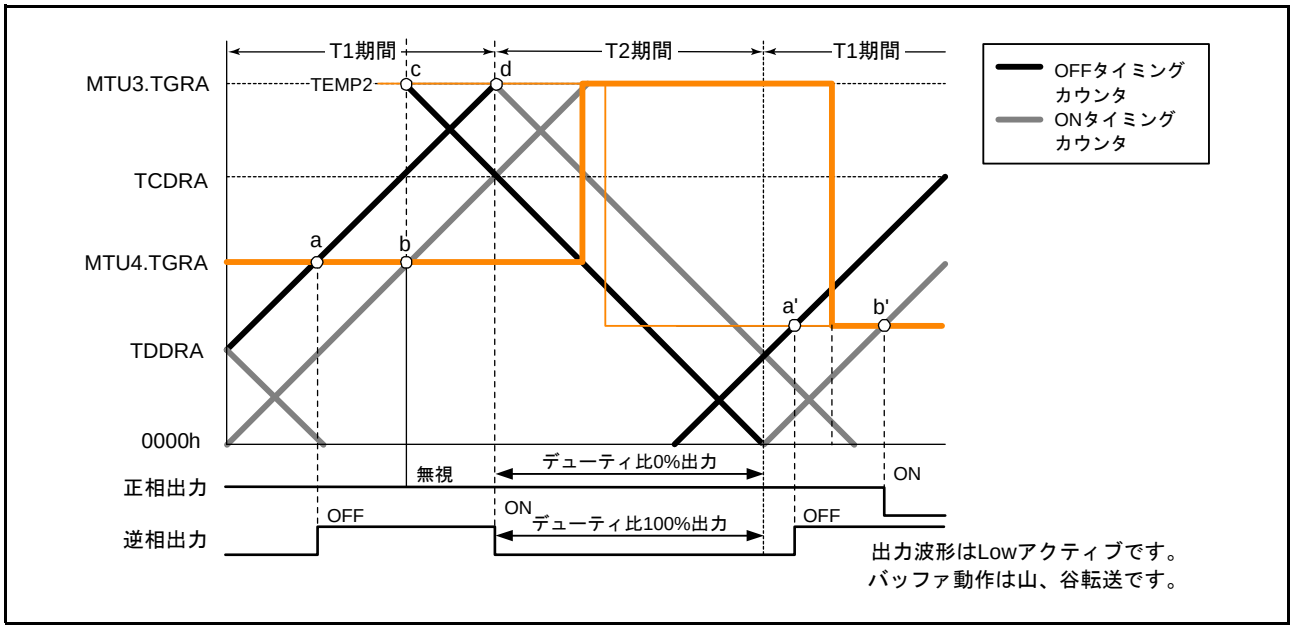


図 18.50　相補 PWM モード 0%、100% 波形出力例（1）（ユニット 0）

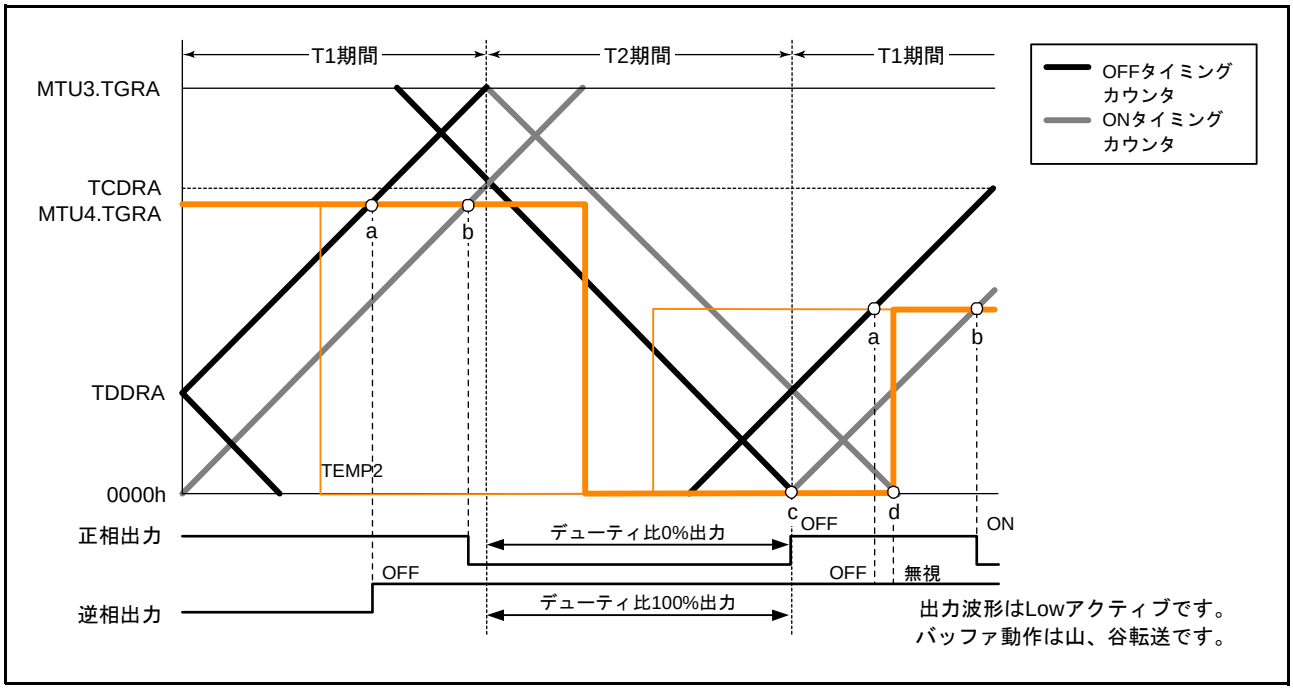


図 18.51　相補 PWM モード 0%、100% 波形出力例（2）（ユニット 0）

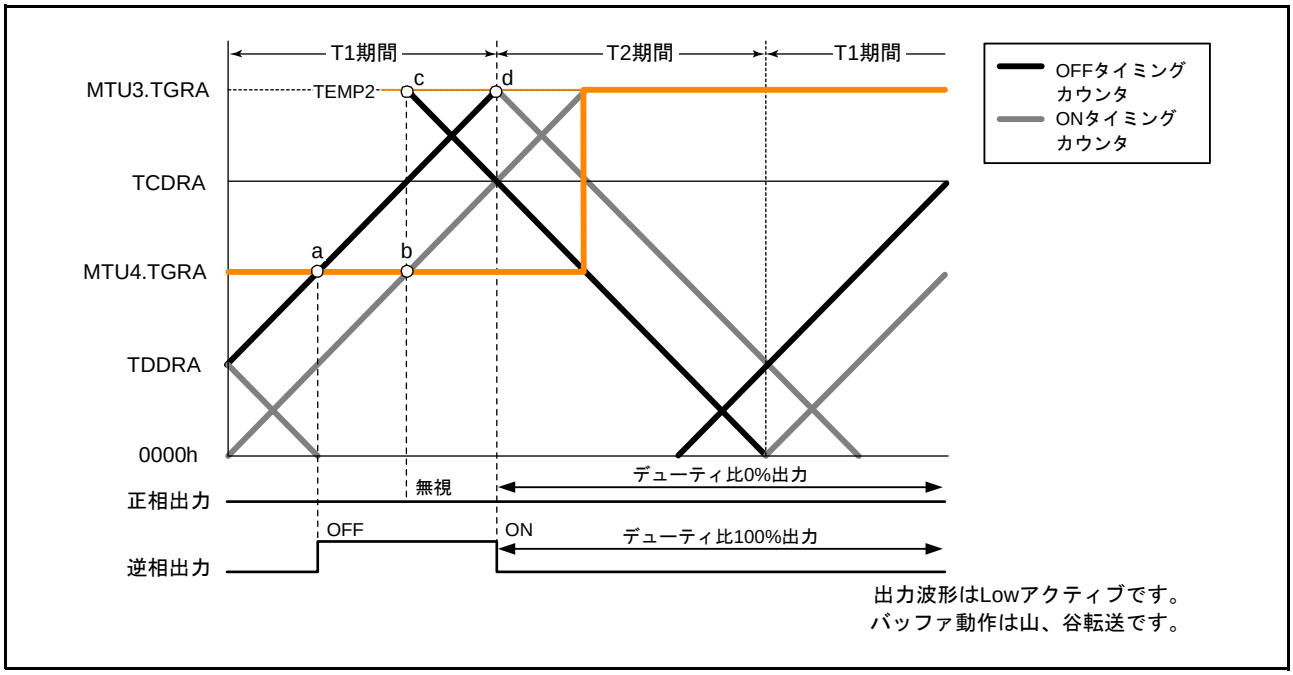


図 18.52　相補 PWM モード 0%、100% 波形出力例（3）（ユニット 0）

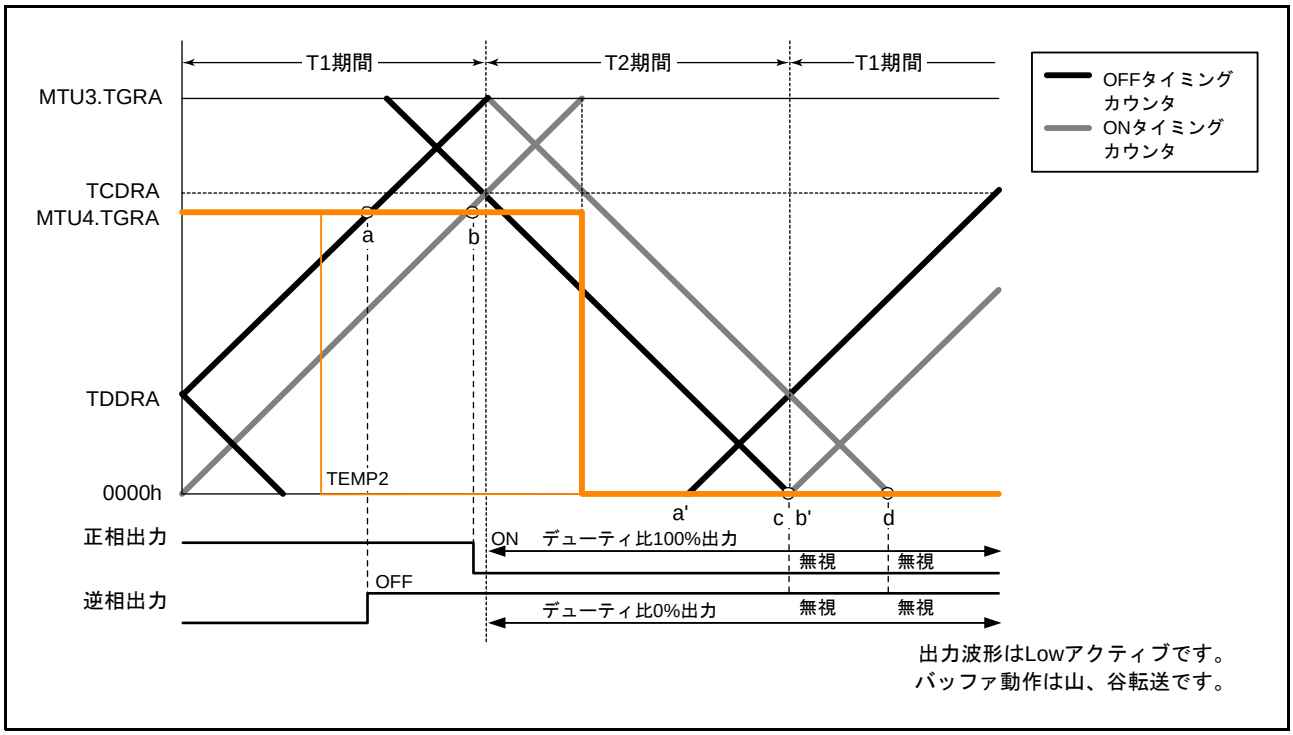


図 18.53　相補 PWM モード 0%、100% 波形出力例（4）（ユニット 0）

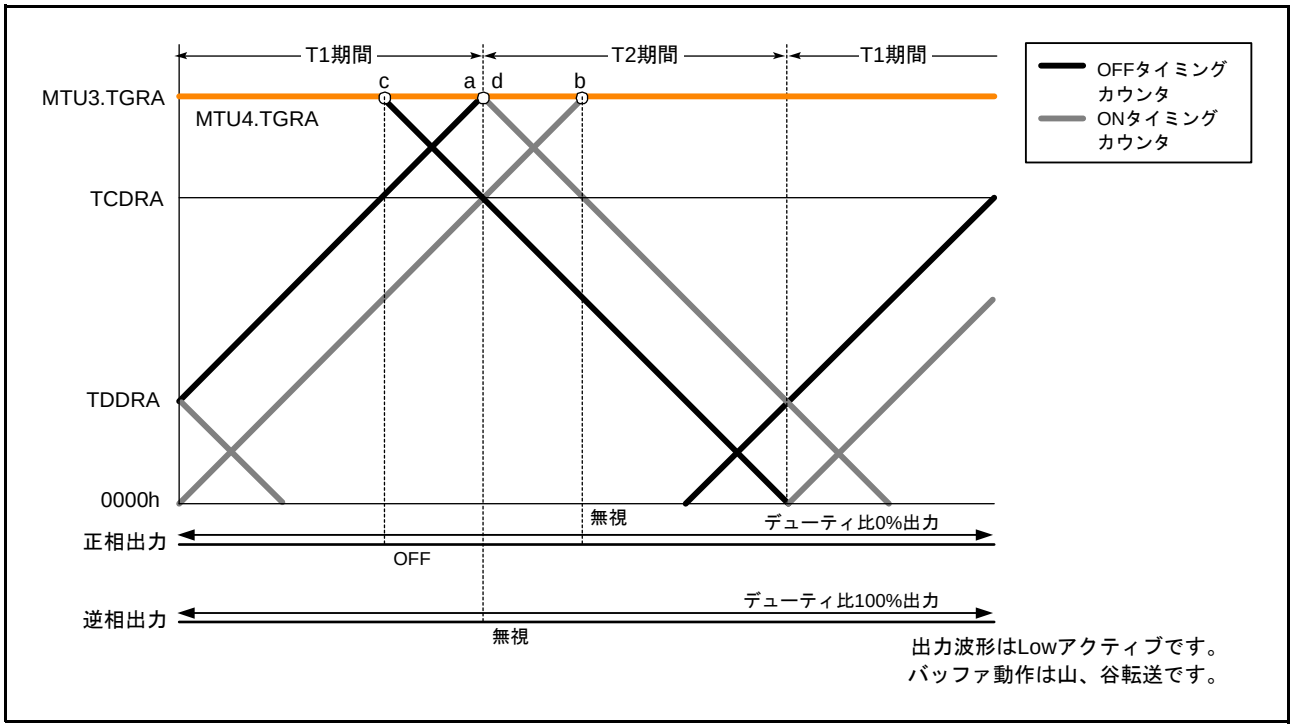


図 18.54　相補 PWM モード 0%、100% 波形出力例（5）（ユニット 0）

(k)　相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% を任意に出力可能です。図 18.50 ～図 18.53 に出力例を示します。

デューティ比 100% 出力は、データレジスタの値を 0000h に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、データレジスタの値を MTUn.TGRA（n=3,9）の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

(l)　PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1（TOCR1）の PSYE ビットを “1” にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 18.55 に示します。

この出力は、MTUn.TCNT と MTUn.TGRA のコンペアマッチと MTUm.TCNT と 0000h のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOCnA 端子です。また、初期出力は High 出力です。（n=3, 9　m=4, 10）

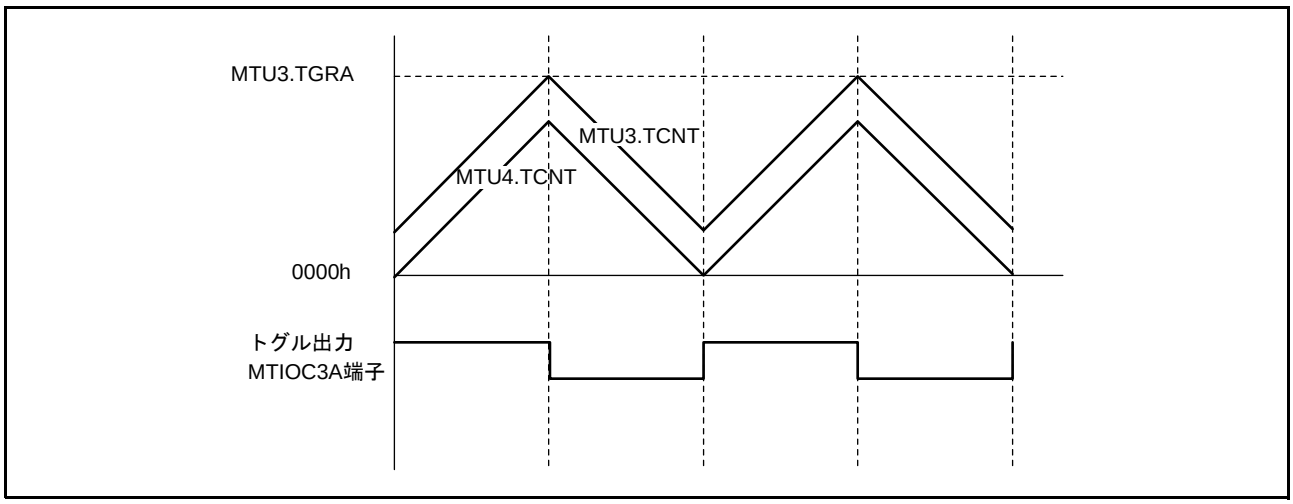


図 18.55　PWM 出力に同期したトグル出力波形例（ユニット 0）

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ（TSYR）により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ（TCR）の CCLR[2:0] ビットにより同期クリアを選択することにより他のチャネルによる MTUn.TCNT、MTUm.TCNT および TCNTS のクリアをすることが可能です。（n=3,9　m=4,10）

図 18.56 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

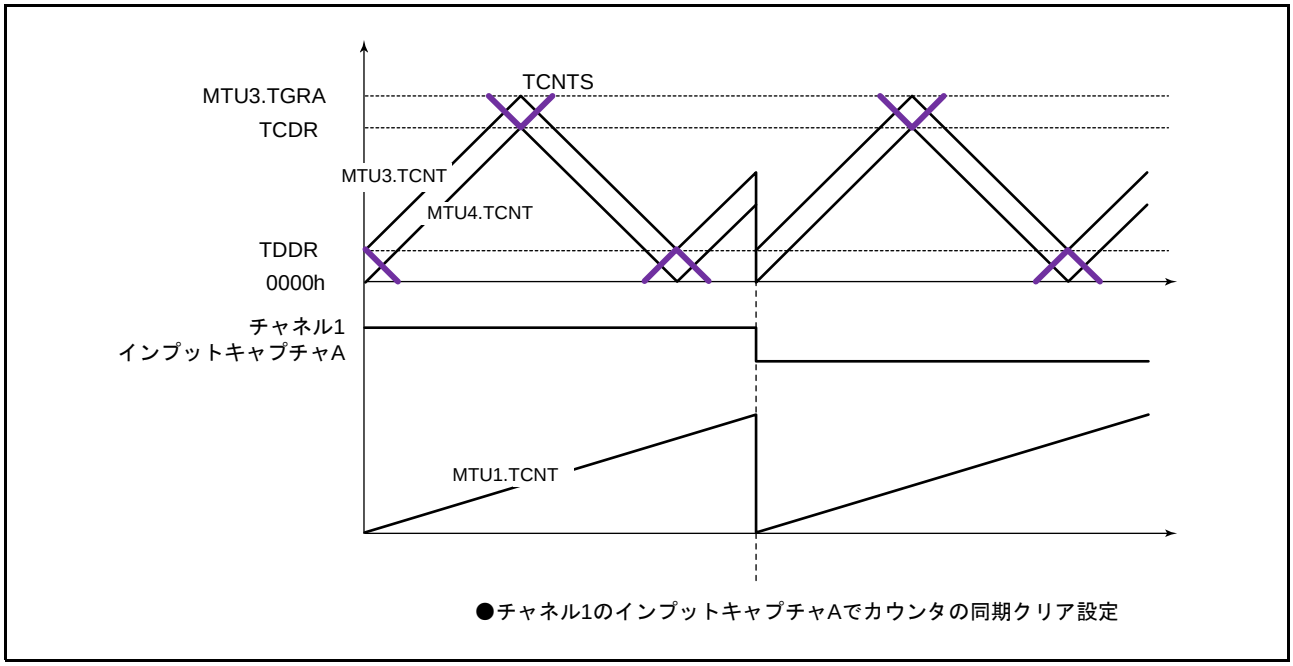


図 18.56　他のチャネルに同期したカウンタクリア（ユニット 0）

(n)　相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを “1” にすることによって、相補 PWM モードの谷の Tb 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを “1” にすることで初期出力を抑止することができるのは、同期クリアが**図 18.57** の⑩、⑪のような谷の Tb 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1 レジスタの OLS ビットで設定した初期値が出力されます。また、谷の Tb 区間であっても、**図 18.57** の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

MTU のカウンタクリア要因はチャネル 0 ～ 2、6 ～ 8 の同期クリアです。

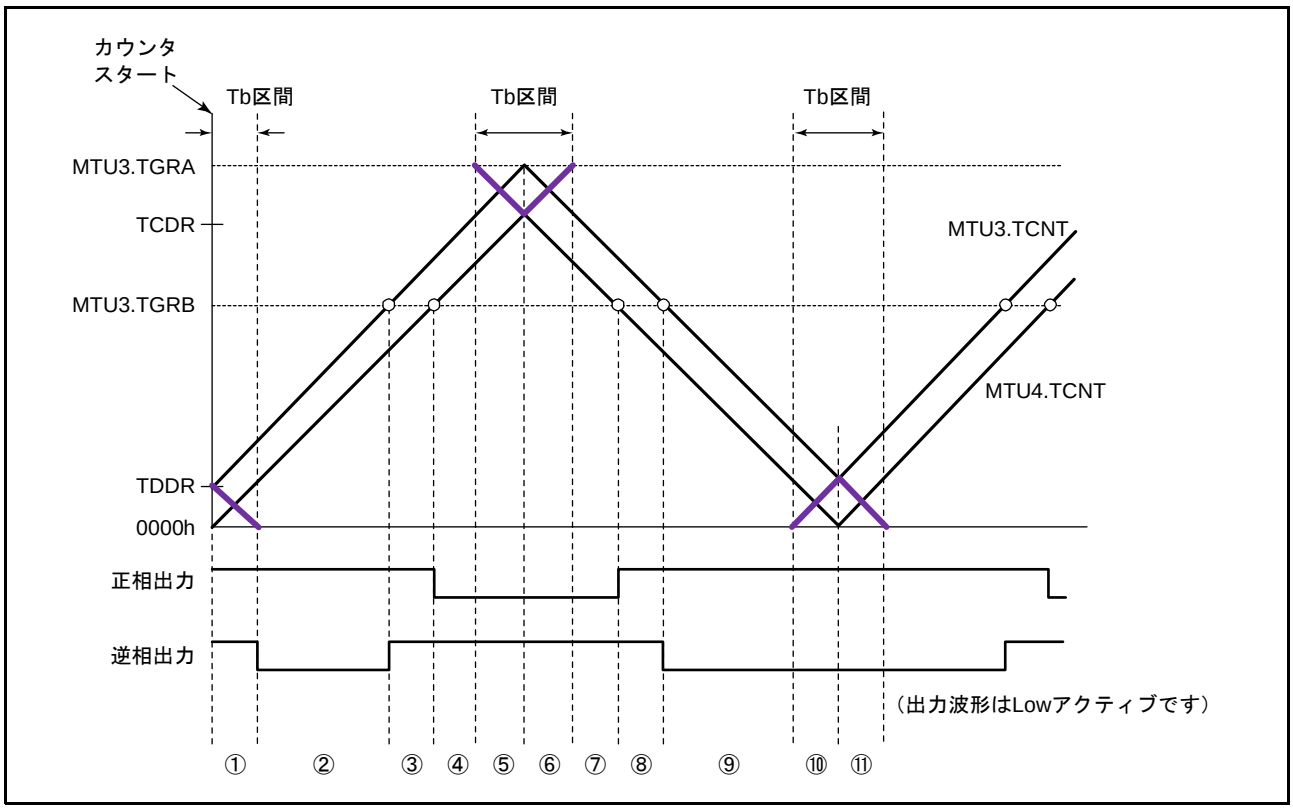


図 18.57　同期カウンタクリアタイミング（ユニット 0）

- **相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例**

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 18.58 に示します。

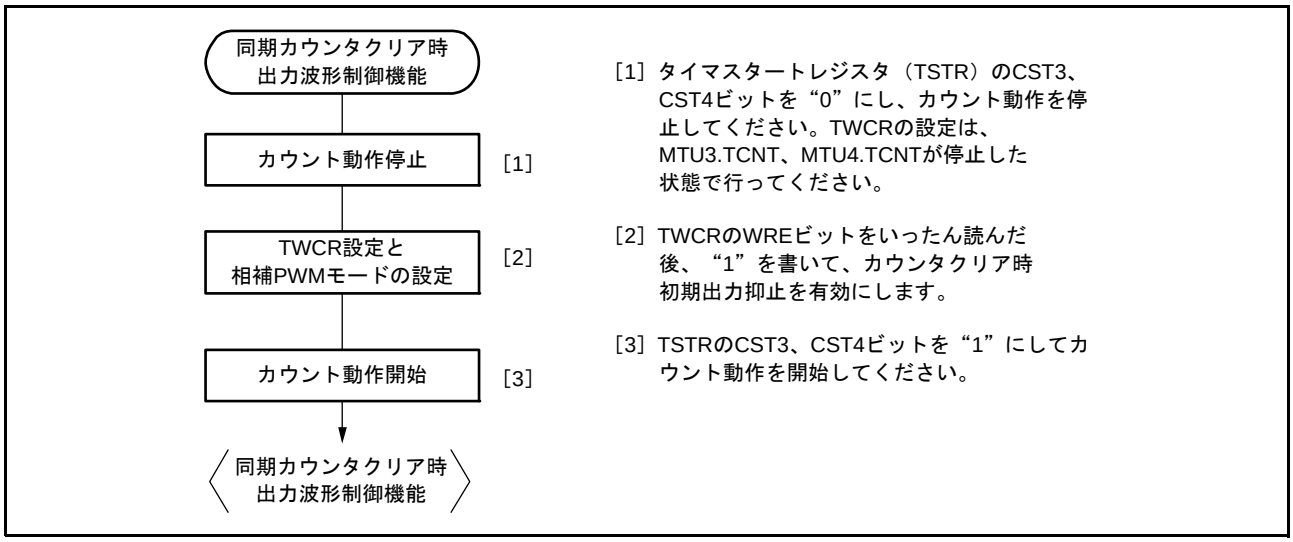


図 18.58　相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- **相補 PWM モードでの同期カウンタクリア時出力波形制御動作例**

図 18.59 ～図 18.62 に、TWCR.WRE ビットを “1” にした状態で MTU を相補 PWM モード動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 18.59 ～図 18.62 の同期カウンタクリアのタイミングは、それぞれ図 18.57 の③、⑥、⑧、⑪で示したタイミングです。

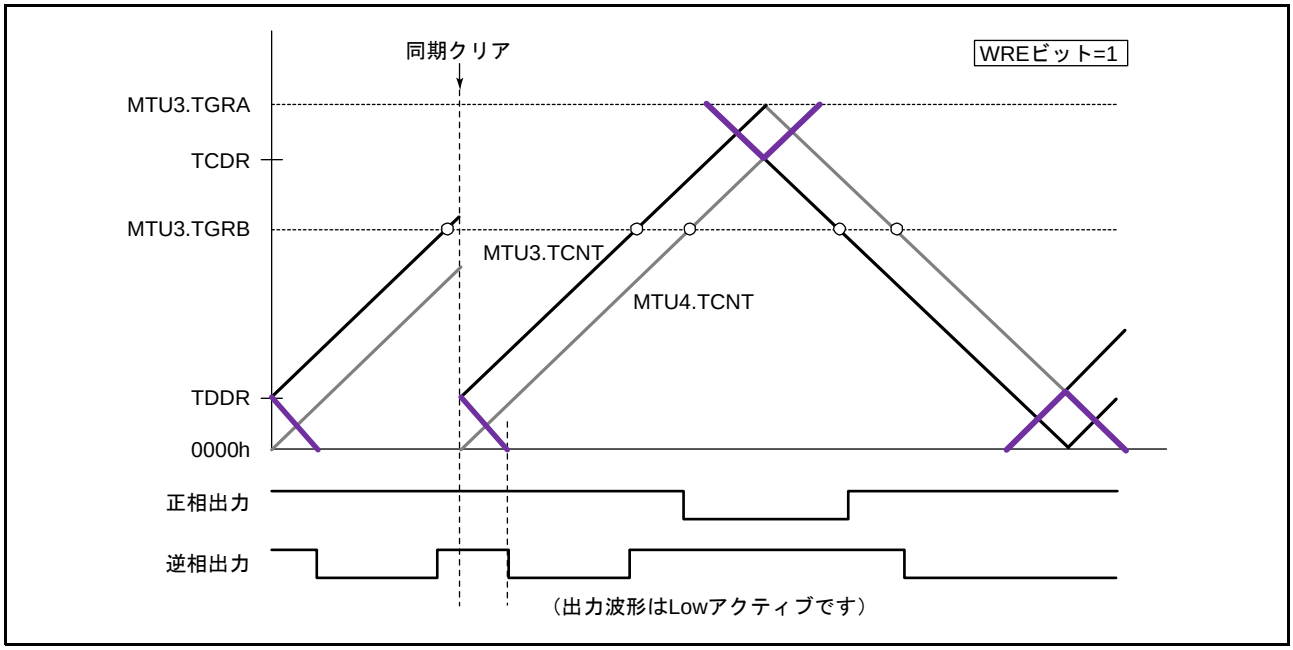


図 18.59　アップカウント中のデッドタイム時に同期クリアが発生した場合
（図 18.57 のタイミング③、MTU の TWCR レジスタの WRE ビット＝ 1）（ユニット 0）

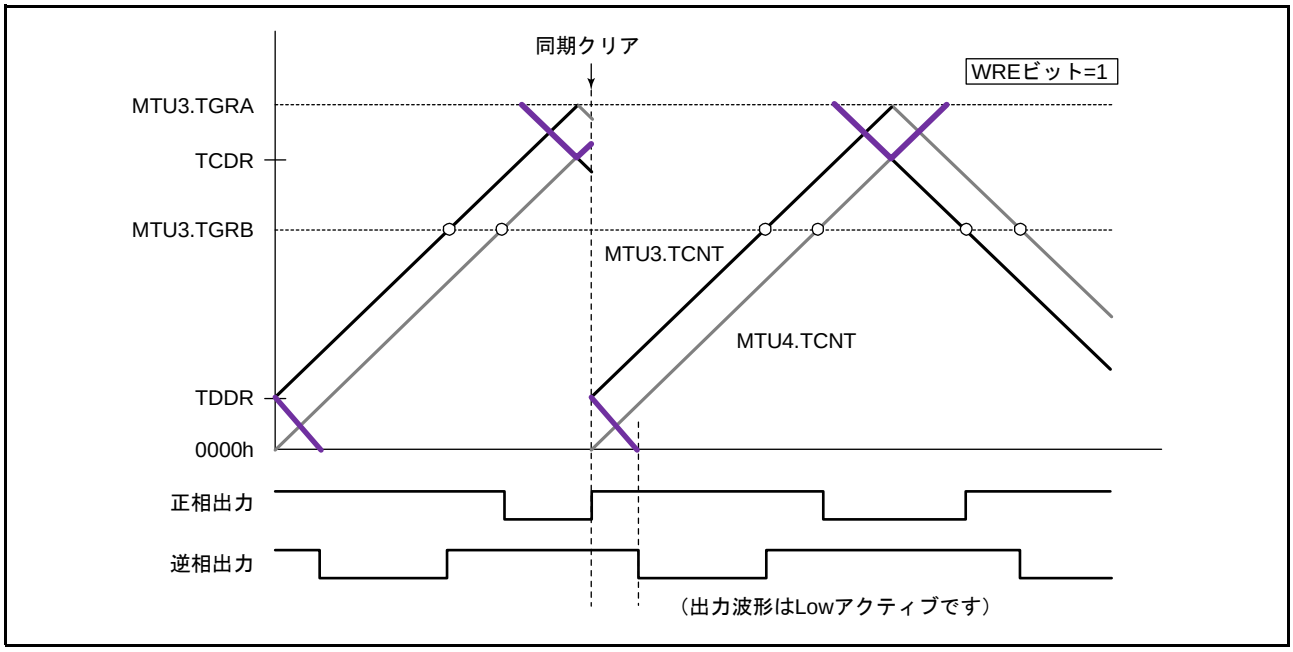


図 18.60　山の Tb 区間で同期クリアが発生した場合
（図 18.57 のタイミング⑥、MTU の TWCR レジスタの WRE ビット＝ 1）（ユニット 0）

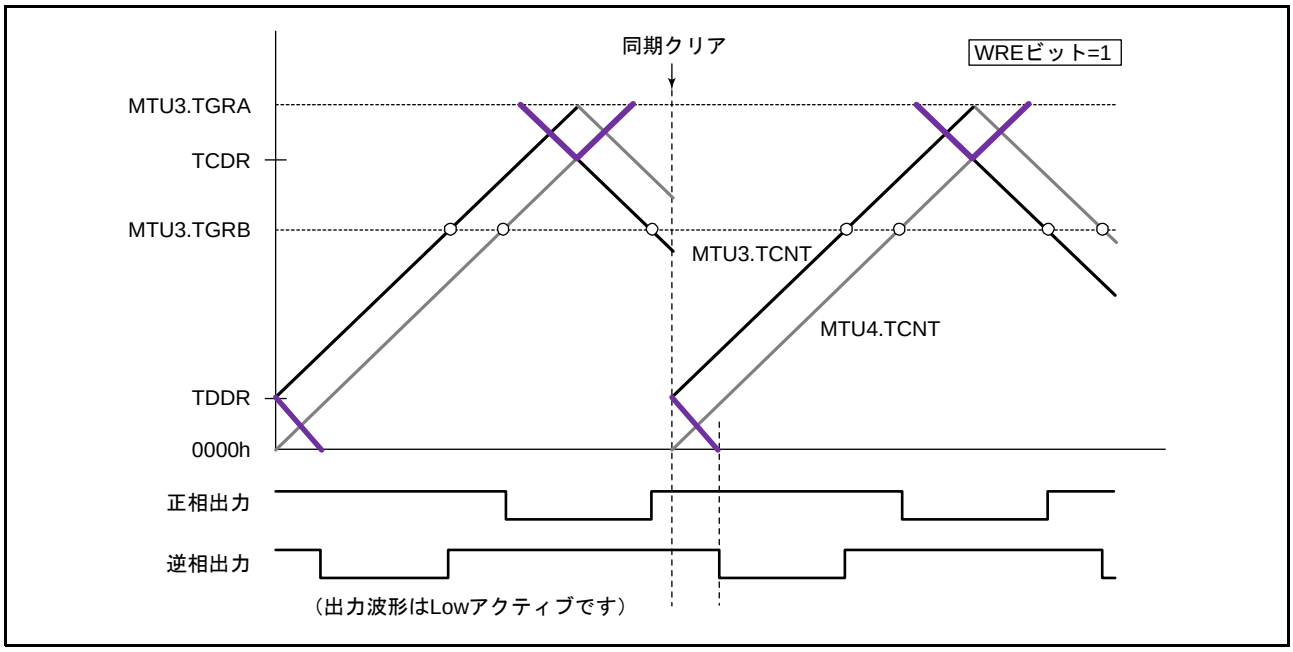


図 18.61　ダウンカウント中のデッドタイム時に同期クリアが発生した場合
（図 18.57 のタイミング⑧、TWCR レジスタの WRE ビット＝ 1）（ユニット 0）

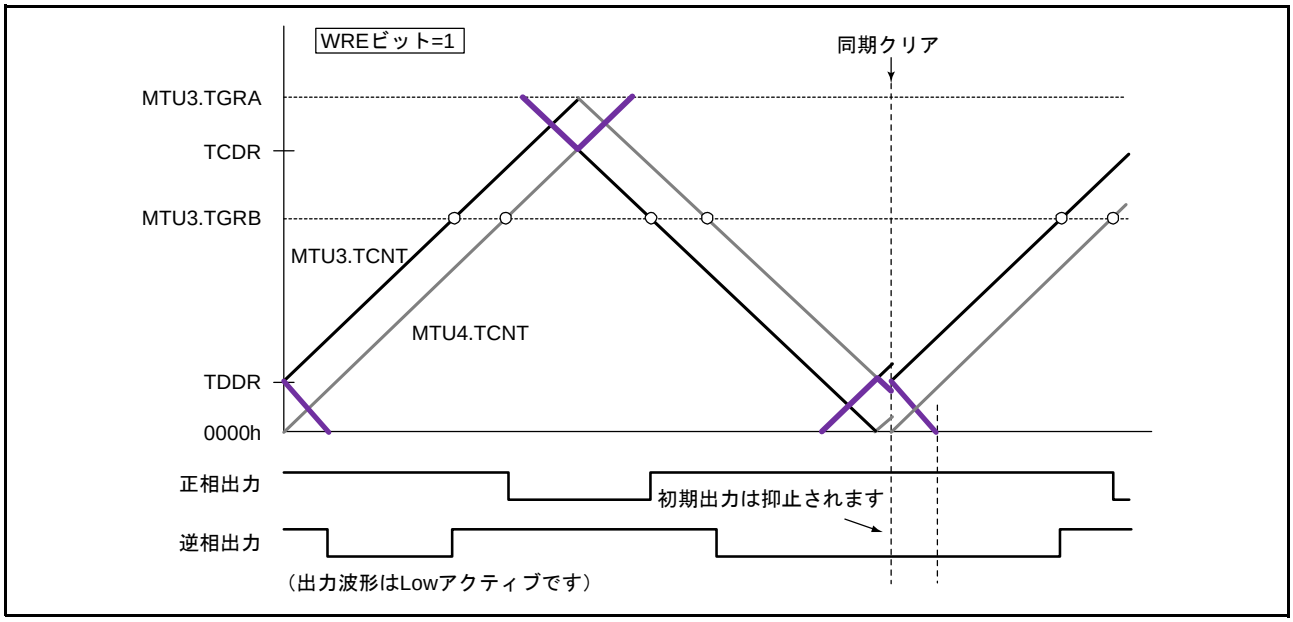


図 18.62　谷の Tb 区間で同期クリアが発生した場合
（図 18.57 のタイミング⑪、TWCR レジスタの WRE ビット＝ 1）（ユニット 0）

(o)　MTUn.TGRA のコンペアマッチによるカウンタクリア（n=3,9）

相補 PWM モードでは、タイマ波形コントロールレジスタ（TWCR）の CCE ビットを設定することにより、MTUn.TGRA のコンペアマッチで MTUn.TCNT、MTUm.TCNT および TCNTS をクリアすることが可能です。（n=3,9　m=4,10）図 18.63 に動作例を示します。

注 1.　相補 PWM モード 1（山で転送）でのみ使用してください。
注 2.　他のチャネルとの同期クリア機能に設定しないでください。（タイマシンクロレジスタ（TSYR）の SYNC0 ～ SYNC4 ビットを “1” にしないでください）
注 3.　PWM デューティ比は、0000h にしないでください。
注 4.　タイマアウトプットコントロールレジスタ 1（TOCR1）の PSYE ビットを “1” にしないでください。

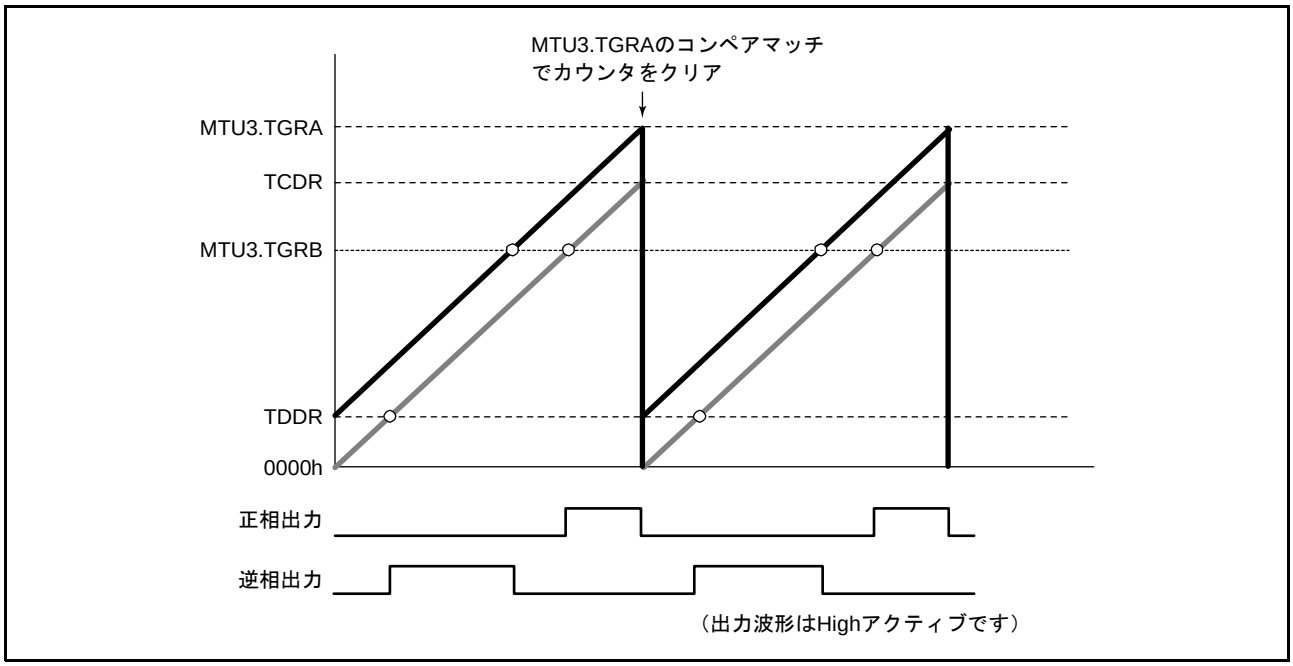


図 18.63　MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例（ユニット 0）

(p)　AC 同期モータ（ブラシレス DC モータ）の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ（TGCR）を使ってブラシレス DC モータを簡単に制御することができます。図 18.64 ～図 18.67 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを “0” にします。この場合、磁極位置を示す外部信号をチャネル 0 のタイマ入力端子 MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します（PFCMTU レジスタで設定してください）。MTIOC0A、MTIOC0B、MTIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り換わります。

TGCR.FB ビットが “1” の場合は、TGCR の UF、VF、WF ビットの各ビットを “0” または “1” にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は TGCR の N ビットまたは P ビットを “1” にすることにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが “0” の場合は、レベル出力になります。

また、6 相出力のアクティブレベル（ON 出力時レベル）は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN ビット、OLSP ビットで設定できます。

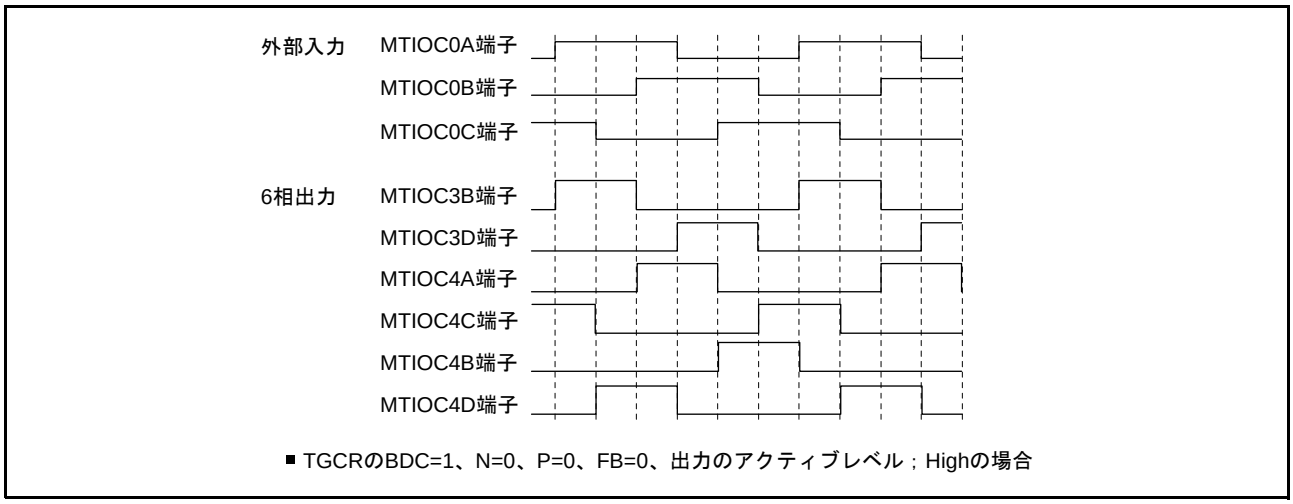


図 18.64　外部入力による出力相の切り換え動作例（1）（ユニット 0）

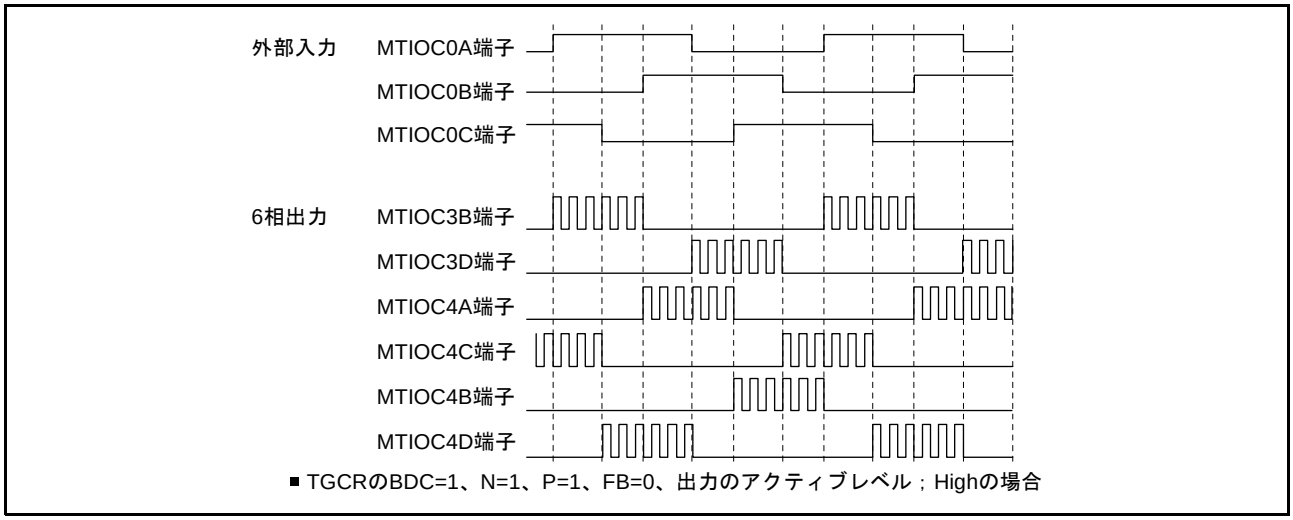


図 18.65　外部入力による出力相の切り換え動作例（2）（ユニット 0）

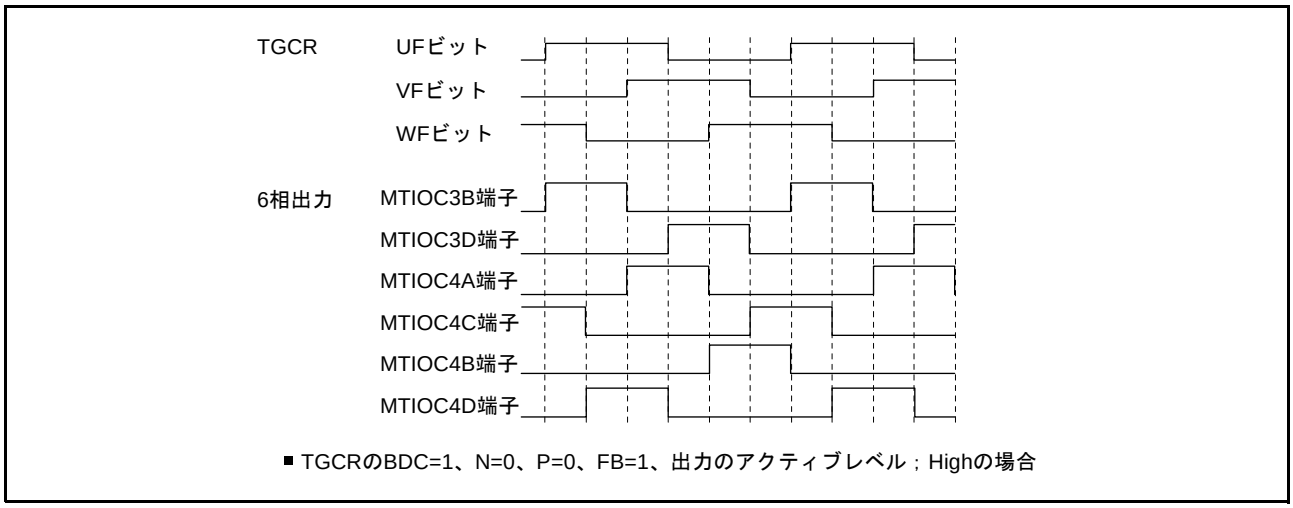


図 18.66　UF、VF、WF ビット設定による出力相の切り換え動作例（1）（ユニット 0）

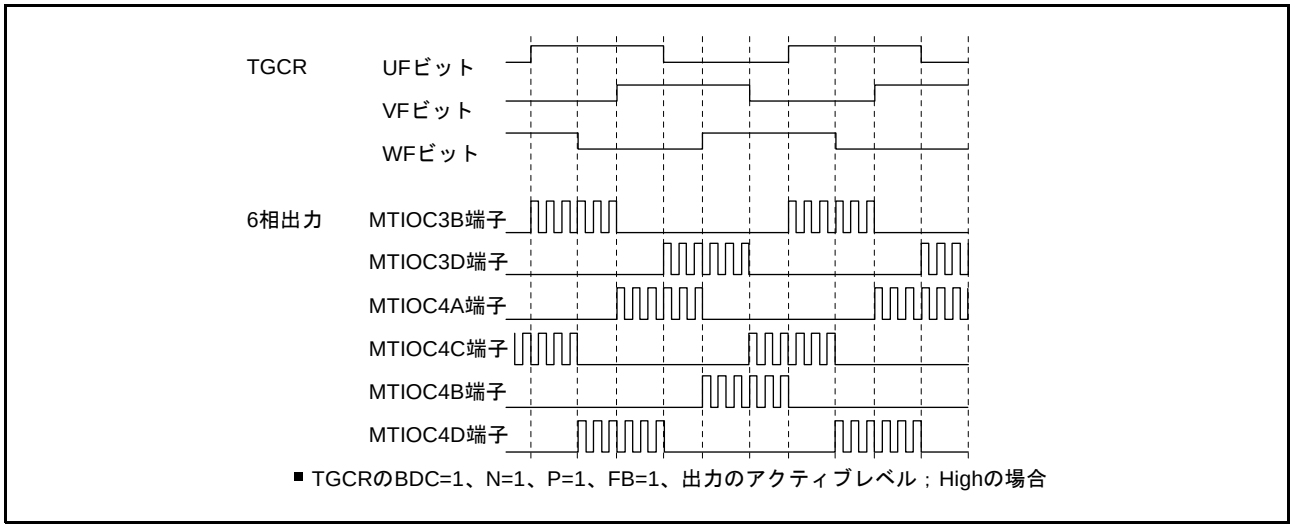


図 18.67　UF、VF、WF ビット設定による出力相の切り換え動作例（2）（ユニット 0）

(q)　A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTUn.TGRA のコンペアマッチ、MTUm.TCNT のアンダフロー（谷）、チャネル 3、4、9、10 以外のチャネルのコンペアマッチを使用して行うことが可能です。

MTUn.TGRA のコンペアマッチを使用して開始要求を設定すると、MTUn.TCNT の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ（TIER）の TTGE ビットを “1” にすることで設定できます。MTUm.TCNT のアンダフロー（谷）の A/D 変換の開始要求は、MTUm.TIER の TTGE2 ビットを “1” にすることで設定できます。（n=3,9　m=4,10）

(3)　相補 PWM モードの割り込み間引き機能

チャネル 3 または 9 とチャネル 4 または 10 の TGIAn（山の割り込み）、および TCIVm（谷の割り込み）は、タイマ割り込み間引き設定レジスタ（TITCR）を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。（n=3,9　m=4,10）

タイマバッファ転送レジスタ（TBTER）を設定することにより、バッファレジスタからテンポラリレジスタ／コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c)　割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ（TADCR）を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「18.3.9　A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ（TITCR）の設定は、MTUn.TIER、MTUm.TIER レジスタの設定で TGIAn と TCIVm 割り込み要求を禁止した状態、かつコンペアマッチによる TGIA3、TGIA4 割り込み要求が発生しない状態で行ってください。また、間引き回数の変更前に、TITCR の T3AEN、T4VEN ビットを “0” にして、間引きカウンタをクリアしてください。（n=3,9　m=4,10）

(a)　割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 18.68 に示します。また、割り込み間引き回数の変更可能期間（ユニット 0）を図 18.69 に示します。

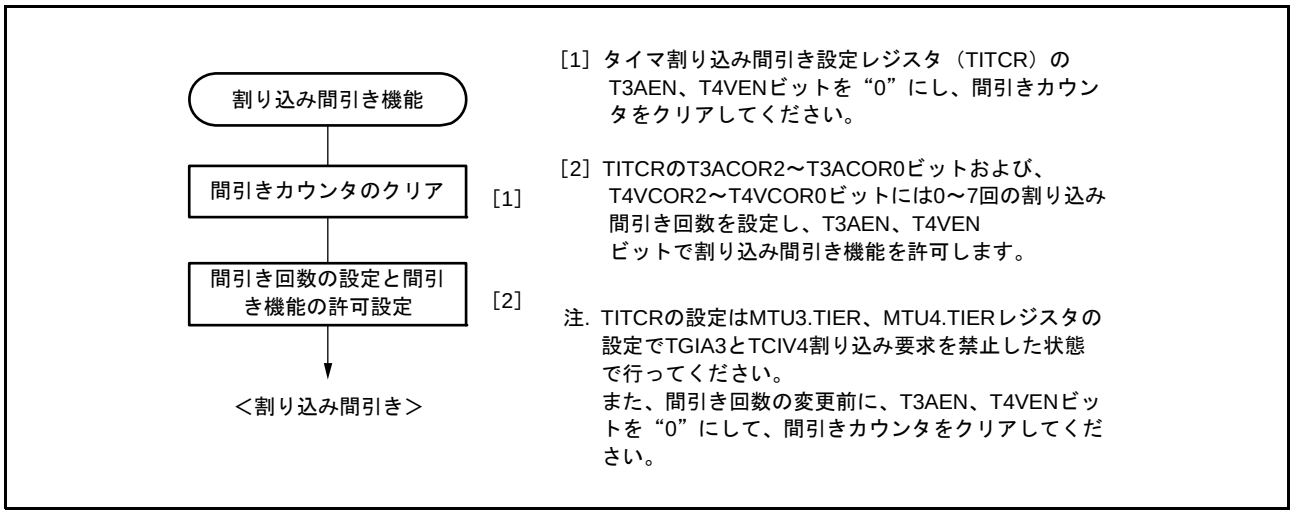


図 18.68　割り込み間引き機能の設定手順例

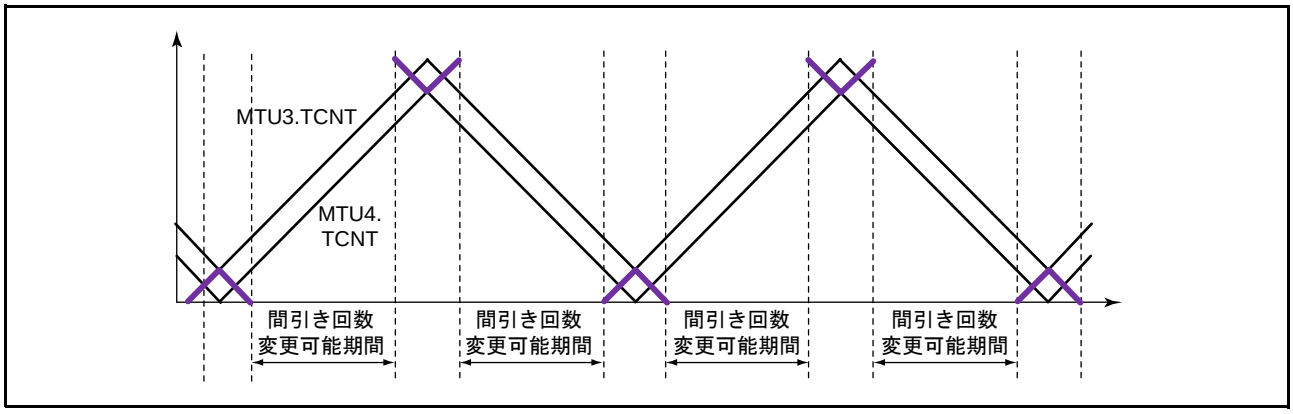


図 18.69　割り込み間引き回数の変更可能期間（ユニット 0）

(b)　割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ（TITCR）の T3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを “1” にした場合の、MTU3.TGIA 割り込み間引きの動作例を図 18.70 に示します。

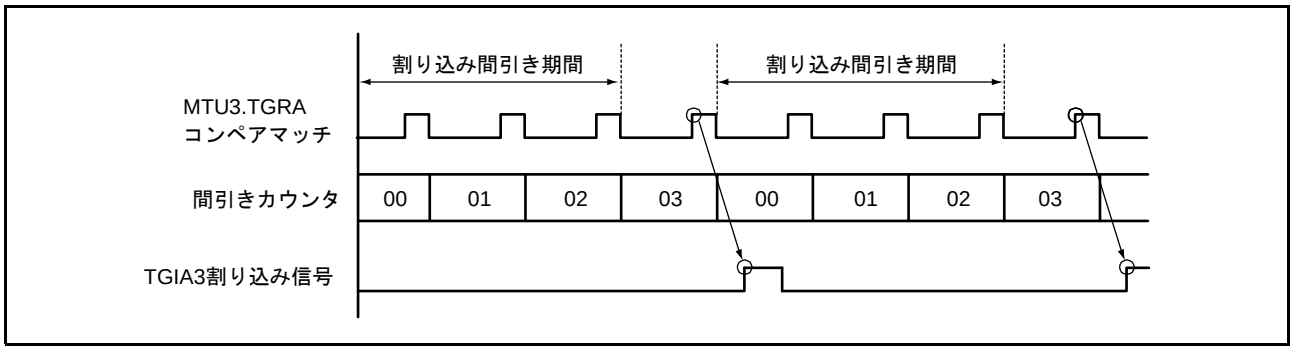


図 18.70　割り込み間引き機能の動作例（ユニット 0）

(c)　割り込み間引きと連動したバッファ転送制御

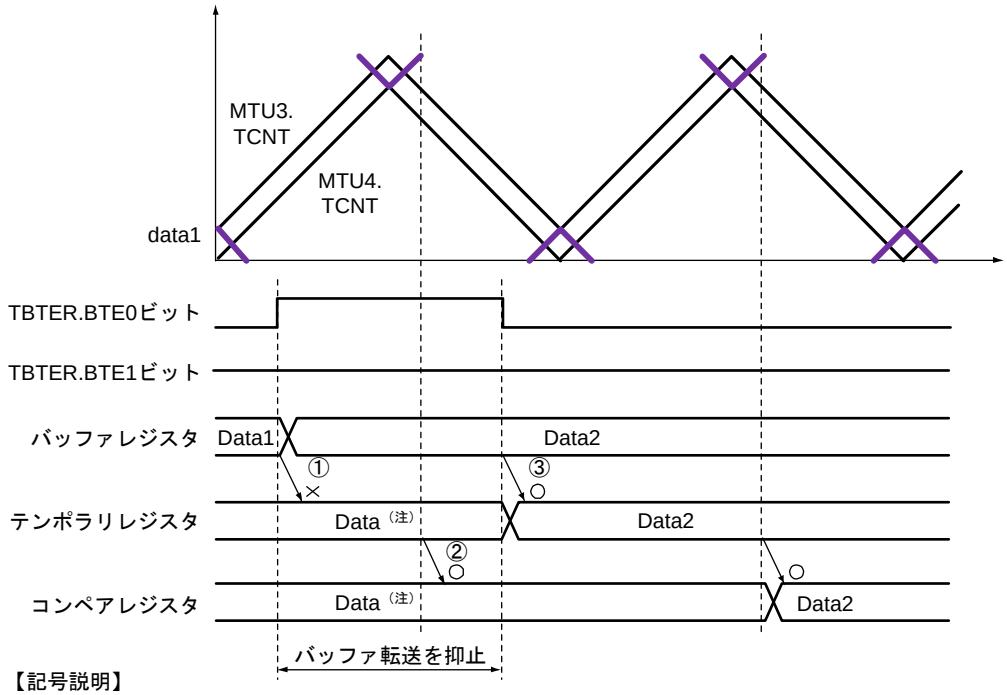
タイマバッファ転送設定レジスタ（TBTER）レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする／しない、または割り込み間引きと連動する／しないを選択することが可能です。

バッファ転送を抑止する設定（BTE1 ＝ 0、BTE0 ＝ 1）にした場合の動作例を図 18.71 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定（BTE1 ＝ 1、BTE0 ＝ 0）にした場合の動作例を図 18.72 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN ビットを “1” に設定した場合、T4VEN ビットを “1” に設定した場合、T3AEN/T4VEN ビットを “1” に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 18.73 に示します。

注 .　本機能は、割り込み間引き機能と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを “0” にしたとき、または TITCR の間引き回数設定ビット（T3ACOR、T4VCOR）を “0” にしたとき）は、バッファ転送を割り込み間引きと連動しない設定（TBTER.BTE1 ビットを “0”）にしてください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。



【記号説明】
① バッファ転送を抑止期間中（TBTERのBTE1/0ビットを “0” 、 “1” に設定）は、バッファレジスタからテンポラリレジスタへの転送をしない。
② バッファ転送を抑止期間中も、テンポラリレジスタからコンペアレジスタレジスタへの転送は行われる。
③ バッファ転送を抑止解除後に、バッファレジスタからテンポラリレジスタへの転送が行われる。

注.　山でのバッファ転送を選択時

図 18.71　バッファ転送を抑止する設定（BTE1 ＝ 0、BTE0 ＝ 1）にした場合の動作例（ユニット 0）

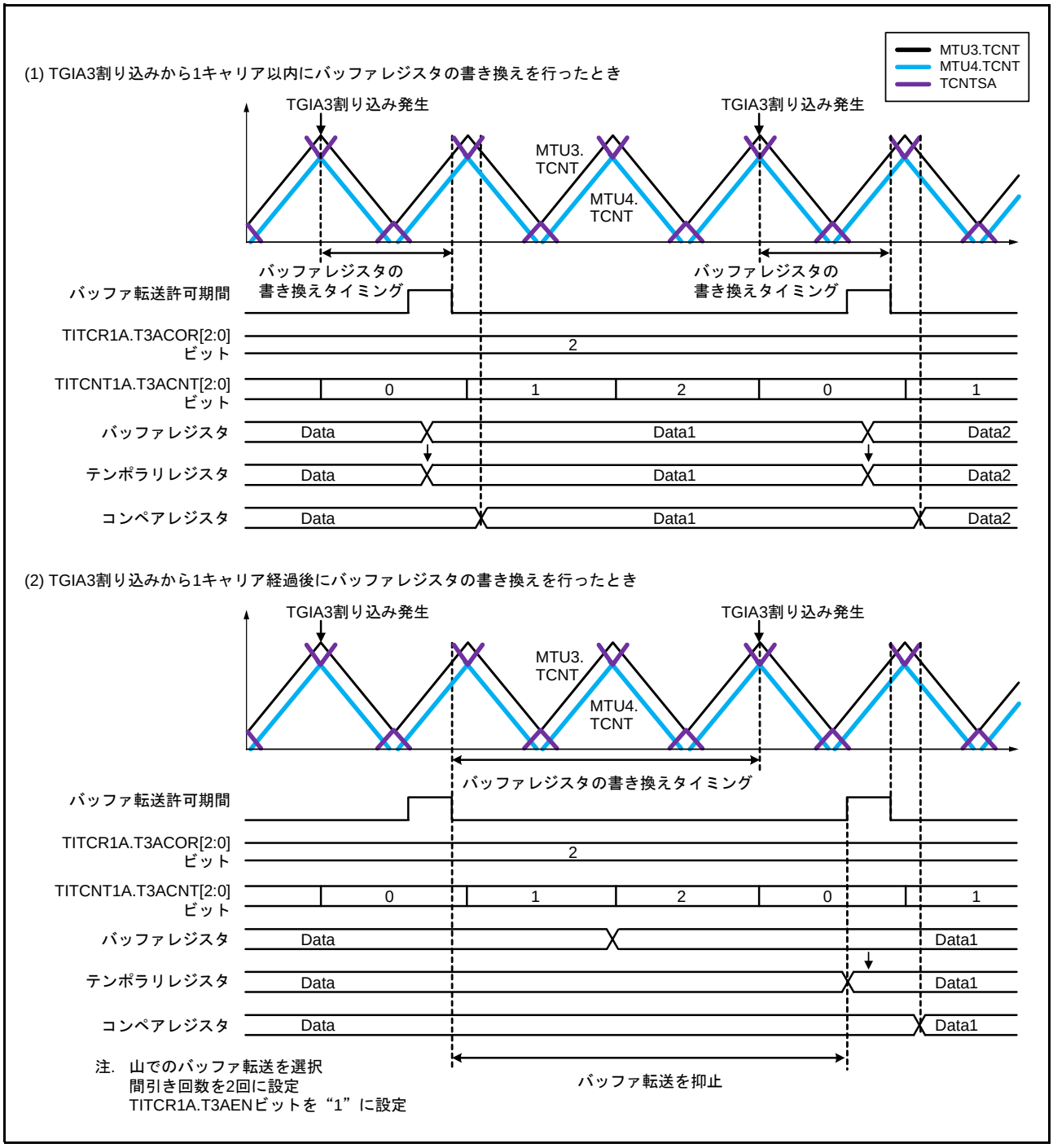


図 18.72　バッファ転送を割り込み間引きと連動する設定（BTE1 ＝ 1、BTE0 ＝ 0）にした場合の動作例（ユニット 0）

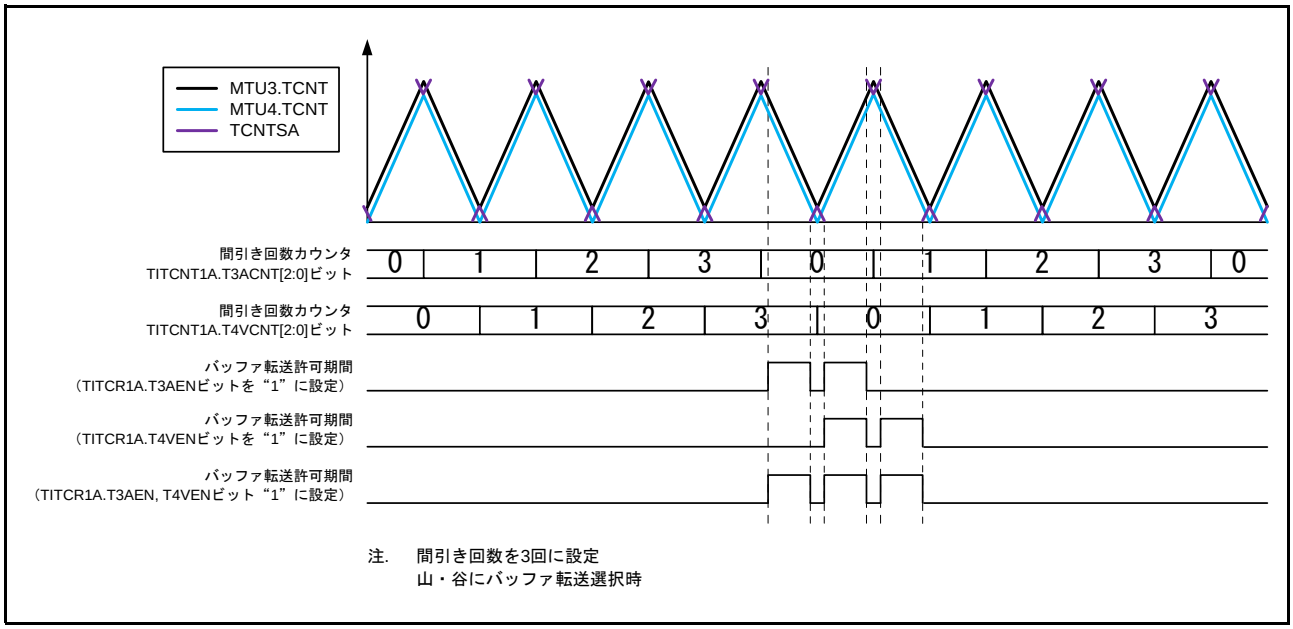


図 18.73　タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係（ユニット 0）

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ（TRWER）の RWE ビットの設定により CPU からのアクセスの許可／禁止を選択することが可能です。対象となるレジスタはチャネル 3 および 4（ユニット 0）またはチャネル 9 および 10（ユニット 1）のレジスタの一部が対象となっており、次のレジスタに適用されます。

ユニット 0：

MTU3.TCR および MTU4.TCR、MTU3.TMDR および MTU4.TMDR、MTU3.TIORH および MTU4.TIORH、MTU3.TIORL および MTU4.TIORL、MTU3.TIER および MTU4.TIER、MTU3.TCNT および MTU4.TCNT、MTU3.TGRA および MTU4.TGRA、MTU3.TGRB および MTU4.TGRB、MTUA.TOER、MTUA.TOCR1、MTUA.TOCR2、MTUA.TGCR、MTUA.TCDR、MTUA.TDDR

計 22 レジスタ

ユニット 1：

MTU9.TCR および MTU10.TCR、MTU9.TMDR および MTU10.TMDR、MTU9.TIORH および MTU10.TIORH、MTU9.TIORL および MTU10.TIORL、MTU9.TIER および MTU10.TIER、MTU9.TCNT および MTU10.TCNT、MTU9.TGRA および MTU10.TGRA、MTU9.TGRB および MTU10.TGRB、MTUB.TOER、MTUB.TOCR1、MTUB.TOCR2、MTUB.TGCR、MTUB.TCDR、MTUB.TDDR

計 22 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、「19. ポートアウトプットイネーブル 2（POE2）」を参照してください。

(c) 発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、本 LSI に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「8.11 発振停止検出機能」を参照してください。

18.3.9　A/D 変換開始要求ディレイド機能

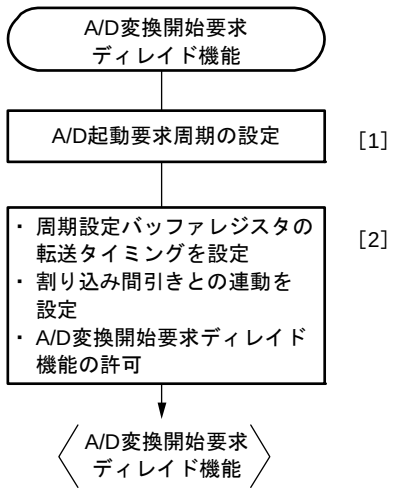
チャネル 4 または 10 のタイマ A/D 変換開始要求コントロールレジスタ（TADCR）、タイマ A/D 起動要求用周期レジスタ（MTUn.TADCORA、MTUn.TADCORB）、タイマ A/D 起動要求用周期バッファレジスタ（MTUn.TADCOBRA、MTUn.TADCOBRB）を設定することで、A/D 変換の開始要求を行うことが可能です。（n=4,10）

A/D 変換開始要求ディレイド機能は、MTUn.TCNT と MTUn.TADCORA、MTUn.TADCORB を比較し、MTUn.TCNT と MTUn.TADCORA、MTUn.TADCORB が一致したとき、それぞれの A/D 変換の開始要求（TRGnAN、TRGnBN）を行います。

また、TADCR の ITA3AE、ITAnVE、ITBmAE、ITBnVE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求（TRGnAN、TRGnBN）を間引くことが可能です。（n=4,10　m=3,7）

(1)　A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 18.74 に示します。



[1] タイマA/D起動要求用周期バッファレジスタ（MTU4.TADCOBRA/B）とタイマA/D起動要求用周期レジスタ（MTU4.TADCORA/B）に、周期を設定します。
（初期設定は、周期バッファレジスタと周期レジスタには同じ値を設定してください。）

[2] タイマA/D変換開始要求コントロールレジスタ（TADCR）のBF[1:0]ビットには、タイマA/D起動要求用周期バッファレジスタからA/D起動要求用周期レジスタへのバッファ転送タイミングを設定します。
- ITA3AE、ITA4VE、ITB3AE、ITB4VEビットで、割り込み間引き機能と連動するか設定します。
- UT4AE、DT4AE、UT4BE、DT4BEビットを設定し、A/D変換の開始要求（TRG4AN、TRG4BN）を許可します。

注1. TADCRの設定は、MTU4.TCNTが停止した状態で行ってください。
注2. 相補PWMモード以外では、BF[1]を“1”に設定しないでください。
注3. 相補PWMモード以外では、ITA3AE、ITA4VE、ITB3AE、ITB4VE、DT4AE、DT4BEを“1”に設定しないでください。

図 18.74　A/D 変換開始要求ディレイド機能の設定手順例

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT の谷に設定し、MTU4.TCNT のダウンカウント時に A/D 変換の開始要求信号（TRG4AN）を出力する設定にした場合の、A/D 変換の開始要求信号（TRG4AN）の基本動作例（ユニット 0）を図 18.75 に示します。

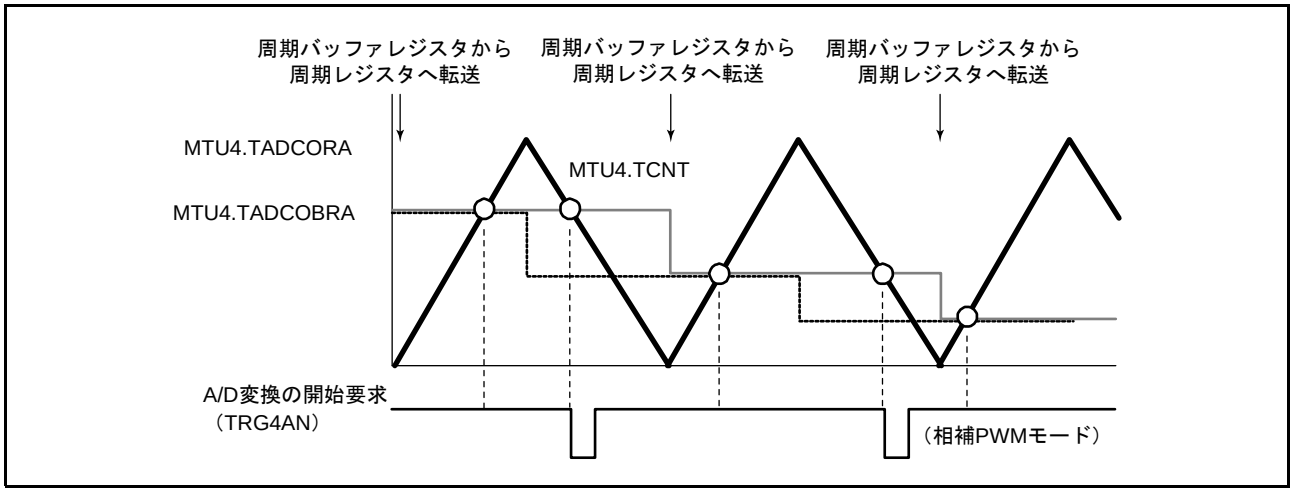


図 18.75　A/D 変換の開始要求信号（TRG4AN）の基本動作例（ユニット 0）

(3) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ（MTUn.TADCORA/B）のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ（MTUn.TADCOBRA/B）にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ（MTUn.TADCR）の BF[1:0] ビットを設定することにより選択することができます。（n=4,10）

(4) 割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能

タイマ A/D 変換開始要求コントロールレジスタ（TADCR）の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求（TRG4AN、TRG4BN）を行うことが可能です。MTUn.TCNT のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例を図 18.76 に示します。

また、MTUn.TCNT のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例を図 18.77 に示します。（n=4,10）

注 .　本機能は割り込み間引き機能と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを “0” にしたとき、または TITCR の間引き回数設定ビット（T3ACOR、T4VCOR）を 0 に設定したとき）は、割り込み間引き機能と連動しない（TADCR.ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを “0”）にしてください。
A/D コンバータへの変換要求信号は、TRG4ABN（TRG4AN または TRG4BN）になりますので注意してください。

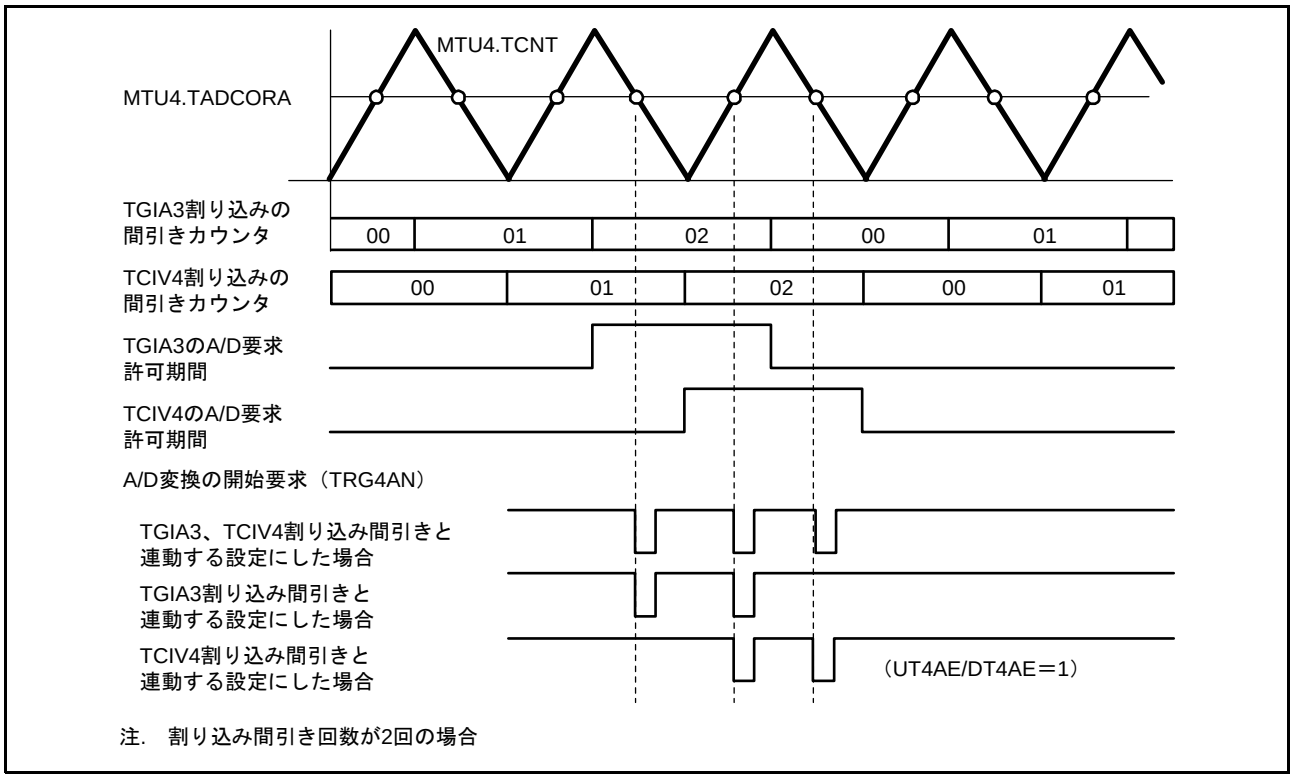


図 18.76　割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例（ユニット 0）
（TCNT のアップカウント時およびダウンカウント時に TRG4AN 出力を許可したとき）

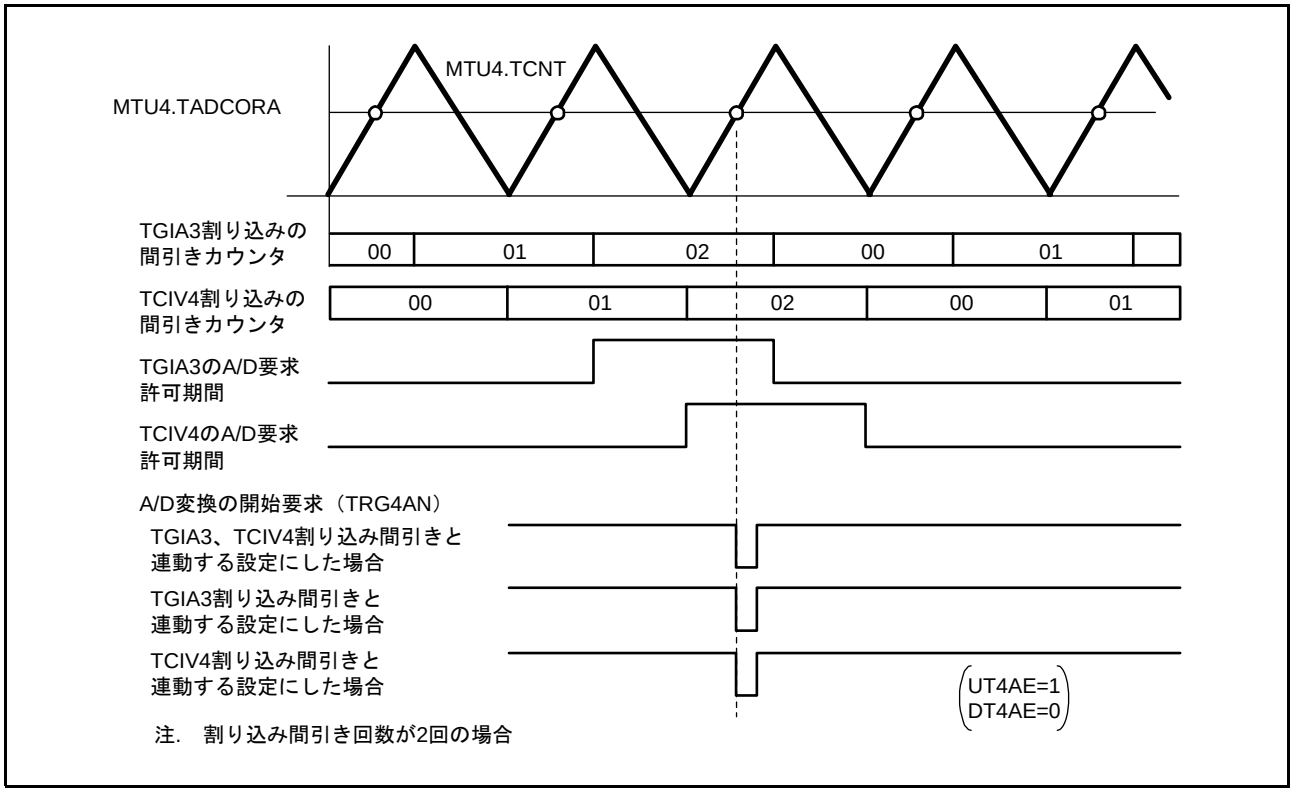


図 18.77　割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例（ユニット 0）
（TCNT のアップカウント時に TRG4AN 出力を許可したとき）

18.3.10　外部パルス幅測定機能

チャネル 5（またはチャネル 11）は、最大 3 本の外部パルス幅を測定することができます。

(1)　外部パルス幅測定の設定手順例

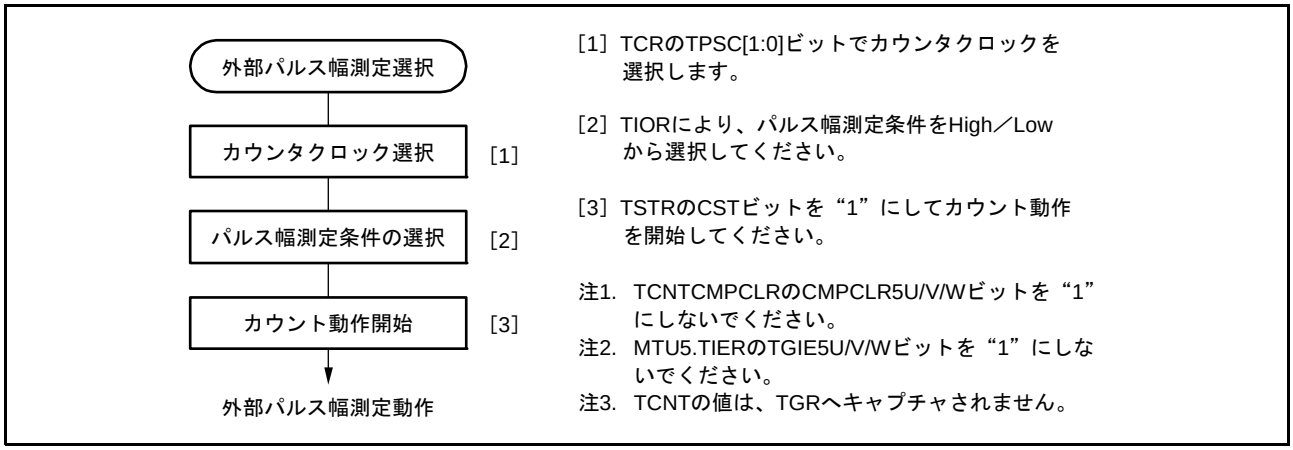


図 18.78　外部パルス幅測定の設定手順例 (ユニット 0)

(2)　外部パルス幅測定動作例

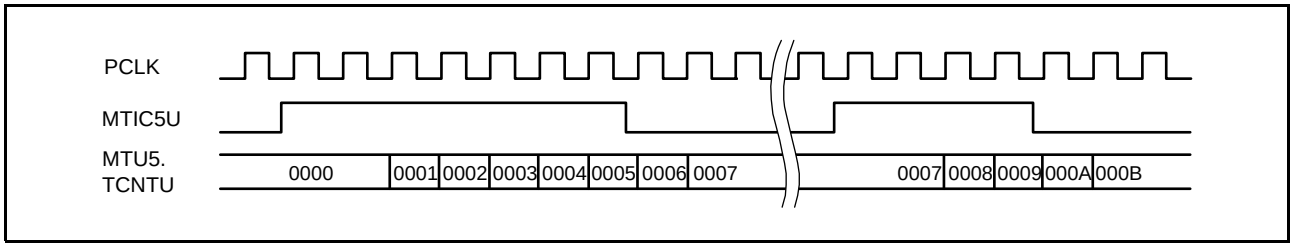


図 18.79　外部パルス幅測定の動作例（High パルス幅測定）

18.3.11　デッドタイム補償用機能

出力波形の遅れを測定してデューティ比に反映することで、外部パルス幅測定機能を相補 PWM モード動作時の PWM 出力波形に対するデッドタイム補償用機能として使用することができます。

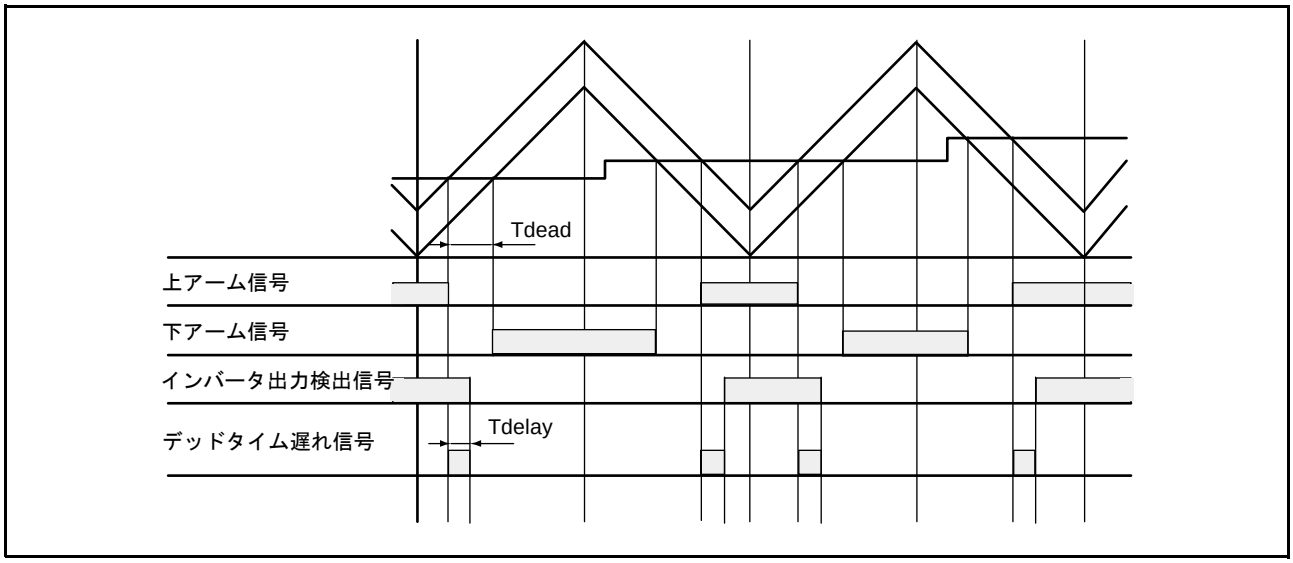
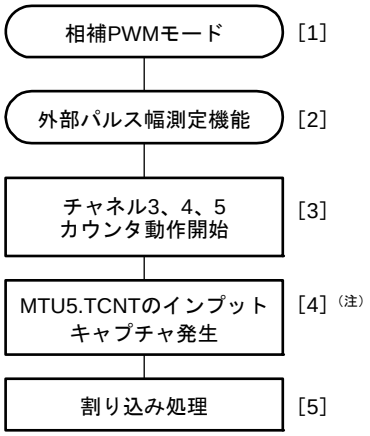


図 18.80　相補 PWM モード動作時のデッドタイム遅れ

(1) デッドタイム補償用機能の設定手順例

チャネル 5（またはチャネル 11）の 3 本のカウンタを使用したデッドタイム補償用機能の設定手順例 (ユニット 0) を図 18.81 に示します。



[1] チャネル3、4に相補PWMモードの設定をします。
詳細は「18.3.8　相補PWMモード」を参照してください。

[2] 使用するチャネル5のTIORに外部パルス幅測定機能の設定をします。詳細は「18.3.10　外部パルス幅測定機能」を参照してください。

[3] TSTRのCST3、CST4とMTU5.TSTRのCSTU5、CSTV5、CSTW5に1をセットして、カウント動作を開始してください。

[4] TIORレジスタに設定したキャプチャ条件が発生したとき、MTU5.TCNTの値をMTU5.TGRに取り込みます。

[5] U相のデッドタイム補償は、相補PWMモードの山（TGIA3）もしくは谷（TCIV4）の割り込み処理で、MTU5.TGRUの値を読み出し、MTU3.TGRBとの時間差を算出して、補正した値をMTU3.TGRDに書き込みます。
V相とW相についても同様にMTU5.TGRVとMTU5.TGRWの値をMTU4.TGRCとTGRDに補正した値を書き込みます。
MTU5.TCNTのクリアは、TCNTCMPCLRの設定もしくはソフトウェアで行ってください。

注.　PFCMTUの設定は前もって完了しておいてください。
（注）TIORに設定したキャプチャ条件で割り込みフラグがセットされるので、MTU5.TIERに割り込み要求の許可を設定しないでください。

図 18.81　デッドタイム補償用機能の設定手順例 (ユニット 0)

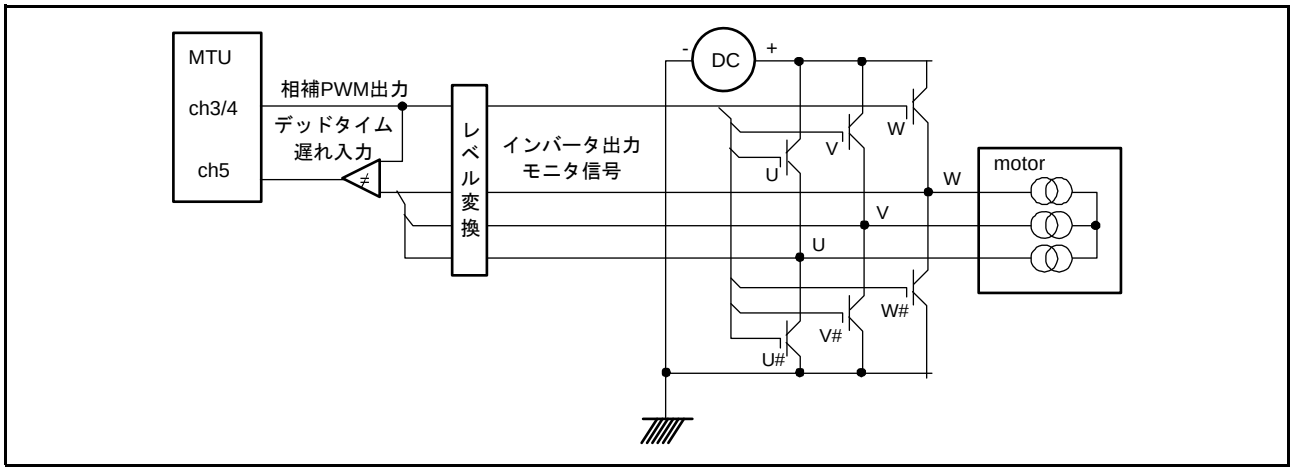


図 18.82　モータ制御回路構成例

(2) 相補 PWM モードの「山／谷」での TCNT キャプチャ動作

相補 PWM モード動作時、MTU5.TCNT の値を「山、谷、山谷」で MTU5.TGR へ保存します。MTU5.TGR に取り込むタイミングの切り替えは、MTU5.TIOR で選択します。

相補 PWM モード時の「山 / 谷」での MTU5.TCNT キャプチャ動作を図 18.83 に示します。

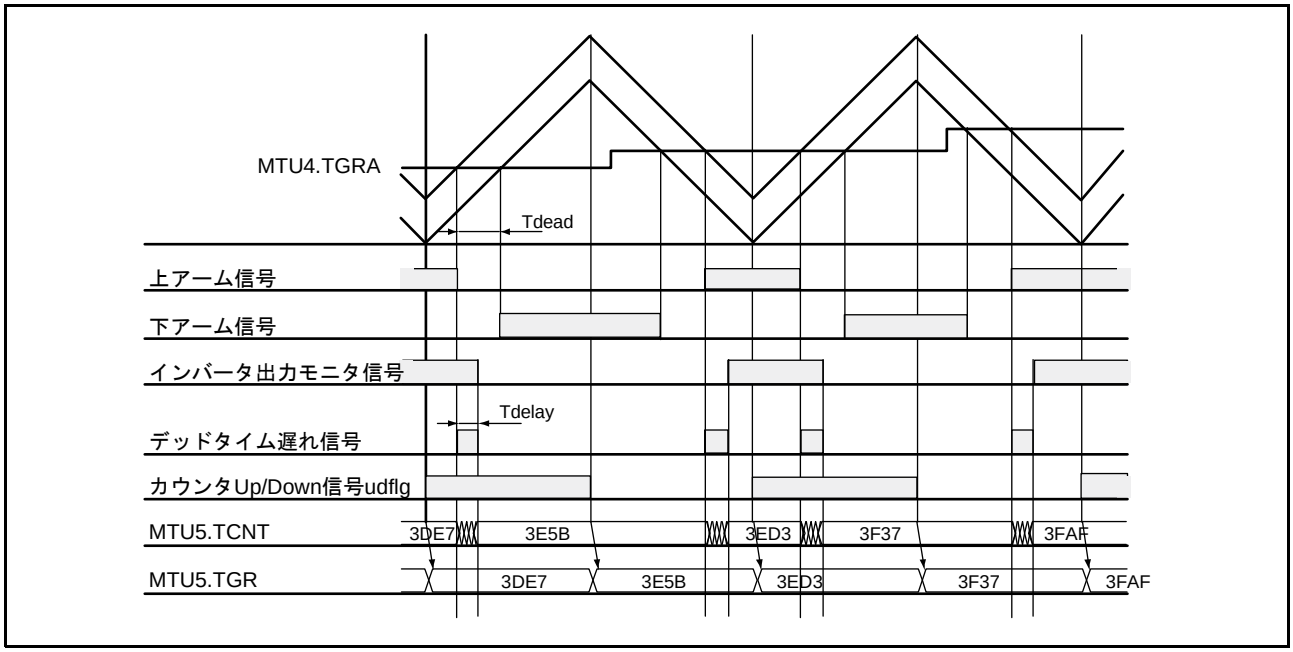


図 18.83　相補 PWM モード の「山／谷」での MTU5.TCNT キャプチャ動作

18.4 割り込み要因

18.4.1 割り込み要因と優先順位

MTU の割り込み要因には、TGR のインプットキャプチャ／コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可／禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER の対応する許可／禁止ビットを “1” にすると、割り込みを要求します。チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は変更できません。詳細は「11. 割り込みコントローラ（ICUa）」を参照してください。

表 18.59、表 18.60 に MTU の割り込み要因の一覧を示します。

表18.59　MTU割り込み要因 (1)（ユニット0）

チャネル	名称	割り込み要因	DMACAの起動	DTCの起動	優先順位
0	TGIA0	MTU0.TGRAのインプットキャプチャ／コンペアマッチ	可能	可能	高
	TGIB0	MTU0.TGRBのインプットキャプチャ／コンペアマッチ	不可能	可能	↑
	TGIC0	MTU0.TGRCのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGID0	MTU0.TGRDのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV0	MTU0.TCNTのオーバフロー	不可能	不可能	
	TGIE0	MTU0.TGREのコンペアマッチ	不可能	不可能	
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能	不可能	
1	TGIA1	MTU1.TGRAのインプットキャプチャ／コンペアマッチ	可能	可能	
	TGIB1	MTU1.TGRBのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV1	MTU1.TCNTのオーバフロー	不可能	不可能	
	TCIU1	MTU1.TCNTのアンダフロー	不可能	不可能	
2	TGIA2	MTU2.TGRAのインプットキャプチャ／コンペアマッチ	可能	可能	
	TGIB2	MTU2.TGRBのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV2	MTU2.TCNTのオーバフロー	不可能	不可能	
	TCIU2	MTU2.TCNTのアンダフロー	不可能	不可能	
3	TGIA3	MTU3.TGRAのインプットキャプチャ／コンペアマッチ	可能	可能	
	TGIB3	MTU3.TGRBのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGIC3	MTU3.TGRCのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGID3	MTU3.TGRDのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV3	MTU3.TCNTのオーバフロー	不可能	不可能	
4	TGIA4	MTU4.TGRAのインプットキャプチャ／コンペアマッチ	可能	可能	
	TGIB4	MTU4.TGRBのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGIC4	MTU4.TGRCのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGID4	MTU4.TGRDのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV4	MTU4.TCNTのオーバフロー／アンダフロー	不可能	可能	
5	TGIU5	MTU5.TGRUのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGIV5	MTU5.TGRVのインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGIW5	MTU5.TGRWのインプットキャプチャ／コンペアマッチ	不可能	可能	低

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

表18.60　MTU割り込み要因 (2)（ユニット1）

チャネル	名称	割り込み要因	DMACAの起動	DTCの起動	優先順位
6	TGIA6	MTU6.TGRA のインプットキャプチャ／コンペアマッチ	可能	可能	高
	TGIB6	MTU6.TGRB のインプットキャプチャ／コンペアマッチ	不可能	可能	↑
	TGIC6	MTU6.TGRC のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGID6	MTU6.TGRD のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV6	MTU6.TCNT のオーバフロー	不可能	不可能	
	TGIE6	MTU6.TGRE のコンペアマッチ	不可能	不可能	
	TGIF6	MTU6.TGRF のコンペアマッチ	不可能	不可能	
7	TGIA7	MTU7.TGRA のインプットキャプチャ／コンペアマッチ	可能	可能	
	TGIB7	MTU7.TGRB のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV7	MTU7.TCNT のオーバフロー	不可能	不可能	
	TCIU7	MTU7.TCNT のアンダフロー	不可能	不可能	
8	TGIA8	MTU8.TGRA のインプットキャプチャ／コンペアマッチ	可能	可能	
	TGIB8	MTU8.TGRB のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV8	MTU8.TCNT のオーバフロー	不可能	不可能	
	TCIU8	MTU8.TCNT のアンダフロー	不可能	不可能	
9	TGIA9	MTU9.TGRA のインプットキャプチャ／コンペアマッチ	可能	可能	
	TGIB9	MTU9.TGRB のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGIC9	MTU9.TGRC のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGID9	MTU9.TGRD のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV9	MTU9.TCNT のオーバフロー	不可能	不可能	
10	TGIA10	MTU10.TGRA のインプットキャプチャ／コンペアマッチ	可能	可能	
	TGIB10	MTU10.TGRB のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGIC10	MTU10.TGRC のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGID10	MTU10.TGRD のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TCIV10	MTU10.TCNT のオーバフロー／アンダフロー	不可能	可能	
11	TGIU11	MTU11.TGRU のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGIV11	MTU11.TGRV のインプットキャプチャ／コンペアマッチ	不可能	可能	
	TGIW11	MTU11.TGRW のインプットキャプチャ／コンペアマッチ	不可能	可能	低

(1) インプットキャプチャ／コンペアマッチ割り込み

各チャネルの TGR のインプットキャプチャ／コンペアマッチの発生により、TIER の TGIE ビットが “1” ならば、割り込みを要求します。MTU には、ユニット 0 はチャネル 0 に 6 本、チャネル 3、4 に各 4 本、チャネル 1、2 に各 2 本、チャネル 5 に各 3 本、計 21 本、ユニット 1 はチャネル 6 に 6 本、チャネル 9、10 に各 4 本、チャネル 7、8 に各 2 本、チャネル 11 に各 3 本、計 21 本のインプットキャプチャ／コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャネルの TCNT のオーバフローの発生により、TIER の TCIEV ビットが 1” ならば、割り込みを要求します。MTU には、ユニット 0 では各チャネルに 1 本、計 5 本、ユニット 1 では各チャネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャネルの TCNT のアンダフローの発生により、TIER の TCIEU ビットが 1” ならば、割り込みを要求します。MTU には、ユニット 0 ではチャネル 1、2 に各 1 本、計 2 本、ユニット 1 ではチャネル 7、8 に各 1 本、計 2 本のアンダフロー割り込みがあります。

18.4.2 DTC/DMACA の起動

(1) DTC の起動

各チャネルの TGR のインプットキャプチャ／コンペアマッチ割り込み、チャネル 4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「16. データトランスファコントローラ（DTCa）」を参照してください。

MTU では、ユニット 0 にはチャネル 0、3 が各 4 本、チャネル 1、2 が各 2 本、チャネル 4 が 5 本、チャネル 5 が 3 本、計 20 本、ユニット 1 にはチャネル 6、9 が各 4 本、チャネル 7、8 が各 2 本、チャネル 10 が 5 本、チャネル 11 が 3 本、計 20 本のインプットキャプチャ／コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

(2) DMACA の起動

各チャネルの TGRA のインプットキャプチャ／コンペアマッチ割り込みによって、DMACA を起動することができます。詳細は「14. DMA コントローラ（DMACA）」を参照してください。

MTU では、ユニット 0 ではチャネル 0 ～ 4 の各チャネル 1 本、計 5 本、ユニット 1 ではチャネル 6 ～ 10 の各チャネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ／コンペアマッチ割り込みを DMACA の起動要因とすることができます。

MTU による DMACA 起動時は、DMACA が内部バス権を要求するときに起動要因をクリアします。したがって、内部バスの状態によっては、起動要因がクリアされても DMACA 転送が開始待ち状態になる期間が発生します。

(3) EXDMAC の起動

チャネル 1 の TGRA のインプットキャプチャ／コンペアマッチ割り込みによって、EXDMAC を起動することができます。詳細は「15. EXDMA コントローラ（EXDMAC）」を参照してください。

18.4.3 A/D コンバータの起動

MTU では、次の 5 種類の方法で A/D コンバータを起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 18.61 に示します。

(1) TGRA のインプットキャプチャ／コンペアマッチと、相補 PWM モード時の MTUn.TCNT の谷での A/D 起動（n=4,10）

各チャネルの TGRA のインプットキャプチャ／コンペアマッチによって、A/D コンバータを起動することができます。また、MTUn.TIER の TTGE2 ビットを “1” にした状態で、相補 PWM モード動作をさせた場合は、MTUn.TCNT が谷（MTUn.TCNT ＝ 0000h）になったときも A/D コンバータを起動することができます。（n=4,10）

次に示す条件で、A/D コンバータに対して A/D 変換開始要求 TRGAN を発生します。

- 各チャネルの TGRA のインプットキャプチャ／コンペアマッチが発生したとき、TIER の TTGE ビットが “1” であった場合
- MTUn.TIER の TTGE2 ビットが “1” の状態で、相補 PWM モード動作をさせ、MTUn.TCNT が谷（MTUn.TCNT ＝ 0000h）になった場合（n=4,10）

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 起動（MTU0）

MTU0.TCNT と MTU0.TGRE のコンペアマッチの発生により、A/D コンバータに対して、A/D 変換開始要求 TRG0EN を発生します。

チャネル 0 の TCNT と TGRE のコンペアマッチの発生により、A/D コンバータに対して A/D 変換開始要求 TRG0EN を発生します。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0EN が選択されていれば、A/D 変換が開始されます。

(3) MTU0.TCNT と MTU0.TGRF のコンペアマッチによる A/D 起動（MTU0）

チャネル 0 の MTU0.TCNT と MTU0.TGRF のコンペアマッチによって、A/D 変換開始要求 TRG0FN を発生し、A/D コンバータを起動することができます。

チャネル 0 の MTU0.TCNT と MTU0.TGRF のコンペアマッチの発生により、A/D コンバータに対して A/D 変換開始要求 TRG0FN を発生します。

(4) MTU0.TGRA または MTU0.TGRB のインプットキャプチャ／コンペアマッチによる A/D 起動（MTU0）

チャネル 0 の MTU0.TCNT と MTU0.TGRA または MTU0.TGRB のインプットキャプチャ／コンペアマッチによって、A/D コンバータを起動することができます。

チャネル 0 の MTU0.TCNT と MTU0.TGRA または MTU0.TGRB のインプットキャプチャ／コンペアマッチの発生により、A/D コンバータに対して A/D 変換開始要求 TRG0AN または TRG0BN を発生します。

(5) A/D 変換開始要求ディレイド機能による A/D 起動 (MTU4)

A/D 変換開始要求コントロールレジスタ（TADCR）の UT4AE、DT4AE、UT4BE、DT4BE ビットを “1” にした場合、TADCORA、TADCORB と MTU4.TCNT の一致によって、TRG4AN、TRG4BN を発生し、A/D コンバータを起動することができます。詳細は「18.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN または TRG4BN が発生したとき、TRG4ABN が発生します。A/D コンバータ側で MTU の変換開始トリガ TRG4ABN が選択されていれば、A/D 変換が開始されます。

表 18.61　各割り込み要因と A/D 変換開始要求の対応

対　　象	AD起動要因	A/D変換開始要求
MTUn.TGRA と MTUn.TCNT（n=0）	インプットキャプチャ／コンペアマッチ	TRGAN
MTUn.TGRA と MTUn.TCNT（n=1,7）		
MTUn.TGRA と MTUn.TCNT（n=2,8）		
MTUn.TGRA と MTUn.TCNT（n=3,9）		
MTUn.TGRA と MTUn.TCNT（n=4,10）		
MTUn.TCNT（n=4,10）	相補 PWM モード時の MTUn.TCNT の谷（n=4,10）	
MTUn.TGRA と MTUn.TCNT（n=0）	インプットキャプチャ／コンペアマッチ	TRGnAN（n=0）
MTUn.TGRB と MTUn.TCNT（n=0）		TRGnBN（n=0）
MTUn.TGRE と MTUn.TCNT（n=0）	コンペアマッチ	TRGnEN（n=0）
MTUn.TGRF と MTUn.TCNT（n=0）		TRGnFN（n=0）
TADCORA と MTUn.TCNT または TADCORB と MTUn.TCNT（n=4,10）		TRGnABN（n=4,10）

18.5 動作タイミング

18.5.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TGI 割り込みのカウントタイミングを図 18.84、図 18.85 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 18.86 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 18.87 に示します。

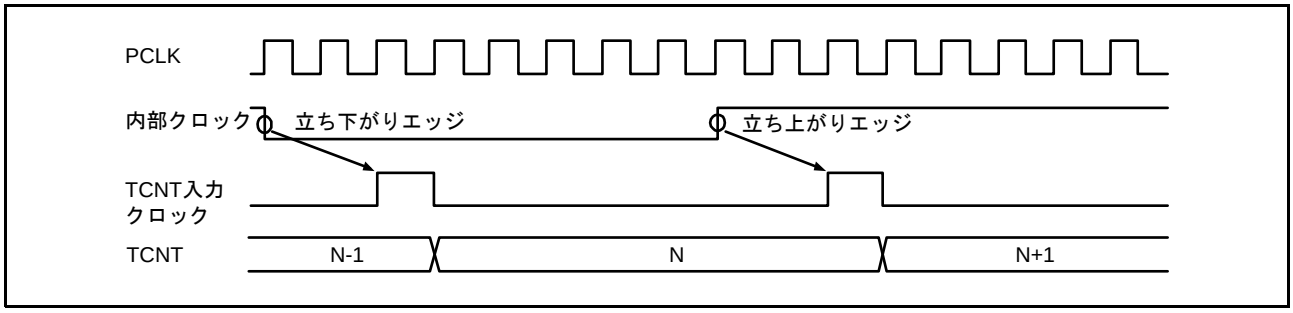


図 18.84　内部クロック動作時のカウントタイミング（チャネル 0 ～ 4、6 ～ 10）

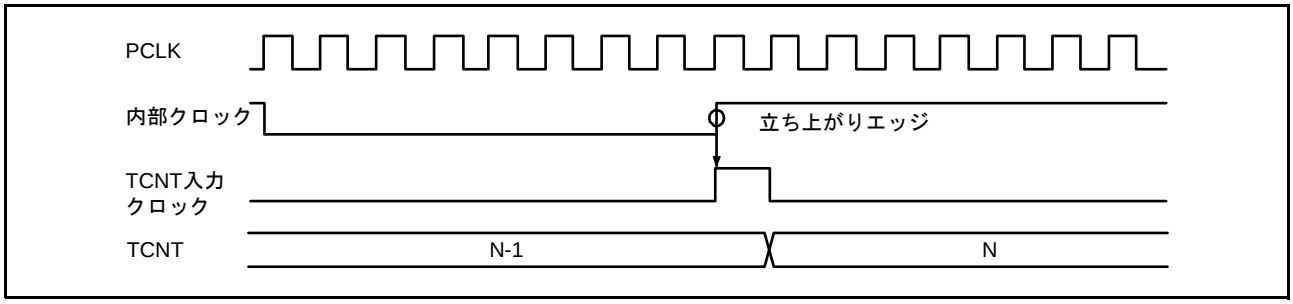


図 18.85　内部クロック動作時のカウントタイミング（チャネル 5、11）

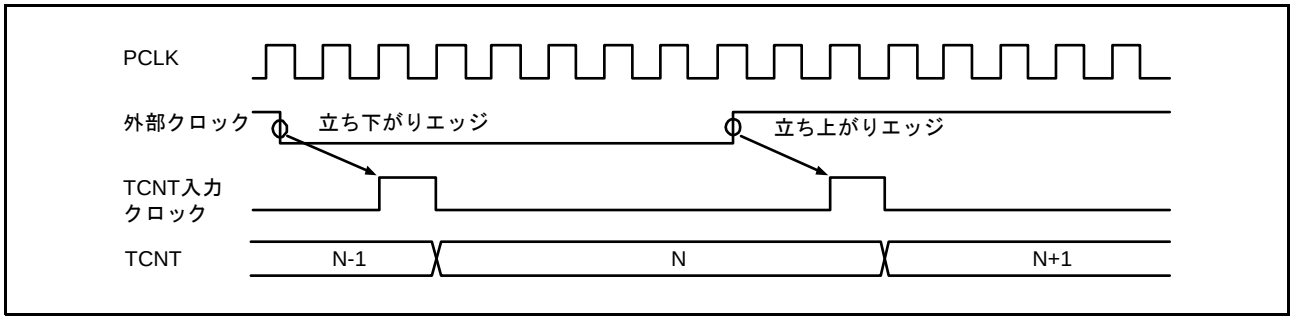


図 18.86　外部クロック動作時のカウントタイミング（チャネル 0 ～ 4、6 ～ 10）

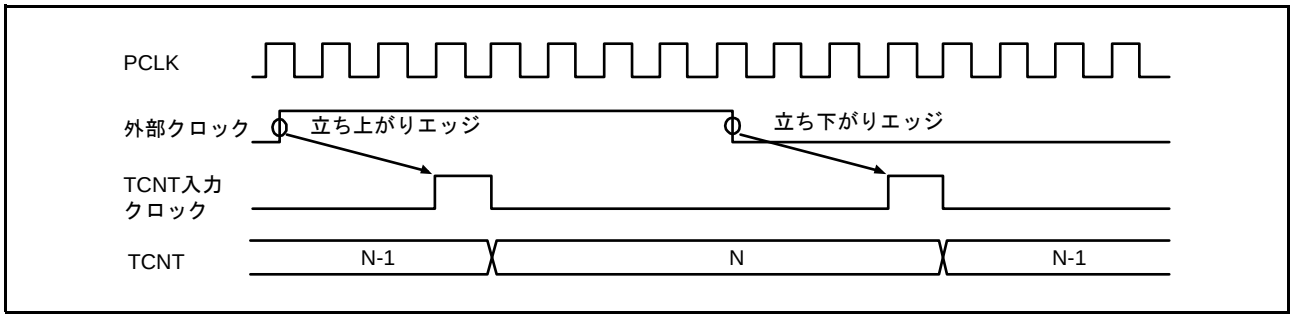


図 18.87　外部クロック動作時のカウントタイミング（位相計数モード）

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子（MTIOC 端子）に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 18.88 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 18.89 に示します。

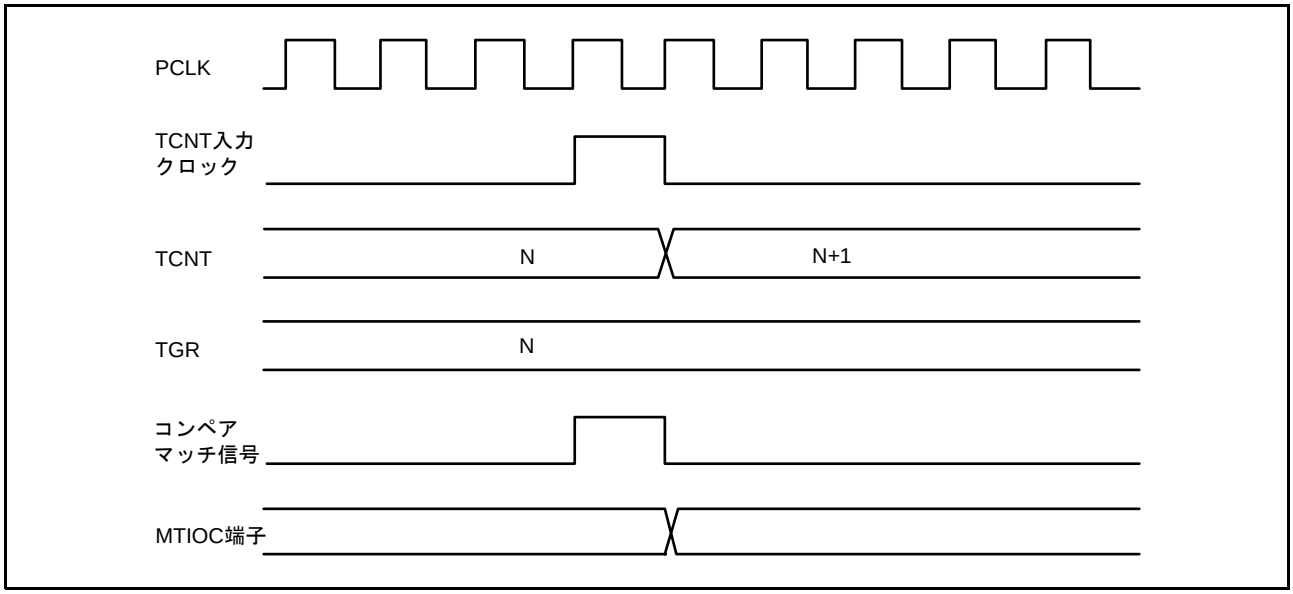


図 18.88　アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

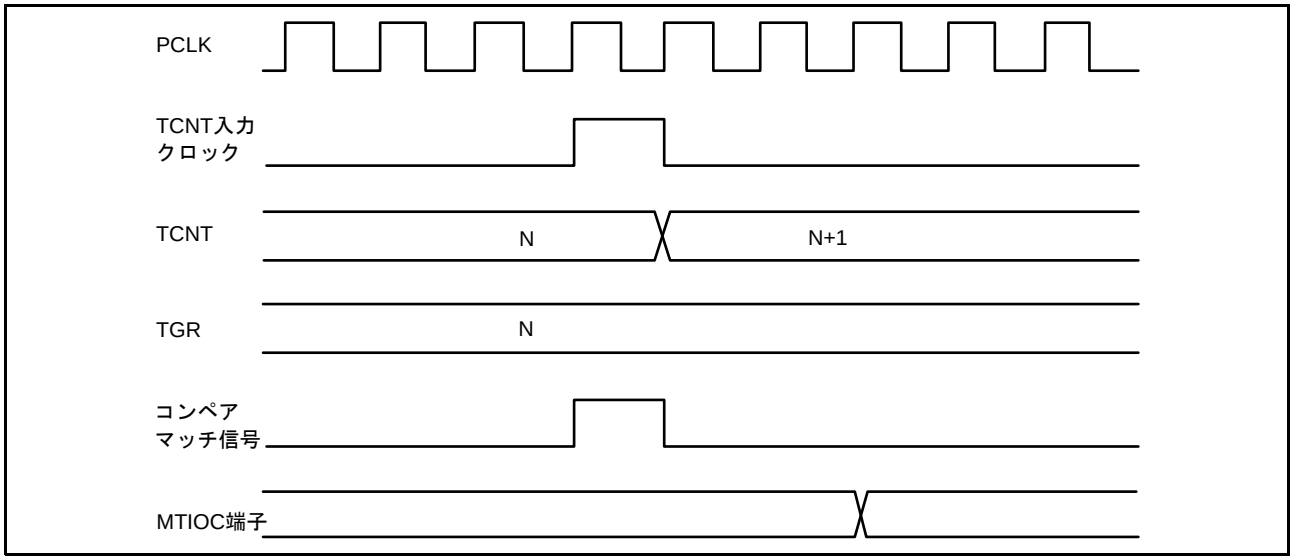


図 18.89　アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 18.90 に示します。

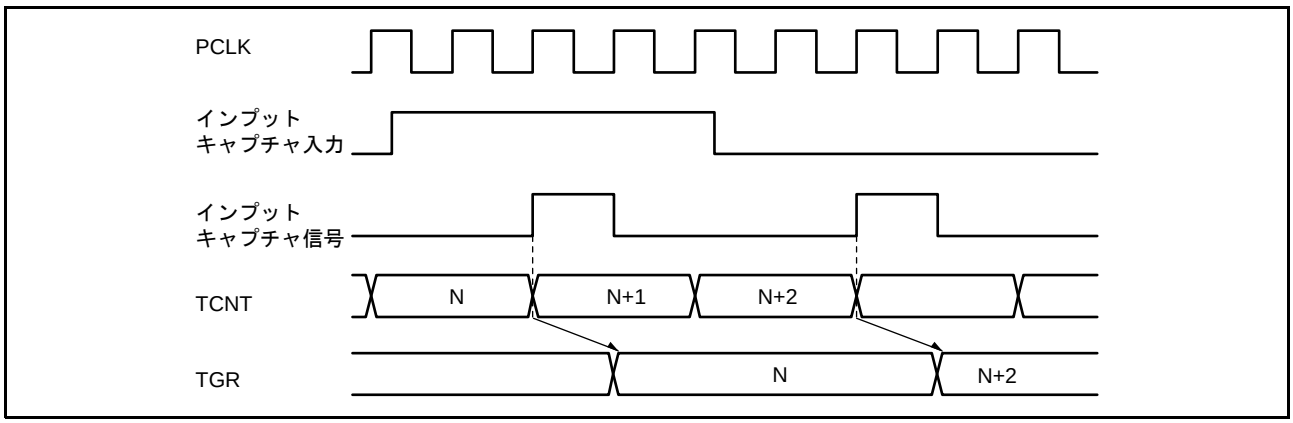


図 18.90　インプットキャプチャ入力信号タイミング

(4) コンペアマッチ／インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図18.91、図18.92に示します。
インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 18.93 に示します。

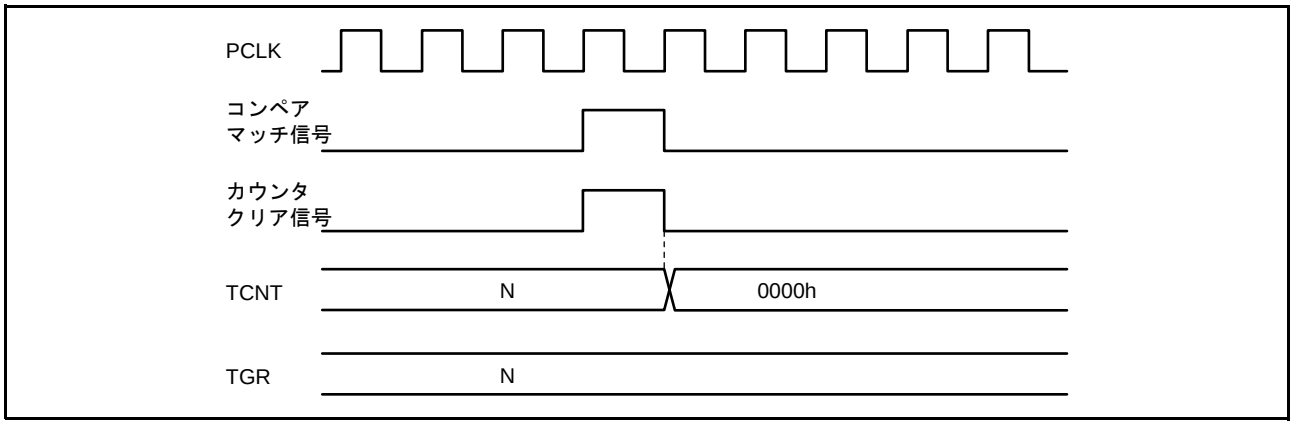


図 18.91　カウンタクリアタイミング（コンペアマッチ）（チャネル 0 ～ 4 または 6 ～ 10）

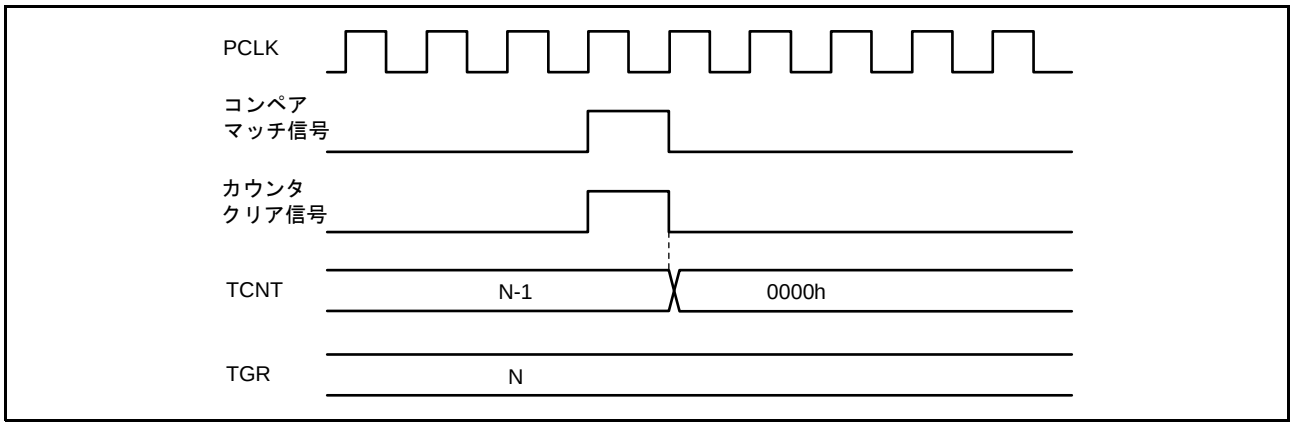


図 18.92　カウンタクリアタイミング（コンペアマッチ）（チャネル 5 または 11）

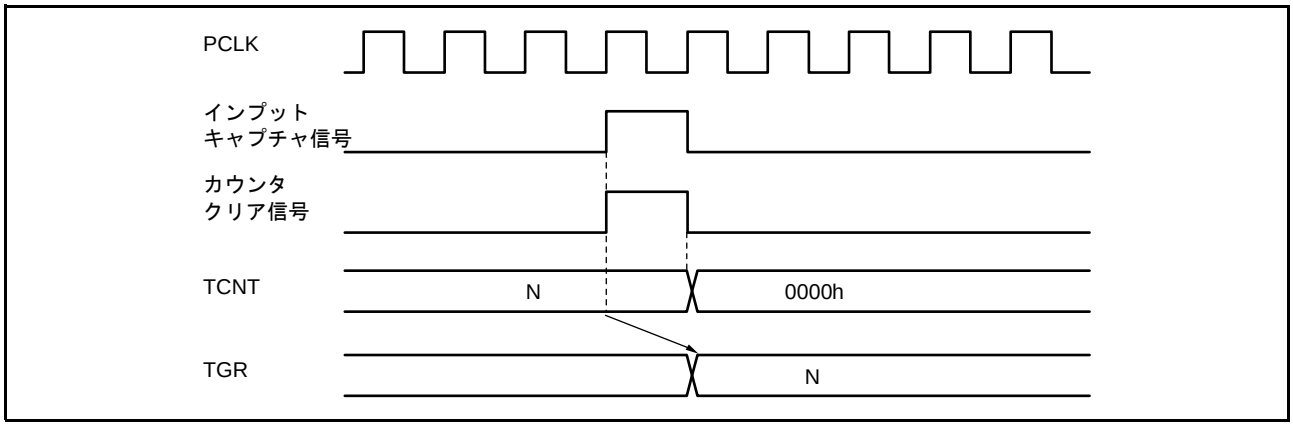


図 18.93　カウンタクリアタイミング（インプットキャプチャ）（チャネル 0 ～ 5 または 6 ～ 11）

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 18.94 ～図 18.96 に示します。

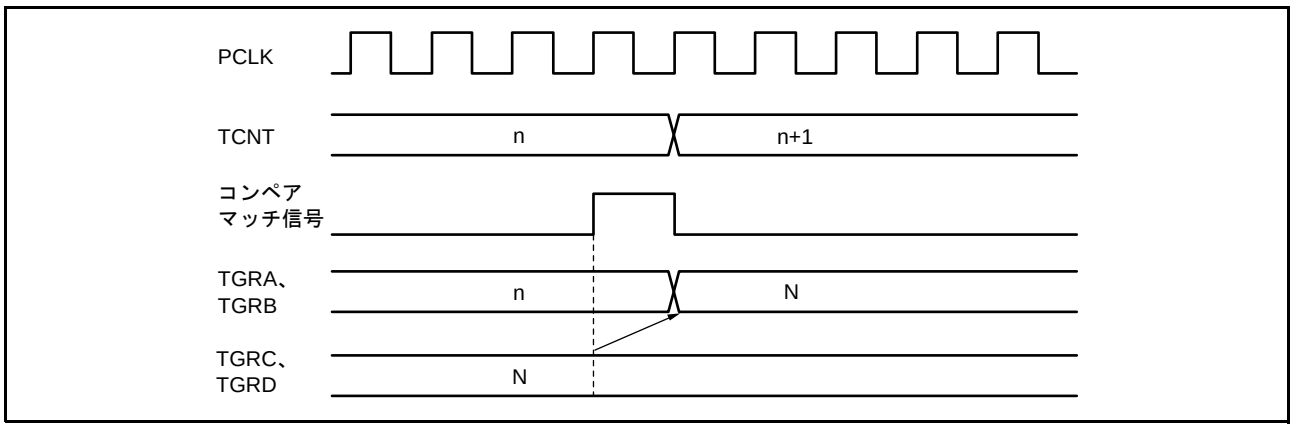


図 18.94　バッファ動作タイミング（コンペアマッチ）

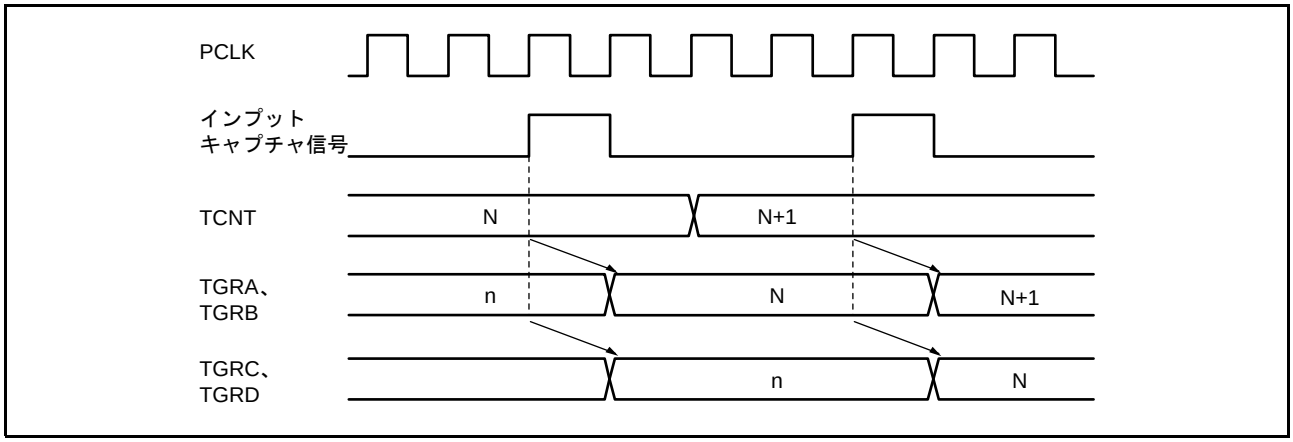


図 18.95　バッファ動作タイミング（インプットキャプチャ）

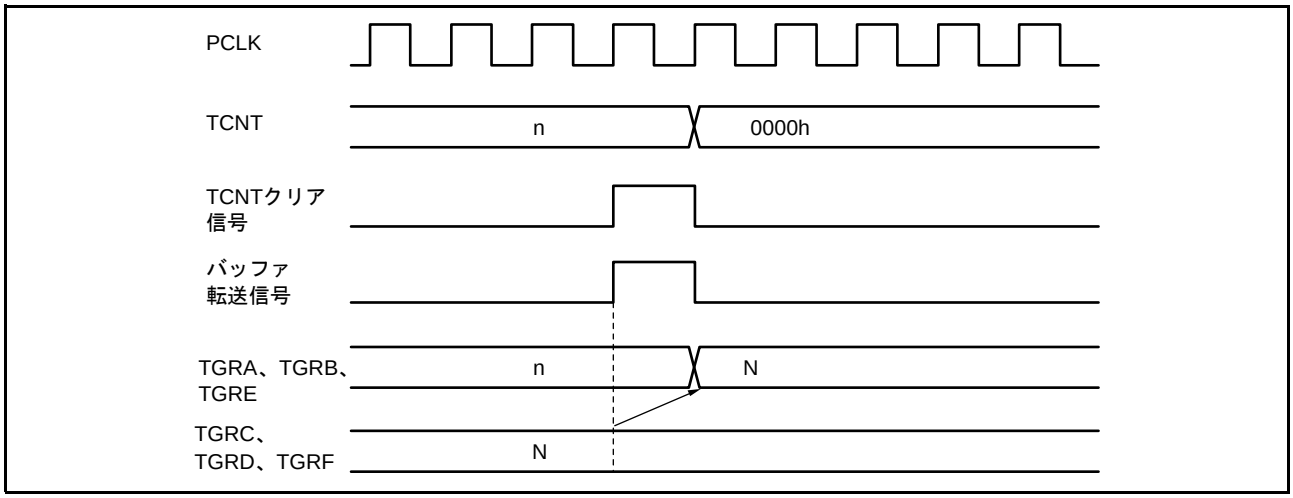


図 18.96　バッファ動作タイミング（TCNT クリア時）

(6) バッファ転送タイミング（相補 PWM モード時）

相補 PWM モード時のバッファ転送のタイミングを図 18.97 ～図 18.99 に示します。

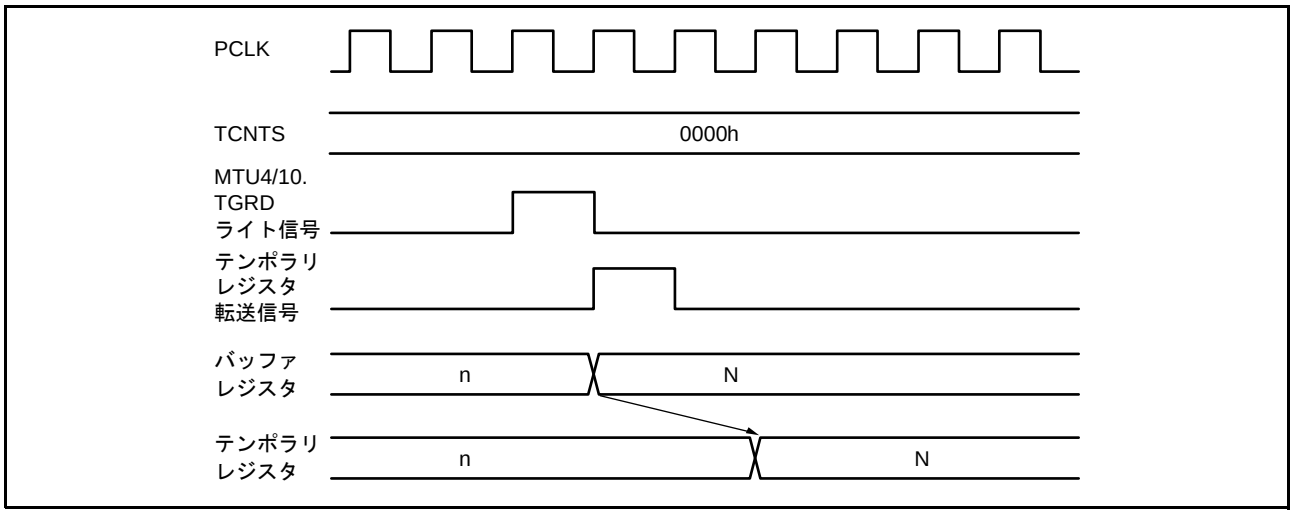


図 18.97　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTS 停止中）

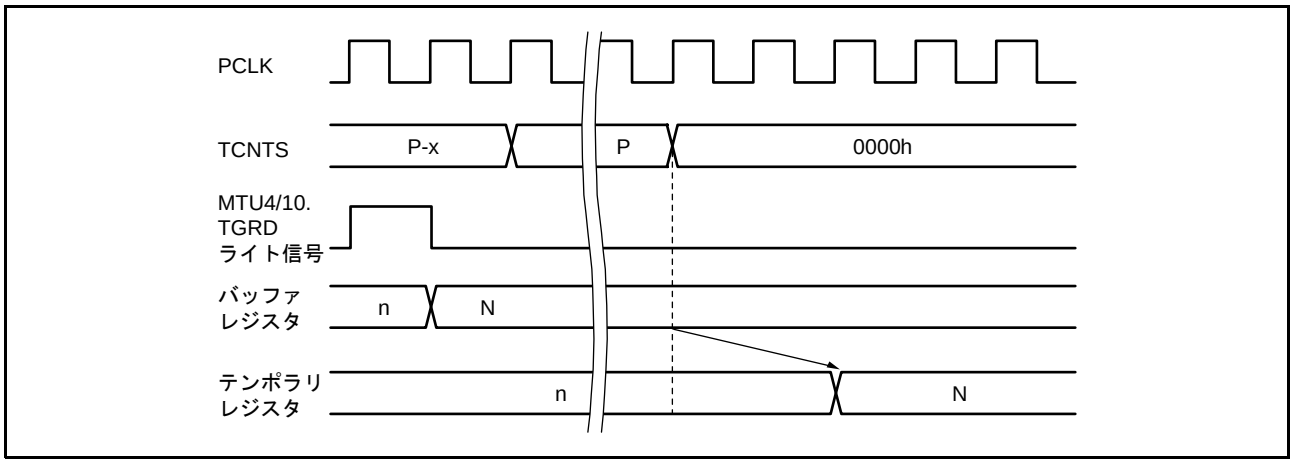


図 18.98　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTS 動作中）

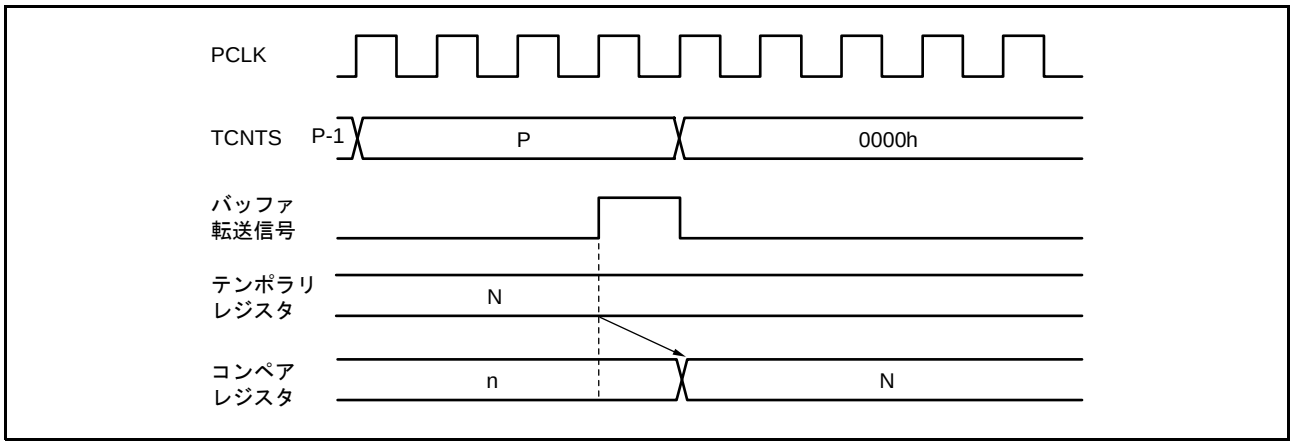


図 18.99　テンポラリレジスタからコンペアレジスタへの転送タイミング

18.5.2　割り込み信号タイミング

(1)　コンペアマッチ時の TGI 割り込みのセットタイミング

コンペアマッチの発生による TGI 割り込み要求信号のタイミングを図 18.100、図 18.101 に示します。

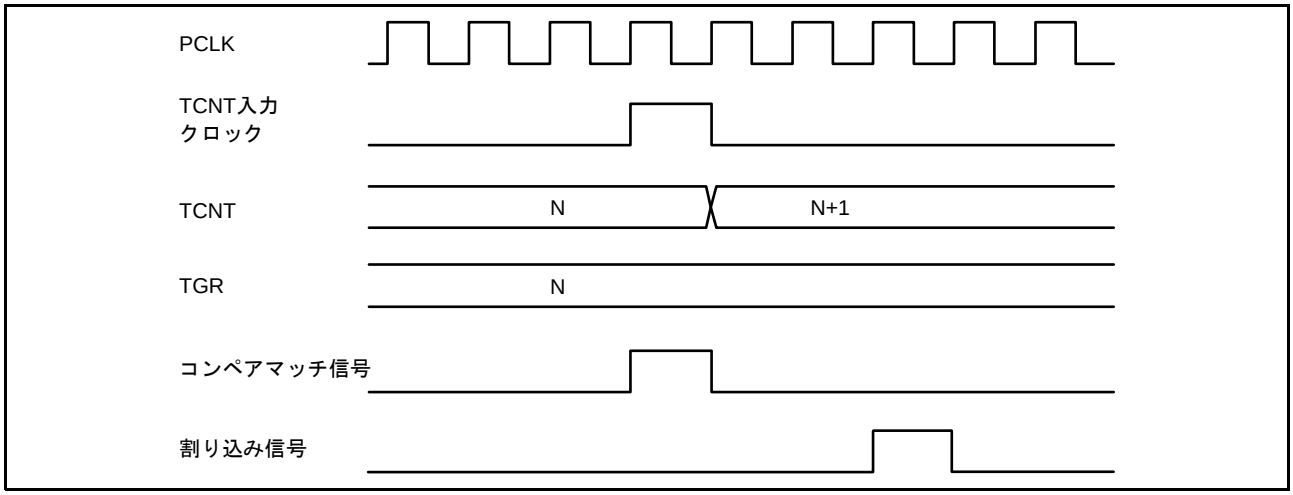


図 18.100　TGI 割り込みタイミング（コンペアマッチ）（チャネル 0 ～ 4 または 6 ～ 10）

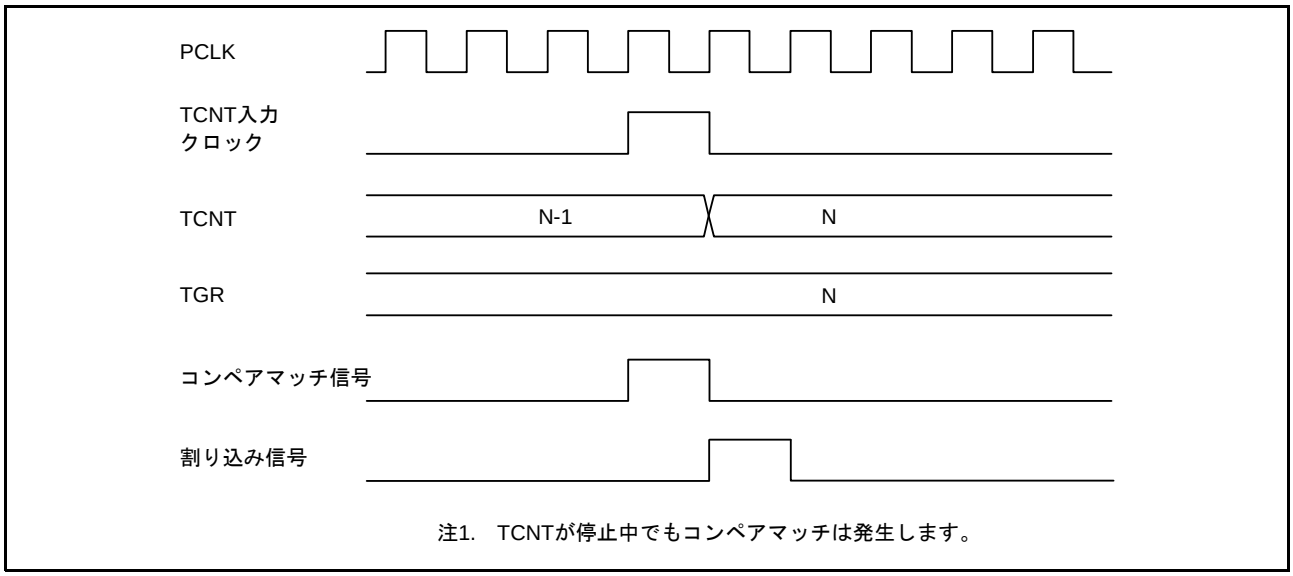


図 18.101　TGI 割り込みタイミング（コンペアマッチ）（チャネル 5 または 11）

(2) インプットキャプチャ時の TGI 割り込みのセットタイミング

インプットキャプチャの発生によるTGI割り込み要求信号のタイミングを図18.102、図18.103に示します。

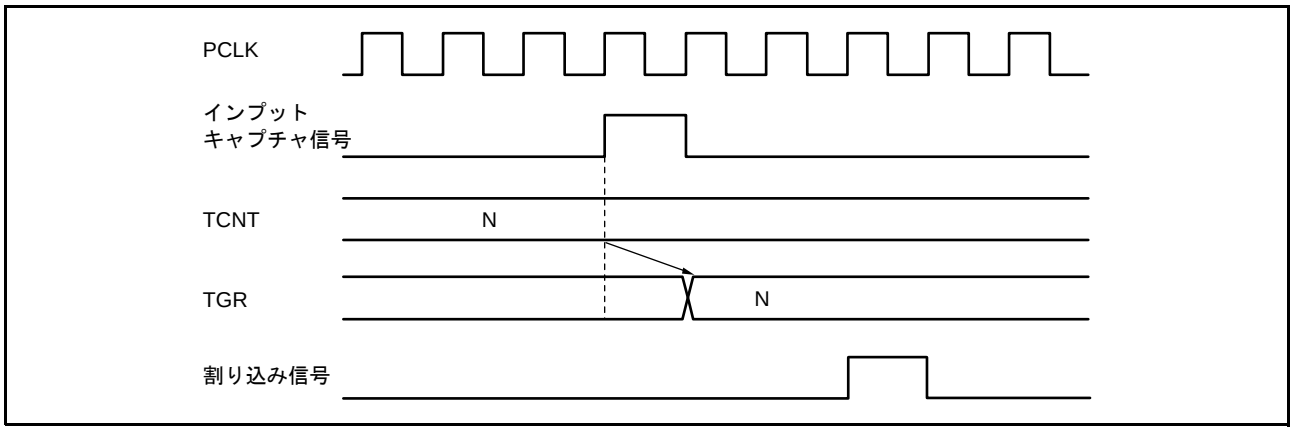


図 18.102 TGI 割り込みタイミング（インプットキャプチャ）（チャネル 0 ～ 4 または 6 ～ 10）

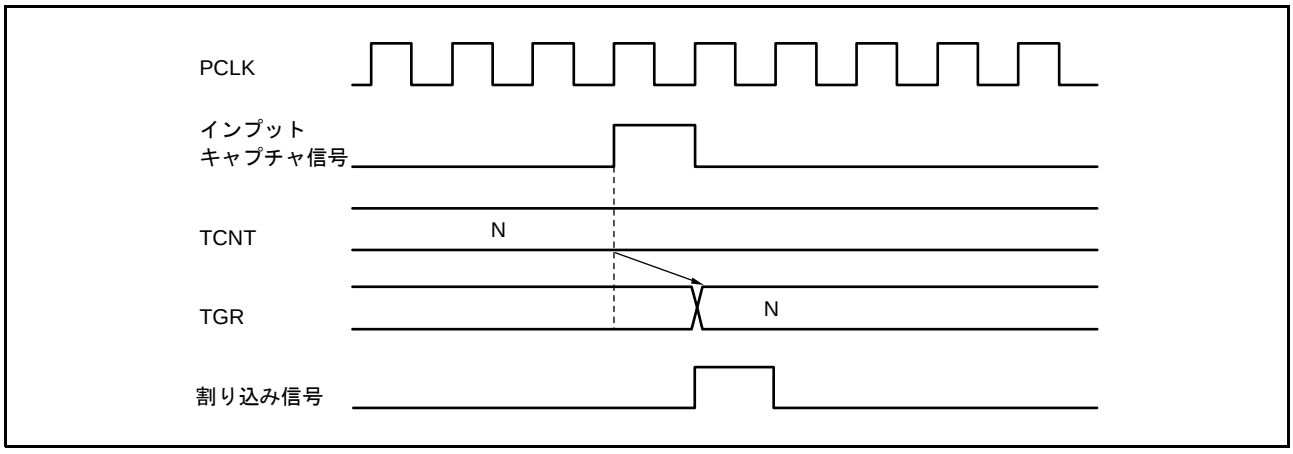


図 18.103 TGI 割り込みタイミング（インプットキャプチャ）（チャネル 5 または 11）

(3) TCIV ／ TCIU 割り込みのセットタイミング

オーバフローの発生による TCIV 割り込み要求信号のタイミングを図 18.104 に示します。
アンダフローの発生による TCIU 割り込み要求信号のタイミングを図 18.105 に示します。

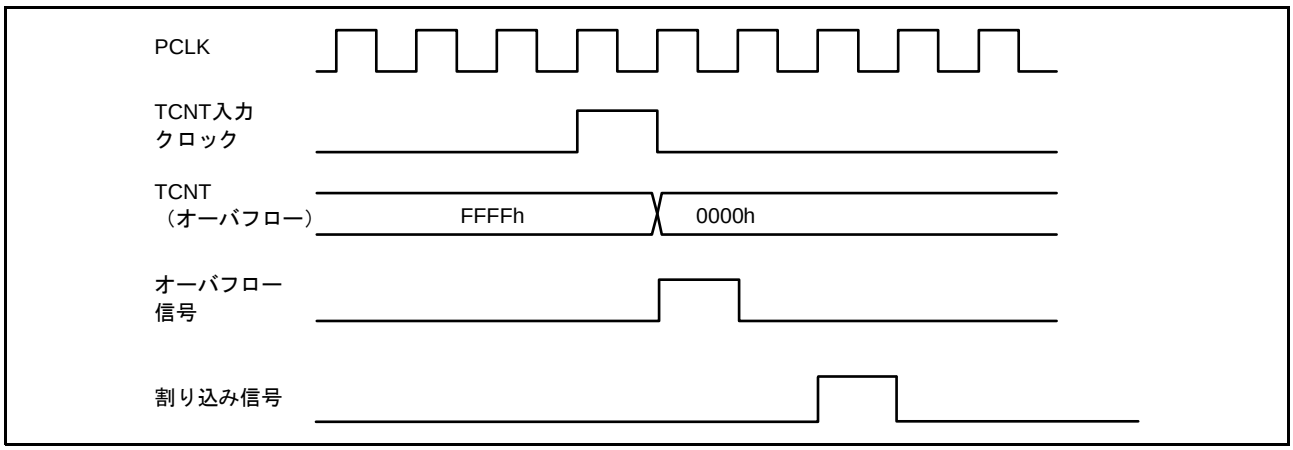


図 18.104 TCIV 割り込みのセットタイミング

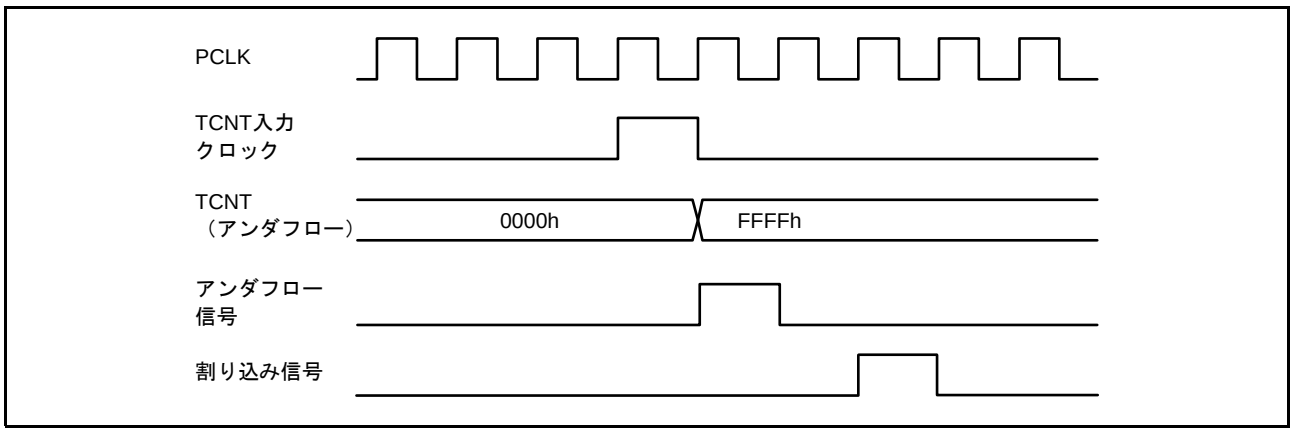


図 18.105 TCIU 割り込みのセットタイミング

18.6 使用上の注意事項

18.6.1 モジュールクロックストップモードの設定

MTU は、モジュールストップコントロールレジスタによって、MTU の動作禁止／許可を設定することが可能です。初期値では、MTU の動作は停止します。モジュールクロックストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「9. 消費電力低減機能」を参照してください。

18.6.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 18.106 に示します。

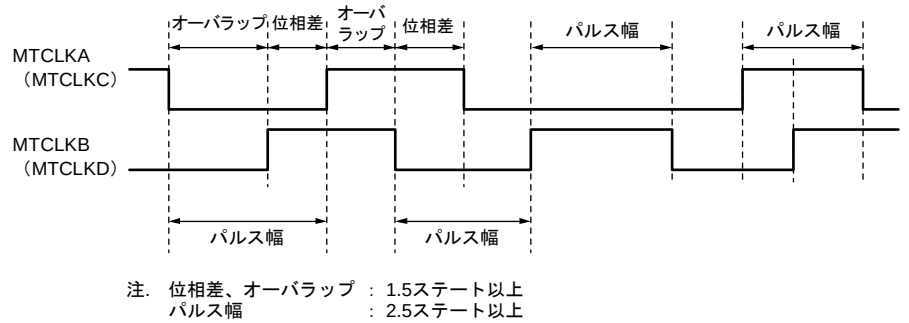


図 18.106 位相計数モード時の位相差、オーバラップ、およびパルス幅（ユニット 0 の場合）

18.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は以下の式のようになります。

- チャネル 0 ～ 4、6 ～ 10 の場合

$$f = \frac{CNTCLK}{(N+1)}$$

- チャネル 5、11 の場合

$$f = \frac{CNTCLK}{N}$$

f：カウンタ周波数
CNTCLK：TCR の TPSC[2:0] で設定したカウンタクロックの周波数
N：TGR の設定値

18.6.4 TCNT への書き込みとカウンタクリアの競合

TCNT のライトサイクル中で、カウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 18.107 に示します。

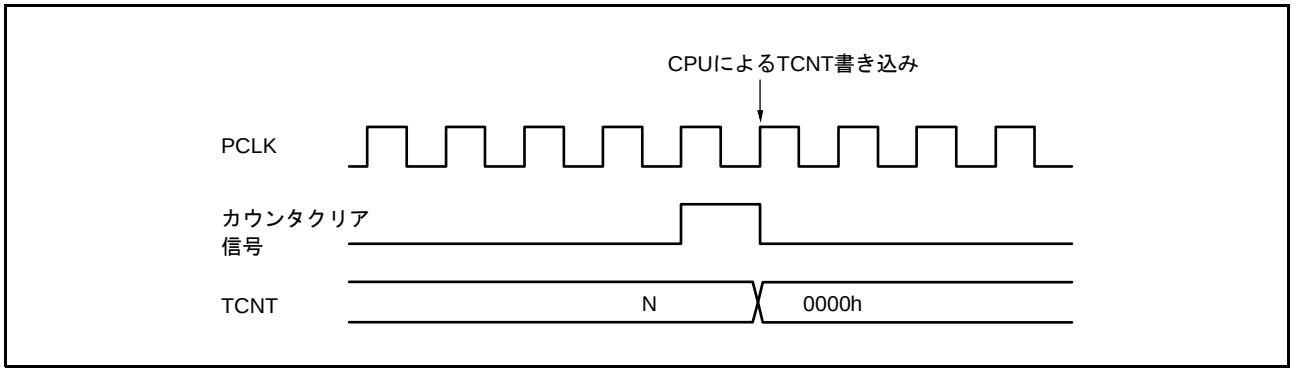


図 18.107 TCNT への書き込みとカウンタクリアの競合

18.6.5 TCNT への書き込みとカウントアップの競合

TCNT のライトサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 18.108 に示します。

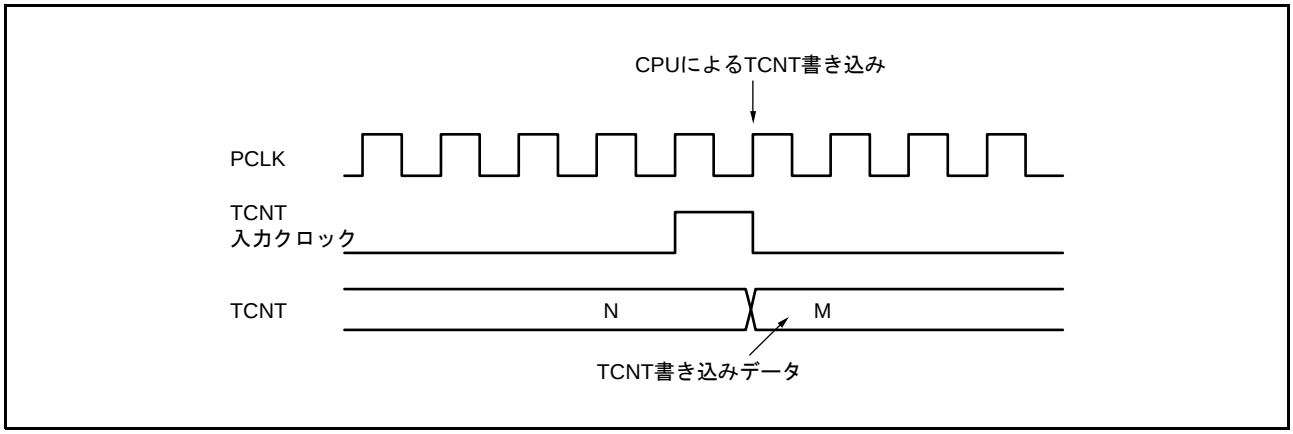


図 18.108 TCNT への書き込みとカウントアップの競合

18.6.6 TGR への書き込みとコンペアマッチの競合

TGR のライトサイクル中にコンペアマッチが発生した場合、TGR への書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 18.109 に示します。

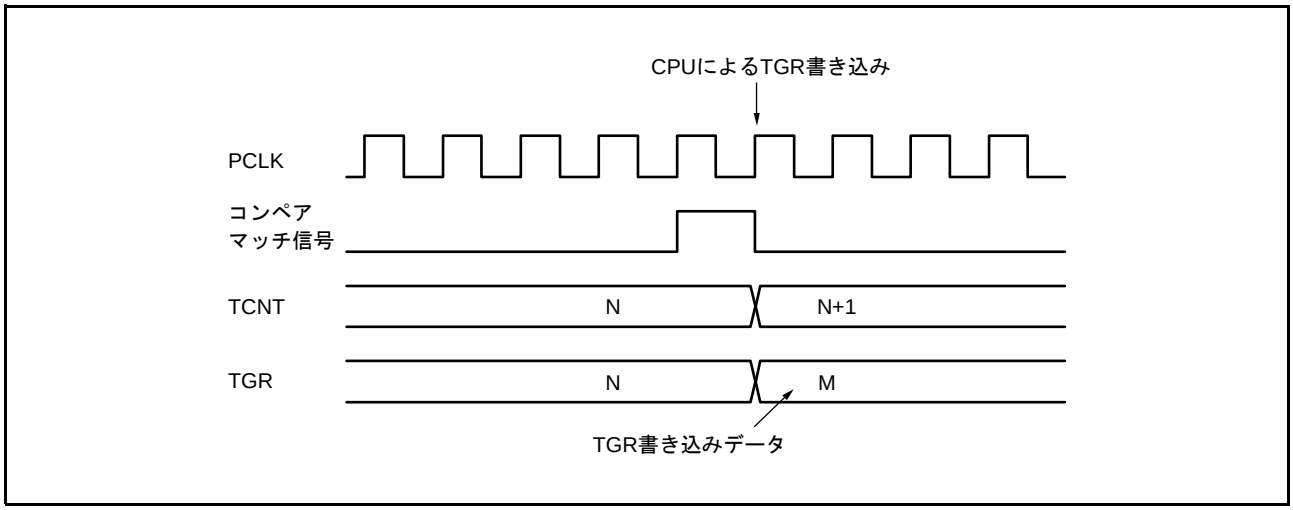


図 18.109 TGR への書き込みとコンペアマッチの競合

18.6.7 バッファレジスタへの書き込みとコンペアマッチの競合

TGR のライトサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 18.110 に示します。

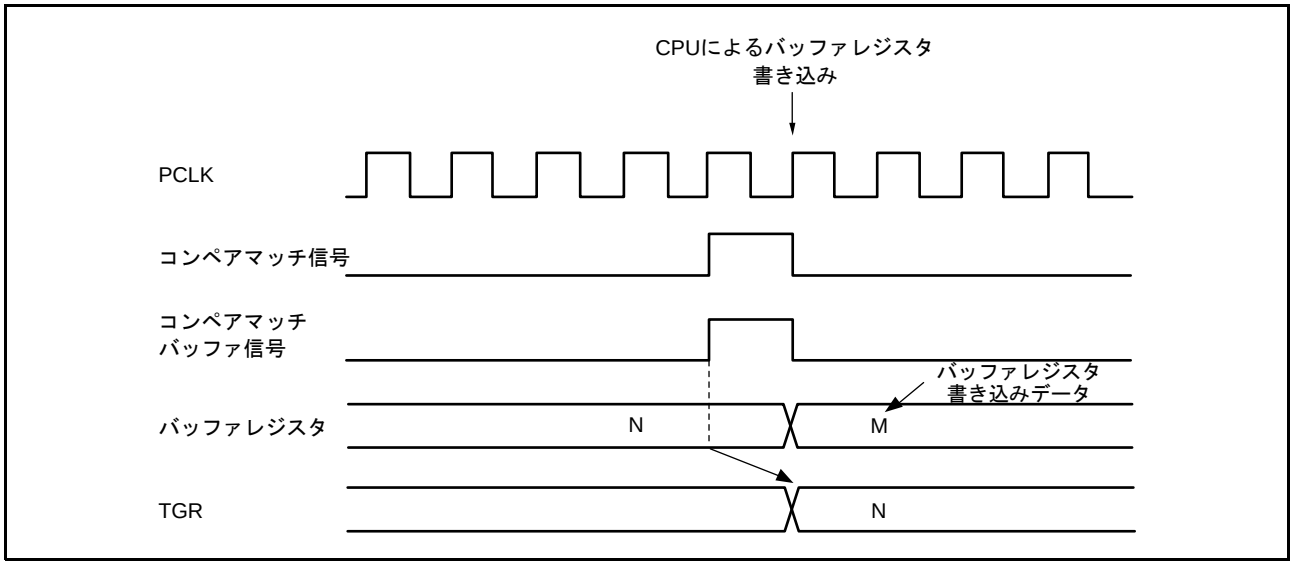


図 18.110 バッファレジスタへの書き込みとコンペアマッチの競合

18.6.8 バッファレジスタへの書き込みと TCNT クリアの競合

バッファ転送モードレジスタ（TBTM）でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 18.111 に示します。

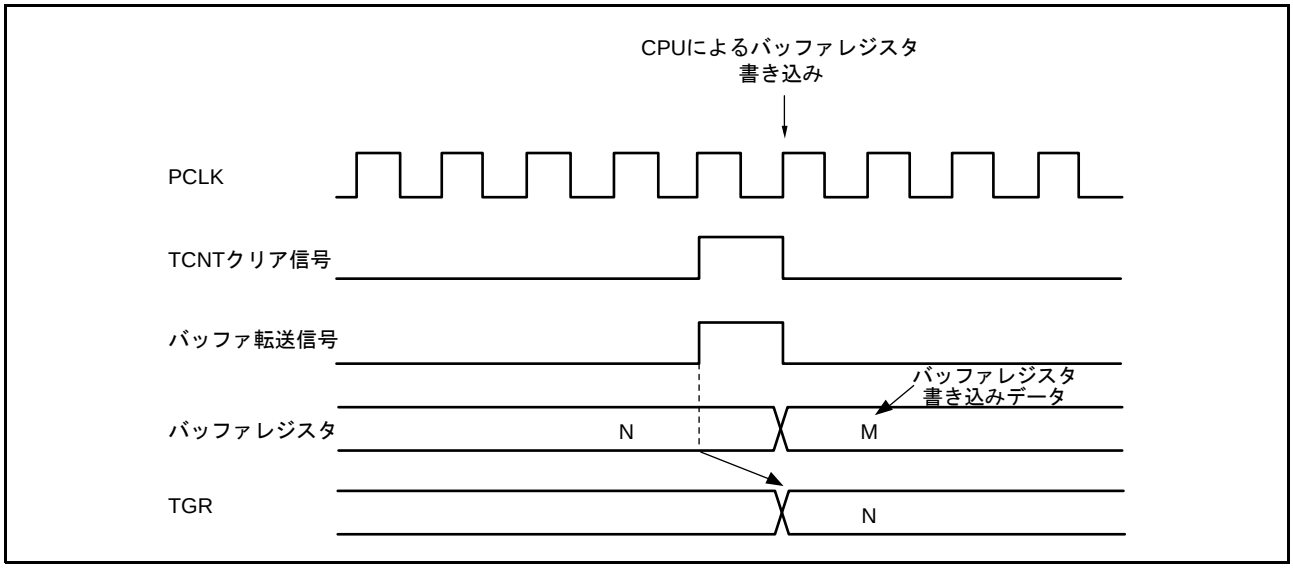


図 18.111 バッファレジスタへの書き込みと TCNT クリアの競合

18.6.9 TGR の読み出しとインプットキャプチャの競合

TGR のリードサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、チャネル 0 ～ 4（または 6 ～ 10）ではインプットキャプチャ転送前のデータとなり、チャネル 5（または 11）ではインプットキャプチャ転送後のデータとなります。

このタイミングを図 18.112、図 18.113 に示します。

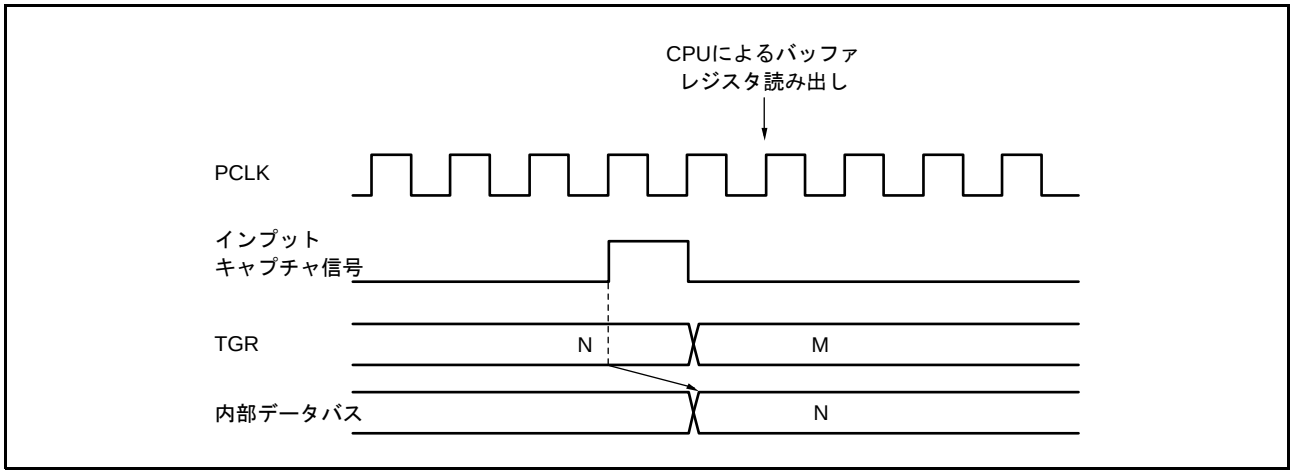


図 18.112 TGR の読み出しとインプットキャプチャの競合（チャネル 0 ～ 4 または 6 ～ 10）

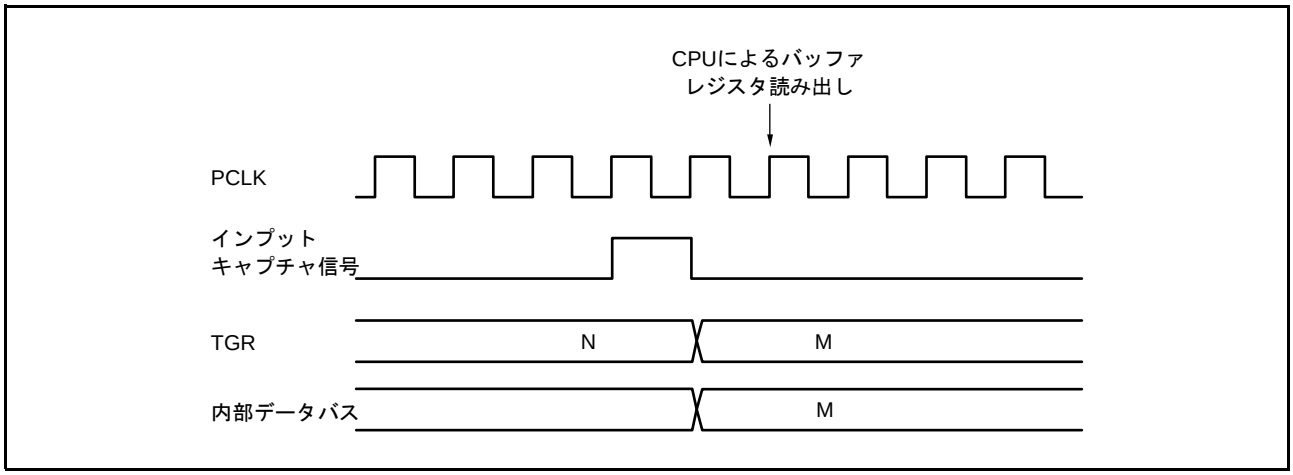


図 18.113 TGR の読み出しとインプットキャプチャの競合（チャネル 5 または 11）

18.6.10 TGR への書き込みとインプットキャプチャの競合

TGR のライトサイクル中にインプットキャプチャ信号が発生すると、チャネル 0 ～ 4（または 6 ～ 10）では TGR への書き込みは行われず、インプットキャプチャが優先され、チャネル 5（または 11）では TGR への書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 18.114、図 18.115 に示します。

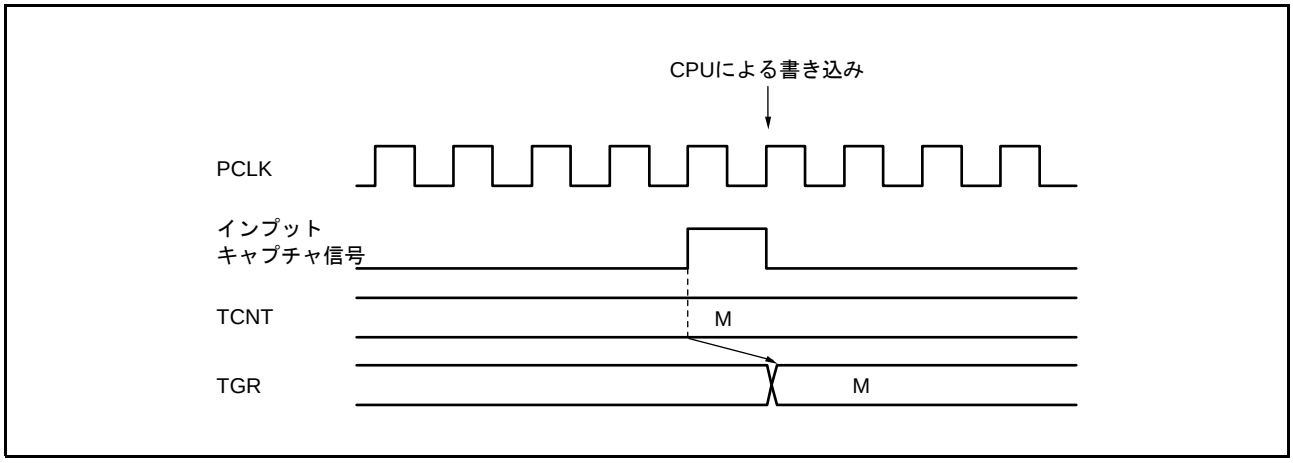


図 18.114 TGR への書き込みとインプットキャプチャの競合（チャネル 0 ～ 4 または 6 ～ 10）

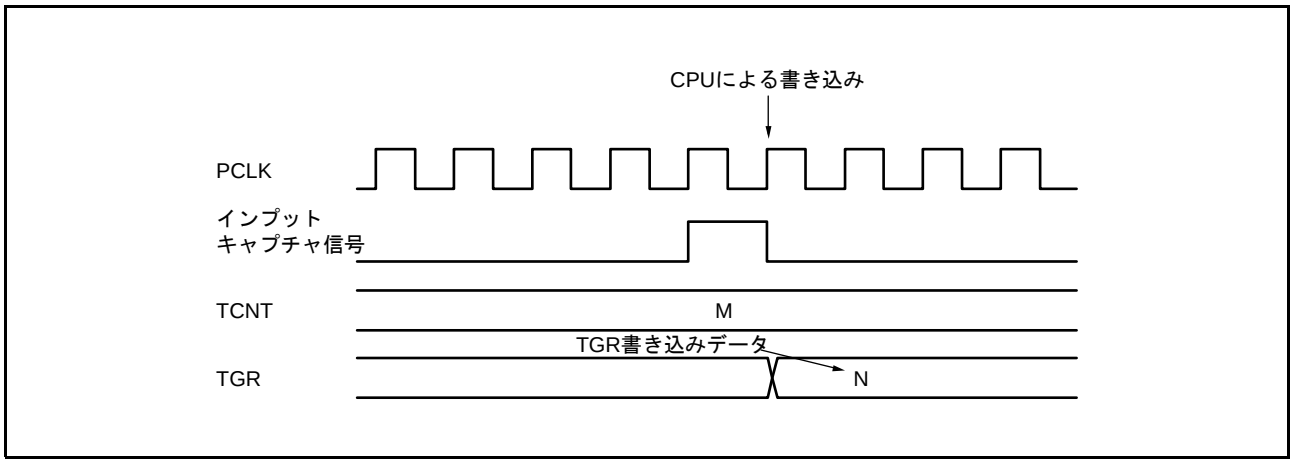


図 18.115 TGR への書き込みとインプットキャプチャの競合（チャネル 5 または 11）

18.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合

バッファのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 18.116 に示します。

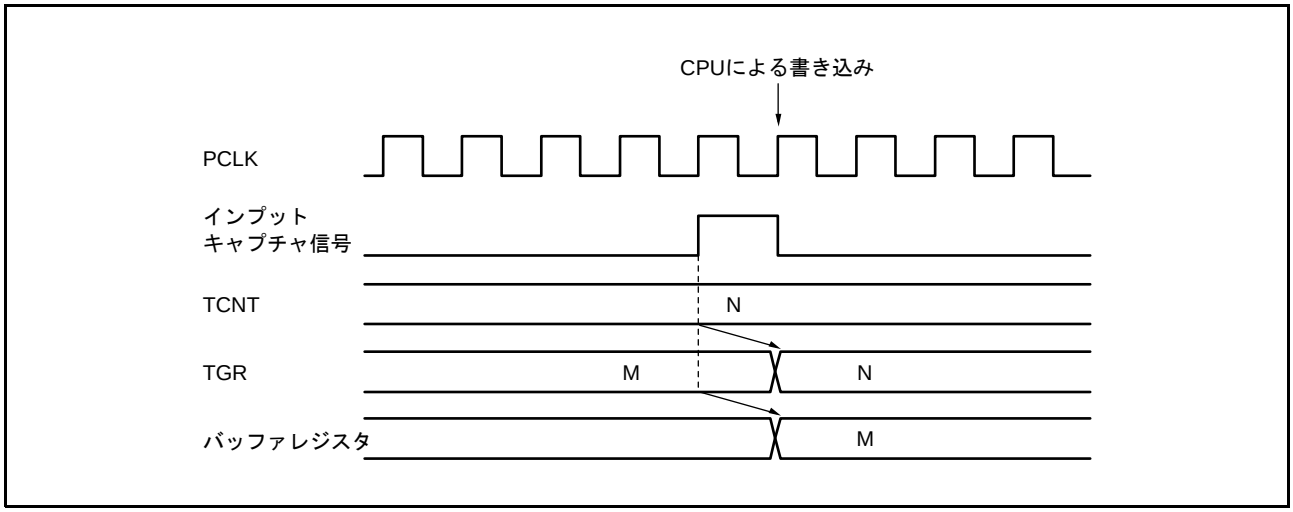


図 18.116 バッファレジスタへの書き込みとインプットキャプチャの競合

18.6.12 カスケード接続における MTUn.TCNT への書き込みとオーバフロー／アンダフローの競合（n=2,8）

タイマカウンタ（MTUm.TCNT と MTUn.TCNT）をカスケード接続し、MTUm.TCNT がカウントする瞬間（MTUn.TCNT がオーバフロー／アンダフローする瞬間）と MTUn.TCNT の書き込みサイクルが競合すると、MTUn.TCNT への書き込みが行われ、MTUm.TCNT のカウント信号が禁止されます。このとき、MTUm.TGRA がコンペアマッチレジスタとして動作し MTUm.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャネル 0 または 6 のインプットキャプチャ要因に MTUm.TCNT カウントクロックを選択した場合には、MTU0.TGRA ～ TGRD（または MTU6.TGRA ～ TGRD）はインプットキャプチャ動作します。さらに MTUm.TGRB のインプットキャプチャ要因に MTU0.TGRC（または MTU6.TGRC）のコンペアマッチ／インプットキャプチャを選択した場合には、MTUm.TGRB はインプットキャプチャ動作します。（n=2,8　m=1,7）

このタイミングを図 18.117 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャネル 1 とチャネル 2（またはチャネル 7 とチャネル 8）の同期設定を行ってください。

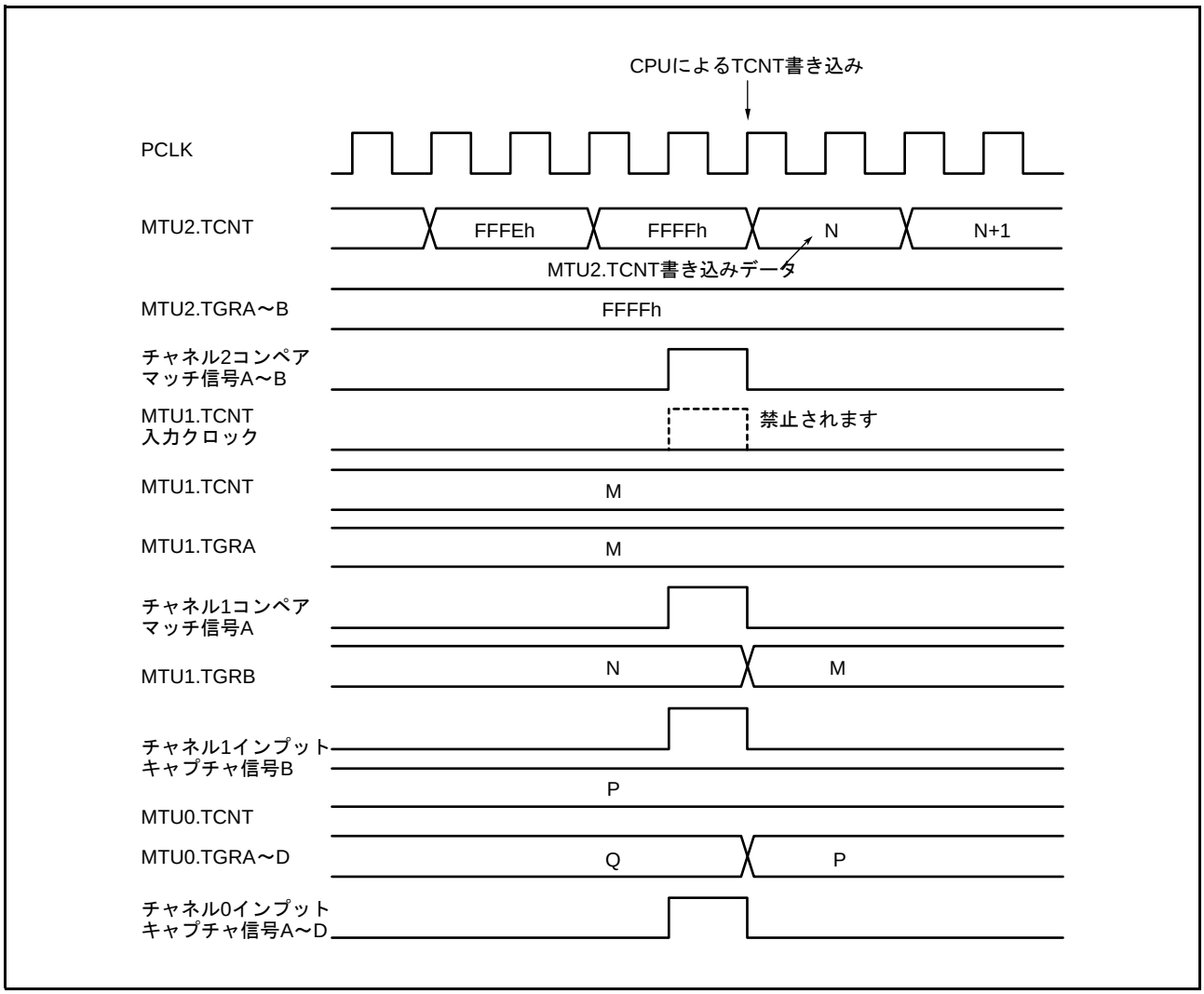


図 18.117 カスケード接続における MTU2.TCNT への書き込みとオーバフロー／アンダフローの競合

18.6.13 相補 PWM モード停止時のカウンタ値

MTUn.TCNT、MTUm.TCNT が相補 PWM モードで動作しているときにカウント動作を停止すると、MTUn.TCNT はタイマデッドタイムレジスタ（TDDR）の値、MTUm.TCNT は 0000h になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。（n=3,9　m=4,10）

この説明図を図 18.118 に示します。

また、他の動作モードでカウントを開始する場合は MTUn.TCNT、MTUm.TCNT にカウント初期値の設定を行ってください。

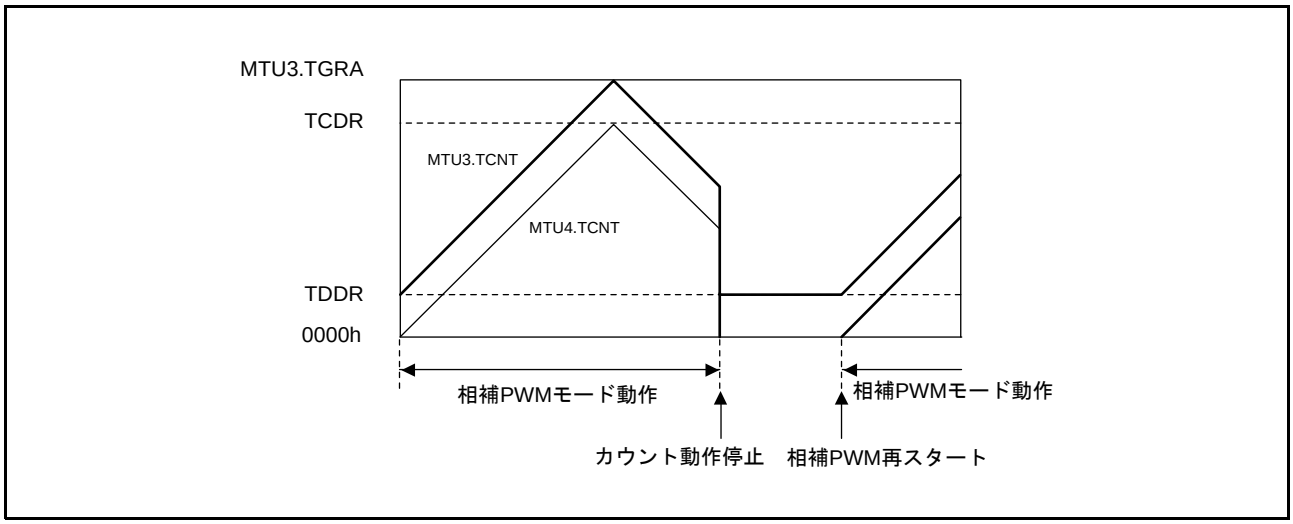


図 18.118 相補 PWM モード停止時のカウンタ値（MTU3、MTU4 動作）

18.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ（MTUn.TGRA）、タイマ周期データレジスタ（TCDR）、コンペアレジスタ（MTUn.TGRB、MTUm.TGRA、MTUm.TGRB）の書き換えは、バッファ動作で行ってください。また、MTUm.TMDR の BFA、BFB ビットを “0” にしてください。MTUm.TMDR.BFA ビットを “1” にすると、MTIOCmC 端子の波形出力ができなくなります。

相補 PWM モード時のチャネル 3 および 4（またはチャネル 9 および 10）のバッファ動作は、MTUn.TMDR の BFA、BFB ビットの設定に従い動作します。MTUn.TMDR の BFA ビットを 1 にセットした場合、MTUn.TGRC は MTUn.TGRA のバッファレジスタとして機能します。同時に MTUm.TGRC は MTUm.TGRA のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。（n=3,9　m=4,10）

18.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTUm.TMDR の BFA、BFB ビットを “0” にしてください。MTUm.TMDR の BFA ビットを “1” にすると、MTIOCmC 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャネル 3 および 4（チャネル 9 および 10）のバッファ動作は MTUn.TMDR の BFA、BFB ビットの設定に従い動作します。たとえば、MTUn.TMDR の BFA ビットを “1” にした場合、MTUn.TGRC は MTUn.TGRA のバッファレジスタとして機能します。同時に MTUm.TGRC は MTUm.TGRA のバッファレジスタとして機能します。

MTUn.TGRC、MTUn.TGRD がバッファレジスタとして動作している場合、対応する TGIC、TGID 割り込み要求は発生しません。（n=3,9　m=4,10）

MTU3.TMDR の BFA、BFB ビットを “1” にし、MTU4.TMDR の BFA、BFB ビットを “0” にした場合の MTU3.TGRm、MTU4.TGRm、MTIOC3m、MTIOC4m の動作例を図 18.119 に示します。（m=A ～ D）

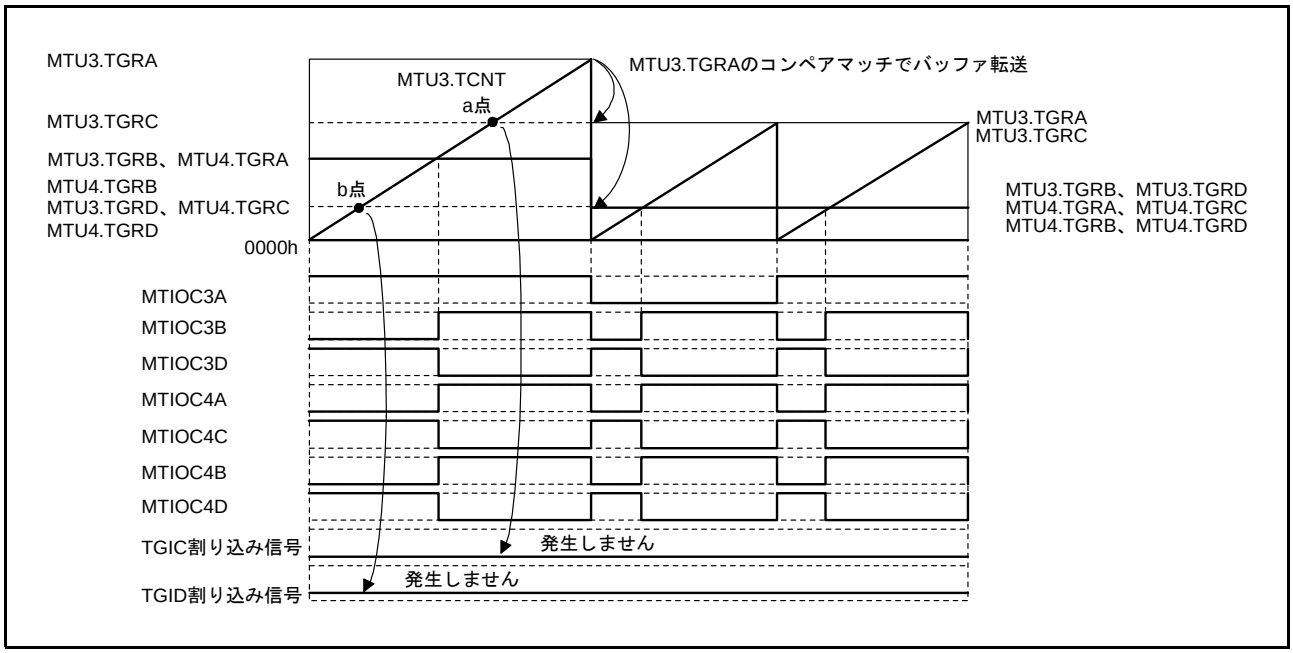


図 18.119 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

18.6.16 リセット同期 PWM モードのオーバフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを “1” にすると、MTUn.TCNT と MTUm.TCNT のカウント動作が開始します。このとき、MTUm.TCNT のカウントクロックソースとカウントエッジは MTUn.TCR の設定に従います。

リセット同期 PWM モードで周期レジスタ MTUn.TGRA の設定値を FFFFh とし、カウンタクリア要因に MTUn.TGRA のコンペアマッチを指定した場合、MTUn.TCNT、MTUm.TCNT がアップカウントし FFFFh になると、MTUn.TGRA とのコンペアマッチが発生し、MTUn.TCNT、MTUm.TCNT ともにカウントクリアされます。（n=3,9　m=4,10）このとき、対応する TCIV 割り込み要求は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA のコンペアマッチを指定した場合の動作例を図 18.120 に示します。

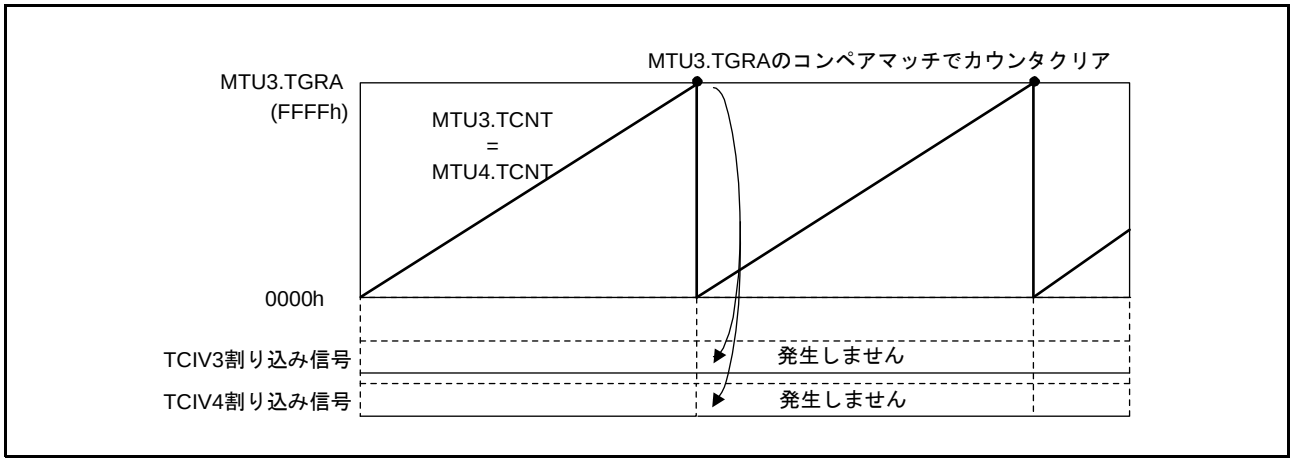


図 18.120 リセット同期 PWM モードのオーバフローフラグ

18.6.17 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TCNT のクリアが優先されて、対応する TCIV 割り込みは発生しません。

TGR のコンペアマッチをクリア要因とし、TGR に FFFFh を設定した場合の動作タイミングを図 18.121 に示します。

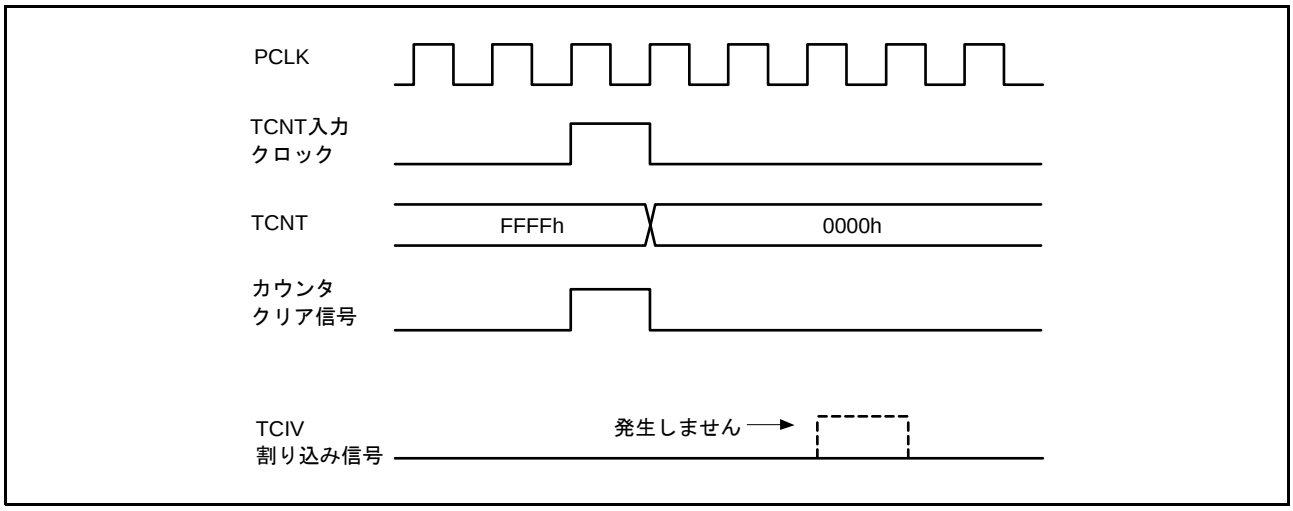


図 18.121 オーバフローとカウンタクリアの競合

18.6.18 TCNT への書き込みとオーバフロー／アンダフローの競合

TCNT のライトサイクルで、カウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても、TCNT への書き込みが優先されます。割り込み要求は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 18.122 に示します。

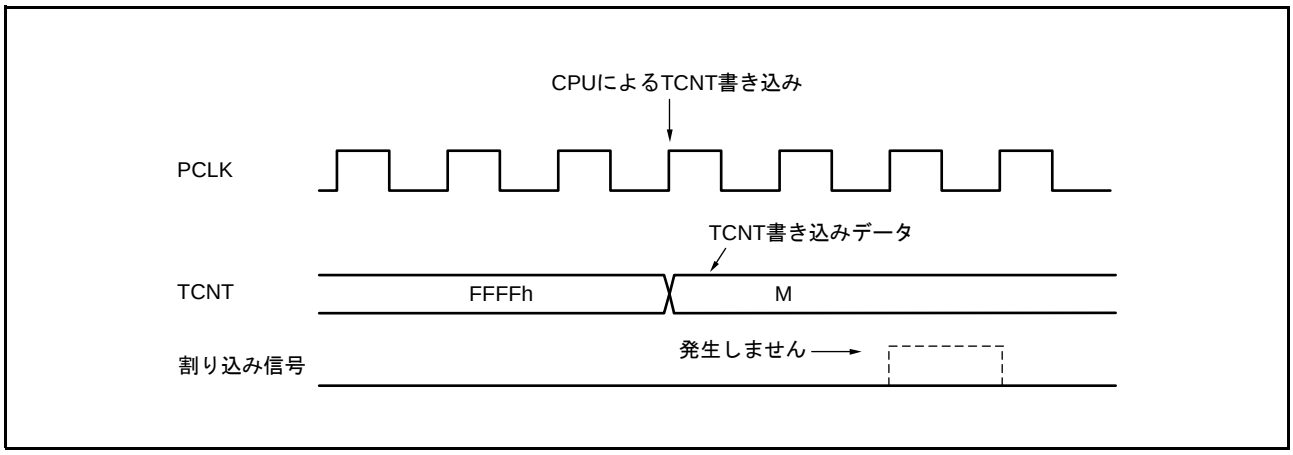


図 18.122 TCNT への書き込みとオーバフローの競合

18.6.19 ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ移行する場合の注意事項

チャネル 3、4（またはチャネル 9、10）のノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ移行する場合、出力端子（MTIOCnB、MTIOCnD、MTIOCmA、MTIOCmC、MTIOCmB、MTIOCmD）を High の状態にしたままカウンタを止め、リセット同期 PWM モードに移行して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

ノーマルモードからリセット同期 PWM モードに移行する場合には、MTUn.TIORH、MTUn.TIORL、MTUm.TIORH、MTUm.TIORL レジスタに 11h を書いて出力端子を Low に初期化した後、レジスタの初期値 00h を設定してからモード移行を行ってください。（n=3,9　m=4,10）

PWM モード 1 からリセット同期 PWM モードに移行する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値 00h を設定してからリセット同期 PWM モードに移行してください。

18.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、MTU4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ 1（TOCR1）の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR レジスタは 00h にしてください。

18.6.21 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態になると、CPU の割り込み要因、または DMAC/DTC の起動要因のクリアができません。

事前に割り込みを無効にするなどしてからモジュールストップ状態に設定してください。

18.6.22 カスケード接続におけるMTUn.TCNT、MTUm.TCNT同時インプットキャプチャ

タイマカウンタ1、2（または7、8）（MTU1.TCNT/MTU2.TCNTまたはMTU7.TCNT/MTU8.TCNT）をカスケード接続して、32ビットカウンタとして動作させている場合、MTIOCnAとMTIOCmA、またはMTIOCnBとMTIOCmBに同時にインプットキャプチャ入力を行っても、MTUn.TCNT、MTUm.TCNTに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOCnA、MTIOCmA、またはMTIOCnBとMTIOCmBの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。（n=1,7　m=2,8）

例として、MTU1.TCNT（上位16ビットのカウンタ）がMTU2.TCNT（下位16ビットのカウンタ）のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはMTU1.TCNT=FFF1h、MTU2.TCNT=0000hの値をMTU1.TGRAとMTU2.TGRA、もしくはMTU1.TGRBとMTU2.TGRBに転送すべきところを誤ってMTU1.TCNT=FFF0h、MTU2.TCNT=0000hの値を転送します。

MTUでは1本のインプットキャプチャ入力でMTU1.TCNTとMTU2.TCNT（またはMTU7.TCNTとMTU8.TCNT）を同時にキャプチャできる機能を追加しており、本機能を使用すれば、MTU1.TCNTとMTU2.TCNT（またはMTU7.TCNTとMTU8.TCNT）のキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は、「18.2.8　タイマインプットキャプチャコントロールレジスタ（TICCR）」を参照してください。

18.6.23 相補PWMモードの出力保護機能未使用時の注意事項

相補PWMモードの出力保護機能は、初期状態では有効になっています。本機能を使用しない場合、POEのPOECR1レジスタに“00h”、POEのPOECR2レジスタに“00h”を書いてください。

18.6.24　相補 PWM モード同期クリアするときの異常動作防止について

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効（TWCR.WRE ビット＝1）である状態で、条件 1、条件 2 のいずれかを満たすと、以下の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる（もしくは消失する）
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1：初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアした場合（図 18.123 参照）。

条件 2：初期出力の抑止期間⑩、⑪にて、MTU3.TGRB ≦ TDDR、MTU4.TGRA ≦ TDDR、MTU4.TGRB ≦ TDDR のいずれかが成立する状態で、同期クリアした場合（図 18.124 参照）。

本現象は以下の方法により、回避することができます。

- コンペアレジスタ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB のすべてが、デッドタイムデータレジスタ（TDDR）の 2 倍以上になるように設定した状態で、同期クリアする

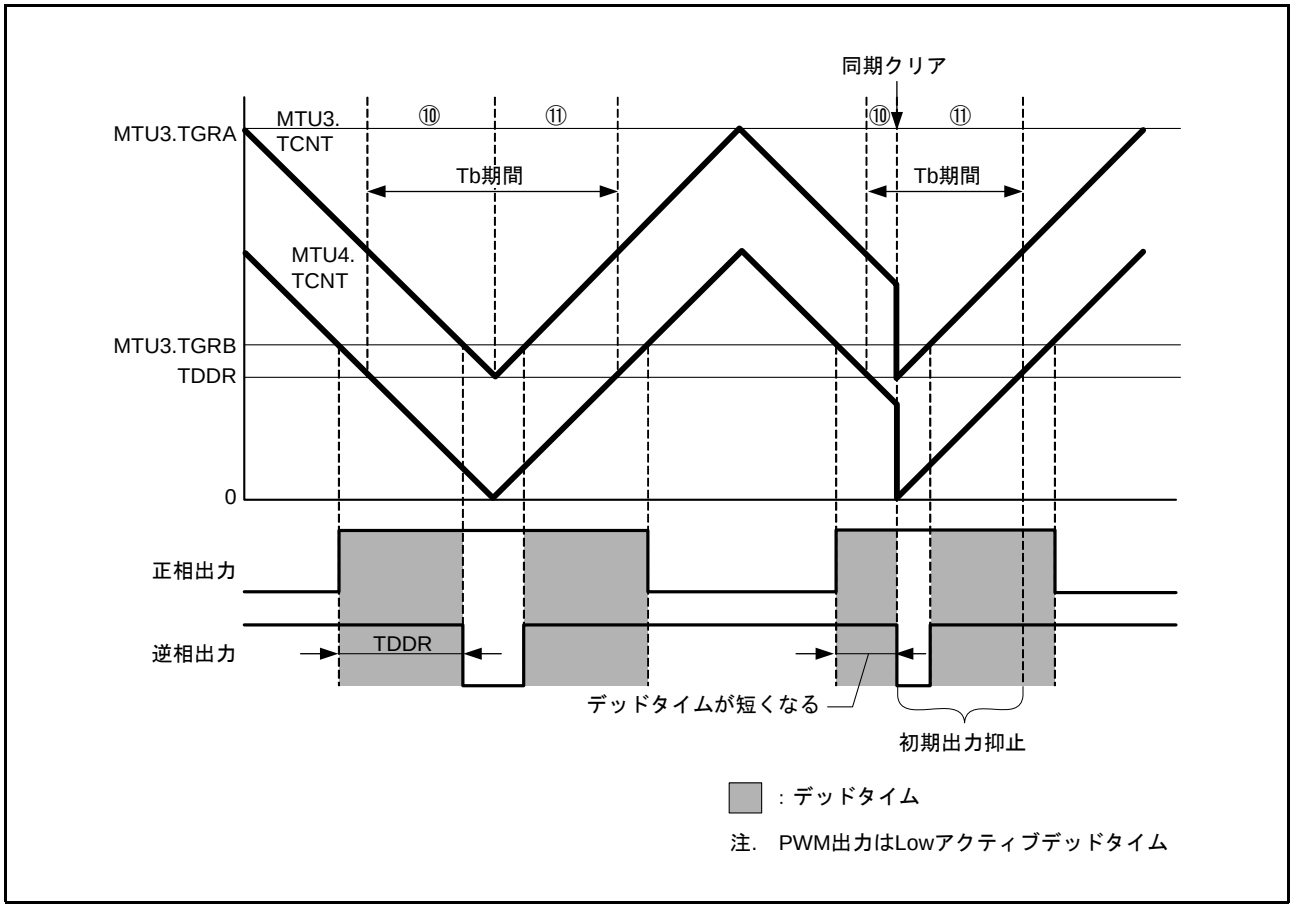


図 18.123　同期クリア例（条件 1 の場合）

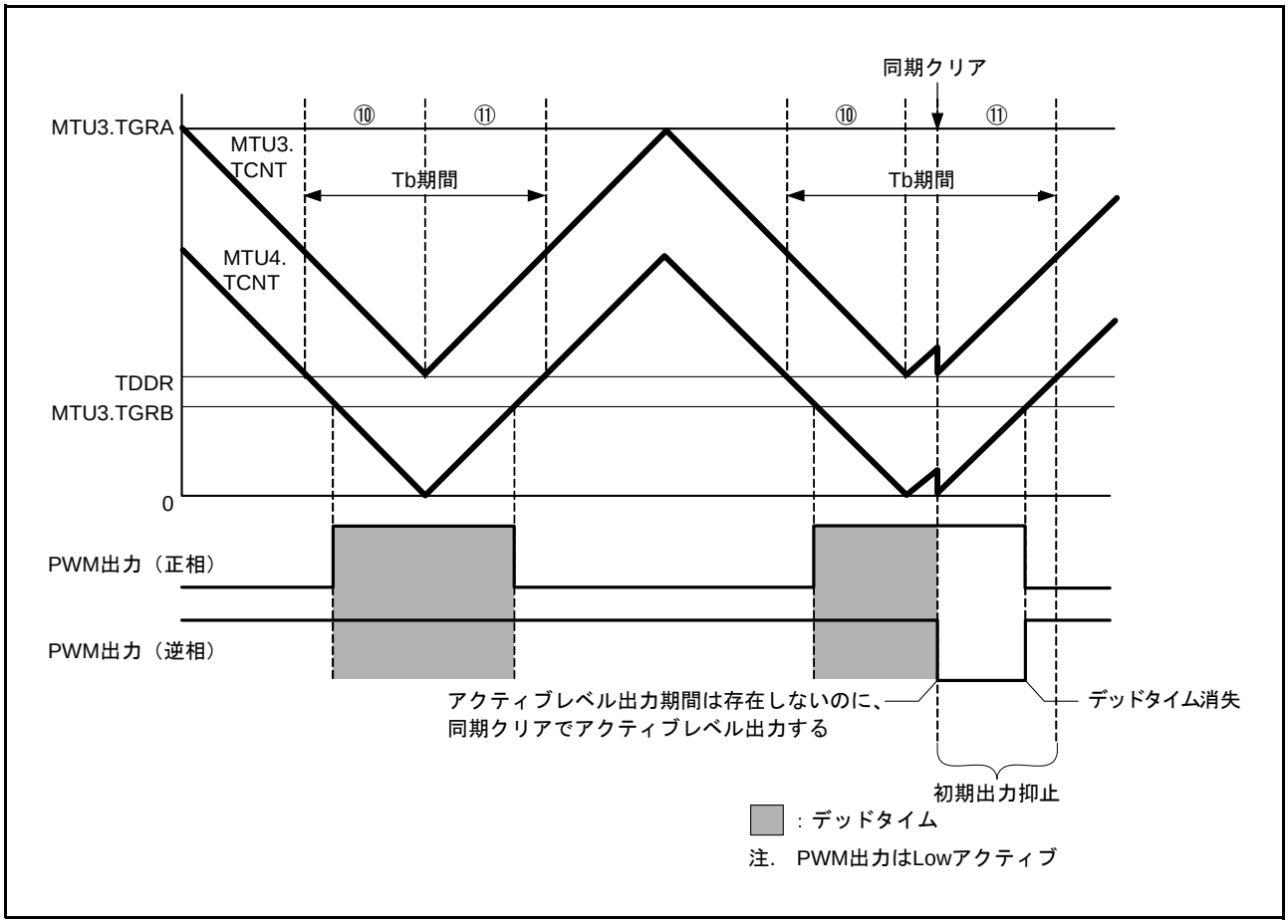


図 18.124　同期クリア例（条件 2 の場合）

18.7 MTU 出力端子の初期化方法

18.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード（チャネル 0 ～ 4 またはチャネル 6 ～ 10）
- PWM モード 1（チャネル 0 ～ 4 またはチャネル 6 ～ 10）
- PWM モード 2（チャネル 0 ～ 2 またはチャネル 6 ～ 8）
- 位相計数モード 1 ～ 4（チャネル 1、2 またはチャネル 7、8）
- 相補 PWM モード（チャネル 3、4 またはチャネル 9、10）
- リセット同期 PWM モード（チャネル 3、4 またはチャネル 9、10）

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

18.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は、あらかじめ I/O ポートのデータディレクションレジスタ（DDR）、データレジスタ（DR）で汎用入出力ポートに非アクティブレベルを出力する設定をしておき、更に MTU の端子出力を禁止し、汎用出力ポートとすることで端子に非アクティブレベルを出力してください。また、モータ駆動端子に関してはポートアウトプットイネーブル（POE）を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますが、チャネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を**表 18.62** に示します。

ただし、下記の表記を使用します。

Normal：ノーマルモード　PWM1：PWM モード 1　PWM2：PWM モード 2
PCM：位相計数モード 1 ～ 4　CPWM：相補 PWM モード　RPWM：リセット同期 PWM モード

表 18.62　モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	（1）	（2）	（3）	（4）	（5）	（6）
PWM1	（7）	（8）	（9）	（10）	（11）	（12）
PWM2	（13）	（14）	（15）	（16）	none	none
PCM	（17）	（18）	（19）	（20）	none	none
CPWM	（21）	（22）	none	none	（23）（24）	（25）
RPWM	（26）	（27）	none	none	（28）	（29）

18.7.3　動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマ I/O コントロールレジスタ（TIOR）の設定で端子の出力レベルを選択するモード（Normal、PWM1、PWM2、PCM）に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB（MTIOCnD）端子（n= チャネル番号）に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に移行してください。
- PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に移行してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOR を設定しても MTIOCnC（n= チャネル番号）の端子は初期化されません。MTIOCnC（n= チャネル番号）の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- タイマアウトプットコントロールレジスタ（TOCR）の設定で端子の出力レベルを選択するモード（CPWM、RPWM）に移行する場合は、ノーマルモードに移行し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタイネーブルレジスタ（TOER）でチャネル 3、4（またはチャネル 9、10）を一度出力禁止としてください。その後モード設定手順（TOCR 設定、TMDR 設定、TOER 設定）に従い動作させてください。

注．　特に断りがない場合、本項記述中の n にはチャネル番号が入ります。

以下、表 18.62 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルはローとします。

(1)　ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 18.125 に示します。

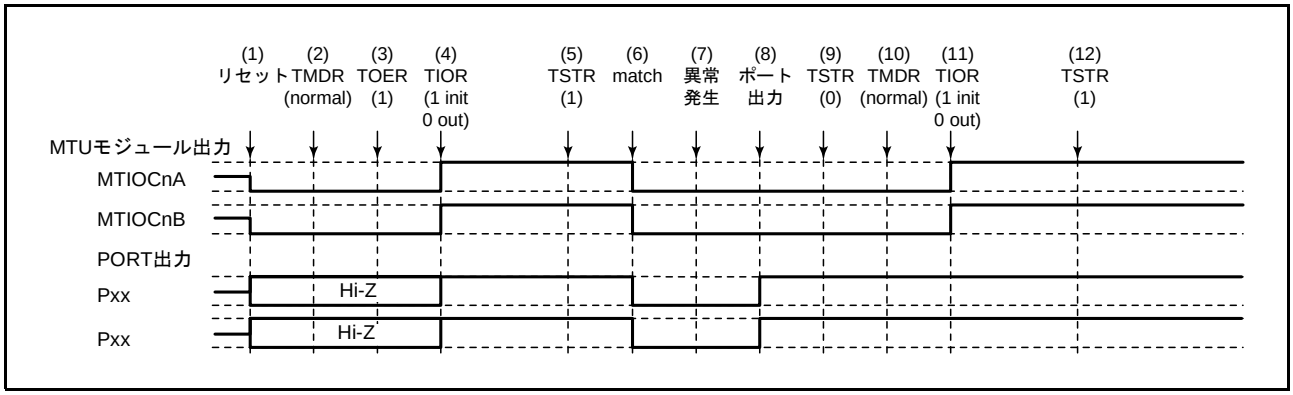


図 18.125　ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) リセットにより TMDR はノーマルモード設定になります。
(3) チャネル 3、4（またはチャネル 9、10）では TIOR で端子を初期化する前に TOER で出力を許可してください。
(4) TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(5) TSTR でカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) TIOR で端子出力禁止、ポート出力とし、アクティブレベルの反転を出力してください。
(9) TSTR でカウント動作を停止します。
(10) ノーマルモードで再スタートする場合は必要ありません。
(11) TIOR で端子を初期化してください。
(12) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.126 に示します。

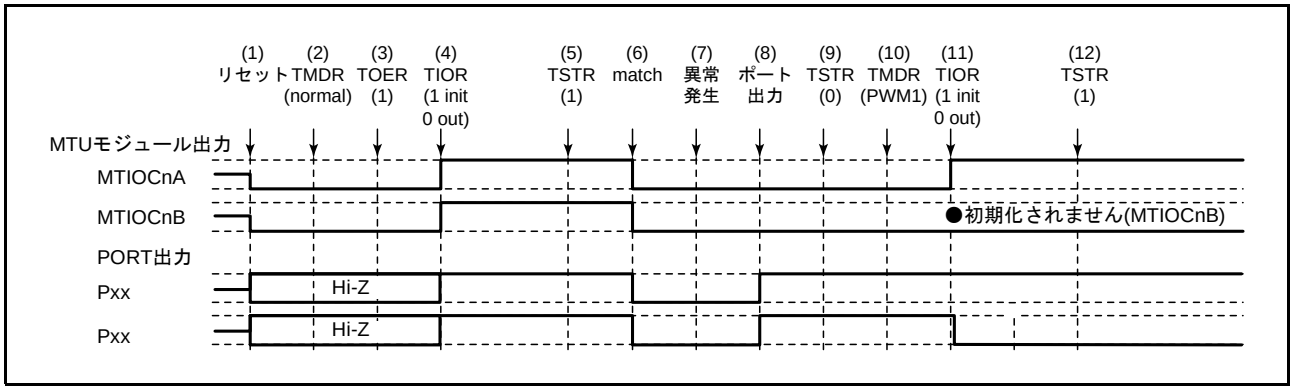


図 18.126 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (9) は図 18.125 と共通です。
(10) PWM モード 1 を設定します。
(11) TIOR で端子を初期化してください（PWM モード 1 では MTIOCnB 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に移行してください）。
(12) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 18.127 に示します。

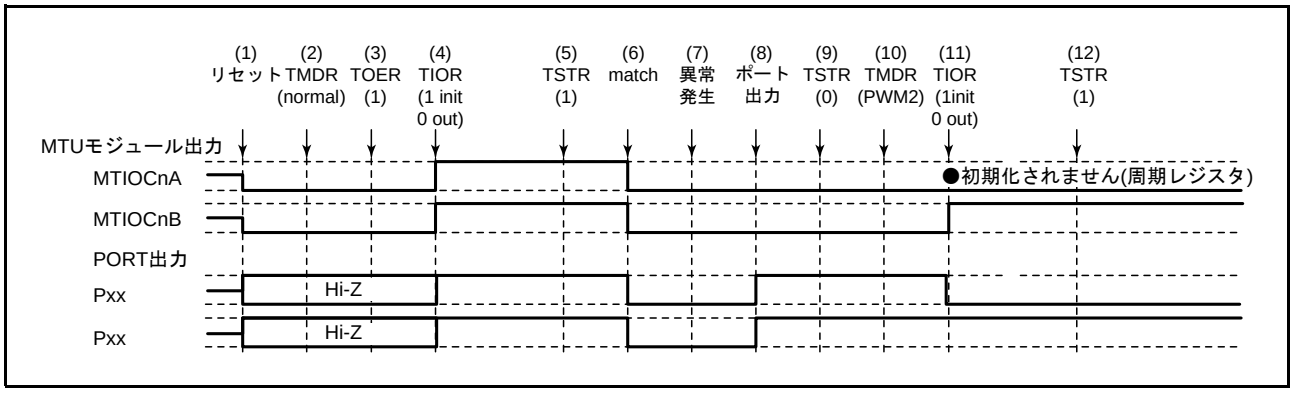


図 18.127 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

（1）～（9）は図 18.125 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください（PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に移行してください）。

(12) TSTR で再スタートします。

注． PWM モード 2 はチャネル 0 ～ 2 または 6 ～ 8 でのみ設定可能です。したがって TOER の設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 18.128 に示します。

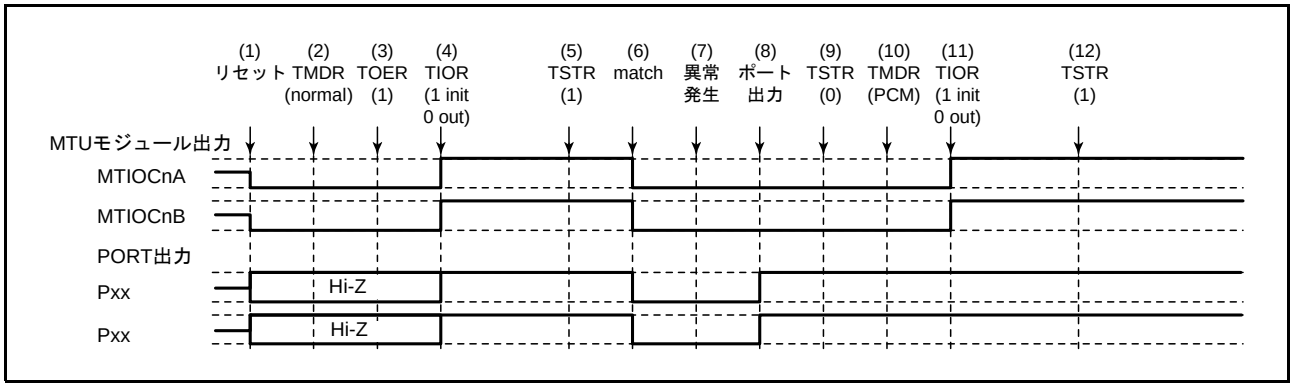


図 18.128 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

（1）～（9）は図 18.125 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR で端子を初期化してください。

(12) TSTR で再スタートします。

注． 位相計数モードはチャネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.129 に示します。

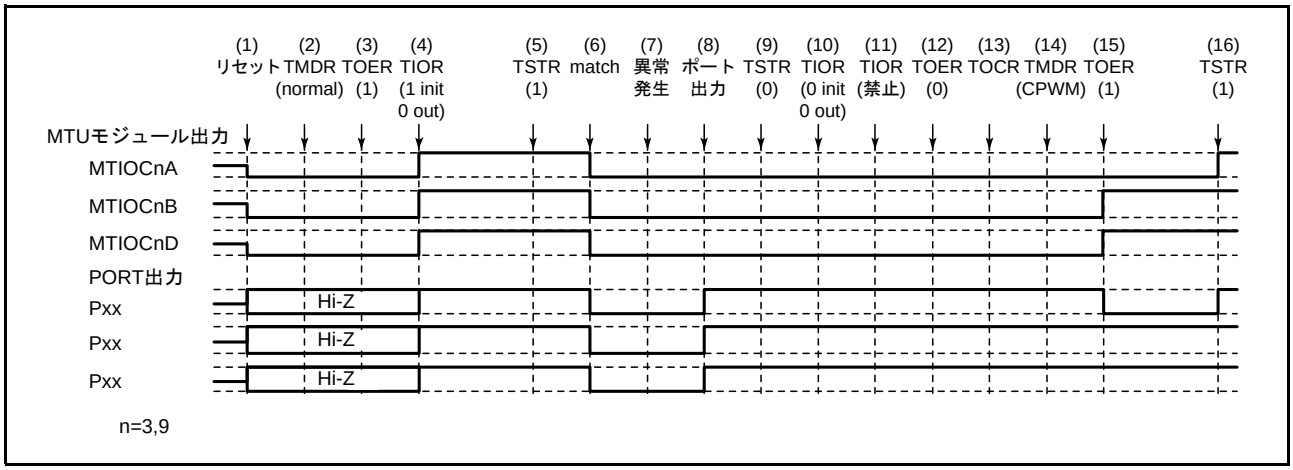


図 18.129 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（9）は図 18.125 と共通です。

(10) TIOR でノーマルモードの波形生成部を初期化してください。

(11) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(12) TOER でチャネル 3、4（またはチャネル 9、10）の出力を禁止してください。

(13) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOER でチャネル 3、4（またはチャネル 9、10）の出力を許可してください。

(16) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 18.130 に示します。

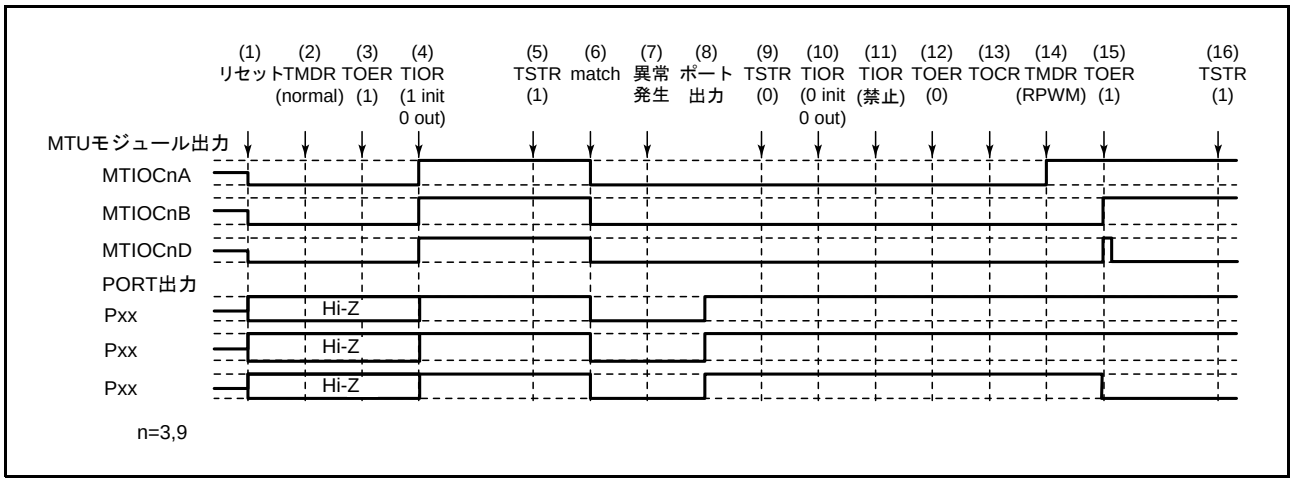


図 18.130 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（12）は図 18.129 と共通です。

(13) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOER でチャネル 3、4（またはチャネル 9、10）の出力を許可してください。

(16) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 18.131 に示します。

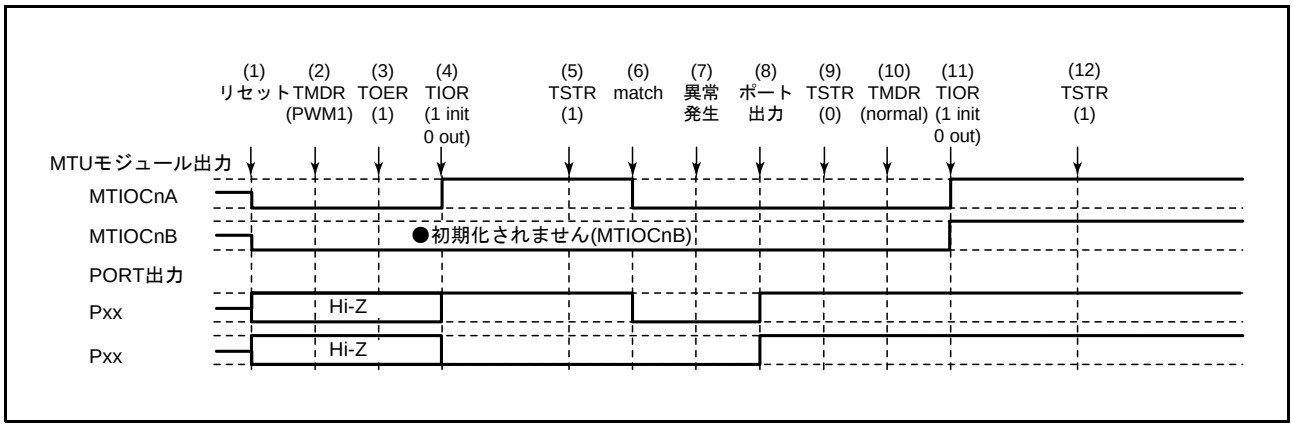


図 18.131 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 1 を設定してください。
(3) チャネル3､4（またはチャネル9､10）ではTIORで端子を初期化する前にTOERで出力を許可してください。
(4) TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。（PWM モード 1 では MTIOCnB 側は初期化されません）。
(5) TSTR でカウント動作を開始します。
(6) コンペアマッチの発生により Low を出力します。
(7) 異常が発生しました。
(8) TIOR で端子出力禁止、ポート出力とし、アクティブレベルの反転を出力してください。
(9) TSTR でカウント動作を停止します。
(10) ノーマルモードを設定してください。
(11) TIOR で端子を初期化してください。
(12) TSTR で再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.132 に示します。

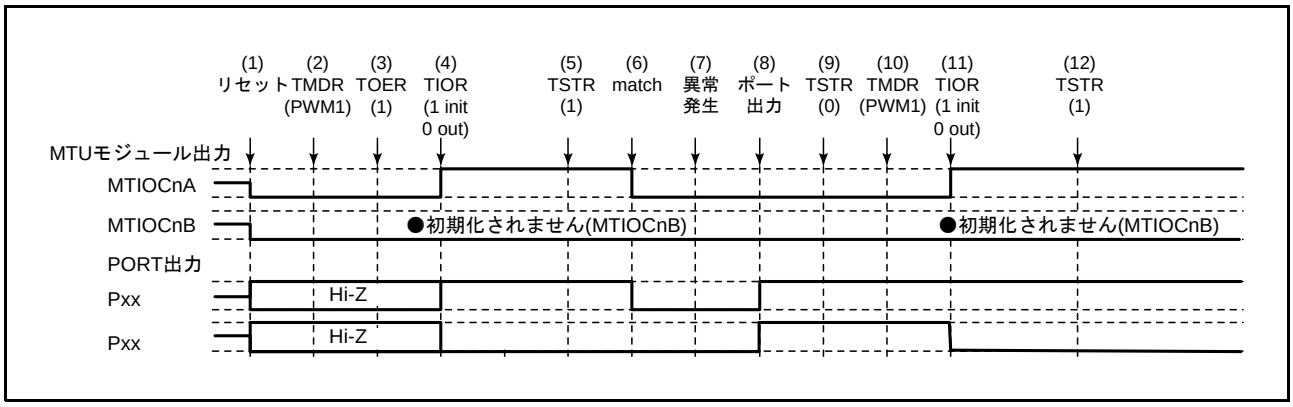


図 18.132 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

（1）～（9）は図 18.131 と共通です。

(10) PWM モード 1 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください（PWM モード 1 では MTIOCnB 側は初期化されません）。

(12) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 18.133 に示します。

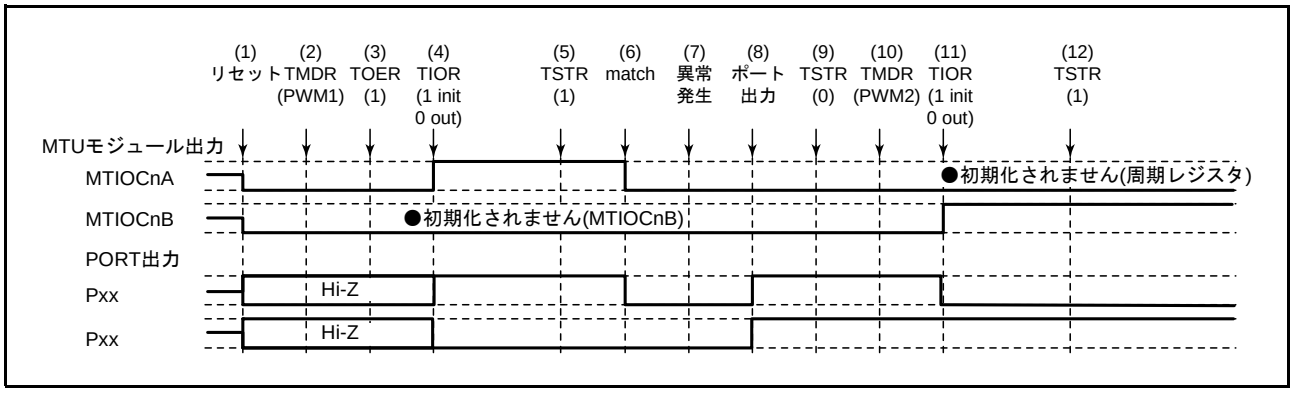


図 18.133 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

（1）～（9）は図 18.131 と共通です。
(10)PWM モード 2 を設定します。
(11)TIOR で端子を初期化してください（PWM モード 2 では周期レジスタの端子は初期化されません）。
(12)TSTR で再スタートします。

注．　PWMモード2はチャネル0～2（またはチャネル6～8）でのみ設定可能です。したがってTOERの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 18.134 に示します。

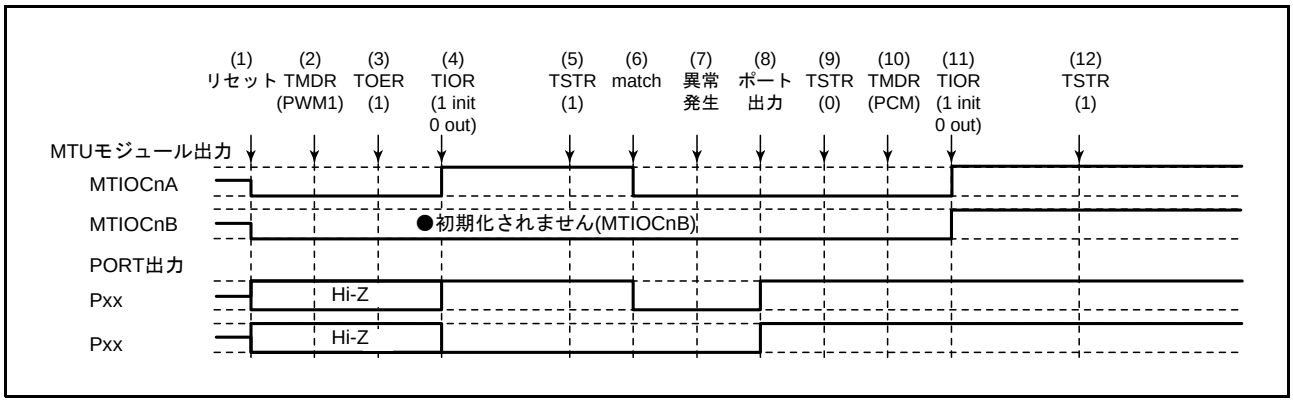


図 18.134 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

（1）～（9）は図 18.131 と共通です。
(10)位相計数モードを設定します。
(11)TIOR で端子を初期化してください。
(12)TSTR で再スタートします。

注．　位相計数モードはチャネル1､2（またはチャネル7､8）でのみ設定可能です。したがってTOERの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.135 に示します。

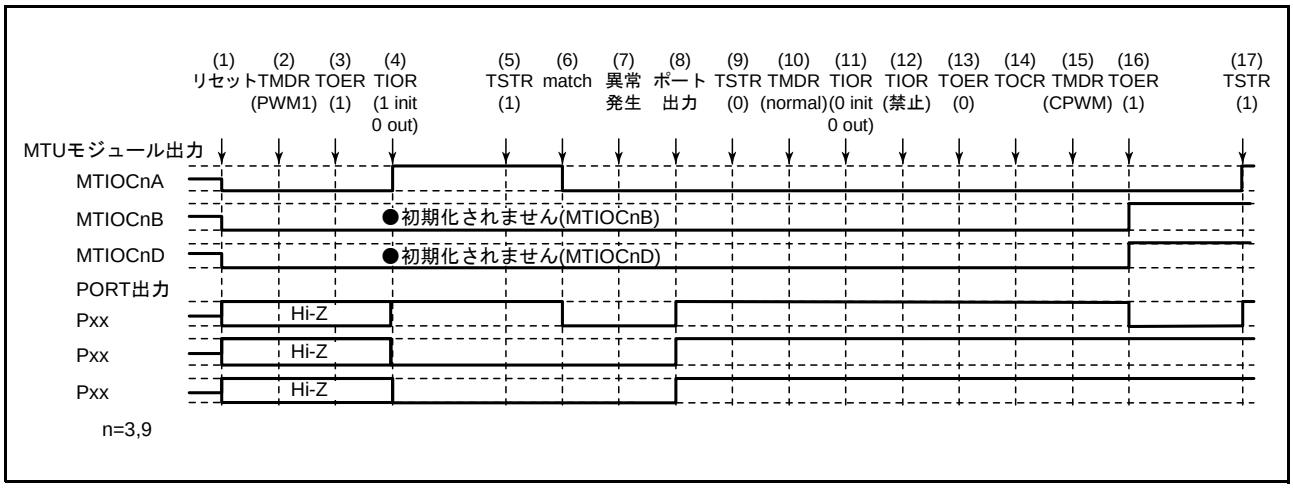


図 18.135 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

（1）～（9）は図 18.131 と共通です。

(10) 波形生成部の初期化のためノーマルモードを設定してください。

(11) TIOR で PWM モード 1 の波形生成部を初期化してください。

(12) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(13) TOER でチャネル 3、4（またはチャネル 9、10）の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャネル 3、4（またはチャネル 9、10）の出力を許可してください。

(17) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 18.136 に示します。

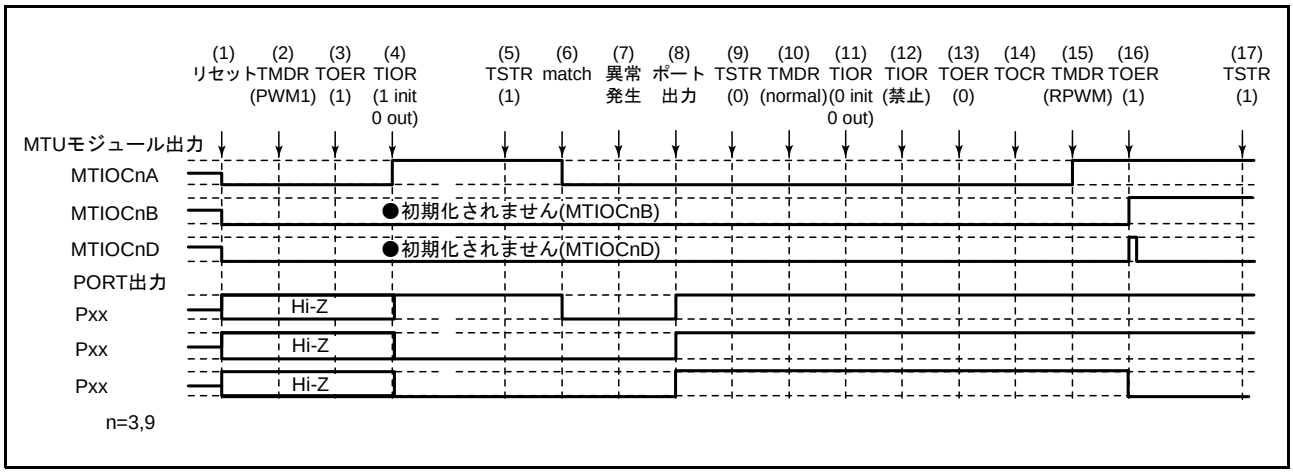


図 18.136　PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（13）は図 18.135 と共通です。

(14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOER でチャネル 3、4（またはチャネル 9、10）の出力を許可してください。

(17) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 18.137 に示します。

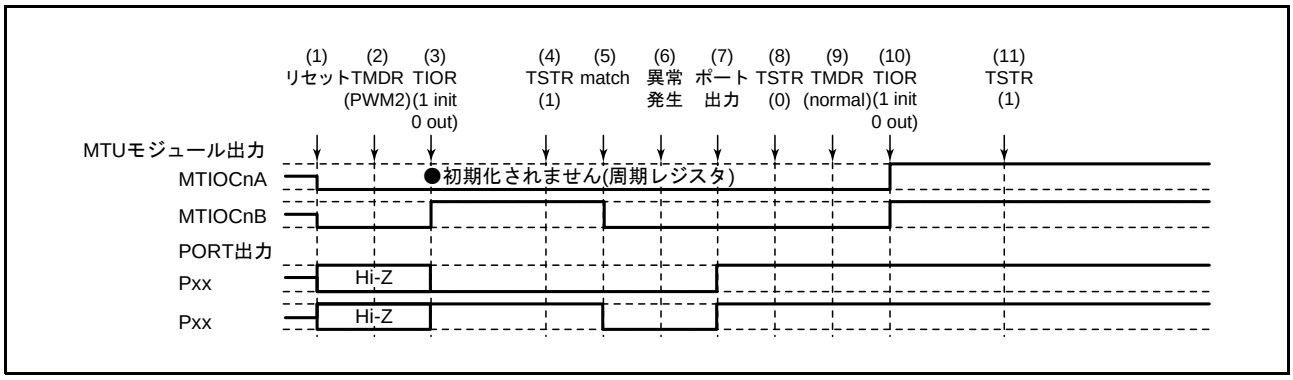


図 18.137　PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) PWM モード 2 を設定してください。
(3) TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOCnA が周期レジスタの場合です）。
(4) TSTR でカウント動作を開始します。
(5) コンペアマッチの発生により Low を出力します。
(6) 異常が発生しました。
(7) TIOR で端子出力禁止、ポート出力とし、アクティブレベルの反転を出力してください。
(8) TSTR でカウント動作を停止します。
(9) ノーマルモードを設定してください。
(10) TIOR で端子を初期化してください。
(11) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.138 に示します。

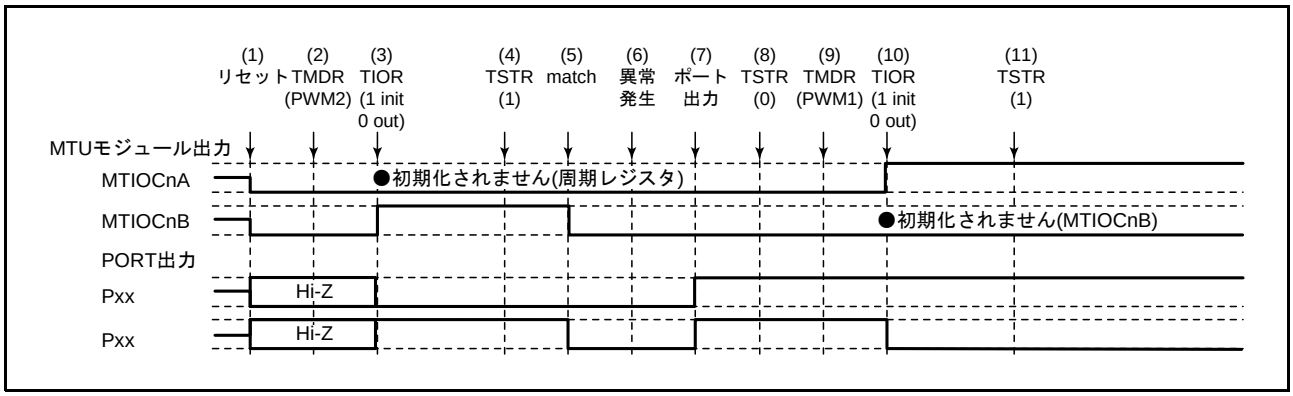


図 18.138　PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

（1）～（8）は図 18.137 と共通です。
(9) PWM モード 1 を設定します。
(10) TIOR で端子を初期化してください（PWM モード 1 では MTIOCnB 側は初期化されません）。
(11) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 18.139 に示します。

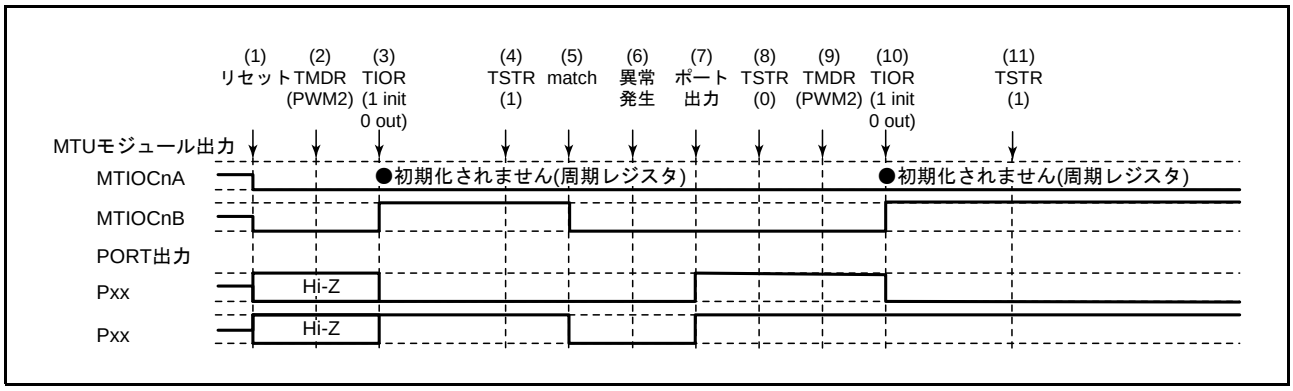


図 18.139　PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

（1）～（8）は図 18.137 と共通です。
(9) PWM モード 2 で再スタートする場合には必要ありません。
(10) TIOR で端子を初期化してください（PWM モード 2 では周期レジスタの端子は初期化されません）。
(11) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 18.140 に示します。

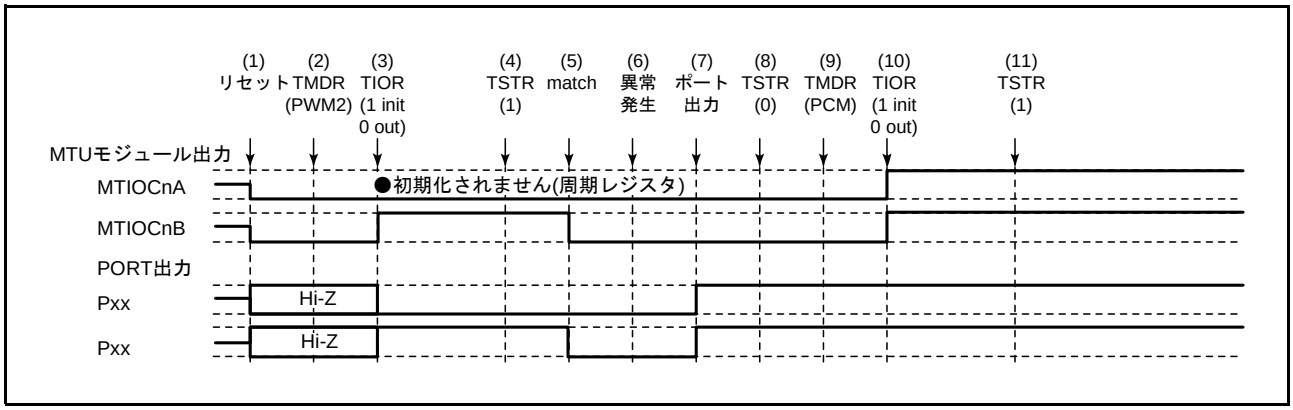


図 18.140　PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

（1）～（8）は図 18.137 と共通です。

(9) 位相計数モードを設定します。

(10) TIOR で端子を初期化してください。

(11) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を**図 18.141** に示します。

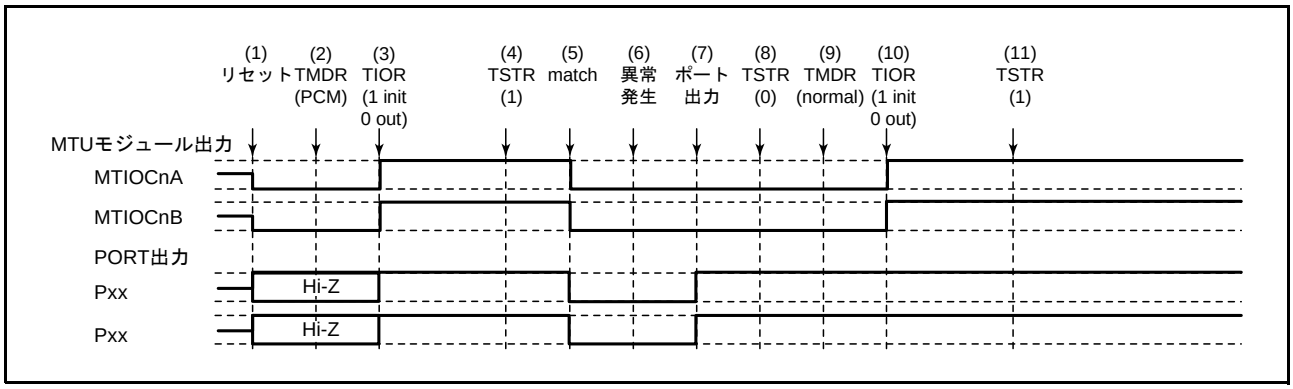


図 18.141　位相計数モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) 位相計数モードを設定してください。
(3) TIOR で端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
(4) TSTR でカウント動作を開始します。
(5) コンペアマッチの発生により Low を出力します。
(6) 異常が発生しました。
(7) ポート出力とし、アクティブレベルの反転を出力してください。
(8) TSTR でカウント動作を停止します。
(9) ノーマルモードで設定してください。
(10) TIOR で端子を初期化してください。
(11) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.142 に示します。

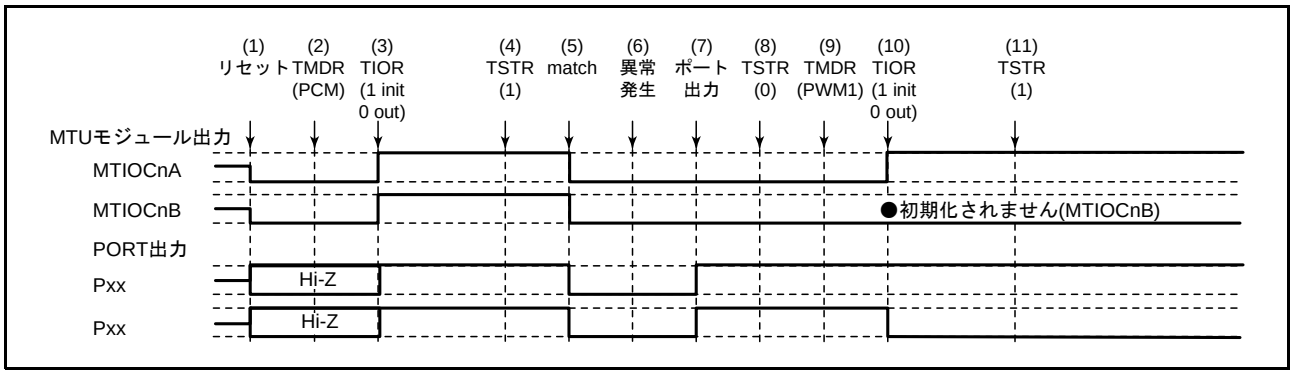


図 18.142　位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（8）は図 18.141 と共通です。
(9) PWM モード 1 を設定します。
(10) TIOR で端子を初期化してください（PWM モード 1 では MTIOCnB 側は初期化されません）。
(11) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 18.143 に示します。

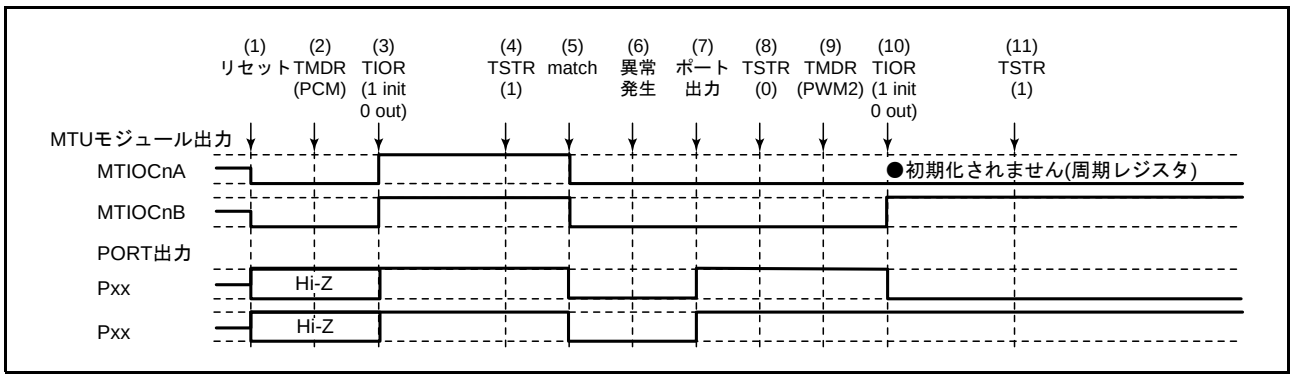


図 18.143　位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

（1）～（8）は図 18.141 と共通です。
(9) PWM モード 2 を設定します。
(10) TIOR で端子を初期化してください（PWM モード 2 では周期レジスタの端子は初期化されません）。
(11) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を**図 18.144** に示します。

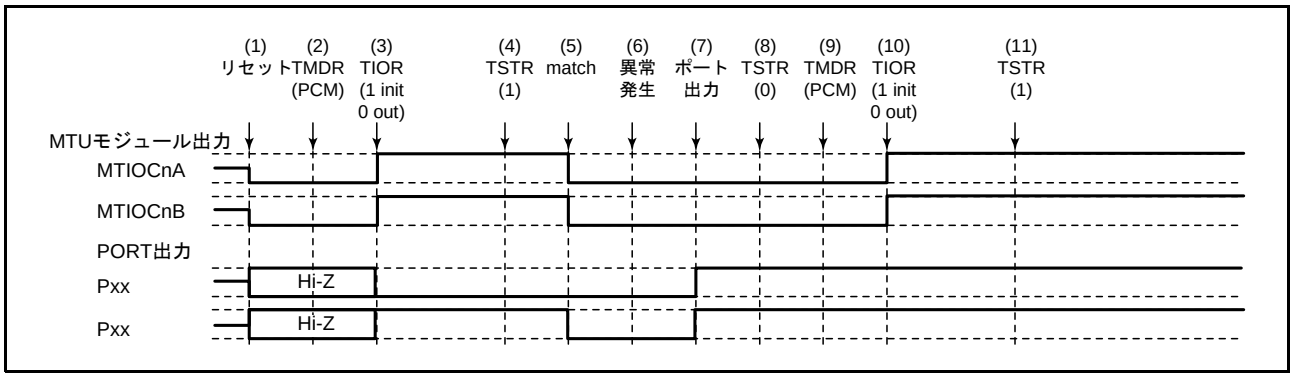


図 18.144　位相計数モードで異常が発生し、位相計数モードで復帰する場合

（1）～（8）は**図 18.141** と共通です。

(9) 位相計数モードで再スタートする場合には必要ありません。

(10) TIOR で端子を初期化してください。

(11) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 18.145 に示します。

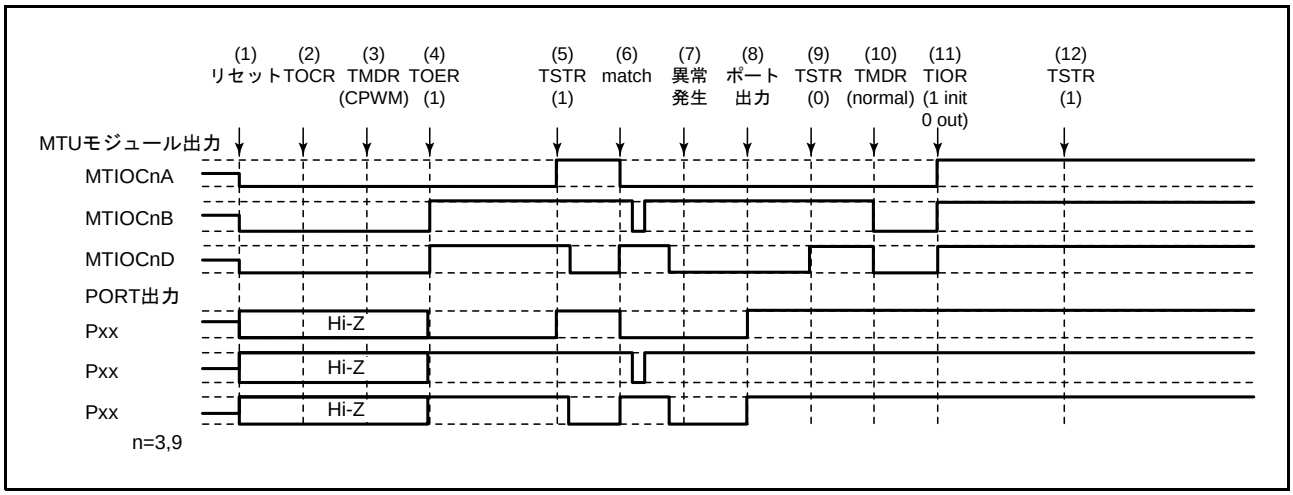


図 18.145　相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
(3) 相補 PWM を設定します。
(4) TOER でチャネル 3、4（またはチャネル 9、10）の出力を許可してください。
(5) TSTR でカウント動作を開始します。
(6) コンペアマッチの発生により相補 PWM 波形を出力します。
(7) 異常が発生しました。
(8) TIOR で端子出力禁止、ポート出力とし、アクティブレベルの反転を出力してください。
(9) TSTR でカウント動作を停止します（MTU 出力は相補 PWM 出力初期値となります）。
(10) ノーマルモードを設定してください（MTU 出力は Low となります）。
(11) TIOR で端子を初期化してください。
(12) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.146 に示します。

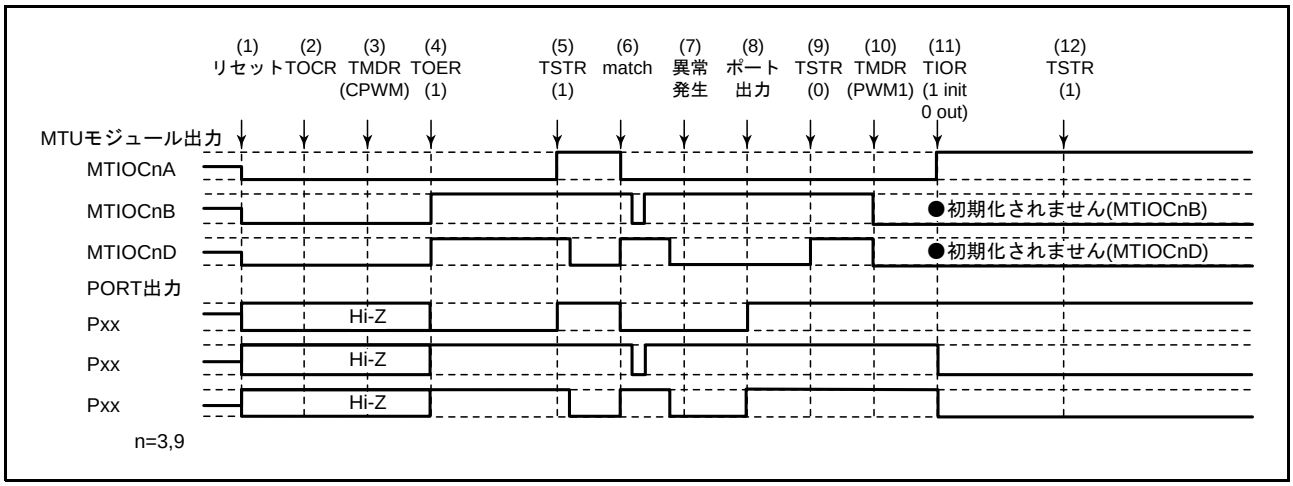


図 18.146　相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（9）は図 18.145 と共通です。
(10) PWM モード 1 を設定してください（MTU 出力は Low となります）。
(11) TIOR で端子を初期化してください（PWM モード 1 では MTIOC*B 側は初期化されません）。
(12) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.147 に示します（周期、デューティ比設定をカウンタを止めたときの値から再スタートする場合）。

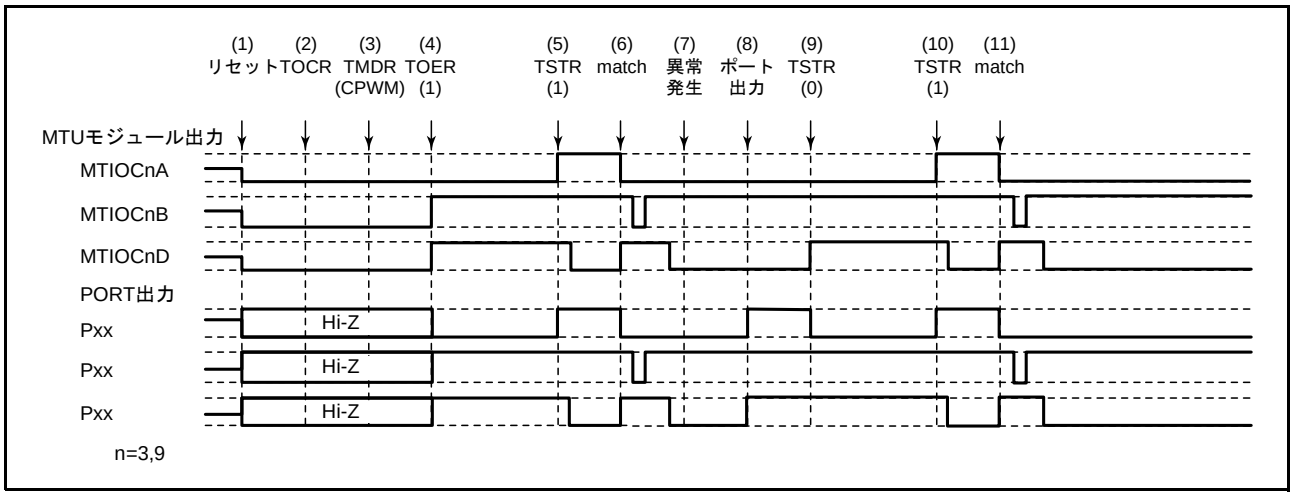


図 18.147　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（9）は図 18.145 と共通です。
(10) TSTR で再スタートします。
(11) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.148 に示します（周期、デューティ比設定を全く新しい設定値で再スタートする場合）。

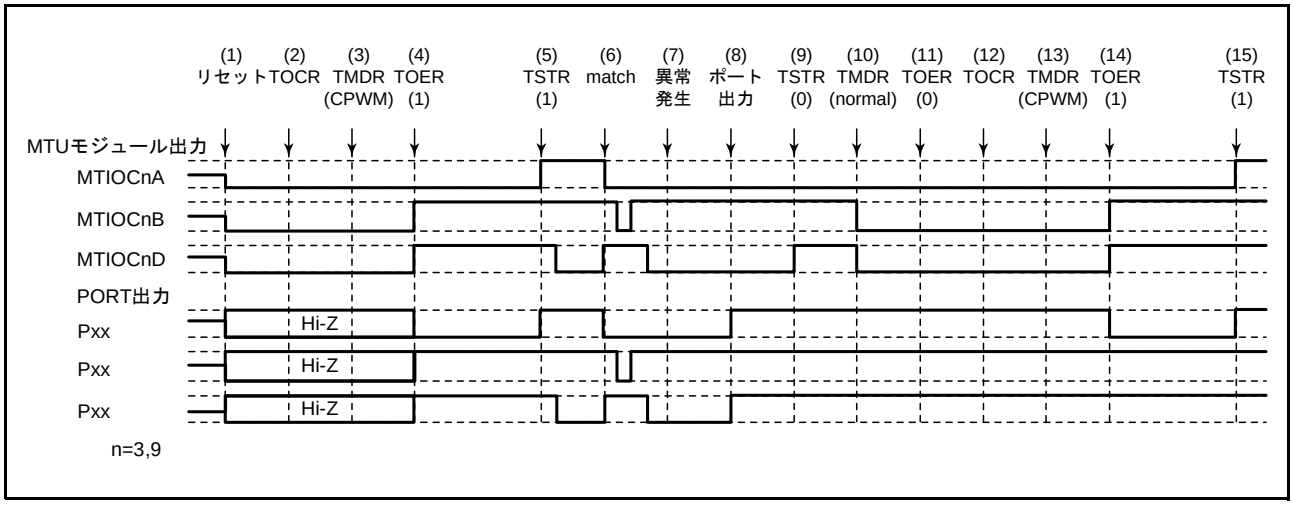


図 18.148　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（9）は図 18.145 と共通です。

(10) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(11) TOER でチャネル 3、4（またはチャネル 9、10）の出力を禁止してください。

(12) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(13) 相補 PWM を設定します。

(14) TOER でチャネル 3、4（またはチャネル 9、10）の出力を許可してください。

(15) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 18.149 に示します。

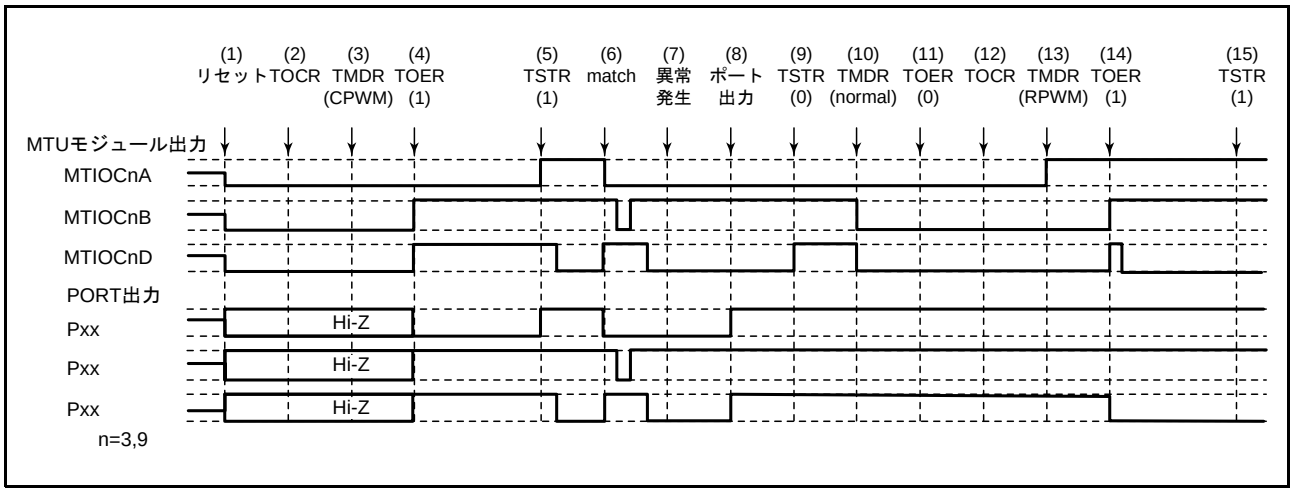


図 18.149　相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（9）は図 18.145 と共通です。

(10) ノーマルモードを設定してください（MTU 出力は Low となります）。

(11) TOER でチャネル 3、4（またはチャネル 9、10）の出力を禁止してください。

(12) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(13) リセット同期 PWM を設定します。

(14) TOER でチャネル 3、4（またはチャネル 9、10）の出力を許可してください。

(15) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 18.150 に示します。

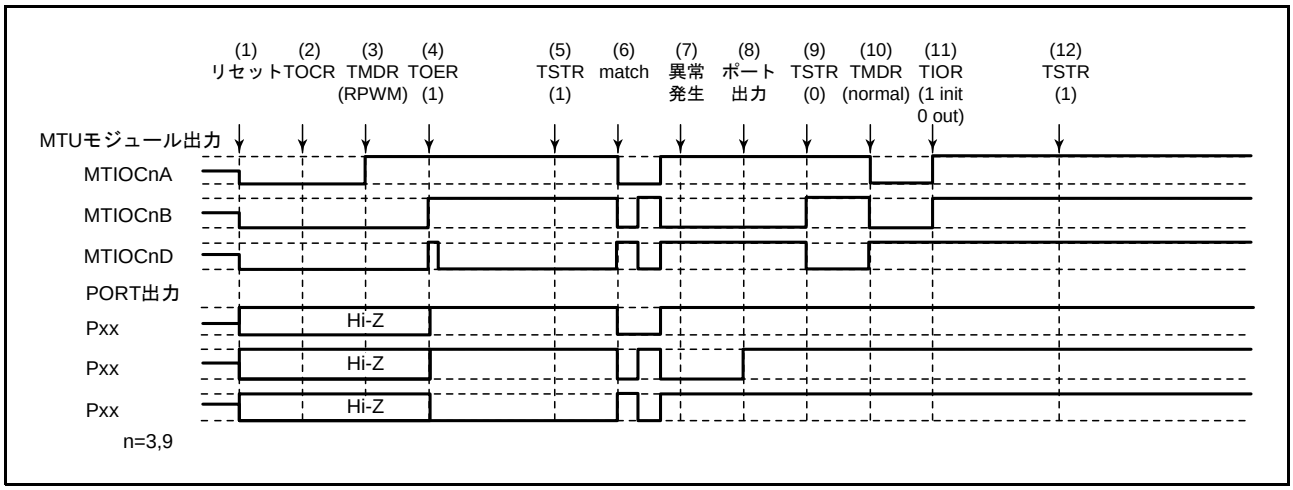


図 18.150　リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
(2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
(3) リセット同期 PWM を設定します。
(4) TOER でチャネル 3、4（またはチャネル 9、10）の出力を許可してください。
(5) TSTR でカウント動作を開始します。
(6) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
(7) 異常が発生しました。
(8) TIOR で端子出力禁止、ポート出力とし、アクティブレベルの反転を出力してください。
(9) TSTR でカウント動作を停止します（MTU 出力はリセット同期 PWM 出力初期値となります）。
(10) ノーマルモードを設定してください（MTU 出力は正相側が Low、逆相側が High となります）。
(11) TIOR で端子を初期化してください。
(12) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.151 に示します。

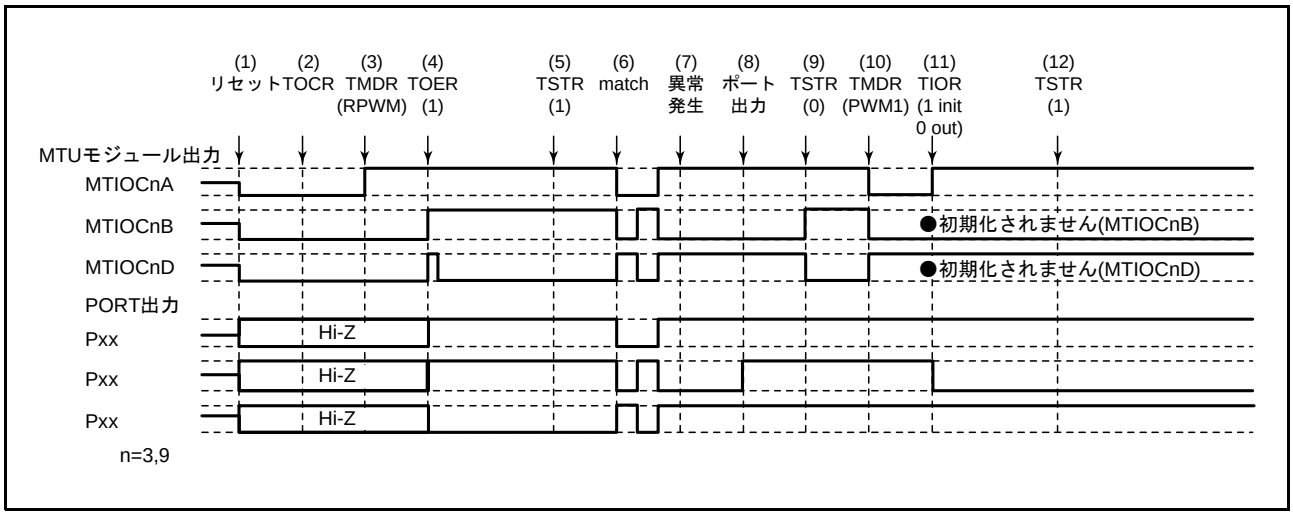


図 18.151　リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（9）は図 18.150 と共通です。

(10) PWM モード 1 を設定してください（MTU 出力は正相側が Low、逆相側が High となります）。

(11) TIOR で端子を初期化してください（PWM モード 1 では MTIOCnB 側は初期化されません）。

(12) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.152 に示します。

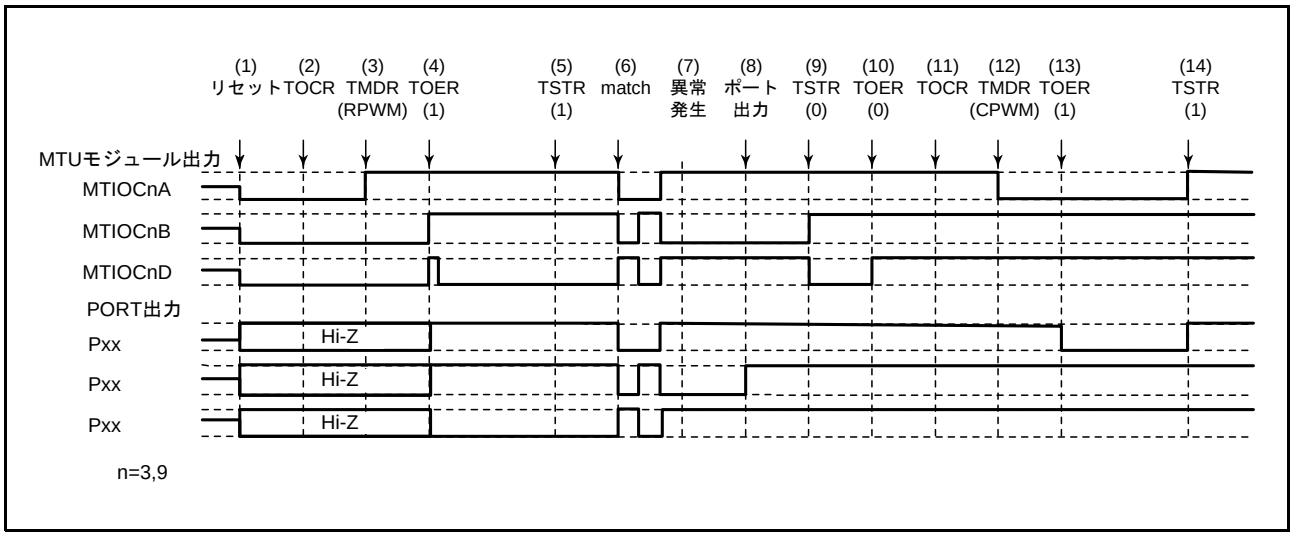


図 18.152　リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（9）は図 18.150 と共通です。

(10) TOER でチャネル 3、4（またはチャネル 9、10）の出力を禁止してください。

(11) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(12) 相補 PWM を設定します（MTU の周期出力端子は Low になります）。

(13) TOER でチャネル 3、4（またはチャネル 9、10）の出力を許可してください。

(14) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を**図 18.153** に示します。

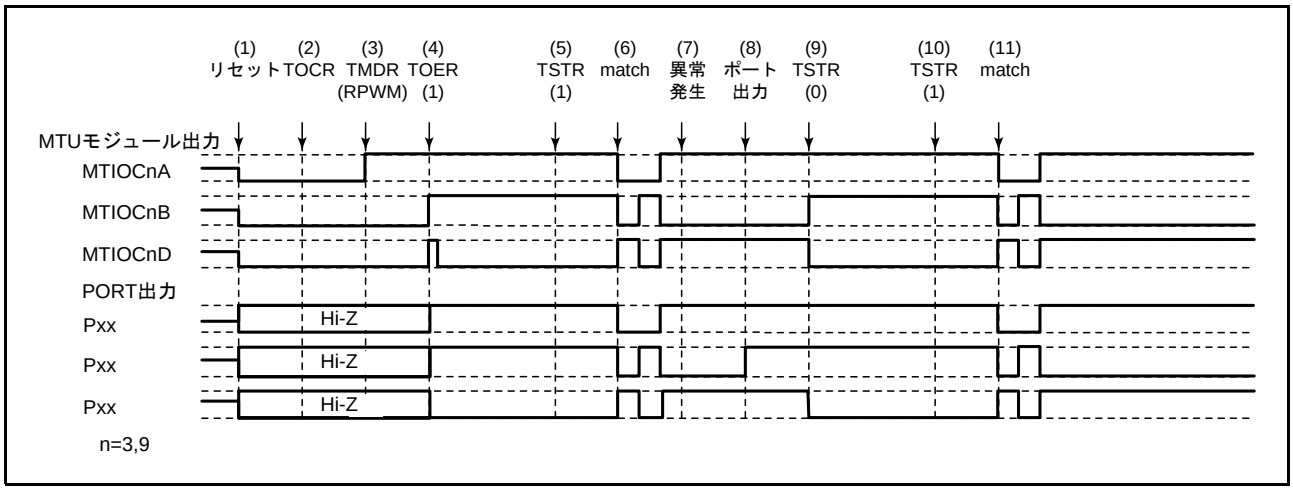


図 18.153　リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（9）は**図 18.150** と共通です。

(10) TSTR で再スタートします。

(11) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

19. ポートアウトプットイネーブル 2（POE2）

ポートアウトプットイネーブル（POE）は、POE0# ～ POE9# 端子の入力変化、MTU 相補 PWM 出力端子（MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、および　MTIOC9B、MTIOC9D、MTIOC10A、MTIOC10B、MTIOC10C、MTIOC10D がマルチプレクスされている端子）の出力状態、またはレジスタ設定によって MTU 相補 PWM 出力端子および MTU0 または MTU6 端子（MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D がマルチプレクスされている端子）をハイインピーダンス状態にすることができます。クロック発生回路の発振停止検出したときも、MTU 相補 PWM 出力端子および MTU0 または MTU6 端子をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

19.1 概要

表 19.1 に POE の仕様を、図 19.1 に POE のブロック図を示します。

表 19.1　POE の仕様

項目	内容
機能	• POE0#～POE9#の各入力端子に立ち下がりエッジ、PCLK/8×16回、PCLK/16×16回、PCLK/128×16回のLowレベルサンプリングの設定が可能です。 • POE0#～POE9#端子の立ち下がりエッジまたはLowレベルサンプリングによって、MTU相補PWM出力端子およびMTU0またはMTU6端子をハイインピーダンス状態にできます。 • クロック発生回路の発振停止を検出した場合、MTU相補PWM出力端子およびMTU0またはMTU6端子をハイインピーダンス状態にできます。 • MTU相補PWM出力端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU用の端子をハイインピーダンス状態にできます。 • POEのレジスタ書き込みをすることで、MTU相補PWM出力端子およびMTU0またはMTU6端子をハイインピーダンス状態にできます。 • 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE は、図 19.1 のブロック図に示すように入力レベル検出回路、出力レベル比較回路、およびハイインピーダンス要求／割り込み要求生成回路から構成されます。これとは別に、発振器が停止した場合でも、MTU 相補 PWM 出力端子および MTU0 または MTU6 端子をハイインピーダンス状態にすることができます。

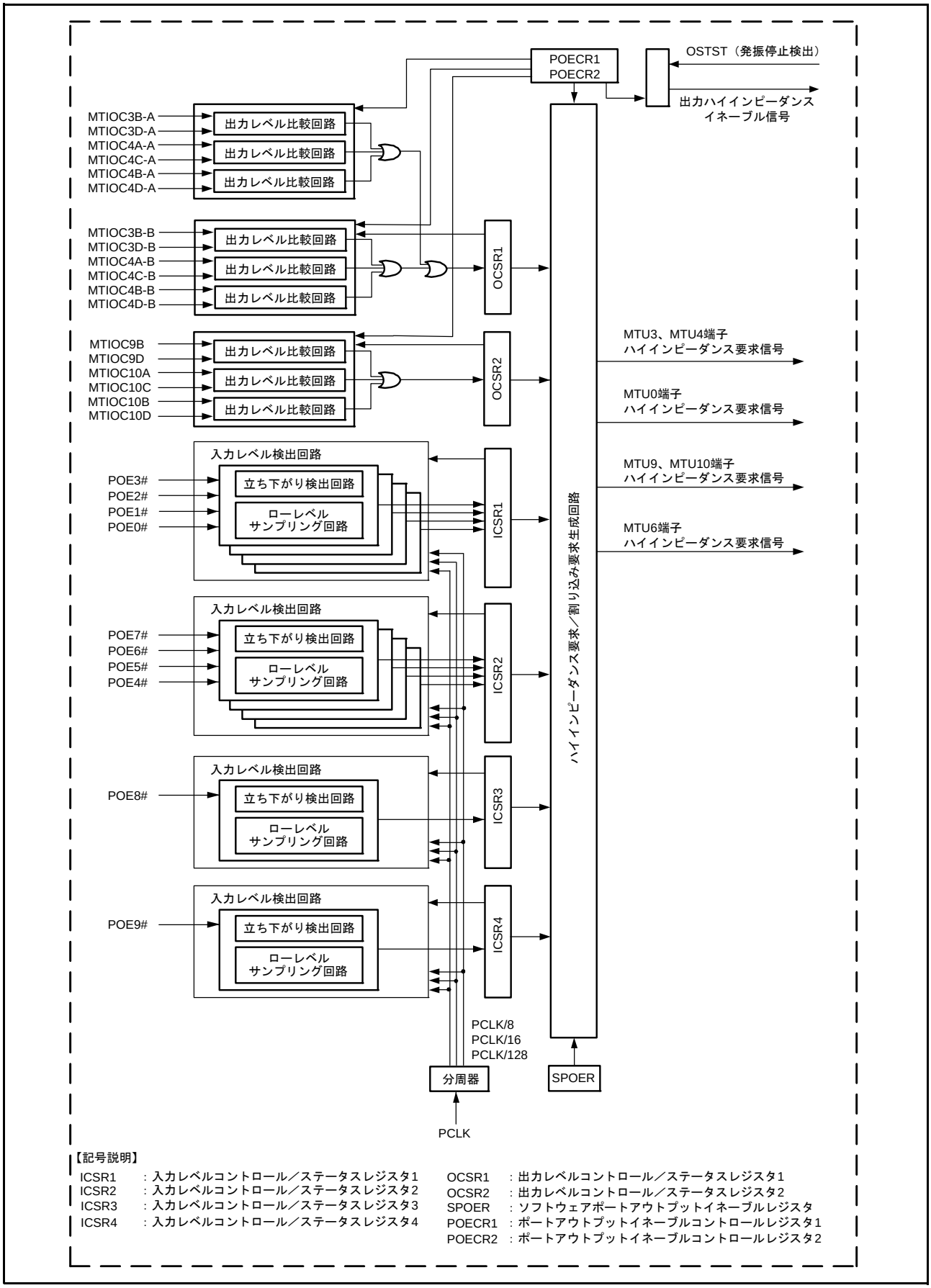


図 19.1　　POE のブロック図

表 19.2 に POE で使用する入出力端子を示します。

表19.2　POEの入出力端子

端子名	入出力	機　能
POE0#～POE3#	入力	MTU相補PWM出力用のMTU3,MTU4端子をハイインピーダンス状態にする要求信号を入力
POE4#～POE7#	入力	MTU相補PWM出力用のMTU9,MTU10端子をハイインピーダンス状態にする要求信号を入力
POE8#	入力	MTU0の端子をハイインピーダンス状態にする要求信号を入力
POE9#	入力	MTU6の端子をハイインピーダンス状態にする要求信号を入力

表 19.3 に示す端子の組み合わせで出力レベルの比較を行います。

表19.3　端子の組み合わせ

端子の組み合わせ	入出力	機　能
MTIOC3B-AとMTIOC3D-A	出力	周辺クロック（PCLK）1サイクル以上同時にアクティブレベル出力（MTUA.TOCR1.TOCSビット="0"のときに、MTUA.TOCR1.OLSPビットが"0"の場合はLow出力、"1"の場合はHigh出力。または、MTUA.TOCR1.TOCSビット="1"のときに、MTUA.TOCR2.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが"0"の場合はLow出力、"1"の場合はHigh出力）が続いた場合、MTU相補PWM出力用のMTU3,MTU4端子をハイインピーダンス状態にします。 どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POEのレジスタにて設定できます。
MTIOC4A-AとMTIOC4C-A	出力	
MTIOC4B-AとMTIOC4D-A	出力	
MTIOC3B-BとMTIOC3D-B	出力	
MTIOC4A-BとMTIOC4C-B	出力	
MTIOC4B-BとMTIOC4D-B	出力	
MTIOC9BとMTIOC9D	出力	周辺クロック（PCLK）1サイクル以上同時にアクティブレベル出力（MTUB.TOCR1.TOCSビット="0"のときに、MTUB.TOCR1.OLSPビットが"0"の場合はLow出力、"1"の場合はHigh出力。または、MTUB.TOCR1.TOCSビット="1"のときに、MTUB.TOCR2.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが"0"の場合はLow出力、"1"の場合はHigh出力）が続いた場合、MTU相補PWM出力用のMTU9,MTU10端子をハイインピーダンス状態にします。 どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POEのレジスタにて設定できます。
MTIOC10AとMTIOC10C	出力	
MTIOC10BとMTIOC10D	出力	

19.2 レジスタの説明

表 19.4 に POE のレジスタ一覧を示します。

POE のレジスタは、リセットで初期化されます。

表19.4　POEのレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
入力レベルコントロール／ステータスレジスタ1	ICSR1	0000h	0008 8900h	16
出力レベルコントロール／ステータスレジスタ1	OCSR1（注1）	0000h	0008 8902h	16
入力レベルコントロール／ステータスレジスタ2	ICSR2	0000h	0008 8904h	16
出力レベルコントロール／ステータスレジスタ2	OCSR2	0000h	0008 8906h	16
入力レベルコントロール／ステータスレジスタ3	ICSR3	0000h	0008 8908h	16
ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	00h	0008 890Ah	8
ポートアウトプットイネーブルコントロールレジスタ1	POECR1	00h	0008 890Bh	8
ポートアウトプットイネーブルコントロールレジスタ2	POECR2	7070h	0008 890Ch	16
入力レベルコントロール／ステータスレジスタ4	ICSR 4	0000h	0008 890Eh	16

注1.　100ピンLQFP版では、OCSR1.OCE1ビットを“1”にしないでください。OCSR1.OCE1ビットを“1”にしたときの動作は保証されません。

19.2.1 入力レベルコントロール／ステータスレジスタ 1（ICSR1）

アドレス　0008 8900h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POE3F	POE2F	POE1F	POE0F	—	—	—	PIE1	POE3M[1:0]		POE2M[1:0]		POE1M[1:0]		POE0M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0：POE0#入力の立ち下がりエッジで要求を受け付け 0 1：POE0#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0：POE0#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1：POE0#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W（注1）
b3-b2	POE1M[1:0]	POE1モード選択ビット	b3 b2 0 0：POE1#入力の立ち下がりエッジで要求を受け付け 0 1：POE1#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0：POE1#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1：POE1#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W（注1）
b5-b4	POE2M[1:0]	POE2モード選択ビット	b5 b4 0 0：POE2#入力の立ち下がりエッジで要求を受け付け 0 1：POE2#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0：POE2#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1：POE2#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W（注1）
b7-b6	POE3M[1:0]	POE3モード選択ビット	b7 b6 0 0：POE3#入力の立ち下がりエッジで要求を受け付け 0 1：POE3#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0：POE3#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1：POE3#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W（注1）
b8	PIE1	ポート割り込み許可1ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0：POE0#端子にハイインピーダンス要求なし 1：POE0#端子にハイインピーダンス要求あり	R/(W)（注2）
b13	POE1F	POE1フラグ	0：POE1#端子にハイインピーダンス要求なし 1：POE1#端子にハイインピーダンス要求あり	R/(W)（注2）
b14	POE2F	POE2フラグ	0：POE2#端子にハイインピーダンス要求なし 1：POE2#端子にハイインピーダンス要求あり	R/(W)（注2）
b15	POE3F	POE3フラグ	0：POE3#端子にハイインピーダンス要求なし 1：POE3#端子にハイインピーダンス要求あり	R/(W)（注2）

注1.　リセット後、1回だけ書けます。
注2.　フラグを“0”にするため、“1”を読んだ後に“0”を書くことのみ可能です。

ICSR1 レジスタは、POE0# ～ POE3# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

POE0M[1:0] ビット（POE0 モード選択ビット）

POE0# 端子の入力モードを選択します。

POE1M[1:0] ビット（POE1 モード選択ビット）

POE1# 端子の入力モードを選択します。

POE2M[1:0] ビット（POE2 モード選択ビット）

POE2# 端子の入力モードを選択します。

POE3M[1:0] ビット（POE3 モード選択ビット）

POE3# 端子の入力モードを選択します。

PIE1 ビット（ポート割り込み許可 1 ビット）

POE3F ～ POE0F フラグのうち、1 ビットでも “1” のフラグがあるときに、割り込みを要求するかどうかを指定します。

POE0F フラグ（POE0 フラグ）

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

POE1F フラグ（POE1 フラグ）

POE1# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE1# 端子に POE1M[1:0] ビットで設定した入力が発生したとき

POE2F フラグ（POE2 フラグ）

POE2# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE2# 端子に POE2M[1:0] ビットで設定した入力が発生したとき

POE3F フラグ（POE3 フラグ）

POE3# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE3# 端子に POE3M[1:0] ビットで設定した入力が発生したとき

19.2.2 出力レベルコントロール／ステータスレジスタ 1（OCSR1）

アドレス　0008 8902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	–	–	–	–	–	OCE1	OIE1	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE1（注3）	出力短絡ハイインピーダンス許可1ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W（注1）
b14-b10	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0：同時にアクティブレベルになっていない 1：同時にアクティブレベルになった	R/(W)（注2）

注1.　リセット後、1回だけ書けます。
注2.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。
注3.　100ピンLQFP版では、OCSR1.OCE1ビットを“1”にしないでください。OCSR1.OCE1ビットを“1”にしたときの動作は保証されません。

OCSR1 レジスタは、出力レベルの比較許可／禁止、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

OIE1 ビット（出力短絡割り込み許可 1 ビット）

OSF1 フラグが “1” のときに、割り込みを要求するかどうかを指定します。

OCE1 ビット（出力短絡ハイインピーダンス許可 1 ビット）

OSF1 フラグが “1” のときに、端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ（出力短絡フラグ 1）

MTU 相補 PWM 出力用の MTU3,MTU4 端子の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

[“1” になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

19.2.3 入力レベルコントロール／ステータスレジスタ 2（ICSR2）

アドレス　0008 8904h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POE7F	POE6F	POE5F	POE4F	—	—	—	PIE2	POE7M[1:0]		POE6M[1:0]		POE5M[1:0]		POE4M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE4M[1:0]	POE4モード 選択ビット	b1 b0 0 0：POE4#入力の立ち下がりエッジで要求を受け付け 0 1：POE4#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 0：POE4#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 1：POE4#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。	R/W （注1）
b3-b2	POE5M[1:0]	POE5モード 選択ビット	b3 b2 0 0：POE5#入力の立ち下がりエッジで要求を受け付け 0 1：POE5#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 0：POE5#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 1：POE5#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。	R/W （注1）
b5-b4	POE6M[1:0]	POE6モード 選択ビット	b5 b4 0 0：POE6#入力の立ち下がりエッジで要求を受け付け 0 1：POE6#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 0：POE6#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 1：POE6#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。	R/W （注1）
b7-b6	POE7M[1:0]	POE7モード 選択ビット	b7 b6 0 0：POE7#入力の立ち下がりエッジで要求を受け付け 0 1：POE7#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 0：POE7#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 1：POE7#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。	R/W （注1）
b8	PIE2	ポートインタラプト 許可2ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE4F	POE4フラグ	0：POE4#端子にハイインピーダンス要求なし 1：POE4#端子にハイインピーダンス要求あり	R/(W) （注2）
b13	POE5F	POE5フラグ	0：POE5#端子にハイインピーダンス要求なし 1：POE5#端子にハイインピーダンス要求あり	R/(W) （注2）
b14	POE6F	POE6フラグ	0：POE6#端子にハイインピーダンス要求なし 1：POE6#端子にハイインピーダンス要求あり	R/(W) （注2）
b15	POE7F	POE7フラグ	0：POE7#端子にハイインピーダンス要求なし 1：POE7#端子にハイインピーダンス要求あり	R/(W) （注2）

注1.　リセット後、1回だけ書けます。
注2.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ICSR2 レジスタは、POE4# ～ POE7# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

POE4M[1:0] ビット（POE4 モード選択ビット）

POE4# 端子の入力モードを選択します。

POE5M[1:0] ビット（POE5 モード選択ビット）

POE5# 端子の入力モードを選択します。

POE6M[1:0] ビット（POE6 モード選択ビット）

POE6# 端子の入力モードを選択します。

POE7M[1:0] ビット（POE7 モード選択ビット）

POE7# 端子の入力モードを選択します。

PIE2 ビット（ポートインタラプト許可 2 ビット）

POE7F ～ POE4F フラグのうち、1 ビットでも “1” のフラグがあるときに、割り込みを要求するかどうかを指定します。

POE4F フラグ（POE4 フラグ）

POE4# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE4# 端子に POE4M[1:0] ビットで設定した入力が発生したとき

POE5F フラグ（POE5 フラグ）

POE5# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE5# 端子に POE5M[1:0] ビットで設定した入力が発生したとき

POE6F フラグ（POE6 フラグ）

POE6# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE6# 端子に POE6M[1:0] ビットで設定した入力が発生したとき

POE7F フラグ（POE7 フラグ）

POE7# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE7# 端子に POE7M[1:0] ビットで設定した入力が発生したとき

19.2.4 出力レベルコントロール／ステータスレジスタ 2（OCSR2）

アドレス　0008 8906h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	–	–	–	–	–	OCE2	OIE2	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE2	出力短絡割り込み許可2ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	OCE2	出力短絡ハイインピーダンス許可2ビット	0：端子をハイインピーダンスにしない 1：端子をハイインピーダンスにする	R/W （注1）
b14-b10	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF2	出力短絡フラグ2	0：同時にアクティブレベルになってない 1：同時にアクティブレベルになった	R/(W) （注2）

注1.　リセット後、1回だけ書けます。
注2.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

OCSR2 レジスタは、出力レベルの比較許可／禁止、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

OIE2 ビット（出力短絡割り込み許可 2 ビット）

OSF2 フラグが “1” のときに、割り込みを要求するかどうかを指定します。

OCE2 ビット（出力短絡ハイインピーダンス許可 2 ビット）

OSF2 フラグが “1” のときに、端子をハイインピーダンスにするかどうかを指定します。

OSF2 フラグ（出力短絡フラグ 2）

MTU 相補 PWM 出力用の MTU9,MTU10 端子の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

[“1” になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

19.2.5 入力レベルコントロール／ステータスレジスタ 3（ICSR3）

アドレス　0008 8908h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	POE8F	–	–	POE8E	PIE3	–	–	–	–	–	–	POE8M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 0 0：POE8#入力の立ち下がりエッジで要求を受け付け 0 1：POE8#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 0：POE8#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 1：POE8#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。	R/W （注1）
b7-b2	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE3	ポートインタラプト許可3ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0：MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにしない 1：MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D端子をハイインピーダンスにする	R/W （注1）
b11-b10	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0：POE8#端子にハイインピーダンス要求なし 1：POE8#端子にハイインピーダンス要求あり	R/(W) （注2）
b15-b13	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回だけ書けます。
注2.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

POE8M[1:0] ビット（POE8 モード選択ビット）

POE8# 端子の入力モードを選択します。

PIE3 ビット（ポートインタラプト許可 3 ビット）

POE8F フラグが “1” のときに、割り込みを要求するかどうかを指定します。

POE8E ビット（POE8 ハイインピーダンス許可ビット）

POE8F フラグが “1” のとき、ハイインピーダンスにするかどうかを指定します。

POE8F フラグ（POE8 フラグ）

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

19.2.6 入力レベルコントロール／ステータスレジスタ 4（ICSR4）

アドレス　0008 890Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE9F	—	—	POE9E	PIE4	—	—	—	—	—	—	POE9M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE9M[1:0]	POE9モード選択ビット	b1 b0 0 0：POE9#入力の立ち下がりエッジで要求を受け付け 0 1：POE9#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 0：POE9#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。 1 1：POE9#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付けます。	R/W （注1）
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE4	ポートインタラプト許可4ビット	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	POE9E	POE9ハイインピーダス許可ビット	0：MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D端子をハイインピーダンスにしない 1：MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D端子をハイインピーダンスにする	R/W （注1）
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b12	POE9F	POE9フラグ	0：POE9#端子にハイインピーダンス要求なし 1：POE9#端子にハイインピーダンス要求あり	R/(W) （注2）
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回だけ書けます。
注2.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

ICSR4 レジスタは、POE9# 端子の入力モードの選択、割り込みの許可／禁止の制御、およびステータスを示すレジスタです。

POE9M[1:0] ビット（POE9 モード選択ビット）

POE9# 端子の入力モードを選択します。

PIE4 ビット（ポートインタラプト許可 4 ビット）

POE9F フラグが “1” のときに、割り込みを要求するかどうかを指定します。

POE9E ビット（POE9 ハイインピーダンス許可ビット）

POE9F フラグが “1” のときに、ハイインピーダンスにするかどうかを指定します。

POE9F フラグ（POE9 フラグ）

POE9# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- POE9# 端子に POE9M[1:0] ビットで設定した入力が発生したとき

19.2.7 ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）

アドレス　0008 890Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CH6HIZ	CH910HIZ	CH0HIZ	CH34HIZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH34HIZ	MTU3、MTU4出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b1	CH0HIZ	MTU0出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b2	CH910HIZ	MTU9、MTU10出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b3	CH6HIZ	MTU6出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPOER レジスタは、端子のハイインピーダンスを制御するレジスタです。

CH34HIZ ビット（MTU3、MTU4 出力ハイインピーダンス許可ビット）

MTU 相補 PWM 出力用の端子（MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4B/MTIOC4C/MTIOC4D）をハイインピーダンス状態にする制御を行います。

[“0” になる条件]

- リセット
- “1” を読んだ後、“0” を書いたとき

[“1” になる条件]

- “1” を書いたとき

CH0HIZ ビット（MTU0 出力ハイインピーダンス許可ビット）

MTU0 の端子をハイインピーダンス状態にする制御を行います。

[“0” になる条件]

- リセット
- “1” を読んだ後、“0” を書いたとき

[“1” になる条件]

- “1” を書いたとき

CH910HIZ ビット（MTU9、MTU10 出力ハイインピーダンス許可ビット）

相補 PWM 出力用の端子（MTIOC9B/MTIOC9D/MTIOC10A/MTIOC10B/MTIOC10C/MTIOC10D）をハイインピーダンス状態にする制御を行います。

［“0” になる条件］

- リセット
- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- “1” を書いたとき

CH6HIZ ビット（MTU6 出力ハイインピーダンス許可ビット）

MTU6 の端子をハイインピーダンス状態にする制御を行います。

［“0” になる条件］

- リセット
- “1” を読んだ後、“0” を書いたとき

［“1” になる条件］

- “1” を書いたとき

19.2.8 ポートアウトプットイネーブルコントロールレジスタ 1（POECR1）

アドレス　0008 890Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	PE7ZE	PE6ZE	PE5ZE	PE4ZE	PE3ZE	PE2ZE	PE1ZE	PE0ZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PE0ZE	MTIOC0A ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b1	PE1ZE	MTIOC0B ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b2	PE2ZE	MTIOC0C ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b3	PE3ZE	MTIOC0D ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b4	PE4ZE	MTIOC6A ハイインピーダンス許可ルビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b5	PE5ZE	MTIOC6B ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b6	PE6ZE	MTIOC6C ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）
b7	PE7ZE	MTIOC6D ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W（注1）

注1.　リセット後、1回だけ書けます。

POECR1 レジスタは、端子のハイインピーダンス制御をするレジスタです。

PE0ZE ビット（MTIOC0A ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER. CH0HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、MTU0 用端子の P34/MTIOC0A をハイインピーダンス状態にするかどうか設定します。

PE1ZE ビット（MTIOC0B ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER. CH0HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、MTU0 用端子の P15/MTIOC0B をハイインピーダンス状態にするかどうか設定します。

PE2ZE ビット（MTIOC0C ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER. CH0HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、MTU0 用端子の P32/MTIOC0C をハイインピーダンス状態にするかどうか設定します。

PE3ZE ビット（MTIOC0D ハイインピーダンス許可ビット）

ICSR3.POE8F フラグ、SPOER. CH0HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、MTU0 用端子の P33/MTIOC0D をハイインピーダンス状態にするかどうか設定します。

PE4ZE ビット（MTIOC6A ハイインピーダンス許可ビット）

ICSR3.POE9F フラグ、SPOER.CH6HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、MTU6 用端子の PA0/MTIOC6A をハイインピーダンス状態にするかどうか設定します。

PE5ZE ビット（MTIOC6B ハイインピーダンス許可ビット）

ICSR3.POE9F フラグ、SPOER.CH6HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、MTU6 用端子の PA1/MTIOC6B をハイインピーダンス状態にするかどうか設定します。

PE6ZE ビット（MTIOC6C ハイインピーダンス許可ビット）

ICSR3.POE9F フラグ、SPOER.CH6HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、MTU6 用端子の PA2/MTIOC6C をハイインピーダンス状態にするかどうか設定します。

PE7ZE ビット（MTIOC6D ハイインピーダンス許可ビット）

ICSR3.POE9F フラグ、SPOER.CH6HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、MTU6 用端子の PA3/MTIOC6D をハイインピーダンス状態にするかどうか設定します。

19.2.9 ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）

アドレス　0008 890Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	P1CZEA	P2CZEA	P3CZEA	—	P1CZEB	P2CZEB	P3CZEB	—	P4CZE	P5CZE	P6CZE	—	—	—	—
リセット後の値	0	1	1	1	0	0	0	0	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	P6CZE	MTUポート6ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする	R/W（注1）
b5	P5CZE	MTUポート5ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする	R/W（注1）
b6	P4CZE	MTUポート4ハイインピーダンス許可ビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする	R/W（注1）
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	P3CZEB	MTUポート3ハイインピーダンス許可Bビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする	R/W（注1）
b9	P2CZEB	MTUポート2ハイインピーダンス許可Bビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする	R/W（注1）
b10	P1CZEB	MTUポート1ハイインピーダンス許可Bビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする	R/W（注1）
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	P3CZEA	MTUポート3ハイインピーダンス許可Aビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする	R/W（注1）
b13	P2CZEA	MTUポート2ハイインピーダンス許可Aビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする	R/W（注1）
b14	P1CZEA	MTUポート1ハイインピーダンス許可Aビット	0：出力レベル比較を行わず、ハイインピーダンスにしない 1：出力レベル比較を行い、ハイインピーダンスにする	R/W（注1）
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　リセット後、1回だけ書けます。

POECR2 レジスタは、端子のハイインピーダンス制御をするレジスタです。

P6CZE ビット（MTU ポート 6 ハイインピーダンスイネーブルビット）

OCSR2.OSF2 フラグ、ICSR2.POE4F, POE5F, POE6F, POE7F フラグ、SPOER.CH910HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、相補 PWM 出力用端子の PB6/MTIOC10B と PB7/MTIOC10D をハイインピーダンス状態にするかどうか設定します。

P5CZE ビット（MTU ポート 5 ハイインピーダンスイネーブルビット）

OCSR2.OSF2 フラグ、ICSR2.POE4F, POE5F, POE6F, POE7F フラグ、SPOER.CH910HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、相補 PWM 出力用端子の PB4/MTIOC10A と PB5/MTIOC10C をハイインピーダンス状態にするかどうか設定します。

P4CZE ビット（MTU ポート 4 ハイインピーダンスイネーブルビット）

OCSR2.OSF2 フラグ、ICSR2.POE4F, POE5F, POE6F, POE7F フラグ、SPOER.CH910HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、相補 PWM 出力用端子の PB2/MTIOC9B と PB3/MTIOC9D をハイインピーダンス状態にするかどうか設定します。

P3CZEB ビット（MTU ポート 3 ハイインピーダンスイネーブル B ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F, POE1F, POE2F, POE3F フラグ、SPOER.CH34HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、相補 PWM 出力用端子の P54/MTIOC4B-B と P55/MTIOC4D-B をハイインピーダンス状態にするかどうか設定します。

P2CZEB ビット（MTU ポート 2 ハイインピーダンスイネーブル B ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F, POE1F, POE2F, POE3F フラグ、SPOER.CH34HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、相補 PWM 出力用端子の P82/MTIOC4A-B と P83/MTIOC4C-B をハイインピーダンス状態にするかどうか設定します。

P1CZEB ビット（MTU ポート 1 ハイインピーダンスイネーブル B ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F, POE1F, POE2F, POE3F フラグ、SPOER.CH34HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、相補 PWM 出力用端子の P80/MTIOC3B-B と P81/MTIOC3D-B をハイインピーダンス状態にするかどうか設定します。

P3CZEA ビット（MTU ポート 3 ハイインピーダンスイネーブル A ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F, POE1F, POE2F, POE3F フラグ、SPOER.CH34HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、相補 PWM 出力用端子の P30/MTIOC4B-A と P31/MTIOC4D-A をハイインピーダンス状態にするかどうか設定します。

P2CZEA ビット（MTU ポート 2 ハイインピーダンスイネーブル A ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F, POE1F, POE2F, POE3F フラグ、SPOER. CH34HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、相補 PWM 出力用端子の P24/MTIOC4A-A と P25/MTIOC4C-A をハイインピーダンス状態にするかどうか設定します。

P1CZEA ビット（MTU ポート 1 ハイインピーダンスイネーブル A ビット）

OCSR1.OSF1 フラグ、ICSR1.POE0F, POE1F, POE2F, POE3F フラグ、SPOER. CH34HIZ ビット、ICU.NMISR.OSTST ビットのうち、どれか 1 つでも “1” になっているときに、相補 PWM 出力用端子の P22/MTIOC3B-A と P23/MTIOC3D-A をハイインピーダンス状態にするかどうか設定します。

19.3 動作説明

表 19.5 に、ハイインピーダンス制御の対象となる端子と、ハイインピーダンスになる条件を示します。

表19.5　ハイインピーダンス制御の対象と条件

端子	条件	条件詳細
MTU3用端子（P22/MTIOC3B-A、P23/MTIOC3D-A）	POE0#~POE3#端子の入力レベル検出動作またはP22/MTIOC3B端子とP23/MTIOC3D端子の出力レベル比較動作またはSPOERレジスタ設定または発振停止検出	P1CZEA • ((POE3F+POE2F+POE1F+POE0F) + (OSF1•OCE1) + (CH34HIZA) + (OSTST))
MTU4用端子（P24/MTIOC4A-A、P25/MTIOC4C-A）	POE0#~POE3#端子の入力レベル検出動作またはP24/MTIOC4A端子とP25/MTIOC4C端子の出力レベル比較動作またはSPOERレジスタ設定または発振停止検出	P2CZEA • ((POE3F+POE2F+POE1F+POE0F) + (OSF1•OCE1) + (CH34HIZ) + (OSTST))
MTU4用端子（P30/MTIOC4B-A、P31/MTIOC4D-A）	POE0#~POE3#端子の入力レベル検出動作またはP30/MTIOC4B端子とP31/MTIOC4D端子の出力レベル比較動作またはSPOERレジスタ設定または発振停止検出	P3CZEA • ((POE3F+POE2F+POE1F+POE0F) + (OSF1•OCE1) + (CH34HIZ) + (OSTST))
MTU3用端子（P80/MTIOC3B-B、P81/MTIOC3D-B）	POE0#~POE3#端子の入力レベル検出動作またはP80/MTIOC3B端子とP81/MTIOC3D端子の出力レベル比較動作またはSPOERレジスタ設定または発振停止検出	P1CZEB • ((POE3F+POE2F+POE1F+POE0F) + (OSF1•OCE1) + (CH34HIZ) + (OSTST))
MTU4用端子（P82/MTIOC4A-B、P83/MTIOC4C-B）	POE0#~POE3#端子の入力レベル検出動作またはP82/MTIOC4A端子とP83/MTIOC4C端子の出力レベル比較動作またはSPOERレジスタ設定または発振停止検出	P2CZEB • ((POE3F+POE2F+POE1F+POE0F) + (OSF1•OCE1) + (CH34HIZ) + (OSTST))
MTU4用端子（P54/MTIOC4B-B、P55/MTIOC4D-B）	POE0#~POE3#端子の入力レベル検出動作またはP54/MTIOC4B端子とP55/MTIOC4D端子の出力レベル比較動作またはSPOERレジスタ設定または発振停止検出	P3CZEB • ((POE3F+POE2F+POE1F+POE0F) + (OSF1•OCE1) + (CH34HIZ) + (OSTST))
MTU9用端子（PB2/MTIOC9B、PB3/MTIOC9D）	POE4#~POE7#端子の入力レベル検出動作またはPB2/MTIOC9B端子とPB3/MTIOC9D端子の出力レベル比較動作またはSPOERレジスタ設定または発振停止検出	P4CZE • ((POE4F+POE5F+POE6F+POE7F) + (OSF2•OCE2) + (CH910HIZ) + (OSTST))
MTU10用端子（PB4/MTIOC10A、PB5/MTIOC10C）	POE4#~POE7#端子の入力レベル検出動作またはPB4/MTIOC10A端子とPB5/MTIOC10C端子の出力レベル比較動作またはSPOERレジスタ設定または発振停止検出	P5CZE • ((POE4F+POE5F+POE6F+POE7F) + (OSF2•OCE2) + (CH910HIZ) + (OSTST))
MTU10用端子（PB6/MTIOC10B、PB7/MTIOC10D）	POE4#~POE7#端子の入力レベル検出動作またはPB6/MTIOC10B端子とPB7/MTIOC10D端子の出力レベル比較動作またはSPOERレジスタ設定または発振停止検出	P6CZE • ((POE4F+POE5F+POE6F+POE7F) + (OSF2•OCE2) + (CH910HIZ) + (OSTST))
MTU0端子（P34/MTIOC0A）	POE8#端子の入力レベル検出動作またはSPOERレジスタ設定または発振停止検出	PE0ZE • ((POE8F•POE8E) + (CH0HIZ) + (OSTST))
MTU0端子（P15/MTIOC0B）	POE8#端子の入力レベル検出動作またはSPOERレジスタ設定または発振停止検出	PE1ZE • ((POE8F•POE8E) + (CH0HIZ) + (OSTST))
MTU0端子（P32/MTIOC0C）	POE8#端子の入力レベル検出動作またはSPOERレジスタ設定または発振停止検出	PE2ZE • ((POE8F•POE8E) + (CH0HIZ) + (OSTST))
MTU0端子（P33/MTIOC0D）	POE8#端子の入力レベル検出動作またはSPOERレジスタ設定または発振停止検出	PE3ZE • ((POE8F•POE8E) + (CH0HIZ) + (OSTST))
MTU6端子（PA0/MTIOC6A）	POE9#端子の入力レベル検出動作またはSPOERレジスタ設定または発振停止検出	PE4ZE • ((POE9F•POE9E) + (CH6HIZ) + (OSTST))
MTU6端子（PA1/MTIOC6B）	POE9#端子の入力レベル検出動作またはSPOERレジスタ設定または発振停止検出	PE5ZE • ((POE9F•POE9E) + (CH6HIZ) + (OSTST))
MTU6端子（PA2/MTIOC6C）	POE9#端子の入力レベル検出動作またはSPOERレジスタ設定または発振停止検出	PE6ZE • ((POE9F•POE9E) + (CH6HIZ) + (OSTST))
MTU6端子（PA3/MTIOC6D）	POE9# 端子の入力レベル検出動作または SPOER レジスタ設定または発振停止検出	PE7ZE • ((POE9F•POE9E) + (CH6HIZ) + (OSTST))

19.3.1　入力レベル検出動作

ICSR1 ～ ICSR4 レジスタで設定した入力条件が POE0# ～ POE9# 端子に発生した場合、MTU 相補 PWM 出力用の端子および MTU0、MTU6 用端子をハイインピーダンス状態にします。ただし、MTU 相補 PWM 出力用の端子および MTU0、MTU6 用端子が汎用出力機能または MTU ユニット 0、MTU ユニット 1 機能が選択されていない場合にもハイインピーダンスになります。

(1)　立ち下がりエッジ検出

POE0# ～ POE9# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力用の端子および MTU0、MTU6 用端子をハイインピーダンス状態にします。

POE0# ～ POE9# 端子入力から端子のハイインピーダンスまでのタイミング例を図 19.2 に示します。

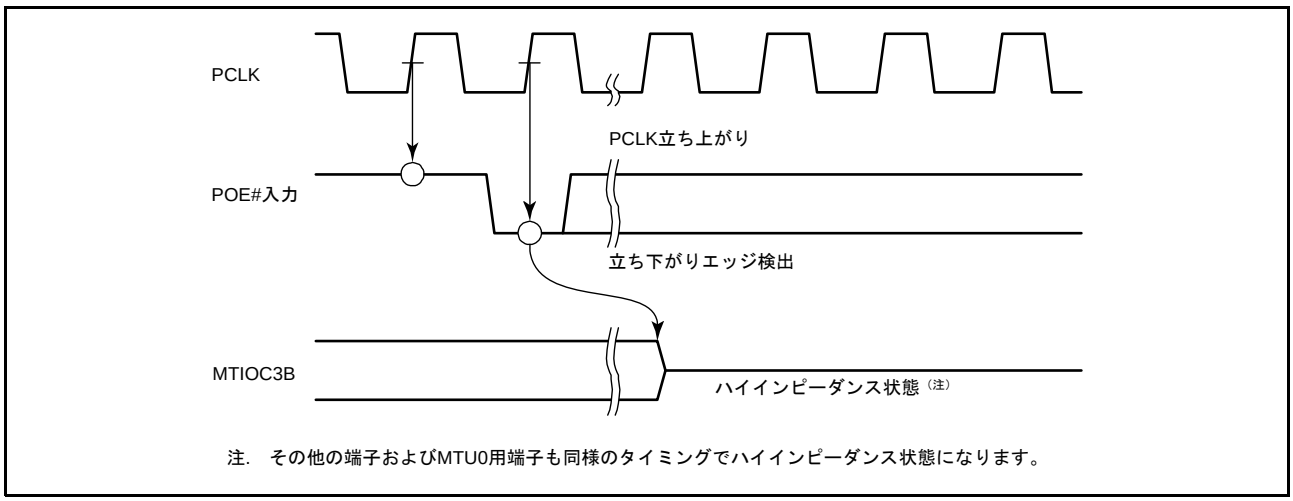


図 19.2　立ち下がりエッジ検出動作

(2)　Low レベル検出

図 19.3 に Low レベル検出動作を示します。ICSR1 ～ ICSR4 レジスタで設定したサンプリングクロックで、16 回連続した Low レベルをサンプリングします。このとき、1 度でも High を検出した場合は受け付けられません。

また、サンプリングクロックから MTU 相補 PWM 出力用の端子および MTU0、6 用の端子がハイインピーダンス状態になるタイミングは、立ち下がりエッジ検出、Low レベル検出ともに同じです。

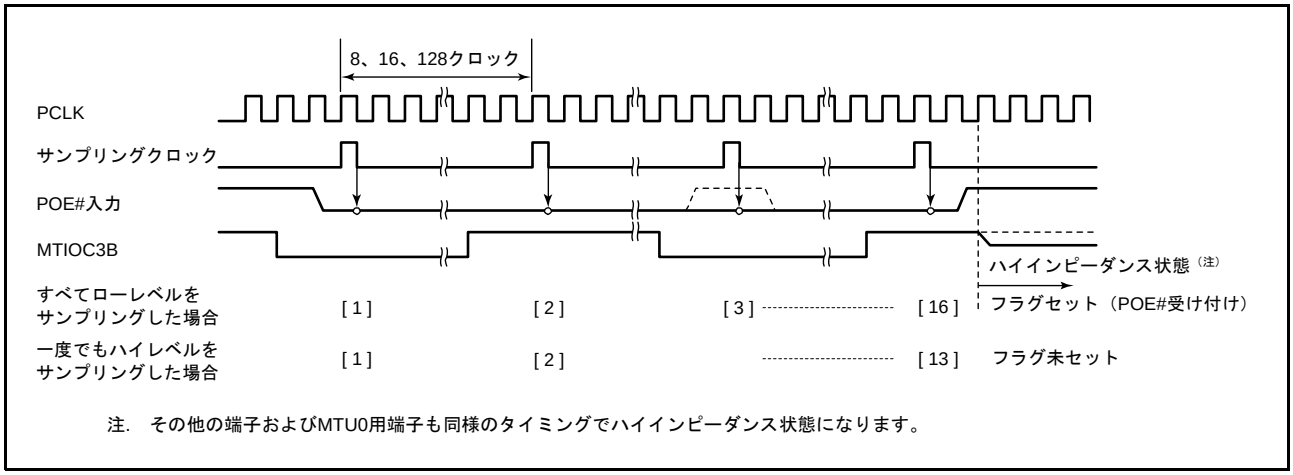


図 19.3　Low レベル検出動作

19.3.2　出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 19.4 に示します。他の端子の組み合わせについても同様です。

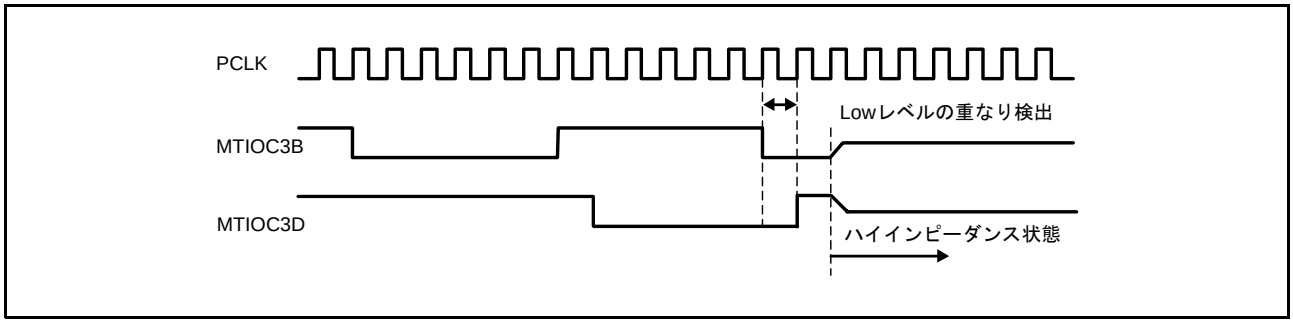


図 19.4　出力レベル比較動作

19.3.3　レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ（SPOER）により、直接、MTU の端子（MTU0, MTU6, MTU3, MTU4, MTU9, MTU10）のハイインピーダンス制御をします。

SPOER.CH34HIZ ビットに "1" を設定することで、ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）で設定した MTU3、MTU4 の端子をハイインピーダンス状態にします。

他の端子についても、SPOER レジスタ内のビット設定により同様にハイインピーダンス制御が行えます。

19.3.4　発振停止検出検知によるハイインピーダンス制御

クロック発生回路の発振停止検出回路により、発振停止が検出されると、ポートアウトプットイネーブルコントロールレジスタ 2（POECR2）で設定した MTU 相補 PWM 出力用の端子およびポートアウトプットイネーブルコントロールレジスタ 1（POECR1）で設定した MTU0、MTU6 の端子をハイインピーダンス状態にします。

19.3.5　ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった MTU 用の端子は、リセットで初期状態に戻すか、ICSR1.POE3F, POE2F, POE1F, POE0F フラグ、ICSR2.POE7F, POE6F, POE5F, POE4F フラグ、ICSR3.POE8F フラグ、ICSR4.POE9F フラグを “0” にすることにより解除されます。ただし、ICSR1.POE3M[1:0], POE2M[1:0], POE1M[1:0], POE0M[1:0] ビット、ICSR2.POE7M[1:0], POE6M[1:0], POE5M[1:0], POE4M[1:0] ビット、ICSR3.POE8M[1:0] ビット、ICSR4.POE9M[1:0] ビットで Low レベルサンプリングに設定している場合には、POE0# ～ POE9# 端子から High を入力して High をサンプリングした後でないと、フラグに対して “0” を書いても無効となりフラグはクリアされません。

出力レベル検出でハイインピーダンス状態になった MTU 用の端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、または OCSR2.OSF2 フラグを “0” にすることにより解除されます。OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを “0” にする場合は、端子から非アクティブレベルを出力するようにした後にしてください。非アクティブレベル出力は、MTU ユニット 0、MTU ユニット 1 内のレジスタを設定することで行うことができます。

19.4 割り込み

POE は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 19.6 に割り込みの種類と割り込み要求を出す条件を示します。

表 19.6　割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み 1	POE3F、POE2F、POE1F、POE0F、OSF1	PIE1•(POE0F+POE1F+POE2F+POE3F) + OIE1•OSF1
OEI2	アウトプットイネーブル割り込み 2	POE8F	PIE3•POE8F
OEI3	アウトプットイネーブル割り込み 3	POE4F、POE5F、POE6F、POE7F、OSF2	PIE2•(POE4F+POE5F+POE6F+POE7F) + OIE2•OSF2
OEI4	アウトプットイネーブル割り込み 4	POE9F	PIE4•POE9F

19.5 使用上の注意事項

POE を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、POE の動作が停止するため、端子のハイインピーダンス制御はできません。

POE による端子のハイインピーダンス制御は、リセット後、有効となっています。POE を使用しない場合は、POECR1 ～ POECR2 レジスタの対象ビットに “0” を書いてください。

20. プログラマブルパルスジェネレータ（PPG）

プログラマブルパルスジェネレータ（PPG）では、マルチファンクションタイマパルスユニット（MTU）をタイムベースとしてパルスを出力します。

RX62N グループ、RX621 グループには 2 ユニットの PPG を内蔵しています。1 ユニットは、16 ビットのパルス出力端子を持ち、4 ビット単位を 1 つのパルス出力グループとして構成しています。各パルス出力グループは同時に動作させることも、個別に動作させることもできます。

20.1 概要

表 20.1 に PPG の仕様を、表 20.2 に PPG 機能一覧を示します。

図 20.1、図 20.2 に PPG のブロック図を示します。

表20.1　PPGの仕様

項目	内容
出力ビット数	最大32ビット
パルス出力	• 4グループ×2ユニットを出力可能 • 出力トリガ信号を選択可能 • ノンオーバラップ動作可能 • 反転出力の指定可能
出力データ転送	DTC、DMACAとの連携動作可能（MTUの割り込み機能を使用時）
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

表20.2　PPG機能一覧

項目			PPG0	PPG1
PPG出力トリガ	MTU（ユニット0）のチャネル0～3（MTU0～MTU3）	コンペアマッチ	○	○
		インプットキャプチャ	○	○
	MTU（ユニット1）のチャネル6～9（MTU6～MTU9）	コンペアマッチ	－	○
		インプットキャプチャ	－	○
ノンオーバラップ動作			○	○
出力データ転送	DTC		○	○
	DMACA		○	○
反転出力の指定			○	○
モジュールストップの設定（注1）			MSTPCRA.MSTPA11ビット	MSTPCRA.MSTPA10ビット

【記号説明】　○：可能
－：不可能

注1.　詳細は「9. 消費電力低減機能」を参照してください。

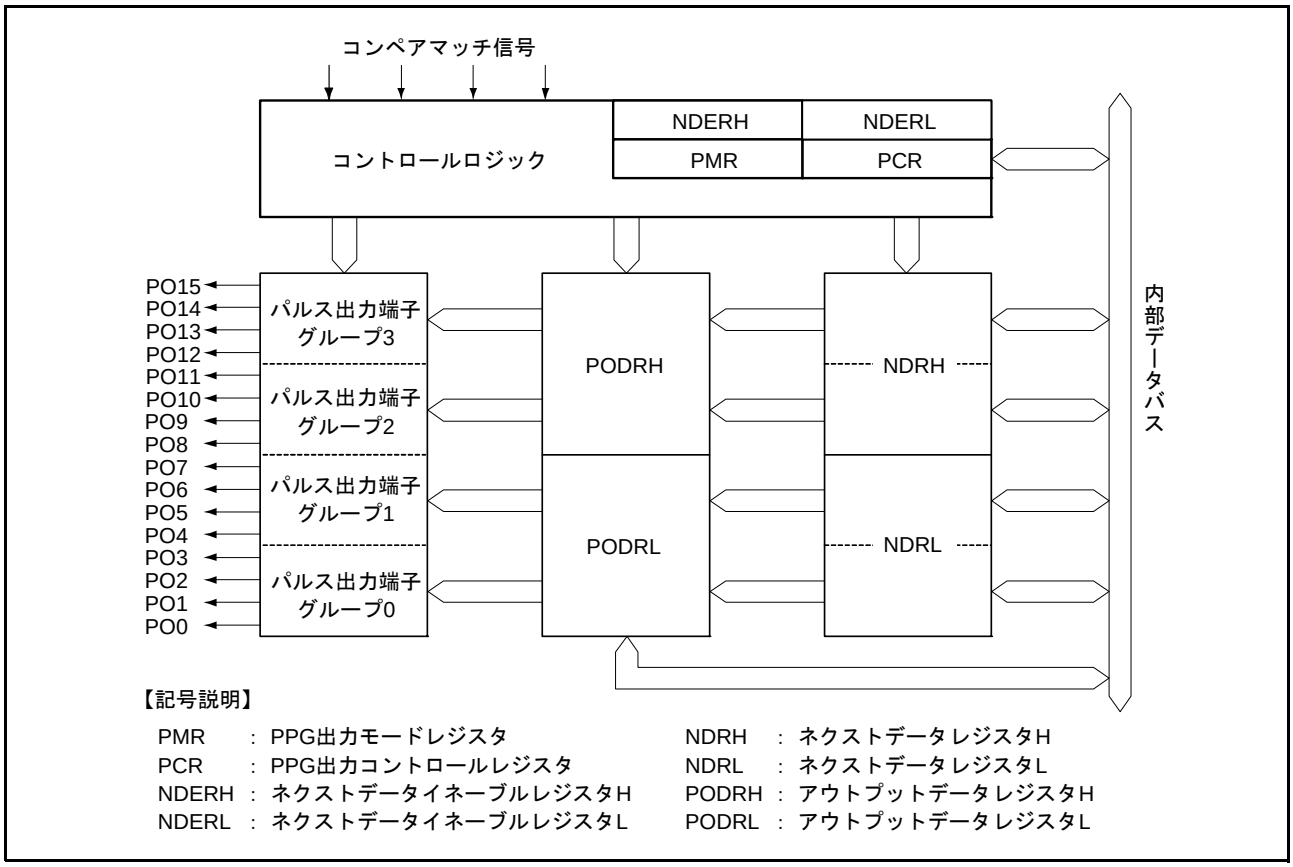


図 20.1　PPG（ユニット 0）のブロック図

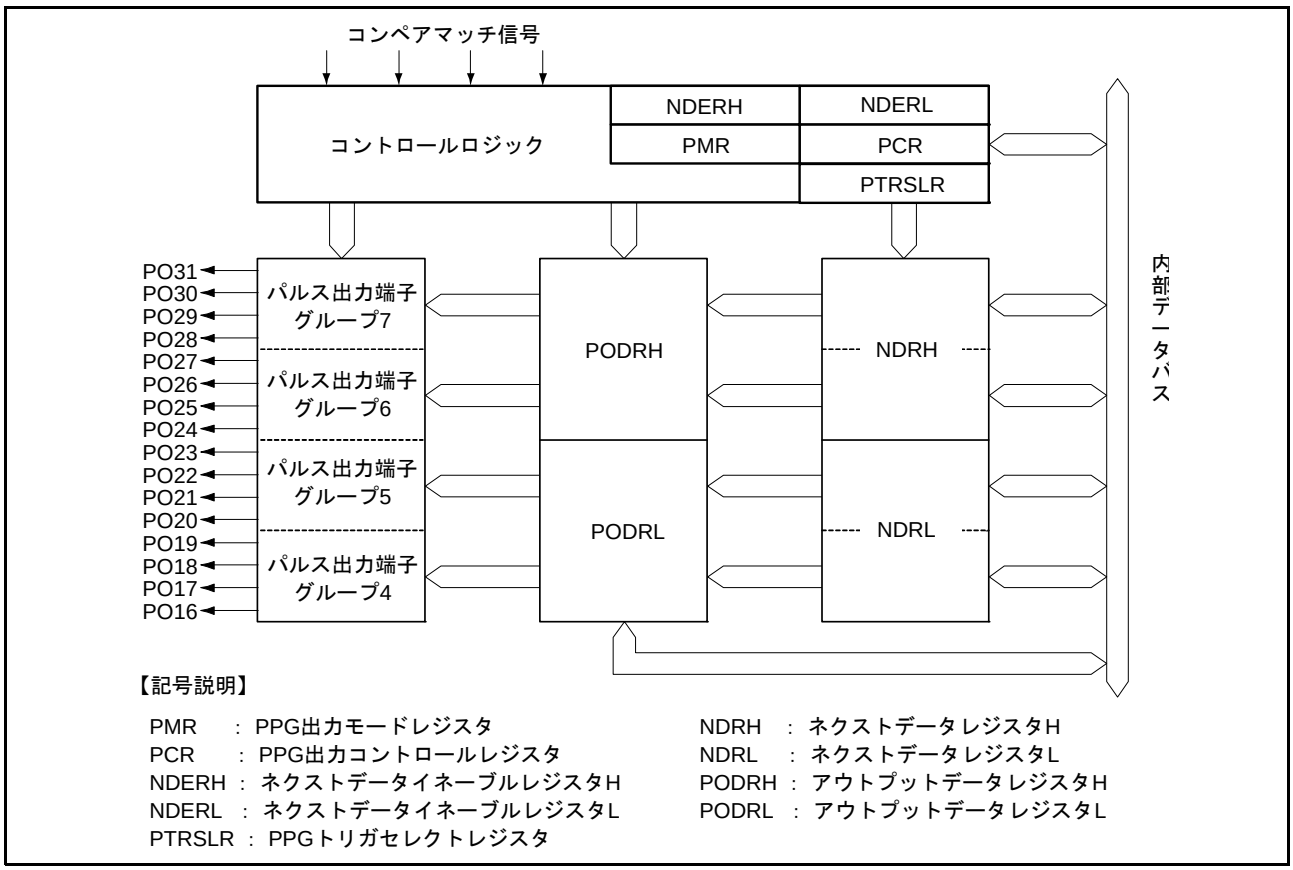


図 20.2　PPG（ユニット 1）のブロック図

表 20.3 に PPG の入出力端子を示します。

表20.3　PPGの入出力端子

ユニット	端子名	入出力	機　能
PPG0	PO0	出力	パルス出力グループ0のパルス出力
	PO1	出力	
	PO2	出力	
	PO3	出力	
	PO4	出力	パルス出力グループ1のパルス出力
	PO5	出力	
	PO6	出力	
	PO7	出力	
	PO8	出力	パルス出力グループ2のパルス出力
	PO9	出力	
	PO10	出力	
	PO11	出力	
	PO12	出力	パルス出力グループ3のパルス出力
	PO13	出力	
	PO14	出力	
	PO15	出力	
PPG1	PO16	出力	パルス出力グループ4のパルス出力
	PO17	出力	
	PO18	出力	
	PO19	出力	
	PO20	出力	パルス出力グループ5のパルス出力
	PO21	出力	
	PO22	出力	
	PO23	出力	
	PO24	出力	パルス出力グループ6のパルス出力
	PO25	出力	
	PO26	出力	
	PO27	出力	
	PO28	出力	パルス出力グループ7のパルス出力
	PO29	出力	
	PO30	出力	
	PO31	出力	

20.2 レジスタの説明

表 20.4 に PPG のレジスタ一覧を示します。

表20.4　PPGのレジスタ一覧

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
PPG0	PPG出力コントロールレジスタ	PCR	FFh	0008 81E6h	8
	PPG出力モードレジスタ	PMR	F0h	0008 81E7h	8
	ネクストデータイネーブルレジスタH	NDERH	00h	0008 81E8h	8
	ネクストデータイネーブルレジスタL	NDERL	00h	0008 81E9h	8
	アウトプットデータレジスタH	PODRH	00h	0008 81EAh	8
	アウトプットデータレジスタL	PODRL	00h	0008 81EBh	8
	ネクストデータレジスタH	NDRH	00h	0008 81ECh（注1）	8
	ネクストデータレジスタL	NDRL	00h	0008 81EDh（注2）	8
	ネクストデータレジスタH2	NDRH2	00h	0008 81EEh（注1）	8
	ネクストデータレジスタL2	NDRL2	00h	0008 81EFh（注2）	8
PPG1	PPGトリガセレクトレジスタ	PTRSLR	01h	0008 81F0h	8
	PPG出力コントロールレジスタ	PCR	FFh	0008 81F6h	8
	PPG出力モードレジスタ	PMR	F0h	0008 81F7h	8
	ネクストデータイネーブルレジスタH	NDERH	00h	0008 81F8h	8
	ネクストデータイネーブルレジスタL	NDERL	00h	0008 81F9h	8
	アウトプットデータレジスタH	PODRH	00h	0008 81FAh	8
	アウトプットデータレジスタL	PODRL	00h	0008 81FBh	8
	ネクストデータレジスタH	NDRH	00h	0008 81FCh（注3）	8
	ネクストデータレジスタL	NDRL	00h	0008 81FDh（注4）	8
	ネクストデータレジスタH2	NDRH2	00h	0008 81FEh（注3）	8
	ネクストデータレジスタL2	NDRL2	00h	0008 81FFh（注4）	8

注1.　PPG0.PCRの設定により、パルス出力グループ2とパルス出力グループ3の出力トリガ設定値が同一の場合は、PPG0.NDRHのアドレスは000881EChとなります。出力トリガが異なる場合は、パルス出力グループ2に対応するPPG0.NDRH2のアドレスは000881EEh、出力グループ3に対応するPPG0.NDRHは000881EChとなります。

注2.　PPG0.PCRの設定により、パルス出力グループ0とパルス出力グループ1の出力トリガ設定値が同一の場合は、PPG0.NDRLのアドレスは000881EDhとなります。出力トリガが異なる場合は、パルス出力グループ0に対応するPPG0.NDRL2のアドレスは000881EFh、出力グループ1に対応するPPG0.NDRLは000881EDhとなります。

注3.　PPG1.PCRの設定により、パルス出力グループ6とパルス出力グループ7の出力トリガ設定値が同一の場合は、PPG1.NDRHのアドレスは000881FChとなります。出力トリガが異なる場合は、パルス出力グループ6に対応するPPG1.NDRH2のアドレスは000881FEh、出力グループ7に対応するPPG1.NDRHは000881FChとなります。

注4.　PPG1.PCRの設定により、パルス出力グループ4とパルス出力グループ5の出力トリガ設定値が同一の場合は、PPG1.NDRLのアドレスは000881FDhとなります。出力トリガが異なる場合は、パルス出力グループ4に対応するPPG1.NDRL2のアドレスは000881FFh、出力グループ5に対応するPPG1.NDRLは000881FDhとなります。

20.2.1 PPG トリガセレクトレジスタ（PTRSLR）

アドレス　0008 81F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PTRSL
リセット後の値	0	0	0	0	0	0	0	1

- PPG1.PTRSLR

ビット	シンボル	ビット名	機能	R/W
b0	PTRSL	PPG トリガ選択ビット	0：PPG1のトリガはMTU0～3 1：PPG1のトリガはMTU6～9	R/W
b1-7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PPG1.PTRSLR レジスタは、トリガ入力を選択するレジスタです。

PTRSL ビット（PPG トリガ選択ビット）

PPG1 のトリガ入力を MTU0 ～ 3 または MTU 6 ～ 9 のいずれかの系統から選択します。
“0” にすると PPG1 へのトリガは MTU 0 ～ 3 に、“1” にすると PPG1 へのトリガは MTU 6 ～ 9 になります。

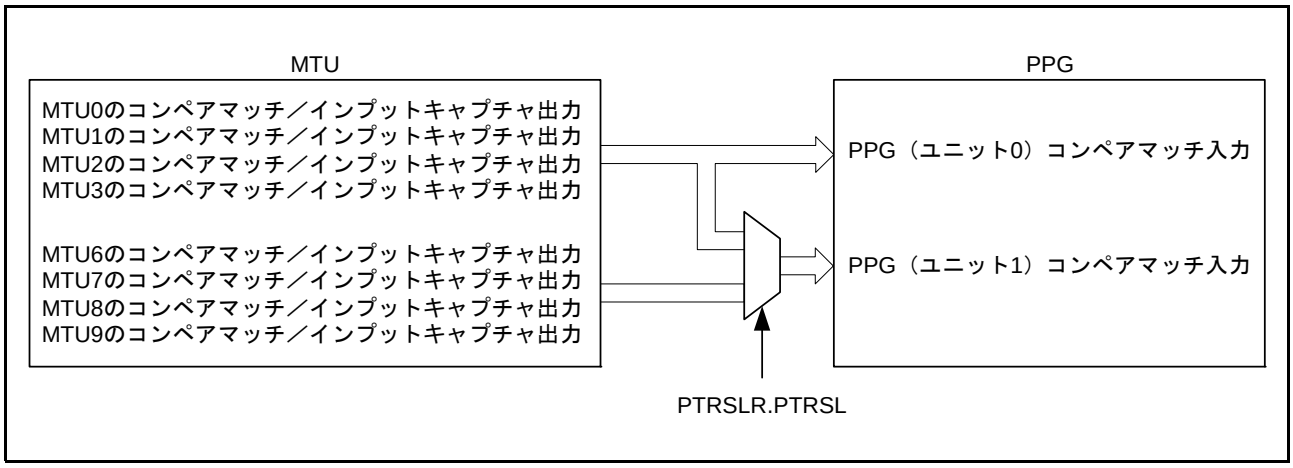


図 20.3　PPG トリガセレクトのブロック図

20.2.2 ネクストデータイネーブルレジスタ H（NDERH）、ネクストデータイネーブルレジスタ L（NDERL）

アドレス　0008 81E8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
リセット後の値	0	0	0	0	0	0	0	0

アドレス　0008 81E9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
リセット後の値	0	0	0	0	0	0	0	0

- PPG0.NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER8	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER9	ネクストデータ転送許可ビット		R/W
b2	NDER10	ネクストデータ転送許可ビット		R/W
b3	NDER11	ネクストデータ転送許可ビット		R/W
b4	NDER12	ネクストデータ転送許可ビット		R/W
b5	NDER13	ネクストデータ転送許可ビット		R/W
b6	NDER14	ネクストデータ転送許可ビット		R/W
b7	NDER15	ネクストデータ転送許可ビット		R/W

PPG0.NDERH レジスタは、PPG による PO8 ～ PO15 へのパルス出力をビット単位で許可 / 禁止するレジスタです。

NDERi ビット（ネクストデータ転送許可ビット）（i=8 ～ 15）

“1” にすると、PTRSLR レジスタで選択したトリガが発生したときに、PPG0.NDRH レジスタの対応するビットから PPG0.PODRH レジスタへデータが転送されます。“0” のビットは、PPG0.NDRH レジスタから PPG0.PODRH レジスタへのデータ転送は行われません。

- PPG0.NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER0	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER1	ネクストデータ転送許可ビット		R/W
b2	NDER2	ネクストデータ転送許可ビット		R/W
b3	NDER3	ネクストデータ転送許可ビット		R/W
b4	NDER4	ネクストデータ転送許可ビット		R/W
b5	NDER5	ネクストデータ転送許可ビット		R/W
b6	NDER6	ネクストデータ転送許可ビット		R/W
b7	NDER7	ネクストデータ転送許可ビット		R/W

PPG0.NDERL レジスタは、PPG による PO0 ～ PO7 へのパルス出力をビット単位で禁止 / 許可するレジスタです。

NDERi ビット（ネクストデータ転送許可ビット）（i=0 ～ 7）

“1” にすると、PTRSLR レジスタで選択したトリガが発生したときに、PPG0.NDRL レジスタの対応するビットから PPG0.PODRL レジスタへデータが転送されます。“0” のビットは、PPG0.NDRL レジスタから PPG0.PODRL レジスタへのデータ転送は行われません。

アドレス　0008 81F8h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERH	NDER31	NDER30	NDER29	NDER28	NDER27	NDER26	NDER25	NDER24
リセット後の値	0	0	0	0	0	0	0	0

アドレス　0008 81F9h

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDERL	NDER23	NDER22	NDER21	NDER20	NDER19	NDER18	NDER17	NDER16
リセット後の値	0	0	0	0	0	0	0	0

- PPG1.NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER24	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER25	ネクストデータ転送許可ビット		R/W
b2	NDER26	ネクストデータ転送許可ビット		R/W
b3	NDER27	ネクストデータ転送許可ビット		R/W
b4	NDER28	ネクストデータ転送許可ビット		R/W
b5	NDER29	ネクストデータ転送許可ビット		R/W
b6	NDER30	ネクストデータ転送許可ビット		R/W
b7	NDER31	ネクストデータ転送許可ビット		R/W

PPG1.NDERH レジスタは、PPG による PO24 ～ PO31 へのパルス出力をビット単位で禁止 / 許可するレジスタです。

NDERi ビット（ネクストデータ転送許可ビット）（i=24 ～ 31）

“1” にすると、PTRSLR レジスタで選択したトリガが発生したときに、PPG1.NDRH レジスタの対応するビットから PPG1.PODRH レジスタへデータが転送されます。“0” のビットは、PPG1.NDRH レジスタから PPG1.PODRH レジスタへのデータ転送は行われません。

- PPG1.NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER16	ネクストデータ転送許可ビット	0：データ転送禁止 1：データ転送許可	R/W
b1	NDER17	ネクストデータ転送許可ビット		R/W
b2	NDER18	ネクストデータ転送許可ビット		R/W
b3	NDER19	ネクストデータ転送許可ビット		R/W
b4	NDER20	ネクストデータ転送許可ビット		R/W
b5	NDER21	ネクストデータ転送許可ビット		R/W
b6	NDER22	ネクストデータ転送許可ビット		R/W
b7	NDER23	ネクストデータ転送許可ビット		R/W

PPG1.NDERL レジスタは、PPG による PO16 ～ PO23 へのパルス出力をビット単位で禁止 / 許可するレジスタです。

NDERi ビット（ネクストデータ転送許可ビット）（i=16 ～ 23）

“1” にすると、PTRSLR レジスタで選択したトリガが発生したときに、PPG1.NDRL レジスタの対応するビットから PPG1.PODRL レジスタへデータが転送されます。“0” のビットは、PPG1.NDRL レジスタから PPG1.PODRL レジスタへのデータ転送は行われません。

20.2.3 アウトプットデータレジスタ H（PODRH）、アウトプットデータレジスタ L（PODRL）

アドレス　0008 81EAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
リセット後の値	0	0	0	0	0	0	0	0

アドレス　0008 81EBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
リセット後の値	0	0	0	0	0	0	0	0

- PPG0.PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD8	アウトプットデータレジスタビット	PPG0.NDERH レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG0.NDRH レジスタの値がこのレジスタに転送されます。 PPG0.NDERH.NDERi(i=8～15) ビットのいずれかが“1”の期間、CPU からの書き込みはできません。PPG0.NDERH レジスタが“00h”の状態では、パルスの初期出力値を設定することができます	R/W
b1	POD9	アウトプットデータレジスタビット		R/W
b2	POD10	アウトプットデータレジスタビット		R/W
b3	POD11	アウトプットデータレジスタビット		R/W
b4	POD12	アウトプットデータレジスタビット		R/W
b5	POD13	アウトプットデータレジスタビット		R/W
b6	POD14	アウトプットデータレジスタビット		R/W
b7	POD15	アウトプットデータレジスタビット		R/W

PPG0.PODRH レジスタは、パルス出力値が格納されます。PPG0.NDERH レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG0.NDRH レジスタの値がこのレジスタに転送されます。

- PPG0.PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD0	アウトプットデータレジスタビット	PPG0.NDERL レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG0.NDRL レジスタの値がこのレジスタに転送されます。 PPG0.NDERL.NDERi(i=0～7) ビットのいずれかが“1”の期間、CPU から書き込みはできません。PPG0.NDERL レジスタが“00h”の状態では、パルスの初期出力値を設定することができます	R/W
b1	POD1	アウトプットデータレジスタビット		R/W
b2	POD2	アウトプットデータレジスタビット		R/W
b3	POD3	アウトプットデータレジスタビット		R/W
b4	POD4	アウトプットデータレジスタビット		R/W
b5	POD5	アウトプットデータレジスタビット		R/W
b6	POD6	アウトプットデータレジスタビット		R/W
b7	POD7	アウトプットデータレジスタビット		R/W

PPG0.PODRL レジスタは、パルス出力値が格納されます。PPG0.NDERL レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG0.NDRL レジスタの値がこのレジスタに転送されます。

アドレス　0008 81FAh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRH	POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24
リセット後の値	0	0	0	0	0	0	0	0

アドレス　0008 81FBh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.PODRL	POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16
リセット後の値	0	0	0	0	0	0	0	0

- PPG1.PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD24	アウトプットデータレジスタビット	PPG1.NDERH レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG1.NDRH レジスタの値がこのレジスタに転送されます。 PPG1.NDERH.NDERi(i=24～31) ビットのいずれかが “1”の期間、CPU から書き込みはできません。PPG1.NDERH レジスタが“00h”の状態では、パルスの初期出力値を設定することができます	R/W
b1	POD25	アウトプットデータレジスタビット		R/W
b2	POD26	アウトプットデータレジスタビット		R/W
b3	POD27	アウトプットデータレジスタビット		R/W
b4	POD28	アウトプットデータレジスタビット		R/W
b5	POD29	アウトプットデータレジスタビット		R/W
b6	POD30	アウトプットデータレジスタビット		R/W
b7	POD31	アウトプットデータレジスタビット		R/W

PPG1.PODRH レジスタは、パルス出力値が格納されます。PPG1.NDERH レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG1.NDRH レジスタの値がこのレジスタに転送されます。

- PPG1.PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD16	アウトプットデータレジスタビット	PPG1.NDERL レジスタでデータ転送許可に設定されたビットのみ、PPG 動作中、出力トリガが発生すると PPG1.NDRL レジスタの値がこのレジスタに転送されます。 PPG1.NDERL.NDERi(i=16～23) ビットのいずれかが“1”の期間、CPU から書き込みはできません。PPG1.NDERL レジスタが“00h”の状態では、パルスの初期出力値を設定することができます	R/W
b1	POD17	アウトプットデータレジスタビット		R/W
b2	POD18	アウトプットデータレジスタビット		R/W
b3	POD19	アウトプットデータレジスタビット		R/W
b4	POD20	アウトプットデータレジスタビット		R/W
b5	POD21	アウトプットデータレジスタビット		R/W
b6	POD22	アウトプットデータレジスタビット		R/W
b7	POD23	アウトプットデータレジスタビット		R/W

PPG1.PODRL レジスタは、パルス出力値が格納されます。PPG1.NDERL レジスタによりパルス出力に設定されたビットは、出力トリガによって PPG1.NDRL レジスタの値がこのレジスタに転送されます。

20.2.4 ネクストデータレジスタ H（NDRH）、ネクストデータレジスタ L（NDRL）

アドレス　NDRH 0008 81ECh、NDRH2 0008 81EEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
リセット後の値	0	0	0	0	0	0	0	0

アドレス　NDRL 0008 81EDh、NDRL2 0008 81EFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG0.NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
リセット後の値	0	0	0	0	0	0	0	0

- PPG0.NDRH

PPG0.NDRH レジスタは、パルス出力の次のデータを格納します。PPG0.NDRH レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 2、3 の出力トリガが同一の場合
パルス出力グループ 2、3 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

（0008 81ECh）

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b4	NDR12	ネクストデータレジスタビット		R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

(2) パルス出力グループ 2 とパルス出力グループ 3 で出力トリガが異なる場合
パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

（パルス出力グループ 3：0008 81ECh）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR12	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRH レジスタの対応するビットに転送されます	R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

（パルス出力グループ 2：0008 81EEh）

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- PPG0.NDRL

PPG0.NDRL レジスタは、パルス出力の次のデータを格納します。PPG0.NDRL レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

（1）パルス出力グループ 0、1 の出力トリガが同一の場合

パルス出力グループ 0、1 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

（0008 81EDh）

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b4	NDR4	ネクストデータレジスタビット		R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

（2）パルス出力グループ 0 とパルス出力グループ 1 で出力トリガが異なる場合

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

（パルス出力グループ 1：0008 81EDh）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR4	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRL レジスタの対応するビットに転送されます	R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

（パルス出力グループ 0：0008 81EFh）

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG0.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

アドレス　NDRH 0008 81FCh、NDRH2 0008 81FEh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDRH	NDR31	NDR30	NDR29	NDR28	NDR27	NDR26	NDR25	NDR24
リセット後の値	0	0	0	0	0	0	0	0

アドレス　NDRL 0008 81FDh、NDRL2 0008 81FFh

	b7	b6	b5	b4	b3	b2	b1	b0
PPG1.NDRL	NDR23	NDR22	NDR21	NDR20	NDR19	NDR18	NDR17	NDR16
リセット後の値	0	0	0	0	0	0	0	0

- PPG1.NDRH

PPG1.NDRH レジスタは、パルス出力の次のデータを格納します。PPG1.NDRH レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

（1）パルス出力グループ 6、7 の出力トリガが同一の場合

パルス出力グループ 6、7 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

（0008 81FCh）

ビット	シンボル	ビット名	機能	R/W
b0	NDR24	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR25	ネクストデータレジスタビット		R/W
b2	NDR26	ネクストデータレジスタビット		R/W
b3	NDR27	ネクストデータレジスタビット		R/W
b4	NDR28	ネクストデータレジスタビット		R/W
b5	NDR29	ネクストデータレジスタビット		R/W
b6	NDR30	ネクストデータレジスタビット		R/W
b7	NDR31	ネクストデータレジスタビット		R/W

（2）パルス出力グループ 6 とパルス出力グループ 7 で出力トリガが異なる場合

パルス出力グループ 6 とパルス出力グループ 7 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

（パルス出力グループ 7：0008 81FCh）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR28	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRH レジスタの対応するビットに転送されます	R/W
b5	NDR29	ネクストデータレジスタビット		R/W
b6	NDR30	ネクストデータレジスタビット		R/W
b7	NDR31	ネクストデータレジスタビット		R/W

（パルス出力グループ 6：0008 81FEh）

ビット	シンボル	ビット名	機能	R/W
b0	NDR24	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRH レジスタの対応するビットに転送されます	R/W
b1	NDR25	ネクストデータレジスタビット		R/W
b2	NDR26	ネクストデータレジスタビット		R/W
b3	NDR27	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- PPG1.NDRL

PPG1.NDRL レジスタは、パルス出力の次のデータを格納します。PPG1.NDRL レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

（1）パルス出力グループ 4、5 の出力トリガが同一の場合

パルス出力グループ 4、5 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

（0008 81FDh）

ビット	シンボル	ビット名	機能	R/W
b0	NDR16	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRL レジスタの対応するビットに転送されます。	R/W
b1	NDR17	ネクストデータレジスタビット		R/W
b2	NDR18	ネクストデータレジスタビット		R/W
b3	NDR19	ネクストデータレジスタビット		R/W
b4	NDR20	ネクストデータレジスタビット		R/W
b5	NDR21	ネクストデータレジスタビット		R/W
b6	NDR22	ネクストデータレジスタビット		R/W
b7	NDR23	ネクストデータレジスタビット		R/W

（2）パルス出力グループ 4 とパルス出力グループ 5 で出力トリガが異なる場合

パルス出力グループ 4 とパルス出力グループ 5 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

（パルス出力グループ 5：0008 81FDh）

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b4	NDR20	ネクストデータレジスタ	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRL レジスタの対応するビットに転送されます	R/W
b5	NDR21	ネクストデータレジスタ		R/W
b6	NDR22	ネクストデータレジスタ		R/W
b7	NDR23	ネクストデータレジスタ		R/W

（パルス出力グループ 4：0008 81FFh）

ビット	シンボル	ビット名	機能	R/W
b0	NDR16	ネクストデータレジスタ	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRL レジスタの対応するビットに転送されます	R/W
b1	NDR17	ネクストデータレジスタ		R/W
b2	NDR18	ネクストデータレジスタ		R/W
b3	NDR19	ネクストデータレジスタ		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

20.2.5 PPG 出力コントロールレジスタ（PCR）

アドレス　PPG0.PCR 0008 81E6h、PPG1.PCR 0008 81F6h

	b7	b6	b5	b4	b3	b2	b1	b0
	G3CMS[1:0]		G2CMS[1:0]		G1CMS[1:0]		G0CMS[1:0]	
リセット後の値	1	1	1	1	1	1	1	1

- PPG0.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ0コンペアマッチ選択ビット	b1 b0 0 0：MTU 0のコンペアマッチ 0 1：MTU 1のコンペアマッチ 1 0：MTU 2のコンペアマッチ 1 1：MTU 3のコンペアマッチ	R/W
b3-b2	G1CMS[1:0]	グループ1コンペアマッチ選択ビット	b3 b2 0 0：MTU 0のコンペアマッチ 0 1：MTU 1のコンペアマッチ 1 0：MTU 2のコンペアマッチ 1 1：MTU 3のコンペアマッチ	R/W
b5-b4	G2CMS[1:0]	グループ2コンペアマッチ選択ビット	b5 b4 0 0：MTU 0のコンペアマッチ 0 1：MTU 1のコンペアマッチ 1 0：MTU 2のコンペアマッチ 1 1：MTU 3のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ3コンペアマッチ選択ビット	b7 b6 0 0：MTU 0のコンペアマッチ 0 1：MTU 1のコンペアマッチ 1 0：MTU 2のコンペアマッチ 1 1：MTU 3のコンペアマッチ	R/W

- PPG1.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ4コンペアマッチ選択ビット	● PPG1.PTRSLR.PTRSLビットが“0”の場合 b1 b0 0 0：MTU 0のコンペアマッチ 0 1：MTU 1のコンペアマッチ 1 0：MTU 2のコンペアマッチ 1 1：MTU 3のコンペアマッチ ● PPG1.PTRSLR.PTRSLビットが“1”の場合 b1 b0 0 0：MTU 6のコンペアマッチ 0 1：MTU 7のコンペアマッチ 1 0：MTU 8のコンペアマッチ 1 1：MTU 9のコンペアマッチ	R/W

ビット	シンボル	ビット名	機能	R/W
b3-b2	G1CMS[1:0]	グループ5コンペアマッチ選択ビット	● PPG1.PTRSLR.PTRSLビットが“0”の場合 b3 b2 0 0：MTU 0のコンペアマッチ 0 1：MTU 1のコンペアマッチ 1 0：MTU 2のコンペアマッチ 1 1：MTU 3のコンペアマッチ ● PPG1.PTRSLR.PTRSLビットが“1”の場合 b3 b2 0 0：MTU 6のコンペアマッチ 0 1：MTU 7のコンペアマッチ 1 0：MTU 8のコンペアマッチ 1 1：MTU 9のコンペアマッチ	R/W
b5-b4	G2CMS[1:0]	グループ6コンペアマッチ選択ビット	● PPG1.PTRSLR.PTRSLビットが“0”の場合 b5 b4 0 0：MTU 0のコンペアマッチ 0 1：MTU 1のコンペアマッチ 1 0：MTU 2のコンペアマッチ 1 1：MTU 3のコンペアマッチ ● PPG1.PTRSLR.PTRSLビットが“1”の場合 b5 b4 0 0：MTU 6のコンペアマッチ 0 1：MTU 7のコンペアマッチ 1 0：MTU 8のコンペアマッチ 1 1：MTU 9のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ7コンペアマッチ選択ビット	● PPG1.PTRSLR.PTRSLビットが“0”の場合 b7 b6 0 0：MTU 0のコンペアマッチ 0 1：MTU 1のコンペアマッチ 1 0：MTU 2のコンペアマッチ 1 1：MTU 3のコンペアマッチ ● PPG1.PTRSLR.PTRSLビットが“1”の場合 b7 b6 0 0：MTU 6のコンペアマッチ 0 1：MTU 7のコンペアマッチ 1 0：MTU 8のコンペアマッチ 1 1：MTU 9のコンペアマッチ	R/W

PPGn.PCR レジスタ (n=0、1) は、パルス出力トリガ信号をグループ単位で選択するレジスタです。
出力トリガの選択については、「20.2.6　PPG 出力モードレジスタ（PMR）」を参照してください。

GiCMS[1:0] ビット（グループ j コンペアマッチ選択ビット）（i=0 ～ 3、j=0 ～ 7）

パルス出力グループ j の出力トリガを選択します。

20.2.6 PPG 出力モードレジスタ（PMR）

アドレス　PPG0.PMR 0008 81E7h、PPG1.PMR 0008 81F7h

	b7	b6	b5	b4	b3	b2	b1	b0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
リセット後の値	1	1	1	1	0	0	0	0

- PPG0.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ0ノンオーバラップビット	0：通常動作 （選択されたMTUnのTGRAレジスタのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのTGRAおよびTGRBレジスタのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b1	G1NOV	グループ1ノンオーバラップビット	0：通常動作 （選択されたMTUnのTGRAレジスタのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのTGRAおよびTGRBレジスタのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b2	G2NOV	グループ2ノンオーバラップビット	0：通常動作 （選択されたMTUnのTGRAレジスタのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのTGRAおよびTGRBレジスタのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b3	G3NOV	グループ3ノンオーバラップビット	0：通常動作 （選択されたMTUnのTGRAレジスタのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのTGRAおよびTGRBレジスタのコンペアマッチA、Bで出力値を更新） （n = 0～3）	R/W
b4	G0INV	グループ0出力極性変更ビット	0：反転出力 1：直接出力	R/W
b5	G1INV	グループ1出力極性変更ビット	0：反転出力 1：直接出力	R/W
b6	G2INV	グループ2出力極性変更ビット	0：反転出力 1：直接出力	R/W
b7	G3INV	グループ3出力極性変更ビット	0：反転出力 1：直接出力	R/W

- PPG1.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ4ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n=0～3、6～9）	R/W
b1	G1NOV	グループ5ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n=0～3、6～9）	R/W
b2	G2NOV	グループ6ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n=0～3、6～9）	R/W
b3	G3NOV	グループ7ノンオーバラップビット	0：通常動作 （選択されたMTUnのコンペアマッチAで出力値を更新） 1：ノンオーバラップ動作 （選択されたMTUnのコンペアマッチA、Bで出力値を更新） （n=0～3、6～9）	R/W
b4	G0INV	グループ4出力極性変更ビット	0：反転出力 1：直接出力	R/W
b5	G1INV	グループ5出力極性変更ビット	0：反転出力 1：直接出力	R/W
b6	G2INV	グループ6出力極性変更ビット	0：反転出力 1：直接出力	R/W
b7	G3INV	グループ7出力極性変更ビット	0：反転出力 1：直接出力	R/W

PPGn.PMR レジスタ (n=0、1) は、PPG のパルス出力モードをグループ単位で設定するレジスタです。

反転出力に設定すると PPGn.PODRH レジスタ、PPGn.PODRL レジスタの値が “1” のとき端子に Low を、PPGn.PODRH レジスタ、PPGn.PODRL レジスタの値が “0” のとき端子に High を出力します。また、ノンオーバラップ動作に設定すると PPG は、出力トリガとなる MTU のコンペアマッチ A、B で出力値を更新します。

詳細は、「20.3.4　パルス出力ノンオーバラップ動作」を参照してください。

GiNOV ビット（グループ j ノンオーバラップビット）（i=0 ～ 3、j=0 ～ 7）

パルス出力グループ j を通常動作させるか、ノンオーバラップ動作させるかを選択します。

GiINV ビット（グループ j 出力極性変更ビット）（i=0 ～ 3、j=0 ～ 7）

パルス出力グループ j を直接出力させるか反転出力させるかを選択します。

20.3 動作説明

PPG 概要図を図 20.4 に示します。

PPG は、PPGn.NDERH、PPGn.NDERL レジスタ (n=0、1) の対応するビットをそれぞれ “1”（データ転送許可）に設定することにより、パルス出力状態となります。

初期出力値は、対応する PPGn.PODRH、PPGn.PODRL レジスタの初期設定値に依存します。その後、PPGn.PCR レジスタで指定したコンペアマッチが発生すると、対応する PPGn.NDRH、PPGn.NDRL レジスタの値がそれぞれ PPGn.PODRH、PPGn.PODRL レジスタに転送されて出力値が更新されます。

次のコンペアマッチが発生するまでに PPGn.NDRH、PPGn.NDRL レジスタに出力データを書くことにより、コンペアマッチの度に最大 16 ビットのデータを順次出力することができます。

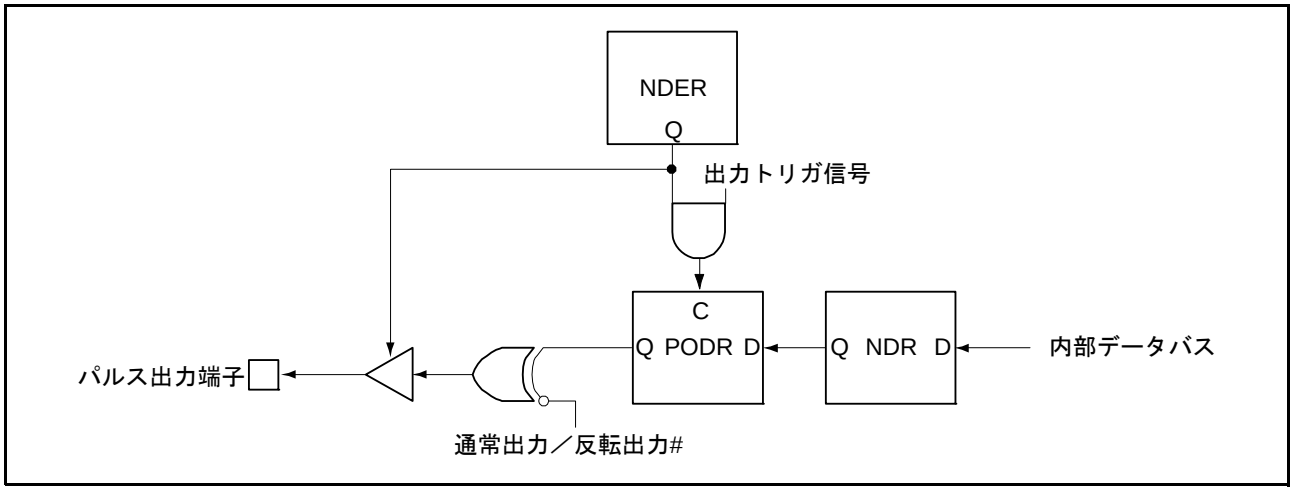


図 20.4　PPG 概要図

20.3.1　出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、PPGn.NDRH、PPGn.NDRL レジスタ(n=0、1) の値が PPGn.PODRH、PPGn.PODRL レジスタに転送され、出力されます。

このタイミングを図 20.5 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

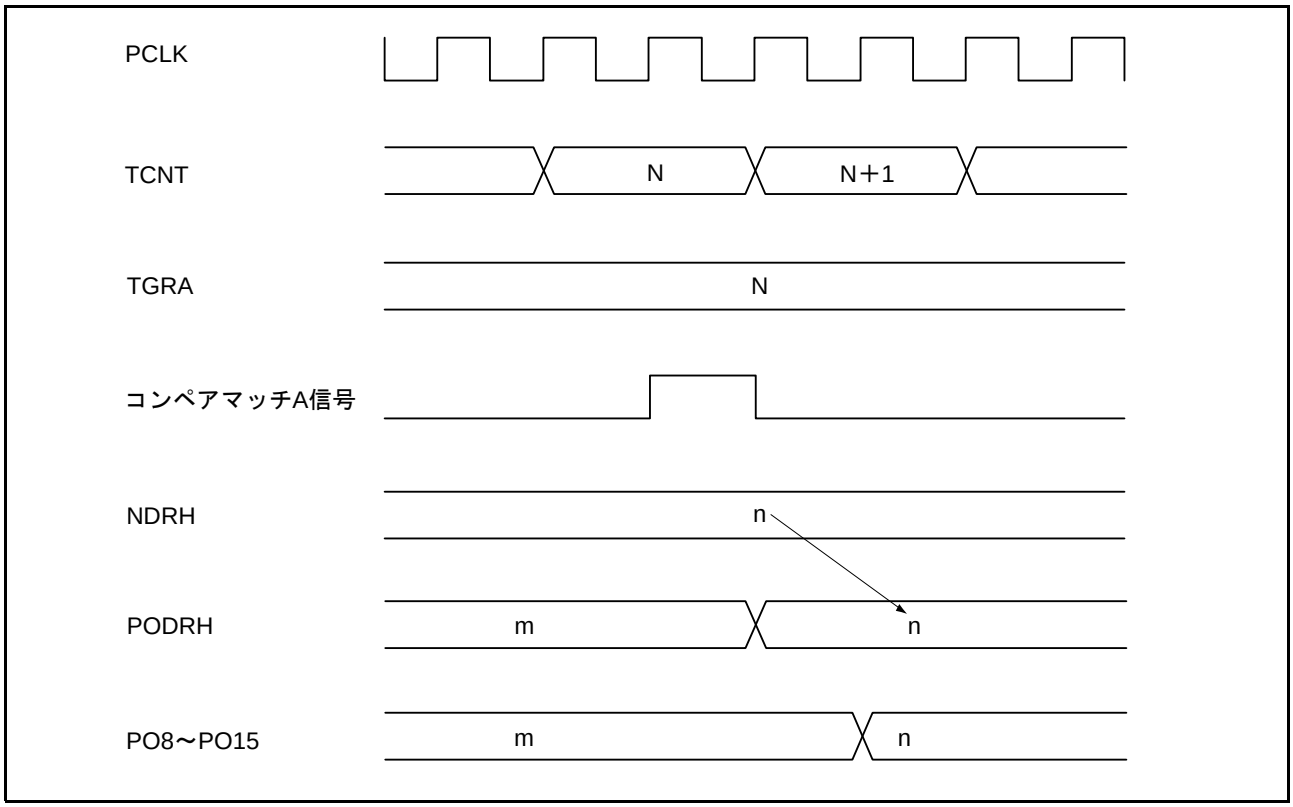


図 20.5　NDR レジスタの値が転送・出力されるタイミング例

20.3.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 20.6、図 20.7 に示します。

（1）PPG0 の設定

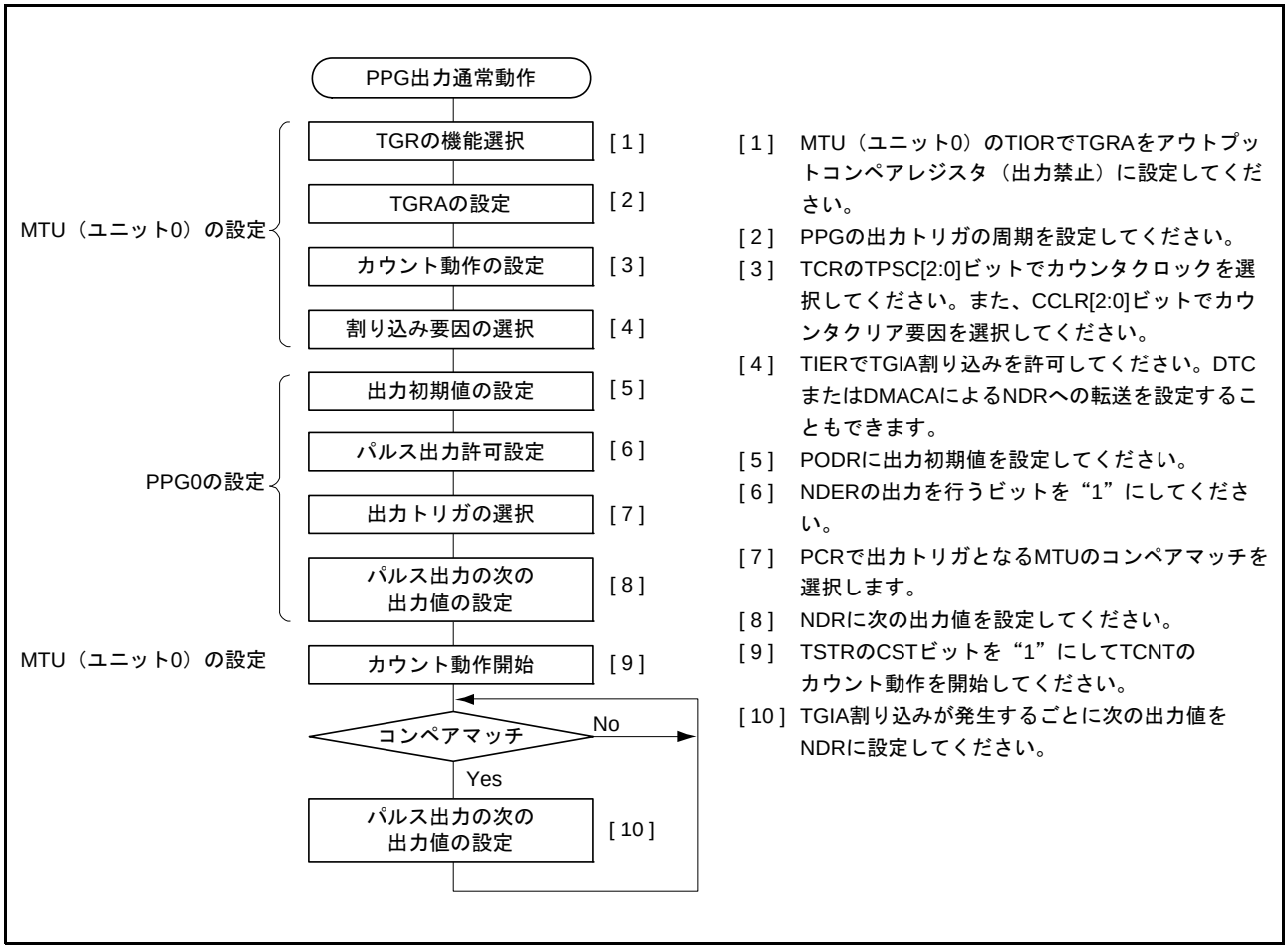
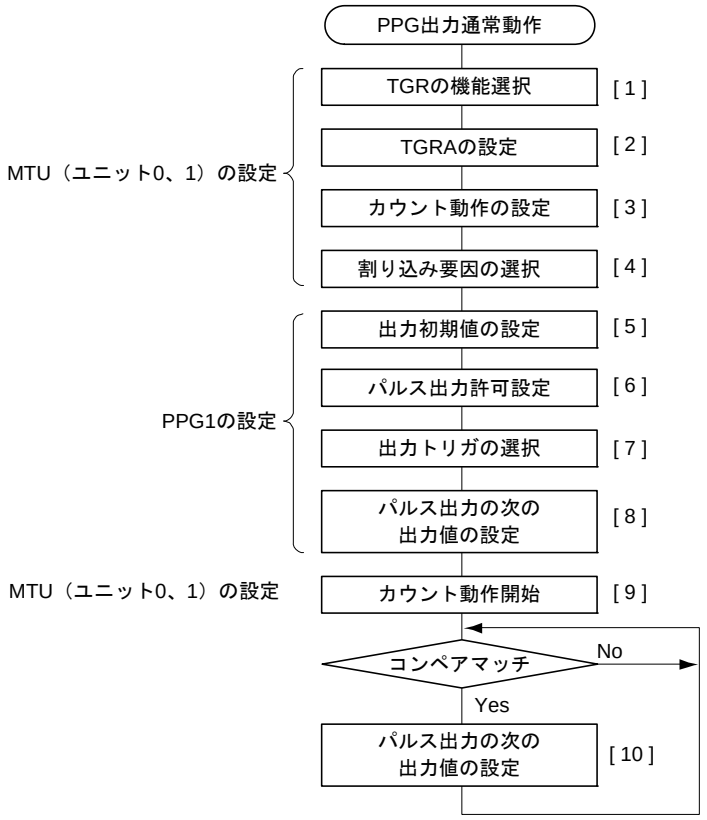


図 20.6　パルス出力通常動作の設定手順例（PPG0 の設定）

（2）PPG1 の設定



[1] MTU（ユニット0）の場合、TIORでTGRAをアウトプットコンペアレジスタ（出力禁止）に設定してください。
MTU（ユニット1）の場合、TIORでTGRAをアウトプットコンペアレジスタ（トグル出力）に設定してください。

[2] PPGの出力トリガの周期を設定してください。

[3] TCRのTPSC[2:0]ビットでカウンタクロックを選択してください。また、CCLR[2:0]ビットでカウンタクリア要因を選択してください。

[4] TIERでTGIA割り込みを許可してください。DTCまたはDMACAによるNDRへの転送を設定することもできます。

[5] PODRに出力初期値を設定してください。

[6] NDERの出力を行うビットを“1”にしてください。

[7] PTRSLRとPCRで出力トリガとなるMTUのコンペアマッチを選択します。

[8] NDRに出力の次の出力値を設定してください。

[9] TSTRのCSTビットを“1”にしてTCNTのカウント動作を開始してください。

[10]TGIA割り込みが発生するごとに次の出力値をNDRに設定してください。

図 20.7　パルス出力通常動作の設定手順例（PPG1 の設定）

20.3.3 パルス出力通常動作例（5 相パルス出力例）

パルス出力を使用して一定周期で 5 相パルスを出力させた PPG0 の例を図 20.8 に示します。

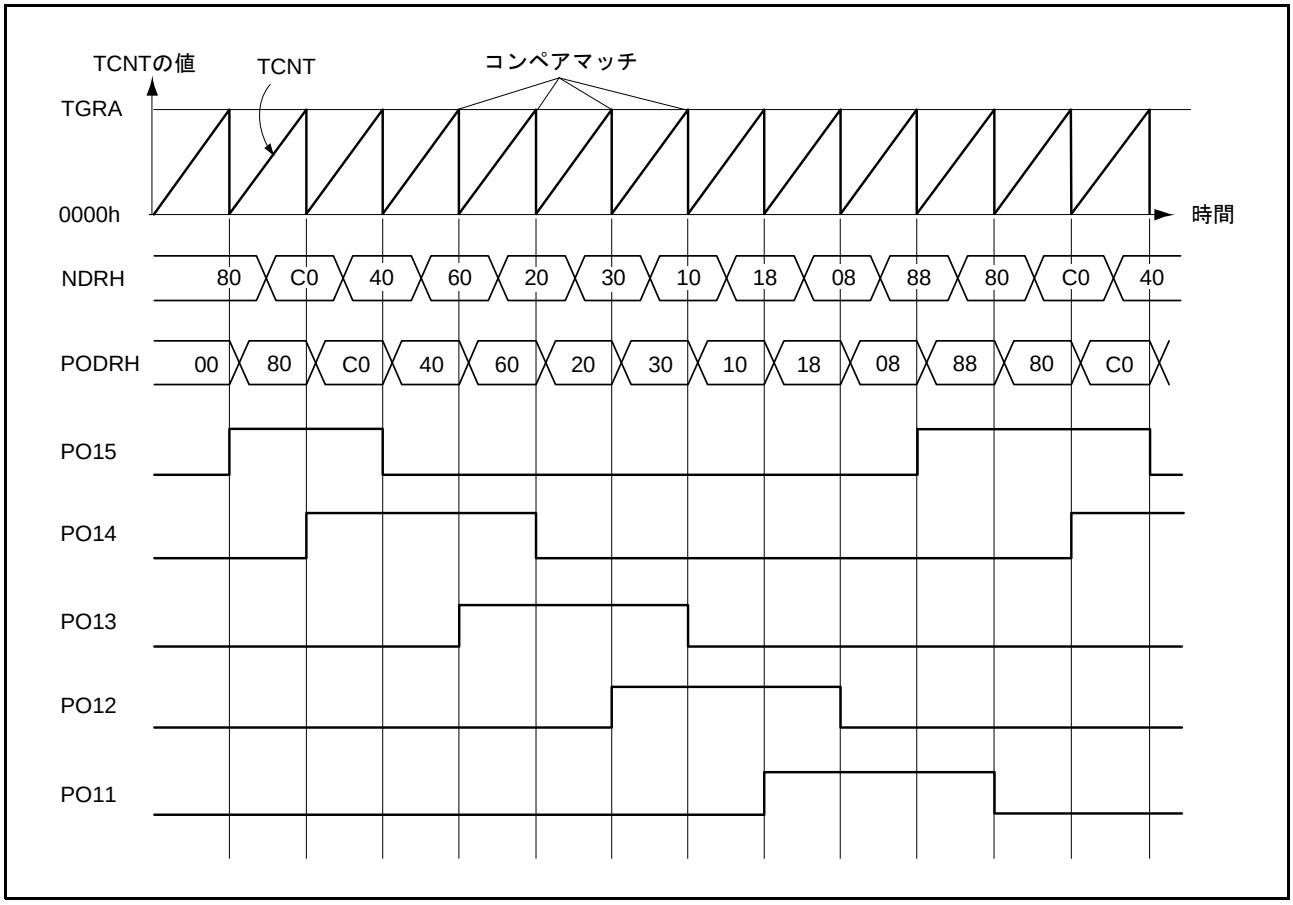


図 20.8　パルス出力通常動作例（5 相パルス出力例）

1. 出力トリガとする MTU の MTUn.TGRA レジスタ (n=0 ～ 3) をアウトプットコンペアレジスタに設定します。TGRA レジスタには周期を設定し、コンペアマッチ A によるカウンタクリアを選択します。また、MTUn.TIER.TGIEA ビットを “1” にして、コンペアマッチ／インプットキャプチャ A（TGInA）割り込み要求を許可します。
2. PPG0.NDERH レジスタに F8h を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した MTUn のコンペアマッチに出力トリガを設定します。PPG0.NDRH レジスタに出力データ 80h を書きます。
3. MTU 当該チャネルの動作を開始しコンペアマッチ A が発生すると、PPG0.NDRH レジスタの値が PPG0.PODRH レジスタに転送され出力されます。TGInA 割り込み処理で、PPG0.NDRH レジスタに次の出力データ C0h を書きます。
4. 以後、TGInA 割り込みで順次 40h、60h、20h、30h、10h、18h、08h、88h… を書くことで、5 相の 1 － 2 相パルス出力を行うことができます。
   TGInA 割り込みで DTC または DMACA を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

20.3.4 パルス出力ノンオーバラップ動作

ノンオーバラップ動作時の PPGn.NDRH、PPGn.NDRL レジスタ (n=0、1) から PPGn.PODRH、PPGn.PODRL レジスタへの転送は、以下のようになっています。

- コンペアマッチ A では PPGn.NDRH、PPGn.NDRL レジスタの値を常に PPGn.PODRH、PPGn.PODRL レジスタへ転送します。
- コンペアマッチ B では PPGn.NDRH、PPGn.NDRL レジスタの転送するビットの内容が “0” のときのみ転送を行います。“1” のときは転送を行いません。

ノンオーバラップ時のパルス出力動作を図 20.9 に示します。

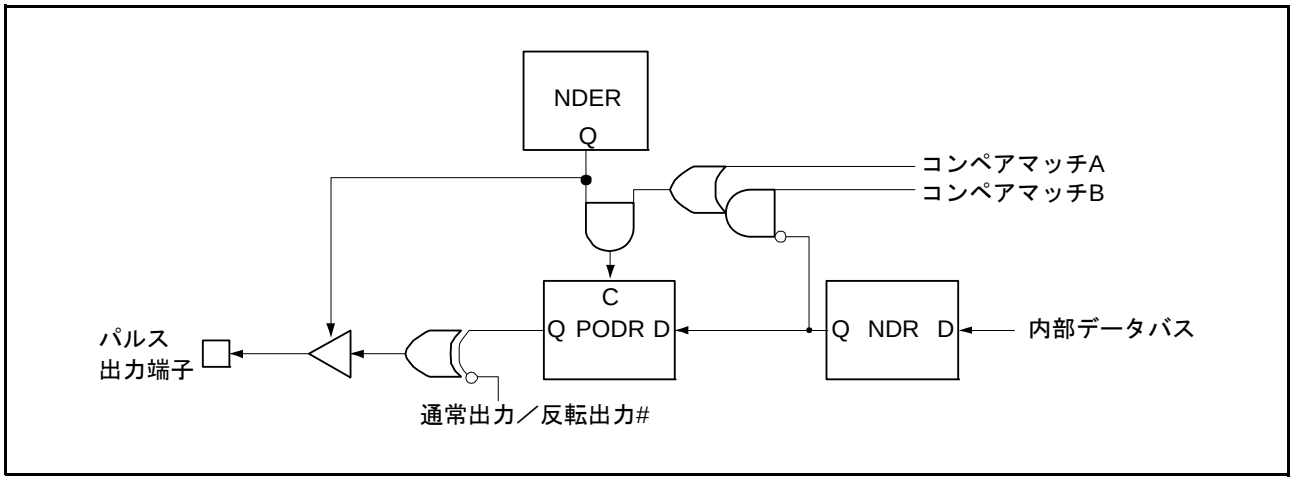


図 20.9　パルス出力ノンオーバラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまでの間（ノンオーバラップ期間）の間、PPGn.NDRH、PPGn.NDRL レジスタの値を変更しないでください。そのためには TGIA 割り込みの割り込み処理ルーチンで、PPGn.NDRH、PPGn.NDRL レジスタに次のデータを書いてください。また、TGIA 割り込みで DTC または DMACA を起動することもできます。ただし、この書き込みは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 20.10 に示します。

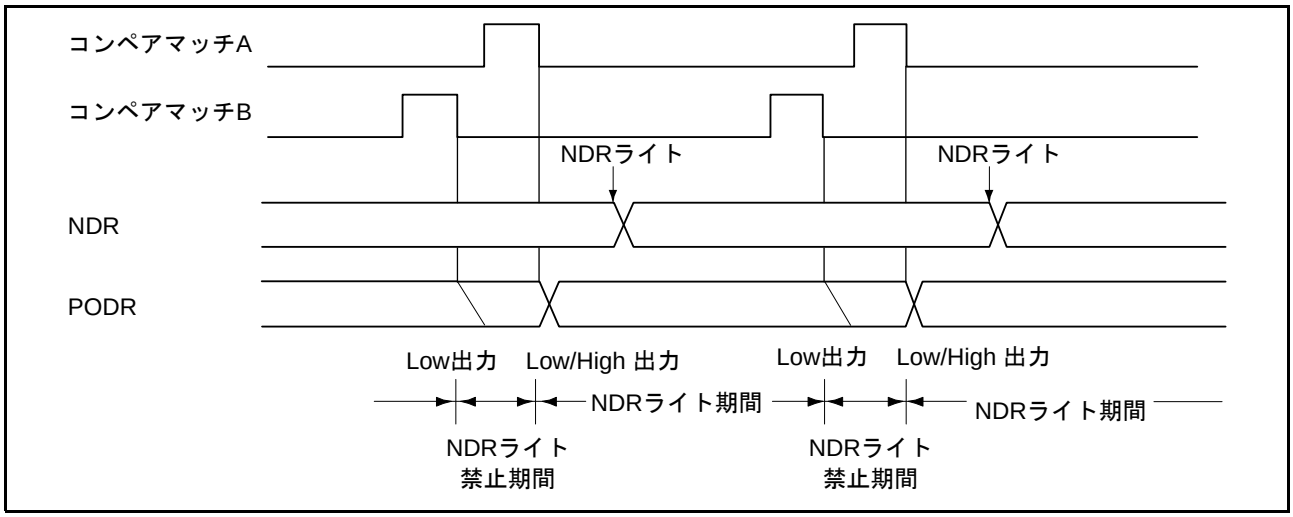


図 20.10　ノンオーバラップ動作と PPGn.NDRH、PPGn.NDRL レジスタ書き込みタイミング

20.3.5 ノンオーバラップ動作のパルス出力設定手順例

パルス出力ノンオーバラップ動作の設定手順例を図 20.11、図 20.12 に示します。

（1）PPG0 の設定

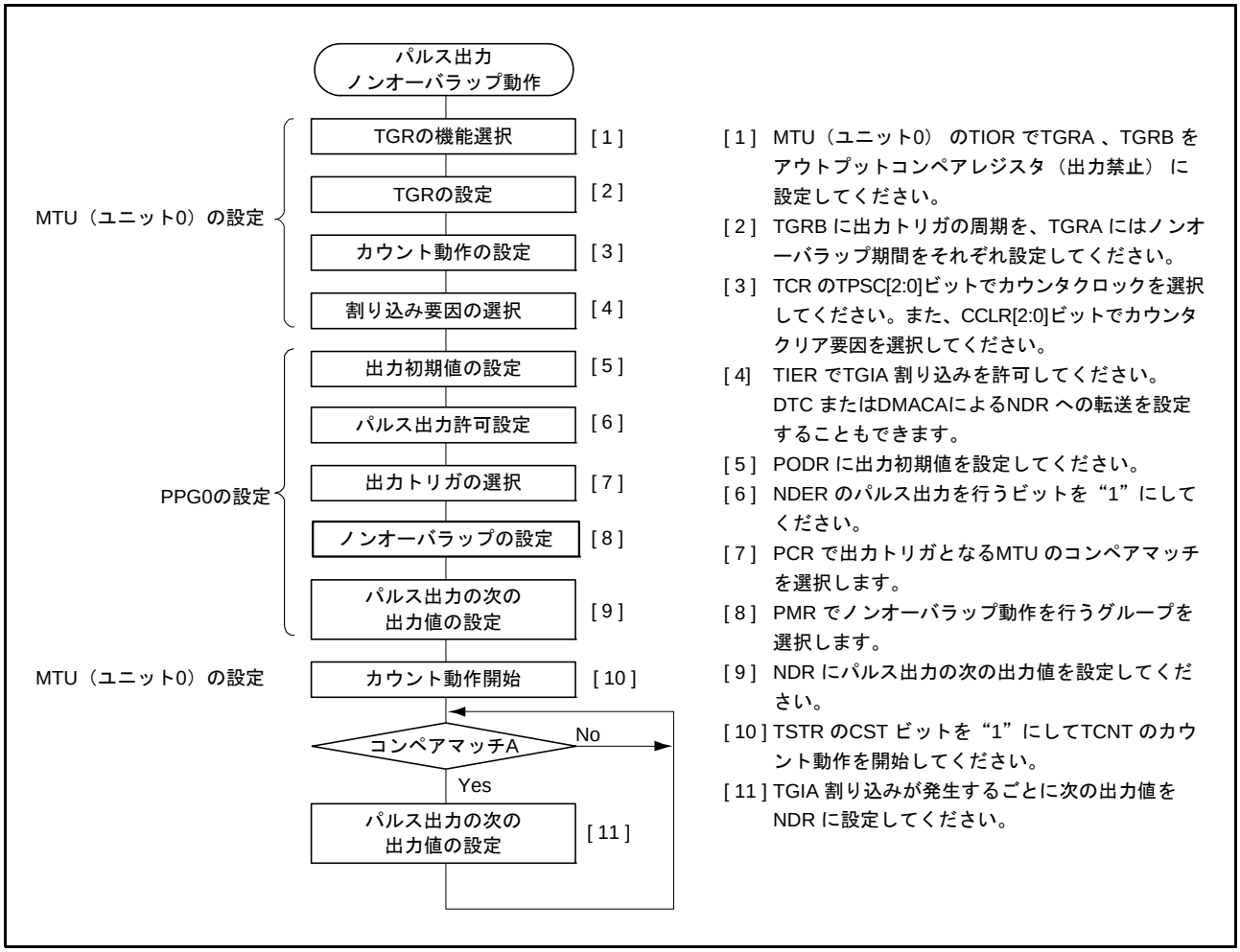
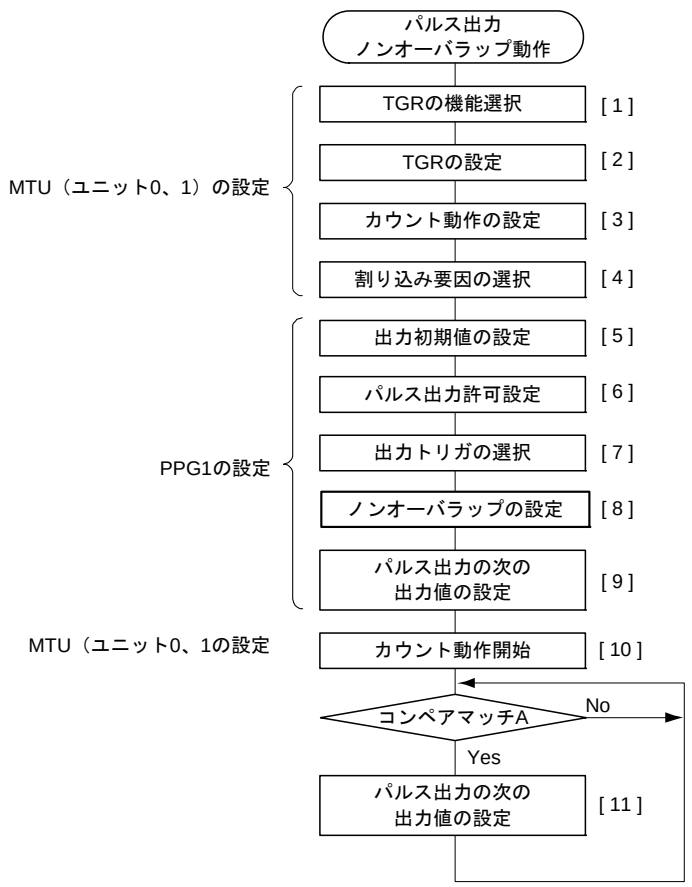


図 20.11　パルス出力ノンオーバラップ動作の設定手順例（PPG0 の設定）

（2）PPG1 の設定



[1] MTU（ユニット0）の場合、TIORでTGRA、TGRBをアウトプットコンペアレジスタ（出力禁止）に設定してください。
MTU（ユニット1）の場合、TIORでTGRA、TGRBをアウトプットコンペアレジスタ（トグル出力）に設定してください。

[2] TGRBに出力トリガの周期を、TGRAにはノンオーバラップ期間をそれぞれ設定してください。

[3] TCRのTPSC[2:0]ビットでカウンタクロックを選択してください。また、CCLR[2:0]ビットでカウンタクリア要因を選択してください。

[4] TIERでTGIA割り込みを許可してください。DTCまたはDMACAによるNDRへの転送を設定することもできます。

[5] PODR に出力初期値を設定してください。

[6] NDERのパルス出力を行うビットを“1”にしてください。

[7] PTRSLRとPCRで出力トリガとなるMTUのコンペアマッチを選択します。

[8] PMRでノンオーバラップ動作を行うグループを選択します。

[9] NDRにパルス出力の次の出力値を設定してください。

[10] TSTR のCST ビットを“1”にしてTCNTのカウント動作を開始してください。

[11] TGIA割り込みが発生するごとに次の出力値をNDRに設定してください。

図 20.12　パルス出力ノンオーバラップ動作の設定手順例（PPG1 の設定）

20.3.6 パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力例）

パルス出力を使用して4相の相補ノンオーバラップのパルスを出力させたPPG0の例を図20.13に示します。

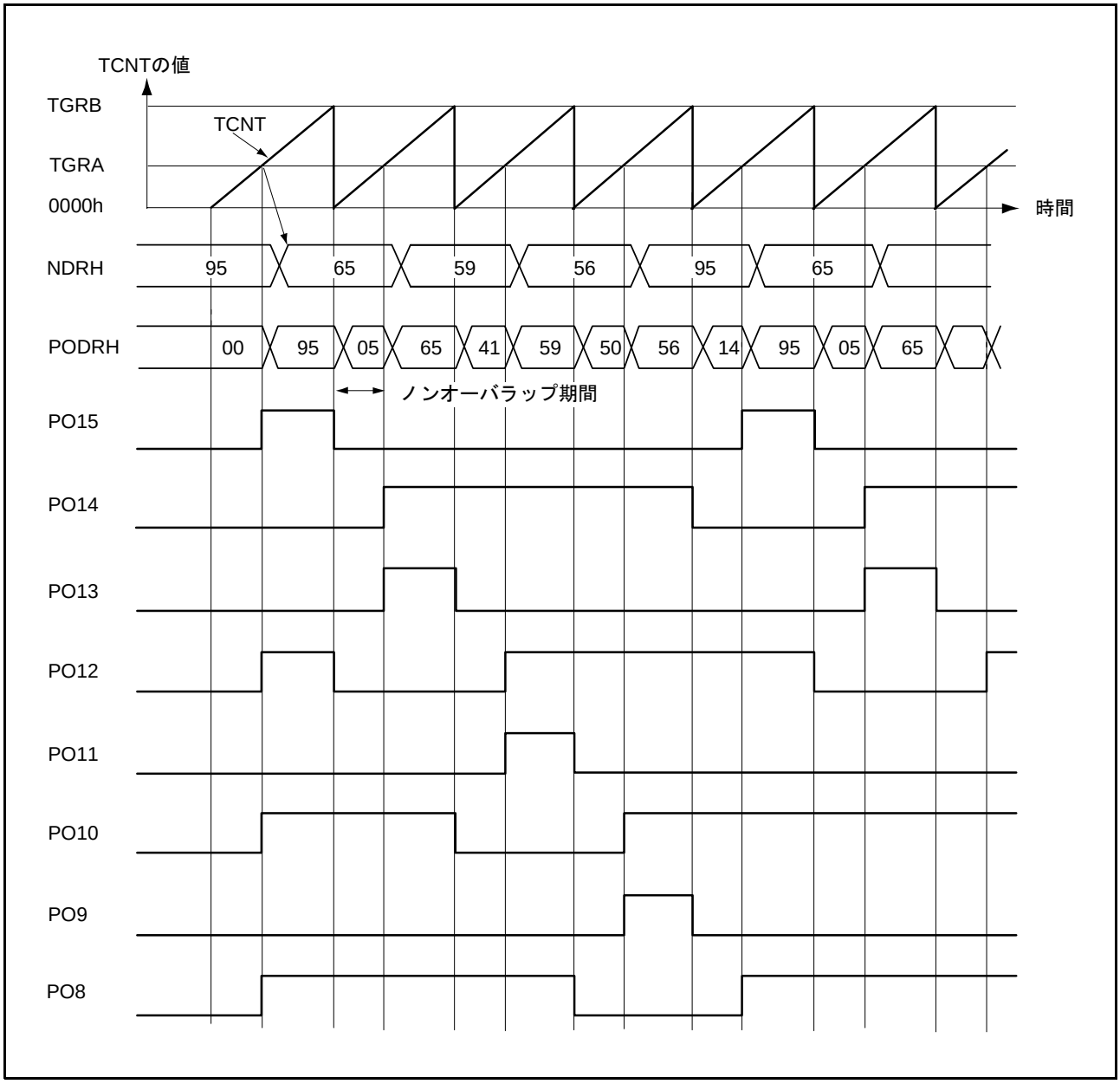


図 20.13　パルス出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力）

1. 出力トリガとする MTU の MTUn.TGRA、TGRB レジスタ (n=0 ～ 3) をアウトプットコンペアレジスタに設定します。TGRB レジスタには周期、TGRA レジスタにはノンオーバラップ期間を設定し、コンペアマッチ B によるカウンタクリアを選択します。また、MTUn.TIER.TGIEA ビットを “1” にして、コンペアマッチ／インプットキャプチャ A（TGInA）割り込み要求を許可します。
2. PPG0.NDERH に FFh を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した MTUn のコンペアマッチに出力トリガを設定します。
   PPG0.PMR.G3NOV,G2NOV ビットをそれぞれ “1” にして、ノンオーバラップ動作を設定します。
   PPG0.NDRH に出力データ 95h を書きます。
3. MTU 当該チャネルの動作を開始すると、TGRB レジスタのコンペアマッチで High 出力→ Low 出力の変化、TGRA レジスタのコンペアマッチで Low 出力→ High 出力の変化を行います（Low 出力→ High 出力の変化は TGRA レジスタの設定値分遅延することになります）。
   TGInA 割り込み処理で PPG0.NDRH に次の出力データ 65h を書きます。
4. 以後、TGInA 割り込みで順次 59h、56h、95h… を書くことで、4 相の相補ノンオーバラップ出力を発生させることができます。
   TGInA 割り込みで DTC または DMACA を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

20.3.7 パルス反転出力

PPG0.PMR.G3INV, G2INV, G1INV, G0INV ビットを “0” にすると、PPG0.PODRH、PPG0.PODRL レジスタの値に対する反転値を端子出力することができます。

図 20.13 の設定で、さらに G3INV、G2INV ビットを “0” にしたときの端子出力の様子を図 20.14 に示します。

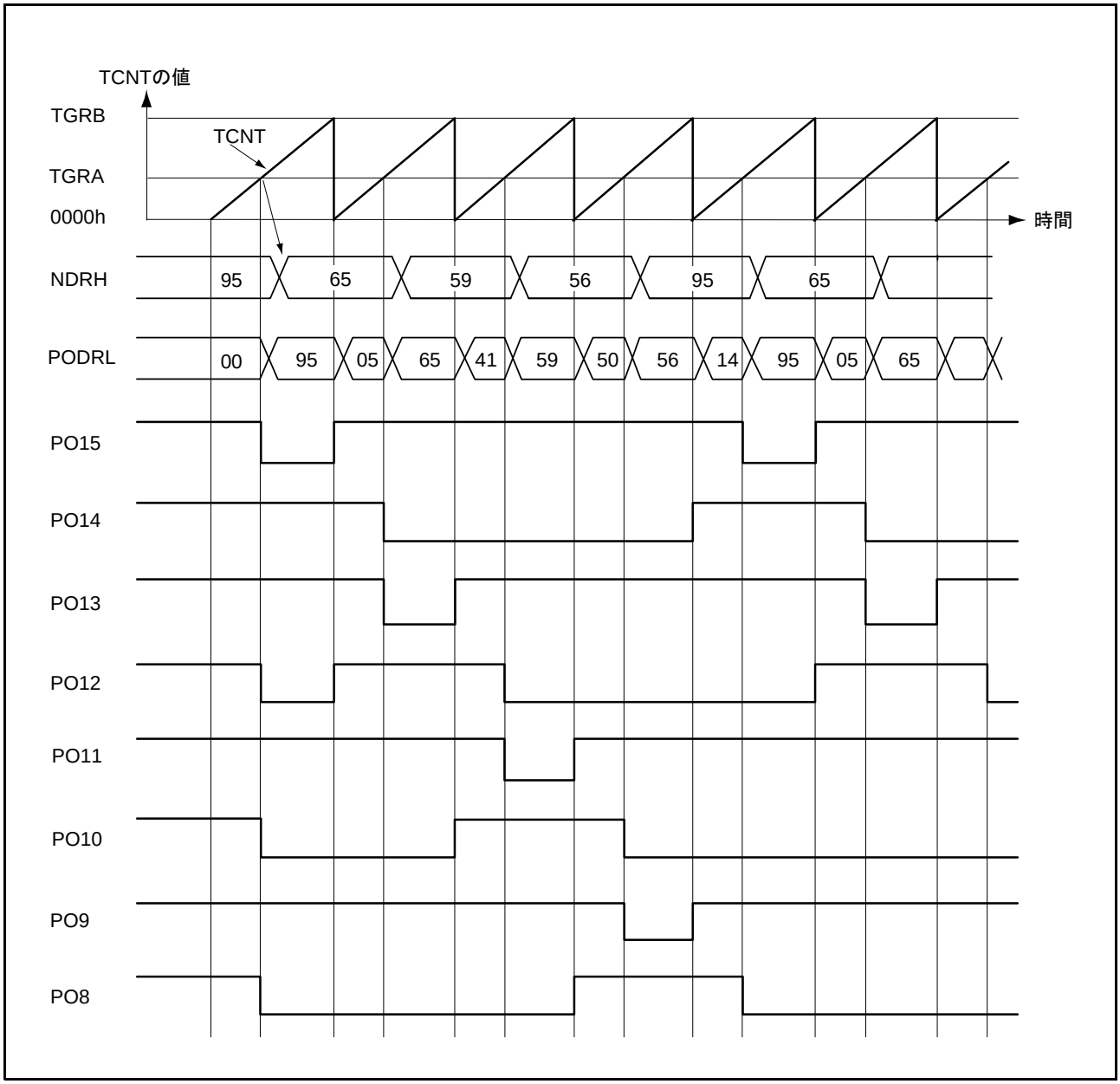


図 20.14　パルス反転出力例

20.3.8　インプットキャプチャによるパルス出力

PPG0 のパルス出力は、MTU（ユニット 0）のコンペアマッチだけでなく、インプットキャプチャによっても可能です。PPG0.PCR レジスタによって選択された MTU（ユニット 0）の MTUn.TGRA レジスタ (n=0 ～ 3) がインプットキャプチャレジスタとして機能しているとき、インプットキャプチャ信号によりパルス出力を行います。

このタイミングを図 20.15 に示します。

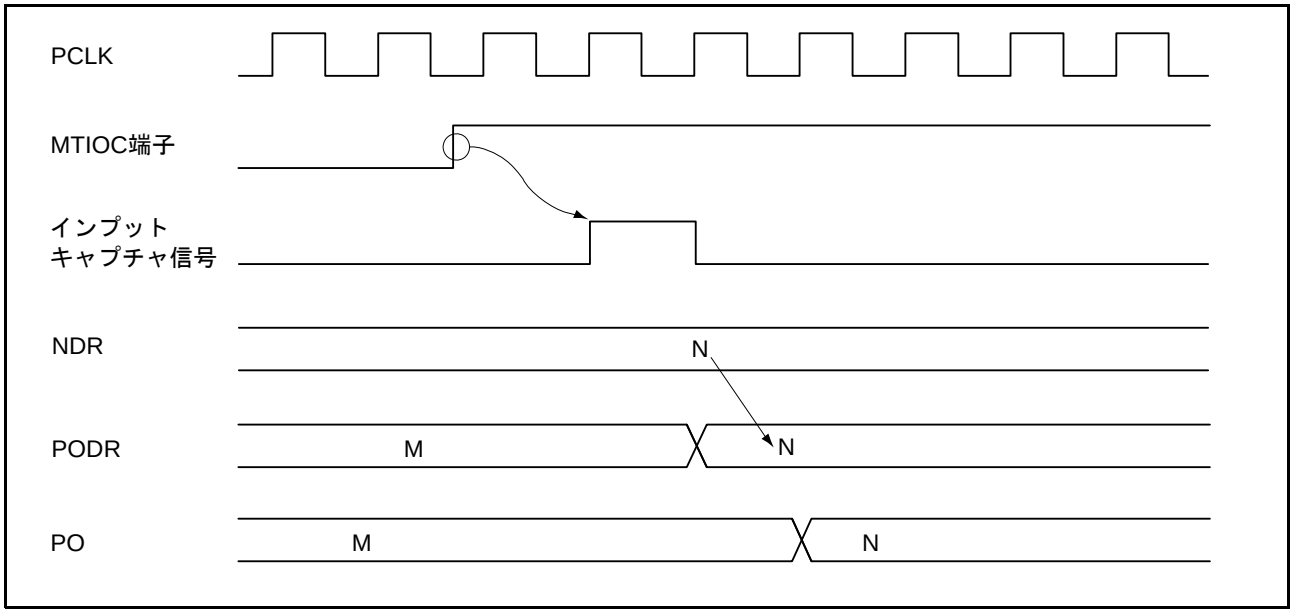


図 20.15　インプットキャプチャによるパルス出力例

20.4 使用上の注意事項

20.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、PPG の動作禁止／許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

21. 8ビットタイマ（TMR）

RX62N グループ、RX621 グループは、8 ビットのカウンタをベースにした 2 チャネルの 8 ビットタイマ（TMR）を 2 ユニット（ユニット 0、ユニット 1）、合計 4 チャネル内蔵しています。外部イベントのカウントが可能なほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット 0、1 は同一機能で、SCI のボーレートクロックが生成可能です。

21.1 概要

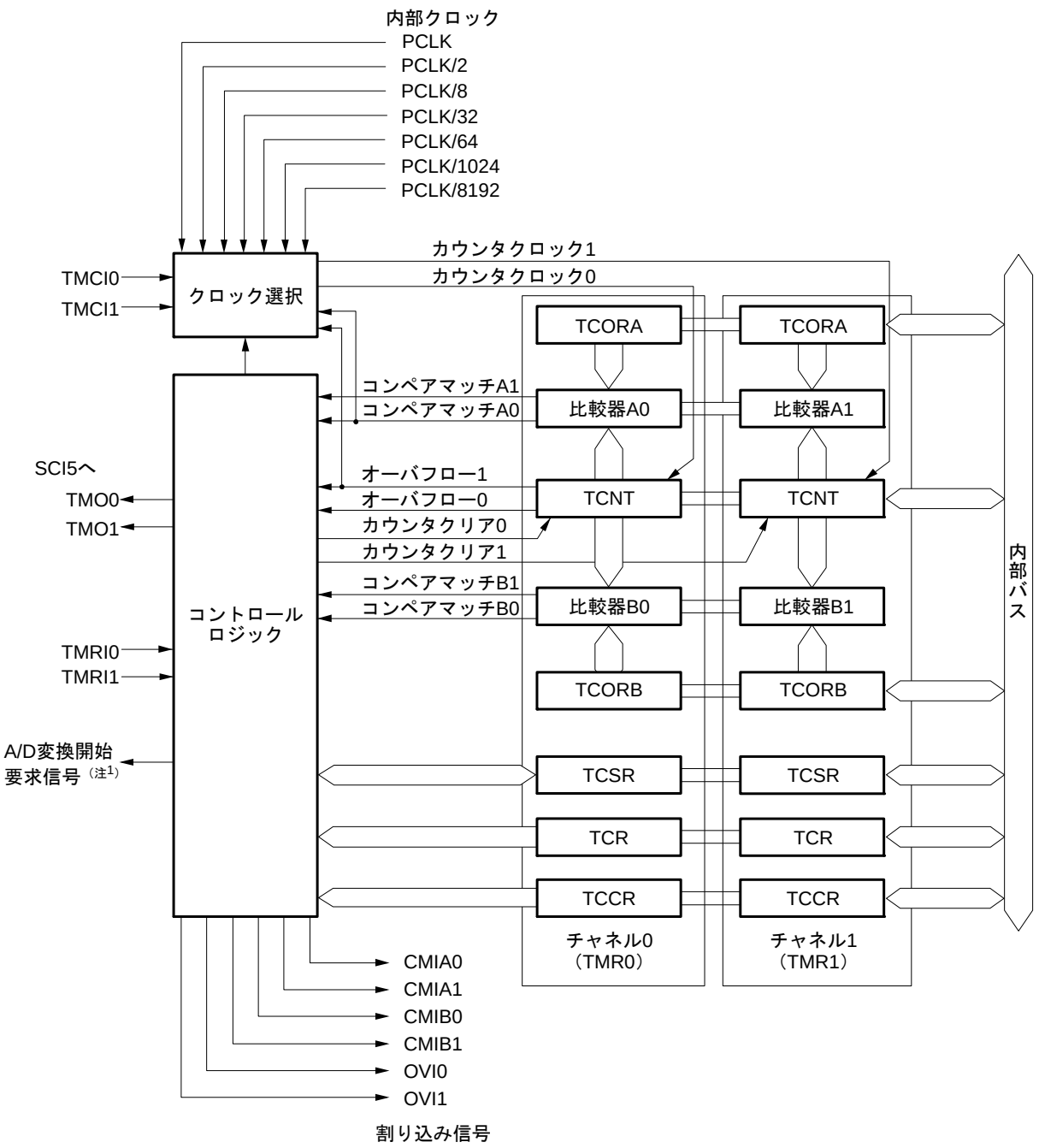
表 21.1 に TMR の仕様を示します。

図 21.1 にユニット 0、図 21.2 にユニット 1 のブロック図を示します。

表21.1　TMRの仕様

項目	仕様
カウントクロック	● 内部クロック：PCLK、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 ● 外部クロック
チャネル数	（8ビット×2チャネル）×2ユニット
コンペアマッチ	● 8ビットモード（コンペアマッチA、コンペアマッチB） ● 16ビットモード（コンペアマッチA、コンペアマッチB）
カウンタクリア	コンペアマッチA、コンペアマッチB、外部リセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャネルのカスケード接続	● 16ビットカウントモード TMR0を上位、TMR1を下位（TMR2を上位、TMR3を下位）とする16ビットタイマ ● コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント（TMR3はTMR2のコンペアマッチをカウント）
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2のコンペアマッチA（注1）
SCIのボーレートクロック生成	SCI5、SCI6のボーレートクロックを生成（注2）
消費電力低減機能	ユニット毎にモジュールストップ状態への設定が可能

注1.　詳細は「34. 12ビットA/Dコンバータ（S12AD）」、「35. 10ビットA/Dコンバータ（ADa）」を参照してください。
注2.　詳細は「29. シリアルコミュニケーションインタフェース（SCIa）」を参照してください。

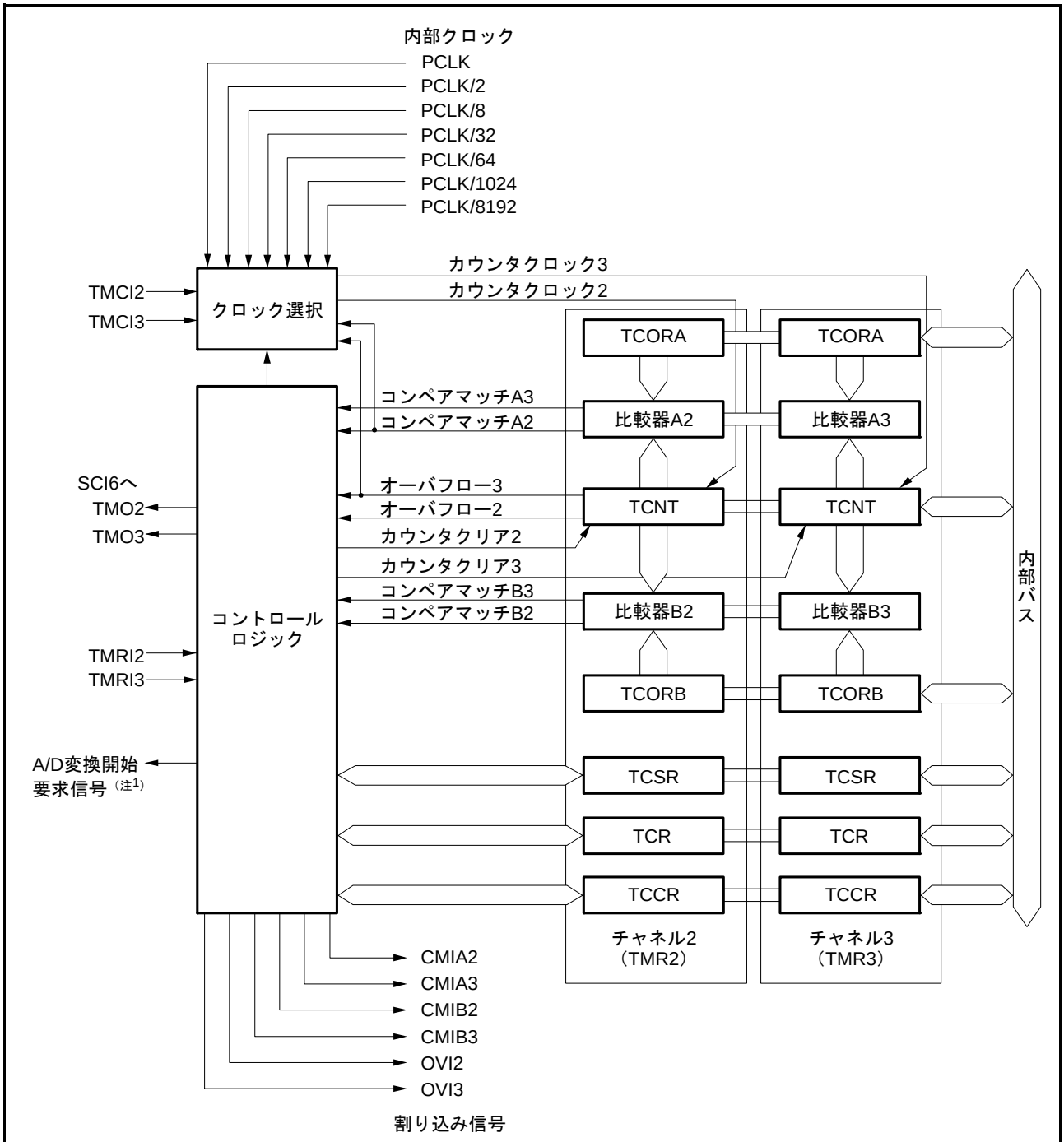


【記号説明】

TCORA	：タイムコンスタントレジスタA	TCSR	：タイマコントロール／ステータスレジスタ
TCNT	：タイマカウンタ	TCR	：タイマコントロールレジスタ
TCORB	：タイムコンスタントレジスタB	TCCR	：タイマカウンタコントロールレジスタ

注1.　対応するA/Dチャネルについては、「34.　12ビットA/Dコンバータ（S12AD）」、「35.　10ビットA/Dコンバータ（ADa）」を参照してください。

図 21.1　　TMR（ユニット 0）のブロック図



【記号説明】

TCORA	：タイムコンスタントレジスタA	TCSR	：タイマコントロール／ステータスレジスタ
TCNT	：タイマカウンタ	TCR	：タイマコントロールレジスタ
TCORB	：タイムコンスタントレジスタB	TCCR	：タイマカウンタコントロールレジスタ

注1. 対応するA/Dチャネルについては、「34. 12ビットA/Dコンバータ（S12AD）」、「35. 10ビットA/Dコンバータ（ADa）」を参照してください。

図 21.2　TMR（ユニット 1）のブロック図

表 21.2 に TMR で使用する入出力端子を示します。

表21.2　TMRの入出力端子

ユニット	チャネル	端子名	入出力	機　　能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCI0	入力	カウンタ外部クロック入力
		TMRI0	入力	カウンタ外部リセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCI1	入力	カウンタ外部クロック入力
		TMRI1	入力	カウンタ外部リセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCI2	入力	カウンタ外部クロック入力
		TMRI2	入力	カウンタ外部リセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCI3	入力	カウンタ外部クロック入力
		TMRI3	入力	カウンタ外部リセット入力

21.2 レジスタの説明

表 21.3 に TMR のレジスター一覧を示します。

表21.3　TMRのレジスター一覧

ユニット	チャネル	レジスタ名	シンボル	リセット後の値	アドレス（注1）	アクセスサイズ
ユニット0	TMR0	タイマカウンタ	TCNT	00h	0008 8208h	8または16
		タイムコンスタントレジスタA	TCORA	FFh	0008 8204h	8または16
		タイムコンスタントレジスタB	TCORB	FFh	0008 8206h	8または16
		タイマコントロールレジスタ	TCR	00h	0008 8200h	8
		タイマカウンタコントロールレジスタ	TCCR	00h	0008 820Ah	8または16
		タイマコントロール／ステータスレジスタ	TCSR	xxx0 0000b	0008 8202h	8
	TMR1	タイマカウンタ	TCNT	00h	0008 8209h	8または16（注1）
		タイムコンスタントレジスタA	TCORA	FFh	0008 8205h	8または16（注1）
		タイムコンスタントレジスタB	TCORB	FFh	0008 8207h	8または16（注1）
		タイマコントロールレジスタ	TCR	00h	0008 8201h	8
		タイマカウンタコントロールレジスタ	TCCR	00h	0008 820Bh	8または16（注1）
		タイマコントロール／ステータスレジスタ	TCSR	xxx1 0000b	0008 8203h	8
ユニット1	TMR2	タイマカウンタ	TCNT	00h	0008 8218h	8または16
		タイムコンスタントレジスタA	TCORA	FFh	0008 8214h	8または16
		タイムコンスタントレジスタB	TCORB	FFh	0008 8216h	8または16
		タイマコントロールレジスタ	TCR	00h	0008 8210h	8
		タイマカウンタコントロールレジスタ	TCCR	00h	0008 821Ah	8または16
		タイマコントロール／ステータスレジスタ	TCSR	xxx0 0000b	0008 8212h	8
	TMR3	タイマカウンタ	TCNT	00h	0008 8219h	8または16（注1）
		タイムコンスタントレジスタA	TCORA	FFh	0008 8215h	8または16（注1）
		タイムコンスタントレジスタB	TCORB	FFh	0008 8217h	8または16（注1）
		タイマコントロールレジスタ	TCR	00h	0008 8211h	8
		タイマカウンタコントロールレジスタ	TCCR	00h	0008 821Bh	8または16（注1）
		タイマコントロール／ステータスレジスタ	TCSR	xxx1 0000b	0008 8213h	8

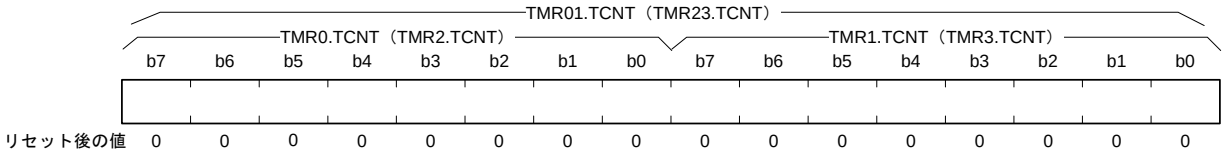
注1.　奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。表21.4に16ビットアクセスのレジスタ配置とシンボルを示します。

表21.4　16ビットアクセスのレジスタ配置とシンボル

アドレス	上位8ビット	下位8ビット	16ビットアクセス時のシンボル
0008 8208h	TMR0.TCNT	TMR1.TCNT	TMR01.TCNT
0008 8204h	TMR0.TCORA	TMR1.TCORA	TMR01.TCORA
0008 8206h	TMR0.TCORB	TMR1.TCORB	TMR01.TCORB
0008 820Ah	TMR0.TCCR	TMR1.TCCR	TMR01.TCCR
0008 8218h	TMR2.TCNT	TMR3.TCNT	TMR23.TCNT
0008 8214h	TMR2.TCORA	TMR3.TCORA	TMR23.TCORA
0008 8216h	TMR2.TCORB	TMR3.TCORB	TMR23.TCORB
0008 821Ah	TMR2.TCCR	TMR3.TCCR	TMR23.TCCR

21.2.1　タイマカウンタ（TCNT）

アドレス　TMR0.TCNT 0008 8208h、TMR1.TCNT 0008 8209h
TMR2.TCNT 0008 8218h、TMR3.TCNT 0008 8219h
TMR01.TCNT 0008 8208h、TMR23.TCNT 0008 8218h



TCNT カウンタは、8 ビットのリード／ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ（TMR2.TCNT カウンタと TMR3.TCNT カウンタ）を 16 ビットカウンタ（TMR01.TCNT または TMR23.TCNT）としてワードアクセスすることも可能です。

クロックは、TCCR.CSS [1:0], CKS[2:0] ビットで選択します。

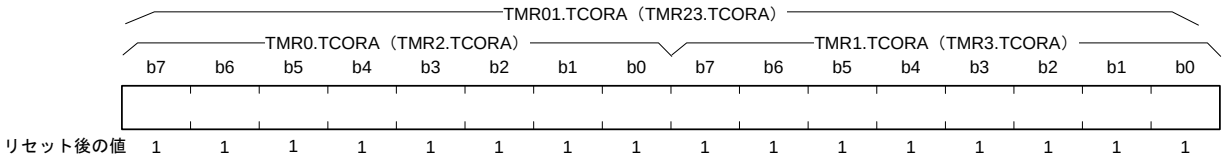
TCNT カウンタは、外部リセット入力信号、またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR.CCLR [1:0] ビットで選択します。

TCNT カウンタがオーバフロー（“FFh” → “00h”）すると、割り込みフラグが “1” になります。

なお、対応する割り込みベクタ番号は、「11.　割り込みコントローラ（ICUa）」と「表 21.6　TMR の割り込み要因」を参照してください。

21.2.2　タイムコンスタントレジスタ A（TCORA）

アドレス　TMR0.TCORA：0008 8204h、TMR1.TCORA：0008 8205h
TMR2.TCORA：0008 8214h、TMR3.TCORA：0008 8215h
TMR01.TCORA : 0008 8204h、TMR23.TCORA : 0008 8214h



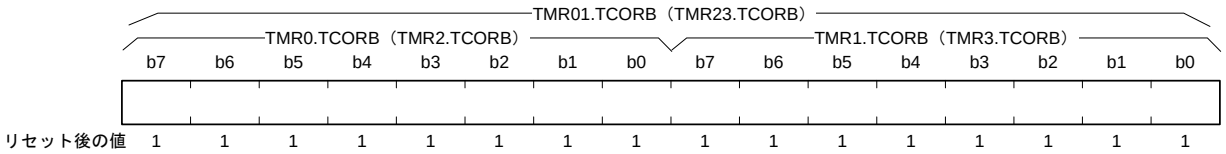
TCORA レジスタは、8 ビットのリード／ライト可能なレジスタです。

TMR0.TCORA レジスタと TMR1.TCORA レジスタ（TMR2.TCORA レジスタと TMR3.TCORA レジスタ）を 16 ビットレジスタ（TMR01.TCORA または TMR23.TCORA）としてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと常に比較され、一致するとコンペアマッチ A 信号が High になります。ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A 信号と TCSR.OSA[1:0] ビットの設定によって、TMOn 端子からのタイマ出力を制御することができます。

21.2.3　タイムコンスタントレジスタ B（TCORB）

アドレス　TMR0.TCORB 0008 8206h、TMR1.TCORB 0008 8207h
TMR2.TCORB 0008 8216h、TMR3.TCORB 0008 8217h
TMR01.TCORB 0008 8206h、TMR23.TCORB 0008 8216h



TCORB レジスタは、8 ビットのリード／ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ（TMR2.TCORB レジスタと TMR3.TCORB レジスタ）を 16 ビットレジスタ（TMR01.TCORB または TMR23.TCORB）としてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと常に比較され、一致するとコンペアマッチ B 信号が High になります。ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B 信号と TCSR.OSB[1:0] ビットの設定によって、TMOn 端子からのタイマ出力を制御することができます。

21.2.4 タイマコントロールレジスタ（TCR）

アドレス　TMR0.TCR 0008 8200h、TMR1.TCR 0008 8201h
TMR2.TCR 0008 8210h、TMR3.TCR 0008 8211h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット（注1）	b4 b3 0 0：クリアを禁止 0 1：コンペアマッチAによりクリア 1 0：コンペアマッチBによりクリア 1 1：外部リセット入力によりクリア （TCCR.TMRISビットでエッジまたはレベルを選択）	R/W
b5	OVIE	タイマオーバフロー割り込み許可ビット	0：オーバフローによる割り込み要求（OVIn）を禁止 1：オーバフローによる割り込み要求（OVIn）を許可	R/W
b6	CMIEA	コンペアマッチ割り込み許可Aビット	0：コンペアマッチAによる割り込み要求（CMIAn）を禁止 1：コンペアマッチAによる割り込み要求（CMIAn）を許可	R/W
b7	CMIEB	コンペアマッチ割り込み許可Bビット	0：コンペアマッチBによる割り込み要求（CMIBn）を禁止 1：コンペアマッチBによる割り込み要求（CMIBn）を許可	R/W

注1.　外部リセットを使用する場合は、該当する端子のDDRレジスタのビットを“0”に、ICRレジスタのビットを“1”にしてください。詳細は「17.　I/Oポート」を参照してください。

TCR レジスタは、TCNT カウンタのクリア条件を指定するレジスタです。

CCLR[1:0] ビット（カウンタクリアビット）

TCNT カウンタのクリア条件を指定します。

OVIE ビット（タイマオーバフロー割り込み許可ビット）

TCNT カウンタのオーバフローによる割り込み要求（OVIn）の許可または禁止を選択します。

CMIEA ビット（コンペアマッチ割り込み許可 A ビット）

TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求（CMIAn）の許可または禁止を選択します。

CMIEB ビット（コンペアマッチ割り込み許可 B ビット）

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求（CMIBn）の許可または禁止を選択します。

21.2.5　タイマカウンタコントロールレジスタ（TCCR）

アドレス　TMR0.TCCR 0008 820Ah、TMR1.TCCR 0008 820Bh
TMR2.TCCR 0008 821Ah、TMR3.TCCR 0008 821Bh
TMR01.TCCR 0008 820Ah、TMR23.TCCR 0008 821A

	b7	b6	b5	b4	b3	b2	b1	b0
	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット（注1）	表21.5を参照してください。	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表21.5を参照してください。	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0：外部リセットの立ち上がりでクリア 1：外部リセットのHighでクリア	R/W

注1.　外部クロックを使用する場合は、該当する端子のDDRレジスタのビットを“0”に、ICRレジスタのビットを“1”にしてください。詳細は「17.　I/Oポート」を参照してください。

TCCRレジスタは、TCNTカウンタの内部クロックの選択、外部リセット検出条件の選択するレジスタです。

TMR0.TCCRレジスタとTMR1.TCCRレジスタ（TMR2.TCCRレジスタとTMR3.TCCRレジスタ）を16ビットレジスタ（TMR01.TCCRまたはTMR23.TCCR）としてワードアクセスすることも可能です。

CKS[2:0] ビット（クロック選択ビット）

CSS[1:0] ビット（クロックソース選択ビット）

CKS[2:0] ビットおよびCSS[1:0] ビットは、クロックを選択します。詳細は、表21.5を参照してください。

TMRIS ビット（タイマリセット検出条件選択ビット）

TCR.CCLR [1:0] ビットが“11b”（外部リセット入力によりクリア）のとき有効となり、外部リセット検出条件（レベルまたはエッジ）を選択します。

表21.5　TCNTカウンタに入力するクロックとカウント条件

チャネル	TCCRレジスタ					機能
	CSS[1:0]		CKS[2:0]			
	b4	b3	b2	b1	b0	
TMR0（TMR2）	0	0	—	0	0	クロック入力を禁止
					1	外部クロックの立ち上がりエッジでカウント（注1）
				1	0	外部クロックの立ち下がりエッジでカウント（注1）
					1	外部クロックの立ち上がり／立ち下がり両エッジでカウント（注1）
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
				1	0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
			1	0	0	内部クロック：PCLK/64でカウント
					1	内部クロック：PCLK/1024でカウント
				1	0	内部クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR1.TCNT（TMR3.TCNT）のオーバフロー信号でカウント（注2）
TMR1（TMR3）	0	0	—	0	0	クロック入力を禁止
					1	外部クロックの立ち上がりエッジでカウント（注1）
				1	0	外部クロックの立ち下がりエッジでカウント（注1）
					1	外部クロックの立ち上がり／立ち下がり両エッジでカウント（注1）
	0	1	0	0	0	内部クロック：PCLKでカウント
					1	内部クロック：PCLK/2でカウント
				1	0	内部クロック：PCLK/8でカウント
					1	内部クロック：PCLK/32でカウント
			1	0	0	内部クロック：PCLK/64でカウント
					1	内部クロック：PCLK/1024でカウント
				1	0	内部クロック：PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR0.TCNT（TMR2.TCNT）のコンペアマッチAでカウント（注2）

注1.　外部クロックを使用する場合は、該当する端子のDDRレジスタのビットを“0”に、ICRレジスタのビットを“1”にしてください。詳細は「17.　I/Oポート」を参照してください。

注2.　TMR0（TMR2）のクロック入力をTMR1.TCNT（TMR3.TCNT）カウンタのオーバフロー信号とし、TMR1（TMR3）のクロック入力をTMR0.TCNT（TMR2.TCNT）カウンタのコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

21.2.6 タイマコントロール／ステータスレジスタ（TCSR）

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス　TMR0.TCSR 0008 8202h、TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA （注1）	b1 b0 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力（トグル出力）	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB （注1）	b3 b2 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力（トグル出力）	R/W
b4	ADTE	A/Dトリガ許可ビット （注2）	0：コンペアマッチAによるA/D変換開始要求を禁止 1：コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定です。書く場合、“1”としてください。	R/W

注1.　OSB[1:0]、OSA[1:0]ビットがすべて“0”の場合には、タイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は“0”です。

注2.　対応するA/Dチャネルについては、「34.　12ビットA/Dコンバータ（S12AD）」、「35.　10ビットA/Dコンバータ（ADa）」を参照してください。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス　TMR1.TCSR 0008 8203h、TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	1	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA （注1）	b1 b0 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力（トグル出力）	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB （注1）	b3 b2 0 0：変化しない 0 1：Low出力 1 0：High出力 1 1：反転出力（トグル出力）	R/W
b4	—	（予約ビット）	読むと“1”が読めます。書く場合、“1”としてください。	R/W
b7-b5	—	（予約ビット）	読んだ場合、その値は不定です。書く場合、“1”としてください。	R/W

注1.　OSB[1:0]、OSA[1:0]ビットがすべて“0”の場合には、タイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は“0”です。

TCSR レジスタは、コンペアマッチによる出力制御を行うレジスタです。

OSA[1:0] ビット（アウトプット選択ビット A）

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMOn 端子の出力方法を選択します。

OSB[1:0] ビット（アウトプット選択ビット B）

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMOn 端子の出力方法を選択します。

ADTE ビット（A/D トリガ許可ビット）

コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。

TMR1.TCSR、TMR3.TCSR レジスタでは予約ビットです。

21.3　動作説明

21.3.1　パルス出力

任意のデューティパルスを出力させる例を図 21.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “01b”（コンペアマッチ A によりクリア）に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b”（High 出力）、TCSR.OSB[1:0] ビットを “01b”（Low 出力）に設定します。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介在なしに出力できます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は Low です。

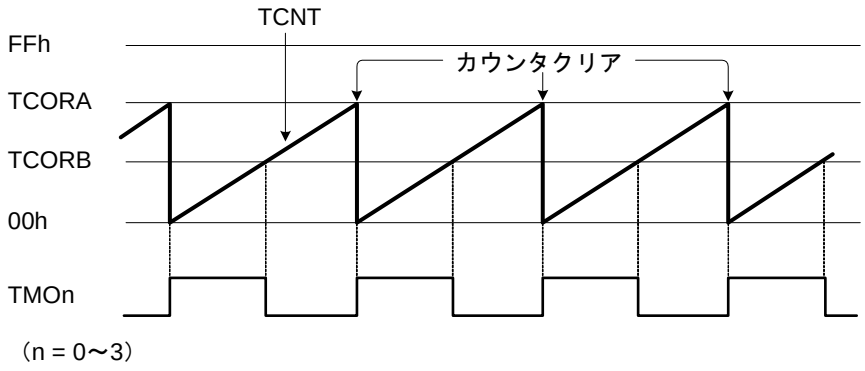


図 21.3　パルス出力例

21.3.2　リセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 21.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “11b”（外部リセット入力によりクリア）にし、TCCR.TMRIS ビットを “1”（外部リセットの High でクリア）にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b”（High 出力）、TCSR.OSB[1:0] ビットを “01b”（Low 出力）に設定します。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が（TCORB － TCORA）の波形を出力できます。

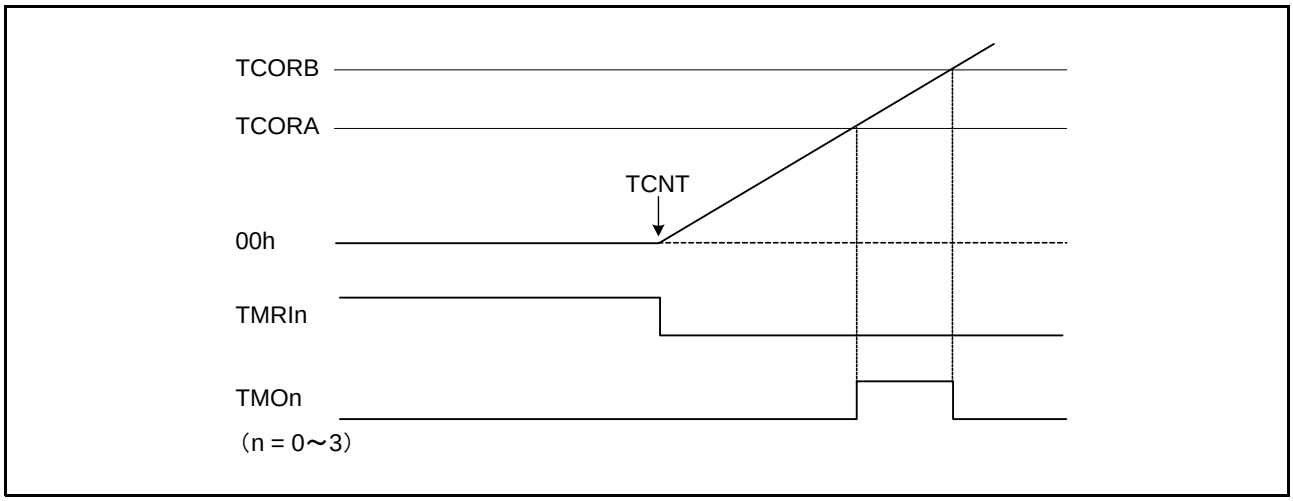


図 21.4　リセット入力例

21.4 動作タイミング

21.4.1 TCNT カウンタのカウントタイミング

内部クロック動作の場合の TCNT カウンタのカウントタイミングを図 21.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 21.6 に示します。

なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

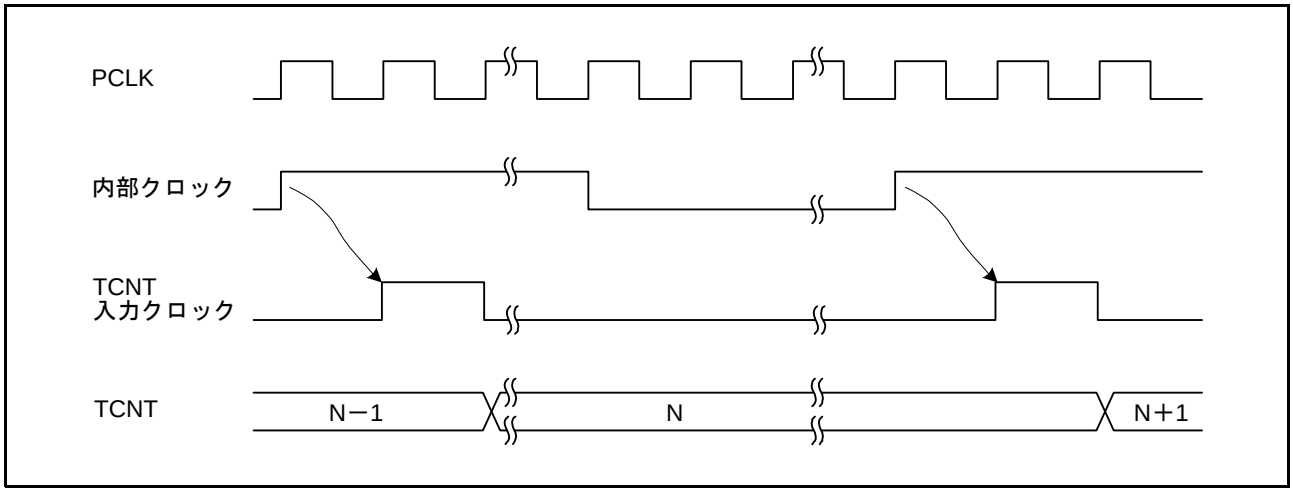


図 21.5　内部クロック動作時のカウントタイミング

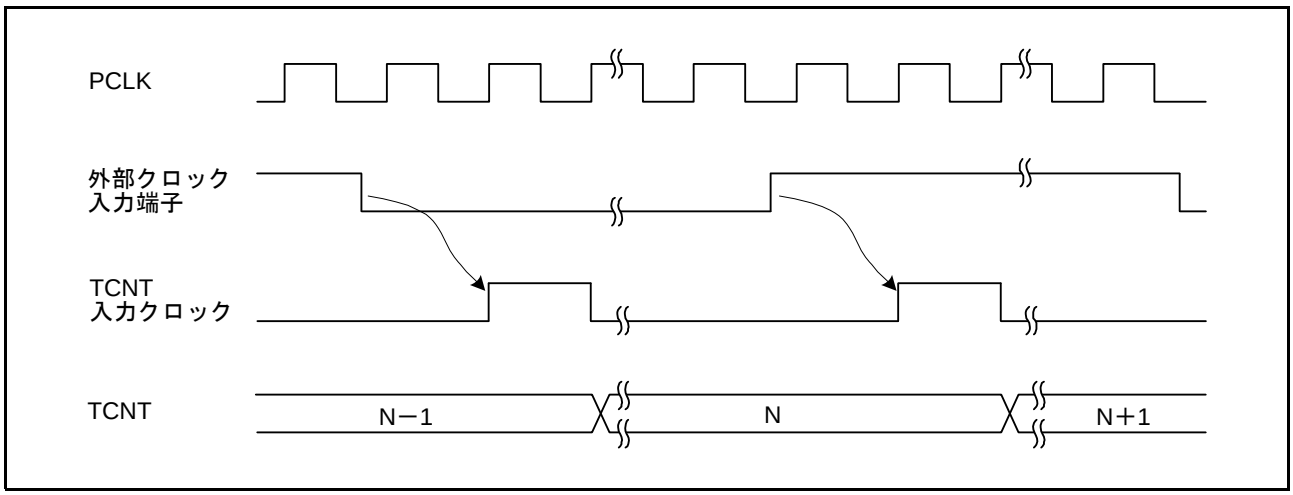


図 21.6　外部クロック動作時のカウントタイミング

21.4.2　コンペアマッチ時の割り込みタイミング

TCORA、TCORB レジスタと TCNT カウンタの値が一致しコンペアマッチ信号が出力されると、割り込み信号は出力されます。

コンペアマッチ信号は、TCNT カウンタが一致したカウント値を更新するタイミングで発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ時の割り込みタイミングを図 21.7 に示します。

なお、対応する割り込みベクタ番号は、「11.　割り込みコントローラ（ICUa）」と「表 21.6　TMR の割り込み要因」を参照してください。

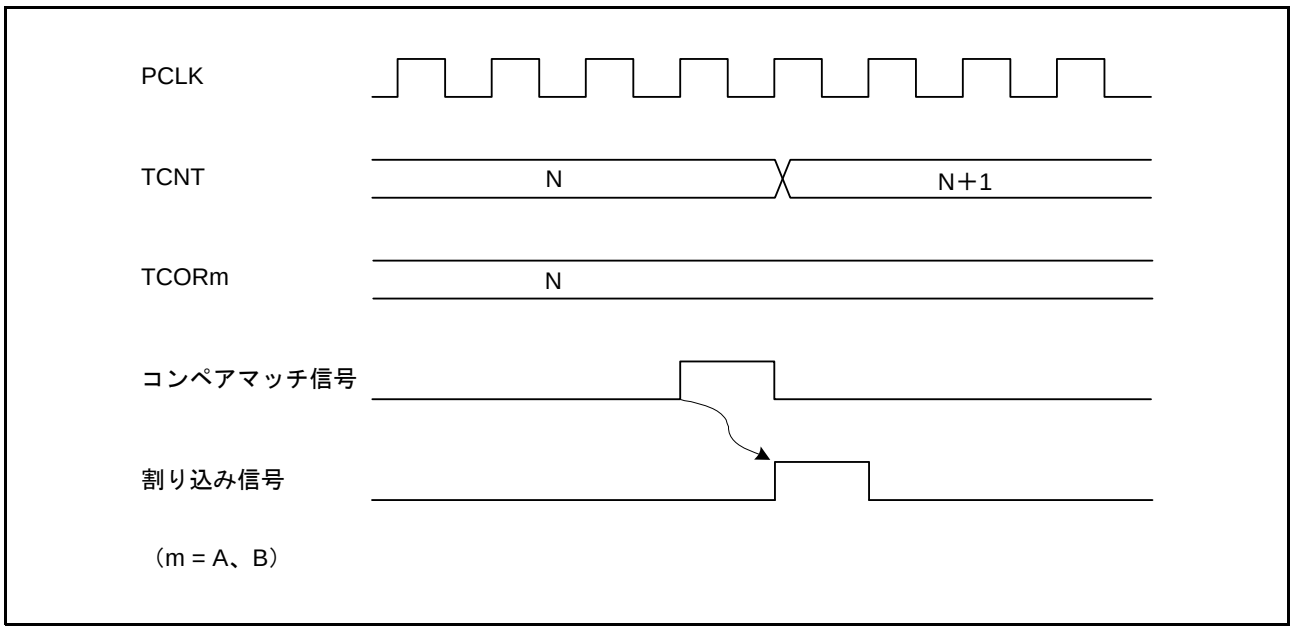


図 21.7　コンペアマッチ時の割り込みタイミング

21.4.3　コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子に出力されます。

コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 21.8 に示します。

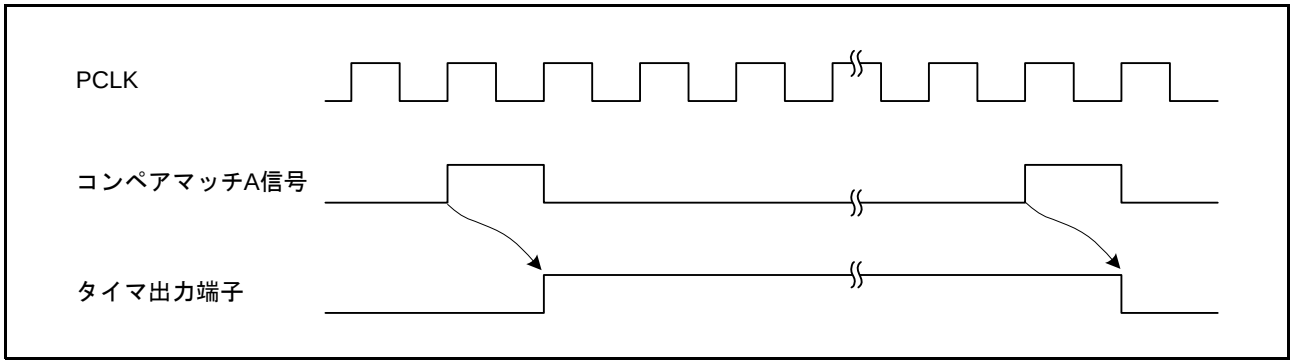


図 21.8　コンペアマッチ A 信号によるタイマ出力タイミング

21.4.4　コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 21.9 に示します。

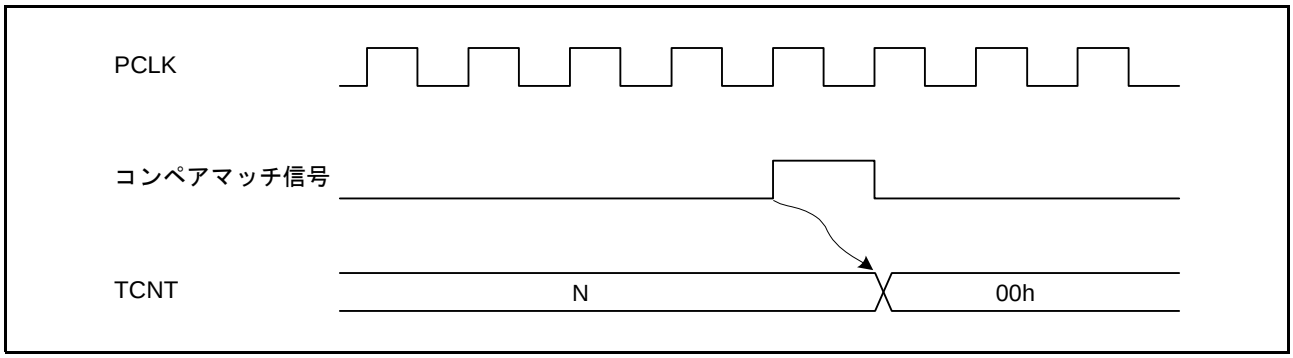


図 21.9　コンペアマッチによるカウンタクリアタイミング

21.4.5　TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCRn.CCLR[1:0] ビットの選択により外部リセット入力の立ち上がりエッジ、または High でクリアされます。外部リセットの入力から TCNT カウンタのクリアまでは 2 サイクル以上必要となります。

外部リセット入力によるクリアタイミングを図 21.10、図 21.11 に示します。

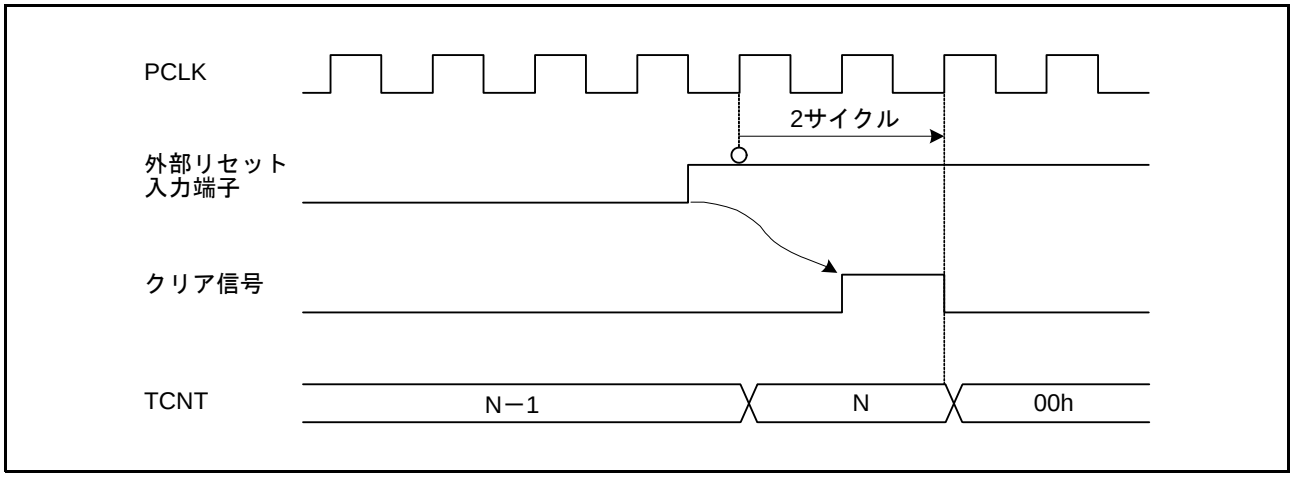


図 21.10　外部リセット入力によるクリアタイミング（立ち上がりエッジ）

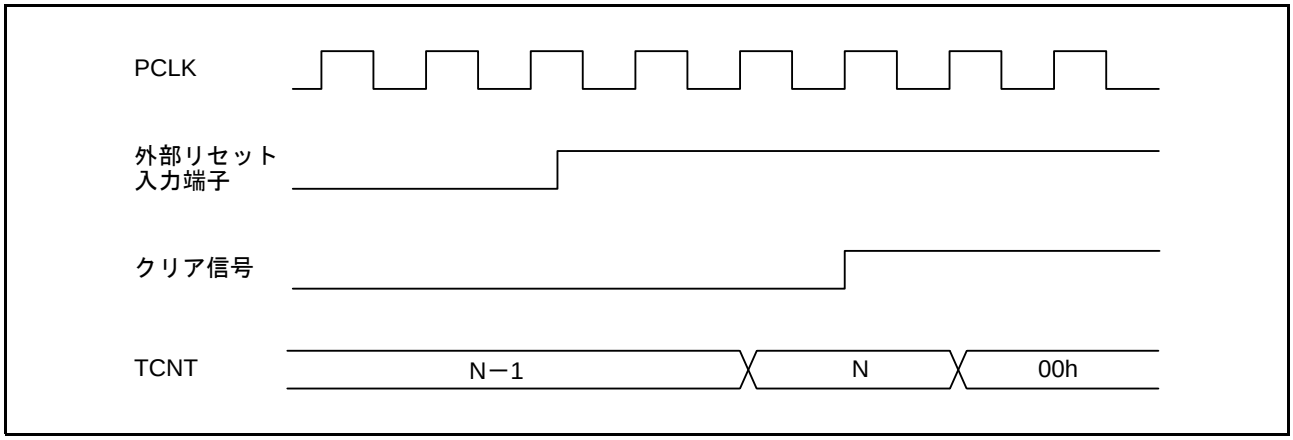


図 21.11　外部リセット入力によるクリアタイミング（High）

21.4.6　オーバフローによる割り込みタイミング

TCNT カウンタがオーバフロー（“FFh” → “00h”）したときに出力されるオーバフロー信号により割り込み信号は出力されます。

オーバフローによる割り込みタイミングを図 21.12 に示します。

なお、対応する割り込みベクタ番号は、「11.　割り込みコントローラ（ICUa）」と「表 21.6　TMR の割り込み要因」とを参照してください。

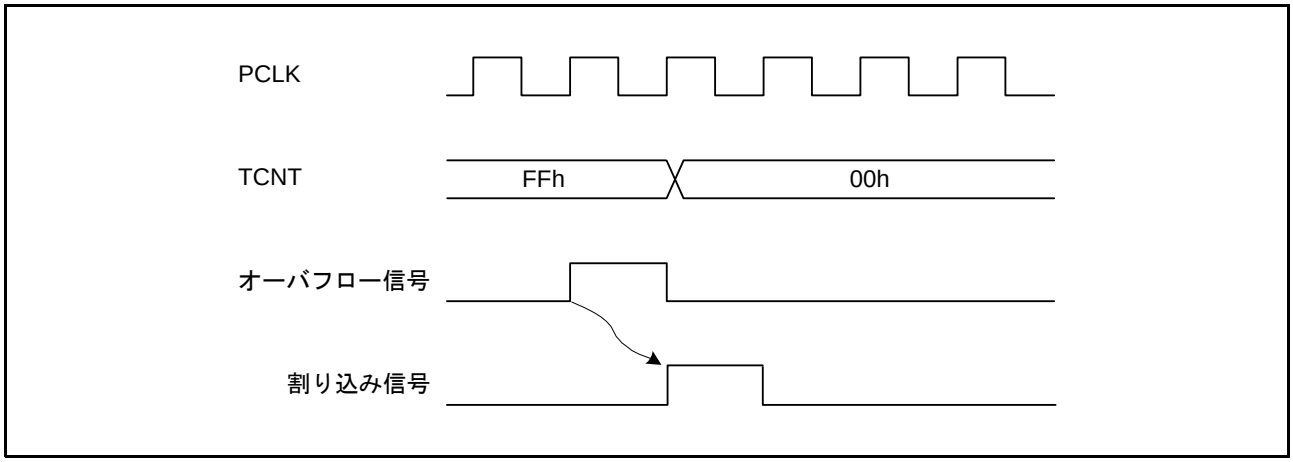


図 21.12　オーバフローによる割り込みタイミング

21.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを “11b” にすると、2 チャネルの TMR はカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

【補足】「21.5 カスケード接続時の動作」は、ユニット 0 について説明しています。ユニット 1 のカスケード接続時の動作は、ユニット 0 と同様です。

21.5.1 16 ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが “11b” のとき、TMR0 を上位 8 ビット、TMR1 を下位 8 ビットとする 1 チャネルの 16 ビットタイマとして動作します。このモードのときだけ、表 21.3 に示したアクセスサイズ欄に 16 と記されたレジスタ（TMR01）へ 16 ビットアクセスできます。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が 16 ビットカウンタに対して有効になります。TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16 ビットのコンペアマッチが発生すると 16 ビットカウンタ（TMR0.TCNT、TMR1.TCNT カウンタの両方）がクリアされます。また、TMRI0 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ（TMR0.TCNT、TMR1.TCNT カウンタの両方）がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0], OSB[1:0] ビットによる TMO0 端子の出力制御は、16 ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0], OSB[1:0] ビットによる TMO1 端子の出力制御は、下位 8 ビットのコンペアマッチ条件に従います。

21.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが “11b” のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御は個別に行われ、割り込みの発生、TMOn（n = 0、1）端子の出力、カウンタクリアなどは各チャネルの設定に従います。

21.6 割り込み要因

21.6.1 割り込み要因と DTC 起動

TMRn の割り込み要因は、CMIAn、CMIBn、OVIn の 3 種類があります。表 21.6 に各割り込み要因と優先順位を示します。

なお、CMIAn、CMIBn 割り込みにより DTC を起動することができます。TMRn の割り込み要因による DMACA の起動はできません。

表 21.6　TMRの割り込み要因

名称	割り込み要因	割り込みステータスフラグ（注1）	DTCの起動	優先順位
CMIA0	TMR0.TCORAのコンペアマッチ	IR174.IR	可能	高
CMIB0	TMR0.TCORBのコンペアマッチ	IR175.IR	可能	↑
OVI0	TMR0.TCNTのオーバフロー	IR176.IR	不可能	
CMIA1	TMR1.TCORAのコンペアマッチ	IR177.IR	可能	
CMIB1	TMR1.TCORBのコンペアマッチ	IR178.IR	可能	
OVI1	TMR1.TCNTのオーバフロー	IR179.IR	不可能	
CMIA2	TMR2.TCORAのコンペアマッチ	IR180.IR	可能	
CMIB2	TMR2.TCORBのコンペアマッチ	IR181.IR	可能	
OVI2	TMR2.TCNTのオーバフロー	IR182.IR	不可能	
CMIA3	TMR3.TCORAのコンペアマッチ	IR183.IR	可能	
CMIB3	TMR3.TCORBのコンペアマッチ	IR184.IR	可能	
OVI3	TMR3.TCNTのオーバフロー	IR185.IR	不可能	低

注1.　割り込みステータスフラグの詳細は「11. 割り込みコントローラ（ICUa）」を参照してください。

21.6.2 A/D コンバータの起動

TMR0、TMR2 のコンペアマッチ A で、A/D コンバータ（注 1）を起動することができます。

TMRn.TCSR.ADTE ビットが “1”（コンペアマッチ A による A/D 変換開始要求を許可）の状態で、コンペアマッチ A の発生により、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

注 1.　対応する A/D コンバータのユニットに関しては「34. 12 ビット A/D コンバータ（S12AD）」、「35. 10 ビット A/D コンバータ（ADa）」を参照してください。

21.7　使用上の注意事項

21.7.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止／許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「9.　消費電力低減機能」を参照してください。

21.7.2　周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタが TCORA、TCORB レジスタの値と一致したカウント値を更新するタイミングでクリアされます。このため、カウンタの周波数は以下の式になります（f：カウンタ周波数、PCLK：動作周波数、
N：TCORA、TCORB レジスタの設定値）。

$$f = PCLK/(N+1)$$

21.7.3　TCNT カウンタへの書き込みとカウンタクリアの競合

図 21.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

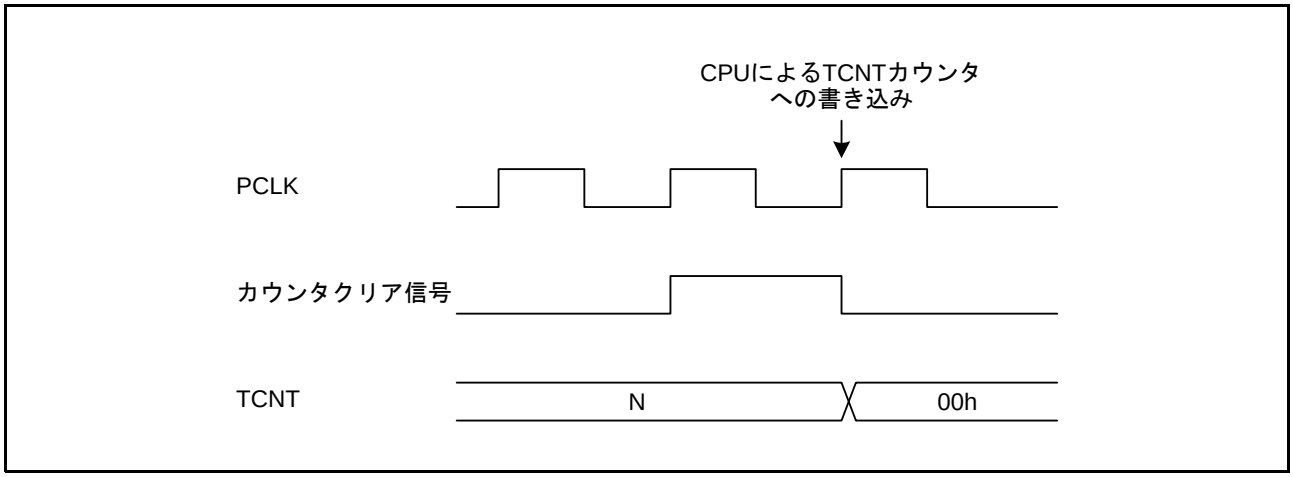


図 21.13　TCNT カウンタへの書き込みとカウンタクリアの競合

21.7.4　TCNT カウンタへの書き込みとカウントアップの競合

図 21.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

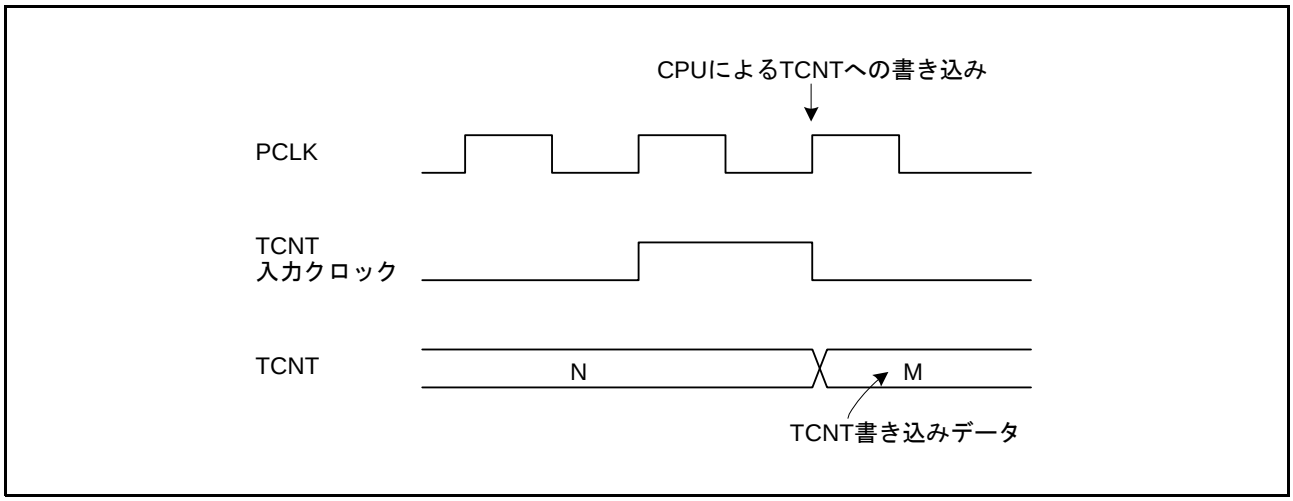


図 21.14　TCNT カウンタへの書き込みとカウントアップの競合

21.7.5　TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 21.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

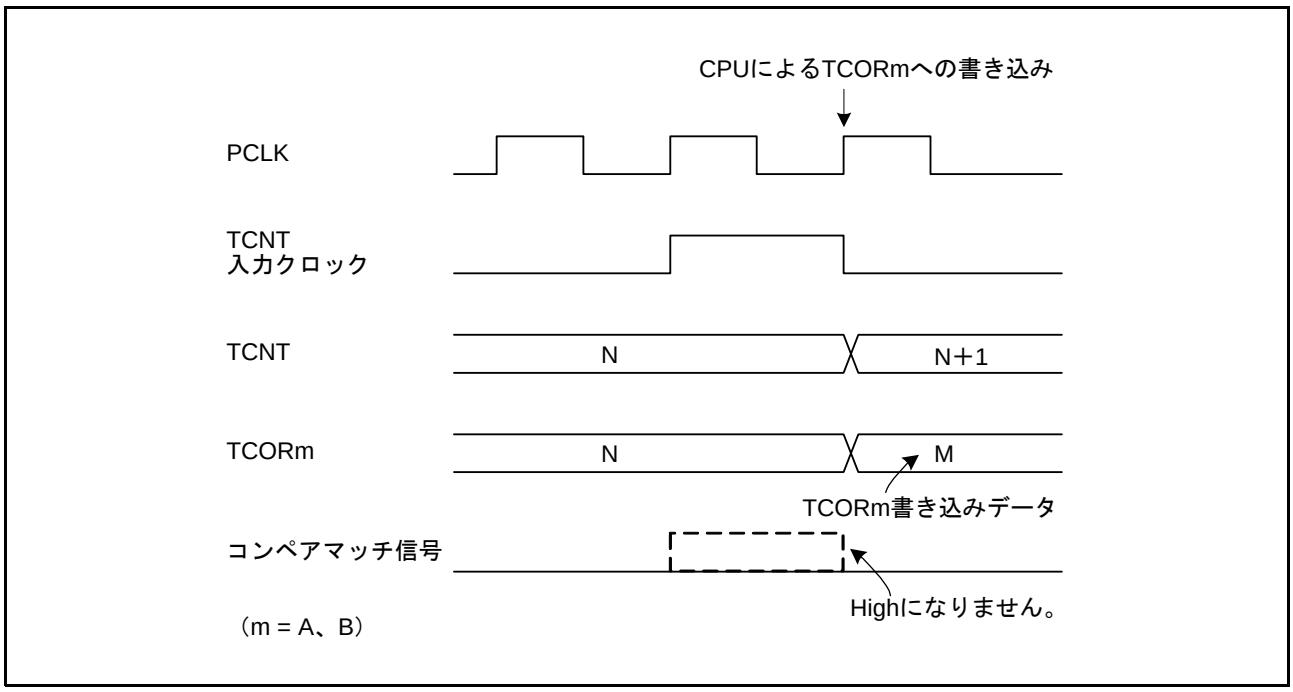


図 21.15　TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

21.7.6　コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている動作と、コンペアマッチ B に対して設定されている動作のうち、表 21.7 に示すタイマ出力の優先順位の高い方が出力されます。

表 21.7　タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
High出力	↑
Low出力	
変化しない	低

21.7.7　内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（TCCR.CKS[2:0] ビットの書き換え）と、TCNT カウンタ動作の関係を**表 21.8** に示します。

内部クロックから TCNT カウンタのクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば**表 21.8** の No.2 のように、Low → High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジとみなして TCNT カウンタクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表21.8　内部クロックの切り替えとTCNTカウンタの動作 (1 / 2)

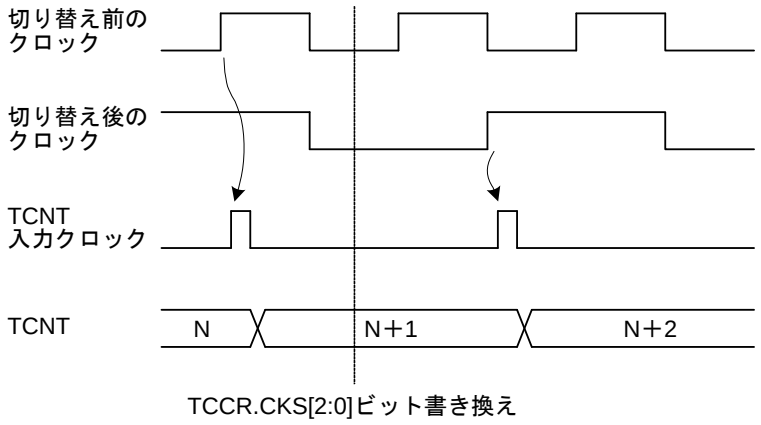
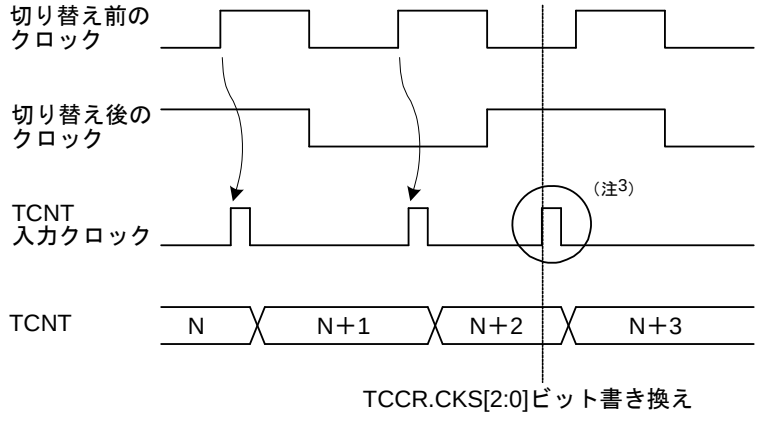
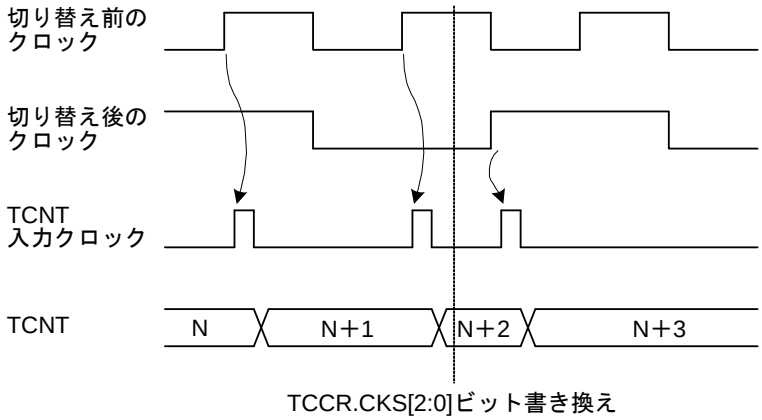
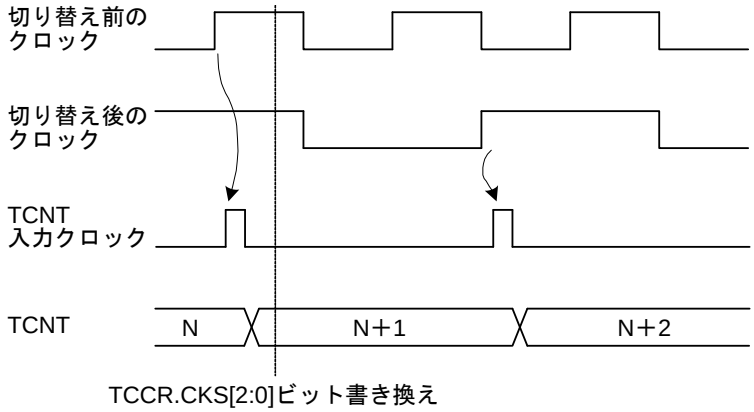
No	TCCR.CKS[2:0]ビット 書き換えタイミング	TCNTクロックの動作
1	Low→Low（注1） の切り替え	
2	Low→High（注2） の切り替え	

表21.8　内部クロックの切り替えとTCNTカウンタの動作 (2 / 2)

No	TCCR.CKS[2:0]ビット 書き換えタイミング	TCNTクロックの動作
3	High→Low（注4） の切り替え	
4	High→High の切り替え	

注1.　Low→停止、および停止→Lowの場合を含みます。
注2.　停止→Highの場合を含みます。
注3.　切り替えのタイミングをエッジとみなすために発生し、TCNTはカウントアップされてしまいます。
注4.　High→停止の場合を含みます。

21.7.8　カスケード接続時のクロックソース設定

16 ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ（TMR2.TCNT、TMR3.TCNT カウンタ）の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

22. コンペアマッチタイマ（CMT）

RX62N グループ、RX621 グループは、2 チャネルの 16 ビットタイマにより構成されるコンペアマッチタイマ（CMT）を 2 ユニット（ユニット 0、ユニット 1）、合計 4 チャネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

22.1 概要

表 22.1 に CMT の仕様を示します。

図 22.1 に CMT（ユニット 0）のブロック図を示します。2 チャネルの CMT で 1 ユニットを構成し、ユニット 0 とユニット 1 は同じ仕様です。

表 22.1　CMTの仕様

項目	機能
カウントクロック	● 4種類の内部クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中から各チャネル個々に選択可能
割り込み	コンペアマッチ割り込みを各チャネル個々に要求することが可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

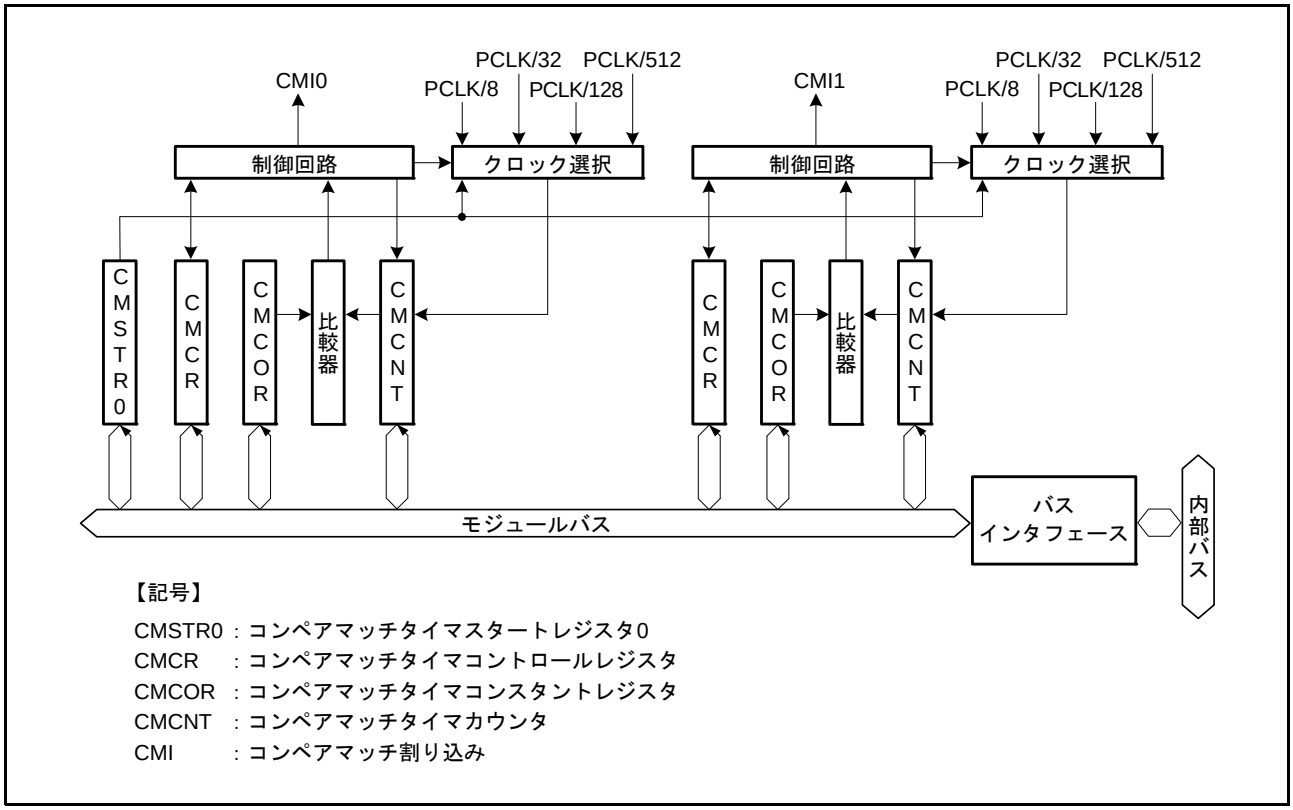


図 22.1　CMT（ユニット 0）のブロック図

22.2 レジスタの説明

表 22.2 に CMT のレジスター一覧を示します。

表22.2　CMTのレジスター一覧

ユニット	チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット0	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	0000h	0008 8000h	16
	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8002h	16
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 8004h	16
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 8006h	16
	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8008h	16
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 800Ah	16
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 800Ch	16
ユニット1	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	0000h	0008 8010h	16
	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8012h	16
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 8014h	16
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 8016h	16
	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8018h	16
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 801Ah	16
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 801Ch	16

22.2.1 コンペアマッチタイマスタートレジスタ 0（CMSTR0）

アドレス　0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0：CMT0.CMCNTカウンタのカウント動作停止 1：CMT0.CMCNTカウンタのカウント動作開始	R/W
b1	STR1	カウントスタート1ビット	0：CMT1.CMCNTカウンタのカウント動作停止 1：CMT1.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMSTR0 レジスタは、CMT0.CMCNT カウンタ、CMT1.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

STR0 ビット（カウントスタート 0 ビット）

CMT0.CMCNT カウンタを動作させるか、停止させるかを選択します。

STR1 ビット（カウントスタート 1 ビット）

CMT1.CMCNT カウンタを動作させるか、停止させるかを選択します。

22.2.2 コンペアマッチタイマスタートレジスタ 1（CMSTR1）

アドレス　0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0：CMT2.CMCNTカウンタのカウント動作停止 1：CMT2.CMCNTカウンタのカウント動作開始	R/W
b1	STR3	カウントスタート3ビット	0：CMT3.CMCNTカウンタのカウント動作停止 1：CMT3.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMSTR1 レジスタは、CMT2.CMCNT カウンタ、CMT3.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

STR2 ビット（カウントスタート 2 ビット）

CMT2.CMCNT カウンタを動作させるか、停止させるかを選択します。

STR3 ビット（カウントスタート 3 ビット）

CMT3.CMCNT カウンタを動作させるか、停止させるかを選択します。

22.2.3　コンペアマッチタイマコントロールレジスタ（CMCR）

アドレス　CMT0.CMCR 0008 8002h、CMT1.CMCR 0008 8008h、
CMT2.CMCR 0008 8012h、CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0：PCLK/8 0 1：PCLK/32 1 0：PCLK/128 1 1：PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0：コンペアマッチ割り込み（CMIn）を禁止 1：コンペアマッチ割り込み（CMIn）を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定です。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMCR レジスタは、カウントアップに用いられるクロックの設定を行うレジスタです。

CMCR レジスタの書き換えがコンペアマッチの発生と競合した場合、CMCR レジスタへの書き込みが無視されます。詳細は「22.5.4　**コンペアマッチタイマコントロールレジスタ（CMCR）書き替え時の注意事項**」を参照してください。

CKS[1:0] ビット（クロック選択ビット）

周辺モジュールクロック（PCLK）を分周して得られる 4 種類の内部クロックから CMCNT カウンタに入力するカウントクロックを選択します。

CMSTRm.STRn ビット（m = 0, 1、n = 0 ～ 3）を “1” にすると、CKS[1:0] ビットで選択されたカウントクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット（コンペアマッチ割り込み許可ビット）

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み（CMIn）(n = 0 ～ 3) の発生を許可するか禁止するかを選択します。

22.2.4 コンペアマッチタイマカウンタ（CMCNT）

アドレス　CMT0.CMCNT 0008 8004h、CMT1.CMCNT 0008 800Ah、
CMT2.CMCNT 0008 8014h、CMT3.CMCNT 0008 801Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMCNT カウンタは、割り込み要求を発生させるための読み出し／書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットでカウントクロックを選択して、CMSTRm.STRn ビット（m = 0, 1、n = 0 ～ 3）を “1” にすると、カウントクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” になります。このとき、コンペアマッチ割り込み（CMIn）（n = 0 ～ 3）が発生します。

CMCNT カウンタ のカウント動作を停止した状態で、CMCNT カウンタ と CMCOR レジスタ を同じ値に設定しないでください。詳細は「22.5.5 **コンペアマッチタイマカウンタ（CMCNT）とコンペアマッチコンスタントレジスタ（CMCOR）の注意事項**」を参照してください。

22.2.5 コンペアマッチタイマコンスタントレジスタ（CMCOR）

アドレス　CMT0.CMCOR 0008 8006h、CMT1.CMCOR 0008 800Ch、
CMT2.CMCOR 0008 8016h、CMT3.CMCOR 0008 801Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CMCOR レジスタは、CMCNT カウンタとのコンペアマッチ周期を設定するレジスタです。

CMCNT カウンタ のカウント動作を停止した状態で、CMCNT カウンタ と CMCOR レジスタ を同じ値に設定しないでください。詳細は「22.5.5 **コンペアマッチタイマカウンタ（CMCNT）とコンペアマッチコンスタントレジスタ（CMCOR）の注意事項**」を参照してください。

22.3 動作説明

22.3.1 周期カウント動作

CMCR.CKS[1:0] ビットでカウントクロックを選択し、CMSTRm.STRn ビット（m = 0, 1、n = 0 ～ 3）を “1” にすると、選択したカウントクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” になります。このとき、コンペアマッチ割り込み（CMIn）（n = 0 ～ 3）が発生します。CMCNT カウンタは “0000h” から再びカウントアップを再開します。CMCNT カウンタの動作を図 22.2 に示します。

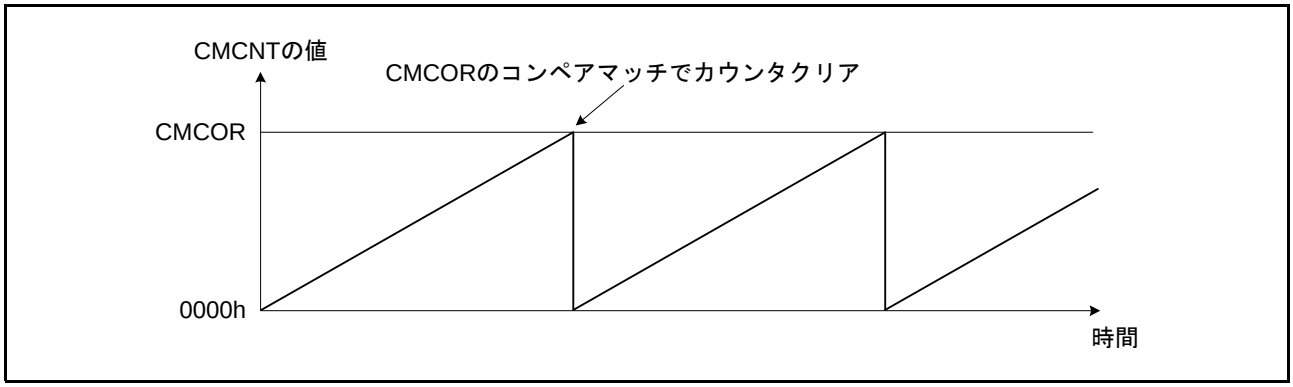


図 22.2　CMCNT カウンタの動作

22.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック（PCLK）を分周した 4 種類の内部クロック（PCLK/8、PCLK/32、PCLK/128、PCLK/512）からカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 22.3 に示します。

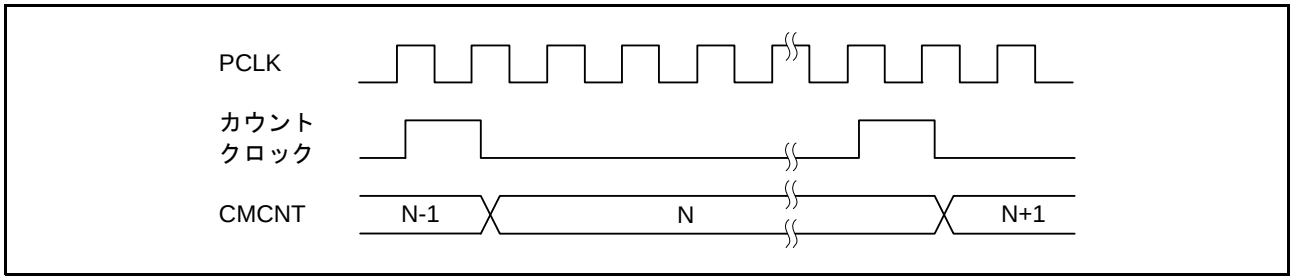


図 22.3　CMCNT カウンタのカウントタイミング

22.4 割り込み

22.4.1 割り込み要因

CMT は、チャネルごとにコンペアマッチ割り込み（CMIn）（n = 0 ～ 3）を持ち、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「11. 割り込みコントローラ（ICUa）」を参照してください。

表 22.3　CMTの割り込み要因

名称	割り込み要因	割り込みステータスフラグ	DTCの起動	DMACAの起動
CMI0	CMT0.CMCNTとCMT0.CMCORのコンペアマッチ	IR028.IR	可能	可能
CMI1	CMT1.CMCNTとCMT1.CMCORのコンペアマッチ	IR029.IR	可能	可能
CMI2	CMT2.CMCNTとCMT2.CMCORのコンペアマッチ	IR030.IR	可能	可能
CMI3	CMT3.CMCNTとCMT3.CMCORのコンペアマッチ	IR031.IR	可能	可能

22.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み（CMIn）（n = 0 ～ 3）が発生します。

コンペアマッチ信号は、CMCNT カウンタが一致したカウント値を更新するタイミングで発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、カウントクロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みの発生タイミングを図 22.4 に示します。

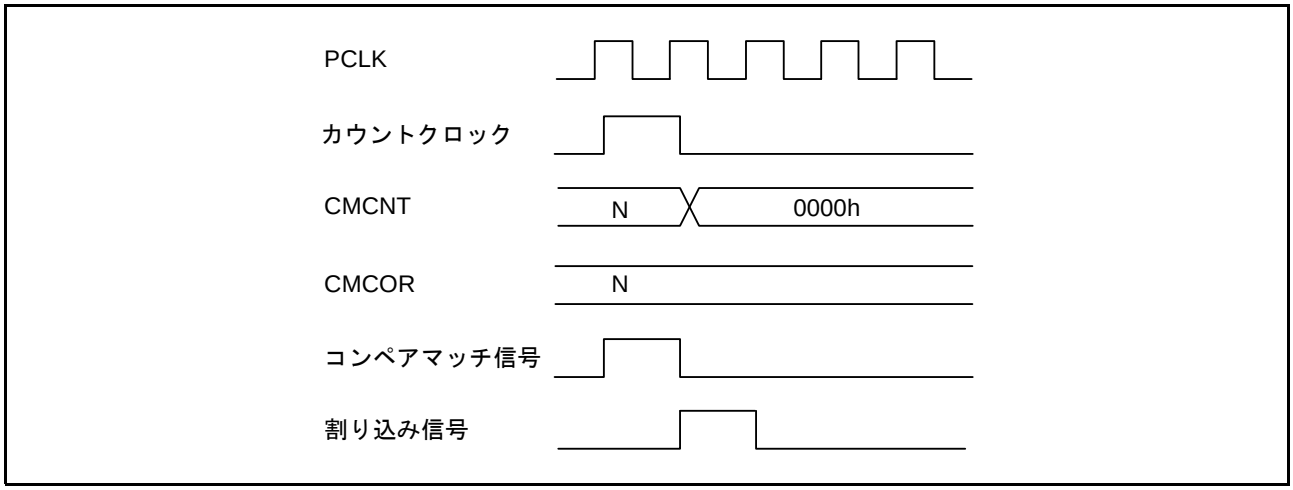


図 22.4　コンペアマッチ割り込みの発生タイミング

22.5 使用上の注意事項

22.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMT の動作禁止／許可を設定することが可能です。初期値では、CMT の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

22.5.2 コンペアマッチタイマカウンタ（CMCNT）への書き込みとコンペアマッチの競合

CMCNT カウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 22.5 に示します。

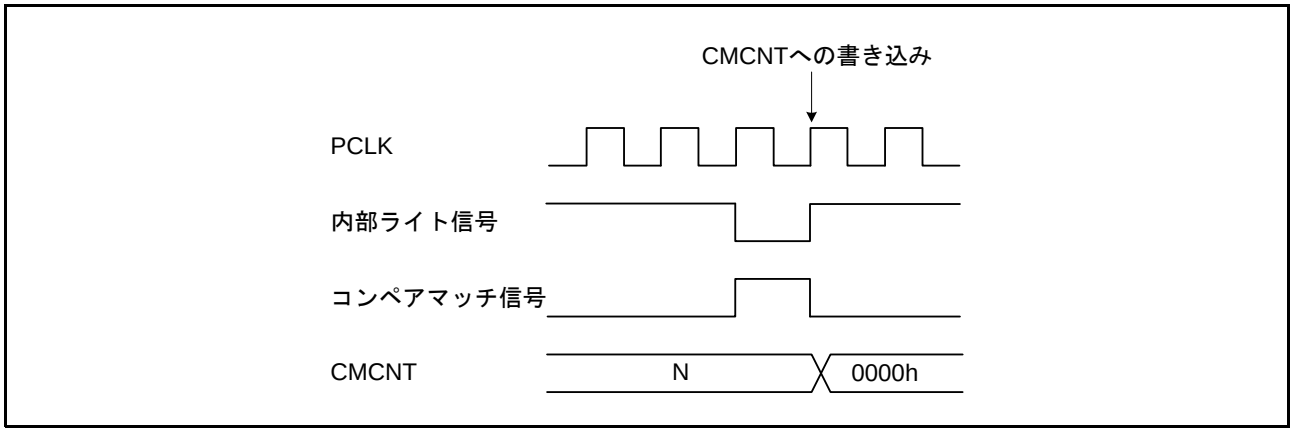


図 22.5 CMCNT カウンタへの書き込みとコンペアマッチの競合

22.5.3 コンペアマッチタイマカウンタ（CMCNT）への書き込みとカウントアップの競合

CMCNT カウンタへの書き込み中にカウントアップが発生しても、CMCNT カウンタはカウントアップされずに CMCNT カウンタへの書き込みが優先されます。このタイミングを図 22.6 に示します。

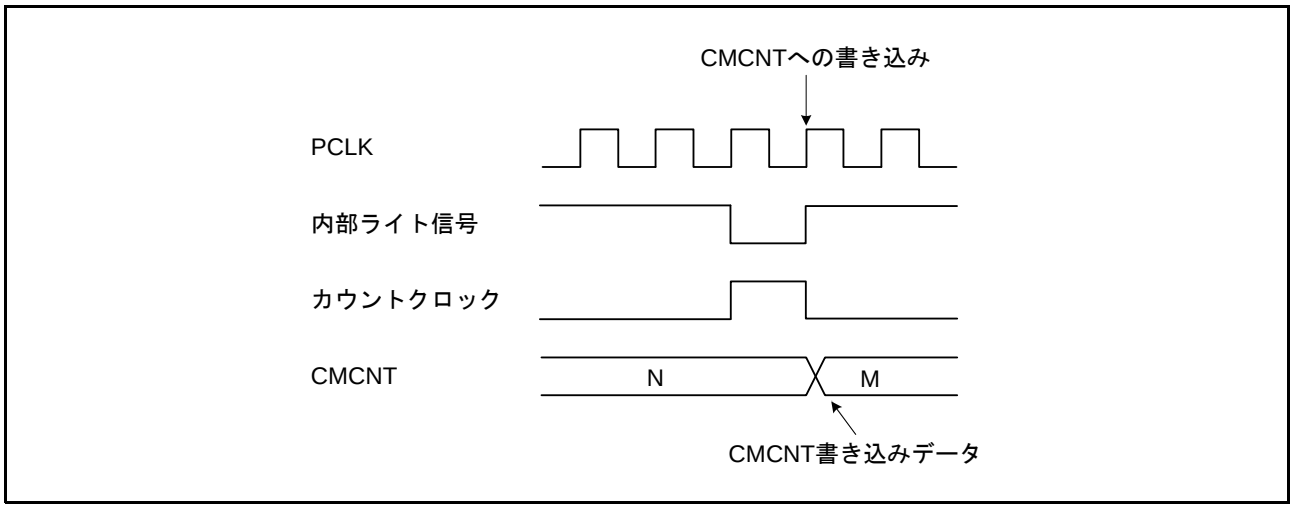


図 22.6 CMCNT カウンタへの書き込みとカウントアップの競合

22.5.4 コンペアマッチタイマコントロールレジスタ（CMCR）書き替え時の注意事項

CMCR レジスタの書き換えがコンペアマッチの発生と競合した場合、CMCR レジスタへの書き込みが無視されます。そのため CMCR レジスタへの書き込み後、CMCR レジスタを読み出して、書き込みデータが正しく書き込まれていることを確認してください。書き込みデータが正しく書き込まれていない場合、再度 CMCR レジスタへの書き込みを実施してください。

なお、CMCR レジスタのビット 7 は読み出し値が不定のため、書き込みデータと比較する際には注意してください。

22.5.5 コンペアマッチタイマカウンタ（CMCNT）とコンペアマッチコンスタントレジスタ（CMCOR）の注意事項

CMCNT カウンタのカウント動作を停止した状態で、CMCNT カウンタ と CMCOR レジスタを同じ値に設定しないでください。

CMCNT カウンタのカウント動作を停止した状態で CMCNT カウンタと CMCOR レジスタを同じ値にした場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。このとき、コンペアマッチ割り込み許可ビット（CMCR.CMIE ビット）が “1”（許可）になっていると、コンペアマッチ割り込みが発生します。

なお、CMCNT カウンタはコンペアマッチ割り込みの禁止 / 許可にかかわらず、CMCOR レジスタの値との一致によるコンペアマッチが発生すると “0000h” に自動クリアされます。

23. リアルタイムクロック（RTC）

23.1 概要

RX62N グループ、RX621 グループは、リアルタイムクロック（RTC）およびサブクロック発振器を内蔵しています。外部に 32.768kHz 水晶発振子を接続することで 32.768kHz を基準に RTC 動作します。

表 23.1 に RTC の仕様を示します。

表23.1　RTCの仕様

項目	内容
カウントソース	RTC専用クロック（32.768kHz）
時計/カレンダ機能	• 年、月、日、曜日、時、分、秒をカウント、BCD表示 • 1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hzの状態をバイナリで表示 • スタート／ストップ機能 • 30秒調整機能（30秒未満は00秒に切り捨て、30秒以降は1分に桁上げ） • うるう年自動補正機能 • 1Hzクロック出力
割り込み	• アラーム割り込み（ALM） アラーム割り込み条件として、年、月、日、曜日、時、分、秒のいずれと比較するか選択可能 • 周期割り込み（PRD） 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/16秒、1/64秒、1/256秒周期から選択可能 • 桁上げ割り込み（CUP） 秒カウンタへの桁上げ、または64Hzカウンタの読み出し時に、プリスケーラから64Hzカウンタへの桁上げが発生したことを示す • アラーム割り込みによる、ソフトウェアスタンバイまたはディープソフトウェアスタンバイからの復帰が可能

RTC はカウントソース（32.768kHz）を基本クロックとして動作します。各カウンタはカウントソースをプリスケーラで分周した 128Hz クロックを基準に動作し、時計カウンタ機能の基準となる秒周期は、64Hz カウンタで生成されます。

RTC のブロック図を図 23.1 に、RTC の入出力端子を表 23.2 に示します。

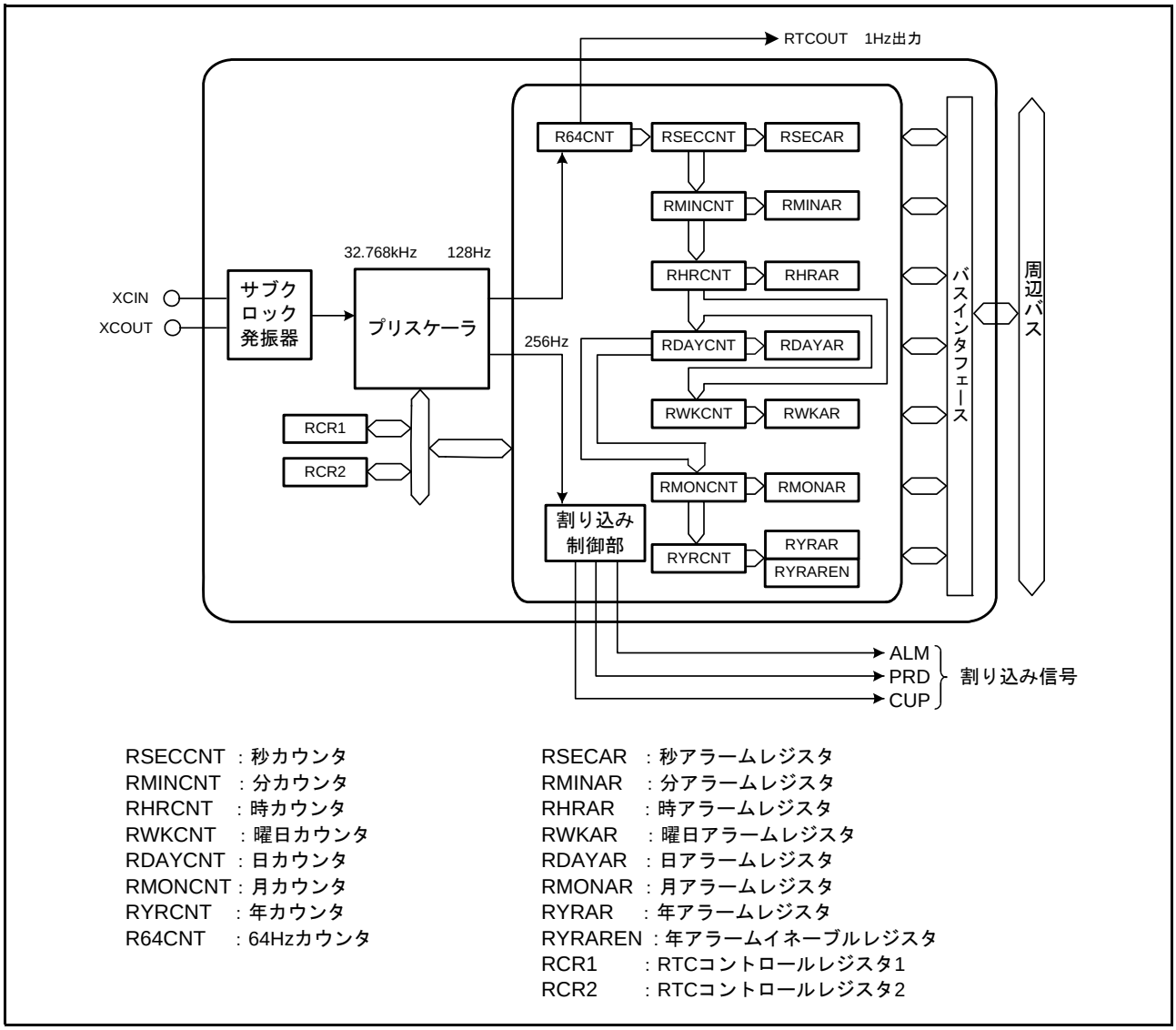


図 23.1　RTC のブロック図

表23.2　RTCの入出力端子

端子名	入出力	機　　能
XCOUT	出力	RTC用に32.768kHzの水晶発振子を接続します。または、XCIN端子に外部クロックを入力します
XCIN	入力	
RTCOUT	出力	1Hzのクロックを出力します

23.2 レジスタの説明

表 23.3 に RTC のレジスタ一覧を示します。

表23.3　RTCのレジスター覧

レジスタ名	シンボル	リセット後の値（注1）	アドレス	アクセスサイズ
64Hzカウンタ	R64CNT	xxh	0008 C400h	8
秒カウンタ	RSECCNT	xxh	0008 C402h	8
分カウンタ	RMINCNT	xxh	0008 C404h	8
時カウンタ	RHRCNT	xxh	0008 C406h	8
曜日カウンタ	RWKCNT	0xh	0008 C408h	8
日カウンタ	RDAYCNT	xxh	0008 C40Ah	8
月カウンタ	RMONCNT	xxh	0008 C40Ch	8
年カウンタ	RYRCNT	xxxxh	0008 C40Eh	16
秒アラームレジスタ	RSECAR	xxh	0008 C410h	8
分アラームレジスタ	RMINAR	xxh	0008 C412h	8
時アラームレジスタ	RHRAR	xxh	0008 C414h	8
曜日アラームレジスタ	RWKAR	xxh	0008 C416h	8
日アラームレジスタ	RDAYAR	xxh	0008 C418h	8
月アラームレジスタ	RMONAR	xxh	0008 C41Ah	8
年アラームレジスタ	RYRAR	xxxxh	0008 C41Ch	16
年アラームイネーブルレジスタ	RYRAREN	x0h	0008 C41Eh	8
RTCコントロールレジスタ1	RCR1	00h	0008 C422h	8
RTCコントロールレジスタ2	RCR2	01h	0008 C424h	8

【記号説明】x：不定

注1.　RTCのレジスタビットで、リセット後の値が X(不定) のビットは、リセット、ディープソフトウェアスタンバイモードでは初期化されません。また、カウント動作時（RCR2.START ビット＝1のとき）にリセット状態または低消費電力状態へ遷移した場合、年、月、曜日、日、時、分、秒、64Hzカウンタは動作を継続します。
ただし、レジスタ書き込みおよびレジスタ更新処理中にリセットが発生した場合は、レジスタ値を破壊する可能性がありますので、ご注意ください。また、レジスタ設定直後にソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移しないでください。詳細は、「23.5.3　レジスタ設定後の低消費電力モード遷移について」を参照ください。
RX62Nグループ、RX621グループでは、ディープソフトウェアスタンバイモードの状態でRES#端子によるリセットを行った場合、レジスタ値を破壊します。そのため、端子リセット後はレジスタの初期設定をしてください。

RTC のレジスタの書き込み／読み出しは、「23.5.4　**レジスタの書き込み／読み出し時の注意事項**」に従って行う必要があります。

23.2.1　64Hz カウンタ（R64CNT）

アドレス　0008 C400h

	b7	b6	b5	b4	b3	b2	b1	b0
	―	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz ビット	1Hz～64Hz の状態を示します	R
b1	F32HZ	32Hz ビット		R
b2	F16HZ	16Hz ビット		R
b3	F8HZ	8Hz ビット		R
b4	F4HZ	4Hz ビット		R
b5	F2HZ	2Hz ビット		R
b6	F1HZ	1Hz ビット		R
b7	―	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

64Hz カウンタ（R64CNT）は、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。

R64CNT レジスタを読み出すことで、秒以下の状態が確認できます。

RTC コントロールレジスタ 2（RCR2）の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを “1” にすると、“0” になります。

読み出し時は、「23.3.4　64Hz カウンタおよび時刻読み出し手順」に従ってください。

23.2.2 秒カウンタ（RSECCNT）

アドレス　0008 C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SEC10[2:0]			SEC1[3:0]			
リセット後の値	0	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	秒一位カウントビット	秒一位は1秒ごとに0から9をカウントします。桁上がりが発生すると、秒十位が＋1されます	R/W
b6-b4	SEC10[2:0]	秒十位カウントビット	秒十位は0から5をカウントして、60秒のカウントを行います	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

RSECCNT は、BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 00 ～ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

読み出し時は、「23.3.4　64Hz カウンタおよび時刻読み出し手順」に従ってください。

23.2.3　分カウンタ（RMINCNT）

アドレス　0008 C404h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MIN10[2:0]			MIN1[3:0]			
リセット後の値	0	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	分一位カウントビット	分一位は1分ごとに0から9をカウントします。桁上がりが発生すると、分十位が＋1されます	R/W
b6-b4	MIN10[2:0]	分十位カウントビット	分十位は0から5をカウントして、60分のカウントを行います	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMINCNT は、BCD コード化された分部分の設定、カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 00 ～ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

読み出し時は、「23.3.4　64Hz カウンタおよび時刻読み出し手順」に従ってください。

23.2.4　時カウンタ（RHRCNT）

アドレス　0008 C406h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	HOUR10[1:0]		HOUR1[3:0]			
リセット後の値	0	0	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HOUR1[3:0]	時一位カウントビット	時一位は1時間ごとに0から9をカウントします。桁上がりが発生すると、時十位が＋1されます	R/W
b5-b4	HOUR10[1:0]	時十位カウントビット	時十位は時一位の桁上がりごとに0から2をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RHRCNT は、BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 00 ～ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

読み出し時は、「23.3.4　64Hz カウンタおよび時刻読み出し手順」に従ってください。

23.2.5 曜日カウンタ（RWKCNT）

アドレス　0008 C408h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	DAY[2:0]		
リセット後の値	0	0	0	0	0	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAY[2:0]	曜日カウントビット	b2　b0 0 0 0：日 0 0 1：月 0 1 0：火 0 1 1：水 1 0 0：木 1 0 1：金 1 1 0：土 1 1 1：設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RWKCNT は BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。設定可能範囲は、10 進（BCD）で 0 ～ 6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

読み出し時は、「23.3.4　64Hz カウンタおよび時刻読み出し手順」に従ってください。

23.2.6 日カウンタ（RDAYCNT）

アドレス　0008 C40Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DAY10[1:0]		DAY1[3:0]			
リセット後の値	0	0	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DAY1[3:0]	日一位カウントビット	日一位は1日ごとに0～9をカウントします。桁上がりが発生すると日十位が＋1されます	R/W
b5-b4	DAY10[1:0]	日十位カウントビット]	日十位は日一位の桁上がりごとに0～3をカウントします	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RDAYCNT は、BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。また、うるう年、月に対応したカウント動作を行います。

うるう年は年カウンタ（RYRCNT）を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

設定可能範囲は、10 進（BCD）で 01 ～ 31 です。それ以外の値が設定されると、正常に動作しません（月ごとおよびうるう年によって設定可能範囲が変化しますので、確認の上、設定してください）。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

読み出し時は、「23.3.4　64Hz カウンタおよび時刻読み出し手順」に従ってください。

23.2.7 月カウンタ（RMONCNT）

アドレス　0008 C40Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MON10	MON1[3:0]			
リセット後の値	0	0	0	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	月一位カウントビット	月一位は1月ごとに0～9をカウントします。桁上がりが発生すると月十位が＋1されます	R/W
b4	MON10	月十位カウントビット	月十位は月一位の桁上がりごとに0～1をカウントします	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMONCNT は、BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 01 ～ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

読み出し時は、「23.3.4　64Hz カウンタおよび時刻読み出し手順」に従ってください。

23.2.8　年カウンタ（RYRCNT）

アドレス　0008 C40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	YEAR1000[3:0]				YEAR100[3:0]				YEAR10[3:0]				YEAR1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YEAR1[3:0]	年一位カウントビット	年一位は1年ごとに0～9をカウントします。桁上がりが発生すると年十位が＋1されます。	R/W
b7-b4	YEAR10[3:0]	年十位カウントビット	年十位は年一位の桁上がりごとに0～9をカウントします。桁上がりが発生すると年百位が＋1されます。	R/W
b11-b8	YEAR100[3:0]	年百位カウントビット	年百位は年十位の桁上がりごとに0～9をカウントします。桁上がりが発生すると年千位が＋1されます。	R/W
b15-b12	YEAR1000[3:0]	年千位カウントビット	年千位は年百位の桁上がりごとに0～9をカウントします。	R/W

RYRCNT は、BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10 進（BCD）で 0000 ～ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

読み出し時は、「23.3.4　64Hz カウンタおよび時刻読み出し手順」に従ってください。

23.2.9　秒アラームレジスタ（RSECAR）

アドレス　0008 C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	SEC10[2:0]			SEC1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒ビット	秒一位の設定値	R/W
b6-b4	SEC10[2:0]	10秒ビット	秒十位の設定値	R/W
b7	ENB	ENBビット	“1”であれば、RSECCNTの値と比較を行います	R/W

RSECAR レジスタは､BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが“1”であれば､RSECAR の値と RSECCNT の値との比較を行います｡アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

秒の設定可能範囲は、10 進（BCD）で 00 ～ 59 であり、それ以外の値が設定されると、正常に動作しません。

RSECAR レジスタは RTC コントロールレジスタ 2（RCR2）の RESET ビットを “1” にすると 00h になります。

23.2.10　分アラームレジスタ（RMINAR）

アドレス　0008 C412h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	MIN10[2:0]			MIN1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分ビット	分一位の設定値	R/W
b6-b4	MIN10[2:0]	10分ビット	分十位の設定値	R/W
b7	ENB	ENBビット	“1”であれば、RMINCNTの値と比較を行います	R/W

RMINAR レジスタは、BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが “1” であれば、RMINAR の値と RMINCNT の値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

分の設定可能範囲は、10 進（BCD）で 00 ～ 59 ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR レジスタは RTC コントロールレジスタ 2（RCR2）の RESET ビットを “1” にすると 00h になります。

23.2.11 時アラームレジスタ（RHRAR）

アドレス　0008 C414h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	―	HOUR10[1:0]		HOUR1[3:0]			
リセット後の値	x	0	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HOUR1[3:0]	1時間ビット	時一位の設定値	R/W
b5-b4	HOUR10[1:0]	10時間ビット	時十位の設定値	R/W
b6	―	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ENB	ENBビット	“1”であれば、RHRCNTの値と比較を行います	R/W

RHRAR レジスタは、BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが “1” であれば､RHRAR の値と RHRCNT の値との比較を行います｡アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

時の設定可能範囲は、10 進（BCD）で 00 ～ 23 であり、それ以外の値が設定されると、正常に動作しません。

RHRAR レジスタは RTC コントロールレジスタ 2（RCR2）の RESET ビットを “1” にすると 00h にクリアされます。

23.2.12 曜日アラームレジスタ（RWKAR）

アドレス　0008 C416h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	DAY[2:0]		
リセット後の値	x	0	0	0	0	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAY[2:0]	曜日の設定値ビット	b2　b0 0 0 0：日 0 0 1：月 0 1 0：火 0 1 1：水 1 0 0：木 1 0 1：金 1 1 0：土 1 1 1：設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ENB	ENBビット	“1”であれば、RWKCNTの値と比較を行います	R/W

RWKAR レジスタは、BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが “1” であれば、RWKAR の値と RWKCNT の値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

曜日の設定可能範囲は、10 進（BCD）で 0 ～ 6 であり、それ以外の値が設定されると、正常に動作しません。

RWKAR レジスタは RTC コントロールレジスタ 2（RCR2）の RESET ビットを “1” にすると 00h になります。

23.2.13 日アラームレジスタ（RDAYAR）

アドレス　0008 C418h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	―	DAY10[1:0]		DAY1[3:0]			
リセット後の値	x	0	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DAY1[3:0]	1日ビット	日一位の設定値	R/W
b5-b4	DAY10[1:0]	10日ビット	日十位の設定値	R/W
b6	―	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ENB	ENBビット	“1”であれば、RDAYCNTの値と比較を行います	R/W

RDAYAR レジスタは、BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが “1” であれば、RDAYAR の値と RDAYCNT の値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

日の設定可能範囲は、10 進（BCD）で 01 ～ 31 であり、それ以外の値が設定されると、正常に動作しません。

RDAYAR レジスタは RTC コントロールレジスタ 2（RCR2）の RESET ビットを “1” にすると 00h になります。

23.2.14 月アラームレジスタ（RMONAR）

アドレス　0008 C41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	―	―	MON10	MON1[3:0]			
リセット後の値	x	0	0	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月ビット	月一位の設定値	R/W
b4	MON10	10月ビット	月十位の設定値	R/W
b6-b5	―	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ENB	ENBビット	“1”であれば、RMONCNTの値と比較を行います	R/W

RMONAR レジスタは、BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが “1” であれば、RMONAR の値と RMONCNT の値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

月の設定可能範囲は、10 進（BCD）で 01 ～ 12 であり、それ以外の値が設定されると、正常に動作しません。

RMONAR レジスタは RTC コントロールレジスタ 2（RCR2）の RESET ビットを “1” にすると 00h になります。

23.2.15 年アラームレジスタ（RYRAR）

アドレス　0008 C41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	YEAR1000[3:0]				YEAR100[3:0]				YEAR10[3:0]				YEAR1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YEAR1[3:0]	1年ビット	年一位の設定値	R/W
b7-b4	YEAR10[3:0]	10年ビット	年十位の設定値	R/W
b11-b8	YEAR100[3:0]	100年ビット	年百位の設定値	R/W
b15-b12	YEAR1000[3:0]	1000年ビット	年千位の設定値	R/W

RYRAR レジスタは、BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。年の設定可能範囲は、10進（BCD）で0000～9999であり、それ以外の値が設定されると、正常に動作しません。RYRAR レジスタはRTC コントロールレジスタ 2（RCR2）の RESET ビットを “1” にすると 0000h になります。

23.2.16 年アラームイネーブルレジスタ（RYRAREN）

アドレス　0008 C41Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	–	–	–	–	–	–	–
リセット後の値	x	0	0	0	0	0	0	0

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ENB	ENBビット	“1”であれば、RYRCNTの値と比較を行います	R/W

RYRAREN レジスタは、ENB ビットが “1” であれば、RYRCAR の値と RYRCNT の値との比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN）のうち、ENB ビットが “1” になっているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、ICU の IR92.IR フラグが “1” になります。

RYRAREN レジスタはRTC コントロールレジスタ 2（RCR2）の RESET ビットを “1” にすると 00h になります。

23.2.17 RTC コントロールレジスタ 1（RCR1）

アドレス　0008 C422h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PES[2:0]			—	PIE	CIE	AIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可ビット	0：アラーム割り込みを要求しない 1：アラーム割り込みを要求する	R/W
b1	CIE	桁上げ割り込み許可ビット	0：秒カウンタへの桁上げ、または64Hzカウンタ読み出しと64Hzカウンタへの桁上げが重なったとき、桁上げ割り込みを要求しない 1：秒カウンタへの桁上げ、または64Hzカウンタ読み出しと64Hzカウンタへの桁上げが重なったとき、桁上げ割り込みを要求する	R/W
b2	PIE	周期割り込み許可ビット	0：周期割り込みを要求しない 1：周期割り込みを要求する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	PES[2:0]	周期割り込み選択ビット	b6　b4 0 0 0：周期割り込み発生なし 0 0 1：周期割り込み発生の周期を1/256秒ごとにする 0 1 0：周期割り込み発生の周期を1/64秒ごとにする 0 1 1：周期割り込み発生の周期を1/16秒ごとにする 1 0 0：周期割り込み発生の周期を1/4秒ごとにする 1 0 1：周期割り込み発生の周期を1/2秒ごとにする 1 1 0：周期割り込み発生の周期を1秒ごとにする 1 1 1：周期割り込み発生の周期を2秒ごとにする	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCR1 レジスタは、割り込み制御に関するレジスタです。

AIE ビット（アラーム割り込み許可ビット）

アラーム割り込み要求の許可または禁止を選択します。

ディープソフトウェアスタンバイ復帰時のアラーム割り込み要求は、AIE ビットの設定に関係なくカウンタとアラーム時刻の一致で割り込み要求が発生します。

AIE ビットは、128Hz クロックに同期して更新されます。AIE ビットを書き替えた場合、更新されるまでの間は書き替え前の値が読み出されます。AIE ビットを書き替えた場合は、値が更新されたことを確認してから次の処理を実行してください。

CIE ビット（桁上げ割り込み許可ビット）

秒カウンタへの桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタへの桁上げが発生したときの割り込み要求の許可または禁止を選択します。

PIE ビット（周期割り込み許可ビット）

周期割り込み要求の許可または禁止を選択します。

PES[2:0] ビット（周期割り込み選択ビット）

周期割り込みの周期を設定します。このビットで設定した周期に応じて周期割り込み（PRD）の要因を定期的に発生します。

23.2.18 RTC コントロールレジスタ 2（RCR2）

アドレス　0008 C424h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RTCOE	ADJ	RESET	START
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	START	スタートビット	0：年、月、曜日、日、時、分、秒、64Hzカウンタおよびプリスケーラは停止 1：年、月、曜日、日、時、分、秒、64Hzカウンタおよびプリスケーラは通常動作	R/W
b1	RESET	リセットビット	0：通常の時計動作または初期化が完了 1：プリスケーラ、64Hzカウンタ、アラームレジスタを初期化	R/W
b2	ADJ	30秒調整ビット	0：通常の時計動作または30秒調整が完了 1：30秒調整中	R/W
b3	RTCOE	RTCOUT出力制御ビット	0：RTCOUTを端子から出力しない 1：RTCOUTを端子から出力する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RCR2レジスタは、30秒調整、プリスケーラおよびR64CNTのリセット、カウント制御に関するレジスタです。

START ビット（スタートビット）

プリスケーラおよびカウンタ（時計）動作を停止または再起動を制御するビットです。

START ビットは、カウントソースに同期して更新されます。START ビットを書き替えた場合、更新されるまでの間は書き替え前の値が読み出されます。START ビットを書き替えた場合は、値が更新されたことを確認してから次の処理を実行してください。

RESET ビット（リセットビット）

プリスケーラおよび R64CNT レジスタ、アラームレジスタ、RYRAREN レジスタを初期化するビットです。

時計動作中（START ビットが “1”）は、128Hz クロックに同期して上記レジスタの初期化が行われます。RESET ビットに “1” が書かれた場合、上記レジスタの初期化が完了すると RESET ビットは自動的に “0” になります。

時計停止中（START ビットが “0”）は、RESET ビットに “1” を書くと直ちに上記レジスタの初期化が行われます。初期化が完了するとこのビットは自動的に “0” になります。

RESET ビットに “1” を書いた場合は、“0” になったことを確認してから次の処理を実行してください。

ADJ ビット（30 秒調整ビット）

30 秒調整（30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ）を行うビットです。

30 秒調整は、128Hz クロックに同期して行われます。ADJ ビットに “1” が書かれた場合、30 秒調整が完了すると ADJ ビットは自動的に “0” になります。ADJ ビットに “1” を書いた場合は、“0” になったことを確認してから次の処理を実行してください。

RTCOE ビット（RTCOUT 出力制御ビット）

RTCOUT（1Hz クロック）の端子出力を制御するビットです。

23.3 動作説明

23.3.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

23.3.2 時刻設定手順

時刻設定手順を**図** 23.2 に示します。

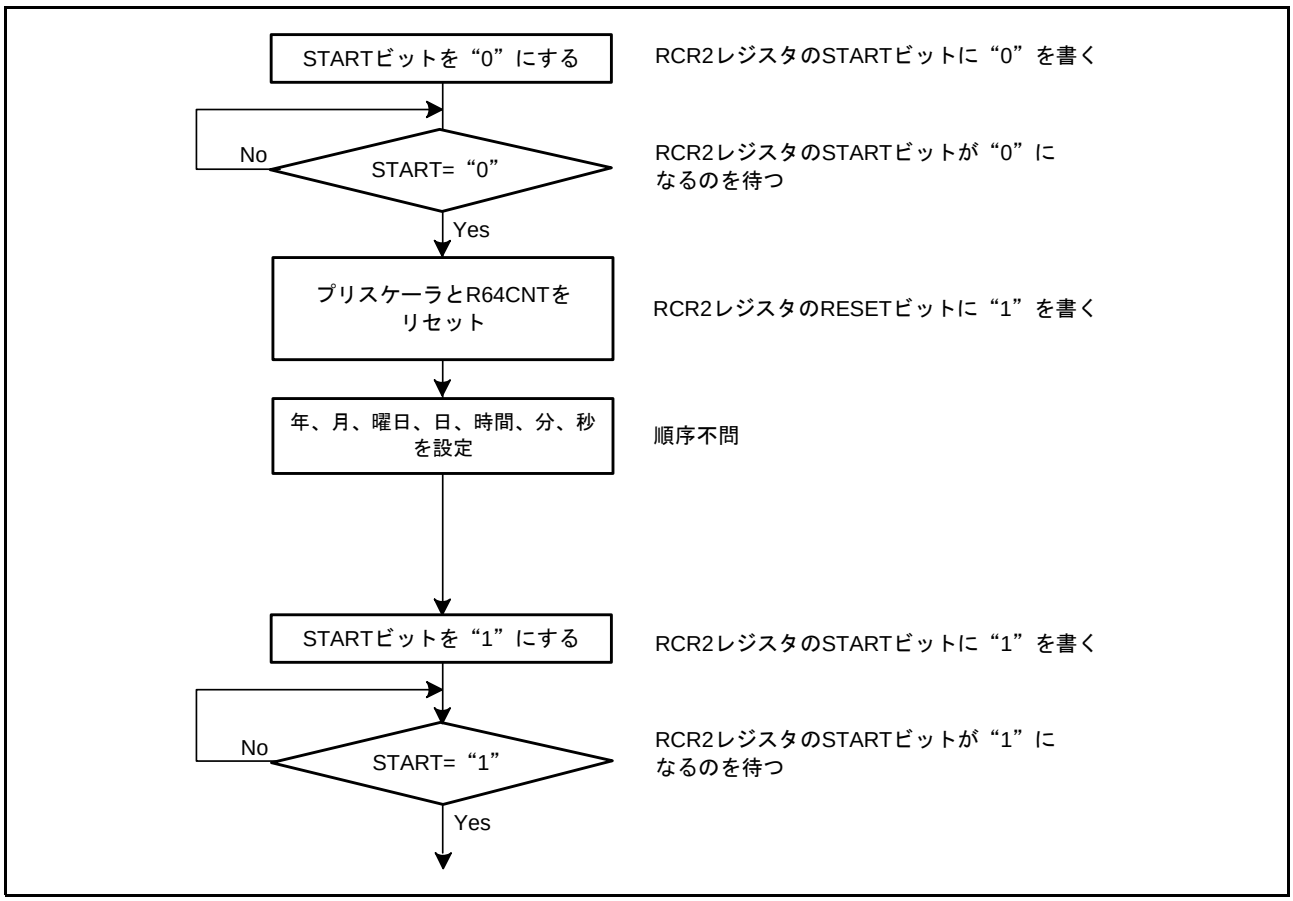


図 23.2　時刻設定手順

23.3.3 30 秒調整手順

30 秒調整手順を図 23.3 に示します。

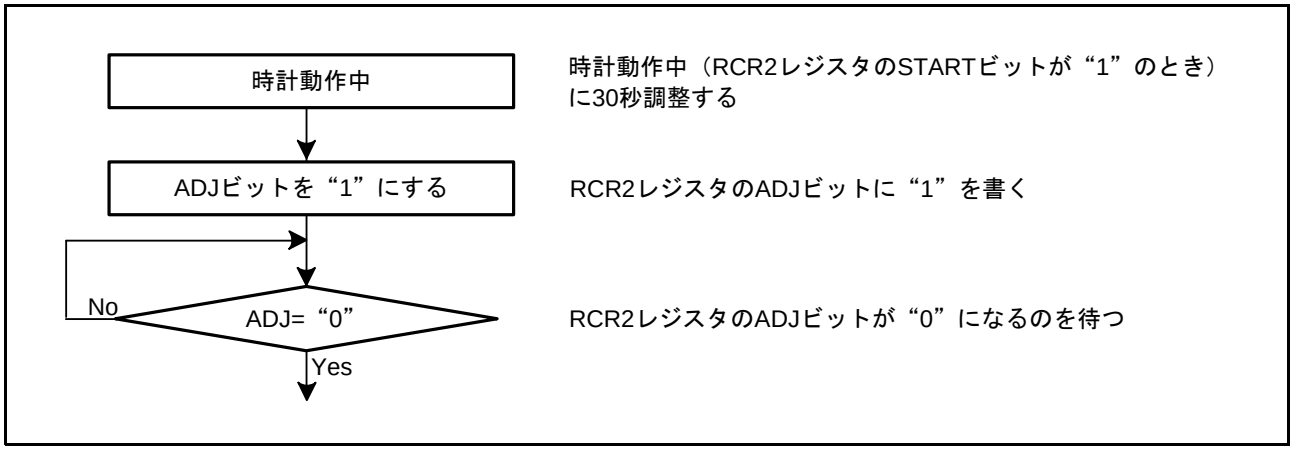


図 23.3 30 秒調整手順

23.3.4　64Hz カウンタおよび時刻読み出し手順

64Hz カウンタおよび時刻読み出し手順を図 23.4 に示します。

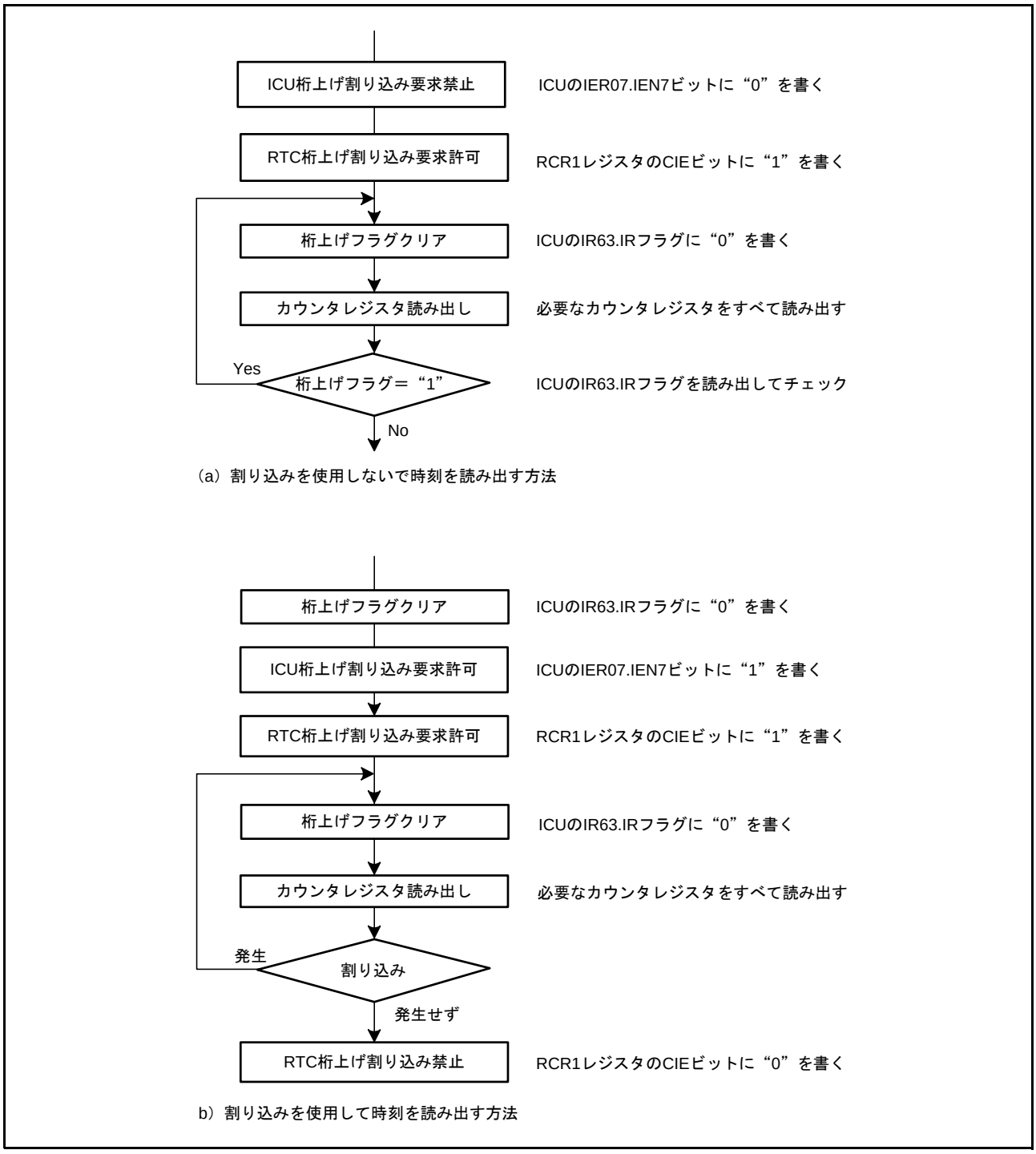


図 23.4　時刻読み出し手順

64Hz カウンタおよび時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 23.4 の（a）に、桁上げ割り込みを使用する方法を図 23.4 の（b）に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

23.3.5 アラーム機能

アラーム機能の使用方法を図 23.5 に示します。

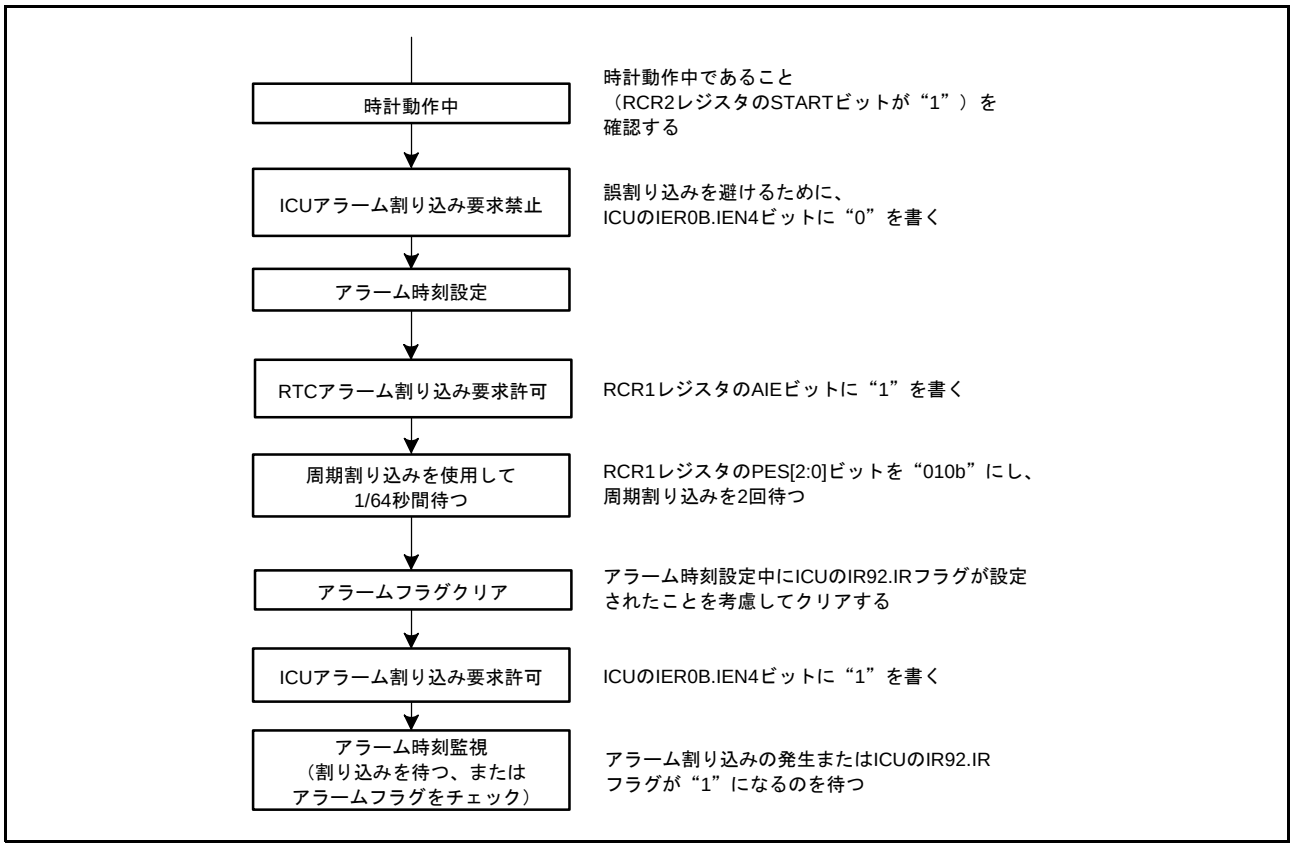


図 23.5　アラーム機能の使用方法

アラームは、年、月、日、曜日、時、分、秒のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とする各アラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致した場合は、ICU の IR92.IR フラグに 1 がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。ICU の IER0B.IEN4 ビットに 1 が書き込まれている場合、アラーム割り込みが発生しアラームを検出することができます。

ICU の IR92.IR フラグは 0 を書き込むとクリアされます。

低消費電力状態のときにカウンタとアラーム時刻が一致すると低消費電力状態から復帰します。

注 .　対応する割り込み要因番号は、表 23.4 を参照してください。

23.3.6 アラーム割り込みディスエーブル手順

イネーブル状態のアラーム割り込み要求をディスエーブルにする手順を図 23.6 に示します。

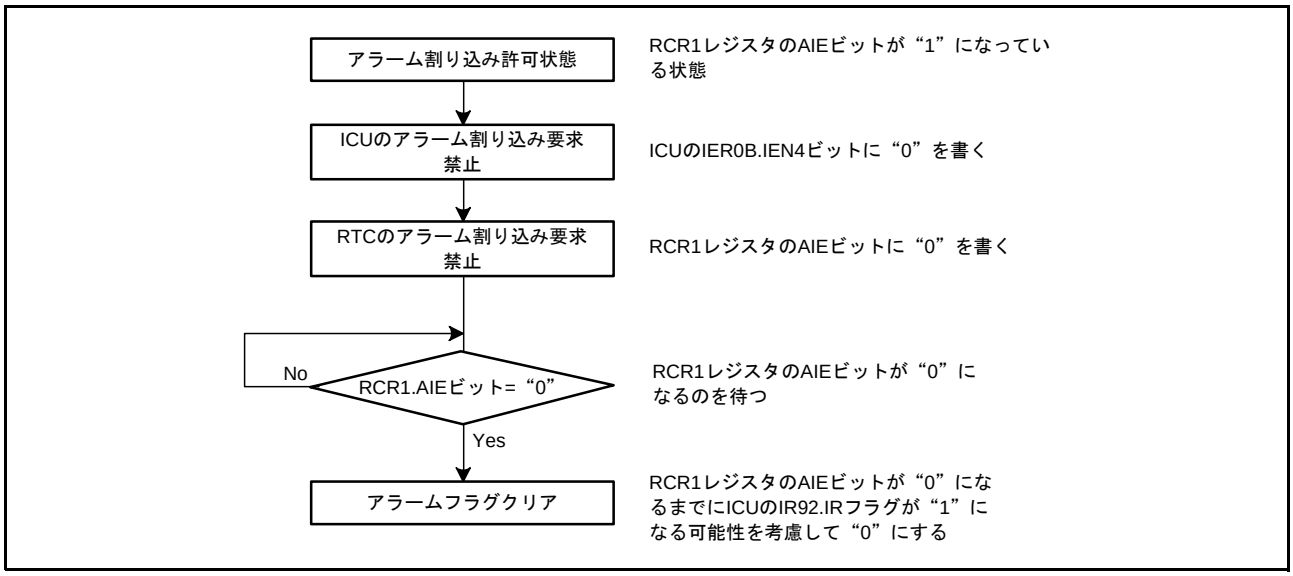


図 23.6 アラーム割り込み要求のディスエーブル手順

23.4　割り込み要因

リアルタイムクロックの割り込み要因には、以下の 3 種類があります。表 23.4 に RTC の割り込み要因を示します。

表 23.4　RTCの割り込み要因

名称	割り込み要因	割り込みステータスフラグ
ALM	アラーム割り込み	IR92.IR
PRD	周期割り込み	IR62.IR
CUP	桁上げ割り込み	IR63.IR

(1)　アラーム割り込み（ALM）

アラームレジスタと時計カウンタとの比較結果により割り込みを発生します（詳細は各アラームレジスタの説明を参照してください）。

アラームレジスタの設定中に時計カウンタと一致し、割り込みフラグがセットされる可能性があるため、アラームレジスタの変更後 1/64 秒待ち、一度当該割り込みの IRi.IR フラグをクリアしてください。アラーム割り込みの割り込みフラグは、一度クリアすると、再度アラームレジスタと時計カウンタが不一致状態になった後、再び一致するかアラームの再設定を行うまでセットされません。

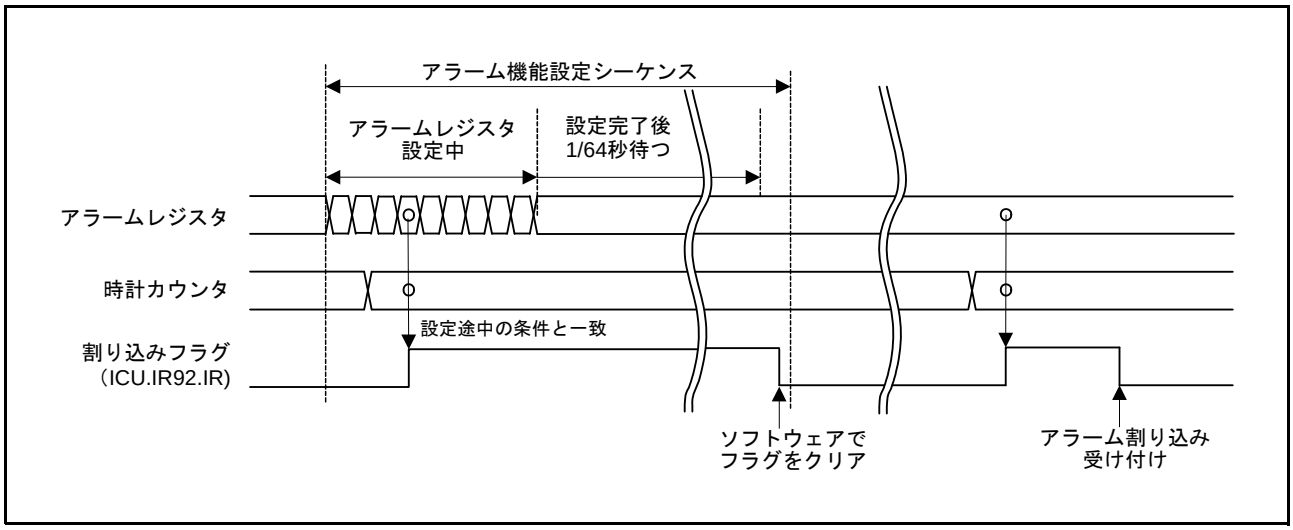


図 23.7　アラーム割り込み（ALM）のタイミングチャート

(2)　周期割り込み（PRD）

2 秒、1 秒、1/2 秒、1/4 秒、1/16 秒、1/64 秒、1/256 秒周期で発生する割り込みです。RCR1 の PES ビットにより周期の選択が可能です。

(3)　桁上げ割り込み（CUP）

秒カウンタへの桁上げが発生したとき、または 64Hz カウンタ読み出し時にプリスケーラから R64CNT への桁上げが発生したときにアサートされる割り込みです。

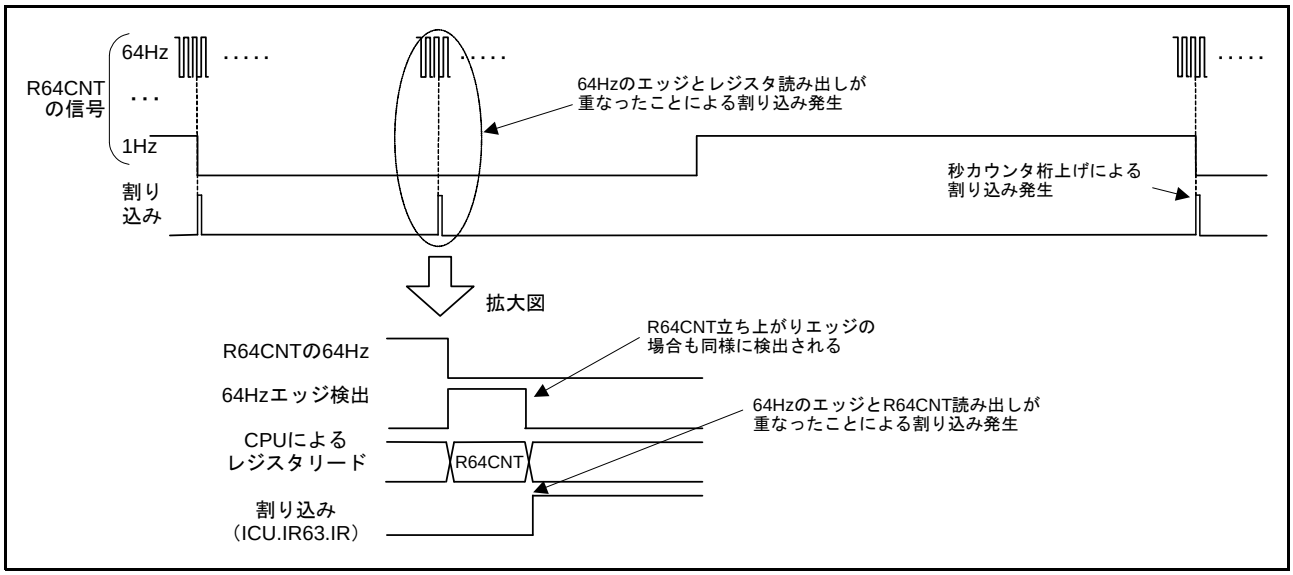


図 23.8　桁上げ割り込み（CUP）のタイミングチャート

23.5 使用上の注意事項

23.5.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.START ビット = 1 のとき）は、以下のレジスタに書き込を行わないでください。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCONT

上記のレジスタへの書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

23.5.2 周期割り込みの使用について

周期割り込みの使用方法を図 23.9 に示します。

周期割り込みは、RCR1.PES[2:0] ビットの設定により割り込みの発生および周期を切り替えることができます。しかし、割り込み発生にプリスケーラ、R64CNT、RSECCNT を使用しているため、RCR1.PES[2:0] ビット設定直後の割り込み発生周期は保証されません。また、RCR2 レジスタにより、カウント動作の停止／再開、リセット、30 秒調整を行うと、割り込み発生周期に影響を与えます。

注 . 対応する割り込み要因番号は、表 23.4 を参照してください。

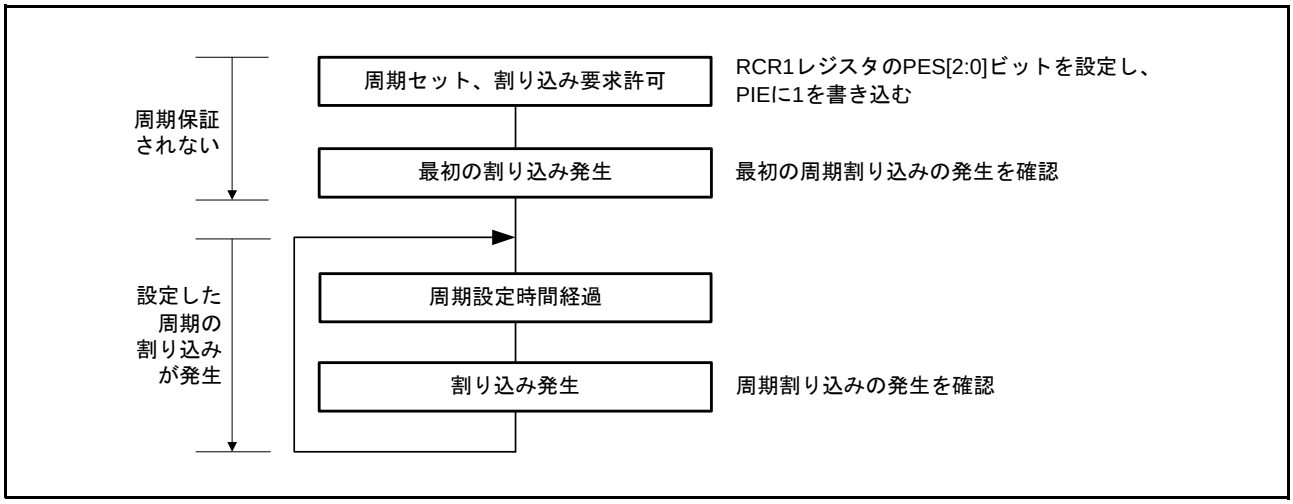


図 23.9 周期割り込み機能の使用方法

23.5.3 レジスタ設定後の低消費電力モード遷移について

RTC 内のレジスタ設定直後にソフトウェアスタンバイ状態やディープソフトウェアスタンバイ状態へ遷移すると、正しくカウントできない場合があります。レジスタ設定後は、設定されたことを確認してからソフトウェアスタンバイ状態やディープソフトウェアスタンバイ状態に遷移してください。

23.5.4 レジスタの書き込み／読み出し時の注意事項

- 秒カウンタなど、カウントレジスタの読み出しは、「23.3.4　64Hz カウンタおよび時刻読み出し手順」に従ってください。
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタの書き込み後の読み出しは、空リード 3 回後のリードから書き込み値が反映されます。
- RCR1 レジスタ（AIE ビットを除く）、RCR2.RTCOE ビットは、書き込み直後の読み出しで書き込み値を読み出すことができます。
- 時計停止中（RCR2.START ビット =0）にリセット、ソフトウェアスタンバイまたはディープソフトウェアスタンバイ状態へ遷移した場合、リセット解除、ソフトウェアスタンバイまたはディープソフトウェアスタンバイ復帰後は、正しい時計カウンタの値を読み出すことができません。復帰後に時計カウンタの値を読み出すためには、時計動作を再開（RCR2.START ビットを 1 にセット）し、1/128 秒待つ必要があります。
- ソフトウェアスタンバイまたはディープソフトウェアスタンバイ復帰後に、ソフトウェアスタンバイまたはディープソフトウェアスタンバイ遷移前の値が必要な場合は、事前に時計カウンタの値を読み出し、退避させておいてください。
- 時計動作中（RCR2.START ビット =1）にリセット、ソフトウェアスタンバイまたはディープソフトウェアスタンバイ状態へ遷移した場合、リセット解除、ソフトウェアスタンバイまたはディープソフトウェアスタンバイ復帰後 128Hz クロックの 1 サイクル期間は、正しい時計カウンタの値を読み出すことができません。リセット解除、ソフトウェアスタンバイまたはディープソフトウェアスタンバイ復帰後に時計カウンタの値を読み出す場合は、1/128 秒待ってから読み出しを行ってください。

24. ウォッチドッグタイマ（WDT）

ウォッチドッグタイマ（WDT）は8ビットタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバフローすると外部にオーバフロー信号（WDTOVF#）を出力します。同時に、RX62N、RX621内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして動作しているときは、カウンタがオーバフローするごとにインターバルタイマ割り込みが発生します。

24.1 概要

表24.1にWDTの仕様を、図24.1にWDTのブロック図を示します。

表24.1　WDTの仕様

項目	内容
カウントクロック	PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072
チャネル数	8ビット×1チャネル
カウンタクリア	TCNTへの書き込み
動作モード	ウォッチドッグタイマモード、インターバルタイマモードの切り替え
ウォッチドッグタイマモード	カウンタがオーバフローすると、外部にWDTOVF#信号を出力、 同時にLSI内部をリセットするかどうかを選択可能
インターバルタイマモード	カウンタがオーバフローすると、インターバルタイマ割り込み（WOVI）が発生

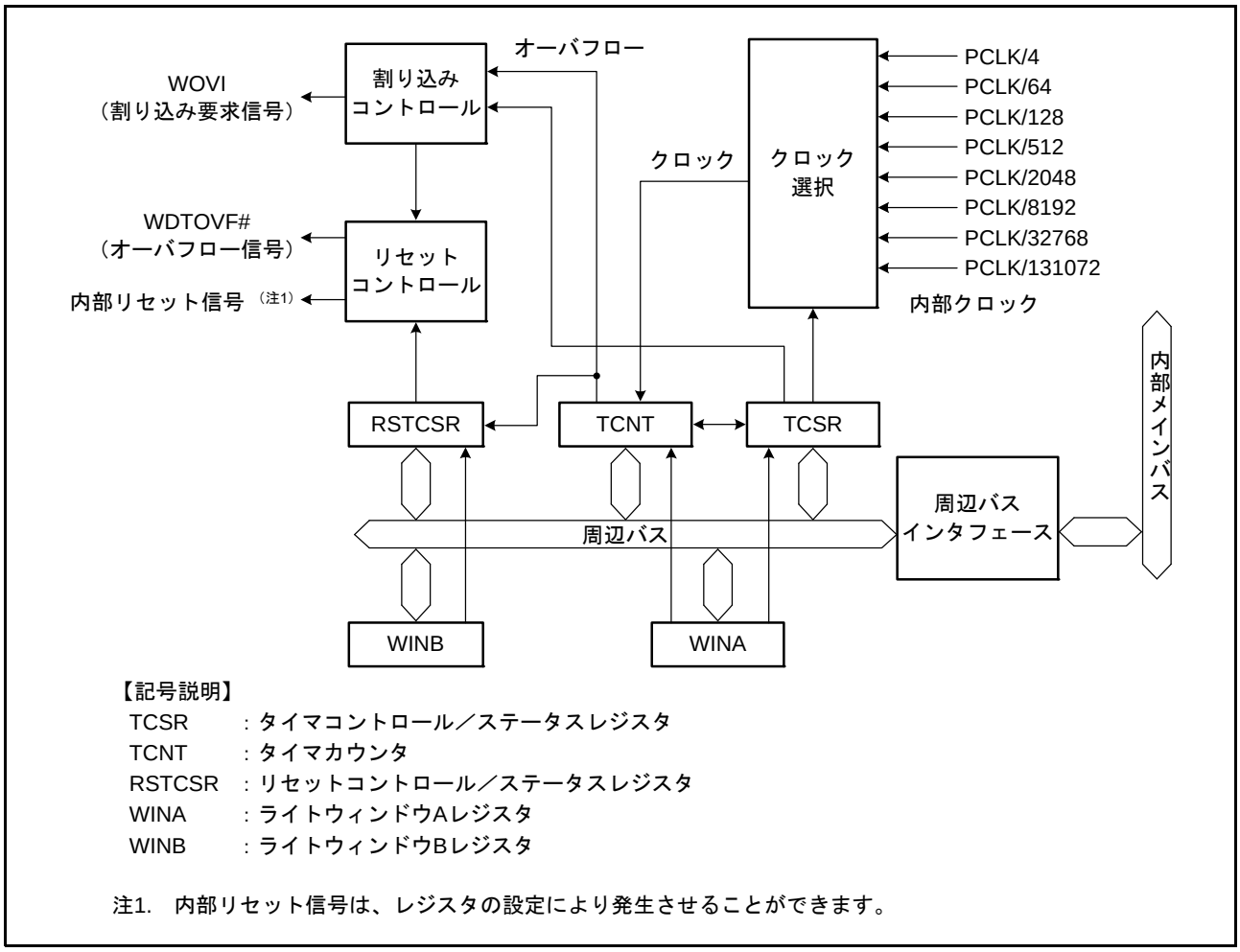


図 24.1　WDT のブロック図

表 24.2 に WDT で使用する入出力端子を示します。

表24.2　WDTの入出力端子

端子名	入出力	機　　能
WDTOVF#	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力

24.2 レジスタの説明

表 24.3 に WDT のレジスター一覧を示します。

表24.3　WDTのレジスター一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマコントロール／ステータスレジスタ	TCSR	x8h	0008 8028h（注1）	8
タイマカウンタ	TCNT	00h	0008 8029h（注1）	8
リセットコントロール／ステータスレジスタ	RSTCSR	1Fh	0008 802Bh（注1）	8
ライトウィンドウAレジスタ	WINA	—	0008 8028h（注2）	16
ライトウィンドウBレジスタ	WINB	—	0008 802Ah（注2）	16

注1.　読み出し専用のレジスタです。
注2.　書き込み専用のレジスタです。

24.2.1 タイマカウンタ（TCNT）

アドレス　0008 8029h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

TCNT カウンタは、内部クロックをカウントする 8 ビットのアップカウンタです。
TCNT カウンタは、TCSR.TME ビットを “0” にすると、“00h” に初期化されます。
読む場合には、8 ビット単位で読んでください。
書く場合には、WINA レジスタに対して 16 ビット単位で書いてください。
詳細は、「24.5.1　**レジスタアクセス時の注意**」を参照してください。

24.2.2 タイマコントロール／ステータスレジスタ（TCSR）

アドレス　0008 8028h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TMS	TME	—	—	CKS[2:0]		
リセット後の値	x	0	0	1	1	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット	b2　b0 ０００：PCLK/4（周期20.5μs） ００１：PCLK/64（周期327.7μs） ０１０：PCLK/128（周期655.4μs） ０１１：PCLK/512（周期2.6ms） １００：PCLK/2048（周期10.5ms） １０１：PCLK/8192（周期41.9ms） １１０：PCLK/32768（周期167.8ms） １１１：PCLK/131072（周期671.1ms） 注.　（　）内は、PCLK＝50MHzのときのオーバフロー周期を表します	R/W
b4-b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	TME	タイマ許可ビット	0：TCNTカウンタはカウントを停止し、“00h”に初期化する 1：TCNTカウンタはカウントを開始	R/W
b6	TMS	タイマモード選択ビット	0：インターバルタイマモード TCNTカウンタがオーバフローしたとき、インターバルタイマ割り込み（WOVI）を要求 1：ウォッチドッグタイマモード TCNTカウンタがオーバフローしたとき、外部へWDTOVF#を出力	R/W
b7	—	予約ビット	読んだ場合、その値は不定です。書く場合、“1”としてください	R/W

TCSR レジスタは、TCNT カウンタに入力するクロック、モードの選択などを行うレジスタです。
読む場合には、8 ビット単位で読んでください。
書く場合には、WINA レジスタに対して 16 ビット単位で書いてください。
詳細は、「24.5.1　**レジスタアクセス時の注意**」を参照してください。

CKS[2:0] ビット（クロック選択ビット）

TCNT カウンタに入力するクロックを選択します。

TME ビット（タイマ許可ビット）

TCNT カウンタのカウント動作の開始、または停止を選択します。
“1” にすると TCNT カウンタがカウントを開始します。“0” にすると TCNT カウンタはカウント動作を停止し、“00h” に初期化されます。

TMS ビット（タイマモード選択ビット）

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。

24.2.3 リセットコントロール／ステータスレジスタ（RSTCSR）

アドレス　0008 802Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	WOVF	RSTE	–	–	–	–	–	–
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	–	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	RSTE	リセット許可ビット	0：ウォッチドッグタイマモードで、TCNTカウンタがオーバフローしても、LSI内部はリセットされない（WDTのTCNTカウンタ、TCSRレジスタはリセットされる） 1：ウォッチドッグタイマモードで、TCNTカウンタがオーバフローすると、LSI内部がリセットされる	R/W
b7	WOVF	ウォッチドッグタイマオーバフローフラグ	0：ウォッチドッグタイマモードで、TCNTカウンタのオーバフローの発生なし 1：ウォッチドッグタイマモードで、TCNTカウンタのオーバフローの発生あり	R/(W)（注1）

注1.　フラグをクリアするため、“0”のみ書けます。

RSTCSR レジスタは、TCNT カウンタのオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択するレジスタです。

RSTCSR レジスタは、RES# 端子からのリセット信号およびディープソフトウェアスタンバイリセットで“1Fh” に初期化されます。ウォッチドッグタイマのオーバフローによる内部リセット信号では初期化されません。

読む場合には、8 ビット単位で読んでください。

書く場合には、WINB レジスタに対して 16 ビット単位で書いてください。

詳細は、「24.5.1　**レジスタアクセス時の注意**」を参照してください。

RSTE ビット（リセット許可ビット）

ウォッチドッグタイマモードで、TCNT カウンタのオーバフローにより LSI 内部をリセットするかどうかを選択します。

WOVF フラグ（ウォッチドッグタイマオーバフローフラグ）

ウォッチドッグタイマモードで、TCNT カウンタがオーバフローしたことを示します。インターバルタイマモードでは “1” になりません。

[“1” になる条件]

- ウォッチドッグタイマモードで、TCNT カウンタがオーバフロー（“FFh” → “00h”）したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

24.2.4　ライトウィンドウ A レジスタ（WINA）

アドレス　0008 8028h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–

WINA レジスタは、TCNT カウンタ、TCSR レジスタの値を書き換えるレジスタで、書き込み専用レジスタです。

TCNT カウンタに書く場合と、TCSR レジスタに書く場合では、書き込み方法が異なります。詳細は、「24.5.1 **レジスタアクセス時の注意**」を参照してください。

書く場合には、16 ビット単位で書いてください。

24.2.5　ライトウィンドウ B レジスタ（WINB）

アドレス　0008 802Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–

WINB レジスタは、RSTCSR レジスタの値を書き換えるレジスタで、書き込み専用レジスタです。

RSTCSR.WOVF フラグに “0” を書く場合と、RSTCSR.RSTE ビットに書く場合では、書き込み方法が異なります。詳細は、「24.5.1　**レジスタアクセス時の注意**」を参照してください。

書く場合には、16 ビット単位で書いてください。

24.3 動作説明

24.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR.TMS ビットを “1”（ウォッチドッグタイマモード）、TCSR.TME ビットを “1”（TCNT カウンタはカウントを開始）にしてください。

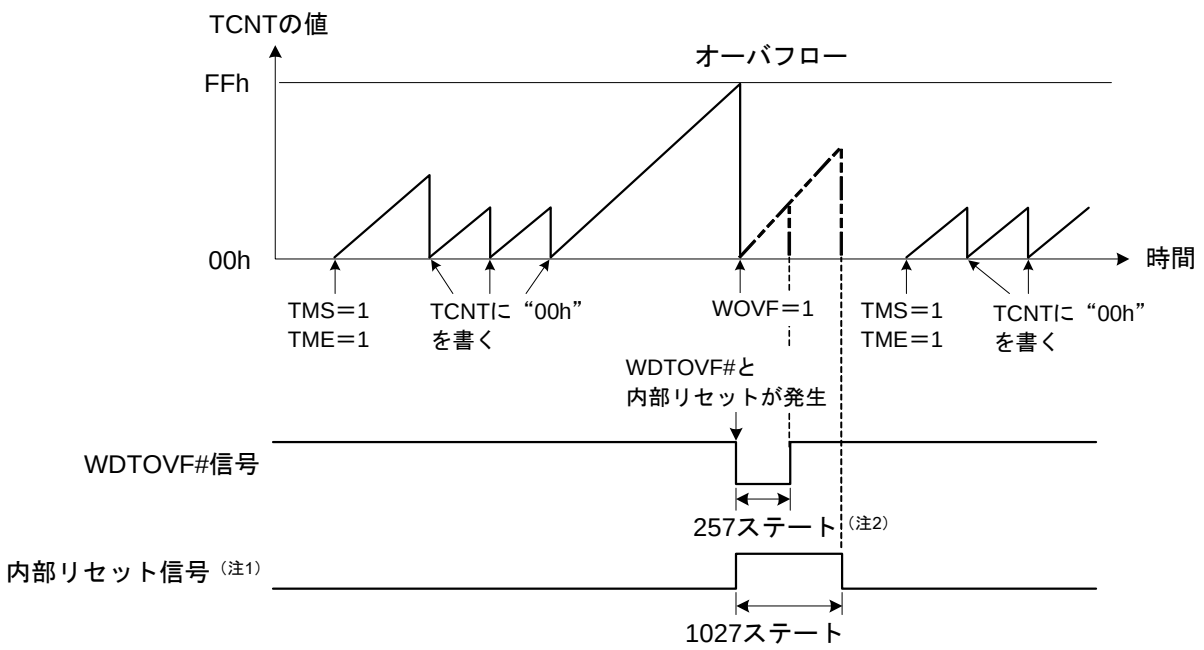
ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT カウンタの値が書き換えられずオーバフローすると、WDTOVF# 信号が出力されます。システムが正常に動作している間は、TCNT カウンタのオーバフローは発生しません。TCNT カウンタがオーバフローする前に TCNT カウンタの値を書き換えて（通常は “00h” を書く）、オーバフローが発生しないようにプログラムしてください。更に、ウォッチドッグタイマモード時には、WDTOVF# 信号を用いて LSI 内部をリセットすることができます。

ウォッチドッグタイマモードで TCNT カウンタがオーバフローすると、RSTCSR.WOVF フラグが “1” になります。また、RSTCSR.RSTE ビットを “1” にしておくと、TCNT カウンタがオーバフローしたときに、WDTOVF# 信号の出力と同時に、LSI 内部をリセットする信号が発生します。RES# 端子からの入力信号によるリセットとウォッチドッグタイマのオーバフローによるリセットが同時に発生したときは、RES# 端子によるリセットが優先され、RSTCSR.WOVF フラグは “0” になります。

WDTOVF# 信号は、RSTE ビットが “1” のとき PCLK で 257 ステート、RSTE ビットが “0” のとき PCLK で 256 ステートの間出力されます。内部リセット信号は、PCLK で 1027 ステートの間出力されます。

RSTE ビットが “1” のときは内部をリセットする信号が発生し、システムクロックコントロールレジスタ（SCKCR）がリセットされるため、PCLK の入力クロックに対する倍率は初期値になります。

RSTE ビットが “0” のときは内部をリセットする信号が発生せず、SCKCR レジスタの設定が保持されるため、PCLK の入力クロックに対する倍率は変化しません。



注1. RSTCSR.RSTEビットを “1” にしておくと、
TCNTがオーバフローしたとき内部リセット信号が発生します。
注2. RSTCSR.RSTEビット＝0のときは、256ステートになります。

図 24.2 ウォッチドッグタイマモード時の動作

24.3.2 インターバルタイマモード

インターバルタイマとして使用するときは、TCSR.TMS ビットを “0”（インターバルタイマモード）に、TCSR.TME ビットを “1”（TCNT カウンタはカウントを開始）にしてください。

インターバルタイマとして動作しているときは、TCNT カウンタがオーバフローするごとにインターバルタイマ割り込み（WOVI）が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

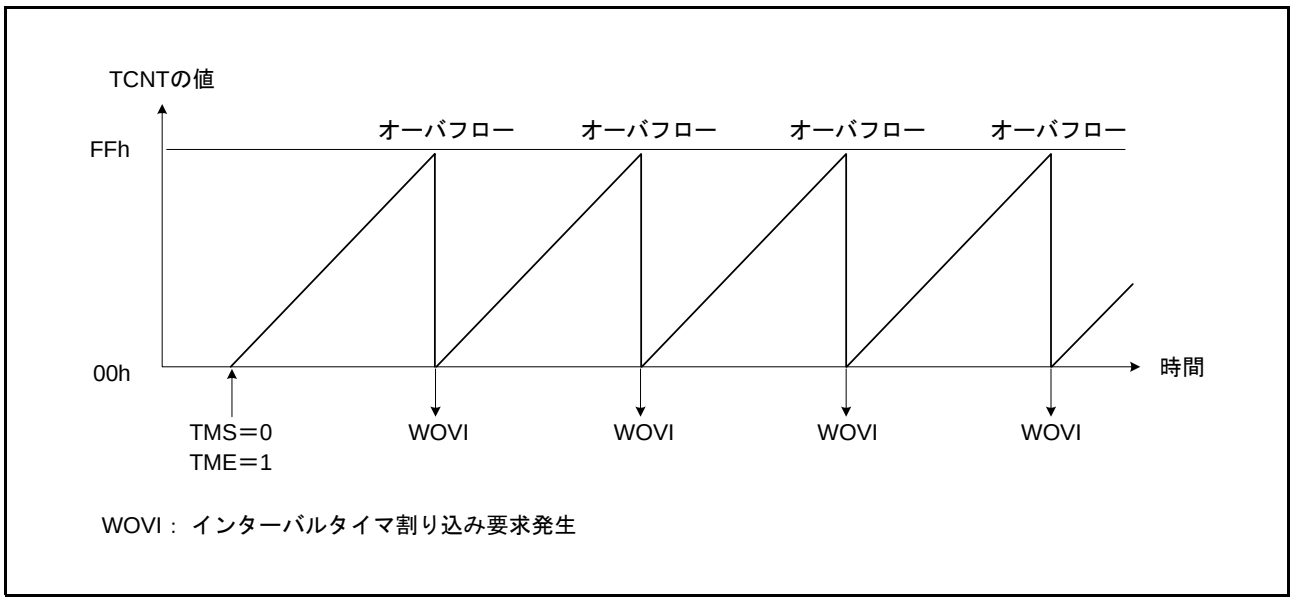


図 24.3 インターバルタイマモード時の動作

24.4 割り込み要因

インターバルタイマモード時、TCNT カウンタのオーバフローによってインターバルタイマ割り込み（WOVI）が発生します。詳細は、「11. 割り込みコントローラ（ICUa）」を参照してください。

表 24.4 WDTの割り込み要因

名称	割り込み要因	割り込みステータスフラグ	DTCの起動	DMACAの起動
WOVI	TCNTのオーバフロー	IR096.IR	不可能	不可能

24.5 使用上の注意事項

24.5.1 レジスタアクセス時の注意

TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタは、容易に書き換えられないように、書き込み方法が一般のレジスタとは異なっています。

(1) TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタへの書き込み

TCNT カウンタ、TCSR レジスタに書く場合は、ライトウインドウ A レジスタ（WINA）（0008 8028h）に対してワード転送命令を使用してください。TCNT カウンタへの書き込みと TCSR レジスタへの書き込みは同一アドレスに割り当てられています。このため、図 24.4 に示すように設定してください。

TCNT カウンタに書く場合は、上位バイトに “5Ah” を、下位バイトに TCNT カウンタに対する書き込みデータを設定して転送してください。

TCSR レジスタに書く場合は、上位バイトに “A5h” を、下位バイトに TCSR レジスタに対する書き込みデータを設定して転送してください。

RSTCSR レジスタに書く場合は、ライトウィンドウ B レジスタ（WINB）（0008 802Ah）に対してワード転送命令を使用してください。

RSTCSR.WOVF フラグに “0” を書く場合と、RSTCSR.RSTE ビットに書く場合では、書き込み方法が異なります。このため、図 24.4 に示すようにしてデータを転送してください。

WOVF フラグに “0” を書く場合は、図 24.4 に示すように上位バイトを “A5h”、下位バイト “00h” にして 16 ビット単位でデータを書いてください。このとき、RSTE ビットは影響を受けません。

RSTE ビットに書く場合は、図 24.4 に示す上位バイトを “5Ah”、下位バイトを RSTCSR レジスタ書き込みデータにして、16 ビット単位でデータを書いてください。このとき、WOVF フラグは影響を受けません。

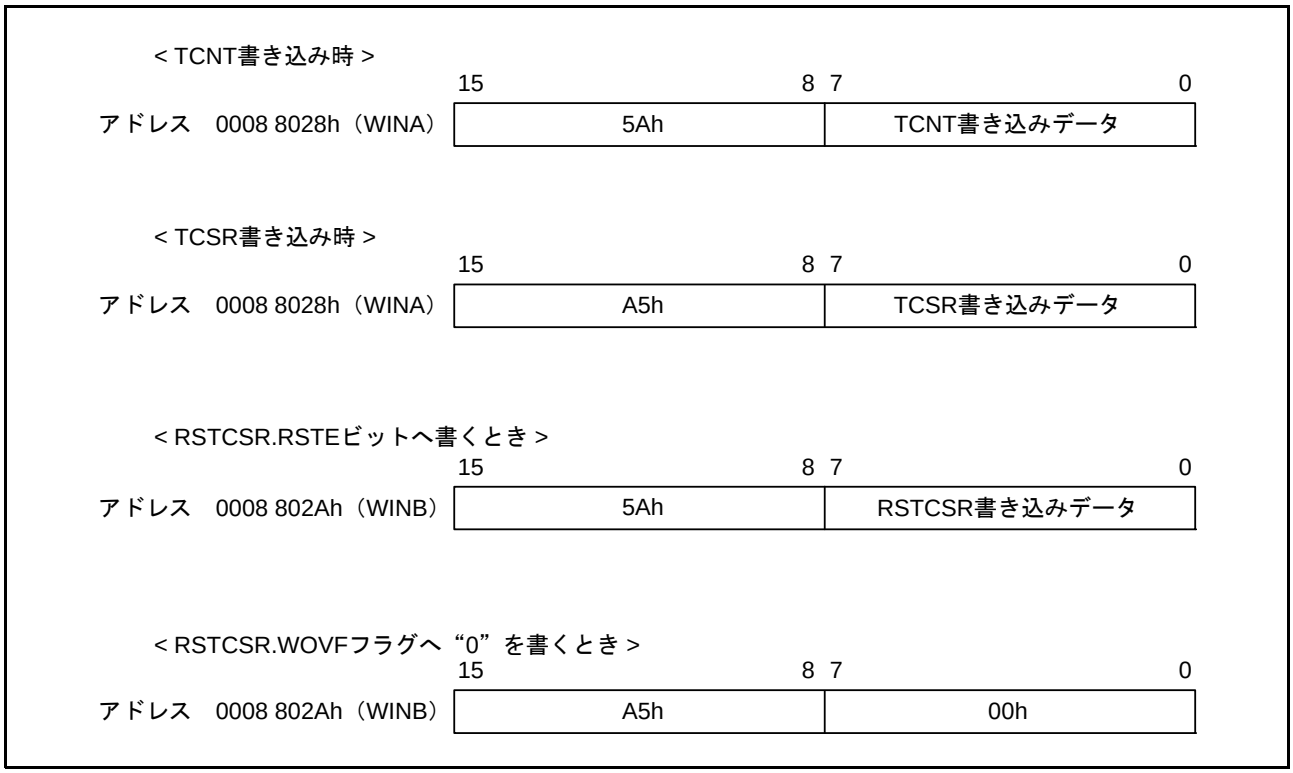


図 24.4　TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタへの書き込み

(2) TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタからの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。

TCSR レジスタはアドレス（0008 8028h）に、TCNT カウンタはアドレス（0008 8029h）に、RSTCSR レジスタはアドレス（0008 802Bh）に対して 8 ビット単位でアクセスをしてください。

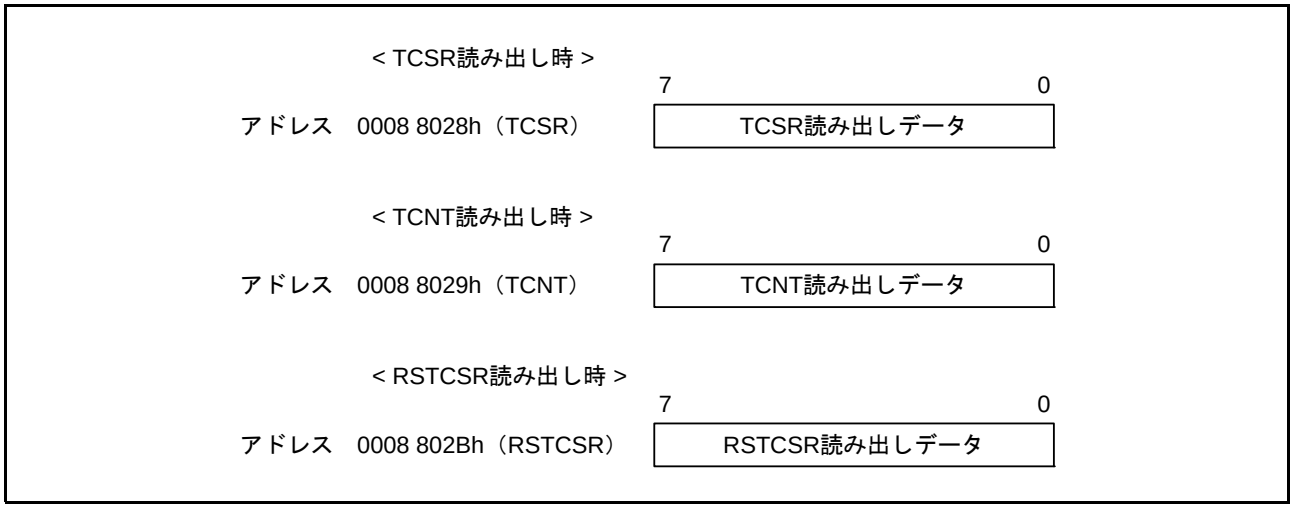


図 24.5　TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタからの読み出し

24.5.2 タイマカウンタ（TCNT）への書き込みとカウントアップの競合

TCNT カウンタへの書き込み中にカウントアップのためのクロックが入力されても、カウントアップされずに TCNT カウンタへの書き込みが優先されます。これを図 24.6 に示します。

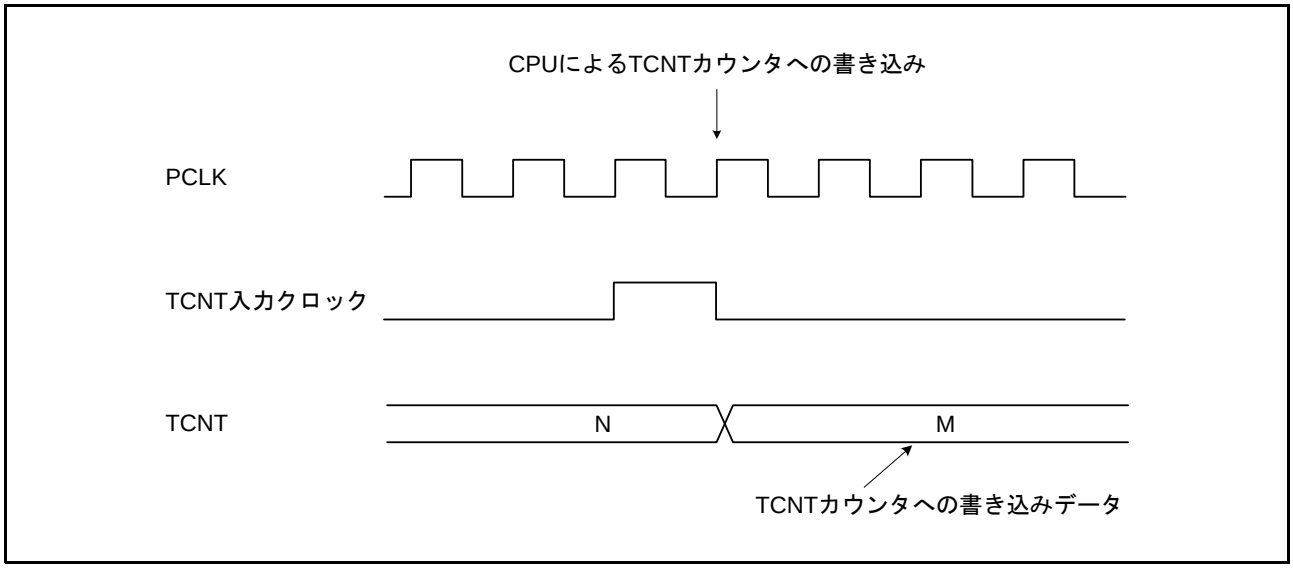


図 24.6　TCNT カウンタへの書き込みとカウントアップの競合

24.5.3 CKS[2:0] ビットの書き換え

ウォッチドッグタイマの動作中に TCSR.CKS[2:0] ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き換えるときは、ウォッチドッグタイマを停止させてから（TCSR.TME ビットを “0” にしてから）行ってください。

24.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

ウォッチドッグタイマの動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、ウォッチドッグタイマを停止させてから（TCSR.TME ビットを “0” にしてから）行ってください。

24.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTCSR.RSTE ビットを “0” にしておくと、TCNT カウンタがオーバフローしても LSI 内部をリセットしませんが、ウォッチドッグタイマの TCNT カウンタ、TCSR レジスタはリセットされます。

WDTOVF# 信号が Low を出力している期間は、TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタへの書き込みはできません。また、この期間は RSTCSR.WOVF フラグの読み出しも認識されません。そのため、WOVF フラグのクリアは、WDTOVF# 信号が High になってから、RSTCSR レジスタを読み出し後、WOVF フラグに “0” を書いてください。

24.5.6 WDTOVF# 信号によるシステムのリセット

WDTOVF# 信号を RES# 端子に入力すると、LSI を正しく初期化できません。WDTOVF# 信号は、RES# 端子に論理的に入力しないでください。WDTOVF# 信号でシステム全体をリセットするときは、図 24.7 に示すような回路で行ってください。

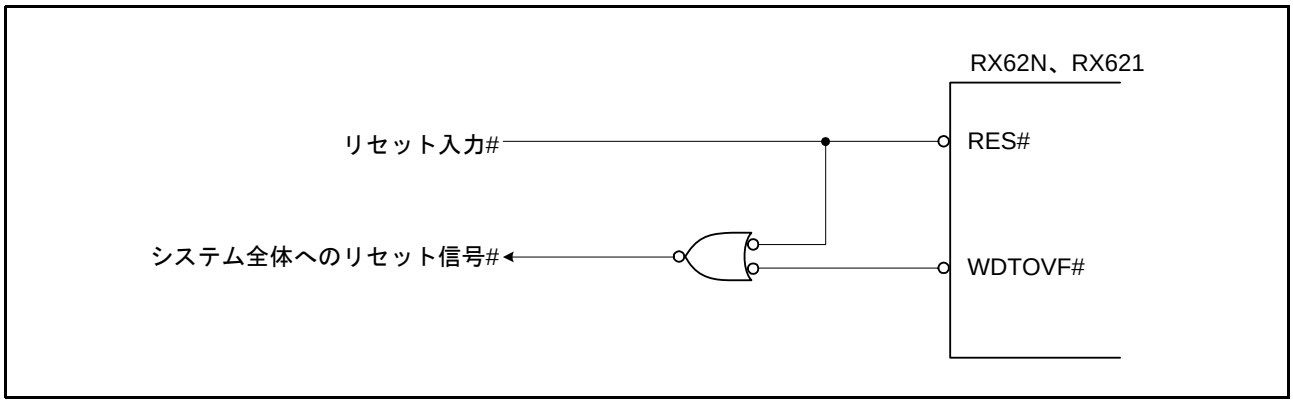


図 24.7　WDTOVF# 信号によるシステムのリセット回路例

24.5.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの移行

ウォッチドッグタイマモードとして動作しているときは、スタンバイコントロールレジスタのソフトウェアスタンバイビット（SBYCR.SSBY）を “1”（WAIT 命令実行後、ソフトウェアスタンバイモードに移行）にした状態で WAIT 命令を実行してもソフトウェアスタンバイモードには移行せず、スリープモードまたは全モジュールクロックストップモードに移行します。

ソフトウェアスタンバイモードに移行させる場合は、ウォッチドッグタイマを停止させてから（TCSR.TME ビットを “0” にしてから）、WAIT 命令を実行してください。

インターバルタイマモードとして動作している場合は、SSBY ビットを “1” にした状態で、WAIT 命令を実行するとソフトウェアスタンバイモードに移行します。

詳細は「9.　消費電力低減機能」を参照してください。

25. 独立ウォッチドッグタイマ（IWDT）

独立ウォッチドッグタイマ（IWDT）は、プログラムの暴走を検知するために従来のウォッチドッグタイマ（WDT）とは独立して使用するウォッチドッグタイマです。

IWDT は 14 ビットのダウンカウンタを内蔵しており、ダウンカウンタのカウンタ値がアンダフローするとシステムをリセットします。また、IWDT はリフレッシュ機能を有しています。

注．　IWDT を使用する場合は、アンダフローする前にリフレッシュしてください。詳細は、「25.3.3　リフレッシュ動作」を参照してください。

25.1 概要

表 25.1 に IWDT の仕様を、図 25.1 に IWDT のブロック図を示します。

表 25.1　IWDTの仕様

項目	内容
カウントクロック	IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256
カウント動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	ダウンカウンタのリフレッシュ（IWDTRR レジスタに 00h を書いた後、FFh を書く）によりカウント開始
カウント停止条件	• リセット（ダウンカウンタ、レジスタは初期値に戻ります。） • アンダフロー発生時
IWDT リセット出力要因	ダウンカウンタがアンダフローしたとき
IWDT カウンタの読み出し	IWDTSR レジスタを読むことで、ダウンカウンタのカウンタ値が読めます

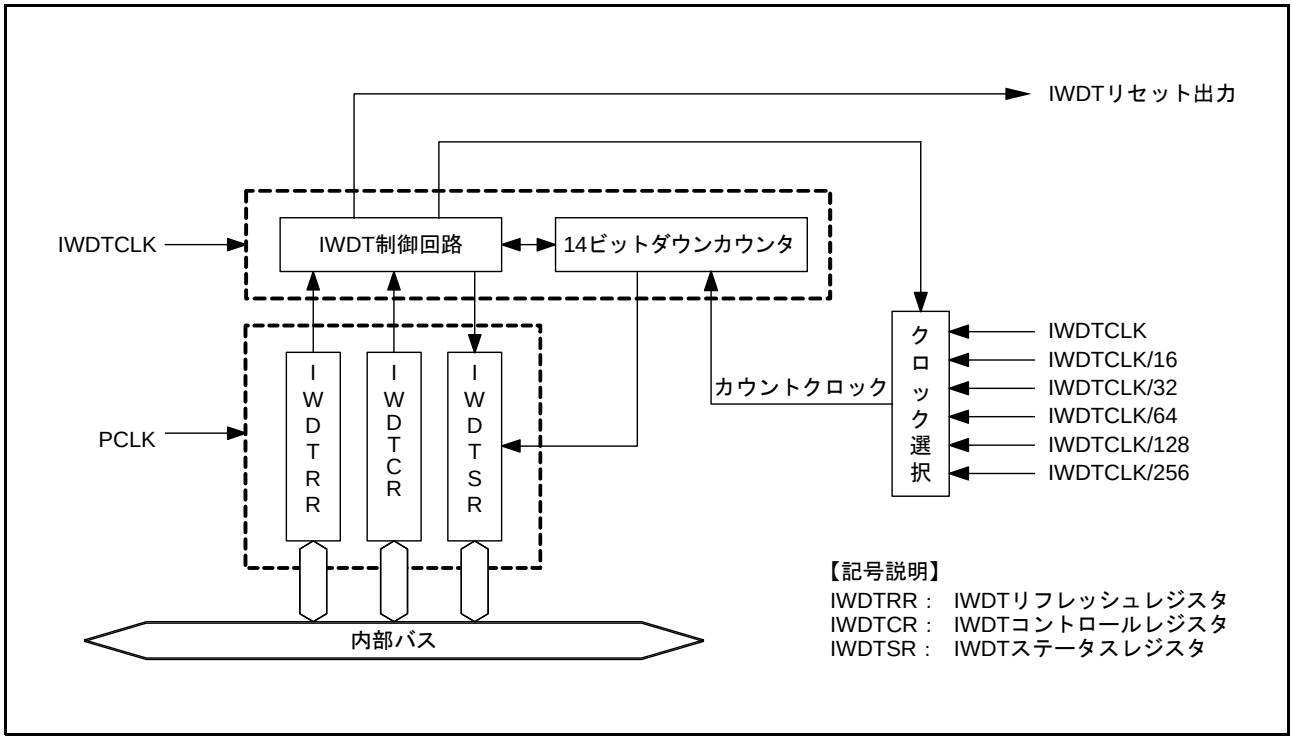


図 25.1　IWDT のブロック図

25.2 レジスタの説明

表 25.2 に IWDT のレジスター覧を示します。

表25.2　IWDTのレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
IWDTリフレッシュレジスタ	IWDTRR	FFh	0008 8030h	8
IWDTコントロールレジスタ	IWDTCR	3303h	0008 8032h	16
IWDTステータスレジスタ	IWDTSR	0000h	0008 8034h	16

25.2.1 IWDT リフレッシュレジスタ（IWDTRR）

アドレス　0008 8030h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするレジスタです。

IWDTRR レジスタに 00h を書いた後、FFh を書き込み（リフレッシュ動作）をすることにより IWDT のダウンカウンタをリフレッシュします。ダウンカウンタはリフレッシュされると、IWDT コントロールレジスタ（IWDTCR）の TOPS[1:0] ビットで設定した値からダウンカウントを行ないます。

また、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

00ｈ を書いた後に FFh 以外を書いた場合、00h の書き込みは無効です。リフレッシュ動作を有効にするには、再度 00h を書いた後に FFh を書いてください。

読み出される値は 00h を書いた場合は 00h が、00h 以外の値を書いた場合は常に FFh となります。

25.2.2 IWDT コントロールレジスタ（IWDTCR）

アドレス　0008 8032h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	1	1	0	0	1	1

	b7	b6	b5	b4	b3	b2	b1	b0
	CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト選択ビット	b1 b0 0 0：1024サイクル（03FFh） 0 1：4096サイクル（0FFFh） 1 0：8192サイクル（1FFFh） 1 1：16384サイクル（3FFFh）	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	CKS[3:0]	クロック選択ビット	b7 b4 0 0 — —：IWDTCLK 0 1 0 0：IWDTCLK/16 0 1 0 1：IWDTCLK/32 0 1 1 0：IWDTCLK/64 0 1 1 1：IWDTCLK/128 1 — — —：IWDTCLK/256	R/W
b9-b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IWDTCR レジスタは、ダウンカウンタがアンダフローするまでのタイムアウト、およびカウントクロックを設定するレジスタです。

IWDTCR レジスタへの書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。リフレッシュ動作（カウントスタート）後、または IWDTCR レジスタへの 2 回目以降の書き込みは、IWDTCR レジスタへの書き込みがロックされるため書けません。

IWDTCR レジスタのロックは、IWDT へのリセット要因により解除されます。それ以外のリセット要因では解除されません。詳細は、「6. リセット」を参照してください。

TOPS[1:0] ビット（タイムアウト選択ビット）

ダウンカウンタがアンダフローするまでのタイムアウトをCKS[3:0] ビットで設定したカウントクロックを1サイクルとして、1024 サイクル／ 4096 サイクル／ 8192 サイクル／ 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（IWDTCLK 数）は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 25.3 に CKS[3:0]、TOPS[1:0] ビットの設定とタイムアウト、および IWDTCLK 数の関係を示します。

表25.3　　タイムアウト設定表

CKS[3:0]				TOPS[1:0]		カウントクロック	タイムアウト（サイクル数）	IWDTCLK数
0	0	–	–	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	1	0	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	1	0	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	1	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
0	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
1	–	–	–	0	0	IWDTCLK/256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット（クロック選択ビット）

ダウンカウンタのカウントクロックを IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256 から選択します。TOPS[1:0] ビットの設定と合わせて、IWDT のカウント期間を IWDTCLK の 1024 ～ 4194304 クロックの間で設定できます。

25.2.3 IWDT ステータスレジスタ（IWDTSR）

アドレス　0008 8034h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	UNDFF	CNTVAL[13:0]					
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTVAL[13:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタビット	ダウンカウンタのカウンタ値	R
b14	UNDFF	アンダフローフラグ	1：アンダフロー 0：アンダフローなし	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IWDTSR レジスタは、ダウンカウンタのカウンタ値およびアンダフローの発生状態の確認を行なうレジスタです。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。詳細は、「6. リセット」を参照してください。

CNTVAL[13:0] ビット（ダウンカウンタビット）

ダウンカウンタのカウンタ値を確認することができます。

UNDFF フラグ（アンダフローフラグ）

ダウンカウンタのアンダフローの発生状態を確認することができます。

読んだ値が “1” のとき、ダウンカウンタはアンダフローが発生した状態です。読んだ値が “0” のとき、アンダフローは発生していません。

値をクリアするには、UNDFF フラグに “0” を書いてください。“1” を書くことは無効です。

25.3 動作説明

25.3.1 ダウンカウンタのカウント動作

リセット解除後、IWDTCR レジスタにカウントクロックの設定、タイムアウトの設定を行ないます。その後、リフレッシュ動作でダウンカウンタに IWDTCR.TOPS[1:0] ビットで設定された値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行なえず、ダウンカウンタのアンダフローが発生した場合、IWDT はリセットを出力します。

リセット出力後、ダウンカウンタは初期状態（ALL“0”）で保持されます。リセットから復帰した後は、リフレッシュ動作を行なうことによりダウンカウントを開始します。

図 25.2 にダウンカウンタのカウント動作例を示します。

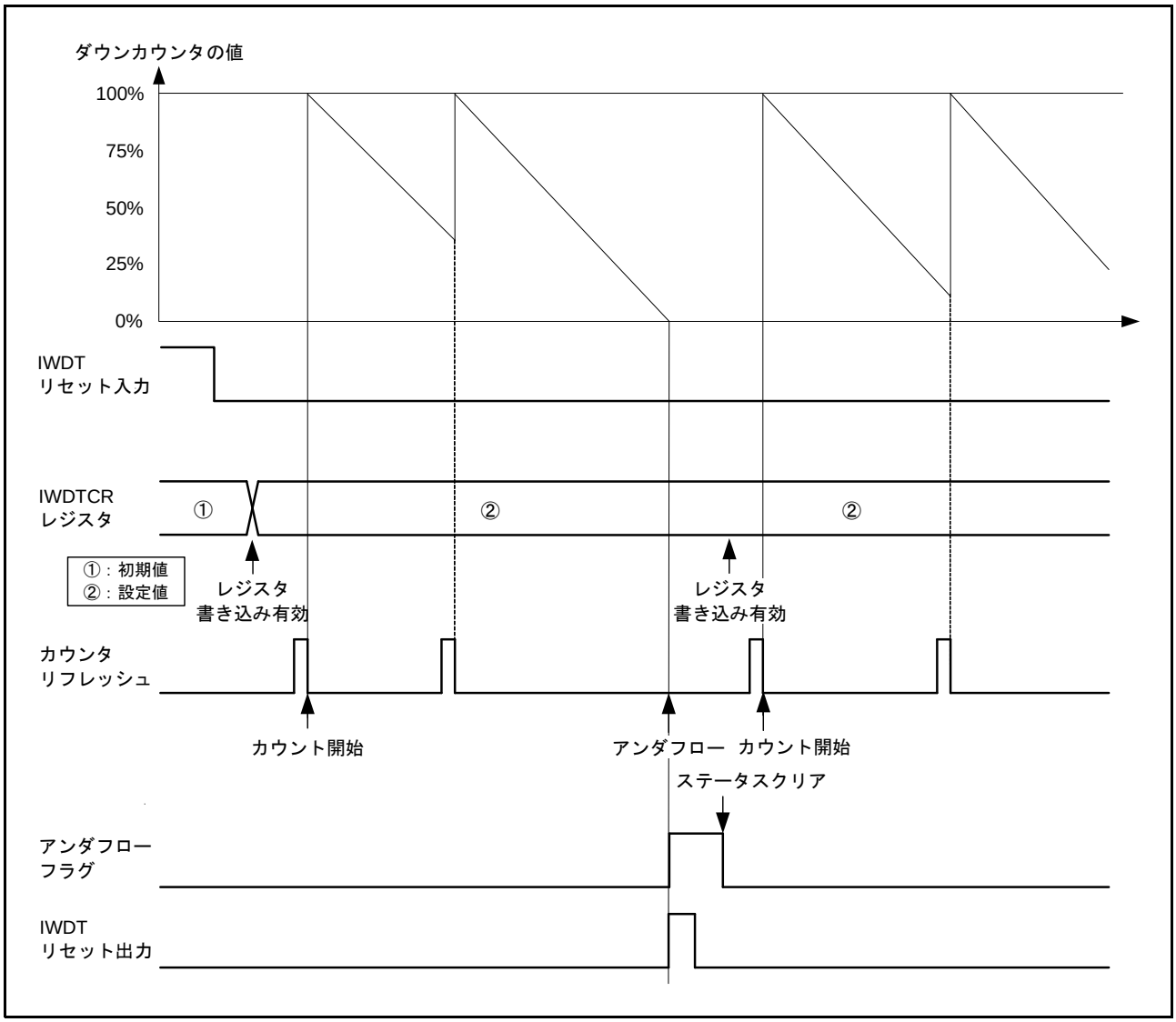


図 25.2　ダウンカウンタのカウント動作例

25.3.2　IWDT コントロールレジスタ書き込み制御

IWDT コントロールレジスタ（IWDTCR）への書き込みは、リセット解除後 1 回のみ可能です。

IWDTCR レジスタへ書き込みを行なうと、IWDT 内部のレジスタロック信号が “1” となり、以後 IWDTCR レジスタへの書き込みをロックします。IWDT へのリセット要因により、ロックは解除されます。それ以外のリセット要因では解除されません。詳細は、「6.　リセット」を参照してください。

図 25.3 に IWDTCR レジスタ書き込み制御波形を示します。

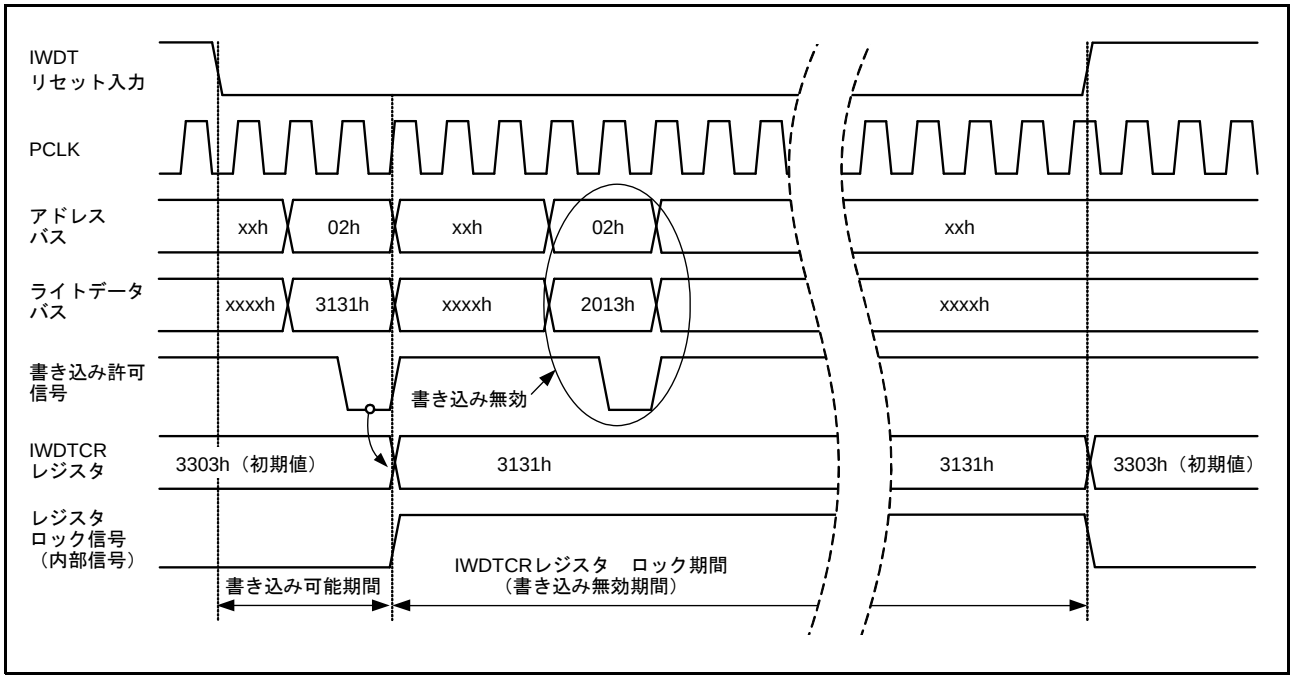


図 25.3　IWDTCR レジスタ書き込み制御波形

25.3.3　リフレッシュ動作

IWDT の動作開始（ダウンカウント開始）、およびダウンカウンタのリフレッシュを行なうためには、IWDT リフレッシュレジスタ（IWDTRR）に対して 00h → FFh の順で書き込みを行ないます。それ以外の書き込み動作は無効になります。したがって、リフレッシュ動作を正常に行なうためには、再度 IWDTRR レジスタへ 00h → FFh の順で書いてください。

00ｈ → 00h の書き込み動作は無効ですが、その後 FFｈ を書くことにより 00h → FFh 順の書き込み動作が有効となるので、00h → 00h → FFh の書き込み動作も有効になります。また、最初の書き込みが 00h 以外でも同様に、その後 00h → FFｈ 順の書き込み動作で有効となります。

【リフレッシュ無効書き込み例】

- 23h（00h 以外）→ FFh
- 00h → 54h（FFh 以外）
- 00h → AAh（FFh 以外）→ FFh

ダウンカウンタがリフレッシュされるタイミングは、IWDTRR レジスタに FFh を書き込み後、カウントサイクル数で最大 4 サイクル必要となります（1 サイクル間の IWDTCLK 数は、クロック選択ビット（IWDTCR.CKS[3:0]）の設定値により異なります）。そのため、カウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの FFh 書き込みを完了してください。カウンタの値はダウンカウンタビット（IWDTSR.CNTVAL[13:0]）で確認できます。

図 25.4 にカウントクロック：IWDTCLK の場合のリフレッシュ動作波形を示します。

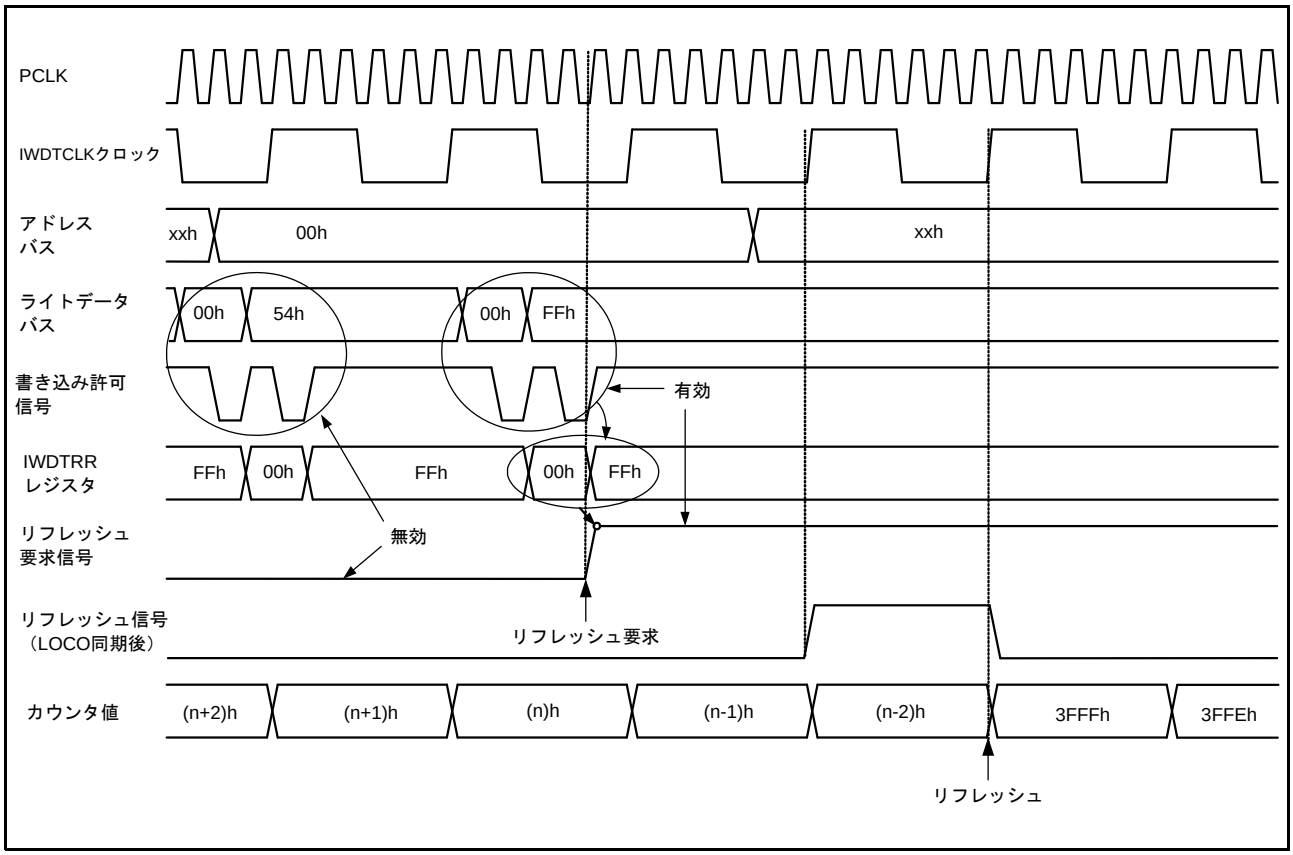


図 25.4　リフレッシュ動作波形（IWDTCR.CKS[3:0]=“0000b”、IWDTCR.TOPS[1:0]=“11b”）

25.3.4 ステータスフラグ

アンダフローフラグ（IWDTSR.UNDFF）は、IWDT がリセットを出力した場合のリセット要因を保持します。

リセット解除後に IWDTSR.UNDFF フラグを読むことで、リセット要因の発生状態を確認することができます。

UNDFF フラグの値をクリアするには “0” を書いてください。“1” を書くことは無効です。

UNDFF フラグは、クリアしなくても動作に影響を与えません。クリアしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。

25.4 使用上の注意事項

25.4.1 消費電力低減機能への遷移における制限事項

IWDTCR レジスタへの書き込み、またはリフレッシュ動作により IWDT は使用状態になります。

IWDT が使用状態にあるとき、SBYCR.SSBY ビットを “1” にして WAIT 命令を実行してもソフトウェアスタンバイモードには移行せず、スリープモードあるいは全モジュールクロックストップモードに移行します。

なお、IWDT の使用状態は、IWDT へのリセット要因により解除されます。それ以外のリセット要因では解除されません。詳細は、「6. リセット」を参照してください。

26. イーサネットコントローラ（ETHERC）

26.1 概要

RX62N グループは、イーサネットあるいは IEEE802.3 の MAC（Media Access Control）層規格に準拠したイーサネットコントローラ（ETHERC）を内蔵しています。ETHERC は同規格に合致する物理層 LSI（PHY-LSI）と接続することにより、イーサネット／ IEEE802.3 フレームの送受信を行うことができます。ETHERC は MAC 層インタフェースを 1 系統内蔵しています。また、ETHERC は内部でイーサネットコントローラ用ダイレクトメモリアクセスコントローラ（EDMAC）に接続されており、メモリとの高速アクセスが可能です。

表26.1にETHERCの仕様を、図26.1にETHERCの構成を、表26.2と表26.3にETHERCの端子構成を示します。

表 26.1　ETHERCの仕様

項目	内容
プロトコル	• IEEE802.3x規格のフロー制御準拠
データ送受信	• イーサネット／IEEE802.3フレームの送受信
転送速度	• 10Mbpsおよび100Mbps転送に対応
モード	• 全二重モードおよび半二重モードに対応
インタフェース	• IEEE802.3u規格のMII（Media Independent Interface）およびRMII（Reduced Media Independent Interface）に対応
機能	• Magic Packet™（注）の検出およびWake-On-LAN（WOL）信号の出力

注.　Magic Packet™は、Advanced Micro Devices, Inc.の登録商標です。

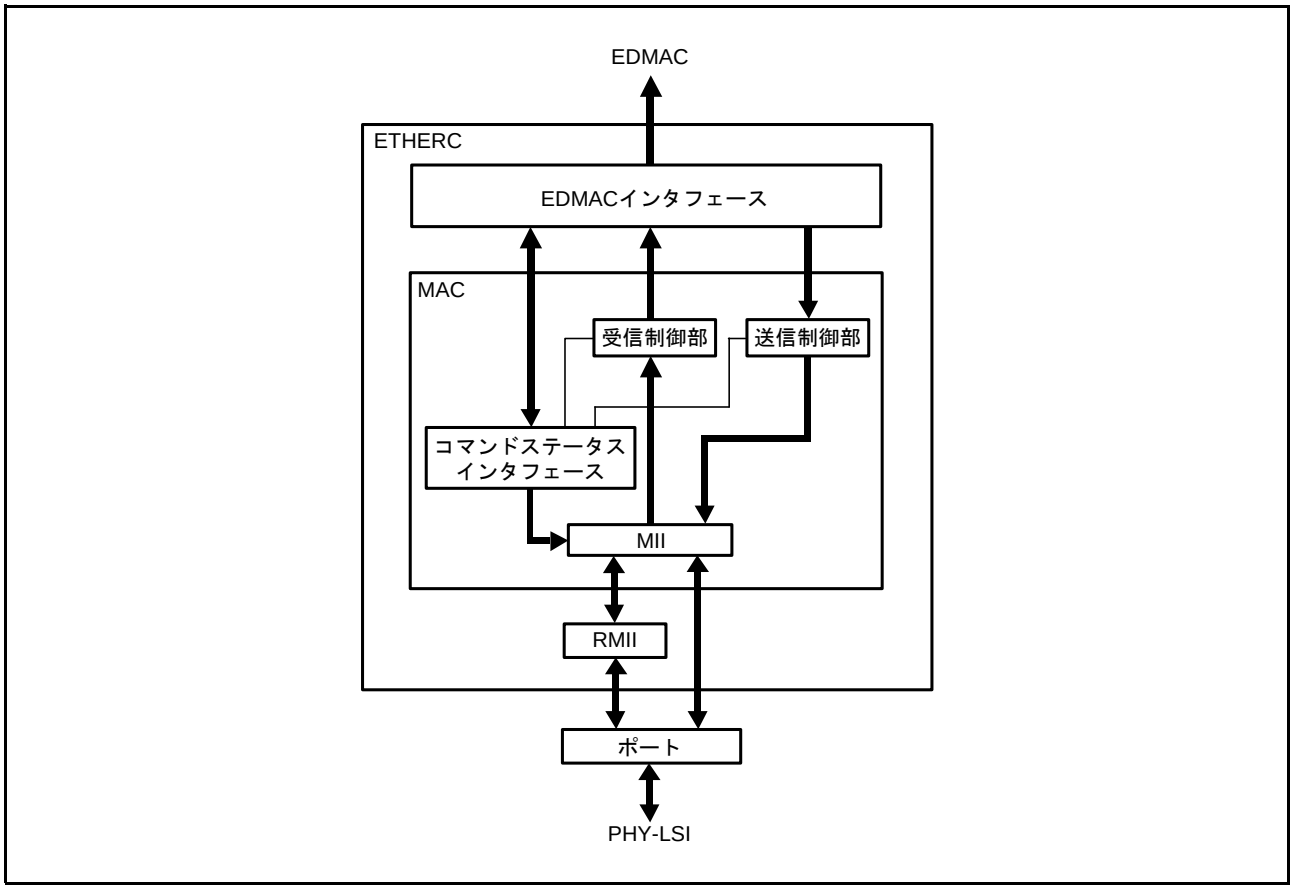


図 26.1　ETHERC の構成

表26.2　ETHERCの入出力端子（1）（MIIモード時）

端子名	入出力	機能
ET_TX_CLK（注1）	入力	送信クロック信号 ET_TX_EN、ET_ETXD3～ET_ETXD0、ET_TX_ERのタイミング参照信号
ET_RX_CLK（注1）	入力	受信クロック信号 ET_RX_DV、ET_ERXD3～ET_ERXD0、ET_RX_ERのタイミング参照信号
ET_TX_EN（注1）	出力	送信許可信号 ET_ETXD3～ET_ETXD0上に送信データが準備できたことを示す信号
ET_ETXD3 ～ ET_ETXD0（注1）	出力	4ビットの送信データ
ET_TX_ER（注1）	出力	送信中のエラーをPHY-LSIに通知
ET_RX_DV（注1）	入力	有効な受信データがET_ERXD3～ET_ERXD0上にあることを示す信号
ET_ERXD3 ～ ET_ERXD0（注1）	入力	4ビットの受信データ
ET_RX_ER（注1）	入力	受信エラー端子データ受信中に発生したエラー状態を示す信号
ET_CRS（注1）	入力	キャリア検出信号
ET_COL（注1）	入力	衝突検出信号
ET_MDC（注1）	出力	ET_MDIOによる情報転送用の参照クロック信号
ET_MDIO（注1）	入出力	STAとPHY-LSIとの間で管理情報を交換するための双方向信号
ET_LINKSTA	入力	PHY-LSIからのリンクステータス入力
ET_EXOUT	出力	外部出力用端子
ET_WOL	出力	Magic Packet™受信を示すウェイク・オン・ラン信号

注1.　IEEE802.3u準拠のMII信号

表26.3　ETHERCの入出力端子（2）（RMIIモード時）

端子名	入出力	機能
ET_MDC	出力	ET_MDIOによる情報転送用の参照クロック信号
ET_MDIO	入出力	STAとPHY-LSIとの間で管理情報を交換するための双方向信号
ET_WOL	出力	Magic Packet™受信を示すウェイク・オン・ラン信号
ET_LINKSTA	入力	PHY-LSIからのリンクステータス入力
ET_EXOUT	出力	外部出力用端子
REF50CK（注1）	入力	RMII_TXD_EN、RMII_TXD1～RMII_TXD0、RMII_CRS_DV、RMII_RXD1～RMII_RXD0、RMII_RX_ERのタイミング参照信号
RMII_TXD1 ～ RMII_TXD0（注1）	出力	2ビットの送信データ
RMII_TXD_EN（注1）	出力	RMII_TXD1～RMII_TXD0上に送信データが準備できたことを示す信号
RMII_RXD1 ～ RMII_RXD0（注1）	入力	2ビットの受信データ
RMII_RX_ER（注1）	入力	データ受信中に発生したエラー状態を認識
RMII_CRS_DV（注1）	入力	キャリア検出信号／有効な受信データがRMII_RXD1～RMII_RXD0上にあることを示す信号

注1.　RMII信号

26.2 レジスタの説明

ETHERC のレジスタ構成を表 26.4 に示します。

表26.4　レジスタ構成

レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
ETHERCモードレジスタ	ECMR	0000 0000h	000C 0100h	32
受信フレーム長上限レジスタ	RFLR	0000 0000h	000C 0108h	32
ETHERCステータスレジスタ	ECSR	0000 0000h	000C 0110h	32
ETHERC割り込み許可レジスタ	ECSIPR	0000 0000h	000C 0118h	32
PHY部インタフェースレジスタ	PIR	0000 0000h	000C 0120h	32
PHY部ステータスレジスタ	PSR	0000 0000h	000C 0128h	32
乱数生成カウンタ上限値設定レジスタ	RDMLR	0000 0000h	000C 0140h	32
IPG設定レジスタ	IPGR	0000 0014h	000C 0150h	32
自動PAUSEフレーム設定レジスタ	APR	0000 0000h	000C 0154h	32
手動PAUSEフレーム設定レジスタ	MPR	0000 0000h	000C 0158h	32
受信PAUSEフレームカウンタ	RFCF	0000 0000h	000C 0160h	32
自動PAUSEフレーム再送回数設定レジスタ	TPAUSER	0000 0000h	000C 0164h	32
PAUSEフレーム再送回数カウンタ	TPAUSECR	0000 0000h	000C 0168h	32
Broadcastフレーム受信回数設定レジスタ	BCFRR	0000 0000h	000C 016Ch	32
MACアドレス上位設定レジスタ	MAHR	0000 0000h	000C 01C0h	32
MACアドレス下位設定レジスタ	MALR	0000 0000h	000C 01C8h	32
送信リトライオーバカウンタレジスタ	TROCR	0000 0000h	000C 01D0h	32
遅延衝突検出カウンタレジスタ	CDCR	0000 0000h	000C 01D4h	32
キャリア消失カウンタレジスタ	LCCR	0000 0000h	000C 01D8h	32
キャリア未検出カウンタレジスタ	CNDCR	0000 0000h	000C 01DCh	32
CRCエラーフレーム受信カウンタレジスタ	CEFCR	0000 0000h	000C 01E4h	32
フレーム受信エラーカウンタレジスタ	FRECR	0000 0000h	000C 01E8h	32
64バイト未満フレーム受信カウンタレジスタ	TSFRCR	0000 0000h	000C 01ECh	32
指定バイト超フレーム受信カウンタレジスタ	TLFRCR	0000 0000h	000C 01F0h	32
端数ビットフレーム受信カウンタレジスタ	RFCR	0000 0000h	000C 01F4h	32
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	0000 0000h	000C 01F8h	32

26.2.1 ETHERC モードレジスタ（ECMR）

アドレス　000C 0100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TPC	ZPF	PFR	RXF	TXF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PRCEF	—	—	MPDE	—	—	RE	TE	—	ILB	RTM	DM	PRM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRM	プロミスキャスモードビット	0：ETHERCは通常動作 1：ETHERCはプロミスキャスモード動作	R/W
b1	DM	デュプレックスモードビット	0：半二重転送方式を指定する 1：全二重転送方式を指定する	R/W
b2	RTM	送受信レートビット	0：10Mbps 1：100Mbps	R/W
b3	ILB	内部ループバックモードビット	0：通常のデータ送受信を行う 1：DM＝1のとき、ETHERC内のMAC内部でのデータの折り返しを行う	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TE	送信許可ビット	0：送信機能を無効にする 1：送信機能を有効にする	R/W
b6	RE	受信許可ビット	0：受信機能を無効にする 1：受信機能を有効にする	R/W
b8-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	MPDE	Magic Packet™検出許可ビット	0：Magic Packet™の検出を許可しない 1：Magic Packet™の検出を許可する	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	PRCEF	CRCエラーフレーム受信許可ビット	0：CRCエラーとなった受信フレームをエラーとする 1：CRCエラーとなった受信フレームをエラーとしない	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	TXF	送信系フロー制御動作モードビット	0：PAUSEフレームの検出機能は無効 （自動PAUSEフレームは送信されません） 1：送信系のフロー制御機能が有効 （必要に応じて自動PAUSEフレームが送信されます）	R/W
b17	RXF	受信系フロー制御動作モードビット	0：PAUSEフレームの検出機能は無効 1：受信系のフロー制御機能が有効	R/W
b18	PFR	PAUSEフレーム受信モードビット	0：PAUSEフレームをEDMACへ転送しない 1：PAUSEフレームをEDMACへ転送する	R/W
b19	ZPF	0 time PAUSEフレーム使用許可ビット	0：TIMEパラメータが0のPAUSEフレーム制御を無効にする 1：TIMEパラメータが0のPAUSEフレーム制御を有効にする	R/W
b20	TPC	PAUSEフレーム送信ビット	0：PAUSE期間中でもPAUSEフレームを送信する 1：PAUSE期間中にはPAUSEフレームを送信しない	R/W
b31-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECMR レジスタは、ETHERC の動作モードを指定するレジスタです。通常、ECMR レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り替える場合は、EDMAC の EDMAC モードレジスタ（EDMR）のソフトウェアリセットビット（SWR）により、ETHERC および EDMAC を初期状態に戻してから再設定を行います。

PRM ビット（プロミスキャスモードビット）

PRM ビットを設定すると、すべてのイーサネットフレームを受信することができます。すべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず受信可能なすべてのフレームを表します。

RTM ビット（送受信レートビット）

RMII 選択時、送受信のビットレートを設定します。

TE ビット（送信許可ビット）

TE ビットを送信機能有効（TE ＝ 1）から無効（TE ＝ 0）としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。

RE ビット（受信許可ビット）

RE ビットを受信機能有効（RE ＝ 1）から無効（RE ＝ 0）としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。

MPDE ビット（Magic Packet™ 検出許可ビット）

イーサネットからの起動を有効にするため、ハードウェアによる Magic Packet™ の検出機能を許可するかしないかの選択を行います。

ZPF ビット（0 time PAUSE フレーム使用許可ビット）

ZPF ビットを “0” にすると、Timer 値の示す時間が経過するまで次のフレーム送信を行いません。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。

ZPF ビットを “1” にすると、Timer 値の示す時間が経過していない状態で受信 FIFO のデータ量が EDMAC のフロー制御開始 FIFO しきい値設定レジスタ（FCFTR）設定値未満になると、Timer 値が 0 の自動 PAUSE フレームを送信します。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。

26.2.2 ETHERC ステータスレジスタ（ECSR）

アドレス　000C 0110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	BFR	PSRTO	–	LCHNG	MPD	ICD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICD	不正キャリア検出フラグ	0：PHY-LSIは、回線上で不正キャリアを検出していない 1：PHY-LSIは、回線上で不正キャリアを検出した	R/W
b1	MPD	Magic Packet™検出フラグ	0：Magic Packet™を検出していない 1：Magic Packet™を検出した	R/W
b2	LCHNG	リンク信号変化フラグ	0：LINKSTA信号の変化を検出していない 1：LINKSTA信号の変化（HighからLowあるいは　LowからHigh）を検出した	R/W
b3	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PSRTO	PAUSEフレーム再送リトライオーバフラグ	0：PAUSEフレーム再送回数が上限値を超えていない 1：PAUSEフレーム再送回数が上限値を超えた	R/W
b5	BFR	Broadcastフレーム連続受信フラグ	0：Broadcastフレームの連続受信を検出していない 1：Broadcastフレームの連続受信を検出した	R/W
b31-b6	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECSR レジスタは、ETHERC のステータスを表示するレジスタです。

BFR、PSRTO、LCHNG、MPD、ICD フラグに “1” を書くと、各フラグが “0” になります。“0” を書いた場合は、フラグに影響を与えません。

ECSR レジスタのいずれかのフラグが “1” になったとき、ETHERC 割り込み許可レジスタ (ECSIPR) の対応するビットが “1”(割り込み通知許可) であると、EDMAC の ETHERC/EDMAC ステータスレジスタ（EESR）の ETHERC ステータスレジスタ要因フラグ（ECI）が “1” になります。

ICD フラグ（不正キャリア検出フラグ）

回線上で PHY-LSI が不正なキャリアを検出したことを表します。すなわち、PHY-LSI から RX62N へ通知される信号が ET_RX_DV=0 かつ ET_RX_ER=1 かつ ET_ERXD3 ～ ET_ERXD 0=1110 の組み合わせとなった場合、ICD フラグが “1” にセットされます（図 26.9 参照）。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。

LCHNG フラグ（リンク信号変化フラグ）

PHY-LSI から入力される ET_LINKSTA 信号が、High から Low にあるいは Low から High に変化したことを表します。

現在の Link 状態を確認するには、PHY 部ステータスレジスタ（PSR）の ET_LINKSTA 端子状態ビット（LMON）を参照してください。

PSRTO フラグ（PAUSE フレーム再送リトライオーバフラグ）

フロー制御を用いる際の PAUSE フレームの再送において、再送回数が自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）に設定した再送上限値に達したことを表します。

26.2.3 ETHERC 割り込み許可レジスタ（ECSIPR）

アドレス　000C 0118h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	BFSIPR	PSRTOIP	–	LCHNGIP	MPDIP	ICDIP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICDIP	不正キャリア検出割り込み許可ビット	0：ICDの割り込み通知を禁止 1：ICDの割り込み通知を許可	R/W
b1	MPDIP	Magic Packet™検出割り込み許可ビット	0：MPDの割り込み通知を禁止 1：MPDの割り込み通知を許可	R/W
b2	LCHNGIP	リンク信号変化割り込み許可ビット	0：LCHNGの割り込み通知を禁止 1：LCHNGの割り込み通知を許可	R/W
b3	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	PSRTOIP	Pauseフレーム再送リトライオーバ割り込み許可ビット	0：PSRTOの割り込み通知を禁止 1：PSRTOの割り込み通知を許可	R/W
b5	BFSIPR	Broadcastフレーム連続受信割り込み許可ビット	0：BFRの割り込み通知を禁止 1：BFRの割り込み通知を許可	R/W
b31-b6	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ECSIPR レジスタは、ECSR レジスタに表示されるステータスを EDMAC に通知するかどうかを選択するレジスタです。各ビットは、ECSR レジスタの同番号のフラグに対応します。

26.2.4 受信フレーム長上限レジスタ（RFLR）

アドレス　000C 0108h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	RFL[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	RFL[11:0]	受信フレームデータ長11～0	000h～5EEh：1,518バイト 5EFh：1,519バイト 5F0h：1,520バイト ：　： 7FFh：2,047バイト 800h～FFFh：2,048バイト ここでのフレームデータは、宛先アドレスからCRCデータまでを含んだ範囲となりますが、実際には宛先アドレスからデータまでがメモリ上に転送されます。CRCデータは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは廃棄されます。	R/W
b31-b12	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

RFLR レジスタは、RX62N が受信することのできる最大フレーム長をバイト単位で指定するレジスタです。RFLR レジスタは、受信機能が有効な状態での書き換えを禁止します。

RFL[11:0] ビット（受信フレームデータ長 11 ～ 0）

RFL[11:0] ビットに設定された値をフレーム長チェック値とし、この値を超えたときフレーム長誤りエラーとします。

26.2.5 PHY 部インタフェースレジスタ（PIR）

アドレス　000C 0120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	–	MDI	MDO	MMD	MDC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	–	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MDC	MII/RMIIマネジメント データクロックビット	MDCビットに設定された値をET_MDC端子より出力し、MII/RMIIへのマネジメントデータクロックを供給します。	R/W
b1	MMD	MII/RMIIマネジメント モードビット	0：リード方向を規定 1：ライト方向を規定	R/W
b2	MDO	MII/RMIIマネジメント データアウトビット	ET_MDIO端子より出力するデータを格納します。 ET_MDIO端子は、MMDビットが“1”（ライト方向を規定）のときに出力します。MMDビットが“0”（リード方向を規定）のときには出力しません。	R/W
b3	MDI	MII/RMIIマネジメント データインビット	ET_MDIO端子のレベルを表します。書き込みは“0”としてください。	R/W
b31-b4	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PIR レジスタは、MII/RMII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供するレジスタです。

MDC ビット（MII/RMII マネジメントデータクロックビット）

MDC ビットに設定された値を ET_MDC 端子より出力し、MII/RMII へのマネジメントデータクロックを供給します。MII/RMII レジスタへのアクセス方法については、「26.3.4　MII/RMII **レジスタのアクセス方法**」を参照してください。

26.2.6 MAC アドレス上位設定レジスタ（MAHR）

アドレス　000C 01C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MA[47:32]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	MA[47:16]	MACアドレス47～16	MACアドレスの上位32ビットを設定します。MACアドレスが01-23-45-67-89-AB（16進数表示）である場合、MAHRレジスタには01234567hを設定します	R/W

MAHR レジスタは、48 ビットの MAC アドレスの上位 32 ビットを設定するレジスタです。通常、MAHR レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。EDMAC の EDMAC モードレジスタ（EDMR）のソフトウェアリセットビット（SWR）により、ETHERC および EDMAC を初期状態に戻してから再設定してください。

26.2.7 MAC アドレス下位設定レジスタ（MALR）

アドレス　000C 01C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	MA[15:0]	MACアドレス15～0	MACアドレスの下位16ビットを設定します。MACアドレスが01-23-45-67-89-AB（16進数表示）である場合、MALRレジスタには89ABhを設定します	R/W
b31-b16	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MALR レジスタは、48 ビットの MAC アドレスの下位 16 ビットを設定するレジスタです。通常、MALR レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMAC モードレジスタ（EDMR）のソフトウェアリセットビット（SWR）により ETHERC および EDMAC を初期状態に戻してから再設定してください。

26.2.8 PHY 部ステータスレジスタ（PSR）

アドレス　000C 0128h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	LMON
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	–

ビット	シンボル	ビット名	機能	R/W
b0	LMON	LINKSTA端子状態ビット	EX_LINKSTA端子にPHY-LSIから出力されるLink信号を接続することによってLink状態を読み込むことができます。極性については、接続するPHY-LSIの仕様を参照してください	R
b31-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

PSR レジスタは、PHY-LSI からのインタフェース信号を読むことができるレジスタです。

26.2.9　送信リトライオーバカウンタレジスタ（TROCR）

アドレス　000C 01D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	送信時に再送を合わせて16回の試行で送信できなかったフレームのカウント数を表します	R/W

TROCR レジスタは、送信時に再送を合わせて 16 回の試行で送信できなかったフレーム数を示すカウンタです。送信を 16 回失敗すると、TROCR レジスタは 1 カウントアップします。TROCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。TROCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.10　遅延衝突検出カウンタレジスタ（CDCR）

アドレス　000C 01D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	送信開始からのすべての遅延衝突の回数を表します	R/W

CDCR レジスタは、送信開始以降すべての回線上の遅延衝突回数を示すカウンタです。CDCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。CDCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.11　キャリア消失カウンタレジスタ（LCCR）

アドレス　000C 01D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	データ送信中に消失したキャリアカウント数を表します	R/W

LCCR レジスタは、データの送信中にキャリアが消失した回数を示すカウンタです。LCCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。LCCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.12　キャリア未検出カウンタレジスタ（CNDCR）

アドレス　000C 01DCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	未検出キャリアのカウント数を表します	R/W

CNDCR レジスタは、プリアンブルを送出中にキャリアを検出できなかった回数を示すカウンタです。CNDCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。CNDCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.13 CRC エラーフレーム受信カウンタレジスタ（CEFCR）

アドレス　000C 01E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	CRCエラーとなったフレームを受信したカウント数を表します	R/W

CEFCR レジスタは、CRC エラーとなったフレームの受信回数を示す 32 ビットのカウンタです。CEFCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。CEFCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.14 フレーム受信エラーカウンタレジスタ（FRECR）

アドレス　000C 01E8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	フレームを受信中にエラーとなったカウント数を表します	R/W

FRECR レジスタは、PHY-LSI から入力される ET_RX_ER 端子により受信エラーとなったフレームの個数を示す32 ビットのカウンタです。ET_RX_ER 端子がアクティブになるごとに1カウントアップします。FRECR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。FRECR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.15　64 バイト未満フレーム受信カウンタレジスタ（TSFRCR）

アドレス　000C 01ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	64バイト未満のフレームを受信したカウント数を表します	R/W

TSFRCR レジスタは、64 バイト未満のフレームを受信したことを示すカウンタです。TSFRCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。TSFRCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.16　指定バイト超フレーム受信カウンタレジスタ（TLFRCR）

アドレス　000C 01F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	RFLRの値を超えるフレームを受信したカウント数を表します	R/W

TLFRCR レジスタは、RFLR レジスタで指定した値を超えるフレームを受信したことを示すカウンタです。TLFRCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。端数ビットを含むフレームを受信した場合は、TLFRCR レジスタはカウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ（RFCR）に反映されます。TLFRCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.17　端数ビットフレーム受信カウンタレジスタ（RFCR）

アドレス　000C 01F4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	端数ビットデータを含むフレームを受信したカウント数を表します	R/W

RFCR レジスタは、8 ビットに満たない端数ビットデータを含むフレームを受信したことを示すカウンタです。RFCR レジスタも値が FFFFFFFFh になるとカウントアップを停止します。RFCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.18　マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）

アドレス　000C 01F8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	マルチキャストフレームを受信したカウント数を表します	R/W

MAFCR レジスタは、マルチキャストアドレスを指定するフレームを受信したことを示すカウンタです。MAFCR レジスタの値が FFFFFFFFh になるとカウントアップを停止します。MAFCR レジスタへの書き込み動作によってカウンタの値は “0” になります。書く値は、いずれでもかまいません。

26.2.19 IPG 設定レジスタ（IPGR）

アドレス　000C 0150h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	IPG[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IPG[4:0]	Inter Packet Gap ビット	00h：16 ビット時間 01h：20 ビット時間 :　: 14h：96 ビット時間（初期値） :　: 1Fh：140 ビット時間	R/W
b31-b5	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IPGR レジスタは、IPG（Inter Packet Gap）の値を設定するレジスタです。ECMR レジスタの送受信機能が有効な状態での書き換えは禁止です（詳細は「26.3.6　IPG 設定による動作」を参照）。

IPG[4:0] ビット（Inter Packet Gap ビット）

4 ビット時間ごとに IPG 値を設定します。

26.2.20 自動 PAUSE フレーム設定レジスタ（APR）

アドレス　000C 0154h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	AP[15:0]	自動 PAUSE ビット	自動 PAUSE フレームの TIME パラメータ値を設定します。	R/W
b31-b16	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

APR レジスタは、自動 PAUSE フレームの TIME パラメータ値を設定するレジスタです。自動 PAUSE フレームを送信するときに、APR レジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

APR レジスタは、送受信機能が有効な状態での書き換えは禁止です。

AP[15:0] ビット（自動 PAUSE ビット）

自動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。

26.2.21　手動 PAUSE フレーム設定レジスタ（MPR）

アドレス　000C 0158h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	MP[15:0]	手動PAUSEビット	手動PAUSEフレームのTIMEパラメータ値を設定します。	R/W
b31-b16	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MPR レジスタは、手動 PAUSE フレームの TIME パラメータ値を設定するレジスタです。手動 PAUSE フレームを送信するときに、MPR レジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

MPR レジスタは、送信機能が有効な状態で、書き込みを行ってください。

MP[15:0] ビット（手動 PAUSE ビット）

手動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。読むと不定値が読み出されます。

26.2.22　自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）

アドレス　000C 0164h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TPAUSE[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TPAUSE[15:0]	自動PAUSEフレーム 再送回数上限値	0000h：再送回数無制限 0001h：再送回数は、1回 ：　　： FFFFh：再送回数は、65535回	R/W
b31-b16	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPAUSER レジスタは、自動 PAUSE フレームの再送回数の上限値を設定するレジスタです。TPAUSER レジスタは、送信機能が有効な状態での書き換えは禁止です。

26.2.23 乱数生成カウンタ上限値設定レジスタ（RDMLR）

アドレス　000C 0140h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	RMD[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b19-b0	RMD[19:0]	乱数生成部で使用している カウンタの上限値	00000h：通常の動作での設定値です。 00001h～FFFFEh：カウンタの上限値がこの設定値になります	R/W
b31-b20	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　RDMLR レジスタは、乱数生成部の動作が変わるため、“0”以外を書く場合は注意してください。

RDMLR レジスタは、乱数生成部で使用しているカウンタの上限値を設定できるレジスタです。
RDMLR レジスタは、送受信機能が有効な状態での書き換えは禁止です。

26.2.24 受信 PAUSE フレームカウンタ（RFCF）

アドレス　000C 0160h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–				RPAUSE[7:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	RPAUSE[7:0]	PAUSE フレーム受信回数	受信カウンタ	R
b31-b8	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RFCF レジスタは、PAUSE フレームの受信カウンタです。

26.2.25 PAUSE フレーム再送回数カウンタ（TPAUSECR）

アドレス　000C 0168h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	TXP[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TXP[7:0]	PAUSE フレーム受信回数	PAUSE フレームの再送回数	R
b31-b8	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPAUSECR レジスタは、PAUSE フレームの再送回数を示すカウンタです。

26.2.26 Broadcast フレーム受信回数設定レジスタ（BCFRR）

アドレス　000C 016Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BCF[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	BCF[15:0]	Broadcast フレームの 連続受信回数設定	0000h：受信回数制限なし 0001h：1 フレーム受信 ：　　： FFFFh：65535 フレーム受信	R/W
b31-b16	–	予約ビット	読むと“0”が読めます。書く場合、は“0”としてください	R/W

BCFRR レジスタは、Broadcast フレーム連続受信回数を設定するレジスタです。
BCFRR レジスタは、受信機能が有効な状態での書き換えは禁止です。

BCF[15:0] ビット（Broadcast フレームの連続受信回数設定）

DA（宛先アドレス）がブロードキャストアドレスのフレームを設定した回数値まで受信することが可能であり、設定を超えて受信した場合は以降のブロードキャストフレームを破棄します。

26.3 動作説明

ETHERC の動作の概要を以下に示します。ETHERC は IEEE802.3x に準拠した制御をサポートしており、使用される Pause フレームの送信および受信が可能です。

26.3.1 送信動作

ETHERC 送信部は、送信 EDMAC から送信要求があると送信データをフレームに組み立てて MII/RMII に出力します。MII/RMII を経由した送信データは、PHY-LSI によって回線上に送出されます。ETHERC 送信部の状態遷移図を図 26.2 に示します。

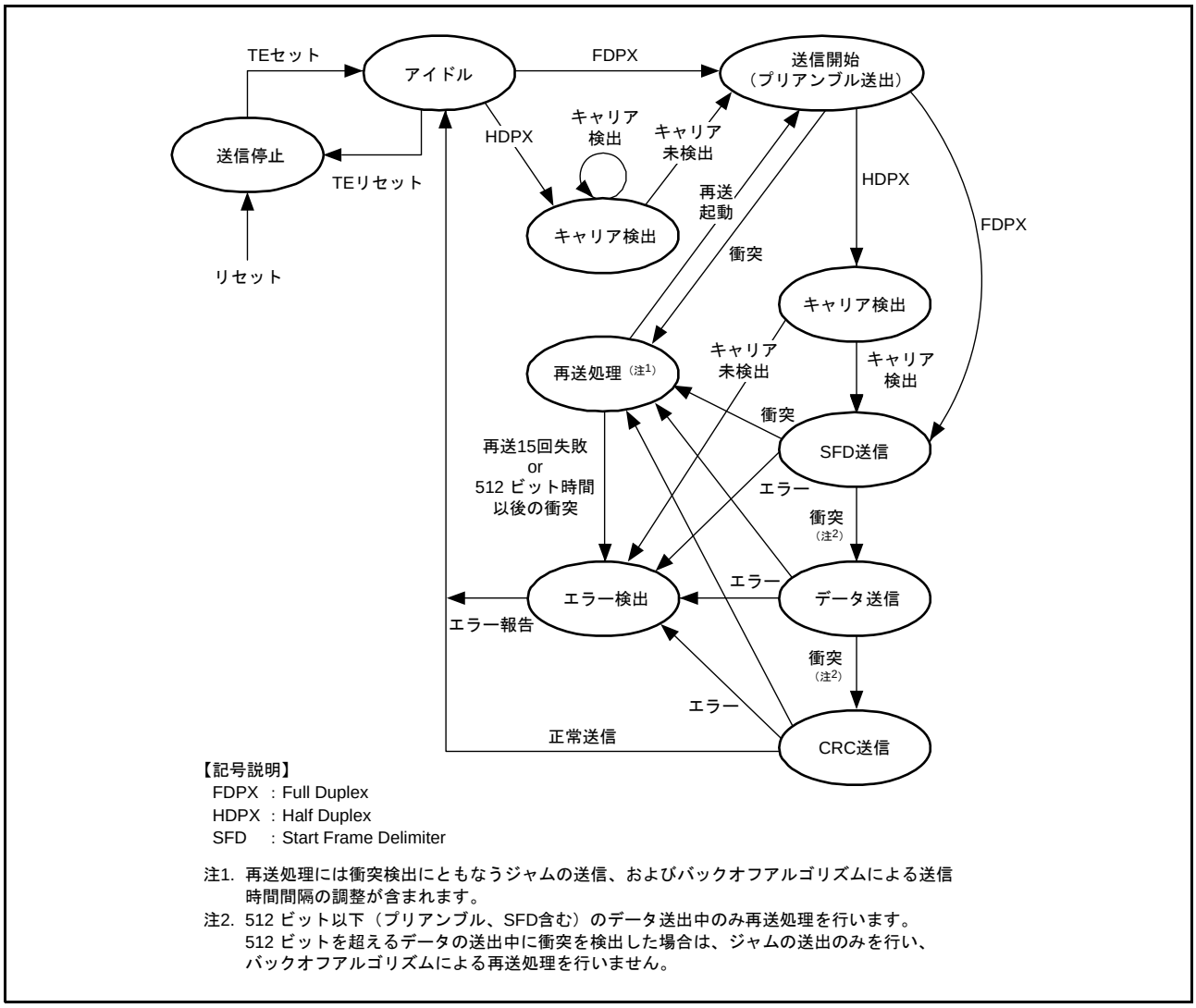


図 26.2　ETHERC 送信部状態遷移図

1. 送信許可ビット（ECMR.TE）がセットされると、送信アイドル状態に遷移します。
2. EDMAC から送信要求があると、ETHERC はキャリア検出、フレーム間隔時間の送信延期を経てプリアンブルを MII/RMII に送出します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信 EDMAC から送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRC を順次送信します。送信を終了すると、送信 EDMAC が送信終了割り込み（TC）を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後はアイドル状態に遷移し、以後送信データがあれば送信を継続します。

26.3.2 受信動作

ETHERC 受信部は、MII/RMII より入力されたフレームをプリアンブル、SFD、データおよび CRC データに分解し、受信 EDMAC には DA（宛先アドレス）から CRC データまでを出力します。ETHERC 受信部の状態遷移図を**図** 26.3 に示します。

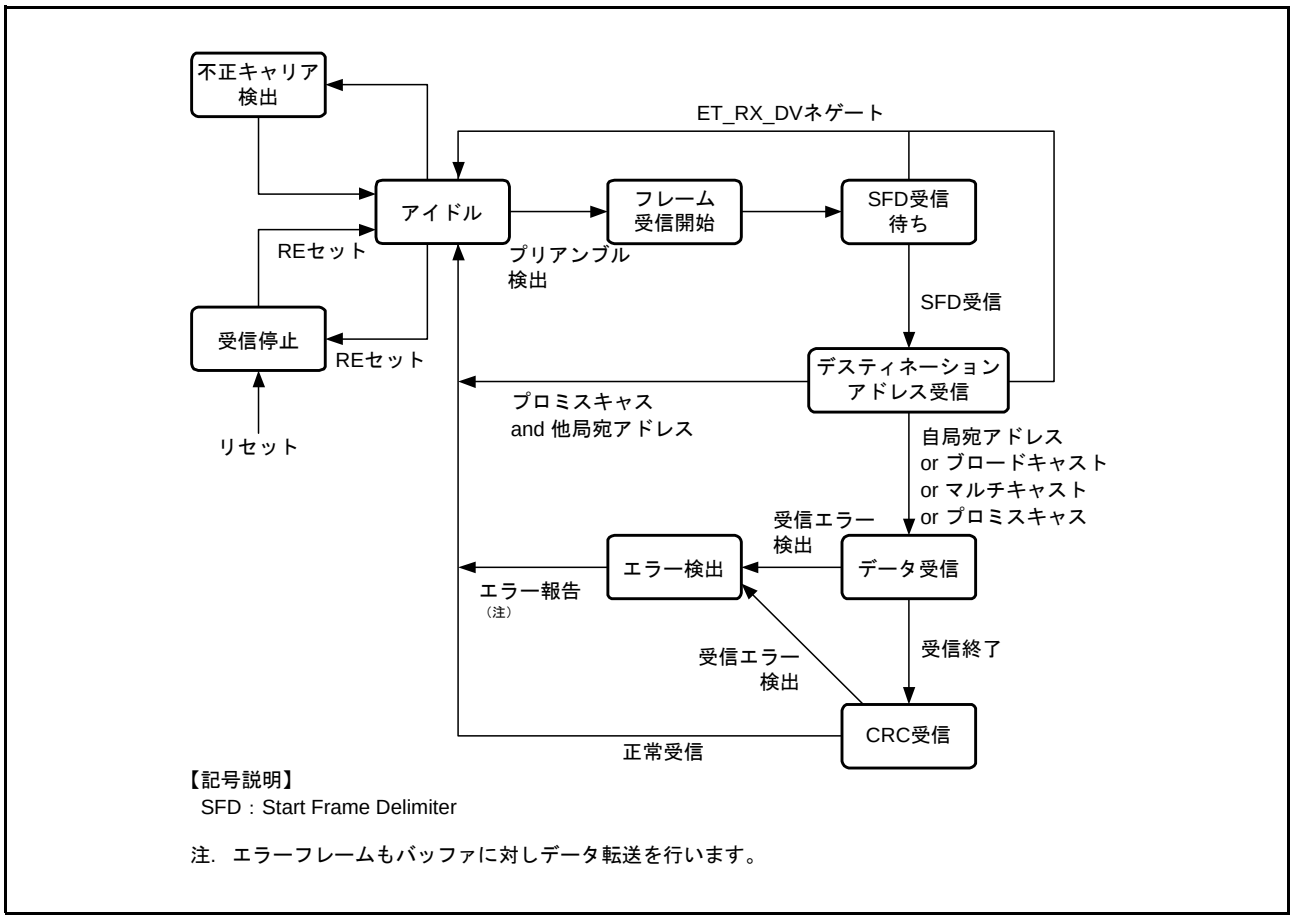


図 26.3　ETHERC 受信部状態遷移図

1. 受信許可ビット（ECMR.RE）ビットがセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンブルに続く SFD（スタートフレームデリミタ）を検出すると、受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームのデスティネーションアドレスが RX62N 宛の場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. MII/RMII からのデータ受信後、フレームデータ部の CRC チェックを行います。結果はメモリ上へのフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時はエラーステータスを報告します。
5. 1 フレームを受信後、ETHERC モードレジスタ内の受信許可ビットが設定（ECMR.RE ＝ 1）されていると、次のフレーム受信に備えます。

26.3.3 フレームタイミング

26.3.3.1 MII フレームタイミング

MII フレームのタイミングを図 26.4 ～図 26.9 に示します。

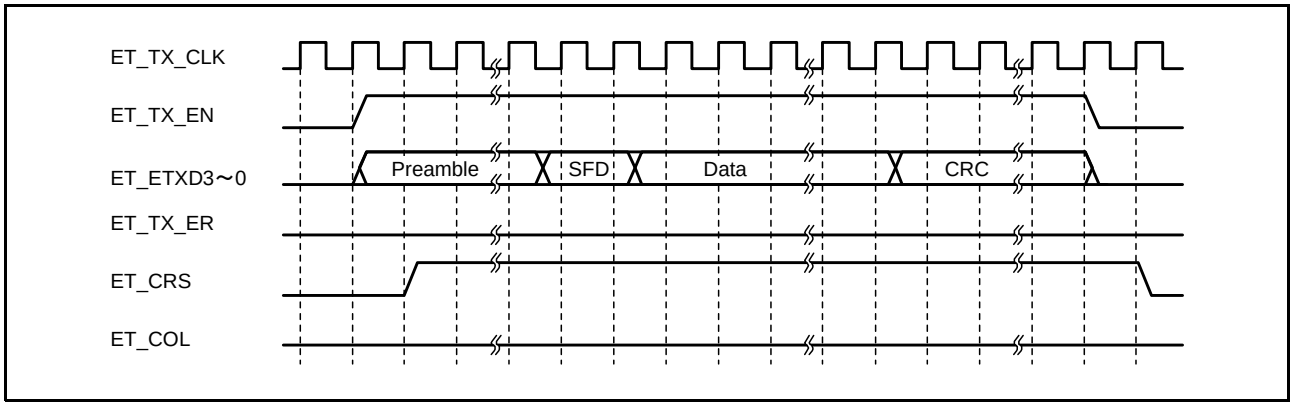


図 26.4　MII フレーム送信タイミング（正常時）

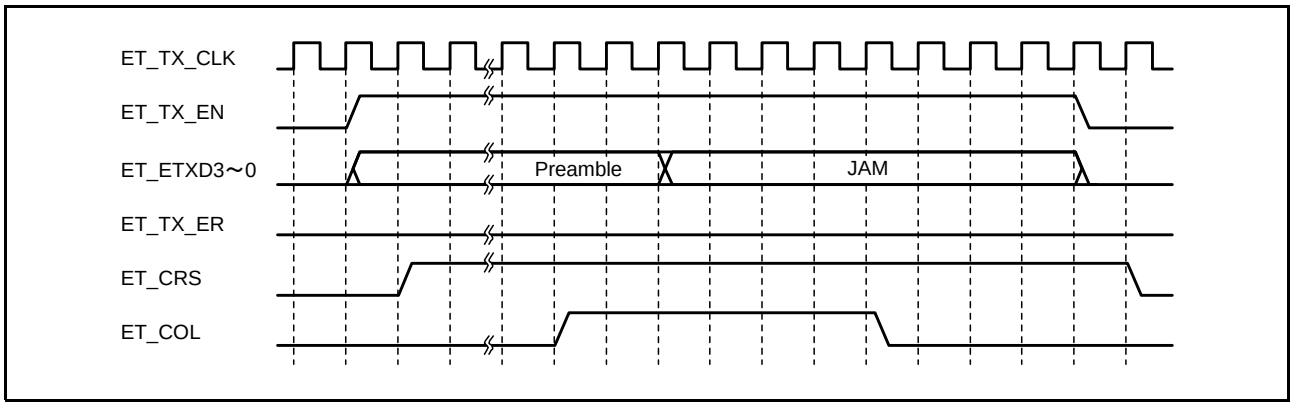


図 26.5　MII フレーム送信タイミング（衝突発生）

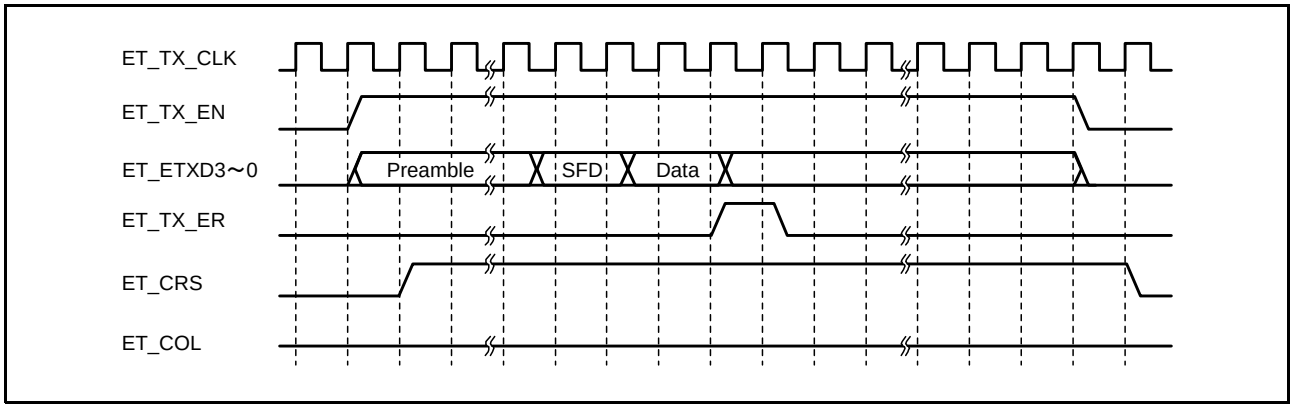


図 26.6　MII フレーム送信タイミング（送信エラー発生）

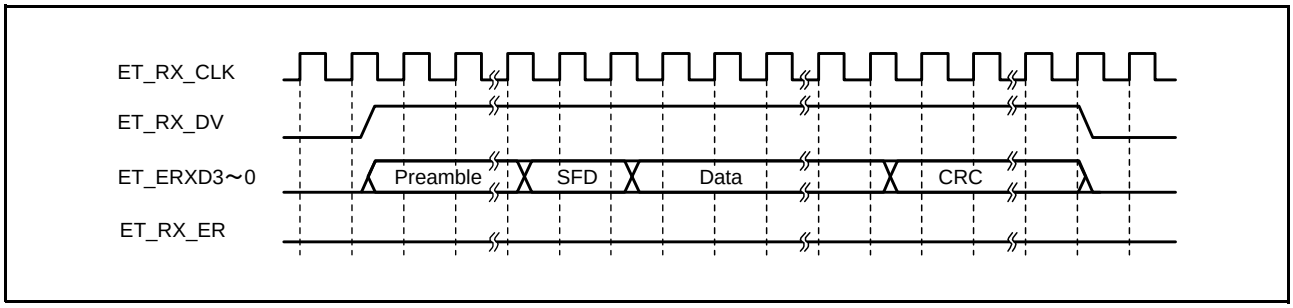


図 26.7　MII フレーム受信タイミング（正常受信）

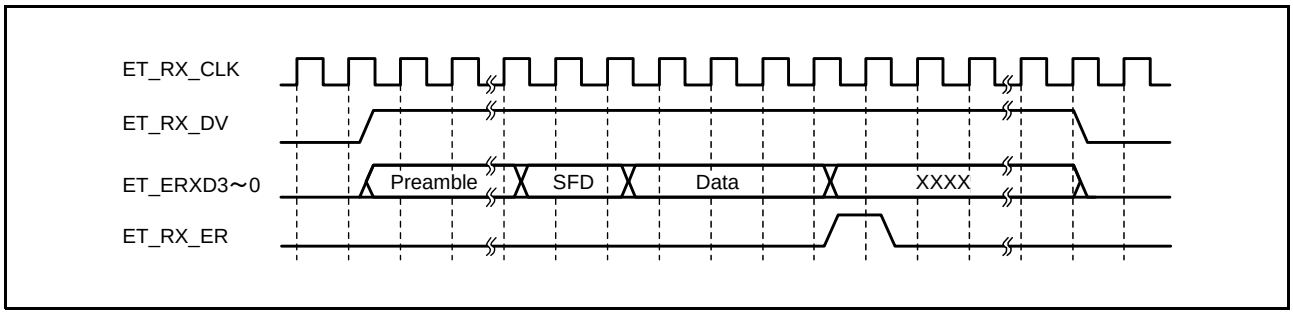


図 26.8　MII フレーム受信タイミング（受信エラー（1）受信エラー通知）

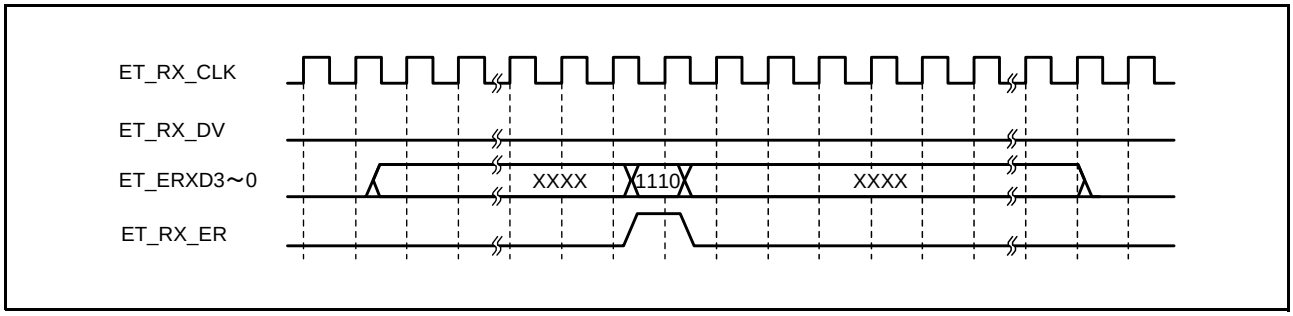


図 26.9　MII フレーム受信タイミング（受信エラー（2）キャリアエラー通知）

26.3.3.2　RMII フレームタイミング

RMII のフレームタイミングを図 26.10 ～図 26.12 に示します。

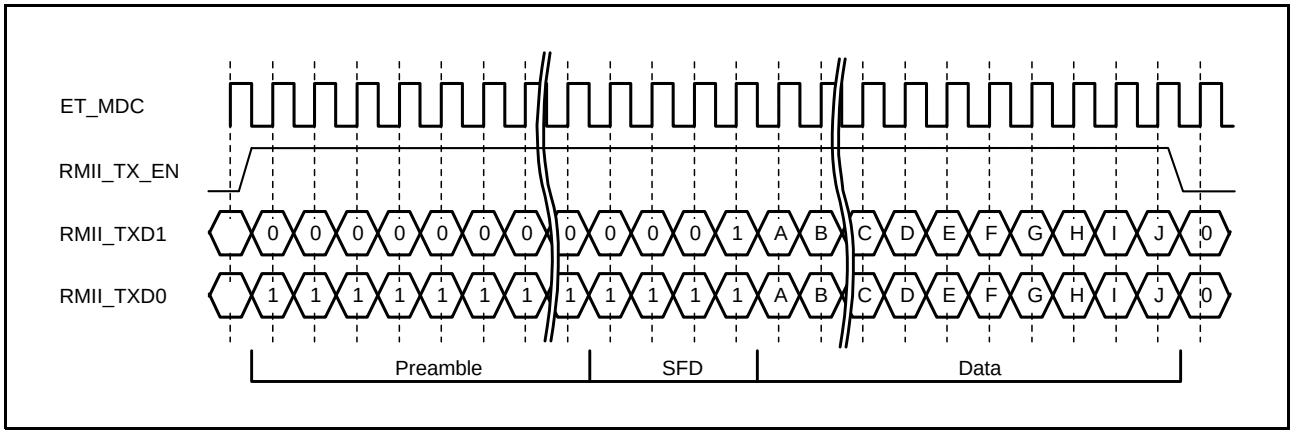


図 26.10　RMII フレーム送信タイミング（正常送信）

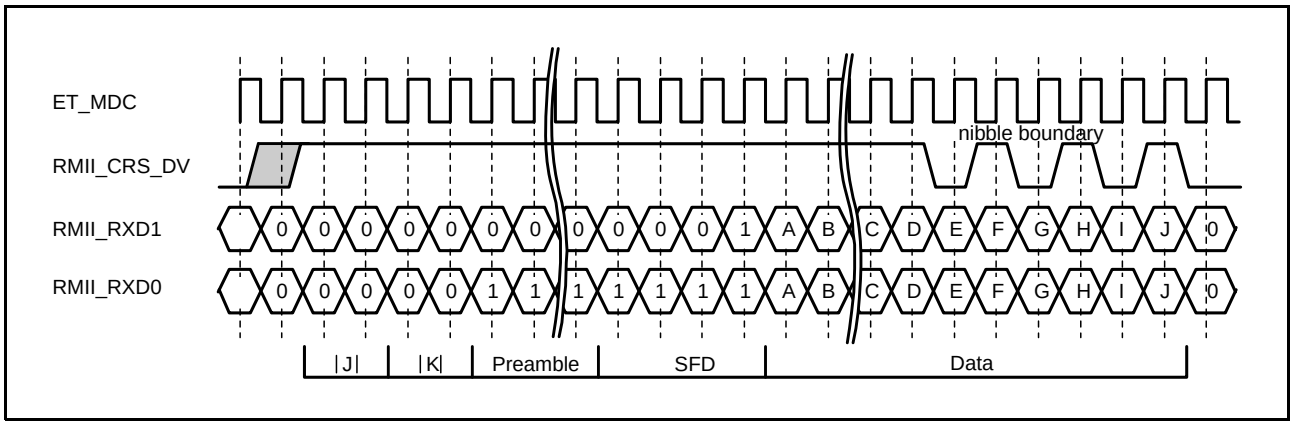


図 26.11　RMII フレーム受信タイミング（正常受信）

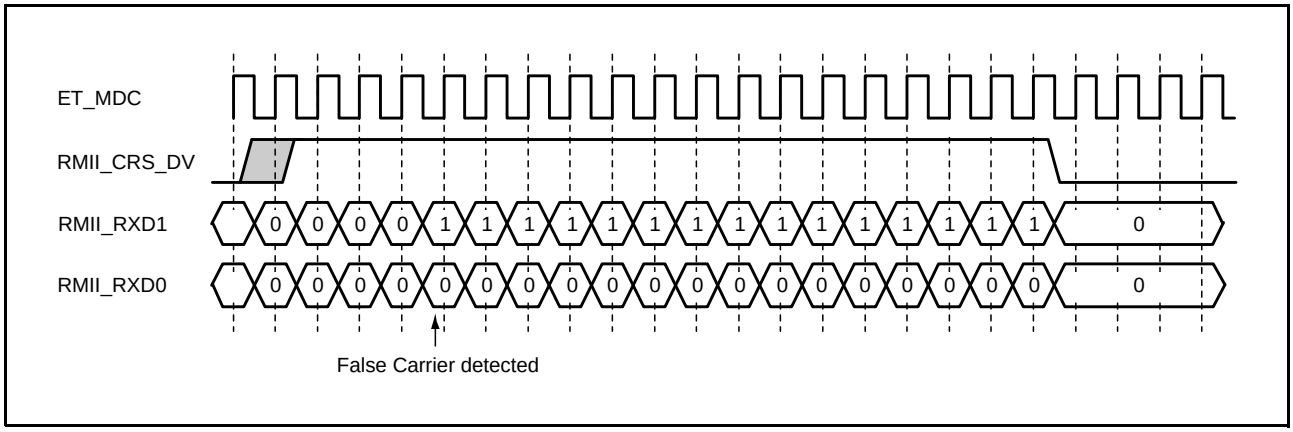


図 26.12　RMII フレーム受信タイミング（False Carrier を伴う受信）

26.3.4 MII/RMII レジスタのアクセス方法

PHY-LSI 内にある MII/RMII レジスタへは、RX62N の PHY 部インタフェースレジスタ（PIR）を経由してアクセスします。MII/RMII フレームフォーマットに従い、シリアルインタフェースとして接続します。

26.3.4.1 MII/RMII 管理フレームのフォーマット

MII/RMII 管理フレームのフォーマットを図 26.13 に示します。MII/RMII レジスタをアクセスするには、「26.3.4.2 MII/RMII レジスタアクセス手順」で示す手順に従う管理フレームをプログラムによって実現します。

アクセス種別	MII/RMII管理フレーム							
項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	ー
リード	1..1	01	10	00001	RRRRR	Z0	D..D	ー
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

【記号説明】
PRE　：32個の連続した1b
ST　：フレームの先頭を示す01bのライト
OP　：アクセス種別を示すコードのライト
PHYAD：PHY-LSIのアドレスが1番の場合、0001bをライト（MSB から順次ライト）。このビットは、PHY-LSIアドレスによって可変となる。
REGAD：レジスタアドレスが1番の場合、0001bをライト（MSBから順次ライト）。このビットは、PHY-LSIのレジスタアドレスによって可変となる。
TA　：MII/RMIIインタフェース上でデータの送信元を切り替える時間
（a）書き込み時は10bをライト
（b）読み出し時は、「バス解放」（Z0と表記）を行う
DATA　：16ビットのデータ。MSBから順次ライトあるいはリード
（a）書き込み時は、16ビットデータのライト
（b）読み出し時は、16ビットデータのリード
IDLE　：次のMII管理フォーマット入力までの待機時間
（a）書き込み時は、「単独バス解放」（Xと表記）を行う
（b）読み出し時は、すでにTA時にバス解放済みであり制御不要

図 26.13　MII/RMII 管理フレームフォーマット

26.3.4.2　MII/RMII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ（PIR）を経由して MII/RMII レジスタをアクセスします。アクセスは、1 ビット単位のデータ書き込み、1 ビット単位のデータを読み出し、バスの解放および単独バス解放の組み合わせによって実現します。MII/RMII レジスタアクセスタイミング例を図 26.14 ～図 26.17 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

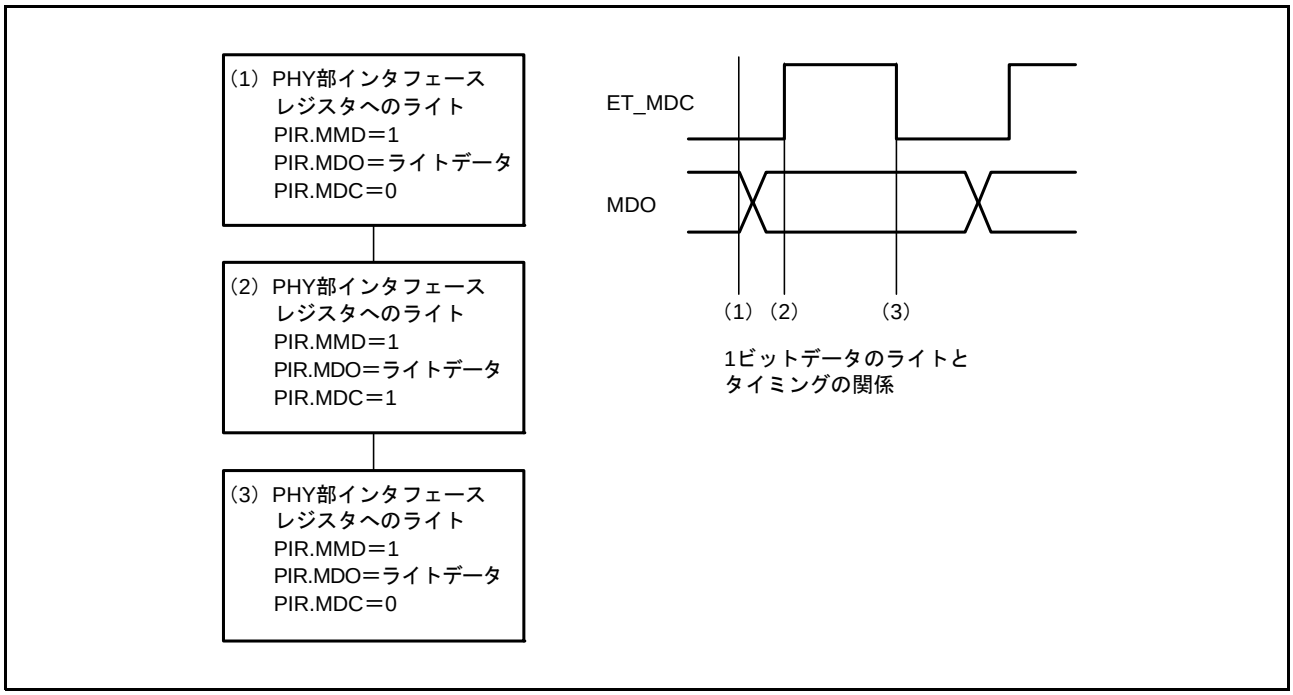


図 26.14　1 ビットデータのライトフロー

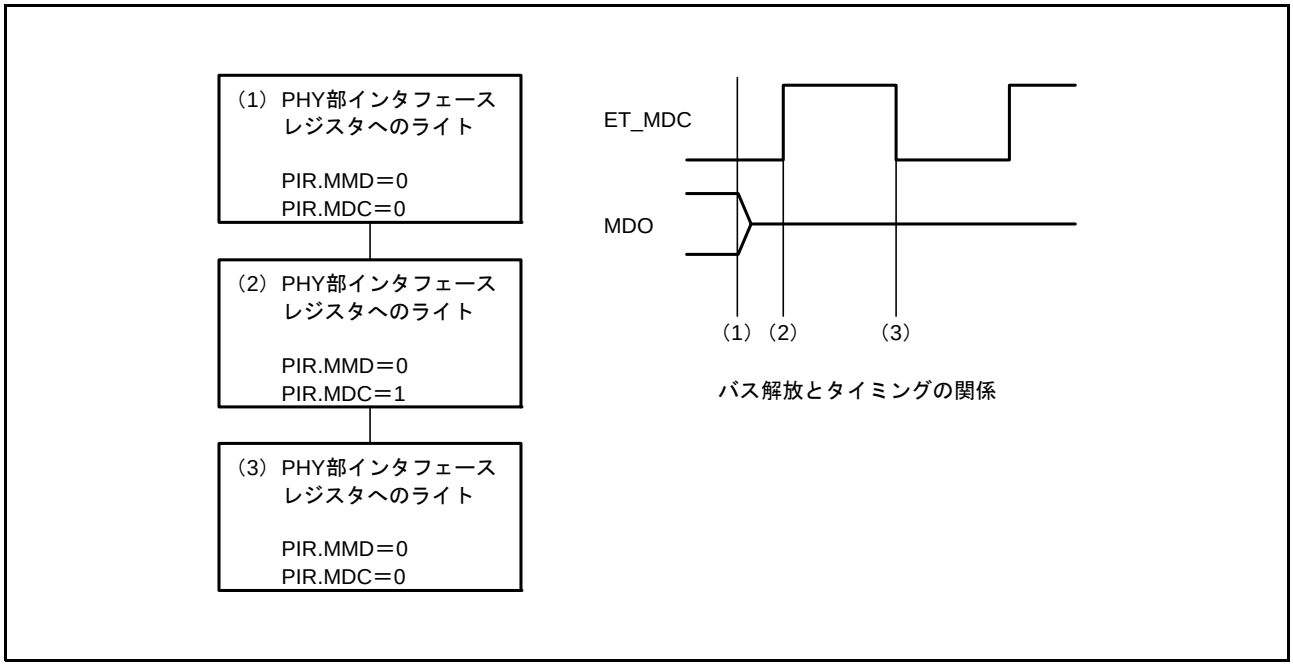


図 26.15　バス解放フロー（図 26.13 中のリード時の TA）

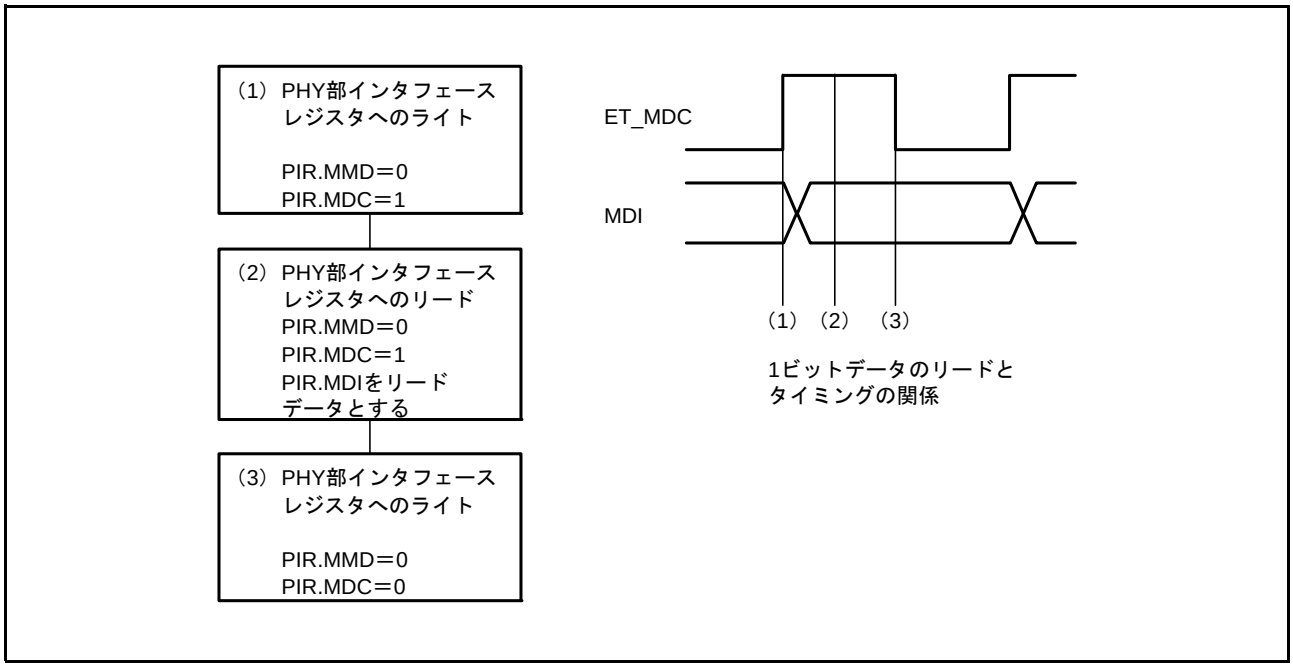


図 26.16　1 ビットデータのリードフロー

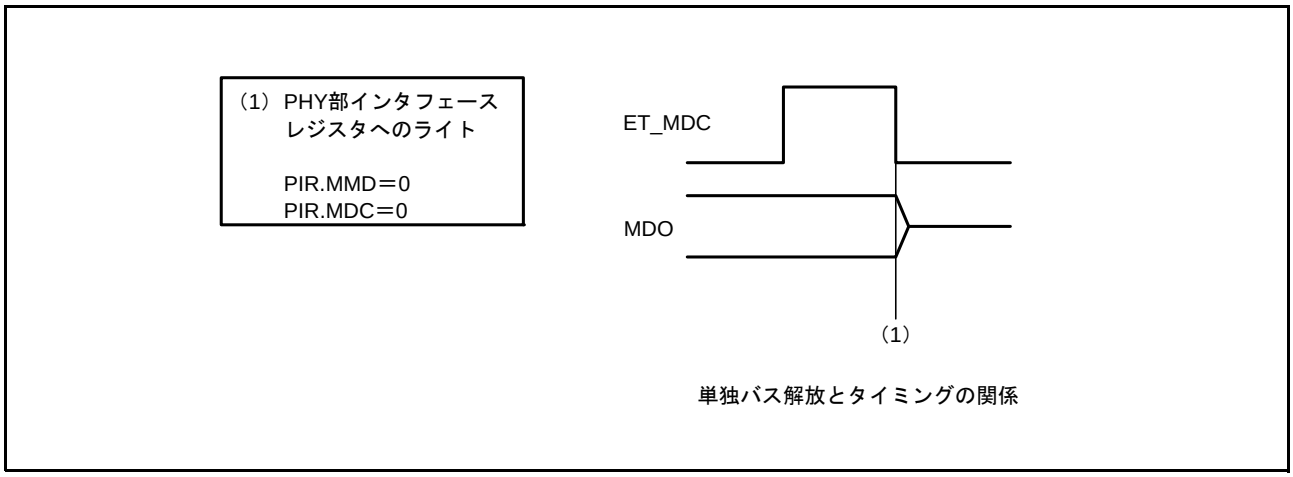


図 26.17　単独バス解放フロー（図 26.13 中のライト時の IDLE）

26.3.5 Magic Packet™ の検出

ETHERC は、Magic Packet™ の検出機能を有しています。この機能は、ホスト装置などから LAN に接続される各種周辺装置を起動する機能（WOL：Wake-On-LAN、Magic Packet™ 検出時 High 出力／ソフトウェアリセットでネゲート）を提供します。これによって、ホスト装置などから送出される Magic Packet™ を周辺装置が受信し、周辺装置がみずから起動するシステムを構築できます。Magic Packet™ を検出したときには、それ以前に受信していたブロードキャストパケット等によって受信 FIFO にはデータが蓄積され、ETHERC には受信ステータスなどが報告されています。割り込み処理から通常の動作に復帰するためには、EDMAC の EDMAC モードレジスタ（EDMR）のソフトウェアリセットビット（SWR）により ETHERC および EDMAC の初期化を実行してください。

Magic Packet™ においては、宛先アドレスにかかわらず受信を行います。結果として、Magic Packet™ 内のフォーマットで指定される宛先に合致する場合のみ有効となり、ET_WOL 端子が有効となります。Magic Packet™ に関する詳細については、AMD 社の技術資料を参照してください。

RX62N を用いて WOL を利用するには、以下のような設定順序で行います。

1. 各種割り込み許可レジスタによって割り込み要因の出力を禁止します。
2. ETHERC モードレジスタ（ECMR）の Magic Packet™ 検出許可ビット（MPDE）を設定します。受信許可ビット（RE）を “1” に設定します。
3. ETHERC 割り込み許可レジスタ（ECSIPR）の Magic Packet™ 検出割り込み許可ビット（MPDIP）を “1” にします。
4. ETHERC/EDMAC ステータス割り込み許可レジスタ（EESIPR）の ETHERC ステータスレジスタ要因割り込み許可ビット（ECIIP）を ”1” にします。
5. ICU を設定して EINT 割り込み要求を許可します。
6. 必要に応じて、CPU の動作モードをスリープモードにするか、使用しない周辺機能をモジュールストップ状態にします。
7. Magic Packet™ を検出すると、CPU へ割り込みが要求されます。また、MCU 外部に対しては、ET_WOL 端子から High を出力して、Magic Packet™ を検出したことを通知します。

26.3.6 IPG 設定による動作

ETHERC は、送信フレーム間の無送信期間 IPG（Inter Packet Gap）を変更する機能を有しています。IPG 設定レジスタ（IPGR）の設定値を変更することで、伝送効率を標準値よりも上げたり下げたりすることが可能です。なお、IPG の設定は IEEE802.3 標準で定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。

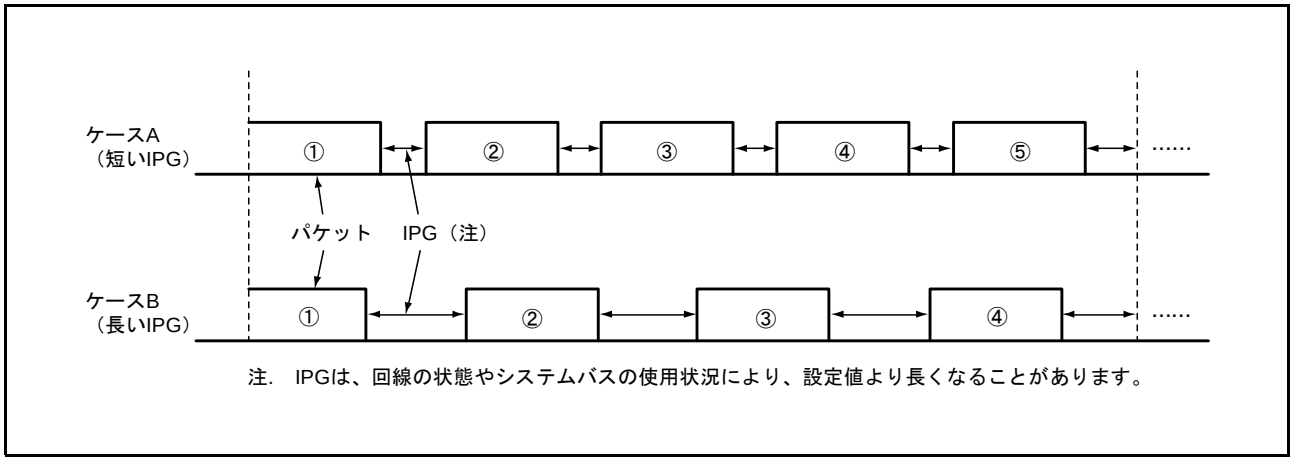


図 26.18 IPG の変更による伝送効率の違い

26.3.7 フロー制御

ETHERC は、全二重動作時に IEEE802.3x 準拠のフロー制御機能をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の手順があります。

26.3.7.1 自動 PAUSE フレームの送信

受信フレームに対しては、受信 FIFO（EDMAC に内蔵）に書き込まれたデータ量が EDMAC のフロー制御開始 FIFO しきい値設定レジスタ（FCFTR）に設定された値に達すると PAUSE フレームを自動送信します。このときの PAUSE フレームに含まれる TIME パラメータは、自動 PAUSE フレーム設定レジスタ（APR）で設定します。自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が FCFTR レジスタ設定値未満になるまで繰り返されます。また、自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）により PAUSE フレームの再送信回数の上限値を設定することもできます。この場合は、受信 FIFO 内のデータ量が FCFTR レジスタ設定値未満になるか、送信回数が TPAUSER レジスタの設定値に達するまで PAUSE フレームの送信が繰り返されます。自動 PAUSE フレームの送信は ETHERC モードレジスタ（ECMR）の送信系フロー制御動作モードビット（TXF）が “1” の場合に有効となります。

26.3.7.2 手動 PAUSE フレームの送信

ソフトウェアからの指示により、PAUSE フレームを送信します。手動 PAUSE フレーム設定レジスタ（MPR）への Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は、1 回のみです。

26.3.7.3 PAUSE フレームの受信

PAUSE フレームを受信した場合、Timer 値の示す時間が経過するまで、次のフレーム送信を待ちます。ただし、送信中のフレームについては送信を継続します。PAUSE フレームの受信は ETHERC モードレジスタ（ECMR）の受信系フロー制御動作モードビット（RXF）が “1” の場合に有効となります。

26.4 PHY-LSI との接続

図 26.19、図 26.20 に PHY-LSI との接続例を示します。

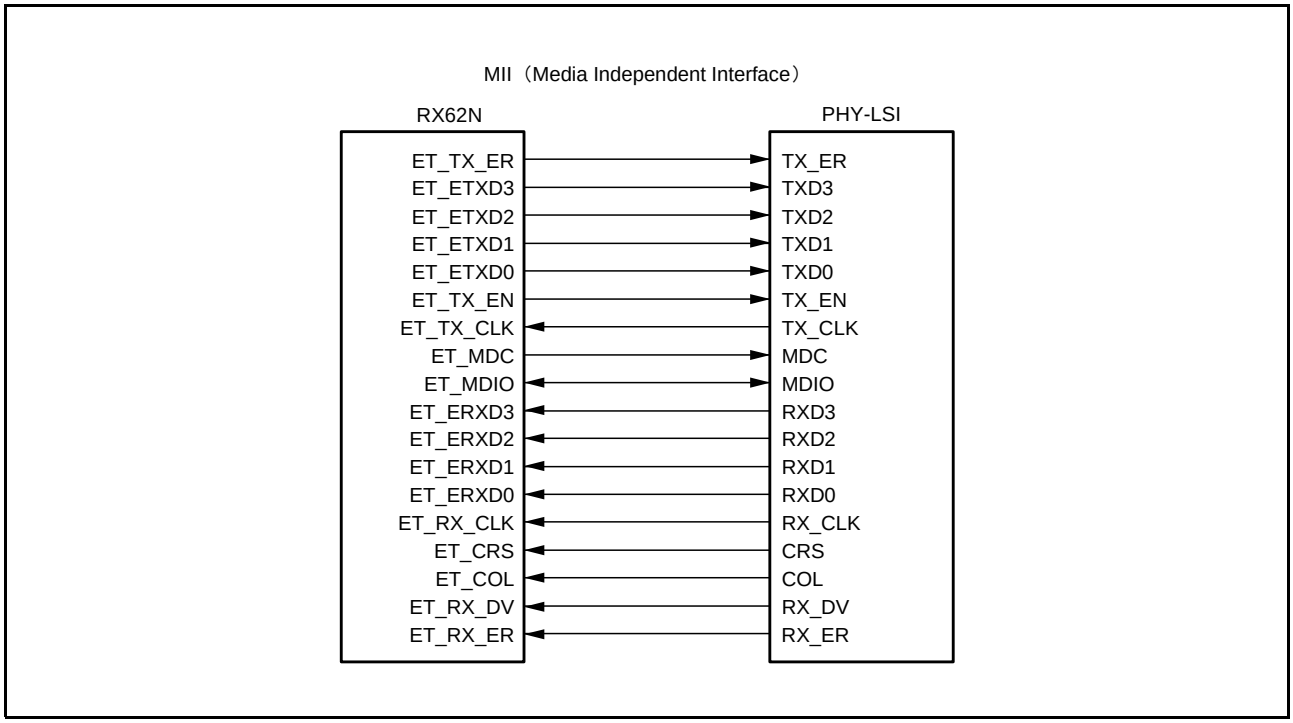


図 26.19　PHY-LSI との接続例（MII）

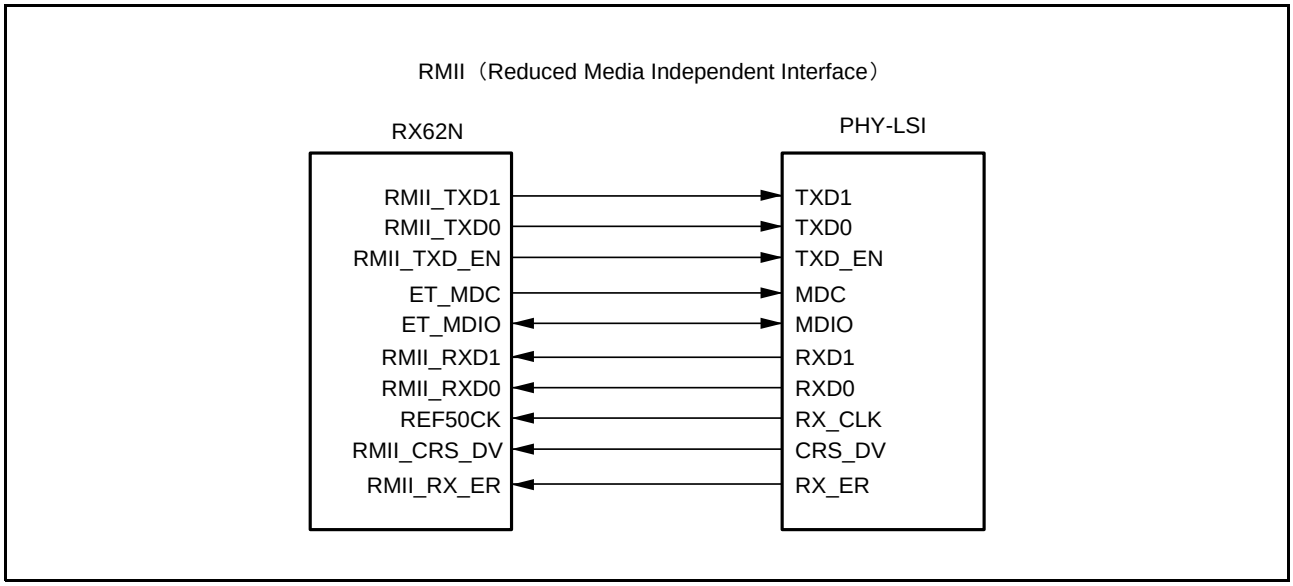


図 26.20　PHY-LSI との接続例（RMII）

26.5 使用上の注意事項

ETHERC を使用する際は、以下のことに注意してください。

26.5.1 LCHNG フラグのセット条件について

ET_LINKSTA 端子への入力レベルが変化していない場合でも、ECSR.LCHNG フラグが “1” になる場合があります。IOPORT.PFENET ビットで ET_LINKSTA 端子を有効にしたときや、EDMAC の EDMR.SWR ビットによる ETHERC/EDMAC のソフトウェアリセット解除時に、ET_LINKSTA 端子に High が入力されている場合です。これは IOPORT.PFENET ビットで ET_LINKSTA 端子を有効にしていないときや、ETHERC/EDMAC のソフトウェアリセット中に、LSI 内部の ET_LINKSTA 信号が外部端子への入力レベルとは無関係に Low に固定されているからです。

誤ってリンク信号変化割り込みを発生させないように、ECSR.LCHNG フラグをクリアしてから、ECSIPR.LCHNGIP ビットを “1” にしてください。

26.5.2 RMII 選択時の RMII_RX_ER 端子入力について

RMII 選択時、PHY から受け取る受信エラー信号の幅が RMII のリファレンスクロック 50MHz の 1 サイクル分しか出ない場合、エラー信号として認識しません。

27. イーサネットコントローラ用 DMA コントローラ（EDMAC）

27.1 概要

RX62N グループは、イーサネットコントローラ（ETHERC）に直結したダイレクトメモリアクセスコントローラ（EDMAC）を内蔵しています。バッファ管理の多くの部分を EDMAC がディスクリプタを用いて制御します。このため CPU の負荷を軽減し、効率の良いデータ送受信制御を行うことができます。

表 27.1 に EDMAC の仕様を、図 27.1 に EDMAC とメモリ上のディスクリプタおよび送信と受信バッファの構成を示します。

表 27.1　EDMACの仕様

項目	内容
データ送受信	● ディスクリプタ管理方式 ● シングルフレーム・マルチバッファ方式対応
機能	● ブロック転送（32バイト単位）によるシステムバスの効率利用 ● 送受信フレームステータスのディスクリプタ反映 ● 受信データへのパディング挿入可能

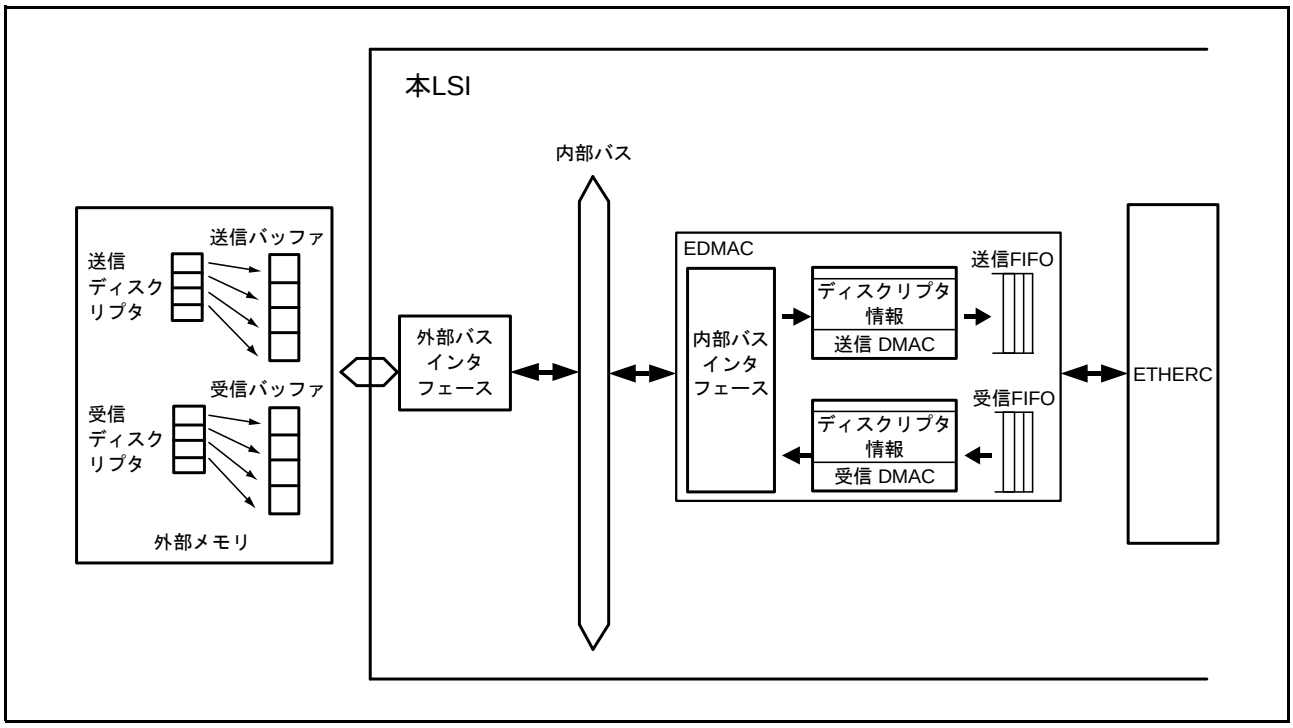


図 27.1　EDMAC とディスクリプタおよびバッファの構成

27.2 レジスタの説明

表 27.2 に EDMAC のレジスター覧を示します。

表27.2　EDMACのレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
EDMACモードレジスタ	EDMR	0000 0000h	000C 0000h	32
EDMAC送信要求レジスタ	EDTRR	0000 0000h	000C 0008h	32
EDMAC受信要求レジスタ	EDRRR	0000 0000h	000C 0010h	32
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	0000 0000h	000C 0018h	32
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	0000 0000h	000C 0020h	32
ETHERC/EDMACステータスレジスタ	EESR	0000 0000h	000C 0028h	32
ETHERC/EDMACステータス割り込み許可レジスタ	EESIPR	0000 0000h	000C 0030h	32
送受信ステータスコピー指示レジスタ	TRSCER	0000 0000h	000C 0038h	32
ミスドフレームカウンタレジスタ	RMFCR	0000 0000h	000C 0040h	32
送信FIFOしきい値指定レジスタ	TFTR	0000 0000h	000C 0048h	32
FIFO容量指定レジスタ	FDR	0000 0000h	000C 0050h	32
受信方式制御レジスタ	RMCR	0000 0000h	000C 0058h	32
送信FIFOアンダランカウント	TFUCR	0000 0000h	000C 0064h	32
受信FIFOオーバフローカウント	RFOCR	0000 0000h	000C 0068h	32
個別出力信号設定レジスタ	IOSR	0000 0000h	000C 006Ch	32
フロー制御開始FIFOしきい値設定レジスタ	FCFTR	0007 0007h	000C 0070h	32
受信データパディング挿入設定レジスタ	RPADIR	0000 0000h	000C 0078h	32
送信割り込み設定レジスタ	TRIMD	0000 0000h	000C 007Ch	32
受信バッファライトアドレスレジスタ	RBWAR	0000 0000h	000C 00C8h	32
受信ディスクリプタフェッチアドレスレジスタ	RDFAR	0000 0000h	000C 00CCh	32
送信バッファリードアドレスレジスタ	TBRAR	0000 0000h	000C 00D4h	32
送信ディスクリプタフェッチアドレスレジスタ	TDFAR	0000 0000h	000C 00D8h	32

27.2.1 EDMAC モードレジスタ（EDMR）

アドレス　000C 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	DE	DL[1:0]		–	–	–	SWR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWR	ソフトウェアリセットビット	（書き込み時） 0：無効 1：ETHERC および EDMACをリセット（注1）	R/W
b3-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5,b4	DL[1:0]	送受信ディスクリプタ長指定ビット	b5 b4 0 0：16バイト 0 1：32バイト 1 0：64バイト 1 1：16バイト	R/W
b6	DE	ビッグ／リトルエンディアンモード指定ビット（注2）	0：ビッグエンディアンモード（ロングワードアクセス） 1：リトルエンディアンモード（ロングワードアクセス）	R/W
b31-b7	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　TDLAR、RMFCR、TFUCR、および RFOCR レジスタはリセットされません。
注2.　送受信データについて有効になります。送受信ディスクリプタ、レジスタについては無効です。（ビッグエンディアンのみサポート）

EDMR レジスタは、EDMAC の動作モードを指定するレジスタです。

EDMR レジスタの設定は、通常リセット後の初期設定時に行います。データ送信中に EDMR レジスタによって ETHERC および EDMAC を初期化すると回線上に異常データを送出する可能性があります。

動作モードの設定は、送信と受信機能が有効状態で書き換えることを禁止します。動作モードを切り替えるには、SWR ビットにより ETHERC および EDMAC を初期状態に戻してから再設定してください。

なお、ETHERC および EDMAC の初期化完了までの所要時間は、EDMAC の内部バスのクロックで 64 サイクルです。このため ETHERC および EDMAC 内のレジスタアクセスは、EDMAC の内部バスのクロックで 64 サイクル経過後に行ってください。

27.2.2 EDMAC 送信要求レジスタ（EDTRR）

アドレス　000C 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	TR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TR	送信要求ビット	0：送信停止状態 “0”を書き込んでも送信は停止しません。送信の終了は、送信ディスクリプタ内の有効ビットで制御します 1：送信開始 該当するディスクリプタを読み込み、送信有効ビットが“1”であるフレームを送信します	R/W
b31-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EDTRR レジスタは、EDMAC に送信指示を行うレジスタです。

1 つのフレームの送信を終了すると、次のディスクリプタを読み込みます。このディスクリプタ内の送信ディスクリプタ有効ビットが有効であれば、送信を継続します。また、送信ディスクリプタ有効ビットが無効な場合は、TR ビットを “0” にして送信 DMAC の動作を停止します。

27.2.3 EDMAC 受信要求レジスタ（EDRRR）

アドレス　000C 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	RR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RR	受信要求ビット	0：受信機能を無効にする（注1） 1：受信ディスクリプタを読み込み、EDMAC受信可能状態にする	R/W
b31-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、EDMACは正常な動作ができなくなります。この場合、再度EDMACを受信可能状態とするためには、EDMR.SWRビットによりソフトウェアリセットしてください。
EDMACをソフトウェアリセットせずに受信機能を無効とするには、ETHERCのECMR.REビットにより受信機能を無効とします。次にEDMACの受信が完了し受信ディスクリプタのライトバックが確認できた後、EDRRRレジスタの受信機能を無効にしてください。

EDRRR レジスタは、EDMAC に受信指示を行うレジスタです。

EDMAC は受信要求ビットが “1” になると、当該受信ディスクリプタを読み込みます。ディスクリプタ内の受信ディスクリプタ有効ビットが有効であれば、ETHERC からの受信要求に備えます。

受信バッファ分の受信が完了すると、EDMAC は次のディスクリプタを読み込みフレームの受信に備えます。このときディスクリプタ内の受信ディスクリプタ有効ビットが無効である場合は、RR ビットをクリアして受信 DMAC の動作を停止します。

27.2.4 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）

アドレス　000C 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TDLA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TDLA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TDLA[31:0]	送信ディスクリプタリスト先頭アドレスビット	16バイトバウンダリ：TDLA[3:0] = 0000 32バイトバウンダリ：TDLA[4:0] = 00000 64バイトバウンダリ：TDLA[5:0] = 000000	R/W

TDLAR レジスタは、送信ディスクリプタリストの先頭アドレスを設定するレジスタです。

各ディスクリプタは、EDMR.DL[1:0] ビットで示すディスクリプタ長に合致する境界構成とします。

送信中に TDLAR レジスタを書き換えることは禁止します。TDLAR レジスタの書き換えは、EDTRR.TR ビット（= 0）による送信停止状態で行なってください。

TDLA[31:0] ビット（送信ディスクリプタリスト先頭アドレスビット）

指定したディスクリプタ長によって下位ビットを設定します。

27.2.5 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）

アドレス　000C 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RDLA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDLA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	RDLA[31:0]	受信ディスクリプタリスト先頭アドレスビット	16バイトバウンダリ：RDLA[3:0] = 0000 32バイトバウンダリ：RDLA[4:0] = 00000 64バイトバウンダリ：RDLA[5:0] = 000000	R/W

RDLAR レジスタは、受信ディスクリプタリストの先頭アドレスを設定するレジスタです。

各ディスクリプタは、EDMR.DL[1:0] ビットで示すディスクリプタ長に合致する境界構成とします。

受信中に RDLAR レジスタを書き換えることは禁止します。RDLAR レジスタの書き換えは、EDRRR.RR ビット（= 0）による受信停止状態で行ってください。

RDLA[31:0] ビット（受信ディスクリプタリスト先頭アドレスビット）

指定したディスクリプタ長によって下位ビットを設定します。

27.2.6 ETHERC/EDMAC ステータスレジスタ（EESR）

アドレス　000C 0028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWB	—	—	—	TABT	RABT	RFCOF	ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CND	DLC	CD	TRO	RMAF	—	—	RRF	RTLF	RTSF	PRE	CERF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CERF	受信フレームCRCエラーフラグ	0：CRCエラー未検出 1：CRCエラー検出	R/W
b1	PRE	PHY-LSI受信エラーフラグ	0：PHY-LSI受信エラー未検出 1：PHY-LSI受信エラー検出	R/W
b2	RTSF	ショートフレーム受信エラーフラグ	0：ショートフレーム未受信 1：ショートフレーム受信	R/W
b3	RTLF	ロングフレーム受信エラーフラグ	0：ロングフレーム未受信 1：ロングフレーム受信	R/W
b4	RRF	端数ビットフレーム受信フラグ	0：端数ビットフレーム未受信 1：端数ビットフレーム受信	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RMAF	マルチキャストアドレスフレーム受信フラグ	0：マルチキャストアドレスフレーム未受信 1：マルチキャストアドレスフレーム受信	R/W
b8	TRO	送信リトライオーバフラグ	0：送信リトライオーバ未検出 1：送信リトライオーバ検出	R/W
b9	CD	遅延衝突検出フラグ	0：遅延衝突未検出 1：フレーム送信中に遅延衝突検出	R/W
b10	DLC	キャリア消失検出フラグ	0：キャリア消失未検出 1：フレーム送信中にキャリア消失を検出	R/W
b11	CND	キャリア未検出フラグ	0：送信開始時にキャリア検出 1：プリアンブル送信中のキャリア未検出または送信未指示	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	RFOF	受信FIFOオーバフローフラグ	0：オーバフロー未発生 1：オーバフロー発生	R/W
b17	RDE	受信ディスクリプタ枯渇フラグ	0：受信ディスクリプタ有効ビットRD0.RACT = 1を検出 1：受信ディスクリプタ有効ビットRD0 RACT = 0を検出	R/W
b18	FR	フレーム受信フラグ	0：フレーム未受信 1：フレーム受信済み、受信ディスクリプタ更新完了	R/W
b19	TFUF	送信FIFOアンダフローフラグ	0：アンダフロー未発生 1：アンダフロー発生	R/W
b20	TDE	送信ディスクリプタ枯渇フラグ	0：送信ディスクリプタ有効ビットTD0.TACT = 1を検出 1：送信ディスクリプタ有効ビットTD0.TACT = 0を検出	R/W
b21	TC	フレーム送信完了フラグ	0：転送未完了または転送未指示 1：送信ディスクリプタにより指示された全フレームの送信FIFOへの転送が完了した	R/W
b22	ECI	ETHERCステータスレジスタ要因フラグ	0：ETHERCステータス割り込み要因未検出 1：ETHERCステータス割り込み要因検出	R （注1）
b23	ADE	アドレスエラーフラグ	0：不正なメモリアドレスを検出していない（正常動作） 1：不正なメモリアドレスを検出した（注2）	R/W
b24	RFCOF	受信フレームカウンタオーバフローフラグ	0：受信フレームカウンタがオーバフローしていない 1：受信フレームカウンタがオーバフローした	R/W

ビット	シンボル	ビット名	機能	R/W
b25	RABT	受信中断検出フラグ	0：フレーム受信中断未発生または受信未指示 1：フレーム受信中断発生	R/W
b26	TABT	送信中断検出フラグ	0：フレーム送信中断未発生または送信未指示 1：フレーム送信中断発生	R/W
b29-b27	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b30	TWB	ライトバック完了フラグ	0：ライトバック未完了または送信未指示 1：送信ディスクリプタのライトバックが完了	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　ECIフラグは読み出し専用です。ETHERCのECSRレジスタの要因がクリアされるとECIフラグも“0”になります。
注2.　アドレスエラーが検出されるとEDMACは送受信を停止します。再開するには、EDMR.SWR ビットを“1”（内部ハードウェアをリセット）にしてから再設定してください。

EESR レジスタは、ETHERC と EDMAC を合わせた通信ステータスを表示するレジスタです。

EESR レジスタの各フラグは、EDMAC からの割り込み要求信号 (EINT) として出力することができます。ECI フラグを除く各フラグは “1” を書くことで “0” になります。“0” を書いても各フラグの値には影響しません。各割り込み要求は ETHERC/EDMAC ステータス割り込み許可レジスタ (EESIPR) の対応するビットによって許可することが可能です。

RTSF フラグ（ショートフレーム受信エラーフラグ）

64 バイト未満のフレームを受信したことを示します。

RTLF フラグ（ロングフレーム受信エラーフラグ）

ETHERC の受信フレーム長上限レジスタ（RFLR）で設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。

TRO フラグ（送信リトライオーバフラグ）

フレーム送信中にリトライオーバが発生したことを示します。これは ETHERC が送信を開始後、バックオフアルゴリズムに基づく 15 回の再送をあわせ全部で 16 回の送信試行に失敗したことを示します。

CD フラグ（遅延衝突検出フラグ）

フレーム送信中に遅延衝突を検出したことを示します。

DLC フラグ（キャリア消失検出フラグ）

フレーム送信中のキャリア消失を検出したことを示します。

RFOF フラグ（受信 FIFO オーバフローフラグ）

フレームを受信中に受信 FIFO がオーバフローしたことを示します。

RDE フラグ（受信ディスクリプタ枯渇フラグ）

受信ディスクリプタ枯渇（RDE フラグ =“ 1”）が発生した場合は、当該受信ディスクリプタを RD0.RACT = “1” に設定し受信起動をかけることで、受信を再開することができます。

FR フラグ（フレーム受信フラグ）

フレームを受信し、受信ディスクリプタを更新したことを示します。FR フラグは、1 フレームを受信する度に “1” にセットされます。

TFUF フラグ（送信 FIFO アンダフローフラグ）

フレームを送信中に送信 FIFO にアンダフローが発生したことを示します。回線上には不完全なデータが送出されます。

TDE フラグ（送信ディスクリプタ枯渇フラグ）

マルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、EDMAC が送信ディスクリプタを読み込んだときにディスクリプタ内の送信ディスクリプタ有効ビット（TD0.TACT）が “1” になっていないことを示します。結果として不完全なフレームを送出する場合があります。

送信ディスクリプタ枯渇（TDE = “1”）が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき TDLAR レジスタに格納されているアドレスからの開始となります。

TC フラグ（フレーム送信完了フラグ）

送信ディスクリプタによって指定されたデータをすべて ETHERC より送信したことを示します。1 フレーム／ 1 バッファ処理では、1 フレームの送信が完了した場合、またマルチバッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット（TD0.TACT）がセットされていなかった場合に送信完了とみなし、TC フラグが “1” となります。フレーム送信完了後は、EDMAC は転送状態を当該ディスクリプタにライトバックします。

ADE フラグ（アドレスエラーフラグ）

EDMAC が転送しようとしたメモリアドレスが不正であったことを示します。

RFCOF フラグ（受信フレームカウンタオーバフローフラグ）

受信 FIFO 内のフレームカウンタがオーバフローしたことを示します。

RABT フラグ（受信中断検出フラグ）

フレーム受信時、障害等により ETHERC がフレーム受信を中断したことを示します。

TABT フラグ（送信中断検出フラグ）

フレーム送信時、障害等により ETHERC がフレーム送信を中断したことを示します。

TWB フラグ（ライトバック完了フラグ）

フレーム送信完了後の EDMAC からの当該ディスクリプタへのライトバックが完了したことを示します。この動作は、送信割り込み設定レジスタ（TRIMD）の送信割り込み設定ビット（TIS）が “1”（割り込み設定）になっているときのみ有効です。

27.2.7 ETHERC/EDMAC ステータス割り込み許可レジスタ（EESIPR）

アドレス　000C 0030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWB IP	—	—	—	TABT IP	RABT IP	RFCOF IP	ADE IP	ECI IP	TC IP	TDE IP	TFUF IP	FR IP	RDE IP	RFOF IP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CND IP	DLC IP	CD IP	TRO IP	RMAF IP	—	—	RRF IP	RTLF IP	RTSF IP	PRE IP	CERF IP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CERFIP	受信フレームCRCエラー割り込み許可ビット	0：CRCエラー割り込み禁止 1：CRCエラー割り込み許可	R/W
b1	PREIP	PHY-LSI受信エラー割り込み許可ビット	0：PHY-LSI受信エラー割り込み禁止 1：PHY-LSI受信エラー割り込み許可	R/W
b2	RTSFIP	ショートフレーム受信エラー割り込み許可ビット	0：ショートフレーム受信エラー割り込み禁止 1：ショートフレーム受信エラー割り込み許可	R/W
b3	RTLFIP	ロングフレーム受信エラー割り込み許可ビット	0：ロングフレーム受信エラー割り込み禁止 1：ロングフレーム受信エラー割り込み許可	R/W
b4	RRFIP	端数ビットフレーム受信割り込み許可ビット	0：端数ビットフレーム受信割り込み禁止 1：端数ビットフレーム受信割り込み許可	R/W
b6,b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RMAFIP	マルチキャストアドレスフレーム受信割り込み許可ビット	0：マルチキャストアドレスフレーム受信割り込み禁止 1：マルチキャストアドレスフレーム受信割り込み許可	R/W
b8	TROIP	送信リトライオーバ割り込み許可ビット	0：送信リトライオーバ割り込み禁止 1：送信リトライオーバ割り込み許可	R/W
b9	CDIP	遅延衝突検出割り込み許可ビット	0：遅延衝突割り込み禁止 1：遅延衝突割り込み許可	R/W
b10	DLCIP	キャリア消失検出割り込み許可ビット	0：キャリア消失検出割り込み禁止 1：キャリア消失検出割り込み許可	R/W
b11	CNDIP	キャリア未検出割り込み許可ビット	0：キャリア未検出割り込み禁止 1：キャリア未検出割り込み許可	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	RFOFIP	受信FIFOオーバフロー割り込み許可ビット	0：オーバフロー割り込み禁止 1：オーバフロー割り込み許可	R/W
b17	RDEIP	受信ディスクリプタ枯渇割り込み許可ビット	0：受信ディスクリプタ枯渇割り込み禁止 1：受信ディスクリプタ枯渇割り込み許可	R/W
b18	FRIP	フレーム受信割り込み許可ビット	0：フレーム受信割り込み禁止 1：フレーム受信割り込み許可	R/W
b19	TFUFIP	送信FIFOアンダフロー割り込み許可ビット	0：アンダフロー割り込み禁止 1：アンダフロー割り込み許可	R/W
b20	TDEIP	送信ディスクリプタ枯渇割り込み許可ビット	0：送信ディスクリプタ枯渇割り込み禁止 1：送信ディスクリプタ枯渇割り込み許可	R/W
b21	TCIP	フレーム送信完了割り込み許可ビット	0：フレーム送信完了割り込み禁止 1：フレーム送信完了割り込み許可	R/W
b22	ECIIP	ETHERCステータスレジスタ要因割り込み許可ビット	0：ETHERCステータス割り込み禁止 1：ETHERCステータス割り込み許可	R/W
b23	ADEIP	アドレスエラー割り込み許可ビット	0：アドレスエラー割り込み禁止 1：アドレスエラー割り込み許可	R/W
b24	RFCOFIP	受信フレームカウンタオーバフロー割り込み許可ビット	0：受信フレームカウンタがオーバフロー割り込み禁止 1：受信フレームカウンタがオーバフロー割り込み許可	R/W
b25	RABTIP	受信中断検出割り込み許可ビット	0：受信中断検出割り込み禁止 1：受信中断検出割り込み許可	R/W

ビット	シンボル	ビット名	機能	R/W
b26	TABTIP	送信中断検出割り込み許可ビット	0：送信中断検出割り込み禁止 1：送信中断検出割り込み許可	R/W
b29-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	TWBIP	ライトバック完了割り込み許可ビット	0：ライトバック完了割り込み禁止 1：ライトバック完了割り込み許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

EESIPR レジスタは、ETHERC/EDMAC ステータスレジスタ（EESR）の各ビットに対応する割り込み許可レジスタです。各ビットは “1” を書くことで割り込みが許可されます。

27.2.8 送受信ステータスコピー指示レジスタ（TRSCER）

アドレス　000C 0038h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	RMAFCE	–	–	RRFCE	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	RRFCE	RRFフラグコピー指示ビット	0：EESR.RRFフラグのステータスを受信ディスクリプタのRD0.RFEビットに反映する。 1：EESR.RRFフラグのステータスは受信ディスクリプタのRD0.RFEビットに反映しない	R/W
b6-b5	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RMAFCE	RMAFフラグコピー指示ビット	0：EESR.RMAFフラグのステータスを受信ディスクリプタのRD0.RFEビットに反映する 1：EESR. RMAFフラグのステータスは受信ディスクリプタのRD0.RFEビットに反映しない	R/W
b31-b8	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRSCER レジスタは、ETHERC/EDMAC ステータスレジスタ（EESR）の b7-b4 に表示される受信ステータスを、受信ディスクリプタの RFE ビットにサマリとして反映するか否かを指示するレジスタです。

TRSCER レジスタの各ビットは EESR レジスタの同番号のビットに対応しています。

ビットの値を “0” にすると、対応する受信ステータス（EESR のビット 7 またはビット 4）が受信ディスクリプタの RFE ビットに反映されます。“1” にすると、受信ステータスは RFE ビットに反映されません。

MCU のリセット後は、各ビットは “0” になっています。

27.2.9 ミスドフレームカウンタレジスタ（RMFCR）

アドレス　000C 0040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MFC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	MFC[15:0]	ミスドフレームカウンタビット	受信時に、受信バッファに転送しきれずに廃棄されたフレーム数を示します	R/W
b31-b16	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMFCR レジスタは、受信時に受信 FIFO に収容しきれずに破棄されたフレームの数を示すカウンタです。受信 FIFO がオーバフローすると、受信 FIFO はデータの受け入れを中断し、これ以降のフレームを破棄します。このとき同時に RMFCR レジスタの値をインクリメントします。RMFCR レジスタの値が FFFFh になるとカウントアップを停止します。RMFCR レジスタに任意の値を書くと、カウンタの値は “0” になります。

途中までしか受信できなかったフレームについては、受信 FIFO 内のデータが受信バッファに転送された後、受信ディスクリプタ 0（RD0）の RACT ビットが “0”（ディスクリプタ無効）に、RFS9 ビットが “1”（受信 FIFO オーバフロー）に、また EESR.RFOF フラグが “1”（オーバフロー検出）になります。

27.2.10　送信 FIFO しきい値指定レジスタ（TFTR）

アドレス　000C 0048h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	TFT[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	TFT[10:0]	送信FIFOしきい値ビット	000h：ストア＆フォワードモード 001h～00Ch：設定しないでください 00Dh～200h：設定した値の4倍の値がしきい値になります 例 00Dh：52バイト 040h：256バイト 100h：1024バイト 200h：2048バイト 201h～7FFh：設定しないでください	R/W
b31-b11	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　1フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。
注.　送信アンダフローの発生を防ぐため、初期値（ストア＆フォワードモード）でのご使用を推奨します。

TFTR レジスタは、最初の送信を開始するまでの送信 FIFO のしきい値を指定するレジスタです。実際のしきい値は、設定した数値の 4 倍の値に相当します。

ETHERC は送信 FIFO 内のデータ数が TFTR レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお TFTR レジスタの設定は、送信停止状態で行ってください。

27.2.11 FIFO 容量指定レジスタ（FDR）

アドレス　000C 0050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TFD[4:0]					—	—	—	RFD[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	RFD[4:0]	受信FIFO容量ビット	00111：1968バイト 上記以外：設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b8	TFD[4:0]	送信FIFO容量ビット	00111：2048バイト 上記以外：設定しないでください	R/W
b31-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FDR レジスタは、送信および受信 FIFO の容量を指定するレジスタです。
ETHERC を起動するときは、0000 0707h を設定してください。

RFD[4:0] ビット（受信 FIFO 容量ビット）

受信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。

TFD[4:0] ビット（送信 FIFO 容量ビット）

送信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。

27.2.12 受信方式制御レジスタ（RMCR）

アドレス　000C 0058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RNC	RNR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RNR	受信要求リセットビット	0：EDRRRの受信要求ビット（RR）は、1フレームの受信が完了したときハードウェアでセルフクリアします。1フレーム単位の制御が可能です。後続の受信フレームを受信する場合は、再度RRビットを設定する必要があります 1：EDRRRの受信要求ビット（RR）は、上位ソフトウェアにより制御します。RRビットに“1”書き込み後は、RRビットに“0”書き込みを行うまでハードウェアが自律的に受信ディスクリプタのフェッチを行ない、フレームを受信します。複数フレームを連続で受信可能となります。連続受信を行なう場合は、RNRビットを“1”にすることを推奨致します。ただし、受信ディスクリプタ枯渇を検出した場合は、ハードウェアでRRビットをセルフクリアします	R/W
b1	RNC	受信要求nonリセットモード指定ビット	0：Nop 1：EDRRRの受信要求ビット（RR）のリセットをソフトウェア制御にします。フェッチしたディスクリプタのRD0.RACTビットが“0”の場合（受信ディスクリプタ枯渇）でもRRビットをセルフリセットせず、連続して受信ディスクリプタのフェッチを行ない受信フレームのDMAを継続します	R/W
b31-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RMCR レジスタは、フレームを受信するときの EDMAC 受信要求レジスタ（EDRRR）の受信要求ビット（RR）の制御方法を指定するレジスタです。

RMCR レジスタの設定は、受信停止状態で行ってください。

27.2.13　送信 FIFO アンダランカウント（TFUCR）

アドレス　000C 0064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	UNDER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	UNDER[15:0]	送信FIFOアンダフロー数ビット	送信FIFOにおけるアンダフローが発生した回数が設定されます。 カウント値がFFFFhになると停止します	R/W
b31-b16	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

送信 FIFO がアンダランした回数を示すレジスタです。
カウンタの値は、TFUCR レジスタへの書き込み動作で “0” になります。

27.2.14　受信 FIFO オーバフローカウント（RFOCR）

アドレス　000C 0068h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	OVER[15:0]	受信FIFOオーバフロー数ビット	受信FIFOにおけるオーバフローが発生した回数が設定されます。 カウント値がFFFFhになると停止します	R/W
b31-b16	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

受信 FIFO がオーバフローした回数を示すレジスタです。
カウンタの値は、RFOCR レジスタへの書き込み動作で “0” になります。

27.2.15　受信バッファライトアドレスレジスタ（RBWAR）

アドレス　000C 00C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	RBWA[31:0]ビットは読み出し専用です。書き込みは禁止です	R

RBWAR レジスタは、EDMAC が受信バッファにデータを書き込むとき、受信バッファ内で書き込みの対象となるバッファアドレスを格納するレジスタです。

RBWAR レジスタに表示されるアドレスをモニタすることにより、EDMAC が受信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。EDMAC が実行しているバッファライト処理とレジスタの読み出しの値が一致していない場合もあります。

27.2.16　受信ディスクリプタフェッチアドレスレジスタ（RDFAR）

アドレス　000C 00CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	RDFA[31:0]ビットは読み出し専用です。書き込みは禁止です	R

RDFAR レジスタは、EDMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納するレジスタです。

RDFAR レジスタに表示されるアドレスをモニタすることにより、EDMAC がどの辺の受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。EDMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

27.2.17　送信バッファリードアドレスレジスタ（TBRAR）

アドレス　000C 00D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	TBRA[31:0] ビットは読み出し専用です。書き込みは禁止です	R

TBRAR レジスタは、EDMAC が送信バッファからデータを読み出すとき、送信バッファ内で読み出しの対象となるバッファアドレスを格納するレジスタです。

TBRAR レジスタに表示されるアドレスをモニタすることにより、EDMAC が送信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。EDMAC が実行しているバッファリード処理とレジスタの読み出しの値が一致していない場合もあります。

27.2.18　送信ディスクリプタフェッチアドレスレジスタ（TDFAR）

アドレス　000C 00D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	TDFA[31:0] ビットは読み出し専用です。書き込みは禁止です	R

TDFAR レジスタは、EDMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納するレジスタです。

TDFAR レジスタに表示されるアドレスをモニタすることにより、EDMAC がどの辺の送信ディスクリプタ情報をもとに処理を実行しているか認識できます。EDMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

27.2.19 フロー制御開始 FIFO しきい値設定レジスタ（FCFTR）

アドレス　000C 0070h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFO[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFDO[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	RFDO[2:0]	受信FIFOオーバフロー PAUSE 送出しきい値ビット	b2 b0 0 0 0：受信FIFO内に224 (256 - 32)バイトのデータ容量を格納時 0 0 1：受信FIFO内に480 (512 - 32)バイトのデータ容量を格納時 ： 1 1 0：受信FIFO内に1760 (1792 - 32)バイトのデータ容量を格納時 1 1 1：受信FIFO内に1952 (2048 - 96)バイトのデータ容量を格納時	R/W
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RFFO[2:0]	受信フレーム数オーバフロー PAUSE送出しきい値ビット	b18 b16 0 0 0：受信FIFO内に受信フレームを2フレーム格納完了時 0 0 1：受信FIFO内に受信フレームを4フレーム格納完了時 0 1 0：受信FIFO内に受信フレームを6フレーム格納完了時 ： 1 1 0：受信FIFO内に受信フレームを14フレーム格納完了時 1 1 1：受信FIFO内に受信フレームを16フレーム格納完了時	R/W
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCFTR レジスタは、ETHERC のフロー制御の設定（自動 PAUSE 送信のしきい値設定）を行うレジスタです。

受信 FIFO 内の格納データ量 （RFDO[2:0] ビット）、格納フレーム数（RFFO[2:0] ビット）によるしきい値を設定できます。格納データ量しきい値判定、および格納フレーム数しきい値判定の論理和を条件としてフロー制御を開始します。

27.2.20 受信データパディング挿入設定レジスタ（RPADIR）

アドレス　000C 0078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	PADS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–			PADR[5:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PADR[5:0]	パディング範囲ビット	00h：受信データの1バイト目の直前にパディングサイズ分挿入 01h：受信データの2バイト目の直前にパディングサイズ分挿入 ： 3Eh：受信データの63バイト目の直前にパディングサイズ分挿入 3Fh：受信データの64バイト目の直前にパディングサイズ分挿入	R/W
b15-b6	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17,b16	PADS[1:0]	パディングサイズビット	b17 b16 0　0：パディング挿入なし 0　1：1バイト挿入 1　0：2バイト挿入 1　1：3バイト挿入	R/W
b31-b18	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RPADIR レジスタは、受信データに対するパディングの挿入の設定を行うレジスタです。
RPADIR レジスタを再設定するときは、EDMR.SWR ビットでリセットしてから行ってください。

27.2.21　送信割り込み設定レジスタ（TRIMD）

アドレス　000C 007Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	TIM	–	–	–	TIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIS	送信割り込み設定	0：割り込み未設定 TIMビットで指定したモードでの割り込み通知を行わない。 TISビット＝0のとき、TIMビットの設定は無効。 1：割り込み設定 TIMビットで指定したモードでEESR.TWBフラグを“1”とし割り込み通知を行う。	R/W
b3-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TIM	送信割り込みモード	0：毎送信フレームモード 送信フレーム毎ライトバック完了時に割り込み 1：割り込みモード 送信ディスクリプタTD0.TWBIビット設定ディスクリプタのライトバック完了時に割り込み	R/W
b31-b5	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRIMD レジスタは、送信動作時にフレームごとのライトバック完了を EESR.TWB フラグおよび割り込みにて通知するかどうかを指定するレジスタです。

27.2.22　個別出力信号設定レジスタ（IOSR）

アドレス　000C 006Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	ELB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELB	外部ループバックモード	0：ET_EXOUT端子は、Lowを出力する 1：ET_EXOUT端子は、Highを出力する	R/W
b31-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IOSR レジスタは外部ループバックモード時、外部出力端子（ET_EXOUT）の出力レベルを選択します。

ELB ビットの値は、RX62N の外部出力端子（ET_EXOUT）にそのまま出力されます。ET_EXOUT 端子を用いて PHY-LSI におけるループバックモードの指示などに利用します。この機能によって PHY-LSI でのループバック機能を実現する場合は、PHY-LSI に ET_EXOUT 端子に対応する端子があることが必要です。

27.3 動作説明

EDMAC は ETHERC と接続され、送受信データを CPU の介在なく効率的な転送をメモリ（バッファ）との間で行います。EDMAC は、各バッファと対応したディスクリプタと呼ぶバッファポインタなどを格納した制御情報をみずから読み込みます。この制御情報に従って送信データを送信バッファから読み込み、受信データは受信バッファにライトします。このディスクリプタを複数個連続して配置（ディスクリプタリスト）することで、送信ならびに受信を連続して実行できます。

27.3.1 ディスクリプタリストとデータバッファ

通信プログラムは送受信の開始に先立って、メモリ上に送信および受信の各ディスクリプタリストを作成します。そしてこのリストの先頭アドレスを送信または受信ディスクリプタリスト先頭アドレスレジスタに設定します。

ディスクリプタの開始アドレスの設定は、EDMAC モードレジスタ（EDMR）で設定したディスクリプタ長に従ったアドレス境界に設定してください。送信バッファの開始アドレスの設定はロングワード境界、ワード境界、バイト境界のいずれに設定しても構いません。

27.3.1.1 送信ディスクリプタ

図 27.2 に送信ディスクリプタと送信バッファの関係を示します。送信ディスクリプタの指示により、送信フレームと送信バッファの構成を 1 フレーム／ 1 バッファまたは 1 フレーム／マルチバッファのように関連づけることが可能です。

送信バッファ長（TBL）1 ～ 16 バイトの指定を行なう際、バッファアドレスは 32 バイト境界にする必要があります。なお、送信バッファ長（TBL）0 バイトの指定の動作は保証されません。

各送信ディスクリプタのリセット後の値は 0000 0000h です。

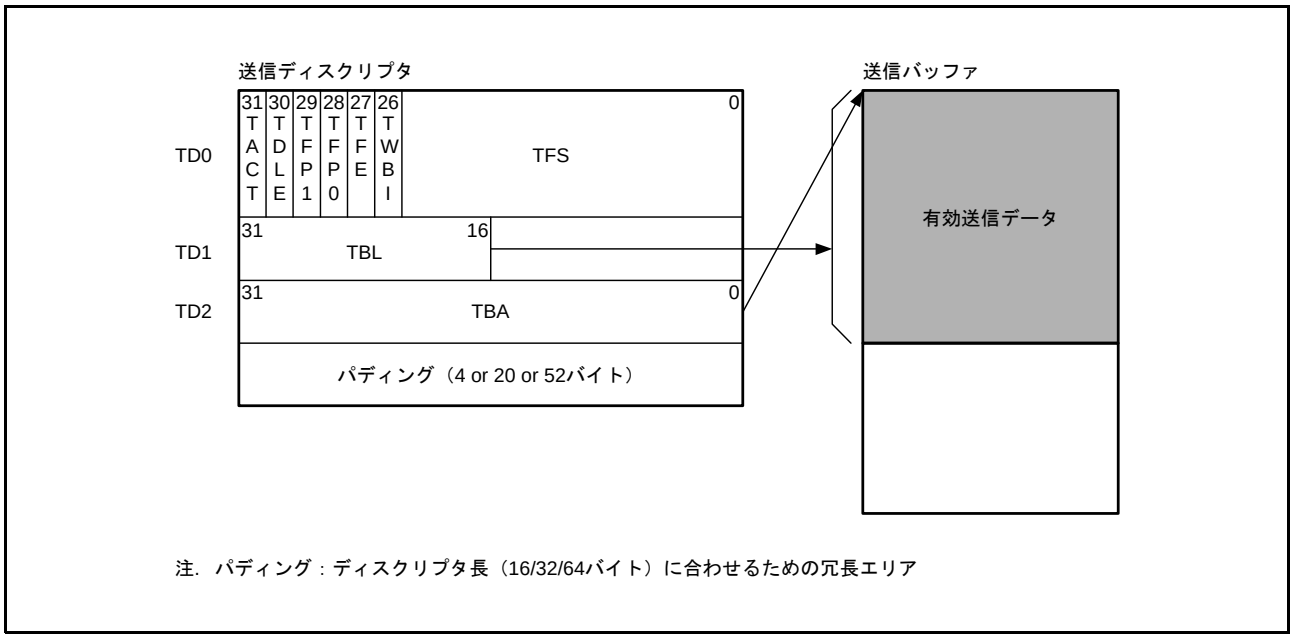


図 27.2　送信ディスクリプタと送信バッファの関係

(1) 送信ディスクリプタ 0（TD0）

ビット	シンボル	ビット名	機能	R/W
b25-b0	TFS	送信フレームステータス	ディスクリプタ作成時は全ビット“0”を設定してください。ライトバックされた後の各ビットの意味は以下のとおりです。 TFS25～9：予約 TFS8：送信中断検出（EESR.TABTフラグに相当） TFS7～4：予約 TFS3：キャリア未検出（EESR.CNDフラグに相当） TFS2：キャリア消失検出（EESR.DLCフラグに相当） TFS1：送信中の遅延衝突検出（EESR.CDフラグに相当） TFS0：送信リトライオーバ（EESR.TROフラグに相当） 各ビットが“1”になった場合、フレーム送信中に該当するエラーが発生したことを示します。いずれかのビットが“1”になると、TFEビットも“1”になります。なお、TFS3～0のいずれかが“1”になった場合、TFS8も“1”になります。	R/W
b26	TWBI	ライトバック完了後割り込み指示	0：この送信ディスクリプタのライトバックが完了しても割り込み要求は生成しない 1：この送信ディスクリプタのライトバックが完了したときに割り込み要求を生成する（TRIMD.TIM = 1、かつ EESIPR.TWBIP = 1 の場合）	R/W
b27	TFE	送信フレームエラー	0：フレーム送信は正常に終了 1：フレーム送信中にエラー発生（送信中断）	R/W
b29-b28	TFP[1:0]	送信フレーム内位置	b29 b28 0 0：ディスクリプタで指示する送信バッファのフレーム送信を維持する（フレームを完結しない） 0 1：ディスクリプタで指示する送信バッファはフレームの最後を含む（フレームを完結する） 1 0：ディスクリプタで指示する送信バッファはフレームの先頭である（フレームを完結しない） 1 1：ディスクリプタで指示する送信バッファの内容が1フレームに相当する（1フレーム／1バッファ）	R/W
b30	TDLE	送信ディスクリプタリング最終	TDLEビットがセットされると、当該ディスクリプタが送信ディスクリプタリングの最終であることを示します	R/W
b31	TACT	送信ディスクリプタ有効	当該ディスクリプタが有効であることを示します	R/W

注.　ライトバックするビットを下線で示しています。

TD0 は送信フレームのステータスを示します。これによりフレーム送信状態を連絡します。

TFE ビット（送信フレームエラービット）

TFE ビットが “1” のとき、TFS ビットのいずれかが “1” になっていることを示します。

TFP ビット（送信フレーム内位置ビット）

送信バッファと送信フレームの関連づけを行います。前後のディスクリプタにおいて、TFP ビットおよび TBL ビットの設定は、理論的に正しい関係を維持してください。

TACT ビット（送信ディスクリプタ有効ビット）

当該ディスクリプタが有効であることを示します。TACT ビットはソフトウェアによって “1” になり、送信フレームを転送完了したときまたは何らかの要因により送信がアボートされたときにハードウェアにより “0” になります。

(2) 送信ディスクリプタ 1（TD1）

ビット	シンボル	ビット名	機能	R/W
b15-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	TBL	送信バッファ長	対象となる送信バッファの有効バイト長を示します。	R/W

TD1 は送信バッファ長を示します。

(3) 送信ディスクリプタ 2（TD2）

ビット	シンボル	ビット名	機能	R/W
b31-b0	TBA	送信バッファアドレス	送信バッファの先頭アドレスを示します。	R/W

27.3.1.2　受信ディスクリプタ

図 27.3 に受信ディスクリプタと受信バッファの関係を示します。受信バッファのアドレスは 32 バイトバウンダリで設定してください。

受信バッファ長（RBL）0 のディスクリプタ指定の動作は保証されません。

各受信ディスクリプタのリセット後の値は 0000 0000h です。

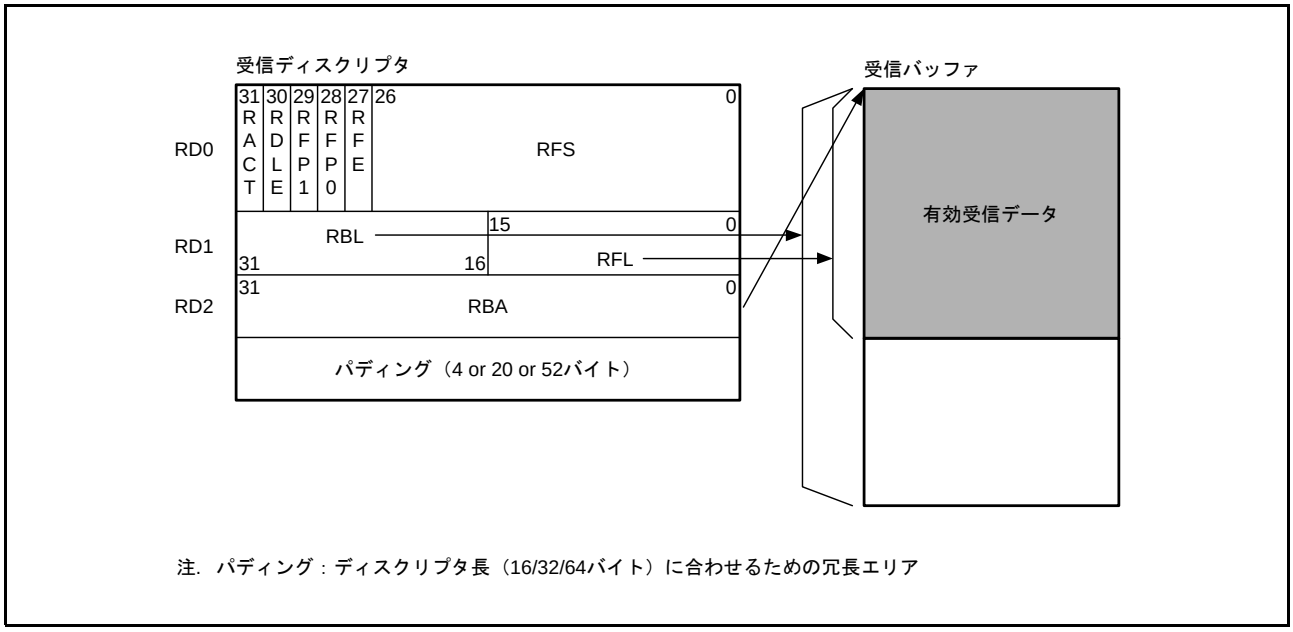


図 27.3　受信ディスクリプタと受信バッファの関係

(1)　受信ディスクリプタ 0（RD0）

ビット	シンボル	ビット名	機能	R/W
b26-b0	RFS	受信フレームステータス	ディスクリプタ作成時は全ビット“0”を設定してください。ライトバックされた後の各ビットの意味は以下のとおりです。 RFS26～10：予約 RFS9：受信FIFOオーバフロー（EESRのRFOFフラグに相当） RFS8：受信中断検出（EESRのRABTフラグに相当） RFS7：マルチキャストアドレスフレームを受信（EESRのRMAFフラグに相当） RFS6、5：予約 RFS4：端数ビットフレーム受信（EESRのRRFフラグに相当） RFS3：ロングフレーム受信エラー（EESRのRTLFフラグに相当） RFS2：ショートフレーム受信エラー（EESRのRTSFフラグに相当） RFS1：PHY-LSI受信エラー（EESRのPREフラグに相当） RFS0：受信フレームCRCエラー（EESRのCERFフラグに相当） 各ビットが“1”になった場合、フレーム受信中に該当するエラーが発生したことを示します。いずれかのビットが“1”になると、RFEビットも“1”になります（RFS7とRFS4はTRSCERレジスタによってRFEビットに反映させないこともできます）。なお、RFS3～0のいずれかが“1”になった場合、RFS8も“1”になります。	R/W
b27	RFE	受信フレームエラー	0：受信フレームにエラーなし 1：受信フレームにエラーあり	R/W
b29,b28	RFP[1:0]	受信フレーム内位置	b29　b28 0　0：本ディスクリプタで指示する受信バッファのフレーム受信を継続する（フレームを完結しない） 0　1：本ディスクリプタで指示する受信バッファはフレームの最後を含む（フレームを完結する） 1　0：本ディスクリプタで指示する受信バッファはフレームの先頭である（フレームを完結しない） 1　1：本ディスクリプタで指示する受信バッファの内容が1フレームに相当する（1フレーム／1バッファ）	R/W
b30	RDLE	受信ディスクリプタリング最終	RDLEビットがセットされると、当該ディスクリプタが受信ディスクリプタリングの最終であることを示します	R/W
b31	RACT	受信ディスクリプタ有効	当該ディスクリプタが有効であることを示します	R/W

注.　ライトバックするビットを下線で示しています。

RD0 は受信フレームのステータスを示します。これによりフレーム受信状態を連絡します。

RFE ビット（受信フレームエラービット）

RFE ビットが “1” のとき、RFS ビットのいずれかが “1” になっていることを示します。（RFS7、RFS4 については、TRSCER レジスタによって RFE ビットに反映されないようにすることが可能です。）

RFP ビット（受信フレーム内位置ビット）

受信バッファと受信フレームの関連づけを行います。

RACT ビット（受信ディスクリプタ有効ビット）

該当ディスクリプタが有効であることを示します。RACT ビットはソフトウェアによって “1” になり、受信フレームを RD2 で示されるバッファアドレスに転送し、フレームすべてを転送完了したとき、または受信バッファが一杯になった場合にハードウェアにより “0” になります。

(2) 受信ディスクリプタ 1（RD1）

ビット	シンボル	ビット名	機能	R/W
b15-b0	RFL	受信フレーム長	バッファ内に格納された受信フレームの長さ（バイト数）を示します。RPADIRで指定されたパディング分のバイト数は含みません。フレームの最後を含むディスクリプタにライトバックされます	R/W
b31-b16	RBL	受信バッファ長	対象となる受信バッファのバイト長を示します。バッファ長は32×nの大きさで設定してください	R/W

注.　ライトバックするビットを下線で示しています。

RD1 は受信バッファ長および受信フレーム長を示します。

(3) 受信ディスクリプタ 2（RD2）

ビット	シンボル	ビット名	機能	R/W
b31～b0	RBA	受信バッファアドレス	受信バッファの先頭アドレスを示します。バッファアドレスは32バイト境界に設定してください	R/W

27.3.2　送信機能

送信機能が有効で、EDTRR.TR ビットを “1” にすると EDMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初期状態では送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）で示すディスクリプタ、以降は送信ディスクリプタフェッチアドレスレジスタ（TDFAR）で示すディスクリプタ）を読み込みます。読んだディスクリプタの TD0.TACT ビットが有効な場合、EDMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して ETHERC に転送します。ETHERC は送信フレームを作成し MII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TD0.TFP ビットの値によって以下のような処理を行います。

- TD0.TFP = “00b ”or “10b”（フレーム継続）
  DMA 転送後、ディスクリプタのライトバック（TD0.TACT ビットのみ）を行います。
- TD0.TFP = “01b” or “11b”（フレーム終了）
  フレームの送信完了後、ディスクリプタのライトバック（TD0.TACT ビットおよびステータス）を行います。

読み込んだディスクリプタの TD0.TACT ビットが有効な間は、EDMAC ディスクリプタの読み込みとフレームの送信を継続します。TD0.TACT ビットが無効なディスクリプタを読み込むと、EDMAC は EDTRR.TR ビットをリセットして送信処理を完了します。

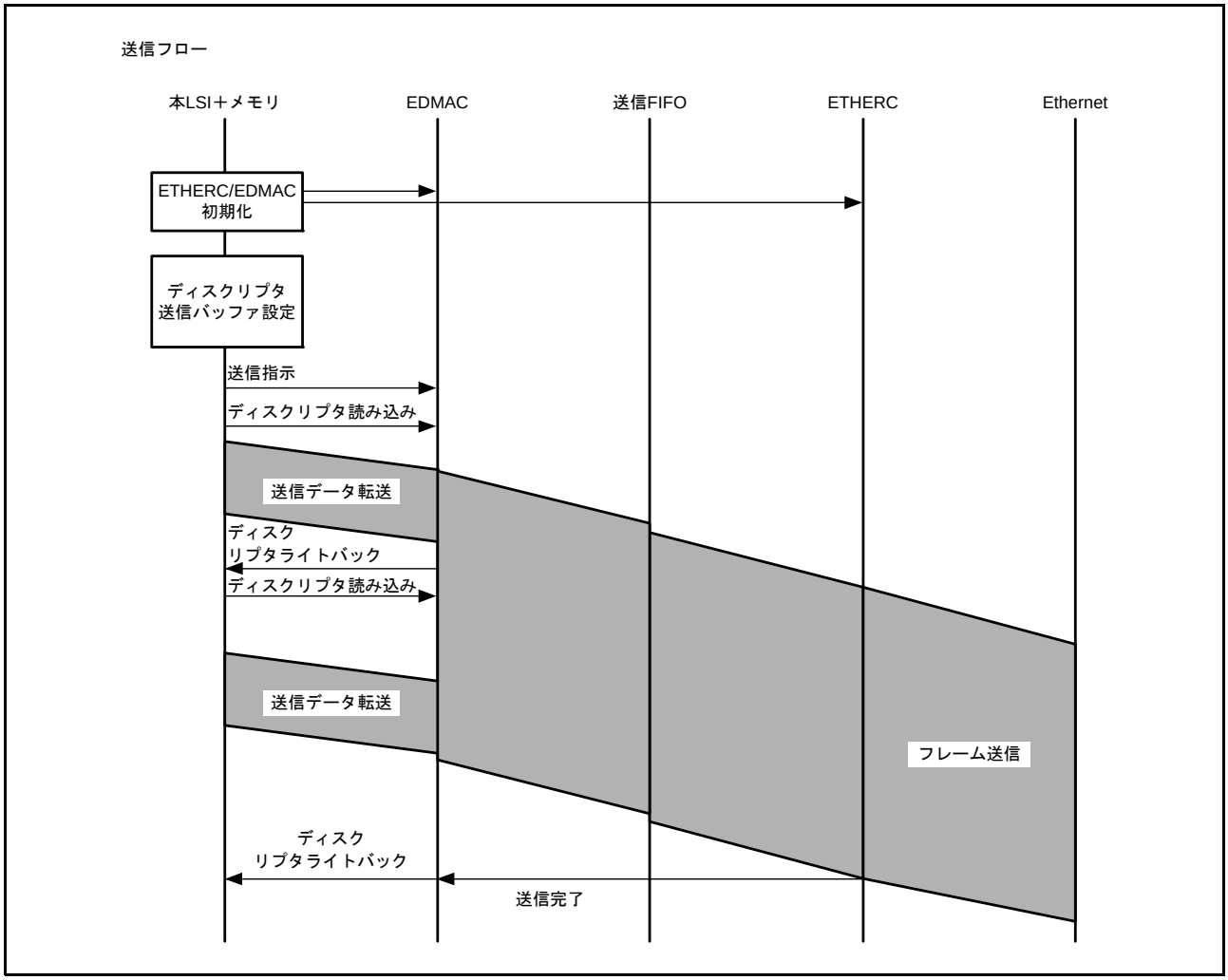


図 27.4　送信フローの例

27.3.3　受信機能

受信機能が有効で CPU が EDRRR.RR ビットを “1” にすると、EDMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初期状態では受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）で示すディスクリプタ、以降は受信ディスクリプタフェッチアドレスレジスタ（RDFAR）で示すディスクリプタ）を読んだ後に受信待機状態となります。RD0.RACT ビットが有効でかつ自局あてのフレームを受信すると、RD2 で指定される受信バッファに転送します。受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、EDMAC はバッファが満了となった時点でディスクリプタにライトバック（RD0.RFP = 10b or 00b）を行った後に次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。フレームの受信が完了した場合、または何らかのエラーでフレーム受信を中断した場合は、当該ディスクリプタにライトバック（RD0.RFP = 11b or 01b）を行った後に受信処理を終了します。そして次のディスクリプタを読み込み受信待機状態となります。

なお連続してフレームを受信するには、受信方式制御レジスタ RMCR.RNC ビットを “1” にしてください。初期化後は、“0” になっています。

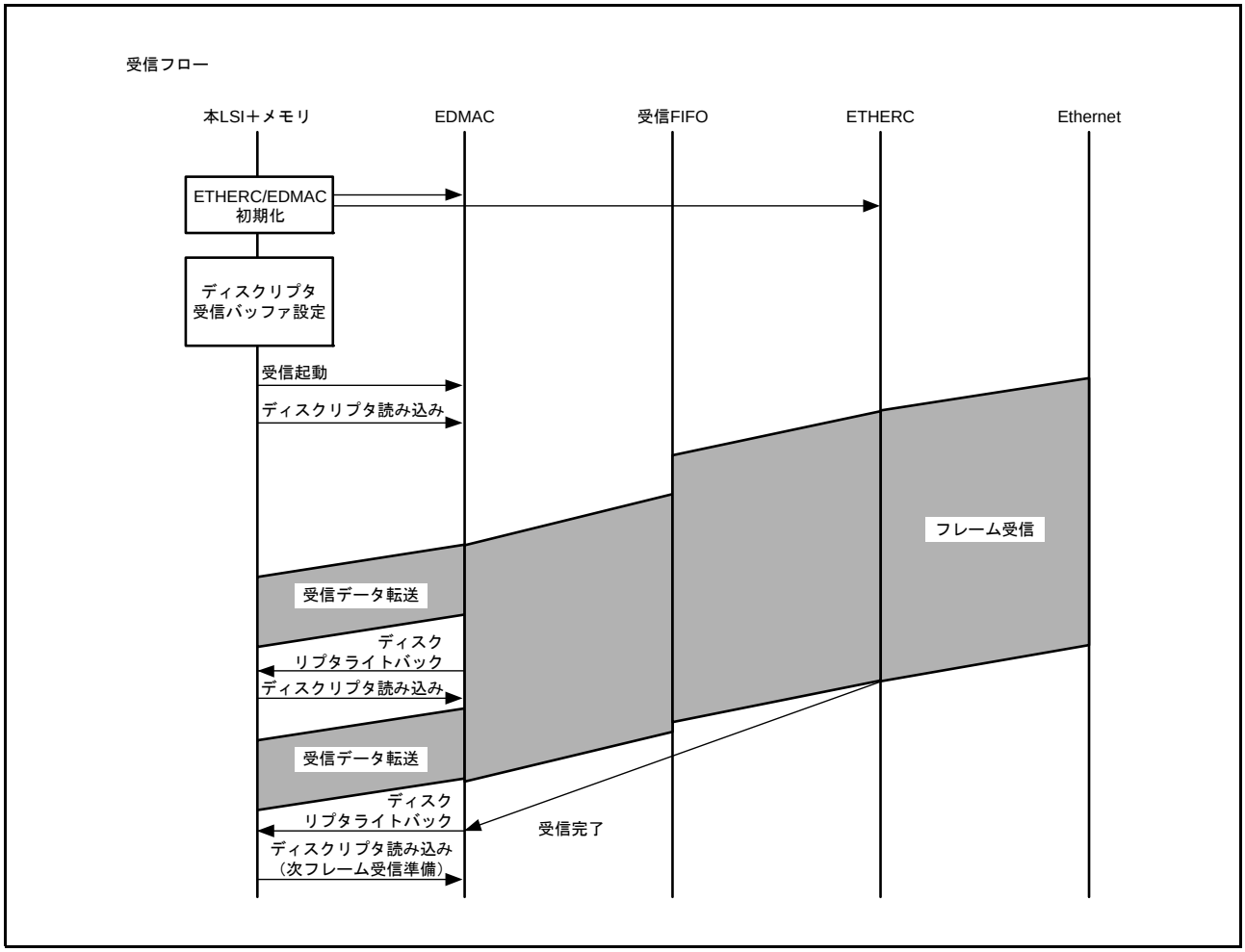


図 27.5　受信フローの例

27.3.4 マルチバッファフレームの送受信処理について

27.3.4.1 マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、EDMAC は図 27.6 に示す処理を行います。

図中で送信ディスクリプタが無効（TR0.TACT ビットが “0”）である部分は、すでにバッファデータを正常に送信したデータであることを、送信ディスクリプタが有効（TR0.TACT ビットが “1”）である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効（TR0.TACT ビットが “1”）で、かつ最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TR0.TACT ビットを “0” にします。その後、次のディスクリプタを読み、送信フレーム内の位置を TR0.TFP[1:0] ビットをもとに継続 [00b] または終了 [01b] の判断を行います。継続ディスクリプタである場合は、TR0.TACT ビットを “0” にするのみで、すぐに次ディスクリプタの読み出しを行います。最終ディスクリプタである場合は、TR0.TACT ビットを “0” にするのみでなく、TR0.TFE ビットおよび TR0.TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。ETHERC/EDMAC ステータス割り込み許可レジスタ（EESIPR）でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

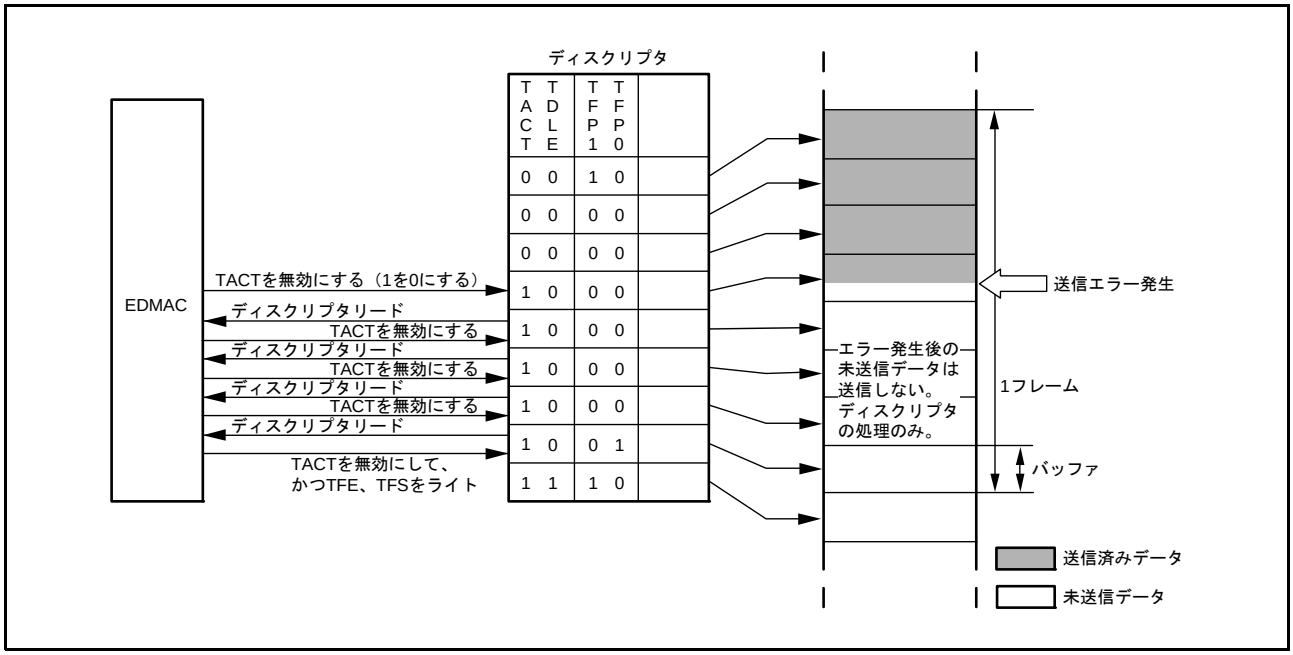


図 27.6　送信エラー発生後の EDMAC 動作

27.3.4.2　マルチバッファフレームの受信処理

マルチバッファフレームの受信中にエラーが発生した場合は、EDMAC は図 27.7 に示す処理を行います。

図中で受信ディスクリプタが無効（RD0.RACT ビットが “0”）である部分はすでにバッファデータを正常に受信したデータであることを示し、受信ディスクリプタが有効（RD0.RACT ビットが “1”）である部分は未受信バッファであることを示します。図中で RD0.RACT ビットが “1” で、かつ最初のディスクリプタ部分でフレーム受信エラーが発生した場合は、ディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

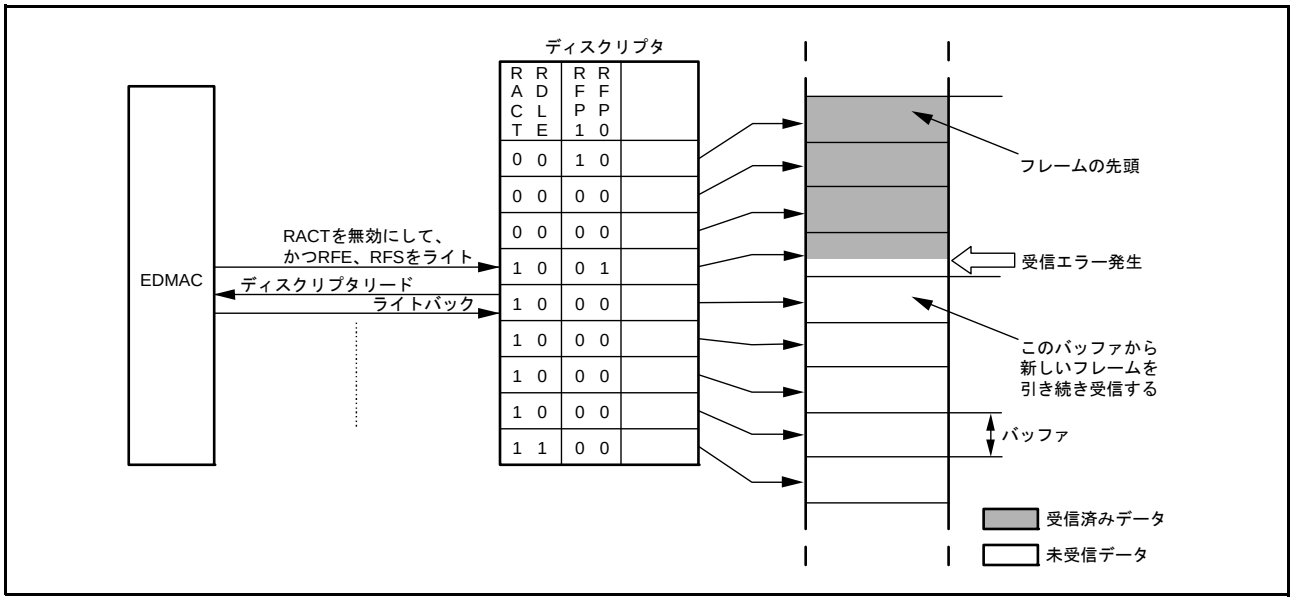


図 27.7　受信エラー発生後の EDMAC 動作

28. USB2.0 ホスト／ファンクションモジュール（USB）

28.1 概要

RX62N グループ、RX621 グループは独立した 2 ポートの USB2.0 ホスト／ファンクションモジュール（USB）を内蔵しています。

USB は、USB ホストコントローラ機能とファンクションコントローラ機能を備えた USB コントローラです。ホストコントローラ機能選択時は、USB（Universal Serial Bus）規格 2.0 のフルスピード転送に対応します。ファンクションコントローラ機能選択時は、フルスピード転送に対応します。また、USB は USB トランシーバを内蔵し、USB 規格で定義されている全転送タイプに対応しています。

データ転送用にバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1 ～ 9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

USB の仕様を表 28.1 に示します。

表 28.1　USBの仕様

項目	内容
特長	• USB2.0に対応したUDC（USB Device Controller）およびトランシーバを内蔵 • 2ポート内蔵 • USBホストコントローラとファンクションコントローラを内蔵（ソフトウェアで切り替え可能） • セルフパワーモードおよびバスパワーモードを選択可能 • OTG（ON-The-Go）に対応 （1）ホストコントローラ機能選択時 • フルスピード転送（12Mbps）に対応（注1） • ハブを1段経由し、複数の周辺デバイスと接続し通信が可能 • SOF、パケット送信のスケジュールを自動化 • アイソクロナス転送、インタラプト転送の転送インターバル設定機能 （2）ファンクションコントローラ機能選択時 • フルスピード転送（12Mbps）に対応（注1） • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESSリクエストに対する自動応答機能 • SOF補完機能
通信データ転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
内部バスインタフェース	• 内部周辺バス3に接続
パイプコンフィギュレーション	• USB通信用バッファメモリを内蔵 • 最大10本のパイプを選択可能（デフォルトコントロールパイプを含む） • パイプ1～9は任意のエンドポイント番号を割り付け可能 • 各パイプの設定可能な転送条件は以下のとおりです。 • パイプ0：コントロール転送専用のパイプ（デフォルトコントロールパイプ：DCP）、バッファサイズは8/16/32/64バイト（シングルバッファ） • パイプ1、2：バルク転送またはアイソクロナス転送を選択可能なパイプ、バッファサイズはバルク転送時バッファサイズは8/16/32/64バイト（ダブルバッファ指定可能）、アイソクロナス転送時 1～256バイト（ダブルバッファ指定可能） • パイプ3～5：バルク転送専用のパイプ、バッファサイズは8/16/32/64バイト（ダブルバッファ指定可能） • パイプ6～9：インタラプト転送専用のパイプ、1～64バイト（シングルバッファ）
その他の機能	• トランザクションカウントによる受信トランスファ終了機能 • BRDY割り込みイベント通知タイミング変更機能（BFRE） • DnFIFO（n = 0, 1）ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能（DCLRM） • トランスファ終了による応答PIDのNAK設定機能（SHTNAK）

注1.　ロースピード転送 （1.5Mbps）には対応していません。

図 28.1 に USB のブロック図を示します。

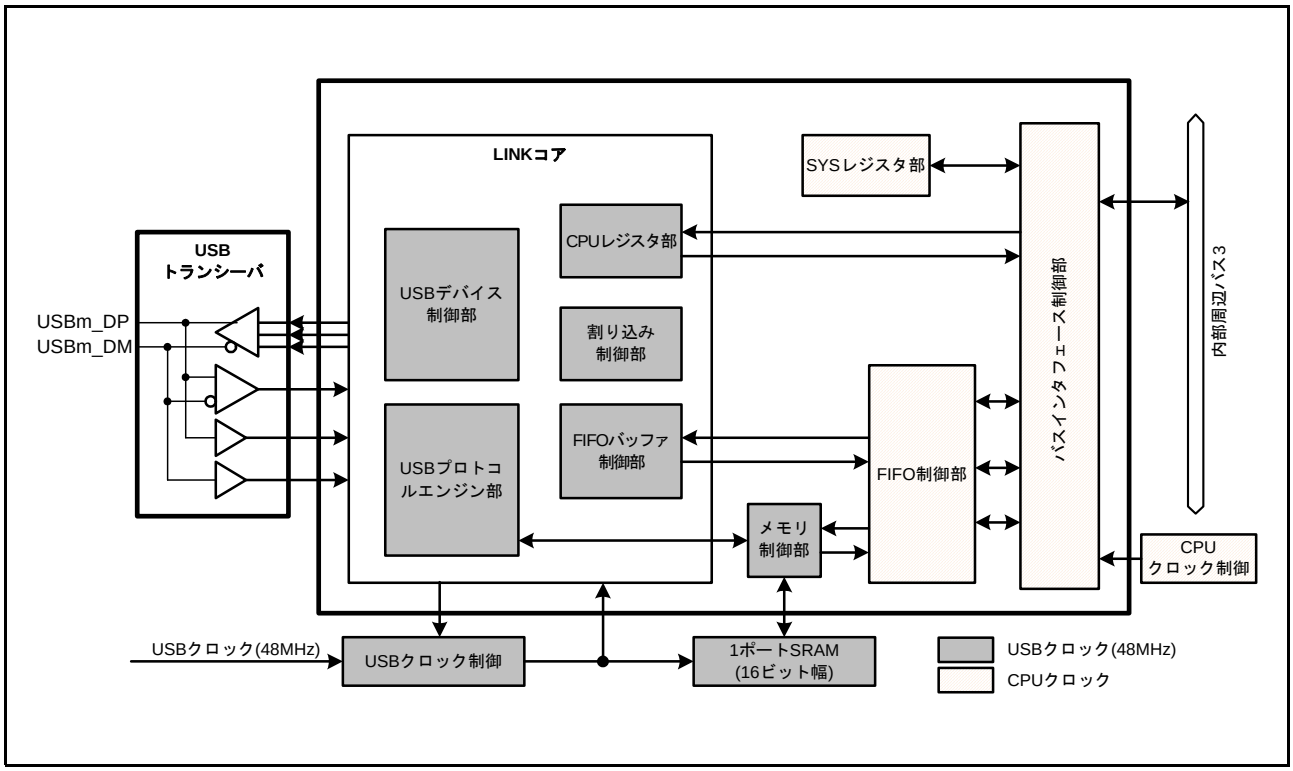


図 28.1　　USB のブロック図

USB の入出力端子を表 28.2 に示します。

表28.2　USBの入出力端子

ポート	端子名	入出力	機　　能
USB0	USB0_DP	入出力	ポート0 USB内蔵トランシーバD+入出力端子です USBバスのD+端子に接続してください
	USB0_DM	入出力	ポート0 USB内蔵トランシーバD-入出力端子です USBバスのD-端子に接続してください
	USB0_VBUS	入力	ポート0 USBケーブル接続モニタ端子です USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続／切断を検出することができます
	USB0_EXICEN	出力	ポート0 外部電源（OTG）チップのローパワー制御信号です
	USB0_VBUSEN	出力	ポート0 外部電源チップへのVBUS（5V）の供給許可信号です
	USB0_OVRCURA USB0_OVRCURB	入力	ポート0 外部オーバカレント検出信号を接続します。またOTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB0_ID	入力	ポート0 OTG動作時miniABコネクタのID入力信号を接続します
	USB0_DPUPE	出力	ポート0 ファンクション動作時のUSB D+信号の1.5kΩプルアップ抵抗の制御信号です
	USB0_DPRPD USB0_DRPD	出力	ポート0 ホスト動作時のUSB D+およびD-信号の15kΩプルダウン抵抗の制御信号です
USB1	USB1_DP	入出力	ポート1 USB内蔵トランシーバD+入出力端子です。 USBバスのD+端子に接続してください
	USB1_DM	入出力	ポート1 USB内蔵トランシーバD-入出力端子です。 USBバスのD-端子に接続してください
	USB1_VBUS	入力	ポート1 USBケーブル接続モニタ端子です。 USBバスのVBUSに接続してください。ファンクション動作時のVBUSの接続／切断を検出することができます
	USB1_EXICEN	出力	ポート1 外部電源（OTG）チップのローパワー制御信号です
	USB1_VBUSEN	出力	ポート1 外部電源チップへのVBUS（5V）の供給許可信号です
	USB1_OVRCURA USB1_OVRCURB	入力	ポート1 外部オーバカレント検出信号を接続します。またOTG電源チップとの接続時にはVBUSコンパレータ信号を接続します
	USB1_ID	入力	ポート1 OTG動作時miniABコネクタのID入力信号を接続します
	USB1_DPUPE	出力	ポート1 ファンクション動作時のUSB D+信号の1.5kΩプルアップ抵抗の制御信号です
	USB1_DPRPD USB1_DRPD	出力	ポート1 ホスト動作時のUSB D+およびD-信号の15kΩプルダウン抵抗の制御信号です
共通	VCC_USB	入力	USB用電源端子です
	VSS_USB	入力	USB用グランド端子です

28.2 レジスタの説明

USB のレジスタ一覧を表 28.3 に示します。

表28.3　USBのレジスター覧 (1 / 4)

ポート	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	0000h	000A 0000h	16
	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	0000h	000A 0004h	16
	デバイスステートコントロールレジスタ0	DVSTCTR0	0000h	000A 0008h	16
	CFIFOポートレジスタ	CFIFO	0000h	000A 0014h	8、16
	D0FIFOポートレジスタ	D0FIFO	0000h	000A 0018h	8、16
	D1FIFOポートレジスタ	D1FIFO	0000h	000A 001Ch	8、16
	CFIFOポート選択レジスタ	CFIFOSEL	0000h	000A 0020h	16
	CFIFOポートコントロールレジスタ	CFIFOCTR	0000h	000A 0022h	16
	D0FIFOポート選択レジスタ	D0FIFOSEL	0000h	000A 0028h	16
	D0FIFOポートコントロールレジスタ	D0FIFOCTR	0000h	000A 002Ah	16
	D1FIFOポート選択レジスタ	D1FIFOSEL	0000h	000A 002Ch	16
	D1FIFOポートコントロールレジスタ	D1FIFOCTR	0000h	000A 002Eh	16
	割り込み許可レジスタ0	INTENB0	0000h	000A 0030h	16
	割り込み許可レジスタ1	INTENB1	0000h	000A 0032h	16
	BRDY割り込み許可レジスタ	BRDYENB	0000h	000A 0036h	16
	NRDY割り込み許可レジスタ	NRDYENB	0000h	000A 0038h	16
	BEMP割り込み許可レジスタ	BEMPENB	0000h	000A 003Ah	16
	SOF出力コンフィグレーションレジスタ	SOFCFG	0000h	000A 003Ch	16
	割り込みステータスレジスタ0	INTSTS0	0000h	000A 0040h	16
	割り込みステータスレジスタ1	INTSTS1	0000h	000A 0042h	16
	BRDY割り込みステータスレジスタ	BRDYSTS	0000h	000A 0046h	16
	NRDY割り込みステータスレジスタ	NRDYSTS	0000h	000A 0048h	16
	BEMP割り込みステータスレジスタ	BEMPSTS	0000h	000A 004Ah	16
	フレームナンバーレジスタ	FRMNUM	0000h	000A 004Ch	16
	デバイスステート切り替えレジスタ	DVCHGR	0000h	000A 004Eh	16
	USBアドレスレジスタ	USBADDR	0000h	000A 0050h	16
	USBリクエストタイプレジスタ	USBREQ	0000h	000A 0054h	16
	USBリクエストバリューレジスタ	USBVAL	0000h	000A 0056h	16
	USBリクエストインデックスレジスタ	USBINDX	0000h	000A 0058h	16
	USBリクエストレングスレジスタ	USBLENG	0000h	000A 005Ah	16

表28.3　USBのレジスター覧 (2 / 4)

ポート	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
USB0	DCPコンフィギュレーションレジスタ	DCPCFG	0000h	000A 005Ch	16
	DCPマックスパケットサイズレジスタ	DCPMAXP	0040h（注1）	000A 005Eh	16
	DCPコントロールレジスタ	DCPCTR	0040h（注1）	000A 0060h	16
	パイプウィンドウ選択レジスタ	PIPESEL	0000h	000A 0064h	16
	パイプコンフィギュレーションレジスタ	PIPECFG	0000h	000A 0068h	16
	パイプマックスパケットサイズレジスタ	PIPEMAXP	0000h/0040h（注1）（注3）	000A 006Ch	16
	パイプ周期制御レジスタ	PIPEPERI	0000h	000A 006Eh	16
	パイプ1コントロールレジスタ	PIPE1CTR	0000h	000A 0070h	16
	パイプ2コントロールレジスタ	PIPE2CTR	0000h	000A 0072h	16
	パイプ3コントロールレジスタ	PIPE3CTR	0000h	000A 0074h	16
	パイプ4コントロールレジスタ	PIPE4CTR	0000h	000A 0076h	16
	パイプ5コントロールレジスタ	PIPE5CTR	0000h	000A 0078h	16
	パイプ6コントロールレジスタ	PIPE6CTR	0000h	000A 007Ah	16
	パイプ7コントロールレジスタ	PIPE7CTR	0000h	000A 007Ch	16
	パイプ8コントロールレジスタ	PIPE8CTR	0000h	000A 007Eh	16
	パイプ9コントロールレジスタ	PIPE9CTR	0000h	000A 0080h	16
	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	0000h	000A 0090h	16
	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	0000h	000A 0092h	16
	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	0000h	000A 0094h	16
	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	0000h	000A 0096h	16
	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	0000h	000A 0098h	16
	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	0000h	000A 009Ah	16
	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	0000h	000A 009Ch	16
	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	0000h	000A 009Eh	16
	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	0000h	000A 00A0h	16
	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	0000h	000A 00A2h	16
	デバイスアドレス0コンフィグレーションレジスタ	DEVADD0	0000h	000A 00D0h	16
	デバイスアドレス1コンフィグレーションレジスタ	DEVADD1	0000h	000A 00D2h	16
	デバイスアドレス2コンフィグレーションレジスタ	DEVADD2	0000h	000A 00D4h	16
	デバイスアドレス3コンフィグレーションレジスタ	DEVADD3	0000h	000A 00D6h	16
	デバイスアドレス4コンフィグレーションレジスタ	DEVADD4	0000h	000A 00D8h	16
	デバイスアドレス5コンフィグレーションレジスタ	DEVADD5	0000h	000A 00DAh	16

表28.3　USBのレジスター覧 (3 / 4)

ポート	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
USB1	システムコンフィギュレーションコントロールレジスタ	SYSCFG	0000h	000A 0200h	16
	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	0000h	000A 0204h	16
	デバイスステートコントロールレジスタ0	DVSTCTR0	0000h	000A 0208h	16
	CFIFOポートレジスタ	CFIFO	0000h	000A 0214h	8、16
	D0FIFOポートレジスタ	D0FIFO	0000h	000A 0218h	8、16
	D1FIFOポートレジスタ	D1FIFO	0000h	000A 021Ch	8、16
	CFIFOポート選択レジスタ	CFIFOSEL	0000h	000A 0220h	16
	CFIFOポートコントロールレジスタ	CFIFOCTR	0000h	000A 0222h	16
	D0FIFOポート選択レジスタ	D0FIFOSEL	0000h	000A 0228h	16
	D0FIFOポートコントロールレジスタ	D0FIFOCTR	0000h	000A 022Ah	16
	D1FIFOポート選択レジスタ	D1FIFOSEL	0000h	000A 022Ch	16
	D1FIFOポートコントロールレジスタ	D1FIFOCTR	0000h	000A 022Eh	16
	割り込み許可レジスタ0	INTENB0	0000h	000A 0230h	16
	割り込み許可レジスタ1	INTENB1	0000h	000A 0232h	16
	BRDY割り込み許可レジスタ	BRDYENB	0000h	000A 0236h	16
	NRDY割り込み許可レジスタ	NRDYENB	0000h	000A 0238h	16
	BEMP割り込み許可レジスタ	BEMPENB	0000h	000A 023Ah	16
	SOF出力コンフィグレーションレジスタ	SOFCFG	0000h	000A 023Ch	16
	割り込みステータスレジスタ0	INTSTS0	0000h	000A 0240h	16
	割り込みステータスレジスタ1	INTSTS1	0000h	000A 0242h	16
	BRDY割り込みステータスレジスタ	BRDYSTS	0000h	000A 0246h	16
	NRDY割り込みステータスレジスタ	NRDYSTS	0000h	000A 0248h	16
	BEMP割り込みステータスレジスタ	BEMPSTS	0000h	000A 024Ah	16
	フレームナンバーレジスタ	FRMNUM	0000h	000A 024Ch	16
	デバイスステート切り替えレジスタ	DVCHGR	0000h	000A 024Eh	16
	USBアドレスレジスタ	USBADDR	0000h	000A 0250h	16
	USBリクエストタイプレジスタ	USBREQ	0000h	000A 0254h	16
	USBリクエストバリューレジスタ	USBVAL	0000h	000A 0256h	16
	USBリクエストインデックスレジスタ	USBINDX	0000h	000A 0258h	16
	USBリクエストレングスレジスタ	USBLENG	0000h	000A 025Ah	16
	DCPコンフィギュレーションレジスタ	DCPCFG	0000h	000A 025Ch	16
	DCPマックスパケットサイズレジスタ	DCPMAXP	0040h（注2）	000A 025Eh	16
	DCPコントロールレジスタ	DCPCTR	0040h（注2）	000A 0260h	16
	パイプウィンドウ選択レジスタ	PIPESEL	0000h	000A 0264h	16

表28.3　USBのレジスター覧 (4 / 4)

ポート	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
USB1	パイプコンフィギュレーションレジスタ	PIPECFG	0000h	000A 0268h	16
	パイプマックスパケットサイズレジスタ	PIPEMAXP	0000h/0040h（注2，注3）	000A 026Ch	16
	パイプ周期制御レジスタ	PIPEPERI	0000h	000A 026Eh	16
	パイプ1コントロールレジスタ	PIPE1CTR	0000h	000A 0270h	16
	パイプ2コントロールレジスタ	PIPE2CTR	0000h	000A 0272h	16
	パイプ3コントロールレジスタ	PIPE3CTR	0000h	000A 0274h	16
	パイプ4コントロールレジスタ	PIPE4CTR	0000h	000A 0276h	16
	パイプ5コントロールレジスタ	PIPE5CTR	0000h	000A 0278h	16
	パイプ6コントロールレジスタ	PIPE6CTR	0000h	000A 027Ah	16
	パイプ7コントロールレジスタ	PIPE7CTR	0000h	000A 027Ch	16
	パイプ8コントロールレジスタ	PIPE8CTR	0000h	000A 027Eh	16
	パイプ9コントロールレジスタ	PIPE9CTR	0000h	000A 0280h	16
	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	0000h	000A 0290h	16
	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	0000h	000A 0292h	16
	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	0000h	000A 0294h	16
	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	0000h	000A 0296h	16
	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	0000h	000A 0298h	16
	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	0000h	000A 029Ah	16
	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	0000h	000A 029Ch	16
	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	0000h	000A 029Eh	16
	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	0000h	000A 02A0h	16
	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	0000h	000A 02A2h	16
	デバイスアドレス0コンフィグレーションレジスタ	DEVADD0	0000h	000A 02D0h	16
	デバイスアドレス1コンフィグレーションレジスタ	DEVADD1	0000h	000A 02D2h	16
	デバイスアドレス2コンフィグレーションレジスタ	DEVADD2	0000h	000A 02D4h	16
	デバイスアドレス3コンフィグレーションレジスタ	DEVADD3	0000h	000A 02D6h	16
	デバイスアドレス4コンフィグレーションレジスタ	DEVADD4	0000h	000A 02D8h	16
	デバイスアドレス5コンフィグレーションレジスタ	DEVADD5	0000h	000A 02DAh	16
	ディープスタンバイUSBトランシーバ制御／端子モニタレジスタ	DPUSR0R	xxxx 0000h	000A 0400h	32
	ディープスタンバイUSBサスペンド／レジューム割り込みレジスタ	DPUSR1R	0000 0000h	000A 0404h	32

注1.　USBの使用を許可（MSTPCRB.MSTPB19ビットが"0"）し、USB0.SYSCFG.SCKEビットが"1"にしたときの値です。
注2.　USBの使用を許可（MSTPCRB.MSTPB18ビットが"0"）し、USB1.SYSCFG.SCKEビットが"1"にしたときの値です。
注3.　PIPESEL.PIPESEL[3:0]ビットの設定により初期値が異なります。パイプを選択していないときは0000h、選択しているときは0040hになります。

28.2.1　システムコンフィギュレーションコントロールレジスタ（SYSCFG）

アドレス　USB0.SYSCFG 000A 0000h、USB1.SYSCFG 000A 0200h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	SCKE	–	–	–	DCFM	DRPD	DPRPU	–	–	–	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USBモジュール動作許可ビット	0：USBモジュール動作禁止 1：USBモジュール動作許可	R/W
b3-b1	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DPRPU	D+ライン抵抗制御ビット	0：プルアップ禁止 1：プルアップ許可	R/W
b5	DRPD	D+／D-ライン抵抗制御ビット	0：プルダウン禁止 1：プルダウン許可	R/W
b6	DCFM	コントローラ機能選択ビット	0：ファンクションコントローラ機能を選択 1：ホストコントローラ機能を選択	R/W
b9-b7	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	SCKE	USBモジュールクロック許可ビット	0：USBモジュールへのクロック供給停止 1：USBモジュールへのクロック供給許可	R/W
b15-b11	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SYSCFG レジスタは、ホストコントローラ機能またはファンクションコントローラ機能の選択、USBm_DP、USBm_DM 端子の制御および USB モジュールの動作許可制御を行うレジスタです。
（m = 0, 1）

USBE ビット（USB モジュール動作許可ビット）

USB モジュールの動作禁止／許可を指定します。

USBEビットを“1”から“0”に変更したときに初期化されるレジスタとビットを表28.4と表28.5に示します。

USBE ビットの変更は、SYSCFG.SCKE = “1” のときに行ってください。

ホストコントローラ機能選択時は、SYSCFG.DRPD = “1” 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、SYSCFG.USBE ＝ “1” にしてください。

DPRPU ビット（D+ ライン抵抗制御ビット）

ファンクションコントローラ機能選択時、D+ ラインのプルアップの禁止／許可を指定します。

ファンクションコントローラ機能選択時に DPRPU = “1” にすると、USB モジュールは USBm_DPUPE 端子をアサートし、USB ホストに対してアタッチを通知することができます。また、DPRPU ビットを “1” から “0” に変更することにより、USB モジュールは USBm_DPUPE 端子をネゲートしますので、USB ホストに対してデタッチしたと見せることができます。

DPRPU ビットへの “1” 書き込みは、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、“0” にしてください。

DRPD ビット（D+ ／ D- ライン抵抗制御ビット）

ホストコントローラ機能選択時、USBm_DPRPD 端子および USBm_DRPD 端子により D+ ／ D- ラインのプルダウンの禁止／許可を指定します。

DRPD ビットへの “1” 書き込みは、ホストコントローラ機能選択時に行ってください。

ファンクションコントローラ機能選択時は、DRPD = “0” にしてください。

DCFM ビット（コントローラ機能選択ビット）

USB モジュールの機能を選択します。

DCFM ビットの変更は、SYSCFG.DPRPU = “0” かつ SYSCFG.DRPD = “0” のときに行ってください。

SCKE ビット（USB モジュールクロック許可ビット）

USB モジュールへの 48MHz クロック供給の停止／許可を指定します。

SCKE ビットが “0” の場合、SYSCFG レジスタのみ、読み出し／書き込みができます。

USB モジュール内の他のレジスタは、SCKE ビットが “0” の場合には、読み出し／書き込みはできません。

表 28.4　SYSCFG.USBE = “0”書き込みにより初期化されるレジスタ（ファンクションコントローラ機能選択時）

レジスタ	シンボル	備考
SYSSTS0	LNST	ホストコントローラ機能選択時は値保持
DVSTCTR0	RHST	
INTSTS0	DVSQ	ホストコントローラ機能選択時は値保持
USBADDR	USBADDR	ホストコントローラ機能選択時は値保持
USBREQ	BREQUEST、BMREQUESTTYPE	ホストコントローラ機能選択時は値保持
USBVAL	WVALUE	ホストコントローラ機能選択時は値保持
USBINDX	WINDEX	ホストコントローラ機能選択時は値保持
USBLENG	WLENGTH	ホストコントローラ機能選択時は値保持

表 28.5　SYSCFG.USBE = “0”書き込みにより初期化されるレジスタ（ホストコントローラ機能選択時）

レジスタ	シンボル	備考
DVSTCTR0	RHST	
FRMNUM	FRNM	ファンクションコントローラ機能選択時は値保持

28.2.2 システムコンフィギュレーションステータスレジスタ 0（SYSSTS0）

アドレス　USB0.SYSSTS0 000A 0004h、USB1.SYSSTS0 000A 0204h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVCMON[1:0]		–	–	–	–	–	–	–	HTACT	–	–	–	IDMON	LNST[1:0]	
リセット後の値	0（注）	0（注）	0	0	0	0	0	0	0	0	0	0	0	0（注）	0	0

注.　USBm_OVRCURA/USBm_OVRCURB端子およびUSBm_ID端子の状態に依存します。

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスモニタビット	USBデータバスライン（D+ライン、D-ライン）のステータスが表示されます。USBデータバスラインステータスを表28.6に示します	R
b2	IDMON	外部ID0入力端子モニタビット	USBm_ID端子のステータスが表示されます	R
b5-b3	–	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6	HTACT	USBホストシーケンサステータスモニタビット	0：USBモジュールのホストシーケンサが完全に停止している 1：USBモジュールのホストシーケンサが完全に停止していない	R
b13-b7	–	予約ビット	読むと“0”が読み出されます。書き込みは無効になります	R
b15-b14	OVCMON [1:0]	外部USBm_OVRCURA/USBm_OVRCURB入力端子モニタビット	OVCMON[1]ビットにUSBm_OVRCURA端子の状態が表示されます OVCMON[0]ビットにUSBm_OVRCURB端子の状態が表示されます	R

注.　m = 0, 1

SYSSTS0 レジスタは、USB データバスのラインステータス（D+ および D- ライン）をモニタするレジスタです。

LNST[1:0] ビット（USB データラインステータスモニタビット）

LNST[1:0] ビットの参照は、ファンクションコントローラ機能選択時にはアタッチ処理（SYSCFG.DPRPU を “1”）以後、ホストコントローラ機能選択時には、プルダウン許可（SYSCFG.DRPD を “1”）以後に行ってください。

表28.6　USBデータバスラインステータス表

LNST[1]	LNST[0]	ステータス
0	0	SE0
0	1	J-State
1	0	K-State
1	1	SE1

HTACT ビット（USB ホストシーケンサステータスモニタビット）

USB モジュールのホストシーケンサが完全に停止しているときに、HTACT ビットに “0” を示します。

USB モジュールのクロックを停止させるときには、HTACT ビットが “0” であることを確認してください。

OVCMON[1:0] ビット（外部 USBm_OVRCURA/USBm_OVRCURB 入力端子モニタビット）

外部電源チップからのオーバカレントのステータスが表示されます。

28.2.3 デバイスステートコントロールレジスタ 0（DVSTCTR0）

アドレス　USB0.DVSTCTR0 000A 0008h、USB1.DVSTCTR0 000A 0208h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスビット	● ホストコントローラ機能選択時 b2　b0 ０００：通信速度不定（パワード時あるいは非接続時） １ｘｘ：USBバスリセット処理中 ００１：ロースピード接続時（注1） ０１０：フルスピード接続時 【記号説明】Ｘ：Don't care ● ファンクションコントローラ機能選択時 b2　b0 ０００：通信速度不定 ０１０：USBバスリセット処理中またはフルスピード接続時	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	UACT	USBバス許可ビット	0：ダウンポート動作禁止（SOF送出禁止） 1：ダウンポート動作許可（SOF送出許可）	R/W
b5	RESUME	レジューム出力ビット	0：レジューム信号非出力 1：レジューム信号出力	R/W
b6	USBRST	USBバスリセット出力ビット	0：USBバスリセット信号非出力 1：USBバスリセット信号出力	R/W
b7	RWUPE	ウェイクアップ検出許可ビット	0：ダウンポートリモートウェイクアップ出力禁止 1：ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力ビット	0：リモートウェイクアップ信号非出力 1：リモートウェイクアップ信号出力	R/W
b9	VBUSEN	USBm_VBUSEN出力端子制御ビット	VBUSENビット値がそのまま外部USBm_VBUSEN端子の状態として出力されます	R/W
b10	EXICEN	USBm_EXICEN出力端子制御ビット	EXICENビット値がそのまま外部USBm_EXICEN端子の状態として出力されます	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル（HNP）制御ビット	OTG（On-The-Go）にて使用時に、BデバイスからAデバイスに切り替える時に使用します。HNPBTOAビットが“1”であれば、内部ファンクション制御はSYSCFG.DPRPU=“0”またはSYSCFG.DCFM=“1”にしてもHNP処理が終了するまでサスペンド状態を維持します	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　USB コントローラはロースピードデバイスとの通信はサポートしていません。本値が読み出されたときには上位アプリにて異常接続処理をしてください。

DVSTCTR0 レジスタは、USB データバスの状態制御および確認をするレジスタです。

RHST[2:0] ビット（USB バスリセットステータスビット）

USB バスリセットの状態を表示します。

ホストコントローラ機能選択時に、ソフトウェアで USBRST ＝ “1” を書いた後、RHST[2:0] ビットは 100b を示します。

ソフトウェアが USBRST = “0” を書き、USB が SE0 ドライブを終了した時点で、USB は RHST[2:0] ビットの値を確定します。

ファンクションコントローラ機能選択時に、USB が USB バスリセットを検出すると、RHST[2:0] ビットは 010b を示し、DVST 割り込みが発生します。

UACT ビット（USB バス許可ビット）

ホストコントローラ機能選択時に、USB バス動作許可（USB バス上への SOF パケットの送出制御）を行います。

UACT ビットを “1” にすると、USB モジュールは USB ポートを USB バス許可状態にし、SOF パケット出力およびデータ送受信を行います。

ソフトウェアが UACT = “1” を書いてから、1 フレーム時間以内に SOF パケット出力を開始します。

UACT ビットを “0” にした場合、USB モジュールは SOF パケット出力後アイドル状態に遷移します。

以下の場合に、USB モジュールは UACT ビットを “0” にします。

- 通信中（UACT = “1” のとき）に DTCH 割り込みを検出した場合
- 通信中（UACT = “1” のとき）に EOFERR 割り込みを検出した場合

UACT ビットに “1” を書くときは、USB バスリセット処理終了時（USBRST = “0” 書き込み）、または、サスペンドからのレジューム処理終了時（RESUME = “0” 書き込み）のいずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、“0” にしてください。

RESUME ビット（レジューム出力ビット）

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUME ビットを “1” にすると、USB モジュールはポートを K-State ドライブし、レジューム出力を行います。また、RWUPE ビットが “1” かつサスペンド中にリモートウェイクアップ信号を検出すると、USB モジュールは RESUME ビットを ”1” にし、同様の動作を行います。

USB モジュールは、RESUME = “1” の期間（ソフトウェアが RESUME = “0” を書き込むまで）K-State 出力を継続します。RESUME = “1” の期間（レジューム期間）は USB Specification2.0 に準拠した時間を確保してください。

RESUME ビットへの “1” 書き込みは、サスペンド中にのみ行ってください。

レジューム終了（RESUME = “0” 書き込み）と同時に UACT ビットに “1” を書き込んでください。

ファンクションコントローラ機能選択時は、“0” にしてください。

USBRST ビット（USB バスリセット出力ビット）

ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。

ホストコントローラ機能選択時、USBRST ビットを “1” にすると、USB モジュールは USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。

USB モジュールは、USBRST = “1” の期間（ソフトウェアが USBRST = “0” を書き込むまで）SE0 出力を継続します。USBRST = “1” の期間（USB バスリセット期間）は USB Specification2.0 に準拠した時間を確保してください。

通信中（UACT = “1”）またはレジューム中（RESUME = “1”）に USBRST ビットに “1” を書き込んだ場合、USB モジュールは UACT = “0” かつ RESUME = “0” の状態になるまで USB バスリセットを開始しません。

USB バスリセット終了（USBRST = “0” 書き込み）と同時に UACT ビットに “1” を書き込んでください。

ファンクションコントローラ機能選択時は、“0” にしてください。

RWUPE ビット（ウェイクアップ検出許可ビット）

ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ（レジューム信号出力）の禁止／許可を指定します。

RWUPE ビットを “1” にすると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号（2.5μs 間の K-State）を検出し、レジューム処理（K-State のドライブ）を行います。

RWUPE ビットを “0” にした場合、USB モジュールが USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。

RWUPE ビットを “1” にしたときには、サスペンド中であっても内部クロックを停止しないでください（SCKE = “1” の状態にしてください）。

ファンクションコントローラ機能選択時は、“0” にしてください。

WKUP ビット（ウェイクアップ出力ビット）

ファンクションコントローラ機能選択時に、USB バス上へのリモートウェイクアップ（レジューム信号出力）禁止／許可を指定します。

USB モジュールは、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットを “1” にすると、USB モジュールは 10ms の K-State を出力します。その後、WKUP ビットを “0” にします。

USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、USB モジュールは、サスペンド状態を検出した直後に WKUP ビットに “1” を書き込まれた後、2ms 待ってから K-State を出力します。

WKUP ビットへの “1” 書き込みは、デバイスステートがサスペンド（INTSTS0.DVSQ = 1xx）であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。WKUP ビットを “1” にする場合は、サスペンド中であっても内部クロックを停止しないでください。（SYSCFG.SCKE = “1” の状態で WKUP = “1” を書いてください。）

ホストコントローラ機能選択時は、“0” を書いてください。

HNPBTOA ビット（ホストネゴシエーションプロトコル（HNP）制御ビット）

OTG（On-The-Go）にて使用時に、B デバイスから A デバイスに切り替える時に使用します。HNPBTOA ビットが “1” であれば、内部ファンクション制御は SYSCFG.DPRPU = “0” または SYSCFG.DCFM = “1” にしても HNP 処理が終了するまでサスペンド状態を維持します。またこのとき、D+ の立ち下がりを検出しても、レジューム（RESM）割り込みは発生しません。

“1” にした後、HOST アタッチ（相手のプルアップ）検出または HNP 処理タイムアウト時に FW にて “0” を書き、HNP 処理を終了させます。

28.2.4 CFIFO ポートレジスタ（CFIFO）
D0FIFO ポートレジスタ（D0FIFO）
D1FIFO ポートレジスタ（D1FIFO）

アドレス　USB0.CFIFO 000A 0014h、USB0.D0FIFO 000A 0018h、USB0.D1FIFO 000A 001Ch
USB1.CFIFO 000A 0214h、USB1.D0FIFO 000A 0218h、USB1.D1FIFO 000A 021Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	L[7:0]								H[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b8	L[7:0]	FIFOポートビット	FIFOポートレジスタの有効ビットは、MBWビットの設定値により異なります。 MBWビットが“1”の場合（16ビットアクセス時）は、MDE端子の状態と、BIGENDビットの設定値との関係により、データ配置が変わります。詳細は、表28.7を参照してください。 MBWビットが“0”の場合（8ビットアクセス時）は、先頭アドレスにバイトアクセスしてください。	R/W
b7-b0	H[7:0]			

CFIFO、D0FIFO、D1FIFO は、FIFO バッファメモリへのデータ読み出し／書き込みを行うポートレジスタです。

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータリード／ライトを行う FIFO ポートレジスタ（CFIFO、D0FIFO、D1FIFO）以外に、FIFO ポートに割り当てるパイプを選択する選択レジスタ（CFIFOSEL、D0FIFOSEL、D1FIFOSEL）、コントロールレジスタ（CFIFOCTR、D0FIFOCTR、D1FIFOCTR）で構成されています。

各 FIFO ポートには、下記に示す特長があります。

- DCP（コントロール転送）用 FIFO バッファへのアクセスは、CFIFO ポートを通して行ってください。
- DMA 転送による FIFO バッファアクセスは D0FIFO あるいは D1FIFO ポートを通して行ってください。
- CPU による D1FIFO あるいは D0FIFO ポートアクセスも可能です。
- FIFO ポート固有の機能を使用する場合は、CURPIPE ビットに設定するパイプ番号（選択パイプ）を変更できません（DMA 転送機能使用時など）。
- FIFO ポートを構成するレジスタ群は、他の FIFO ポートに影響を与えることはありません。
- 同一パイプを別々の FIFO ポートに割り当てないでください。
- FIFO バッファの状況には、アクセス権が CPU 側にある場合と SIE 側にある場合の 2 種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からアクセスができません。

L[7:0] / H[7:0]（FIFO ポートビット）

FIFOPORT ビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。

FIFO ポートレジスタへのアクセスは、各 FIFO ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR または D1FIFOCTR）の FRDY ビットが “1” を示しているときのみ可能です。

FIFO ポートレジスタの有効ビットは、MBW ビット（CFIFOSEL.MBW、D0FIFOSEL.MBW、D1FIFOSEL.MBW）の設定値により異なります。また、MBW ビットが “1”（16 ビットアクセス）の場合は、MDE 端子の状態と、BIGEND ビット（CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、D1FIFOSEL.BIGEND）の設定値との関係により、RAM 上とデータ配置が変わる場合があります。16 ビットアクセス時のエンディアン動作を表 28.7 に示します。

8 ビットアクセス時は、バイトアクセスしてください。また、BIGEND ビットの設定は無効です。

16 ビットアクセス時は、ワードアクセスしてください。ただし、送信時にデータ総数が奇数の場合については、最後のデータはバイトアクセスしてください。

アクセスするときのアドレスは、8 ビットアクセス時および 16 ビットアクセス時ともに、設定によらず常に FIFO レジスタの先頭アドレスへアクセスしてください。

表 28.7　16 ビットアクセス時のエンディアン動作表

MDMONR.MDE フラグ	CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット 15～8	ビット 7～0	備考
0（リトルエンディアン）	0（リトルエンディアン）	N+1 番地のデータ	N 番地のデータ	
	1（ビッグエンディアン）	N 番地のデータ	N+1 番地のデータ	バイト逆転あり
1（ビッグエンディアン）	0（リトルエンディアン）	N+1 番地のデータ	N 番地のデータ	バイト逆転あり
	1（ビッグエンディアン）	N 番地のデータ	N+1 番地のデータ	

28.2.5 CFIFO ポート選択レジスタ（CFIFOSEL）
D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL）

- CFIFOSEL

アドレス　USB0.CFIFOSEL 000A 0020h、USB1.CFIFOSEL 000A 0220h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	CFIFOポートアクセスパイプ指定ビット	b3　b0 0 0 0 0：DCP（デフォルトコントロールパイプ） 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外：設定しないでください	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ISEL	DCP選択時のCFIFOポートアクセス方向ビット	0：バッファメモリ読み出し選択 1：バッファメモリ書き込み選択	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	CFIFOポートエンディアン制御ビット	0：リトルエンディアン 1：ビッグエンディアン	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	CFIFOポートアクセスビット幅ビット	0：8ビット幅 1：16ビット幅	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	REW	バッファポインタリワインドビット	0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R/W （注1）
b15	RCNT	リードカウントモードビット	0：CFIFOの全受信データ読み出し終了時にDTLNビットを“0”クリア（ダブルバッファの場合は一面のみ読み出し終了時） 1：CFIFO受信データ読み出しごとにDTLNビットをカウントダウン	R/W

注1.　読むと“0”が読めます。

CFIFOSEL レジスタは、FIFO ポートに割り当てるパイプの選択、各 FIFO ポートへのアクセスの制御するレジスタです。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL の CURPIPE ビットに同一のパイプを指定しないでください。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（CFIFO ポートアクセスパイプ指定ビット）

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

ISEL ビット（DCP 選択時の CFIFO ポートアクセス方向ビット）

選択パイプが DCP のときに、ISEL ビットを変更するときは、ISEL ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

ISEL ビットの設定は、CURPIPE[3:0] ビットの設定と同時に行ってください。

BIGEND ビット（CFIFO ポートエンディアン制御ビット）

CFIFO ポートのバイトエンディアンを指定します。

MBW ビット（CFIFO ポートアクセスビット幅ビット）

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

REW ビット（バッファポインタリワインドビット）

バッファポインタのリワインドをする／しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを “1” にすると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW を “1” にすることと CURPIPE ビットの設定変更を同時に行わないでください。REW ビットを “1” にするときは、FRDY ビットが “1” であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントビット）

CFIFOCTR レジスタの DTLN[8:0] ビットの読み出しモードを指定します。

- D0FIFOSEL、D1FIFOSEL

アドレス　USB0.D0FIFOSEL 000A 0028h、USB0.D1FIFOSEL 000A 002Ch
USB1.D0FIFOSEL 000A 0228h、USB1.D1FIFOSEL 000A 022Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	–	MBW	–	BIGEND	–	–	–	–	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	FIFOポートアクセスパイプ指定ビット	b3　b0 ００００：DCP（デフォルトコントロールパイプ） ０００１：パイプ1 ００１０：パイプ2 ００１１：パイプ3 ０１００：パイプ4 ０１０１：パイプ5 ０１１０：パイプ6 ０１１１：パイプ7 １０００：パイプ8 １００１：パイプ9 上記以外：設定しないでください	R/W
b7-b4	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BIGEND	FIFOポートエンディアン制御ビット	0：リトルエンディアン 1：ビッグエンディアン	R/W
b9	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	MBW	FIFOポートアクセスビット幅ビット	0：8ビット幅 1：16ビット幅	R/W
b11	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DREQE	DMA転送要求許可	0：DMA転送要求禁止 1：DMA転送要求許可	R/W
b13	DCLRM	選択パイプのデータ読み出し後の自動バッファメモリクリアモード	0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリワインドビット	0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R/W （注1）
b15	RCNT	リードカウントモードビット	0：DnFIFOの全受信データ読み出し終了時にDTLNビットを“0”クリア（ダブルバッファの場合は一面のみ読み出し終了時） 1：DnFIFO受信データ読み出しごとにDTLNビットをカウントダウン （n = 0, 1）	R/W

注1.　“0”を読み出すことのみ可能です。

D0FIFOSEL、D1FIFOSEL レジスタは、FIFO ポートに割り当てるパイプの選択、各 FIFO ポートへのアクセスを制御するレジスタです。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL の CURPIPE ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットを 0000b にした場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（FIFO ポートアクセスパイプ指定ビット）

D0FIFO ／ D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。

CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセスの途中で CURPIPE[3:0] ビットの設定を変更した場合、それまでのアクセスを保持し、CURPIPE[3:0] ビットの書き戻し後、続けてアクセスすることができます。

BIGEND ビット（FIFO ポートエンディアン制御ビット）

D0FIFO ポート、D1FIFO ポートのバイトエンディアンを指定します。

MBW ビット（FIFO ポートアクセスビット幅ビット）

D0FIFO ポート、D1FIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、MBW ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。

選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅へのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

DREQE ビット（DMA 転送要求許可ビット）

DMA 転送要求発行の禁止／許可を指定します。

DMA 転送要求発行を許可する場合、CURPIPE[3:0] ビット設定後に DREQE ビットを “1” にしてください。

CURPIPE[3:0] ビットの設定を変更するときには、CURPIPE[3:0] ビットを “0” にした後で変更を行ってください。

DCLRM ビット（選択パイプのデータ読み出し後の自動バッファメモリクリアモード）

選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止／許可を指定します。

DCLRM ビットに “1” を設定した場合、選択パイプに割り当てた FIFO バッファが空の状態で Zero-Length packet を受信したとき、または PIPECFG.BFRE を “1” にしたときにショートパケット受信しデータ読み出しを完了時に、FIFO バッファへの BCLR ＝ “1 の ” 処理を USB モジュールが行います。

REW ビット（バッファポインタリワインドビット）

バッファポインタのリワインドをする／しないを指定します。

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に REW ビットを “1” にすると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。

REW = “1” の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW = “1” の設定は、FRDY = “1” であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントビット）

DnFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。

PIPECFG.BFRE ビットを “1” にして DnFIFO にアクセスを行う場合は、RCNT ビットを “0” にしてください。

28.2.6 CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR）

アドレス　USB0.CFIFOCTR 000A 0022h、USB0,D0FIFOCTR 000A 002Ah、 USB0,D1FIFOCTR 000A 002Eh
USB1.CFIFOCTR 000A 0222h、USB1,D0FIFOCTR 000A 022Ah、 USB1,D1FIFOCTR 000A 022Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BVAL	BCLR	FRDY	–	–	–	–	DTLN[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長表示ビット	受信データ長が表示されます。ポート選択レジスタのRCNTビットの設定により、表示が異なります。詳細は下記DTLN[8:0]ビットの説明を参照してください	R
b12-b9	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13	FRDY	FIFOポートレディビット	0：FIFOポートアクセス不可 1：FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリアビット	0：無効 1：CPU側バッファメモリクリア	R/W （注1）
b15	BVAL	バッファメモリ有効フラグ	0：無効 1：書き込み終了	R/W

注1.　読むと“0”が読めます。

CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタは、バッファメモリの書き込み終了、CPU 側バッファクリア、および FIFO ポートアクセス可能かどうかを設定するレジスタです。FIFO ポートコントロールレジスタには、各 FIFO ポートに対応しています。

DTLN[8:0] ビット（受信データ長表示ビット）

受信データ長が表示されます。

FIFO バッファ読み出し中の DTLN[8:0] ビットの値は、DnFIFOSEL.RCNT ビットの設定値により以下のように異なります。（n = 0, 1）

- RCNT = “0” のとき

CPU（DTC または DMACA）が FIFO バッファ 1 面分の受信データを読み出し完了するまで、USB モジュールは受信データ長を DTLN[8:0] ビットに表示します。

PIPECFG.BFRE = “1” のときには、読み出しが完了しても BCLR =“1” を行うまでは USB モジュールは受信データ長を保持します。

- RCNT = “1” のとき

読み出しごとに USB モジュールは DTLN ビットの表示をダウンカウントします。（MBW =“0” のときは -1、MBW =“1” のときは -2 ずつダウンカウント）

1 面分の FIFO バッファ読み出し完了時に、USB モジュールは DTLN = “0” を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を FIFO ポートコントロールレジスタの DTLN ビットに表示します。

FRDY ビット（FIFO ポートレディビット）

CPU（DTC または DMACA）から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合には、USB モジュールは FRDY =“1” を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR =“1” にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

- 選択パイプにアサインされている FIFO バッファが空の状態で Zero-Length パケット受信した場合
- PIPECFG.BFRE =“1” にしたとき、ショートパケットを受信し、データ読み出しを完了した場合

BCLR ビット（CPU バッファクリアビット）

選択パイプの CPU 側の FIFO バッファをクリアする場合に “1” にします。

選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面ともに読み出し可能状態である場合でも、USB モジュールは片面の FIFO バッファのみをクリアします。

選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR=“1” を書くことによって USB モジュールは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP コントロールレジスタの PID ビットを NAK に設定した後で BCLR=“1” にしてください。

選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に “1” を書いた場合には、USB モジュールはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

選択パイプが DCP 以外の場合、BCLR ビットへの “1” 書き込みは、USB モジュールが FIFO ポートコントロールの FRDY =“1” を示しているときに実施してください。

BVAL ビット（バッファメモリ有効フラグビット）

CURPIPE に指定したパイプ（選択パイプ）の CPU 側の FIFO バッファの書き込み終了時に “1” にします。

選択パイプが送信方向のとき、以下の場合に BVAL ビットを “1” にしてください。USB モジュールは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

- ショートパケットの送信を行いたいとき、データ書き込み終了時に BVAL ビットを “1” にしたとき
- Zero-Lengthパケットの送信を行いたいとき、FIFOバッファへデータを書き込む前にBVALビットを“1”にしたとき

MaxPacketSize 分のデータを書くと、USB モジュールが BVAL ビットを “1” にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

BVAL ビットへの “1” 書き込みは、USB モジュールが FRDY =“1” を示しているときに実施してください。

選択パイプが受信方向のときには、BVAL ビットへの “1” 書き込みを行わないでください。

28.2.7 割り込み許可レジスタ 0（INTENB0）

アドレス　USB0.INTENB0 000A 0030h、USB1.INTENB0 000A 0230h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BRDYE	バッファレディ割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可ビット（注1）	0：割り込み出力禁止 1：割り込み出力許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可ビット（注1）	0：割り込み出力禁止 1：割り込み出力許可	R/W
b13	SOFE	フレーム番号更新割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b14	RSME	レジューム割り込み許可ビット（注1）	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15	VBSE	VBUS割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W

注1.　RSMEビット、DVSEビットおよびCTREビットは、ファンクションコントローラ機能選択時のみ設定ができます。ホストコントローラ機能選択時は、許可を行わないでください。

INTENB0 レジスタは、各割り込みを制御するレジスタです。ソフトウェアが INTENB0 レジスタの “1” にしたビットに対応する割り込みを USB モジュールが検出した場合に、USB 割り込みを発生させます。

USB モジュールは、INTENB0 レジスタの設定値（割り込み通知の禁止／許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットに “1” を表示します。

各割り込み要因に対応するINTSTS0レジスタのステータスビットが“1”の状態で、ソフトウェアがINTENB0レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB モジュールは USB 割り込み発生させます。

BRDYE ビット（バッファレディ割り込み許可ビット）

BRDY 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

NRDYE ビット（バッファノットレディ応答割り込み許可ビット）

NRDY 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

BEMPE ビット（バッファエンプティ割り込み許可ビット）

BEMP 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

CTRE ビット（コントロール転送ステージ遷移割り込み許可ビット）

CTRT 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

DVSE ビット（デバイスステート遷移割り込み許可ビット）

DVST 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

SOFE ビット（フレーム番号更新割り込み許可ビット）

SOFR 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

RSME ビット（レジューム割り込み許可ビット）

RESM 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

VBSE ビット（VBUS 割り込み許可ビット）

VBINT 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

28.2.8　割り込み許可レジスタ 1（INTENB1）

アドレス　USB0.INTENB1 000A 0032h、USB1.INTENB1 000A 0232h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	–	DTCHE	ATTCHE	–	–	–	–	EOFERRE	SIGNE	SACKE	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACKE	セットアップトランザクション正常応答割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	SIGNE	セットアップトランザクションエラー割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	EOFERRE	EOFエラー検出割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b10-b7	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCHE	接続検出割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b12	DTCHE	切断検出割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b13	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHGE	USBバス変化割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15	OVRCRE	オーバカレント入力変化割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W

注.　INTENB1レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定ができます。ファンクションコントローラ機能選択時は、許可を行わないでください。

INTENB1 レジスタは、ホストコントローラ機能選択時の割り込みマスクの設定、または SETUP トランザクションの割り込みマスクレジスタの設定を行うレジスタです。

ソフトウェアが INTENB1 レジスタを “1” にしたビットに対応する割り込みを USB モジュールが検出した場合に、USB モジュールは USB 割り込みを発生します。

USB モジュールは、INTENB1 レジスタの設定値（割り込み通知の禁止／許可）にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS1 レジスタの対応するステータスビットに “1” を表示します。

各割り込み要因に対応するINTSTS1レジスタのステータスビットが“1”の状態で、ソフトウェアがINTENB1レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB モジュールは USB 割り込み発生させます。

ファンクションコントローラ機能選択時は、INTENB1 の割り込み許可を行わないでください。

SACKE ビット（セットアップトランザクション正常応答割り込み許可ビット）

SACK 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

SIGNE ビット（セットアップトランザクションエラー割り込み許可ビット）

SIGN 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

EOFERRE ビット（EOF エラー検出割り込み許可ビット）

EOFERR 割り込み検出時、USB 割り込み出力の禁止／許可を指定します。

ATTCHE ビット（接続検出割り込み許可ビット）

ATTCH 割り込み検出時の USB 割り込み出力の禁止／許可を指定します。

DTCHE ビット（切断検出割り込み許可ビット）

DTCH 割り込み検出時の USB 割り込み出力の禁止／許可を指定します。

BCHGE ビット（USB バス変化割り込み許可ビット）

BCHG 割り込み検出時の USB 割り込み出力の禁止／許可を指定します。

OVRCRE ビット（オーバカレント入力変化割り込み許可ビット）

OVRCR 割り込み検出時の USB 割り込み出力の禁止／許可を指定します。

28.2.9 BRDY 割り込み許可レジスタ（BRDYENB）

アドレス　USB0.BRDYENB 000A 0036h、USB1.BRDYENB 000A 0236h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	PIPEnBRDYE (n=9～0)									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0 BRDYE	パイプ0のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b1	PIPE1 BRDYE	パイプ1のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b2	PIPE2 BRDYE	パイプ2のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b3	PIPE3 BRDYE	パイプ3のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b4	PIPE4 BRDYE	パイプ4のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	PIPE5 BRDYE	パイプ5のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	PIPE6 BRDYE	パイプ6のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b7	PIPE7 BRDYE	パイプ7のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b8	PIPE8 BRDYE	パイプ8のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	PIPE9 BRDYE	パイプ9のBRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15-b10	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0 レジスタの BRDY ビットを “1” にすることを禁止するか／許可するかを指定します。

ソフトウェアが BRDYENB レジスタを “1” にしたパイプに対して、USB モジュールが BRDY 割り込みを検出した場合に、USB モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに “1” を表示し、INTSTS0 レジスタの BRDY ビットに “1” を表示し、BRDY 割り込みを発生させます。

BRDYSTS レジスタの PIPEnBRDY ビットのうち、少なくともひとつのビットが “1” の状態で、ソフトウェアが BRDYENB レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB モジュールは BRDY 割り込みを発生させます。

28.2.10 NRDY 割り込み許可レジスタ（NRDYENB）

アドレス　USB0.NRDYENB 000A 0038h、USB1.NRDYENB 000A 0238h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	PIPEnNRDYE (n=9～0)									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0 NRDYE	パイプ0のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b1	PIPE1 NRDYE	パイプ1のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b2	PIPE2 NRDYE	パイプ2のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b3	PIPE3 NRDYE	パイプ3のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b4	PIPE4 NRDYE	パイプ4のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	PIPE5 NRDYE	パイプ5のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	PIPE6 NRDYE	パイプ6のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b7	PIPE7 NRDYE	パイプ7のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b8	PIPE8 NRDYE	パイプ8のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	PIPE9 NRDYE	パイプ9のNRDY割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15-b10	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に INTSTS0 レジスタの NRDY ビットを “1” に設定することを禁止する／許可するかを指定します。

ソフトウェアが NRDYENB レジスタを “1” にしたパイプに対して、USB モジュールが NRDY 割り込み要因を検出した場合に、USB モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに “1” を表示し、INTSTS0 レジスタの NRDY ビットに “1” を表示し、NRDY 割り込みを発生させます。

NRDYSTS レジスタの PIPENRDY ビットの少なくともひとつのビットが “1” の状態で、ソフトウェアが NRDYENB レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB モジュールは NRDY 割り込みを発生させます。

28.2.11 BEMP 割り込み許可レジスタ（BEMPENB）

アドレス　USB0.BEMPENB 000A 003Ah、USB1.BEMPENB 000A 023Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	－	－	－	－	－	－	PIPEnBEMPE (n=9～0)									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0 BEMPE	パイプ0のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b1	PIPE1 BEMPE	パイプ1のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b2	PIPE2 BEMPE	パイプ2のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b3	PIPE3 BEMPE	パイプ3のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b4	PIPE4 BEMPE	パイプ4のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b5	PIPE5 BEMPE	パイプ5のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b6	PIPE6 BEMPE	パイプ6のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b7	PIPE7 BEMPE	パイプ7のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b8	PIPE8 BEMPE	パイプ8のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b9	PIPE9 BEMPE	パイプ9のBEMP割り込み許可ビット	0：割り込み出力禁止 1：割り込み出力許可	R/W
b15-b10	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に INTSTS0 レジスタの BEMP ビットを “1” にすることを禁止するか、許可するかを指定するレジスタです。

ソフトウェアが BEMPENB レジスタを “1” にしたパイプに対して、USB モジュールが BEMP 割り込み要因を検出した場合に、USB モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに “1” を表示し、INTSTS0 レジスタの BEMP ビットに “1” を表示し、BEMP 割り込みを発生させます。

BEMPSTS レジスタの PIPEnBEMP ビットのうち、少なくともひとつのビットが “1” の状態で、ソフトウェアが BEMPENB レジスタの対応する割り込み許可ビットを “0” から “1” に変更すると、USB モジュールは BEMP 割り込みを発生させます。

28.2.12 SOF 出力コンフィグレーションレジスタ（SOFCFG）

アドレス　USB0.SOFCFG 000A 003Ch、USB1.SOFCFG 000A 023Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	BRDYM	–	EDGESTS	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	EDGESTS	エッジ割り込み出力ステータスモニタビット	エッジ割り込み出力信号がエッジ処理中であるとき“1”を示します。	R
b5	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	BRDYM（注1）	各パイプのBRDY割り込みステータスクリアタイミング設定ビット	0：ソフトウェアがステータスをクリア 1：FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBモジュールがステータスをクリア	R/W
b15-b7	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　BRDYM ビットは、“0”に設定してください。

SOFCFG レジスタは、トランザクションの有効期間や BRDY 割り込みステータスクリアタイミングなどを指定します。

EDGESTS ビット（エッジ割り込み出力ステータスモニタビット）

エッジ割り込み出力信号がエッジ処理中であるとき、“1” を示します。

注 .　USB モジュールのクロックを停止するときは、EDGESTS ビットが “0” であることを確認してください。

BRDYM ビット（エッジ割り込み出力ステータスモニタビット）

各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。

BRDYM ビットは、“0” に設定してください。

28.2.13 割り込みステータスレジスタ 0（INTSTS0）

アドレス　USB0.INTSTS0 000A 0040h、USB1.INTSTS0 000A 0240h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
リセット後の値	0	0	0	0/1（注1）	0	0	0	0	0（注2）	0（注3）	0（注3）	0/1（注3）	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージビット	b2　b0 0 0 0：アイドルまたはセットアップステージ 0 0 1：コントロールリードデータステージ 0 1 0：コントロールリードステータスステージ 0 1 1：コントロールライトデータステージ 1 0 0：コントロールライトステータスステージ 1 0 1：コントロールライト（NoData）ステータスステージ 1 1 0：コントロール転送シーケンスエラー 1 1 1：設定しないでください	R
b3	VALID	USBリクエストビット	0：未検出 1：セットアップパケット受信	R/W（注4）
b6-b4	DVSQ[2:0]	デバイスステートビット	b6　b4 0 0 0：Poweredステート 0 0 1：Defaultステート 0 1 0：Addressステート 0 1 1：Configuredステート 1 x x：Suspendedステート 【記号説明】x：Don't care	R
b7	VBSTS	VBUS入力ステータスビット	0：USBm_VBUS端子がLow 1：USBm_VBUS端子がHigh	R
b8	BRDY	バッファレディ割り込みステータスビット	0：BRDY割り込み非発生 1：BRDY割り込み発生	R
b9	NRDY	バッファノットレディ割り込みステータスビット	0：NRDY割り込み非発生 1：NRDY割り込み発生	R
b10	BEMP	バッファエンプティ割り込みステータスビット	0：BEMP割り込み非発生 1：BEMP割り込み発生	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータスビット（注6）	0：コントロール転送ステージ遷移割り込み非発生 1：コントロール転送ステージ遷移割り込み発生	R/W（注4）
b12	DVST	デバイスステート遷移割り込みステータスビット（注6）	0：デバイスステート遷移割り込み非発生 1：デバイスステート遷移割り込み発生	R/W（注4）
b13	SOFR	フレーム番号更新割り込みステータスビット	0：SOF割り込み非発生 1：SOF割り込み発生 （1）ホストコントローラ機能設定時 ソフトウェアがUACTビットを"1"に設定しているとき、フレームナンバーの更新タイミングでSOFRビットに"1"を表示します。（SOFR割り込みは、1ms毎に検出します。） （2）ファンクションコントローラ機能設定時 フレームナンバーの更新時にUSBモジュールはSOFRビットに"1"を表示します。（SOFR割り込みは、1ms毎に検出します。） USBホストからのSOFパケットが破損したときでも、内部補完により、USBモジュールはSOFR割り込みを検出します。	R/W（注4）
b14	RESM	レジューム割り込みステータスビット（注5、注6）	0：レジューム割り込み非発生 1：レジューム割り込み発生	R/W（注4）
b15	VBINT	VBUS割り込みステータスビット（注5）	0：VBUS割り込み非発生 1：VBUS割り込み発生	R/W（注4）

注1.　MCUがリセットされると"0"、USBバスリセットのとき"1"になります。
注2.　USBm_VBUS端子がHighのとき"1"、Lowのとき"0"になります。
注3.　MCUがリセットされると"000b"、USBバスリセットのとき"001b"になります。
注4.　VBINTビット、RESMビット、SOFRビット、DVSTビット、CTRTビットまたはVALIDビットをクリアする場合は、クリアしたいビットにのみ"0"を、その他のビットには"1"を書き込んでください。"0"を示しているステータスビットへの"0"の書き込みを行わないでください。
注5.　VBINTビット、RESMビットが示すステータス変化をクロック停止中（SCKE = "0"）でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。
注6.　RESMビット、DVSTビット、CTRTビットのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを"0"（禁止）に設定してください。

INTSTS0 レジスタは、検出された割り込みのステータスを表示するレジスタです。
USB バスリセットで DVSQ[2:0] ビットは初期化されます。

CTSQ[2:0] ビット（コントロール転送ステージビット）

ホストコントローラ機能選択時、読み出しは無効です。

VALID ビット（USB リクエスト受信ビット）

ホストコントローラ機能選択時、読み出しは無効です。

DVSQ[2:0] ビット（デバイスステートビット）

ホストコントローラ機能選択時、読み出しは無効です。

BRDY ビット（バッファレディ割り込みステータスビット）

BRDY 割り込みステータスが表示されます。

BRDYENB レジスタの PIPEBRDYE ビットを“1”にしたパイプに対応する BRDYSTS レジスタの PIPEnBRDY ビットのうち、少なくともひとつが “1” になったとき（ソフトウェアが BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB モジュールが BRDY 割り込み状態を検出したとき）に、USB モジュールは BRDY ビットに “1” を表示します。

PIPEBRDY ステータスのアサート条件は、「28.3.3.1　BRDY 割り込み」を参照ください。

ソフトウェアが、PIPEBRDYE ビットで許可しているパイプに対応する PIPEnBRDY ビットのすべてに “0” を書くと、USB モジュールは BRDY ビットを “0” にします。

ソフトウェアが BRDY ビットに対して “0” を書いても、BRDY ビットを “0” にすることはできません。

NRDY ビット（バッファノットレディ割り込みステータスビット）

NRDYENB レジスタの PIPENRDYE ビットを “1” にしたパイプに対応する NRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが “1” になったとき（ソフトウェアが NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し USB モジュールが NRDY 割り込み状態を検出したとき）に、USB モジュールは NRDY ビットに “1” を表示します。

PIPENRDY ステータスのアサート条件は、「28.3.3.2　NRDY 割り込み」を参照ください。

ソフトウェアが、PIPENRDYE ビットで許可しているパイプに対応する PIPENRDY ビットのすべてに “0” を書くと、USB モジュールは NRDY ビットを “0” にします。

ソフトウェアが NRDY ビットに対して “0” を書いても、NRDY ビットを “0” にすることはできません。

BEMP ビット（バッファエンプティ割り込みステータスビット）

BEMPENB レジスタの PIPEBEMPE ビットを “1” にしたパイプに対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが “1” になったとき（ソフトウェアが BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し USB モジュールが BEMP 割り込み状態を検出したとき）に、USB モジュールは BEMP ビットに “1” を表示します。

PIPEBEMP ステータスのアサート条件は、「28.3.3.3　BEMP 割り込み」を参照ください。

ソフトウェアが、PIPEBEMPE ビットで許可しているパイプに対応する PIPEBEMP ビットすべてに “0” を書くと、USB モジュールは BEMP ビットを “0” にします。

ソフトウェアが BEMP ビットに対して “0” を書いても、BEMP ビットを “0” にすることはできません。

CTRT ビット（コントロール転送ステージ遷移割り込みステータスビット）

ファンクションコントローラ機能設定時、USB モジュールがコントロール転送のステージ遷移を検出したときに、USB モジュールは CTSQ の値を更新し、CTRT ビットに “1” を表示します。

コントロール転送ステージ遷移割り込みが発生したときには、USB モジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

DVST ビット（デバイスステート遷移割り込みステータスビット）

ファンクションコントローラ機能設定時、USB モジュールがデバイスステートの変化を検出したときに、USB モジュールは DVSQ の値を更新し、DVST ビットに “1” を表示します。

デバイスステート遷移割り込みが発生したときには、USB モジュールが次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

ホストコントローラ機能選択時、読み出し値は無効です。

SOFR ビット（フレーム番号更新割り込みステータスビット）

(1) ホストコントローラ機能設定時

ソフトウェアが DVSTCTR0.UACT ビットを “1” にしているとき、フレームナンバーの更新タイミングで SOFR ビットに “1” を表示します。（フレーム番号更新割り込みは、1ms ごとに検出します。）

(2) ファンクションコントローラ機能設定時

フレームナンバーの更新時に USB モジュールは SOFR ビットに “1” を表示します。（フレーム番号更新割り込みは、1ms ごとに検出します。）

USB ホストからの SOF パケットが破損したときでも、内部補完により、USB モジュールは SOFR 割り込みを検出します。

RESM ビット（レジューム割り込みステータスビット）

ファンクションコントローラ機能設定時、USB モジュールがサスペンド状態（DVSQ = 1xx）であり、かつ、USBm_DP 端子の立ち下りを検出したときに、RESM ビットに “1” を表示します。

ホストコントローラ機能選択時、読み出し値は無効です。

VBINT ビット（VBUS 割り込みステータスビット）

USB モジュールが USBm_VBUS 端子入力値の変化（High から Low への変化あるいは Low から High への変化）を検出したときに、VBINT ビットに “1” を表示します。USB モジュールは USBm_VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

28.2.14　割り込みステータスレジスタ 1（INTSTS1）

アドレス　USB0.INTSTS1 000A 0042h、USB1.INTSTS1 000A 0242h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	–	DTCH	ATTCH	–	–	–	–	EOFERR	SIGN	SACK	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SACK	セットアップトランザクション正常応答割り込みステータスビット	0：SACK割り込み非発生 1：SACK割り込み発生	R/W （注1）
b5	SIGN	セットアップトランザクションエラー割り込みステータスビット	0：SIGN割り込み非発生 1：SIGN割り込み発生	R/W （注1）
b6	EOFERR	EOFエラー検出割り込みステータスビット	0：EOFERR割り込み非発生 1：EOFERR割り込み発生	R/W （注1）
b10-b7	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	ATTCH	ATTCH割り込みステータスビット	0：ATTCH割り込み非発生 1：ATTCH割り込み発生	R/W （注1）
b12	DTCH	USB切断検出割り込みステータスビット	0：DTCH割り込み非発生 1：DTCH割り込み発生	R/W （注1）
b13	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	BCHG	USBバス変化割り込みステータスビット（注2）	0：BCHG割り込み非発生 1：BCHG割り込み発生	R/W （注1）
b15	OVRCR	オーバカレント入力変化割り込みステータスビット（注2）	0：OVRCR割り込み非発生 1：OVRCR割り込み発生	R/W （注1）

注1.　INTSTS1レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書き込んでください。

注2.　OVRCRビットおよびBCHGビットが示すステータス変化をクロック停止中（SCKE = “0”）でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。OVRCRビットおよびBCHGビット以外の割り込みは、クロック停止中（SCKE = “0”）は検出しません。

INTSTS1 レジスタは、ホストコントローラ機能選択時の各割り込みのステータスを確認するレジスタです。

INTSTS1 レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

SACK ビット（セットアップトランザクション正常応答割り込みステータスビット）

ホストコントローラ機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。

USB モジュールが発行した SETUP トランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、USB モジュールは SACK 割り込みを検出し、SACK ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB モジュールは SACK 割り込みを発生します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

SIGN ビット（セットアップトランザクションエラー割り込みステータスビット）

ホストコントローラ機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。

USB モジュールが発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、USB モジュールは SIGN 割り込みを検出し、SIGN ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB モジュールは SIGN 割り込み発生をします。

USB モジュールの SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態で USB モジュールがタイムアウトを検出したとき
- ACK パケットが破損したとき
- ACK 以外のハンドシェイク（NAK、NYET、または STALL）を受信したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

EOFERR ビット（EOF エラー検出割り込みステータスビット）

ホストコントローラ機能選択時、EOFERR 割り込みステータスが表示されます。

USB2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを USB モジュールが検出したときに、EOFERR 割り込みを検出し、EOFERR ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB モジュールは EOFERR 割り込みを発生します。

USB モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの UACT ビットを “0” に変更し表示
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ファンクションコントローラ機能選択時、読み出し値は無効です。

ATTCH ビット（ATTCH 割り込みステータスビット）

ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。

USB モジュールがポートにフルスピード信号レベルの J-State または K-State を 2.5μs 間検出したとき、USB モジュールは ATTCH 割り込みを検出し、ATTCH ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB モジュールは割り込み発生をします。

USB モジュールの ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5μs 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5μs 間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

DTCH ビット（USB 切断検出割り込みステータスビット）

ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。

USB バスディスコネクト検出時に、USB モジュールは DTCH 割り込みを検出し、DTCH ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB モジュールは割り込み発生します。

USB モジュールは、USB 2.0 仕様に準じた基準でバスディスコネクトを検出します。

USB モジュールは、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの UACT ビットを “0” に変更し表示
- DTCH 割り込みが発生したポートをアイドル状態に遷移

ファンクションコントローラ機能選択時、読み出し値は無効です。

BCHG ビット（USB バス変化割り込みステータスビット）

USB バス変化割り込みステータスが表示されます。

USB ポートでフルスピード信号レベルでの状態変化が発生した（J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した）ときに、USB モジュールは BCHG 割り込みを検出し、BCHG ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB モジュールは割り込み発生を発生させます。

USB ポートの現在の入力状態を、SYSSTS0 レジスタの LNST ビットに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

USB バス変化は、内部クロック停止状態でも検出します。

ファンクションコントローラ機能選択時、読み出し値は無効です。

OVRCR ビット（オーバカレント入力変化割り込みステータスビット）

USBm_OVRCURA および USBm_OVRCURB 入力端子の変化割り込みステータスが表示されます。

USBm_OVRCURA または USBm_OVRCURB 端子入力値の少なくともどちらか一方が変化（High から Low への変化あるいは Low から High への変化）したときに、USB モジュールは OVRCR 割り込みを検出し、OVRCR ビットに “1” を表示します。このとき、ソフトウェアが該当する割り込み許可ビットを “1” にしていれば、USB モジュールは割り込みを発生させます。

28.2.15 BRDY 割り込みステータスレジスタ（BRDYSTS）

アドレス　USB0.BRDYSTS 000A 0046h、USB1.BRDYSTS 000A 0246h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	－	－	－	－	－	－	PIPEnBRDY (n=9～0)									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b1	PIPE1BRDY	パイプ1のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b2	PIPE2BRDY	パイプ2のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b3	PIPE3BRDY	パイプ3のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b8	PIPE8BRDY	パイプ8のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b9	PIPE9BRDY	パイプ9のBRDY割り込みステータスビット（注2）	0：割り込み非発生 1：割り込み発生	R/W（注1）
b15-b10	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　BRDYM ="0" の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ "0" を、その他のビットには"1" を書いてください。
注2.　BRDYM ="0"の場合、BRDY割り込みのクリアは、FIFOアクセスを行う前に実施してください。

BRDYSTS レジスタは、各パイプの BRDY 割り込みステータスを表示するレジスタです。

28.2.16 NRDY 割り込みステータスレジスタ（NRDYSTS）

アドレス　USB0.NRDYSTS 000A 0048h、USB1.NRDYSTS 000A 0248h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPEnNRDY (n=9～0)									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b1	PIPE1NRDY	パイプ1のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b2	PIPE2NRDY	パイプ2のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b3	PIPE3NRDY	パイプ3のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b8	PIPE8NRDY	パイプ8のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b9	PIPE9NRDY	パイプ9のNRDY割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注1）
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　NRDYSTSレジスタの各ビットが示すステータスを“0”にする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。

NRDYSTS レジスタは、各パイプの NRDY 割り込みステータスを表示するレジスタです。

28.2.17 BEMP 割り込みステータスレジスタ（BEMPSTS）

アドレス　USB0.BEMPSTS 000A 004Ah、USB1.BEMPSTS 000A 024Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	PIPEnBEMP(n=9～0)									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b1	PIPE1BEMP	パイプ1のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b2	PIPE2BEMP	パイプ2のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b3	PIPE3BEMP	パイプ3のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b8	PIPE8BEMP	パイプ8のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b9	PIPE9BEMP	パイプ9のBEMP割り込みステータスビット	0：割り込み非発生 1：割り込み発生	R/W （注）
b15-b10	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　BEMPSTS レジスタの各ビットが示すステータスを“0”にする場合は、クリアしたいビットにのみ“0”を、その他のビットには“1”を書いてください。

BEMPSTS レジスタは、各パイプの BEMP 割り込みステータスを表示するレジスタです。

28.2.18　フレームナンバーレジスタ（FRMNUM）

アドレス　USB0.FRMNUM 000A 004Ch、USB1.FRMNUM 000A 024Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRN	CRCE	–	–	–	FRNM[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号ビット	USBモジュールは、1msに1回のSOF発行タイミングまたはSOF受信時にFRNM[10:0]ビットを書き替え、最新のフレーム番号を表示します FRNM[10:0]ビットを読み出すときは、2度一致で読み出してください	R
b13-b11	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	CRCE	受信データエラービット	0：エラーなし 1：エラー発生	R/W （注1）
b15	OVRN	オーバラン／アンダーラン検出ステータスビット	0：エラーなし 1：エラー発生	R/W （注1）

注1.　各ステータスを“0”にする場合は、クリアしたいビットに“0”を、その他のビットには“1”を書いてください。

FRMNUM レジスタは、アイソクロナスエラー通知の要因判別およびフレーム番号表示のレジスタです。

CRCE ビット（受信データエラービット）

アイソクロナス転送中のパイプに対するCRCエラーやビットスタッフィングエラーの検出ステータスが表示されます。

ソフトウェアは、CRCE ビットに “0” を書くことにより CRCE ビットを “0” にすることができます。

このとき FRMNUM レジスタの他のビットには “1” を書いてください。

CRC エラーの検出時には、USB モジュールは内部 NRDY 割り込み要求を発生させます。

OVRN ビット（オーバラン／アンダーラン検出ステータスビット）

アイソクロナス転送を行っているパイプに対するオーバラン／アンダーランエラー検出の有無が表示されます。

ソフトウェアは、OVRN ビットに “0” を書くことにより、OVRN ビットを “0” にすることができます。このとき、FRMNUM レジスタの他のビットには “1” を書いてください。

(1) ホストコントローラ機能選択時

以下のいずれかの場合に、USB モジュールが OVRN ビットに “1” を表示します。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき

(2) ファンクションコントローラ機能選択時

以下のいずれかの場合に、USB モジュールが OVRN ビットに “1” を表示します。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき

28.2.19　デバイスステート切り替えレジスタ（DVCHGR）

アドレス　USB0.DVCHGR 000A 004Eh、USB1.DVCHGR 000A 024Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DVCHG	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DVCHG	デバイスステート切り替えビット	0：STSRECOV[3:0]ビットおよびUSBADDRビットへの書き込み無効 1：STSRECOV[3:0]ビットおよびUSBADDRビットへの書き込み許可	R/W

DVCHGR レジスタは、USBADDR.STSRECOV[3:0] ビットおよび USBADDR.USBADDR[6:0] ビットへの書き込み無効／許可を指定するレジスタです。詳細は「9.　消費電力低減機能」の「9.5.4.5　USB によるディープソフトウェアスタンバイモードの解除」を参照してください。

28.2.20 USB アドレスレジスタ（USBADDR）

アドレス USB0.USBADDR 000A 0050h、USB1.USBADDR 000A 0250h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	STSRECOV[3:0]				–	USBADDR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	USBADDR[6:0]	USBアドレスビット	ファンクションコントローラ機能選択時、SET_ADRESSリクエストを正常に処理したときに、ホストから割り付けられたUSBアドレスを表示します	R/W
b7	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	STSRECOV[3:0]	ステータスリカバリービット	b11 b8 ● ファンクションコントローラ機能選択時の復帰 1001：フルスピード状態に復帰（RHST[2:0]=010）、DVST=001（Defaultステート） 1010：フルスピード状態に復帰（RHST[2:0]=010）、DVST=010（Addressステート） 1011：フルスピード状態に復帰（RHST[2:0]=010）、DVST=010（Configuaredステート） 上記以外：設定しないでください ● ホストコントローラ機能選択時の復帰 1000：フルスピード状態に復帰（RHST[2:0]=010） 上記以外：設定しないでください	R/W
b15-b12	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

USBADDR レジスタは、USB アドレスを表示するレジスタです。また、USB 電源遮断から復帰する際、USB の内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。詳細は「9. 消費電力低減機能」の「9.5.4.5 USB によるディープソフトウェアスタンバイモードの解除」を参照してください。

USBADDR[6:0] ビット（USB アドレスビット）

USB モジュールが USB バスリセットを検出したとき、USBADDR[6:0] ビットに 00h を表示します。

DVCHGR.DVCHG ビットを “1” にしているときに書き込み可能となり、USB 電源遮断から復帰時に、ソフトウェアにて遮断前の USB アドレスへ設定することができます。

ホストコントローラ機能選択時、USBADDR[6:0] ビットは無効です。

USBADDR[6:0] ビットは、USB バスリセット検出で初期化されます。

STSRECOV[3:0] ビット（ステータスリカバリービット）

USB電源遮断から復帰するときのUSBの内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。

STSRECOV[3:0] ビットは、DVCHGR.DVCHG ビットを “1” にしているときのみ書き込みが可能です。

28.2.21 USB リクエストタイプレジスタ（USBREQ）

アドレス　USB0.USBREQ 000A 0054h、USB1.USBREQ 000A 0254h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプビット	USB リクエスト bmRequestType の値を格納します • ホストコントローラ機能選択時 送信する SETUP トランザクションの USB リクエストデータ値を設定してください。SUREQ = “1”の状態で BMREQUESTTYPE[7:0] ビットの書き替えは行わないでください • ファンクションコントローラ機能選択時 SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です	R/W（注）
b15-b8	BREQUEST[7:0]	リクエストビット	USB リクエスト bRequest の値を格納します • ホストコントローラ機能選択時 送信する SETUP トランザクションの USB リクエストデータ値を設定してください。SUREQ = “1”の状態で BREQUEST[7:0] ビットの書き替えは行わないでください • ファンクションコントローラ機能選択時 SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です	R/W（注）

注.　ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し／書き込み可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ レジスタは、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

28.2.22 USB リクエストバリューレジスタ（USBVAL）

アドレス　USB0.USBVAL 000A 0056h、USB1.USBVAL 000A 0256h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	USBリクエストwValueの値を格納します ● ホストコントローラ機能を選択時 送信するSETUPトランザクションのUSBリクエストwValueの値を設定してください。 SUREQ = “1”の状態でWVALU[15:0]ビットの書き替えは行わないでください ● ファンクションコントローラ選択時 SETUPトランザクションで受信したUSBリクエストwValueの値を表示します。WVALU[15:0]ビットへの書き込みは無効です	R/W （注1）

注1.　ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し／書き込み可能です。

USBVAL レジスタは、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

28.2.23 USB リクエストインデックスレジスタ（USBINDX）

アドレス　USB0.USBINDX 000A 0058h、USB1.USBINDX 000A 0258h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	USB リクエストwIndexの値を格納します • ホストコントローラ機能を選択時 送信するSETUP トランザクションのUSB リクエストwIndexの値を設定してください。 DCPCTR.SUREQ = “1”の状態でWINDEX[15:0]ビットの書き替えは行わないでください • ファンクションコントローラ選択時 SETUP トランザクションで受信したUSB リクエストwIndexの値を表示します WINDEX[15:0] ビットへの書き込みは無効です	R/W （注1）

注1.　ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し／書き込み可能です。

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDX レジスタは、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

28.2.24 USB リクエストレングスレジスタ（USBLENG）

アドレス　USB0.USBLENG 000A 005Ah、USB1.USBLENG 000A 025Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	USB リクエストwLengthの値を格納します ● ホストコントローラ機能を選択時 送信するSETUP トランザクションのUSB リクエストwLengthの値を設定してください。DCPCTR.SUREQ = “1”の状態でビットの書き換えは行わないでください ● ファンクションコントローラ選択時 SETUP トランザクションで受信したUSB リクエストwLengthの値を表示します。WLENGTH [15:0] ビットへの書き込みは無効です	R/W （注1）

注1.　ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し／書き込み可能です。

USBLENG レジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG レジスタは、ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

USBLENG レジスタは、バスリセットで初期化されます。

28.2.25 DCP コンフィギュレーションレジスタ（DCPCFG）

アドレス　USB0.DCPCFG 000A 005Ch、 USB1.DCPCFG 000A 025Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	SHTNAK	–	–	DIR	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DIR	転送方向設定ビット（注1）	0：データ受信方向 1：データ送信方向	R/W
b6-b5	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット（注1）	0：トランスファ終了時にパイプ継続 1：トランスファ終了時にパイプ禁止	R/W
b15-b8	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1.　設定の変更は、PID = NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

DCPCFG レジスタは、デフォルトコントロールパイプ（DCP）に対して、データの転送方向を指定するレジスタです。

DIR ビット（転送方向設定ビット）

ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。

ファンクションコントローラ機能選択時には、DIR ビットを “0” にしてください。

SHTNAK ビット（トランスファ終了時のパイプ禁止ビット）

コントロール転送が受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。

SHTNAK ビットは、受信方向である場合に有効なビットです。

SHTNAK ビットを “1” にしている場合、USB モジュールは、トランスファの終了を判定したときに DCP の PID ビットを NAK に変更します。USB モジュールは、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常に受信したとき

28.2.26 DCP マックスパケットサイズレジスタ（DCPMAXP）

アドレス　USB0.DCPMAXP 000A 005Eh、USB1.DCPMAXP 000A 025Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEVSEL[3:0]				–	–	–	–	–	MXPS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	マックスパケットサイズビット（注1）	DCPの最大データペイロード（マックスパケットサイズ）をMXPS[6:0]ビットに設定してください。初期値は、40h（64バイト）です。 MXPSビットの設定は、USB規格に準拠した値を設定してください。 MXPS = “0”の設定でのFIFOバッファへの書き込み、またはPID = BUFの設定は行わないでください	R/W
b11-b7	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択ビット（注2）	b15　b12 0 0 0 0：USB アドレス0000 0 0 0 1：USB アドレス0001 0 0 1 0：USB アドレス0010 0 0 1 1：USB アドレス0011 0 1 0 0：USB アドレス0100 0 1 0 1：USB アドレス0101 上記以外：設定しないでください	R/W

注1.　MXPS[6:0]ビットの設定の変更は、PID=NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には、CURPIPEビットへDCPを設定後、BCLR = “1”にてバッファクリア処理を実施してください。

注2.　DEVSELビットの設定の変更は、PID=NAKの状態およびSUREQ=“0”の期間に実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

DCPMAXP レジスタは、DCP に対して、マックスパケットサイズを指定するレジスタです。

DEVSEL[3:0] ビット（デバイス選択ビット）

ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスの USB アドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn（n = 0 ～ 5）レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL[3:0] = 0010 を設定する場合、DEVADD2 レジスタの設定を行ってください。

ファンクションコントローラ機能選択時は、DEVSEL[3:0] ビットの値を “0000b” にしてください。

28.2.27 DCP コントロールレジスタ（DCPCTR）

アドレス　USB0.DCPCTR 000A 0060h、USB1.DCPCTR 000A 0260h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	SUREQ	—	—	SUREQCLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b2	CCPL	コントロール転送終了許可ビット	0：無効 1：コントロール転送終了許可	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジービット	0：DCPはトランザクションで未使用 1：DCPはトランザクションで使用	R
b6	SQMON	シーケンストグルビットモニタビット	0：DATA0 1：DATA1	R
b7	SQSET	トグルビットセットビット（注2）	0：無効 1：DATA1指定	R/W（注1）
b8	SQCLR	トグルビットクリアビット（注2）	0：無効 1：DATA0指定	R/W（注1）
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	SUREQCLR	SUREQビットクリアビット	読むと“0”が読めます。“1”を書くと、SUREQビットを“0”にします。“0”を書いても無効です。	R/W
b13-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	SUREQ	SETUPトークン送出ビット	0：無効 1：セットアップパケット送出	R/W
b15	BSTS	バッファステータスビット	0：バッファアクセス不可能 1：バッファアクセス可能	R

注1.　読むと“0”が読めます。
注2.　SQSETビットおよびSQCLRビットへの“1”書き込みは、PID = NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

DCPCTR レジスタは、DCP に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、および応答 PID の設定を行うレジスタです。

DCPCTR レジスタの CCPL、PID[1:0] ビットは USB バスリセットで初期化されます。

PID[1:0] ビット（応答 PID ビット）

PID[1:0] ビットでコントロール転送における USB モジュールの応答を制御します。

（1）ホストコントローラ機能選択時

以下の手順で PID[1:0] ビットを NAK から BUF に変更してください。

- 送信方向設定時
  UACT =“1” かつ PID = NAK の状態で FIFO バッファに送信データを書き込み完了し、PID = BUF を書き込んでください。PID = BUF の書き込み後、USB モジュールは OUT トランザクションを実行します。
- 受信方向設定時
  UACT =“1” かつ PID = NAK の状態で FIFO バッファが空の状態であることを確認し（空の状態にし）、PID = BUF を書き込んでください。PID = BUF の書き込み後、USB モジュールは IN トランザクションを実行します。

以下の場合に、USB モジュールが PID[1:0] ビットの値を変更します。

- ソフトウェアが PID[1:0] ビットに BUF を設定しているときに、USB モジュールが MaxPacketSize を超えるデータを受信した場合、USB モジュールは PID = STALL（11）を表示します。
- CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB モジュールは PID = NAK を表示します。
- STALL ハンドシェイクを受信した場合、USB モジュールは PID = STALL（11）を表示します。

（2）ファンクションコントローラ機能選択時

以下の場合に、USB モジュールが PID[1:0] ビットの値を変更します。

- USB モジュールが SETUP パケットを受信したときに、USB モジュールは PID[1:0] ビットを PID = NAK に変更します。このとき、USB モジュールは VALID = “1” を表示し、ソフトウェアで VALID = “0” にするまでは、ソフトウェアは PID[1:0] ビットを変更できません。
- ソフトウェアが PID[1:0] ビットに BUF を設定しているときに、USB モジュールが MaxPacketSize を超えるデータを受信した場合、USB モジュールは PID = STALL（11）を表示します。
- USB モジュールがコントロール転送シーケンスエラーを検出した場合、PID = STALL（1x）を表示します。
- USB モジュールが USB バスリセットを検出した場合、PID = NAK を表示します。

SET_ADDRESS リクエスト処理（自動処理）時には、USB モジュールは PID[1:0] ビットの設定値を参照しません。

CCPL ビット（コントロール転送終了許可ビット）

ファンクションコントローラ機能選択時に、CCPL ビットを “1” にすることによりコントロール転送のステータスステージの終了許可を設定します。

対応する PID ビットが BUF のとき、ソフトウェアが CCPL ビットを “1” にすると、USB モジュールはコントロール転送のステージを完了させます。

即ち、コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく USB モジュールは SETUP ステージからステータスステージ完了まで自動応答を行います。

新たな SETUP パケットを受信したときに、USB モジュールは CCPL ビットを “1” から “0” に変更します。

VALID = “1” のとき、ソフトウェアは CCPL ビットへの “1” 書き込みを行うことができません。

ホストコントローラ機能選択時には、CCPL ビットへは “0” を書き込んでください。

PBUSY ビット（パイプビジービット）

DCP が PID ビットを BUF から NAK に変更した場合に、DCP のトランザクションで使用されなくなったかを表示します。

USB モジュールは、当該パイプの USB トランザクションを開始したときに PBUSY ビットを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY ビットを “1” から “0” に変更します。

ソフトウェアが PID = NAK を設定した後、PBUSY ビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「28.3.4.1　パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット（シーケンストグルビットモニタビット）

DCP の転送において、次のトランザクションのシーケンストグルビット値が表示されます。

トランザクションが正常処理すると USB モジュールは SQMON ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、SQMON ビットをトグルさせません。

ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、USB モジュールは SQMON ビットを “1”（期待値を DATA1 に設定）にします。

また、ファンクションコントローラ機能選択時、USB モジュールはステータスステージの IN/OUT トランザクションでは SQMON ビットを参照しません。また正常終了してもトグルさせません。

SQSET ビット（トグルビットセットビット）

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA1 に設定することができます。

SQCLR ビットと SQSET ビットを同時に “1” にしないでください。

SQCLR ビット（トグルビットクリアビット）

DCP の転送において、次のトランザクションのシーケンストグルビット値を DATA0 に設定することができます。SQCLR ビットは常に “0” を表示します。

SQCLR ビットと SQSET ビットを同時に “1” にしないでください。

SUREQCLR ビット（SUREQ ビットクリアビット）

ホストコントローラ機能選択時に、SUREQCLR ビットを “1” にすることによって SUREQ ビットをクリアすることができます。SUREQCLR ビットは常に “0” を表示します。

SETUP トランザクションにおいて、SUREQ = “1” のまま通信が停止したときに、ソフトウェアで SUREQCLR ビットを “1” にしてください。正常な SETUP トランザクションでは、トランザクション終了時に USB モジュールが自動的に SUREQ ビットを “0” にしますので、ソフトウェアによるクリア処理は不要です。

SUREQCLR ビットによる SUREQ ビットの制御は、UACT = “0” による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時、SUREQCLR ビットへは “0” を書いてください。

SUREQ ビット（SETUP トークン送出ビット）

ホストコントローラ機能選択時、SUREQ ビットを “1” にすることにより、セットアップパケットを送信します。

SETUP トランザクション処理終了後、USB モジュールは SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを “0” にします。

また、SUREQCLR ビットをソフトウェアで “1” にすることにより、USB モジュールは SUREQ ビットを “0” にします。

DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを “1” にしてください。SUREQ = “1” にする前に、DCP の PID ビットを NAK に設定していることを確認してください。また、SUREQ ビットを “1” にした後、SETUP トランザクションが終了するまで（SUREQ = “1”）の期間は DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。

SETUP トークンを出すときのみ SUREQ ビットを “1” にしてください。その他のときには、“0” を書いてください。

ファンクションコントローラ機能選択時、SUREQ ビットへは “0” を書いてください。

BSTS ビット（バッファステータスビット）

DCP FIFO バッファへのアクセス可否ステータスが表示されます。

BSTS ビットの意味は、ISEL ビットの設定値により以下のように異なります。

- ISEL = “0” のとき、受信データの読み出しが可能かどうかを表示
- ISEL = “1” のとき、送信データの書き込みが可能かどうかを表示

28.2.28 パイプウィンドウ選択レジスタ（PIPESEL）

アドレス　USB0.PIPESEL 000A 0064h、USB1.PIPESEL 000A 0264h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	–	PIPESEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択	b3　b0 ００００：未選択 ０００１：パイプ1 ００１０：パイプ2 ００１１：パイプ3 ０１００：パイプ4 ０１０１：パイプ5 ０１１０：パイプ6 ０１１１：パイプ7 １０００：パイプ8 １００１：パイプ9 上記以外：設定しないでください	R/W
b15-b4	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PIPESEL レジスタは、パイプ番号を指定するレジスタです。

パイプ 1 ～ 9 の設定は、PIPESEL、PIPECFG、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE および PIPEnTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを設定した後、PIPECFG、PIPEMAXP および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPnTRE、および PIPnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット（パイプウィンドウ選択ビット）

書き込み／読み出しを対象とする PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタに対応するパイプ番号を指定します。

PIPESEL ビットで指定したパイプ番号に対応する PIPECFG、PIPEMAXP、PIPEPERI レジスタの読み出し／書き込みができます。

PIPESEL ビットを “0000b” にしたときは、PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、および PIPEnCTR レジスタの各ビットは、すべて “0” が読めます。書き込みは無効です。

28.2.29 パイプコンフィギュレーションレジスタ（PIPECFG）

アドレス　USB0.PIPECFG 000A 0068h、USB1.PIPECFG 000A 0268h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[1:0]		—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号ビット（注1）	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します	R/W
b4	DIR	転送方向指定ビット（注2、注3）	0：受信方向 1：送信方向	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SHTNAK	トランスファ終了時のパイプ禁止ビット（注1）	0：トランスファ終了時にパイプ継続 1：トランスファ終了時にパイプ禁止	R/W
b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	DBLB	ダブルバッファモードビット（注2、注3）	0：シングルバッファ 1：ダブルバッファ	R/W
b10	BFRE	BRDY割り込み動作指定ビット（注2、注3）	0：データ送受信でBRDY割り込み 1：データ読み出し完了時にBRDY割り込み	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	TYPE[1:0]	転送タイプビット（注1）	● パイプ1、2の場合 b15 b14 0 0：パイプを不使用 0 1：バルク転送 1 0：設定しないでください 1 1：アイソクロナス転送 ● パイプ3～5の場合 b15 b14 0 0：パイプを不使用 0 1：バルク転送 1 0：設定しないでください 1 1：設定しないでください ● パイプ6～9の場合 b15 b14 0 0：パイプ不使用 0 1：設定しないでください 1 0：インタラプト転送 1 1：設定しないでください	R/W

注1.　TYPE[1:0] ビット、SHTNAK ビットおよびEPNUM ビットの設定の変更は、PID=NAK の状態のときに実施してください。選択パイプのPID ビットをBUF からNAK へ変更してから設定変更する場合には、PBUSY = “0” を確認してから変更してください。ただしUSB モジュールがPID ビットをNAK に変更した場合には、ソフトウェアによるPBUSY ビットの確認は必要ありません。

注2.　BFRE ビット、DBLB ビットおよびDIR ビットの設定の変更は、PID = NAK およびCURPIPE[3:0] ビットにパイプ未設定の状態のときに実施してください。選択パイプのPID ビットをBUF からNAK へ変更してから設定変更する場合には、PBUSY = “0” を確認してから変更してください。ただしUSB モジュールがPID ビットをNAK に変更した場合には、ソフトウェアによるPBUSY ビットの確認は必要ありません。

注3.　選択パイプを使用したUSB通信を行った後、BFRE ビット、DBLB ビットおよびDIR ビットの設定を変更する場合には、注2. の注意事項の状態に加え、ソフトウェアでACLRM = “1”、ACLRM = “0” を連続して書き込み、選択パイプに割り付けられたFIFO バッファのクリアを実行してください。

PIPECFG レジスタは、パイプ 1 ～ 9 に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。

EPNUM[3:0] ビット（エンドポイント番号ビット）

選択パイプのエンドポイント番号を指定します。

“0000b” の設定は、未使用パイプを意味します。

DIR ビットと EPNUM ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください。（EPNUM = 0000 の設定は重複可能です。）

DIR ビット（転送方向指定ビット）

選択パイプの転送方向を指定します。

ソフトウェアが DIR ビットを “0” にしている場合、USB モジュールは選択パイプを受信方向に、DIR ビットを “1” にしている場合、USB モジュールは選択パイプを送信方向に使用します。

SHTNAK ビット（トランスファ終了時のパイプ禁止ビット）

選択パイプが受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。

SHTNAKビットは、選択パイプがパイプ1～パイプ5であり、かつ、受信方向である場合に有効なビットです。

受信方向パイプに対してソフトウェアが SHTNAK ビットを “1” にしている場合、USB モジュールは、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PID ビットを NAK に変更します。USB モジュールは、以下条件が満たされたときにトランスファ終了と判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット（ダブルバッファモードビット）

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。

DBLB ビットはパイプ 1 ～ 5 選択時に有効です。

BFRE ビット（BRDY 割り込み動作指定ビット）

USB モジュールから CPU へのの選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアが BFRE ビットを “1” にし、かつ選択パイプを受信方向で使用している場合、USB モジュールは、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、ソフトウェアは BCLR ビットに “1” を書く必要があります。BCLR ビットに “1” を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアが BFRE ビットを “1” にし、かつ、選択パイプを送信方向で使用している場合、USB モジュールは BRDY 割り込みを発生させません。

詳細は、「28.3.3.1　BRDY 割り込み」を参照してください。

TYPE[1:0] ビット（転送タイプビット）

PIPESEL ビットに指定したパイプ（選択パイプ）の転送タイプを指定します。

選択パイプを PID = BUF に設定する（選択したパイプを使用した USB 通信を開始する）前に、TYPE[1:0] ビットを 00b 以外の値に設定してください。

28.2.30 パイプマックスパケットサイズレジスタ（PIPEMAXP）

アドレス　USB0.PIPEMAXP 000A 006Ch、USB1.PIPEMAXP 000A 026Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEVSEL[3:0]				–	–	–	MXPS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0/1(注1)	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	MAXパケットサイズ（注2）	パイプ1、2： 1バイト（001h）～256バイト（100h） パイプ3～5： 8バイト（008h）、16バイト（010h）、 32バイト（020h）、64バイト（040h） （[8:7]ビットおよび[2:0]のビットはありません） パイプ6～9： 1バイト（001h）～64バイト（040h） （[8:7]ビットのビットはありません）	R/W
b11-b9	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b12	DEVSEL[3:0]	デバイス選択（注3）	b3　b0 0 0 0 0：USB アドレス0000 0 0 0 1：USB アドレス0001 0 0 1 0：USB アドレス0010 0 0 1 1：USB アドレス0011 0 1 0 0：USB アドレス0100 0 1 0 1：USB アドレス0101 上記以外：設定しないでください	R/W

注1.　PIPESELレジスタのPIPESELビットでパイプを選択していないとき0000h、選択しているとき0040hです。
注2.　MXPSビットの設定の変更は、PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
注3.　DEVSELビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEMAXP レジスタは、パイプ 1 ～ 9 に対して、マックスパケットサイズを指定するレジスタです。

MXPS[8:0] ビット（MAX パケットサイズビット）

選択パイプの最大データペイロード（マックスパケットサイズ）を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとに USB 規格に準拠した値を設定してください。ただし、パイプ 1、2 の最大値は “256” です。MXPS[8:0] ビットが “0” のとき、FIFO バッファへの書き込み、または PID[1:0] ビットを “01b”（BUF）にしないでください。

DEVSEL[3:0] ビット（デバイス選択ビット）

ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB アドレスを指定します。

DEVSEL[3:0] ビットの設定値に対応する DEVADDn（n = 0 ～ 5）レジスタの設定を行ったあとで、DEVSEL[3:0] ビットを設定してください。例えば、DEVSEL = 0010 を設定する場合、DEVADD2 レジスタの設定を行ってください。

ファンクションコントローラ機能を選択したときは、DEVSEL[3:0] ビットの値を 0000b に設定してください。

28.2.31 パイプ周期制御レジスタ（PIPEPERI）

アドレス　USB0.PIPEPERI 000A 006Eh、USB1.PIPEPERI 000A 026Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	IFIS	–	–	–	–	–	–	–	–	–	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]	インターバルエラー検出間隔ビット	選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。 詳細機能は、後述のようにホストコントローラ機能選択時とファンクションコントローラ機能選択時で異なります。 IITV[2:0]ビットを設定し、USB通信を行った後で別の値に変更する場合には、PID = NAK設定後ACLRM = “1”をセットし、インターバルタイマの初期化を行ってください。 パイプ3～5に対しては、IITV[2:0]ビットは存在しません。パイプ3～5に対応するIITV[2:0]ビットの位置には“000b”を設定してください	R/W
b11-b3	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	IFIS	アイソクロナスINバッファフラッシュビット	0：バッファフラッシュしない 1：バッファフラッシュする	R/W
b15-b13	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注.　IITVビットの設定の変更は、PID=NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PIPEPERI レジスタはパイプ 1 ～ 9 に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IFIS ビット（アイソクロナス IN バッファフラッシュビット）

PIPESEL ビットに指定したパイプ（選択パイプ）がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。

ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV ビットに設定したインターバルごとのフレーム中に USB ホストから IN トークンを USB モジュールが受信しなかった場合に、USB モジュールが自動的に FIFO バッファをクリアする機能です。

ダブルバッファ設定時（DBLB = “1” 設定時）は、USB モジュールがクリアするのは古い方の 1 面分データのみです。

FIFO バッファクリアのタイミングは、IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングにクリアを行います。

ホストコントローラ機能選択時には、IITV[2:0] ビットを “0” にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0] ビットを “0” にしてください。

28.2.32 パイプ n コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）

- PIPEnCTR（n = 1 ～ 5）

アドレス　USB0.PIPE1CTR 000A 0070h、USB0.PIPE2CTR 000A 0072h、USB0.PIPE3CTR 000A 0074h、USB0.PIPE4CTR 000A 0076h、USB0.PIPE5CTR 000A 0078h、USB1.PIPE1CTR 000A 0270h、USB1.PIPE2CTR 000A 0272h、USB1.PIPE3CTR 000A 0274h、USB1.PIPE4CTR 000A 0276h、USB1.PIPE5CTR 000A 0278h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジービット	0：当該パイプはトランザクションで未使用 1：当該パイプはトランザクションで使用	R
b6	SQMON	トグルビット確認ビット	0：DATA0 1：DATA1	R
b7	SQSET	トグルビットセットビット（注2）	0：無効 1：DATA1指定	R/W（注1）
b8	SQCLR	トグルビットクリアビット（注2）	0：無効 1：DATA0指定	R/W（注1）
b9	ACLRM	自動バッファクリアモード（注3）	0：禁止 1：許可（全バッファ初期化）	R/W
b10	ATREPM	自動応答モードビット（注2）	0：自動応答禁止 1：自動応答許可	R/W
b13-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	INBUFM	送信バッファモニタビット	0：バッファメモリに送信可能データなし 1：バッファメモリに送信可能データあり	R
b15	BSTS	バッファステータスビット	0：CPUからのバッファアクセス不可 1：CPUからのバッファアクセス可	R

注1.　読むと“0”が読めます。
注2.　ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは、PID=NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定する場合には、DCPCTR.PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるDCPCTR.PBUSYビットの確認は必要ありません。
注3.　ACLRMビットの設定の変更は、PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、DCPCTR.PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるDCPCTR.PBUSYビットの確認は必要ありません。

PIPEnCTR レジスタはパイプ 1 ～ 9 に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、自動応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答 PID の設定をするレジスタです。PIPEnCTR レジスタの設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PID[1:0] ビット（応答 PID ビット）

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを BUF に変更してください。PID ビット設定値ごとの基本動作（通信パケットにエラーがない場合の動作）は**表 28.8** および**表 28.9** のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを BUF から NAK に変更する場合、NAK を書いた後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために DCPCTR.PBUSY = “1” であることを確認してください。

以下の場合には USB モジュールが PID[1:0] ビットの値を変更します。

- 当該パイプが受信方向の場合、かつソフトウェアが選択パイプの SHTNAK ビットを “1” にしている場合、USB モジュールがトランスファ終了を認識したときに、PID = NAK を表示します。
- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB モジュールは PID = STALL（11b）を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB モジュールは PID = NAK を表示します。
- ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、USB モジュールは PID = NAK を表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB モジュールは PID = STALL（11b）を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK（00b）状態から STALL 状態にする場合には、10b を書き込んでください。
- BUF（01b）状態から STALL 状態にする場合には、11b を書き込んでください。
- STALL（11b）から NAK 状態にする場合には、一度 10b を書き込んでから 00 を書き込んでください。

STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

PBUSY ビット（パイプビジービット）

当該パイプを現在トランザクションで使用中かどうかが表示されます。

USB モジュールは、当該パイプの USB トランザクションを開始したときに PBUSY ビットを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY ビットを “1” から “0” に変更します。

ソフトウェアが PID = NAK を設定した後、PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

詳細は「28.3.4.1　**パイプコントロールレジスタの切り替え手順**」を参照してください。

SQMON ビット（トグルビット確認ビット）

当該パイプの次回トランザクションにおけるシーケンストグルビット値が表示されます。

当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると USB モジュールは SQMON ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、SQMON ビットをトグルさせません。

SQSET ビット（トグルビットセットビット）

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA1 にセットするときに “1” を指定します。

ソフトウェアが SQSET ビットを “1” にすると USB モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB モジュールは、常に SQSET ビットに “0” を表示します。

SQCLR ビット（トグルビットクリアビット）

当該パイプの次回トランザクションにおけるシーケンストグルビット値を DATA0 にクリアするときに “1” を指定します。

ソフトウェアが SQCLR ビットを “1” にすると USB モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB モジュールは、常に SQCLR ビットに “0” を表示します。

ACLRM ビット（自動バッファクリアモードビット）

当該パイプの自動バッファクリアモードの禁止／許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに “1”、“0” を連続して書いてください。

ACLRM ビットに “1”、“0” を連続して設定した場合に USB モジュールがクリアする内容と、当該項目のクリアが必要なケースについて表 28.10 に示します。

ATREPM ビット（自動応答モードビット）

当該パイプの自動応答禁止／許可を指定します。

ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、ATREPM ビットを “1” にすることが可能です。

ATREPM ビットを “1” にした場合、USB ホストからのトークンに対し USB モジュールは以下のように応答します。

(1) 当該パイプがバルク IN 転送（TYPE = “01” かつ DIR = “1” を設定）の場合

ATREPM = “1” かつ PID = BUF にしている場合、IN トークンに対して USB モジュールは Zero-Length パケットを送信します。

USB ホストからの ACK 受信の度に（1 トランザクションは IN トークン受信→ Zero Length パケット送信→ ACK 受信）、USB モジュールはシーケンストグルビット（DATA-PID）の更新（トグル）を行います。

BRDY 割り込み、BEMP 割り込みは発生させません。

(2) 当該パイプがバルク OUT 転送（TYPE = “01” かつ DIR = “0” を設定）の場合

ATREPM = “1” かつ PID = BUF にしている場合、OUT トークンに対して USB モジュールは NAK 応答を行い、NRDY 割り込みを発生させます。

ATREPM ビットを “1” にして USB 通信を行う場合、FIFO バッファは空の状態で設定を行ってください。ATREPMビットを“1”にしてUSB通信を行っている期間はFIFOバッファへの書き込みを行わないでください。

当該パイプの転送タイプがアイソクロナス転送の場合、ATREPM ビットは “0” にしてください。

ホストコントローラ機能選択時には、ATREPM ビットは “0” を書いてください。

INBUFM ビット（送信バッファモニタビット）

当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。

当該パイプを送信方向（DIR = “1”）に設定している場合に、CPU (DTC または DMACA) が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USB モジュールは INBUFM ビットに “1” を表示します。

書き込みが完了している面の FIFO バッファ上のデータを USB モジュールがすべて送信完了したときに、USB モジュールは INBUFM ビットに “0” を表示します。ダブルバッファ使用時（DBLB = “1” 設定時）には、USB モジュールが 2 面分のデータを送信完了しかつ CPU (DTC または DMACA) が 1 面分のデータ書き込みを完了していないときに、INBUFM ビットに “0” を表示します。

当該パイプを受信方向（DIR = “0”）に設定している場合には、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット（バッファステータスビット）

当該パイプの FIFO バッファステータスが表示されます。

BSTS ビットの意味は、DIR、BFRE および DCLRM ビットの設定値により表 28.11 に示すように異なります。

表 28.8　PID ビットによる USB モジュールの動作一覧（ホストコントローラ機能選択時）

PID ビット	転送タイプ	転送方向 （DIR ビット）	USB モジュールの動作
00（NAK）	設定値に依存しない	設定値に依存しない	トークンを発行しない
01（BUF）	バルク または インタラプト	設定値に依存しない	UACT = “1” で、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する UACT = “0” である、または送受信可能でなければトークンを発行しない
	アイソクロナス	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する
10（STALL） または 11（STALL）	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 28.9　PID ビットによる USB モジュールの動作一覧（ファンクションコントローラ機能選択時）

PID ビット	転送タイプ	転送方向 （DIR ビット）	USB モジュールの動作
00（NAK）	バルク、または インタラプト	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う ただし、ATREPM = “1” のときの動作は ATREPM ビットの説明を参照してください
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う
01（BUF）	バルク	受信方向 （DIR = “0”）	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う
	インタラプト	受信方向 （DIR = “0”）	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う
	バルク、または インタラプト	送信方向 （DIR = “1”）	対応する FIFO バッファが送信可能な状態ならば USB ホストからのトークンに対しデータを送信する。送信可能でなければ NAK 応答を行う
	アイソクロナス	受信方向 （DIR = “0”）	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する
		送信方向 （DIR = “1”）	対応する FIFO バッファが送信可能な状態ならば USB ホストからのトークンに対しデータを送信する。送信可能でなければ Zero-Length パケットを送信する
10（STALL） または	バルク、または インタラプト	設定値に依存しない	USB ホストからのトークンに STALL 応答を行う
11（STALL）	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う

表28.10　ACLRM = “1”設定時にUSBモジュールがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容（ダブルバッファ設定時はFIFOバッファを2面ともクリア）	パイプの初期化をしたい場合
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFREビットに関する内部フラグ	BFREビットの設定値変更時
4	FIFOバッファトグル制御	DBLBビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表28.11　BSTSビットの動作

DIRビット	BFREビット	DCLRMビット	BSTSビットの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了したときに“0”を表示します
		1	この組み合わせは設定しないでください
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了した後でソフトウェアがBCLR = “1”を書き込んだときに“0”を表示します
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し、データの読み出しが完了したときに“0”を表示します
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”を表示し、データの書き込みが完了したときに“0”を表示します
		1	この組み合わせは設定しないでください
	1	0	この組み合わせは設定しないでください
		1	この組み合わせは設定しないでください

- PIPEnCTR（n = 6 ～ 9）

アドレス　USB0.PIPE6CTR 000A 007Ah、USB0.PIPE7CTR 000A 007Ch、USB0.PIPE8CTR 000A 007Eh、USB0.PIPE9CTR OOOA 0080h
USB1.PIPE6CTR 000A 027Ah、USB1.PIPE7CTR 000A 027Ch、USB1.PIPE8CTR 000A 027Eh、USB1.PIPE9CTR OOOA 0280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	–	–	–	–	–	ACLRM	SQCLR	SQSET	SQMON	PBUSY	–	–	–	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PIDビット	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b4-b2	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	PBUSY	パイプビジービット	0：当該パイプをUSBバスにて未使用 1：当該パイプはUSBバスにて使用	R
b6	SQMON	トグルビット確認ビット	0：DATA0 1：DATA1	R
b7	SQSET	トグルビットセットビット（注2）	0：無効 1：DATA1指定	R/W（注1）
b8	SQCLR	トグルビットクリアビット（注2）	0：無効 1：DATA0指定	R/W（注1）
b9	ACLRM	自動バッファクリアモードビット（注2、注3）	0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可（全バッファ初期化）	R/W
b14-b10	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	BSTS	バッファステータスビット	0：バッファアクセス不可 1：バッファアクセス可	R

注1.　“0”読み出し、“1”書き込みのみ有効です。
注2.　SQCLRビットまたはSQSETビットへの“1”書き込みは、PID=NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。
注3.　ACLRMビットの設定の変更は、PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には、PBUSY = “0”を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。

PID[1:0] ビット（応答 PID ビット）

当該パイプの次回トランザクションにおける応答方法を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合には PID[1:0] ビットを BUF に変更してください。PID ビットの設定値ごとの基本動作（通信パケットにエラーがない場合の動作）は**表 28.8** および**表 28.9** のとおりです。

当該パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = “1” であることを確認してください。

以下の場合には USB モジュールが PID[1:0] ビットの値を変更します。

- 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、USB モジュールは PID = STALL（11b）を表示します。
- ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、USB モジュールは PID = NAK を表示します。

- ホストコントローラ機能選択時に、CRCエラーなどの受信エラーを3回連続で検出した場合には、USBモジュールはPID = NAKを表示します。
- ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、USB モジュールは PID = STALL（11b）を表示します。

PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK（00b）状態から STALL 状態にする場合には、“10b” を書き込んでください。
- BUF（01b）状態から STALL 状態にする場合には、“11b” を書き込んでください。
- STALL（11b）から NAK 状態にする場合には、一度 “10b” を書き込んでから “00b” を書き込んでください。
- STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

PBUSY ビット（パイプビジービット）

当該パイプを現在 USB バスで使用中かどうかが表示されます。

USB モジュールは、当該パイプの USB トランザクションを開始したときに PBUSY ビットを “0” から “1” に変更します。ひとつのトランザクションが終了したときに PBUSY ビットを “1” から “0” に変更します。

ソフトウェアが PID = NAK を設定した後、PBUSY ビットを読むことにより、パイプ設定変更が可能になったかどうかを確認することができます。

SQMON ビット（トグルビット確認ビット）

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

トランザクションが正常処理すると USB モジュールは SQMON ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、SQMON ビットをトグルさせません。

SQSET ビット（トグルビットセットビット）

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに “1” を指定します。

ソフトウェアが SQSET ビットを “1” にすると USB モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。USB モジュールは、常に SQSET ビットに “0” を表示します。

SQCLR ビット（トグルビットクリアビット）

当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに “1” を指定します。

ソフトウェアが SQCLR ビットを “1” にすると USB モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。USB モジュールは、常に SQCLR ビットに “0” を表示します。

ACLRM ビット（自動バッファクリアモードビット）

当該パイプの自動バッファクリアモードの禁止／許可を指定します。

当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに “1”、“0” を連続して書いてください。

ACLRM ビットに “1”、“0” を連続して設定した場合に USB モジュールがクリアする内容と、当該項目のクリアが必要なケースについて**表 28.12** に示します。

BSTS ビット（バッファステータスビット）

当該パイプの FIFO バッファステータスが表示されます。

BSTS ビットの意味は、DIR、BFRE および DCLRM ビットの設定値により表 28.11 に示すように異なります。

表 28.12　ACLRM = “1”設定時にUSBモジュールがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFREビットに関する内部フラグ	BFREビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

28.2.33 パイプ n トランザクションカウンタイネーブルレジスタ（PIPEnTRE）（n = 1 ～ 5）

アドレス　USB0.PIPE1TRE 000A 0090h、USB0.PIPE2TRE 000A 0094h、USB0.PIPE3TRE 000A 0098h、USB0.PIPE4TRE 000A 009Ch、USB0.PIPE5TRE 000A 00A0h、USB1.PIPE1TRE 000A 0290h、USB1.PIPE2TRE 000A 0294h、USB1.PIPE3TRE 000A 0298h、USB1.PIPE4TRE 000A 029Ch、USB1.PIPE5TRE 000A 02A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	TRENB	TRCLR	–	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TRCLR	トランザクションカウンタクリアビット	0：無効 1：カレントカウンタクリア	R/W
b9	TRENB	トランザクションカウンタ許可ビット	0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効	R/W
b15-b10	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注．　PIPEnTRE レジスタの各ビットの変更は、PID = NAK 時に実施してください。
対応するパイプの PID ビットを BUF から NAK へ変更したあとで各ビットの設定値を変更する場合には、PBUSY = “0” を確認してから各ビットを変更してください。ただし、USB モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEnTRE レジスタは、パイプ 1 ～ 5 に対応するトランザクションカウンタの無効／有効の指定や、カウンタクリアの指定を行うレジスタです。

TRCLR ビット（トランザクションカウンタクリアビット）

当該パイプに対応するトランザクションカウンタの現在のカウント値をクリアし、TRCLR ビットに “0” を表示します。

TRENB ビット（トランザクションカウンタ許可ビット）

トランザクションカウンタ無効／有効を指定します。

受信パイプに対して、ソフトウェアで TRNCNT ビットに総パケット数を設定した後で TRENB ビットを “1” にすると、USB モジュールは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

- SHTNAK = “1” のとき、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応するパイプの PID ビットを NAK に変更します。
- BFRE = “1” のとき、TRNCNT ビットの設定値と同数のパケット受信し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします

送信パイプについては、TRENB ビットを “0” にしてください。

トランザクションカウント機能を使用しない場合は、TRENB ビットに “0” を設定してください。

トランザクションカウント機能を使用する場合、TRENB ビットを “1” にする前に TRNCNT ビットの設定を行ってください。また、トランザクションカウントの対象となる最初のパケットを受信する前に TRENB ビットを “1” にしてください。

28.2.34 パイプ n トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5）

アドレス　USB0.PIPE1TRN 000A 0092h、USB0.PIPE2TRN 000A 0096h、USB0.PIPE3TRN 000A 009Ah、USB0.PIPE4TRN 000A 009Eh、USB0.PIPE5TRN 000A 00A2h、USB1.PIPE1TRN 000A 0292h、USB1.PIPE2TRN 000A 0296h、USB1.PIPE3TRN 000A 029Ah、USB1.PIPE4TRN 000A 029Eh、USB1.PIPE5TRN 000A 02A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	• レジスタ書き込み時： DMA転送のトランザクション回数を設定します • レジスタ読み出し時： TRENB = “0”の場合は、設定したトランザクション回数が表示されます。 TRENB = “1”の場合は、カウント中のトランザクション回数が表示されます	R/W

PIPEnTRN レジスタは、パイプ 1 ～ 5 に対応するトランザクションカウンタです。
PIPEnTRN レジスタは、USB バスリセットで設定値が保持されます。

TRNCNT[15:0] ビット（トランザクションカウンタビット）

USB モジュールは、受信時の状態が以下のすべて満たしたときに TRNCNT ビットを “1” インクリメントします。

- TRENB = “1” である
- パケット受信時に（TRNCNT 設定値≠現在のカウント値 +1）である
- 受信したパケットのペイロードが MXPS ビットへの設定値と一致した

USB モジュールは、以下のいずれかの条件が満たされたときに TRNCNT ビットの表示を “0” にします。

(1) 以下の条件がすべて満たされたとき
- TRENB = “1” である
- パケット受信時に（TRNCNT 設定値 = 現在のカウント値 +1）である
- 受信したパケットのペイロードが MXPS ビットへの設定値と一致した

(2) 以下条件がすべて満たされたとき
- TRENB = “1” である
- ショートパケットを受信した

(3) 以下の条件がすべて満たされたとき
- TRENB = “1” である
- ソフトウェアが TRCLR ビットを “1” にした

送信パイプついては、TRNCNT ビットを “0” にしてください。
トランザクションカウント機能を使用しない場合は、TRNCNT ビットを “0” にしてください。
TRNCNT ビットのトランザクション回数の設定は、PIPEnTRE レジスタの TRENB が “0” のときのみ可能です。また、トランザクション回数設定値を変更する場合には、開始（TRENB=“1”）前に PIPEnTRE レジスタの TRCLR ビットに “1” 書き込み（カレントカウンタ値のクリア）を行ってください。

28.2.35 デバイスアドレス n コンフィグレーションレジスタ（DEVADDn）（n = 0 ～ 5）

アドレス　USB0.DEVADD0 000A 00D0h、USB0.DEVADD1 000A 00D2h、USB0.DEVADD2 000A 00D4h、USB0.DEVADD3 000A 00D6h、USB0.DEVADD4 000A 00D8h、USB0.DEVADD5 000A 00DAh、USB1.DEVADD0 000A 02D0h、USB1.DEVADD1 000A 02D2h、USB1.DEVADD2 000A 02D4h、USB1.DEVADD3 000A 02D6h、USB1.DEVADD4 000A 02D8h、USB1.DEVADD5 000A 02DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	USBSPD[1:0]		–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5～b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	USBSPD[1:0]	通信対象デバイスの転送速度ビット	b7 b6 0 0：DEVADDn レジスタ未使用 0 1：設定しないでください 1 0：フルスピード 1 1：設定しないでください	R/W
b15-b8	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DEVADDn レジスタは、パイプ 0 ～ 9 に対して、通信対象の周辺デバイスが接続されている通信速度を指定するレジスタです。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、DEVADDn レジスタの各ビットを設定してください。

DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下両方の条件を満たしているパイプです。

- DEVSEL ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプのPIDビットにBUFを設定しているとき、または選択パイプがDCPでありSUREQ = “1”になっている

USBSPD[1:0] ビット（通信対象デバイスの転送速度ビット）

通信対象の周辺デバイスの USB 転送速度を設定します。

HUB 経由でフルスピードデバイスが接続されたときには、「10b」にしてしてください。

ホストコントローラ機能選択時、USB モジュールは、USBSPD[1:0] ビットの設定値を参照してパケットを生成します。

ファンクションコントローラ機能選択時、「00b」にしてください。

28.2.36 ディープスタンバイ USB トランシーバ制御／端子モニタレジスタ（DPUSR0R）

アドレス　000A 0400h

	b31	b30	b29	b28	b27	b26	b25	b24
	DVBSTS1	—	DOVCB1	DOVCA1	—	—	DM1	DP1
リセット後の値	x	0	x	x	0	0	x	x

	b23	b22	b21	b20	b19	b18	b17	b16
	DVBSTS0	—	DOVCB0	DOVCA0	—	—	DM0	DP0
リセット後の値	x	0	x	x	0	0	x	x

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	FIXPHY1	—	—	—	SRPC1
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FIXPHY0	—	—	—	SRPC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SRPC0	USB0シングルエンドレシーバ制御	0：DP / DMの入力は禁止状態となる 1：DP / DMの入力は許可状態となる	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FIXPHY0	USB0 トランシーバ出力固定	0：通常時、およびディープソフトウェアスタンバイから復帰時 1：ディープソフトウェアスタンバイへの移行時	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SRPC1	USB1シングルエンドレシーバ制御	0：DP/DMの入力は禁止状態となる 1：DP/DMの入力は許可状態となる	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	FIXPHY1	USB1トランシーバ出力固定	0：通常時、およびディープソフトウェアスタンバイから復帰時 1：ディープソフトウェアスタンバイへの移行時	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	DP0	USB0 DP 入力	USBポート0側のDP入力信号を表示します	R
b17	DM0	USB0 DM入力	USBポート0側のDM入力信号を表示します	R
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	DOVCA0	USB0 OVRCURA入力	USBポート0側のOVRCURA入力信号を表示します	R
b21	DOVCB0	USB0 OVRCURB入力	USBポート0側のOVRCURB入力信号を表示します	R
b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23	DVBSTS0	USB0 VBUS入力	USBポート0側のVBUS入力を表示します	R
b24	DP1	USB1 DP入力	USBポート1側のDP入力信号を表示します	R
b25	DM1	USB1 DM入力	USBポート1側のDM入力信号を表示します	R
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	DOVCA1	USB1 OVRCURA 入力	USBポート1側のOVRCURA入力信号を表示します	R
b29	DOVCB1	USB1 OVRCURB入力	USBポート1側のOVRCURB入力信号を表示します	R
b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	DVBSTS1	USB1 VBUS入力	USBポート1側のVBUS入力を表示します	R

DPUSR0R レジスタは、USB 内蔵トランシーバのデータ制御および USB 端子モニタを行うレジスタです。

SRPCn ビット（USBn シングルエンドレシーバ制御ビット）(n=0,1)

USB ポート n 側のトランシーバの DP/DM 入力制御を行います。
FIXPHYn ビットが “1” のときに有効となります。

FIXPHYn ビット（USBn PHY 出力固定ビット）(n=0,1)

USB ポート n 側のトランシーバ出力を固定します。

28.2.37 ディープスタンバイ USB サスペンド／レジューム割り込みレジスタ（DPUSR1R）

アドレス　000A 0404h

	b31	b30	b29	b28	b27	b26	b25	b24
	DVBINT1	—	DOVRCRB1	DOVRCRA1	—	—	DMINT1	DPINT1
リセット後の値	0	0	0	0	0	0	0	0

	b23	b22	b21	b20	b19	b18	b17	b16
	DVBINT0	—	DOVRCRB0	DOVRCRA0	—	—	DMINT0	DPINT0
リセット後の値	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8
	DVBSE1	—	DOVRCRBE1	DOVRCRAE1	—	—	DMINTE1	DPINTE1
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	DVBSE0	—	DOVRCRBE0	DOVRCRAE0	—	—	DMINTE0	DPINTE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DPINTE0	USB0 DP割り込み許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b1	DMINTE0	USB0 DM割り込み許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOVRCRAE0	USB0 OVRCURA割り込み許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b5	DOVRCRBE0	USB0 OVRCURB割り込み許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DVBSE0	USB0 VBUS割り込み許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b8	DPINTE1	USB1 DP割り込み 許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b9	DMINTE1	USB1 DM割り込み 許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	DOVRCRAE1	USB1 OVRCURA割り込み許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b13	DOVRCRBE1	USB1 OVRCURB割り込み許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	DVBSE1	USB1 VBUS割り込み許可／クリアビット	0：ディープソフトウェアスタンバイからの復帰を禁止 1：ディープソフトウェアスタンバイからの復帰を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b16	DPINT0	USB0 DP割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b17	DMINT0	USB0 DM割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b19-18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	OVRCURAINT0	USB0 OVRCURA割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b21	OVRCURBINT0	USB0 OVRCURB割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23	DVBINT0	USB0 VBUS割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b24	DPINT1	USB1 DP割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b25	DMINT1	USB1 DM割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	DOVRCRA1	USB1 OVRCURA割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b29	DOVRCRB1	USB1 OVRCURB割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R
b30	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	DVBINT1	USB1 VBUS割り込み要因による復帰表示ビット	0：ディープソフトウェアスタンバイからの復帰なし 1：ディープソフトウェアスタンバイからの復帰あり	R

DPUSR1R レジスタは、ディープソフトウェアスタンバイ状態から USB のサスペンド／レジューム割り込みにより復帰するための制御レジスタです。復帰する要因の許可の設定と復帰要因の表示、クリアを行います。

DPINTEn ビット（USBn DP 割り込み許可／クリアビット）(n=0, 1)

USB ポート n 側の DP 入力によるディープソフトウェアスタンバイからの復帰を許可／禁止します。

DPINTn ビットが “1” のときに DPINTEn ビットに “0” を書くことにより、DPINTn ビットが “0” になります。

DMINTEn ビット（USBn DM 割り込み許可／クリアビット）(n=0, 1)

USB ポート n 側の DM 入力によるディープソフトウェアスタンバイからの復帰を許可／禁止します。

DMINTn ビットが “1” のときに DMINTEn ビットに “0” を書くことにより、DMINTn ビットが “0” になります。

DOVRCRAEn ビット（USBn OVRCURA 割り込み許可／クリアビット）(n=0, 1)

USBポートn側のOVRCURA入力によるディープソフトウェアスタンバイからの復帰を許可／禁止します。

DOVRCRAn ビットが “1” のときに DOVRCRAEn ビットに “0” を書くことにより、DOVRCRAn ビットが “0” になります。

DOVRCRBEn ビット（USBn OVRCURB 割り込み許可／クリアビット）(n=0,1)

USBポートn側のOVRCURB入力によるディープソフトウェアスタンバイからの復帰を許可／禁止します。

DOVRCRBn ビットが “1” のときに DOVRCRBEn ビットに “0” を書くことにより、DOVRCRBn ビットが “0” になります。

DVBSEn（USBn VBUS 割り込み許可／クリアビット）(n=0, 1)

USB ポート n 側の VBUS 入力によるディープソフトウェアスタンバイからの復帰を許可／禁止します。

DVBINTn ビットが “1” のときに DVBSEn に “0” を書くことにより、DVBINTn ビットが “0” になります。

DPINTn ビット（USBn DP 割り込み要因による復帰表示ビット）(n=0, 1)

USB ポート n 側の DP 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DPINTEn ビットが “1” のときのみ、USB ポート n 側の DP 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DPINTn ビットが “1” のときに DPINTEn ビットに “0” を書くことにより “0” にクリアされます。

DMINTn ビット（USBn DM 割り込み要因による復帰表示ビット）(n=0,1)

USB ポート n 側の DM 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DMINTEn ビットが “1” のときのみ、USB ポート n 側の DM 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DMINTn ビットが “1” のときに DMINTEn ビットに “0” を書くことにより “0” にクリアされます。

DOVRCRAn ビット（USBn OVRCURA 割り込み要因による復帰表示ビット）(n=0, 1)

USB ポート n 側の OVRCURA 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DOVRCRAEn ビットが “1” のときのみ、USB ポート n 側の OVRCURA 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DOVRCRAn ビットが “1” のときに DOVRCRAEn ビットに “0” を書くことにより “0” になります。

DOVRCRBn ビット（USBn OVRCURB 割り込み要因による復帰表示ビット）(n=0, 1)

USB ポート n 側の OVRCURB 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DOVRCRBEn ビットが “1” のときのみ、USB ポート n 側の OVRCURB 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DOVRCRBn ビットが “1” のときに DOVRCRBEn ビットに “0” を書くことにより “0” になります。

DVBINTn ビット（USBn VBUS 割り込み要因による復帰表示ビット）(n=0, 1)

USB ポート n 側の VBUS 入力が要因でディープソフトウェアスタンバイから復帰したことを表示します。DVBSEn ビットが “1” のときのみ、USB ポート n 側の VBUS 入力が要因でディープソフトウェアスタンバイからの復帰が可能となります。

DVBINTn ビットが “1” のときに DVBSEn ビットに “0” を書くことにより “0” になります。

28.3 動作説明

28.3.1 システム制御

USB モジュールの初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

28.3.1.1 動作開始

USB モジュールへのクロック供給が開始された（SYSCFG.SCKE = “1”）状態で、SYSCFG.USBE ビットを “1” にすることにより、動作が許可され、USB モジュールは動作を開始します。

28.3.1.2 コントローラ機能の選択設定

USB モジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFM ビットで行います。ただし、DCFM ビットの設定は、リセット解除直後の初期設定時、または D+ のプルアップと D+/D– のプルダウンがともに禁止（SYSCFG.DPRPU = 0 かつ DRPD = 0）のときに行ってください。

28.3.1.3　USB 外部接続回路例

図 28.2 にセルフパワード時の USB コネクタの OTG 接続例（USB0）を示します。

USB モジュールは、D+ 信号のプルアップ抵抗と D+、D- 信号のプルダウン抵抗の許可信号を制御します。SYSCFG.DPRPU ビット、SYSCFG.DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に SYSCFG.DPRPU ビットに “0” を設定した場合は、USB データラインのプルアップ抵抗をディスエーブルにしますので、USB ホストにデバイスの切断を通知することができます。

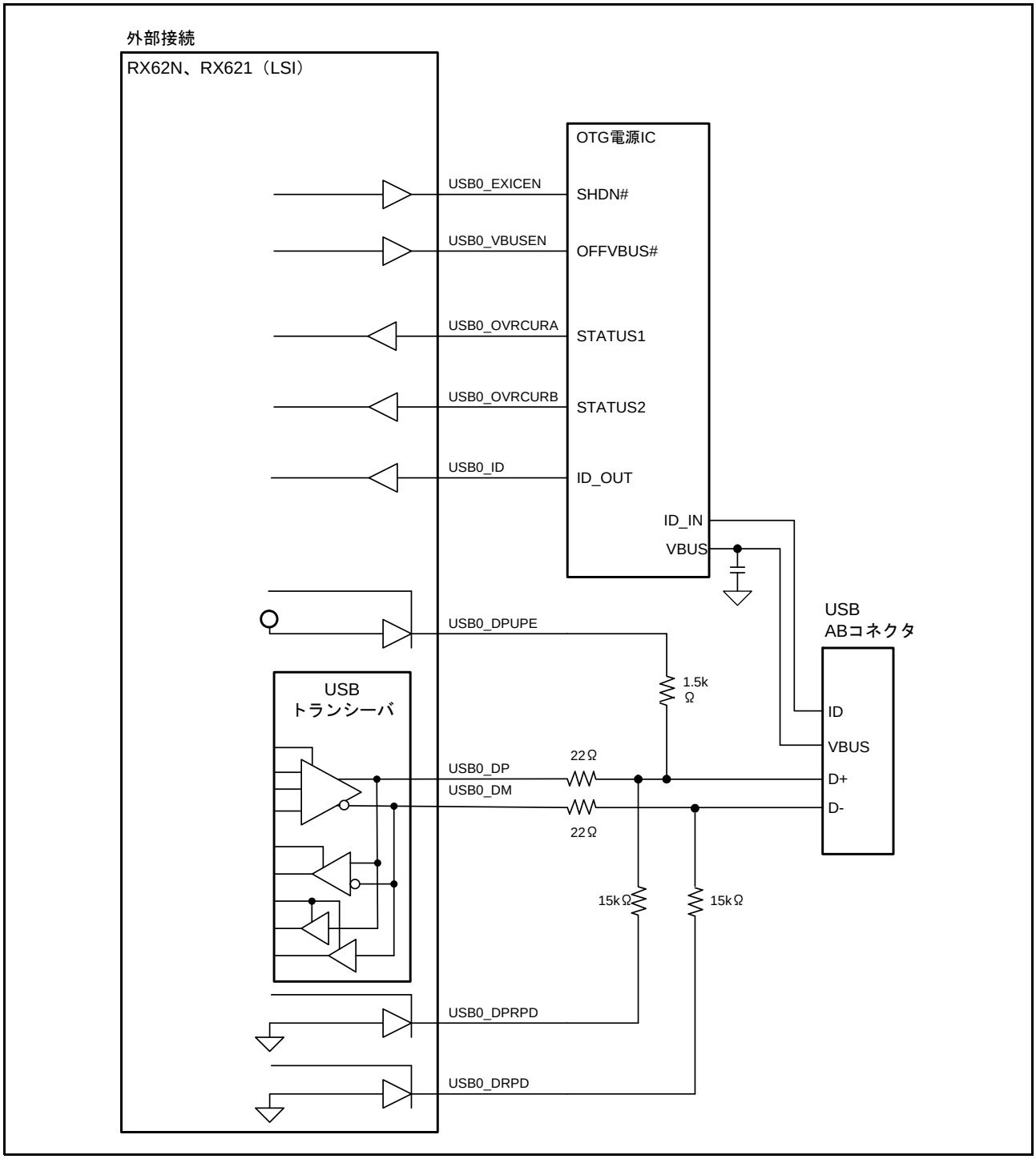


図 28.2　セルフパワード時の USB コネクタの OTG 接続例（USB0）

図 28.3 にセルフパワード時の USB コネクタのファンクション接続例（USB0）を示します。

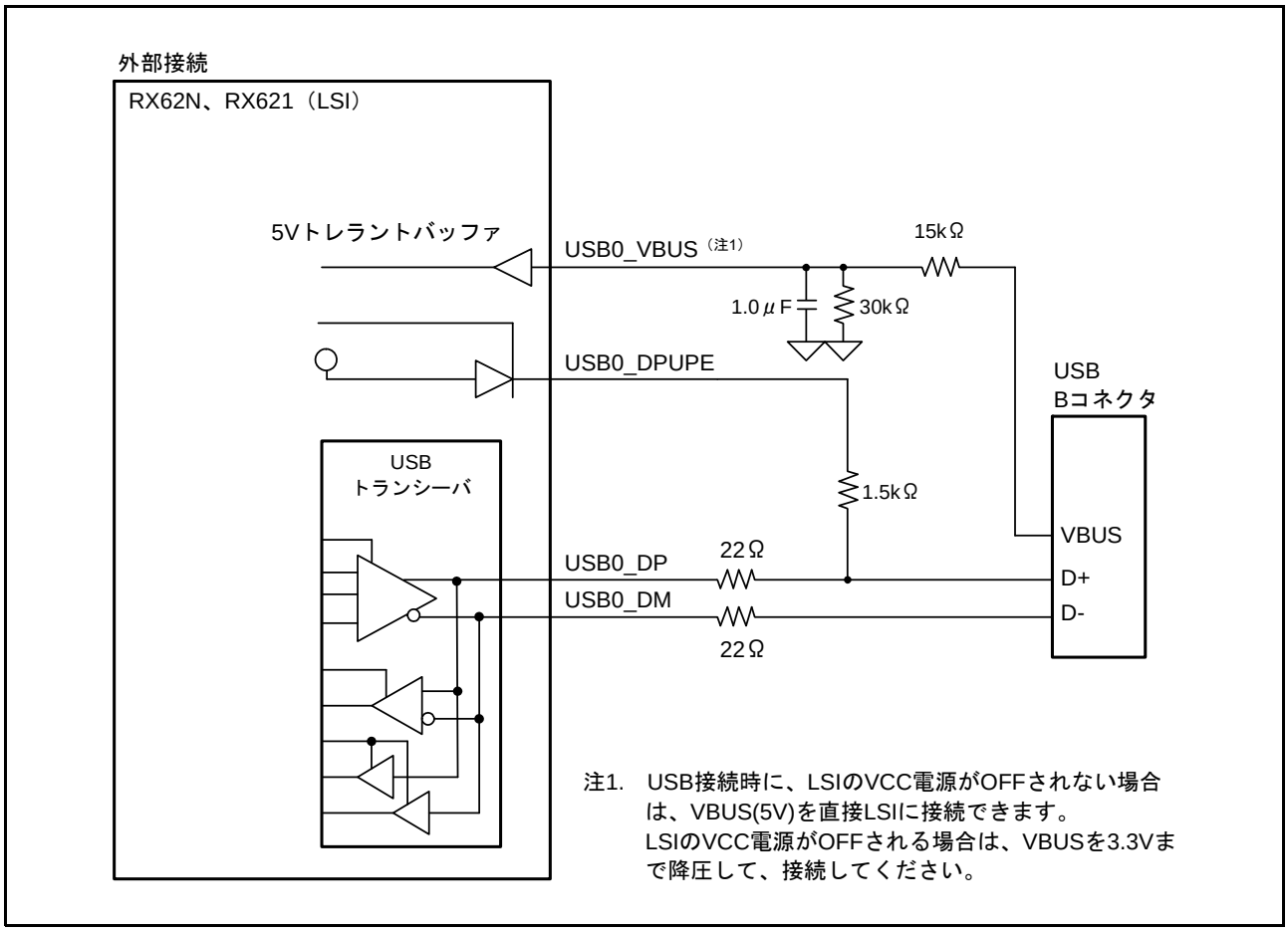


図 28.3　　セルフパワード時の USB コネクタのファンクション接続例（USB0）

図 28.4 に USB コネクタのホスト接続例（USB0）を示します。

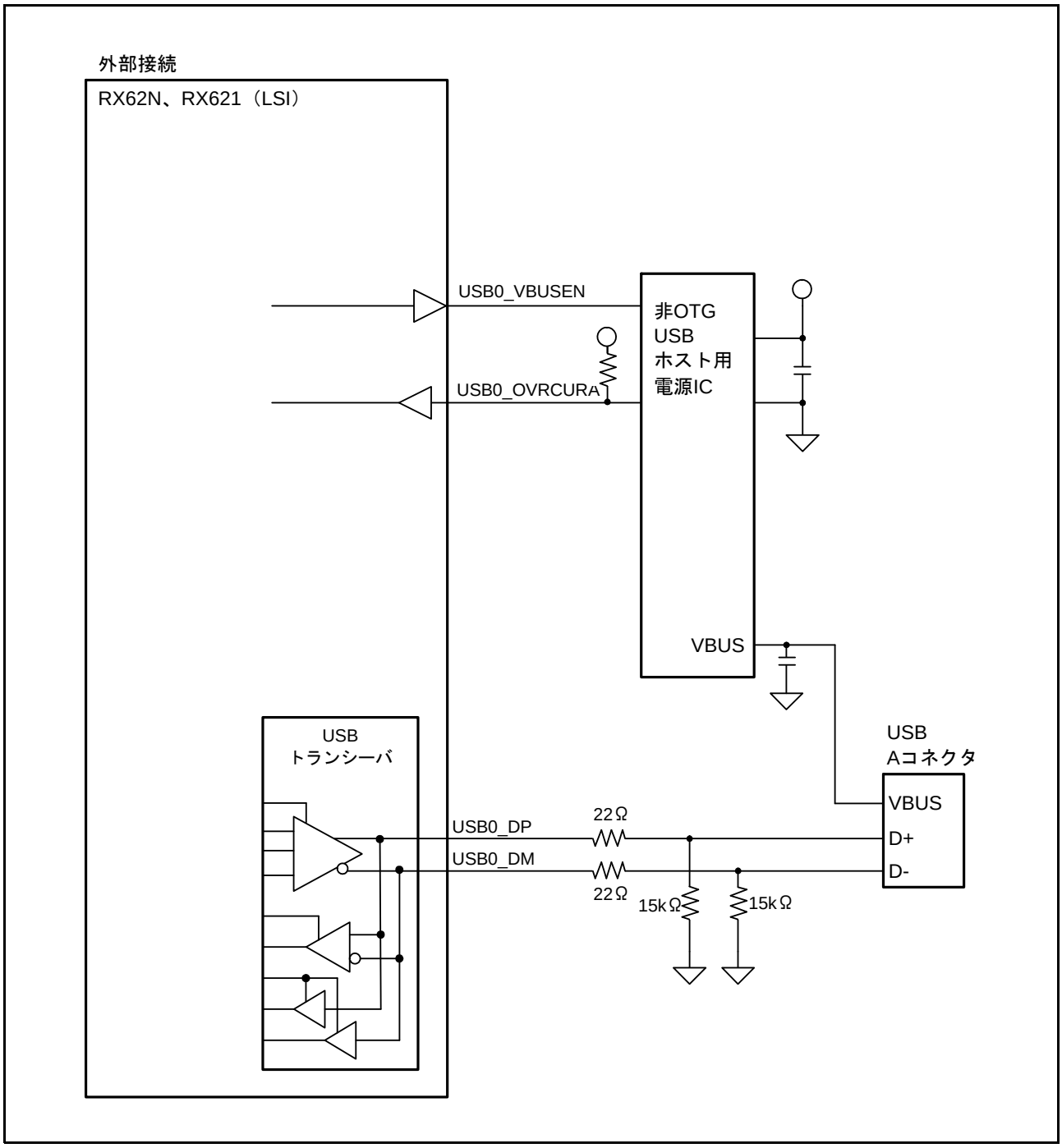


図 28.4　USB コネクタのホスト接続例（USB0）

図 28.5 にバスパワード時の USB コネクタのファンクション接続例（USB0）を示します。

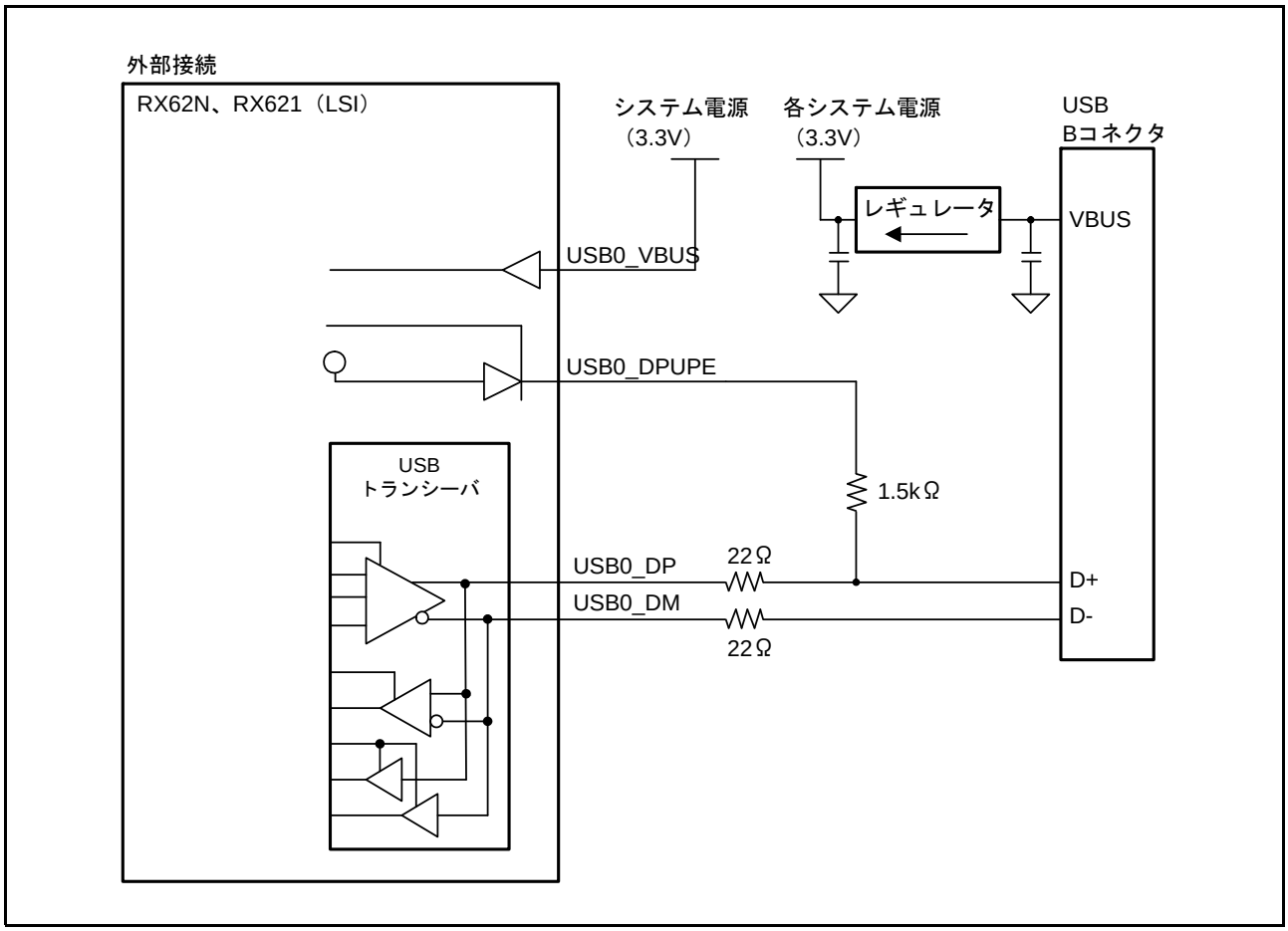


図 28.5　バスパワード時の USB コネクタのファンクション接続例（USB0）

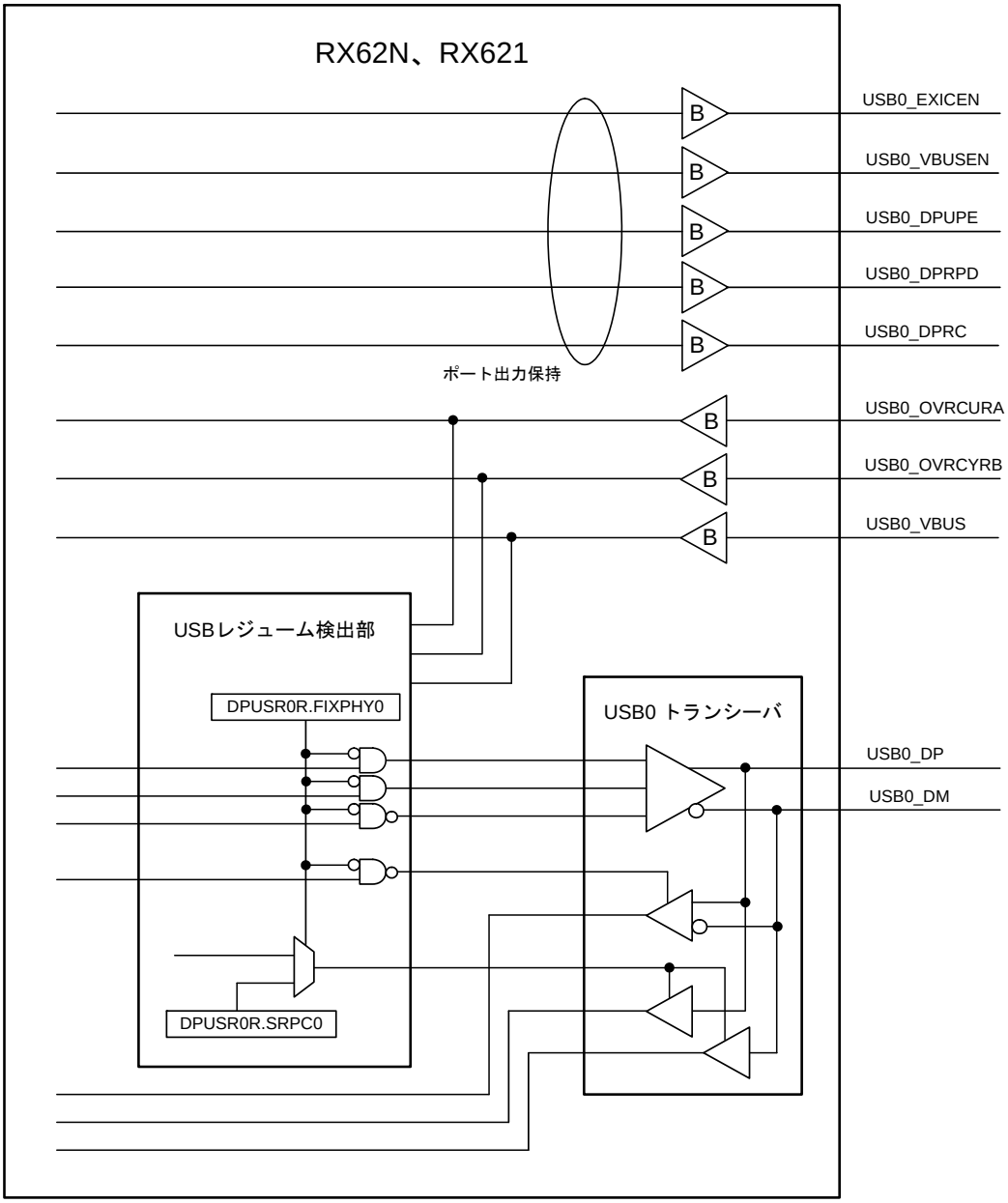
本章に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作保証するものではありません。

28.3.1.4 USB サスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、USB のサスペンド／レジューム割り込みにより解除することが可能です。

USB のサスペンド／レジューム割り込みの検出は、USB レジューム検出部で行います。USB レジューム検出部は、USB0、USB1 用の入出力端子の制御およびモニタを行ない、サスペンド／レジューム割り込みを検出します。

図 28.6 に USB レジューム検出部と USB0、USB1 用入出力端子の接続概略図を示します。



注1.　USB1も同様の接続となります。
注2.　USBレジューム検出部は、USB0とUSB1の両方を制御します。

図 28.6　USB レジューム検出部と USB0、USB1 用入出力端子の接続概略図

USB のサスペンド／レジューム割り込みの要因と入出力端子の対応を表 28.13 に示します。

表28.13　USBのサスペンド／レジューム割り込みの要因と入出力端子の対応

USB動作モード	要因	端子名
Function/OTG	レジューム	USB0_DP / USB1_DP
Host/OTG	接続／切断	USB0_DP / USB0_DM USB1_DP / USB1_DM
Function	接続／切断	USB0_VBUS / USB1_VBUS
Host	過電流検出	USB0_OVRCURA / USB1_OVRCURA
OTG	過電流検出	USB0_OVRCURA / USB0_OVRCURB USB1_OVRCURA / USB1_OVRCURB

ディープソフトウェアスタンバイモードの解除をUSBのサスペンド／レジューム割り込みでを行なう場合は、DPSBYCR.IOKEEP ビットを設定し、I/O ポートの出力保持を行なう必要があります。

図 28.7 に HOST/Function 時のディープソフトウェアスタンバイ遷移時の USB 設定フローを示します。図 28.8 に HOST 時のディープソフトウェアスタンバイ解除時の USB 設定フローを示します。図 28.9 に Function 時のディープソフトウェアスタンバイ解除時の USB 設定フローを示します。

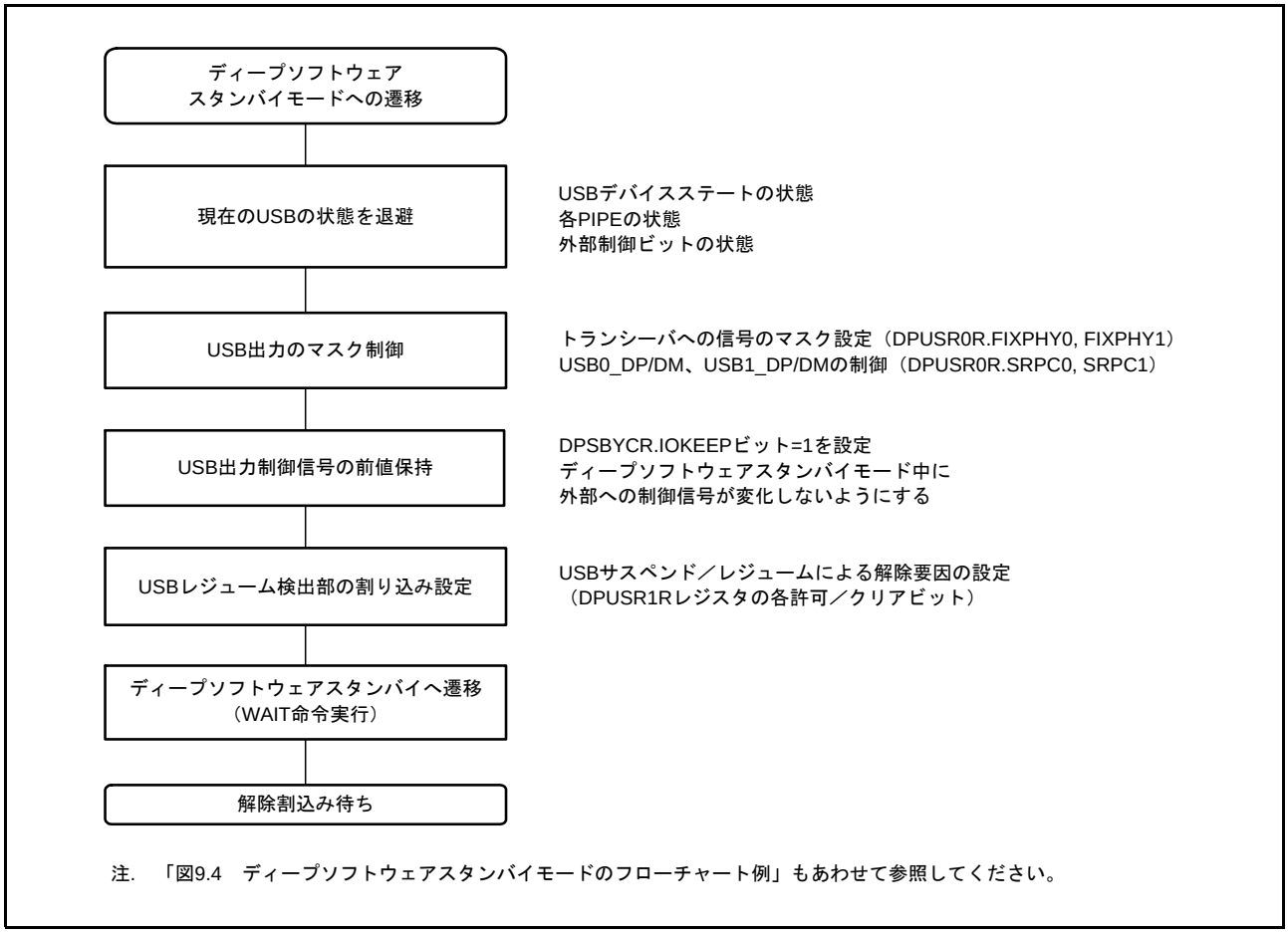
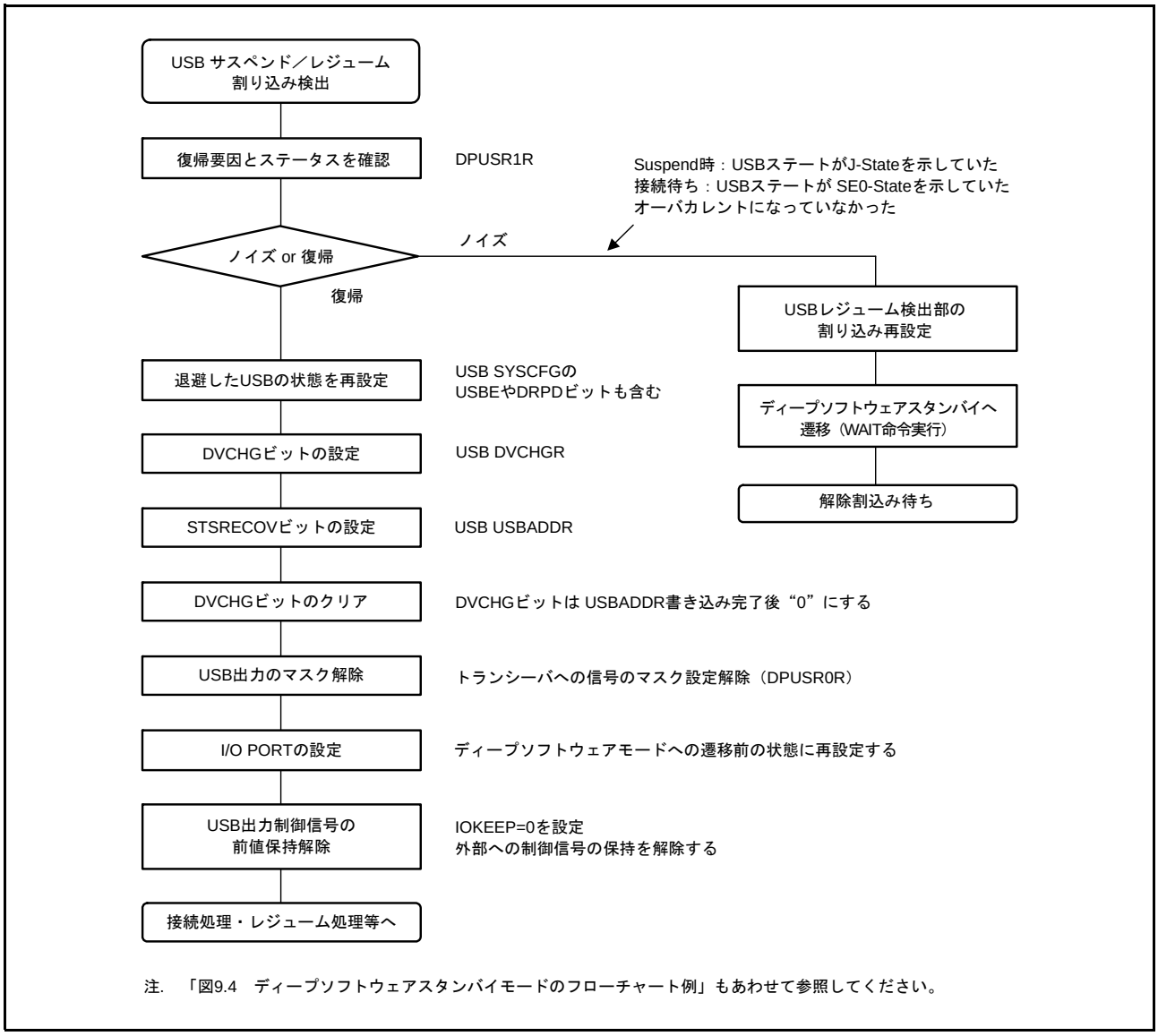


図 28.7　HOST/Function 時のディープソフトウェアスタンバイ遷移時の USB 設定フロー



注.　「図9.4　ディープソフトウェアスタンバイモードのフローチャート例」もあわせて参照してください。

図 28.8　HOST 時のディープソフトウェアスタンバイ解除時の USB 設定フロー

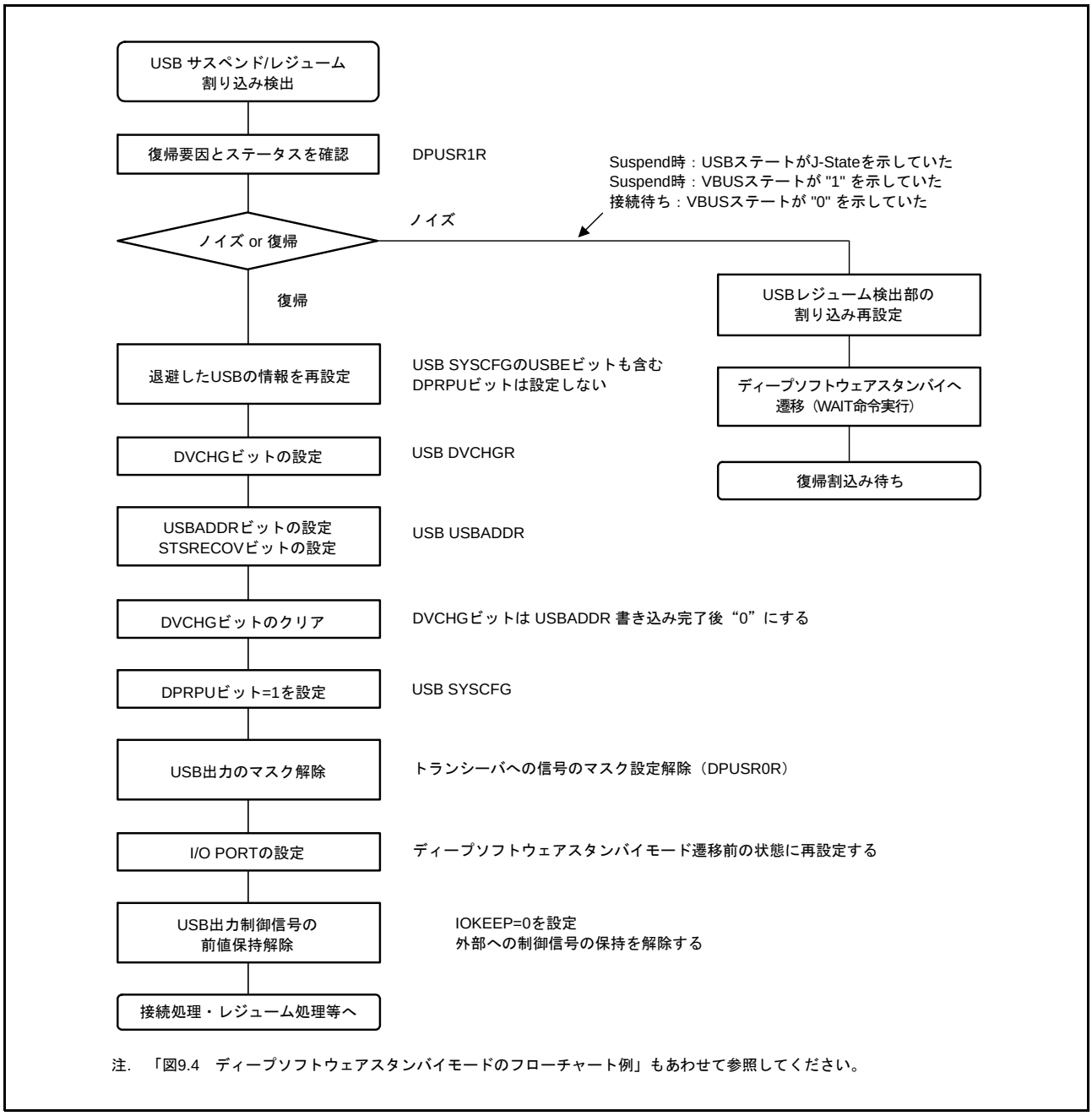


図 28.9　Function 時のディープソフトウェアスタンバイ解除時の USB 設定フロー

28.3.2 割り込み要因

表 28.14 に USB モジュールの割り込み要因一覧を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USB は割り込みコントローラ（ICU）に対して USB 割り込み要求を発行し、USB 割り込みが発生します。

表28.14　割り込み要因一覧

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	• USBm_VBUS入力端子の状態変化を検出したとき（Low→High、High→Lowの両方の変化）	ホスト／ファンクション（注1）	VBSTS
RESM	レジューム割り込み	• サスペンド状態においてUSBバスの状態変化を検出したとき（J-State→K-StateまたはJ-State→SE0）	ファンクション	－
SOFR	フレーム番号更新割り込み	［ホストコントローラ機能選択時］ • フレーム番号の異なるSOFパケットを送信したとき ［ファンクションコントローラ機能選択時］ • フレーム番号の異なるSOFパケットを受信したとき	ホスト／ファンクション	－
DVST	デバイスステート遷移割り込み	• デバイスステートの遷移を検出したとき（以下） USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信	ファンクション	DVSQ
CTRT	コントロール転送ステージ遷移割り込み	• コントロール転送のステージ遷移を検出したとき（以下） セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	ファンクション	CTSQ
BEMP	バッファエンプティ割り込み	• バッファメモリ中の全データを送信してバッファが空になったとき • マックスパケットサイズを超えたパケットを受信したとき	ホスト／ファンクション	BEMPSTS.PIPEBEMP
NRDY	バッファノットレディ割り込み	［ホストコントローラ機能選択時］ • 発行したトークンに対して周辺デバイス側からのSTALLを受信したとき • 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき（無応答が3回連続、またはパケット受信エラーが3回連続） • アイソクロナス転送時にオーバラン／アンダーランが発生したとき ［ファンクションコントローラ機能選択時］ • PIDビット＝BUFを設定しているときに、INトークン／OUTトークンに対してNAKを応答したとき • アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフエラーが発生したとき • アイソクロナス転送でデータ受信時にオーバラン／アンダーランが発生したとき	ホスト／ファンクション	NRDYSTS.PIPENRDY
BRDY	バッファレディ割り込み	• バッファがレディ（リードまたはライト可能状態）になったとき	ホスト／ファンクション	BRDYSTS.PIPEBRDY
OCRCR	オーバカレント変化割り込み	• USBm_OVRCURAおよびUSBm_OVRCURB入力端子の状態変化を検出したとき（Low→High、High→Lowの両方の変化）	ホスト	OVCMON
BCHG	バス変化割り込み	• USBバスステートの変化を検出したとき	ホスト／ファンクション	SYSSTS0.LNST
DTCH	フルスピード動作時切断検出	• フルスピード動作時周辺デバイスの切断を検出したとき	ホスト	DCSTCTR0.RHST
ATTCH	デバイス接続検出	• USBバスステートが2.5μs連続したJ-STATE、または2.5μs連続したK-STATEを検出したとき。周辺デバイスの接続検出に使用可能。	ホスト	－
EOFERR	EOFエラー検出	• 周辺デバイスのEOFエラーを検出	ホスト	－
SACK	SETUP正常	• セットアップトランザクションの正常応答（ACK）を受信したとき	ホスト	－

表28.14　割り込み要因一覧

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
SIGN	SETUPエラー	● セットアップトランザクションのエラー（無応答またはACKパケット破損）を3回連続で検出したとき	ホスト	ー

注.　レジスタ名が示されていないビットのレジスタはすべてINTSTS0レジスタを表しています。
注1.　本割り込みは、ホスト機能時も発生しますが、通常ホスト機能時には使用しません。

図28.10にUSBmの割り込み関連図を示します。

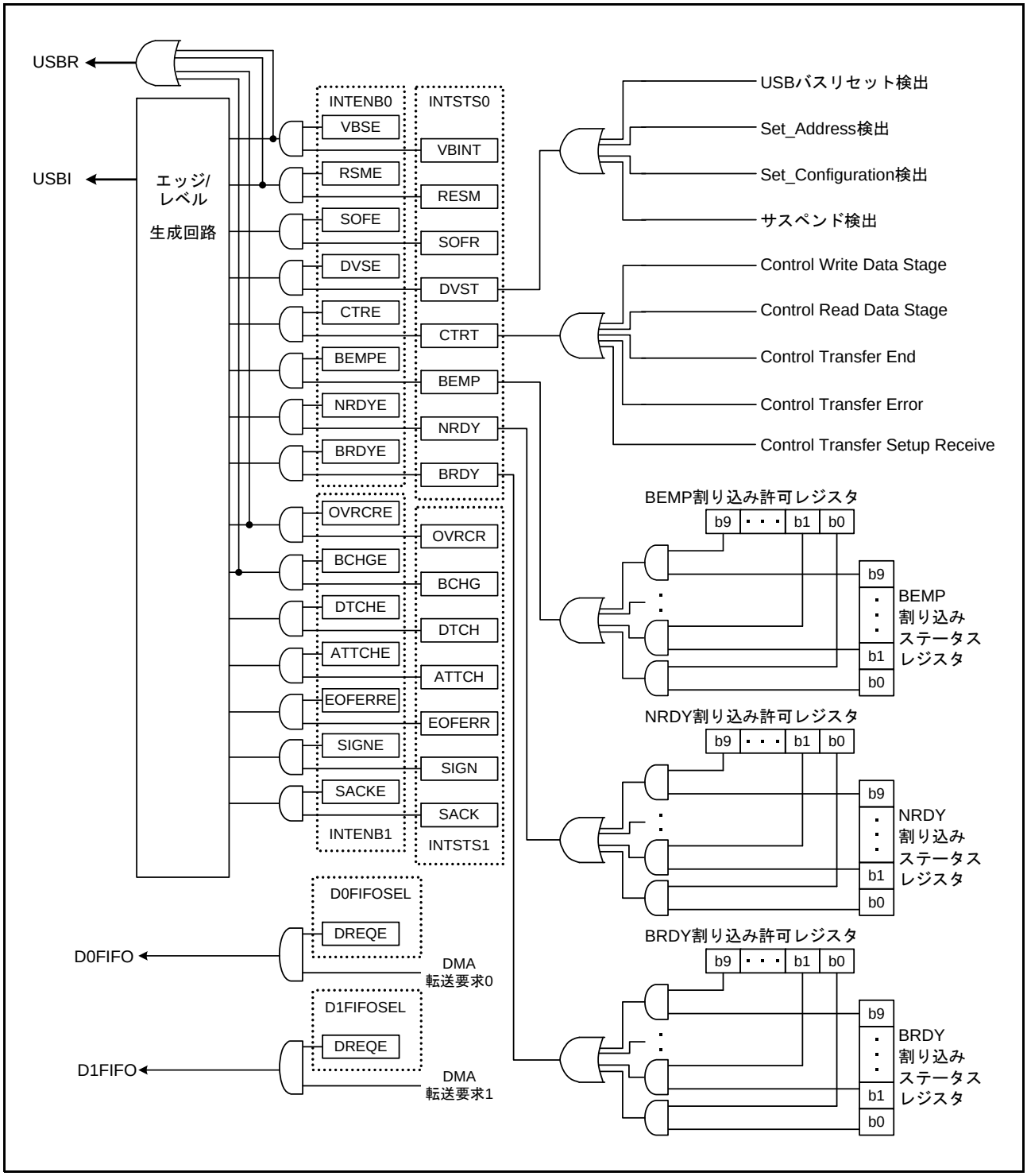


図28.10　割り込みの関連図

表 28.15 に USBm の割り込み一覧を示します。（m = 0, 1）

表28.15　USBmの割り込み一覧

割り込み名称	割り込みフラグ	DTCの起動	DMACAの起動	優先順位
D0FIFO	DMA転送要求0	可	可	高
D1FIFO	DMA転送要求1	可	可	↑
USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバカレント変化割り込み、バス変化割り込み、フルスピード動作時切断検出、デバイス接続検出、EOFエラー検出、SETUP正常、SETUPエラー	不可	不可	
USBR（注1）	VBUS割り込み、レジューム割り込み、オーバカレント変化割り込み、バス変化割り込み	不可	不可	低

注1.　全モジュールクロックストップモードおよびソフトウェアスタンバイモードの解除が可能です。

28.3.3 割り込みの説明

28.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラ、ファンクションコントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、USB モジュールは BRDYSTS レジスタの該当ビットを “1” にします。このとき、ソフトウェアが当該パイプに対応する BRDYENB レジスタの PIPEBRDYE ビットを “1” にし、かつ、INTENB0 レジスタの BRDYE ビットを “1” にしていれば、USB モジュールは BRDY 割り込みを発生させます。

BRDY 割り込みは、BRDYM ビットおよび各パイプの BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(1) BRDYM = “0” かつ BFRE = “0” 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USB モジュールは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する PIPEBRDY ビットに “1” を表示します。

【送信方向に設定したパイプの場合】

- ソフトウェアが DIR ビットを “0” から “1” に変更したとき。
- 当該パイプに割り付けたFIFOバッファへのCPUからの書き込みが不可状態のとき（BSTSビット読み出し値が “0” のとき）に、USB モジュールが当該パイプのパケット送信を完了したとき。
- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ書き込み完了時にもう一方のFIFOバッファが空であったとき。
- FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき。
- ACLRM ビットに “1” を書くことより、FIFOバッファが書き込み不可能な状態から書き込み可能な状態になったとき。

DCP に対しては（すなわち、コントロール転送でのデータ送信においては）要求トリガは発生しません。

【受信方向に設定したパイプの場合】

- 当該パイプに割り付けたFIFOバッファへのCPUからの読み出しが不可状態のとき（BSTSビット読み出し値が “0” のとき）に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったときデータ PID ミスマッチのトランザクションに対し、要求トリガは発生しません。
- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき
  読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では BRDY 割り込みは発生しません。

ソフトウェアは、当該パイプに対応する BRDYSTS レジスタの PIPEBRDY ビットに “0” を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを “0” にすることができます。このとき、他のパイプに対応するビットには “1” を書いてください。

この割り込みステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) BRDYM = “0” かつ BFRE = “1” 設定時

この設定の場合、USB モジュールは、受信パイプにおいて 1 トランスファ分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、BRDYSTS レジスタの当該パイプに対応するビットに “1” を表示します。

USBモジュールは、以下のいずれかのときに1トランスファにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- トランザクションカウンタ（TRNCNT ビット）を使用し、TRNCNT ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USB モジュールは 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケット受信した場合は、Zero-Length パケットデータが CPU 側へトグルされた時点で、USB モジュールは 1 トランスファ分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応する FIFOCTR レジスタの BCLR ビットにソフトウェアで “1” を書いてください。

この設定の場合には、USB モジュールは送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアは、当該パイプに対応するPIPEBRDYビットに“0”を書くことにより、当該パイプのPIPEBRDY割り込みステータスを “0” にすることができます。このとき他のパイプに対応するビットには “1” を書いてください。

このモードを使用するときには、トランスファ分の処理を終了するまで BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

図 28.11 に、BRDY 割り込み発生タイミング図を示します。

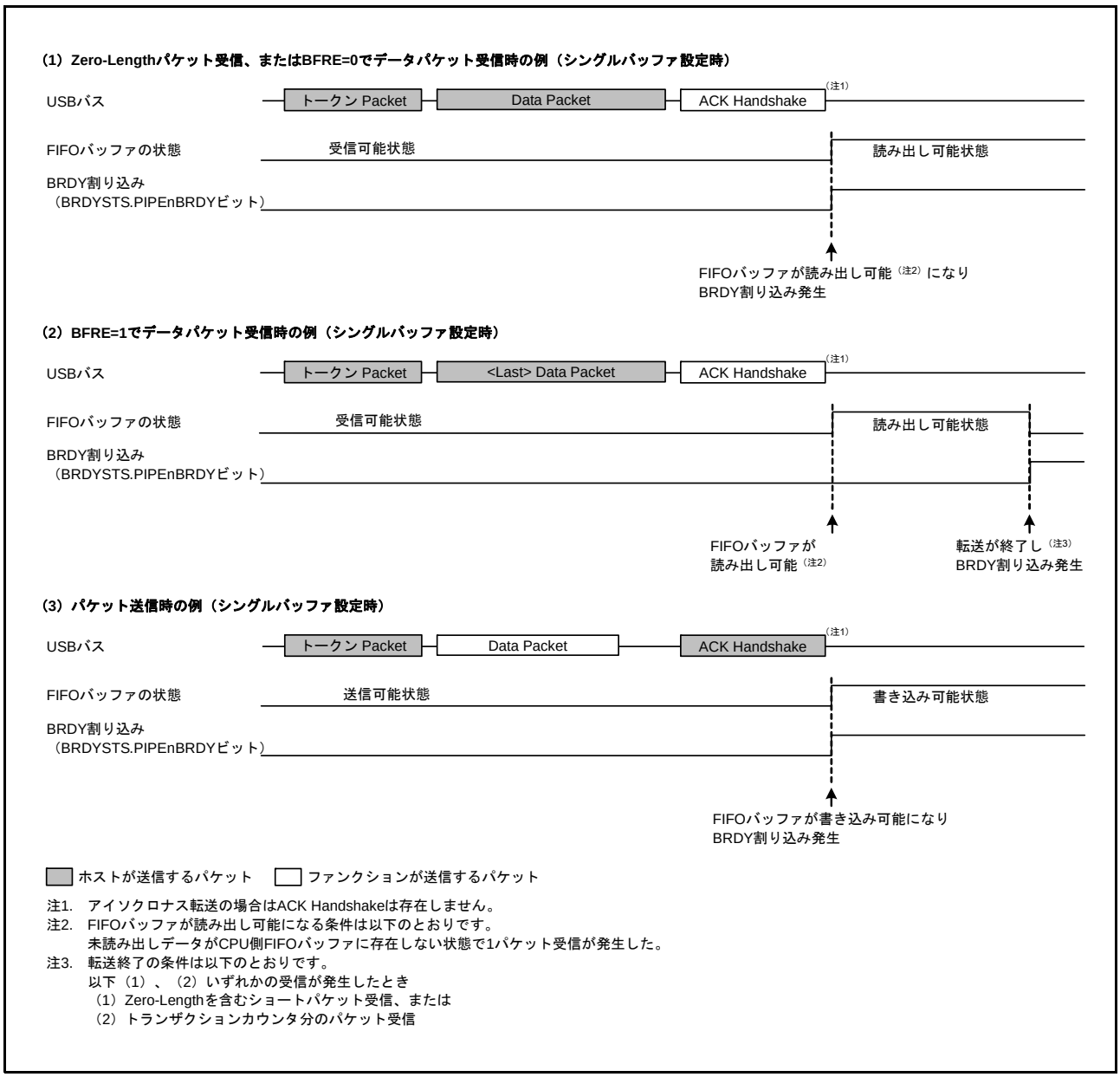


図 28.11　BRDY 割り込み発生タイミング図

USB モジュールが INTSTS0 レジスタの BRDY ビットをクリアする条件は、SOFCFG.BRDYM ビットの設定値によって異なります。表 28.16 に BRDY ビットクリア条件表を示します。

表28.16　BRDYビットクリア条件表

BRDYM	BRDYビットのクリア条件
0	ソフトウェアがBRDYSTSレジスタの全ビットを“0”にすると、 USBモジュールはINTSTS0レジスタのBRDYビットを“0”にします
1	全パイプのBSTSビットが “0”になったときに、USBモジュールは INTSTS0レジスタのBRDYビットを“0”にします

28.3.3.2 NRDY 割り込み

ソフトウェアが PID = BUF に設定したパイプに対して、USB モジュールが内部 NRDY 割り込み要求を発生させた場合に、USB モジュールは NRDYSTS.PIPENRDY ビットの対応するビットに “1” を表示します。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットを “1” にしている場合、USB モジュールは INTSTS0 レジスタの NRDY ビットに “1” を表示し、USB 割り込みを発生させます。

USB モジュールが、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当せず、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(1) ホストコントローラ機能選択時

- **送信方向パイプの場合**

USB モジュールは、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき
  このとき、USB モジュールは OUT トークンに続けて Zero-Length パケットを送信し、PIPENRDY ビットの対応するビットに “1” を表示し、OVRN ビットにも “1” を表示します。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、周辺デバイスが無応答（周辺デバイスからの Handshake パケットを検出しないままタイムアウトを検出 した場合）、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき
  このとき、USB モジュールは、PIPENRDY ビットの対応するビットに “1” を表示し、対応するパイプの PID ビットを NAK に変更します。
- SETUP トランザクション以外の通信において、周辺デバイスから STALL Handshake を受信したとき
- このとき USB モジュールは、PIPENRDY ビットの対応するビットに “1” を表示し、対応するパイプの PID ビットを STALL（“11b”）に変更します。

- **受信方向パイプの場合**

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに空きがない状態で IN トークン発行タイミングに達したとき
  このとき USB モジュールは、IN トークンに対する受信データを破棄し、当該パイプに対応する PIPENRDY ビットに “1” を表示し、OVRN ビットにも “1” を表示します。
  更に、IN トークンに対する受信データにパケットエラーを検出した場合には、CRCE ビットにも “1” を表示します。
- 転送タイプがアイソクロナス転送以外のパイプで、USB モジュールが発行した IN トークンに対して周辺デバイスが無応答（周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出した場合）、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき。
  このとき USB モジュールは、当該パイプに対応する PIPENRDY ビットに “1” を表示し、対応するパイプの PID ビットを NAK に変更します。

- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスが無応答（周辺デバイスからの DATA パケットを検出しないままタイムアウトを検出した場合）、または周辺デバイスからのパケットにエラーを検出したとき。
  このとき USB モジュールは、当該パイプに対応する PIPENRDY ビットに “1” を表示します（対応するパイプの PID ビットの変更は行いません）。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーを検出したとき。
  このとき USB モジュールは、当該パイプに対応する PIPENRDY ビットに “1” を表示し、CRCE ビットに “1” を表示します。
- STALL Handshake を受信したとき。
  このとき USB モジュールは、当該パイプに対応する PIPENRDY ビットに “1” を表示し、対応するパイプの PID ビットを STALL に変更します。

(2) ファンクションコントローラ機能選択時

- **送信方向パイプの場合**
- FIFO バッファに送信データがない状態で IN トークンを受信したとき
  IN トークン受信時に USB モジュールは NRDY 割り込み要求を発生させ PIPENRDY ビットに “1” を表示します。
  割り込み発生パイプの転送タイプがアイソクロナスの場合、USB モジュールは Zero-Length パケットを送信し、OVRN ビットに “1” を表示します。
- **受信方向パイプの場合**
- FIFO バッファに空きがない状態で OUT トークンを受信したとき
  割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USB モジュールは NRDY 割り込み要求を発生させ、PIPENRDY ビットに “1” を表示し、OVRN ビットに “1” を表示します。
  割り込み発生パイプの転送タイプがアイソクロナス以外の場合、USB モジュールは、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPENRDY ビットに “1” を表示します。
  ただし、再送時（DATA-PID ミスマッチ発生時）には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき SOF 受信のタイミングで USB モジュールは、NRDY 割り込み要求を発生させ、PIPENRDY ビットに “1” を表示します。

図 28.12 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

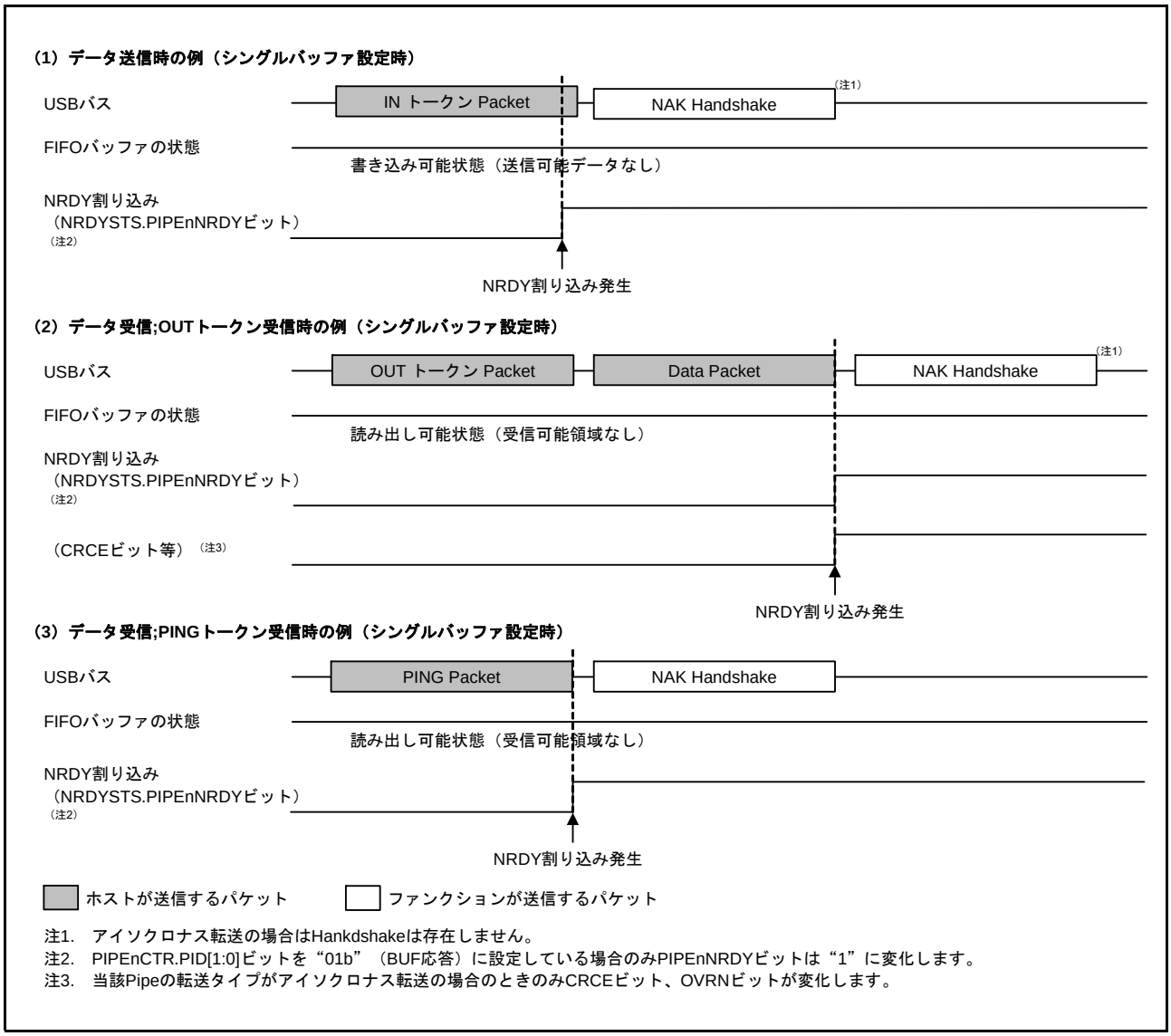


図 28.12　NRDY 割り込み発生タイミング図（ファンクションコントローラ機能選択時）

28.3.3.3 BEMP 割り込み

ソフトウェアが PID = BUF に設定したパイプに対して、USB モジュールが、BEMP 割り込みを検出した場合に、USB モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに “1” を表示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットに “1” が設定されている場合、USB モジュールは INTSTS0 レジスタの BEMP ビットに “1” を表示し、USB 割り込みが発生します。

以下の場合に、USB モジュールは内部 BEMP 割り込み要求を発生させます。

- **送信方向パイプの場合**
- 送信完了時（Zero-Length パケットの送信時を含む）に、対応するパイプの FIFO バッファが空のとき
  シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。
  ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。
- ダブルバッファ設定時に、1 面分のデータ送信完了時に CPU (DTC または DMACA) が CPU 側の FIFO バッファに対する書き込みを開始している場合
- また、ACLRM ビットまたは BCLR ビットに “1” を書くことによるバッファクリア（エンプティ）。
- ファンクションコントローラ機能設定時、コントロール転送 Status ステージの IN 転送（Zero-Length パケット送信）時

- **受信方向パイプの場合**
  MaxPacketSize の設定値より大きなデータサイズを正常受信したとき。
  この場合、USB モジュールは、BEMP 割り込み要求を発生させ、BEMPSTS.PIPEnBEMP ビットの対応するビットに “1” を表示し、受信データを破棄し、対応するパイプの PID ビットを STALL（“11b”）に変更します。
  このとき USB モジュールは、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。
  ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。
- 受信データに CRC エラー、またはビットスタッフィングエラー等を検出したとき
- SETUP トランザクション実行時
  BEMPSTS.PIPEnBEMP ビットに “0” を書くことにより、ステータスをクリアすることができます。
  BEMPSTS.PIPEnBEMP ビットに “1” を書いても、動作に影響ありません。

図 28.13 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

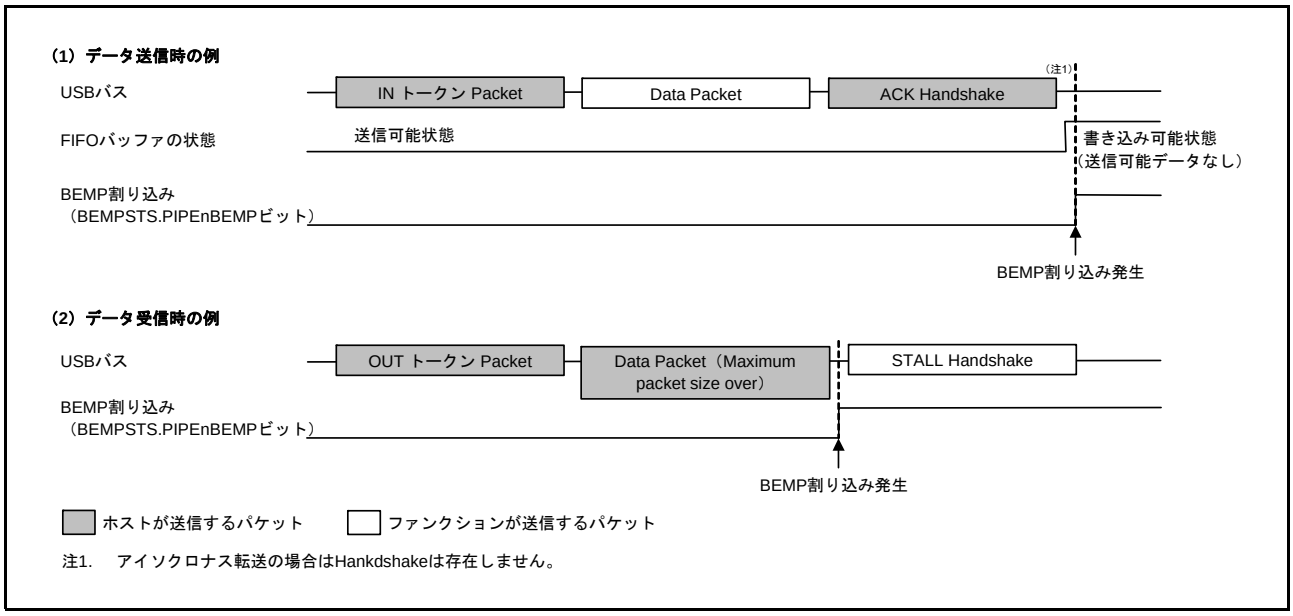


図 28.13　ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

28.3.3.4　デバイスステート遷移割り込み

図 28.14 に USB モジュールのデバイスステート遷移図を示します。USB モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0.DVSQ ビットにて確認できます。

デフォルトステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

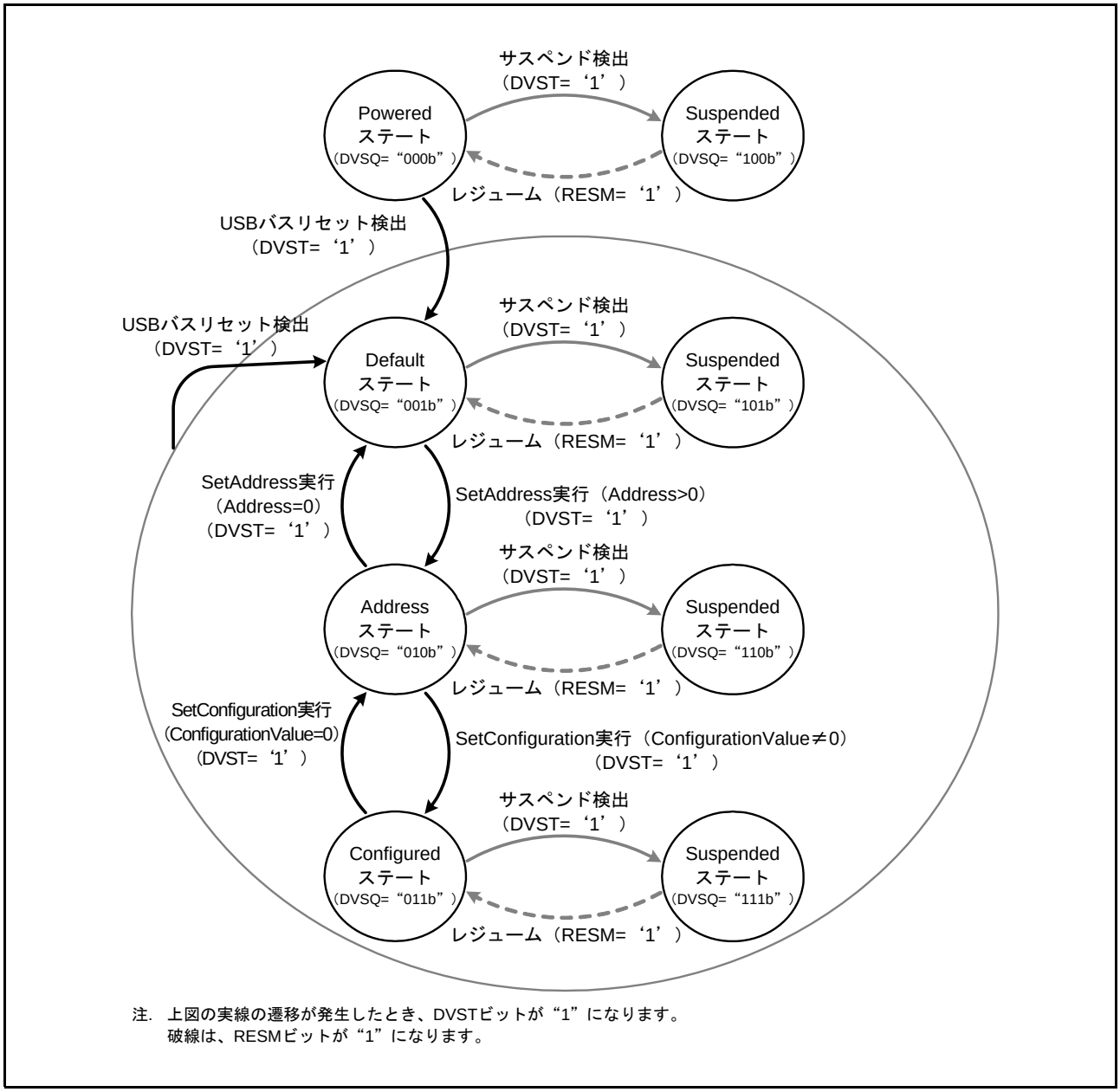


図 28.14　デバイスステート遷移図

28.3.3.5　コントロール転送ステージ遷移割り込み

図 28.15 に USB モジュールのコントロール転送ステージ遷移図を示します。USB モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0.CTSQ ビットにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが 1xb（STALL 応答）になります。

コントロールリード転送時

- データステージの IN トークンに対して、1 度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークン受信
- ステータスステージでデータパケットが DATAPID = DATA0 のパケットを受信
- コントロールライト転送時
- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データスステージで最初のデータパケットが DATAPID = DATA0 のパケットを受信
- ステータスステージで OUT トークン受信

コントロールライトノーデータコントロール転送時

- ステータスステージで OUT トークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時（SERR = “1”）は、CTSQ = “110b” の値がシステムから CTRT = “0” 書き込み（割り込みステータスクリア）するまで保持されます。このため、CTSQ = “110” が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません（セットアップステージ完了は、USB モジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します）。

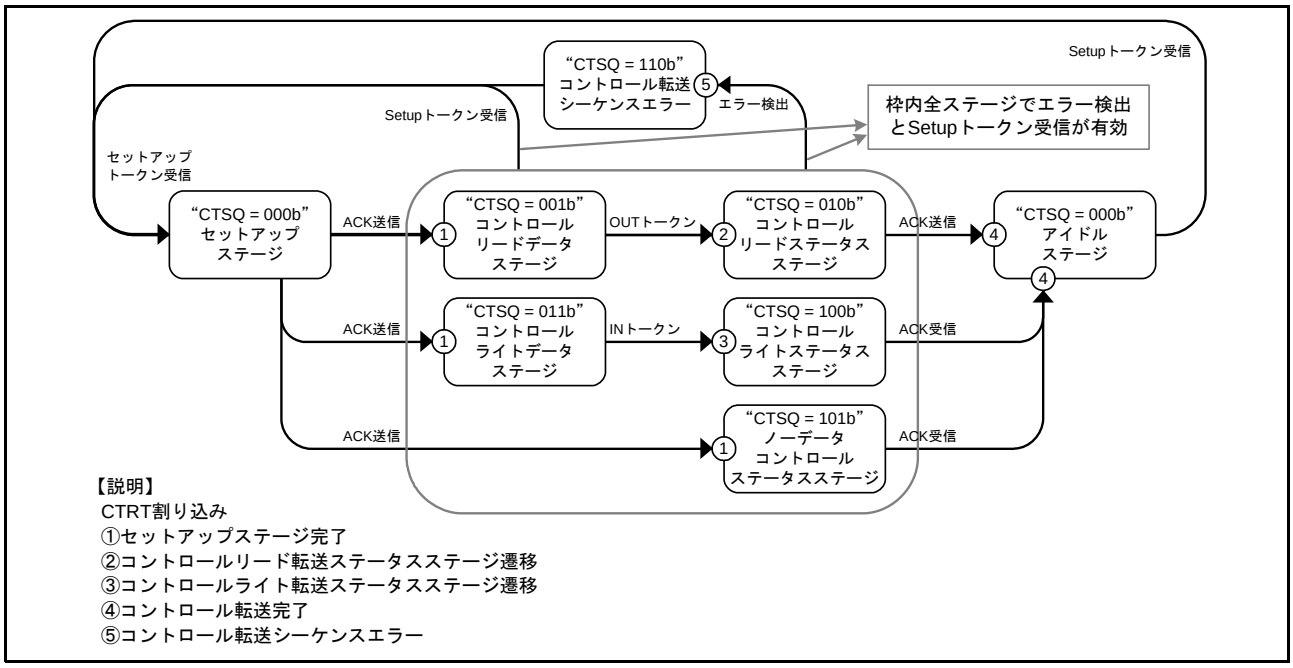


図 28.15　コントロール転送ステージ遷移図

28.3.3.6 フレーム番号更新割り込み

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、USB モジュールは、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生します。

28.3.3.7 VBUS 割り込み

USBm_VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0 レジスタの VBSTS ビットにて USBm_VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、USBm_VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

28.3.3.8 レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化（J-State → K-State または J-State → SE0）したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

28.3.3.9 OVRCR 割り込み

ポート 0 側は、USBm_OVRCURA 端子または USBm_OVRCURB 端子に変化があった場合に OVRCR 割り込みが発生します。SYSSTS0 レジスタの OVCMON[1:0] ビットにて USBm_OVRCURA 端子および USBm_OVRCURB 端子のレベルを確認できます。OVRCR 割り込みによって外部電源 IC からオーバカレント検出の確認ができます。

また On-The-Go 接続時には VBUS コンパレータ変化検出の確認ができます。

28.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

28.3.3.11 DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。USB モジュールは、USB Specification2.0 に準じた基準でバスディスコネクトを検出します。

USB モジュールは、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの UACT ビットを “0” に変更し表示する。
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる。

28.3.3.12 SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

28.3.3.13 SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

28.3.3.14 ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5μs 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5μs 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5μs 間継続したとき

28.3.3.15 EOFERR 割り込み

USB 2.0 仕様書に定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みを発生します。

USB モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR 割り込みを検出したポートの DVSTCTRn.UACT ビットを “0” に変更し表示する。（n = 0, 1）
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる。

28.3.4 パイプコントロール

表 28.17 に USB モジュールのパイプ設定項目一覧を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。USB モジュールにはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表28.17　パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備　考
DCPCFG PIPECFG	TYPE	転送タイプを指定	パイプ1～9：設定可能
	BFRE	BRDY割り込みモードを選択	パイプ1～5：設定可能
	DBLB	ダブルバッファを選択	パイプ1～5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は0000b以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ1、2：設定可能（バルク転送選択時のみ設定可能） パイプ3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホストコントローラ機能選択時のみ参照
	MXPS	マックスパケットサイズ	USB規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1、2：設定可能（アイソクロナス転送選択時のみ） パイプ3～9：設定不可能
	IITV	インターバルカウンタ	パイプ1、2：設定可能（アイソクロナス転送選択時のみ） パイプ3～5：設定不可能 パイプ6～9：ホストコントローラ機能選択時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCPはISELビットにより、受信／送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ1～5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ1～5：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプビジー確認	
	PID	応答PID	「28.3.4.6　応答PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ1～5：設定可能

28.3.4.1　パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可（PID = NAK）であるときのみ書き替えが可能になります。

USB 通信許可（PID = BUF）状態では設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR ビット、DCPCTR.SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPExCTR.ATREPM ビット、PIPExCTR.ACLRM ビット、PIPExCTR.SQCLR ビット、PIPExCTR.SQSET ビット
- PIPExTRE レジスタ、PIPExTRN レジスタの各ビット

USB 通信許可（PID = BUF）状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプの PID を NAK に変更します。
3. 当該パイプの PBUSY ビットが “0” になるまで待ちます。
4. パイプコントロールレジスタのビット変更が開始されます。

またパイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれの CURPIPE ビットにも設定されていないパイプ情報のみ書き替えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、BCLR にてバッファのクリア処理をしてください。

28.3.4.2　転送タイプ

PIPEPCFG レジスタの TYPE ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ 1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ 3 ～ 5：バルク転送を設定してください。
- パイプ 6 ～ 9：インタラプト転送を設定してください。

28.3.4.3　エンドポイント番号

PIPEPCFG レジスタの EPNUM ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント “0” に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント “0” 固定）です。
- パイプ 1 ～ 9：1 から 15 までを選択して設定してください。
  ただし、DIR ビットと EPNUM ビットの組み合わせが重複しないように設定してください。

28.3.4.4　マックスパケットサイズ設定

DCPMAXP レジスタおよび PIPEMAXP レジスタの MXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ 1 ～ 5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6 ～ 9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID = BUF）に設定してください。

- DCP：8、16、32、64 から選択して設定してください。
- パイプ 1 ～ 5：バルク転送時は、8、16、32、64 から選択して設定してください。
- パイプ 1、2：アイソクロナス転送時は、1 から 256 の値を設定してください。
- パイプ 6 ～ 9：1 から 64 の値を設定してください。

28.3.4.5　トランザクションカウンタ（パイプ 1 ～ 5 読み出し方向）

USB モジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタには、トランザクション回数を指定する TRNCNT レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、SHTNAK ビット設定 =“1” との組み合わせによりカレントカウンタが指定回数に一致すると、該当 PIPE の PID を NAK 状態とし、次の転送を不許可状態にします。TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。TRENB ビットの設定により、TRNCNT レジスタ読み出し時の情報が異なります。

- TRENB = “0”：設定したトランザクションカウンタ値が読めます。
- TRENB = “1”：内部でカウントしたカレントカウンタ値が読めます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID = BUF の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

28.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID ビットにて各パイプの応答 PID を設定します。
各設定における USB モジュールの動作は下記のとおりです。

- **ホストコントローラ機能選択時の応答 PID 設定**

応答 PID は、トランザクションの実施を指定します。

- NAK 設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF 設定 ：バッファメモリの状況に応じてトランザクションが実施されます。
  OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。
  IN 方向の場合、バッファメモリに空きがあり受信可能な場合、IN トークンを発行します。
- STALL 設定：パイプ禁止状態です。トランザクションは実施されません。

注．　DCP のセットアップトランザクションは、SUREQ ビットで設定します。

- **ファンクションコントローラ機能選択時の応答 PID 設定**

応答 PID は、ホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したトランザクションに対して常に NAK 応答します。
- BUF 設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL 設定：発生したトランザクションに対して常に STALL 応答します。

注．　セットアップトランザクションに対しては、PID の設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

PID ビットは、トランザクション結果により USB モジュールによる書き込みが発生する場合があります。USB モジュールにより PID ビットへの書き込みが発生するのは以下の場合です。

- **ホストコントローラ機能選択時にハードウェアが応答 PID を設定する場合**
- NAK 設定：以下の場合に PID = NAK となり、トークンの発行を自動的に停止します。
  アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
  （詳細は、「28.3.3.2　NRDY 割り込み」を参照してください。）
  ーバルク転送時に PIPECFG レジスタの SHTNAK ビットを “1” にした場合でショートパケットを受信したとき
  ーバルク転送時に SHTNAK ビットを “1” にし、トランザクションカウンタが終了したとき
- BUF 設定：USB モジュールによる BUF 書き込みはありません。
- STALL 設定：以下の場合に PID = STALL となり、トークンの発行を自動的に停止します。
  送信したトークンに対して STALL を受信したとき
  受信したデータパケットがマックスパケットサイズを超えたとき

- **ファンクションコントローラ機能選択時にハードウェアが応答 PID を設定する場合**
- NAK 設定：以下の場合に PID = NAK となり、トランザクションに対して常に NAK 応答します。
  SETUP トークンを正常に受信したとき（DCP のみ）
  バルク転送時に PIPECFG レジスタの SHTNAK ビットを “1” にし、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき

- BUF 設定：USB モジュールによる BUF 書き込みはありません。
- STALL 設定：以下の場合に PID = STALL となり、トランザクションに対して常に STALL 応答します。
  受信データパケットでマックスパケットサイズオーバエラーを検出したとき
  コントロール転送シーケンスエラーを検出したとき（DCP のみ）

28.3.4.7　データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USB モジュールによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に USB モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA0 になり、ステータスステージでは DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

28.3.4.8　応答 PID = NAK 機能

USB モジュールには、PIPECFG レジスタの SHTNAK ビットを “1” にすることで、トランスファの最後（ショートパケット受信またはトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答 PID = NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（応答 PID = BUF）設定を行う必要があります。

なお、応答 PID=NAK 機能はバルク転送時のみ動作することが可能です。

28.3.4.9　自動応答モード

バルク転送のパイプ（パイプ 1 ～ 5）において、PIPEnCTR レジスタの ATREPM ビットを “1” にすると、自動応答モードとなります。OUT 転送時（DIR = “0”）には OUT-NAK モードとなり、IN 転送時（DIR = “1”）には Null 自動応答モードとなります。

28.3.4.10　OUT-NAK モード

バルク OUT 転送のパイプにおいて、ATREPM ビットに “1” をセットすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で OUT-NAK モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）で OUT-NAK モードを解除して、パイプ動作許可（応答 PID = BUF）を行ってください。通常モードでは、OUT データ受信が可能となります。

28.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、ATREPM ビットに “1” をセットすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID = BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFM ビットが “0” であることで確認してください。INBUFM ビットが “1” の場合には、バッファ内にデータが存在しているため、ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）を Zero-Length パケット送信分ウェイト（約 10μs）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

28.3.5 FIFO バッファメモリ

28.3.5.1 FIFO バッファメモリ

USB モジュールはデータ転送用の FIFO バッファメモリを内蔵します。各 PIPE の使用領域は、USB モジュールにて管理しています。FIFO バッファメモリの状況には、アクセス権がシステム（CPU 側）にある場合と USB モジュール（SIE 側）にある場合があります。

- バッファステータス

表 28.18 および表 28.19 に USB モジュールのバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPEnCFG レジスタの DIR ビットまたは CFIFOSEL レジスタの ISEL ビット（DCP 選択時）で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは送信方向のパイプ 1 ～ 5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU (DTC または DMACA) による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表 28.18　BSTS ビットによるバッファステータス

ISEL または DIR	BSTS	バッファメモリの状態
0（受信方向）	0	受信データなし、または受信中 FIFO ポートからの読み出し不可能
0（受信方向）	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可のためバッファクリアが必要
1（送信方向）	0	送信を完了していない FIFO ポートへの書き込み不可能
1（送信方向）	1	送信完了 CPU は書き込み可能

表 28.19　NBUFM ビットによるバッファステータス

DIR	INBUFM	バッファメモリの状態
0（受信方向）	無効	無効
1（送信方向）	0	送信可能データを送信完了した 送信可能データなし
1（送信方向）	1	送信可能データが FIFO ポートから書き込まれた 送信可能データあり

28.3.5.2 FIFO バッファクリア

表 28.20 に USB モジュールによる FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、ポートコントロールレジスタの BCLR、DCLRM、ACLRM の各ビットでクリアすることができます。

表28.20　各バッファクリア一覧

FIFOバッファクリアの種類	CPU側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
当該レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
当該ビット	BCLR ビット	DCLRM ビット	ACLRM ビット
“0”になる条件	“1”書き込みで“0”になる	1：モード有効 0：モード無効	1：モード有効 0：モード無効

(1) 自動バッファクリアモード機能

USB モジュールには、PIPEnCTR レジスタの ACLRM ビットを “1” にすることで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、自動バッファクリアモード機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットを “1” にし、続けて “0” にすることで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ただし、ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの “1” 書き込みと “0” 書き込みの間隔を 100ns 以上とってください。

(2) バッファメモリ仕様（シングル／ダブル設定）

パイプ 1 ～ 5 は、PIPEnCFG レジスタの DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

28.3.5.3 FIFO ポートの機能

表 28.21 に USB モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、マックスパケットサイズ数まで書き込みを行うと、自動的に送信可能状態となります。マックスパケットサイズ数未満のデータを送信可能状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時（DTLN = “0”）は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 28.21　FIFO ポート機能設定

レジスタ名	ビット名	機　　能
CFIFOSEL、DnFIFOSEL（n = 0, 1）	RCNT	DTLN 読み出しモード選択
	REW	バッファメモリリワインド（再読み出し、再書き込み）
	DCLRM	指定パイプの受信データ読み出し後自動クリア（DnFIFO 専用）
	DREQE	DMA 転送許可（DnFIFO 専用）
	MBW	FIFO ポートアクセスビット幅
	BIGEND	FIFO ポートエンディアン選択
	ISEL	FIFO ポートアクセス方向（DCP 専用）
	CURPIPE	カレントパイプ選択
CFIFOCTR、DnFIFOCTR（n = 0, 1）	BVAL	バッファメモリ書き込み終了
	BCLR	CPU 側バッファメモリクリア
	DTLN	受信データ長確認

(1) FIFO ポート選択

表 28.22 に各 FIFO ポートで選択可能なパイプ表を示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、USB コントローラがパイプ変更処理中である事を示します）FRDY = “1” を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPEnCFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。

表 28.22　パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1～9	CPU アクセス	CFIFO ポートレジスタ D0FIFO/D1FIFO ポートレジスタ
	DTC アクセス／DMACA アクセス	D0FIFO/D1FIFO ポートレジスタ

(2) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、C/DnFIFOSEL レジスタの REW ビットを使用します。

C/DnFIFOSEL レジスタの CURPIPE ビット設定と同時に REW ビットを “1” にしてパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、“0” にしパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、FRDY =“1” であることを確認する必要があります。

28.3.5.4 DMA 転送（D0FIFO/D1FIFO ポート）

(1) DMA 転送概要

パイプ 1 ～ 9 に対して、DTC または DMACA（注 1）による FIFO ポートアクセスが可能です。DMA に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL レジスタの MBW ビットにて FIFO ポートへの転送単位を、CURPIPE ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード（D0FIFO/D1FIFO ポート読み出し方向）

USB は、DnFIFOSEL レジスタの DCLRM ビットを “1” にすることで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 28.23 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 28.23 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、DnFIFO 自動クリアモードはバッファメモリ読み出し方向のみ設定できます。

注 1. DTC は受信および送信で使用可能です。DMACA は送信のみで使用可能ですが、制約事項があります。詳細は、「11.7.1 DTC/DMACA 転送を使用した通信動作の注意事項」を参照ください。

表 28.23 パケット受信とソフトウェアによるバッファメモリクリア処理の関連

パケット受信時のバッファ状態	レジスタの設定			
	DCLRM = “0”		DCLRM = “1”	
	BFRE = “0”	BFRE = “1”	BFRE = “0”	BFRE = “1”
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

28.3.6 コントロール転送（DCP）

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ（DCP）を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

28.3.6.1 ホストコントローラ機能選択時のコントロール転送

(1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに “1” を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、“0” になります。SUREQ = “1” 中は上記 USB リクエストレジスタを操作しないでください。

接続されたファンクションデバイスのアタッチ検出後、そのデバイスに対する最初のセットアップトランザクションは、DCPMAXP レジスタの DEVSEL ビットを “0” にし、DEVADD0 レジスタの USBSPD ビットを設定し上記シーケンスでセットアップトランザクションを発行してください。

接続されたファンクションデバイスが Address ステートに遷移した以降は、DEVSEL ビットに割り付けた USB Address 値を設定し、USB Address に対応する DEVADDx レジスタの各ビットを設定後に上記シーケンスでセットアップトランザクションを発行してください。例えば、PIPEMAXP レジスタの DEVSEL=“2h” のときは DEVADD2 レジスタを、PIPEMAXP レジスタの DEVSEL = “5h” のときは DEVADD5 レジスタを設定してください。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します（INTSTS1 レジスタの SIGN ビットおよび SACK ビット）。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタの SQMON ビットの内容にかかわらず、常に DATA0 のデータパケット（USB リクエスト）が送信されます。

(2) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR レジスタの DTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

28.3.6.2　ファンクションコントローラ機能選択時のコントロール転送

(1)　セットアップステージ

USB モジュールは、USB モジュールに対する正常なセットアップパケットに対して ACK 応答します。セットアップステージの USB モジュールの動作を以下に示します。

新しいセットアップパケットを受信すると、USB モジュールは以下のビットをセットします。

- INTSTS0 レジスタの VALID ビットを “1” にする
- DCPCTR レジスタの PID ビットを NAK にセット
- DCPCTR レジスタの CCPL ビットを “0” にする

セットアップパケットに引き続きデータパケット受信すると、USB モジュールは、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID =“0” にしてください。VALID = “1” の状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、USB モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USB モジュールは、受信した USB リクエストの方向ビット（bmRequestType のビット 8）およびリクエストデータ長（wLength）を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。USB モジュールのステージ管理については**図 28.15** を参照してください。

(2)　データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3)　ステータスステージ

DCPCTR レジスタの PID ビットが PID = BUF の状態で、CCPL ビットを “1” にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USB モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合
  USB からの Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
  USB は Zero-Length パケットの送信を行い、USB ホストからの ACK 応答を受信します。

(4) コントロール転送自動応答機能

USB モジュールは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestType が “00h” でない場合：コントロールライト転送以外
- wIndex が “00h” でない場合：リクエストエラー
- wLength が “00h” でない場合：ノーデータコントロール転送以外
- wValue が “7Fh” より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0] フラグが “011b”（Configured ステート）の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

28.3.7 バルク転送（パイプ 1 ～ 5）

バルク転送は、バッファメモリ使用方法（シングル／ダブルバッファ設定）の選択ができます。
USB モジュールは、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み選択機能（BFRE ビット：「28.3.3.1 (2)　BRDYM = “0” かつ BFRE = “1” 設定時」参照）
- トランザクションカウント機能
  （TRENB ビット、TRCLR ビット、TRNCNT ビット：「28.3.4.5　トランザクションカウンタ（パイプ 1 ～ 5 読み出し方向）」参照）
- 応答 PID = NAK 機能（SHTNAK ビット：「28.3.4.8　応答 PID = NAK 機能」参照）
- 自動応答モード（ATREPM ビット：「28.3.4.9　自動応答モード」参照）

28.3.8 インタラプト転送（パイプ 6 ～ 9）

ファンクションコントローラ機能選択時、USB モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。

28.3.8.1 ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットに、トランザクションのインターバルを設定します。USB コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1) カウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEnCTR.ACLRM ビットを “1” にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERI.IITV[2:0] ビットは初期化されません。

なお、以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド
  IITV ビットは初期化されません。DVSTCTR0.UACT ビットを “1” にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

(2) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- IN 方向（受信）の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向（送信）の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

28.3.9 アイソクロナス転送（パイプ1、2）

USBモジュールは、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ（IITVビット指定）
- アイソクロナスIN転送データセットアップコントロール（IDLY機能）
- アイソクロナスIN転送バッファフラッシュ機能（IFISビット指定）

28.3.9.1 アイソクロナス転送のエラー検出

USBモジュールは、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表28.24および表28.25にUSBモジュールがエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

(a) PIDエラー

- 受信パケットのPIDが不正な場合

(b) CRCエラー、ビットスタッフィングエラー

- 受信パケットのCRCにエラーがあった場合またはビットスタッフィングが不正な場合

(c) マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた場合

(d) オーバラン、アンダーランエラー

- ホストコントローラ機能選択時
  IN方向（受信）の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合
  OUT方向（送信）の転送時にトークンの送信タイミングにバッファメモリにデータがない場合
- ファンクションコントローラ機能選択時
  IN方向（送信）の転送時にINトークン受信時にバッファメモリにデータがない場合
  OUT方向（受信）の転送時にOUTトークン受信したがバッファメモリに空き領域がない場合

(e) インターバルエラー

ファンクションコントローラ機能選択時に、以下のときにインターバルエラーとします。

- アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合
- アイソクロナスOUT転送でインターバルフレーム以外にOUTトークンを受信できなかった場合

表28.24　トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホスト／ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホスト／ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）
3	オーバラン、アンダーランエラー	ホスト／ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させ、OVRNビットをセットします。ファンクションコントローラ機能選択時は、INトークンに対してZero-Lengthパケットを送信します。OUTトークンに対してはデータパケットを受信しません
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY割り込みを発生させます。ホストコントローラ機能選択時は発生しません

表28.25　データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホスト／ファンクションのどちらの機能を選択した場合にも、NRDY割り込みを発生させて、CRCEビットを“1”にします
3	マックスパケットサイズオーバエラー	ホスト／ファンクションのどちらの機能を選択した場合にも、BEMP割り込みを発生させて、PIDをSTALLにセットします

28.3.9.2　DATA-PID

ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

IN 方向

- DATA0：データパケットの PID として送信します
- DATA1：送信しません
- DATA2：送信しません
- mDATA：送信しません

OUT 方向

- DATA0：データパケットの PID として正常受信します
- DATA1：データパケットの PID として正常受信します
- DATA2：パケットを無視します
- mDATA：パケットを無視します

28.3.9.3 インターバルカウンタ

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 28.26 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表28.26　ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機　　能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN転送でインターバルフレームにINトークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレームにOUTトークンを正常受信できない

インターバルのカウントは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームです。

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEnCTR.ACLRM ビットを “1” にしたときに初期化されます。なお、ACLRM ビットによる初期化時は、PIPEPERI.IITV[2:0] ビットは初期化されません。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウントを開始します。

1. PID = BUF 状態で IN トークンに対して、データを送信後の SOF 受信
2. PID = BUF 状態で OUT トークンのデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID ビットを NAK または STALL に設定した場合
  インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド
  IITV ビットは初期化されません。SOF を受信すると、受信前の値からカウントを開始します。

(2) ホストコントローラ機能選択時のインターバルカウントと転送制御

IITV ビットの設定値に従って USB モジュールはトークン発行間隔を制御します。USB モジュールは 2IITV 回のフレームに 1 回の間隔で選択パイプに対するトークンを発行します。

USB モジュールは、ソフトウェアが PID ビットを BUF に設定した次のフレームからトークン発行間隔のカウントを開始します。

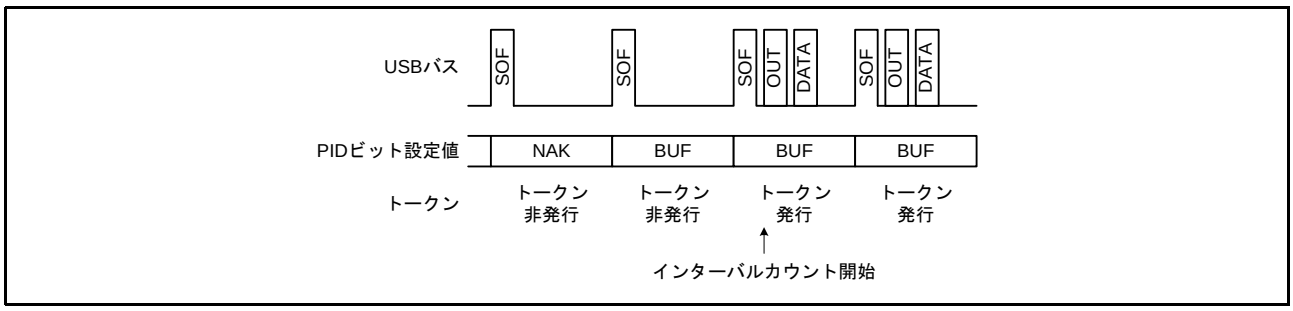


図 28.16　IITV = “0” の場合のトークン発行有無

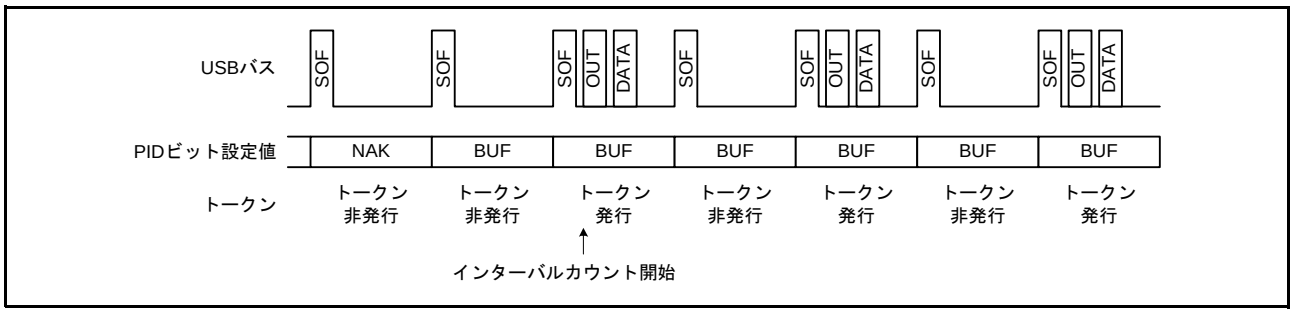


図 28.17　IITV = “1” の場合のトークン発行有無

選択パイプの転送タイプがアイソクロナスの場合には、USB モジュールはトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも USB モジュールはトークンを発行します。

選択パイプがアイソクロナス IN 転送パイプの場合

IN トークンを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY 割り込みを発生させます。

CPU (DTC または DMACA) が FIFO バッファからデータを読み出すのが遅いなどの原因で）FIFO バッファがフルのために、USB モジュールがデータを受信できない状態で、IN トークン発行タイミングに至った場合、USB モジュールは OVRN ビットに “1” を表示し、NRDY 割り込みを発生させます。

選択パイプがアイソクロナス OUT 転送パイプの場合

CPU (DTC または DMACA) が FIFO バッファにデータを書き込むのが遅いなどの原因で）送信可能なデータが FIFO バッファに無い状態で OUT トークン発行タイミングに至った場合、USB モジュールは OVRN ビットに “1” を表示し、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

トークン発行間隔のリセット条件は以下の場合です。

- USB モジュールが端子リセットされた場合
  （このとき、IITV ビットへの設定値も “0” になります。）
- ソフトウェアが ACLRM =“1” にした場合

(3)　ファンクションコントローラ機能選択時のインターバルカウントと転送制御

選択パイプがアイソクロナス OUT 転送パイプの場合

IITV ビットに設定したインターバルごとのフレーム中に DATA パケットを受信しなかったとき、ファンクションコントローラは NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファがフルのために USB モジュールがデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし IITV =“0” 以外のときには、インターバルカウント開始後のインターバル毎の SOF パケット受信時に NRDY 割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアで PID ビットに NAK を設定した場合、USB モジュールは SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。

- IITV =“0” のとき : 選択パイプの PID ビットを BUF に変更した時点でインターバルのカウントを開始します。

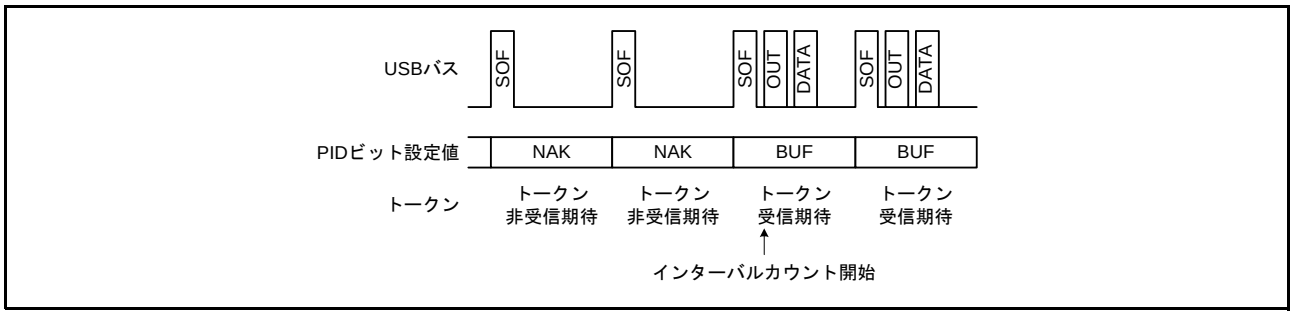


図 28.18　IITV = “0” の場合のフレームとトークン受信期待有無の関係

- IITV = “0” 以外のとき : 選択パイプの PID ビットを BUF に変更した後最初の DATA パケット正常受信完了時点からインターバルのカウントを開始します。

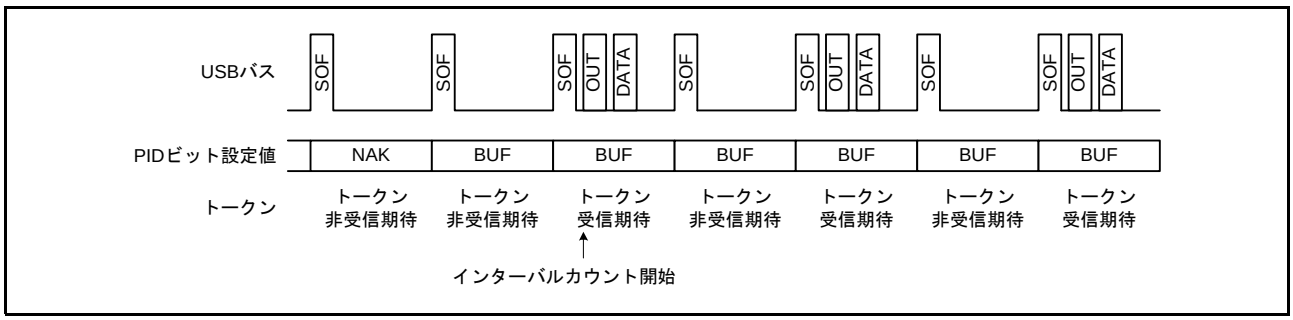


図 28.19　IITV = “0” 以外の場合のフレームとトークン受信期待有無の関係

選択パイプがアイソクロナス IN 転送パイプの場合

IFIS = “1” と組み合わせて使用します。IFIS = “0” の場合には IITV ビットへの設定値とは関係なく、受信したトークンに応答してデータパケットを送信します。

IFIS = “1” にしている場合、FIFO バッファに送信可能なデータが存在している状態で、IITV ビットに設定したインターバル毎のフレーム中に IN トークンを受信しなかったとき、USB モジュールは FIFO バッファをクリアします。

IN トークンに CRC エラー等のバスエラーが発生したために USB モジュールが正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。（OUT 時と同様です）

ファンクションコントローラ機能選択時のインターバルカウント条件は以下のいずれかの場合です。

- USB モジュールがハードウェアリセットされた場合（このとき、IITV ビットへの設定値も “0” になります。）
- ソフトウェアが ACLRM =“1” にした場合
- USB モジュールが USB バスリセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、USB モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ 1 パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

図 28.20 に USB モジュールで、IITV = “0”（毎フレーム）を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

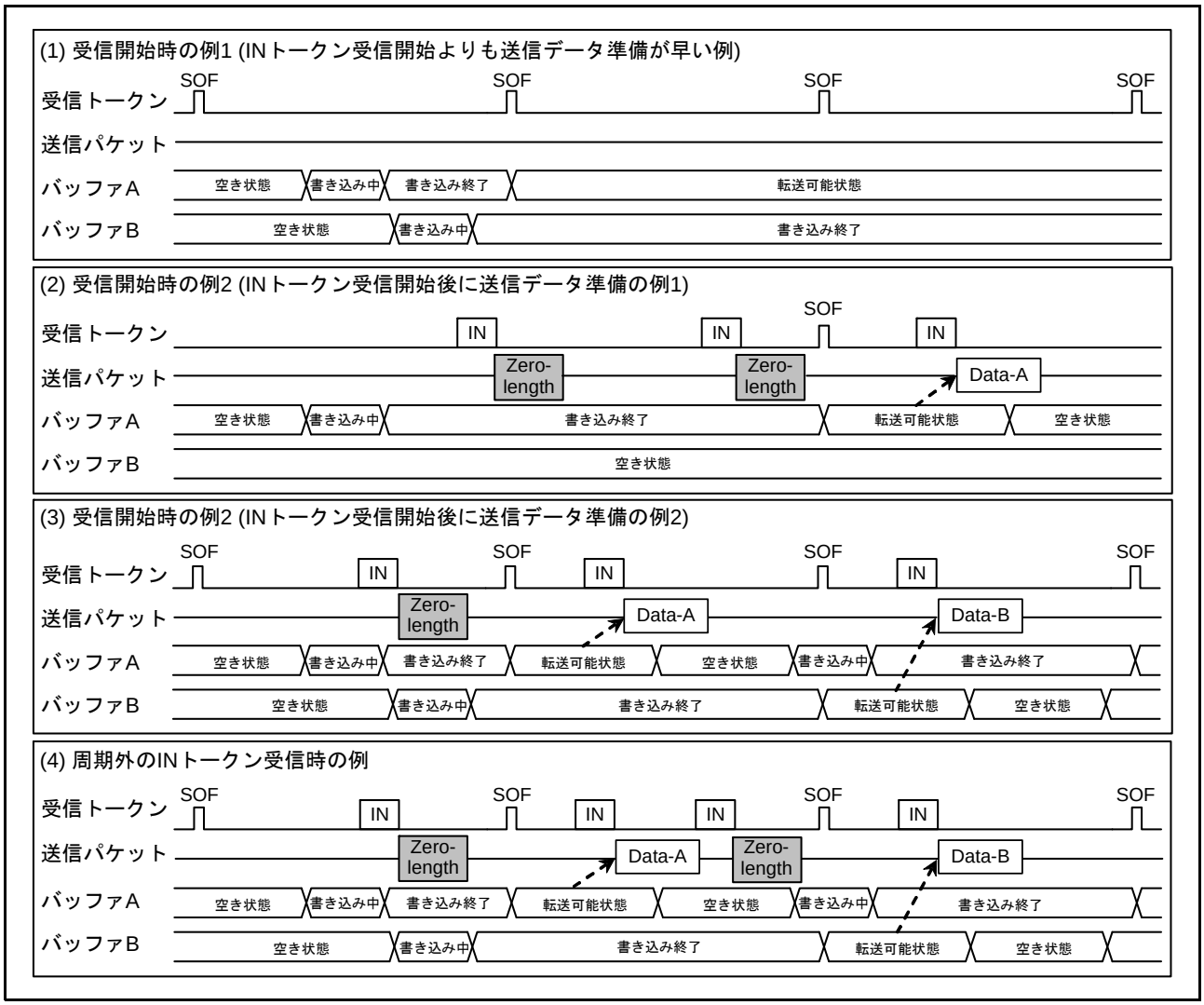


図 28.20　データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、USB モジュールは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

- IITV = “0” の場合
  パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV = “0” 以外の場合
  最初の正常なトランザクション以降バッファフラッシュ動作します。

図 28.21 に USB モジュールのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダーランエラーとして Zero-Length パケットを送出します。

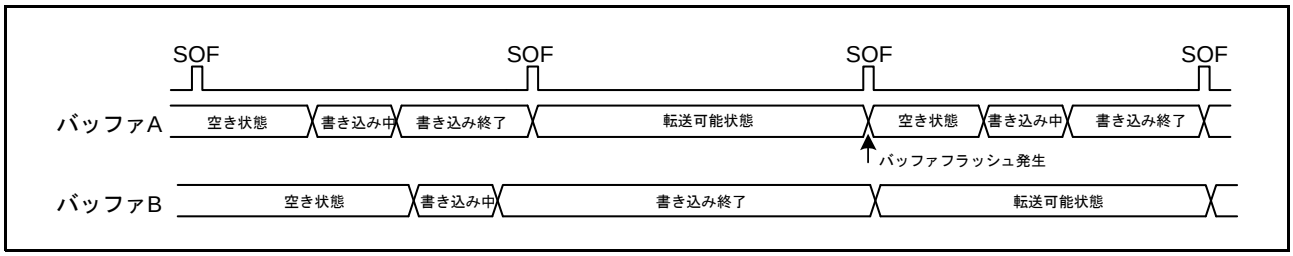


図 28.21　バッファフラッシュ機能動作例

図 28.22 に USB モジュールのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどのNRDY割り込みとオーバランエラーとの区別はOVRNビットで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

【IN 方向】

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であれば Zero-Length パケット送信しアンダーランエラー

【OUT 方向】

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

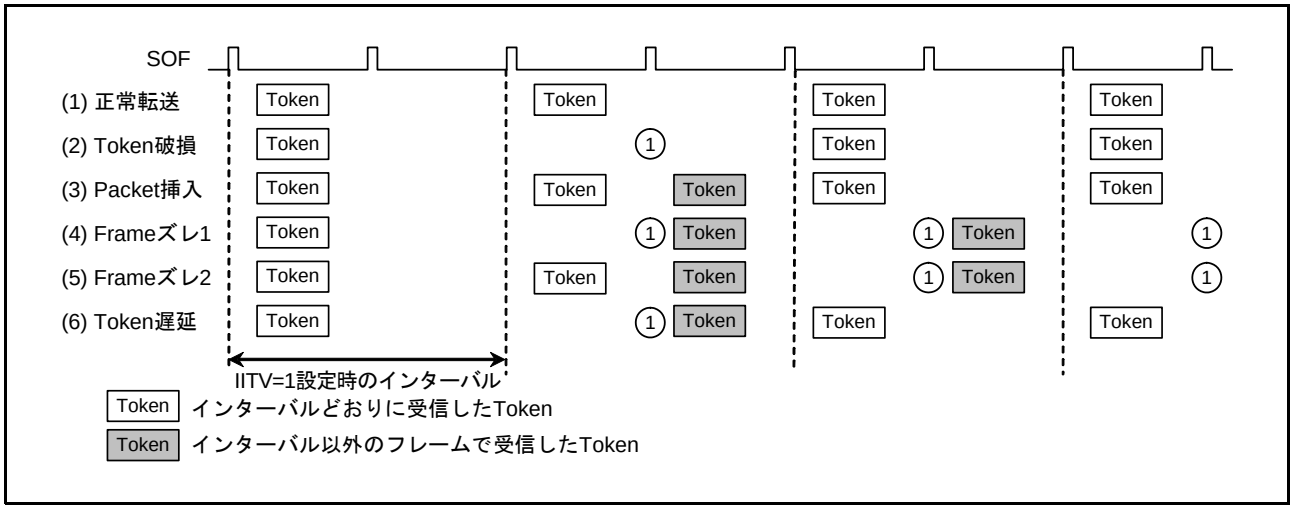


図 28.22　IITV = “1” のときのインターバルエラー発生例

28.3.10 SOF 補完機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms 間隔で SOF パケットを受信できなかった場合に、USB モジュールは SOF を補完します。SOF 補完動作の開始は SYSCFG.USBE = “1”、SYSCFG.SCKE = “1” かつ SOF パケット受信となります。また、下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- サスペンド検出

また、SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48MHz で 1ms をカウントし補完する
- 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補完する
- サスペンド時および USB バスリセット受信中は補完しない

USB モジュールは、SOF パケットの受信に基づいて下記の機能を動作させせますが、SOF パケットが欠落した場合には SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。

28.3.11 パイプスケジュール

28.3.11.1 トランザクション発行条件

USB モジュールは、ホストコントローラ機能選択時、UACT ="1" にしたあと、表 28.27 に示す条件でトランザクションを発行します。

表 28.27　トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	—（注1）	—（注1）	—（注1）	—（注1）	"1" 設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	—（注1）
	OUT	BUF	無効	送信データあり	—（注1）
インタラプト転送	IN	BUF	有効	受信領域あり	—（注1）
	OUT	BUF	有効	送信データあり	—（注1）
アイソクロナス転送	IN	BUF	有効	（注2）	—（注1）
	OUT	BUF	有効	（注3）	—（注1）

注1.　表中の「－」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタに関わらず発行されることを示します。
注2.　受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。
注3.　送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

28.3.11.2 転送スケジュール

USB モジュールのフレーム内の転送スケジューリング方法について説明します。USB モジュールは、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行
   パイプ 1 →パイプ 2 →パイプ 6 →パイプ 7 →パイプ 8 →パイプ 9 の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送のセットアップトランザクション
   DCP を確認してセットアップトランザクションが可能であれば送信します。
3. バルク、コントロール転送データステージ、ステータスステージの実行
   DCP →パイプ 1 →パイプ 2 →パイプ 3 →パイプ 4 →パイプ 5 の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。
   トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3. を繰り返します。

28.3.11.3 USB 通信許可

DVSTCTR レジスタの UACT ビットを "1" にすることにより、SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを "0" にすると、SOF の送信を停止しサスペンドとなります。UACT ビットを "1" → "0" にする場合、次の SOF を送信してから停止します。

29. シリアルコミュニケーションインタフェース（SCIa）

RX62N グループ、RX621 グループは独立した 6 チャネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を内蔵しています。

SCI は、調歩同期式とクロック同期式のシリアル通信が可能です。

調歩同期式では Universal Asynchronous Receiver/Transmitter（UART）や、Asynchronous Communication Interface Adapter（ACIA）などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。

この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3（Identification Card）に対応したスマートカード（IC カード）インタフェース（SMCI）に対応しています。

29.1 概要

表 29.1 に SCI の仕様を、表 29.2 に SCI チャネル別機能一覧を示します。

図 29.1 に SCI0 ～ 3 および SMCI0 ～ 3、5、6、図 29.2 に SCI5、SCI6 のブロック図を示します。

表29.1　SCIの仕様

項目		内容
シリアル通信方式		• 調歩同期式 • クロック同期式 • スマートカードインタフェース
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表29.3参照
データ転送		LSBファースト／MSBファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー
消費電力低減機能		チャネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7ビット／8ビット
	送信ストップビット	1ビット／2ビット
	パリティ機能	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ブレーク検出	フレーミングエラー発生時、RxDn（n=0～3、5、6）端子のレベルを直接読むことでブレークを検出可能
	クロックソース	内部クロック／外部クロックの選択が可能 TMRからの転送レートクロック入力が可能（SCI5、SCI6）
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション／インバースコンベンションをサポート

表29.2　SCIチャネル別機能一覧

項目	SCI0～SCI3	SCI5、SCI6
調歩同期式モード	○	○
クロック同期式モード	○	○
スマートカードインタフェースモード	○	○
TMRクロック入力	－	○

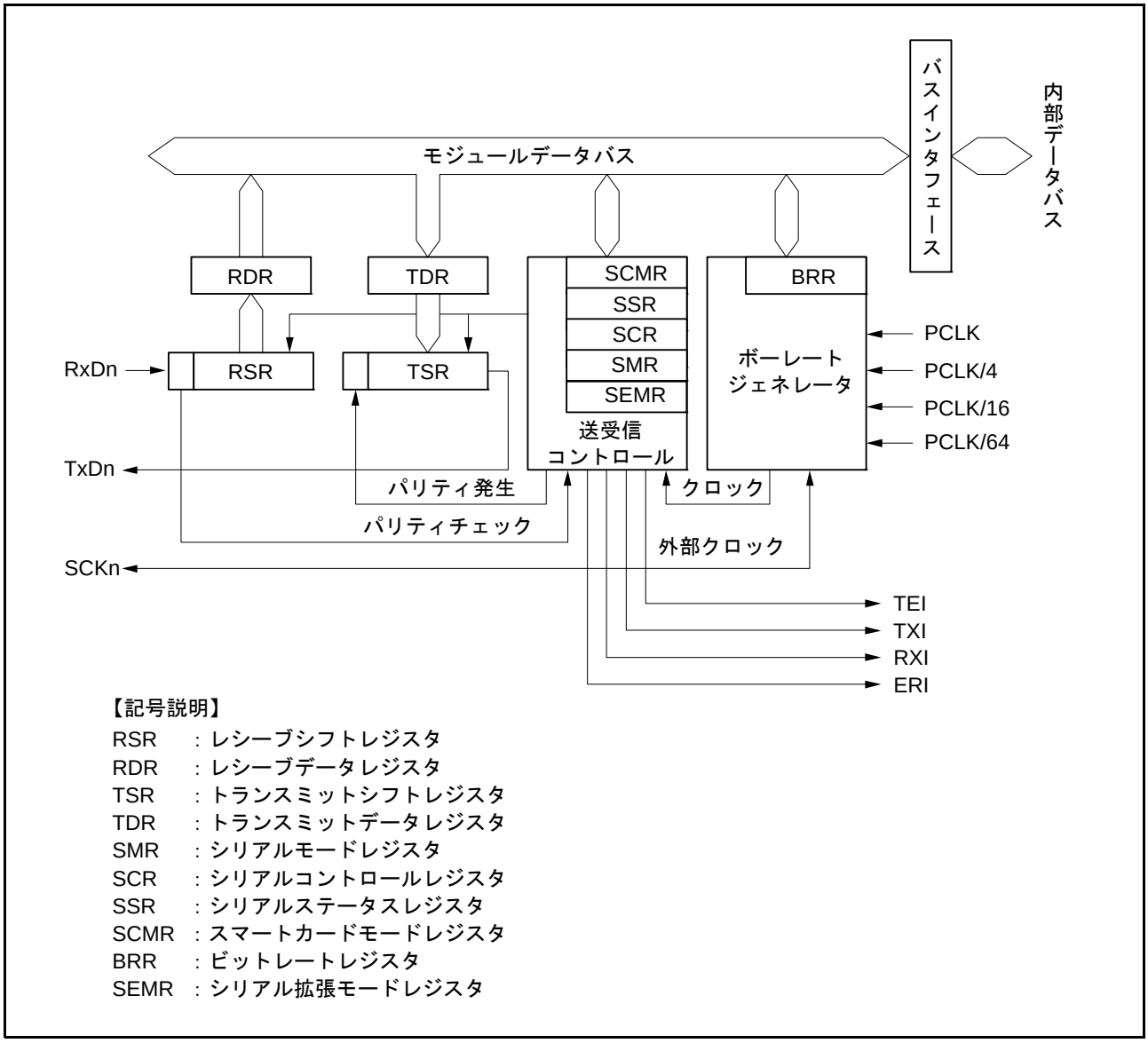
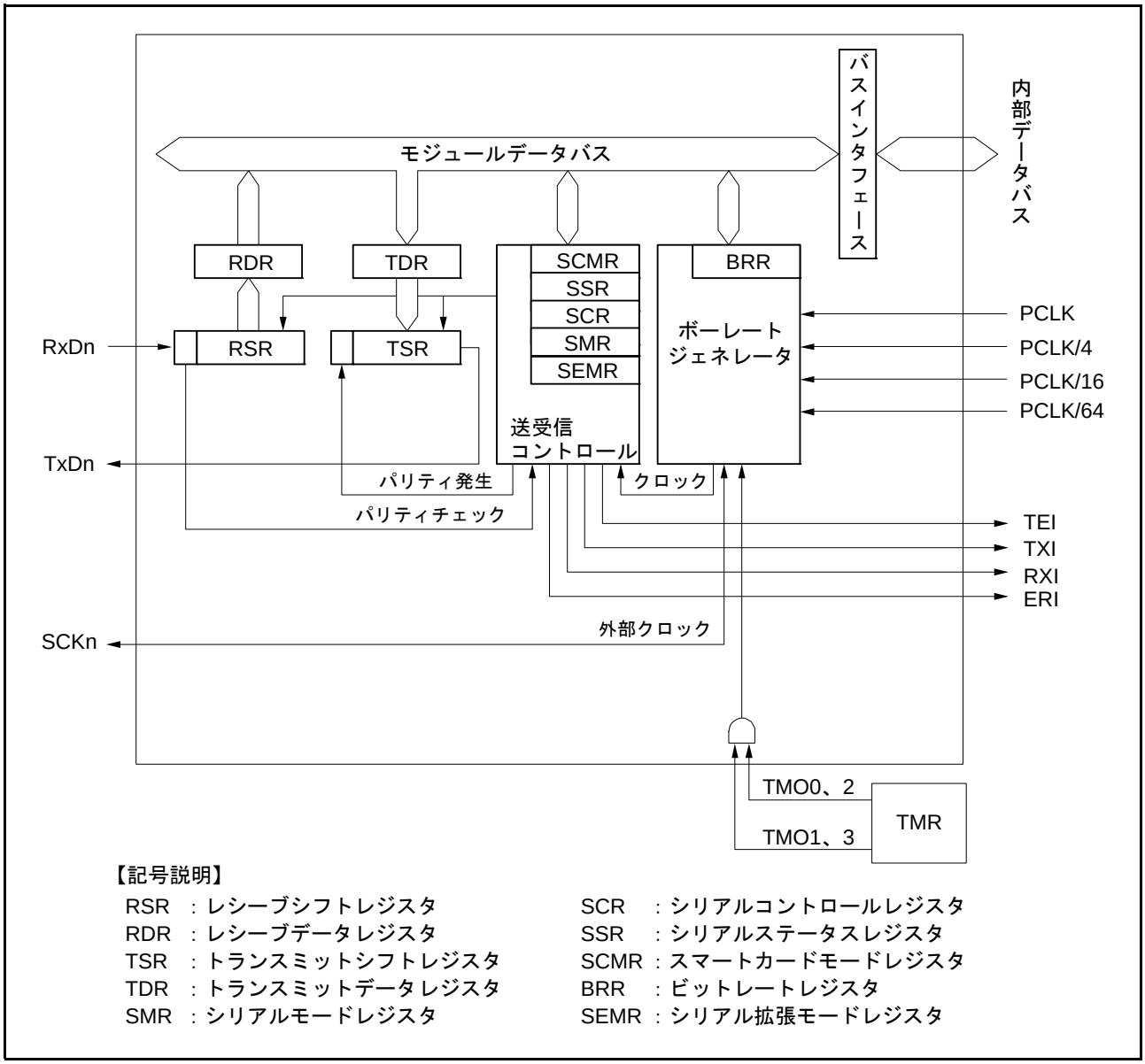


図29.1　SCI0～3、SMCI0～3、5、6のブロック図



【記号説明】

RSR　：レシーブシフトレジスタ
RDR　：レシーブデータレジスタ
TSR　：トランスミットシフトレジスタ
TDR　：トランスミットデータレジスタ
SMR　：シリアルモードレジスタ
SCR　：シリアルコントロールレジスタ
SSR　：シリアルステータスレジスタ
SCMR：スマートカードモードレジスタ
BRR　：ビットレートレジスタ
SEMR：シリアル拡張モードレジスタ

図 29.2　SCI5、SCI6 のブロック図

表 29.3 に SCI/SMCI で使用する入出力端子を示します。

表29.3　SCI/SMCIの入出力端子

チャネル	端子名	入出力	機　能
SCI0/SMCI0	SCK0	入出力	SCI0/SMCI0のクロック入出力端子
	RxD0	入力	SCI0/SMCI0の受信データ入力端子
	TxD0	出力	SCI0/SMCI0の送信データ出力端子
SCI1/SMCI1	SCK1	入出力	SCI1/SMCI1のクロック入出力端子
	RxD1	入力	SCI1/SMCI1の受信データ入力端子
	TxD1	出力	SCI1/SMCI1の送信データ出力端子
SCI2/SMCI2	SCK2	入出力	SCI2/SMCI2のクロック入出力端子
	RxD2	入力	SCI2/SMCI2の受信データ入力端子
	TxD2	出力	SCI2/SMCI2の送信データ出力端子
SCI3/SMCI3	SCK3	入出力	SCI3/SMCI3のクロック入出力端子
	RxD3	入力	SCI3/SMCI3の受信データ入力端子
	TxD3	出力	SCI3/SMCI3の送信データ出力端子
SCI5/SMCI5	SCK5	入出力	SCI5/SMCI5のクロック入出力端子
	RxD5	入力	SCI5/SMCI5の受信データ入力端子
	TxD5	出力	SCI5/SMCI5の送信データ出力端子
SCI6/SMCI6	SCK6	入出力	SCI6/SMCI6のクロック入出力端子
	RxD6	入力	SCI6/SMCI6の受信データ入力端子
	TxD6	出力	SCI6/SMCI6の送信データ出力端子

29.2 シリアルコミュニケーションインタフェースモード

SCMR.SMIF ビット =0 のとき、SCI はシリアルコミュニケーションインタフェースモードになります。

29.2.1 レジスタの説明

表 29.4 に SCI のレジスター一覧を示します。

表29.4　SCIのレジスター一覧

チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SCI0	シリアルモードレジスタ	SMR	00h	0008 8240h	8
	ビットレートレジスタ	BRR	FFh	0008 8241h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8242h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8243h	8
	シリアルステータスレジスタ	SSR	84h	0008 8244h	8
	レシーブデータレジスタ	RDR	00h	0008 8245h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8246h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8247h	8
SCI1	シリアルモードレジスタ	SMR	00h	0008 8248h	8
	ビットレートレジスタ	BRR	FFh	0008 8249h	8
	シリアルコントロールレジスタ	SCR	00h	0008 824Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 824Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 824Ch	8
	レシーブデータレジスタ	RDR	00h	0008 824Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 824Eh	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 824Fh	8
SCI2	シリアルモードレジスタ	SMR	00h	0008 8250h	8
	ビットレートレジスタ	BRR	FFh	0008 8251h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8252h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8253h	8
	シリアルステータスレジスタ	SSR	84h	0008 8254h	8
	レシーブデータレジスタ	RDR	00h	0008 8255h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8256h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8257h	8
SCI3	シリアルモードレジスタ	SMR	00h	0008 8258h	8
	ビットレートレジスタ	BRR	FFh	0008 8259h	8
	シリアルコントロールレジスタ	SCR	00h	0008 825Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 825Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 825Ch	8
	レシーブデータレジスタ	RDR	00h	0008 825Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 825Eh	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 825Fh	8
SCI5	シリアルモードレジスタ	SMR	00h	0008 8268h	8
	ビットレートレジスタ	BRR	FFh	0008 8269h	8
	シリアルコントロールレジスタ	SCR	00h	0008 826Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 826Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 826Ch	8
	レシーブデータレジスタ	RDR	00h	0008 826Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 826Eh	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 826Fh	8

表29.4　SCIのレジスター覧

チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SCI6	シリアルモードレジスタ	SMR	00h	0008 8270h	8
	ビットレートレジスタ	BRR	FFh	0008 8271h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8272h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8273h	8
	シリアルステータスレジスタ	SSR	84h	0008 8274h	8
	レシーブデータレジスタ	RDR	00h	0008 8275h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8276h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8277h	8

29.2.1.1　レシーブシフトレジスタ（RSR）

RSR レジスタは、RxDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

29.2.1.2　レシーブデータレジスタ（RDR）

アドレス　SCI0.RDR 0008 8245h、SCI1.RDR 0008 824Dh、SCI2.RDR 0008 8255h、SCI3.RDR 0008 825Dh
SCI5.RDR 0008 826Dh、SCI6.RDR 0008 8275h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタの読み出しは、受信データフル割り込み（RXI）要求が発生したときに 1 回だけ行ってください。受信データを RDR から読まずに次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

CPU から RDR レジスタへは書き込みはできません。

29.2.1.3 トランスミットデータレジスタ（TDR）

アドレス　SCI0.TDR 0008 8243h、SC1.TDR 0008 824Bh、SC2.TDR 0008 8253h、SC3.TDR 0008 825Bh
SCI5.TDR 0008 826Bh、SCI6.TDR 0008 8273h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書かれた送信データを、TSR レジスタに転送して送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書かれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU から常に読み出し／書き込み可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み（TXI）要求が発生したときに 1 回だけ行ってください。

29.2.1.4 トランスミットシフトレジスタ（TSR）

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書かれた送信データは、自動的に TSR レジスタに転送され、TxDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

29.2.1.5　シリアルモードレジスタ（SMR）

アドレス　SCI0.SMR 0008 8240h、SCI1.SMR 0008 8248h、SCI2.SMR 0008 8250h、SCI3.SMR 0008 8258h
SCI5.SMR 0008 8268h、SCI6.SMR 0008 8270h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0：PCLKクロック（n=0）（注1） 0 1：PCLK/4クロック（n=1）（注1） 1 0：PCLK/16クロック（n=2）（注1） 1 1：PCLK/64クロック（n=3）（注1）	R/W （注4）
b2	MP	マルチプロセッサモードビット	（調歩同期式モードのみ有効） 0：マルチプロセッサ通信機能を禁止 1：マルチプロセッサ通信機能を許可	R/W （注4）
b3	STOP	ストップビット長選択ビット	（調歩同期式モードのみ有効） 0：1ストップビット 1：2ストップビット	R/W （注4）
b4	PM	パリティモードビット	（調歩同期式モードで、PEビット＝1のときのみ有効） 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W （注4）
b5	PE	パリティ許可ビット	（調歩同期式モードのみ有効） ● 送信時 0：パリティビットなし 1：パリティビットを付加 ● 受信時 0：パリティなしで受信 1：パリティチェックを行う	R/W （注4）
b6	CHR	キャラクタ長ビット	（調歩同期式モードのみ有効） 0：データ長8ビットで送受信（注2） 1：データ長7ビットで送受信（注3）	R/W （注4）
b7	CM	コミュニケーションモードビット	0：調歩同期式モードで動作 1：クロック同期式モードで動作	R/W （注4）

注1.　nは設定値の10進表示で、「29.3.1.4　ビットレートレジスタ（BRR）」中のnの値を表します。
注2.　クロック同期式モードでは、設定値にかかわらず、データ長は8ビットになります。
注3.　LSBファースト固定となり、送信ではTDRレジスタのMSB（b7）は送信されません。
注4.　SCR.TEビット=0、SCR.REビット＝0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SMR レジスタは、通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

CKS[1:0] ビット（クロック選択ビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「29.3.1.4　ビットレートレジスタ（BRR）」を参照してください。

MP ビット（マルチプロセッサモードビット）

マルチプロセッサ通信機能の禁止／許可を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット（ストップビット長選択ビット）

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が “0” の場合は次の送信フレームのスタートビットとみなします。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ／奇数パリティ）を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット（パリティ許可ビット）

PE ビットが “1” のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット（キャラクタ長ビット）

送受信データのデータ長を選択します。

クロック同期式モードでは、データ長は 8 ビットになります。

CM ビット（コミュニケーションモードビット）

調歩同期式モード／クロック同期式モードを選択します。

29.2.1.6 シリアルコントロールレジスタ（SCR）

アドレス　SCI0.SCR 0008 8242h、SCI1.SCR 0008 824Ah、SCI2.SCR 0008 8252h、SCI3.SCR 0008 825Ah
SCI5.SCR 0008 826Ah、SCI6.SCR 0008 8272h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	● SCI0～SCI3の場合 （調歩同期式の場合） b1 b0 ００：内蔵ボーレートジェネレータ SCKn端子は入出力ポートとして使用可能 ０１：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力 １０：外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1のときは8倍の周波数のクロックを入力してください １１：外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1のときは8倍の周波数のクロックを入力してください （クロック同期式の場合） b1 b0 ００：内部クロック SCKn端子はクロック出力端子 ０１：内部クロック SCKn端子はクロック出力端子 １０：外部クロック SCKn端子はクロック入力端子 １１：外部クロック SCKn端子はクロック入力端子	R/W （注1）
b1-b0	CKE[1:0]	クロック許可ビット	● SCI5、SCI6の場合 （調歩同期式の場合） b1 b0 ００：内蔵ボーレートジェネレータ SCKn端子は入出力ポートとして使用可能 ０１：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します １０：外部クロックまたはTMRクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1のときは8倍の周波数のクロックを入力してください ・TMRクロックを使用可能 １１：外部クロックまたはTMRクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが1のときは8倍の周波数のクロックを入力してください ・TMRクロックを使用可能 （クロック同期式の場合） b1 b0 ００：内部クロック： SCKn端子はクロック出力端子 ０１：内部クロック： SCKn端子はクロック出力端子 １０：外部クロック SCKn端子はクロック入力端子 １１：外部クロック SCKn端子はクロック入力端子	R/W （注1）

ビット	シンボル	ビット名	機能	R/W
b2	TEIE	送信完了割り込み許可ビット	0：TEI割り込み要求を禁止 1：TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサ割り込み許可ビット	（調歩同期式モードで、SMR.MPビット＝“1”のとき有効） 0：通常の受信動作 1：マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER,FERの各ステータスフラグのセット（“1”）を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的にクリア（“0”）され、通常の受信動作に戻ります	R/W
b4	RE	受信許可ビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W （注2）
b5	TE	送信許可ビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W （注2）
b6	RIE	受信割り込み許可ビット	0：RXIおよびERI割り込み要求を禁止 1：RXIおよびERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可ビット	0：TXI割り込み要求を禁止 1：TXI割り込み要求を許可	R/W

注1.　TEビット=0、REビット＝0の場合のみ書き込みできます。
注2.　TEビット=0、REビット＝0の場合のみ“1”を書けます。いったん、TE、REビットのいずれかを“1”にすると、TEビット=0、REビット＝0のみ書けます。

SCR レジスタは、送受信制御と送受信クロックソースの選択を行うためのレジスタです。

CKE[1:0] ビット（クロック許可ビット）

クロックソースおよび SCKn 端子の機能を選択します。

TEIE ビット（送信完了割り込み許可ビット）

TEI 割り込みを許可、または禁止します。

TEI 割り込みを禁止するには、TEIE ビットを “0” にします。

MPIE（マルチプロセッサ割り込み許可ビット）

MPIE ビットを “1” にすると、マルチプロセッサビットが “0” の受信データは読み飛ばし、SSR.ORER、FER の各ステータスフラグは “1” になりません。マルチプロセッサビットが “1” のデータを受信すると、MPIE ビットは自動的に “0” になり、通常の受信動作に戻ります。詳細は「29.2.3　マルチプロセッサ通信機能」を参照してください。

SSR.MPB ビット =0 を含む受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、FER の各フラグのセット（“1”）は行いません。

MPB ビット =1 を含む受信データを受信すると、MPB ビットを “1” にし、MPIE ビットを自動的に “0” にし、RXI、ERI 割り込み要求（SCR の RIE ビットが “1” になっている場合）と、ORER、FER フラグのセット（“1”）が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには “0” を書いてください。

RE ビット（受信許可ビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” にした場合、調歩同期式モードのときにスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを “1” にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止させても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット（送信許可ビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” にすると、TDR レジスタに送信データを書くことでシリアル送信を開始します。なお、TE ビットを “1” にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（受信割り込み許可ビット）

RXI および ERI 割り込みを許可、または禁止します。

RXI 割り込みを禁止するには、RIE ビットを “0” にします。

ERI 割り込み要求信号は、SSR.ORER, FER, PER の各フラグから “1” を読んだ後、“0” にするか、RIE ビットを “0” にすると消えます。

TIE ビット（送信割り込み許可ビット）

TXI 割り込みの通知を許可、または禁止します。

TXI 割り込みを禁止するには、TIE ビットを “0” にします。

29.2.1.7　シリアルステータスレジスタ（SSR）

アドレス　SCI0.SSR 0008 8244h、SCI1.SSR 0008 824Ch、SCI2.SSR 0008 8254h、SCI3.SSR 0008 825Ch
SCI5.SSR 0008 826Ch、SCI6.SSR 0008 8274h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送ビット	送信フレームに付加するマルチプロセッサビットの設定	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値	R
b2	TEND	送信完了フラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) （注1）
b4	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W) （注1）
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) （注1）
b6	RDRF	受信データフルフラグ	0：RDR レジスタからデータを転送したとき 1：受信が正常終了し、RSR レジスタから RDR レジスタへデータが転送されたとき	R/(W) （注2）
b7	TDRE	送信データエンプティフラグ	0：TDR レジスタへデータを転送したとき 1：TDR レジスタから TSR レジスタへデータが転送されたとき	R/(W) （注2）

注1.　フラグをクリアするための“0”のみ書けます。
注2.　書く場合“1”としてください。

SSR レジスタは、SCI のステータスフラグおよび送受信マルチプロセッサビットで構成されます。

MPBT ビット（マルチプロセッサビット転送ビット）

送信フレームに付加するマルチプロセッサビットの値を設定します。

MPB ビット（マルチプロセッサビット）

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが “0” のときは変化しません。

TEND フラグ（送信完了フラグ）

送信が終了したことを示します。

［“1” になる条件］

- SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

［“0” になる条件］

- TDR レジスタへ送信データを書いたとき
  TDR レジスタへの送信データの書き込みにより TEND フラグを “0” にしたときは、TEND フラグを読んで “0” になったことを確認してください。

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信したデータにパリエィエラーが発生したことを示します。

［“1” になる条件］

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” の状態では、以降の受信データは RDR レジスタに転送しません。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき（“0” を書いた後に PER フラグが “0” になったことを確認してください。）
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ（フレーミングエラーフラグ）

調歩同期式モードで受信したデータにフレーミングエラーが発生して異常終了したことを示します。

［“1” になる条件］

- ストップビットが “0” のとき
  2 ストップモードのときは、1 ビット目のストップビットが “1” であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが “1” の状態では、以降の受信データは RDR レジスタに転送しません。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき（“0” を書いた後に FER フラグが “0” になったことを確認してください。）
  SCR.RE ビットを “0” にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信したデータにオーバランエラーが発生したことを示します。

［“1” になる条件］

- RDR レジスタの受信データを読まずに次のデータを受信したとき
  RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが “1” の状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき（“0” を書いた後に ORER フラグが “0” になったことを確認してください。）
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ 内の受信データの有無を表示します。

［“1” になる条件］

- 受信が正常終了し、RSR レジスタ から RDR レジスタ へ受信データが転送されたとき

［“0” になる条件］

- RDR レジスタ からデータを転送したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ 内の送信データの有無を表示します。

［“1” になる条件］

- TDR レジスタ から TSR レジスタ にデータが転送されたとき

［“0” になる条件］

- TDR レジスタ へ送信データを転送したとき

29.2.1.8 スマートカードモードレジスタ（SCMR）

アドレス　SCI0.SCMR 0008 8246h、SCI1.SCMR 0008 824Eh、SCI2.SCMR 0008 8256h、SCI3.SCMR 0008 825Eh
SCI5.SCMR 0008 826Eh、SCI6.SCMR 0008 8276h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	—	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード選択ビット	0：シリアルコミュニケーションインタフェースモード 1：スマートカードインタフェースモード	R/W （注1）
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	スマートカードデータ反転ビット	0：TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1：TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W （注1）
b3	SDIR	ビットオーダー選択ビット	0：LSBファーストで送受信 1：MSBファーストで送受信	R/W （注1）
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 BCP1 BCP0 0 0 0：93クロック（S=93）（注2） 0 0 1：128クロック（S=128）（注2） 0 1 0：186クロック（S=186）（注2） 0 1 1：512クロック（S=512）（注2） 1 0 0：32クロック（S=32）（注2）（初期値） 1 0 1：64クロック（S=64）（注2） 1 1 0：372クロック（S=372）（注2） 1 1 1：256クロック（S=256）（注2）	R/W （注1）

注1.　SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書けます。
注2.　Sは「29.3.1.4　ビットレートレジスタ（BRR）」中のSの値を表します。

SCMR レジスタは、スマートカードインタフェースモード、およびそのフォーマットを選択するためのレジスタです。

SMIF ビット（スマートカードインタフェースモード選択ビット）

スマートカードインタフェースモードで動作させるときは、“1” にします。
調歩同期式またはクロック同期式モードで動作させるときは、“0” にします。

SINV ビット（スマートカードデータ反転ビット）

送受信データのロジックレベルを反転させます。SINV ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR.PM ビットを反転させてください。

SDIR ビット（ビットオーダー選択ビット）

シリアル／パラレル変換の方向を選択します。

BCP2 ビット（基本クロックパルスビット 2）

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

29.2.1.9 ビットレートレジスタ（BRR）

アドレス　SCI0.BRR 0008 8241h、SCI1.BRR 0008 8249h、SCI2.BRR 0008 8251h、SCI3.BRR 0008 8259h
SCI5.BRR 0008 8269h、SCI6.BRR 0008 8271h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI ではチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR レジスタの設定値 N とビットレート B の関係を**表 29.14** に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU からの読み出しは常に可能ですが、書き込みは SCR.TE ビット =0、SCR.RE ビット =0 の場合のみ可能です。

表29.5　BRRレジスタの設定値NとビットレートBの関係

モード	SEMR.ABCSビット	BRRレジスタの設定値	誤差
調歩同期式	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差（%）＝ $\{\frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差（%）＝ $\{\frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
クロック同期式		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	

注.　B　：ビットレート（bps）
　　N　：ボーレートジェネレータのBRRの設定値（0≦N≦255）
　　PCLK　：動作周波数（MHz）
　　nとS　：下表のとおりSMRの設定値に依存します。

SMRレジスタの設定値 CKS[1:0]ビット	クロックソース	n
0 0	PCLKクロック	0
0 1	PCLK/4クロック	1
1 0	PCLK/16クロック	2
1 1	PCLK/64クロック	3

SCMRレジスタの設定値 BCP2ビット	SMRレジスタの設定値 BCP[1:0]ビット	基本クロック	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を**表 29.6** に、各動作周波数における設定可能な最大ビットレートを**表 29.7** に示します。また、クロック同期式モードにおける BRR レジスタの値 N の設定例を**表 29.9** に示します。また、**表 29.8**、**表 29.10** に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ（SEMR）の調歩同期基本クロック選択ビット（ABCS）を “1” にしたときのビットレートは**表 29.6** の 2 倍になります。

表29.6　ビットレートに対するBRRの設定例（調歩同期式モード）（1）

ビットレート（bps）	動作周波数PCLK（MHz）											
	8			9.8304			10			12		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート（bps）	動作周波数PCLK（MHz）								
	12.288			14			16		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	217	0.08	2	248	-0.17	3	70	0.03
150	2	159	0.00	2	181	0.16	2	207	0.16
300	2	79	0.00	2	90	0.16	2	103	0.16
600	1	159	0.00	1	181	0.16	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	15	0.00
38400	0	9	0.00	—	—	—	0	12	0.16

注.　SEMR.ABCSビット＝0のときの例です。
ABCSビット=1にしたときは、ビットレートが2倍になります。

表29.6　ビットレートに対するBRRの設定例（調歩同期式モード）（2）

ビットレート（bps）	動作周波数PCLK（MHz）											
	17.2032			18			19.6608			20		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

ビットレート（bps）	動作周波数PCLK（MHz）											
	25			30			33			50		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	110	-0.02	3	132	0.13	3	145	0.33	3	221	-0.02
150	3	80	0.47	3	97	-0.35	3	106	0.39	3	162	-0.15
300	2	162	-0.15	2	194	0.16	2	214	-0.07	3	80	0.47
600	2	80	0.47	2	97	-0.35	2	106	0.39	2	162	-0.15
1200	1	162	-0.15	1	194	0.16	1	214	-0.07	2	80	0.47
2400	1	80	0.47	1	97	-0.35	1	106	0.39	1	162	-0.15
4800	0	162	-0.15	0	194	0.16	0	214	-0.07	1	80	0.47
9600	0	80	0.47	0	97	-0.35	0	106	0.39	1	40	-0.77
19200	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	80	0.47
31250	0	24	0.00	0	29	0	0	32	0	0	49	0.00
38400	0	19	1.73	0	23	1.73	0	26	-0.54	0	40	-0.77

注.　SEMR.ABCSビット＝0のときの例です。
　　ABCSビット=1にしたときは、ビットレートが2倍になります。

表29.7　各動作周波数における最大ビットレート（調歩同期式モード）

PCLK（MHz）	最大ビットレート（bps）	n	N	PCLK（MHz）	最大ビットレート（bps）	n	N
8	250000	0	0	18	562500	0	0
9.8304	307200	0	0	19.6608	614400	0	0
10	312500	0	0	20	625000	0	0
12	375000	0	0	25	781250	0	0
12.288	384000	0	0	30	937500	0	0
14	437500	0	0	33	1031250	0	0
16	500000	0	0	50	1562500	0	0
17.2032	537600	0	0				

注.　SEMR.ABCSビット＝1にしたときは、ビットレートが2倍になります。

表29.8　外部クロック入力時の最大ビットレート（調歩同期式モード）（1）

PCLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）	PCLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）
8	2.0000	125000	18	4.5000	281250
9.8304	2.4576	153600	19.6608	4.9152	307200
10	2.5000	156250	20	5.0000	312500
12	3.0000	187500	25	6.2500	390625
12.288	3.0720	192000	30	7.5000	468750
14	3.5000	218750	33	8.2500	515625
16	4.0000	250000	50	12.500	781250
17.2032	4.3008	268800			

注.　SEMR.ABCSビット＝0のときの例です。

表29.8　外部クロック入力時の最大ビットレート（調歩同期式モード）（2）

PCLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）	PCLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）
8	2.0000	250000	18	4.5000	562500
9.8304	2.4576	307200	19.6608	4.9152	614400
10	2.5000	312500	20	5.0000	625000
12	3.0000	375000	25	6.2500	781250
12.288	3.0720	384000	30	7.5000	937500
14	3.5000	437500	33	8.2500	1031250
16	4.0000	500000	50	12.500	1562500
17.2032	4.3008	537600			

注.　SEMR.ABCSビット＝1のときの例です。

表29.9　ビットレートに対するBRRの設定例（クロック同期式モード）

ビットレート（bps）	動作周波数PCLK（MHz）															
	8		10		16		20		25		30		33		50	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	194
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	3	77
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	155
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	2	77
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	124
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	61
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	124
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	49
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	24
1M	0	1	—	—	0	3	0	4	—	—	—	—	—	—	—	—
2M	0	0（注1）	—	—	0	1	—	—	—	—	—	—	—	—	—	—
2.5M			0	0（注1）	—	—	0	1	—	—	0	2	—	—	0	4
4M					0	0（注1）	—	—	—	—	—	—	—	—	—	—
5M							0	0（注1）	—	—	—	—	—	—	—	—
6.25M									0	0（注1）	—	—	—	—	0	1
7.5M											0	0（注1）	—	—	—	—
8.25M													0	0（注1）	—	—
12.5M															0	0（注1）

【記号説明】　空欄：設定できません。
　　—　：設定可能ですが誤差が生じます。
注1.　連続送信／連続受信はできません。

表29.10　外部クロック入力時の最大ビットレート（クロック同期式モード）

PCLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）	PCLK（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	50	8.3333	8333333.3
18	3.0000	3000000.0			

29.2.1.10 シリアル拡張モードレジスタ（SEMR）

アドレス　SCI0.SEMR 0008 8247h、SCI1.SEMR 0008 824Fh、SCI2.SEMR 0008 8257h、SCI3.SEMR 0008 825Fh
SCI5.SEMR 0008 826Fh、SCI6.SEMR 0008 8277h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ABCS	—	—	—	ACS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソース選択ビット	（調歩同期式モードのみ有効） 0：外部クロック入力（SCI0～SCI3、SCI5、SCI6） 1：TMRクロック入力　（SCI5、SCI6のみ有効） SCIチャネルとコンペアマッチ出力の対応を示します。 SCI：SCI5／ユニット0／TMO0、TMO1 SCI：SCI6／ユニット1／TMO2、TMO3	R/W（注）
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	ABCS	調歩同期基本クロック選択ビット	（調歩同期式モードのみ有効） 0：基本クロック16サイクルの期間が1ビット期間の転送レートになります。 1：基本クロック8サイクルの期間が1ビット期間の転送レートになります。	R/W（注）
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注.　SCR.TEビット=0、SCR.REビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SEMR レジスタは、調歩同期式モード時の 1 ビット期間のクロックを選択するためのレジスタです。

SCI5、SCI6 では、TMR ユニット 0、1 の TMOn(n=0 ～ 3) 出力をシリアル送受信ベースクロックに設定することができます。

TMRn(n=0 ～ 3) の TMOn 出力を選択したときの設定例を図 29.3 に示します。

ACS0 ビット（調歩同期クロックソース選択ビット）

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード（SMR.CM ビット =0）で、外部クロック入力（SCR.CKE[1:0] ビット＝10b、11b）のときに有効です。外部クロック入力または、内蔵 TMR クロック入力を選択できます。

SCI5、SCI6 以外は予約ビットです。SCI5、SCI6 以外では書く場合、“0” にしてください。

ABCS ビット（調歩同期基本クロック選択ビット）

1 ビット期間の基本クロックのパルス数を選択します。

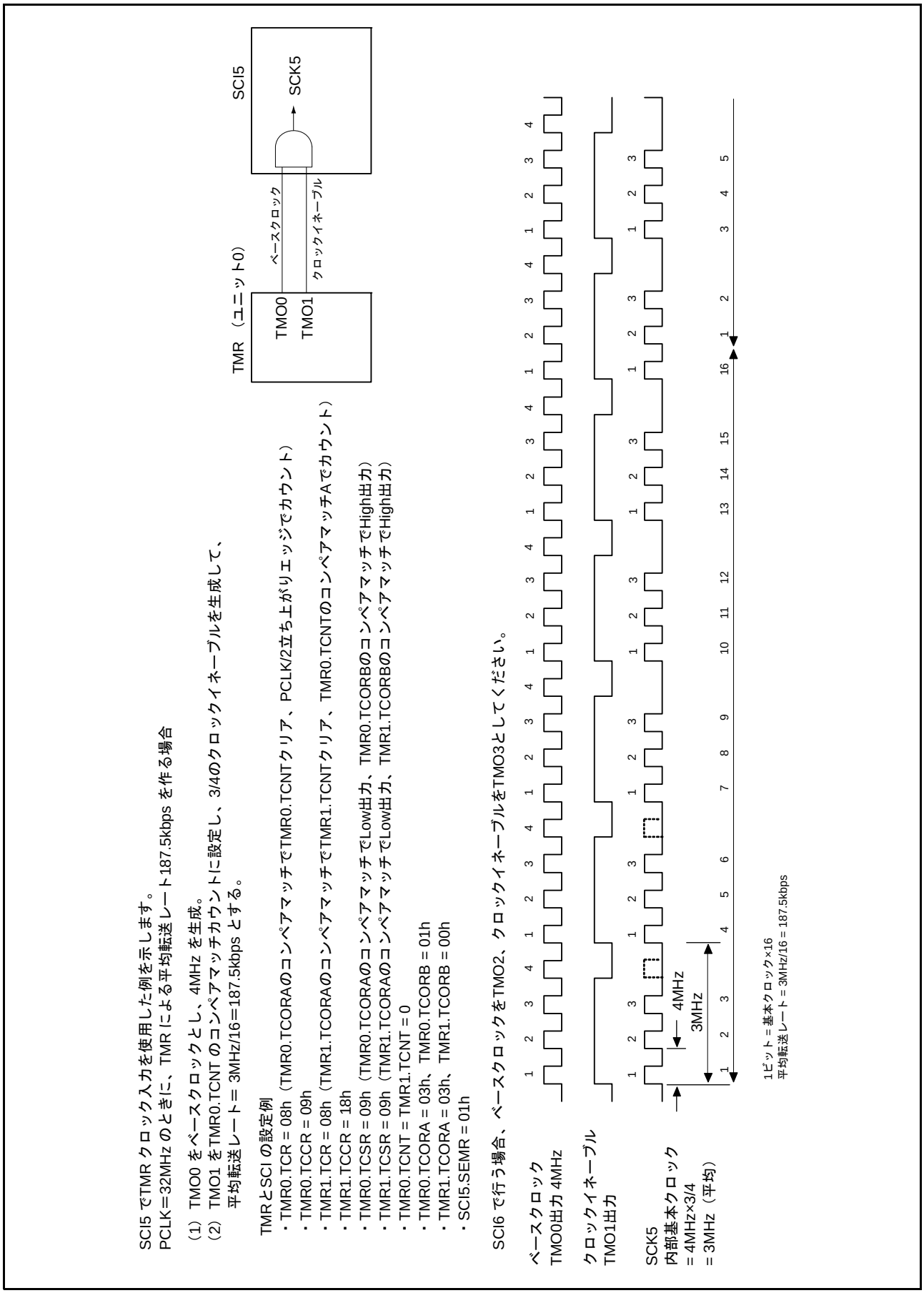


図 29.3　TMR クロック入力時の平均転送レート設定例

29.2.2　調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 29.4 に示します。

1 フレームは、スタートビット（Low）から始まり送受信データ、パリティビット、ストップビット（High）の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態（High）に保たれています。

SCI は通信回線を監視し、スペース（Low）を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータの読み出し／書き込みができ、連続送受信が可能です。

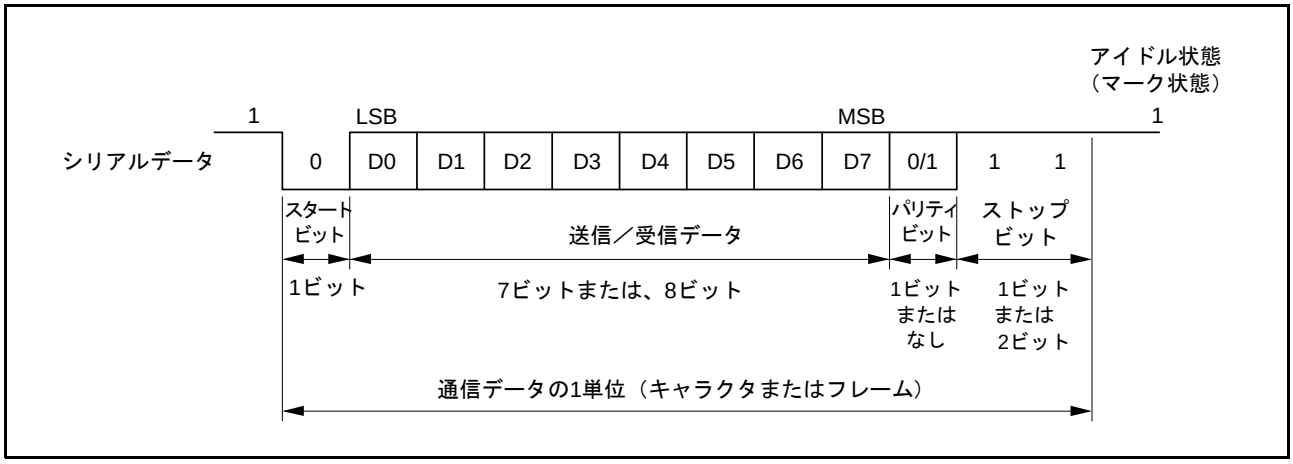


図 29.4　調歩同期式シリアル通信のデータフォーマット
（8 ビットデータ／パリティあり／2 ストップビットの例）

29.2.2.1　シリアル送信／受信フォーマット

調歩同期式モードで設定できるシリアル送信／受信フォーマットを**表 29.11** に示します。

フォーマットは 12 種類あり、SMR レジスタの設定により選択できます。マルチプロセッサ機能の詳細については「**29.2.3　マルチプロセッサ通信機能**」を参照してください。

表29.11　シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S	8ビットデータ								STOP		
0	0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	0	S	8ビットデータ								P	STOP	
0	1	0	1	S	8ビットデータ								P	STOP	STOP
1	0	0	0	S	7ビットデータ							STOP			
1	0	0	1	S	7ビットデータ							STOP	STOP		
1	1	0	0	S	7ビットデータ							P	STOP		
1	1	0	1	S	7ビットデータ							P	STOP	STOP	
0	ー	1	0	S	8ビットデータ								MPB	STOP	
0	ー	1	1	S	8ビットデータ								MPB	STOP	STOP
1	ー	1	0	S	7ビットデータ							MPB	STOP		
1	ー	1	1	S	7ビットデータ							MPB	STOP	STOP	

【記号説明】　S　：スタートビット
STOP：ストップビット
P　：パリティビット
MPB　：マルチプロセッサビット

29.2.2.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍(注 1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 29.5 に示すように受信データを 8 クロック目(注 1)の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式（1）のように表わすことができます。

$$M=\left|\left(0.5-\frac{1}{2N}\right)-(L-0.5)F-\frac{\left|D-0.5\right|}{N}(1+F)\right|\times 100\ [\%]\qquad \cdots 式（1）$$

M ： 受信マージン
N ： クロックに対するビットレートの比
　（SEMR.ABCSビット=0のときN=16、ABCSビット=1のときN=8）
D ： クロックのデューティ比（D=0.5～1.0）
L ： フレーム長（L=9～12）
F ： クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）＝0、D（クロックのデューティ比）＝0.5 とすると、

M=〔0.5−1/（2×16）〕×100〔%〕=46.875%

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30%の余裕を持たせてください。

注 1.　SEMR.ABCS ビット＝0 のときの例です。ABCS ビット＝1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

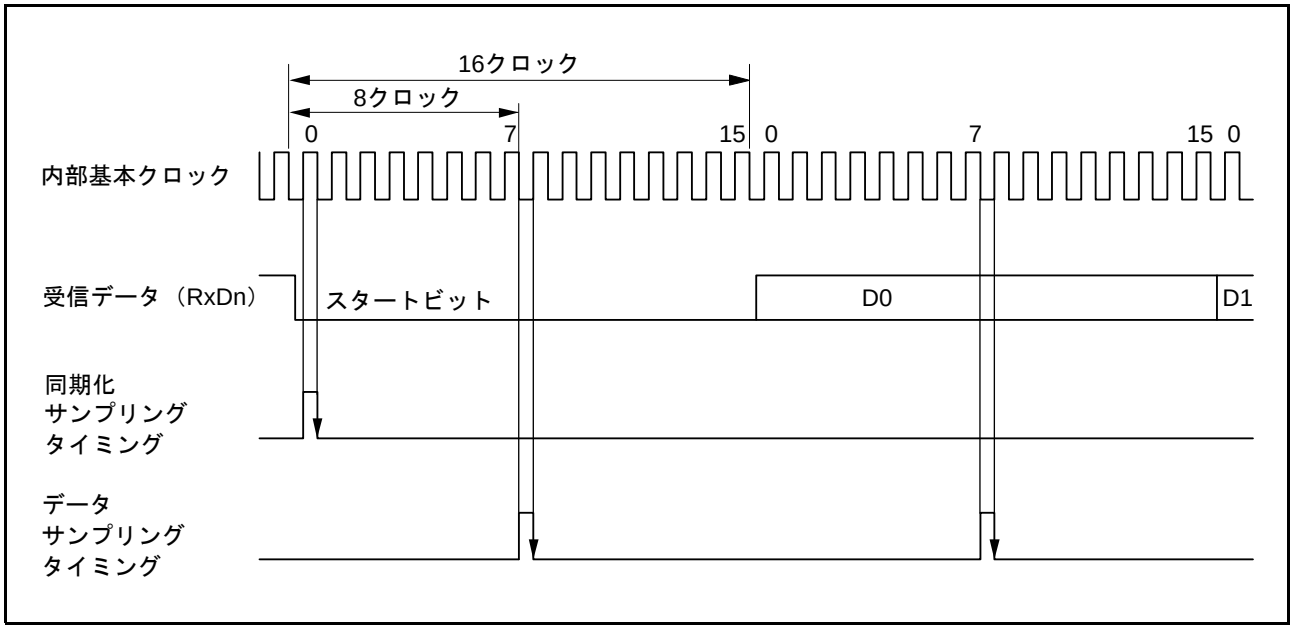


図 29.5　調歩同期式モードの受信データサンプリングタイミング

29.2.2.3 クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCKn 端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（SEMR.ABCS ビット＝ 0 のとき）、8 倍（SEMR.ABCS ビット＝ 1 のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIm.SEMR.ACS0 ビット (m=5、6) の設定により、TMR0、TMR1 からの基本クロックを選択することが可能です。

内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図 29.6 に示すように送信データの中央でクロックが立ち上がります。

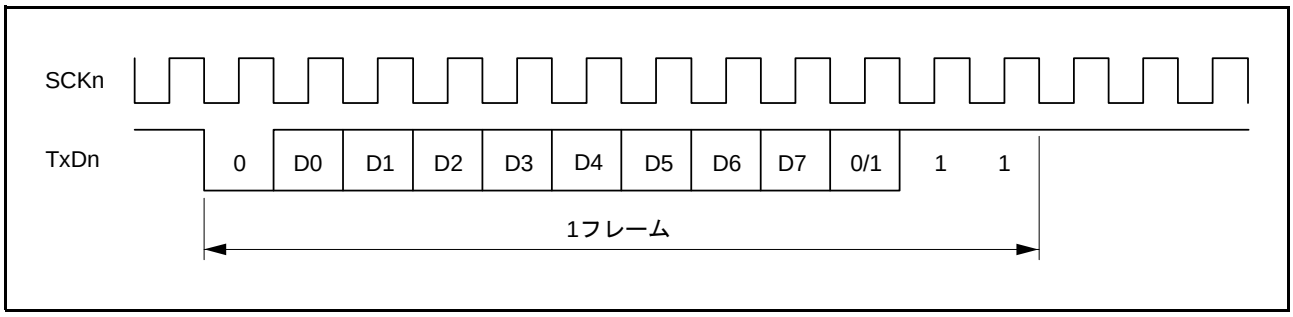


図 29.6　出力クロックと送信データの位相関係（調歩同期式モード）

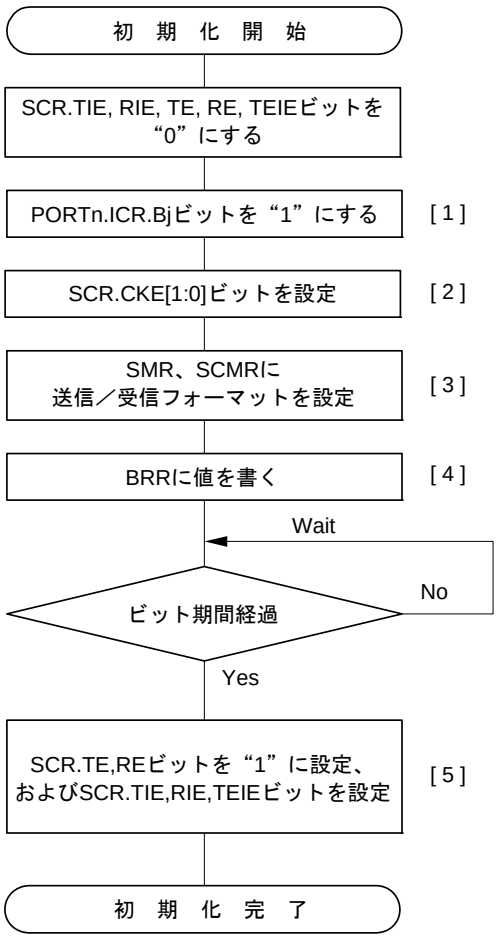
29.2.2.4 SCI の初期化（調歩同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 29.7 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、SCR.TIE ビットが “1” の場合、TXI 割り込み要求が発生しますので注意してください。



[1] 受信および外部クロックで使用する場合、対応する端子のPORTn.ICR.Bjビットを “1” （対応する端子の入力バッファは有効）に設定します。

[2] SCRにクロックの選択を設定してください。
調歩同期式モードでクロック出力を選択した場合には、SCRの設定後、直ちに出力されます。

[3] SMR、SCMR (注1) に送信／受信フォーマットを設定します。

[4] BRRにビットレートに対応する値を書いてください。
ただし、外部クロックを使用する場合には必要ありません。

[5] 少なくとも1ビット期間待ってから、SCR.TEビット、またはSCR.REビットを “1” にしてください。また、SCR.TIE,RIE,TEIEビットを設定してください。 (注2)
TE、REビットを設定するとことによりTxDn、RxDn端子が使用可能となります。

注1. SCMRレジスタには初期値を設定してください。
注2. TXI割り込みでDMACおよびDTCを起動する場合、TIEとTEIEビットの両方を “1” に設定すると、DMAC/DTC転送中に、TEI割り込みによるCPU割り込みが発生します。TEIEビットは、DMAC/DTCによる全転送が終わった後、 “1” にするようにしてください。

図 29.7　SCI の初期化フローチャートの例（調歩同期式モード）

29.2.2.5　シリアルデータの送信（調歩同期式モード）

図 29.8 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” にした後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” なら、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。
3. TxDn　端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていると、次の送信データを TDR レジスタから TSR レジスタにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが “1” になっていると、SSR.TEND フラグが “1” になり、TEI 割り込み要求を発生します。

図 29.9 にシリアル送信のフローチャートの例を示します。

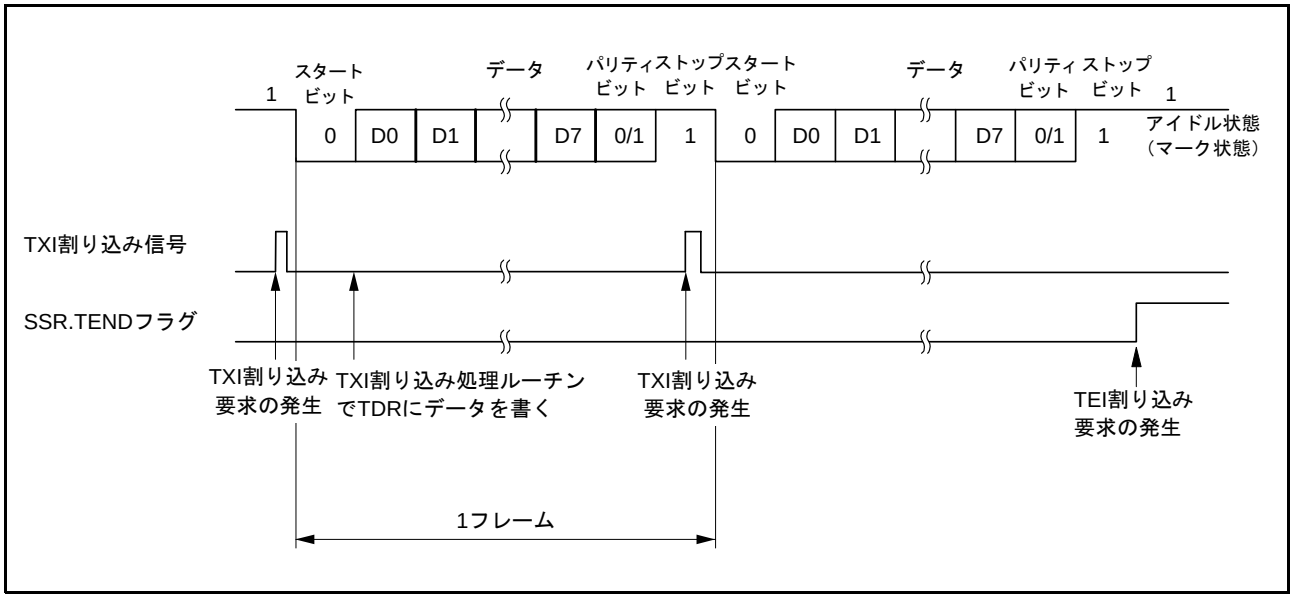
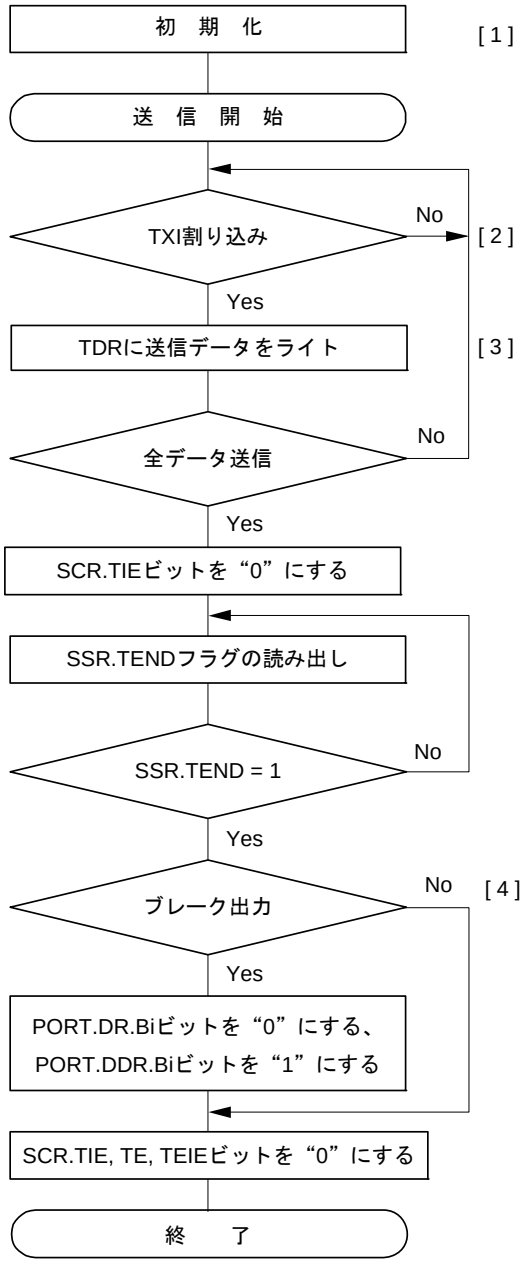


図 29.8　調歩同期式モードのシリアル送信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）



[1]　SCIを初期化：
TxDn端子は自動的に送信データ出力端子になります。
SCR.TEビットを“1”にすると、端子が1フレーム間High出力され、その後送信が可能になります。

[2]　TXI割り込み要求で送信データをTDRレジスタに書き込み：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み要求（TXI）が発生します。TXI割り込み処理ルーチンでTDRレジスタに送信データを1回だけ書いてください。

[3]　シリアル送信の継続手順：
シリアル送信を続けるときには、TXI割り込み要求でTDRレジスタに送信データを1回だけ書いてください。DMACAまたはDTCを起動し、TDRレジスタにデータを書くことも可能です。

[4]　シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、TxDn端子に対応するポートのPORT.DDR.Bjビットを“1”（出力ポート）に設定、PORT.DR.Bjビットを“0”（Low出力）にした後に、SCR.TEビットを“0”にします。

図 29.9　調歩同期式モードのシリアル送信のフローチャート例

29.2.2.6　シリアルデータの受信（調歩同期式モード）

図 29.10 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したときは、SSR.ORER フラグが “1” になります。このとき、SCR.RIE ビットが “1” なら、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送されません。
3. パリティエラーを検出した場合は SSR.PER フラグが “1” になり、受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” なら、ERI 割り込み要求が発生します。
4. フレーミングエラー（ストップビットが 0 のとき）を検出した場合は SSR.FER フラグが “1” になり、受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” なら、ERI 割り込み要求が発生します。
5. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが “1” なら、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までに読むことで連続受信が可能です。

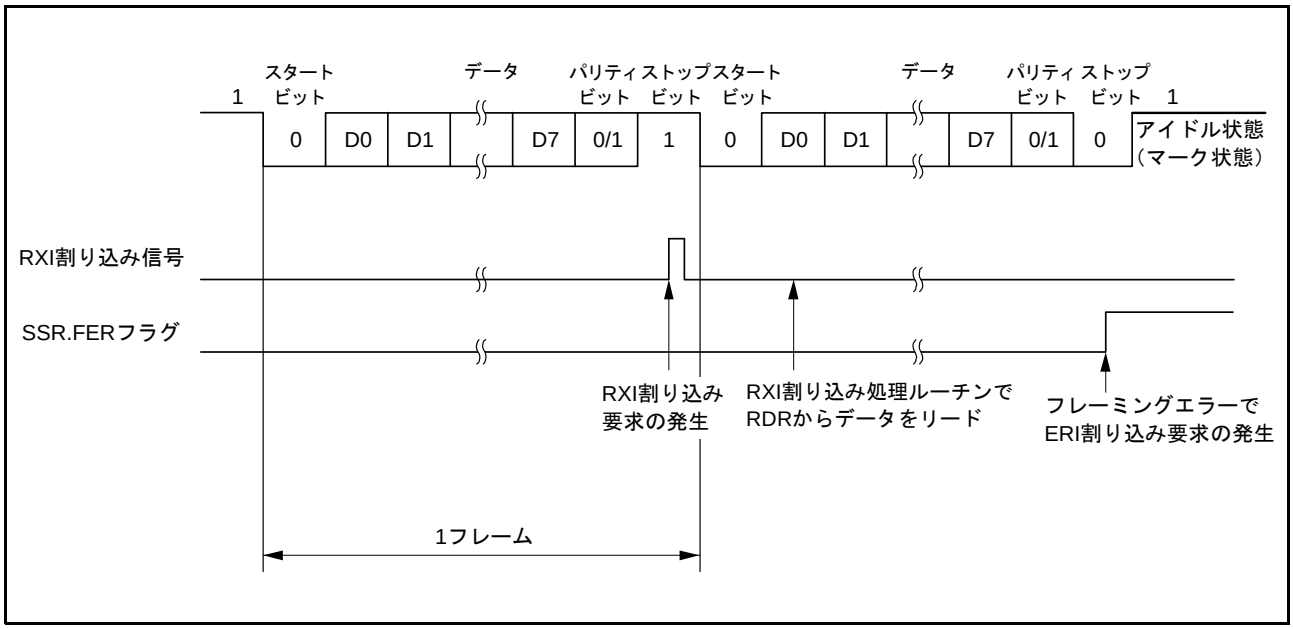


図 29.10　調歩同期式モードのシリアル受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を**表 29.12** に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグが “1” の状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを “0” に設定してください。また、オーバランエラー処理では RDR レジスタを読んでください。

図 29.11、**図 29.12** にシリアル受信のフローチャートの例を示します。

表 29.12　SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー＋フレーミングエラー
1	0	1	消失	オーバランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

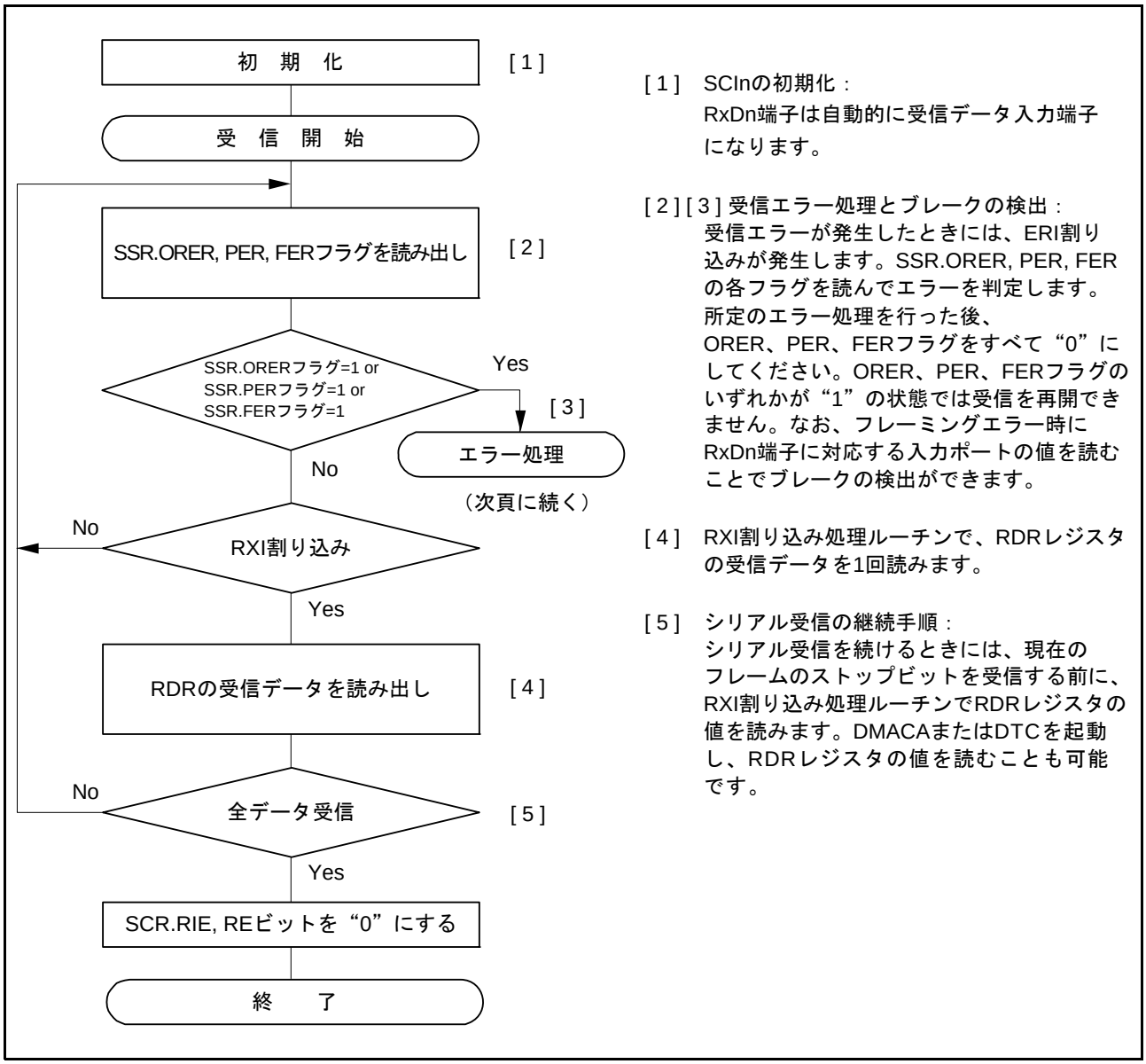


図 29.11　調歩同期式モードのシリアル受信のフローチャート例（1）

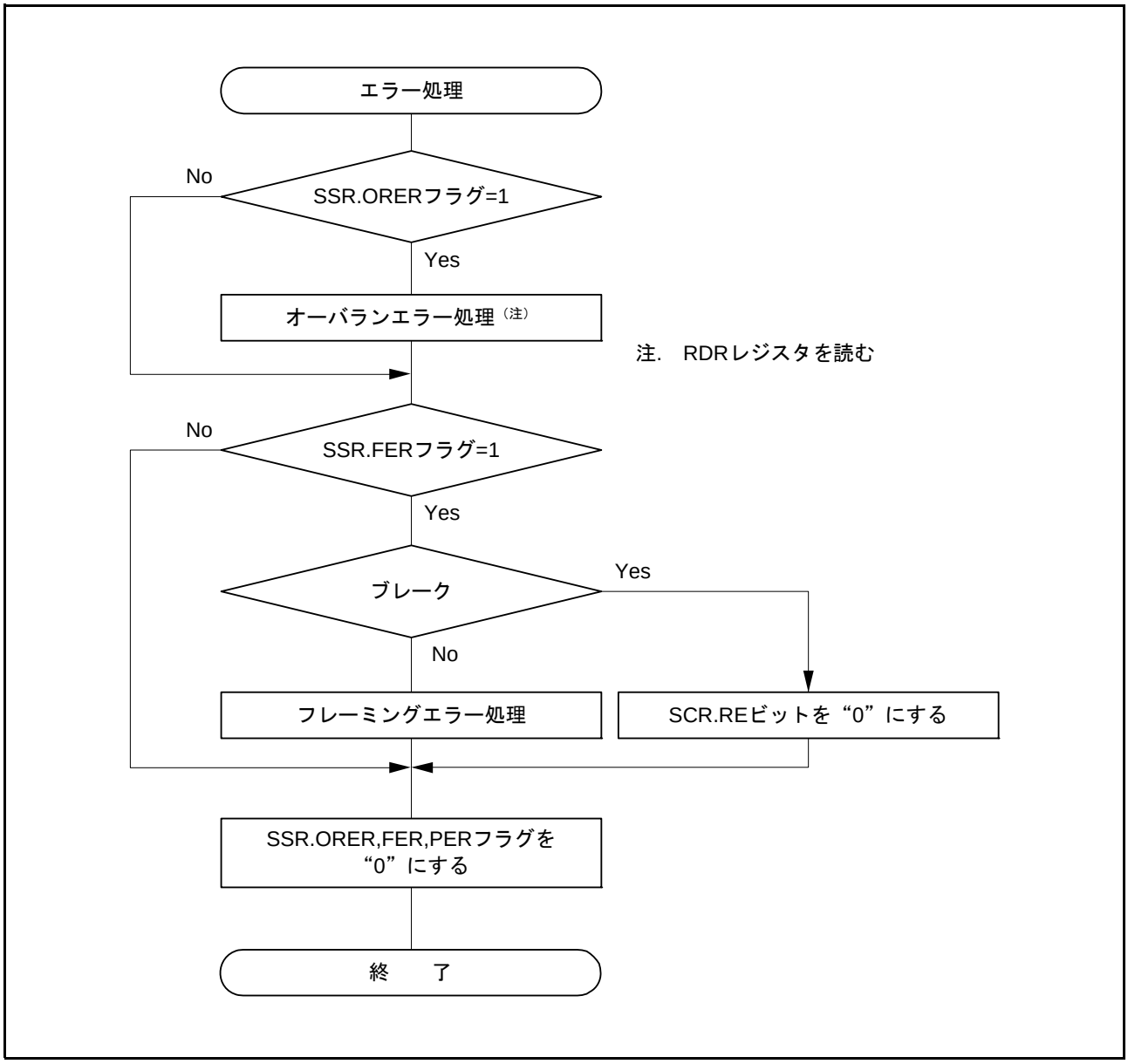


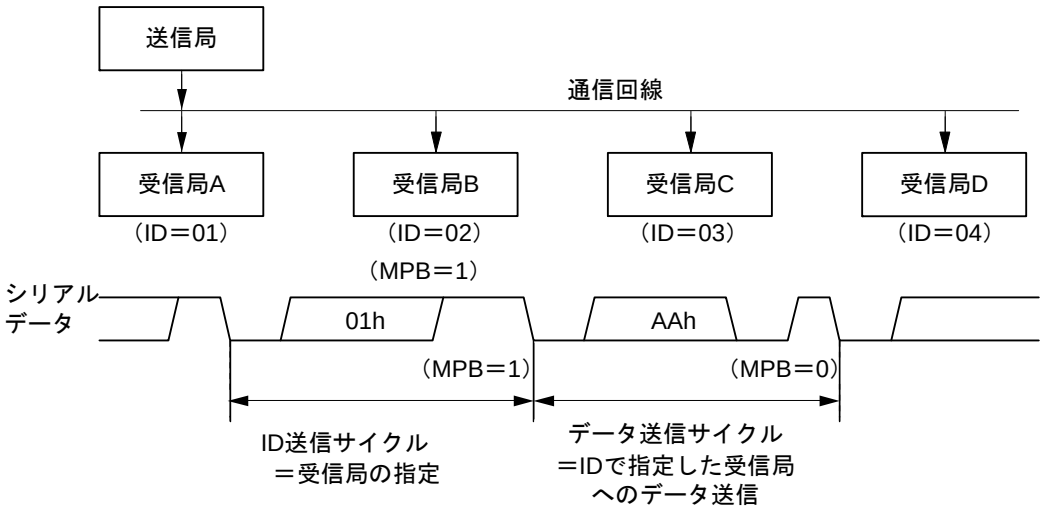
図 29.12　調歩同期式モードのシリアル受信のフローチャート例（2）

29.2.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが “1” のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 29.13 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを “1” にすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.ORER、FER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR.MPB ビットが “1” になるとともに SCR.MPIE ビットが自動的に “0” になり通常の受信動作に戻ります。このとき SCR.RIE ビットが “1” になっていると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。



【記号説明】
MPB：マルチプロセッサビット

図 29.13　マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AAh の送信の例）

29.2.3.1　マルチプロセッサシリアルデータ送信

図 29.14 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを “1” にして送信してください。データ送信サイクルでは SSR.MPBT ビットを “0” にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

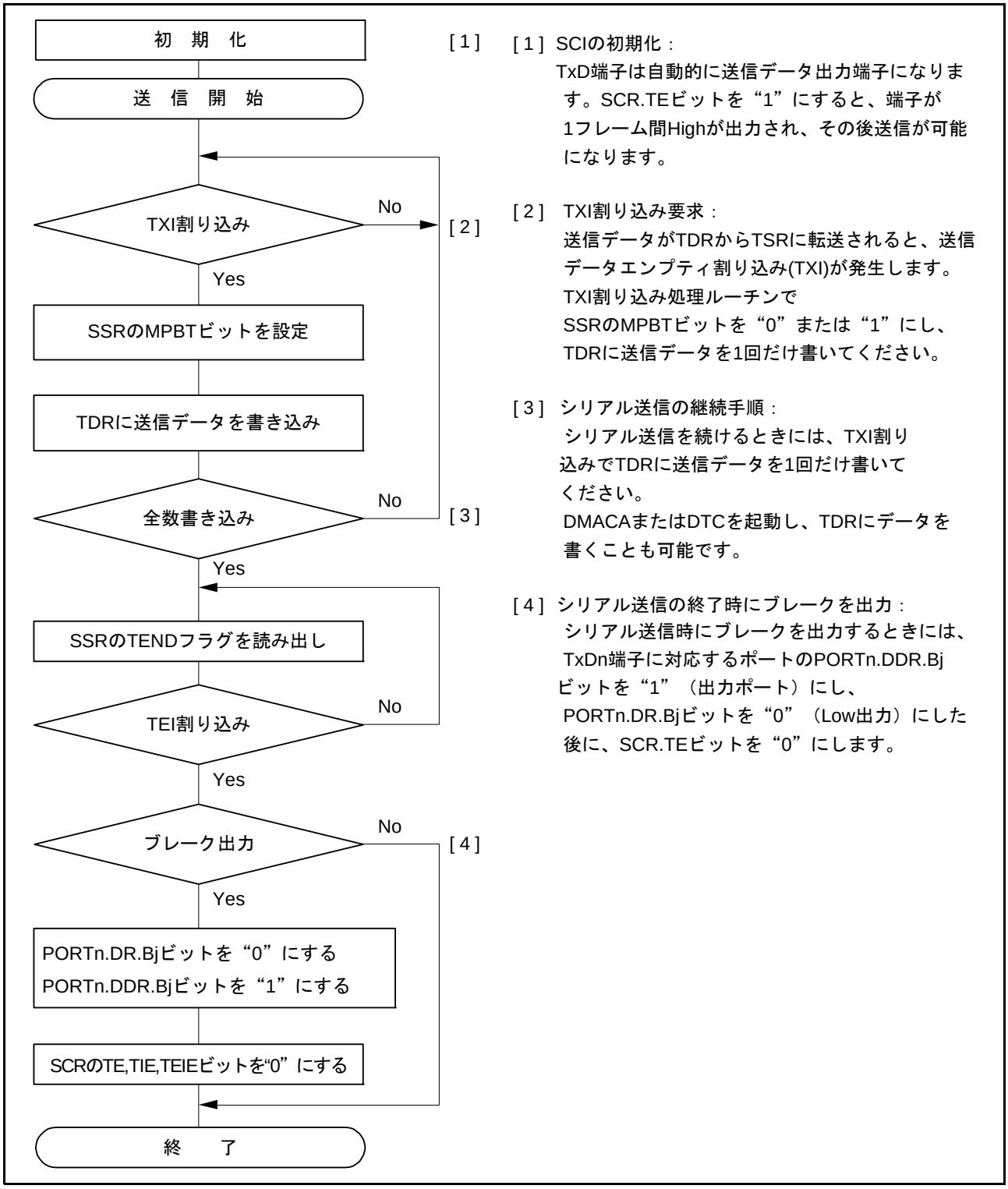


図 29.14　マルチプロセッサシリアル送信のフローチャートの例

29.2.3.2　マルチプロセッサシリアルデータ受信

図 29.16、図 29.17 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを “1” にするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。

図 29.15 に受信時の動作例を示します。

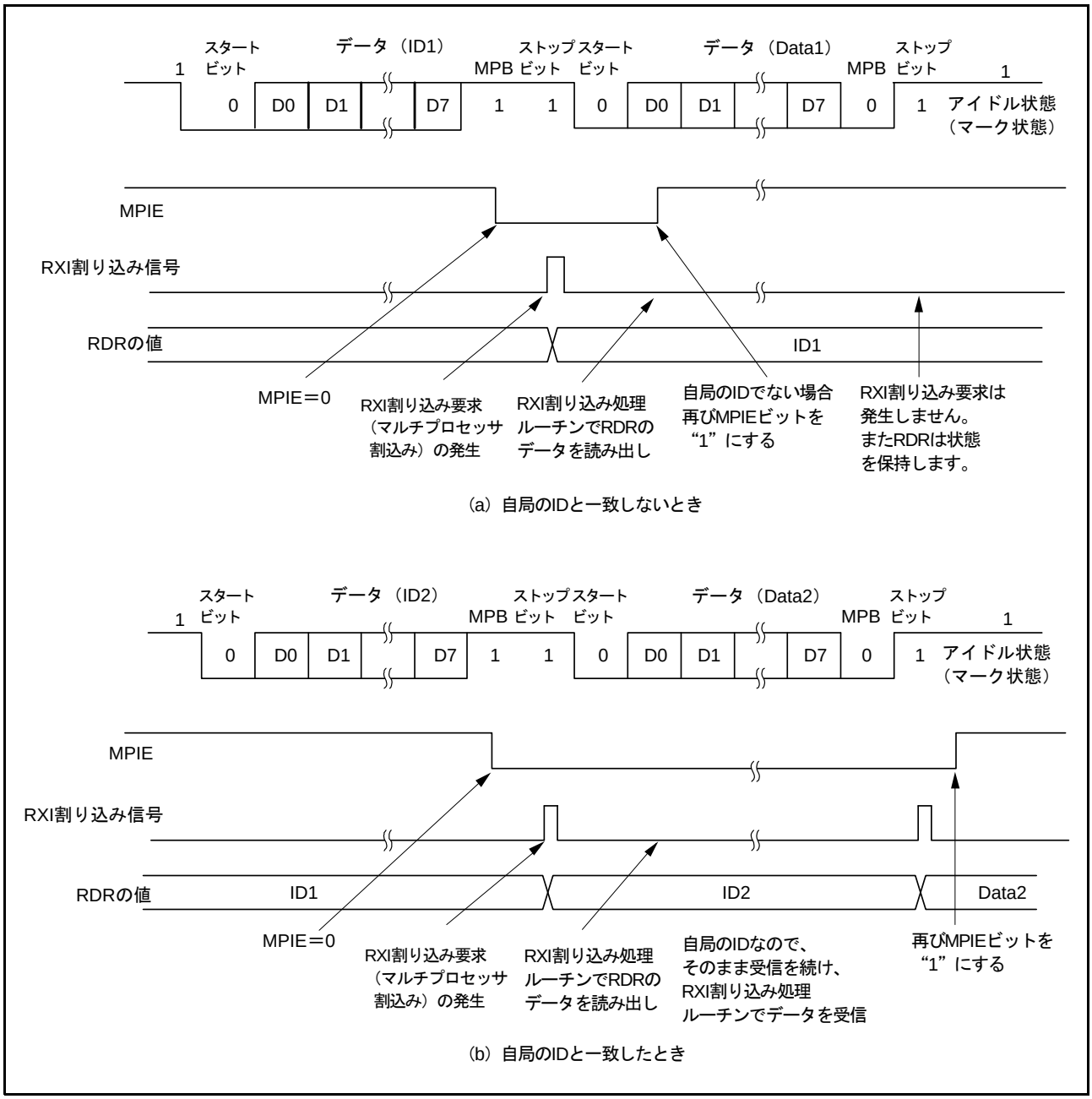
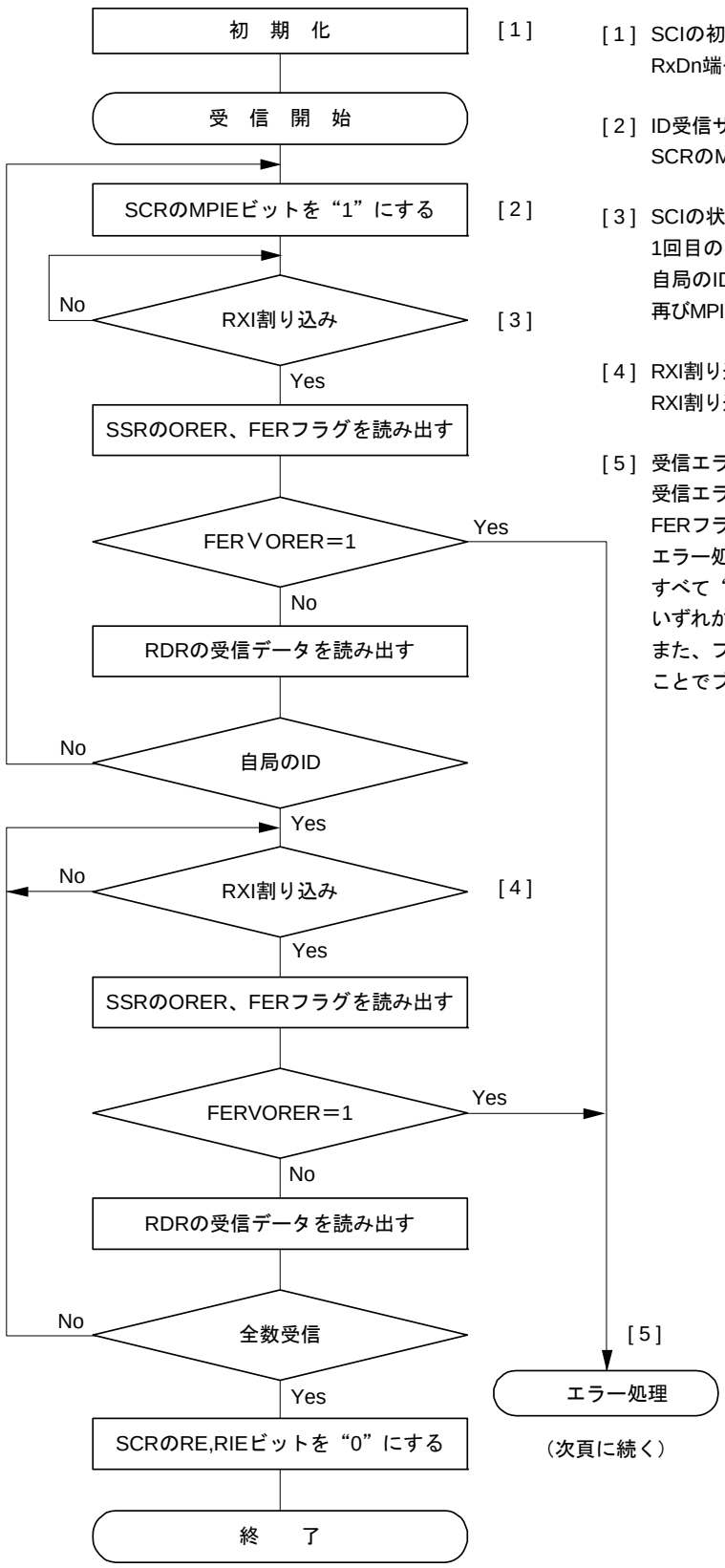


図 29.15　SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／ 1 ストップビットの例）



[1] SCIの初期化：
RxDn端子は自動的に受信データ入力端子になります。

[2] ID受信サイクル：
SCRのMPIEビットを“1”にし、ID受信を待ちます。

[3] SCIの状態を確認して、IDの受信と比較：
1回目のRXI割り込みで、RDRのデータを読み出し、自局のIDと比較します。自局のIDでないときには、再びMPIEビットを“1”にしてRXI割り込みを待ちます。

[4] RXI割り込みでデータの受信：
RXI割り込みルーチンで、RDRのデータを1回読みます。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSRのORER、FERフラグを読んでエラーを判定します。所定のエラー処理を行った後、ORER、FERフラグをすべて“0”にしてください。ORER、FERフラグのいずれかが“1”の状態では受信を再開できません。また、フレーミングエラー時にRxDn端子の値を読むことでブレークの検出ができます。

図 29.16　マルチプロセッサシリアル受信のフローチャートの例（1）

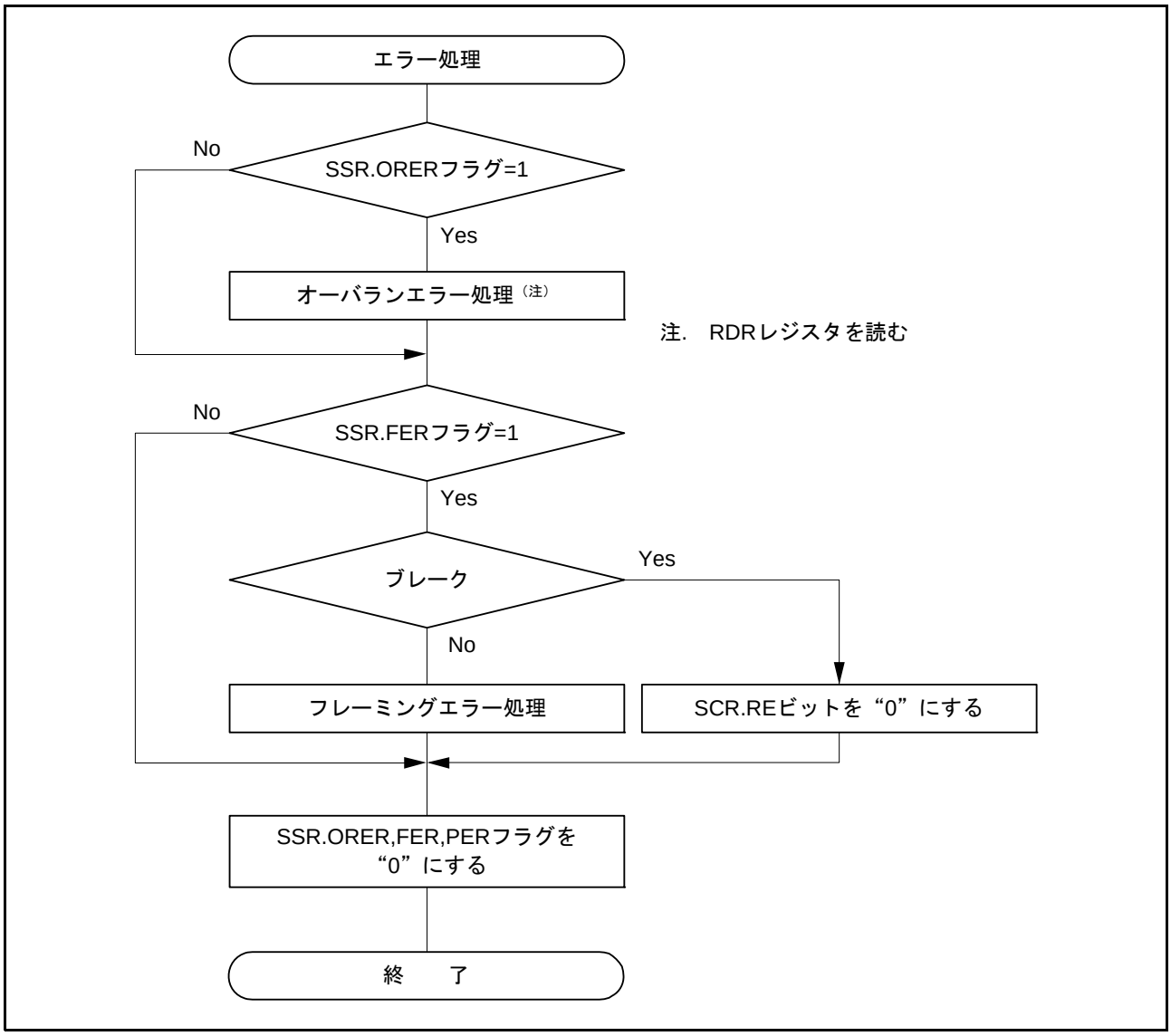


図 29.17　マルチプロセッサシリアル受信のフローチャートの例（2）

29.2.4　クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 29.18 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビットの出力状態を保ちます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部／受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しを行うことで連続送受信が可能です。

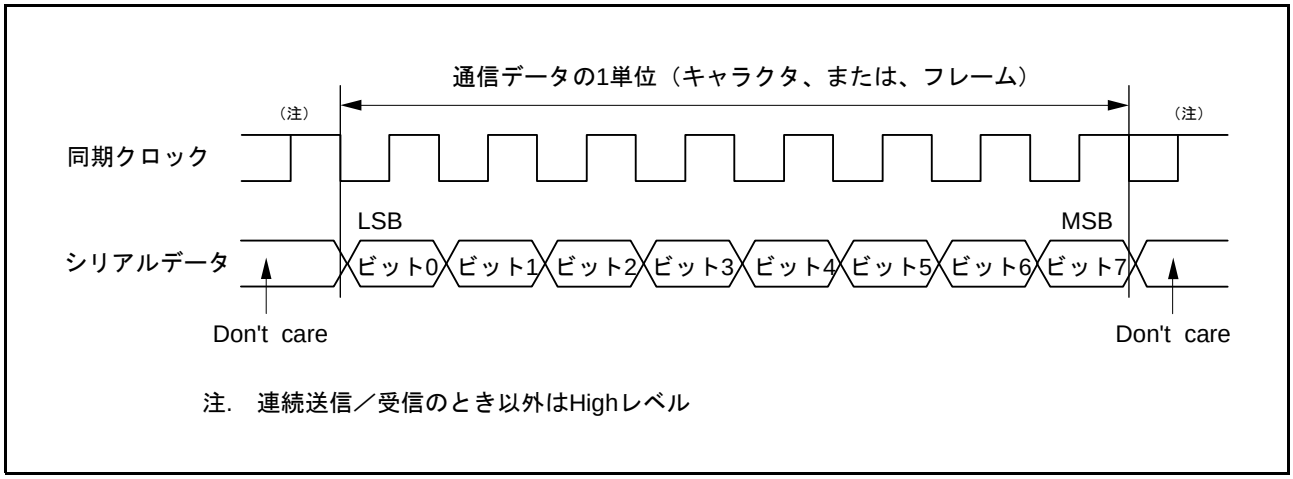


図 29.18　クロック同期式シリアル通信のデータフォーマット（LSB ファーストの場合）

29.2.4.1　クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

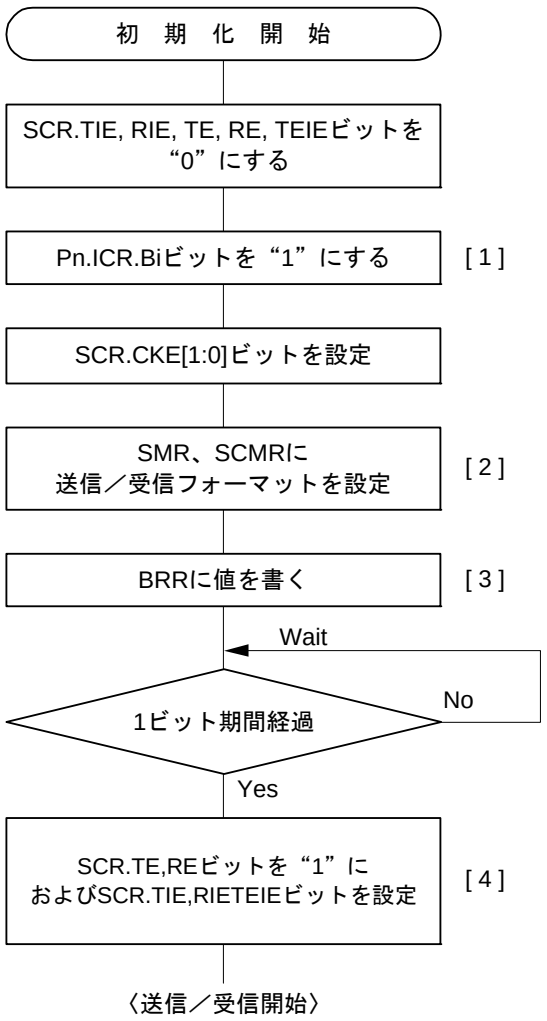
内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときはオーバランエラーが発生するか、SCR.RE ビットを “0” にするまで同期クロックは出力されます。

29.2.4.2 SCI の初期化（クロック同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 29.19 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。



[1] 受信および外部クロックで使用する場合

[2] SMR、SCMR (注1) に送信／受信フォーマットを設定します。

[3] BRRにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合にはこの作業は必要ありません。

[4] 少なくとも1ビット期間待ってから、SCR.TEビット、またはSCR.REビットを“1”にします。また、SCR.TIE,RIE,TEIEビットを設定してください。(注2) TE、REビットの設定でTxDn、RxDn端子が使用可能になります。

注1. SCMRレジスタには初期値を設定してください。
注2. TXI割り込みでDMACおよびDTCを起動する場合、TIEとTEIEビットの両方を“1”に設定すると、DMAC/DTC転送中に、TEI割り込みによるCPU割り込みが発生します。TEIEビットは、DMAC/DTCによる全転送が終わった後、“1”にするようにしてください。

注. 全二重動作の場合は、SCR.TE, REビットに“0”、“1”を、同時に書いてください。

図 29.19 SCI の初期化フローチャートの例（クロック同期式モード）

29.2.4.3 シリアルデータの送信（クロック同期式モード）

図 29.20 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” にした後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、TIE ビットが “1” なら、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書くことで連続送信が可能です。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxDn 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグが “1” になる、最終ビットの出力状態を保持します。このとき SCR.TEIE ビットが “1” なら、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 29.21 にシリアル送信のフローチャートの例を示します。
受信エラーフラグ（SSR.ORER, FER, PER）が “1” の状態では送信を開始しません。送信開始の前に、受信エラーフラグを “0” にしてください。また、受信エラーフラグは SCR.RE ビットを “0” にしただけでは “0” になりませんので注意してください。

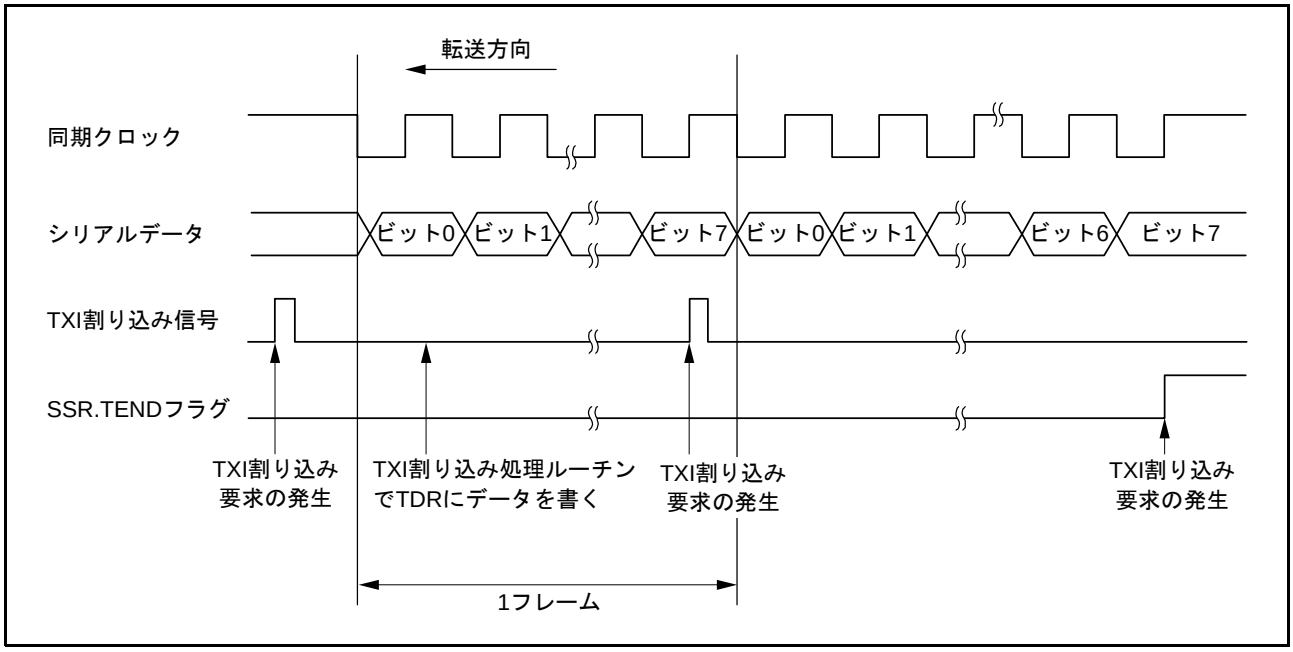
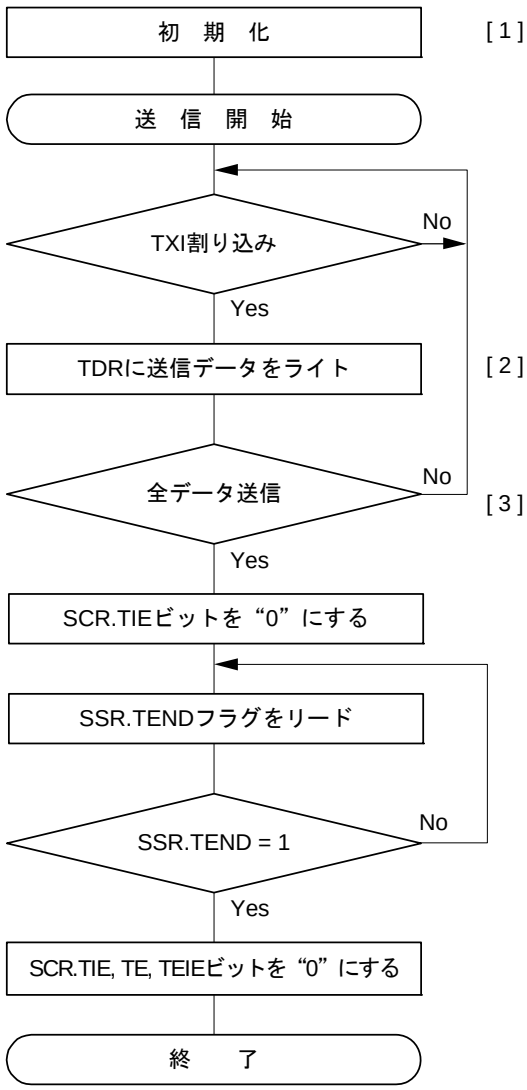


図 29.20　クロック同期式モードのシリアル送信時の動作例



[1]　SCIの初期化：
TxDn端子は自動的に送信データ出力端子になります。

[2]　TXI割り込み要求で送信データをTDRレジスタに書き込み：
送信データがTDRレジスタからTSRレジスタに転送されると、TXI割り込み要求が発生します。送信データエンプティ割り込み（TXI）により、TDRレジスタに送信データを1 回書きます。

[3]　シリアル送信の継続手順：
シリアル送信を続けるときには、TXIにより、TDRレジスタにデータを書いてください。
TXI割り込み要求で、DMACAまたはDTCを起動し、TDRにデータを書くことも可能です。

図 29.21　クロック同期式モードのシリアル送信のフローチャート例

29.2.4.4 シリアルデータの受信（クロック同期式モード）

図 29.22 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
2. オーバランエラーが発生したときは、SSR.ORER フラグが “1” になります。このとき SCR.RIE ビットが “1” なら、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送されません。
3. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが “1” なら、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までに読むことで連続受信が可能です。

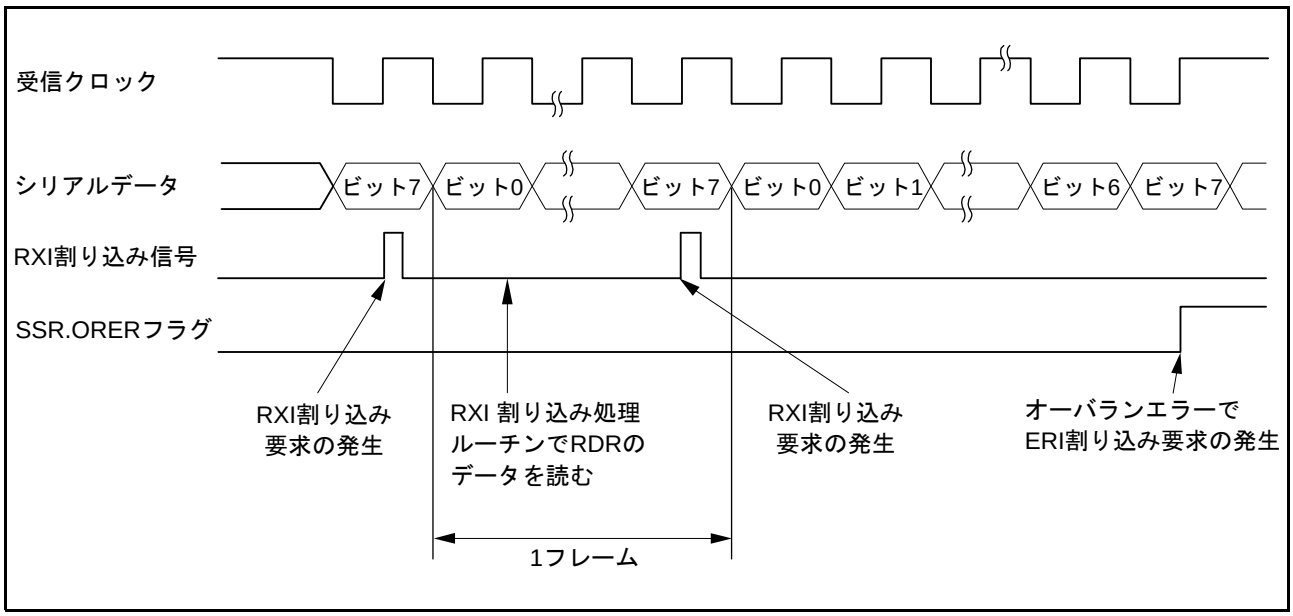


図 29.22　クロック同期式モードのシリアル受信時動作例

受信エラーフラグが “1” の状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR.ORER, FER, PER フラグを “0” にしてください。また、オーバランエラー処理では RDR レジスタを読んでください。

図 29.23 にシリアル受信のフローチャートの例を示します。

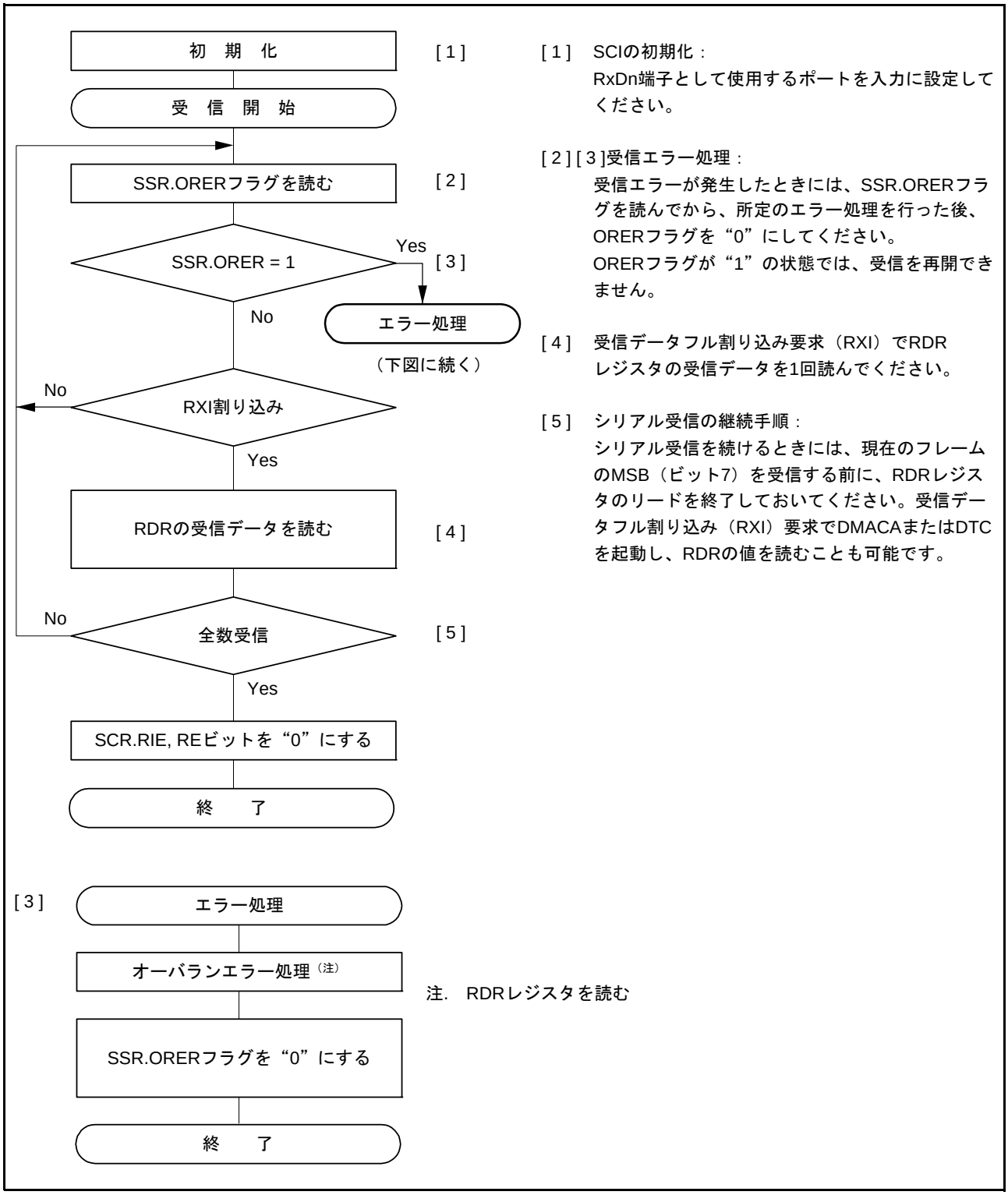


図 29.23　クロック同期式モードのシリアル受信のフローチャート例

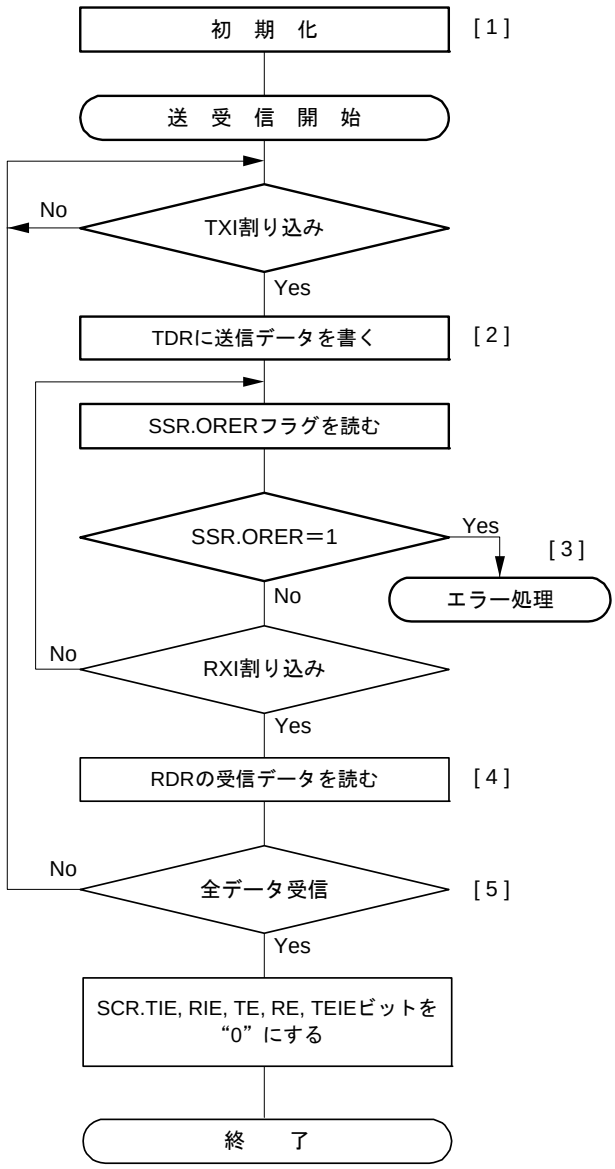
29.2.4.5 シリアルデータの全二重動作（クロック同期式モード）

図 29.24 にクロック同期式モードのシリアル全二重動作のフローチャートの例を示します。

シリアル全二重動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から全二重に切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが “1” になっていることで確認してください。その後、SCR レジスタを初期化してから SCR.TIE, RIE, TE, RE, TEIE ビットを 1 命令で同時に “1” にしてください。

受信から全二重に切り替えるときには、SCI が受信完了状態であることを確認した後、SCR.RIE, RE ビットを “0” にしてから、エラーフラグ（SSR.ORER, FER, PER）が “0” であることを確認した後、SCR.TIE, RIE, TE, RE, TEIE ビットを 1 命令で同時に “1” にしてください。



注.　送信、または受信動作から全二重動作に切り替えるときには、
SCR.TIE, RIE, TE, RE, TEIEビットを“0”にしてから、
SCR.TIE, RIE, TE, RE, TEIEビットを同時に“1”にしてください。

[1]　初期化：
TxDn端子は送信データ出力端子に、RxDn端子は受信データ入力端子にして、全二重動作が可能になります。

[2]　送信データの書き込み：
TXI割り込みでTDRレジスタに送信データを1回書いてください。

[3]　受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグを読んでから、所定のエラー処理を行った後、ORERフラグを“0”にしてください。
ORERフラグが“1”のままでは受信を再開できません。

[4]　受信データの読み出し：
RXI割り込みでRDRレジスタの受信データを1回読んでください。

[5]　シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前にRXI割り込みでRDRレジスタのリードを終了しておいてください。
また、現在のフレームのMSB（ビット7）を送信する前にTXI割り込みでTDRレジスタにデータを書いてください。
送信データエンプティ割り込み（TXI）要求でDMACAまたはDTCを起動し、TDRレジスタにデータを書くことや、受信データフル割り込み（RXI）要求でDMACAまたはDTCを起動し、RDRレジスタの値を読むことも可能です。

図 29.24　クロック同期式モードのシリアル送受信同時動作のフローチャート例

29.3 スマートカードインタフェースモード

SCI の拡張機能として、ISO/IEC 7816-3（Identification Card）に対応したスマートカード（IC カード）とのインタフェース（SMCI）に対応しています。

SCMR.SMIF ビット =1 のとき、SCI はスマートカードインタフェースモードになります。

29.3.1 レジスタの説明

表 29.13 に SMCI のレジスター覧を示します。一部のレジスタ（TDR、RDR、SCMR レジスタ）の機能はシリアルコミュケーションインタフェースモードと同様です。TDR、RDR、SCMR レジスタについては「29.2.1 **レジスタの説明**」を参照してください。

表 29.13 SMCIのレジスター覧

チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SMCI0	シリアルモードレジスタ	SMR	00h	0008 8240h	8
	ビットレートレジスタ	BRR	FFh	0008 8241h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8242h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8243h	8
	シリアルステータスレジスタ	SSR	84h	0008 8244h	8
	レシーブデータレジスタ	RDR	00h	0008 8245h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8246h	8
SMCI1	シリアルモードレジスタ	SMR	00h	0008 8248h	8
	ビットレートレジスタ	BRR	FFh	0008 8249h	8
	シリアルコントロールレジスタ	SCR	00h	0008 824Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 824Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 824Ch	8
	レシーブデータレジスタ	RDR	00h	0008 824Dh	8
SMCI2	シリアルモードレジスタ	SMR	00h	0008 8250h	8
	ビットレートレジスタ	BRR	FFh	0008 8251h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8252h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8253h	8
	シリアルステータスレジスタ	SSR	84h	0008 8254h	8
	レシーブデータレジスタ	RDR	00h	0008 8255h	8
SMCI3	シリアルモードレジスタ	SMR	00h	0008 8258h	8
	ビットレートレジスタ	BRR	FFh	0008 8259h	8
	シリアルコントロールレジスタ	SCR	00h	0008 825Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 825Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 825Ch	8
	レシーブデータレジスタ	RDR	00h	0008 825Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 825Eh	8
SMCI5	シリアルモードレジスタ	SMR	00h	0008 8268h	8
	ビットレートレジスタ	BRR	FFh	0008 8269h	8
	シリアルコントロールレジスタ	SCR	00h	0008 826Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 826Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 826Ch	8
	レシーブデータレジスタ	RDR	00h	0008 826Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 826Eh	8
SMCI6	シリアルモードレジスタ	SMR	00h	0008 8270h	8
	ビットレートレジスタ	BRR	FFh	0008 8271h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8272h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8273h	8
	シリアルステータスレジスタ	SSR	84h	0008 8274h	8
	レシーブデータレジスタ	RDR	00h	0008 8275h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8276h	8

29.3.1.1 シリアルモードレジスタ（SMR）

アドレス　SMCI0.SMR 0008 8240h、SMCI1.SMR 0008 8248h、SMCI2.SMR 0008 8250h
SMCI3.SMR 0008 8258h、SMCI5.SMR 0008 8268h、SMCI6.SMR 0008 8270h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0：PCLKクロック（n=0）（注1） 0 1：PCLK/4クロック（n=1）（注1） 1 0：PCLK/16クロック（n=2）（注1） 1 1：PCLK/64クロック（n=3）（注1）	R/W （注3）
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 b3 b2 0 0 0：93クロック（S=93）（注2） 0 0 1：128クロック（S=128）（注2） 0 1 0：186クロック（S=186）（注2） 0 1 1：512クロック（S=512）（注2） 1 0 0：32クロック（S=32）（注2）（初期値） 1 0 1：64クロック（S=64）（注2） 1 1 0：372クロック（S=372）（注2） 1 1 1：256クロック（S=256）（注2）	R/W （注3）
b4	PM	パリティモードビット	（調歩同期式モードで、PEビット＝1のときのみ有効） 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W （注3）
b5	PE	パリティ許可ビット	（調歩同期式モードのみ有効） PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W （注3）
b6	BLK	ブロック転送モードビット	0：通常モードで動作します 1：ブロック転送モードで動作します	R/W （注3）
b7	GM	GSMモードビット	0：通常モードで動作します。 1：GSMモードで動作します	R/W （注3）

注1.　nは設定値の10進表示で、「29.3.1.4　ビットレートレジスタ（BRR）」中のnの値を表します。
注2.　Sは「29.3.1.4　ビットレートレジスタ（BRR）」中のSの値を表します。
注3.　SCR.TEビット＝0、SCR.REビット＝0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SMR レジスタは、通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

CKS[1:0] ビット（クロック選択ビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「29.3.1.4　**ビットレートレジスタ（BRR）**」を参照してください。

BCP[1:0] ビット（基本クロックパルスビット）

1 ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「29.3.3.2　**受信データサンプリングタイミングと受信マージン**」を参照してください。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ／奇数パリティ）を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「29.3.3　**データフォーマット（ブロック転送モード時を除く）**」を参照してください。

PE ビット（パリティ許可ビット）

PE ビットは “1” にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK（ブロック転送モードビット）

BLK ビットを “1” にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「29.3.3.1　**ブロック転送モード**」を参照してください。

GM ビット（GSM モードビット）

GM ビットを “1” にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグが “1” になるタイミングが先頭から 11.0etu（etu : Elementary Time Unit、1 ビットの転送期間）に前倒しされ、クロック出力制御機能が追加されます。詳細は、「29.3.3.4　**シリアルデータの送信（ブロック転送モードを除く）**」、「29.3.3.6　**クロック出力制御**」を参照してください。

29.3.1.2 シリアルコントロールレジスタ（SCR）

アドレス　SMCI0.SCR 0008 8242h、SMCI1.SCR 0008 824Ah、SMCI2.SCR 0008 8295h、SMCI3.SCR 0008 25Ah
SMCI5.SCR 0008 826Ah、SMCI6.SCR 0008 8272h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	• SMR.GMビット=0の場合 b1 b0 ００：出力禁止 （SCKn端子は入出力ポートとして使用可） ０１：クロック出力 １０：設定しないでください １１：設定しないでください • SMR.GMビット=1の場合 b1 b0 ００：Low出力固定 ０１：クロック出力 １０：High出力固定 １１：クロック出力	R/W （注1）
b2	TEIE	送信完了割り込み許可ビット	“0”としてください	R/W
b3	MPIE	マルチプロセッサ割り込み許可ビット	“0”としてください	R/W
b4	RE	受信許可ビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W （注2）
b5	TE	送信許可ビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W （注2）
b6	RIE	受信割り込み許可ビット	0：RXIおよびERI割り込み要求を禁止 1：RXIおよびERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可ビット	0：TXI割り込み要求を禁止 1：TXI割り込み要求を許可	R/W

注1.　TEビット=0、REビット=0の場合のみ書き込みができます。
注2.　TEビット=0、REビット=0の場合のみ“1”を書けます。いったん、TE、REビットのいずれかを“1”にすると、TEビット=0、REビット=0のみ書けます。

SCR レジスタは、送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。
各割り込み要因については、「29.4　割り込み要因」を参照してください。

CKE[1:0] ビット（クロック許可ビット）

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「29.3.3.6　クロック出力制御」を参照してください。

TEIE ビット（送信完了割り込み許可ビット）

スマートカードインタフェースモードでは “0” としてください。

MPIE ビット（マルチプロセッサ割り込み許可ビット）

スマートカードインタフェースモードでは “0” としてください。

RE ビット（受信許可ビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” にした場合、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを “1” にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止させても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット（送信許可ビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” にすると、TDR レジスタに送信データを書くことでシリアル送信を開始します。なお、TE ビットを “1” にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（受信割り込み許可ビット）

RXI および ERI 割り込みを許可、または禁止します。

RXI 割り込みを禁止するには、RIE ビットを “0” にします。

ERI 割り込み要求信号は、SSR.ORER, FER, PER の各フラグから “1” を読んだ後、“0” にするか、RIE ビットを “0” にすると消えます。

TIE ビット（送信割り込み許可ビット）

TXI 割り込みの通知を許可、または禁止します。

TXI 割り込みを禁止するには、TIE ビットを “0” にします。

29.3.1.3 シリアルステータスレジスタ（SSR）

アドレス　SMCI0.SSR 0008 8244h、SMCI1.SSR 0008 824Ch、SMCI2.SSR 0008 8254h、SMCI3.SSR 0008 825Ch
SMCI5.SSR 0008 826Ch、SMCI6.SSR 0008 8274h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送ビット	“0”としてください。	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0”としてください。	R
b2	TEND	送信完了フラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) （注1）
b4	ERS	エラーシグナルステータスフラグ	0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R/(W) （注1）
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) （注1）
b6	RDRF	受信データフルフラグ	0：RDRレジスタからデータを転送したとき 1：受信が正常終了し、RSRレジスタからRDRレジスタへデータが 転送されたとき	R/(W) （注2）
b7	TDRE	送信データエンプティフラグ	0：TDRレジスタへデータを転送したとき 1：TDRレジスタからTSRレジスタへデータが転送されたとき	R/(W) （注2）

注1.　フラグをクリアするため、“0”のみ書けます。
注2.　書く場合“1”としてください。

SSR レジスタは、SCI のステータスフラグで構成されます。

MPBT ビット（マルチプロセッサビット転送ビット）

スマートカードインタフェースモードでは “0” としてください。

MPB ビット（マルチプロセッサビット）

スマートカードインタフェースモードでは使用しません。“0” としてください。

TEND フラグ（送信完了フラグ）

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき “1” になります。

［“1” になる条件］

- SCR.TE ビット =0（シリアル送信動作を禁止）のとき
- 1 バイトのデータを送信して一定期間後、ERS フラグ =0 かつ TDR レジスタが更新されていないとき
  “1” になるタイミングは、レジスタの設定により以下のように異なります。
  SMR.GM ビット =0、SMR.BLK ビット =0 のとき、送信開始から 12.5etu 後
  SMR.GM ビット =0、SMR.BLK ビット =1 のとき、送信開始から 11.5etu 後
  SMR.GM ビット =1、SMR.BLK ビット =0 のとき、送信開始から 11.0etu 後
  SMR.GM ビット =1、SMR.BLK ビット =1 のとき、送信開始から 11.0etu 後

［“0” になる条件］

- TDR レジスタへ送信データを書いたとき

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信したデータにパリティエラーが発生したことを示します。

［“1” になる条件］

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” の状態では、以降のシリアル受信を続けることはできません。
  以降の受信データは RDR レジスタに転送しません。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき（“0” を書いた後に PER フラグが “0” になったことを確認してください。）
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

［“1” になる条件］

- エラーシグナル Low をサンプリングしたとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき

ORER フラグ（オーバランエラーフラグ）

受信したデータにオーバランエラーが発生したことを示します。

［“1” になる条件］

- RDR レジスタの受信データを読まずに次のデータを受信したとき
  RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが “1” の状態では、以降のシリアル受信を続けることはできません。

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき（“0” を書いた後に ORER フラグが “0” になったことを確認してください。）
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ 内の受信データの有無を表示します。

［“1” になる条件］

- 受信が正常終了し、RSR レジスタ から RDR レジスタ へ受信データが転送されたとき

［“0” になる条件］

- RDR レジスタ からデータを転送したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ 内の送信データの有無を表示します。

［“1” になる条件］

- TDR レジスタ から TSR レジスタ にデータが転送されたとき

［“0” になる条件］

- TDR レジスタ へ送信データを転送したとき

29.3.1.4　ビットレートレジスタ（BRR）

アドレス　SMCI0.BRR 0008 8241h、SMCI1.BRR 0008 8249h、SMCI2.BRR 0008 8251h、SMCI3.BRR 0008 8259h
SMCI5.BRR 0008 8269h、SMCI6.BRR 0008 8271h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI ではチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。スマートカードインタフェースモードにおける BRR レジスタの設定値 N とビットレート B の関係を**表 29.14** に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU からの読み出しは常に可能ですが、書き込みは SCR.TE ビット =0、SCR.RE ビット =0 の場合のみ可能です。

表 29.14　BRR レジスタの設定値 N とビットレート B の関係

モード	BRRレジスタの設定値	誤差
スマートカードインタフェース	$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差（%）＝ $\{\frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\} \times 100$

注．B　：ビットレート（bps）
N　：ボーレートジェネレータのBRRの設定値（0≦N≦255）
PCLK　：動作周波数（MHz）
nとS　：下表のとおりSMRの設定値に依存します。

スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を**表 29.15** に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は**「29.3.3.2　受信データサンプリングタイミングと受信マージン」**を参照してください。また、**表 29.16** に各動作周波数における設定可能な最大ビットレートを示します。

表29.15　ビットレートに対するBRRの設定例
（スマートカードインタフェースモードでn＝0、S＝372のとき）

ビットレート（bps）	動作周波数PCLK（MHz）											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート（bps）	動作周波数PCLK（MHz）											
	14.2848			16.00			18.00			20.00		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

ビットレート（bps）	動作周波数PCLK（MHz）											
	25.00			30.00			33.00			50.00		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	6	0.01

表29.16　各動作周波数における最大ビットレート
（スマートカードインタフェースモードでS＝372のとき）

PCLK（MHz）	最大ビットレート（bps）	n	N	PCLK（MHz）	最大ビットレート（bps）	n	N
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
16.00	21505	0	0	33.00	44355	0	0
18.00	24194	0	0	50.00	67205	0	0

29.3.2 スマートカードインタフェースモードの動作

SCI の拡張機能として、ISO/IEC 7816-3（Identification Card）に対応したスマートカード（IC カード）とのインタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

29.3.2.1 接続例

図 29.25 にスマートカード（IC カード）との接続例を示します。

IC カードとは 1 本のデータ伝送線で送受信が行われるので、TxDn 端子と RxDn 端子とを結線し、データ伝送線を抵抗で電源 Vcc 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビットを “1”、SCR.RE ビットを “1” にすると、自分の出したデータを自分で受信できる、自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には LSI の出力ポートを使用できます。

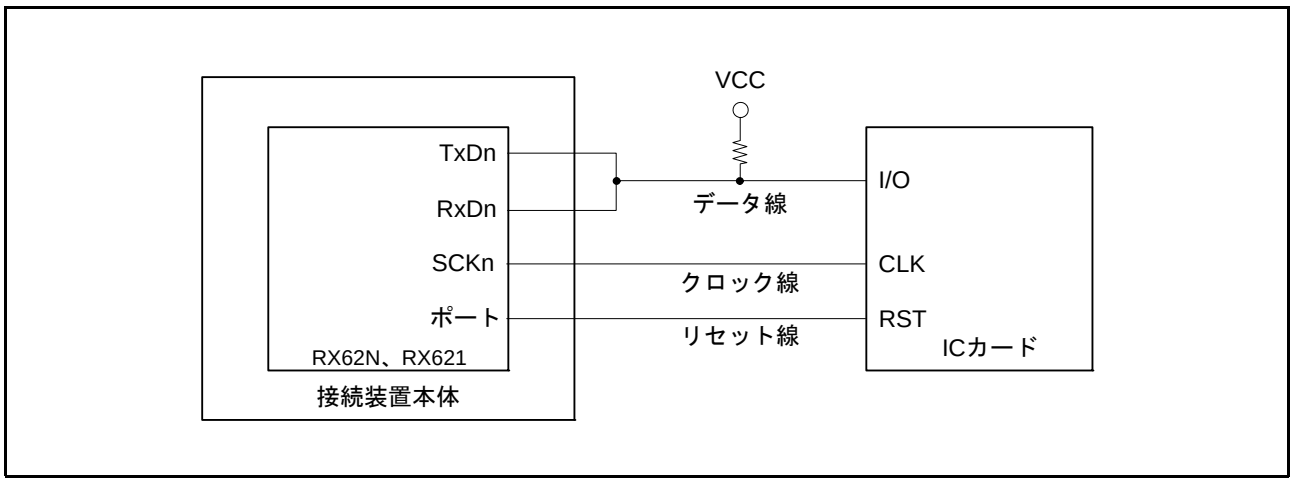


図 29.25　スマートカード（IC カード）との接続例

29.3.3 データフォーマット（ブロック転送モード時を除く）

図 29.26 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu（Elementary Time Unit : 1 ビットの転送期間）以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル（Low）を 1etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを再送信します。

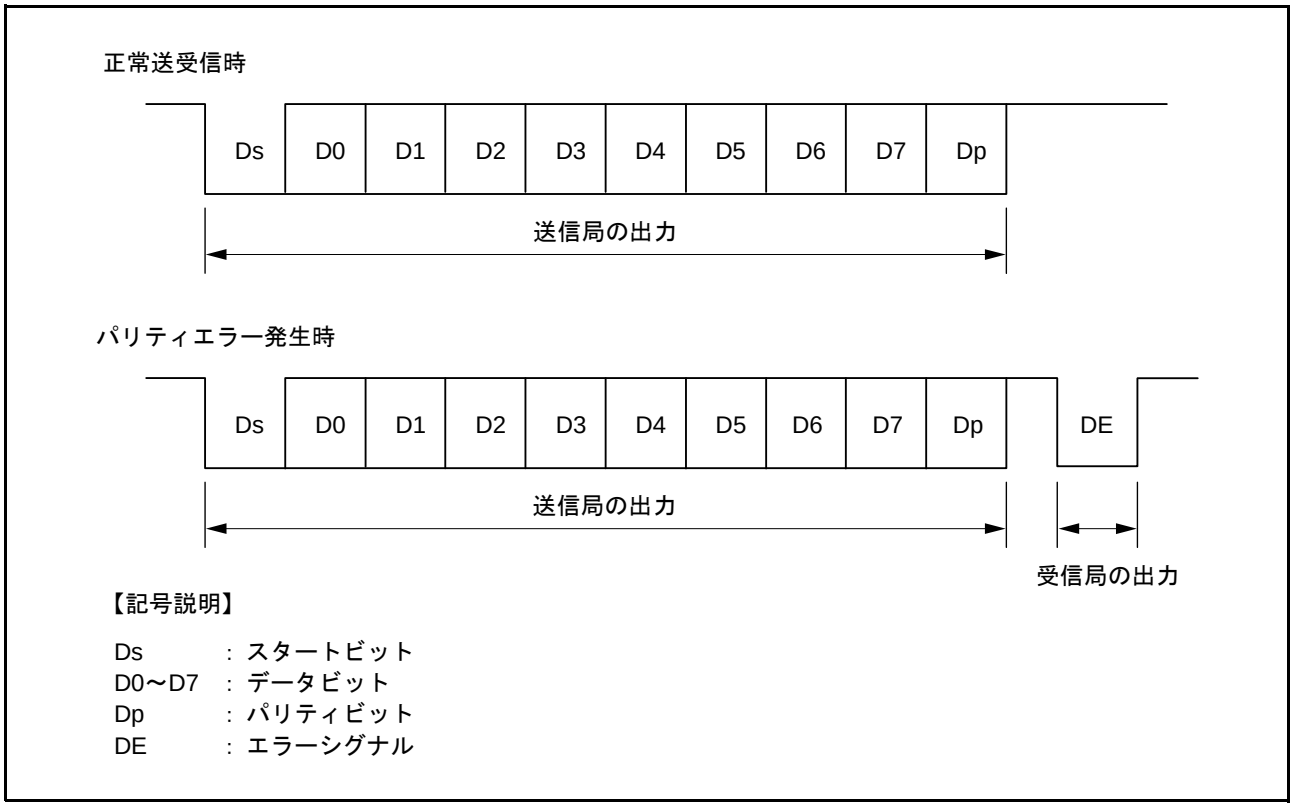


図 29.26　スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図** 29.27 に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応させ、LSB ファーストで送受信します。**図** 29.27 の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプでは、SCMR.SDIR, SINV ビットをともに “0” にしてください。また、スマートカードの規程により偶数パリティとなるよう SMR.PM ビットを “0” にしてください。

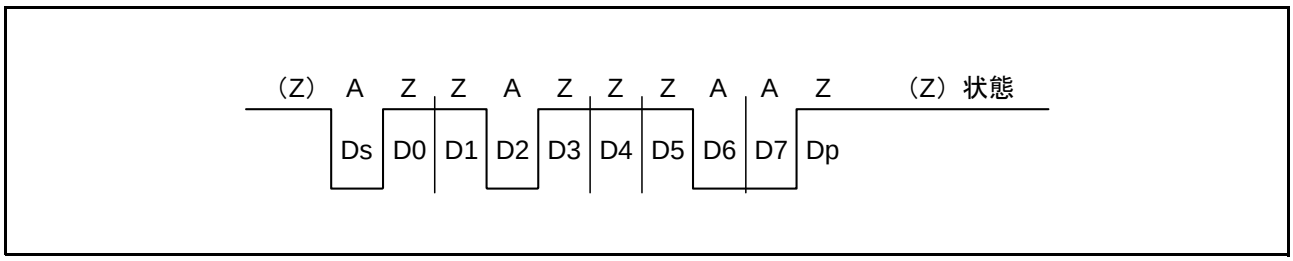


図 29.27　**ダイレクトコンベンション**（SCMR.SDIR **ビット** =0、SCMR.SINV **ビット** =0、SMR.PM **ビット** =0）

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応させ、MSB ファーストで送受信します。**図** 29.28 の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションタイプでは、SCMR.SDIR, SINV ビットをともに “1” にしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。RX62N、RX621 では、SINV ビットはデータビット D7 ～ D0 のみ反転させます。このため、送受信とも SMR.PM ビットを “1” にしてパリティビットを反転させてください。

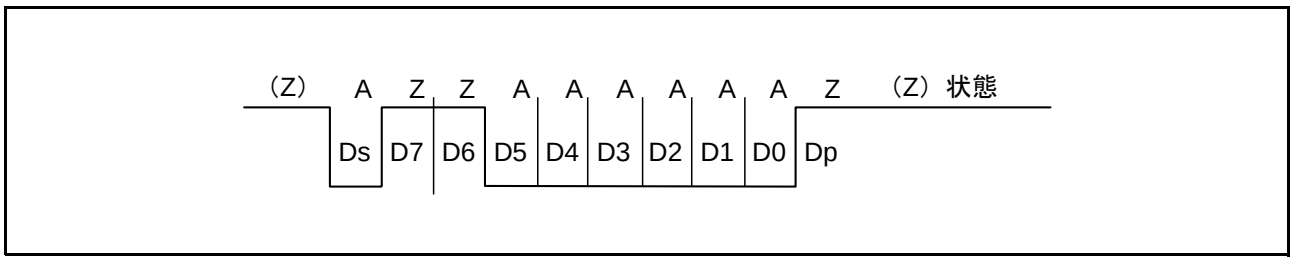


図 29.28　**インバースコンベンション**（SCMR.SDIR**ビット**＝1、SCMR.SINV**ビット**＝1、SMR.PM**ビット**＝1）

29.3.3.1 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行いますが、エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグは “1” になりますので、次のフレームのパリティビットを受信する前に “0” にしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは 1etu 以上必要です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5etu 後に “1” になります。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に “0” になります。

29.3.3.2　受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCI は SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍（通常の調歩同期式モードでは 16 倍に固定）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 29.29 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロックの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M=\left|\left(0.5-\frac{1}{2N}\right)-(L-0.5)F-\frac{\left|D-0.5\right|}{N}(1+F)\right|\times 100\quad[\%]$$

M ： 受信マージン(%)
N ： クロックに対するビットレートの比(N=32, 64, 372, 256)
D ： クロックデューティ比(D=0～1.0)
L ： フレーム長(L=10)
F ： クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは以下のようになります。

M=（0.5−1/2×372）×100% = 49.866%

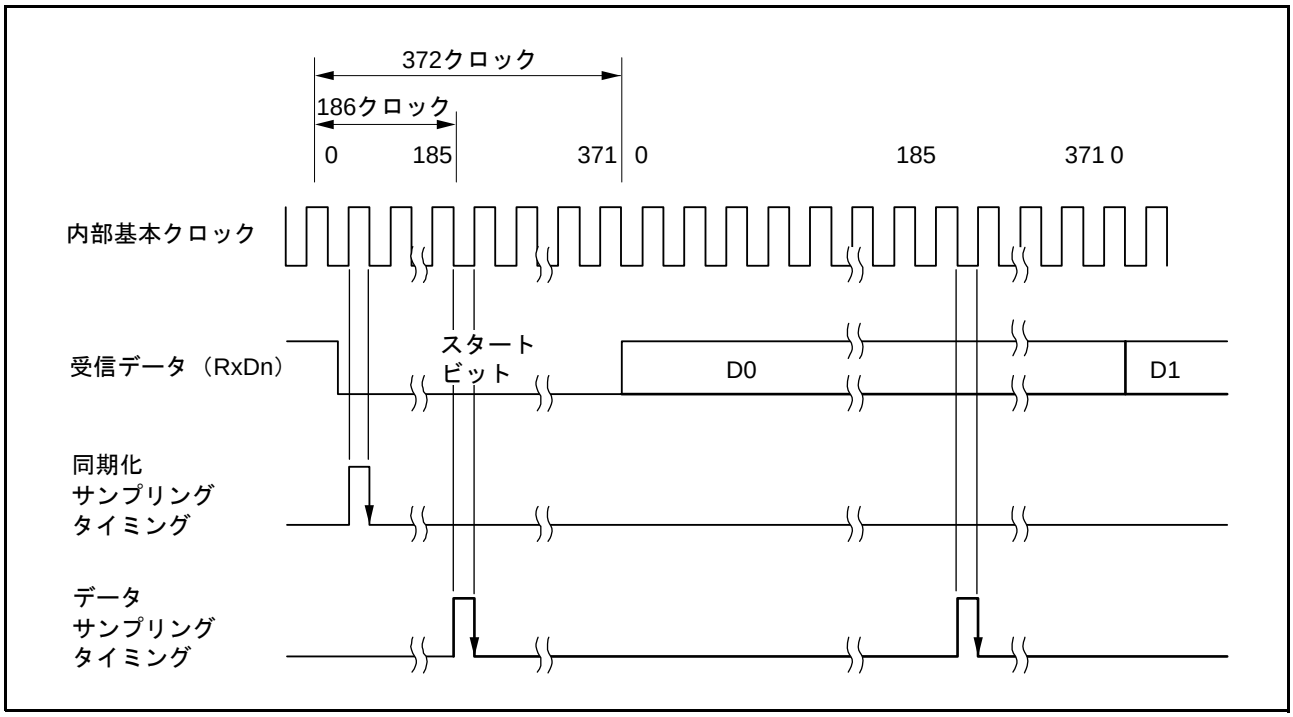


図 29.29　スマートカードインタフェースモード時の受信データサンプリングタイミング
（372 倍のクロック使用時）

29.3.3.3 スマートカードインタフェースの初期化

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCR.TIE, RIE, TE, RE, TEIE ビットを “0” に設定してください。
2. 当該端子の PORTn.ICR.Bj ビット (n=0 ～ 9、A ～ G、j=0 ～ 7) を “1” にしてください。
3. SSR レジスタのエラーフラグ（ORER、ERS、PER）を “0” にしてください。
4. SMR.GM, BLK, PM, BCP[1:0], CKS[1:0] ビット、および SCMR.BCP2 ビットを設定してください。このとき、SMR.PE ビットは “1” にしてください。
5. SCMR.SDIR, SINV, SMIF ビットを設定してください。また、TxDn 端子に該当する PORTn.DDR.Bi ビットを “0” にします。これにより、TxDn 端子および RxDn 端子はともにポートから SCI の端子に切り替わり、ハイインピーダンス状態となります。
6. ビットレートに対応する値を BRR レジスタに設定します。
7. SCR.CKE[1:0] ビットを設定してください。このとき、SCR.TIE, RIE, TE, RE, TEIE ビットは “0” にしてください。
   CKE0 ビットを “1” にした場合は、SCKn 端子からクロックを出力します。
8. 少なくとも、1 ビット期間待ってから、SCR.TIE, RIE, TE, RE ビットを設定してください。自己診断するとき以外は TE ビットと RE ビットを同時に “1” にしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット＝ 1、RE ビット＝ 0 にしてください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、あるいは SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット＝ 0、RE ビット＝ 1 にしてください。送信動作の完了は SSR.TEND フラグで確認できます。

29.3.3.4　シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を**図** 29.30 に示します。

1. 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが “1” になります。このとき SCR.RIE ビットが “1” なら、ERI 割り込み要求を発生します。次のパリティビットのサンプリングまでに ERS フラグを “0” にしてください。
2. エラーシグナルを受信したフレームでは、SSR.TEND フラグは “1” になりません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、ERS フラグは “1” になりません。
4. 再転送を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグが “1” になります。このとき、SCR.TIE ビットが “1” なら、TXI 割り込み要求を発生します。送信データを TDR レジスタに書くことにより次のデータが送信されます。

シリアル送信のフローチャートの例を**図** 29.32 に示します。これらの一連の処理は、TXI 割り込み要因によって DTC または DMACA を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットが “1” の場合、SSR.TEND フラグが “1” になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMACA の起動要因に TXI 割り込み要求を設定しておくと、TXI 割り込み要求により DTC または DMACA が起動して送信データの転送を行います。TEND フラグは、DTC または DMACA によるデータ転送時に自動的に “0” になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” を保持し、DTC または DMACA は起動しません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMACA が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的には “0” になりませんので、RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグを “0” にしてください。

なお、DTC または DMACA を使って送受信を行う場合は、先に DTC または DMACA を設定し、許可状態にしてから SCI の設定を行ってください。

DTC または DMACA の設定方法は「**14.　DMA コントローラ**（DMACA）」、「**16.　データトランスファコントローラ**（DTCa）」を参照してください。

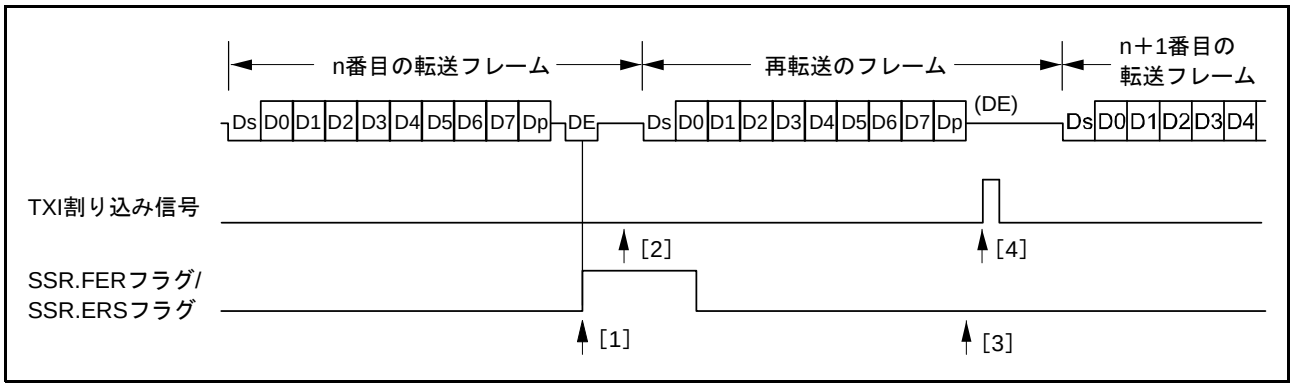


図 29.30　SMCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグが “1” になるタイミングが異なります。図 29.31 に TEND フラグ発生タイミングを示します。

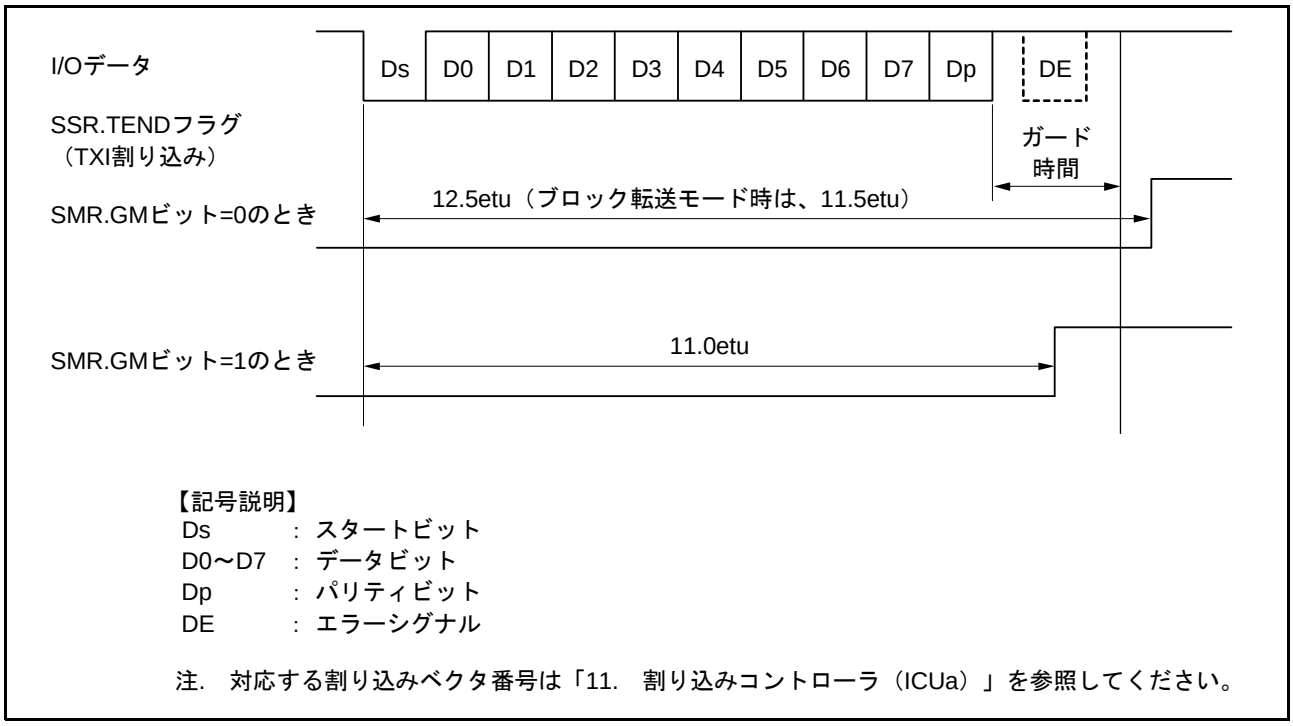


図 29.31　送信時の SSR.TEND フラグの発生タイミング

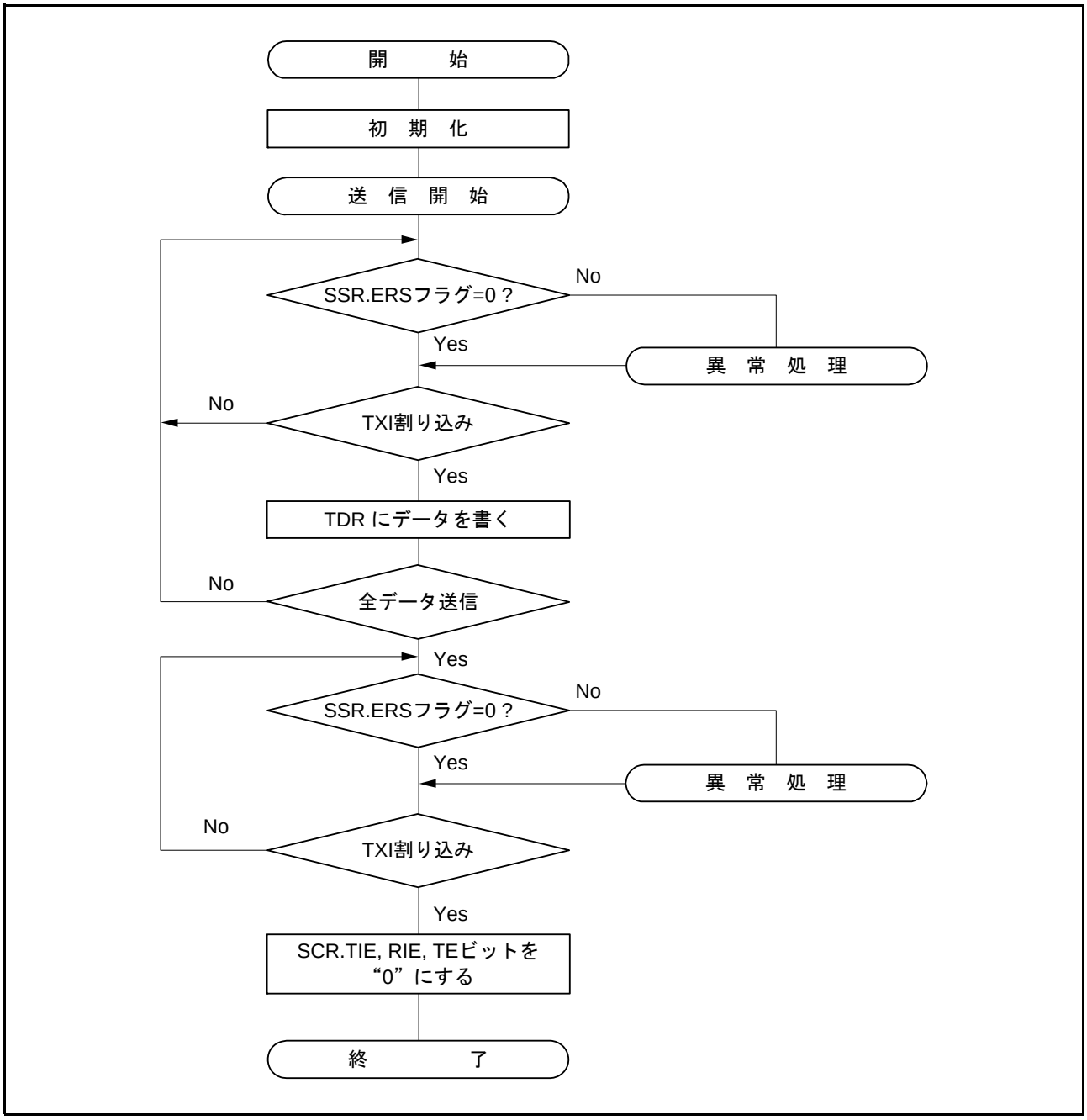


図 29.32　シリアル送信のフローチャート例

29.3.3.5　シリアルの受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、シリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 29.33 に示します。

1. 受信データにパリティエラーを検出すると SSR.PER フラグが “1” になります。このとき、SCR.RIE ビットが “1” なら、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに PER フラグを “0” にしてください。
2. パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合は、SSR.PER フラグは “1” になりません。
4. 正常に受信を完了したと判断して、RIE ビットが “1” になっていれば、RXI 割り込み要求が発生します。

シリアル受信のフローチャートの例を図 29.34 に示します。これらの一連の処理は、RXI 割り込み要求によって DTC または DMACA を起動することで自動的に行うことができます。

受信動作では、RIE ビットを “1” にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC または DMACA の起動要因に RXI 割り込み要求を設定しておくと、RXI 割り込み要求によって DTC または DMACA が起動して受信データの転送を行います。

なお、受信時にエラーが発生し SSR.ORER, PER フラグのいずれかが “1” になると、受信エラー割り込み（ERI）要求が発生しますのでエラーフラグを “0” にしてください。エラーが発生した場合は DTC または DMACA は起動せず、受信データはスキップされるため DTC または DMACA に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが “1” になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータを読むことは可能です。

注 .　ブロック転送モードの場合は、「29.2.2.1　シリアル送信／受信フォーマット」を参照してください。

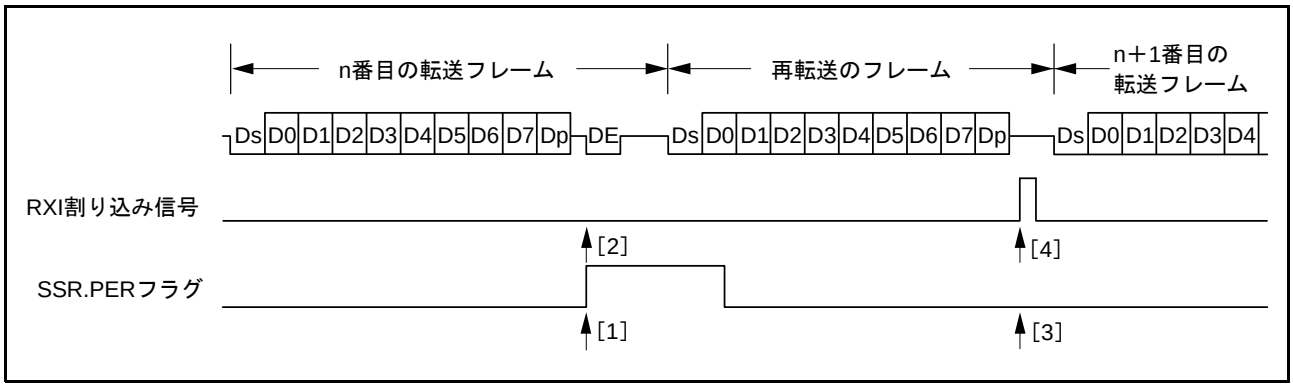


図 29.33　SMCI 受信モードの場合の再転送動作（受信時の再転送動作）

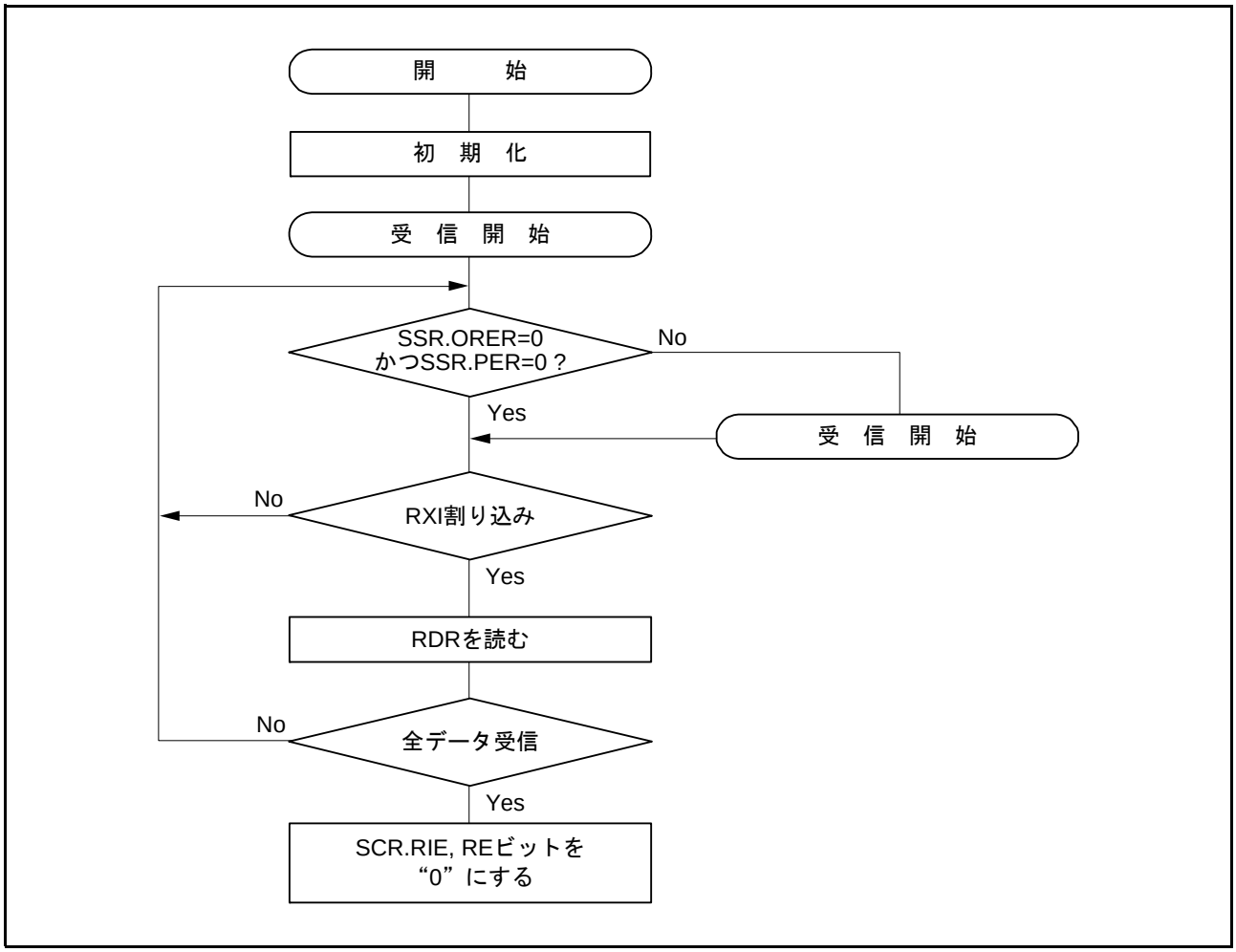


図 29.34　シリアル受信のフローチャート例

29.3.3.6　クロック出力制御

SMR.GM ビットが “1” のとき、SCR.CKE[1:0] ビットによってクロック出力を停止することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 29.35 にクロック出力停止タイミングを示します。GM ビットを “1”、CKE1 ビットを “0” とし、CKE0 ビットを制御した場合の例です。

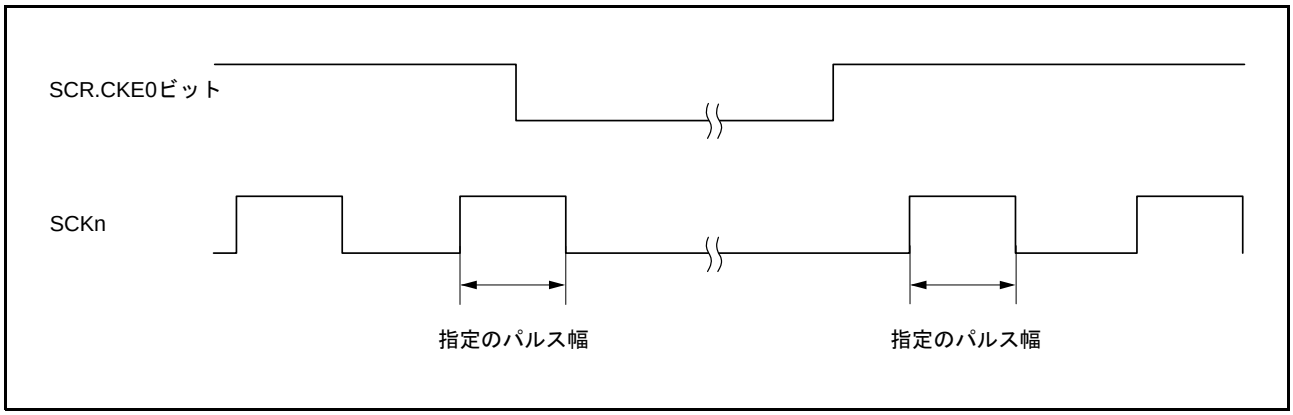


図 29.35　クロック出力停止タイミング

電源投入時およびソフトウェアスタンバイモードへの移行、またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティ比を確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックのデューティ比を確保するための切り替え手順を以下に示します。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗／プルダウン抵抗を使用してください。
2. SCR.CKE1 ビットで SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタをセットし、スマートカードインタフェースモードの動作に切り替えてください。SCR.CKE0 ビットを “1” にして、クロック出力を開始させてください。

(2) モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに移行するとき

1. SCKn 端子に対応するデータレジスタ（PORTn.DR）とデータディレクションレジスタ（PORTn.DDR）にソフトウェアスタンバイモード時の出力固定状態の値を設定してください。
2. SCR.TE, RE ビットに “0” を書き、送信／受信動作を停止させてください。
   同時に、SCR.CKE1 ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCR.CKE0 ビットに “0” を書き、クロックを停止させてください。
4. シリアルクロックの 1 クロック周期の間、待ってください。この間に、指定の High 幅を出力した後、クロック出力が Low のまま停止します。
5. ソフトウェアスタンバイ状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき

6. ソフトウェアスタンバイ状態を解除してください。
7. SCR.CKE0 ビットを “1” にしてください。指定の周波数でクロック出力が再開されます。

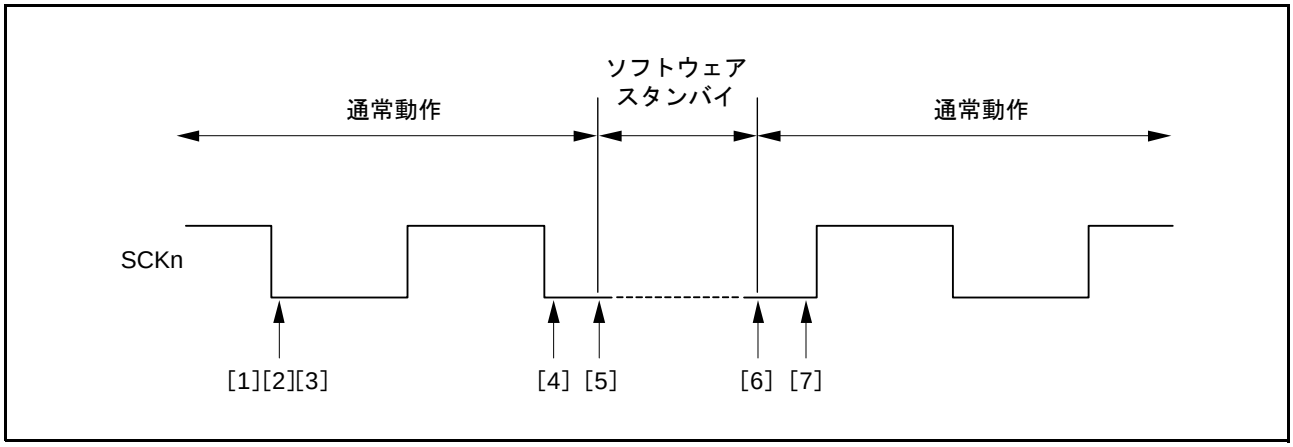


図 29.36　クロック停止・再起動手順

29.4 割り込み要因

29.4.1 シリアルコミュニケーションインタフェースモードにおける割り込み

表 29.17 にシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタの許可ビットで個別に許可することができます。

送信データレジスタ TDR レジスタから TSR レジスタに送信データが転送されると、SCR.TIE ビットが “1” のとき TXI 割り込み要求が発生します。また、SCR.TIE ビットを “1” にした後で SCR.TE ビットを “1” にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に “1” にすることで TXI 割り込み要求が発生します。TXI 割り込み要求により、DTC または DMACA を起動してデータ転送を行うことができます。

受信データが RDR レジスタにセットされると、SCR.RIE ビットが “1” のとき RXI 割り込み要求が発生します。RXI 割り込み要求で DTC または DMACA を起動してデータ転送を行うことができます。

SSR.ORER, FER, PER フラグのいずれかが “1” になり、SCR.RIE ビットが “1” のとき ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。

送信データの最終ビットを送り出すタイミングでTDR レジスタが更新されていないと SSR.TEND フラグが “1” になり、SCR.TEIE ビットが “1” のとき TEI 割り込み要求が発生します。TXI 割り込み処理で TDR レジスタにデータを書き込むと、SSR.TEND フラグが “0” になって TEI 割り込み要求は取り消されます。TDR レジスタへの送信データの書き込みにより SSR.TEND フラグを “0” にしたときは、SSR.TEND フラグを読んで “0” になったことを確認してください。

TXI 割り込み要求は、SCR.TIE ビットを “1” にした後で SCR.TE ビットを “1” にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に “1” にすることで発生します。SCR.TIE ビットが “0” の状態で SCR.TE ビットを “1” にしても、またその状態で SCR.TIE ビットを “1” にしても TXI 割り込み要求は発生しません。そのため、最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込

みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する ICU.IERm.IENj ビットで割り込みの禁止／許可を制御してください。

表 29.17　SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACAの起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可能	不可能	高
RXI	受信データフル	－	可能	可能	↑
TXI	送信データエンプティ	－	可能	可能	
TEI	送信終了	TEND	不可能	不可能	低

29.4.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 29.18 の割り込み要因があります。送信終了割り込み（TEI）要求は使用できません。

表29.18　SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACAの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可能	不可能	高
RXI	受信データフル	－	可能	可能	↑
TXI	送信データエンプティ	TEND	可能	可能	低

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMACA を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが “1” になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMACA の起動要因に TXI 割り込み要求を設定しておくと、TXI 割り込み要求により DTC または DMACA が起動して送信データの転送を行います。TEND フラグは、DTC または DMACA によるデータ転送時に自動的に “0” になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは “0” のまま保持され、DTC または DMACA は起動しません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMACA が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的に “0” になりませんので、SCR.RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグを “0” にしてください。

なお、DTC または DMACA を使って送受信を行う場合は、先に DTC または DMACA を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMACA の設定方法は「14. DMA コントローラ（DMACA）」、「16. データトランスファコントローラ（DTCa）」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMACA の起動要因に RXI 割り込み要求を設定しておくと、RXI 割り込み要求で DTC または DMACA が起動して受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC または DMACA は起動せず、代わりに CPU に対し ERI 割り込み要求が発生しますのでエラーフラグを “0” にしてください。

29.5 使用上の注意事項

29.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、SCI の動作を禁止／許可することができます。初期値では、SCI の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「9. 消費電力低減機能」を参照してください。

29.5.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxDn 端子の値を直接読むことでブレークを検出できます。ブレークでは RxDn 端子からの入力がすべて 0 になりますので、SSR.FER フラグが “1”（フレーミングエラーの発生あり）になり、また SSR.PER フラグも “1”（パリティエラーの発生あり）になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER フラグを “0”（フレーミングエラーの発生なし）にしても、再び FER フラグが “1” になりますので注意してください。

29.5.3 マーク状態とブレークの送出

SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき、TxDn 端子は PORTn.DR.Bj ビットと PORTn.DDR.Bj ビットにより入出力方向とレベルが決まる I/O ポートになります。これを利用して TxDn 端子をマーク状態にしたり、データ送信時にブレークを送出することができます。

TE ビットを “1”（シリアル送信動作を許可）に設定するまで通信回線をマーク状態（1 の状態）にするためには、PORTn.DDR.Bj ビットを “1”、PORTn.DR.Bj ビットを “1” にします。TE ビットが “0” のときは、TxDn 端子は I/O ポートとなっていますので、“1” が出力されます。

一方、データ送信時にブレークを送出したいときは、PORTn.DDR.Bj ビットを “1”、PORTn.DR.Bj ビットを “0” にした後、TE ビットを “0” にします。TE ビットを “0” にすると、現在の送信状態とは無関係に送信部は初期化され、TxDn 端子は I/O ポートになり、TxDn 端子から “0” が出力されます。

29.5.4 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（SSR.ORER, FER, PER）が “1” の状態では、TDR レジスタにデータを書いても送信を開始できません。送信開始時には、受信エラーフラグを “0” にしておいてください。また、SCR.RE ビットを “0”（シリアル受信動作を禁止）にしても受信エラーフラグは “0” にできませんので注意してください。

29.5.5 TDR への書き込みについて

TDR レジスタへのデータの書き込みは、常に行うことができます。ただし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタに書くと、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって TDR レジスタへの送信データの書き込みは、TXI 割り込み要求によって行ってください。

29.5.6 クロック同期送信時の制約事項

同期クロックに外部クロックソースを使用する場合、DMACA または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください。TDR レジスタの更新後、4 クロック以内に送信クロックを入力すると誤動作することがあります。

29.5.7 DMACA または DTC 使用上の制約事項

DMACA または DTC により、RDR レジスタの読み出しを行うときは起動要因を当該 SCI の受信完了割り込み（RXI）に設定してください。

29.5.8 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態の設定、またはソフトウェアスタンバイモードへの移行は、動作を停止（SCR.TIE ビット =0、TE ビット =0、TEIE ビット =0）させてから行ってください。TE ビットを “0” にすることにより、TSR レジスタおよび SSR.TEND フラグは “0” になります。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中にこれらのモードに移行すると、送信が中断します。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット =1 にし、SSR レジスタリード→ TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 29.37 に送信時のモード移行フローチャートの例を示します。**図 29.38**、**図 29.39** にモード移行時のポートの端子状態を示します。

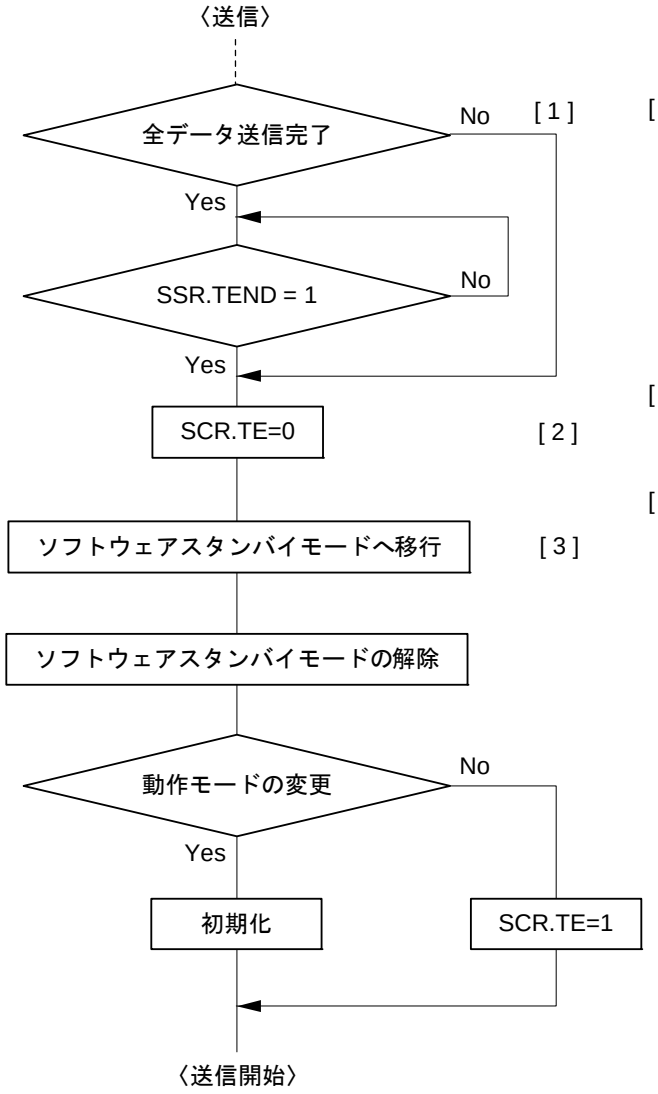
また、DTC 転送による送信からモジュールストップ状態への設定、またはソフトウェアスタンバイモード移行は、動作を停止してから行ってください。解除後 DTC による送信をする場合は、TE ビット＝ 1 にすると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態の設定、またはソフトウェアスタンバイモードへの移行は、受信動作を停止（SCR.RE ビット =0）させてから行ってください。受信中に移行すると、受信中のデータは無効になります。

低消費電力状態を解除した後、受信モードを変えないで受信する場合は、RE ビットを “1” にして受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 29.40 に受信時のモード移行フローチャートの例を示します。



[1]　送信中のデータは途切れます。なお、ソフトウェアスタンバイモード解除後、SCR.TEビット=1にしてSSRリード、TDRライトで通常CPU送信できますが、DTCを起動させていた場合に、SCR.TEビット=1、SCR.TIEビット=1にするとDTC上にある残りのデータが送信されますので注意してください。

[2]　SCR.TIEビット=1、SCR.TEIEビット=1にしている場合は、“0”にしてください。

[3]　モジュールストップ状態への設定も含みます。

図 29.37　送信時のソフトウェアスタンバイモード移行フローチャートの例

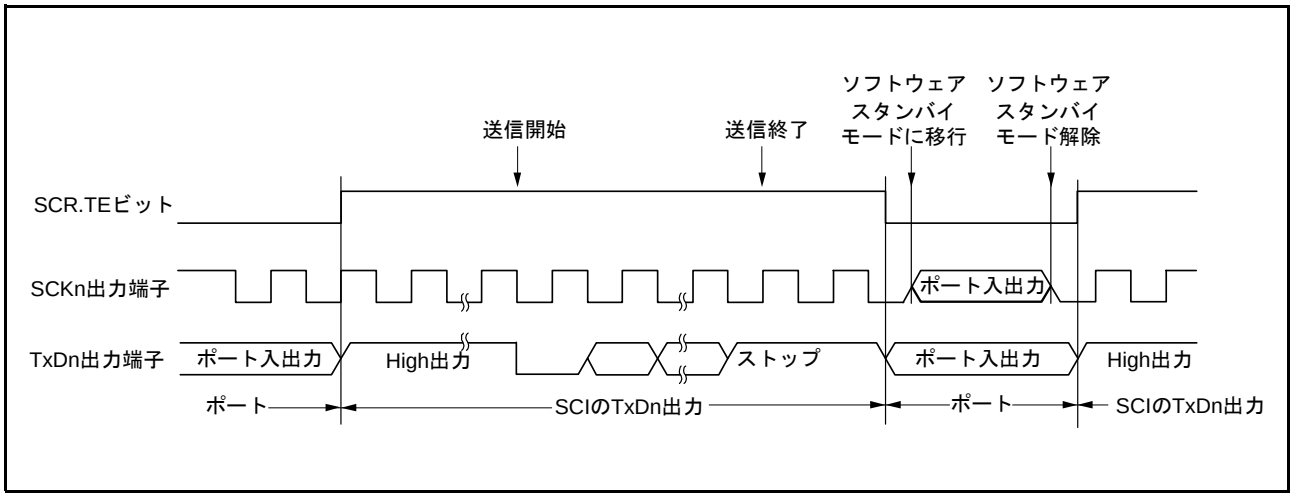


図 29.38　ソフトウェアスタンバイモード移行時のポートの端子状態（内部クロック、調歩同期送信）

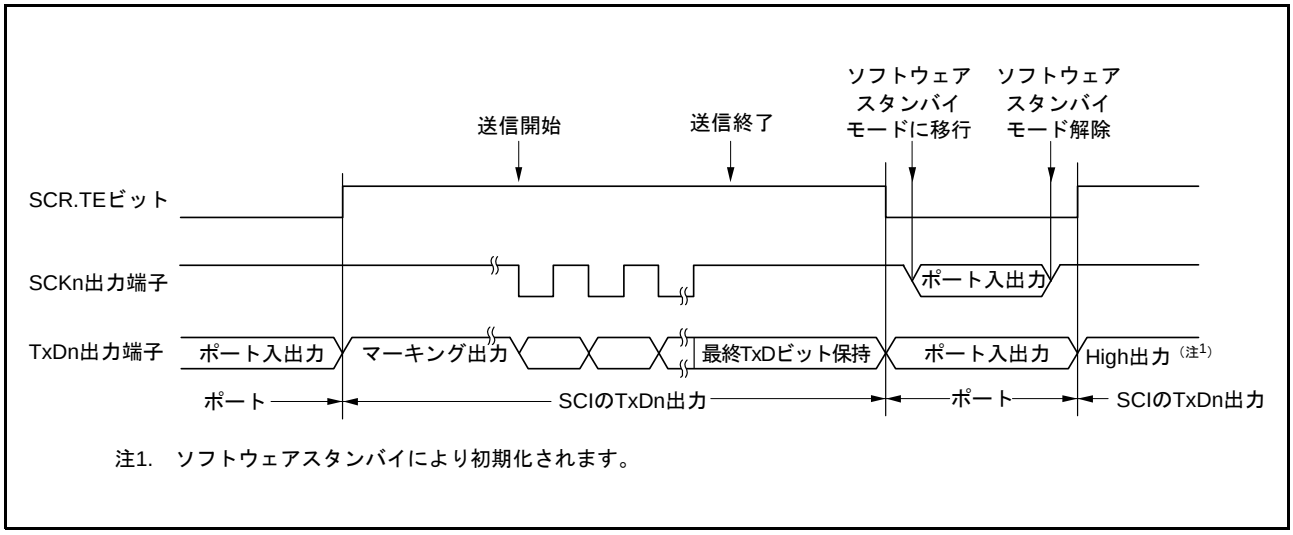


図 29.39　ソフトウェアスタンバイモード移行時のポートの端子状態（内部クロック、クロック同期送信）

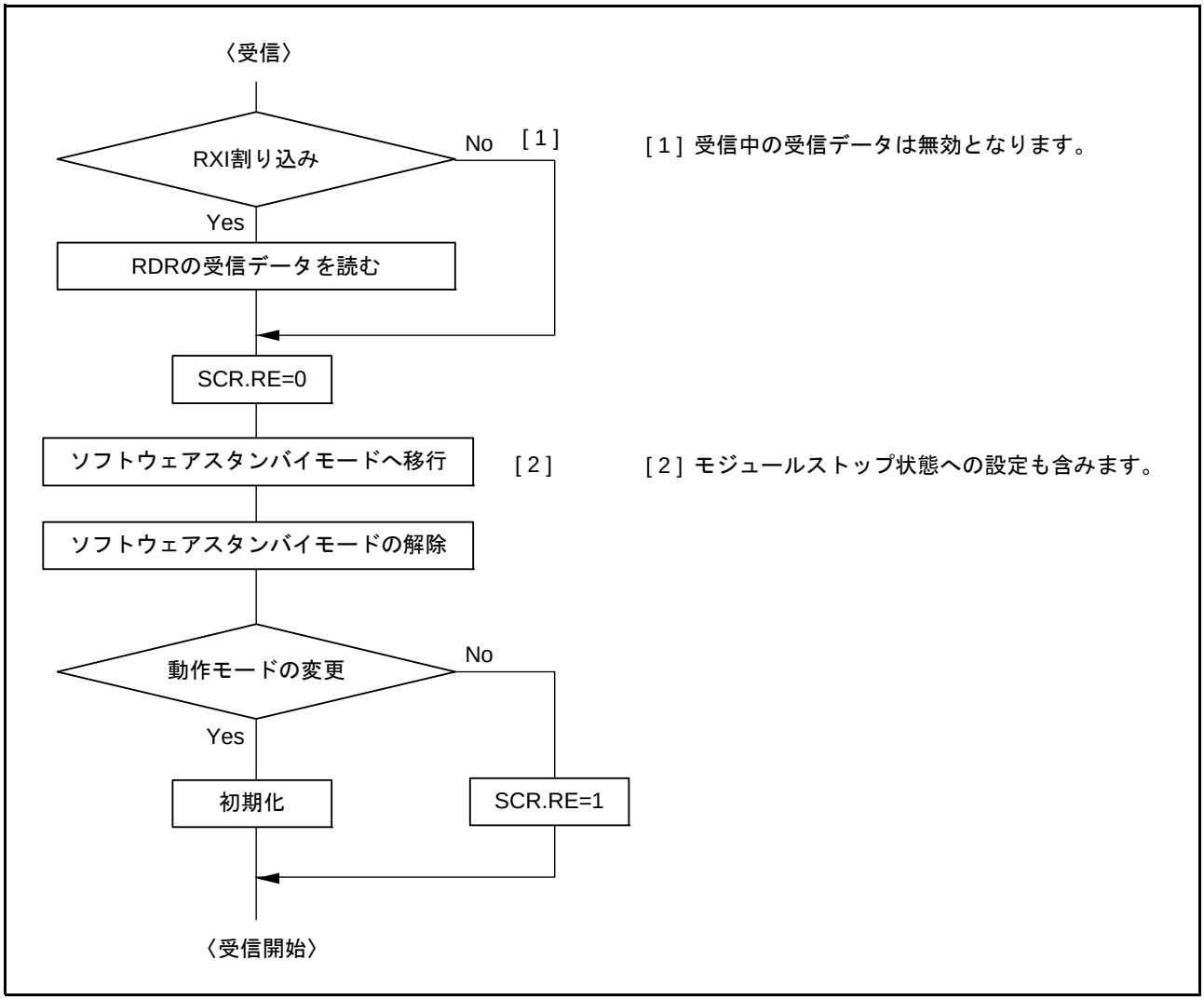


図 29.40　受信時のソフトウェアスタンバイモード移行フローチャートの例

29.5.9　クロック同期式モード外部クロック入力

クロック同期式モード時、外部クロック SCKn 入力は、High パルス期間および Low パルス期間を 2 クロック以上、周期を 6 クロック以上としてください。

30. CRC 演算器（CRC）

CRC（Cyclic Redundancy Check）演算器は、データブロックの CRC コード生成を行います。

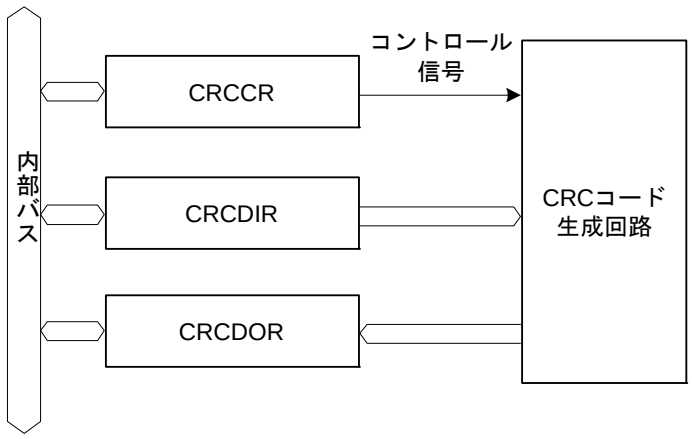
30.1 概要

表 30.1 に CRC 演算器の仕様を示します。図 30.1 に CRC 演算器のブロック図を示します。

表30.1　CRC演算器の仕様

項目	内容
CRC演算対象データ（注1）	8nビットのデータに対してCRCコード生成（n=自然数）
データブロックサイズ	8ビット
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 • 8ビットCRC $X^8 + X^2 + X + 1$ • 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファースト／MSBファースト通信用CRCコード生成から選択可能
消費電力低減機能	モジュールストップ状態への設定可能

注1.　演算対象データをデータブロックに分割する機能はありません。8ビット単位で書いてください。



【記号説明】
CRCCR　：　CRCコントロールレジスタ
CRCDIR　：　CRCデータ入力レジスタ
CRCDOR：　CRCデータ出力レジスタ

図 30.1　CRC 演算器のブロック図

30.2 レジスタの説明

表 30.2 に CRC 演算器のレジスタ一覧を示します。

表 30.2　CRC 演算器のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CRC コントロールレジスタ	CRCCR	00h	0008 8280h	8
CRC データ入力レジスタ	CRCDIR	00h	0008 8281h	8
CRC データ出力レジスタ	CRCDOR	0000h	0008 8282h	16

30.2.1 CRC コントロールレジスタ（CRCCR）

アドレス　0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	—	—	—	—	LMS	GPS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC 生成多項式切り替えビット	b1 b0 0 0：演算しません 0 1：$X^8 + X^2 + X + 1$ 1 0：$X^{16} + X^{15} + X^2 + 1$ 1 1：$X^{16} + X^{12} + X^5 + 1$	R/W
b2	LMS	CRC 演算切り替えビット	0：LSB ファーストで通信する場合の CRC 演算を行う CRCDOR レジスタの値（CRC コード）をバイト単位に分けて送信する場合、下位バイト（b7～b0）を先に送信してください。 1：MSB ファーストで通信する場合の CRC 演算を行う CRCDOR レジスタの値（CRC コード）をバイト単位に分けて送信する場合、上位バイト（b15～b8）を先に送信してください。	R/W
b6-b3	—	（予約ビット）	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	DORCLR	CRCDOR レジスタクリアビット	0：動作に影響を与えない 1：CRCDOR レジスタをクリア 読むと“0”が読めます	R/W

CRCCR レジスタは、CRC 演算器の初期化、演算切り替え、生成多項式を選択するレジスタです。

GPS[1:0] ビット（CRC 生成多項式切り替えビット）

CRC コード生成多項式を選択します。

LMS ビット（CRC 演算切り替えビット）

LSB ファースト通信用 CRC コード生成か、MSB ファースト通信用 CRC コード生成かを選択します。

DORCLR ビット（CRCDOR レジスタクリアビット）

DORCLR ビットを “1” にすると、CRCDOR レジスタが “0000h” になります。
読むと、“0” が読めます。

30.2.2 CRC データ入力レジスタ（CRCDIR）

アドレス　0008 8281h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDIR レジスタは、CRC 演算対象となるデータブロックを設定するための 8 ビットの読み出し／書き込み可能なレジスタです。

30.2.3 CRC データ出力レジスタ（CRCDOR）

アドレス　0008 8282h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDOR レジスタは、演算結果を格納するための 16 ビットのリード／ライト可能なレジスタです。

一般に、通信データの検査のために通信データに続いて CRC コードを演算するとエラーがない場合には “0” となります。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用した場合は、下位バイト（b7-b0）に有効な CRC コードが得られます。上位バイト（b15-b8）は、更新されません。

30.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト／MSB ファースト通信用 CRC コードを生成します。

以下に CRCCR.GPS[1:0] ビットを “11b” として、16 ビット CRC（$X^{16} + X^{12} + X^{5} + 1$ の多項式）を使用し、データ “F0h” について CRC コードを生成する場合の使用例を示します。

8 ビット CRC（$X^{8} + X^{2} + X + 1$ の多項式）を使用した場合は、CRCDOR レジスタの下位バイトに有効な CRC コードが得られます。

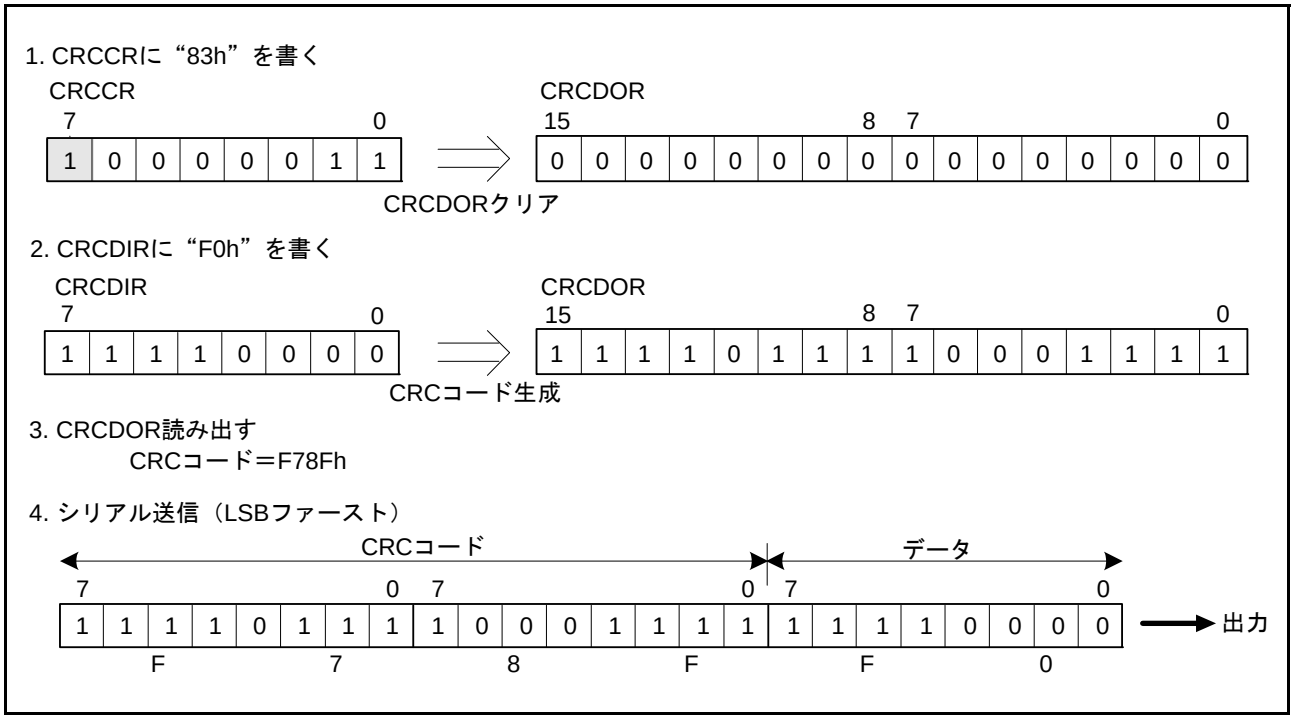


図 30.2　LSB ファーストでのデータ送信

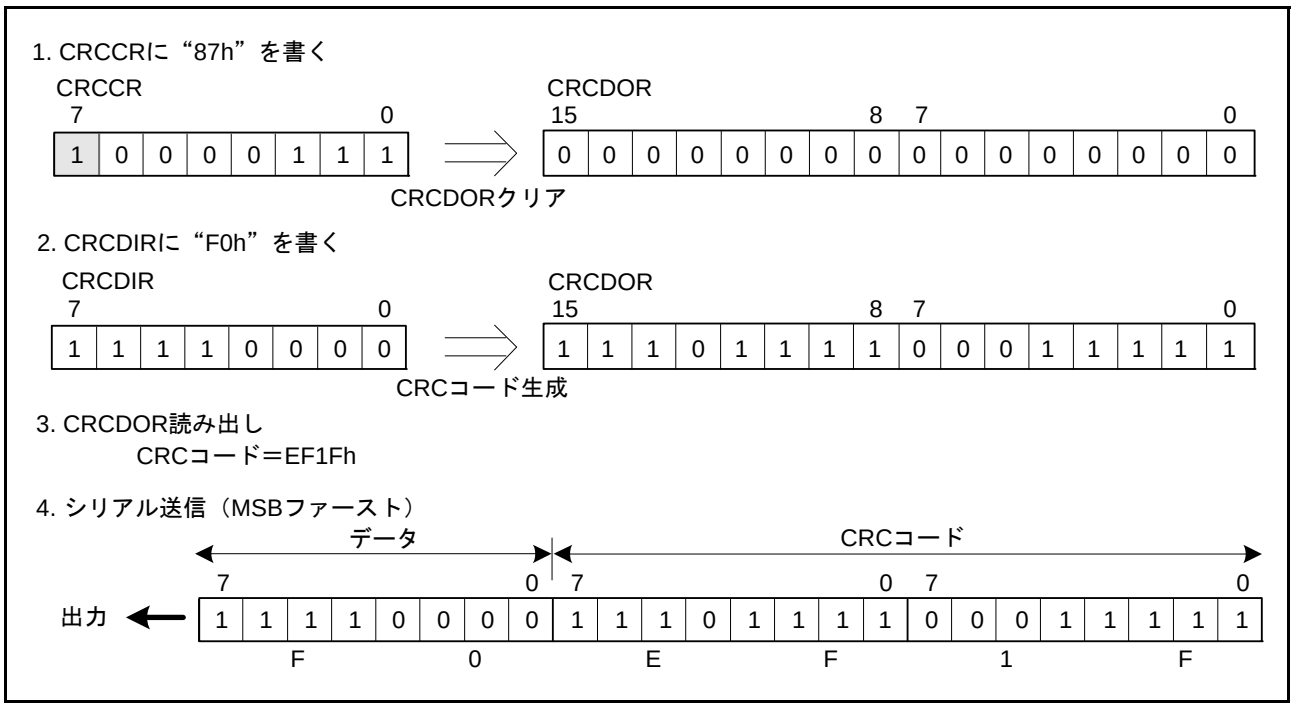


図 30.3　MSB ファーストでのデータ送信

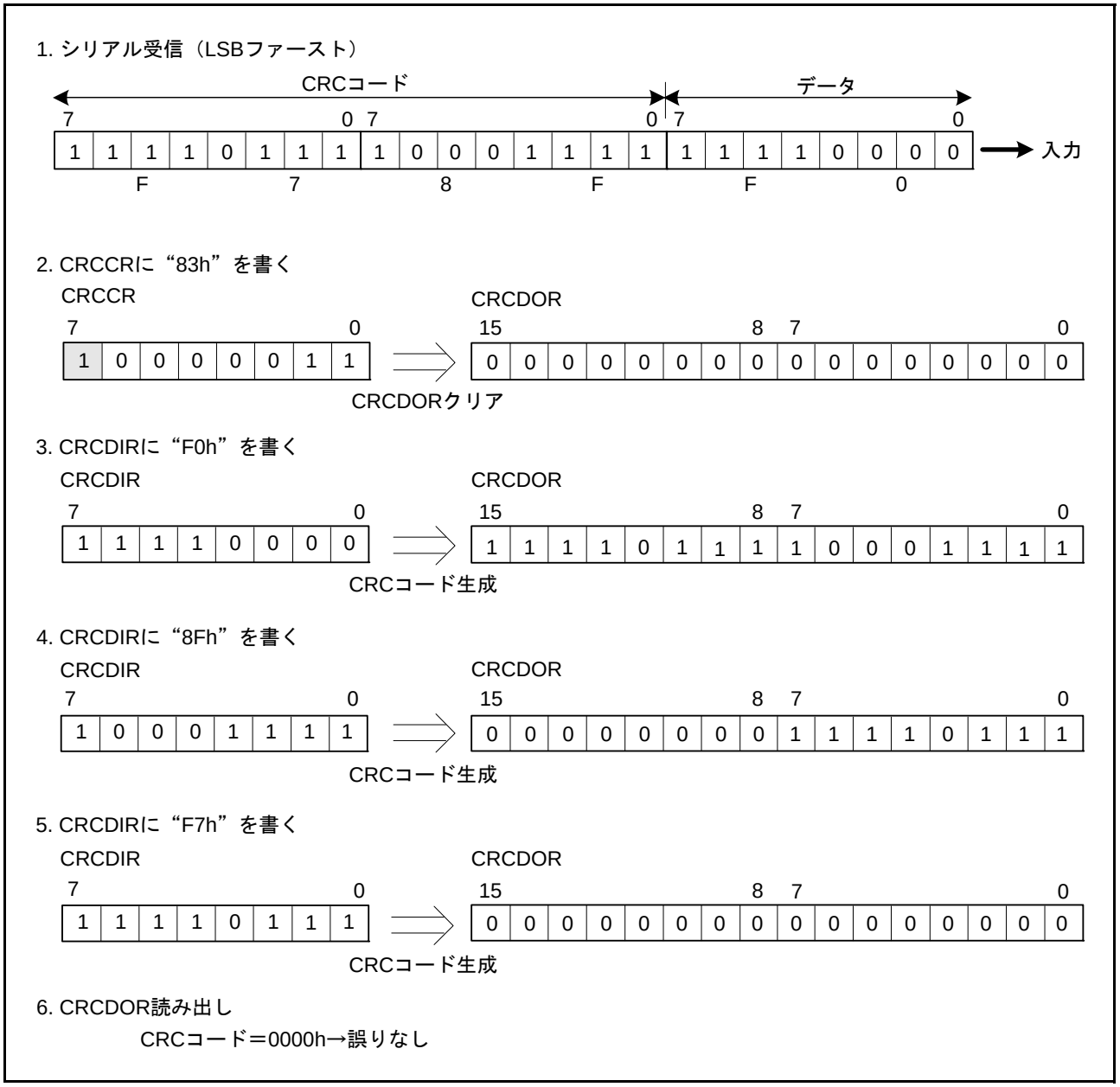


図 30.4　LSB ファーストでのデータ受信

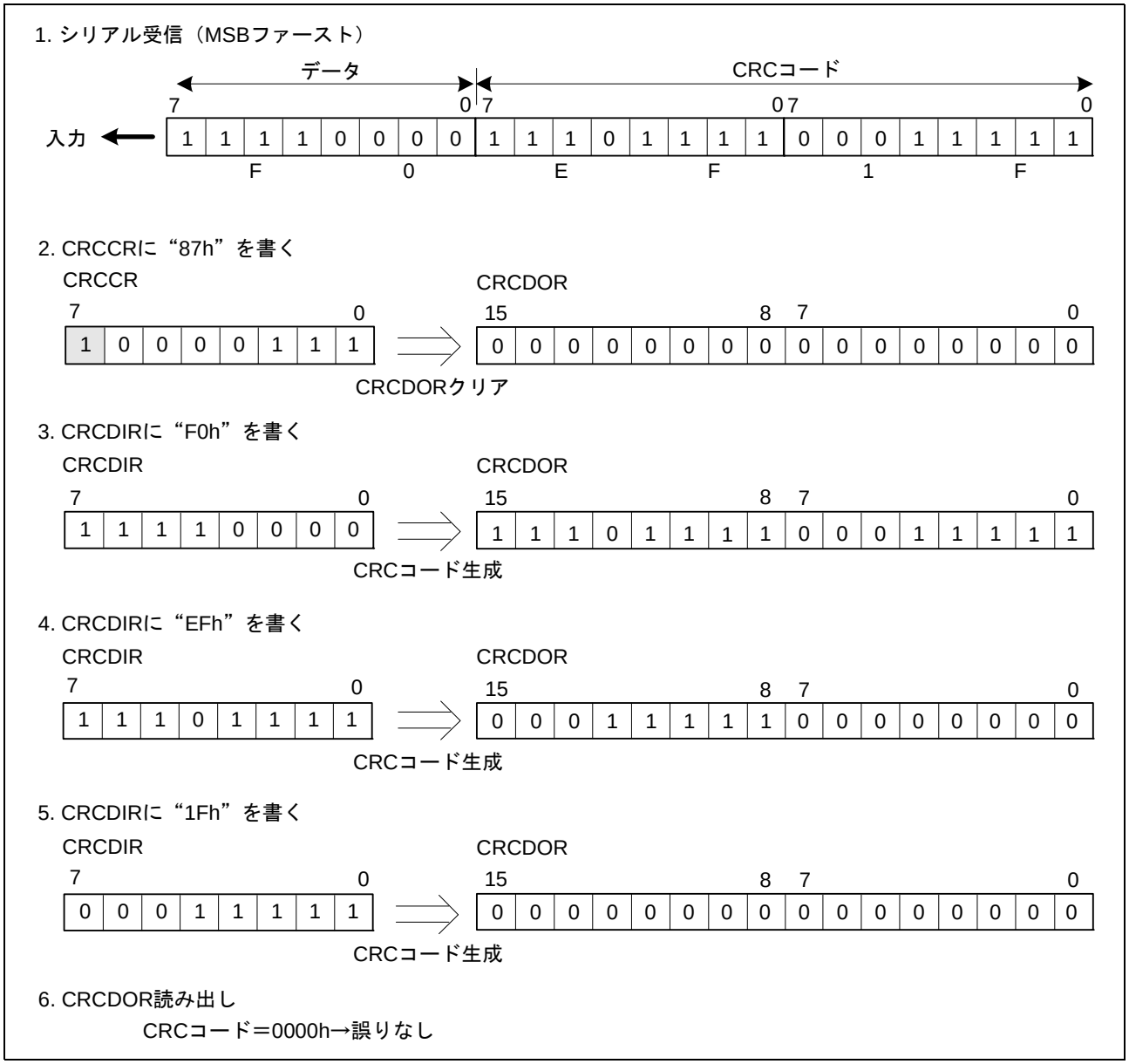


図 30.5　MSB ファーストでのデータ受信

30.4　使用上の注意事項

30.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、CRC 演算器の動作禁止／許可を設定することが可能です。初期値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9.　消費電力低減機能」を参照してください。

30.5　転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

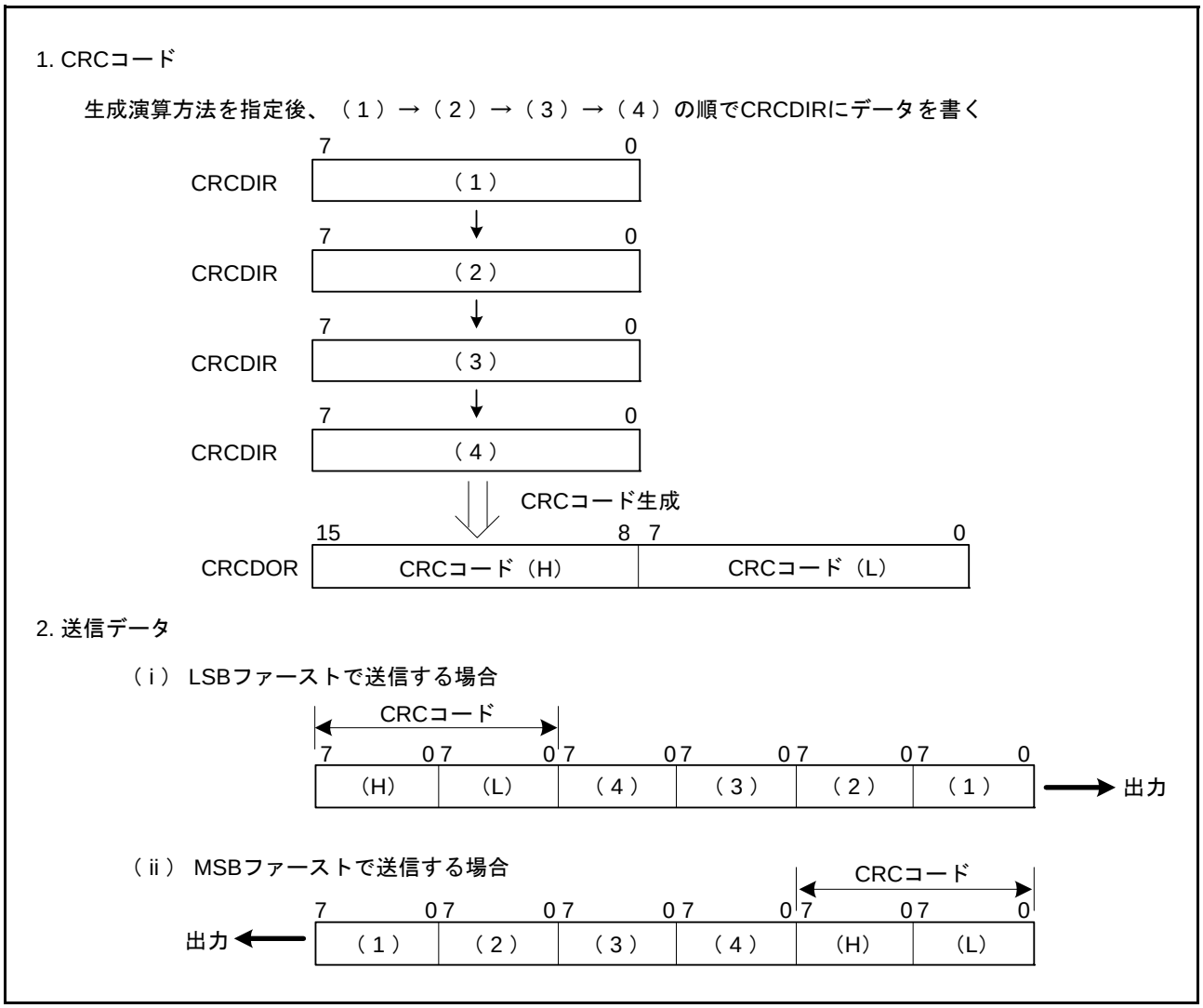


図 30.6　LSB ファーストと MSB ファーストの送信データ

31. I²C バスインタフェース（RIIC）

RX62N グループ、RX621 グループは、2 チャネルの I²C バスインタフェース（RIIC）を内蔵しています。

RIIC は、NXP 社が提唱する I²C バス（Inter-IC-Bus）インタフェース方式に準拠しており、そのサブセット機能を搭載しています。

31.1 概要

表 31.1 に RIIC の仕様を、**図 31.1** に RIIC のブロック図を、**図 31.2** に**入出力端子の外部回路接続例（I²C バス構成例）**を示します。**表 31.2** に RIIC で使用する入出力端子を示します。

表31.1　RIICの仕様

項目	内容
通信フォーマット	• I²Cバスフォーマット/SMBusフォーマット • マスタ/スレーブ選択可能 • 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	～1Mbps
SCLクロック	マスタ時、SCLクロックのデューティ比を4%～96%の範囲で設定可能
条件発行・条件検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、 スタートコンディション（リスタートコンディション含む）/ストップコンディション検出可能
スレーブアドレス	• スレーブアドレスを3セット設定可能 • 7ビット/10ビットアドレスフォーマット対応（混在可能） • ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノーアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	• 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト（WAIT機能）
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	• マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 • バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止） • ノーアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 • スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	• 4種類 通信エラー/イベント発生（AL検出、NACK検出、タイムアウト検出、 スタートコンディション検出（リスタートコンディション含む）、 ストップコンディション検出） 受信データフル（スレーブアドレス一致時含む） 送信データエンプティ（スレーブアドレス一致時含む） 送信終了

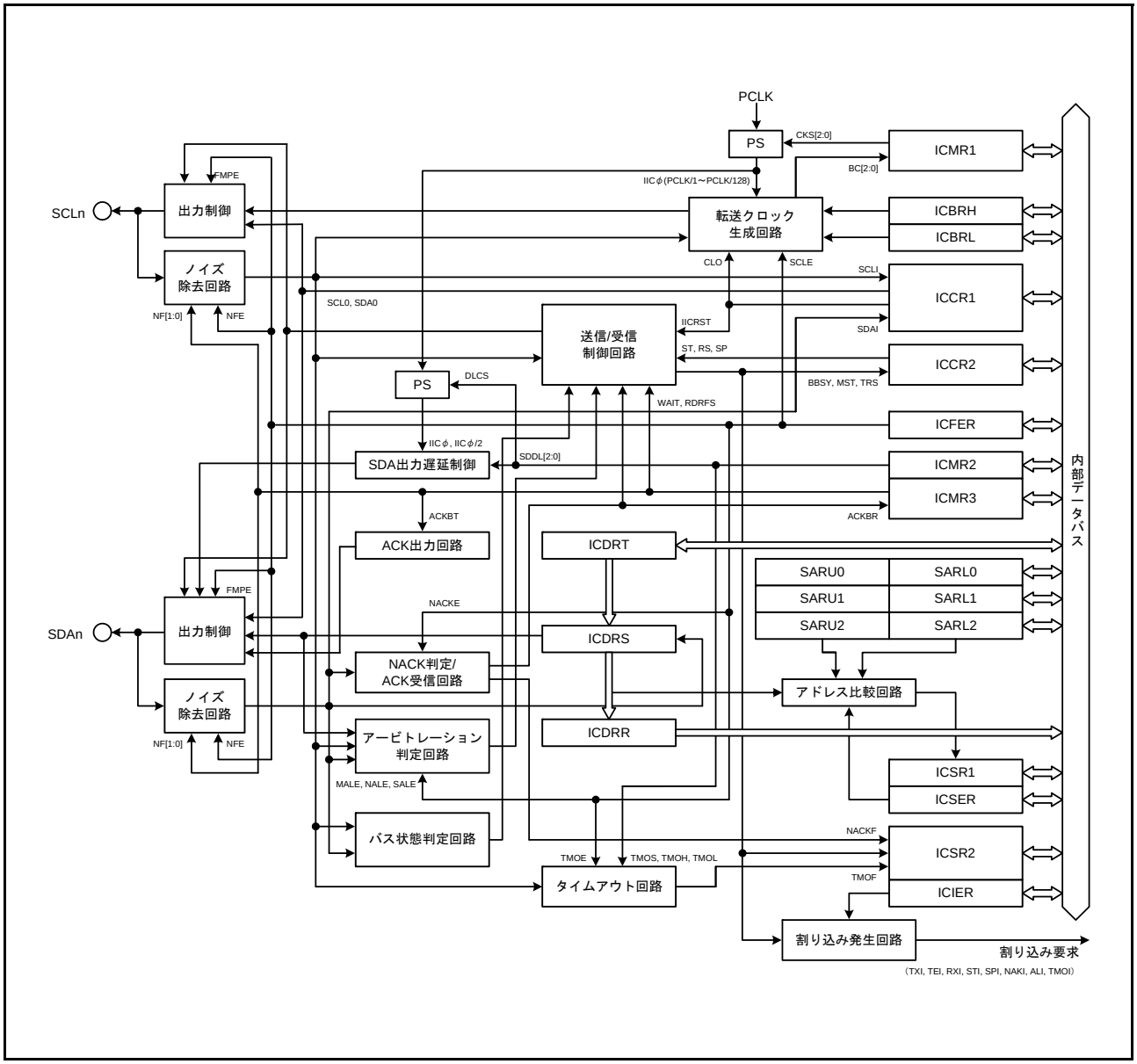


図 31.1　　RIIC のブロック図

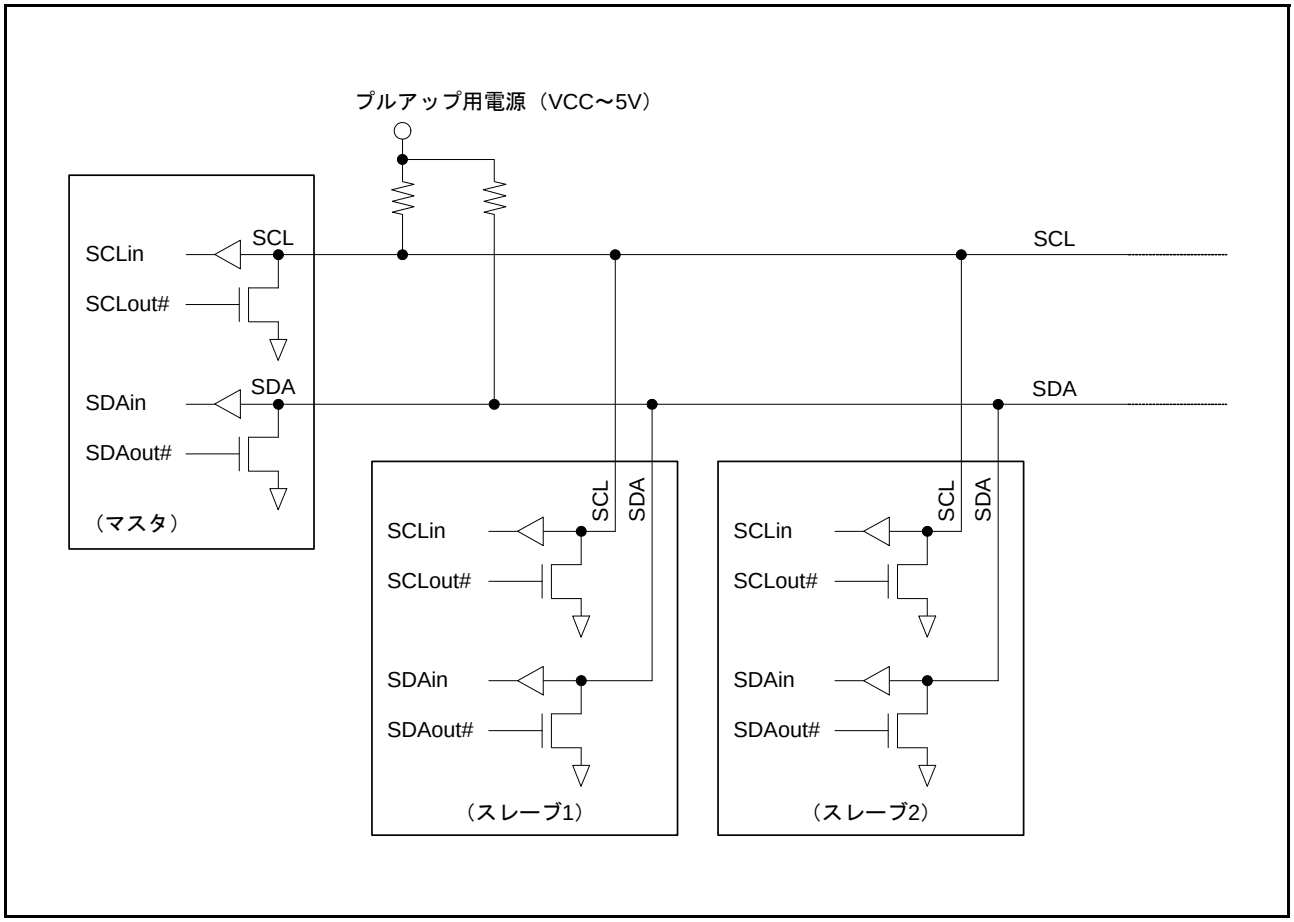


図 31.2　入出力端子の外部回路接続例（I2C バス構成例）

表31.2　RIICの入出力端子

チャネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0側シリアルクロック入出力端子
	SDA0	入出力	RIIC0側シリアルデータ入出力端子
RIIC1	SCL1	入出力	RIIC1側シリアルクロック入出力端子
	SDA1	入出力	RIIC1側シリアルデータ入出力端子

31.2 レジスタの説明

表 31.3 に RIIC のレジスター一覧を示します。

表31.3　RIICのレジスター一覧

チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
RIIC0	I²Cバスコントロールレジスタ1	ICCR1	1Fh	0008 8300h	8
	I²Cバスコントロールレジスタ2	ICCR2	00h	0008 8301h	8
	I²Cバスモードレジスタ1	ICMR1	08h	0008 8302h	8
	I²Cバスモードレジスタ2	ICMR2	06h	0008 8303h	8
	I²Cバスモードレジスタ3	ICMR3	00h	0008 8304h	8
	I²Cバスファンクションイネーブルレジスタ	ICFER	72h	0008 8305h	8
	I²Cバスステータスイネーブルレジスタ	ICSER	09h	0008 8306h	8
	I²Cバスインタラプトイネーブルレジスタ	ICIER	00h	0008 8307h	8
	I²Cバスステータスレジスタ1	ICSR1	00h	0008 8308h	8
	I²Cバスステータスレジスタ2	ICSR2	00h	0008 8309h	8
	スレーブアドレスレジスタL0	SARL0	00h	0008 830Ah	8
	スレーブアドレスレジスタU0	SARU0	00h	0008 830Bh	8
	スレーブアドレスレジスタL1	SARL1	00h	0008 830Ch	8
	スレーブアドレスレジスタU1	SARU1	00h	0008 830Dh	8
	スレーブアドレスレジスタL2	SARL2	00h	0008 830Eh	8
	スレーブアドレスレジスタU2	SARU2	00h	0008 830Fh	8
	I²Cバスビットレートローレベルレジスタ	ICBRL	FFh	0008 8310h	8
	I²Cバスビットレートハイレベルレジスタ	ICBRH	FFh	0008 8311h	8
	I²Cバス送信データレジスタ	ICDRT	FFh	0008 8312h	8
	I²Cバス受信データレジスタ	ICDRR	00h	0008 8313h	8
	I²Cバスシフトレジスタ	ICDRS	—	—	8
	タイムアウト内部カウンタL	TMOCNTL	00h	0008 830Ah	8
	タイムアウト内部カウンタU	TMOCNTU	00h	0008 830Bh	8
RIIC1	I²Cバスコントロールレジスタ1	ICCR1	1Fh	0008 8320h	8
	I²Cバスコントロールレジスタ2	ICCR2	00h	0008 8321h	8
	I²Cバスモードレジスタ1	ICMR1	08h	0008 8322h	8
	I²Cバスモードレジスタ2	ICMR2	06h	0008 8323h	8
	I²Cバスモードレジスタ3	ICMR3	00h	0008 8324h	8
	I²Cバスファンクションイネーブルレジスタ	ICFER	72h	0008 8325h	8
	I²Cバスステータスイネーブルレジスタ	ICSER	09h	0008 8326h	8
	I²Cバスインタラプトイネーブルレジスタ	ICIER	00h	0008 8327h	8
	I²Cバスステータスレジスタ1	ICSR1	00h	0008 8328h	8
	I²Cバスステータスレジスタ2	ICSR2	00h	0008 8329h	8
	スレーブアドレスレジスタL0	SARL0	00h	0008 832Ah	8
	スレーブアドレスレジスタU0	SARU0	00h	0008 832Bh	8
	スレーブアドレスレジスタL1	SARL1	00h	0008 832Ch	8
	スレーブアドレスレジスタU1	SARU1	00h	0008 832Dh	8
	スレーブアドレスレジスタL2	SARL2	00h	0008 832Eh	8
	スレーブアドレスレジスタU2	SARU2	00h	0008 832Fh	8
	I²Cバスビットレートローレベルレジスタ	ICBRL	FFh	0008 8330h	8
	I²Cバスビットレートハイレベルレジスタ	ICBRH	FFh	0008 8331h	8
	I²Cバス送信データレジスタ	ICDRT	FFh	0008 8332h	8
	I²Cバス受信データレジスタ	ICDRR	00h	0008 8333h	8
	I²Cバスシフトレジスタ	ICDRS	—	—	8
	タイムアウト内部カウンタL	TMOCNTL	00h	0008 832Ah	8
	タイムアウト内部カウンタU	TMOCNTU	00h	0008 832Bh	8

31.2.1 I²C バスコントロールレジスタ 1（ICCR1）

アドレス　RIIC0.ICCR1 0008 8300h、RIIC1.ICCR1 0008 8320h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0：SDAnラインはLow 1：SDAnラインはHigh	R
b1	SCLI	SCLラインモニタビット	0：SCLnラインはLow 1：SCLnラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	• リード時 0：SDAn端子をLowにしている 1：SDAn端子を解放している • ライト時 0：SDAn端子をLowにする 1：SDAn端子を解放する	R/W
b3	SCLO	SCL出力制御/モニタビット	• リード時 0：SCLn端子をLowにしている 1：SCLn端子を解放している • ライト時 0：SCLn端子をLowにする 1：SCLn端子を解放する	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0：SCLO、SDAOビットの書き換え許可 1：SCLO、SDAOビットを保護 （読むと“1”が読めます。）	R/W
b5	CLO	SCLクロック追加出力ビット	0：SCLクロックを追加で出力しない（通常状態） 1：SCLクロックを追加で出力する （1クロック出力後、自動的に“0”になる）	R/W
b6	IICRST	I²Cバスインタフェース 内部リセットビット	0：RIIC/内部リセット解除 1：RIIC/内部リセット状態 （ビットカウンタのクリア、SCLn/SDAn出力ラッチを解除）	R/W
b7	ICE	I²Cバスインタフェース許可ビット	0：RIICは機能停止（SCLn端子/SDAn端子はポート機能） 1：RIICは転送動作可能（SCLn端子/SDAn端子はバス駆動）	R/W

ICCR1 レジスタは、RIIC の動作 / 停止、RIIC の内部状態のリセット、SCL クロックの追加出力、SCLn 端子 /SDAn 端子の操作、SCLn 端子 /SDAn 端子のモニタなどを行うレジスタです。

SDAI ビット（SDA ラインモニタビット）

SDAn 端子の入力レベルを示します。

SCLI ビット（SCL ラインモニタビット）

SCLn 端子の入力レベルを示します。

SDAO ビット（SDA 出力制御 / モニタビット）、SCLO ビット（SCL 出力制御 / モニタビット）

RIIC が出力する SDAn 信号、SCLn 信号を直接操作するためのビットです。

こららのビットに値を書く場合は、同時に SOWP ビットにも “0” を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保障できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

SOWP ビット（SCLO/ SDAO ライトプロテクトビット）

SCLO、SDAO ビットへの書き込みを制御します。

CLO ビット（SCL クロック追加出力ビット）

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は “0” にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、「31.11.2　SCL クロック追加出力機能」を参照してください。

IICRST ビット（I²C バス内部リセットビット）

RIIC の内部状態をリセットします。

IICRST ビットを “1” にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 31.4 に RIIC のリセットの種類を示します。

RIIC リセットでは ICCR2.BBSY フラグを含めた全レジスタおよび内部状態を、内部リセットではビットカウンタ（ICMR1.BC[2:0] ビット）、I²C バスシフトレジスタ（ICDRS）、I²C バスステータスレジスタ（ICSR1、ICSR2）および内部状態をリセットします。各レジスタのリセット状況については、「31.14　リセット状況」を参照してください。

動作中（ICE ビット =1 の状態）、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを “1” にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCLn 端子 /SDAn 端子をハイインピーダンスにしてバスを解放することができます。

注 .　スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCLn ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 31.4　RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット（I²C バスインタフェース許可ビット）

RIIC の転送動作可能 / 機能停止を選択します。

ICE ビットを “0”（機能停止）にすると SCLn 端子 /SDAn 端子はポート機能になります。また、ICE ビットが “0” のとき IICRST ビットを “1” にすると RIIC リセット、ICE ビットが “1” のとき IICRST ビットを “1” にすると内部リセットになります。

なお、予期せぬ通信開始を防止するため RIIC のレジスタの設定を行う際には、ICE ビットを “0”（機能停止）にし、すべてのレジスタ設定が完了した後 ICE ビットを “1”（転送動作可能状態）にしてください。

注 .　RX62N グループ、RX621 グループの端子機能は、I²C バス端子以外の他の機能にも割り当てられています。端子を I²C バス端子（SCLn 端子 /SDAn 端子）として使用する場合には、割り当てられている機能の出力を禁止してください。また I²C バス端子の SCLn 端子 /SDAn 端子はともに入出力端子ですので、該当する I/O ポートの PORTm.DDR レジスタは “0”（入力）に設定し、PORTm.ICR レジスタは “1”（入力バッファ有効）に設定してください。

31.2.2 I²C バスコントロールレジスタ 2（ICCR2）

アドレス　RIIC0.ICCR2 0008 8301h、RIIC1.ICCR2 0008 8321h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0：受信モード 1：送信モード	R/W （注1）
b6	MST	マスタ/スレーブモードビット	0：スレーブモード 1：マスタモード	R/W （注1）
b7	BBSY	バスビジー検出フラグ	0：I²C バスが解放状態（バスフリー状態） 1：I²C バスが占有状態（バスビジー状態またはバスフリーの期間中）	R

注1.　ICMR1.MTWP ビットが“1”のとき、MST、TRS ビットへの書き込みができます。

ICCR2 レジスタは、I²C バスインタフェースの制御を行うレジスタで、I²C バスの占有 / 解放を持ちます。

ST ビット（スタートコンディション発行要求ビット）

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが “1” になるとスタートコンディションの発行を要求し、BBSY フラグが “0”（バスフリー）のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「**31.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能**」を参照してください。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- スタートコンディションの発行が完了したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　ST ビットは、BBSY フラグが “0”（バスフリー）のとき、“1”（スタートコンディション発行要求）にしてください。BBSY フラグが “1”（バスビジー）のとき、ST ビットを “1”（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット（リスタートコンディション発行要求ビット）

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが “1” になるとリスタートコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「31.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

［“1” になる条件］

- ICCR2.BBSY フラグが “1” の状態で、“1” を書いたとき

［“0” になる条件］

- “0” を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 1.　BBSY フラグ＝0（バスフリー）状態では書き込みできません。
注 2.　ストップコンディション発行中に RS ビットを “1” にしないでください。
注 3.　マスタモード以外で RS ビットに “1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは “1” のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット（ストップコンディション発行要求ビット）

マスタモードでストップコンディションの発行を要求します。

SP ビットが “1” になるとストップコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「31.10　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

［“1” になる条件］

- ICCR2.BBSY フラグが “1” でかつ ICCR2.MST ビットが “1” の状態で、“1” を書いたとき

［“0” になる条件］

- “0” を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 1.　BBSY フラグ =0（バスフリー）のとき書き込みはできません。
注 2.　リスタートコンディション発行中に SP ビットを “1” にしないでください。

TRS ビット（送信 / 受信モードビット）

送信 / 受信モードを示すビットです。

TRS ビットが “0” のとき受信モード、TRS ビットが “1” のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットなどで “1”/“0” になり、動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

［“1” になる条件］

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “0” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

［“0” になる条件］

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき（ジェネラルコールアドレス含む）
- スレーブモード時、リスタートコンディションを検出したとき（ICCR2.BBSY=1、ICCR2.MST=0 の状態でスタートコンディションを検出したとき）
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット（マスタ / スレーブモードビット）

マスタモード / スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MTS ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行 / 検出などで “1”/“0” になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

［“1” になる条件］

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

［“0” になる条件］

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ（バスビジー検出フラグ）

I²C バスの占有（バスビジー）/ 解放状態（バスフリー）を示します。

SCLn ラインが High の状態で SDAn ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して “1” になります。

SCLn ラインが High の状態で SDAn ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間（ICBRL レジスタに設定した時間）スタートコンディション検出がないとき “0” になります。

［“1” になる条件］

- スタートコンディションを検出したとき

［“0” になる条件］

- ストップコンディションを検出後、バスフリーの時間（ICBRL レジスタに設定した時間）スタートコンディション検出がないとき
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

31.2.3 I²C バスモードレジスタ 1（ICMR1）

アドレス　RIIC0.ICMR1 0008 8302h、RIIC1.ICMR1 0008 8322h

	b7	b6	b5	b4	b3	b2	b1	b0
	MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2　b0 0 0 0：9ビット 0 0 1：2ビット 0 1 0：3ビット 0 1 1：4ビット 1 0 0：5ビット 1 0 1：6ビット 1 1 0：7ビット 1 1 1：8ビット	R/W （注1）
b3	BCWP	BCライトプロテクトビット	0：BC[2:0]の値を設定許可 （読むと“1”が読めます）	R/W （注1）
b6-b4	CKS[2:0]	内部基準クロック選択ビット	b6　b4 0 0 0：PCLK/1クロック 0 0 1：PCLK/2クロック 0 1 0：PCLK/4クロック 0 1 1：PCLK/8クロック 1 0 0：PCLK/16クロック 1 0 1：PCLK/32クロック 1 1 0：PCLK/64クロック 1 1 1：PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0：ICCR2.MST, TRSビットへの書き込み禁止 1：ICCR2.MST, TRSビットへの書き込み許可	R/W

注1.　BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にして、BC[2:0]ビットを書き換えてください。ビットの書き換えは、MOV命令で行います。

ICMR1 レジスタは、RIIC の内部基準クロックソースを選択したり、転送ビット数情報を得たり、ICCR2.MST, TRS ビットのライトプロテクトを制御したりするレジスタです。

BC[2:0] ビット（ビットカウンタ）

SCLn ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書き込みを行う場合には転送するデータのビット数＋ 1 を指定し（データにアクノリッジ 1 ビットが付加されて転送される）、転送フレーム間でかつ SCLn ラインが Low の 状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出（リスタートコンディション含む）で自動的に “000b” に戻ります。

BCWP ビット（BC ライトプロテクトビット）

BC[2:0] ビットへの書き込みを制御します。

CKS[2:0] ビット（内部基準クロック選択ビット）

RIIC の内部基準クロックソース（IICφ）を選択します。

MTWP ビット（MST/TRS ライトプロテクトビット）

ICCR2.MST, TRS ビットへの書き込みを制御します。

31.2.4　I²C バスモードレジスタ 2（ICMR2）

アドレス　RIIC0.ICMR2 0008 8303h、RIIC1.ICMR2 0008 8323h

	b7	b6	b5	b4	b3	b2	b1	b0
	DLCS	SDDL[2:0]			TMWE	TMOH	TMOL	TMOS
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0：ロングモードを選択 1：ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0：SCLnラインがLowでカウント禁止 1：SCLnラインがLowでカウント有効	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0：SCLnラインがHighでカウント禁止 1：SCLnラインがHighでカウント有効	R/W
b3	TMWE	タイムアウト内部カウンタ書き込み許可ビット	0：タイムアウト機能の内部カウンタへの書き込み禁止 1：タイムアウト機能の内部カウンタへの書き込み許可	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	• ICMR2.DLCS＝0（IICφ）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICφ1サイクル 0 1 0：IICφ2サイクル 0 1 1：IICφ3サイクル 1 0 0：IICφ4サイクル 1 0 1：IICφ5サイクル 1 1 0：IICφ6サイクル 1 1 1：IICφ7サイクル • ICMR2.DLCS=1（IICφ/2）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICφの1～2サイクル 0 1 0：IICφの3～4サイクル 0 1 1：IICφの5～6サイクル 1 0 0：IICφの7～8サイクル 1 0 1：IICφの9～10サイクル 1 1 0：IICφの11～12サイクル 1 1 1：IICφの13～14サイクル	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0：SDA出力遅延カウンタのクロックソースに内部基準クロック（IICφ）を選択 1：SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周（IICφ/2）を選択	R/W

ICMR2 レジスタは、タイムアウト検出機能、SDA 出力遅延機能を持つレジスタです。

TMOS ビット（タイムアウト検出時間選択ビット）

タイムアウト検出機能有効時（ICFER.TMOE ビット =1）にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCLn ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック（IICφ）をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「31.11.1　タイムアウト検出機能」を参照してください。

TMOL ビット（タイムアウト L カウント制御ビット）

タイムアウト検出機能有効時（ICFER.TMOE ビット =1）に SCLn ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット（タイムアウト H カウント制御ビット）

タイムアウト検出機能有効時（ICFER.TMOE ビット =1）に SCLn ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMWE ビット（タイムアウト内部カウンタ書き込み許可ビット）

スレーブアドレスレジスタ（SARL0/SARU0）のアドレスにタイムアウト内部カウンタ（TMOCNTL/TMOCNTU) を割り当てるかどうかを選択するビットです。

SDDL[2:0] ビット（SDA 出力遅延カウンタ）

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、「31.5　SDA 出力遅延機能」を参照してください。

注 1.　SDA 出力遅延の設定は、I²C バス規格（データ有効時間 / アクノリッジ有効時間（注 2）内）または SMBus 規格（データホールド時間：300ns 以上、かつ SCL クロックの Low 幅 – データセットアップ時間：250ns の範囲内）に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注 2.　データ有効時間 / アクノリッジ有効時間

3,450ns（～100kbps ：スタンダードモード[Sm]）
900ns（～400kbp ：ファストモード[fm]）
450ns（～1Mbps ：ファストモードプラス[fm+]）

DLCS ビット（SDA 出力遅延クロックソース選択ビット）

SDA 出力遅延時間のクロックソースに内部基準クロック（IICφ）か、内部基準クロックの 2 分周（IICφ/2）かを選択するビットです。

31.2.5 I²C バスモードレジスタ 3（ICMR3）

アドレス　RIIC0.ICMR3 0008 8304h、RIIC1.ICMR3 0008 8324h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0：1 IICφ以下のノイズを除去 （フィルタは1段） 0 1：2 IICφ以下のノイズを除去 （フィルタは2段） 1 0：3 IICφ以下のノイズを除去 （フィルタは3段） 1 1：4 IICφ以下のノイズを除去 （フィルタは4段）	R/W
b2	ACKBR	受信アクノリッジビット	0：アクノリッジビットに“0”を受信（ACK受信） 1：アクノリッジビットに“1”を受信（NACK受信）	R
b3	ACKBT	送信アクノリッジビット	0：アクノリッジビットに“0”を送出（ACK送信） 1：アクノリッジビットに“1”を送出（NACK送信）	R/W （注1）
b4	ACKWP	ACKBTライトプロテクトビット	0：ACKBTビットへの書き込み禁止 1：ACKBTビットへの書き込み許可	W （注1）
b5	RDRFS	RDRFフラグセットタイミング選択ビット	0：SCLクロックの9クロック目の立ち上がり時に“1”になる （8クロック目の立ち下がりでSCLnラインをLowにホールドしない） 1：SCLクロックの8クロック目の立ち上がり時に“1”になる （8クロック目の立ち下がりでSCLnラインをLowにホールドする） LowホールドはACKBTビットへの書き込みで解除	R/W （注2）
b6	WAIT	WAITビット	0：WAITなし （9クロック目と1クロック目の間をLowにホールドしない） 1：WAITあり （9クロック目と1クロック目の間をLowにホールドする） ● LowホールドはICDRRレジスタの読み出しで解除	R/W （注2）
b7	SMBS	SMBus/I²Cバス選択ビット	0：I²C バス選択 1：SMBus 選択	R/W

注1.　ACKWPビットは、ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。
注2.　WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

ICMR3 レジスタは、アクノリッジ送受信機能、RIIC 受信動作における RDRF フラグ、WAIT 動作などを制御するレジスタです。

NF[1:0] ビット（ノイズフィルタ段数選択ビット）

デジタルノイズフィルタの段数を選択します。

注．　ノイズフィルタで除去するノイズ幅の設定は、SCLn ラインの High/Low 幅よりも狭くしてください。
（SCL クロックの幅：High 幅または Low 幅のいずれか短い方）－｛1.5 内部基準クロック同期（IICφ）+ アナログノイズフィルタ：120 ns（参考値）｝と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能により SCL クロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット（受信アクノリッジビット）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

［“1” になる条件］

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “1” を受信したとき

［“0” になる条件］

- ICCR2.TRS ビットが “1” の状態でアクノリッジビットに “0” を受信したとき
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

ACKBT ビット（送信アクノリッジビット）

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

［“1” になる条件］

- ACKWP ビットが “1” の状態で “1” を書いたとき

［“0” になる条件］

- ACKWP ビットが “1” の状態で “0” を書いたとき
- ストップコンディションの発行を検出したとき（ICCR2.SP ビットが“1”の状態でストップコンディションを検出したとき）
- ICCR1.ICE ビットが “0” の状態で ICCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

注．　ACKBT ビットに書き込みを行う場合には、ACKWP ビットが “1” の状態で行ってください。ACKWP ビットが “0” の状態で書き込みを行った場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット（ACKBT ライトプロテクトビット）

ACKBT ビットへの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択ビット）

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが “0” のとき、8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを “1” にします。

RDRFS ビットが “1” のとき、RDRF フラグは 8 クロック目の立ち上がりで “1” にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドします。この SCLn ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCLn ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK（ACKBT ビットが “0”）または NACK（ACKBT ビットが “1”）を送出する処理が可能です。

WAIT ビット（WAIT ビット）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ（ICDRR レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが “0” のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに “0” のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが “1” のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCLn ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注 .　WAIT ビットを “0” にする場合は、ICDRR を先に読んでから “0” にしてください。

SMBS ビット（SMBus/I²C バス選択ビット）

SMBS ビットを “1” にすると、SMBus が選択され ICSER.HOAE ビットが有効になります。

31.2.6 I²C バスファンクションイネーブルレジスタ（ICFER）

アドレス　RIIC0.ICFER 0008 8305h、RIIC1.ICFER 0008 8325h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0：タイムアウト検出機能無効 1：タイムアウト検出機能有効	R/W
b1	MALE	マスタアービトレーションロスト検出許可ビット	0：マスタのアービトレーションロスト検出禁止 （アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない） 1：マスタアービトレーションロスト検出許可 （アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う）	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0：NACK送信アービトレーションロスト検出禁止 1：NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0：NACK受信時、転送を中断しない（転送中断禁止） 1：NACK受信時、転送を中断する（転送中断許可）	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0：デジタルノイズフィルタ回路を使用しない 1：デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0：SCL同期回路無効 1：SCL同期回路有効	R/W
b7	FMPE	Fast-mode Plus有効ビット	0：SCLn端子/SDAn端子にfm+用スロープ制御回路を使用しない 1：SCLn端子/SDAn端子にfm+用スロープ制御回路を使用する	R/W

ICFER レジスタは、タイムアウト検出機能、アービトレーションロスト、NACK 受信時の受信動作、SCL 同期回路、デジタルノイズフィルタ回路の使用 / 不使用などを制御するレジスタです。

TMOE ビット（タイムアウト検出機能有効ビット）

タイムアウト検出機能の有効 / 無効を選択します。

タイムアウト検出機能の詳細については、「31.11.1　タイムアウト検出機能」を参照してください。

MALE ビット（マスタアービトレーションロスト検出許可ビット）

マスタモード時にアービトレーションロスト検出機能の有効 / 無効を決定します。通常は “1” にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出許可ビット）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出許可ビット）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可ビット）

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は “1” にしてください。

NACKE ビットが “1” のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが “0” のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「31.8.2　NACK 受信転送中断機能」を参照してください。

NFE ビット（デジタルノイズフィルタ回路有効ビット）

デジタルノイズフィルタ回路の使用 / 不使用を選択します。

SCLE ビット（SCL 同期回路有効ビット）

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は “1” にしてください。

SCLE ビットを “0”（SCL 同期回路無効）にすると、クロック同期を行いません。この設定の場合、RIIC は SCLn ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き “0” にしないでください。

FMPE ビット（ファストモードプラス有効ビット）

スロープ制御回路をファストモードプラス [fm+] 用のスロープ制御回路を使用するかどうかを選択します。

FMPE ビットを “1” にすると I²C バスのファストモードプラス [fm+] のスロープ制御規格（tof）に準拠したスロープ制御回路が選択され、“0” にすると I²C バスのスタンダードモード [Sm] およびファストモード [fm] のスロープ制御規格（tof）に準拠したスロープ制御回路が選択されます。

通信速度を I²C バス規格の～ 1Mbps（ファストモードプラス [fm+]）で使用する場合は “1” にし、それ以外の通信速度（～ 100kbps[Sm]、～ 400kbps[fm]）または SMBus（10kbps ～ 100kbps）で使用する場合は “0” にしてください。

31.2.7 I²C バスステータスイネーブルレジスタ（ICSER）

アドレス　RIIC0.ICSER 0008 8306h、RIIC1.ICSER 0008 8326h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0有効ビット	0：SARL0、SARU0の設定値は無効 1：SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1有効ビット	0：SARL1、SARU1の設定値は無効 1：SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2有効ビット	0：SARL2、SARU2の設定値は無効 1：SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス有効ビット	0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出有効ビット	0：デバイスIDアドレス検出は無効 1：デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス有効ビット	0：ホストアドレス検出は無効 1：ホストアドレス検出は有効	R/W

ICSER レジスタは、スレーブアドレス比較、ジェネラルコールアドレス検出、デバイス ID コマンド検出、ホストアドレス検出の有効 / 無効を選択するレジスタです。

SARyE ビット（スレーブアドレスレジスタ y 有効ビット）（y= 0 ～ 2）

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを “1” にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを “0” にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE（ジェネラルコールアドレス有効ビット）

ジェネラルコールアドレス（0000 000b ＋ 0[W] : All“0”）を受信した場合、無視するかどうかを選択します。

GCAE ビットが “1” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ（y=0 ～ 2）で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが “0” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出有効ビット）

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームにデバイス ID アドレス（1111 100b）を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが “1” の場合、受信した第 1 フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが “0”[W] のとき第 2 フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが “0” の場合、受信した第 1 フレームがデバイス ID アドレスと一致しても無視され、第 1 フレームを通常のスレーブアドレスとみなして動作します。

デバイスIDアドレス検出の詳細については、「31.7.3　デバイスID アドレス検出機能」を参照してください。

HOAE ビット（ホストアドレス有効ビット）

ICMR3.SMBS ビットが “1” の場合、ホストアドレス（0001 000b）を受信したとき、無視するかどうかを選択します。

ICMR3.SMBSビットが“1”でかつHOAEビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ（y=0 ～ 2）で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBSビットが“0”またはHOAEビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

31.2.8 I2C バスインタラプトイネーブルレジスタ（ICIER）

アドレス　RIIC0.ICIER 0008 8307h、RIIC1.ICIER 0008 8327h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み許可ビット	0：タイムアウト割り込み（TMOI）の禁止 1：タイムアウト割り込み（TMOI）の許可	R/W
b1	ALIE	アービトレーションロスト割り込み許可ビット	0：アービトレーションロスト割り込み（ALI）の禁止 1：アービトレーションロスト割り込み（ALI）の許可	R/W
b2	STIE	スタートコンディション検出割り込み許可ビット	0：スタートコンディション検出割り込み（STI）の禁止 1：スタートコンディション検出割り込み（STI）の許可	R/W
b3	SPIE	ストップコンディション検出割り込み許可ビット	0：ストップコンディション検出割り込み（SPI）の禁止 1：ストップコンディション検出割り込み（SPI）の許可	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0：NACK受信割り込み（NAKI）の禁止 1：NACK受信割り込み（NAKI）の許可	R/W
b5	RIE	受信データフル割り込み許可ビット	0：受信データフル割り込み（ICRXI）の禁止 1：受信データフル割り込み（ICRXI）の許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0：送信終了割り込み（ICTEI）の禁止 1：送信終了割り込み（ICTEI）の許可	R/W
b7	TIE	送信データエンプティ割り込み許可ビット	0：送信データエンプティ割り込み（ICTXI）の禁止 1：送信データエンプティ割り込み（ICTXI）の許可	R/W

ICIER レジスタは、各種割り込み要因の使用 / 不使用を選択します。

TMOIE ビット（タイムアウト割り込み許可ビット）

ICSR2.TMOF フラグが “1” のとき、タイムアウト割り込み（TMOI）の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを “0” にするか、または TMOIE ビットを “0” にすることで解除できます。

ALIE ビット（アービトレーションロスト割り込み許可ビット）

ICSR2.AL フラグが “1” のとき、アービトレーションロスト割り込み（ALI）の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを “0” にするか、または ALIE ビットを “0” にすることで解除できます。

STIE ビット（スタートコンディション検出割り込み許可ビット）

ICSR2.START フラグが “1” のとき、スタートコンディション検出割り込み（STI）の許可 / 禁止を選択します。STI 割り込みは、START フラグを “0” にするか、または STIE ビットを “0” にすることで解除できます。

SPIE ビット（ストップコンディション検出割り込み許可ビット）

ICSR2.STOP フラグが “1” のとき、ストップコンディション検出割り込み（SPI）の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを “0” にするか、または SPIE ビットを “0” にすることで解除できます。

NAKIE ビット（NACK 受信割り込み許可ビット）

ICSR2.NACKF フラグが “1” のとき、NACK 受信割り込み（NAKI）の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを “0” にするか、または NAKIE ビットを “0” にすることで解除できます。

RIE ビット（受信データフル割り込み許可ビット）

ICSR2.RDRF フラグが “1” の とき、受信データフル割り込み（ICRXI）の許可 / 禁止を選択します。

TEIE ビット（送信終了割り込み許可ビット）

ICSR2.TEND フラグが “1” の とき、送信終了割り込み（ICTEI）の許可 / 禁止を選択します。ICTEI 割り込みは、TEND フラグを “0” にするか、または TEIE ビットを “0” にすることで解除できます。

TIE ビット（送信データエンプティ割り込み許可ビット）

ICSR2.TDRE フラグが 1” のとき、送信データエンプティ割り込み（ICTXI）の許可 / 禁止を選択します。

31.2.9 I²C バスステータスレジスタ 1（ICSR1）

アドレス　RIIC0.ICSR1 0008 8308h、RIIC1.ICSR1 0008 8328h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0：スレーブアドレス0未検出 1：スレーブアドレス0検出 ● SARU0.FSビット=0（7ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスがSARL0.SVA[6:0]と一致したとき ● SARU0.FSビット=1（10ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスが1111 0b＋SARU0.SVA[1:0]に一致し、それに続くアドレスがSARL0レジスタと一致したとき （“1”になるタイミングは、SARL0一致判定フレームのSCLクロックの9クロック目の立ち上がり時）	R(/W) （注1）
b1	AAS1	スレーブアドレス1検出フラグ	0：スレーブアドレス1未検出 1：スレーブアドレス1検出 ● SARU1.FSビット=0（7ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスがSARL1.SVA[6:0]と一致したとき ● SARU1.FSビット=1（10ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスが1111 0b＋SARU1.SVA[1:0]に一致し、それに続くアドレスがSARL1レジスタと一致したとき （“1”になるタイミングは、SARL1一致判定フレームのSCLクロックの9クロック目の立ち上がり時）	R(/W) （注1）
b2	AAS2	スレーブアドレス2検出フラグ	0：スレーブアドレス2未検出 1：スレーブアドレス2検出 ● SARU2.FSビット=0（7ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスがSARL2.SVA[6:0]と一致したとき ● SARU2.FSビット=1（10ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスが1111 0b＋SARU2.SVA[1:0]に一致し、それに続くアドレスがSARL2レジスタと一致したとき （“1”になるタイミングは、SARL2一致判定フレームのSCLクロックの9クロック目の立ち上がり時）	R(/W) （注1）
b3	GCA	ジェネラルコールアドレス検出フラグ	0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出 ● 受信したスレーブアドレスがジェネラルコールアドレス（All“0”）と一致した場合	R(/W) （注1）
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスID アドレス検出フラグ	0：デバイスID アドレス未検出 1：デバイスID アドレス検出 ● スタートコンディション直後の第1フレームがデバイスID アドレス（1111 100b）＋0[W]と一致した場合	R(/W) （注1）
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0：ホストアドレス未検出 1：ホストアドレス検出 ● 受信したスレーブアドレスがホストアドレス（0001 000b）と一致した場合	R(/W) （注1）

注1.　“0”のみ書けます。

ICSR1 レジスタは、各種アドレス検出のステータスの確認を行うレジスタです。

AASy フラグ（スレーブアドレス y 検出フラグ）（y= 0 ～ 2）

［“1” になる条件］

【7 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 11110b ＋ SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 11110b ＋ SARUy.SVA[1:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER.SARyE ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 11110b ＋ SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ（ジェネラルコールアドレス検出フラグ）

［“1” になる条件］

- ICSER.GCAE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000b ＋ 0[W]）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.GCAE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000b ＋ 0[W]）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ（デバイス ID アドレス検出フラグ）

［“1” になる条件］

- ICSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100b）＋ 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100b）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100b）＋ 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ～ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ（ホストアドレス検出フラグ）

［“1” になる条件］

- ICSER.HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000b）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICMR3.SMBS ビットに “0” または ICSER.HOAE ビットに “0” を書いたとき
- ICSER.HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000b）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

31.2.10 I²C バスステータスレジスタ 2（ICSR2）

アドレス　RIIC0.ICSR2 0008 8309h、RIIC1.ICSR2 0008 8329h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0：タイムアウト未検出 1：タイムアウト検出	R(/W) (注1)
b1	AL	アービトレーションロストフラグ	0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり	R(/W) (注1)
b2	START	スタートコンディション検出フラグ	0：スタートコンディション未検出 1：スタートコンディション検出	R(/W) (注1)
b3	STOP	ストップコンディション検出フラグ	0：ストップコンディション未検出 1：ストップコンディション検出	R(/W) (注1)
b4	NACKF	NACK検出フラグ	0：NACK未検出 1：NACK検出	R(/W) (注1)
b5	RDRF	受信データフルフラグ	0：ICDRRレジスタに受信データなし 1：ICDRRレジスタに受信データあり	R(/W) (注1)
b6	TEND	送信終了フラグ	0：データ送信中 1：データ送信終了	R(/W) (注1)
b7	TDRE	送信データエンプティフラグ	0：ICDRTレジスタに送信データあり 1：ICDRTレジスタに送信データなし	R

注1.　“0”のみ書けます。

ICSR2 レジスタは、各種割り込み要求フラグおよびステータスの確認を行うレジスタです。

TMOF フラグ（タイムアウト検出フラグ）

SCLn ラインの状態が一定期間変化しない場合、タイムアウトを認識して “1” になります。

［“1” になる条件］

- ICFER.TMOE ビットが “1”（タイムアウト検出機能有効）で、かつマスタモードまたはスレーブ指定された状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCLn ラインの状態に変化がないとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ（アービトレーションロストフラグ）

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失（アービトレーションロスト）したことを示します。RIIC は送信中に SDAn ラインのレベルを監視し、出力データと SDAn ラインのレベルが一致しない場合 AL フラグを “1” にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

［“1” になる条件］

【マスタアービトレーションロスト検出有効時：ICFER.MALE ビット＝ 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（＝ SDAn 端子はハイインピーダンス状態）で、SDAn ラインに Low を検出）したとき
- ICCR2.ST ビットが “1”（スタートコンディション発行要求）の状態でスタートコンディションを検出したとき、自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが “1” の状態で ICCR2.ST ビットが “1”（スタートコンディション発行要求）に設定したとき

【NACK アービトレーションロスト検出有効時：ICFER.NALE ビット＝ 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALE ビット＝ 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

表 31.5　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	*	*	1	スタートコンディション発行エラー	ICCR2.ST=1の状態でスタートコンディション検出時に自分が出したSDA信号とSDAnライン上の信号の状態が不一致のとき
					ICCR2.BBSY=1の状態でICCR2.ST=1にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
*	1	*	1	NACK送信不一致	マスタ受信モードまたはスレーブ受信モードでNACK送信時にACKを検出したとき
*	*	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

＊：Don’t care

START フラグ（スタートコンディション検出フラグ）

［“1” になる条件］

- スタートコンディション（リスタートコンディション含む）を検出したとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

［“1” になる条件］

- ストップコンディションを検出したとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ（NACK 検出フラグ）

［“1” になる条件］

- ICFER.NACKE ビットが “1”（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジがなかった（NACK を受信した）とき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　NACKF フラグが “1” になると RIIC は通信動作を中断します。NACKF フラグが “1” の状態で送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを “0” にしてください。

RDRF フラグ（受信データフルフラグ）

［“1” になる条件］

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで “1” になります。
- スタートコンディション（リスタートコンディション含む）検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが “0” のとき

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ（送信終了フラグ）

［“1” になる条件］

- TDRE フラグが “1” の状態で、SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ（送信データエンプティフラグ）

［“1” になる条件］

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが “1” になったとき
  a. スタートコンディション（リスタートコンディション含む）検出後、ICCR2.MST ビットが “1” のとき
  b. 受信モードから送信モードになったとき
  c. ICMR1.MTWP ビットが “1” の状態で、“1” を書いたとき
- 受信したスレーブアドレスが一致し、TRS ビットが “1” のとき

［“0” になる条件］

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが “0” になったとき
  a. ストップコンディションを検出したとき
  b. 送信モードから受信モードになったとき
  c. ICMR1.MTWP ビットが “1” の状態で、“0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注 .　ICFER.NACKE ビットが “1” の状態で NACKF フラグが “1” になると RIIC は通信動作を中断します。このとき、TDRE フラグが “0” の状態（次の送信データが既に書き込まれている状態）の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空状態になりますが、TDRE フラグは “1” になりません。

31.2.11 スレーブアドレスレジスタ Ly（SARLy）（y= 0 ～ 2）

アドレス　RIIC0.SARL0 0008 830Ah、RIIC1.SARL0 0008 832Ah
RIIC0.SARL1 0008 830Ch、RIIC1.SARL1 0008 832Ch
RIIC0.SARL2 0008 830Eh、RIIC1.SARL2 0008 832Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	SVA[6:0]							SVA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。 • SARUy.FSビット=0（7ビットアドレスフォーマット選択）のとき、SVA0ビットは無効になる • SARUy.FSビット=1（10ビットアドレスフォーマット選択）のとき、SVA0ビットが有効になり、SVA[6:0]ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる	R/W
b7-b1	SVA[6:0]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレスを設定してください。 • SARUy.FSビット=0（7ビットアドレスフォーマット選択）のとき、SVA[6:0]ビットは7ビットスレーブアドレスになる • SARUy.FSビット=1（10ビットアドレスフォーマット選択）のとき、SVA[6:0]ビットはSVA0ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる	R/W

SARLy レジスタは、スレーブアドレス y（7 ビットアドレスまたは 10 ビットアドレス下位 8 ビット）を設定するレジスタです。

SVA0 ビット（10 ビットアドレス最下位ビット）

10 ビットアドレスフォーマット選択時（SARUy.FS ビット =1）、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが “1”（SARLy、SARUy レジスタ有効）でかつ SARUy.FS ビットが “1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

SVA[6:0] ビット（7 ビットアドレス /10 ビットアドレス下位ビット）

7 ビットアドレスフォーマット選択時（SARUy.FS ビット =0）、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時（SARUy.FS ビット =1）、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが “0” のとき設定値は無視されます。

31.2.12　スレーブアドレスレジスタ Uy（SARUy）（y= 0 ～ 2）

アドレス　RIIC0.SARU0 0008 830Bh、RIIC1.SARU0 0008 832Bh
RIIC0.SARU1 0008 830Dh、RIIC1.SARU1 0008 832Dh
RIIC0.SARU2 0008 830Fh、RIIC1.SARU2 0008 832Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SVA[1:0]		FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0：7ビットアドレスフォーマット選択 1：10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください。 ● SARUy.FSビット=0（7ビットアドレスフォーマット選択）のとき、SVA[1:0]ビットは無効になる ● SARUy.FSビット=1（10ビットアドレスフォーマット選択）のとき、SVA[1:0]ビットが有効になり、10ビットスレーブアドレスの上位2ビットアドレスになる	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SARUy レジスタは、7 ビット /10 ビットアドレスフォーマットの選択と 10 ビットスレーブアドレス上位ビットのを設定を行うレジスタです。

FS ビット（7 ビット /10 ビットアドレスフォーマット選択ビット）

スレーブアドレス y（SARLy、SARUy レジスタ）を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが “1”（SARLy、SARUy レジスタ有効）でかつ SARUy.FS ビットが “0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが “1”（SARLy、SARUy レジスタ有効）でかつ SARUy.FS ビットが “1” のとき、スレーブアドレス m は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが “0”（SARLy、SARUy レジスタ無効）のとき SARUy.FS ビットの設定値は無効です。

SVA[1:0] ビット（10 ビットアドレス上位ビット）

10 ビットアドレスフォーマット選択時（FS ビット =1）、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが “1”（SARLy、SARUy レジスタ有効）でかつ SARUy.FS ビットが “1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

31.2.13 I2C バスビットレートローレベルレジスタ（ICBRL）

アドレス　RIIC0.ICBRL 0008 8310h、RIIC1.ICBRL 0008 8330h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRL[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時（「31.8　SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICφ）で Low 幅をカウントします。

注．　データセットアップ時間（tSU:DAT）
250ns（～ 100kbps ：スタンダードモード [Sm]）
100ns（～ 400kbps ：ファストモード [fm]）
50ns（～ 1Mbps　：ファストモードプラス [fm+]）

31.2.14 I²C バスビットレートハイレベルレジスタ（ICBRH）

アドレス　RIIC0.ICBRH 0008 8311h、RIIC1.ICBRH 0008 8331h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRH[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください。	R/W

ICBRHレジスタはSCLクロックのHigh幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース（IICφ）で High 幅をカウントします。

I²C 転送速度および SCL クロックのデューティ比は以下の式で算定します。

転送速度　＝ 1 / { [（ICBRH+1）＋（ICBRL+1）] / IICφ(注 1) ＋ SCLn ライン立ち上がり時間 [tr] ＋ SCLn ライン立ち下がり時間 [tf]}

デューティ比 ={ SCLn ライン立ち上がり時間 [tr] (注 2) ＋（ ICBRH+1）/ IICφ} / {SCLn ライン立ち下がり時間 [tf] (注 2) ＋（ ICBRL+1）/ IICφ}

注 1.　IICφ ＝ PCLK×10^6 × 分周比

注 2.　SCLn ライン立ち上がり時間 [tr]、SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 31.6 に示します。

表31.6　転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度（kbps）	動作周波数PCLK（MHz）								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22（F6h）	25（F9h）	101b	13（EDh）	15（EFh）	101b	16（F0h）	20（F4h）
50	010b	16（F0h）	19（F3h）	010b	21（F5h）	24（F8h）	011b	12（ECh）	15（EFh）
100	001b	15（EFh）	18（F2h）	001b	19（F3h）	23（F7h）	001b	24（F8h）	29（FDh）
400	000b	4（E4h）	10（EAh）	000b	5（E5h）	12（ECh）	000b	7（E7h）	16（F0h）
1000	000b	2（E2h）	3（E3h）	000b	2（E2h）	4（E4h）	000b	3（E3h）	6（E6h）

転送速度（kbps）	動作周波数PCLK（MHz）								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22（F6h）	25（F9h）	110b	13（EDh）	15（EFh）	110b	16（F0h）	20（F4h）
50	011b	16（F0h）	19（F3h）	011b	21（F5h）	24（F8h）	100b	12（ECh）	15（EFh）
100	010b	15（EFh）	18（F2h）	010b	19（F3h）	23（F7h）	010b	24（F8h）	29（FDh）
400	000b	9（E9h）	20（F4h）	000b	11（EBh）	25（F9h）	001b	7（E7h）	16（F0h）
1000	000b	4（E4h）	7（E7h）	000b	5（E5h）	9（E9h）	000b	6（E6h）	12（ECh）

転送速度（kbps）	動作周波数PCLK（MHz）								
	30			33			50		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20（F4h）	24（F8h）	110b	22（F6h）	26（FAh）	111b	16（F0h）	20（F4h）
50	100b	15（EFh）	18（F2h）	100b	17（F1h）	20（F4h）	100b	26（FAh）	31（FFh）
100	010b	2（E2h）	3（E3h）	011b	16（F0h）	19（F3h）	011b	24（F8h）	29（FDh）
400	001b	8（E8h）	19（F3h）	001b	9（E9h）	21（F5h）	010b	7（E7h）	16（F0h）
1000	000b	7（E7h）	14（EEh）	000b	8（E8h）	16（F0h）	000b	12（ECh）	24（F8h）

注．　SCLnラインの立ち上がり時間（tr）を～100kbps以下[Sm]は1000ns、～400kbps[Fm]は300ns、～1Mbps[Fm+]は120ns、SCLnラインの立ち下がり時間（tf）を～400kbps以下[Sm/Fm]は300ns、～1Mbps[Fm+]は120nsとして計算した場合の設定例です。
SCLnライン立ち上がり時間（tr）、SCLnライン立ち下がり時間（tf）の規格値についてはNXP社のI²Cバス規格書を参照してください。

31.2.15　I²C バス送信データレジスタ（ICDRT）

アドレス　RIIC0.ICDRT 0008 8312h、RIIC1.ICDRT 0008 8332h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

ICDRT レジスタは、送信データを格納する 8 ビットのレジスタです。

I²C バスシフトレジスタ（ICDRS）の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し/書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み（ICTXI）要求が発生したときに 1 回だけ行ってください。

31.2.16　I²C バス受信データレジスタ（ICDRR）

アドレス　RIIC0.ICDRR 0008 8313h、RIIC1.ICDRR 0008 8333h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ICDRR レジスタは、受信データを格納する 8 ビットのレジスタです。

1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ（ICDRS）から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み（ICRXI）要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま（ICSR2.RDRF フラグが “1” の状態のまま）次の受信データを受け取ると、RIIC は RDRF フラグを次に “1” になるタイミングの 1 つ手前の SCLn クロックで自動的に Low ホールドを行います。

31.2.17 I2C バスシフトレジスタ（ICDRS）

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	－	－	－	－	－	－	－	－

ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDAn 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

31.2.18　タイムアウト 内部カウンタ（TMOCNT）

アドレス　RIIC0.TMOCNTL 0008 830Ah（注1）、RIIC1.TMOCNTL 0008 832Ah（注1）、
RIIC0.TMOCNTU 0008 830Bh（注1）、RIIC1.TMOCNTU 0008 832Bh（注1）

●TMOS = 0（ロングモード）時

	TMOCNTU								TMOCNTL							
	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

●TMOS = 1（ショートモード）時

	TMOCNTU								TMOCNTL							
	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注1.　スレーブアドレスレジスタSARL0、SARU0のアドレスと同一です。ご注意ください。

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTL	タイムアウト内部カウンタ	タイムアウト内部カウンタ下位	W（注1）

注1.　タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読みだされます。

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTU	タイムアウト内部カウンタ	タイムアウト内部カウンタ上位（注1）	W（注2）

注1.　TMOS = 1（ショートモード）時、b7-b4はリザーブビットになります。書き込み可能ですが、書き込み値は無効です。
注2.　タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読みだされます。

タイムアウト内部カウンタ（TMOCNTL/TMOCNTU）は、リセット時、ICCRI.IICRST = 1 にしたとき、もしくは ICFER.TMOE = 1 でかつ、ICMR1.CKS[2:0] = 000b の PCLK/1 で使用し、ICMR2 の TMOH/TMOL で設定したカウンタクリア条件（SCL 立ち上がり / 立ち下がりエッジ検出）が成立したとき、初期化（00h）されます。

TMOCNTL レジスタと TMOCNTU レジスタは、16 ビットレジスタとして 16 ビットアクセスすることも可能です。16 ビットアクセスする場合は、表 31.7 に記載のアドレスへアクセスしてください。

表31.7　16ビットアクセスレジスタの配置

アドレス	上位8ビット	下位8ビット
0008 830Ah	RIIC0.TMOCNTU	RIIC0.TMOCNTL
0008 832Ah	RIIC1.TMOCNTU	RIIC1.TMOCNTL

31.3 動作説明

31.3.1 通信データフォーマット

I2C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 31.3 に I2C バスフォーマットを、図 31.4 に I2C バスタイミングを示します。

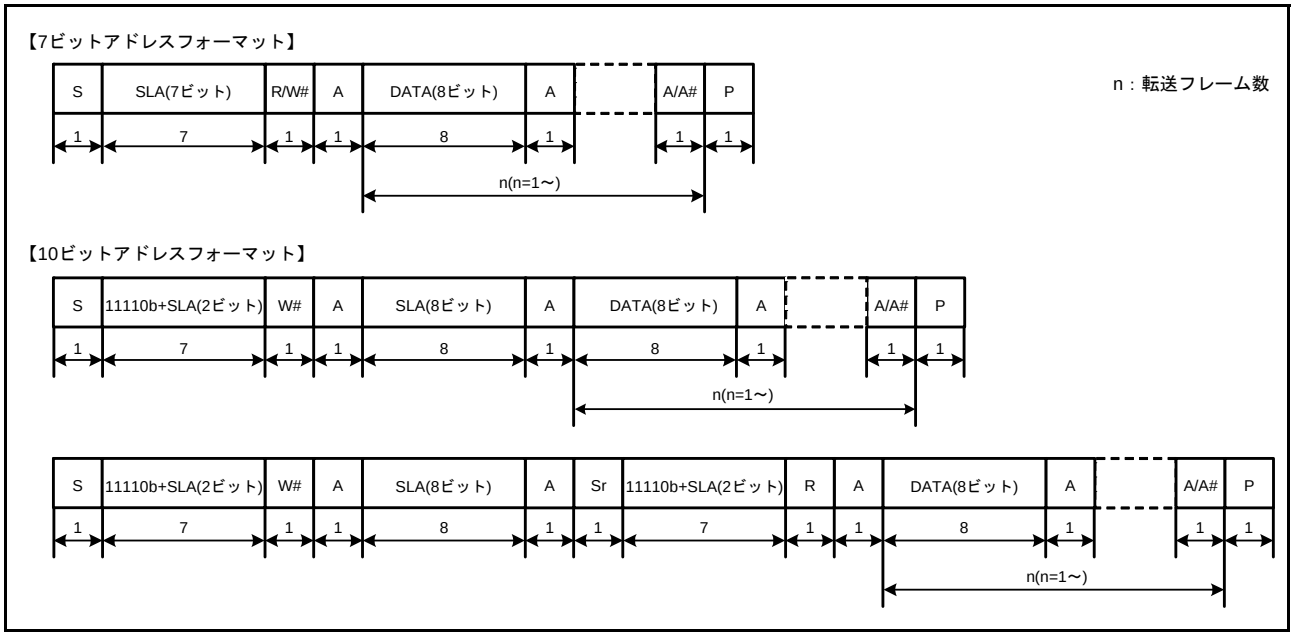


図 31.3　I2C バスフォーマット

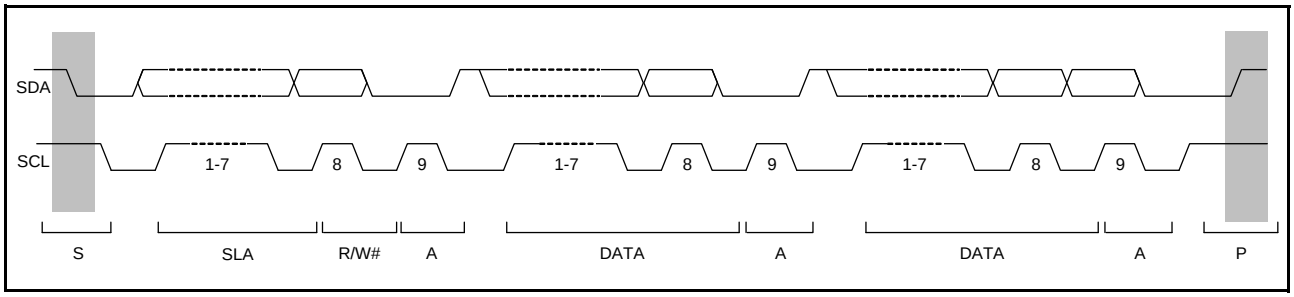


図 31.4　I2C バスタイミング（SLA=7 ビットの場合）

【記号説明】

S　：スタートコンディションを示します。マスタデバイスが、SCLn ラインが High の状態で SDAn ラインが High から Low に変化します。

SLA　：スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#　：送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A　：アクノリッジを示します。受信デバイスが SDAn ラインを Low にします（マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します）。

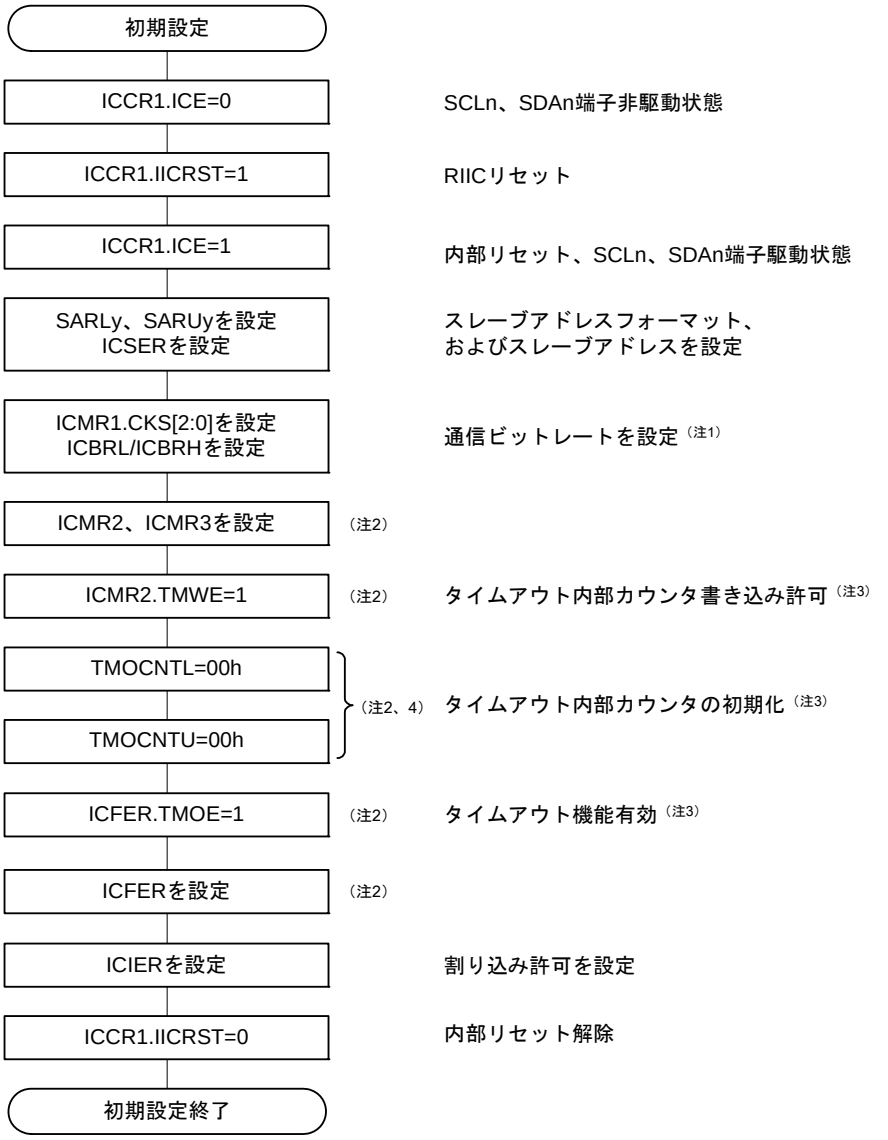
Sr　：リスタートコンディションを示します。マスタデバイスが、SCLn ラインが High の状態でセットアップ時間経過後に SDAn ラインが High から Low に変化します。

DATA　：送受信データを示します。

P　：ストップコンディションを示します。マスタデバイスが、SCLn ラインが High の状態で SDAn ラインが Low から High に変化します。

31.3.2　初期設定

データの送信 / 受信を開始する場合、図 31.5 に示す手順に従って RIIC を初期化してください。



y=0～2

注1. スレーブのみで動作させる場合、ICBRLレジスタにデータセットアップ時間以上の値を設定してください。
注2. 必要に応じて設定してください。
注3. タイムアウト機能使用の場合
（タイムアウト機能未使用の場合には、本処理は不要です）
注4. 8ビットアクセス時のフローです。16ビットアクセス時は、
「16ビットアクセスレジスタ配置」に記載のアドレスに0000hを設定してください。

図 31.5　RIIC の初期化フローチャート例

31.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 31.6 にマスタ送信の使用例を、図 31.7 ～図 31.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

(1) ICCR1.ICE ビットを “0”（機能停止状態）にしたまま ICCR1.IICRST ビットを “1”（内部リセット）にした後、“0”（リセット解除）にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については図 31.5 参照）。必要なレジスタの設定が終了したら、ICE ビットを “1”（転送可能状態）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDAn ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビット =1 により自動的に “1” になります。

(3) ICSR2.TDRE フラグが “ 1 ” であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード / 受信モードが選択されます。RIIC は R/W# ビット =0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに “1” を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット＋ W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(4) ICSR2.TDRE フラグが “ 1 ” であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCLn ラインを Low にホールドします。

(5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが “1” になるまで待ってから ICCR2.SP ビットに “1” を書いてください（ストップコンディション発行要求）。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

(6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に “0” になり、ICSR2.STOP フラグが “1” になります。

(7) ICSR2.STOP フラグが “ 1 ” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

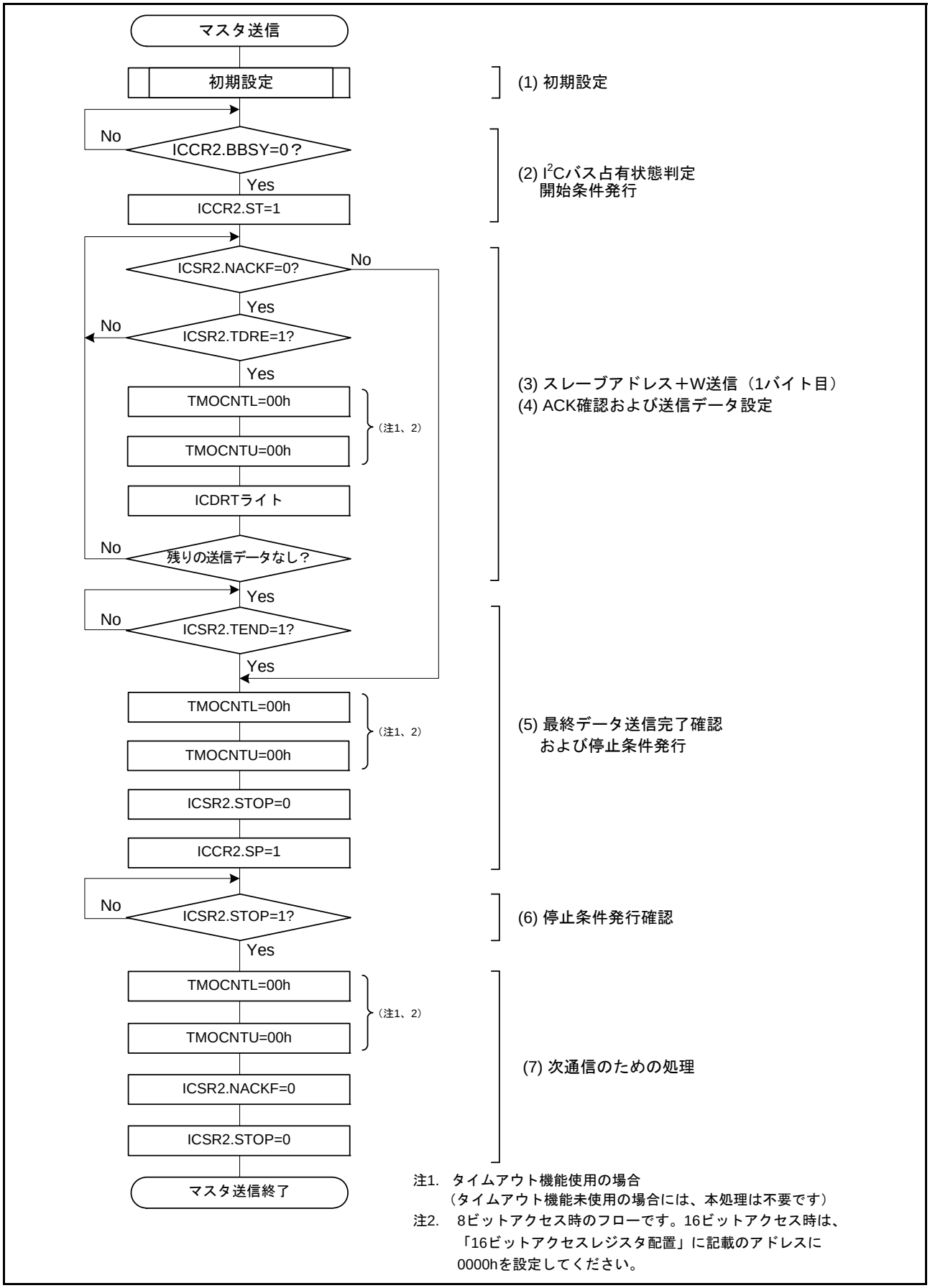


図 31.6　マスタ送信のフローチャート例

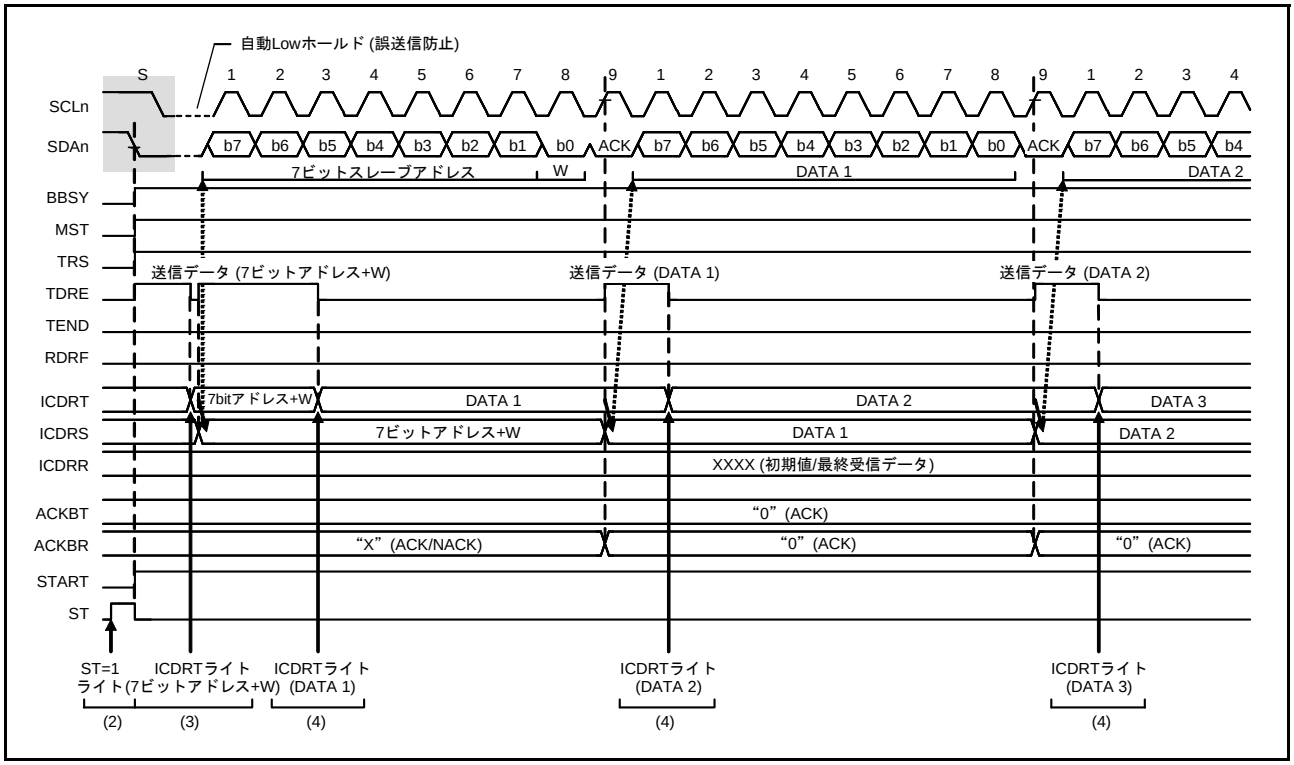


図 31.7　マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

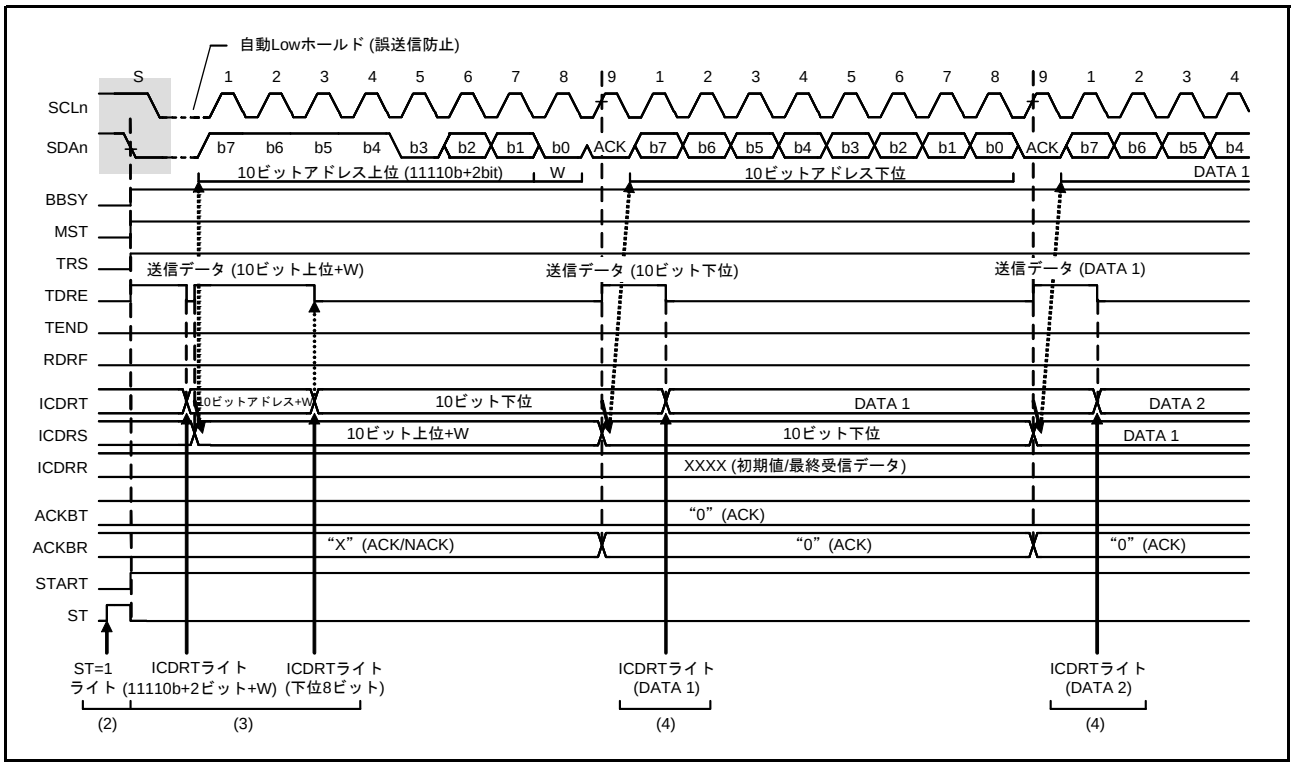


図 31.8　マスタ送信の動作タイミング（2）（10 ビットアドレスフォーマットのとき）

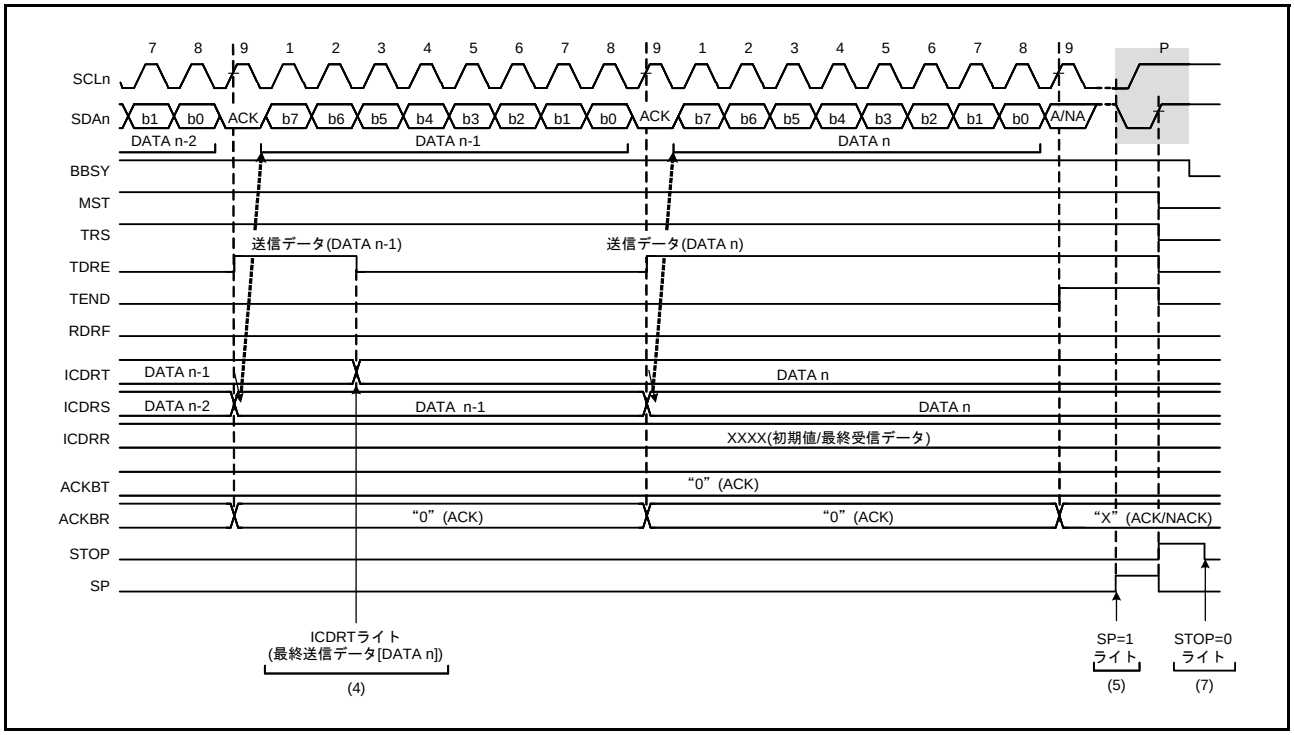


図 31.9　マスタ送信の動作タイミング（3）

31.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 31.10、**図 31.11** にマスタ受信の使用例（7 ビットアドレスフォーマットの場合）を、**図 31.12** ～**図 31.14** にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

(1) ICCR1.ICE ビットを “0”（機能停止状態）にしたまま ICCR1.IICRST ビットを “1”（内部リセット）にした後、“0”（リセット解除）にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については**図 31.5** 参照）。必要なレジスタの設定が終了した後、ICE ビットを “1”（転送可能状態）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDAn ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット =1 により自動的に “1” になります。

(3) ICSR2.TDRE フラグが “ 1 ” であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード / 受信モードが選択されます。RIIC は R/W# ビット = 1 を受信すると、9 クロック目の立ち上がりで TRS ビットを “0” にしてマスタ受信モードに移行します。このとき TDRE フラグは “0” に、ICSR2.RDRF フラグは自動的に “1” になります。

このとき ICSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに “1” を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット＋ R を送信することで、マスタ受信モードに移行します。

(4) ICSR2.RDRF フラグが “1” であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。

(5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが “1” になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に “0” になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。

また、次の受信バイトが最終バイト -1 の場合、ICDRR レジスタ（最終バイト -2 バイト目）を読む前に ICMR3.WAIT ビットを “1”(WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを “1”(NACK) にする処理が他の割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能に

し、かつ最終バイトの受信時に 9 クロック目の立ち下がりで SCLn ラインを Low 固定して、ストップコンディション発行可能状態にすることができます。

（6）ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを “1”（NACK）にしてください。

（7）ICDRR レジスタ（最終バイト –1 バイト目）読み出し後、ICSR2.RDRF フラグが “1” であることを確認してから、ICCR2.SP ビットに “1” を書いて（ストップコンディション発行要求）、ICDRR レジスタ（最終バイト）を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。

（8）RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に “00b” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが “1” になります。

（9）ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

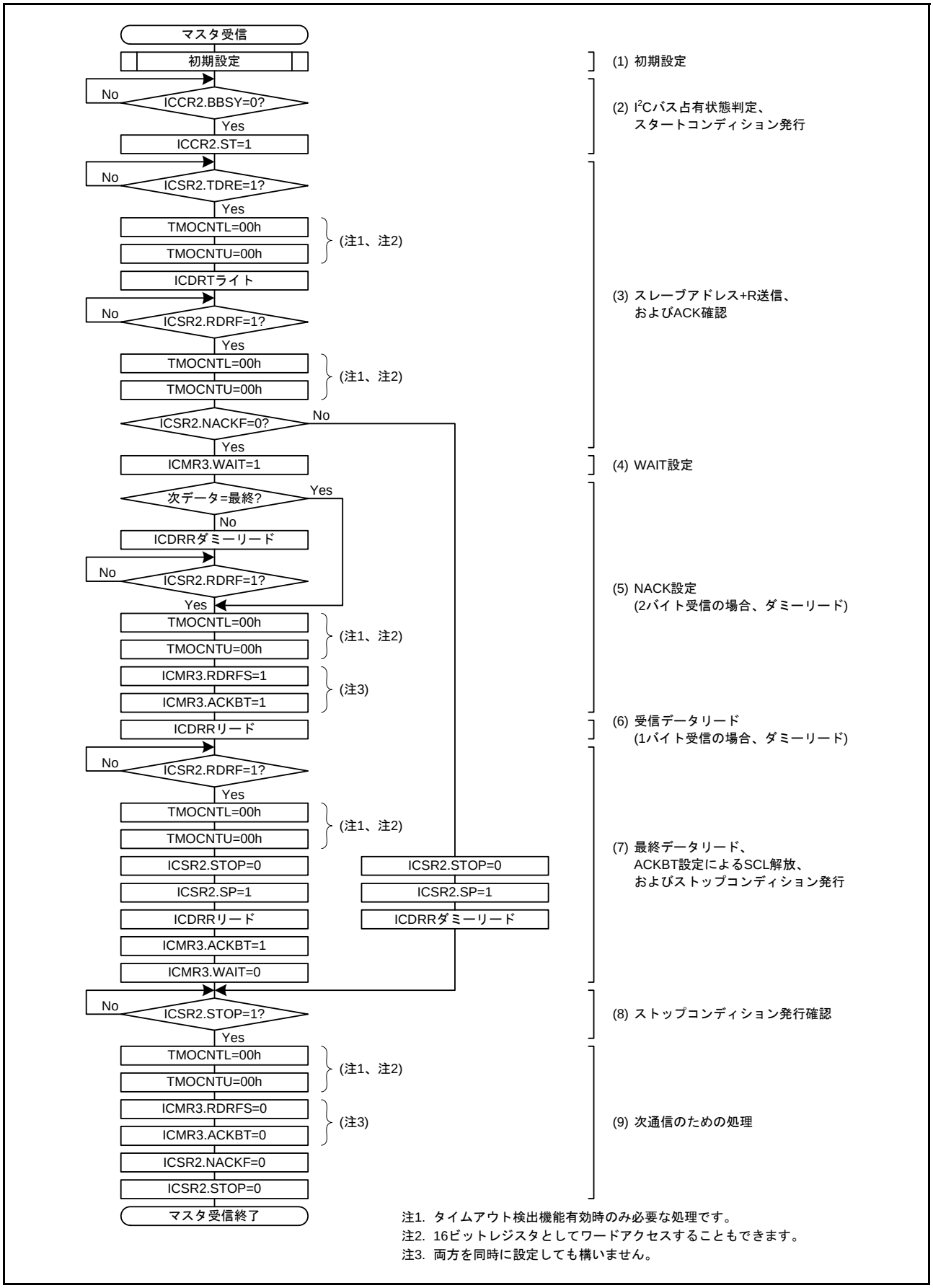


図 31.10　マスタ受信のフローチャート例（7 ビットアドレスフォーマットの場合、2 バイト以下の場合）

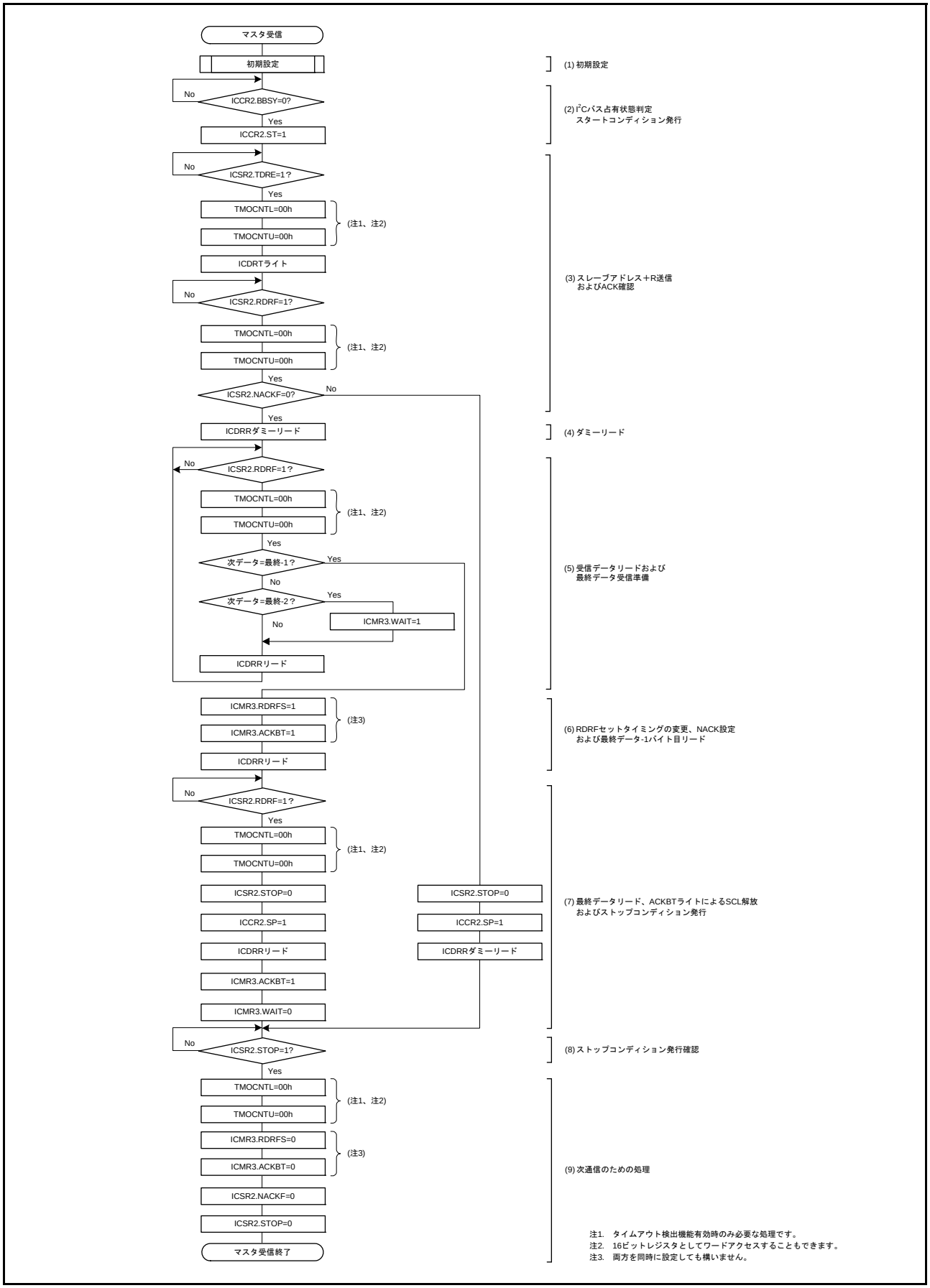


図 31.11　マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）

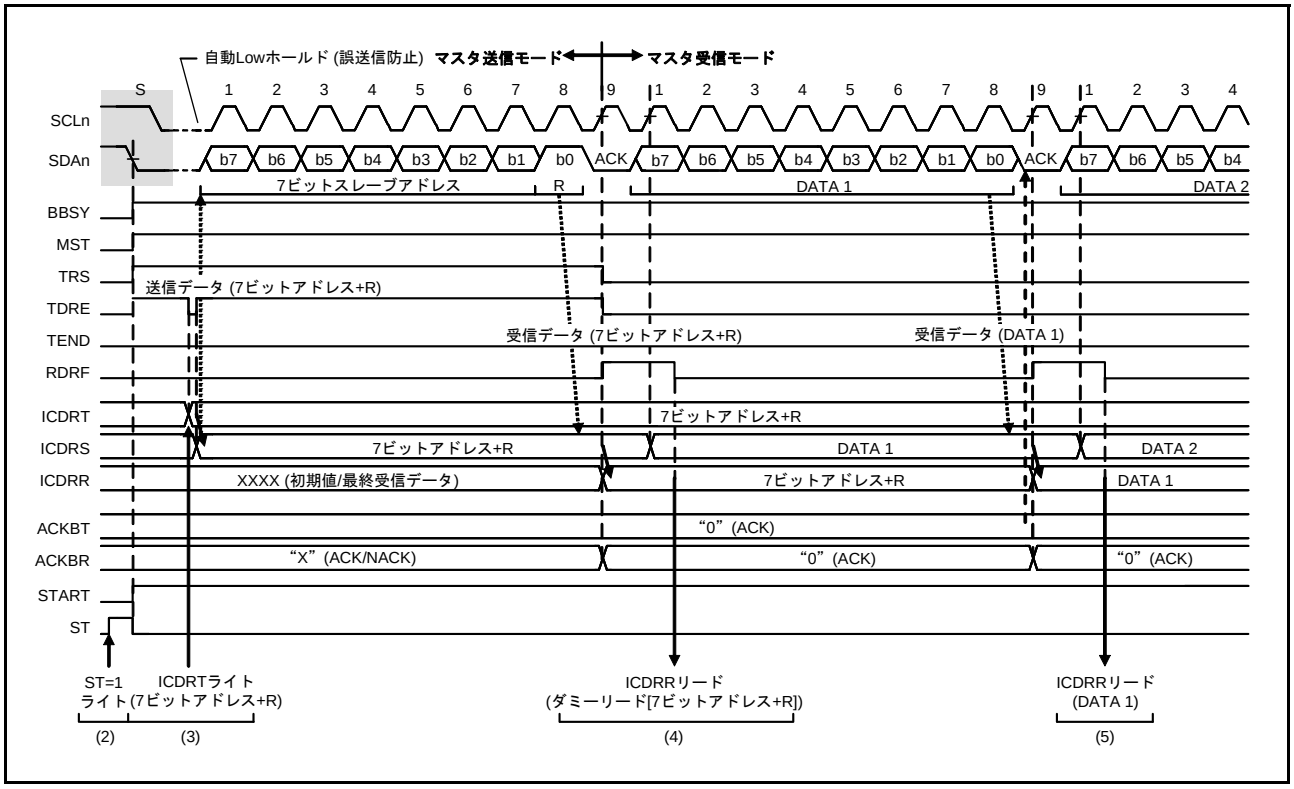


図 31.12　マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS=0 のとき）

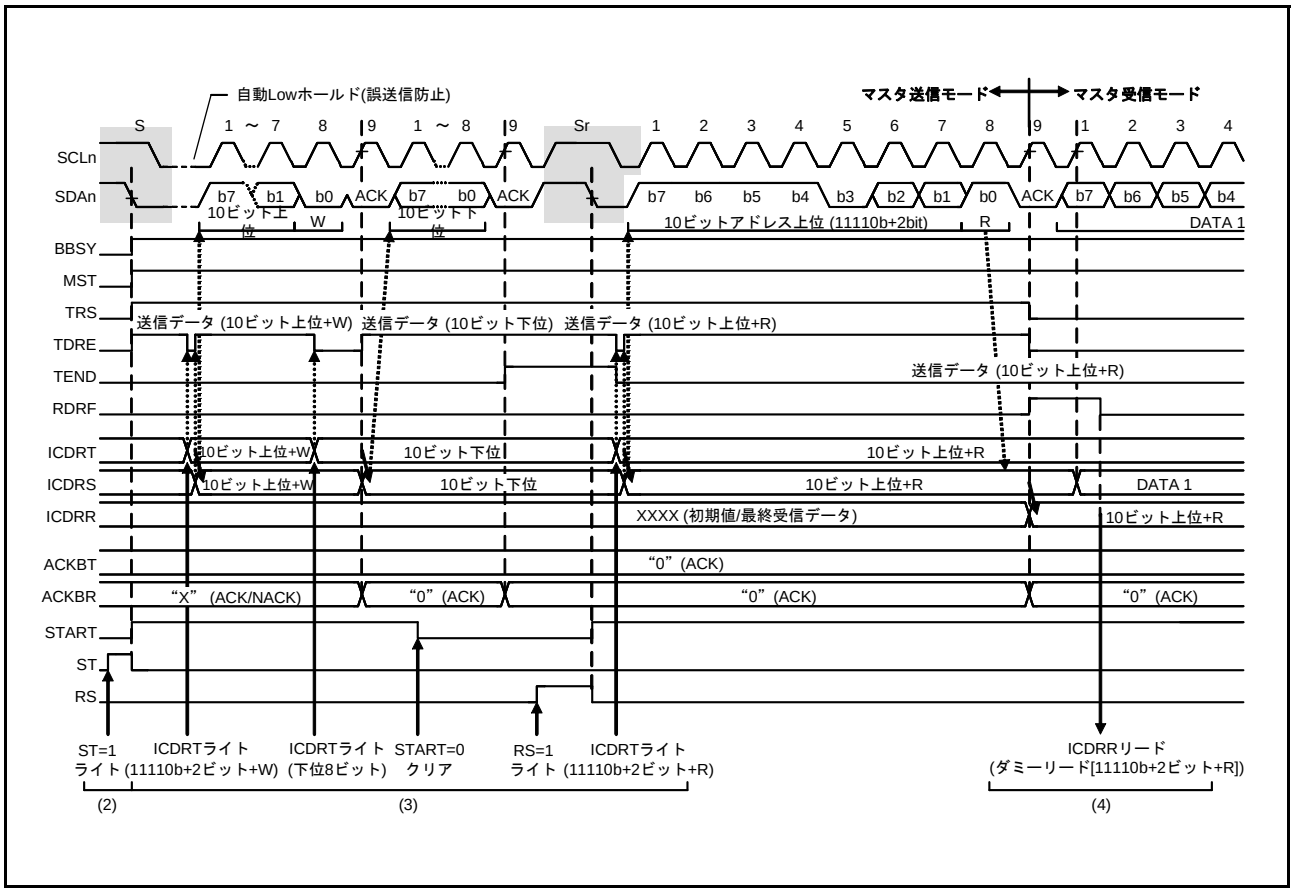


図 31.13　マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS=0 のとき）

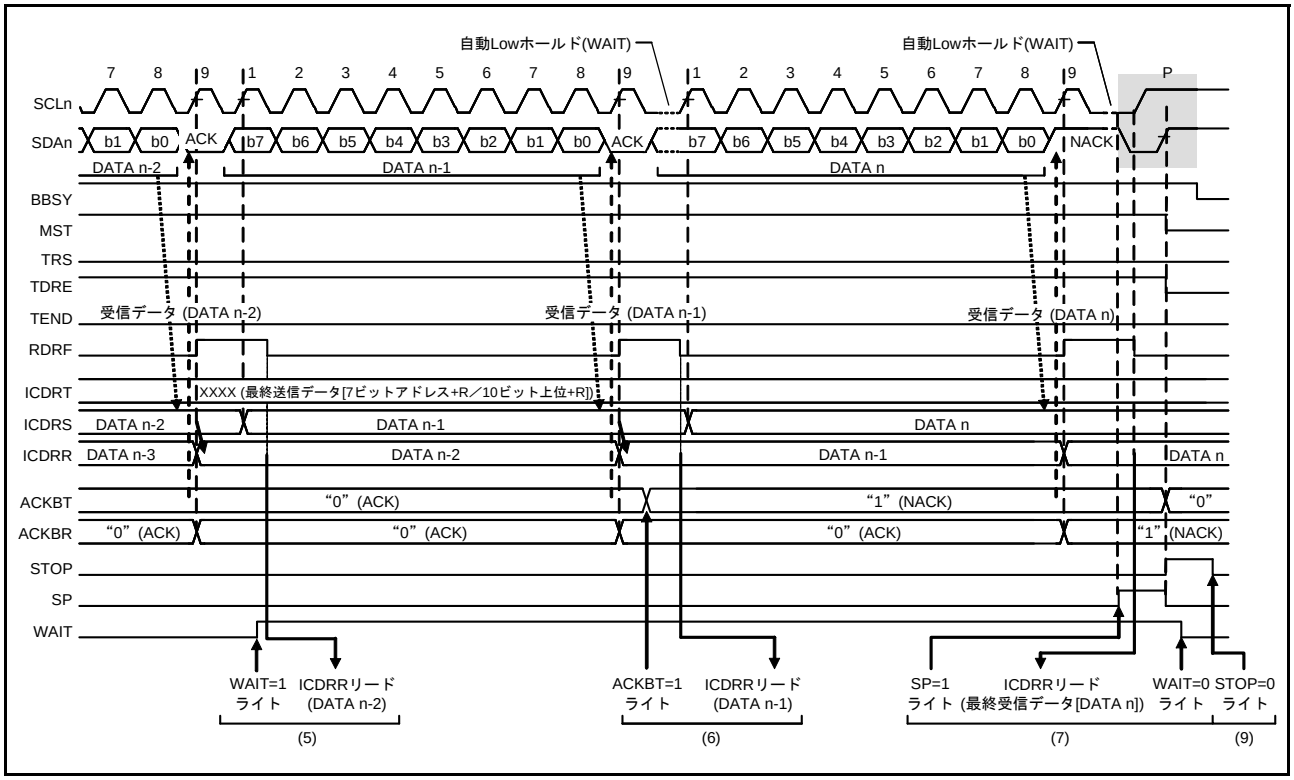


図 31.14　マスタ受信の動作タイミング（3）（RDRFS=0 のとき）

31.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 31.15 にスレーブ送信の使用例を示します。**図 31.16**、**図 31.17** にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

(1) **図 31.5** に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット（y=0 ～ 2）のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。

(3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKE ビットが “1” の状態でマスタデバイスからアクノリッジがなかった（NACK を受信した）場合、RIIC は次の通信動作を中断します。

(4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCLn ラインを Low にホールドします。

(5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。

(6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ～ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。

(7) ICSR2.STOP フラグが “ 1 ” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

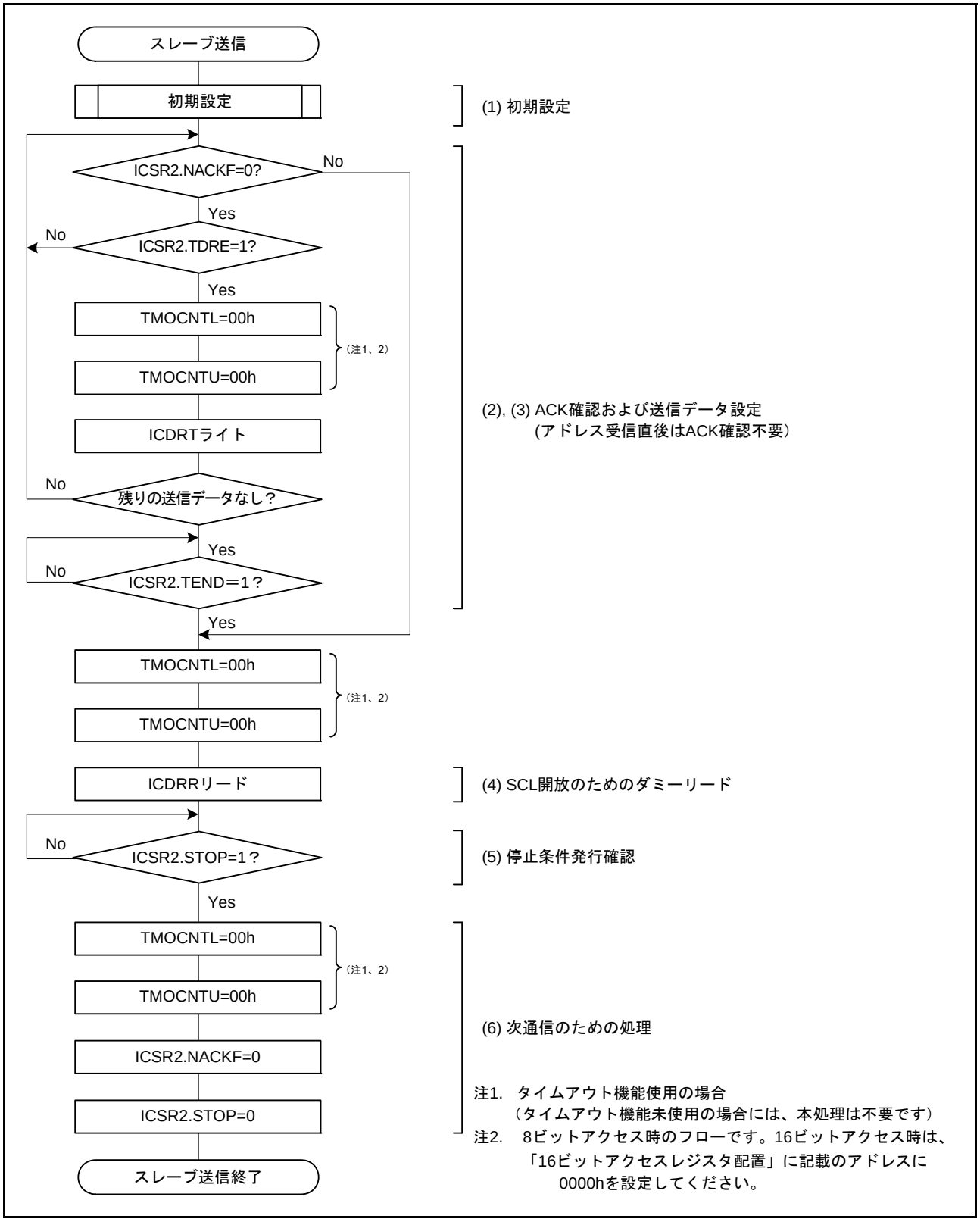


図 31.15　スレーブ送信のフローチャート例

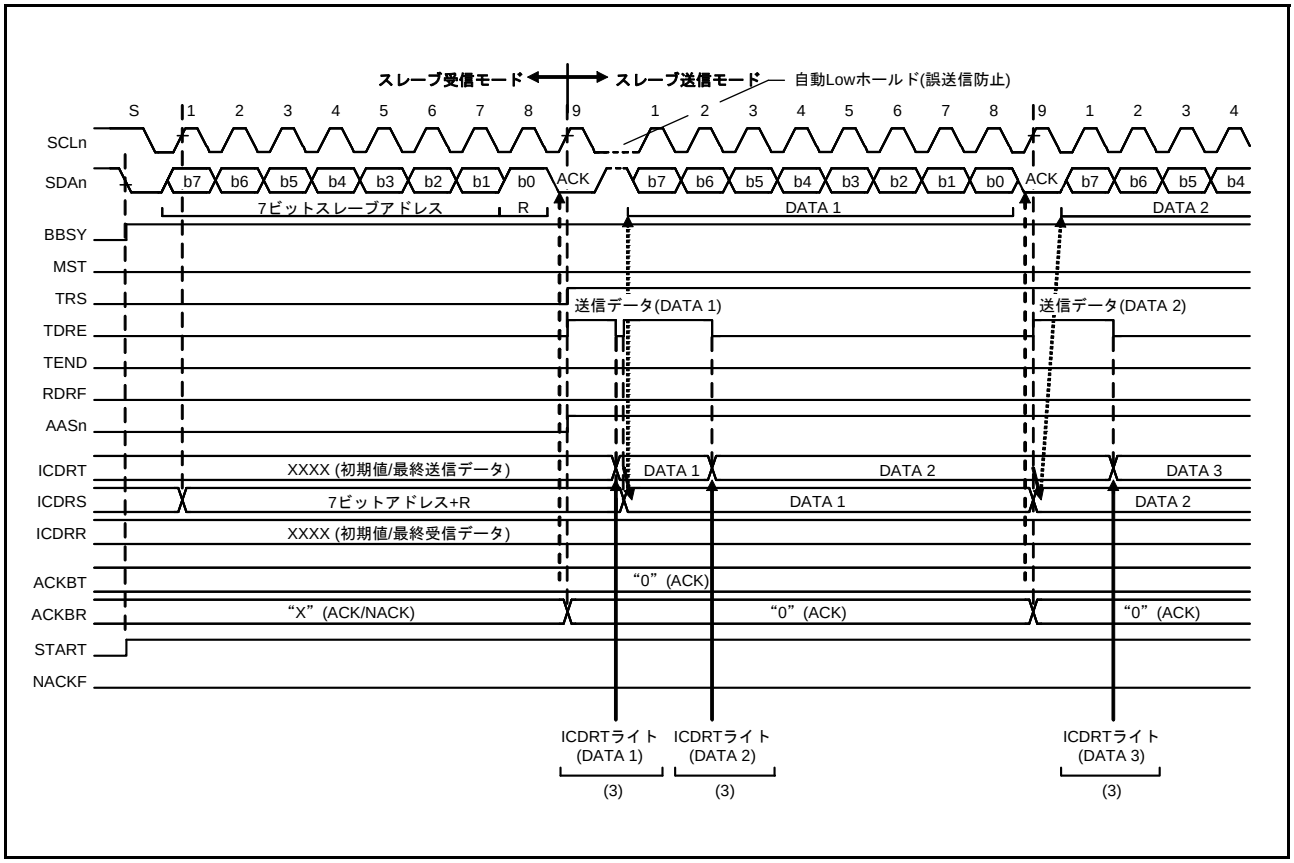


図 31.16　スレーブ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

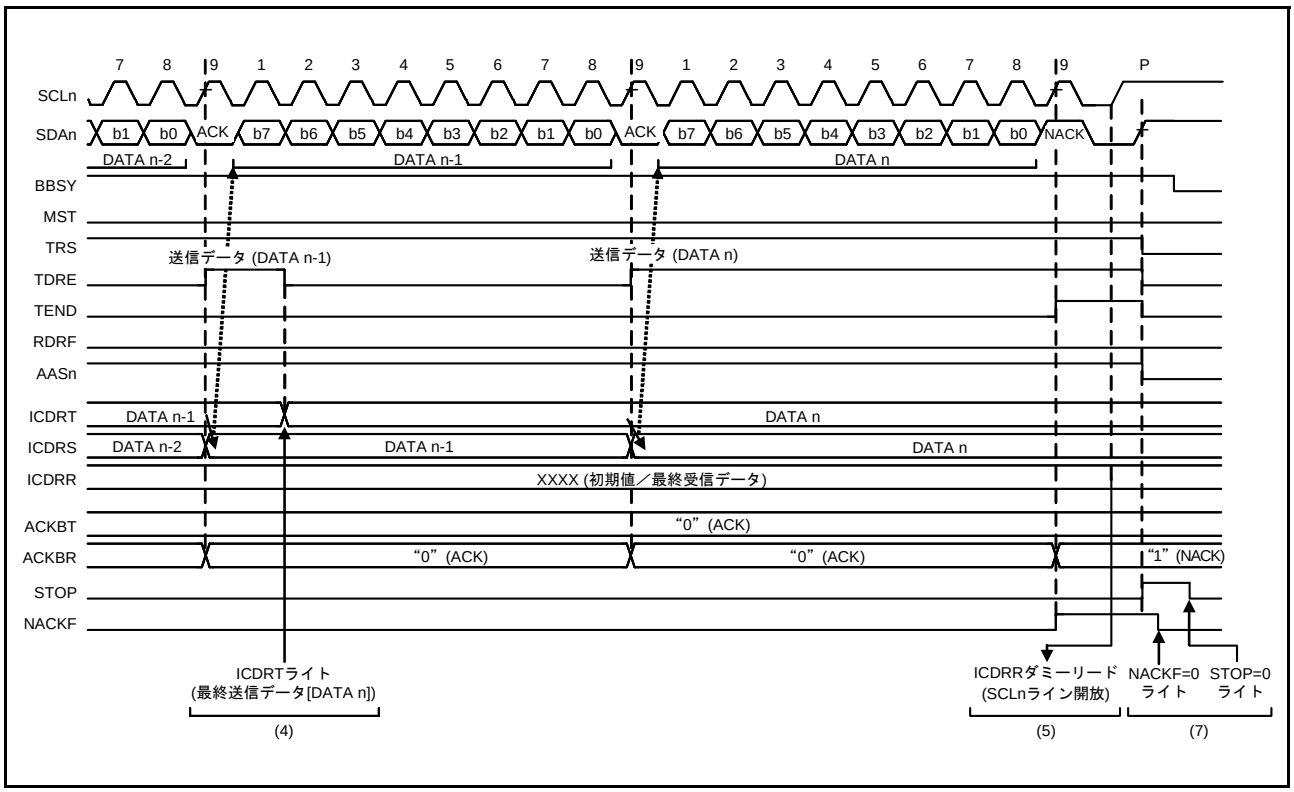


図 31.17　スレーブ送信の動作タイミング（2）

31.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 31.18 にスレーブ受信の使用例を**図 31.19**、**図 31.20** にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

(1) **図 31.5** に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ～ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを “1” にします。

(3) ICSR2.STOP フラグが “0” で、かつ ICSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください(なお､ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス＋ R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。

(4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に “0” にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが ″ 1” になるタイミングの 1 つ手前の SCL クロック立ち下がりで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCLn ラインを開放します。ICSR2.STOP フラグが “1” で、かつ ICSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。

(5) RIIC はストップコンディションを検出すると､ICSR1.HOA, GCA, AASy ビット (y=0 ～ 2) を自動的に “0” にします。

(6) ICSR2.STOP フラグが “ 1 ” であることを確認した後､次通信のために ICSR2. STOP フラグを “0” にしてください。

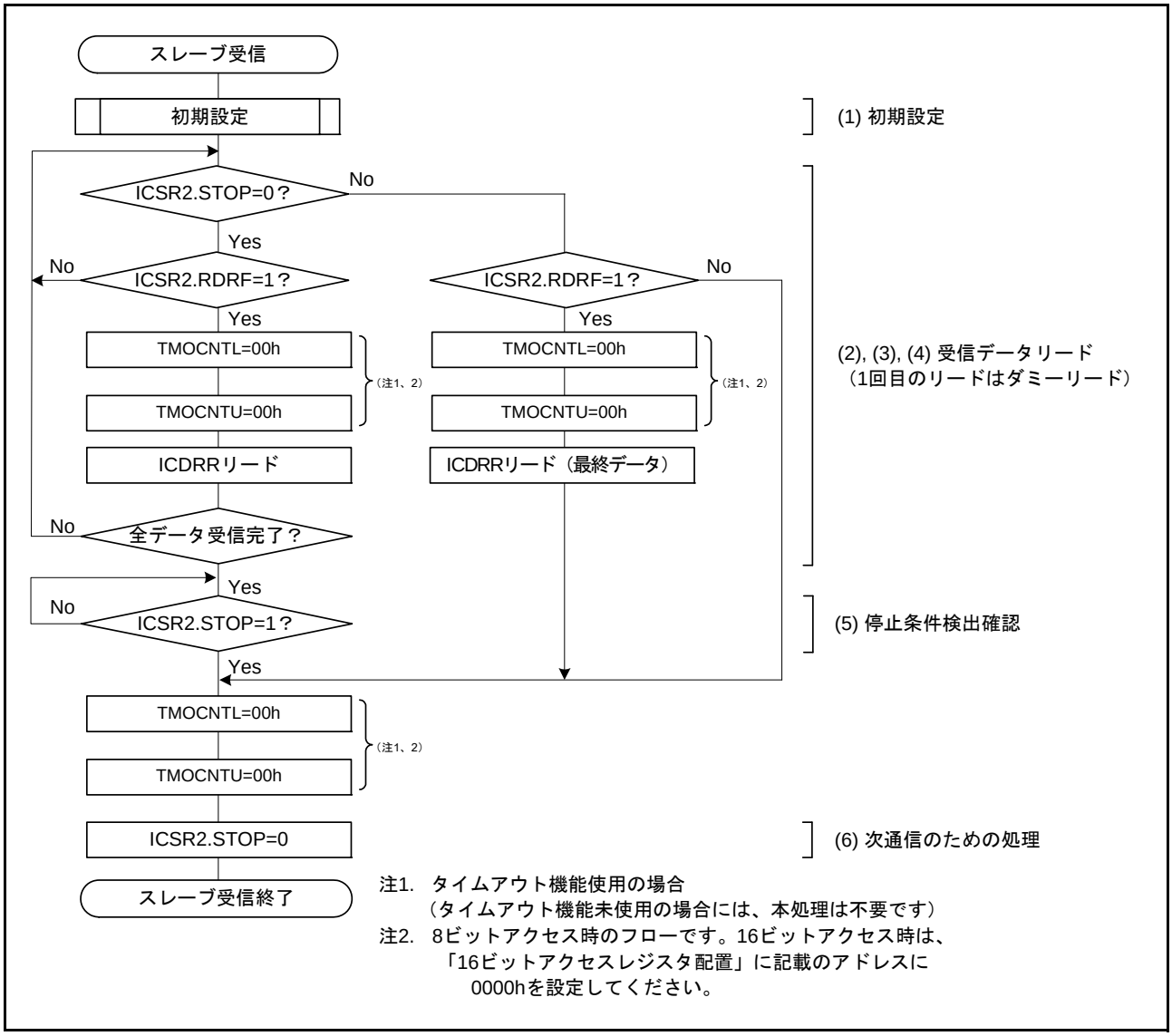


図 31.18　スレーブ受信のフローチャート例

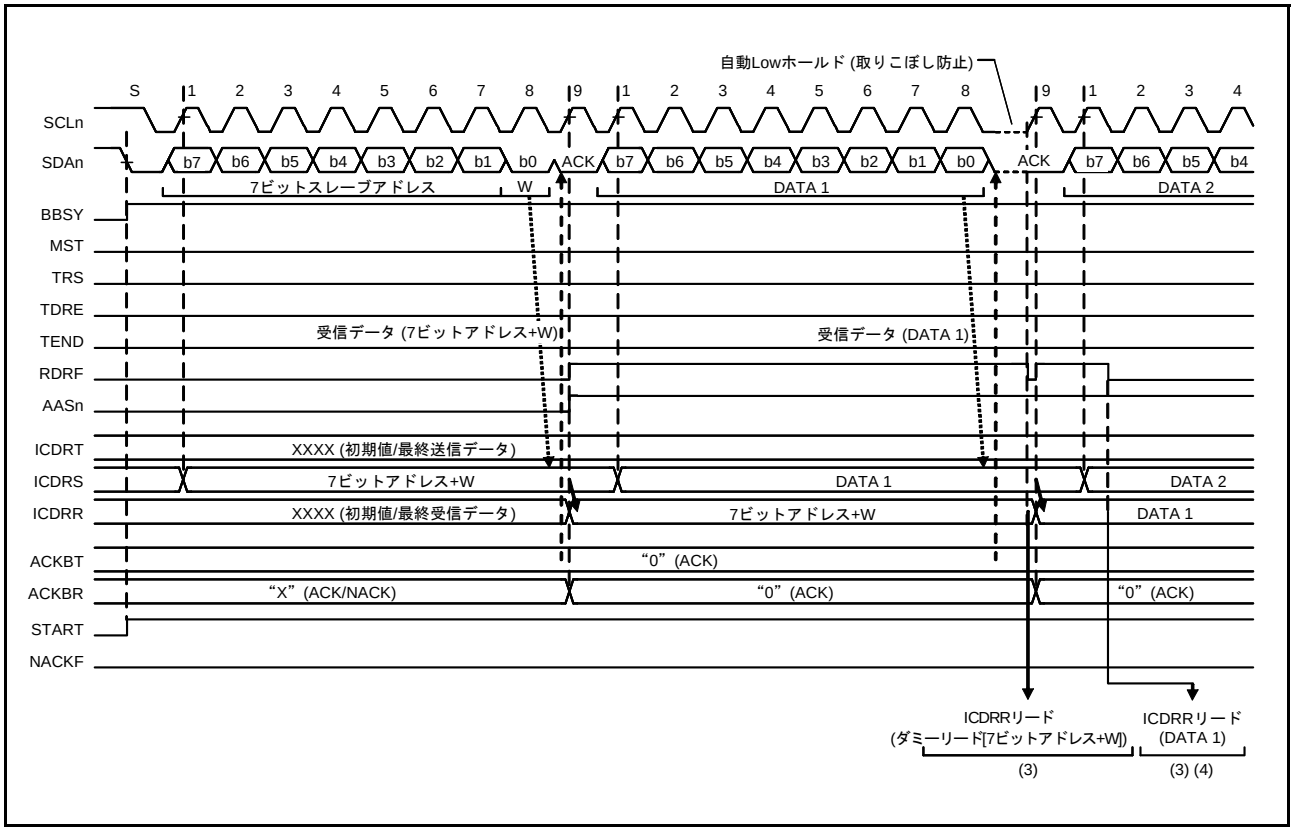


図 31.19　スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS=0 のとき）

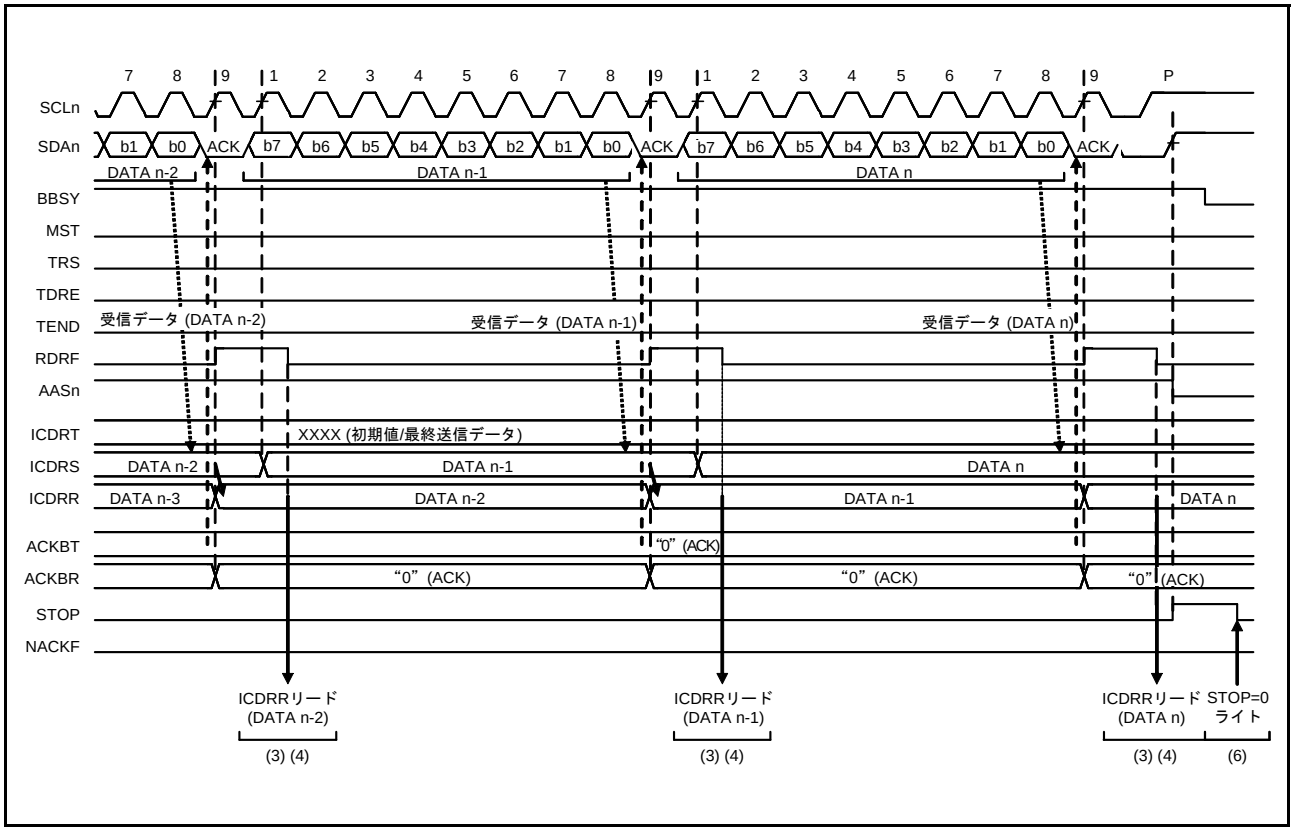


図 31.20　スレーブ受信の動作タイミング（2）（RDRFS=0 のとき）

31.4 SCL 同期回路

RIIC の SCL クロック生成は SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCLn ラインを Low にドライブして立ち下げます。また SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があり、RIIC はマスタモード時に SCLn ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能（SCL 同期回路）を備えています。

RIIC が SCLn ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により SCLn ラインが立ち下げられた場合、RIIC は SCLn ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCLn ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが “1” のとき有効です。

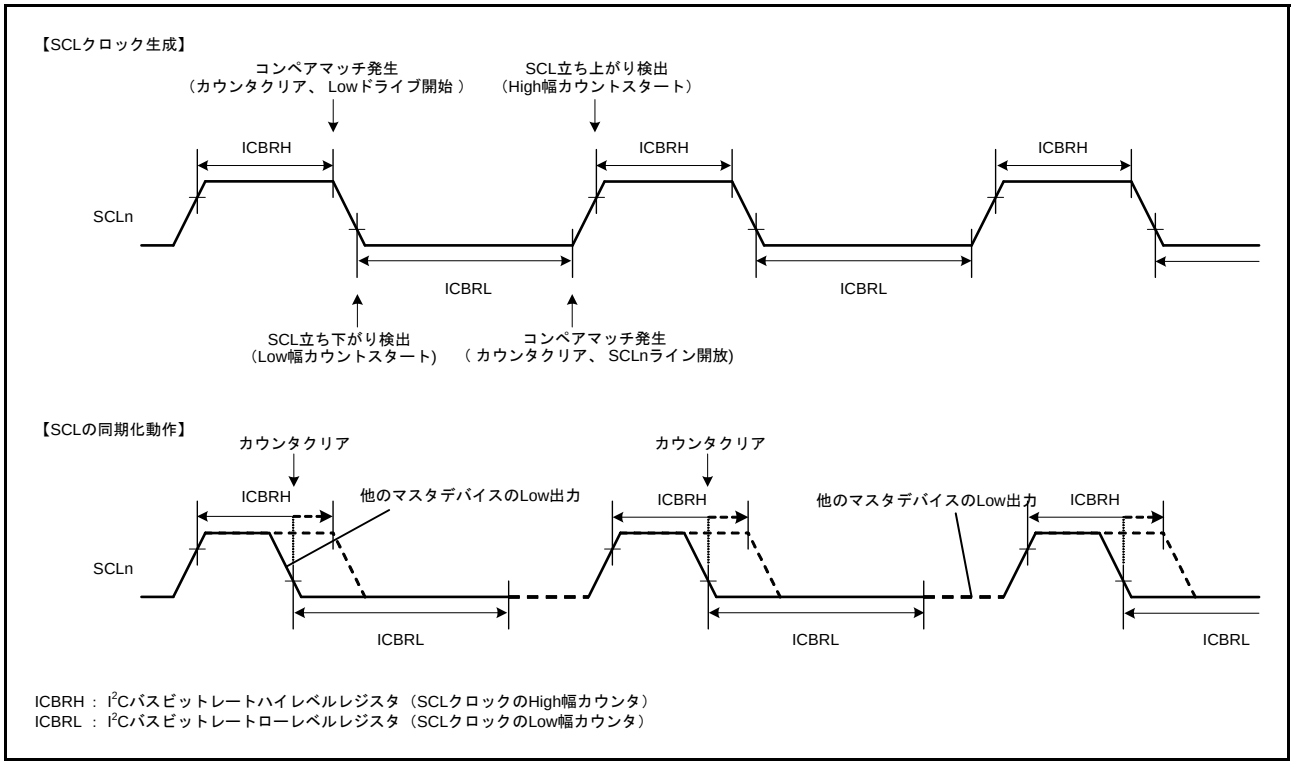


図 31.21　RIIC の SCL クロック生成および SCL 同期化動作

31.5　SDA 出力遅延機能

RIIC には SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（発行動作（開始 / 再開始 / 停止）、データ出力、ACK/NACK 出力）を遅延させることができます。

SDA 出力遅延機能は、SCL クロックの立ち下がり検出から SDA 出力を遅延させ、確実に SCL クロックの Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBus のデータホールド時間 :300ns（min）の規格を満たす目的でも使用することができます。

この SDA 出力遅延機能は ICMR2.SDDL[2:0] ビットが “000b” 以外のとき有効で、SDDL[2:0] ビットが “000b” のとき無効です。

SDA 出力遅延機能が有効（SDDL[2:0] ビットが “000b” 以外）のとき、SDA 出力遅延カウンタは ICMR2.DLCS ビットで選択された内部基準クロック（IICφ）またはその 2 分周クロック（IICφ/2）をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力（発行動作（開始 / 再開始 / 停止）、データ出力、ACK/NACK 出力）を行います。

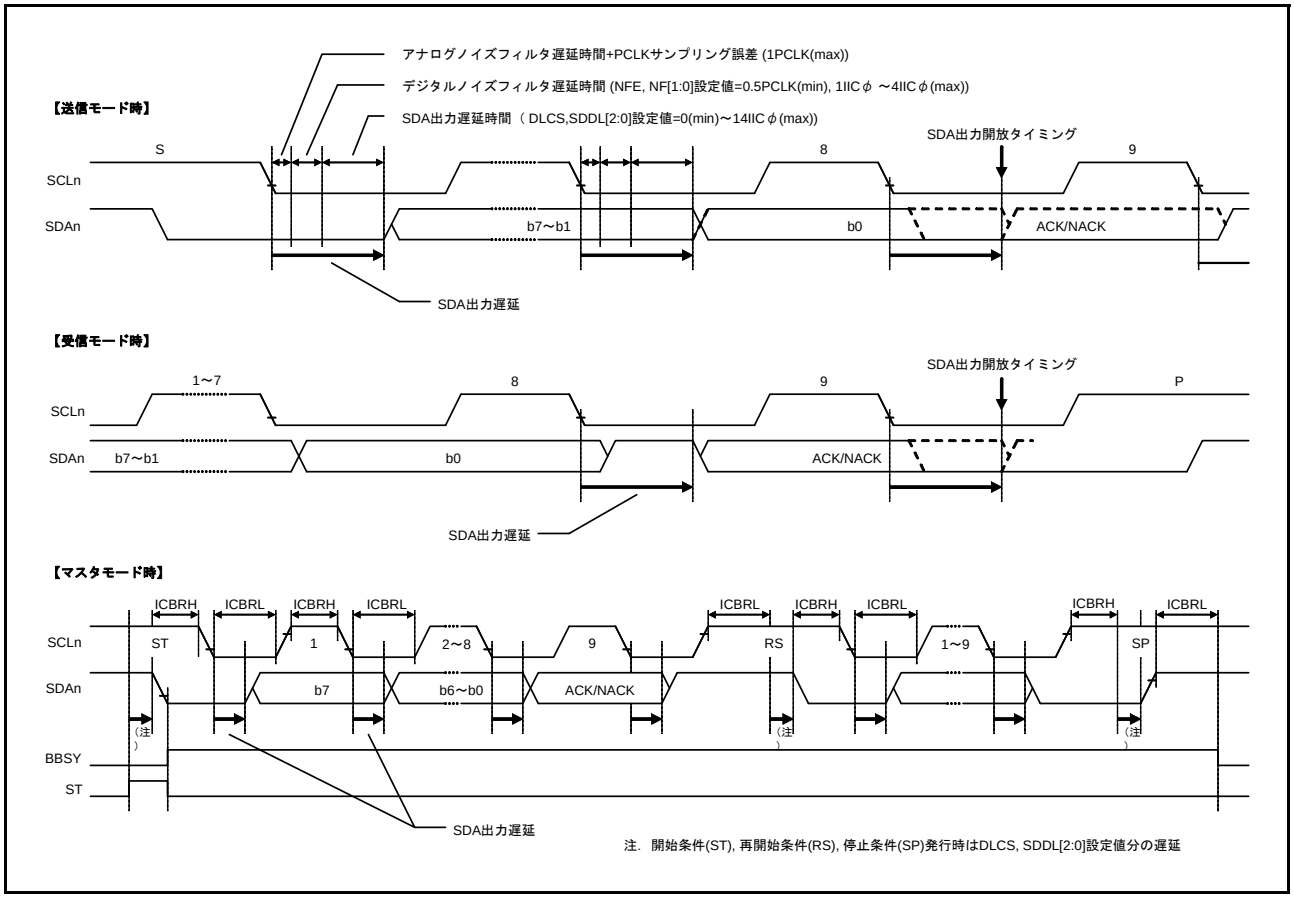


図 31.22　SDA 出力遅延タイミング

31.6　デジタルノイズフィルタ回路

SCLn 端子および SDAn 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 31.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1 IICφ ～ 4 IICφ サイクル分となります。

SCLn 端子入力信号（または SDAn 端子入力信号）は PCLK の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK =4MHz 時の 400kbps 通信のような内部動作クロック（PCLK）と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止（ICFER.NFE ビット =0）し、アナログノイズフィルタ回路のみを使用することが可能です。

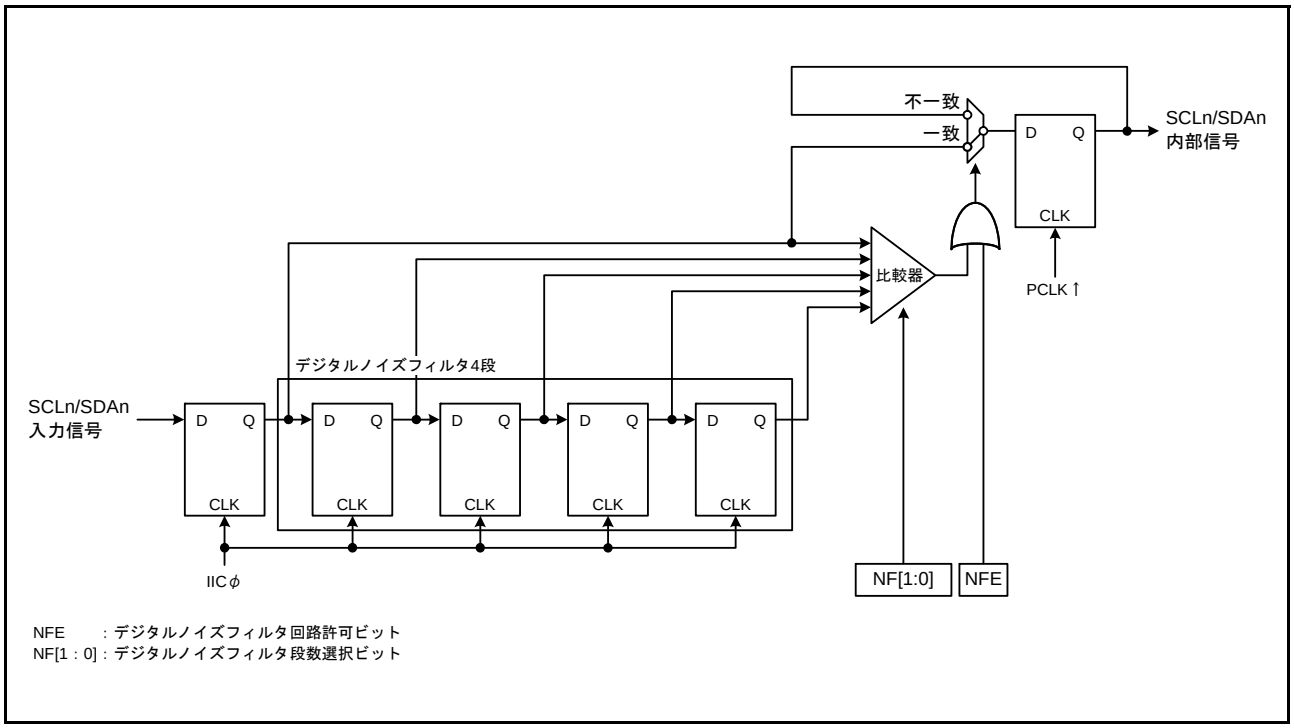


図 31.23　デジタルノイズフィルタ回路のブロック図

31.7　アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

31.7.1　スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyE ビット (y=0 ～ 2) が “1” のとき、SARUy/SARLy レジスタ (y=0 ～ 2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち下がりで該当する ICSR1.AASy フラグ (y=0 ～ 2) を “1” にし、続く R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグを “1” にします。これにより受信データフル割り込み（ICRXI）または送信データエンプティ割り込み（ICTXI）を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 31.24 ～図 31.26 に AASy(y=0 ～ 2）フラグが “1” になるタイミングを示します。

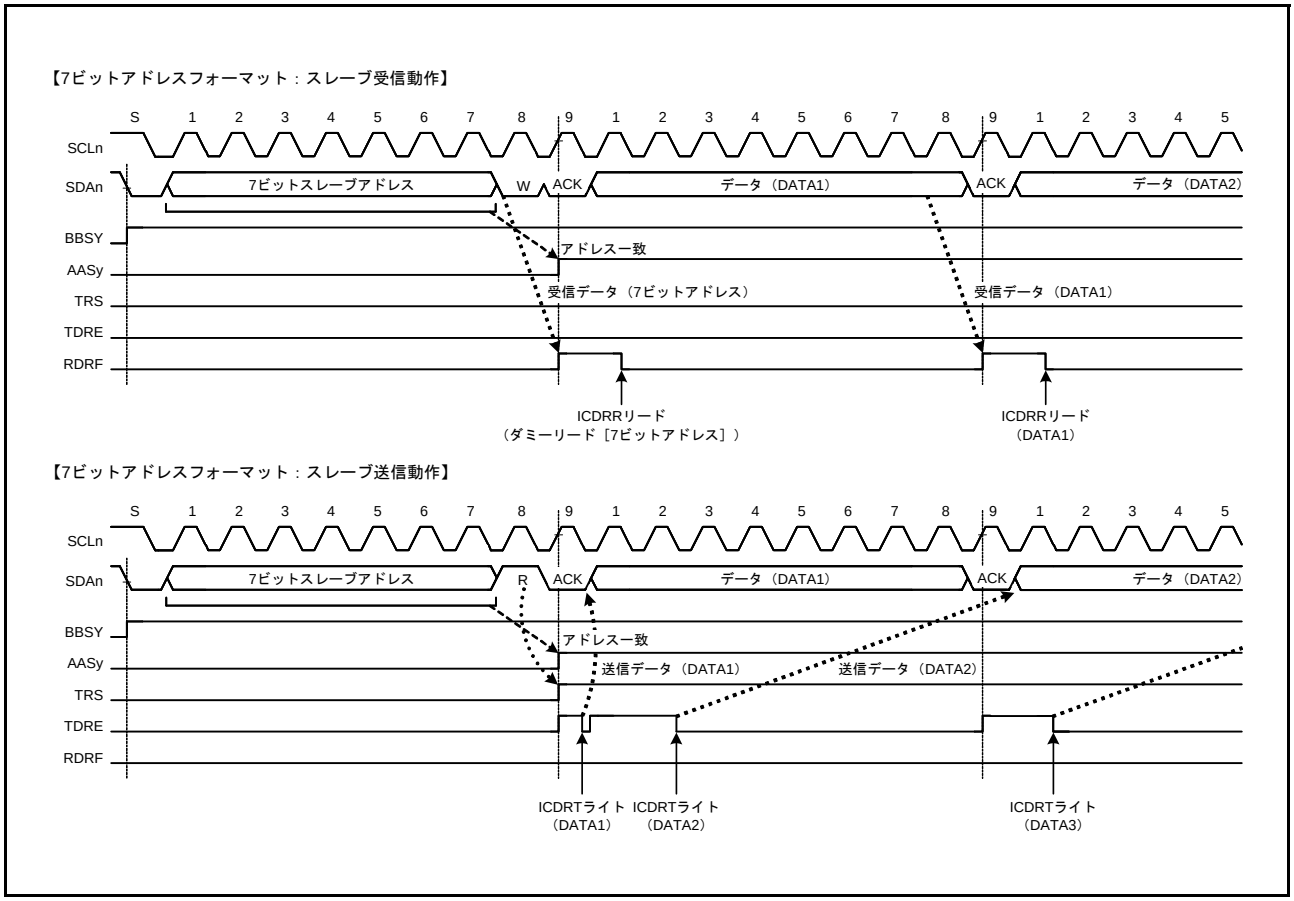


図 31.24　7 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

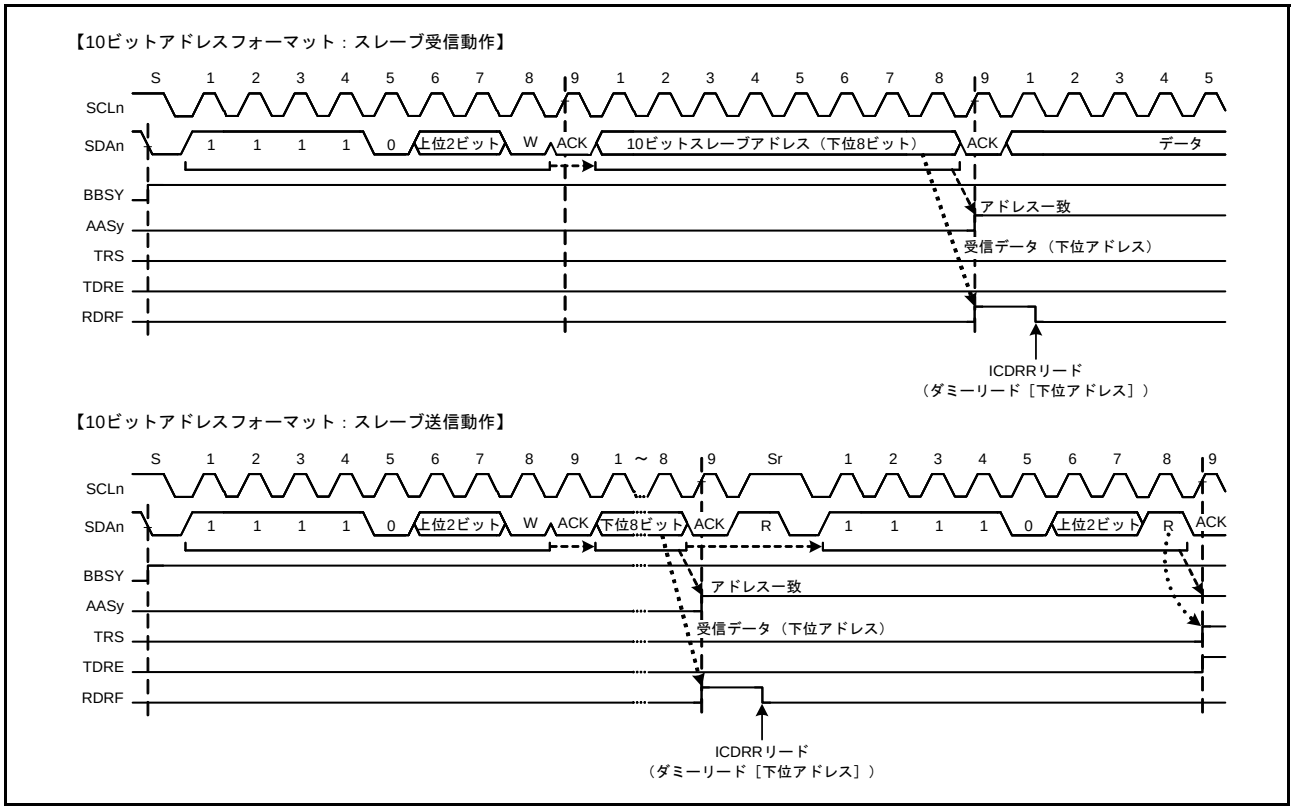


図 31.25　10 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

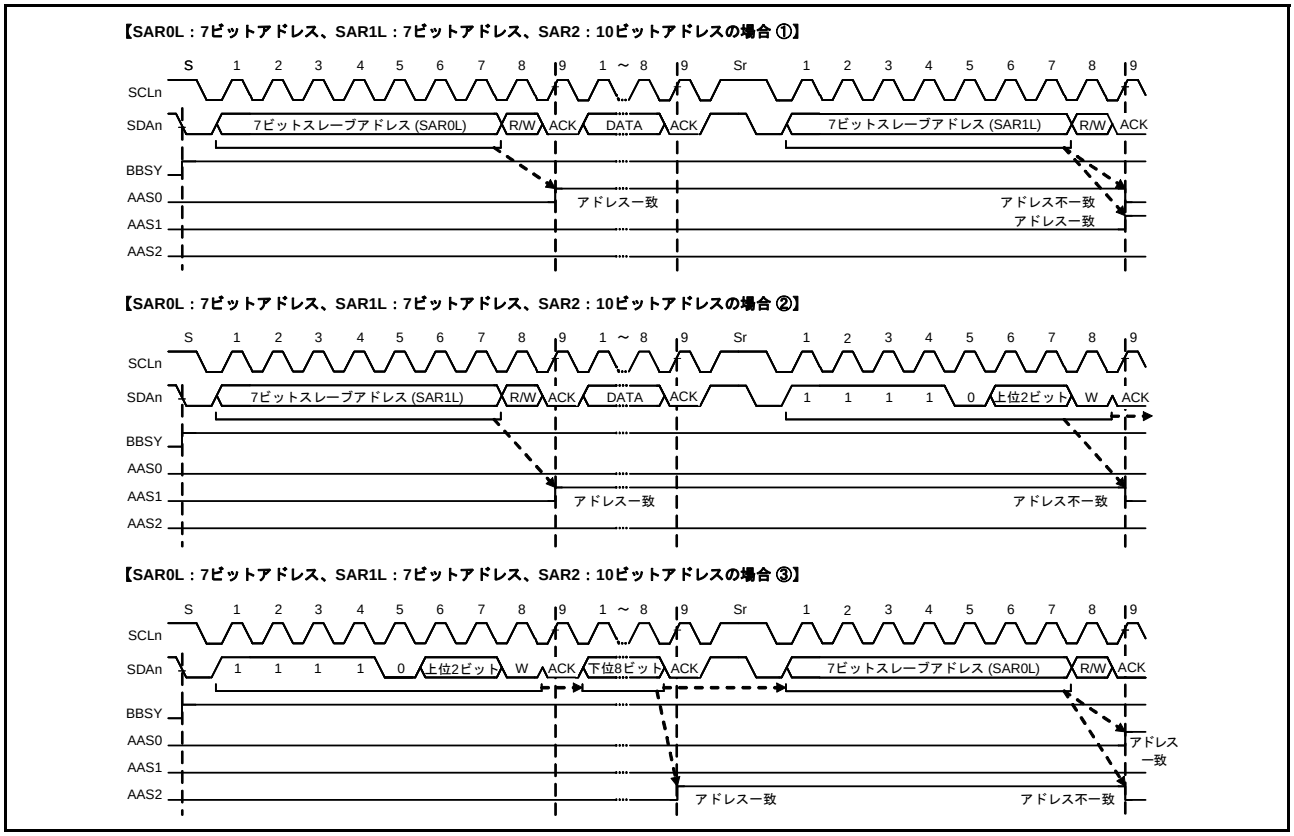


図 31.26　7 ビット /10 ビットアドレスフォーマット混在時に AASy フラグが “1”/“0” になるタイミング

31.7.2　ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス（0000 000b ＋ 0[W]）の検出機能を備えています。ICSER.GCAE ビットが “1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b ＋ 1[R]（スタートバイト）だった場合、RIIC はこのアドレスを All“0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち下がりで ICSR1.GCA フラグを “1” にし、同時に ICSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み（ICRXI）を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

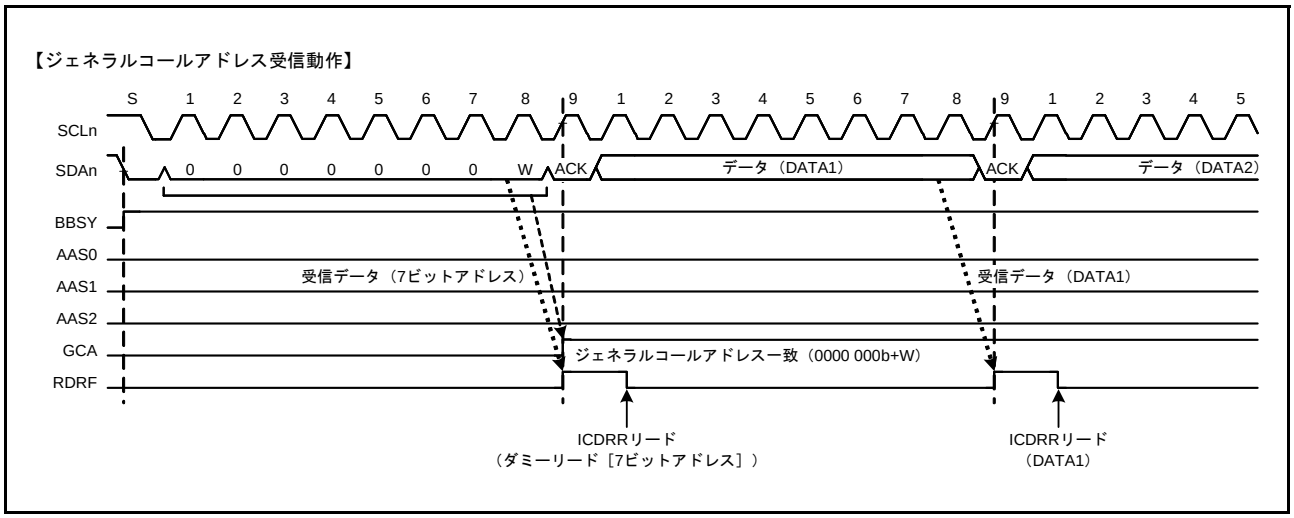


図 31.27　ジェネラルコールアドレス受信時に GCA フラグが “1” になるタイミング

31.7.3 デバイス ID アドレス検出機能

RIIC は I2C バス規格（Rev.03）に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを “1” にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが “0” のとき SCL クロックの 8 クロック目の立ち上がりで ICSR1.DID フラグを “1” にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ (y=0 ～ 2) が “1” になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス（1111 100b）と一致し、続く R/W# ビットが “1” のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを “1” にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを “0” にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス（1111 100b）と一致し、かつ R/W# ビットが “0” のとき DID フラグを “1” にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが “1” の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE=1 確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイト分：メーカ [12 ビット] ＋部品識別 [9 ビット] ＋リビジョン [3 ビット]）は、通常の送信データと同様あらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

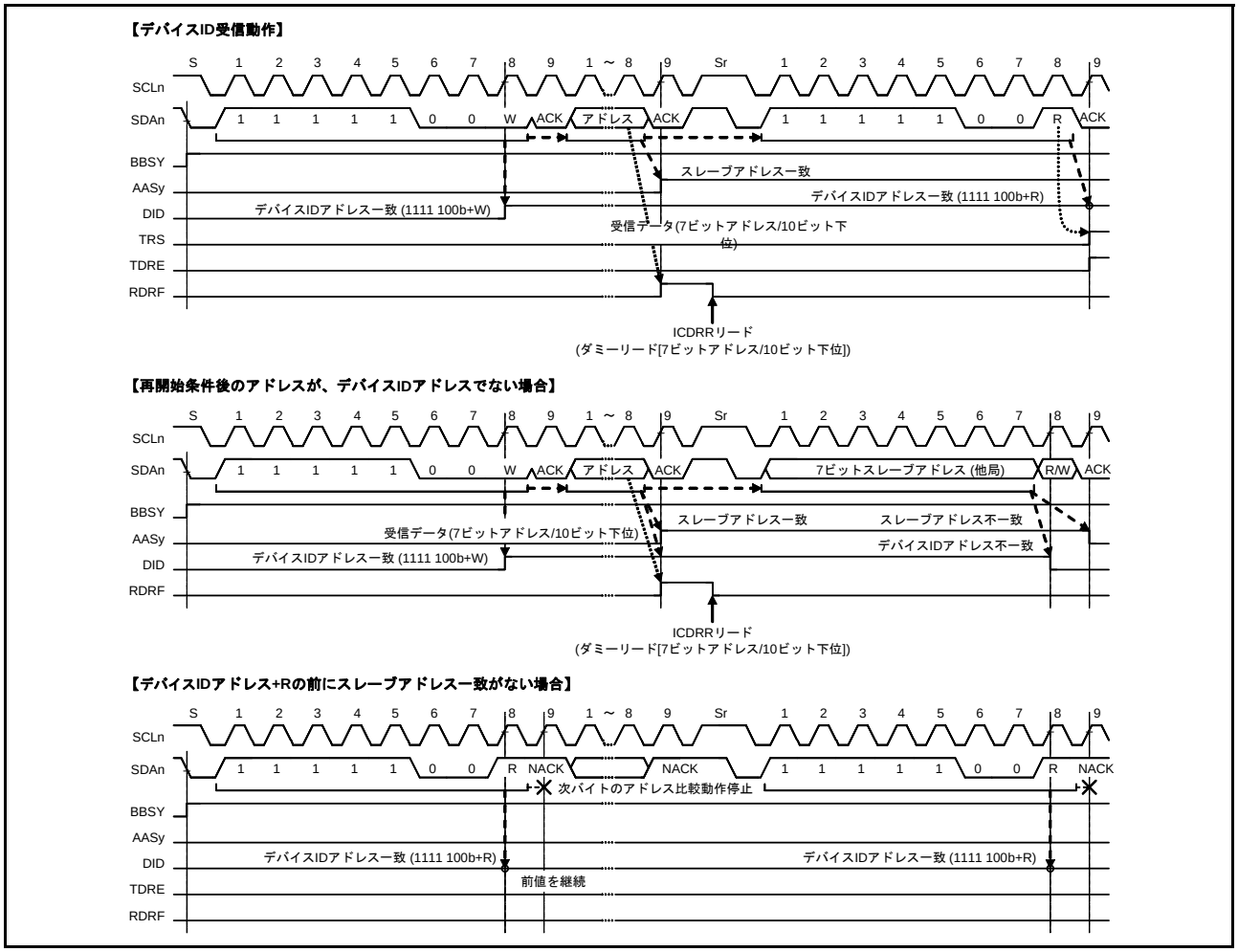


図 31.28　デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

31.7.4　ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが “1” のとき ICSER.HOAE ビットを “1” にすると、スレーブ受信モード（ICCR2.MST, TRS ビット =00b）にホストアドレス（0001 000b）を検出することが可能です。

RIIC はホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち下がりで ICSR1.HOA フラグを “1” にし、Wr ビット（R/W# ビットに “0” を受信）のとき ICSR2.TDRE フラグを “1” にします。これにより送信データエンプティ割り込み（ICTXI）を発生させることができ、HOA フラグを確認することでスマートバッテリなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス（0001 000b）に続くビットが Rd ビット（R/W# ビットに “1” を受信）の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

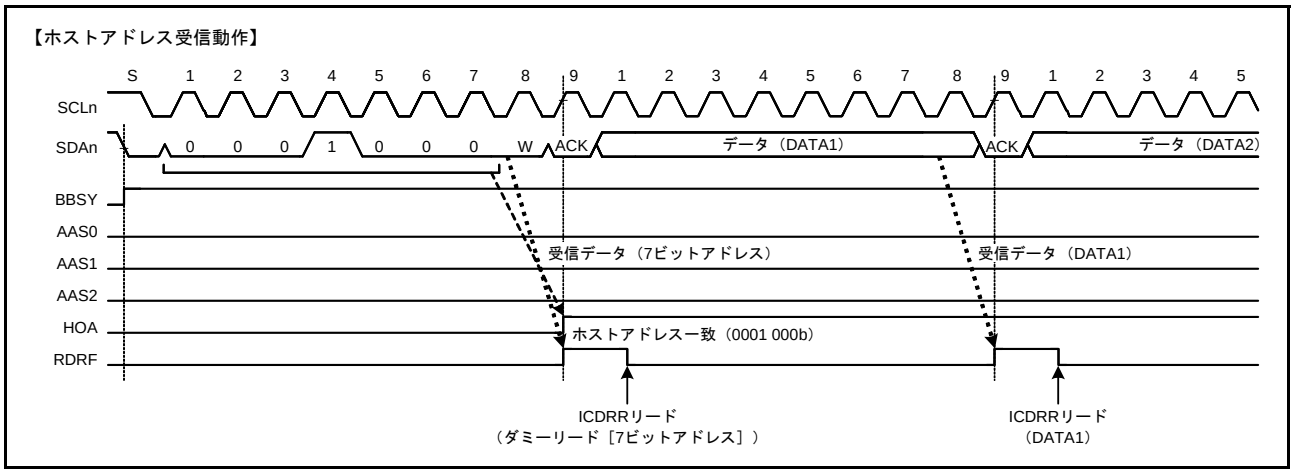


図 31.29　ホストアドレス受信時に HOA フラグが “1” になるタイミング

31.8 SCL の自動 Low ホールド機能

31.8.1 送信データ誤送信防止機能

RIIC は送信モード時（ICCR2.TRS ビット =1）、シフトレジスタ（ICDRS レジスタ）が空の状態でかつ送信データ（ICDRT レジスタ）が書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション / リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の Low 区間

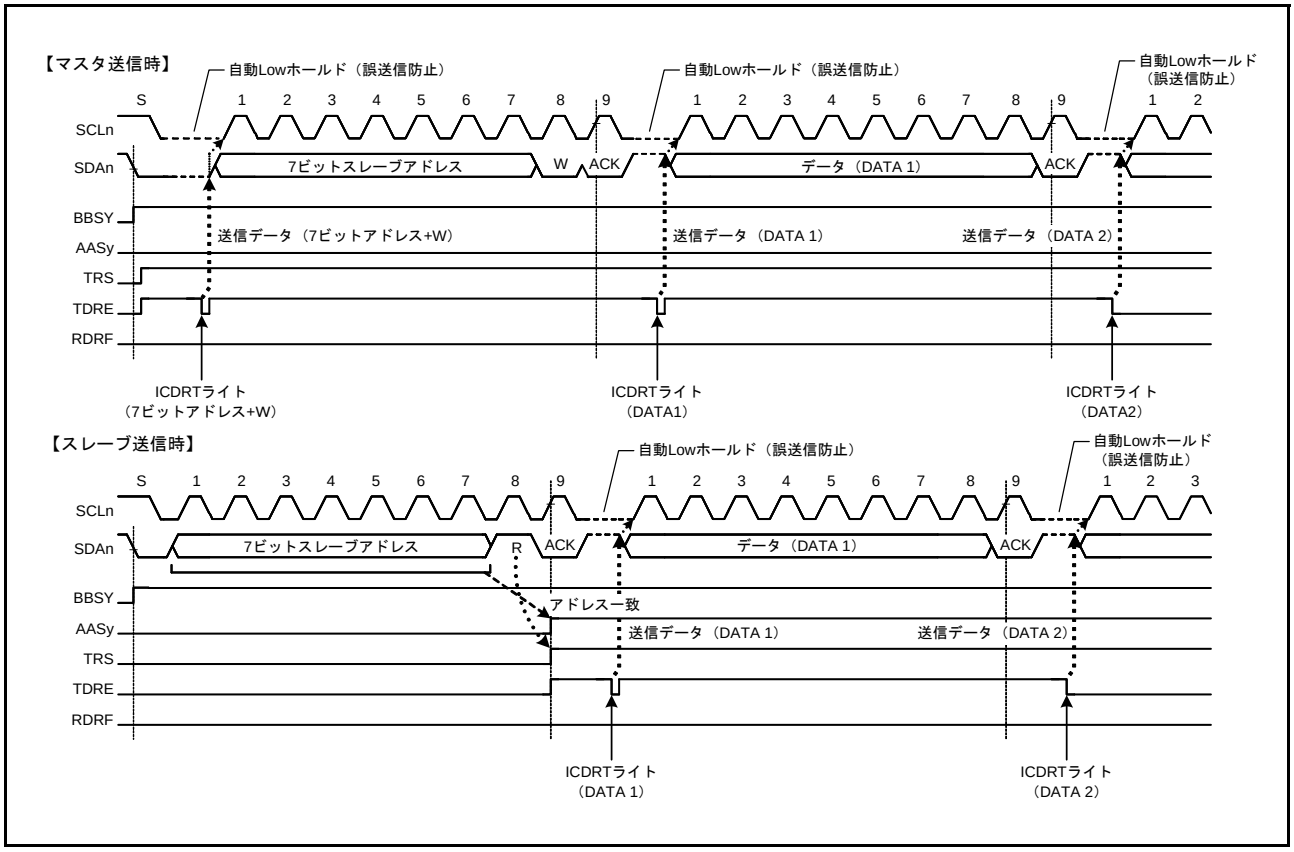


図 31.30　送信モードの自動 Low ホールド動作

31.8.2　NACK 受信転送中断機能

RIIC は送信モード時（ICCR2.TRS ビット =1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKE ビットが “1”（転送中断許可）のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合（ICSR2.TDRE フラグ =0 の状態）、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDAn ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（ICSR2.NACKF フラグ =1）、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

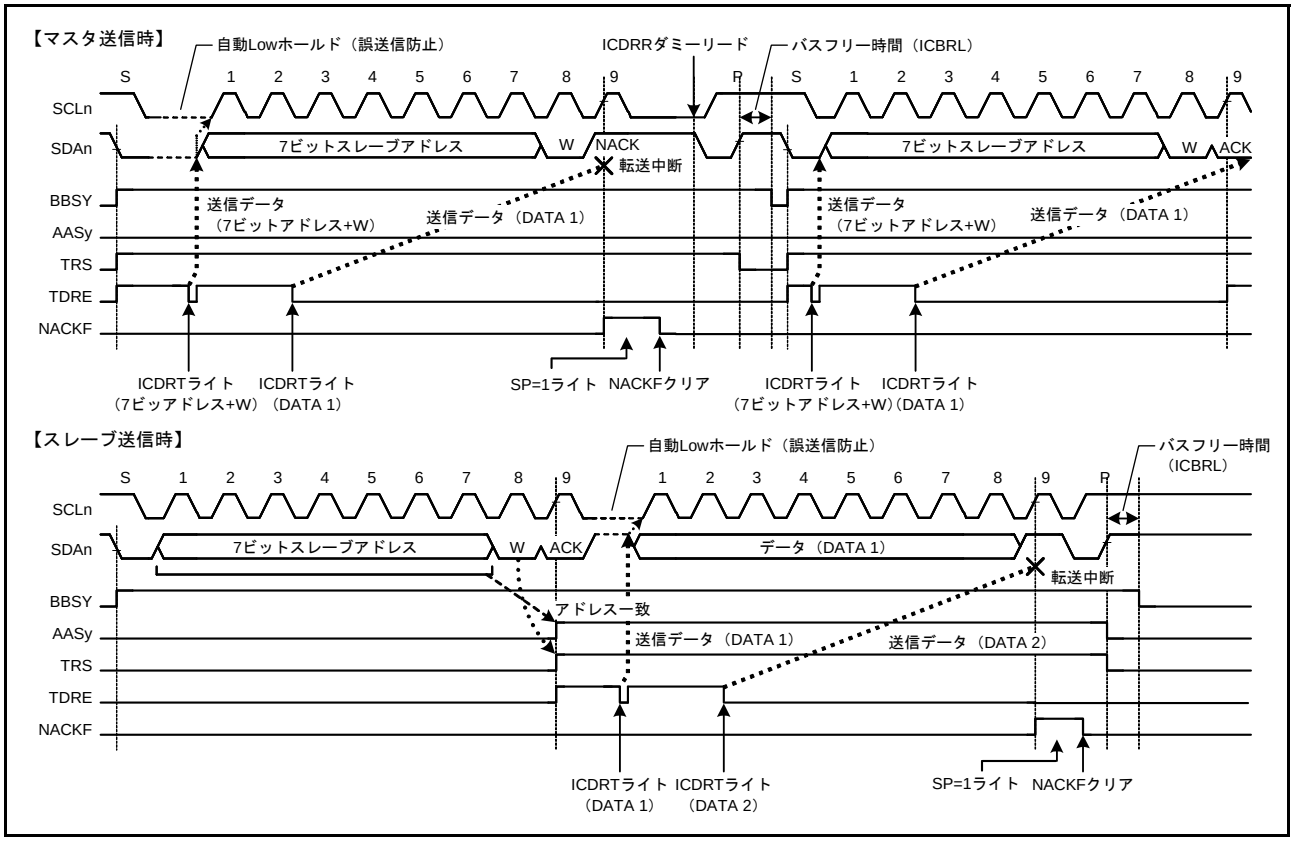


図 31.31　NACK 受信時の転送中断動作（NACKE=1 のとき）

31.8.3　受信データ取りこぼし防止機能

RIIC は受信モード時（ICCR2.TRS ビット =0）、受信データフル（ICSR2.RDRF フラグ =1）の状態で受信データ（ICDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1)　WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを “1” にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが “0” のとき、RIIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9 クロック目立ち下がりを検出すると WAIT ビット機能により自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

(2)　RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）/ 自動 Low ホールド機能

ICMR3.RDRFS ビットを “1” にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを “1” にすると、受信データフルフラグ（ICSR2.RDRF フラグ）が “1” になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

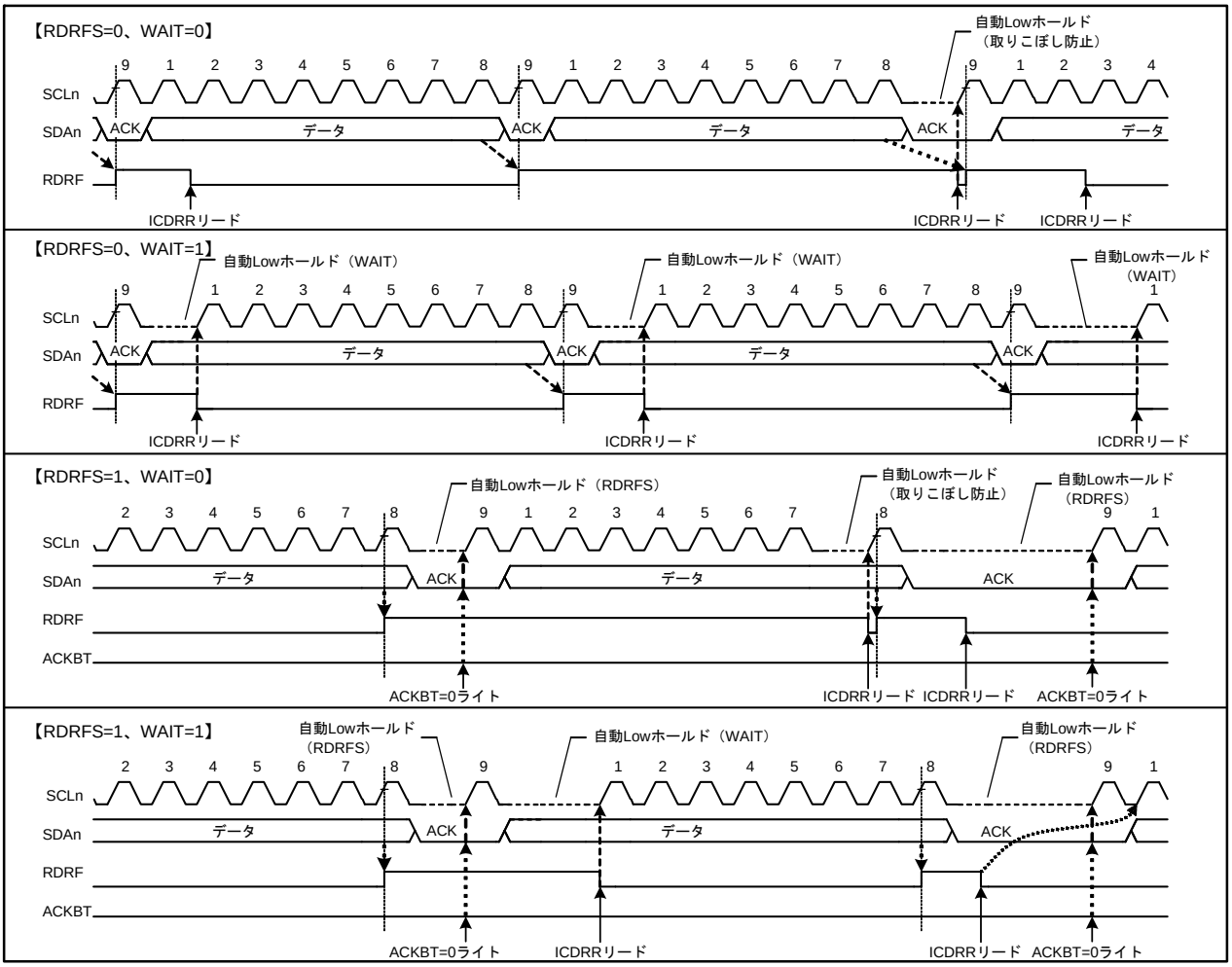


図 31.32　受信モードの自動 Low ホールド動作（RDRFS、WAIT ビット）

31.9 アービトレーションロスト検出機能

RIIC には I²C バス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

31.9.1 マスタアービトレーションロスト検出機能（MALE ビット）

RIIC はスタートコンディション発行の際 SDAn ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に ICCR2.BBSY フラグが “1”（バスビジー中）のときに ICCR2.ST ビットを “1” にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ（SDA 信号）と SDAn ラインに不一致が生じた場合（自分が出した SDA 出力が High 出力（＝ SDAn 端子はハイインピーダンス状態）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC は直ちにスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALE ビットが “1”（マスタアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［マスタアービトレーションロスト条件］

- ICCR2.BBSY フラグ =0 の状態で ICCR2.ST ビット =1 によるスタートコンディション発行時に SDA 信号と SDAn ライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- ICCR2.BBSY フラグ =1 で ICCR2.ST ビットを “1” にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（ICCR2.MST, TRS ビット =11b）、アクノリッジを除く送信データ（SDA 信号）と SDAn ライン上の信号の状態が不一致のとき

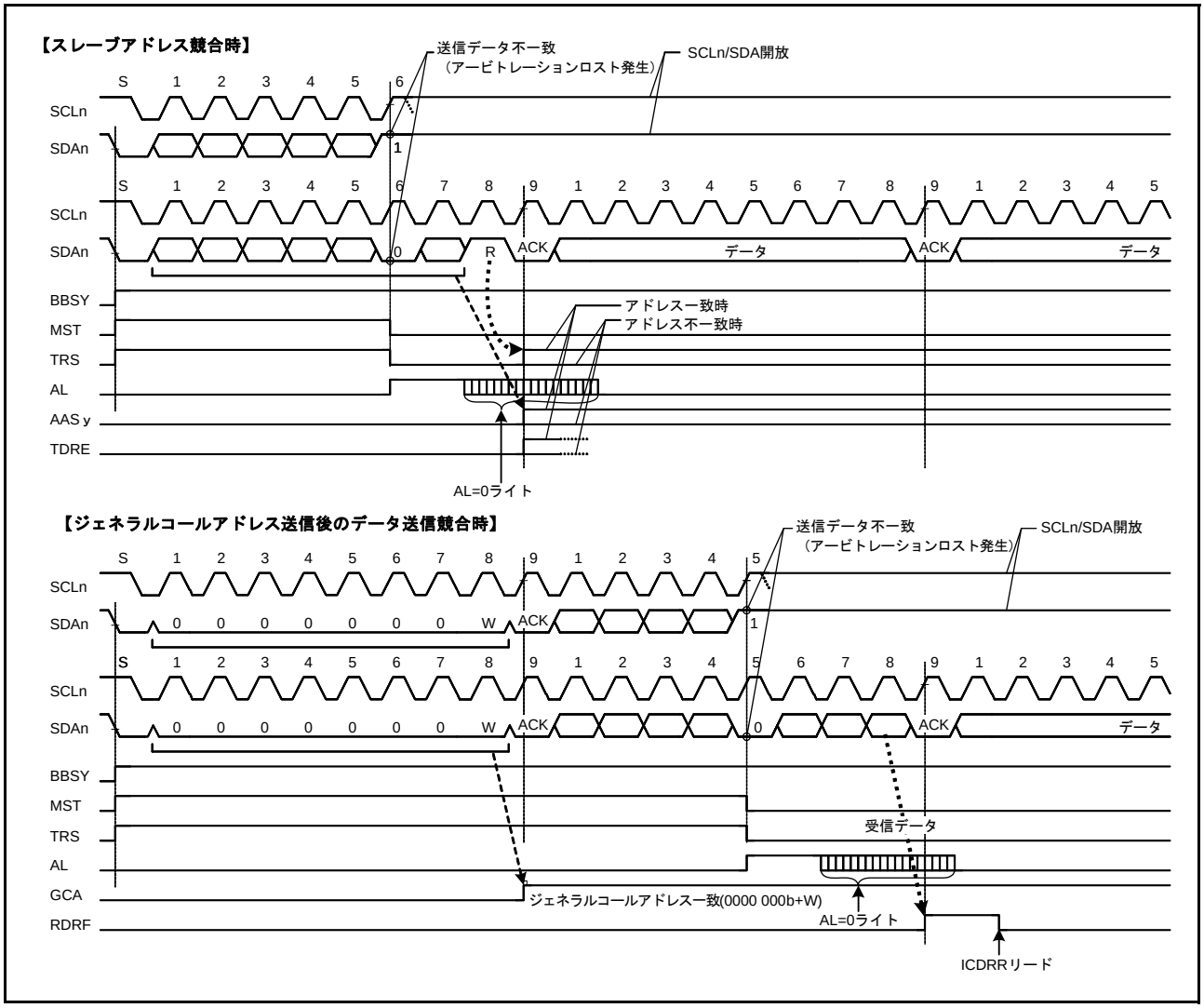


図 31.33　マスタアービトレーションロスト検出動作例（MALE=1 のとき）

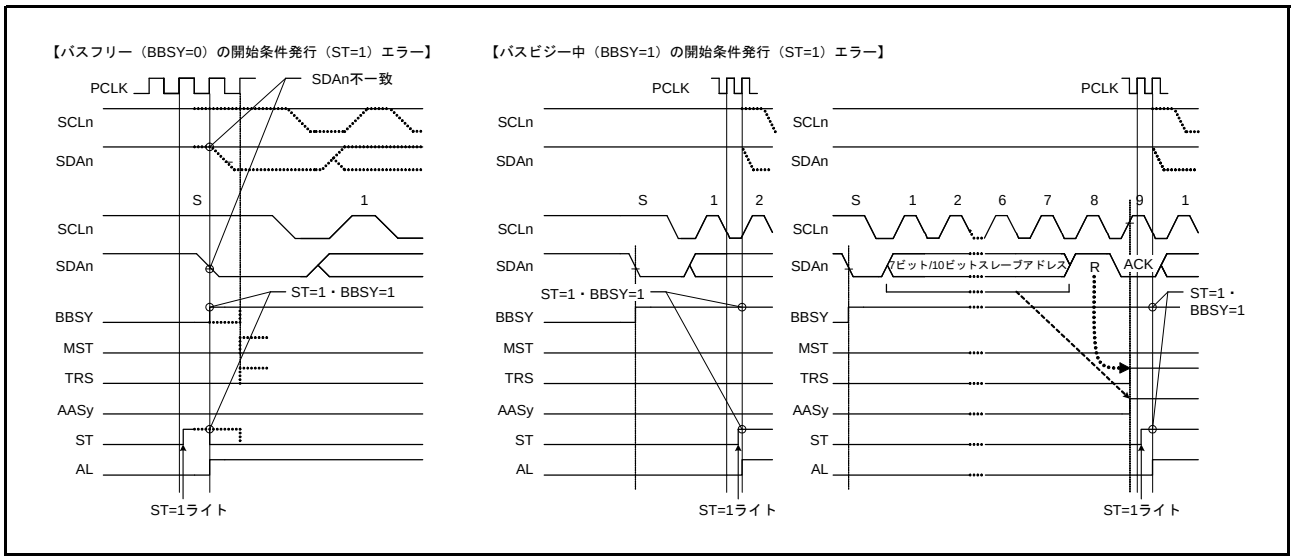


図 31.34　スタートコンディション発行時のアービトレーションロスト（MALE=1 のとき）

31.9.2　NACK 送信アービトレーションロスト検出機能（NALE ビット）

RIIC は受信モード時で NACK 送信時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致の場合（自分が出した SDA 出力が High 出力（＝ SDAn 端子はハイインピーダンス状態）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。**図 31.35** に NACK 送信アービトレーションロスト検出動作例を示します。

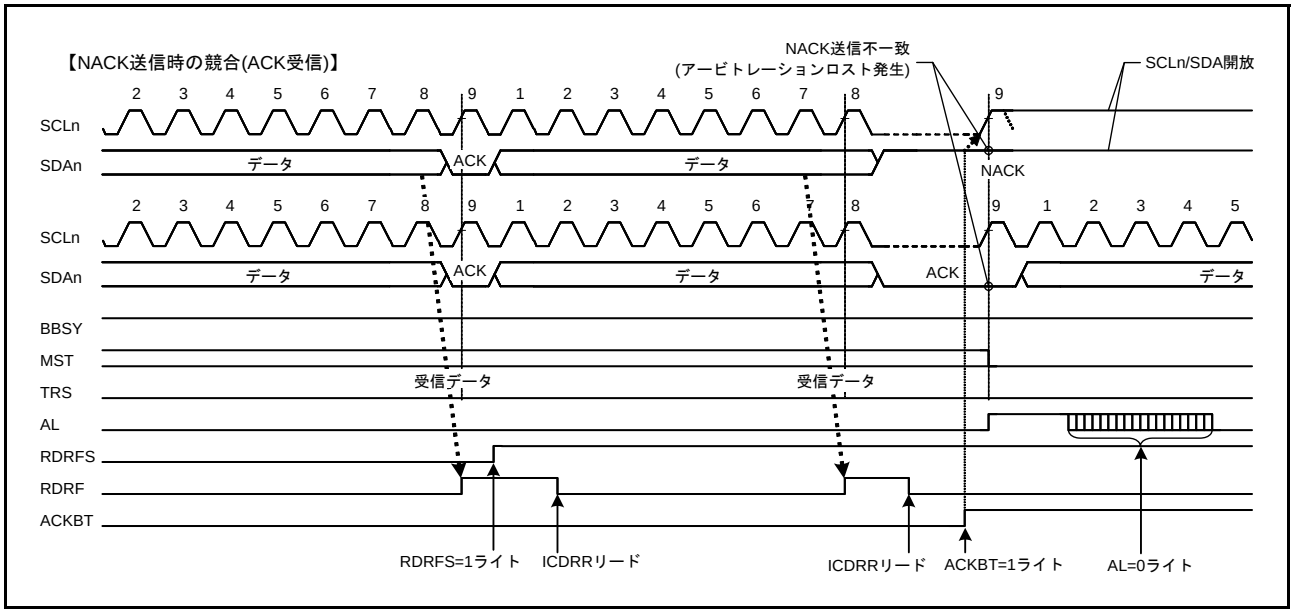


図 31.35　NACK 送信アービトレーションロスト検出動作例（NALE=1 のとき）

2 つのマスタデバイス（マスタ A、マスタ B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B ともどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC は直ちにスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、アサインアドレスの UDID（ユニークデバイスアイデンティファイ）不一致時の NACK 送信以降、およびアサインアドレス確定後の Get UDID（汎用）の NACK 送信以降の余剰処理（FFh 送信処理）を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが “1”（NACK 送信アービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［NACK 送信アービトレーションロスト条件］

- NACK送信時（ICMR3.ACKBTビット=1）、自分が出したSDA信号とSDAnライン上の信号の状態が不一致のとき（ACK を受信したとき）

31.9.3　スレーブアービトレーションロスト検出機能（SALE ビット）

RIIC は、スレーブ送信時に送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態に不一致が生じた場合（自分が出した SDA 出力が High 出力（＝ SDAn 端子はハイインピーダンス状態）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID（ユニークデバイスアイデンティファイ）送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC は直ちにスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理（FFh 送信処理）を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが “1”（スレーブアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

- スレーブ送信モード時（ICCR2.MST, TRS ビット =01b）、アクノリッジを除く送信データ（自分が出した SDA 信号）と SDAn ライン上の信号の状態が不一致のとき

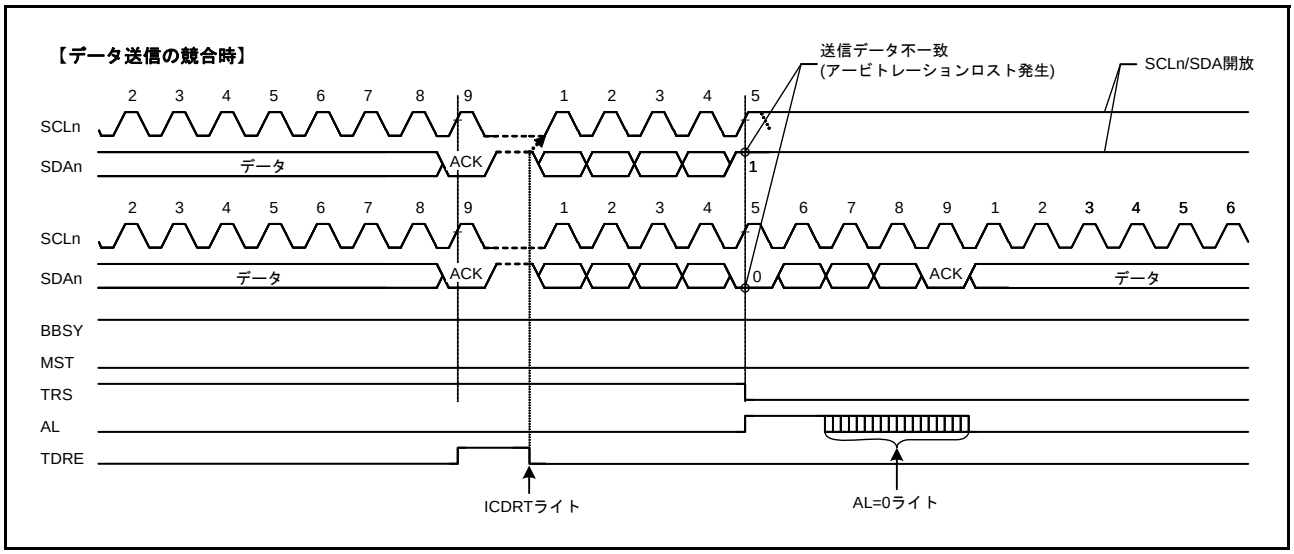


図 31.36　スレーブアービトレーションロスト検出動作例（SALE=1 のとき）

31.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

31.10.1 スタートコンディション発行動作

RIIC は、ICCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを “1” にすると、スタートコンディション発行の要求が行われ ICCR2.BBSY フラグが “0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

［スタートコンディション発行動作］

（1）SDAn ラインを立ち下げ（High から Low に遷移）

（2）ICBRH レジスタで設定した時間スタートコンディションのホールド時間を確保

（3）SCLn ラインを立ち下げ（High から Low に遷移）

（4）SCLn ラインの Low を検出後、ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保

31.10.2 リスタートコンディション発行動作

RIIC は ICCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを “1” にするとリスタートコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1”（バスビジー）の状態でかつ ICCR2.MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

［リスタートコンディション発行動作］

（1）SDAn ラインを開放

（2）ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保

（3）SCLn ラインを開放（Low から High に遷移）

（4）SCLn ラインの High 検出後、ICBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保

（5）SDAn ラインを立ち下げ（High から Low に遷移）

（6）ICBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保

（7）SCLn ラインを立ち下げ（High から Low に遷移）

（8）SCL ラインの Low を検出後、ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保

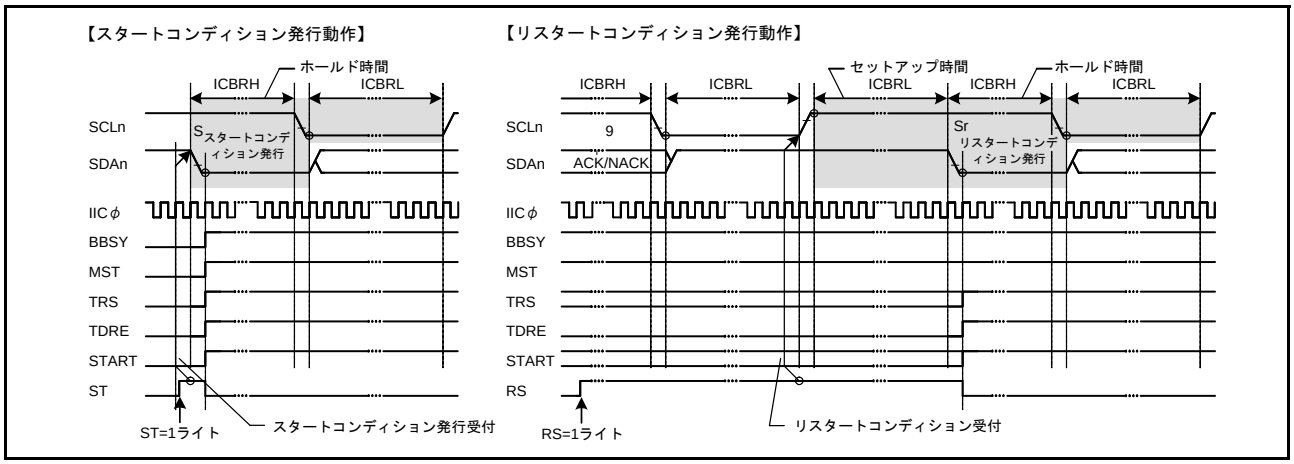


図 31.37　スタートコンディション / リスタートコンディション発行動作タイミング（ST、RS ビット）

31.10.3　ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを “1” にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが “1”（バスビジー）の状態でかつ ICCR2.MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

［ストップコンディション発行動作］

- SDAn ラインを立ち下げ（High から Low に遷移）
- ICBRL レジスタで設定した時間 SCLn ラインの Low 幅を確保
- SCLn ラインを開放（Low から High に遷移）
- SCLn ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDAn ラインを開放（Low から High に遷移）
- ICBRL レジスタで設定した時間バスフリー時間を確保
- BBSY フラグクリア（バス権解放）

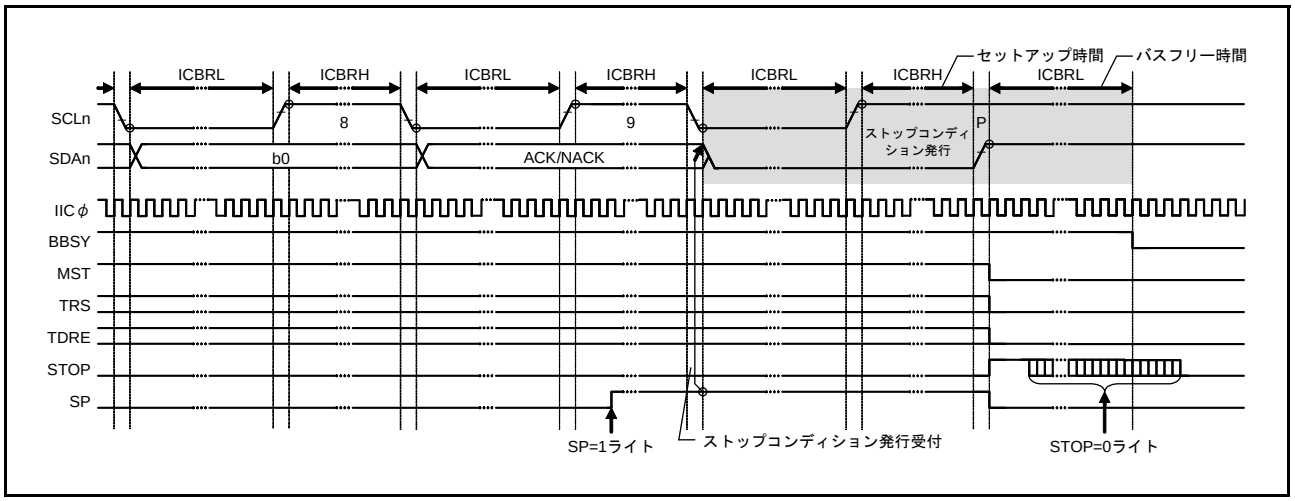


図 31.38　ストップコンディション発行動作タイミング（SP ビット）

31.11 バスハングアップ

I2C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインや SDAn ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCLn ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能および RIIC/ 内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCLn ライン /SDAn ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

31.11.1 タイムアウト検出機能

RIIC には SCLn ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCLn ラインに変化（立ち上がり / 立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバス異常状態を知らせることができます。

このタイムアウト検出機能は ICFER.TMOE ビットが “1” のとき有効で、以下の期間に SCLn ラインの Low 固定または High 固定のバスハングアップを検出します。

- マスタモード（ICCR2.MST ビット =1）で、バスビジー（ICCR2.BBSY フラグ =1）
- スレーブモード（ICCR2.MST ビット =0）で、自スレーブアドレス一致（ICSR1 レジスタ ≠ 00h）かつバスビジー（ICCR2.BBSY フラグ =1）
- スタートコンディション発行要求中（ICCR2.ST ビット =1）で、バスフリー（ICCR2.BBSY フラグ =0）

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック（IICφ）をカウントソースとして動作し、ロングモード選択時（ICMR2.TMOS ビット =0）16 ビットカウンタ、ショートモード選択時（TMOS ビット =1）14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLn ラインが Low 状態のときカウントさせるか、High 状態のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を “0” にした場合は、内部カウント動作を行いません。

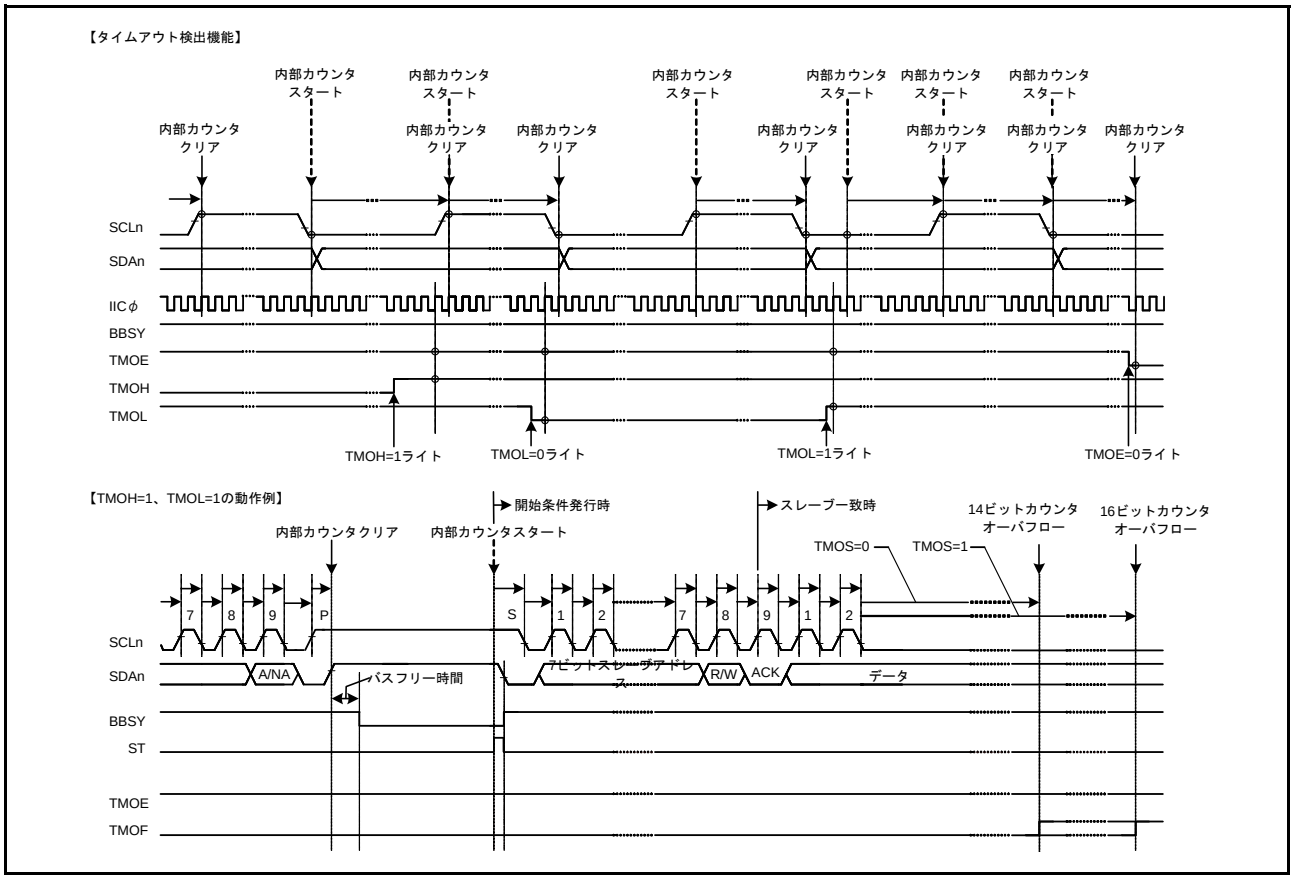


図 31.39　タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）

31.11.2　SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDAn ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDAn ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、ICCR1.CLO ビットを “1” にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に “0” になります。そのためソフトウェアで CLO ビットが “0” であることを確認後 “1” を書くことにより、追加クロックを連続的に出力することができます。

マスタモード時にノイズ等の影響によるスレーブデバイスとの同期ズレのため、スレーブデバイスが SDAn ラインを Low 固定状態のままストップコンディションを発行できないバス異常状態になることがあります。このとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDAn ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDAn ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDAn ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを “0”（マスタアービトレーションロスト検出禁止）にして使用してください。MALE ビットが “1”（マスタアービトレーションロスト検出許可）の場合、

ICCR1.SDAO ビットの値と SDAn ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[ICCR1.CLO ビットの出力条件]

- バスフリー状態（ICCR2.BBSY フラグ =0）またはマスタモード（ICCR2.MST ビット =1、BBSY フラグ =1 の状態）のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 31.40 に SCL クロック追加出力機能（CLO ビット）を示します。

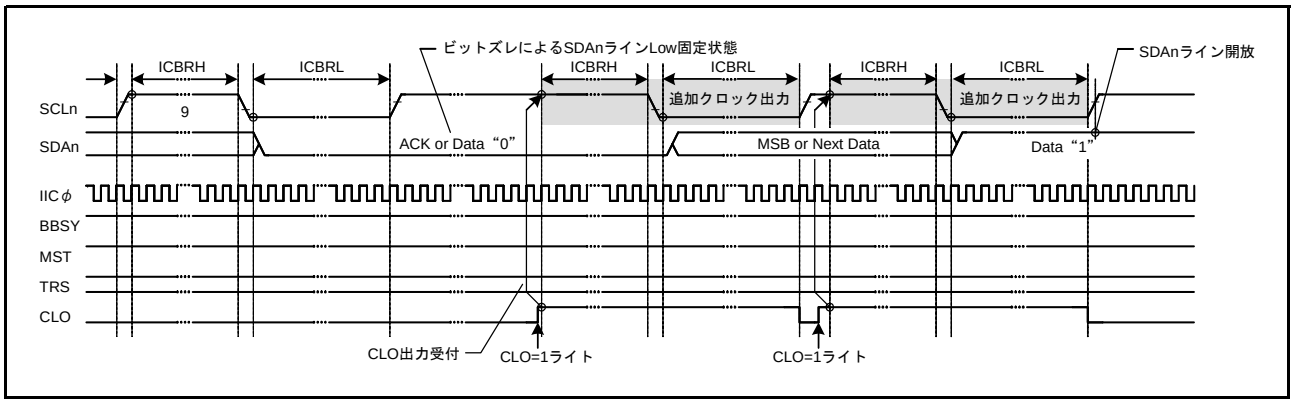


図 31.40　SCL クロック追加出力機能（CLO ビット）

31.11.3　RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCLn 端子 /SDAn 端子の出力状態を解除しハイインピーダンス状態に戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット（ICCR1.ICE, IICRST ビット =01b）のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC/ 内部リセットの詳細については、「31.14　リセット状況」を参照してください。

31.12 SMBus 動作

RIIC は SMBus 規格（Ver.2.0）に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを “1” にしてください。転送速度は SMBus 規格の 10kbps ～ 100kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間 :300ns（min）の規格を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間（250ns）以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス（1100 001b）はスレーブアドレスレジスタ L0 ～ L2（SARL0、SARL1、SARL 2）のいずれか 1 本を使用し、該当する SARUy.FS ビット (y=0 ～ 2)（7 ビット /10 ビットアドレスフォーマット選択ビット）を “0”（7 ビットアドレスフォーマット）を選択してください。

また、UDID（ユニークデバイスアイデンティファイ）送信時には、ICFER.SALE ビットを “1” にしてスレーブアービトレーションロスト検出機能を有効にしてください。

31.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（STI）、ストップコンディション検出割り込み（SPI）を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間［スレーブデバイス］$T_{LOW:SEXT}$：25ms（max）以内である必要があります。

MTU または TMR で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに “1” を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCLn 端子 /SDAn 端子のバス駆動を中止し、端子をハイインピーダンス状態にすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（STI）、ストップコンディション検出割り込み（SPI）、および送信終了割り込み（ICTEI）または受信データフル割り込み（ICRXI）を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間［マスタデバイス］$T_{LOW:MEXT}$：10ms（max）以内である必要があり、スタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ を加算した結果が $T_{LOW:SEXT}$：25ms（max）以内である必要があります。

ACK 受信タイミング（SMBCLK の 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は ICSR2.TEND フラグ、マスタ受信モード時（マスタレシーバ）は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SMBCLK の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 規格のクロック Low の累積時間［マスタデバイス］$T_{LOW:MEXT}$：10ms（max）または各計測時間の加算した結果が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作（ICDRT レジスタへの書き込み動作）を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

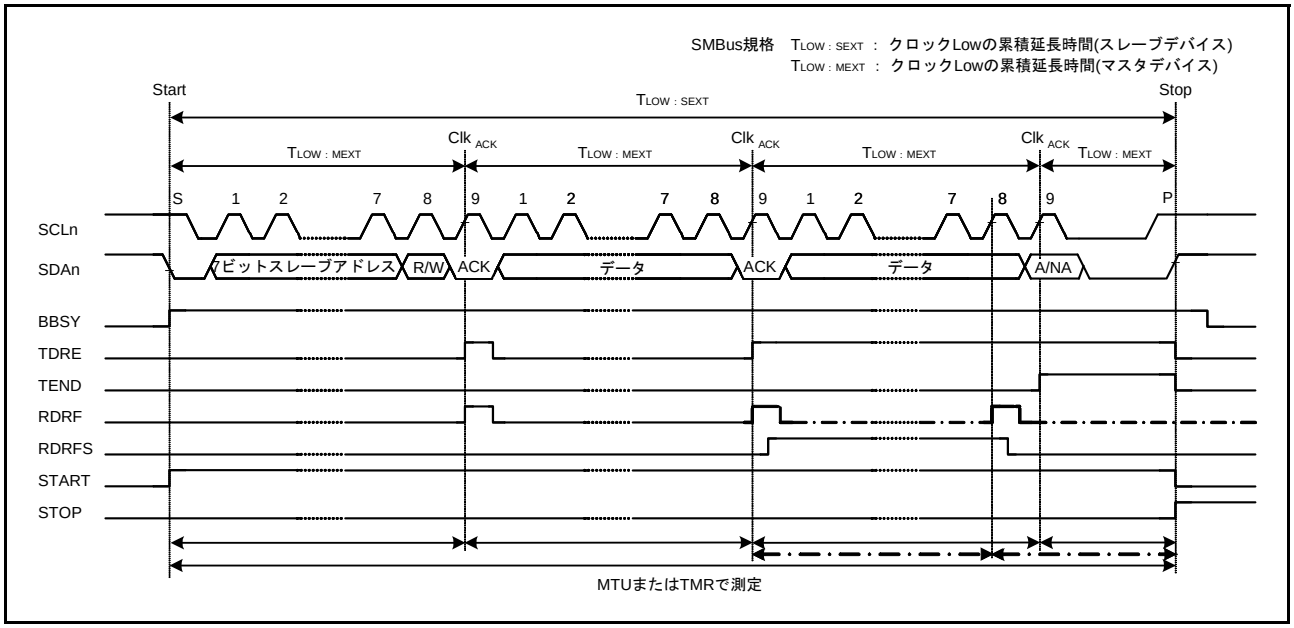


図 31.41　SMBus タイムアウト測定

31.12.2 パケットエラーコード（PEC）

RX62N グループ、RX621 グループは CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード（PEC）の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「30. CRC 演算器（CRC）」を参照してください。

マスタ送信（マスタトランスミッタ）の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ（CRCDIR）に書くことで生成することができます。

マスタ受信（マスタレシーブ）の REC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ（CRCDOR）の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SMBCLK の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドしてください。

31.12.3 SMBus ホスト通知プロトコル /Notify ARP master

SMBus ではスレーブデバイスが SMBus ホスト（または ARP マスタ）に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知（または要求）することができます。

RX62N グループ、RX621 グループを SMBus ホスト（または ARP マスタ）として動作させる場合、スレーブデバイスからのホストアドレス（0001 000b）送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを “1”、ICSER.HOAE ビットを “1” にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

31.13 割り込み要因

RIIC の割り込み要因には、通信エラー / イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の 4 種類があります。

表 31.8 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC または DMACA を起動してデータ転送を行うことができます。

表 31.8　割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACAの起動	優先順位	割り込み条件
ICEEI	通信エラー / イベント発生	AL	不可能	不可能	高	AL=1 かつ ALIE=1
		NACKF			↑	NACKF=1 かつ NAKIE=1
		TMOF				TMOF=1 かつ TMOIE=1
		START				START=1 かつ STIE=1
		STOP				STOP=1 かつ SPIE=1
ICRXI	受信データフル	－	可能	可能		RDRF=1 かつ RIE=1
ICTXI	送信データエンプティ	－	可能	可能		TDRE=1 かつ TIE=1
ICTEI	送信終了	TEND	不可能	不可能	低	TEND=1 かつ TEIE=1

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

【割り込み処理上の注意】

1. CPU から周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。
2. ICTXI 割り込みはエッジ割り込みのためクリアの必要はありません。また ICTXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOP フラグ =1）で自動的に “0” になります。
3. ICRXI 割り込みはエッジ割り込みのためクリアの必要はありません。また ICRXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に “0” になります。
4. ICTEI 割り込みを使用する場合、ICTEI 割り込み処理の中で ICSR2.TEND フラグをクリアしてください。なお ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOP フラグ =1）で自動的に “0” になります。

31.14 リセット状況

RIIC はチップリセット、RIIC リセットおよび内部リセットのリセット機能を持っています。表 31.9 に各リセットのリセット範囲およびリセット状況を示します。

表31.9　リセット状況

		チップリセット	RIICリセット（ICEビット=0、IICRSTビット=1）	内部リセット（ICEビット=1、IICRSTビット=1）	スタートコンディション/リスタートコンディション検出	ストップコンディション条件検出
ICCR1	ICE、IICRST	リセット	保持	保持	動作（保持）	動作（保持）
	SCLO、SDAO		リセット	リセット		
	それ以外			保持		
ICCR2	BBSY	リセット	リセット	動作	動作	動作
	ST			リセット	リセット	動作（保持）
	それ以外					リセット
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	動作（保持）
	それ以外			保持	動作（保持）	
ICMR2		リセット	リセット	保持	動作（保持）	動作（保持）
ICMR3		リセット	リセット	保持	動作（保持）	動作（保持）
ICFER		リセット	リセット	保持	動作（保持）	動作（保持）
ICSER		リセット	リセット	保持	動作（保持）	動作（保持）
ICIER		リセット	リセット	保持	動作（保持）	動作（保持）
ICSR1		リセット	リセット	リセット	動作（保持）	リセット
ICSR2	TDRE、TEND	リセット	リセット	リセット	動作（保持）	リセット
	START				動作	
	STOP				動作（保持）	動作
	それ以外					動作（保持）
SARL0、1、2 SARU0、1、2		リセット	リセット	保持	動作（保持）	動作（保持）
ICBRH、ICBRL		リセット	リセット	保持	動作（保持）	動作（保持）
ICDRT		リセット	リセット	保持	動作（保持）	動作（保持）
ICDRR		リセット	リセット	保持	動作（保持）	動作（保持）
ICDRS		リセット	リセット	リセット	動作（保持）	動作（保持）
タイムアウト検出機能		リセット	リセット	動作	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

31.15 使用上の注意事項

31.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、モジュールストップ状態への遷移 / 解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「9. 消費電力低減機能」を参照してください。

31.15.2 入力バッファコントロールレジスタの設定

入力バッファコントロールレジスタ（PORTm.ICR）により、周辺モジュールへの入力を有効 / 無効にすることができます。初期値では RIIC への入力は無効状態です。

I²C バスの SCL ライン、SDA ラインは双方向のため、RIIC の SCLn 端子、SDAn 端子は入出力端子です。RIIC の SCLn 端子、SDAn 端子に該当する PORTm.ICR レジスタの入力バッファ制御ビットを設定し、RIIC への入力を有効にしてください。該当する端子の入力が無効状態の場合、スタートコンディション検出（リスタートコンディション検出含む）やストップコンディション検出、SCL クロックのカウント動作等を行うことができません。

入力バッファコントロールレジスタの詳細は「17. I/O ポート」を参照してください。

32. CAN モジュール（CAN）

32.1 概要

ISO11898-1 仕様に準拠した CAN（Controller Area Network）モジュールを 1 チャネル内蔵しています。CAN モジュールは標準（11 ビット）IDentifier（以下、ID と略す）と拡張（29 ビット）ID の両フォーマットのメッセージを送受信できます。

表 32.1 に CAN モジュールの仕様、図 32.1 に CAN モジュールブロック図を示します。

なお、CAN バストランシーバは外付けしてください。

注 . CAN モジュールは R5F562NxBxxx、R5F5621xBxxx のみ内蔵しています。
型名については、表 1.3 を参照してください。

表32.1　CANモジュールの仕様 (1 / 2)

項目	概要
プロトコル	● ISO11898-1仕様準拠（標準フレーム／拡張フレーム）
ビットレート	● 1Mbps以下のビットレートをプログラム可能（fCAN≧8MHz） fCAN：CANクロックソース
メッセージボックス	● 32メールボックス：2種類のメールボックスモードを選択可能 通常メールボックスモード　：32メールボックスを送信または受信用に設定可能 FIFOメールボックスモード　：24メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOを設定可能
受信	● データフレームとリモートフレームを受信可能 ● 受信するIDフォーマット（標準IDのみ、拡張IDのみ、標準と拡張両方のID）を選択可能 ● ワンショット受信機能を選択可能 ● オーバライトモード（メッセージ上書き）かオーバランモード（メッセージ破棄）を選択可能 ● 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	● 8つのアクセプタンスマスク（4メールボックスごとに個別のマスク） ● メールボックスはマスクの有効/無効を個別に設定可能
送信	● データフレームとリモートフレームを送信可能 ● 送信するIDフォーマット（標準IDのみ、拡張IDのみ、標準と拡張両方のID）を選択可能 ● ワンショット送信機能を選択可能 ● ID優先送信モードかメールボックス番号優先送信モードを選択可能 ● 送信要求をアボート可能（フラグでアボート完了を確認可能） ● 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
バスオフ復帰方法	● バスオフ状態からの復帰方法を選択可能 ISO11898-1仕様準拠 バスオフ開始で自動的にCAN Haltモードへ移行 バスオフ終了で自動的にCAN Haltモードへ移行 プログラムによりCAN Haltモードへ移行 プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	● CANバスエラー（スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー）を監視可能 ● エラー状態の遷移を検出可能（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） ● エラーカウンタを読み出し可能
タイムスタンプ機能	● 16ビットカウンタによるタイムスタンプ機能 ● 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み機能	● 5種類の割り込み要因（受信完了割り込み、送信完了割り込み、受信FIFO割り込み、送信FIFO割り込み、エラー割り込み）
CANスリープモード	● CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	● 3つのソフトウェアサポートユニット アクセプタンスフィルタサポート メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロスト検索） チャネル検索サポート
CANクロックソース	周辺モジュールクロック（PCLK）

表32.1　CANモジュールの仕様 (2 / 2)

項目	概要
テストモード	● ユーザ評価用に3つのテストモードを用意 リッスンオンリモード セルフテストモード0（外部ループバック） セルフテストモード1（内部ループバック）

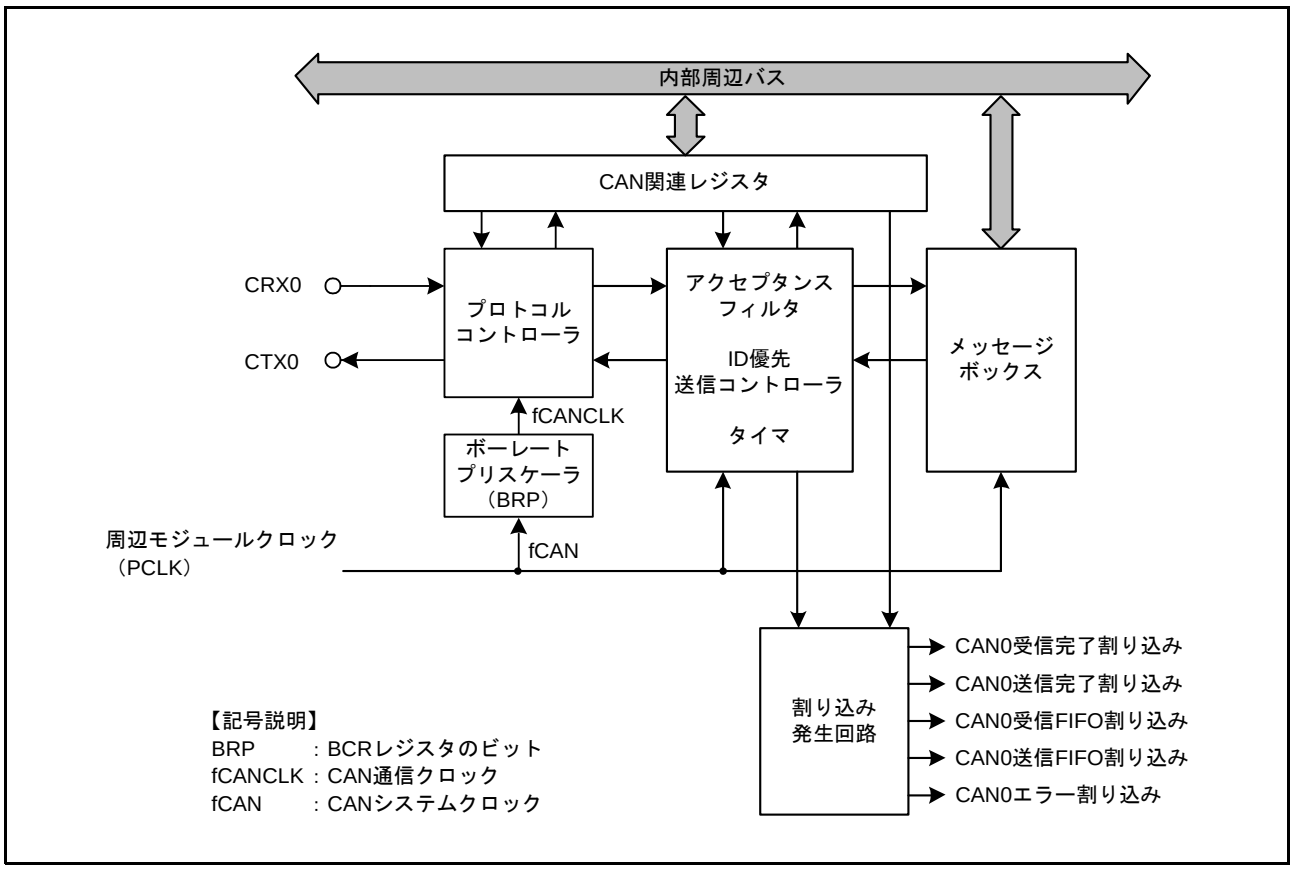


図 32.1　CAN モジュールブロック図

- CRX0、CTX0
  CAN の入出力端子です。
- プロトコルコントローラ
  バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。
- メッセージボックス
  送信または受信メールボックスとして使用可能な 32 個のメールボックスで構成されています。固有の ID、データ長コード、8 バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ
  受信メッセージのフィルタ処理を行います。このフィルタ処理には、MKR0 ～ 7 レジスタを使用します。
- タイマ
  タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。

- 割り込み発生回路
  次の 5 種類の割り込み要求を発生させることができます。
  CAN0 受信完了割り込み
  CAN0 送信完了割り込み
  CAN0 受信 FIFO 割り込み
  CAN0 送信 FIFO 割り込み
  CAN0 エラー割り込み

表 32.2 に CAN モジュールで使用する端子を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「17. I/O ポート」を参照してください。

表 32.2　CAN モジュールの端子構成

端子名	入出力	機　　能
CRX0	入力	データ受信用端子
CTX0	出力	データ送信用端子

32.2 レジスタの説明

表 32.3 に CAN モジュールレジスタ構成を示します。

表32.3　CANモジュールレジスタ構成

チャネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
CAN0	制御レジスタ	CTLR	0500h	0009 0840h	8、16
	ビットコンフィグレーションレジスタ	BCR	0000 0000h	0009 0844h	8、16、32
	マスクレジスタ0	MKR0	不定	0009 0400h	8、16、32
	マスクレジスタ1	MKR1	不定	0009 0404h	8、16、32
	マスクレジスタ2	MKR2	不定	0009 0408h	8、16、32
	マスクレジスタ3	MKR3	不定	0009 040Ch	8、16、32
	マスクレジスタ4	MKR4	不定	0009 0410h	8、16、32
	マスクレジスタ5	MKR5	不定	0009 0414h	8、16、32
	マスクレジスタ6	MKR6	不定	0009 0418h	8、16、32
	マスクレジスタ7	MKR7	不定	0009 041Ch	8、16、32
	FIFO受信ID比較レジスタ0	FIDCR0	不定	0009 0420h	8、16、32
	FIFO受信ID比較レジスタ1	FIDCR1	不定	0009 0424h	8、16、32
	マスク無効レジスタ	MKIVLR	不定	0009 0428h	8、16、32
	メールボックスレジスタ0～31	MB0～31	不定	0009 0200h～0009 03FFh	8、16、32
	メールボックス割り込み許可レジスタ	MIER	不定	0009 042Ch	8、16、32
	メッセージ制御レジスタ0～31	MCTL0～31	00h	0009 0820h～0009 083Fh	8
	受信FIFO制御レジスタ	RFCR	80h	0009 0848h	8
	受信FIFOポインタ制御レジスタ	RFPCR	不定	0009 0849h	8
	送信FIFO制御レジスタ	TFCR	80h	0009 084Ah	8
	送信FIFOポインタ制御レジスタ	TFPCR	不定	0009 084Bh	8
	ステータスレジスタ	STR	0500h	0009 0842h	8、16
	メールボックスサーチモードレジスタ	MSMR	00h	0009 0853h	8
	メールボックスサーチステータスレジスタ	MSSR	80h	0009 0852h	8
	チャネルサーチサポートレジスタ	CSSR	不定	0009 0851h	8
	アクセプタンスフィルタサポートレジスタ	AFSR	不定	0009 0856h	8、16
	エラー割り込み許可レジスタ	EIER	00h	0009 084Ch	8
	エラー割り込み要因判定レジスタ	EIFR	00h	0009 084Dh	8
	受信エラーカウントレジスタ	RECR	00h	0009 084Eh	8
	送信エラーカウントレジスタ	TECR	00h	0009 084Fh	8
	エラーコード格納レジスタ	ECSR	00h	0009 0850h	8
	タイムスタンプレジスタ	TSR	0000h	0009 0854h	8、16
	テスト制御レジスタ	TCR	00h	0009 0858h	8

32.2.1 制御レジスタ（CTLR）

アドレス 0009 0840h

	0009 0840h								0009 0841h							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RBOC	BOM[1:0]		SLPM	CANM[1:0]		TSPS[1:0]		TSRC	TPM	MLM	IDFM[1:0]		MBM
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	送受信メールボックスモード選択ビット（注1）	0：通常メールボックスモード 1：FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモードビット（注1）	b2 b1 0 0：標準IDモード すべてのメールボックス（FIFOメールボックスを含む）は標準IDのみに対応 0 1：拡張IDモード すべてのメールボックス（FIFOメールボックスを含む）は拡張IDのみに対応 1 0：ミックスIDモード すべてのメールボックス（FIFOメールボックスを含む）は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]～[23]は対応するメールボックスのIDEビット、受信FIFOはFIDCR0、FIDCR1レジスタのIDEビット、送信FIFOはメールボックス[24]のIDEビットで指定 1 1：設定しないでください	R/W
b3	MLM	メッセージロストモード選択ビット（注2）	0：オーバライトモード 1：オーバランモード	R/W
b4	TPM	送信優先順位モード選択ビット（注2）	0：ID優先送信モード 1：メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットビット（注4）	0：リセットしない 1：リセットする（注3）	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケーラ選択ビット（注1）	b7 b6 0 0：1ビットタイムごと 0 1：2ビットタイムごと 1 0：4ビットタイムごと 1 1：8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CAN動作モード選択ビット（注5）	b9 b8 0 0：CANオペレーションモード 0 1：CANリセットモード 1 0：CAN Haltモード 1 1：CANリセットモード（強制移行）	R/W
b10	SLPM	CANスリープモードビット（注5、注6）	0：CANスリープモードではない 1：CANスリープモード	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード選択ビット（注1）	b12 b11 0 0：ノーマルモード（ISO11898-1仕様準拠） 0 1：バスオフ開始で自動的にCAN Haltモードへ移行 1 0：バスオフ終了で自動的にCAN Haltモードへ移行 1 1：プログラムによる要求でCAN Haltモードへ移行（バスオフ復帰期間中）	R/W
b13	RBOC	バスオフ強制復帰ビット（注2）	0：何もしない 1：バスオフからの強制復帰（注3）	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、MBMビットは、CANリセットモード時に変更してください。
注2. RBOCビットはバスオフ状態時に“1”にしてください。
注3. “1”にした後自動的に“0”になります。読んだ場合“0”が読めます。
注4. TSRCビットはCANオペレーションモード時に“1”にしてください。
注5. CANM[1:0]、SLPMビットを変更した場合は、STRレジスタでモードが切り替わることを確認してください。
モードが切り替わるまで、CANM[1:0]、SLPMビットは変更しないでください。
注6. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。SLPMビットを書き替える場合は、本ビットのみ“0”または“1”にしてください。

MBM ビット（送受信メールボックスモード選択ビット）

MBM ビットが “0”（通常メールボックスモード）の場合、メールボックス [0] ～ [31] は送信または受信メールボックスに設定されます。

MBM ビットが “1”（FIFO メールボックスモード）の場合、メールボックス [0] ～ [23] は送信または受信メールボックスに設定され、メールボックス [24] ～ [27] は送信 FIFO に、メールボックス [28] ～ [31] は受信 FIFO に設定されます。

送信データはメールボックス [24] に書き込み（メールボックス [24] は送信 FIFO のウィンドウメールボックスです）、受信データはメールボックス [28] から読み出します（メールボックス [28] は受信 FIFO のウィンドウメールボックスです）。

表 32.4 にメールボックスの設定を示します。

IDFM[1:0] ビット（ID フォーマットモードビット）

IDFM[1:0] ビットは、ID フォーマットを決定します。

MLM ビット（メッセージロストモード選択ビット）

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバライトモードまたはオーバランモードを選択できます。すべてのメールボックス（受信 FIFO を含む）は、オーバライトモードかオーバランモードのどちらかになります。

MLM ビットが “0” の場合、すべてのメールボックスはオーバライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

MLM ビットが “1” の場合、すべてのメールボックスはオーバランモードになり、新しいメッセージは破棄されます。

TPM ビット（送信優先順位モード選択ビット）

メッセージを送信する場合の優先順のモードを指定します。

TPM ビットは、ID 優先モードまたはメールボックス番号優先モードを選択します。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信どちらかになります。

TPM ビットが “0” の場合、ID 優先送信モードとなり、送信優先順位は CAN バスアービトレーションルール（ISO11898-1 仕様）に準拠します。ID 優先送信モードは、通常メールボックスモードのときメールボックス [0] ～ [31]、FIFO メールボックスモードのときメールボックス [0] ～ [23] と送信 FIFO の送信に設定されたメールボックスの ID を比較します。2 つ以上のメールボックスの ID が同じ場合、小さい番号のメールボックスが優先されます。

次に送信 FIFO から送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信 FIFO のメッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

TPM ビットが “1” の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス（メールボックス [0]~[23]）よりも優先順位が低くなります。

TSRC ビット（タイムスタンプカウンタリセットビット）

TSRCビットを“1”にするとTSRレジスタは0000hになります。その後、このビットは自動的に“0”になります。

TSPS[1:0] ビット（タイムスタンププリスケーラ選択ビット）

タイムスタンプ用のプリスケーラを選択します。タイムスタンプの基準クロックは、1、2、4、または 8 ビットタイムから選択できます。

CANM[1:0] ビット（CAN 動作モード選択ビット）

CANM[1:0] ビットは、CAN モジュールのモード（CAN オペレーションモード、CAN リセットモード、CAN Halt モード）を選択するビットです。CAN スリープモードは SLPM ビットで設定します。詳細は「32.3　動作モード」を参照してください。

BOM[1:0] ビットの設定によって CAN Halt モードへ移行した場合は、CANM[1:0] ビットは自動的に “10b” になります。

SLPM ビット（CAN スリープモードビット）

SLPM ビットを “1” にすると CAN モジュールは CAN スリープモードになります。SLPM ビットを “0” にすると、CAN スリープモードは解除されます。詳細は、「32.3　動作モード」を参照してください。

BOM[1:0] ビット（バスオフ復帰モード選択ビット）

BOM[1:0] ビットは CAN モジュールのバスオフ復帰モードの選択に使用します。

BOM[1:0] ビットが “00b” の場合、バスオフからの復帰は ISO11898-1 仕様に準拠します。すなわち、CAN モジュールは、11 の連続するレセシブビットを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが “01b” の場合、CAN モジュールがバスオフ状態に達すると、CAN Halt モードに移行し、CTLR レジスタの CANM[1:0] ビットが “10b”（CAN Halt モード）になります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは “00h” になります。

BOM[1:0] ビットが “10b” の場合、CAN モジュールがバスオフ状態に達すると、CANM[1:0] ビットが “10b” になり、バスオフ状態から復帰した（11 の連続するレセシブビットを 128 回検出）後に、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは “00h” になります。

BOM[1:0] ビットが “11b” の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを “10b” にすると、CAN Halt モードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは “00h” になります。しかし、CANM[1:0] ビットを “10b” にする前に 11 の連続するレセシブビットを 128 回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールが CAN Halt モードに移行するのと同時（BOM[1:0] ビット = “01b” のとき：バスオフ開始、または BOM[1:0] ビット = “10b” のとき：バスオフ終了）に、CPU が CAN リセットモードへの移行を要求した場合は、CPU の要求が優先されます。

RBOC ビット（バスオフ強制復帰ビット）

バスオフ状態時に RBOC ビットを “1”（バスオフからの強制復帰）にするとバスオフ状態から強制的に復帰します。その後、このビットは自動的に “0” になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。RBOC ビットを “1” にすると、RECR、TECR レジスタは “00h” になり、STR レジスタの BOST ビットは “0”（CAN モジュールはバスオフ状態ではない）になります。他のレジスタは RBOC ビットを “1” にしても変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが “00b”（ノーマルモード）のときのみ使用してください。

表32.4　メールボックスの設定

メールボックス	MBMビット = “0” （通常メールボックスモード）	MBMビット = “1” （FIFOメールボックスモード）
メールボックス[0]～[23]	通常メールボックス	通常メールボックス
メールボックス[24]～[27]		送信FIFO
メールボックス[28]～[31]		受信FIFO

注.　CTLR.MBMビットが“1”のときは以下の1.～5.の点に注意してください。

1. 送信 FIFO は TFCR レジスタで制御します。メールボックス [24] ～ [27] の MCTLj (j=0 ～ 31) レジスタは無効です。MCTL24 ～ MCTL27 レジスタは送信 FIFO では使用できません。
2. 受信 FIFO は RFCR レジスタで制御します。メールボックス [28] ～ [31] の MCTLj (j=0 ～ 31) レジスタは無効です。MCTL28 ～ MCTL31 レジスタは受信 FIFO では使用できません。
3. FIFO 割り込みについては MIER レジスタを参照してください。
4. MKIVLR レジスタのメールボックス [24] ～ [31] に対応するビットは無効です。これらのビットは “0” にしてください。
5. 送信 / 受信 FIFO はデータフレーム／リモートフレームを使用可能です。

32.2.2 ビットコンフィグレーションレジスタ（BCR）

アドレス　0009 0844h

	0009 0844h								0009 0845h							
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSEG1[3:0]				—	—	BRP[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	0009 0846h								0009 0847h							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SJW[1:0]		—	TSEG2[2:0]			—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御ビット	b10 b8 0 0 0：（設定しないでください。） 0 0 1：2Tq 0 1 0：3Tq 0 1 1：4Tq 1 0 0：5Tq 1 0 1：6Tq 1 1 0：7Tq 1 1 1：8Tq	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SJW[1:0]	再同期ジャンプ幅制御ビット	b13 b12 0 0：1Tq 0 1：2Tq 1 0：3Tq 1 1：4Tq	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b16	BRP[9:0]	プリスケーラ分周比選択ビット	CAN通信クロック（fCANCLK）の周波数を設定します	R/W
b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-28	TSEG1[3:0]	タイムセグメント1制御ビット	b31 b28 0 0 0 0：設定しないでください 0 0 0 1：設定しないでください 0 0 1 0：設定しないでください 0 0 1 1：4Tq 0 1 0 0：5Tq 0 1 0 1：6Tq 0 1 1 0：7Tq 0 1 1 1：8Tq 1 0 0 0：9Tq 1 0 0 1：10Tq 1 0 1 0：11Tq 1 0 1 1：12Tq 1 1 0 0：13Tq 1 1 0 1：14Tq 1 1 1 0：15Tq 1 1 1 1：16Tq	R/W

【記号説明】Tq：Time Quantum

BCR レジスタは、セグメントの長さを Tq 値で指定するレジスタです。

ビットタイミングの設定については、「32.4　CAN 通信速度の設定」を参照してください。

BCR レジスタは、CAN リセットモードから CAN Halt モードまたは CAN オペレーションモードへ移行する前に設定してください。1 度設定すると CAN リセットモードまたは CAN Halt モードで変更できます。

BCR レジスタは 24 ビットです。32 ビットでアクセスする場合は、b0 ～ b7 を書き替えないように注意してください。

TSEG2[2:0] ビット（タイムセグメント 2 制御ビット）

フェーズバッファセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。2 ～ 8Tq の値が設定可能です。TSEG1[3:0] ビットより小さな値を設定してください。

SJW[1:0] ビット（再周期ジャンプ幅制御ビット）

再同期ジャンプ幅（Resynchronization Jump Width）を Tq 値で指定します。1 ～ 4Tq の値が設定可能です。TSEG2[2:0] ビット以下の値を設定してください。

BRP[9:0] ビット（プリスケーラ分周比選択ビット）

CAN 通信クロック（fCANCLK）の周波数設定に使用します。fCANCLK の周期が 1Tq となります。設定値 P（0 ～ 1023）とすると、ボーレートプリスケーラは fCAN を P+1 で分周します。

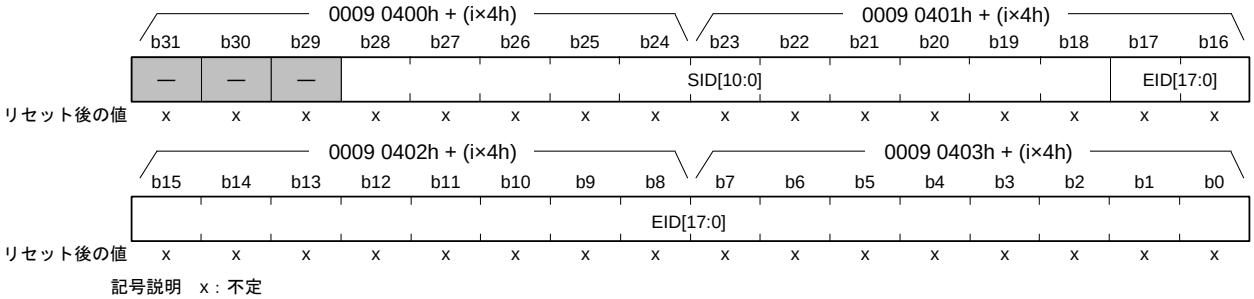
TSEG1[3:0] ビット（タイムセグメント 1 制御ビット）

プロパゲーションタイムセグメント（PROP_SEG）とフェーズバッファセグメント 1（PHASE_SEG1）の合計長を Time Quantum（Tq）値で指定します。

4 ～ 16Tq の値が設定可能です。

32.2.3　マスクレジスタ i（MKRi）（i = 0 ～ 7）

アドレス　0009 0400h～0009 041Ch



記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0：対応するEID[17:0]ビットは比較されない 1：対応するEID[17:0]ビットは比較される	R/W
b28-b18	SID[10:0]	標準IDビット	0：対応するSID[10:0]ビットは比較されない 1：対応するSID[10:0]ビットは比較される	R/W
b31-b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください。	R/W

FIFO メールボックスモードでのマスク機能については、「32.6　アクセプタンスフィルタ機能とマスク機能」を参照してください。

なお、MKR0 ～ MKR7 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット（拡張 ID ビット）

EID[17:0] ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。

拡張 ID のメッセージを受信する場合に使用します。

EID[17:0] ビットが “0” の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較しません。

EID[17:0] ビットが “1” の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較します。

SID[10:0] ビット（標準 ID ビット）

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。

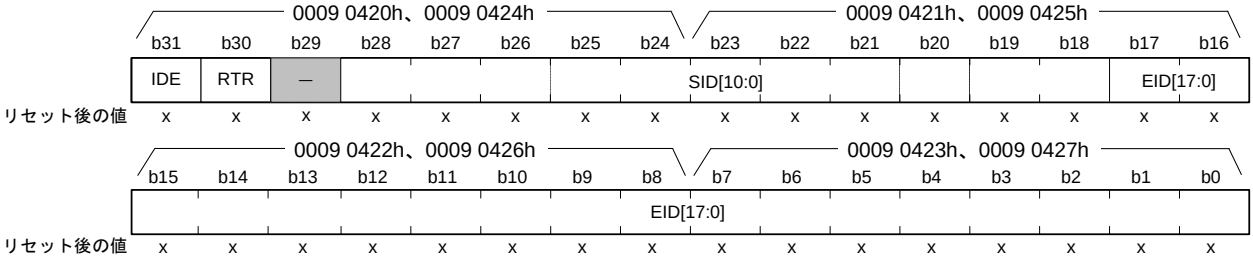
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

SID[10:0] ビットが “0” の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較しません。

SID[10:0]ビットが“1”の場合、対応するSID[10:0]ビットは、受信したIDとメールボックスのIDを比較します。

32.2.4 FIFO 受信 ID 比較レジスタ 0、1（FIDCR0、FIDCR1）

アドレス　FIDCR0 0009 0420h
FIDCR1 0009 0424h



記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0：対応するEID[17:0]ビットは“0” 1：対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0：対応するSID[10:0]ビットは“0” 1：対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット（注1）	0：標準ID 1：拡張ID	R/W

注1.　IDFM[1:0]ビットが“10b”以外のときはIDEビットには“0”を書いてください。また、読んだ場合、その値は“0”です。

FIDCR0、FIDCR1 レジスタは、CTLR レジスタの MBM ビットが “1”（FIFO メールボックスモード）のとき有効です。MB28 ～ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効です。

FIDCR0、FIDCR1 レジスタの使用方法については、「32.6　アクセプタンスフィルタ機能とマスク機能」を参照してください。

FIDCR0、FIDCR1 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID[17:0] ビット（拡張 ID ビット）

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。
拡張 ID のメッセージを受信する場合に使用します。

SID[10:0] ビット（標準 ID ビット）

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

RTR ビット（リモート送信要求ビット）

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが “0” の場合、データフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが “1” の場合、リモートフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの RTR ビットが “0” と “1” のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

IDE ビット（ID 拡張ビット）

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTLR レジスタの IDFM[1:0] ビットが “10”（ミックス ID モード）のとき有効です。

- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが “0” の場合、標準 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが “1” の場合、拡張 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの IDE ビットが “0” と “1” のそれぞれ異なる設定の場合、標準 ID と拡張 ID のフレームの両方を受信できます。

32.2.5 マスク無効レジスタ（MKIVLR）

アドレス　0009 0428h

	0009 0428h								0009 0429h							
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	0009 0430h								0009 0431h							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	0：マスク有効 1：マスク無効	R/W

MKIVLR レジスタには、各メールボックスに対応するビットが含まれます。

各ビットの対応を以下に示します。

MKIVLR レジスタのビット 0 はメールボックス 0 に対応し、ビット 31 はメールボックス 31 にそれぞれ対応しています。(注 1)

該当するビットが “1” になると、該当するアクセプタンスマスクレジスタが対応するメールボックスに対して無効になります。マスク無効ビットを “1” にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合のみ対応するメールボックスが受信します。

なお、MKIVLR レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

注 1.　FIFO メールボックスモード時はビット 31 ～ 24 を “0” にしてください。

32.2.6 メールボックスレジスタ j（MBj）（j = 0 ～ 31）

表 32.5 にメールボックスのメモリ配置、表 32.6 に CAN データフレームの構成を示します。

メールボックスのリセット後の値は不定です。

MBj レジスタは、関連する MCTLj レジスタ（j = 0 ～ 31）が “00h” で、かつアボート処理中でないときにのみ MBj レジスタの設定を変更してください。

レジスタアドレスの詳細については表 32.5 を参照してください。

表32.5　メールボックスのメモリ配置

アドレス	レジスタシンボル	メッセージ内容
CAN0	CAN0	メモリ配置
0009 0200h + 16×j + 0	MB.ID	IDE、RTR、SID10～SID6
0009 0200h + 16×j + 1		SID5～SID0、EID17、EID16
0009 0200h + 16×j + 2		EID15～EID8
0009 0200h + 16×j + 3		EID7～EID0
0009 0200h + 16×j + 4	MB.DLC	－
0009 0200h + 16×j + 5		データ長コード（DLC[3:0]）
0009 0200h + 16×j + 6	MB.DATA0～7	データバイト0
0009 0200h + 16×j + 7 : 0009 0200h + 16×j + 13		データバイト1 : データバイト7
0009 0200h + 16×j + 14	MB.TS	タイムスタンプ上位バイト
0009 0200h + 16×j + 15		タイムスタンプ下位バイト

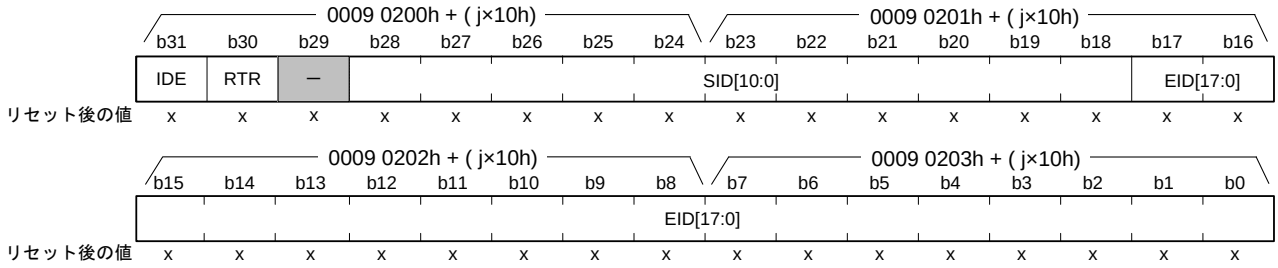
表32.6　CANデータフレームの構成

SID10～SID6	SID5～SID0	EID17～EID16	EID15～EID8	EID7～EID0	DLC3～DLC0	DATA0	DATA1	・・・	DATA7

各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

(a)　MB.ID

アドレス　0009 0200h～0009 03FFh



記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット（注1）	0：対応するEID[17:0]ビットは“0” 1：対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0：対応するSID[10:0]ビットは“0” 1：対応するSID[10:0]ビットは“1”	R/W
b29	－	予約ビット	読む場合、その値は不定です。書き込みは“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット（注2）	0：標準ID 1：拡張ID	R/W

注1.　メールボックスが標準IDのメッセージを受信すると、メールボックスのEID[17:0]ビットの値は不定になります。
注2.　IDEビットは、CTLRレジスタのIDFM[1:0]ビットが“10b”（ミックスIDモード）のときに有効です。IDFM[1:0]ビットが“10b”以外のときにはIDEビットに“0”を書いてください。また、読んだ場合、その値は“0”です。

EID[17:0] ビット（拡張 ID ビット）

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。
拡張 ID のメッセージを受信する場合に使用します。

SID[10:0] ビット（標準 ID ビット）

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

RTR ビット（リモート送信要求ビット）

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- 受信メールボックスは、RTR ビットが指定するフォーマットのフレームのみ受信する
- 送信メールボックスは、RTR ビットが指定するフレームフォーマットに応じて送信を行う
- 受信FIFOメールボックスは、FIDCR0、FIDCR1レジスタのRTRビットが指定するデータフレームとリモートフレームを受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの RTR ビットで選択したデータフレームまたはリモートフレームを送信する

IDE ビット（ID 拡張ビット）

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTLR レジスタの IDFM[1:0] ビットが “10b”（ミックス ID モード）のとき有効です。

- 受信メールボックスは、IDE ビットが指定する ID フォーマットのみ受信する
- 送信メールボックスは、IDE ビットが指定する ID フォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの IDE ビットが指定する標準 ID と拡張 ID を受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの IDE ビットで選択した標準 ID または拡張 ID のメッセージを送信する

(b) MB.DLC

アドレス 0009 0204h～0009 03F4h

	0009 0204h + (j×10h)								0009 0205h + (j×10h)							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	DLC[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コードビット（注1）	b3　b0 ００００：データ長0バイト ０００１：データ長1バイト ００１０：データ長2バイト ００１１：データ長3バイト ０１００：データ長4バイト ０１０１：データ長5バイト ０１１０：データ長6バイト ０１１１：データ長7バイト １ｘｘｘ：データ長8バイト 注．ｘ：任意の値です	R/W
b15-b4	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1.　メールボックスが8より小さいDLC[3:0]のメッセージを受信すると、メールボックスのDLC[3:0]より大きいDATAは不定になります。

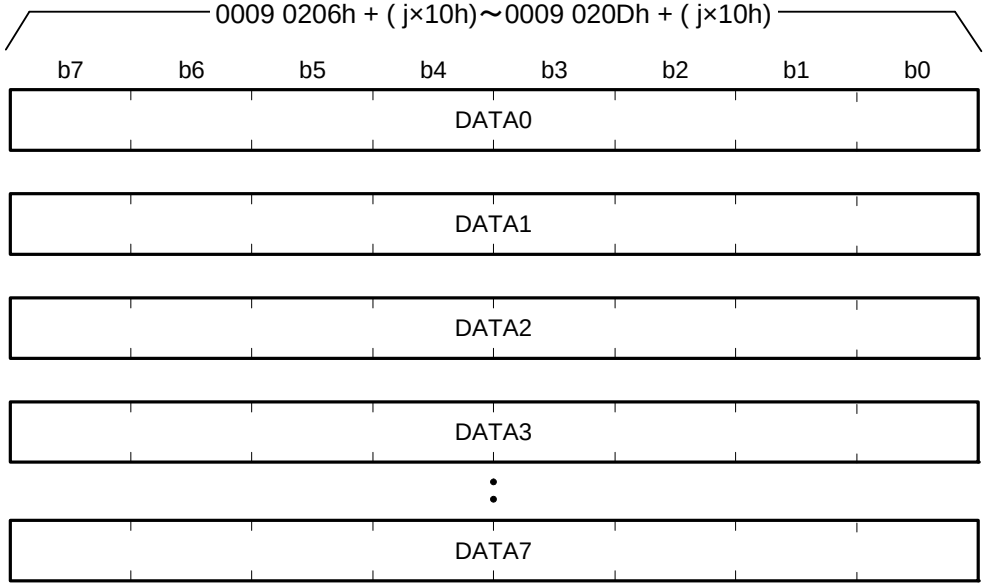
DLC[3:0] ビット（データ長コードビット）

DLC[3:0] ビットはデータフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

(c) MB.DATA0 ～ 7

アドレス 0009 0206h～0009 03FDh



リセット後の値　X X X X X X X X

記号説明　x：不定

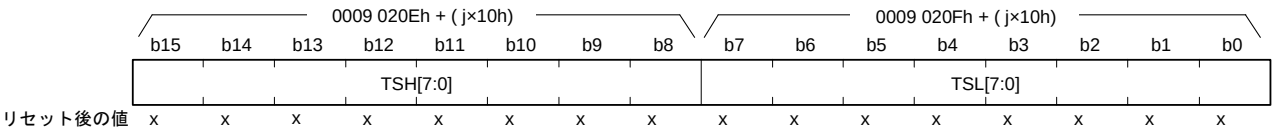
ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0-DATA7	データ長コードビット（注1、注2）	DATA0～7は送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます。	R/W

注1.　メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATAn～DATA7の値は不定になります。

注2.　メールボックスがリモートフレームを受信した場合、メールボックスのDATA0～DATA7は以前の値が保持されます。

(d) MB.TS

アドレス　0009 020Eh～0009 03FFh



記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]とTSL[7:0]は受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

32.2.7 メールボックス割り込み許可レジスタ（MIER）

- 通常メールボックスモード

アドレス　0009 042Ch

	0009 042Ch								0009 042Dh							
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	0009 042Eh								0009 042Fh							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	–	割り込み許可ビット	0：割り込み禁止 1：割り込み許可 ビット31はメールボックス31、ビット0はメールボックス0にそれぞれ対応	R/W

- FIFO メールボックスモード

アドレス　0009 042Ch

	0009 042Ch								0009 042Dh							
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	0009 042Eh								0009 042Fh							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

注.　x：不定

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	割り込み許可ビット	0：割り込み禁止 1：割り込み許可 ビット23はメールボックス23、ビット0はメールボックス0にそれぞれ対応	R/W
b24	—	送信FIFO割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b25	—	送信FIFO割り込み発生タイミング制御ビット	0：送信FIFO割り込み要求は、毎回の送信完了後発生 1：送信FIFO割り込み要求は、送信完了により送信FIFOが空き状態になったとき発生	R/W
b27-b26	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b28	—	受信FIFO割り込み許可ビット	0：割り込み禁止 1：割り込み許可	R/W
b29	—	受信FIFO割り込み発生タイミング制御ビット（注1）	0：受信FIFO割り込み要求は、毎回の受信完了後発生 1：受信FIFO割り込み要求は、受信完了により受信FIFOがバッファワーニングになったとき発生	R/W
b31-b30	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1.　受信FIFOがフルからバッファワーニングとなった場合、割り込み要求は発生しません。なお、バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIER レジスタは、メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード（すべてのビット）と FIFO メールボックスモード（MIER レジスタのビット 23 ～ 0）では、それぞれのビットは各メールボックスに対応します。これらのビットは、対応するメールボックスの送信完了／受信完了割り込みを許可／禁止します。

- MIER レジスタのビット 0 はメールボックス 0 に対応
- MIER レジスタのビット 31 はメールボックス 31 に対応

FIFO メールボックスモードの MIER レジスタのビット 29、28、25、24 は送信 / 受信 FIFO 割り込みの許可／禁止と割り込み要求が発生するタイミングを指定します。

MIER レジスタは、関連する MCTLj レジスタ（j = 0 ～ 31）が “00h” で、対応するメールボックスが送受信アボートの処理をしていないときにのみ変更してください。また、FIFO 動作モード時は、TFCR.TFE ビットが ”0” で TFEST ビットが “1”、RFCR.RFE ビットが “0” で RFCR.RFEST ビットが “1” のときのみ、関連する FIFO の MIER レジスタのビットを変更してください。

32.2.8 メッセージ制御レジスタ j（MCTLj）（j = 0 ～ 31）

アドレス 0009 0820h～0009 083F

- MCTL.TX
  送信モード（TRMREQビットが“1”、RECREQビットが“0”の場合）

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

- MCTL.RX
  受信モード（TRMREQビットが“0”、RECREQビットが“1”の場合）

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ（注1、注2）	0：送信が終了していない 1：送信完了	R/W
	NEWDATA	受信完了フラグ（注1、注2）	0：データが受信されていない、またはNEWDATAビットに”0”を書いた場合 1：新しいメッセージをメールボックスに格納中または格納された場合	R/W
b1	TRMACTIVE	送信中ステータスビット	（送信メールボックス設定時有効） 0：送信待機中または送信要求なし 1：送信要求の取り込みから、送信完了、エラー発生、またはアービトレーションロスト発生まで	R
	INVALDATA	受信中ステータスビット	（受信メールボックス設定時有効） 0：メッセージは有効 1：メッセージを更新中	R
b2	TRMABT	送信アボート完了フラグ（注1、注2）	（送信メールボックス設定時有効） 0：送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない 1：送信アボート完了	R/W
	MSGLOST	メッセージロストフラグ（注1、注2）	（受信メールボックス設定時有効） 0：メッセージはオーバライトまたはオーバランされていない 1：メッセージはオーバライトまたはオーバランされた	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ONESHOT	ワンショット許可ビット（注3）	0：ワンショット受信またはワンショット送信禁止 1：ワンショット受信またはワンショット送信許可	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	RECREQ	受信メールボックス設定ビット（注2、注3、注4、注5）	0：受信メールボックスに設定しない 1：受信メールボックスに設定する	R/W
b7	TRMREQ	送信メールボックス設定ビット（注2、注4）	0：送信メールボックスに設定しない 1：送信メールボックスに設定する	R/W

注1. “0”のみ書けます（“1”を書いても変化しません）
注2. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで“0”を書く場合は、論理演算（AND.B）命令は使用しないでください。“0”にしたいビットを“0”、そうでないビットを“1”にして、転送（MOV）命令を使用してください。
注3. ワンショット受信モードに移行するときは、RECREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット受信モードを解除するときは、RECREQビットに“0”を書いた後、RECREQビットが“0”になったのを確認してからONESHOTビットに“0”を書いてください。ワンショット送信モードに移行するときは、TRMREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後にONESHOTビットに“0”を書いてください。
注4. RECREQビットとTRMREQビットの両方を“1”にしないでください。
注5. RECREQビットを“0”にするときには、NEWDATA、MSGLOSTフラグとRECREQビットは同時に“0”にしてください。

MCTLj レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。
FIFO メールボックスモードでは、MCTL24 ～ MCTL31 レジスタは使用しないでください。

SENTDATA フラグ（送信完了フラグ）

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると “1” になります。SENTDATA フラグは、プログラムで “0” を書くと “0” になります。

SENTDATA フラグを “0” にする場合は、TRMREQ ビットを “0” にしてから SENTDATA フラグを “0” にしてください。SENTDATA フラグと TRMREQ ビットは同時に “0” になりません。メールボックスから新しいメッセージを転送するには、SENTDATA フラグを “0” にしてください。

NEWDATA フラグ（受信完了フラグ）

NEWDATA フラグは、メールボックスに新しいメッセージを格納中または格納が完了したときに “1” になります。“1” になるタイミングは、INVALDATA ビットと同時です。NEWDATA フラグは、プログラムで “0” を書くと “0” になります。関連する INVALDATA ビットが “1” の間は、NEWDATA フラグはプログラムで “0” を書いても “0” にできません。

TRMACTIVE ビット（送信中ステータスビット）

TRMACTIVE ビットは、CAN モジュールから対応するメールボックスのメッセージ送信を開始すると “1” になります。TRMACTIVE ビットは、CAN モジュールが CAN バスアービトレーションに負けるか、CAN バスエラーが起こるか、あるいはデータ送信が完了すると “0” になります。

INVALDATA ビット（受信中ステータスビット）

INVALDATA ビットは、メッセージの受信完了後、受信したメッセージをメールボックスに更新中に “1” になります。INVALDATA ビットは、メッセージの格納完了時点で “0” になります。INVALDATA ビットが “1” の間にメールボックスを読んだ場合、データは不定値になります。

TRMABT フラグ（送信アボート完了フラグ）

TRMABT フラグは、次の場合、“1”（送信アボート完了）になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合
- ワンショット送信モード（RECREQ ビットが “0”、TRMREQ ビットが “1”、ONESHOT ビットが “1”）で、CAN モジュールが CAN バスアービトレーション負けまたは CAN バスエラーを検出した場合

TRMABT フラグは、データ送信が完了しても “1” にはなりません。データ送信が完了した場合は SENTDATA フラグが “1” になります。TRMABT フラグは、“0” を書くと “0” になります。

MSGLOST フラグ（メッセージロストフラグ）

MSGLOST フラグは、NEWDATA フラグが “1” の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり、破棄されたりした場合、“1” になります。EOF の 6 番目のビットの終わりで “1” になります。MSGLOST フラグは、プログラムで “0” を書くと “0” になります。

オーバライトモードとオーバランモードの両方において、EOF の 6 番目のビットに続く周辺モジュールクロック（PCLK）の 5 サイクルの間は、MSGLOST フラグはプログラムで “0” を書いても “0” にできません。

ONESHOT ビット（ワンショット許可ビット）

ONESHOT ビットは受信モードと送信モードの 2 つの使い方があります。

- ワンショット受信モード
  受信モード（RECREQ ビットが “1”、TRMREQ ビットが “0”）のとき ONESHOT ビットを “1” にすると、メールボックスはメッセージを 1 回のみ受信します（メッセージを 1 回受信完了した後は受信メールボックスとして動作しません）。NEWDATA フラグおよび INVALDATA ビットの動作は、通常の受信モードと同じです。このモードでは、MSGLOST フラグは “1” にはなりません。ONESHOT ビットを “0” にする場合、RECREQ ビットへ“0”を書いた後、RECREQ ビットが“0”になることを確認してから行ってください。
- ワンショット送信モード
  送信モード（RECREQ ビットが “0”、TRMREQ ビットが “1”）のとき ONESHOT ビットを “1” にすると、CAN モジュールはメッセージを 1 回のみ送信しようとします（CAN バスエラーまたは CAN バスアービトレーション負けの場合でも、メッセージの再送信を行いません）。送信が完了した場合、SENTDATA フラグが “1” になります。CAN バスエラーまたは CAN バスアービトレーション負けによって送信が完了しない場合は、TRMABT フラグが “1” になります。ONESHOT ビットを “0” にする場合は、SENTDATA フラグが “1” または TRMABT フラグが “1” になった後に行ってください。

RECREQ ビット（受信メールボックス設定ビット）

RECREQ ビットは**表 32.11** に示す受信モードを選択します。

RECREQ ビットを “1” にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

RECREQ ビットを “0” にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、RECREQ ビットはプログラムで “0” を書いても “0” になりません。

- ハードウェアプロテクトの開始

アクセプタンスフィルタ処理の開始（CRC フィールドの始まり）

- ハードウェアプロテクトの解除

－メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後（すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで）

－その他のメールボックスは、アクセプタンスフィルタ処理後

－受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQ ビットを “1” にする場合は、TRMREQ ビットを “1” にしないでください。メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA フラグと TRMABT フラグを “0” にしてください。

TRMREQ ビット（送信メールボックス設定ビット）

TRMREQ ビットは表 32.11 に示す送信モードを選択します。

TRMREQ ビットを “1” にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

TRMREQ ビットを “0” にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQ ビットを “1” から “0” に変更すると、送信アボート要求が完了したかしていないかを確認するために、最大 1 フレームの遅延で、TRMABT フラグまたは SENTDATA フラグが “1” になります。TRMREQ ビットを “1” にする場合は、RECREQ ビットを “1” にしないでください。メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、そして NEWDATA フラグと MSGLOST フラグを “0” にしてください。

32.2.9 受信 FIFO 制御レジスタ（RFCR）

アドレス　0009 0848h

	b7	b6	b5	b4	b3	b2	b1	b0
	RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]			RFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信FIFO許可ビット	0：受信FIFO禁止 1：受信FIFO許可	R/W
b3-b1	RFUST[2:0]	受信FIFO未読メッセージ数ステータスビット	b3　b1 ０ ０ ０：未読メッセージなし ０ ０ １：未読メッセージ1件あり ０ １ ０：未読メッセージ2件あり ０ １ １：未読メッセージ3件あり １ ０ ０：未読メッセージ4件あり １ ０ １：予約 １ １ ０：予約 １ １ １：予約	R
b4	RFMLF	受信FIFOメッセージロストフラグ	0：受信FIFOメッセージロスト未発生 1：受信FIFOメッセージロスト発生	R/W
b5	RFFST	受信FIFOフルステータスビット	0：受信FIFOはフルではない 1：受信FIFOはフル（未読メッセージ4件）	R
b6	RFWST	受信FIFOバッファワーニングステータスフラグ	0：受信FIFOはバッファワーニングではない 1：受信FIFOはバッファワーニング（未読メッセージ3件）	R
b7	RFEST	受信FIFO空ステータスフラグ	0：受信FIFOに未読メッセージあり 1：受信FIFOに未読メッセージなし	R

RFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

RFE ビット（受信 FIFO 許可ビット）

RFE ビットを “1” にすると、受信 FIFO が受信許可になります。

RFE ビットを “0” にすると、受信 FIFO は受信禁止になり、空状態（RFEST ビットが “1”）になります。RFMLF ビットと同時に RFE ビットに “0” を書いてください。

通常メールボックスモード（CTLR レジスタの MBM ビットが “0”）では RFE ビットを “1” にしないでください。以下の期間はハードウェアプロテクトがかかり、RFE ビットはプログラムで “0” を書いても “0” にできません。

- ハードウェアプロテクトの開始
  －アクセプタンスフィルタ処理の開始（CRC フィールドの始まり）
- ハードウェアプロテクトの解除
  －メッセージの受信に受信 FIFO が指定された場合は、受信メッセージが受信 FIFO に格納された後、または CAN バスエラーが発生した後（すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで）
  －受信 FIFO が指定されない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] ビット（受信 FIFO 未読メッセージ数ステータスビット）

RFUST[2:0] ビットは、受信 FIFO 内の未読メッセージの数を示します。

RFE ビットを “0” にすると、RFUST[2:0] ビットの値は “000b” になります。

RFMLF フラグ（受信 FIFO メッセージロストフラグ）

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF ビットは “1”（受信 FIFO メッセージロスト発生）になります。“1” になるタイミングは、EOF の 6 番目のビットの終わりです。

RFMLF ビットはプログラムで “0” を書くと “0” になります。“1” を書いても変化しません。オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアのプロテクトにより EOF の 6 番目のビットに続く周辺モジュールクロック（PCLK）の 5 サイクルの間は、RFMLF ビットは “0”（受信 FIFO メッセージロスト未発生）になりません。

RFFST ビット（受信 FIFO フルステータスビット）

受信 FIFO 内の未読メッセージが 4 件になると、RFFST ビットは “1”（受信 FIFO はフル）になります。受信 FIFO 内の未読メッセージが 4 件未満になると、RFFST ビットは “0”（受信 FIFO はフルではない）になります。RFE ビットを “0” にすると、RFFST ビットは “0” になります。

RFWST フラグ（受信 FIFO バッファワーニングステータスフラグ）

受信 FIFO 内の未読メッセージが 3 件になると、RFWST ビットは “1”（受信 FIFO はバッファワーニング）になります。受信 FIFO 内の未読メッセージの数が 3 未満または 4 件になると、RFWST ビットは “0”（受信 FIFOはバッファワーニングではない）になります。RFEビットを“0”にすると、RFWSTビットは“0”になります。

RFEST フラグ（受信 FIFO 空ステータスフラグ）

受信 FIFO 内の未読メッセージがなくなると、RFEST ビットは “1”（受信 FIFO に未読メッセージなし）になります。RFE ビットを “0” にすると、RFEST ビットは “1” になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST ビットは “0”（受信 FIFO に未読メッセージあり）になります。

図 32.2 に受信 FIFO メールボックスの動作を示します。

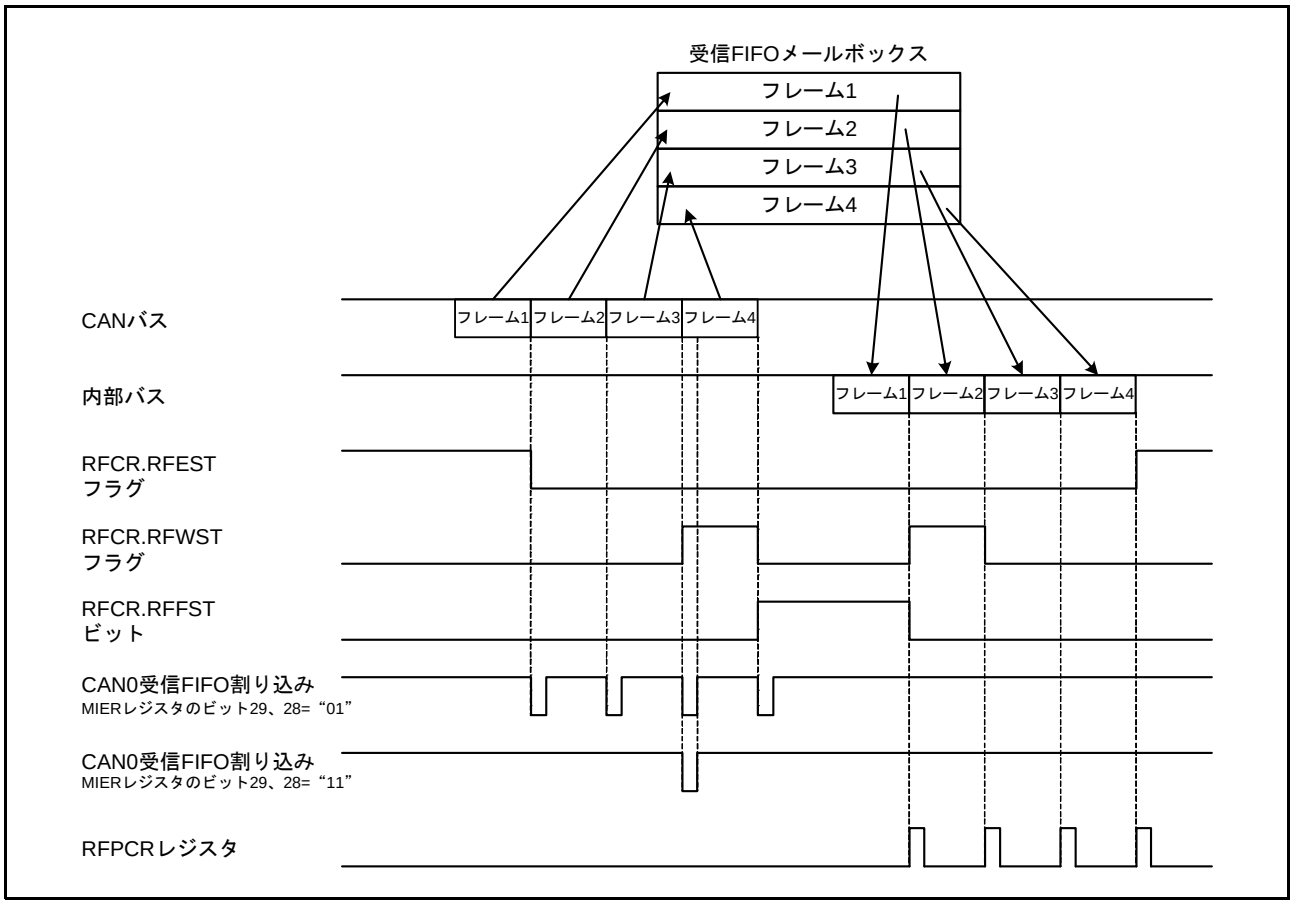


図 32.2　受信 FIFO メールボックスの動作（MIER レジスタのビット 29、28 が “01” または “11”）

32.2.10 受信 FIFO ポインタ制御レジスタ（RFPCR）

アドレス　0009 0849h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	RFPCR レジスタに“FFh”を書き込むと、受信FIFOのCPU側ポインタが移動	W

受信 FIFO が空状態でないとき、受信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、RFPCR レジスタにプログラムで “FFh” を書いてください。

RFCR レジスタの RFE ビットが “0”（受信 FIFO 禁止）のときは、RFPCR レジスタに書かないでください。受信オーバライトモードで RFFST ビットが “1”（受信 FIFO はフル）のときに新しいメッセージが受信されると、CAN 側ポインタと CPU 側ポインタの両方が移動します。この状態で、RFMLF ビットが “1” のとき、プログラムで RFPCR レジスタに書き込んでも CPU 側ポインタは移動しません。

32.2.11 送信 FIFO 制御レジスタ（TFCR）

アドレス　0009 084Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	TFEST	TFFST	—	—	TFUST[2:0]			TFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信FIFO許可ビット	0：送信FIFO禁止 1：送信FIFO許可	R/W
b3-b1	TFUST[2:0]	送信FIFO未送信メッセージ数ステータスビット	b3 b2 b1 0 0 0：未送信メッセージなし 0 0 1：未送信メッセージ1件 0 1 0：未送信メッセージ2件 0 1 1：未送信メッセージ3件 1 0 0：未送信メッセージ4件 1 0 1：予約 1 1 0：予約 1 1 1：予約	R
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	TFFST	送信FIFOフルステータスビット	0：送信FIFOはフルではない 1：送信FIFOはフル（未送信4件）	R
b7	TFEST	受信FIFO空ステータスビット	0：送信FIFOに未送信メッセージあり 1：送信FIFOに未送信メッセージなし	R

TFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

TFE ビット（送信 FIFO 許可ビット）

TFE ビットを “1” にすると、送信 FIFO が送信許可になります。

TFE ビットを “0” にすると、送信 FIFO は空状態（TFEST ビットが “1”）になり、次のように送信 FIFO からの未送信メッセージが失われます。

- 送信 FIFO からの次の送信予定がなく、また送信中でもないとき、直ちに空状態になります。
- 送信 FIFO からの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、アービトレーション負け、または CAN Halt モードへの移行に続いて空状態になります。

TFE ビットを再度 “1” にする前に、TFEST ビットが “1” になっているか確認してください。TFE ビットを “1” にした後、送信データを MB24 レジスタに書いてください。

通常メールボックスモード（CTLR レジスタの MBM ビットが “0”）では、TFE ビットを “1” にしないでください。

TFUST[2:0] ビット（送信 FIFO 未送信メッセージ数ステータスビット）

TFUST[2:0] ビットは、送信 FIFO 内の未送信メッセージの数を表示します。

送信 FIFO の送信アボートが完了すると、TFUST[2:0] ビットの値は “000b” になります。

TFFST ビット（送信 FIFO フルステータスビット）

送信 FIFO 内の未送信メッセージの数が 4 件になると、TFFST ビットは “1”（送信 FIFO はフル）になります。送信 FIFO 内の未送信メッセージの数が 4 未満になると、TFFST ビットは “0”（送信 FIFO はフルではない）になります。送信 FIFO の送信アボートが完了すると、TFFST ビットは “0” になります。

TFEST ビット（受信 FIFO 空ステータスビット）

送信 FIFO 内の未送信メッセージがなくなると、TFEST ビットは “1”（送信 FIFO にメッセージなし）になります。送信 FIFO の送信アボートが完了すると、TFEST ビットは “1” になります。送信 FIFO 内の未送信メッセージの数が 1 件以上になると、TFEST ビットは “0”（送信 FIFO にメッセージあり）になります。

図 32.3 に送信 FIFO メールボックスの動作を示します。

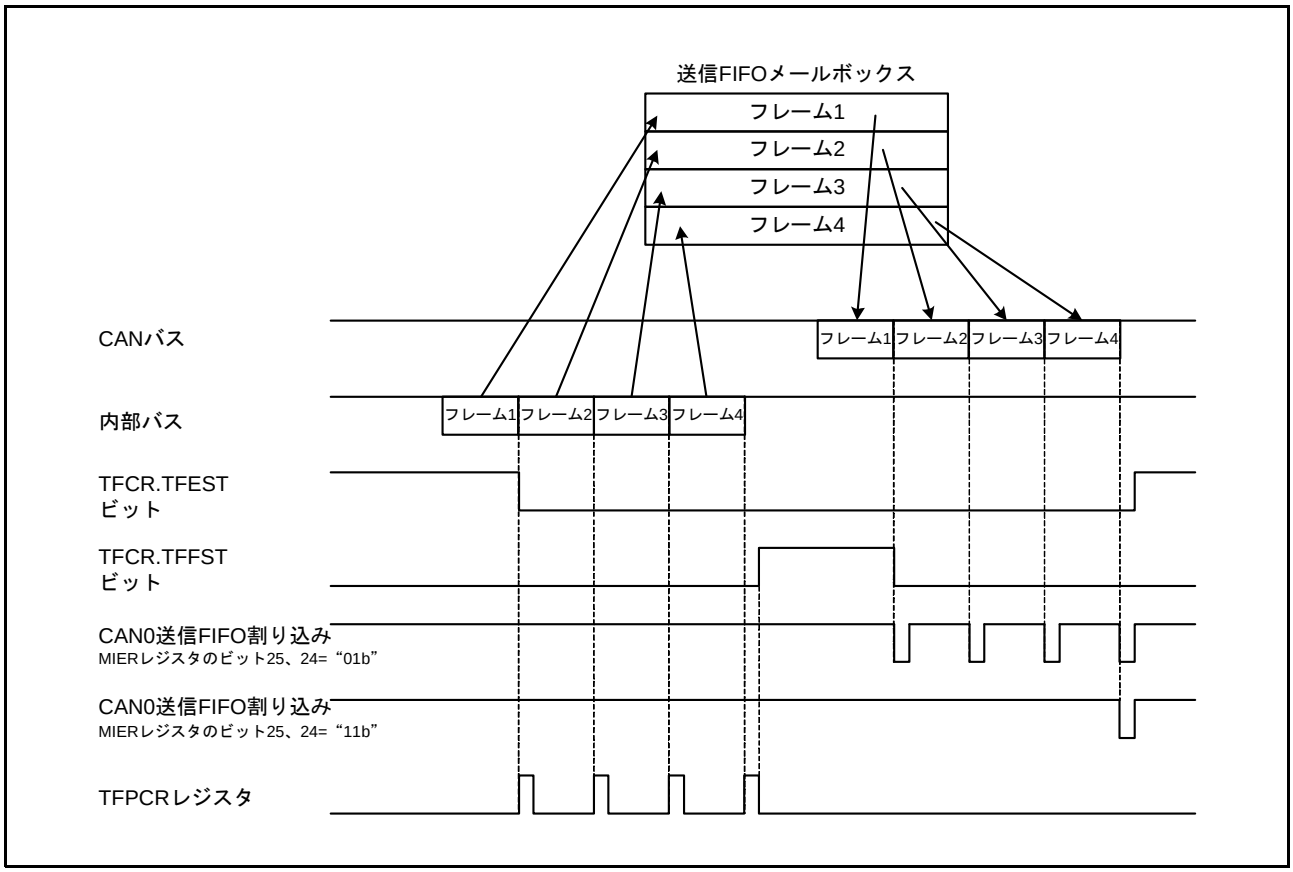


図 32.3　送信 FIFO メールボックスの動作（MIER レジスタのビット 25、24 が “01b” または “11b”）

32.2.12 送信 FIFO ポインタ制御レジスタ（TFPCR）

アドレス　0009 084Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	TFPCR レジスタに"FFh"を書き込むと、CPU 側の送信 FIFO ポインタが移動	W

送信 FIFO がフルでないとき、送信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、TFPCR レジスタにプログラムで “FFh” を書いてください。

TFCR.TFE ビットが “0”（送信 FIFO 禁止）のときは、TFPCR レジスタに書かないでください。

32.2.13 ステータスレジスタ（STR）

アドレス　0009 0842h

	0009 0842h								0009 0843h							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0：NEWDATAフラグが“1”のメールボックスなし 1：NEWDATAフラグが“1”のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0：SENTDATAフラグが“1”のメールボックスなし 1：SENTDATAフラグが“1”のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0：受信FIFOにメッセージなし（空） 1：受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0：送信FIFOはフル 1：送信FIFOはフルではない	R
b4	NMLST	通常メッセージロストステータスフラグ	0：MSGLOSTフラグが“1”のメールボックスなし 1：MSGLOSTフラグが“1”のメールボックスあり	R
b5	FMLST	FIFOメッセージロストステータスフラグ	0：RFMLFビットが“0” 1：RFMLFビットが“1”	R
b6	TABST	送信アボートステータスフラグ	0：TRMABTビットが“1”のメールボックスなし 1：TRMABTビットが“1”のメールボックスあり	R
b7	EST	エラーステータスフラグ	0：エラーなし 1：エラー発生	R
b8	RSTST	CANリセットステータスフラグ	0：CANリセットモードではない 1：CANリセットモード	R
b9	HLTST	CAN Haltステータスフラグ	0：CAN Haltモードではない 1：CAN Haltモード	R
b10	SLPST	CANスリープステータスフラグ	0：CANスリープモードではない 1：CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0：エラーパッシブ状態ではない 1：エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0：バスオフ状態ではない 1：バスオフ状態	R
b13	TRMST	送信ステータスフラグ（transmitter）	0：バスアイドルまたは受信中 1：送信中またはバスオフ状態	R
b14	RECST	受信ステータスフラグ（receiver）	0：バスアイドルまたは送信中 1：受信中	R
b15	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

NDST フラグ（NEWDATA ステータスフラグ）

MCTLj.NEWDATA フラグ（j = 0 ～ 31）が 1 つでも “1” になると、MIER レジスタの値とは無関係に NDST フラグは “1” になります。NEWDATA フラグがすべて “0” になると、NDST フラグは “0” になります。

SDST フラグ（SENTDATA ステータスフラグ）

MCTLj.SENTDATA フラグ（j = 0 ～ 31）が 1 つでも “1” になると、MIER レジスタの値とは無関係に SDST フラグは “1” になります。SENTDATA フラグがすべて “0” になると、SDST フラグは “0” になります。

RFST フラグ（受信 FIFO ステータスフラグ）

RFST フラグは、受信 FIFO が空状態以外になると “1” になります。受信 FIFO が空状態か通常メールボックスモードになると “0” になります。

TFST フラグ（送信 FIFO ステータスビット）

TFST フラグは、送信 FIFO がフル以外になると “1” になります。送信 FIFO がフルか通常メールボックスモードになると “0” になります。

NMLST フラグ（通常メッセージロストステータスフラグ）

MCTLj.MSGLOST フラグが 1 つでも “1” になると、MIER レジスタの値とは無関係に NMLST フラグは “1” になります。MSGLOST フラグがすべて “0” になると、NMLST フラグは “0” になります。

FMLST フラグ（FIFO メッセージロストステータスフラグ）

RFCR.RFMLF ビットが “1” になると、MIER レジスタの値とは無関係に FMLST フラグは “1” になります。RFMLF フラグが “0” のとき、FMLST フラグは “0” になります。

TABST フラグ（送信アボートステータスフラグ）

MCTLj.TRMABT フラグが一つでも “1” になると、MIER レジスタの値とは無関係に TABST ビットは “1” になります。TRMABT フラグがすべて “1” でないとき、TABST フラグは “0” になります。

EST フラグ（エラーステータスフラグ）

EIFR レジスタで一つでもエラーが検出されると、EIER レジスタの値とは無関係に EST フラグは “1” になります。EIFR レジスタで 1 つもエラーが検出されない場合は、EST フラグは “0” になります。

RSTST フラグ（CAN リセットステータスフラグ）

RSTST フラグは、CAN リセットモードになると “1” になります。CAN リセットモードまたは CAN リセットモードから移行した CAN スリープモード以外になると “0” になります。CAN リセットモードから CAN スリープモードに移行しても、RSTST フラグは “1” のままです。

HLTST フラグ（CAN Halt ステータスフラグ）

HLTST フラグは、CAN Halt モードになると “1” になります。CAN Halt モードまたは CAN Halt モードから移行した CAN スリープモード以外になると “0” になります。CAN Halt モードから CAN スリープモードに移行しても、HLTST フラグは “1” のままです。

SLPST フラグ（CAN スリープステータスフラグ）

SLPST フラグは、CAN スリープモードになると “1” になります。CAN スリープモード以外になると “0” になります。

EPST フラグ（エラーパッシブステータスフラグ）

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態（128 ≦ TEC ＜ 256 または 128 ≦ REC ＜ 256）になると、EPST フラグは “1” になります。エラーパッシブ状態以外になると、EPST フラグは “0” になります。

BOST フラグ（バスオフステータスフラグ）

TECR レジスタの値が 255 を超えて CAN モジュールがバスオフ状態（TEC ≧ 256）になると、BOST フラグは “1” になります。バスオフ状態以外になると、BOST フラグは “0” になります。

TRMST フラグ（送信ステータスフラグ）（transmitter）

CAN モジュールが送信ノードかバスオフ状態になると TRMST フラグは “1” になります。受信ノードかバスアイドル状態になると TRMST フラグは “0” になります。

RECST フラグ（受信ステータスフラグ）（receiver）

CAN モジュールが受信ノードになると RECST フラグは “1” になります。送信ノードかバスアイドル状態になると RECST フラグは “0” になります。

32.2.14　メールボックスサーチモードレジスタ（MSMR）

アドレス　0009 0853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MBSM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択ビット	b1 b0 ０ ０：受信メールボックス検索モード ０ １：送信メールボックス検索モード １ ０：メッセージロスト検索モード １ １：チャネル検索モード	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MSMR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

MBSM[1:0] ビット（メールボックス検索モード選択ビット）

MBSM[1:0] ビットはメールボックス検索機能のための検索モードを選択します。

MBSM[1:0] ビットが “00b” の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタ（j = 0 ～ 31）の通常メールボックスでの NEWDATA フラグと RFCR レジスタの RFEST ビットです。

MBSM[1:0] ビットが “01b” の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj.SENTDATA フラグです。

MBSM[1:0] ビットが “10b” の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの通常メールボックスでの MSGLOST フラグと RFCR.RFMLF フラグです。

MBSM[1:0] ビットが “11b” の場合、チャネル検索モードになります。

このモードで検索対象となるレジスタは CSSR レジスタです。「32.2.16　チャネルサーチサポートレジスタ（CSSR）」を参照してください。

32.2.15 メールボックスサーチステータスレジスタ（MSSR）

アドレス　0009 0852h

	b7	b6	b5	b4	b3	b2	b1	b0
	SEST	—	—	MBNST[4:0]				
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータスビット	MSMRレジスタの各モードで検索された、最小のメールボックス番号を表示	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SEST	検索結果空ステータスビット	0：検索結果あり 1：検索結果なし	R

MBNST[4:0] ビット（検索結果メールボックス番号ステータスビット）

MBNST[4:0] ビットは、MSMR レジスタの各モードで検索された、最小のメールボックス番号が表示されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが “0” になる
- より優先順位の高いメールボックスの NEWDATA、SENTDATA、または MSGLOST フラグが “1” になる

MBSM[1:0] ビットが “00b”（受信メールボックス検索モード）および “10”（メッセージロスト検索モード）のとき、受信 FIFO が空状態でなく、すべての通常メールボックス（メールボックス [0] ～ [23]）に未読の受信メッセージもロストメッセージもない場合、受信 FIFO（メールボックス [28]）が出力されます。MBSM[1:0] ビットが “01b”（送信メールボックス検索モード）のとき、送信 FIFO（メールボックス [24]）は出力されません。表 32.7 に FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャネル検索モードでは、MBNST[4:0] ビットはメールボックス番号が出力されます。MBNST[4:0] ビットは MSSR レジスタがプログラムで読み出された後に、次のターゲットチャネル番号が出力されます。

SEST ビット（検索結果空ステータスビット）

すべてのメールボックスの検索で該当するメールボックスがない場合、SEST ビットは “1”（検索結果なし）になります。たとえば、送信メールボックス検索モードで、SENTDATA フラグが “1” のメールボックスが 1 つもない場合、SEST ビットは “1” になり、1 つでもある場合、“0” になります。SEST ビットが “1” の場合、MBNST[4:0] ビットの値は不定です。

表32.7　FIFOメールボックスモードでのMBNST[4:0]ビットの動作

MBSM[1:0]ビット	メールボックス[24] （送信FIFO）	メールボックス[28] （受信FIFO）
“00”	メールボックス[24]は表示されない	通常メールボックスのどのMCTLj.NEWDATAフラグも“1”（新しいメッセージがメールボックスに格納中または格納された）にならず、また受信FIFOが空でない場合はメールボックス[28]が表示される j=0～23
“01”		メールボックス[28]は表示されない
“10”		通常メールボックスのどのMCTLj.MSGLOSTフラグも“1”（メッセージはオーバライトまたはオーバランされた）にならず、受信FIFO内のRFCR.RFMLFビットが“1”（受信FIFOメッセージロスト発生）になるとメールボックス[28]が表示される j=0～23
“11”		メールボックス[28]は表示されない

32.2.16　チャネルサーチサポートレジスタ（CSSR）

アドレス　0009 0851h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	チャネル検索の値が入力された場合、チャネル番号をMSSRレジスタに出力	R/W

“1” になった CSSR レジスタのビットは、8/3 エンコーダ（最小ビット位置がより高い優先順位）によってエンコードされ、MSSR レジスタの MBNST[4:0] ビットに出力されます。

MSSR レジスタは、MSSR レジスタをプログラムで読み出す度に更新された値が表示されます。

なお、CSSR レジスタは、MSMR レジスタの MBSM[1:0] ビットが “11b”（チャネル検索モード）のときのみ変更してください。CSSR レジスタは、CAN リセットモードでは設定できません。

図 32.4 に CSSR、MSSR レジスタの書き込みと読み出しを示します。

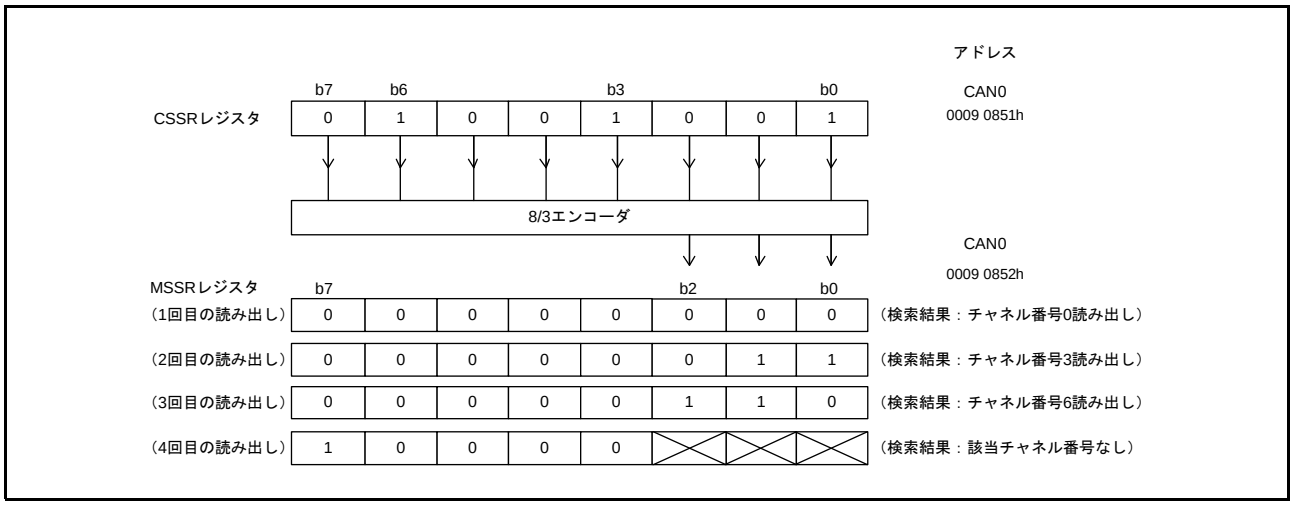


図 32.4　CSSR、MSSR レジスタの書き込みと読み出し

SSR レジスタの値も MSSR レジスタを読み出す度に更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

32.2.17　アクセプタンスフィルタサポートレジスタ（AFSR）

アドレス　0009 0856h

	0009 0856h								0009 0857h							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

記号説明　x：不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値を読めます	R/W

アクセプタンスフィルタサポートユニット（ASU）は、あらかじめユーザにより作成された全標準 ID が有効か無効かを 1 ビット単位で設定したデータテーブル（8 ビット ×256）の検索に使用できます。受信した標準 ID が格納された MBj.SID[10:0] ビット（j = 0 ～ 31）を含む 16 ビット単位のデータを AFSR レジスタへ書くと、デコードされたデータテーブル検索用の行（バイトオフセット）位置と列（ビット）位置が読み出せます。ASU は、標準（11 ビット）ID のみに使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合
  （例）受信する ID：078h、087h、111h
- 受信する ID が多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合

なお、AFSR レジスタは、CAN リセットモードでは設定できません。

図 32.5 に AFSR レジスタの書き込み、読み出しを示します。

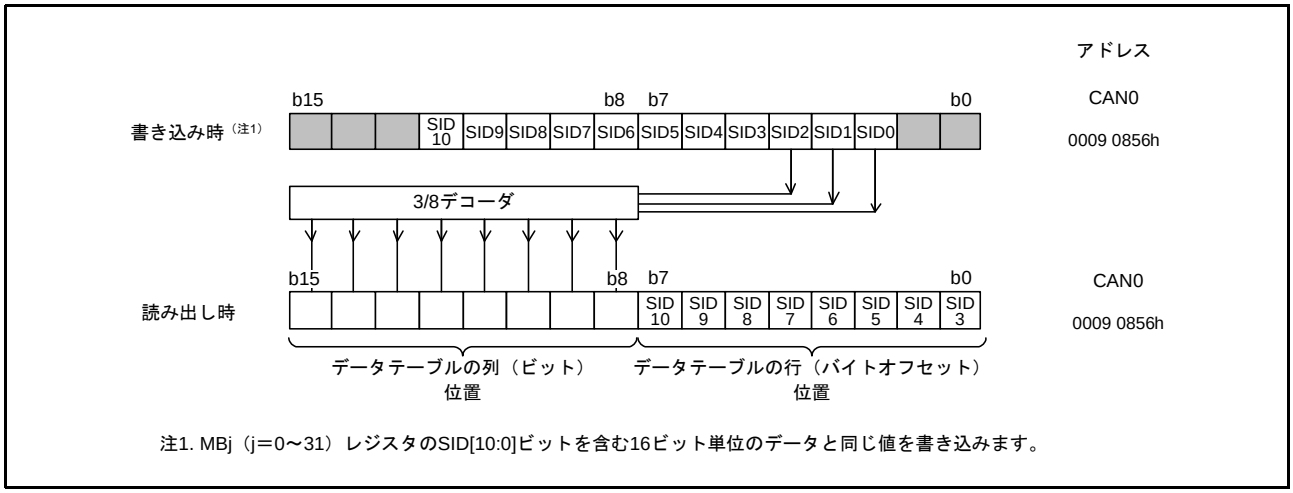


図 32.5　AFSR レジスタの書き込み、読み出し

32.2.18 エラー割り込み許可レジスタ（EIER）

アドレス　0009 084Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可ビット	0：バスエラー割り込み禁止 1：バスエラー割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可ビット	0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可	R/W
b2	EPIE	エラーパッシブエントリ割り込み許可ビット	0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可ビット	0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可ビット	0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可	R/W
b5	ORIE	オーバラン割り込み許可ビット	0：受信オーバラン割り込み禁止 1：受信オーバラン割り込み許可	R/W
b6	OLIE	オーバロードフレーム送信割り込み許可ビット	0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可	R/W
b7	BLIE	バスロック割り込み許可ビット	0：バスロック割り込み禁止 1：バスロック割り込み許可	R/W

EIER レジスタは、EIFR レジスタの個々のエラー割り込み要因に対して個別にエラー割り込みを許可／禁止するレジスタです。

EIER レジスタは、CAN リセットモード時のみ変更してください。

BEIE ビット（バスエラー割り込み許可ビット）

BEIE ビットを “0” にすると、EIFR.BEIF フラグが “1” になっても、エラー割り込み要求は発生しません。BEIE ビットを “1” にすると、BEIF フラグが “1” になった場合、エラー割り込み要求が発生します。

EWIE ビット（エラーワーニング割り込み許可ビット）

EWIE ビットを “0” にすると、EIFR.EWIF フラグが “1” になっても、エラー割り込み要求は発生しません。EWIE ビットを “1” にすると、EWIF フラグが “1” になった場合、エラー割り込み要求が発生します。

EPIE ビット（エラーパッシブエントリ割り込み許可ビット）

EPIE ビットを “0” にすると、EIFR.EPIF フラグが “1” になっても、エラー割り込み要求は発生しません。EPIE ビットを “1” にすると、EPIF フラグが “1” になった場合、エラー割り込み要求が発生します。

BOEIE ビット（バスオフ開始割り込み許可ビット）

BOEIE ビットを “0” にすると、EIFR.BOEIF フラグが “1” になっても、エラー割り込み要求は発生しません。BOEIE ビットを “1” にすると、BOEIF フラグが “1” になった場合、エラー割り込み要求が発生します。

BORIE ビット（バスオフ復帰割り込み許可ビット）

BORIE ビットを “0” にすると、EIFR.BORIF フラグが “1” になっても、エラー割り込み要求は発生しません。BORIE ビットを “1” にすると、BORIF フラグが “1” になった場合、エラー割り込み要求が発生します。

ORIE ビット（オーバラン割り込み許可ビット）

ORIE ビットを “0” にすると、EIFR.ORIF フラグが “1” になっても、エラー割り込み要求は発生しません。ORIE ビットを “1” にすると、ORIF フラグが “1” になった場合、エラー割り込み要求が発生します。

OLIE ビット（オーバロードフレーム送信割り込み許可ビット）

OLIE ビットを “0” にすると、EIFR.OLIF フラグが “1” になっても、エラー割り込み要求は発生しません。OLIE ビットを “1” にすると、OLIF フラグの設定条件が “1” になった場合、エラー割り込み要求が発生します。

BLIE ビット（バスロック割り込み許可ビット）

BLIE ビットを “0” にすると、EIFR.BLIF フラグが “1” になっても、エラー割り込み要求は発生しません。BLIE ビットを “1” にすると、BLIF フラグが “1” になった場合、エラー割り込み要求が発生します。

32.2.19 エラー割り込み要因判定レジスタ（EIFR）

アドレス　0009 084Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0：バスエラー未検出 1：バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0：エラーワーニング未検出 1：エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0：エラーパッシブ未検出 1：エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0：バスオフ開始未検出 1：バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0：バスオフ復帰未検出 1：バスオフ復帰検出	R/W
b5	ORIF	受信オーバラン検出フラグ	0：受信オーバラン未検出 1：受信オーバラン検出	R/W
b6	OLIF	オーバロードフレーム送信検出フラグ	0：オーバロードフレーム送信未検出 1：オーバロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0：バスロック未検出 1：バスロック検出	R/W

EIFR レジスタは、各フラグに対応する現象が発生すると、EIER レジスタの設定にかかわらず対応するフラグが “1” になります。

各フラグを “0” にする場合は、“0” を書いてください。“1” になるタイミングとプログラムで “0” にするタイミングが同時の場合、そのビットは “1” になります。

また、各フラグを “0” にする場合、論理演算（AND.B）命令は使用しないでください。フラグを “0” にする場合は転送（MOV）命令を使用し、該当するビットに “0”、その他のビットに “1” を書いてください。“1” を書いてもこれらのフラグの値は変化しません。

BEIF フラグ（バスエラー検出フラグ）

バスエラーが検出されると、BEIF フラグは “1” になります。

EWIF フラグ（エラーワーニング検出フラグ）

REC または TEC の値が 95 を超えると、EWIF フラグは “1” になります。

EWIF フラグは、REC または TEC が最初に 95 を超えたときのみ “1” になります。したがって、REC または TEC が 95 を超えたままで、EWIF フラグにプログラムで “0” を書いた場合、1 度 REC または TEC が 95 以下になり、95 を超えるまでは “1” にはなりません。

EPIF フラグ（エラーパッシブ検出フラグ）

CAN エラーステートがエラーパッシブ状態（REC（受信エラーカウンタ）または TEC の値が 127 を超える）になると、EPIF フラグは “1” になります。

EPIF フラグは、REC または TEC が最初に 127 を超えたときのみ “1” になります。したがって、REC または TEC が 127 を超えたままで、EPIF フラグにプログラムで “0” を書いた場合、一度 REC または TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは “1” にはなりません。

BOEIF フラグ（バスオフ開始検出フラグ）

CAN エラーステートがバスオフ状態（TEC（送信エラーカウンタ）の値が 255 を超える）になると、BOEIF フラグは “1” になります。CTLR レジスタの BOM[1:0] ビットが “01b”（バスオフ開始で自動的に CAN Halt モードへ移行）で、CAN モジュールがバスオフ状態になった場合も、BOEIF フラグは “1” になります。

BORIF フラグ（バスオフ復帰検出フラグ）

CAN モジュールが次の条件でバスオフ状態から通常復帰（11 の連続するレセシブビットを 128 回検出）した場合、BORIF フラグは “1” になります。

- CTLR.BOM[1:0] ビットが “00b”
- CTLR.BOM[1:0] ビットが “10b”
- CTLR.BOM[1:0] ビットが “11b”

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、BORIF フラグは “1” になりません。

- CTLR.CANM[1:0] ビットを “01b” または “11b”（CAN リセットモード）にしたとき
- CTLR.RBOC ビットを “1”（バスオフからの強制復帰）にしたとき
- CTLR.BOM[1:0] ビットが “01b” のとき
- CTLR.BOM[1:0] ビットが “11b” で、通常復帰が発生する前に、CTLR.CANM[1:0] ビットを “10b”（CAN Halt モード）にしたとき

ORIF フラグ（受信オーバラン検出フラグ）

受信オーバランが発生すると、ORIF フラグは “1” になります。ORIF フラグはオーバライトモードでは “1” になりません。

オーバライトモードの場合、オーバライト条件が発生すると、受信完了割り込み要求が発生し、ORIF フラグは “1” にはなりません。

通常メールボックスモードの場合、オーバランモードで、メールボックス [0] ～ [31] のいずれかでオーバランが発生すると、ORIF フラグは “1” になります。FIFO メールボックスモードでは、オーバランモードで、メールボックス [0] ～ [23] のいずれかまたは受信 FIFO でオーバランが発生すると、ORIF フラグは “1” になります。

OLIF フラグ（オーバロードフレーム送信検出フラグ）

CAN モジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、OLIF フラグは “1” になります。

BLIF フラグ（バスロック検出フラグ）

CAN モジュールが CAN オペレーションモードの間、CAN バス上に 32 の連続するドミナントビットを検出すると、BLIF フラグは “1” になります。

“1” になった後、次のいずれかの条件が成立するとバスクロックを再検出できるようになります。

- このフラグを “1” から “0” にした後、レセシブビットを検出（バスクロック解消）。
- このフラグを “1” から “0” にした後、CAN リセットモードに移行し、再度 CAN オペレーションモードに移行（内部リセット）。

表 32.8 に CTLR.BOM[1:0] ビットの設定による BOEIF、BORIF フラグの動作を示します。

表32.8　CTLR.BOM[1:0]ビットの設定によるBOEIF、BORIFフラグの動作

BOM[1:0]ビット	BOEIFフラグ	BORIFフラグ
00	バスオフ状態への遷移時“1”になる	バスオフ状態からの復帰時“1”になる
01		“1”にはならない
10		バスオフ状態からの復帰時“1”になる
11		CANM[1:0]ビットが“10b”（CAN Haltモード）になる前に、通常のバスオフ状態からの復帰が発生した場合“1”になる

32.2.20 受信エラーカウントレジスタ（RECR）

アドレス　0009 084Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	受信エラーカウント機能	受信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

RECR レジスタは、受信エラーカウンタの値を示すレジスタです。
受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。
RECR レジスタは、バスオフ状態時の値は不定になります。

32.2.21 送信エラーカウントレジスタ（TECR）

アドレス　0009 084Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	送信エラーカウント機能	送信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

TECR レジスタは、送信エラーカウンタの値を示すレジスタです。
送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。
TECR レジスタは、バスオフ状態時の値は不定になります。

32.2.22 エラーコード格納レジスタ（ECSR）

アドレス　0000 0850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ（注1、注2）	0：スタッフエラー未検出 1：スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ（注1、注2）	0：フォームエラー未検出 1：フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ（注1、注2）	0：ACKエラー未検出 1：ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ（注1、注2）	0：CRCエラー未検出 1：CRCエラー検出	R/W
b4	BE1F	ビットエラー（レセシブ）フラグ（注1、注2）	0：ビットエラー未検出 1：ビットエラー（レセシブ）検出	R/W
b5	BE0F	ビットエラー（ドミナント）フラグ（注1、注2）	0：ビットエラー未検出 1：ビットエラー（ドミナント）検出	R/W
b6	ADEF	ACKデリミタエラーフラグ（注1、注2）	0：ACKデリミタエラー未検出 1：ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択ビット（注3、注4）	0：最初に検出されたエラーコードを出力 1：蓄積したエラーコードを出力	R/W

注1.　“1”を書いてもこれらのビットの値は変化しません。
注2.　SEF、FEF、AEF、CEF、BE1F、BE0F、ADEF ビットに対して “0” を書く場合は、論理演算（AND.B）命令は使用しないでください。ビットを“0”にする場合は転送（MOV）命令を使用し、該当するビットに“0”、その他のビットに“1”を書いてください。
注3.　EDPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。
注4.　同時に1つ以上のエラー条件が検出された場合は、関係するすべてのビットが“1”になります。

ECSR レジスタは、CAN バス上のエラーの発生をモニタリングする場合に使用するレジスタです。

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。

EDPM ビット以外の各ビットを “0” にする場合は、プログラムで “0” を書いてください。各ビットが “1” になるタイミングと “0” を書くタイミングが同じ場合、そのビットは “1” になります。

SEF フラグ（スタッフエラーフラグ）

スタッフエラーを検出すると、SEF フラグは “1” になります。

FEF フラグ（フォームエラーフラグ）

フォームエラーを検出すると、FEF フラグは “1” になります。

AEF フラグ（ACK エラーフラグ）

ACK エラーを検出すると、AEF フラグは “1” になります。

CEF フラグ（CRC エラーフラグ）

CRC エラーを検出すると、CEF フラグは “1” になります。

BE1F フラグ（ビットエラー（レセシブ）フラグ）

レセシブビットエラーを検出すると、BE1F フラグは “1” になります。

BE0F フラグ（ビットエラー（ドミナント）フラグ）

ドミナントビットエラーを検出すると、BE0F フラグは “1” になります。

ADEF フラグ（ACK デリミタエラーフラグ）

送信中の ACK デリミタでフォームエラーを検出すると、ADEF フラグは “1” になります。

EDPM ビット（エラー表示モード選択ビット）

EDPM ビットは、ECSR レジスタの出力モードを設定します。EDPM ビットを “0” にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを “1” にすると、ECSR レジスタは蓄積したエラーコードを出力します。

32.2.23 タイムスタンプレジスタ（TSR）

アドレス　0009 0854h

	0009 0854h								0009 0855h							
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	タイムスタンプレジスタ	タイムスタンプ機能のためのフリーランカウンタ値	R

注.　TSRレジスタの読み出しは16ビット単位で実行してください。

TSR レジスタを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は 1 ビットタイムを逓倍したもので、CTLR レジスタの TSPS[1:0] ビットで設定します。

タイムスタンプカウンタは、CAN スリープモードおよび CAN Halt モードで停止し、CAN リセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときのタイムスタンプカウンタの値が MB レジスタの TSL[7:0]、TSH[7:0] ビットへ格納されます。

32.2.24　テスト制御レジスタ（TCR）

アドレス　0009 0858h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TSTM		TSTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTE	テストモード許可ビット	0：CANテストモード禁止 1：CANテストモード許可	R/W
b2-b1	TSTM	CANテストモード選択ビット	b2　b1 0　0：CANテストモードではない 0　1：リッスンオンリモード 1　0：セルフテストモード0（外部ループバック） 1　1：セルフテストモード1（内部ループバック）	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR レジスタは、CAN テストモードの制御を行うレジスタです。TCR レジスタは、CAN Halt モード時のみ変更してください。

(1)　リッスンオンリモード

CAN 仕様（ISO11898-1）では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 32.6 にリッスンオンリモード選択時の接続を示します。

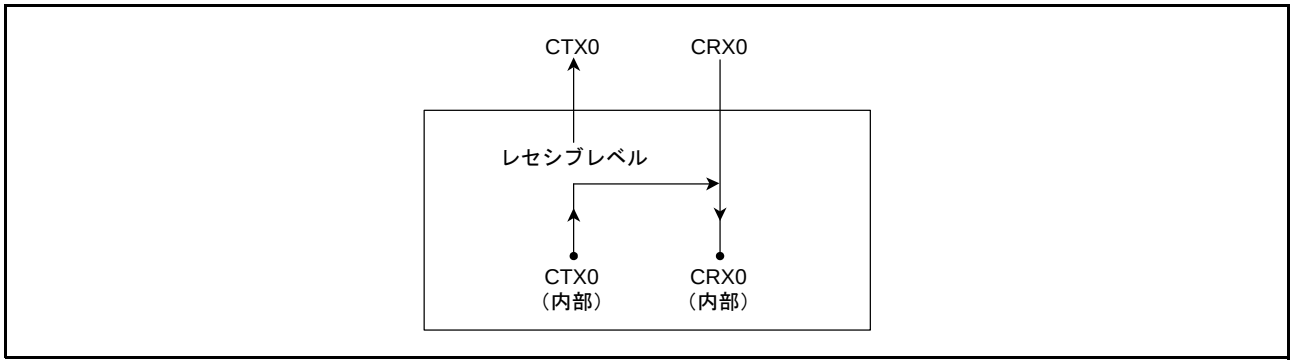


図 32.6　リッスンオンリモード選択時の接続

(2) セルフテストモード 0（外部ループバック）

セルフテストモード 0 は CAN トランシーバテスト用 (自ノードの自己診断機能) です。CTX0/CRX0 端子は CAN トランシーバに接続してください。

セルフテストモード 0 では、ネットワーク上に他のノードを繋がっていない場合にも自己診断テストができるように自ノードから ACK ビットを送信することで CAN の正常通信を確認します。

図 32.7 にセルフテストモード 0 選択時の接続を示します。

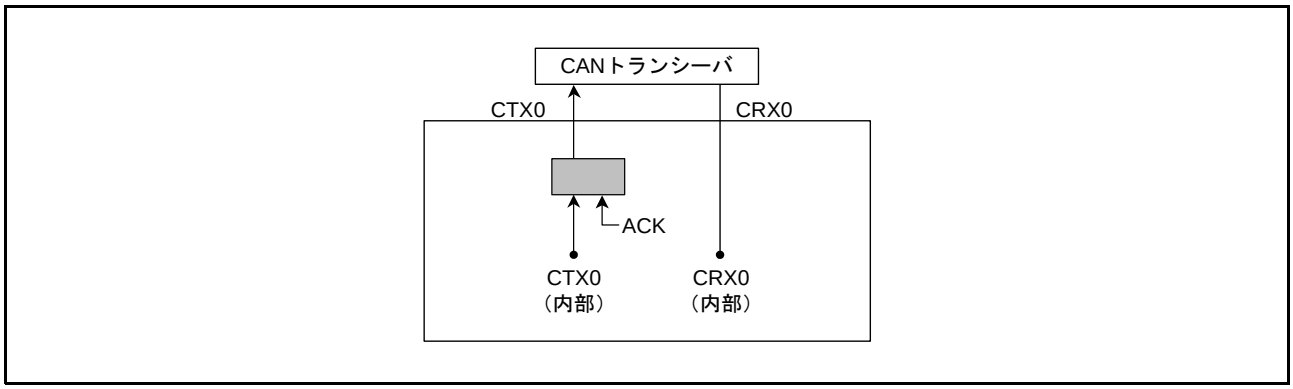


図 32.7　セルフテストモード 0 選択時の接続

(3) セルフテストモード 1（内部ループバック）

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信バッファに格納します。外部から独立して行う機能のため、ACK ビットを生成します。

セルフテストモード 1 では内部 CTX0 端子から内部 CRX0 端子への内部フィードバックを行います。外部 CRX0 端子の入力の値は無視されます。外部 CTX0 端子はレセシブビットのみ出力します。CTX0/CRX0 端子は CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 32.8 にセルフテストモード 1 選択時の接続を示します。

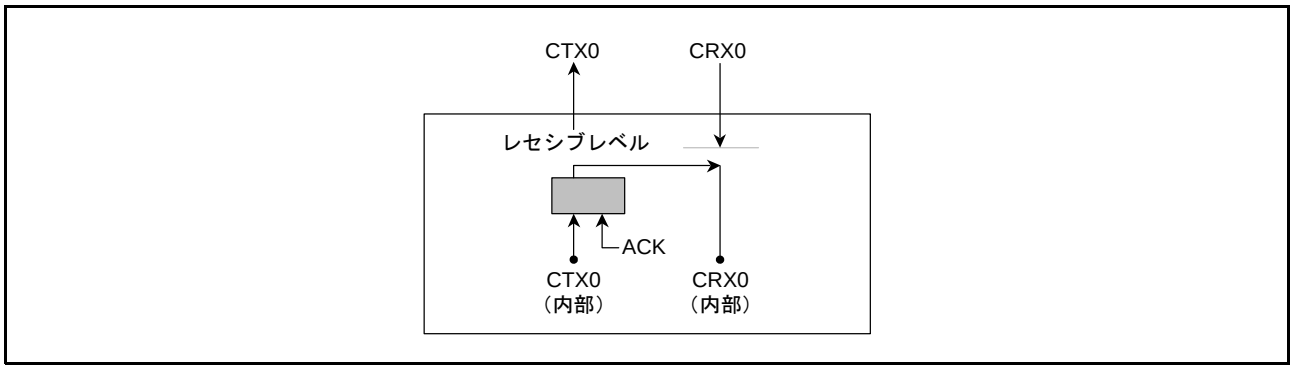


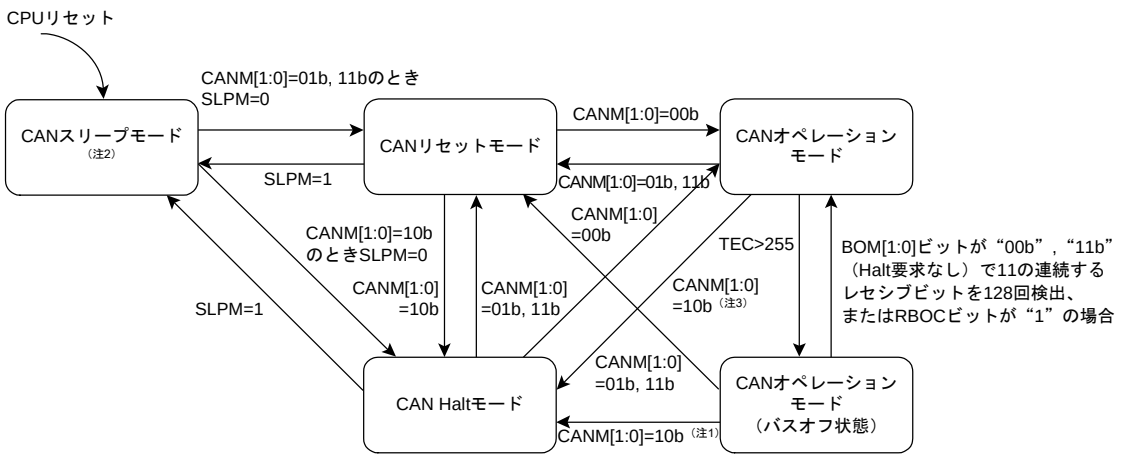
図 32.8　セルフテストモード 1 選択時の接続

32.3 動作モード

CAN モジュールには、以下 4 つの動作モードがあります。

- CAN リセットモード
- CAN Halt モード
- CAN オペレーションモード
- CAN スリープモード

図 32.9 に CAN 動作モード間の移行を示します。



CANM、SLPM、BOM、RBOC：CTLRレジスタのビット

注1. バスオフ状態からCAN Haltモードへの送信タイミングは、CTLR.BOMビットの設定に依存します。
CTLR.BOM[1:0]ビットが“01b”のとき、状態遷移のタイミングはバスオフ状態への遷移直後になります。
CTLR.BOM[1:0]ビットが“10b”のとき、状態遷移のタイミングはバスオフ状態終了時になります。
CTLR.BOM[1:0]ビットが“11b”のとき、状態遷移のタイミングはCTLR.CANM[1:0]ビットが“10b”（CAN Haltモード）の設定時になります。

注2. CANスリープモードを解除する場合は、CTLR.SLPMビットにのみ“0”を書いてください。また、CAN Haltモードからスリープモードに移行したときのみ、スリープモードからCAN Haltモードへ移行できます。

注3. CANバスがドミナントレベルでロックされている間は、CAN Haltモードに移行しません。その場合は、CANリセットモードに移行してください。

図 32.9　CAN 動作モード間の移行

32.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するモードです。

CTLR.CANM[1:0] ビットを “01b” または “11b” にすると、CAN モジュールは CAN リセットモードになります。そのとき、STR.RSTST ビットが “1” になります。RSTST ビットが “1” になるまで、CTLR.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ移行する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードに移行した後、それぞれのリセット後の値に初期化され、CAN リセットモード中は初期値を維持します。

- MCTLj (j=0 ～ 31) レジスタ
- STR レジスタ（SLPST ビットと TFST ビットを除く）
- EIFR レジスタ
- RECR レジスタ
- TECR レジスタ
- TSR レジスタ
- MSSR レジスタ
- MSMR レジスタ
- RFCR レジスタ
- TFCR レジスタ
- TCR レジスタ
- ECSR レジスタ（EDPM ビットを除く）

以下のレジスタは、CAN リセットモードに移行した後も以前の値を保持します。

- CTLR レジスタ
- STR レジスタ（SLPST ビットと TFST ビット）
- MIER レジスタ
- EIER レジスタ
- BCR レジスタ
- CSSR レジスタ
- ECSR レジスタ（EDPM ビットのみ）
- MBj レジスタ
- MKR0 ～ MKR7 レジスタ
- FIDCR0、FIDCR1 レジスタ
- MKIVLR レジスタ
- AFSR レジスタ
- RFPCR レジスタ
- TFPCR レジスタ

32.3.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードを設定するモードです。

CTLR.CANM[1:0] ビットを “10” にすると、CAN Halt モードになります。そのとき、STR.HLTST ビットが “1” になります。HLTST ビットが “1” になるまで CANM[1:0] ビットを変更しないでください。

送信または受信時の状態移行の条件は、表 32.9 を参照してください。

CAN Halt モードへの移行では、STR レジスタの RSTST ビット、HLTST ビットおよび SLPST ビット以外のビットと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CTLR レジスタ（CANM[1:0] ビットおよび SLPM ビットを除く）および EIER レジスタは変更しないでください。CAN テストモードで、自動ボーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN Halt モードで BCR レジスタを変更できます。

表32.9　CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード（強制移行） CANM[1:0] = “11b”	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待たずにCANリセットモードに移行	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CANリセットモード CANM[1:0] = “01b”	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待ってCANリセットモードに移行（注1、注4）	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CAN Haltモード	CANモジュールは受信メッセージの終了を待ってCAN Haltモードに移行（注2、注3）	CANモジュールはメッセージ送信の終了を待ってCAN Haltモードに移行（注1、注2、注4）	[BOM[1:0]ビットが“00b”の場合] CANモジュールはバスオフ復帰後のみ、プログラムのHalt要求を受け付ける [BOM[1:0]ビットが“01b”の場合] CANモジュールはバスオフ復帰の終了を待たずに自動的にCAN Haltモードに移行（プログラムのHalt要求とは無関係に） [BOM[1:0]ビットが“10b”の場合] CANモジュールはバスオフ復帰の終了を待って自動的にCAN Haltモードに移行（プログラムのHalt要求とは無関係に） [BOM[1:0]ビットが“11b”の場合] CANモジュールはバスオフ中にプログラムによるHalt要求があると、すぐにCAN Haltモードに移行（バスオフ復帰の終了を待たずに）

CANM[1:0] ビット、BOM[1:0] ビット：CTLR レジスタのビット

注1.　いくつかのメッセージ送信が要求されている場合、最初のメッセージ送信が完了した後にモードを移行します。サスペンドトランスミッション中にCAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを移行します。

注2.　CAN バスがドミナントレベルでロックされた場合、EIFR.BLIF フラグをモニタすると、プログラムはバスロック状態を検出できます。CAN バスがドミナントレベルでロックされている間は、CAN Halt モードに移行しません。この場合は、CAN リセットモードに移行してください。

注3.　CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、ただちにCAN Haltモードに移行します（ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに移行しません）。

注4.　CAN リセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCAN アービトレーションロストが発生すると、CANモジュールの動作モードはただちに要求された動作モードに移行します（ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに移行しません）。

32.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCU の端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTLR レジスタの SLPM ビットを “1” にすると、CAN スリープモードになります。そのとき、STR レジスタの SLPST ビットが “1” になります。SLPST ビットが “1” になるまで、SLPM ビットの値を変更しないでください。CAN スリープモードへの移行時は、他のレジスタは変化しません。

SLPM ビットは、CAN リセットモードと CAN Halt モードで変更してください。SLPM ビットを除く他のレジスタは、CAN スリープモード中は変更しないでください。読み出し動作は許可されます。

SLPM ビットを “0” にすると、CAN スリープモードから解除されます。CAN スリープモードからの復帰時、他のレジスタは変化しません。

32.3.4 CAN オペレーションモード（バスオフ状態以外）

CAN オペレーションモードは CAN 通信をするモードです。

CTLR レジスタの CANM[1:0] ビットを “00b” にすると、CAN モジュールは CAN オペレーションモードになります。

そのとき、STR レジスタの RSTST ビットと HLTST ビットが “0” になります。RSTST ビットと HLTST ビットが “0” になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードに移行した後、11 の連続するレセシブビットを検出すると、CAN モジュールは次の状態になります。

- CAN モジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN モジュールは、CAN バスの状態によって、CAN オペレーションモード中に、次の 3 つのいずれかのサブモードになっています。

- アイドルモード :CAN モジュールは、送受信を行っていない状態です。
- 受信モード :CAN モジュールは、他のノードが送信した CAN メッセージを受信しています。
- 送信モード :CAN モジュールは、CAN メッセージを送信しています。セルフテストモード 0（TCR レジスタの TSTM ビットが “10b”）またはセルフテストモード 1（TSTM ビットが “11b”）が選択されている場合、同時に自身が送信したメッセージを受信します。

図 32.10 に CAN オペレーションモードのサブモードを示します。

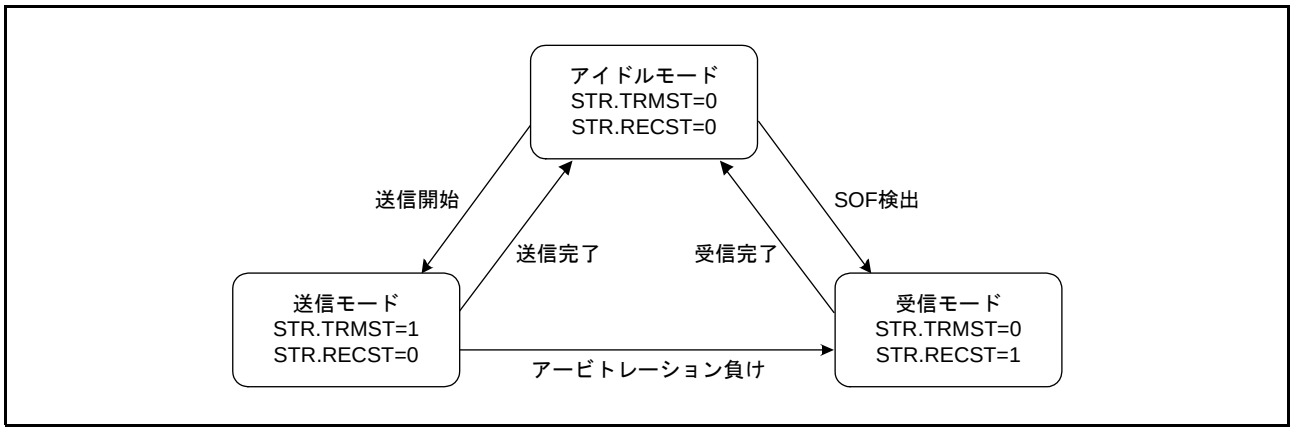


図 32.10　CAN オペレーションモードのサブモード

32.3.5　CAN オペレーションモード（バスオフ状態）

CAN 仕様の送信、受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態に遷移します。

CAN モジュールがバスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、STR、EIFR、RECR、TECR および TSR レジスタを除く CAN モジュール関連レジスタの値は変化しません。

(1)　CTLR.BOM[1:0] ビットが “00b” の場合（ノーマルモード）

バスオフ状態からの復帰完了後、ただちにエラーアクティブ状態に遷移し、CAN 通信ができるようになります。このとき、EIFR レジスタの BORIF フラグが “1”（バスオフ復帰検出）になります。

(2)　CTLR.RBOC ビットを “1” にしたとき（バスオフからの強制復帰）

バスオフ状態になり、RBOC ビットが “1” になると、CAN モジュールはただちにエラーアクティブ状態に遷移し、11 の連続するレセシブビットを検出した後、再び CAN 通信ができるようになります。このとき、BORIF フラグは “1” になりません。

(3)　BOM[1:0] ビットが “01b” の場合（バスオフ開始で自動的に CAN Halt モードへ移行）

バスオフ状態に達するとただちに CAN Halt モードになります。このとき BORIF フラグは “1” になりません。

(4)　BOM[1:0] ビットが “10b” の場合（バスオフ終了で自動的に CAN Halt モードへ移行）

バスオフからの復帰が完了すると、CAN Halt モードになります。このとき BORIF フラグは “1” になります。

(5)　BOM[1:0] ビットが “11b” の場合（プログラムにより CAN Halt モードへ移行）にバスオフ状態で CTLR.CANM[1:0] ビットを “10b” にしたとき（CAN Halt モード）

バスオフ状態時に CANM[1:0] ビットが “10b”（CAN Halt モード）に設定されると、ただちに CAN Halt モードになります。このとき、BORIF フラグは “1” になりません。

バスオフ中に CANM[1:0] ビットが “10b” に設定されないときは、(1) と同じ動作になります。

32.4 CAN 通信速度の設定

CAN 通信速度の設定について以下に説明します。

32.4.1 CAN クロックの設定

CAN モジュールは CAN クロック選択回路を内蔵しています。
CAN クロックは、BCR レジスタの BRP[9:0] ビットで設定できます。
図 32.11 に CAN クロック発生回路のブロック図を示します。

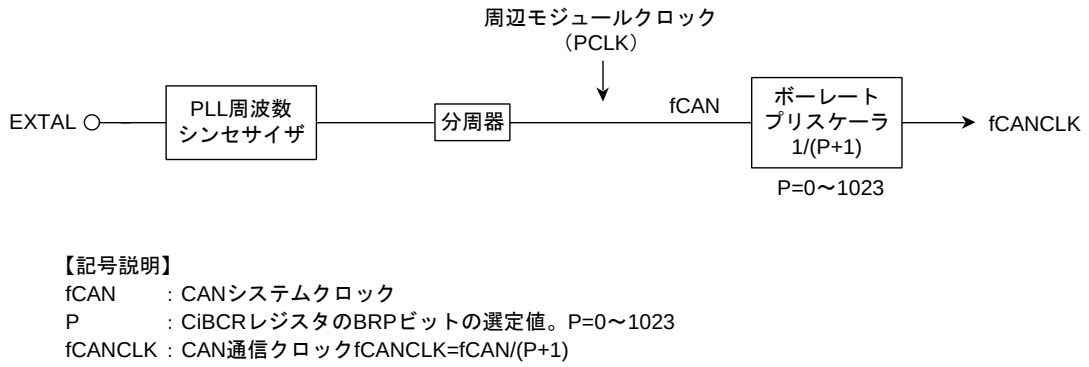


図 32.11　CAN クロック発生回路のブロック図

32.4.2 ビットタイミングの設定

ビットタイムは、次の 3 つのセグメントからなります。
図 32.12 にビットタイミング図を示します。

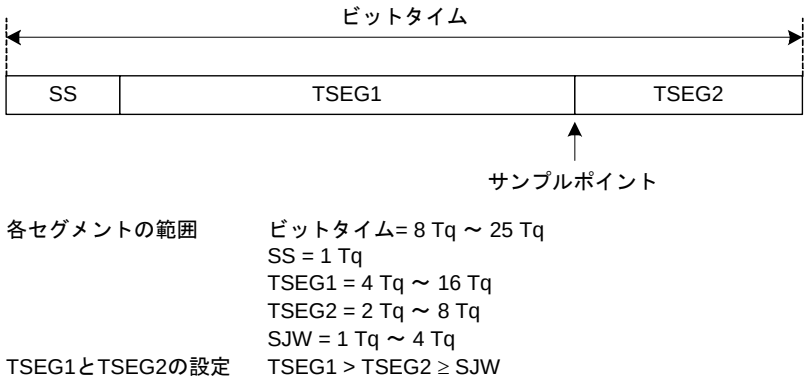


図 32.12　ビットタイミング図

32.4.3 ビットレート

ビットレートは、fCAN（CAN システムクロック）分周値、ボーレートプリスケーラ分周値、および 1 ビットの Tq の数に依存します。

$$\text{ビットレート[bps]} = \frac{fCAN}{\text{ボーレートプリスケーラ分周値}^{(注1)} \times 1\text{ビットタイムのTq数}} = \frac{fCANCLK}{1\text{ビットタイムのTq数}}$$

注1. ボーレートプリスケーラ分周値 = P + 1（P = 0～1023）
P：BCR レジスタの BRP[9:0] ビットの設定値

表 32.10 にビットレートの例を示します。

表32.10 ビットレートの例

fCAN	50MHz		48MHz		40MHz		32MHz	
ビットレート	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1 Mbps	10Tq 25Tq	5 2	8Tq 12Tq 16Tq	6 4 3	10Tq 20Tq	4 2	8Tq 16Tq	4 2
500 kbps	10Tq 25Tq	10 4	8Tq 12Tq 16Tq	12 8 6	10Tq 20Tq	8 4	8Tq 16Tq	8 4
250 kbps	10Tq 25Tq	20 8	8Tq 12Tq 16Tq	24 16 12	10Tq 20Tq	16 8	8Tq 16Tq	16 8
125 kbps	10Tq 25Tq	40 16	8Tq 12Tq 16Tq	48 32 24	10Tq 20Tq	32 16	8Tq 16Tq	32 16
83.3 kbps	10Tq 25Tq	60 24	8Tq 12Tq 16Tq	72 48 36	8Tq 10Tq 16Tq 20Tq	60 48 30 24	8Tq 16Tq	48 24
33.3 kbps	10Tq 25Tq	150 60	8Tq 12Tq 16Tq	180 120 90	8Tq 10Tq 20Tq	150 120 60	8Tq 10Tq 16Tq 20Tq	120 96 60 48

32.5　メールボックスとマスクレジスタの構成

図 32.13 に MBj レジスタの構成を示します。
同じ構成の 32 のメールボックスがあります。

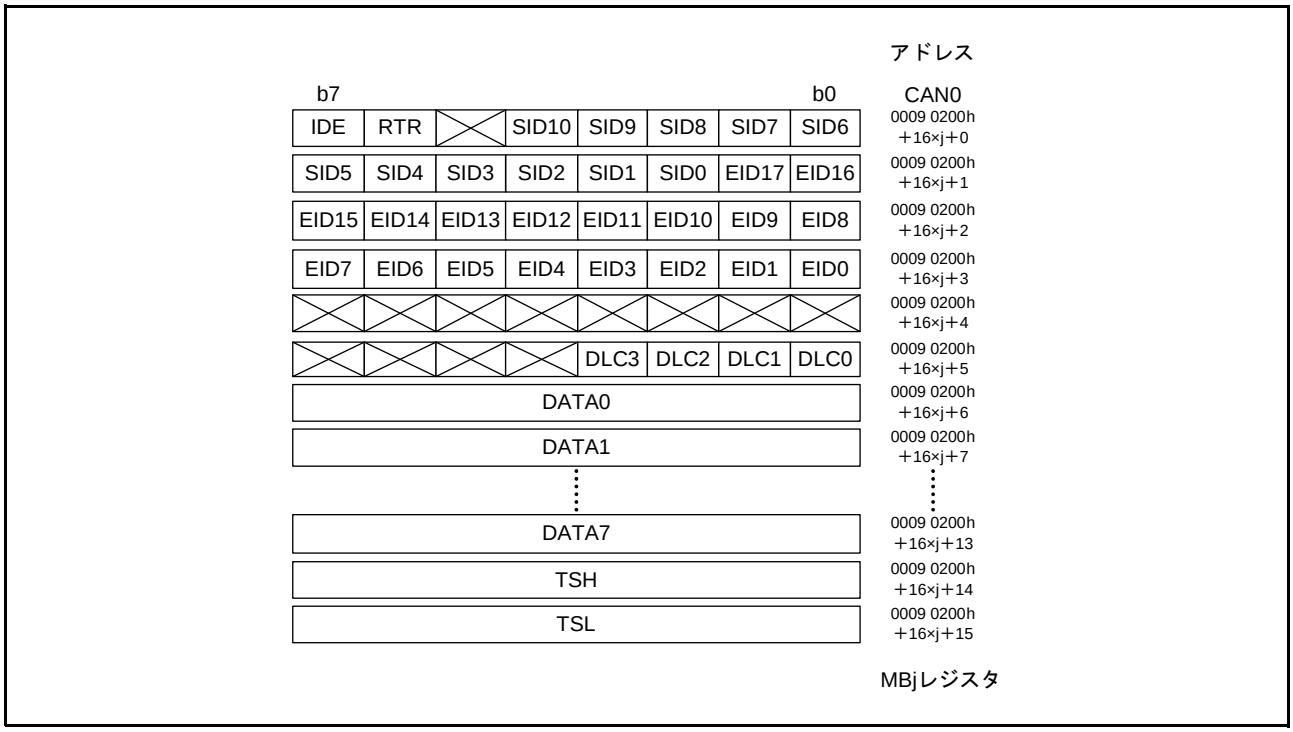


図 32.13　MBj レジスタの構成（j = 0 ～ 31）

図 32.14 に MKRi レジスタの構成を示します。
同じ構成の 8 つのマスクレジスタがあります。

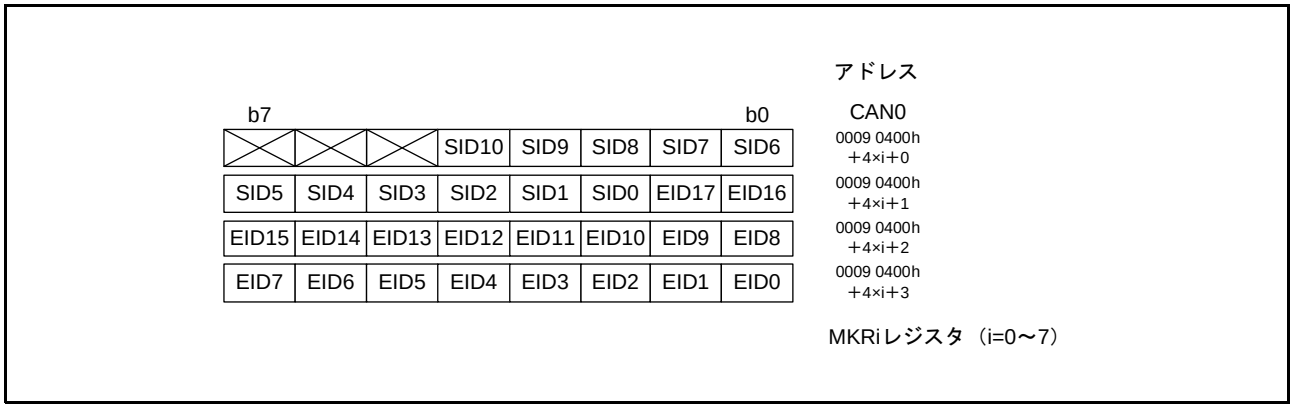


図 32.14　MKRi レジスタの構成（i = 0 ～ 7）

図 32.15 に FIDCR0、FIDCR1 レジスタの構成を示します。
同じ構成の 2 つの FIFO 受信 ID 比較レジスタがあります。

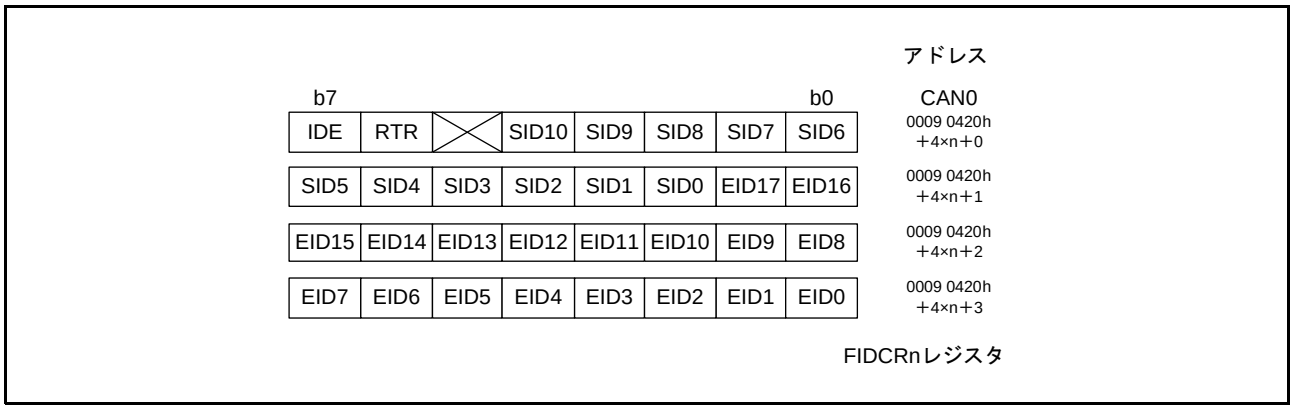


図 32.15　FIDCRn レジスタの構成（n = 0, 1）

32.6　アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能は、一定範囲の ID の選択と受信を許可します。
MKR0 ～ MKR7 レジスタは標準 ID と 29 ビットの拡張 ID のマスクができます。

- MKR0 レジスタは、メールボックス [0] ～ [3] に対応
- MKR1 レジスタは、メールボックス [4] ～ [7] に対応
- MKR2 レジスタは、メールボックス [8] ～ [11] に対応
- MKR3 レジスタは、メールボックス [12] ～ [15] に対応
- MKR4 レジスタは、メールボックス [16] ～ [19] に対応
- MKR5 レジスタは、メールボックス [20] ～ [23] に対応
- MKR6 レジスタは、通常メールボックスモードの場合はメールボックス [24] ～ [27]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ～ [31] に対応
- MKR7 レジスタは、通常メールボックスモードの場合はメールボックス [28] ～ [31]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ～ [31] に対応

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。
MBj レジスタの IDE ビットは、CTLR レジスタの IDFM[1:0] ビットが “10”（ミックス ID モード）のとき有効です。
MBj レジスタの RTR ビットはデータフレームとリモートフレームを選択します。

FIFO メールボックスモードでは、通常メールボックス（メールボックス [0] ～ [23]）は、MKR0 ～ MKR5 レジスタの中から対応する 1 つを使用してアクセプタンスフィルタ処理しますが、受信 FIFO メールボックス（メールボックス [28] ～ [31]）は、MKR6、MKR7 レジスタの 2 つを使用してアクセプタンスフィルタ処理を行います。
また、受信 FIFO は FIDCR0、FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28 ～ MB31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。それぞれ 2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO では 2 つの範囲の ID を受信することができます。
MKIVLR レジスタは、受信 FIFO に対しては無効です。

標準 ID と拡張 ID の両方がそれぞれ FIDCR0、FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれ FIDCR0、FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 32.16 にマスクレジスタとメールボックスの対応、図 32.17 にアクセプタンスフィルタ処理を示します。

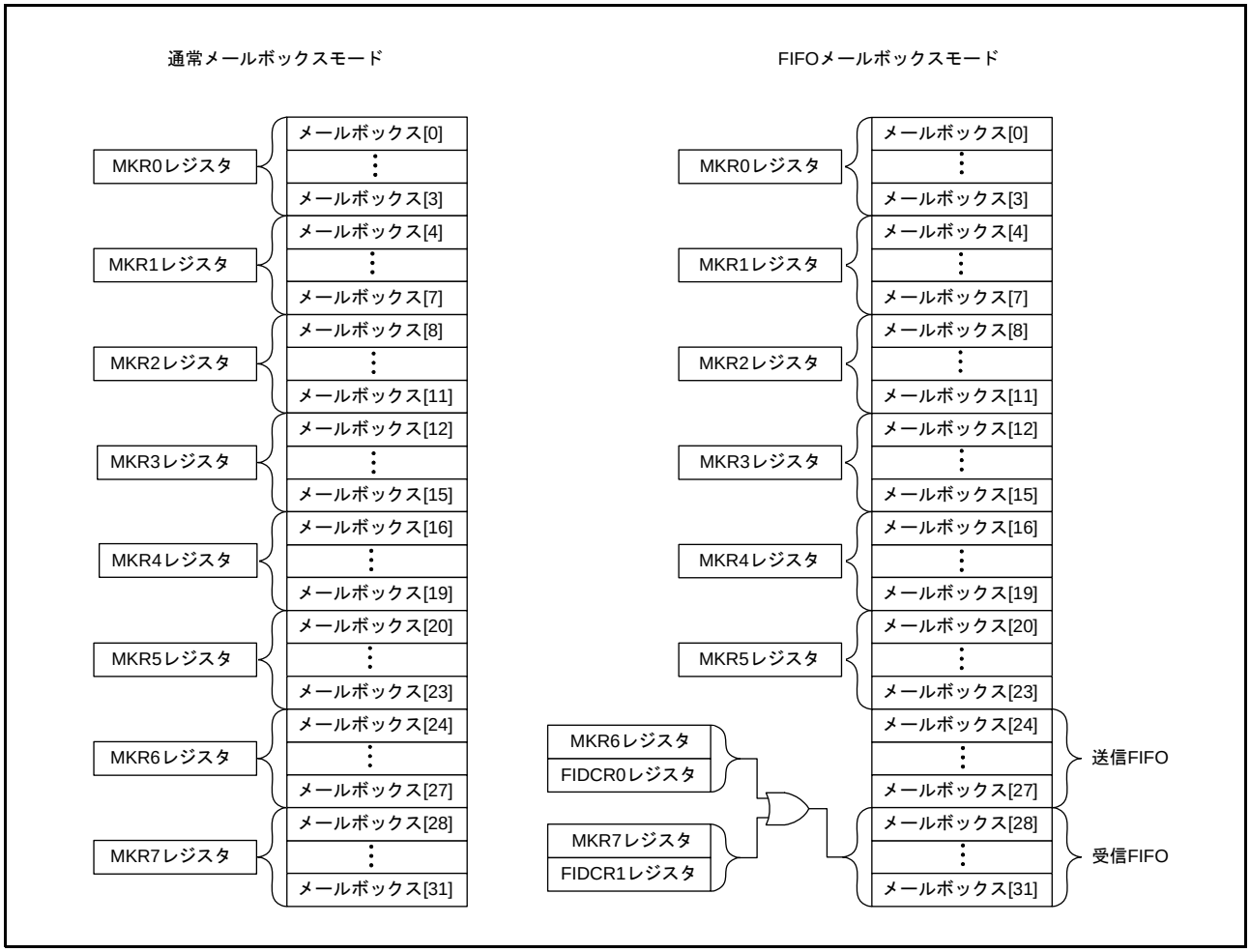


図 32.16　マスクレジスタとメールボックスの対応

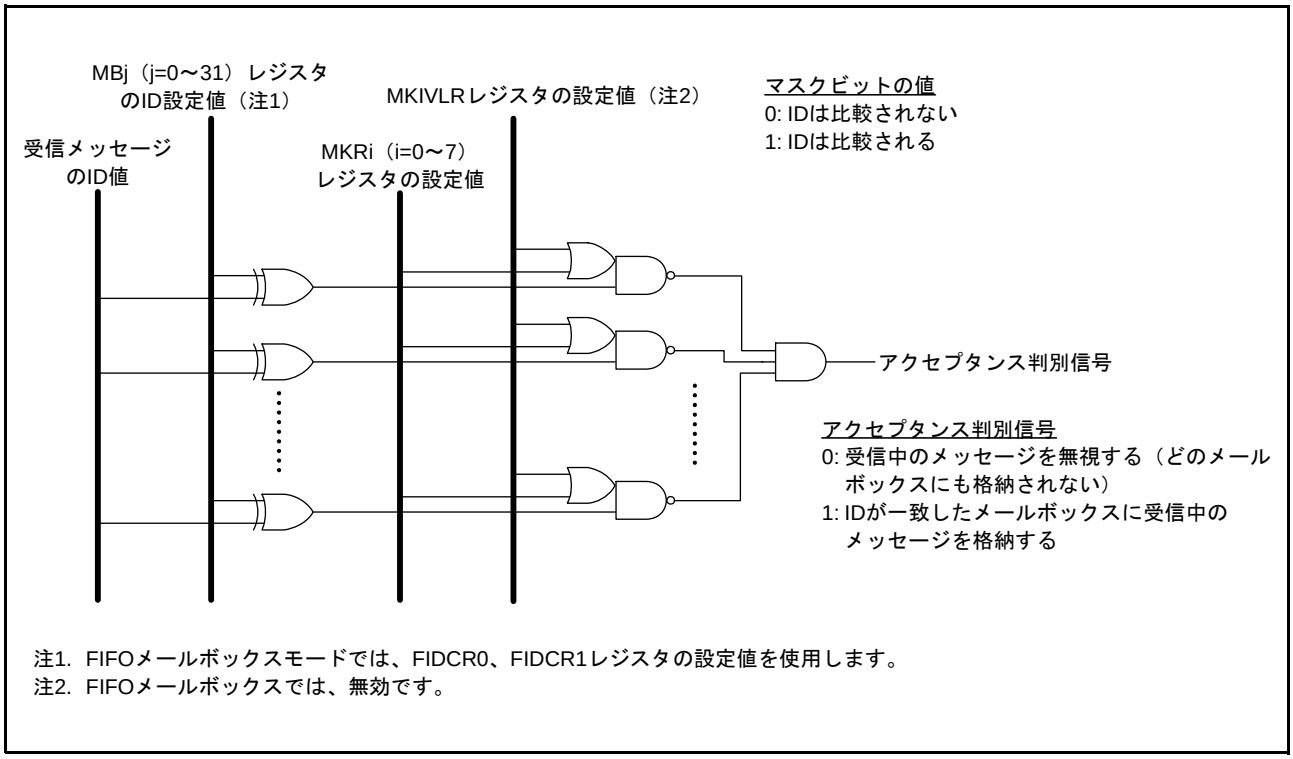


図 32.17　アクセプタンスフィルタ処理

32.7 受信／送信

表 32.11 に CAN 通信モードの設定方法を示します。

表32.11　CAN受信モードとCAN送信モードの設定方法

MCTLj. TRMREQ	MCTLj. RECREQ	MCTLj. ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

【記号説明】　j = 0 ～ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、MCTLj レジスタを “00h” にしてください。
2. 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうの優先順位がより高くなります。
3. CAN オペレーションモードで、受信メッセージに設定したメールボックスの ID/ マスクセットに一致するメッセージを送信した場合、CAN モジュールは送信データを受信しません。しかしセルフテストモードでは、CAN モジュールは送信データを受信します。この場合、CAN モジュールは ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

- メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、MCTLj レジスタを確実に “00h” にして、さらに、アボート処理中でないことを確認してください。

32.7.1　受信

図 32.18 にデータフレーム受信時の動作例（オーバライトモードの場合）を示します。

この例は、示された MCTLj レジスタ（j = 0 ～ 31）のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、最初のメッセージを上書きする場合の動作です。

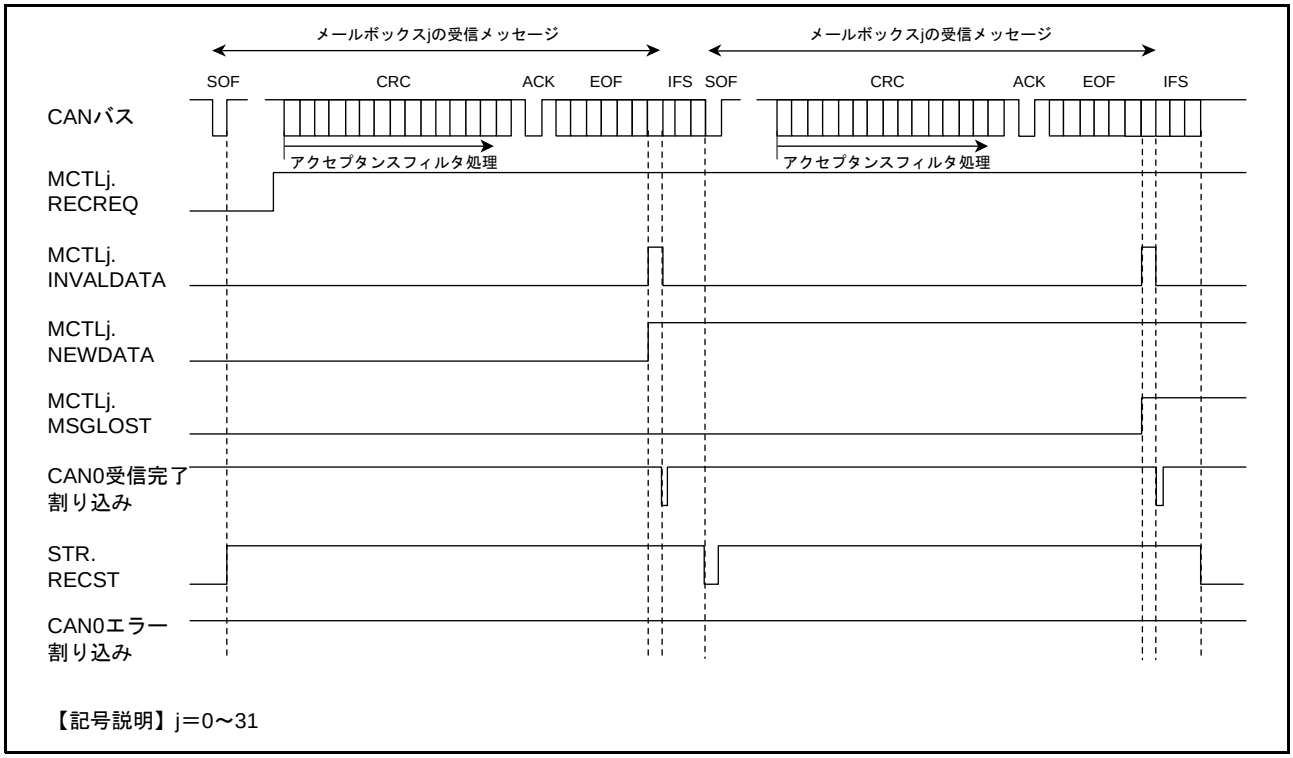


図 32.18　データフレーム受信時の動作例（オーバライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットがただちに “1”（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTLj.NEWDATA ビットが “1”（新しいメッセージを更新中、またはメールボックスに格納された）になります。同時に MCTLj.INVALDATA ビットが “1”（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、INVALDATA ビットは “0”（メッセージは有効）に戻ります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが “1”（割り込み許可）の場合、CAN0 受信完了割り込み要求が発生します。INVALDATA ビットが “0” になると、この割り込み（CAN0 受信完了割り込み）が発生します。
5. メールボックスからメッセージを読み出した後、NEWDATA フラグをプログラムで “0” にする必要があります。
6. オーバライトモードでは、NEWDATA フラグがまだ “1” になっているメールボックスに次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが “1”（メッセージはオーバライトされた）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求は、4. と同様に発生します。

図 32.19 にデータフレーム受信時の動作例（オーバランモードの場合）を示します。

この例は、示された MCTLj レジスタ（j = 0 ～ 31）のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、2 つ目のメッセージを破棄する場合の動作です。

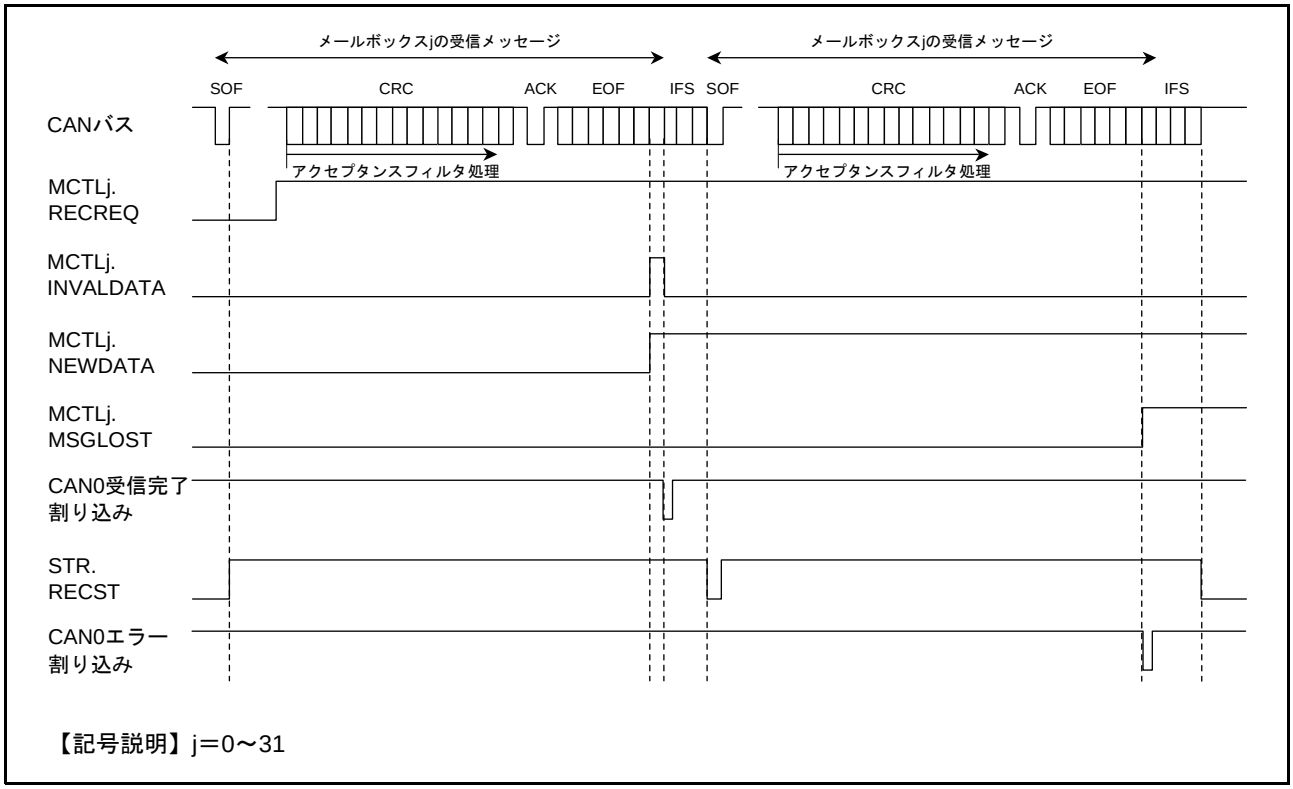


図 32.19　データフレーム受信時の動作例（オーバランモードの場合）

1. ～ 5. はオーバライトモードと同じです。

6. オーバランモードでは、MCTLj.NEWDATA フラグが “0” になる前に、次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが “1”（メッセージはオーバランされた）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが “1”（割り込み許可）の場合、CAN0 エラー割り込み要求が発生します。

32.7.2　送信

図 32.20 にデータフレーム送信時の動作例を示します。

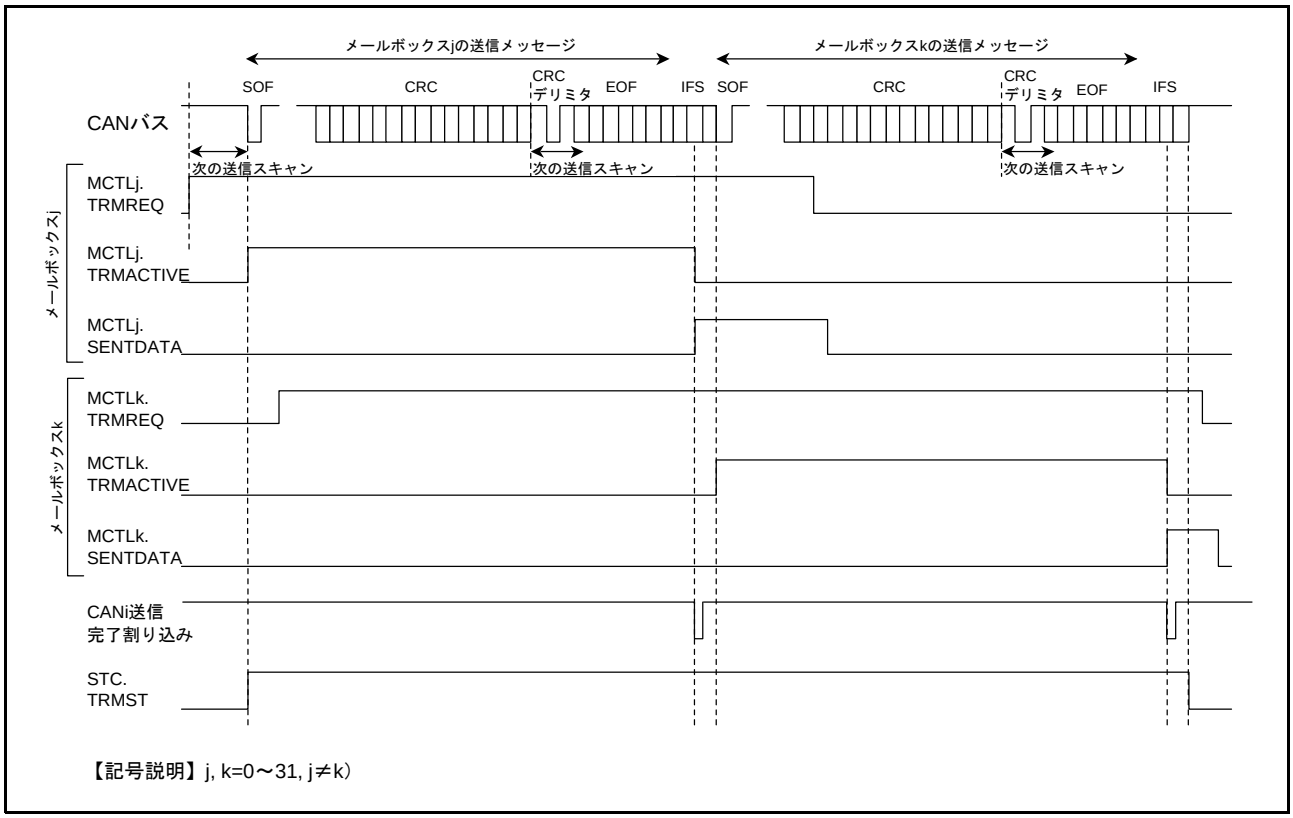


図 32.20　データフレーム送信時の動作例

1. バスアイドル状態で、MCTLj.TRMREQ ビット（j = 0 ～ 31）を “1”（送信メールボックス）にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、MCTLj.TRMACTIVE ビットが “1”（送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで）、CiSTR.TRMST ビットが “1”（送信中）になり、CAN モジュールは送信を開始します（注 1）。
2. 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
3. アービトレーション負けが発生せずに送信が完了すると、MCTLj.SENTDATA フラグが “1”（送信完了）に、TRMACTIVE ビットが “0”（送信待機中または送信要求なし）になります。そして、MIER レジスタの割り込み許可ビットが “1”（割り込み許可）の場合は CANi 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATA フラグと TRMREQ ビットを “0” にして、SENTDATA フラグと TRMREQ ビットが “0” になるのを確認した後、TRMREQ ビットを “1” にしてください。

注 1.　CAN モジュールが送信開始した後でアービトレーション負けをした場合、TRMACTIVE ビットは “0” になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーション負けに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

32.8 CAN 割り込み

CAN モジュールには、チャネルごとに以下の CAN 割り込みがあります。表 32.12 に CAN 割り込み一覧表を示します。

- CAN0 受信完了割り込み（メールボックス 0 ～ 31）[RXM0]
- CAN0 送信完了割り込み（メールボックス 0 ～ 31）[TXM0]
- CAN0 受信 FIFO 割り込み [RXF0]
- CAN0 送信 FIFO 割り込み [TXF0]
- CAN0 エラー割り込み [ERS0]

CAN0 エラー割り込みには、8 つの要因があります。これらの要因は、EIFR レジスタをチェックすることで確認できます。

－バスエラー
－エラーワーニング
－エラーパッシブ
－バスオフ開始
－バスオフ復帰
－受信オーバラン
－オーバロードフレーム送信
－バスロック

表 32.12　CAN割り込み一覧表

モジュール	割り込みシンボル	割り込み要因	要因フラグ
CAN0	ERS0	バスロック検出	EIFR.BLIF
		オーバロードフレーム送信検出	EIFR.OLIF
		オーバラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	RXF0	受信FIFOメッセージ受信（MIER[29] = 0）	－
		受信FIFOワーニング（MIER[29] = 1）	
	TXF0	送信FIFOメッセージ送信完了（MIER[25] = 0）	－
		FIFOラストメッセージ送信完了（MIER[25] = 1）	
	RXM0	メールボックス0～31メッセージ受信	MCTL0.NEWDATA～ MCTL31.NEWDATA
	TXM0	メールボックス0～31メッセージ送信完了	MCTL0.SENTDATA～ MCTL31.SENTDATA

33. シリアルペリフェラルインタフェース（RSPI）

33.1 概要

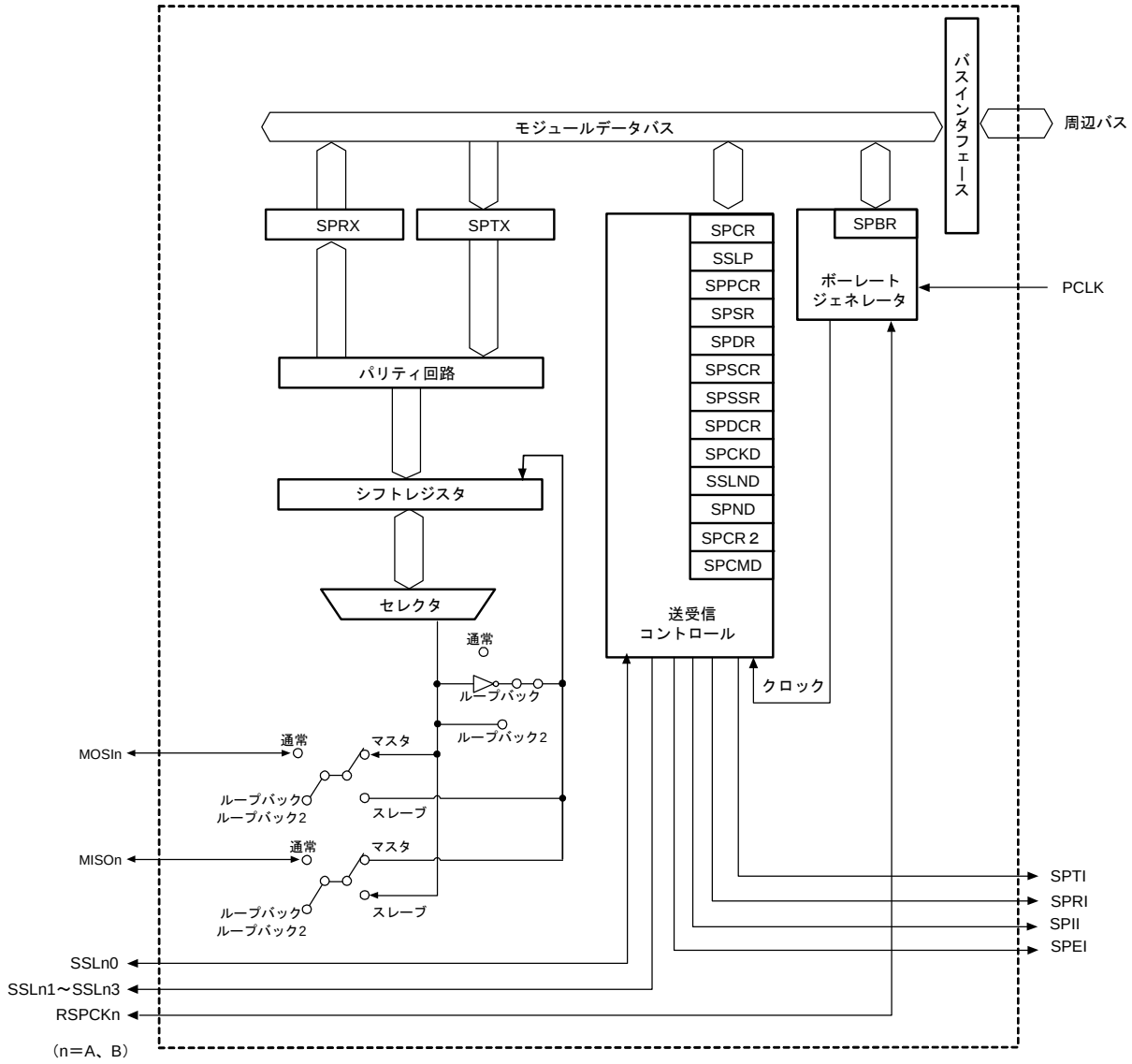
RX62N グループ、RX621 グループは、独立した 2 チャネルのシリアルペリフェラルインタフェース（RSPI）を内蔵しています。

RSPI は、全二重同期式のシリアル通信が可能です。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 33.1 に RSPI の仕様を、図 33.1 に RSPI のブロック図を示します。

表33.1　RSPIの仕様

項目	内容
チャネル数	2チャネル
RSPI転送機能	• MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（RSPI Clock）信号を使用して、SPI動作（4線式）／クロック同期式動作（3線式）でシリアル通信が可能 • 送信のみの動作が可能 • マスタ／スレーブモードでのシリアル通信が可能 • シリアル転送クロックの極性を変更可能 • シリアル転送クロックの位相を変更可能
データフォーマット	• MSBファースト／LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットに変更可能 • 送信／受信バッファは128ビット • 一度の送受信で最大4フレームを転送（1フレームは最大32ビット）
バッファ構成	送信／受信バッファ構成はダブルバッファ
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出
SSL制御機能	• 1チャネルあたり4本のSSL信号（SSL0～SSL3） • シングルマスタ設定時には、SSL0～SSL3信号を出力 • マルチマスタ設定時：SSL0信号は入力、SSL1～SSL3信号は出力またはハイインピーダンス • スレーブ設定時：SSL0信号は入力、SSL1～SSL3信号はハイインピーダンス • SSL出力のアサートからRSPCK動作までの遅延（RSPCK遅延）を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延（SSLネゲート遅延）を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • 次アクセスのSSL出力アサートのウェイト（次アクセス遅延）を設定可能 設定範囲：1～8 RSPCK　設定単位：1 RSPCK • SSL極性変更機能
マスタ転送時の制御方式	• 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性／位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能
割り込み要因	• マスカブルな割り込み要因 RSPI受信割り込み（受信バッファフル） RSPI送信割り込み（送信バッファエンプティ） RSPIエラー割り込み（モードフォルト、オーバラン、パリティエラー） RSPIアイドル割り込み（RSPIアイドル）
その他の機能	• CMOS／オープンドレイン出力切り替え機能可能 • RSPIディスエーブル（初期化）機能 • ループバックモード機能



【記号説明】

SPCR	:	RSPI 制御レジスタ
SPCR2	:	RSPI 制御レジスタ2
SSLP	:	RSPI スレーブセレクト極性レジスタ
SPPCR	:	RSPI 端子制御レジスタ
SPSR	:	RSPI ステータスレジスタ
SPDR	:	RSPI データレジスタ
SPSCR	:	RSPI シーケンス制御レジスタ
SPSSR	:	RSPI シーケンスステータスレジスタ
SPDCR	:	RSPI データコントロールレジスタ
SPCKD	:	RSPI クロック遅延レジスタ
SSLND	:	RSPI スレーブセレクトネゲート遅延レジスタ
SPND	:	RSPI 次アクセス遅延レジスタ
SPCMD	:	RSPI コマンドレジスタ（0 ～7 の8本あり）
SPBR	:	RSPI ビットレートレジスタ
SPTX	:	RSPI 送信バッファ
SPRX	:	RSPI 受信バッファ
SPTI	:	RSPI 送信割り込み
SPRI	:	RSPI 受信割り込み
SPII	:	RSPI アイドル割り込み
SPEI	:	RSPI エラー割り込み

図 33.1　　RSPI のブロック図

表 33.2 に RSPI で使用する入出力端子を示します。

SSLn0 端子 (n=A、B) の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKn、MOSIn、MISOn 端子 (n=A、B) の入出力方向は、マスタ／スレーブ設定と SSLn0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「33.3.2　RSPI 端子の制御」を参照してください。

表33.2　RSPIの入出力端子

チャネル	端子名	入出力	機　能
RSPI0	RSPCKA	入出力	クロック入出力端子
	MOSIA	入出力	マスタ送出データ入出力端子
	MISOA	入出力	スレーブ送出データ入出力端子
	SSLA0	入出力	スレーブセレクト入出力端子
	SSLA1	出力	スレーブセレクト出力端子
	SSLA2	出力	スレーブセレクト出力端子
	SSLA3	出力	スレーブセレクト出力端子
RSPI1	RSPCKB	入出力	クロック入出力端子
	MOSIB	入出力	マスタ送出データ入出力端子
	MISOB	入出力	スレーブ送出データ入出力端子
	SSLB0	入出力	スレーブセレクト入出力端子
	SSLB1	出力	スレーブセレクト出力端子
	SSLB2	出力	スレーブセレクト出力端子
	SSLB3	出力	スレーブセレクト出力端子

注.　本文中ではチャネルを省略し、RSPCK、MOSI、MISO、SSL0～SSL3と略称します。

33.2 レジスタの説明

表 33.3 に RSPI のレジスター覧を示します。これらのレジスタにより、マスタ／スレーブモードの指定、転送フォーマットの指定、および送信部／受信部の制御を行うことができます。

表33.3　RSPIのレジスター覧

チャネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
RSPI0	RSPI制御レジスタ	SPCR	00h	0008 8380h	8
	RSPIスレーブセレクト極性レジスタ	SSLP	00h	0008 8381h	8
	RSPI端子制御レジスタ	SPPCR	00h	0008 8382h	8
	RSPIステータスレジスタ	SPSR	20h	0008 8383h	8
	RSPIデータレジスタ	SPDR	00000000h	0008 8384h	16、32
	RSPIシーケンス制御レジスタ	SPSCR	00h	0008 8388h	8
	RSPIシーケンスステータスレジスタ	SPSSR	00h	0008 8389h	8
	RSPIビットレートレジスタ	SPBR	FFh	0008 838Ah	8
	RSPIデータコントロールレジスタ	SPDCR	00h	0008 838Bh	8
	RSPIクロック遅延レジスタ	SPCKD	00h	0008 838Ch	8
	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	00h	0008 838Dh	8
	RSPI次アクセス遅延レジスタ	SPND	00h	0008 838Eh	8
	RSPI制御レジスタ2	SPCR2	00h	0008 838Fh	8
	RSPIコマンドレジスタ0	SPCMD0	070Dh	0008 8390h	16
	RSPIコマンドレジスタ1	SPCMD1	070Dh	0008 8392h	16
	RSPIコマンドレジスタ2	SPCMD2	070Dh	0008 8394h	16
	RSPIコマンドレジスタ3	SPCMD3	070Dh	0008 8396h	16
	RSPIコマンドレジスタ4	SPCMD4	070Dh	0008 8398h	16
	RSPIコマンドレジスタ5	SPCMD5	070Dh	0008 839Ah	16
	RSPIコマンドレジスタ6	SPCMD6	070Dh	0008 839Ch	16
	RSPIコマンドレジスタ7	SPCMD7	070Dh	0008 839Eh	16
RSPI1	RSPI制御レジスタ	SPCR	00h	0008 83A0h	8
	RSPIスレーブセレクト極性レジスタ	SSLP	00h	0008 83A1h	8
	RSPI端子制御レジスタ	SPPCR	00h	0008 83A2h	8
	RSPIステータスレジスタ	SPSR	20h	0008 83A3h	8
	RSPIデータレジスタ	SPDR	00000000h	0008 83A4h	16、32
	RSPIシーケンス制御レジスタ	SPSCR	00h	0008 83A8h	8
	RSPIシーケンスステータスレジスタ	SPSSR	00h	0008 83A9h	8
	RSPIビットレートレジスタ	SPBR	FFh	0008 83AAh	8
	RSPIデータコントロールレジスタ	SPDCR	00h	0008 83ABh	8
	RSPIクロック遅延レジスタ	SPCKD	00h	0008 83ACh	8
	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	00h	0008 83ADh	8
	RSPI次アクセス遅延レジスタ	SPND	00h	0008 83AEh	8
	RSPI制御レジスタ2	SPCR2	00h	0008 83AFh	8
	RSPIコマンドレジスタ0	SPCMD0	070Dh	0008 83B0h	16
	RSPIコマンドレジスタ1	SPCMD1	070Dh	0008 83B2h	16
	RSPIコマンドレジスタ2	SPCMD2	070Dh	0008 83B4h	16
	RSPIコマンドレジスタ3	SPCMD3	070Dh	0008 83B6h	16
	RSPIコマンドレジスタ4	SPCMD4	070Dh	0008 83B8h	16
	RSPIコマンドレジスタ5	SPCMD5	070Dh	0008 83BAh	16
	RSPIコマンドレジスタ6	SPCMD6	070Dh	0008 83BCh	16
	RSPIコマンドレジスタ7	SPCMD7	070Dh	0008 83BEh	16

注.　本文中のチャネルを省略してレジスタ名を表記しています。

33.2.1 RSPI 制御レジスタ（SPCR）

アドレス　RSPI0.SPCR 0008 8380h、RSPI1.SPCR 0008 83A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0：SPI動作（4線式） 1：クロック同期式動作（3線式）	R/W
b1	TXMD	通信動作モード選択ビット	0：全二重同期式シリアル通信 1：送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0：モードフォルトエラー検出を禁止 1：モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ／スレーブモード選択ビット	0：スレーブモード 1：マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0：RSPIエラー割り込み要求の発生を禁止 1：RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	RSPI送信割り込み許可ビット	0：RSPI送信割り込み要求の発生を禁止 1：RSPI送信割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能有効ビット	0：RSPI機能は無効 1：RSPI機能が有効	R/W
b7	SPRIE	RSPI受信割り込み許可ビット	0：RSPI受信割り込み要求の発生を禁止 1：RSPI受信割り込み要求の発生を許可	R/W

SPCR レジスタは、RSPI の動作モードを設定するためのレジスタです。RSPI 機能が有効な状態（SPCR.SPE ビット =1）において、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定値を変更した場合は、以降の動作は保証されません。

SPMS ビット（RSPI モード選択ビット）

SPI 動作（4 線式）／クロック同期式動作（3 線式）を選択するためのビットです。

クロック同期式動作を行う場合は SSL0 ～ 3 端子を使用せず、RSPCK 端子、MOSI 端子、MISO 端子の 3 端子を用いて通信を行います。また、マスタモード時（SPCR.MSTR=1）でクロック同期式動作を行う場合は RSPI コマンドレジスタ（SPCMD）の CPHA ビットを “0”、“1” どちらにも設定可能です。スレーブモード時（SPCR.MSTR=0）でクロック同期式動作を行う場合は CPHA ビットを “1” にしてください。スレーブモード時（SPCR.MSTR=0）でクロック同期式動作を行う場合に、CPHA ビットを “0” にした場合の動作は保証されません。

TXMD ビット（送信動作モード選択ビット）

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを “1” にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません（「33.3.6 通信動作モード」参照）。

また、TXMD を “1” にした場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット（モードフォルトエラー検出許可ビット）

モードフォルトエラーの検出を許可／禁止するためのビットです（「33.3.8　エラー検出」を参照）。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSL0 ～ 3 端子の入出力方向を決定します（「33.3.2　RSPI 端子の制御」を参照）。

MSTR ビット（RSPI マスタ／スレーブモード選択ビット）

RSPI のマスタ／スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCK、MOSI、MISO、SSL 端子の方向を決定します。

SPEIE ビット（RSPI エラー割り込み許可ビット）

RSPI がモードフォルトエラーを検出して SPSR.MODF ビットを “1” にした場合、または RSPI がオーバランエラーを検出して SPSR.OVRF ビットを “1” にした場合、RSPI エラー割り込み要求の発生を許可／禁止します。詳細は「33.3.8　エラー検出」を参照してください。

SPTIE ビット（RSPI 送信割り込み許可ビット）

RSPI が送信バッファエンプティを検出し、RSPI 送信割り込み要求の発生を許可／禁止します。

送信開始時の送信割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを “1” にすることで発生します。

RSPI ディスエーブル（SPE ビットが “0”）に遷移しても、SPTIE ビットを “1” にしていると、RSPI 送信割り込みが発生することに注意してください。

SPE ビット（RSPI 機能有効ビット）

RSPI 機能の有効／無効を選択します。

SPSR.MODF ビットが “1” の場合には、SPE ビットを “1” にすることはできません。詳細は「33.3.8　エラー検出」を参照してください。

SPE ビットを “0” にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「33.3.9　RSPI の初期化」を参照してください。

SPRIE ビット（RSPI 受信割り込み許可ビット）

RSPI がシリアル転送完了後の受信バッファ書き込みを検出し、RSPI 受信割り込み要求の発生を許可／禁止します。

33.2.2 RSPI スレーブセレクト極性レジスタ（SSLP）

アドレス　RSPI0.SSLP 0008 8381h、RSPI1.SSLP 0008 83A1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0：SSL0信号は0アクティブ 1：SSL0信号は1アクティブ	R/W
b1	SSL1P	SSL1信号極性設定ビット	0：SSL1信号は0アクティブ 1：SSL1信号は1アクティブ	R/W
b2	SSL2P	SSL2信号極性設定ビット	0：SSL2信号は0アクティブ 1：SSL2信号は1アクティブ	R/W
b3	SSL3P	SSL3信号極性設定ビット	0：SSL3信号は0アクティブ 1：SSL3信号は1アクティブ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLP レジスタは、RSPI の SSL0 ～ 3 信号の極性を設定するためのレジスタです。

RSPI 機能が有効（SPCR.SPE ビットが “1”）の状態において、CPU が SSLP レジスタを書き替えた場合には、以降の動作は保証されません。

SSLiP ビット（SSL 信号極性設定ビット）

SSLi 信号の極性を設定します。

SSLiP の設定値が、SSLi 信号のアクティブ極性を示します。（i= 0 ～ 3）

33.2.3 RSPI 端子制御レジスタ（SPPCR）

アドレス　RSPI0.SPPCR 0008 8382h、RSPIB.SPPCR 0008 83A2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	SPOM	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0：通常モード 1：ループバックモード（送信データの反転＝受信データ）	R/W
b1	SPLP2	RSPIループバック2ビット	0：通常モード 1：ループバックモード（送信データ＝受信データ）	R/W
b2	SPOM	RSPI出力端子モードビット	0：CMOS出力 1：オープンドレイン出力	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0：MOSIアイドル固定値は“0” 1：MOSIアイドル固定値は“1”	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0：MOSI出力値は前回転送の最終データ 1：MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPPCR レジスタは、RSPI の端子モードを設定するレジスタです。RSPI 機能が有効（SPCR.SPE ビットが“1”）である状態において、SPPCR レジスタを書き換えた場合には、以降の動作は保証されません。

SPLP ビット（RSPI ループバックビット）

RSPI の端子モードを選択します。

SPLP ビットを “1” にすると、RSPI は SPCR.MSTR ビットが “1” ならば、MISO 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。（ループバックモード）

詳細は「33.3.15　ループバックモード」を参照してください。

SPLP2 ビット（RSPI ループバック 2 ビット）

RSPI の端子モードを選択します。

SPLP2 ビットを “1” にすると、RSPI は SPCR.MSTR ビットが “1” ならば、MISO 端子とシフトレジスタ間を、SPCR.MSTR ビットが “0” ならば、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。（ループバックモード 2）

詳細は「33.3.15　ループバックモード」を参照してください。

SPOM ビット（RSPI 出力端子モードビット）

RSPI の出力端子を CMOS 出力端子あるいはオープンドレイン出力端子にするかを選択します。

MOIFV ビット（MOSI アイドル固定値ビット）

マスタモードで MOIFE ビットが “1” の場合、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 端子の出力値を選択します。

MOIFE ビット（MOSI アイドル値固定許可ビット）

マスタモードの RSPI が、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSI 出力値を固定するために使用するビットです。MOIFE が 0 の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI に出力します。MOIFE が “1” の場合には、RSPI は MOIFV ビットに設定された固定値を MOSI に出力します。

33.2.4 RSPI ステータスレジスタ（SPSR）

アドレス　RSPI0.SPSR 0008 8383h、RSPI1.SPSR 0008 83A3h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	－	SPTEF	－	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0：オーバランエラーなし 1：オーバランエラー発生	R/(W) （注1）
b1	IDLNF	RSPIアイドルフラグ	0：RSPIがアイドル状態 1：RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0：モードフォルトエラーなし 1：モードフォルトエラー発生	R/(W) （注1）
b3	PERF	パリティエラーフラグ	0：パリティエラーなし 1：パリティエラー発生	R/(W) （注1）
b4	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	SPTEF	送信バッファエンプティフラグ	0：SPDRレジスタへデータを転送したとき（送信バッファにデータあり） 1：SPDRレジスタからシフトレジスタにデータが転送されたとき（送信バッファにデータなし）	R/W （注2）
b6	－	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0：SPDRレジスタからデータを転送したとき（SPDRに有効な受信データなし） 1：受信が正常終了し、シフトレジスタからSPDRレジスタへデータが転送されたとき（SPDRに有効な受信データあり）	R/W （注2）

注1.　フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。
注2.　書く場合、“1”としてください。

SPSR レジスタは、RSPI の動作状態を示すフラグを格納したレジスタです。SPSR レジスタは、常に CPU による読み出しが可能です。SPSR レジスタへの書き込みは、一定条件下においてのみ有効です。

OVRF フラグ（オーバランエラーフラグ）

オーバランエラーの発生状況を示します。

[“1” になる条件]

- SPCR.TXMD ビットが “0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき

[“0” になる条件]

- OVRF フラグが “1” になったときの SPSR レジスタを CPU が読んだ後、OVRF フラグに “0” を書いたとき

IDLNF フラグ（RSPI アイドルフラグ）

RSPI の転送状況を示します。

[“1” になる条件]

【マスタモード】

- 下記「“0” になる条件」のマスタモード時の条件がいずれか 1 つでも満たされなかったとき

【スレーブモード】

- SPCR.SPE ビットが “1”（RSPI 機能が有効）のとき

[“0” になる条件]

【マスタモード】

1. SPCR.SPE ビットが “0”（RSPI 初期化）のとき
2. 送信用バッファ（SPTX）が空（次転送データがセットされていない）のとき
3. SPSSR.SPCP[2:0] ビットが “000b”（シーケンス制御の先頭）であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき（次アクセス遅延までが動作完了された状態）

上記 1. が満たされたとき、または上記 2. ～ 4. がすべて満たされたとき

【スレーブモード】

- SPCR.SPE ビットが “0”（RSPI 初期化）のとき

MODF フラグ（モードフォルトエラーフラグ）

モードフォルトエラーの発生を示します。

[“1” になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが “1”（マスタモード）、SPCR.MODFEN ビットが “1”（モードフォルトエラー検出を許可）の状態で、SSL 端子の入力レベルがアクティブレベルになり、RSPI がモードフェルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが “0”（スレーブモード）、SPCR.MODFEN ビットが “1”（モードフォルトエラー検出を許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL 端子がネゲートされ、RSPI がモードフェルトエラーを検出したとき

なお、SSL 信号のアクティブレベルは、SSLP.SSLiP ビット（SSL 信号極性設定ビット）によって決定されます。（i=0 ～ 3）

[“0” になる条件]

- MODF フラグが “1” の状態の SPSR レジスタを CPU が読んだ後、MODF フラグに “0” を書いたとき

PERF フラグ（パリティエラーフラグ）

パリティエラーの発生を示すフラグです。

[“1” になる条件]

- SPCR の TXMD ビットが “0”、SPCR2 の SPPE ビットが “1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき

[“0” になる条件]

- PERF フラグが “1” の状態の SPSR レジスタを CPU が読んだ後、PERF フラグに “0” を書いたとき

SPTEF フラグ（送信バッファエンプティーフラグ）

SPDR レジスタの送信バッファの有無を表示します。

[“1” になる条件]

- SPDR レジスタから シフトレジスタにデータが転送されたとき

[“0” になる条件]

- SPDR レジスタへ送信データを転送したとき

SPRF フラグ（受信バッファフルフラグ）

SPDR レジスタの受信バッファの有無を表示します。

[“1” になる条件]

- 受信が正常終了し、シフトレジスタから SPDR レジスタへ受信データが転送されたとき

[“0” になる条件]

- SPDR レジスタからデータを転送したとき

33.2.5 RSPI データレジスタ（SPDR）

アドレス　RSPI0.SPDR 0008 8384h、RSPI1.SPDR 0008 83A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	H[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	L[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPDR レジスタは、常に CPU による書き込み／読み出し可能なレジスタで、RSPI 送受信用のデータを格納するバッファです。

送信用バッファ（SPTX）と受信用バッファ（SPRX）は独立したバッファで、これらのバッファが SPDR レジスタにマッピングされています。

SPDR レジスタへの読み出し／書き込みは、SPDCR.SPLW ビットの設定によって、ワード／ロングワードで行ってください。SPLW ビットが “0” のとき、SPDR レジスタは、64 ビットのバッファで最大 16 ビットの 4 フレームから構成され、SPLW ビットが “1” のとき、SPDR レジスタは、128 ビットのバッファで最大 32 ビットの 4 フレームから構成されます。

SPDR レジスタの使用するフレーム長は、フレーム数設定ビット SPDCR.SPFC[1:0] ビットによって、使用するビット長は SPCMD.SPB[3:0] ビットによって決定されます。

SPDR レジスタへの書き込みを行う場合には、送信バッファ（SPTX）が空（次転送のデータがセットされていない）のとき、RSPI が SPDR レジスタの送信バッファにデータを書き込みます。送信バッファに未送信データがある状態では、RSPI は SPDR レジスタの送信バッファを更新しません。

SPDR レジスタからの読み出しを行う場合には、SPDCR.SPRDTD ビットが “0” であれば受信バッファを読み出し、“1” であれば送信バッファを読み出します。

送信バッファを読み出す場合には、直前に書き込んだ値が読み出されます。また、送信バッファに未送信のデータがある状態では、読み出し値がすべて “0” になります。

通常の使用方法では、SPRDTD ビットを “0” とし、受信バッファフル割り込みで、受信バッファの読み出しを実行します。受信バッファに未リードのデータがある状態、または SPSR.OVRF フラグが “1” の状態では、RSPI はシリアル転送終了時に、SPDR レジスタの受信バッファを更新しません。

SPDR レジスタにワード／ロングワードのアクセス幅で読み出し／書き込みを行う場合、下記のアドレスにアクセスしてください。下記以外の書き込み／読み出しを行った場合のデータは保証できません。

- ロングワード：RSPI0.SPDR 0008 8384h
  RSPI1.SPDR 0008 83A4h

- ワード：RSPI0.SPDR 0008 8384h
  RSPI1.SPDR 0008 83A4h

33.2.6 RSPI シーケンス制御レジスタ（SPSCR）

アドレス　RSPI0.SPSCR 0008 8388h、RSPI1.SPSCR 0008 83A8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPSLN[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPI シーケンス長設定ビット	b2 b0　シーケンス長　参照するSPCMD0～7レジスタ（番号） 0 0 0 :　1　0→0→… 0 0 1 :　2　0→1→0→… 0 1 0 :　3　0→1→2→0→… 0 1 1 :　4　0→1→2→3→0→… 1 0 0 :　5　0→1→2→3→4→0→… 1 0 1 :　6　0→1→2→3→4→5→0→… 1 1 0 :　7　0→1→2→3→4→5→6→0→… 1 1 1 :　8　0→1→2→3→4→5→6→7→0→… 設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタと参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0～7の関係は上記のとおりです。なお、スレーブモードのRSPIでは、常にSPCMD0レジスタが参照されます。	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに “1” で、マスタモードの RSPI 機能が有効な状態において、SPSCR レジスタの SPSLN[2:0] ビットを書き替える場合、SPSR.IDLNF フラグが “0” の状態で書き替えてください。

SPSLN[2:0] ビット（RSPI シーケンス長設定ビット）

マスタモードの RSPI がシーケンス動作する場合のシーケンス長を設定します。マスタモードの RSPI は SPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照する RSPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ 7）と参照順を変更します。

スレーブモードの RSPI では、常に SPCMD0 レジスタが参照されます。

33.2.7 RSPI シーケンスステータスレジスタ（SPSSR）

アドレス　RSPI0.SPSSR 0008 8389h、RSPI1.SPSSR 0008 83A9h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPECM[2:0]			—	SPCP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R/W
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R/W

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
SPSSR レジスタは、CPU から SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット（RSPI コマンドポインタビット）

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD0 ～ 7 レジスタを示します。
なお、RSPI のシーケンス制御については、「33.3.10.1　マスタモード動作」を参照してください。

SPECM[2:0] ビット（RSPI エラーコマンドビット）

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD0 ～ 7 レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF、PERF フラグがいずれも “0” で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。
なお、RSPI のエラー検出機能については、「33.3.8　エラー検出」を参照してください。また、RSPI のシーケンス制御については、「33.3.10.1　マスタモード動作」を参照してください。

33.2.8 RSPI ビットレートレジスタ（SPBR）

アドレス　RSPI0.SPBR 0008 838Ah、RSPI1.SPBR 0008 83AAh

	b7	b6	b5	b4	b3	b2	b1	b0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
リセット後の値	1	1	1	1	1	1	1	1

SPBR レジスタは、CPU による書き込み／読み出し可能なレジスタで、マスタモード時のビットレート設定に使用します。SPCR.MSTR, SPE ビットがともに “1” で、マスタモードの RSPI 動作が有効な状態において、CPU が SPBR レジスタを書き替えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合は、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、入力クロックのビットレートに依存します。（電気的特性を満足するビットレートを使用してください）

ビットレートは SPBR レジスタの設定値と SPCMD0 ～ 7 レジスタの BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値（0、1、2、……、255）、N は BRDV[1:0] ビットの設定値（0、1、2、3）です。

$$\text{ビットレート} = \frac{f\,(PCLK)}{2 \times (n+1)\,2^{N}}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 33.4 に示します。

表 33.4　SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの設定値（n）	BRDV[1:0] ビットの設定値（N）	分周比	ビットレート			
			PCLK＝32MHz	PCLK＝36MHz	PCLK＝40MHz	PCLK＝50MHz
0	0	2	16.00 Mbps	18.00 Mbps	20.0 Mbps(注1)	25.0 Mbps(注1)
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps
5	2	48	667 kbps	750 kbps	833 kbps	1.04 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps

注1.　設定できますが、電気的特性を満たすように使用してください。

33.2.9 RSPI データコントロールレジスタ（SPDCR）

アドレス　RSPI0.SPDCR 0008 838Bh、RSPI1.SPDCR 0008 83ABh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SPLW	SPRDTD	SLSEL[1:0]		SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	SPDR レジスタに格納できるフレーム数を設定します。 表33.5および図33.2に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。 組み合わせ例に示した以外の設定を行った場合、以後の動作は保証されません。	R/W
b3-b2	SLSEL[1:0]	SSL 端子出力選択ビット	<table><tr><td></td><td>SLSEL [1:0]=“00b”</td><td>SLSEL [1:0]=“01b”</td><td>SLSEL [1:0]=“10b”</td><td>SLSEL [1:0]=“11b”</td></tr><tr><td>SSL3</td><td>出力</td><td>IO</td><td>IO</td><td rowspan="4">設定しないでください</td></tr><tr><td>SSL2</td><td>出力</td><td>IO</td><td>IO</td></tr><tr><td>SSL1</td><td>出力</td><td>IO</td><td>出力</td></tr><tr><td>SSL0</td><td>出力</td><td>出力</td><td>出力</td></tr></table>SLSEL[1:0]=“11b” と設定した場合、以後の動作は保証されません。	R/W
b4	SPRDTD	RSPI 受信／送信データ選択ビット	0：SPDR は受信バッファを読み出す 1：SPDR は送信バッファを読み出す （ただし、送信バッファが空のとき）	R/W
b5	SPLW	RSPI ロングワードアクセス／ワードアクセス設定ビット	0：SPDR レジスタへはワードアクセス 1：SPDR レジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPDCR レジスタは、SPDR レジスタに格納できるフレーム数、SSL 端子出力制御、SPDR レジスタの読み出し、SPDR レジスタへのアクセス幅をロングワードアクセス／ワードアクセスに設定するためのレジスタです。

RSPI コマンドレジスタ（SPCMD）の RSPI データ長設定ビット（SPB0 ～ 3）、RSPI シーケンス制御レジスタ（SPSCR）のシーケンス長設定ビット（SPSLN[2:0]）、RSPI データコントロールレジスタ（SPDCR）のフレーム数設定ビット（SPFC[1:0]）の組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

RSPI 制御レジスタ（SPCR）の SPE ビットが “1” で RSPI の動作が有効な状態において、CPU が SPDCR レジスタの SPFC[1:0] ビットを書き替える場合、RSPI ステータスレジスタ（SPSR）の IDLNF フラグが “0” のときに書き替えてください。

SPFC[1:0] ビット（フレーム数設定ビット）

SPDR レジスタに格納できるフレーム数を設定します。RSPI コマンドレジスタ（SPCMD）の RSPI データ長設定ビット（SPB[3:0]）、RSPI シーケンス制御レジスタ（SPSCR）の RSPI シーケンス長設定ビット（SPSLN[2:0]）、RSPI データコントロールレジスタ（SPDCR）のフレーム数設定ビット（SPFC[1:0]）の設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC[1:0] は、RSPI 受信バッファフル割り込みが発生する受信データ数の設定を行います。表 33.5 および図 33.2 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作は保証されません。

SLSEL[1:0] ビット（SSL 端子出力選択ビット）

SSL 端子選択ビット（SLSEL[1:0] ビット）は、マスタモード時に SSL 端子の出力制御を行います。

SPRDTD ビット（RSPI 受信／送信データ選択ビット）

RSPI データレジスタ（SPDR）の読み出す値を受信バッファとするか、送信バッファとするか選択します。送信バッファを読む場合、SPDR レジスタへ直前に書いた値が読めます。

SPLW ビット（RSPI ロングワードアクセス／ワードアクセス設定ビット）

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが “0” のときはワードアクセス、SPLW ビットが “1” のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

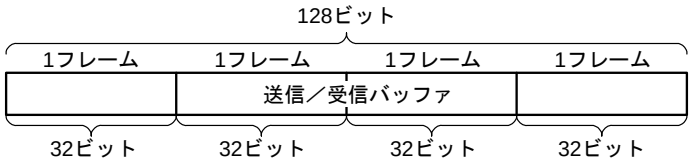
また、SPLW ビットが “0” のとき、SPCMD.SPB[3:0] ビット（RSPI データ長設定ビット）の設定は、8 ～ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作は保証されません。

表33.5　SPB[3:0]ビットで設定可能なデータ長

設定	SPB[3:0]	SPSLN[2:0]	SPFC[1:0]	転送する フレーム数	受信バッファフル割り込み発生、 送信バッファにデータあり になるフレーム数
1-1	N	000	00	1	1
1-2	N	000	01	2	2
1-3	N	000	10	3	3
1-4	N	000	11	4	4
2-1	N、M	001	01	2	2
2-2	N、M	001	11	4	4
3	N、M、O	010	10	3	3
4	N、M、O、P	011	11	4	4
5	N、M、O、P、Q	100	00	5	1
6	N、M、O、P、Q、R	101	00	6	1
7	N、M、O、P、Q、R、S	110	00	7	1
8	N、M、O、P、Q、R、S、T	111	00	8	1

【記号説明】　N、M、O、P、Q、R、S、T：SPB[3:0] で設定できるデータ長

・フレームの構成



・送受信設定の組み合わせ例
1回の起動で表32.5の1-1～8の設定時に以下のようにデータが送受信できます。

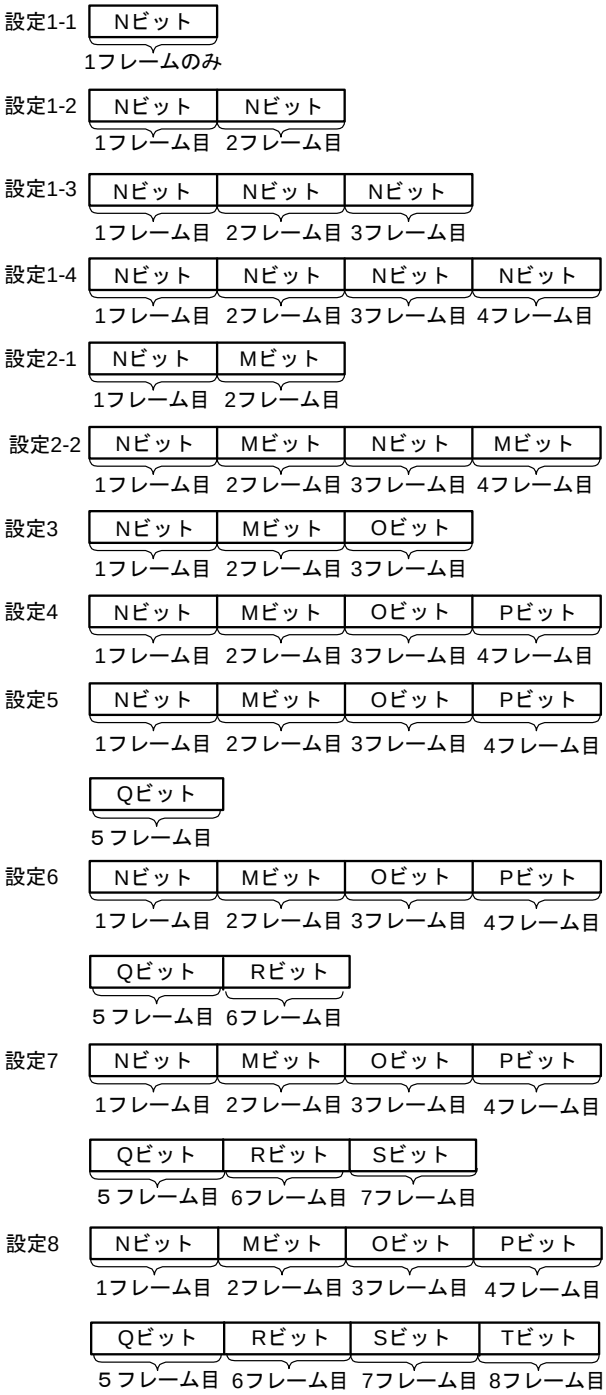


図 33.2　　フレームの構成と送受信設定の組み合わせ例

33.2.10 RSPI クロック遅延レジスタ（SPCKD）

アドレス　RSPI0.SPCKD 0008 838Ch、RSPI1.SPCKD 0008 83ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説　　明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMD.SCKDEN ビットが “1” の状態における、SSL 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。SPCR.MSTR, SPE ビットがともに “1” で、マスタモードの RSPI の動作が有効な状態において、SPCKD レジスタを書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合は、SCKDL[2:0] ビットを “000b” にしてください。

SCKDL[2:0] ビット（RSPCK 遅延設定ビット）

SPCMD.SCKDEN ビットが “1” の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合は、SCKDL[2:0] ビットを “000b” にしてください。

33.2.11 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）

アドレス　RSPI0.SSLND 0008 838Dh、RSPI1.SSLND 0008 83ADh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLND レジスタは、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するためのレジスタです。SPCR.MSTR, SPE ビットがともに “1” で、マスタモードの RSPI の動作が有効な状態において、SSLND レジスタを書き替えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを “000b” にしてください。

SLNDL[2:0] ビット（SSL ネゲート遅延設定ビット）

マスタモードの RSPI の SSL ネゲート遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SLNDL[2:0] ビットを “000b” にしてください。

33.2.12 RSPI 次アクセス遅延レジスタ（SPND）

アドレス　RSPI0.SPND 0008 838Eh、RSPI1.SPND 0008 83AEh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0：1RSPCK＋2PCLK 0 0 1：2RSPCK＋2PCLK 0 1 0：3RSPCK＋2PCLK 0 1 1：4RSPCK＋2PCLK 1 0 0：5RSPCK＋2PCLK 1 0 1：6RSPCK＋2PCLK 1 1 0：7RSPCK＋2PCLK 1 1 1：8RSPCK＋2PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMD.SPNDEN ビットが “1” の状態で、シリアル転送終了後の SSL 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR, SPE ビットがともに “1” で、マスタモードの RSPI 動作が有効な状態において、SPND レジスタを書き替えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合は、SPNDL[2:0] ビットを “000b” にしてください。

SPNDL[2:0] ビット（RSPI 次アクセス遅延設定ビット）

SPCMD.SPNDEN ビットが “1” の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合は、SPNDL[2:0] ビットを “000b” にしてください。

33.2.13 RSPI 制御レジスタ 2（SPCR2）

アドレス　RSPI0.SPCR2 0008 838Fh、RSPI1.SPCR2 0008 83AFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ有効ビット	0：送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1：送信データにパリティビットを付加し、受信データのパリティチェックを行う（SPCR.TXMD=0のとき） 送信データにパリティビットを付加するが、受信データのパリティチェックは行わない（SPCR.TXMD=1のとき）	R/W
b1	SPOE	パリティモードビット	0：偶数パリティで送受信 1：奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0：アイドル割り込み要求の発生を禁止 1：アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己判断ビット	0：パリティ回路自己診断機能は無効 1：パリティ回路自己診断機能が有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR2 レジスタは、RSPI の動作モードを設定するためのレジスタです。SPCR.SPE ビットが “1” で RSPI 動作が有効な状態において、SPCR2 レジスタの SPPE、SPOE ビットの設定値を変更した場合には、以降の動作は保証されません。

SPPE ビット（パリティ有効ビット）

パリティ機能の有効、無効を選択するビットです。

RSPI 制御レジスタ（SPCR）の通信動作モード選択ビット（TXMD）が ”0”、SPCR2 レジスタの SPPE が ”1” のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR レジスタの TXMD ビットが “1”、SPCR2 レジスタの SPPE ビットが “1” の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット（パリティモードビット）

偶数パリティでは、パリティビットと送受信キャラクタをあわせて、1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、1 の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが “1” のときのみ有効です。

SPIIE ビット（RSPI 割り込み許可ビット）

RSPI がアイドル状態であることを検出し、RSPI ステータスレジスタ（SPSR）の IDLNF フラグが “0” になった場合に、RSPI アイドル割り込み要求の発生を許可／禁止します。

PTE ビット（パリティ自己診断ビット）

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

33.2.14 RSPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ SPCMD7）

アドレス　RSPI0.SPCMD0 0008 8390h、RSPI0.SPCMD1 0008 8392h、RSPI0.SPCMD2 0008 8394h、RSPI0.SPCMD3 0008 8396h、RSPI0.SPCMD4 0008 8398h、RSPI0.SPCMD5 0008 839Ah、RSPI0.SPCMD6 0008 839Ch、RSPI0.SPCMD7 0008 839Eh、RSPI1.SPCMD0 0008 83B0h、RSPI1.SPCMD1 0008 83B2h、RSPI1.SPCMD2 0008 83B4h、RSPI1.SPCMD3 0008 83B6h、RSPI1.SPCMD4 0008 83B8h、RSPI1.SPCMD5 0008 83BAh、RSPI1.SPCMD6 0008 83BCh、RSPI1.SPCMD7 0008 83BEh

	b15	b14	b13	b12	b11	b10	b9	b8
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
リセット後の値	0	0	0	0	0	1	1	1

	b7	b6	b5	b4	b3	b2	b1	b0
	SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
リセット後の値	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0：奇数エッジでデータサンプル、偶数エッジでデータ変化 1：奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0：アイドル時のRSPCKが“0” 1：アイドル時のRSPCKが“1”	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0：ベースのビットレートを選択 0 1：ベースのビットレートの2分周を選択 1 0：ベースのビットレートの4分周を選択 1 1：ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0：SSL0 0 0 1：SSL1 0 1 0：SSL2 0 1 1：SSL3 1 x x：設定しないでください 【記号説明】x：Don’t care	R/W
b7	SSLKP	SSL信号レベル保持ビット	0：転送終了時に全SSL信号をネゲート 1：転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100～0111：8ビット 1 0 0 0：9ビット 1 0 0 1：10ビット 1 0 1 0：11ビット 1 0 1 1：12ビット 1 1 0 0：13ビット 1 1 0 1：14ビット 1 1 1 0：15ビット 1 1 1 1：16ビット 0 0 0 0：20ビット 0 0 0 1：24ビット 0010、0011：32ビット	R/W
b12	LSBF	RSPI LSBファーストビット	0：MSBファースト 1：LSBファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延設定許可ビット	0：次アクセス遅延は1RSPCK＋2PCLK 1：次アクセス遅延はRSPI次アクセス遅延レジスタ（SPND）の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0：SSLネゲート遅延は1RSPCK 1：SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ（SSLND）の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0：RSPCK遅延は1RSPCK 1：RSPCK遅延はRSPIクロック遅延レジスタ（SPCKD）の設定値	R/W

SPCMD0 ～ 7 レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャネルの RSPI には、RSPI コマンドレジスタ（SPCMD）が 8 本あります（SPCMD0 ～ SPCMD7）。また、SPCMD0 の一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は RSPI シーケンス制御レジスタ（SPSCR）の SPSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMD0 ～ 7 を参照し、参照した SPCMD に設定されたシリアル転送を実行します。

SPCMD の設定は送信バッファが空の（次転送のデータがセットされていない）状態でその SPCMD を参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMD は、RSPI シーケンスステータスレジスタ（SPSSR）の SPCP[2:0] ビットにより確認できます。また、スレーブモードの RSPI 動作が有効な状態において、SPCMD レジスタを書き替えた場合、以降の動作は保証されません。

CPHA ビット（RSPCK 位相設定ビット）

マスタモード／スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット（RSPCK 極性設定ビット）

マスタモード／スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット（ビットレート分周設定ビット）

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します（「33.2.8　RSPI ビットレートレジスタ（SPBR）」を参照）。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし／2分周／4分周／8分周したビットレートを選択するために使用します。SPCMD0 ～ 7 にはそれぞれ異なる BRDV[1:0] ビットの設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。

SSLA[2:0] ビット（SSL 信号アサート設定ビット）

マスタモードの RSPI がシリアル転送する場合の SSL 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSL0 ～ SSL3 信号のアサートを制御します。SSL0 ～ SSL3 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを “000b” にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます（SSLn0 端子は入力になるため）。

なお、RSPI をスレーブモードで使用する場合は、SSLA[2:0] ビットを “000b” にしてください。

SSLKP ビット（SSL 信号レベル保持ビット）

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSL 信号レベルを保持するか、ネゲートするかを設定するビットです。

RSPI をスレーブモードで使用する場合は、SSLKP ビットを “0” にしてください。

SPB[3:0] ビット（RSPI データ長設定ビット）

マスタモード／スレーブモードの RSPI の転送データ長を設定します。

LSBF ビット（RSPI LSB ファーストビット）

マスタモード／スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット（RSPI 次アクセス遅延設定許可ビット）

マスタモードの RSPI がシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間（次アクセス遅延）を設定します。SPNDEN ビットが “0” のとき、RSPI は次アクセス遅延を 1RSPCK+2PCLK にします。SPNDEN ビットが “1” のとき、RSPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合は、SPNDEN ビットを “0” にしてください。

SLNDEN ビット（SSL ネゲート遅延設定許可ビット）

マスタモードの RSPI が、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定します。SLNDEN ビットが “0” のとき、RSPI は SSL ネゲート遅延を 1RSPCK にします。SLNDEN ビットが “1” のとき、RSPI は SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合は、SLNDEN ビットを “0” にしてください。

SCKDEN ビット（RSPCK 遅延設定許可ビット）

マスタモードの RSPI が、SSL 信号をアクティブにしてから RSPCK を発振するまでの期間（RSPCK 遅延）を設定します。SCKDEN ビットが “0” のとき、RSPI は RSPCK 遅延を 1RSPCK にします。SCKDEN ビットが “1” のとき、RSPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合は、SCKDEN ビットを “0” にしてください。

33.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

33.3.1 RSPI 動作の概要

RSPI は、スレーブモード（SPI 動作）、シングルマスタモード（SPI 動作）、マルチマスタモード（SPI 動作）、スレーブモード（クロック同期式動作）、マスタモード（クロック同期式動作）での同期式のシリアル転送が可能です。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 33.6 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表33.6　RSPIのモードとSPCRレジスタの設定の関係および各モードの概要

モード	スレーブ（SPI動作）	シングルマスタ（SPI動作）	マルチマスタ（SPI動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCK信号	入力	出力	出力／Hi-Z	入力	出力
MOSI信号	入力	出力	出力／Hi-Z	入力	出力
MISO信号	出力／Hi-Z	入力	入力	出力	入力
SSL0信号	入力	出力	入力	Hi-Z	Hi-Z
SSL1～SSL3信号	Hi-Z	出力／Hi-Z	出力／Hi-Z	Hi-Z	Hi-Z
出力端子モード	CMOS／オープンドレイン	CMOS／オープンドレイン	CMOS／オープンドレイン	CMOS／オープンドレイン	CMOS／オープンドレイン
SSL極性変更機能	あり	あり	あり	-	-
転送レート	～ PCLK/8	～ PCLK/2	～ PCLK/2	～ PCLK/8	～ PCLK/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種	2 種	2 種	2 種	2 種
クロック位相	2 種	2 種	2 種	1 種（CPHA=1）	2 種
先頭転送ビット	MSB ／ LSB	MSB ／ LSB	MSB ／ LSB	MSB ／ LSB	MSB ／ LSB
転送データ長	8 ～ 32 ビット	8 ～ 32 ビット	8 ～ 32 ビット	8 ～ 32 ビット	8 ～ 32 ビット
バースト転送	可能（CPHA=1）	可能（CPHA=0,1）	可能（CPHA=0,1）	―	―
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたはRSPCK 発振	送信バッファエンプティ割り込み要求で送信バッファ書き込み	送信バッファエンプティ割り込み要求で送信バッファ書き込み	RSPCK 発振	送信バッファエンプティ割り込み要求で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり	あり	あり	あり	あり
受信バッファフル検出	あり（注 1）	あり（注 1）	あり（注 1）	あり（注 1）	あり（注 1）
オーバランエラー検出	あり（注 1）	あり（注 1）	あり（注 1）	あり（注 1）	あり（注 1）
パリティエラー検出	あり（注 1）（注 2）	あり（注 1）（注 2）	あり（注 1）（注 2）	あり（注 1）（注 2）	あり（注 1）（注 2）
モードフォルトエラー検出	あり（MODFEN=1）	なし	あり	なし	なし

注1.　SPCR.TXMDビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。
注2.　SPCR2.SPPEビットが“0”のときは、パリティエラー検出を行いません。

33.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS ビットと SPPCR.SPOM ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を表 33.7 に示します。

表33.7　RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態（注1）	
		SPPCR.SPOM＝0	SPPCR.SPOM＝1
シングルマスタ（SPI動作）（MSTR＝1、MODFEN＝0、SPMS=0）	RSPCK	CMOS出力	オープンドレイン出力
	SSL0～3	CMOS出力	オープンドレイン出力
	MOSI	CMOS出力	オープンドレイン出力
	MISO	入力	入力
マルチマスタ（SPI動作）（MSTR＝1、MODFEN＝1、SPMS=0）	RSPCK（注2）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
	SSL0	入力	入力
	SSL1～3（注2）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
	MOSI（注2）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
	MISO	入力	入力
スレーブ（SPI動作）（MSTR＝0、SPMS=0）	RSPCK	入力	入力
	SSL0	入力	入力
	SSL1～3	Hi-Z	Hi-Z
	MOSI	入力	入力
	MISO（注3）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
マスタ（クロック同期式動作）（MSTR＝1、MODFEN＝0、SPMS=1）	RSPCK	CMOS出力	オープンドレイン出力
	SSL0～3（注4）	Hi-Z	Hi-Z
	MOSI	CMOS出力	オープンドレイン出力
	MISO	入力	入力
スレーブ（クロック同期式動作）（MSTR＝0、SPMS=1）	RSPCK	入力	入力
	SSL0～3（注4）	Hi-Z	Hi-Z
	MOSI	入力	入力
	MISO	CMOS出力	オープンドレイン出力

注1.　RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。
注2.　SSL0がアクティブレベルの場合、端子状態がハイインピーダンスになります。
注3.　SSL0が非アクティブレベルまたはSPCRのSPEビットが“0”の場合、端子状態がハイインピーダンスになります。
注4.　クロック同期式動作時は、SSL0～3をI/Oポートとして使用可能です。

シングルマスタモード（SPI 動作）、マルチマスタモード（SPI 動作）の RSPI は、SPPCR.MOIFE ビットと SPPCR.MOIFE, MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を表 33.8 のように決定します。

表33.8　SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSI信号値
0	0、1	前回転送の最終データ
1	0	常に“0”
1	1	常に“1”

33.3.3 RSPI システム構成例

33.3.3.1 シングルマスタ／シングルスレーブ（本 LSI ＝マスタ）

図 33.3 に、本 LSI をマスタとして使用した場合のシングルマスタ／シングルスレーブの RSPI システムの構成例を示します。シングルマスタ／シングルスレーブの構成では、本 LSI（マスタ）の SSL0 ～ SSL3 出力は使用しません。RSPI スレーブの SSL 入力は Low に固定して、RSPI スレーブを常に選択できる状態にします。（注）

本 LSI（マスタ）は、RSPCK と MOSI を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

注 . SPCMDm.CPHA ビット（m=0 ～ 7）が “0” の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

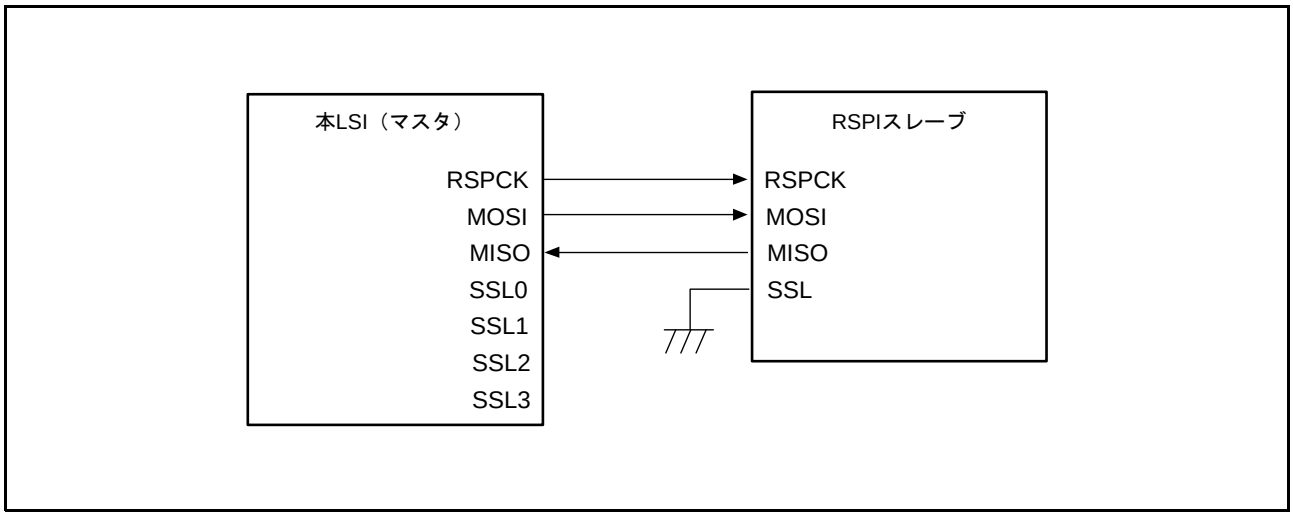


図 33.3 シングルマスタ／シングルスレーブの構成例（本 LSI ＝マスタ）

33.3.3.2　シングルマスタ／シングルスレーブ（本 LSI ＝スレーブ）

図 33.4 に、本 LSI をスレーブとして使用した場合のシングルマスタ／シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL0 端子を SSL 入力として使用します。RSPI マスタは、RSPCK と MOSI を常にドライブします。本 LSI（スレーブ）は、MISO を常にドライブします。(注)

SPCMD.CPHA ビットを “1” にしたシングルスレーブ構成の場合には、本 LSI（スレーブ）の SSL0 入力を Low に固定して本 LSI（スレーブ）を常に選択できる状態とし、シリアル転送を実行することも可能です（図 33.5）。

注．　SSL0 が非アクティブレベルの場合、端子状態がハイインピーダンスになります。

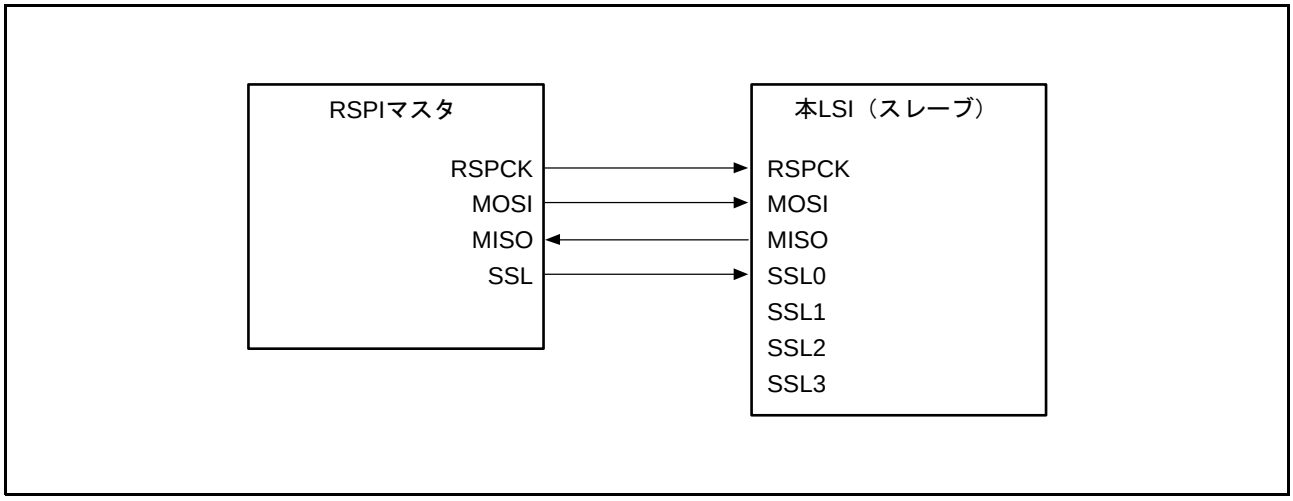


図 33.4　シングルマスタ／シングルスレーブの構成例（本 LSI ＝スレーブ）

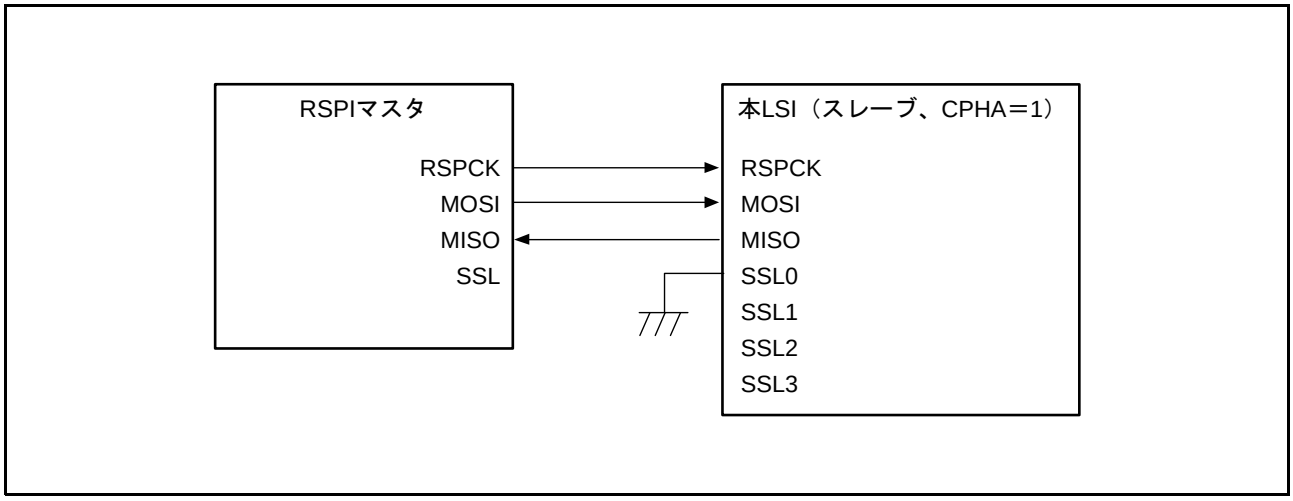


図 33.5　シングルマスタ／シングルスレーブの構成例（本 LSI ＝スレーブ、CPHA ＝ 1）

33.3.3.3　シングルマスタ／マルチスレーブ（本 LSI ＝マスタ）

図 33.6 に、本 LSI をマスタとして使用した場合のシングルマスタ／マルチスレーブの RSPI システム構成例を示します。図 33.6 の例では、本 LSI（マスタ）と 4 つのスレーブ（RSPI スレーブ 0 ～ RSPI スレーブ 3）から RSPI システムを構成しています。

本 LSI（マスタ）の RSPCK 出力と MOSI 出力は、RSPI スレーブ 0 ～ RSPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 0 ～ RSPI スレーブ 3 の MISO 出力は、すべて本 LSI（マスタ）の MISO 入力に接続します。本 LSI（マスタ）の SSL0 ～ SSL3 出力は、それぞれ RSPI スレーブ 0 ～ RSPI スレーブ 3 の SSL 入力に接続します。

本 LSI（マスタ）は、RSPCK、MOSI、SSL0 ～ SSL3 を常にドライブします。RSPI スレーブ 0 ～ RSPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

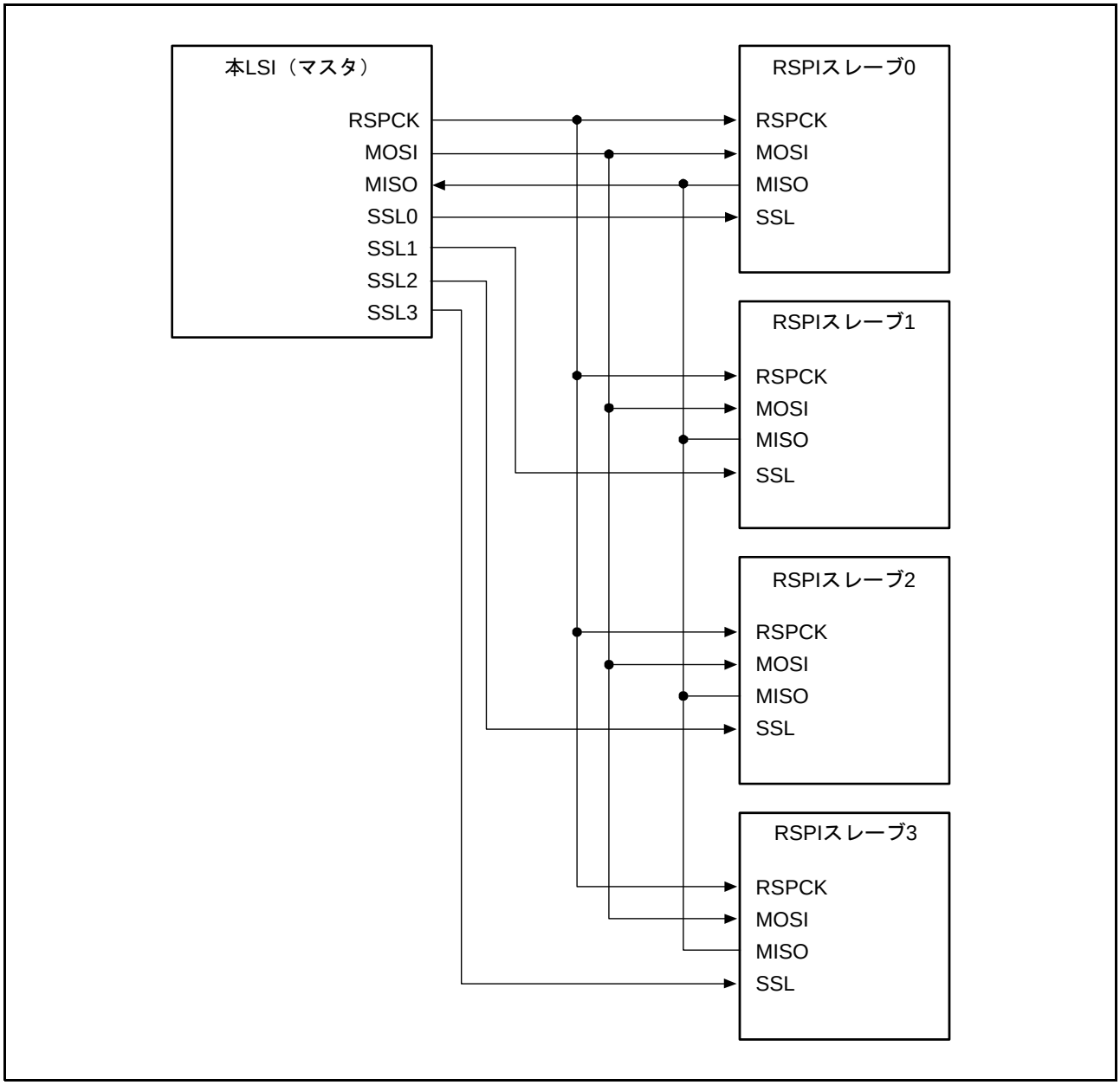


図 33.6　シングルマスタ／マルチスレーブの構成例（本 LSI ＝マスタ）

33.3.3.4　シングルマスタ／マルチスレーブ（本 LSI ＝スレーブ）

図 33.7 に、本 LSI をスレーブとして使用した場合のシングルマスタ／マルチスレーブの RSPI システム構成例を示します。図 33.7 の例では、RSPI マスタと 2 つの本 LSI（スレーブ X、スレーブ Y）から RSPI システムを構成しています。

RSPI マスタの RSPCK 出力と MOSI 出力は、本 LSI（スレーブ X、スレーブ Y）の RSPCK 入力と MOSI 入力に接続します。本 LSI（スレーブ X、スレーブ Y）の MISO 出力は、RSPI マスタの MISO 入力に接続します。RSPI マスタの SSLX 出力、SSLY 出力は、本 LSI（スレーブ X、スレーブ Y）の SSL0 入力に接続します。

RSPI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI（スレーブ X、スレーブ Y）のうち、SSL0 入力に Low を入力されているスレーブが、MISO をドライブします。

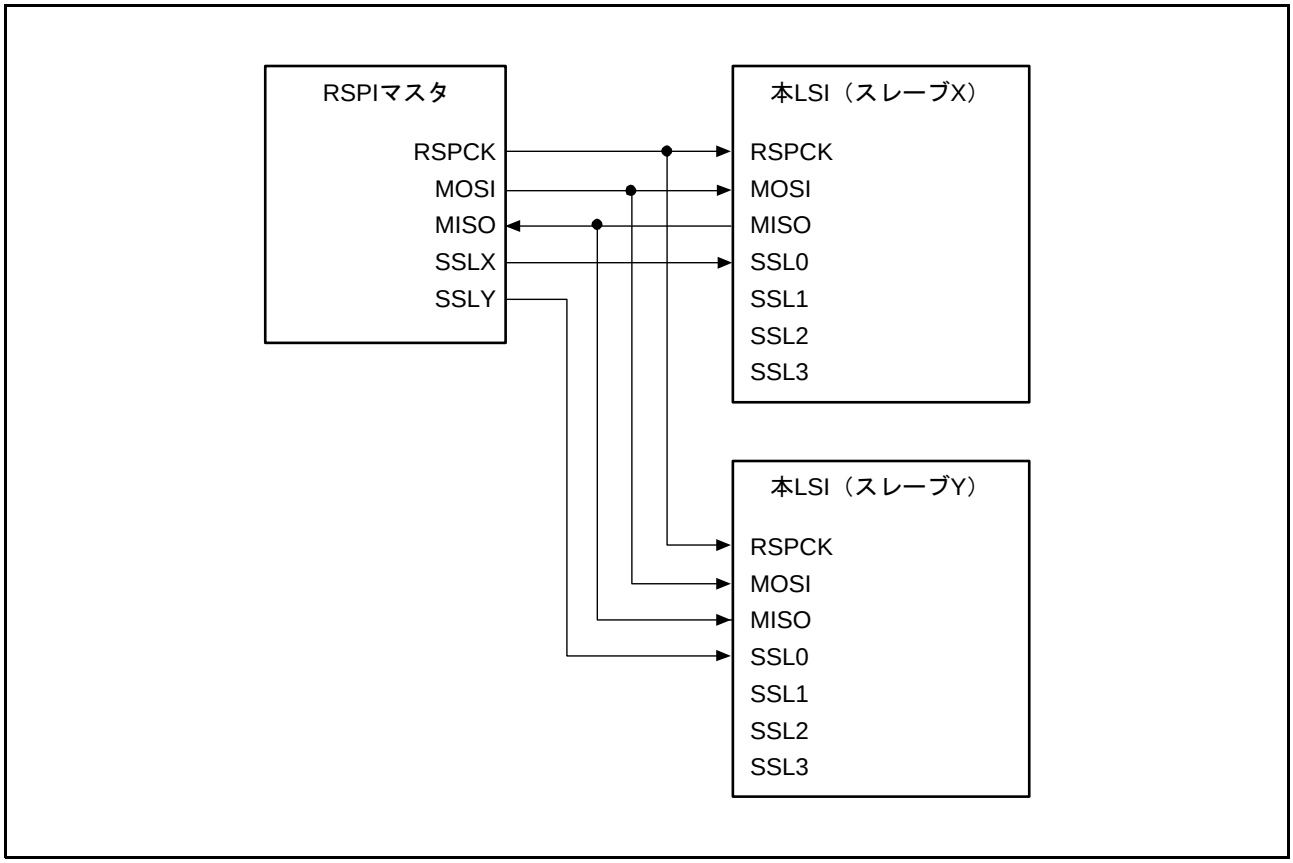


図 33.7　シングルマスタ／マルチスレーブの構成例（本 LSI ＝スレーブ）

33.3.3.5　マルチマスタ／マルチスレーブ（本 LSI ＝マスタ）

図 33.8 に、本 LSI をマスタとして使用した場合のマルチマスタ／マルチスレーブの RSPI システム構成例を示します。図 33.8 の例では、2 つの本 LSI（マスタ X、マスタ Y）と 2 つの RSPI スレーブ（RSPI スレーブ 1、RSPI スレーブ 2）から RSPI システムを構成しています。

本 LSI（マスタ X、マスタ Y）の RSPCK 出力と MOSI 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 1、RSPI スレーブ 2 の MISO 出力は、本 LSI（マスタ X、マスタ Y）の MISO 入力に接続します。本 LSI（マスタ X）の任意の汎用ポート Y 出力は、本 LSI（マスタ Y）の SSL0 入力に接続します。本 LSI（マスタ Y）の任意の汎用ポート X 出力は、本 LSI（マスタ X）の SSL0 入力に接続します。本 LSI（マスタ X、マスタ Y）の SSL1 出力と SSL2 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL0 入力、スレーブ接続用の SSL1 出力、SSL2 出力のみでシステムを構成できるので、本 LSI の SSL3 出力を使用していません。

本 LSI は、SSL0 入力レベルが “1” の場合には、RSPCK、MOSI、SSL1、SSL2 をドライブします。SSL0 入力レベルが “0” の場合には、モードフォルトエラーを検出し、RSPCK、MOSI、SSL1、SSL2 をハイインピーダンスにして、他方のマスタに RSPI バス権を解放します。RSPI スレーブ 1、RSPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO をドライブします。

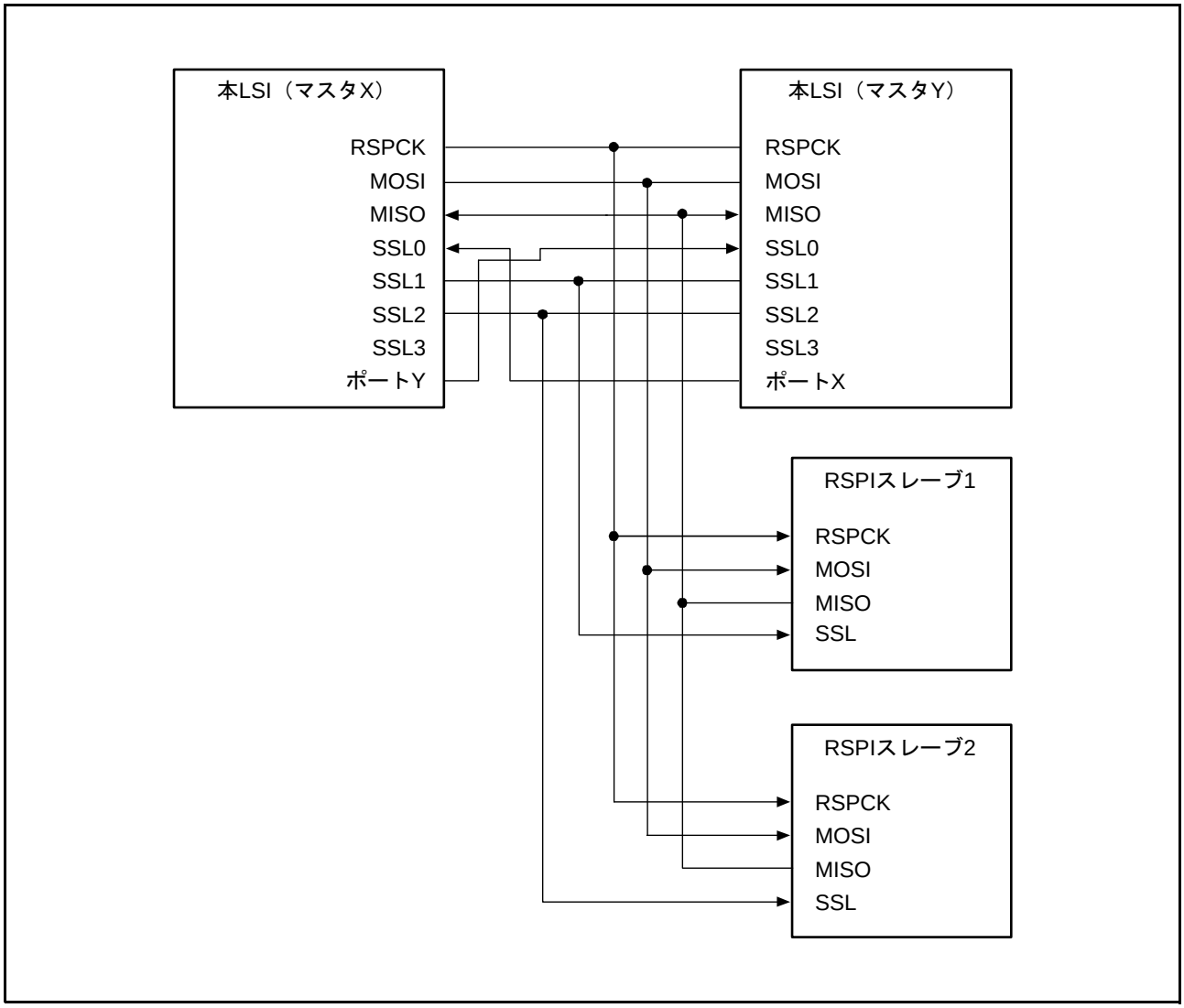


図 33.8　マルチマスタ／マルチスレーブの構成例（本 LSI ＝マスタ）

33.3.3.6 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本 LSI ＝マスタ）

図 33.9 に、本 LSI をマスタとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の RSPI システムの構成例を示します。マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成では、本 LSI（マスタ）の SSL0 ～ SSL3 は使用しません。

本 LSI（マスタ）は、RSPCK と MOSI を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

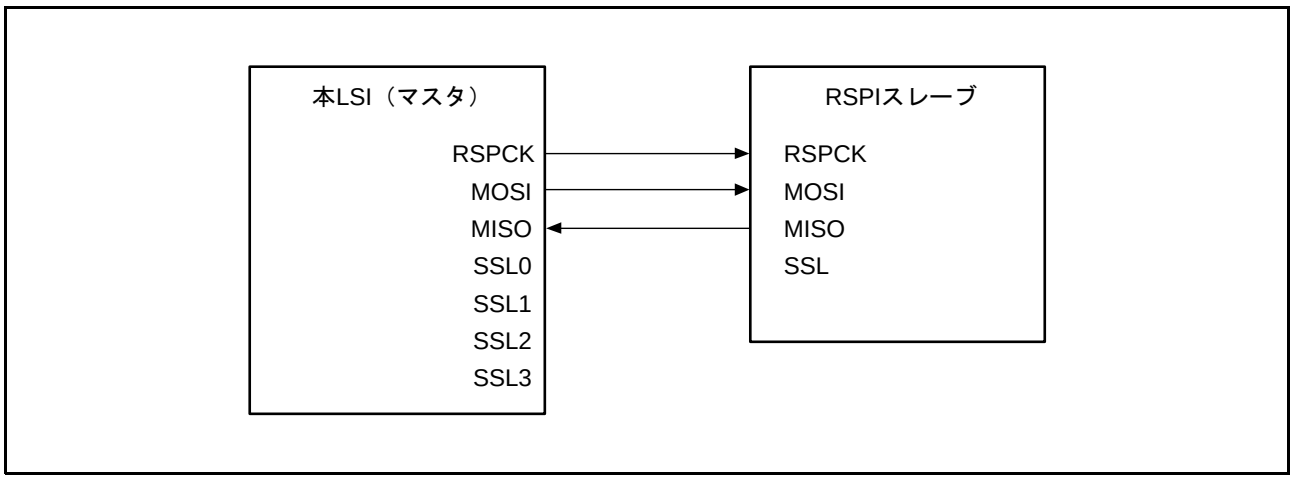


図 33.9　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例（本 LSI ＝マスタ）

33.3.3.7 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本 LSI ＝スレーブ）

図 33.10 に、本 LSI をスレーブとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の RSPI システム構成例を示します。本 LSI をスレーブ（クロック同期式動作）として使用する場合には、本 LSI（スレーブ）は、MISO を常にドライブし、RSPI マスタは、RSPCK と MOSI を常にドライブします。また、本 LSI（スレーブ）の SSL0 ～ SSL3 は使用しません。

SPCMD.CPHA ビットを “1” にしたシングルスレーブ構成の場合のみ、本 LSI（スレーブ）はシリアル転送を実行することが可能です。

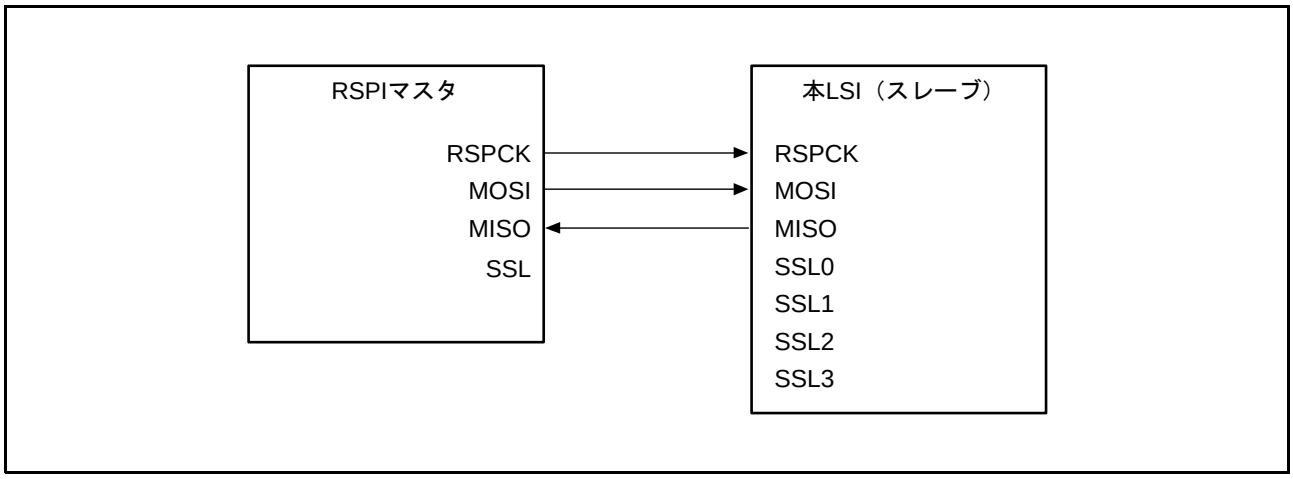


図 33.10　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例（本 LSI ＝スレーブ、CPHA ＝ 1）

33.3.4　転送フォーマット

33.3.4.1　CPHA ビット＝ 0 の場合

図 33.11 に SPCMDm.CPHA ビット（m=0 ～ 7）が “0” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード（SPCR.MSTR=0）で CPHA ビットが “0” の場合のクロック同期式動作（SPCR.SPMS ビットが “1” の場合）は保証しません。図 33.11 において、RSPCK（CPOL ＝ 0）は SPCMD.CPOL ビットが “0” の場合、RSPCK（CPOL ＝ 1）は CPOL ビットが “1” の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「33.3.2 RSPI 端子の制御」を参照してください。

CPHA ビットが “0” の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートから RSPCK 発振までの期間（RSPCK 遅延）です。t2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間（SSL ネゲート遅延）です。t3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間（次アクセス遅延）です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「33.3.10.1 マスタモード動作」を参照してください。

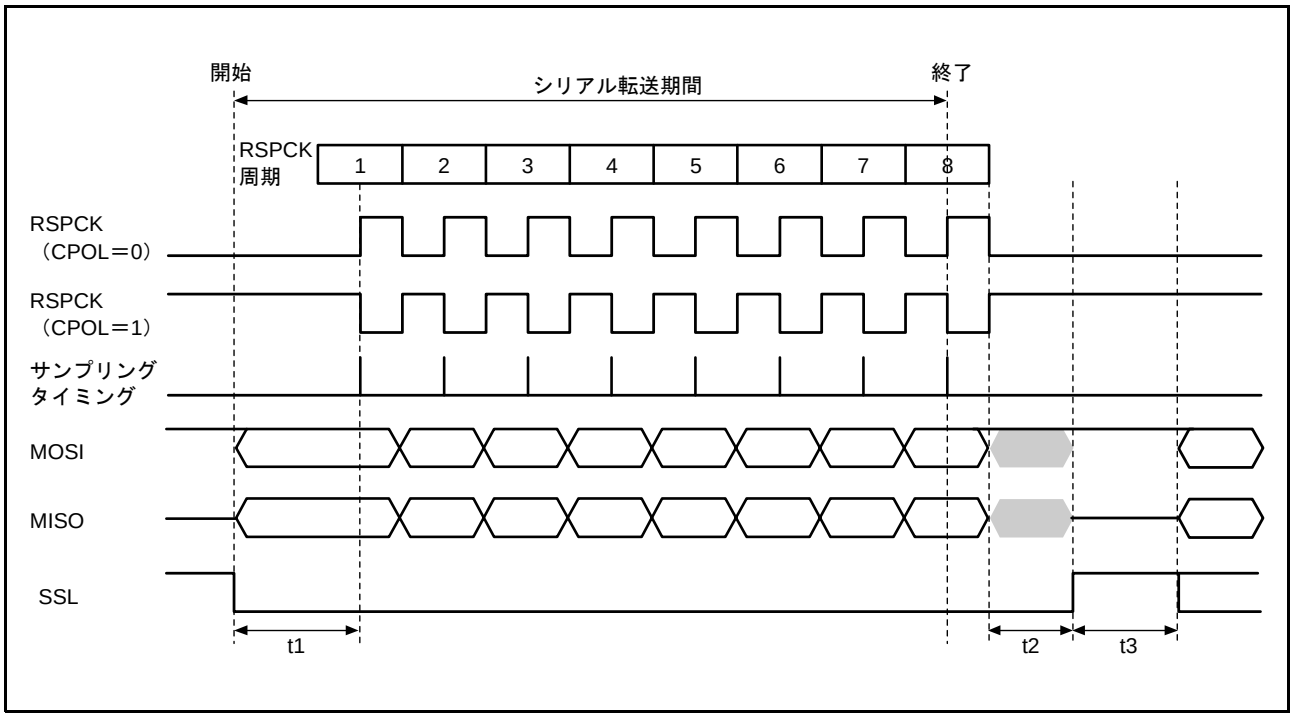


図 33.11　RSPI 転送フォーマット（CPHA ビット＝ 0）

33.3.4.2　CPHA ビット＝1 の場合

図 33.12 に SPCMDm.CPHA ビット（m=0 ～ 7）が “1” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが “1” の場合は SSL 信号を用いず、RSPCK 信号、MOSI 信号、MISO 信号のみで通信を行います。図 33.12 において、RSPCK（CPOL ＝ 0）は SPCMD.CPOL ビットが “0” の場合、RSPCK（CPOL ＝ 1）は CPOL ビットが “1” の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード（マスタ／スレーブ）に依存します。詳細は「33.3.2　RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビット（m=0 ～ 7）が “1” の場合には、SSL 信号のアサートタイミングで、MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データへの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。SPCMD.CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット＝ “0” の場合と同様です。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「33.3.10.1　マスタモード動作」を参照してください。

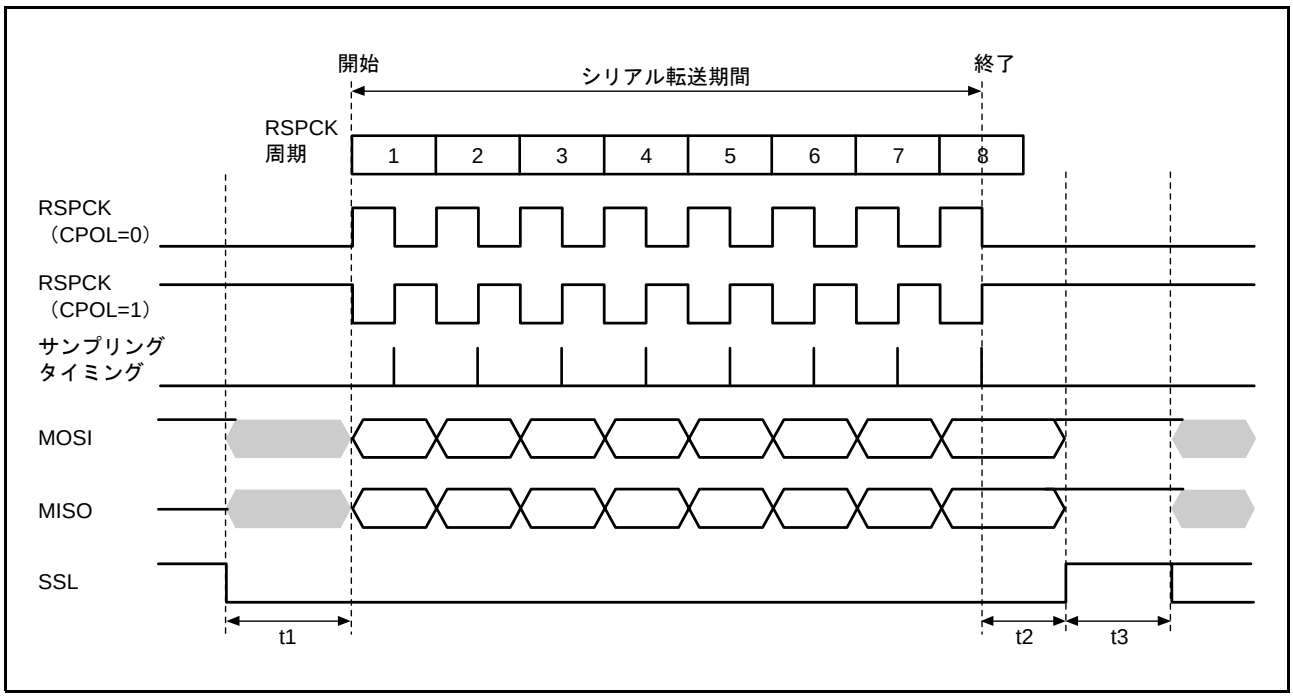


図 33.12　RSPI 転送フォーマット（CPHA ビット＝1）

33.3.5　データフォーマット

RSPI のデータフォーマットは、SPCMD レジスタおよび SPCR2.SPPE ビットの設定値に依存します。MSB ／ LSB ファーストにかかわらず、RSPI は SPDR.LSB ビットから設定データ長分の範囲を転送データとして扱います。

33.3.5.1　MSB ファースト転送（32 ビットデータ）

(1)　パリティ機能無効時（SPCR2.SPPE ＝ 0）

図 33.13 に、パリティ機能無効時で RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ～ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ～ R00 が格納されます。この状態で、全二重同期式のシリアル通信動作（SPCR.TXMD ＝ 0）であれば、RSPI はシフトレジスタから SPDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ～ R00 がシフトレジスタからシフトアウトされます。

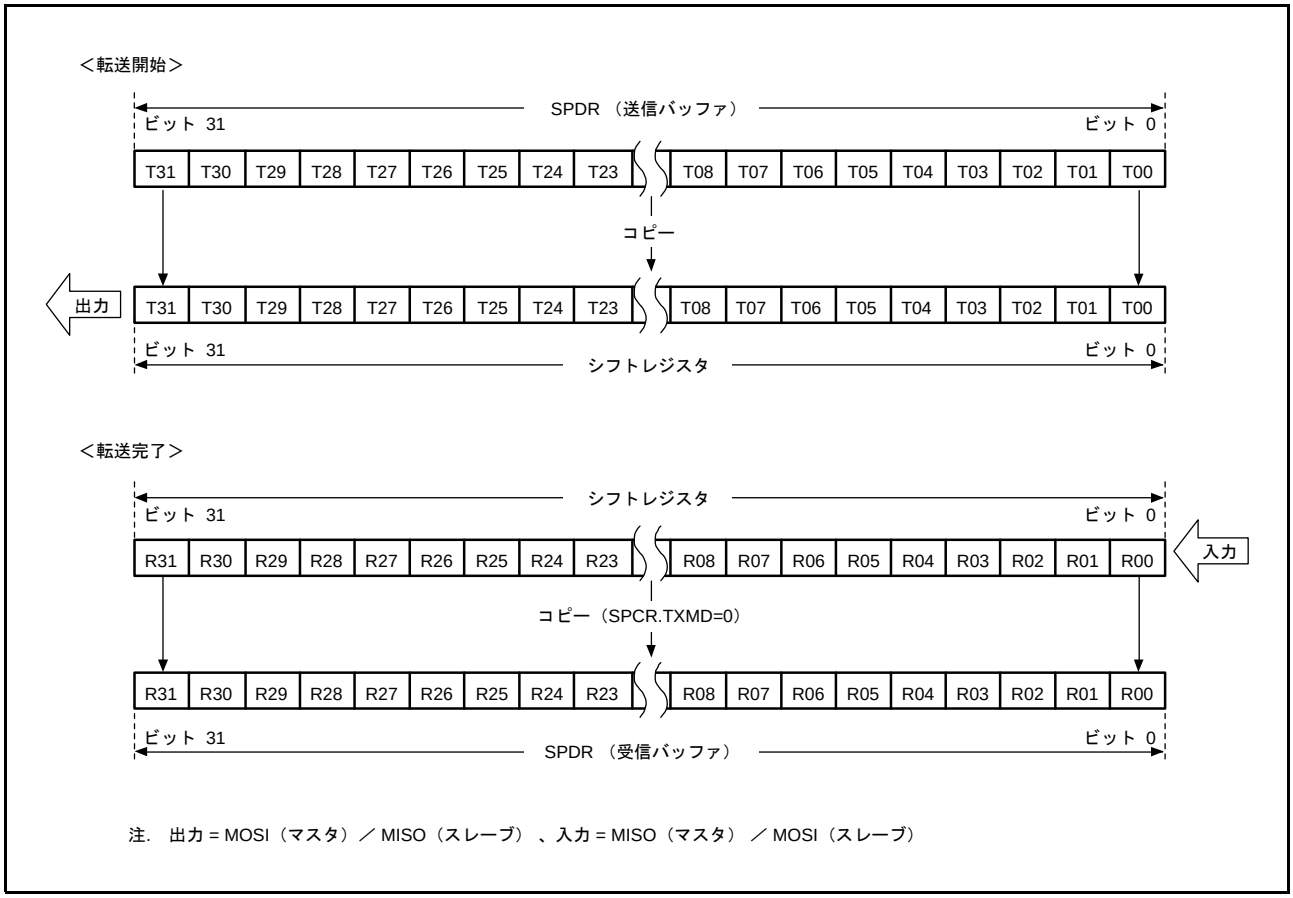


図 33.13　MSB ファースト転送（1）（32 ビットデータ／パリティ機能無効）

(2) パリティ機能有効時（SPCR2.SPPE ＝ 1）

図 33.14 に、パリティ機能有効時で RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ～ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファに格納されたデータの T00 をパリティビット（P）に変換します。パリティビット（P）を付加したデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。

32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ～ P が格納されます。この状態で、全二重同期式のシリアル通信動作（SPCR.TXMD ＝ 0）であれば、RSPI はシフトレジスタから SPDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ～ P がシフトレジスタからシフトアウトされます。

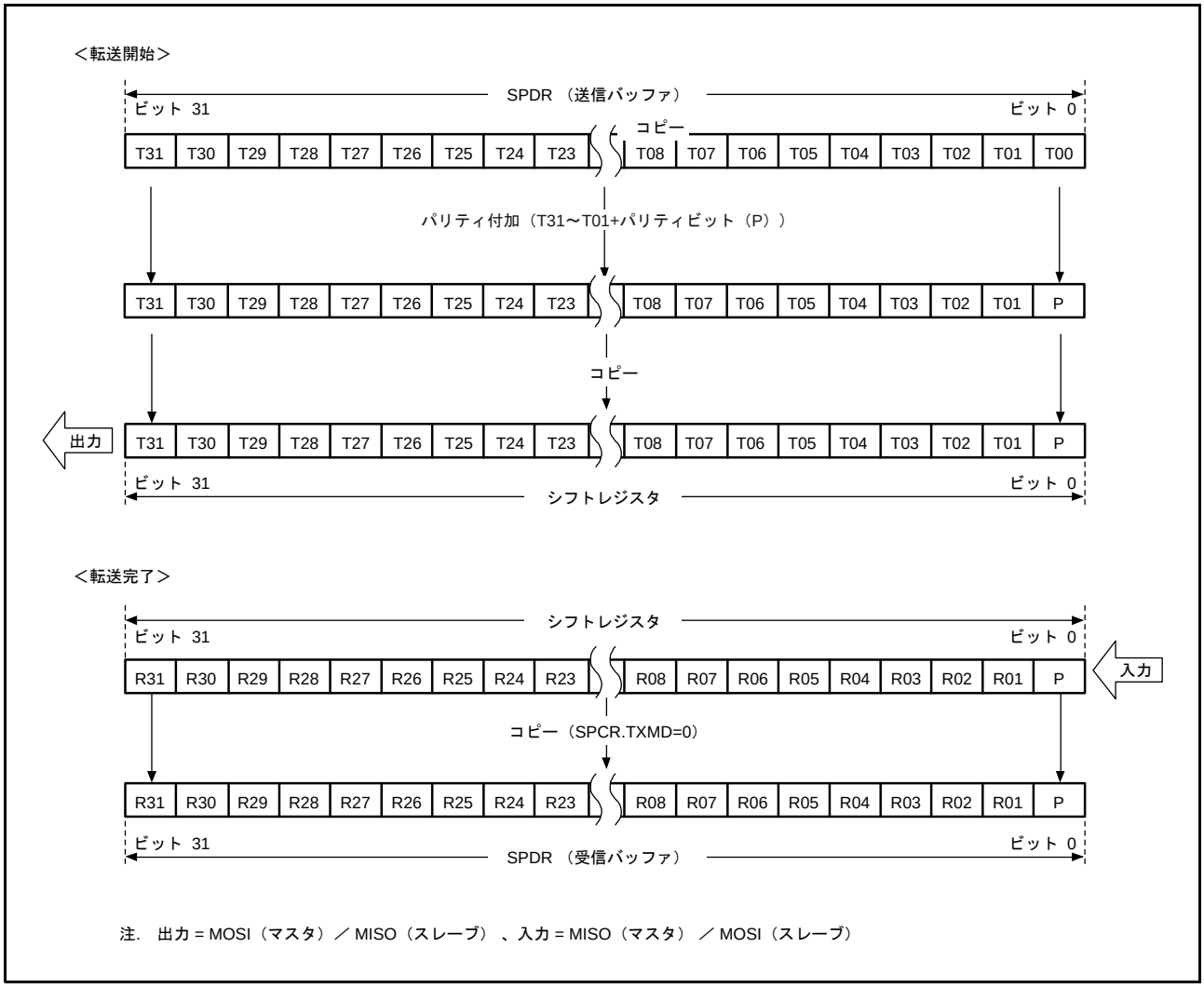


図 33.14　MSB ファースト転送（2）（32 ビットデータ／パリティ機能有効）

33.3.5.2　MSB ファースト転送（24 ビットデータ）

(1)　パリティ機能無効時（SPCR2.SPPE ＝ 0）

図 33.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ～ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファに格納されたデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのビット 23 からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 23 ～ 0 には受信データ R23 ～ R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ～ 24 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作（SPCR.TXMD=0）であれば、RSPI がシフトレジスタから SPDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R23 ～ R00 がシフトレジスタからシフトアウトされます。

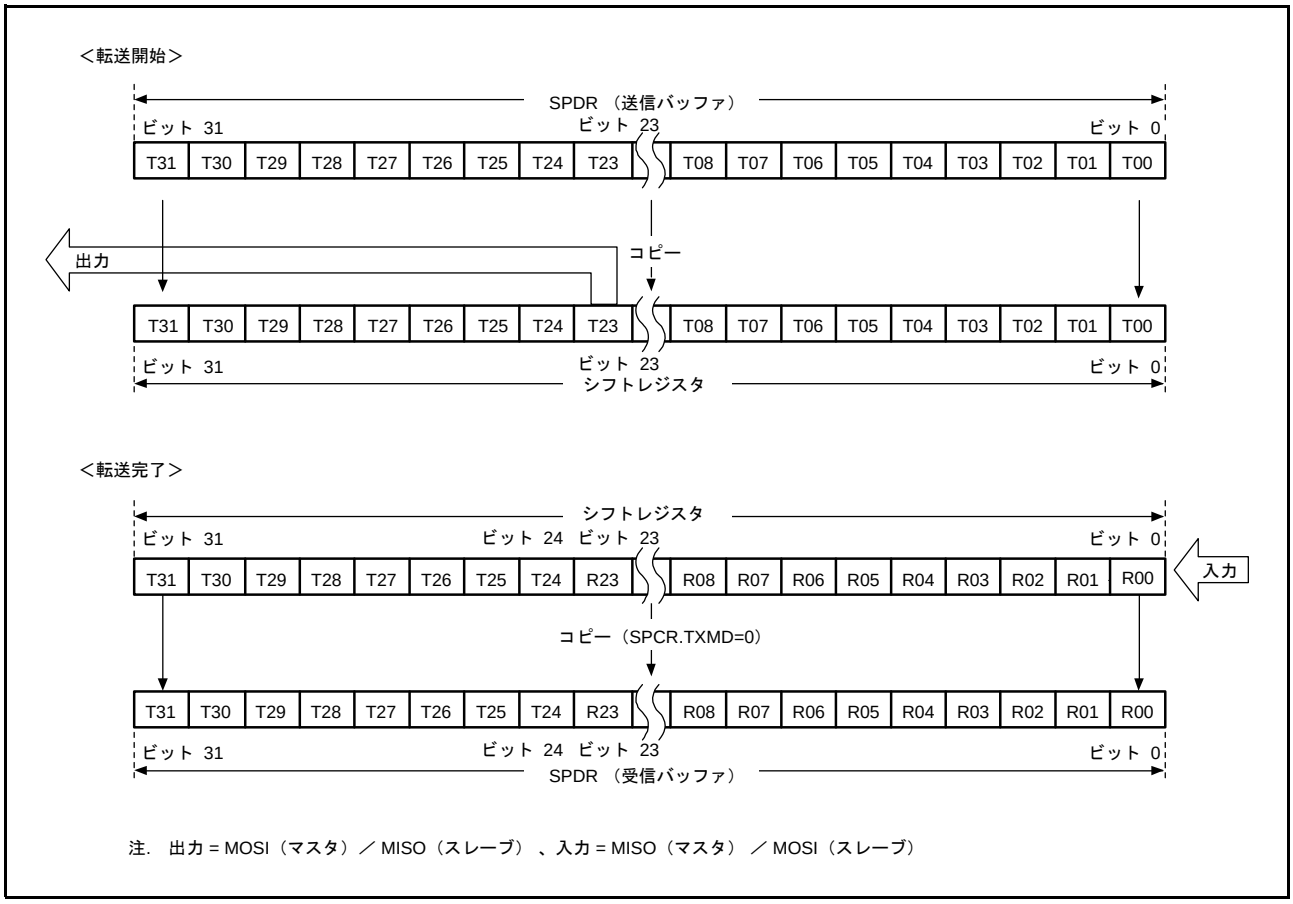


図 33.15　MSB ファースト転送（1）（24 ビットデータ／パリティ機能無効）

(2) パリティ機能有効時（SPCR2.SPPE ＝ 1）

図 33.16 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ～ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファに格納されたデータの T00 をパリティビット（P）に変換します。パリティビット（P）を付加したデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのビット 23 からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 23 ～ 0 には受信データ R23 ～ P が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ～ 24 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作（SPCR.TXMD=0）であれば、RSPI がシフトレジスタから SPDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R23 ～ P がシフトレジスタからシフトアウトされます。

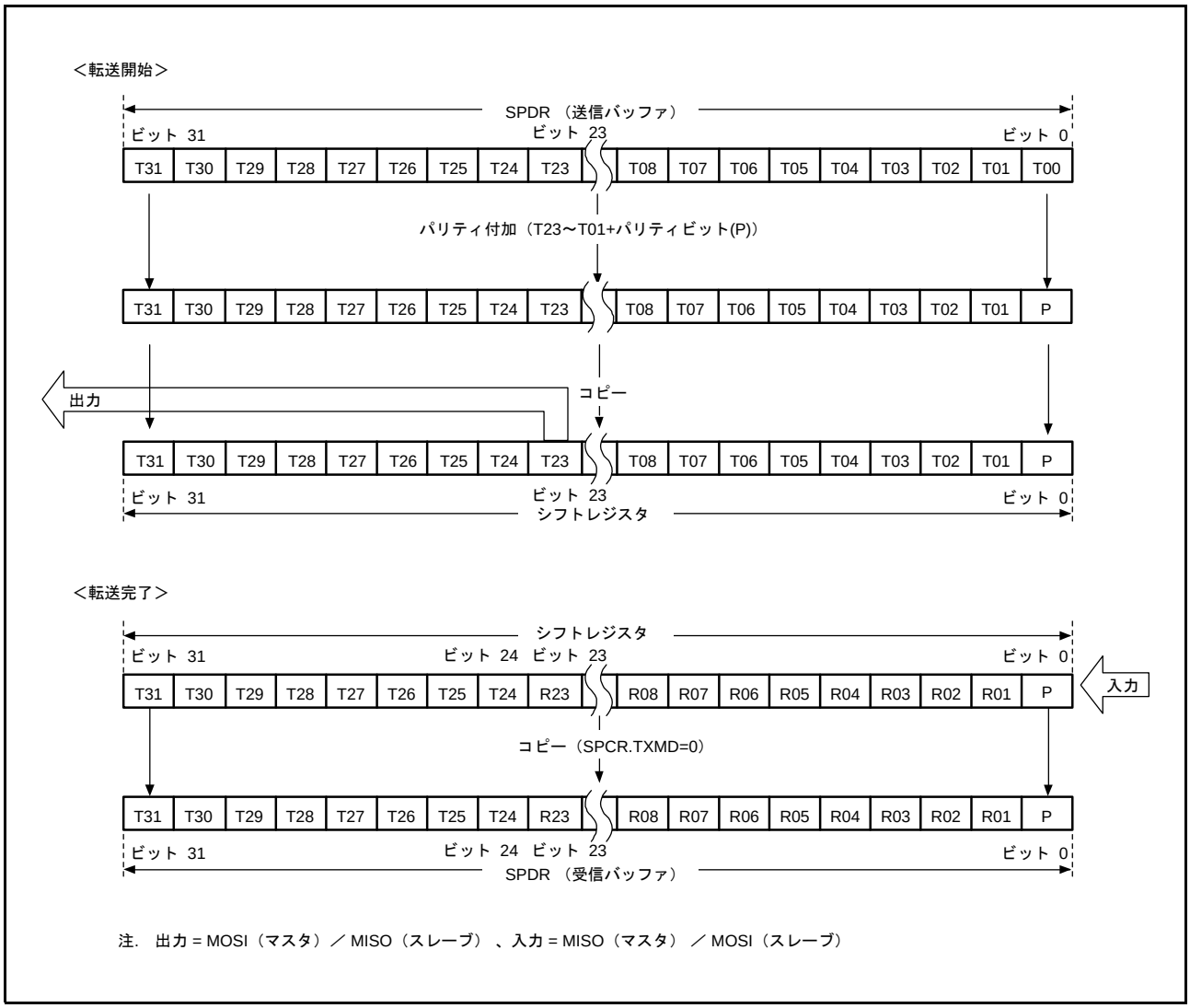


図 33.16　MSB ファースト転送（2）（24 ビットデータ／パリティ機能有効）

33.3.5.3　LSB ファースト転送（32 ビットデータ）

(1)　パリティ機能無効時（SPCR2.SPPE ＝ 0）

図 33.17 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR の送信バッファに T31 ～ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00 ～ R31 が格納されます。この状態で、全二重同期式のシリアル通信動作（SPCR.TXMD=0）であれば、RSPI はシフトレジスタから SPDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ R31 がシフトレジスタからシフトアウトされます。

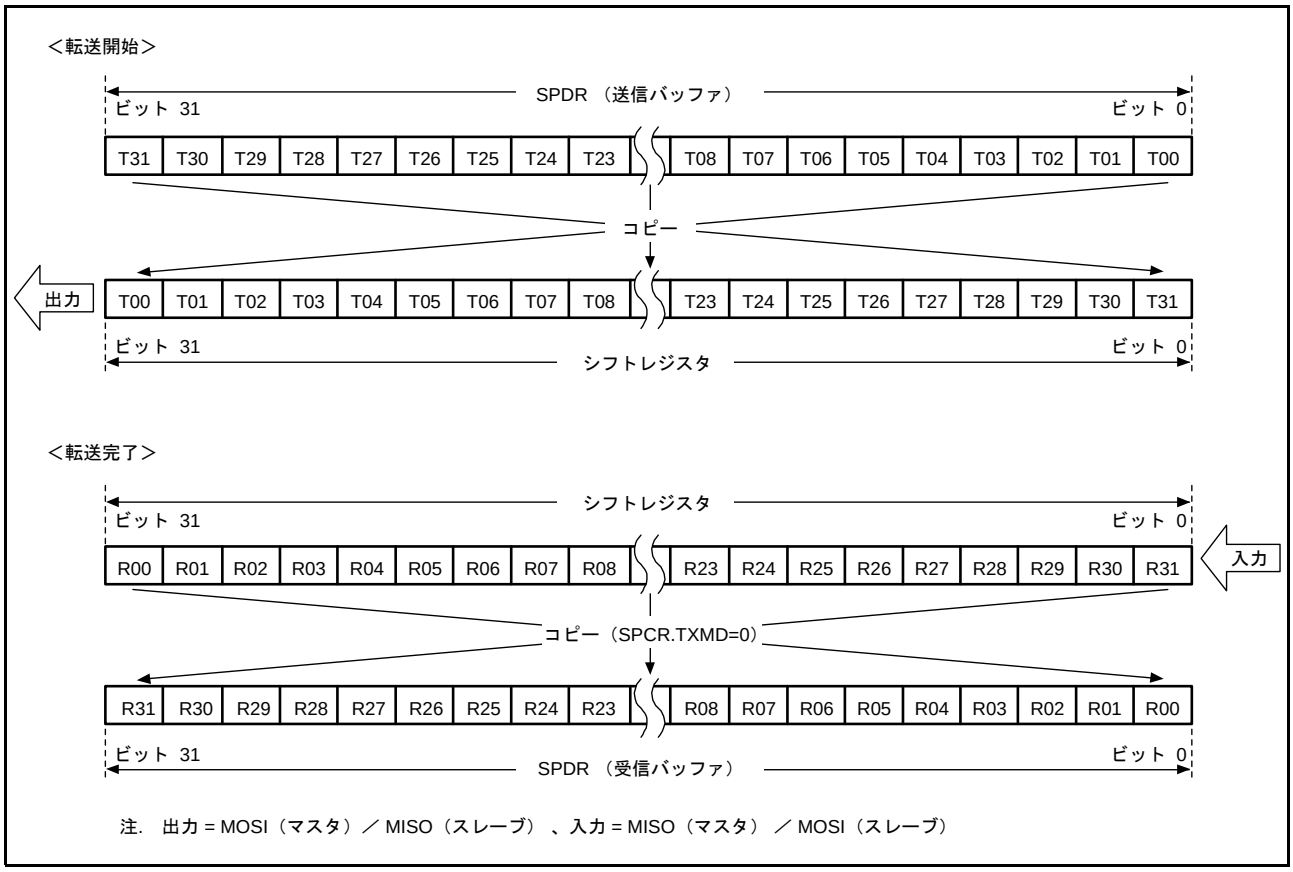


図 33.17　LSB ファースト転送（1）（32 ビットデータ／パリティ機能無効）

(2) パリティ機能有効時（SPCR2.SPPE ＝ 1）

図 33.18 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR の送信バッファに T31 ～ T00 を書き込みます。RSPI が SPDR の送信バッファに格納されたデータの T31 をパリティビット（P）に変換します。送信バッファにデータがあり、かつシフトレジスタが空であれば、パリティビット（P）を付加したデータは、シフトレジスタへビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00 ～ P が格納されます。この状態で、全二重同期式のシリアル通信動作（SPCR.TXMD=0）であれば、RSPI はシフトレジスタから SPDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ P がシフトレジスタからシフトアウトされます。

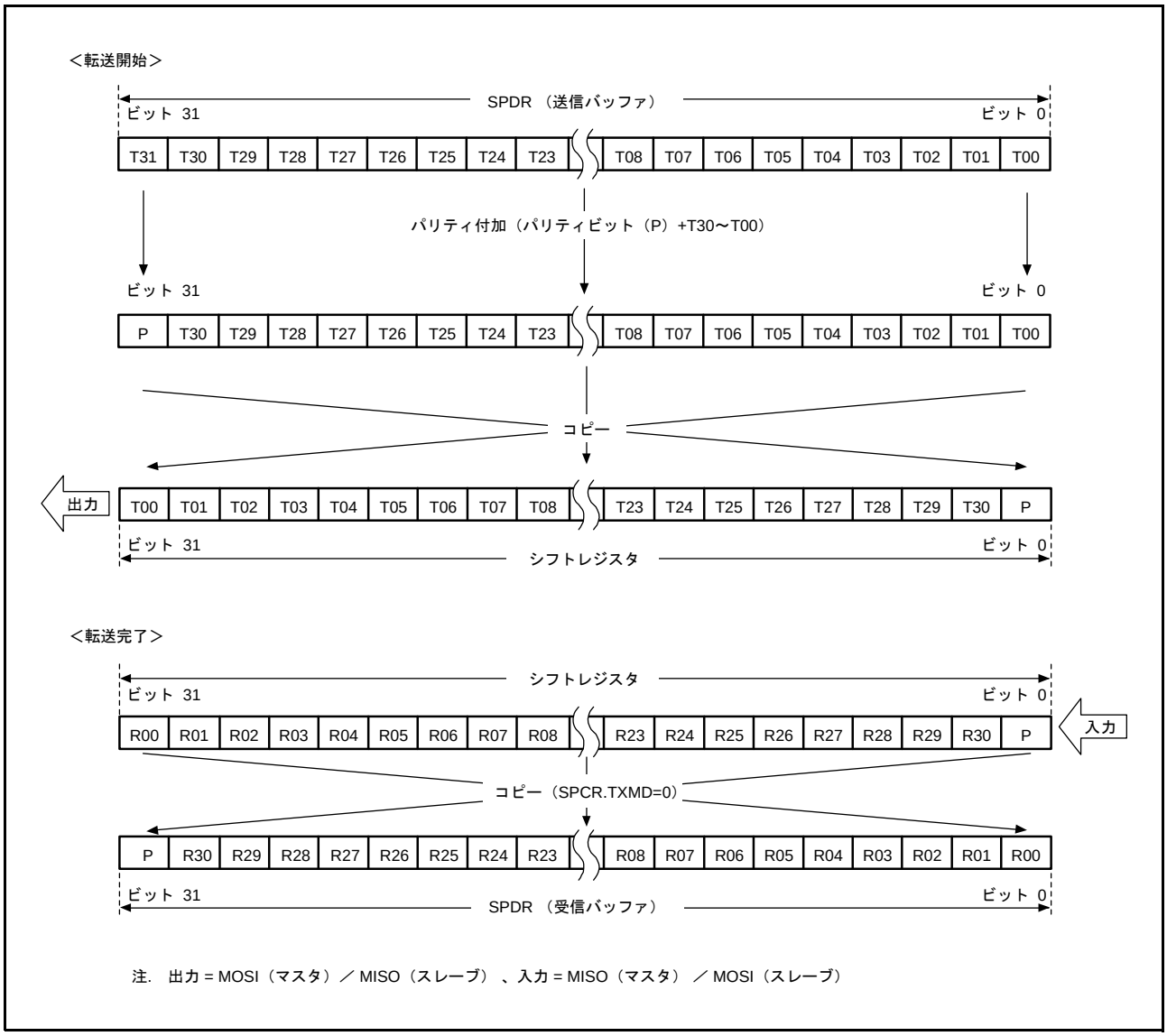


図 33.18　LSB ファースト転送（2）（32 ビットデータ／パリティ機能有効）

33.3.5.4　LSB ファースト転送（24 ビットデータ）

(1)　パリティ機能無効時（SPCR2.SPPE ＝ 0）

図 33.19 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ～ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタのビット 8 からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ～ 8 には受信データ R00 ～ R23 が格納されます。シリアル転送完了後のシフトレジスタのビット 7 ～ 0 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作（SPCR.TXMD=0）であれば、RSPI がシフトレジスタから SPDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ R23 がシフトレジスタからシフトアウトされます。

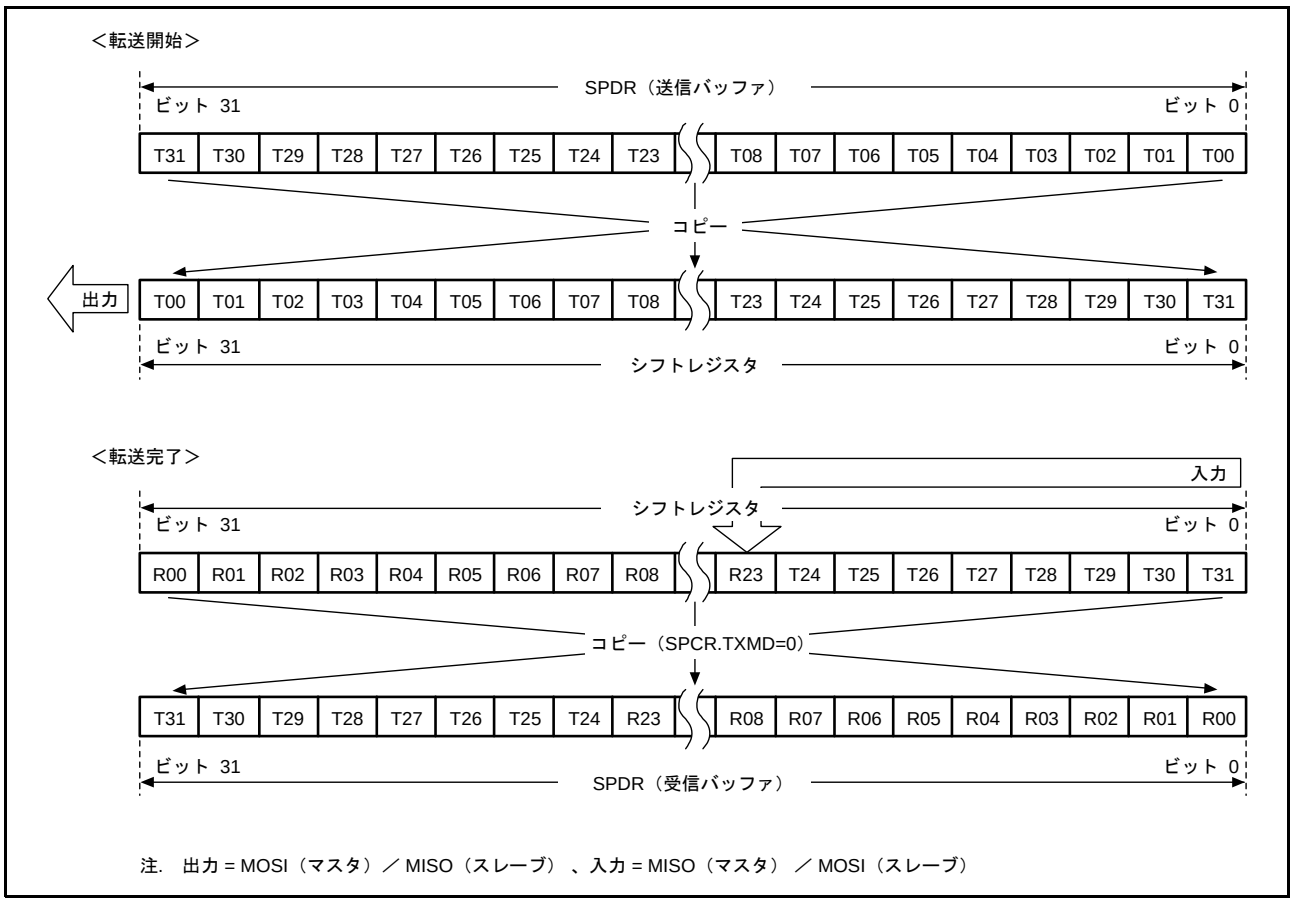


図 33.19　LSB ファースト（1）（24 ビットデータ／パリティ機能無効）

(2) パリティ機能有効時（SPCR2.SPPE ＝ 1）

図 33.20 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ～ T00 を書き込みます。RSPI が SPDR の送信バッファに格納されたデータの T23 をパリティビット（P）に変換します。送信バッファにデータがあり、かつシフトレジスタが空であれば、パリティビット（P）を付加したデータは、シフトレジスタへビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタのビット 8 からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ～ 8 には受信データ R00 ～ P が格納されます。シリアル転送完了後のシフトレジスタのビット 7 ～ 0 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作（SPCR.TXMD=0）であれば、RSPI がシフトレジスタから SPDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ P がシフトレジスタからシフトアウトされます。

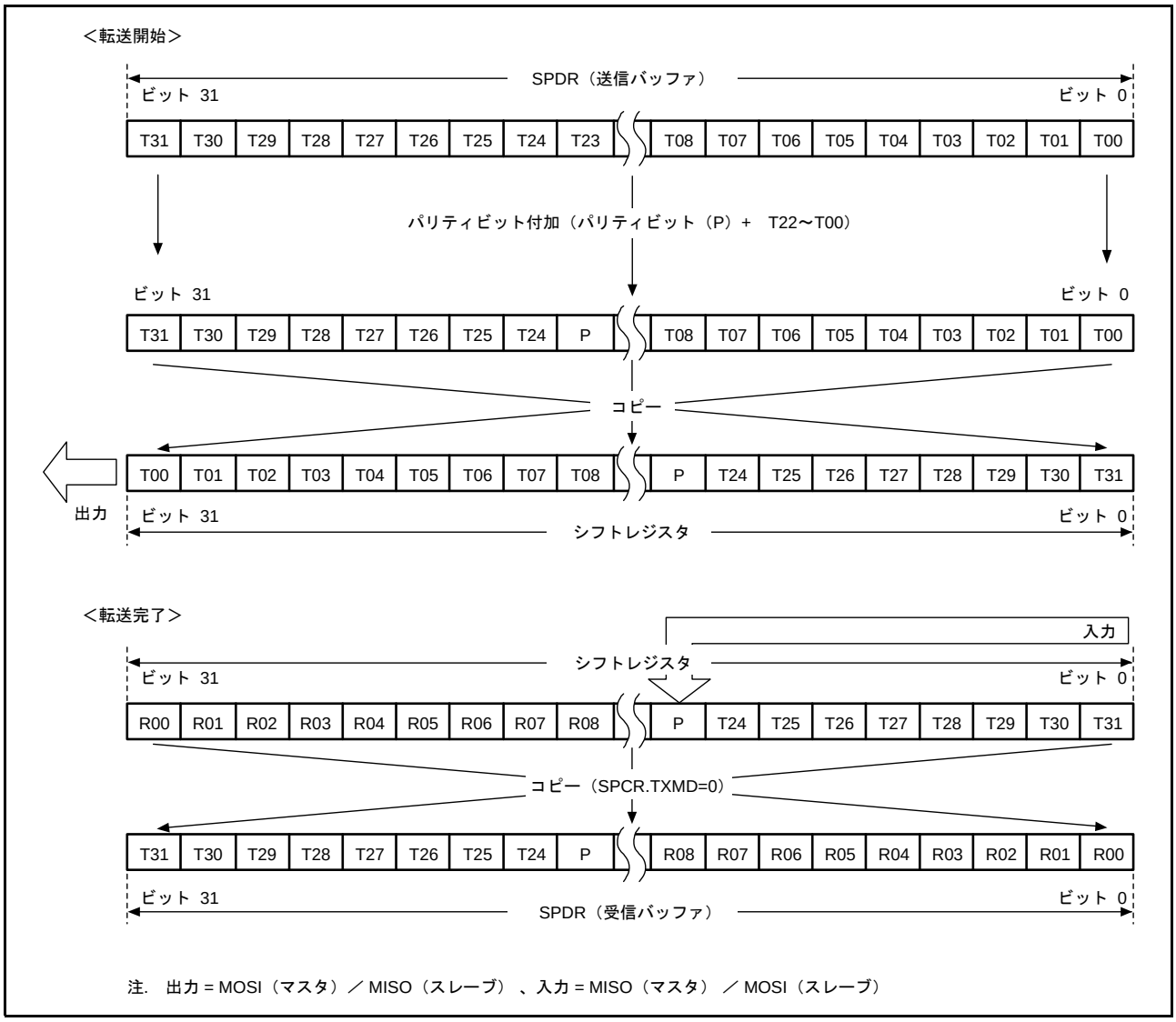


図 33.20　LSB ファースト（2）（24 ビットデータ／パリティ機能有効）

33.3.6　通信動作モード

RSPI 制御レジスタ（SPCR）の通信動作モード選択ビット（TXMD）の設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 33.21、図 33.22 に記載した “SPDR アクセス ” は、RSPI データレジスタ（SPDR）へのアクセス状況を示しています。“I” はアイドルサイクル、“W” は書き込みサイクルを示しています。

33.3.6.1　全二重同期式シリアル通信（SPCR.TXMD=0）

図 33.21 に、RSPI 制御レジスタ（SPCR）の通信動作モード選択ビット（TXMD）を “0” にした場合の動作例を示します。図 33.21 の例では、RSPI データコントロールレジスタ（SPDCR）の SPFC[1:0] ビットが “00b”、RSPI コマンドレジスタ（SPCMD）の CPHA が ”1”、CPOL が ”0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

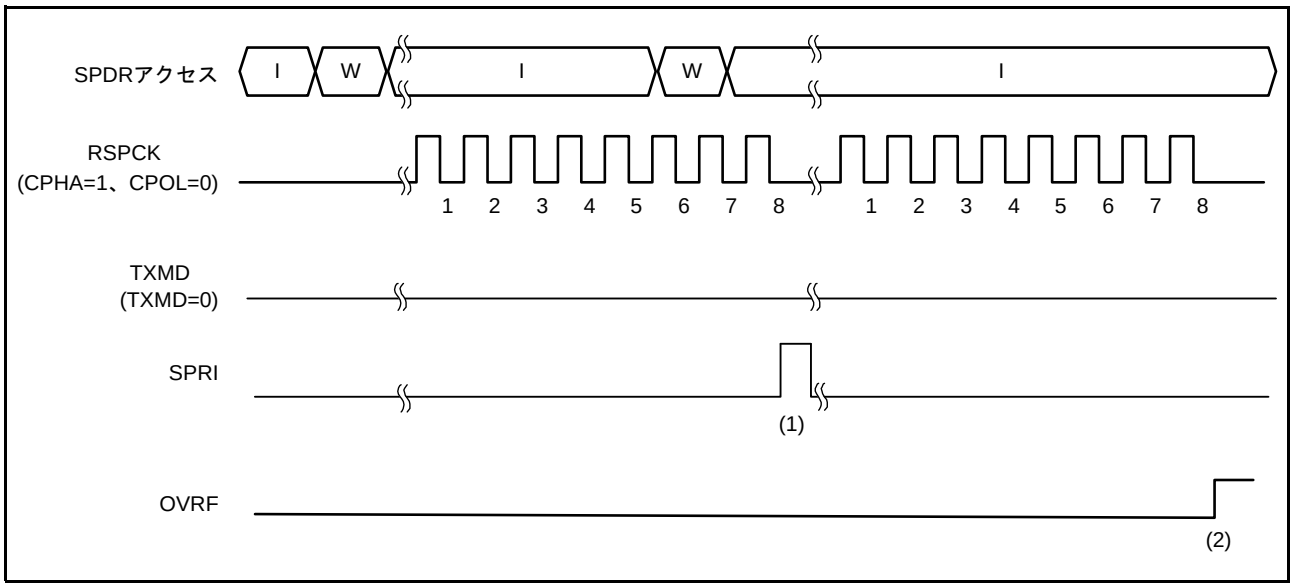


図 33.21　SPCR.TXMD ＝ 0 の動作例

以下に、図中の（1）、（2）に示したタイミングでのフラグの動作内容を説明します。

（1）SPDR の受信バッファが空の状態でシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求（SPRI）を発生してシフトレジスタの受信データを受信バッファにコピーします。

（2）SPDR の受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は OVRF を “1” にしてシフトレジスタの受信データを破棄します。

全二重同期式シリアル通信時（SPCR.TXMD=0）は、送信データを送信し、受信データを受信します。そのため、OVRF は、（1）、（2）それぞれのタイミングで “1” になります。

33.3.6.2　送信のみ動作（SPCR.TXMD=1）

図 33.22 に、RSPI 制御レジスタ（SPCR）の通信動作モード選択ビット（TXMD）を “1” に設定した場合の動作例を示します。図 33.22 の例では、RSPI データコントロールレジスタ（SPDCR）の SPFC[1:0] ビットが “00b”、RSPI コマンドレジスタ（SPCMD）の CPHA が “1”、CPOL が “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

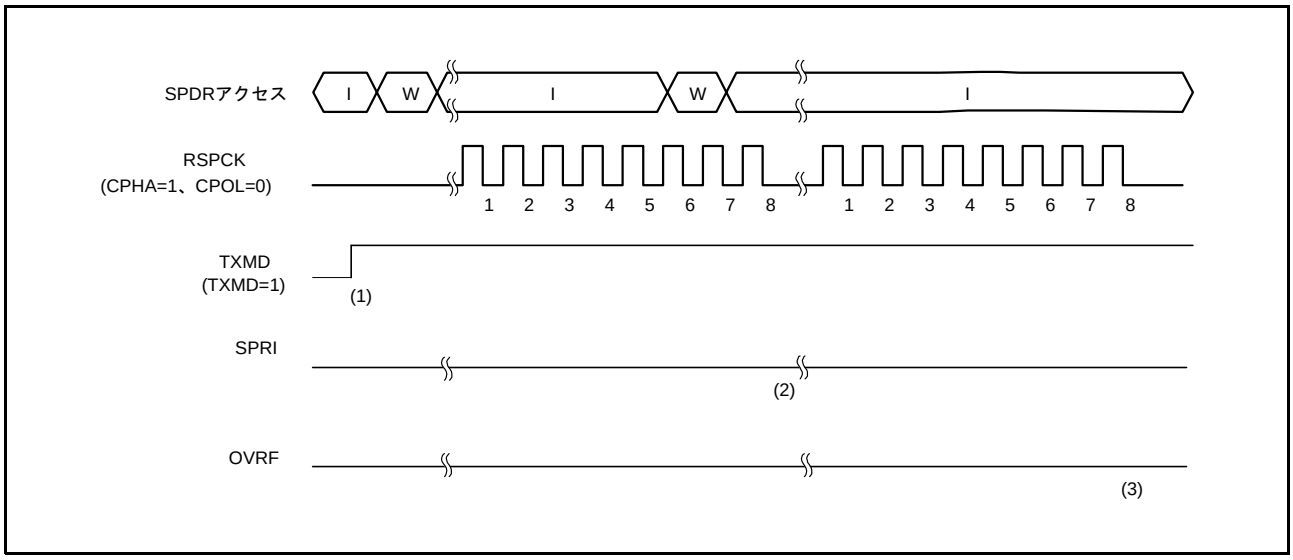


図 33.22　SPCR.TXMD ＝ 1 の動作例

以下に、図中の（1）（2）（3）に示したタイミングでのフラグの動作内容を説明します。

（1）送信のみ動作（SPCR.TXMD=1）への遷移は、受信バッファにデータが残っていないこと、OVRF が “0” であることを確認してから、行ってください。

（2）SPDR の受信バッファが空の状態でシリアル転送が終了すると、送信のみ動作（SPCR.TXMD=1）のときは、シフトレジスタのデータを受信バッファへコピーしません。

（3）SPDR の受信バッファに以前の受信データは存在しない為、シリアル転送が終了しても、OVRF は “0” を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時（SPCR.TXMD=1）は、送信データを送信し、受信データを受信しません。そのため、OVRF は（1）（2）（3）それぞれのタイミングで “0” を保持します。

33.3.7　送信バッファエンプティ／受信バッファフル割り込み

図 33.23 に RSPI 送信バッファエンプティ割り込み（SPTI）と RSPI 受信バッファフル割り込み（SPRI）の動作例を示します。図 33.23 に記載した “SPDR アクセス ” は、RSPI データレジスタ（SPDR）へのアクセス状況を示しています。“I” はアイドルサイクル、“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。図 33.23 の例では、RSPI 制御レジスタ（SPCR）の TXMD が “0”、RSPI データコントロールレジスタ（SPDCR）の SPFC[1:0] が “00b”、RSPI コマンドレジスタ（SPCMD）の CPHA が “1”、CPOL が “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

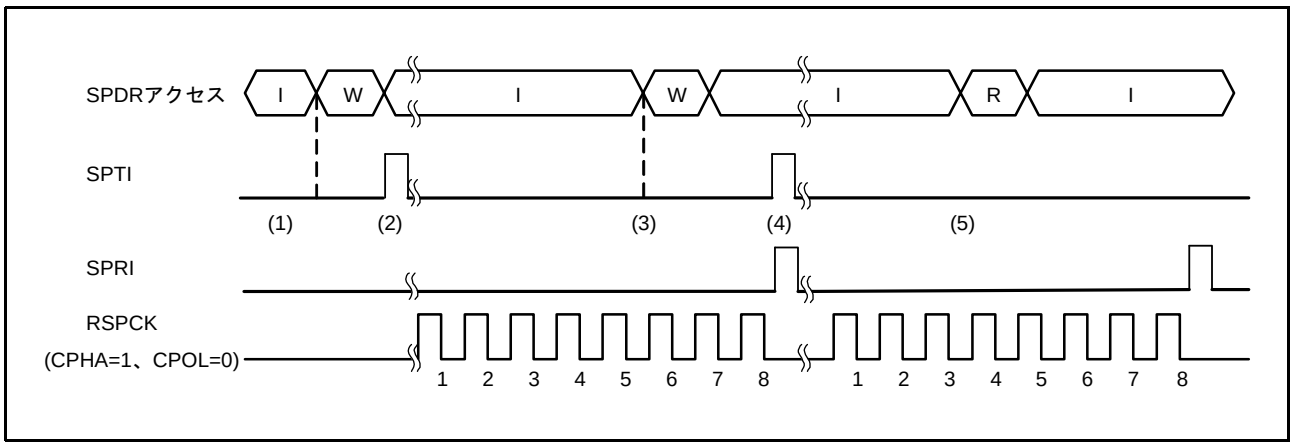


図 33.23　SPTI、SPRI 割り込みの動作例

以下に、図中の（1）～（5）に示したタイミングでの割り込みの動作内容を説明します。

1. SPDR レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
2. シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み（SPTI）を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。（「33.3.10　SPI 動作」、「33.3.11　クロック同期式動作」参照）
3. 送信バッファエンプティ割り込みルーチンで、SPDR に送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求（SPRI）を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。尚、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信バッファのデータをチップ内部バスに送出します。

送信バッファに未送信のデータがある状態で、SPDR を書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタを書き込む場合には、送信バッファエンプティ割り込み要求で行ってください。また、RSPI 送信割り込みを利用する場合には、SPCR.SPTIE ビットを “1” にしてください。

RSPI 動作が無効（SPCR の SPE ビットが “0”）の場合には、SPTIE ビットを “0” にしてください。

受信バッファフルの状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します（「33.3.8　エラー検出」参照）。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信割り込みを利用する場合には、SPCR の SPRIE ビットを “1” にしてください。

送信／受信バッファの状態は、送信／受信割り込み、または対応する ICU の IRi.IR フラグによって確認することができます。

33.3.8 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始／終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表33.9に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表33.9　通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
A	送信バッファフルの状態でSPDRレジスタを書き込み	送信バッファ内容を保持 書き込みデータ欠落	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データをシリアル送信	なし
C	受信バッファエンプティの状態でSPDRレジスタを読み出し	前回シリアル受信データを出力	なし
D	受信バッファフルの状態で、シリアル転送が終了	受信バッファ内容を保持 シリアル受信データ欠落	オーバランエラー検出
E	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
F	マルチマスタモードでシリアル転送アイドル時にSSL0入力信号アサート	RSPICK、MOSI、SSL1～3出力信号のドライブ停止 RSPI動作が無効	モードフォルトエラー検出
G	マルチマスタモードでシリアル転送中にSSL0入力信号アサート	シリアル転送を中断 送受信データ欠落 RSPCK、MOSI、SSL1～3出力信号のドライブ停止 RSPI動作が無効	モードフォルトエラー検出
H	スレーブモードでシリアル転送中にSSL0入力信号がネゲート	シリアル転送中断 送受信データ欠落 MISO出力信号のドライブ停止 RSPI動作が無効	モードフォルトエラー検出

表33.9のAに示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信割り込み要求でSPDRレジスタへの書き込みを実施してください。

RSPIでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、Bに示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データはSPDRレジスタの受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前にSPDRレジスタを読み出さないと、オーバランエラーが発生します）。

Cに示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、受信割り込みでSPDRレジスタの読み出しを実行するようにしてください。

Dに示したオーバランエラーについては、「33.3.8.1　オーバランエラー」で、Eに示したパリティエラーについては、「33.3.8.2　パリティエラー」で説明します。また、F～Hのに示したモードフォルトエラーについては「33.3.8.3　モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「33.3.7　送信バッファエンプティ／受信バッファフル割り込み」を参照してください。

33.3.8.1　オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを “1” にします。OVRF フラグが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR.OVRF フラグを “0” にするためには、OVRF フラグが “1” の状態の SPSR レジスタを読み出した後に、OVRF フラグに “0” を書く必要があります。

図 33.24 に、SPSR.OVRF フラグの動作を示します。**図 33.24** に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。**図 33.24** の例では、SPCMD.CPHA ビットが “1”、SPCMD.CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

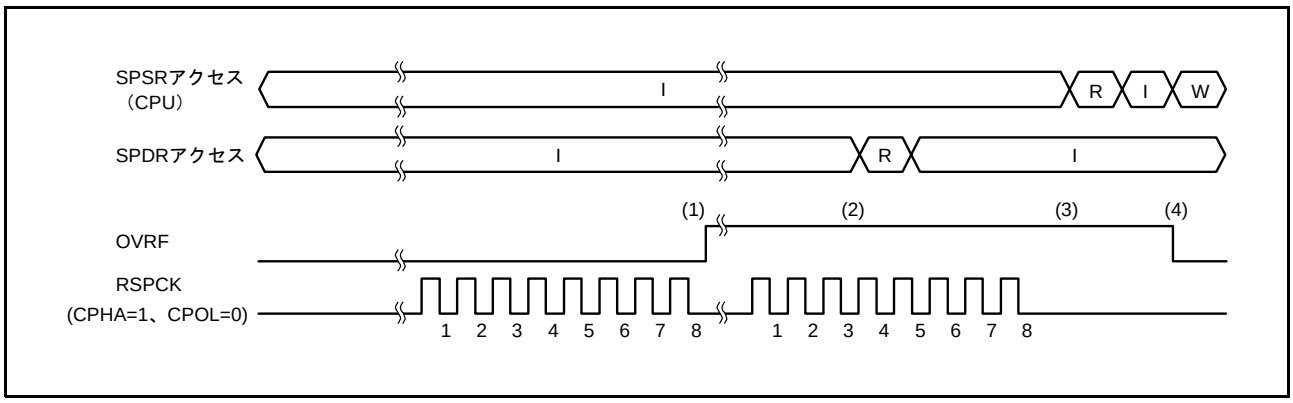


図 33.24　OVRF フラグの動作例

以下に、図中の（1）～（4）に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファフル状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを “1” にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが “1” であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMD レジスタに対するポインタの値をコピーします。
2. SPDR を読み出すと、RSPI は受信バッファのデータを内部バスに出力します。受信バッファが空になっても、OVRF フラグは “0” になりません。
3. OVRF フラグが “1” の状態（オーバランエラー）でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビット “1” であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF フラグが “1” の状態で CPU が SPSR レジスタを読んだ後、CPU が OVRF フラグに “0” を書くと、RSPI は OVRF フラグを “0” にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、SPCR.SPEIE ビットを “1” にしてください。RSPI エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMD レジスタに対するポインタ値を確認できます。

オーバランエラーが発生して OVRF フラグが “1” になると、OVRF フラグが “0” になるまで正常な受信動作ができなくなります。OVRF フラグを “0” にする条件は以下のとおりです。

［“0” になる条件］

OVRF フラグが “1” の状態の SPSR レジスタを CPU が読んだ後、

OVRF フラグに “0” を書いたとき

33.3.8.2　パリティエラー

RSPI 制御レジスタ (SPCR) の TXMD ビットが “0”、RSPI 制御レジスタ 2（SPCR2）の SPPE ビットが “1” の状態で全二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPI は、受信データにパリティエラーを検出すると、RSPI ステータスレジスタ（SPSR）の PERF フラグを “1” にします。OVRF ビットが “1” の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。SPSR の PERF フラグを “0” にするためには、PERF ビットが “1” の状態の SPSR レジスタを CPU が読み出した後に、PERF フラグに “0” を書く必要があります。

図 33.25 に、SPSR の OVRF フラグと PERF フラグの動作を示します。**図 33.25** に記載した “SPSR アクセス ” は、SPSR レジスタへのアクセス状況を示しています。“I” はアイドル状態、“W” は書き込みサイクル、“R” は読み出しサイクルを示しています。**図 33.25** の例では、RSPI 制御レジスタ (SPCR) の TXMD ビットが “0”、RSPI 制御レジスタ 2(SPCR2) の SPPE ビットが “1” の状態で全二重同期式シリアル通信を行います。RSPI コマンドレジスタ（SPCMD）の CPHA ビットが “1”、CPOL ビットが “0” の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

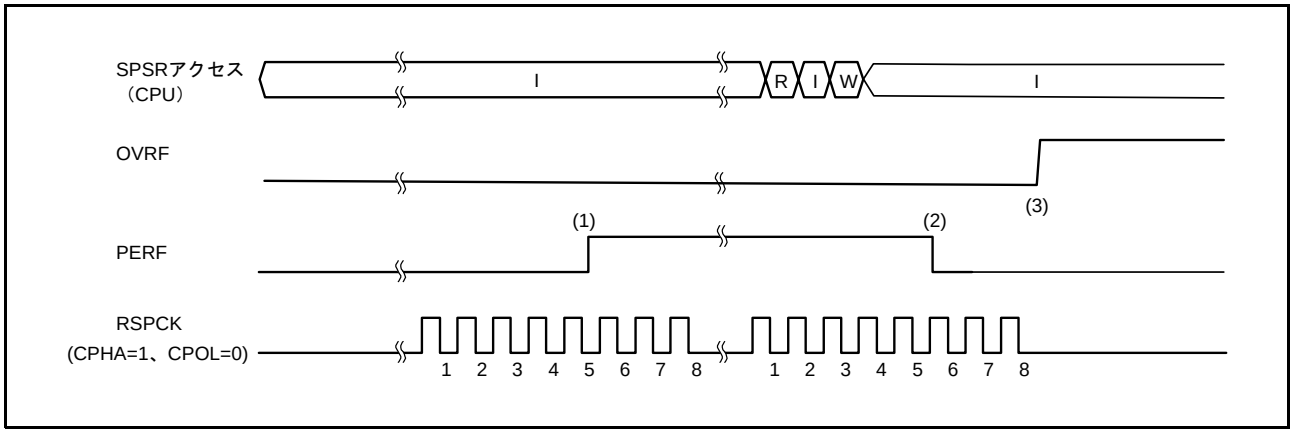


図 33.25　PERF フラグの動作例

以下に、図中の（1）～（3）に示したタイミングでのフラグの動作内容を説明します。

1. RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを “1” にします。マスタモードの場合には、RSPI は RSPI シーケンスステータスレジスタ（SPSSR）の SPECM2 ～ 0 ビットに、RSPI コマンドレジスタ（SPCMD）に対するポインタの値をコピーします。
2. PERF ビットが “1” の状態で CPU が SPSR レジスタを読んだ後、CPU が PERF フラグに “0” を書くと、RSPI は PERF フラグを “0” にします。
3. RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーの検出を行いません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ（SPCR）の SPEIE ビットを “1” にしてください。RSPI エラー割り込みを利用せずにシリアル転送を実行する場合には、SPSR を読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMD レジスタに対するポインタ値を確認できます。

PERF フラグを “0” にする条件は、以下の通りです。

［“0” になる条件］
PERF フラグが “1” の状態の SPSR レジスタを CPU が読んだ後、
PERF フラグに “0” を書いたとき

33.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが “1”、SPCR.SPMS ビットが “0”、SPCR.MODFEN ビットが “1” の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSL0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して SPSR.MODF フラグを “1” にします。モードフォルトエラーを検出すると、RSPI は SPSSR. SPECM[2:0] ビットに、SPCMDm に対するポインタの値をコピーします。なお、SSL0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが “0” の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが “1”、SPMS ビットが “0” の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSL0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR レジスタの SPE ビットのクリアを実施します（「33.3.9　RSPI の初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現することが可能です。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、SPCR.SPEIE ビットを “1” にしてください。RSPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMD レジスタに対するポインタ値を確認できます。

MODF フラグが “1” の状態では、RSPI は CPU による SPE ビットへの “1” の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、MODF フラグを “0” にしてください。MODF フラグを “0” にクリアする条件は以下のとおりです。

［“0” になる条件］
MODF フラグが “1” の状態の SPSR レジスタを CPU が読んだ後、
MODF フラグに “0” を書いたとき

33.3.9 RSPI の初期化

SPCR.SPE ビットに “0” を書いた場合、またはモードフォルトエラー検出により RSPI が SPE ビットを “0” にした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを “0” にすることによる初期化とシステムリセットによる初期化について説明します。

33.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを “0” にしたとき、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止（ハイインピーダンス）
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする

SPE ビットを “0” にすることによる初期化では、RSPI の制御ビットは初期化されません。このため、CPU が再度 SPE ビットを “1” にすれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認が可能です。

送信バッファは空の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを “1” にしていると、RSPI 送信割り込みが発生します。CPU で RSPI を初期化する場合に、RSPI 送信割り込みを禁止するためには、SPE ビットへの “0” 書き込みと同時に SPTIE ビットにも “0” を書いてください。モードフォルトエラー検出後の RSPI 送信割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに “0” を書いてください。

33.3.9.2 システムリセット

システムリセットによる初期化では、「33.3.9.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

33.3.10 SPI 動作

33.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「33.3.8 エラー検出」を参照）のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル／マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空きの（次転送のデータがセットされていない）状態で、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファのデータを更新します。SPDR レジスタへの書き込みによって、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPI の転送フォーマットの詳細については「33.3.4 転送フォーマット」を参照してください。SSL 出力端子の極性は、RSPI スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。

(2) シリアル転送の終了

SPCMD.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMD.SPB[3:0] ビットの設定値に依存します。SSL 出力端子の極性は、RSPI スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。RSPI の転送フォーマットの詳細については「33.3.4 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMD レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0 ～ 7 レジスタには、SSL 端子の出力信号値、MSB ／ LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性／位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには RSPI 次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMD0 ～ 7 レジスタの一部／全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMD レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって CPU から確認可能です。RSPI 制御レジスタ（SPCR）の SPCR.SPE ビットを “1” にして RSPI 機能を有効にすると、RSPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了する度にポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

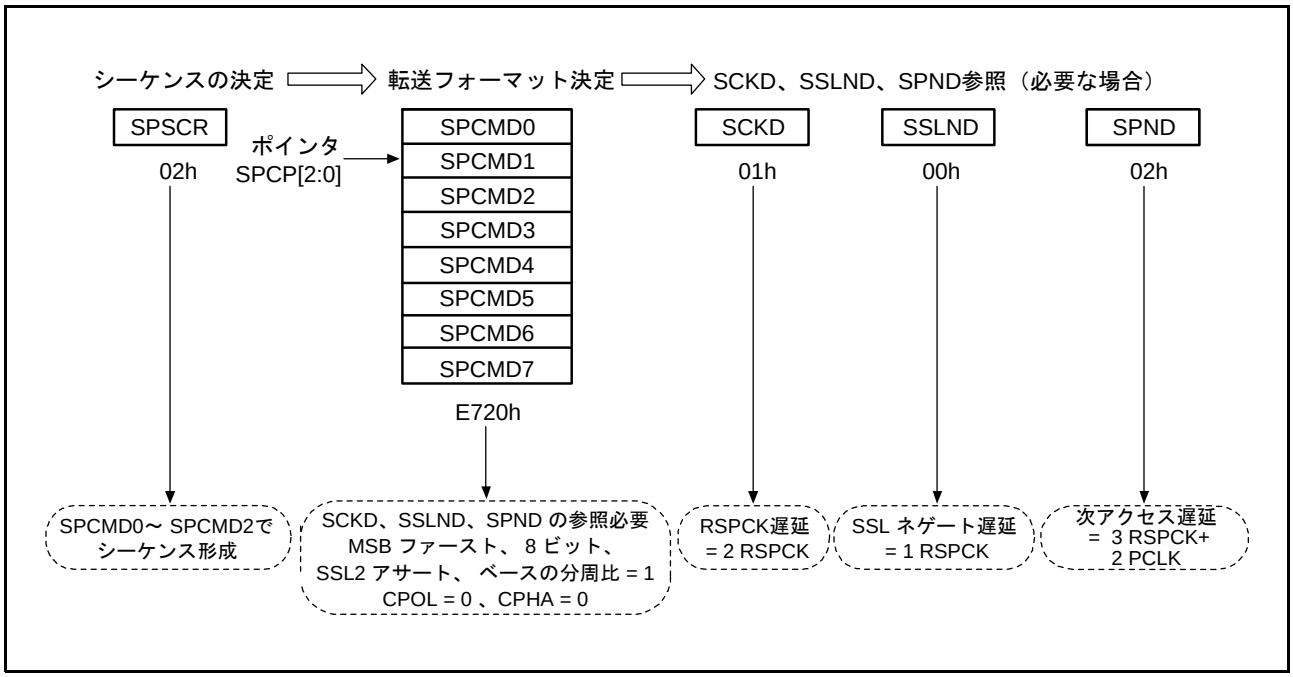


図 33.26　マスタモードでのシリアル転送方式の決定方法（SPI 動作）

(4) バースト転送

RSPI が現在のシリアル転送で参照している SPCMD.SSLKP ビットが “1” の場合には、RSPI はシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、RSPI は SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 33.27 に、SPCMD0、1 レジスタの設定を使用してバースト転送を実現した場合の SSL 信号動作例を示します。**図 33.27** に記載した（1）～（7）の RSPI 動作内容について、以下に説明します。なお、SSL 出力信号の極性は、RSPI スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。

1. SPCMD0 レジスタに従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
2. SPCMD0 レジスタに従ったシリアル転送を実行します。
3. SSL ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが “1” であるため、SPCMD0 レジスタでの SSL 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
5. SPCMD1 レジスタに従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
6. SPCMD1 レジスタに従ったシリアル転送を実行します。
7. SPCMD1.SSLKP ビットが “0” であるため、SSL 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

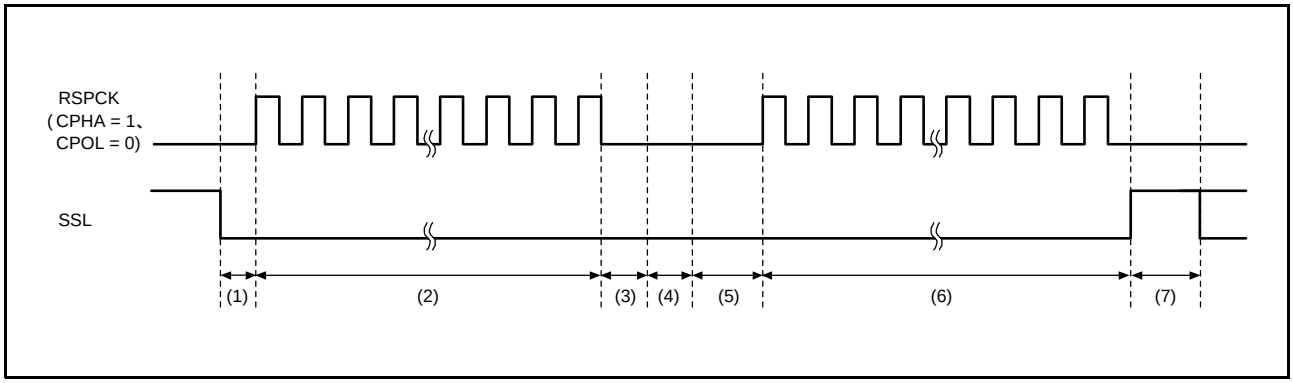


図 33.27　SSLKP ビットを利用したバースト転送動作の例

SSLKP ビットを “1” にした SPCMD レジスタでの SSL 信号出力設定と、次転送で使用する SPCMD レジスタでの SSL 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSL 信号のアサート時（**図 33.27** の（5））に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、MISO をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP を使用しない場合の SSL 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビット（m=0 ～ 7）が “0” の場合でも、RSPI は内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます（**「33.3.10.2　スレーブモード動作」**を参照）。

(5) RSPCK 遅延（t1）

マスタモードの RSPI の RSPCK 遅延値は、SPCMD.SCKDEN ビットの設定と SPCKD レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMD レジスタをポインタ制御によって決定し、選択した SCKDEN ビットと SPCKD レジスタを使用して、**表 33.10** のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、「**33.3.4　転送フォーマット**」を参照してください。

表 33.10　SCKDEN ビット、SPCKD レジスタと RSPCK 遅延値の関係

SPCMDm.SCKDEN ビット	SPCKD レジスタ	RSPCK 遅延値
0	000 ～ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

【記号説明】　m ＝ 0 ～ 7

(6) SSL ネゲート遅延（t2）

マスタモードの RSPI の SSL ネゲート遅延値は、SPCMD.SLNDEN ビットの設定と SSLND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMD レジスタをポインタ制御によって決定し、選択した SPCMD.SLNDEN ビットと SSLND レジスタを使用して、**表 33.11** のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「**33.3.4　転送フォーマット**」を参照してください。

表 33.11　SSLND レジスタと SSL ネゲート遅延値の関係

SPCMDm.SLNDEN ビット	SSLND レジスタ	SSL ネゲート遅延値
0	000 ～ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

【記号説明】　m ＝ 0 ～ 7

(7) 次アクセス遅延（t3）

マスタモードの RSPI の次アクセス遅延は、SPCMD.SPNDEN ビットの設定と SPND レジスタの設定に依存します。RSPI は、シリアル転送で参照する SPCMD レジスタをポインタ制御によって決定し、選択した SPCMD.SPNDEN ビットと SPND レジスタを使用して、表 33.12 のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「33.3.4 転送フォーマット」を参照してください。

表 33.12　SPNDEN ビット、SPND レジスタと次アクセス遅延値の関係

SPCMDm.SPNDEN ビット	SPND レジスタ	次アクセス遅延値
0	000 ～ 111	1RSPCK＋2PCLK
1	000	1RSPCK＋2PCLK
	001	2RSPCK＋2PCLK
	010	3RSPCK＋2PCLK
	011	4RSPCK＋2PCLK
	100	5RSPCK＋2PCLK
	101	6RSPCK＋2PCLK
	110	7RSPCK＋2PCLK
	111	8RSPCK＋2PCLK

【記号説明】　m ＝ 0 ～ 7

(8) 初期化フロー

図 33.28 に、SPI 動作時、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMACA、入出力ポートの設定方法については各ブロックの説明を参照してください。

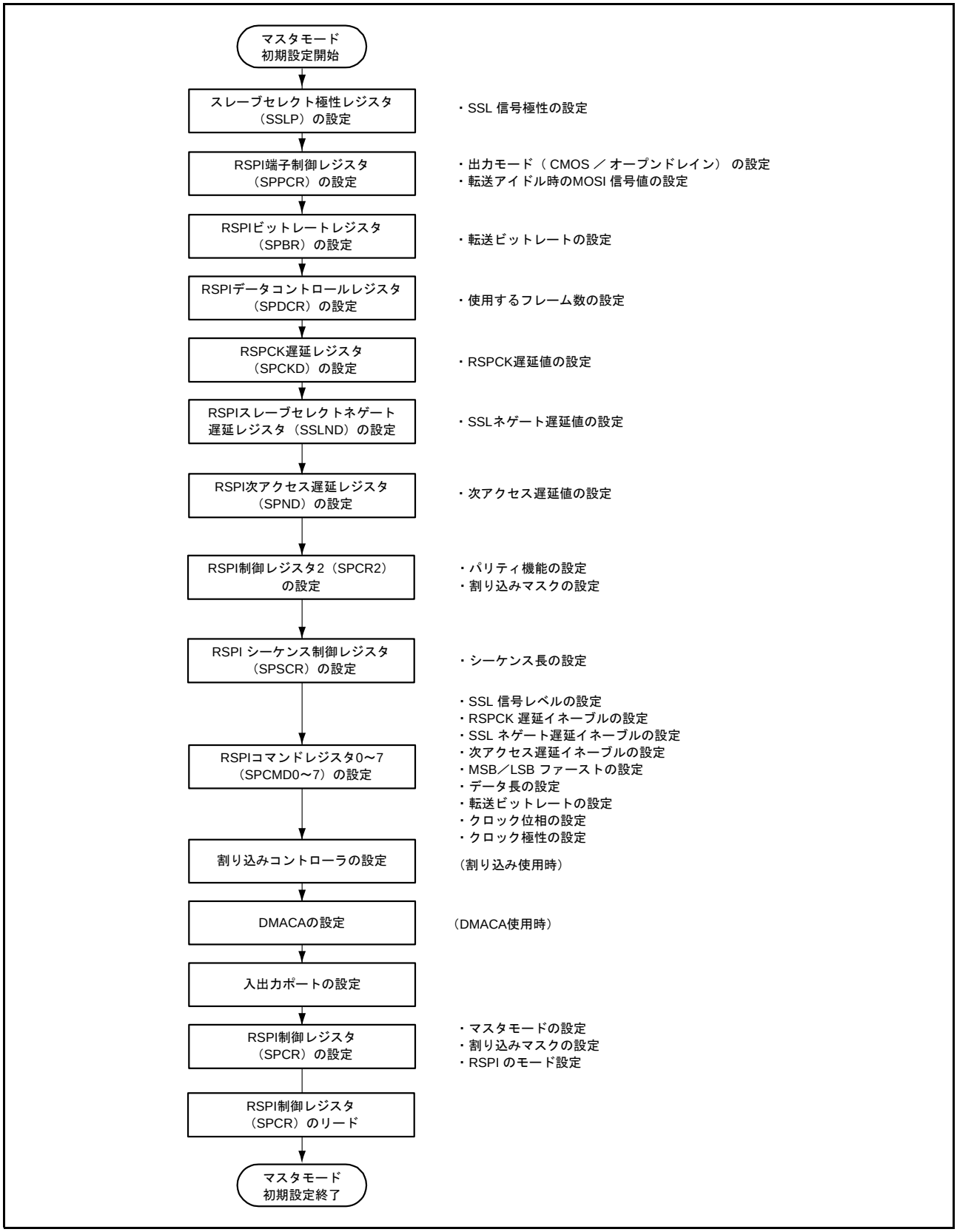


図 33.28　マスタモード時の初期化フロー例（SPI 動作）

(9) 転送動作フロー

図 33.29 に、SPI 動作時、マスタモードの RSPI の転送動作フローを示します。

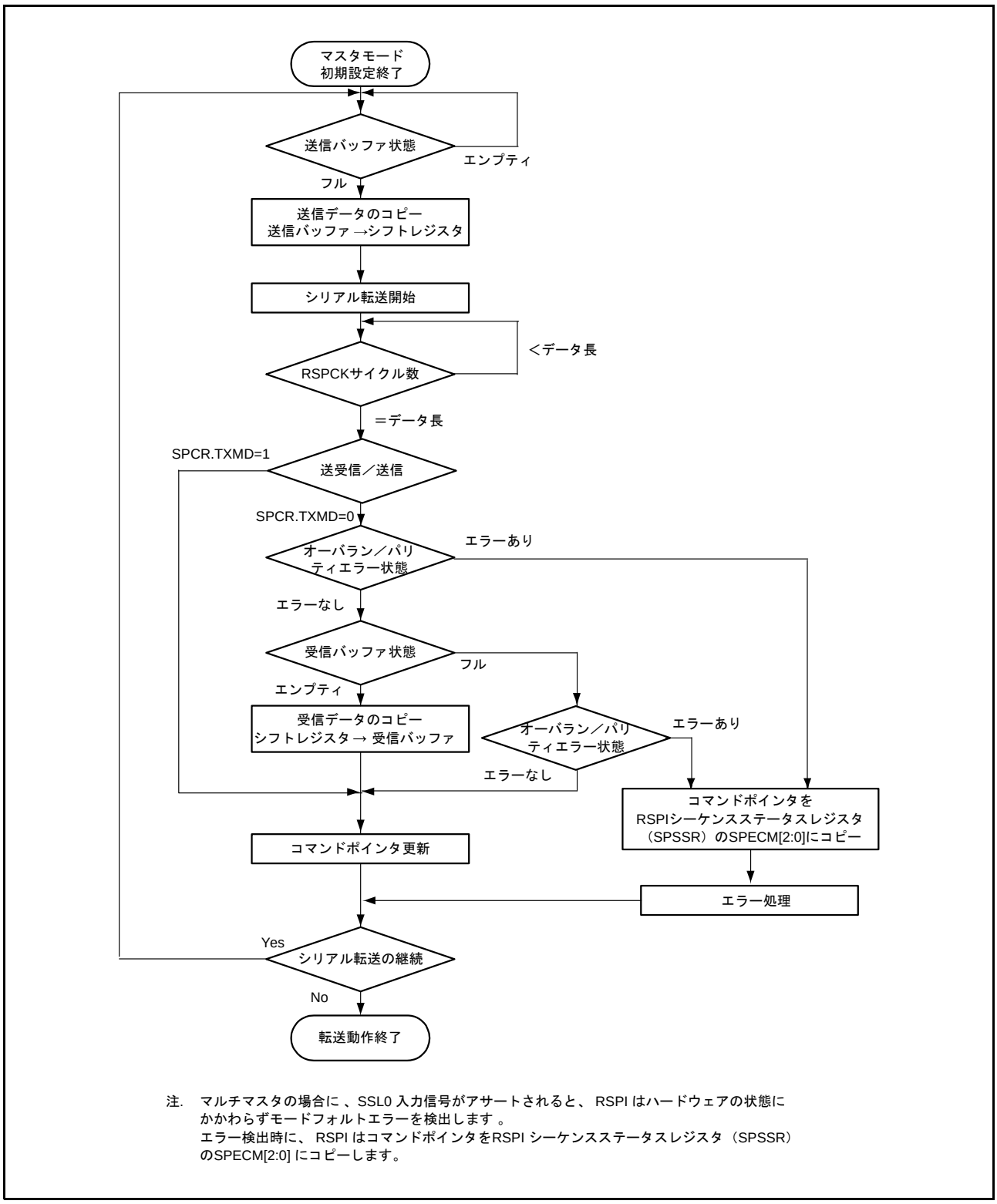


図 33.29　マスタモード時の転送動作フロー（SPI 動作）

33.3.10.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが “0” の場合、RSPI は SSL0 入力信号のアサートを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “0” の場合には、SSL0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが “1” の場合には、RSPI は SSL0 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA ビットが “1” の場合には、SSL0 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPI が MISO 出力信号のドライブを開始するタイミングは、SSL0 信号アサートタイミングです。CPHA ビットの設定によって、RSPI が出力するデータの有効／無効が異なります。

なお、RSPI の転送フォーマットの詳細については、「33.3.4　転送フォーマット」を参照してください。SSL0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(2)　シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSL0 入力信号のネゲートを検出するとモードフォルトエラーが発生します（「33.3.8　エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。SSL0 入力信号の極性は、SSLP.SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「33.3.4　転送フォーマット」を参照してください。

(3)　シングルスレーブ時の注意点

SPCMD0.CPHA ビットが “0” の場合には、RSPI は SSL0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 33.5 の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSL0 入力信号が常にアクティブ状態に固定されるため、CPHA ビットを “0” にした RSPI ではシリアル転送を正しく開始できません。SSL0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを “1” にしてください。CPHA ビットを “0” にする必要がある場合には、SSL0 入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが “1” の場合には、SSL0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行することが可能です。CPHA ビットが “1” の場合には、SSL0 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが “0” の場合には、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 33.30 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMACA、入出力ポートの設定方法については各ブロックの説明を参照してください。

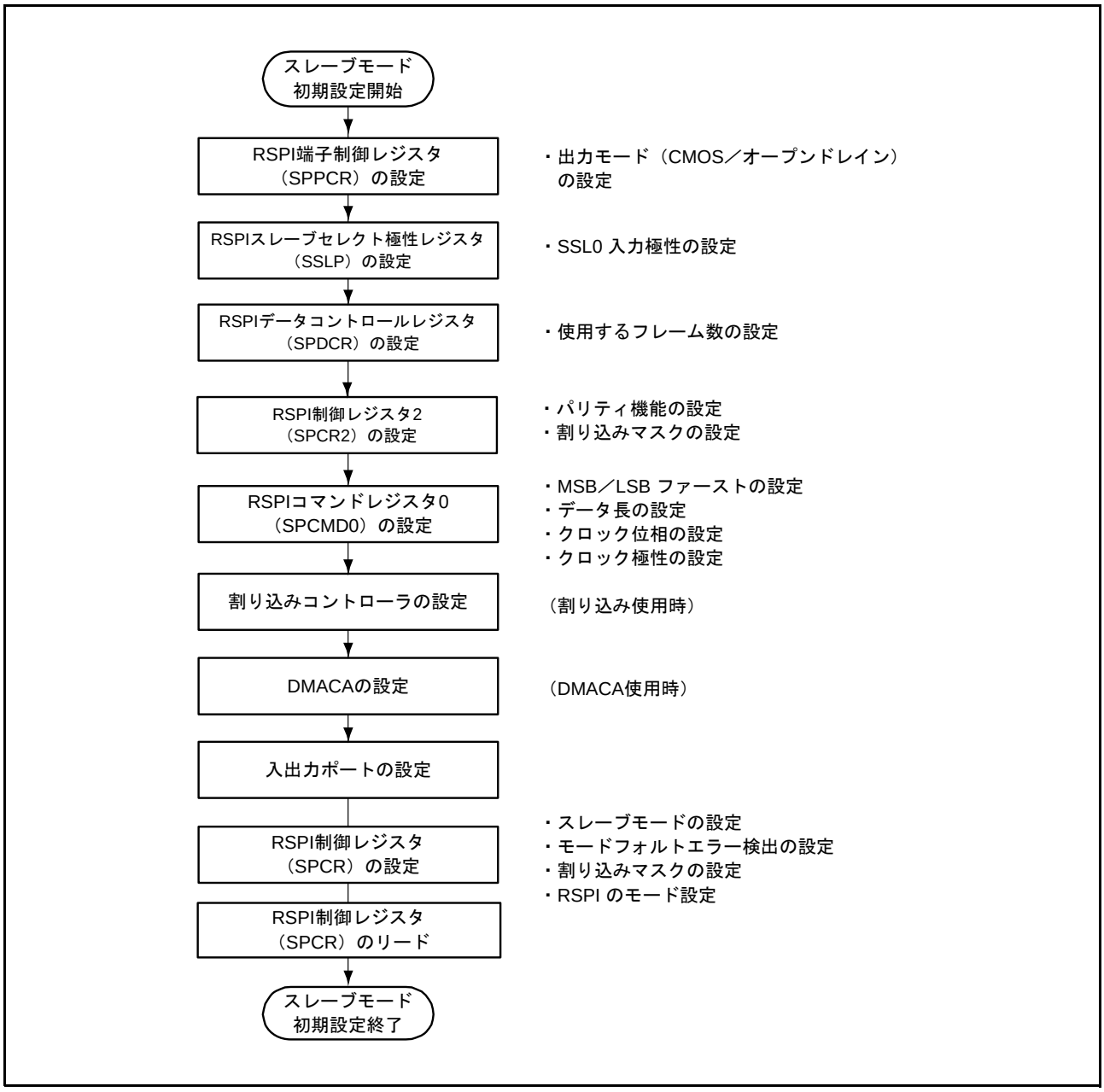


図 33.30　スレーブモード時の初期化フロー例（SPI 動作）

(6) 転送動作フロー（CPHA ビット＝ 0）

図 33.31 に、SPI 動作時の SPCMD0.CPHA ビットを “0” にしたスレーブモードの RSPI の転送動作フローを示します。

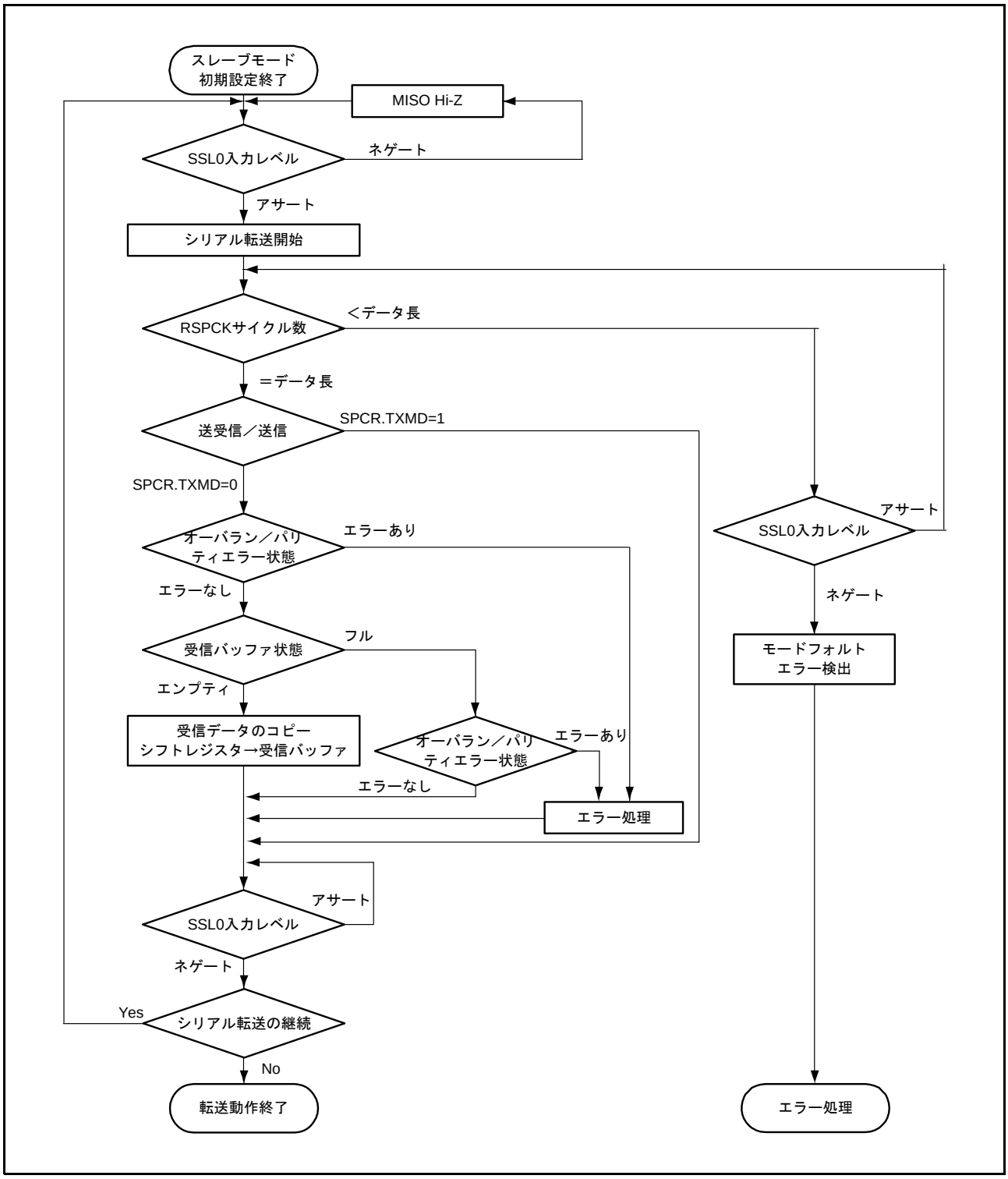


図 33.31　スレーブモード時の転送動作フロー（CPHA ビット＝ 0）（SPI 動作）

(7) 転送動作フロー（CPHA ビット＝ 1）

図 33.32 に、SPI 動作時、SPCMD0.CPHA ビットを “1”、SPCR.MODFEN ビットを “1” にしたスレーブモードの RSPI の転送動作フローを示します。MODFEN ビットを “0” にした状態でシリアル転送を開始し、RSPCK サイクル数がデータ長より短い状態で SSL0 入力レベルがネゲートされた場合、以降の動作は保証されません。

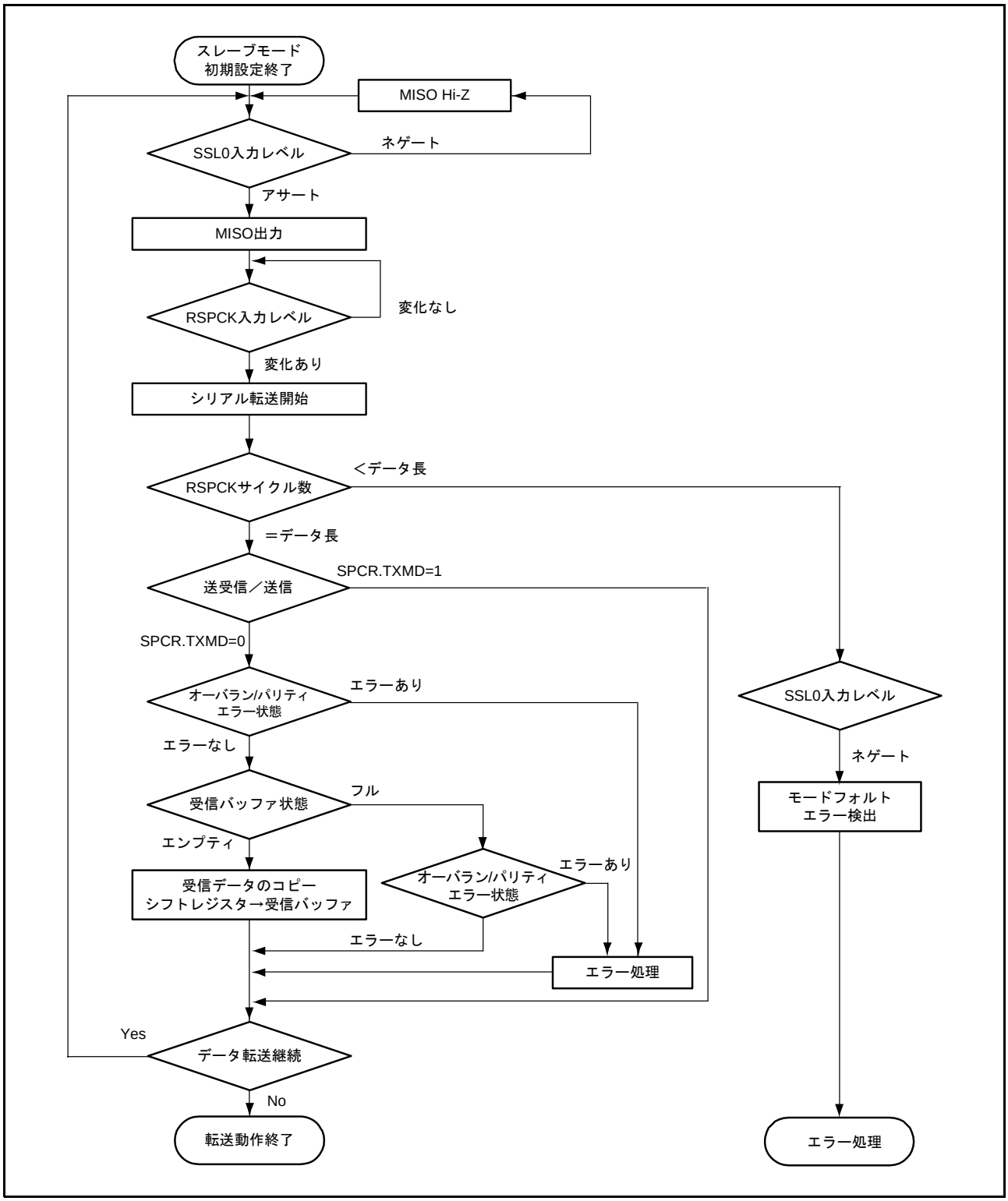


図 33.32　スレーブモード時の転送動作フロー（CPHA ＝ 1）（SPI 動作）

33.3.11　クロック同期式動作

RSPI は、SPCR.SPMS ビットが “1” であるとき、クロック同期式動作となります。クロック同期式動作は、SSL 端子を使用せず、RSPCK、MOSI、MISO の 3 本の端子を用いて通信を行い、SSL 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSL 端子を使用せず通信を行いますが、モジュール内部の動作は SPI 動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSL 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時（SPCR.MSTR=0）に SPCMD.CPHA ビットを “0” にした場合の動作について保証していません。

33.3.12　マスタモード動作

(1)　シリアル転送の開始

送信バッファが空の（次転送のデータがセットされていない）状態で SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファのデータを更新します。SPDR レジスタへの書き込みによってシフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「33.3.4　転送フォーマット」を参照してください。

(2)　シリアル転送の終了

RSPI はサンプリングタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMD.SPB[3:0] ビットの設定値に依存します。

RSPI の転送フォーマットの詳細については、「33.3.4　転送フォーマット」を参照してください。

(3)　シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMD レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSL 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0 ～ 7 レジスタには、SSL 出力信号値、MSB ／ LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性／位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMD0 ～ 7 レジスタの一部／全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMD レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって CPU から確認可能です。SPCR.SPE ビットを “1” にして RSPI 機能を有効にすると、RSPI はコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了する度にポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

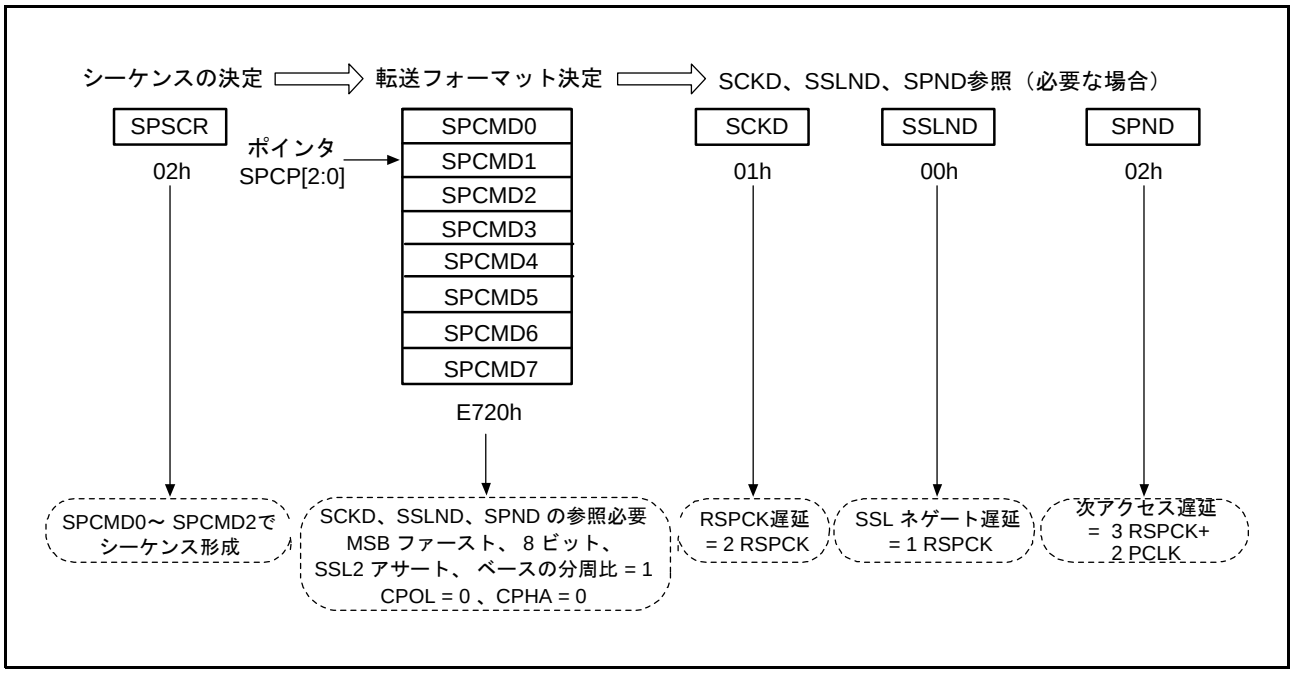


図 33.33　マスタモードでのシリアル転送方式の決定方法（クロック同期式動作）

(4) 初期化フロー

図 33.34 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMACA、入出力ポートの設定方法については、各ブロックの説明を参照してください。

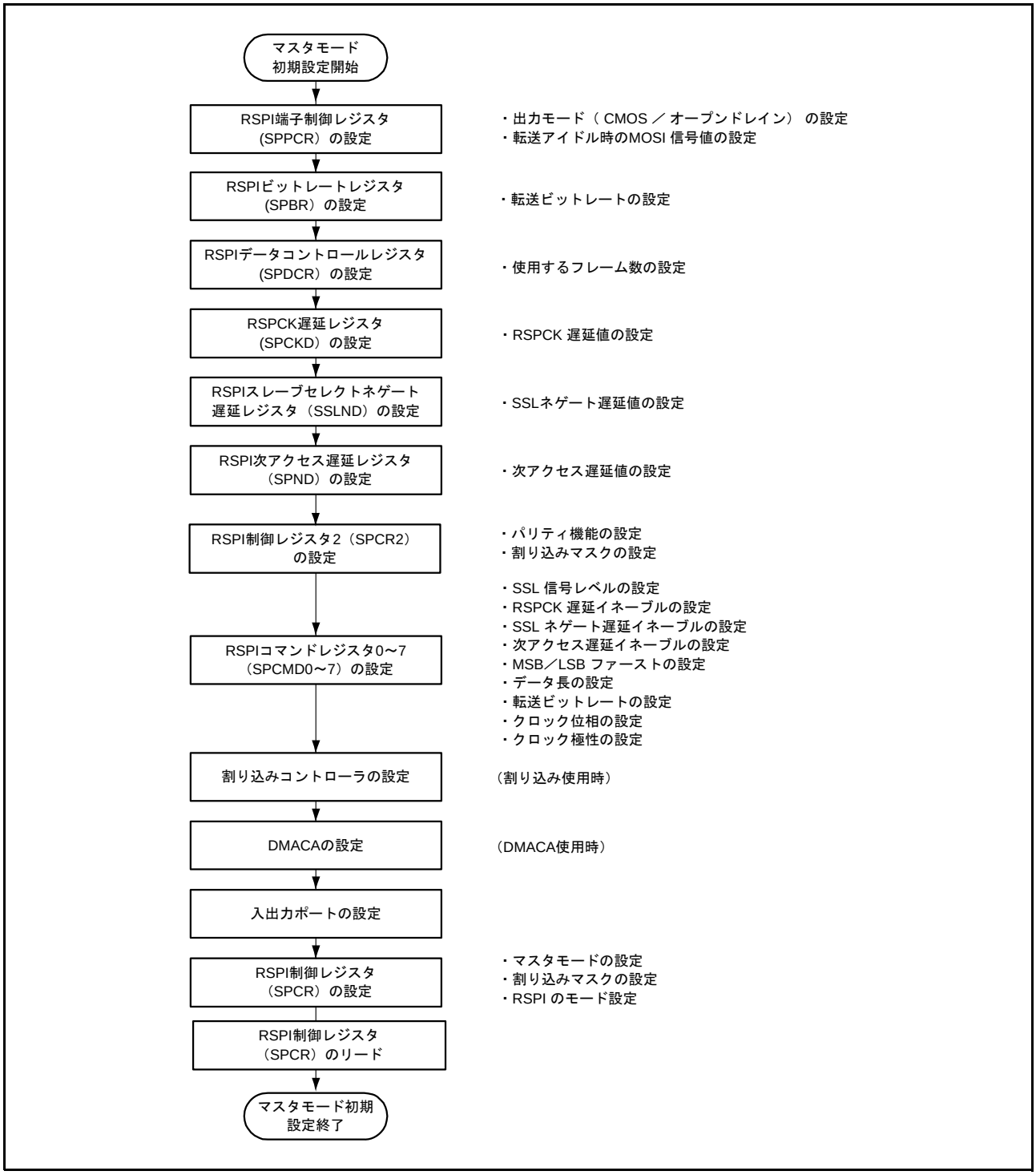


図 33.34　マスタモード時の初期化フロー例（クロック同期式動作）

(5) 転送動作フロー

図 33.35 に、クロック同期式動作時、マスタモードの転送動作フローを示します。

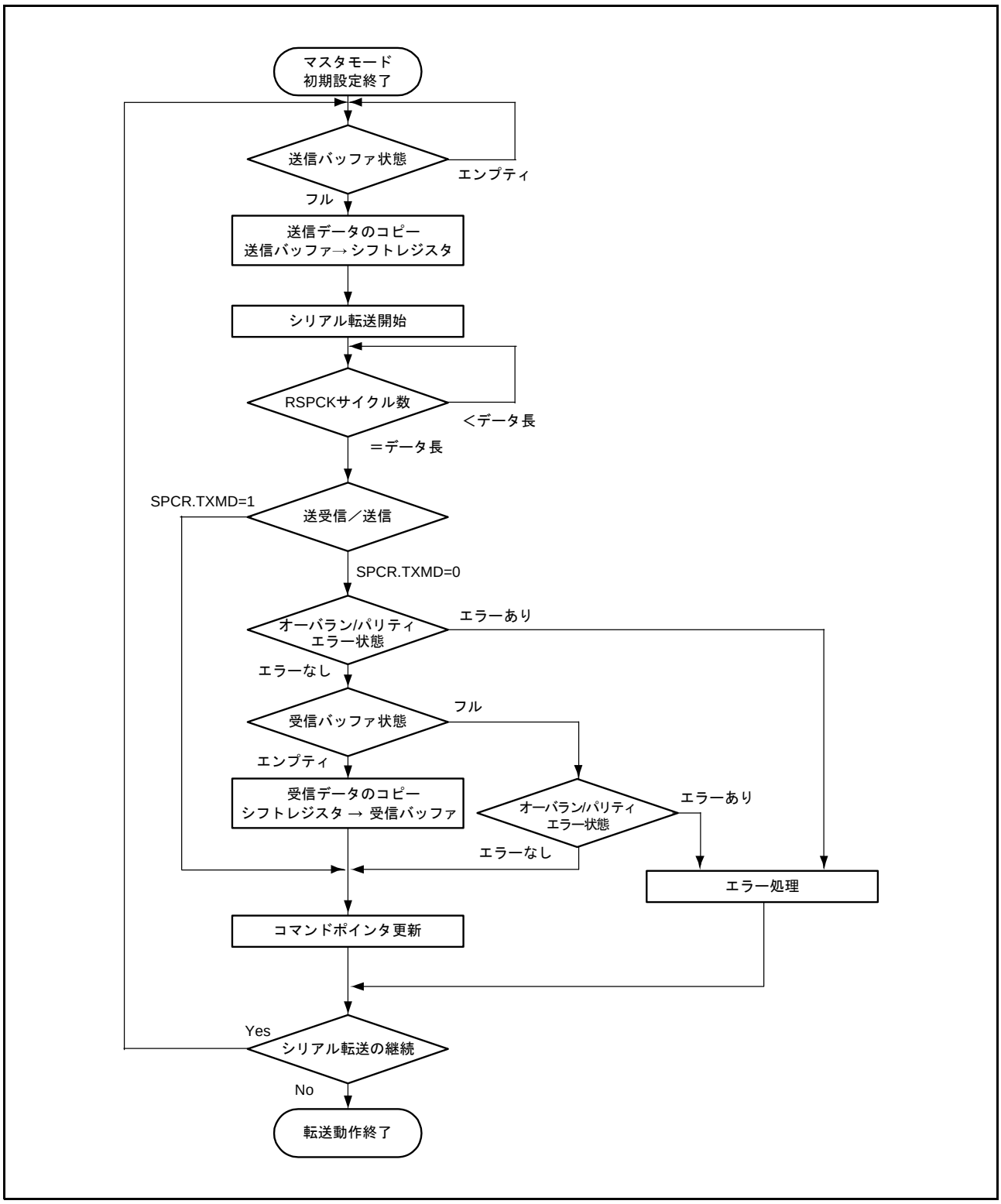


図 33.35　マスタモード時の転送動作フロー（クロック同期式動作）

33.3.13　スレーブモード動作

(1)　シリアル転送の開始

RSPI は、SPCR.SPMS ビットが “1” であるとき、最初の RSPCK エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

SPMS ビットが “1” であるときは、RSPI は MISO 出力信号を常にドライブします。

なお、RSPI の転送フォーマットの詳細については、「33.3.4　転送フォーマット」を参照してください。ただし、クロック同期式動作時は SSL0 入力信号を使用しません。

(2)　シリアル転送の終了

RSPI は最終サンプリングタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「33.3.4　転送フォーマット」を参照してください。

(3) 初期化フロー

図 33.36 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMACA、入出力ポートの設定方法については、各ブロックの説明を参照してください。

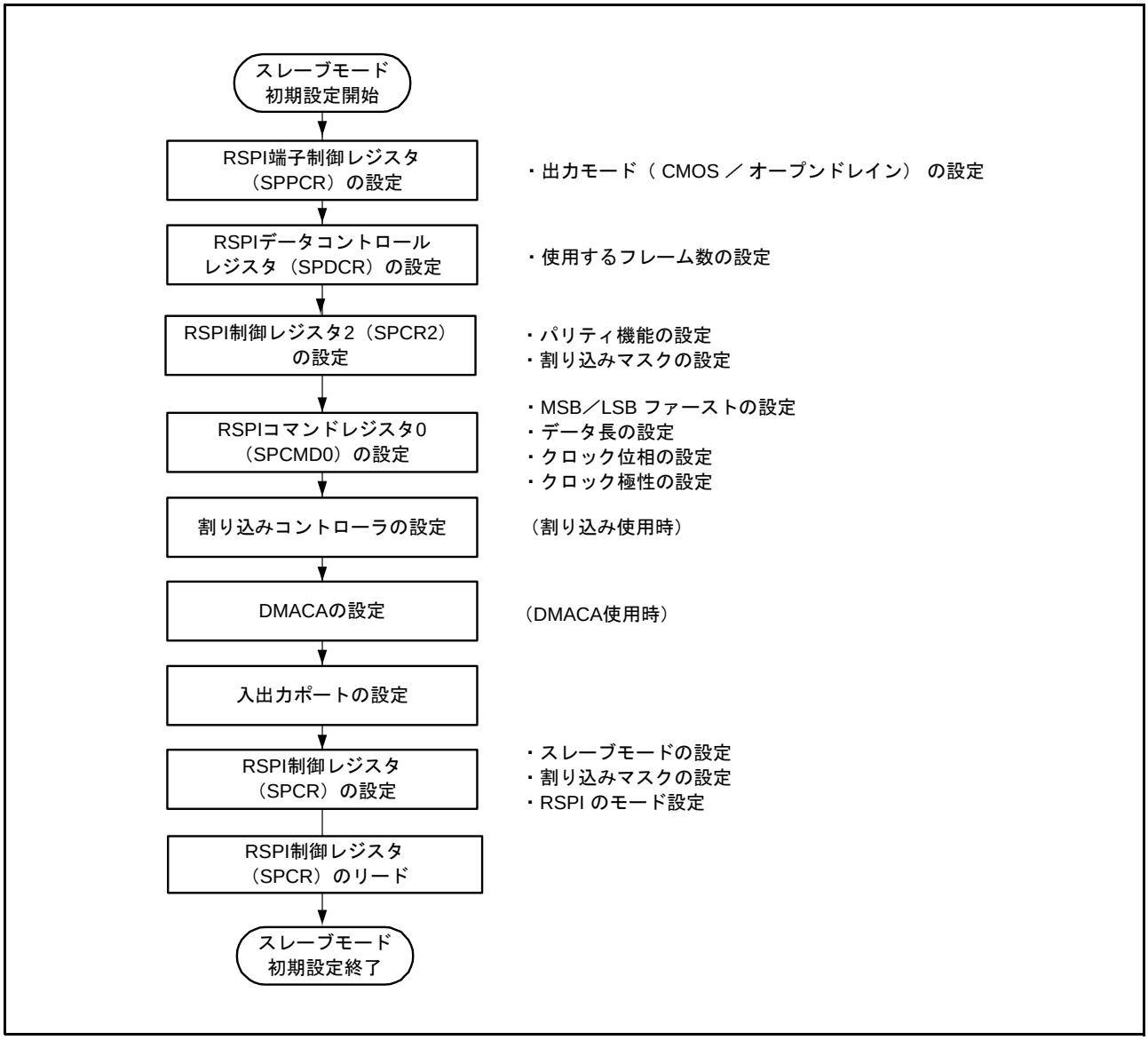


図 33.36　スレーブモード時の初期化フロー例（クロック同期式動作）

(4) 転送動作フロー

図 33.37 に、クロック同期式動作時の RSPI の転送動作フローを示します。

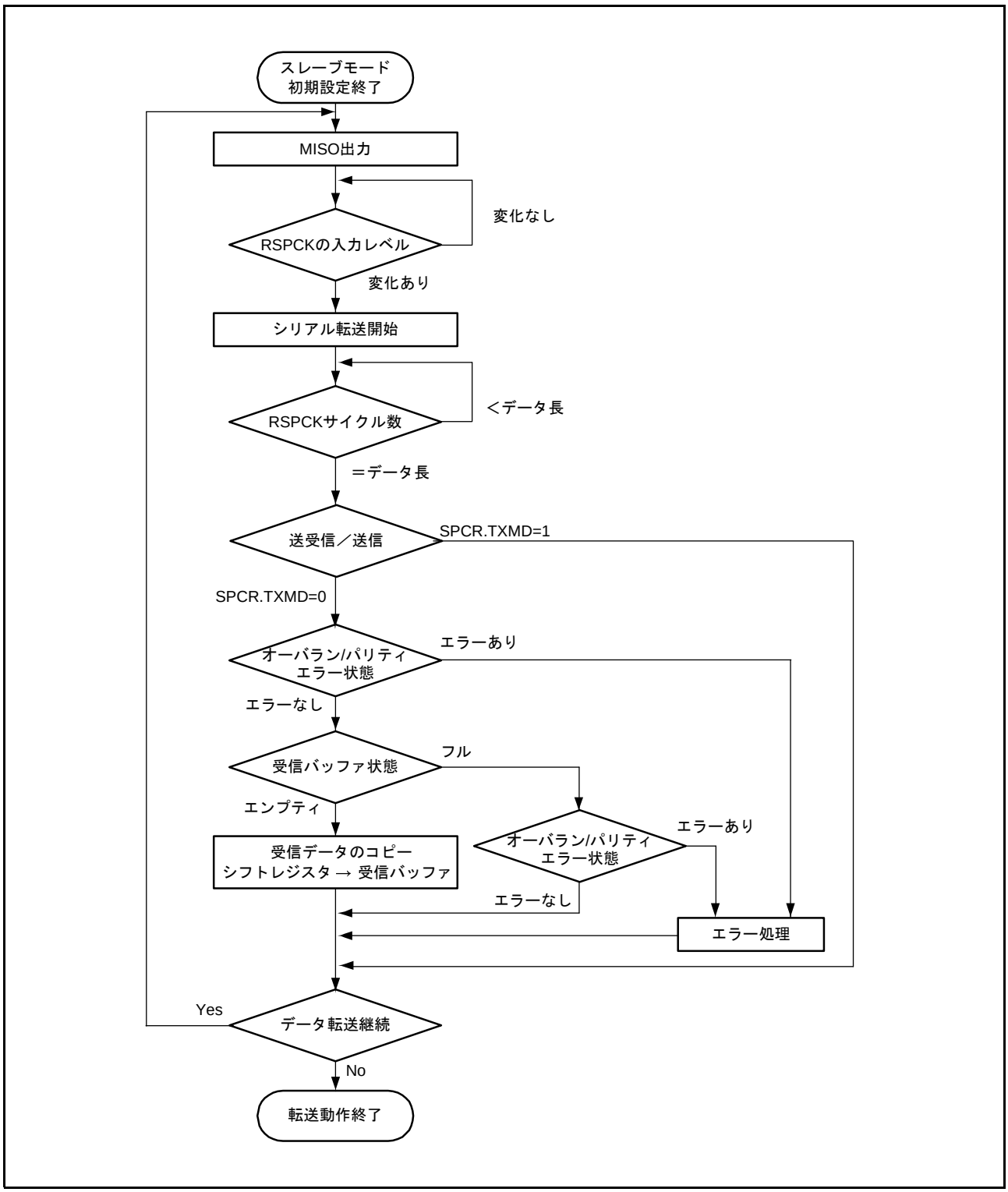


図 33.37　スレーブモード時の転送動作フロー（CPHA ＝ 1）（クロック同期式動作）

33.3.14　エラー処理

図 33.38 ～図 33.40 に、RSPI のエラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

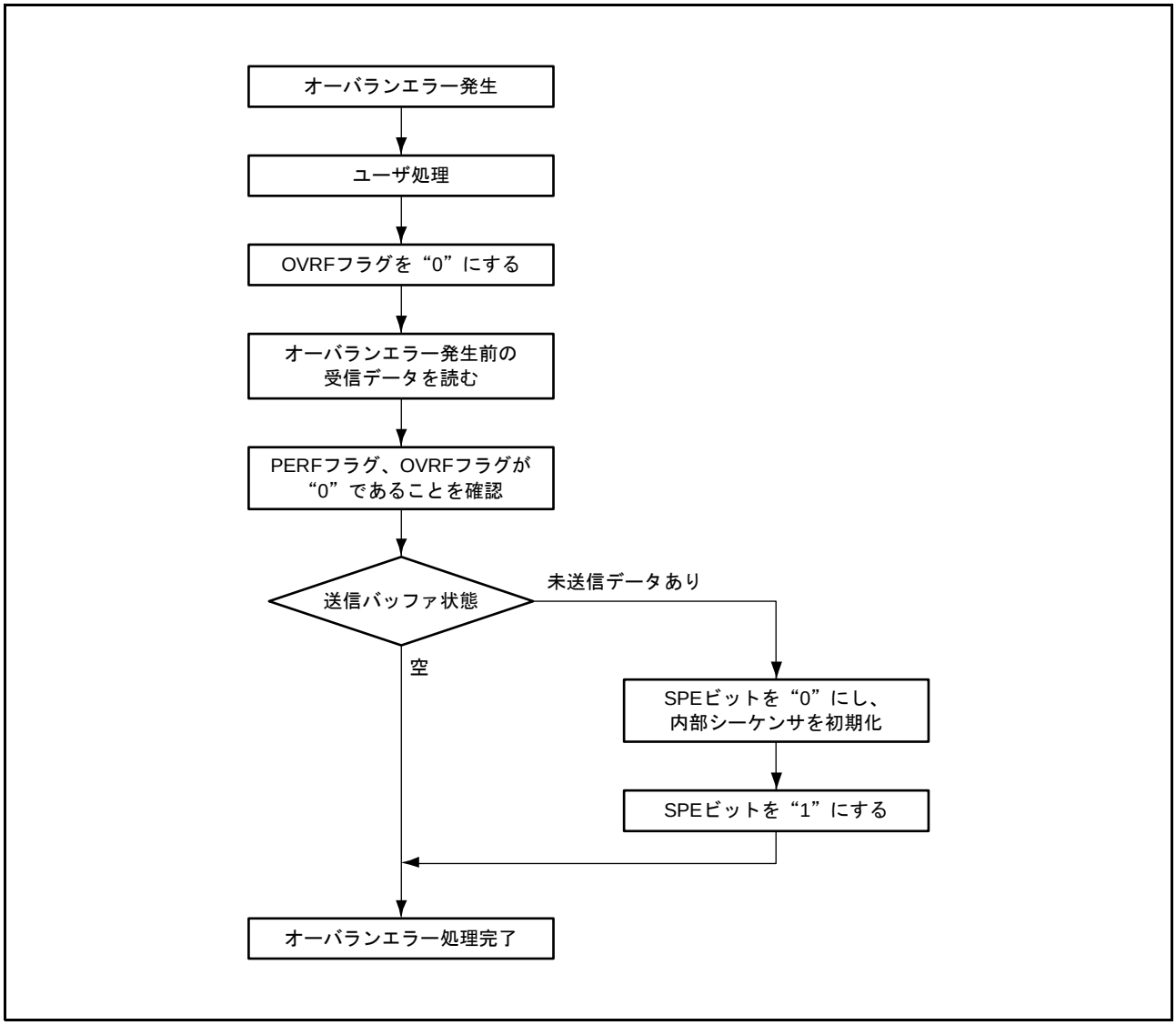


図 33.38　エラー処理（オーバランエラー）

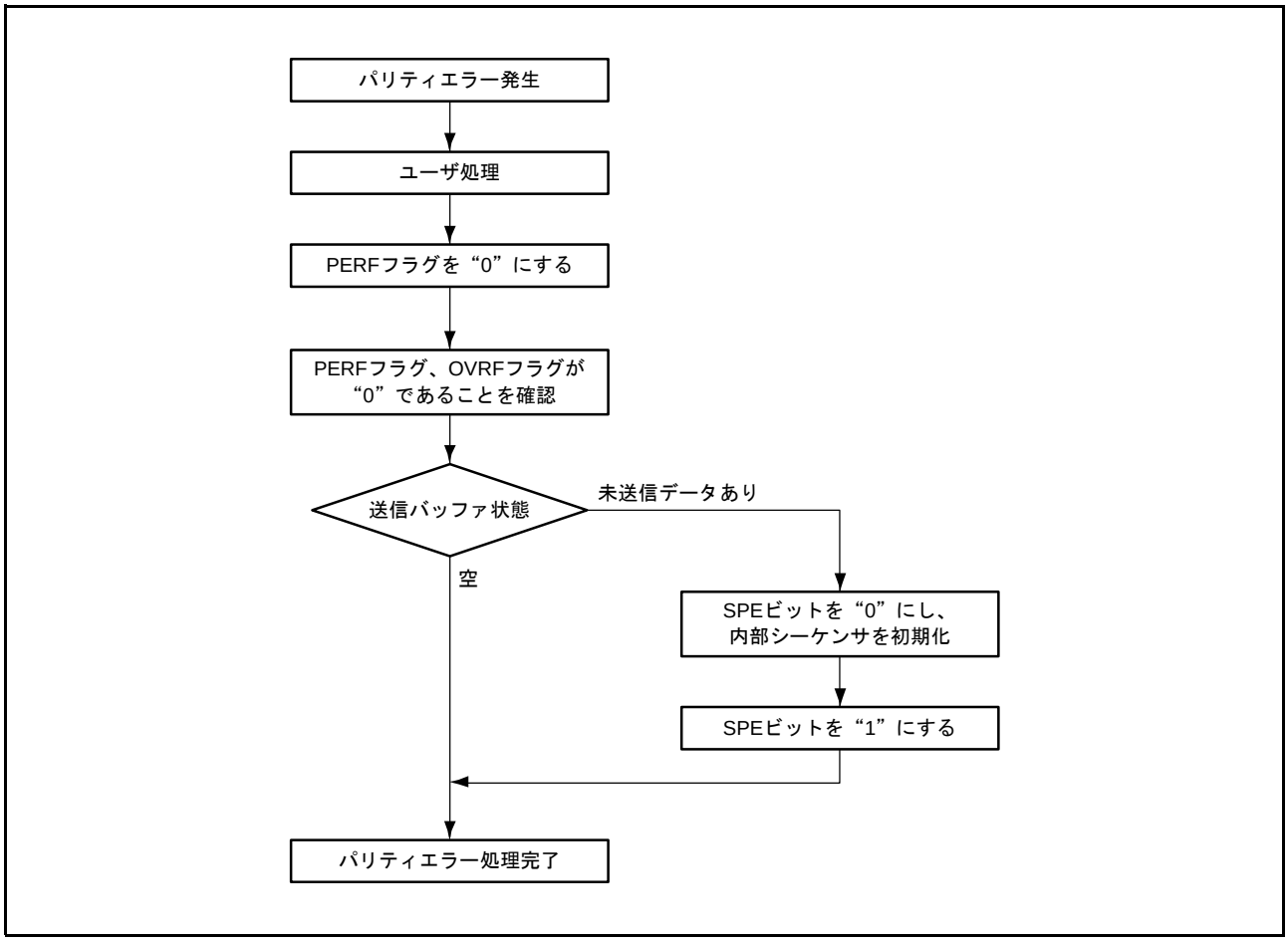


図 33.39　エラー処理（パリティエラー）

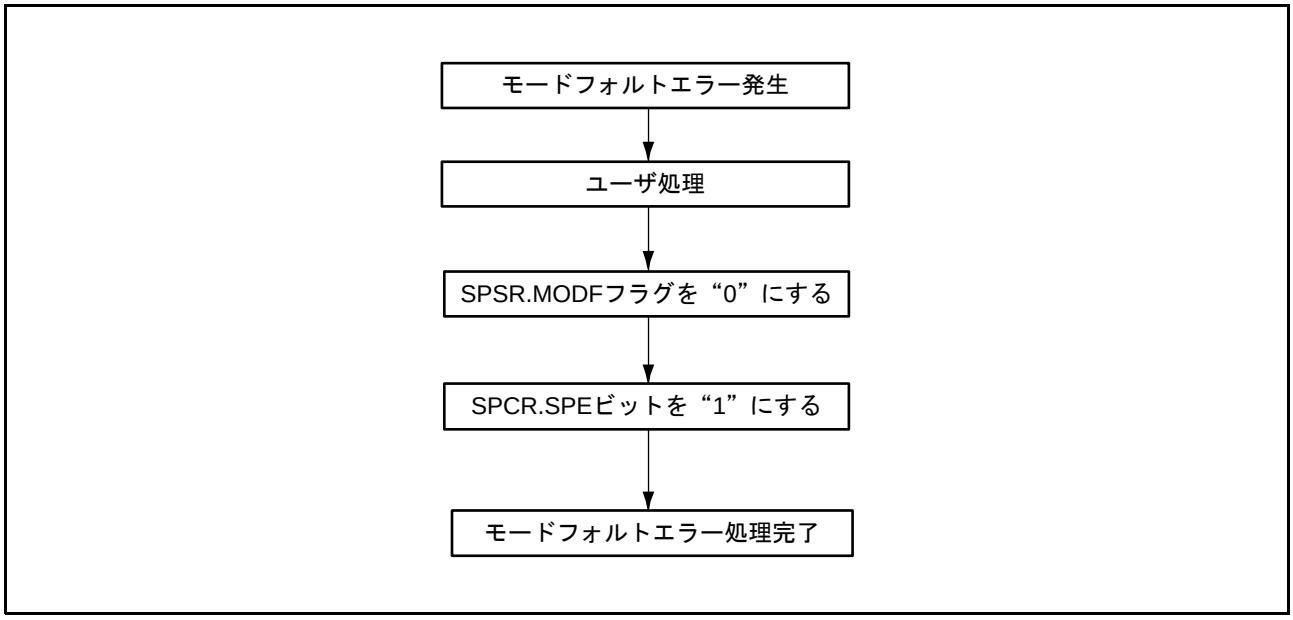


図 33.40　エラー処理（モードフォルトエラー）

33.3.15 ループバックモード

ループバックモードはCPUがSPPCR.SPLP2ビットまたはSPLPビットに“1”を書くと、RSPIはSPCR.MSTRビットが“1”ならば、MISO端子とシフトレジスタ間を、SPCR.MSTRビットが“0”ならば、MOSI端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTRビットが“1”ならば、MOSI端子とシフトレジスタ間を、SPCR.MSTRビットが“0”ならば、MISO端子とシフトレジスタ間の経路を遮断しません。

ループバックモードでシリアル転送を実行すると、RSPIの送信データまたは送信データの反転がRSPIの受信データになります。

表33.13にSPPCR.SPLP2,SPLPビットの設定と受信データの関係を示します。また、**図33.41**に、マスタモードのRSPIをループバックモード（SPPCR.SPLP2 = 0、SPPCR.SPLP = 1）にした場合のシフトレジスタ入出力経路の構成を示します。

表33.13　SPLP2ビット、SPLPビットの設定と受信データ

SPPCR.SPLP2ビット	SPPCR.SPLPビット	受信データ
0	0	MOSI端子またはMISO端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

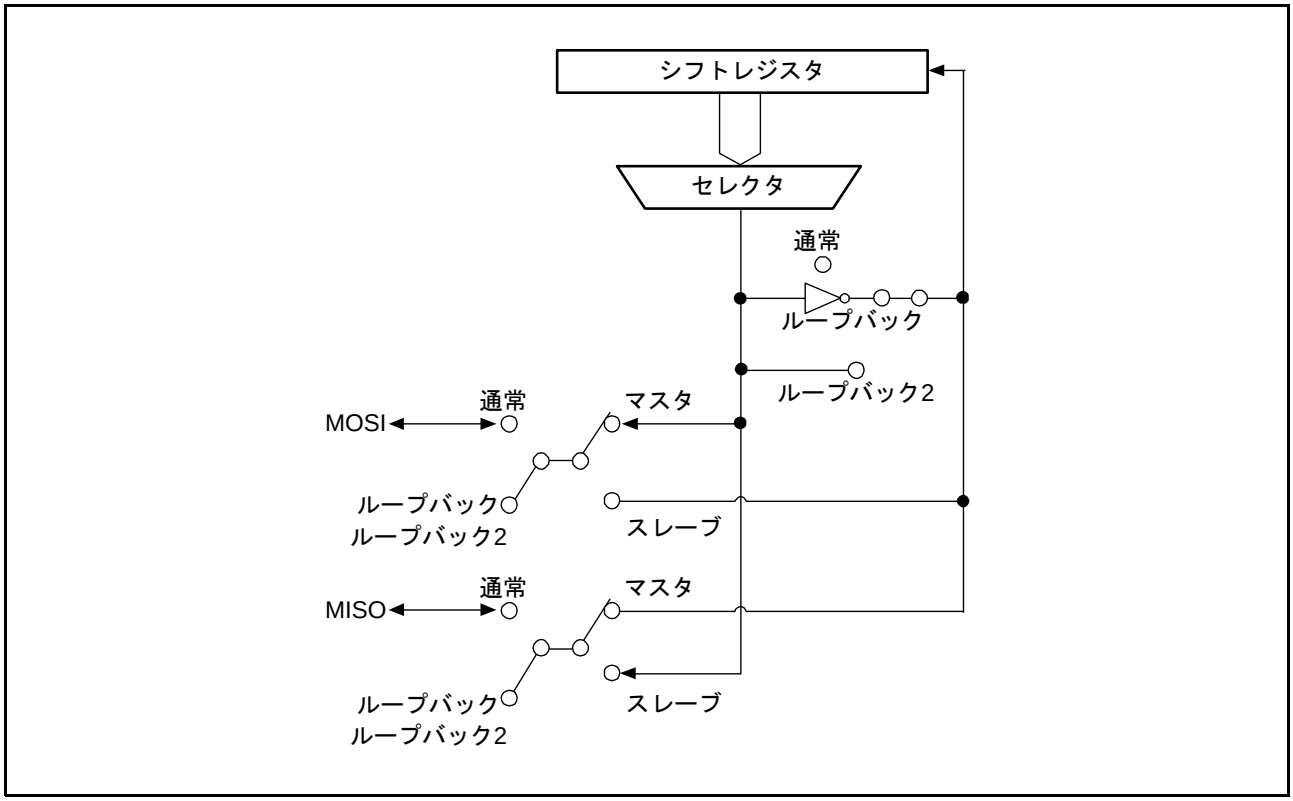


図33.41　ループバックモード時のシフトレジスタ入出力構成（マスタモード）

33.3.16　パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 33.42 に示すのフローに従い、パリティ回路の自己診断を行います。

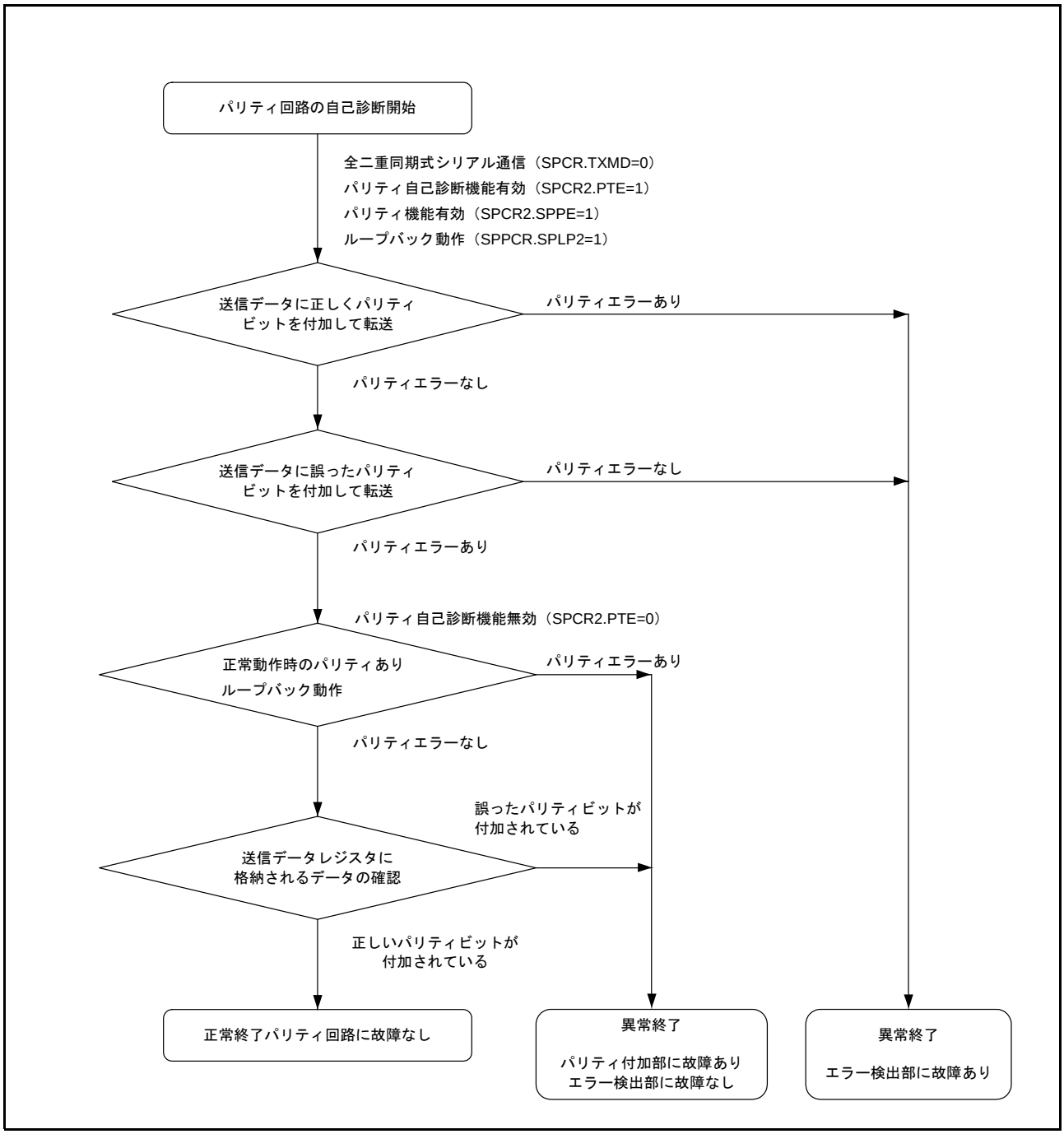


図 33.42　パリティ回路の自己判断フロー

33.3.17 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC、DMACA を起動し、データ転送を行うことができます。

表 33.14 に、RSPI の割り込み要因を示します。**表 33.14** に示すの割り込み条件が成立すると、割り込みが発生します。データ転送で割り込み要因をクリアしてください。

DTC または DMACA を使って送受信を行う場合は、先に DTC または DMACA を設定し、許可状態にしてから RSPI の設定を行ってください。DTC または DMACA の設定方法は「14. DMA コントローラ（DMACA）」、「16. データトランスファコントローラ（DTCa）」を参照してください。

表 33.14　RSPI の割り込み要因

割り込み要因	略称	割り込み条件	DMACA/DTC 起動
受信バッファフル	SPRI	(sprie=1)・(受信バッファフル)	○
送信バッファエンプティ	SPTI	(sptie=1)・(送信バッファエンプティ)	○
モードフォルト オーバラン パリティエラー	SPEI	(speie=1)・{(modf=1)｜(ovrf=1)｜(perf=1)}	－
RSPI アイドル	SPII	(spiie=1)・(idlnf=0)	－

33.4 使用上の注意事項

33.4.1 マスタモードにおけるパリティ機能有効時の送信動作

マスタモードでパリティ機能が有効であるときに付加した送信動作を行う場合、各コマンドレジスタの下記設定をすべて同じ値にしてください。

- コマンドレジスタの転送ビット長の設定
- コマンドレジスタの MSB ファースト /LSB ファーストの設定

34. 12 ビット A/D コンバータ（S12AD）

34.1 概要

RX62N グループ、RX621 グループは、逐次比較方式の 12 ビットの A/D コンバータを 1 ユニット内蔵しています。最大 8 チャネルのアナログ入力を選択することができます。

A/D コンバータの動作モードには、任意に選択した最大 8 チャネルのアナログ入力を若いチャネル番号順に 1 回のみ変換する 1 サイクルスキャンモードと、任意に選択した最大 8 チャネルのアナログ入力を順次若いチャネル番号順に連続して変換する連続スキャンモードがあります。

表 34.1 に A/D コンバータの仕様を、**表 34.2** に A/D コンバータの機能概要を示します。**図 34.1** に A/D コンバータのブロック図を示します。

なお、12 ビット A/D コンバータおよび 10 ビット A/D コンバータは排他的に使用可能で、モジュールストップコントロールレジスタ A の MSTPCRA.MSTPA23, MSTPA22, MSTPA17 ビットで選択します。

表34.1　A/Dコンバータの仕様

項目	内容
ユニット数	1ユニット（S12AD0）
入力チャネル	8チャネル
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャネル当たり1.0μs（周辺モジュールクロック　PCLK = 50MHz動作時）
A/D変換クロック	4種類：PCLK、PCLK/2、PCLK/4、PCLK/8
データレジスタ	8本 A/D変換結果を12ビットA/Dデータレジスタに保持 加算モード時は14ビットをA/Dデータレジスタに保持
動作モード	• 1サイクルスキャンモード：任意に選択した最大8チャネルのアナログ入力を1回のみ変換 • 連続スキャンモード：任意に選択した最大8チャネルのアナログ入力を繰り返し変換
A/D変換開始条件	• ソフトウェアトリガ • マルチファンクションタイマパルスユニット（MTU）、または8ビットタイマ（TMR）からのトリガ • 外部トリガ ADTRG0#端子によってA/D変換を開始することが可能
機能	• サンプル＆ホールド機能 • A/D変換値加算モード
割り込み要因	• A/D変換終了でADスキャン変換終了割り込み要求（S12ADI0）を発生 • S12ADI0割り込みでDMAコントローラ（DMACA）、データトランスファコントローラ（DTC）を起動可能
消費電力低減機能	• モジュールストップ状態への設定可能（注1）

注1.　モジュールストップ状態を解除後は、10ms 待ってから A/D 変換を開始してください。

表34.2　A/Dコンバータの機能概要

項目			機能/内部トリガ要因	
アナログ入力チャネル			AN0 ～ AN7	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	
	外部トリガ	ADTRG0#	可能	
	内部トリガ（MTU、TMR）（注3）	TRG0AN_0	MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ
		TRG0BN_0	MTU0.TGRBとMTU0.TCNT	
		TRGAN_0	MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ
			MTU1.TGRAとMTU1.TCNT	
			MTU2.TGRAとMTU2.TCNT	
			MTU3.TGRAとMTU3.TCNT	
			MTU4.TGRAとMTU4.TCNT	
			MTU4.TCNT	相補PWMモード時のTCNTのアンダーフロー（谷）
		TRGAN_1	MTU6.TGRAとMTU6.TCNT	インプットキャプチャ/コンペアマッチ
			MTU7.TGRAとMTU7.TCNT	
			MTU8.TGRAとMTU8.TCNT	
			MTU9.TGRAとMTU9.TCNT	
			MTU10.TGRAとMTU10.TCNT	
			MTU10.TCNT	相補PWMモード時のTCNTのアンダーフロー（谷）
		TRG0EN_0	MTU0.TGREとMTU0.TCNT	コンペアマッチ
		TRG0FN_0	MTU0.TGRFとMTU0.TCNT	
		TRG4ABN_0	MTU4.TADCORAとMTU4.TCNTまたはMTU4.TADCORBとMTU4.TCNT	A/D変換開始要求ディレイド機能を利用したコンペアマッチ
		TRG4ABN_1	MTU10.TADCORAとMTU10.TCNTまたはMTU10.TADCORBとMTU10.TCNT	
		TMTRG0AN_0	TMR0.TCORAとTMR0.TCNT	コンペアマッチ
		TMTRG0AN_1	TMR2.TCORAとTMR2.TCNT	
割り込み			S12ADI0割り込み（S12ADI0）	
モジュールストップ機能の設定（注1）（注2）			MSTPCRA.MSTPA17ビット	

注1.　モジュールストップ状態を解除後は、10ms 待ってからA/D 変換を開始してください。
注2.　詳細は「9.　消費電力低減機能」を参照してください。
注3.　内部トリガにある“_0”、“_1”は、ユニット番号を示します。また、内部トリガを出力されるための設定については、「18.4.3　A/Dコンバータの起動」および「21.6.2　A/Dコンバータの起動」を参照してください。

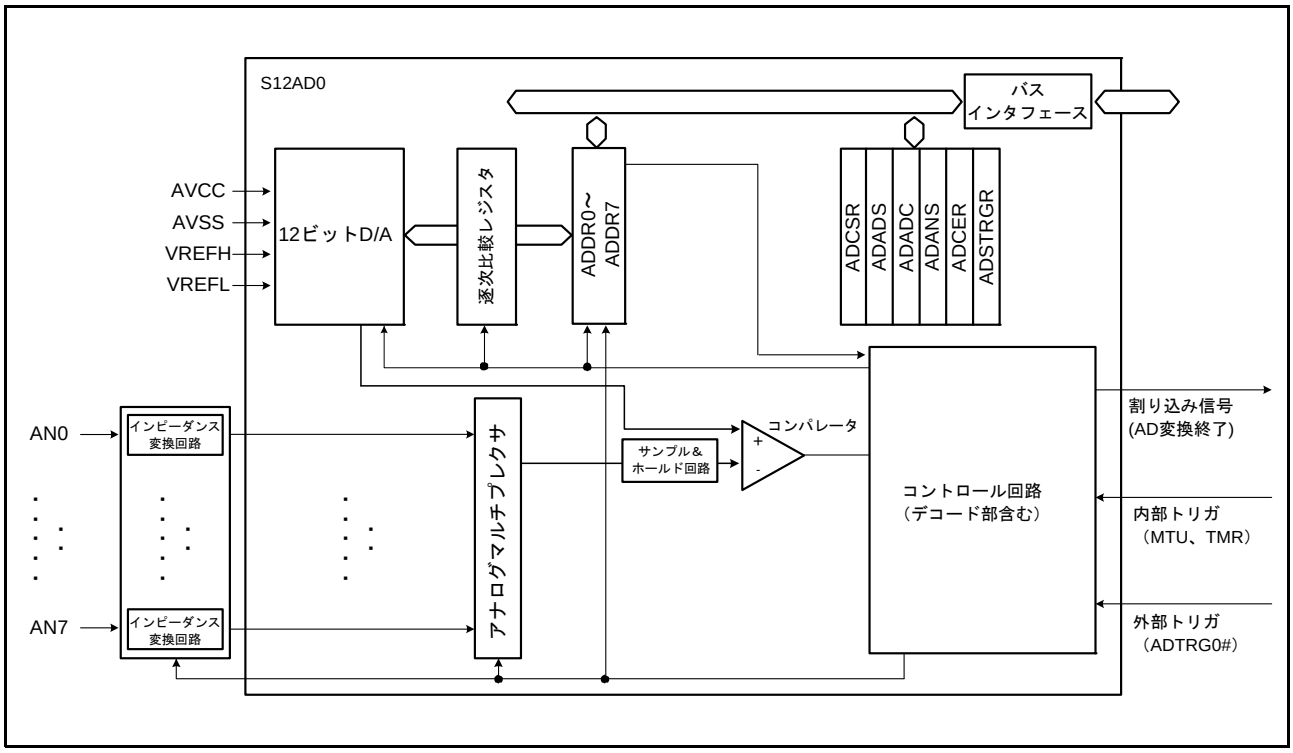


図 34.1　　A/D コンバータのブロック図

表 34.3 に A/D コンバータで使用する入力端子を示します。

表34.3　A/Dコンバータの入力端子

端子名	入力	機能
AVCC	入力	アナログ回路の電源端子
AVSS	入力	アナログ回路のグランド端子
VREFH	入力	A/Dコンバータの基準電源端子
VREFL	入力	A/Dコンバータの基準電源グランド端子
AN0～AN7	入力	アナログ入力端子
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子

34.2　レジスタの説明

表 34.4 に A/D コンバータのレジスタ一覧を示します。

表34.4　A/Dコンバータのレジスタ一覧

モジュールシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
S12AD0	A/Dデータレジスタ0	ADDR0	0000h	0008 9020h	16
	A/Dデータレジスタ1	ADDR1	0000h	0008 9022h	16
	A/Dデータレジスタ2	ADDR2	0000h	0008 9024h	16
	A/Dデータレジスタ3	ADDR3	0000h	0008 9026h	16
	A/Dデータレジスタ4	ADDR4	0000h	0008 9028h	16
	A/Dデータレジスタ5	ADDR5	0000h	0008 902Ah	16
	A/Dデータレジスタ6	ADDR6	0000h	0008 902Ch	16
	A/Dデータレジスタ7	ADDR7	0000h	0008 902Eh	16
	A/Dコントロールレジスタ	ADCSR	00h	0008 9000h	8
	A/Dチャネル選択レジスタ	ADANS	0000h	0008 9004h	16
	A/D変換値加算モード選択レジスタ	ADADS	0000h	0008 9008h	16
	A/D変換値加算回数選択レジスタ	ADADC	00h	0008 900Ch	8
	A/Dコントロール拡張レジスタ	ADCER	0000h	0008 900Eh	16
	A/D開始トリガ選択レジスタ	ADSTRGR	00h	0008 9010h	8

34.2.1 A/D データレジスタ n（ADDRn）（n = 0 ～ 7）

A/D データレジスタ 0 ～ 7（ADDR0 ～ ADDR7）は、AN0 ～ 7 を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

また、ADDRn レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰または左詰）
- A/D 変換値加算モード選択ビットの設定値（非選択または選択）

A/D 変換値加算モードを選択したチャネルに対しての最小値と最大値を次に示します。A/D 変換値加算モードに設定されている場合は A/D データレジスタフォーマット選択ビット（ADCER.ADRFMT）の設定は無効になります。

1 回変換時：0000h ≦ ADDRn（n = 0 ～ 7）≦ 3FFCh
（ADDRn（n = 0 ～ 7）：ビット 15、14 = 00b、ビット 13 ～ 2 = AD11 ～ 0、ビット 1、0 = 00b）
2 回変換時：0000h ≦ ADDRn（n = 0 ～ 7）≦ 7FF8h
（ADDRn（n = 0 ～ 7）：ビット 15 = 0b、ビット 14 ～ 2 = AD12 ～ 0、ビット 1、0 = 00b）
3 回変換時：0000h ≦ ADDRn（n = 0 ～ 7）≦ BFF4h
（ADDRn（n = 0 ～ 7）：ビット 15 ～ 2 = AD13 ～ 0、ビット 1、0 = 00b）
4 回変換時：0000h ≦ ADDRn（n = 0 ～ 7）≦ FFF0h
（ADDRn（n = 0 ～ 7）：ビット 15 ～ 2 = AD13 ～ 0、ビット 1、0 = 00b）

(1) レジスタ：ADDR0 ～ ADDR7

ADCER.ADRFMT ビットの設定により、右詰めまたは左詰めのフォーマットのどちらかを設定できます。このとき、ADDRn.AD11 ～ 0 ビットは、12 ビットの A/D 変換値を示します。それ以外のビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

A/D 変換値加算モードに設定したときは、ADCER.ADRFMT ビットの設定は無効となり、左詰めのフォーマットになります。このとき、ADDRn.AD13 ～ 0 ビットは、A/D 変換値加算モードの全変換値を加算した値を示します。

- 右詰めのフォーマットに設定した場合

アドレス　0008 9020h ～　0008 902Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	–	–	12ビットA/D変換値	R
b15-b12	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 左詰めのフォーマットに設定した場合

アドレス　0008 9020h ～　0008 902Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
													–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b4	–	–	12ビットA/D変換値	R

- A/D 変換値加算モードを選択した場合

アドレス　0008 9020h ～　0008 902Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
															–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b2	–	–	14ビットA/D変換値加算結果	R

A/D　変換値加算モードに設定されている場合は、A/D　データレジスタフォーマット選択ビット（ADCER.ADRFMT）の設定は無効となります。

34.2.2 A/D コントロールレジスタ（ADCSR）

アドレス　0008 9000h

	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS	ー	ADIE	CKS[1:0]		TRGE	EXTRG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXTRG	トリガ選択ビット	0：A/D開始トリガ選択レジスタ（ADSTRGR）で選択されたタイマ要因による、スキャン変換の開始を選択 1：外部トリガ（ADTRG0#）によるスキャン変換の開始を選択	R/W
b1	TRGE	トリガ許可ビット	0：外部トリガ（ADTRG0#）または、MTU、TMRトリガによるスキャン変換を禁止 1：外部トリガ（ADTRG0#）または、MTU、TMRトリガによるスキャン変換を許可	R/W
b3-b2	CKS[1:0]	クロック選択ビット	b3 b2 0 0：PCLK/8 0 1：PCLK/4 1 0：PCLK/2 1 1：PCLK	R/W
b4	ADIE	A/Dスキャン変換終了割り込み許可ビット	0：スキャン終了後のS12ADI0割り込み発生の禁止 1：スキャン終了後のS12ADI0割り込み発生の許可	R/W
b5	ー	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ADCS	スキャン変換モード選択ビット	0：1サイクルスキャンモード 1：連続スキャンモード	R/W
b7	ADST	A/Dスタートビット	0：スキャン変換停止 1：スキャン変換開始	R/W

注．　外部トリガでスキャン変換を開始する方法
外部トリガ端子（ADTRG#0）にHighを入力した状態で、ADCSR.TRGEを“1”、ADCSR.EXTRGを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上であることが必要です。

ADCSRレジスタは、クロック選択、スキャン変換の開始／停止、スキャンモード、スキャン変換トリガの設定を行うレジスタです。ADCSR.CKS[1:0],ADCSビットの設定は、ADSTビットが“0”のときに行ってください。

ADIEビット（A/Dスキャン変換終了割り込み許可ビット）

A/Dスキャン変換終了割り込み（S12ADI0）の発生を許可／禁止します。

対象となるチャネルのスキャン変換が終了して、ADIEビットが“1”の場合、A/Dスキャン変換終了割り込み（S12ADI0）が発生します。

ADCSビット（スキャン変換モード選択ビット）

スキャン変換モードを選択します。1サイクルスキャンモードは、ADANSレジスタで選択した最大8チャネルのアナログ入力を若いチャネル番号順に1回のみスキャン変換を実施し、選択されたすべてのチャネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADSTが“1”の間、ADANSレジスタで選択した最大8チャネルのアナログ入力を若いチャネル番号順にスキャン変換を実施し、選択されたすべてのチャネルの変換が終了すると最初のチャネルに戻り、スキャン変換を継続します。ADCSR.ADSTビットを“0”にするとスキャン変換を停止します。

ADST ビット（A/D スタートビット）

スキャン変換の開始／停止を制御します。ADST ビットを “1” にする前に A/D 変換クロックや動作モードの設定を行ってください。

［“1” になる条件］

- ソフトウェアで “1” を書いたとき
- ADCSR.TRGE ビットを “1” にし、ADSTRGR.ADSTRS[3:0] ビットで選択した MTU、TMR トリガを検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを “1”、ADSTRGR.ADSTRS[3:0] ビットを “0000b” にし、外部トリガを検出したとき

［“0” になる条件］

- ソフトウェアで “0” を書いたとき
- 1 サイクルスキャンモードで選択したすべてのチャネルの A/D 変換が終了したとき

34.2.3 A/D チャネル選択レジスタ（ADANS）

アドレス　0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	ANS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ANS[7:0]	A/D変換チャネル選択ビット	0：AN7～AN0を変換対象から外す 1：AN7～AN0を変換対象とする	R/W
b15-b8	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANS レジスタは、スキャン変換で変換するチャネル ANn（n ＝ 0 ～ 7）の選択を行うレジスタです。ADANS の設定は、ADCSR.ADST ビットが “0” のときに行ってください。

34.2.4 A/D 変換値加算モード選択レジスタ（ADADS）

アドレス　0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–	–	–	ADS[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ADS[7:0]	AD変換値加算チャネル選択ビット	0：A/D変換値加算モード非選択 1：A/D変換値加算モード選択	R/W
b15-b8	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADS レジスタは、A/D 変換を連続 2 ～ 4 回実施して加算（積算）するチャネル ANn(n=0 ～ 7) を選択するレジスタです。ADADS レジスタの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

ADS[7:0] ビット（A/D 変換値加算チャネル選択ビット）

ADSn ビットを “1” にすると、ANn を連続 2 ～ 4 回変換し加算（積算）した値を A/D データレジスタ n（ADDRn）に返します。ADSn ビットが “0” の ANn に関しては、通常の 1 回変換を実施し、A/D データレジスタ n（ADDRn）に値を返します。

図 34.2 にビット ADS[2] と ADS[6] を “1” にしたときのスキャン変換のシーケンスを示します。加算回数は 4 回に設定、AN0 ～ AN7 が選択されているものとします。AN0 から変換を開始します。AN2 の変換は、4 回連続変換し加算（積算）値を A/D データレジスタ n（ADDRn）に返します。その後 AN3 の変換を開始します。

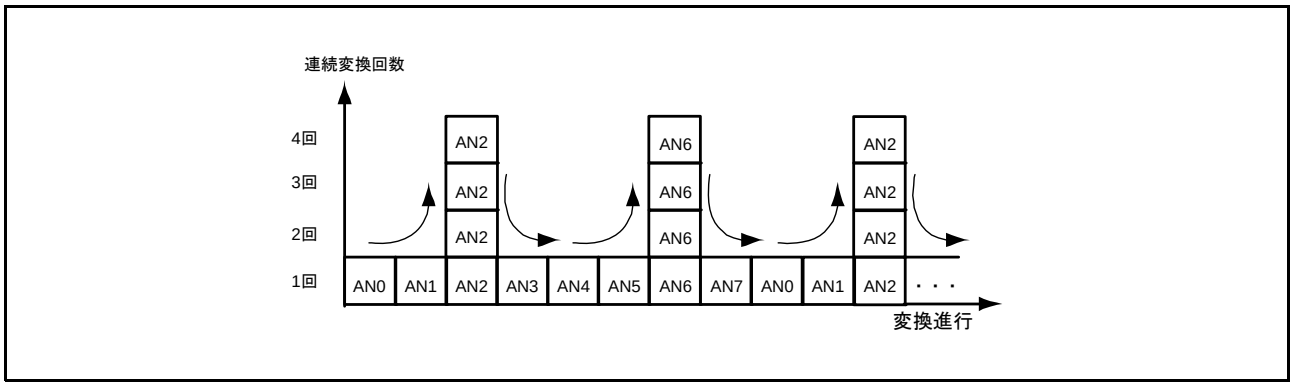


図 34.2　ADS[2] = 1 と ADS[6] = 1 選択時のスキャン変換シーケンス

加算モードを選択しないチャネルの A/D データレジスタ n（ADDRn）のフォーマットは、ADCER.ADRFMT（右詰め／左詰め）の設定により決定されます。

34.2.5 A/D 変換値加算回数選択レジスタ（ADADC）

アドレス　0008 900Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ADC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADC[1:0]	加算回数選択ビット	b1 b0 0 0：1回変換（加算なし。通常変換と同じ） 0 1：2回変換（1回加算を行う） 1 0：3回変換（2回加算を行う） 1 1：4回変換（3回加算を行う）	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADC レジスタは、A/D 変換値加算モードが選択されたチャネルに対して加算回数の設定を行うレジスタです。

ADADC レジスタの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

34.2.6 A/D コントロール拡張レジスタ（ADCER）

アドレス　0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	–	–	–	–	–	–	–	–	–	ACE	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	自動クリア許可ビット	0：A/Dデータレジスタn（ADDRn）の読み出しによるADDRnの自動クリアを禁止 1：A/Dデータレジスタn（ADDRn）の読み出しによるADDRnの自動クリアを許可	R/W
b14-b6	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0：A/Dデータレジスタn（ADDRn）のフォーマットを右詰めにする 1：A/Dデータレジスタn（ADDRn）のフォーマットを左詰めにする	R/W

ADCER レジスタは、A/D データレジスタ n（ADDRn）のフォーマットと自動クリアの設定を行うレジスタです。

ACE ビット（自動クリア許可ビット）

CPU、DTC および DMACA によって A/D データレジスタ n（ADDRn）を読み出した後、当該レジスタの自動クリアを行うか行わないかを選択します。自動クリアにより A/D データレジスタ n（ADDRn）の未更新故障を検出することができます。

ADRFMT ビット（A/D データレジスタフォーマット選択ビット）

A/D データレジスタに格納するデータの右詰め／左詰めを選択します。

A/D 変換値加算モードが選択されているチャネルに対応する A/D データレジスタ n（ADDRn）のフォーマットは、ADRFMT ビットの設定によらず、左詰め固定です。

A/D データレジスタ n（ADDRn）のフォーマットの詳細は、「34.2.1　A/D データレジスタ n（ADDRn）（n = 0 ～ 7）」を参照してください。

34.2.7 A/D 開始トリガ選択レジスタ（ADSTRGR）

アドレス　0008 9010h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ADSTRS[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ADSTRS[3:0]	A/D開始トリガ選択ビット	ビット3～0の組み合わせで内蔵周辺I/OからのA/D変換開始要因を選択します。	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

- MTU、TMR の A/D 変換開始要因を使用する場合は、ADCSR.TRGE ビットを “1” にし、かつ ADCSR.EXTRG ビットを “0” にしてください。
- 外部入力の AD 変換開始要因（ADTRG0#）を使用する場合は、ADCSR.TRGE ビットを “1” にし、かつ ADCSR.EXTRG ビットを “1” にしてください。
- ソフトウェアトリガ（ADCSR.ADST）は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、ADSTRGR の設定値にかかわらず常に有効です。

表34.5　A/D変換開始要因選択一覧

モジュール	A/D変換開始要因	対応トリガ	ADSTRS[3]	ADSTRS[2]	ADSTRS[1]	ADSTRS[0]
ADC	ADST	ソフトウェアトリガ	—	—	—	—
外部入力	ADTRG0#	A/D変換開始トリガ端子	0	0	0	0
MTU	TRG1N	TRG0AN_0	0	0	0	1
	TRG2N	TRG0BN_0	0	0	1	0
	TRG3N	TRGAN_0	0	0	1	1
	TRG4N	TRGAN_1	0	1	0	0
	TRG5N	TRG0EN_0	0	1	0	1
	TRG6N	TRG0FN_0	0	1	1	0
	TRG7N	TRG4ABN_0	0	1	1	1
	TRG8N	TRG4ABN_1	1	0	0	0
TMR	TRG9N	TMTRG0AN_0	1	0	0	1
	TRG10N	TMTRG0AN_1	1	0	1	0

注.　A/D変換を開始する要因をADTRG0#に設定する場合は、該当する端子のPORTm.DDRビットを“0”（入力ポート）に、PORTm.ICRビットを“1”（対応する端子の入力バッファは有効）にしてください。
詳細は「17.　I/Oポート」を参照してください。

34.3 動作説明

34.3.1 スキャン変換動作の説明

スキャン変換の動作モードには、1 サイクルスキャンモードと連続スキャンモードの 2 種類の動作モードがあります。1 サイクルスキャンモードは、指定した 1 チャネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを “0” にするまで無制限に繰り返し実施するモードです。

両モードとも ADANS レジスタで選択した ANSn の n が小さい番号順に A/D 変換を行ないます。

34.3.2 1 サイクルスキャンモード

1 サイクルスキャンモードは、選択されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

1. ソフトウェア、MTU、TMR または外部トリガ入力によって ADCSR.ADST ビットを “1”（A/D 変換開始）にすると、ADANS レジスタで選択した ANSn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ n（ADDRn）に格納されます。
3. 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI 割り込み許可）であれば、S12ADI0 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は “1” を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に “0” になり、A/D コンバータは待機状態になります。

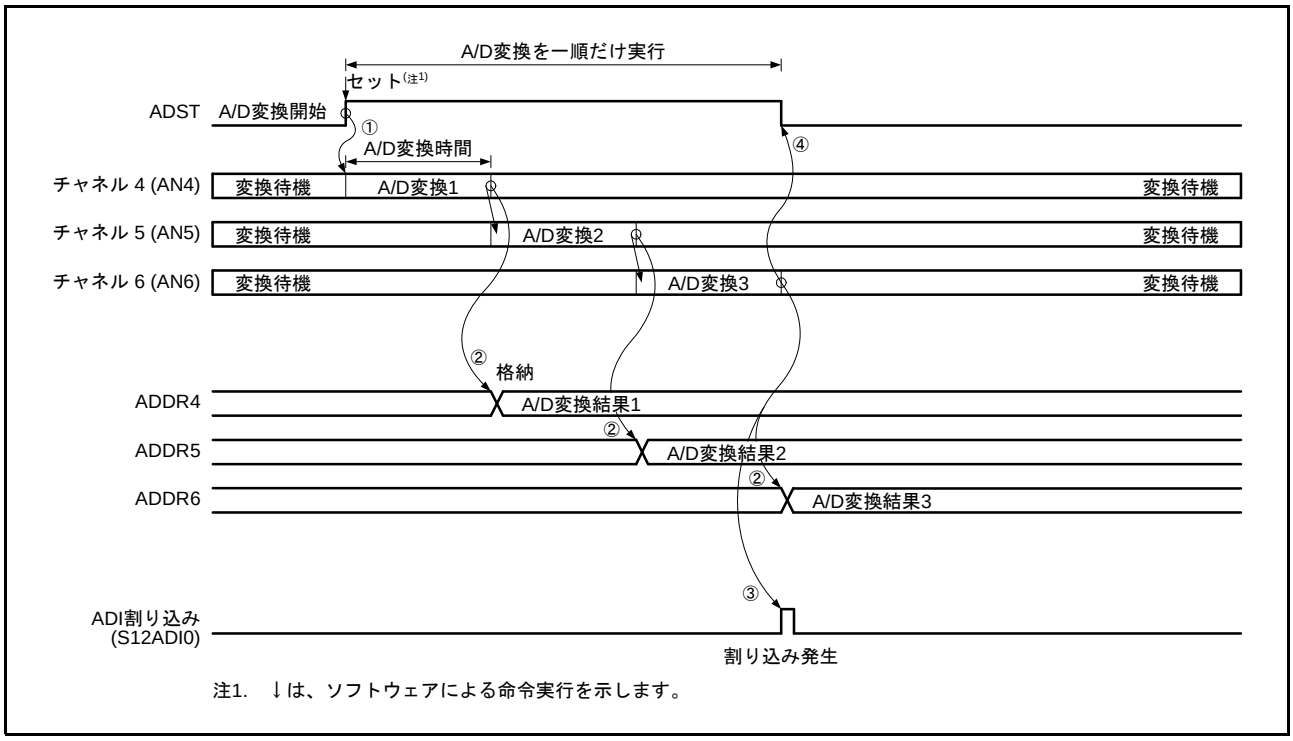


図 34.3 1 サイクルスキャンモードの動作例

34.3.3 連続スキャンモード

連続スキャンモードは、選択されたチャネルのアナログ入力を以下のように繰り返し A/D 変換します。

1. ソフトウェア、MTU、TMR または外部トリガ入力によって ADCSR.ADST ビットを “1”（A/D 変換開始）にすると、ADANS レジスタで選択した ANSn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ n（ADDRn）に格納されます。
3. 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI 割り込み許可）であれば、S12ADI0 割り込み要求を発生します。A/D コンバータは ADANS レジスタで選択した ANSn の n が小さい番号順に A/D 変換を開始します。
4. ADST ビットは自動的に “0” にならず、“1” になっている間は 2. ～ 3. を繰り返します。ADST ビットを “0”（A/D 変換停止）にすると A/D 変換を中止し、A/D コンバータは待機状態になります。
5. その後、ADST ビットを “1” になると、再び ADANS レジスタで選択した ANSn の n が小さい番号順に A/D 変換を開始します。

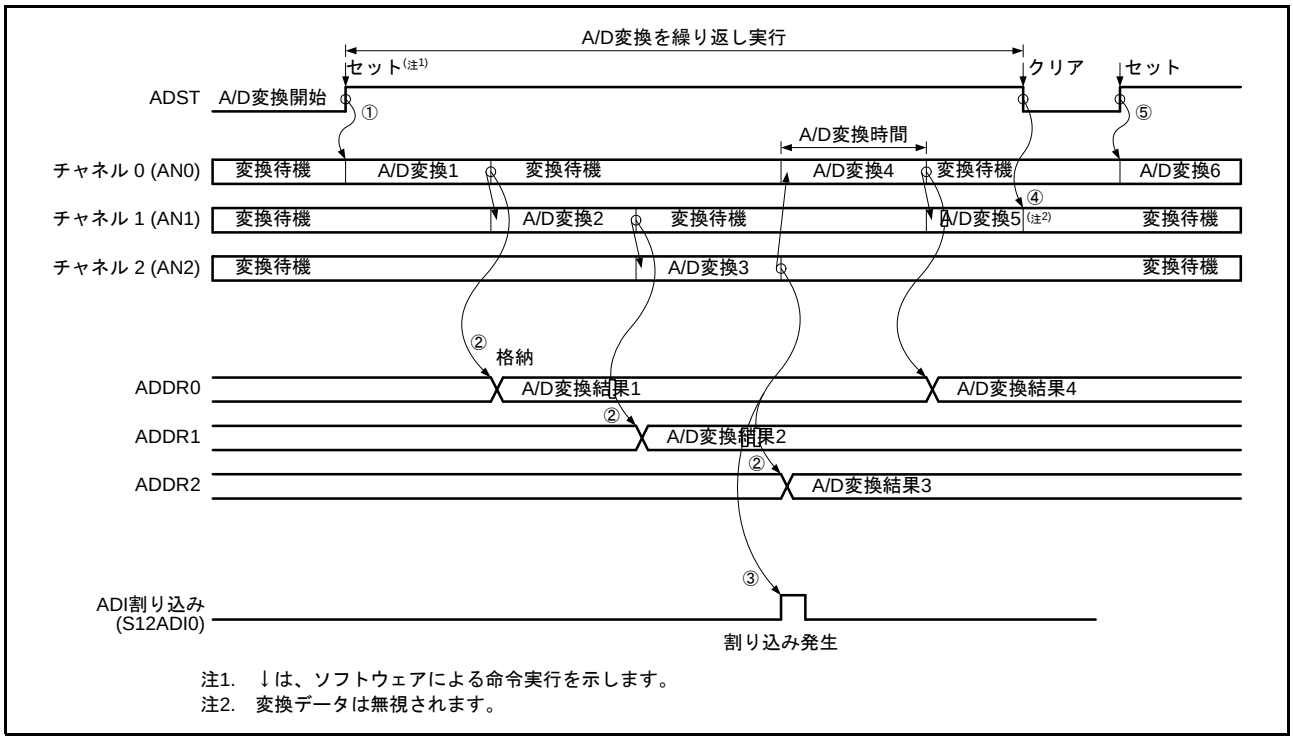


図 34.4 連続スキャンモードの動作例

34.3.4 アナログ入力のサンプリングとスキャン変換時間

スキャン変換は、ソフトウェアによる開始、MTU、TMR トリガによる開始および ADTRG0#（外部トリガ）による開始が選択できます。スキャン変換開始遅延時間（t_D）の後に、アナログ入力のサンプリングを行い、この後に A/D 変換処理が開始されます。

スキャン変換時間（t_{SCAN}）はスキャン変換開始遅延時間（t_D）、A/D 変換処理時間（t_{CONV}）、スキャン変換終了遅延時間（t_{ED}）を含めた時間となります。スキャン変換時間を表 34.6 に示します。

変換回数が n の 1 サイクルスキャンのスキャン変換時間（t_{SCAN}）は、次のように表されます。

$$t_{SCAN} = t_D + (t_{CONV} \times n) + t_{ED}$$

連続スキャンの 1 サイクル目は、1 サイクルスキャンの t_{SCAN} から t_ED を省いた時間です。

連続スキャンの 2 サイクル目以降は（$t_{CONV} \times n$）固定になります。

表 34.6　スキャン変換時間

項　目	記号	ADTRG#（外部トリガ）	MTU、TMR（内部トリガ）	ソフトウェア（ソフトウェアトリガ）	単位
スキャン変換開始遅延時間（注2）	t_D	4PCLK+ 3ADCLK（注1）	2PCLK+ 3ADCLK	2PCLK+ 3ADCLK	サイクル
A/D変換処理時間	t_{CONV}	50 ADCLK	50 ADCLK	50 ADCLK	
スキャン変換終了遅延時間（注3）	t_{ED}	1PCLK+ 2ADCLK	1PCLK+ 2ADCLK	1PCLK+ 2ADCLK	

【記号説明】PCLK：モジュールクロック、ADCLK：A/D 変換クロック

注1.　外部トリガ入力タイミングについては「41.3.5　内蔵周辺モジュールタイミング」を参照してください。

注2.　ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。

注3.　A/D変換終了からA/D変換終了割り込みの発生までの時間です。

34.3.5 A/D データレジスタ n（ADDRn）の自動クリア機能の使用例

ADCER.ACE ビットを “1” にすることにより、CPU、DTC および DMACA によって A/D データレジスタ n（ADDRn）を読み出す際、自動的に ADDRn レジスタを 0000h にすることができます。

自動クリア機能を使うことで、ADDRn レジスタの未更新故障を検出することができます。

以下に ADDRn レジスタの自動クリア機能が無効／有効時の例を示します。

ADCER.ACE ビットが “0”（自動クリア禁止）の場合、A/D 変換結果（0222h）が何らかの原因で ADDRn に書かれなかったとき、古いデータ（0111h）が ADDRn レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRn レジスタの値を汎用レジスタに読み出した場合、古いデータ（0111h）が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが “1”（自動クリア許可）の場合には、ADDRn = 0111h を CPU、DTC および DMACA により読む際、ADDRn レジスタは自動的に 0000h になります。その後、A/D 変換結果の 0222h が ADDR レジスタに何らかの原因で転送できなかったとき、クリアされたデータ（0000h）が ADDRn レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRn レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDRn レジスタの未更新故障があったことを判断できます。

34.3.6 A/D 変換値加算機能

同じチャネルを 2 ～ 4 回連続で A/D 変換し、その変換値の合計を A/D データレジスタ n（ADDRn）に保持します。

この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

34.3.7 外部トリガによるスキャン変換の開始

外部トリガの入力によりスキャン変換を開始することができます。外部トリガを使用してスキャン変換を開始する場合、PFCR レジスタによって端子機能を設定し、A/D 開始トリガ選択レジスタ（ADSTRGR）を 00h にし、ADTRG0# 端子に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 34.5 に外部トリガ入力タイミングを示します。

端子機能の設定は、「17. I/O ポート」を参照してください。

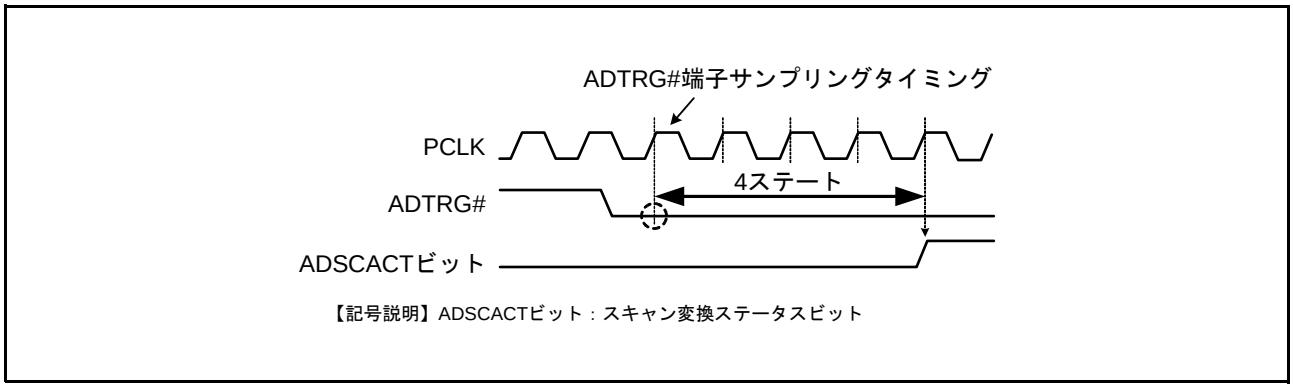


図 34.5 外部トリガ入力タイミング

34.3.8 周辺モジュールからのトリガによるスキャン変換の開始

MTU または TMR のタイマトリガによって、スキャン変換を開始することができます。タイマトリガでスキャン変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットで該当の A/D 変換開始要因に設定します。

34.3.8.1 MTU の TRG0AN_0 と TRG0BN_0 による A/D 変換の開始

MTU（ユニット 0）チャネル 0 の TGRA のインプットキャプチャ／コンペアマッチにより、トリガ信号 TRG0AN_0 を発生させ、A/D 変換を開始することができます。

また MTU（ユニット 0）チャネル 0 の TGRB のインプットキャプチャ／コンペアマッチにより、トリガ信号 TRG0BN_0 を発生させ、A/D 変換を開始することができます。

MTU（ユニット 0）の TRG0AN_0・TRG0BN_0 出力と A/D 変換器の接続関係を図 34.6 に示します

MTU（ユニット 0）チャネル 0 の TGRA のインプットキャプチャ／コンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0001b”（要因 TRG1N、対応トリガ TRG0AN_0 を選択）に設定します。

また、MTU（ユニット 0）チャネル 0 の TGRB のインプットキャプチャ／コンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0010b”（要因 TRG2N、対応トリガ TRG0BN_0 を選択）に設定します。

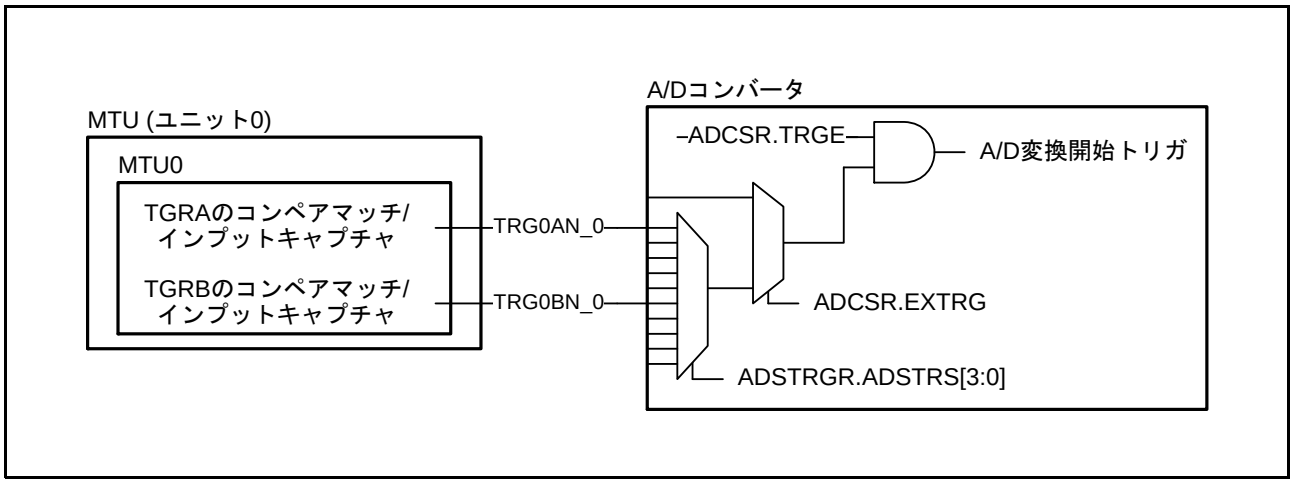


図 34.6　MTU（ユニット 0）の TRG0AN_0・TRG0BN_0 出力と A/D 変換器の接続関係

34.3.8.2　MTU の TRGAN_0 と TRGAN_1 による A/D 変換の開始

MTU（ユニット 0）チャネル 0 ～ 4 の TRGA のインプットキャプチャ／コンペアマッチと、相補 PWM モード時のチャネル 4 の TCNT アンダーフロー（谷）により、トリガ信号 TRGAN_0 を発生させ、、A/D 変換を開始することができます。同様に、MTU（ユニット 1）チャネル 6 ～ 10 の TRGA のインプットキャプチャ／コンペアマッチと、相補 PWM モード時のチャネル 10 の TCNT アンダーフロー（谷）により、トリガ信号 TRGAN_1 を発生させ、A/D 変換を開始することができます。MTU（ユニット 0、ユニット 1）の TRGAN_0・TRGAN_1 出力と A/D 変換器の接続関係を図 34.7 に示します。

MTU（ユニット 0）チャネル 0 とチャネル 2 の TGRA のインプットキャプチャ／コンペアマッチで A/D 変換を開始する場合は ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0011b”（要因 TRG3N、対応トリガ TRGAN_0 を選択）に設定し、MTU0.TIER.TTGE ビット、MTU2.TIER.TTGE ビットを “1” に設定します。

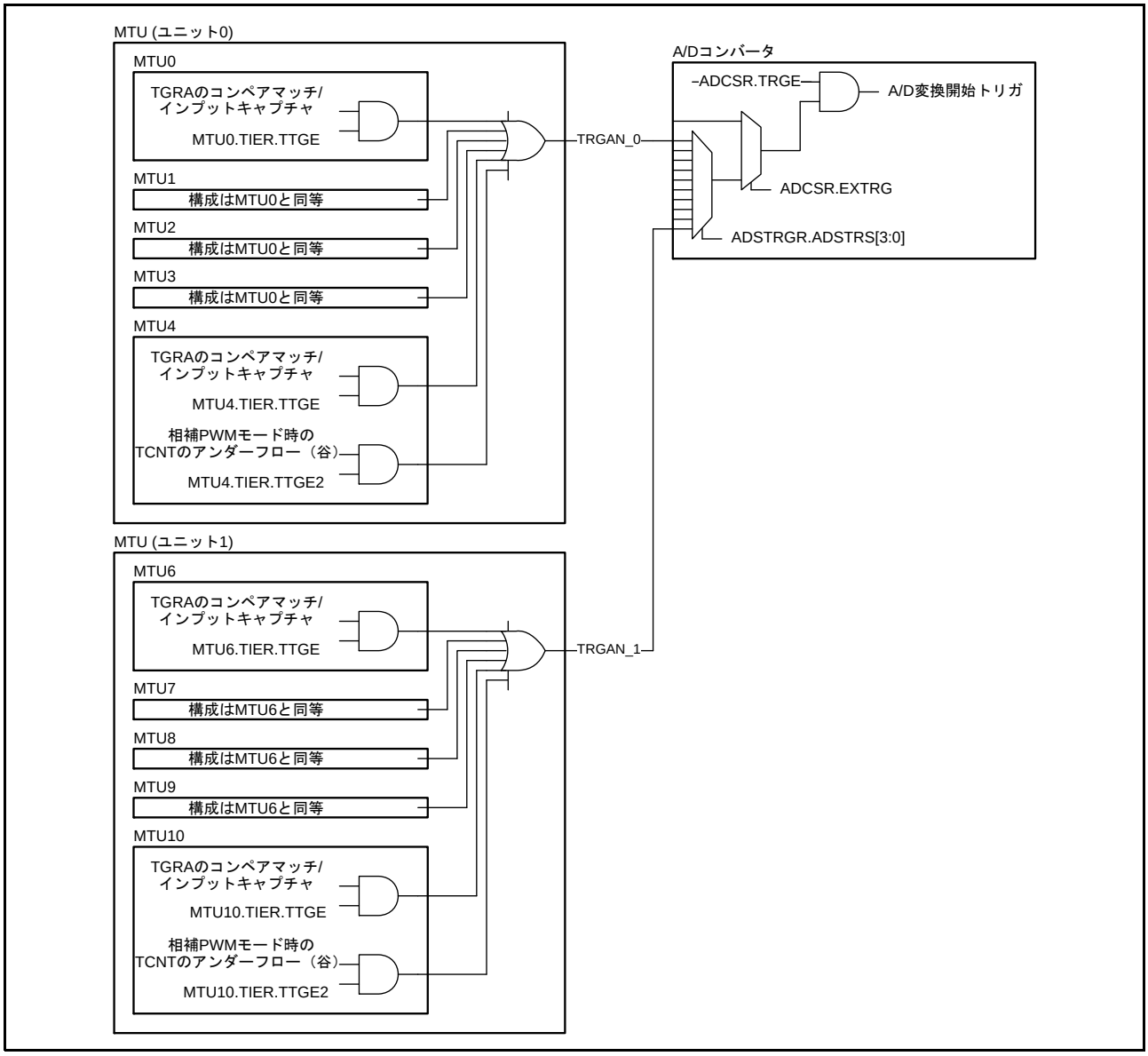


図 34.7　MTU（ユニット 0、ユニット 1）の TRGAN_0・TRGAN_1 出力と A/D 変換器の接続関係

34.3.8.3 MTU の TRG0EN_0 と TRG0FN_0 による A/D 変換の開始

MTU（ユニット 0）チャネル 0 の TGRE のコンペアマッチにより、トリガ信号 TRG0EN_0 を発生させ、A/D 変換を開始することができます。また MTU（ユニット 0）チャネル 0 の TGRF のコンペアマッチにより、トリガ信号 TRG0FN_0 を発生させ、A/D 変換を開始することができます。

MTU（ユニット 0）の TRG0EN_0・TRG0FN_0 出力と A/D 変換器の接続関係を**図 34.8** に示します。

MTU（ユニット 0）チャネル 0 の TGRE のコンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0101b”（要因 TRG5N、対応トリガ TRG0EN_0 を選択）に設定します。

また、MTU（ユニット 0）チャネル 0 の TGRF のコンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0110b”（要因 TRG6N、対応トリガ TRG0FN_0 を選択）に設定します。

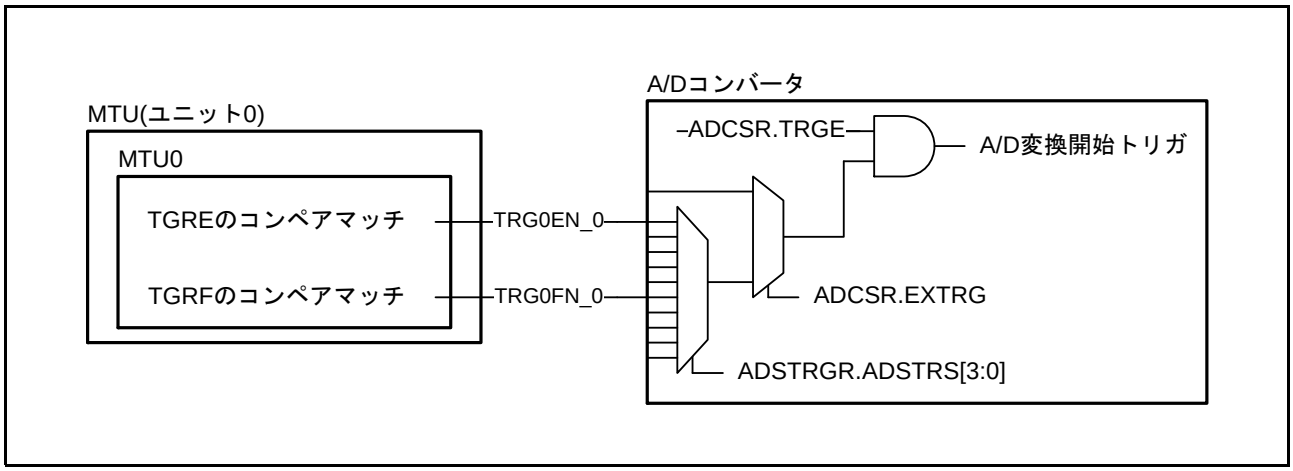


図 34.8　MTU（ユニット 0）の TRG0EN_0・TRG0FN_0 出力と A/D 変換器の接続関係

34.3.8.4 MTU の TRG4ABN_0 と TRG4ABN_1 による A/D 変換の開始

MTU（ユニット 0）チャネル 4 の A/D 変換開始要求ディレイド機能を利用したコンペアマッチにより、トリガ信号 TRG4ABN_0 を発生させ、A/D 変換を開始することができます。同様に、MTU（ユニット 1）チャネル 10 の A/D 変換開始要求ディレイド機能を利用したコンペアマッチにより、トリガ信号 TRG4ABN_1 を発生させ、A/D 変換を開始することができます。

MTU（ユニット 0、ユニット 1 ）の TRG4ABN_0・TRG4ABN_1 出力と A/D 変換器の接続関係を図 34.9 に示します。

MTU（ユニット 0）チャネル 4 の A/D 変換開始要求ディレイド機能を利用し、TADCORA と TCNT のアップカウントのコンペアマッチで A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “0111b”（要因 TRG7N、対応トリガ TRG4ABN_0 を選択）に設定し、MTU4.TADCOBRA/B と MTU4.TADCORA/B に周期を設定し、MTU4.TADCR.UT4AE ビットを “1” に設定します。

A/D 変換開始要求ディレイド機能の詳細については、「18.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

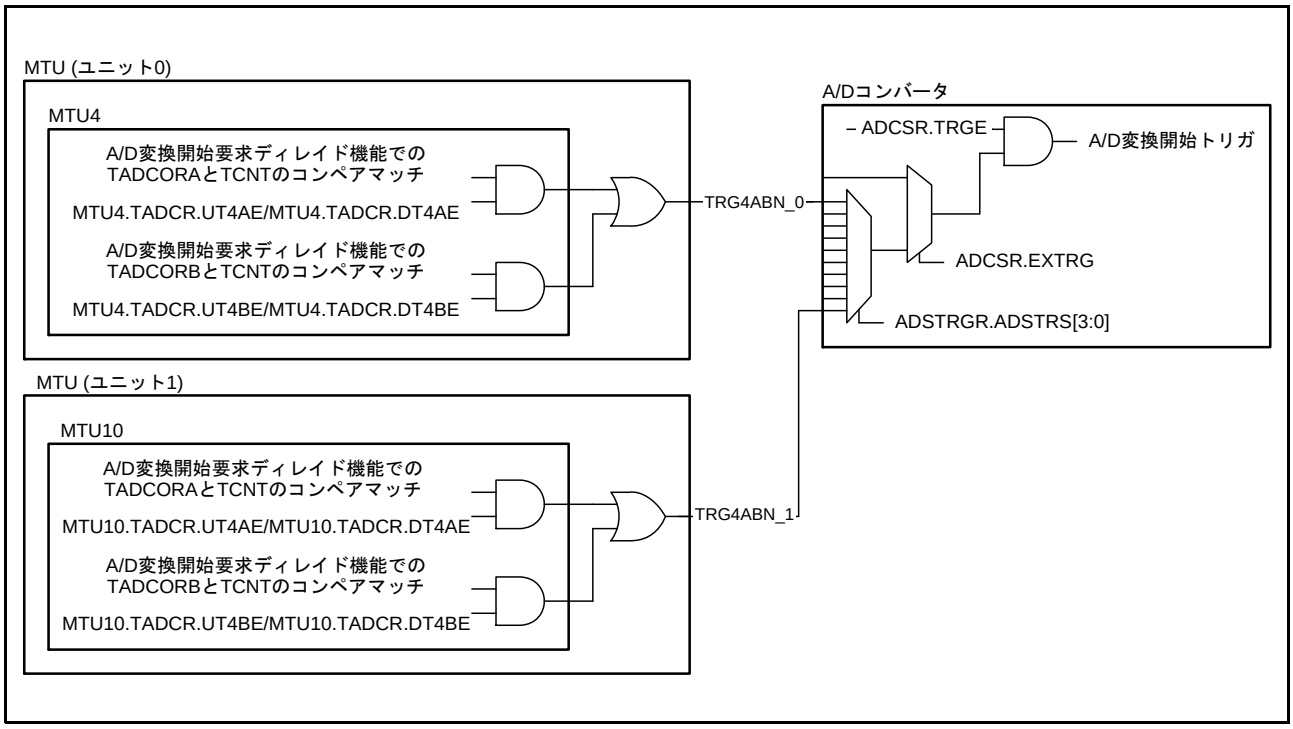


図 34.9 MTU（ユニット 0、ユニット 1 ）の TRG4ABN_0・TRG4ABN_1 出力と A/D 変換器の接続関係

34.3.8.5 TMR の TMTRG0AN_0 と TMTRG0AN_1 による A/D 変換の開始

TMR（ユニット 0）チャネル 0 の TCORA のコンペアマッチ（コンペアマッチ A）により、A/D 変換を開始することができます。同様に TMR（ユニット 1）チャネル 2 の TCORA のコンペアマッチ（コンペアマッチ A）により、A/D 変換を開始することができます。

TMR（ユニット 0、ユニット 1）の TMTRG0AN_0・TMTRG0AN_1 出力と A/D 変換器の接続関係を図 34.10 に示します。

TMR（ユニット 0）チャネル 0 の TCORA のコンペアマッチ（コンペアマッチ A）で A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを “1001b”（要因 TRG9N、対応トリガ TMTRG0AN_0 を選択）に設定し、TMR0.TCSR.ADTE を “1” に設定します。

また、TMR（ユニット 1）チャネル 2 の TCORA のコンペアマッチ（コンペアマッチ A）で A/D 変換を開始する場合は、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0”、ADSTRGR.ADSTRS[3:0] ビットを“1010b”（要因TRG10N、対応トリガTMTRG0AN_1を選択）に設定し、TMR2.TCSR.ADTEを“1”に設定します。

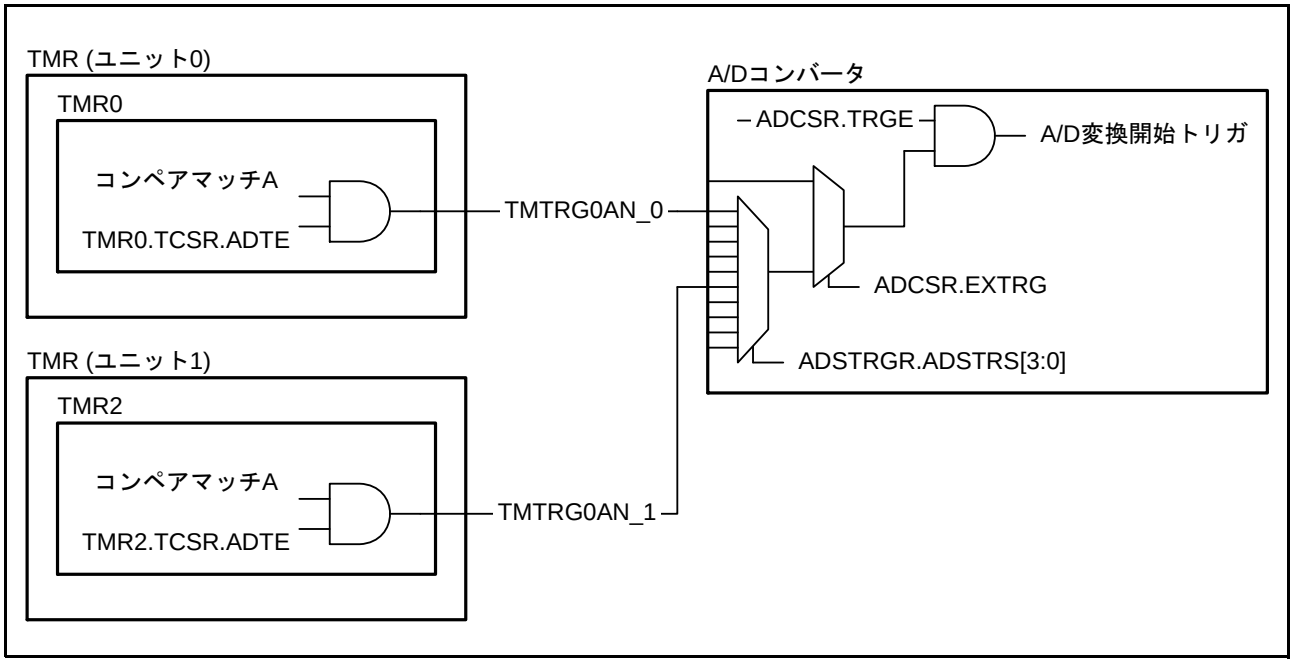


図 34.10　TMR（ユニット 0、ユニット 1）の TMTRG0AN_0・TMTRG0AN_1 出力と A/D 変換器の接続関係

34.4 割り込み要因と DMA 転送要求

34.4.1 スキャン変換の各スキャン終了時の割り込み要求

A/D コンバータは、CPU へのスキャン変換終了割り込み要求（S12ADI0 割り込み）を発生することができます。

ADCSR.ADIE ビットを “1” にすると S12ADI0 割り込みを許可、“0” にすると S12ADI0 割り込みを禁止することができます。

また、S12ADI0 割り込み発生時に DTC または DMACA を起動することができます。S12ADI0 割り込みで変換されたデータの読み出しを DMACA で行うと、連続変換がソフトウェアの負担なく実現できます。

DTC の設定は「16. **データトランスファコントローラ**（DTCa）」を、DMACA の設定は「14. **DMA コントローラ**（DMACA）」を参照してください。

34.5 使用上の注意事項

34.5.1 12 ビット A/D コンバータおよび 10 ビット A/D コンバータの選択

12 ビット A/D コンバータおよび 10 ビット A/D コンバータは、モジュールストップコントロールレジスタ A の MSTPCRA.MSTPA23, MSTPA22, MSTPA17 ビットで選択します。

MSTPCRA.MSTPA17 ビットを “0” にすると、12 ビット A/D コンバータを選択することができます。

MSTPCRA.MSTPA23 ビットおよび MSTPCRA.MSTPA22 ビットを “0” にすると、10 ビット A/D コンバータを選択することができます。

MSTPCRA.MSTPA23 ビット、MSTPCRA.MSTPA22 ビット、MSTPCRA.MSTPA17 ビットに同時に “0” を書いた場合、MSTPCRA.MSTPA17 ビットの設定が有効となり、MSTPCRA.MSTPA23, MSTPA22 ビットの設定は無効となりますので、10 ビット A/D コンバータを選択することはできません。

詳細は、「9. **消費電力低減機能**」の「9.2.2 **モジュールストップコントロールレジスタ** A（MSTPCRA）」を参照してください。

34.5.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、A/D コンバータの動作禁止／許可を設定することが可能です。初期値では、A/D コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。モジュールストップ状態を解除した後は、10ms 待ってから A/D 変換を開始してください。詳細は「9. **消費電力低減機能**」を参照してください。

34.5.3 A/D 変換再開時の注意事項

ADCSR.ADST ビットを “0” にして A/D 変換を停止させると、A/D コンバータのアナログ回路が停止するのに、ADCLK 2 クロックの時間を必要とします。また、ADST ビットを “1” にして A/D 変換を開始させるのに ADCLK 3 クロックの時間を必要とします。

34.5.4 A/D 変換停止時の注意事項

A/D 変換開始条件に外部トリガ、またはタイマを選択している場合、A/D 変換を停止させるためには、ADCSR.TRGE ビットを “0” にし、A/D 変換開始条件をソフトウェアトリガにした後、ADCSR.ADST ビットを “0”（A/D 変換停止）にしてください。

34.5.5 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを “0” にした後、A/D コンバータのアナログ回路が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCSR.TRGE ビットを “0”（ソフトウェアトリガ）にし、ADCSR.ADST ビットを “0” にした後、ADCSR.CKS[1:0] ビットを “11b”（PCLK）にしてください。その後、A/D 変換が停止していることを確認した後（停止までは 6 PCLK 以上の時間が必要です）、モジュールストップやソフトウェアスタンバイモードへ移行させてください。

34.5.6 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間または PLL 回路の安定時間経過後、さらに 10ms 待ってから A/D 変換を開始してください。詳細は「9. **消費電力低減機能**」を参照してください。

34.5.7 A/D コンバータと D/A コンバータを同時に使用した場合の注意事項

A/D コンバータと D/A コンバータは同じ電源を使用しているため、同時に使用した場合、A/D 変換精度に影響が出る場合があります。

A/D 変換中に以下の設定を行ったとき、約 2LSB 精度が悪化する場合があります。

- A/D 変換中に D/A コンバータの D/A データレジスタ m（DADRm）を書き換えたとき
- A/D 変換中かつ D/A コンバータの DADRm レジスタが 00h 以外のときに、D/A コントロールレジスタ（DACR）を書き換えたとき

これらの設定で、変換精度に影響が出る場合、以下のいずれかの対策を実施してください。

（1）A/D 変換結果に対しプログラムで平均化処理を行ってください。
平均化処理例：同一端子の AD 変換を 4 回連続して実施し、A/D 変換結果の最大値と最小値を除いた 2 つの値の平均を算出します。

（2）変換中の A/D 変換結果を破棄してください。

（3）D/A コンバータの DACR レジスタを書き換える場合、D/A コンバータの DADRm レジスタの値を 00h にした状態で書き換えてください。

35. 10 ビット A/D コンバータ（ADa）

35.1 概要

RX62N グループ、RX621 グループは、逐次比較方式の 10 ビットの A/D コンバータを 2 ユニット（ユニット 0、ユニット 1）内蔵しています。各ユニットは、最大 4 チャネルのアナログ入力を選択することができます。

A/D コンバータの動作モードには、1 チャネルのアナログ入力を 1 回のみ変換するシングルモードと、最大 4 チャネルのアナログ入力を順次連続して変換するスキャンモードがあります。

表 35.1 に A/D コンバータの仕様を、表 35.2 に各ユニットの比較概要を示します。図 35.1、図 35.2 に各ユニットのブロック図を示します。

なお、12 ビット A/D コンバータおよび 10 ビット A/D コンバータは排他的に使用可能で、モジュールストップコントロールレジスタ A の MSTPCRA.MSTPA23, MSTPA22, MSTPA17 ビットで選択します。

表35.1　A/Dコンバータの仕様

項目	仕様
ユニット数	2ユニット
入力チャネル	各ユニット4チャネル（計8チャネル）
A/D変換方式	逐次比較方式
分解能	10ビット
変換時間	1チャネル当たり1.0μs（周辺モジュールクロック　PCLK=50MHz動作時）
A/D変換クロック	4種類：PCLK、PCLK/2、PCLK/4、PCLK/8
動作モード	• シングルモード：1チャネルのアナログ入力を1回のみ変換 • スキャンモード 連続スキャンモード：最大4チャネルのアナログ入力を繰り返し変換 1サイクルスキャンモード：最大4チャネルのアナログ入力を1サイクルのみ変換
A/D変換開始条件	• ソフトウェアトリガ • マルチファンクションタイマパルスユニット（MTU）、または8ビットタイマ（TMR）からのトリガ • 外部トリガ ユニットごとのADTRGn#端子によってA/D変換を開始することが可能
機能	• サンプル＆ホールド機能 • サンプリングステート数可変機能 • A/Dコンバータの自己診断機能
割り込み要因	• ユニットごとにA/D変換終了でADC割り込み要求（ADI）を発生 • ADI割り込みでデータトランスファコントローラ（DTC）、DMAコントローラ（DMACA）を起動可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定可能

表35.2　各ユニットの比較概要

項目			機能			
			内部トリガ要因		ユニット0（AD0）	ユニット1（AD1）
アナログ入力チャネル					AN0 AN1 AN2 AN3	AN4 AN5 AN6 AN7
A/D変換開始条件（注1）	ソフトウェア	ソフトウェアトリガ			○	○
	外部トリガ	ADTRG0#			○	―
		ADTRG1#			―	○
	内部トリガ（MTU、TMR）（注3）	TRG0AN_0	MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	○	―
		TRG0BN_0	MTU0.TGRBとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	―	○
		TRGAN_0	MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	○	○
			MTU1.TGRAとMTU1.TCNT			
			MTU2.TGRAとMTU2.TCNT			
			MTU3.TGRAとMTU3.TCNT			
			MTU4.TGRAとMTU4.TCNT			
			MTU4.TCNT	相補PWMモード時のTCNTのアンダフロー（谷）		
		TRGAN_1	MTU6.TGRAとMTU6.TCNT	インプットキャプチャ/コンペアマッチ	○	○
			MTU7.TGRAとMTU7.TCNT			
			MTU8.TGRAとMTU8.TCNT			
			MTU9.TGRAとMTU9.TCNT			
			MTU10.TGRAとMTU10.TCNT			
			MTU10.TCNT	相補PWMモード時のTCNTのアンダフロー（谷）	○	○
		TRG4ABN_0	MTU4.TADCORAとMTU4.TCNT または MTU4.TADCORBとMTU4.TCNT	A/D変換開始開始要求ディレイド機能を利用したコンペアマッチ	○	○
		TRG4ABN_1	MTU10.TADCORAとMTU10.TCNT または MTU10.TADCORBとMTU10.TCNT	A/D変換開始開始要求ディレイド機能を利用したコンペアマッチ	○	○
		TMTRG0AN_0	TMR0.TCORAとTMR0.TCNT	コンペアマッチ	○	○
割り込み					ADI0	ADI1
モジュールストップ機能の設定（注2）					MSTPCRA.MSTPA23ビット	MSTPCRA.MSTPA22ビット

【記号説明】○：可能、―：不可能

注1.　ユニットごとにA/D変換開始条件を選択することができます。

注2.　詳細は「9.　消費電力低減機能」を参照してください。

注3.　内部トリガにある“_0”、“_1”は、ユニット番号を示します。また、内部トリガを出力されるための設定については、「18.4.3　A/Dコンバータの起動」および「21.6.2　A/Dコンバータの起動」を参照してください。

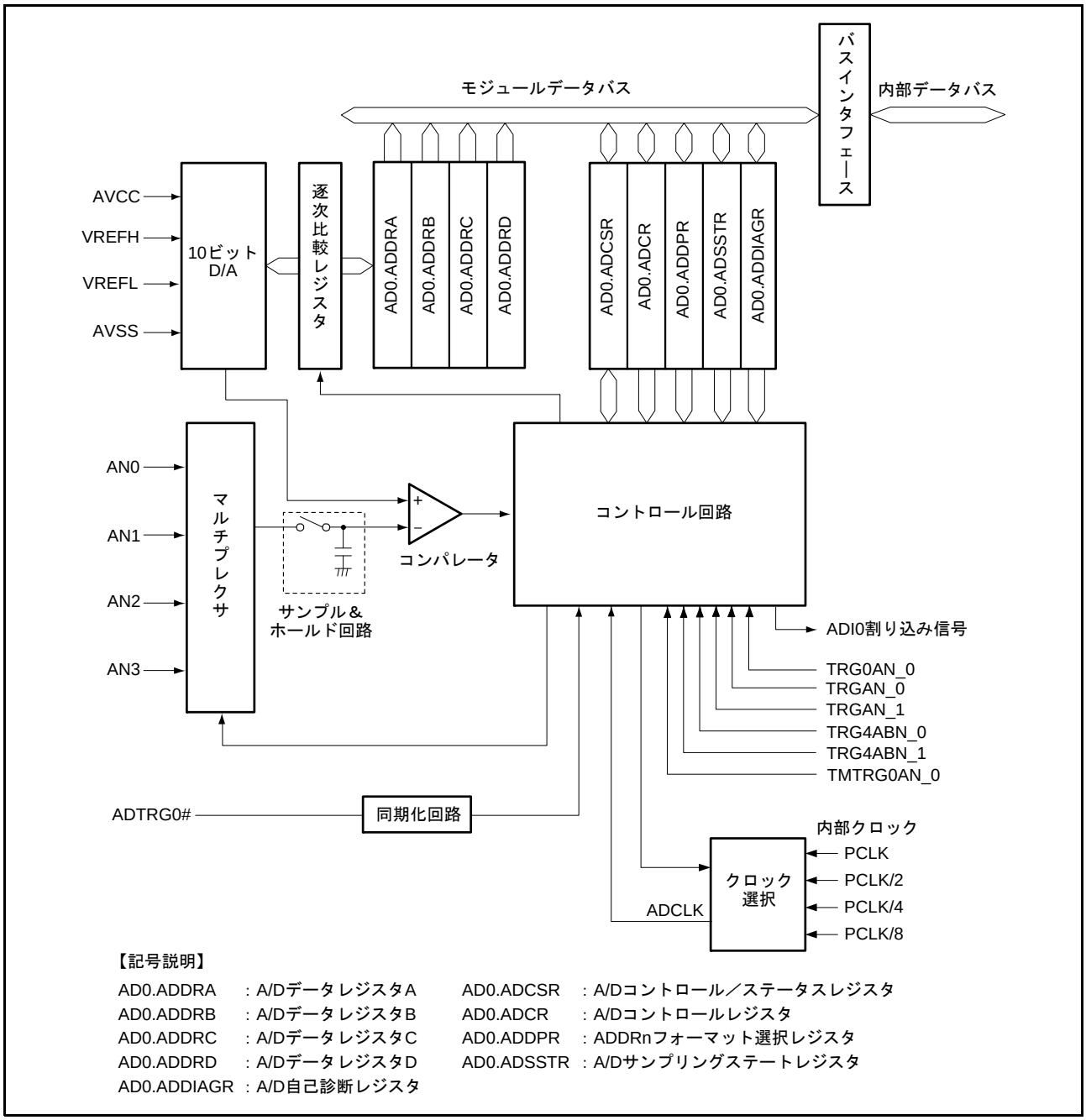


図 35.1　A/D コンバータ（ユニット 0 ／ AD0）のブロック図

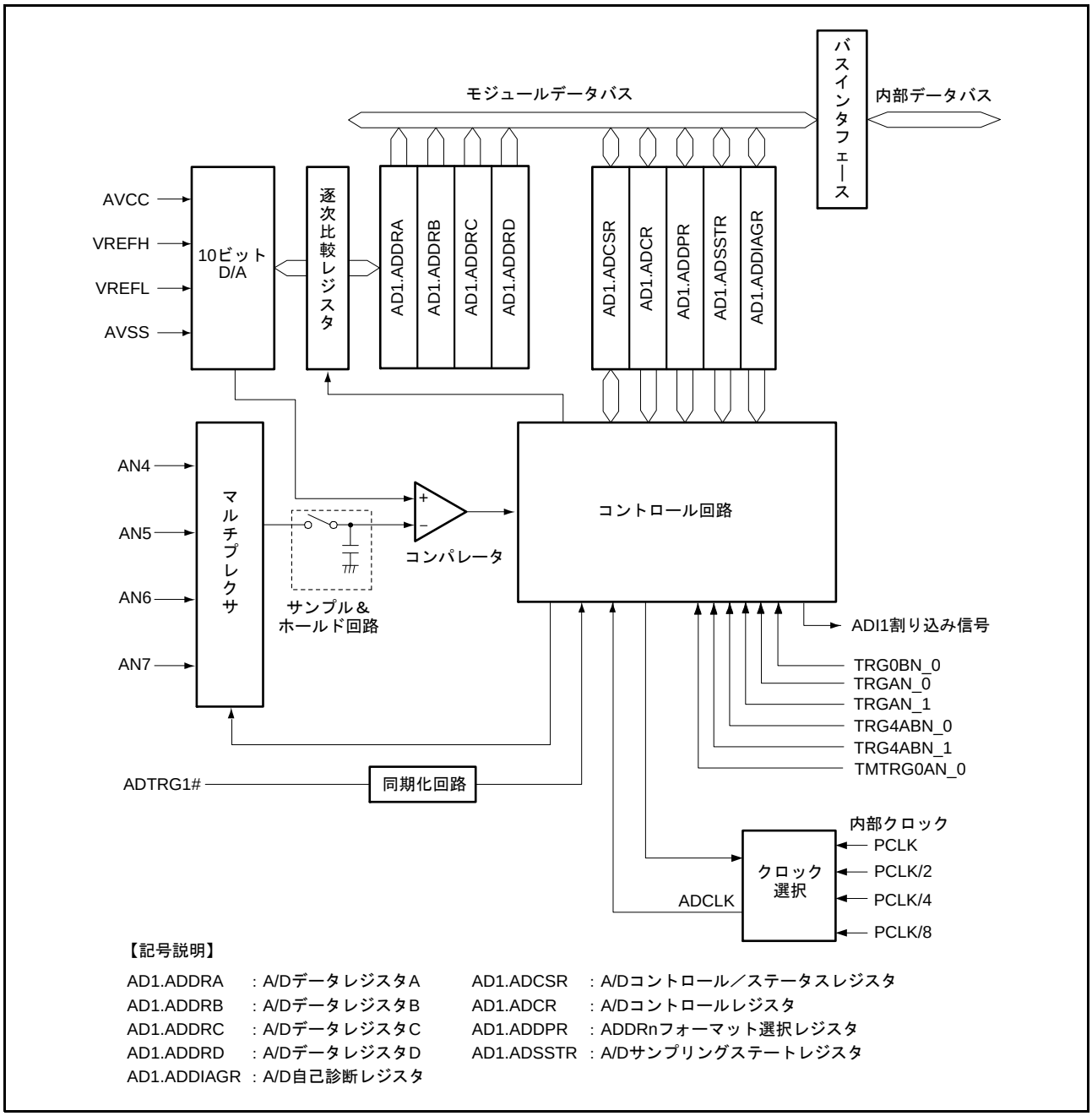


図 35.2　A/D コンバータ（ユニット 1 ／ AD1）のブロック図

表 35.3 に A/D コンバータで使用する入力端子を示します。

表35.3　A/Dコンバータの入力端子

ユニット	モジュールシンボル	端子名	入力	機能
0	AD0	AN0～AN3	入力	アナログ入力端子
		ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
1	AD1	AN4～AN7	入力	アナログ入力端子
		ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
共通		AVCC	入力	アナログ回路の電源端子
		AVSS	入力	アナログ回路のグランド端子
		VREFH	入力	A/Dコンバータの基準電源端子
		VREFL	入力	A/Dコンバータの基準電源グランド端子 アナログ基準電源（0V）に接続してください。

35.2 レジスタの説明

表 35.4 に A/D コンバータのレジスタ一覧を示します。

表35.4　A/Dコンバータのレジスタ一覧

ユニット	モジュールシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
0	AD0	A/Dデータレジスタ A	ADDRA	0000h	0008 8040h	16
		A/Dデータレジスタ B	ADDRB	0000h	0008 8042h	16
		A/Dデータレジスタ C	ADDRC	0000h	0008 8044h	16
		A/Dデータレジスタ D	ADDRD	0000h	0008 8046h	16
		A/Dコントロール／ステータスレジスタ	ADCSR	x0h	0008 8050h	8
		A/Dコントロールレジスタ	ADCR	00h	0008 8051h	8
		ADDRnフォーマット選択レジスタ	ADDPR	00h	0008 8052h	8
		A/Dサンプリングステートレジスタ	ADSSTR	19h	0008 8053h	8
		A/D自己診断レジスタ	ADDIAGR	00h	0008 805Fh	8
1	AD1	A/Dデータレジスタ A	ADDRA	0000h	0008 8060h	16
		A/Dデータレジスタ B	ADDRB	0000h	0008 8062h	16
		A/Dデータレジスタ C	ADDRC	0000h	0008 8064h	16
		A/Dデータレジスタ D	ADDRD	0000h	0008 8066h	16
		A/Dコントロール／ステータスレジスタ	ADCSR	x0h	0008 8070h	8
		A/Dコントロールレジスタ	ADCR	00h	0008 8071h	8
		ADDRnフォーマット選択レジスタ	ADDPR	00h	0008 8072h	8
		A/Dサンプリングステートレジスタ	ADSSTR	19h	0008 8073h	8
		A/D自己診断レジスタ	ADDIAGR	00h	0008 807Fh	8

35.2.1 A/D データレジスタ n（ADDRn）（n = A ～ D）

アドレス　AD0.ADDRA 0008 8040h、AD0.ADDRB 0008 8042h、AD0.ADDRC 0008 8044h、AD0.ADDRD 0008 8046h
AD1.ADDRA 0008 8060h、AD1.ADDRB 0008 8062h、AD1.ADDRC 0008 8064h、AD1.ADDRD 0008 8066h

・ ADDPR.DPSELビット=0（データはLSB詰め）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

・ ADDPR.DPSELビット=1（データはMSB詰め）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
											–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADDRn レジスタは、A/D 変換結果を格納する 16 ビットのリードのみ可能なレジスタです。
アナログ入力チャネルと ADDRn レジスタの対応を、表 35.5 に示します。
ADDPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。
“ ー ” のビットは、読むと “0” が読めます。書く場合、“0” としてください。

表 35.5　アナログ入力チャネルと ADDRn レジスタの対応

アナログ入力チャネル	ADDRn レジスタ
AN0	AD0.ADDRA
AN1	AD0.ADDRB
AN2	AD0.ADDRC
AN3	AD0.ADDRD
AN4	AD1.ADDRA
AN5	AD1.ADDRB
AN6	AD1.ADDRC
AN7	AD1.ADDRD

35.2.2 A/D コントロール／ステータスレジスタ（ADCSR）

アドレス　AD0.ADCSR 0008 8050h、AD1.ADCSR 0008 8070h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADIE	ADST	—	CH[3:0]			
リセット後の値	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能			R/W
b3-b0	CH[3:0]	チャネル選択ビット（注1）	ユニット	シングルモード （ADCR.MODE[1:0]= “00b”）	スキャンモード ADCR.MODE[1:0]= “10b”または“11b”）	R/W
			ユニット0	b3 b0 0 0 0 0：AN0 0 0 0 1：AN1 0 0 1 0：AN2 0 0 1 1：AN3 上記以外は 設定しないでください	b3 b0 0 0 0 0：AN0 0 0 0 1：AN0、AN1 0 0 1 0：AN0～AN2 0 0 1 1：AN0～AN3 上記以外は 設定しないでください	
			ユニット1	b3 b0 0 0 0 0：AN4 0 0 0 1：AN5 0 0 1 0：AN6 0 0 1 1：AN7 上記以外は 設定しないでください	b3 b0 0 0 0 0：AN4 0 0 0 1：AN4、AN5 0 0 1 0：AN4～AN6 0 0 1 1：AN4～AN7 上記以外は 設定しないでください	
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください			R/W
b5	ADST	A/Dスタートビット	0：A/D変換停止 1：A/D変換開始			R/W
b6	ADIE	A/D割り込み許可ビット	0：A/D変換終了によるADI割り込み禁止 1：A/D変換終了によるADI割り込み許可			R/W
b7	—	予約ビット	読んだ場合、その値は不定です。書く場合、“1”としてください			R/W

注1.　アナログ入力として使用する端子のPORTn.DDR.Bjビットを“0”（入力ポート）に、PORTn.ICR.Bjビットを“0”（対応する端子の入力バッファは無効となり、入力信号はHighに固定）にしてください。詳細は、「17.　I/Oポート」を参照してください。（n = 4, j = 7～0）

ADCSR レジスタは、A/D 変換を制御するレジスタです。

CH[3:0] ビット（チャネル選択ビット）

A/D 変換を行うアナログ入力チャネルを選択します。

- シングルモード（ADCR.MODE[1:0] ビットが “00b”）
  A/D 変換を行うアナログ入力チャネルを 1 チャネル選択します。
- スキャンモード（ADCR.MODE[1:0] ビットが “10b” または “11b”）
  A/D 変換を行うアナログ入力チャネルを最大 4 チャネル選択します。

ADST ビット（A/D スタートビット）

A/D 変換の開始／停止を制御します。

ADST ビットを “1” にする前に A/D 変換クロックや動作モードの設定を行ってください。

［“1” になる条件］

- ソフトウェアで “1” を書いたとき
- ADCR.TRGS[2:0] ビットで選択したトリガを検出したとき

［“0” になる条件］

- ソフトウェアで “0” を書いたとき
- シングルモードで A/D 変換が終了したとき
- 1 サイクルスキャンモードで選択されたすべてのチャネルの A/D 変換が終了したとき

ADIE ビット（A/D 割り込み許可ビット）

A/D 変換終了による ADI 割り込み許可／禁止を選択します。

35.2.3 A/D コントロールレジスタ（ADCR）

アドレス　AD0.ADCR 0008 8051h、AD1.ADCR 0008 8071h

	b7	b6	b5	b4	b3	b2	b1	b0
	TRGS[2:0]			—	CKS[1:0]		MODE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能		R/W
b1-b0	MODE[1:0]	動作モード選択ビット	b1 b0 0 0 ：シングルモード 0 1 ：設定しないでください 1 0 ：連続スキャンモード 1 1 ：1サイクルスキャンモード		R/W
b3-b2	CKS[1:0]	クロック選択ビット	b3 b2 0 0 ：PCLK/8 0 1 ：PCLK/4 1 0 ：PCLK/2 1 1 ：PCLK		R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください		R/W
b7-b5	TRGS[2:0]	トリガ選択ビット	ユニット	トリガ信号	R/W
			ユニット0	b7 b5 0 0 0 : ソフトウェアトリガ 0 0 1 : TRGAN_0 0 1 0 : TMTRG0AN_0 0 1 1 : ADTRG0#（注1）からのトリガ 1 0 0 : TRG0AN_0 1 0 1 : TRGAN_1 1 1 0 : TRG4ABN_0 1 1 1 : TRG4ABN_1	
			ユニット1	b7 b5 0 0 0 : ソフトウェアトリガ 0 0 1 : TRGAN_0 0 1 0 : TMTRG0AN_0 0 1 1 : ADTRG1#（注1）からのトリガ 1 0 0 : TRG0BN_0 1 0 1 : TRGAN_1 1 1 0 : TRG4ABN_0 1 1 1 : TRG4ABN_1	

注1.　A/D変換を開始するトリガをADTRGm#に設定する場合は、該当する端子のPORTn.DDR.Bjビットを“0”（入力ポート）に、PORTn.ICR.Bjビットを“1”（対応する端子の入力バッファは有効）に設定してください。詳細は「17.　I/Oポート」を参照してください。
（m = 0, 1、n = 0,1、j = 7, 3）

ADCR レジスタは、A/D 変換の開始トリガ、動作モード、A/D 変換クロックの設定を行うレジスタです。

ADCR レジスタの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

MODE[1:0] ビット（動作モード選択ビット）

A/D 変換の動作モードを選択します。

CKS[1:0] ビット（クロック選択ビット）

A/D 変換時間を決める A/D 変換クロック（ADCLK）の周波数を設定します。

ADCLK の周波数は、4MHz 以上になるように設定してください。

詳細は、「35.3.3　入力サンプリングと A/D 変換時間」を参照してください。

TRGS[2:0] ビット（トリガ選択ビット）

A/D 変換の開始トリガを選択します。

35.2.4 ADDRn フォーマット選択レジスタ（ADDPR）（n = A ～ D）

アドレス　AD0.ADDPR 0008 8052h、AD1.ADDPR 0008 8072h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	ADDRnフォーマット選択ビット	0：データはLSB詰め 1：データはMSB詰め	R/W

ADDPR レジスタは、A/D データレジスタのデータ配置を選択するレジスタです。

DPSEL ビット（ADDRn フォーマット選択ビット）

A/D データレジスタ n（ADDRn）のデータを LSB 詰めか、MSB 詰めかを選択します。

35.2.5 A/D サンプリングステートレジスタ（ADSSTR）

アドレス　AD0.ADSSTR 0008 8053h、AD1.ADSSTR 0008 8073h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	1	1	0	0	1

ADSSTR レジスタは、アナログ入力のサンプリング時間を設定するための 8 ビットのリード／ライト可能なレジスタです。

アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、周辺モジュールクロック（PCLK）が低速な場合に、サンプリング時間を調整することができます。

設定値は、“02h” 以上の値を設定してください。

誤動作を避けるため、A/D 変換停止（ADCSR.ADST ビットが “0”）の状態で書き替えてください。

詳細は、「35.3.3　入力サンプリングと A/D 変換時間」を参照してください。

35.2.6 A/D 自己診断レジスタ（ADDIAGR）

アドレス　AD0.ADDIAGR 0008 805Fh、AD1.ADDIAGR 0008 807Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DIAG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAG[1:0]	自己診断ビット	b1 b0 0 0 ：自己診断オフ 0 1 ：Vref×0の電圧値のA/D変換を許可 1 0 ：Vref×1/2の電圧値のA/D変換を許可 1 1 ：Vref×1の電圧値のA/D変換を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDIAGR レジスタは、自己診断機能の設定を行うレジスタです。

ADDIAGR レジスタの設定は、ADCSR.ADST ビットが “0” のときに行ってください。

DIAG[1:0] ビット（自己診断ビット）

自己診断は、A/D コンバータの故障を検出するための機能です。内部で生成する Vref×0、Vref×1/2、Vref×1 の 3 つの電圧値のいずれかを変換します。

自己診断を行うには、ADDIAGR.DIAG[1:0] ビットで電圧値を選択し、以下の設定で A/D 変換を行ってください。

- シングルモード（ADCR.MODE[1:0] ビット =“00”）
- アナログ入力 AN0 のみを有効（ADCSR.CH[3:0] ビット =“0000”）（注 1）
- ソフトウェアによる A/D 変換開始（ADCR.TRGS[2:0]=“000”）

変換が終了すると A/D データレジスタ A に変換結果を格納します。その後、ソフトウェアで ADDRA を読み出し、変換値が正常の範囲にある（正常）かない（異常）かを判断します。自己診断の実行時間は、1 チャネルの A/D 変換時間と同じです。

注 1.　A/D コンバータ（ユニット 0）を自己診断する場合には AN0 を、ユニット 1 では AN4 を入力チャネルに選択してください。この設定は変換結果を格納するデータレジスタを選択するために必要ですが、全アナログ入力（AN0 ～ 7）は無効となります。

35.3 動作説明

RX62N グループ、RX621 グループは、2 ユニットの A/D コンバータを内蔵しています。各ユニットは、同一機能です。

以下の動作説明は、ユニット単体の説明をします。

A/D コンバータの動作モードには、シングルモードとスキャンモードがあります。

シングルモードは、指定された 1 チャネルのアナログ入力を 1 回のみ変換します。

スキャンモードは、最大 4 チャネルのアナログ入力を順次連続して変換します。

スキャンモードには、A/D 変換を繰り返し行う連続スキャンと、設定されたチャネルを 1 サイクルのみ行う 1 サイクルスキャンがあります。

35.3.1　シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回のみ A/D 変換します。

1. ソフトウェア、MTU、TMR、または外部トリガ入力によって ADCSR.ADST ビットを “1”（A/D 変換開始）にすると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタ（ADDRn）に格納されます。
3. A/D 変換終了後、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI 割り込み許可）であれば、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は “1” を保持し、変換が終了すると自動的に “0” になり、A/D コンバータは待機状態になります。
5. A/D 変換中に ADST ビットを “0”（A/D 変換停止）にすると A/D 変換を中止し、A/D コンバータは待機状態になります。

アナログ入力に AN1 を選択した場合の動作例を図 35.3 に示します。

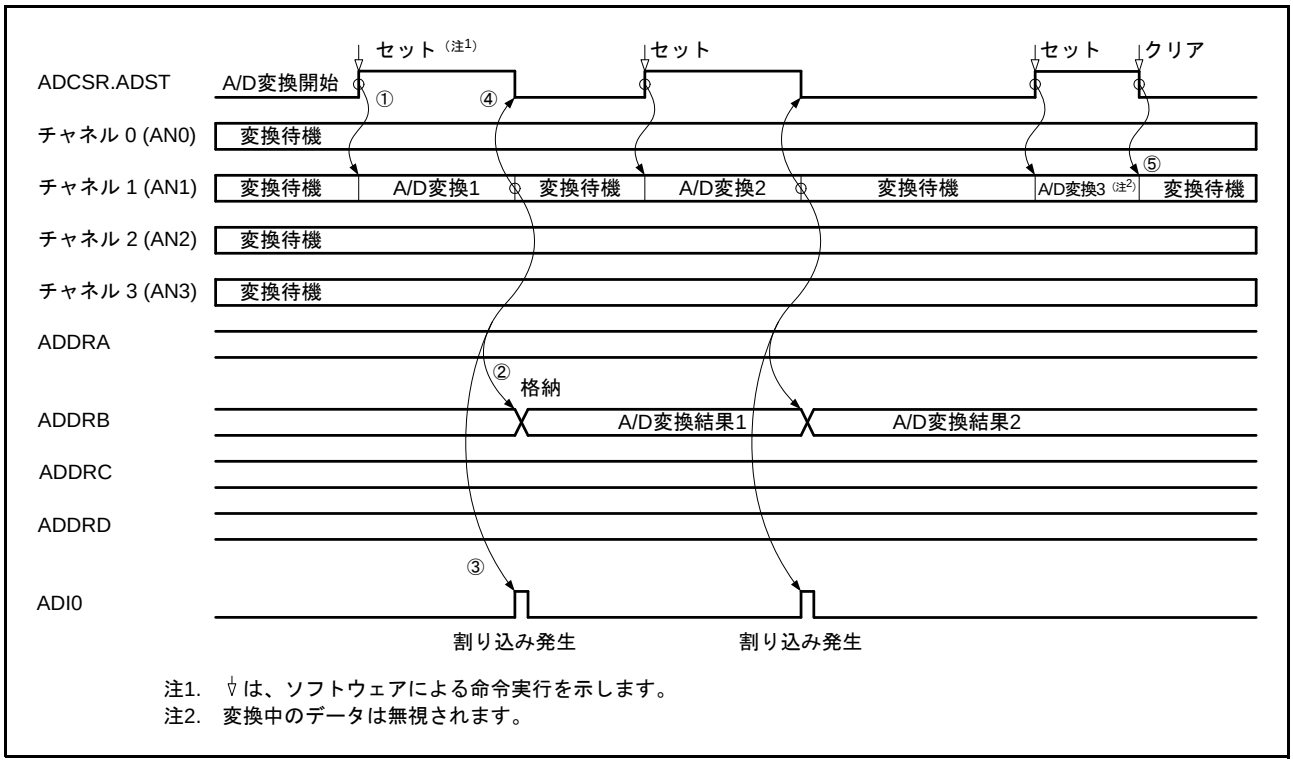


図 35.3　A/D コンバータの動作例（シングルモード）

35.3.2　スキャンモード

スキャンモードでは、最大 4 チャネルのアナログ入力を以下のように順次連続して A/D 変換を行います。

スキャンモードには、A/D 変換を繰り返し行う連続スキャンと、設定されたチャネルを 1 サイクルのみ変換する 1 サイクルスキャンがあります。

35.3.2.1　連続スキャンモード

連続スキャンモードは､設定されたチャネルのアナログ入力を以下のように繰り返し A/D 変換を行います。

1. ソフトウェア、MTU、TMR、または外部トリガ入力によって ADCSR.ADST ビットが “1”（A/D 変換開始）になると、選択されたチャネルのうち、チャネル番号の若いほうから A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ n（ADDRn）に格納されます。
3. 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI 割り込み許可）であれば、ADI 割り込み要求が発生します。A/D コンバータはチャネル番号の若いほうから A/D 変換を開始します。
4. ADST ビットは自動的に “0” にならず、“1” の間は 2. ～ 3. を繰り返します。ADST ビットを “0”（A/D 変換停止）にすると A/D 変換を中止し、A/D コンバータは待機状態になります。
5. その後、ADST ビットを “1”（A/D 変換開始）にすると再びチャネル番号の若いほうから A/D 変換を開始します。

アナログ入力に AN0 ～ AN2 の 3 チャネルを選択した場合の動作例を図 35.4 に示します。

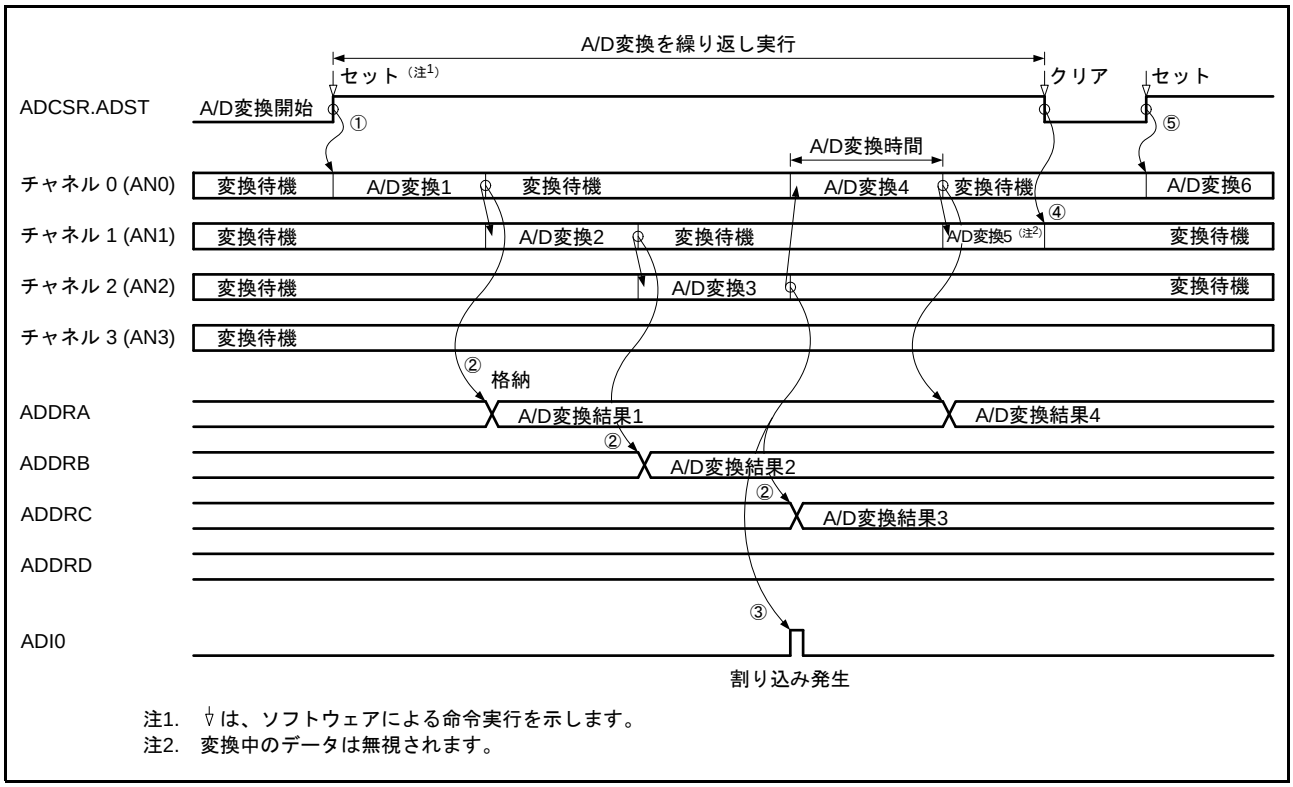


図 35.4　A/D コンバータの動作例（連続スキャンモード）

35.3.2.2　1サイクルスキャンモード

1サイクルスキャンモードは、指定されたチャネルのアナログ入力を以下のように1サイクルのみA/D変換を行います。

1. ソフトウェア、MTU、TMR、または外部トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、選択されたチャネルのうち、チャネル番号の若いほうからA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRn）に格納されます。
3. 選択されたすべてのチャネルのA/D変換終了後、ADCSR.ADIEビットが“1”（A/D変換終了によるADI割り込み許可）であれば、ADI割り込み要求が発生します。
4. ADSTビットはA/D変換中は“1”を保持し、選択されたすべてのチャネルのA/D変換が終了すると自動的に“0”になり、A/Dコンバータは待機状態になります。

アナログ入力にAN4～AN6の3チャネルを選択した場合の動作例を図35.5に示します。

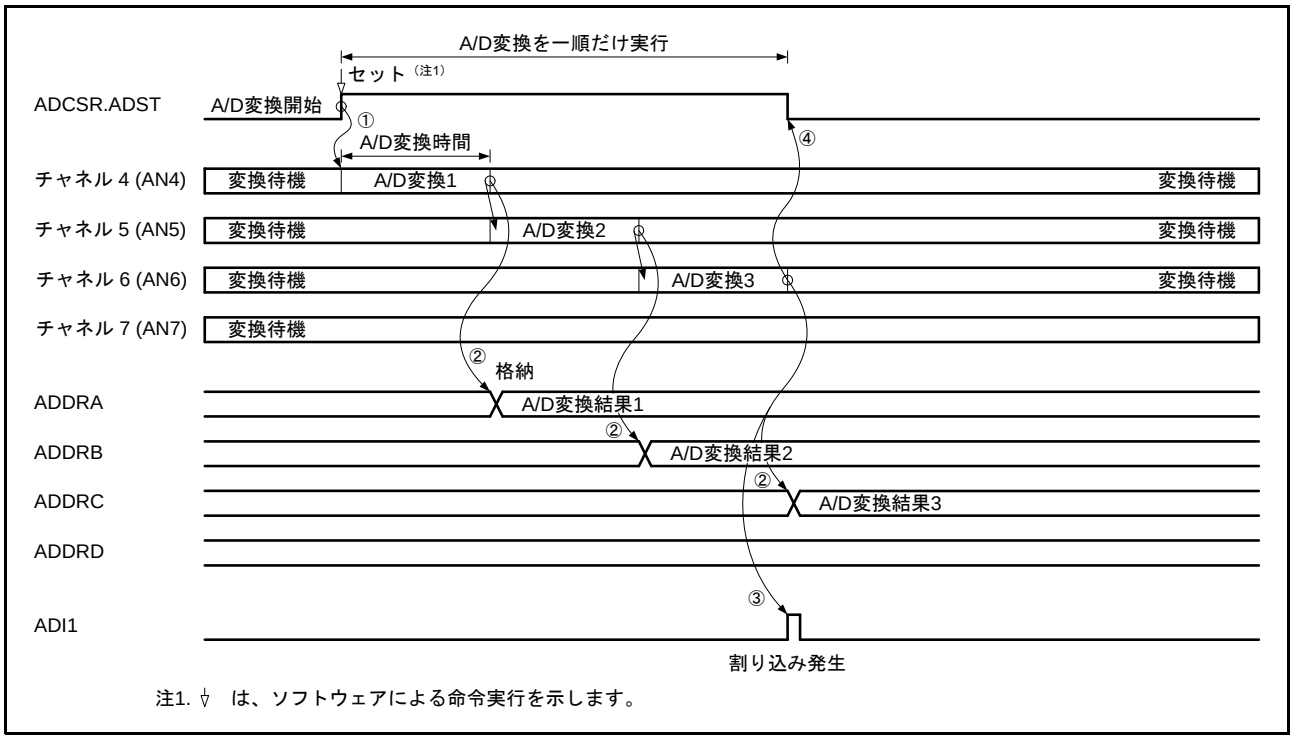


図35.5　A/Dコンバータの動作例（1サイクルスキャンモード）

35.3.3 入力サンプリングと A/D 変換時間

A/D コンバータは、ソフトウェア、MTU、TMR または、外部トリガによる A/D 変換開始条件が発生してから A/D 変換開始遅延時間（tD）経過後、アナログ入力のサンプリングを行い、その後 A/D 変換を開始します。

A/D 変換タイミングを**図 35.6** に示します。

A/D 変換開始条件発生直後の A/D 変換時間（tCONV）は、tD と入力サンプリング時間（tSPL）, 逐次変換時間（tSAM）を合わせた時間となります。それ以降の A/D 変換時間（tCONV）は、tSPL と tSAM を含めた時間となります。

サンプリング時間（tSPL）は、A/D コンバータのサンプル＆ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、周辺モジュールクロック PCLK が低速な場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間（tSAM）は、常に ADCLK の 25 サイクル固定です。

ADSSTR レジスタの設定例を**表 35.6** に、A/D 変換時間を**表 35.7** に示します。

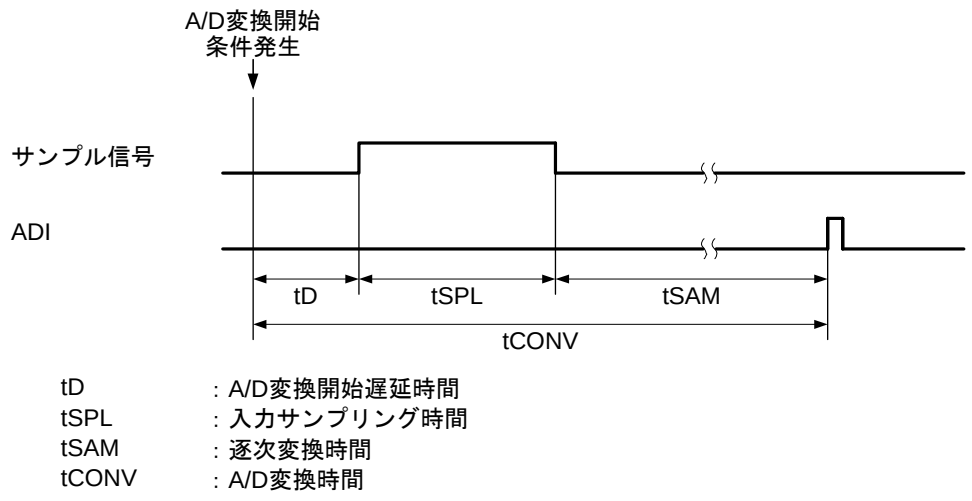


図 35.6　A/D 変換タイミング

表 35.6　ADSSTR レジスタの設定例

使用例	設定範囲	サンプリング時間（注）
標準（初期値）	“19h”	0.5μs（PCLK=ADCLK=50MHz時）
アナログ入力の信号源インピーダンスが高く、 サンプリング時間が不足する場合に設定	“1Ah”～“FFh”	例：“FFh” 5.1μs（PCLK =ADCLK=50MHz時）
ADCLKが50MHzに満たない場合に、 サンプリング時間を初期値より短くする場合に設定	“02h”～“18h”	例：“14h” 0.5μs（PCLK =ADCLK=40MHz時）

注.　サンプリング時間 ≧ 0.5μsとなるように設定してください。サンプリング時間は、以下の式で計算します。

$$\text{サンプリング時間}\ (\mu s) = \frac{\text{ADSSTRレジスタ設定値}}{\text{ADCLK (MHz)}}$$

表35.7　A/D変換時間

項目	記号	計算式	
		min	max
A/D変換開始遅延時間（①）	tD	$\frac{3}{\text{PCLK (MHz)}}$	$\frac{1}{\text{ADCLK (MHz)}} + \frac{4}{\text{PCLK (MHz)}}$
入力サンプリング時間（②）	tSPL	$\frac{\text{ADSSTRレジスタ設定値}}{\text{ADCLK (MHz)}}$	
逐次変換時間（③）	tSAM	$\frac{25}{\text{ADCLK (MHz)}}$	
A/D変換時間（注1）	tCONV	①+②+③	
A/D変換時間（注2）	tCONV	②+③	

注1.　シングルモード、スキャンモード（1回目）のA/D変換時間
注2.　スキャンモード（2回目以降）のA/D変換時間

A/D 変換時間の計算例を示します。

PCLK=ADCLK=50MHz、ADSSTR=19h、スキャンモード（2 回目）の場合、
A/D 変換時間（tCONV）= ADSSTR/ADCLK+25/ADCLK
= 25/50MHz+25/50MHz
= 0.5μs+0.5μs
= 1.0μs

PCLK =ADCLK=40MHz、ADSSTR=14h、スキャンモード（1 回目：min）の場合
A/D 変換時間（tCONV）= 3/PCLK+ADSSTR/ADCLK+25/ADCLK
= 3/40MHz+20/40MHz+25/40MHz
= 0.075μs+0.5μs+0.625μs
= 1.2μs

35.3.4 外部トリガによる A/D 変換の開始

外部トリガ入力（ADTRG0#、ADTRG1#）により、各ユニットの A/D 変換を開始することができます。

ユニット 0 の場合、AD0.ADCR.TRGS[2:0] ビットを “011b”（ADTRG0# からのトリガ）にすると、ADTRG0# の立ち下がりエッジで、AD0.ADCSR.ADST ビットが “1”（A/D 変換開始）になり、A/D 変換が開始されます。このタイミングを図 35.7 に示します。

外部トリガ使用時、外部トリガ入力がすでに Low だった場合、内部信号に立ち下がりエッジが発生し、A/D 変換が開始される場合がありますので注意してください。

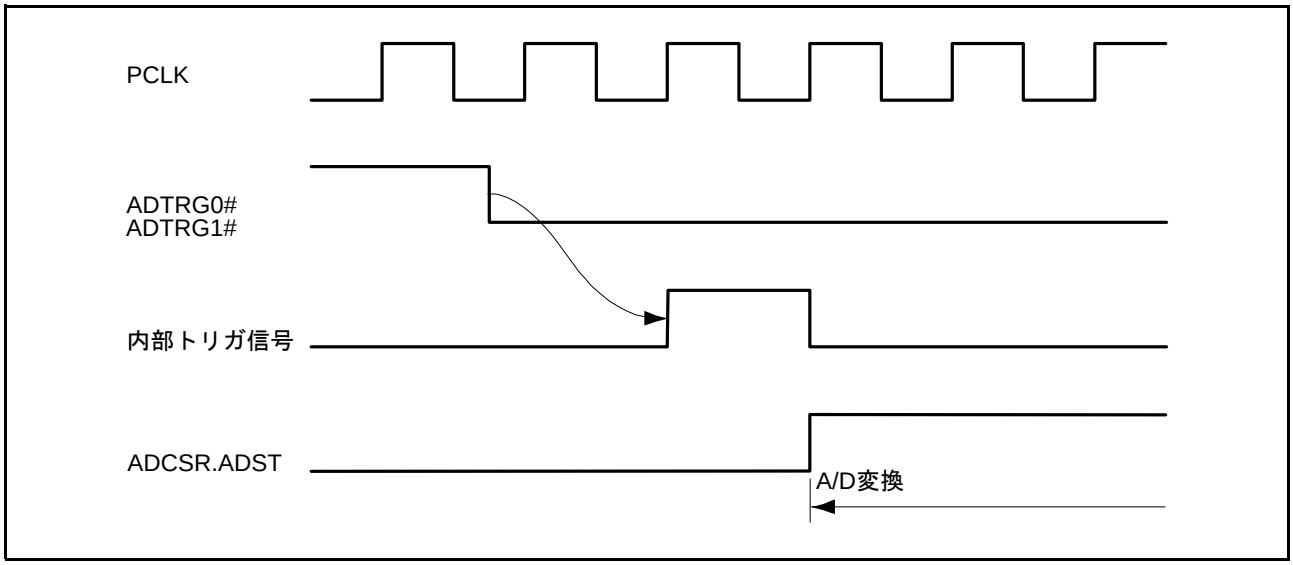


図 35.7　外部トリガ入力タイミング

35.3.5 MTU の TRG0AN_0 と TRG0BN_0 による A/D 変換の開始

MTU（ユニット 0）チャネル 0 の TGRA のインプットキャプチャ／コンペアマッチにより、トリガ信号 TRG0AN_0 を発生させ、A/D 変換器ユニット 0 の A/D 変換を開始することができます。

また MTU（ユニット 0）チャネル 0 の TGRB のインプットキャプチャ／コンペアマッチにより、トリガ信号 TRG0BN_0 を発生させ、A/D 変換器ユニット 1 の A/D 変換を開始することができます。

MTU（ユニット 0）の TRG0AN_0・TRG0BN_0 出力と A/D 変換器の接続関係を図 35.8 に示します。

MTU（ユニット 0）チャネル 0 の TGRA のインプットキャプチャ／コンペアマッチで A/D 変換を開始する場合は、A/D 変換器ユニット 0 の AD0.ADCR.TRGS[2:0] ビットを “100b”（トリガ信号 TRG0AN_0 を選択）に設定します。

また、MTU（ユニット 0）チャネル 0 の TGRB のインプットキャプチャ／コンペアマッチで A/D 変換を開始する場合は、A/D 変換器ユニット 1 の AD1.ADCR.TRGS[2:0] ビットを “100b”（トリガ信号 TRG0BN_0 を選択）に設定します。

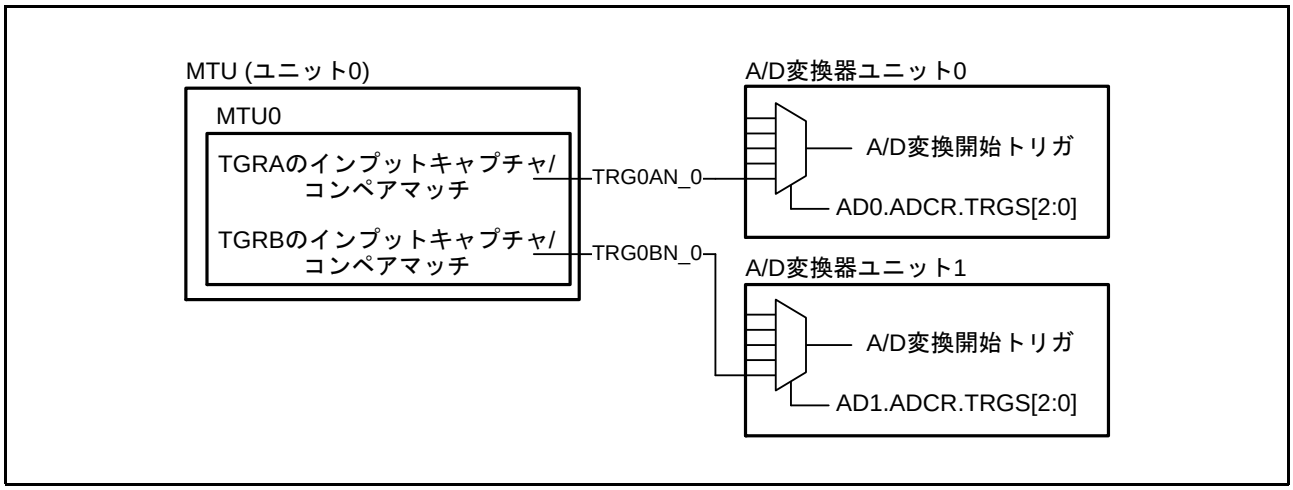


図 35.8　MTU（ユニット 0）の TRG0AN_0・TRG0BN_0 出力と A/D 変換器の接続関係

35.3.6 MTU の TRGAN_0 と TRGAN_1 による A/D 変換の開始

MTU（ユニット 0）チャネル 0 ～ 4 の TRGA のインプットキャプチャ／コンペアマッチと、相補 PWM モード時のチャネル 4 の TCNT アンダーフロー（谷）により、トリガ信号 TRGAN_0 を発生させ、A/D 変換器ユニット 0 と 1 の A/D 変換を開始することができます。同様に、MTU（ユニット 1）チャネル 6 ～ 10 の TRGA のインプットキャプチャ／コンペアマッチと、相補 PWM モード時のチャネル 10 の TCNT アンダーフロー（谷）により、トリガ信号 TRGAN_1 を発生させ、A/D 変換器ユニット 0 と 1 の A/D 変換を開始することができます。

MTU（ユニット 0、ユニット 1）の TRGAN_0・TRGAN_1 出力と A/D 変換器の接続関係を図 35.9 に示します。

MTU（ユニット 0）チャネル 0 とチャネル 2 の TGRA のインプットキャプチャ／コンペアマッチで A/D 変換を開始する場合は、A/D 変換器ユニット n（n=0,1）の ADn.ADCR.TRGS[2:0] ビット（n=0,1）を “001b”（トリガ信号TRGAN_0を選択）に設定し、MTU0.TIER.TTGE ビット、MTU2.TIER.TTGE ビットを“1”に設定します。

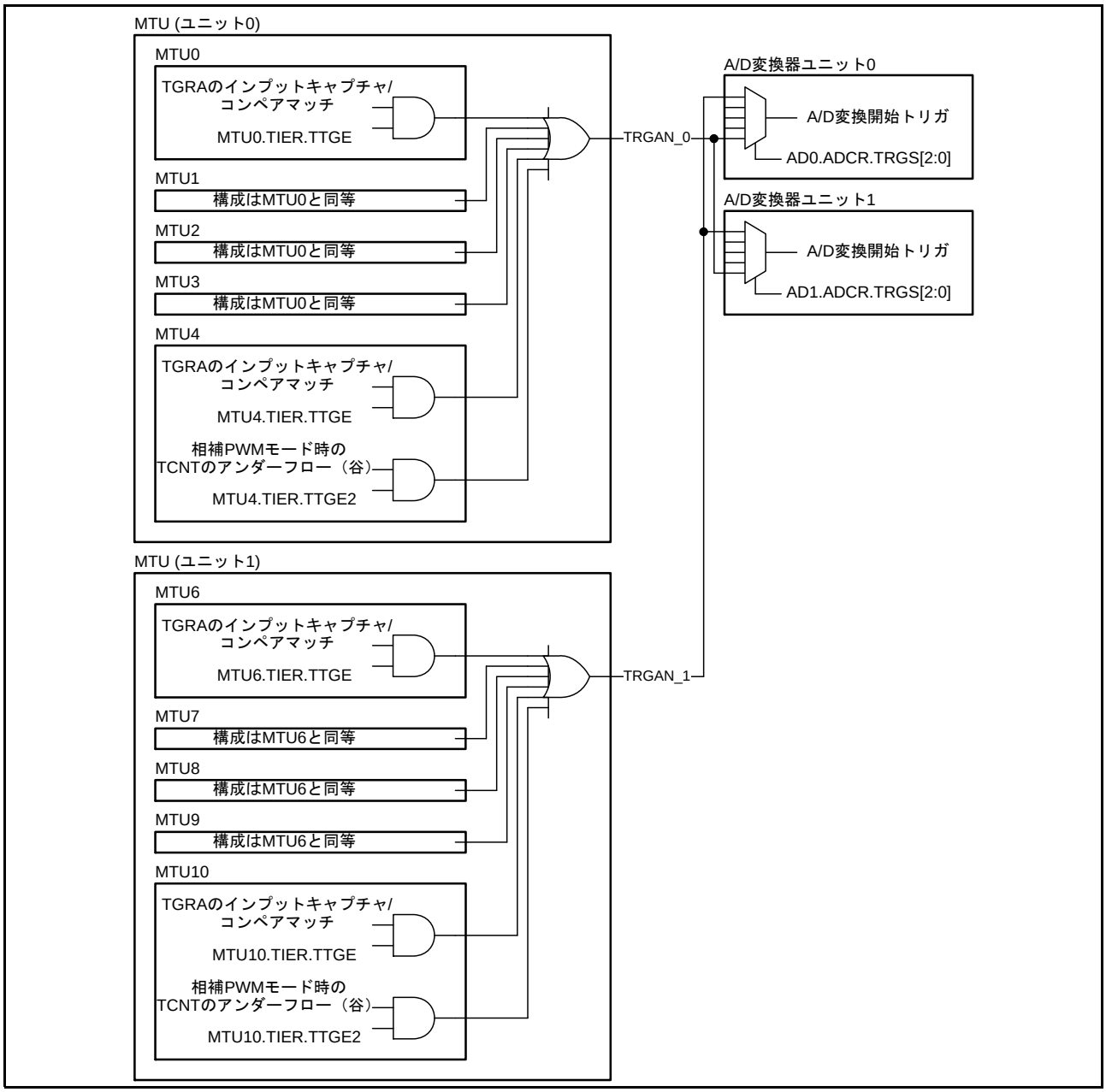


図 35.9　MTU（ユニット 0、ユニット 1）の TRGAN_0・TRGAN_1 出力と A/D 変換器の接続関係

35.3.7 MTU の TRG4ABN_0 と TRG4ABN_1 による A/D 変換の開始

MTU（ユニット 0）チャネル 4 の A/D 変換開始要求ディレイド機能を利用したコンペアマッチにより、トリガ信号 TRG4ABN_0 を発生させ、A/D 変換器ユニット 0 と 1 の A/D 変換を開始することができます。同様に、MTU（ユニット 1）チャネル 10 の A/D 変換開始要求ディレイド機能を利用したコンペアマッチにより、トリガ信号 TRG4ABN_1 を発生させ、A/D 変換器ユニット 0 と 1 の A/D 変換を開始することができます。

MTU（ユニット 0、ユニット 1）の TRG4ABN_0・TRG4ABN_1 出力と A/D 変換器の接続関係を図 35.10 に示します。

MTU（ユニット 0）チャネル 4 の A/D 変換開始要求ディレイド機能を利用し、TADCORA と TCNT のアップカウントのコンペアマッチで A/D 変換を開始する場合は、A/D 変換器ユニット n（n=0,1）の ADn.ADCR.TRGS[2:0] ビット（n=0,1）を “110b”（トリガ信号 TRG4ABN_0 を選択）に設定し、MTU4.TADCOBRA/B と MTU4.TADCORA/B に周期を設定し、MTU4.TADCR.UT4AE ビットを “1” に設定します。

A/D 変換開始要求ディレイド機能の詳細については、「18.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

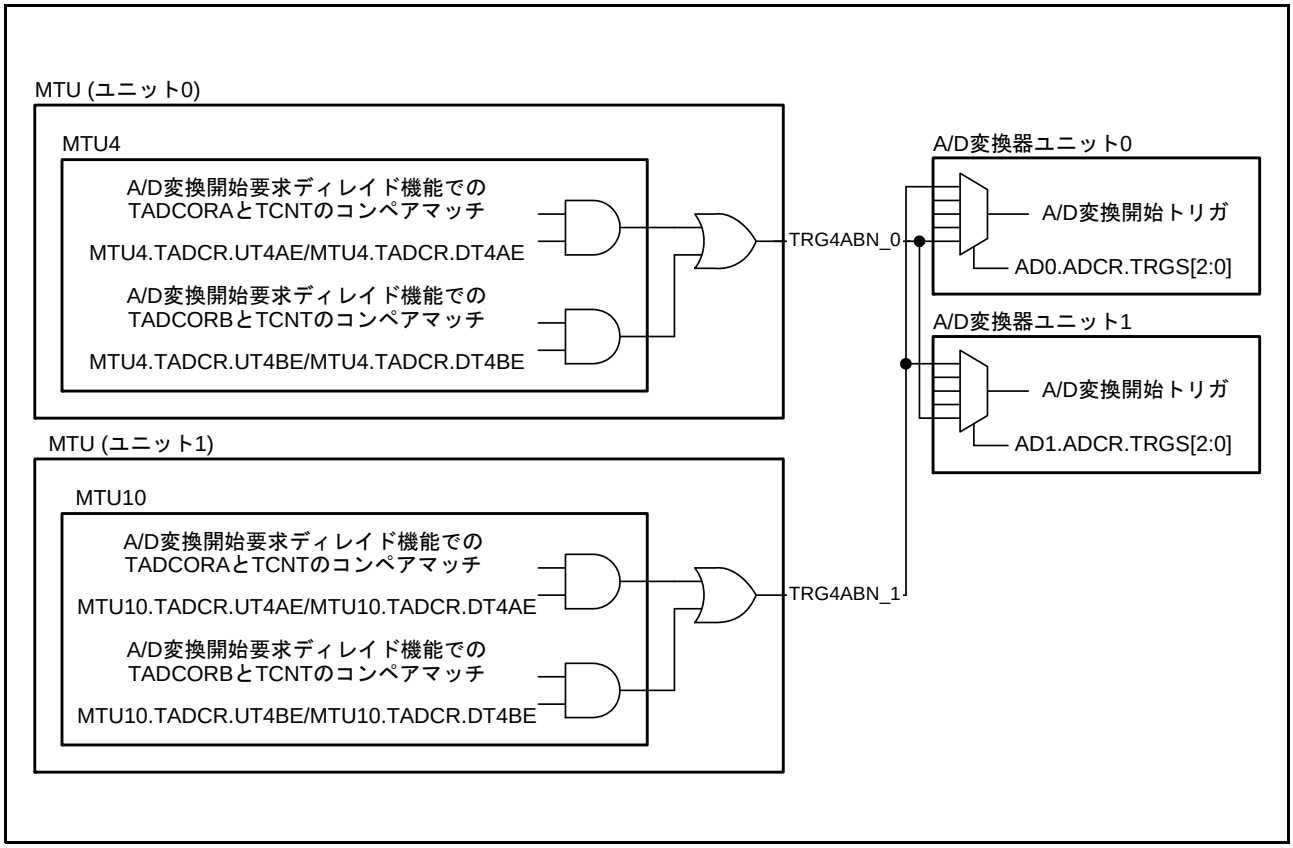


図 35.10 MTU（ユニット 0、ユニット 1）の TRG4ABN_0・TRG4ABN_1 出力と A/D 変換器の接続関係

35.3.8 TMR の TMTRG0AN_0 による A/D 変換の開始

TMR（ユニット 0）チャネル 0 の TCORA のコンペアマッチ（コンペアマッチ A）により、A/D 変換器ユニット 0 と 1 の A/D 変換を開始することができます。

TMR（ユニット 0）の TMTRG0AN_0 出力と A/D 変換器の接続関係を図 35.11 に示します。

TMR（ユニット 0）チャネル 0 の TCORA のコンペアマッチ（コンペアマッチ A）で A/D 変換を開始する場合は、A/D 変換器ユニット n（n=0,1）の ADn.ADCR.TRGS[2:0] ビット（n=0、1）を “010b”（トリガ信号 TMTRG0AN_0 を選択）に設定し、TMR0.TCSR.ADTE を “1” に設定します。

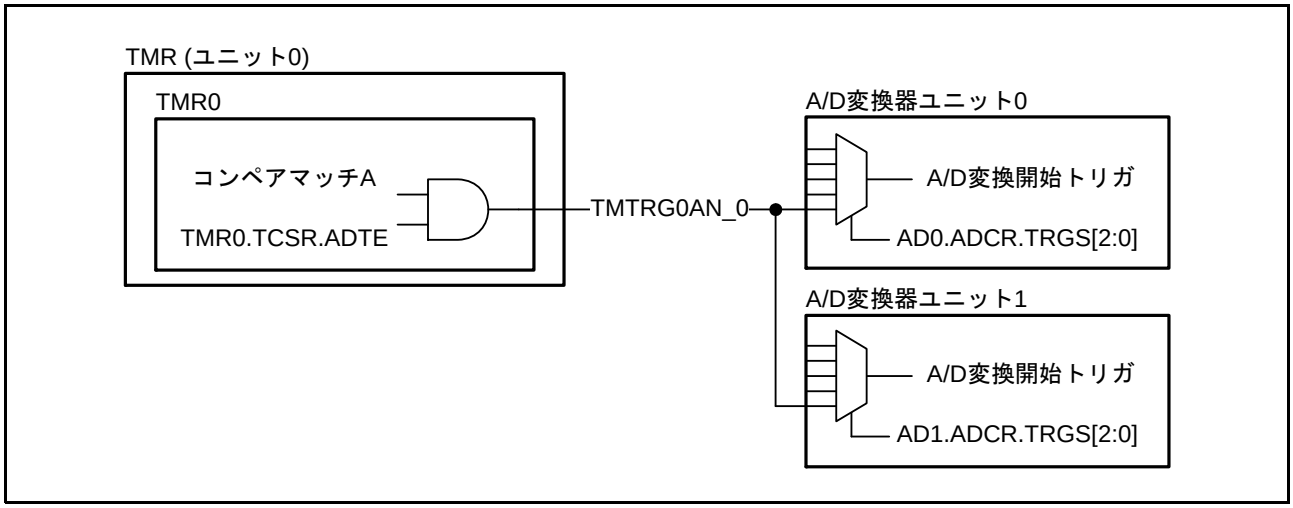


図 35.11　TMR（ユニット 0）の TMTRG0AN_0 出力と A/D 変換器の接続関係

35.4 割り込み要因

A/D コンバータは、ADCSR.ADIE ビットが “1”（A/D 変換終了による ADI 割り込み許可）のときに A/D 変換が終了すると割り込み（ADI）が発生します。

A/D コンバータの割り込み要因はユニットごとにあり、これらの割り込みを使ってデータトランスファコントローラ（DTC）および DMA コントローラ（DMACA）を起動することができます。ADI 割り込みで DTC または DMACA を起動し、変換されたデータの読み出しを行うと、CPU を介さずに連続変換が行えます。

表 35.8　A/D コンバータの割り込み要因

名称	割り込み要因	割り込みステータスフラグ	DTCの起動	DMACAの起動
ADI0	A/D変換終了	ICU.IR98.IR	可能	可能
ADI1	A/D変換終了	ICU.IR99.IR	可能	可能

35.5 A/D 変換精度の定義

RX62N グループ、RX621 グループの A/D 変換精度の定義は以下のとおりです。

- 分解能
  A/D コンバータのデジタル出力コード数
- 量子化誤差
  A/D コンバータが本質的に有する偏差であり、1/2LSB で与えられる（図 35.12）
- オフセット誤差
  デジタル出力が最小電圧値 “0000000000b（000h）” から “0000000001b（001h）” に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 35.13）
- フルスケール誤差
  デジタル出力が “1111111110b（3FEh）” から “1111111111b（3FFh）” に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 35.13）
- 非直線性誤差
  ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図 35.13）
- 絶対精度
  デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

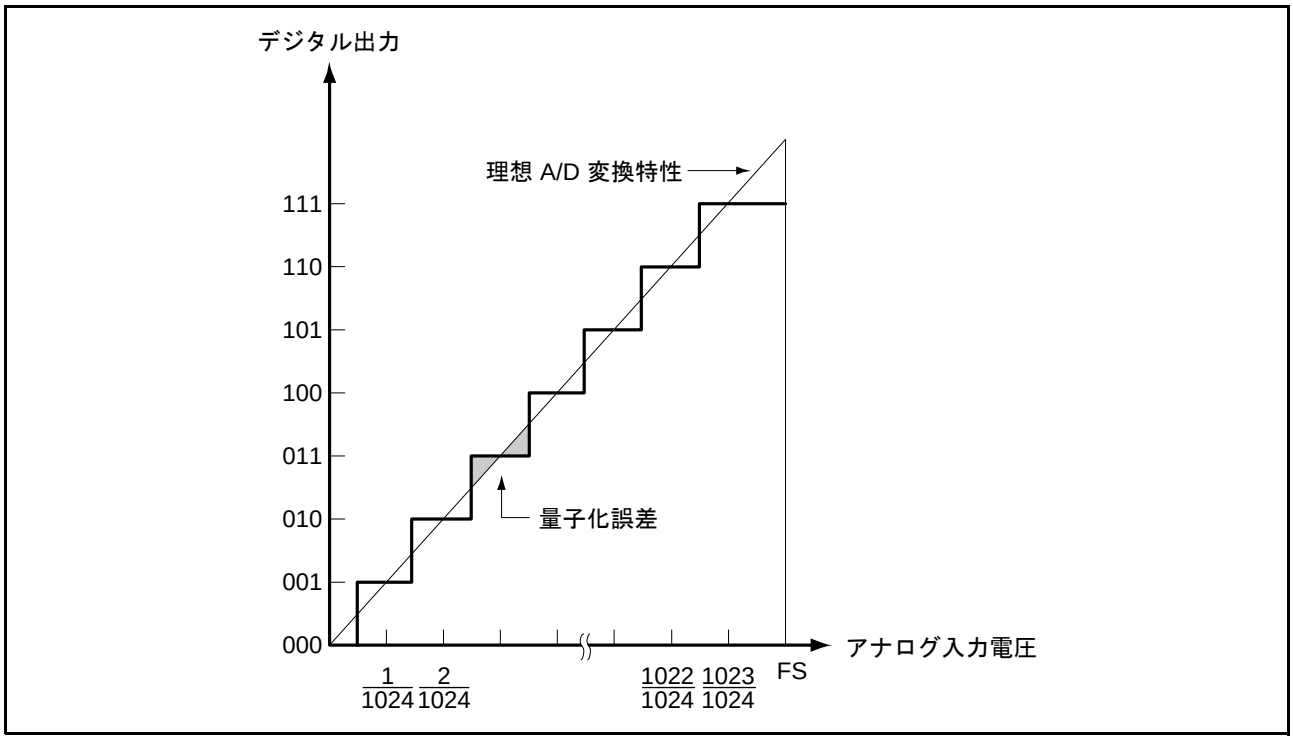


図 35.12　A/D 変換精度の定義（1）

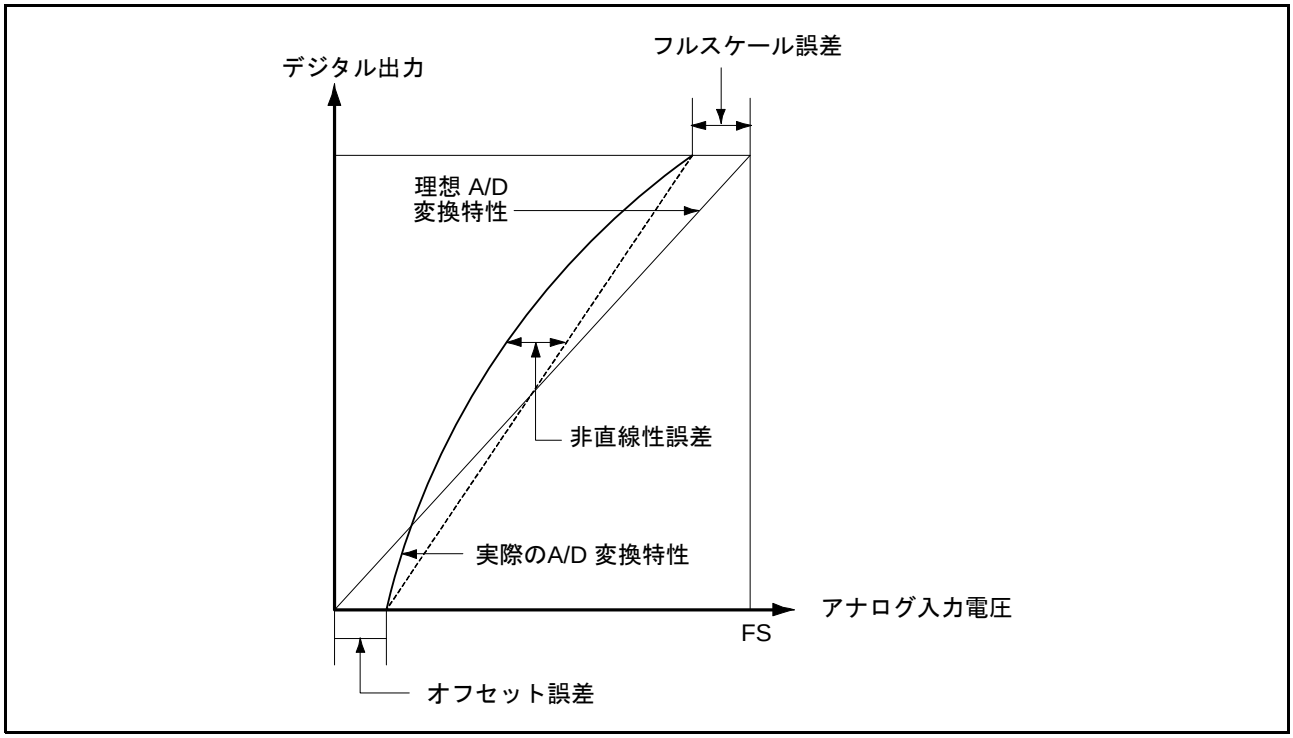


図 35.13　A/D 変換精度の定義（2）

35.6 使用上の注意事項

35.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、ユニットごとに A/D コンバータの動作禁止／許可を設定することが可能です。初期値では、A/D コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. **消費電力低減機能**」を参照してください。

35.6.2 A/D 変換停止時の注意事項

A/D 変換開始条件に外部トリガ、またはタイマを選択している場合、A/D 変換を停止させるためには、ADCR.TRGS[2:0] ビットを “000b” にし、A/D 変換開始条件をソフトウェアトリガにした後、ADCSR.ADST ビットを “0”（A/D 変換停止）にしてください。

35.6.3 A/D 変換再開時の注意事項

ADCSR.ADST ビットを “0” にして A/D 変換を停止させると、A/D コンバータのアナログ回路が停止するのに、ADCLK 1 クロックの時間を必要とします。

ADST ビットを “0” にした直後に、ADST ビットを “1” にし、A/D 変換を再開させた場合、ADCLK 1 クロックの時間が経過した後、A/D 変換を再開する動作となります。

35.6.4 低消費電力状態への遷移時の注意

A/D 変換を許可した状態で RX62N グループ、RX621 グループがモジュールストップやソフトウェアスタンバイモードへ移行すると、アナログ電源電流は A/D 変換中と同等になります。モジュールストップやソフトウェアスタンバイモードでアナログ電源電流を低減させる必要がある場合は、A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを “0” にした後、A/D コンバータのアナログ回路が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCR.TRGS[2:0] ビットを “000b”（ソフトウェアトリガ）にし、ADCSR.ADST ビットを “0” にした後、ADCR.CKS[1:0] ビットを “11b”（PCLK）にしてください。その後、A/D 変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ移行させてください。

35.6.5　許容信号源インピーダンスについて

RX62N グループ、RX621 グループのアナログ入力は、高速変換 1.0μs を実現するために、信号源インピーダンスが 1.0kΩ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の 6.5kΩ だけになりますので、信号源インピーダンスは不要となります。ただし、ローパスフィルタになっていますので、変化の急峻なアナログ信号（たとえば 5mV/μs 以上）には追従できないことがあります（図 35.14）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、出力インピーダンスの低いバッファアンプを挿入してください。

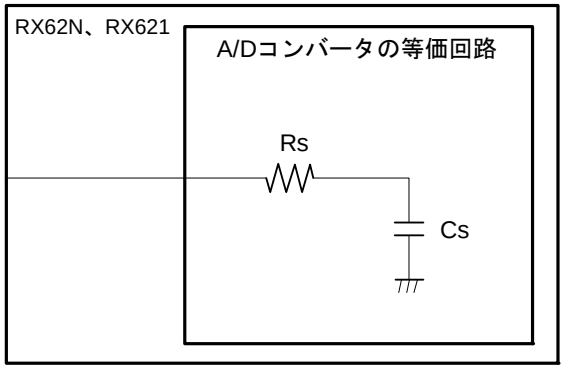


図 35.14　アナログ入力端子の内部等価回路

表 35.9　アナログ端子の規格

項目		min	max	単位
許容信号源インピーダンス		–	1.0	kΩ
端子の内部等価回路	Rs	–	6.5	kΩ
	Cs	–	6.0	pF

35.6.6　絶対精度への影響

容量を付加することにより GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、VREFL 等の電気的に安定した GND に接続してください。

また、フィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

35.6.7　アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてLSIを使用した場合、LSIの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲
  アナログ入力端子ANnに印加する電圧はVREFL ≦ VAN ≦ VREFHの範囲としてください。
- 各電源端子（AVCC—AVSS、VREFH—VREFL、VCC—VSS）の関係
  AVCC、AVSSとVCC、VSSとの関係はAVCC = VCCかつAVSS = VSSとしてください。図35.15に示すように各々の電源間に最短で閉ループが形成できるように 0.1μF のコンデンサを接続し、供給元でAVCC = VCC、VREFL = AVSS = VSSになるように接続してください。A/D コンバータを使用しない場合はVREFH = AVCC = VCC、VREFL = AVSS = VSSとしてください。
- VREFHの設定範囲
  VREFH端子によるリファレンス電圧の設定範囲は、VREFH ≦ AVCCにしてください。

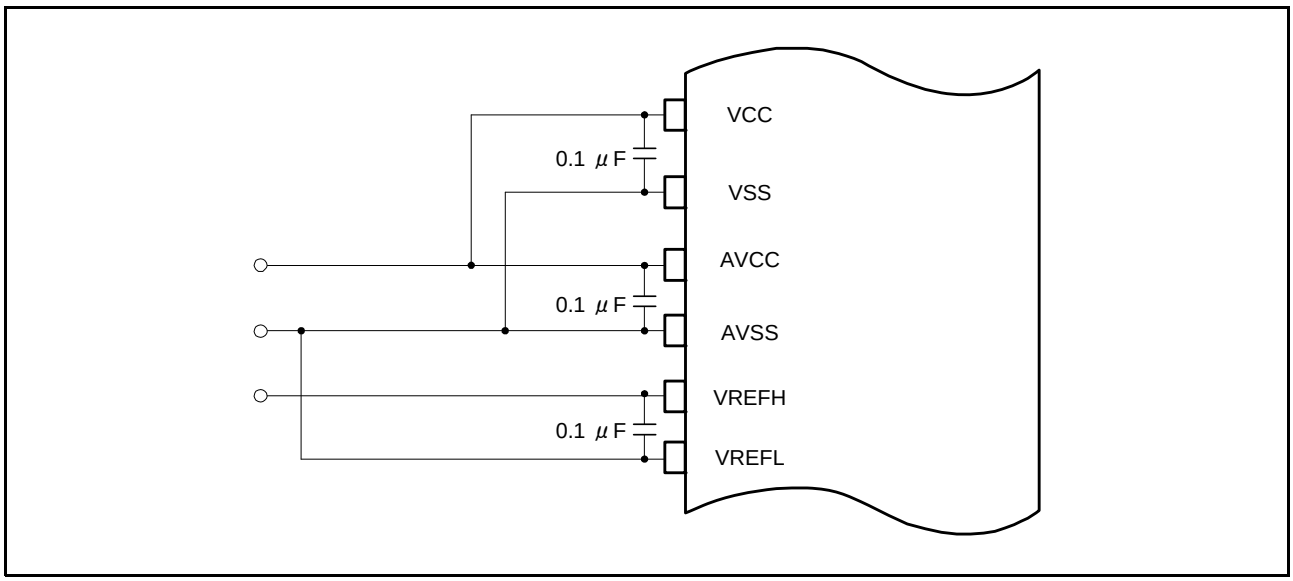


図35.15　各電源端子の接続例

35.6.8　ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させないでください。アナログ信号にノイズが乗って、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0 ～ AN7）、アナログ基準電源（VREFH）、アナログ電源電圧（AVCC）は、アナロググランド（AVSS）でデジタル回路と分離してください。

さらに、アナログ基準グランド（VREFL）は、ボード上の安定したグランド（VSS）に一点接続してください。

35.6.9　ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0 ～ AN7）の破壊を防ぐために、図35.16に示すようにAVCCとAVSS間、VREFHとVREFL間に容量を、またアナログ入力端子（AN0 ～ AN7）を基準に保護回路を接続してください。

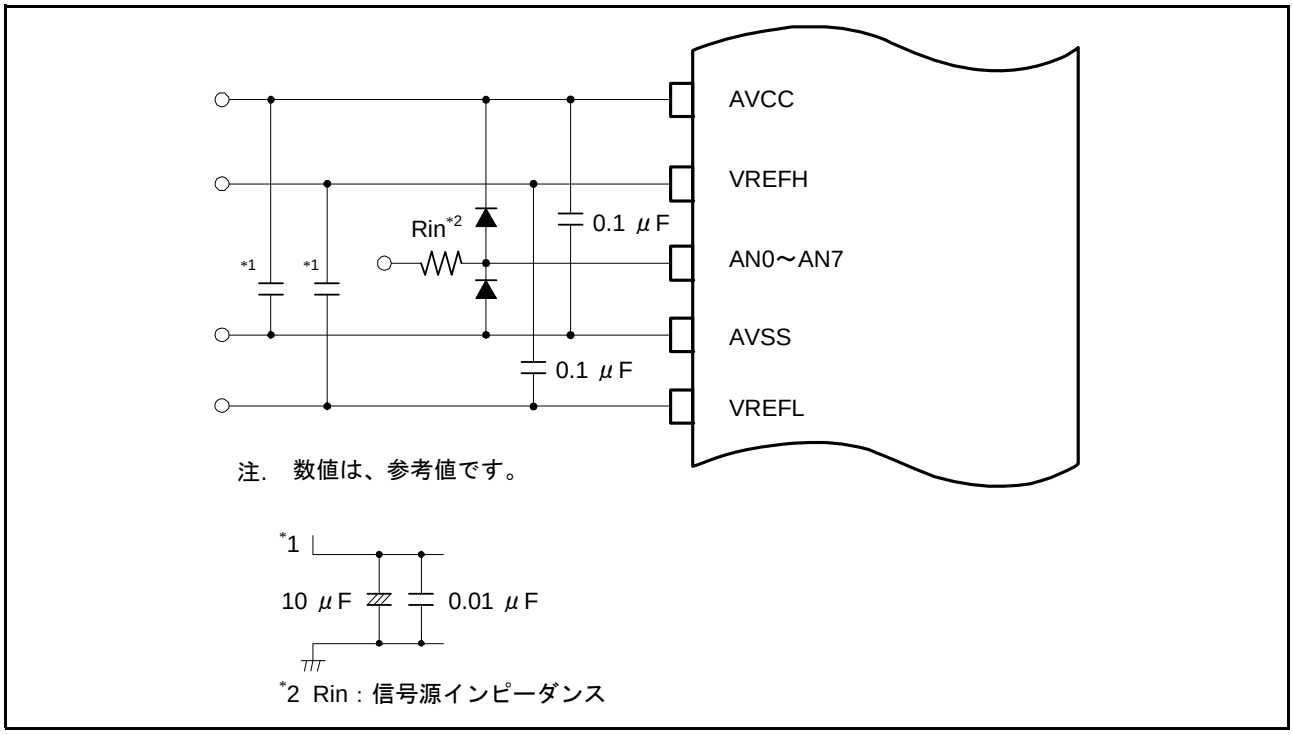


図 35.16　アナログ入力保護回路の例

35.6.10　高速変換を実現するためには

高速変換を実現するためには、図 35.17 に示すようにアナログ入力端子（AN0 ～ AN7）と VREFL 間に 0.1μF の外付けコンデンサを接続してください。ただし、A/D コンバータのサンプル＆ホールド回路の入力容量に対し信号源インピーダンスが見えないように、変換開始前に外付けコンデンサに電荷を十分蓄えておく必要があります。なお、スキャン等でアナログ入力端子の電圧レベルが変動し、外付けコンデンサの電荷が更新される場合は、高速変換ができません。

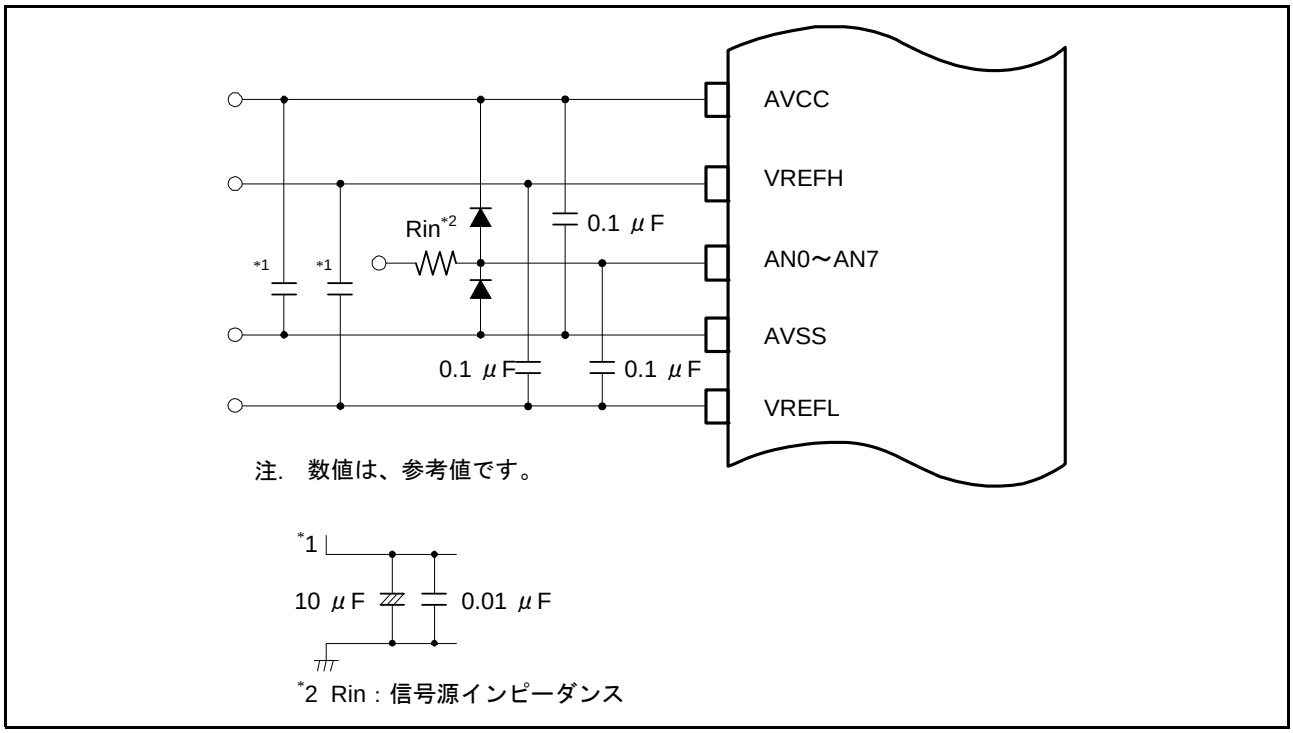


図 35.17　高速変換用外付けコンデンサの接続例

35.6.11　12 ビット A/D コンバータおよび 10 ビット A/D コンバータの選択

12 ビット A/D コンバータおよび 10 ビット A/D コンバータは、モジュールストップコントロールレジスタ A の MSTPCRA.MSTPA23, MSTPA22, MSTPA17 ビットで選択します。

MSTPCRA.MSTPA17 ビットを “0” にすると、12 ビット A/D コンバータを選択することができます。

MSTPCRA.MSTPA23 ビットおよび MSTPCRA.MSTPA22 ビットを “0” にすると、10 ビット A/D コンバータを選択することができます。

MSTPCRA.MSTPA23 ビット、MSTPCRA.MSTPA22 ビット、MSTPCRA.MSTPA17 ビットに同時に “0” を書いた場合、MSTPCRA.MSTPA17 ビットの設定が有効となり、MSTPCRA.MSTPA23, MSTPA22 ビットの設定は無効となりますので、10 ビット A/D コンバータを選択することはできません。

詳細は、「9.　消費電力低減機能」の「9.2.2　モジュールストップコントロールレジスタ A（MSTPCRA）」を参照してください。

35.6.12　A/D コンバータと D/A コンバータを同時に使用した場合の注意事項

A/D コンバータと D/A コンバータは同じ電源を使用しているため、同時に使用した場合、A/D 変換精度に影響が出る場合があります。

A/D 変換中に以下の設定を行ったとき、約 2LSB 精度が悪化する場合があります。

- A/D 変換中に D/A コンバータの D/A データレジスタ m（DADRm）を書き換えたとき
- A/D 変換中かつ D/A コンバータの DADRm レジスタが 00h 以外のときに、D/A コントロールレジスタ（DACR）を書き換えたとき

これらの設定で、変換精度に影響が出る場合、以下のいずれかの対策を実施してください。

（1）A/D 変換結果に対しプログラムで平均化処理を行ってください。
　平均化処理例：同一端子の AD 変換を 4 回連続して実施し、A/D 変換結果の最大値と最小値を除いた 2 つの値の平均を算出します。

（2）変換中の A/D 変換結果を破棄してください。

（3）D/A コンバータの DACR レジスタを書き換える場合、D/A コンバータの DADRm レジスタの値を 00h にした状態で書き換えてください。

36. D/A コンバータ

36.1 概要

RX62N グループ、RX621 グループは、10 ビットの D/A コンバータを 2 チャネル内蔵しています。

表 36.1 に D/A コンバータの仕様を示します。図 36.1 に D/A コンバータのブロック図を示します。

表36.1　D/Aコンバータの仕様

項目	内容
分解能	10ビット
出力チャネル	2チャネル
消費電力低減機能	モジュールストップ状態への設定が可能

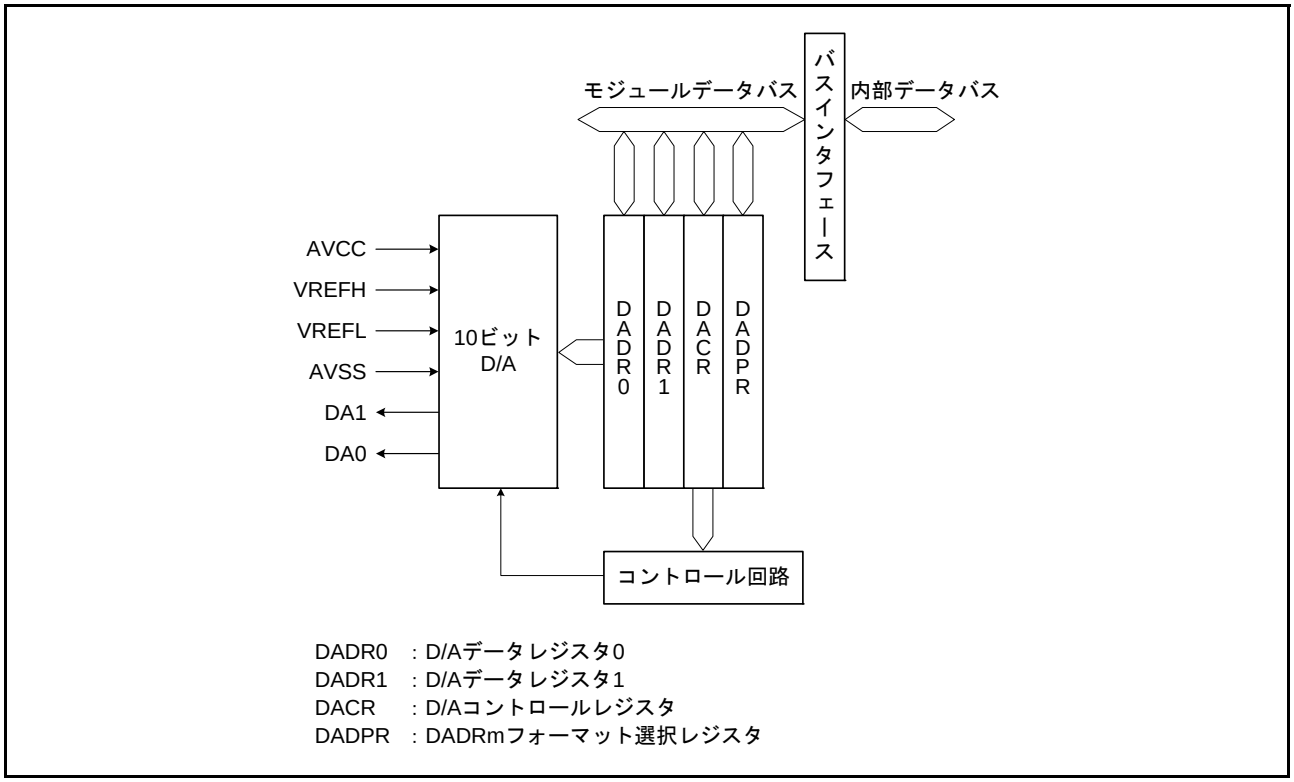


図 36.1　D/A コンバータのブロック図

表 36.2 に D/A コンバータで使用する入出力端子を示します。

表36.2　D/Aコンバータの入出力端子

端子名	入出力	機　　能
AVCC	入力	アナログ回路の電源端子
AVSS	入力	アナログ回路のグランド端子
VREFH	入力	D/Aコンバータの基準電圧端子
VREFL	入力	D/Aコンバータの基準グランド端子 アナログ基準電源（0V）に接続してください。
DA0	出力	チャネル0のアナログ出力
DA1	出力	チャネル1のアナログ出力

36.2 レジスタの説明

表 36.3 に D/A コンバータのレジスター覧を示します。

表 36.3　D/A コンバータのレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
D/A データレジスタ 0	DADR0	0000h	0008 80C0h	16
D/A データレジスタ 1	DADR1	0000h	0008 80C2h	16
D/A コントロールレジスタ	DACR	1Fh	0008 80C4h	8
DADRm フォーマット選択レジスタ	DADPR	00h	0008 80C5h	8

36.2.1 D/A データレジスタ m（DADRm）（m=0、1）

アドレス　DADR0 0008 80C0h、DADR1 0008 80C2h

・ DADPR.DPSELビット=“0”（データはLSB詰め）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	–	–	–	–	–	–										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

・ DADPR.DPSELビット=“1”（データはMSB詰め）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
											–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットのリード／ライト可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換されアナログ出力端子に出力されます。

DADPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。“ ー ”のビットは、読むと “0” が読めます。書く場合、“0” としてください。

36.2.2 D/A コントロールレジスタ（DACR）

アドレス　0008 80C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	DAE（注1）	D/A許可ビット	0：チャネル0、1のD/A変換を個別制御 1：チャネル0、1のD/A変換を一括許可	R/W
b6	DAOE0	D/A出力許可0ビット	0：チャネル0のアナログ出力（DA0）を禁止 1：チャネル0のD/A変換を許可 チャネル0のアナログ出力（DA0）を許可（注2）	R/W
b7	DAOE1	D/A出力許可1ビット	0：チャネル1のアナログ出力（DA1）を禁止 1：チャネル1のD/A変換を許可 チャネル1のアナログ出力（DA1）を許可（注2）	R/W

注1.　DAOEiビット（i=0、1）との組み合わせで、D/A変換を制御します。変換結果の出力は、DAOEiビットにより制御されます。表36.4を参照してください。

注2.　アナログ出力として使用する端子のPORT0.DDR.Bmビット（m=3、5）は“0”にし、PORT0.ICR.Bmビット（m=3、5）も“0”に設定してください。詳細は「17.　I/Oポート」を参照してください。

表36.4　D/A変換の制御

b5	b7	b6	説　明
DAE	DAOE1	DAOE0	
0	0	0	D/A変換を禁止
		1	チャネル0のD/A変換を許可、チャネル1のD/A変換を禁止 チャネル0のアナログ出力（DA0）を許可、チャネル1のアナログ出力（DA1）を禁止
	1	0	チャネル0のD/A変換を禁止、チャネル1のD/A変換を許可 チャネル0のアナログ出力（DA0）を禁止、チャネル1のアナログ出力（DA1）を許可
		1	チャネル0、1のD/A変換を許可 チャネル0、1のアナログ出力（DA0、DA1）を許可
1	0	0	チャネル0、1のD/A変換を許可 チャネル0、1のアナログ出力（DA0、DA1）を禁止
		1	チャネル0、1のD/A変換を許可 チャネル0のアナログ出力（DA0）を許可、チャネル1のアナログ出力（DA1）を禁止
	1	0	チャネル0、1のD/A変換を許可 チャネル0のアナログ出力（DA0）を禁止、チャネル1のアナログ出力（DA1）を許可
		1	チャネル0、1のD/A変換を許可 チャネル0、1のアナログ出力（DA0、DA1）を許可

DACR レジスタは、D/A コンバータの動作を制御するレジスタです。

DAE ビット（D/A 許可ビット）

DAOEi ビット（i=0、1）との組み合わせで、D/A 変換を制御します。

DAE ビットが “0” のとき、チャネル 0、1 の D/A 変換は個別に制御されます。DAE ビットが “1” のとき、チャネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOEi ビットにより制御されます。

DAOE0 ビット（D/A 出力許可 0 ビット）

D/A 変換とアナログ出力を制御します。

DAOE1 ビット（D/A 出力許可 1 ビット）

D/A 変換とアナログ出力を制御します。

36.2.3 DADRm フォーマット選択レジスタ（DADPR）

アドレス　0008 80C5h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	–	–	–	–	–	–	–
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	–	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	DADRmフォーマット選択ビット	0：D/Aデータレジスタは LSB詰め 1：D/Aデータレジスタは MSB詰め	R/W

DADPR レジスタは、D/A データレジスタのデータ配置を選択するレジスタです。

DPSEL ビット（DADRm フォーマット選択ビット）

D/A データレジスタのデータを LSB 詰めか、MSB 詰めかを選択します。

36.3 動作説明

2 チャネルの D/A コンバータは、それぞれ独立して変換を行うことができます。DACR.DAOEi ビット（i=0、1）を “1” にすると、D/A 変換が許可され変換結果が出力されます。

チャネル 0 の D/A 変換を行う場合の動作例を以下に示します。このときの動作タイミングを図 36.2 に示します。

1. DADR0 レジスタに変換データを書きます。
2. DACR.DAOE0 ビットを “1” にすると、D/A 変換を開始します。tDCONV 時間経過後、変換結果をアナログ出力端子 DA0 より出力します。DADR0 レジスタを書き換えるか、DAOE0 ビットを “0” にするまで、この変換結果が出力され続けます。出力値は以下の式で計算します。

$$\frac{\text{DADR0レジスタの値}}{1024} \times \text{VREFH}$$

3. DADR0 レジスタを書き換えると直ちに変換を開始します。tDCONV 時間経過後、変換結果が出力されます。
4. DAOE0 ビットを “0” にするとアナログ出力を禁止します。

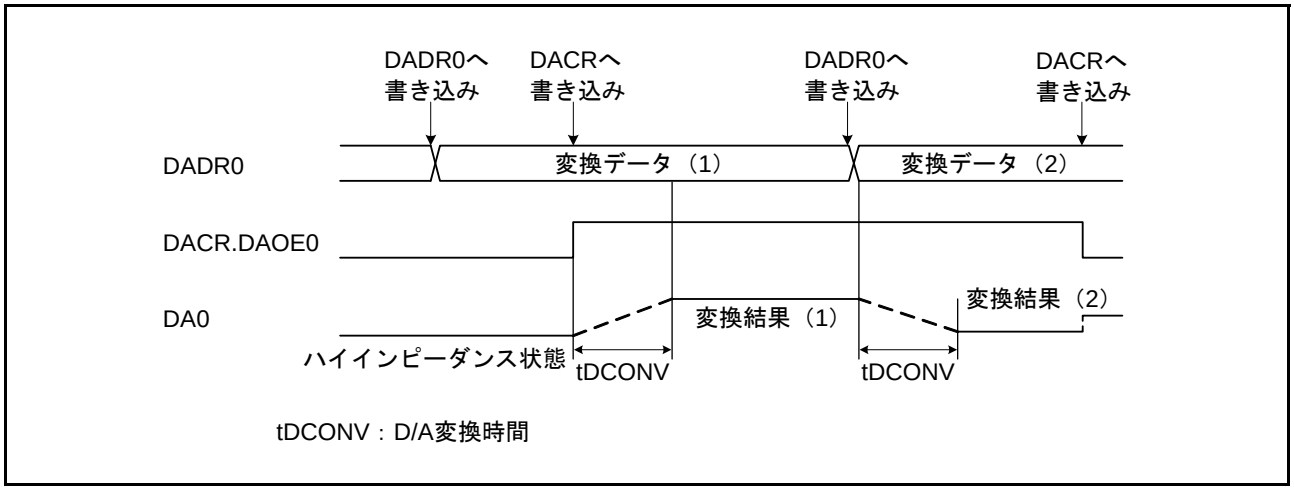


図 36.2　D/A コンバータの動作例

36.4 使用上の注意事項

36.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、D/A コンバータの動作禁止／許可を設定することが可能です。初期値では、D/A コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. **消費電力低減機能**」を参照してください。

36.4.2 モジュールストップ時の D/A の動作

D/A 変換を許可した状態でモジュールストップ状態になると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAE ビットをすべて “0” にして D/A 出力を禁止してください。

36.4.3 ソフトウェアスタンバイモード時の D/A の動作

D/A 変換を許可した状態で RX62N グループ、RX621 グループがソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAE ビットをすべて “0” にして D/A 出力を禁止してください。

36.4.4 ディープソフトウェアスタンバイモード時の注意事項

D/A 変換を許可した状態で RX62N グループ、RX621 グループ がディープソフトウェアスタンバイモードに移行すると、D/A 出力はハイインピーダンス状態となります。

37. RAM

RX62N グループ、RX621 グループは、高速スタティック RAM を内蔵しています。

37.1 概要

表 37.1 に RAM の仕様を示します。

表37.1 RAMの仕様

項目	内容
RAM容量（注2）	64Kバイト（RAM0：64Kバイト）（注2） 96Kバイト（RAM0：64Kバイト、RAM1：32Kバイト）
RAMアドレス	RAM0：0000 0000h～0000 FFFFh RAM1：0001 0000h～0001 7FFFh
アクセス	● 読み出し、書き込みともに1サイクルで動作 ● 内蔵RAM有効／無効選択可能（注1）
データ保持機能	ディープスタンバイモード時、RAM0のデータを保持可能
消費電力低減機能	RAM0、RAM1個別にモジュールストップ状態への設定が可能

注1. SYSCR1.RAME ビットにより選択可能です。SYSCR1 レジスタについては、「3.2.4 システムコントロールレジスタ 1（SYSCR1）」を参照してください。
注2. 製品によりRAM容量が異なります。

製品型名	RAM容量	RAMアドレス
R5F562x8	96Kバイト	0000 0000h～0001 7FFFh
R5F562x7	64Kバイト	0000 0000h～0000 FFFFh
R5F562x6	64Kバイト	0000 0000h～0000 FFFFh

37.2 動作説明

37.2.1 データ保持

内蔵 RAM のアドレス空間は、RAM0 と RAM1 の領域に分かれており、ディープソフトウェアスタンバイモード時に内部電源を供給できるかどうかが異なります。

DPSBYCR.RAMCUT n ビット（n=2 ～ 0）の設定により、ディープソフトウェアスタンバイモード時に RAM0 へ内部電源を供給するかどうかを選択できます。

ディープソフトウェアスタンバイモード時、RAM0 へ内部電源を供給することによって、RAM0 のデータを保持することが可能です。このとき、RAM1 への内部電源の供給は停止しますので、RAM1 のデータを保持することはできません。

DPSBYCR.RAMCUT n ビット（n=2 ～ 0）の詳細については、「9. 消費電力低減機能」を参照してください。

37.2.2 消費電力低減機能

モジュールストップコントロールレジスタ C（MSTPCRC）の設定により、RAM へのクロック供給を停止させることで、消費電力を低減することが可能です。

MSTPCRC.MSTPC0 ビットを “1” にすると RAM0 に供給されるクロックが停止し、MSTPCRC.MSTPC1 ビットを “1” にすると RAM1 に供給されるクロックが停止します。

クロック供給の停止により、RAM0、RAM1 はそれぞれモジュールストップ状態になります。リセット後は、RAM は動作しています。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「9. 消費電力低減機能」を参照してください。

38. ROM（コード格納用フラッシュメモリ）

RX62N グループ、RX621 グループは、最大 512K バイトのコード格納用フラッシュメモリ（ROM）と、32K バイトのデータ格納用フラッシュメモリ（データフラッシュ）を内蔵しています。

本章では、コード格納用フラュシュメモリについて説明します。データフラッシュについては、「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

38.1 概要

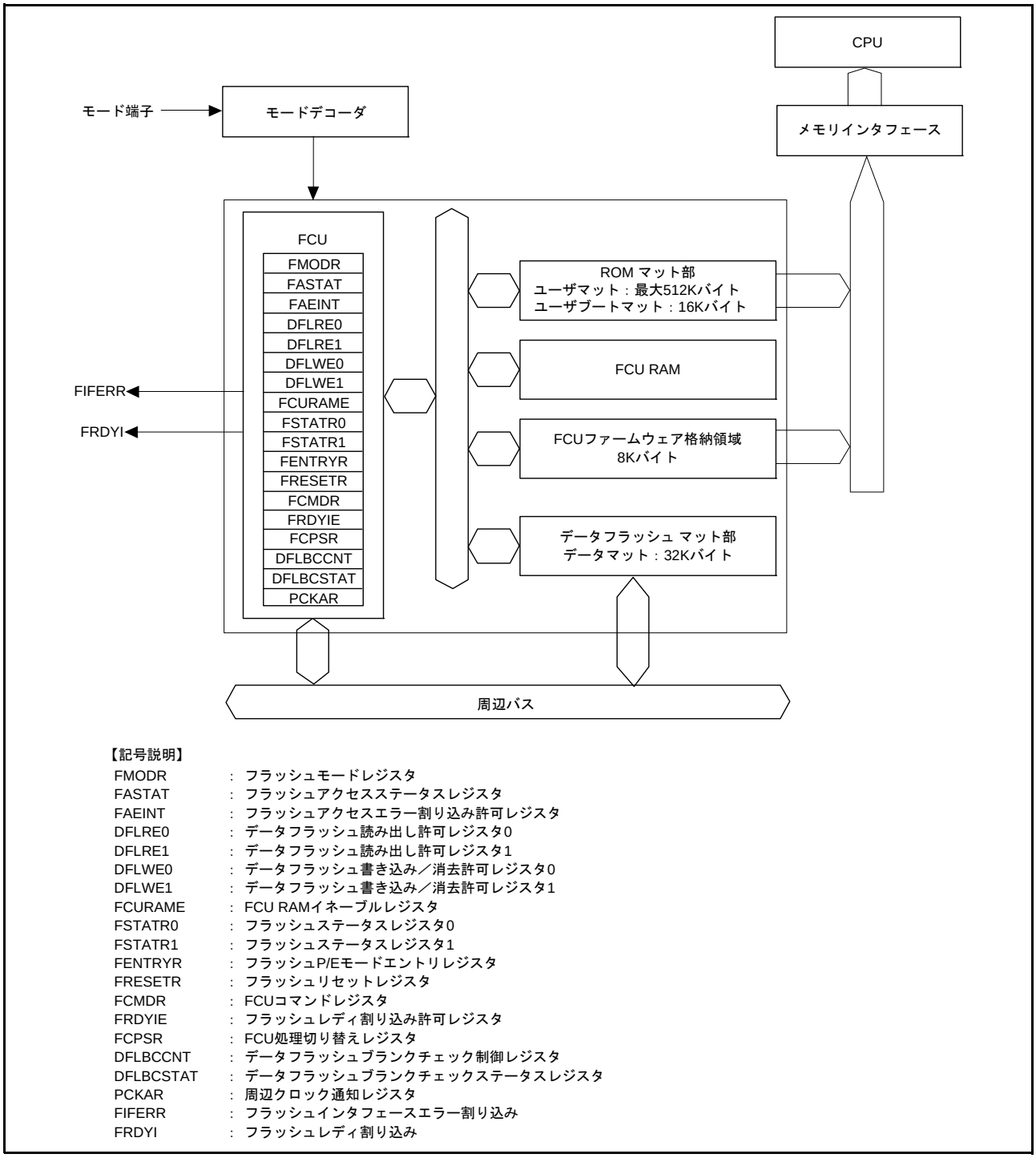
表 38.1 に ROM の仕様を、図 38.1 に ROM およびデータフラッシュ周りのブロック図を示します。

表38.1　ROMの仕様

項目		内容
メモリ空間		• ユーザマット　：512Kバイト/384Kバイト/256Kバイト（注1） • ユーザブートマット：16Kバイト
高速読み出し可能		ICLK 1サイクルの高速読み出しが可能
書き込み／消去方式		• ROMの書き換えを行う専用のシーケンサ（FCU）を内蔵 • FCU にコマンドを発行することにより、ROMへの書き込み／消去を実行可能 • 消去状態のROMを読むと、32ビットでFFFF FFFFhが読み出し可能
BGO（バックグラウンドオペレーション）機能		• ROMへの書き込み／消去を実行している期間、CPU はROM／データフラッシュ以外の領域に配置したプログラムを実行可能 • データフラッシュへの書き込み／消去を実行している期間、ROM領域に配置したプログラムを実行可能
サスペンド／レジューム機能		• ROM への書き込み／消去動作を中断し、CPU はROM領域のプログラムを実行可能（サスペンド） 中断した後、ROMへの書き込み／消去を再開可能（レジューム）
書き込み／消去単位		• ユーザマットおよびユーザブートマットの書き込み単位：256バイト • ユーザマットの消去単位：4Kバイト（8ブロック）、16Kバイト（30ブロック） • ユーザブートマットの消去単位：16Kバイト
オンボードプログラミング（3種類）	ブートモード	• SCIを使用してユーザマットとユーザブートマットを書き換え可能 • ホストとRX62N、RX621間のSCI通信のビットレートは自動調整可能
	USB（ユーザ）ブートモード	• ユーザブートマットから起動し、ユーザマットの書き換えが可能 • 出荷時、ユーザブートマットにはUSBブートプログラムが書かれており、USBを使用してユーザマットの書き換えが可能 • ユーザブートマットを書き替えることにより、任意のインタフェースを使用してユーザマットの書き換えが可能
	ユーザプログラム	プログラムで、ユーザマットの書き換えが可能
オフボードプログラミング		PROMライタを使用して、ユーザマットとユーザブートマットの書き換えが可能
プロテクト機能	ソフトウェアプロテクト機能	FENTRYR.FENTRY0ビット、FWEPROR.FLWE[1:0]ビット、ロックビットにより意図しない書き換えを防ぐことが可能
	エラープロテクト機能	書き込み／消去中に異常動作を検出した場合、以後の書き込み／消去処理を禁止
書き込み時間／消去時間／書き換え回数		「41. 電気的特性」を参照

注1.　製品によりROM容量が異なります。

製品型名	ROM容量	ROMアドレス
R5F562x8	512Kバイト	FFF8 0000h～FFFF FFFFh
R5F562x7	384Kバイト	FFFA 0000h～FFFF FFFFh
R5F562x6	256Kバイト	FFFC 0000h～FFFF FFFFh



【記号説明】

FMODR	：	フラッシュモードレジスタ
FASTAT	：	フラッシュアクセスステータスレジスタ
FAEINT	：	フラッシュアクセスエラー割り込み許可レジスタ
DFLRE0	：	データフラッシュ読み出し許可レジスタ0
DFLRE1	：	データフラッシュ読み出し許可レジスタ1
DFLWE0	：	データフラッシュ書き込み／消去許可レジスタ0
DFLWE1	：	データフラッシュ書き込み／消去許可レジスタ1
FCURAME	：	FCU RAMイネーブルレジスタ
FSTATR0	：	フラッシュステータスレジスタ0
FSTATR1	：	フラッシュステータスレジスタ1
FENTRYR	：	フラッシュP/Eモードエントリレジスタ
FRESETR	：	フラッシュリセットレジスタ
FCMDR	：	FCUコマンドレジスタ
FRDYIE	：	フラッシュレディ割り込み許可レジスタ
FCPSR	：	FCU処理切り替えレジスタ
DFLBCCNT	：	データフラッシュブランクチェック制御レジスタ
DFLBCSTAT	：	データフラッシュブランクチェックステータスレジスタ
PCKAR	：	周辺クロック通知レジスタ
FIFERR	：	フラッシュインタフェースエラー割り込み
FRDYI	：	フラッシュレディ割り込み

図 38.1　ROM のブロック図

表 38.2 に ROM 関連の入出力端子を示します。

表38.2　ROM関連の入出力端子

端子名	入出力	機能
PF2/RxD1-B（176ピン版） P30/RxD1（145/144/100/85ピン版）	入力	ブートモード時に使用。SCIの受信データ（ホスト通信用）
PF0/TxD1-B（176ピン版） P26/TxD1（145/144/100/85ピン版）	出力	ブートモード時に使用。SCIの送信データ（ホスト通信用）
MD1、MD0	入力	RX62N、RX621グループの動作モードを設定
USB0_DP、USB0_DM	入出力	USBデータ入出力（USBブートモードで使用）
P16/USB0_VBUS	入力	USBケーブルの接続／切断検出（USBブートモードで使用）
P35	入力	USBバスパワーモード／セルフパワーモード設定 （USBブートモードで使用）
P14/USB0_DPUPE-B	出力	D+プルアップ制御（USBブートモードで使用）

38.2　レジスタの説明

表 38.3 に ROM 関連のレジスター覧を示します。一部のレジスタはデータフラッシュ関連のビットも持ちますが、本章では ROM 関連のビット機能のみ説明します。データフラッシュ関連のビット機能の詳細は、「39.　データフラッシュ（データ格納用フラッシュメモリ）」の「39.2　レジスタの説明」を参照してください。

ROM 関連のレジスタは、リセットによって初期化されます。

表38.3　ROM関連のレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	00h	007F C402h	8
フラッシュアクセスステータスレジスタ	FASTAT	00h	007F C410h	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	9Bh	007F C411h	8
フラッシュレディ割り込み許可レジスタ	FRDYIE	00h	007F C412h	8
FCU RAMイネーブルレジスタ	FCURAME	0000h	007F C454h	16
フラッシュステータスレジスタ0	FSTATR0	80h	007F FFB0h	8
フラッシュステータスレジスタ1	FSTATR1	0xh	007F FFB1h	8
フラッシュ P/Eモードエントリレジスタ	FENTRYR	0000h	007F FFB2h	16
フラッシュプロテクトレジスタ	FPROTR	0000h	007F FFB4h	16
フラッシュリセットレジスタ	FRESETR	0000h	007F FFB6h	16
FCUコマンドレジスタ	FCMDR	FFFFh	007F FFBAh	16
FCU処理切り替えレジスタ	FCPSR	0000h	007F FFC8h	16
フラッシュ P/Eステータスレジスタ	FPESTAT	0000h	007F FFCCh	16
周辺クロック通知レジスタ	PCKAR	0000h	007F FFE8h	16
フラッシュライトイレースプロテクトレジスタ	FWEPROR	02h	0008 C289h	8

38.2.1 フラッシュモードレジスタ（FMODR）

アドレス　007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDMD	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FRDMD	FCUリードモード選択ビット	0：メモリ領域リード方式 ROMロックビットリードモードでROMのロックビットを読む場合に設定します 1：レジスタリード方式 ロックビットリード2コマンドを使用してROMのロックビットを読む場合に設定します	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FMODR レジスタは、ロックビットの読み出し方法を指定するレジスタです。

内蔵 ROM が無効なモードでは FMODR レジスタの読み出しデータは 00h になり、書き込みはできません。

FMODR レジスタは、リセットによって初期化されます。

FRDMD ビット（FCU リードモード選択ビット）

ロックビットの読み出し方法を指定するビットです。

データフラッシュのブランクチェックコマンド使用時は、レジスタリード方式に設定する必要があります。詳細は「39.　データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

38.2.2 フラッシュアクセスステータスレジスタ（FASTAT）

アドレス　007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	データフラッシュ書き込み／消去プロテクト違反ビット	「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/(W)（注）
b1	DFLRPE	データフラッシュリードプロテクト違反ビット	「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/(W)（注）
b2	—	（予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAE	データフラッシュアクセス違反ビット	「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/(W)（注）
b4	CMDLK	FCUコマンドロックビット	0：FCUはコマンドロック状態ではない 1：FCUはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAE	ROMアクセス違反ビット	0：ROMアクセスエラーなし 1：ROMアクセスエラーあり	R/(W)（注）

注. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTATレジスタは、ROM/データフラッシュに対するアクセス違反の有無を確認するためのレジスタです。

内蔵 ROM が無効なモードでは FASTAT レジスタの読み出しデータは 00h になり、書き込みはできません。FASTAT レジスタのいずれかのビットが “1” になると、FCU はコマンドロック状態になります（「38.8.2 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTAT レジスタを 10h に設定した後、FCU にステータスレジスタクリアコマンドを発行する必要があります。

FASTAT レジスタは、リセットによって初期化されます。

CMDLK ビット（FCU コマンドロックビット）

FCU がコマンドロック状態であることを示すビットです（「38.8.2 エラープロテクト」を参照）。

[“1” になる条件]

- FCU がエラーを検出してコマンドロック状態に遷移した後

[“0” になる条件]

- FASTAT レジスタが 10h の状態で、FCU がステータスレジスタクリアコマンドを発行した後

ROMAE ビット（ROM アクセス違反ビット）

ROM に対するアクセス違反の有無を示すビットです。

ROMAE ビットが “1” になると、FSTATR0.ILGLERR ビットが “1” になり、FCU はコマンドロック状態になります。

[“1” になる条件]

- FENTRYR.FENTRY0 ビットが “1” かつ ROM P/E ノーマルモードの状態で、ROM 書き込み／消去用アドレス 00F8 0000h ～ 00FF FFFFh に対してリードアクセスを発行
- FENTRY0 ビットが “0” の状態で、ROM 書き込み／消去用アドレス 00F8 0000h ～ 00FF FFFFh に対するアクセスを発行
- FENTRYR レジスタをセットして ROM P/E モードに移行した状態で、ROM 読み出し用アドレス FFF8 0000h ～ FFFF FFFFh に対してリードアクセスを発行

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

38.2.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

アドレス　007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
リセット後の値	1	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	データフラッシュ書き込み／消去プロテクト違反割り込み許可ビット	「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/W
b1	DFLRPEIE	データフラッシュリードプロテクト違反割り込み許可ビット	「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAEIE	データフラッシュアクセス違反割り込み許可ビット	「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	0：FASTAT.CMDLKビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.CMDLKビット=1で、FIFERR割り込み要求が発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	0：FASTAT.ROMAEビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.ROMAEビット=1で、FIFERR割り込み要求が発生する	R/W

FAEINT レジスタは、フラッシュインタフェースエラー割り込み（FIFERR）の出力許可／禁止を設定するためのレジスタです。

内蔵 ROM が無効なモードでは FAEINT レジスタの読み出しデータは 00h になり、書き込みはできません。

FAEINT レジスタは、リセットによって初期化されます。

CMDLKIE ビット（FCU コマンドロック割り込み許可ビット）

FCU コマンドロックが発生し、FASTAT.CMDLK ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可／禁止するためのビットです。

ROMAEIE ビット（ROM アクセス違反割り込み許可ビット）

ROM アクセス違反が発生し、FASTAT.ROMAE ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可／禁止するためのビットです。

38.2.4 FCU RAM イネーブルレジスタ（FCURAME）

アドレス　007F C454h

	b15	b14	b13	b12	b11	b10	b9	b8
	KEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FCRME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCRME	FCU RAM許可ビット	0：FCU RAMへのアクセス禁止 1：FCU RAMへのアクセス許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	FCRMEビットの書き換えの可否を制御します	R/(W) （注）

注．　書き込みデータは保持されません。

FCURAME レジスタは、FCU RAM 領域へのアクセスを許可／禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵ROMが無効なモードではFCURAMEレジスタの読み出しデータは00hになり、書き込みはできません。

FCURAME レジスタは、リセットによって初期化されます。

FCRME ビット（FCU RAM 許可ビット）

FCU RAM へのアクセスを許可／禁止するためのビットです。

FCRME ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが C4h の場合のみ有効です。FCU RAM に書く場合は、FENTRYR レジスタを 0000h に設定して FCU を停止させてください。

KEY[7:0] ビット（キーコード）

FCRME ビットの書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

38.2.5 フラッシュステータスレジスタ 0（FSTATR0）

アドレス　007F FFB0h

	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRGSPD	書き込みサスペンドステータスビット	0：下記以外の状態 1：書き込みの中断処理中、または書き込みサスペンド中	R
b1	ERSSPD	消去サスペンドステータスビット	0：下記以外の状態 1：消去の中断処理中、または消去サスペンド中	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	SUSRDY	サスペンドレディビット	0：P/Eサスペンドコマンド受け付け不可能 1：P/Eサスペンドコマンド受け付け可能	R
b4	PRGERR	書き込みエラービット	0：書き込み処理は正常終了 1：書き込み処理中にエラー発生	R
b5	ERSERR	消去エラービット	0：消去処理は正常終了 1：消去処理中にエラー発生	R
b6	ILGLERR	イリーガルコマンドエラービット	0：FCUは不正なコマンドや、不正なROM/データフラッシュアクセスを検出していない 1：FCUは不正なコマンドや、不正なROM/データフラッシュアクセスを検出	R
b7	FRDY	フラッシュレディビット	0：書き込み／消去処理中、 書き込み／消去の中断処理中、 ロックビットリード2コマンド処理中、 周辺クロック通知コマンド処理中 データフラッシュのブランクチェック処理中 （「39.　データフラッシュ（データ格納用フラッシュメモリ）」を参照） 1：上記の処理を実行していない	R

FSTATR0 レジスタは、FCU の状態を確認するためのレジスタです。

内蔵 ROM が無効なモードでは、FSTATR0 レジスタの読み出しデータは 00h になります。

FSTATR0 レジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。

PRGSPD ビット（書き込みサスペンドステータスビット）

FCU が書き込みの中断処理中、または書き込みサスペンド状態に遷移したことを示すビットです。詳細は「38.7　サスペンド動作」を参照してください。

[“1” になる条件]

- 書き込みの中断処理を開始した

[“0” になる条件]

- レジュームコマンドを受け付けた

ERSSPD ビット（消去サスペンドステータスビット）

FCU が消去の中断処理中または消去サスペンド状態に遷移したことを示すビットです。詳細は「38.7　サスペンド動作」を参照してください。

[“1” になる条件]

- 消去の中断処理を開始した

[“0” になる条件]

- レジュームコマンドを受け付けた

SUSRDY ビット（サスペンドレディビット）

FCU が P/E サスペンドコマンドを受け付け可能であるかどうかを示すビットです。

[“1” になる条件]

- 書き込み／消去処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した

[“0” になる条件]

- P/E サスペンドコマンドを受け付けた
- 書き込み／消去処理中に、コマンドロック状態に遷移した

PRGERR ビット（書き込みエラービット）

FCU による ROM/ データフラッシュ書き込み処理の結果を示すビットです。

PRGERR ビットが “1” の場合には、FCU はコマンドロック状態になります。詳細は「38.8.2　エラープロテクト」を参照してください。

[“1” になる条件]

- 書き込み中にエラーが発生した
- ロックビットでプロテクトされた領域に対する書き込みコマンドを発行した

[“0” になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

ERSERR ビット（消去エラービット）

FCU による ROM/ データフラッシュ消去処理の結果を示すビットです。

ERSERR ビットが “1” の場合には、FCU はコマンドロック状態になります。詳細は「38.8.2　エラープロテクト」を参照してください。

[“1” になる条件]

- 消去中にエラーが発生した
- ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行した

[“0” になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

ILGLERR ビット（イリーガルコマンドエラービット）

FCU が不正なコマンドや､不正な ROM/ データフラッシュアクセスなどを検出したことを示すビットです。

ILGLERR ビットが “1” の場合には、FCU はコマンドロック状態になります。詳細は「38.8.2　エラープロテクト」を参照してください。

[“1” になる条件]

- FCU が不正なコマンドを検出した
- FCU が不正な ROM/ データフラッシュアクセスを検出した
  （FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットのいずれかが “1”）
- FENTRYR レジスタの設定が不正

[“0” になる条件]

- FASTAT レジスタが 10h の状態で、FCU がステータスレジスタクリアコマンドを発行した後

FRDY ビット（フラッシュレディビット）

FCU の処理状態を確認するためのビットです。

38.2.6 フラッシュステータスレジスタ 1（FSTATR1）

アドレス　007F FFB1h

	b7	b6	b5	b4	b3	b2	b1	b0
	FCUERR	—	—	FLOCKST	—	—	—	—
リセット後の値	0	0	0	0	0	0	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定です。書き込みは無効になります	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	FLOCKST	ロックビットステータスビット	0：プロテクト状態 1：非プロテクト状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	FCUERR	FCUエラービット	0：FCUの処理でエラー未発生 1：FCUの処理でエラー発生	R

FSTATR1 レジスタは、FCU の状態を確認するためのレジスタです。

内蔵 ROM が無効なモードでは、FSTATR1 レジスタの読み出しデータは 00h になります。

FSTATR1 レジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。

FLOCKST ビット（ロックビットステータスビット）

ロックビットリード 2 コマンドを使用した場合に、ロックビットの読み出したデータが反映されるビットです。

ロックビットリード 2 コマンド発行後に、FSTATR0.FRDY ビットが “1” になった時点で、FLOCKST ビットに有効なデータが格納されます。FLOCKST ビットの値は、次のロックビットリード 2 コマンドの終了まで保持されます。

FCUERR ビット（FCU エラービット）

FCU 内部の処理においてエラーが発生したことを示すビットです。

FCUERR ビットが “1” の場合には、FRESETR.FRESET ビットを “1” にして、FCU を初期化してください。また、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。

38.2.7 フラッシュレディ割り込み許可レジスタ（FRDYIE）

アドレス　007F C412h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0：FRDYI割り込み要求の発生を禁止 1：FRDYI割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRDYIE レジスタは、フラッシュレディ割り込み（FRDYI）の出力許可／禁止を設定するためのレジスタです。

内蔵 ROM が無効なモードでは、FRDYIE レジスタの読み出しデータは 00h になり、書き込みはできません。

FRDYIE レジスタは、リセットによって初期化されます。

FRDYIE ビット（フラッシュレディ割り込み許可ビット）

書き込み／消去処理が終了した場合の FRDYI 割り込み要求の発生を許可／禁止するためのビットです。

FRDYIE ビットが “1” の設定で、FCU コマンドの実行が完了した場合（FSTATR0.FRDY ビットが “0” から “1” に遷移した場合）、フラッシュレディ割り込み要求（FRDYI）が発生します。

38.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR）

アドレス　007F FFB2h

	b15	b14	b13	b12	b11	b10	b9	b8
	FEKEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	FENTRYD	—	—	—	—	—	—	FENTRY0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0：ROM 512K/384K/256Kバイトは ROM リードモード 1：ROM 512K/384K/256Kバイトは ROM P/Eモード	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	データフラッシュ P/Eモードエントリビット	「39. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYD、FENTRY0ビットの書き換えの可否を制御します	R/(W) （注1）

注1.　書き込みデータは保持されません。

FENTRYR レジスタは、ROM/ データフラッシュを P/E モードに設定するために使用するレジスタです。

ROM/ データフラッシュを P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 ビットのいずれかのビットを “1” にする必要があります。ただし、これらのビットを複数 “1” にした場合、FSTATR0.ILGLERR ビットが “1” になり、FCU はコマンドロック状態になります。

FENTRYR をアクセスして、ROM リードモードに遷移させる際には、FENTRYR を書き込み後、当該レジスタを読み出して設定値になっていることを確認後、ROM リード動作を行ってください。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込みが有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、FENTRYR レジスタの読み出しデータは 0000h になり、書き込みはできません。

FENTRYR レジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。

FENTRY0 ビット（ROM P/E モードエントリビット 0）

ROM 512K バイト（読み出し用アドレス：FFF8 0000h ～ FFFF FFFFh、書き込み／消去用アドレス：00F8 0000h ～ 00FF FFFFh）を P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM が有効なモード
- FSTATR0.FRDY ビットが “1”
- ワードアクセスで FEKEY[7:0] ビットに AAh を書き込み

[“1” になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが 0000h の状態で、FENTRY0 ビットに “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが AAh 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRY0 ビットに “0” を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが 0000h 以外の状態で、FENTRYR レジスタに書いた場合

FEKEY[7:0] ビット（キーコード）

FENTRYD、FENTRY0 ビットの書き換えの可否を制御します。

FEKEY[7:0] ビットへの書き込みデータは保持されません。

38.2.9 フラッシュプロテクトレジスタ（FPROTR）

アドレス　007F FFB4h

	b15	b14	b13	b12	b11	b10	b9	b8
	FPKEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FPROTCN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0：ロックビットによるプロテクト有効 1：ロックビットによるプロテクト無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FPKEY[7:0]	キーコード	FPROTCNビットの書き換えの可否を制御します	R/(W) （注）

注．　書き込みデータは保持されません。

FPROTR レジスタは、ロックビットによる書き込み／消去プロテクト機能の有効／無効を設定するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

内蔵ROMが無効なモードでは、FPROTRレジスタの読み出しデータは0000hになり、書き込みはできません。

FPROTR レジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。

FPROTCN ビット（ロックビットプロテクトキャンセルビット）

ロックビットによる書き込み／消去プロテクトを有効／無効にするためのビットです。

[“1” になる条件]

- FENTRYRレジスタの値が0000h以外の状態で、ワードアクセスでFPKEY[7:0]ビットに55h、FPROTCNビットに “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FPKEY[7:0] ビットが 55h 以外の状態で書いた場合
- ワードアクセスで FPKEY[7:0] ビットに 55h、FPROTCN ビットに “0” を書いた場合
- FENTRYR レジスタの値が 0000h の場合

FPKEY[7:0] ビット（キーコード）

FPROTCN ビットの書き換えの可否を制御します。

FPKEY[7:0] ビットへの書き込みデータは保持されません。

38.2.10 フラッシュリセットレジスタ（FRESETR）

アドレス　007F FFB6h

	b15	b14	b13	b12	b11	b10	b9	b8
	FRKEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRESET
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0：FCUはリセットされない 1：FCUはリセットされる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FRKEY[7:0]	キーコード	FRESETビットの書き換えの可否を制御します	R/(W)（注）

注.　書き込みデータは保持されません。

FRESETR レジスタは、FCU の初期化のために使用するレジスタです。

ワードアクセスで上位バイトに特定の値を書いた場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、FRESETR レジスタの読み出しデータは 0000h になり、書き込みはできません。

FRESETR レジスタは、リセットによって初期化されます。

FRESET ビット（フラッシュリセットビット）

FRESET ビットを “1” にすると、ROM/ データフラッシュの書き込み／消去動作が強制終了され、FCU が初期化されます。

書き込み／消去中の ROM/ データフラッシュのメモリには、高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCU を初期化する場合には、FRESET ビットを “1” にした状態を tRESW2（「41.　電気的特性」を参照）保持してください。FRESET ビットを “1” にしている期間は、ROM/データフラッシュへの読み出しを禁止してください。また、FRESET ビットが “1” の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。

FRESET ビットへの書き込みは、ワードアクセスで FRKEY[7:0] ビットが CCh の場合のみ有効です。

FRKEY[7:0] ビット（キーコード）

FRESET ビットの書き換えの可否を制御します。

FRKEY[7:0] ビットへの書き込みデータは保持されません。

38.2.11 FCU コマンドレジスタ（FCMDR）

アドレス　007F FFBAh

	b15	b14	b13	b12	b11	b10	b9	b8
	CMDR[7:0]							
リセット後の値	1	1	1	1	1	1	1	1

	b7	b6	b5	b4	b3	b2	b1	b0
	PCMDR[7:0]							
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンド	FCUが受け付けた1つ前のコマンドを格納します	R
b15-b8	CMDR[7:0]	コマンド	FCUが受け付けた最新のコマンドを格納します	R

FCMDR レジスタは、FCU が受け付けたコマンドを格納するレジスタです。

内蔵 ROM が無効なモードでは、FCMDR レジスタの読み出しデータは 0000h になり、書き込みは無効化されます。

FCMDR は、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。

表 38.4 に各コマンド受け付け後の FCMDR レジスタの状態を示します。ブランクチェックの内容は、データフラッシュの「39.6　データフラッシュへの書き込み／消去」を参照してください。

表 38.4　各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
P/E ノーマルモード移行	FFh	前回コマンド
ステータスリードモード移行	70h	前回コマンド
ロックビットリードモード移行（ロックビットリード1）	71h	前回コマンド
周辺クロック通知	E9h	前回コマンド
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/E サスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスレジスタクリア	50h	前回コマンド
ロックビットリード2／ブランクチェック	D0h	71h
ロックビットプログラム	D0h	77h

38.2.12 FCU 処理切り替えレジスタ（FCPSR）

アドレス　007F FFC8h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ESUSPMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	消去サスペンドモードビット	0：サスペンド優先モード 1：消去優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCPSR レジスタは、FCU の消去処理のサスペンド方法を選択するためのレジスタです。
内蔵 ROM が無効なモードでは、FCPSR レジスタの読み出しデータは 0000h になり、書き込みはできません。
FCPSR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

ESUSPMD ビット（消去サスペンドモードビット）

FCU が ROM/ データフラッシュの消去処理を実行中に、P/E サスペンドコマンドが発行された場合の消去中断処理モードを選択するためのビットです。詳細は「38.7　サスペンド動作」を参照してください。

38.2.13 フラッシュ P/E ステータスレジスタ（FPESTAT）

アドレス　007F FFCCh

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	PEERRST[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST[7:0]	P/Eエラーステータスビット	01h：ロックビットでプロテクトされた領域に対する書き込みエラー 02h：ロックビットプロテクト以外の要因による書き込みエラー 11h：ロックビットでプロテクトされた領域に対する消去によるエラー 12h：ロックビットプロテクト以外の要因による消去エラー 上記以外は予約	R
b15-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

FPESTAT レジスタは、ROM/ データフラッシュの書き込み／消去処理結果を示すレジスタです。

内蔵 ROM が無効なモードでは、FPESTAT レジスタの読み出しデータは 0000h になり、書き込みはできません。

FPESTAT レジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。

PEERRST[7:0] ビット（P/E エラーステータスビット）

ROM/データフラッシュの書き込み／消去処理中にエラーが発生した場合のエラー原因を示すビットです。

PEERRST[7:0] ビットの値は、FSTATR0.ERSERR ビット、または FSTATR0.PRGERR ビットが “1” の状態で、かつ FSTATR0.FRDY ビットが “1” になった時点でのみ有効です。ERSERR ビットと PRGERR ビットが “0” の場合の PEERRST[7:0] ビットには、過去に発生したエラー原因の値が保持されます。

38.2.14 周辺クロック通知レジスタ（PCKAR）

アドレス　007F FFE8h

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	PCKA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	周辺クロック通知ビット	ROM/データフラッシュへの書き込み／消去時に周辺クロック（PCLK）を設定するためのビットです	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PCKAR レジスタは、ROM/ データフラッシュの書き込み／消去時に周辺クロック（PCLK）の周波数設定情報をシーケンサに通知するためのレジスタです。この設定は、書き込み／消去時間の制御に使用します。

内蔵ROMが無効なモードでは、PCKARレジスタの読み出しデータは0000hになり、書き込みはできません。

PCKARレジスタは、リセットもしくはFRESETR.FRESETビットを“1”にすることによって初期化されます。

PCKA[7:0] ビット（周辺クロック通知ビット）

ROM/ データフラッシュの書き込み／消去時に、周辺クロック（PCLK）を設定するためのビットです。

書き込み／消去を行う前に PCKA[7:0] ビットに PCLK の周波数を設定して、周辺クロック通知コマンドを発行してください。ROM/ データフラッシュの書き込み／消去中は、周波数を変更しないでください。

設定値の算出は以下のようにしてください。

- MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0] ビットに書く。
  具体例として周辺クロックの動作周波数が 35.9MHz の場合には以下のようになります。
- 35.9 を切り上げ
- 36 を 2 進数変換し、上位は 00h で、下位は 24h（0010 0100b）を PCKA[7:0] ビットに設定する。

注 1.　PCKA[7:0] ビットを 8MHz ～ 50MHz の範囲外に設定した場合は、ROM/ データフラッシュに対する書き換えコマンドを発行しないでください。

注 2.　実周波数と異なる周波数を PCKA[7:0] ビットに設定した場合、ROM/ データフラッシュのデータが破壊される可能性があります。

注 3.　PCKA[7:0] ビットを活用しても、書き換え時間はある程度周波数に依存することをご了承ください。

38.2.15 フラッシュライトイレースプロテクトレジスタ（FWEPROR）

アドレス　0008 C289h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュ書き込み/消去ビット	b1 b0 0 0：書き込み/消去不可能 0 1：書き込み/消去可能 1 0：書き込み/消去不可能（初期値） 1 1：書き込み/消去不可能	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FWEPROR レジスタは、フラッシュライトイレース実行をソフト的にプロテクトするための読み出し／書き込み可能なレジスタです。

FWEPROR レジスタは、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード時にも初期化されます。

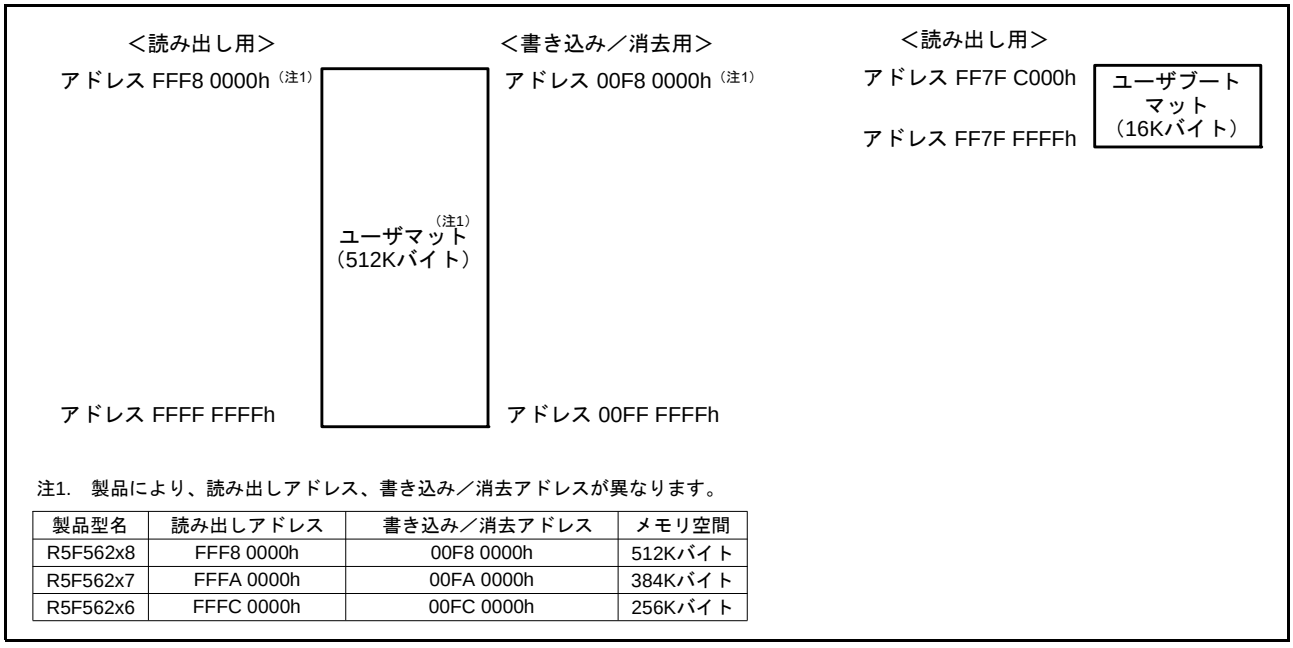
FLWE[1:0] ビット（フラッシュ書き込み / 消去ビット）

フラッシュ書き込み / 消去実行をソフトウェアによってプロテクトします。

38.3 ROM のメモリマット構成

RX62N グループ、RX621 グループの ROM は、最大 512K バイトのユーザマットと 16K バイトのユーザブートマットから構成されています。これらのマットのアドレスを図 38.2 に示します。

ユーザマットのアドレスは、読み出し時と書き込み／消去時で異なりますので注意してください。



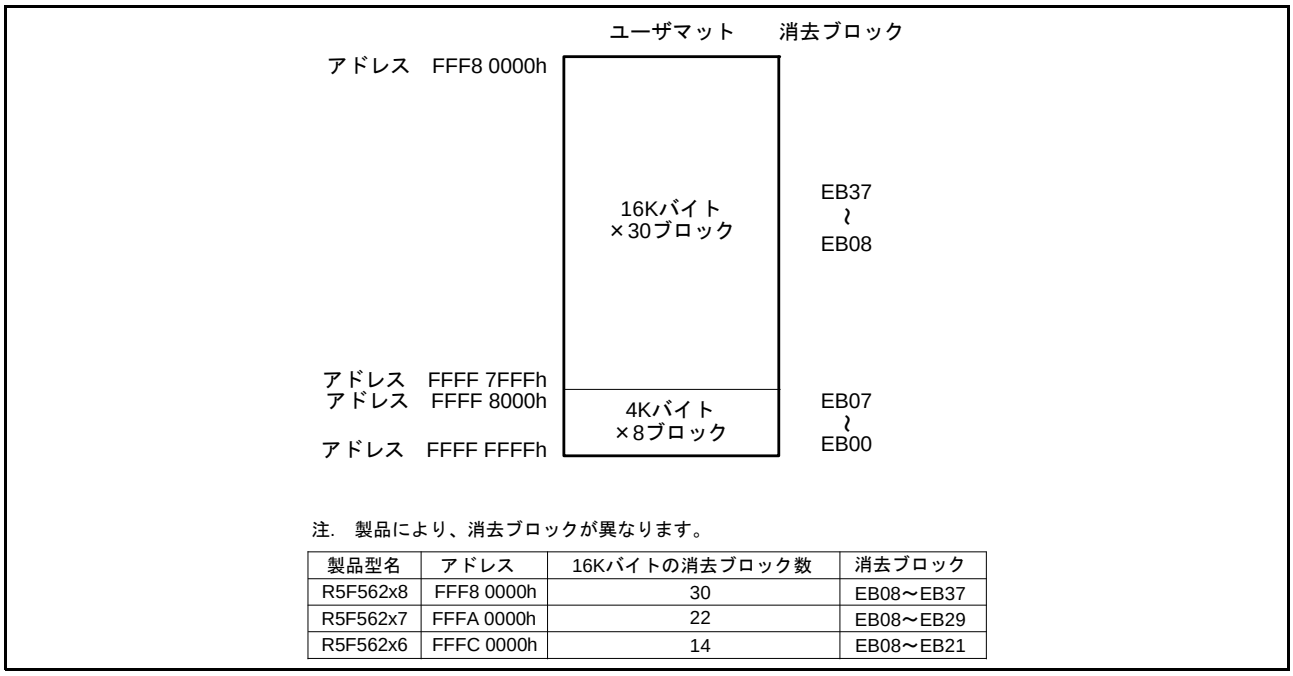
注1. 製品により、読み出しアドレス、書き込み／消去アドレスが異なります。

製品型名	読み出しアドレス	書き込み／消去アドレス	メモリ空間
R5F562x8	FFF8 0000h	00F8 0000h	512Kバイト
R5F562x7	FFFA 0000h	00FA 0000h	384Kバイト
R5F562x6	FFFC 0000h	00FC 0000h	256Kバイト

図 38.2 ROM のメモリマット構成

38.4 ブロック構成

ユーザマットの消去ブロックの構成を図 38.3 に示します。ユーザマットは 4K バイト（8 ブロック）、16K バイト（30 ブロック）に分割されていて、消去はこのブロック単位で行います。書き込みは、下位アドレスが 00h で始まる 256 バイト単位で行います。



注. 製品により、消去ブロックが異なります。

製品型名	アドレス	16Kバイトの消去ブロック数	消去ブロック
R5F562x8	FFF8 0000h	30	EB08～EB37
R5F562x7	FFFA 0000h	22	EB08～EB29
R5F562x6	FFFC 0000h	14	EB08～EB21

図 38.3 ユーザマットの消去ブロックの構成

38.5 ROM 関連の動作モード

図 38.4 に RX62N グループ、RX621 グループの動作モード遷移図を示します。

MD1、MD0 端子を設定し、リセット解除を行うと図 38.4 のように移行します。

MD1、MD0 端子の設定値と RX62N グループ、RX621 グループの動作モードの関係については、「3. 動作モード」を参照してください。

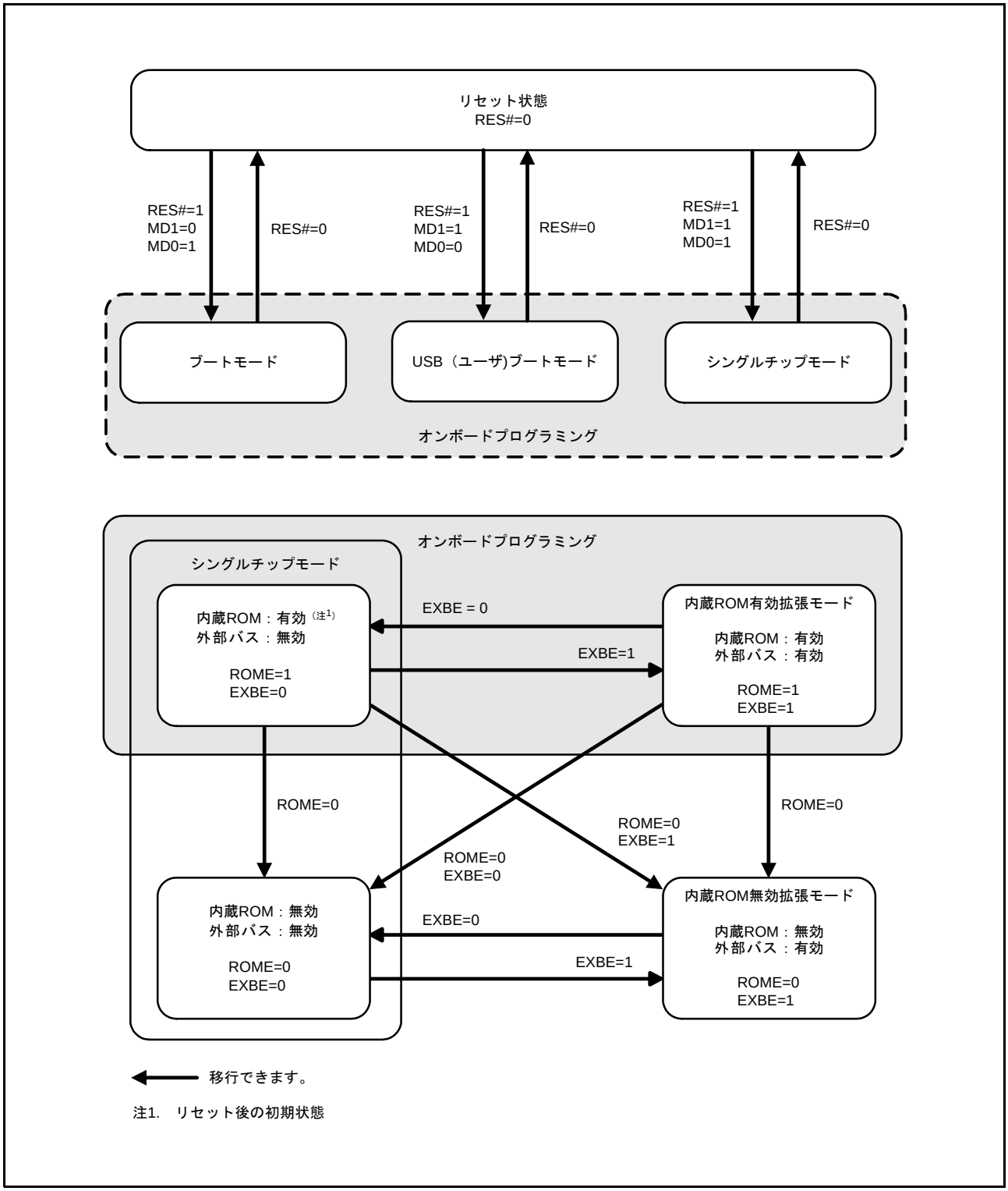


図 38.4　ROM に関する動作モード遷移図

ブートモード／ USB（ユーザ）ブートモード／シングルチップモード（内蔵 ROM 有効）／内蔵 ROM 有効拡張モードでは、オンボードで ROM の読み出し／書き込み／消去を実施できます。

各モードで、書き込み／消去可能マット、リセット時の起動マット等が異なります。モードの相違点を表 38.5 に示します。

表38.5　各モードの相違点

項目	ブートモード	USB（ユーザ）ブートモード	シングルチップモード（内蔵ROM有効）／内蔵ROM有効拡張モード
書き込み／消去環境	オンボードプログラミング		
書き込み／消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット
ブロック分割消去	○（注1）	○（注1）	○
リセット時の起動マット	組み込みプログラム格納マット（注2）	ユーザブートマット	ユーザマット

注1.　起動時に全面消去される場合があります。その後、特定ブロックの消去ができます。詳細は「38.9.2　IDコードプロテクト」、「38.9.4　ブートモードの状態遷移」、「38.10.2　状態遷移」を参照してください。
注2.　ユーザは使用できません。

- ユーザブートマットの書き込み／消去は、ブートモードでのみ可能です。
- ブートモードでは、ホストからSCI経由でのユーザマット／ユーザブートマット／データマットへの書き込み／読み出しが可能になります。
- USB（ユーザ）ブートモードは、ユーザブートマットから起動します。製品出荷時、ユーザブートマットには USB ブートプログラムが格納されており、USB を使用してユーザマット／データマットの書き込み／読み出しが可能です。また、ブートモードでユーザブートマットを書き換えることにより、任意のインタフェースでユーザマット／データマットの書き込み／読み出しが可能になります。
- ブートモードではブートモード用組み込みプログラムで内蔵 RAM を使用します。このため、内蔵 RAM のデータは保持されません。

38.6 ROM への書き込み／消去

ROM への書き込み／消去は、書き込み／消去用の専用シーケンサ（FCU）にコマンド（FCU コマンド）を発行することで行います。FCU には、5 種類のモードがあります。書き込み／消去を行うためには、モードを移行させ、その後、書き込み／消去用のコマンドを発行することで行います。

ROM の書き込み／消去に必要なモード移行とコマンド体系について以下に説明します。これらはブートモード、USB（ユーザ）ブートモード、シングルチップモード（内蔵 ROM 有効）、内蔵 ROM 有効拡張モードで共通です。

38.6.1 FCU のモード

FCU には、5 種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FCU コマンドで行います。図 38.5 に FCU のモード遷移図を示します。

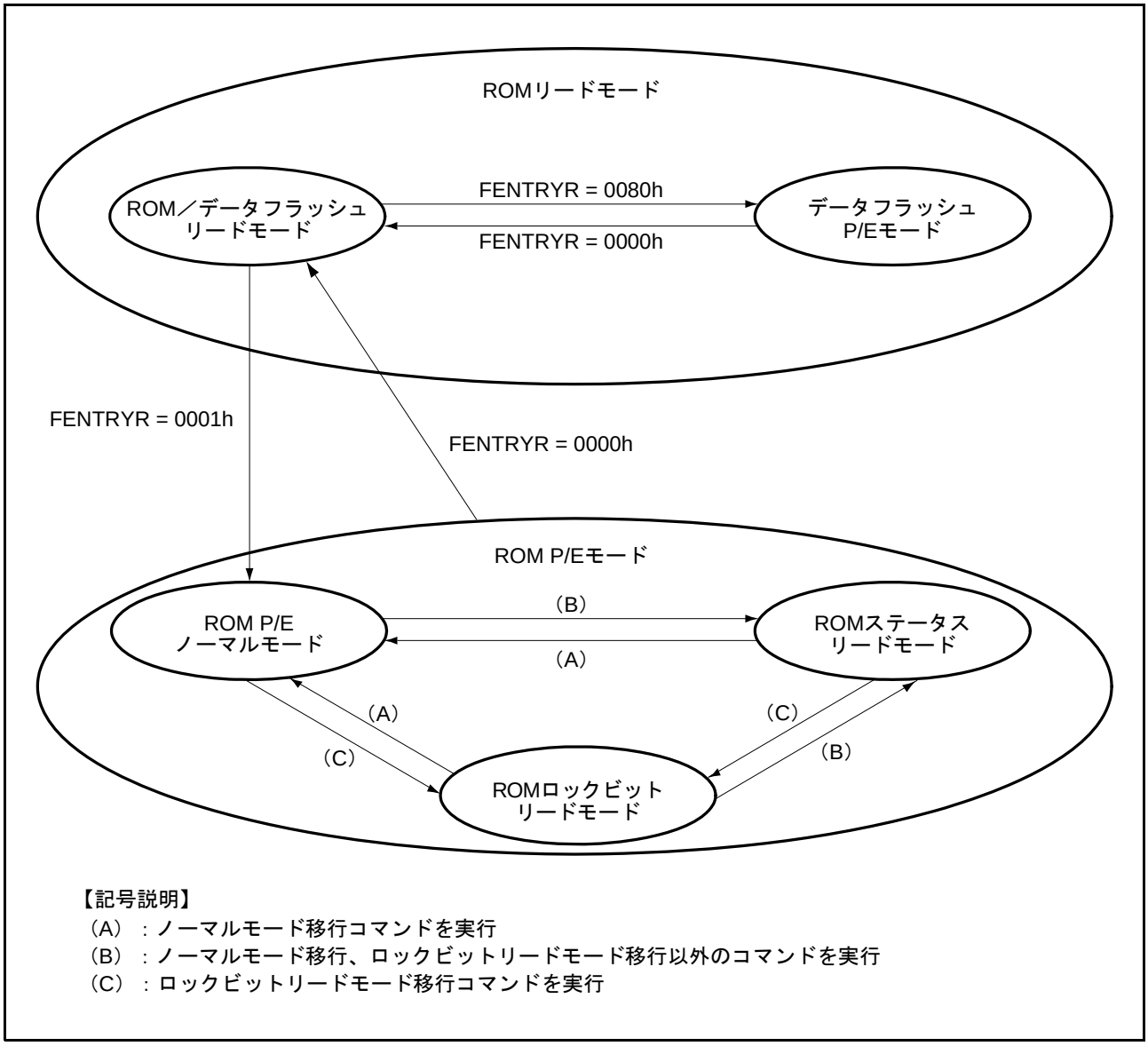


図 38.5　FCU のモード遷移図（ROM 関連）

38.6.1.1 ROM リードモード

ROM リードモードは、ROM の高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、ICLK 1 サイクルの高速読み出しが可能です。

ROM リードモードには、ROM ／データフラッシュリードモードと、データフラッシュ P/E モードの 2 種類があります。

(1) ROM ／データフラッシュリードモード

ROM ／データフラッシュリードモードは、ROM およびデータフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRY0 ビットを “0”、かつ FENTRYR.FENTRYD ビットを “0” にした場合にこのモードに移行します。

(2) データフラッシュ P/E モード

データフラッシュ P/E モードは、データフラッシュに対する書き込み／消去を行うモードです。ROM の高速読み出しは可能です。このモードはデータフラッシュに対する FCU コマンドは受け付けますが、ROM に対する FCU コマンドは受け付けません。FENTRYR.FENTRY0 ビットを “0”、かつ FENTRYR.FENTRYD ビットを “1” にした場合にこのモードに移行します。

データフラッシュ P/E モードの詳細は、「39. データフラッシュ（データ格納用フラッシュメモリ）」の「39.6.1 FCU のモード」」を参照してください。

38.6.1.2 ROM P/E モード

ROM P/E モードは、ROM に対する書き込み／消去を行うモードです。ROM の高速読み出しはできません。読み出し用アドレスに対してリードアクセスを実行した場合、ROM アクセス違反が発生して FCU はコマンドロック状態になります（「38.8.2 エラープロテクト」を参照）。

ROM P/E モードには、ROM P/E ノーマルモード、ROM ステータスリードモード、ROM ロックビットリードモードの 3 種類のモードがあります。

(1) ROM P/E ノーマルモード

ROM P/E ノーマルモードは、ROM への書き込み／消去をする上で最初に移行するモードです。ROM リードモード時に FENTRYR.FENTRYD ビットを “0”、かつ FENTRYR.FENTRY 0 ビットを “1” にした場合、または ROM P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 38.8 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY0 ビットが “1” の状態で書き込み／消去用のアドレスに対してリードアクセスを実行した場合は、ROM アクセス違反が発生して FCU はコマンドロック状態になります（「38.8.2 エラープロテクト」を参照）。

(2) ROM ステータスリードモード

ROM ステータスリードモードは、ROM のステータスが読めるモードです。ROM P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。

FSTATR0.FRDY ビットが “0” の状態やエラー発生後のコマンドロック状態も、ROM ステータスリードモード中の状態です。表 38.8 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY 0 ビットが “1” の状態で、対応する書き込み／消去用のアドレスに対してリードアクセスを実行した場合は、FSTATR0 レジスタの値が読めます。

(3) ROM ロックビットリードモード

ROM ロックビットリードモードは、ROM への読み出しでロックビットが読めるモードです。ROM P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 38.8 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY 0 ビットが “1” の状態で、対応する書き込み／消去用のアドレスに対してリードアクセスを実行した場合は、読み出しデータの全ビットがアクセス先の消去ブロックのロックビット値になります。

38.6.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、書き込み / 消去を行うためのコマンドがあります。表 38.6 に ROM で使用可能な FCU コマンドの一覧を示します。

表38.6　FCUコマンド一覧（ROM関連）

コマンド	機能
P/Eノーマルモード移行	ノーマルモードに移行（「38.6.3　FCUのモードとコマンドの関係」を参照）
ステータスリードモード移行	ステータスリードモードに移行（「38.6.3　FCUのモードとコマンドの関係」を参照）
ロックビットリードモード移行（ロックビットリード1）	ロックビットリードモードに移行（「38.6.3　FCUのモードとコマンドの関係」を参照）
周辺クロック通知	周辺クロックの周波数を設定
プログラム	ROMの書き込み（256バイト単位）
ブロックイレーズ	ROMの消去（ブロック単位、ロックビットも同時に消去）
P/Eサスペンド	書き込み／消去の中断
P/Eレジューム	書き込み／消去の再開
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード2／ブランクチェック	指定した消去ブロックのロックビット読み出し（FSTATR1.FLOCKST ビットにロックビットを反映）／データフラッシュのブランクチェック
ロックビットプログラム	指定した消去ブロックのロックビットを書き込み

ロックビットリード 2 コマンドは、データフラッシュのブランクチェックコマンドを兼ねています。データフラッシュに対してロックビットリード2コマンドを発行した場合は、データフラッシュのブランクチェックが実行されます（「39.　データフラッシュ（データ格納用フラッシュメモリ）」を参照）。

FCU コマンドの発行は、ROM 書き込み／消去用のアドレスに対しライトアクセスを行うことで実現されます。表 38.7 に FCU コマンドのフォーマットを示します。表 38.7 に示したライトアクセスを FCU の特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。

FCU の特定条件下については「38.6.3　FCU のモードとコマンドの関係」を、各 FCU コマンドの使用方法については「38.6.4　FCU コマンド使用方法」を参照してください。

表38.7　　FCUコマンドのフォーマット

コマンド	バスサイクル数	1サイクル目		2サイクル目		3サイクル目		4～5サイクル目		6サイクル目		7～130サイクル目		131サイクル目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
P/Eノーマルモード移行	1	RA	FFh	–	–	–	–	–	–	–	–	–	–	–	–
ステータスリードモード移行	1	RA	70h	–	–	–	–	–	–	–	–	–	–	–	–
ロックビットリードモード移行（ロックビットリード1）	1	RA	71h	–	–	–	–	–	–	–	–	–	–	–	–
周辺クロック通知	6	RA	E9h	RA	03h	RA	0F0Fh	RA	0F0Fh	RA	D0h	–	–	–	–
プログラム	131	RA	E8h	RA	80h	WA	WDn	RA	WDn	RA	WDn	RA	WDn	RA	D0h
ブロックイレーズ	2	RA	20h	BA	D0h	–	–	–	–	–	–	–	–	–	–
P/Eサスペンド	1	RA	B0h	–	–	–	–	–	–	–	–	–	–	–	–
P/Eレジューム	1	RA	D0h	–	–	–	–	–	–	–	–	–	–	–	–
ステータスレジスタクリア	1	RA	50h	–	–	–	–	–	–	–	–	–	–	–	–
ロックビットリード2	2	RA	71h	BA	D0h	–	–	–	–	–	–	–	–	–	–
ロックビットプログラム	2	RA	77h	BA	D0h	–	–	–	–	–	–	–	–	–	–

【記号説明】　アドレスの列　RA：ROM 書き込み／消去用のアドレス
FENTRYR.FENTRY0 ビットが “1” の場合：00F8 0000h ～ 00FF FFFFh の任意アドレス
WA：ROM 書き込み先アドレス
書き込みデータ 256 バイトの先頭アドレス
BA：ROM 消去ブロックアドレス
対象消去ブロック内の任意アドレス（書き込み／消去用アドレスで指定）
データの列　WDn：書き込みデータ n ワード目（n=1 ～ 128）

38.6.3 FCU のモードとコマンドの関係

FCU の各モードは、モードごとに受け付け可能な FCU コマンドが決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。

表 38.8 に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「38.8.2 **エラープロテクト**」を参照）。

FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTATR0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値の論理和です。

表38.8　FCUのモード／状態と受け付け可能なコマンドの関係（ROM P/Eモード）

	P/Eノーマルモード			ステータスリードモード							ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み／消去の処理中	書き込み／消去の中断処理中	ロックビットリード2処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0.FRDYビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0.SUSRDYビット	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPDビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0.PRGSPDビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT.CMDLKビット	0	0	0	0	0	0	0	0	1	0	0	0	0
P/Eノーマルモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットリードモード移行（ロックビットリード1）	○	○	○	×	×	×	○	○	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	○	×	×	○
P/Eサスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×
P/Eレジューム	○	○	×	×	×	×	○	○	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	○	○	○	○	○	○	○
ロックビットリード2	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットプログラム	×	△	○	×	×	×	×	△	×	○	×	△	○

【記号説明】　○：受け付け可能、△：消去中断したブロック以外への書き込みのみ受け付け可能、×：受け付け不可能

38.6.4 FCU コマンド使用方法

FCU コマンドには、FCU のモードを移行するコマンド、実際に ROM に書き込み／消去を行うコマンド、エラー処理のコマンド、サスペンド／レジュームのコマンドがあります。以下に各コマンドの説明をします。それぞれのコマンドの受け付け可能モードおよび状態については、「38.6.3 FCU のモードとコマンドの関係」を参照してください。

38.6.4.1 モード移行

ここではモード移行に関するコマンドを説明します。各モード移行の関係は、図 38.5 を参照してください。

(1) ROM P/E モード移行方法

ROM 関連の FCU コマンドを実行するためには、ROM P/E モードに移行する必要があります。

ROMP/E モードに移行するためには、書き込み / 消去を行う ROM のアドレスに対応した FENTRYR.FENTRY 0 ビットを “1” にします。

書き込み／消去を行う場合は、FWEPROR レジスタにバイトで “01h” を書き込み、書き込み／消去可能状態にしてください（「38.2.15 フラッシュライトイレースプロテクトレジスタ（FWEPROR）」を参照）。

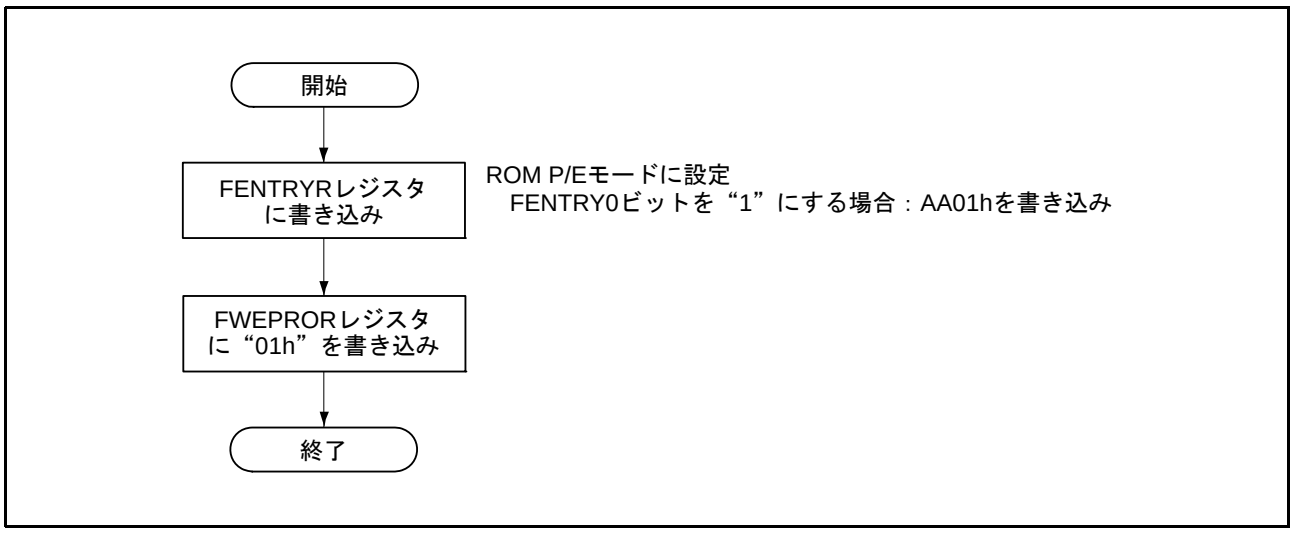


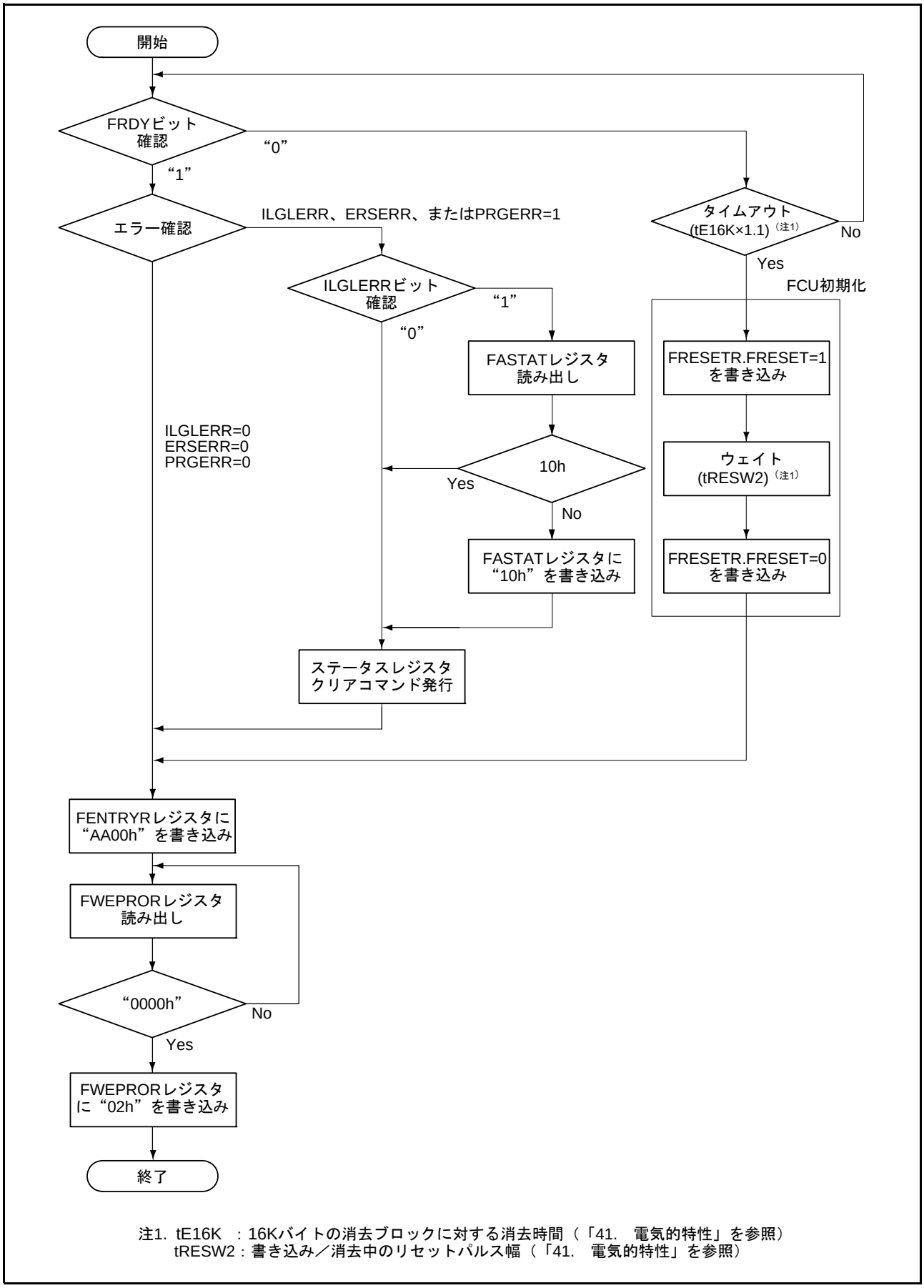
図 38.6 ROM P/E モード移行フロー

(2) ROM リードモード移行方法

ROM の高速読み出しを行うためには、FENTRYR.FENTRY 0 ビットを “0” にして、FCU を ROM リードモードに設定する必要があります。

また、FWEPROR レジスタにバイトで “02h” を書き込み、書き込み／消去不可能状態にする必要があります（「38.2.15 フラッシュライトイレースプロテクトレジスタ（FWEPROR）」を参照）。

ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。



注1. tE16K　：16Kバイトの消去ブロックに対する消去時間（「41.　電気的特性」を参照）
tRESW2：書き込み／消去中のリセットパルス幅（「41.　電気的特性」を参照）

図 38.7　ROM リードモード移行フロー

(3) ROM P/E ノーマルモード移行方法

ROM P/E ノーマルモードへの移行方法には、ROM リードモード時に FENTRYR レジスタを設定する方法（「38.6.1 FCU のモード」を参照）と、ROM P/E モード時にノーマルモード移行コマンドを発行する方法（図 38.8）があります。ノーマルモード移行コマンドは、FFh を ROM 書き込み／消去用のアドレスにバイト書き込みを行なうことで実施されます。

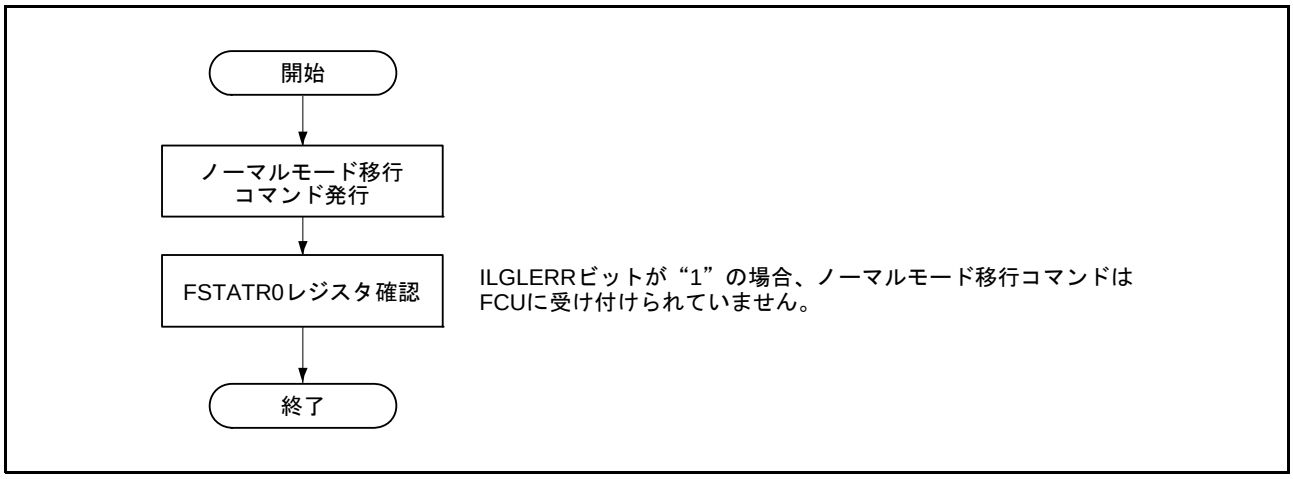


図 38.8　ROM P/E ノーマルモード移行フロー

(4) ROM ステータスリードモード移行方法

ノーマルモード移行、ロックビットリードモード移行以外の FCU コマンドを発行すると、FCU は ROM ステータスリードモードに移行します。また、ステータスリードモード移行コマンドを発行することでも移行できます。図 38.9 に FSTATR0 レジスタの確認の例を示します。この例はステータスリードモード移行コマンドを発行して ROM ステータスリードモードに移行した後で、ROM 書き込み／消去用アドレスに対してリードアクセスを実行して、FSTATR0 の内容を確認しています。

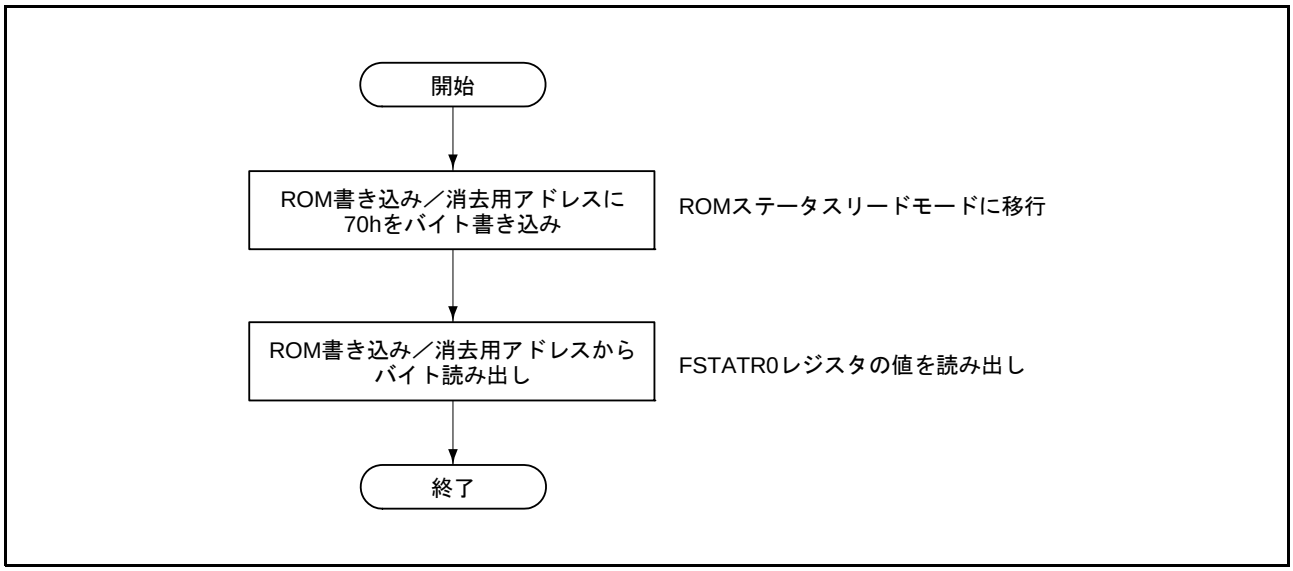


図 38.9　ROM ステータスリードモード移行フローおよびステータスの確認方法

(5) ROM ロックビットリードモード移行方法

FMODR.FRDMD ビットが “0”（メモリ領域リード方式）で、ロックビットリードモード移行コマンド（ロックビットリード 1）を発行することで移行します。ROM ロックビットリードモードに移行後に ROM 書き込み／消去用のアドレスに対してリードアクセスを実行すると、アクセス先に対応する消去ブロックのロックビットが読み出され、読み出しデータの全ビットにコピーされます（図 38.10）。

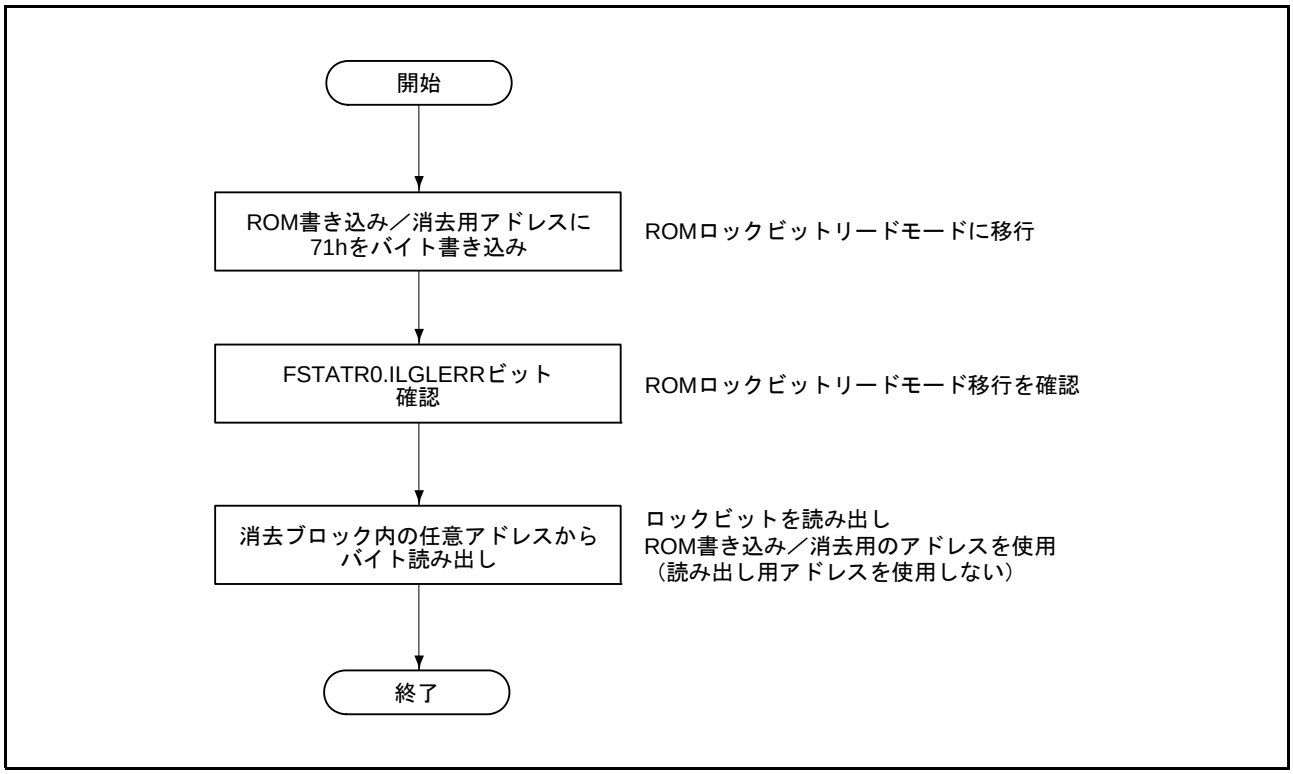


図 38.10　ROM ロックビットリードモード移行フローおよびロックビットを読む方法

38.6.4.2　書き込み／消去方法手順

ここでは ROM の書き込み／消去のフローについて説明します。FCU のコマンド受け付け条件については、「38.6.3　FCU のモードとコマンドの関係」を参照してください。

図 38.11 に FCU コマンドの概略フローを示します。

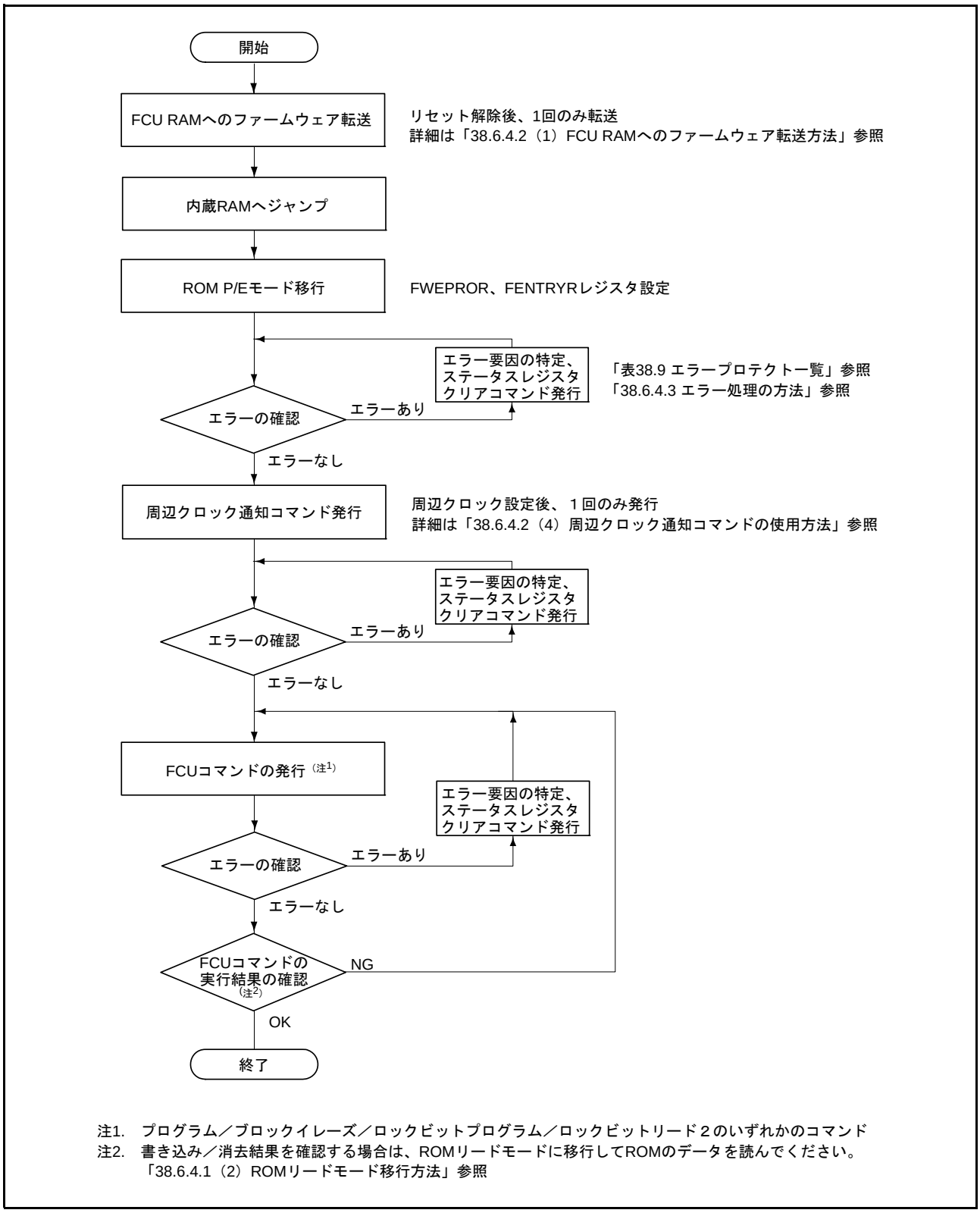


図 38.11　書き込み／消去処理の概略フロー

(1) FCU RAM へのファームウェア転送方法

FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要があります。チップ起動時には FCU RAM に FCU のファームウェアが格納されていないため、FCU ファーム領域に格納された FCU ファームウェアを FCU RAM にコピーする必要があります。また、FSTATR1.FCUERR ビットが “1” の場合には、FCU RAM に格納されたファームウェアが破壊されている可能性があるため、FCU をリセットし FCU ファームを再コピーする必要があります。

図 38.12 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書く場合には、FENTRYR レジスタを “0000h” にして FCU を停止させてください。DMACA 設定方法の詳細は、「14. DMA コントローラ（DMACA）」を参照してください。

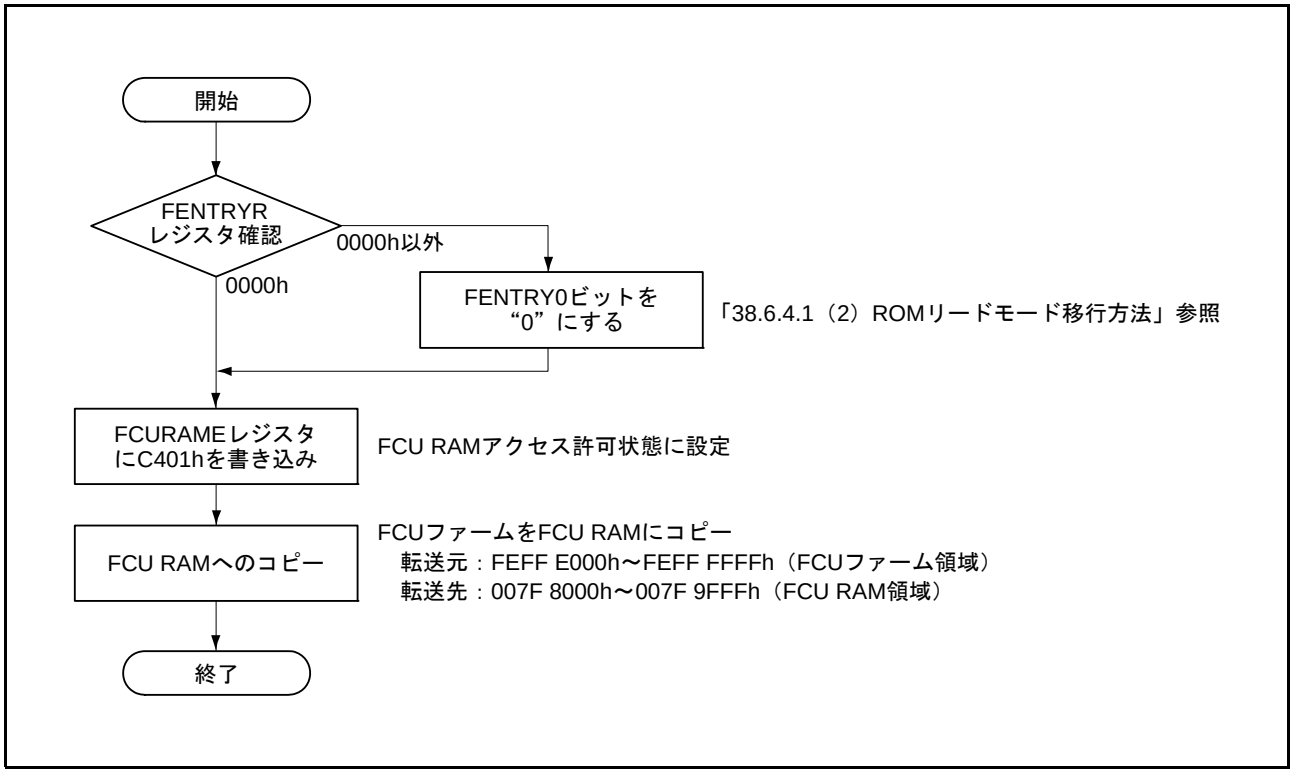


図 38.12　FCU RAM へのファームウェア転送フロー

(2) 内蔵 RAM へのジャンプ

ROM への書き込み／消去を行う場合、ROM に対する命令フェッチを実行させないため、ROM 以外の領域に移る必要があります。必要な命令コードを内蔵 RAM へコピーして内蔵 RAM へジャンプしてください。

(3) ROM P/E モード移行

FENTRYR.FENTRY0 ビット、FWEPROR レジスタを設定して、FCU を ROM P/E モードに設定する必要があります。詳細は「38.6.4.1 (3) ROM P/E ノーマルモード移行方法」を参照してください。

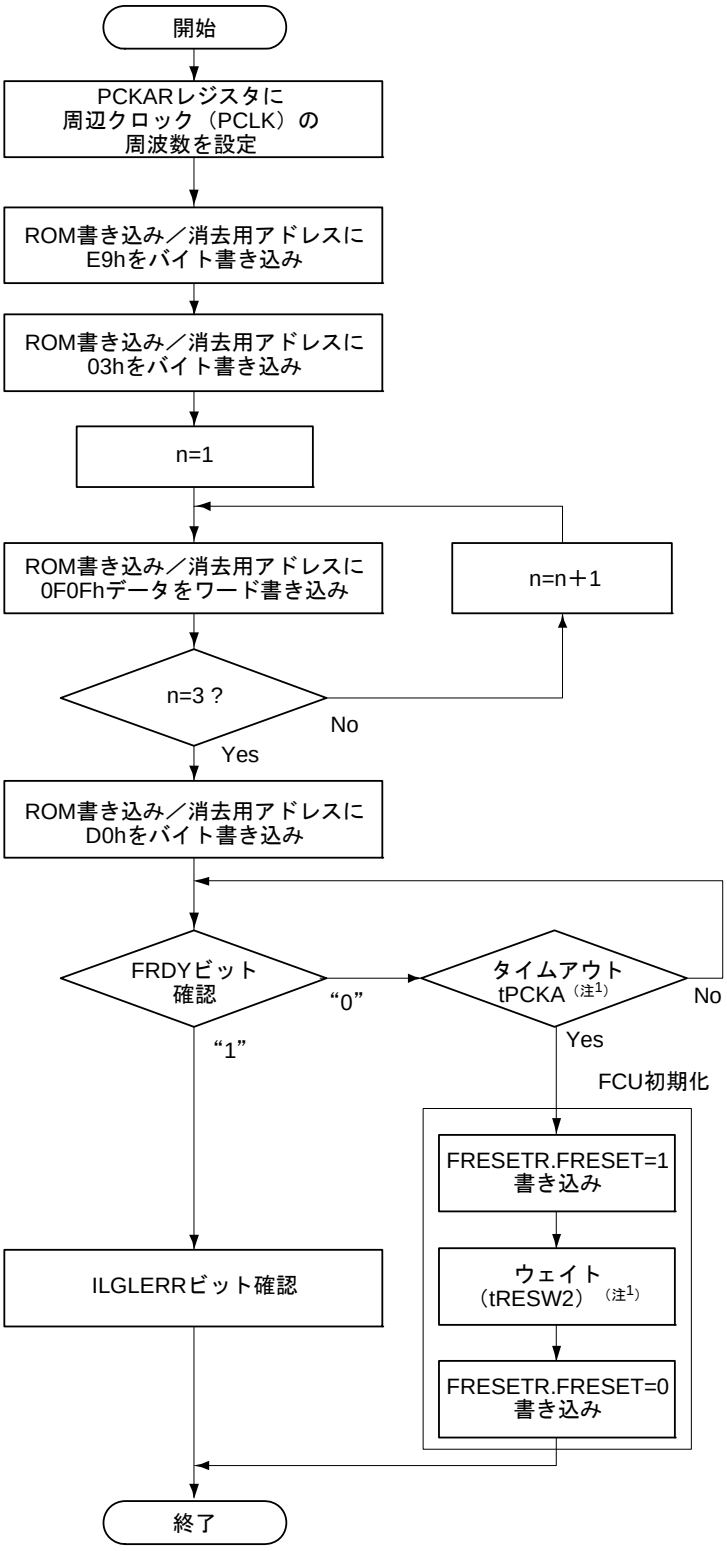
(4) 周辺クロック通知コマンドの使用方法

ROM への書き込み／消去前に使用している周辺クロックの周波数を PCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は 8 ～ 50MHz です。この範囲に設定しなかった場合には、FCU はエラーを検出しコマンドロック状態になります（「38.8.2　エラープロテクト」を参照）。

PCKAR レジスタの設定後に周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第 1 サイクルでは E9h を、第 2 サイクルでは 03h を ROM 書き込み／消去用のアドレスにバイト書き込みします。コマンドの第 3 サイクル～第 5 サイクルでは、ワードサイズで書き込みを実行します。この際、先頭アドレスは 4 バイト境界にアラインしたアドレスを使用してください。ROM 書き込み／消去用のアドレスに対して 0F0Fh データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM 書き込み／消去用のアドレスに対して D0h をバイト書き込みすると、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTATR0.FRDY ビットで確認可能です。

第 1 サイクル～第 6 サイクルで指定可能なアドレスは、FENTRYR.FENTRY 0 ビットの設定によって異なります。FENTRYR.FENTRY 0 ビットに対応したアドレスを指定してください。誤った FENTRYR.FENTRY 0 ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCU はエラーを検出しコマンドロック状態になります（「38.8.2　エラープロテクト」を参照）。

なお、この設定はリセット後、使用している周辺クロックの設定を変更しなければ、1 回の実行で後続の FCU コマンドで有効になります。



注1.tPCKA　：PCLK=50MHzの場合60μs、PCLK=25MHzの場合120μs
　　tRESW2　：書き込み／消去中のリセットパルス幅（「41.　電気的特性」を参照）

図 38.13　周辺クロック通知コマンドの使用方法

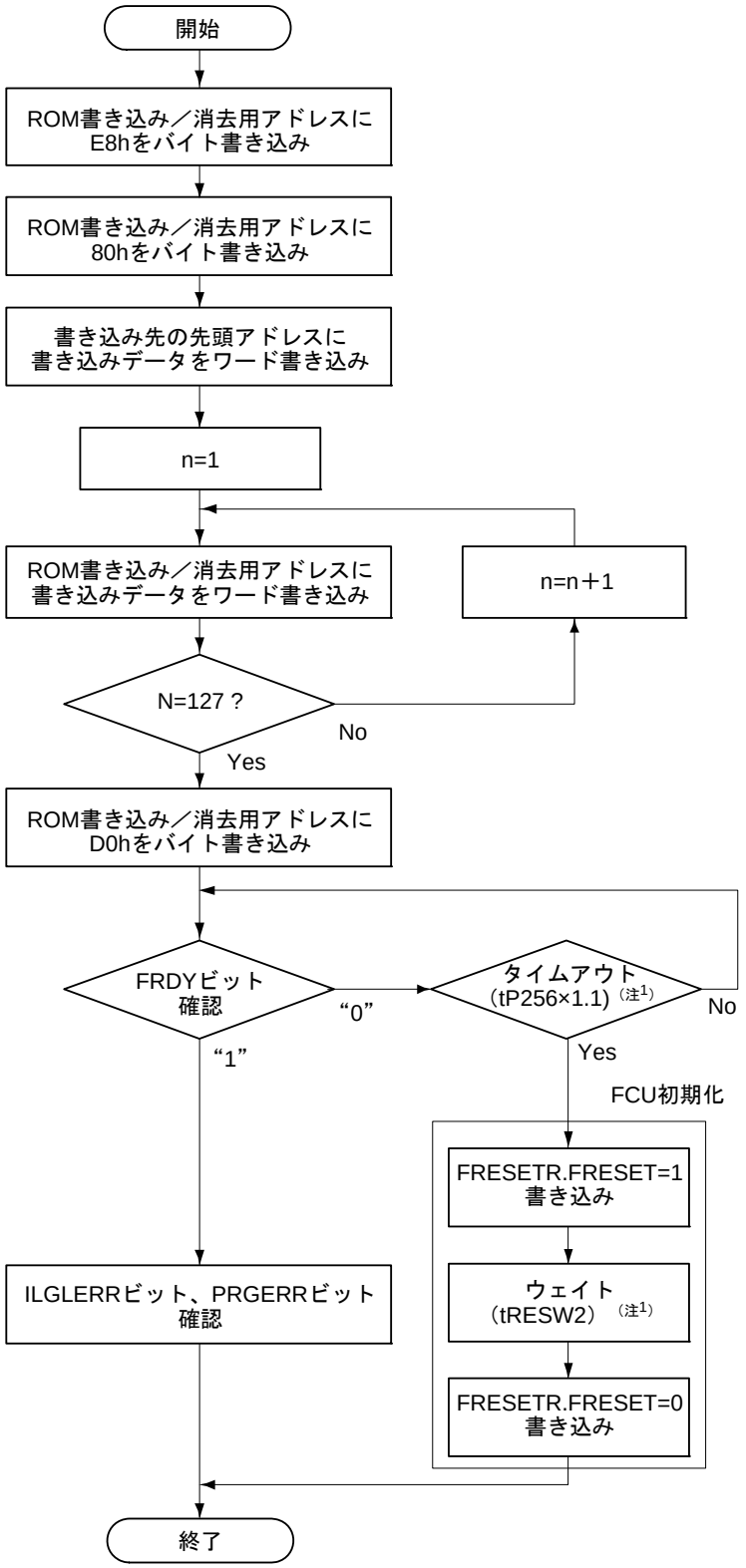
(5) 書き込み方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。

プログラムコマンドの第 1 サイクルでは E8h を、第 2 サイクルでは 80h を ROM 書き込み／消去用のアドレスにバイト書き込みします。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータをワードサイズで書いてください。この際、先頭アドレスは 256 バイト境界にアラインしたアドレスを使用してください。第 4 サイクル～第 130 サイクルでは、ROM 書き込み／消去用のアドレスに対して書き込みデータをワードサイズで 127 回書いてください。第 131 サイクルで ROM 書き込み／消去用のアドレスに対して D0h をバイト書き込みすると、FCU が ROM の書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDY ビットで確認可能です。

第 1 サイクル～第 131 サイクルで指定可能なアドレスは、FENTRYR.FENTRY0 ビットの設定によって異なります。FENTRYR.FENTRY0 ビットに対応したアドレスを指定してください。誤った FENTRYR.FENTRY0 ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCU はエラーを検出しコマンドロック状態になります（「38.8.2　エラープロテクト」を参照）。

第 3 サイクル～第 130 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを FFFFh にしてください。ロックビットによるプロテクトを無効にして書き込みを実施したい場合には、FPROTR.FPROTCN ビットを “1” にしてから書き込みを行ってください。



注1. tP256　：256バイトデータの書き込み時間（「41.　電気的特性」を参照）
　　tRESW2：書き込み／消去中のリセットパルス幅（「41.　電気的特性」を参照）

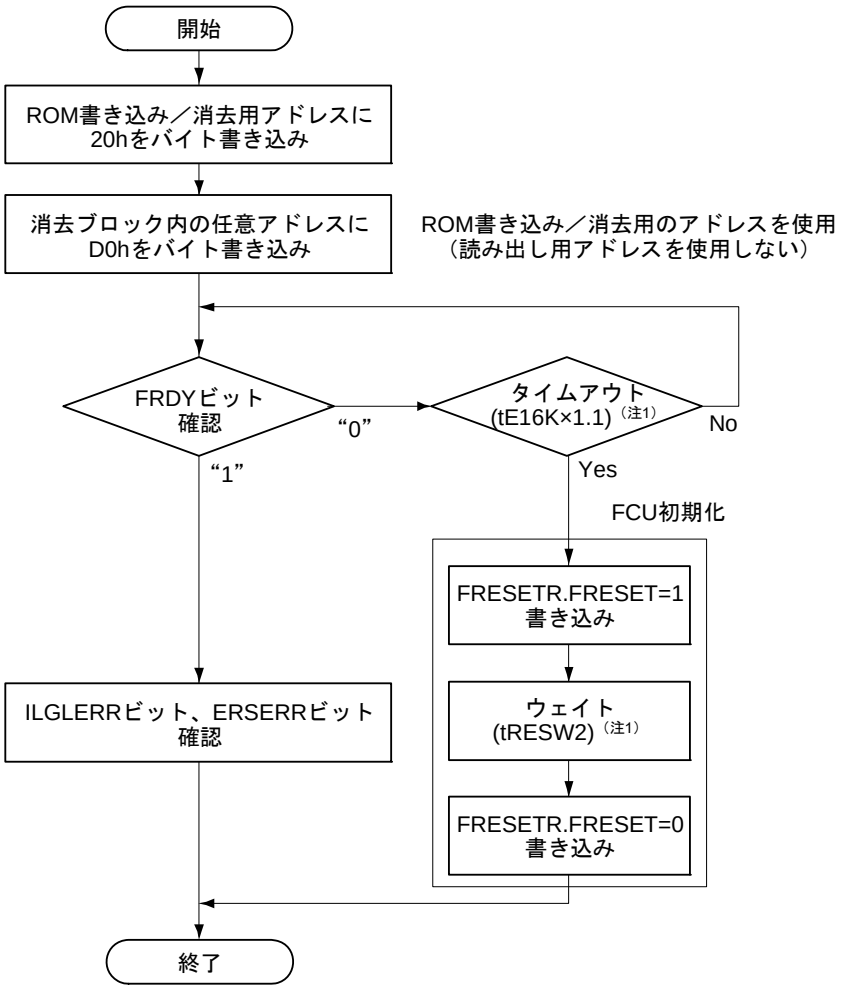
図 38.14　ROM 書き込み方法

(6) 消去方法

ROM の消去には、ブロックイレーズコマンドを使用します。

ブロックイレーズコマンドの第 1 サイクルでは、20h を ROM 書き込み／消去用アドレスにバイト書き込みします。第 2 サイクルで D0h を消去対象ブロック内の任意アドレスにバイト書き込みすると、FCU が ROM の消去処理を開始します。消去の完了は、FSTATR0.FRDY ビットで確認可能です。CPU で消去状態の ROM を読むと 32 ビットで FFFF FFFFh が読めます。

ロックビットによるプロテクトを無効にして消去を実施したい場合には、FPROTR.FPROTCN ビットを “1” にしてから消去を行ってください。

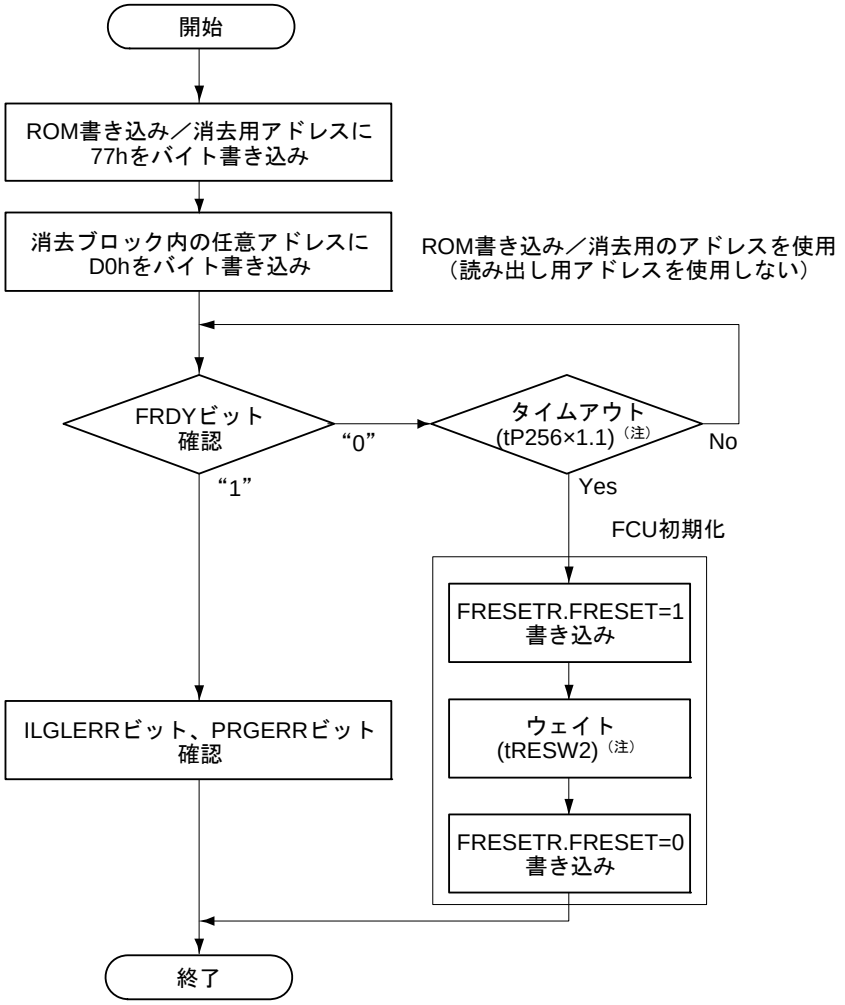


注1. tE16K ：16Kバイトの消去ブロックに対する消去時間（「41.　電気的特性」を参照）
tRESW2：書き込み／消去中のリセットパルス幅（「41.　電気的特性」を参照）

図 38.15　ROM 消去方法

(7) ロックビットの書き込み / 消去方法

ユーザマットの各消去ブロックにはロックビットが内蔵されています。ロックビットに書き込みを行いたい場合には、ロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第 1 サイクルでは、77h を ROM 書き込み／消去用アドレスにバイト書き込みします。第 2 サイクルでロックビットを書き込みたい消去ブロック内の任意アドレスに対して D0h をバイト書き込みすると、FCU がロックビットの書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDY ビットで確認可能です。



注. tP256　：256バイトデータの書き込み時間（「41. 電気的特性」を参照）
tRESW2：書き込み／消去中のリセットパルス幅（「41. 電気的特性」を参照）

図 38.16　ロックビットのプログラムの設定方法

ロックビットの消去には、ブロックイレーズコマンドを使用します。

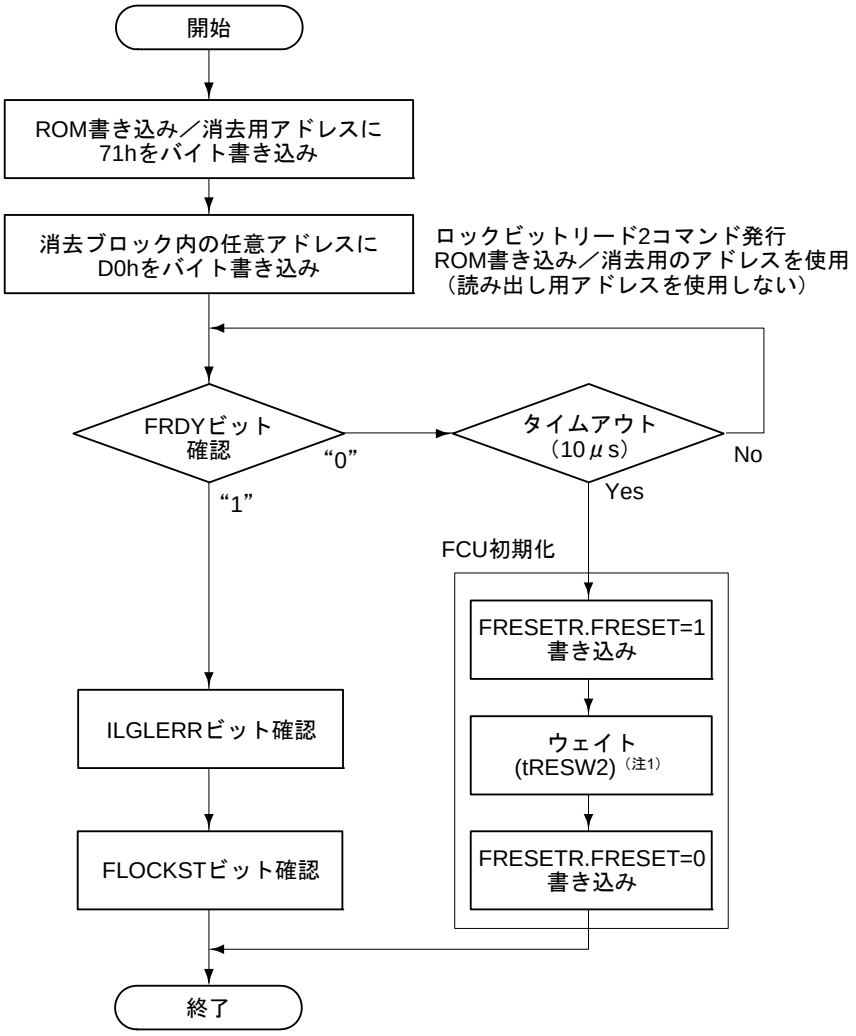
FPROTR.FPROTCN ビットが “0” の状態では、ロックビットが “0” になった消去ブロックを消去することができません。ロックビットを消去する場合には、FPROTCN ビットを “1” にした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用すると消去ブロック内の全データが消去されます。ロックビットのみを消去することはできません。

(8) ロックビットの読み出し方法

ロックビットの読み出し方法には、メモリ領域リード方式とレジスタリード方式があります。

レジスタリード方式（FMODR.FRDMD ビットが “1”）の場合には、ロックビットリード 2 コマンドを使用します。ロックビットリード 2 コマンドは、ロックビットを読み出したい消去ブロックの書き込み／消去用アドレスに発行します。ロックビットリード 2 コマンドの第 1 サイクルでは 71h を、第 2 サイクルでは D0h をそれぞれバイト書き込みすると、対応する消去ブロックのロックビットが FSTATR1.FLOCKST ビットにコピーされます。

メモリ領域リード方式（FMODR.FRDMD ビットが “0”）の場合には、ロックビットリードモードに移行し、ROM の書き込み／消去用アドレスを読むことで行います。詳細については、「38.6.4.1 (5) ROM ロックビットリードモード移行方法」を参照してください。



注1. tRESW2：書き込み／消去中のリセットパルス幅（「41. 電気的特性」を参照）

図 38.17 レジスタリード方式でロックビットを読み出す方法

38.6.4.3　エラー処理の方法

エラー発生時の処理方法を説明します。各種エラーの内容は「38.8　プロテクト」を参照してください。

(1)　フラッシュステータスレジスタ 0（FSTATR0）の確認方法

FSTATR0 レジスタの確認方法には、FSTATR0 レジスタを直接読み出す方法と、ROM ステータスリードモードで ROM 書き込み／消去用アドレスを読み出す方法があります。

ROM ステータスリードモードで読み出す方法は、「38.6.4.1　(4)　ROM ステータスリードモード移行方法」を参照してください。

(2)　フラッシュステータスレジスタ 0（FSTATR0）のクリア方法

FSTATR0.ILGLERR, ERSERR, PRGERR ビットを “0” にしたい場合には、ステータスレジスタクリアコマンドを使用します。

FSTATR0.ILGLERR, ERSERR, PRGERR ビットのいずれかが “1” の場合には、FCU はコマンドロック状態になり、ステータスレジスタクリアコマンド以外の FCU コマンドを受け付けません。ILGLERR ビットが “1” の場合には、FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットは “0” になりません。

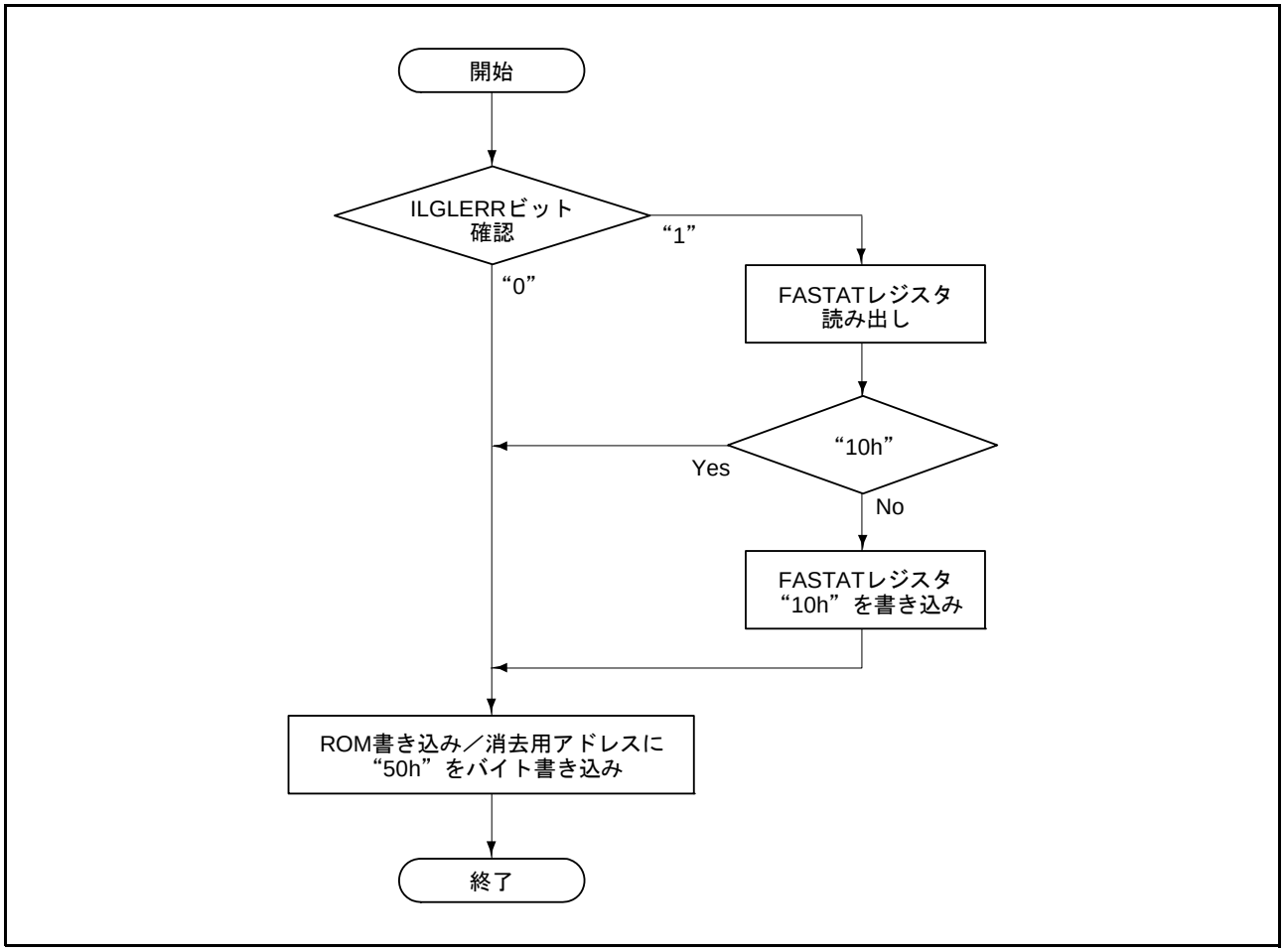


図 38.18　FSTATR0 レジスタのクリア方法

(3) FCU の初期化の方法

FCU コマンド発行後、タイムアウトにより FSTATR0.FRDY ビットが “1” にならない場合、FRESETR レジスタによる FCU の初期化が必要です。また、FSTATR1.FCUERR ビットが “1” の場合も、FRESETR レジスタによる FCU 初期化が必要です。いずれの場合も FRESETR.FRESET ビットが “1” の状態を tRESW2 期間（「41. **電気的特性**」を参照）保持してください。FRESET ビットを “1” に保持している期間は、ROM ／データフラッシュへの読み出しを禁止してください。また、FRESET ビットが “1” の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。
図 38.11 の処理を先頭からやり直してください。

38.6.4.4 サスペンド／レジューム

(1) 書き込み／消去のサスペンド方法

ROM への書き込み／消去の中断には、P/E サスペンドコマンドを使用します。

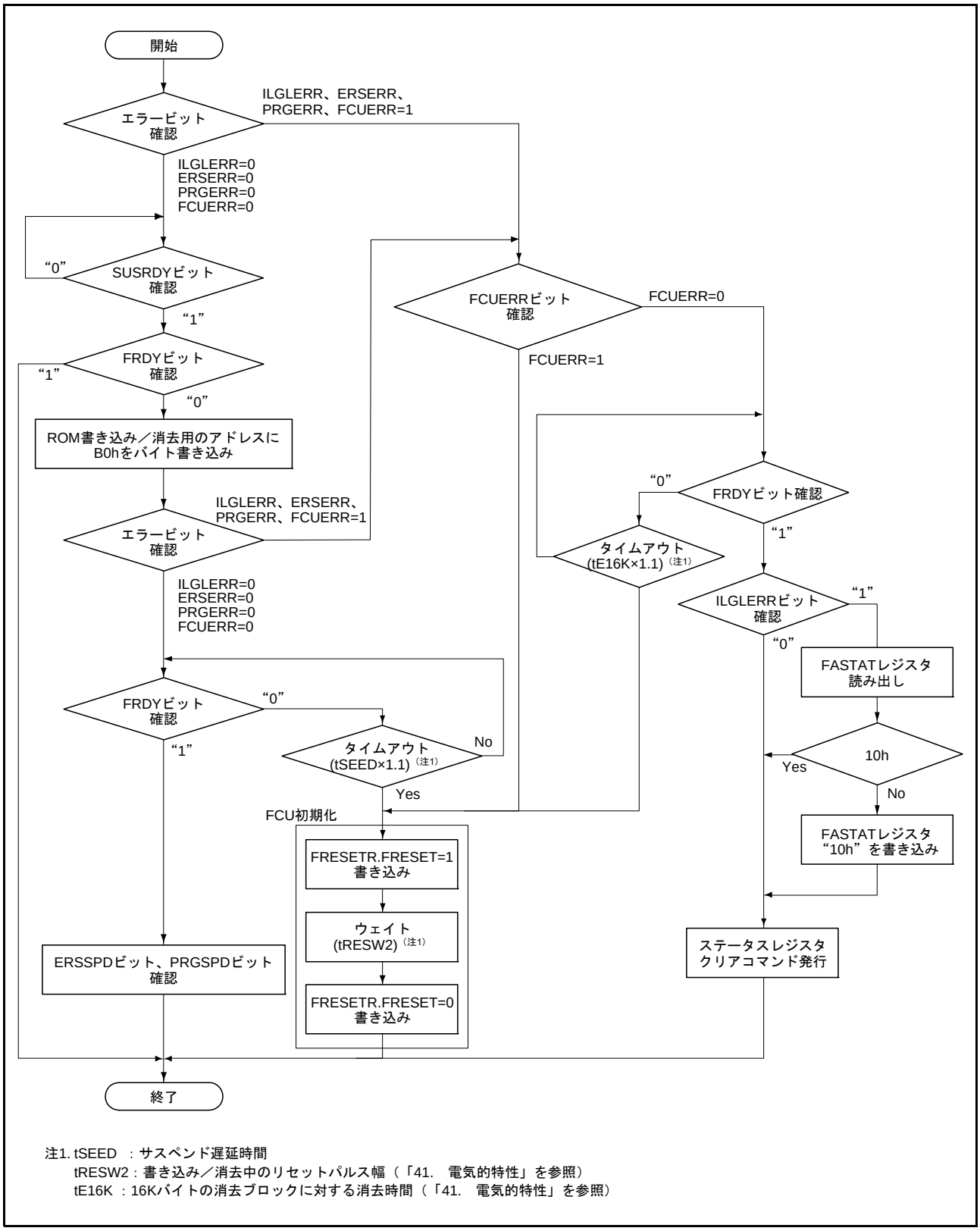
P/E サスペンドコマンドを発行する場合には、事前に FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットが “0” で書き込み／消去処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR0.SUSRDY ビットが “1” であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読んでエラーが発生していないことを確認してください。

書き込み／消去処理中に異常が発生した場合には、ILGLERR、PRGERR、ERSERR、FCUERR ビットのうち少なくとも 1 つのビットが “1” になります。また、SUSRDY ビットが “1” であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に書き込み／消去処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが “1” になります。

P/E サスペンドコマンドの受け付けと書き込み／消去処理の完了が同時であった場合にはエラーは発生せず、サスペンド状態にも遷移しません（FSTATR0.FRDY ビットが “1”、かつ FSTATR0.ERSSPD, PRGSPD ビットが “0”）。P/E サスペンドコマンドが受け付けられて、書き込み／消去の中断処理が正常に終了した場合には、FCU がサスペンド状態に遷移して FRDY ビットが “1”、かつ ERSSPD ビットまたは PRGSPD ビットが “1” になります。P/E サスペンドコマンド発行後には、ERSSPD ビットまたは PRGSPD ビットが “1” で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し FCU がコマンドロック状態に遷移します（「38.8.2 **エラープロテクト**」を参照）。

消去サスペンド状態に遷移した場合には、消去対象外のブロックに対する書き込みを実行することができます。また、書き込み／消去サスペンド状態ともに、FENTRYR レジスタをクリアすることにより、ROM リードモードに移行することも可能です。

P/E サスペンドコマンド受け付け時の FCU 動作の内容については、「38.7 **サスペンド動作**」を参照してください。

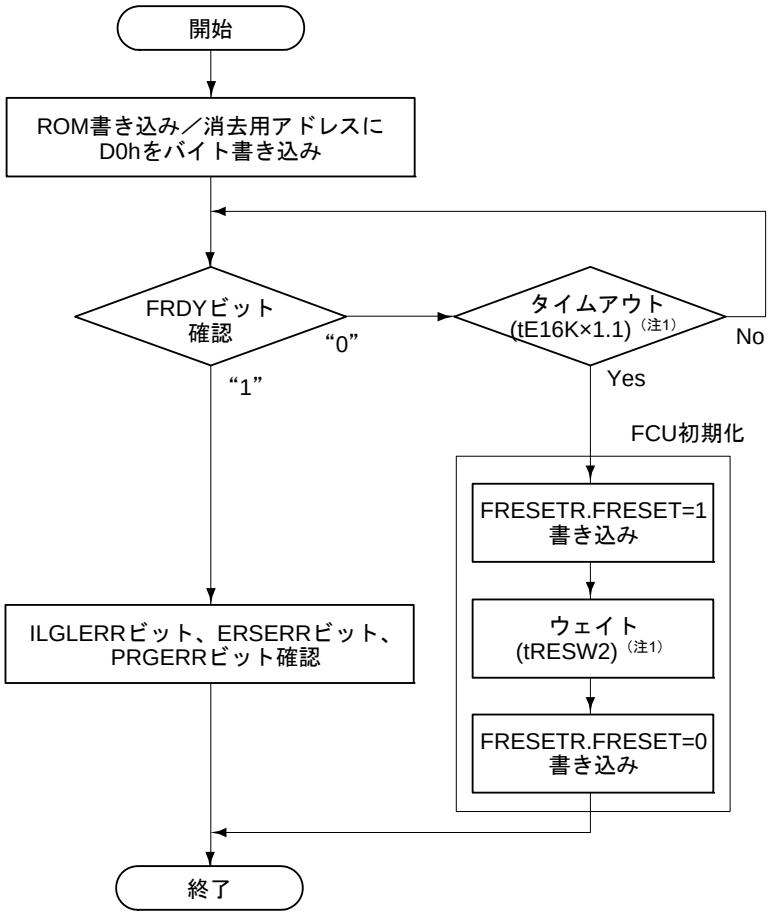


注1. tSEED　：サスペンド遅延時間
tRESW2：書き込み／消去中のリセットパルス幅（「41.　電気的特性」を参照）
tE16K　：16Kバイトの消去ブロックに対する消去時間（「41.　電気的特性」を参照）

図 38.19　書き込み／消去のサスペンド方法

(2) 書き込み／消去のレジューム方法

サスペンドした書き込み／消去処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR レジスタを P/E サスペンドコマンド発行直前の値に再設定してください。



注1. tE16K：16Kバイトの消去ブロックに対する消去時間（「41. 電気的特性」を参照）
tRESW2：書き込み／消去中のリセットパルス幅（「41. 電気的特性」を参照）

図 38.20 書き込み／消去のレジューム方法

38.7 サスペンド動作

書き込み／消去処理中は ROM の読み出しはできません。P/E サスペンドコマンドを発行し、ROM の書き込み／消去処理を中断させることによって、ROM の読み出しができるようになります。P/E サスペンドコマンドには、書き込み 1 種類と消去 2 種類（サスペンド優先モード、消去優先モード）のモードを用意しています。また、中断した書き込み／消去処理を再開する P/E レジュームコマンドも用意しています。

38.7.1 書き込み中のサスペンド

ROM の書き込み／消去中に P/E サスペンドコマンドを発行すると、FCU は書き込み処理を中断します。図 38.21 に書き込み処理の中断動作を示します。

FCU は書き込み系のコマンドを受け付けると、FSTATR0.FRDY ビットを “0” にして書き込み処理を開始します。書き込み処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR0.SUSRDY ビットが “1” になります。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを “0” にします。書き込みパルス印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、FCU はパルスの印加を継続します。所定のパルス印加時間を経過すると FCU はパルスの印加を完了し、書き込みの中断処理を開始して FSTATR0.PRGSPD ビットを “1” にします。中断処理が完了すると、FCU は FRDY ビットを “1” にして書き込みサスペンド状態に遷移します。書き込みサスペンド状態で FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと PRGSPD ビットを “0” にして書き込み処理を再開します。

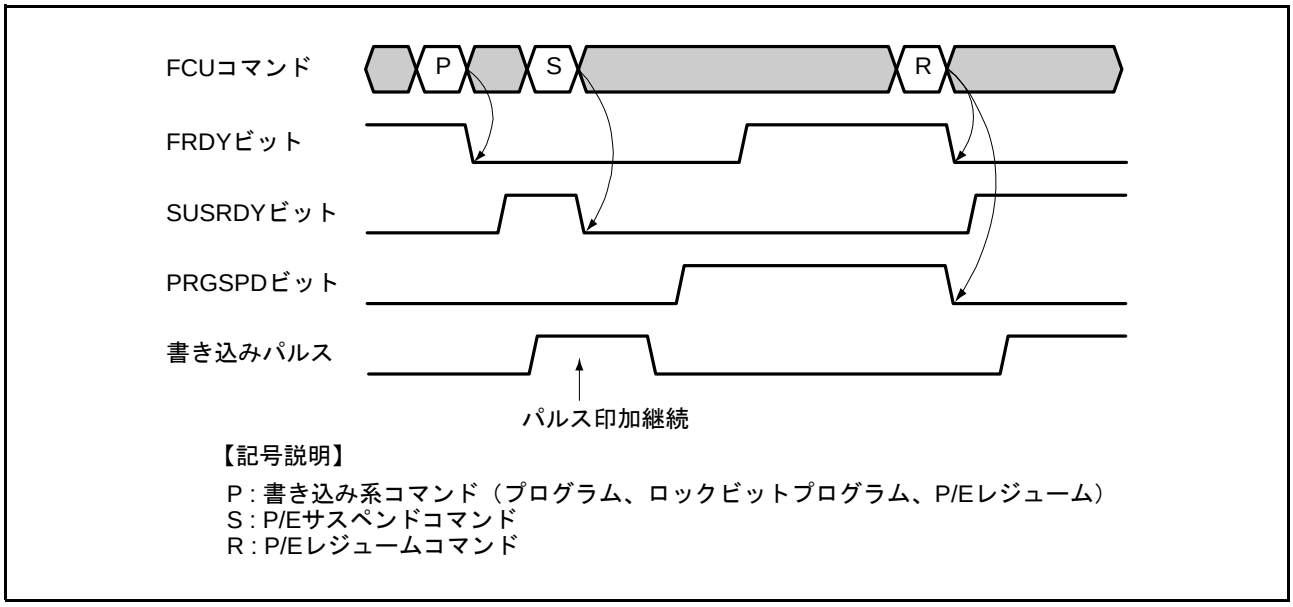


図 38.21 書き込み処理の中断動作

38.7.2 消去中のサスペンド（サスペンド優先モード）

図 38.22 に消去サスペンドモードがサスペンド優先モード（FCPSR.ESUSPMD ビットが “0”）の場合の消去処理の中断動作を示します。

FCU は消去系のコマンドを受け付けると、FSTATR0.FRDY ビットを “0” にクリアして消去処理を開始します。消去処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR0.SUSRDY ビットが “1” になります。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを “0” にします。消去処理中にサスペンドコマンドを受け付けた場合には、FCU は消去パルス印加中でも中断処理を開始して FSTATR0.ERSSPD ビットを “1” にします。中断処理が完了すると、FCU は FRDY ビットを “1” にして、消去サスペンド状態に遷移します。消去サスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを “0” にして、消去処理を再開します。消去処理の中断／再開時の FRDY、SUSRDY、ERSSPD ビット動作は、消去サスペンドモードに依存せず同様です。

消去サスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を中断して消去サスペンド状態に遷移します。P/E レジュームコマンドにより消去が再開され、消去パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU は消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU は消去パルスの印加を完了して消去サスペンド状態に遷移します。次に FCU が P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

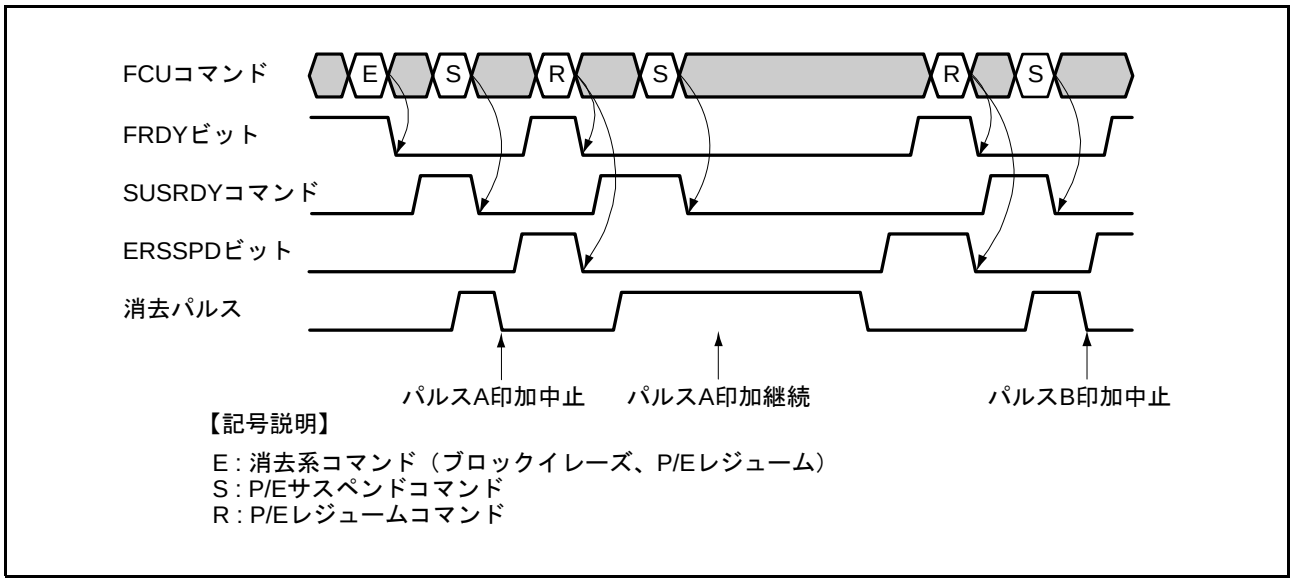


図 38.22　消去処理の中断動作（サスペンド優先モード）

38.7.3 消去中のサスペンド（消去優先モード）

図 38.23 に消去優先モード（FCPSR.ESUSPMD ビットが “1”）の場合の消去処理の中断動作を示します。消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

FCU が消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較して消去処理全体に必要な時間を短縮可能です。

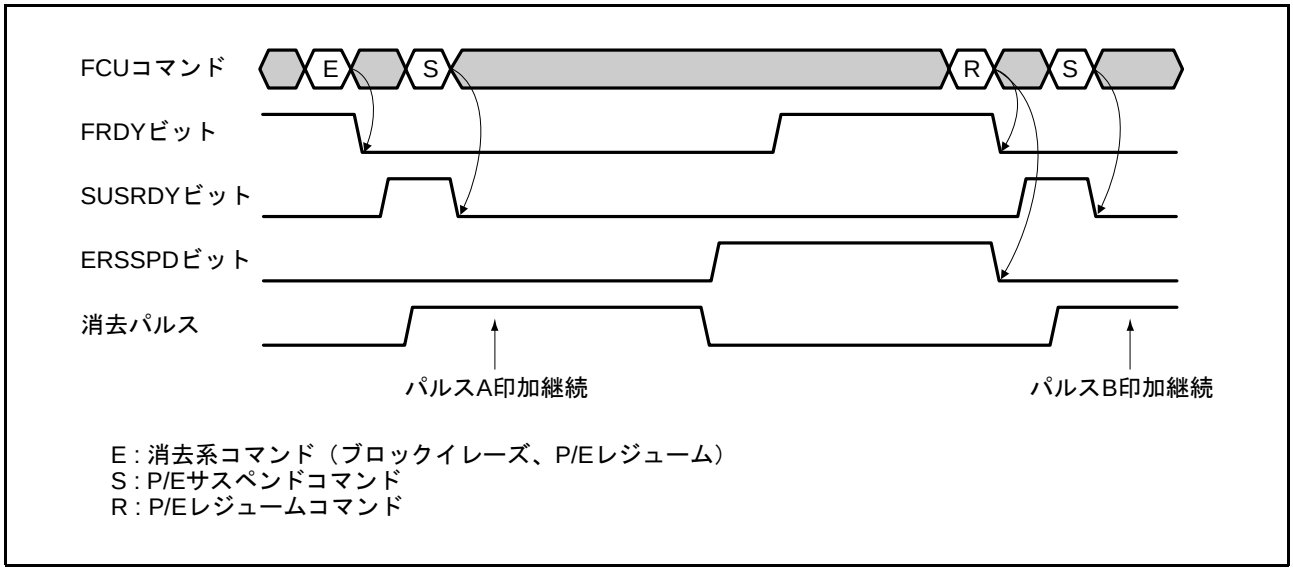


図 38.23　消去処理の中断動作（消去優先モード）

38.8 プロテクト

ROM に対する書き込み／消去のプロテクトには、ソフトウェアプロテクト、エラープロテクトの 2 種類があります。

38.8.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザマットのロックビット設定によって ROM に対する書き込み／消去が禁止された状態です。ソフトウェアプロテクトに違反して、ROM に対する書き込み／消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを “01b” にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRY0 ビットが “0” の場合には、ROM リードモードになります。ROM リードモードでは FCU コマンドが受け付けられないため、ROM への書き込み／消去は禁止状態になります。ROM リードモードで FCU コマンドを発行すると、FCU は不正コマンドエラーを検出してコマンドロック状態になります（「38.8.2 エラープロテクト」を参照）。

(3) ロックビットによるプロテクト

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが “0” の場合には、ロックビットが “0” の消去ブロックに対する書き込み／消去は禁止状態になります。ロックビットが “0” の消去ブロックを書き込み／消去したい場合には、FPROTCN ビットを “1” にしてください。ロックビットによるプロテクトに違反して ROM に対する書き込み／消去系コマンドを発行すると、FCU は書き込み／消去エラーを検出してコマンドロック状態になります（「38.8.2 エラープロテクト」を参照）。

38.8.2 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行、禁止アクセスの発生により、FCU が誤動作を検知して FCU コマンドの受け付けを禁止する状態（コマンドロック状態）です。
FCU がコマンドロック状態（FASTAT.CMDLK ビットが “1”）になると、ステータスビット（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE ビット）のいずれか、もしくはこれらのビットに複数の “1” がセットされ、ROM への書き込み／消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが 10h の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT.CMDLKIE ビットが “1” の場合には、FCU がコマンドロック状態（FASTAT.CMDLK ビットが “1”）になるとフラッシュインタフェースエラー（FIFERR）割り込みが発生します。また、FAEINT.ROMAEIE ビットが “1” の場合には、FASTAT.ROMAE ビットが “1” になった場合も FIFERR 割り込みが発生します。

表 38.9 に ROM 関連のエラープロテクト内容とエラー検出時のステータスビット値（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE ビット）の関係を示します。書き込み／消去処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCU は書き込み／消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み／消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが “1” になります。

表38.9　エラープロテクト一覧（ROM専用＋ROM／データフラッシュ共通）

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE	CMDLK
FENTRYR設定エラー	FENTRYR.FENTRYD, FENTRY0ビットのうち複数の “1“ を設定	1	0	0	0	0	1
	サスペンド時とレジューム時でFENTRYRレジスタ設定が不一致	1	0	0	0	0	1
不正コマンドエラー	FCUコマンドの1サイクル目で未定義コードを指定	1	0	0	0	0	1
	複数サイクルのFCUコマンドの最終サイクルでD0h以外を指定	1	0	0	0	0	1
	PCKARレジスタに周辺クロック8～50MHz以外を設定	1	0	0	0	0	1
	書き込み／消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0	1
	書き込み／消去以外の処理中にサスペンドコマンドを発行	1	0	0	0	0	1
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0	1
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0	1
	書き込みサスペンド状態で書き込み／消去系（プログラム／ロックビットプログラム／ブロックイレーズ）コマンドを発行	1	0	0	0	0	1
	消去サスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0	1
	消去サスペンド状態で消去サスペンド対象領域へのプログラム／ロックビットプログラムコマンドを発行	1	0	0	0	0	1
	プログラムコマンドの2サイクル目で80h以外を指定	1	0	0	0	0	1
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1	1
消去エラー	消去処理中のエラー発生	0	1	0	0	0	1
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”の設定された消去ブロックにブロックイレーズコマンドを発行	0	1	0	0	0	1
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0	1
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”の設定された消去ブロックに対してプログラム／ロックビットプログラムコマンドを発行	0	0	1	0	0	1
FCUエラー	FCU内部の処理でエラー発生	0	0	0	1	0	1
ROMアクセス違反	FENTRYR.FENTRY0ビット=“1”、かつROM P/Eノーマルモードの場合に、00F8 0000h～00FF FFFFhに対するリードアクセスを発行	1	0	0	0	1	1
	FENTRYR.FENTRY0ビット=“0”で、00F8 0000h～00FF FFFFhに対するアクセスを発行	1	0	0	0	1	1
	FENTRYRレジスタをセットしてROM P/Eモードに移行した状態で、FFF8 0000h～FFFF FFFFhに対してリードアクセスを発行	1	0	0	0	1	1

38.9 ブートモード

38.9.1 システム構成

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザマット／ユーザブートマット／データマットへの書き込み／消去を実行可能です。ホストと RX62N、RX621 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。

RX62N、RX621 をブートモードで起動すると、組み込みプログラム格納マット上のプログラムが実行されます。組み込みプログラム格納マット上のプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、書き込み／消去の制御をします。

図 38.24 にブートモード時のシステム構成を示します。

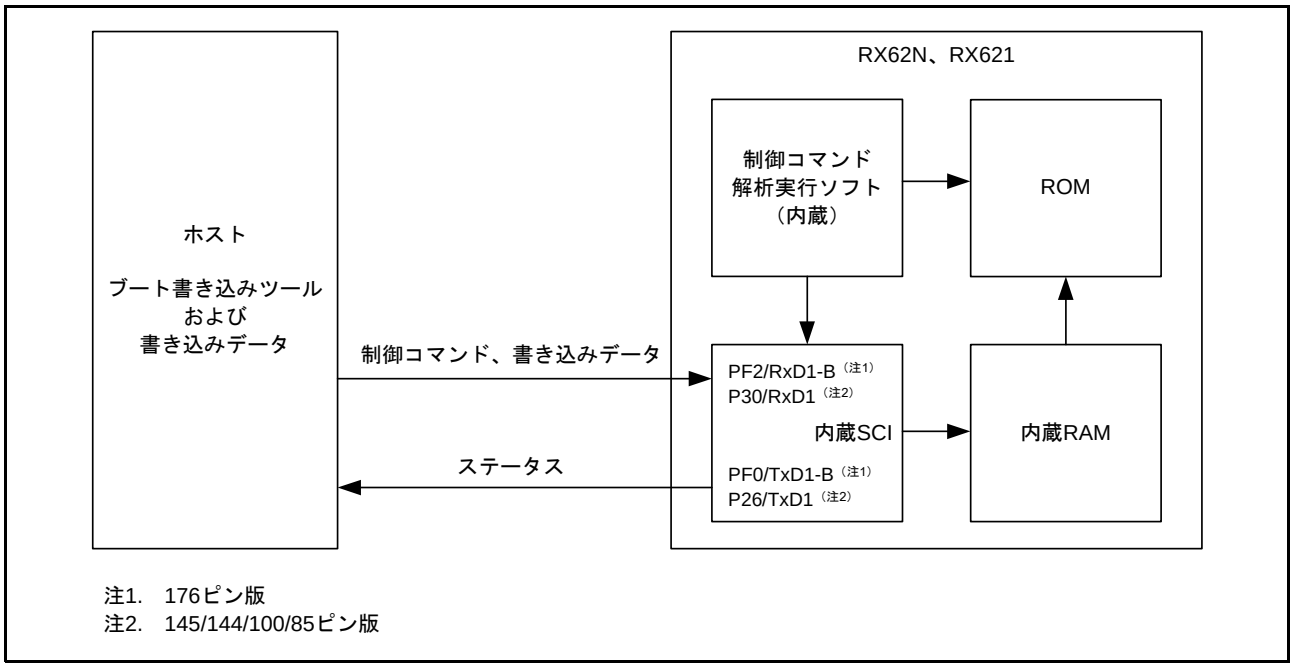


図 38.24 ブートモード時のシステム構成

38.9.2 IDコードプロテクト

ホストからの読み出し／書き込み／消去を禁止するための機能です。

ROM上に書かれている制御コードおよびIDコードを使い、IDコードプロテクトの有効／無効と、IDコードプロテクトの判定を行います。IDコードプロテクトが有効の場合、ホストから送られてくるコードとROM上の制御コードおよびIDコードの一致を判定し、一致した場合のみ読み出し／書き込み／消去を許可します。

ROM上の制御コードおよびIDコードは、32ビット長4ワードのデータです。図38.25に制御コードおよびIDコードの構成を示します。IDコードは32ビット単位で設定してください。

	31　24	23　16	15　8	7　0
FFFF FFA0h	制御コード	IDコード1	IDコード2	IDコード3
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11
FFFF FFAChh	IDコード12	IDコード13	IDコード14	IDコード15

図38.25　ROM上の制御コードおよびIDコードの構成

(1) 制御コード

制御コードは、IDコードプロテクトの有効／無効とホストとの認証方法を決定します。表38.10に制御コードと認証方法を示します。

表38.10　IDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	SCI接続時の動作
45h	任意	プロテクト有効（認証方法1）	IDコード一致　：IDコードプロテクトを完了し、ホストコマンド待ち状態へ遷移 IDコード不一致：再度IDコード待ち状態へ遷移。ただし、連続3回IDコード不一致の場合、全面消去を行う
52h	50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh以外	プロテクト有効（認証方法2）	IDコード一致　：IDコードプロテクトを完了し、ホストコマンド待ち状態へ遷移 IDコード不一致：再度IDコード待ち状態へ遷移
	50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh	プロテクト有効（認証方法3）	常にIDコード不一致として判定する。
上記以外	—	プロテクト無効	全ブロック消去

(2) IDコード

IDコードは任意の値が設定できます。ただし、制御コードが52h、IDコード1から順に50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, …, FFhを設定した場合は、IDコード一致判定をせず、常に不一致とし、ホストからの読み出し／書き込み／消去を禁止します。

(3) ID コードを設定するプログラム例

制御コードが 45h、ID コードが ID コード 1 から順に 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh を設定する場合のプログラム例を示します。

```
.SECTION  ID_CODE,CODE
.ORG  0FFFFFFA0h
.LWORD  45010203h
.LWORD  04050607h
.LWORD  08090A0Bh
.LWORD  0C0D0E0Fh
```

38.9.3 UB コード A

UB コード A は、ユーザブートマット上のプログラムを判定する 32 ビット長 2 ワードのデータです。

ユーザブートマット上の UB コード A を使用し、ユーザブートマット上のプログラムを判定します。プログラムが USB ブートプログラムの場合は、SCI 接続時の全ブロック消去でユーザブートマットを消去しません。図 38.26 に UB コード A の構成を示します。UB コード A は 32 ビット単位で設定してください。

図 38.26　UB コード A の構成

表 38.11　UBコードAの仕様

UBコードA	ユーザブートマット上のプログラム	SCI接続時の全ブロック消去動作
55736242h、6F6F74FFh	USBブートプログラム	ユーザブートマットを消去しない
上記以外	USBブートプログラム以外	ユーザブートマットを消去する

38.9.4 ブートモードの状態遷移

図 38.27 にブートモードの状態遷移図を示します。

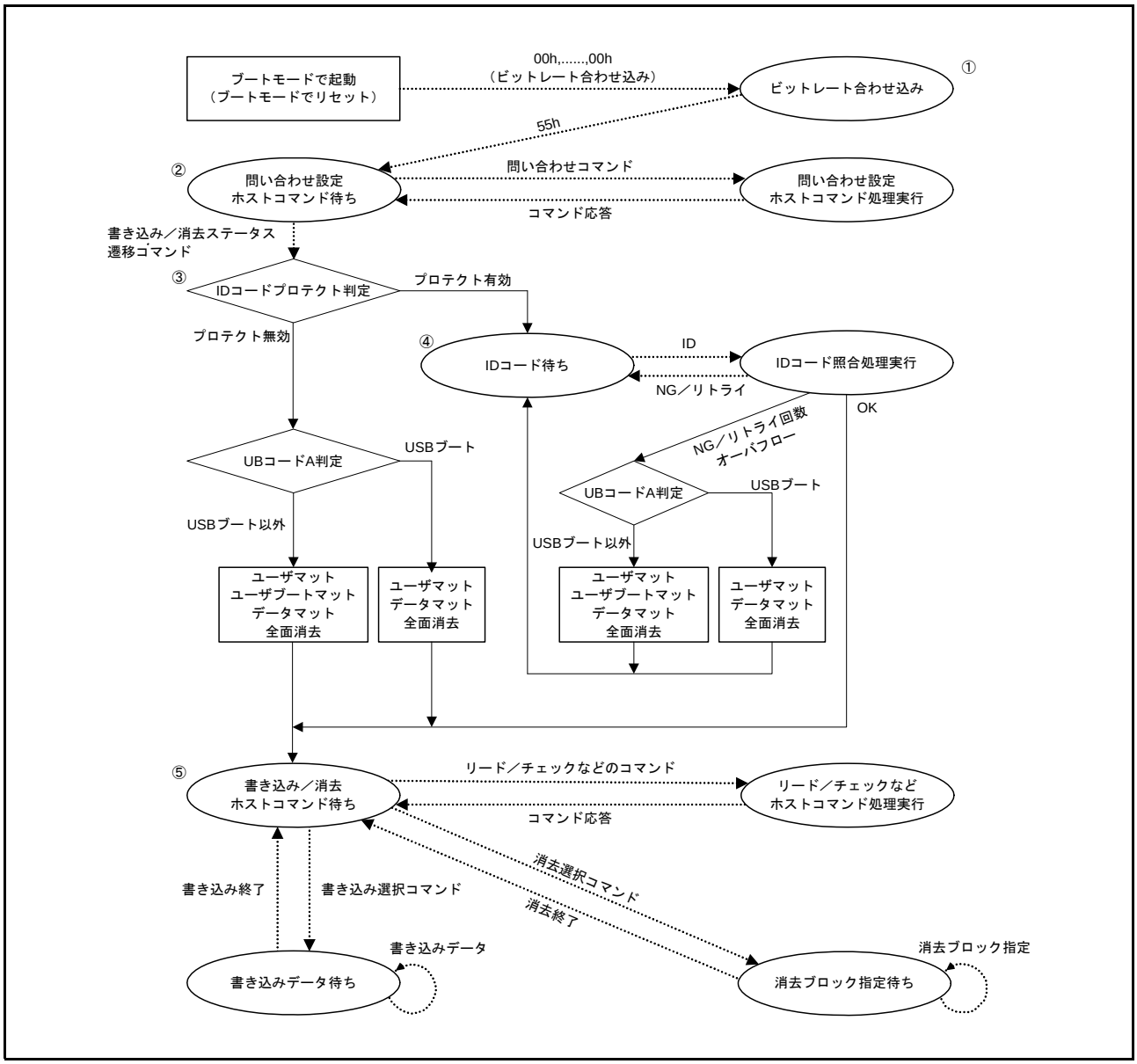


図 38.27　ブートモードの状態遷移図

① ビットレート合わせ込み

RX62N、RX621 をブートモードで起動すると、ホストと SCI の自動調整を実行します。ビットレートの自動調整が終了すると、RX62N、RX621 からホストへ 00h を送信します。その後、ホストから送信された 55h を RX62N、RX621 が正しく受信すると問い合わせ設定ホストコマンド待ち状態に遷移します。ビットレート合わせ込みの詳細は「38.9.5　ビットレートの自動調整」を参照してください。

② 問い合わせ設定ホストコマンド待ち

マットサイズ、マット構成、マット先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストから書き込み消去ステータス遷移コマンドを発行すると、ID コードプロテクトの有効／無効判定に遷移します。問い合わせ設定ホストコマンドの詳細は「38.9.6　問い合わせ設定ホストコマンド待ち状態」を参照してください。

③ ID コードプロテクト判定

ID コードプロテクトの有効／無効を判定します。ROM 上に書かれている制御コードおよび ID コードから ID コードプロテクトの有効／無効を判定し、有効時は ID コード待ち状態へ、無効時はユーザマット／ユーザブートマット／データマットの全面消去を実行し、書き込み／消去ホストコマンド待ち状態に遷移します。制御コードおよび ID コードの詳細は「38.9.2　ID コードプロテクト」を参照してください。

④ ID コード待ち

ホストから制御コードおよび ID コードが送られてくるのを待ちます。ホストから送られてくる制御コードおよび ID コードと ROM 上のコードを比較し、一致していれば書き込み／消去ホストコマンド待ちに遷移します。一致しなければ ID コード待ちに戻りますが、3 回数不一致が続いた場合かつプロテクト状態が認証方法 1 の場合、全面消去し、再び ID コード待ち状態に戻ります。この不一致状態を解除するには、リセットを入れる必要があります。制御コードおよび ID コードの詳細は「38.9.2　ID コードプロテクト」を参照してください。

⑤ 書き込み／消去ホストコマンド待ち

ホストからのコマンドにしたがって、書き込み／消去を実行する状態です。RX62N、RX621 が受信したコマンドに応じて、書き込みデータ待ち状態、消去ブロック指定待ち状態、リード／チェックなどコマンド処理実行状態に遷移します。

RX62N、RX621 が書き込み選択コマンドを受信した場合には、書き込みデータ待ち状態に遷移します。ホストから書き込み選択コマンドに続けて、書き込み先頭アドレス、書き込みデータを送信してください。書き込み先頭アドレスを FFFF FFFFh と設定すると、書き込みが終了して書き込みデータ待ち状態から書き込み／消去コマンド待ち状態に遷移します。

RX62N、RX621 が消去選択コマンドを受信すると、消去ブロック指定待ち状態に遷移します。ホストから消去選択コマンドに続けて、消去ブロック番号を送信してください。消去ブロック番号を FFh と設定すると、消去が終了して消去ブロック指定待ち状態から書き込み／消去コマンド待ち状態に遷移します。ブートモードで起動してから書き込み／消去ホストコマンド状態に遷移する間にユーザマット／ユーザブートマット／データマットの全面が消去されていますので、ブートモードで新たに書き込んだデータをリセットせずに消去したい場合以外には消去を実行する必要はありません。

書き込み／消去以外に、ユーザマット／ユーザブートマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、ステータス情報取得のためのホストコマンドもあります。

38.9.5　ビットレートの自動調整

RX62N、RX621 をブートモードで起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ “00h” の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps または 19,200bps に設定してください。RX62N、RX621 は測定した Low 期間からホストの SCI のビットレートを計算し、ビットレート調整が終了すると 00h をホストへ送信します。ホストが “00h” を正常に受信した場合には、ホストから RX62N、RX621 に “55h” を送信してください。“00h” を正常に受信できなかった場合には、RX62N、RX621 をブートモードで再起動し、ビットレートの自動調整を再実行してください。RX62N、RX621 は 55h を正常に受信すると “E6h” を送信し、“55h” を正常に受信できなかった場合には “FFh” を送信します。

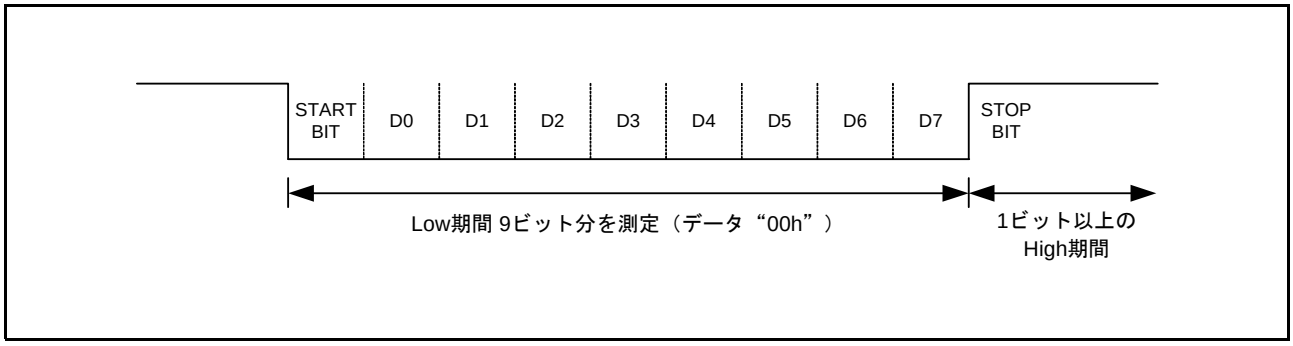


図 38.28　ビットレート自動調整時の SCI 送受信フォーマット

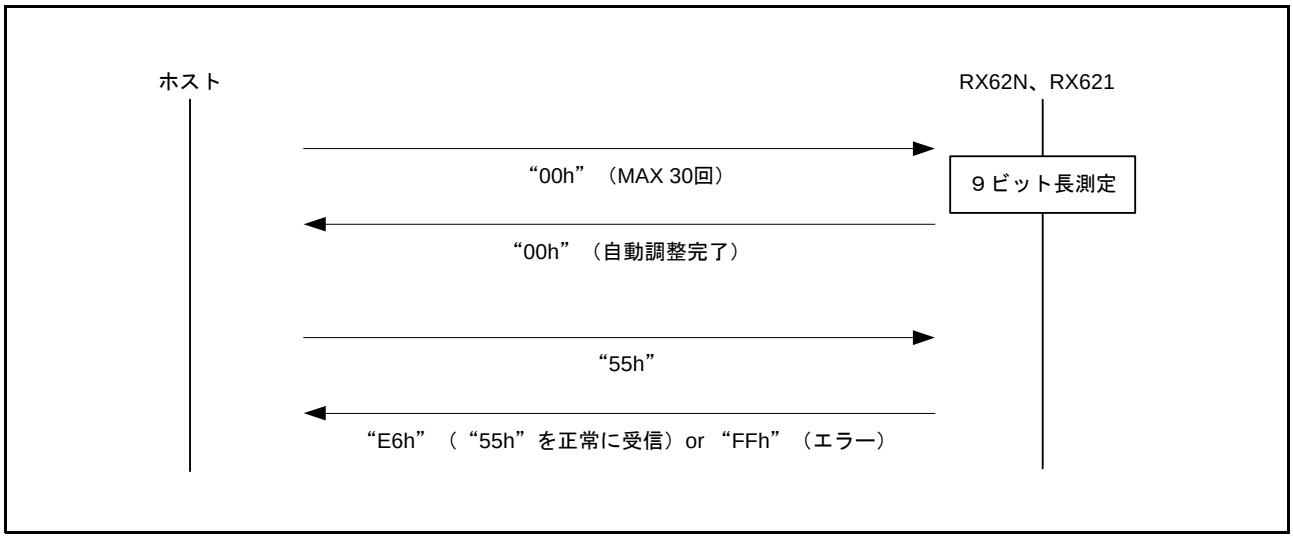


図 38.29　ホストと RX62N、RX621 間の通信シーケンス

ホストの SCI のビットレートや RX62N、RX621 の周辺クロックの周波数に依存してビットレートを正常に調整できない場合がありますので、表 38.12 に示した条件で SCI の通信を行うようにしてください。

表38.12　ビットレート自動調整が可能な条件

ホストのSCIのビットレート	EXTALの周波数範囲
9,600bps	8～14 MHz
19,200bps	8～14 MHz

38.9.6 問い合わせ設定ホストコマンド待ち状態

表 38.13 に問い合わせ設定ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。組み込みプログラムステータス問い合わせコマンドは、書き込み／消去ホストコマンド待ち状態でも使用可能です。その他のコマンドは、問い合わせ設定ホストコマンド待ち状態でのみ使用可能です。

表38.13 問い合わせ設定ホストコマンド

ホストコマンド名	機能
サポートデバイス問い合わせ	デバイスコードと組み込みプログラム型名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
クロックモード選択	選択されているクロックモードの通知
逓倍比問い合わせ	クロック種類、逓倍比／分周比の種類、逓倍比／分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大／最低動作周波数の問い合わせ
ユーザブートマット情報問い合わせ	ユーザブートマットの個数、先頭／最終アドレスの問い合わせ
ユーザマット情報問い合わせ	ユーザマットの個数、先頭／最終アドレスの問い合わせ
消去ブロック情報問い合わせ	ブロック数、先頭／最終アドレスの問い合わせ
書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
新ビットレート選択	ホスト⇔RX62N、RX621間のSCI通信のビットレートを変更
書き込み消去ステータス遷移	IDコードプロテクト判定に遷移
組み込みプログラムステータス問い合わせ	処理状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、RX62N、RX621 がコマンドエラーのレスポンスを送信します。コマンドエラーのレスポンスの内容は以下の通りです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス	80h	コマンド

問い合わせ設定ホストコマンド待ち状態では、問い合わせコマンドのレスポンスを参考にして、デバイス選択→クロックモード選択→新ビットレート選択の順にホストから選択コマンドを送信し、RX62N、RX621 の設定を行ってください。また、サポートデバイス問い合わせ／クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、RX62N、RX621 がコマンドエラーのレスポンスを送信します。図 38.30 に問い合わせ設定ホストコマンド待ち状態でのホストコマンド使用例を示します。

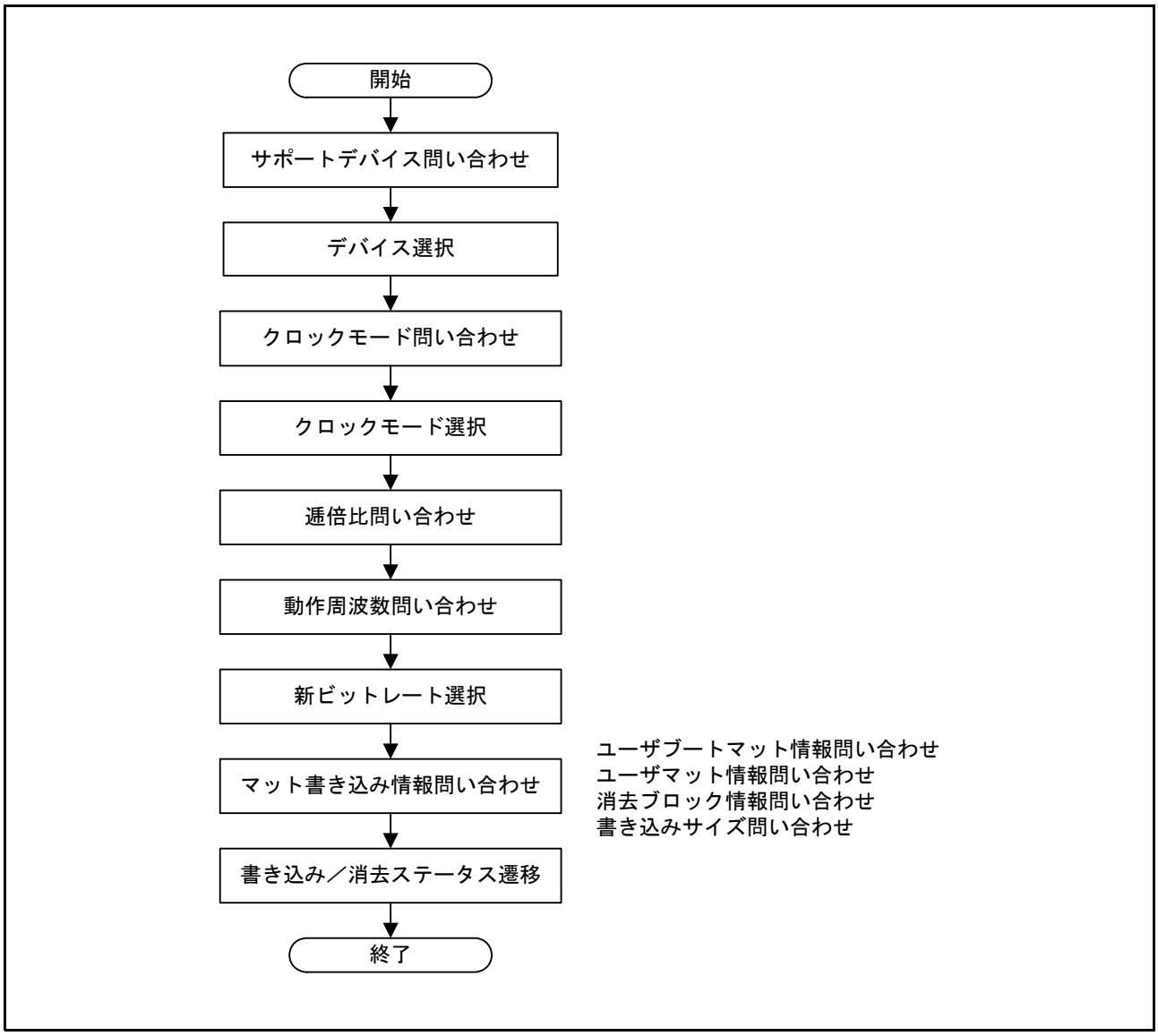


図 38.30　ユーザマット／ユーザブートマット／問い合わせ設定ホストコマンドの使用例

各ホストコマンドの詳細を以下に説明します。説明文中の“コマンド”はホストから RX62N、RX621 に送信するコマンド、“レスポンス”は RX62N、RX621 からホストに送信する応答です。“サムチェック”は RX62N、RX621 が送信した各バイトを合計した場合に、00h になるように計算されたバイトデータを指します。

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートモード用の組み込みプログラムでサポート可能なデバイス情報を RX62N、RX621 が送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、RX62N、RX621 は選択したデバイスの情報のみ送信します。

コマンド	20h			
レスポンス	30h	サイズ	デバイス数	
	文字数	デバイスコード		品名
	文字数	デバイスコード		品名
	・・・	・・・		・・・
	文字数	デバイスコード		品名
	SUM			

【記号説明】

サイズ（1バイト）	：デバイス数、文字数、デバイスコード、品名のデータの総バイト数
デバイス数（1バイト）	：ブートモード用の組み込みプログラムがサポートする品種数
文字数（1バイト）	：デバイスコードと品名の文字数
デバイスコード（4バイト）	：チップ品名のASCIIコード
品名（nバイト）	：サポートデバイス名のASCIIコード
SUM（1バイト）	：サムチェック

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、RX62N、RX621 は指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、RX62N、RX621 はサポートデバイスを指定したデバイスに変更し、レスポンス（06h）を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、RX62N、RX621 はエラーレスポンス（90h）を送信します。

サポートデバイス問い合わせの結果、デバイス数が 01h であった場合も、デバイス選択コマンドで、問い合わせ結果のデバイスコードの値を設定してください。

コマンド	10h	サイズ	デバイスコード	SUM
レスポンス	06h			
エラーレスポンス	90h	エラー		

【記号説明】

サイズ（1バイト）	：デバイスコードの文字数（固定値で4）
デバイスコード（4バイト）	：チップ品名のASCIIコード （サポートデバイス問い合わコマンドの応答と同一のコード）
SUM（1バイト）	：サムチェック
エラー（1バイト）	：エラーコード 11h：サムチェックエラー（コマンドが不正） 21h：デバイスコード不一致

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードを RX62N、RX621 が送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、RX62N、RX621 は選択したクロックモードの情報のみ送信します。

コマンド	21h			
レスポンス	31h	サイズ		
	モード	モード	・・・	モード
	SUM			

【記号説明】
- サイズ（1バイト）：モード数、モードのデータの総バイト数
- モード（1バイト）：選択可能なクロックモード（例：01h　クロックモード1）
- SUM（1バイト）：サムチェック

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、RX62N、RX621 は指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、RX62N、RX621 はクロックモードを指定したモードに変更し、レスポンス（06h）を送信します。サポート可能なモードでなかった場合や、送信されたコマンドが不正であった場合には、RX62N、RX621 はエラーレスポンス（91h）を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が 00h または 01h であった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	11h	サイズ	モード	SUM
レスポンス	06h			
エラーレスポンス	91h	エラー		

【記号説明】
- サイズ（1バイト）：モードの文字数（固定値で1）
- モード（1バイト）：クロックモード（クロックモード問い合わコマンドの応答と同一のモード）
- SUM（1バイト）：サムチェック
- エラー（1バイト）：エラーコード
  - 11h：サムチェックエラー（コマンドが不正）
  - 22h：クロックモード不一致

(5) 逓倍比問い合わせ

ホストが逓倍比問い合わせコマンドを送信すると、クロック種類、逓倍比／分周比の種類、逓倍比／分周比の情報を RX62N、RX621 が送信します。

コマンド

22h

レスポンス

32h	サイズ	クロック数		
逓倍比種類	逓倍比	逓倍比	・・・	逓倍比
逓倍比種類	逓倍比	逓倍比	・・・	逓倍比
・・・	・・・	・・・	・・・	・・・
逓倍比種類	逓倍比	逓倍比	・・・	逓倍比
SUM				

【記号説明】

サイズ（1バイト）　：クロック数、逓倍比種類、逓倍比のデータの総バイト数

クロック数（1バイト）　：クロックの種類（例：02h　システムクロックと周辺クロックの2種類）

逓倍比種類（1バイト）　：選択可能な逓倍比／分周比の種類
（例：04h　システムクロックは1逓倍、2逓倍、4逓倍、8逓倍の4種類）

逓倍比（1バイト）　：逓倍比（例：04h = 4　4逓倍）← 正の数で指定
分周比（例：FEh = -2　2分周）← 負の数で指定

SUM（1バイト）　：サムチェック

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報を RX62N、RX621 が送信します。

コマンド

23h

レスポンス

33h	サイズ	クロック数
最小周波数		最大周波数
最小周波数		最大周波数
・・・		・・・
最小周波数		最大周波数
SUM		

【記号説明】

サイズ（1バイト）　：クロック数、最小周波数、最大周波数のデータの総バイト数

クロック数（1バイト）　：クロックの種類（例：02h　システムクロックと周辺クロックの2種類）

最小周波数（2バイト）　：動作周波数の最小値（例：07D0h　20.00MHz）
周波数（MHz）の小数点第2位までの値を100倍した値

最大周波数（2バイト）　：動作周波数の最大値
書式は最小周波数と同様

SUM（1バイト）　：サムチェック

(7) ユーザブートマット情報問い合わせ

ホストがユーザブートマット情報を問い合わせると、ユーザブートマットのエリア数とアドレスの情報をRX62N、RX621 が送信します。

コマンド

24h

レスポンス

34h	サイズ	エリア数
エリア先頭アドレス		
エリア最終アドレス		
エリア先頭アドレス		
エリア最終アドレス		
・・・		
エリア先頭アドレス		
エリア最終アドレス		
SUM		

【記号説明】

サイズ（1バイト）	：エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
エリア数（1バイト）	：ユーザマットのエリア数（連続したエリアは 1エリアと数えます。）
エリア先頭アドレス（4バイト）	：ユーザマットエリアの先頭アドレス
エリア最終アドレス（4バイト）	：ユーザマットエリアの最終アドレス
SUM（1バイト）	：サムチェック

(8) ユーザマット情報問い合わせ

ホストがユーザマット情報を問い合わせると、ユーザマットのエリア数とアドレスの情報を RX62N、RX621 が送信します。

コマンド

25h

レスポンス

35h	サイズ	エリア数
エリア先頭アドレス		
エリア最終アドレス		
エリア先頭アドレス		
エリア最終アドレス		
・・・		
エリア先頭アドレス		
エリア最終アドレス		
SUM		

【記号説明】

サイズ（1バイト）	：エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
エリア数（1バイト）	：ユーザマットのエリア数（連続したエリアは 1エリアと数えます。）
エリア先頭アドレス（4バイト）	：ユーザマットエリアの先頭アドレス
エリア最終アドレス（4バイト）	：ユーザマットエリアの最終アドレス
SUM（1バイト）	：サムチェック

(9) 消去ブロック情報問い合わせ

ホストが消去ブロック情報を問い合わせると、ユーザマットの消去ブロック数とアドレスの情報をRX62N、RX621 が送信します。

コマンド	26h		
レスポンス	36h	サイズ	ブロック数
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	・・・		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	SUM		

【記号説明】
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数
- ブロック数（1バイト）：ユーザマットの消去ブロック数
- エリア先頭アドレス（4バイト）：消去ブロックの先頭アドレス
- エリア最終アドレス（4バイト）：消去ブロックの最終アドレス
- SUM（1バイト）：サムチェック

(10) 書き込みサイズ問い合わせ

ホストが書き込みサイズを問い合わせると、RX62N、RX621 が書き込みサイズの情報を送信します。

コマンド	27h			
レスポンス	37h	サイズ	書き込みサイズ	SUM

【記号説明】
- サイズ（1バイト）：書き込みサイズの文字数（固定値で2）
- 書き込みサイズ（2バイト）：書き込み単位（バイト数単位）
- SUM（1バイト）：サムチェック

(11) 新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、RX62N、RX621 は内蔵 SCI を指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、RX62N、RX621 はレスポンス（06h）を送信し、SCI を新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、RX62N、RX621 はエラーレスポンス（BFh）を送信します。ホストはレスポンス（06h）を受信すると、新ビットレート選択コマンド送信時のビットレートで 1 ビット期間ウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ（06h）を送信し、RX62N、RX621 は確認データのレスポンス（06h）を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

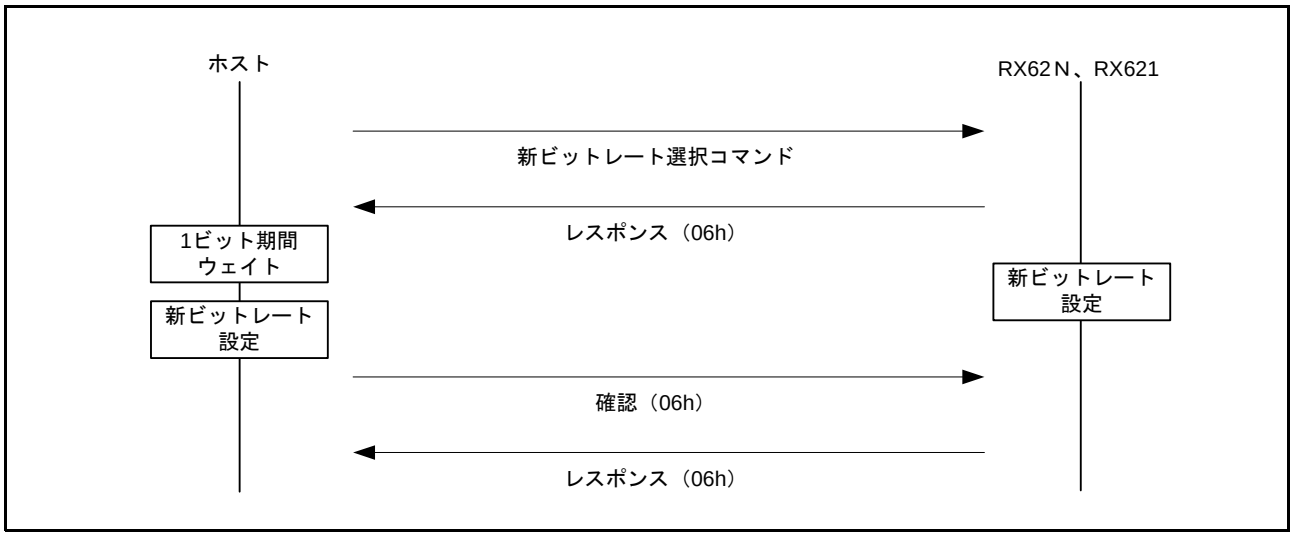


図 38.31　新ビットレート選択のシーケンス

コマンド	3Fh	サイズ	ビットレート	入力周波数
	クロック数	逓倍比 1	逓倍比 2	
	SUM			
レスポンス	06h			
エラーレスポンス	BFh	エラー		
確認	06h			
レスポンス	06h			

【記号説明】

サイズ（1バイト）	：ビットレート、入力周波数、クロック数、逓倍比のデータの総バイト数
ビットレート（2バイト）	：新ビットレート（例：00C0h　19200bps） ビットレート値を1/100した値を設定
入力周波数（2バイト）	：RX62N、RX621の入力周波数（例：04E2h　12.50MHz） 入力周波数の小数点第2位までを100倍した値を設定
クロック数（1バイト）	：クロックの種類（例：02h　システムクロックと周辺クロックの2種類）
逓倍比1（1バイト）	：入力周波数に対するシステムクロック（ICLK）の逓倍比／分周比 逓倍比（例：04h = 4　4逓倍）← 正の数で指定 分周比（例：FEh = -2　2分周）← 負の数で指定
逓倍比2（1バイト）	：入力周波数に対する周辺クロック（PCLK）の逓倍比／分周比 逓倍比1と同じフォーマット
SUM（1バイト）	：サムチェック
エラー	：エラーコード 11h：サムチェックエラー 24h：ビットレート選択不可エラー 25h：入力周波数エラー 26h：逓倍比エラー 27h：動作周波数エラー

- ビットレート選択不可エラー

新ビットレート選択コマンドで指定したビットレートを、RX62N、RX621 の SCI が誤差 4% 未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートを B、入力周波数を f_{EX}、逓倍比 2 を $M_{P\varphi}$、SCI のビットレートレジスタ（BRR）の設定値を N、シリアルモードレジスタ（SMR）の CKS[1:0] ビットの設定値を n とした場合のビットレート誤差は、以下の計算式で求められます。

$$誤差\ (\%) = \{\frac{f_{EX} \times M_{P\phi} \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1\} \times 100$$

- 入力周波数エラー

新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値と最大値の範囲外であった場合に入力周波数エラーが発生します。

- 逓倍比エラー

新ビットレート選択コマンドで指定した逓倍比が、クロックモード選択コマンドで指定したクロックモードに対応する逓倍比でなかった場合に逓倍比エラーが発生します。選択可能な逓倍比を確認するためには逓倍比問い合わせコマンドを使用してください。

- 動作周波数エラー

新ビットレート選択コマンドで指定した動作周波数で RX62N、RX621 が動作できない場合に動作周波数エラーが発生します。RX62N、RX621 は、新ビットレート選択コマンドで指定された入力周波数、逓倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であるかをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

（12）書き込み消去ステータス遷移

ホストが書き込み消去ステータス遷移コマンドを送信すると、RX62N、RX621 は ROM 上に書かれている制御コードおよび ID コードにより、ID コードプロテクトの有効 / 無効を判定します。ID コードプロテクト有効時は、レスポンス（16h）を送信し、ID コード待ち状態へ遷移し、ID コードプロテクト無効時はユーザマット／ユーザブートマット／データマットを全面消去します。全面消去が完了すると、RX62N、RX621 はレスポンス（26h）を送信し、書き込み消去ホストコマンド待ち状態に遷移します。エラーが発生して消去が完了しなかった場合には、RX62N、RX621 はエラーレスポンス（C0h → 51h）を送信します。

デバイス選択、クロックモード選択、新ビットレート選択を実行する前に、書き込み消去ステータス遷移コマンドを発行しないでください。

コマンド	40h	
レスポンス	ACK	
エラーレスポンス	C0h	51h

【記号説明】　ACK（1バイト）　：ACKコード
26h：IDコードプロテクト無効の場合
16h：IDコードプロテクト有効の場合

(13) 組み込みプログラムステータス問い合わせ

ホストが組み込みプログラムステータス問い合わせコマンドを送信すると、RX62N、RX621 は現在のステータスを送信します。組み込みプログラムステータス問い合わせコマンドは、問い合わせ設定ホストコマンド待ち状態と書き込み消去ホストコマンド待ち状態で使用可能です。

コマンド	4Fh			
レスポンス	5Fh	サイズ	ステータス	エラー

【記号説明】
サイズ（1バイト）：ステータス、エラーのデータの総バイト数（固定値で2）
ステータス（1バイト）：RX62N、RX621の状態（表38.14を参照）
エラー（1バイト）：RX62N、RX621のエラー発生状況（表38.15を参照）

表38.14　ステータスの内容

コード	内容
11h	デバイス選択待ち
12h	クロックモード選択待ち
13h	ビットレート選択待ち
1Fh	書き込み消去ホストコマンド待ち状態への遷移待ち（ビットレート選択完了）
31h	ユーザマット／ユーザブートマットの消去中
3Fh	書き込み消去ホストコマンド待ち
4Fh	書き込みデータ受信待ち
5Fh	消去ブロック指定待ち

表38.15　エラーの内容

コード	内容
00h	エラーなし
11h	サムチェックエラー
21h	デバイスコード不一致エラー
22h	クロックモード不一致エラー
24h	ビットレート選択不可エラー
25h	入力周波数エラー
26h	逓倍比エラー
27h	動作周波数エラー
29h	ブロック番号エラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	消去エラー
52h	未消去エラー
53h	書き込みエラー
54h	選択処理エラー
80h	コマンドエラー
FFh	ビットレート合わせ込み確認エラー

38.9.7 IDコード待ち状態

表 38.16 に ID コード待ち状態で使用可能なホストコマンドの一覧を示します。

表38.16　IDコードチェックホストコマンド

ホストコマンド名	機能
IDコードチェック	IDコードチェックを実施

ホストが未定義のコマンドを送信した場合は、RX62N、RX621 がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「38.9.6　問い合わせ設定ホストコマンド待ち状態」を参照してください。

(1) ID コードチェック

ホストが ID コードチェックコマンドを送信すると、RX62N、RX621 は ROM 上の制御コードおよび ID コードとホストから送られてきたコードを比較し、結果を返信します。

コマンド

60h	サイズ
制御コード＋ ID コード	
SUM	

レスポンス

ACK

E0h	エラー

【記号説明】

サイズ（1バイト）　：IDコードのバイト数（固定値で16）

IDコード（16バイト）　：制御コード（1バイト）＋IDコード（15バイト）

SUM（1バイト）　：サムチェック

ACK（1バイト）　：ACKコード
26h ：書き込み消去ステータス遷移に対する応答

エラー（1バイト）　：エラーコード
11h：チェックサムエラー
61h：IDコード不一致
63h：IDコード不一致[消去エラー]
IDコード不一致で消去実行の結果、エラーとなった場合

38.9.8 書き込み／消去ホストコマンド待ち状態

表 38.17 に書き込み／消去ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。

表38.17 書き込み／消去ホストコマンド

ホストコマンド名	機能
ユーザブートマット書き込み選択	ユーザブートマット書き込みを選択
ユーザマット書き込み選択	ユーザマット書き込みを選択
256バイト書き込み	256バイト書き込み
消去選択	消去を選択
ブロック消去	ブロックデータの消去
メモリリード	メモリの読み出し
ユーザブートマットサムチェック	ユーザブートマットのサムチェック
ユーザマットサムチェック	ユーザマットのサムチェック
ユーザブートマットブランクチェック	ユーザブートマットのブランクチェック
ユーザマットブランクチェック	ユーザマットのブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットの書き込み
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
組み込みプログラムステータス問い合わせ	RX62N、RX621の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、RX62N、RX621 がコマンドエラーのレスポンスを送信します。
コマンドエラーの内容は、「38.9.6 問い合わせ設定ホストコマンド待ち状態」を参照してください。

ROM の書き込みを実行する場合には、ホストから書き込み選択コマンド（ユーザマット書き込み選択／ユーザブートマット書き込み選択）を送信後、256 バイト書き込みコマンドを送信します。ホストが書き込み選択コマンドを送信すると、RX62N、RX621 は書き込みデータ待ち状態になります（「38.9.4 ブートモードの状態遷移」を参照）。書き込みデータ待ちの状態で、ホストが 256 バイト書き込みコマンドを送信すると、RX62N、RX621 は ROM にデータを書き込みます。ホストが書き込み先のアドレスを FFFF FFFFh に設定して 256 バイト書き込みコマンドを送信すると、RX62N、RX621 は書き込み終了と判定し、書き込み／消去ホストコマンド待ち状態に遷移します。

ROM の消去を実行する場合には、ホストから消去選択コマンドを送信後、ブロック消去コマンドを送信します。ホストが消去選択コマンドを送信すると、RX62N、RX621 は消去ブロック指定待ち状態になります（「38.9.4 ブートモードの状態遷移」を参照）。消去ブロック指定待ちの状態で、ホストがブロック消去コマンドを送信すると、RX62N、RX621 は ROM をブロック消去します。ホストがブロック番号に FFh を設定してブロック消去コマンドを送信すると、RX62N、RX621 は消去終了と判定し、書き込み／消去ホストコマンド待ち状態に遷移します。

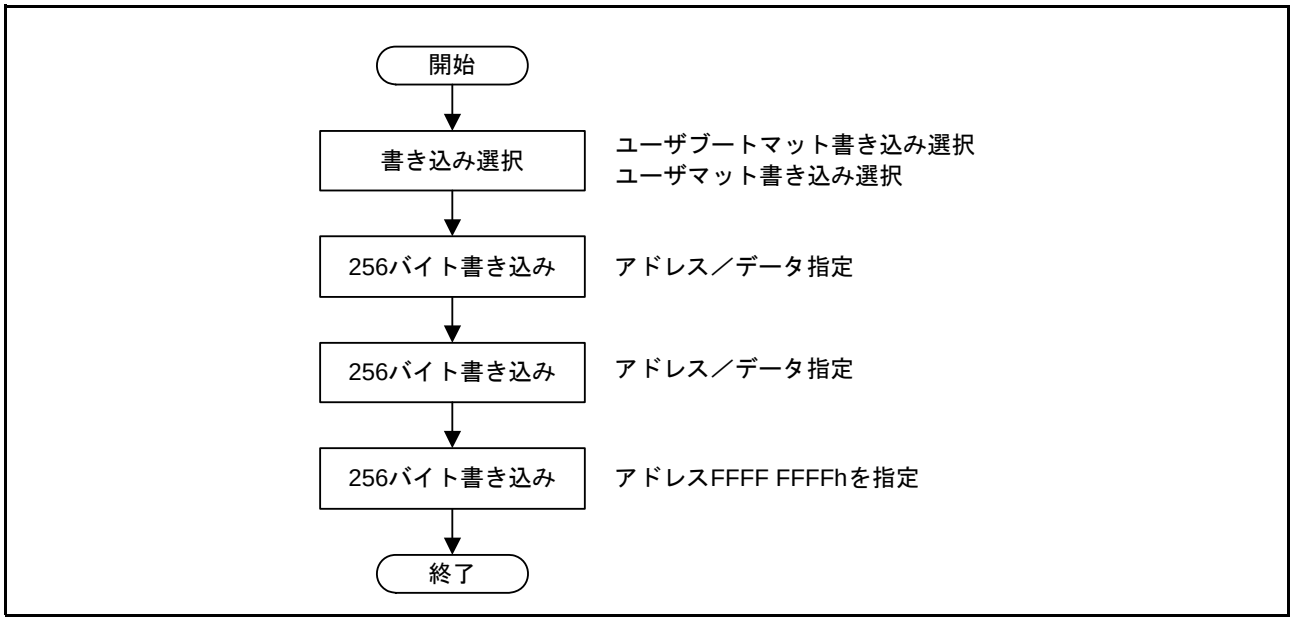


図 38.32　ブートモードでの ROM 書き込み方法

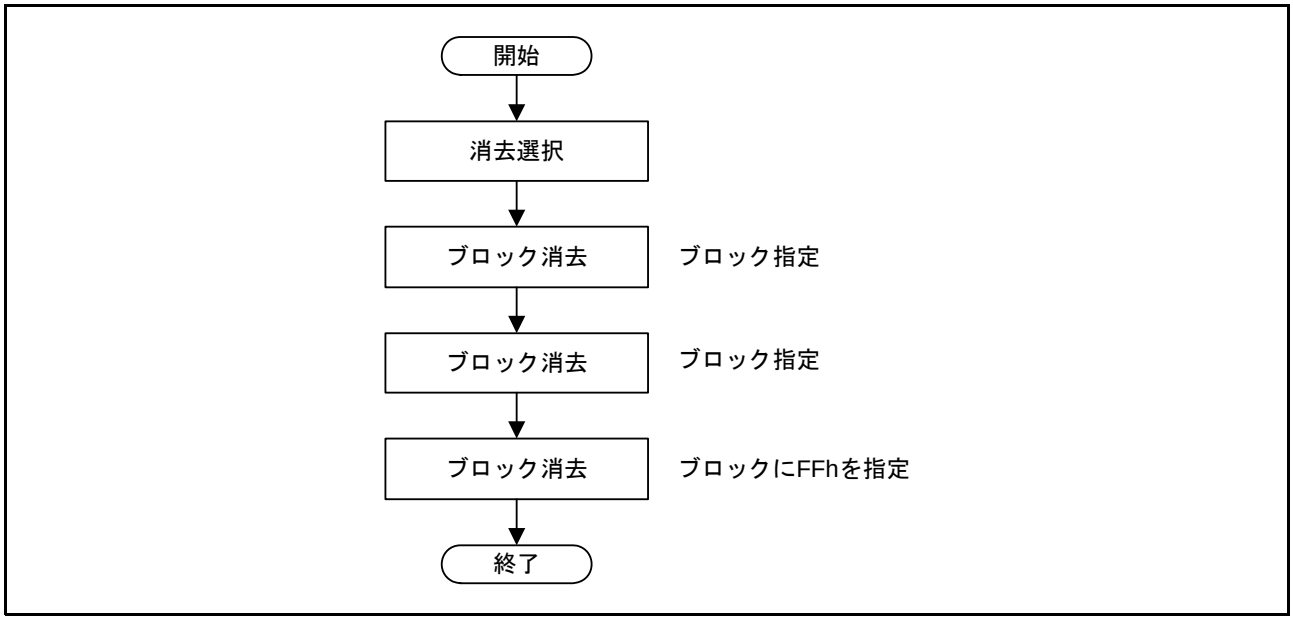


図 38.33　ブートモードでの ROM 消去方法

各ホストコマンドの詳細を以下に説明します。説明文中の“コマンド”はホストから RX62N、RX621 に送信するコマンド、“レスポンス”は RX62N、RX621 からホストに送信する応答です。“サムチェック”は、送信した各バイトを合計した場合に、00h になるように計算されたバイトデータを指します。

(1) ユーザブートマット書き込み選択

ホストがユーザブートマット書き込み選択コマンドを送信すると、RX62N、RX621 はユーザブートマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	42h
レスポンス	06h

(2) ユーザマット書き込み選択

ホストがユーザマット書き込み選択コマンドを送信すると、RX62N、RX621 はユーザマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	43h
レスポンス	06h

(3) 256 バイト書き込み

ホストが 256 バイト書き込みコマンドを送信すると、RX62N、RX621 は ROM の書き込みを実行します。ROM の書き込みが正常に終了すると、RX62N、RX621 はレスポンス（06h）を送信します。書き込み処理中にエラーが発生すると、RX62N、RX621 はエラーレスポンス（D0h）を送信します。

コマンド	50h	書き込みアドレス		
	データ	データ	・・・	データ
	SUM			
レスポンス	06h			
エラーレスポンス	D0h	エラー		

【記号説明】

書き込みアドレス（4バイト）	：書き込み先のアドレス 書き込み実行時には256バイト境界にアラインしたアドレス 書き込み終了を指定する場合にはFFFF FFFFhを送信
データ（256バイト）	：書き込みデータ 書き込み不要なバイトにはFFhを指定 書き込み終了を指定する場合にはデータの送信は不要 （書き込みアドレス→SUMの順で送信する）
SUM（1バイト）	：サムチェック
エラー（1バイト）	：エラーコード 11h：サムチェックエラー 2Ah：アドレスエラー（アドレスが指定のマット内にない） 53h：書き込みエラーが発生し書き込めない

（4）消去選択

ホストが消去選択コマンドを送信すると、RX62N、RX621 は消去プログラムを選択し、消去ブロック指定待ち状態になります。

コマンド	48h
レスポンス	06h

（5）ブロック消去

ホストがブロック消去コマンドを送信すると、RX62N、RX621 は ROM の消去を実行します。ROM の消去が正常に終了すると、RX62N、RX621 はレスポンス（06h）を送信します。消去処理中にエラーが発生すると、RX62N、RX621 はエラーレスポンス（D8h）を送信します。

コマンド	58h	サイズ	ブロック	SUM
レスポンス	06h			
エラーレスポンス	D8h	エラー		

【記号説明】

サイズ（1バイト）	：ブロックのデータのバイト数（固定値で1）
ブロック（1バイト）	：消去する消去ブロックの番号 消去終了を指定する場合にはFFhを送信
SUM（1バイト）	：サムチェック
エラー（1バイト）	：エラーコード 11h：サムチェックエラー 29h：ブロック番号エラー（ブロック番号が正しくない） 51h：消去エラーが発生し消去できない

(6) メモリリード

ホストがメモリリードコマンドを送信すると、RX62N、RX621 は ROM に対するリードを実行します。正常にリードが実行された場合には、RX62N、RX621 はメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX62N、RX621 はエラーレスポンス（D2h）を送信します。

コマンド

52h	サイズ	エリア	読み出し先頭アドレス
読み出しサイズ			SUM

レスポンス

52h	読み出しサイズ		
データ	データ	・・・	データ
SUM			

エラーレスポンス

D2h	エラー

【記号説明】

サイズ（1バイト）	：エリア、読み出しアドレス、読み出しサイズのデータの総バイト数
エリア（1バイト）	：読み出し対象のマット 00h：ユーザブートマット 01h：ユーザマット
読み出し先頭アドレス（4バイト）	：読み出し対象領域の先頭アドレス
読み出しサイズ（4バイト）	：読み出すデータのサイズ（バイト単位）
SUM（1バイト）	：サムチェック
データ（1バイト）	：ROMから読み出したデータ
エラー（1バイト）	：エラーコード 11h：サムチェックエラー 2Ah：アドレスエラー ・エリアの選択で00h、01h以外を指定 ・読み出し先頭アドレスが指定したマットの領域外 2Bh：サイズエラー ・読み出しサイズの選択で00hを指定 ・読み出しサイズがマットのサイズを超えている ・読み出し先頭アドレスと読み出しサイズから計算されたアドレスがマットの領域外

(7) ユーザブートマットサムチェック

ホストがユーザブートマットサムチェックコマンドを送信すると、RX62N、RX621 はユーザブートマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	4Ah			
レスポンス	5Ah	サイズ	マットのサムチェック	SUM

【記号説明】
- サイズ（1バイト）：マットのサムチェックのバイト数（固定値で4）
- マットのサムチェック（4バイト）：ユーザブートマットのサムチェック結果
- SUM（1バイト）：サムチェック（レスポンスデータのサムチェック）

(8) ユーザマットサムチェック

ホストがユーザマットサムチェックコマンドを送信すると、RX62N、RX621 はユーザマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	4Bh			
レスポンス	5Bh	サイズ	マットのサムチェック	SUM

【記号説明】
- サイズ（1バイト）：マットのサムチェックのバイト数（固定値で4）
- マットのサムチェック（4バイト）：ユーザマットのサムチェック結果
  ユーザマットにはデバッグ機能認証用のキーコードも含まれています。
  加算結果にキーコード値が含まれることに注意してください。
- SUM（1バイト）：サムチェック（レスポンスデータのサムチェック）

(9) ユーザブートマットブランクチェック

ホストがユーザブートマットブランクチェックコマンドを送信すると、RX62N、RX621 はユーザブートマットがすべて消去状態であるかをチェックします。ユーザブートマットがすべて消去状態であった場合には、RX62N、RX621 はレスポンス（06h）を送信します。ユーザブートマットに未消去領域が存在した場合には、RX62N、RX621 はエラーレスポンス（CCh → 52h）を送信します。

コマンド	4Ch	
レスポンス	06h	
エラーレスポンス	CCh	52h

(10) ユーザマットブランクチェック

ホストがユーザマットブランクチェックコマンドを送信すると、RX62N、RX621 はユーザマットがすべて消去状態であるかをチェックします。ユーザマットがすべて消去状態であった場合には、RX62N、RX621 はレスポンス（06h）を送信します。ユーザマットに未消去領域が存在した場合には、RX62N、RX621 はエラーレスポンス（CDh → 52h）を送信します。

コマンド	4Dh	
レスポンス	06h	
エラーレスポンス	CDh	52h

(11) リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、RX62N、RX621 はロックビットに対するリードを実行します。正常にリードが実行された場合には、RX62N、RX621 はリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX62N、RX621 はエラーレスポンス（F1h）を送信します。

コマンド	71h	サイズ	エリア	中位アドレス	上位アドレス	最上位アドレス	SUM
レスポンス	ステータス						
エラーレスポンス	F1h	エラー					

【記号説明】

サイズ（1バイト）	：エリア、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数 （RX62N、RX621 では固定値で 4 ）
エリア（1バイト）	：読み出し対象のマット 01h：ユーザマット
中位アドレス（1バイト）	：指定ブロックの最後尾のアドレスの中位アドレス（8～15 ビット）
上位アドレス（1バイト）	：指定ブロックの最後尾のアドレスの上位アドレス（16～23 ビット）
最上位アドレス（1バイト）	：指定ブロックの最後尾のアドレスの最上位アドレス（24～31 ビット）
SUM（1バイト）	：サムチェック
ステータス（1バイト）	：ビット6が “0” でロック状態 ビット6が“1”でアンロック状態
エラー（1バイト）	：エラーコード 11h：サムチェックエラー 2Ah：アドレスエラー（アドレスが指定のマット内にない）

（12）ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、RX62N、RX621 はロックビットの書き込みを行い、指定ブロックをロック状態にします。正常にロックされた場合には、RX62N、RX621 はレスポンス（06h）を送信します。ロックされなかった場合には、RX62N、RX621 はエラーレスポンス（F7h）を送信します。

コマンド	77h	サイズ	エリア	中位アドレス	上位アドレス	最上位アドレス	SUM

レスポンス	06h

エラーレスポンス	F7h	エラー

【記号説明】

サイズ（1バイト）	：エリア、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数（RX62N、RX621では固定値で４）
エリア（1バイト）	：ロック対象のマット 01h：ユーザマット
中位アドレス（1バイト）	：指定ブロックの最後尾のアドレスの中位アドレス（8～15ビット）
上位アドレス（1バイト）	：指定ブロックの最後尾のアドレスの上位アドレス（16～23ビット）
最上位アドレス（1バイト）	：指定ブロックの最後尾のアドレスの最上位アドレス（24～31ビット）
SUM（1バイト）	：サムチェック
エラー（1バイト）	：エラーコード 11h：サムチェックエラー 2Ah：アドレスエラー（アドレスが指定のマット内にない） 53h：書き込みエラーが発生しロック状態にできない

（13）ロックビット有効

ホストがロックビット有効コマンドを送信すると、RX62N、RX621 はロックビットを有効にします。

コマンド	7Ah
レスポンス	06h

（14）ロックビット無効

ホストがロックビット無効コマンドを送信すると、RX62N、RX621 はロックビットを無効にします。

コマンド	75h
レスポンス	06h

（15）組み込みプログラムステータス問い合わせ

「38.9.6　問い合わせ設定ホストコマンド待ち状態」を参照してください。

38.10 USB（ユーザ）ブートモード

MD1、MD0 端子により USB（ユーザ）ブートモードに設定しリセット解除を行うと、ユーザブートマットから起動します。このときのリセットベクタは、ユーザブートマットの FF7F FFFCh 番地になります。その他のベクタテーブルは、通常のベクタテーブルを参照します（「11. 割り込みコントローラ（ICUa）」）。

製品出荷時は、ユーザブートマットに USB ブートプログラムが格納されています。このプログラムにより、USB を使用したユーザマットの書き換えが可能です。

また、ユーザブートマットはブートモードで書き換えが可能です。USB ブートプログラムを書き換えることで、任意のインタフェースを使った書き込みが可能になります。

以下、USB ブートプログラムを使用した USB ブートモードについて説明します。

USB ブートモードは、USB を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザマットへの書き込み／消去を行うモードです。

USB ブートモードでは、制御コマンドや書き込みデータを送信するツールと、書き込みデータをホスト側に準備しておく必要があります。図 38.34 に USB ブートモードのシステム構成を示します。USB ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

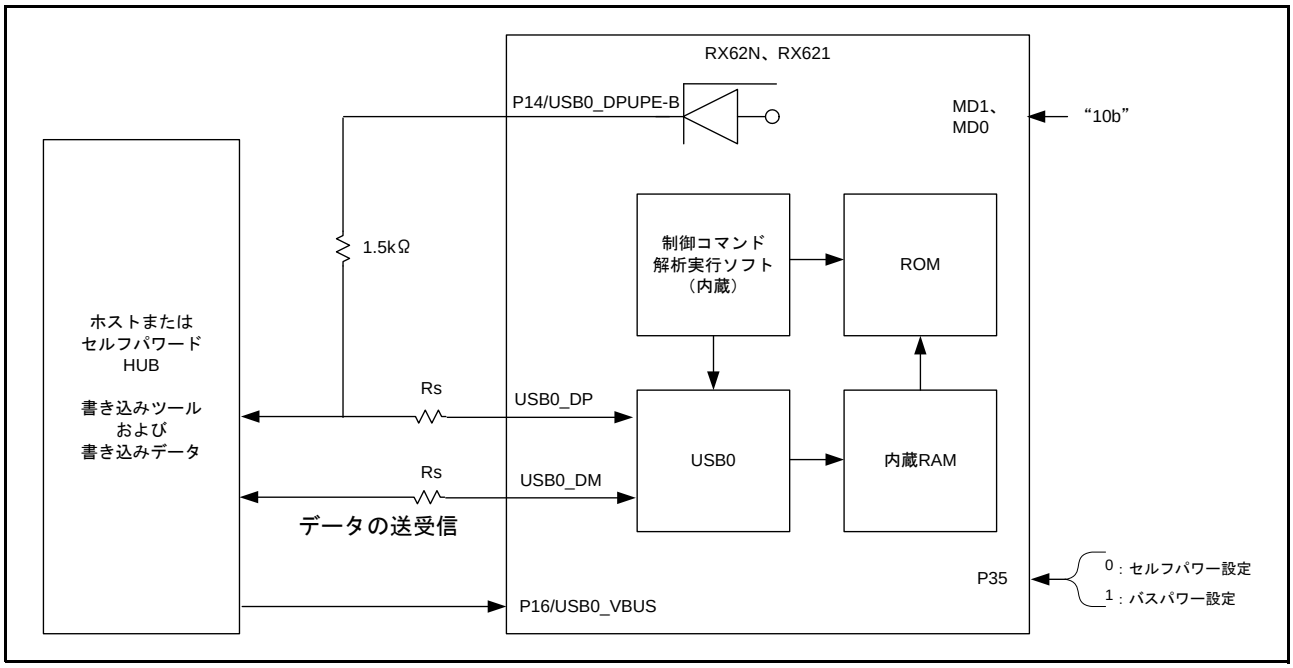


図 38.34　USB ブートモードのシステム構成図

38.10.1 特長

- バスパワーモードとセルフパワーモードを選択可能
- D+ プルアップ制御接続は USB0-DPUPE-B 端子のみ対応
- エニュメレーション情報は表 38.18 を参照

なお、本 LSI では USB0 使用時かつ Function モード時のみ USB ブートモードが使用可能です。

表38.18　エニュメレーション情報

USB規格	Ver.2.0　(Full-speed)	
転送モード	転送モードControl (in, out) Bulk (in, out)	
最大電力量	セルフパワーモード時（P35端子=0)	100mA
	バスパワーモード時（P35端子=1)	500mA
エンドポイント構成	EP0 Control (in out) 8Bytes Configuration1 └─ InterfaceNumber0 　└─ AlternateSetting0 　　├─ EP1 Bulk (out) 64Bytes 　　└─ EP2 Bulk (in) 64Bytes	

38.10.2 状態遷移

USB ブートモード起動後の状態遷移を図 38.35 に示します。

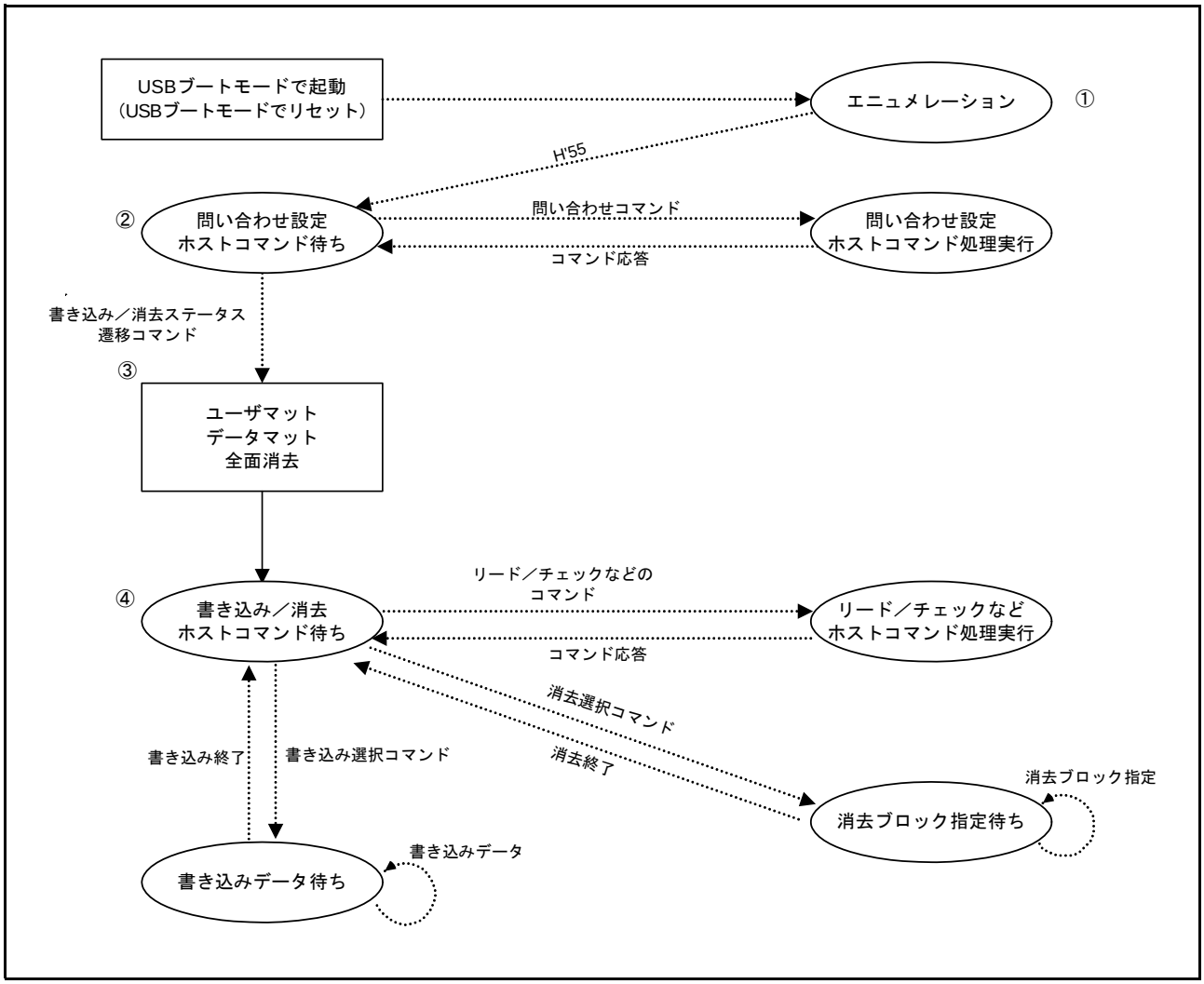


図 38.35　USB ブートモードの状態遷移

1. USB ブートモードに移行すると、本 LSI 内部に組み込まれているブートプログラムが起動します。
   本 LSI は USB ブートプログラムが起動すると、ホストとのエニュメレーションを行います。
   エニュメレーションが完了したら、ホストは本 LSI へ “55h” を 1 バイト送信してください。正常に受信できなかった場合は、USB ブートモードを再起動してください。
2. ユーザマットのサイズ、構成、先頭アドレス、サポート状況などの問い合わせ情報をホストに送信します。
3. 問い合わせが終了するとすべてのユーザマット、データマットを自動消去します。
4. ユーザマット、データマット自動消去後は書き込み／消去コマンド待ち状態になります。書き込みコマンド受信すると、書き込みデータ待ち状態に遷移します。消去も同様です。
   書き込み／消去コマンド以外に、ユーザマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、および現在のステータス情報取得のコマンドがあります。

38.10.3 USB ブートモード実行時の注意点

- USB モジュールへは 48MHz のクロックを供給する必要があります。USB 専用クロック（UCLK）が 48MHz となるように、外部クロックの周波数とクロック発振器を設定してください。詳細は「8. クロック発生回路」をご確認ください。
- D+ プルアップ制御接続は USB0-DPUPE-B 端子を使用してください。
- フラッシュメモリへの書き込み／消去中における電源安定供給のために、バスパワード HUB を経由してのケーブル接続はしないでください。
- バスパワーモード時に USB バスがサスペンドモードに入っても低消費電力状態のソフトウェアスタンバイモードには移行しません。

38.11 オンチップデバッガ ID コードプロテクト

オンチップデバッガとの接続を禁止するための機能です。オンチップデバッガを接続する場合、ROM 上に書かれている制御コードおよび ID コードを使い、オンチップデバッガ ID コードプロテクトの有効／無効と、オンチップデバッガ ID コードプロテクトの判定を行います。ID コードプロテクトが有効の場合、オンチップデバッガから送られてくるコードと、ROM 上の制御コードおよび ID コードの一致を判定し、一致した場合、オンチップデバッガとの接続を許可します。一致しない場合、オンチップデバッガとの接続はできません。ただし、制御コードが 52h、ID コード 1 から順に 50h,72h,6Fh,74h,65h,63h,74h,FFh,…,FFh を設定した場合、ID コード判定をせずに常に不一致とし、オンチップデバッガとの接続を禁止します。また、制御コードおよび ID コードがすべて FFh の場合、ID コード判定をせずに常に一致とし、オンチップデバッガとの接続を許可します。フラッシュメモリ上の ID コードの構成は、図 38.25 と同じです。

表 38.19　オンチップデバッガ ID コードプロテクト仕様

制御コード	IDコード	プロテクト状態	オンチップデバッガ接続時の動作
FFh	FFh,…,FFh （すべてFFh）	プロテクト無効	制御コードおよびIDコードの判定をせず、常にIDコード一致とし、オンチップデバッガとの接続を許可する。
52h	50h,72h,6Fh,74h,65h,63h,74h,FFh,…,FFh	プロテクト有効	制御コードおよびIDコードの判定をせず、常にIDコード不一致とし、オンチップデバッガと接続を禁止する。
上記以外	上記以外	プロテクト有効	IDコード一致：　オンチップデバッガ認証を完了し、オンチップデバッガとの接続を許可する。 IDコード不一致：再度、IDコード待ちに遷移する。

38.12 ROM コードプロテクト

ROM コードプロテクトは、PROM ライタを使用する場合にフラッシュメモリの読み出し、書き換えを禁止する機能です。フラッシュメモリ上の ROM コードは、32 ビット長のデータです。図 38.36 に ROM コードの構成を示します。ROM コードは 32 ビット単位で設定してください。

ROM コードプロテクトを解除する場合、ブートモードもしくはユーザプログラミングで ROM コードを含むユーザマットの EB00 ブロックを消去してください。

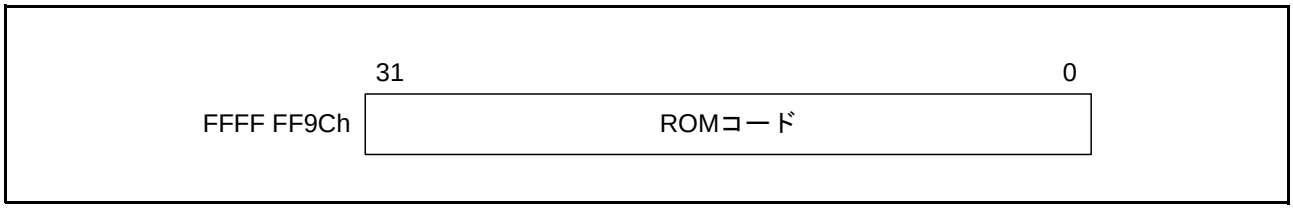


図 38.36　ROM コードの構成

表38.20　ROMコードプロテクト仕様

ROMコード	プロテクト状態	PROMライタ接続時の動作
0000 0000h	ROMコードプロテクト有効 （ROMコードプロテクト1）	ユーザマット、ユーザブートマットの読み出し、書き換えを禁止する
0000 0001h	ROMコードプロテクト有効 （ROMコードプロテクト2）	ユーザマット、ユーザブートマットの読み出しを禁止する
上記以外	ROMコードプロテクト無効	ユーザマット、ユーザブートマットの読み出し、書き換えを許可する

38.13 使用上の注意事項

(1) 書き込み／消去サスペンド対象領域

書き込み／消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

(2) 書き込み／消去サスペンドによる中断

書き込み／消去サスペンドコマンドによって書き込み／消去処理を中断した場合は、レジュームコマンドにより動作を完了させてください。レジュームコマンド発行後 20μs 以内（PCLK = 50MHz 時）に、再び書き込み／消去サスペンドコマンドを発行しないでください。

(3) 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、当該領域を消去してください。

(4) 書き込み／消去中のリセット

書き込み／消去中に RES# 端子によるリセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、100μs 以上のリセット入力期間の後にリセット解除してください。

書き込み／消去中に FRESETR.FRESET ビットにより FCU をリセットする場合は、リセット状態を tRESW2（「41. 電気的特性」を参照）の時間保持してください。FCU をリセットしている期間は、書き込み / 消去対象の ROM の読み出しを行わないでください。

書き込み / 消去中の WDT リセット、IWDT リセットについては、上記の時間保持に関係なく使用できます。

(5) 書き込み／消去中のノンマスカブル割り込み禁止

書き込み／消去中にノンマスカブル割り込みが（NMI 端子割り込み、発振停止検出割り込み、電圧監視割り込み）発生すると、ROM からのベクタのフェッチが発生し、不定データが読み出されます。このため、ROM への書き込み／消去中にノンマスカブル割り込みが発生しないようにしてください。（本禁止事項は ROM にのみ適用されます）

(6) 書き込み／消去中の割り込みベクタの配置

書き込み／消去中に割り込みが発生するとROMからのベクタのフェッチが発生する場合があります。ROMからのベクタのフェッチを回避するには、CPU の割り込みテーブルレジスタ（INTB）により割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。

(7) 書き込み／消去の異常終了

書き込み／消去中の、動作電圧範囲を超える電圧変動、リセット、FRESETR.FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、および次項 (8) の禁止事項により、書き込み／消去が正常に終了しなかった場合、ロックビットが “0”（プロテクト状態）になっている場合があります。この場合 FPROTR.FPROTCN ビットに “1” をセットした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。その後、正常終了しなかった書き込みを再度やり直してください。

(8) 書き込み／消去中の禁止事項

書き込み／消去中はフラッシュメモリへのダメージを防ぐため、以下の動作は行なわないでください。

- RX62N、RX621 の電源を動作電圧範囲外にする
- FWEPROR.FLWE[1:0] ビットの値を更新する
- SYSCR0.ROME ビットの設定により、動作モードを変更する
- SCKCR レジスタにより、PCLK の逓倍比を変更する
- PCLK と異なる周波数を PCKAR レジスタに設定する
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する

39. データフラッシュ（データ格納用フラッシュメモリ）

RX62N グループ、RX621 グループは、最大 512K バイトのコード格納用フラッシュメモリ（ROM）と、32K バイトのデータ格納用フラッシュメモリ（データフラッシュ）を内蔵しています。

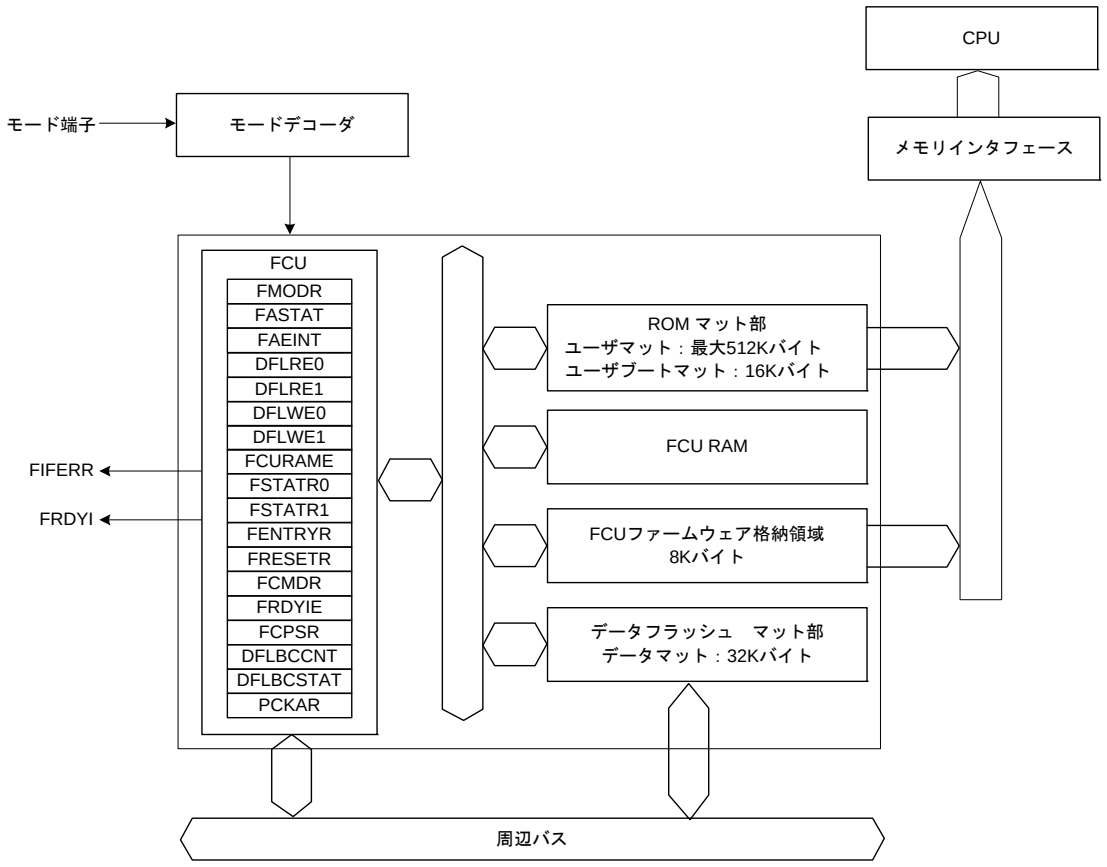
本章では、データフラッシュについて説明します。ROM については、「38. ROM（コード格納用フラッシュメモリ）」を参照してください。

39.1 概要

表39.1にデータフラッシュの仕様を、図39.1にROMおよびデータフラッシュ周りのブロック図を示します。

表39.1　データフラッシュの仕様

項目		内容
メモリ空間		データマット：32Kバイト
周辺バス経由での読み出し		ワード、バイトアクセス時にはPCLK 3サイクルでの読み出し
書き込み／消去方式		• データフラッシュへの書き換えを行う専用のシーケンサ（FCU）を内蔵 • FCU にコマンドを発行することにより、データフラッシュへの書き込み／消去を実行可能
BGO（バックグラウンドオペレーション）機能		• データフラッシュの書き込み/消去を実行している期間、ROM領域に配置したプログラムを実行可能 • ROMへの書き込み/消去を実行している期間、CPU はROM/データフラッシュ以外の領域に配置したプログラムを実行可能
サスペンド／レジューム機能		• データフラッシュへの書き込み／消去動作を中断し、CPU はデータフラッシュ領域の読み出しを実行可能（サスペンド） • 中断した後、ROMの書き込み／消去を再開可能（レジューム）
書き込み／消去単位		• データマットの書き込み単位：8バイトまたは128バイト • データマットの消去単位：2Kバイト（16ブロック）
ブランクチェック機能		• データフラッシュの消去状態を確認するブランクチェックコマンドが実行可能 • ブランクチェックできる領域は8バイトまたは2Kバイト
オンボードプログラミング（3種類）	ブートモード	• SCIを使用してデータマットとユーザブートマットを書き換え可能 • ホストとRX62N、RX621間のSCI通信のビットレートは自動調整可能
	USB（ユーザ）ブートモード	• ユーザブートマットから起動し、ユーザマットの書き換えが可能 • 出荷時、ユーザブートマットにはUSBブートプログラムが書かれており、USBを使用してユーザマットの書き換えが可能 • ユーザブートマットを書き換えることにより、任意のインタフェースを使用してユーザマットの書き換えが可能
	ユーザプログラム	プログラムで、データマットの書き換えが可能
プロテクト機能	ソフトウェアプロテクト機能	FENTRYR.FENTRYDビット、FWEPROR.FLWE[1:0]ビット、DFLREkレジスタ、DFLWEkレジスタにより意図しない書き換えを防ぐことが可能 (k=0,1)
	エラープロテクト機能	書き込み／消去中に異常動作を検出した場合、以後の書き込み／消去処理を禁止
書き込み時間／消去時間／書き換え回数		「41. 電気的特性」を参照



【記号説明】

FMODR	：フラッシュモードレジスタ
FASTAT	：フラッシュアクセスステータスレジスタ
FAEINT	：フラッシュアクセスエラー割り込み許可レジスタ
DFLRE0	：データフラッシュ読み出し許可レジスタ0
DFLRE1	：データフラッシュ読み出し許可レジスタ1
DFLWE0	：データフラッシュ書き込み／消去許可レジスタ0
DFLWE1	：データフラッシュ書き込み／消去許可レジスタ1
FCURAME	： FCU RAMイネーブルレジスタ
FSTATR0	：フラッシュステータスレジスタ0
FSTATR1	：フラッシュステータスレジスタ1
FENTRYR	：フラッシュP/Eモードエントリレジスタ
FRESETR	：フラッシュリセットレジスタ
FCMDR	：FCUコマンドレジスタ
FRDYIE	：フラッシュレディ割り込み許可レジスタ
FCPSR	：FCU処理切り替えレジスタ
DFLBCCNT	：データフラッシュブランクチェック制御レジスタ
DFLBCSTAT	：データフラッシュブランクチェックステータスレジスタ
PCKAR	：周辺クロック通知レジスタ
FIFERR	：フラッシュインタフェースエラー割り込み
FRDYI	：フラッシュレディ割り込み

図 39.1　データフラッシュのブロック図

表 39.2 にデータフラッシュ関連の入出力端子を示します。

表39.2　データフラッシュ関連の入出力端子

端子名	入出力	機能
PF2/RxD1-B（176ピン版） P30/RxD1（145/144/100/85ピン版）	入力	ブートモード時に使用。SCIの受信データ（ホスト通信用）
PF0/TxD1-B（176ピン版） P26/TxD1（145/144/100/85ピン版）	出力	ブートモード時に使用。SCIの送信データ（ホスト通信用）
MD1、MD0	入力	RX62N、TX621グループの動作モードを設定
USB0_DP、USB0_DM	入出力	USBデータ入出力（USBブートモードで使用）
P16/USB0_VBUS	入力	USBケーブルの接続／切断検出（USBブートモードで使用）
P35	入力	USBバスパワーモード／セルフパワーモード設定 （USBブートモードで使用）

39.2　レジスタの説明

表 39.3 にデータフラッシュ関連のレジスター覧を示します。一部のレジスタは ROM 関連のビットも持ちますが、本章ではデータフラッシュ関連のビット機能のみ説明します。ROM ／データフラッシュ共用ビットで構成されるレジスタ（FRDYIE、FCURAME、FSTATR0、FSTATR1、FRESETR、FCMDR、FCPSR、PCKAR、FWEPROR）と、ROM 専用のビット機能の詳細は、「38.　ROM（コード格納用フラッシュメモリ）」の「38.2 レジスタの説明」を参照してください。

データフラッシュ関連のレジスタは、リセットによって初期化されます。

表39.3　データフラッシュ関連のレジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	00h	007F C402h	8
フラッシュアクセスステータスレジスタ	FASTAT	00h	007F C410h	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	9Bh	007F C411h	8
フラッシュレディ割り込み許可レジスタ	FRDYIE	00h	007F C412h	8
データフラッシュ読み出し許可レジスタ0	DFLRE0	0000h	007F C440h	16
データフラッシュ読み出し許可レジスタ1	DFLRE1	0000h	007F C442h	16
データフラッシュ書き込み／消去許可レジスタ0	DFLWE0	0000h	007F C450h	16
データフラッシュ書き込み／消去許可レジスタ1	DFLWE1	0000h	007F C452h	16
FCU RAMイネーブルレジスタ	FCURAME	0000h	007F C454h	16
フラッシュステータスレジスタ0	FSTATR0	80h	007F FFB0h	8
フラッシュステータスレジスタ1	FSTATR1	0xh	007F FFB1h	8
フラッシュ P/Eモードエントリレジスタ	FENTRYR	0000h	007F FFB2h	16
フラッシュリセットレジスタ	FRESETR	0000h	007F FFB6h	16
FCUコマンドレジスタ	FCMDR	FFFFh	007F FFBAh	16
FCU処理切り替えレジスタ	FCPSR	0000h	007F FFC8h	16
データフラッシュブランクチェック制御レジスタ	DFLBCCNT	0000h	007F FFCAh	16
データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	0000h	007F FFCEh	16
周辺クロック通知レジスタ	PCKAR	0000h	007F FFE8h	16
フラッシュライトイレースプロテクトレジスタ	FWEPROR	02h	0008 C289h	8

39.2.1　フラッシュモードレジスタ（FMODR）

アドレス　007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDMD	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FRDMD	FCUリードモード選択ビット	0：メモリ領域リード方式 データフラッシュロックビットリードモードに移行する場合に設定します。データフラッシュにはロックビットが存在しないため、ロックビットリードモードに移行してデータフラッシュ領域から読み出しを実行した場合、不定データが読めます 1：レジスタリード方式 ブランクチェックコマンドを使用する場合に設定します	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FMODR レジスタは、ロックビットの読み出し方法を指定するレジスタです。ブランクチェックコマンドを使用する場合、FRDMD ビットを“ 1 ”にしてください。

内蔵 ROM が無効なモードでは FMODR レジスタの読み出しデータは 00h になり、書き込みはできません。

FMODR レジスタは、リセットによって初期化されます。

FRDMD ビット（FCU リードモード選択ビット）

データフラッシュロックビットリードモード移行処理かブランクチェック処理を選択するために使用します。

ROM のロックビット読み出し時には、ロックビット読み出し方法を選択するために FRDMD ビットを使用します（「38.　ROM（コード格納用フラッシュメモリ）」を参照）。

39.2.2 フラッシュアクセスステータスレジスタ（FASTAT）

アドレス　007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	データフラッシュ 書き込み／消去プロテクト違反ビット	0：DFLWEkレジスタの設定に違反したデータフラッシュ 書き込み／消去系コマンドの発行なし 1：DFLWEkレジスタの設定に違反したデータフラッシュ 書き込み／消去系コマンドの発行あり (k=0,1)	R/(W) （注）
b1	DFLRPE	データフラッシュ リードプロテクト違反ビット	0：DFLREkレジスタの設定に違反したデータフラッシュ 読み出しなし 1：DFLREkレジスタの設定に違反したデータフラッシュ 読み出しあり (k=0,1)	R/(W) （注）
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	DFLAE	データフラッシュアクセス違反ビット	0：データフラッシュアクセス違反なし 1：データフラッシュアクセス違反あり	R/(W) （注）
b4	CMDLK	FCUコマンドロックビット	0：FCUはコマンドロック状態ではない 1：FCUはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	ROMAE	ROMアクセス違反ビット	「38. ROM（コード格納用フラッシュメモリ）」を参照してください。	R/(W) （注）

注．　フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTAT レジスタは、ROM/ データフラッシュに対するアクセス違反の有無を確認するためのレジスタです。

内蔵 ROM が無効なモードでは FASTAT レジスタの読み出しデータは 00h になり、書き込みはできません。FASTAT レジスタのいずれかのビットが “1” になると、FCU はコマンドロック状態になります（「39.7.2 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTAT レジスタを “10h” にした後、FCU にステータスレジスタクリアコマンドを発行する必要があります。

FASTAT レジスタは、リセットによって初期化されます。

DFLWPE ビット（データフラッシュ書き込み／消去プロテクト違反ビット）

DFLWEy（y = 0, 1）レジスタで設定した書き込み／消去プロテクトに対する違反の有無を示すビットです。

[“1” になる条件]

- DFLWEy（y = 0, 1）レジスタで書き込み／消去禁止に設定したデータフラッシュ領域に対して、書き込み／消去系コマンドを発行

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DFLRPE ビット（データフラッシュリードプロテクト違反ビット）

DFLREy（y = 0, 1）レジスタで設定した読み出しプロテクトに対する違反の有無を示すビットです。

[“1” になる条件]

- DFLREy（y = 0, 1）レジスタで読み出し禁止に設定したデータフラッシュ領域に対して、リードアクセスを発行

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

DFLAE ビット（データフラッシュアクセス違反ビット）

データフラッシュに対するアクセス違反の有無を示すビットです。

DFLAE ビットが “1” になると FSTATR0.ILGLERR ビットが “1” になり、FCU はコマンドロック状態になります。

FSTATR0 レジスタについては、「38.2.5　**フラッシュステータスレジスタ 0（FSTATR0）**」を参照してください。

[“1” になる条件]

- FENTRYR.FENTRYD ビットが “1”、かつデータフラッシュ P/E ノーマルモードで、データフラッシュ領域に対してリードアクセスを発行
- FENTRYD ビットが “0” の状態で、データフラッシュ領域に対してライトアクセスを発行
- FENTRYR.FENTRY0 ビットが “1” の状態で、データフラッシュ領域に対するアクセスを発行

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

CMDLK ビット（FCU コマンドロックビット）

FCU がコマンドロック状態であることを示すビットです（「39.7.2　**エラープロテクト**」を参照）。

[“1” になる条件]

- FCU がエラーを検出してコマンドロック状態に遷移後

[“0” になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

39.2.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

アドレス　007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
リセット後の値	1	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	データフラッシュ書き込み／消去プロテクト違反割り込み許可ビット	0：FASTAT.DFLWPEビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.DFLWPEビット=1で、FIFERR割り込み要求が発生する	R/W
b1	DFLRPEIE	データフラッシュリードプロテクト違反割り込み許可ビット	0：FASTAT.DFLRPEビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.DFLRPEビット=1で、FIFERR割り込み要求が発生する	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAEIE	データフラッシュアクセス違反割り込み許可ビット	0：FASTAT.DFLAEビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.DFLAEビット=1で、FIFERR割り込み要求が発生する	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	0：FASTAT.CMDLKビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.CMDLKビット=1で、FIFERR割り込み要求が発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	「38. ROM（コード格納用フラッシュメモリ）」を参照してください	R/W

FAEINT レジスタは、フラッシュインタフェースエラー割り込み（FIFERR）の出力許可／禁止を設定するためのレジスタです。

内蔵ROMが無効なモードではFAEINTレジスタの読み出しデータは00hになり、書き込みは無効になります。

FAEINT レジスタは、リセットによって初期化されます。

DFLWPEIE ビット（データフラッシュ書き込み／消去プロテクト違反割り込み許可ビット）

データフラッシュ書き込み／消去プロテクト違反が発生し、FASTAT.DFLWPE ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可／禁止するためのビットです。

DFLRPEIE ビット（データフラッシュリードプロテクト違反割り込み許可ビット）

データフラッシュリードプロテクト違反が発生し、FASTAT.DFLRPE ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可／禁止するためのビットです。

DFLAEIE ビット（データフラッシュアクセス違反割り込み許可ビット）

データフラッシュアクセス違反が発生し、FASTAT.DFLAE ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可／禁止するためのビットです。

CMDLKIE ビット（FCU コマンドロック割り込み許可ビット）

FCU コマンドロックが発生し、FASTAT.CMDLK ビットが “1” になった場合の FIFERR 割り込み要求の発生を許可／禁止するためのビットです。

39.2.4 データフラッシュ読み出し許可レジスタ 0（DFLRE0）

アドレス　007F C440h

	b15	b14	b13	b12	b11	b10	b9	b8
	KEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBRE00	DB00ブロック読み出し許可ビット	0：読み出し禁止 1：読み出し許可	R/W
b1	DBRE01	DB01ブロック読み出し許可ビット		R/W
b2	DBRE02	DB02ブロック読み出し許可ビット		R/W
b3	DBRE03	DB03ブロック読み出し許可ビット		R/W
b4	DBRE04	DB04ブロック読み出し許可ビット		R/W
b5	DBRE05	DB05ブロック読み出し許可ビット		R/W
b6	DBRE06	DB06ブロック読み出し許可ビット		R/W
b7	DBRE07	DB07ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DBREiビット（i=07～00）の書き換えの可否を制御します	R/(W) (注1)

注1.　書き込みデータは保持されません。

DFLRE0 レジスタは、データマットの DB07 ～ DB00 ブロック（図 39.3 を参照）の読み出しを許可／禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、DFLRE0 レジスタの読み出しデータは “0000h” になり、書き込みはできません。

DFLRE0 レジスタは、リセットによって初期化されます。

DBREi ビット（DBi ブロック読み出し許可ビット）（i=07 ～ 00）

データマットの DB07 ～ DB00 ブロックに対する読み出しの許可／禁止を設定するビットです。

DBREi ビットを DBi ブロックの読み出し制御に使用します。

DBREi ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが “2Dh” の場合のみ有効です。

KEY[7:0] ビット（キーコード）

DBREi ビットの書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

39.2.5 データフラッシュ読み出し許可レジスタ 1（DFLRE1）

アドレス　007F C442h

	b15	b14	b13	b12	b11	b10	b9	b8
	KEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	DBRE15	DBRE14	DBRE13	DBRE12	DBRE11	DBRE10	DBRE09	DBRE08
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBRE08	DB08ブロック読み出し許可ビット	0：読み出し禁止 1：読み出し許可	R/W
b1	DBRE09	DB09ブロック読み出し許可ビット		R/W
b2	DBRE10	DB10ブロック読み出し許可ビット		R/W
b3	DBRE11	DB11ブロック読み出し許可ビット		R/W
b4	DBRE12	DB12ブロック読み出し許可ビット		R/W
b5	DBRE13	DB13ブロック読み出し許可ビット		R/W
b6	DBRE14	DB14ブロック読み出し許可ビット		R/W
b7	DBRE15	DB15ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DBREiビット(i=15～08)の書き換えの可否を制御します。	R/(W)（注1）

注1.　書き込みデータは保持されません。

DFLRE1 レジスタは、データマットの DB15 ～ DB08 ブロック（図 39.3 を参照）の読み出しを許可／禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、DFLRE1 レジスタの読み出しデータは “0000h” になり、書き込みはできません。

DFLRE1 レジスタは、リセットによって初期化されます。

DBREi ビット（DBi ブロック読み出し許可ビット）(i=15 ～ 08)

データマットの DB15 ～ DB08 ブロックに対する読み出しの許可／禁止を設定するビットです。

DBREi ビットを DBi ブロックの読み出し制御に使用します。

DBREi ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが “D2h” の場合のみ有効です。

KEY[7:0] ビット（キーコード）

DBREi ビットの書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

39.2.6 データフラッシュ書き込み／消去許可レジスタ 0（DFLWE0）

アドレス　007F C450h

	b15	b14	b13	b12	b11	b10	b9	b8
	KEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	DBWE07	DBWE06	DBWE05	DBWE04	DBWE03	DBWE02	DBWE01	DBWE00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBWE00	DB00ブロック書き込み／消去許可ビット	0：書き込み／消去禁止 1：書き込み／消去許可	R/W
b1	DBWE01	DB01ブロック書き込み／消去許可ビット		R/W
b2	DBWE02	DB02ブロック書き込み／消去許可ビット		R/W
b3	DBWE03	DB03ブロック書き込み／消去許可ビット		R/W
b4	DBWE04	DB04ブロック書き込み／消去許可ビット		R/W
b5	DBWE05	DB05ブロック書き込み／消去許可ビット		R/W
b6	DBW006	DB06ブロック書き込み／消去許可ビット		R/W
b7	DBWE07	DB07ブロック書き込み／消去許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DBWEiビット（i=07～00）の書き換えの可否を制御します	R/(W) （注1）

注1.　書き込みデータは保持されません。

DFLWE0 レジスタは、データマットの DB07 ～ DB00 ブロック（図 39.3 を参照）の書き込み／消去を許可／禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、DFLWE0 レジスタの読み出しデータは “0000h” になり、書き込みはできません。

DFLWE0 レジスタは、リセットによって初期化されます。

DBWEi ビット（DBi ブロック書き込み／消去許可ビット）（i=07 ～ 00）

データマットの DB07 ～ DB00 ブロックに対する書き込み／消去の許可／禁止を設定するビットです。

DBWEi ビットを DBi ブロックの書き込み／消去制御に使用します。

DBWEi ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが “1Eh” の場合のみ有効です。

KEY[7:0] ビット（キーコード）

DBWEi ビットの書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

39.2.7 データフラッシュ書き込み／消去許可レジスタ 1（DFLWE1）

アドレス　007F C452h

	b15	b14	b13	b12	b11	b10	b9	b8
	KEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	DBWE15	DBWE14	DBWE13	DBWE12	DBWE11	DBWE10	DBWE09	DBWE08
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DBWE08	DB08ブロック書き込み／消去許可ビット	0：書き込み／消去禁止 1：書き込み／消去許可	R/W
b1	DBWE09	DB09ブロック書き込み／消去許可ビット		R/W
b2	DBWE10	DB10ブロック書き込み／消去許可ビット		R/W
b3	DBWE11	DB11ブロック書き込み／消去許可ビット		R/W
b4	DBWE12	DB12ブロック書き込み／消去許可ビット		R/W
b5	DBWE13	DB13ブロック書き込み／消去許可ビット		R/W
b6	DBWE14	DB14ブロック書き込み／消去許可ビット		R/W
b7	DBWE15	DB15ブロック書き込み／消去許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DBWEiビット(i=15～08)の書き換えの可否を制御します	R/(W) （注1）

注1.　書き込みデータは保持されません。

DFLWE1 レジスタは、データマットの DB15 ～ DB08 ブロック（図 39.3 を参照）の書き込み／消去を許可／禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、DFLWE1 レジスタの読み出しデータは “0000h” になり、書き込みは無効になります。

DFLWE1 レジスタは、リセットによって初期化されます。

DBWEi ビット（DBi ブロック書き込み／消去許可ビット）(i=15 ～ 08)

データマットの DB15 ～ DB08 ブロックに対する書き込み／消去の許可／禁止を設定するビットです。

DBWEi ビットを DBi ブロックの書き込み／消去制御に使用します。

DBWEi ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが “E1h” の場合のみ有効です。

KEY[7:0] ビット（キーコード）

DBWEi ビットの書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

39.2.8　フラッシュ P/E モードエントリレジスタ（FENTRYR）

アドレス　007F FFB2h

	b15	b14	b13	b12	b11	b10	b9	b8
	FEKEY[7:0]							
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	FENTRYD	—	—	—	—	—	—	FENTRY0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	「38.　ROM（コード格納用フラッシュメモリ）」を参照してください	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、は“0”としてください	R/W
b7	FENTRYD	データフラッシュ P/Eモードエントリビット	0：データフラッシュはリードモード 1：データフラッシュはP/Eモード	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYD、FENTRY0ビットの書き換えの可否を制御します	R/(W) （注1）

注1.　書き込みデータは保持されません。

FENTRYR レジスタは、ROM/ データフラッシュを P/E モードに設定するために使用するレジスタです。

ROM/ データフラッシュを P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 ビットのいずれかのビットを “1” にする必要があります。ただし、複数のビットを “1” にした場合、FSTATR0.ILGLERR ビットが “1” になって、FCU はコマンドロック状態になります。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、FENTRYR レジスタの読み出しデータは “0000h” になり、書き込みはできません。

FENTRYR レジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。

FSTATR0 レジスタについては、「38.2.5　フラッシュステータスレジスタ 0（FSTATR0）」を参照してください。

FRESETR レジスタについては、「38.2.10　フラッシュリセットレジスタ（FRESETR）」を参照してください。

FENTRYD ビット（データフラッシュ P/E モードエントリビット）

FENTRYD ビットは、データフラッシュを P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM が有効なモード
- FSTATR0.FRDY ビットが “1”
- ワードアクセスで FEKEY[7:0] ビットに “AAh” を書き込み

[“1” になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” の状態で、FENTRYD ビットに “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書き込んだ場合
- ワードアクセスで FEKEY[7:0] ビットが “AAh” 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRYD ビットに “0” を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” 以外の状態で、FENTRYR レジスタを書いた場合

FEKEY[7:0] ビット（キーコード）

FENTRYD、FENTRY0 ビットの書き換えの可否を制御します。
FEKEY[7:0] ビットへの書き込みデータは保持されません。

39.2.9　データフラッシュブランクチェック制御レジスタ（DFLBCCNT）

アドレス　007F FFCAh

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	BCADR[7:0]		
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	BCADR[7:0]					—	—	BCSIZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCSIZE	ブランクチェックサイズ設定ビット	0：ブランクチェック対象領域は8バイト 1：ブランクチェック対象領域は2Kバイト	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b3	BCADR[7:0]	ブランクチェックアドレス設定ビット	チェック対象領域のアドレスを設定	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DFLBCCNT レジスタは、ブランクチェックコマンドのチェック対象領域のアドレスとサイズを指定するためのレジスタです。

内蔵 ROM が無効なモードでは、DFLBCCNT レジスタの読み出しデータは 0000h になり、書き込みはできません。

DFLBCCNT レジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。

FRESETR レジスタについては、「38.2.10　フラッシュリセットレジスタ（FRESETR）」を参照してください。

BCSIZE ビット（ブランクチェックサイズ設定ビット）

ブランクチェックコマンドのチェック対象領域のサイズを設定するためのビットです。

BCADR[7:0] ビット（ブランクチェックアドレス設定ビット）

ブランクチェックコマンドのチェック対象領域のサイズが 8 バイト（BCSIZE ビットが “0”）の場合に、チェック対象領域のアドレスを設定するためのビットです。

BCSIZE ビットが “0” の場合には、DFLBCCNT レジスタの設定値（BCADR[7:0] ビットの設定値を MSB 側に 3 ビットシフトした値）と、ブランクチェックコマンド発行時に指定した消去ブロック先頭アドレスを加算した値がチェック対象領域の先頭アドレスになります。

39.2.10　データフラッシュブランクチェックステータスレジスタ（DFLBCSTAT）

アドレス　007F FFCEh

	b15	b14	b13	b12	b11	b10	b9	b8
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスビット	0：ブランクチェック対象領域は消去状態（ブランク） 1：ブランクチェック対象領域は“0”データか“1”データが書き込まれた状態	R
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DFLBCSTAT レジスタは、ブランクチェックコマンドの処理結果が格納されるレジスタです。

内蔵 ROM が無効なモードでは、DFLBCSTAT レジスタの読み出しデータは 0000h になり、書き込みはできません。

DFLBCSTAT レジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。

FRESETR レジスタについては、「38.2.10　フラッシュリセットレジスタ（FRESETR）」を参照してください。

BCST ビット（ブランクチェックステータスビット）

ブランクチェックの結果を示します。

39.3　データフラッシュのメモリマット構成

RX62N グループ、RX621 グループのデータフラッシュは、32K バイトのデータマットで構成されています。このマットのアドレスを図 39.2 に示します。

データマットのアドレスは読み出し時と書き込み / 消去時で同一です。

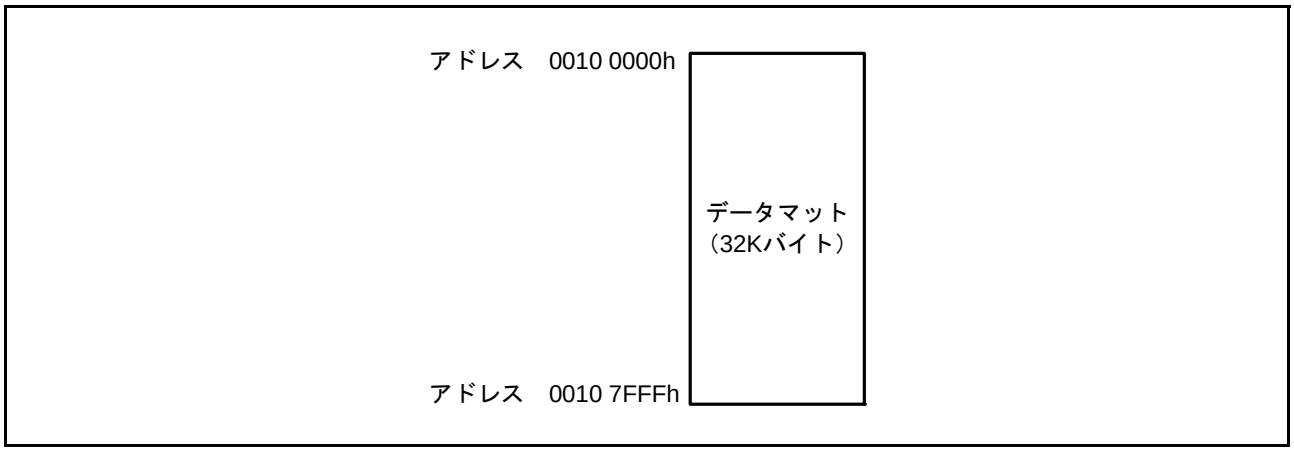


図 39.2　データフラッシュのデータマット構成

39.4　ブロック構成

データマットの消去ブロックの構成を図 39.3 に示します。データマットは 2K バイト（16 ブロック）に分割されていて、消去はこのブロック単位で行います。書き込みは 8 バイトまたは 128 バイト単位で行います。8 バイト書き込みでは、下位アドレスの 3 ビットがすべて 0 である 8 バイト単位で書き込みを行います。128 バイト書き込みでは、下位アドレスが 00h か 80h で始まる 128 バイト単位で書き込みを行います。

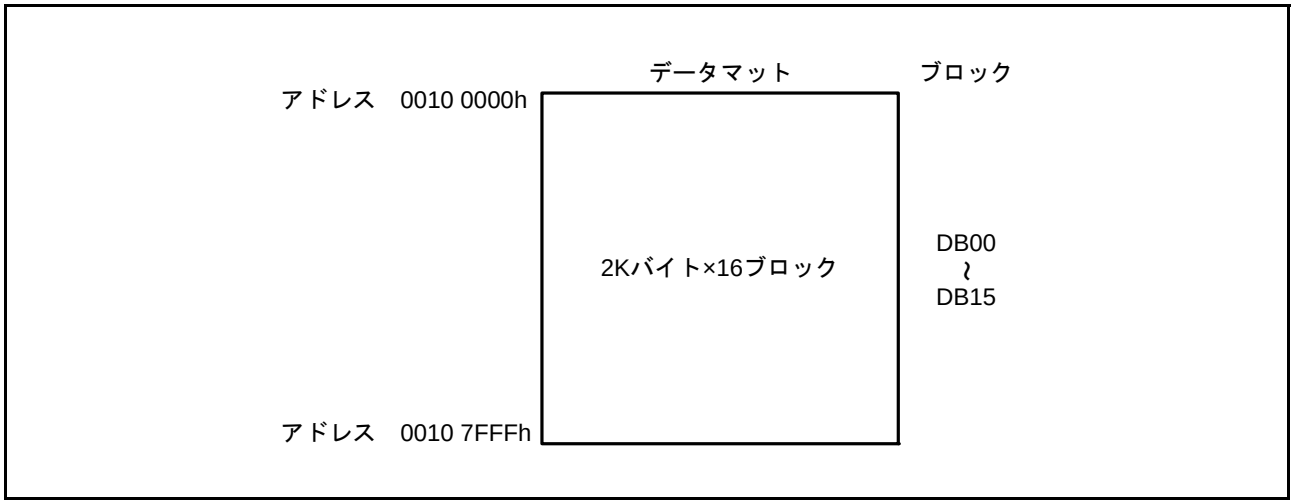


図 39.3　データマットのブロック分割

39.5　データフラッシュ関連の動作モード

動作モードの移行については、「38.5　ROM 関連の動作モード」を参照してください。

ブートモード／ USB（ユーザ）ブートモード／シングルチップモード（内蔵 ROM 有効）／内蔵 ROM 有効拡張モードでは、オンボードでデータマットの読み出し／書き込み／消去を実施できます。

各モードの相違点を表 39.4 に示します。

表39.4　各モードの相違点

項目	ブートモード	USB（ユーザ）ブートモード	シングルチップモード（内蔵ROM有効）／内蔵ROM有効拡張モード
書き込み／消去環境	オンボードプログラミング		
書き込み／消去可能マット	データマット	データマット	データマット
ブロック分割消去	○（注1）	○（注1）	○
リセット時の起動マット	組み込みプログラム格納マット（注2）	ユーザブートマット	ユーザマット

注1.　起動時に全面消去される場合があります。その後、特定ブロックの消去を実施可能です。詳細は「38.9.2　IDコードプロテクト」「38.9.4　ブートモードの状態遷移」「38.10.2　状態遷移」を参照してください。

注2.　ユーザは使用できません。

- ブートモードでは、ホストから SCI 経由でのデータマットへの書き込み、読み出しが可能になります。
- USB（ユーザ）ブートモードは、ユーザブートマットから起動します。製品出荷時、ユーザブートマットには USB ブートプログラムが格納されており、USB を使用してユーザマット／データマットの書き込み／読み出しが可能になります。また、ブートモードでユーザブートマットを書き換えることにより、任意のインタフェースでユーザマット／データマットの書き込み／読み出しが可能になります。
- ブートモードでは、ブートモード用組み込みプログラムで内蔵 RAM を使用します。このため、内蔵 RAM のデータは保持されません。

39.6 データフラッシュへの書き込み／消去

データフラッシュへの書き込み／消去は、書き込み／消去用の専用シーケンサ（FCU）にコマンド（FCU コマンド）を発行することで行ないます。FCU には、5 種類のモードがあります。書き込み／消去を行なうためには、モードを移行させ、その後、書き込み／消去用のコマンドを発行することで行ないます。

データフラッシュの書き込み／消去に必要なモードの移行とコマンド体系について説明します。これらはブートモード、USB（ユーザ）ブートモード、シングルチップモード（内蔵 ROM 有効）モード、内蔵 ROM 有効拡張モードで共通です。

39.6.1 FCU のモード

FCU には、5 種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FCU コマンドで行います。図 39.4 に FCU のモード遷移図を示します。

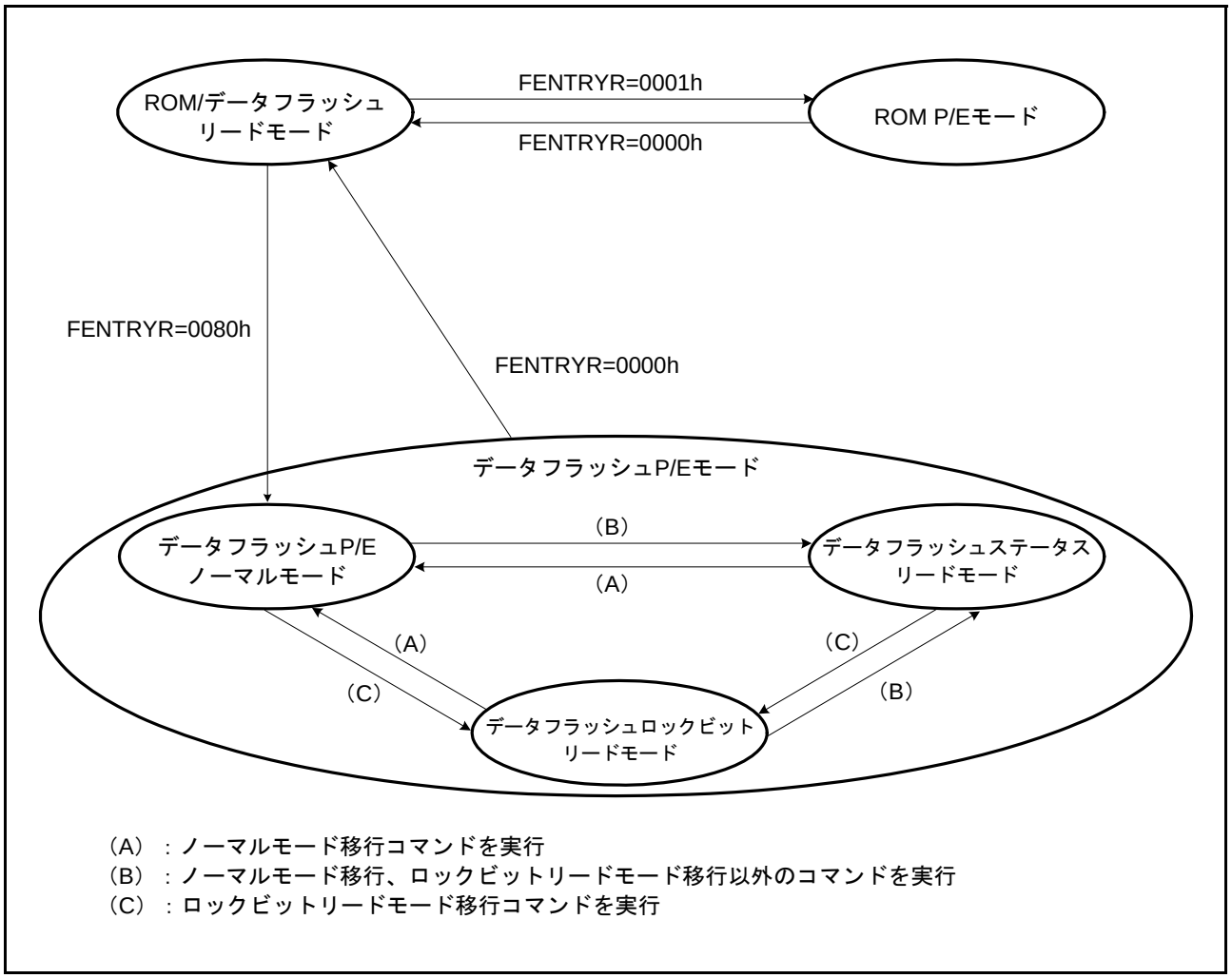


図 39.4　FCU のモード遷移図（データフラッシュ関連）

39.6.1.1 ROM P/E モード

ROM P/E モードは、ROM に対する書き込み／消去を行うモードです。
ROM P/E モードの詳細は、「38.6.1.2 ROM P/E モード」を参照してください。

39.6.1.2 ROM ／データフラッシュリードモード

ROM およびデータフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRYD ビットを “0”、かつ FENTRYR. FENTRY0 ビットを “0” にした場合にこのモードに移行します。

39.6.1.3 データフラッシュ P/E モード

データフラッシュ P/E モードは、データフラッシュに対する書き込み／消去を行うモードです。データフラッシュの読み出しは実行できません。
データフラッシュ P/E モードには、データフラッシュ P/E ノーマルモード、データフラッシュステータスリードモード、データフラッシュロックビットリードモードの 3 種類のモードがあります。

(1) データフラッシュ P/E ノーマルモード

データフラッシュ P/E ノーマルモードは、データフラッシュへの書き込み／消去の際、最初に移行するモードです。
ROM ／データフラッシュリードモード時に FENTRYR.FENTRYD ビットを “1”、かつ FENTRYR. FENTRY 0 ビットを “0” にした場合、またはデータフラッシュ P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。**表 39.7** に受け付け可能なコマンドを示します。
データフラッシュ領域に対してリードアクセスを実行した場合には、データフラッシュアクセス違反が発生して、FCU はコマンドロック状態になります。ROM に対する高速読み出しは可能です。

(2) データフラッシュステータスリードモード

データフラッシュステータスリードモードは、データフラッシュのステータスが読み出せるモードです。
データフラッシュ P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。FSTATR0.FRDY ビットが “0” の状態やエラー発生後のコマンドロック状態も、データフラッシュステータスリードモード中の状態です。**表 39.7** に受け付け可能なコマンドを示します。
データフラッシュ領域に対してリードアクセスを発行した場合には、FSTATR0 レジスタの値が読み出されます。ROM に対する高速読み出しは可能です。

(3) データフラッシュロックビットリードモード

データフラッシュロックビットリードモードは、データフラッシュのロックビットが読み出せるモードです。
しかし、データフラッシュにはロックビットが存在しないため、ロックビットの読み出しはできません。
データフラッシュロックビットリードモードへは、データフラッシュP/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。**表 39.7** に受け付け可能なコマンドを示します。
データフラッシュにはロックビットが存在しないため、データフラッシュ領域に対してリードアクセスを発行した場合には、読み出しデータは不定値になりますが、データフラッシュアクセス違反は発生しません。ROM に対する高速読み出しは可能です。

39.6.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、書き込み／消去を行うためのコマンドがあります。**表 39.5** にデータフラッシュへの書き込み／消去で使用可能な FCU コマンドの一覧を示します。

表39.5　FCUコマンド一覧（データフラッシュ関連）

コマンド	機能
P/Eノーマルモード移行	ノーマルモードに移行（「39.6.3　FCUのモードとコマンドの関係」を参照）
ステータスリードモード移行	ステータスリードモードに移行（「39.6.3　FCUのモードとコマンドの関係」を参照）
ロックビットリードモード移行 （ロックビットリード1）	ロックビットリードモードに移行（「39.6.3　FCUのモードとコマンドの関係」を参照）
周辺クロック通知	周辺クロックの周波数を設定
プログラム	データフラッシュ書き込み（8バイトまたは128バイト単位）
ブロックイレーズ	データフラッシュ消去（ブロック単位）
P/Eサスペンド	書き込み／消去の中断
P/Eレジューム	書き込み／消去の再開
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERRビットのクリアとコマンドロック状態の解除
ロックビットリード2／ブランクチェック	指定した領域が消去状態（ブランク）であるかを確認

ブランクチェックコマンド以外の FCU コマンドは、ROM でも使用します。ロックビットリード 2 コマンドは、データフラッシュのブランクチェックコマンドを兼ねています。ROM に対してブランクチェックコマンドを発行した場合には、ROM のロックビット読み出しが実行されます。

FCU へのコマンド発行は、データフラッシュ領域に対するライトアクセスで実現されます。

表 39.6 にプログラムコマンドとブランクチェックコマンドのフォーマットを示します。プログラムコマンドとブランクチェックコマンド以外の FCU コマンドのフォーマットは、**「38. ROM（コード格納用フラッシュメモリ）」**の**「38.6.2 FCU コマンド一覧」**を参照してください。

表 39.6 に示したライトアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU の特定条件下については、**「39.6.3 FCU のモードとコマンドの関係」**を参照してください。また、コマンドの使用方法については、**「39.6.4 FCU コマンド使用方法」**を参照してください。

表39.6　FCUコマンドのフォーマット（データフラッシュ専用コマンド）

コマンド	バスサイクル数	1サイクル目		2サイクル目		3サイクル目		4～N+2サイクル目		N+3サイクル目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
プログラム （8バイト書き込み：N=4）	7	EA	E8h	EA	04h	WA	WDn	EA	WDn	EA	D0h
プログラム （128バイト書き込み：N=64）	67	EA	E8h	EA	40h	WA	WDn	EA	WDn	EA	D0h
ブランクチェック	2	EA	71h	BA	D0h	–	–	–	–	–	–

【記号説明】　アドレスの列　EA　：データフラッシュ領域のアドレス
0010 0000h ～ 0010 7FFFh の任意アドレス
WA　：8 バイトまたは 128 バイトの先頭アドレス
BA　：データフラッシュ消去ブロックアドレス
対象消去ブロック内の任意アドレス
データの列　WDn：書き込みデータ n ワード目（n=1 ～ N）

39.6.3 FCU のモードとコマンドの関係

FCU の各モードは、モードごとに受け付け可能な FCU コマンドが決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。

表 39.7 に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「39.7.2 **エラープロテクト**」を参照）。
FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTATR0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値の論理和です。

表39.7　FCUのモード／状態と受け付け可能なコマンドの関係（データフラッシュ P/E モード）

	P/E ノーマルモード			ステータスリードモード							ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み／消去の処理中	書き込み／消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0.FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0.SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD ビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0.PRGSPD ビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	1	0	0	0	0
P/E ノーマルモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットリードモード移行（ロックビットリード1）	○	○	○	×	×	×	○	○	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	○	○	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	○	○	○	○	○	○	○
ブランクチェック	○	○	○	×	×	×	○	○	×	○	○	○	○

【記号説明】　○：受け付け可能、△：消去中断したブロック以外への書き込みのみ受け付け可能、×：受け付け不可能

39.6.4 FCU コマンド使用方法

プログラムコマンドとブロックイレーズコマンドを使用してデータフラッシュを書き込み／消去する方法と、ブランクチェックコマンドを使用してデータフラッシュの消去状態を確認する方法を示します。FCU RAM へのファームウェア転送方法やその他の FCU コマンド使用方法については、「38. ROM（コード格納用フラッシュメモリ）」の「38.6.4 FCU コマンド使用方法」を参照してください。

(1) 周辺クロック通知コマンドの使用方法

周辺クロックの周波数を通知します。詳細は「38. ROM（コード格納用フラッシュメモリ）」の「38.6.4 FCU コマンド使用方法」を参照してください。FENTRYR.FENTRYD ビットを “1” にして、アドレスはデータフラッシュ領域内のアドレスを指すように設定を行なってください。

(2) 書き込み方法

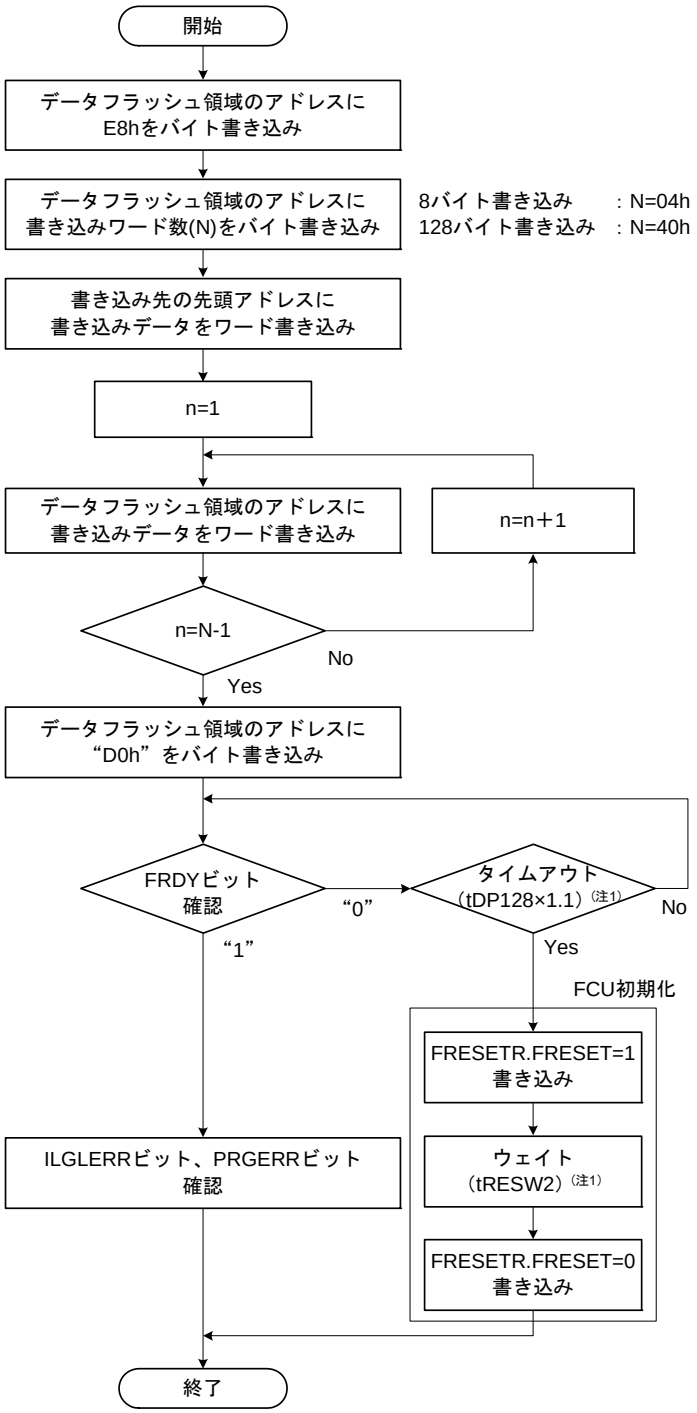
データフラッシュへのデータ書き込みには、プログラムコマンドを使用します。

プログラムコマンドの第 1 サイクルでは E8h を、第 2 サイクルでは書き込みワード数（N）（注）をデータフラッシュ領域のアドレスにバイト書き込みします。コマンドの第 3 ～第 N+2 サイクルでは、ワードサイズで書いてください。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書いてください。先頭アドレスは、8 バイト書き込みの場合には 8 バイト境界、128 バイト書き込みの場合には 128 バイト境界にアラインしてください。データフラッシュ領域のアドレスに対して N 回のワード書き込みを実行後、第 N+3 サイクルでデータフラッシュ領域のアドレスに対して D0h をバイト書き込みすると、FCU がデータフラッシュの書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDY ビットで確認可能です。

第 3 サイクル～第 N+2 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、当該アドレスに対する書き込みデータを FFFFh にしてください。DFLWEk レジスタ（k = 0,1）による書き込み／消去プロテクトを無効にして書き込みを実施したい場合には、書き込み対象ブロック用の書き込み／消去許可ビットを “1” にしてから書き込みを行ってください。

図 39.5 にデータフラッシュへの書き込み方法を示します。

注． 8 バイト書き込みの場合は N = 04h、128 バイト書き込みの場合は N=40h です。



注1. tDP128　：128バイトデータの書き込み時間（「41. 電気的特性」を参照）
　　tRESW2　：書き込み／消去中のリセットパルス幅（「41. 電気的特性」を参照）

図 39.5　　データフラッシュの書き込み

(3) 消去方法

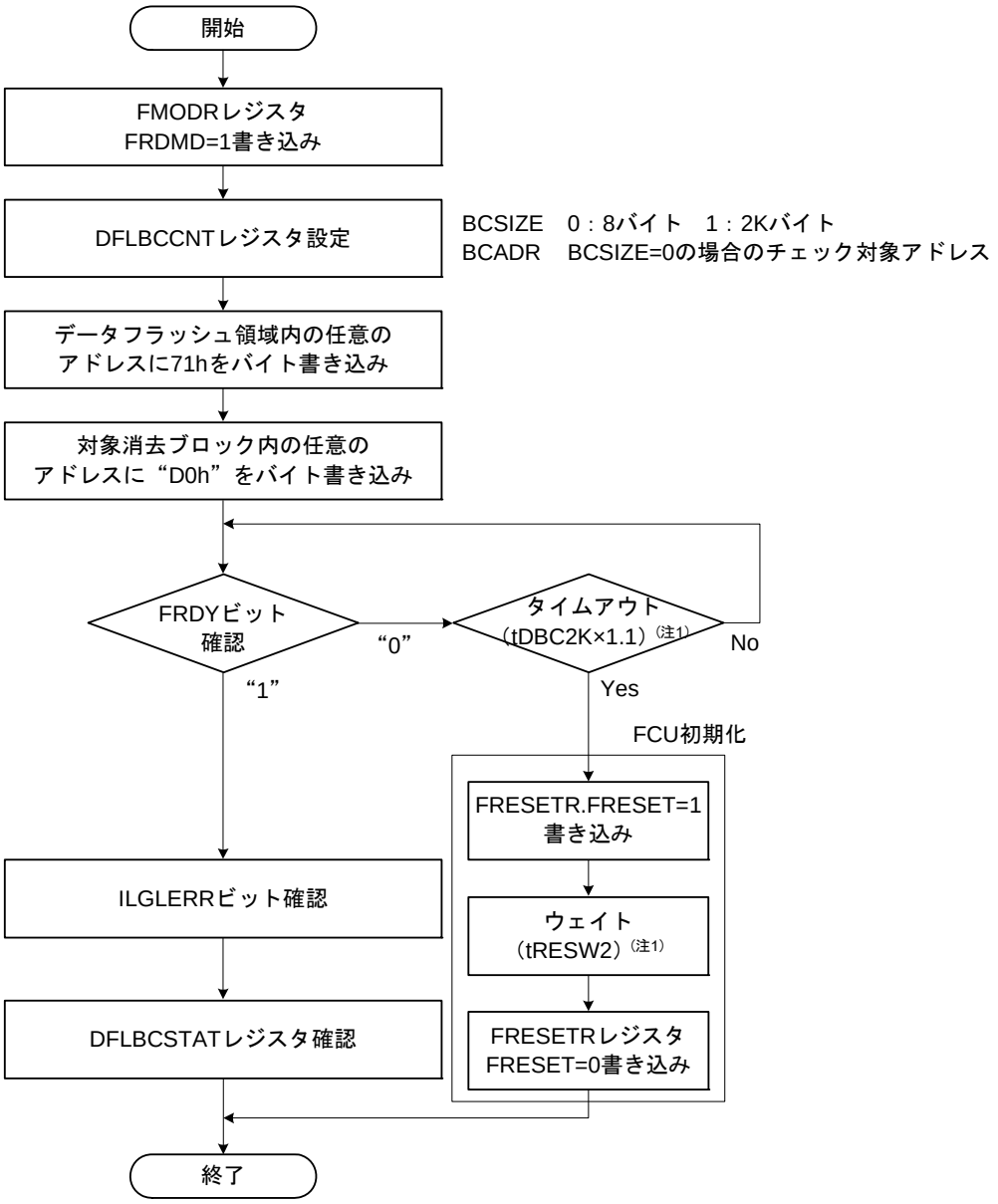
データフラッシュの消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドを使用した消去方法は、ROM の消去方法と同様です（「38. ROM（コード格納用フラッシュメモリ）」を参照）。

データフラッシュには、DFLWEk レジスタ (k = 0,1) による書き込み／消去プロテクト機能があることに注意してください。DFLWEk レジスタによるプロテクトを無効にして消去を実施したい場合には、消去対象ブロック用の書き込み／消去許可ビットを “1” にしてから消去を行ってください。

(4) ブランクチェック

CPU で消去状態のデータフラッシュを読んでも、その値は不定ですので、消去状態の確認にはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前に FMODR.FRDMD ビットを “1” にしてブランクチェックコマンドが使用可能な状態にし、DFLBCCNT レジスタにチェック対象領域のサイズとアドレスを設定してください。DFLBCCNT.BCSIZE ビットが “1” の場合には、ブランクチェックコマンドの第 2 サイクルで指定した消去ブロック全体（2K バイト）のブランクチェックを実行可能です。BCSIZE ビットが “0” の場合には、ブランクチェックコマンドの第 2 サイクルで指定した消去ブロックの先頭アドレスと、DFLBCCNT レジスタの値を加算したアドレスから 8 バイト分の領域のブランクチェックを実行可能です。ブランクチェックコマンドの第 1 サイクルでは、71h をデータフラッシュ領域のアドレスにバイト書き込みします。コマンドの第 2 サイクルでブランクチェック対象領域を含む消去ブロック内の任意アドレスに D0h をバイト書き込みすると、FCU がデータフラッシュのブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0.FRDY ビットで確認可能です。ブランクチェックの完了後に DFLBCSTAT.BCST ビットの値を確認すると、チェック対象領域が消去状態であるか 0 データか 1 データを書いた状態であるかを確認することができます。

図 39.6 にデータフラッシュのブランクチェック方法を示します。



注1. tDBC2K　：2Kバイトデータのブランクチェック書き込み時間（「41. 電気的特性」を参照）
tRESW2　：書き込み／消去中のリセットパルス幅（「41. 電気的特性」を参照）

図 39.6　データフラッシュのブランクチェック

39.7 プロテクト

データフラッシュに対する書き込み／消去のプロテクトには、ソフトウェアプロテクト、エラープロテクトの 2 種類があります。

39.7.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定によってデータフラッシュに対する書き込み／消去／読み出しが禁止された状態です。ソフトウェアプロテクトに違反してデータフラッシュに対する書き込み／消去系コマンドを発行した場合、読み出しを行った場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを “01b” に設定しないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRYD ビットが “0” の場合には、ROM ／データフラッシュリードモードになります。ROM ／データフラッシュリードモードでは FCU コマンドが受け付けられないため、データフラッシュの書き込み／消去は禁止状態になります。ROM ／データフラッシュリードモードでデータフラッシュに対する FCU コマンドを発行すると、FCU は不正コマンドエラーを検出してコマンドロック状態になります（「39.7.2 エラープロテクト」を参照）。

(3) DFLWEk レジスタによるプロテクト

DFLWEk.DBWEi（k=0,1、i=15 ～ 00）ビットが “0” の場合には、データマットの DBi ブロックへの書き込み／消去が禁止状態になります。DBWEi ビットが “0” の状態で DBi ブロックに対する書き込み／消去を実行すると、FCU はライトプロテクト違反を検出してコマンドロック状態になります（「39.7.2 エラープロテクト」を参照）。

(4) DFLREk レジスタによるプロテクト

DFLREk.DBREi（k=0,1、i=15 ～ 00）ビットが “0” の場合には、データマットの DBi ブロックの読み出しが禁止状態になります。DBREi ビットが “0” の状態で DBi ブロックに対する読み出しを実行すると、FCU はリードプロテクト違反を検出してコマンドロック状態になります（「39.7.2 エラープロテクト」を参照）。

39.7.2 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行、禁止アクセスの発生により、FCU が誤動作を検知して FCU コマンドの受け付けを禁止する状態（コマンドロック状態）です。
FCU がコマンドロック状態（FASTAT.CMDLK ビットが “1”）になると、ステータスビット（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.DFLAE, DFLRPE, DFLWPE ビット）のいずれかもしくは複数のビットが “1” になり、データフラッシュの書き込み／消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが 10h の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT.CMDLKIE ビットが “1” の場合には、FCU がコマンドロック状態（FASTAT.CMDLK ビットが “1”）になると、フラッシュインタフェースエラー（FIFERR）割り込みが発生します。また、FAEINT レジスタのデータフラッシュ関連の割り込み許可ビット（DFLAEIE、DFLRPEIE、DFLWPEIE ビット）が “1” の場合には、FASTAT レジスタの対応するビット（DFLAE、DFLRPE、DFLWPE ビット）が “1” になったときも FIFERR 割り込みが発生します。

表 39.8 にデータフラッシュ関連のエラープロテクト内容とエラー検出後のステータスビット値（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FASTAT.DFLAE, DFLRPE, DFLWPE ビット）の関係を示します。ROM ／データフラッシュ共通のエラープロテクト内容（FENTRYR 設定エラー、不正コマンドの大半、消去エラー、書き込みエラー、FCU エラー）については、「38. ROM（コード格納用フラッシュメモリ）」の「38.8.2 エラープロテクト」を参照してください。
書き込み／消去処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCU は書き込み／消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み／消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが “1” になります。

表39.8　エラープロテクト一覧（データフラッシュ専用）

分類	内容	ILGLERR	ERSERR	PRGERR	DFLAE	DFLRPE	CMDLK
不正コマンド	プログラムコマンドの2サイクル目で04h、40h以外を指定	1	0	0	0	0	1
	FENTRYR.FENTRYDビットが“1”の状態で、データフラッシュ領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	1
データフラッシュアクセス違反	FENTRYDビットが“1”、かつデータフラッシュ P/Eノーマルモードで、データフラッシュ領域に対してリードアクセスを発行	1	0	0	1	0	1
	FENTRYDビットが“0”の状態で、データフラッシュ領域に対してライトアクセスを発行	1	0	0	1	0	1
	FENTRYR.FENTRY 0ビットが“1”の状態で、データフラッシュ領域に対するアクセスを発行	1	0	0	1	0	1
データフラッシュ リードプロテクト違反	DFLREkレジスタ(k=0, 1)で読み出し禁止に設定したデータフラッシュ領域に対してリードアクセスを発行	1	0	0	0	1	1
データフラッシュ ライトプロテクト違反	DFLWEkレジスタ(k=0, 1)で書き込み／消去禁止に設定したデータフラッシュ領域に対して、プログラム／ブロックイレーズコマンドを発行	1	0	0	0	0	1

39.8　ブートモード

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してデータマットの書き込み／消去を実行可能です。ブートモードのシステム構成や使用方法の詳細は、「38.9　ブートモード」を参照してください。以下にデータフラッシュ固有のコマンドについて説明します。

39.8.1　問い合わせ設定ホストコマンド

表 39.9 にデータフラッシュ固有の問い合わせ設定ホストコマンド一覧を示します。データマット有無問い合わせ／データマット情報問い合わせコマンドは、「38.9.6　問い合わせ設定ホストコマンド待ち状態」「図 38.30　ユーザマット／ユーザブートマット／問い合わせ設定ホストコマンドの使用例」に示したフロー中の“マット書き込み用の情報問い合わせ”を実施する箇所で使用します。

表39.9　問い合わせ設定ホストコマンド（データフラッシュ固有）

ホストコマンド名	機能
データマット有無問い合わせ	データマット有無の問い合わせ
データマット情報問い合わせ	データマットの個数、先頭／最終アドレスの問い合わせ

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストから RX62N、RX621 に送信するコマンド、“レスポンス”は RX62N、RX621 からホストに送信する応答です。“サムチェック”は RX62N、RX621 が送信した各バイトを合計した場合に、00h になるように計算されたバイトデータを指します。

(1) データマット有無問い合わせ

ホストがデータマット有無問い合わせコマンドを送信すると、データマットが有ることを示す情報を RX62N、RX621 が送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	マット有無	SUM

【記号説明】
- サイズ（1バイト）：マット有無の文字数（固定値で1）
- マット有無（1バイト）：データマットの有無（固定値で21h）
  21h：データマットあり
- SUM（1バイト）：サムチェック

(2) データマット情報問い合わせ

ホストがデータマット情報問い合わせコマンドを送信すると、データマットのエリア数とアドレスの情報を RX62N、RX621 が送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	・・・		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ（1バイト）	：エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
エリア数（1バイト）	：データマットのエリア数（連続したエリアは1エリアと数えます。）
エリア先頭アドレス（4バイト）	：データマットエリアの先頭アドレス
エリア最終アドレス（4バイト）	：データマットエリアの最終アドレス
SUM（1バイト）	：サムチェック

データマットのブロック構成の情報は、消去ブロック情報問い合わせコマンド（「38.9.6　問い合わせ設定ホストコマンド待ち状態」を参照）のレスポンスに含まれます。

39.8.2　書き込み／消去ホストコマンド

表 39.10 にデータフラッシュ固有の書き込み／消去ホストコマンド一覧を示します。データフラッシュ固有のホストコマンドはデータマットのサムチェック／ブランクチェック用のコマンドのみで、書き込み／消去／読み出し用のコマンドは ROM と共用です。

データマットの書き込みを行う場合は、ユーザマット書き込み選択コマンドを発行後、256 バイト書き込みコマンドで書き込みアドレスにデータマットのアドレスを指定します。データマットの消去を行う場合は、消去選択コマンド発行後、ブロック消去コマンドでデータマットの消去ブロックを指定します。データマットの消去ブロック情報は、消去ブロック問い合わせコマンドのレスポンスに含まれます。データマットの読み出しを行う場合は、メモリリードコマンドでユーザマットを選択し、読み出し対象アドレスにデータマットのアドレスを指定します。

ユーザマット書き込み選択コマンド／ユーザブートマット書き込み選択コマンド／ 256 バイト書き込みコマンド／消去選択コマンド／ブロック消去コマンド／メモリリードコマンドの詳細は、「38.9.8　書き込み／消去ホストコマンド待ち状態」を参照してください。消去ブロック情報問い合わせコマンドの詳細は、「38.9.6　問い合わせ設定ホストコマンド待ち状態」を参照してください。

表39.10　書き込み／消去ホストコマンド（データフラッシュ固有）

ホストコマンド名	機能
データマットサムチェック	データマットのサムチェック
データマットブランクチェック	データマットのブランクチェック

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストから RX62N、RX621 に送信するコマンド、“レスポンス”は RX62N、RX621 からホストに送信する応答です。“サムチェック”は、RX62N、RX621 が送信した各バイトを合計した場合に、00h になるように計算されたバイトデータを指します。

(1) データマットサムチェック

ホストがデータマットサムチェックコマンドを送信すると、RX62N、RX621 はデータマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	61h			
レスポンス	71h	サイズ	マットのサムチェック	SUM

【記号説明】
サイズ（1バイト）　：マットのサムチェックのバイト数（固定値で4）
マットのサムチェック（4バイト）　：データマットのサムチェック結果
SUM（4バイト）　：サムチェック（レスポンスデータのサムチェック）

(2) データマットブランクチェック

ホストがデータマットブランクチェックコマンドを送信すると、RX62N、RX621 はデータマットがすべて消去状態であるかをチェックします。データマットがすべて消去状態であった場合には、RX62N、RX621 はレスポンス（06h）を送信します。データマットに未消去領域が存在した場合には、RX62N、RX621 はエラーレスポンス（E2h → 52h）を送信します。

コマンド	62h	
レスポンス	06h	
エラーレスポンス	E2h	52h

39.9 使用上の注意事項

(1) リセット起動直後のデータマットプロテクト状態

DFLREk、DFLWEk レジスタ (k=0,1) の初期値が 0000h であるため、リセット起動直後のデータマットの読み出し／書き込み／消去は禁止状態です。データマットへの読み出しが必要な場合には DFLREk レジスタを設定してからデータマットにアクセスしてください。また、データマットの書き込み／消去が必要な場合には、DFLWEk レジスタを設定してから書き込み／消去用の FCU コマンドを発行してください。レジスタを設定せずに読み出し／書き込み／消去を実行しようとすると、FCU がエラーを検出してコマンドロック状態になります。

(2) その他の注意事項

その他の注意事項については ROM と同じです。**「38. ROM（コード格納用フラッシュメモリ）」**の**「38.13 使用上の注意事項」**を参照してください。ただし、データフラッシュの場合は「ブランクチェック」が追加されます。「書き込み／消去」を「書き込み／消去／ブランクチェック」と読み替えてください。

40. バウンダリスキャン

RX62N、RX621 グループは、バウンダリスキャン機能を内蔵しています。バウンダリスキャン機能は、176 ピン LFBGA、145 ピン TFLGA、144 ピン LQFP、および 85 ピン TFLGA に搭載されています。100 ピン LQFP には搭載されていません。

バウンダリスキャンは、JTAG（Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture）と同等なシリアル入出力インタフェースです。

40.1 概要

表 40.1 にバウンダリスキャンの仕様を示します。

図 40.1 にバウンダリスキャンのブロック図を示します。

表40.1　バウンダリスキャンの仕様

項目	内容
バウンダリスキャン有効/無効	EMLE端子をLow、かつBSCANP端子をHighとしたときにバウンダリスキャン機能が有効
バウンダリスキャン専用端子	バウンダリスキャン機能有効時、以下はJTAG専用端子（TDO/TCK/TDI/TMS/TRST#） 176ピンLFBGA：PF0/PF1/PF2/PF3/PF4 145ピンTFLGA/144ピンLQFP：P26/P27/P30/P31/P34 85ピンTFLGA：P26/P27/P30/P31/P34
6種類のテストモード	• BYPASSモード • EXTESTモード • SAMPLE/PRELOADモード • CLAMPモード • HIGHZモード • IDCODEモード

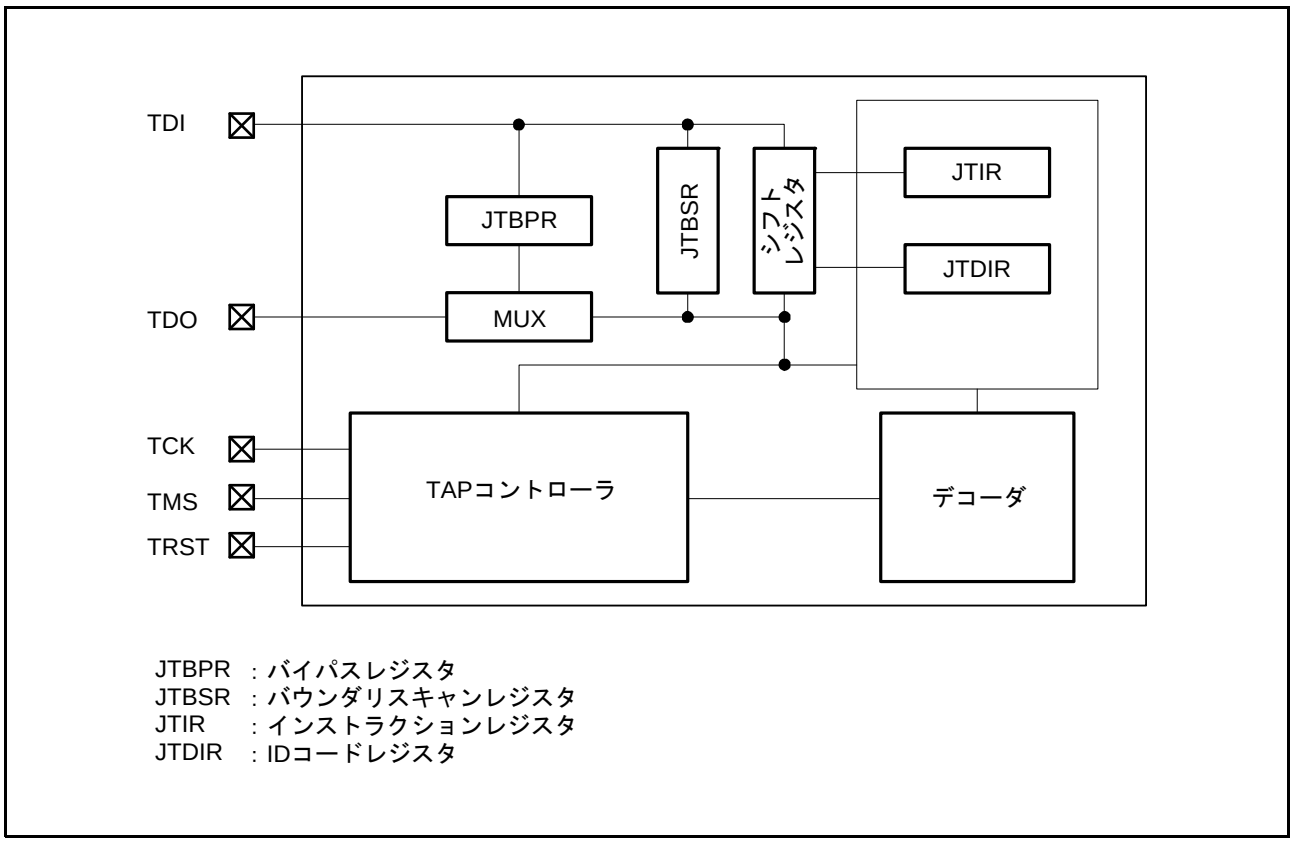


図 40.1　JTAG ブロック図

表 40.2 にバウンダリスキャンで使用する入出力端子を示します。

表40.2　JTAG入出力端子

端子名	入出力	機　能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号 バウンダリスキャン機能使用時はデューティ比50%のクロックを入力してください
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力
TRST#	入力	テストリセット入力

40.2　レジスタの説明

表 40.3 にバウンダリスキャンのレジスタ一覧を示します。

表40.3　バウンダリスキャンのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
インストラクションレジスタ	JTIR	55h	–	–
IDコードレジスタ	JTIDR	080B B447h	–	–
バイパスレジスタ	JTBPR	不定	–	–
バウンダリスキャンレジスタ	JTBSR	不定	–	–

インストラクションは、TDI 端子からシリアル転送により JTIR レジスタへ入力できます。

JTBPR レジスタは1ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます。

JTBSR レジスタは表40.6の構成のレジスタで、テストデータをシフトインするときにTDI端子とTDO端子の間に接続されます。

すべてのレジスタは、CPU からアクセスできません。

表 40.4 に各レジスタのシリアル転送を示します。

表40.4　レジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
インストラクションレジスタ（JTIR）	可能	不可能
IDコードレジスタ（JTIDR）	不可能	可能
バイパスレジスタ（JTBPR）	可能	可能
バウンダリスキャンレジスタ（JTBSR）	可能	可能

40.2.1　インストラクションレジスタ（JTIR）

	b7	b6	b5	b4	b3	b2	b1	b0
	TS[7:0]							
リセット後の値	0	1	0	1	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	TS[7:0]	テストビットセット	コマンド構成は表40.5のようになります。	―

表40.5　コマンド構成

TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	IDCODE（初期値）
1	1	0	1	0	0	0	0	CLAMP
1	0	0	0	0	0	0	0	HIGHZ
1	1	1	1	1	1	1	1	BYPASS
上記以外								予約

JTIR レジスタは、8 ビットのレジスタです。

バウンダリスキャンのインストラクションは、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。

JTIR レジスタはTRST#端子がLow、またはTAP コントローラがTest-Logic-Reset状態 のときに初期化されます。

40.2.2　ID コードレジスタ（JTIDR）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DID[31:0]															
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	1	0	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DID[31:0]															
リセット後の値	1	0	1	1	0	1	0	0	0	1	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b31-b0	DID[31:0]	予約ビット	デバイスIDCODEを示す固定値のレジスタ	―

JTIDR レジスタは、32 ビットのレジスタです。

IDCODE 命令時、JTIDR レジスタのデータを TDO 端子から出力します。

40.2.3 バイパスレジスタ（JTBPR）

JTBPR レジスタは、1 ビットのレジスタです。

BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。

CPU から JTBPR レジスタへ読み出し／書き込みできません。

40.2.4 バウンダリスキャンレジスタ（JTBSR）

JTBSR レジスタは、LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、バウンダリスキャンテストを行うことができます。

表 40.6 に LSI の端子とバウンダリスキャンレジスタの対応を示します。

リセット後の値は、不定です。

表40.6　バウンダリスキャンレジスタ LFBGA176 (1 / 9)

From TDI			
Pin No	端子名	タイプ	ビット名
C3	P05	出力	356
		出力イネーブル	355
		入力	354
C2	P03	出力	353
		出力イネーブル	352
		入力	351
B1	P02	出力	350
		出力イネーブル	349
		入力	348
D2	P01	出力	347
		出力イネーブル	346
		入力	345
C1	P00	出力	344
		出力イネーブル	343
		入力	342
F2	WDTOVF#	出力	341
		出力イネーブル	340
G4	MDE	入力	339
G2	MD1	入力	338
G3	MD0	入力	337
H2	P35	入力	336
K1	P33	出力	335
		出力イネーブル	334
		入力	333
J2	P32	出力	332
		出力イネーブル	331
		入力	330
M2	P25	出力	329
		出力イネーブル	328
		入力	327
P1	P24	出力	326
		出力イネーブル	325
		入力	324
N2	P23	出力	323
		出力イネーブル	322
		入力	321
M3	P22	出力	320
		出力イネーブル	319
		入力	318
R1	P21	出力	317
		出力イネーブル	316
		入力	315

表40.6　バウンダリスキャンレジスタ LFBGA176 (2 / 9)

Pin No	端子名	タイプ	ビット名
N3	P20	出力	314
		出力イネーブル	313
		入力	312
N4	P17	出力	311
		出力イネーブル	310
		入力	309
P3	P16	出力	308
		出力イネーブル	307
		入力	306
N5	P15	出力	305
		出力イネーブル	304
		入力	303
P4	P14	出力	302
		出力イネーブル	301
		入力	300
P5	P13	出力	299
		出力イネーブル	298
		入力	297
R3	P12	出力	296
		出力イネーブル	295
		入力	294
M5	P11	出力	293
		出力イネーブル	292
		入力	291
N6	P57	出力	290
		出力イネーブル	289
		入力	288
P7	P56	出力	287
		出力イネーブル	286
		入力	285
M6	P55	出力	284
		出力イネーブル	283
		入力	282
N7	P10	出力	281
		出力イネーブル	280
		入力	279
M7	P54	出力	278
		出力イネーブル	277
		入力	276
R9	P85	出力	275
		出力イネーブル	274
		入力	273

表40.6 バウンダリスキャンレジスタ LFBGA176 (3 / 9)

Pin No	端子名	タイプ	ビット名
R10	P53	出力	272
		出力イネーブル	271
		入力	270
P9	P84	出力	269
		出力イネーブル	268
		入力	267
N8	P52	出力	266
		出力イネーブル	265
		入力	264
M8	P51	出力	263
		出力イネーブル	262
		入力	261
P10	P50	出力	260
		出力イネーブル	259
		入力	258
R11	P83	出力	257
		出力イネーブル	256
		入力	255
R12	PC7	出力	254
		出力イネーブル	253
		入力	252
M10	PC6	出力	251
		出力イネーブル	250
		入力	249
N10	PC5	出力	248
		出力イネーブル	247
		入力	246
P11	P82	出力	245
		出力イネーブル	244
		入力	243
M11	P81	出力	242
		出力イネーブル	241
		入力	240
R13	P80	出力	239
		出力イネーブル	238
		入力	237
P12	PC4	出力	236
		出力イネーブル	235
		入力	234
N11	PC3	出力	233
		出力イネーブル	232
		入力	231

表40.6 バウンダリスキャンレジスタ LFBGA176 (4 / 9)

Pin No	端子名	タイプ	ビット名
R14	P77	出力	230
		出力イネーブル	229
		入力	228
P13	P76	出力	227
		出力イネーブル	226
		入力	225
N12	PC2	出力	224
		出力イネーブル	223
		入力	222
R15	P75	出力	221
		出力イネーブル	220
		入力	219
N13	P74	出力	218
		出力イネーブル	217
		入力	216
P14	PC1	出力	215
		出力イネーブル	214
		入力	213
M12	PC0	出力	212
		出力イネーブル	211
		入力	210
N14	P73	出力	209
		出力イネーブル	208
		入力	207
P15	PB7	出力	206
		出力イネーブル	205
		入力	204
M14	PB6	出力	203
		出力イネーブル	202
		入力	201
N15	PB5	出力	200
		出力イネーブル	199
		入力	198
L13	PB4	出力	197
		出力イネーブル	196
		入力	195
L14	PB3	出力	194
		出力イネーブル	193
		入力	192
M15	PB2	出力	191
		出力イネーブル	190
		入力	189

表40.6　バウンダリスキャンレジスタ LFBGA176 (5 / 9)

Pin No	端子名	タイプ	ビット名
K12	PB1	出力	188
		出力イネーブル	187
		入力	186
K14	P72	出力	185
		出力イネーブル	184
		入力	183
K13	P71	出力	182
		出力イネーブル	181
		入力	180
K15	PB0	出力	179
		出力イネーブル	178
		入力	177
J14	PA7	出力	176
		出力イネーブル	175
		入力	174
J15	PA6	出力	173
		出力イネーブル	172
		入力	171
J13	PA5	出力	170
		出力イネーブル	169
		入力	168
H14	PA4	出力	167
		出力イネーブル	166
		入力	165
H15	PA3	出力	164
		出力イネーブル	163
		入力	162
H12	PG7	出力	161
		出力イネーブル	160
		入力	159
H13	PA2	出力	158
		出力イネーブル	157
		入力	156
G14	PG6	出力	155
		出力イネーブル	154
		入力	153
G15	PA1	出力	152
		出力イネーブル	151
		入力	150
F15	PG5	出力	149
		出力イネーブル	148
		入力	147

表40.6　バウンダリスキャンレジスタ LFBGA176 (6 / 9)

Pin No	端子名	タイプ	ビット名
F14	PA0	出力	146
		出力イネーブル	145
		入力	144
F12	PG4	出力	143
		出力イネーブル	142
		入力	141
E15	P67	出力	140
		出力イネーブル	139
		入力	138
F13	PG3	出力	137
		出力イネーブル	136
		入力	135
E14	P66	出力	134
		出力イネーブル	133
		入力	132
E12	PG2	出力	131
		出力イネーブル	130
		入力	129
D15	P65	出力	128
		出力イネーブル	127
		入力	126
D14	PE7	出力	125
		出力イネーブル	124
		入力	123
C15	PE6	出力	122
		出力イネーブル	121
		入力	120
B15	P70	出力	119
		出力イネーブル	118
		入力	117
C14	PE5	出力	116
		出力イネーブル	115
		入力	114
D13	PE4	出力	113
		出力イネーブル	112
		入力	111
C13	PE3	出力	110
		出力イネーブル	109
		入力	108
B14	PE2	出力	107
		出力イネーブル	106
		入力	105

表40.6　バウンダリスキャンレジスタ LFBGA176 (7 / 9)

Pin No	端子名	タイプ	ビット名
A15	PE1	出力	104
		出力イネーブル	103
		入力	102
C12	PE0	出力	101
		出力イネーブル	100
		入力	99
B13	P64	出力	98
		出力イネーブル	97
		入力	96
A14	P63	出力	95
		出力イネーブル	94
		入力	93
B12	P62	出力	92
		出力イネーブル	91
		入力	90
A13	P61	出力	89
		出力イネーブル	88
		入力	87
B11	P60	出力	86
		出力イネーブル	85
		入力	84
A12	PD7	出力	83
		出力イネーブル	82
		入力	81
D10	PG1	出力	80
		出力イネーブル	79
		入力	78
B10	PD6	出力	77
		出力イネーブル	76
		入力	75
A11	PG0	出力	74
		出力イネーブル	73
		入力	72
C10	PD5	出力	71
		出力イネーブル	70
		入力	69
A10	PD4	出力	68
		出力イネーブル	67
		入力	66
B9	P97	出力	65
		出力イネーブル	64
		入力	63

表40.6　バウンダリスキャンレジスタ LFBGA176 (8 / 9)

Pin No	端子名	タイプ	ビット名
A9	PD3	出力	62
		出力イネーブル	61
		入力	60
B8	P96	出力	59
		出力イネーブル	58
		入力	57
A8	PD2	出力	56
		出力イネーブル	55
		入力	54
D8	P95	出力	53
		出力イネーブル	52
		入力	51
B7	PD1	出力	50
		出力イネーブル	49
		入力	48
C8	P94	出力	47
		出力イネーブル	46
		入力	45
A7	PD0	出力	44
		出力イネーブル	43
		入力	42
D7	P93	出力	41
		出力イネーブル	40
		入力	39
C7	P92	出力	38
		出力イネーブル	37
		入力	36
B6	P91	出力	35
		出力イネーブル	34
		入力	33
A6	P90	出力	32
		出力イネーブル	31
		入力	30
B5	P47	出力	29
		出力イネーブル	28
		入力	27
A5	P46	出力	26
		出力イネーブル	25
		入力	24
A4	P45	出力	23
		出力イネーブル	22
		入力	21

表40.6　バウンダリスキャンレジスタ LFBGA176 (9 / 9)

Pin No	端子名	タイプ	ビット名
B4	P44	出力	20
		出力イネーブル	19
		入力	18
D5	P43	出力	17
		出力イネーブル	16
		入力	15
A3	P42	出力	14
		出力イネーブル	13
		入力	12
D4	P41	出力	11
		出力イネーブル	10
		入力	9
C5	P40	出力	8
		出力イネーブル	7
		入力	6
C4	P07	出力	5
		出力イネーブル	4
		入力	3
To TDO			

表40.7　バウンダリスキャンレジスタ LGA145/LQFP144 (1 / 8)

From TDI				
Pin No		端子名	タイプ	ビット名
LGA145	LQFP144			
C2	2	P05	出力	356
			出力イネーブル	355
			入力	354
B1	4	P03	出力	353
			出力イネーブル	352
			入力	351
D3	6	P02	出力	350
			出力イネーブル	349
			入力	348
C1	7	P01	出力	347
			出力イネーブル	346
			入力	345
E3	8	P00	出力	344
			出力イネーブル	343
			入力	342
F3	11	WDTOVF#	出力	341
			出力イネーブル	340
F4	13	MDE	入力	339
G3	15	MD1	入力	338
G4	16	MD0	入力	337
J3	24	P35	入力	336
J1	26	P33	出力	335
			出力イネーブル	334
			入力	333
J4	27	P32	出力	332
			出力イネーブル	331
			入力	330
L1	32	P25	出力	329
			出力イネーブル	328
			入力	327
K2	33	P24	出力	326
			出力イネーブル	325
			入力	324
M1	34	P23	出力	323
			出力イネーブル	322
			入力	321
L2	35	P22	出力	320
			出力イネーブル	319
			入力	318
N1	36	P21	出力	317
			出力イネーブル	316
			入力	315

表40.7　バウンダリスキャンレジスタ LGA145/LQFP144 (2 / 8)

Pin No		端子名	タイプ	ビット名
LGA145	LQFP144			
M2	37	P20	出力	314
			出力イネーブル	313
			入力	312
L3	38	P17	出力	311
			出力イネーブル	310
			入力	309
N2	40	P16	出力	308
			出力イネーブル	307
			入力	306
M4	42	P15	出力	305
			出力イネーブル	304
			入力	303
M5	43	P14	出力	302
			出力イネーブル	301
			入力	300
N4	44	P13	出力	299
			出力イネーブル	298
			入力	297
L4	45	P12	出力	296
			出力イネーブル	295
			入力	294
L6	50	P56	出力	287
			出力イネーブル	286
			入力	285
M7	51	P55	出力	284
			出力イネーブル	283
			入力	282
N7	52	P54	出力	278
			出力イネーブル	277
			入力	276
K5	53	P53	出力	272
			出力イネーブル	271
			入力	270
L7	54	P52	出力	266
			出力イネーブル	265
			入力	264
N8	55	P51	出力	263
			出力イネーブル	262
			入力	261
M8	56	P50	出力	260
			出力イネーブル	259
			入力	258

表40.7 バウンダリスキャンレジスタ LGA145/LQFP144 (3 / 8)

Pin No		端子名	タイプ	ビット名
LGA145	LQFP144			
L8	58	P83	出力	257
			出力イネーブル	256
			入力	255
K7	60	PC7	出力	254
			出力イネーブル	253
			入力	252
M9	61	PC6	出力	251
			出力イネーブル	250
			入力	249
N10	62	PC5	出力	248
			出力イネーブル	247
			入力	246
K8	63	P82	出力	245
			出力イネーブル	244
			入力	243
L9	64	P81	出力	242
			出力イネーブル	241
			入力	240
M10	65	P80	出力	239
			出力イネーブル	238
			入力	237
N11	66	PC4	出力	236
			出力イネーブル	235
			入力	234
K9	67	PC3	出力	233
			出力イネーブル	232
			入力	231
L10	68	P77	出力	230
			出力イネーブル	229
			入力	228
N12	69	P76	出力	227
			出力イネーブル	226
			入力	225
M11	70	PC2	出力	224
			出力イネーブル	223
			入力	222
L11	71	P75	出力	221
			出力イネーブル	220
			入力	219
N13	72	P74	出力	218
			出力イネーブル	217
			入力	216

表40.7 バウンダリスキャンレジスタ LGA145/LQFP144 (4 / 8)

Pin No		端子名	タイプ	ビット名
LGA145	LQFP144			
M12	73	PC1	出力	215
			出力イネーブル	214
			入力	213
K12	75	PC0	出力	212
			出力イネーブル	211
			入力	210
K11	77	P73	出力	209
			出力イネーブル	208
			入力	207
K10	78	PB7	出力	206
			出力イネーブル	205
			入力	204
L13	79	PB6	出力	203
			出力イネーブル	202
			入力	201
J12	80	PB5	出力	200
			出力イネーブル	199
			入力	198
J11	81	PB4	出力	197
			出力イネーブル	196
			入力	195
K13	82	PB3	出力	194
			出力イネーブル	193
			入力	192
J10	83	PB2	出力	191
			出力イネーブル	190
			入力	189
H12	84	PB1	出力	188
			出力イネーブル	187
			入力	186
J13	85	P72	出力	185
			出力イネーブル	184
			入力	183
H11	86	P71	出力	182
			出力イネーブル	181
			入力	180
H10	87	PB0	出力	179
			出力イネーブル	178
			入力	177
H13	88	PA7	出力	176
			出力イネーブル	175
			入力	174

表40.7 バウンダリスキャンレジスタ LGA145/LQFP144 (5 / 8)

Pin No		端子名	タイプ	ビット名
LGA145	LQFP144			
G12	89	PA6	出力	173
			出力イネーブル	172
			入力	171
G11	90	PA5	出力	170
			出力イネーブル	169
			入力	168
G13	92	PA4	出力	167
			出力イネーブル	166
			入力	165
F11	94	PA3	出力	164
			出力イネーブル	163
			入力	162
F13	95	PA2	出力	158
			出力イネーブル	157
			入力	156
F10	96	PA1	出力	152
			出力イネーブル	151
			入力	150
E12	97	PA0	出力	146
			出力イネーブル	145
			入力	144
E11	98	P67	出力	140
			出力イネーブル	139
			入力	138
E13	99	P66	出力	134
			出力イネーブル	133
			入力	132
E10	100	P65	出力	128
			出力イネーブル	127
			入力	126
D12	101	PE7	出力	125
			出力イネーブル	124
			入力	123
D13	102	PE6	出力	122
			出力イネーブル	121
			入力	120
C13	104	P70	出力	119
			出力イネーブル	118
			入力	117
C11	106	PE5	出力	116
			出力イネーブル	115
			入力	114

表40.7 バウンダリスキャンレジスタ LGA145/LQFP144 (6 / 8)

Pin No		端子名	タイプ	ビット名
LGA145	LQFP144			
B13	107	PE4	出力	113
			出力イネーブル	112
			入力	111
C12	108	PE3	出力	110
			出力イネーブル	109
			入力	108
B11	109	PE2	出力	107
			出力イネーブル	106
			入力	105
B12	110	PE1	出力	104
			出力イネーブル	103
			入力	102
B10	111	PE0	出力	101
			出力イネーブル	100
			入力	99
A13	112	P64	出力	98
			出力イネーブル	97
			入力	96
C10	113	P63	出力	95
			出力イネーブル	94
			入力	93
A12	114	P62	出力	92
			出力イネーブル	91
			入力	90
C9	115	P61	出力	89
			出力イネーブル	88
			入力	87
A11	117	P60	出力	86
			出力イネーブル	85
			入力	84
C8	119	PD7	出力	83
			出力イネーブル	82
			入力	81
A10	120	PD6	出力	77
			出力イネーブル	76
			入力	75
B8	121	PD5	出力	71
			出力イネーブル	70
			入力	69
D8	122	PD4	出力	68
			出力イネーブル	67
			入力	66

表40.7 バウンダリスキャンレジスタ LGA145/LQFP144 (7 / 8)

Pin No		端子名	タイプ	ビット名
LGA145	LQFP144			
A9	123	PD3	出力	62
			出力イネーブル	61
			入力	60
C7	124	PD2	出力	56
			出力イネーブル	55
			入力	54
B7	125	PD1	出力	50
			出力イネーブル	49
			入力	48
A8	126	PD0	出力	44
			出力イネーブル	43
			入力	42
D7	127	P93	出力	41
			出力イネーブル	40
			入力	39
C6	128	P92	出力	38
			出力イネーブル	37
			入力	36
A7	129	P91	出力	35
			出力イネーブル	34
			入力	33
B6	131	P90	出力	32
			出力イネーブル	31
			入力	30
A6	133	P47	出力	29
			出力イネーブル	28
			入力	27
C5	134	P46	出力	26
			出力イネーブル	25
			入力	24
B5	135	P45	出力	23
			出力イネーブル	22
			入力	21
A5	136	P44	出力	20
			出力イネーブル	19
			入力	18
D4	137	P43	出力	17
			出力イネーブル	16
			入力	15
A4	138	P42	出力	14
			出力イネーブル	13
			入力	12

表40.7 バウンダリスキャンレジスタ LGA145/LQFP144 (8 / 8)

Pin No		端子名	タイプ	ビット名
LGA145	LQFP144			
C4	139	P41	出力	11
			出力イネーブル	10
			入力	9
B4	141	P40	出力	8
			出力イネーブル	7
			入力	6
B2	144	P07	出力	5
			出力イネーブル	4
			入力	3
To TDO				

表40.8 バウンダリスキャンレジスタ LGA85 (1 / 4)

From TDI			
Pin No	端子名	タイプ	ビット名
C1	P03	出力	353
		出力イネーブル	352
		入力	351
D1	MDE	入力	339
C7	MD1	入力	338
D3	MD0	入力	337
G1	P35	入力	336
G2	P33	出力	335
		出力イネーブル	334
		入力	333
F3	P32	出力	332
		出力イネーブル	331
		入力	330
J1	P25	出力	329
		出力イネーブル	328
		入力	327
J3	P24	出力	326
		出力イネーブル	325
		入力	324
J2	P23	出力	323
		出力イネーブル	322
		入力	321
K2	P22	出力	320
		出力イネーブル	319
		入力	318
K1	P21	出力	317
		出力イネーブル	316
		入力	315
K3	P20	出力	314
		出力イネーブル	313
		入力	312
J4	P16	出力	308
		出力イネーブル	307
		入力	306
H5	P14	出力	302
		出力イネーブル	301
		入力	300
H6	P13	出力	299
		出力イネーブル	298
		入力	297
K5	P12	出力	296
		出力イネーブル	295
		入力	294

表40.8 バウンダリスキャンレジスタ LGA85 (2 / 4)

Pin No	端子名	タイプ	ビット名
H7	P53	出力	272
		出力イネーブル	271
		入力	270
J7	P52	出力	266
		出力イネーブル	265
		入力	264
J8	P51	出力	263
		出力イネーブル	262
		入力	261
K8	P50	出力	260
		出力イネーブル	259
		入力	258
J9	PC3	出力	233
		出力イネーブル	232
		入力	231
K9	PC2	出力	224
		出力イネーブル	223
		入力	222
K10	PC1	出力	215
		出力イネーブル	214
		入力	213
J10	PC0	出力	212
		出力イネーブル	211
		入力	210
H9	PB7	出力	206
		出力イネーブル	205
		入力	204
H8	PB6	出力	203
		出力イネーブル	202
		入力	210
G9	PB5	出力	200
		出力イネーブル	199
		入力	198
H10	PB4	出力	197
		出力イネーブル	196
		入力	195
G8	PB3	出力	194
		出力イネーブル	193
		入力	192
F9	PB2	出力	191
		出力イネーブル	190
		入力	189

表40.8　バウンダリスキャンレジスタ LGA85 (3 / 4)

Pin No	端子名	タイプ	ビット名
G10	PB1	出力	188
		出力イネーブル	187
		入力	186
E9	PB0	出力	179
		出力イネーブル	178
		入力	177
F10	PA7	出力	176
		出力イネーブル	175
		入力	174
D9	PA6	出力	173
		出力イネーブル	172
		入力	171
C9	PA5	出力	170
		出力イネーブル	169
		入力	168
E10	PA4	出力	167
		出力イネーブル	166
		入力	165
B9	PA3	出力	164
		出力イネーブル	163
		入力	162
D10	PA2	出力	158
		出力イネーブル	157
		入力	156
B10	PA1	出力	152
		出力イネーブル	151
		入力	150
C10	PA0	出力	146
		出力イネーブル	145
		入力	144
A9	PD7	出力	83
		出力イネーブル	82
		入力	81
A10	PD6	出力	77
		出力イネーブル	76
		入力	75
A8	PD5	出力	71
		出力イネーブル	70
		入力	69
A7	PD4	出力	68
		出力イネーブル	67
		入力	66

表40.8　バウンダリスキャンレジスタ LGA85 (4 / 4)

Pin No	端子名	タイプ	ビット名
B8	PD3	出力	62
		出力イネーブル	61
		入力	60
B7	PD2	出力	56
		出力イネーブル	55
		入力	54
A6	PD1	出力	50
		出力イネーブル	49
		入力	48
B6	PD0	出力	44
		出力イネーブル	43
		入力	42
A5	P47	出力	29
		出力イネーブル	28
		入力	27
B5	P46	出力	26
		出力イネーブル	25
		入力	24
C6	P45	出力	23
		出力イネーブル	22
		入力	21
C5	P44	出力	20
		出力イネーブル	19
		入力	18
A4	P43	出力	17
		出力イネーブル	16
		入力	15
B4	P42	出力	14
		出力イネーブル	13
		入力	13
C4	P41	出力	11
		出力イネーブル	10
		入力	9
C3	P40	出力	8
		出力イネーブル	7
		入力	6
A1	P05	出力	2
		出力イネーブル	1
		入力	0
To TDO			

40.3 動作説明

バウンダリスキャン機能は、RES# 端子を High、EMLE 端子を Low、かつ BSCANP 端子を High としたとき有効になります。

40.3.1 TAP コントローラ

図 40.2 に TAP コントローラの状態遷移図を示します。

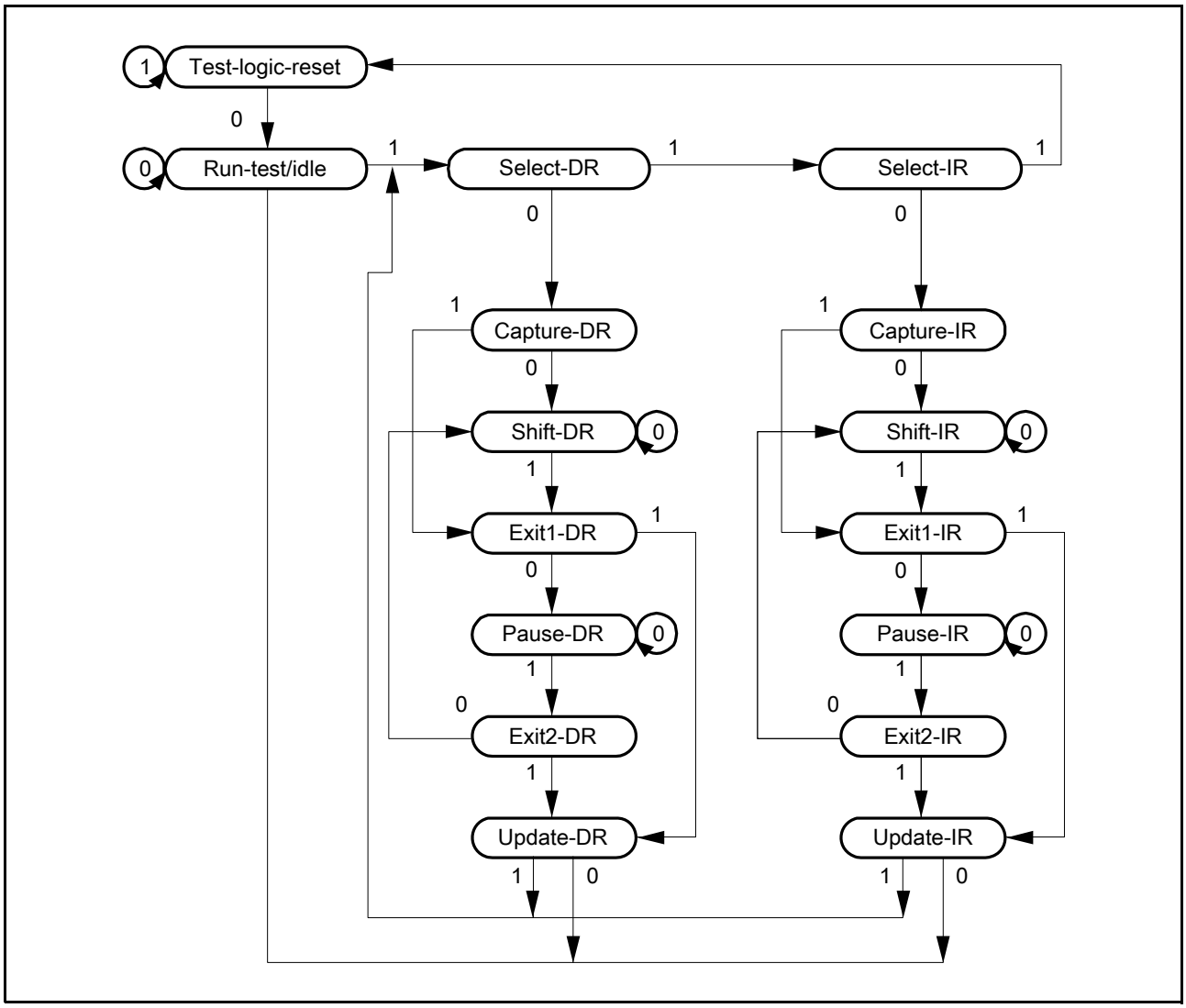


図 40.2 TAP コントローラ

40.3.2 コマンド一覧

(1) BYPASS[命令コード：1111 1111b]

BYPASS 命令は、JTBPR レジスタを動作させる命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子には JTBPR レジスタが接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO が Low となり、その後の Shift-DR で TDI が TDO から出力されます。

(2) EXTEST[命令コード：0000 0000b]

EXTEST 命令は、LSI をプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子は JTBSR レジスタからテストデータ（SAMPLE/PRELOAD 命令ですでに設定されています）をプリント基板へ出力するために使用され、入力端子はプリント基板から JTBSR レジスタにテスト結果を取り込むために使用されます。

(3) SAMPLE/PRELOAD[命令コード：0100 0000b]

SAMPLE/PRELOAD 命令は、LSI の内部回路から JTBSR レジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットを JTBSR レジスタに取り込みスキャンパスから読みます。スナップショットの取り込みは Capture-DR状態のTCKの立ち上がりに同期して行われます。スナップショットの取り込みはLSIの通常動作を妨げずに行われます。

PRELOAD動作では、EXTEST命令に先立ちスキャンパスからJTBSRレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力端子から不定値が出力される（EXTEST 命令では出力端子に常にパラレル出力ラッチを出力する）ことになります。

(4) IDCODE[命令コード：0101 0101b]

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に JTIDR レジスタの値を LSB より TDO から出力します。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

(5) CLAMP[命令コード：1101 0000b]

CLAMP命令が選択されると、出力端子はあらかじめSAMPLE/PRELOAD命令によって設定されたJTBSRレジスタの値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

この命令では TDI 端子と TDO 端子にバイパスレジスタが接続され、BYPASS モードを選択したときと同様の動作をします。

(6) HIGHZ[命令コード：1000 0000b]

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI端子とTDO端子の間にはバイパスレジスタが接続され、BYPASS命令が選択されたときと同様の動作をします。

40.4　使用上の注意事項

(1) シリアル転送時、データの入出力は LSB 側からとなります。図 40.3 に示します。

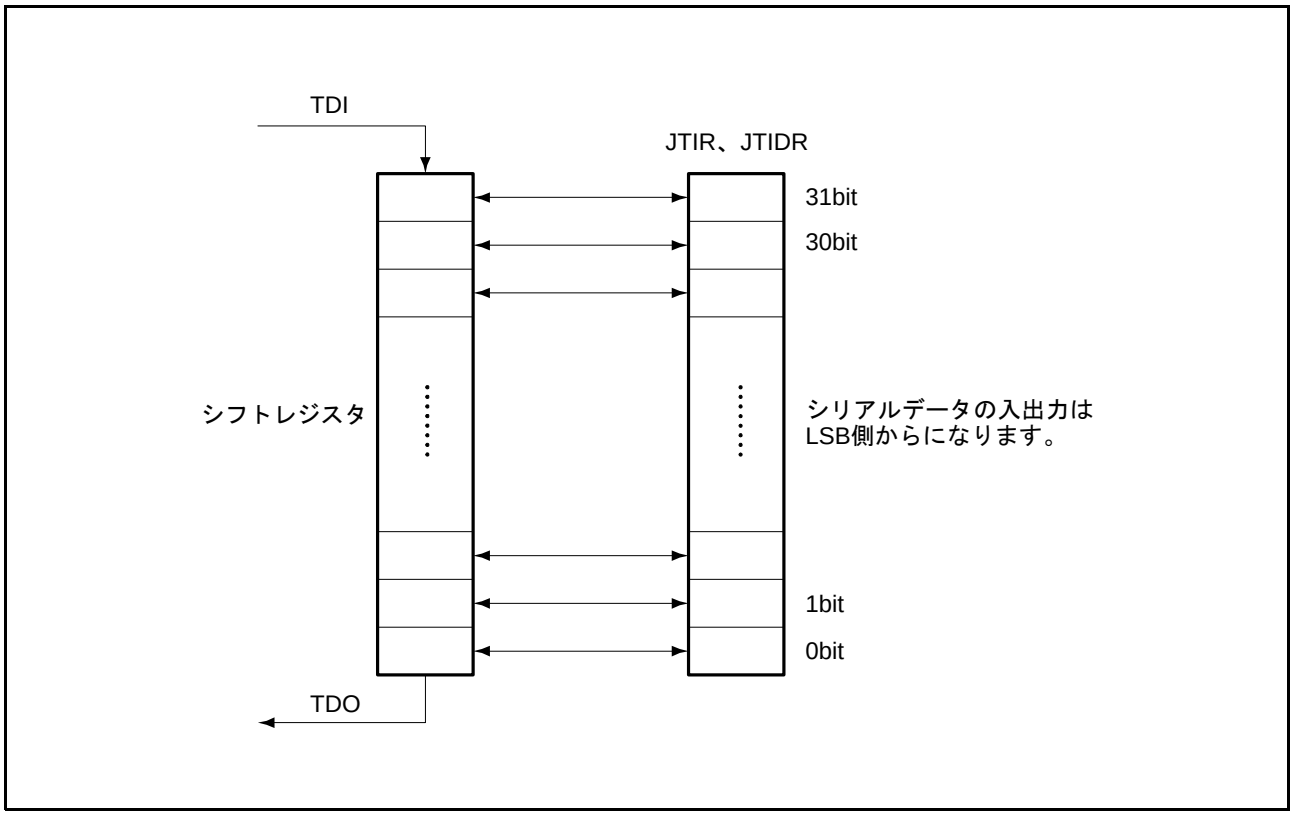


図 40.3　シリアルデータ入出力

(2) バウンダリスキャンの端子（TCK、TDI、TMS、TRST#）は、プルアップ抵抗にてプルアップしてください。ただし、オンチップエミュレータを使用する場合は、使用するオンチップエミュレータのマニュアルに従って、TRST# 端子を処理してください。
TRST# 端子をプルダウンする場合には、バウンダリスキャン時に、TRST# も制御するようにしてください。
(3) 電源端子（VCC、VCL、VSS、AVCC、AVSS、VREFH、VREFL、PLLVCC、PLLVSS、VCC_USB、VSS_USB）はバウンダリスキャン対象外です。
(4) クロック端子（EXTAL、XTAL、XCIN、XCOUT）はバウンダリスキャンの対象外です。
(5) リセット端子（RES#）はバウンダリスキャンの対象外です。
(6) USB 専用端子（USB0_DP、USB0_DM、USB1_DP、USB1_DM）はバウンダリスキャンの対象外です。
(7) オンチップエミュレータイネーブル端子（EMLE）はバウンダリスキャンの対象外です。
(8) バウンダリスキャン端子（BSCANP）はバウンダリスキャンの対象外です。
(9) CNVSS 端子はバウンダリスキャンの対象外です。
(10) バウンダリスキャンの端子（TCK、TMS、TRST#、TDI、TDO) はバウンダリスキャン対象外です。
(11) バウンダリスキャン機能は、以下のとき、使用できません。

- リセット状態
- ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

(12) オープンドレイン機能付き端子を、オープンドレイン機能有効として使用した場合、バウンダリスキャン機能で出力のスキャンレジスタを 1、出力イネーブルレジスタを 1 に設定し、EXTEST 命令、CLAMP 命令、SAMPLE/PRELOAD 命令のいずれかを実行すると端子はハイインピーダンスではなく、High 出力になります。

(13) P12、P13、P20、P21 の端子構成を図 40.4（1）に示します。P12、P13、P20、P21 を RIIC 端子 (SDA0、SDA1、SCL0、SCL1) として使用した場合、バウンダリスキャン機能をご使用の際は、オープンドレイン出力との衝突、回り込みに注意してください。

(14) P40 ～ P47 の端子構成を図 40.4（2）に示します。P40 ～ P47 を AD 入力 (AN0 ～ AN7) として使用した場合、バウンダリスキャン機能をご使用の際は、AD 入力との衝突、回り込みに注意してください。

(15) P03、P05 の端子構成を図 40.4（3）に示します。P03、P05 を DA 出力 (DA0、DA1) として使用した場合、バウンダリスキャン機能をご使用の際は、DA 出力との衝突、回り込みに注意してください。

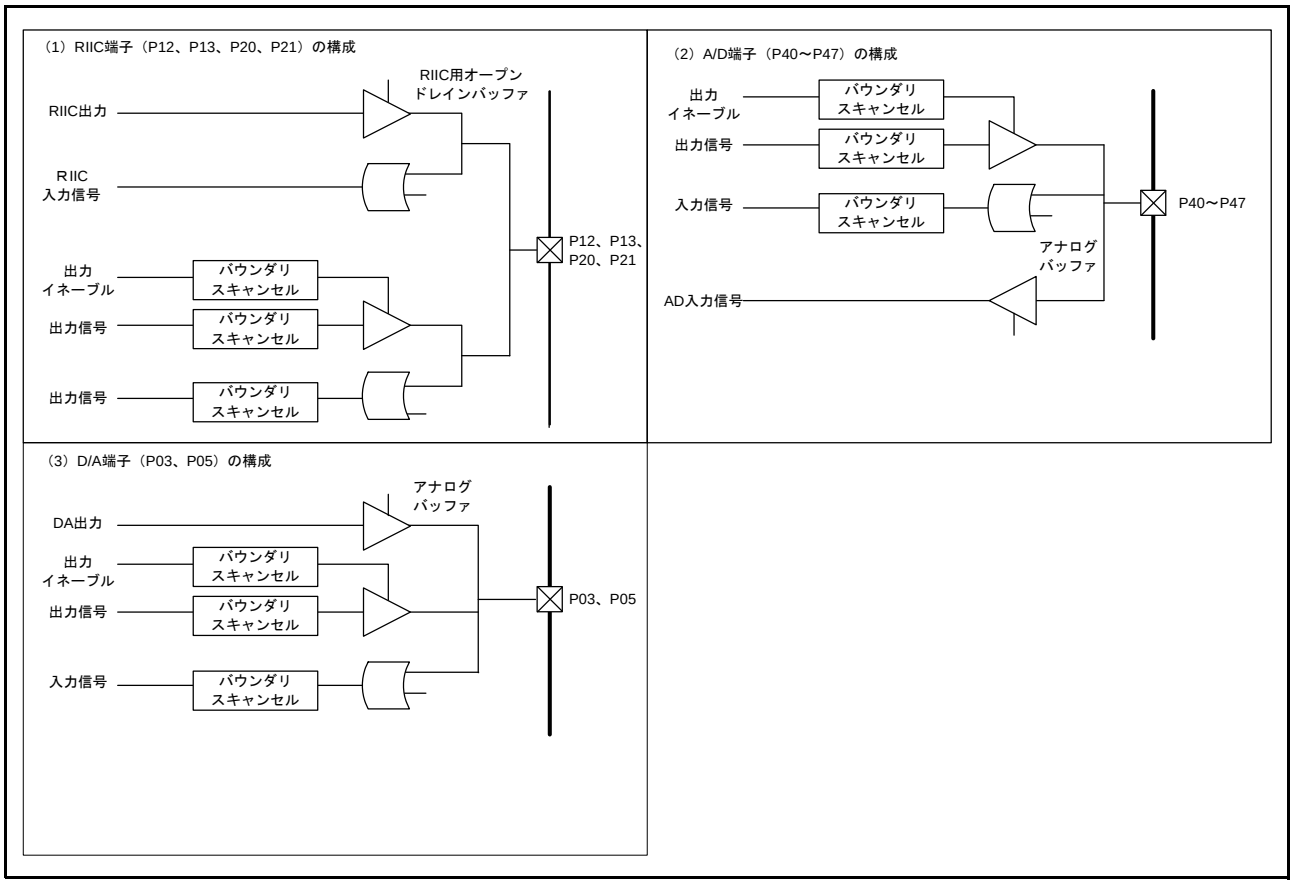


図 40.4　各端子の構成

41. 電気的特性

41.1 絶対最大定格

表41.1　絶対最大定格

項目	記号	定格値	単位
電源電圧	VCC PLLVCC VCC_USB	－0.3 ～ ＋4.6	V
入力電圧 （ポート00～02、07、ポート12、13、16、17、ポート20、21、ポート33以外）	V_{IN}	－0.3 ～ VCC+ 0.3	V
入力電圧 （ポート00～02、07、ポート12、13、16、17、ポート20、21、ポート33（注1））	V_{IN}	－0.3 ～ ＋5.8	V
リファレンス電源電圧	V_{REF}	－0.3 ～ VCC+ 0.3	V
アナログ電源電圧	AVCC（注2）	－0.3 ～ ＋4.6	V
アナログ入力電圧	V_{AN}	－0.3 ～ VCC+ 0.3	V
動作温度	T_{opr}	－40 ～ ＋85	℃
保存温度	T_{stg}	－55 ～ ＋125	℃

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。
注1.　ポート00～02、07、ポート12、13、16、17、ポート20、21、ポート33は、5Vトレラント対応です。
注2.　AVCCは、VCCに接続してください。また、A/DおよびD/Aコンバータ未使用時にAVCC、VREFH、AVSS、VREFL端子を開放しないでください。AVCC、VREFH端子はVCCに、AVSS、VREFL端子はVSSにそれぞれ接続してください。

41.2 DC 特性

表41.2 DC特性（1）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	IRQ入力端子（注1） MTU入力端子（注1） TMR入力端子（注1） SCI入力端子（注1） ADTRG入力端子（注1） RES#、NMI	V_{IH}	VCC × 0.8	—	VCC + 0.3	V	
		V_{IL}	– 0.3	—	VCC × 0.2		
		ΔV_T	VCC × 0.06	—	—		
	RIIC入力端子 （SMBusを除く）	V_{IH}	VCC × 0.7	—	5.8		
		V_{IL}	– 0.3	—	VCC × 0.3		
		ΔV_T	VCC × 0.05	—	—		
	ポート00～02、07 ポート12、13、16、17 ポート20、21 ポート33	V_{IH}	VCC × 0.8	—	5.8		
		V_{IL}	– 0.3	—	VCC × 0.2		
	ポート03、05、10、11、14、15 ポート22～27 ポート30～32、34、35 ポート4～G その他の入力端子	V_{IH}	VCC × 0.8	—	VCC + 0.3		
		V_{IL}	– 0.3	—	VCC × 0.2		
入力Highレベル電圧（シュミットトリガ入力端子を除く）	MD端子、EMLE	V_{IH}	VCC × 0.9	—	VCC + 0.3	V	
	EXTAL、RSPI、ETHERC EXDMAC、WAIT#、TCK		VCC × 0.8	—	VCC + 0.3		
	XCIN		VCC × 0.8	—	VCC + 0.3		
	D0～D31		VCC × 0.7	—	VCC + 0.3		
	RIIC（SMBus）		2.1	—	VCC + 0.3		
入力Lowレベル電圧（シュミットトリガ入力端子を除く）	MD端子、EMLE	V_{IL}	– 0.3	—	VCC × 0.1	V	
	EXTAL、RSPI、ETHERC EXDMAC、WAIT#、TCK		– 0.3	—	VCC × 0.2		
	XCIN		– 0.3	—	VCC × 0.2		
	D0～D31		– 0.3	—	VCC × 0.3		
	RIIC（SMBus）		– 0.3	—	0.8		

表41.3　DC特性（2）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
出力Highレベル電圧	全出力端子	V_{OH}	VCC – 0.5	–	–	V	I_{OH} = – 1mA
出力Lowレベル電圧	全出力端子（RIIC端子を除く）	V_{OL}	–	–	0.5	V	I_{OL} = 1.0mA
	RIIC端子		–	–	0.4	V	I_{OL} = 3.0mA
			–	–	0.6		I_{OL} = 6.0mA
	RIIC端子（P12、P13のチャネル0のみ）	V_{OL}	–	–	0.4	V	I_{OL} = 15.0mA（ICFER.FMPE=1）
			–	0.4	–		I_{OL} = 20.0mA（ICFER.FMPE=1）
入力リーク電流	RES#、MD端子、EMLE、NMI	$\lvert I_{in} \rvert$	–	–	1.0	μA	V_{in} = 0V V_{in} = VCC
スリーステートリーク電流（オフ状態	ポート03、05、10、11、14、15 ポート22～27 ポート30～32、34、35 ポート4～G	$\lvert I_{TSI} \rvert$	–	–	1.0	μA	V_{in} = 0V V_{in} = VCC
	ポート00～02、07、12、13 ポート16、17、20、21、33		–	–	5.0		
入力プルアップMOS電流	ポート9～E、G	$-I_p$	10	–	300	μA	VCC = 2.7～3.6V V_{in} = 0V
入力容量	全入力端子（ポート12、13、20、21 ポート40～47、EMLE以外）	C_{in}	–	–	15	pF	V_{in} = 0V f = 1MHz T_a = 25℃
	ポート12、13、20、21、 ポート40～47、EMLE		–	–	30		

表41.4　DC特性（3）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目					記号	min	typ	max	単位	測定条件
消費電流（注2）	動作時	最大動作（注3）			I_{CC}（注4）	–	–	100	mA	ICLK = 100MHz PCLK = 50MHz BCLK = 50MHz
		通常動作	周辺機能：クロック供給状態（注5）			–	48	–		
			周辺機能：クロック停止状態（注5）			–	35	–		
		BGO動作（注6）による増加分				–	15	–		
	スリープ時					–	20	60		
	全モジュールクロックストップ時（注7）					–	14	28		
	スタンバイ時	ソフトウェアスタンバイ時				–	0.12	3.0	mA	
		ディープソフトウェアスタンバイ時	RTC動作時	RAM、USB保持		–	30	206	μA	
				RAM、USB電源停止		–	26	66	μA	
			RTC停止時	RAM、USB保持		–	25	200	μA	
				RAM、USB電源停止		–	21	60	μA	
アナログ電源電流	12ビットA/D変換中（1ユニット当り）				AI_{CC}	–	2.5	3.0	mA	
	10ビットA/D変換中（1ユニット当り）					–	0.8	1.2	mA	
	D/A変換中（1チャネル当り）					–	0.3	2.0	μA	
	A/D、D/A変換待機時（全ユニット）					–	30	35	μA	
	A/D、D/Aスタンバイ時（全ユニット）					–	0.1	4.0	μA	
リファレンス電源電流	12ビットA/D変換中（1ユニット当り）				AI_{CC}	–	0.5	0.7	mA	
	10ビットA/D変換中（1ユニット当り）					–	0.06	0.1	mA	
	D/A変換中（1チャネル当り）					–	0.6	1.0	mA	
	A/D、D/A変換待機時（全ユニット）					–	0.4	0.6	mA	
	A/D、D/Aスタンバイ時（全ユニット）					–	0.1	2.0	μA	
RAMスタンバイ電圧					V_{RAM}	2.48	–	–	V	
VCC立ち上がり勾配					SVCC	–	–	20	ms/V	

注1.　5Vトレラント対応のポート00～02、07、ポート12、13、16、17、ポート20、21、ポート33で兼用している端子のV_{IH}特性は、5Vトレラント対応ポートのV_{IH}特性となります。
注2.　消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。
注3.　周辺機能はクロック供給状態。BGO動作は除きます。
注4.　I_{CC}は下記の式にしたがってfに依存します。(ICLK:PCLK:BCLK:BCLK端子=8:4:8:4)
I_{CC} max = 0.89 × f + 11（最大動作時）
ICC typ = 0.43 × f + 5（通常動作　周辺機能：クロック供給状態）
I_{CC} typ = 0.30 × f + 5（通常動作　周辺機能：クロック停止状態）
I_{CC} max = 0.48 × f + 12（スリープ時）
注5.　BGO動作は除きます。
注6.　プログラム実行中に、ROM、またはデータ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。
注7.　参考値です。

表41.5　出力許容電流

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位
出力Lowレベル許容電流（1端子あたりの平均値）	RIIC端子以外の出力端子	I_{OL}	—	—	2.0	mA
	RIIC端子（ICFER.FMPE=0）	I_{OL}	—	—	6.0	mA
	RIIC端子（ICFER.FMPE=1）	I_{OL}	—	—	20.0	mA
出力Lowレベル許容電流（1端子あたりの最大値）	RIIC端子以外の出力端子	I_{OL}	—	—	4.0	mA
	RIIC端子（ICFER.FMPE=0）	I_{OL}	—	—	6.0	mA
	RIIC端子（ICFER.FMPE=1）	I_{OL}	—	—	20.0	mA
出力Lowレベル許容電流（総和）	出力端子の総和	ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流（1端子あたりの平均値）	全出力端子（USB_DPUPE端子を除く）	$-I_{OH}$	—	—	2.0	mA
	USB_DPUPE端子	$-I_{OH}$	—	—	3.0	mA
出力Highレベル許容電流（1端子あたりの最大値）	全出力端子	$-I_{OH}$	—	—	4.0	mA
出力Highレベル許容電流（総和）	全出力端子の総和	$\Sigma -I_{OH}$	—	—	80	mA

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表41.5の値を超えないようにしてください。

41.3 AC 特性

表41.6 動作周波数 [176ピンLFBGA/145ピンTFLGA/144ピンLQFP]

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、PCLK = 8 ～ 50MHz、BCLK = 8 ～ 100MHz、SDCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位
動作周波数	システムクロック（ICLK）	f	8（注1）	—	100	MHz
	周辺モジュールクロック（PCLK）		8（注2）	—	50	
	外部バスクロック(BCLK)		8	—	100	
	BCLK端子出力		8	—	50	
	SDRAMクロック(SDCLK)		8	—	50	
	SDCLK端子出力		8	—	50	

注1. イーサネットコントローラを使用するときはICLKを12.5MHz以上としてください。
注2. USBを使用するときはPCLKを24MHz以上としてください。

表41.7 動作周波数 [100ピンLQFP/85ピンTFLGA]

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、PCLK = 8 ～ 50MHz、BCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位
動作周波数	システムクロック（ICLK）	f	8（注1）	—	100	MHz
	周辺モジュールクロック（PCLK）		8（注2）	—	50	
	外部バスクロック（BCLK）		8	—	50	
	BCLK端子出力		8	—	25	

注1. イーサネットコントローラを使用するときはICLKを12.5MHz以上としてください。
注2. USBを使用するときはPCLKを24MHz以上としてください。

41.3.1 クロックタイミング

表41.8 クロックタイミング

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	記号	min	max	単位	測定条件
BCLK端子出力サイクル時間 [176ピンLFBGA/145ピンTFLGA/144ピンLQFP]	t_{Bcyc}	20	125	ns	図 41.1
BCLK端子出力サイクル時間 [100ピンLQFP/85ピンTFLGA]	t_{Bcyc}	40	125	ns	
BCLK端子出力Highレベルパルス幅	t_{CH}	5	—	ns	
BCLK端子出力Lowレベルパルス幅	t_{CL}	5	—	ns	
BCLK端子出力立ち上がり時間	t_{Cr}	—	5	ns	
BCLK端子出力立ち下がり時間	t_{Cf}	—	5	ns	
SDCLK端子出力サイクル時間	t_{SDcyc}	20	125	ns	
SDCLK端子出力Highレベルパルス幅	t_{CH}	5	—	ns	
SDCLK端子出力Lowレベルパルス幅	t_{CL}	5	—	ns	
SDCLK端子出力立ち上がり時間	t_{Cr}	—	5	ns	
SDCLK端子出力立ち下がり時間	t_{Cf}	—	5	ns	
リセット発振安定時間（水晶）	t_{OSC1}	10	—	ms	図 41.2
ソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC2}	10	—	ms	図 41.3
ディープソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC3}	10	—	ms	図 41.4
EXTAL外部クロック出力遅延安定時間	t_{DEXT}	1	—	ms	図 41.2
EXTAL外部クロック入力パルス幅Lowレベル	t_{EXL}	30.71	—	ns	図 41.5
EXTAL外部クロック入力パルス幅Highレベル	t_{EXH}	30.71	—	ns	
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	5	ns	
XCINサブクロック発振安定時間	t_{SUBOSC}	2	—	s	図 41.6
XCINサブクロック発振器発振周波数	f_{SUB}	32.768	—	kHz	
オンチップオシレータ（IWDTCLK）発振周波数	$f_{IWDTCLK}$	62.5	187.5	kHz	

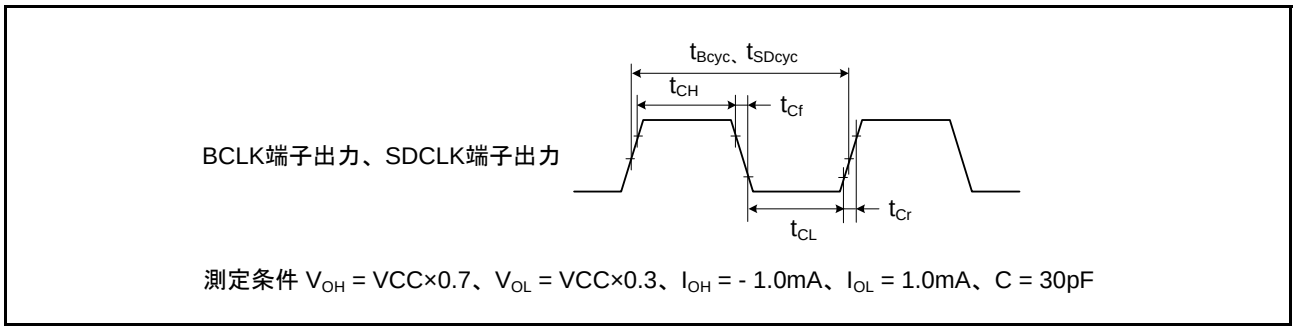


図 41.1 BCLK 端子出力、SDCLK 端子出力タイミング

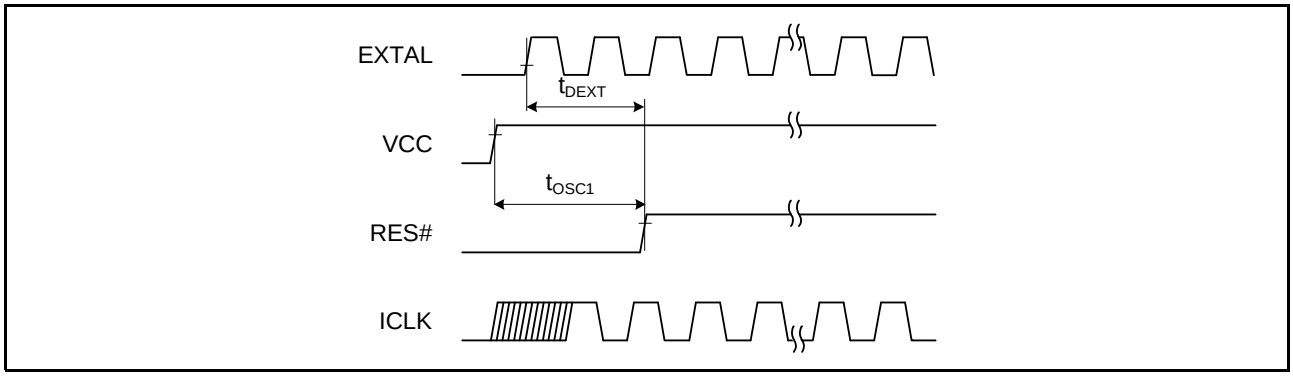


図 41.2 発振安定時間タイミング

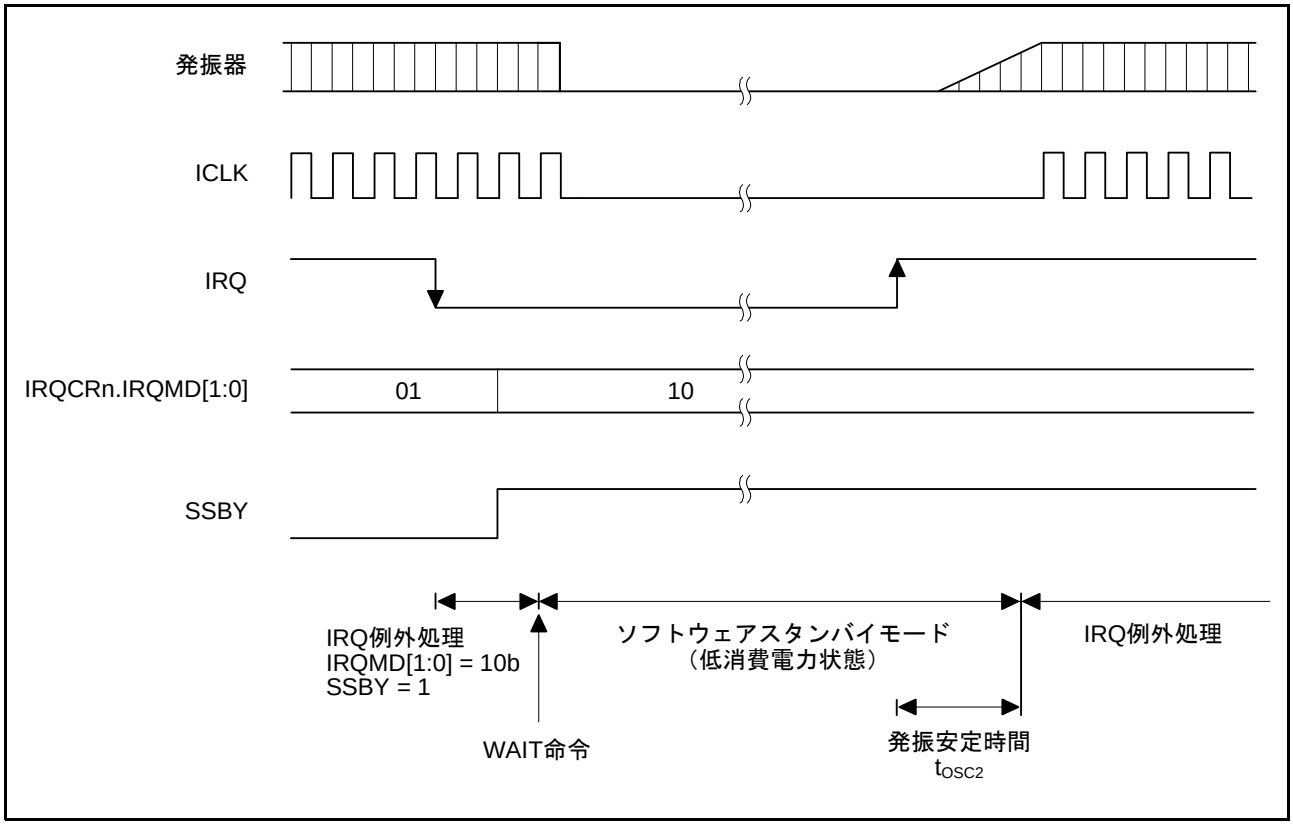


図 41.3 ソフトウェアスタンバイ発振安定時間タイミング

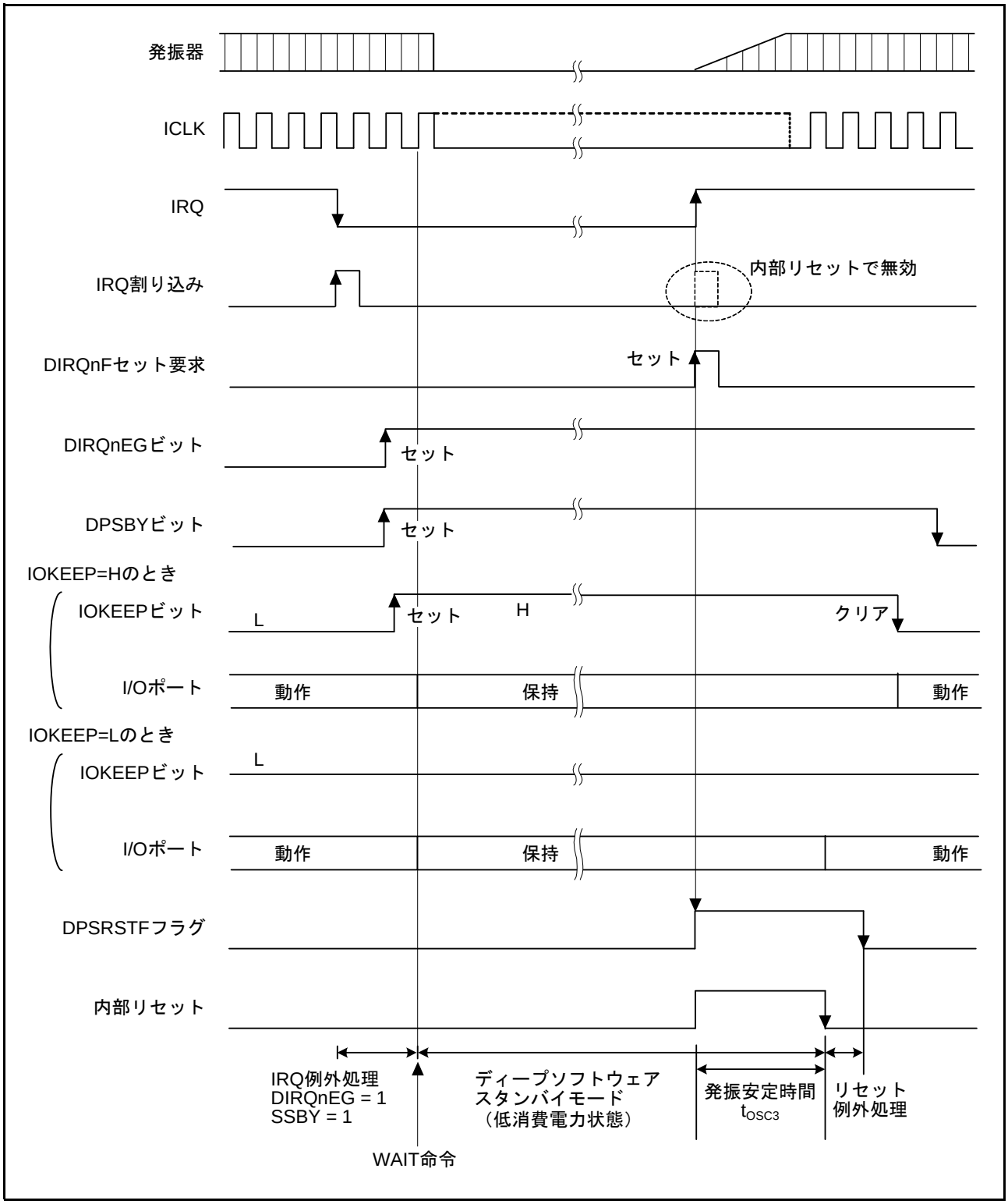


図 41.4　ディープソフトウェアスタンバイ発振安定時間タイミング

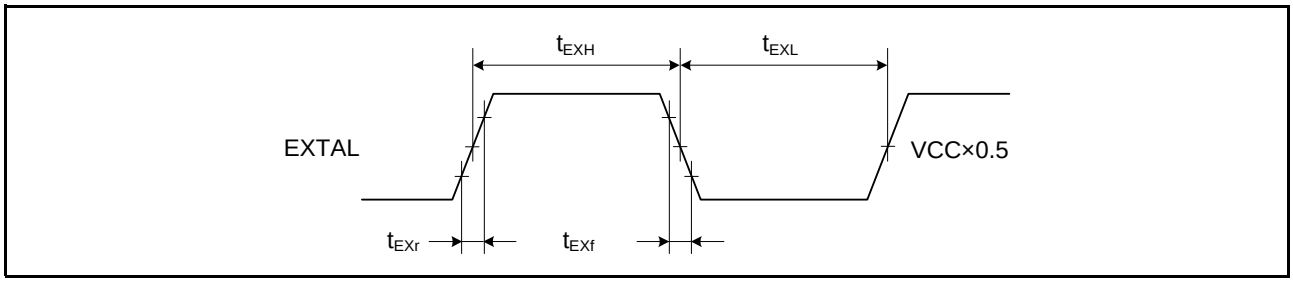


図 41.5 EXTAL 外部入力クロックタイミング

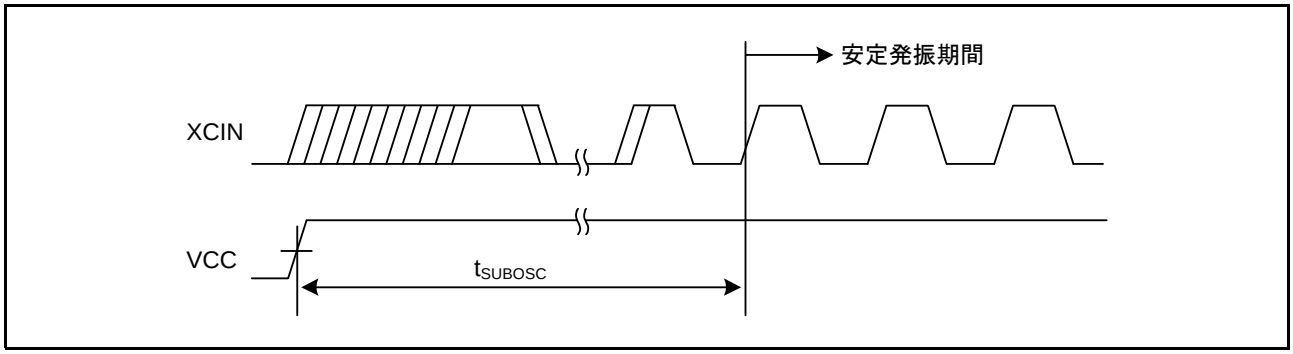


図 41.6 XCIN サブクロック発振安定時間

41.3.2 制御信号タイミング

表41.9 制御信号タイミング

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	記号	min	max	単位	測定条件
RES#パルス幅 （ROM書き込み/消去、データフラッシュ書き込み消去、データフラッシュブランクチェックを除く（注1））	t_{RESW}（注2）	20	—	t_{Icyc}（注4）	図 41.7
		1.5	—	μs	
内部リセット時間（注3）	t_{RESW2}	35	—	μs	
NMIパルス幅	t_{NMIW}	200	—	ns	図 41.8
IRQパルス幅	t_{IRQW}	200	—	ns	図 41.9

注1. ROM書き込み/消去、データフラッシュ書き込み/消去およびデータフラッシュブランクチェック中にRES#端子によるリセットを行う場合は、「38. ROM（コード格納用フラッシュメモリ）」の「38.13 使用上の注意事項」を参照してください。
注2. 時間とサイクル数の両規定を同時に満たす必要があります。
注3. 本項目は、FCUリセットに対する規定となります。
注4. t_{Icyc}：ICLKの周期

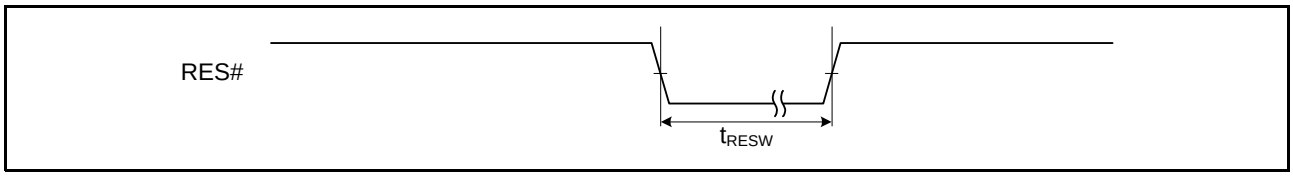


図 41.7 リセット入力タイミング

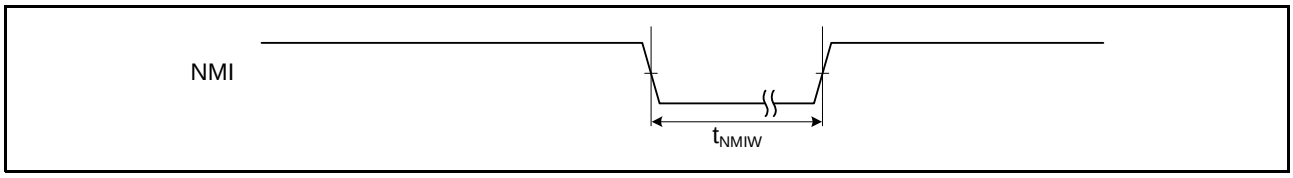


図 41.8 NMI 割り込み入力タイミング

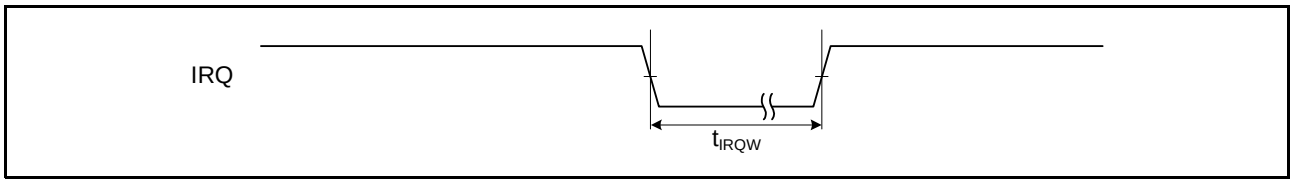


図 41.9 IRQ 割り込み入力タイミング

41.3.3 バスタイミング

表41.10 バスタイミング [176ピンLFBGA/145ピンTFLGA/144ピンLQFP]

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、BCLK = 8 ～ 100MHz、SDCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃
出力負荷条件：V_{OH} = VCC×0.5、V_{OL} = VCC×0.5、I_{OH} = – 1.0mA、I_{OL} = 1.0mA、C = 30pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	15	ns	図41.10～図41.13
バイトコントロール遅延時間	t_{BCD}	—	15	ns	
CS#遅延時間	t_{CSD}	—	15	ns	
RD#遅延時間	t_{RSD}	—	15	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0.0	—	ns	
WR#遅延時間	t_{WRD}	—	15	ns	
ライトデータ遅延時間	t_{WDD}	—	15	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	図41.14
WAIT#ホールド時間	t_{WTH}	0.0	—	ns	
アドレス遅延時間2（SDRAM）	t_{AD2}	1	15	ns	図41.22～図41.28
CS# 遅延時間2（SDRAM）	t_{CSD2}	1	15	ns	
DQM 遅延時間（SDRAM）	t_{DQMD}	1	15	ns	
CKE 遅延時間（SDRAM）	t_{CKED}	1	15	ns	
リードデータセットアップ時間2（SDRAM）	t_{RDS2}	12	—	ns	
リードデータホールド時間2（SDRAM）	t_{RDH2}	0	—	ns	
ライトデータ遅延時間2（SDRAM）	t_{WDD2}	—	15	ns	
ライトデータホールド時間2（SDRAM）	t_{WDH2}	1	—	ns	
WE# 遅延時間（SDRAM）	t_{WED}	1	15	ns	
RAS# 遅延時間（SDRAM）	t_{RASD}	1	15	ns	
CAS# 遅延時間（SDRAM）	t_{CASD}	1	15	ns	

表41.11　バスタイミング [100ピンLQFP/85ピンTFLGA]

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、PCLK = 8 ～ 50MHz、BCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃
出力負荷条件：V_{OH} = VCC × 0.5、V_{OL} = VCC × 0.5、I_{OH} = – 1.0mA、I_{OL} = 1.0mA、C = 30pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	30	ns	図41.10～図41.13
バイトコントロール遅延時間	t_{BCD}	—	30	ns	
CS#遅延時間	t_{CSD}	—	30	ns	
RD#遅延時間	t_{RSD}	—	30	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0.0	—	ns	
WR#遅延時間	t_{WRD}	—	30	ns	
ライトデータ遅延時間	t_{WDD}	—	35	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	図41.14
WAIT#ホールド時間	t_{WTH}	0.0	—	ns	

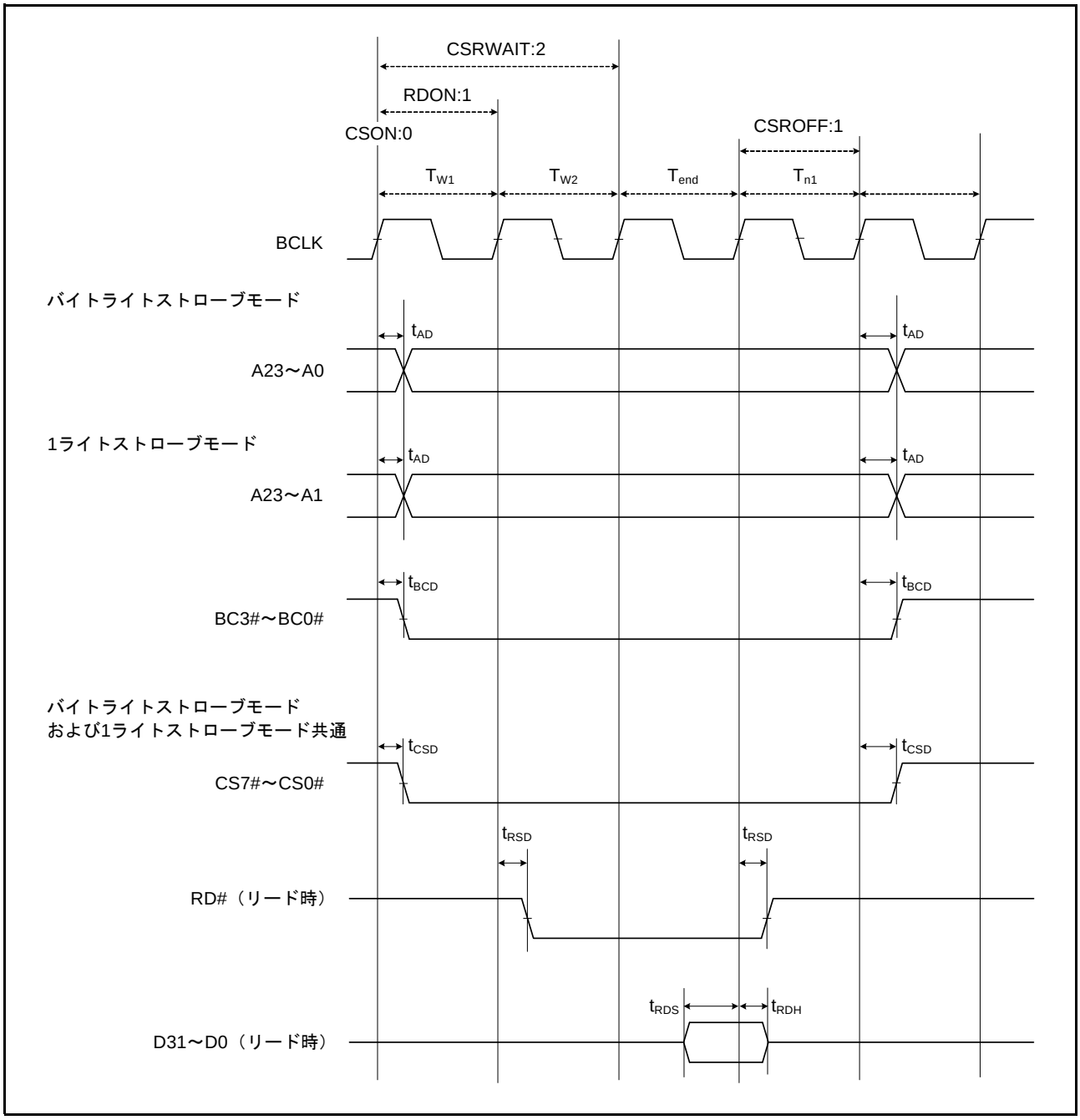
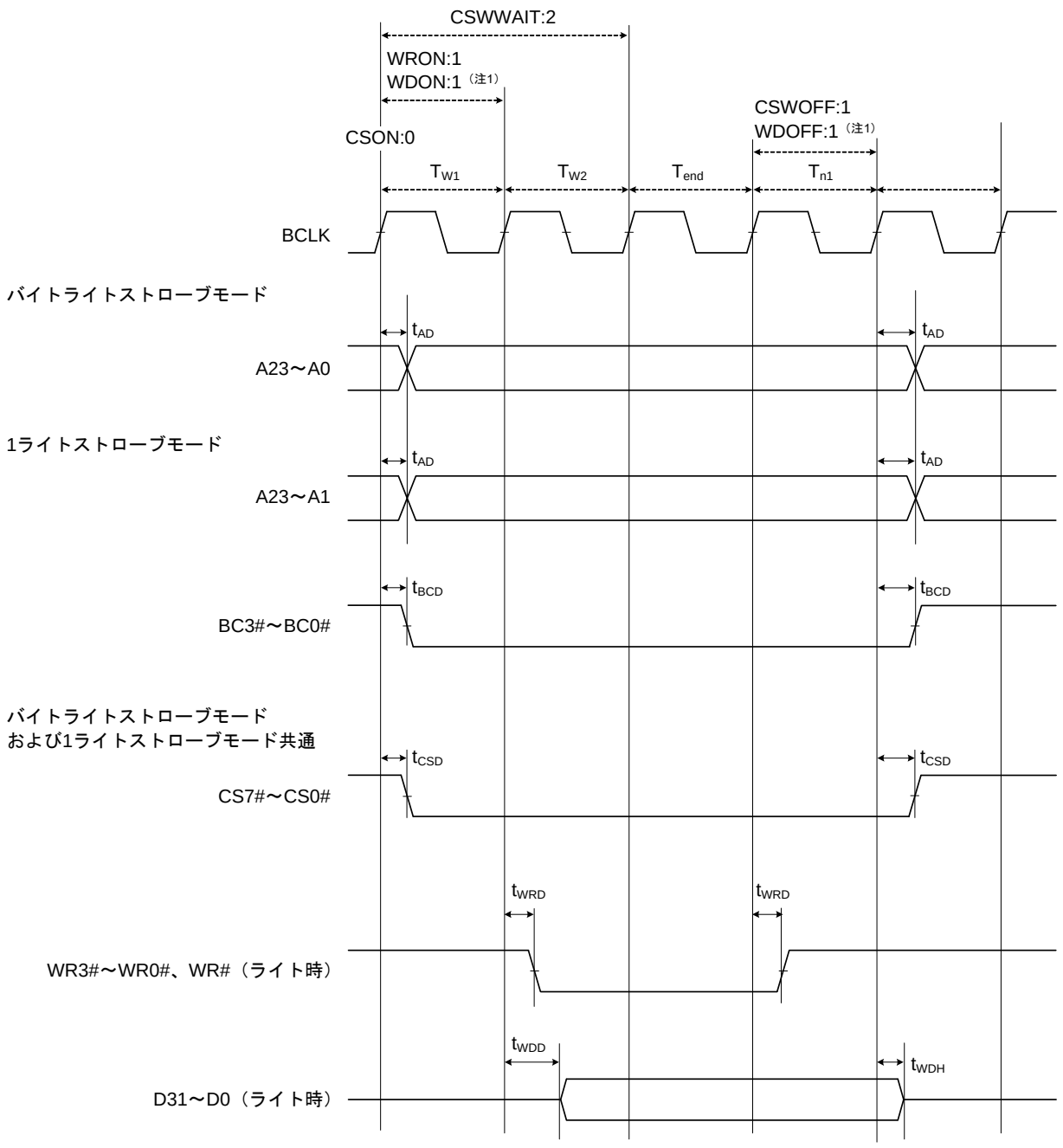


図 41.10　外部バスタイミング / ノーマルリードサイクル（バスクロック同期）



注1. WDON、WDOFFは、1以上を設定してください。

図 41.11 外部バスタイミング / ノーマルライトサイクル（バスクロック同期）

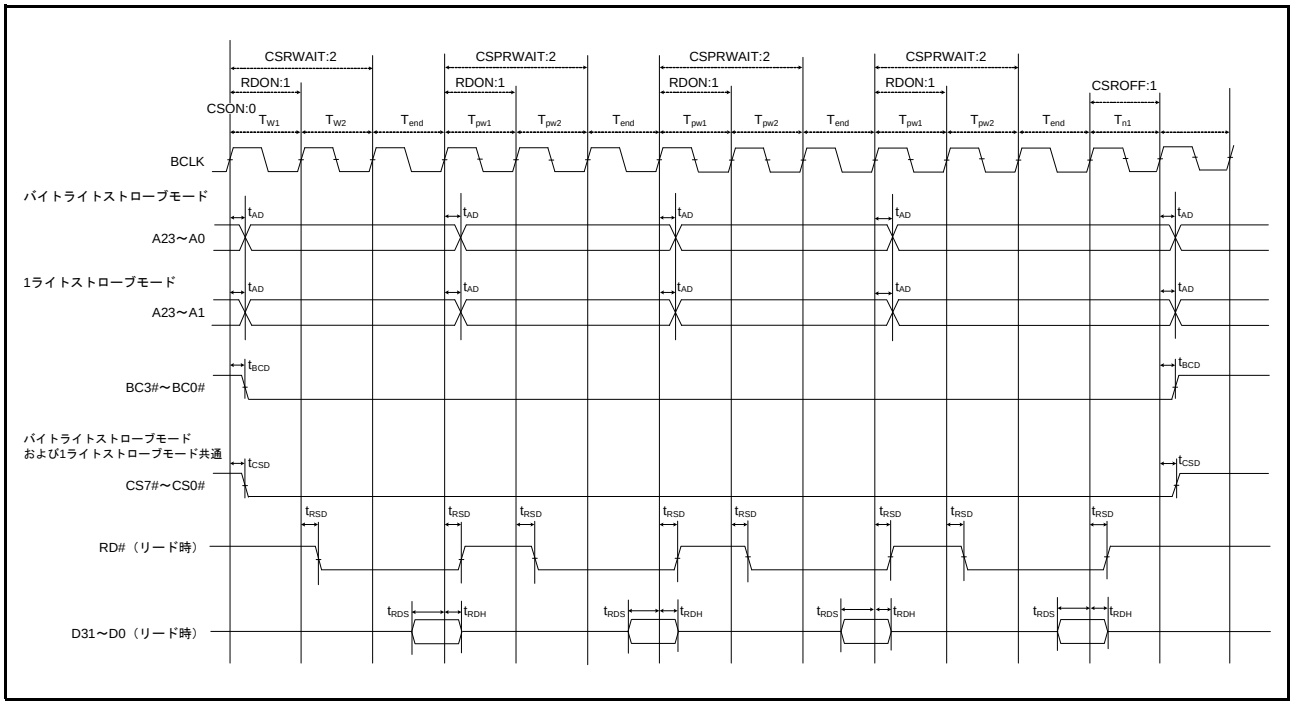


図 41.12　外部バスタイミング / ページリードサイクルバスクロック同期）

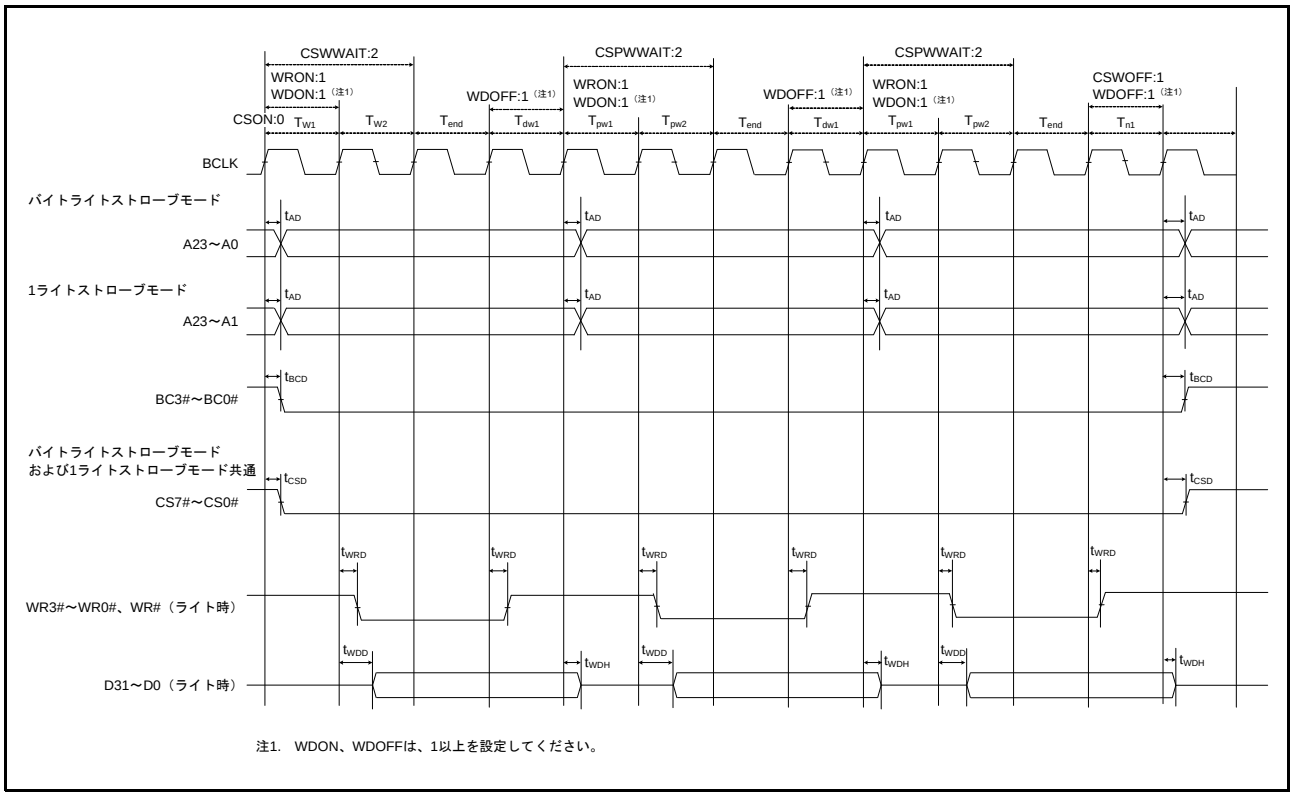


図 41.13　外部バスタイミング / ページライトサイクル（バスクロック同期）

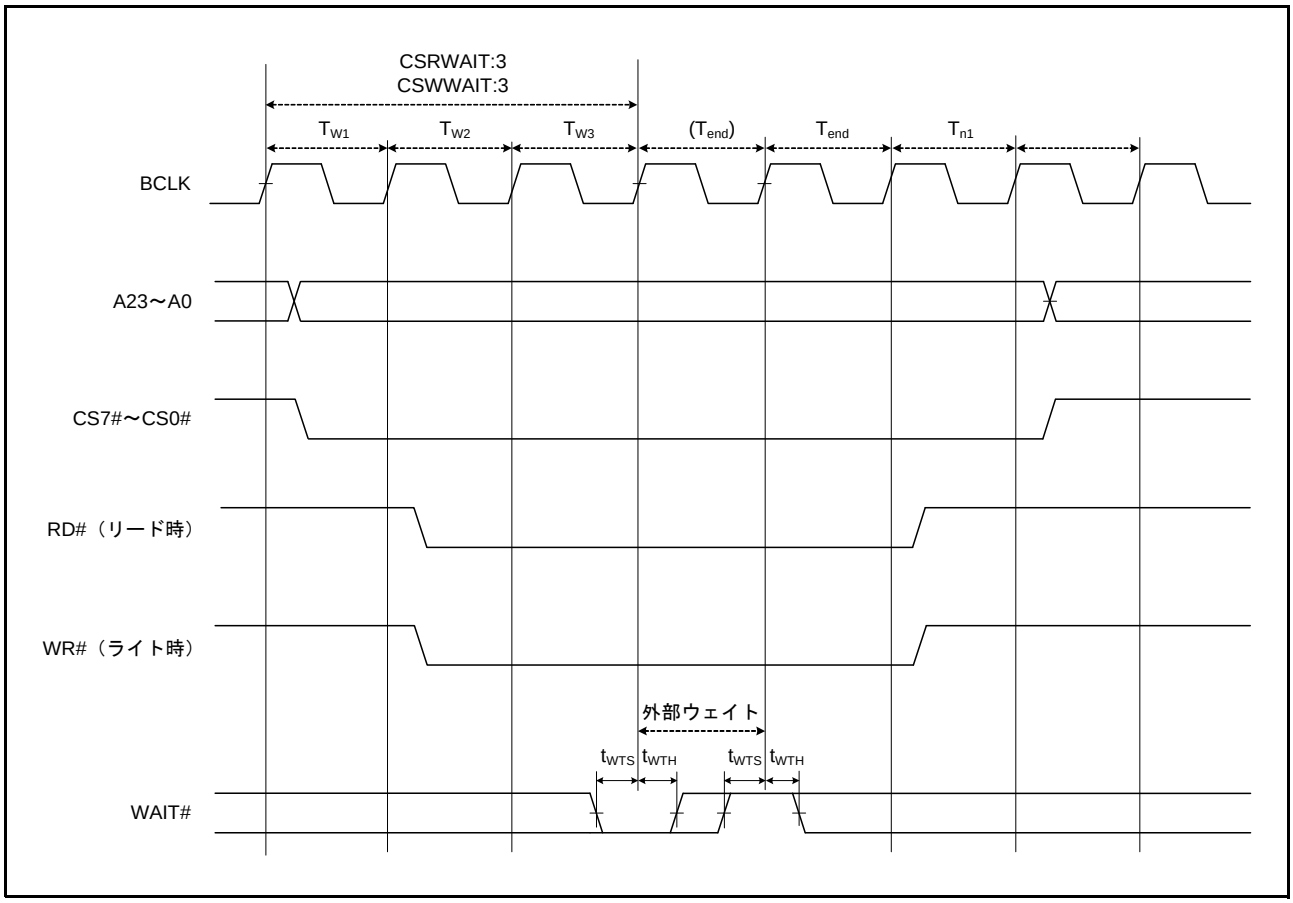
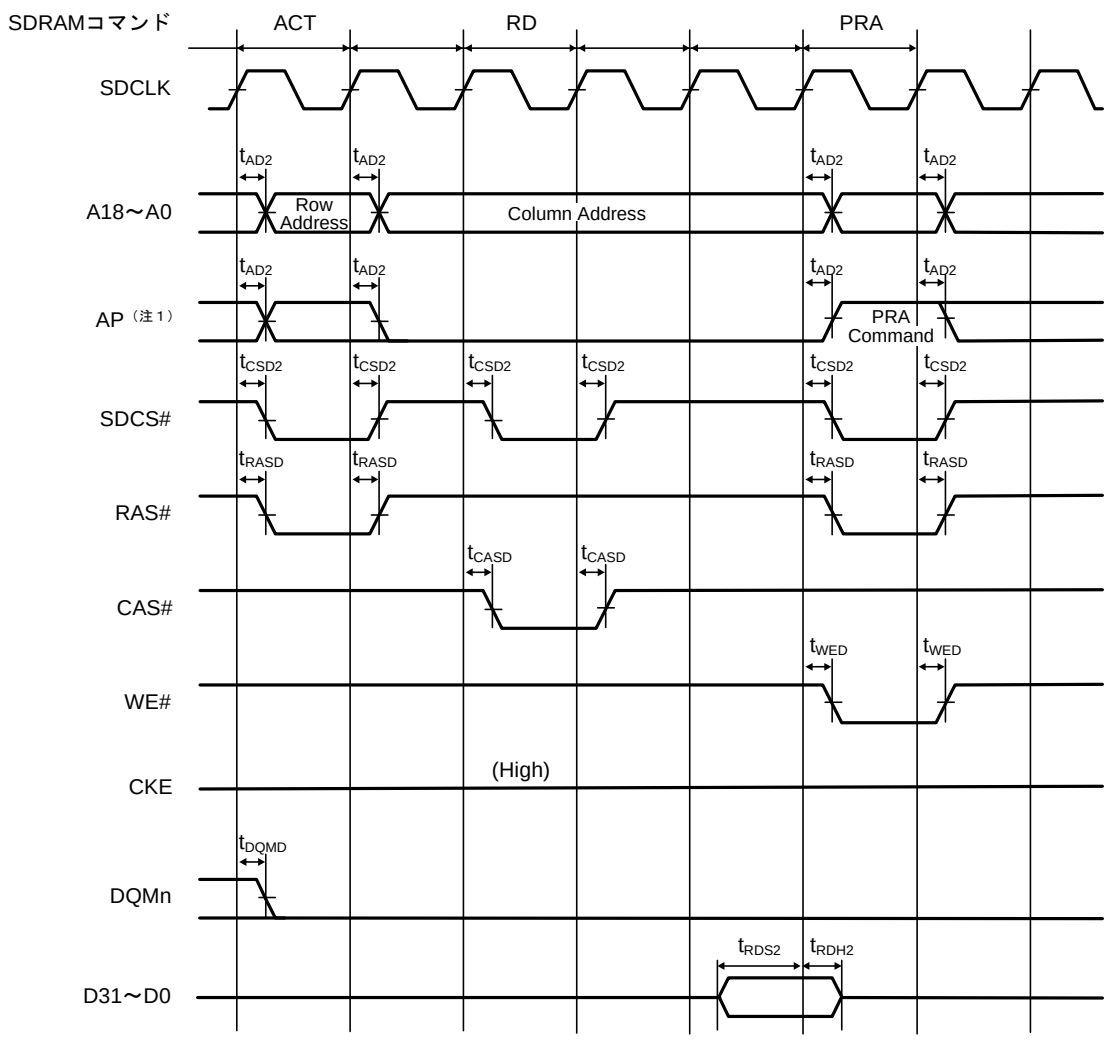
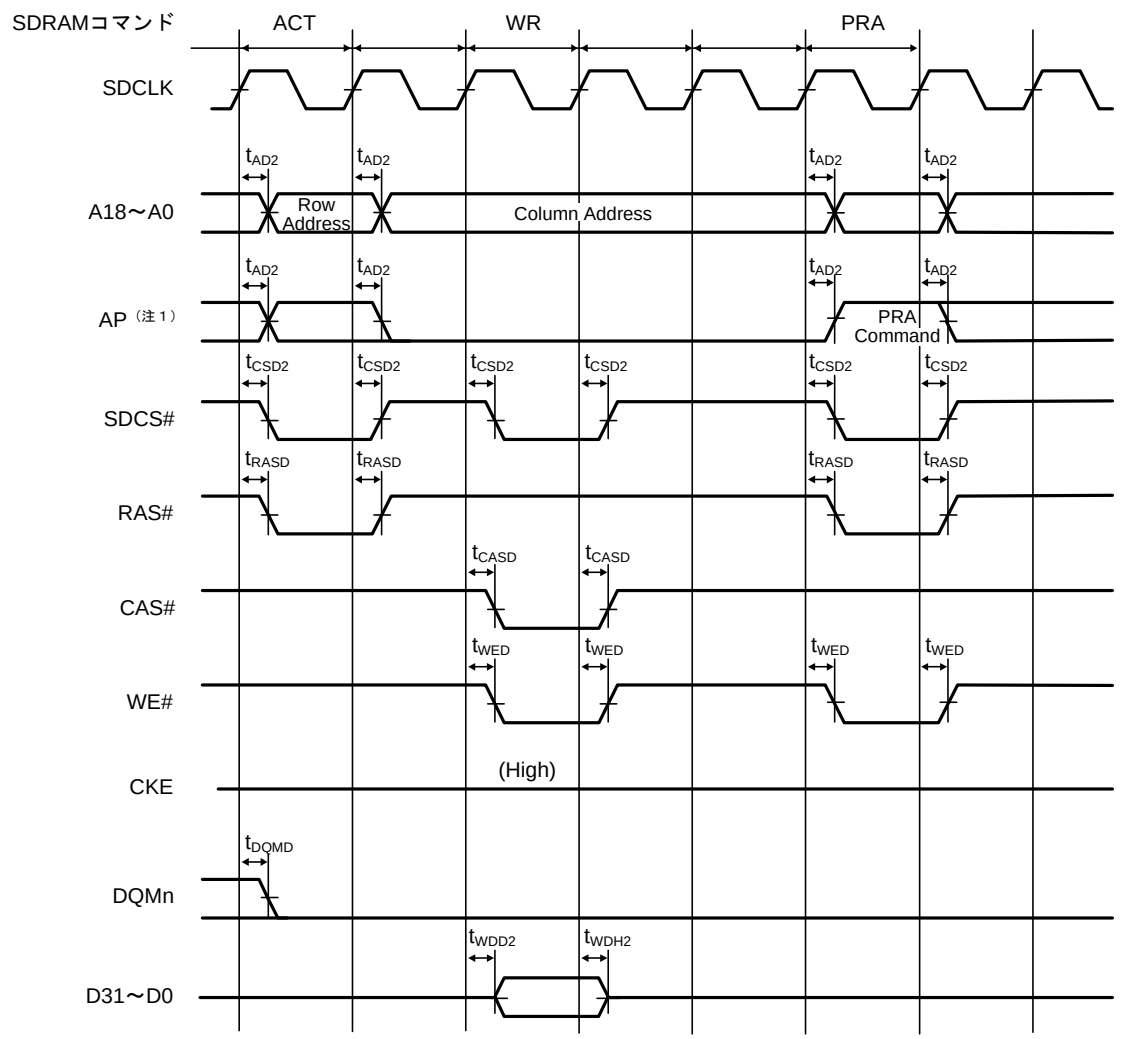


図 41.14　外部バスタイミング / 外部ウェイト制御



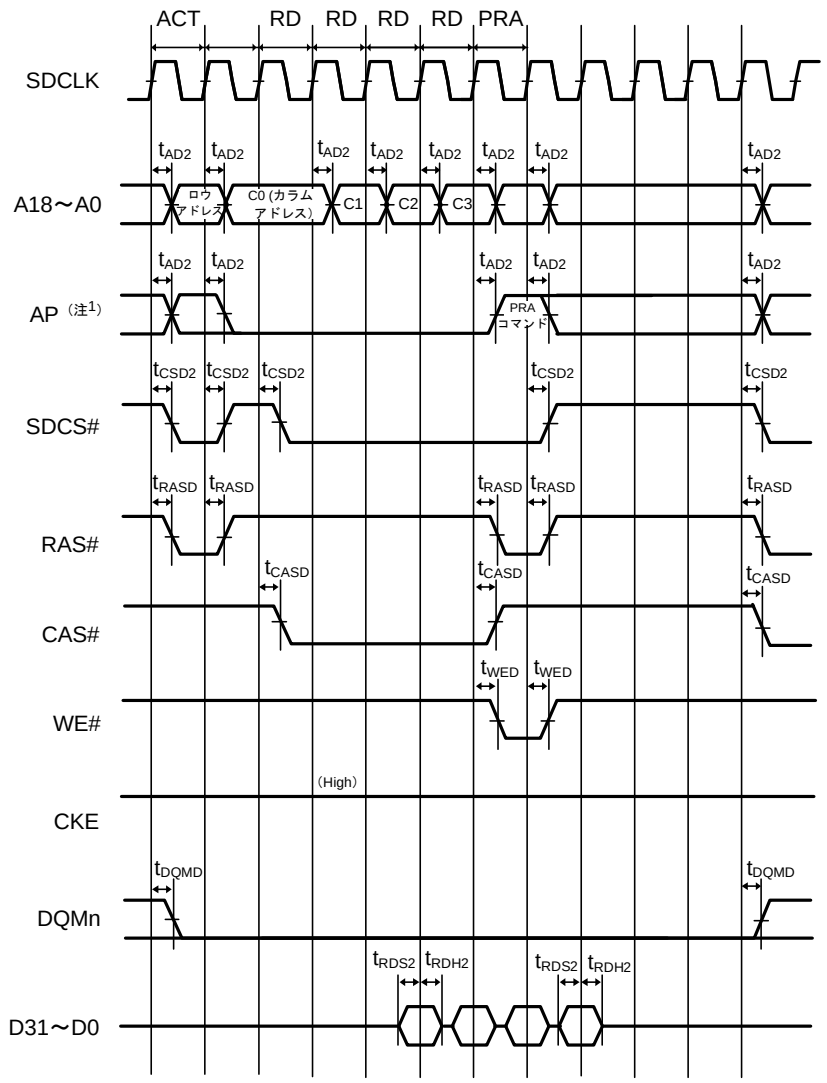
注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 41.15 SDRAM 空間シングルリードバスタイミング



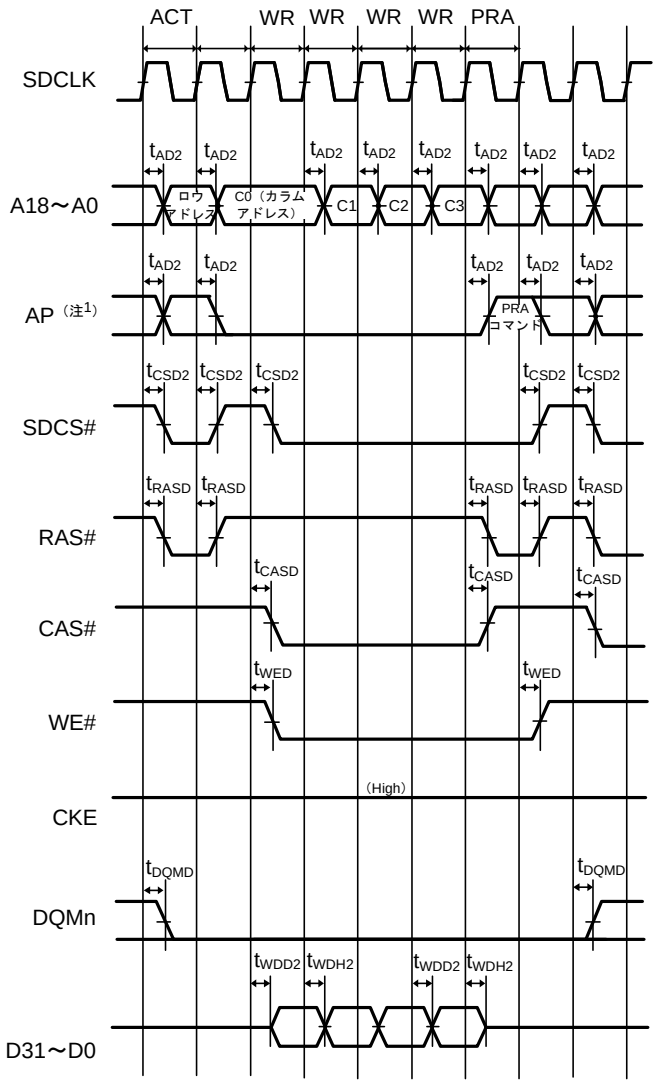
注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 41.16 SDRAM 空間シングルライトバスタイミング



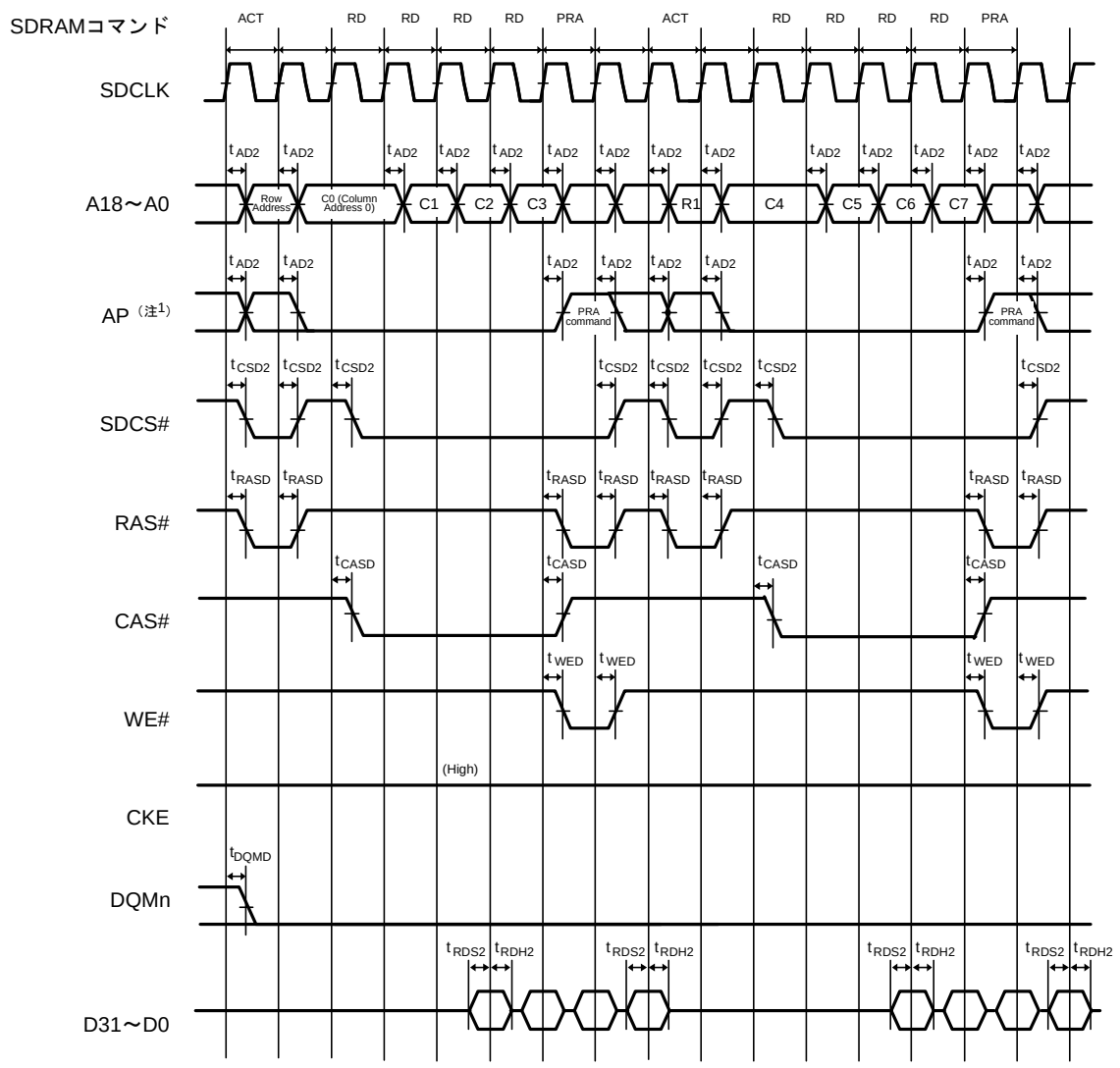
注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 41.17 SDRAM 空間複数リードバスタイミング



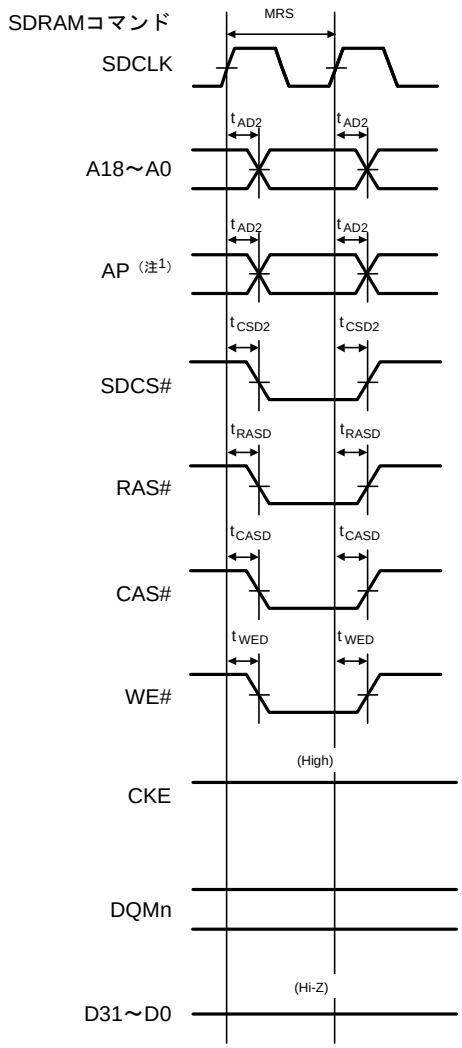
注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 41.18 SDRAM 空間複数ライトバスタイミング



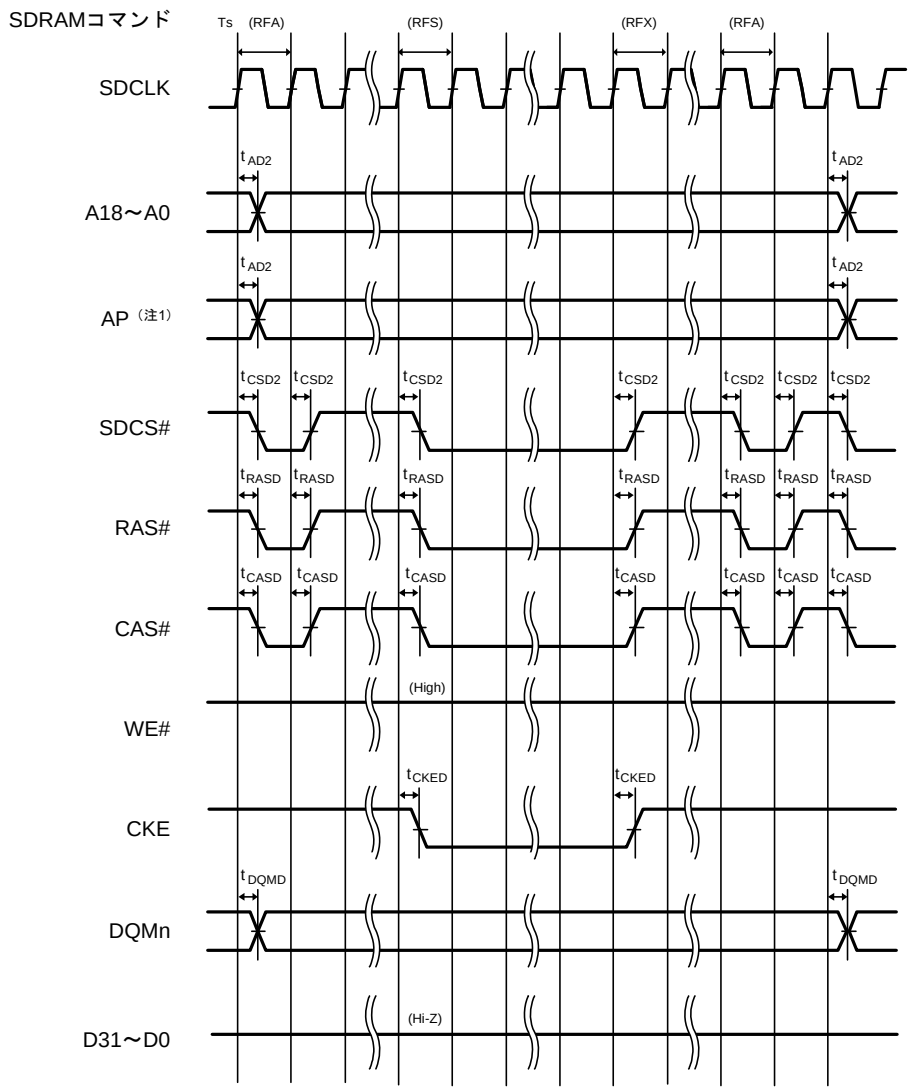
注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 41.19　SDRAM 空間複数リード行またぎバスタイミング



注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 41.20 SDRAM 空間モードレジスタセットバスタイミング



注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 41.21 SDRAM 空間セルフリフレッシュバスタイミング

41.3.4 EXDMAC タイミング

表41.12 EXDMAC タイミング

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、PCLK = 8 ～ 50MHz、BCLK = 8 ～ 100MHz、SDCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min	max	単位	測定条件
EXDMAC	EDREQ セットアップ時間	t_{EDRQS}	20	–	ns	図 41.22
	EDREQ ホールド時間	t_{EDRQH}	5	–	ns	
	EDACK 遅延時間	t_{EDACD}	–	15	ns	図 41.23 図 41.24

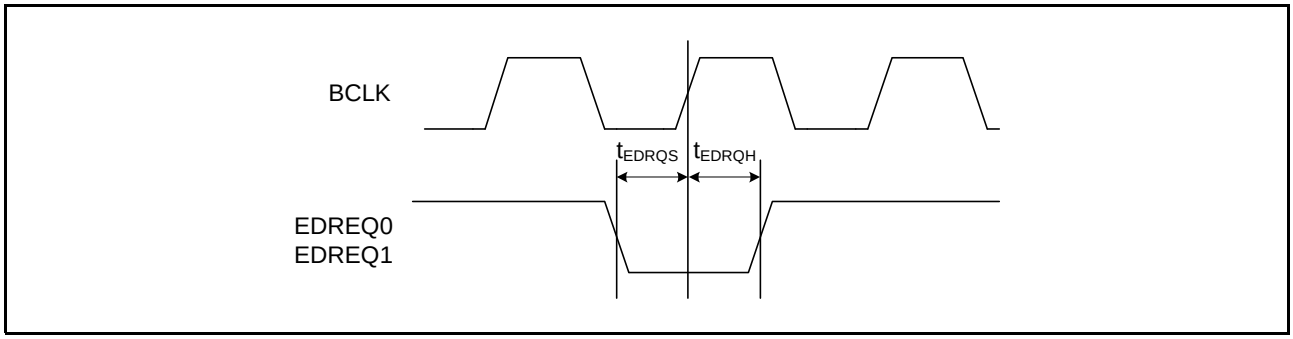


図 41.22 EDREQ0、EDREQ1 入力タイミング

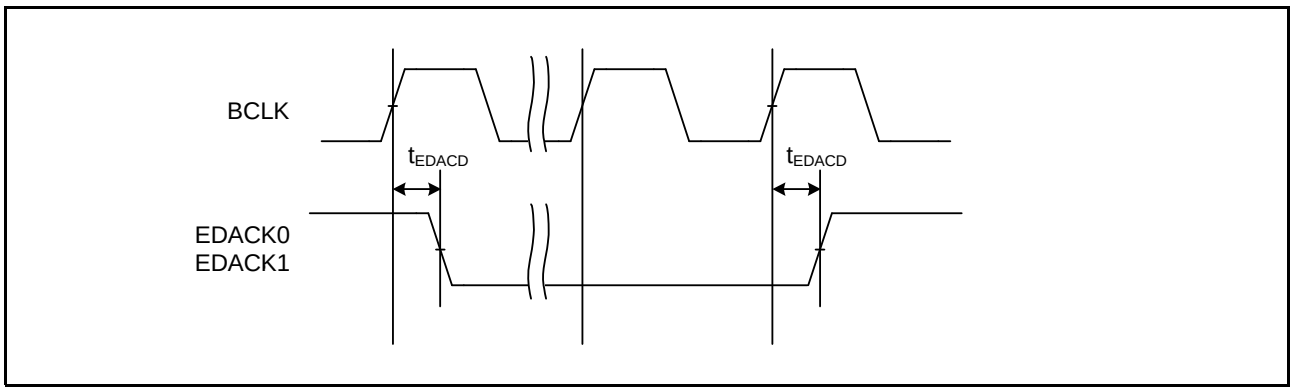


図 41.23 EDACK0、EDACK1 シングルアドレス転送タイミング（CS 領域）

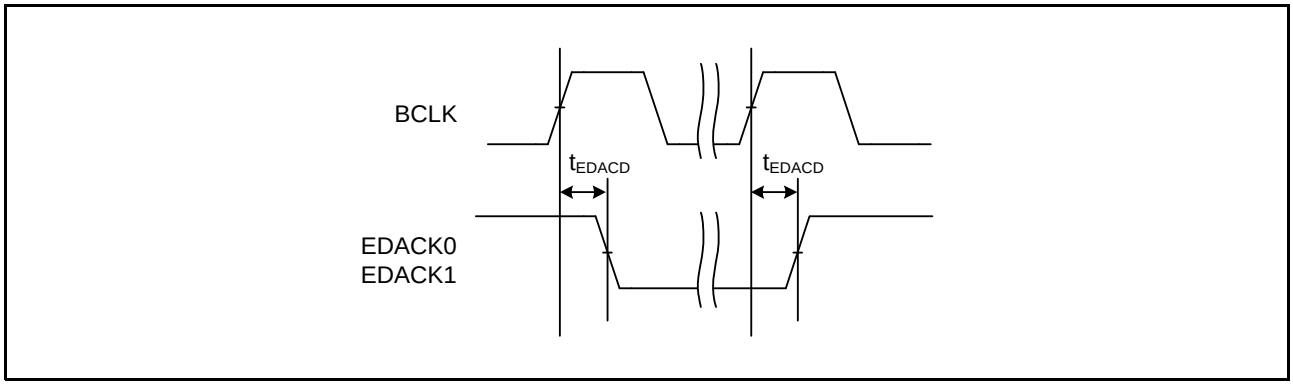


図 41.24 EDACK0、EDACK1 シングルアドレス転送タイミング（SDRAM 領域）

41.3.5 内蔵周辺モジュールタイミング

表41.13 内蔵周辺モジュールタイミング（1）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目			記号	min	max	単位	測定条件
I/Oポート	出力データ遅延時間		t_{PWD}	–	40	ns	図 41.25
	入力データセットアップ時間		t_{PRS}	25	–	ns	
	入力データホールド時間		t_{PRH}	25	–	ns	
MTU2	アウトプットコンペア出力遅延時間		t_{TOCD}	–	40	ns	図 41.26
	インプットキャプチャ入力セットアップ時間		t_{TICS}	20	–	ns	
	インプットキャプチャ入力パルス幅（単エッジ指定）		t_{TICW}	1.5 × t_{Pcyc}	–	ns	
	インプットキャプチャ入力パルス幅（両エッジ指定）		t_{TICW}	2.5 × t_{Pcyc}	–	ns	
	タイマ入力セットアップ時間		t_{TCKS}	20	–	ns	図 41.27
	タイマクロックパルス幅（単エッジ指定）		$t_{TCKWH/L}$	1.5 × t_{Pcyc}	–	ns	
	タイマクロックパルス幅（両エッジ推定）		$t_{TCKWH/L}$	2.5 × t_{Pcyc}	–	ns	
	タイマクロックパルス幅（位相計数モード）		$t_{TCKWH/L}$	2.5 × t_{Pcyc}	–	ns	
POE2	POE# 入力セットアップ時間		t_{POES}	50	–	ns	図 41.28
	POE# 入力パルス幅		t_{POEW}	1.5 × t_{Pcyc}	–	ns	
PPG	パルス出力遅延時間		t_{POD}	–	40	ns	図 41.29
8ビットタイマ	タイマ出力遅延時間		t_{TMOD}	–	40	ns	図 41.30
	タイマリセット入力セットアップ時間		t_{TMRS}	25	–	ns	図 41.31
	タイマクロック入力セットアップ時間		t_{TMCS}	25	–	ns	図 41.32
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5 × t_{Pcyc}	–	ns	
		両エッジ指定	t_{TMCWL}	2.5 × t_{Pcyc}	–	ns	
WDT	オーバフロー出力遅延時間		t_{WOVD}	–	40	ns	図 41.33
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4 × t_{Pcyc}	–	ns	図 41.34
		クロック同期		6 × t_{Pcyc}	–		図 41.35
	入力クロックパルス幅		t_{SCKW}	0.4 × t_{Scyc}	0.6 × t_{Scyc}	ns	
	入力クロック立ち上がり時間		t_{SCKr}	–	20	ns	
	入力クロック立ち下がり時間		t_{SCKf}	–	20	ns	
	出力クロックサイクル	調歩同期	t_{Scyc}	16 × t_{Pcyc}	–	ns	
		クロック同期		4 × t_{Pcyc}	–		
	出力クロックパルス幅		t_{SCKW}	0.4 × t_{Scyc}	0.6 × t_{Scyc}	ns	
	出力クロック立ち上がり時間		t_{SCKr}	–	20	ns	
	出力クロック立ち下がり時間		t_{SCKf}	–	20	ns	
	送信データ遅延時間（クロック同期）		t_{TXD}	–	40	ns	
	受信データセットアップ時間（クロック同期）		t_{RXS}	40	–	ns	
	受信データホールド時間（クロック同期）		t_{RXH}	40	–	ns	
A/D コンバータ	10ビットA/D コンバータ トリガ入力セットアップ時間		t_{TRGS}	25	–	ns	図 41.36
	12ビットA/D コンバータ トリガ入力セットアップ時間		t_{TRGS}	25	–	ns	

表41.14　内蔵周辺モジュールタイミング（2）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目			記号	min	max	単位	測定条件
CAN	送信データ遅延時間		t_{CTXD}	–	40.0	ns	図 41.37
	受信データセットアップ時間		t_{CRXS}	40.0	–	ns	
	受信データホールド時間		t_{CRXH}	40.0	–	ns	
RSPI	RSPCK クロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc}（注 1）	図 41.38
		スレーブ		8	4096		
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	–	ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	–		
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	–	ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	–		
	RSPCK クロック 立ち上がり/立ち下がり時間	出力 [176 ピン LFBGA/ 145 ピン TFLGA/ 144 ピン LQFP]	t_{SPCKr}、t_{SPCKf}	–	5	ns	
		出力 [100 ピン LQFP/ 85 ピン TFLGA]		–	10		
		入力		–	1	μs	
	データ入力セットアップ時間	マスタ [176 ピン LFBGA/ 145 ピン TFLGA/ 144 ピン LQFP]	t_{SU}	16	–	ns	図41.39～ 図41.42
		マスタ [100 ピン LQFP/ 85 ピン TFLGA]		30	–		
		スレーブ		$20 - 2 \times t_{Pcyc}$	–		
	データ入力ホールド時間	マスタ	t_H	0	–	ns	
		スレーブ		$20 + 2 \times t_{Pcyc}$	–		
	SSL セットアップ時間	マスタ	t_{LEAD}	1	8	t_{SPcyc}	
		スレーブ		4	–	t_{Pcyc}	
	SSL ホールド時間	マスタ	t_{LAG}	1	8	t_{SPcyc}	
		スレーブ		4	–	t_{Pcyc}	
	データ出力遅延時間	マスタ [176 ピン LFBGA/ 145 ピン TFLGA/ 144 ピン LQFP]	t_{OD}	–	20	ns	
		マスタ [100 ピン LQFP/ 85 ピン TFLGA]		–	30		
		スレーブ [176 ピン LFBGA/ 145 ピン TFLGA/ 144 ピン LQFP]		–	$3 \times t_{Pcyc} + 40$		
		スレーブ [100 ピン LQFP/ 85 ピン TFLGA]		–	$3 \times t_{Pcyc} + 50$		

注1.　t_{Pcyc}：PCLKの周期

表41.15　内蔵周辺モジュールタイミング（3）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目			記号	min	max	単位	測定条件
RSPI	データ出力ホールド時間	マスタ	t_{OH}	0	–	ns	図41.39～図41.42
		スレーブ		0	–		
	連続送信遅延時間	マスタ	t_{TD}	t_{SPcyc} + 2 × t_{Pcyc}	8 × t_{SPcyc} + 2 × t_{Pcyc}	ns	
		スレーブ		4 × t_{Pcyc}	–		
	MOSI、MISO 立ち上がり/立ち下がり時間	出力 [176ピンLFBGA/145ピンTFLGA/144ピンLQFP]	t_{Dr}、t_{Df}	–	5	ns	
		出力 [100ピンLQFP/85ピンTFLGA]		–	10		
		入力		–	1	μs	
	SSL 立ち上がり/立ち下がり時間	出力 [176ピンLFBGA 145ピンTFLGA 144ピンLQFP]	t_{SSLr}、t_{SSLf}	–	5	ns	
		出力 [100ピンLQFP/85ピンTFLGA]		–	10		
		入力		–	1	μs	
	スレーブアクセス時間		t_{SA}	–	4	t_{Pcyc}	図41.41、図41.42
	スレーブ出力開放時間		t_{REL}	–	3	t_{Pcyc}	

注1.　t_{Pcyc}：PCLKの周期

表41.16　内蔵周辺モジュールタイミング（4）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min（注1、注2）	max	単位	測定条件
RIIC（Standard-mode、SMBus）ICFER.FMPE=0	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 1300	—	ns	図41.43
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC（Fast-mode）	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 600	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	20 + 0.1C_b	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	20 + 0.1C_b	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC（Fast-mode+）ICFER.FMPE=1	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 240	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 120	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 120	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 120	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 120		ns	
	再送開始条件入力セットアップ時間	t_{STAS}	120	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 20	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	550	pF	

注.　t_{IICcyc}：RIIC の内部基準クロック（IICφ）の周期
注1.　（ ）内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。
注2.　Cbはバスラインの容量総計です。

表41.17　内蔵周辺モジュールタイミング（5）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 12.5 ～ 100MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min	max	単位	測定条件
ETHERC（RMII）	REF50CK サイクル時間	T_{ck}	20	—	ns	図 41.44 ～ 図 41.47
	REF50CK 周波数 Typ. 50MHz	—	—	50 + 100ppm	MHz	
	REF50CK デューティ	—	35	65	%	
	REF50CK 立ち上がり/立ち下がり時間	$T_{ckr/ckf}$	0.5	3.5	ns	
	RMII_xxxx（注1）出力遅延時間	T_{co}	2.5	12.5	ns	
	RMII_xxxx（注2）セットアップ時間	T_{su}	3	—	ns	
	RMII_xxxx（注2）ホールド時間	T_{hd}	1	—	ns	
	RMII_xxxx（注1）（注2）立ち上がり/立ち下がり時間	Tr/Tf	0.5	6	ns	
	ET_MDIO セットアップ時間	t_{MDIOs}	10	—	ns	図 41.48
	ET_MDIO ホールド時間	t_{MDIOh}	10	—	ns	
	ET_MDIO 出力データホールド時間（注3）	t_{MDIODh}	5	—	ns	図 41.49
	ET_WOL 出力遅延時間	t_{WOLd}	1	20	ns	図 41.50
ETHERC（MII）	ET_TX_CLK サイクル時間	t_{Tcyc}	40	—	ns	—
	ET_TX_EN 出力遅延時間	t_{TENd}	1	20	ns	図 41.51
	ET_ETXD0～ET_ETXD3出力遅延時間	t_{MTDd}	1	20	ns	
	ET_CRS セットアップ時間	t_{CRSs}	10	—	ns	
	ET_CRS ホールド時間	t_{CRSh}	10	—	ns	
	ET_COL セットアップ時間	t_{COLs}	10	—	ns	図 41.52
	ET_COL ホールド時間	t_{COLh}	10	—	ns	
	ET_RX_CLK サイクル時間	t_{TRcyc}	40	—	ns	—
	ET_RX_DV セットアップ時間	t_{RDVs}	10		ns	図 41.53
	ET_RX_DV ホールド時間	t_{RDVh}	10	—	ns	
	ET_ERXD0～ET_ERXD3 セットアップ時間	t_{MRDs}	10	—	ns	
	ET_ERXD0～ET_ERXD3ホールド時間	t_{MRDh}	10	—	ns	
	ET_RX_ER セットアップ時間	t_{RERs}	10	—	ns	図 41.54
	ET_RX_ER ホールド時間	t_{RESh}	10	—	ns	
	ET_MDIO セットアップ時間	t_{MDIOs}	10	—	ns	図 41.55
	ET_MDIO ホールド時間	t_{MDIOh}	10	—	ns	
	ET_MDIO 出力データホールド時間	t_{MDIOdh}	5	—	ns	図 41.56
	ET_WOL 出力遅延時間	t_{WOLd}	1	20	ns	図 41.57

注1.　RMII_TXD_EN、RMII_TXD1、RMII_TXD0
注2.　RMII_CRS_DV、RMII_RXD1、RMII_RXD0、RMII_RX_ER
注3.　ユーザがプログラムにより本規定を満足するように設定する必要があります。

表41.18　内蔵周辺モジュールタイミング（6）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	記号	min	typ	max	単位	測定条件
TCK クロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 41.58
TCK クロック High レベルパルス幅	t_{TCKH}	45	—	—	ns	
TCK クロック Low レベルパルス幅	t_{TCKL}	45	—	—	ns	
TCK クロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCK クロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TRST# パルス幅	t_{TRSTW}	20	—	—	t_{TCKcyc}	図 41.59
TMS セットアップ時間	t_{TMSS}	20	—	—	ns	図 41.60
TMS ホールド時間	t_{TMSH}	20	—	—	ns	
TDI セットアップ時間	t_{TDIS}	20	—	—	ns	
TDI ホールド時間	t_{TDIH}	20	—	—	ns	
TDO データ遅延時間	t_{TDOD}	—	—	40	ns	

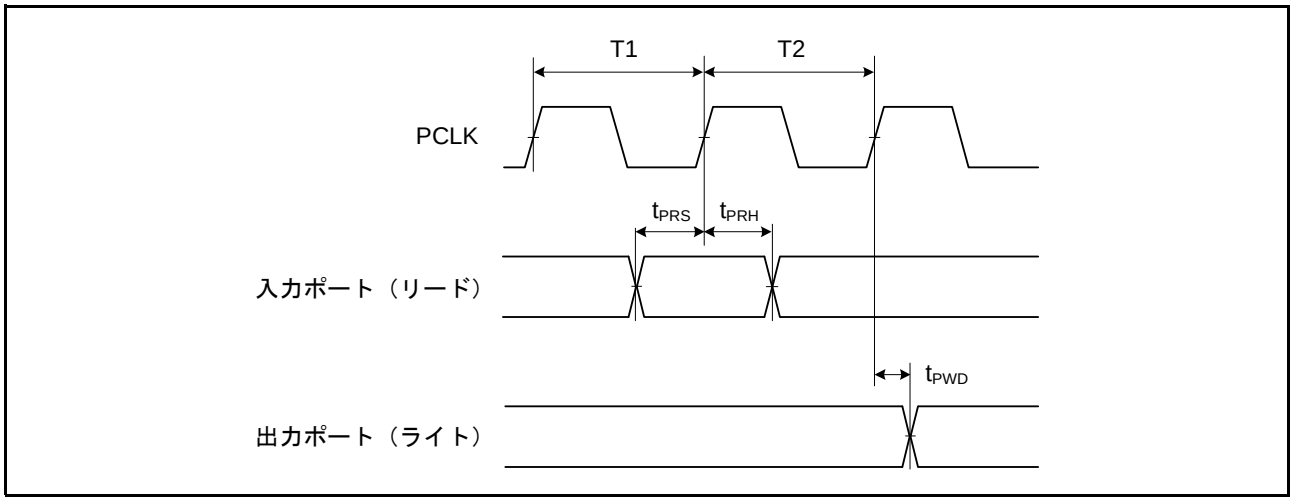


図 41.25　I/O ポート入出力タイミング

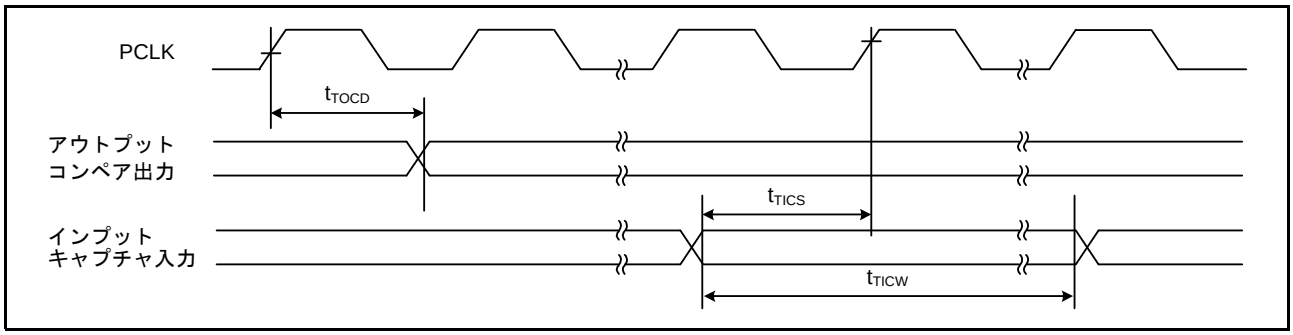


図 41.26　MTU2 入出力タイミング

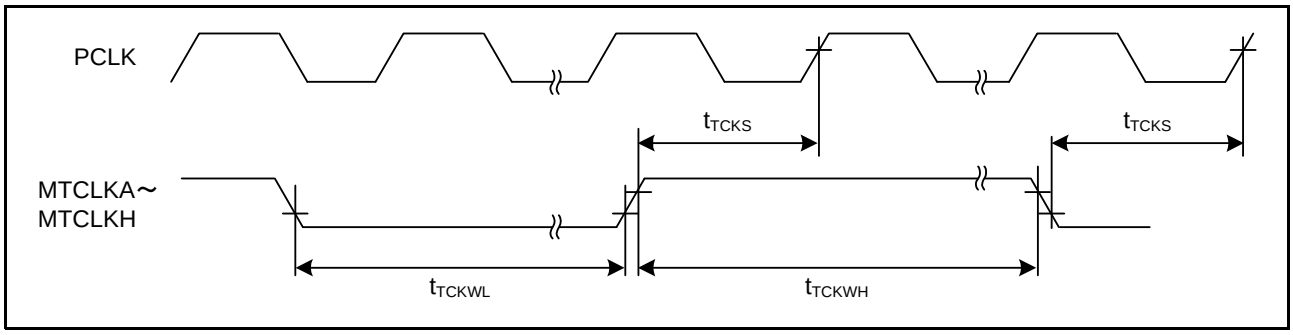


図 41.27　MTU2 クロック入力タイミング

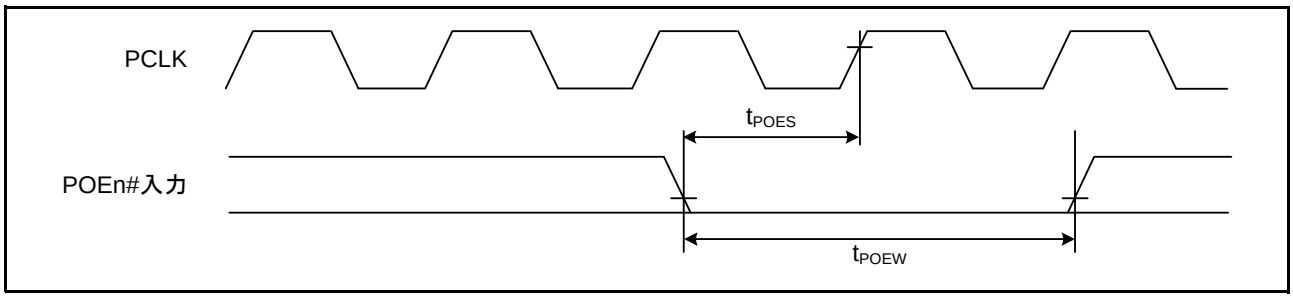


図 41.28　POE# 入力タイミング

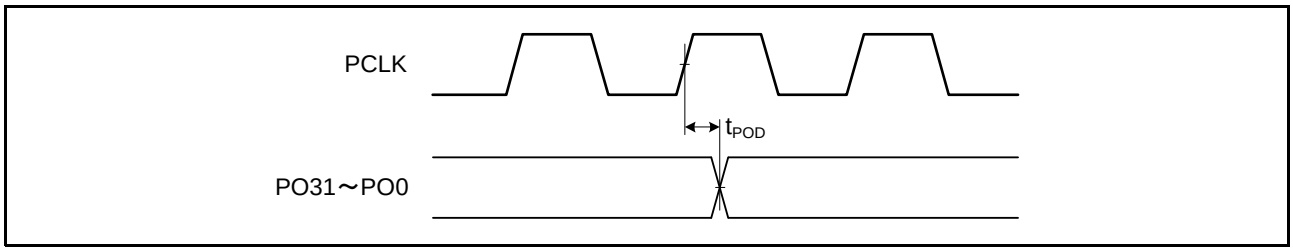


図 41.29　PPG 出力タイミング

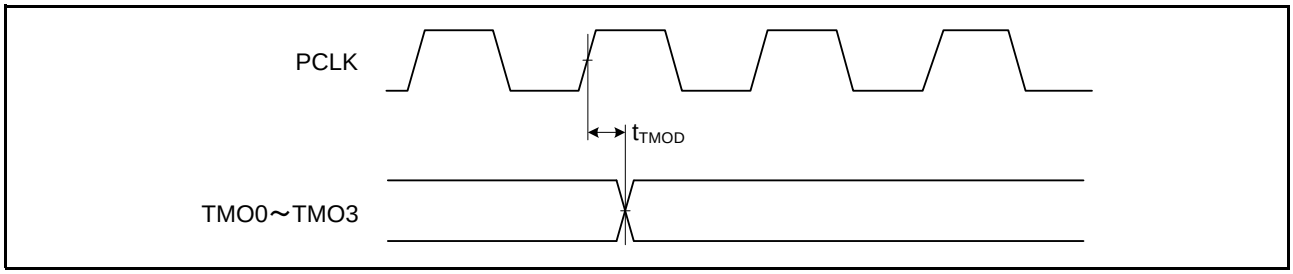


図 41.30　8 ビットタイマ出力タイミング

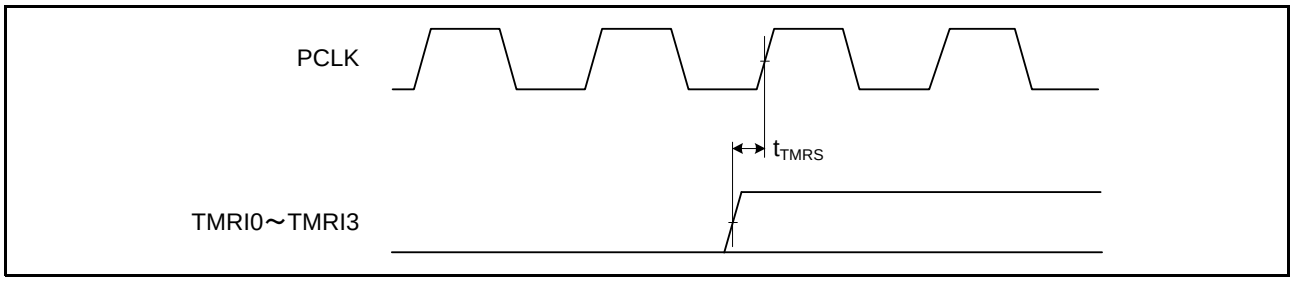


図 41.31　8 ビットタイマリセット入力タイミング

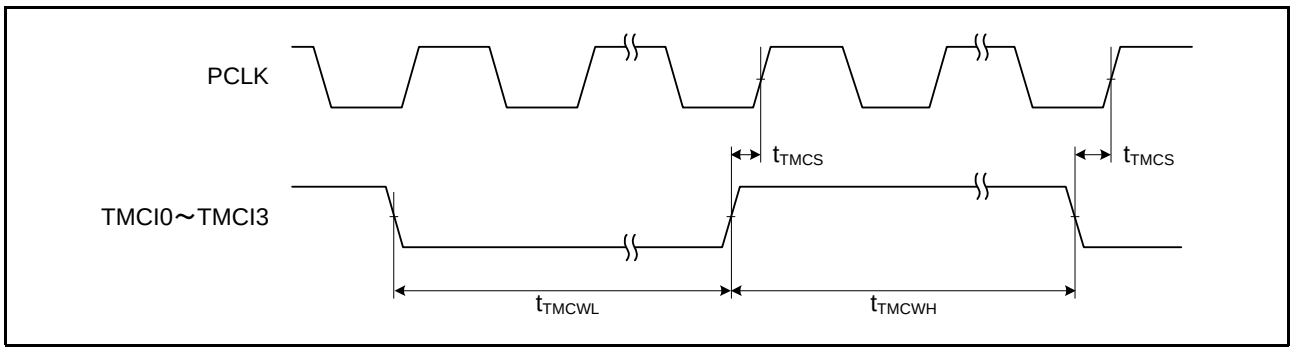


図 41.32　8 ビットタイマクロック入力タイミング

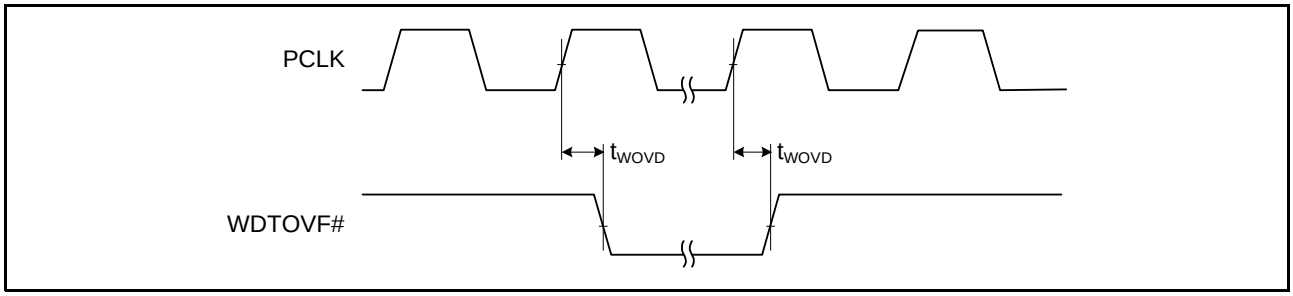


図 41.33　WDT 出力タイミング

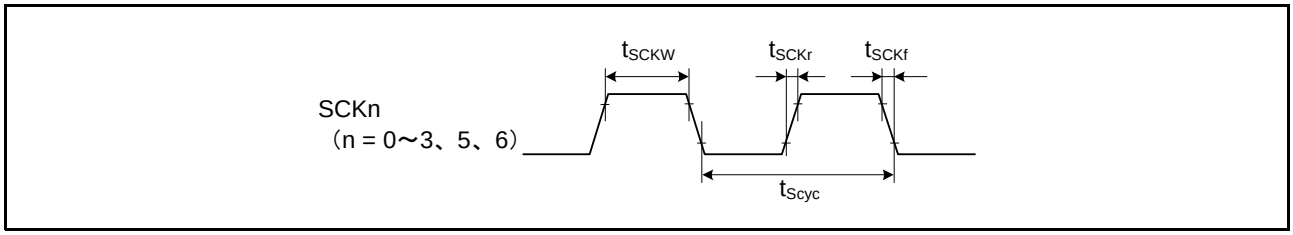


図 41.34　SCK クロック入力タイミング

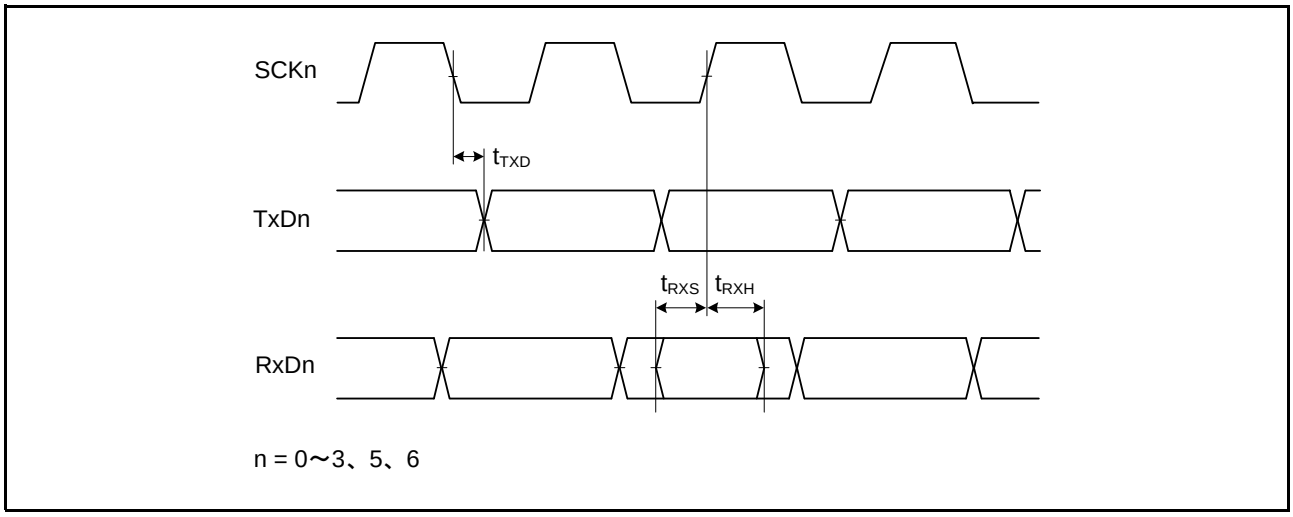


図 41.35 SCI 入出力タイミング / クロック同期式モード

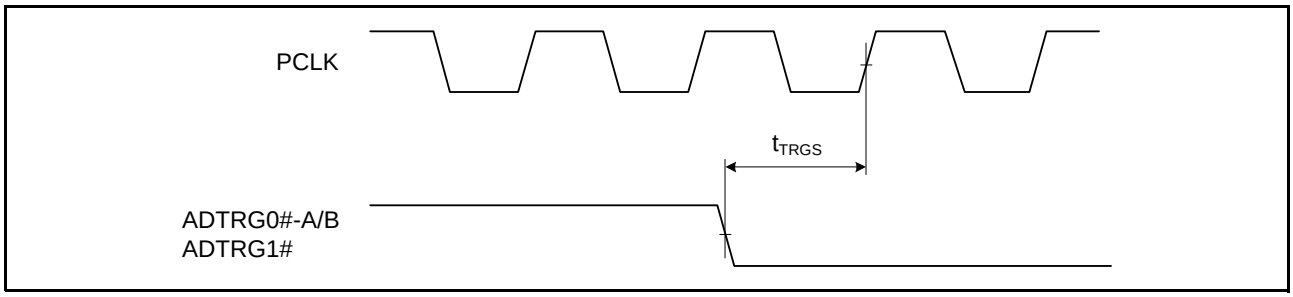


図 41.36 A/D コンバータ外部トリガ入力タイミング

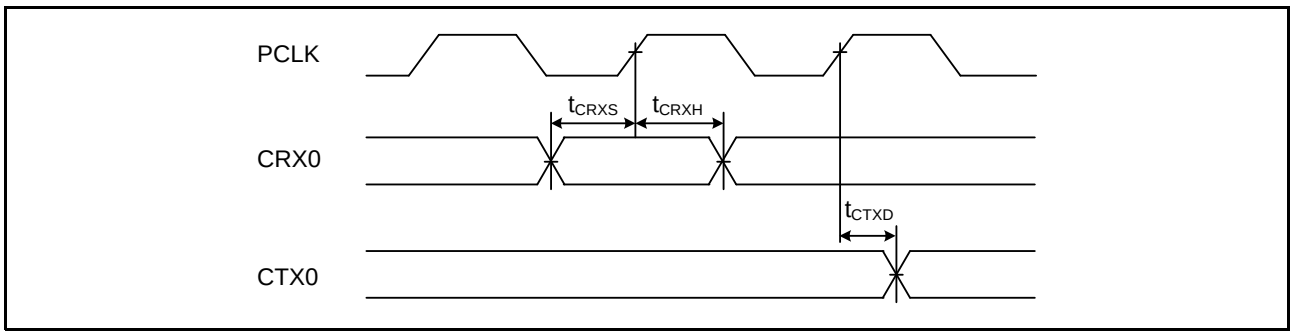


図 41.37 CAN 入出力タイミング

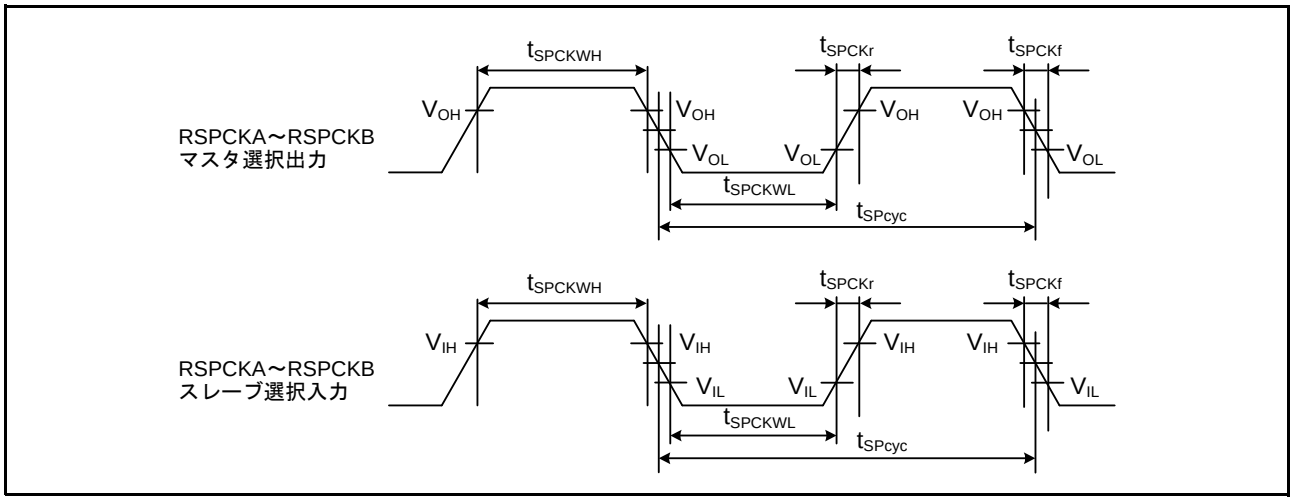


図 41.38　RSPI クロックタイミング

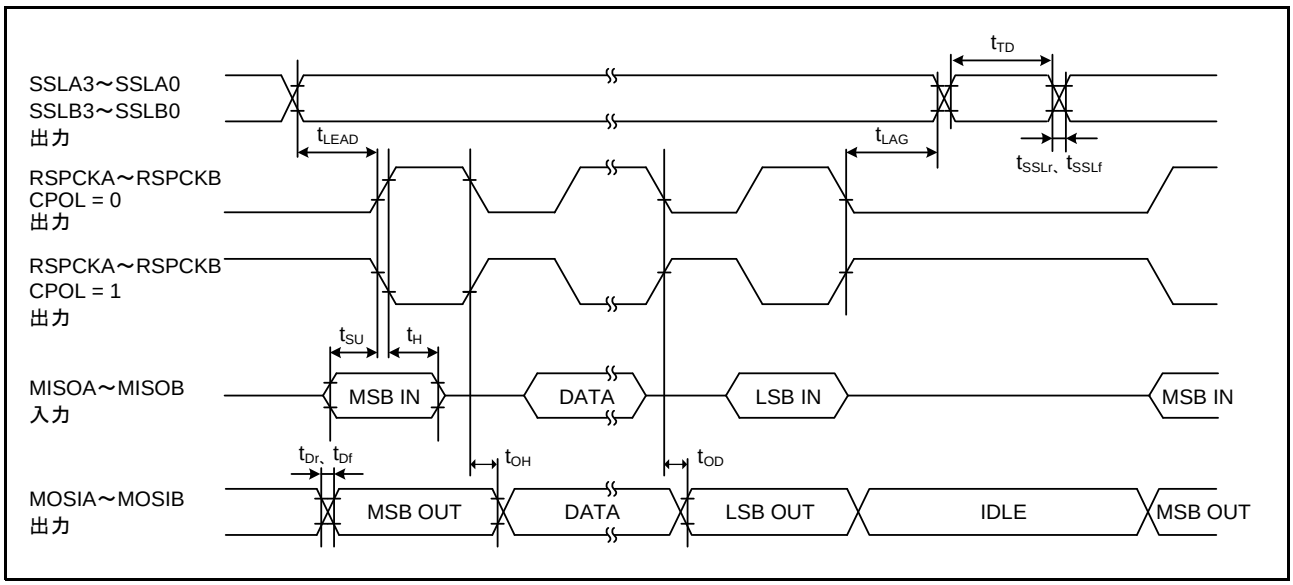


図 41.39　RSPI タイミング（マスタ、CPHA = 0）

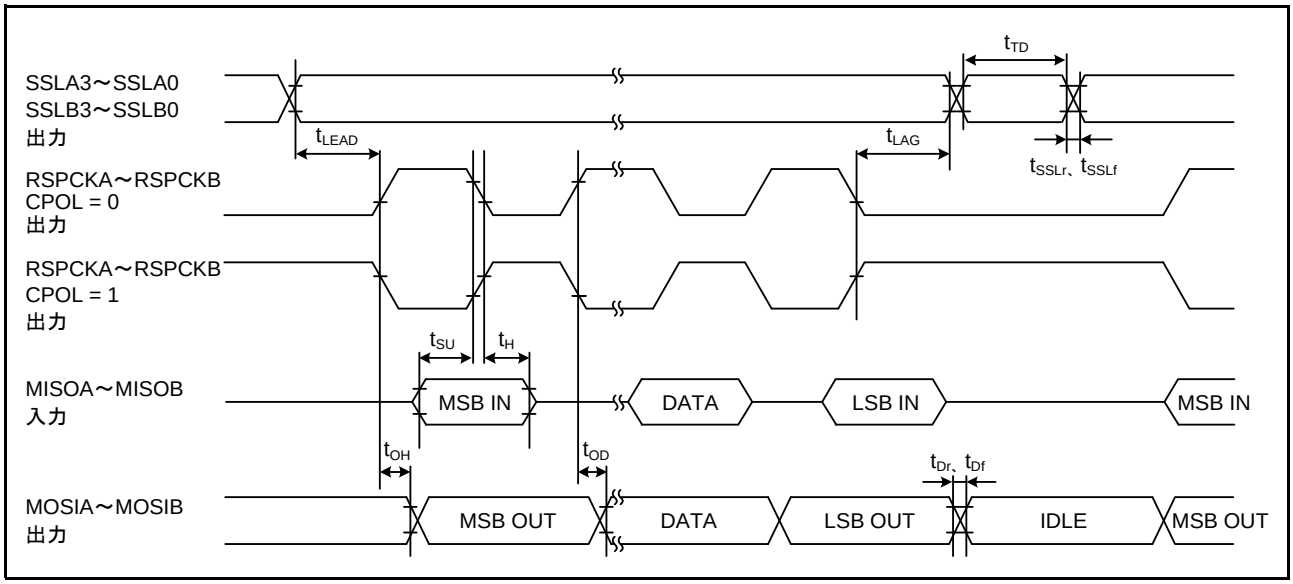


図 41.40　RSPI タイミング（マスタ、CPHA = 1）

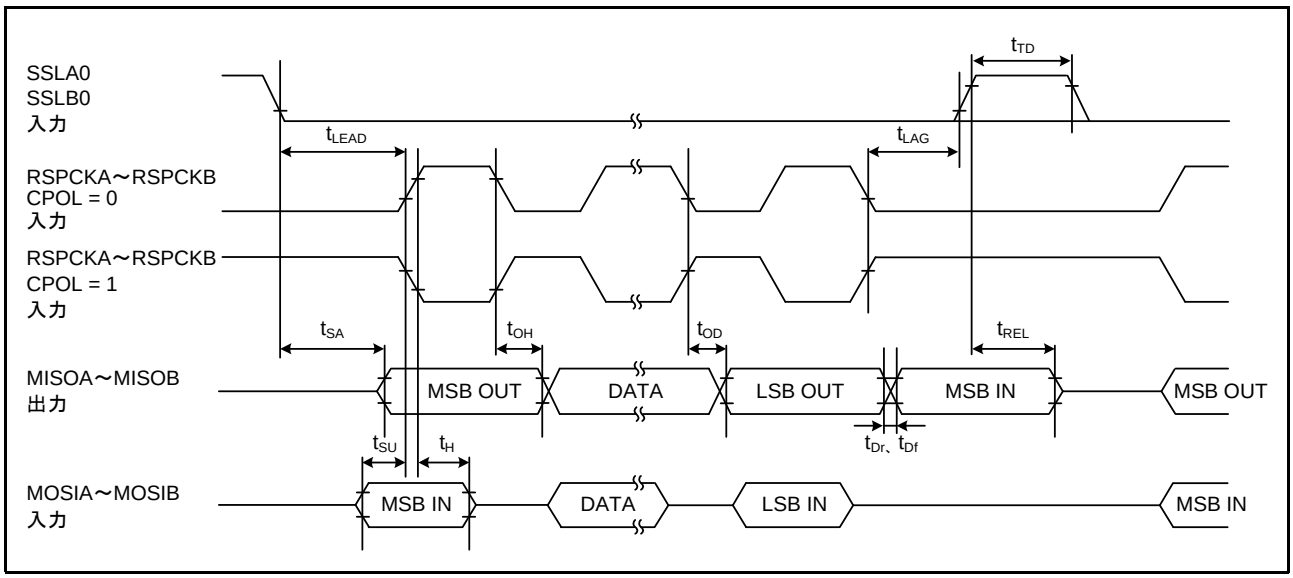


図 41.41　RSPI タイミング（スレーブ、CPHA = 0）

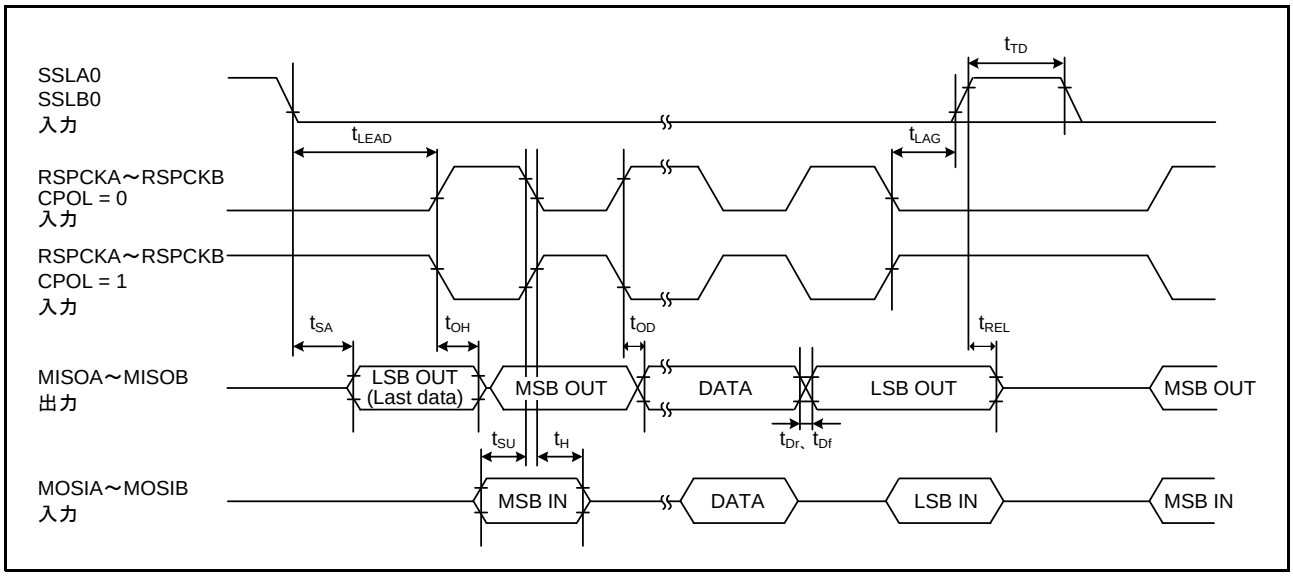


図 41.42 RSPI タイミング（スレーブ、CPHA = 1）

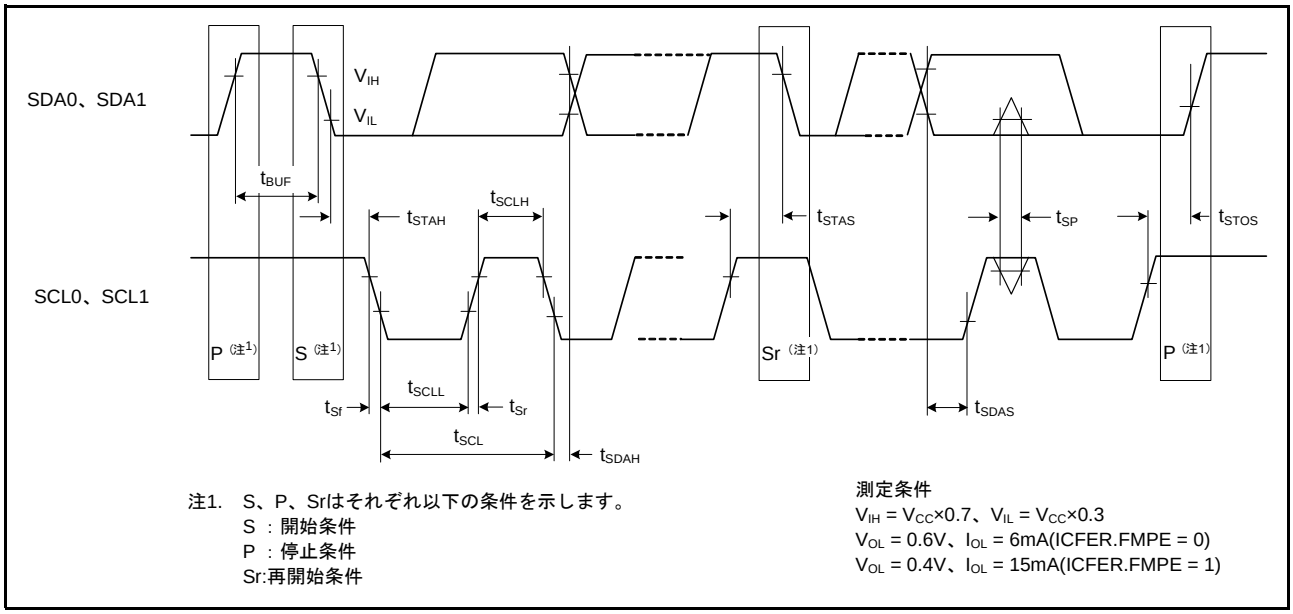


図 41.43 I²C バスインタフェース入出力タイミング

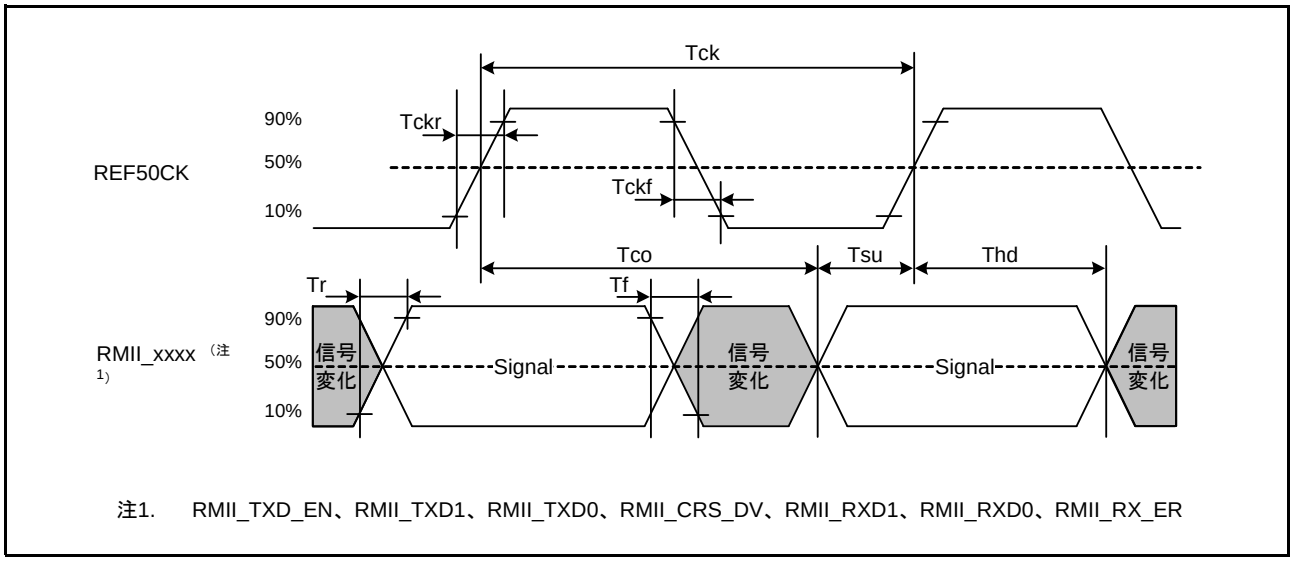


図 41.44 REF50CK と RMII 信号とのタイミング

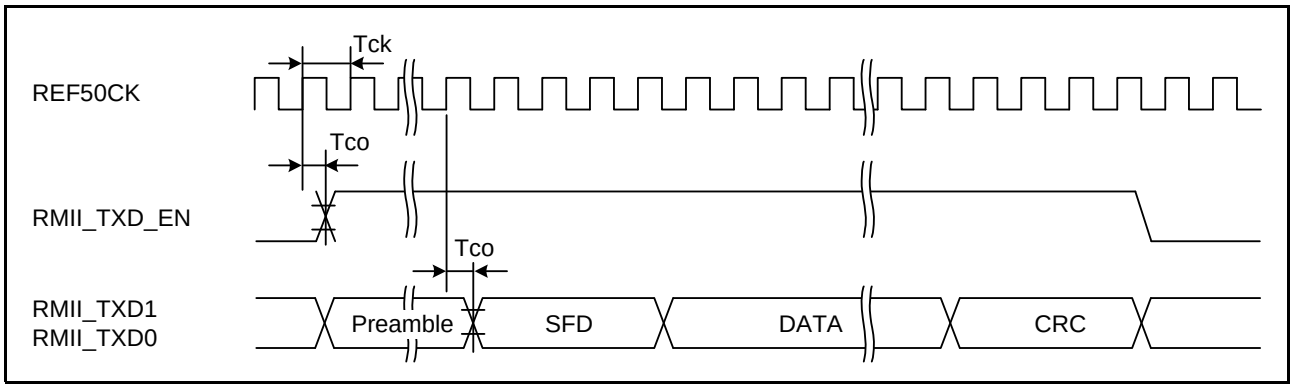


図 41.45 RMII 送信タイミング

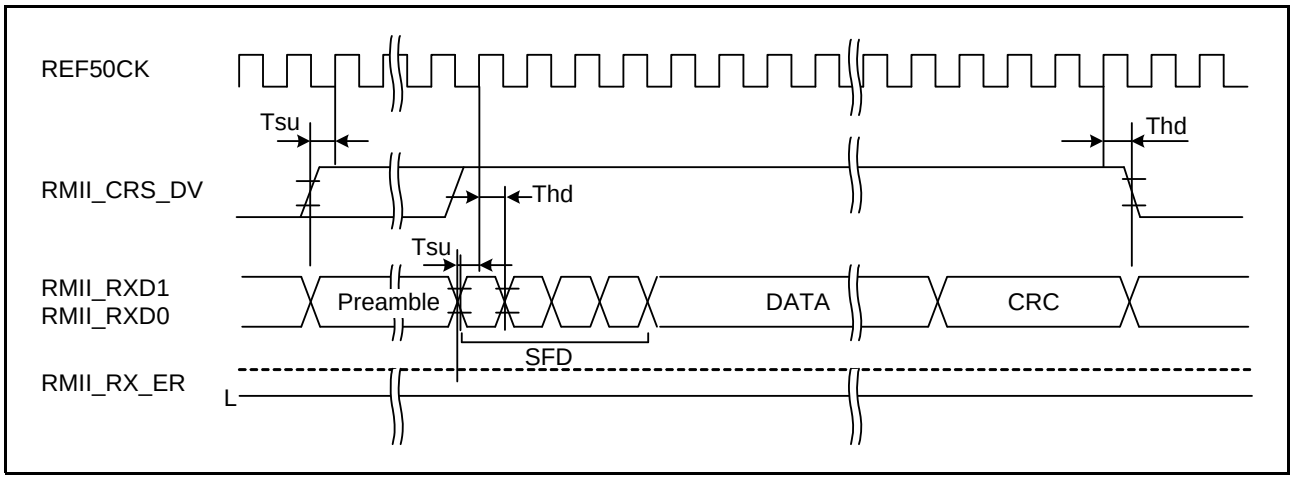


図 41.46 RMII 受信タイミング（正常動作時）

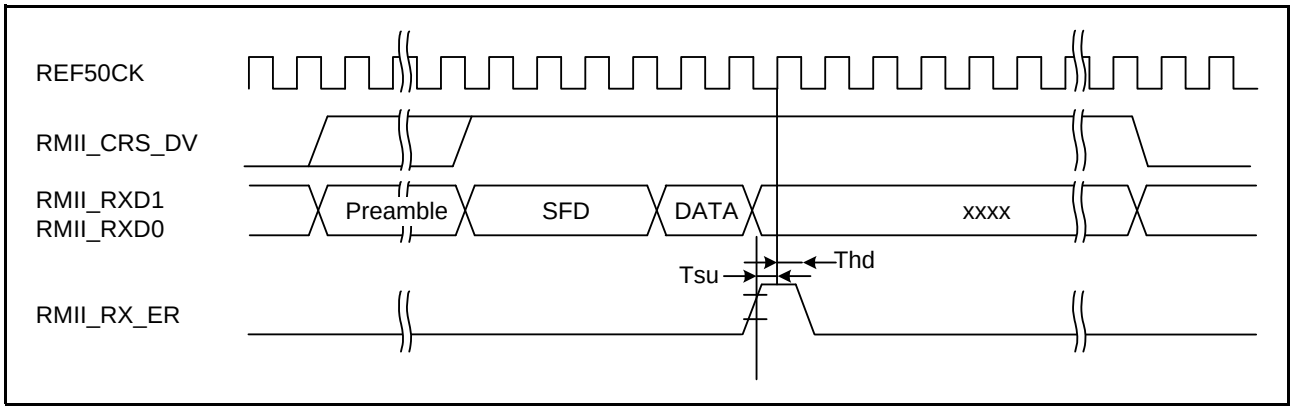


図 41.47　RMII 受信タイミング（エラー発生ケース）

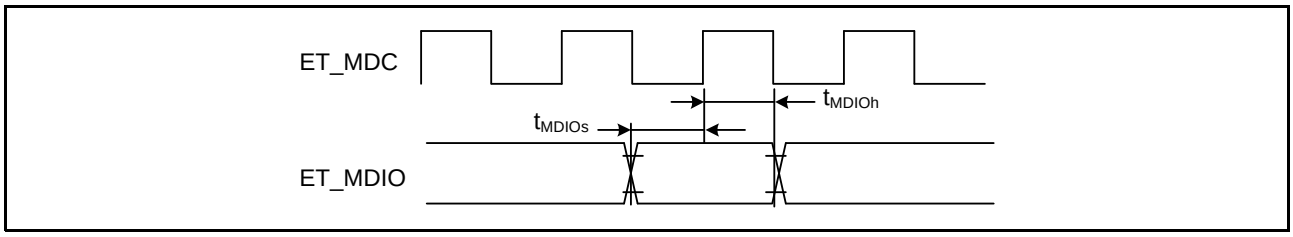


図 41.48　MDIO 入力タイミング（RMII）

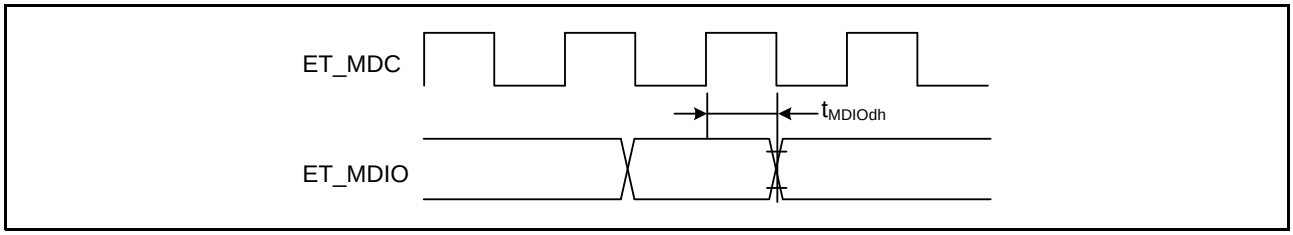


図 41.49　MDIO 出力タイミング（RMII）

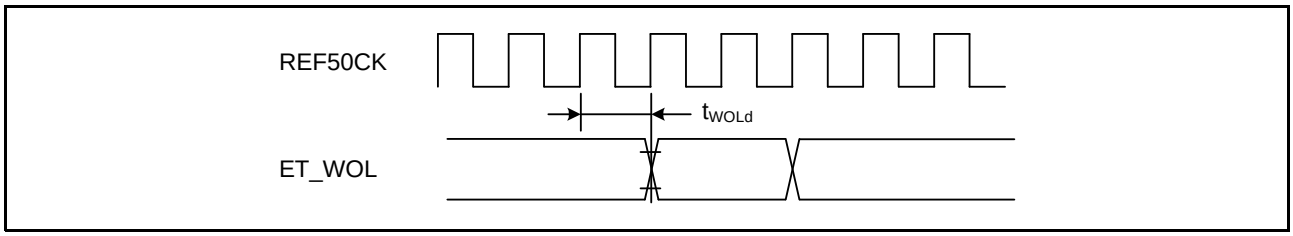


図 41.50　WOL 出力タイミング（RMII）

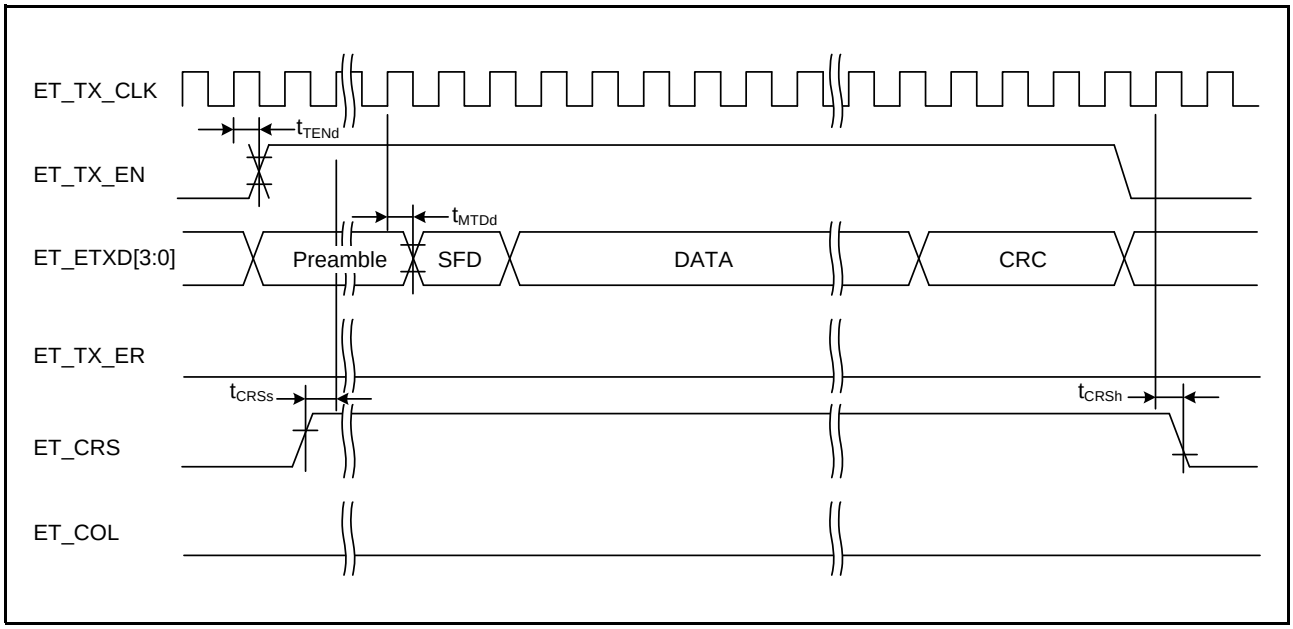


図 41.51　MII 送信タイミング（正常動作時）

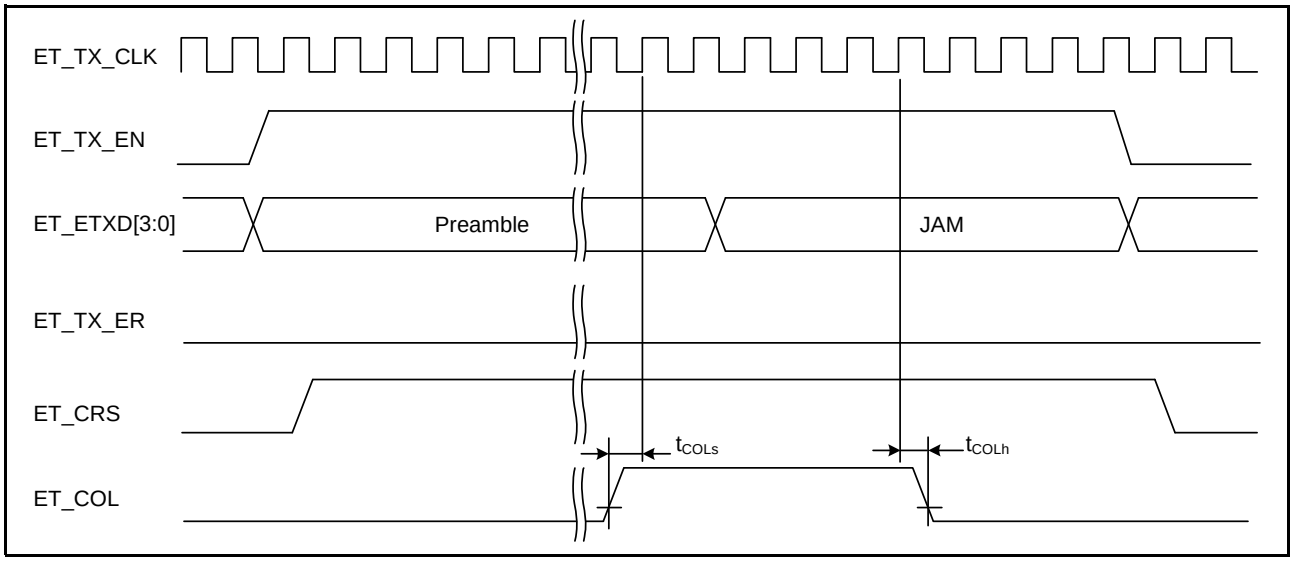


図 41.52　MII 送信タイミング（衝突発生ケース）

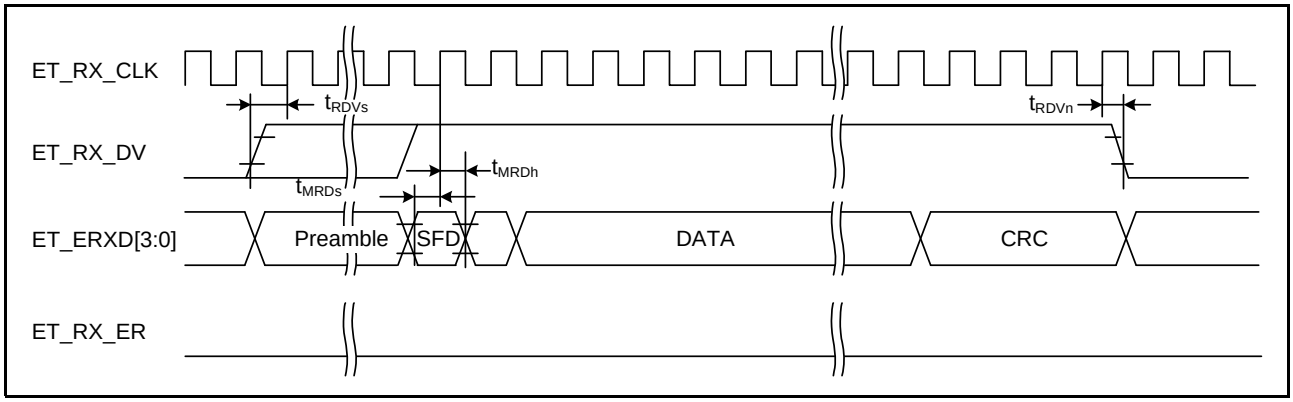


図 41.53　MII 受信タイミング（正常動作時）

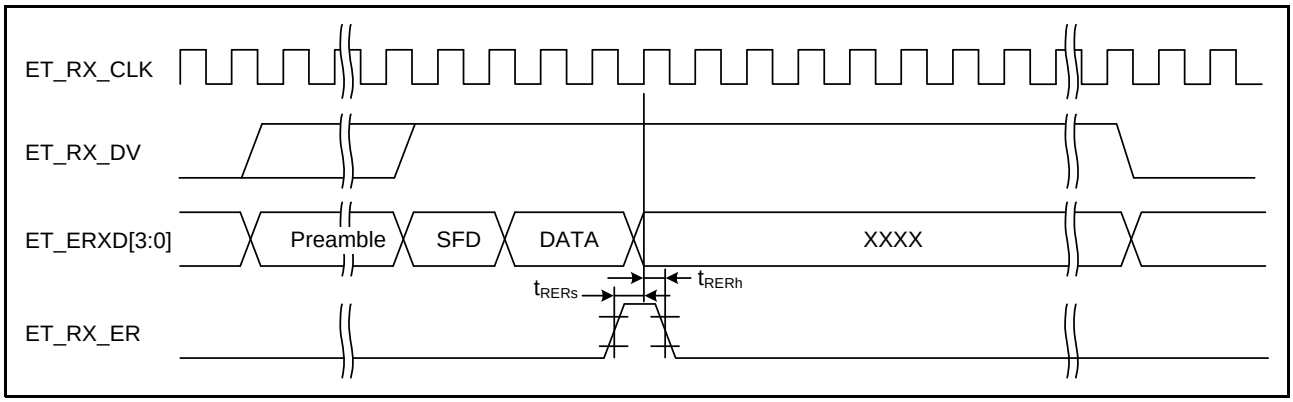


図 41.54 MII 受信タイミング（エラー発生ケース）

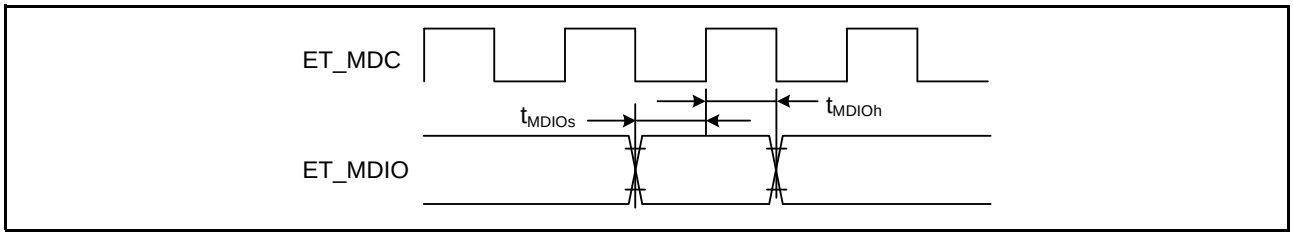


図 41.55 MDIO 入力タイミング（MII）

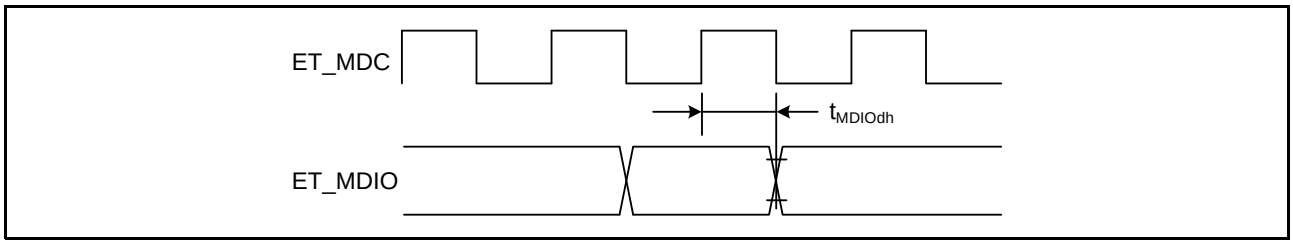


図 41.56 MDIO 出力タイミング（MII）

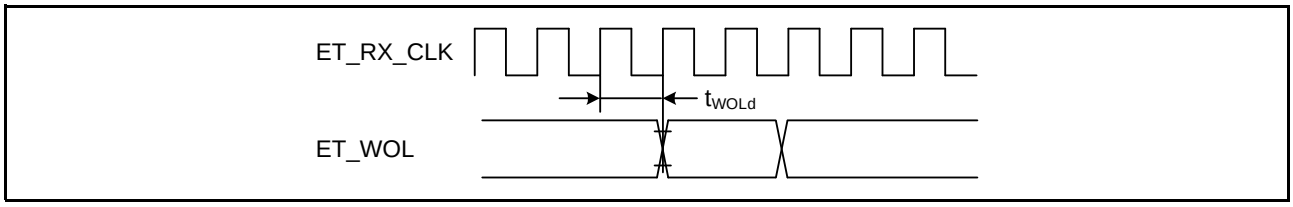


図 41.57 WOL 出力タイミング（MII）

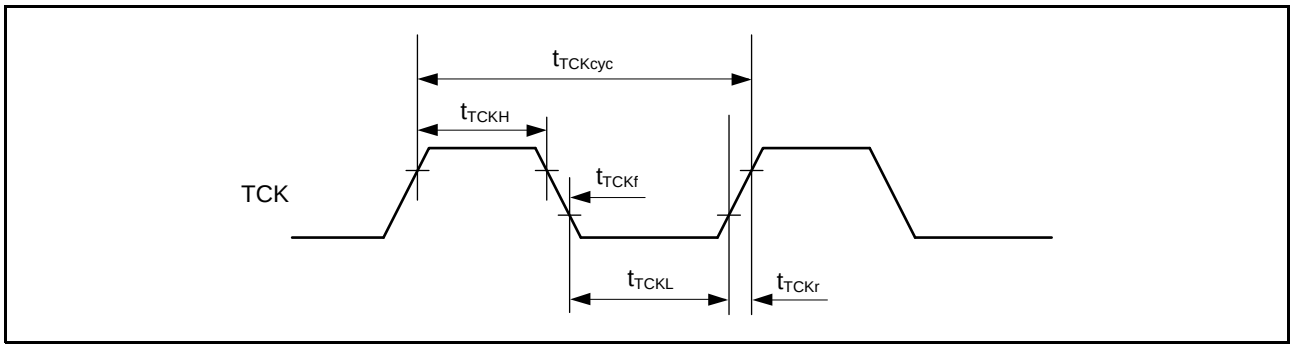


図 41.58 バウンダリスキャン TCK タイミング

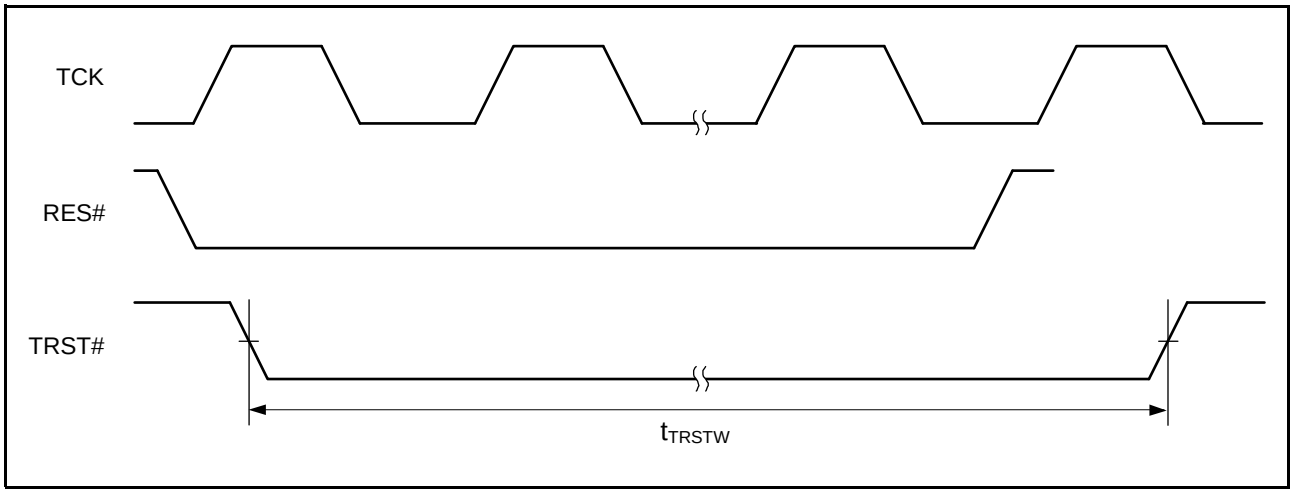


図 41.59 バウンダリスキャン TRST# タイミング

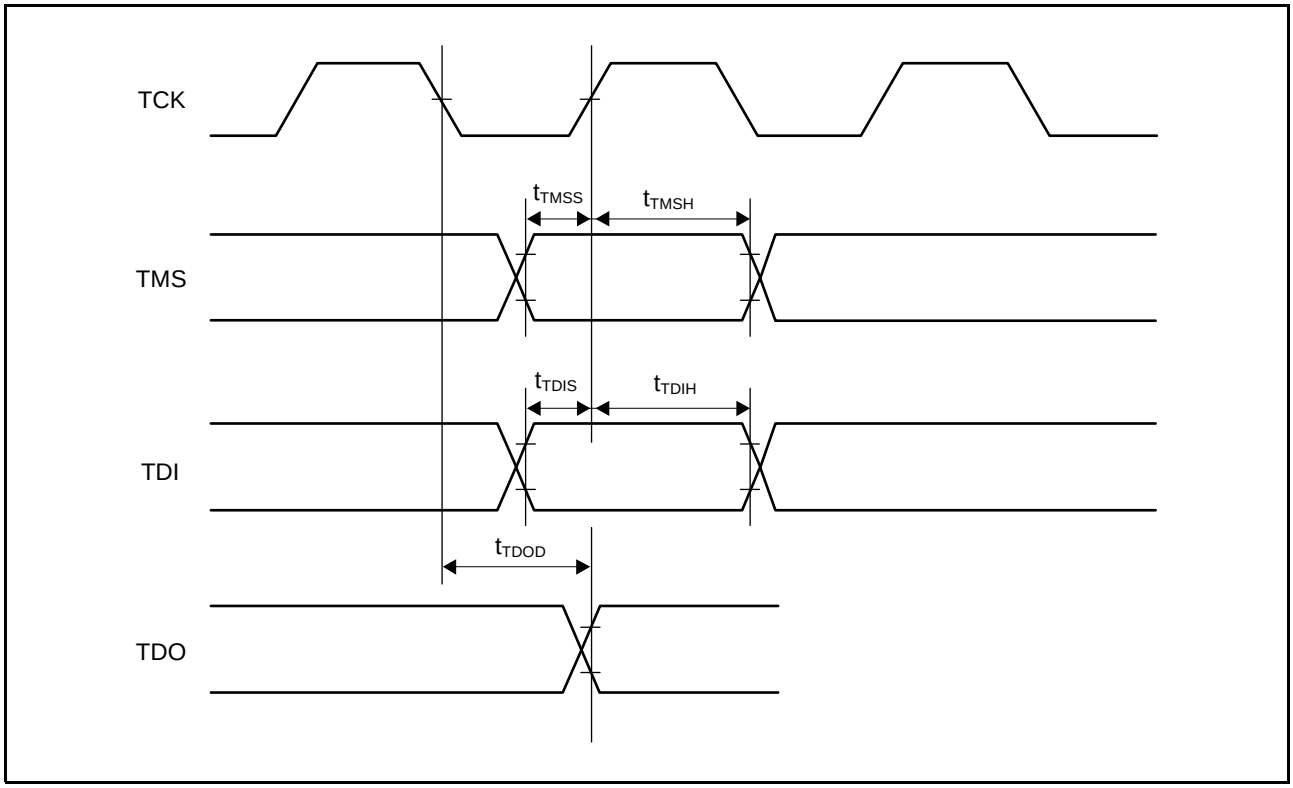


図 41.60 バウンダリスキャン 入出力タイミング

41.4 USB 特性

表41.19 内蔵USB フルスピード 特性（DP、DM端子特性）

条件：VCC = PLLVCC = AVCC = VCC_USB = 3.0 ～ 3.6V、VREFH = 3.0V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 24 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min	max	単位	測定条件	
入力特性	入力High レベル電圧	V_{IH}	2.0	—	V		図 41.61 図 41.62
	入力Low レベル電圧	V_{IL}	—	0.8	V		
	差動入力感度	V_{DI}	0.2	—	V	| DP - DM |	
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V		
出力特性	出力High レベル電圧	V_{OH}	2.8	3.6	V	I_{OH} = – 200μA	
	出力Low レベル電圧	V_{OL}	0.0	0.3	V	I_{OL} = 2mA	
	クロスオーバ電圧	V_{CRS}	1.3	2.0	V		
	立ち上がり時間	t_{Lr}	4	20	ns		
	立ち下がり時間	t_{Lf}	4	20	ns		
	立ち上がり/立ち下がり時間比	t_{Lr} / t_{Lf}	90	111.11	%	t_{Lr} / t_{Lf}	
	出力抵抗	Z_{DRV}	28	44	Ω	Rs=22Ω 含む	

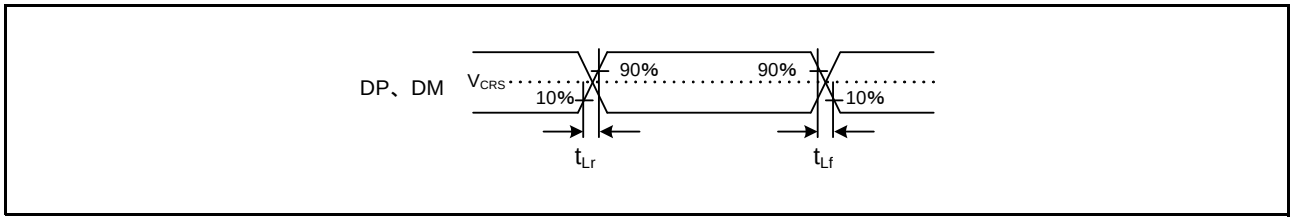


図 41.61 DP、DM 出力タイミング（フルスピード時）

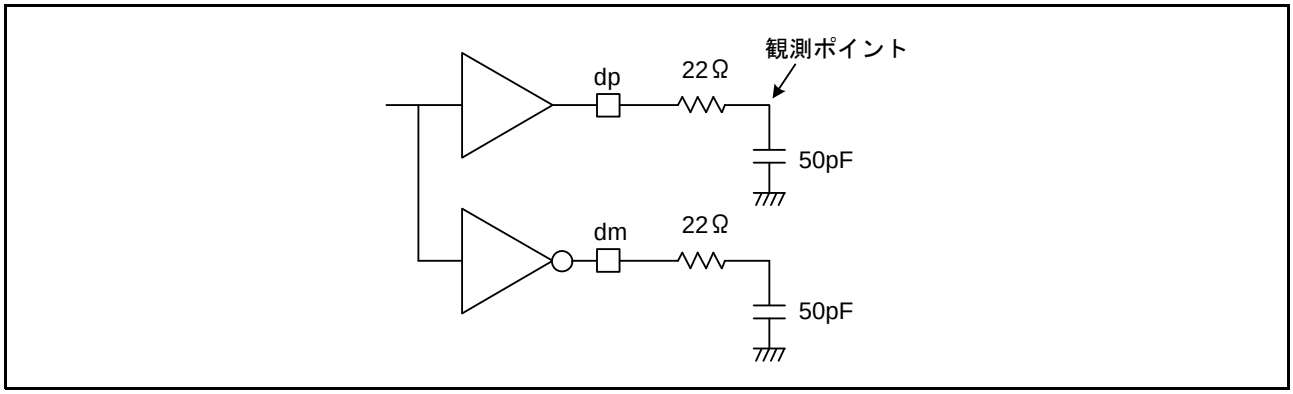


図 41.62 測定回路（フルスピード時）

41.5 A/D 変換特性

表41.20 10ビットA/D変換特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目			min	typ	max	単位	測定条件
分解能			10	10	10	ビット	
変換時間（注1）（PCLK= 50MHz時）	外付けコンデンサ0.1μFあり	コンデンサに電荷が十分チャージされている場合（注2）	0.8 (0.3)（注3）	–	–	μs	サンプリング 15 ステート
	外付けコンデンサなし	許容信号源インピーダンス max = 1.0 kΩ	1.0 (0.5)（注3）	–	–		サンプリング 25 ステート
		許容信号源インピーダンス max = 5.0 kΩ	2.6 (2.1)（注3）	–	–		サンプリング 105 ステート
アナログ入力容量			–	–	6.0	pF	
INL積分非直線性誤差			–	±1.5	±3.0	LSB	
オフセット誤差			–	±1.5	±3.0	LSB	
フルスケール誤差			–	±1.5	±3.0	LSB	
量子化誤差			–	±0.5	–	LSB	
絶対精度			–	±1.5	±3.0	LSB	
DNL 微分非直線性誤差			–	±0.5	±1.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。
注2. スキャンは対応しません。
注3. ( )はサンプリング時間を示します。

表41.21 12ビットA/D変換特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目	min	typ	max	単位	測定条件
分解能	12	12	12	ビット	
変換時間（注1）	1.0	–	–	μs	AVCC ≧ 3.0
	2.0	–	–	μs	AVCC ≧ 2.7
アナログ入力容量	–	–	30	pF	
オフセット誤差	–	± 2.0	± 7.5	LSB	
フルスケール誤差	–	± 2.0	± 7.5	LSB	
量子化誤差	–	± 0.5	–	LSB	
絶対精度	–	± 2.5	± 8.0	LSB	
非直線性誤差	–	± 2.0	± 4.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です（許容信号源インピーダンスmax = 1.0kΩ）。

41.6 D/A 変換特性

表41.22 D/A変換特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間	–	–	3.0	μs	負荷容量 20pF
絶対精度	–	± 2.0	± 4.0	LSB	負荷抵抗 2MΩ
	–	–	± 3.0	LSB	負荷抵抗 4MΩ
	–	–	± 2.0	LSB	負荷抵抗 10MΩ
RO 出力抵抗	–	3.6	–	kΩ	

41.7 パワーオンリセット回路、電圧検出回路特性

表41.23 パワーオンリセット回路・電圧検出回路特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット（POR）	V_{POR}	2.48	2.58	2.68	V	図 41.63
	電圧検出回路（LVD）	Vdet1	2.75	2.85	2.95		図 41.64、図 41.65
		Vdet2	3.05	3.15	3.25		
内部リセット時間		t_{POR}	20	35	50	ms	
最小VCC低下時間（注1）		t_{VOFF}	200	–	–	μs	図 41.63 ～ 図 41.65
応答遅延時間		tdet	–	–	200	μs	

注1. 電源オフ時間は、VCCがPOR/ LVDの電圧検出レベルV_{POR}, V_{det1}, V_{det2}のmin値を下回っている時間です。

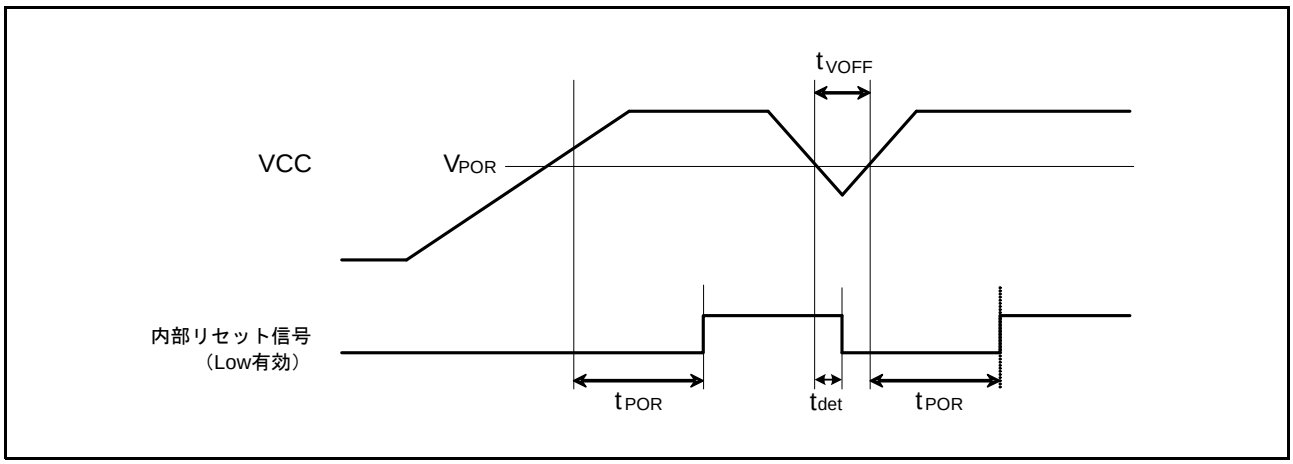


図 41.63 パワーオンリセットタイミング

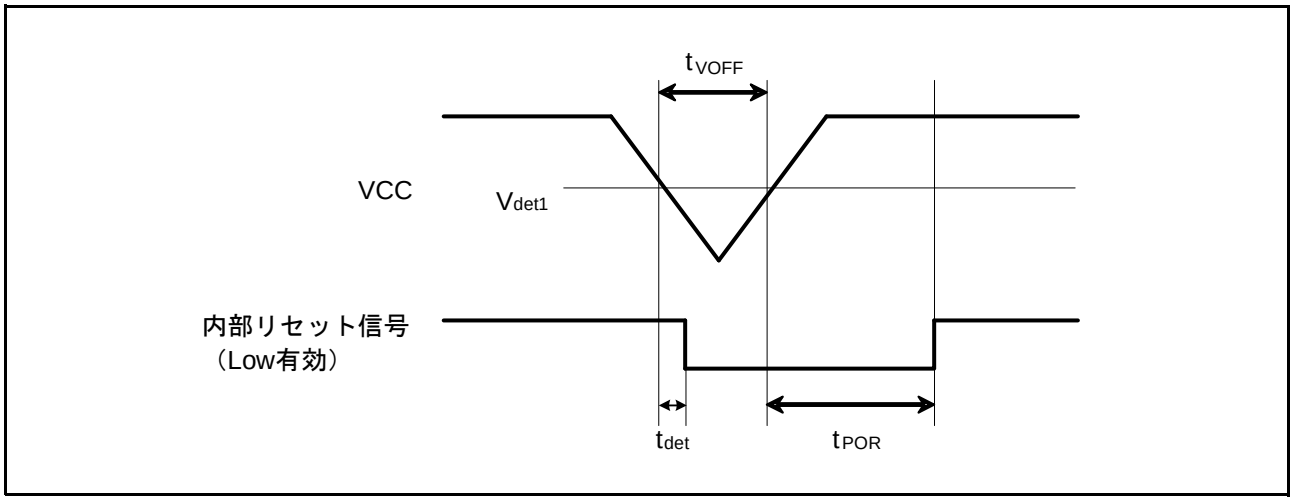


図 41.64　電圧検出回路タイミング（Vdet1）

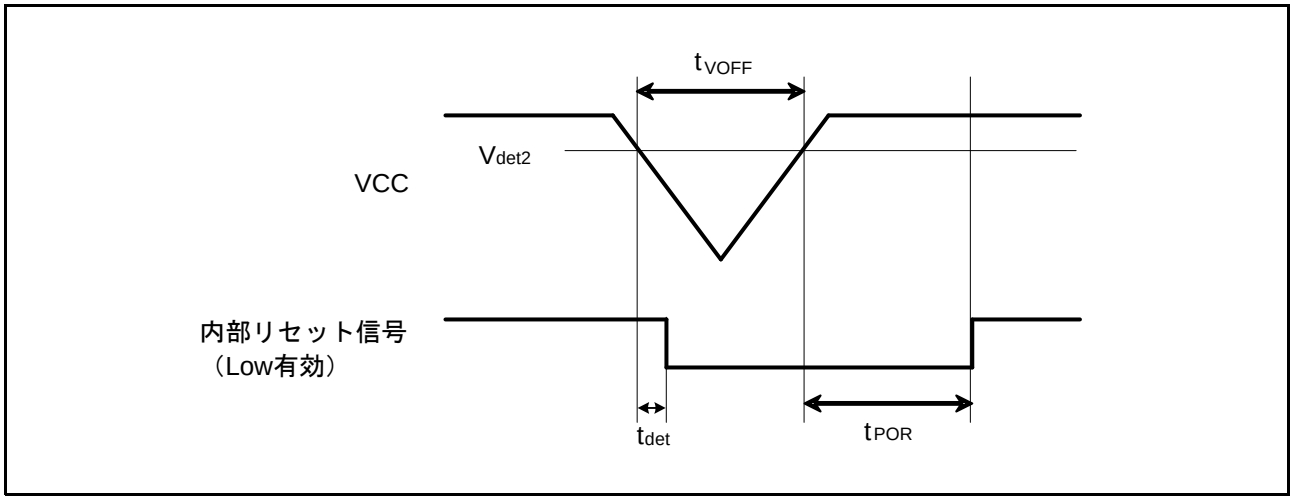


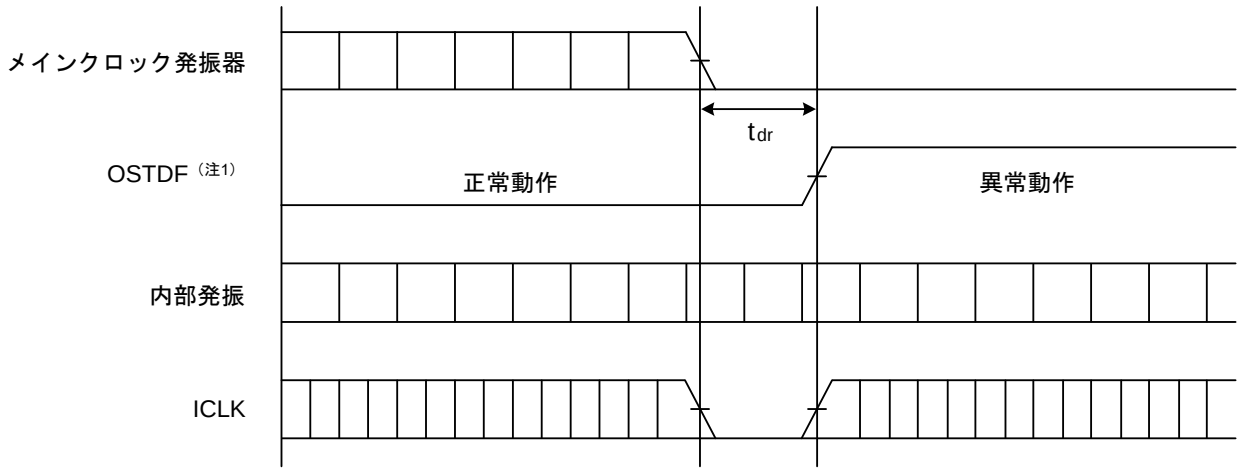
図 41.65　電圧検出回路タイミング（Vdet2）

41.8 発振停止検出タイミング

表41.24 発振停止検出回路特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	記号	min	typ	max	単位	測定条件
検出時間	tdr	—	—	1.0	ms	図 41.66
発振停止検出時内部発振周波数	f_{MAIN}	0.5	—	7.0	MHz	



注1. 発振停止検出コントロールレジスタ（OSTDCR）のOSTDFフラグ

図 41.66 発振停止検出タイミング

41.9 ROM（コード格納用フラッシュメモリ）特性

表41.25 ROM（コード格納用フラッシュメモリ）特性（1）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V

書き込み / 消去時の動作温度範囲：T_a = – 40 ～ + 85 ℃

項目	記号	min	typ	max	単位	測定条件
再書き込み/消去サイクル（注1）	N_{PEC}	1000	—	—	回	
データ保持時間	t_{DRP}	30（注2）	—	—	年	T_a = + 85℃

注1. 再書き込み/消去サイクルの定義：再書き込み/消去サイクルは、ブロックごとの消去回数です。再書き込み/消去サイクルがn回(n=1000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、4Kバイトのブロックについて、それぞれ異なる番地に256バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表41.26 ROM（コード格納用フラッシュメモリ）特性（2）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V

書き込み / 消去時の動作温度範囲：T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
書き込み時間	256バイト	t_{P256}	—	2	12	ms	PCLK = 50MHz N_{PEC} ≦ 100時
	4Kバイト	t_{P4K}	—	23	50	ms	
	16Kバイト	t_{P16K}	—	90	200	ms	
	256バイト	t_{P256}	—	2.4	14.4	ms	PCLK = 50MHz N_{PEC} ＞ 100時
	4Kバイト	t_{P4K}	—	27.6	60	ms	
	16Kバイト	t_{P16K}	—	108	240	ms	
消去時間	4Kバイト	t_{E4K}	—	25	60	ms	PCLK = 50MHz N_{PEC} ≦ 100時
	16Kバイト	t_{E16K}	—	100	240	ms	
	4Kバイト	t_{E4K}	—	30	72	ms	PCLK = 50MHz N_{PEC} ＞ 100時
	16Kバイト	t_{E16K}	—	120	288	ms	
書き込み中のサスペンド遅延時間		t_{SPD}	—	—	120	μs	図41.67 PCLK=50MHz時
消去中の1回目のサスペンド遅延時間（サスペンド優先モード時）		t_{SESD1}	—	—	120	μs	
消去中の2回目のサスペンド遅延時間（サスペンド優先モード時）		t_{SESD2}	—	—	1.7	ms	
消去中のサスペンド遅延時間（消去優先モード時）		t_{SEED}	—	—	1.7	ms	

41.10 データフラッシュ（データ格納用フラッシュメモリ）特性

表41.27 データフラッシュ（データ格納用フラッシュメモリ）特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
書き込み / 消去時の動作温度範囲：T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
書き込み時間	8バイト	t_{DP8}	—	0.4	2	ms	PCLK = 50MHz 時
	128バイト	t_{DP128}	—	1	5	ms	
消去時間	2Kバイト	t_{DE2K}	—	70	250	ms	PCLK = 50MHz 時
ブランクチェック時間	8バイト	t_{DBC8}	—	—	30	μs	PCLK = 50MHz 時
	2Kバイト	t_{DBC2K}	—	—	0.7	ms	
再書き込み/消去サイクル（注1）		N_{DPEC}	30000（注2）	—	—	回	
書き込み中のサスペンド遅延時間		t_{DSPD}	—	—	120	μs	図 41.67 PCLK = 50MHz 時
消去中の1回目のサスペンド遅延時間（サスペンド優先モード時）		t_{DSESD1}	—	—	120	μs	
消去中の2回目のサスペンド遅延時間（サスペンド優先モード時）		t_{DSESD2}	—	—	1.7	ms	
消去中のサスペンド遅延時間（消去優先モード時）		t_{DSEED}	—	—	1.7	ms	
データ保持時間（注3）		t_{DDRP}	10	—	—	年	

注1. 再書き込み/消去サイクルの定義：再書き込み/消去サイクルは、ブロックごとの消去回数です。再書き込み/消去サイクルがn回(n = 30000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。
注2. 書き換え後のすべての特性を保証するmin回数です（保証は1~min値の範囲）。
注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

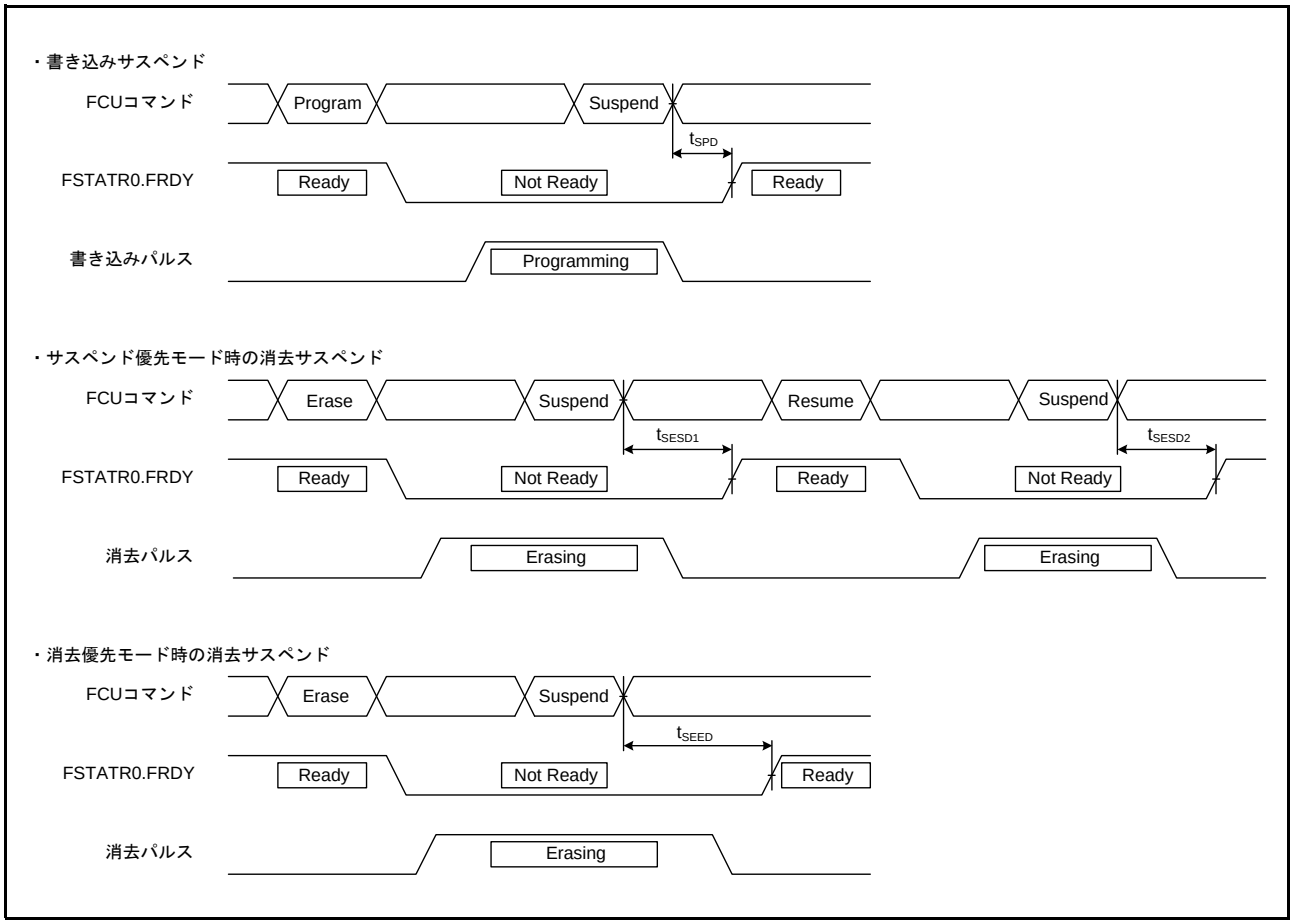


図 41.67　フラッシュメモリ書き込み / 消去サスペンドタイミング

付録 1.　各動作モードにおけるポートの状態

表 1.1　　各動作モードにおけるポートの状態 (1 / 4)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 （起動モードに戻る）	
			OPE＝1	OPE＝0		IOKEEP＝1 （注 1）	IOKEEP＝0
P00 ～ P02（注 7）	全モード	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
P03/IRQ11-A/ DA0（注 8）	全モード	Hi-Z	[DAOE0=1] DA 出力保持 [DAOE0=0] Keep-O（注 2）		[DAOE0=1] Hi-Z [DAOE0=0] Keep	Keep	Hi-Z
P05/IRQ13-A/ DA1	全モード	Hi-Z	[DAOE1=1] DA 出力保持 [DAOE1=0] Keep-O（注 2）		[DAOE1=1] Hi-Z [DAOE1=0] Keep	Keep	Hi-Z
P07/ADTRG0-A/ IRQ15-A（注 9）	全モード	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
P10（注 6） P11（注 6） P12,P13	全モード	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
P14,P15（注 7） P16,P17（注 7）	全モード	Hi-Z	Keep-O（注 2）		Keep（注 3）	Keep	Hi-Z
P20 ～ P23	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P24 ～ P27	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS# 出力時] H [上記以外] Keep-O	[CS# 出力時] Hi-Z [上記以外] Keep-O			
P30 ～ P33	全モード	Hi-Z	Keep-O（注 2）		Keep-O（注 3）	Keep	Hi-Z
P34/MTIOC0A/ SCK6-B/ TMCI3-B/ IRQ4-A/PO12	全モード	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
ポート 4	全モード	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
P50/WR0#/WR#/ SSLB1-A/TxD2-B	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[WR0#/WR# 出力時] H	[WR0#/WR# 出力時] Hi-Z			
P51/WR1#/BC1#/ WAIT#-D/ SSLB2-A/SCK2	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[WR1#/BC1# 出力時] H [上記以外] Keep-O	[WR1#/BC1# 出力時] Hi-Z [上記以外] Keep-O			
P52/RD#/ SSLB3-A/ RxD2-B	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[RD# 出力時] H	[RD# 出力時] Hi-Z			
P53/BCLK	全モード	Hi-Z	[クロック出力時] H [上記以外] Hi-Z		Keep	Keep	Hi-Z
P54 ～ P55（注 9）	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z

表1.1　　各動作モードにおけるポートの状態 (2 / 4)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 （起動モードに戻る）	
			OPE＝1	OPE＝0		IOKEEP＝1 （注1）	IOKEEP＝0
P56/WR2#/BC2#/ EDACK1-C/ MTIOC3C-B （注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[WR2#/BC2# 出力時] H [上記以外] Keep-O	[WR2#/BC2# 出力時] Hi-Z [上記以外] Keep-O			
P57/WAIT#-A/ WR3#/BC3#/ EDREQ1-C（注 6）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[WR3#/BC3# 出力時] H [上記以外] Keep-O	[WR3#/BC3# 出力時] Hi-Z [上記以外] Keep-O			
P60/CS0#-A （注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS# 出力時] H [上記以外] Keep-O	[CS# 出力時] Hi-Z [上記以外] Keep-O			
P61/CS1#-A/ SDCS#（注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS 出力時] H [SDCS# 出力時] SDCS# 出力保持 [上記以外] Keep-O	[CS 出力時] Hi-Z [SDCS# 出力時] Hi-Z [上記以外] Keep-O			
P62/CS2#-A/ RAS#（注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS# 出力時] H [RAS# 出力時] RAS# 出力保持 [上記以外] Keep-O	[CS# 出力時] Hi-Z [RAS# 出力時] Hi-Z [上記以外] Keep-O			
P63/CS3#-A/ CAS#（注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS# 出力時] H [CAS# 出力時] CAS# 出力保持 [上記以外] Keep-O	[CS# 出力時] Hi-Z [CAS# 出力時] Hi-Z [上記以外] Keep-O			
P64/CS4#-A/ WE#（注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS# 出力時] H [WE# 出力時] WE# 出力保持 [上記以外] Keep-O	[CS# 出力時] Hi-Z [WE# 出力時] Hi-Z [上記以外] Keep-O			

表1.1　　各動作モードにおけるポートの状態 (3 / 4)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 （起動モードに戻る）	
			OPE＝1	OPE＝0		IOKEEP＝1 （注1）	IOKEEP＝0
P65/CS5#-A/ CKE（注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS# 出力時] H [CKE 出力時] CKE 出力保持 [上記以外] Keep-O	[CS# 出力時] Hi-Z [CKE 出力時] Hi-Z [上記以外] Keep-O			
P66/CS6#-A/ DQM0（注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS# 出力時] H [DQM0 出力時] DQM0 出力保持 [上記以外] Keep-O	[CS# 出力時] Hi-Z [DQM0 出力時] Hi-Z [上記以外] Keep-O			
P67/CS7#-A/ DQM1（注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS# 出力時] H [DQM1 出力時] DQM1 出力保持 [上記以外] Keep-O	[CS# 出力時] Hi-Z [DQM1 出力時] Hi-Z [上記以外] Keep-O			
P70/SDCLK （注 7）	全モード	Hi-Z	[クロック出力時] H [上記以外] Keep-O		Keep	Keep	Hi-Z
P71 ～ P77（注 7）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[CS# 出力時] H [上記以外] Keep-O	[CS# 出力時] Hi-Z [上記以外] Keep-O			
P80 ～ P83（注 7） P84 ～ P85（注 6）	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
P90 ～ P93（注 7） P94 ～ P97（注 6）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 モード (EXBE ＝ 1)		[アドレス出力時] アドレス出力保持 [データ入出力時] Hi-Z [上記以外] Keep-O	[アドレス出力時] Hi-Z [データ入出力時] Hi-Z [上記以外] Keep-O			
ポート A	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
ポート B	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			

表1.1　各動作モードにおけるポートの状態 (4 / 4)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 （起動モードに戻る）	
			OPE＝1	OPE＝0		IOKEEP＝1 （注1）	IOKEEP＝0
PC0 ～ PC3	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] Hi-Z [上記以外] Keep-O			
PC4 ～ PC7（注 9）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[アドレス出力時] アドレス出力保持 [CS# 出力時] H [上記以外] Keep-O	[アドレス出力時] Hi-Z [CS# 出力時] Hi-Z [上記以外] Keep-O			
ポート D	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		Hi-Z				
PE0 ～ PE4（注 9）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[データ入出力時] Hi-Z [上記以外] Keep-O				
PE5 ～ PE7（注 9）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O（注 2）		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[データ入出力時] Hi-Z [上記以外] Keep-O（注 2）				
PF0/ TxD1-B（注 6）	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PF1/SCK1-B （注 6）	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PF2/RxD1-B （注 6）	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PF3（注 6）	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
PF4（注 6）	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
ポート G（注 6）	シングルチップモード (EXBE ＝ 0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張 (EXBE ＝ 1)		[データ入出力時] Hi-Z [上記以外] Keep-O				
WDTOVF（注 7）	全モード	WDTOVF 出力	H		H	H	
USB0_DM	全モード	Hi-Z	Keep-O（注 4）		Hi-Z（注 5）	Hi-Z	
USB0_DP	全モード	Hi-Z	Keep-O（注 4）		Hi-Z（注 5）	Hi-Z	
USB1_DM	全モード	Hi-Z	Keep-O（注 4）		Hi-Z（注 5）	Hi-Z	
USB1_DP	全モード	Hi-Z	Keep-O（注 4）		Hi-Z（注 5）	Hi-Z	

【記号説明】
H：High
L：Low
Keep-O：出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス
Keep：ソフトウェアスタンバイでの端子状態を保持
Hi-Z：ハイインピーダンス

注1.　DPSBYCR.IOKEEPビットを“0”にクリアするまで、I/Oポートの状態を保持します。
注2.　外部割込み端子として使用時は、ソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。
注3.　ディープソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。
注4.　入力端子として使用時は入力可能です。
注5.　ディープソフトウェアスタンバイ解除要因として設定されている場合、入力可能です。
注6.　145ピンTFLGA、144ピンLQFP、100ピンLQFP、85ピンTFLGAパッケージには、本端子はありません。
注7.　100ピンLQFP、85ピンTFLGAパッケージには、本端子はありません。
注8.　100ピンLQFPパッケージには、本端子はありません。
注9.　85ピンTFLGAパッケージには、本端子はありません。

表1.2　POE機能による制御でポートの状態がハイインピーダンスになる条件 [176ピンLFBGA／145ピンTFLGA／144ピンLQFP] (1 / 2)

ポート名 端子名	ソフトウエアによる レジスタ設定での制御	POEn#端子による 制御（n=0～9）	相補PWM出力端子の 出力レベル比較判定	発振停止検出による制御
P15/MTIOC0B	POECR1.PE1ZE=1 かつ SPOER.CH0HIZ=1 の時	POECR1.PE1ZE=1 かつ ICSR3.POE8F=1 かつ ICSR3.POE8E=1 の時	—	POECR1.PE1ZE=1 かつ NMISR.OSTST=1 の時
P22/MTIOC3B-A	POECR2.P1CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P1CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P1CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P1CZEA=1 かつ NMISR.OSTST=1 の時
P23/MTIOC3D-A	POECR2.P1CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P1CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P1CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P1CZEA=1 かつ NMISR.OSTST=1 の時
P24/MTIOC4A-A	POECR2.P2CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P2CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P2CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P2CZEA=1 かつ NMISR.OSTST=1 の時
P25/MTIOC4C-A	POECR2.P2CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P2CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P2CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P2CZEA=1 かつ NMISR.OSTST=1 の時
P30/MTIOC4B-A	POECR2.P3CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P3CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P3CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P3CZEA=1 かつ NMISR.OSTST=1 の時
P31/MTIOC4D-A	POECR2.P3CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P3CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P3CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P3CZEA=1 かつ NMISR.OSTST=1 の時
P32/MTIOC0C	POECR1.PE2ZE=1 かつ SPOER.CH0HIZ=1 の時	POECR1.PE2ZE=1 かつ ICSR3.POE8F=1 かつ ICSR3.POE8E=1 の時	—	POECR1.PE2ZE=1 かつ NMISR.OSTST=1 の時
P33/MTIOC0D	POECR1.PE3ZE=1 かつ SPOER.CH0HIZ=1 の時	POECR1.PE3ZE=1 かつ ICSR3.POE8F=1 かつ ICSR3.POE8E=1 の時	—	POECR1.PE3ZE=1 かつ NMISR.OSTST=1 の時
P34/MTIOC0A	POECR1.PE0ZE=1 かつ SPOER.CH0HIZ=1 の時	POECR1.PE0ZE=1 かつ ICSR3.POE8F=1 かつ ICSR3.POE8E=1 の時	—	POECR1.PE0ZE=1 かつ NMISR.OSTST=1 の時
P54/MTIOC4B-B	POECR2.P3CZEB=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P3CZEB=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P3CZEB=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P3CZEB=1 かつ NMISR.OSTST=1 の時
P55/MTIOC4D-B	POECR2.P3CZEB=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P3CZEB=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P3CZEB=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P3CZEB=1 かつ NMISR.OSTST=1 の時
P80/MTIOC3B-B	POECR2.P1CZEB=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P1CZEB=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P1CZEB=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P1CZEB=1 かつ NMISR.OSTST=1 の時
P81/MTIOC3D-B	POECR2.P1CZEB=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P1CZEB=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P1CZEB=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P1CZEB=1 かつ NMISR.OSTST=1 の時
P82/MTIOC4A-B	POECR2.P2CZEB=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P2CZEB=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P2CZEB=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P2CZEB=1 かつ NMISR.OSTST=1 の時
P83/MTIOC4C-B	POECR2.P2CZEB=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P2CZEB=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P2CZEB=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P2CZEB=1 かつ NMISR.OSTST=1 の時
PA0/MTIOC6A	POECR1.PE4ZE=1 かつ SPOER.CH6HIZ=1 の時	POECR1.PE4ZE=1 かつ ICSR4.POE9F=1 かつ ICSR4.POE9E=1 の時	—	POECR1.PE4ZE=1 かつ NMISR.OSTST=1 の時
PA1/MTIOC6B	POECR1.PE5ZE=1 かつ SPOER.CH6HIZ=1 の時	POECR1.PE5ZE=1 かつ ICSR4.POE9F=1 かつ ICSR4.POE9E=1 の時	—	POECR1.PE5ZE=1 かつ NMISR.OSTST=1 の時
PA2/MTIOC6C	POECR1.PE6ZE=1 かつ SPOER.CH6HIZ=1 の時	POECR1.PE6ZE=1 かつ ICSR4.POE9F=1 かつ ICSR4.POE9E=1 の時	—	POECR1.PE6ZE=1 かつ NMISR.OSTST=1 の時

表1.2　POE機能による制御でポートの状態がハイインピーダンスになる条件 [176ピンLFBGA／145ピンTFLGA／144ピンLQFP] (2 / 2)

ポート名 端子名	ソフトウエアによる レジスタ設定での制御	POEn#端子による 制御（n=0～9）	相補PWM出力端子の 出力レベル比較判定	発振停止検出による制御
PA3/MTIOC6D	POECR1.PE7ZE=1 かつ SPOER.CH6HIZ=1 の時	POECR1.PE7ZE=1 かつ ICSR4.POE9F=1 かつ ICSR4.POE9E=1 の時	—	POECR1.PE7ZE=1 かつ NMISR.OSTST=1 の時
PB2/MTIOC9B	POECR2.P4CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P4CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P4CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P4CZE=1 かつ NMISR.OSTST=1 の時
PB3/MTIOC9D	POECR2.P4CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P4CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P4CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P4CZE=1 かつ NMISR.OSTST=1 の時
PB4/MTIOC10A	POECR2.P5CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P5CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P5CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P5CZE=1 かつ NMISR.OSTST=1 の時
PB5/MTIOC10C	POECR2.P5CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P5CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P5CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P5CZE=1 かつ NMISR.OSTST=1 の時
PB6/MTIOC10B	POECR2.P6CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P6CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P6CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P6CZE=1 かつ NMISR.OSTST=1 の時
PB7/MTIOC10D	POECR2.P6CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P6CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P6CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P6CZE=1 かつ NMISR.OSTST=1 の時

表1.3　　POE機能による制御でポートの状態がハイインピーダンスになる条件 [100ピンLQFP] (1 / 2)

ポート名 端子名	ソフトウエアによる レジスタ設定での制御	POEn#端子による 制御（n=0～9）	相補PWM出力端子の 出力レベル比較判定	発振停止検出による制御
P13/MTIOC0B	POECR1.PE1ZE=1 かつ SPOER.CH0HIZ=1 の時	POECR1.PE1ZE=1 かつ ICSR3.POE8F=1 かつ ICSR3.POE8E=1 の時	—	POECR1.PE1ZE=1 かつ NMISR.OSTST=1 の時
P22/MTIOC3B	POECR2.P1CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P1CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P1CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P1CZEA=1 かつ NMISR.OSTST=1 の時
P23/MTIOC3D	POECR2.P1CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P1CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P1CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P1CZEA=1 かつ NMISR.OSTST=1 の時
P24/MTIOC4A	POECR2.P2CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P2CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P2CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P2CZEA=1 かつ NMISR.OSTST=1 の時
P25/MTIOC4C	POECR2.P2CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P2CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P2CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P2CZEA=1 かつ NMISR.OSTST=1 の時
P30/MTIOC4B-A	POECR2.P3CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P3CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P3CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P3CZEA=1 かつ NMISR.OSTST=1 の時
P31/MTIOC4D-A	POECR2.P3CZEA=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P3CZEA=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P3CZEA=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P3CZEA=1 かつ NMISR.OSTST=1 の時
P32/MTIOC0C	POECR1.PE2ZE=1 かつ SPOER.CH0HIZ=1 の時	POECR1.PE2ZE=1 かつ ICSR3.POE8F=1 かつ ICSR3.POE8E=1 の時	—	POECR1.PE2ZE=1 かつ NMISR.OSTST=1 の時
P33/MTIOC0D	POECR1.PE3ZE=1 かつ SPOER.CH0HIZ=1 の時	POECR1.PE3ZE=1 かつ ICSR3.POE8F=1 かつ ICSR3.POE8E=1 の時	—	POECR1.PE3ZE=1 かつ NMISR.OSTST=1 の時
P34/MTIOC0A	POECR1.PE0ZE=1 かつ SPOER.CH0HIZ=1 の時	POECR1.PE0ZE=1 かつ ICSR3.POE8F=1 かつ ICSR3.POE8E=1 の時	—	POECR1.PE0ZE=1 かつ NMISR.OSTST=1 の時
P54/MTIOC4B-B	POECR2.P3CZEB=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P3CZEB=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P3CZEB=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P3CZEB=1 かつ NMISR.OSTST=1 の時
P55/MTIOC4D-B	POECR2.P3CZEB=1 かつ SPOER.CH34HIZ=1 の時	POECR2.P3CZEB=1 かつ ICSR1 の POE0F、POE1F、POE2F、 又は POE3F が =1 の時	POECR2.P3CZEB=1 かつ OCSR1.OSF1=1 かつ OCSR1.OCE1=1 の時	POECR2.P3CZEB=1 かつ NMISR.OSTST=1 の時
PA0/MTIOC6A	POECR1.PE4ZE=1 かつ SPOER.CH6HIZ=1 の時	POECR1.PE4ZE=1 かつ ICSR4.POE9F=1 かつ ICSR4.POE9E=1 の時	—	POECR1.PE4ZE=1 かつ NMISR.OSTST=1 の時
PA1/MTIOC6B	POECR1.PE5ZE=1 かつ SPOER.CH6HIZ=1 の時	POECR1.PE5ZE=1 かつ ICSR4.POE9F=1 かつ ICSR4.POE9E=1 の時	—	POECR1.PE5ZE=1 かつ NMISR.OSTST=1 の時
PA2/MTIOC6C	POECR1.PE6ZE=1 かつ SPOER.CH6HIZ=1 の時	POECR1.PE6ZE=1 かつ ICSR4.POE9F=1 かつ ICSR4.POE9E=1 の時	—	POECR1.PE6ZE=1 かつ NMISR.OSTST=1 の時
PA3/MTIOC6D	POECR1.PE7ZE=1 かつ SPOER.CH6HIZ=1 の時	POECR1.PE7ZE=1 かつ ICSR4.POE9F=1 かつ ICSR4.POE9E=1 の時	—	POECR1.PE7ZE=1 かつ NMISR.OSTST=1 の時
PB2/MTIOC9B	POECR2.P4CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P4CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P4CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P4CZE=1 かつ NMISR.OSTST=1 の時
PB3/MTIOC9D	POECR2.P4CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P4CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P4CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P4CZE=1 かつ NMISR.OSTST=1 の時
PB4/MTIOC10A	POECR2.P5CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P5CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P5CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P5CZE=1 かつ NMISR.OSTST=1 の時

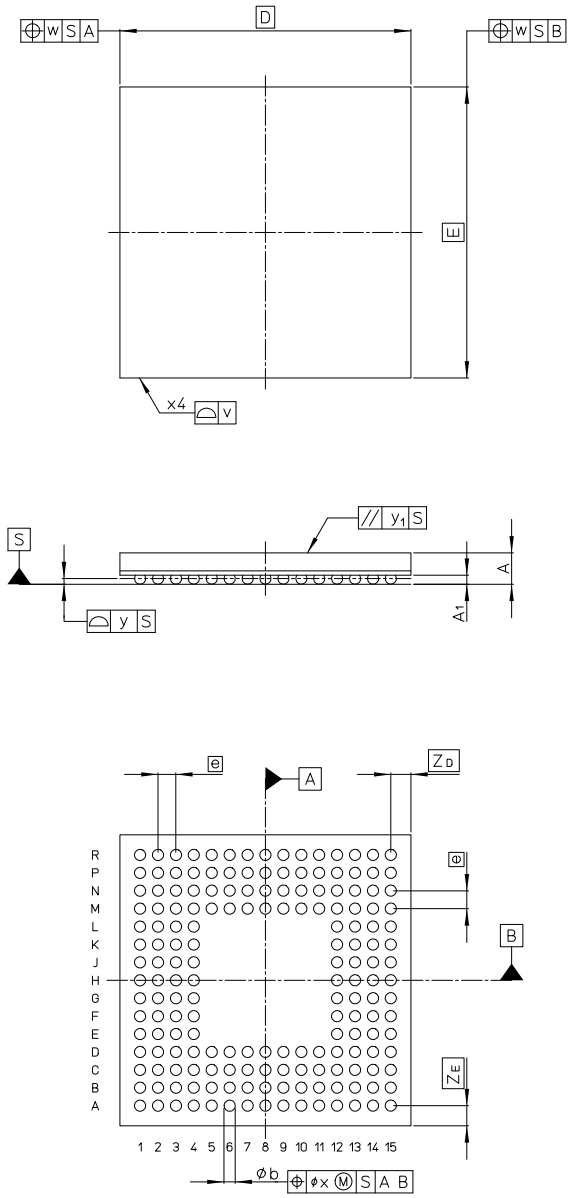
表1.3　POE機能による制御でポートの状態がハイインピーダンスになる条件 [100ピンLQFP] (2 / 2)

ポート名 端子名	ソフトウエアによる レジスタ設定での制御	POEn#端子による 制御（n=0～9）	相補PWM出力端子の 出力レベル比較判定	発振停止検出による制御
PB5/MTIOC10C	POECR2.P5CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P5CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P5CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P5CZE=1 かつ NMISR.OSTST=1 の時
PB6/MTIOC10B	POECR2.P6CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P6CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P6CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P6CZE=1 かつ NMISR.OSTST=1 の時
PB7/MTIOC10D	POECR2.P6CZE=1 かつ SPOER.CH910HIZ=1 の時	POECR2.P6CZE=1 かつ ICSR2 の POE4F、POE5F、POE6F、 又は POE7F が =1 の時	POECR2.P6CZE=1 かつ OCSR2.OSF2=1 かつ OCSR2.OCE2=1 の時	POECR2.P6CZE=1 かつ NMISR.OSTST=1 の時

付録 2.　外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

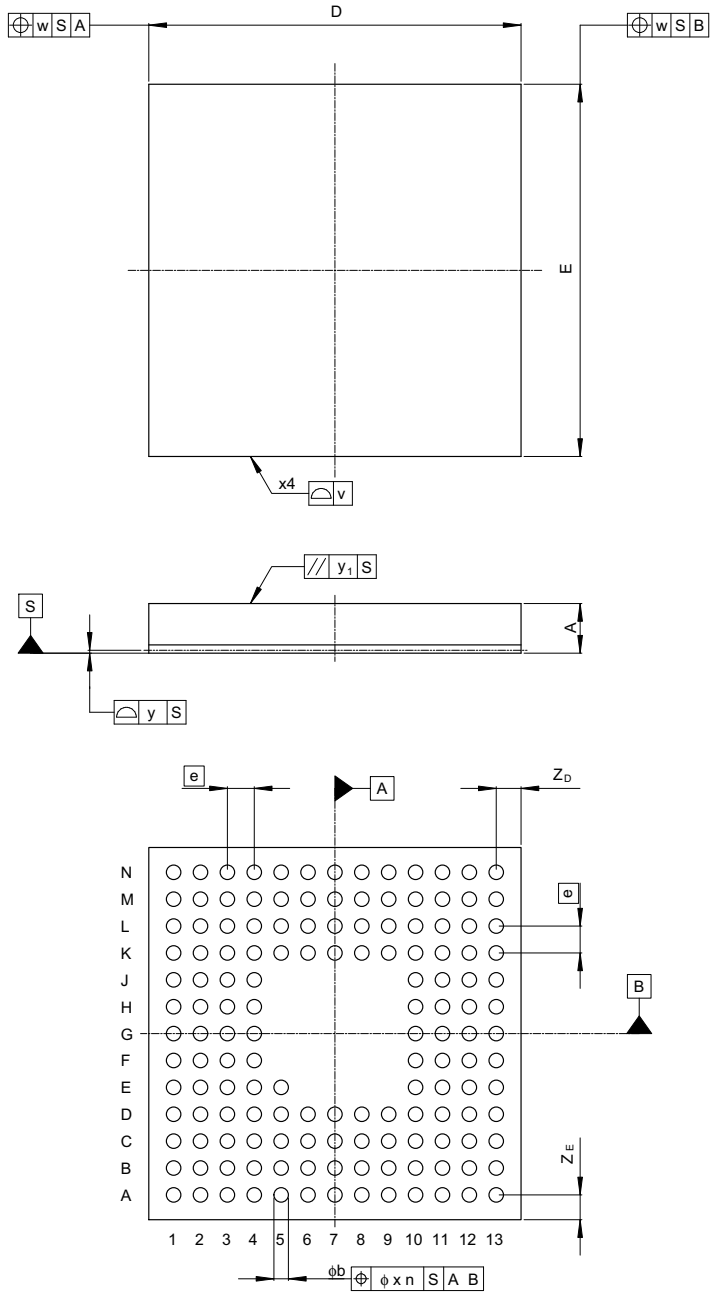
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFBGA176-13x13-0.80	PLBG0176GA-A	BP-176/BP-176V	0.45g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	13.0	—
E	—	13.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.40
A_1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x	—	—	0.08
y	—	—	0.10
y_1	—	—	0.2
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.90	—
Z_E	—	0.90	—

図 A.　　176 ピン LFBGA（PLBG0176GA-A）外形寸法図

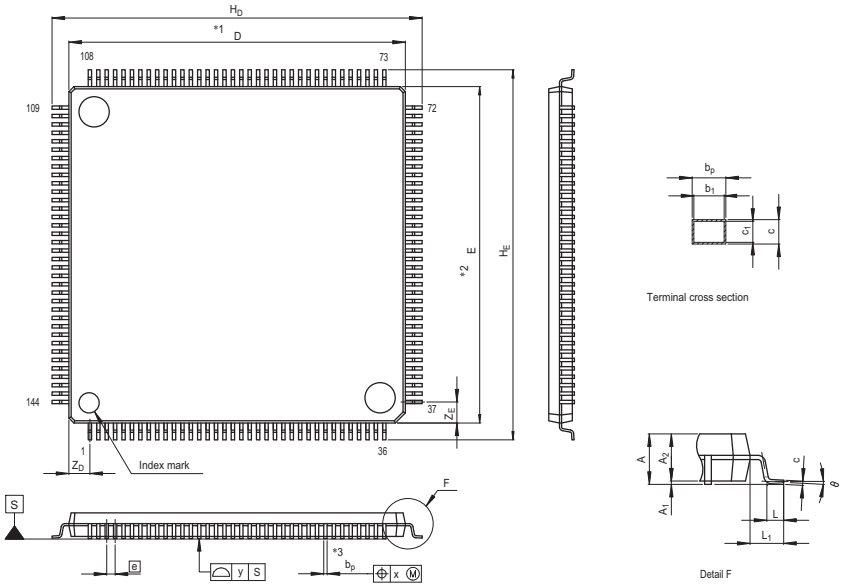
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA145-9x9-0.65	PTLG0145JB-A	-	0.15g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	9.0	—
E	—	9.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.2
A_1	—	—	—
e	—	0.65	—
b	0.30	0.35	0.40
x	—	—	0.08
y	—	—	0.1
y_1	—	—	0.20
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.6	—
Z_E	—	0.6	—

図 B.　　145 ピン TFLGA（PTLG0145JB-A）外形寸法図

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP144-20x20-0.50	PLQP0144KA-A	144P6Q-A / FP-144L / FP-144LV	1.2g

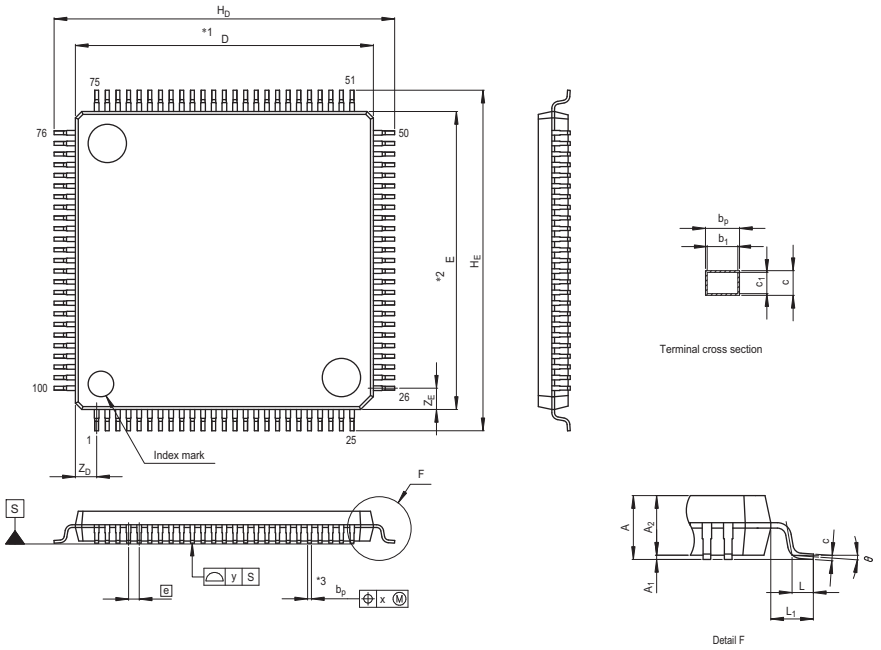


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.17	0.22	0.27
b_1	—	0.20	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 C.　　144 ピン LQFP（PLQP0144KA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g

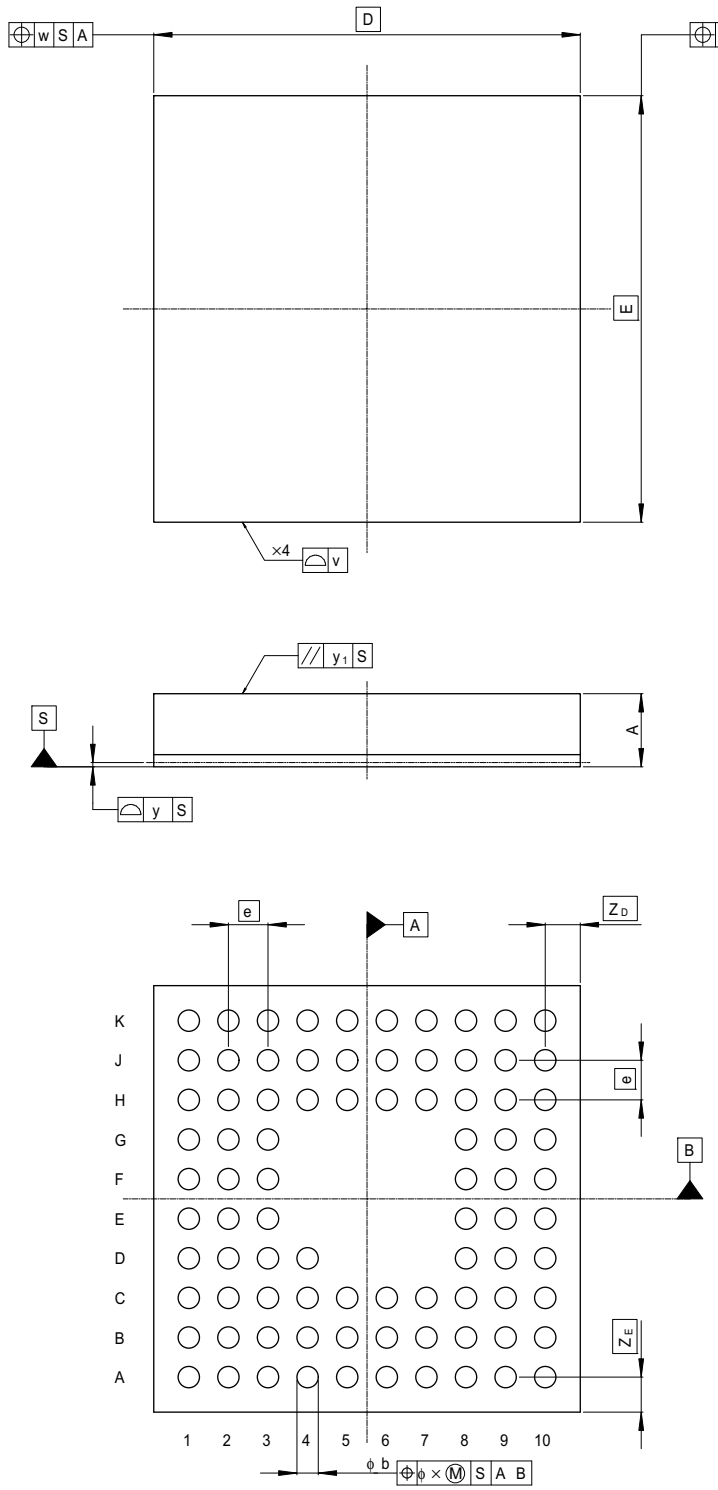


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 D.　　100 ピン LQFP（PLQP0100KB-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA85-7x7-0.65	PTLG0085JA-A	TLP-85V	0.1g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	7.0	—
E	—	7.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.20
A_1	—	—	—
e	—	0.65	—
b	0.30	0.35	0.40
x	—	—	0.08
y	—	—	0.10
y_1	—	—	0.2
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.575	—
Z_E	—	0.575	—

図 E.　85 ピン TFLGA（PTLG0085JA-A）

改訂記録	RX62N グループ、RX621 グループ　ユーザーズマニュアル　ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2010.2.18	－	初版発行
下線部の改訂内容は、追加の使用上の注意事項です。			
1.00	2010.8.17	全頁	モジュール名変更 A/D 変換器、D/A 変換器 ⇒ A/D コンバータ、D/A コンバータ
		全頁	予約ビットの記述変更 詳細は「このマニュアルの使い方」の 2. レジスタの表記を参照してください
		全頁	サブクロック発振回路の入出力端子名変更　OSC1、OSC2 ⇒ XCOUT、XCIN
		全頁	オンチップエミュレータ端子名変更　TRSYNC# ⇒ TRSYNC
			1. 概要
		42	1.1 特長　説明文変更
		42	1.1.1 用途　説明変更
		44	表 1.1 仕様概要（2/4）マルチファンクションタイマパルスユニット　説明変更
		45	表 1.1 仕様概要（3/4）8 ビットタイマ　説明変更
		46	表 1.1 仕様概要（4/4）　電源電圧および動作周囲温度の変更、消費電流の項目削除
		47	表 1.2 RX62N グループ、RX621 グループ機能比較表　注記変更
		－	表 1.3 製品一覧表（通常仕様品）　削除
		48	表 1.3 製品一覧表　タイトル名変更
		52	図 1.4 145 ピン TFLGA ピン配置図　追加
		57	図 1.9 85 ピン TFLGA ピン配置図　追加
		58	表 1.5 機能別端子一覧（176 ピン LFBGA）(1 / 6)　変更
		59	表 1.5 機能別端子一覧（176 ピン LFBGA）(2 / 6)　変更
		61	表 1.5 機能別端子一覧（176 ピン LFBGA）(4 / 6)　変更
		62	表 1.5 機能別端子一覧（176 ピン LFBGA）(5 / 6)　変更
		64～68	表 1.6 機能別端子一覧（145 ピン TFLGA）　ピン番号変更
		69	表 1.7 機能別端子一覧（144 ピン LQFP）(1 / 5)　変更
		71	表 1.7 機能別端子一覧（144 ピン LQFP）(3 / 5)　変更
		74	表 1.8 機能別端子一覧（100 ピン LQFP）(1 / 4)　変更
		78～80	表 1.9 機能別端子一覧（85 ピン TFLGA）　ピン番号変更
		81	表 1.10 端子機能一覧 (1 / 6)　クロック、システム制御、オンチップエミュレータ　変更
		82	表 1.10 端子機能一覧 (2 / 6)　割り込み　機能説明変更
		83	表 1.10 端子機能一覧 (3 / 6)　マルチファンクションタイマパルスユニット　端子名変更
			2. CPU
		87	冒頭説明変更
		87	2.1 特長　説明変更
		88	図 2.1 CPU レジスタセットの注 1　変更
		90	2.2.2.2 割り込みテーブルレジスタ（INTB）　説明追記
		90	2.2.2.3 プログラムカウンタ（PC）　リセット後の値　変更
		93	2.2.2.5 バックアップ PC（BPC）　説明変更
		93	2.2.2.6 バックアップ PSW（BPSW）　説明変更
		94～96	2.2.2.8 浮動小数点ステータスワード（FPSW）　ビット表、注 1、ビット説明の変更
		97	2.3 プロセッサモード　説明変更
		97	2.3.4 プロセッサモード間の移行　説明変更
		98	2.4.2 浮動小数点数　説明変更
		100	2.5.1 エンディアンの設定　説明変更
		104、105	2.5.3 I/O レジスタアクセスの注意事項　説明変更
		106	2.6 ベクタテーブル　説明変更
		107	2.6.2 可変ベクタテーブル　説明変更
		108	2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ　説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	111	表2.13 単一マイクロオペレーションに変換される命令　変更
		113	2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理　説明削除
		113	表2.14 複数マイクロオペレーションに変換される命令 (1 / 2)　変更
		―	2.8.2.3 パイプラインの基本動作　説明削除
		117	2.8.2.3 パイプラインの基本動作 (2) パイプライン処理が乱れないケース (b) メモリロードと演算のWB ステージが重なっている場合　説明変更
		118	表2.15 割り込み応答サイクル数　変更
		118	2.8.4 割り込み応答サイクル数　説明変更
			3. MCU動作モード
		119	3.1 動作モードの種類と選択　説明変更
		119	表3.1 モード端子による動作モードの選択　変更
		119	表3.2 レジスタによる動作モードの選択　変更
		121	3.2.1 モードモニタレジスタ（MDMONR）　ビット図、注1、ビット表　変更
		122	3.2.2 モードステータスレジスタ（MDSR）　ビット表、説明　変更
		123	3.2.3 システムコントロールレジスタ0（SYSCR0）　ビット表、説明　変更および説明の削除
		124	3.2.4 システムコントロールレジスタ1（SYSCR1）　ビット表、説明　変更
		125	3.3.1 シングルチップモード　説明変更
		125	3.3.2 内蔵ROM 有効拡張モード　説明変更
		125	3.3.3 内蔵ROM 無効拡張モード　説明変更
		126	3.4 動作モードの移行　タイトル変更
		126	3.4.1 モード端子による動作モードの移行　説明変更
		126	図3.1 MD1、MD0 端子の設定と動作モード　変更
		127	3.4.2 レジスタによる動作モードの移行　説明変更
		127	図3.2 ROMEビット、EXBEビットの設定と動作モード　変更
			4. アドレス空間
		128	図4.1 各動作モードのメモリマップ　変更
			5. I/O レジスタ
		131	(4) I/O レジスタアクセスサイクル数　追加
		132～171	表5.1 I/Oレジスタアドレス一覧　変更、アクセスステート数追記
		171	注記追加
		172～220	表5.2 レジスタビット一覧　変更
		220	注記追加
			6. リセット
		221	表6.1 リセットの名称と要因　変更
		222	図6.1 リセット回路のブロック図　変更
		225	6.3.1 端子リセット　説明変更
		226	6.3.2 パワーオンリセット　説明変更
		227	6.3.3 電圧監視リセット　説明変更
		227	6.3.4 ディープソフトウェアスタンバイリセット　説明変更
		227	6.3.6 ウォッチドッグタイマリセット　説明変更
		228	6.4 リセット発生要因の判定　説明変更
		228	図6.3 リセット発生要因判定フロー例　変更
		228	6.5 使用上の注意事項　追加
			7. 電圧検出回路（LVD）
		231	表7.2 電圧検出回路のレジスター覧　RSTSR レジスタのリセット後の値変更
		232	7.2.2 低電圧検出コントロールレジスタ用キーコードレジスタ（LVDKEYR）　変更
		233	7.2.3 低電圧検出コントロールレジスタ（LVDCR）　変更
		234	表7.3 LVDCR レジスタの設定と電圧検出回路の状態　追加
		235	図7.2 電圧監視リセットのタイミング図1（LVD2 リセット選択／LVD1無効）　変更
		236	図7.3 電圧監視リセットのタイミング図2（LVD2 割り込み選択、LVD1 リセット選択）　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	237	7.3.2 電圧監視割り込み　説明変更
		238	図7.4 電圧監視割り込みのタイミング図（LVD2割り込み選択／LVD1リセット選択）　変更
		239	図7.5 電圧監視割り込みの設定手順例　変更
		240	7.3.3 電圧検出回路によるディープソフトウェアスタンバイモードの解除　説明変更
			8. クロック発生回路
		241	表8.1 クロック発生回路の仕様　変更、注記追加
		242	図8.1 クロック発生回路のブロック図　変更
		242	表8.2 クロック発生回路の入出力端子　変更
		244、245	8.2.1 システムクロックコントロールレジスタ（SCKCR）　ビット表および説明の変更
		246	8.2.2 外部バスクロックコントロールレジスタ（BCKCR）　ビット表および説明の変更
		247	8.2.3 発振停止検出コントロールレジスタ（OSTDCR）　ビット表および説明の変更
		248	8.2.4 サブクロック発振器コントロールレジスタ（SUBOSCCR）　ビット表および説明の変更
		249	8.3 メインクロック発振器　説明変更
		250	8.3.2 外部クロックを入力する方法　説明変更
		250	図8.4 外部クロックの接続例　変更
		251	8.4.1 32.768kHz水晶発振子を接続する方法　説明追加
		251	図8.5　32.768kHz 水晶発振子の接続例　変更
		251	図8.6 水晶発振子の等価回路　変更
		―	表8.6 水晶発振子の特性（参考値）　削除
		251	8.4.2 サブクロックを使用しない場合の端子処理　説明変更
		251	図8.7 サブクロックを使用しない場合の端子処理　変更
		253	8.9 分周器　説明変更
		253	8.10 内部クロック　説明変更
		253	8.10.1 システムクロック（ICLK）　説明変更
		253	8.10.2 周辺モジュールクロック（PCLK）　説明変更
		253	8.10.3 外部バスクロック（BCLK）　説明変更
		254	8.10.4 SDRAM クロック（SDCLK）　説明変更
		254	8.10.6 RTC 専用クロック（SUBCLK）　説明変更
		255	8.11.1 発振停止検出と検出後の動作　説明変更
		257	8.12.1 クロック発生回路に関する注意事項　説明変更
		258	8.12.3 ボード設計上の注意　説明変更
			9. 消費電力低減機能
		259	表9.1 消費電力低減機能の仕様　変更
		260	表9.2 各モードにおける移行および解除方法と動作状態　変更
		262	表9.3 消費電力低減機能関連のレジスター覧　モジュールストップコントロールレジスタA　変更
		263、264	9.2.1 スタンバイコントロールレジスタ（SBYCR）　ビット表および説明の変更
		265、266	9.2.2 モジュールストップコントロールレジスタA（MSTPCRA）　ビット表および説明の変更
		267、268	9.2.3 モジュールストップコントロールレジスタB（MSTPCRB）　ビット表および説明の変更
		269	9.2.4 モジュールストップコントロールレジスタC（MSTPCRC）　ビット表および説明の変更
		270、271	9.2.5 ディープスタンバイコントロールレジスタ（DPSBYCR）　ビット表および説明の変更
		272	9.2.6 ディープスタンバイウェイトコントロールレジスタ（DPSWCR）　ビット表および説明の変更
		273	9.2.7 ディープスタンバイインタラプトイネーブルレジスタ（DPSIER）　ビット説明の変更
		274	9.2.8 ディープスタンバイインタラプトフラグレジスタ（DPSIFR）　注および説明の変更
		276	9.2.9 ディープスタンバイインタラプトエッジレジスタ（DPSIEGR）　説明変更
		277、278	9.2.10 リセットステータスレジスタ（RSTSR）　ビット表、注記、説明の変更
		279	9.2.11 ディープスタンバイバックアップレジスタ（DPSBKRy）（y = 0 ～ 31） ビット図および説明変更
		280	9.4 モジュールストップ機能　変更
		281	9.5.1.1 スリープモードへの移行　タイトルおよび説明変更
		281	9.5.1.2 スリープモードの解除　変更
		282	9.5.2.1 全モジュールクロックストップモードへの移行　タイトルおよび説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	282	9.5.2.2 全モジュールクロックストップモードの解除　変更
		283	9.5.3.1 ソフトウェアスタンバイモードへの移行　タイトルおよび説明変更
		284	9.5.3.2 ソフトウェアスタンバイモードの解除　変更
		286	9.5.3.4 ソフトウェアスタンバイモードの応用例　変更
		287	9.5.4.1 ディープソフトウェアスタンバイモードへの移行　変更
		287	9.5.4.2 ディープソフトウェアスタンバイモードの解除　変更
		289	9.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態　変更
		293	図9.4 ディープソフトウェアスタンバイモードのフローチャート例　変更
		294	9.6 BCLK、SDCLK 出力制御　変更
		294	表9.6 各低消費電力状態おけるBCLK端子（P53）の状態　タイトル変更
		294	表9.7 各低消費電力状態におけるSDCLK端子（P70）の状態　タイトル変更
		295	9.7.1 I/O ポートの状態　変更
		295	9.7.2 DMACA、DTC、EXDMAC、およびEDMAC のモジュールストップ　変更
		295	9.7.3 内蔵周辺モジュールの割り込み　変更
		295	9.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み　説明、タイトル変更
		295	9.7.5 DIRQnE ビット(n =3 ～ 0) による入力バッファ制御　説明、タイトル変更
		295	9.7.6 ディープソフトウェアスタンバイモードの移行と割り込みの競合　説明、タイトル変更
		295	9.7.7 WAIT 命令の実行タイミング　変更
			10. 例外処理
		296	10.1 例外事象　変更
		296	図10.1 例外事象の種類　タイトル変更
		297	10.1.1 未定義命令例外　変更
		297	10.1.2 特権命令例外　変更
		297	10.1.4 リセット　変更
		297	10.1.5 ノンマスカブル割り込み　変更
		297	10.1.6 割り込み　変更
		298、299	10.2 例外の処理手順　説明変更
		298	図10.2 例外処理手順の概要　変更
		300	10.3 例外事象の受け付け　説明変更
		300	表10.1 受け付けタイミングと保存されるPC値　変更
		300	10.3.2 ベクタとPC、PSW の退避場　説明変更
		300	表10.2 ベクタとPC、PSWの退避場所　タイトルおよび表変更
		301	10.4 例外の受け付け／復帰時のハードウェア処理　説明変更
		302	10.5 ハードウェア前処理　変更
		302	10.5.1 未定義命令例外(2)、(5)　変更
		302	10.5.2 特権命令例外(2)、(5)　変更
		303	10.5.5 ノンマスカブル割り込み(2)、(3)、(4)、(6)　変更
		303	10.5.6 割り込み(2)～(6)　変更
		303	10.5.7 無条件トラップ(5)　変更
		304	10.6 例外処理ルーチンからの復帰　変更
		304	表10.3 例外処理ルーチンからの復帰命令　変更
			11. 割り込みコントローラ（ICUa）
		305	表11.1 割り込みコントローラの仕様　変更
		306	図11.1 割り込みコントローラのブロック図　変更
		311	表11.3 割り込みコントローラのレジスター覧 (5 / 10)　変更
		317	11.2.1 割り込み要求レジスタi（IRi）（ i = 割り込みベクタ番号） ビット表、**注記変更**
		317	**(1)エッジ検出の場合【“1”になる条件】　説明追加**
		319	11.2.3 割り込み要因プライオリティレジスタm（IPRm）（m= 00h~8Fh） ビット表および説明変更
		320	11.2.4 高速割り込み設定レジスタ（FIR）　ビット表および説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	321	11.2.5 ソフトウェア割り込み起動レジスタ（SWINTR）　ビット表および説明変更
		322	11.2.6 DTC起動許可レジスタn（DTCERn）（n = 割り込みベクタ番号） ビット図、ビット表、説明変更
		323	11.2.7 DMACA起動要因選択レジスタn（DMRSRn）（n = DMACA チャネル番号） 説明変更
		324	11.2.8 IRQ コントロールレジスタn（IRQCRn）（n =0 ～ 15）　変更
		325	11.2.9 ノンマスカブル割り込みステータスレジスタ（NMISR）　変更
		326	11.2.10 ノンマスカブル割り込み許可レジスタ（NMIER）　変更
		327	11.2.11 ノンマスカブル割り込みクリアレジスタ（NMICLR）　変更
		328	11.2.12 NMI 端子割り込みコントロールレジスタ（NMICR）　変更
		329	11.3.1 割り込みのベクタテーブル　変更
		329～334	表11.4 割り込みのベクタテーブル　変更
		334	11.3.2 高速割り込みのベクタテーブル　変更
		335、336	11.4.1.1 エッジ検出の割り込みステータスフラグ　変更
		335	図11.2 エッジ検出のIRn.IR フラグの動作　変更
		336	図11.3 IRn.IR フラグの再セットのタイミング　変更
		336	図11.4 割り込み要求の禁止とIRn.IR フラグの関係　変更
		336	**11.4.1.2 レベル検出の割り込みステータスフラグ　変更**
		336	図11.5 レベル検出時のIRn.IR フラグの動作　変更
		337	**図11.6 レベル検出時割り込みの処理手順　追加**
		337	11.4.2 割り込み要求の許可／禁止　変更
		338	11.4.3 割り込み要求先の選択(1) DMACA起動、(2) DTC起動　変更
		339	表11.5 DMACA/DTC起動時の動作　内容変更、**注記追加**
		340	11.4.5 高速割り込み　変更
		341	11.5 ノンマスカブル割り込みの動作説明　変更
		343	**11.7 使用上の注意事項　項目追加**
		343	**11.7.1 DTC/DMACA転送を使用した通信動作の注意事項　追加**
		343	**（1）DTC/DMACA転送を使用した通信動作の転送要求消失条件　追加**
		343	**表11.6 注意が必要なDTC/DMACA機能の組み合わせ　追加**
		343	**（2）DMACAをDISEL=0、受信で使用する場合　追加**
		343	**（3）DMACAをDISEL=1で使用する場合　追加**
		344	**（4）DTCをDISEL=1で使用する場合　追加**
		344	**（5）ソフトウェア回避策（SCI、RIIC、RSPI）のフローチャート　追加**
		345	**（6）ソフトウェア回避策（USB）のフローチャート　追加**
			12. バス
		347	図12.1 バスの構成図　変更
		348	表12.2 バス種類別アドレス対応表　変更
		349	12.2.1 CPU バス　変更
		350	12.2.3 内部メインバス　変更
		350	表12.3 バスマスタ優先順位　変更
		350	表12.4 内部周辺バスに接続される周辺機能　変更
		351	12.2.5 外部バス　変更
		352	表12.6 外部バスの入出力端子　表および注の変更
		353	12.2.6 並列動作　変更
		353	図12.2 並列動作の例　変更
		353	12.2.7 制約事項　追加
		359、360	12.3.3 CSn モードレジスタ（CSnMOD）（n = 0 ～ 7）　ビット表、説明、注の変更
		359	表12.9 ライトアクセスモードの制御信号　変更
		362、363	12.3.4 CSn ウェイト制御レジスタ1（CSnWCR1）（n = 0 ～ 7）　変更
		365、366	12.3.5 CSn ウェイト制御レジスタ2（CSnWCR2）（n = 0 ～ 7）　変更
		369	12.3.8 SDRAM アクセスモードレジスタ（SDAMOD）　注記変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	374	12.3.12 SDRAM 初期化シーケンス制御レジスタ（SDICR）　変更
		378	12.3.15 SDRAM タイミングレジスタ（SDTR）　説明変更
		380	12.3.16 SDRAM モードレジスタ（SDMOD）　説明および注記変更
		382	12.3.17 SDRAM ステータスレジスタ（SDSR）　説明変更
		385	12.4.1 CS 領域のデータアライメント制御 (1) 32 ビットバス空間　説明の削除および変更
		386	(2) 16 ビットバス空間　説明の削除および変更
		389	(3) 8 ビットバス空間　説明の削除および変更
		391	12.4.2 SDRAM領域のデータアライメント制御(1) 32 ビットバス空間　説明の削除
		393	12.4.2 SDRAM領域のデータアライメント制御(2) 16 ビットバス空間　説明変更
		396	図12.13　8ビットバス空間のデータアライメント（リトルエンディアン）　変更
		399	12.5.1 CS 領域のタイミング　説明変更
		403	図12.19 ノーマルリードアクセスの動作例（1 転送要求に対して2 回バスアクセスが発生する場合） 変更
		405	図12.22 ノーマルライトアクセスの動作例 （32 ビットバス空間に対して16 ビットアクセスした場合：バイトストローブモード時）　変更
		406	図12.23 ノーマルライトアクセスの動作例 （32 ビットバス空間に対して32 ビットアクセスした場合：1 ライトストローブモード時）　変更
		409	(2) ページアクセス　説明変更
		410	図12.30ページライトアクセスタイミング　変更
		412	図12.32ページライトアクセスの動作例 （16ビットバス空間に対して32 ビットアクセスした場合：1 ライトストローブモード時） 変更
		413	図12.33 ページリードアクセスの動作例 （BCLK端子出力: BCLK = 1 : 2、1 転送要求に対して2回バスアクセスが発生する場合） 変更
		414	図12.34 ページライトアクセスの動作例 （BCLK端子出力：BCLK = 1 : 2、1転送要求に対して2回バスアクセスが発生する場合：1ライトストローブモード時）　変更
		416	12.5.4 リカバリサイクルの挿入　変更
		417	12.5.5 ライトバッファ機能　説明変更
		418	表12.11 ノーマル／ページアクセス時の制約事項　変更
		418	12.5.6 制約事項(3) A0 端子とBC0# 端子を兼用している場合の制約事項　説明変更
		419	(5) アドレス空間の複数エリアにまたがるアクセスの禁止　説明変更
		420	12.6.3　リカバリサイクルの挿入　変更
		420	図12.39 リカバリサイクルの動作例（SDRAM アクセス時）　変更
		422	表12.15 レジスタの書き換え条件　注の変更
		423	12.6.7 セルフリフレッシュ　説明変更
		423	（1）全モジュールクロックストップモードでのセルフリフレッシュ　説明変更
		424	（2）ソフトウェアスタンバイモードでのセルフリフレッシュ　説明変更
		424	（3）ディープソフトウェアスタンバイモードでのセルフリフレッシュ　説明変更
		426	12.6.8 オートリフレッシュ　説明変更
		428	図12.46 初期化シーケンスタイミング例　変更
		429	12.6.10 リード／ライトアクセス(1) シングルアクセス　説明変更
		430	図12.48 シングルリードタイミング例（EXDMAC のクラスタ転送、またはシングルアドレスモードブロック転送、SDAMOD.BE = 0、SDTR.CL[2:0] = 010b：2 サイクルの場合） タイトルおよび図の変更
		431	図12.50 連続リードタイミング例（SDAMOD.BE = 1、SDTR.CL[2:0] = 010b：2 サイクルの場合） タイトル変更
		431	図12.51 連続ライトタイミング例（SDAMOD.BE = 1、最短タイミング設定時）　タイトル変更
		431	図12.52 連続ライトタイミング例（SDAMOD.BE = 1、最短タイミング設定時）／ロウアドレスまたぎ　タイトル変更
		433	図12.54 SDRAMC の設定手順　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	434	図12.55 セルフリフレッシュモードへの移行／復帰手順　変更
		435	図12.56 ディープソフトウェアスタンバイモードでのセルフリフレッシュモード移行／復帰手順　変更
		436	12.6.12.3 タイミングレジスタ設定値とアクセスタイミング(1) シングルリードタイミング設定例　説明変更
		436	表12.16 SDTRレジスタ設定値対応表（シングルリードタイミング）　変更
		437	図12.60 シングルリードタイミング例（4）　変更
		438	図12.61 シングルリードタイミング例（5）（1転送要求に対して2回バスアクセスが発生する場合）変更
		438	(2) シングルライトタイミング設定例　説明変更
		438	表12.17 SDTRレジスタ設定値対応表（シングルライトタイミング）　変更
		440	図12.65 シングルライトタイミング例（4）　変更
		441	図12.66 シングルライトタイミング例（5）（1転送要求に対して2回バスアクセスが発生する場合）変更
		443	表12.19 SDTR設定値対応表（連続ライトタイミング）　内容変更
		446	12.6.14.1　32 ビットバス空間の場合　説明変更
		452	12.6.15 制限事項(2) 低消費電力状態　説明変更
		455	表12.21 発生するバスエラーの種類　007F 8000h ～ 007F 9FFFh変更
			13. DMAコントローラ（DMACA）
		456	表13.1 DMACAの仕様　変更
		457	図13.1 DMACAのブロック図　変更
		460	13.2.1 DMA 転送元アドレスレジスタ（DMSAR）　説明削除
		460	13.2.2 DMA 転送先アドレスレジスタ（DMDAR）　説明削除
		461	13.2.3 DMA 転送カウントレジスタ（DMCRA）　リセット後の値変更
		461	**(1) ノーマル転送モード（DMTMD.MD[1:0]ビット = 00b）のとき　説明変更**
		462	**(3) ブロック転送モード（DMACAn.DMTMD.MD[1:0] ビット = 10b）のとき　説明変更**
		463	13.2.4 DMA ブロック転送カウントレジスタ（DMCRB）　説明変更
		465	13.2.5 DMA 転送モードレジスタ（DMTMD）　説明変更
		465、466	13.2.6 DMA 割り込み設定レジスタ（DMINT）　ビット表変更および説明の削除、変更
		468	13.2.7 DMA アドレスモードレジスタ（DMAMD）　SARA[4:0] ビット（転送元アドレス拡張リピートエリア設定ビット）　説明変更
		472	13.2.10 DMA ソフトウェア起動レジスタ（DMREQ）　説明変更
		476	13.2.13 DMA起動レジスタ（DMAST）　ビット表および説明変更
		478	13.3.1 転送モード(2) リピート転送モード　説明変更
		480	(3) ブロック転送モード　説明の削除および変更
		480	図13.4 ブロック転送モードの動作　変更
		481	13.3.2 拡張リピートエリア機能　説明削除および変更
		485	13.3.3 オフセットを使ったアドレス更新機能(2) オフセット加算を使ったXY 変換例 説明変更
		486	図13.9 リピート転送モード+ オフセット加算によるXY 変換のフロー　変更
		487	13.3.4 起動要因(1) ソフトウェアによる起動、(2) 周辺モジュール／外部割り込み要求による起動　説明変更
		487	表13.8 DMACA起動要因となる割り込み要求一覧 (1 / 2)　変更
		489	図13.10 レジスタの設定手順　変更
		490	13.3.6 DMA転送の開始　説明変更
		491	13.3.8 チャネルの優先順位　説明変更
		492	13.3.9 動作タイミング　追加
		493	13.3.10 DMACAの実行サイクル　追加
		495、496	13.5 割り込み　説明の削除および変更
		495	表13.10 割り込みの要因、フラグ、許可ビットの関係　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	―	(1) DMA 転送を終了または中止させる場合、(2) DMA転送を継続させる場合、図13.12 割り込みを解除してDMA 転送を再開する方法の削除
		497	13.6 消費電力低減機能　変更
		498	**13.7.7 DMA 起動の保留／再開　追加**
		498	**13.7.8 DMA転送起動要因に通信機能の割り込みを指定する場合　追加**
			14. EXDMAコントローラ（EXDMAC）
		499～563	EXDMACのレジスタシンボルをEDMAC ⇒ EXDMACに変更
		499	表14.1 EXDMACの仕様　変更および削除
		500	図14.1 EXDMAC のブロック図　変更
		501	14.2 レジスタの説明　説明変更
		501	表14.3 EXDMACのレジスター覧　変更および削除
		503	14.2.3 EXDMA 転送カウントレジスタ（EDMCRA）　シンボルおよび説明の変更
		504	**(1) ノーマル転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 00b）のとき ～ (4)クラスタ転送モード（EXDMACn.EDMTMD.MD[1:0] ビット = 11b）のとき　説明変更**
		505	**14.2.4 EXDMA ブロック転送カウントレジスタ（EDMCRB）　説明変更**
		506	14.2.5 EXDMA 転送モードレジスタ（EDMTMD）　ビット表および説明変更
		516	14.2.11 EXDMA ソフトウェア起動レジスタ（EDMREQ）　ビット説明の変更
		523	14.2.17 クラスタバッファレジスタi（CLSBRi）（i = 0 ～ 6）タイトルの変更および削除、説明変更
		524	表14.5 ノーマル転送モードでのレジスタ更新値　表および注記変更
		525	14.3.1 転送モード (2) リピート転送モード　説明変更
		527	(3) ブロック転送モード　説明変更
		528	(4) クラスタ転送モード　説明変更
		529	図14.5 クラスタ転送モードの動作　CLSBR7の削除
		532	表14.9 各アドレス更新モードでのアドレス更新方法　変更
		532	(1) オフセット加算を使った基本的な転送　説明変更
		534	(2) オフセット加算を使ったXY 変換例　説明変更
		535	図14.10 リピート転送モード+ オフセット加算によるXY 変換のフロー　変更
		536	表14.10 転送モードとアドレスモードの関係　変更
		537	14.4.1 ノーマル転送モード／リピート転送モードの転送動作(1) デュアルアドレスモード、(2) シングルアドレスモード　説明変更
		544	14.5 起動要因　説明変更
		544	(1) ソフトウェアによる起動、(2) 外部DMA 要求端子（EDREQ）による起動　追加
		545	図14.22 立ち下がりエッジ検出による外部DMA 転送要求のタイミング タイトルおよび図の変更
		545	図14.23 Low 検出による外部DMA 転送要求のタイミング　タイトルおよび図の変更
		545	(3) 内部周辺からのDMA 転送要求（MTU1 のコンペアマッチ）による起動　説明変更
		546	図14.24 レジスタの設定手順　変更
		547	14.5.2 DMA 転送の開始　説明変更
		547	14.5.3 DMA 転送中のレジスタ　説明変更
		548	(1) DMA 転送元アドレスレジスタ（EXDMACn.EDMSAR）～(4) DMA ブロック転送カウントレジスタ（EXDMACn.EDMCRB）　タイトル変更
		547、548	(5) DMA 転送許可ビット（EXDMACn.EDMCNT.DTE）～(8) 転送エスケープ割り込みフラグ（EXDMACn.EDMSTS.ESIF）　タイトルおよび説明変更
		548	14.5.4 チャネルの優先順位　説明変更
		551	図14.25 割り込み出力の概略論理図　変更
		552	14.7 割り込み(1) DMA 転送を終了または中止させる場合、(2) DMA 転送を継続させる場合　説明変更
		553	14.8 消費電力低減機能　説明変更
		563	14.10.1 クラスタバッファについて　説明の変更および削除
		563	図14.37 クラスタバッファへのデータ格納方法　CLSBR7削除

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17		15. データトランスファコントローラ（DTCa）
		564	冒頭の説明　変更
		564	表15.1 DTCの仕様　説明の変更および削除
		566	15.2 レジスタの説明　説明変更
		566	表15.2 DTCのレジスター覧　変更
		567	15.2.1 DTCモードレジスタA（MRA）　ビット表、説明変更
		568、569	15.2.2 DTCモードレジスタB（MRB）　ビット表、説明変更
		570	15.2.3 DTC転送元アドレスレジスタ（SAR）　タイトルおよび説明変更
		570	15.2.4 DTC転送先アドレスレジスタ（DAR）　タイトルおよび説明変更
		571	**15.2.5 DTC転送カウントレジスタA（CRA）　説明変更**
		572	**15.2.6 DTC転送カウントレジスタB（CRB）　説明変更**
		573	15.2.8 DTCベクタベースレジスタ（DTCVBR）　説明変更
		573	15.2.9 DTCアドレスモードレジスタ（DTCADMOD）　説明変更
		574	15.2.10 DTCモジュール起動レジスタ（DTCST）　説明変更
		575	15.2.11 DTCステータスレジスタ（DTCSTS）　説明変更
		576	15.3 起動要因　説明変更
		576	15.3.1 転送情報の配置とDTCベクタテーブル　変更
		576	図15.2 DTCベクタテーブルと転送情報の対応　タイトルおよび図変更
		577	図15.3 データ領域上の転送情報の配置　変更
		578～580	表15.3 割り込み要因とDTCベクタアドレスおよびICU.DTCERnレジスタの対応　変更
		581	15.4 動作説明　説明変更
		581	表15.4 DTCの転送モード　表および注記変更
		582	図15.4 DTC 動作フローチャート　変更
		583	表15.5 チェーン転送の条件　表および注記変更
		584	15.4.1 転送情報リードスキップ機能　説明変更
		586	15.4.3 ノーマル転送モード　説明変更
		586	表15.7 ノーマル転送モードのレジスタ機能　表および注記変更
		587	15.4.4 リピート転送モード　説明変更
		587	表15.8 リピート転送モードのレジスタ機能　表および注記変更
		588	図15.6 リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合） タイトルおよび図変更
		589	15.4.5 ブロック転送モード　説明変更
		589	表15.9 ブロック転送モードのレジスタ機能　変更
		589	図15.7 ブロック転送モードのメモリマップ（転送先をブロック領域に指定した場合）　タイトルおよび図変更
		590	15.4.6 チェーン転送　変更
		590	図15.8 チェーン転送の動作　変更
		591	図15.9 DTC 動作タイミング例（1）（ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合）　変更
		591	図15.10 DTC 動作タイミング例（2）（ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合）　タイトルおよび図変更
		592	図15.11 DTC 動作タイミング例（3）（ショートアドレスモード、チェーン転送の場合）　タイトルおよび図変更
		592	図15.12 DTC 動作タイミング例（4）（フルアドレスモード、ノーマル転送モード、リピート転送モードの場合）　タイトルおよび図変更
		593	図15.13 転送情報スキップ時の動作例　移動
		594	15.4.8 DTC の実行サイクル　説明変更
		594	表15.10 DTCの実行サイクル　変更
		594	15.4.9 DTC のバス権解放タイミング　説明変更
		595	15.5 DTCの設定手順　説明変更
		595	図15.14 DTC の設定手順　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	596	15.6.1 ノーマル転送(1) 転送情報の設定、(3) ICUの設定とDTC モジュール起動～(5) DTC 転送　説明変更
		596	15.6.2 チェーン転送　説明変更
		597	(1) 第1 転送の転送情報の設定、(2) 第2 転送の転送情報の設定
		598	15.6.3 カウンタ = 0 のときのチェーン転送　タイトルおよび説明変更
		599	図15.15 カウンタ = 0 のときのチェーン転送　タイトルおよび図変更
		599	15.7 割り込み要因　説明変更
		600	15.8 消費電力低減機能　変更
		600	(1) モジュールストップ機能～(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード　タイトルおよび説明変更
		600	(4)低消費電力低減機能における注意事項　追加
		600	15.9 使用上の注意事項　タイトル変更
		600	15.9.1 転送情報先頭アドレス／転送元アドレス／転送先アドレス　タイトルおよび説明変更
		602	**15.9.4 DTCの起動要因に通信機能の割り込みを指定する場合　追加**
			16. I/O ポート
		603	表16.1 I/Oポートの仕様（176ピンLFBGA）　変更
		604～608	表16.2 ポート機能一覧（176ピンLFBGA）　変更
		610	表16.3 I/Oポートのレジスター覧 (2 / 3)（176ピンLFBGA）　変更
		617	**16.1.2.3 ポートレジスタ（PORT）　注記追加、ビット表および説明の変更**
		618	**16.1.2.4 入力バッファコントロールレジスタ（ICR）　注記および説明変更**
		620	16.1.2.6 プルアップ抵抗コントロールレジスタ（PCR）　タイトル、表、説明変更
		621	表16.5 入力プルアップ抵抗の状態（176ピン LFBGA）　表および注記変更
		622	16.1.2.7 ポートファンクションレジスタ0（PF0CSE）　ビット表変更
		623	16.1.2.8 ポートファンクションレジスタ1（PF1CSS）　ビット表および説明の変更、削除
		―	図16.1 CSn# を同一端子に出力したときのタイミング　削除
		―	表16.6 CSn#出力端子選択レジスタと出力先端子の関係　削除
		624	16.1.2.9 ポートファンクションレジスタ2（PF2CSS）　ビット表および説明変更
		629	16.1.2.14 ポートファンクションレジスタ7（PF7DMA）　ビット表変更
		630	16.1.2.15 ポートファンクションレジスタ8（PF8IRQ）　ビット説明変更
		633	16.1.2.18 ポートファンクションレジスタB（PFBTMR）　ビット表および説明変更
		634	16.1.2.19 ポートファンクションレジスタC（PFCMTU）　ビット表および説明変更
		635	16.1.2.20 ポートファンクションレジスタD（PFDMTU）　ビット表および説明変更
		644、645	16.1.2.26 ポートファンクションレジスタK（PFKUSB）　ビット表および説明変更
		645	表16.7 USBMD[1:0]ビットの設定とUSBモードの関係（USB0）　表および注記変更
		646、647	16.1.2.27 ポートファンクションレジスタL（PFLUSB）　ビット表および説明変更
		647	表16.8 USBMD[1:0]ビットの設定とUSBモードの関係（USB1）　表および注記変更
		651～664	表16.10 各ポートの出力許可設定一覧（176ピンLFBGA）　変更
		665	表16.11 未使用端子の処理内容（176ピンLFBGA）　変更
		666	表16.12 I/Oポートの仕様（145ピンTFLGA／144ピンLQFP）　変更
		668	表16.13 ポート機能一覧（145ピンTFLGA／144ピンLQFP）　変更
		672	表16.14 I/Oポートのレジスター覧 (2 / 3)（145ピンTFLGA / 144ピンLQFP）　変更
		679	**16.2.2.3 ポートレジスタ（PORT）　注記追加、ビット表および説明の変更**
		680	**16.2.2.4 入力バッファコントロールレジスタ（ICR）　注記および説明変更**
		682	16.2.2.6 プルアップ抵抗コントロールレジスタ（PCR）　注記、ビット表、説明の変更
		683	表16.16 入力プルアップ抵抗の状態（145ピンTFLGA／144ピンLQFP）表および【記号説明】の変更
		685	16.2.2.8 ポートファンクションレジスタ1（PF1CSS）　説明変更、削除
		686	16.2.2.9 ポートファンクションレジスタ2（PF2CSS）　ビット表および説明の変更
		688	16.2.2.11 ポートファンクションレジスタ4（PF4BUS）　ビット説明の変更
		689	16.2.2.12 ポートファンクションレジスタ5（PF5BUS）　ビット表および説明の変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	690	16.2.2.13 ポートファンクションレジスタ6（PF6BUS）　ビット表および説明の変更
		693	16.2.2.16 ポートファンクションレジスタ9（PF9IRQ）　ビット説明の変更
		696	16.2.2.19 ポートファンクションレジスタC（PFCMTU）　ビット表および説明の変更
		697	16.2.2.20 ポートファンクションレジスタD（PFDMTU）　説明の変更
		700	16.2.2.22 ポートファンクションルレジスタF（PFFSCI）　ビット表の変更
		706、707	16.2.2.26 ポートファンクションレジスタK（PFKUSB）　注記、ビット表、説明の変更
		707	表16.18 USBMD[1:0]ビットの設定とUSBモードの関係（USB0）　表および注の変更
		710	16.2.3 ポートの設定　説明変更
		711	16.2.4 出力許可設定一覧　タイトルおよび説明変更
		711、712	表16.20 各ポートの出力許可設定一覧（145ピンTFLGA/144ピンLQFP）　変更
		720	表16.21 未使用端子の処理内容（145ピンTFLGA／144ピンLQFP）　変更
		721	表16.22 I/Oポートの仕様(100ピンLQFP)　変更
		722	表16.23 ポート機能一覧（100ピンLQFP）　変更
		725、726	表16.24 I/Oポートのレジスター覧 (2 / 2)（100ピンLQFP）　変更
		731	**16.3.2.3 ポートレジスタ（PORT）　注記追加、ビット表および説明の変更**
		732	**16.3.2.4 入力バッファコントロールレジスタ（ICR）　注記および説明変更**
		734	16.3.2.6 プルアップ抵抗コントロールレジスタ（PCR）　タイトル、ビット表、説明変更
		735	表16.26 入力プルアップ抵抗の状態（100ピンLQFP）　タイトル、表、注記変更
		738	16.3.2.9 ポートファンクションレジスタ4（PF4BUS）　ビット説明変更
		748	16.3.2.18 ポートファンクションレジスタF（PFFSCI）　ビット表変更
		754	16.3.2.22 ポートファンクションレジスタK（PFKUSB）　ビット表および注記の変更
		755	表16.28 USBMD[1:0]ビットの設定とUSBモードの関係（USB0）　表および注記の変更
		756	16.3.2.23 ポートファンクションレジスタM（PFMPOE）　ビット表および説明の変更
		757	16.3.2.24 ポートファンクションレジスタN（PFNPOE）　ビット表および説明の変更
		758	16.3.3 ポートの設定　説明変更
		759	表16.30 各ポートの出力許可設定一覧（100ピンLQFP）　変更
		768	表16.31 未使用端子の処理内容（100ピンLQFP）　変更
		769	表16.32 I/Oポートの仕様（85ピンTFLGA）　変更
		771	表16.33 ポート機能一覧（85ピンTFLGA）　変更
		772、773	表16.34 I/Oポートのレジスター覧（85ピンTFLGA）　変更
		778	**16.4.2.3 ポートレジスタ（PORT）　注記追加、ビット表および説明の変更**
		779	**16.4.2.4 入力バッファコントロールレジスタ（ICR）　注記および説明の変更**
		781	16.4.2.6 プルアップ抵抗コントロールレジスタ（PCR）　タイトルおよび注記の変更
		781	表16.36 入力プルアップ抵抗の状態（85ピンTFLGA）　表および【記号説明】変更
		782	16.4.2.7 ポートファンクションレジスタ0（PF0CSE）　ビット表の変更
		784	16.4.2.9 ポートファンクションレジスタ4（PF4BUS）　ビット説明の変更
		788	16.4.2.13 ポートファンクションレジスタF（PFFSCI）　ビット表の変更
		792、793	16.4.2.17 ポートファンクションレジスタK（PFKUSB）　ビット表、注、説明の変更
		793	表16.37 USBMD[1:0]ビットの設定とUSBモードの関係（USB0）　変更
		794	表16.38 周辺モジュールのポートマルチプレクス優先順位一覧（85ピンTFLGA）　変更
		795、798	表16.39 各ポートの出力許可設定一覧（85ピンTFLGA）　変更
		802	表16.40 未使用端子の処理内容（85ピンTFLGA）　変更
		803	16.5.1 入力バッファコントロールレジスタ（Pn.ICR）の設定　説明変更
		804	**16.5.3 出力イネーブル設定の切り替えについて、16.5.4 TDO が割り当てられている端子のオープンドレイン設定について　追加**
		804	**16.5.4 TDOが割り当てられている端子のオープンドレイン設定について　追加**
		804	**16.5.5 ポートレジスタ（PORT）を読むときの注意事項　追加**
			17. マルチファンクションタイマパルスユニット（MTU2）
		805	17.1 概要　説明変更
		805	表17.1 MTUの仕様　変更
		809	表17.3 MTUの機能一覧（ユニット1）(1 / 2)　コンペアマッチ出力変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	818	表17.5 MTUのレジスター覧 (5 / 5)　MTU11変更
		819	17.2.1 タイマコントロールレジスタ（TCR）　ビット表およびビット説明の変更
		821	表17.9 TPSC[2:0]（チャネル1、7）　注記変更
		821	表17.9 TPSC[2:0]（チャネル5、11）　注記変更
		823、824	17.2.2 タイマモードレジスタ（TMDR）　説明変更
		823	表17.13 MD[3:0]ビットによる動作モードの設定　注3変更
		825	表17.14 TIORH（MTU0、MTU6）　変更
		826	表17.15 TIORL（MTU0、MTU6）　変更
		826	表17.16 TIOR（MTU1、MTU7）　変更
		827	表17.17 TIOR（MTU2、MTU8）　変更
		827	表17.18 TIORH（MTU3、MTU9）　変更
		828	表17.19 TIORL（MTU3、MTU9）　表および注の変更
		828	表17.20 TIORH（MTU4、MTU10）　変更
		829	表17.21 TIORL（MTU4、MTU10）　変更
		829	表17.22 TIORH（MTU0、MTU6）　変更
		830	表17.23 TIORL（MTU0、MTU6）　表および注1の変更
		830	表17.24 TIOR（MTU1、MTU7）　変更
		831	表17.25 TIOR（MTU2、MTU8）　変更
		831	表17.26 TIORH（MTU3、MTU9）　変更
		832	表17.27 TIORL（MTU3、MTU9）　表および注1の変更
		832	表17.28 TIORH（MTU4、MTU10）　変更
		833	表17.29 TIORL（MTU4、MTU10）　表および注1の変更
		838	17.2.5 タイマインタラプトイネーブルレジスタ（TIER） ・TIER（MTU5、MTU11）　アドレス表記の変更
		840	17.2.7 タイマバッファ動作転送モードレジスタ（TBTM）　ビット表変更
		846	17.2.14 タイマスタートレジスタ（TSTRA、TSTRB） ・TSTRA（MTU5）TSTRB（MTU11）　アドレス表記の変更
		850	17.2.18 タイマアウトプットコントロールレジスタ1（TOCR1A、TOCR1B） ビット図注1、ビット表、注1～注3、説明の変更
		851	表17.32 出力レベル選択機能　タイトルおよび表中表記の変更
		851	表17.33 出力レベル選択機能　タイトルおよび表中表記の変更
		852	17.2.19 タイマアウトプットコントロールレジスタ2（TOCR2A、TOCR2B） ビット表および説明の変更
		853、854	表17.34 MTIOCmB出力レベル選択機能～表17.39 MTIOCmD出力レベル選択機能 タイトルおよび表中表記の変更
		856	17.2.21 タイマゲートコントロールレジスタ（TGCRA、TGCRB）　ビット表および説明の変更
		857	表17.41 出力レベル選択機能　タイトル変更
		858	17.2.23 タイマデッドタイムデータレジスタ（TDDRA、TDDRB）　タイトル変更
		864	17.2.29 タイマデッドタイムイネーブルレジスタ（TDERA、TDERB） ビット表および説明の変更
		865	17.2.30 タイマ波形コントロールレジスタ（TWCRA、TWCRB）　ビット表および説明の変更
		867	17.3.1 概要　タイトルの変更
		869	(2) コンペアマッチによる波形出力機能　説明変更
		869	図17.8 コンペアマッチによる波形出力動作例　変更
		870	(b) 波形出力動作例　説明変更
		870	図17.9 Low出力／High 出力の動作例　タイトルおよび図の変更
		873	17.3.2 同期動作　説明変更
		873	図17.13 同期動作の設定手順例　説明表記の変更
		875	17.3.3 バッファ動作(2) バッファ動作例　説明変更
		879	(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択 説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	885	17.3.5 PWM モード　説明変更
		886	図17.26 PWM モードの設定手順例　説明表記の変更
		886、887	(2) PWM モードの動作例　説明変更
		888	図17.29 PWM モード動作例　タイトルおよび内容変更
		889	17.3.6 位相計数モード　説明変更
		890	表17.50 位相計数モード1のアップ／ダウンカウント条件　変更
		891	表17.51 位相計数モード2のアップ／ダウンカウント条件　変更
		892	表17.52 位相計数モード3のアップ／ダウンカウント条件　変更
		893	図17.34 位相計数モード4の動作例　変更
		893	表17.53 位相計数モード4のアップ／ダウンカウント条件　変更
		896	図17.36 リセット同期PWM モードの設定手順例　[7] 変更
		898	17.3.8 相補PWMモード　説明変更
		901	図17.39 相補PWM モードの設定手順例　[6]、[10] 変更
		905	表17.58 初期設定の必要なレジスタとカウンタ　表および注の変更
		906	(f) デッドタイムを生成しない設定　説明変更
		919	(n) 相補PWM モードでの同期カウンタクリア時出力波形制御　説明変更
		920	図17.58 相補PWM モードでの同期カウンタクリア時出力波形制御の設定手順例　変更
		922	(o) MTUn.TGRAのコンペアマッチによるカウンタクリア（n=3,9）　説明変更
		926	図17.68 割り込み間引き機能の設定手順例　変更
		927	(b) 割り込み間引き機能の動作例　説明変更
		928	(c) 割り込み間引きと連動したバッファ転送制御　説明および注記の変更
		932	17.3.9 (4) 割り込み間引き機能と連動したA/D 変換開始要求ディレイド機能　注記の変更
		938	17.4.1 割り込み要因と優先順位　説明変更
		938	表17.59 MTU割り込み要因 (1)（ユニット0）　チャネル4変更
		940	(3) アンダフロー割り込み　説明変更
		941、942	17.4.3 A/D コンバータの起動　説明変更
		949	図17.97 バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTS 停止中） 変更
		954	17.6.3 周期設定上の注意事項　説明変更
		955	図17.109 TGR のライトとコンペアマッチの競合　変更
		956	図17.110 バッファレジスタへの書き込みとコンペアマッチの競合　変更
		957	図17.111 バッファレジスタへの書き込みとTCNT クリアの競合　変更
		958	図17.112 TGR の読み出しとインプットキャプチャの競合（チャネル0 ～ 4 または6 ～ 10） タイトルおよび図変更
		958	図17.113 TGR の読み出しとインプットキャプチャの競合（チャネル5 または11） タイトルおよび図変更
		962	17.6.14 相補PWM モードでのバッファ動作の設定　説明変更
		966	17.6.18 TCNT への書き込みとオーバフロー／アンダフローの競合　説明変更
		966	17.6.19 通常動作またはPWM モード1 からリセット同期PWM モードへ移行する場合 説明変更
		967	17.6.21 相補PWM モードの出力保護機能未使用時の注意事項　追加
		969	17.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要　説明および注の変更
		970	(2) ノーマルモードで動作中に異常が発生し、PWM モード1 で再スタートする場合の動作 説明変更
		971	(3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作 説明変更
		974	(7) PWM モード1で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作 説明変更
		975	(8) PWM モード1 で動作中に異常が発生し、PWM モード1 で再スタートする場合の動作 説明変更
		978	(12) PWM モード1 で動作中に異常が発生し、リセット同期PWM モードで再スタートする場合 説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	979	図17.135 PWMモード2で異常が発生し、ノーマルモードで復帰する場合　変更
			18. ポートアウトプットイネーブル（POE2）
		996	**表18.4 POEのレジスター覧　注記追加**
		997、998	18.2.1 入力レベルコントロール／ステータスレジスタ1（ICSR1） ビット表および説明の変更
		999	**18.2.2 出力レベルコントロール／ステータスレジスタ1（OCSR1） ビット表、注記および説明の変更**
		1003	18.2.5 入力レベルコントロール／ステータスレジスタ3（ICSR3） ビット表および説明の変更
		1004	18.2.6 入力レベルコントロール／ステータスレジスタ4（ICSR4） ビット表および説明の変更
		1005、1006	18.2.7 ソフトウェアポートアウトプットイネーブルレジスタ（SPOER） ビット表および説明の変更
		1007、1008	18.2.8 ポートアウトプットイネーブルコントロールレジスタ1（POECR1） ビット表および説明の変更
		1009、1010	18.2.9 ポートアウトプットイネーブルコントロールレジスタ2（POECR2） ビット説明の変更
		1011	表18.5 ハイインピーダンス制御の対象と条件　変更
		1013	18.3.5 ハイインピーダンス状態からの解除　説明変更
		1014	18.5 使用上の注意事項　説明変更
			19. プログラマブルパルスジェネレータ（PPG）
		1015	冒頭説明　変更
		1015	表19.1 PPGの仕様　変更
		1020～1023	19.2.2 ネクストデータイネーブルレジスタH（NDERH）、ネクストデータイネーブルレジスタL（NDERL）　ビット表および説明の変更
		1023、1024	19.2.3 アウトプットデータレジスタH（PODRH）、アウトプットデータレジスタL（PODRL）　ビット表変更
		1025～1028	19.2.4 ネクストデータレジスタH（NDRH）、ネクストデータレジスタL（NDRL） ビット表変更
		1029、1030	19.2.5 PPG出力コントロールレジスタ（PCR）　ビット表の変更
		1031、1032	19.2.6 PPG出力モードレジスタ（PMR）　ビット表および説明の変更
		1034	図19.5 NDRレジスタの値が転送・出力されるタイミング例　タイトル変更
		1035	図19.6 パルス出力通常動作の設定手順例（PPG0の設定）　変更
		1036	図19.7 パルス出力通常動作の設定手順例（PPG1の設定）　変更
		1037	19.3.3 パルス出力通常動作例（5相パルス出力例）　説明変更
		1038	19.3.4 パルス出力ノンオーバラップ動作　説明変更
		1038	図19.10 ノンオーバラップ動作とPPGn.NDRH、PPGn.NDRLレジスタ書き込みタイミング 変更
		1039	図19.11 パルス出力ノンオーバラップ動作の設定手順例（PPG0の設定）　変更
		1040	図19.12 パルス出力ノンオーバラップ動作の設定手順例（PPG1の設定）　変更
		1042	19.3.6 パルス出力ノンオーバラップ動作例（4相の相補ノンオーバラップ出力例）　説明変更
		1043	19.3.7 パルス反転出力　説明変更
			20. 8ビットタイマ（TMR）
		1046	表20.1 TMRの仕様　表および注記の変更
		1050	表20.3 TMRのレジスター覧　TCSRレジスタのリセット後の値を変更
		1051	20.2.1 タイマカウンタ（TCNT）　説明変更
		1051	20.2.2 タイムコンスタントレジスタA（TCORA）　説明変更
		1052	20.2.3 タイムコンスタントレジスタB（TCORB）　説明変更
		1053	20.2.4 タイマコントロールレジスタ（TCR）　ビット表、ビット説明の変更
		1054	20.2.5 タイマカウンタコントロールレジスタ（TCCR）　ビット説明の変更
		1056、1057	20.2.6 タイマコントロール／ステータスレジスタ（TCSR）　ビット説明順序および説明変更
		1057	20.3.1 パルス出力　説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	1058	20.3.2 リセット入力　説明変更
		1060	20.4.2 コンペアマッチ時の割り込みフラグが“1”になるタイミング タイトルおよび説明の変更
		1063	20.4.6 オーバフローによる割り込みフラグが“1”になるタイミング タイトルおよび説明の変更
		1063	図20.12 オーバフローによる割り込みフラグが“1”になるタイミング　変更
		1064	20.5 カスケード接続時の動作　説明変更
		1064	20.5.2 コンペアマッチカウントモード　説明変更
		1065	表20.6 TMRの割り込み要因　表および注1の変更
		1065	20.6.2 A/D コンバータの起動　説明変更
		1066	図20.13 TCNT カウンタへの書き込みとカウンタクリアの競合　タイトルおよび図の変更
		1067	図20.14 TCNT カウンタへの書き込みとカウントアップの競合　タイトルおよび図の変更
		1068	20.7.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合 タイトルおよび説明の変更
		1068	図20.15 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合 タイトルおよび図の変更
		1068	20.7.6 コンペアマッチA、Bの競合　説明変更
		1068	表20.7 タイマ出力の優先順位　変更
		1069	20.7.7 内部クロックの切り替えとTCNT カウンタの動作　説明変更
		1070	20.7.8 カスケード接続時のクロックソース設定　説明変更
			21. コンペアマッチタイマ（CMT）
		1071	表21.1 CMTの仕様　変更
		1071	図21.1 CMT（ユニット0）のブロック図　変更
		1075	**21.2.3 コンペアマッチタイマコントロールレジスタ（CMCR）　ビット表および説明変更**
		1076	**21.2.4 コンペアマッチタイマカウンタ（CMCNT）　説明変更**
		1076	**21.2.5 コンペアマッチタイマコンスタントレジスタ（CMCOR）　説明変更**
		1077	21.3.1 周期カウント動作　説明変更
		1077	21.3.2 CMCNTカウンタのカウントタイミング　説明変更
		1077	図21.3 CMCNTカウンタのカウントタイミング　変更
		1078	21.4.1 割り込み要因　説明変更
		1078	21.4.2 コンペアマッチ割り込みの発生タイミング　説明変更
		1078	図21.4 コンペマッチ割り込みのフラグが“1”になるタイミング　図の変更
		1079	21.5 使用上の注意事項　タイトル変更
		1079	21.5.2 コンペアマッチタイマカウンタ（CMCNT）への書き込みとコンペアマッチの競合　変更
		1079	図21.5 CMCNT カウンタへの書き込みとコンペアマッチの競合　変更
		1079	21.5.3 コンペアマッチタイマカウンタ（CMCNT）への書き込みとカウントアップの競合　変更
		1079	図21.6 CMCNT カウンタへの書き込みとカウントアップの競合　変更
		1080	**21.5.4 コンペアマッチタイマコントロールレジスタ（CMCR）書き替え時の注意事項　追加**
		1080	**21.5.5 コンペアマッチタイマカウンタ（CMCNT）とコンペアマッチコンスタントレジスタ（CMCOR）の注意事項　追加**
			22. リアルタイムクロック（RTC）
		1082	図22.1 RTC のブロック図　変更
		1082	表22.2 RTCの入出力端子　変更
		1102	図22.6 アラーム割り込み要求のディスエーブル手順　変更
			23. ウォッチドッグタイマ（WDT）
		1107	冒頭説明　変更
		1107	表23.1 WDTの仕様　変更
		1109	23.2.1 タイマカウンタ（TCNT）　説明変更
		1111	23.2.3 リセットコントロール／ステータスレジスタ（RSTCSR）　説明変更
		1112	23.2.4 ライトウィンドウA レジスタ（WINA）　説明変更
		1112	23.2.5 ライトウィンドウB レジスタ（WINB）　説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	1113	23.3.1 ウォッチドッグタイマモード　説明変更
		1113	図23.2 ウォッチドッグタイマモード時の動作　変更
		1114	23.3.2 インターバルタイマモード　説明変更
		1114	23.4 割り込み要因　説明変更
		1115	23.5.1 レジスタアクセス時の注意　説明変更
		1116	23.5.2 タイマカウンタ（TCNT）への書き込みとカウントアップの競合　説明変更
		1116	23.5.3 CKS[2:0] ビットの書き換え　説明変更
		1117	23.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え　説明変更
		1117	23.5.5 ウォッチドッグタイマモードでの内部リセット　説明変更
		1117	23.5.6 WDTOVF# 信号によるシステムのリセット　説明変更
		1117	23.5.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの移行 タイトルおよび説明の変更
			24. 独立ウォッチドッグタイマ（IWDT）
		1118	冒頭説明　注記変更
		1119	24.2.1 IWDT リフレッシュレジスタ（IWDTRR）　ビット図および説明変更
		1120、1121	24.2.2 IWDT コントロールレジスタ（IWDTCR）　ビット図および説明の変更
		1126	24.4.1 消費電力低減機能への遷移における制限事項　説明変更
			25. イーサネットコントローラ（ETHERC）
		1138	25.2.9 送信リトライオーバカウンタレジスタ（TROCR）　ビット名変更
		1138	25.2.10 遅延衝突検出カウンタレジスタ（CDCR）　ビット図変更
		1139	25.2.11 キャリア消失カウンタレジスタ（LCCR）　ビット図変更
		1139	25.2.12 キャリア未検出カウンタレジスタ（CNDCR）　ビット図変更
		1140	25.2.13 CRCエラーフレーム受信カウンタレジスタ（CEFCR）　ビット図変更
		1140	25.2.14 フレーム受信エラーカウンタレジスタ（FRECR）　ビット図変更
		1141	25.2.15　64バイト未満フレーム受信カウンタレジスタ（TSFRCR）　ビット図変更
		1141	25.2.16 指定バイト超フレーム受信カウンタレジスタ（TLFRCR）　ビット図変更
		1142	25.2.17 端数ビットフレーム受信カウンタレジスタ（RFCR）　ビット図変更
		1142	25.2.18 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）　ビット図変更
		1147	25.3.1 送信動作　説明変更
		1152	図25.13 MII/RMII 管理フレームフォーマット　変更
			26. イーサネットコントローラ用DMAコントローラ（EDMAC）
		1166～1168	26.2.6 ETHERC/EDMAC ステータスレジスタ（EESR）　注記、ビット説明の変更
		1177	26.2.15 受信バッファライトアドレスレジスタ（RBWAR）　ビット図変更
		1177	26.2.16 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）　ビット図変更
		1178	26.2.17 送信バッファリードアドレスレジスタ（TBRAR）　ビット図変更
		1178	26.2.18 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）　ビット図変更
		1181	26.2.22 個別出力信号設定レジスタ（IOSR）　説明変更
		1184	26.3.1.1 送信ディスクリプタ(1) 送信ディスクリプタ0（TD0）　表および説明の変更
		1186	26.3.1.2 受信ディスクリプタ(1) 受信ディスクリプタ0（RD0）　表および説明の変更
			27. USB2.0ホスト／ファンクションモジュール（USB）
		1192	表27.1 USBの仕様　変更
		1193	図27.1 USBのブロック図　変更
		1195～1198	表27.3 USBのレジスター覧　注記の追加
		1201	27.2.2 システムコンフィギュレーションステータスレジスタ0（SYSSTS0） ビット表および説明の変更
		1205、1206	27.2.4 CFIFO ポートレジスタ（CFIFO）D0FIFO ポートレジスタ（D0FIFO）D1FIFO ポートレジスタ（D1FIFO）　説明変更
		1206	表27.8　8ビットアクセス時のエンディアン動作表　変更
		1221	27.2.12 SOF出力コンフィグレーションレジスタ（SOFCFG）　ビット表および説明の変更
		1225～1227	27.2.14 割り込みステータスレジスタ1（INTSTS1）　ビット表および説明の変更
		1235	27.2.22 USBリクエストバリューレジスタ（USBVAL）　ビット図変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	1236	27.2.23 USBリクエストインデックスレジスタ（USBINDX）　ビット図変更
		1237	27.2.24 USBリクエストレングスレジスタ（USBLENG）　ビット図変更
		1244	27.2.28 パイプウィンドウ選択レジスタ（PIPESEL）　説明の変更
		1249～1252	27.2.32 パイプn コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）　ビット表および説明の変更
		1258	27.2.34 パイプn トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5） ビット図および説明変更
		1262～1264	27.2.37 ディープスタンバイ USB サスペンド／レジューム割り込みレジスタ（DPUSR1R） ビット表および説明の変更
		1267	27.3.1.3 USB 外部接続回路例　説明変更
		1267	図27.3 セルフパワード時のUSB コネクタのファンクション接続例（USB0） タイトルおよび図の変更
		1268	図27.4 USB コネクタのホスト接続例（USB0）　変更
		1269	図27.5 バスパワード時のUSBコネクタのファンクション接続例（USB0）　タイトル変更
		1271	表27.14 USBのサスペンド／レジューム割り込みの要因と入出力端子の対応　変更
		1274、1275	表27.15 割り込み要因一覧　表および注1の変更
		1279	図27.11 BRDY割り込み発生タイミング図　変更
		1294	27.3.4.9 自動応答モード　タイトルおよび説明の変更
		1297	表27.21 各バッファクリア一覧　変更
			28. シリアルコミュニケーションインタフェース（SCIa）
		1315	表28.1 SCIの仕様　変更
		1319	表28.4 SCIのレジスター覧　SSRのリセット後の値を変更
		1320	28.2.2 レシーブデータレジスタ（RDR）　説明変更
		1320	28.2.3 トランスミットデータレジスタ（TDR）　説明変更
		1321	28.2.4 トランスミットシフトレジスタ（TSR）　説明変更
		1321～1324	28.2.5 シリアルモードレジスタ（SMR）　説明、ビット表、注記の変更
		1325～1329	28.2.6 シリアルコントロールレジスタ（SCR）　説明、ビット表、注記の変更
		1330～1335	28.2.7 シリアルステータスレジスタ（SSR）　ビット図および説明変更
		1337	28.2.8 スマートカードモードレジスタ（SCMR）　ビット表および説明の変更
		1344	28.2.10 シリアル拡張モードレジスタ（SEMR）　ビット表および説明の変更
		1345	図28.3 TMR クロック入力時の平均転送レート設定例　変更
		1346	28.3 調歩同期式モードの動作　説明変更
		1348	28.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン　説明変更
		1350	28.3.4 SCI の初期化（調歩同期式モード）　説明変更
		1350	図28.7 SCI の初期化フローチャートの例（調歩同期式モード）　変更
		1351	28.3.5 シリアルデータの送信（調歩同期式モード）　説明変更
		1351	図28.8 調歩同期式モードのシリアル送信時の動作例（8 ビットデータ／パリティあり／1ストップビットの例）　変更
		1352	図28.9 調歩同期式モードのシリアル送信のフローチャート例　変更
		1353	図28.10 調歩同期式モードのシリアル受信時の動作例（8ビットデータ／パリティあり／1ストップビット）　変更
		1355	図28.11 調歩同期式モードのシリアル受信のフローチャート例（1）　変更
		1356	図28.12 調歩同期式モードのシリアル受信のフローチャート例（2）　変更
		1357	28.4 マルチプロセッサ通信機能　説明変更
		1358	28.4.1 マルチプロセッサシリアルデータ送信　説明変更
		1358	図28.14 マルチプロセッサシリアル送信のフローチャートの例　変更
		1359	28.4.2 マルチプロセッサシリアルデータ受信　説明変更
		1359	図28.15 SCIの受信時の動作例（8ビットデータ／マルチプロセッサビットあり／1ストップビット）　変更
		1360	図28.16 マルチプロセッサシリアル受信のフローチャートの例（1）　変更
		1361	図28.17 マルチプロセッサシリアル受信のフローチャートの例（2）　変更
		1363	28.5.2 SCIの初期化（クロック同期式モード）　説明変更
		1364	28.5.3 シリアルデータの送信（クロック同期式モード）　説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	1366	図28.22 クロック同期式モードのシリアル受信時の動作例　変更
		1367	図28.23 クロック同期式モードのシリアル受信のフローチャート例　説明変更
		1368	28.5.5 シリアルデータの全二重動作（クロック同期式モード）　説明変更
		1368	図28.24 クロック同期式モードのシリアル送受信同時動作のフローチャート例　変更
		1369	28.6.1 接続例　説明変更
		1369	28.6.2 データフォーマット（ブロック転送モード時を除く）　説明変更
		1371	28.6.3 ブロック転送モード　説明変更
		1372	28.6.4 受信データサンプリングタイミングと受信マージン　説明変更
		1373	28.6.5 SCI の初期化　説明変更
		1374	28.6.6 シリアルデータの送信（ブロック転送モードを除く）　説明変更
		1377	28.6.7 シリアルの受信（ブロック転送モードを除く）　説明変更
		1377	図28.33 SCI受信モードの場合の再転送動作（受信時の再転送動作）　変更
		1378、1379	28.6.8 クロック出力制御　説明変更
		1378	図28.35 クロック出力停止タイミング　タイトル変更
		1380	28.7.1 シリアルコミュニケーションインタフェースモードにおける割り込み　説明変更
		1381	28.7.2 スマートカードインタフェースモードにおける割り込み　説明変更
		1382	28.8.2 ブレークの検出と処理について　説明変更
		1382	28.8.3 マーク状態とブレークの送出　説明変更
		1382	28.8.4 受信エラーフラグと送信動作について（クロック同期式モードのみ）　説明変更
		1382	28.8.5 TDRへの書き込みについて　タイトルおよび説明の変更
		1382	28.8.6 クロック同期送信時の制約事項　変更
		1383	28.8.8 低消費電力状態時の動作について(1) 送信、(2) 受信　説明変更
		1384	図28.37 送信時のソフトウェアスタンバイモード移行フローチャートの例　変更
		1385	図28.38 ソフトウェアスタンバイモード移行時のポートの端子状態（内部クロック、調歩同期送信）　変更
		1385	図28.39 ソフトウェアスタンバイモード移行時のポートの端子状態（内部クロック、クロック同期送信）　変更
		1386	図28.40 受信時のソフトウェアスタンバイモード移行フローチャートの例　変更
			29. CRC演算器（CRC）
		1388	29.2.1 CRC コントロールレジスタ（CRCCR）　ビット表および説明の変更
			30. I²Cバスインタフェース（RIIC）
		1394～1473	用語の変更 開始条件⇒スタートコンディション、再開始条件⇒リスタートコンディション、 停止条件⇒ストップコンディション
		1394	表30.1 RIICの仕様　変更
		1398～1400	30.2.1 I²Cバスコントロールレジスタ1（ICCR1）　ビット表、説明、注記の変更
		1401～1404	30.2.2 I²Cバスコントロールレジスタ2（ICCR2）　ビット表、説明、注記の変更
		1405	30.2.3 I²Cバスモードレジスタ1（ICMR1）　ビット表および説明の変更
		1406、1407	30.2.4 I²Cバスモードレジスタ2（ICMR2）　ビット表、説明、注記の変更
		1408～1410	30.2.5 I²Cバスモードレジスタ3（ICMR3）　ビット表、説明、注記の変更
		1411、1412	30.2.6 I²Cバスファンクションイネーブルレジスタ（ICFER）　ビット表および説明の変更
		1413、1414	30.2.7 I²Cバスステータスイネーブルレジスタ（ICSER）　ビット表および説明の変更
		1415、1416	30.2.8 I²Cバスインタラプトイネーブルレジスタ（ICIER）　ビット表および説明の変更
		1417～1419	30.2.9 I²Cバスステータスレジスタ1（ICSR1）　ビット表、説明、注記の変更
		1420～1423	30.2.10 I²Cバスステータスレジスタ2（ICSR2）　ビット表、説明、注記の変更
		1424	30.2.11 スレーブアドレスレジスタLm（SARLy）（m= 0 ～ 2）　ビット表および説明の変更
		1425	30.2.12 スレーブアドレスレジスタUy（SARUy）（y= 0 ～ 2）　ビット表および説明の変更
		1426	30.2.13 I²Cバスビットレートローレベルレジスタ（ICBRL）　ビット表および説明の変更
		1427	30.2.14 I²Cバスビットレートハイレベルレジスタ（ICBRH）　ビット表、説明、注記の変更
		1433	30.3.3 マスタ送信動作　説明変更
		1437、1438	30.3.4 マスタ受信動作　説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	1439	図30.10 マスタ受信のフローチャート例（7 ビットアドレスフォーマットの場合）　変更
		1442	30.3.5 スレーブ送信動作　説明変更
		1443	図30.14 スレーブ送信のフローチャート例　変更
		1445	30.3.6 スレーブ受信動作　説明変更
		1447	30.4 SCL同期回路　説明変更
		1449	30.6 デジタルノイズフィルタ回路　説明変更
		1449	図30.22 デジタルノイズフィルタ回路のブロック図　変更
		1450	30.7 アドレス一致検出機能　説明変更
		1450	30.7.1 スレーブアドレス一致検出機能　説明変更
		1452	30.7.2 ジェネラルコールアドレス検出機能　タイトルおよび説明変更
		1453	30.7.3 デバイスIDアドレス検出機能　説明変更
		1455	30.7.4 ホストアドレス検出機能　説明変更
		1456	30.8.1 送信データ誤送信防止機能　説明変更
		1457	30.8.2 NACK 受信転送中断機能　説明変更
		1457、1458	30.8.3 受信データ取りこぼし防止機能　説明変更
		1458	図30.31 受信モードの自動Low ホールド動作（RDRFS、WAIT ビット）　変更
		1459	30.9.1 マスタアービトレーションロスト検出機能（MALE ビット）　説明変更
		1460	図30.33 スタートコンディション発行時のアービトレーションロスト（MALE=1 のとき） 変更
		1461、1462	30.9.2 NACK送信アービトレーションロスト検出機能（NALE ビット）　説明変更
		1462	30.9.3 スレーブアービトレーションロスト検出機能（SALE ビット）　説明変更
		1463	30.10.1 スタートコンディション発行動作　説明変更
		1463	30.10.2 リスタートコンディション発行動作　説明変更
		1463	図 30.36 スタートコンディション/ リスタートコンディション発行動作タイミング（ST、RS ビット）　変更
		1464	30.10.3 ストップコンディション発行動作　説明変更
		1464	図30.37 ストップコンディション発行動作タイミング（SP ビット）　変更
		1465	30.11 バスハングアップ　説明変更
		1465	30.11.1 タイムアウト検出機能　説明変更
		1466	図 30.38 タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）　変更
		1466、1467	30.11.2 SCL クロック追加出力機能　説明変更
		1467	図 30.39 SCLクロック追加出力機能（CLOビット）　変更
		1467	30.11.3 RIIC/内部リセット　説明変更
		1468	30.12 SMBus動作　説明変更
		1468、1469	30.12.1 SMBusタイムアウト測定　変更
		1469	図 30.40 SMBusタイムアウト測定　変更
		1470	30.12.3 SMBusホスト通知プロトコル/Notify ARP master　説明変更
		1471	30.13 割り込み要因　説明変更
		1471	表30.7 割り込み要因　変更
		1473	30.15.2 入力バッファコントロールレジスタの設定　説明変更
		―	30.15.3 送信アクノリッジビットへの書き込みと出力タイミングについて　削除
		―	30.15.4 マスタ送信時のストップコンディション発行要求と送信データ書き込みタイミングの制約事項　削除
			31. CANモジュール（CAN）
		1478～1522	CANのレジスタに8ビット単位でアドレスを記載
		1474	表31.1 CANモジュールの仕様 (1 / 2)　変更
		1478～1480	31.2.1 CAN0 制御レジスタ（C0CTLR）　ビット図、ビット表、注3、説明の変更
		1482、1483	31.2.2 CAN0 ビットコンフィグレーションレジスタ（C0BCR） ビット図、ビット表、説明の変更
		1484	31.2.3 CAN0 マスクレジスタi（C0MKRi）（i = 0 ～ 7）　ビット図およびビット表の変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	1485	31.2.4 CAN0 FIFO 受信ID 比較レジスタ0、1（C0FIDCR0、C0FIDCR1） ビット図、ビット表、注1の変更
		1489～1492	31.2.6 CAN0 メールボックスレジスタj（C0MBj）（j = 0 ～ 31）　ビット図の変更
		1493、1494	31.2.7 CAN0 メールボックス割り込み許可レジスタ（C0MIER） ビット図、ビット表、説明の変更
		1495～1498	31.2.8 CAN0 メッセージ制御レジスタj（C0MCTLj）（j = 0 ～ 31） ビット表および注1の変更
		1506～1508	31.2.13 CAN0 ステータスレジスタ（C0STR）　ビット図、ビット表、説明の変更
		1509	31.2.14 CAN0 メールボックスサーチモードレジスタ（C0MSMR）　ビット表変更
		1513	31.2.17 CAN0 アクセプタンスフィルタサポートレジスタ（C0AFSR） ビット図およびビット表の変更
		1518	表31.8 C0CTLR.BOM[1:0]ビットの設定によるBOEIF、BORIFフラグの動作　変更
		1522	31.2.23 CAN0 タイムスタンプレジスタ（C0TSR）　ビット図変更
		1525	図31.9 CAN 動作モード間の移行　変更
		1526	31.3.1 CAN リセットモード　説明変更
		1527	31.3.2 CAN Halt モード　説明変更
		1527	表31.9 CAN リセットモードとCAN Haltモードでの動作　表および注の変更
		1528	31.3.3 CAN スリープモード　説明変更
		1528	31.3.4 CAN オペレーションモード（バスオフ状態以外）　説明変更
		1529	31.3.5 CAN オペレーションモード（バスオフ状態）　説明変更
			32. ルネサスペリフェラルインタフェース（RSPI）
		1541	32.1 概要　説明変更
		1548	32.2.3 RSPI 端子制御レジスタ（SPPCR）　説明の変更
		1549～1551	32.2.4 RSPI ステータスレジスタ（SPSR）　ビット図、ビット表および説明の変更
		1552	32.2.5 RSPI データレジスタ（SPDR）　ビット図およびビット説明変更
		1555	表32.4 SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレート　注1変更
		1557、1558	32.2.9 RSPI データコントロールレジスタ（SPDCR）　説明の変更
		1559	32.2.10 RSPI クロック遅延レジスタ（SPCKD）　説明の変更
		1560	32.2.11 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）　説明の変更
		1561	32.2.12 RSPI 次アクセス遅延レジスタ（SPND）　説明の変更
		1562	32.2.13 RSPI 制御レジスタ2（SPCR2）　説明の変更
		1563～1565	32.2.14 RSPI コマンドレジスタ0 ～ 7（SPCMD0 ～ SPCMD7）　説明の変更
		1568	32.3.3.1 シングルマスタ／シングルスレーブ（本LSI ＝マスタ）　説明変更
		1569	32.3.3.2 シングルマスタ／シングルスレーブ（本LSI ＝スレーブ）　説明変更
		1572	32.3.3.5 マルチマスタ／マルチスレーブ（本LSI ＝マスタ）　説明変更
		1573	32.3.3.7 マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）　説明変更
		1593	32.3.9.1 SPE ビットのクリアによる初期化　説明変更
		1595	32.3.10.1 マスタモード動作(3) シーケンス制御　説明変更
		1596	(4) バースト転送　説明変更
		1601	32.3.10.2 スレーブモード動作(3) シングルスレーブ時の注意点　説明変更
		1613	図32.38 エラー処理（オーバランエラー）　変更
		1614	図32.39 エラー処理（パリティエラー）　変更
		1614	図32.40 エラー処理（モードフォルトエラー）　変更
		1615	32.3.15 ループバックモード　説明変更
		1617	**32.4 使用上の注意事項　追加**
			33. 12ビットA/Dコンバータ（S12AD）
		1618	33.1 概要　説明変更
		1618	表33.1 A/Dコンバータの仕様　変更
		1619	表33.2 A/Dコンバータの機能概要　変更
		1620	図33.1 A/Dコンバータのブロック図　変更
		1621	表33.4 A/Dコンバータのレジスター覧　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	1624、1625	33.2.2 A/Dコントロールレジスタ（ADCSR）　ビット表および説明の変更
		1627	33.2.4 A/D変換値加算モード選択レジスタ（ADADS）　説明変更
		1628	33.2.5 A/D変換値加算回数選択レジスタ（ADADC）　説明変更
		1629	33.2.6 A/Dコントロール拡張レジスタ（ADCER）　ビット表および説明の変更
		1630	33.2.7 A/D開始トリガ選択レジスタ（ADSTRGR）　ビット表および説明の変更
		1630	表33.5 A/D変換起動要因選択一覧　変更
		1631	33.3.2　1サイクルスキャンモード　説明変更
		1632	図33.4 連続スキャンモードの動作例　変更
		1633	33.3.4 アナログ入力のサンプリングとスキャン変換時間　説明変更
		1633	表33.6 スキャン変換時間　変更
		1634	33.3.5 ADDRn レジスタの自動クリア機能の使用例　説明の変更
		1634	33.3.7 外部トリガによるスキャン変換の開始　説明変更
		1635	33.3.8 周辺モジュールからのトリガによるスキャン変換の開始　説明変更
		1635～1639	33.3.8.1 MTUのTRG0AN_0とTRG0BN_0によるA/D変換の開始～ 33.3.8.5 TMRのTMTRG0AN_0とTMTRG0AN_1によるA/D変換の開始　項目追加
		1640	33.5.3 A/D 変換再開時の注意事項　説明変更
		1641	33.5.5 低消費電力状態への遷移時の注意　説明変更
		1641	**33.5.7 A/Dコンバータと D/Aコンバータを同時に使用した場合の注意事項　追加**
			34. 10 ビットA/D コンバータ（ADa）
		1642	表34.1 A/Dコンバータの仕様　変更
		1643	表34.2 各ユニットの比較概要　変更
		1644	図34.1 A/Dコンバータ（ユニット0／AD0）のブロック図　変更
		1645	図34.2 A/Dコンバータ（ユニット1／AD1）のブロック図　変更
		1646	表34.3 A/Dコンバータの入力端子　変更
		1647	表34.4 A/Dコンバータのレジスター覧　ADDPRレジスタ名称の変更
		1651	34.2.3 A/D コントロールレジスタ（ADCR）　ビット表および説明の変更
		1652	34.2.4 ADDRnフォーマット選択レジスタ（ADDPR）　ビット表、説明の変更
		1653	34.2.6 A/D 自己診断レジスタ（ADDIAGR）　説明の変更
		1656	34.3.2.1 連続スキャンモード　説明変更
		1657	34.3.2.2 1 サイクルスキャンモード　説明変更
		1658	34.3.3 入力サンプリングとA/D 変換時間　説明変更
		1658	図34.6 A/D 変換タイミング　変更
		1660	34.3.4 外部トリガによるA/D変換の開始　説明変更
		1661～1664	34.3.5 MTUのTRG0AN_0とTRG0BN_0によるA/D変換の開始～ 34.3.8 TMRのTMTRG0AN_0によるA/D変換の開始　説明変更
		1665	34.4 割り込み要因　説明変更
		1667	34.6.3 A/D 変換再開時の注意事項　説明変更
		1667	34.6.4 低消費電力状態への遷移時の注意　説明変更
		1668	34.6.5 許容信号源インピーダンスについて　説明変更
		1668	34.6.6 絶対精度への影響　説明変更
		1669	34.6.7 アナログ電源端子他の設定範囲　説明変更
		1669	図34.15 各電源端子の接続例　変更
		1669	34.6.8 ボード設計上の注意　説明変更
		1670	34.6.10 高速変換を実現するためには　説明変更
		1671	**34.6.12　A/Dコンバータと D/Aコンバータを同時に使用した場合の注意事項　追加**
			35. D/A コンバータ
		1672	表35.2 D/Aコンバータの入出力端子　変更
		1673	表35.3 D/Aコンバータのレジスター覧　変更
		1674、1675	35.2.2 D/A コントロールレジスタ（DACR）　ビット表および説明変更
		1676	35.2.3 DADRmフォーマット選択レジスタ（DADPR）　ビット表および説明変更
		1678	35.4.4 ディープソフトウェアスタンバイモード時の注意事項　説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17		36. RAM
		1679	表36.1 RAMの仕様　変更
			37. ROM（コード格納用フラッシュメモリ）
		1680	表37.1 ROMの仕様　変更
		1681	図37.1 ROMのブロック図　変更
		1684、1685	37.2.2 フラッシュアクセスステータスレジスタ（FASTAT）　ビット表および説明変更
		1688～1690	37.2.5 フラッシュステータスレジスタ0（FSTATR0）　ビット表および説明変更
		1693、1694	37.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR）　ビット表および説明変更
		1698	37.2.12 FCU 処理切り替えレジスタ（FCPSR）　ビット表および説明変更
		1699	37.2.13 フラッシュ P/E ステータスレジスタ（FPESTAT）　ビット表および説明変更
		1700	37.2.14 周辺クロック通知レジスタ（PCKAR）　ビット表、説明、注記　変更
		1701	37.2.15 フラッシュライトイレースプロテクトレジスタ（FWEPROR） ビット表および説明変更
		1702	37.3 ROMのメモリマット構成　変更
		1702	図37.2 ROMのメモリマット構成　変更
		1703	図37.4 ROMに関する動作モード遷移図
		1703	37.5 ROM関連の動作モード　説明変更
		1704	表37.5 各モードの相違点　変更
		1705	37.6 ROMへの書き込み／消去　説明変更
		1708	表37.7 FCUコマンドのフォーマット　表および注記の変更
		1711	図37.7 ROMリードモード移行フロー　変更
		1714	図37.11 書き込み／消去処理の概略フロー　図および注1、注2変更
		1716	(4) 周辺クロック通知コマンドの使用方法　説明変更
		1717	図37.13 周辺クロック通知コマンドの使用方法　変更
		1720	(6) 消去方法　説明変更
		1720	図37.15 ROM消去方法　変更
		1721	(7) ロックビットの書き込み/消去方法　説明変更
		1722	(8) ロックビットの読み出し方法　説明変更
		1724	37.6.4.4 サスペンド／レジューム(1) 書き込み／消去のサスペンド方法　説明変更
		1725	図37.19 書き込み／消去のサスペンド方法　変更
		1726	図37.20 書き込み／消去のレジューム方法　変更
		1727	37.7 サスペンド動作　説明変更
		1727	37.7.1 書き込み中のサスペンド　説明変更
		1730	37.8.1 ソフトウェアプロテクト　説明変更
		1730	37.8.2 エラープロテクト　説明変更
		1731	表37.9 エラープロテクト一覧（ROM専用+ROM／データフラッシュ）　内容変更
		1732	図37.24 ブートモード時のシステム構成　変更
		1733	37.9.2 ID コードプロテクト　(2) ID コード　説明変更
		1734	37.9.3 UBコードA　追加
		1735	図37.27 ブートモードの状態遷移図　変更
		1736	37.9.4 ブートモードの状態遷移③IDコードプロテクト判定　説明変更
		1736	⑤書き込み／消去コマンド待ち　説明変更
		1737	表37.12 ビットレート自動調整が可能な条件　変更
		1737	表37.13 問い合わせ設定ホストコマンド　変更
		1739	図37.30 ユーザマット／ユーザブートマット／問い合わせ設定ホストコマンドの使用例　変更
		1743	37.9.6 問い合わせ設定ホストコマンド待ち状態(7)ユーザブートマット情報問い合わせ　追加
		1747	(12)書き込み消去ステータス遷移　説明変更
		1748	表37.14 ステータスの内容　変更
		1750	表37.17 書き込み／消去ホストコマンド　変更
		1751	図37.32 ブートモードでのROM書き込み方法　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.8.17	1752	37.9.8 書き込み／消去ホストコマンド待ち状態(1)ユーザブートマット書き込み選択　追加
		1755	(7)ユーザブートマットサムチェック　追加
		1755	(9)ユーザブートマットブランクチェック　追加
		1758	37.10 USB（ユーザ）ブートモード　変更
		1760	図37.35 USB ブートモードの状態遷移　変更
		1762	表37.20 ROMコードプロテクト仕様　変更
		1762、1763	37.13 使用上の注意事項(2) 書き込み／消去サスペンドによる中断、(3) 追加書き込み禁止、(5) 書き込み／消去中のノンマスカブル割り込み禁止 (8) 書き込み／消去中の禁止事項 変更
		1763	(7) 書き込み／消去の異常終了　追加
			38. データフラッシュ（データ格納用フラッシュメモリ）
		1764	表38.1 データフラッシュの仕様　変更
		1765	図38.1 データフラッシュのブロック図
		1771	38.2.4 データフラッシュ読み出し許可レジスタ0（DFLRE0）　説明変更
		1773	38.2.6 データフラッシュ書き込み／消去許可レジスタ0（DFLWE0）　説明変更
		1774	38.2.7 データフラッシュ書き込み／消去許可レジスタ1（DFLWE1）　説明変更
		1775～1776	38.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR）　ビット表および説明の変更
		1780	38.5 データフラッシュ関連の動作モード　説明変更
		1780	表38.4 各モードの相違点　変更
		1781	38.6 データフラッシュへの書き込み／消去　説明変更
		1783	表38.5 FCUコマンド一覧（データフラッシュ関連）　変更
		1784	38.6.3 FCU のモードとコマンドの関係　説明変更
		1786	図38.5 データフラッシュの書き込み　変更
		1788	図38.6 データフラッシュのブランクチェック　変更
		1789	38.7.1 ソフトウェアプロテクト(2) FENTRYR レジスタによるプロテクト～(4) DFLREk レジスタによるプロテクト　説明変更
		1790	38.7.2 エラープロテクト　説明変更
		1793	38.8.2 書き込み／消去ホストコマンド　説明変更
		1794	38.9 使用上の注意事項　(2) その他の注意事項　変更
		1795～1812	39. バウンダリスキャン　追加
		1813～1862	40. 電気的特性　追加
		1863	付録1.　各動作モードにおけるポートの状態　タイトル変更
		1863～1867	表1.1 各動作モードにおけるポートの状態　タイトル変更および内容の変更
		1868～1869	表1.2 POE機能による制御でポートの状態がハイインピーダンスになる条件 [176ピンLFBGA／145ピンTFLGA／144ピンLQFP]　変更
		1870～1871	表1.3 POE機能による制御でポートの状態がハイインピーダンスになる条件 [100ピンLQFP] 変更
1.10	2011.1.17	全体	オンチップオシレータクロック名の変更　OCOCLK⇒IWDTCLK
		全体	レジスタシンボルの変更
			1. 概要
		43、45	表1.1 仕様概要（1/4）（3/4）　注記追加
		50	図1.2 ブロック図　注記追記
		85	表1.9 端子機能一覧　USB2.0ホスト／ファンクションモジュール　端子説明変更
			2. CPU
		114	表2.14 複数マイクロオペレーションに変換される命令　記号説明の追記
		118	2.8.4 割り込み応答サイクル数　説明変更
		118	表2.15 割り込み応答サイクル数　説明変更
			5. I/O レジスタ
		130	冒頭説明（1）I/O レジスタアドレス一覧（アドレス順）　説明追加
		132～173	表5.1 I/O レジスタアドレス一覧　表の項目名変更、レジスタシンボル変更
		174～223	表5.2 I/O レジスタビット一覧　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.1.17		6. リセット
		230	6.3.4 ディープソフトウェアスタンバイリセット　説明変更
			8. クロック発生回路
		244	表8.1 クロック発生回路の仕様　注2.注3.追加
		245	表8.2 クロック発生回路の入出力端子　説明変更
		260	8.12.1 クロック発生回路に関する注意事項　説明変更
			9. 消費電力低減機能
		264	図9.1 モード遷移　注記追加、図変更
		290	9.5.4.1 ディープソフトウェアスタンバイモードへの移行　注記変更
			10. 例外処理
		301	図10.2 例外処理手順の概要　変更
			11. 割り込みコントローラ（ICUa）
		326	11.2.7 DMACA起動要因選択レジスタn（DMRSRn）　ビット表、ビット説明変更
		328	11.2.9 ノンマスカブル割り込みステータスレジスタ（NMISR）　説明変更
		332～337	表11.4 割り込みベクタテーブル　変更
		338	11.4.1.1 エッジ検出の割り込みステータスフラグ　説明追加
		338	図11.2 エッジ検出のIRi.IRフラグの動作　変更
		339	図11.5 レベル検出時のIRi.IRフラグの動作　変更
		340	図11.6 レベル検出割り込みの処理手順　変更
		341	11.4.3（2）DTC起動　説明追加
			12. バス
		349	表12.1 バスの仕様　注記説明変更
		354	12.2.5 外部バス　説明変更
		382	12.3.15 SDRAM タイミングレジスタ　CL[2:0] ビット説明注記追加
		385	12.3.18 バスエラーステータスクリアレジスタ（BERCLR）　ビット0説明変更
		443	図12.65 シングルライトタイミング例（4）　変更
			13. DMAコントローラ（DMACA）
		479	13.2.13 DMAモジュール起動レジスタ（DMAST）　タイトル変更
		480	表13.4 ノーマル転送モードでのレジスタ更新値　変更
		481	13.3.1 （2）リピート転送モード　説明変更
		484	表13.5 リピート転送モードでのレジスタ更新値　変更
		486	表13.7 各アドレス更新モードでのアドレス更新方法　変更
		492	図13.10 レジスタの設定手順　変更
		495	図13.11 DMAC 動作タイミング例（1）（周辺モジュール／外部割り込み入力端子からの割り込みによるDMA 起動、ノーマル転送モード、リピート転送モードの場合）　変更
		499	13.5 割り込み　(1)～(3)　注記追加、説明変更
			14. EXDMAコントローラ（EXDMAC）
		518	14.2.10 EXDMA転送許可レジスタ（EDMCNT）　説明追加
		535	表14.9 各アドレス更新モードでのアドレス更新方法　変更
		538	図14.10 リピート転送モード+ オフセット加算によるXY 変換のフロー　変更
		540	図14.11 ノーマル転送デュアルアドレスモードでのバスサイクル例　変更
		541	図14.12 シングルアドレスモードでのデータの流れ（DIR=1 の場合）　タイトル変更
		541	図14.13 ノーマル転送シングルアドレスモードでのバスサイクル例　変更
		542	図14.14 ブロック転送デュアルアドレスモードでのバスサイクル例　変更
		543	図14.15 ブロック転送シングルアドレスモードでのバスサイクル例　変更
		544	図14.17 クラスタ転送デュアルアドレスモードでのバスサイクル例　変更
		545	図14.19 クラスタ転送リードアドレスモードでのバスサイクル例　変更
		546	図14.21 クラスタ転送ライトアドレスモードでのバスサイクル例　変更
		547	14.5 起動要因と起動手順、14.5.1 起動要因　見出しの階層変更
		547	14.5.1 起動要因(2) 外部DMA 要求端子（EDREQ）による起動　変更
		548	14.5.1 起動要因(3) 内部周辺からのDMA 転送要求（MTU1 のコンペアマッチ）による起動　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.1.17	554	14.7 割り込み　説明変更
		555	14.7（1）DMA転送を終了または中止させる場合　説明変更
		555	図14.26 EXDMAC 割り込み処理でDMA 転送を再開／中止する方法　タイトル変更
			15. データトランスファコントローラ（DTCa）
		593	15.4.6 チェーン転送　説明変更
			16. I/Oポート
		全頁	ポートモジュールシンボル変更　Pn ⇒ PORTn
		611	表16.2 ポート機能一覧 (5 / 5)（176ピンLFBGA）変更
		625	16.1.2.7 ポートファンクションレジスタ0（PF0CSE）　ビット名変更
		628	16.1.2.10 ポートファンクションレジスタ3（PF3BUS）　変更
		629	16.1.2.11 ポートファンクションレジスタ4（PF4BUS）　変更
		630	16.1.2.12 ポートファンクションレジスタ5（PF5BUS）　変更
		631	16.1.2.13 ポートファンクションレジスタ6（PF6BUS）　変更
		642	16.1.2.23 ポートファンクションレジスタG（PFGSPI）　変更
		644	16.1.2.24 ポートファンクションレジスタH（PFHSPI）　変更
		651	16.1.2.28 ポートファンクションレジスタM（PFMPOE）　変更
		652	16.1.2.29 ポートファンクションレジスタN（PFNPOE）　変更
		654～667	表16.10 各ポートの出力許可設定一覧　MTU設定変更
		668～673	表16.11 MTU の各端子の出力許可設定一覧　追加
		693	16.2.2.7 ポートファンクションレジスタ0（PF0CSE）　変更
		696	16.2.2.10 ポートファンクションレジスタ3（PF3BUS）　変更
		697	16.2.2.11 ポートファンクションレジスタ4（PF4BUS）　変更
		699	16.2.2.13 ポートファンクションレジスタ6（PF6BUS）　変更
		710	16.2.2.23 ポートファンクションレジスタG（PFGSPI）　変更
		712	16.2.2.24 ポートファンクションレジスタH（PFHSPI）　変更
		717	16.2.2.27 ポートファンクションレジスタM（PFMPOE）　変更
		718	16.2.2.28 ポートファンクションレジスタN（PFNPOE）　変更
		720～728	表16.21 各ポートの出力許可設定一覧　MTU設定変更
		729～734	表16.22 MTU の各端子の出力許可設定一覧　追加
		751	16.3.2.7 ポートファンクションレジスタ0（PF0CSE）　変更
		752	16.3.2.8 ポートファンクションレジスタ3（PF3BUS）　変更
		753	16.3.2.9 ポートファンクションレジスタ4（PF4BUS）　変更
		754	16.3.2.10 ポートファンクションレジスタ5（PF5BUS）　変更
		764	16.3.2.19 ポートファンクションレジスタG（PFGSPI）　変更
		766	16.3.2.20 ポートファンクションレジスタH（PFHSPI）　変更
		768	16.3.2.21 ポートファンクションレジスタJ（PFJCAN）　変更
		771	16.3.2.23 ポートファンクションレジスタM（PFMPOE）　変更
		772	16.3.2.24 ポートファンクションレジスタN（PFNPOE）　変更
		774～782	表16.32 各ポートの出力許可設定一覧　MTU設定変更
		783～788	表16.33 MTU の各端子の出力許可設定一覧　追加
		803	16.4.2.7 ポートファンクションレジスタ0（PF0CSE）　変更
		804	16.4.2.8 ポートファンクションレジスタ3（PF3BUS）　変更
		805	16.4.2.9 ポートファンクションレジスタ4（PF4BUS）　変更
		810	16.4.2.14 ポートファンクションレジスタG（PFGSPI）　変更
		811	16.4.2.15 ポートファンクションレジスタH（PFHSPI）　変更
		812	16.4.2.16 ポートファンクションレジスタJ（PFJCAN）　変更
		816～822	表16.42 各ポートの出力許可設定一覧　MTU設定変更
		823～828	表16.43 MTU の各端子の出力許可設定一覧　追加
			17. マルチファンクションタイマパルスユニット2（MTU2）
		837、838	図17.1 MTUのブロック図（ユニット0）、図17.2 MTUのブロック図（ユニット1）　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.1.17	843	表17.5 MTUのレジスター覧(3 / 5)　変更、MTU共通レジスタのシンボル変更
		846	17.2.1 タイマコントロールレジスタ（TCR）　注記追記
		850	17.2.2 タイマモードレジスタ（TMDR）　BFA ビット（バッファ動作A ビット）　変更
		850	17.2.2 タイマモードレジスタ（TMDR）　BFB ビット（バッファ動作B ビット）　変更
		863	17.2.5 タイマインタラプトイネーブルレジスタ（TIER）（MTU5、MTU11）　説明変更
		869	17.2.9 タイマA/D変換開始要求コントロールレジスタ（TADCR）　注記変更
		870	17.2.10 タイマA/D 変換開始要求周期設定レジスタ（TADCORA、TADCORB）　タイトル変更
		870	17.2.11 タイマA/D 変換開始要求周期設定バッファレジスタ（TADCORA、TADCORB）　タイトル変更
		871	17.2.13 タイマジェネラルレジスタ（TGR）　説明変更
		872	17.2.14 タイマスタートレジスタ（TSTR）　タイトル変更
		875	17.2.16 タイマリードライトイネーブルレジスタ（TRWER）　説明変更
		876	17.2.17 タイマアウトプットマスタイネーブルレジスタ（TOER）　変更
		877	17.2.18 タイマアウトプットコントロールレジスタ1（TOCR1A、TOCR1B）　注記削除、R/W変更
		881	表17.40 TOCR2.BF[1:0]ビットの設定　変更
		887	17.2.26 タイマ割り込み間引き設定レジスタ（TITCR）　注記変更
		907	17.3.4 カスケード接続動作　説明変更
		913	図17.26 PWM モードの設定手順例　変更
		923	図17.36 リセット同期PWM モード(ユニット0) の設定手順例　変更
		928	図17.39 相補PWM モード(ユニット0) の設定手順例　変更
		953	17.3.8（3）相補PWMモードの割り込み間引き機能　説明変更
		953	図17.68 割り込み間引き機能の設定手順例　変更
		954	図17.70 割り込み間引き機能の動作例（ユニット0）　変更
		955	(C) 割り込み間引きと連動したバッファ転送制御　変更
		957	17.3.8(4)(a)　レジスタ、カウンタの誤書き込み防止機能　説明変更
		960	図17.76 割り込み間引き機能と連動した場合のA/D 変換の開始要求信号（TRG4AN）の動作例（ユニット0）（TCNT のアップカウント時およびダウンカウント時にTRG4AN 出力を許可したとき）タイトル変更
		960	割り込み間引き機能と連動した場合のA/D 変換の開始要求信号（TRG4AN）の動作例（ユニット0）（TCNT のアップカウント時にTRG4AN 出力を許可したとき）タイトル変更
		971	図17.86 外部クロック動作時のカウントタイミング（チャネル0 ～ 4、6 ～ 10）　変更
		971	図17.87 外部クロック動作時のカウントタイミング（位相計数モード）　変更
		977	図17.100 TGI 割り込みタイミング（コンペアマッチ）（チャネル0 ～ 4 または6 ～ 10）　変更
		977	図17.101 TGI 割り込みタイミング（コンペアマッチ）（チャネル5 または11）　変更
		978	図17.102 TGI 割り込みタイミング（インプットキャプチャ）（チャネル0 ～ 4 または6 ～ 10）　変更
		978	図17.103 TGI 割り込みタイミング（インプットキャプチャ）（チャネル5 または11）　変更
		979	図17.104 TCIV 割り込みのセットタイミング　変更
		979	図17.105 TCIU 割り込みのセットタイミング　変更
		982	図17.108 TCNT への書き込みとカウントアップの競合　変更
		982	図17.109 TGR への書き込みとコンペアマッチの競合　タイトル変更
		986	図17.114 TGR への書き込みとインプットキャプチャの競合（チャネル0 ～ 4 または6 ～ 10）タイトル変更
		986	図17.115 TGR への書き込みとインプットキャプチャの競合（チャネル5 または11）　タイトル変更
		990	図17.119 リセット同期PWM モードのバッファ動作とコンペアマッチフラグ　変更
		991	図17.120 リセット同期PWM モードのオーバフローフラグ　変更
		992	17.6.17 オーバフロー／アンダフローとカウンタクリアの競合　説明変更
		992	図17.121 オーバフローとカウンタクリアの競合　変更
		993	17.6.18 TCNT への書き込みとオーバフロー／アンダフローの競合　説明変更
		993	図17.122 TCNT への書き込みとオーバフローの競合　タイトル変更
		995	17.7.2 動作中の移動などによる再設定時の動作　説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.1.17	996	17.7.3 動作中の異常などによる端子の初期化手順、モード遷移の概要　説明変更
		1022	18. ポートアウトプットイネーブル（POE3） 表18.3 端子の組み合わせ　変更
		1045 1058	19. プログラマブルパルスジェネレータ（PPG） 表19.4 PPGのレジスター覧　変更 19.2.6 PPG出力モードレジスタ（PMR）　説明変更
		1078 1078 1078 1087 1087 1089 1089 1090 1090 1093	20. 8ビットタイマ（TMR） 表20.4 16ビットアクセスのレジスタ配置とシンボル　変更 20.2.1～20.2.3　16ビットアクセス時のシンボルおよびアドレス追記 20.4.2 コンペアマッチ時の割り込みタイミング　変更 図20.7 コンペアマッチ時の割り込みタイミング　変更 20.4.5 TCNTカウンタの外部リセットタイミング　変更 図20.10 外部リセット入力によるクリアタイミング（立ち上がりエッジ）　変更 20.4.6 オーバフローによる割り込みタイミング　変更 図20.12 オーバフローによる割り込みタイミング　変更 20.7.2 周期設定上の注意　変更
		1105 1105	21. コンペマッチタイマ（CMT） 21.4.2 コンペアマッチ割り込みの発生タイミング　変更 図21.4 コンペアマッチ割り込みの発生タイミング　変更
		1159 1171	25. イーサネットコントローラ（ETHERC） 25.2.2 ETHERCステータスレジスタ（ECSR）　ビット説明変更 25.2.21 手動PAUSEフレーム設定レジスタ（MPR）　説明変更
		1145～1153	24. 独立ウォッチドッグタイマ（IWDT） オンチップオシレータクロック名の変更
		1159 1184 1184 1184 1185	25. イーサネットコントローラ（ETHERC） 25.2.2 ETHERCステータスレジスタ（ECSR）　LCHNGビット説明変更 25.4 PHY-LSIとの接続　説明変更 図25.19 PHY-LSIとの接続例（MII）　タイトルおよび内容変更 図25.20 PHY-LSIとの接続例（RMII）タイトルおよび内容変更 25.5.2 RMII選択時のRMII_RX_ER端子入力について　追加
		1188 1209 1212 1217 1218	26. イーサネットコントローラ用DMAコントローラ（EDMAC） 26.2.1 EDMACモードレジスタ（EDMR）　注記の説明変更 26.3.1 ディスクリプタリストとデータバッファ　説明変更 26.3.1.2 (1) 受信ディスクリプタ0（RD0）　RFS説明変更 26.3.4.1 マルチバッファフレームの送信処理　説明変更 26.3.4.2 マルチバッファフレームの受信処理　説明変更
		1228 1231 1237 1248 1252 1263 1264 1286 1302 1305	27. USB2.0ホスト/ファンクションモジュール（USB） 27.2.2 システムコンフィギュレーションステータスレジスタ0（SYSSTS0）　ビット説明変更 27.2.3 デバイスステートコントロールレジスタ0（DVSTCTR0）　変更 27.2.5 CFIFOポート選択レジスタ（CFIFOSEL）　DCLRMビット説明変更 27.2.12 SOF出力コンフィグレーションレジスタ（SOFCFG）　変更 27.2.14 割り込みステータスレジスタ1（INTSTS1）　ビット図変更 27.2.23 USBリクエストインデックスレジスタ（USBINDX）　説明変更 27.2.24 USBリクエストレングスレジスタ（USBLENG）　説明変更 27.2.35 デバイスアドレスnコンフィグレーションレジスタ（DEVADDn）　説明変更 図27.10 割り込みの関連図　変更 27.3.3.1 (2)BRDYM = “0”かつBFRE = “1”設定時　説明削除
		全体 全体	28. シリアルコミュニケーションインタフェース（SCIa） スマートカードインタフェースモード時のレジスタシンボルをSMCIに変更 章構成をモード別に分離

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.1.17	1342	表28.1 SCIの仕様　注記追加
		1345	表28.3 SCI/SMCIの入出力端子　タイトルおよび内容変更
		1369	図28.7 SCIの初期化フローチャートの例（調歩同期式モード）　変更
		1362	表28.9 ビットレートに対するBRRの設定例（クロック同期式モード）　変更
		1369	図28.7 SCI の初期化フローチャートの例（調歩同期式モード）　注記追加
		1370	図28.8 調歩同期式モードのシリアル送信時の動作例（8ビットデータ/パリティあり/1ストップビットの例）　変更
		1372	図28.10 調歩同期式モードのシリアル受信時の動作例（8 ビットデータ／パリティあり／１ストップビットの例）　変更
		1378	図28.15 SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／１ストップビットの例）　変更
		1379	図28.16 マルチプロセッサシリアル受信フローチャートの例（1）　変更
		1382	図28.19 SCIの初期化フローチャートの例（クロック同期式モード）　変更
		1383	図28.20 クロック同期式モードのシリアル送信時の動作例　変更
		1385	図28.22 クロック同期式モードのシリアル受信時動作例　変更
		1388～1397	28.3 スマートカードインタフェースモード　分離および追加
		1406	図28.33 SMCI 受信モードの場合の再転送動作（受信時の再転送動作）　変更
			29. CRC演算器（CRC）
		1417	29.2.1 CRCコントロールレジスタ（CRCCR）　DORCLRビットのR/W変更
			30. I²Cバスインタフェース（RIIC）
		1425	図30.2 入出力端子の外部回路接続例（I²C バス構成例）　変更
		1453	30.2.11 スレーブアドレスレジスタLy（SARLy）　ビット名変更
		1454	30.2.12 スレーブアドレスレジスタUy（SARUy）　ビット名変更
		1456	30.2.14 I²Cバスビットレートハイレベルレジスタ（ICBRH）　デューティ比説明変更
		1492	図30.36 スタートコンディション/リスタートコンディション発行動作タイミング（ST、RSビット）変更
		1495	30.11.2 SCLクロック追加出力機能　説明変更
			31. CANモジュール（CAN）
		全体	CAN レジスタのレジスタシンボル変更
		1506	表31.3 CANモジュールレジスタ構成　変更
		1517	表31.5 メールボックスのメモリ配置　変更
		1536	31.2.13 ステータスレジスタ（STR）　ビット説明変更
		1561	図31.13 MBj レジスタの構成（j=0～31）　タイトル変更
		1553	31.2.24 テスト制御レジスタ（TCR）(2) セルフテストモード0（外部ループバック）　説明変更
			32. シリアルペリフェラルインタフェース（RSPI）
		1577	32.2.3 RSPI端子制御レジスタ（SPPCR）　説明変更
		1582	32.2.6 RSPIシーケンス制御レジスタ（SPSCR）　説明変更
		1583	32.2.7 RSPIシーケンスステータスレジスタ（SPSSR）　SPECMビット説明変更
		1589	32.2.11 RSPIスレーブセレクトネゲート遅延レジスタ（SSLND）　説明変更
		1590	32.2.12 RSPI次アクセス遅延レジスタ（SPND）　説明変更
		1607	図32.15 MSBファースト転送（1）（24ビットデータ／パリティ機能無効）　変更
		1614	32.3.6.2 送信のみ動作（SPCR.TXMD=1）　説明変更
		1617	表32.9 通常以外の転送の発生条件とRSPIのエラー検出機能　説明変更
		1619	32.3.8.1 オーバランエラー　説明変更
		1620	32.3.8.2 パリティエラー　説明変更
		1621	32.3.8.3 モードフォルトエラー　説明変更
		1639	図32.36 スレーブモード時の初期化フロー例（クロック同期式動作）　変更
			33. 12ビットA/Dコンバータ（S12AD）
		全体	12ビットA/Dコンバータの割り込み名称をS12ADI0　に統一
		1646	表33.1 A/Dコンバータの仕様　割り込み要因の名称変更
		1647	表33.2 A/Dコンバータの機能概要　割り込みの名称変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.1.17	1652	33.2.2 A/Dコントロールレジスタ（ADCSR）　変更
		1659	図33.3 1 サイクルスキャンモードの動作例　変更
		1660	図33.4 連続スキャンモードの動作例　変更
		1661	33.3.4 アナログ入力のサンプリングとスキャン変換時間
		1668	33.4 割り込み要因とDMA転送要求　説明変更
			34. 10 ビットA/D コンバータ（ADa）
		1681	34.2.6 A/D自己診断レジスタ（ADDIAGR）　注記変更
		1683	図34.3 A/D コンバータの動作例（シングルモード）　変更
		1684	図34.4 A/D コンバータの動作例（連続スキャンモード）　変更
		1685	図34.5 A/D コンバータの動作例（1 サイクルスキャンモード）　変更
		1686	図34.6 A/D 変換タイミング　変更
			35. D/Aコンバータ
		1702	35.2.2 D/Aコンロールレジスタ（DACR）　注2.変更
		1705	図35.2 D/Aコンバータの動作例　変更
			37. ROM（コード格納用フラッシュメモリ）
		1772	37.9.6(9) 消去ブロック情報問い合わせ　レスポンス変更
		1788	37.10.2 状態遷移　説明変更
		1788	37.10.2 状態遷移　説明変更
		1788	図37.35 USBブートモードの状態遷移　変更
			38. データフラッシュ（データ格納用フラッシュメモリ）
		1807	図38.3 データマットのブロック分割　変更
		1817	38.7.1 ソフトウェアプロテクト　(3) DFLWEk レジスタによるプロテクト　変更
		1817	38.7.1 ソフトウェアプロテクト　(4) DFLREk レジスタによるプロテクト　変更
			39. バウンダリスキャン
		1825	39.2.1 インストラクションレジスタ（JTIR）　ビット表変更
		1839	39.3.2(6) HIGHZ[命令コード：1000 0000b]　タイトル変更
		1840	39.4 使用上の注意事項　説明変更
			40. 電気的特性
		1845	表40.4 DC特性(3)　表および注記変更
		1846	表40.5 出力許容電流　変更
		1848	表40.8 クロックタイミング　変更
		1849	図40.1 BCLK端子出力、SDCLK端子出力タイミング　変更
		1852	表40.9 制御信号タイミング　表および注記変更
		1867	表40.13 内蔵周辺モジュールタイミング(1)　変更
		1870	表40.16 内蔵周辺モジュールタイミング(4)　表および注記変更
		1872	表40.18 内蔵周辺モジュールタイミング(6)　変更
		1872	図40.25 I/O ポート入出力タイミング　変更
		1884	表40.19 内蔵USBフルスピード特性（DP、DM端子特性）　変更
1.11	2011.2.24	42	1ページサマリ　追加
1.20	2011.4.20		1.概要
		43	表1.1 仕様概要　説明欄変更
		81	表1.9 端子機能一覧　機能欄変更
			2.CPU
		106	2.5.5 命令コード配置の注意事項　本文追加
			5.I/O レジスタ
		132	表5.1　I/O レジスタアドレス一覧　変更
			8.クロック発生回路
		252	表8.5 水晶発振子の特性（参考値）　変更
		258	図8.7 サブクロックを使用しない場合の端子処理　変更
		258	8.11.1 発振停止検出と検出後の動作　本文変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2011.4.20		9.消費電力低減機能
		263	表9.2 各モードにおける移行および解除方法と動作状態　注記変更
		264	図9.1 モード遷移　注記変更
		274	9.2.5 ディープスタンバイコントロールレジスタ（DPSBYCR）　DPSBYビット　本文変更
		275	9.2.6 ディープスタンバイウェイトコントロールレジスタ（DPSWCR）　変更
		276	9.2.7 ディープスタンバイインタラプトイネーブルレジスタ（DPSIER）　機能欄変更
		277	9.2.8 ディープスタンバイインタラプトフラグレジスタ（DPSIFR）　変更
		280	9.2.10 リセットステータスレジスタ（RSTSR）　変更
		285	9.5.2.2 全モジュールクロックストップモードの解除　変更
		287	9.5.3.2 ソフトウェアスタンバイモードの解除　変更
		290	9.5.4.1 ディープソフトウェアスタンバイモードへの移行　変更
		291	9.5.4.2 ディープソフトウェアスタンバイモードの解除　変更
		298	9.7.6 ディープソフトウェアスタンバイモードの移行と割り込みの競合　変更
			11.割り込みコントローラ（ICUa）
		308	表11.1 割り込みコントローラの仕様　変更
		309	図11.1 割り込みコントローラのブロック図　変更
		327	11.2.8 IRQコントロールレジスタn（IRQCRn）（n =0～15）　本文追加
		328	11.2.9 ノンマスカブル割り込みステータスレジスタ（NMISR）　変更
		329	11.2.10 ノンマスカブル割り込み許可レジスタ（NMIER）　変更
		332	表11.4 割り込みのベクタテーブル　変更
		342	表11.5 DMACA/DTC起動時の動作　注記変更
		344	11.5 ノンマスカブル割り込みの動作説明　変更
			12.バス
		355	表12.6 外部バスの入出力端子　注2追加
		356	12.2.7 制約事項　（2）追加
		359	12.3.1 CSn制御レジスタ（CSnCR）（n＝0～7）　注3、4変更
		359	12.3.1 CSn制御レジスタ（CSnCR）（n＝0～7）　EMODEビット本文追加
		362	表12.9 ライトアクセス時の制御信号の有効、無効　変更
		367	12.3.5 CSnウェイト制御レジスタ2（CSnWCR2）（n＝0～7）　変更
		421	12.5.6 制約事項　(4) EXDMAC のシングルアドレス転送モード時の制約事項　変更
		422	12.5.6 制約事項　(6) ストリング操作命令に関する制約事項　本文追加
		422	12.5.6 制約事項　(7) 命令コードに関する制約事項　本文追加
		455	12.6.15 制限事項　（5）、（6）追加
			13.DMAコントローラ（DMACA)
		467	13.2.5 DMA転送モードレジスタ（DMTMD)　変更
		480	13.3.1 転送モード　（2）リピート転送モード　変更
		482	図13.3 リピート転送モードの動作　変更
		485	図13.6 ブロック転送モードと拡張リピートエリア機能を併用した例　変更
		486	13.3.3 オフセットを使ったアドレス更新機能　（2）オフセット加算を使ったXY変換例　変更
		489	図13.9 リピート転送モード+オフセット加算によるXY変換のフロー　変更
		492	図13.10 レジスタの設定手順　変更
		496	表13.9 DMACAの実行サイクル　注1追加
			14.EXDMAコントローラ（EXDMAC)
		502	表14.1 EXDMACの仕様　内容欄変更
		503	表14.2 EXDMACの入出力端子　機能欄変更
		509	14.2.5 EXDMA転送モードレジスタ（EDMTMD)　変更
		527	14.3.1 転送モード　（2）リピート転送モード　変更
		529	図14.3 リピート転送モードの動作　変更
		530	14.3.1 転送モード　（3）ブロック転送モード　変更
		530	図14.4 ブロック転送モードの動作　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2011.4.20	534	図14.7 ブロック転送モードと拡張リピートエリア機能を併用した例　変更
		537	14.3.3 オフセットを使ったアドレス更新機能　（2）オフセット加算を使ったXY変換例　変更
		538	図14.10 リピート転送モード+オフセット加算によるXY変換のフロー　変換
		540	14.4 転送動作　本文追加
		547	14.5.1 起動要因　変更
		548	図14.22 立ち下がりエッジ検出による外部DMA転送要求のタイミング　変更
		548	図14.23 Low検出による外部DMA要求のタイミング　変更
		549	図14.24 レジスタの設定手順　変更
		557	14.9.1 シングルアドレスモードノーマル転送（CS領域）EDACK動作例　変更
		557	図14.27 シングルアドレスモードノーマル転送（CS領域　リード）動作例　変更
		558	図14.28 シングルアドレスモードノーマル転送（CS領域　ライト）動作例　変更
		561	14.9.3 シングルアドレスモードブロック転送（CS領域）EDACK動作例　変更
		561	図14.31 シングルアドレスモードブロック転送（CS領域　リード）動作例　変更
		562	図14.32 シングルアドレスモードブロック転送（CS領域　ライト）動作例　変更
			15. データトランスファコントローラ（DTCa)
		597	表15.10 DTCの実行サイクル　注7追加
			16.I/Oポート
		621	16.1.2.4 入力バッファコントロールレジスタ（ICR)　本文追加
		814	表16.40 USBMD[1:0]ビットの設定とUSBモードの関係（USB0）　注1追加
		830	図16.1 入出力ポートの構成(1)　追加
		831	図16.2 入出力ポートの構成(2)　追加
		832	図16.3 入出力ポートの構成(3)　追加
		833	図16.4 入出力ポートの構成(4)　追加
			17. マルチファンクションタイマパルスユニット2（MTU)
		880	17.2.17 タイマアウトプットマスタイネーブルレジスタ（TOER)　変更
		933	図17.40 相補PWMモードのカウンタ動作　変更
		935	図17.41 相補PWMモード動作例　変更
		938	図17.42 デッドタイムを生成しない場合の動作例　変更
		939	図17.43 PWM周期の変更例　変更
		940	図17.44 相補PWMモードのデータ更新例　変更
		941	図17.45 相補PWMモードの初期出力例（1）（ユニット0）　変更
		942	図17.46 相補PWMモードの初期出力例（2）（ユニット0）　変更
		943	図17.47 相補PWMモード波形出力例（1）（ユニット0）　変更
		944	図17.48 相補PWMモード波形出力例（2）　変更
		944	図17.49 相補PWMモード波形出力例（3）（ユニット0）　変更
		945	図17.50 相補PWMモード0%、100%波形出力例（1）（ユニット0）　変更
		945	図17.51 相補PWMモード0%、100%波形出力例（2）（ユニット0）　変更
		946	図17.52 相補PWMモード0%、100%波形出力例（3）（ユニット0）　変更
		946	図17.53 相補PWMモード0%、100%波形出力例（4）（ユニット0）　変更
		947	図17.54 相補PWMモード0%、100%波形出力例（5）（ユニット0）　変更
		949	図17.56 他のチャネルに同期したカウンタクリア（ユニット0）　変更
		950	図17.57 同期カウンタクリアタイミング（ユニット0）　変更
		951	図17.59 アップカウント中のデッドタイム時に同期クリアが発生した場合 （図17.57のタイミング③、MTUのTWCRレジスタのWREビット＝1）（ユニット0）　変更
		952	図17.60 山のTb区間で同期クリアが発生した場合 （図17.57のタイミング⑥、MTUのTWCRレジスタのWREビット＝1）（ユニット0）　変更
		952	図17.61 ダウンカウント中のデッドタイム時に同期クリアが発生した場合 （図17.57のタイミング⑧、TWCRレジスタのWREビット＝1）（ユニット0）　変更
		953	図17.62 谷のTb区間で同期クリアが発生した場合 （図17.57のタイミング⑪、TWCRレジスタのWREビット＝1）（ユニット0）　変更
		958	図17.69 割り込み間引き回数の変更可能期間（ユニット0）　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2011.4.20	959	図17.71 バッファ転送を抑止する設定（BTE1＝0、BTE0＝1）にした場合の動作例（ユニット0）変更
		960	図17.72 バッファ転送を割り込み間引きと連動する設定（BTE1＝1、BTE0＝0）にした場合の動作例（ユニット0）　変更
		960	図17.73 タイマ割り込み間引き設定レジスタ（TITCR）のT3AEN、T4VENビットの設定とバッファ転送許可期間の関係（ユニット0）　変更
			18.ポートアウトプットイネーブル2（POE2)
		1045	18.5 使用上の注意事項　本文追加
			22.リアルタイムクロック（RTC)
		1114	22.2 レジスタの説明　注1、本文追加
		1137	22.5.4 レジスタの書き込み／読み出し時の注意事項　追加
			23.ウォッチドッグタイマ（WDT)
		1141	23.2.2 タイマコントロール／ステータスレジスタ（TCSR)　変更
		1146	23.5.1 レジスタアクセス時の注意　変更
			25. イーサネットコントローラ（ETHERC)
		1159	表25.3 ETHERCの入出力端子（2）（RMIIモード時）　変更
		1161	25.2.1 ETHERC モードレジスタ（ECMR）　変更
		1166	25.2.5 PHY部インタフェースレジスタ（PIR)　レジスタ機能変更
		1167	25.2.6 MAC アドレス上位設定レジスタ（MAHR）　変更
		1168	25.2.7 MACアドレス下位設定レジスタ（MALR）　本文変更
		1171	25.2.13 CRC エラーフレーム受信カウンタレジスタ（CEFCR）　本文変更
		1175	25.2.21 手動PAUSE フレーム設定レジスタ（MPR）　本文変更
			26.イーサネットコントローラ用DMAコントローラ（EDMAC)
		1192	26.2.1 EDMAC モードレジスタ（EDMR）　本文変更
		1205	26.2.11 FIFO容量指定レジスタ（FDR)　レジスタ図変更
		1212	26.2.22 個別出力信号設定レジスタ（IOSR）　機能欄変更
			27.USB2.0ホスト／ファンクションモジュール（USB)
		1243	27.2.6 CFIFOポートコントロールレジスタ（CFIFOCTR）D0FIFOポートコントロールレジスタ（D0FIFOCTR）D1FIFOポートコントロールレジスタ（D1FIFOCTR）　変更
		1252	27.2.12 SOF出力コンフィグレーションレジスタ（SOFCFG）　変更
		1271	27.2.27 DCPコントロールレジスタ（DCPCTR）　変更
		1280	27.2.32 パイプnコントロールレジスタ（PIPEnCTR）（n = 1～9）　変更
		1290	27.2.35 デバイスアドレスnコンフィグレーションレジスタ（DEVADDn）（n = 0～5）　変更
		1307	表27.16 USBmの割り込み一覧　変更
		1315	27.3.3.3 BEMP割り込み　変更
		1327	27.3.5.1 FIFOバッファメモリ　変更
		1329	表27.23 パイプ別FIFOポートアクセス表　変更
		1330	27.3.5.4 DMA 転送（D0FIFO/D1FIFO ポート）　変更
		1337	27.3.9.3 インターバルカウンタ　変更
			28.シリアルコミュニケーションインタフェース（SCIa)
		1355	28.2.1.6 シリアルコントロールレジスタ（SCR)　追加
			30.I^{2}Cバスインタフェース（RIIC)
		1470、1471	30.3.4 マスタ受信動作　本文変更
		1472	図30.10 マスタ受信のフローチャート例（7ビットアドレスフォーマットの場合）　変更
		1474	図30.13 マスタ受信の動作タイミング（3）（RDRFS=0のとき）　変更
			31.CANモジュール（CAN)
		1573	表31.12 CAN割り込み一覧表　変更
			32.シリアルペリフェラルインタフェース（RSPI)
		1575	図32.1 RSPIのブロック図　変更
		1588	表32.4 SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレート　変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2011.4.20		34.10ビットA/Dコンバータ（ADa)
		1700	34.6.5 許容信号源インピーダンスについて　本文変更
		1701	34.6.8 ボード設計上の注意　変更
			37.ROM（コード格納用フラッシュメモリ）
		1794	37.13 使用上の注意事項　（4）書き込み／消去中のリセット　変更
			39.バウンダリスキャン
		1845	図39.4 各端子の構成　変更
			40.電気特性
		1870	図40.23 EDACK0、EDACK1シングルアドレス転送タイミング（CS領域）　変更
		1870	図40.24 EDACK0、EDACK1シングルアドレス転送タイミング（SDRAM領域）　変更
			付録1.　各動作モードにおけるポートの状態
		1897	表1.1 各動作モードにおけるポートの状態　変更
1.30	2011.12.22		1. 概要
		44、46	表1.1 仕様概要（1/4）　変更、注1.、注2.削除
		55	図1.6 144ピンLQFPピン配置図（補助図）　変更
		57	図1.8 100ピンLQFPピン配置図（補助図）　変更
		75	表1.7 機能別端子一覧（100ピンLQFP）（1/4）　変更
		81	表1.8 機能別端子一覧（85ピンTFLGA）（3/3）　変更
			2. CPU
		88	2.1 特長　変更
		107	2.6.1 固定ベクタテーブル　説明変更
		107	図2.8 固定ベクタテーブル　変更
			5. I/Oレジスタ
		134、135	表5.1 I/Oレジスタアドレス一覧　レジスタ名　修正
		137、138	表5.1 I/Oレジスタアドレス一覧　MPUのレジスタ　追加
		149	表5.1 I/Oレジスタアドレス一覧　モジュールシンボル　修正
		178	表5.2 I/O レジスタビット一覧　モジュールシンボル、レジスタシンボル　修正
		184～186	表5.2 I/O レジスタビット一覧　MPUのビット一覧追加
		196	表5.2 I/O レジスタビット一覧　IWDTCRのビット　修正
		211	表5.2 I/O レジスタビット一覧　PORT9の注記　修正
		217、220	表5.2 I/O レジスタビット一覧　USB0とUSB1のNRDYENBとNRDYSTSビット　修正
			6. リセット
		229	図6.1 リセット回路のブロック図　説明変更
		230	表6.2 リセット種別ごとの初期化対象　説明変更
			8. クロック発生回路
		256	8.3.1 水晶発振子を接続する方法　説明削除
		256	図8.3 水晶発振子の等価回路　説明削除
			9. 消費電力低減機能
		280	9.2.7 ディープスタンバイインタラプトイネーブルレジスタ（DPSIER）　変更
			10. 例外処理
		303	図10.1 例外事象の種類　変更
		304	10.1.3 アクセス例外　追加
		305	図10.2 例外処理手順の概要　変更
		307	表10.1 受け付けタイミングと保存されるPC値　変更
		307	表10.2 ベクタとPC、PSWの退避場所　変更
		309	10.5.3 アクセス例外　追加
		311	表10.3 例外処理ルーチンからの復帰命令　変更
		311	表10.4 割り込み優先順位　変更
			13. メモリプロテクションユニット（MPU）
		463～484	メモリプロテクションユニット（MPU）　章追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2011.12.22		17. I/Oポート
		636	表17.2 ポート機能一覧（176ピンLFBGA） ポートBのビット0の機能欄変更
		680～683	表17.10 各ポートの出力許可設定一覧（176ピンLFBGA） P10～P13、P22～P24、P30の説明変更
		746、747	表17.21 各ポートの出力許可設定一覧（145ピンTFLGA/144ピンLQFP） P12、P13、P22～P24の説明変更
		800、801	表17.32 各ポートの出力許可設定一覧（100ピンLQFP） P12、P13、P22～P24の説明変更
		842、843	表17.42 各ポートの出力許可設定一覧（85ピンTFLGA） P12、P13、P22～P24の説明変更
			18. マルチファンクションタイマパルスユニット2（MTU2）
		887	表18.24 BF1、BF0ビットによる転送タイミングの設定 説明変更
		898	18.2.8 タイマインプットキャプチャコントロールレジスタ（TICCR） 説明変更
		906	18.2.17 タイマアウトプットマスタイネーブルレジスタ（TOER） 説明変更
		907	18.2.18 タイマアウトプットコントロールレジスタ1（TOCR1） 注3 追加
		909	18.2.19 タイマアウトプットコントロールレジスタ2（TOCR2） 注1、注2 追加
		922	18.2.30 タイマ波形コントロールレジスタ（TWCR） 変更
		937	18.3.4 カスケード接続動作 本文 追加
		940	図18.24 カスケード接続動作例（c） 注1 追加
		985	図18.72 バッファ転送を割り込み間引きと連動する設定（BTE1 ＝ 1、BTE0 ＝ 0）にした場合の動作例（ユニット0） 変更
		1007	図18.101 TGI 割り込みタイミング（コンペアマッチ）（チャネル5 または11） 注記 追加
		1023	18.6.20 相補PWM モード、リセット同期PWM モードの出力レベル 追加
		1023	18.6.21 モジュールストップ状態時の割り込み 追加
		1025	18.6.24 相補PWM モード同期クリアするときの異常動作防止について 追加
		1025	図18.123 同期クリア例（条件1 の場合） 追加
		1026	図18.124 同期クリア例（条件2の場合） 追加
			26. イーサネットコントローラ（ETHERC）
		1217	26.5.1 LCHNGビットのセット条件について 変更
			28. USB2.0ホスト／ファンクションモジュール（USB）
		1298	28.2.26 DCPマックスパケットサイズレジスタ（DCPMAXP） レジスタ表、本文 変更
		1306	28.2.30 パイプマックスパケットサイズレジスタ（PIPEMAXP） レジスタ表、本文 変更
		1312	表28.11 ACLRM=“1”設定時にUSBモジュールがクリアする内容 説明変更
		1318	28.2.35 デバイスアドレスnコンフィグレーションレジスタ（DEVADDn）（n = 0～5） 本文 変更
			29. シリアルコミュニケーションインタフェース（SCIa）
		1374	表29.1 SCIの仕様 注1.削除
		1401	図29.7 SCIの初期化フローチャートの例（調歩同期式モード） 変更
		1414	図29.19 SCIの初期化フローチャートの例（クロック同期式モード） 変更
			31. I^2Cバスインタフェース（RIIC）
		1524	図31.36 スタートコンディション/リスタートコンディション発行動作タイミング（ST、RSビット）変更
			38. ROM（コード格納用フラッシュメモリ）
		1806	38.9.6 (11) 新ビットレート選択 ビットレート選択不可エラーの誤差計算式変更
		1822、1823	38.13 使用上の注意事項 （2）（4）（5）（7）（8） 文章変更
			39. データフラッシュ（データ格納用フラッシュメモリ）
		1824	表39.1 データフラッシュの仕様 BGO機能の内容 変更
		1829	39.2.2 フラッシュアクセスステータスレジスタ（FASTAT） DFLAE ビット（データフラッシュアクセス違反ビット） 変更
		1854	39.9 使用上の注意事項 （2）その他の注意事項 変更
			41. 電気的特性
		1877	表41.4 DC特性（3） スペック追加
		1884	表41.9 制御信号タイミング 注記変更
		1904	表41.18 内蔵周辺モジュールタイミング（6） 条件変更
			付録1. 各動作モードにおけるポートの状態
		1924	表1.1 各動作モードにおけるポートの状態 変更

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの 該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.40	2014.07.16	5. I/O レジスタ		
		153、154	表5.1 I/Oレジスタアドレス一覧　変更	TN-RX*-A012A/J
		199	表5.2 I/O レジスタビット一覧　変更	TN-RX*-A012A/J
		214	表5.2 I/Oレジスタビット一覧　変更	
		217	表5.2 I/Oレジスタビット一覧　変更	
		9. 消費電力低減機能		
		264	表9.2 各モードにおける移行および解除方法と動作状態　変更、注13　追加	
		266	表9.3 消費電力低減機能関連のレジスター覧　変更	
		269、270	9.2.2 モジュールストップコントロールレジスタA（MSTPCRA）　変更	
		285	9.5.1.1 スリープモードへの移行　変更	
		286	9.5.2.1 全モジュールクロックストップモードへの移行　変更、注5　追加	
		11. 割り込みコントローラ（ICUa）		
		314	表11.3 割り込みコントローラのレジスター覧：割り込み要求レジスタ 225 追加	
		344	11.4.5 多重割り込み　追加	TN-RX*-A067A/J
		344	11.4.6 高速割り込み　変更	
		12. バス		
		405	図12.16 バスタイミング（ノーマルリード）　注1　追加	
		14. DMAコントローラ（DMACA）		
		503	表14.4 ノーマル転送モードでのレジスタ更新値　注2　追加	
		15. EXDMAコントローラ（EXDMAC）		
		550	表15.5 ノーマル転送モードでのレジスタ更新値　注2　追加	
		17. I/Oポート		
		633	表17.2 ポート機能一覧（176ピンLFBGA）：ポートC　変更	
		644	17.1.2.4 入力バッファコントロールレジスタ（ICR）　説明変更	
		681	表17.10 各ポートの出力許可設定一覧（176ピンLFBGA）：P52　変更	
		699、701	表17.14 ポート機能一覧（145ピンTFLGA／144ピンLQFP）：ポート2、ポート3、ポートC　変更	
		709	17.2.2.1 データディレクションレジスタ（DDR）　注　変更	
		712	17.2.2.4 入力バッファコントロールレジスタ（ICR）　説明変更	
		746	表17.21 各ポートの出力許可設定一覧（145ピンTFLGA／144ピンLQFP）：P52　変更	
		761	表17.25 ポート機能一覧（100ピンLQFP）：ポートC　変更	
		770	17.3.2.4 入力バッファコントロールレジスタ（ICR）　説明変更	
		800	表17.32 各ポートの出力許可設定一覧（100ピンLQFP）：P52　変更	
		814	表17.36 ポート機能一覧（85ピンTFLGA）：ポート1、ポート2　変更	
		823	17.4.2.4 入力バッファコントロールレジスタ（ICR）　説明変更	
		825	17.4.2.6 プルアップ抵抗コントロールレジスタ（PCR）　変更	
		842	表17.42 各ポートの出力許可設定一覧（85ピンTFLGA）：P52　変更	
		18. マルチファンクションタイマパルスユニット2（MTU2）		
		859～1048	動作モードの名称変更：「通常動作」→「ノーマルモード」、 表現の変更：「ノンアクティブレベル」→「非アクティブレベル」	
		919	18.2.30 タイマ波形コントロールレジスタ（TWCR）　注1　追加	
		955	図18.39 相補PWM モード(ユニット0) の設定手順例　変更	
		957	(b) レジスタの動作　変更	
		958	図18.41 相補PWM モード動作例　変更	
		961	図18.42 デッドタイムを生成しない場合の動作例　変更	
		961	(g) PWM 周期の設定　変更	TN-RX*-A064A/J
		966～970	(j) 相補PWM モードのPWM 出力生成方法、図18.47 相補PWM モード波形出力例（1）（ユニット0）～図18.54 相補PWM モード波形出力例（5）（ユニット0）　変更	TN-RX*-A099A/J
		971	(l) PWM 周期に同期したトグル出力　変更	
		973	(n) 相補PWM モードでの同期カウンタクリア時出力波形制御、図18.57 同期カウンタクリアタイミング（ユニット0）　変更	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.40	2014.07.16	974	図18.59 アップカウント中のデッドタイム時に同期クリアが発生した場合　変更	
		975	図18.60 山のTb 区間で同期クリアが発生した場合、図18.61 ダウンカウント中のデッドタイム時に同期クリアが発生した場合　変更	
		976	図18.62 谷のTb 区間で同期クリアが発生した場合、図18.63 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例（ユニット0）　変更	
		977	(p) AC 同期モータ（ブラシレスDC モータ）の駆動波形出力例、図18.64 外部入力による出力相の切り換え動作例（1）（ユニット0）、図18.65 外部入力による出力相の切り換え動作例（2）（ユニット0）　変更	
		978	図18.66 UF、VF、WF ビット設定による出力相の切り換え動作例（1）（ユニット0）、図18.67 UF、VF、WF ビット設定による出力相の切り換え動作例（2）（ユニット0）　変更	
		979	(3) 相補PWM モードの割り込み間引き機能　変更	
		980	図18.70 割り込み間引き機能の動作例（ユニット0）　変更	
		981	図18.71 バッファ転送を抑止する設定（BTE1 ＝ 0、BTE0 ＝ 1）にした場合の動作例（ユニット0）　変更	
		982	図18.72 バッファ転送を割り込み間引きと連動する設定（BTE1 ＝ 1、BTE0 ＝ 0）にした場合の動作例（ユニット0）　変更	TN-RX*-A099A/J
		983	図18.73 タイマ割り込み間引き設定レジスタ（TITCR）のT3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係（ユニット0）　変更	TN-RX*-A099A/J
		985	図18.74 A/D 変換開始要求ディレイド機能の設定手順例　変更	
		989	18.3.11 デッドタイム補償用機能　変更、図18.80 相補PWM モード動作時のデッドタイム遅れ　タイトル変更	
		991	(2) 相補PWM モードの「山／谷」でのTCNT キャプチャ動作、図18.83 相補PWM モード の「山／谷」でのMTU5.TCNT キャプチャ動作　変更	
		995	(1) TGRA のインプットキャプチャ／コンペアマッチと、相補PWM モード時のMTUn.TCNT の谷でのA/D 起動（n=4,10）　変更	
		996	(3) MTU0.TCNT とMTU0.TGRF のコンペアマッチによるA/D 起動（MTU0）、(4) MTU0.TGRA またはMTU0.TGRB のインプットキャプチャ／コンペアマッチによるA/D 起動（MTU0）　変更	
		1008	18.6.3 周期設定上の注意事項　変更、図18.107 TCNT への書き込みとカウンタクリアの競合　タイトル変更	
		1008	18.6.4 TCNTへの書き込みとカウンタクリアの競合　変更	
		1016	18.6.14 相補PWM モードでのバッファ動作の設定　変更	
		1017	18.6.15 リセット同期PWM モードのバッファ動作とコンペアマッチフラグ、図18.119 リセット同期PWM モードのバッファ動作とコンペアマッチフラグ　変更	
		1018	18.6.16 リセット同期PWM モードのオーバフローフラグ、図18.120 リセット同期PWM モードのオーバフローフラグ　変更	
		1022	図18.123 同期クリア例（条件1 の場合）　変更	
		1029	(6) ノーマルモードで動作中に異常が発生し、リセット同期PWM モードで再スタートする場合の動作　変更	
		19. ポートアウトプットイネーブル2（POE2）		
		1069	19.3.5 ハイインピーダンス状態からの解除　変更	TN-RX*-A018A/J
		23. リアルタイムクロック（RTC）		
		1137	23.1 概要　変更	
		26. イーサネットコントローラ（ETHERC）		
		1186	26.2.1 ETHERC モードレジスタ（ECMR）　変更	TN-RX*-A101A/J
		1188	26.2.2 ETHERC ステータスレジスタ（ECSR）　変更	TN-RX*-A101A/J
		1189	26.2.3 ETHERC 割り込み許可レジスタ（ECSIPR）　変更	TN-RX*-A101A/J
		1211	26.3.5 Magic Packet™ の検出　変更	
		27. イーサネットコントローラ用DMAコントローラ（EDMAC）		
		1220	27.2.4 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）　変更	
		1221	27.2.5 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）　変更	
		1222、1223	27.2.6 ETHERC/EDMAC ステータスレジスタ（EESR）　変更	TN-RX*-A101A/J
		1227	27.2.8 送受信ステータスコピー指示レジスタ（TRSCER）　変更	TN-RX*-A101A/J
		1228	27.2.9 ミスドフレームカウンタレジスタ（RMFCR）　変更	TN-RX*-A101A/J
		1229	27.2.10 送信FIFO しきい値指定レジスタ（TFTR）　変更	TN-RX*-A101A/J
		1230	27.2.11 FIFO 容量指定レジスタ（FDR）　変更	TN-RX*-A101A/J
		1235	27.2.19 フロー制御開始FIFO しきい値設定レジスタ（FCFTR）　変更	TN-RX*-A101A/J
		1239	(1) 送信ディスクリプタ0（TD0）　変更	TN-RX*-A101A/J

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.40	2014.07.16	1242	(1) 受信ディスクリプタ0（RD0）　変更	TN-RX*-A101A/J
		1244	27.3.2 送信機能　変更	
		1245	27.3.3 受信機能　変更	
		28. USB2.0ホスト／ファンクションモジュール（USB）		
		1248～1370	用語の変更　補間機能 ⇒ 補完機能	TN-RX*-A102A/J
		1248	表28.1 USBの仕様　変更、注1　追加	TN-RX*-A102A/J
		1250	表28.2 USBの入出力端子　変更	
		1258、1259	28.2.3 デバイスステートコントロールレジスタ0（DVSTCTR0）　変更	TN-RX*-A102A/J
		1261、1262	28.2.4 CFIFO ポートレジスタ（CFIFO）D0FIFO ポートレジスタ（D0FIFO）D1FIFO ポートレジスタ（D1FIFO）　変更	TN-RX*-A102A/J
		1262	表28.7 16ビットアクセス時のエンディアン動作表　変更、旧表28.8 8ビットアクセス時のエンディアン動作表　削除	TN-RX*-A102A/J
		1263	28.2.5 CFIFO ポート選択レジスタ（CFIFOSEL）　D0FIFO ポート選択レジスタ（D0FIFOSEL）　D1FIFO ポート選択レジスタ（D1FIFOSEL）　変更	TN-RX*-A102A/J
		1268	28.2.6 CFIFO ポートコントロールレジスタ（CFIFOCTR）D0FIFO ポートコントロールレジスタ（D0FIFOCTR）D1FIFO ポートコントロールレジスタ（D1FIFOCTR）　変更	TN-RX*-A102A/J
		1277	28.2.12 SOF 出力コンフィグレーションレジスタ（SOFCFG）　変更	TN-RX*-A102A/J
		1278	28.2.13 割り込みステータスレジスタ0（INTSTS0）　変更	TN-RX*-A102A/J
		1287	28.2.18 フレームナンバーレジスタ（FRMNUM）　変更	TN-RX*-A102A/J
		1296	28.2.27 DCP コントロールレジスタ（DCPCTR）　変更	TN-RX*-A102A/J
		1303	28.2.30 パイプマックスパケットサイズレジスタ（PIPEMAXP）　変更	TN-RX*-A102A/J
		1305	28.2.32 パイプn コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）　変更	TN-RX*-A102A/J
		1317	28.2.36 ディープスタンバイUSB トランシーバ制御／端子モニタレジスタ（DPUSR0R）　FIXPHYn ビット　変更	
		1321	28.3.1.2 コントローラ機能の選択設定　変更	TN-RX*-A102A/J
		1335	図28.11 BRDY 割り込み発生タイミング図　変更	TN-RX*-A102A/J
		1339	図28.12 NRDY 割り込み発生タイミング図（ファンクションコントローラ機能選択時）　変更	TN-RX*-A102A/J
		1341	図28.13 ファンクションコントローラ機能選択時のBEMP 割り込み発生タイミング図　変更	TN-RX*-A102A/J
		1343	図28.15 コントロール転送ステージ遷移図　変更	
		1357	(1) セットアップステージ、(3) ステータスステージ　変更	
		1358	(4) コントロール転送自動応答機能　変更	TN-RX*-A102A/J
		1359	(1) カウンタの初期化　変更	TN-RX*-A102A/J
		1360	(e) インターバルエラー　変更	
		1362	(1) ファンクションコントローラ機能選択時でのカウンタの初期化　変更	TN-RX*-A102A/J
		1364	(3) ファンクションコントローラ機能選択時のインターバルカウントと転送制御、図28.18 IITV = “0” の場合のフレームとトークン受信期待有無の関係　変更	TN-RX*-A102A/J
		1369	28.3.10 SOF 補完機能　変更	TN-RX*-A102A/J
		29. シリアルコミュニケーションインタフェース（SCIa）		
		1426	表29.15 ビットレートに対するBRRの設定例　変更	
		1431	29.3.3.3 スマートカードインタフェースの初期化　説明変更	
		30. CRC演算器（CRC）		
		1446	30.2.1 CRC コントロールレジスタ（CRCCR）　注1　削除	
		1447	30.2.3 CRC データ出力レジスタ（CRCDOR）　変更	
		31. I²Cバスインタフェース（RIIC）		
		1455	表31.3 RIICのレジスター覧　変更	TN-RX*-A012A/J
		1456、1457	31.2.1 I²C バスコントロールレジスタ1（ICCR1）　変更	TN-RX*-A070A/J
		1464、1465	31.2.4 I²C バスモードレジスタ2（ICMR2）　変更	TN-RX*-A012A/J、TN-RX*-A048A/J
		1484	31.2.13 I²C バスビットレートローレベルレジスタ（ICBRL）　変更	
		1489	31.2.18 タイムアウト 内部カウンタ（TMOCNT）　追加	TN-RX*-A012A/J 、TN-RX*-A048A/J
		1491	図31.5 RIIC の初期化フローチャート例　変更、注3、注4　追加	TN-RX*-A012A/J 、TN-RX*-A048A/J
		1493	図31.6 マスタ送信のフローチャート例　変更、注1、注2　追加	TN-RX*-A012A/J 、TN-RX*-A048A/J
		1496	31.3.4 マスタ受信動作　変更	TN-RX*-A070A/J

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.40	2014.07.16	1498	図31.10 マスタ受信のフローチャート例（7 ビットアドレスフォーマットの場合、2 バイト以下の場合）　追加	TN-RX*-A070A/J
		1499	図31.11 マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上の場合）　変更	TN-RX*-A012A/J、TN-RX*-A013A/J、TN-RX*-A048A/J、TN-RX*-A070A/J
		1501	図31.14 マスタ受信の動作タイミング（3）（RDRFS=0 のとき）　変更	
		1503	図31.15 スレーブ送信のフローチャート例　変更、注1、注2　追加	TN-RX*-A012A/J 、TN-RX*-A048A/J
		1506	図31.18 スレーブ受信のフローチャート例　変更、注1、注2　追加	TN-RX*-A012A/J 、TN-RX*-A048A/J
		1514	31.7.3 デバイスID アドレス検出機能　変更	TN-RX*-A096A/J
		1526	31.11.1 タイムアウト検出機能　変更	TN-RX*-A070A/J
		32. CANモジュール（CAN）		
		1551	(b) MB.DLC　アドレス変更	
		1552	(c) MB.DATA0 ～ 7　注1　変更	TN-RX*-A095A/J
		1578	BLIF フラグ（バスロック検出フラグ）　説明変更	TN-RX*-A065A/J
		1585	図32.9 CAN 動作モード間の移行　変更、注3　追加	TN-RX*-A065A/J
		1587	表32.9 CANリセットモードとCAN Haltモードでの動作、注1～注4　変更	TN-RX*-A065A/J
		33. シリアルペリフェラルインタフェース（RSPI）		
		1658	表33.12 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係　変更	
		1659	図33.28 マスタモード時の初期化フロー例（SPI 動作）　変更	TN-RX*-A094A/J
		34. 12ビットA/Dコンバータ（S12AD）		
		1679	図34.1 A/Dコンバータのブロック図　変更	
		37. RAM		
		1738	表37.1 RAMの仕様　変更、注2　追加	
		38. ROM（コード格納用フラッシュメモリ）		
		1752	38.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR）　変更	TN-RX*-A020A/J
		1770	図38.7 ROM リードモード移行フロー　変更	TN-RX*-A020A/J
		1820	38.10.3 USB ブートモード実行時の注意点　変更	
		41. 電気的特性		
		1876	表41.4 DC特性（3）、注1　変更	
		1886～1889	図41.10 外部バスタイミング/ ノーマルリードサイクル（バスクロック同期）～図41.14 外部バスタイミング/ 外部ウェイト制御　変更	
		1898	表41.13 内蔵周辺モジュールタイミング（1）：SCI　変更	
		1920	表41.25 ROM（コード格納用フラッシュメモリ）特性（1）、注2　変更、注3 削除、表41.26 ROM（コード格納用フラッシュメモリ）特性（2）　追加	TN-RX*-A051A/J
		付録2.　外形寸法図		
		1934	図C. 144 ピンLQFP（PLQP0144KA-A）　変更	
		1935	図D. 100 ピンLQFP（PLQP0100KB-A）　変更	

RX62Nグループ、RX621グループ ユーザーズマニュアル
ハードウェア編

発行年月日　2010年2月18日　Rev.0.50
　　2014年7月16日　Rev.1.40

発行　　ルネサス エレクトロニクス株式会社
　　〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2014 Renesas Electronics Corporation. All rights reserved.
Colophon 2.0

RX62N グループ、RX621 グループ

ルネサス エレクトロニクス株式会社

R01UH0033JJ0140