

RX62Tグループ、RX62Gグループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ
RXファミリ／RX600シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX62Tグループ、RX62Gグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。

最新版はルネサス エレクトロニクス のホームページに掲載されています。

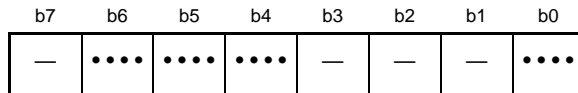
ドキュメントの種類	記載内容	資料名	資料番号
ショートシート	ハードウェアの概要	RX62Tグループ、RX62Gグループ ショートシート	—
データシート	ハードウェアの概要と電気的特性	—	—
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX62Tグループ、RX62Gグループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ ユーザーズマニュアル ソフトウェア編	RJJ09B0465
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS THCHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxxxh



リセット後の値 x 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W (注1)
b0	••••0	••••ビット (注2)	0: ••••• 1: 設定しないでください。(注3)	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	••••4	••••ビット	0: ••••• 1: •••••	R
b6-b5	••••[1:0]	••••ビット	00: ••••• 01: ••••• 上記以外は設定しないでください。(注3)	R/(W) (注)
b7	—	予約ビット	読んだ場合、その値は不定です。書き込みは無効になります	R

- 注1. R/W : 読み出し／書き込みともに有効です。
 R/(W) : 読み出し／書き込みともに有効ですが、書き込みには制限があります。制限の内容については、各レジスタの説明や注記を参照ください。
 R : 読み出しのみ有効です。書き込みは無効になります。
- 注2. 予約ビットです。書く場合には、必ず指定された値を書いてください。指定外の値を書いた場合の動作は保証されません。
- 注3. 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	特長	35
1.	概要	36
1.1	仕様概要	36
1.2	製品一覧	43
1.3	ブロック図	46
1.4	ピン配置図	47
1.5	端子機能	66
2.	CPU	70
2.1	特長	70
2.2	CPU レジスタセット	71
2.2.1	汎用レジスタ (R0 ~ R15)	72
2.2.2	制御レジスタ	72
2.2.2.1	割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	73
2.2.2.2	割り込みテーブルレジスタ (INTB)	73
2.2.2.3	プログラムカウンタ (PC)	73
2.2.2.4	プロセッサステータスワード (PSW)	74
2.2.2.5	バックアップ PC (BPC)	76
2.2.2.6	バックアップ PSW (BPSW)	76
2.2.2.7	高速割り込みベクタレジスタ (FINTV)	76
2.2.2.8	浮動小数点ステータスワード (FPSW)	77
2.2.2.9	アキュムレータ (ACC)	80
2.3	プロセッサモード	81
2.3.1	スーパバイザモード	81
2.3.2	ユーザモード	81
2.3.3	特権命令	81
2.3.4	プロセッサモード間の移行	81
2.4	データタイプ	82
2.5	エンディアン	82
2.5.1	エンディアンの切り替え	82
2.5.2	I/O レジスタアクセス	86
2.5.3	I/O レジスタアクセスの注意事項	86
2.5.4	データ配置	87
2.5.4.1	レジスタのデータ配置	87
2.5.4.2	メモリ上のデータ配置	87
2.6	ベクタテーブル	88
2.6.1	固定ベクタテーブル	88
2.6.2	可変ベクタテーブル	89
2.7	命令動作	90
2.7.1	RMPA 命令、ストリング操作命令のデータプリフェッチ	90
2.8	パイプライン	91
2.8.1	概要	91

2.8.2	命令とパイプライン処理.....	93
2.8.2.1	単一のマイクロオペレーションに変換される命令とパイプライン処理.....	93
2.8.2.2	複数のマイクロオペレーションに変換される命令とパイプライン処理.....	95
2.8.2.3	パイプラインの基本動作.....	98
2.8.3	命令処理時間の計算方法.....	100
2.8.4	割り込み応答サイクル数.....	100
3.	動作モード.....	101
3.1	動作モードの種類と選択.....	101
3.2	レジスタの説明.....	102
3.2.1	モードモニタレジスタ (MDMONR).....	102
3.2.2	モードステータスレジスタ (MDSR).....	103
3.2.3	システムコントロールレジスタ 0 (SYSCR0).....	104
3.2.4	システムコントロールレジスタ 1 (SYSCR1).....	105
3.3	動作モードの説明.....	106
3.3.1	シングルチップモード.....	106
3.3.2	ブートモード.....	106
3.4	動作モードの移行.....	106
3.4.1	モード端子による動作モードの移行.....	106
3.4.2	レジスタによる動作モードの移行.....	107
4.	アドレス空間.....	108
4.1	アドレス空間.....	108
5.	I/O レジスタ.....	109
5.1	I/O レジスタアドレス一覧 (アドレス順).....	112
5.2	I/O レジスタビット一覧.....	140
6.	リセット.....	170
6.1	概要.....	170
6.2	レジスタの説明.....	173
6.2.1	リセットステータスレジスタ (RSTSR).....	173
6.2.2	リセットコントロール/ステータスレジスタ (RSTCSR).....	173
6.2.3	IWDT ステータスレジスタ (IWDTSR).....	173
6.3	動作説明.....	174
6.3.1	端子リセット.....	174
6.3.2	パワーオンリセット.....	174
6.3.3	電圧監視リセット.....	175
6.3.4	ディープソフトウェアスタンバイリセット.....	175
6.3.5	独立ウォッチドッグタイマリセット.....	175
6.3.6	ウォッチドッグタイマリセット.....	175
6.4	リセット発生要因の判定.....	176
6.5	使用上の注意事項.....	176
6.5.1	ボード設計上の注意.....	176
7.	電圧検出回路 (LVD).....	177
7.1	概要.....	177

7.2	レジスタの説明	178
7.2.1	リセットステータスレジスタ (RSTSR)	178
7.2.2	低電圧検出コントロールレジスタ用キーコードレジスタ (LVDKEYR)	178
7.2.3	低電圧検出コントロールレジスタ (LVDCR)	179
7.3	電圧検出回路	180
7.3.1	電圧監視リセット	180
7.3.2	電圧監視割り込み	183
7.3.3	電圧検出回路によるディープソフトウェアスタンバイモードの解除	185
8.	クロック発生回路	186
8.1	概要	186
8.2	レジスタの説明	187
8.2.1	システムクロックコントロールレジスタ (SCKCR)	188
8.2.2	発振停止検出コントロールレジスタ (OSTDCR)	189
8.3	メインクロック発振器	190
8.3.1	発振子を接続する方法	190
8.3.2	外部クロックを入力する方法	191
8.4	IWDT 専用低速 オンチップオシレータ	191
8.5	発振停止検出回路	191
8.6	内部発振回路	191
8.7	PLL 回路	191
8.8	分周器	191
8.9	内部クロック	192
8.9.1	システムクロック (ICLK)	192
8.9.2	周辺モジュールクロック (PCLK)	192
8.9.3	オンチップオシレータクロック (IWDTCLK)	192
8.10	発振停止検出機能	193
8.10.1	発振停止検出と検出後の動作	193
8.10.2	発振停止検出割り込み	193
8.10.3	ディープソフトウェアスタンバイ解除に関する注意事項	193
8.11	使用上の注意事項	194
8.11.1	クロック発生回路に関する注意事項	194
8.11.2	発振子に関する注意事項	194
8.11.3	ボード設計上の注意	195
9.	消費電力低減機能	196
9.1	概要	196
9.2	レジスタの説明	199
9.2.1	スタンバイコントロールレジスタ (SBYCR)	200
9.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	202
9.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	204
9.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	205
9.2.5	ディープスタンバイコントロールレジスタ (DPSBYCR)	206

9.2.6	ディープスタンバイウェイトコントロールレジスタ (DPSWCR)	207
9.2.7	ディープスタンバイインタラプトイネーブルレジスタ (DPSIER)	208
9.2.8	ディープスタンバイインタラプトフラグレジスタ (DPSIFR)	209
9.2.9	ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)	210
9.2.10	リセットステータスレジスタ (RSTSR)	211
9.2.11	ディープスタンバイバックアップレジスタ (DPSBKRY) (y=0 ~ 31)	213
9.3	マルチクロック機能	214
9.4	モジュールストップ機能	214
9.5	低消費電力状態	215
9.5.1	スリープモード	215
9.5.1.1	スリープモードへの移行	215
9.5.1.2	スリープモードの解除	215
9.5.2	全モジュールクロックストップモード	216
9.5.2.1	全モジュールクロックストップモードへの移行	216
9.5.2.2	全モジュールクロックストップモードの解除	216
9.5.3	ソフトウェアスタンバイモード	217
9.5.3.1	ソフトウェアスタンバイモードへの移行	217
9.5.3.2	ソフトウェアスタンバイモードの解除	217
9.5.3.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	218
9.5.3.4	ソフトウェアスタンバイモードの応用例	219
9.5.4	ディープソフトウェアスタンバイモード	220
9.5.4.1	ディープソフトウェアスタンバイモードへの移行	220
9.5.4.2	ディープソフトウェアスタンバイモードの解除	221
9.5.4.3	ディープソフトウェアスタンバイモード解除時の端子状態	222
9.5.4.4	ディープソフトウェアスタンバイモード解除後の発振安定時間の設定	223
9.5.4.5	ディープソフトウェアスタンバイモードの応用例	224
9.5.4.6	ディープソフトウェアスタンバイモードのフローチャート	225
9.6	使用上の注意事項	226
9.6.1	I/O ポートの状態	226
9.6.2	DTC のモジュールストップ	226
9.6.3	内蔵周辺モジュールの割り込み	226
9.6.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	226
9.6.5	DIRQnE ビット (n=1、0) による入力バッファ制御	226
9.6.6	ディープソフトウェアスタンバイモードの移行と割り込みの競合	226
9.6.7	WAIT 命令の実行タイミング	226
10.	例外処理	227
10.1	例外事象	227
10.1.1	未定義命令例外	228
10.1.2	特権命令例外	228
10.1.3	アクセス例外	228
10.1.4	浮動小数点例外	228

10.1.5	リセット	228
10.1.6	ノンマスクابل割り込み	228
10.1.7	割り込み	228
10.1.8	無条件トラップ	228
10.2	例外の処理手順	229
10.3	例外事象の受け付け	231
10.3.1	受け付けタイミングと保存される PC 値	231
10.3.2	ベクタと PC、PSW の退避場所	231
10.4	例外の受け付け／復帰時のハードウェア処理	232
10.5	ハードウェア前処理	233
10.5.1	未定義命令例外	233
10.5.2	特権命令例外	233
10.5.3	アクセス例外	233
10.5.4	浮動小数点例外	233
10.5.5	リセット	233
10.5.6	ノンマスクابل割り込み	234
10.5.7	割り込み	234
10.5.8	無条件トラップ	234
10.6	例外処理ルーチンからの復帰	235
10.7	例外事象の優先順位	235
11.	割り込みコントローラ (ICU)	236
11.1	概要	236
11.2	レジスタの説明	238
11.2.1	割り込み要求レジスタ i (IR i) (i = 割り込みベクタ番号)	244
11.2.2	割り込み要求許可レジスタ m (IER m) (m =02h ~ 1Fh)	246
11.2.3	割り込み要因プライオリティレジスタ m (IPR m) (m =00h~90h)	247
11.2.4	高速割り込み設定レジスタ (FIR)	248
11.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	249
11.2.6	DTC 起動許可レジスタ n (DTCER n) (n = 割り込みベクタ番号)	250
11.2.7	IRQ コントロールレジスタ n (IRQCR n) (n = 0 ~ 7)	251
11.2.8	ノンマスクابل割り込みステータスレジスタ (NMISR)	252
11.2.9	ノンマスクابل割り込み許可レジスタ (NMIER)	253
11.2.10	ノンマスクابل割り込みクリアレジスタ (NMICLR)	254
11.2.11	NMI 端子割り込みコントロールレジスタ (NMICR)	255
11.3	ベクタテーブル	256
11.3.1	割り込みのベクタテーブル	256
11.3.2	高速割り込みのベクタテーブル	262
11.3.3	ノンマスクابل割り込みのベクタテーブル	262
11.4	割り込みの動作説明	263
11.4.1	割り込み検出	263
11.4.1.1	エッジ検出の割り込みステータスフラグ	263

11.4.1.2	レベル検出の割り込みステータスフラグ	265
11.4.2	割り込み要求の許可／禁止	265
11.4.3	割り込み要求先の選択	266
11.4.4	優先順位の判定	267
11.4.5	多重割り込み	267
11.4.6	高速割り込み	267
11.4.7	外部端子割り込み	267
11.5	ノンマスクブル割り込みの動作説明	268
11.6	低消費電力状態からの復帰	269
11.6.1	スリープモードからの復帰	269
11.6.2	全モジュールクロックストップモードからの復帰	269
11.6.3	ソフトウェアスタンバイモードからの復帰	269
11.7	使用上の注意事項	270
11.7.1	DTC 転送を使用した通信動作の注意事項	270
11.7.2	MTU3 割り込みご使用時の注意事項	272
12.	バス	274
12.1	概要	274
12.2	バスの説明	276
12.2.1	CPU バス	276
12.2.2	メモリバス	276
12.2.3	内部メインバス	276
12.2.4	内部周辺バス	277
12.2.5	並列動作	277
12.2.6	制約事項	277
12.3	レジスタの説明	278
12.3.1	バスエラーステータスクリアレジスタ (BERCLR)	278
12.3.2	バスエラー監視許可レジスタ (BEREN)	278
12.3.3	バスエラーステータスレジスタ 1 (BERSR1)	279
12.3.4	バスエラーステータスレジスタ 2 (BERSR2)	280
12.4	バスエラー監視部	281
12.4.1	バスエラーの種類	281
12.4.1.1	不正アドレスアクセス	281
12.4.2	バスエラー発生時の動作	281
12.4.3	バスエラーの発生条件	281
13.	メモリプロテクションユニット (MPU)	283
13.1	概要	283
13.1.1	アクセス制御の種類	285
13.1.2	アクセス制御領域	285
13.1.3	バックグラウンド領域	285
13.1.4	領域のオーバーラップ	285
13.1.5	領域をまたぐ命令とデータ	285

13.2	レジスタの説明	286
13.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n=0 ~ 7)	287
13.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n=0 ~ 7)	288
13.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	289
13.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	290
13.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	291
13.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	292
13.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	293
13.2.8	領域サーチアドレスレジスタ (MPSA)	294
13.2.9	領域サーチオペレーションレジスタ (MPOPS)	294
13.2.10	領域インバリデートオペレーションレジスタ (MPOPI)	295
13.2.11	命令ヒット領域レジスタ (MHITI)	296
13.2.12	データヒット領域レジスタ (MHITD)	298
13.3	機能	300
13.3.1	メモリプロテクション機能	300
13.3.2	領域サーチ機能	300
13.3.3	メモリプロテクションユニット関連レジスタの保護	300
13.3.4	メモリプロテクション機能のアクセス判定フロー	301
13.4	メモリプロテクション機能使用手順	303
13.4.1	アクセス制御情報の設定	303
13.4.2	メモリプロテクション機能の有効化	303
13.4.3	ユーザモードへの移行	303
13.4.4	メモリプロテクションエラー発生時の処理	303
14.	データトランスファコントローラ (DTC)	305
14.1	概要	305
14.2	レジスタの説明	307
14.2.1	DTC モードレジスタ A (MRA)	308
14.2.2	DTC モードレジスタ B (MRB)	309
14.2.3	DTC 転送元アドレスレジスタ (SAR)	311
14.2.4	DTC 転送先アドレスレジスタ (DAR)	311
14.2.5	DTC 転送カウントレジスタ A (CRA)	312
14.2.6	DTC 転送カウントレジスタ B (CRB)	313
14.2.7	DTC コントロールレジスタ (DTCCR)	313
14.2.8	DTC ベクタベースレジスタ (DTCVBR)	314
14.2.9	DTC アドレスモードレジスタ (DTCADM)	314
14.2.10	DTC モジュール起動レジスタ (DTCST)	315
14.2.11	DTC ステータスレジスタ (DTCSTS)	316
14.3	起動要因	317
14.3.1	転送情報の配置と DTC ベクタテーブル	317
14.3.2	起動要因とベクタアドレス	319
14.4	動作説明	321

14.4.1	転送情報リードスキップ機能	324
14.4.2	転送情報ライトバックスキップ機能	325
14.4.3	ノーマル転送モード	326
14.4.4	リピート転送モード	327
14.4.5	ブロック転送モード	328
14.4.6	チェーン転送	329
14.4.7	動作タイミング	330
14.4.8	DTC の実行サイクル	333
14.4.9	DTC のバス権解放タイミング	333
14.5	DTC の設定手順	334
14.6	DTC 使用例	335
14.6.1	ノーマル転送	335
14.6.2	カウンタ = 0 のときのチェーン転送	335
14.7	割り込み要因	337
14.8	消費電力低減機能	337
14.9	使用上の注意事項	338
14.9.1	転送情報先頭アドレス	338
14.9.2	転送情報の配置	338
14.9.3	割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERn) の設定	339
14.9.4	DTC の起動要因に通信機能の割り込みを指定する場合	339
15.	I/O ポート	340
15.1	112 ピン LQFP I/O ポート	340
15.1.1	概要	340
15.1.2	レジスタの説明	344
15.1.2.1	データディレクションレジスタ (DDR)	348
15.1.2.2	データレジスタ (DR)	349
15.1.2.3	ポートレジスタ (PORT)	350
15.1.2.4	入力バッファコントロールレジスタ (ICR)	351
15.1.2.5	ポートファンクションレジスタ 8 (PF8IRQ)	352
15.1.2.6	ポートファンクションレジスタ 9 (PF9IRQ)	352
15.1.2.7	ポートファンクションレジスタ A (PFAADC)	353
15.1.2.8	ポートファンクションレジスタ C (PFCMTU)	354
15.1.2.9	ポートファンクションレジスタ D (PFDGPT)	355
15.1.2.10	ポートファンクションレジスタ F (PF8SCI)	355
15.1.2.11	ポートファンクションレジスタ G (PFGSPI)	356
15.1.2.12	ポートファンクションレジスタ H (PFHSPI)	357
15.1.2.13	ポートファンクションレジスタ J (PFJCAN)	358
15.1.2.14	ポートファンクションレジスタ K (PFKLIN)	358
15.1.2.15	ポートファンクションレジスタ M (PFMPOE)	359
15.1.2.16	ポートファンクションレジスタ N (PFNPOE)	360
15.1.3	ポートの設定	361

15.1.4	出力許可設定一覧.....	362
15.1.5	未使用端子の処理.....	366
15.2	100 ピン LQFP I/O ポート.....	367
15.2.1	概要.....	367
15.2.2	レジスタの説明.....	371
15.2.2.1	データディレクションレジスタ (DDR)	375
15.2.2.2	データレジスタ (DR)	376
15.2.2.3	ポートレジスタ (PORT)	377
15.2.2.4	入力バッファコントロールレジスタ (ICR)	378
15.2.2.5	ポートファンクションレジスタ 8 (PF8IRQ)	379
15.2.2.6	ポートファンクションレジスタ A (PFAADC)	379
15.2.2.7	ポートファンクションレジスタ C (PFCMTU)	380
15.2.2.8	ポートファンクションレジスタ D (PFDGPT)	381
15.2.2.9	ポートファンクションレジスタ F (PFFSCI)	381
15.2.2.10	ポートファンクションレジスタ G (PFGSPI)	382
15.2.2.11	ポートファンクションレジスタ H (PFHSPI)	383
15.2.2.12	ポートファンクションレジスタ J (PFJCAN)	384
15.2.2.13	ポートファンクションレジスタ K (PFKLIN)	385
15.2.2.14	ポートファンクションレジスタ M (PFMPOE)	385
15.2.2.15	ポートファンクションレジスタ N (PNPOE)	386
15.2.3	ポートの設定.....	387
15.2.4	出力許可設定一覧.....	388
15.2.5	未使用端子の処理.....	392
15.3	80 ピン LQFP I/O ポート.....	393
15.3.1	概要.....	393
15.3.2	レジスタの説明.....	396
15.3.2.1	データディレクションレジスタ (DDR)	400
15.3.2.2	データレジスタ (DR)	401
15.3.2.3	ポートレジスタ (PORT)	402
15.3.2.4	入力バッファコントロールレジスタ (ICR)	403
15.3.2.5	ポートファンクションレジスタ 8 (PF8IRQ)	404
15.3.2.6	ポートファンクションレジスタ A (PFAADC)	405
15.3.2.7	ポートファンクションレジスタ C (PFCMTU)	406
15.3.2.8	ポートファンクションレジスタ D (PFDGPT)	407
15.3.2.9	ポートファンクションレジスタ G (PFGSPI)	408
15.3.2.10	ポートファンクションレジスタ H (PFHSPI)	409
15.3.2.11	ポートファンクションレジスタ J (PFJCAN)	410
15.3.2.12	ポートファンクションレジスタ K (PFKLIN)	411
15.3.2.13	ポートファンクションレジスタ M (PFMPOE)	411
15.3.2.14	ポートファンクションレジスタ N (PNPOE)	412
15.3.3	ポートの設定.....	413

15.3.4	出力許可設定一覧.....	414
15.3.5	未使用端子の処理.....	417
15.4	80 ピン (R5F562TxGDFF) I/O ポート.....	418
15.4.1	概要.....	418
15.4.2	レジスタの説明.....	421
15.4.2.1	データディレクションレジスタ (DDR).....	425
15.4.2.2	データレジスタ (DR).....	426
15.4.2.3	ポートレジスタ (PORT).....	427
15.4.2.4	入力バッファコントロールレジスタ (ICR).....	428
15.4.2.5	ポートファンクションレジスタ 8 (PF8IRQ).....	429
15.4.2.6	ポートファンクションレジスタ A (PFAADC).....	429
15.4.2.7	ポートファンクションレジスタ C (PFCMTU).....	430
15.4.2.8	ポートファンクションレジスタ D (PFDGPT).....	431
15.4.2.9	ポートファンクションレジスタ F (PFFSCI).....	431
15.4.2.10	ポートファンクションレジスタ G (PFGSPI).....	432
15.4.2.11	ポートファンクションレジスタ H (PFHSPI).....	433
15.4.2.12	ポートファンクションレジスタ J (PFJCAN).....	434
15.4.2.13	ポートファンクションレジスタ K (PFKLIN).....	435
15.4.2.14	ポートファンクションレジスタ M (PFMPOE).....	435
15.4.2.15	ポートファンクションレジスタ N (PFNPOE).....	436
15.4.3	ポートの設定.....	437
15.4.4	出力許可設定一覧.....	438
15.4.5	未使用端子の処理.....	442
15.5	64 ピン LQFP I/O ポート.....	443
15.5.1	概要.....	443
15.5.2	レジスタの説明.....	446
15.5.2.1	データディレクションレジスタ (DDR).....	448
15.5.2.2	データレジスタ (DR).....	449
15.5.2.3	ポートレジスタ (PORT).....	450
15.5.2.4	入力バッファコントロールレジスタ (ICR).....	451
15.5.2.5	ポートファンクションレジスタ C (PFCMTU).....	452
15.5.2.6	ポートファンクションレジスタ D (PFDGPT).....	453
15.5.2.7	ポートファンクションレジスタ G (PFGSPI).....	454
15.5.2.8	ポートファンクションレジスタ H (PFHSPI).....	455
15.5.2.9	ポートファンクションレジスタ J (PFJCAN).....	456
15.5.2.10	ポートファンクションレジスタ K (PFKLIN).....	456
15.5.2.11	ポートファンクションレジスタ M (PFMPOE).....	457
15.5.3	ポートの設定.....	458
15.5.4	出力許可設定一覧.....	459
15.5.5	未使用端子の処理.....	462
15.6	入出力ポートの構成.....	463

15.7	使用上の注意事項	465
15.7.1	入力バッファコントロールレジスタ (PORTn.ICR) の設定	465
15.7.2	ポートファンクションレジスタの設定	465
15.7.3	出力許可設定の切り替えについて	466
15.7.4	ポートレジスタ (PORT) を読むときの注意事項	466
16.	マルチファンクションタイマパルスユニット 3 (MTU3)	467
16.1	概要	467
16.2	レジスタの説明	473
16.2.1	タイマコントロールレジスタ (TCR)	479
16.2.2	タイマモードレジスタ 1 (TMDR1)	483
16.2.3	タイマモードレジスタ 2 (TMDR2A、TMDR2B)	486
16.2.4	タイマ I/O コントロールレジスタ (TIOR)	486
16.2.5	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	503
16.2.6	タイマインタラプトイネーブルレジスタ (TIER)	504
16.2.7	タイマステータスレジスタ (TSR)	508
16.2.8	タイマバッファ動作転送モードレジスタ (TBTM)	513
16.2.9	タイマインプットキャプチャコントロールレジスタ (TICCR)	514
16.2.10	タイマシンクロクリアレジスタ (TSYCR)	515
16.2.11	タイマカウンタ (TCNT)	515
16.2.12	タイマジェネラルレジスタ (TGR)	516
16.2.13	タイマスタートレジスタ (TSTR)	517
16.2.14	タイマシンクロレジスタ (TSYR)	519
16.2.15	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	521
16.2.16	タイマリードライトイネーブルレジスタ (TRWERA、TRWERB)	523
16.2.17	タイマアウトプットマスタイネーブルレジスタ (TOER)	524
16.2.18	タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B)	526
16.2.19	タイマアウトプットコントロールレジスタ 2 (TOCR2A、TOCR2B)	528
16.2.20	タイマアウトプットレベルバッファレジスタ (TOLBRA、TOLBRB)	531
16.2.21	タイマゲートコントロールレジスタ A (TGCRA)	532
16.2.22	タイマサブカウンタ (TCNTSA、TCNTSB)	533
16.2.23	タイマ周期データレジスタ (TCDRA、TCDRB)	533
16.2.24	タイマ周期バッファレジスタ (TCBRA、TCBRB)	534
16.2.25	タイマデッドタイムデータレジスタ (TDDRA、TDDRБ)	534
16.2.26	タイマデッドタイムイネーブルレジスタ (TDERA、TDERB)	535
16.2.27	タイマバッファ転送設定レジスタ (TBTERA、TBTERB)	536
16.2.28	タイマ波形コントロールレジスタ (TWCRA、TWCRB)	537
16.2.29	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	539
16.2.30	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA、TADCORB)	543
16.2.31	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA、TADCOBRB)	543
16.2.32	タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB)	544
16.2.33	タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B)	545

16.2.34	タイマ割り込み間引き回数カウンタ 1 (TITCNT1A、TITCNT1B)	548
16.2.35	タイマ割り込み間引き設定レジスタ 2 (TITCR2A、TITCR2B)	550
16.2.36	タイマ割り込み間引き回数カウンタ 2 (TITCNT2A、TITCNT2B)	552
16.2.37	バスマスタとのインタフェース	554
16.3	動作説明	555
16.3.1	基本動作	555
16.3.2	同期動作	561
16.3.3	バッファ動作	563
16.3.4	カスケード接続動作	568
16.3.5	PWM モード	573
16.3.6	位相計数モード	578
16.3.7	リセット同期 PWM モード	584
16.3.8	相補 PWM モード	587
16.3.9	A/D 変換開始要求ディレイド機能	629
16.3.10	MTU0 ~ 4 - MTU6、7 の同期動作	635
16.3.11	外部パルス幅測定機能	638
16.3.12	デッドタイム補償機能	639
16.3.13	相補 PWM の「山／谷」での TCNT キャプチャ動作	641
16.4	割り込み要因	642
16.4.1	割り込み要因と優先順位	642
16.4.2	DTC の起動	644
16.4.3	A/D コンバータの起動	645
16.5	動作タイミング	647
16.5.1	入出力タイミング	647
16.5.2	割り込み信号タイミング	653
16.6	使用上の注意事項	659
16.6.1	モジュールストップ機能の設定	659
16.6.2	入力クロックの制限事項	659
16.6.3	周期設定上の注意事項	659
16.6.4	TCNT への書き込みとクリアの競合	660
16.6.5	TCNT への書き込みとカウントアップの競合	660
16.6.6	TGR への書き込みとコンペアマッチの競合	661
16.6.7	バッファレジスタへの書き込みとコンペアマッチの競合	661
16.6.8	バッファレジスタへの書き込みと TCNT クリアの競合	662
16.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	663
16.6.10	TGR レジスタへの書き込みとインプットキャプチャの競合	664
16.6.11	バッファレジスタへの書き込みとインプットキャプチャの競合	665
16.6.12	カスケード接続における MTU2.TCNT への書き込みとオーバフロー／ アンダフローの競合	666
16.6.13	相補 PWM モード停止時のカウンタ値	667
16.6.14	相補 PWM モードでのバッファ動作の設定	667

16.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	668
16.6.16	リセット同期 PWM モードのオーバフローフラグ	669
16.6.17	オーバフロー／アンダフローとカウンタクリアの競合	670
16.6.18	TCNT への書き込みとオーバフロー／アンダフローの競合	670
16.6.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ移行する場合の 注意事項	671
16.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	671
16.6.21	カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ	671
16.6.22	割り込み間引き機能 2	672
16.6.23	相補 PWM モードの出力保護機能未使用時の注意事項.....	672
16.6.24	相補 PWM モード同期クリアするときの異常動作防止について.....	673
16.6.25	コンペアマッチによる割り込み信号の連続出力	675
16.7	MTU 出力端子の初期化方法	676
16.7.1	動作モード	676
16.7.2	動作中の異常などによる再設定時の動作	676
16.7.3	動作中の異常などによる端子の初期化手順、モード移行の概要	677
17.	ポートアウトプットイネーブル 3 (POE3).....	701
17.1	概要	701
17.2	レジスタの説明	704
17.2.1	入力レベルコントロール／ステータスレジスタ 1 (ICSR1)	705
17.2.2	出力レベルコントロール／ステータスレジスタ 1 (OCSR1)	706
17.2.3	アクティブレベルレジスタ 1 (ALR1)	707
17.2.4	入力レベルコントロール／ステータスレジスタ 2 (ICSR2)	709
17.2.5	出力レベルコントロール／ステータスレジスタ 2 (OCSR2)	710
17.2.6	入力レベルコントロール／ステータスレジスタ 3 (ICSR3)	711
17.2.7	入力レベルコントロール／ステータスレジスタ 4 (ICSR4)	712
17.2.8	入力レベルコントロール／ステータスレジスタ 5 (ICSR5)	713
17.2.9	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	714
17.2.10	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	716
17.2.11	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	717
17.2.12	ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3)	719
17.2.13	ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)	720
17.2.14	ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)	722
17.2.15	ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)	723
17.3	動作説明	725
17.3.1	入力レベル検出動作	730
17.3.2	出力レベル比較動作	731
17.3.3	レジスタによるハイインピーダンス制御	732
17.3.4	発振停止検出検知によるハイインピーダンス制御	732
17.3.5	コンパレータ検出によるハイインピーダンス制御	732
17.3.6	ハイインピーダンス制御条件の追加機能	732

17.3.7	ハイインピーダンス状態からの解除	733
17.4	割り込み	733
17.5	使用上の注意事項	733
18.	汎用 PWM タイマ (GPT/GPTa)	734
18.1	概要	734
18.2	レジスタの説明	739
18.2.1	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)	743
18.2.2	汎用 PWM タイマハードウェア要因スタートコントロールレジスタ (GTHSCR)	744
18.2.3	汎用 PWM タイマハードウェア要因クリアコントロールレジスタ (GTHCCR)	745
18.2.4	汎用 PWM タイマハードウェアスタート要因セレクトレジスタ (GTHSSR)	746
18.2.5	汎用 PWM タイマハードウェアストップ・クリア要因セレクトレジスタ (GTHPSR)	748
18.2.6	汎用 PWM タイマ書き込み保護レジスタ (GTWP)	749
18.2.7	汎用 PWM タイマシンクロレジスタ (GTSYNC)	750
18.2.8	汎用 PWM タイマ外部トリガ入力割り込みレジスタ (GTETINT)	751
18.2.9	汎用 PWM タイマバッファ動作禁止レジスタ (GTBDR)	752
18.2.10	汎用 PWM タイマスタート書き込み保護レジスタ (GTSWP)	753
18.2.11	LOCO カウントコントロールレジスタ (LCCR)	754
18.2.12	LOCO カウントステータスレジスタ (LCST)	756
18.2.13	LOCO カウント値レジスタ (LCNT)	757
18.2.14	LOCO カウント結果平均レジスタ (LCNTA)	757
18.2.15	LOCO カウント結果レジスタ n (LCNTn) (n=00 ~ 15)	757
18.2.16	LOCO カウント上限/下限許容偏差値レジスタ (LCNTDU、LCNTDL)	758
18.2.17	汎用 PWM タイマ I/O コントロールレジスタ (GTIOR)	759
18.2.18	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)	763
18.2.19	汎用 PWM タイマコントロールレジスタ (GTCR)	765
18.2.20	汎用 PWM タイマバッファイネーブルレジスタ (GTBER)	766
18.2.21	汎用 PWM タイマカウント方向レジスタ (GTUDC)	768
18.2.22	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)	769
18.2.23	汎用 PWM タイマステータスレジスタ (GTST)	771
18.2.24	汎用 PWM タイマカウンタ (GTCNT)	774
18.2.25	汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m=A ~ F)	775
18.2.26	汎用 PWM タイマ周期設定レジスタ (GTPR)	775
18.2.27	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)	775
18.2.28	汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)	776
18.2.29	A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m=A、B)	776
18.2.30	A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A,B)	776
18.2.31	A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A,B)	777
18.2.32	汎用 PWM タイマ出力ネゲートコントロールレジスタ (GTONCR)	777
18.2.33	デッドタイムコントロールレジスタ (GTDTCR)	779
18.2.34	汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U、D)	780

18.2.35	汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m =U、D)	780
18.2.36	汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)	781
18.2.37	汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)	781
18.2.38	PWM 出力遅延制御レジスタ (GTDLYCR)	782
18.2.39	GTIOCA 立ち上がり出力遅延レジスタ (GTDLYRA)	783
18.2.40	GTIOCA 立ち下がり出力遅延レジスタ (GTDLYFA)	784
18.2.41	GTIOCB 立ち上がり出力遅延レジスタ (GTDLYRB)	785
18.2.42	GTIOCB 立ち下がり出力遅延レジスタ (GTDLYFB)	786
18.3	動作説明	787
18.3.1	基本動作	787
18.3.1.1	カウンタの動作	787
18.3.1.2	コンペアマッチによる波形出力機能	790
18.3.1.3	インプットキャプチャ機能	794
18.3.2	バッファ動作	796
18.3.2.1	GTTPR レジスタのバッファ動作	796
18.3.2.2	GTCCRA レジスタ、GTCCRB レジスタのバッファ動作	799
18.3.2.3	GTADTRA レジスタ、GTADTRB レジスタのバッファ動作	804
18.3.3	PWM 出力動作モード	807
18.3.4	デッドタイム自動設定機能	819
18.3.5	カウント方向切り替え機能	823
18.3.6	ハードウェア スタート/ストップ、クリア動作	824
18.3.6.1	ハードウェア スタート動作	824
18.3.6.2	ハードウェアストップ動作	826
18.3.6.3	ハードウェア クリア動作	830
18.3.7	同期動作	833
18.3.7.1	同期クリア動作	833
18.3.7.2	同期スタート動作	836
18.3.8	PWM 出力動作例	842
18.3.9	PWM 立ち上がり / 立ち下がりタイミング調整動作	848
18.3.10	GTDLYRA レジスタ、GTDLYRB レジスタ、GTDLYFA レジスタ、 GTDLYFB レジスタの設定値転送タイミング	849
18.4	割り込み要因	851
18.4.1	割り込み要因と優先順位	851
18.4.2	DTC の起動	855
18.4.3	割り込み、A/D 変換要求の間引き機能	855
18.5	A/D 変換開始要求	859
18.6	LOCO カウント機能	861
18.7	保護機能	864
18.7.1	レジスタの書き込み保護	864
18.7.2	バッファ動作の抑止	864
18.7.3	GTIOC 端子出力のネゲート制御	865

18.7.4	GTIOC 端子出力の出力保護機能.....	866
18.7.5	POE 機能による GTIOC 端子出力のハイインピーダンス制御	870
18.8	出力端子の初期化方法	871
18.8.1	リセット後の端子設定	871
18.8.2	動作中の異常などによる端子の初期化	871
18.9	使用上の注意事項	872
18.9.1	モジュールストップ機能の設定	872
18.9.2	コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A、B、C、D、E、F)	872
18.9.3	タイマの安全な停止方法	873
18.9.4	LOCO カウント機能使用時の消費電力低減機能の設定	873
18.9.5	PWM 遅延生成回路の遅延値設定に関する注意事項.....	874
19.	コンペアマッチタイマ (CMT).....	875
19.1	概要	875
19.2	レジスタの説明	876
19.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0).....	877
19.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1).....	878
19.2.3	コンペアマッチタイマコントロールレジスタ (CMCR).....	879
19.2.4	コンペアマッチタイマカウンタ (CMCNT)	880
19.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR).....	880
19.3	動作説明	881
19.3.1	周期カウント動作.....	881
19.3.2	CMCNT カウンタのカウントタイミング	881
19.4	割り込み	882
19.4.1	割り込み要因	882
19.4.2	コンペアマッチ割り込みの発生タイミング	882
19.5	使用上の注意事項	883
19.5.1	モジュールストップ機能の設定	883
19.5.2	コンペアマッチタイマカウンタ (CMCNT) への書き込みとコンペアマッチの競合	883
19.5.3	コンペアマッチタイマカウンタ (CMCNT) への書き込みとカウントアップの競合	883
19.5.4	コンペアマッチタイマコントロールレジスタ (CMCR) 書き替え時の注意事項.....	884
19.5.5	コンペアマッチタイマカウンタ (CMCNT) と コンペアマッチコンスタントレジスタ (CMCOR) の注意事項.....	884
20.	ウォッチドッグタイマ (WDT)	885
20.1	概要	885
20.2	レジスタの説明	887
20.2.1	タイマカウンタ (TCNT).....	887
20.2.2	タイマコントロール/ステータスレジスタ (TCSR)	888
20.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	889
20.2.4	ライトウィンドウ A レジスタ (WINA)	890
20.2.5	ライトウィンドウ B レジスタ (WINB)	890
20.3	動作説明	891

20.3.1	ウォッチドッグタイマモード	891
20.3.2	インターバルタイマモード	892
20.4	割り込み要因	893
20.5	使用上の注意事項	894
20.5.1	レジスタアクセス時の注意	894
20.5.2	タイマカウンタ (TCNT) への書き込みとカウントアップの競合	895
20.5.3	CKS[2:0] ビットの書き換え	895
20.5.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	896
20.5.5	ウォッチドッグタイマモードでの内部リセット	896
20.5.6	WDTOVF# 信号によるシステムのリセット	896
20.5.7	ウォッチドッグタイマモードとソフトウェアスタンバイモードへの移行	896
21.	独立ウォッチドッグタイマ (IWDT)	897
21.1	概要	897
21.2	レジスタの説明	898
21.2.1	IWDT リフレッシュレジスタ (IWDTRR)	898
21.2.2	IWDT コントロールレジスタ (IWDTCR)	899
21.2.3	IWDT ステータスレジスタ (IWDTSR)	901
21.3	動作説明	902
21.3.1	ダウンカウンタのカウント動作	902
21.3.2	IWDT コントロールレジスタ書き込み制御	903
21.3.3	リフレッシュ動作	904
21.3.4	ステータスフラグ	905
21.4	使用上の注意事項	905
21.4.1	消費電力低減機能への遷移における制限事項	905
22.	シリアルコミュニケーションインタフェース (SC1b)	906
22.1	概要	906
22.2	シリアルコミュニケーションインタフェースモード	908
22.2.1	レジスタの説明	908
22.2.1.1	レシーブシフトレジスタ (RSR)	908
22.2.1.2	レシーブデータレジスタ (RDR)	909
22.2.1.3	トランスミットデータレジスタ (TDR)	909
22.2.1.4	トランスミットシフトレジスタ (TSR)	909
22.2.1.5	シリアルモードレジスタ (SMR)	910
22.2.1.6	シリアルコントロールレジスタ (SCR)	912
22.2.1.7	シリアルステータスレジスタ (SSR)	914
22.2.1.8	スマートカードモードレジスタ (SCMR)	917
22.2.1.9	ビットレートレジスタ (BRR)	918
22.2.1.10	シリアル拡張モードレジスタ (SEMR)	925
22.2.2	調歩同期式モードの動作	926
22.2.2.1	シリアル送信/受信フォーマット	927
22.2.2.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	928

22.2.2.3	クロック	929
22.2.2.4	SCI の初期化 (調歩同期式モード)	929
22.2.2.5	シリアルデータの送信 (調歩同期式モード)	931
22.2.2.6	シリアルデータの受信 (調歩同期式モード)	933
22.2.3	マルチプロセッサ通信機能	936
22.2.3.1	マルチプロセッサシリアルデータ送信	937
22.2.3.2	マルチプロセッサシリアルデータ受信	938
22.2.4	クロック同期式モードの動作	941
22.2.4.1	クロック	941
22.2.4.2	SCI の初期化 (クロック同期式モード)	942
22.2.4.3	シリアルデータの送信 (クロック同期式モード)	943
22.2.4.4	シリアルデータの受信 (クロック同期式モード)	945
22.2.4.5	シリアルデータの全二重動作 (クロック同期式モード)	947
22.3	スマートカードインタフェースモード	948
22.3.1	レジスタの説明	948
22.3.1.1	シリアルモードレジスタ (SMR)	949
22.3.1.2	シリアルコントロールレジスタ (SCR)	951
22.3.1.3	シリアルステータスレジスタ (SSR)	953
22.3.1.4	ビットレートレジスタ (BRR)	956
22.3.2	スマートカードインタフェースモードの動作	958
22.3.2.1	接続例	958
22.3.3	データフォーマット (ブロック転送モード時を除く)	959
22.3.3.1	ブロック転送モード	961
22.3.3.2	受信データサンプリングタイミングと受信マージン	961
22.3.3.3	スマートカードインターフェースの初期化	963
22.3.3.4	シリアルデータの送信 (ブロック転送モードを除く)	964
22.3.3.5	シリアルデータの受信 (ブロック転送モードを除く)	967
22.3.3.6	クロック出力制御	968
22.4	ノイズ除去機能	970
22.5	割り込み要因	971
22.5.1	シリアルコミュニケーションインタフェースモードにおける割り込み	971
22.5.2	スマートカードインタフェースモードにおける割り込み	972
22.6	使用上の注意事項	973
22.6.1	モジュールストップ機能の設定	973
22.6.2	ブレークの検出と処理について	973
22.6.3	マーク状態とブレークの送出	973
22.6.4	受信エラーフラグと送信動作について (クロック同期式モードのみ)	973
22.6.5	TDR への書き込みについて	973
22.6.6	クロック同期送信時の制約事項	973
22.6.7	DTC 使用上の制約事項	973
22.6.8	低消費電力状態時の動作について	974

22.6.9	クロック同期式モード外部クロック入力	977
23.	CRC 演算器 (CRC)	978
23.1	概要	978
23.2	レジスタの説明	978
23.2.1	CRC コントロールレジスタ (CRCCR)	979
23.2.2	CRC データ入力レジスタ (CRCDIR)	980
23.2.3	CRC データ出力レジスタ (CRCDOR)	980
23.3	CRC 演算器の動作説明	980
23.4	使用上の注意事項	984
23.4.1	モジュールストップ機能の設定	984
23.5	転送時の注意事項	984
24.	I²C バスインタフェース (IIC)	985
24.1	概要	985
24.2	レジスタの説明	988
24.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	989
24.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	992
24.2.3	I ² C バスモードレジスタ 1 (ICMR1)	996
24.2.4	I ² C バスモードレジスタ 2 (ICMR2)	997
24.2.5	I ² C バスモードレジスタ 3 (ICMR3)	999
24.2.6	I ² C バスファンクションイネーブルレジスタ (ICFER)	1002
24.2.7	I ² C バスステータスイネーブルレジスタ (ICSER)	1004
24.2.8	I ² C バスインタラプトイネーブルレジスタ (ICIER)	1006
24.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	1008
24.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	1011
24.2.11	スレーブアドレスレジスタ Ly (SARLy) (y= 0 ~ 2)	1015
24.2.12	スレーブアドレスレジスタ Uy (SARUy) (y= 0 ~ 2)	1016
24.2.13	I ² C バスビットレートローレベルレジスタ (ICBRL)	1017
24.2.14	I ² C バスビットレートハイレベルレジスタ (ICBRH)	1018
24.2.15	I ² C バス送信データレジスタ (ICDRT)	1020
24.2.16	I ² C バス受信データレジスタ (ICDRR)	1020
24.2.17	I ² C バスシフトレジスタ (ICDRS)	1020
24.2.18	タイムアウト内部カウンタ (TMOCNT)	1021
24.3	動作説明	1022
24.3.1	通信データフォーマット	1022
24.3.2	初期設定	1023
24.3.3	マスタ送信動作	1024
24.3.4	マスタ受信動作	1028
24.3.5	スレーブ送信動作	1034
24.3.6	スレーブ受信動作	1037
24.4	SCL 同期回路	1040
24.5	SDA 出力遅延機能	1041

24.6	デジタルノイズフィルタ回路	1042
24.7	アドレス一致検出機能	1043
24.7.1	スレーブアドレス一致検出機能	1043
24.7.2	ジェネラルコールアドレス検出機能	1045
24.7.3	デバイス ID アドレス検出機能	1046
24.7.4	ホストアドレス検出機能	1048
24.8	SCL の自動 Low ホールド機能	1049
24.8.1	送信データ誤送信防止機能	1049
24.8.2	NACK 受信転送中断機能	1050
24.8.3	受信データ取りこぼし防止機能	1050
24.9	アービトレーションロスト検出機能	1052
24.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1052
24.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	1054
24.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1055
24.10	スタートコンディション、リスタートコンディション、 ストップコンディション発行機能	1056
24.10.1	スタートコンディション発行動作	1056
24.10.2	リスタートコンディション発行動作	1056
24.10.3	ストップコンディション発行動作	1057
24.11	バスハングアップ	1058
24.11.1	タイムアウト検出機能	1058
24.11.2	SCL クロック追加出力機能	1059
24.11.3	RIIC/内部リセット	1060
24.12	SMBus 動作	1061
24.12.1	SMBus タイムアウト測定	1061
24.12.2	パケットエラーコード (PEC)	1063
24.12.3	SMBus ホスト通知プロトコル /Notify ARP master	1063
24.13	割り込み要因	1064
24.14	リセット状況	1065
24.15	使用上の注意事項	1066
24.15.1	モジュールストップ機能の設定	1066
24.15.2	入力バッファコントロールレジスタの設定	1066
25.	CAN モジュール (CAN)	1067
25.1	概要	1067
25.2	レジスタの説明	1070
25.2.1	制御レジスタ (CTLR)	1071
25.2.2	ビットコンフィグレーションレジスタ (BCR)	1075
25.2.3	マスクレジスタ i (MKRi) (i = 0 ~ 7)	1077
25.2.4	FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1)	1078
25.2.5	マスク無効レジスタ (MKIVLR)	1080
25.2.6	メールボックスレジスタ j (MBj) (j = 0 ~ 31)	1081

25.2.7	メールボックス割り込み許可レジスタ (MIER)	1086
25.2.8	メッセージ制御レジスタ j (MCTLj) (j=0 ~ 31)	1088
25.2.9	受信 FIFO 制御レジスタ (RFCR)	1092
25.2.10	受信 FIFO ポインタ制御レジスタ (RFPCR)	1095
25.2.11	送信 FIFO 制御レジスタ (TFCR)	1095
25.2.12	送信 FIFO ポインタ制御レジスタ (TFPCR)	1098
25.2.13	ステータスレジスタ (STR)	1099
25.2.14	メールボックスサーチモードレジスタ (MSMR)	1102
25.2.15	メールボックスサーチステータスレジスタ (MSSR)	1103
25.2.16	チャンネルサーチサポートレジスタ (CSSR)	1105
25.2.17	アクセプタンスフィルタサポートレジスタ (AFSR)	1106
25.2.18	エラー割り込み許可レジスタ (EIER)	1107
25.2.19	エラー割り込み要因判定レジスタ (EIFR)	1109
25.2.20	受信エラーカウントレジスタ (RECR)	1112
25.2.21	送信エラーカウントレジスタ (TECR)	1112
25.2.22	エラーコード格納レジスタ (ECSR)	1113
25.2.23	タイムスタンプレジスタ (TSR)	1114
25.2.24	テスト制御レジスタ (TCR)	1115
25.3	動作モード	1117
25.3.1	CAN リセットモード	1118
25.3.2	CAN Halt モード	1119
25.3.3	CAN スリープモード	1120
25.3.4	CAN オペレーションモード (バスオフ状態以外)	1120
25.3.5	CAN オペレーションモード (バスオフ状態)	1121
25.4	CAN 通信速度の設定	1122
25.4.1	CAN クロックの設定	1122
25.4.2	ビットタイミングの設定	1122
25.4.3	ビットレート	1123
25.5	メールボックスとマスクレジスタの構成	1124
25.6	アクセプタンスフィルタ機能とマスク機能	1125
25.7	受信/送信	1128
25.7.1	受信	1129
25.7.2	送信	1131
25.8	CAN 割り込み	1132
26.	シリアルペリフェラルインタフェース (RSPI)	1133
26.1	概要	1133
26.2	レジスタの説明	1136
26.2.1	RSPI 制御レジスタ (SPCR)	1137
26.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	1139
26.2.3	RSPI 端子制御レジスタ (SPPCR)	1140
26.2.4	RSPI ステータスレジスタ (SPSR)	1141

26.2.5	RSPI データレジスタ (SPDR)	1144
26.2.6	RSPI シーケンス制御レジスタ (SPSCR)	1145
26.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	1146
26.2.8	RSPI ビットレートレジスタ (SPBR)	1147
26.2.9	RSPI データコントロールレジスタ (SPDCR)	1148
26.2.10	RSPI クロック遅延レジスタ (SPCKD)	1151
26.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	1152
26.2.12	RSPI 次アクセス遅延レジスタ (SPND)	1153
26.2.13	RSPI 制御レジスタ 2 (SPCR2)	1154
26.2.14	RSPI コマンドレジスタ m (SPCMDm) (m=0 ~ 7)	1155
26.3	動作説明	1158
26.3.1	RSPI 動作の概要	1158
26.3.2	RSPI 端子の制御	1159
26.3.3	RSPI システム構成例	1160
26.3.3.1	シングルマスタ/シングルスレーブ (本 LSI = マスタ)	1160
26.3.3.2	シングルマスタ/シングルスレーブ (本 LSI = スレーブ)	1161
26.3.3.3	シングルマスタ/マルチスレーブ (本 LSI = マスタ)	1162
26.3.3.4	シングルマスタ/マルチスレーブ (本 LSI = スレーブ)	1163
26.3.3.5	マルチマスタ/マルチスレーブ (本 LSI = マスタ)	1164
26.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = マスタ)	1165
26.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 LSI = スレーブ)	1165
26.3.4	転送フォーマット	1166
26.3.4.1	SPCMDm.CPHA ビット = 0 の場合	1166
26.3.4.2	SPCMDm.CPHA ビット = 1 の場合 (m = 0 ~ 7)	1167
26.3.5	データフォーマット	1168
26.3.5.1	MSB ファースト転送 (32 ビットデータ)	1168
26.3.5.2	MSB ファースト転送 (24 ビットデータ)	1170
26.3.5.3	LSB ファースト転送 (32 ビットデータ)	1172
26.3.5.4	LSB ファースト転送 (24 ビットデータ)	1174
26.3.6	通信動作モード	1176
26.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD=0)	1176
26.3.6.2	送信のみ動作 (SPCR.TXMD=1)	1177
26.3.7	送信バッファエンプティ/受信バッファフル割り込み	1178
26.3.8	エラー検出	1180
26.3.8.1	オーバランエラー	1181
26.3.8.2	パリティエラー	1183
26.3.8.3	モードフォルトエラー	1184
26.3.9	RSPI の初期化	1185
26.3.9.1	SPE ビットのクリアによる初期化	1185
26.3.9.2	システムリセット	1185

26.3.10	SPI 動作	1186
26.3.10.1	マスタモード動作	1186
26.3.10.2	スレーブモード動作	1193
26.3.11	クロック同期式動作	1197
26.3.11.1	マスタモード動作	1197
26.3.11.2	スレーブモード動作	1201
26.3.12	エラー処理	1204
26.3.13	ループバックモード	1206
26.3.14	パリティビット機能の自己判断	1207
26.3.15	割り込み要因	1208
26.4	使用上の注意事項	1208
26.4.1	マスタモードにおけるパリティ機能有効時の送信動作	1208
27.	LIN モジュール (LIN)	1209
27.1	概要	1209
27.2	レジスタの説明	1211
27.2.1	LIN ウェイクアップボーレート選択レジスタ (LWBR)	1212
27.2.2	LIN ボーレートプリスケアラ 0 レジスタ (LBRP0)	1212
27.2.3	LIN ボーレートプリスケアラ 1 レジスタ (LBRP1)	1213
27.2.4	LIN セルフテスト制御レジスタ (LSTC)	1213
27.2.5	モードレジスタ (LOMD)	1214
27.2.6	ブレイクフィールド設定レジスタ (LOBRK)	1215
27.2.7	スペース設定レジスタ (LOSPC)	1216
27.2.8	ウェイクアップ設定レジスタ (LOWUP)	1217
27.2.9	割り込み許可レジスタ (LOIE)	1218
27.2.10	エラー検出許可レジスタ (LOEDE)	1219
27.2.11	制御レジスタ (LOC)	1220
27.2.12	送信制御レジスタ (LOTC)	1221
27.2.13	モードステータスレジスタ (LOMST)	1222
27.2.14	ステータスレジスタ (LOST)	1222
27.2.15	エラーステータスレジスタ (LOEST)	1224
27.2.16	レスポンスフィールド設定レジスタ (LORFC)	1225
27.2.17	ID バッファレジスタ (LOIDB)	1227
27.2.18	チェックサムバッファレジスタ (LOCBR)	1228
27.2.19	データ n バッファレジスタ (LODBn) (n=1 ~ 8)	1229
27.3	動作モード	1230
27.3.1	LIN リセットモード	1231
27.3.2	LIN 動作モード	1231
27.3.3	LIN ウェイクアップモード	1231
27.3.4	LIN セルフテストモード	1231
27.4	動作概要	1232
27.4.1	ヘッダ送信	1232

27.4.2	レスポンス送信	1233
27.4.3	レスポンス受信	1234
27.5	ボーレートジェネレータ	1235
27.6	データ送信/受信	1237
27.6.1	データ送信	1237
27.6.2	データ受信	1238
27.7	送信/受信データのバッファ処理	1239
27.7.1	LIN フレームの送信	1239
27.7.1.1	フレームセパレートモード	1239
27.7.2	LIN フレームの受信	1240
27.7.2.1	データ 1 受信	1240
27.8	ウェイクアップ送信/受信	1241
27.8.1	ウェイクアップ送信動作	1241
27.8.2	ウェイクアップ受信動作	1241
27.8.3	ウェイクアップ衝突	1242
27.9	ステータス	1243
27.10	エラーステータス	1244
27.10.1	エラーステータスの種類	1244
27.10.2	LIN エラー検出の対象時間領域	1245
27.11	割り込み	1246
27.12	LIN セルフテストモード	1247
27.12.1	LIN セルフテストモードへの移行	1248
27.12.2	LIN セルフテストモードにおける送信	1248
27.12.3	LIN セルフテストモードにおける受信	1249
27.12.4	LIN セルフテストモード終了	1249
28.	12 ビット A/D コンバータ (S12ADA)	1250
28.1	概要	1250
28.2	レジスタの説明	1255
28.2.1	A/D データレジスタ n (ADDRn) (n=0A、0B、1～3)、 A/D データレジスタ Diag (ADDR)	1256
28.2.2	A/D コントロールレジスタ (ADCSR)	1261
28.2.3	A/D チャネル選択レジスタ (ADANS)	1263
28.2.4	A/D コントロール拡張レジスタ (ADCER)	1266
28.2.5	A/D 開始トリガ選択レジスタ (ADSTRGR)	1269
28.2.6	A/D プログラマブルゲインアンプレジスタ (ADPG)	1271
28.2.7	コンパレータ動作モード選択レジスタ 0 (ADCMPMD0)	1274
28.2.8	コンパレータ動作モード選択レジスタ 1 (ADCMPMD1)	1275
28.2.9	コンパレータフィルタモードレジスタ 0 (ADCMPNR0)	1277
28.2.10	コンパレータフィルタモードレジスタ 1 (ADCMPNR1)	1278
28.2.11	コンパレータ検出フラグレジスタ (ADCMPFR)	1279
28.2.12	コンパレータ割り込み選択レジスタ (ADCMPSEL)	1280

28.2.13	A/D サンプリングステートレジスタ (ADSSTR)	1281
28.3	動作説明	1282
28.3.1	シングルモード	1282
28.3.2	スキャン変換動作の説明	1283
28.3.2.1	1 サイクルスキャンモード	1283
28.3.2.2	連続スキャンモード	1286
28.3.2.3	2 チャネルスキャンモード	1288
28.3.3	アナログ入力のサンプリングと A/D 変換時間	1289
28.3.4	ADDRn、ADRD レジスタの自動クリア機能の使用例 (n = 0A、0B、1 ~ 3)	1291
28.3.5	ダブルデータレジスタの動作 (ADDR0 レジスタのみ)	1292
28.3.6	プログラマブルゲインアンプ	1293
28.3.7	コンパレータ	1293
28.3.8	外部トリガによる A/D 変換の開始	1295
28.3.9	周辺モジュールからのトリガによる A/D 変換の開始	1295
28.4	割り込み要因と DTC 転送要求	1296
28.4.1	A/D 変換の各 A/D 変換終了時の割り込み要求	1296
28.4.2	コンパレータ検出時の割り込み要求	1296
28.5	使用上の注意事項	1297
28.5.1	モジュールストップ機能の設定	1297
28.5.2	A/D 変換再開時の注意事項	1297
28.5.3	A/D 変換停止時の注意事項	1297
28.5.4	低消費電力状態への遷移時の注意	1297
28.5.5	許容信号源インピーダンスについて	1297
28.5.6	絶対精度への影響	1298
28.5.7	アナログ電源端子他の設定範囲	1299
28.5.8	ボード設計上の注意	1299
28.5.9	ノイズ対策上の注意	1300
28.5.10	2 チャネルスキャンモードとダブルデータレジスタ機能併用時の注意事項	1300
29.	10 ビット A/D コンバータ (ADA)	1301
29.1	概要	1301
29.2	レジスタの説明	1304
29.2.1	A/D データレジスタ n (ADDRn) (n=A ~ L)	1305
29.2.2	A/D コントロール/ステータスレジスタ (ADCSR)	1307
29.2.3	A/D コントロールレジスタ (ADCR)	1309
29.2.4	A/D 開始トリガ選択レジスタ (ADSTRGR)	1310
29.2.5	ADDRn フォーマット選択レジスタ (ADDPR) (n = A ~ L)	1312
29.2.6	A/D 自己診断レジスタ (ADDIAGR)	1313
29.2.7	A/D サンプリングステートレジスタ (ADSSTR)	1314
29.3	動作説明	1315
29.3.1	シングルモード	1315
29.3.2	スキャンモード	1316

29.3.2.1	連続スキャンモード	1316
29.3.2.2	1 サイクルスキャンモード	1317
29.3.3	入力サンプリングと A/D 変換時間	1318
29.3.4	外部トリガによる A/D 変換の開始	1320
29.3.5	MTU3、GPT による起動	1320
29.4	割り込み要因	1321
29.5	A/D 変換精度の定義	1321
29.6	使用上の注意事項	1323
29.6.1	モジュールストップ機能の設定	1323
29.6.2	A/D 変換停止時の注意事項	1323
29.6.3	A/D 変換再開時の注意事項	1323
29.6.4	低消費電力状態への遷移時の注意	1323
29.6.5	許容信号源インピーダンスについて	1324
29.6.6	絶対精度への影響	1324
29.6.7	アナログ電源端子他の設定範囲	1325
29.6.8	ボード設計上の注意	1325
29.6.9	ノイズ対策上の注意	1325
30.	RAM	1326
30.1	概要	1326
30.2	動作説明	1326
30.2.1	消費電力低減機能	1326
31.	ROM (コード格納用フラッシュメモリ)	1327
31.1	概要	1327
31.2	レジスタの説明	1329
31.2.1	フラッシュモードレジスタ (FMODR)	1330
31.2.2	フラッシュアクセスステータスレジスタ (FASTAT)	1331
31.2.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	1333
31.2.4	FCU RAM イネーブルレジスタ (FCURAME)	1334
31.2.5	フラッシュステータスレジスタ 0 (FSTATR0)	1335
31.2.6	フラッシュステータスレジスタ 1 (FSTATR1)	1338
31.2.7	フラッシュレディ割り込み許可レジスタ (FRDYIE)	1339
31.2.8	フラッシュ P/E モードエントリレジスタ (FENTRYR)	1340
31.2.9	フラッシュプロテクトレジスタ (FPROTR)	1342
31.2.10	フラッシュリセットレジスタ (FRESETR)	1343
31.2.11	FCU コマンドレジスタ (FCMDR)	1344
31.2.12	FCU 処理切り替えレジスタ (FCPSR)	1345
31.2.13	フラッシュ P/E ステータスレジスタ (FPESTAT)	1346
31.2.14	周辺クロック通知レジスタ (PCKAR)	1347
31.2.15	フラッシュライトイレースプロテクトレジスタ (FWEPROR)	1348
31.3	ROM のメモリマップ構成	1349
31.4	ブロック構成	1349

31.5	ROM 関連の動作モード	1350
31.6	ROM への書き込み/消去	1352
31.6.1	FCU のモード	1352
31.6.1.1	ROM リードモード	1353
31.6.1.2	ROM P/E モード	1354
31.6.2	FCU コマンド一覧	1355
31.6.3	FCU のモードとコマンドの関係	1357
31.6.4	FCU コマンド使用方法	1358
31.6.4.1	モード移行	1358
31.6.4.2	書き込み/消去手順	1362
31.6.4.3	エラー処理の方法	1371
31.6.4.4	サスペンド/レジューム	1372
31.7	サスペンド動作	1375
31.7.1	書き込み中のサスペンド	1375
31.7.2	消去中のサスペンド (サスペンド優先モード)	1376
31.7.3	消去中のサスペンド (消去優先モード)	1377
31.8	プロテクト	1378
31.8.1	ソフトウェアプロテクト	1378
31.8.2	エラープロテクト	1378
31.9	ブートモード	1380
31.9.1	システム構成	1380
31.9.2	ID コードプロテクト	1380
31.9.3	ブートモードの状態遷移	1382
31.9.4	ビットレートの自動調整	1384
31.9.5	問い合わせ設定ホストコマンド待ち状態	1385
31.9.6	ID コード待ち状態	1395
31.9.7	書き込み/消去ホストコマンド待ち状態	1396
31.10	オンチップデバッガ ID コードプロテクト	1403
31.11	ROM コードプロテクト	1403
31.12	使用上の注意事項	1404
32.	データフラッシュ (データ格納用フラッシュメモリ)	1406
32.1	概要	1406
32.2	レジスタの説明	1408
32.2.1	フラッシュモードレジスタ (FMODR)	1409
32.2.2	フラッシュアクセスステータスレジスタ (FASTAT)	1410
32.2.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	1412
32.2.4	データフラッシュ読み出し許可レジスタ 0 (DFLRE0)	1413
32.2.5	データフラッシュ読み出し許可レジスタ 1 (DFLRE1)	1414
32.2.6	データフラッシュ書き込み/消去許可レジスタ 0 (DFLWE0)	1415
32.2.7	データフラッシュ書き込み/消去許可レジスタ 1 (DFLWE1)	1416
32.2.8	フラッシュ P/E モードエントリレジスタ (FENTRYR)	1417

32.2.9	データフラッシュブランクチェック制御レジスタ (DFLBCCNT)	1418
32.2.10	データフラッシュブランクチェックステータスレジスタ (DFLBCSTAT)	1419
32.3	データフラッシュのメモリマップ構成	1420
32.4	ブロック構成	1420
32.5	データフラッシュ関連の動作モード	1421
32.6	データフラッシュへの書き込み/消去	1422
32.6.1	FCU のモード	1422
32.6.1.1	ROM P/E モード	1423
32.6.1.2	ROM /データフラッシュリードモード	1423
32.6.1.3	データフラッシュ P/E モード	1423
32.6.2	FCU コマンド一覧	1424
32.6.3	FCU のモードとコマンドの関係	1425
32.6.4	FCU コマンド使用方法	1426
32.7	プロテクト	1430
32.7.1	ソフトウェアプロテクト	1430
32.7.2	エラープロテクト	1431
32.8	ブートモード	1432
32.8.1	問い合わせ設定ホストコマンド	1432
32.8.2	書き込み/消去ホストコマンド	1433
32.9	使用上の注意事項	1435
33.	電气的特性	1436
33.1	絶対最大定格	1436
33.2	DC 特性	1437
33.3	AC 特性	1442
33.3.1	クロックタイミング	1442
33.3.2	制御信号タイミング	1445
33.3.3	内蔵周辺モジュールタイミング	1446
33.3.4	PWM 遅延生成回路タイミング	1454
33.4	A/D 変換特性	1455
33.5	パワーオンリセット回路・電圧検出回路特性	1458
33.6	発振停止検出タイミング	1460
33.7	ROM (コード格納用フラッシュメモリ) 特性	1461
33.8	データフラッシュ (データ格納用フラッシュメモリ) 特性	1462
付録 1.	各動作モードにおけるポートの状態	1464
付録 2.	外形寸法図	1465
改訂記録	1470

RX62Tグループ、RX62Gグループ

ルネサスマイクロコンピュータ

100MHz、32ビットRX MCU、FPU内蔵、165 DMIPS、
12ビットADC（3 S/H回路、ダブルデータレジスタ、アンプ、コンパレータ）2ユニット、
10ビットADC 1ユニット、ADC 3ユニットで7ch同時サンプリング、
100MHz PWM（三相相補2ch+単相相補4chもしくは三相相補3ch+単相相補1ch）

R01UH0034JJ0200

Rev.2.00

2013.12.27

特長

■ 32ビットRX CPU コア内蔵

- 最大動作周波数 100MHz
165 DMIPS の性能（100MHz 動作時）
- 32ビット単精度浮動小数点（IEEE754に準拠）
- 32x32 → 64ビット演算結果（1命令）のアクキュムレータ
- 乗除算器 32x32ビット（乗算命令は1CPUクロック）
- 高速割り込み
- 5段パイプラインのCISC ハーバードアーキテクチャ
- 可変長命令形式：コードを大幅に短縮
- メモリプロテクションユニット（MPU）対応
- JTAG デバッグ機能および高速トレース機能

■ 動作電圧

- 3.3V 単一、5V 単一、3.3V 品はアナログ電源 5V 可能

■ 消費電力低減機能

- 4種類の低消費電力モード

■ 内蔵メインフラッシュメモリ（ウェイトなし）

- 100MHz 動作、10 n sec 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 64K/128K/256K バイトの容量
- 命令、オペランド用
- SCI、JTAG からのユーザ書き込み

■ 内蔵データフラッシュメモリ

- 最大 32K バイト（30K 回消去可能）
- CPU に負荷をかけない書き込み/消去

■ 内蔵 SRAM（ウェイトなし）

- 8K/16K バイト SRAM
- オペランド、命令用

■ DMA

- DTC：1ユニットで複数chの転送が可能

■ リセットおよび電源電圧制御

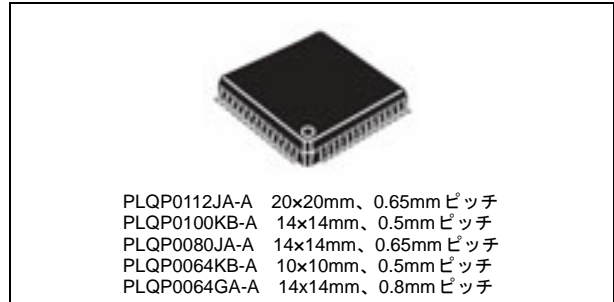
- 常時パワーオンリセット（POR）内蔵
- 低電圧検出機能（LVD）の設定可能

■ クロック機能

- 外部水晶発振、内部 PLL 対応 8MHz ~ 12.5MHz
- IWDT 用、内部 125kHz LOCO クロック
- メインクロック発振停止検出機能（IEC60730 対応）

■ 独立ウォッチドッグタイマ（IEC60730 対応）内蔵

- 125kHz LOCO クロック動作
- ソフトウェアでは停止できない強力な WDT



■ 最大7本の通信インタフェース内蔵

- CAN（ISO11898-1 準拠）、32 メールボックス内蔵（1ch）
- SCI（3ch）
調歩同期式モード（ノイズキャンセル機能付き）/
クロック同期式モード/
スマートカードインタフェースモード
- I²C バスインタフェース、SMBus に対応（1ch）
- RSPI（1ch）
- LIN（1ch）

■ 最大16本の16ビットタイマ

- 16ビット MTU3：100MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 2ch 出力、CPU に負荷をかけない相補 PWM、位相計数モード（8ch）
- 16ビット GPT：100MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形単相相補 4ch 出力もしくは三相相補 1ch + 単相相補 1ch 出力、CPU に負荷をかけない相補 PWM、コンパレータ連動（カウンタ動作、PWM ネゲート制御）、発振周波数異常検出機能（IEC60730 対応）（4ch）
- 16ビット CMT（4ch）

■ PWM 波形遅延生成機能（RX62G グループのみ）

- 16ビット GPT の PWM 出力端子の立ち上がり/立ち下がりタイミング制御を 312ps の分解能で実現（100MHz 動作時）

■ 1MHz 動作 A/D コンバータ 3 ユニット 計 20ch 内蔵

- 3 ユニットで 7ch 同時サンプリングが可能
- 自己診断機能（IEC60730 対応）
- 12ビット ADC 2 ユニット：3 サンプル/ホールド回路、ダブルデータレジスタ、アンプ、コンパレータ（8ch）
- 10ビット ADC 1 ユニット（12ch）

■ CRC（Cyclic Redundancy Check）演算器

- 通信データの監視（IEC60730 対応）
- メモリデータの監視（IEC60730 対応）

■ 最大61本の入出力ポート、最大21本の入力ポート

- PORT レジスタ：出力ポートの監視（IEC60730 対応）

■ 動作周囲温度

- 40℃ ~ +85℃
- 40℃ ~ +105℃

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 に製品別機能対応表を示します。

表 1.1 仕様概要 (1 / 5)

分類	モジュール／機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：100MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×9本 アキュムレータ：64ビット×1本 基本命令：73種類 浮動小数点演算命令：8種類 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 命令：リトルエンディアン データ：リトルエンディアン／ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット バレルシフタ：32ビット メモリプロテクションユニット (MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数 (32ビット) IEEE754に準拠したデータタイプおよび例外
メモリ	ROM	<ul style="list-style-type: none"> ROM容量：最大256Kバイト 2種類のオンボードプログラミングモード ブートモード (SCIを使用してユーザマットを書き換え可能) ユーザプログラムモード オフボードプログラミング PROMライターを使用し、ユーザマットの書き換えが可能
	RAM	RAM容量：最大16Kバイト
	データフラッシュ	<ul style="list-style-type: none"> データROM容量：最大32Kバイト BGO (バックグラウンドオペレーション) 対応
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> 1回路：メインクロック発振回路 内部発振：IWDTP専用低速オンチップオシレータ PLL周波数シンセサイザと周波数分周回路で構成され、動作周波数を選択可能 発振停止検出：あり システムクロック (ICLK)、周辺モジュールクロック (PCLK) を個別に設定可能 CPU、バスマスタなどのシステム系、MTU3およびGPTはICLK同期：8～100MHz 周辺モジュールはPCLK同期：8～50MHz
リセット		端子リセット、パワーオンリセット (電源投入時の自動パワーオンリセット)、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット
電圧検出回路 (LVD)		VCCが電圧検出レベル (Vdet) 以下になると内部リセットまたは内部割り込みを発生
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
割り込み	割り込みコントローラ (ICU)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数 101 外部割り込み：要因数 9 (NMI端子、IRQ0～IRQ7端子) ノンマスクابل割り込み：要因数 3 (NMI端子、発振停止検出割り込み、電圧監視割り込み) 16レベルの割り込み優先順位を設定可能
データ転送	データ転送コントローラ (DTC)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み

表 1.1 仕様概要 (2 / 5)

分類	モジュール/機能	説明
I/Oポート	プログラマブル 入出力ポート	112ピンLQFP / 100ピンLQFP / 80ピンLQFP : R5F562TxGDFF / 80ピンLQFP : R5F562TxGDFF以外 / 64ピンLQFPのI/Oポート <ul style="list-style-type: none"> 入出力 : 61 / 55 / 44 / 44 / 37 入力 : 21 / 21 / 13 / 13 / 9 オープンドレイン出力 : 2 / 2 / 2 / 2 / 2 (I²C/バスインタフェース端子) 大電流出力 : 12 / 12 / 12 / 6 / 6 (0) (MTU3端子、GPT端子) (64ピンの5V版では大電流出力はなし) 常に端子の状態を読み出すことが可能
タイマ	マルチファンクション タイマパルスユニット3 (MTU3)	<ul style="list-style-type: none"> 16ビット×8チャンネル 最大24本のパルス入出力と3本のパルス入力が可能 チャンネルごとに6~8種類のカウンタクロック (ICLK/1、ICLK/4、ICLK/16、ICLK/64、ICLK/256、ICLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を選択可能 (チャンネル5は4種類) 24本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ (TCNT) への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 38種類の割り込み要因 レジスタデータの自動転送 パルス出力モード トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 位相計数モード デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能 A/D変換開始間引き機能
	ポートアウトプット イネーブル3 (POE3)	<ul style="list-style-type: none"> MTU3およびGPT波形出力端子のハイインピーダンス制御 POE0、POE4、POE8、POE10、POE11の5つの入力端子による起動 出力短絡検出 (大電流端子の出力が同時にアクティブレベルになったことを検出) による起動 12ビットA/Dコンバータアナログ入力のコンパレータ検出による起動 発振停止検出による起動 ソフトウェアによる起動 各POE入力およびコンパレータ検出時に、どの出力端子をハイインピーダンスにするかを選択可能

表 1.1 仕様概要 (3 / 5)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPT/GPTa)	<ul style="list-style-type: none"> 16ビット×4チャンネル 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波）が選択可能 チャンネルごとに独立したクロックソースを選択可能 チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 チャンネルごとにフレーム周期用レジスタを搭載（オーバフロー/アンダフローで割り込み可能） それぞれのカウンタを同期動作可能 同期動作のモード（同時または任意のタイミングでずらす位相シフトに対応） PWM動作の際にデッドタイム生成が可能 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を自動生成可能 外部/内部トリガによりカウントスタート/クリア/ストップ可能 内部トリガ要因として、コンパレータ検出、ソフトウェア、コンペアマッチ 分周されたIWDTC専用低速オンチップオシレータクロックのエッジをシステムクロック（ICLK）を分周したカウントクロックで計測することが可能（発振異常検出） 各チャンネル2本のPWM出力端子に対し、システムクロック（ICLK）の1/32の分解能で立ち上がり/立ち下がりタイミングの制御が可能（PWM遅延生成機能）（GPTaのみ）
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル) ×2ユニット 4種類のクロック（PCLK/8、PCLK/32、PCLK/128、PCLK/512）を選択可能
	ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> 8ビット×1チャンネル 8種類のカウンタクロック（PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072）を選択可能 ウォッチドッグタイマモード/インターバルタイマモードを切り替えて使用可能
	独立ウォッチドッグタイマ (IWDTC)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウンタクロック：IWDTC専用低速オンチップオシレータ
通信機能	シリアルコミュニケーションインタフェース (SC1b)	<ul style="list-style-type: none"> 3チャンネル シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ通信機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 ノイズキャンセル機能（調歩同期式時のみ有効）
	I ² Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能
	CANモジュール (CAN) (オプション)	<ul style="list-style-type: none"> 1チャンネル 32メールボックス
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> 1ユニット RSPI転送機能 MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（RSPI Clock）信号を使用して、SPI動作（4線式）/クロック同期式動作（3線式）でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送（1フレームは最大32ビット） バッファ構成 送信/受信バッファ構成はダブルバッファ
	LINモジュール (LIN)	<ul style="list-style-type: none"> 1チャンネル（LINマスタ） LINプロトコルのリビジョン1.3、2.0、2.1に対応

表 1.1 仕様概要 (4 / 5)

分類	モジュール/機能	説明
A/D変換器	12ビットA/D コンバータ (S12ADA)	<ul style="list-style-type: none"> 12ビット (4チャンネル×2ユニット) 分解能: 12ビット 変換時間 1チャンネル当たり1.0μs (A/D変換クロック ADCLK = 50MHz、AVCC0 = 4.0~5.5V時) 1チャンネル当たり2.0μs (A/D変換クロック ADCLK = 25MHz、AVCC0 = 3.0~3.6V時) 2種類の動作モード シングルモード、スキャンモード スキャンモード 1サイクルスキャンモード 連続スキャンモード 2チャンネルスキャンモード (ADユニット内で入力を2グループに分け、別々に起動要因を設定可能) サンプル&ホールド機能付き ユニット共通のサンプル&ホールド回路を搭載 上記に加え、個別のサンプル&ホールド回路を搭載 (3チャンネル/1ユニット) 入力端子ごとにA/D変換レジスタを搭載 ユニットごとに1アナログ入力 (AN000/AN100) のみ変換結果レジスタを2段設置 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ 8、10ビット精度出力対応 変換結果出力の2ビット、または4ビット右シフトが選択可能 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧 (VREFL0、VREFH0×1/2、VREFH0) を生成可能 プログラマブルゲインアンプによる入力信号増幅機能 (3チャンネル/1ユニット) 増幅率: 2.0倍、2.5倍、3.077倍、3.636倍、4.0倍、4.444倍、5.0倍、5.714倍、6.667倍、10.0倍、13.333倍 (計 11ステップ) ウィンドウコンパレータ機能 (3チャンネル/1ユニット)
	10ビットA/D コンバータ (ADA)	<ul style="list-style-type: none"> 10ビット (12チャンネル×1ユニット) 分解能: 10ビット 変換時間 1チャンネル当たり1.0μs (A/D変換クロック ADCLK = 50MHz、AVCC = 4.0~5.5V時) 1チャンネル当たり2.0μs (A/D変換クロック ADCLK = 25MHz、AVCC = 3.0~3.6V時) 2種類の動作モード シングルモード、スキャンモード スキャンモード 1サイクルスキャンモード 連続スキャンモード サンプル&ホールド機能付き ユニット共通のサンプル&ホールド回路を搭載 入力端子ごとにAD変換レジスタ設置 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (MTU3、GPT) のトリガ、外部トリガ 8ビット精度出力対応 変換結果出力の2ビット右シフトが選択可能 自己診断機能 自己診断機能用に、内部で3種類のアナログ入力電圧 (AVSS、VREF×1/2、VREF) を生成可能
CRC演算器 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
動作周波数		ICLK: 8~100MHz PCLK: 8~50MHz
電源電圧		<ul style="list-style-type: none"> 3V版 VCC=PLLVC=2.7~3.6V AVCC0=AVCC=3.0~3.6V、または4.0~5.5V VREFH0=3.0~AVCC0、または4.0~AVCC0 VREF=3.0~AVCC、または4.0~AVCC 5V版 VCC=PLLVC=4.0~5.5V AVCC0=AVCC=4.0~5.5V VREFH0=4.0~AVCC0 VREF=4.0~AVCC

表 1.1 仕様概要 (5 / 5)

分類	モジュール/機能	説明
動作周囲温度		Dバージョン：-40～+85℃、Gバージョン：-40～+105℃（注1）
パッケージ		112ピンLQFP（PLQP0112JA-A（20×20-0.65mmピッチ）） 100ピンLQFP（PLQP0100KB-A（14×14-0.5mmピッチ）） 80ピンLQFP（PLQP0080JA-A（14×14-0.65mmピッチ）） 64ピンLQFP（PLQP0064KB-A（10×10-0.5mmピッチ）） 64ピンLQFP（PLQP0064GA-A（14×14-0.8mmピッチ））

注1. Ta = +85℃～+105℃で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

表 1.2 RX62Tグループ、RX62Gグループ機能比較表 (1 / 2)

機能 ピン数		RX62Gグループ		RX62Tグループ					
		112ピン	100ピン	112ピン	100ピン	80ピン (R5F562Tx GDFF)	80ピン	64ピン	
データ転送	データトランスファ コントローラ(DTC)	○							
割り込みコ ントローラ (ICU)	NMI 端子入力	○							
	IRQ 端子入力	○ (8本)					○ (4本)		
タイマ	マルチファンクション タイマパルスユニット 3 (MTU3)	○			○ (注1)				
	汎用 PWM タイマ (GPT)	—		○		○ (注1)			
	汎用 PWM タイマ (GPTa)	○		—					
	MTU3/GPT相補PWM 端子	12本				6本			
	ポートアウトプット イネーブル3 (POE3)	○ (POE 端子 5本)					○ (POE 端子 3本)		
	コンペマツチタイマ (CMT)	○							
	ウォッチドッグタイマ (WDT)	○							
	独立ウォッチドッグタ イマ (IWDT)	○							
通信機能	シリアルコミュニケー ションインタフェース (SCI)	○							
	I ² C バスインタフェー ス (RIIC)	○							
	CAN モジュール (CAN) (オプション)	○							
	LIN モジュール (LIN)	○							
	シリアルペリフェラル インタフェース (RSPI)	○							
12ビット A/D コンバータ (S12ADA)	12ビット A/D コンバータ (S12ADA)	○ (4チャンネルx2ユニット)							
	3チャンネル同時サンプ リング機能	○ (2ユニット)							
	プログラマブルゲイン アンプ	○ (3チャンネルx2ユニット)							
	ウィンドウコンパレー タ	○ (3チャンネルx2ユニット)							
10ビット A/Dコンバータ (ADA)	○ (12チャンネル)				○ (4チャンネル)		—		
CRC演算器 (CRC)	○								
I/Oポート	入出力	61本	55本	61本	55本	44本	44本	37本	
	入力	21本	21本	21本	21本	13本	13本	9本	

表 1.2 RX62Tグループ、RX62Gグループ機能比較表 (2 / 2)

機能 ピン数	RX62Gグループ		RX62Tグループ				
	112ピン	100ピン	112ピン	100ピン	80ピン (R5F562Tx GDFF)	80ピン	64ピン
パッケージ	LQFP2020 (0.65mm ピッチ)	LQFP1414 (0.5mm ピッチ)	LQFP2020 (0.65mm ピッチ)	LQFP1414 (0.5mm ピッチ)	LQFP1414 (0.65mm ピッチ)	LQFP1414 (0.65mm ピッチ)	LQFP1010 (0.5mm ピッチ) LQFP1414 (0.8mm ピッチ)

○：あり、－：なし

注1. MTU3とGPTについては、パッケージごとに端子数が異なります。詳細は、各ピンの機能別端子一覧を参照してください。
また、CANモジュールはオプションです。詳細は表 1.3を参照してください。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 3)

グループ	型名	発注型名	パッケージ	ROM 容量	RAM 容量	データフ ラッシュ 容量	電源電圧	CAN 機能	動作周囲温度			
RX62T	R5F562TAADFH	R5F562TAADFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVCC 4.0 ~ 5.5V AVCC/AVCC0 4.0 ~ 5.5V	あり	-40 ~ +85°C (Dバージョン)			
	R5F562TAADFP	R5F562TAADFP#V3	PLQP0100KB-A									
	R5F562TAADFF	R5F562TAADFF#V3	PLQP0080JA-A									
	R5F562TAGDFF	R5F562TAGDFF#V3	PLQP0080JA-A									
	R5F562TAADFM	R5F562TAADFM#V3	PLQP0064KB-A									
	R5F562TAADFK	R5F562TAADFK#V3	PLQP0064GA-A									
	R5F562T7ADFH	R5F562T7ADFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト						
	R5F562T7ADFP	R5F562T7ADFP#V3	PLQP0100KB-A									
	R5F562T7ADFF	R5F562T7ADFF#V3	PLQP0080JA-A									
	R5F562T7GDFF	R5F562T7GDFF#V3	PLQP0080JA-A									
	R5F562T7ADFM	R5F562T7ADFM#V3	PLQP0064KB-A									
	R5F562T7ADFK	R5F562T7ADFK#V3	PLQP0064GA-A									
	R5F562T6ADFF	R5F562T6ADFF#V3	PLQP0080JA-A	64K バイト	8K バイト							
	R5F562T6ADFM	R5F562T6ADFM#V3	PLQP0064KB-A									
	R5F562T6ADFK	R5F562T6ADFK#V3	PLQP0064GA-A									
	R5F562TABDFH	R5F562TABDFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVCC 2.7 ~ 3.6V AVCC/AVCC0 3.0 ~ 3.6V または 4.0 ~ 5.5V					
	R5F562TABDFP	R5F562TABDFP#V3	PLQP0100KB-A									
	R5F562TABDFF	R5F562TABDFF#V3	PLQP0080JA-A									
	R5F562TABDFM	R5F562TABDFM#V3	PLQP0064KB-A									
	R5F562TABDFK	R5F562TABDFK#V3	PLQP0064GA-A									
	R5F562T7BDFH	R5F562T7BDFH#V3	PLQP0112JA-A							128K バイト	8K バイト	8K バイト
	R5F562T7BDFF	R5F562T7BDFF#V3	PLQP0100KB-A									
	R5F562T7BDFM	R5F562T7BDFM#V3	PLQP0064KB-A									
	R5F562T7BDFK	R5F562T7BDFK#V3	PLQP0064GA-A									
	R5F562T6BDFF	R5F562T6BDFF#V3	PLQP0080JA-A	64K バイト	8K バイト							
	R5F562T6BDFM	R5F562T6BDFM#V3	PLQP0064KB-A									
	R5F562T6BDFK	R5F562T6BDFK#V3	PLQP0064GA-A									
	R5F562TADDFH	R5F562TADDFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	4.0 ~ 5.5V					
	R5F562TADDFP	R5F562TADDFP#V3	PLQP0100KB-A									
	R5F562TADDFM	R5F562TADDFM#V3	PLQP0064KB-A									
	R5F562TADDFK	R5F562TADDFK#V3	PLQP0064GA-A									
	R5F562T7DDFH	R5F562T7DDFH#V3	PLQP0112JA-A							128K バイト	8K バイト	8K バイト
	R5F562T7DDFP	R5F562T7DDFP#V3	PLQP0100KB-A									
	R5F562T7DDFF	R5F562T7DDFF#V3	PLQP0080JA-A									
	R5F562T7DDFM	R5F562T7DDFM#V3	PLQP0064KB-A									
	R5F562T7DDFK	R5F562T7DDFK#V3	PLQP0064GA-A									
	R5F562T6DDFF	R5F562T6DDFF#V3	PLQP0080JA-A	64K バイト	8K バイト							
	R5F562T6DDFM	R5F562T6DDFM#V3	PLQP0064KB-A									
	R5F562T6DDFK	R5F562T6DDFK#V3	PLQP0064GA-A									
	R5F562TAEDFH	R5F562TAEDFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	2.7 ~ 3.6V					
R5F562TAEDFP	R5F562TAEDFP#V3	PLQP0100KB-A										
R5F562TAEDFF	R5F562TAEDFF#V3	PLQP0080JA-A										

表 1.3 製品一覧表 (2 / 3)

グループ	型名	発注型名	パッケージ	ROM 容量	RAM 容量	データフ ラッシュ 容量	電源電圧	CAN 機能	動作周囲温度
RX62T	R5F562TAEDFM	R5F562TAEDFM#V3	PLQP0064KB-A	256K バイト	16K バイト	32K バイト	2.7 ~ 3.6V	なし	-40 ~ +85°C (Dバージョン)
	R5F562TAEDFK	R5F562TAEDFK#V3	PLQP0064GA-A						
	R5F562T7EDFH	R5F562T7EDFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562T7EDFP	R5F562T7EDFP#V3	PLQP0100KB-A						
	R5F562T7EDFF	R5F562T7EDFF#V3	PLQP0080JA-A						
	R5F562T7EDFM	R5F562T7EDFM#V3	PLQP0064KB-A						
	R5F562T7EDFK	R5F562T7EDFK#V3	PLQP0064GA-A						
	R5F562T6EDFF	R5F562T6EDFF#V3	PLQP0080JA-A	64K バイト	8K バイト				
	R5F562T6EDFM	R5F562T6EDFM#V3	PLQP0064KB-A						
	R5F562T6EDFK	R5F562T6EDFK#V3	PLQP0064GA-A						
	R5F562TAAGFH	R5F562TAAGFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVC 4.0 ~ 5.5V AVCC/AVCCO 4.0 ~ 5.5V	あり	-40 ~ +105°C (Gバージョン) (注1)
	R5F562TAAGFP	R5F562TAAGFP#V3	PLQP0100KB-A						
	R5F562TAAGFF	R5F562TAAGFF#V3	PLQP0080JA-A						
	R5F562TAGGFF	R5F562TAGGFF#V3	PLQP0080JA-A						
	R5F562TAAGFM	R5F562TAAGFM#V3	PLQP0064KB-A						
	R5F562TAAGFK	R5F562TAAGFK#V3	PLQP0064GA-A						
	R5F562T7AGFH	R5F562T7AGFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562T7AGFP	R5F562T7AGFP#V3	PLQP0100KB-A						
	R5F562T7AGFF	R5F562T7AGFF#V3	PLQP0080JA-A						
	R5F562T7GGFF	R5F562T7GGFF#V3	PLQP0080JA-A						
	R5F562T7AGFM	R5F562T7AGFM#V3	PLQP0064KB-A						
	R5F562T7AGFK	R5F562T7AGFK#V3	PLQP0064GA-A						
	R5F562T6AGFF	R5F562T6AGFF#V3	PLQP0080JA-A	64K バイト	8K バイト				
	R5F562T6AGFM	R5F562T6AGFM#V3	PLQP0064KB-A						
	R5F562T6AGFK	R5F562T6AGFK#V3	PLQP0064GA-A						
	R5F562TABGFH	R5F562TABGFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVC 2.7 ~ 3.6V AVCC/AVCCO 3.0 ~ 3.6V または 4.0 ~ 5.5V		
	R5F562TABGFP	R5F562TABGFP#V3	PLQP0100KB-A						
	R5F562TABGFF	R5F562TABGFF#V3	PLQP0080JA-A						
	R5F562TABGFM	R5F562TABGFM#V3	PLQP0064KB-A						
	R5F562TABGFK	R5F562TABGFK#V3	PLQP0064GA-A						
	R5F562T7BGFH	R5F562T7BGFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562T7BGFP	R5F562T7BGFP#V3	PLQP0100KB-A						
R5F562T7BGFF	R5F562T7BGFF#V3	PLQP0080JA-A							
R5F562T7BGFM	R5F562T7BGFM#V3	PLQP0064KB-A							
R5F562T7BGFK	R5F562T7BGFK#V3	PLQP0064GA-A							
R5F562T6BGFF	R5F562T6BGFF#V3	PLQP0080JA-A	64K バイト	8K バイト					
R5F562T6BGFM	R5F562T6BGFM#V3	PLQP0064KB-A							
R5F562T6BGFK	R5F562T6BGFK#V3	PLQP0064GA-A							

表 1.3 製品一覧表 (3 / 3)

グループ	型名	発注型名	パッケージ	ROM 容量	RAM 容量	データフ ラッシュ 容量	電源電圧	CAN 機能	動作周囲温度
RX62G	R5F562GAADFH	R5F562GAADFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVCC 4.0 ~ 5.5V AVCC/AVCC0 4.0 ~ 5.5V	あり	-40 ~ +85°C (Dバージョン)
	R5F562GAADFP	R5F562GAADFP#V3	PLQP0100KB-A						
	R5F562G7ADFH	R5F562G7ADFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562G7ADFP	R5F562G7ADFP#V3	PLQP0100KB-A						
	R5F562GADDFH	R5F562GADDFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト		なし	
	R5F562GADDFP	R5F562GADDFP#V3	PLQP0100KB-A						
	R5F562G7DDFH	R5F562G7DDFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562G7DDFP	R5F562G7DDFP#V3	PLQP0100KB-A						
	R5F562GAAGFH	R5F562GAAGFH#V3	PLQP0112JA-A	256K バイト	16K バイト	32K バイト	VCC/PLLVCC 4.0 ~ 5.5V AVCC/AVCC0 4.0 ~ 5.5V	あり	-40 ~ +105°C (Gバージョン) (注1)
	R5F562GAAGFP	R5F562GAAGFP#V3	PLQP0100KB-A						
	R5F562G7AGFH	R5F562G7AGFH#V3	PLQP0112JA-A	128K バイト	8K バイト	8K バイト			
	R5F562G7AGFP	R5F562G7AGFP#V3	PLQP0100KB-A						

注1. Gバージョンをご使用になる場合は、弊社までお問い合わせください。

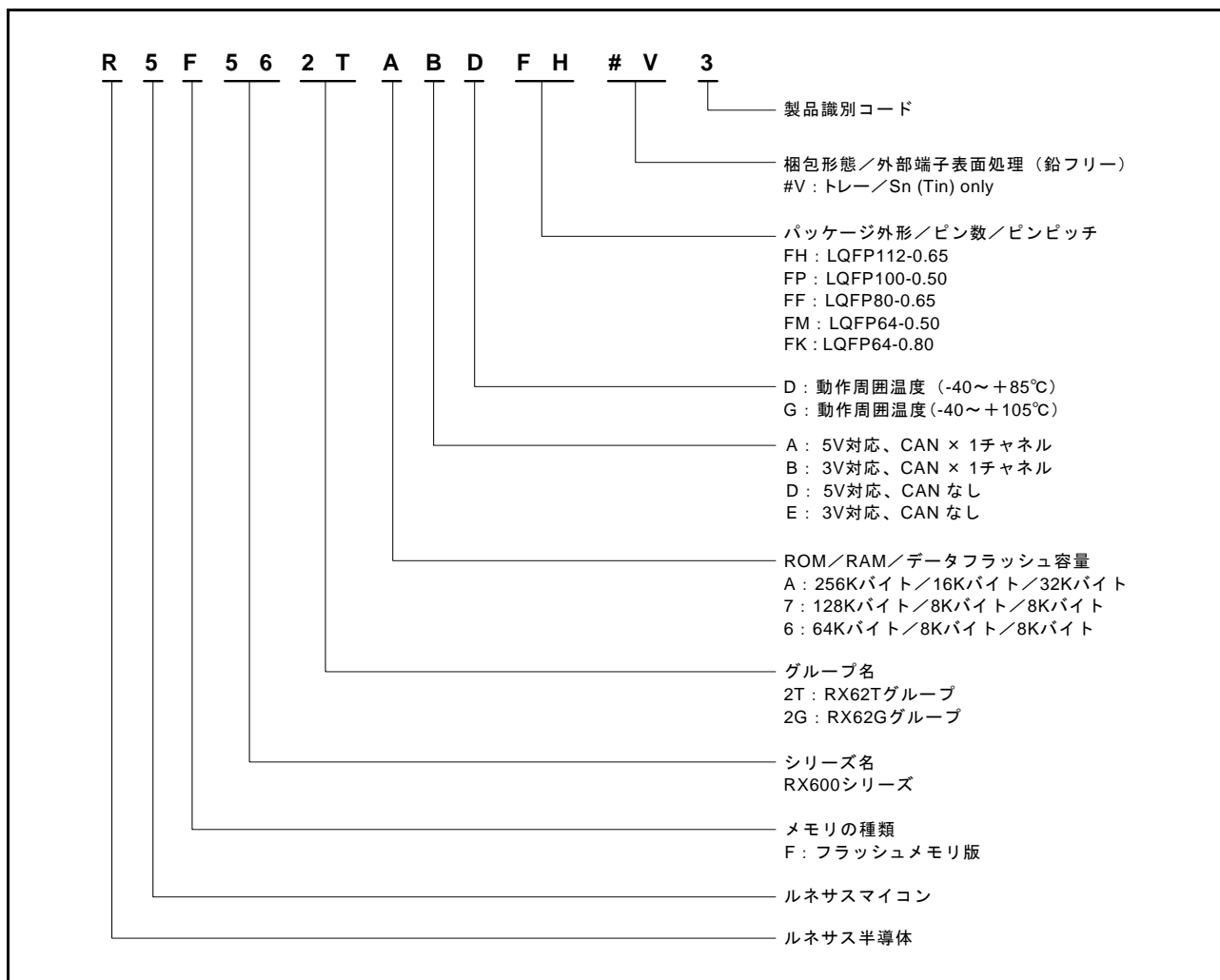


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

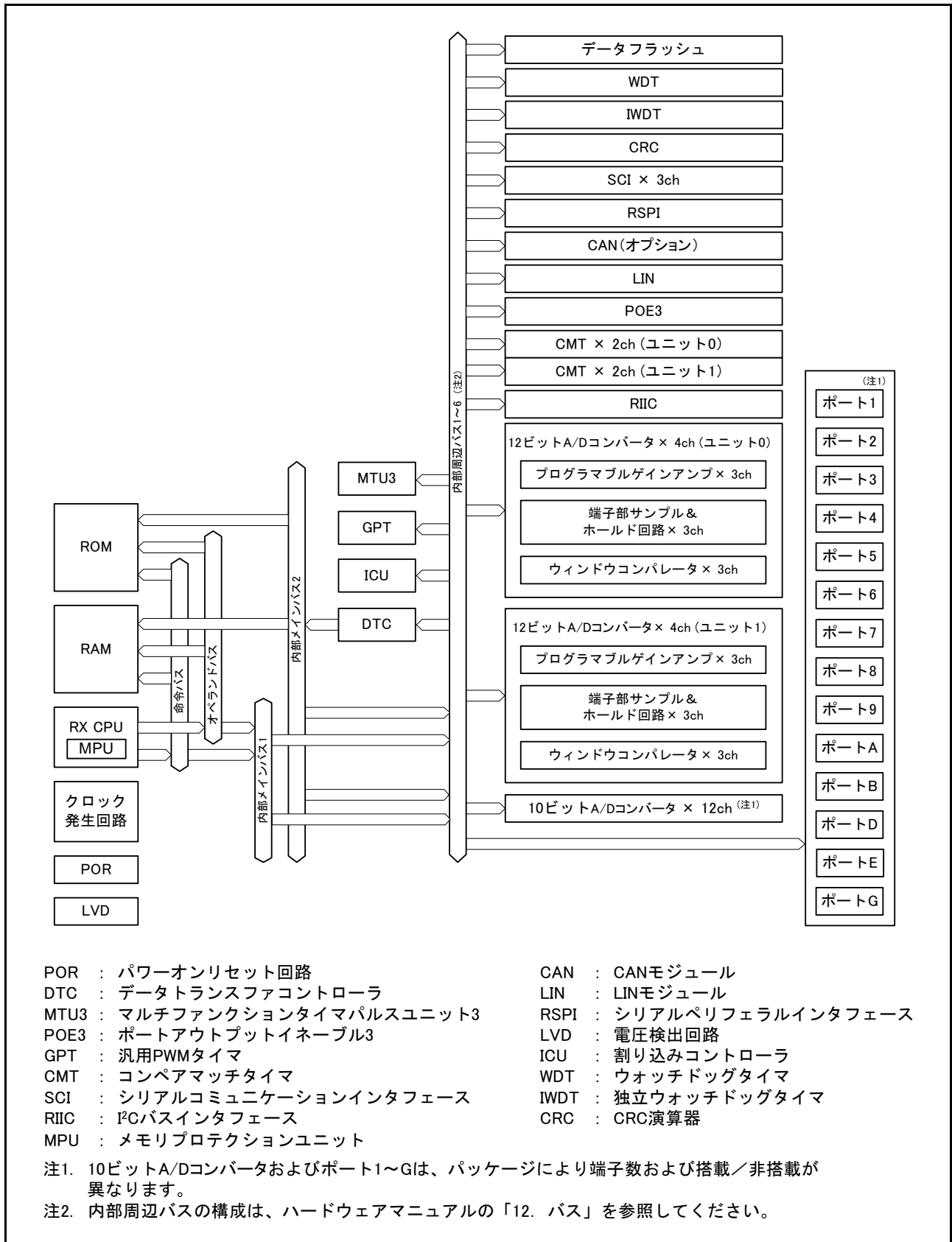


図 1.2 ブロック図

1.4 ピン配置図

図 1.3 ~ 図 1.7 にピン配置図を示します。また、表 1.4 ~ 表 1.8 に機能別端子一覧を示します。

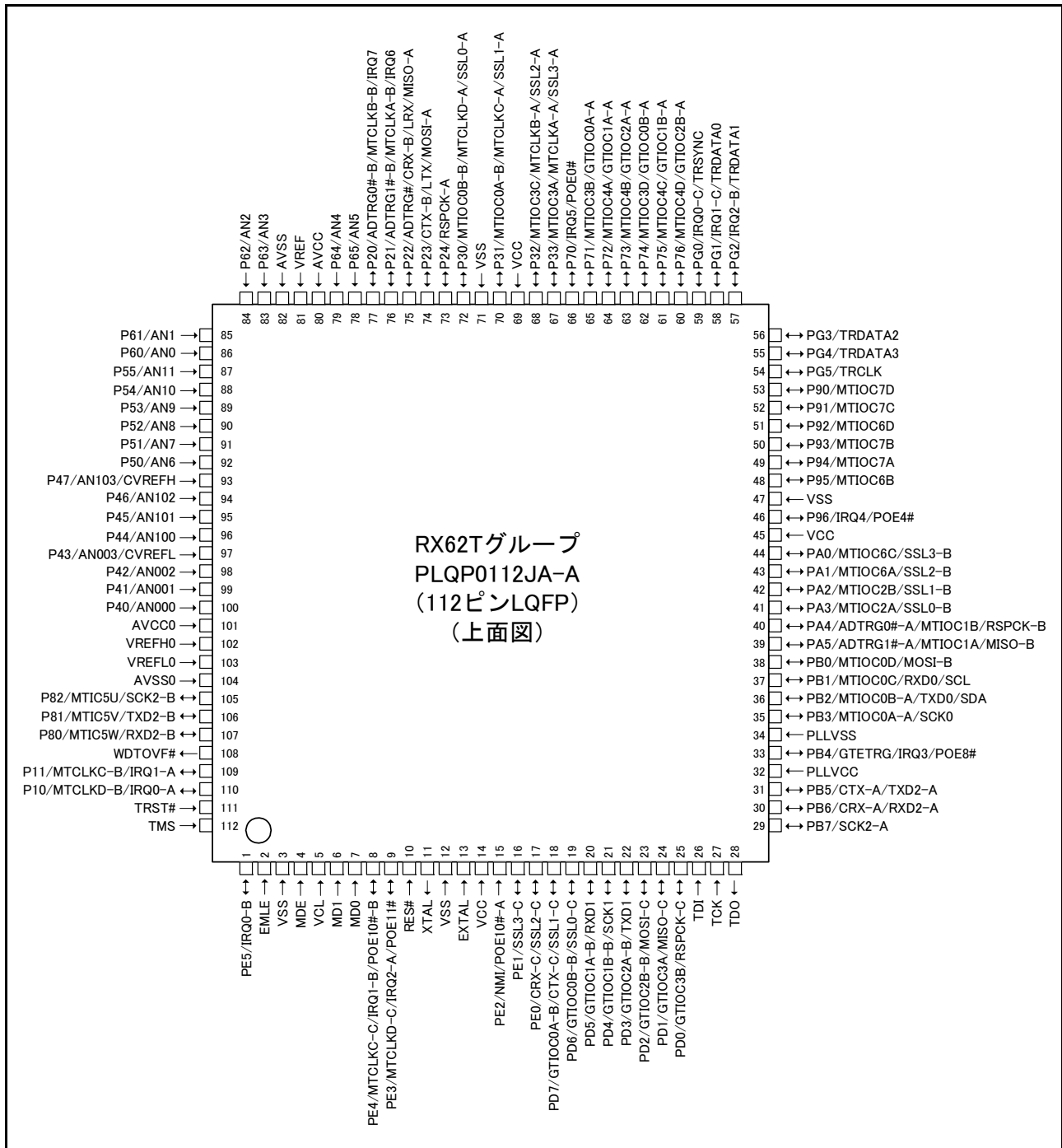


図 1.3 112ピンLQFPピン配置図

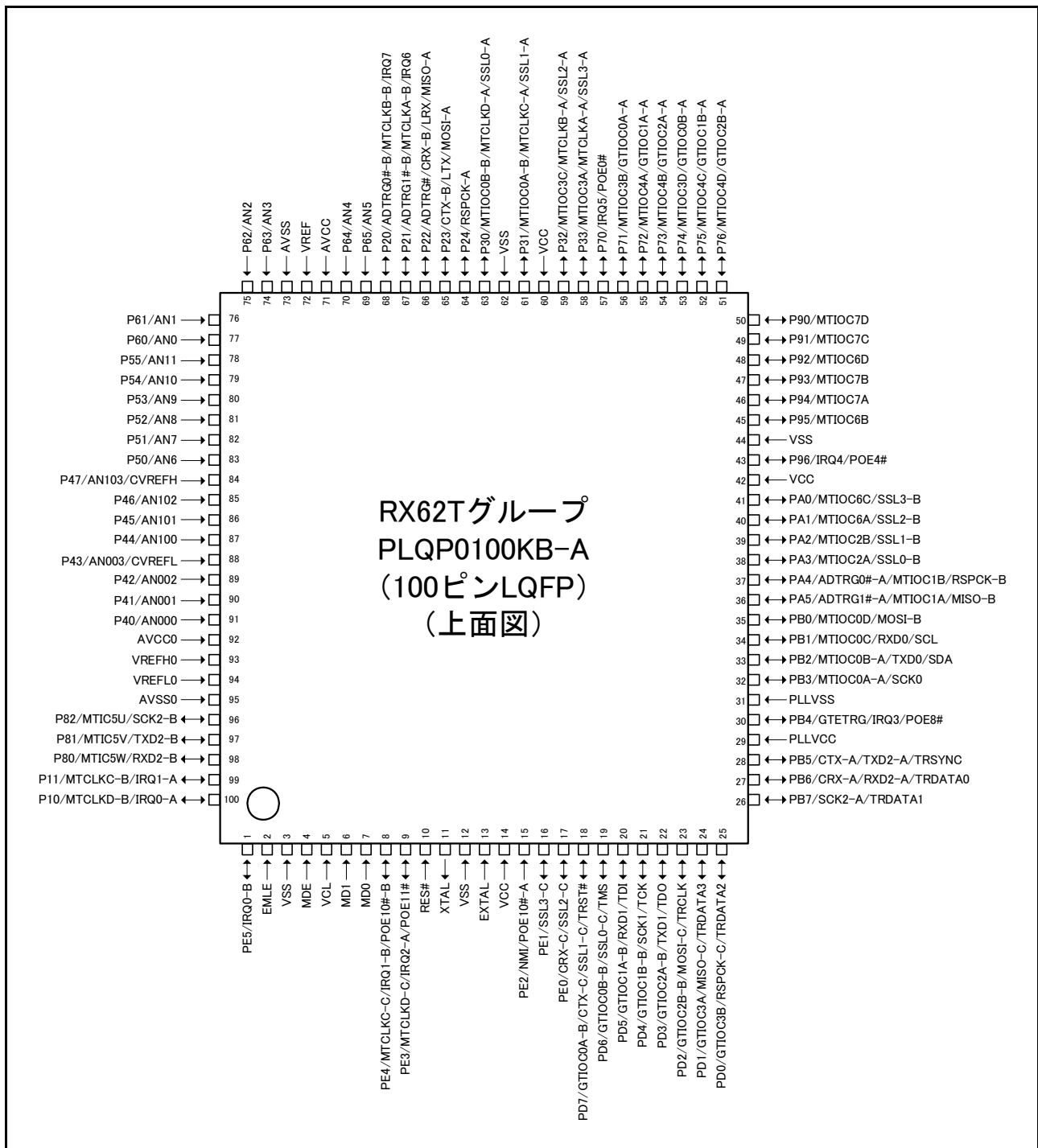


図 1.4 100ピンLQFPピン配置図

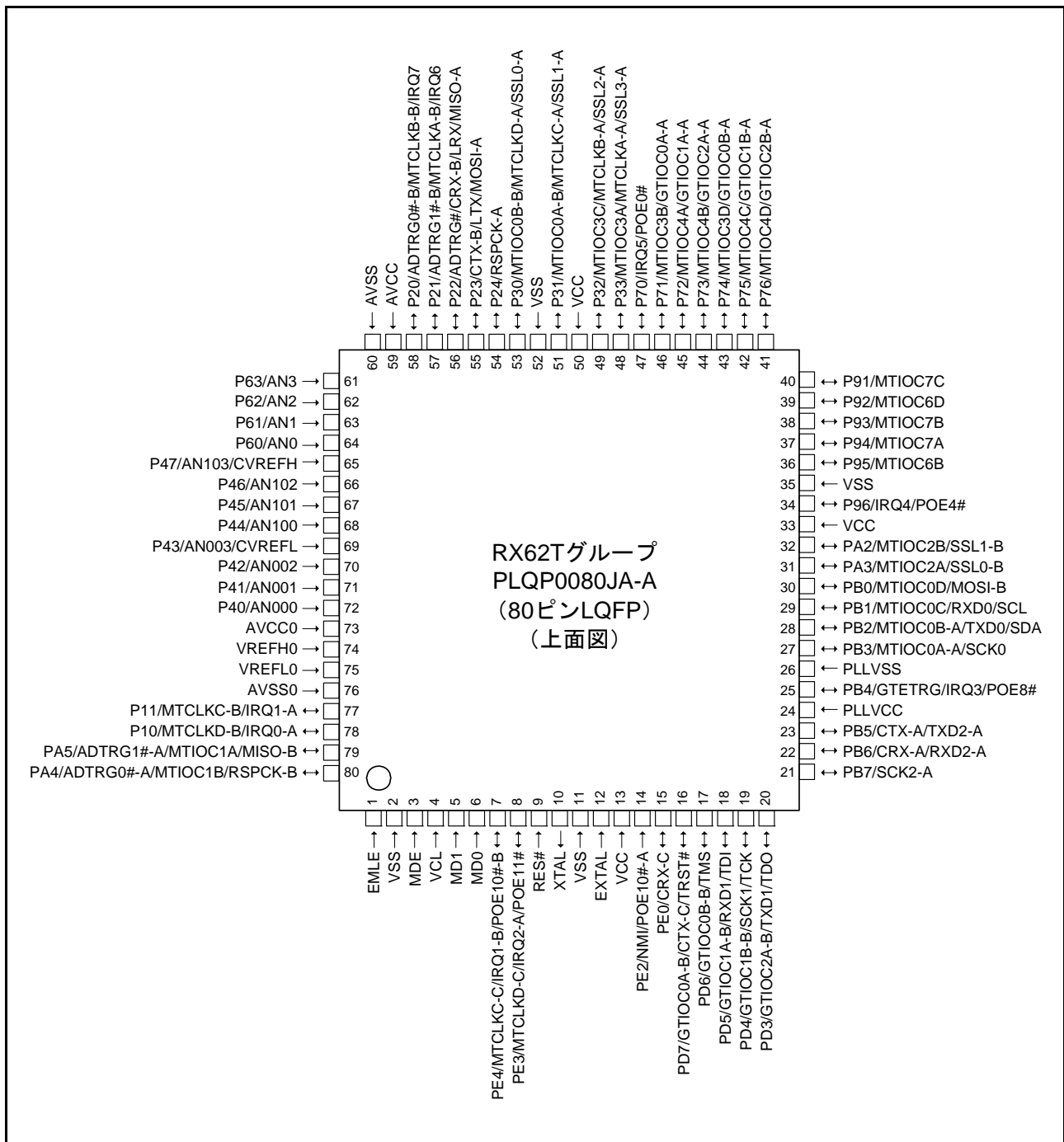


図 1.5 80 ピン LQFP ピン配置図

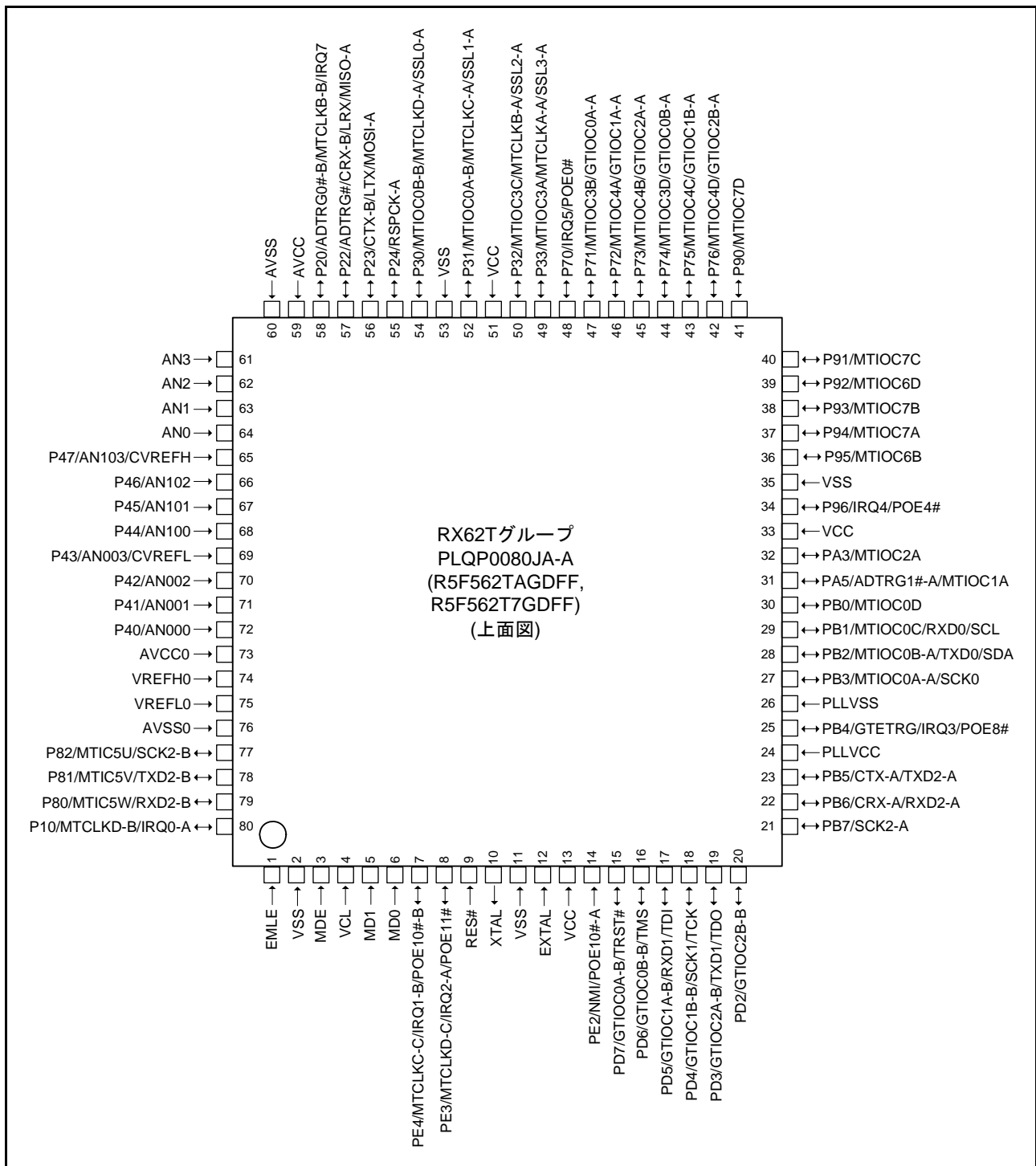


図 1.6 80ピンLQFPピン配置図(2モータ制御対応版)

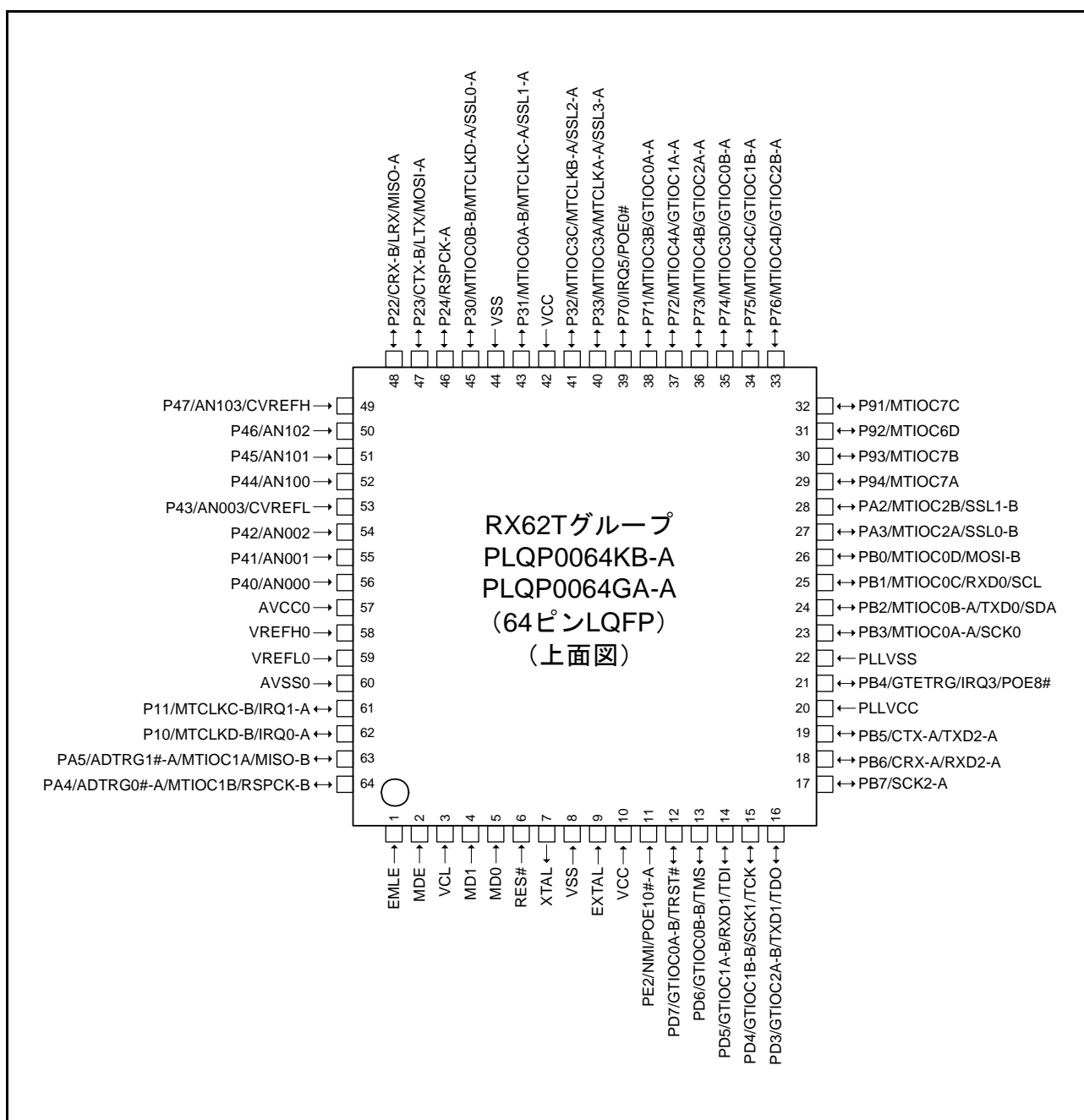


図 1.7 64ピンLQFPピン配置図

表 1.4 機能別端子一覧 (112ピンLQFP) (1/3)

ピン番号 (112ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1		PE5				IRQ0-B		
2	EMLE							
3	VSS							
4	MDE							
5	VCL							
6	MD1							
7	MD0							
8		PE4		MTCLKC-C		IRQ1-B	POE10#-B	
9		PE3		MTCLKD-C		IRQ2-A	POE11#	
10	RES#							
11	XTAL							
12	VSS							
13	EXTAL							
14	VCC							
15		PE2				NMI	POE10#-A	
16		PE1			SSL3-C			
17		PE0			CRX-C/ SSL2-C			
18		PD7		GTIOC0A-B	CTX-C/ SSL1-C			
19		PD6		GTIOC0B-B	SSL0-C			
20		PD5		GTIOC1A-B	RXD1			
21		PD4		GTIOC1B-B	SCK1			
22		PD3		GTIOC2A-B	TXD1			
23		PD2		GTIOC2B-B	MOSI-C			
24		PD1		GTIOC3A	MISO-C			
25		PD0		GTIOC3B	RSPCK-C			
26								TDI
27								TCK
28								TDO
29		PB7			SCK2-A			
30		PB6			CRX-A/ RXD2-A			
31		PB5			CTX-A/ TXD2-A			
32	PLLVCC							
33		PB4		GTETRG		IRQ3	POE8#	
34	PLLVSS							
35		PB3		MTIOC0A-A	SCK0			
36		PB2		MTIOC0B-A	TXD0/SDA			
37		PB1		MTIOC0C	RXD0/SCL			
38		PB0		MTIOC0D	MOSI-B			
39		PA5	ADTRG1#-A	MTIOC1A	MISO-B			
40		PA4	ADTRG0#-A	MTIOC1B	RSPCK-B			

表 1.4 機能別端子一覧 (112ピンLQFP) (2 / 3)

ピン番号 (112ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
41		PA3		MTIOC2A	SSL0-B			
42		PA2		MTIOC2B	SSL1-B			
43		PA1		MTIOC6A	SSL2-B			
44		PA0		MTIOC6C	SSL3-B			
45	VCC							
46		P96				IRQ4	POE4#	
47	VSS							
48		P95		MTIOC6B				
49		P94		MTIOC7A				
50		P93		MTIOC7B				
51		P92		MTIOC6D				
52		P91		MTIOC7C				
53		P90		MTIOC7D				
54		PG5						TRCLK
55		PG4						TRDATA3
56		PG3						TRDATA2
57		PG2				IRQ2-B		TRDATA1
58		PG1				IRQ1-C		TRDATA0
59		PG0				IRQ0-C		TRSYNC
60		P76		MTIOC4D/ GTIOC2B-A				
61		P75		MTIOC4C/ GTIOC1B-A				
62		P74		MTIOC3D/ GTIOC0B-A				
63		P73		MTIOC4B/ GTIOC2A-A				
64		P72		MTIOC4A/ GTIOC1A-A				
65		P71		MTIOC3B/ GTIOC0A-A				
66		P70				IRQ5	POE0#	
67		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
68		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
69	VCC							
70		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
71	VSS							
72		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
73		P24			RSPCK-A			
74		P23			CTX-B/ LTX/ MOSI-A			

表 1.4 機能別端子一覧 (112ピンLQFP) (3 / 3)

ピン番号 (112ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
75		P22	ADTRG#		CRX-B/ LRX/ MISO-A			
76		P21	ADTRG1#-B	MTCLKA-B		IRQ6		
77		P20	ADTRG0#-B	MTCLKB-B		IRQ7		
78		P65	AN5					
79		P64	AN4					
80	AVCC							
81	VREF							
82	AVSS							
83		P63	AN3					
84		P62	AN2					
85		P61	AN1					
86		P60	AN0					
87		P55	AN11					
88		P54	AN10					
89		P53	AN9					
90		P52	AN8					
91		P51	AN7					
92		P50	AN6					
93		P47	AN103/ CVREFH					
94		P46	AN102					
95		P45	AN101					
96		P44	AN100					
97		P43	AN003/ CVREFL					
98		P42	AN002					
99		P41	AN001					
100		P40	AN000					
101	AVCC0							
102	VREFH0							
103	VREFL0							
104	AVSS0							
105		P82		MTIC5U	SCK2-B			
106		P81		MTIC5V	TXD2-B			
107		P80		MTIC5W	RXD2-B			
108				WDTOVF#				
109		P11		MTCLKC-B		IRQ1-A		
110		P10		MTCLKD-B		IRQ0-A		
111								TRST#
112								TMS

表 1.5 機能別端子一覧 (100ピンLQFP) (1/3)

ピン番号 (100ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1		PE5				IRQ0-B		
2	EMLE							
3	VSS							
4	MDE							
5	VCL							
6	MD1							
7	MD0							
8		PE4		MTCLKC-C		IRQ1-B	POE10#-B	
9		PE3		MTCLKD-C		IRQ2-A	POE11#	
10	RES#							
11	XTAL							
12	VSS							
13	EXTAL							
14	VCC							
15		PE2				NMI	POE10#-A	
16		PE1			SSL3-C			
17		PE0			CRX-C/ SSL2-C			
18		PD7		GTIOC0A-B	CTX-C/ SSL1-C			TRST#
19		PD6		GTIOC0B-B	SSL0-C			TMS
20		PD5		GTIOC1A-B	RXD1			TDI
21		PD4		GTIOC1B-B	SCK1			TCK
22		PD3		GTIOC2A-B	TXD1			TDO
23		PD2		GTIOC2B-B	MOSI-C			TRCLK
24		PD1		GTIOC3A	MISO-C			TRDATA3
25		PD0		GTIOC3B	RSPCK-C			TRDATA2
26		PB7			SCK2-A			TRDATA1
27		PB6			CRX-A/ RXD2-A			TRDATA0
28		PB5			CTX-A/ TXD2-A			TRSYNC
29	PLLVCC							
30		PB4		GTETRG		IRQ3	POE8#	
31	PLLVSS							
32		PB3		MTIOC0A-A	SCK0			
33		PB2		MTIOC0B-A	TXD0/SDA			
34		PB1		MTIOC0C	RXD0/SCL			
35		PB0		MTIOC0D	MOSI-B			
36		PA5	ADTRG1#-A	MTIOC1A	MISO-B			
37		PA4	ADTRG0#-A	MTIOC1B	RSPCK-B			
38		PA3		MTIOC2A	SSL0-B			
39		PA2		MTIOC2B	SSL1-B			
40		PA1		MTIOC6A	SSL2-B			

表 1.5 機能別端子一覧 (100ピンLQFP) (2 / 3)

ピン番号 (100ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
41		PA0		MTIOC6C	SSL3-B			
42	VCC							
43		P96				IRQ4	POE4#	
44	VSS							
45		P95		MTIOC6B				
46		P94		MTIOC7A				
47		P93		MTIOC7B				
48		P92		MTIOC6D				
49		P91		MTIOC7C				
50		P90		MTIOC7D				
51		P76		MTIOC4D/ GTIOC2B-A				
52		P75		MTIOC4C/ GTIOC1B-A				
53		P74		MTIOC3D/ GTIOC0B-A				
54		P73		MTIOC4B/ GTIOC2A-A				
55		P72		MTIOC4A/ GTIOC1A-A				
56		P71		MTIOC3B/ GTIOC0A-A				
57		P70				IRQ5	POE0#	
58		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
59		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
60	VCC							
61		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
62	VSS							
63		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
64		P24			RSPCK-A			
65		P23			CTX-B/ LTX/ MOSI-A			
66		P22	ADTRG#		CRX-B/ LRX/ MISO-A			
67		P21	ADTRG1#-B	MTCLKA-B		IRQ6		
68		P20	ADTRG0#-B	MTCLKB-B		IRQ7		
69		P65	AN5					
70		P64	AN4					
71	AVCC							
72	VREF							

表 1.5 機能別端子一覧 (100ピンLQFP) (3 / 3)

ピン番号 (100ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
73	AVSS							
74		P63	AN3					
75		P62	AN2					
76		P61	AN1					
77		P60	AN0					
78		P55	AN11					
79		P54	AN10					
80		P53	AN9					
81		P52	AN8					
82		P51	AN7					
83		P50	AN6					
84		P47	AN103/ CVREFH					
85		P46	AN102					
86		P45	AN101					
87		P44	AN100					
88		P43	AN003/ CVREFL					
89		P42	AN002					
90		P41	AN001					
91		P40	AN000					
92	AVCC0							
93	VREFH0							
94	VREFL0							
95	AVSS0							
96		P82		MTIC5U	SCK2-B			
97		P81		MTIC5V	TXD2-B			
98		P80		MTIC5W	RXD2-B			
99		P11		MTCLKC-B		IRQ1-A		
100		P10		MTCLKD-B		IRQ0-A		

表 1.6 機能別端子一覧 (80ピンLQFP) (1 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1	EMLE							
2	VSS							
3	MDE							
4	VCL							
5	MD1							
6	MD0							
7		PE4		MTCLKC-C		IRQ1-B	POE10#-B	
8		PE3		MTCLKD-C		IRQ2-A	POE11#	
9	RES#							
10	XTAL							
11	VSS							
12	EXTAL							
13	VCC							
14		PE2				NMI	POE10#-A	
15		PE0			CRX-C			
16		PD7		GTIOC0A-B	CTX-C			TRST#
17		PD6		GTIOC0B-B				TMS
18		PD5		GTIOC1A-B	RXD1			TDI
19		PD4		GTIOC1B-B	SCK1			TCK
20		PD3		GTIOC2A-B	TXD1			TDO
21		PB7			SCK2-A			
22		PB6			CRX-A/ RXD2-A			
23		PB5			CTX-A/ TXD2-A			
24	PLLVCC							
25		PB4		GTETRG		IRQ3	POE8#	
26	PLLVSS							
27		PB3		MTIOC0A-A	SCK0			
28		PB2		MTIOC0B-A	TXD0/SDA			
29		PB1		MTIOC0C	RXD0/SCL			
30		PB0		MTIOC0D	MOSI-B			
31		PA3		MTIOC2A	SSL0-B			
32		PA2		MTIOC2B	SSL1-B			
33	VCC							
34		P96				IRQ4	POE4#	
35	VSS							
36		P95		MTIOC6B				
37		P94		MTIOC7A				
38		P93		MTIOC7B				
39		P92		MTIOC6D				
40		P91		MTIOC7C				
41		P76		MTIOC4D/ GTIOC2B-A				

表 1.6 機能別端子一覧 (80ピンLQFP) (2 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
42		P75		MTIOC4C/ GTIOC1B-A				
43		P74		MTIOC3D/ GTIOC0B-A				
44		P73		MTIOC4B/ GTIOC2A-A				
45		P72		MTIOC4A/ GTIOC1A-A				
46		P71		MTIOC3B/ GTIOC0A-A				
47		P70				IRQ5	POE0#	
48		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
49		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
50	VCC							
51		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
52	VSS							
53		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
54		P24			RSPCK-A			
55		P23			CTX-B/ LTX/ MOSI-A			
56		P22	ADTRG#		CRX-B/ LRX/ MISO-A			
57		P21	ADTRG1#-B	MTCLKA-B		IRQ6		
58		P20	ADTRG0#-B	MTCLKB-B		IRQ7		
59	AVCC							
60	AVSS							
61		P63	AN3					
62		P62	AN2					
63		P61	AN1					
64		P60	AN0					
65		P47	AN103/ CVREFH					
66		P46	AN102					
67		P45	AN101					
68		P44	AN100					
69		P43	AN003/ CVREFL					
70		P42	AN002					
71		P41	AN001					
72		P40	AN000					
73	AVCC0							
74	VREFH0							
75	VREFL0							

表 1.6 機能別端子一覧 (80ピンLQFP) (3 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
76	AVSS0							
77		P11		MTCLKC-B		IRQ1-A		
78		P10		MTCLKD-B		IRQ0-A		
79		PA5	ADTRG1#-A	MTIOC1A	MISO-B			
80		PA4	ADTRG0#-A	MTIOC1B	RSPCK-B			

表 1.7 機能別端子一覧 (80ピンLQFP : R5F562TxGDFF) (1 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1	EMLE							
2	VSS							
3	MDE							
4	VCL							
5	MD1							
6	MD0							
7		PE4		MTCLKC-C		IRQ1-B	POE10#-B	
8		PE3		MTCLKD-C		IRQ2-A	POE11#	
9	RES#							
10	XTAL							
11	VSS							
12	EXTAL							
13	VCC							
14		PE2				NMI	POE10#-A	
15		PD7		GTIOC0A-B				TRST#
16		PD6		GTIOC0B-B				TMS
17		PD5		GTIOC1A-B	RXD1			TDI
18		PD4		GTIOC1B-B	SCK1			TCK
19		PD3		GTIOC2A-B	TXD1			TDO
20		PD2		GTIOC2B-B				
21		PB7			SCK2-A			
22		PB6			CRX-A/ RXD2-A			
23		PB5			CTX-A/ TXD2-A			
24	PLLVC							
25		PB4		GTETRG		IRQ3	POE8#	
26	PLLVS							
27		PB3		MTIOC0A-A	SCK0			
28		PB2		MTIOC0B-A	TXD0/SDA			
29		PB1		MTIOC0C	RXD0/SCL			
30		PB0		MTIOC0D				
31		PA5	ADTRG1#-A	MTIOC1A				
32		PA3		MTIOC2A				
33	VCC							
34		P96				IRQ4	POE4#	
35	VSS							
36		P95		MTIOC6B				
37		P94		MTIOC7A				
38		P93		MTIOC7B				
39		P92		MTIOC6D				
40		P91		MTIOC7C				
41		P90		MTIOC7D				

表 1.7 機能別端子一覧 (80ピンLQFP : R5F562TxGDFF) (2 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
42		P76		MTIOC4D/ GTIOC2B-A				
43		P75		MTIOC4C/ GTIOC1B-A				
44		P74		MTIOC3D/ GTIOC0B-A				
45		P73		MTIOC4B/ GTIOC2A-A				
46		P72		MTIOC4A/ GTIOC1A-A				
47		P71		MTIOC3B/ GTIOC0A-A				
48		P70				IRQ5	POE0#	
49		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
50		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
51	VCC							
52		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
53	VSS							
54		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
55		P24			RSPCK-A			
56		P23			CTX-B/ LTX/ MOSI-A			
57		P22	ADTRG#		CRX-B/ LRX/ MISO- A			
58		P20	ADTRG0#-B	MTCLKB-B		IRQ7		
59	AVCC							
60	AVSS							
61		P63	AN3					
62		P62	AN2					
63		P61	AN1					
64		P60	AN0					
65		P47	AN103/ CVREFH					
66		P46	AN102					
67		P45	AN101					
68		P44	AN100					
69		P43	AN003/ CVREFL					
70		P42	AN002					
71		P41	AN001					
72		P40	AN000					
73	AVCC0							
74	VREFH0							
75	VREFL0							

表 1.7 機能別端子一覧 (80ピンLQFP : R5F562TxGDFF) (3 / 3)

ピン番号 (80ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
76	AVSS0							
77		P82		MTIC5U	SCK2-B			
78		P81		MTIC5V	TXD2-B			
79		P80		MTIC5W	RXD2-B			
80		P10		MTCLKD-B		IRQ0-A		

表 1.8 機能別端子一覧 (64ピンLQFP) (1 / 2)

ピン番号 (64ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
1	EMLE							
2	MDE							
3	VCL							
4	MD1							
5	MD0							
6	RES#							
7	XTAL							
8	VSS							
9	EXTAL							
10	VCC							
11		PE2				NMI	POE10#-A	
12		PD7		GTIOC0A-B				TRST#
13		PD6		GTIOC0B-B				TMS
14		PD5		GTIOC1A-B	RXD1			TDI
15		PD4		GTIOC1B-B	SCK1			TCK
16		PD3		GTIOC2A-B	TXD1			TDO
17		PB7			SCK2-A			
18		PB6			CRX-A/ RXD2-A			
19		PB5			CTX-A/ TXD2-A			
20	PLLVCC							
21		PB4		GTETRG		IRQ3	POE8#	
22	PLLSS							
23		PB3		MTIOC0A-A	SCK0			
24		PB2		MTIOC0B-A	TXD0/SDA			
25		PB1		MTIOC0C	RXD0/SCL			
26		PB0		MTIOC0D	MOSI-B			
27		PA3		MTIOC2A	SSL0-B			
28		PA2		MTIOC2B	SSL1-B			
29		P94		MTIOC7A				
30		P93		MTIOC7B				
31		P92		MTIOC6D				
32		P91		MTIOC7C				
33		P76		MTIOC4D/ GTIOC2B-A				
34		P75		MTIOC4C/ GTIOC1B-A				
35		P74		MTIOC3D/ GTIOC0B-A				
36		P73		MTIOC4B/ GTIOC2A-A				
37		P72		MTIOC4A/ GTIOC1A-A				
38		P71		MTIOC3B/ GTIOC0A-A				

表 1.8 機能別端子一覧 (64ピンLQFP) (2 / 2)

ピン番号 (64ピン LQFP)	電源 クロック システム制御	I/Oポート	アナログ	タイマ	通信	割り込み	POE	デバッグ
39		P70				IRQ5	POE0#	
40		P33		MTIOC3A/ MTCLKA-A	SSL3-A			
41		P32		MTIOC3C/ MTCLKB-A	SSL2-A			
42	VCC							
43		P31		MTIOC0A-B/ MTCLKC-A	SSL1-A			
44	VSS							
45		P30		MTIOC0B-B/ MTCLKD-A	SSL0-A			
46		P24			RSPCK-A			
47		P23			CTX-B/ LTX/ MOSI-A			
48		P22			CRX-B/ LRX/ MISO-A			
49		P47	AN103/ CVREFH					
50		P46	AN102					
51		P45	AN101					
52		P44	AN100					
53		P43	AN003/ CVREFL					
54		P42	AN002					
55		P41	AN001					
56		P40	AN000					
57	AVCC0							
58	VREFH0							
59	VREFL0							
60	AVSS0							
61		P11		MTCLKC-B		IRQ1-A		
62		P10		MTCLKD-B		IRQ0-A		
63		PA5	ADTRG1#-A	MTIOC1A	MISO-B			
64		PA4	ADTRG0#-A	MTIOC1B	RSPCK-B			

1.5 端子機能

表 1.9 に端子機能一覧を示します。

表 1.9 端子機能一覧 (1 / 4)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子です。システムの電源に接続してください
	VCL	入力	0.1 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子です。システムの電源 (0V) に接続してください
	PLLVCC	入力	PLL回路用の電源端子です。システムの電源に接続してください
	PLLVSS	入力	PLL回路用のグランド端子です
クロック	XTAL	出力	水晶発振子接続端子です。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
動作モードコントロール	MD0、MD1、MDE	入力	動作モードを設定します。これらの端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子です。この端子がLowになると、リセット状態となります
	EMLE	入力	オンチップエミュレータを許可する端子です。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowにしてください
オンチップエミュレータ	TRST#	入力	オンチップエミュレータ用の端子です。EMLE 端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します。80ピン版および64ピン版にはありません
	TRSYNC	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します。80ピン版および64ピン版にはありません
	TRDATA0～TRDATA3	出力	トレース情報を出力します。80ピン版および64ピン版にはありません
割り込み (ICU)	NMI	入力	ノンマスクブル割り込み要求端子です
	IRQ0-A/IRQ0-B/IRQ0-C IRQ1-A/IRQ1-B/IRQ1-C IRQ2-A/IRQ2-B IRQ3～IRQ7	入力	割り込み要求端子です。100ピン版には、IRQ0-C/IRQ1-C/IRQ2-B端子はありません。80ピン版には、IRQ0-B/IRQ0-C/IRQ1-C/IRQ2-B端子はありません。64ピン版にはIRQ0-B/IRQ0-C/IRQ1-B/IRQ1-C/IRQ2-A/IRQ2-B/IRQ4/IRQ6/IRQ7端子はありません

表 1.9 端子機能一覧 (2 / 4)

分類	端子名	入出力	機能
マルチファンクション タイマパルスユニット3 (MTU3)	MTIOC0A-A/MTIOC0A-B MTIOC0B-A/MTIOC0B-B MTIOC0C、MTIOC0D	入出力	MTU0.TGRA~MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です
	MTIOC1A、MTIOC1B	入出力	MTU1.TGRA、MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です
	MTIOC2A、MTIOC2B	入出力	MTU2.TGRA、MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	MTU3.TGRA~MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 MTIOC3B端子とMTIOC3D端子は大電流出力として使用できます
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	MTU4.TGRA~MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 全て大電流出力として使用できます
	MTIC5U、MTIC5V、MTIC5W	入力	MTU5.TGRU、MTU5.TGRV、MTU5.TGRWのインプットキャプチャ入力/デッドタイム補償機能の入力端子です。80ピン版および64ピン版にはありません
	MTIOC6A、MTIOC6B MTIOC6C、MTIOC6D	入出力	MTU6.TGRA~MTU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 MTIOC6B端子とMTIOC6D端子は大電流出力として使用できます。80ピン版には、MTIOC6A/MTIOC6C端子はありません。64ピン版にはMTIOC6A/MTIOC6B/MTIOC6C端子はありません
	MTIOC7A、MTIOC7B MTIOC7C、MTIOC7D	入出力	MTU7.TGRA~MTU7.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 全て大電流出力として使用できます。 80ピン版および64ピン版にはMTIOC7D端子はありません
	MTCLKA-A/MTCLKA-B MTCLKB-A/MTCLKB-B MTCLKC-A/MTCLKC-B/ MTCLKC-C MTCLKD-A/MTCLKD-B/ MTCLKD-C	入力	外部クロックを入力します。 64ピン版にはMTCLKA-B/MTCLKB-B/MTCLKC-C/MTCLKD-C端子はありません
汎用PWMタイマ (GPT)	GTIOC0A-A/GTIOC0A-B GTIOC0B-A/GTIOC0B-B	入出力	GPT0.GTCCRA、GPT0.GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 GTIOC0A-A端子とGTIOC0B-A端子は大電流出力として使用できます
	GTIOC1A-A/GTIOC1A-B GTIOC1B-A/GTIOC1B-B	入出力	GPT1.GTCCRA、GPT1.GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 GTIOC1A-A端子とGTIOC1B-A端子は大電流出力として使用できます
	GTIOC2A-A/GTIOC2A-B GTIOC2B-A/GTIOC2B-B	入出力	GPT2.GTCCRA、GPT2.GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。 GTIOC2A-A端子とGTIOC2B-A端子は大電流出力として使用できます。 80ピン版および64ピン版にはGTIOC2B-B端子はありません
	GTIOC3A、GTIOC3B	入出力	GPT3.GTCCRA、GPT3.GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。80ピン版および64ピン版にはありません
	GTETRQ	入力	外部トリガ入力端子です
ポートアウトプット イネーブル3 (POE3)	POE0#、POE4#、POE8# POE10#-A/POE10#-B POE11#	入力	MTU3およびGPT用の大電流端子をハイインピーダンス状態にする要求信号を入力します。64ピン版にはPOE4#/POE10#-B/ POE11#端子はありません
ウォッチドッグタイマ (WDT)	WDTOVF#	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力端子です。100ピン版、80ピン版、64ピン版にはありません
シリアル コミュニケーション インタフェース (SCIb)	TXD0、TXD1、TXD2-A/TXD2-B	出力	送信データ出力端子です。80ピン版および64ピン版にはTXD2-B端子はありません
	RXD0、RXD1、RXD2-A/RXD2-B	入力	受信データ入力端子です。80ピン版および64ピン版にはRXD2-B端子はありません
	SCK0、SCK1、SCK2-A/SCK2-B	入出力	クロック入出力端子です。80ピン版および64ピン版にはSCK2-B端子はありません

表 1.9 端子機能一覧 (3 / 4)

分類	端子名	入出力	機能
I ² Cバスインタフェース (RIIC)	SCL	入出力	I ² Cバスインタフェースのクロック入出力端子です。NMOSオープンドレイン出力でバスを直接駆動できます
	SDA	入出力	I ² Cバスインタフェースのデータ入出力端子です。NMOSオープンドレイン出力でバスを直接駆動できます
CANモジュール (CAN) (オプション)	CRX-A/CRX-B/CRX-C	入力	CANの入力端子です。64ピン版にはCRX-C端子はありません
	CTX-A/CTX-B/CTX-C	出力	CANの出力端子です。64ピン版にはCTX-C端子はありません
LINモジュール (LIN)	LRX	入力	LINの入力端子です
	LTX	出力	LINの出力端子です
シリアルペリフェラルインタフェース (RSPI)	RSPCK-A/RSPCK-B/RSPCK-C	入出力	RSPIのクロック入出力端子です。80ピン版および64ピン版にはRSPCK-C端子はありません
	MOSI-A/MOSI-B/MOSI-C	入出力	RSPIのマスタ送出データ端子です。80ピン版および64ピン版にはMOSI-C端子はありません
	MISO-A/MISO-B/MISO-C	入出力	RSPIのスレーブ送出データ端子です。80ピン版および64ピン版にはMISO-C端子はありません
	SSL0-A/SSL0-B/SSL0-C	入出力	RSPIのスレーブセレクト。80ピン版および64ピン版にはSSL0-C/SSL1-C/SSL2-C/SSL3-C端子はありません
	SSL1-A/SSL1-B/SSL1-C SSL2-A/SSL2-B/SSL2-C SSL3-A/SSL3-B/SSL3-C	出力	
A/Dコンバータ	AN000 ~ AN003、 AN100 ~ AN103	入力	12ビットA/Dコンバータのアナログ入力端子です
	AN0 ~ AN11	入力	10ビットA/Dコンバータのアナログ入力端子です。80ピン版にはAN4 ~ AN11端子はありません。64ピン版にはありません
	ADTRG0#-A/ADTRG0#-B ADTRG1#-A/ADTRG1#-B ADTRG#	入力	A/D変換開始のための外部トリガ入力端子です。64ピン版にはADTRG0#-B/ADTRG1#-B/ADTRG#端子はありません
	CVREFH	入力	コンパレータハイレベル基準電圧用入力端子です
	CVREFL	入力	コンパレータロウレベル基準電圧用入力端子です
	AVCC0	入力	12ビットA/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しない場合は、システムの電源に接続してください
	AVSS0	入力	12ビットA/Dコンバータのグラウンド端子です。システムの電源(0V)に接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子です。12ビットA/Dコンバータを使用しない場合は、システムの電源に接続してください
	VREFL0	入力	12ビットA/Dコンバータの基準電源端子のグラウンド端子です。12ビットA/Dコンバータを使用しない場合は、システムの電源(0V)に接続してください
	AVCC	入力	10ビットA/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しない場合は、システムの電源に接続してください。64ピン版にはありません
	AVSS	入力	10ビットA/Dコンバータのグラウンド端子です。システムの電源(0V)に接続してください。64ピン版にはありません
	VREF	入力	10ビットA/Dコンバータの基準電源端子です。10ビットA/Dコンバータを使用しない場合は、システムの電源に接続してください。80ピン版および64ピン版にはありません

表 1.9 端子機能一覧 (4 / 4)

分類	端子名	入出力	機能
I/Oポート	P10、P11	入出力	2ビットの入出力端子です
	P20～P24	入出力	5ビットの入出力端子です。64ピン版にはP20/P21端子はありません
	P30～P33	入出力	4ビットの入出力端子です
	P40～P47	入力	8ビットの入力端子です
	P50～P55	入力	6ビットの入力端子です。80ピン版および64ピン版にはありません
	P60～P65	入力	6ビットの入力端子です。80ピン版にはP64/P65端子はありません。64ピン版にはありません
	P70～P76	入出力	7ビットの入出力端子です
	P80～P82	入出力	3ビットの入出力端子です。80ピン版および64ピン版にはありません
	P90～P96	入出力	7ビットの入出力端子です。80ピン版にはP90端子はありません。64ピン版にはP90/P95/P96端子はありません
	PA0～PA5	入出力	6ビットの入出力端子です。80ピン版および64ピン版にはPA0/PA1端子はありません
	PB0～PB7	入出力	8ビットの入出力端子です
	PD0～PD7	入出力	8ビットの入出力端子です。80ピン版および64ピン版にはPD0/PD1/PD2端子はありません
	PE0、PE1、PE3～PE5	入出力	5ビットの入出力端子です。80ピン版にはPE1/PE5端子はありません。64ピン版にはありません
	PE2	入力	1ビットの入力端子です
	PG0～PG5	入出力	6ビットの入出力端子です。100ピン版、80ピン版、64ピン版にはありません

注. パッケージラインナップにより非搭載端子があります。詳細は表 1.4～表 1.8の機能別端子一覧を参照してください。

2. CPU

RX62Tグループ、RX62Gグループは、RX CPU を搭載するプロセッサです。

RX CPU は、可変長命令形式を採用しています。使用頻度の高い命令をより短い命令長に割り付けており、少ないメモリ容量で効率の良いプログラムを開発できます。

73 種類の基本命令、8 種類の浮動小数点演算命令、9 種類の DSP 機能命令の合計 90 種類の命令と、10 種類のアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間、即値-レジスタ、即値-メモリの演算をはじめ、ビット操作、メモリー-メモリ間の転送を行います。レジスタ間演算命令だけでなく、いくつかの複合命令を 1 クロックで実行することで、高速な演算処理を実現しました。乗算器、除算器を内蔵していますので、高速な乗算処理、除算処理を行うことができます。

RX CPU は、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの 5 ステージのパイプライン処理により、命令を処理します。メモリアクセスによりパイプラインが延びた場合、後続の演算が先に実行される場合があります。RX CPU は、このような「out-of-order-completion」の採用により、クロックサイクル数を無駄にしない命令実行制御を行います。

2.1 特長

- 最小命令実行時間：1 命令 1 クロックで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
 - 汎用レジスタ：32 ビット×16 本
 - 制御レジスタ：32 ビット×9 本
 - アキュムレータ：64 ビット×1 本
- 基本命令：73 種類（算術 / 論理命令、転送命令、分岐命令、ビット操作命令、ストリング操作命令、システム操作命令）
 - 分岐距離に応じた相対分岐命令
 - 可変長命令形式（1 バイト長～8 バイト長）
 - 頻出命令に短縮フォーマットを用意
- 浮動小数点演算命令：8 種類
- DSP 機能命令：9 種類
 - 16 ビット×16 ビットの乗算、積和命令に対応
 - アキュムレータの丸め命令に対応
- アドレッシングモード：10 種類
- 5 段パイプライン
 - 「out-of-order-completion」の採用
- プロセッサモード
 - スーパーバイザモード、ユーザモード
- 浮動小数点演算ユニット
 - 単精度浮動小数点数（32 ビット）に対応
 - IEEE754 に準拠したデータタイプ、および例外に対応
- メモリプロテクションユニット
- データ配置
 - リトルエンディアン / ビッグエンディアン選択可能

2.2 CPU レジスタセット

RX CPU のレジスタには、汎用レジスタ（16本）と、制御レジスタ（9本）、および DSP 機能命令で使用するアキュムレータ（1本）があります。

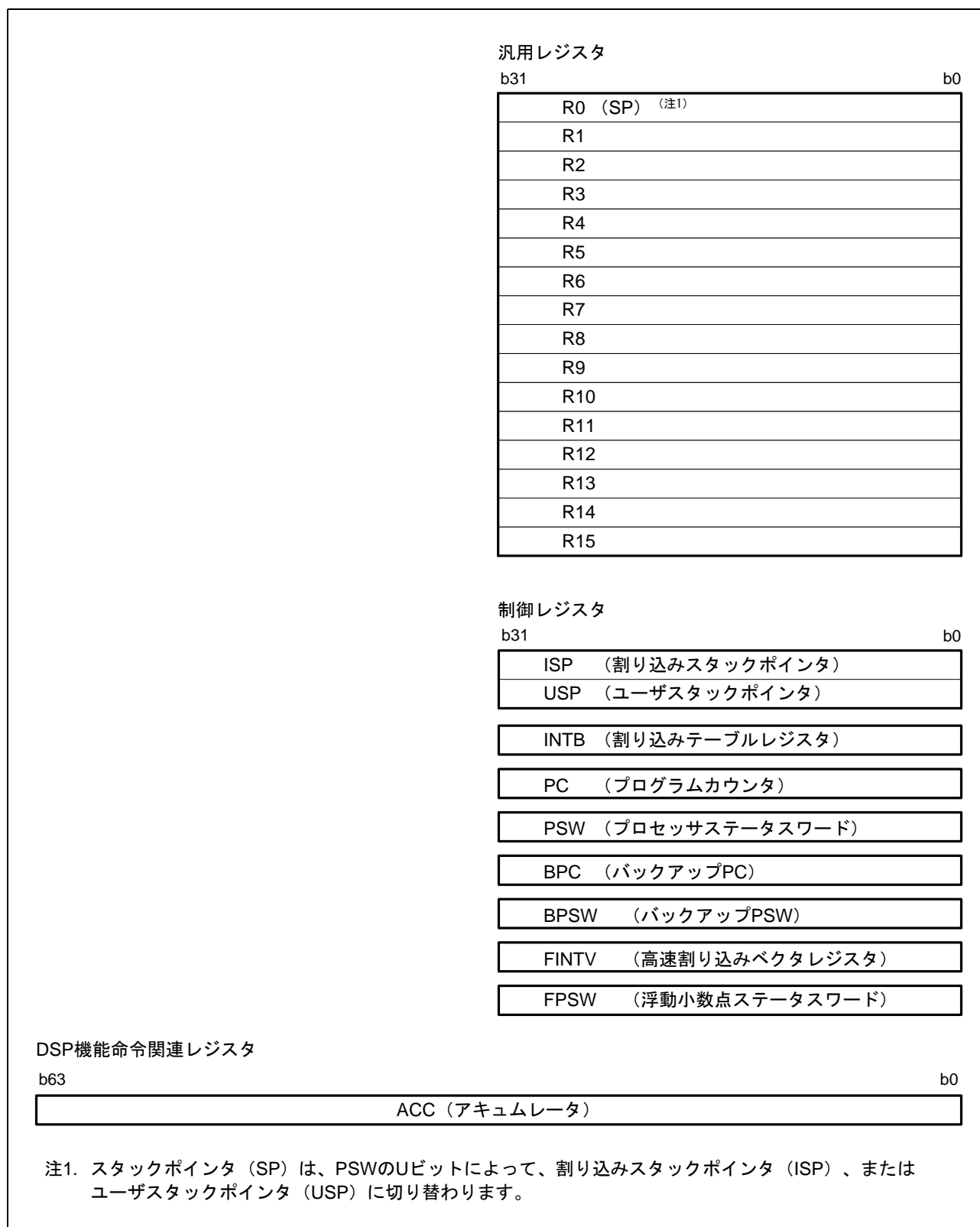


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

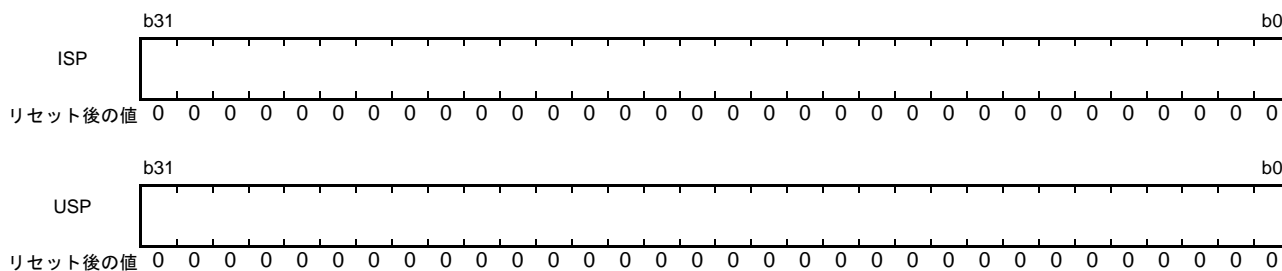
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の9本のレジスタがあります。

- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 浮動小数点ステータスワード (FPSW)

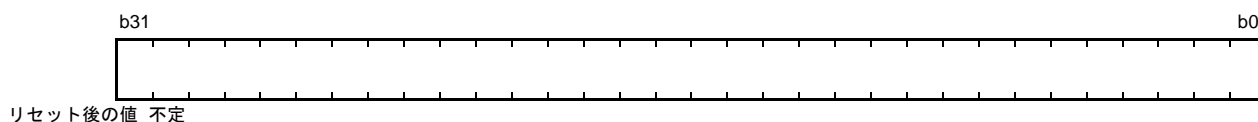
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

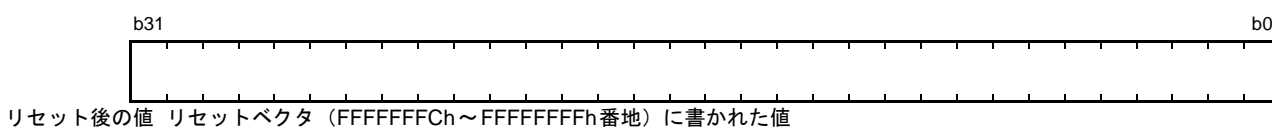
ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.2 割り込みテーブルレジスタ (INTB)



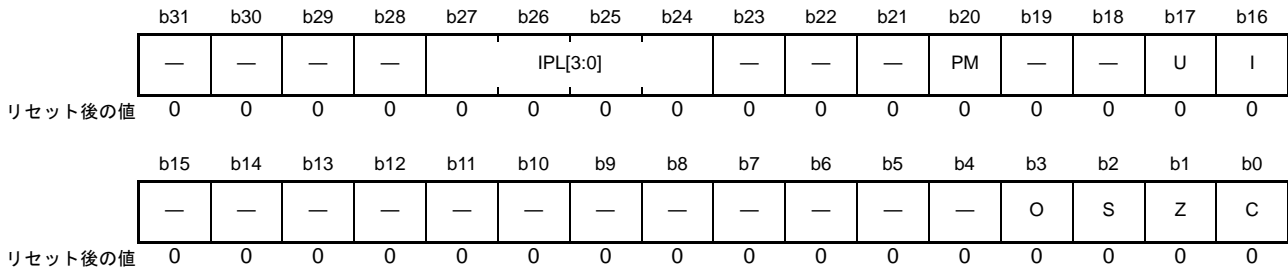
割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。また、INTB レジスタには4の倍数を設定してください。

2.2.2.3 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.4 プロセッサステータスワード (PSW)



ビット	シンボル	ビット名	機能	R/W																																																			
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W																																																			
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W																																																			
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W																																																			
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W																																																			
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																			
b16	I (注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W																																																			
b17	U (注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP) を指定 1: ユーザスタックポインタ (USP) を指定	R/W																																																			
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																			
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W																																																			
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																			
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	<table border="0" style="font-size: small;"> <tr> <td>b27</td><td>b24</td><td></td></tr> <tr> <td>0 0 0 0</td><td></td><td>: 優先レベル0 (最低)</td></tr> <tr> <td>0 0 0 1</td><td></td><td>: 優先レベル1</td></tr> <tr> <td>0 0 1 0</td><td></td><td>: 優先レベル2</td></tr> <tr> <td>0 0 1 1</td><td></td><td>: 優先レベル3</td></tr> <tr> <td>0 1 0 0</td><td></td><td>: 優先レベル4</td></tr> <tr> <td>0 1 0 1</td><td></td><td>: 優先レベル5</td></tr> <tr> <td>0 1 1 0</td><td></td><td>: 優先レベル6</td></tr> <tr> <td>0 1 1 1</td><td></td><td>: 優先レベル7</td></tr> <tr> <td>1 0 0 0</td><td></td><td>: 優先レベル8</td></tr> <tr> <td>1 0 0 1</td><td></td><td>: 優先レベル9</td></tr> <tr> <td>1 0 1 0</td><td></td><td>: 優先レベル10</td></tr> <tr> <td>1 0 1 1</td><td></td><td>: 優先レベル11</td></tr> <tr> <td>1 1 0 0</td><td></td><td>: 優先レベル12</td></tr> <tr> <td>1 1 0 1</td><td></td><td>: 優先レベル13</td></tr> <tr> <td>1 1 1 0</td><td></td><td>: 優先レベル14</td></tr> <tr> <td>1 1 1 1</td><td></td><td>: 優先レベル15 (最高)</td></tr> </table>	b27	b24		0 0 0 0		: 優先レベル0 (最低)	0 0 0 1		: 優先レベル1	0 0 1 0		: 優先レベル2	0 0 1 1		: 優先レベル3	0 1 0 0		: 優先レベル4	0 1 0 1		: 優先レベル5	0 1 1 0		: 優先レベル6	0 1 1 1		: 優先レベル7	1 0 0 0		: 優先レベル8	1 0 0 1		: 優先レベル9	1 0 1 0		: 優先レベル10	1 0 1 1		: 優先レベル11	1 1 0 0		: 優先レベル12	1 1 0 1		: 優先レベル13	1 1 1 0		: 優先レベル14	1 1 1 1		: 優先レベル15 (最高)	R/W
b27	b24																																																						
0 0 0 0		: 優先レベル0 (最低)																																																					
0 0 0 1		: 優先レベル1																																																					
0 0 1 0		: 優先レベル2																																																					
0 0 1 1		: 優先レベル3																																																					
0 1 0 0		: 優先レベル4																																																					
0 1 0 1		: 優先レベル5																																																					
0 1 1 0		: 優先レベル6																																																					
0 1 1 1		: 優先レベル7																																																					
1 0 0 0		: 優先レベル8																																																					
1 0 0 1		: 優先レベル9																																																					
1 0 1 0		: 優先レベル10																																																					
1 0 1 1		: 優先レベル11																																																					
1 1 0 0		: 優先レベル12																																																					
1 1 0 1		: 優先レベル13																																																					
1 1 1 0		: 優先レベル14																																																					
1 1 1 1		: 優先レベル15 (最高)																																																					
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																																			

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行おうとした場合は、特権命令例外が発生します。
- 注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできません。
- 注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

演算結果にキャリ、ボロー、シフトアウトが発生したことを示します。

Z フラグ (ゼロフラグ)

演算結果が 0 であったことを示します。

S フラグ (サインフラグ)

演算結果が負であったことを示します。

O フラグ (オーバフローフラグ)

演算中にオーバフローしたことを示します。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

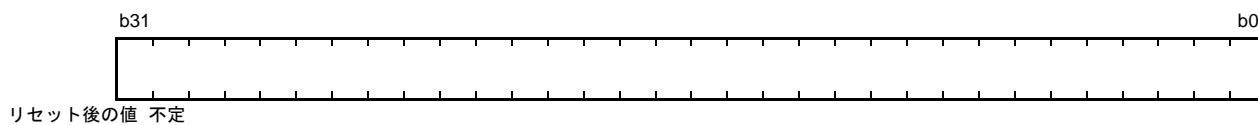
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

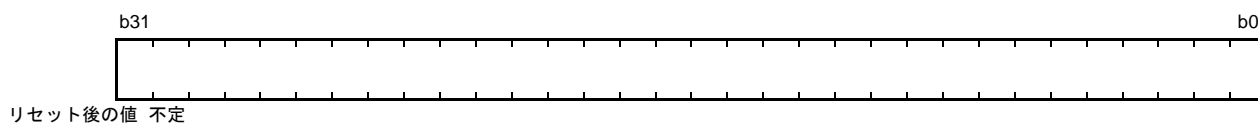
IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.5 バックアップ PC (BPC)



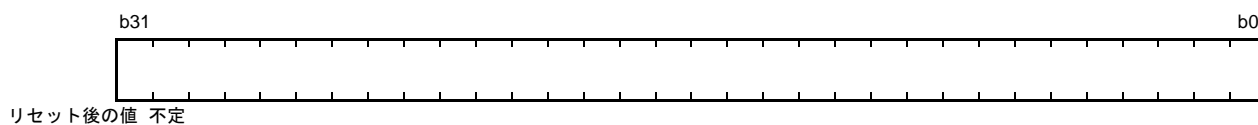
バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

2.2.2.6 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.7 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.8 浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b30	FX (注7)	精度異常フラグ	0: 精度異常の発生なし 1: 精度異常の発生あり (注8)	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映します	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j=“1”$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし例外発生の要因を判断することができます。例外処理を禁止 ($E_j=“0”$) した場合は、一連の処理の最後に F_j フラグをチェックし例外処理の有無を確認することができます。 F_j フラグが“1”になると、ソフトウェアで“0”にするまで“1”を保持します。(j=X、U、Z、O、V)

RM[1:0] ビット (浮動小数点丸めモード設定ビット)

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0 方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- $+\infty$ 方向への丸め : 結果の値が大きくなる方向へ丸める
- $-\infty$ 方向への丸め : 結果の値が小さくなる方向へ丸める

(1)「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2)「0 方向への丸め」、「 $+\infty$ 方向への丸め」、「 $-\infty$ 方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)

CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)

CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された5つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他に、非実装処理が発生した場合に該当するフラグが“1”になります。

- “1”の場合は、FPU 演算命令実行時に“0”になります。
- MVTC、POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の0フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を0として扱います。

EV ビット（無効演算例外処理許可ビット）、EO ビット（オーバフロー例外処理許可ビット）
EZ ビット（ゼロ除算例外処理許可ビット）、EU ビット（アンダフロー例外処理許可ビット）
EX ビット（精度異常例外処理許可ビット）

FPU 演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0” の場合、例外処理は禁止されます。“1” の場合、例外処理が許可されます。

FV フラグ（無効演算フラグ）、FO フラグ（オーバフローフラグ）、FZ フラグ（ゼロ除算フラグ）
FU フラグ（アンダフローフラグ）、FX フラグ（精度異常フラグ）

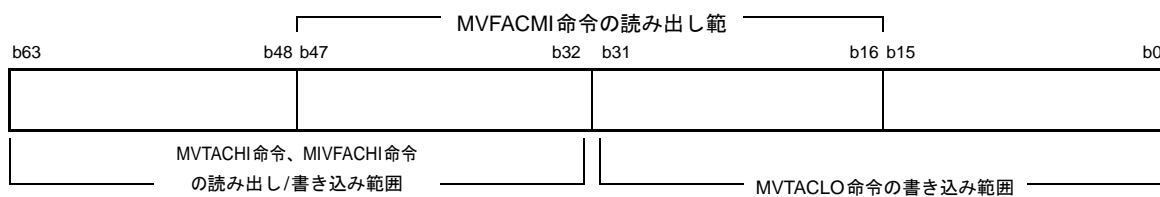
例外処理許可ビット E_j が “0”（例外処理を禁止）の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- E_j = “1”（例外処理を許可）のときは、このフラグは変化しません。
- 当該フラグが “1” になると、ソフトウェアで “0” になるまで “1” を保持します。（蓄積フラグ）

FS フラグ（浮動小数点エラーサマリフラグ）

FU、FZ、FO、FV フラグの論理和を反映します。

2.2.2.9 アキュムレータ (ACC)



リセット後の値 不定

アキュムレータ (ACC) は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、FMUL、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32 ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット (b63 ~ b32)、MVFACMI 命令で中央の 32 ビット (b47 ~ b16) のデータをそれぞれ読みます。

2.3 プロセッサモード

RX CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。プロセッサモードを使用して、CPU リソースに対する階層的な保護機構を実現することができます。

各プロセッサモードには、実行可能な命令、アクセス可能な CPU リソースに対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。

リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.4 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0]、PM、U、I)
- 割り込みスタックポインタ (ISP)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、RTE、MVTIPL、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW の PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW の PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW の PM ビットが“1”のとき RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW の PM ビットが“1”のとき RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RX CPU は、整数、浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。詳細は「RX ファミリユーザーズマニュアルソフトウェア編」を参照してください。

2.5 エンディアン

RX CPU の命令は、リトルエンディアン固定です。
データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの切り替え

RX62T グループ、RX62G グループでは、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの切り替えは、モード端子 (MDE) で行ないます。モード端子の設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ~ 表 2.12 に示します。

表中の

- LL は、汎用レジスタの D7 ~ D0
- LH は、汎用レジスタの D15 ~ D8
- HL は、汎用レジスタの D23 ~ D16
- HH は、汎用レジスタの D31 ~ D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1 リトルエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビット でリード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表2.2 ビッグエンディアン設定時の32ビットリード動作

動作 src番地	0番地を 32ビットで リード	1番地を 32ビットで リード	2番地を 32ビットで リード	3番地を 32ビットで リード	4番地を 32ビットで リード
0番地	HHに転送	—	—	—	—
1番地	HLに転送	HHに転送	—	—	—
2番地	LHに転送	HLに転送	HHに転送	—	—
3番地	LLに転送	LHに転送	HLに転送	HHに転送	—
4番地	—	LLに転送	LHに転送	HLに転送	HHに転送
5番地	—	—	LLに転送	LHに転送	HLに転送
6番地	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	LLに転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはMDE 端子によるビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章の**レジスタの説明**を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.2 に示します。

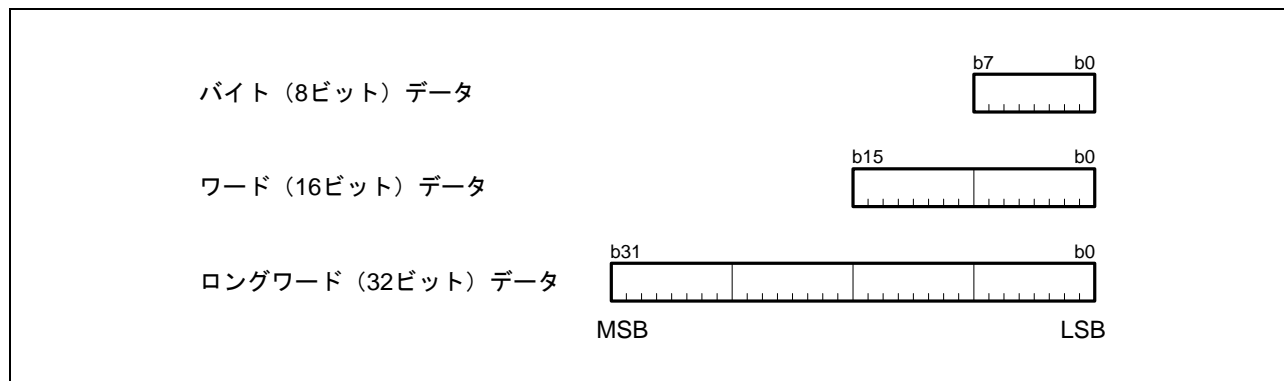


図 2.2 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト（8ビット）、ワード（16ビット）、ロングワード（32ビット）の3種類です。データ配置は、リトルエンディアンか、ビッグエンディアンを選択することができます。メモリ上のデータ配置を図 2.3 に示します。

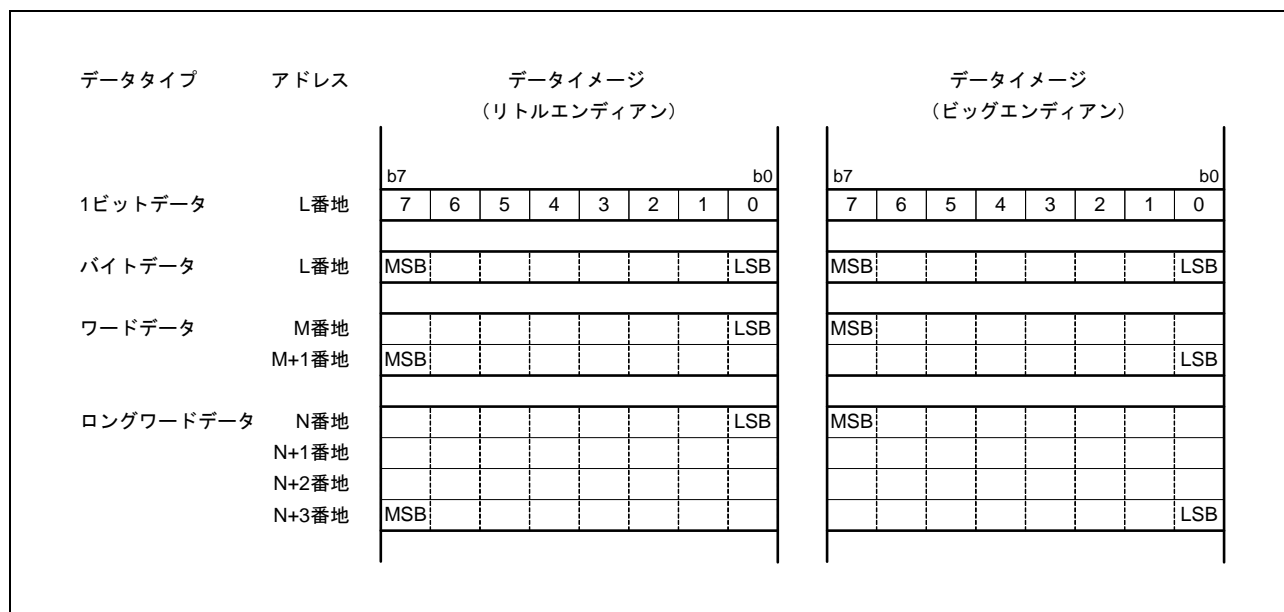


図 2.3 メモリ上のデータ配置

2.6 ベクタテーブル

ベクタテーブルには、固定ベクタテーブルと可変ベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタには対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 固定ベクタテーブル

固定ベクタテーブルは、テーブルの配置アドレスが固定されたベクタテーブルです。FFFFFF80h～FFFFFFFFh番地に、特権命令例外、アクセス例外、未定義命令例外、浮動小数点例外、ノンマスクブル割り込み、リセットの各ベクタを配置しています。図2.4に固定ベクタテーブルを示します。

	MSB	LSB
FFFFFF80h	(予約領域)	
:	:	
FFFFFFCCh	(予約領域)	
FFFFFFD0h	特権命令例外	
FFFFFFD4h	アクセス例外	
FFFFFFD8h	(予約領域)	
FFFFFFDCh	未定義命令例外	
FFFFFFE0h	(予約領域)	
FFFFFFE4h	浮動小数点例外	
FFFFFFE8h	(予約領域)	
FFFFFFECh	(予約領域)	
FFFFFFF0h	(予約領域)	
FFFFFFF4h	(予約領域)	
FFFFFFF8h	ノンマスクブル割り込み	
FFFFFFFCh	リセット	

図 2.4 固定ベクタテーブル

2.6.2 可変ベクタテーブル

可変ベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.5 に可変ベクタテーブルを示します。

可変ベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令では INT 命令番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。

また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「11. 割り込みコントローラ (ICU)」を参照してください。

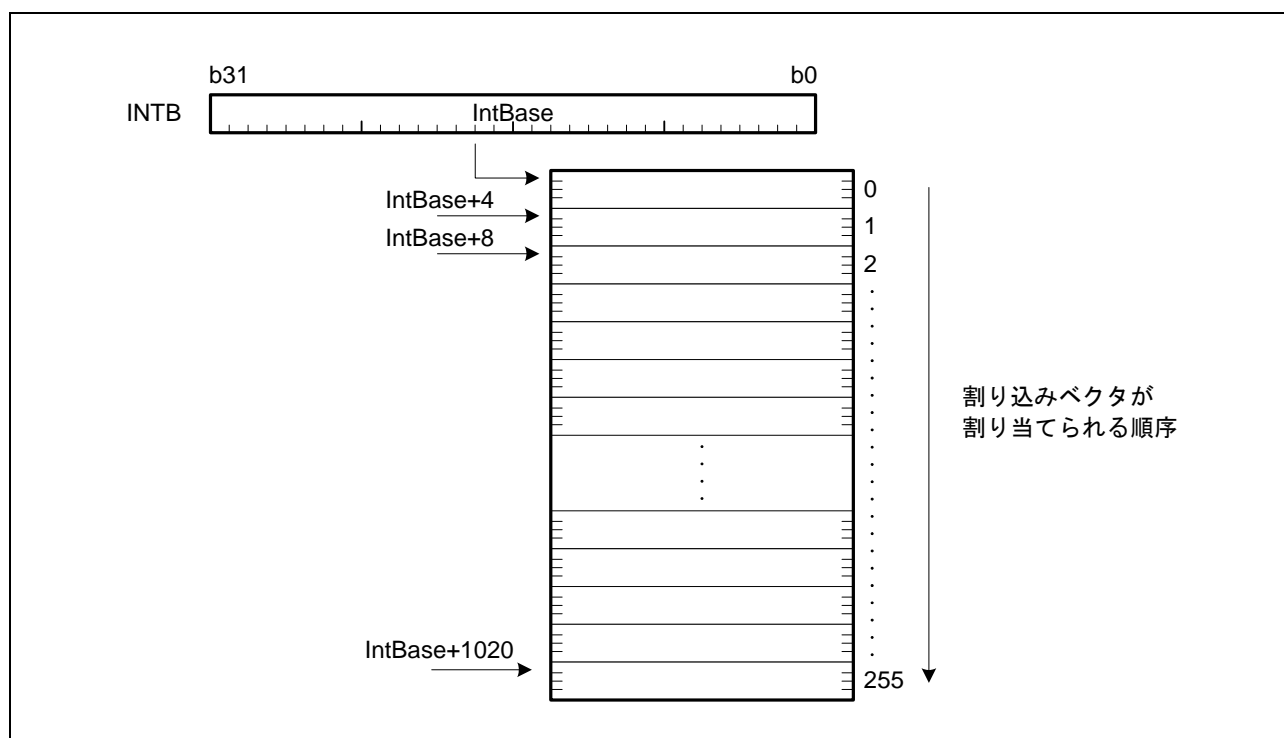


図 2.5 可変ベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ

RMPA 命令、および SSTR 命令を除くストリング操作命令（SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE）は、メモリからのデータ読み出し処理を高速化するため、データプリフェッチを行う場合があります。データ読み出し位置に対して、最大で3バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.8 パイプライン

2.8.1 概要

RX CPUは5段のパイプラインステージで構成されています。RX CPUの命令は、1つまたは、複数のマイクロオペレーションに変換され、RX CPUはマイクロオペレーションをパイプライン処理します。パイプラインステージは、IFステージは命令単位、Dステージ以降は、マイクロオペレーション単位で動作します。

以下にパイプラインの動作と各ステージの概要を示します。

(1) IFステージ（命令フェッチステージ）

命令フェッチを行うステージです。メモリから命令をフェッチします。RX CPUは8バイト×4本の命令キューを備えており、D（デコード）ステージのデコード処理完了とは無関係に、命令キューがいっぱいになるまでフェッチを続けます。

(2) Dステージ（デコードステージ）

Dステージは命令のデコード処理（DEC）を行い、命令をマイクロオペレーションに変換します。このステージでは、レジスタの読み出し（RF）を行い、先行する命令の演算結果を参照する処理の場合は、バイパス（BYP）を行います。バイパスにより、演算結果のレジスタへの書き込み（RW）と同時に、Dステージでのレジスタ参照が可能です。

(3) Eステージ（実行ステージ）

演算やアドレス計算など（OP）を行います。

(4) Mステージ（メモリアクセスステージ）

オペランドのメモリアクセス（OA1、OA2）を行います。メモリアクセス時のみ、このステージを使用します。このステージはさらにM1、M2の2段のサブステージに分かれます。RX CPUでは、M1、M2の各ステージに1個のメモリアクセスが存在することができます。

- M1ステージ（メモリアクセスステージ1）

オペランドのメモリアクセス（OA1）を行います。

ストア動作時：ライト要求がバスに受け付けられると、パイプライン処理は終了します。

ロード動作時：リード要求がバスに受け付けられると、M2ステージに進みます。要求受け付けとロードデータ到着が同時（ノーウェイトのメモリアクセス）の場合は、WBステージに進みます。

- M2ステージ（メモリアクセスステージ2）

オペランドのメモリアクセス（OA2）を行います。ロードデータの到着を待つステージです。ロードデータが到着すると、WBステージに進みます。

(5) WBステージ（ライトバックステージ）

演算結果やメモリから読み出したデータをレジスタに書きます（RW）。メモリからの読み出しデータとそれ以外の演算結果は同時（同じサイクル）にレジスタへ書き込みができます。

図 2.6 にパイプライン構成とその動作を示します。

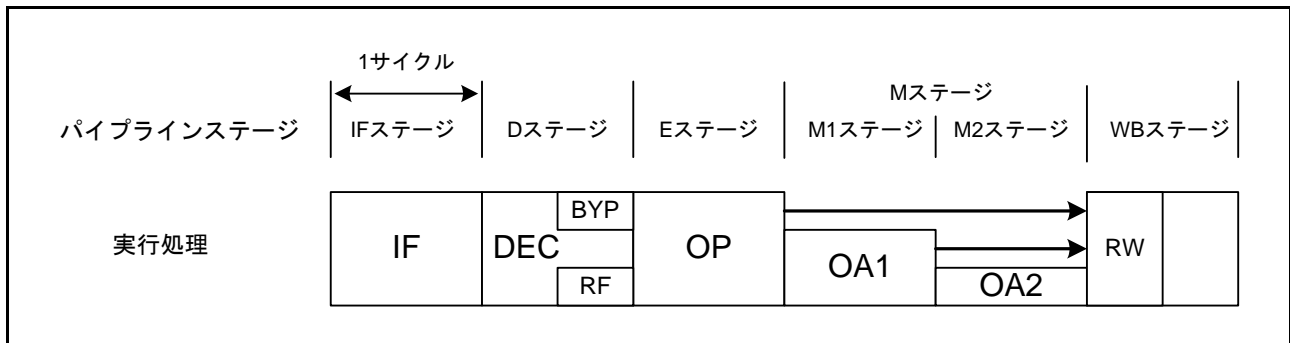


図 2.6 パイプライン構成と動作

2.8.2 命令とパイプライン処理

表中のオペランド表記は、以下に従います。

#IMM：即値

Rs, Rs2, Rd, Rd2, Ri, Rb：汎用レジスタ、CR：制御レジスタ

dsp：dsp5, dsp8, dsp16, dsp24

pcdsp：pcdsp3, pcdsp8, pcdsp16, pcdsp24

2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理

単一のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.13 単一マイクロオペレーションに変換される命令

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	参照図	サイクル数
算術／論理演算命令 （レジスタ間、即値-レジスタ） DIV、DIVU、EMUL、EMULU、 RMPA、SATRを除く	<ul style="list-style-type: none"> {ABS, ADC, ADD, AND, CMP, MAX, MIN, MUL, NEG, NOP, NOT, OR, ROLC, RORC, ROTL, ROTR, SAT, SBB, SHAR, SHLL, SHLR, SUB, TST, XOR} #IMM, Rd"/"Rd" /"Rs, Rd"/"Rs, Rs2, Rd" 	図 2.7	1
算術／論理演算命令（除算）	<ul style="list-style-type: none"> DIV #IMM, Rd"/"Rs, Rd" 	図 2.7	3～20（注1）
	<ul style="list-style-type: none"> DIVU #IMM, Rd"/"Rs, Rd" 	図 2.7	2～18（注1）
転送命令 （レジスタ間、即値-レジスタ）	<ul style="list-style-type: none"> {MOV, MOVU, REVL, REVW} #IMM, Rd"/"Rs, Rd" SCCnd "Rd" {STNZ, STZ} #IMM, Rd" 	図 2.7	1
転送命令（ロード動作）	<ul style="list-style-type: none"> {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd" /"[Rs+], Rd"/"[-Rs], Rd"/"Rs, [Ri, Rb]" ・POP "Rd" 	図 2.8	スループット：1 レイテンシ：2（注2）
転送命令（ストア動作）	<ul style="list-style-type: none"> MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" /"Rs, [-Rd]"/"Rs, [Ri, Rb]" PUSH "Rs" PUSHC "CR" 	図 2.9	1
ビット操作命令（レジスタ）	<ul style="list-style-type: none"> {BCLR, BNOT, BSET, BTST} #IMM, Rd"/"Rs, Rd" BMCnd #IMM, Rd" 	図 2.7	1
分岐命令	<ul style="list-style-type: none"> BCnd "pcdsp" {BRA, BSR} "pcdsp"/"Rs" {JMP, JSR} "Rs" 	図 2.18	分岐成立：3 分岐不成立：1
浮動小数点演算命令 （レジスタ間、即値-レジスタ）	<ul style="list-style-type: none"> FCMP #IMM, Rd"/"Rs, Rd" 	図 2.7	1
システム制御命令	<ul style="list-style-type: none"> CLRPSW, SETPSW #IMM" MVTC #IMM, CR"/"Rs, CR" MVFC "CR, Rd" MVTIPL #IMM" 	—	1
DSP機能命令	<ul style="list-style-type: none"> {MACHI, MACLO, MULHI, MULLO} "Rs, Rs2" {MVFACHI, MVFACMI} "Rd" {MVTACHI, MVTACLO} "Rs" RACW #IMM" 	図 2.7	1

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

基本的な単一のマイクロオペレーションに変換される命令動作を以下の図 2.7 ～図 2.9 に示します。

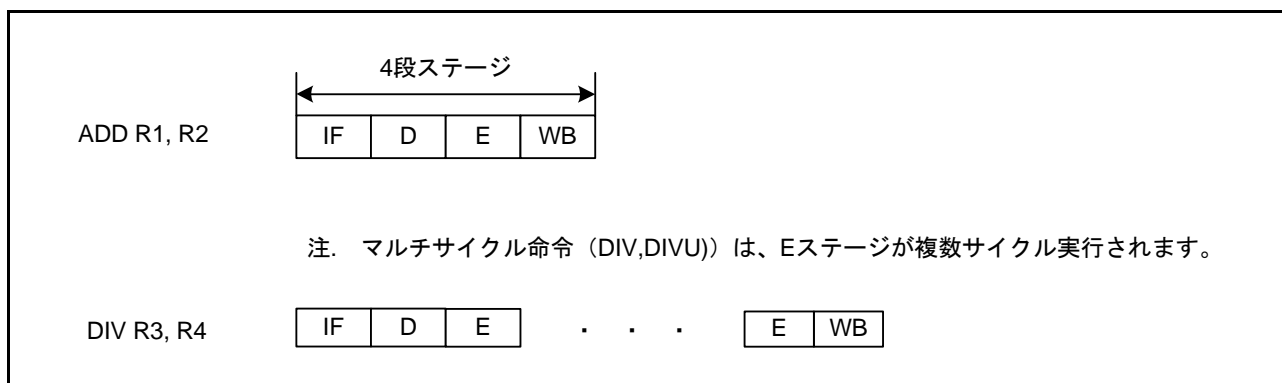


図 2.7 レジスタ間、即値－レジスタ演算

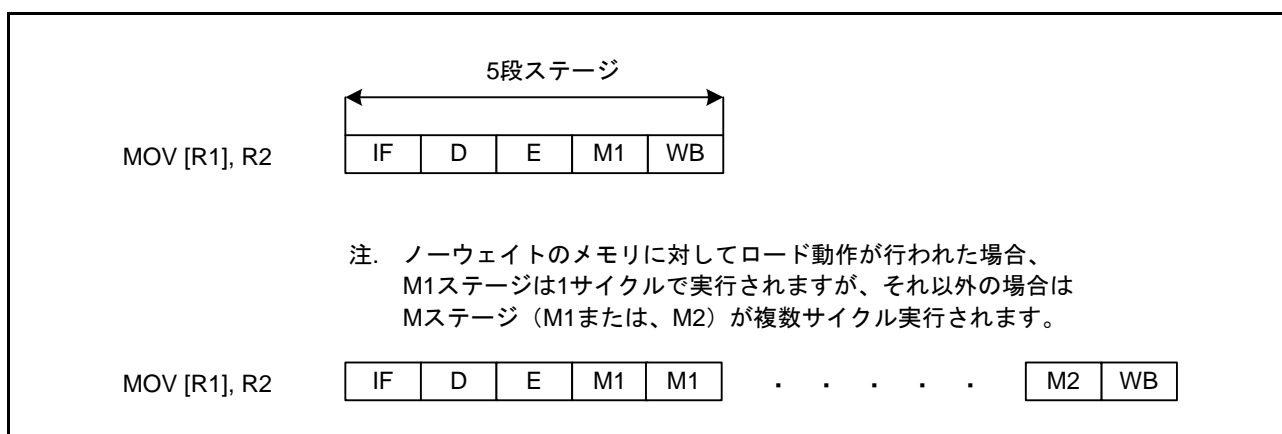


図 2.8 ロード動作

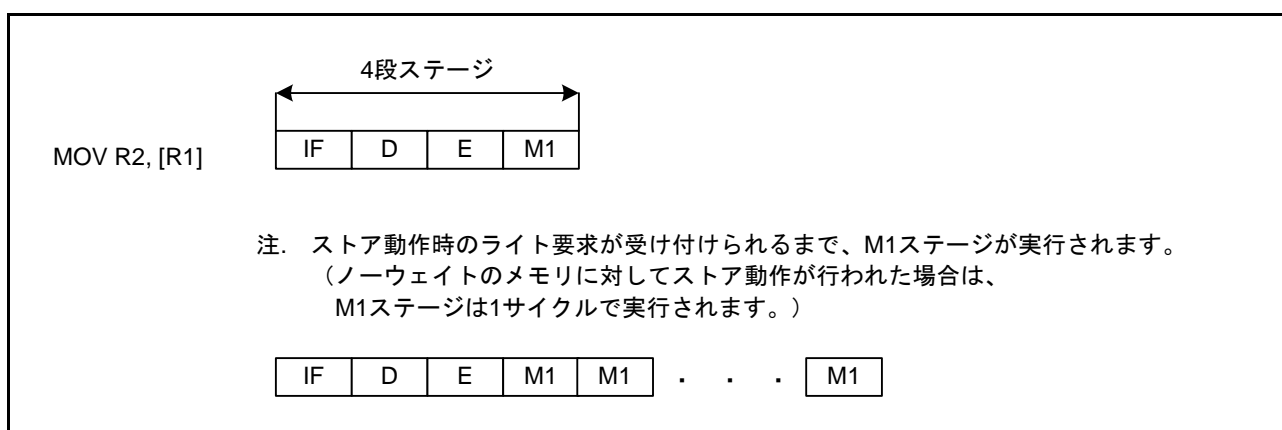


図 2.9 ストア動作

2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理

複数のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表 2.14 複数マイクロオペレーションに変換される命令 (1/2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術/論理演算命令 (メモリソースオペランド)	• {ADC, ADD, AND, CMP, MAX, MIN, MUL, OR, SBB, SUB, TST, XOR} “[Rs], Rd” / “dsp[Rs], Rd”	図 2.10	3
算術/論理演算命令 (除算)	• DIV “[Rs], Rd / dsp[Rs], Rd”	—	5~22
	• DIVU “[Rs], Rd / dsp[Rs], Rd”	—	4~20
算術/論理演算命令 (乗算 32bit×32bit → 64bit) (レジスタ間、レジスター即値)	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	図 2.12	2
算術/論理演算命令 (乗算 32bit×32bit → 64bit) (メモリソースオペランド)	• {EMUL, EMULU} “[Rs], Rd”/“dsp[Rs], Rd”	—	4
算術/論理演算命令 (積和演算)	• RMPA.B	—	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注1)
	• RMPA.W	—	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注1)
	• RMPA.L	—	6+4n nは処理ロングワード数 (注1)
算術/論理演算命令 (RMPA命令用64ビット符号付き飽和処理)	• SATR	—	3
転送命令 (メモリ間転送)	• MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]” /“[Rs], dsp[Rd]”/“dsp[Rs], [Rd]” • PUSH “[Rs]”/“dsp[Rs]”	図 2.11	3
ビット操作命令 (メモリソースオペランド)	• {BCLR, BNOT, BSET, BTST} “#IMM, [Rd]” /“#IMM, dsp[Rd]” • BMCnd “#IMM, [Rd]”/“#IMM, dsp[Rd]”	図 2.11	3
転送命令 (ロード命令)	• POPC “CR”	—	スループット: 3 レイテンシ: 4 (注2)
転送命令 (複数レジスタの退避)	• PUSHM “Rs-Rs2”	—	n nはレジスタ数 (注3)
転送命令 (複数レジスタの復帰)	• POPM “Rs-Rs2”	—	スループット: n レイテンシ: n+1 nはレジスタ数 (注2、注4)
転送命令 (レジスタ間の交換)	• XCHG “Rs, Rd”	図 2.13	2
転送命令 (メモリーレジスタの交換)	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	図 2.14	2
分岐命令	• RTS	—	5
	• RTSD “#IMM”	—	5
	• RTSD “#IMM, Rd-Rd2”	—	スループット: n<5?5:1+n レイテンシ: n<4?5:2+n nはレジスタ数 (注2)

表2.14 複数マイクロオペレーションに変換される命令 (2 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
ストリング操作命令 (注5)	• SCMPU	—	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ nは比較バイト数 (注1)
	• SMOVB	—	$n > 3?$ $6+3 \times \text{floor}(n/4)+3 \times (n\%4):$ $2+3n$ nは転送バイト数 (注1)
	• SMOVF, SMOVU	—	$2+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは転送バイト数 (注1)
	• SSTR.B	—	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注1)
	• SSTR.W	—	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注1)
	• SSTR.L	—	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	—	$3+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは比較バイト数 (注1)
	• SUNTIL.W, SWHILE.W	—	$3+3 \times \text{floor}(n/2)+3 \times (n\%2)$ nは比較ワード数 (注1)
	• SUNTIL.L, SWHILE.L	—	$3+3 \times n$ nは比較ロングワード数
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} “#IMM, Rd”/“Rs, Rd”	図2.15	4
	• FMUL “#IMM, Rd”/“Rs, Rd”	—	3
	• FDIV “#IMM, Rd”/“Rs, Rd”	—	16
	• {FTOI, ROUND, ITOF} “Rs, Rd”	—	2
浮動小数点演算命令 (メモリソースオペランド)	• {FADD, FSUB} “[Rs], Rd”/“dsp[Rs], Rd”	—	6
	• FMUL “[Rs], Rd”/“dsp[Rs], Rd”	—	5
	• FDIV “[Rs], Rd”/“dsp[Rs], Rd”	—	18
	• {FTOI, ROUND, ITOF} “[Rs], Rd” /“dsp[Rs], Rd”	—	4
システム制御命令	• RTE	—	6
	• RTFI	—	3

注1. floor(x) : x以下の最大の整数

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注4. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注5. SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

基本的な複数のマイクロオペレーションに変換される命令動作を以下の図 2.10 ~ 図 2.15 に示します。

注. mop : マイクロオペレーション、stall : パイプラインストール

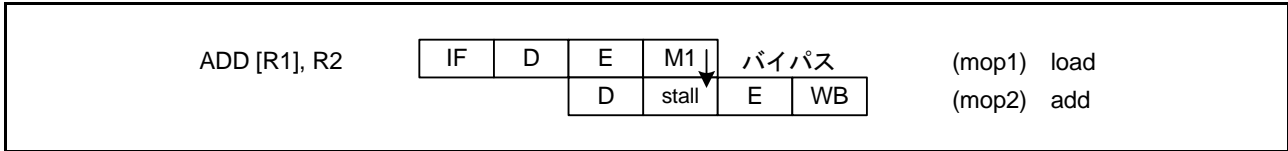


図 2.10 算術論理演算命令 (メモリソースオペランド)

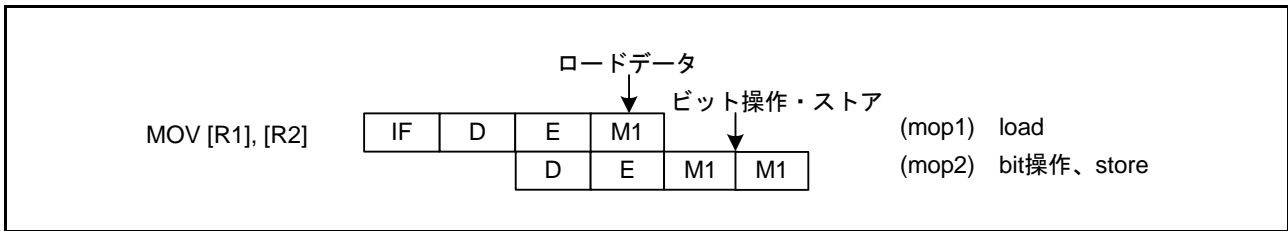


図 2.11 MOV 命令 (メモリ間転送)、ビット操作命令 (メモリソースオペランド)

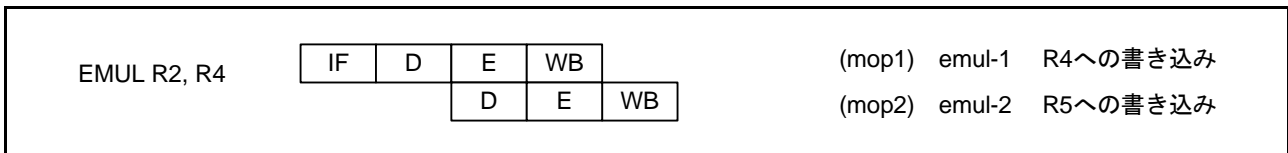


図 2.12 EMUL, EMULU 命令 (レジスタ間、レジスター即値)

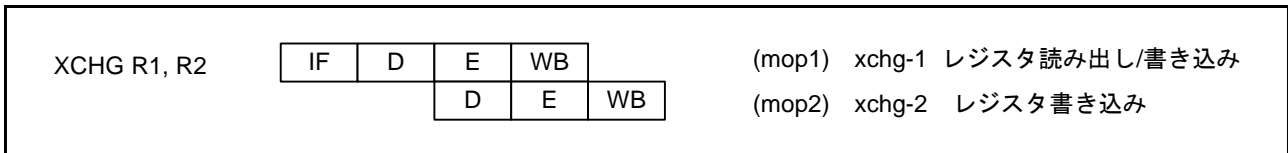


図 2.13 XCHG 命令 (レジスタ)

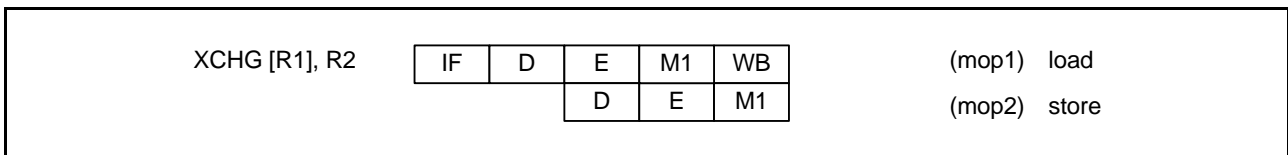


図 2.14 XCHG 命令 (メモリソースオペランド)

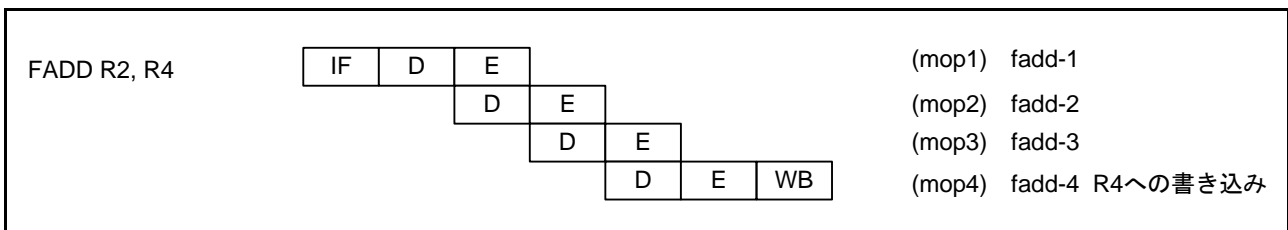


図 2.15 浮動小数点演算命令 (レジスタ間、即値-レジスタ)

2.8.2.3 パイプラインの基本動作

理想的なパイプライン処理では、各ステージの実行サイクル数は1ですが、各ステージでの処理や分岐実行などによりパイプライン処理が乱れることがあります。

CPUは、IFステージは命令単位、Dステージ以降は、マイクロオペレーション単位でパイプラインステージ制御を行います。

以下に代表的なケースについてパイプライン処理の状況を示します。

注. mop : マイクロオペレーション、stall : パイプラインストール

(1) パイプライン処理が乱れるケース

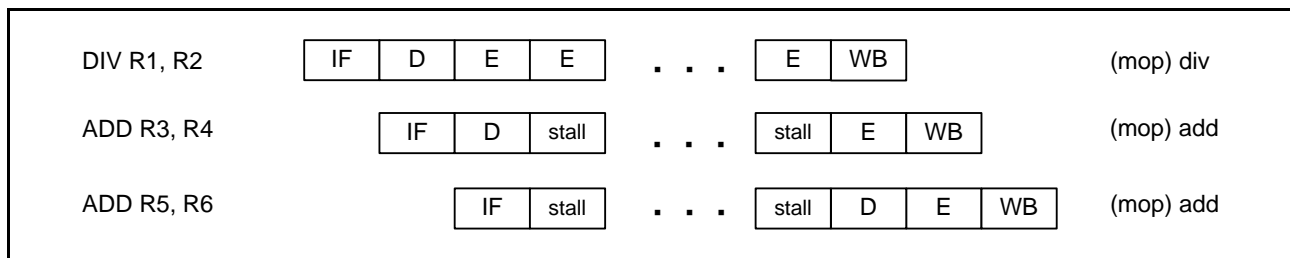


図 2.16 Eステージの実行に複数サイクルを要する命令の実行時

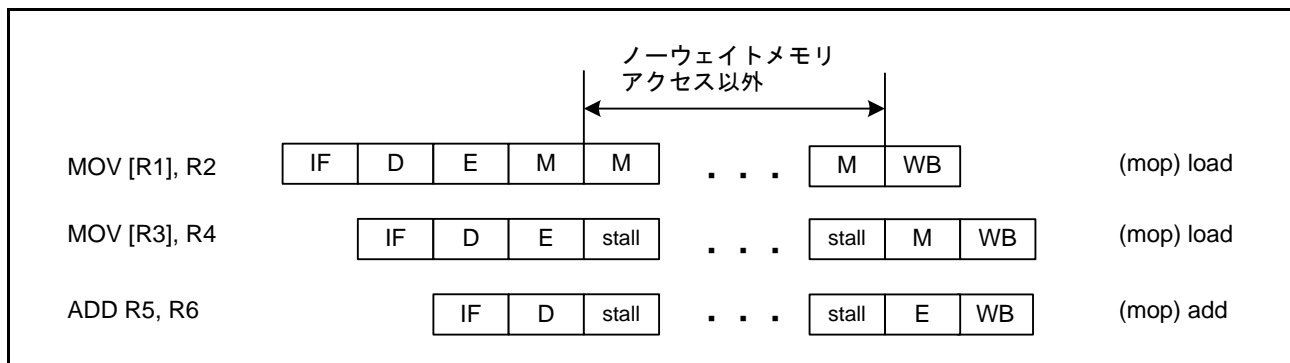


図 2.17 オペランドアクセスが1サイクルで終了しない場合

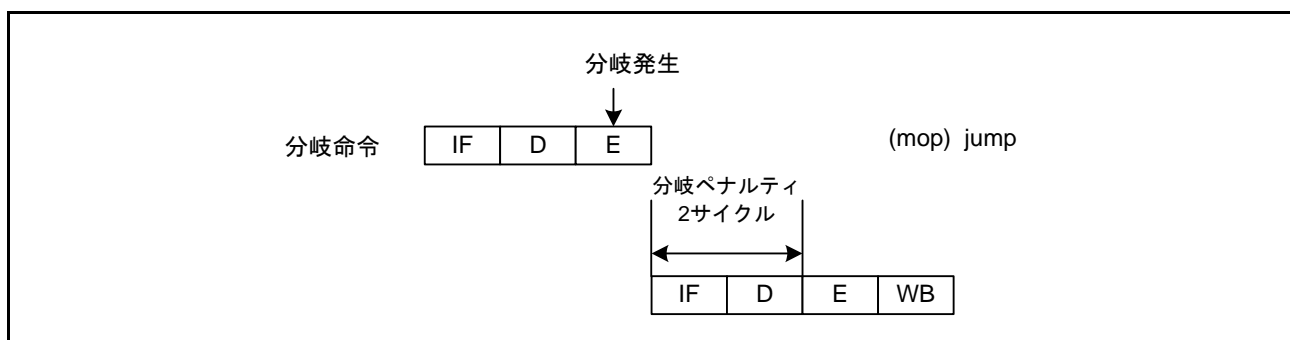


図 2.18 分岐（無条件分岐または、条件分岐で条件が成立した場合）

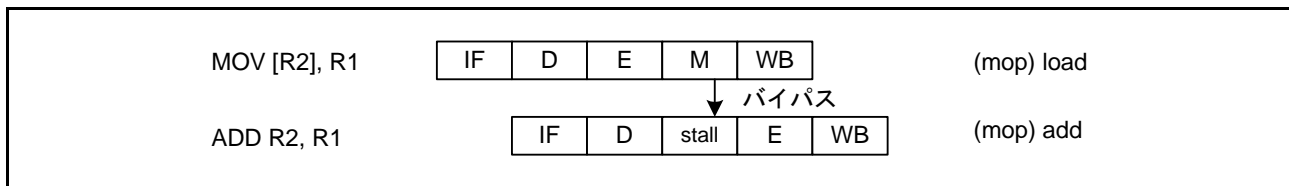


図 2.19 メモリから読み出したオペランドを後続命令が使用する場合

(2) パイプライン処理が乱れないケース

(a) バイパス

先行命令が書き込んだレジスタを後続命令が使用する場合であっても、レジスタ間演算の場合はバイパスにより、パイプライン処理は乱れません。

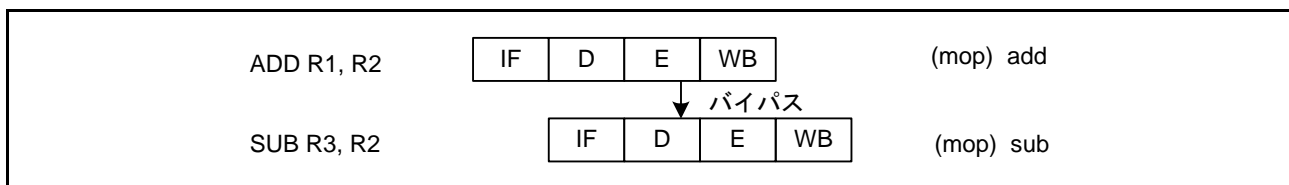


図 2.20 バイパス

(b) メモリロードと演算の WB ステージが重なっている場合

メモリロードと演算の WB ステージが重なっている場合であっても、ロードデータと演算結果はレジスタに同時に書けますので、パイプライン処理は乱れません。

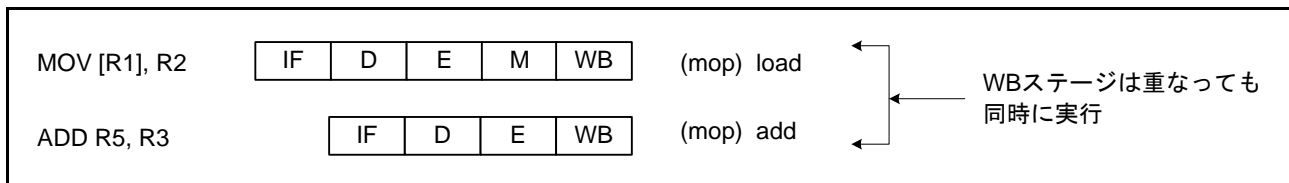


図 2.21 メモリロードと演算の WB ステージが重なっている場合

(c) メモリロードを終了する前に後続命令が同じレジスタへ書き込みを行った場合

メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合であっても、メモリロードの WB ステージはキャンセルされますので、パイプライン処理は乱れません。

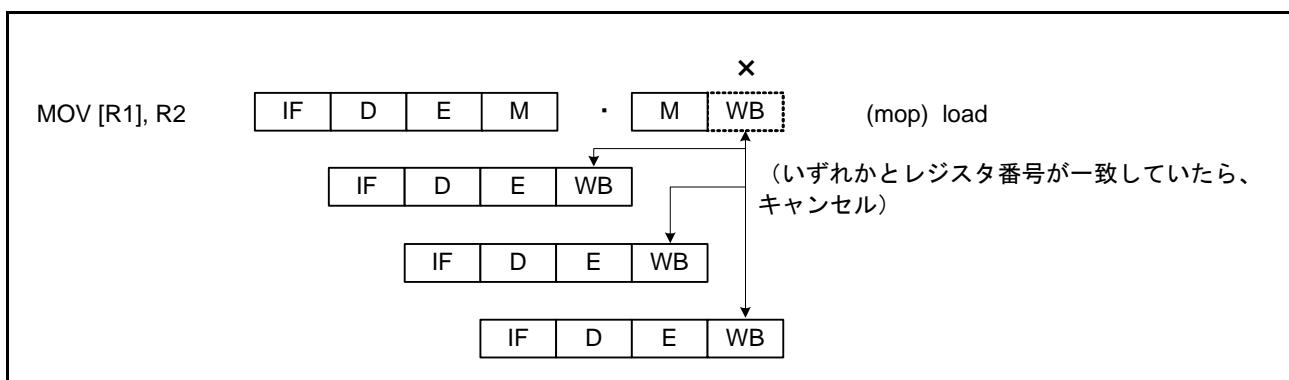


図 2.22 メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合

(d) メモリロードしたデータを後続命令が参照しない場合

メモリロードしたデータを後続命令が参照しない場合、後続の命令が先に実行されて完了します。
(Out-of-Order Completion)

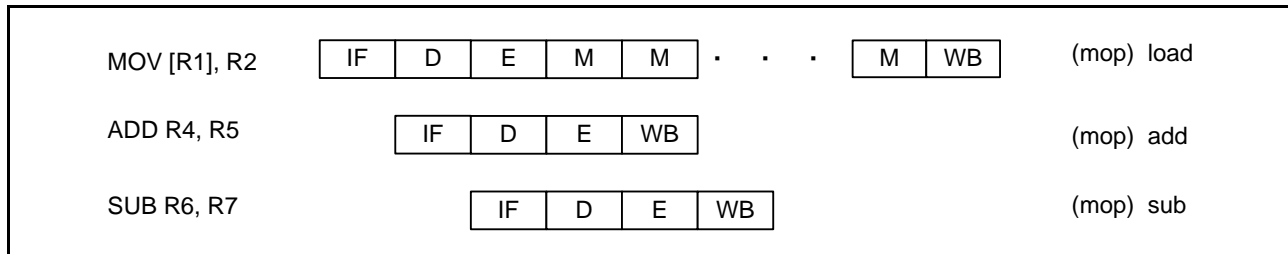


図 2.23 メモリロードしたデータを後続命令が参照しない場合

2.8.3 命令処理時間の計算方法

CPU の命令処理時間は、パイプライン処理によって変動しますが、次のような計算方法で命令処理時間を概算することができます。

- サイクル数をカウントします (表 2.13、表 2.14 を参照)。
- メモリロード結果を後続命令が参照する場合は、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数をカウントします。それ以外は“スループット”として記載されているサイクル数をカウントします。
- 命令フェッチストールが起きた場合は、さらにサイクル数が追加されます。
- システム構成によっては、メモリアクセスに複数サイクルかかります。RX62T グループ、RX62G グループのメモリアクセスサイクル数は機種依存です。

2.8.4 割り込み応答サイクル数

表 2.15 に割り込み応答処理のサイクル数を示します。

表 2.15 割り込み応答サイクル数

割り込み要求の種類／処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受付までのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外ルーチン先頭への分岐	4サイクル	6サイクル

表 2.15 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。RX62T グループ、RX62G グループは、ノーウェイトアクセス可能な内蔵 ROM、内蔵 RAM を搭載しています。プログラム (含むベクタ) は内蔵 ROM、スタック領域は内蔵 RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受付までのサイクル数 N は、「表 2.13 単一マイクロオペレーションに変換される命令」、「表 2.14 複数マイクロオペレーションに変換される命令」を参照してください。

割り込み受付タイミングはパイプラインの状態に依存します。割り込み受付タイミングについては、「10.3.1 受け付けタイミングと保存される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

RX62Tグループ、RX62Gグループには、2種類の動作モードがあります。動作モードはMD1、MD0端子と、システムコントロールレジスタ0（SYSCR0）のROMEビットで設定します。

また、各動作モードの設定において、RX62Tグループ、RX62Gグループのエンディアンを選択することができます。エンディアンは、MDE端子で設定します。RX62Tグループ、RX62Gグループのエンディアンについては、「2.5 エンディアン」を参照してください。

注． MDE、MD1、MD0端子は、LSIの動作中に変化させないでください。また、表3.1にない組み合わせは設定しないでください。

表3.1 モード端子による動作モードの選択

モード端子		SYSCR0レジスタ初期状態	動作モード	内蔵ROM (注1)
MD1	MD0	ROME		
0	1	1	ブートモード	有効
1	1	1	シングルチップモード	有効

注1. 内蔵ROMにはROM、データフラッシュがあります。詳細は「31. ROM（コード格納用フラッシュメモリ）」、「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

表3.2 レジスタによる動作モードの選択

SYSCR0レジスタ	動作モード	内蔵ROM (注1)
ROME		
0	シングルチップモード	無効
1		有効

注1. 内蔵ROMにはROM、データフラッシュがあります。詳細は「31. ROM（コード格納用フラッシュメモリ）」、「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

表3.3 エンディアンの選択

モード端子	エンディアン
MDE	
0	リトルエンディアン
1	ビッグエンディアン

3.2 レジスタの説明

表 3.4 に動作モード関連レジスタ一覧を示します。

表 3.4 動作モード関連レジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
モードモニタレジスタ	MDMONR	10000000 x00000xxb	0008 0000h	16
モードステータスレジスタ	MDSR	00000000 00001001b	0008 0002h	16
システムコントロールレジスタ0	SYSCR0	00000000 00000001b	0008 0006h	16
システムコントロールレジスタ1	SYSCR1	00000000 00000001b	0008 0008h	16

注. x: 不定

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	MDE	—	—	—	—	—	MD1	MD0

リセット後の値 1 0 0 0 0 0 0 0 x (注1) 0 0 0 0 0 x (注1) x (注1)

注1. モード端子 (MDE、MD1、MD0) の設定により決定されます。

ビット	シンボル	ビット名	機能	R/W
b0	MD0	MD0端子ステータスフラグ	0: MD0端子は“0” 1: MD0端子は“1”	R
b1	MD1	MD1端子ステータスフラグ	0: MD1端子は“0” 1: MD1端子は“1”	R
b6-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b7	MDE	MDE端子ステータスフラグ	0: MDE端子は“0” (リトルエンディアン) 1: MDE端子は“1” (ビッグエンディアン)	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R

MDMONR レジスタは、モード端子のモニタ表示を行うレジスタです。

3.2.2 モードステータスレジスタ (MDSR)

アドレス 0008 0002h

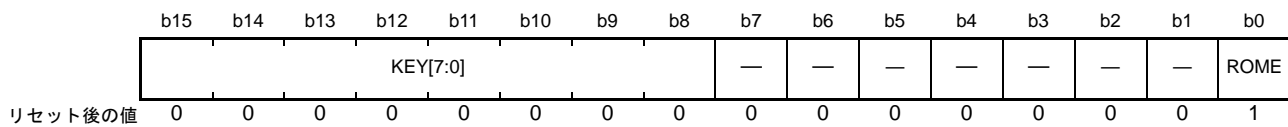
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	BOTS	—	—	—	IROM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	IROM	内蔵ROM起動ステータスフラグ	0: 内蔵ROM無効 1: 内蔵ROM有効	R
b2-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b4	BOTS	ブートモード起動フラグ	0: ブートモード起動ではない 1: ブートモード起動	R
b15-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MDSR レジスタは、起動時の内部ステータスのモニタ表示を行うレジスタです。

3.2.3 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h



ビット	シンボル	ビット名	機能	R/W
b0	ROME	内蔵ROM有効ビット	0 : 内蔵ROM無効 1 : 内蔵ROM有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0キーコード	5Ah : SYSCR0レジスタの書き込み許可 上記以外はSYSCR0レジスタの書き込み禁止 読むと00hが読めます	R/W

SYSCR0 レジスタ は、内蔵 ROM の有効／無効の選択するレジスタです。

ROME ビット (内蔵 ROM 有効ビット)

内蔵 ROM (ROM、データフラッシュ) の有効または無効を選択します。

ROME ビットが“1”のときは、“0”を書くことができます。ROME ビットが“0”のときは、“1”を書くことはできません。内蔵 ROM を有効から無効にすると、ROME ビットを使って内蔵 ROM を有効にすることはできません。内蔵 ROM アクセス中に“0”を書かないでください。

また、ROME ビットに“0”を書き、内蔵 ROM 無効に設定した後は、ROME ビットが“0”に書き替わっていることを確認してから次の処理を行ってください。

KEY[7:0] ビット (SYSCR0 キーコード)

SYSCR0 レジスタへの書き込み許可または禁止を選択します。

ROME ビットへ値を書くときは、同時に KEY[7:0] ビットにも“5Ah”を書いてください。

KEY[7:0] ビットが“5Ah”以外の値の場合、SYSCR0 レジスタへ書いても ROME ビットの値は変更されません。

3.2.4 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0 : 内蔵RAM無効 1 : 内蔵RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SYSCR1 レジスタは、内蔵 RAM の有効／無効を選択するレジスタです。

RAME ビット (RAM 有効ビット)

内蔵 RAM の有効または無効を選択します。

RAME ビットは、リセットを解除すると“1”に初期化されます。

内蔵 RAM アクセス中に“0”を書かないでください。

また、内蔵 RAM を無効から有効に変更した直後に内蔵 RAM をアクセスする場合は、RAME ビットが“1”に書き換わっていることを確認してからアクセスするようにしてください。

RAME ビットを“0”にしても、内蔵 RAM の値は保持されます。

3.3 動作モードの説明

3.3.1 シングルチップモード

このモードでは内蔵ROMは、有効または無効です。すべてのI/Oポートを入出力ポートとして使用できます。

起動時の内蔵ROMは有効です。内蔵ROM有効（SYSCR0.ROMEビット=1）の場合、内蔵ROM無効（SYSCR0.ROMEビット=0）に設定できます。内蔵ROM無効（SYSCR0.ROMEビット=0）の場合、内蔵ROM有効（SYSCR0.ROMEビット=1）には設定できません。

3.3.2 ブートモード

フラッシュメモリのブートモードです。フラッシュメモリへの書き込み/消去以外は、シングルチップモードと同様の動作となります。詳細は「31. ROM（コード格納用フラッシュメモリ）」、「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

3.4 動作モードの移行

3.4.1 モード端子による動作モードの移行

MD1、MD0端子の設定による動作モードの移行について、図3.1に示します。図の矢印の方向へ動作モードを移行することができます。

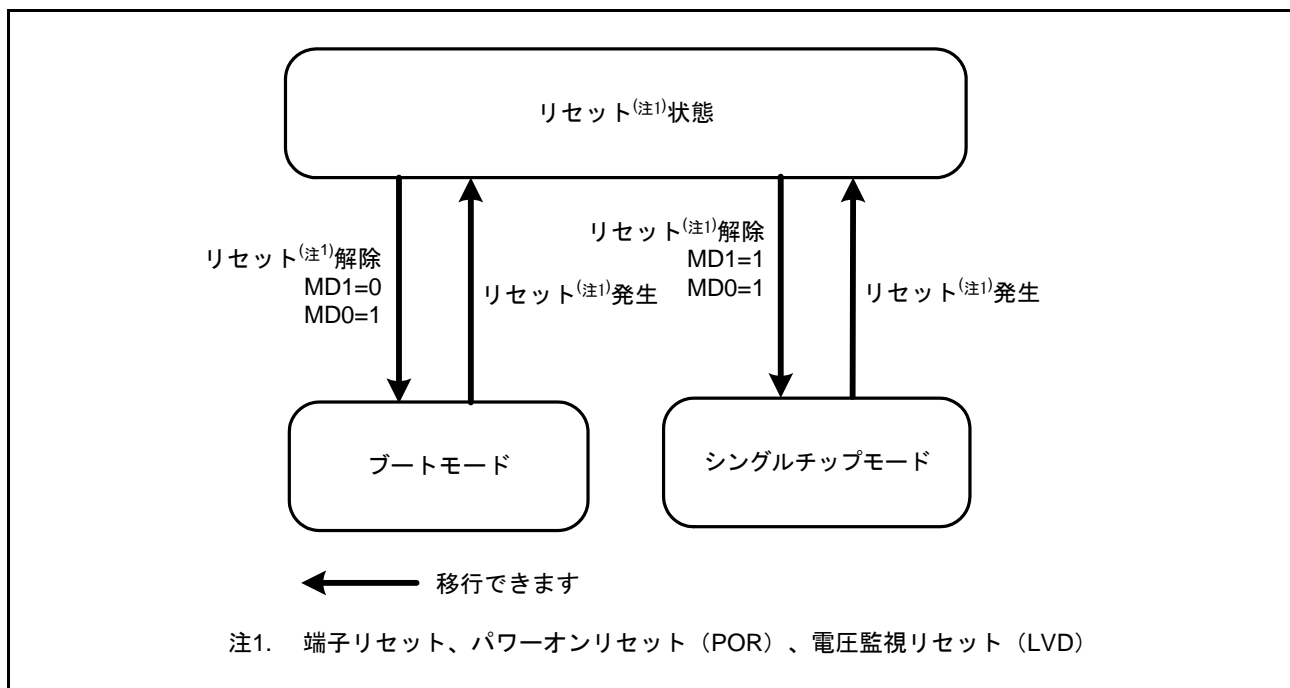


図 3.1 MD1、MD0 端子の設定と動作モード

3.4.2 レジスタによる動作モードの移行

SYSCR0.ROME ビットの設定による動作モードの移行について、図 3.2 に示します。図の矢印の方向へ動作モードを移行することができます。

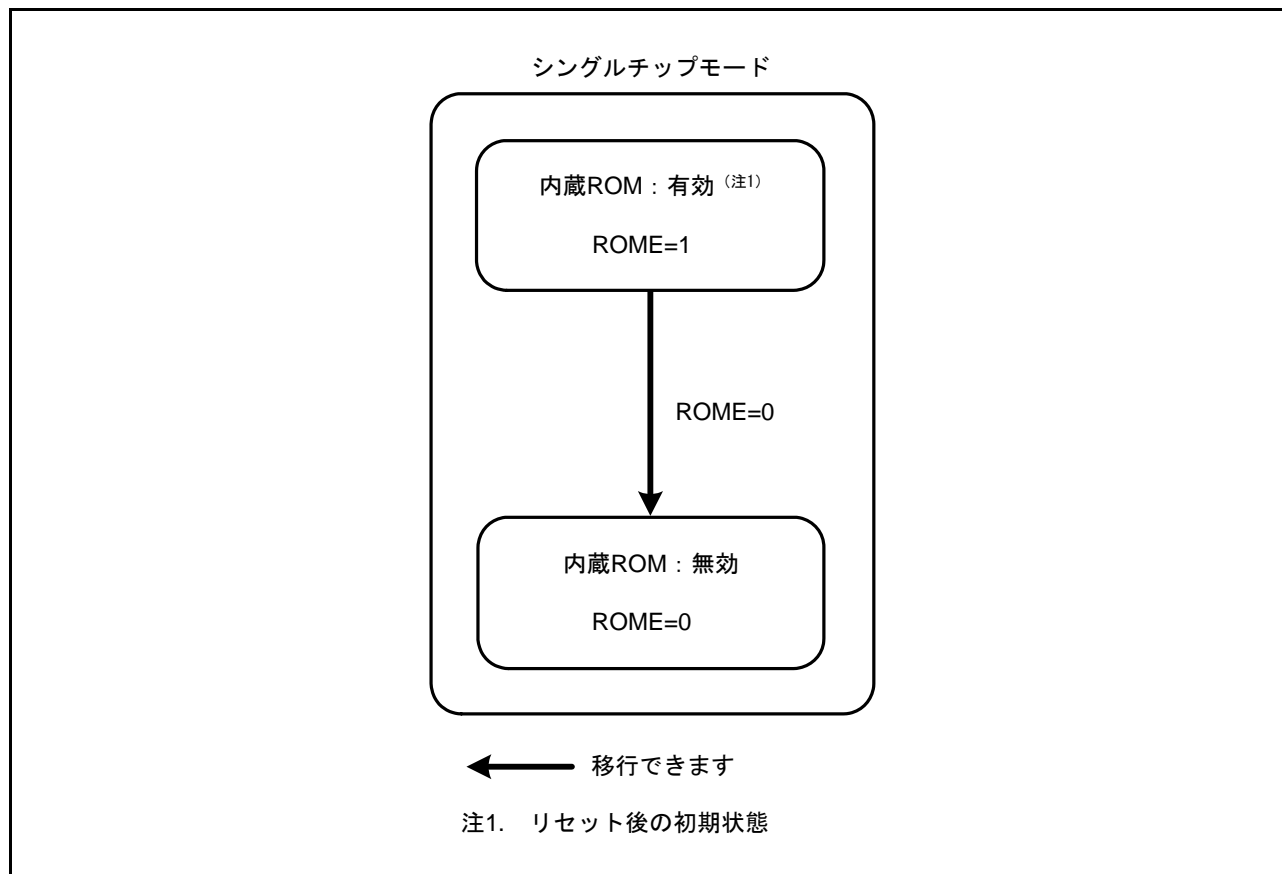


図 3.2 ROME ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 にメモリマップを示します。

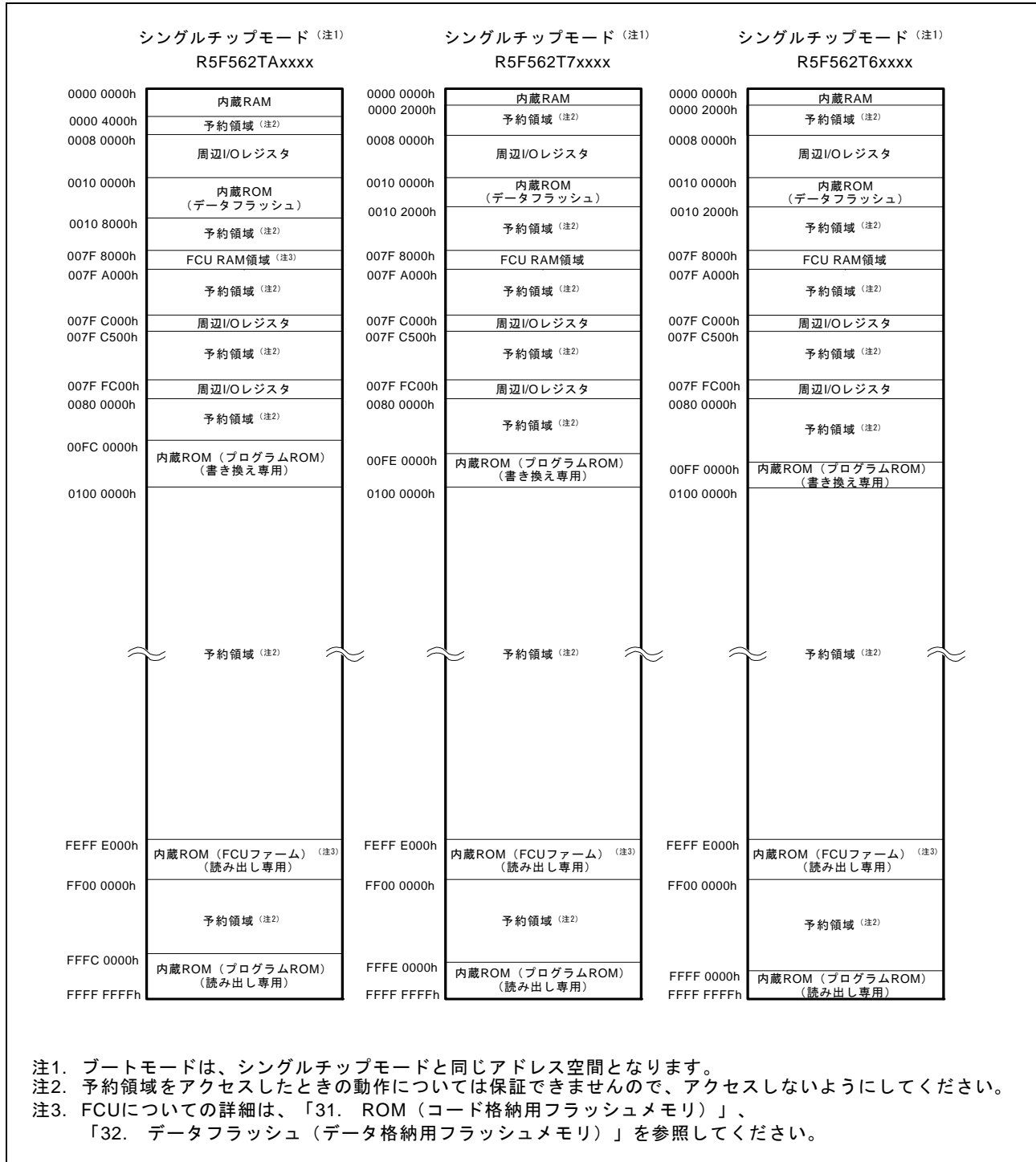


図 4.1 メモリマップ (RX62Tグループ、RX62Gグループ)

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスステート数については、指定の基準クロックのステート数を示しています。
- I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないでください。
- レジスタごとにアクセスサイズが指定されています。指定されたアクセスサイズ以外でのアクセスは禁止です。

(2) I/O レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- 予約ビットは、ビット名部に「—」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

(3) I/O レジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERm.IENjビット）（注1）を“0”にして、割り込み禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

注1. 「11.2.2 割り込み要求許可レジスタ m (IERm) (m=02h ~ 1Fh)」を参照してください。

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(4) I/O レジスタアクセスサイクル数

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/O レジスタアクセスサイクル数} = \text{内部メインバス 1 のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス 1、2、4、6 のバスサイクル数}$$

内部周辺バス 1、2、4、6 のバスサイクル数は、アクセス先のレジスタによって異なります。レジスタごとの I/O レジスタアクセスサイクル数は、「表 5.1 I/O レジスタアドレス一覧」を参照してください。

内部周辺バス 6 に接続されている周辺機能へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK の周波数比やバスアクセスのタイミングによって異なりますが、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK で最大 1 サイクルとなるため、表 5.1 では 1PCLK の幅を持たせて記載しています。

- 注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

5.1 I/O レジスタアドレス一覧 (アドレス順)

表5.1 I/O レジスタアドレス一覧 (1 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	16	16	3ICLK
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK
0008 6504h	MPU	バググラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK
0008 6508h	MPU	メモリプロテクションエラーステータスクリア レジスタ	MPECLR	32	32	1ICLK
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK
0008 6514h	MPU	データメモリプロテクションエラーアドレス レジスタ	MPDEA	32	32	1ICLK
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK

表5.1 I/O レジスタアドレス一覧 (2 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK
0008 7038h	ICU	割り込み要求レジスタ 056	IR056	8	8	2ICLK
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK
0008 703Ch	ICU	割り込み要求レジスタ 060	IR060	8	8	2ICLK
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK
0008 7060h	ICU	割り込み要求レジスタ 096	IR096	8	8	2ICLK
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (3 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK
0008 70ACh	ICU	割り込み要求レジスタ 172	IR172	8	8	2ICLK
0008 70ADh	ICU	割り込み要求レジスタ 173	IR173	8	8	2ICLK
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2ICLK
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2ICLK
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2ICLK
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (4 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK
0008 70FEh	ICU	割り込み要求レジスタ 254	IR254	8	8	2ICLK
0008 711Bh	ICU	DTC起動許可レジスタ 027	DTCER027	8	8	2ICLK
0008 711Ch	ICU	DTC起動許可レジスタ 028	DTCER028	8	8	2ICLK
0008 711Dh	ICU	DTC起動許可レジスタ 029	DTCER029	8	8	2ICLK
0008 711Eh	ICU	DTC起動許可レジスタ 030	DTCER030	8	8	2ICLK
0008 711Fh	ICU	DTC起動許可レジスタ 031	DTCER031	8	8	2ICLK
0008 712Dh	ICU	DTC起動許可レジスタ 045	DTCER045	8	8	2ICLK
0008 712Eh	ICU	DTC起動許可レジスタ 046	DTCER046	8	8	2ICLK
0008 7140h	ICU	DTC起動許可レジスタ 064	DTCER064	8	8	2ICLK
0008 7141h	ICU	DTC起動許可レジスタ 065	DTCER065	8	8	2ICLK
0008 7142h	ICU	DTC起動許可レジスタ 066	DTCER066	8	8	2ICLK
0008 7143h	ICU	DTC起動許可レジスタ 067	DTCER067	8	8	2ICLK
0008 7144h	ICU	DTC起動許可レジスタ 068	DTCER068	8	8	2ICLK
0008 7145h	ICU	DTC起動許可レジスタ 069	DTCER069	8	8	2ICLK
0008 7146h	ICU	DTC起動許可レジスタ 070	DTCER070	8	8	2ICLK
0008 7147h	ICU	DTC起動許可レジスタ 071	DTCER071	8	8	2ICLK
0008 7162h	ICU	DTC起動許可レジスタ 098	DTCER098	8	8	2ICLK
0008 7166h	ICU	DTC起動許可レジスタ 102	DTCER102	8	8	2ICLK
0008 7167h	ICU	DTC起動許可レジスタ 103	DTCER103	8	8	2ICLK
0008 716Ah	ICU	DTC起動許可レジスタ 106	DTCER106	8	8	2ICLK
0008 7172h	ICU	DTC起動許可レジスタ 114	DTCER114	8	8	2ICLK
0008 7173h	ICU	DTC起動許可レジスタ 115	DTCER115	8	8	2ICLK
0008 7174h	ICU	DTC起動許可レジスタ 116	DTCER116	8	8	2ICLK
0008 7175h	ICU	DTC起動許可レジスタ 117	DTCER117	8	8	2ICLK
0008 7179h	ICU	DTC起動許可レジスタ 121	DTCER121	8	8	2ICLK
0008 717Ah	ICU	DTC起動許可レジスタ 122	DTCER122	8	8	2ICLK
0008 717Dh	ICU	DTC起動許可レジスタ 125	DTCER125	8	8	2ICLK
0008 717Eh	ICU	DTC起動許可レジスタ 126	DTCER126	8	8	2ICLK
0008 7181h	ICU	DTC起動許可レジスタ 129	DTCER129	8	8	2ICLK
0008 7182h	ICU	DTC起動許可レジスタ 130	DTCER130	8	8	2ICLK
0008 7183h	ICU	DTC起動許可レジスタ 131	DTCER131	8	8	2ICLK
0008 7184h	ICU	DTC起動許可レジスタ 132	DTCER132	8	8	2ICLK
0008 7186h	ICU	DTC起動許可レジスタ 134	DTCER134	8	8	2ICLK
0008 7187h	ICU	DTC起動許可レジスタ 135	DTCER135	8	8	2ICLK
0008 7188h	ICU	DTC起動許可レジスタ 136	DTCER136	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (5 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7189h	ICU	DTC起動許可レジスタ 137	DTCER137	8	8	2ICLK
0008 718Ah	ICU	DTC起動許可レジスタ 138	DTCER138	8	8	2ICLK
0008 718Bh	ICU	DTC起動許可レジスタ 139	DTCER139	8	8	2ICLK
0008 718Ch	ICU	DTC起動許可レジスタ 140	DTCER140	8	8	2ICLK
0008 718Dh	ICU	DTC起動許可レジスタ 141	DTCER141	8	8	2ICLK
0008 718Eh	ICU	DTC起動許可レジスタ 142	DTCER142	8	8	2ICLK
0008 718Fh	ICU	DTC起動許可レジスタ 143	DTCER143	8	8	2ICLK
0008 7190h	ICU	DTC起動許可レジスタ 144	DTCER144	8	8	2ICLK
0008 7191h	ICU	DTC起動許可レジスタ 145	DTCER145	8	8	2ICLK
0008 7195h	ICU	DTC起動許可レジスタ 149	DTCER149	8	8	2ICLK
0008 7196h	ICU	DTC起動許可レジスタ 150	DTCER150	8	8	2ICLK
0008 7197h	ICU	DTC起動許可レジスタ 151	DTCER151	8	8	2ICLK
0008 7198h	ICU	DTC起動許可レジスタ 152	DTCER152	8	8	2ICLK
0008 7199h	ICU	DTC起動許可レジスタ 153	DTCER153	8	8	2ICLK
0008 71AEh	ICU	DTC起動許可レジスタ 174	DTCER174	8	8	2ICLK
0008 71AFh	ICU	DTC起動許可レジスタ 175	DTCER175	8	8	2ICLK
0008 71B0h	ICU	DTC起動許可レジスタ 176	DTCER176	8	8	2ICLK
0008 71B1h	ICU	DTC起動許可レジスタ 177	DTCER177	8	8	2ICLK
0008 71B2h	ICU	DTC起動許可レジスタ 178	DTCER178	8	8	2ICLK
0008 71B3h	ICU	DTC起動許可レジスタ 179	DTCER179	8	8	2ICLK
0008 71B4h	ICU	DTC起動許可レジスタ 180	DTCER180	8	8	2ICLK
0008 71B5h	ICU	DTC起動許可レジスタ 181	DTCER181	8	8	2ICLK
0008 71B6h	ICU	DTC起動許可レジスタ 182	DTCER182	8	8	2ICLK
0008 71B7h	ICU	DTC起動許可レジスタ 183	DTCER183	8	8	2ICLK
0008 71B8h	ICU	DTC起動許可レジスタ 184	DTCER184	8	8	2ICLK
0008 71BAh	ICU	DTC起動許可レジスタ 186	DTCER186	8	8	2ICLK
0008 71BBh	ICU	DTC起動許可レジスタ 187	DTCER187	8	8	2ICLK
0008 71BCh	ICU	DTC起動許可レジスタ 188	DTCER188	8	8	2ICLK
0008 71BDh	ICU	DTC起動許可レジスタ 189	DTCER189	8	8	2ICLK
0008 71BEh	ICU	DTC起動許可レジスタ 190	DTCER190	8	8	2ICLK
0008 71C0h	ICU	DTC起動許可レジスタ 192	DTCER192	8	8	2ICLK
0008 71C1h	ICU	DTC起動許可レジスタ 193	DTCER193	8	8	2ICLK
0008 71C2h	ICU	DTC起動許可レジスタ 194	DTCER194	8	8	2ICLK
0008 71C3h	ICU	DTC起動許可レジスタ 195	DTCER195	8	8	2ICLK
0008 71C4h	ICU	DTC起動許可レジスタ 196	DTCER196	8	8	2ICLK
0008 71D7h	ICU	DTC起動許可レジスタ 215	DTCER215	8	8	2ICLK
0008 71D8h	ICU	DTC起動許可レジスタ 216	DTCER216	8	8	2ICLK
0008 71DBh	ICU	DTC起動許可レジスタ 219	DTCER219	8	8	2ICLK
0008 71DCh	ICU	DTC起動許可レジスタ 220	DTCER220	8	8	2ICLK
0008 71DFh	ICU	DTC起動許可レジスタ 223	DTCER223	8	8	2ICLK
0008 71E0h	ICU	DTC起動許可レジスタ 224	DTCER224	8	8	2ICLK
0008 71F7h	ICU	DTC起動許可レジスタ 247	DTCER247	8	8	2ICLK
0008 71F8h	ICU	DTC起動許可レジスタ 248	DTCER248	8	8	2ICLK
0008 71FEh	ICU	DTC起動許可レジスタ 254	DTCER254	8	8	2ICLK
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (6 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7300h	ICU	割り込み要因プライオリティレジスタ 00	IPR00	8	8	2ICLK
0008 7301h	ICU	割り込み要因プライオリティレジスタ 01	IPR01	8	8	2ICLK
0008 7302h	ICU	割り込み要因プライオリティレジスタ 02	IPR02	8	8	2ICLK
0008 7303h	ICU	割り込み要因プライオリティレジスタ 03	IPR03	8	8	2ICLK
0008 7304h	ICU	割り込み要因プライオリティレジスタ 04	IPR04	8	8	2ICLK
0008 7305h	ICU	割り込み要因プライオリティレジスタ 05	IPR05	8	8	2ICLK
0008 7306h	ICU	割り込み要因プライオリティレジスタ 06	IPR06	8	8	2ICLK
0008 7307h	ICU	割り込み要因プライオリティレジスタ 07	IPR07	8	8	2ICLK
0008 7314h	ICU	割り込み要因プライオリティレジスタ 14	IPR14	8	8	2ICLK
0008 7318h	ICU	割り込み要因プライオリティレジスタ 18	IPR18	8	8	2ICLK
0008 7320h	ICU	割り込み要因プライオリティレジスタ 20	IPR20	8	8	2ICLK
0008 7321h	ICU	割り込み要因プライオリティレジスタ 21	IPR21	8	8	2ICLK
0008 7322h	ICU	割り込み要因プライオリティレジスタ 22	IPR22	8	8	2ICLK
0008 7323h	ICU	割り込み要因プライオリティレジスタ 23	IPR23	8	8	2ICLK
0008 7324h	ICU	割り込み要因プライオリティレジスタ 24	IPR24	8	8	2ICLK
0008 7325h	ICU	割り込み要因プライオリティレジスタ 25	IPR25	8	8	2ICLK
0008 7326h	ICU	割り込み要因プライオリティレジスタ 26	IPR26	8	8	2ICLK
0008 7327h	ICU	割り込み要因プライオリティレジスタ 27	IPR27	8	8	2ICLK
0008 7340h	ICU	割り込み要因プライオリティレジスタ 40	IPR40	8	8	2ICLK
0008 7344h	ICU	割り込み要因プライオリティレジスタ 44	IPR44	8	8	2ICLK
0008 7348h	ICU	割り込み要因プライオリティレジスタ 48	IPR48	8	8	2ICLK
0008 7349h	ICU	割り込み要因プライオリティレジスタ 49	IPR49	8	8	2ICLK
0008 7351h	ICU	割り込み要因プライオリティレジスタ 51	IPR51	8	8	2ICLK
0008 7352h	ICU	割り込み要因プライオリティレジスタ 52	IPR52	8	8	2ICLK
0008 7353h	ICU	割り込み要因プライオリティレジスタ 53	IPR53	8	8	2ICLK
0008 7354h	ICU	割り込み要因プライオリティレジスタ 54	IPR54	8	8	2ICLK
0008 7355h	ICU	割り込み要因プライオリティレジスタ 55	IPR55	8	8	2ICLK
0008 7356h	ICU	割り込み要因プライオリティレジスタ 56	IPR56	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (7 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7357h	ICU	割り込み要因プライオリティレジスタ 57	IPR57	8	8	2ICLK
0008 7358h	ICU	割り込み要因プライオリティレジスタ 58	IPR58	8	8	2ICLK
0008 7359h	ICU	割り込み要因プライオリティレジスタ 59	IPR59	8	8	2ICLK
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 5A	IPR5A	8	8	2ICLK
0008 735Bh	ICU	割り込み要因プライオリティレジスタ 5B	IPR5B	8	8	2ICLK
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 5C	IPR5C	8	8	2ICLK
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 5D	IPR5D	8	8	2ICLK
0008 735Eh	ICU	割り込み要因プライオリティレジスタ 5E	IPR5E	8	8	2ICLK
0008 735Fh	ICU	割り込み要因プライオリティレジスタ 5F	IPR5F	8	8	2ICLK
0008 7360h	ICU	割り込み要因プライオリティレジスタ 60	IPR60	8	8	2ICLK
0008 7367h	ICU	割り込み要因プライオリティレジスタ 67	IPR67	8	8	2ICLK
0008 7368h	ICU	割り込み要因プライオリティレジスタ 68	IPR68	8	8	2ICLK
0008 7369h	ICU	割り込み要因プライオリティレジスタ 69	IPR69	8	8	2ICLK
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 6A	IPR6A	8	8	2ICLK
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 6B	IPR6B	8	8	2ICLK
0008 736Ch	ICU	割り込み要因プライオリティレジスタ 6C	IPR6C	8	8	2ICLK
0008 736Dh	ICU	割り込み要因プライオリティレジスタ 6D	IPR6D	8	8	2ICLK
0008 736Eh	ICU	割り込み要因プライオリティレジスタ 6E	IPR6E	8	8	2ICLK
0008 736Fh	ICU	割り込み要因プライオリティレジスタ 6F	IPR6F	8	8	2ICLK
0008 7380h	ICU	割り込み要因プライオリティレジスタ 80	IPR80	8	8	2ICLK
0008 7381h	ICU	割り込み要因プライオリティレジスタ 81	IPR81	8	8	2ICLK
0008 7382h	ICU	割り込み要因プライオリティレジスタ 82	IPR82	8	8	2ICLK
0008 7388h	ICU	割り込み要因プライオリティレジスタ 88	IPR88	8	8	2ICLK
0008 7389h	ICU	割り込み要因プライオリティレジスタ 89	IPR89	8	8	2ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 8A	IPR8A	8	8	2ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 8B	IPR8B	8	8	2ICLK
0008 7390h	ICU	割り込み要因プライオリティレジスタ 90	IPR90	8	8	2ICLK
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2ICLK
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2ICLK
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK
0008 7582h	ICU	ノンマスカブル割り込みクリアレジスタ	NMICLR	8	8	2ICLK
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2~3PCLK (注3)
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注3)
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注3)
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注3)
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注3)
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (8 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注3)
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2~3PCLK (注3)
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注3)
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注3)
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注3)
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注3)
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注3)
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注3)
0008 8028h	WDT	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注3)
0008 8028h	WDT	ライトウィンドウAレジスタ	WINA	16	16	2~3PCLK (注3)
0008 8029h	WDT	タイマカウンタ	TCNT	8	8	2~3PCLK (注3)
0008 802Ah	WDT	ライトウィンドウBレジスタ	WINB	16	16	2~3PCLK (注3)
0008 802Bh	WDT	リセットコントロール/ステータスレジスタ	RSTCSR	8	8	2~3PCLK (注3)
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2~3PCLK (注3)
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2~3PCLK (注3)
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2~3PCLK (注3)
0008 8040h	AD0	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注3)
0008 8042h	AD0	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注3)
0008 8044h	AD0	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注3)
0008 8046h	AD0	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注3)
0008 8048h	AD0	A/DデータレジスタE	ADDRE	16	16	2~3PCLK (注3)
0008 804Ah	AD0	A/DデータレジスタF	ADDRF	16	16	2~3PCLK (注3)
0008 804Ch	AD0	A/DデータレジスタG	ADDRG	16	16	2~3PCLK (注3)
0008 804Eh	AD0	A/DデータレジスタH	ADDRH	16	16	2~3PCLK (注3)
0008 8050h	AD0	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注3)
0008 8051h	AD0	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注3)
0008 805Bh	AD0	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注3)
0008 805Dh	AD0	A/D自己診断レジスタ	ADDIAGR	8	8	2~3PCLK (注3)
0008 8060h	AD0	A/DデータレジスタI	ADDRI	16	16	2~3PCLK (注3)
0008 8062h	AD0	A/DデータレジスタJ	ADDRJ	16	16	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (9 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8064h	AD0	A/DデータレジスタK	ADDRK	16	16	2~3PCLK (注3)
0008 8066h	AD0	A/DデータレジスタL	ADDRL	16	16	2~3PCLK (注3)
0008 8070h	AD0	A/D開始トリガ選択レジスタ	ADSTRGR	8	8	2~3PCLK (注3)
0008 8072h	AD0	ADDRnフォーマット選択レジスタ	ADDP	8	8	2~3PCLK (注3)
0008 8240h	SCI0	シリアルモードレジスタ	SMR (注1)	8	8	2~3PCLK (注3)
0008 8241h	SCI0	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 8242h	SCI0	シリアルコントロールレジスタ	SCR (注1)	8	8	2~3PCLK (注3)
0008 8243h	SCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 8244h	SCI0	シリアルステータスレジスタ	SSR (注1)	8	8	2~3PCLK (注3)
0008 8245h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 8246h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8247h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注3)
0008 8240h	SMCI0	シリアルモードレジスタ	SMR	8	8	2~3PCLK (注3)
0008 8241h	SMCI0	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 8242h	SMCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLK (注3)
0008 8243h	SMCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 8244h	SMCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLK (注3)
0008 8245h	SMCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 8246h	SMCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8248h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLK (注3)
0008 8249h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 824Ah	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLK (注3)
0008 824Bh	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 824Ch	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLK (注3)
0008 824Dh	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 824Eh	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 824Fh	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注3)
0008 8248h	SMCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLK (注3)
0008 8249h	SMCI1	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 824Ah	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (10 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 824Bh	SMCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 824Ch	SMCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLK (注3)
0008 824Dh	SMCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 824Eh	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8250h	SCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLK (注3)
0008 8251h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 8252h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLK (注3)
0008 8253h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 8254h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLK (注3)
0008 8255h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 8256h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8257h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注3)
0008 8250h	SMCI2	シリアルモードレジスタ	SMR (注1)	8	8	2~3PCLK (注3)
0008 8251h	SMCI2	ビットレートレジスタ	BRR	8	8	2~3PCLK (注3)
0008 8252h	SMCI2	シリアルコントロールレジスタ	SCR (注1)	8	8	2~3PCLK (注3)
0008 8253h	SMCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注3)
0008 8254h	SMCI2	シリアルステータスレジスタ	SSR (注1)	8	8	2~3PCLK (注3)
0008 8255h	SMCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注3)
0008 8256h	SMCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注3)
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLK (注3)
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLK (注3)
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLK (注3)
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLK (注3)
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLK (注3)
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLK (注3)
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLK (注3)
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLK (注3)
0008 8305h	RIIC0	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2~3PCLK (注3)
0008 8306h	RIIC0	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2~3PCLK (注3)
0008 8307h	RIIC0	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (11 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLK (注3)
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLK (注3)
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLK (注3)
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2~3PCLK (注3)
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLK (注3)
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8	2~3PCLK (注3)
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLK (注3)
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLK (注3)
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLK (注3)
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLK (注3)
0008 8310h	RIIC0	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2~3PCLK (注3)
0008 8311h	RIIC0	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2~3PCLK (注3)
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLK (注3)
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLK (注3)
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2~3PCLK (注3)
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2~3PCLK (注3)
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2~3PCLK (注3)
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2~3PCLK (注3)
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2~3PCLK (注3)
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2~3PCLK (注3)
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2~3PCLK (注3)
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2~3PCLK (注3)
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2~3PCLK (注3)
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2~3PCLK (注3)
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2~3PCLK (注3)
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2~3PCLK (注3)
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2~3PCLK (注3)
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2~3PCLK (注3)
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2~3PCLK (注3)
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (12 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8396h	RSPIO	RSPIコマンドレジスタ3	SPCMD3	16	16	2~3PCLK (注3)
0008 8398h	RSPIO	RSPIコマンドレジスタ4	SPCMD4	16	16	2~3PCLK (注3)
0008 839Ah	RSPIO	RSPIコマンドレジスタ5	SPCMD5	16	16	2~3PCLK (注3)
0008 839Ch	RSPIO	RSPIコマンドレジスタ6	SPCMD6	16	16	2~3PCLK (注3)
0008 839Eh	RSPIO	RSPIコマンドレジスタ7	SPCMD7	16	16	2~3PCLK (注3)
0008 9000h	S12AD0	A/Dコントロールレジスタ	ADCSR	8	8	2~3PCLK (注3)
0008 9004h	S12AD0	A/Dチャンネル選択レジスタ	ADANS	16	16	2~3PCLK (注3)
0008 900Ah	S12AD0	A/Dプログラマブルゲインアンブレジスタ	ADPG	16	16	2~3PCLK (注3)
0008 900Eh	S12AD0	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLK (注3)
0008 9010h	S12AD0	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLK (注3)
0008 9012h	S12AD	コンパレータ動作モード選択レジスタ0	ADCMPMD0	16	16	2~3PCLK (注3)
0008 9014h	S12AD	コンパレータ動作モード選択レジスタ1	ADCMPMD1	16	16	2~3PCLK (注3)
0008 9016h	S12AD	コンパレータフィルタモードレジスタ0	ADCMPNR0	16	16	2~3PCLK (注3)
0008 9018h	S12AD	コンパレータフィルタモードレジスタ1	ADCMPNR1	16	16	2~3PCLK (注3)
0008 901Ah	S12AD	コンパレータ検出フラグレジスタ	ADCMPFR	8	8	2~3PCLK (注3)
0008 901Ch	S12AD	コンパレータ割り込み選択レジスタ	ADCMPSEL	16	16	2~3PCLK (注3)
0008 901Eh	S12AD0	A/Dデータレジスタ Diag	ADDRD	16	16	2~3PCLK (注3)
0008 9020h	S12AD0	A/Dデータレジスタ0A	ADDR0A	16	16	2~3PCLK (注3)
0008 9022h	S12AD0	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLK (注3)
0008 9024h	S12AD0	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLK (注3)
0008 9026h	S12AD0	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLK (注3)
0008 9030h	S12AD0	A/Dデータレジスタ0B	ADDR0B	16	16	2~3PCLK (注3)
0008 9060h	S12AD0	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注3)
0008 9080h	S12AD1	A/Dコントロールレジスタ	ADCSR	8	8	2~3PCLK (注3)
0008 9084h	S12AD1	A/Dチャンネル選択レジスタ	ADANS	16	16	2~3PCLK (注3)
0008 908Ah	S12AD1	A/Dプログラマブルゲインアンブレジスタ	ADPG	16	16	2~3PCLK (注3)
0008 908Eh	S12AD1	A/Dコントロール拡張レジスタ	ADCER	16	16	2~3PCLK (注3)
0008 9090h	S12AD1	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2~3PCLK (注3)
0008 909Eh	S12AD1	A/Dデータレジスタ Diag	ADDRD	16	16	2~3PCLK (注3)
0008 90A0h	S12AD1	A/Dデータレジスタ0A	ADDR0A	16	16	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (13 / 28)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 90A2h	S12AD1	A/Dデータレジスタ1	ADDR1	16	16	2~3PCLK (注3)
0008 90A4h	S12AD1	A/Dデータレジスタ2	ADDR2	16	16	2~3PCLK (注3)
0008 90A6h	S12AD1	A/Dデータレジスタ3	ADDR3	16	16	2~3PCLK (注3)
0008 90B0h	S12AD1	A/Dデータレジスタ0B	ADDR0B	16	16	2~3PCLK (注3)
0008 90E0h	S12AD1	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注3)
0008 C001h	PORT1	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C002h	PORT2	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C003h	PORT3	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C007h	PORT7	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C008h	PORT8	データディレクションレジスタ	DDR (注2、注3)	8	8	2~3PCLK (注3)
0008 C009h	PORT9	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C00Ah	PORTA	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C00Bh	PORTB	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C00Dh	PORTD	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C00Eh	PORTE	データディレクションレジスタ	DDR	8	8	2~3PCLK (注3)
0008 C010h	PORTG	データディレクションレジスタ	DDR (注1)	8	8	2~3PCLK (注3)
0008 C021h	PORT1	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C022h	PORT2	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C023h	PORT3	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C027h	PORT7	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C028h	PORT8	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C029h	PORT9	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C02Ah	PORTA	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C02Bh	PORTB	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C02Dh	PORTD	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C02Eh	PORTE	データレジスタ	DR	8	8	2~3PCLK (注3)
0008 C030h	PORTG	データレジスタ	DR (注1)	8	8	2~3PCLK (注3)
0008 C041h	PORT1	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C042h	PORT2	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C043h	PORT3	ポートレジスタ	PORT	8	8	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (14 / 28)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 C044h	PORT4	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C045h	PORT5	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C046h	PORT6	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C047h	PORT7	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C048h	PORT8	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C049h	PORT9	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C04Ah	PORTA	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C04Bh	PORTB	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C04Dh	PORTD	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C04Eh	PORTE	ポートレジスタ	PORT	8	8	2~3PCLK (注3)
0008 C050h	PORTG	ポートレジスタ	PORT (注1)	8	8	2~3PCLK (注3)
0008 C061h	PORT1	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C062h	PORT2	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C063h	PORT3	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C064h	PORT4	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C065h	PORT5	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C066h	PORT6	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C067h	PORT7	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C068h	PORT8	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C069h	PORT9	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C06Ah	PORTA	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C06Bh	PORTB	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C06Dh	PORTD	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C06Eh	PORTE	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注3)
0008 C070h	PORTG	入力バッファコントロールレジスタ	ICR (注1)	8	8	2~3PCLK (注3)
0008 C108h	IOPORT	ポートファンクションレジスタ 8	PF8IRQ	8	8	2~3PCLK (注3)
0008 C109h	IOPORT	ポートファンクションレジスタ 9	PF9IRQ	8	8	2~3PCLK (注3)
0008 C10Ah	IOPORT	ポートファンクションレジスタ A	PFAADC	8	8	2~3PCLK (注3)
0008 C10Ch	IOPORT	ポートファンクションレジスタ C	PFCMTU	8	8	2~3PCLK (注3)
0008 C10Dh	IOPORT	ポートファンクションレジスタ D	PFDGPT	8	8	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (15 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C10Fh	IOPORT	ポートファンクションレジスタF	PFSCI	8	8	2~3PCLK (注3)
0008 C110h	IOPORT	ポートファンクションレジスタG	PFSPi	8	8	2~3PCLK (注3)
0008 C111h	IOPORT	ポートファンクションレジスタH	PFHSPI	8	8	2~3PCLK (注3)
0008 C113h	IOPORT	ポートファンクションレジスタJ	PFJCAN	8	8	2~3PCLK (注3)
0008 C114h	IOPORT	ポートファンクションレジスタK	PFKLIN	8	8	2~3PCLK (注3)
0008 C116h	IOPORT	ポートファンクションレジスタM	PFMPOE	8	8	2~3PCLK (注3)
0008 C117h	IOPORT	ポートファンクションレジスタN	PFNPOE	8	8	2~3PCLK (注3)
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLK (注3)
0008 C281h	SYSTEM	ディープスタンバイウェイトコントロールレジスタ	DPSWCR	8	8	4~5PCLK (注3)
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ	DPSIER	8	8	4~5PCLK (注3)
0008 C283h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ	DPSIFR	8	8	4~5PCLK (注3)
0008 C284h	SYSTEM	ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	8	8	4~5PCLK (注3)
0008 C285h	SYSTEM	リセットステータスレジスタ	RSTSR	8	8	4~5PCLK (注3)
0008 C289h	FLASH	フラッシュライトイレースプロテクトレジスタ	FWEPROR	8	8	4~5PCLK (注3)
0008 C28Ch	SYSTEM	低電圧検出コントロールレジスタ用キーコードレジスタ	LVDKEYR	8	8	4~5PCLK (注3)
0008 C28Dh	SYSTEM	低電圧検出コントロールレジスタ	LVDCR	8	8	4~5PCLK (注3)
0008 C290h	SYSTEM	ディープスタンバイバックアップレジスタ0	DPSBKR0	8	8	4~5PCLK (注3)
0008 C291h	SYSTEM	ディープスタンバイバックアップレジスタ1	DPSBKR1	8	8	4~5PCLK (注3)
0008 C292h	SYSTEM	ディープスタンバイバックアップレジスタ2	DPSBKR2	8	8	4~5PCLK (注3)
0008 C293h	SYSTEM	ディープスタンバイバックアップレジスタ3	DPSBKR3	8	8	4~5PCLK (注3)
0008 C294h	SYSTEM	ディープスタンバイバックアップレジスタ4	DPSBKR4	8	8	4~5PCLK (注3)
0008 C295h	SYSTEM	ディープスタンバイバックアップレジスタ5	DPSBKR5	8	8	4~5PCLK (注3)
0008 C296h	SYSTEM	ディープスタンバイバックアップレジスタ6	DPSBKR6	8	8	4~5PCLK (注3)
0008 C297h	SYSTEM	ディープスタンバイバックアップレジスタ7	DPSBKR7	8	8	4~5PCLK (注3)
0008 C298h	SYSTEM	ディープスタンバイバックアップレジスタ8	DPSBKR8	8	8	4~5PCLK (注3)
0008 C299h	SYSTEM	ディープスタンバイバックアップレジスタ9	DPSBKR9	8	8	4~5PCLK (注3)
0008 C29Ah	SYSTEM	ディープスタンバイバックアップレジスタ10	DPSBKR10	8	8	4~5PCLK (注3)
0008 C29Bh	SYSTEM	ディープスタンバイバックアップレジスタ11	DPSBKR11	8	8	4~5PCLK (注3)
0008 C29Ch	SYSTEM	ディープスタンバイバックアップレジスタ12	DPSBKR12	8	8	4~5PCLK (注3)
0008 C29Dh	SYSTEM	ディープスタンバイバックアップレジスタ13	DPSBKR13	8	8	4~5PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (16 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C29Eh	SYSTEM	ディープスタンバイバックアップレジスタ 14	DPSBKR14	8	8	4~5PCLK (注3)
0008 C29Fh	SYSTEM	ディープスタンバイバックアップレジスタ 15	DPSBKR15	8	8	4~5PCLK (注3)
0008 C2A0h	SYSTEM	ディープスタンバイバックアップレジスタ 16	DPSBKR16	8	8	4~5PCLK (注3)
0008 C2A1h	SYSTEM	ディープスタンバイバックアップレジスタ 17	DPSBKR17	8	8	4~5PCLK (注3)
0008 C2A2h	SYSTEM	ディープスタンバイバックアップレジスタ 18	DPSBKR18	8	8	4~5PCLK (注3)
0008 C2A3h	SYSTEM	ディープスタンバイバックアップレジスタ 19	DPSBKR19	8	8	4~5PCLK (注3)
0008 C2A4h	SYSTEM	ディープスタンバイバックアップレジスタ 20	DPSBKR20	8	8	4~5PCLK (注3)
0008 C2A5h	SYSTEM	ディープスタンバイバックアップレジスタ 21	DPSBKR21	8	8	4~5PCLK (注3)
0008 C2A6h	SYSTEM	ディープスタンバイバックアップレジスタ 22	DPSBKR22	8	8	4~5PCLK (注3)
0008 C2A7h	SYSTEM	ディープスタンバイバックアップレジスタ 23	DPSBKR23	8	8	4~5PCLK (注3)
0008 C2A8h	SYSTEM	ディープスタンバイバックアップレジスタ 24	DPSBKR24	8	8	4~5PCLK (注3)
0008 C2A9h	SYSTEM	ディープスタンバイバックアップレジスタ 25	DPSBKR25	8	8	4~5PCLK (注3)
0008 C2AAh	SYSTEM	ディープスタンバイバックアップレジスタ 26	DPSBKR26	8	8	4~5PCLK (注3)
0008 C2ABh	SYSTEM	ディープスタンバイバックアップレジスタ 27	DPSBKR27	8	8	4~5PCLK (注3)
0008 C2ACh	SYSTEM	ディープスタンバイバックアップレジスタ 28	DPSBKR28	8	8	4~5PCLK (注3)
0008 C2ADh	SYSTEM	ディープスタンバイバックアップレジスタ 29	DPSBKR29	8	8	4~5PCLK (注3)
0008 C2AEh	SYSTEM	ディープスタンバイバックアップレジスタ 30	DPSBKR30	8	8	4~5PCLK (注3)
0008 C2AFh	SYSTEM	ディープスタンバイバックアップレジスタ 31	DPSBKR31	8	8	4~5PCLK (注3)
0008 C4C0h	POE	入力レベルコントロール/ステータスレジスタ 1	ICSR1	16	8、16	2~3PCLK (注3)
0008 C4C2h	POE	出力レベルコントロール/ステータスレジスタ 1	OCSR1	16	8、16	2~3PCLK (注3)
0008 C4C4h	POE	入力レベルコントロール/ステータスレジスタ 2	ICSR2	16	8、16	2~3PCLK (注3)
0008 C4C6h	POE	出力レベルコントロール/ステータスレジスタ 2	OCSR2	16	8、16	2~3PCLK (注3)
0008 C4C8h	POE	入力レベルコントロール/ステータスレジスタ 3	ICSR3	16	8、16	2~3PCLK (注3)
0008 C4CAh	POE	ソフトウェアポートアウトブットイネーブルレジスタ	SPOER	8	8	2~3PCLK (注3)
0008 C4CBh	POE	ポートアウトブットイネーブルコントロールレジスタ 1	POECR1	8	8	2~3PCLK (注3)
0008 C4CCh	POE	ポートアウトブットイネーブルコントロールレジスタ 2	POECR2	16	16	2~3PCLK (注3)
0008 C4CEh	POE	ポートアウトブットイネーブルコントロールレジスタ 3	POECR3	16	16	2~3PCLK (注3)
0008 C4D0h	POE	ポートアウトブットイネーブルコントロールレジスタ 4	POECR4	16	16	2~3PCLK (注3)
0008 C4D2h	POE	ポートアウトブットイネーブルコントロールレジスタ 5	POECR5	16	16	2~3PCLK (注3)
0008 C4D4h	POE	ポートアウトブットイネーブルコントロールレジスタ 6	POECR6	16	16	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (17 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C4D6h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	8、16	2~3PCLK (注3)
0008 C4D8h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	8、16	2~3PCLK (注3)
0008 C4DAh	POE	アクティブレベルレジスタ1	ALR1	16	8、16	2~3PCLK (注3)
0009 0200h~ 0009 03FFh	CAN0 (注2)	メールボックスレジスタ0~31	MB0~31	128	8、16、32	2~3PCLK (注3)
0009 0400h	CAN0 (注2)	マスクレジスタ0	MKR0	32	8、16、32	2~3PCLK (注3)
0009 0404h	CAN0 (注2)	マスクレジスタ1	MKR1	32	8、16、32	2~3PCLK (注3)
0009 0408h	CAN0 (注2)	マスクレジスタ2	MKR2	32	8、16、32	2~3PCLK (注3)
0009 040Ch	CAN0 (注2)	マスクレジスタ3	MKR3	32	8、16、32	2~3PCLK (注3)
0009 0410h	CAN0 (注2)	マスクレジスタ4	MKR4	32	8、16、32	2~3PCLK (注3)
0009 0414h	CAN0 (注2)	マスクレジスタ5	MKR5	32	8、16、32	2~3PCLK (注3)
0009 0418h	CAN0 (注2)	マスクレジスタ6	MKR6	32	8、16、32	2~3PCLK (注3)
0009 041Ch	CAN0 (注2)	マスクレジスタ7	MKR7	32	8、16、32	2~3PCLK (注3)
0009 0420h	CAN0 (注2)	FIFO受信ID比較レジスタ0	FIDCR0	32	8、16、32	2~3PCLK (注3)
0009 0424h	CAN0 (注2)	FIFO受信ID比較レジスタ1	FIDCR1	32	8、16、32	2~3PCLK (注3)
0009 0428h	CAN0 (注2)	マスク無効レジスタ	MKIVLR	32	8、16、32	2~3PCLK (注3)
0009 042Ch	CAN0 (注2)	メールボックス割り込み許可レジスタ	MIER	32	8、16、32	2~3PCLK (注3)
0009 0820h~ 0009 083Fh	CAN0 (注2)	メッセージ制御レジスタ0~31	MCTL0~31	8	8	2~3PCLK (注3)
0009 0840h	CAN0 (注2)	制御レジスタ	CTLR	16	8、16	2~3PCLK (注3)
0009 0842h	CAN0 (注2)	ステータスレジスタ	STR	16	8、16	2~3PCLK (注3)
0009 0844h	CAN0 (注2)	ビットコンフィグレーションレジスタ	BCR	32	8、16、32	2~3PCLK (注3)
0009 0848h	CAN0 (注2)	受信FIFO制御レジスタ	RFCR	8	8	2~3PCLK (注3)
0009 0849h	CAN0 (注2)	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2~3PCLK (注3)
0009 084Ah	CAN0 (注2)	送信FIFO制御レジスタ	TFCR	8	8	2~3PCLK (注3)
0009 084Bh	CAN0 (注2)	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2~3PCLK (注3)
0009 084Ch	CAN0 (注2)	エラー割り込み許可レジスタ	EIER	8	8	2~3PCLK (注3)
0009 084Dh	CAN0 (注2)	エラー割り込み要因判定レジスタ	EIFR	8	8	2~3PCLK (注3)
0009 084Eh	CAN0 (注2)	受信エラーカウントレジスタ	RECR	8	8	2~3PCLK (注3)
0009 084Fh	CAN0 (注2)	送信エラーカウントレジスタ	TECR	8	8	2~3PCLK (注3)
0009 0850h	CAN0 (注2)	エラーコード格納レジスタ	ECSR	8	8	2~3PCLK (注3)
0009 0851h	CAN0 (注2)	チャンネルサーチサポートレジスタ	CSSR	8	8	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (18 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0009 0852h	CAN0 (注2)	メールボックスサーチステータスレジスタ	MSSR	8	8	2~3PCLK (注3)
0009 0853h	CAN0 (注2)	メールボックスサーチモードレジスタ	MSMR	8	8	2~3PCLK (注3)
0009 0854h	CAN0 (注2)	タイムスタンプレジスタ	TSR	16	8、16	2~3PCLK (注3)
0009 0856h	CAN0 (注2)	アクセプタンスフィルタサポートレジスタ	AFSR	16	8、16	2~3PCLK (注3)
0009 0858h	CAN0 (注2)	テスト制御レジスタ	TCR	8	8	2~3PCLK (注3)
0009 4001h	LINO	LINウェイクアップボーレート選択レジスタ	LWBR	8	8	2~3PCLK (注3)
0009 4002h	LINO	LINボーレートプリスケアラ0レジスタ	LBRP0	8	8、16	2~3PCLK (注3)
0009 4003h	LINO	LINボーレートプリスケアラ1レジスタ	LBRP1	8	8、16	2~3PCLK (注3)
0009 4004h	LINO	LINセルフテスト制御レジスタ	LSTC	8	8	2~3PCLK (注3)
0009 4008h	LINO	モードレジスタ	L0MD	8	8、16、32	2~3PCLK (注3)
0009 4009h	LINO	ブレークフィールド設定レジスタ	L0BRK	8	8、16、32	2~3PCLK (注3)
0009 400Ah	LINO	スペース設定レジスタ	L0SPC	8	8、16、32	2~3PCLK (注3)
0009 400Bh	LINO	ウェイクアップ設定レジスタ	L0WUP	8	8、16、32	2~3PCLK (注3)
0009 400Ch	LINO	割り込み許可レジスタ	L0IE	8	8、16	2~3PCLK (注3)
0009 400Dh	LINO	エラー検出許可レジスタ	L0EDE	8	8、16	2~3PCLK (注3)
0009 400Eh	LINO	制御レジスタ	L0C	8	8	2~3PCLK (注3)
0009 4010h	LINO	送信制御レジスタ	L0TC	8	8、16、32	2~3PCLK (注3)
0009 4011h	LINO	モードステータスレジスタ	L0MST	8	8、16、32	2~3PCLK (注3)
0009 4012h	LINO	ステータスレジスタ	L0ST	8	8、16、32	2~3PCLK (注3)
0009 4013h	LINO	エラーステータスレジスタ	L0EST	8	8、16、32	2~3PCLK (注3)
0009 4014h	LINO	レスポンスフィールド設定レジスタ	L0RFC	8	8、16	2~3PCLK (注3)
0009 4015h	LINO	IDバッファレジスタ	L0IDB	8	8、16	2~3PCLK (注3)
0009 4016h	LINO	チェックサムバッファレジスタ	L0CBR	8	8	2~3PCLK (注3)
0009 4018h	LINO	データ1バッファレジスタ	L0DB1	8	8、16、32	2~3PCLK (注3)
0009 4019h	LINO	データ2バッファレジスタ	L0DB2	8	8、16、32	2~3PCLK (注3)
0009 401Ah	LINO	データ3バッファレジスタ	L0DB3	8	8、16、32	2~3PCLK (注3)
0009 401Bh	LINO	データ4バッファレジスタ	L0DB4	8	8、16、32	2~3PCLK (注3)
0009 401Ch	LINO	データ5バッファレジスタ	L0DB5	8	8、16、32	2~3PCLK (注3)
0009 401Dh	LINO	データ6バッファレジスタ	L0DB6	8	8、16、32	2~3PCLK (注3)
0009 401Eh	LINO	データ7バッファレジスタ	L0DB7	8	8、16、32	2~3PCLK (注3)

表5.1 I/O レジスタアドレス一覧 (19 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0009 401Fh	LIN0	データ8バッファレジスタ	L0DB8	8	8、16、32	2~3PCLK (注3)
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8、16、32	51CLK
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	51CLK
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8、16	51CLK
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	51CLK
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8、16、32	51CLK
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	51CLK
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8、16	51CLK
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	51CLK
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8、16	51CLK
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	51CLK
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8	51CLK
000C 120Dh	MTU	タイマゲートコントロールレジスタA	TGCRA	8	8	51CLK
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8、16	51CLK
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8	51CLK
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16、32	51CLK
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	51CLK
000C 1214h	MTU	タイマ周期データレジスタA	TCDRA	16	16、32	51CLK
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	51CLK
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16、32	51CLK
000C 1222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16	51CLK
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16、32	51CLK
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	51CLK
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16、32	51CLK
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	51CLK
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8、16	51CLK
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8、16	51CLK
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	51CLK
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	51CLK
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	51CLK
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	51CLK
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8、16	51CLK
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	51CLK
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	51CLK
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	51CLK
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	51CLK
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	51CLK
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16、32	51CLK
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	51CLK
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16、32	51CLK
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	51CLK

表5.1 I/O レジスタアドレス一覧 (20 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	51CLK
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	51CLK
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	51CLK
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	51CLK
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	51CLK
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8、16	51CLK
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	51CLK
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	51CLK
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	51CLK
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8、16、32	51CLK
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	51CLK
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8、16	51CLK
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	51CLK
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	51CLK
000C 1305h	MTU0	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	51CLK
000C 1308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 130Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 130Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16、32	51CLK
000C 130Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	51CLK
000C 1320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16、32	51CLK
000C 1322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	51CLK
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8、16	51CLK
000C 1325h	MTU0	タイマステータスレジスタ2	TSR2	8	8	51CLK
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	51CLK
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8、16	51CLK
000C 1381h	MTU1	タイマモードレジスタ1	TMDR1	8	8	51CLK
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	51CLK
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	51CLK
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	51CLK
000C 1388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 138Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 1390h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	51CLK
000C 1400h	MTU2	タイマコントロールレジスタ	TCR	8	8、16	51CLK
000C 1401h	MTU2	タイマモードレジスタ1	TMDR1	8	8	51CLK
000C 1402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	51CLK
000C 1404h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8、16、32	51CLK
000C 1405h	MTU2	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1406h	MTU2	タイマカウンタ	TCNT	16	16	51CLK
000C 1408h	MTU2	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 140Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 1A00h	MTU6	タイマコントロールレジスタ	TCR	8	8、16、32	51CLK
000C 1A01h	MTU7	タイマコントロールレジスタ	TCR	8	8	51CLK
000C 1A02h	MTU6	タイマモードレジスタ1	TMDR1	8	8、16	51CLK
000C 1A03h	MTU7	タイマモードレジスタ1	TMDR1	8	8	51CLK
000C 1A04h	MTU6	タイマI/OコントロールレジスタH	TIORH	8	8、16、32	51CLK

表5.1 I/O レジスタアドレス一覧 (21 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 1A05h	MTU6	タイマI/OコントロールレジスタL	TIORL	8	8	51CLK
000C 1A06h	MTU7	タイマI/OコントロールレジスタH	TIORH	8	8、16	51CLK
000C 1A07h	MTU7	タイマI/OコントロールレジスタL	TIORL	8	8	51CLK
000C 1A08h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8、16	51CLK
000C 1A09h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	51CLK
000C 1A0Ah	MTU	タイマアウトプットマスタイネーブルレジスタB	TOERB	8	8	51CLK
000C 1A0Eh	MTU	タイマアウトプットコントロールレジスタ1B	TOCR1B	8	8、16	51CLK
000C 1A0Fh	MTU	タイマアウトプットコントロールレジスタ2B	TOCR2B	8	8	51CLK
000C 1A10h	MTU6	タイマカウンタ	TCNT	16	16、32	51CLK
000C 1A12h	MTU7	タイマカウンタ	TCNT	16	16	51CLK
000C 1A14h	MTU	タイマ周期データレジスタB	TCDRB	16	16、32	51CLK
000C 1A16h	MTU	タイマデッドタイムデータレジスタB	TDDRb	16	16	51CLK
000C 1A18h	MTU6	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 1A1Ah	MTU6	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 1A1Ch	MTU7	タイマジェネラルレジスタA	TGRA	16	16、32	51CLK
000C 1A1Eh	MTU7	タイマジェネラルレジスタB	TGRB	16	16	51CLK
000C 1A20h	MTU	タイマサブカウンタB	TCNTSB	16	16、32	51CLK
000C 1A22h	MTU	タイマ周期バッファレジスタB	TCBRB	16	16	51CLK
000C 1A24h	MTU6	タイマジェネラルレジスタC	TGRC	16	16、32	51CLK
000C 1A26h	MTU6	タイマジェネラルレジスタD	TGRD	16	16	51CLK
000C 1A28h	MTU7	タイマジェネラルレジスタC	TGRC	16	16、32	51CLK
000C 1A2Ah	MTU7	タイマジェネラルレジスタD	TGRD	16	16	51CLK
000C 1A2Ch	MTU6	タイマステータスレジスタ	TSR	8	8、16	51CLK
000C 1A2Dh	MTU7	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1A30h	MTU	タイマ割り込み間引き設定レジスタ1B	TITCR1B	8	8、16	51CLK
000C 1A31h	MTU	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	8	8	51CLK
000C 1A32h	MTU	タイマバッファ転送設定レジスタB	TBTERB	8	8	51CLK
000C 1A34h	MTU	タイマデッドタイムイネーブルレジスタB	TDERB	8	8	51CLK
000C 1A36h	MTU	タイマアウトプットレベルバッファレジスタB	TOLBRB	8	8	51CLK
000C 1A38h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8、16	51CLK
000C 1A39h	MTU7	タイマバッファ動作転送モードレジスタ	TBTM	8	8	51CLK
000C 1A3Ah	MTU	タイマ割り込み間引きモードレジスタB	TITMRB	8	8	51CLK
000C 1A3Bh	MTU	タイマ割り込み間引き設定レジスタ2B	TITCR2B	8	8	51CLK
000C 1A3Ch	MTU	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	8	8	51CLK
000C 1A40h	MTU7	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	51CLK
000C 1A44h	MTU7	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16、32	51CLK
000C 1A46h	MTU7	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	51CLK
000C 1A48h	MTU7	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16、32	51CLK
000C 1A4Ah	MTU7	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	51CLK
000C 1A50h	MTU6	タイマシンクロクリアレジスタ	TSYCR	8	8	51CLK
000C 1A60h	MTU	タイマ波形コントロールレジスタB	TWCRB	8	8	51CLK
000C 1A70h	MTU	タイマモードレジスタ2B	TMDR2B	8	8	51CLK
000C 1A72h	MTU6	タイマジェネラルレジスタE	TGRE	16	16	51CLK
000C 1A74h	MTU7	タイマジェネラルレジスタE	TGRE	16	16	51CLK
000C 1A76h	MTU7	タイマジェネラルレジスタF	TGRF	16	16	51CLK
000C 1A80h	MTU	タイマスタートレジスタB	TSTRB	8	8、16	51CLK
000C 1A81h	MTU	タイマシンクロレジスタB	TSYRB	8	8	51CLK

表5.1 I/O レジスタアドレス一覧 (22 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 1A84h	MTU	タイマリードライトイネーブルレジスタB	TRWERB	8	8	51CLK
000C 1C80h	MTU5	タイマカウンタU	TCNTU	16	16、32	51CLK
000C 1C82h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	51CLK
000C 1C84h	MTU5	タイマコントロールレジスタU	TCRU	8	8	51CLK
000C 1C86h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	51CLK
000C 1C90h	MTU5	タイマカウンタV	TCNTV	16	16、32	51CLK
000C 1C92h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	51CLK
000C 1C94h	MTU5	タイマコントロールレジスタV	TCRV	8	8	51CLK
000C 1C96h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	51CLK
000C 1CA0h	MTU5	タイマカウンタW	TCNTW	16	16、32	51CLK
000C 1CA2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	51CLK
000C 1CA4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	51CLK
000C 1CA6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	51CLK
000C 1CB0h	MTU5	タイマステータスレジスタ	TSR	8	8	51CLK
000C 1CB2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	51CLK
000C 1CB4h	MTU5	タイマスタートレジスタ	TSTR	8	8	51CLK
000C 1CB6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	51CLK
000C 2000h	GPT	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	16	8、16、32	3~51CLK (注4)
000C 2004h	GPT	汎用PWMタイマハードウェア要因スタートコントロールレジスタ	GTHSCR	16	8、16、32	3~51CLK (注4)
000C 2006h	GPT	汎用PWMタイマハードウェア要因クリアコントロールレジスタ	GTHCCR	16	8、16、32	3~51CLK (注4)
000C 2008h	GPT	汎用PWMタイマハードウェアスタート要因セレクトレジスタ	GTHSSR	16	8、16、32	3~51CLK (注4)
000C 200Ah	GPT	汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ	GTHPSR	16	8、16、32	3~51CLK (注4)
000C 200Ch	GPT	汎用PWMタイマ書き込み保護レジスタ	GTWP	16	8、16、32	3~51CLK (注4)
000C 200Eh	GPT	汎用PWMタイマシンクロレジスタ	GTSYNC	16	8、16、32	3~51CLK (注4)
000C 2010h	GPT	汎用PWMタイマ外部トリガ入力割り込みレジスタ	GTETINT	16	8、16、32	3~51CLK (注4)
000C 2014h	GPT	汎用PWMタイマバッファ動作禁止レジスタ	GTBDR	16	8、16、32	3~51CLK (注4)
000C 2018h	GPT	汎用PWMタイマスタート書き込み保護レジスタ	GTSWP	16	16、32	3~51CLK (注4)
000C 2080h	GPT	LOCOカウントコントロールレジスタ	LCCR	16	8、16、32	3~51CLK (注4)
000C 2082h	GPT	LOCOカウントステータスレジスタ	LCST	16	8、16、32	3~51CLK (注4)
000C 2084h	GPT	LOCOカウント値レジスタ	LCNT	16	8、16、32	3~51CLK (注4)
000C 2086h	GPT	LOCOカウント結果平均レジスタ	LCNTA	16	8、16、32	3~51CLK (注4)
000C 2088h	GPT	LOCOカウント結果レジスタ0	LCNT00	16	8、16、32	3~51CLK (注4)
000C 208Ah	GPT	LOCOカウント結果レジスタ1	LCNT01	16	8、16、32	3~51CLK (注4)
000C 208Ch	GPT	LOCOカウント結果レジスタ2	LCNT02	16	8、16、32	3~51CLK (注4)
000C 208Eh	GPT	LOCOカウント結果レジスタ3	LCNT03	16	8、16、32	3~51CLK (注4)
000C 2090h	GPT	LOCOカウント結果レジスタ4	LCNT04	16	8、16、32	3~51CLK (注4)

表5.1 I/O レジスタアドレス一覧 (23 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 2092h	GPT	LOCOカウント結果レジスタ5	LCNT05	16	8、16、32	3~5CLK (注4)
000C 2094h	GPT	LOCOカウント結果レジスタ6	LCNT06	16	8、16、32	3~5CLK (注4)
000C 2096h	GPT	LOCOカウント結果レジスタ7	LCNT07	16	8、16、32	3~5CLK (注4)
000C 2098h	GPT	LOCOカウント結果レジスタ8	LCNT08	16	8、16、32	3~5CLK (注4)
000C 209Ah	GPT	LOCOカウント結果レジスタ9	LCNT09	16	8、16、32	3~5CLK (注4)
000C 209Ch	GPT	LOCOカウント結果レジスタ10	LCNT10	16	8、16、32	3~5CLK (注4)
000C 209Eh	GPT	LOCOカウント結果レジスタ11	LCNT11	16	8、16、32	3~5CLK (注4)
000C 20A0h	GPT	LOCOカウント結果レジスタ12	LCNT12	16	8、16、32	3~5CLK (注4)
000C 20A2h	GPT	LOCOカウント結果レジスタ13	LCNT13	16	8、16、32	3~5CLK (注4)
000C 20A4h	GPT	LOCOカウント結果レジスタ14	LCNT14	16	8、16、32	3~5CLK (注4)
000C 20A6h	GPT	LOCOカウント結果レジスタ15	LCNT15	16	8、16、32	3~5CLK (注4)
000C 20A8h	GPT	LOCOカウント上限許容偏差値レジスタ	LCNTDU	16	8、16、32	3~5CLK (注4)
000C 20AAh	GPT	LOCOカウント下限許容偏差値レジスタ	LCNTDL	16	8、16、32	3~5CLK (注4)
000C 2100h	GPT0	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	3~5CLK (注4)
000C 2102h	GPT0	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	3~5CLK (注4)
000C 2104h	GPT0	汎用PWMタイマコントロールレジスタ	GTCCR	16	8、16、32	3~5CLK (注4)
000C 2106h	GPT0	汎用PWMタイマバッファインプ レジスタ	GTBER	16	8、16、32	3~5CLK (注4)
000C 2108h	GPT0	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	3~5CLK (注4)
000C 210Ah	GPT0	汎用PWMタイマ割り込み、A/D変換開始要求間引き 設定レジスタ	GTITC	16	8、16、32	3~5CLK (注4)
000C 210Ch	GPT0	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	3~5CLK (注4)
000C 210Eh	GPT0	汎用PWMタイマカウンタ	GT CNT	16	16	3~5CLK (注4)
000C 2110h	GPT0	汎用PWMタイマコンペアキャプチャ レジスタA	GTCCRA	16	16、32	3~5CLK (注4)
000C 2112h	GPT0	汎用PWMタイマコンペアキャプチャ レジスタB	GTCCRB	16	16、32	3~5CLK (注4)
000C 2114h	GPT0	汎用PWMタイマコンペアキャプチャ レジスタC	GTCCRC	16	16、32	3~5CLK (注4)
000C 2116h	GPT0	汎用PWMタイマコンペアキャプチャ レジスタD	GTCCRD	16	16、32	3~5CLK (注4)
000C 2118h	GPT0	汎用PWMタイマコンペアキャプチャ レジスタE	GTCCRE	16	16、32	3~5CLK (注4)
000C 211Ah	GPT0	汎用PWMタイマコンペアキャプチャ レジスタF	GTCCRF	16	16、32	3~5CLK (注4)
000C 211Ch	GPT0	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	3~5CLK (注4)
000C 211Eh	GPT0	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	3~5CLK (注4)
000C 2120h	GPT0	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	3~5CLK (注4)

表5.1 I/O レジスタアドレス一覧 (24 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 2124h	GPT0	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	3~5CLK (注4)
000C 2126h	GPT0	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 2128h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 212Ch	GPT0	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 212Eh	GPT0	A/D変換開始要求タイミングバッファレジスタB	GTADTBRA	16	16、32	3~5CLK (注4)
000C 2130h	GPT0	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTBRA	16	16、32	3~5CLK (注4)
000C 2134h	GPT0	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	3~5CLK (注4)
000C 2136h	GPT0	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	3~5CLK (注4)
000C 2138h	GPT0	汎用PWMタイマデッドタイム値レジスタ	GTDVU	16	16、32	3~5CLK (注4)
000C 213Ah	GPT0	汎用PWMタイマデッドタイム値レジスタ	GTDVD	16	16、32	3~5CLK (注4)
000C 213Ch	GPT0	汎用PWMタイマデッドタイムバッファレジスタ	GTDBU	16	16、32	3~5CLK (注4)
000C 213Eh	GPT0	汎用PWMタイマデッドタイムバッファレジスタ	GTDBD	16	16、32	3~5CLK (注4)
000C 2140h	GPT0	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	3~5CLK (注4)
000C 2142h	GPT0	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	3~5CLK (注4)
000C 2180h	GPT1	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	3~5CLK (注4)
000C 2182h	GPT1	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	3~5CLK (注4)
000C 2184h	GPT1	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	3~5CLK (注4)
000C 2186h	GPT1	汎用PWMタイマバッファイネーブルレジスタ	GTBER	16	8、16、32	3~5CLK (注4)
000C 2188h	GPT1	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	3~5CLK (注4)
000C 218Ah	GPT1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	3~5CLK (注4)
000C 218Ch	GPT1	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	3~5CLK (注4)
000C 218Eh	GPT1	汎用PWMタイマカウンタ	GTCNT	16	16	3~5CLK (注4)
000C 2190h	GPT1	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	3~5CLK (注4)
000C 2192h	GPT1	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	3~5CLK (注4)
000C 2194h	GPT1	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	3~5CLK (注4)
000C 2196h	GPT1	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	3~5CLK (注4)
000C 2198h	GPT1	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	3~5CLK (注4)
000C 219Ah	GPT1	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	3~5CLK (注4)
000C 219Ch	GPT1	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	3~5CLK (注4)
000C 219Eh	GPT1	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	3~5CLK (注4)

表5.1 I/O レジスタアドレス一覧 (25 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 21A0h	GPT1	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	3~5CLK (注4)
000C 21A4h	GPT1	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	3~5CLK (注4)
000C 21A6h	GPT1	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 21A8h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 21ACh	GPT1	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 21AEh	GPT1	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 21B0h	GPT1	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 21B4h	GPT1	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	3~5CLK (注4)
000C 21B6h	GPT1	汎用PWMタイマデッドタイムコントロールレジスタ	GTDCR	16	16、32	3~5CLK (注4)
000C 21B8h	GPT1	汎用PWMタイマデッドタイム値レジスタ	GTDVU	16	16、32	3~5CLK (注4)
000C 21BAh	GPT1	汎用PWMタイマデッドタイム値レジスタ	GTDVD	16	16、32	3~5CLK (注4)
000C 21BCh	GPT1	汎用PWMタイマデッドタイムバッファレジスタ	GTDBU	16	16、32	3~5CLK (注4)
000C 21BEh	GPT1	汎用PWMタイマデッドタイムバッファレジスタ	GTDBD	16	16、32	3~5CLK (注4)
000C 21C0h	GPT1	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	3~5CLK (注4)
000C 21C2h	GPT1	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	3~5CLK (注4)
000C 2200h	GPT2	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	3~5CLK (注4)
000C 2202h	GPT2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	3~5CLK (注4)
000C 2204h	GPT2	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	3~5CLK (注4)
000C 2206h	GPT2	汎用PWMタイマバッファインプットレジスタ	GTBER	16	8、16、32	3~5CLK (注4)
000C 2208h	GPT2	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	3~5CLK (注4)
000C 220Ah	GPT2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	3~5CLK (注4)
000C 220Ch	GPT2	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	3~5CLK (注4)
000C 220Eh	GPT2	汎用PWMタイマカウンタ	GTCNT	16	16	3~5CLK (注4)
000C 2210h	GPT2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	3~5CLK (注4)
000C 2212h	GPT2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	3~5CLK (注4)
000C 2214h	GPT2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	3~5CLK (注4)
000C 2216h	GPT2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	3~5CLK (注4)
000C 2218h	GPT2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	3~5CLK (注4)
000C 221Ah	GPT2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	3~5CLK (注4)
000C 221Ch	GPT2	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	3~5CLK (注4)

表5.1 I/O レジスタアドレス一覧 (26 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 221Eh	GPT2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	3~5CLK (注4)
000C 2220h	GPT2	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	3~5CLK (注4)
000C 2224h	GPT2	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	3~5CLK (注4)
000C 2226h	GPT2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 2228h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 222Ch	GPT2	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 222Eh	GPT2	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 2230h	GPT2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 2234h	GPT2	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	3~5CLK (注4)
000C 2236h	GPT2	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	3~5CLK (注4)
000C 2238h	GPT2	汎用PWMタイマデッドタイム値レジスタ	GTDVU	16	16、32	3~5CLK (注4)
000C 223Ah	GPT2	汎用PWMタイマデッドタイム値レジスタ	GTDVD	16	16、32	3~5CLK (注4)
000C 223Ch	GPT2	汎用PWMタイマデッドタイムバッファレジスタ	GTDBU	16	16、32	3~5CLK (注4)
000C 223Eh	GPT2	汎用PWMタイマデッドタイムバッファレジスタ	GTDBD	16	16、32	3~5CLK (注4)
000C 2240h	GPT2	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	3~5CLK (注4)
000C 2242h	GPT2	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	3~5CLK (注4)
000C 2280h	GPT3	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	16	8、16、32	3~5CLK (注4)
000C 2282h	GPT3	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	16	8、16、32	3~5CLK (注4)
000C 2284h	GPT3	汎用PWMタイマコントロールレジスタ	GTCR	16	8、16、32	3~5CLK (注4)
000C 2286h	GPT3	汎用PWMタイマバッファファイナブルレジスタ	GTBER	16	8、16、32	3~5CLK (注4)
000C 2288h	GPT3	汎用PWMタイマカウント方向レジスタ	GTUDC	16	8、16、32	3~5CLK (注4)
000C 228Ah	GPT3	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	16	8、16、32	3~5CLK (注4)
000C 228Ch	GPT3	汎用PWMタイマステータスレジスタ	GTST	16	8、16、32	3~5CLK (注4)
000C 228Eh	GPT3	汎用PWMタイマカウンタ	GTCNT	16	16	3~5CLK (注4)
000C 2290h	GPT3	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	16	16、32	3~5CLK (注4)
000C 2292h	GPT3	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	16	16、32	3~5CLK (注4)
000C 2294h	GPT3	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	16	16、32	3~5CLK (注4)
000C 2296h	GPT3	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	16	16、32	3~5CLK (注4)
000C 2298h	GPT3	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	16	16、32	3~5CLK (注4)
000C 229Ah	GPT3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	16	16、32	3~5CLK (注4)

表5.1 I/O レジスタアドレス一覧 (27 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 229Ch	GPT3	汎用PWMタイマ周期設定レジスタ	GTPR	16	16、32	3~5CLK (注4)
000C 229Eh	GPT3	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	16	16、32	3~5CLK (注4)
000C 22A0h	GPT3	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	16	16、32	3~5CLK (注4)
000C 22A4h	GPT3	A/D変換開始要求タイミングレジスタA	GTADTRA	16	16、32	3~5CLK (注4)
000C 22A6h	GPT3	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 22A8h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	16	16、32	3~5CLK (注4)
000C 22ACh	GPT3	A/D変換開始要求タイミングレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 22AEh	GPT3	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 22B0h	GPT3	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	16	16、32	3~5CLK (注4)
000C 22B4h	GPT3	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	16	16、32	3~5CLK (注4)
000C 22B6h	GPT3	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	16	16、32	3~5CLK (注4)
000C 22B8h	GPT3	汎用PWMタイマデッドタイム値レジスタ	GTDVU	16	16、32	3~5CLK (注4)
000C 22BAh	GPT3	汎用PWMタイマデッドタイム値レジスタ	GTDVD	16	16、32	3~5CLK (注4)
000C 22BCh	GPT3	汎用PWMタイマデッドタイムバッファレジスタ	GTDBU	16	16、32	3~5CLK (注4)
000C 22BEh	GPT3	汎用PWMタイマデッドタイムバッファレジスタ	GTDBD	16	16、32	3~5CLK (注4)
000C 22C0h	GPT3	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	16	16、32	3~5CLK (注4)
000C 22C2h	GPT3	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	16	16、32	3~5CLK (注4)
000C 2300h	GPT0	PWM出力遅延制御レジスタ	GTDLYCR	16	16、32	3~5CLK (注4)
000C 2302h	GPT1	PWM出力遅延制御レジスタ	GTDLYCR	16	16、32	3~5CLK (注4)
000C 2304h	GPT2	PWM出力遅延制御レジスタ	GTDLYCR	16	16、32	3~5CLK (注4)
000C 2306h	GPT3	PWM出力遅延制御レジスタ	GTDLYCR	16	16、32	3~5CLK (注4)
000C 2318h	GPT0	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	16	16、32	3~5CLK (注4)
000C 231Ah	GPT0	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	16	16、32	3~5CLK (注4)
000C 231Ch	GPT1	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	16	16、32	3~5CLK (注4)
000C 231Eh	GPT1	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	16	16、32	3~5CLK (注4)
000C 2320h	GPT2	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	16	16、32	3~5CLK (注4)
000C 2322h	GPT2	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	16	16、32	3~5CLK (注4)
000C 2324h	GPT3	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	16	16、32	3~5CLK (注4)
000C 2326h	GPT3	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	16	16、32	3~5CLK (注4)
000C 2328h	GPT0	GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	16	16、32	3~5CLK (注4)

表5.1 I/O レジスタアドレス一覧 (28 / 28)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000C 232Ah	GPT0	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	3~5ICLK (注4)
000C 232Ch	GPT1	GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	16	16、32	3~5ICLK (注4)
000C 232Eh	GPT1	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	3~5ICLK (注4)
000C 2330h	GPT2	GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	16	16、32	3~5ICLK (注4)
000C 2332h	GPT2	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	3~5ICLK (注4)
000C 2334h	GPT3	GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	16	16、32	3~5ICLK (注4)
000C 2336h	GPT3	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	16	16、32	3~5ICLK (注4)
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2~3PCLK (注3)
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~3PCLK (注3)
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~3PCLK (注3)
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2~3PCLK (注3)
007F C440h	FLASH	データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2~3PCLK (注3)
007F C442h	FLASH	データフラッシュ読み出し許可レジスタ1	DFLRE1	16	16	2~3PCLK (注3)
007F C450h	FLASH	データフラッシュ書き込み/消去許可レジスタ0	DFLWE0	16	16	2~3PCLK (注3)
007F C452h	FLASH	データフラッシュ書き込み/消去許可レジスタ1	DFLWE1	16	16	2~3PCLK (注3)
007F C454h	FLASH	FCU RAMイネーブルレジスタ	FCURAME	16	16	2~3PCLK (注3)
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2~3PCLK (注3)
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3PCLK (注3)
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2~3PCLK (注3)
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~3PCLK (注3)
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2~3PCLK (注3)
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2~3PCLK (注3)
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2~3PCLK (注3)
007F FFCAh	FLASH	データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2~3PCLK (注3)
007F FFCCh	FLASH	フラッシュ P/E ステータスレジスタ	FPESTAT	16	16	2~3PCLK (注3)
007F FFCEh	FLASH	データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2~3PCLK (注3)
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2~3PCLK (注3)

注1. 100ピンLQFP版ではサポートしていません。

注2. CAN機能なし版では対応していません。

注3. 分周クロック同期化サイクル (0~1PCLK) により変動します。

注4. レジスタ書き込みは3ICLK、レジスタ読み出しは5ICLKとなります。

5.2 I/O レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

表5.2 I/O レジスタビット一覧 (1 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SYSTEM	MDMONR	—	—	—	—	—	—	—	—
		MDE	—	—	—	—	—	MD1	MD0
SYSTEM	MDSR	—	—	—	—	—	—	—	—
		—	—	—	BOTS	—	—	—	IROM
SYSTEM	SYSCR0	KEY[7:0]							
		—	—	—	—	—	—	—	ROME
SYSTEM	SYSCR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	RAME
SYSTEM	SBYCR	SSBY	—	—	STS[4:0]				
		—	—	—	—	—	—	—	—
SYSTEM	MSTPCRA	ACSE	—	—	MSTPA28	—	—	—	MSTPA24
		MSTPA23	—	—	—	—	—	MSTPA17	MSTPA16
		MSTPA15	MSTPA14	—	—	—	—	MSTPA9	—
		MSTPA7	—	—	—	—	—	—	—
SYSTEM	MSTPCRB	MSTPB31	MSTPB30	MSTPB29	—	—	—	—	
		MSTPB23	—	MSTPB21	—	—	—	MSTPB17	—
		—	—	—	—	—	—	—	—
		MSTPB7	—	—	—	—	—	—	MSTPB0
SYSTEM	MSTPCRC	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	MSTPC0
SYSTEM	SCKCR	—	—	—	—	ICK[3:0]			
		—	—	—	—	—	—	—	—
		—	—	—	—	PCK[3:0]			
		—	—	—	—	—	—	—	—
SYSTEM	OSTDCR	KEY[7:0]							
		OSTDE	OSTDF	—	—	—	—	—	—
BSC	BERCLR	—	—	—	—	—	—	—	STSCLR
BSC	BEREN	—	—	—	—	—	—	—	IGAEN
BSC	BERSR1	—	MST[2:0]			—	—	—	IA
BSC	BERSR2	ADDR[12:0]							
		ADDR[12:0]						—	—
DTC	DTCCR	—	—	—	RRS	—	—	—	—
DTC	DTCVBR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
DTC	DTCADMOD	—	—	—	—	—	—	—	SHORT
DTC	DTCST	—	—	—	—	—	—	—	DTCST
DTC	DTCSTS	ACT	—	—	—	—	—	—	—
		VECN[7:0]							
MPU	RSPAGE0	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				—	—	—	—

表5.2 I/O レジスタビット一覧 (2 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MPU	REPAGE0	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE1	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE1	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE2	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE2	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE3	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE3	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE4	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE4	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE5	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE5	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	RSPAGE6	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE6	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V

表5.2 I/O レジスタビット一覧 (3 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MPU	RSPAGE7	RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]							
		RSPN[27:0]				-	-	-	-
MPU	REPAGE7	REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]							
		REPN[27:0]				UAC[2:0]			V
MPU	MPEN	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	MPEN
MPU	MPBAC	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	UBAC[2:0]			-
MPU	MPECLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CLR
MPU	MPESTS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	DRW	DA	IA
MPU	MPDEA	DEA[31:0]							
		DEA[31:0]							
		DEA[31:0]							
		DEA[31:0]							
MPU	MPSA	SA[31:0]							
		SA[31:0]							
		SA[31:0]							
		SA[31:0]							
MPU	MPOPS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	S
MPU	MPOPI	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	INV
MPU	MHITI	-	-	-	-	-	-	-	-
		HIT[7:0]							
		-	-	-	-	-	-	-	-
						UHAC[2:0]			-
MPU	MHITD	-	-	-	-	-	-	-	-
		HITD[7:0]							
		-	-	-	-	-	-	-	-
						UHACD[2:0]			-
ICU	IR016	-	-	-	-	-	-	-	IR
ICU	IR021	-	-	-	-	-	-	-	IR
ICU	IR023	-	-	-	-	-	-	-	IR
ICU	IR027	-	-	-	-	-	-	-	IR
ICU	IR028	-	-	-	-	-	-	-	IR
ICU	IR029	-	-	-	-	-	-	-	IR
ICU	IR030	-	-	-	-	-	-	-	IR
ICU	IR031	-	-	-	-	-	-	-	IR

表5.2 I/O レジスタビット一覧 (4 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR044	—	—	—	—	—	—	—	IR
ICU	IR045	—	—	—	—	—	—	—	IR
ICU	IR046	—	—	—	—	—	—	—	IR
ICU	IR047	—	—	—	—	—	—	—	IR
ICU	IR056	—	—	—	—	—	—	—	IR
ICU	IR057	—	—	—	—	—	—	—	IR
ICU	IR058	—	—	—	—	—	—	—	IR
ICU	IR059	—	—	—	—	—	—	—	IR
ICU	IR060	—	—	—	—	—	—	—	IR
ICU	IR064	—	—	—	—	—	—	—	IR
ICU	IR065	—	—	—	—	—	—	—	IR
ICU	IR066	—	—	—	—	—	—	—	IR
ICU	IR067	—	—	—	—	—	—	—	IR
ICU	IR068	—	—	—	—	—	—	—	IR
ICU	IR069	—	—	—	—	—	—	—	IR
ICU	IR070	—	—	—	—	—	—	—	IR
ICU	IR071	—	—	—	—	—	—	—	IR
ICU	IR096	—	—	—	—	—	—	—	IR
ICU	IR098	—	—	—	—	—	—	—	IR
ICU	IR102	—	—	—	—	—	—	—	IR
ICU	IR103	—	—	—	—	—	—	—	IR
ICU	IR106	—	—	—	—	—	—	—	IR
ICU	IR114	—	—	—	—	—	—	—	IR
ICU	IR115	—	—	—	—	—	—	—	IR
ICU	IR116	—	—	—	—	—	—	—	IR
ICU	IR117	—	—	—	—	—	—	—	IR
ICU	IR118	—	—	—	—	—	—	—	IR
ICU	IR119	—	—	—	—	—	—	—	IR
ICU	IR120	—	—	—	—	—	—	—	IR
ICU	IR121	—	—	—	—	—	—	—	IR
ICU	IR122	—	—	—	—	—	—	—	IR
ICU	IR123	—	—	—	—	—	—	—	IR
ICU	IR124	—	—	—	—	—	—	—	IR
ICU	IR125	—	—	—	—	—	—	—	IR
ICU	IR126	—	—	—	—	—	—	—	IR
ICU	IR127	—	—	—	—	—	—	—	IR
ICU	IR128	—	—	—	—	—	—	—	IR
ICU	IR129	—	—	—	—	—	—	—	IR
ICU	IR130	—	—	—	—	—	—	—	IR
ICU	IR131	—	—	—	—	—	—	—	IR
ICU	IR132	—	—	—	—	—	—	—	IR
ICU	IR133	—	—	—	—	—	—	—	IR
ICU	IR134	—	—	—	—	—	—	—	IR
ICU	IR135	—	—	—	—	—	—	—	IR
ICU	IR136	—	—	—	—	—	—	—	IR
ICU	IR137	—	—	—	—	—	—	—	IR
ICU	IR138	—	—	—	—	—	—	—	IR
ICU	IR139	—	—	—	—	—	—	—	IR
ICU	IR140	—	—	—	—	—	—	—	IR
ICU	IR141	—	—	—	—	—	—	—	IR
ICU	IR142	—	—	—	—	—	—	—	IR
ICU	IR143	—	—	—	—	—	—	—	IR

表5.2 I/O レジスタビット一覧 (5 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR144	—	—	—	—	—	—	—	IR
ICU	IR145	—	—	—	—	—	—	—	IR
ICU	IR146	—	—	—	—	—	—	—	IR
ICU	IR149	—	—	—	—	—	—	—	IR
ICU	IR150	—	—	—	—	—	—	—	IR
ICU	IR151	—	—	—	—	—	—	—	IR
ICU	IR152	—	—	—	—	—	—	—	IR
ICU	IR153	—	—	—	—	—	—	—	IR
ICU	IR170	—	—	—	—	—	—	—	IR
ICU	IR171	—	—	—	—	—	—	—	IR
ICU	IR172	—	—	—	—	—	—	—	IR
ICU	IR173	—	—	—	—	—	—	—	IR
ICU	IR174	—	—	—	—	—	—	—	IR
ICU	IR175	—	—	—	—	—	—	—	IR
ICU	IR176	—	—	—	—	—	—	—	IR
ICU	IR177	—	—	—	—	—	—	—	IR
ICU	IR178	—	—	—	—	—	—	—	IR
ICU	IR179	—	—	—	—	—	—	—	IR
ICU	IR180	—	—	—	—	—	—	—	IR
ICU	IR181	—	—	—	—	—	—	—	IR
ICU	IR182	—	—	—	—	—	—	—	IR
ICU	IR183	—	—	—	—	—	—	—	IR
ICU	IR184	—	—	—	—	—	—	—	IR
ICU	IR186	—	—	—	—	—	—	—	IR
ICU	IR187	—	—	—	—	—	—	—	IR
ICU	IR188	—	—	—	—	—	—	—	IR
ICU	IR189	—	—	—	—	—	—	—	IR
ICU	IR190	—	—	—	—	—	—	—	IR
ICU	IR192	—	—	—	—	—	—	—	IR
ICU	IR193	—	—	—	—	—	—	—	IR
ICU	IR194	—	—	—	—	—	—	—	IR
ICU	IR195	—	—	—	—	—	—	—	IR
ICU	IR196	—	—	—	—	—	—	—	IR
ICU	IR214	—	—	—	—	—	—	—	IR
ICU	IR215	—	—	—	—	—	—	—	IR
ICU	IR216	—	—	—	—	—	—	—	IR
ICU	IR217	—	—	—	—	—	—	—	IR
ICU	IR218	—	—	—	—	—	—	—	IR
ICU	IR219	—	—	—	—	—	—	—	IR
ICU	IR220	—	—	—	—	—	—	—	IR
ICU	IR221	—	—	—	—	—	—	—	IR
ICU	IR222	—	—	—	—	—	—	—	IR
ICU	IR223	—	—	—	—	—	—	—	IR
ICU	IR224	—	—	—	—	—	—	—	IR
ICU	IR225	—	—	—	—	—	—	—	IR
ICU	IR246	—	—	—	—	—	—	—	IR
ICU	IR247	—	—	—	—	—	—	—	IR
ICU	IR248	—	—	—	—	—	—	—	IR
ICU	IR249	—	—	—	—	—	—	—	IR
ICU	IR254	—	—	—	—	—	—	—	IR
ICU	DTCER027	—	—	—	—	—	—	—	DTCE
ICU	DTCER028	—	—	—	—	—	—	—	DTCE

表5.2 I/O レジスタビット一覧 (6 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	DTCER029	—	—	—	—	—	—	—	DTCE
ICU	DTCER030	—	—	—	—	—	—	—	DTCE
ICU	DTCER031	—	—	—	—	—	—	—	DTCE
ICU	DTCER045	—	—	—	—	—	—	—	DTCE
ICU	DTCER046	—	—	—	—	—	—	—	DTCE
ICU	DTCER064	—	—	—	—	—	—	—	DTCE
ICU	DTCER065	—	—	—	—	—	—	—	DTCE
ICU	DTCER066	—	—	—	—	—	—	—	DTCE
ICU	DTCER067	—	—	—	—	—	—	—	DTCE
ICU	DTCER068	—	—	—	—	—	—	—	DTCE
ICU	DTCER069	—	—	—	—	—	—	—	DTCE
ICU	DTCER070	—	—	—	—	—	—	—	DTCE
ICU	DTCER071	—	—	—	—	—	—	—	DTCE
ICU	DTCER098	—	—	—	—	—	—	—	DTCE
ICU	DTCER102	—	—	—	—	—	—	—	DTCE
ICU	DTCER103	—	—	—	—	—	—	—	DTCE
ICU	DTCER106	—	—	—	—	—	—	—	DTCE
ICU	DTCER114	—	—	—	—	—	—	—	DTCE
ICU	DTCER115	—	—	—	—	—	—	—	DTCE
ICU	DTCER116	—	—	—	—	—	—	—	DTCE
ICU	DTCER117	—	—	—	—	—	—	—	DTCE
ICU	DTCER121	—	—	—	—	—	—	—	DTCE
ICU	DTCER122	—	—	—	—	—	—	—	DTCE
ICU	DTCER125	—	—	—	—	—	—	—	DTCE
ICU	DTCER126	—	—	—	—	—	—	—	DTCE
ICU	DTCER129	—	—	—	—	—	—	—	DTCE
ICU	DTCER130	—	—	—	—	—	—	—	DTCE
ICU	DTCER131	—	—	—	—	—	—	—	DTCE
ICU	DTCER132	—	—	—	—	—	—	—	DTCE
ICU	DTCER134	—	—	—	—	—	—	—	DTCE
ICU	DTCER135	—	—	—	—	—	—	—	DTCE
ICU	DTCER136	—	—	—	—	—	—	—	DTCE
ICU	DTCER137	—	—	—	—	—	—	—	DTCE
ICU	DTCER138	—	—	—	—	—	—	—	DTCE
ICU	DTCER139	—	—	—	—	—	—	—	DTCE
ICU	DTCER140	—	—	—	—	—	—	—	DTCE
ICU	DTCER141	—	—	—	—	—	—	—	DTCE
ICU	DTCER142	—	—	—	—	—	—	—	DTCE
ICU	DTCER143	—	—	—	—	—	—	—	DTCE
ICU	DTCER144	—	—	—	—	—	—	—	DTCE
ICU	DTCER145	—	—	—	—	—	—	—	DTCE
ICU	DTCER149	—	—	—	—	—	—	—	DTCE
ICU	DTCER150	—	—	—	—	—	—	—	DTCE
ICU	DTCER151	—	—	—	—	—	—	—	DTCE
ICU	DTCER152	—	—	—	—	—	—	—	DTCE
ICU	DTCER153	—	—	—	—	—	—	—	DTCE
ICU	DTCER174	—	—	—	—	—	—	—	DTCE
ICU	DTCER175	—	—	—	—	—	—	—	DTCE
ICU	DTCER176	—	—	—	—	—	—	—	DTCE
ICU	DTCER177	—	—	—	—	—	—	—	DTCE
ICU	DTCER178	—	—	—	—	—	—	—	DTCE
ICU	DTCER179	—	—	—	—	—	—	—	DTCE

表5.2 I/O レジスタビット一覧 (7 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	DTCER180	—	—	—	—	—	—	—	DTCE
ICU	DTCER181	—	—	—	—	—	—	—	DTCE
ICU	DTCER182	—	—	—	—	—	—	—	DTCE
ICU	DTCER183	—	—	—	—	—	—	—	DTCE
ICU	DTCER184	—	—	—	—	—	—	—	DTCE
ICU	DTCER186	—	—	—	—	—	—	—	DTCE
ICU	DTCER187	—	—	—	—	—	—	—	DTCE
ICU	DTCER188	—	—	—	—	—	—	—	DTCE
ICU	DTCER189	—	—	—	—	—	—	—	DTCE
ICU	DTCER190	—	—	—	—	—	—	—	DTCE
ICU	DTCER192	—	—	—	—	—	—	—	DTCE
ICU	DTCER193	—	—	—	—	—	—	—	DTCE
ICU	DTCER194	—	—	—	—	—	—	—	DTCE
ICU	DTCER195	—	—	—	—	—	—	—	DTCE
ICU	DTCER196	—	—	—	—	—	—	—	DTCE
ICU	DTCER215	—	—	—	—	—	—	—	DTCE
ICU	DTCER216	—	—	—	—	—	—	—	DTCE
ICU	DTCER219	—	—	—	—	—	—	—	DTCE
ICU	DTCER220	—	—	—	—	—	—	—	DTCE
ICU	DTCER223	—	—	—	—	—	—	—	DTCE
ICU	DTCER224	—	—	—	—	—	—	—	DTCE
ICU	DTCER247	—	—	—	—	—	—	—	DTCE
ICU	DTCER248	—	—	—	—	—	—	—	DTCE
ICU	DTCER254	—	—	—	—	—	—	—	DTCE
ICU	IER02	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER03	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER05	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER07	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER08	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0D	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER10	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER11	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER12	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER13	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER15	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER16	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER17	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER18	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1A	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1B	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	SWINTR	—	—	—	—	—	—	—	SWINT
ICU	FIR	FIEN	—	—	—	—	—	—	—
FVCT[7:0]									
ICU	IPR00	—	—	—	—	IPR[3:0]			
ICU	IPR01	—	—	—	—	IPR[3:0]			
ICU	IPR02	—	—	—	—	IPR[3:0]			

表5.2 I/O レジスタビット一覧 (8 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IPR03	—	—	—	—	IPR[3:0]			
ICU	IPR04	—	—	—	—	IPR[3:0]			
ICU	IPR05	—	—	—	—	IPR[3:0]			
ICU	IPR06	—	—	—	—	IPR[3:0]			
ICU	IPR07	—	—	—	—	IPR[3:0]			
ICU	IPR14	—	—	—	—	IPR[3:0]			
ICU	IPR18	—	—	—	—	IPR[3:0]			
ICU	IPR20	—	—	—	—	IPR[3:0]			
ICU	IPR21	—	—	—	—	IPR[3:0]			
ICU	IPR22	—	—	—	—	IPR[3:0]			
ICU	IPR23	—	—	—	—	IPR[3:0]			
ICU	IPR24	—	—	—	—	IPR[3:0]			
ICU	IPR25	—	—	—	—	IPR[3:0]			
ICU	IPR26	—	—	—	—	IPR[3:0]			
ICU	IPR27	—	—	—	—	IPR[3:0]			
ICU	IPR40	—	—	—	—	IPR[3:0]			
ICU	IPR44	—	—	—	—	IPR[3:0]			
ICU	IPR48	—	—	—	—	IPR[3:0]			
ICU	IPR49	—	—	—	—	IPR[3:0]			
ICU	IPR51	—	—	—	—	IPR[3:0]			
ICU	IPR52	—	—	—	—	IPR[3:0]			
ICU	IPR53	—	—	—	—	IPR[3:0]			
ICU	IPR54	—	—	—	—	IPR[3:0]			
ICU	IPR55	—	—	—	—	IPR[3:0]			
ICU	IPR56	—	—	—	—	IPR[3:0]			
ICU	IPR57	—	—	—	—	IPR[3:0]			
ICU	IPR58	—	—	—	—	IPR[3:0]			
ICU	IPR59	—	—	—	—	IPR[3:0]			
ICU	IPR5A	—	—	—	—	IPR[3:0]			
ICU	IPR5B	—	—	—	—	IPR[3:0]			
ICU	IPR5C	—	—	—	—	IPR[3:0]			
ICU	IPR5D	—	—	—	—	IPR[3:0]			
ICU	IPR5E	—	—	—	—	IPR[3:0]			
ICU	IPR5F	—	—	—	—	IPR[3:0]			
ICU	IPR60	—	—	—	—	IPR[3:0]			
ICU	IPR67	—	—	—	—	IPR[3:0]			
ICU	IPR68	—	—	—	—	IPR[3:0]			
ICU	IPR69	—	—	—	—	IPR[3:0]			
ICU	IPR6A	—	—	—	—	IPR[3:0]			
ICU	IPR6B	—	—	—	—	IPR[3:0]			
ICU	IPR6C	—	—	—	—	IPR[3:0]			
ICU	IPR6D	—	—	—	—	IPR[3:0]			
ICU	IPR6E	—	—	—	—	IPR[3:0]			
ICU	IPR6F	—	—	—	—	IPR[3:0]			
ICU	IPR80	—	—	—	—	IPR[3:0]			
ICU	IPR81	—	—	—	—	IPR[3:0]			
ICU	IPR82	—	—	—	—	IPR[3:0]			
ICU	IPR88	—	—	—	—	IPR[3:0]			
ICU	IPR89	—	—	—	—	IPR[3:0]			
ICU	IPR8A	—	—	—	—	IPR[3:0]			
ICU	IPR8B	—	—	—	—	IPR[3:0]			
ICU	IPR90	—	—	—	—	IPR[3:0]			

表5.2 I/O レジスタビット一覧 (9 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IRQCR0	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR1	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR2	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR3	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR4	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR5	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR6	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR7	—	—	—	—	IRQMD[1:0]		—	—
ICU	NMISR	—	—	—	—	—	OSTST	LVDST	NMIST
ICU	NMIER	—	—	—	—	—	OSTEN	LVDEN	NMIEN
ICU	NMICLR	—	—	—	—	—	OSTCLR	—	NMICLR
ICU	NMICR	—	—	—	—	NMIMD	—	—	—
CMT	CMSTR0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR1	STR0
CMT0	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT0	CMCNT								
CMT0	CMCOR								
CMT1	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT1	CMCNT								
CMT1	CMCOR								
CMT	CMSTR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR3	STR2
CMT2	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT2	CMCNT								
CMT2	CMCOR								
CMT3	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT3	CMCNT								
CMT3	CMCOR								
WDT	TCSR	—	TMS	TME	—	—	CKS[2:0]		
WDT	WINA								
WDT	TCNT								
WDT	WINB								
WDT	RSTCSR	WOVF	RSTE	—	—	—	—	—	—
IWDT	IWDTRR								
IWDT	IWDTCR	—	—	—	—	—	—	—	—
		CKS[3:0]				—	—	TOPS[1:0]	
IWDT	IWDTSR	—	UNDF	CNTVAL[13:0]			CNTVAL[13:0]		

表5.2 I/O レジスタビット一覧 (10 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
AD0	ADDRA (注1)	—	—	—	—	—	—		
AD0	ADDRB (注1)	—	—	—	—	—	—		
AD0	ADDRC (注1)	—	—	—	—	—	—		
AD0	ADDRD (注1)	—	—	—	—	—	—		
AD0	ADDRE (注1)	—	—	—	—	—	—		
AD0	ADDRF (注1)	—	—	—	—	—	—		
AD0	ADDRG (注1)	—	—	—	—	—	—		
AD0	ADDRH (注1)	—	—	—	—	—	—		
AD0	ADCSR	—	ADIE	ADST	—	CH[3:0]			
AD0	ADCR	—	—	—	—	CKS[1:0]	MODE[1:0]		
AD0	ADSSTR								
AD0	ADDIAGR	—	—	—	—	—	—	DIAG[1:0]	
AD0	ADDRI (注1)	—	—	—	—	—	—		
AD0	ADDRJ (注1)	—	—	—	—	—	—		
AD0	ADDRK (注1)	—	—	—	—	—	—		
AD0	ADDRL (注1)	—	—	—	—	—	—		
AD0	ADSTRGR	—	—	—	ADSTRS[4:0]				
AD0	ADDPR	DPSEL	—	—	—	—	—	—	DPPRC
SCI0	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI0	BRR								
SCI0	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI0	TDR								
SCI0	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI0	RDR								
SCI0	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI0	SEMR	—	—	NFEN	ABCS	—	—	—	—
SMCI0	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
SMCI0	BRR								
SMCI0	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SMCI0	TDR								
SMCI0	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
SMCI0	RDR								
SMCI0	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI1	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
SCI1	BRR								
SCI1	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
SCI1	TDR								
SCI1	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
SCI1	RDR								
SCI1	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF

表5.2 I/O レジスタビット一覧 (11 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCI1	SEMR	—	—	NFEN	ABCS	—	—	—	—	
SMCI1	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]		
SMCI1	BRR									
SMCI1	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SMCI1	TDR									
SMCI1	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
SMCI1	RDR									
SMCI1	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SCI2	SMR	CM	CHR	PE	PM	STOP	MP	CKS[1:0]		
SCI2	BRR									
SCI2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SCI2	TDR									
SCI2	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SCI2	RDR									
SCI2	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SCI2	SEMR	—	—	NFEN	ABCS	—	—	—	—	
SMCI2	SMR	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]		
SMCI2	BRR									
SMCI2	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
SMCI2	TDR									
SMCI2	SSR	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
SMCI2	RDR									
SMCI2	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
CRC	CRCCR	DORCLR	—	—	—	—	LMS	GPS[1:0]		
CRC	CRCDIR									
CRC	CRCDOR									
RIIC0	ICCR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI	
RIIC0	ICCR2	BBSY	MST	TRS	—	SP	RS	ST	—	
RIIC0	ICMR1	MTWP	CKS[2:0]			BCWP	BC[2:0]			
RIIC0	ICMR2	DLCS	SDDL[2:0]			TMWE	TMOH	TMOL	TMOS	
RIIC0	ICMR3	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]		
RIIC0	ICFER	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE	
RIIC0	ICSER	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E	
RIIC0	ICIER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE	
RIIC0	ICSR1	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0	
RIIC0	ICSR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF	
RIIC0	SARL0	SVA[6:0]							SVA0	
RIIC0	TMOCNTL									
RIIC0	SARU0	—	—	—	—	—	SVA[1:0]		FS	
RIIC0	TMOCNTU									
RIIC0	SARL1	SVA[6:0]							SVA0	
RIIC0	SARU1	—	—	—	—	—	SVA[1:0]		FS	
RIIC0	SARL2	SVA[6:0]							SVA0	
RIIC0	SARU2	—	—	—	—	—	SVA[1:0]		FS	
RIIC0	ICBRL	—	—	—	BRL[4:0]					
RIIC0	ICBRH	—	—	—	BRH[4:0]					
RIIC0	ICDRT									
RIIC0	ICDRR									

表5.2 I/O レジスタビット一覧 (12 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RSPi0	SPCR	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
RSPi0	SSLP	—	—	—	—	SSLP3	SSLP2	SSLP1	SSLP0
RSPi0	SPPCR	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
RSPi0	SPSR	SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF
RSPi0	SPDR	H[15:0]							
		H[15:0]							
		L[15:0]							
		L[15:0]							
RSPi0	SPSCR	—	—	—	—	—	SPSLN[2:0]		
RSPi0	SPSSR	—	SPECM[2:0]			—	SPCP[2:0]		
RSPi0	SPBR	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
RSPi0	SPDCR	—	—	SPLW	SPRDTD	SLSEL[1:0]		SPFC[1:0]	
RSPi0	SPCKD	—	—	—	—	—	SCKDL[2:0]		
RSPi0	SSLND	—	—	—	—	—	SLNDL[2:0]		
RSPi0	SPND	—	—	—	—	—	SPNDL[2:0]		
RSPi0	SPCR2	—	—	—	—	PTE	SPIIE	SPOE	SPPE
RSPi0	SPCMD0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD4	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD5	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD6	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
RSPi0	SPCMD7	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]	CPOL	CPHA	
S12AD0	ADCSR	ADST	ADCS[1:0]		ADIE	CKS[1:0]		TRGE	EXTRG
S12AD0	ADANS	—	—	CH[1:0]		—	PG002SEL	PG001SEL	PG000SEL
		—	—	—	—	—	PG002EN	PG001EN	PG000EN
S12AD0	ADPG	—	—	—	—	PG002GAIN[3:0]			
		PG001GAIN[3:0]			PG000GAIN[3:0]				
S12AD0	ADCER	ADRFMT	—	ADIEW	ADIE2	DIAGM	DIAGLD	DIAGVAL[1:0]	
		—	—	ACE	—	—	ADPRC[1:0]		SHBYP
S12AD0	ADSTRGR	—	—	—	ADSTRS1[4:0]				
		—	—	—	ADSTRS0[4:0]				
S12AD	ADCMPMD0	—	—	CEN102[1:0]		CEN101[1:0]		CEN100[1:0]	
		—	—	CEN002[1:0]		CEN001[1:0]		CEN000[1:0]	
S12AD	ADCMPMD1	—	VSELL1	VSELH1	CSEL1	—	VSELL0	VSELH0	CSEL0
		—	REFH[2:0]			—	REFL[2:0]		
S12AD	ADCMPNR0	—	—	—	—	C002NR[3:0]			
		C001NR[3:0]			C000NR[3:0]				
S12AD	ADCMPNR1	—	—	—	—	C102NR[3:0]			
		C101NR[3:0]			C100NR[3:0]				
S12AD	ADCMPFR	—	—	C102FLAG	C101FLAG	C100FLAG	C002FLAG	C001FLAG	C000FLAG

表5.2 I/O レジスタビット一覧 (13 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
S12AD	ADCMPESEL	—	—	—	—	—	—	POERQ	IE
		—	—	SEL102	SEL101	SEL100	SEL002	SEL001	SEL000
S12AD0	ADRD (注2)	DIAGST[1:0]		—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR0A (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR1 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR2 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR3 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADDR0B (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD0	ADSSTR								
S12AD1	ADCSR	ADST	ADCS[1:0]		ADIE	CKS[1:0]		TRGE	EXTRG
S12AD1	ADANS	—	—	CH[1:0]		—	PG102SEL	PG101SEL	PG100SEL
		—	—	—	—	—	PG102EN	PG101EN	PG100EN
S12AD1	ADPG	—	—	—	—	PG102GAIN[3:0]			
		PG101GAIN[3:0]				PG100GAIN[3:0]			
S12AD1	ADCER	ADRFMT	—	ADIEW	ADIE2	DIAGM	DIAGLD	DIAGVAL[1:0]	
		—	—	ACE	—	—	ADPRC[1:0]		SHBYP
S12AD1	ADSTRGR	—	—	—	ADSTRS1[4:0]				
		—	—	—	ADSTRS0[4:0]				
S12AD1	ADRD (注2)	DIAGST[1:0]		—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR0A (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR1 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR2 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR3 (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADDR0B (注2)	—	—	—	—	AD11	AD10	AD9	AD8
		AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
S12AD1	ADSSTR								
PORT1	DDR	—	—	—	—	—	—	B1	B0
PORT2	DDR	—	—	—	B4	B3	B2	B1	B0
PORT3	DDR	—	—	—	—	B3	B2	B1	B0
PORT7	DDR	—	B6	B5	B4	B3	B2	B1	B0
PORT8	DDR	—	—	—	—	—	B2	B1	B0
PORT9	DDR	—	B6	B5	B4	B3	B2	B1	B0
PORTA	DDR	—	—	B5	B4	B3	B2	B1	B0
PORTB	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTD	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PORTE	DDR	—	—	B5	B4	B3	—	B1	B0
PORTG	DDR	—	—	B5	B4	B3	B2	B1	B0
PORT1	DR	—	—	—	—	—	—	B1	B0
PORT2	DR	—	—	—	B4	B3	B2	B1	B0
PORT3	DR	—	—	—	—	B3	B2	B1	B0
PORT7	DR	—	B6	B5	B4	B3	B2	B1	B0

表5.2 I/O レジスタビット一覧 (14 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
PORT8	DR	—	—	—	—	—	B2	B1	B0		
PORT9	DR	—	B6	B5	B4	B3	B2	B1	B0		
PORTA	DR	—	—	B5	B4	B3	B2	B1	B0		
PORTB	DR	B7	B6	B5	B4	B3	B2	B1	B0		
PORTD	DR	B7	B6	B5	B4	B3	B2	B1	B0		
PORTE	DR	—	—	B5	B4	B3	—	B1	B0		
PORTG	DR	—	—	B5	B4	B3	B2	B1	B0		
PORT1	PORT	—	—	—	—	—	—	B1	B0		
PORT2	PORT	—	—	—	B4	B3	B2	B1	B0		
PORT3	PORT	—	—	—	—	B3	B2	B1	B0		
PORT4	PORT	B7	B6	B5	B4	B3	B2	B1	B0		
PORT5	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORT6	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORT7	PORT	—	B6	B5	B4	B3	B2	B1	B0		
PORT8	PORT	—	—	—	—	—	B2	B1	B0		
PORT9	PORT	—	B6	B5	B4	B3	B2	B1	B0		
PORTA	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORTB	PORT	B7	B6	B5	B4	B3	B2	B1	B0		
PORTD	PORT	B7	B6	B5	B4	B3	B2	B1	B0		
PORTE	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORTG	PORT	—	—	B5	B4	B3	B2	B1	B0		
PORT1	ICR	—	—	—	—	—	—	B1	B0		
PORT2	ICR	—	—	—	B4	B3	B2	B1	B0		
PORT3	ICR	—	—	—	—	B3	B2	B1	B0		
PORT4	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PORT5	ICR	—	—	B5	B4	B3	B2	B1	B0		
PORT6	ICR	—	—	B5	B4	B3	B2	B1	B0		
PORT7	ICR	—	B6	B5	B4	B3	B2	B1	B0		
PORT8	ICR	—	—	—	—	—	B2	B1	B0		
PORT9	ICR	—	B6	B5	B4	B3	B2	B1	B0		
PORTA	ICR	—	—	B5	B4	B3	B2	B1	B0		
PORTB	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PORTD	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PORTE	ICR	—	—	B5	B4	B3	—	B1	B0		
PORTG	ICR	—	—	B5	B4	B3	B2	B1	B0		
IOPORT	PF8IRQ	—	—	—	—	ITS1[1:0]		ITS0[1:0]			
IOPORT	PF9IRQ	—	—	—	—	—	ITS2	—	—		
IOPORT	PFAADC	—	—	—	—	—	—	ADTRG1S	ADTRG0S		
IOPORT	PFCMTU	TCLKS[1:0]		—	—	—	—	MTUS1	MTUS0		
IOPORT	PFDGPT	—	—	—	—	—	—	—	GPTS		
IOPORT	PFFSCI	—	—	—	—	—	SCI2S	—	—		
IOPORT	PFGSPI	SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	—		
IOPORT	PFHSPI	—	—	—	—	—	—	RSPIS[1:0]			
IOPORT	PFJCAN	CANS[1:0]		—	—	—	—	—	CANE		
IOPORT	PFKLIN	—	—	—	—	—	—	—	LINE		
IOPORT	PFMPOE	—	—	—	POE11E	POE10E	POE8E	POE4E	POE0E		
IOPORT	PFNPOE	POE10S	—	—	—	—	—	—	—		
SYSTEM	DPSBYCR	DPSBY	IOKEEP	—	—	—	—	—	—		
SYSTEM	DPSWCR	—	—	WTSTS[5:0]						—	—
SYSTEM	DPSIER	DNMIE	—	—	DLVDE	—	—	DIRQ1E	DIRQ0E		
SYSTEM	DPSIFR	DNMIF	—	—	DLVDF	—	—	DIRQ1F	DIRQ0F		
SYSTEM	DPSIEGR	DNMIEG	—	—	—	—	—	DIRQ1EG	DIRQ0EG		

表5.2 I/O レジスタビット一覧 (15 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SYSTEM	RSTSR	DPSRSTF	—	—	—	—	LVD2F	LVD1F	PORF
FLASH	FWEPOR	—	—	—	—	—	—	FLWE[1:0]	
SYSTEM	LVDKEYR								
SYSTEM	LVDCR	LVD2E	LVD2RI	—	—	LVD1E	LVD1RI	—	—
SYSTEM	DPSBKR0								
SYSTEM	DPSBKR1								
SYSTEM	DPSBKR2								
SYSTEM	DPSBKR3								
SYSTEM	DPSBKR4								
SYSTEM	DPSBKR5								
SYSTEM	DPSBKR6								
SYSTEM	DPSBKR7								
SYSTEM	DPSBKR8								
SYSTEM	DPSBKR9								
SYSTEM	DPSBKR10								
SYSTEM	DPSBKR11								
SYSTEM	DPSBKR12								
SYSTEM	DPSBKR13								
SYSTEM	DPSBKR14								
SYSTEM	DPSBKR15								
SYSTEM	DPSBKR16								
SYSTEM	DPSBKR17								
SYSTEM	DPSBKR18								
SYSTEM	DPSBKR19								
SYSTEM	DPSBKR20								
SYSTEM	DPSBKR21								
SYSTEM	DPSBKR22								
SYSTEM	DPSBKR23								
SYSTEM	DPSBKR24								
SYSTEM	DPSBKR25								
SYSTEM	DPSBKR26								
SYSTEM	DPSBKR27								
SYSTEM	DPSBKR28								
SYSTEM	DPSBKR29								
SYSTEM	DPSBKR30								
SYSTEM	DPSBKR31								
POE	ICSR1	—	—	—	POE0F	—	—	—	PIE1
		—	—	—	—	—	—	POE0M[1:0]	
POE	OCSR1	OSF1	—	—	—	—	—	OCE1	OIE1
		—	—	—	—	—	—	—	—
POE	ICSR2	—	—	—	POE4F	—	—	—	PIE2
		—	—	—	—	—	—	POE4M[1:0]	
POE	OCSR2	OSF2	—	—	—	—	—	OCE2	OIE2
		—	—	—	—	—	—	—	—
POE	ICSR3	—	—	—	POE8F	—	—	POE8E	PIE3
		—	—	—	—	—	—	POE8M[1:0]	
POE	SPOER	—	—	—	GPT23HIZ	GPT01HIZ	MTUCH0HIZ	MTUCH67HIZ	MTUCH34HIZ
POE	POECR1	—	—	—	—	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE
POE	POECR2	—	—	—	—	—	MTU3BDZE	MTU4ACZE	MTU4BDZE
		—	—	—	—	—	—	MTU6BDZE	MTU7ACZE
POE	POECR3	—	—	—	—	—	—	GPT3ABZE	GPT2ABZE
		—	—	—	—	—	—	—	GPT1ABZE

表5.2 I/O レジスタビット一覧 (16 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
POE	POECR4	—	—	IC5ADDMT67ZE	IC4ADDMT67ZE	IC3ADDMT67ZE	—	IC1ADDMT67ZE	CMADDMT67ZE	
		—	—	IC5ADDMT34ZE	IC4ADDMT34ZE	IC3ADDMT34ZE	IC2ADDMT34ZE	—	CMADDMT34ZE	
POE	POECR5	—	—	—	—	—	—	—	—	
		—	—	IC5ADDMT0ZE	IC4ADDMT0ZE	—	IC2ADDMT0ZE	IC1ADDMT0ZE	CMADDMT0ZE	
POE	POECR6	—	—	—	IC4ADDGPT23ZE	IC3ADDGPT23ZE	IC2ADDGPT23ZE	IC1ADDGPT23ZE	CMADDGPT23ZE	
		—	—	IC5ADDGPT01ZE	—	IC3ADDGPT01ZE	IC2ADDGPT01ZE	IC1ADDGPT01ZE	CMADDGPT01ZE	
POE	ICSR4	—	—	—	POE10F	—	—	POE10E	PIE4	
		—	—	—	—	—	—	POE10M[1:0]		
POE	ALR1	—	—	—	—	—	—	—	—	
		OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A	
POE	ICSR5	—	—	—	POE11F	—	—	POE11E	PIE5	
		—	—	—	—	—	—	POE11M[1:0]		
CAN0 (注3)	MB.ID	IDE	RTR	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
	MB.DLC	—	—	—	—	—	—	—	—	
	—						DLC[3:0]			
	MB.DATA0~7	—								
MB.TS	TSH[7:0]									
	TSL[7:0]									
CAN0 (注3)	MKR0	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR1	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR2	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR3	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR4	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR5	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								
CAN0 (注3)	MKR6	—	—	—	SID[10:0]					
		SID[10:0]			EID[17:0]					
		EID[17:0]						EID[17:0]		
		EID[17:0]								

表5.2 I/O レジスタビット一覧 (17 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
CAN0 (注3)	MKR7	—	—	—	SID[10:0]					
		SID[10:0]					EID[17:0]			
		EID[17:0]					EID[17:0]			
		EID[17:0]					EID[17:0]			
CAN0 (注3)	FIDCR0	IDE	RTR	—	SID[10:0]					
		SID[10:0]					EID[17:0]			
		EID[17:0]					EID[17:0]			
		EID[17:0]					EID[17:0]			
CAN0 (注3)	FIDCR1	IDE	RTR	—	SID[10:0]					
		SID[10:0]					EID[17:0]			
		EID[17:0]					EID[17:0]			
		EID[17:0]					EID[17:0]			
CAN0 (注3)	MKIVLR									
CAN0 (注3)	MIER	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
CAN0 (注3)	MCTL.TX	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA	
	MCTL.RX	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALIDDATA	NEWDATA	
CAN0 (注3)	CTRL	—	—	RBOC	BOM[1:0]		SLPM	CANM[1:0]		
		TSPS[1:0]		TSRC	TPM	MLM	IDFM[1:0]		MBM	
CAN0 (注3)	STR	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	
		EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST	
CAN0 (注3)	BCR	TSEG1[3:0]				—	—	BRP[9:0]		
		BRP[9:0]					BRP[9:0]			
		—	—	SJW[1:0]		—	TSEG2[2:0]			
		—	—	—	—	—	—	—	—	—
CAN0 (注3)	RFMR	RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]			RFE	
CAN0 (注3)	RFPCR	—	—	—	—	—	—	—	—	
CAN0 (注3)	TFMR	TFEST	TFWST	—	—	TFUST[2:0]			TFE	
CAN0 (注3)	TFPCR	—	—	—	—	—	—	—	—	
CAN0 (注3)	EIER	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE	
CAN0 (注3)	EIFR	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF	
CAN0 (注3)	RECR	—	—	—	—	—	—	—	—	
CAN0 (注3)	TECR	—	—	—	—	—	—	—	—	
CAN0 (注3)	ECSR	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF	
CAN0 (注3)	CSSR	—	—	—	—	—	—	—	—	
CAN0 (注3)	MSSR	SEST	—	—	MBNST[4:0]					
CAN0 (注3)	MSMR	—	—	—	—	—	—	MBSM[1:0]		
CAN0 (注3)	TSR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
CAN0 (注3)	AFSR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
CAN0 (注3)	TCR	—	—	—	—	—	TSTM[1:0]		TSTE	
LIN0	LWBR	—	—	—	—	—	—	—	LWBR0	
LIN0	LBRP0									
LIN0	LBRP1									
LIN0	LSTC								LSTM	

表5.2 I/O レジスタビット一覧 (18 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
LINO	LOMD	—	—	—	—	LCKS[1:0]		—	—
LINO	LOBRK	—	—	BDT[1:0]		BLT[3:0]			
LINO	LOSPC	—	—	IBS[1:0]		—	IBSH[2:0]		
LINO	LOWUP	WUTL[3:0]				—	—	—	—
LINO	LOIE	—	—	—	—	—	ERRIE	FRCIE	FTCIE
LINO	LOEDE	—	—	—	—	FERE	FTERE	PBERE	BERE
LINO	LOC	—	—	—	—	—	—	OM1	OM0
LINO	LOTTC	—	—	—	—	—	—	RTS	FTS
LINO	LOMST	—	—	—	—	—	—	OMM1	OMM0
LINO	LOST	HTRC	D1RC	—	—	ERR	—	FRC	FTC
LINO	LOEST	—	—	CSER	—	FER	FTER	PBER	BER
LINO	LORFC	—	FSM	CSM	RFT	RFDL[3:0]			
LINO	LOIDB	IDP			ID				
LINO	LOCBR								
LINO	LODB1								
LINO	LODB2								
LINO	LODB3								
LINO	LODB4								
LINO	LODB5								
LINO	LODB6								
LINO	LODB7								
LINO	LODB8								
MTU3	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU4	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU3	TMDR1	—	—	BFB	BFA	MD[3:0]			
MTU4	TMDR1	—	—	BFB	BFA	MD[3:0]			
MTU3	TIORH	IOB[3:0]				IOA[3:0]			
MTU3	TIORL	IOD[3:0]				IOC[3:0]			
MTU4	TIORH	IOB[3:0]				IOA[3:0]			
MTU4	TIORL	IOD[3:0]				IOC[3:0]			
MTU3	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU4	TIER	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU	TOERA	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
MTU	TGCRA	—	BDC	N	P	FB	WF	VF	UF
MTU	TOCR1A	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
MTU	TOCR2A	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU3	TCNT								
MTU4	TCNT								
MTU	TCDRA								
MTU	TDDRA								
MTU3	TGRA								
MTU3	TGRB								
MTU4	TGRA								

表5.2 I/O レジスタビット一覧 (19 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU4	TGRB								
MTU	TCNTSA								
MTU	TCBRA								
MTU3	TGRC								
MTU3	TGRD								
MTU4	TGRC								
MTU4	TGRD								
MTU3	TSR	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
MTU4	TSR	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
MTU	TITCR1A	T3AEN	T3ACOR[2:0]			T4VEN	T4VCOR[2:0]		
MTU	TITCNT1A	—	T3ACNT[2:0]			—	T4VCNT[2:0]		
MTU	TBTERA	—	—	—	—	—	—	BTE[1:0]	
MTU	TDERA	—	—	—	—	—	—	—	TDER
MTU	TOLBRA	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU3	TBTM	—	—	—	—	—	—	TTSB	TTSA
MTU4	TBTM	—	—	—	—	—	—	TTSB	TTSA
MTU	TITMRA	—	—	—	—	—	—	—	TITM
MTU	TITCR2A	—	—	—	—	—	TRG4COR[2:0]		
MTU	TITCNT2A	—	—	—	—	—	TRG4CNT[2:0]		
MTU4	TADCR	BF[1:0]		—	—	—	—	—	—
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
MTU4	TADCORA								
MTU4	TADCORB								
MTU4	TADCOBRA								
MTU4	TADCOBRB								
MTU	TWCRA	CCE	—	—	—	—	—	—	WRE
MTU	TMDR2A	—	—	—	—	—	—	—	DRS
MTU3	TGRE								
MTU4	TGRE								
MTU4	TGRF								
MTU	TSTRA	CST4	CST3	—	—	—	CST2	CST1	CST0
MTU	TSYRA	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
MTU	TCSYSTR	SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH6	SCH7
MTU	TRWERA	—	—	—	—	—	—	—	RWE
MTU0	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
MTU0	TMDR1	—	BFE	BFB	BFA	MD[3:0]			
MTU0	TIORH	IOB[3:0]				IOA[3:0]			

表5.2 I/O レジスタビット一覧 (20 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU0	TIORL	IOD[3:0]				IOC[3:0]				
MTU0	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
MTU0	TSR	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
MTU0	TCNT									
MTU0	TGRA									
MTU0	TGRB									
MTU0	TGRC									
MTU0	TGRD									
MTU0	TGRE									
MTU0	TGRF									
MTU0	TIER2	TTGE2	—	—	—	—	—	TGIEF	TGIEE	
MTU0	TSR2	—	—	—	—	—	—	TGFF	TGFE	
MTU0	TBTM	—	—	—	—	—	TTSE	TTSB	TTSA	
MTU1	TCR	—	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
MTU1	TMDR1	—	—	—	—	MD[3:0]				
MTU1	TIOR	IOB[3:0]				IOA[3:0]				
MTU1	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
MTU1	TSR	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
MTU1	TCNT									
MTU1	TGRA									
MTU1	TGRB									
MTU1	TICCR	—	—	—	—	I2BE	I2AE	I1BE	I1AE	
MTU2	TCR	—	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]			
MTU2	TMDR1	—	—	—	—	MD[3:0]				
MTU2	TIOR	IOB[3:0]				IOA[3:0]				
MTU2	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
MTU2	TSR	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
MTU2	TCNT									
MTU2	TGRA									
MTU2	TGRB									
MTU6	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
MTU7	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
MTU6	TMDR1	—	—	BFB	BFA	MD[3:0]				
MTU7	TMDR1	—	—	BFB	BFA	MD[3:0]				
MTU6	TIORH	IOB[3:0]				IOA[3:0]				
MTU6	TIORL	IOD[3:0]				IOC[3:0]				
MTU7	TIORH	IOB[3:0]				IOA[3:0]				
MTU7	TIORL	IOD[3:0]				IOC[3:0]				

表5.2 I/O レジスタビット一覧 (21 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU6	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU7	TIER	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
MTU	TOERB	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
MTU	TOCR1B	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
MTU	TOCR2B	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU6	TCNT								
MTU7	TCNT								
MTU	TCDRB								
MTU	TDDRB								
MTU6	TGRA								
MTU6	TGRB								
MTU7	TGRA								
MTU7	TGRB								
MTU	TCNTSB								
MTU	TCBRB								
MTU6	TGRC								
MTU6	TGRD								
MTU7	TGRC								
MTU7	TGRD								
MTU6	TSR	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
MTU7	TSR	TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
MTU	TITCR1B	T6AEN	T6ACOR[2:0]			T7VEN	T7VCOR[2:0]		
MTU	TITCNT1B	—	T6ACNT[2:0]			—	T7VCNT[2:0]		
MTU	TBTERB	—	—	—	—	—	—	BTE[1:0]	—
MTU	TDERB	—	—	—	—	—	—	—	TDER
MTU	TOLBRB	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
MTU6	TBTM	—	—	—	—	—	—	TTSB	T TSA
MTU7	TBTM	—	—	—	—	—	—	TTSB	T TSA
MTU	TITMRB	—	—	—	—	—	—	—	TITM
MTU	TITCR2B	—	—	—	—	—	TRG7COR[2:0]		
MTU	TITCNT2B	—	—	—	—	—	TRG7CNT[2:0]		
MTU7	TADCR	BF[1:0]		—	—	—	—	—	—
		UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
MTU7	TADCORA								
MTU7	TADCORB								

表5.2 I/O レジスタビット一覧 (22 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU7	TADCOBRA								
MTU7	TADCOBRB								
MTU6	TSYCR	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
MTU	TWCRB	CCE	—	—	—	—	—	SCC	WRE
MTU	TMDR2B	—	—	—	—	—	—	—	DRS
MTU6	TGRE								
MTU7	TGRE								
MTU7	TGRF								
MTU	TSTRB	CST7	CST6	—	—	—	—	—	—
MTU	TSYRB	SYNC7	SYNC6	—	—	—	—	—	—
MTU	TRWERB	—	—	—	—	—	—	—	RWE
MTU5	TCNTU								
MTU5	TGRU								
MTU5	TCRU	—	—	—	—	—	—	TPSC[1:0]	
MTU5	TIORU	—	—	—	IOC[4:0]				
MTU5	TCNTV								
MTU5	TGRV								
MTU5	TCRV	—	—	—	—	—	—	TPSC[1:0]	
MTU5	TIORV	—	—	—	IOC[4:0]				
MTU5	TCNTW								
MTU5	TGRW								
MTU5	TCRW	—	—	—	—	—	—	TPSC[1:0]	
MTU5	TIORW	—	—	—	IOC[4:0]				
MTU5	TSR	—	—	—	—	—	CMFU5	CMFV5	CMFW5
MTU5	TIER	—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
MTU5	TSTR	—	—	—	—	—	CSTU5	CSTV5	CSTW5
MTU5	TCNTCMPCLR	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
GPT	GTSTR	—	—	—	—	—	—	—	—
		—	—	—	—	CST3	CST2	CST1	CST0
GPT	GTHSCR	CPHW3[1:0]		CPHW2[1:0]		CPHW1[1:0]		CPHW0[1:0]	
		CSHW3[1:0]		CSHW2[1:0]		CSHW1[1:0]		CSHW0[1:0]	
GPT	GTHCCR	—	—	—	—	CCSW3	CCSW2	CCSW1	CCSW0
		CCHW3[1:0]		CCHW2[1:0]		CCHW1[1:0]		CCHW0[1:0]	
GPT	GTHSSR	CSHSL3[3:0]				CSHSL2[3:0]			
		CSHSL1[3:0]				CSHSL0[3:0]			
GPT	GTHPSR	CSHPL3[3:0]				CSHPL2[3:0]			
		CSHPL1[3:0]				CSHPL0[3:0]			
GPT	GTWP	—	—	—	—	—	—	—	—
		—	—	—	—	WP3	WP2	WP1	WP0
GPT	GTSYNC	—	—	SYNC3[1:0]		—	—	SYNC2[1:0]	
		—	—	SYNC1[1:0]		—	—	SYNC0[1:0]	

表5.2 I/O レジスタビット一覧 (23 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
GPT	GTETINT	—	—	—	—	—	—	ETINF	ETIPF
		—	—	—	—	—	—	ETINEN	ETIPEN
GPT	GTBDR	BD33	BD32	BD31	BD30	BD23	BD22	BD21	BD20
		BD13	BD12	BD11	BD10	BD03	BD02	BD01	BD00
GPT	GTSWP	—	—	—	—	—	—	—	—
		—	—	—	—	SWP3	SWP2	SWP1	SWP0
GPT	LCCR	LPSC[1:0]		TPSC[1:0]		LCNTAT	LCTO[2:0]		
		—	LCINTO	LCINTD	LCINTC	—	LCNTS	LCNTCR	LCNTE
GPT	LCST	—	—	—	—	—	—	—	—
		—	—	—	—	—	LISO	LISD	LISC
GPT	LCNT								
GPT	LCNTA								
GPT	LCNT00								
GPT	LCNT01								
GPT	LCNT02								
GPT	LCNT03								
GPT	LCNT04								
GPT	LCNT05								
GPT	LCNT06								
GPT	LCNT07								
GPT	LCNT08								
GPT	LCNT09								
GPT	LCNT10								
GPT	LCNT11								
GPT	LCNT12								
GPT	LCNT13								
GPT	LCNT14								
GPT	LCNT15								
GPT	LCNTDU								
GPT	LCNTDL								
GPT0	GTIOR	OBHLD	OBDFLT	GTIOB[5:0]					
		OAHL D	OADFLT	GTIOA[5:0]					

表5.2 I/O レジスタビット一覧 (24 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
GPT0	GTINTAD	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—
		GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA
GPT0	GTCR	—	—	CCLR[1:0]		—	—	TPCS[1:0]	
		—	—	—	—	—	MD[2:0]		
GPT0	GTBER	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]	
		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
GPT0	GTUDC	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	UDF	UD
GPT0	GTITC	—	ADTBL	—	ADTAL	—	IVTT[2:0]		
		IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
GPT0	GTST	TUCF	—	—	—	DTEF	ITCNT[2:0]		
		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
GPT0	GT CNT								
GPT0	GTCCRA								
GPT0	GTCCRB								
GPT0	GTCCRC								
GPT0	GTCCRD								
GPT0	GTCCRE								
GPT0	GTCCRF								
GPT0	GT PR								
GPT0	GT PBR								
GPT0	GT PDBR								
GPT0	GTADTRA								
GPT0	GTADTBRA								
GPT0	GTADTDBRA								
GPT0	GTADTRB								
GPT0	GTADTBRB								
GPT0	GTADTDBRB								
GPT0	GTONCR	OBE	OAE	—	SWN	—	—	—	NFV
		NFS[3:0]			—	—	NVB	NVA	NEB
GPT0	GTDTCR	—	—	—	—	—	—	—	TDFER
		—	—	TDBDE	TDBUE	—	—	—	TDE
GPT0	GTDVU								

表5.2 I/O レジスタビット一覧 (25 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
GPT0	GTDVD									
GPT0	GTDBU									
GPT0	GTDBD									
GPT0	GTSOS	—	—	—	—	—	—	—	—	
GPT0	GTSOTR	—	—	—	—	—	—	—	—	
GPT1	GTIOR	OBHLD	OBDFLT	GTIOB[5:0]						
		OAHLD	OADFLT	GTIOA[5:0]						
GPT1	GTINTAD	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—	
		GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA	
GPT1	GTCR	—	—	CCLR[1:0]		—	—	TPCS[1:0]		
		—	—	—	—	—	MD[2:0]			
GPT1	GTBER	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		
		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]		
GPT1	GTUDC	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	UDF	UD	
GPT1	GTITC	—	ADTBL	—	ADTAL	—	IVTT[2:0]			
		IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA	
GPT1	GTST	TUCF	—	—	—	DTEF	ITCNT[2:0]			
		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	
GPT1	GT CNT									
GPT1	GTCCRA									
GPT1	GTCCRB									
GPT1	GTCCRC									
GPT1	GTCCRD									
GPT1	GTCCRE									
GPT1	GTCCRF									
GPT1	GTPR									
GPT1	GTPBR									
GPT1	GTPDBR									
GPT1	GTADTRA									
GPT1	GTADTBRA									
GPT1	GTADTDBRA									

表5.2 I/O レジスタビット一覧 (26 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
GPT1	GTADTRB										
GPT1	GTADTBRB										
GPT1	GTADTDBRB										
GPT1	GTONCR	OBE	OAE	—	SWN	—	—	—	NFV		
		NFS[3:0]				NVB	NVA	NEB	NEA		
GPT1	GTDTCR	—	—	—	—	—	—	—	TDFER		
		—	—	TDBDE	TDBUE	—	—	—	TDE		
GPT1	GTDVU										
GPT1	GTDVD										
GPT1	GTDBU										
GPT1	GTDBD										
GPT1	GTSOS	—	—	—	—	—	—	—	—		
		—	—	—	—	—	—	SOS[1:0]			
GPT1	GTSOTR	—	—	—	—	—	—	—	—		
		—	—	—	—	—	—	—	SOTR		
GPT2	GTIOR	OBHLD	OBDFLT	GTIOB[5:0]							
		OAHLD	OADFLT	GTIOA[5:0]							
GPT2	GTINTAD	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—		
		GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA		
GPT2	GTCR	—	—	CCLR[1:0]		—	—	TPCS[1:0]			
		—	—	—	—	—	MD[2:0]				
GPT2	GTBER	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]			
		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]			
GPT2	GTUDC	—	—	—	—	—	—	—	—		
		—	—	—	—	—	—	UDF	UD		
GPT2	GTITC	—	ADTBL	—	ADTAL	—	IVTT[2:0]				
		IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA		
GPT2	GTST	TUCF	—	—	—	DTEF	ITCNT[2:0]				
		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA		
GPT2	GCNT										
GPT2	GTCRA										
GPT2	GTCCRB										
GPT2	GTCCRC										
GPT2	GTCCRD										
GPT2	GTCCRE										
GPT2	GTCCRF										

表5.2 I/O レジスタビット一覧 (27 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
GPT2	GTPR								
GPT2	GTPBR								
GPT2	GTPDBR								
GPT2	GTADTRA								
GPT2	GTADTBRA								
GPT2	GTADTDBRA								
GPT2	GTADTRB								
GPT2	GTADTBRB								
GPT2	GTADTDBRB								
GPT2	GTONCR	OBE	OAE	—	SWN	—	—	—	NFV
		NFS[3:0]				NVB	NVA	NEB	NEA
GPT2	GTDTCR	—	—	—	—	—	—	—	TDFER
		—	—	TDBDE	TDBUE	—	—	—	TDE
GPT2	GTDVU								
GPT2	GTDVD								
GPT2	GTDBU								
GPT2	GTDBD								
GPT2	GTSOS	—	—	—	—	—	—	—	—
		—	—	—	—	—	SOS[1:0]		—
GPT2	GTSOTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	SOTR
GPT3	GTIOR	OBHLD	OBDFLT	GTIOB[5:0]					
		OAHLD	OADFLT	GTIOA[5:0]					
GPT3	GTINTAD	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN	EINT	—	—	—
		GTINTPR[1:0]		GTINTF	GTINTE	GTINTD	GTINTC	GTINTB	GTINTA
GPT3	GTCCR	—	—	CCLR[1:0]		—	—	TPCS[1:0]	
		—	—	—	—	—	MD[2:0]		
GPT3	GTBER	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]	
		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
GPT3	GTUDC	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	UDF	UD
GPT3	GTITC	—	ADTBL	—	ADTAL	—	IVTT[2:0]		
		IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
GPT3	GTST	TUCF	—	—	—	DTEF	ITCNT[2:0]		
		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
GPT3	GTCNT								

表5.2 I/O レジスタビット一覧 (28 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
GPT3	GTCCRA								
GPT3	GTCCRB								
GPT3	GTCCRC								
GPT3	GTCCRD								
GPT3	GTCCRE								
GPT3	GTCCRF								
GPT3	GTPR								
GPT3	GTPBR								
GPT3	GTPDBR								
GPT3	GTADTRA								
GPT3	GTADTBRA								
GPT3	GTADTDBRA								
GPT3	GTADTRB								
GPT3	GTADTBRB								
GPT3	GTADTDBRB								
GPT3	GTONCR	OBE	OAE	—	SWN	—	—	—	NFV
		NFS[3:0]				NVB	NVA	NEB	NEA
GPT3	GTDCR	—	—	—	—	—	—	—	TDFER
		—	—	TDBDE	TDBUE	—	—	—	TDE
GPT3	GTDVU								
GPT3	GTDVD								
GPT3	GTDBU								
GPT3	GTDBD	—	—	—	—	—	—	—	—
		—	—	—	—	—	SOS[1:0]		—
GPT3	GTSOS	—	—	—	—	—	—	—	—
		—	—	—	—	—	SOS[1:0]		—
GPT3	GTSOTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	SOTR
GPT0	GTDLYCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	DLYEN	DLYRST	DLLEN
GPT1	GTDLYCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	DLYEN	DLYRST	DLLEN

表5.2 I/O レジスタビット一覧 (29 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
GPT2	GTDLYCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	DLYEN	DLYRST	DLLEN
GPT3	GTDLYCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	DLYEN	DLYRST	DLLEN
GPT0	GTDLYRA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT0	GTDLYRB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT1	GTDLYRA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT1	GTDLYRB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT2	GTDLYRA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT2	GTDLYRB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT3	GTDLYRA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT3	GTDLYRB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT0	GTDLYFA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT0	GTDLYFB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT1	GTDLYFA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT1	GTDLYFB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT2	GTDLYFA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT2	GTDLYFB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT3	GTDLYFA	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
GPT3	GTDLYFB	—	—	—	—	—	—	—	—
		—	—	—	DLY[4:0]				
FLASH	FMODR	—	—	—	FRDMD	—	—	—	—
FLASH	FASTAT	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
FLASH	FAEINT	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
FLASH	FRDYIE	—	—	—	—	—	—	—	FRDYIE
FLASH	DFLRE0	KEY[7:0]							
		DBRE07	DBRE06	DBRE05	DBRE04	DBRE03	DBRE02	DBRE01	DBRE00
FLASH	DFLRE1	KEY[7:0]							
		DBRE15	DBRE14	DBRE13	DBRE12	DBRE11	DBRE10	DBRE09	DBRE08
FLASH	DFLWE0	KEY[7:0]							
		DBWE07	DBWE06	DBWE05	DBWE04	DBWE03	DBWE02	DBWE01	DBWE00
FLASH	DFLWE1	KEY[7:0]							
		DBWE15	DBWE14	DBWE13	DBWE12	DBWE11	DBWE10	DBWE09	DBWE08
FLASH	FCURAME	—	—	—	—	—	—	—	FCRME
FLASH	FSTATR0	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD

表5.2 I/O レジスタビット一覧 (30 / 30)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FLASH	FSTATR1	FCUERR	—	—	FLOCKST	—	—	—	—
FLASH	FENTRYR	FEKEY[7:0]							
		FENTRYD	—	—	—	—	—	—	FENTRY0
FLASH	FPROTR	FPKEY[7:0]							
		—	—	—	—	—	—	—	FPROTCN
FLASH	FRESETR	FRKEY[7:0]							
		—	—	—	—	—	—	—	FRESET
FLASH	FCMDR	CMDR[7:0]							
		PCMDR[7:0]							
FLASH	FCPSR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	ESUSPMD
FLASH	DFLBCCNT	—	—	—	—	—	BCADR[7:0]		
		BCADR[7:0]						—	—
FLASH	FPESTAT	—	—	—	—	—	—	—	—
		PEERRST[7:0]							
FLASH	DFLBCSTAT	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	BCST
FLASH	PCKAR	—	—	—	—	—	—	—	—
		PCKA[7:0]							

注. 本節はI/Oポート関連のレジスタ (0008 C001h~0008 C116h) において、112ピンLQFP版のビット構成を記載しています。パッケージによりレジスタ、ビット構成が異なりますので、その他のパッケージ品のレジスタ、ビット構成については「15. I/Oポート」を参照してください。

注1. ADDPR.DPSELビット=0、ADDPR.DPPRCビット=0 (データは10ビット精度で、LSB詰め) の場合のビット構成です。詳細は「29. 10ビットA/Dコンバータ (ADA)」を参照してください。

注2. ADCER.ADRFMTビット=0 (右詰め) かつADCER.ADPRC[1:0]ビット=00bの場合のビット構成です。詳細は「28. 12ビットA/Dコンバータ (S12ADA)」を参照してください。

注3. CAN機能なし版では対応していません。

6. リセット

6.1 概要

リセットには、端子リセット、パワーオンリセット、電圧監視リセット、ディープソフトウェアスタンバイリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセットがあります。表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇、VCCの下降（監視電圧：V _{POR} ）
電圧監視リセット	VCCの下降（監視電圧：V _{det1} 、V _{det2} ）（注1）
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー
ウォッチドッグタイマリセット	ウォッチドッグタイマのオーバフロー

注1. 監視電圧（V_{det1}、V_{det2}、V_{POR}）については、「7. 電圧検出回路（LVD）」および「33. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。図 6.1 に各リセットによって初期化される対象を示します。

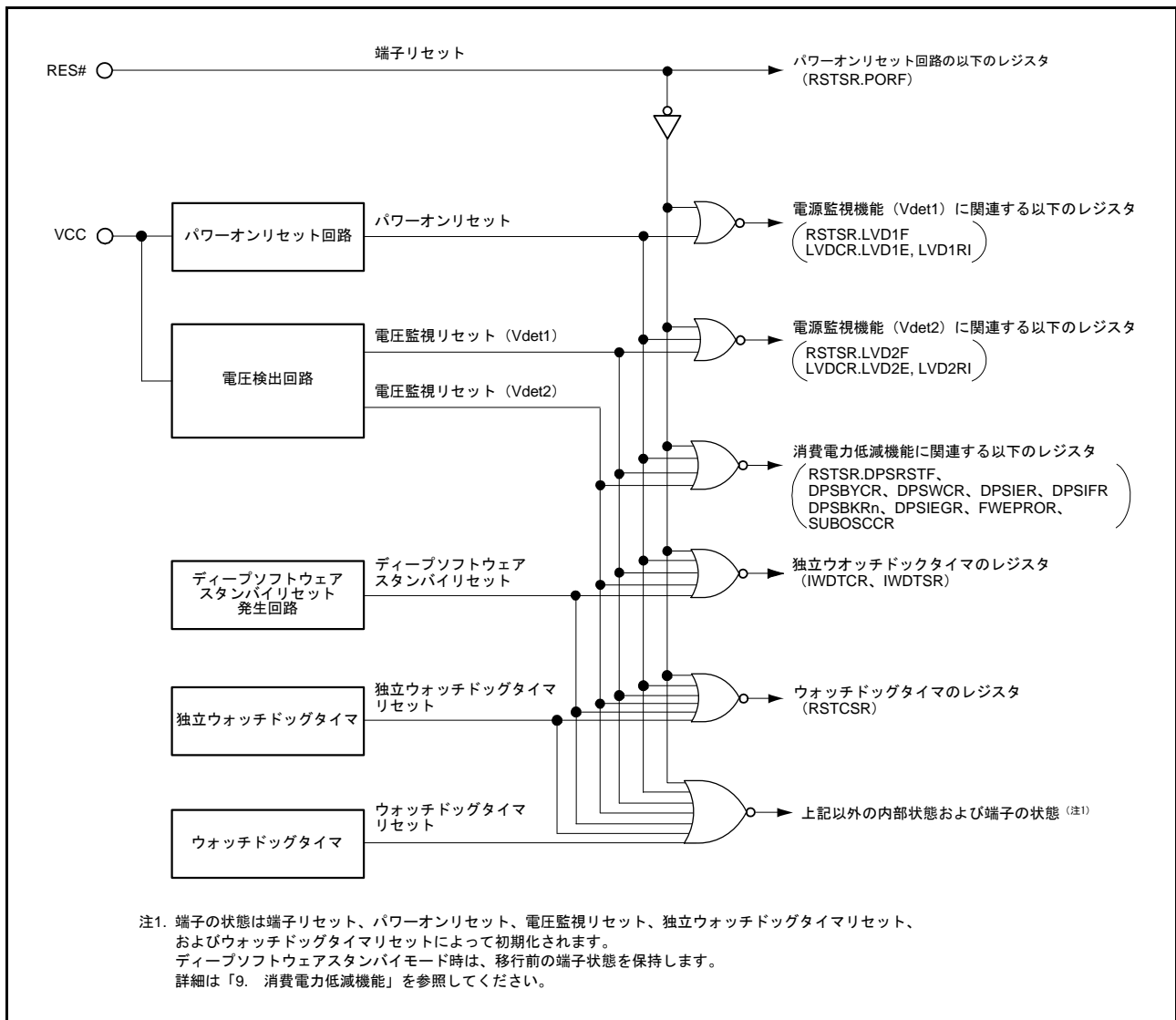


図 6.1 リセット回路のブロック図

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット種別						
	端子 リセット	パワーオン リセット	電圧監視 リセット		ディープソフトウェア スタンバイリセット	独立ウォッチドッグ タイマリセット	ウォッチドッグ タイマリセット
			Vdet1	Vdet2			
パワーオンリセット回路のレジスタ RSTSR.PORF	○	—	—	—	—	—	—
電圧監視機能 (Vdet1) 関連レジスタ RSTSR.LVD1F、 LVDCR.LVD1E、LVD1RI	○	○	—	—	—	—	—
電圧監視機能 (Vdet2) 関連レジスタ RSTSR.LVD2F、 LVDCR.LVD2E、LVD2RI	○	○	○	—	—	—	—
消費電力低減機能関連レジスタ RSTSR.DPSRSTF、DPSBYCR、 DPSWCR、DPSIER、DPSIFR、 DPSBKRn、DPSIEGR、FWEPROR、 SUBOSCCR	○	○	○	○	—	—	—
独立ウォッチドッグタイマのレジスタ IWDTCR、IWDTSR	○	○	○	○	○	—	—
ウォッチドッグタイマのレジスタ RSTCSR	○	○	○	○	○	○	—
上記以外のレジスタおよび内部状態	○	○	○	○	○	○	○
端子の状態	○	○	○	○	—	○	○

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「10. 例外処理」を参照してください。

リセットに関連する入出力端子を表 6.3 に示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

表 6.4 にリセットに関連するレジスタ一覧を示します。

各レジスタには、リセット種別毎の発生要因を示すビットが配置されています。

表6.4 リセット関連のレジスタ一覧

レジスタ名	シンボル	リセット後の値 (注1)	アドレス	アクセスサイズ
リセットステータスレジスタ	RSTSR	x000 0xxxh	0008 C285h	8
リセットコントロール/ステータスレジスタ	RSTCSR	1Fh	0008 802Bh	8
IWDTステータスレジスタ	IWDTSR	0000h	0008 8034h	16

注1. 各レジスタによって有効なリセットが異なります。詳細は「図6.1 リセット回路のブロック図」および「表6.2 リセット種別ごとの初期化対象」を参照してください。

6.2.1 リセットステータスレジスタ (RSTSR)

RSTSR レジスタの詳細は「9. 消費電力低減機能」を参照してください。

6.2.2 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR レジスタの詳細は「20. ウォッチドッグタイマ (WDT)」を参照してください。

6.2.3 IWDTステータスレジスタ (IWDTSR)

IWDTSR レジスタの詳細は「21. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

6.3 動作説明

6.3.1 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、RX62T グループ、RX62G グループはリセット状態になります。

RX62T グループ、RX62G グループを確実にリセットするために、電源投入時は規定の発振安定時間に従い、RES# 端子が Low を保持するようにしてください。動作中は規定のリセットパルス幅に従い、RES# 端子が Low を保持するようにしてください。詳細は「33. 電気的特性」を参照してください。

6.3.2 パワーオンリセット

パワーオンリセット回路による内部リセットです。

RES# 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が V_{POR} を超えると、ある一定の時間（パワーオンリセット時間）経過後、パワーオンリセットは解除されます。パワーオンリセット時間は、外部電源および LSI が安定するための時間です。

RES# 端子を High にした状態で電源電圧が低下し VCC が V_{POR} 以下になると、パワーオンリセットが発生します。次に VCC が上昇し V_{POR} を超えると、パワーオンリセット時間経過後、パワーオンリセットは解除されます。

また、パワーオンリセットが発生すると、RSTSR.PORF フラグが“1”になります。RSTSR.PORF フラグはリード専用のレジスタで端子リセットでのみ初期化されます。

図 6.2 にパワーオンリセットの動作を示します。

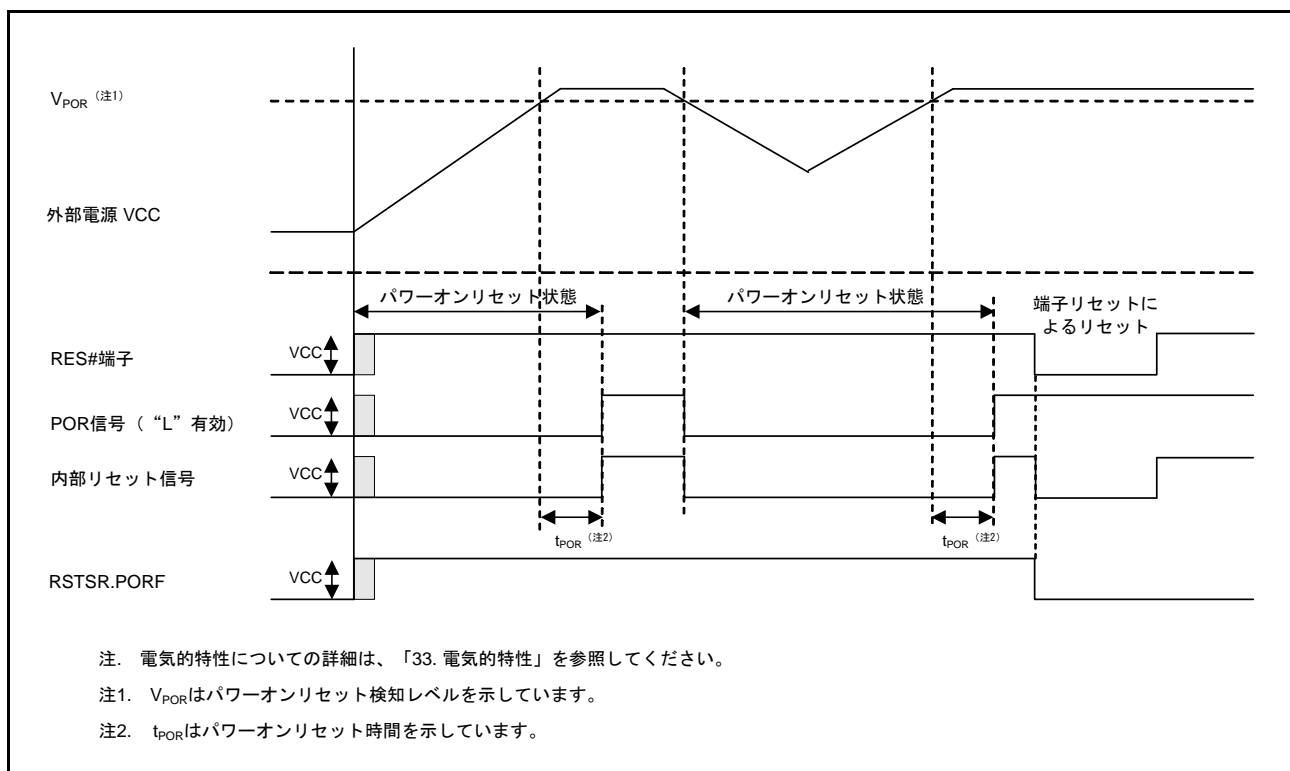


図 6.2 パワーオンリセット動作

6.3.3 電圧監視リセット

電圧検出回路による内部リセットです。

VCCがVdet1以下になるとLVD1Fビットが“1”になります。このときLVDCRレジスタのLVD1Eビットが“1”（電圧検出回路によるリセット/割り込み有効）でLVD1RIビットが“0”（低電圧検出時リセット発生）の場合、電圧検出回路は電圧監視リセットを発生します。

同様にVCCがVdet2以下になるとLVD2Fビットが“1”になります。このときLVDCRレジスタのLVD2Eビットが“1”（電圧検出回路によるリセット/割り込み有効）でLVD2RIビットが“0”（低電圧検出時リセット発生）の場合、電圧検出回路は電圧監視リセットを発生します。

次にVCCがVdet1またはVdet2を超えると、電圧監視リセットは安定化時間（tPOR）が経過した後、解除されます。

電圧監視リセットの詳細は「7. 電圧検出回路（LVD）」、「33. 電気的特性」を参照してください。

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードが解除されると、クロック発振を開始すると同時にディープソフトウェアスタンバイリセットが発生します。ディープソフトウェアスタンバイウェイト時間設定ビット（DPSWCR.WTSTS[5:0]）で選択した時間が経過した後、ディープソフトウェアスタンバイリセットは解除されます。

ディープソフトウェアスタンバイリセットの詳細は、「9. 消費電力低減機能」を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

独立ウォッチドッグタイマがアンダフローしたときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの詳細は「21. 独立ウォッチドッグタイマ（IWDT）」を参照してください。

6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

RSTCSR.RSTEビットを“1”にしておくと、ウォッチドッグタイマがオーバフローしたときに、ウォッチドッグタイマリセットが発生します。その後、一定時間が経過すると、ウォッチドッグタイマリセットは解除されます。

ウォッチドッグタイマリセットの詳細は、「20. ウォッチドッグタイマ（WDT）」を参照してください。

6.4 リセット発生要因の判定

RSTCSR レジスタと IWDTSR レジスタ、RSTSR レジスタ、LVDCR レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.3 にリセット発生要因の判定フローの例を示します。

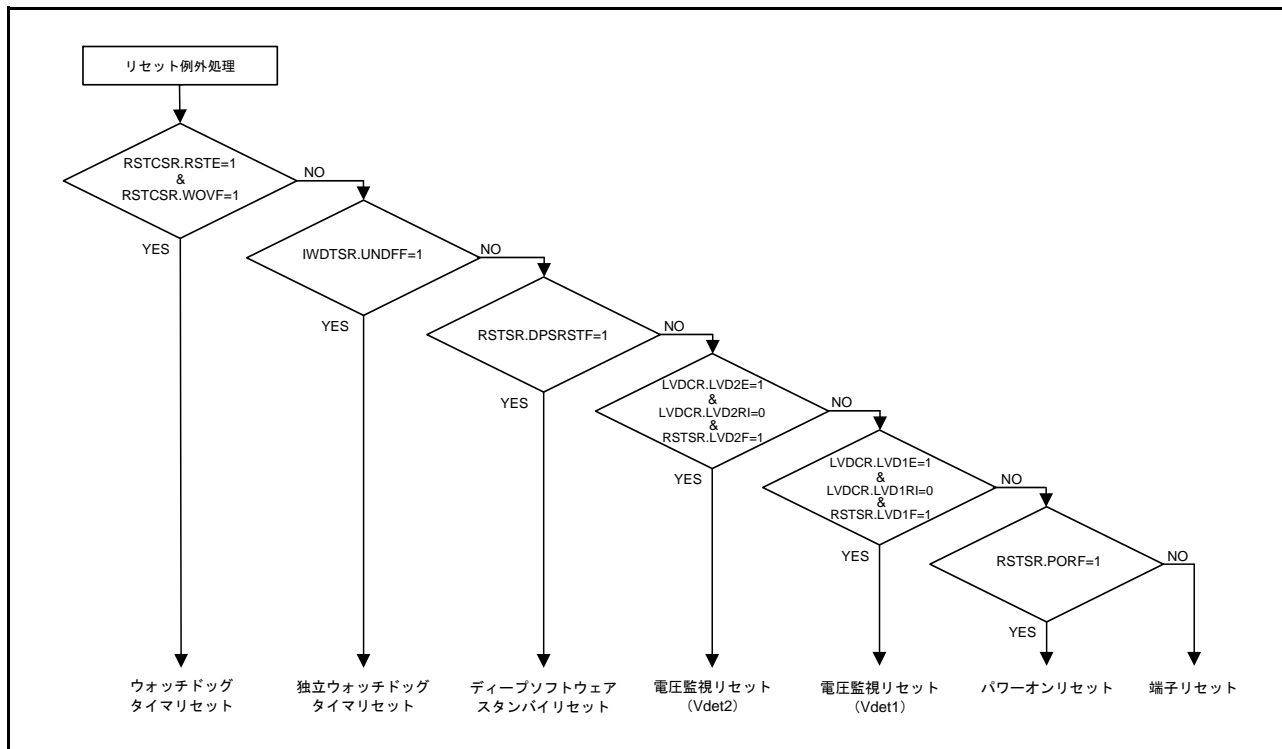


図 6.3 リセット発生要因判定フロー例

6.5 使用上の注意事項

6.5.1 ボード設計上の注意

RX62T グループ、RX62G グループは XTAL 端子とリセット端子が隣接するピン配置となっています。そのため、クロック信号の影響を受けないようにリセット信号は GND でガードしてください。

7. 電圧検出回路 (LVD)

7.1 概要

電圧検出回路は、VCCの電圧レベルを監視する回路です。VCCが低下し、電圧検出レベルを下回ると、電圧検出回路はLSI内部をリセットすることができます。また、割り込みを発生させることができます。

表 7.1 電圧検出回路の仕様

項目	内容
電圧検出回路1 (LVD1)	<ul style="list-style-type: none"> 電源電圧VCCがVdet1 (注1) 以下になったことを検出可能 低電圧検出時、内部リセットもしくは内部割り込みを発生可能
電圧検出回路2 (LVD2)	<ul style="list-style-type: none"> 電源電圧VCCがVdet2 (注1) 以下になったことを検出可能 低電圧検出時、内部リセットもしくは内部割り込みを発生可能

注1. Vdet1、Vdet2については「33. 電気的特性」を参照してください。

電圧検出回路のブロック図を図 7.1 に示します。

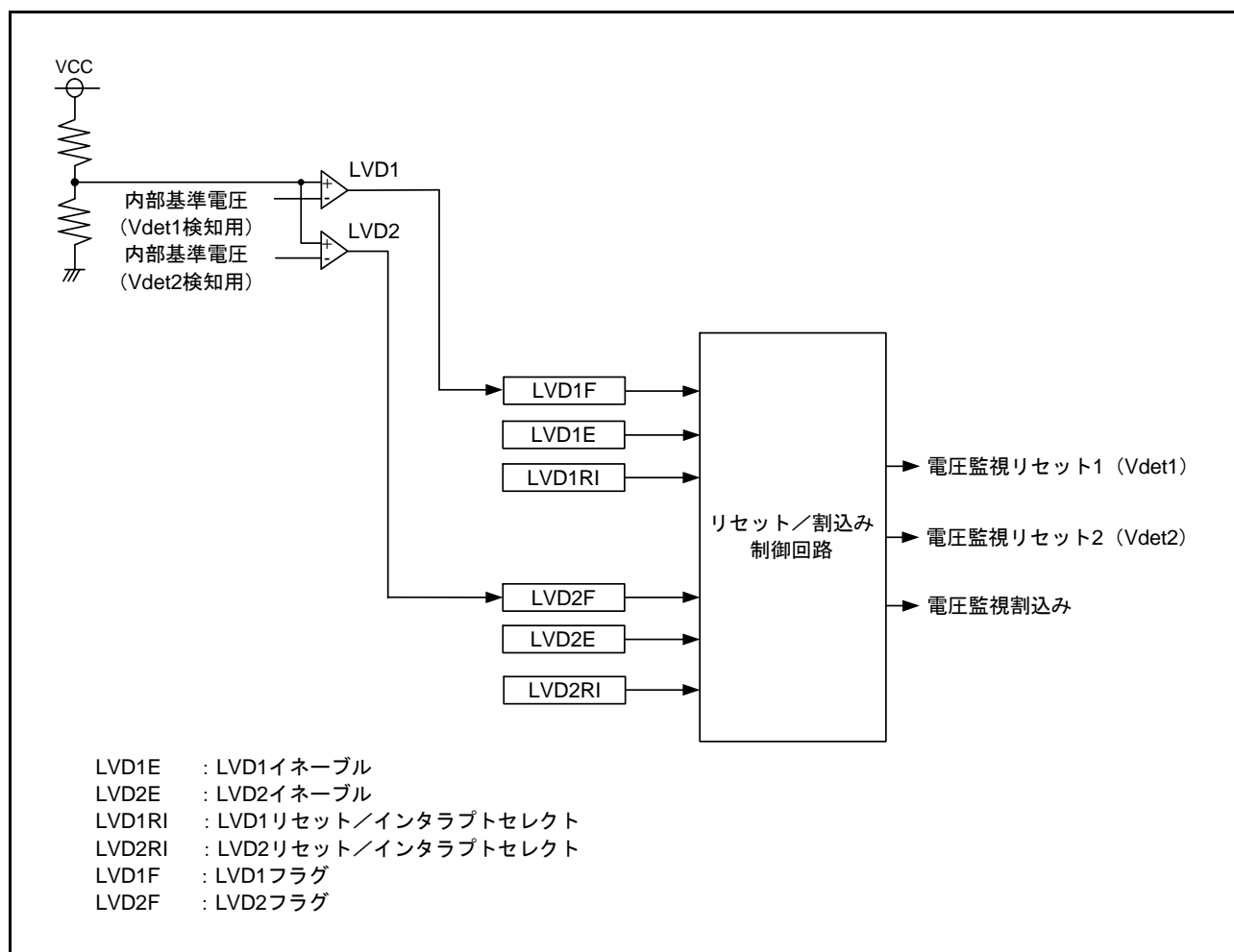


図 7.1 電圧検出回路のブロック図

7.2 レジスタの説明

表 7.2 に電圧検出回路のレジスタ一覧を示します。

表 7.2 電圧検出回路のレジスタ一覧

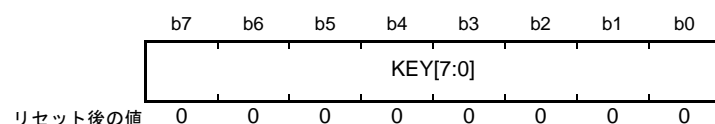
レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
リセットステータスレジスタ	RSTSR	x000 0xxxh	0008 C285h	8
低電圧検出コントロールレジスタ用キーコードレジスタ	LVDKEYR	00h	0008 C28Ch	8
低電圧検出コントロールレジスタ	LVDCCR	000x 000xb	0008 C28Dh	8

7.2.1 リセットステータスレジスタ (RSTSR)

RSTSR レジスタの詳細は、「9. 消費電力低減機能」を参照してください。

7.2.2 低電圧検出コントロールレジスタ用キーコードレジスタ (LVDKEYR)

アドレス 0008 C28Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	KEY[7:0]	LVDCCR キーコード	3Ch : LVDCCR レジスタの書き込み有効 上記以外 : LVDCCR レジスタの書き込み無効	R/W

LVDKEYR レジスタは、LVDCCR レジスタの書き込みの許可/禁止の制御を行うレジスタです。

LVDKEYR レジスタにキーコードを書くことにより、LVDCCR レジスタへの書き込みが可能になります。

KEY[7:0] ビット (LVDCCR キーコード)

LVDKEYR レジスタに“3Ch”を書くと、LVDCCR レジスタへの書き込みが有効になります。“3Ch”以外の値が書かれている場合は、LVDCCR レジスタに対して書き込みが無効になります。LVDCCR レジスタへの書いた後、KEY[7:0] ビットは“00h”になります。

7.2.3 低電圧検出コントロールレジスタ (LVDCR)

アドレス 0008 C28Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2E	LVD2RI	—	—	LVD1E	LVD1RI	—	—
リセット後の値	0	0	0	x	0	0	0	x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読む場合、その値は不定です。書き込みは無効になります	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1RI	LVD1リセット／割り込み選択ビット	0 : 低電圧検出時、リセットを発生 1 : 低電圧検出時、割り込みを発生	R/W
b3	LVD1E	LVD1有効ビット	0 : LVD1無効 1 : LVD1有効	R/W
b4	—	予約ビット	読む場合、その値は不定です。書き込みは無効になります	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	LVD2リセット／割り込み選択ビット	0 : 低電圧検出時、リセットを発生 1 : 低電圧検出時、割り込みを発生	R/W
b7	LVD2E	LVD2有効ビット	0 : LVD2無効 1 : LVD2有効	R/W

LVDCR レジスタは電圧検出回路の制御を行うレジスタです。

LVD1E、LVD1RI ビットは、端子リセット、パワーオンリセットで初期化されます。

LVD2E、LVD2RI ビットは、端子リセット、パワーオンリセット、電圧監視リセット1 (Vdet1) で初期化されます。

LVDCR レジスタへの書き込みを行う場合は、LVDKEYR.KEY[7:0] でのキーコード書き込みを事前に行ってください。

表 7.3 に LVDCR レジスタの設定と電圧検出回路の状態を示します。

LVD1RI ビット (LVD1 リセット／割り込み選択ビット)

電圧検出回路 1 で低電圧が検出された場合に、内部リセットを発生させるか、割り込みを発生させるかを選択します。

LVD1E ビット (LVD1 有効ビット)

電圧検出回路 1 によるリセットや割り込みを有効にするビットです。

LVD2RI ビット (LVD2 リセット／割り込み選択ビット)

電圧検出回路 2 で低電圧が検出された場合に、内部リセットを発生させるか、割り込みを発生させるかを選択します。

LVD2E ビット (LVD2 有効ビット)

電圧検出回路 2 によるリセットや割り込みを有効にするビットです。

表 7.3 LVDCR レジスタの設定と電圧検出回路の状態

LVDCR レジスタ				電源検出回路2 (LVD2)	電源検出回路1 (LVD1)
LVD2E ビット	LVD2RI ビット	LVD1E ビット	LVD1RI ビット		
0	0	0	0	LVD2無効	LVD1無効
0	0	1	0	LVD2無効	LVD1有効 (リセット)
0	0	1	1	LVD2無効	LVD1有効 (割り込み)
1	0	0	0	LVD2有効 (リセット)	LVD1無効
1	1	0	0	LVD2有効 (割り込み)	LVD1無効
1	1	1	0	LVD2有効 (割り込み)	LVD1有効 (リセット)
上記以外は設定しないでください					

7.3 電圧検出回路

7.3.1 電圧監視リセット

電圧検出回路による電圧監視リセットを図 7.2、および図 7.3 に示します。

VCC が V_{det2} 以下になると RSTSR.LVD2F フラグが“1”になります。このとき LVDCR.LVD2E ビットが“1”で LVDCR.LVD2RI ビットが“0”の場合、電圧検出回路は電圧監視リセットが発生します。

同様に VCC が V_{det1} 以下になると RSTSR.LVD1F フラグが“1”になります。このとき LVDCR.LVD1E ビットが“1”で LVDCR.LVD1RI ビットが“0”の場合、電圧検出回路は電圧監視リセットが発生します。

次に VCC が V_{det1} または V_{det2} を超えると、電圧監視リセットは解除されます。

電圧監視リセットが解除されると、リセット例外処理を開始します。

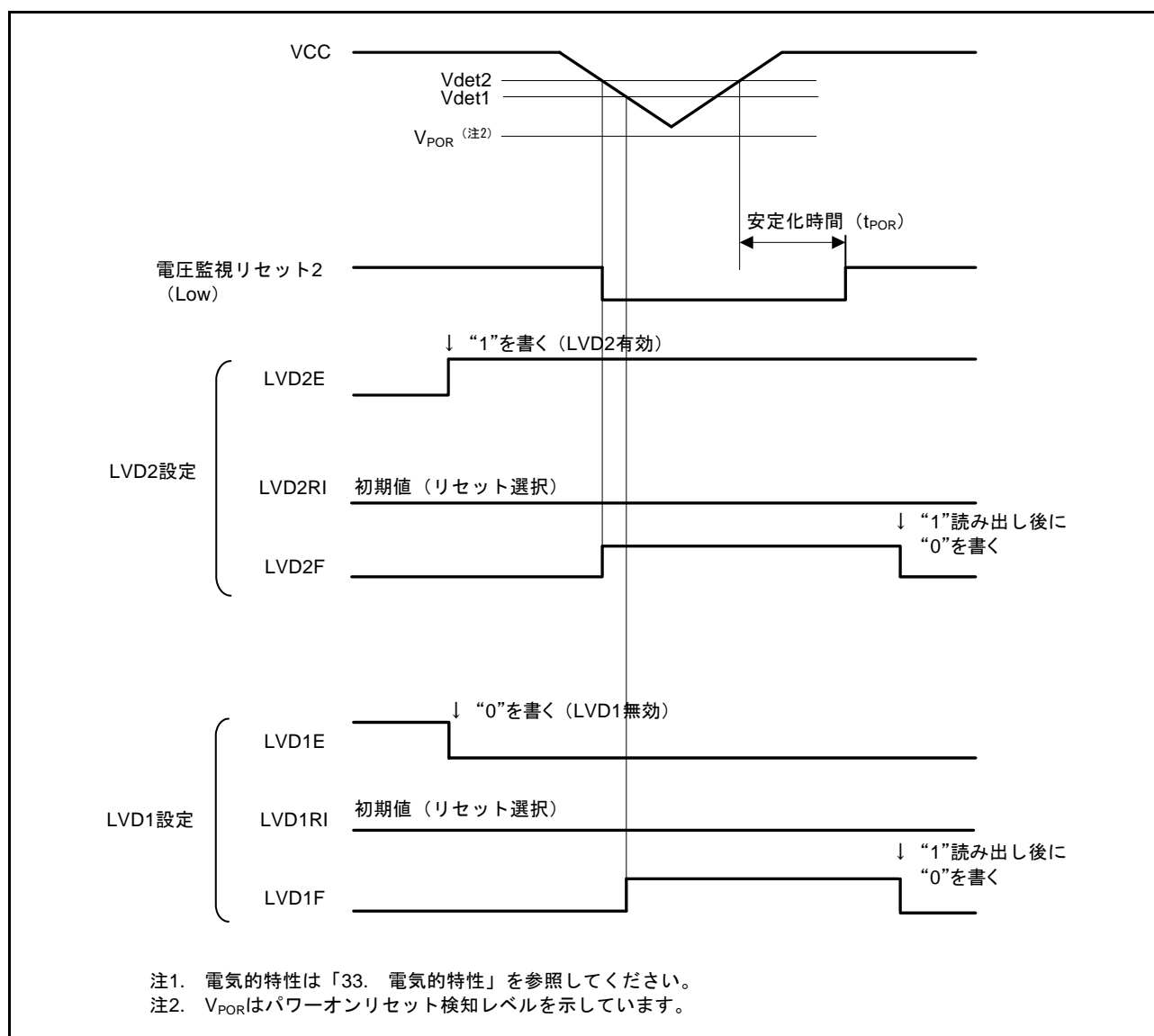


図 7.2 電圧監視リセットのタイミング (1) (LVD2 リセット選択、LVD1 無効)

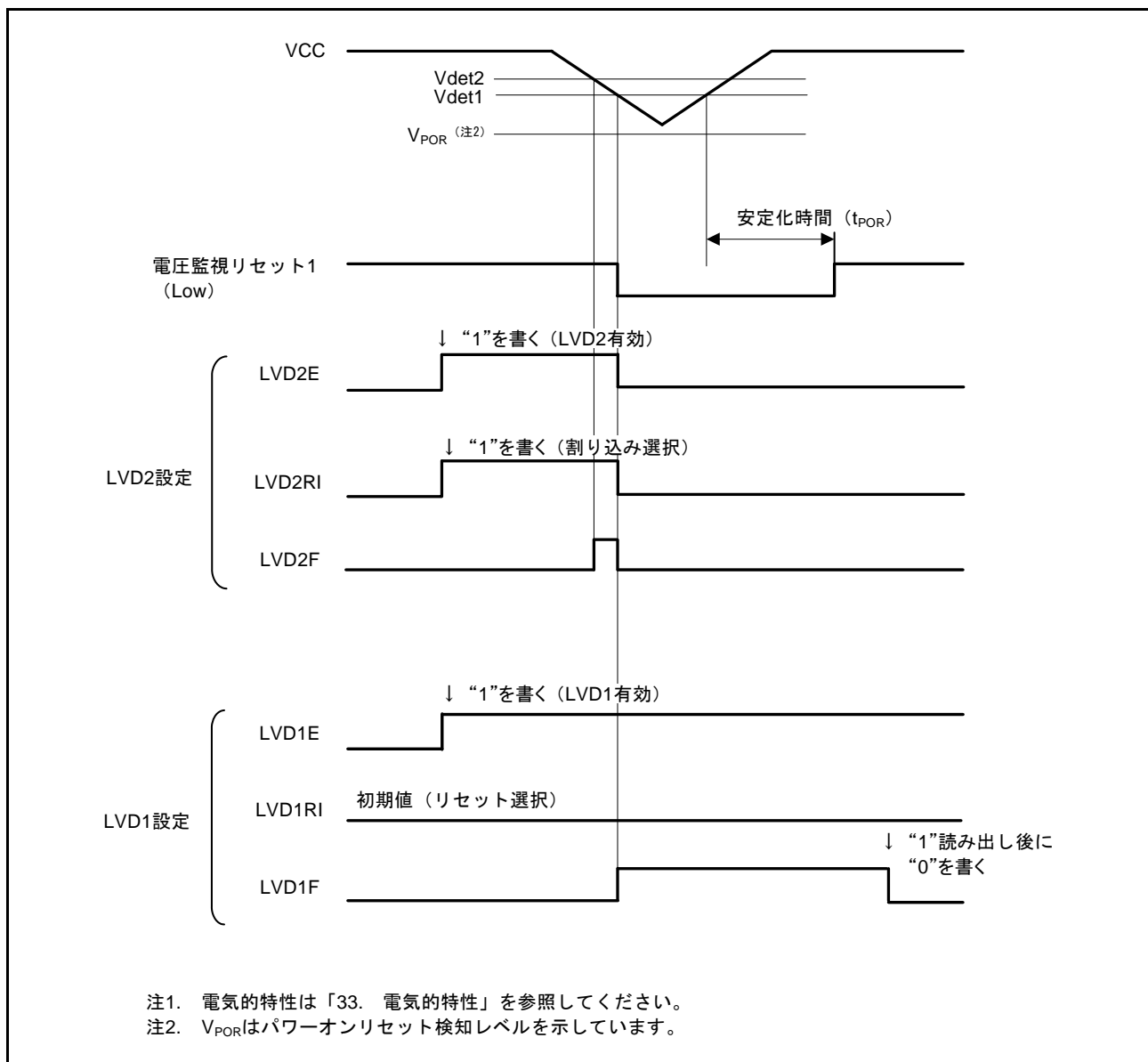


図 7.3 電圧監視リセットのタイミング (2) (LVD2 割り込み選択、LVD1 リセット選択)

7.3.2 電圧監視割り込み

電圧検出回路による電圧監視割り込みを図 7.4 に示します。

VCC が Vdet1 以下になると RSTSR.LVD1F フラグが“1”になります。このとき LVDCR.LVD1E, LVD1RI ビットがともに“1”の場合、電圧検出回路は電圧監視割り込みを要求します。

同様に VCC が Vdet2 以下になると、RSTSR.LVD2F フラグが“1”になります。このとき LVDCR.LVD2E, LVD2RI ビットがともに“1”の場合、電圧検出回路は電圧監視割り込みを要求します。

RSTSR.LVD1F フラグは、“1”を読んだ後、“0”を書くことによって“0”にすることができます。このとき、VCC 電圧レベルが LVD1 の検出レベル (Vdet1) 以下の状態では、RSTSR.LVD1F フラグは“0”にできません。RSTSR.LVD1F フラグに“0”を書いた後、RSTSR.LVD1F フラグから“0”が読めることにより、VCC が Vdet1 以上であることを確認できます。

同様に、RSTSR.LVD2F フラグは、“1”を読んだ後、“0”を書くことによって“0”にすることができます。このとき、VCC 電圧レベルが LVD2 の検出レベル (Vdet2) 以下の状態では RSTSR.LVD2F フラグは“0”にできません。RSTSR.LVD2F フラグに“0”を書いた後、RSTSR.LVD2F フラグから“0”が読めることにより、VCC が Vdet2 以上であることを確認できます。

電圧監視割り込みは、ノンマスカブル割り込みに割り付けられています。割り込み処理に関する詳細は、「11. 割り込みコントローラ (ICU)」を参照してください。

図 7.5 に電圧監視割り込みの設定手順例を示します。

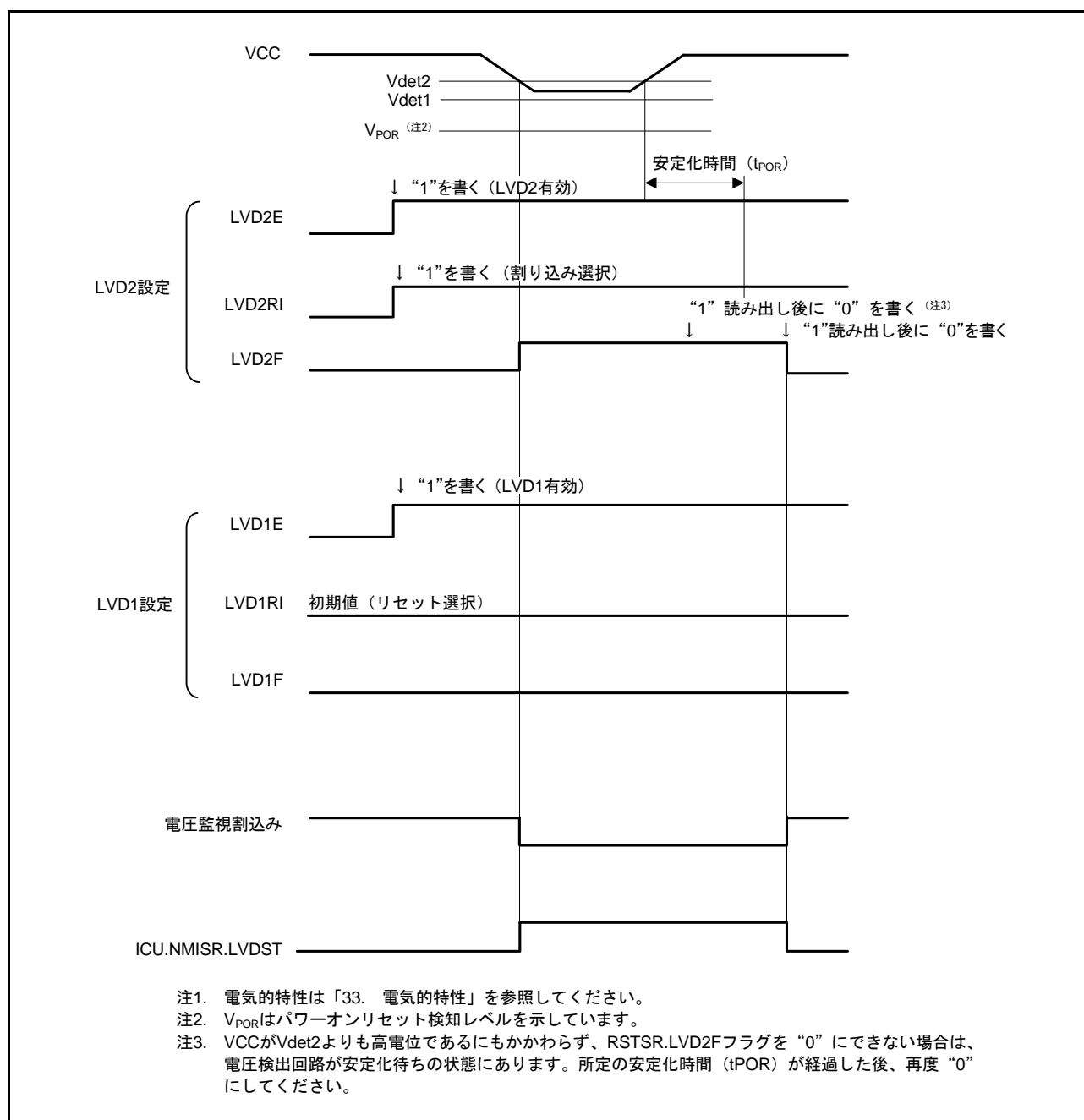


図 7.4 電圧監視割り込みのタイミング (LVD2 割り込み選択、LVD1 リセット選択)

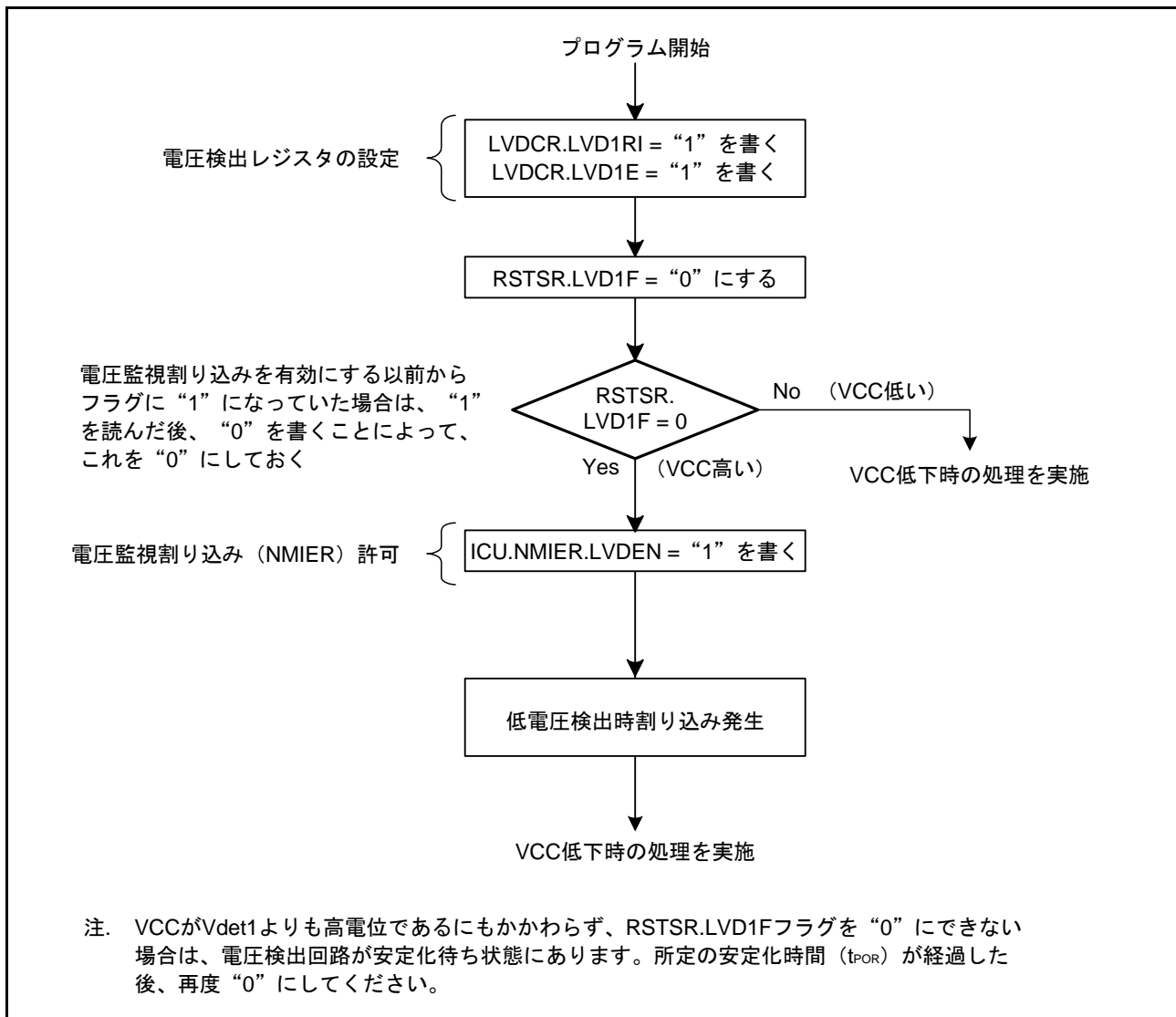


図 7.5 電圧監視割り込みの設定手順例

7.3.3 電圧検出回路によるディープソフトウェアスタンバイモードの解除

VCCがVdet1以下になるとRSTSR.LVD1Fフラグが“1”になります。

このとき、LVDCR.LVD1E, LVD1RI ビットおよびDPSIER.DLVDE ビットが“1”であれば、DPSIFR.DLVDF フラグが“1”になり、電圧監視割り込みによるディープソフトウェアスタンバイモードの解除を要求します。

同様にVCCがVdet2以下になるとRSTSR.LVD2Fフラグが“1”になります。

このとき、LVDCR.LVD2E, LVD2RI ビットおよびDPSIER.DLVDE ビットが“1”であれば、DPSIFR.DLVDF フラグが“1”になり、電圧監視割り込みによるディープソフトウェアスタンバイモードの解除を要求します。

ディープソフトウェアスタンバイモードについては、「9. 消費電力低減機能」を参照してください。

8. クロック発生回路

8.1 概要

RX62Tグループ、RX62Gグループはクロック発生回路を内蔵しており、システムクロック（ICLK）、周辺モジュールクロック（PCLK）、およびオンチップオシレータクロック（IWDTCLK）を生成します。

クロック発生回路は、メインクロック発振器、IWDT専用低速オンチップオシレータ、発振停止検出回路、内部発振回路、PLL（Phase Locked Loop）回路、分周器、セレクタによって構成されます。

表 8.1 にクロック発生回路の仕様を、図 8.1 にクロック発生回路のブロック図を示します。

表 8.1 クロック発生回路の仕様

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、DTC、MTU3、GPT、ROMおよびRAMに供給されるシステムクロック（ICLK）の生成 • 周辺モジュールに供給される周辺モジュールクロック（PCLK）の生成 • IWDTに供給されるオンチップオシレータクロック（IWDTCLK）の生成
動作周波数	ICLK：8MHz～100MHz PCLK：8MHz～50MHz IWDTCLK：125kHz（Typ.）（注1） クロック周波数設定制限：ICLK ≥ PCLKを維持
接続できる発振子、または付加回路	水晶発振子、セラミック共振子
発振子、または付加回路の接続端子	メインクロック：EXTAL、XTAL
入力クロック（EXTAL）周波数	8MHz～12.5MHz
ICLK/PCLKクロックの選択	EXTAL ×8、×4、×2、×1 から ICLK/PCLK個別に選択可能
発振停止検出機能	メインクロック発振器の発振停止検出時、内部発振に切り替える機能 MTU3およびGPT端子をハイインピーダンスにする機能

注1. 詳細は「33. 電気的特性」を参照してください

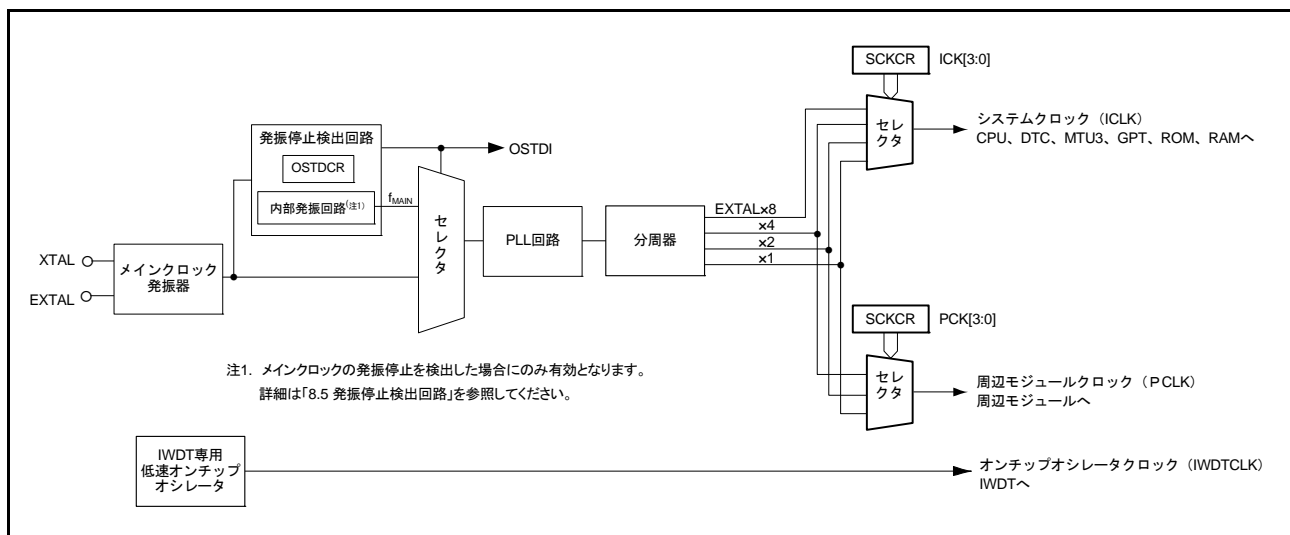


図 8.1 クロック発生回路のブロック図

表 8.2 にクロック発生回路の入出力端子を示します。

表 8.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	水晶発振子接続端子です。EXTAL端子は外部クロックの入力も可能です。 詳細は、「8.3.2 外部クロックを入力する方法」を参照してください。
EXTAL	入力	

8.2 レジスタの説明

表 8.3 にクロック発生回路のレジスタ一覧を示します。

表 8.3 クロック発生回路のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムクロックコントロールレジスタ	SCKCR	0202 0200h	0008 0020h	32
発振停止検出コントロールレジスタ	OSTDCR	0080h	0008 0040h	16

8.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	ICK[3:0]			—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PCK[3:0]			—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCK[3:0] (注1)	周辺モジュールクロック 選択ビット	b11 b8 0 0 0 1 : x4 0 0 1 0 : x2 0 0 1 1 : x1 上記以外は設定しないでください	R/W
b16-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	ICK[3:0] (注2)	システムクロック 選択ビット	b27 b24 0 0 0 0 : x8 0 0 0 1 : x4 0 0 1 0 : x2 0 0 1 1 : x1 上記以外は設定しないでください	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. システムクロック (ICLK) より高い周波数を設定しないでください。レジスタの設定は行えますが、周波数はICLK と同一になります。

注2. 周辺モジュールクロック (PCLK) より低い周波数を設定しないでください。レジスタの設定は行えますが、PCLKの周波数はシステムクロック (ICLK) と同一になります。

SCKCR レジスタは、システムクロック (ICLK)、周辺モジュールクロック (PCLK) の周波数を選択するレジスタです。

PCK[3:0] ビット (周辺モジュールクロック選択ビット)

周辺モジュールクロック (PCLK) の周波数を選択します。

入力クロック (EXTAL) に対する倍率を示しています。

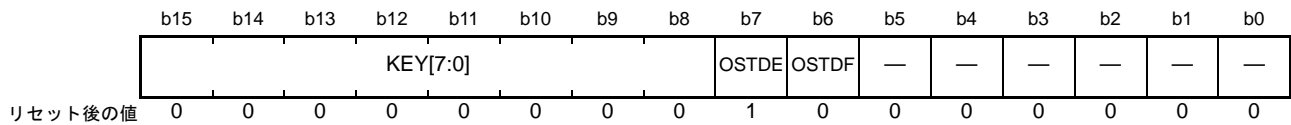
ICK[3:0] ビット (システムクロック選択ビット)

システムクロック (ICLK) の周波数を選択します。

入力クロック (EXTAL) に対する倍率を示しています。

8.2.2 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6	OSTDF	発振停止検出フラグ	OSTDE=1のとき 0：メインクロック発振器は正常動作 1：メインクロック発振器の発振停止を検出 OSTDE=0のとき 読むと“0”が読めます	R
b7	OSTDE	発振停止検出機能有効ビット	0：発振停止検出機能は無効 1：発振停止検出機能は有効	R/W
b15-b8	KEY[7:0]	OSTDCR キーコード	ACh：OSTDCR レジスタへの書き込み許可 上記以外：OSTDCR レジスタへの書き込み禁止 読むと“0”が読めます	R/W

OSTDCR レジスタは、発振停止検出機能の制御を行います。

OSTDF フラグ (発振停止検出フラグ)

メインクロック発振器の状態を示すステータスフラグです。

OSTDF フラグが“1”のとき、メインクロック発振器の発振停止を検出したことを示します。OSTDF フラグはパワーオンリセットまたは端子リセットで“0”になります。

OSTDE ビット (発振停止検出機能有効ビット)

発振停止検出機能の有効/無効の動作を設定します。

OSTDE ビットが“1” (発振停止検出機能有効) の場合、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を発行してください。

KEY[7:0] ビット (OSTDCR キーコード)

OSTDCR レジスタの書き込み許可または禁止を選択します。

OSTDE ビットへ値を書き込むときは、KEY[7:0] ビットを“ACh”にして書いてください。KEY[7:0] ビットが“ACh”以外の値の場合、OSTDCR レジスタへ書き込みを行っても OSTDE ビットの値は変更されません。

8.3 メインクロック発振器

クロックを供給するには、発振子を接続する方法と外部クロックを入力する方法があります。

8.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図 8.2 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。

発振子を接続してクロックを供給する場合、接続する発振子は表 8.1 のメインクロック発振器の発振子周波数の範囲内としてください。

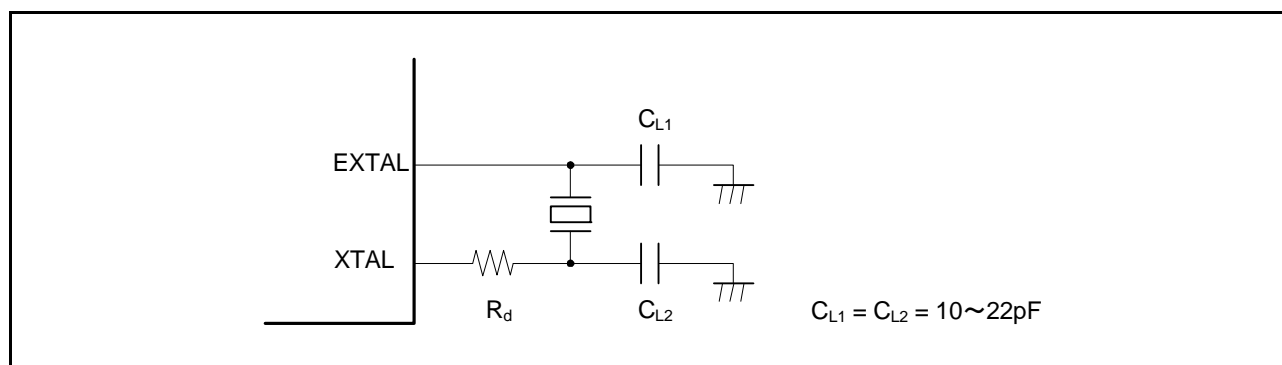


図 8.2 水晶発振子の接続例

表 8.4 ダンピング抵抗 (参考値)

周波数 (MHz)	8	10	12.5
R _d (Ω)	200	100	0

水晶発振子の等価回路を図 8.3 に示します。水晶発振子は表 8.5 に示す特性のものを使用してください。

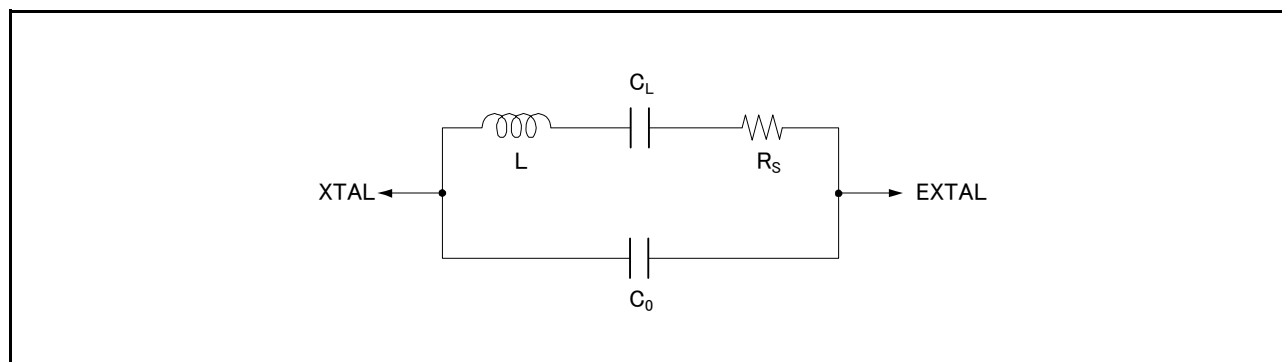


図 8.3 水晶発振子の等価回路

表 8.5 水晶発振子の特性 (参考値)

周波数 (MHz)	8	10	12.5
R _S max (Ω)	80	70	60
C ₀ max (pF)	7		

8.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 8.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High にしてください。

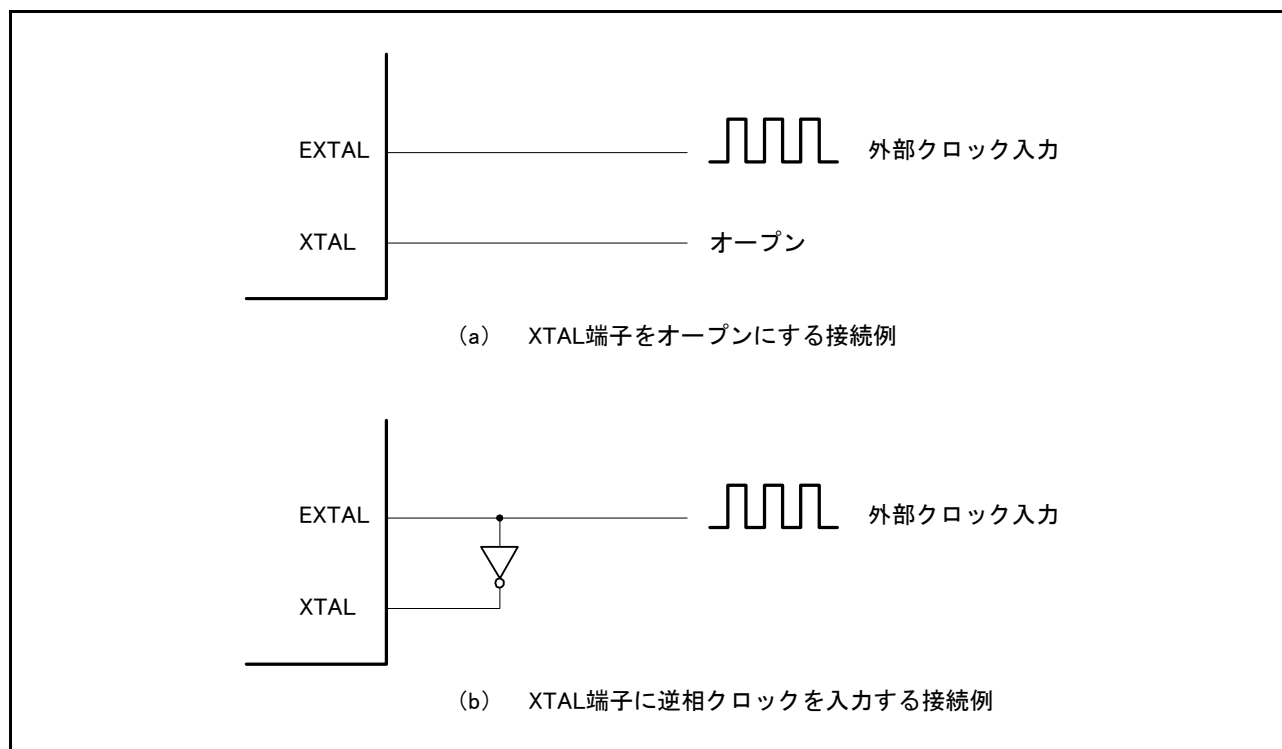


図 8.4 外部クロックの接続例

8.4 IWDT 専用低速 オンチップオシレータ

IWDT 専用低速オンチップオシレータは、内部発振によりオンチップオシレータクロック (IWDTCCLK) を生成します。

8.5 発振停止検出回路

発振停止検出回路は、メインクロック発振器の停止を検出し、停止したメインクロックの代わりに内部発振回路が出力する内部発振クロックを供給する機能を持っています。詳細は、「8.10 発振停止検出機能」を参照してください。

8.6 内部発振回路

内部発振回路は、内部発振により内部発振クロックを生成します。

8.7 PLL 回路

PLL 回路は、発振器からの周波数を 8 倍に通倍する機能を持っています。

8.8 分周器

分周器は、PLL クロックを分周し、1/2、1/4、1/8 のクロックを生成します。SCKCR.ICK[3:0], PCK[3:0] ビットを書き替えると、選択した周波数で動作します。

8.9 内部クロック

内部クロックは、外部からの入力クロック (EXTAL) を PLL 回路で 8 通倍し、分周器で 1/2/4/8 分周したクロック、および IWDT 専用低速オンチップオシレータで内部発振により生成したクロックです。

内部クロックには、以下の 3 種類のクロックがあります。

- CPU、DTC、MTU3、GPT、ROM および RAM の動作クロック：システムクロック (ICLK)
- 周辺モジュールの動作クロック：周辺モジュールクロック (PCLK)
- IWDT 用の動作クロック：オンチップオシレータクロック (IWDTCLK)

周波数は、SCKCR.ICK[3:0]、PCK[3:0] ビットの組み合わせで設定します。

8.9.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DTC、MTU3、GPT、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビットにより設定します。

ICLK は、周辺モジュールクロック (PCLK) より低い周波数に設定することはできません。低い周波数に設定した場合、ICLK の設定が有効になりますが、PCLK も ICLK と同じ周波数となります。

8.9.2 周辺モジュールクロック (PCLK)

周辺モジュールクロック (PCLK) は、周辺モジュール用の動作クロックです。

PCLK の周波数は、SCKCR.PCK[3:0] ビットにより設定します。

PCLK は、システムクロック (ICLK) より高い周波数に設定することはできません。高い周波数に設定した場合、ICLK で設定した周波数になります。

8.9.3 オンチップオシレータクロック (IWDTCLK)

オンチップオシレータクロック (IWDTCLK) は、IWDT 用の動作クロックです。

IWDTCLK は、オンチップオシレータで内部発振により生成されたクロックです。IWDTCLK の周期を GPT 内の LOCO カウント機能で計測することができます。詳細は「18.6 LOCO カウント機能」を参照してください。

8.10 発振停止検出機能

8.10.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、停止したメインクロックの代わりに内部発振回路が出力する内部発振クロックを供給する機能です。発振停止検出時には割り込み要求を発生させることができます。また発振停止検出時に、MTU3 および GPT の出力を強制的にハイインピーダンス状態にすることも可能です。詳細については、「16. マルチファンクションタイマパルスユニット 3 (MTU3)」、「17. ポートアウトプットイネーブル 3 (POE3)」、「18. 汎用 PWM タイマ (GPT/GPTa)」、および「付録 1. 各動作モードにおけるポートの状態」を参照してください。

RX62T グループ、RX62G グループは、メインクロック発振器の異常などにより入力クロックが一定期間“0”、または“1”となり続けた場合（「33. 電気的特性」を参照）に、メインクロック発振器の発振停止を検出します。

発振停止を検出した場合、RX62T グループ、RX62G グループは内部発振回路から出力する内部発振クロックで動作を継続します。

内部発振クロック動作時のシステムクロック (ICLK) の周波数を表 8.6 に示します。

表 8.6 内部発振回路使用時のシステムクロック (ICLK) の周波数

システムクロック (ICLK)	min	typ	max
ICLK 周波数 (8 倍時)	$8 \times f_{\text{MAIN}}$	$8 \times f_{\text{MAIN}}$	$8 \times f_{\text{MAIN}}$
ICLK 周波数 (4 倍時)	$4 \times f_{\text{MAIN}}$	$4 \times f_{\text{MAIN}}$	$4 \times f_{\text{MAIN}}$
ICLK 周波数 (2 倍時)	$2 \times f_{\text{MAIN}}$	$2 \times f_{\text{MAIN}}$	$2 \times f_{\text{MAIN}}$
ICLK 周波数 (1 倍時)	f_{MAIN}	f_{MAIN}	f_{MAIN}

注. f_{MAIN} については「33. 電気的特性」を参照してください。

メインクロックから内部発振クロックへの切り替えは、発振停止の検出をきっかけにして自動的に行なわれます。発振停止を検出した後にメインクロック発振器が動作を再開した場合でも、内部発振クロックでの動作を継続します。ただし、端子リセット、パワーオンリセット、および電圧監視リセット中に限り、内部発振クロックからメインクロックへの切り替えも行われますので、メインクロック発振器が発振を開始した後はメインクロックで動作します。

発振停止検出機能は、すべてのリセットにより LSI 内部が初期化された時点で有効になります。機能を無効にするには、OSTDCR.OSTDE ビットを“0”にしてください。なお、発振停止を検出し、内部発振クロックで動作している状態では、OSTDCR.OSTDE ビットを“0”にすることはできません。

8.10.2 発振停止検出割り込み

発振停止検出機能が有効なとき、発振停止を検知すると発振停止検出割り込み要求 (OSTDI) が発生します。発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスカブル割り込みを有効にしてください。詳細は「11. 割り込みコントローラ (ICU)」を参照ください。

発振停止を検出して内部発振クロックで動作している状態は、システムとして何らかの異常が発生している状態です。異常に対する応急処置のみ実施するようにしてください。

8.10.3 ディープソフトウェアスタンバイ解除に関する注意事項

ディープソフトウェアスタンバイモード中にメインクロック発振器に異常が生じ、メインクロック発振器が正常に動作しない状態では、割り込みによってディープソフトウェアスタンバイモードを解除することができません。

ただし、端子リセットによって解除する場合には、メインクロック発振器が動作しない状態でもディープソフトウェアスタンバイモードを解除することが可能です。確実にディープソフトウェアスタンバイモードを解除する必要がある場合には、端子リセットによって解除するようにしてください。

8.11 使用上の注意事項

8.11.1 クロック発生回路に関する注意事項

1. SCKCR レジスタの設定で、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLK) の周波数を選択します。各周波数は、電気的特性の AC 特性のクロックサイクル時間 (tcyc) の動作保証範囲内に収まるようにしてください。各周波数は、以下のように入力してください。

$$\text{ICLK} = 8\text{MHz} \sim 100\text{MHz}, \text{PCLK} = 8\text{MHz} \sim 50\text{MHz}$$

2. 周辺モジュール (DTC、MTU3、GPT を除く) は、すべて PCLK を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。また、ソフトウェアスタンバイモード解除用の待機時間も PCLK の周波数を変更することで変わります。詳細は、「9.5.3.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。
3. システムクロック (ICLK)、周辺モジュールクロック (PCLK) との間には、 $\text{ICLK} \geq \text{PCLK}$ の関係が成り立っており、かつ ICLK の設定が優先されます。そのため、この条件を満たせない設定を行った場合、SCKCR.PCK[3:0] ビットの設定は無効となり、PCLK は、SCKCR.ICK[3:0] ビットで設定したクロック周波数になります。
4. SCKCR レジスタへの書き込み後、周波数の変更が完了するまでの間に再度 SCKCR レジスタへ書き込みを行なった場合、その書き込みは無視されます。SCKCR レジスタへの書き込みが続く場合は、最後に書いた値が SCKCR レジスタから読めることを確認するようにしてください。
5. SCKCR レジスタへの書き込み後、周波数の変更が完了するまでの間、ソフトウェアスタンバイモードへの移行は禁止します。周波数変更途中でソフトウェアスタンバイモードへの移行を行なった場合、以降の動作は保障できません。SCKCR レジスタへの書き込み完了後、システムクロックで 11 サイクル以上待ってから WAIT 命令を発行するようにしてください。詳細は「5. I/O レジスタ」を参照してください。

8.11.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考にユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は、発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧は、絶対最大定格を超えないようにしてください。

8.11.3 ボード設計上の注意

水晶発振子を使用する場合は、発振子およびコンデンサはできるだけ XTAL、EXTAL 端子の近くに配置してください。図 8.5 に示すように発振回路の近くには信号線を通させないでください。電磁誘導によって正常に発振しなくなることがあります。

RX62T グループ、RX62G グループは XTAL 端子とリセット端子が隣接するピン配置となっています。そのため、クロック信号の影響を受けないようにリセット信号は GND でガードしてください。

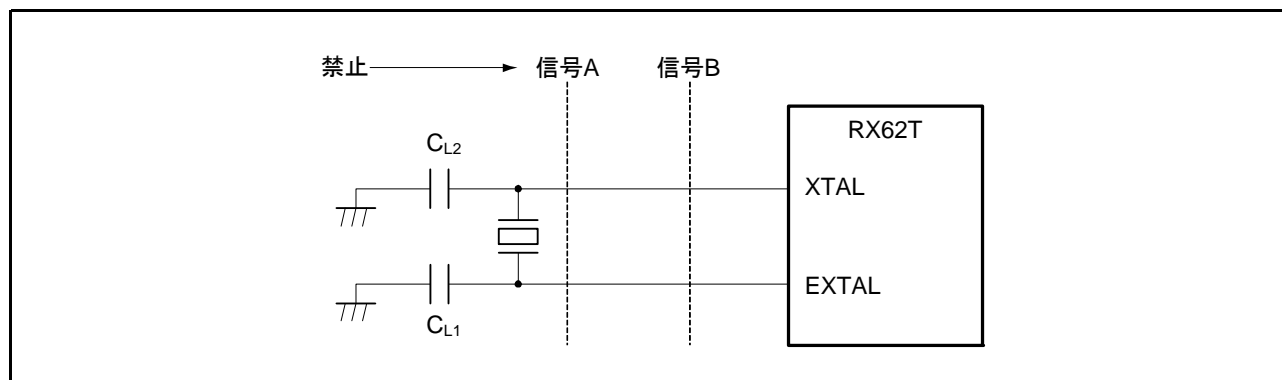


図 8.5 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 8.6 に示します。PLLVCC、PLLVSS とその他の VCC、VSS は、ボードの電源供給元から分離し、端子の近くにバイパスコンデンサ (CPB および CB) を必ず挿入してください。

また、PLLVCC と VCC は必ず同電位にしてください。

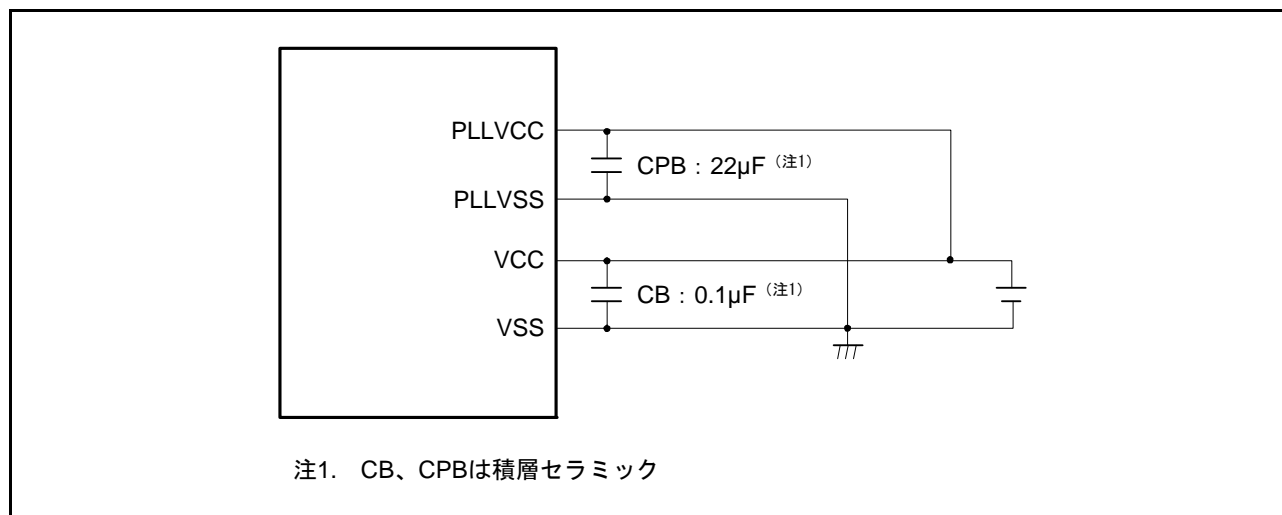


図 8.6 PLL 回路の外付け推奨回路

9. 消費電力低減機能

9.1 概要

RX62Tグループ、RX62Gグループには、消費電力低減機能としてマルチクロック機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

表 9.1 に消費電力低減機能の仕様を、表 9.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DTC 以外のモジュールは停止状態です。

表 9.1 消費電力低減機能の仕様

項目	内容
マルチクロック機能	システムクロック (ICLK)、周辺モジュールクロック (PCLK) に対し、個別に分周比を設定することが可能
モジュールストップ機能	周辺モジュールごとに機能を停止することが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • 全モジュールクロックストップモード • ソフトウェアスタンバイモード • ディープソフトウェアスタンバイモード

表9.2 各モードにおける移行および解除方法と動作状態

移行および解除方法と動作状態	スリープモード	全モジュール クロックストップ モード	ソフトウェア スタンバイモード	ディープソフトウェア スタンバイモード
移行方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み (注1)	割り込み (注2)	割り込み (注3)
解除後の状態 (注4)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (リセット処理)
発振器	動作	動作	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
内蔵RAM (0000 0000h~0000 3FFFh)	動作 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
ウォッチドッグタイマ (WDT)	動作	動作	停止 (保持)	停止 (不定)
独立ウォッチドッグタイマ (IWDT)	動作	動作	停止 (保持)	停止 (不定)
電圧検出回路	動作	動作	動作	動作
パワーオンリセット回路	動作	動作	動作	動作
ポートアウトブッティネーブル (POE)	動作可能	動作可能 (注5)	停止 (保持)	停止 (不定)
周辺モジュール	動作	停止 (保持)	停止 (保持)	停止 (不定)
I/O端子状態	動作	保持 (注6)	保持	保持

停止 (保持) は、内部レジスタ値保持、内部状態は動作中断を示します。
 停止 (不定) は、内部レジスタ値不定、内部状態は電源オフを示します。

- 注1. 外部割り込み、一部の内部割り込み (WDT、発振停止検出、および電圧監視)
 注2. 外部割り込み、一部の内部割り込み (電圧監視)
 注3. NMI、IRQ0-A、IRQ1-A、一部の内部割り込み (電圧監視)。ただし、いずれの要因もディープスタンバイインタラプトイネーブルレジスタ (DPSIER) の当該ビットが“1”のときのみ有効
 注4. RES#端子、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子、パワーオンリセット、電圧監視リセット、WDTリセット、IWDTリセットによる解除の場合は、リセット状態に遷移します。
 注5. POE割り込みを有効にした状態で全モジュールクロックストップモード中にPOE割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードからの復帰した場合、復帰後にPOE割り込みが発生します。
 注6. POEを動作させた場合、制御条件成立時には該当端子をハイインピーダンス制御します。

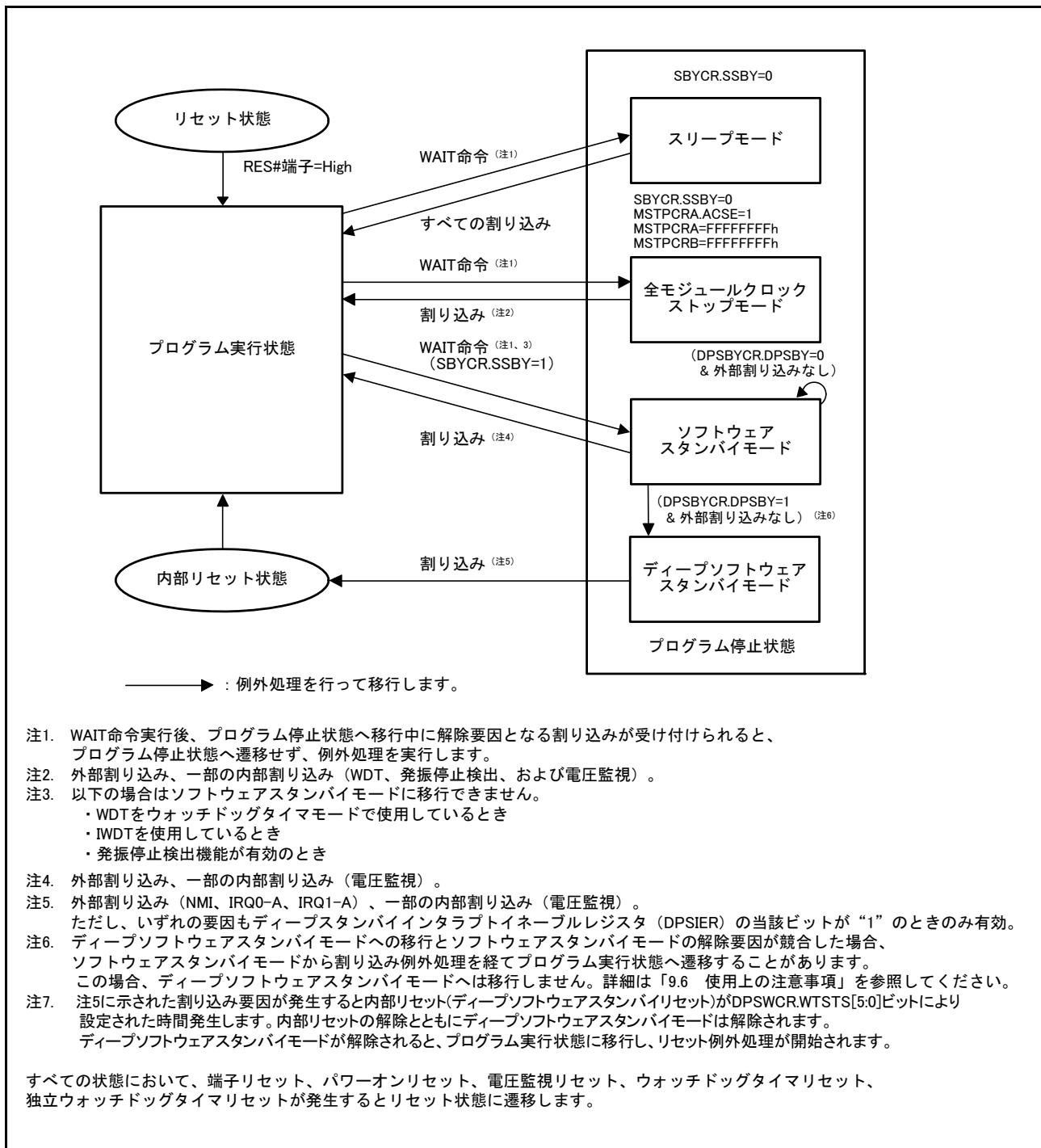


図 9.1 モード遷移

9.2 レジスタの説明

表 9.3 に消費電力低減機能に関連するレジスタを示します。システムクロックコントロールレジスタ (SCKCR) については、「9.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

表9.3 消費電力低減機能関連のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	SBYCR	4F00h	0008 000Ch	16
モジュールストップコントロールレジスタA	MSTPCRA	4xFF FFFFh	0008 0010h	32
モジュールストップコントロールレジスタB	MSTPCRB	FFFF FFFFh	0008 0014h	32
モジュールストップコントロールレジスタC	MSTPCRC	FFFF 0000h	0008 0018h	32
ディープスタンバイコントロールレジスタ	DPSBYCR	31h	0008 C280h	8
ディープスタンバイウェイトコントロールレジスタ	DPSWCR	0Fh	0008 C281h	8
ディープスタンバイインタラプトイネーブルレジスタ	DPSIER	00h	0008 C282h	8
ディープスタンバイインタラプトフラグレジスタ	DPSIFR	00h	0008 C283h	8
ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	00h	0008 C284h	8
リセットステータスレジスタ	RSTSR	x000 0xxxh	0008 C285h	8
ディープスタンバイバックアップレジスタ0	DPSBKR0	xxh (注1)	0008 C290h	8
ディープスタンバイバックアップレジスタ1	DPSBKR1	xxh (注1)	0008 C291h	8
ディープスタンバイバックアップレジスタ2	DPSBKR2	xxh (注1)	0008 C292h	8
ディープスタンバイバックアップレジスタ3	DPSBKR3	xxh (注1)	0008 C293h	8
ディープスタンバイバックアップレジスタ4	DPSBKR4	xxh (注1)	0008 C294h	8
ディープスタンバイバックアップレジスタ5	DPSBKR5	xxh (注1)	0008 C295h	8
ディープスタンバイバックアップレジスタ6	DPSBKR6	xxh (注1)	0008 C296h	8
ディープスタンバイバックアップレジスタ7	DPSBKR7	xxh (注1)	0008 C297h	8
ディープスタンバイバックアップレジスタ8	DPSBKR8	xxh (注1)	0008 C298h	8
ディープスタンバイバックアップレジスタ9	DPSBKR9	xxh (注1)	0008 C299h	8
ディープスタンバイバックアップレジスタ10	DPSBKR10	xxh (注1)	0008 C29Ah	8
ディープスタンバイバックアップレジスタ11	DPSBKR11	xxh (注1)	0008 C29Bh	8
ディープスタンバイバックアップレジスタ12	DPSBKR12	xxh (注1)	0008 C29Ch	8
ディープスタンバイバックアップレジスタ13	DPSBKR13	xxh (注1)	0008 C29Dh	8
ディープスタンバイバックアップレジスタ14	DPSBKR14	xxh (注1)	0008 C29Eh	8
ディープスタンバイバックアップレジスタ15	DPSBKR15	xxh (注1)	0008 C29Fh	8
ディープスタンバイバックアップレジスタ16	DPSBKR16	xxh (注1)	0008 C2A0h	8
ディープスタンバイバックアップレジスタ17	DPSBKR17	xxh (注1)	0008 C2A1h	8
ディープスタンバイバックアップレジスタ18	DPSBKR18	xxh (注1)	0008 C2A2h	8
ディープスタンバイバックアップレジスタ19	DPSBKR19	xxh (注1)	0008 C2A3h	8
ディープスタンバイバックアップレジスタ20	DPSBKR20	xxh (注1)	0008 C2A4h	8
ディープスタンバイバックアップレジスタ21	DPSBKR21	xxh (注1)	0008 C2A5h	8
ディープスタンバイバックアップレジスタ22	DPSBKR22	xxh (注1)	0008 C2A6h	8
ディープスタンバイバックアップレジスタ23	DPSBKR23	xxh (注1)	0008 C2A7h	8
ディープスタンバイバックアップレジスタ24	DPSBKR24	xxh (注1)	0008 C2A8h	8
ディープスタンバイバックアップレジスタ25	DPSBKR25	xxh (注1)	0008 C2A9h	8
ディープスタンバイバックアップレジスタ26	DPSBKR26	xxh (注1)	0008 C2AAh	8
ディープスタンバイバックアップレジスタ27	DPSBKR27	xxh (注1)	0008 C2ABh	8
ディープスタンバイバックアップレジスタ28	DPSBKR28	xxh (注1)	0008 C2ACh	8
ディープスタンバイバックアップレジスタ29	DPSBKR29	xxh (注1)	0008 C2ADh	8
ディープスタンバイバックアップレジスタ30	DPSBKR30	xxh (注1)	0008 C2AEh	8
ディープスタンバイバックアップレジスタ31	DPSBKR31	xxh (注1)	0008 C2AFh	8

注1. DPSBKR0～DPSBKR31レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

9.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	STS[4:0]				—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b8	STS[4:0]	スタンバイタイム選択ビット	b12 b8 0 0 1 0 1 : 待機時間 = 64ステート 0 0 1 1 0 : 待機時間 = 512ステート 0 0 1 1 1 : 待機時間 = 1024ステート 0 1 0 0 0 : 待機時間 = 2048ステート 0 1 0 0 1 : 待機時間 = 4096ステート 0 1 0 1 0 : 待機時間 = 16384ステート 0 1 0 1 1 : 待機時間 = 32768ステート 0 1 1 0 0 : 待機時間 = 65536ステート 0 1 1 0 1 : 待機時間 = 131072ステート 0 1 1 1 0 : 待機時間 = 262144ステート 0 1 1 1 1 : 待機時間 = 524288ステート 上記以外は設定しないでください。	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	SSBY	ソフトウェアスタンバイビット	0 : WAIT命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1 : WAIT命令実行後、ソフトウェアスタンバイモードに移行	R/W

SBYCR レジスタは、ソフトウェアスタンバイモードの制御を行うレジスタです。

STS[4:0] ビット (スタンバイタイム選択ビット)

外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでの待機時間を選択します。

水晶発振の場合、表 9.4 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。表 9.4 を参照し、待機時間を設定してください。

発振安定期間中は、周辺モジュールクロック (PCLK) の周波数でカウントされます。マルチクロック機能使用時は注意してください。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の移行先を設定します。

SSBY ビットが“0”のとき、MSTPCRA および MSTPCRB レジスタの設定に従い、WAIT 命令実行後スリープモードに移行するか、または全モジュールストップモードに移行するかが変わります。また、SSBY ビットが“1”のとき、WAIT 命令実行後はソフトウェアスタンバイモードに移行します。このとき、DPSBYCR.DPSBY ビットが“1”であれば、ソフトウェアスタンバイモードを経由して、ディープソフトウェアスタンバイモードに移行します。詳細は、「9.5 低消費電力状態」を参照してください。

なお、外部割り込みによってソフトウェアスタンバイモードが解除され通常モードに移行したときは、SSBY ビットは“1”のままです。“0”にするときは“0”を書いてください。

WDT をウォッチドックタイマモードで使用しているとき、IWDT を使用しているとき、および発振停止検出機能有効のときは、このビットに設定された値は無効になります。その場合、WAIT 命令実行後は常にスリープモード、あるいは全モジュールクロックストップモードに移行します。

9.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	—	MSTPA28	—	—	—	MSTPA24	MSTPA23	—	—	—	—	—	MSTPA17	MSTPA16
リセット後の値	0	1	0	0	x	1	1	0	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA15	MSTPA14	—	—	—	—	MSTPA9	—	MSTPA7	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

x : 不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	MSTPA7	汎用PWMタイマモジュールストップ設定ビット	対象モジュール : GPT 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユニット3モジュールストップ設定ビット	対象モジュール : MTU3 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b13-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ(ユニット1)モジュールストップ設定ビット	対象モジュール : CMTユニット1 (CMT2, CMT3) 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ(ユニット0)モジュールストップ設定ビット	対象モジュール : CMTユニット0 (CMT0, CMT1) 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b16	MSTPA16	12ビットA/Dコンバータ(ユニット1)モジュールストップ設定ビット	対象モジュール : 12ビットADCユニット1 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b17	MSTPA17	12ビットA/Dコンバータ(ユニット0)モジュールストップ設定ビット	対象モジュール : 12ビットADCユニット0 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b22-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPA23 (注1)	10ビットA/Dコンバータモジュールストップ設定ビット	対象モジュール : 10ビットADC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b24	MSTPA24	12ビットA/Dコンバータ制御部モジュールストップ設定ビット	対象モジュール : S12ADA制御部 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b26- b25	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b27	—	予約ビット	読む場合、その値は不定です。書く場合、“1”としてください	R/W
b28	MSTPA28	データトランスファコントローラモジュールストップ設定ビット	対象モジュール : DTC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	ACSE (注2)	全モジュールクロックストップモード許可ビット	0 : 全モジュールクロックストップモード禁止 1 : 全モジュールクロックストップモード許可	R/W

注1. 64ピン版では予約ビットとなります。読むと“1”が読めます。書く場合“1”としてください。

注2. SBYCR.SSBYビットが“0”で、MSTPCRA.ACSEビットが“0”の場合は、WAIT命令実行後スリープモードに移行します。

MSTPCRA レジスタは、モジュールストップ状態の制御を行うレジスタです。

ACSE ビット (全モジュールクロックストップモードイネーブルビット)

MSTPCRA、MSTPCRB レジスタで制御されるすべてのモジュールがモジュールストップ状態に設定された上で、CPU が WAIT 命令を実行した場合にバス制御部と I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。

9.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	MSTPB29	—	—	—	—	—	MSTPB23	—	MSTPB21	—	—	—	MSTPB17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MSTPB7	—	—	—	—	—	—	MSTPB0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPB0	CANモジュールストップ設定ビット (注1)	対象モジュール：CAN 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6-b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	MSTPB7	LINモジュールストップ設定ビット	対象モジュール：LIN 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラル インタフェースモジュール ストップ設定ビット	対象モジュール：RSPI 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I ² Cバスインタフェースモジュール ストップ設定ビット	対象モジュール：IIC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定 ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28-b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b29	MSTPB29	シリアルコミュニケーション インタフェース2モジュール ストップ設定ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュール ストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーション インタフェース0モジュール ストップ設定ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

注1. CAN機能なし版では予約ビットとなります。読むと“1”が読めます。書く場合“1”としてください。

MSTPCRB レジスタは、モジュールストップ状態の制御を行うレジスタです。

9.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0 (注1)	RAMモジュールストップ設定ビット	対象モジュール：RAM (0000 0000h～0000 3FFFh) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. 内蔵RAMアクセス中にMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、RAMにアクセスしないでください。

MSTPCRC レジスタは、モジュールストップ状態の制御を行うレジスタです。

9.2.5 ディープスタンバイコントロールレジスタ (DPSBYCR)

アドレス 0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP P	—	—	—	—	—	—
リセット後の値	0	0	1	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	IOKEEP	I/Oポート保持ビット	0: ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持を解除 1: ディープソフトウェアスタンバイモード解除後のIOKEEPビットへ“0”を書くと、I/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフトウェアスタンバイビット	SSBY b7 0 0: WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 0 1: WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1 0: WAIT 命令実行後、ソフトウェアスタンバイモードに移行 1 1: WAIT 命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの制御を行うレジスタです。

DPSBYCR レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

IOKEEP ビット (I/O ポート保持ビット)

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットは、ディープソフトウェアスタンバイモード時に保持した I/O ポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット (ディープソフトウェアスタンバイビット)

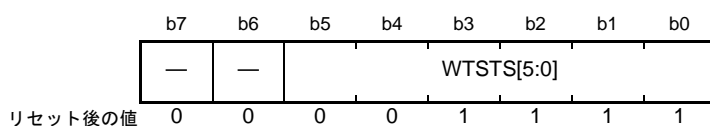
ディープソフトウェアスタンバイモードへの移行を制御します。

SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”の状態では、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。外部割り込み端子、一部の内部割り込み（電圧監視）によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは“1”のままです。“0”にするときは、“0”を書いてください。

WDT をウォッチドックタイマモードで使用しているとき、IWDT を使用しているとき、および発振停止検出機能有効のときは、このビットに設定された値は無効になります。この場合、たとえば SBYCR.SSBY ビットを“1”、かつ DPSBY ビットが“1”の状態でも、WAIT 命令実行後は、常にスリープモードあるいは全モジュールクロックストップモードに移行します。

9.2.6 ディープスタンバイウェイトコントロールレジスタ (DPSWCR)

アドレス 0008 C281h



ビット	シンボル	ビット名	機能	R/W
b5-b0	WTSTS[5:0]	ディープソフトウェアスタンバイウェイト時間設定ビット	b5 b0 0 0 0 1 0 1: 待機時間 = 64ステート 0 0 0 1 1 0: 待機時間 = 512ステート 0 0 0 1 1 1: 待機時間 = 1024ステート 0 0 1 0 0 0: 待機時間 = 2048ステート 0 0 1 0 0 1: 待機時間 = 4096ステート 0 0 1 0 1 0: 待機時間 = 16384ステート 0 0 1 0 1 1: 待機時間 = 32768ステート 0 0 1 1 0 0: 待機時間 = 65536ステート 0 0 1 1 0 1: 待機時間 = 131072ステート 0 0 1 1 1 0: 待機時間 = 262144ステート 0 0 1 1 1 1: 待機時間 = 524288ステート	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSWCR レジスタは、外部割り込み端子、一部の内部割り込み（電圧監視）によってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで LSI が待機する時間を選択するレジスタです。

DPSWCR レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

WTSTS[5:0] ビット (ディープソフトウェアスタンバイウェイト時間設定ビット)

外部割り込み端子、一部の内部割り込み（電圧監視）によってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで LSI が待機する時間を選択します。ディープソフトウェアスタンバイモードを使用する場合は、ディープソフトウェアスタンバイモードに移行する前に WTSTS[5:0] ビットの設定を行ってください。

水晶発振の場合、表 9.4 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。表 9.4 を参照し、待機時間を設定してください。

発振安定期間中は、EXTAL 入力クロック周波数でカウントされます。

9.2.7 ディープスタンバイインタラプトイネーブルレジスタ (DPSIER)

アドレス 0008 C282h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIE	—	—	DLVDE	—	—	DIRQ1 E	DIRQ0 E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0端子許可ビット	0: IRQ0端子によるディープソフトウェアスタンバイモードの解除を禁止 1: IRQ0端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b1	DIRQ1E	IRQ1端子許可ビット	0: IRQ1端子によるディープソフトウェアスタンバイモードの解除を禁止 1: IRQ1端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DLVDE	LVDディープスタンバイ解除信号許可ビット	0: 電圧監視割り込みによるディープソフトウェアスタンバイモードの解除を禁止 1: 電圧監視割り込みによるディープソフトウェアスタンバイモードの解除を許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DNMIE	NMI端子許可ビット	0: NMI端子によるディープソフトウェアスタンバイモードの解除を禁止 1: NMI端子によるディープソフトウェアスタンバイモードの解除を許可	R/(W) (注1)

注1. RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化解除後、1度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER レジスタは、ディープソフトウェアスタンバイモードを解除する外部割り込み端子、および内部の解除信号の許可/禁止を設定するレジスタです。

DPSIER レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

なお、DPSIER レジスタの設定を変更すると、対応する端子の入力バッファを制御する内部状態が変化します。この時、端子の状態によっては内部的にエッジが発生し DPSIFR レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードへ移行する前に、DPSIFR レジスタを“0”にしてください。

また、DPSIER レジスタが“0”になっている端子は、ディープソフトウェアスタンバイモードへ移行する際、入力バッファは無効になります。この時、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR レジスタが“1”になる場合があります。ただし、DPSIEGR レジスタが“0”になっている場合は、立ち上がりエッジを検出しないため、DPSIFR レジスタは“1”になりません。

9.2.8 ディープスタンバイインタラプトフラグレジスタ (DPSIFR)

アドレス 0008 C283h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIF	—	—	DLVDF	—	—	DIRQ1 F	DIRQ0 F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0ディープスタンバイ解除フラグ	0 : IRQ0 端子による解除要求の発生なし 1 : IRQ0 端子による解除要求の発生あり	R/(W) (注1)
b1	DIRQ1F	IRQ1ディープスタンバイ解除フラグ	0 : IRQ1 端子による解除要求の発生なし 1 : IRQ1 端子による解除要求の発生あり	R/(W) (注1)
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DLVDF	LVDディープスタンバイ解除フラグ	0 : 電圧監視信号による解除要求の発生なし 1 : 電圧監視信号による解除要求の発生あり	R/(W) (注1)
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DNMIF	NMIディープスタンバイ解除フラグ	0 : NMI 端子による解除要求の発生なし 1 : NMI 端子による解除要求の発生あり	R/(W) (注1)

注1. “0”のみ書けます。

DPSIFR レジスタは、ディープソフトウェアスタンバイモードの解除要求を保持するレジスタです。

ディープスタンバイインタラプトエッジレジスタ (DPSIEGR) で設定した解除要求が発生したときに“1”になります。ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になるため、DPSIFR レジスタを“0”にした後、ディープソフトウェアスタンバイモードへ移行してください。

DPSIFR レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

DIRQnF フラグ (IRQn ディープスタンバイ解除フラグ) (n = 0, 1)

IRQn 端子による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR レジスタで選択した IRQn 端子による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DLVDF フラグ (LVD ディープスタンバイ解除フラグ)

電圧監視信号による解除要求が発生したことを示します。

[“1”になる条件]

- 電圧監視信号による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

DNMIF フラグ (NMI ディープスタンバイ解除フラグ)

NMI 端子による解除要求が発生したことを示します。

[“1”になる条件]

- DPSIEGR レジスタで設定した NMI 端子による解除要求が発生したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

9.2.9 ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)

アドレス 0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIE G	—	—	—	—	—	DIRQ1 EG	DIRQ0 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DNMIEG	NMIエッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

DPSIEGR レジスタは、ディープソフトウェアスタンバイモードの解除に使用する解除信号のエッジ選択を行うレジスタです。

DPSIEGR レジスタは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。

9.2.10 リセットステータスレジスタ (RSTSR)

アドレス 0008 C285h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSRS TF	—	—	—	—	LVD2F	LVD1F	PORF
リセット後の値	0/1 (注1)	0	0	0	0	0/1 (注1)	0/1 (注1)	0/1 (注1)

注1. リセット要因に依存して初期値が決まります。

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセットフラグ	0: パワーオンリセット未発生 1: パワーオンリセット発生	R
b1	LVD1F	LVD1検知フラグ	0: LVD1未検知 1: LVD1検知	R/(W) (注1)
b2	LVD2F	LVD2検知フラグ	0: LVD2未検知 1: LVD2検知	R/(W) (注1)
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	0: 外部割り込み、一部の内部割り込み（電圧監視）によるディープソフトウェアスタンバイモード解除要因の発生なし 1: 外部割り込み、一部の内部割り込み（電圧監視）によるディープソフトウェアスタンバイモード解除要因の発生あり	R/(W) (注1)

注1. フラグをクリアするための“0”書き込みのみ可能です。

RSTSR レジスタは、内部リセットの発生要因を示すレジスタです。

PORF フラグ (パワーオンリセットフラグ)

パワーオンリセットが発生したことを示します。

PORF フラグは RES# 端子からのリセット信号で初期化されます。ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

[“1”になる条件]

- パワーオンリセットが発生したとき

[“0”になる条件]

- RES# 端子でリセットしたとき

LVD1F フラグ (LVD1 検知フラグ)

Vdet1 レベル以下の VCC 電圧を検知したことを示します。

LVD1F フラグは RES# 端子からのリセット信号およびパワーオンリセットで初期化されます。ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

[“1”になる条件]

- Vdet1 レベル以下の V_{CC} 電圧を検知したとき

[“0”になる条件]

- LVDCR.LVD1E ビットが“1”の状態、VCC が Vdet1 を超え安定化時間を経過した状態で、“1”を読んだ後、“0”を書いたとき
- RES# 端子でリセットしたとき
- パワーオンリセットが発生したとき

LVD2F フラグ (LVD2 検知フラグ)

Vdet2 レベル以下の V_{CC} 電圧を検知したことを示します。

LVD2F フラグは RES# 端子からのリセット信号およびパワーオンリセットで初期化されます。ディープソフトウェアスタンバイモードを解除する際の内部リセット信号では初期化されません。

["1" になる条件]

- Vdet2 レベル以下の V_{CC} 電圧を検知したとき

["0" になる条件]

- LVDCR.LVD2E ビットが "1" の状態で、VCC が Vdet2 を超え安定化時間を経過した状態で、"1" を読んだ後、"0" を書いたとき
- RES# 端子でリセットしたとき
- パワーオンリセットが発生したとき
- LVD1 によるリセットが発生したとき

DPSRSTF フラグ (ディープソフトウェアスタンバイリセットフラグ)

ディープソフトウェアスタンバイモードが DPSIER、DPSIEGR レジスタで設定した外部割り込み要因、一部の内部割り込み（電圧監視）で解除され、内部リセットが発生したことを示します。

DPSRSTF フラグは、RES# 端子からのリセット信号、パワーオンリセットおよび電圧監視リセットで初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

["1" になる条件]

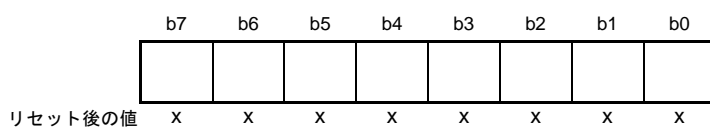
- 外部割り込み要因、一部の内部割り込み（電圧監視）によりディープソフトウェアスタンバイモードを解除したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- RES# 端子でリセットしたとき
- パワーオンリセットが発生したとき
- LVD1 によるリセットが発生したとき
- LVD2 によるリセットが発生したとき

9.2.11 ディープスタンバイバックアップレジスタ (DPSBKRY) (y=0 ~ 31)

アドレス 0008 C290h~0008 C2AFh



x : 不定

DPSBKRY レジスタは、ディープソフトウェアスタンバイモード中にデータを退避するための32バイトの読み出し、書き込みいずれも可能です。

内蔵RAMのデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。

DPSBKRY レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

9.3 マルチクロック機能

SCKCR.ICK[3:0], PCK[3:0] ビットを設定すると、クロック周波数が切り替わります。

CPU とバスマスタは、ICK[3:0] ビットで設定した動作クロックで動作します。周辺モジュールは、PCK[3:0] ビットで設定した動作クロックで動作します。詳細は「8. クロック発生回路」を参照してください。

9.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRC レジスタに対応する MSTPyj ビット (y=A ~ C, j=31 ~ 0) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は単独で動作を継続します。対応する MSTPyj ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。

モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット後は、DTC、内蔵 RAM を除くすべてのモジュールがモジュールストップ状態になっています。モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできません。

9.5 低消費電力状態

9.5.1 スリープモード

9.5.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、CPU はスリープモードになります。

スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル (注2) を、CPU の PSW.IPL[2:0] ビット (注1) よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注2) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「11. 割り込みコントローラ (ICU)」を参照してください。

9.5.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子によるリセット、パワーオンリセット、電圧監視リセット、WDT のオーバフローによるリセット、または IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除
割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。ただし、マスクされた割り込みが CPU でマスクされている場合 (割り込み優先レベルが (注1) が CPU の PSW.IPL[3:0] ビット (注2) 以下に設定されている場合) には、スリープモードは解除されません。
- RES# 端子による解除
RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。
- WDT のオーバフローリセットによる解除
WDT のオーバフローの内部リセットによって、スリープモードが解除されます。
- IWDT による解除
IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。
- 電圧監視リセットによる解除
電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。
- パワーオンリセットによる解除
パワーオンリセットにより、スリープモードが解除されます。

注1. 詳細は「11. 割り込みコントローラ (ICU)」を参照してください。

注2. 詳細は「2. CPU」を参照してください。

9.5.2 全モジュールクロックストップモード

9.5.2.1 全モジュールクロックストップモードへの移行

SBYCR.SSBY ビットを“0”にした状態で WAIT 命令を実行したとき、以下の2つの条件が成立していればバスサイクルの終了時点で全モジュールクロックストップモードへ移行します。(注1)

- MSTPCRA.ACSE ビットが“1”である
- MSTPCRA、MSTPCRB レジスタで制御されるすべてのモジュールをモジュールストップ状態に設定している (MSTPCRA、MSTPCRB = FFFFFFFFh)

全モジュールクロックストップモードでは、ウォッチドッグタイマ、独立ウォッチドッグタイマ、電圧検出回路、パワーオンリセット回路、POE (注4) を除いた全周辺モジュールと、CPU、バス制御部、および I/O ポートの動作が停止します。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

1. CPU の PSW.I ビット (注2) を“0”にする。
2. 全モジュールクロックストップモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
3. 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル (注3) を CPU の PSW.IPL[3:0] ビット (注2) よりも高く設定する。
4. 全モジュールクロックストップモードからの復帰に使用する割り込みの IERm.IENn ビット (注3) を“1”にする。
5. WAIT 命令を実行する (WAIT 命令の実行により CPU の PSW.I ビット (注2) は自動的に“1”になります)。

注1. DTC の動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にし、DTC が起動されていない状態で行ってください。

注2. 詳細は「2. CPU」を参照してください。

注3. 詳細は「11. 割り込みコントローラ (ICU)」を参照してください。

注4. POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生時のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

9.5.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部割り込み (NMI 端子、IRQ0 ~ IRQ7 端子)、RES# 端子、電圧監視リセット、パワーオンリセット、内部割り込み (WDT、電圧監視、発振停止検出) によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。マスクブル割り込みが CPU でマスクされている場合 (割り込みの優先レベル (注1) が CPU の PSW.IPL[3:0] ビット (注2) 以下に設定されている場合)、または DTC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

注1. 詳細は「11. 割り込みコントローラ (ICU)」を参照してください。

注2. 詳細は「2. CPU」を参照してください。

9.5.3 ソフトウェアスタンバイモード

9.5.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にし、DPSBYCR.DPSBY ビットを“0”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの値と、内蔵 RAM のデータ、内蔵周辺機能と、I/O ポートの状態は保持されます。ソフトウェアスタンバイモードモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DTC.DTCST.DTCST ビットを“0”にしておいてください。

WDT をウォッチドックタイマモードで使用している場合、または IWDT を使用している場合、ソフトウェアスタンバイモードに移行できません。WAIT 命令を実行する前に WDT を停止させてください。

また、発振停止検出機能有効の場合（注1）、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、発振停止検出機能無効に設定後、WAIT 命令を発行してください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

1. CPU の PSW.I ビット（注2）を“0”にする。
2. ソフトウェアスタンバイモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
3. ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル（注3）を CPU.PSW.IPL[3:0] ビット（注2）よりも高く設定する。
4. ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENn ビット（注3）を“1”にする。
5. WAIT 命令を実行する（WAIT 命令の実行により CPU.PSW.I ビット（注2）は自動的に“1”になります）。

注1. リセット解除後、発振停止検出機能（OSTDCR.OSTDE ビット）は有効です。

注2. 詳細は、「2. CPU」を参照してください。

注3. 詳細は、「11. 割り込みコントローラ（ICU）」を参照してください。

9.5.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI、IRQ0～IRQ7^(注1)）、一部の内部割り込み（電圧監視）、RES# 端子によるリセット、パワーオンリセット、または電圧監視リセットによって行われます。

1. 割り込みによる解除

NMI、IRQ0～IRQ7^(注1)、電圧監視による割り込みの要求信号が入力されると、クロックが発振を開始し、SBYCR.STS[4:0] ビットで選択した時間が経過した後、安定したクロックが RX62T 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

2. RES# 端子による解除

RES# 端子を Low にすると、クロックの発振を開始します。クロックの発振開始と同時に、LSI にクロックを供給します。このとき RES# 端子は必ずクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

3. パワーオンリセットによる解除

電源電圧の低下によりパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

4. 電圧監視リセットによる解除

電源電圧の低下により電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除され、クロックの発振を開始します。

注1. 詳細は、「11. 割り込みコントローラ（ICU）」を参照してください。

9.5.3.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR.STS[4:0] ビットは、以下のように設定してください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるように STS[4:0] ビットを設定してください。

表 9.4 に、動作周波数と STS[4:0] ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL 回路の安定時間が必要となります。表 9.4 を参照し待機時間を設定してください。

表 9.4 発振安定時間の設定

STS4	STS3	STS2	STS1	STS0	待機時間 (ステート)	PCLK (注1) (MHz)			単位
						50	25	8	
0	0	0	0	0	(予約)	—	—	—	μs
				1	(予約)	—	—	—	
			1	0	(予約)	—	—	—	
				1	(予約)	—	—	—	
		1	0	0	(予約)	—	—	—	
				1	64	1.3	2.6	8.0	
			1	0	512	10.25	20.5	64.0	
				1	1024	20.5	41.0	128.0	
	1	0	0	0	2048	40.95	81.9	256.0	
				1	4096	0.08	0.16	0.51	
			1	0	16384	0.33	0.66	2.05	
				1	32768	0.655	1.31	4.10	
		1	0	0	65536	1.31	2.62	8.19	
				1	131072	2.62	5.24	16.38	
1	0	0	262144	5.25	10.49	32.77			
		1	524288	10.49	20.97	65.54			
1	x	x	x	x	(予約)	—	—	—	ms

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

注1. PCLKは周辺モジュール分周器の出力です。
発振安定待ち時間は、発振器が発振安定していない期間も含みますので、発振子の特性に影響されます。
上記数値は参考値です

9.5.3.4 ソフトウェアスタンバイモードの応用例

IRQ 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQ 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 9.2 に示します。

この例では、ICU の `IRQCRi.IRQMD[1:0]` ビットが “01b” (立ち下がりエッジ) に設定されている状態で、IRQ 割り込みを受け付けた後、`IRQMD[1:0]` ビットを “10b” (立ち上がりエッジ) に設定し、`SBYCR.SSBY` ビットを “1” にした後、`WAIT` 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQ 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「11. 割り込みコントローラ (ICU)」を参照してください。

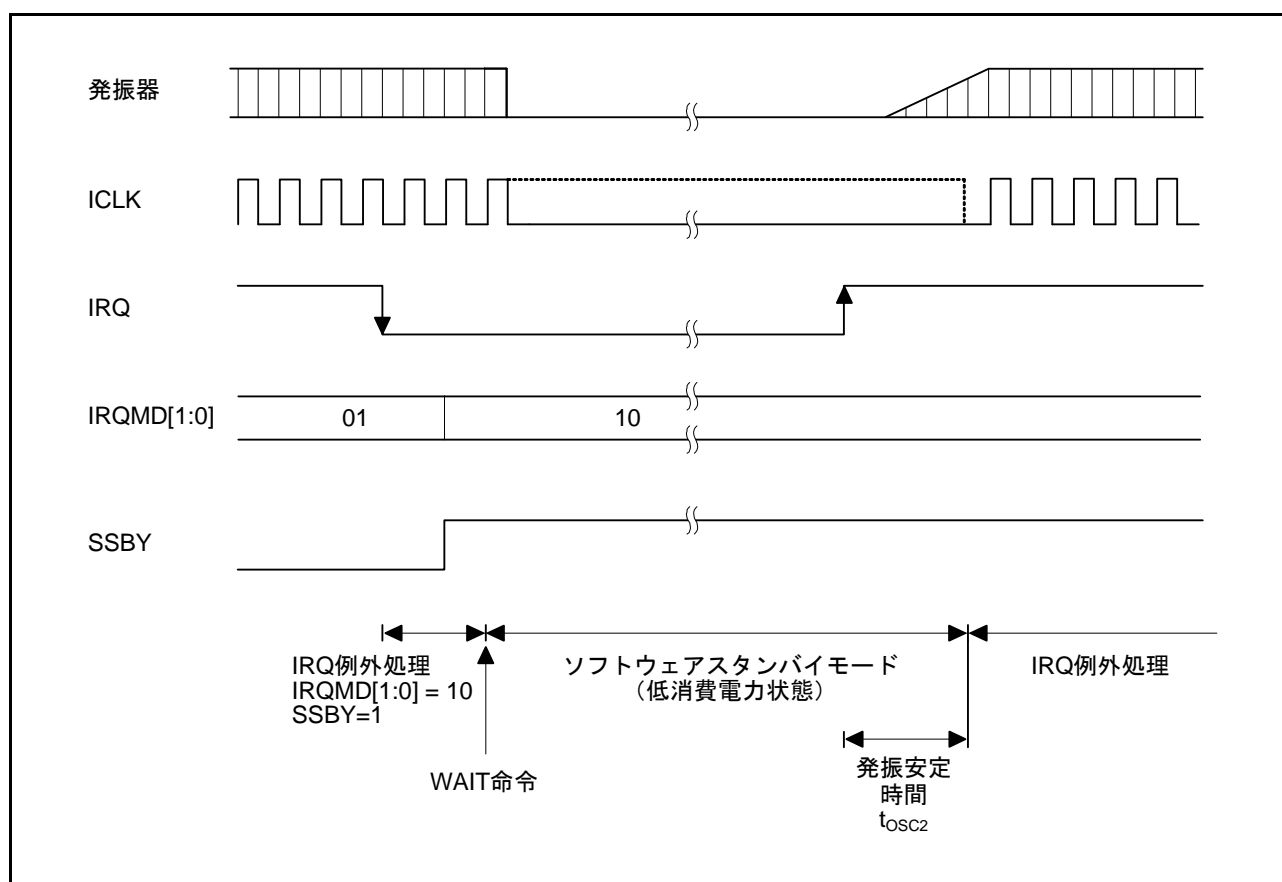


図 9.2 ソフトウェアスタンバイモードの応用例

9.5.4 ディープソフトウェアスタンバイモード

9.5.4.1 ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが“1”の状態、WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します（注1）。このとき、DPSBYCR.DPSBY ビットが“1”なら、ディープソフトウェアスタンバイモードに移行します。ただし、ソフトウェアスタンバイモードに移行した際に、ソフトウェアスタンバイモード解除要求（NMI、IRQ0～7 割り込み要求、一部の内部割り込み（電圧監視））の発生が競合した場合には、DPSBY ビットの設定にかかわらず、ソフトウェアスタンバイモードが解除され、SBYCR.STS[4:0] ビットで選択したソフトウェアスタンバイモードの発振安定時間が経過した後、割り込み例外処理が開始されます。

SSBY ビットと DPSBY ビットがともに“1”の状態、かつソフトウェアスタンバイモード解除要求が発生していない場合は、ソフトウェアスタンバイモードに移行後、直ちにディープソフトウェアスタンバイモードに移行します。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能、内蔵 RAM、および発振器のすべての機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。このとき、CPU、内蔵周辺機能のレジスタ内容はすべて不定となります。内蔵 RAM のデータも、すべて不定となります。

電圧検出回路、パワーオンリセット回路は、ディープソフトウェアスタンバイモード時も有効です。ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

- 注1. WAIT 命令実行前に、ソフトウェアスタンバイモードへ移行する際の DTC、WDT、IWDT、発振停止検出機能に関する条件を満たしておく必要があります。詳細は、「9.5.3 ソフトウェアスタンバイモード」を参照してください。

9.5.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部割り込み端子（NMI 端子、IRQ0-A、IRQ1-A 端子）、一部の内部割り込み（電圧監視）、RES# 端子によるリセット、パワーオンリセット、または電圧監視リセットによって行われます。

1. 外部割り込みおよび内部割り込みによる解除

DPSIFR レジスタは、ディープソフトウェアスタンバイモードの解除要因を保持するレジスタで、解除要求が発生したときに“1”になります。このとき、DPSIER レジスタで解除要因が許可されている場合、ディープソフトウェアスタンバイモードは解除されます。

DPSIFR.DNMIF、DIRQnF フラグは、DPSIER.DNMIE ビットや、DPSIER.DIRQnE ビット（n=1、0）で許可した NMI 端子、または IRQ0-A ~ IRQ1-A 端子にエッジが発生すると“1”になります。立ち上がりエッジと立ち下がりエッジの選択は DPSIEGR レジスタで端子ごとに行えます。

また、DLVDF フラグは、DPSIER.DLDVE ビットで許可した電圧監視割り込みが発生すると“1”になります。

ディープソフトウェアスタンバイモードの解除要求が発生すると、クロック発振を開始すると同時に、内部電源の供給を開始し、LSI 全体に対して内部リセット信号が発生します。

DPSWCR.WTSTS[5:0] ビットで選択した待機時間が経過した後、安定したクロックが LSI 全体に供給され、内部リセットが解除されます。内部リセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

外部割り込みおよび内部割り込みによってディープソフトウェアスタンバイモードが解除されると、RSTSR.DPSRSTF フラグが“1”になります。

2. RES# 端子による解除

RES# 端子を Low にすると、クロックの発振を開始し、同時に内部電源の供給を開始します。クロックの発振開始と同時に、LSI にクロックが供給されます。このとき RES# 端子は必ずクロックの発振が安定するまで Low に保持してください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

3. パワーオンリセットによる解除

電源電圧の低下によりパワーオンリセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

4. 電圧監視リセットによる解除

電源電圧の低下により電圧監視リセットが発生すると、ディープソフトウェアスタンバイモードは解除されます。

9.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/Oポートはソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、LSI内部は初期化されており、ディープソフトウェアスタンバイモードが解除されると直ちにリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEPビットで、I/Oポートを初期状態とするか、ソフトウェアスタンバイモード時のI/Oポートの状態を保持し続けるかを選択することができます。

- IOKEEPビットが“0”のとき

ディープソフトウェアスタンバイモードにともなう内部リセットによって、I/Oポートは初期化されません。

- IOKEEPビットが“1”のとき

ディープソフトウェアスタンバイモードにともなう内部リセットによって、LSI内部は初期化されていますが、I/OポートはLSI内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持し続けます。このとき、I/Oポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時のI/Oポートの状態を保持し続けます。その後、IOKEEPビットを“0”にすることで、I/Oポートの状態保持は解除され、内部状態に応じた動作となります。

IOKEEPビットは、ディープソフトウェアスタンバイモードの解除にともなう内部リセットによって初期化されません。

9.5.4.4 ディープソフトウェアスタンバイモード解除後の発振安定時間の設定

DPSWCR.WTSTS[5:0] ビットは、以下のように設定してください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるように WTSTS[5:0] ビットを設定してください。

表 9.5 に EXTAL 入力クロック周波数と、WTSTS[5:0] ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL 回路の安定時間が必要となります。表 9.5 を参照し待機時間を設定してください。

表 9.5 発振安定時間の設定

WTSTS5	WTSTS4	WTSTS3	WTSTS2	WTSTS1	WTSTS0	待機時間 (ステート)	EXTAL入力クロック周波数 (注1) (MHz)			単位
							12	10	8	
0	0	0	0	0	0	(予約)	—	—	—	μs
					1	(予約)	—	—	—	
				1	0	(予約)	—	—	—	
					1	(予約)	—	—	—	
			1	0	0	(予約)	—	—	—	
					1	64	5.3	6.4	8.0	
				1	0	512	42.7	51.2	64.0	
					1	1024	85.3	102.4	128.0	
		2048				170.7	204.8	256.0		
		1			0	0	4096	0.34	0.41	
			1	16384		1.37	1.64	2.05		
			1	0	1	32768	2.73	3.26	4.10	
					65536	5.46	6.55	8.19		
				1	1	131072	10.92	13.11	16.38	
262144	21.85				26.21	32.77				
1	524288	43.69	52.43	65.54						
1	1	x	x	x	x	(予約)	—	—	—	
1	1	x	x	x	x	(予約)	—	—	—	

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

注1. 発振安定待ち時間は、発振器が発振安定していない期間も含みますので、発振子の特性に影響されます。
上記数値は参考値です。

9.5.4.5 ディープソフトウェアスタンバイモードの応用例

IRQ 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQ 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 9.3 に示します。

この例では、ICU の IRQCri.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) の状態で、IRQ 割り込みを受け付けた後、DPSIEGR.DIRQnEG ビット (n=1, 0) を “1” (立ち上がりエッジ) にし、SBYCR.SSBY ビットと、DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQ 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

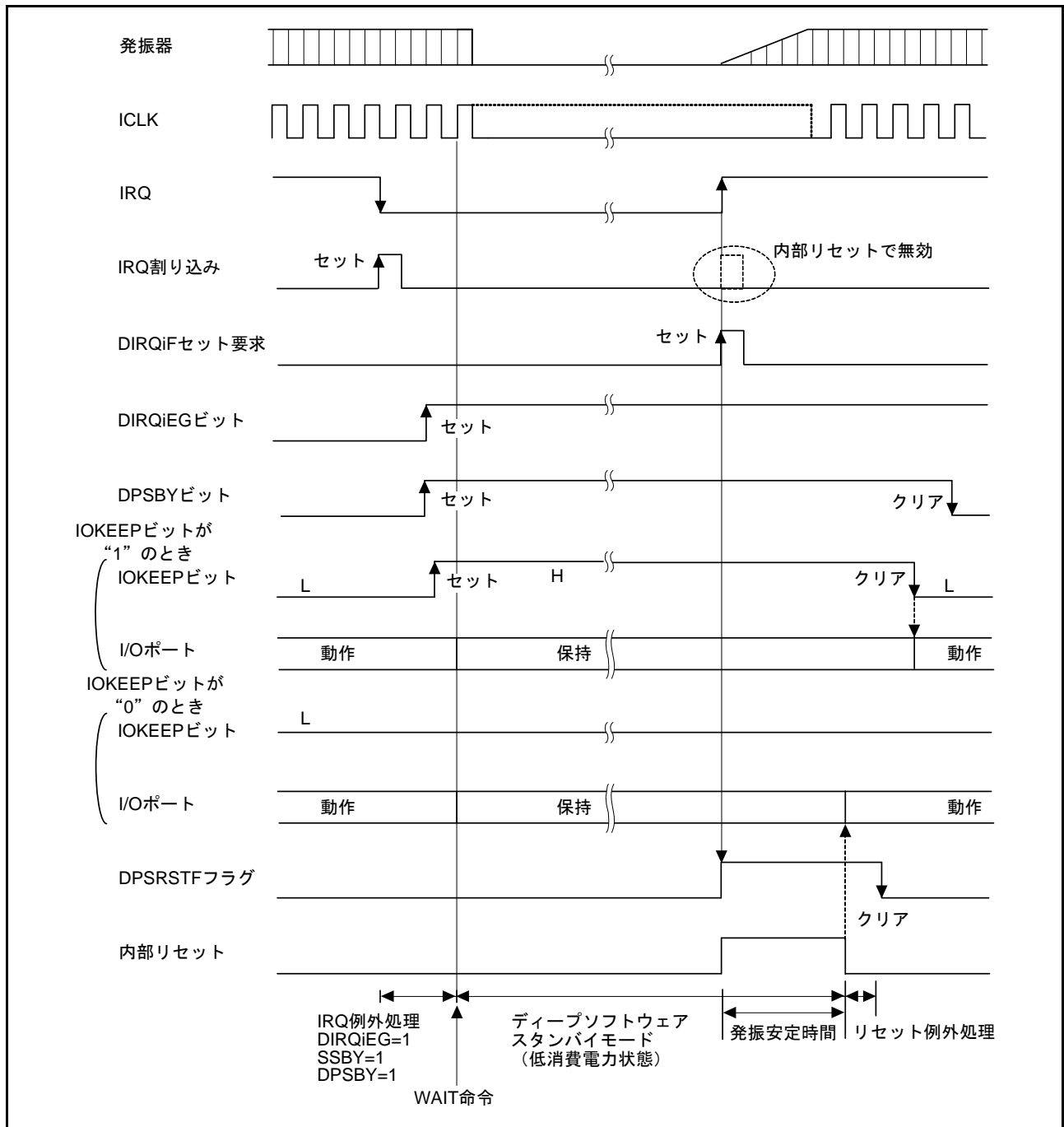


図 9.3 ディープソフトウェアスタンバイモードの応用例

9.5.4.6 ディープソフトウェアスタンバイモードのフローチャート

図 9.4 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR.DPSRSTF フラグにて RES# 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを“0”にしています。

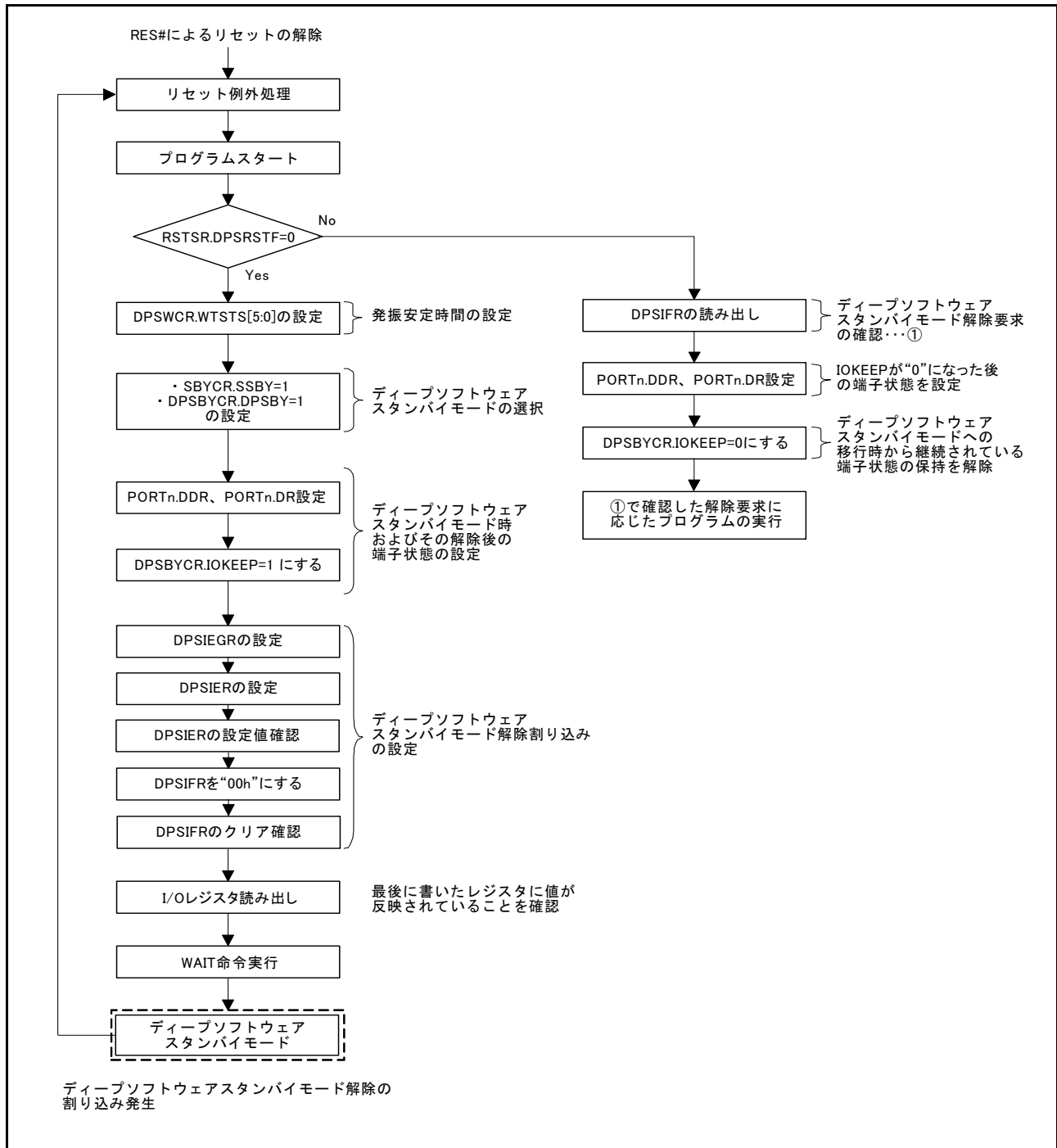


図 9.4 ディープソフトウェアスタンバイモードのフローチャート例

9.6 使用上の注意事項

9.6.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/Oポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

9.6.2 DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にし、DTC が起動されてない状態で行ってください。

詳細は「14. データトランスファコントローラ (DTC)」を参照してください。

9.6.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

9.6.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

9.6.5 DIRQnE ビット (n=1、0) による入力バッファ制御

DPSIER.DIRQnE (n=1、0) ビットを“1”にすることで、P10/IRQ0-A、P11/IRQ1-A 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFR.DIRQnF (n = 1、0) ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

割り込みコントローラや周辺モジュール、I/O ポートへの入力は PORTn.ICR レジスタで制御してください。

9.6.6 ディープソフトウェアスタンバイモードの移行と割り込みの競合

ディープソフトウェアスタンバイモードへ移行する際、ソフトウェアスタンバイモードの解除要求が競合した場合には、ディープソフトウェアスタンバイモードへは移行せずにソフトウェアスタンバイモードの解除シーケンスを開始します。その後、SBYCR.STS[4:0] ビットで選択したソフトウェアスタンバイモードの発振安定時間が経過した後、割り込み例外処理が開始されます。

ディープソフトウェアスタンバイモードへの移行とソフトウェアスタンバイモードの解除要求が競合する場合は、割り込み例外処理ルーチンが必要ですので、注意してください。

9.6.7 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。必ず最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

10. 例外処理

10.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RX CPU は、7 種類の例外に対応します。図 10.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードに移行します。

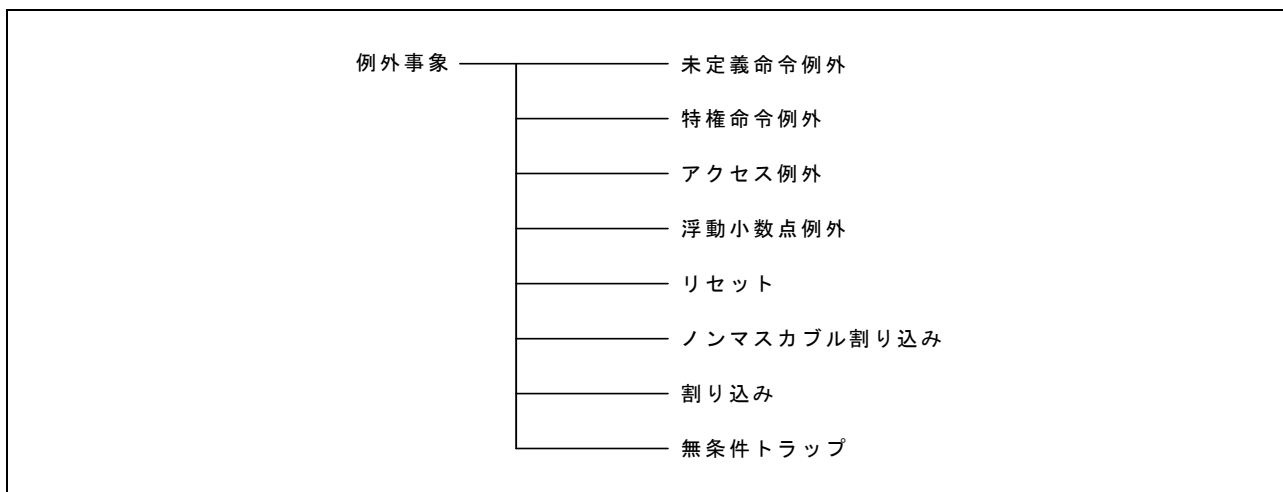


図 10.1 例外事象の種類

10.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

10.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

10.1.3 アクセス例外

アクセス例外は、CPUからのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

10.1.4 浮動小数点例外

浮動小数点例外は、IEEE754規格で規定された5つの例外事象（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSWのEX、EU、EZ、EO、EVビットが“0”のとき、例外処理が禁止されます。

10.1.5 リセット

CPUにリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

10.1.6 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

10.1.7 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15（最高）です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

10.1.8 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

10.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 10.2 に示します。

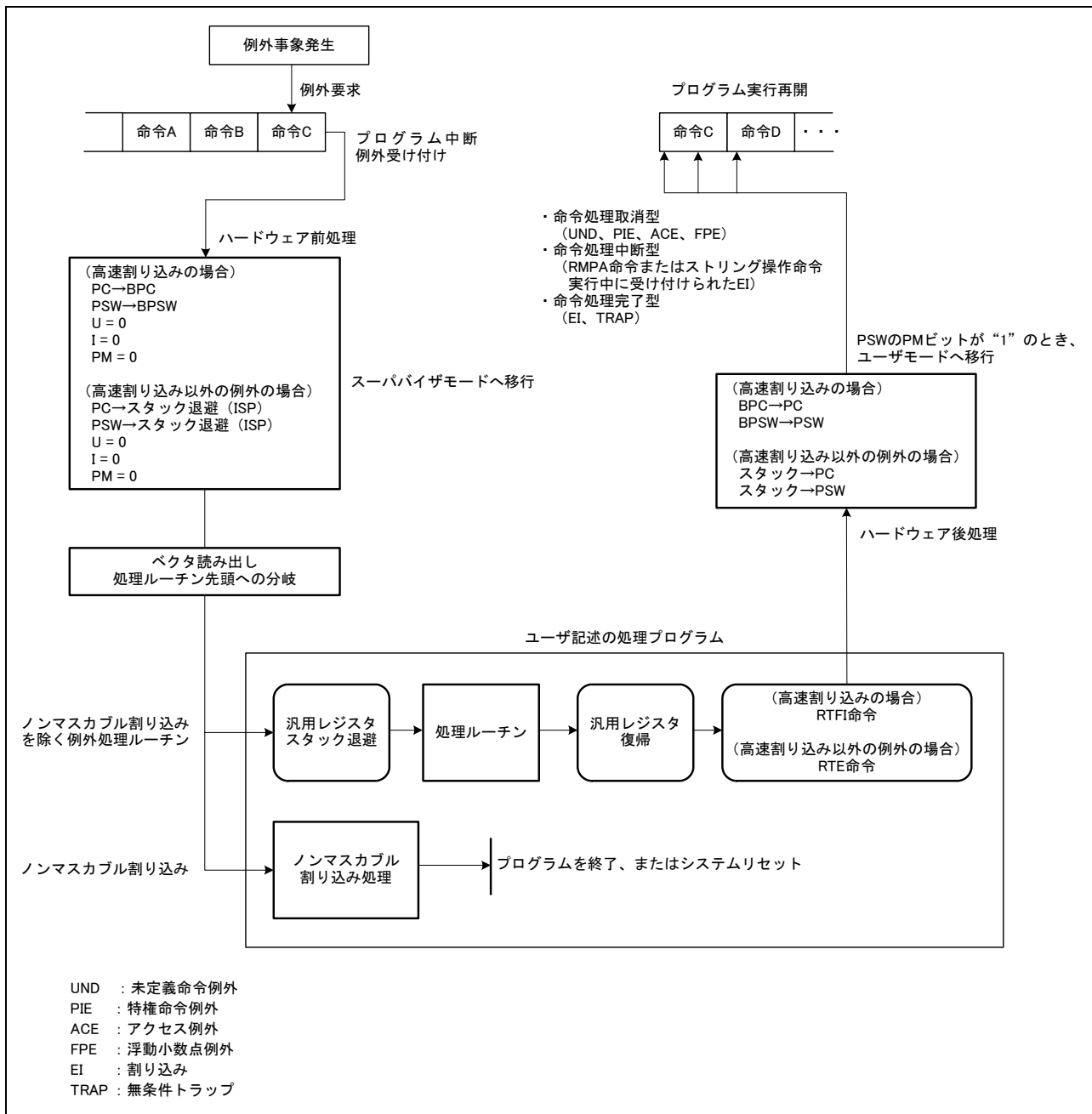


図 10.2 例外処理手順の概要

例外が受け付けられると、RX CPU はハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには各例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RX CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアッププログラムカウンタ (BPC) に、プロセッサステータスワード (PSW) の内容をバックアッププロセッサステータスワード (BPSW) へ退避します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ルーチン処理完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスクابل割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RX CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

10.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチン処理に分岐します。

10.3.1 受け付けタイミングと保存される PC 値

各例外事象の受け付けタイミングと保存されるプログラムカウンタ (PC) の値を表 10.1 に示します。

表 10.1 受け付けタイミングと保存される PC 値

例外事象	処理型	受け付け タイミング	BPC/スタックに保存されるPC値
未定義命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値
特権命令例外	命令処理取消型	命令実行中	例外が発生した命令のPC値
アクセス例外	命令処理放棄型	命令実行中	例外が発生した命令のPC値
浮動小数点例外	命令処理取消型	命令実行中	例外が発生した命令のPC値
リセット	命令処理放棄型	各サイクル	なし
ノンマスカブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE命令実行中	命令実行中	実行中の命令のPC値
	上記以外の状態	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE命令実行中	命令実行中	実行中の命令のPC値
	上記以外の状態	命令の区切り	次の命令のPC値
無条件トラップ	命令処理完了型	命令の区切り	次の命令のPC値

10.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ (PC)、プロセッサステータスワード (PSW) の退避場所を表 10.2 に示します。

表 10.2 ベクタと PC、PSW の退避場所

例外事象	ベクタ	PC、PSWの退避場所
未定義命令例外	固定ベクタテーブル	スタック
特権命令例外	固定ベクタテーブル	スタック
アクセス例外	固定ベクタテーブル	スタック
浮動小数点例外	固定ベクタテーブル	スタック
リセット	固定ベクタテーブル	なし
ノンマスカブル割り込み	固定ベクタテーブル	スタック
割り込み	高速割り込み	FINTV
	高速割り込み以外	可変ベクタテーブル (INTB)
無条件トラップ	可変ベクタテーブル (INTB)	スタック

10.4 例外の受け付け／復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注． FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM、U、I ビットの更新

I : 0 にする

U : 0 にする

PM : 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

10.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

10.5.1 未定義命令例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
- (4) FFFFFFFDh 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.2 特権命令例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
- (4) FFFFFFFD0h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.3 アクセス例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
- (4) FFFFFFFD4h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.4 浮動小数点例外

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
- (4) FFFFFFFE4h 番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.5 リセット

- (1) 制御レジスタを初期化します。
- (2) FFFFFFFFCh 番地からベクタを取得します。
- (3) 取得したベクタをプログラムカウンタ (PC) にセットします。

10.5.6 ノンマスカブル割り込み

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
- (4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
- (5) FFFFFFFF8h 番地からベクタを取得します。
- (6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.7 割り込み

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
- (4) PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
- (5) 可変ベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
- (6) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.5.8 無条件トラップ

- (1) プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
- (2) PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
- (3) 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
- (4) INT 命令の場合は、可変ベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、可変ベクタテーブルの先頭番地からベクタを取得します。
- (5) 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

10.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 10.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC、BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 10.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		復帰不可能
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

10.7 例外事象の優先順位

例外事象の優先順位を表 10.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 10.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 命令アクセス例外
	5 未定義命令例外 特権命令例外
	6 無条件トラップ
	7 オペランドアクセス例外
	8 浮動小数点例外

11. 割り込みコントローラ (ICU)

11.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよびDTCの起動を行ないます。

表 11.1 に割り込みコントローラの仕様を、図 11.1 に割り込みコントローラのブロック図を示します。

表 11.1 割り込みコントローラの仕様

項目	内容	
割り込み	周辺機能割り込み	周辺モジュールからの割り込み <ul style="list-style-type: none"> 要因数：101 割り込み検出：エッジ検出／レベル検出 接続している周辺モジュールの要因ごとに検出方法が決められている
	外部端子割り込み	IRQ7～IRQ0端子からの割り込み <ul style="list-style-type: none"> 要因数：8 割り込み検出：Low／立ち下がりエッジ／立ち上がりエッジ／両エッジを要因ごとに設定可能
	ソフトウェア割り込み	レジスタ書き込みによる割り込み <ul style="list-style-type: none"> 要因数：1
	割り込み優先順位	レジスタで優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化が可能。1要因にのみ設定可能
	DTC制御	割り込み要因によってDTCを起動可能 <ul style="list-style-type: none"> DTC起動要因：87（周辺機能割り込み 78＋外部端子割り込み 8＋ソフトウェア割り込み 1）
ノンマスクابل割り込み	NMI端子割り込み	NMI端子からの割り込み <ul style="list-style-type: none"> 割り込み検出：立ち下がりエッジ／立ち上がりエッジ
	電圧監視割り込み	電源電圧低下検出時の割り込み
	発振停止検出割り込み	発振停止検出時の割り込み
低消費電力状態からの復帰	<ul style="list-style-type: none"> スリープモード：ノンマスクابل割り込み、全割り込み要因で復帰 全モジュールクロックストップモード：ノンマスクابل割り込み、IRQ7～IRQ0割り込み、WDT割り込みで復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ7～IRQ0割り込みで復帰 	

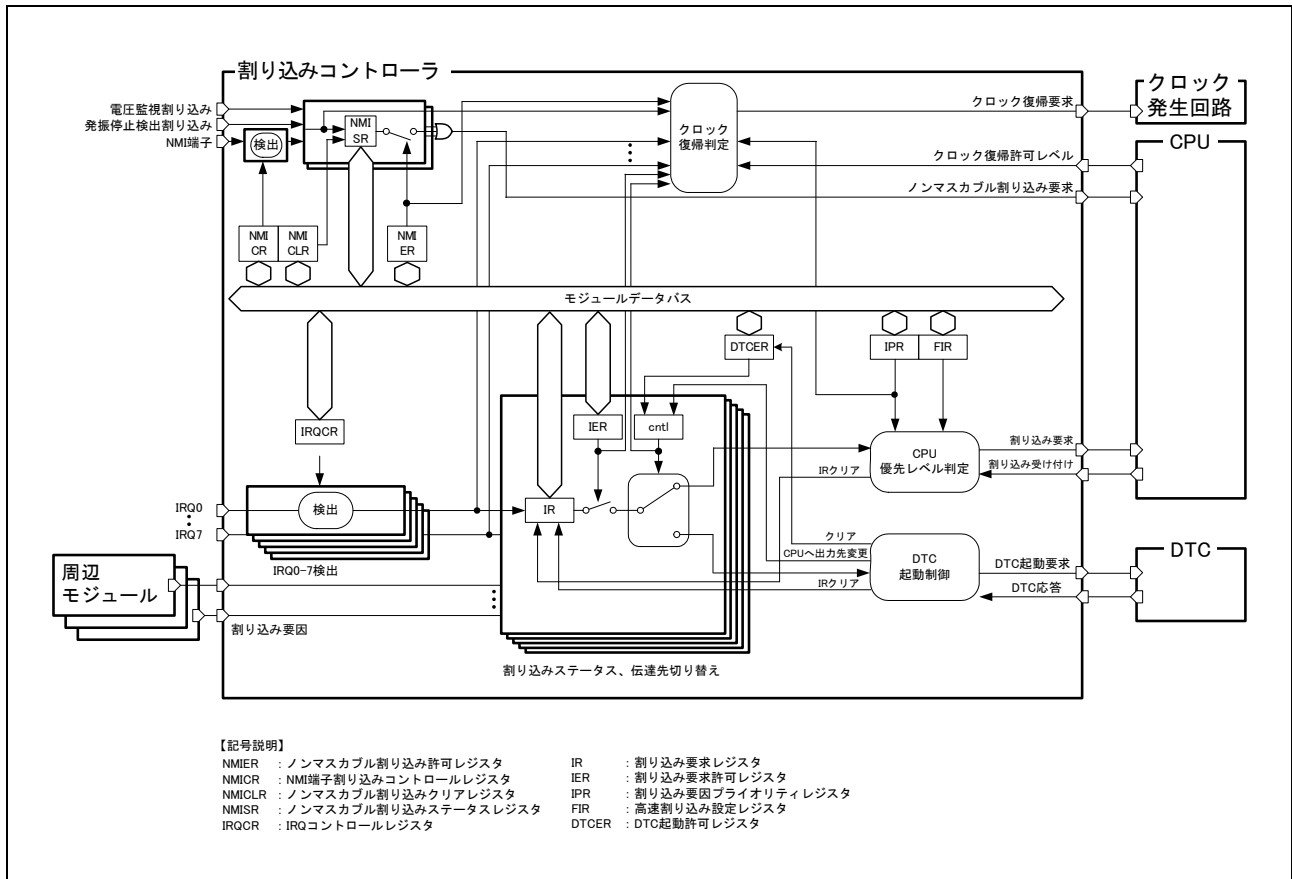


図 11.1 割り込みコントローラのブロック図

表 11.2 に割り込みコントローラの入出力端子を示します。

表 11.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスク割り込み要求端子
IRQ7～IRQ0	入力	外部割り込み要求端子

11.2 レジスタの説明

表 11.3 に割り込みコントローラのレジスタ一覧を示します。

表 11.3 割り込みコントローラのレジスタ一覧 (1 / 6)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 016	IR016	00h	0008 7010h	8
割り込み要求レジスタ 021	IR021	00h	0008 7015h	8
割り込み要求レジスタ 023	IR023	00h	0008 7017h	8
割り込み要求レジスタ 027	IR027	00h	0008 701Bh	8
割り込み要求レジスタ 028	IR028	00h	0008 701Ch	8
割り込み要求レジスタ 029	IR029	00h	0008 701Dh	8
割り込み要求レジスタ 030	IR030	00h	0008 701Eh	8
割り込み要求レジスタ 031	IR031	00h	0008 701Fh	8
割り込み要求レジスタ 044	IR044	00h	0008 702Ch	8
割り込み要求レジスタ 045	IR045	00h	0008 702Dh	8
割り込み要求レジスタ 046	IR046	00h	0008 702Eh	8
割り込み要求レジスタ 047	IR047	00h	0008 702Fh	8
割り込み要求レジスタ 056	IR056	00h	0008 7038h	8
割り込み要求レジスタ 057	IR057	00h	0008 7039h	8
割り込み要求レジスタ 058	IR058	00h	0008 703Ah	8
割り込み要求レジスタ 059	IR059	00h	0008 703Bh	8
割り込み要求レジスタ 060	IR060	00h	0008 703Ch	8
割り込み要求レジスタ 064	IR064	00h	0008 7040h	8
割り込み要求レジスタ 065	IR065	00h	0008 7041h	8
割り込み要求レジスタ 066	IR066	00h	0008 7042h	8
割り込み要求レジスタ 067	IR067	00h	0008 7043h	8
割り込み要求レジスタ 068	IR068	00h	0008 7044h	8
割り込み要求レジスタ 069	IR069	00h	0008 7045h	8
割り込み要求レジスタ 070	IR070	00h	0008 7046h	8
割り込み要求レジスタ 071	IR071	00h	0008 7047h	8
割り込み要求レジスタ 096	IR096	00h	0008 7060h	8
割り込み要求レジスタ 098	IR098	00h	0008 7062h	8
割り込み要求レジスタ 102	IR102	00h	0008 7066h	8
割り込み要求レジスタ 103	IR103	00h	0008 7067h	8
割り込み要求レジスタ 106	IR106	00h	0008 706Ah	8
割り込み要求レジスタ 114	IR114	00h	0008 7072h	8
割り込み要求レジスタ 115	IR115	00h	0008 7073h	8
割り込み要求レジスタ 116	IR116	00h	0008 7074h	8
割り込み要求レジスタ 117	IR117	00h	0008 7075h	8
割り込み要求レジスタ 118	IR118	00h	0008 7076h	8
割り込み要求レジスタ 119	IR119	00h	0008 7077h	8
割り込み要求レジスタ 120	IR120	00h	0008 7078h	8
割り込み要求レジスタ 121	IR121	00h	0008 7079h	8
割り込み要求レジスタ 122	IR122	00h	0008 707Ah	8
割り込み要求レジスタ 123	IR123	00h	0008 707Bh	8
割り込み要求レジスタ 124	IR124	00h	0008 707Ch	8
割り込み要求レジスタ 125	IR125	00h	0008 707Dh	8
割り込み要求レジスタ 126	IR126	00h	0008 707Eh	8
割り込み要求レジスタ 127	IR127	00h	0008 707Fh	8

表 11.3 割り込みコントローラのレジスタ一覧 (2 / 6)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 128	IR128	00h	0008 7080h	8
割り込み要求レジスタ 129	IR129	00h	0008 7081h	8
割り込み要求レジスタ 130	IR130	00h	0008 7082h	8
割り込み要求レジスタ 131	IR131	00h	0008 7083h	8
割り込み要求レジスタ 132	IR132	00h	0008 7084h	8
割り込み要求レジスタ 133	IR133	00h	0008 7085h	8
割り込み要求レジスタ 134	IR134	00h	0008 7086h	8
割り込み要求レジスタ 135	IR135	00h	0008 7087h	8
割り込み要求レジスタ 136	IR136	00h	0008 7088h	8
割り込み要求レジスタ 137	IR137	00h	0008 7089h	8
割り込み要求レジスタ 138	IR138	00h	0008 708Ah	8
割り込み要求レジスタ 139	IR139	00h	0008 708Bh	8
割り込み要求レジスタ 140	IR140	00h	0008 708Ch	8
割り込み要求レジスタ 141	IR141	00h	0008 708Dh	8
割り込み要求レジスタ 142	IR142	00h	0008 708Eh	8
割り込み要求レジスタ 143	IR143	00h	0008 708Fh	8
割り込み要求レジスタ 144	IR144	00h	0008 7090h	8
割り込み要求レジスタ 145	IR145	00h	0008 7091h	8
割り込み要求レジスタ 146	IR146	00h	0008 7092h	8
割り込み要求レジスタ 149	IR149	00h	0008 7095h	8
割り込み要求レジスタ 150	IR150	00h	0008 7096h	8
割り込み要求レジスタ 151	IR151	00h	0008 7097h	8
割り込み要求レジスタ 152	IR152	00h	0008 7098h	8
割り込み要求レジスタ 153	IR153	00h	0008 7099h	8
割り込み要求レジスタ 170	IR170	00h	0008 70AAh	8
割り込み要求レジスタ 171	IR171	00h	0008 70ABh	8
割り込み要求レジスタ 172	IR172	00h	0008 70ACh	8
割り込み要求レジスタ 173	IR173	00h	0008 70ADh	8
割り込み要求レジスタ 174	IR174	00h	0008 70AEh	8
割り込み要求レジスタ 175	IR175	00h	0008 70AFh	8
割り込み要求レジスタ 176	IR176	00h	0008 70B0h	8
割り込み要求レジスタ 177	IR177	00h	0008 70B1h	8
割り込み要求レジスタ 178	IR178	00h	0008 70B2h	8
割り込み要求レジスタ 179	IR179	00h	0008 70B3h	8
割り込み要求レジスタ 180	IR180	00h	0008 70B4h	8
割り込み要求レジスタ 181	IR181	00h	0008 70B5h	8
割り込み要求レジスタ 182	IR182	00h	0008 70B6h	8
割り込み要求レジスタ 183	IR183	00h	0008 70B7h	8
割り込み要求レジスタ 184	IR184	00h	0008 70B8h	8
割り込み要求レジスタ 186	IR186	00h	0008 70BAh	8
割り込み要求レジスタ 187	IR187	00h	0008 70BBh	8
割り込み要求レジスタ 188	IR188	00h	0008 70BCh	8
割り込み要求レジスタ 189	IR189	00h	0008 70BDh	8
割り込み要求レジスタ 190	IR190	00h	0008 70BEh	8
割り込み要求レジスタ 192	IR192	00h	0008 70C0h	8
割り込み要求レジスタ 193	IR193	00h	0008 70C1h	8
割り込み要求レジスタ 194	IR194	00h	0008 70C2h	8

表 11.3 割り込みコントローラのレジスタ一覧 (3 / 6)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 195	IR195	00h	0008 70C3h	8
割り込み要求レジスタ 196	IR196	00h	0008 70C4h	8
割り込み要求レジスタ 214	IR214	00h	0008 70D6h	8
割り込み要求レジスタ 215	IR215	00h	0008 70D7h	8
割り込み要求レジスタ 216	IR216	00h	0008 70D8h	8
割り込み要求レジスタ 217	IR217	00h	0008 70D9h	8
割り込み要求レジスタ 218	IR218	00h	0008 70DAh	8
割り込み要求レジスタ 219	IR219	00h	0008 70DBh	8
割り込み要求レジスタ 220	IR220	00h	0008 70DCh	8
割り込み要求レジスタ 221	IR221	00h	0008 70DDh	8
割り込み要求レジスタ 222	IR222	00h	0008 70DEh	8
割り込み要求レジスタ 223	IR223	00h	0008 70DFh	8
割り込み要求レジスタ 224	IR224	00h	0008 70E0h	8
割り込み要求レジスタ 225	IR225	00h	0008 70E1h	8
割り込み要求レジスタ 246	IR246	00h	0008 70F6h	8
割り込み要求レジスタ 247	IR247	00h	0008 70F7h	8
割り込み要求レジスタ 248	IR248	00h	0008 70F8h	8
割り込み要求レジスタ 249	IR249	00h	0008 70F9h	8
割り込み要求レジスタ 254	IR254	00h	0008 70FEh	8
DTC起動許可レジスタ 027	DT CER027	00h	0008 711Bh	8
DTC起動許可レジスタ 028	DT CER028	00h	0008 711Ch	8
DTC起動許可レジスタ 029	DT CER029	00h	0008 711Dh	8
DTC起動許可レジスタ 030	DT CER030	00h	0008 711Eh	8
DTC起動許可レジスタ 031	DT CER031	00h	0008 711Fh	8
DTC起動許可レジスタ 045	DT CER045	00h	0008 712Dh	8
DTC起動許可レジスタ 046	DT CER046	00h	0008 712Eh	8
DTC起動許可レジスタ 064	DT CER064	00h	0008 7140h	8
DTC起動許可レジスタ 065	DT CER065	00h	0008 7141h	8
DTC起動許可レジスタ 066	DT CER066	00h	0008 7142h	8
DTC起動許可レジスタ 067	DT CER067	00h	0008 7143h	8
DTC起動許可レジスタ 068	DT CER068	00h	0008 7144h	8
DTC起動許可レジスタ 069	DT CER069	00h	0008 7145h	8
DTC起動許可レジスタ 070	DT CER070	00h	0008 7146h	8
DTC起動許可レジスタ 071	DT CER071	00h	0008 7147h	8
DTC起動許可レジスタ 098	DT CER098	00h	0008 7162h	8
DTC起動許可レジスタ 102	DT CER102	00h	0008 7166h	8
DTC起動許可レジスタ 103	DT CER103	00h	0008 7167h	8
DTC起動許可レジスタ 106	DT CER106	00h	0008 716Ah	8
DTC起動許可レジスタ 114	DT CER114	00h	0008 7172h	8
DTC起動許可レジスタ 115	DT CER115	00h	0008 7173h	8
DTC起動許可レジスタ 116	DT CER116	00h	0008 7174h	8
DTC起動許可レジスタ 117	DT CER117	00h	0008 7175h	8
DTC起動許可レジスタ 121	DT CER121	00h	0008 7179h	8
DTC起動許可レジスタ 122	DT CER122	00h	0008 717Ah	8
DTC起動許可レジスタ 125	DT CER125	00h	0008 717Dh	8
DTC起動許可レジスタ 126	DT CER126	00h	0008 717Eh	8
DTC起動許可レジスタ 129	DT CER129	00h	0008 7181h	8

表 11.3 割り込みコントローラのレジスタ一覧 (4 / 6)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC起動許可レジスタ 130	DTCER130	00h	0008 7182h	8
DTC起動許可レジスタ 131	DTCER131	00h	0008 7183h	8
DTC起動許可レジスタ 132	DTCER132	00h	0008 7184h	8
DTC起動許可レジスタ 134	DTCER134	00h	0008 7186h	8
DTC起動許可レジスタ 135	DTCER135	00h	0008 7187h	8
DTC起動許可レジスタ 136	DTCER136	00h	0008 7188h	8
DTC起動許可レジスタ 137	DTCER137	00h	0008 7189h	8
DTC起動許可レジスタ 138	DTCER138	00h	0008 718Ah	8
DTC起動許可レジスタ 139	DTCER139	00h	0008 718Bh	8
DTC起動許可レジスタ 140	DTCER140	00h	0008 718Ch	8
DTC起動許可レジスタ 141	DTCER141	00h	0008 718Dh	8
DTC起動許可レジスタ 142	DTCER142	00h	0008 718Eh	8
DTC起動許可レジスタ 143	DTCER143	00h	0008 718Fh	8
DTC起動許可レジスタ 144	DTCER144	00h	0008 7190h	8
DTC起動許可レジスタ 145	DTCER145	00h	0008 7191h	8
DTC起動許可レジスタ 149	DTCER149	00h	0008 7195h	8
DTC起動許可レジスタ 150	DTCER150	00h	0008 7196h	8
DTC起動許可レジスタ 151	DTCER151	00h	0008 7197h	8
DTC起動許可レジスタ 152	DTCER152	00h	0008 7198h	8
DTC起動許可レジスタ 153	DTCER153	00h	0008 7199h	8
DTC起動許可レジスタ 174	DTCER174	00h	0008 71AEh	8
DTC起動許可レジスタ 175	DTCER175	00h	0008 71AFh	8
DTC起動許可レジスタ 176	DTCER176	00h	0008 71B0h	8
DTC起動許可レジスタ 177	DTCER177	00h	0008 71B1h	8
DTC起動許可レジスタ 178	DTCER178	00h	0008 71B2h	8
DTC起動許可レジスタ 179	DTCER179	00h	0008 71B3h	8
DTC起動許可レジスタ 180	DTCER180	00h	0008 71B4h	8
DTC起動許可レジスタ 181	DTCER181	00h	0008 71B5h	8
DTC起動許可レジスタ 182	DTCER182	00h	0008 71B6h	8
DTC起動許可レジスタ 183	DTCER183	00h	0008 71B7h	8
DTC起動許可レジスタ 184	DTCER184	00h	0008 71B8h	8
DTC起動許可レジスタ 186	DTCER186	00h	0008 71BAh	8
DTC起動許可レジスタ 187	DTCER187	00h	0008 71BBh	8
DTC起動許可レジスタ 188	DTCER188	00h	0008 71BCh	8
DTC起動許可レジスタ 189	DTCER189	00h	0008 71BDh	8
DTC起動許可レジスタ 190	DTCER190	00h	0008 71BEh	8
DTC起動許可レジスタ 192	DTCER192	00h	0008 71C0h	8
DTC起動許可レジスタ 193	DTCER193	00h	0008 71C1h	8
DTC起動許可レジスタ 194	DTCER194	00h	0008 71C2h	8
DTC起動許可レジスタ 195	DTCER195	00h	0008 71C3h	8
DTC起動許可レジスタ 196	DTCER196	00h	0008 71C4h	8
DTC起動許可レジスタ 215	DTCER215	00h	0008 71D7h	8
DTC起動許可レジスタ 216	DTCER216	00h	0008 71D8h	8
DTC起動許可レジスタ 219	DTCER219	00h	0008 71DBh	8
DTC起動許可レジスタ 220	DTCER220	00h	0008 71DCh	8
DTC起動許可レジスタ 223	DTCER223	00h	0008 71DFh	8
DTC起動許可レジスタ 224	DTCER224	00h	0008 71E0h	8

表 11.3 割り込みコントローラのレジスタ一覧 (5 / 6)

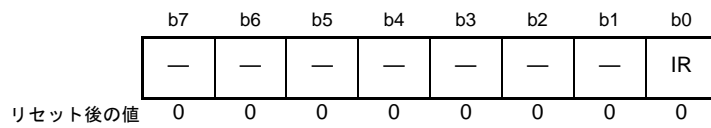
レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC起動許可レジスタ 247	DT CER247	00h	0008 71F7h	8
DTC起動許可レジスタ 248	DT CER248	00h	0008 71F8h	8
DTC起動許可レジスタ 254	DT CER254	00h	0008 71FEh	8
割り込み要求許可レジスタ 02	IER02	00h	0008 7202h	8
割り込み要求許可レジスタ 03	IER03	00h	0008 7203h	8
割り込み要求許可レジスタ 05	IER05	00h	0008 7205h	8
割り込み要求許可レジスタ 07	IER07	00h	0008 7207h	8
割り込み要求許可レジスタ 08	IER08	00h	0008 7208h	8
割り込み要求許可レジスタ 0C	IER0C	00h	0008 720Ch	8
割り込み要求許可レジスタ 0D	IER0D	00h	0008 720Dh	8
割り込み要求許可レジスタ 0E	IER0E	00h	0008 720Eh	8
割り込み要求許可レジスタ 0F	IER0F	00h	0008 720Fh	8
割り込み要求許可レジスタ 10	IER10	00h	0008 7210h	8
割り込み要求許可レジスタ 11	IER11	00h	0008 7211h	8
割り込み要求許可レジスタ 12	IER12	00h	0008 7212h	8
割り込み要求許可レジスタ 13	IER13	00h	0008 7213h	8
割り込み要求許可レジスタ 15	IER15	00h	0008 7215h	8
割り込み要求許可レジスタ 16	IER16	00h	0008 7216h	8
割り込み要求許可レジスタ 17	IER17	00h	0008 7217h	8
割り込み要求許可レジスタ 18	IER18	00h	0008 7218h	8
割り込み要求許可レジスタ 1A	IER1A	00h	0008 721Ah	8
割り込み要求許可レジスタ 1B	IER1B	00h	0008 721Bh	8
割り込み要求許可レジスタ 1C	IER1C	00h	0008 721Ch	8
割り込み要求許可レジスタ 1E	IER1E	00h	0008 721Eh	8
割り込み要求許可レジスタ 1F	IER1F	00h	0008 721Fh	8
ソフトウェア割り込み起動レジスタ	SWINTR	00h	0008 72E0h	8
高速割り込み設定レジスタ	FIR	0000h	0008 72F0h	16
割り込み要因プライオリティレジスタ 00	IPR00	00h	0008 7300h	8
割り込み要因プライオリティレジスタ 01	IPR01	00h	0008 7301h	8
割り込み要因プライオリティレジスタ 02	IPR02	00h	0008 7302h	8
割り込み要因プライオリティレジスタ 03	IPR03	00h	0008 7303h	8
割り込み要因プライオリティレジスタ 04	IPR04	00h	0008 7304h	8
割り込み要因プライオリティレジスタ 05	IPR05	00h	0008 7305h	8
割り込み要因プライオリティレジスタ 06	IPR06	00h	0008 7306h	8
割り込み要因プライオリティレジスタ 07	IPR07	00h	0008 7307h	8
割り込み要因プライオリティレジスタ 14	IPR14	00h	0008 7314h	8
割り込み要因プライオリティレジスタ 18	IPR18	00h	0008 7318h	8
割り込み要因プライオリティレジスタ 20	IPR20	00h	0008 7320h	8
割り込み要因プライオリティレジスタ 21	IPR21	00h	0008 7321h	8
割り込み要因プライオリティレジスタ 22	IPR22	00h	0008 7322h	8
割り込み要因プライオリティレジスタ 23	IPR23	00h	0008 7323h	8
割り込み要因プライオリティレジスタ 24	IPR24	00h	0008 7324h	8
割り込み要因プライオリティレジスタ 25	IPR25	00h	0008 7325h	8
割り込み要因プライオリティレジスタ 26	IPR26	00h	0008 7326h	8
割り込み要因プライオリティレジスタ 27	IPR27	00h	0008 7327h	8
割り込み要因プライオリティレジスタ 40	IPR40	00h	0008 7340h	8
割り込み要因プライオリティレジスタ 44	IPR44	00h	0008 7344h	8

表 11.3 割り込みコントローラのレジスタ一覧 (6 / 6)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要因プライオリティレジスタ 48	IPR48	00h	0008 7348h	8
割り込み要因プライオリティレジスタ 49	IPR49	00h	0008 7349h	8
割り込み要因プライオリティレジスタ 51	IPR51	00h	0008 7351h	8
割り込み要因プライオリティレジスタ 52	IPR52	00h	0008 7352h	8
割り込み要因プライオリティレジスタ 53	IPR53	00h	0008 7353h	8
割り込み要因プライオリティレジスタ 54	IPR54	00h	0008 7354h	8
割り込み要因プライオリティレジスタ 55	IPR55	00h	0008 7355h	8
割り込み要因プライオリティレジスタ 56	IPR56	00h	0008 7356h	8
割り込み要因プライオリティレジスタ 57	IPR57	00h	0008 7357h	8
割り込み要因プライオリティレジスタ 58	IPR58	00h	0008 7358h	8
割り込み要因プライオリティレジスタ 59	IPR59	00h	0008 7359h	8
割り込み要因プライオリティレジスタ 5A	IPR5A	00h	0008 735Ah	8
割り込み要因プライオリティレジスタ 5B	IPR5B	00h	0008 735Bh	8
割り込み要因プライオリティレジスタ 5C	IPR5C	00h	0008 735Ch	8
割り込み要因プライオリティレジスタ 5D	IPR5D	00h	0008 735Dh	8
割り込み要因プライオリティレジスタ 5E	IPR5E	00h	0008 735Eh	8
割り込み要因プライオリティレジスタ 5F	IPR5F	00h	0008 735Fh	8
割り込み要因プライオリティレジスタ 60	IPR60	00h	0008 7360h	8
割り込み要因プライオリティレジスタ 67	IPR67	00h	0008 7367h	8
割り込み要因プライオリティレジスタ 68	IPR68	00h	0008 7368h	8
割り込み要因プライオリティレジスタ 69	IPR69	00h	0008 7369h	8
割り込み要因プライオリティレジスタ 6A	IPR6A	00h	0008 736Ah	8
割り込み要因プライオリティレジスタ 6B	IPR6B	00h	0008 736Bh	8
割り込み要因プライオリティレジスタ 6C	IPR6C	00h	0008 736Ch	8
割り込み要因プライオリティレジスタ 6D	IPR6D	00h	0008 736Dh	8
割り込み要因プライオリティレジスタ 6E	IPR6E	00h	0008 736Eh	8
割り込み要因プライオリティレジスタ 6F	IPR6F	00h	0008 736Fh	8
割り込み要因プライオリティレジスタ 80	IPR80	00h	0008 7380h	8
割り込み要因プライオリティレジスタ 81	IPR81	00h	0008 7381h	8
割り込み要因プライオリティレジスタ 82	IPR82	00h	0008 7382h	8
割り込み要因プライオリティレジスタ 88	IPR88	00h	0008 7388h	8
割り込み要因プライオリティレジスタ 89	IPR89	00h	0008 7389h	8
割り込み要因プライオリティレジスタ 8A	IPR8A	00h	0008 738Ah	8
割り込み要因プライオリティレジスタ 8B	IPR8B	00h	0008 738Bh	8
割り込み要因プライオリティレジスタ 90	IPR90	00h	0008 7390h	8
IRQコントロールレジスタ 0	IRQCR0	00h	0008 7500h	8
IRQコントロールレジスタ 1	IRQCR1	00h	0008 7501h	8
IRQコントロールレジスタ 2	IRQCR2	00h	0008 7502h	8
IRQコントロールレジスタ 3	IRQCR3	00h	0008 7503h	8
IRQコントロールレジスタ 4	IRQCR4	00h	0008 7504h	8
IRQコントロールレジスタ 5	IRQCR5	00h	0008 7505h	8
IRQコントロールレジスタ 6	IRQCR6	00h	0008 7506h	8
IRQコントロールレジスタ 7	IRQCR7	00h	0008 7507h	8
ノンマスクابل割り込みステータスレジスタ	NMISR	00h	0008 7580h	8
ノンマスクابل割り込み許可レジスタ	NMIER	00h	0008 7581h	8
ノンマスクابل割り込みクリアレジスタ	NMICLR	00h	0008 7582h	8
NMI端子割り込みコントロールレジスタ	NMICR	00h	0008 7583h	8

11.2.1 割り込み要求レジスタ i (IRi) (i= 割り込みベクタ番号)

アドレス 0008 7010h~0008 70FEh



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、フラグをクリアするための“0”書き込みが可能です。“1”書き込みは、「11.7 使用上の注意事項」の条件でのみ可能です。レベル検出要因の場合、書き込みはできません。

IRi レジスタは、割り込み要求のステータスレジスタです。

IRi レジスタは割り込み要因ごとに存在し、iは割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 11.4 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法には、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQn 端子からの割り込みは、IRQCRn.IRQMD[1:0] ビット (n=0~7) の設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 11.4 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

["1"になる条件]

- 周辺モジュール、IRQn 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。
- IR フラグへの“1”書き込みは禁止ですが、「11.7 使用上の注意事項」の条件でのみ“1”書き込みが可能です。

["0"になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先を DTC に設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

["1"になる条件]

- 周辺モジュール、IRQn 端子の割り込み要求が発生している間は常に“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。)

IRQn 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQn 端子を High にしてください。レベル検出時は、IR フラグには“0”、“1”を書くことともに禁止です。

11.2.2 割り込み要求許可レジスタ m (IERm) (m=02h ~ 1Fh)

アドレス 0008 7202h ~ 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0: 割り込み要求禁止 1: 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読めます。

IERm レジスタは、CPU への割り込み要求、および DTC 起動要求の許可/禁止を設定するレジスタです。

IENj ビット (割り込み要求許可ビット) (j = 7 ~ 0)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IRi.IR フラグは、IERm.IENj ビットの影響を受けません。IERm.IENj ビットが“0”であっても、「11.2.1 割り込み要求レジスタ i (IRi) (i= 割り込みベクタ番号)」に示す条件で IRi.IR フラグは変化します。

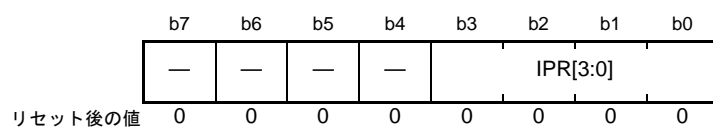
IERm.IENj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 11.4 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「11.4.3 割り込み要求先の選択」を参照してください。

11.2.3 割り込み要因プライオリティレジスタ m (IPRm) (m=00h~90h)

アドレス 0008 7300h~0008 7390h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IPRm レジスタは、割り込み要因の優先順位を設定するレジスタです。

IPRm レジスタは、割り込み要因のグループごとに存在しており、m は 00h から 90h の通し番号です。割り込み要因とグループの対応は、「表 11.4 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC の転送要求には影響を与えません。

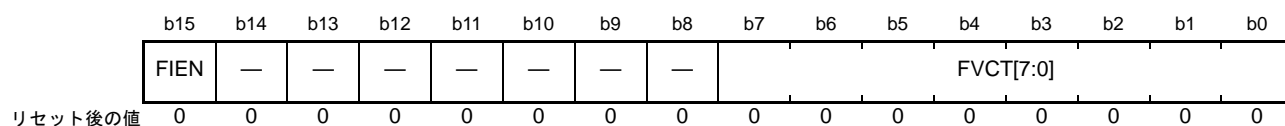
CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = “0”) した状態で行ってください。

11.2.4 高速割り込み設定レジスタ (FIR)

アドレス 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにする割り込みベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタは、高速割り込み機能を設定するレジスタです。

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC への転送要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = “0”) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを “1” にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが “1” のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRm レジスタの設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「11.6.3 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビット (m=02h ~ 1Fh、j=7 ~ 0) で割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 11.4 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「10. 例外処理」および「11.4.6 高速割り込み」を参照してください。

11.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読めます “1”書き込みでソフトウェア割り込み要求を発行します “0”書き込みは無効になります	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ可能です。読むと“0”が読めます。

SWINTR レジスタは、ソフトウェア割り込み要求を発生させるレジスタです。

SWINT ビット (ソフトウェア割り込み起動ビット)

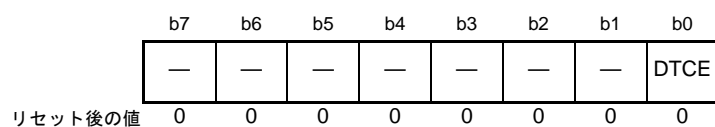
SWINT ビットに“1”を書くと、割り込み要求レジスタ 27 (IR27) が“1”になります。

DTC 起動許可レジスタ 27 (DTCER27) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 起動許可レジスタ 27 (DTCER27) を“1”にして、SWINT ビットに“1”を書くと DTC 起動要求を発行します。

11.2.6 DTC 起動許可レジスタ n (DTCERn) (n= 割り込みベクタ番号)

アドレス 0008 711Bh~0008 71FEh



ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC 起動許可ビット	0 : DTC 起動禁止 1 : DTC 起動許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCERn レジスタは、DTC を起動する割り込み要因を選択するレジスタです。

DTCE ビット (DTC 起動許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1”になる条件]

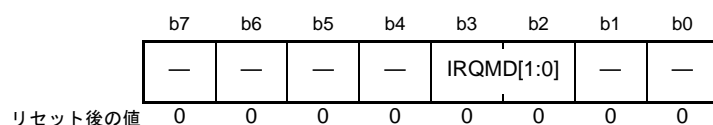
- DTCE ビットに“1”を書いたとき

[“0”になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

11.2.7 IRQ コントロールレジスタ n (IRQCRn) (n= 0 ~ 7)

アドレス 0008 7500h ~ 0008 7507h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IRQCRn レジスタは、外部割り込み要求端子 IRQ_i (i=7 ~ 0) の設定を行うレジスタです。

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビットが“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IRI.IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

外部端子割り込み要因 (IRQ7 ~ IRQ0) の検出方法を設定します。

外部端子割り込みの検出方法の設定は、「11.4.7 外部端子割り込み」を参照してください。

11.2.8 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OSTST	LVDST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	LVDST	電圧監視割り込みステータスフラグ	0: 電圧監視割り込み要求なし 1: 電圧監視割り込み要求あり	R
b2	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスクابل割り込み許可レジスタ (NMIER) の設定はこれらステータスフラグには影響しません。

ノンマスクابل割り込みルーチンが終了する前に NMISR レジスタを読み出し、他のノンマスクابل割り込みの発生状況を確認してください。必ず NMISR レジスタの全ビットが“0”であることを確認してから、ルーチンを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

["1" になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

["0" になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

LVDST フラグ (電圧監視割り込みステータスフラグ)

電圧監視割り込み要求を示します。

["1" になる条件]

- 電圧監視割り込みが発生したとき

["0" になる条件]

- 発生元で割り込みをクリアしたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

["1" になる条件]

- 発振停止検出割り込みが発生したとき

["0" になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

11.2.9 ノンマスクابل割り込み許可レジスタ (NMIER)

アドレス 0008 7581h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OSTEN	LVDEN	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0 : NMI端子割り込み禁止 1 : NMI端子割り込み許可	R/(W) (注1)
b1	LVDEN	電圧監視割り込み許可ビット	0 : 電圧監視割り込み禁止 1 : 電圧監視割り込み許可	R/(W) (注1)
b2	OSTEN	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込み禁止 1 : 発振停止検出割り込み許可	R/(W) (注1)
b7-b3	—	(予約ビット)	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1度だけ“1”を書くことができます、以後のライトアクセスは無効です。

NMIER レジスタは、ノンマスクابل割り込みの使用を許可するレジスタです。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1度だけ“1”を書くことができます。以後のライトアクセスは無効です。

“0”を書くことはできません。1度許可したNMI端子割り込みを禁止することはできません。

LVDEN ビット (電圧監視割り込み許可ビット)

電圧監視割り込みの使用を許可するビットです。

1度だけ“1”を書き込むことができます。以後のライトアクセスは無効です。

“0”を書き込むことはできません。1度許可した電圧監視割り込みを禁止することはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1度だけ“1”を書き込むことができます。以後のライトアクセスは無効です。

“0”を書き込むことはできません。1度許可した発振停止検出割り込みを禁止することはできません。

11.2.10 ノンマスクابل割り込みクリアレジスタ (NMICLR)

アドレス 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OSTCL R	—	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.NMISTフラグを“0”にします。“0”を書いても無効です	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	OSTCLR	OSTクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.OSTSTフラグを“0”にします。“0”を書いても無効です	R/(W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NMISR.NMISTフラグをクリアするための“1”のみ書けます。

注2. NMISR.OSTSTフラグをクリアするための“1”のみ書けます。

NMICLR レジスタは、ノンマスクابل割り込みステータスレジスタ (NMISR) をクリアするレジスタです。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。

“1”の状態を保持しません。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。

“1”の状態を保持しません。読むと“0”が読めます。

11.2.11 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタは、NMI 端子割り込みの設定を行うレジスタです。

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

11.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスクابل割り込みがあります。

CPUが割り込み、またはノンマスクابل割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

11.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPUの割り込みテーブルレジスタ (INTB) に設定した番地から、1024バイト (4バイト×256要因分) の領域に連続して配置されます。INTBレジスタは割り込みを許可する前に設定してください。INTBレジスタには4の倍数を設定してください。

表11.4に割り込みのベクタテーブルを示します。sstb復帰とはソフトウェア (S/W) スタンバイモードからの復帰、sacs復帰とは全モジュールクロックストップモードからの復帰を意味します。

表11.4 割り込みのベクタテーブル (1/7)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み要因 の検出方法	CPU 割り込み	DTC 起動	sstb 復帰	sacs 復帰	IER	IPR
高 ↑	—	予約	0	0000h	—	×	×	×	×	—	—
	—	予約	1	0004h	—	×	×	×	×	—	—
	—	予約	2	0008h	—	×	×	×	×	—	—
	—	予約	3	000Ch	—	×	×	×	×	—	—
	—	予約	4	0010h	—	×	×	×	×	—	—
	—	予約	5	0014h	—	×	×	×	×	—	—
	—	予約	6	0018h	—	×	×	×	×	—	—
	—	予約	7	001Ch	—	×	×	×	×	—	—
	—	予約	8	0020h	—	×	×	×	×	—	—
	—	予約	9	0024h	—	×	×	×	×	—	—
	—	予約	10	0028h	—	×	×	×	×	—	—
	—	予約	11	002Ch	—	×	×	×	×	—	—
	—	予約	12	0030h	—	×	×	×	×	—	—
	—	予約	13	0034h	—	×	×	×	×	—	—
	—	予約	14	0038h	—	×	×	×	×	—	—
	—	予約	15	003Ch	—	×	×	×	×	—	—
—	バスエラー	BUSERR	16	0040h	レベル	○	×	×	×	IER02.IEN0	IPR00
—	—	予約	17	0044h	—	×	×	×	×	IER02.IEN1	—
—	—	予約	18	0048h	—	×	×	×	×	IER02.IEN2	—
—	—	予約	19	004Ch	—	×	×	×	×	IER02.IEN3	—
—	—	予約	20	0050h	—	×	×	×	×	IER02.IEN4	—
—	FCUIF	FIFERR	21	0054h	レベル	○	×	×	×	IER02.IEN5	IPR01
—	—	予約	22	0058h	—	×	×	×	×	IER02.IEN6	—
—	—	FRDYI	23	005Ch	エッジ	○	×	×	×	IER02.IEN7	IPR02
—	—	予約	24	0060h	—	×	×	×	×	IER03.IEN0	—
—	—	予約	25	0064h	—	×	×	×	×	IER03.IEN1	—
—	—	予約	26	0068h	—	×	×	×	×	IER03.IEN2	—
—	ICU	SWINT	27	006Ch	エッジ	○	○	×	×	IER03.IEN3	IPR03
—	CMT0	CMI0	28	0070h	エッジ	○	○	×	×	IER03.IEN4	IPR04
—	CMT1	CMI1	29	0074h	エッジ	○	○	×	×	IER03.IEN5	IPR05
—	CMT2	CMI2	30	0078h	エッジ	○	○	×	×	IER03.IEN6	IPR06
低	CMT3	CMI3	31	007Ch	エッジ	○	○	×	×	IER03.IEN7	IPR07

表 11.4 割り込みのベクタテーブル (2 / 7)

優先 順位	割り込み要求 発生元	名称	ベクタ 番号	ベクタ アドレス オフセット	割り込み要因 の検出方法	CPU 割り込み	DTC 起動	sstb 復帰	sacs 復帰	IER	IPR
高 ↑	—	予約	32	0080h	—	x	x	x	x	IER04.IEN0	—
		予約	33	0084h	—	x	x	x	x	IER04.IEN1	—
		予約	34	0088h	—	x	x	x	x	IER04.IEN2	—
		予約	35	008Ch	—	x	x	x	x	IER04.IEN3	—
		予約	36	0090h	—	x	x	x	x	IER04.IEN4	—
		予約	37	0094h	—	x	x	x	x	IER04.IEN5	—
		予約	38	0098h	—	x	x	x	x	IER04.IEN6	—
		予約	39	009Ch	—	x	x	x	x	IER04.IEN7	—
		予約	40	00A0h	—	x	x	x	x	IER05.IEN0	—
		予約	41	00A4h	—	x	x	x	x	IER05.IEN1	—
		予約	42	00A8h	—	x	x	x	x	IER05.IEN2	—
		予約	43	00ACh	—	x	x	x	x	IER05.IEN3	—
RSPI0	SPEI0	SPEI0	44	00B0h	レベル	○	x	x	x	IER05.IEN4	IPR14
		SPRI0	45	00B4h	エッジ	○	○	x	x	IER05.IEN5	
		SPTI0	46	00B8h	エッジ	○	○	x	x	IER05.IEN6	
		SPII0	47	00BCh	レベル	○	x	x	x	IER05.IEN7	
—	予約	48	00C0h	—	x	x	x	x	IER06.IEN0	—	
		49	00C4h	—	x	x	x	x	IER06.IEN1	—	
		50	00C8h	—	x	x	x	x	IER06.IEN2	—	
		51	00CCh	—	x	x	x	x	IER06.IEN3	—	
		52	00D0h	—	x	x	x	x	IER06.IEN4	—	
		53	00D4h	—	x	x	x	x	IER06.IEN5	—	
		54	00D8h	—	x	x	x	x	IER06.IEN6	—	
		55	00DCh	—	x	x	x	x	IER06.IEN7	—	
CAN0	ERS0	ERS0	56	00E0h	エッジ	○	x	x	x	IER07.IEN0	IPR18
		RXF0	57	00E4h	エッジ	○	x	x	x	IER07.IEN1	
		TXF0	58	00E8h	エッジ	○	x	x	x	IER07.IEN2	
		RXM0	59	00ECh	エッジ	○	x	x	x	IER07.IEN3	
		TXM0	60	00F0h	エッジ	○	x	x	x	IER07.IEN4	
—	予約	61	00F4h	—	x	x	x	x	IER07.IEN5	—	
		62	00F8h	—	x	x	x	x	IER07.IEN6	—	
		63	00FCh	—	x	x	x	x	IER07.IEN7	—	
低											

表 11.4 割り込みのベクタテーブル (3 / 7)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み要因 の検出方法	CPU 割り込み	DTC 起動	sstb 復帰	sacs 復帰	IER	IPR
高 ↑	外部端子	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	IER08.IEN0	IPR20
		IRQ1	65	0104h	エッジ/レベル	○	○	○	○	IER08.IEN1	IPR21
		IRQ2	66	0108h	エッジ/レベル	○	○	○	○	IER08.IEN2	IPR22
		IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	IER08.IEN3	IPR23
		IRQ4	68	0110h	エッジ/レベル	○	○	○	○	IER08.IEN4	IPR24
		IRQ5	69	0114h	エッジ/レベル	○	○	○	○	IER08.IEN5	IPR25
		IRQ6	70	0118h	エッジ/レベル	○	○	○	○	IER08.IEN6	IPR26
		IRQ7	71	011Ch	エッジ/レベル	○	○	○	○	IER08.IEN7	IPR27
		予約	72	0120h	—	×	×	×	×	IER09.IEN0	—
		予約	73	0124h	—	×	×	×	×	IER09.IEN1	—
		予約	74	0128h	—	×	×	×	×	IER09.IEN2	—
		予約	75	012Ch	—	×	×	×	×	IER09.IEN3	—
		予約	76	0130h	—	×	×	×	×	IER09.IEN4	—
		予約	77	0134h	—	×	×	×	×	IER09.IEN5	—
		予約	78	0138h	—	×	×	×	×	IER09.IEN6	—
		予約	79	013Ch	—	×	×	×	×	IER09.IEN7	—
		予約	80	0140h	—	×	×	×	×	IER0A.IEN0	—
		予約	81	0144h	—	×	×	×	×	IER0A.IEN1	—
		予約	82	0148h	—	×	×	×	×	IER0A.IEN2	—
		予約	83	014Ch	—	×	×	×	×	IER0A.IEN3	—
	予約	84	0150h	—	×	×	×	×	IER0A.IEN4	—	
	予約	85	0154h	—	×	×	×	×	IER0A.IEN5	—	
	予約	86	0158h	—	×	×	×	×	IER0A.IEN6	—	
	予約	87	015Ch	—	×	×	×	×	IER0A.IEN7	—	
	—	予約	88	0160h	—	×	×	×	×	IER0B.IEN0	—
		予約	89	0164h	—	×	×	×	×	IER0B.IEN1	—
		予約	90	0168h	—	×	×	×	×	IER0B.IEN2	—
		予約	91	016Ch	—	×	×	×	×	IER0B.IEN3	—
		予約	92	0170h	—	×	×	×	×	IER0B.IEN4	—
		予約	93	0174h	—	×	×	×	×	IER0B.IEN5	—
		予約	94	0178h	—	×	×	×	×	IER0B.IEN6	—
		予約	95	017Ch	—	×	×	×	×	IER0B.IEN7	—
WDT	WOVI	96	0180h	エッジ	○	—	—	○	IER0C.IEN0	IPR40	
	予約	97	0184h	—	×	×	×	×	IER0C.IEN1	—	
AD0	ADI0	98	0188h	エッジ	○	○	—	—	IER0C.IEN2	IPR44	
—	予約	99	018Ch	—	×	×	×	×	IER0C.IEN3	—	
	予約	100	0190h	—	×	×	×	×	IER0C.IEN4	—	
	予約	101	0194h	—	×	×	×	×	IER0C.IEN5	—	
S12AD0	S12ADI0	102	0198h	エッジ	○	○	×	×	IER0C.IEN6	IPR48	
S12AD1	S12ADI1	103	019Ch	エッジ	○	○	×	×	IER0C.IEN7		
低											

表 11.4 割り込みのベクタテーブル (4 / 7)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み要因の検出方法	CPU割り込み	DTC起動	sstb復帰	sacs復帰	IER	IPR
↑ 高	—	予約	104	01A0h	—	x	x	x	x	IER0D.IEN0	—
		予約	105	01A4h	—	x	x	x	x	IER0D.IEN1	—
	コンパレータ	CMPI	106	01A8h	エッジ	○	○	x	x	IER0D.IEN2	IPR49
	—	予約	107	01ACh	—	x	x	x	x	IER0D.IEN3	—
		予約	108	01B0h	—	x	x	x	x	IER0D.IEN4	—
		予約	109	01B4h	—	x	x	x	x	IER0D.IEN5	—
		予約	110	01B8h	—	x	x	x	x	IER0D.IEN6	—
		予約	111	01BCh	—	x	x	x	x	IER0D.IEN7	—
		予約	112	01C0h	—	x	x	x	x	IER0E.IEN0	—
		予約	113	01C4h	—	x	x	x	x	IER0E.IEN1	—
	MTU0	TGIA0	114	01C8h	エッジ	○	○	x	x	IER0E.IEN2	IPR51
		TGIB0	115	01CCh	エッジ	○	○	x	x	IER0E.IEN3	
		TGIC0	116	01D0h	エッジ	○	○	x	x	IER0E.IEN4	
		TGID0	117	01D4h	エッジ	○	○	x	x	IER0E.IEN5	
		TCIV0	118	01D8h	エッジ	○	x	x	x	IER0E.IEN6	IPR52
		TGIE0	119	01DCh	エッジ	○	x	x	x	IER0E.IEN7	
		TGIF0	120	01E0h	エッジ	○	x	x	x	IER0F.IEN0	
	MTU1	TGIA1	121	01E4h	エッジ	○	○	x	x	IER0F.IEN1	IPR53
TGIB1		122	01E8h	エッジ	○	○	x	x	IER0F.IEN2		
TCIV1		123	01ECh	エッジ	○	x	x	x	IER0F.IEN3	IPR54	
TCIU1		124	01F0h	エッジ	○	x	x	x	IER0F.IEN4		
MTU2	TGIA2	125	01F4h	エッジ	○	○	x	x	IER0F.IEN5	IPR55	
	TGIB2	126	01F8h	エッジ	○	○	x	x	IER0F.IEN6		
	TCIV2	127	01FCh	エッジ	○	x	x	x	IER0F.IEN7	IPR56	
	TCIU2	128	0200h	エッジ	○	x	x	x	IER10.IEN0		
MTU3	TGIA3	129	0204h	エッジ	○	○	x	x	IER10.IEN1	IPR57	
	TGIB3	130	0208h	エッジ	○	○	x	x	IER10.IEN2		
	TGIC3	131	020Ch	エッジ	○	○	x	x	IER10.IEN3		
	TGID3	132	0210h	エッジ	○	○	x	x	IER10.IEN4	IPR58	
	TCIV3	133	0214h	エッジ	○	x	x	x	IER10.IEN5		
MTU4	TGIA4	134	0218h	エッジ	○	○	x	x	IER10.IEN6	IPR59	
	TGIB4	135	021Ch	エッジ	○	○	x	x	IER10.IEN7		
	TGIC4	136	0220h	エッジ	○	○	x	x	IER11.IEN0		
	TGID4	137	0224h	エッジ	○	○	x	x	IER11.IEN1		
	TCIV4	138	0228h	エッジ	○	○	x	x	IER11.IEN2	IPR5A	
MTU5	TGIU5	139	022Ch	エッジ	○	○	x	x	IER11.IEN3	IPR5B	
	TGIV5	140	0230h	エッジ	○	○	x	x	IER11.IEN4		
	TGIW5	141	0234h	エッジ	○	○	x	x	IER11.IEN5		
↓ 低											

表 11.4 割り込みのベクタテーブル (5 / 7)

優先 順位	割り込み要求 発生元	名称	ベクタ 番号	ベクタ アドレス オフセット	割り込み要因 の検出方法	CPU 割り込み	DTC 起動	sstb 復帰	sacs 復帰	IER	IPR
高 ↑	MTU6	TGIA6	142	0238h	エッジ	○	○	×	×	IER11.IEN6	IPR5 C
		TGIB6	143	023Ch	エッジ	○	○	×	×	IER11.IEN7	
		TGIC6	144	0240h	エッジ	○	○	×	×	IER12.IEN0	
		TGID6	145	0244h	エッジ	○	○	×	×	IER12.IEN1	
		TCIV6	146	0248h	エッジ	○	×	×	×	IER12.IEN2	IPR5 D
		予約	147	024Ch	—	×	×	—	—	IER12.IEN3	—
		予約	148	0250h	—	×	×	—	—	IER12.IEN4	—
	MTU7	TGIA7	149	0254h	エッジ	○	○	×	×	IER12.IEN5	IPR5E
		TGIB7	150	0258h	エッジ	○	○	×	×	IER12.IEN6	
		TGIC7	151	025Ch	エッジ	○	○	×	×	IER12.IEN7	IPR5F
		TGID7	152	0260h	エッジ	○	○	×	×	IER13.IEN0	IPR60
		TCIV7	153	0264h	エッジ	○	○	×	×	IER13.IEN1	
	—	予約	154	0268h	—	×	×	×	×	IER13.IEN2	—
		予約	155	026Ch	—	×	×	×	×	IER13.IEN3	—
		予約	156	0270h	—	×	×	×	×	IER13.IEN4	—
		予約	157	0274h	—	×	×	×	×	IER13.IEN5	—
		予約	158	0278h	—	×	×	×	×	IER13.IEN6	—
		予約	159	027Ch	—	×	×	×	×	IER13.IEN7	—
		予約	160	0280h	—	×	×	×	×	IER14.IEN0	—
		予約	161	0284h	—	×	×	×	×	IER14.IEN1	—
		予約	162	0288h	—	×	×	×	×	IER14.IEN2	—
		予約	163	028Ch	—	×	×	×	×	IER14.IEN3	—
		予約	164	0290h	—	×	×	×	×	IER14.IEN4	—
	—	予約	165	0294h	—	×	×	×	×	IER14.IEN5	—
		予約	166	0298h	—	×	×	×	×	IER14.IEN6	—
	—	予約	167	029Ch	—	×	×	×	×	IER14.IEN7	—
		予約	168	02A0h	—	×	×	×	×	IER15.IEN0	
予約		169	02A4h	—	×	×	×	×	IER15.IEN1		
POE	OEI1	170	02A8h	レベル	○	×	×	×	IER15.IEN2	IPR67	
	OEI2	171	02ACh	レベル	○	×	×	×	IER15.IEN3		
	OEI3	172	02B0h	レベル	○	×	×	×	IER15.IEN4		
	OEI4	173	02B4h	レベル	○	×	×	×	IER15.IEN5		
GPT0	GTCIA0	174	02B8h	エッジ	○	○	×	×	IER15.IEN6	IPR68	
	GTCIB0	175	02BCh	エッジ	○	○	×	×	IER15.IEN7		
	GTCIC0	176	02C0h	エッジ	○	○	×	×	IER16.IEN0		
	GTCIE0	177	02C4h	エッジ	○	○	×	×	IER16.IEN1	IPR69	
	GTCIV0	178	02C8h	エッジ	○	○	×	×	IER16.IEN2		
	LOCO1	179	02CCh	エッジ	○	○	×	×	IER16.IEN3		
GPT1	GTCIA1	180	02D0h	エッジ	○	○	×	×	IER16.IEN4	IPR6A	
	GTCIB1	181	02D4h	エッジ	○	○	×	×	IER16.IEN5		
	GTCIC1	182	02D8h	エッジ	○	○	×	×	IER16.IEN6		
	GTCIE1	183	02DCh	エッジ	○	○	×	×	IER16.IEN7	IPR6B	
	GTCIV1	184	02E0h	エッジ	○	○	×	×	IER17.IEN0		
	予約	185	02E4h	—	×	×	×	×	IER17.IEN1		—
低											

表 11.4 割り込みのベクタテーブル (6 / 7)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレス オフセット	割り込み要因 の検出方法	CPU 割り込み	DTC 起動	sstb 復帰	sacs 復帰	IER	IPR
高 ↑	GPT2	GTCIA2	186	02E8h	エッジ	○	○	x	x	IER17.IEN2	IPR6C
		GTCIB2	187	02ECh	エッジ	○	○	x	x	IER17.IEN3	
		GTCIC2	188	02F0h	エッジ	○	○	x	x	IER17.IEN4	
		GTCIE2	189	02F4h	エッジ	○	○	x	x	IER17.IEN5	IPR6D
		GTCIV2	190	02F8h	エッジ	○	○	x	x	IER17.IEN6	
		予約	191	02FCh	—	x	x	x	x	IER17.IEN7	—
	GPT3	GTCIA3	192	0300h	エッジ	○	○	x	x	IER18.IEN0	IPR6E
		GTCIB3	193	0304h	エッジ	○	○	x	x	IER18.IEN1	
		GTCIC3	194	0308h	エッジ	○	○	x	x	IER18.IEN2	
		GTCIE3	195	030Ch	エッジ	○	○	x	x	IER18.IEN3	IPR6F
		GTCIV3	196	0310h	エッジ	○	○	x	x	IER18.IEN4	
		予約	197	0314h	—	x	x	x	x	IER18.IEN5	—
	—	予約	198	0318h	—	x	x	x	x	IER18.IEN6	—
		予約	199	031Ch	—	x	x	x	x	IER18.IEN7	—
		予約	200	0320h	—	x	x	x	x	IER19.IEN0	—
		予約	201	0324h	—	x	x	x	x	IER19.IEN1	—
		予約	202	0328h	—	x	x	x	x	IER19.IEN2	—
		予約	203	032Ch	—	x	x	x	x	IER19.IEN3	—
		予約	204	0330h	—	x	x	x	x	IER19.IEN4	—
		予約	205	0334h	—	x	x	x	x	IER19.IEN5	—
		予約	206	0338h	—	x	x	x	x	IER19.IEN6	—
		予約	207	033Ch	—	x	x	x	x	IER19.IEN7	—
		予約	208	0340h	—	x	x	x	x	IER1A.IEN0	—
		予約	209	0344h	—	x	x	x	x	IER1A.IEN1	—
	—	予約	210	0348h	—	x	x	x	x	IER1A.IEN2	—
予約		211	034Ch	—	x	x	x	x	IER1A.IEN3	—	
予約		212	0350h	—	x	x	x	x	IER1A.IEN4	—	
予約		213	0354h	—	x	x	x	x	IER1A.IEN5	—	
SCI0	ERI0	214	0358h	レベル	○	x	x	x	IER1A.IEN6	IPR80	
	RX10	215	035Ch	エッジ	○	○	x	x	IER1A.IEN7		
	TX10	216	0360h	エッジ	○	○	x	x	IER1B.IEN0		
	TEI0	217	0364h	レベル	○	x	x	x	IER1B.IEN1		
SCI1	ERI1	218	0368h	レベル	○	x	x	x	IER1B.IEN2	IPR81	
	RX11	219	036Ch	エッジ	○	○	x	x	IER1B.IEN3		
	TX11	220	0370h	エッジ	○	○	x	x	IER1B.IEN4		
	TEI1	221	0374h	レベル	○	x	x	x	IER1B.IEN5		
SCI2	ERI2	222	0378h	レベル	○	x	x	x	IER1B.IEN6	IPR82	
	RX12	223	037Ch	エッジ	○	○	x	x	IER1B.IEN7		
	TX12	224	0380h	エッジ	○	○	x	x	IER1C.IEN0		
	TEI2	225	0384h	レベル	○	x	x	x	IER1C.IEN1		
低											

表 11.4 割り込みのベクタテーブル (7 / 7)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込み要因の検出方法	CPU割り込み	DTC起動	sstb復帰	sacs復帰	IER	IPR
↑ 高	—	予約	226	0388h	—	x	x	x	x	IER1C.IEN2	—
		予約	227	038Ch	—	x	x	x	x	IER1C.IEN3	—
		予約	228	0390h	—	x	x	x	x	IER1C.IEN4	—
		予約	229	0394h	—	x	x	x	x	IER1C.IEN5	—
		予約	230	0398h	—	x	x	x	x	IER1C.IEN6	—
		予約	231	039Ch	—	x	x	x	x	IER1C.IEN7	—
		予約	232	03A0h	—	x	x	x	x	IER1D.IEN0	—
		予約	233	03A4h	—	x	x	x	x	IER1D.IEN1	—
		予約	234	03A8h	—	x	x	x	x	IER1D.IEN2	—
		予約	235	03ACh	—	x	x	x	x	IER1D.IEN3	—
		予約	236	03B0h	—	x	x	x	x	IER1D.IEN4	—
		予約	237	03B4h	—	x	x	x	x	IER1D.IEN5	—
		予約	238	03B8h	—	x	x	x	x	IER1D.IEN6	—
		予約	239	03BCh	—	x	x	x	x	IER1D.IEN7	—
		予約	240	03C0h	—	x	x	x	x	IER1E.IEN0	—
		予約	241	03C4h	—	x	x	x	x	IER1E.IEN1	—
		予約	242	03C8h	—	x	x	x	x	IER1E.IEN2	—
		予約	243	03CCh	—	x	x	x	x	IER1E.IEN3	—
		予約	244	03D0h	—	x	x	x	x	IER1E.IEN4	—
		予約	245	03D4h	—	x	x	x	x	IER1E.IEN5	—
RIIC0	ICEE10	246	03D8h	レベル	○	x	x	x	IER1E.IEN6	IPR88	
	ICRX10	247	03DCh	エッジ	○	○	x	x	IER1E.IEN7	IPR89	
	ICTX10	248	03E0h	エッジ	○	○	x	x	IER1F.IEN0	IPR8A	
	ICTE10	249	03E4h	レベル	○	x	x	x	IER1F.IEN1	IPR8B	
—	予約	250	03E8h	—	x	x	x	x	IER1F.IEN2	—	
	予約	251	03ECh	—	x	x	x	x	IER1F.IEN3	—	
	予約	252	03F0h	—	x	x	x	x	IER1F.IEN4	—	
	予約	253	03F4h	—	x	x	x	x	IER1F.IEN5	—	
LINO	LINO	254	03F8h	エッジ	○	x	x	x	IER1F.IEN6	IPR90	
低	—	予約	255	03FCh	—	x	x	x	IER1F.IEN7	—	

○ : 選択可能、x : 選択不可

11.3.2 高速割り込みのベクタテーブル

高速割り込みに設定した割り込みのベクタテーブルは、CPUの高速割り込みベクタレジスタ (FINTV) で指定します。

11.3.3 ノンマスクابل割り込みのベクタテーブル

ノンマスクابل割り込みのベクタテーブルは“FFFF FFF8h”です。

11.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可／禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動) の選択
- 割り込み優先順位判定

11.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類あります。

IRQi 端子 (i=0 ~ 7) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出／レベル検出が決まっています。

各要因に対応する検出方法は、「表 11.4 割り込みのベクタテーブル」を参照してください。

11.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出時の IRi.IR フラグの動作を図 11.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IRi.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IRi.IR フラグは自動的に“0”になります。割り込み要求先が DTC の場合の IR フラグのクリアタイミングは、DTC の転送設定、転送回数によって異なります。詳細は表 11.5 を参照してください。ソフトウェアで IRi.IR フラグをクリアする必要はありません。

割り込み信号について、割り込みベクタ番号が 64 ~ 71 の割り込みではタイミングが他の割り込みと異なります。割り込みベクタ番号 64 ~ 71 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2 PCLK 分の遅延が増加します。

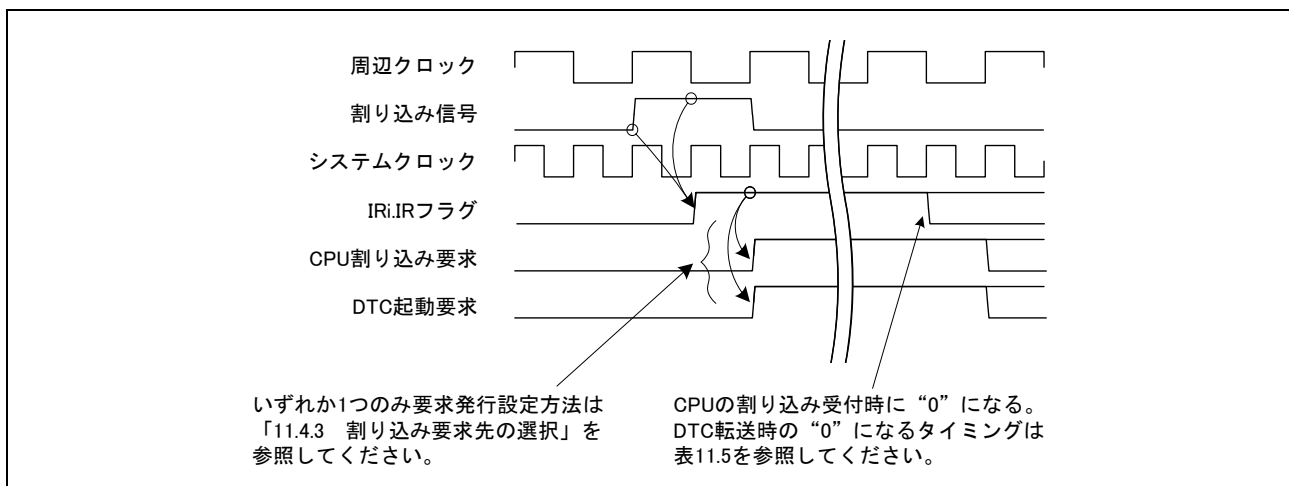


図 11.2 エッジ検出の IRi.IR フラグの動作

割り込み要求が発生し IRi.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。また、GPT の全割り込み、MTU3 の全割り込み、LIN の全割り込み、S12ADA の CMPI 割り込みについては、IRi.IR フラグのほかに、複数要因判別のための自動で“0”にならないステータスフラグを、割り込み発生元に持っています。したがって、当該フラグが“1”になった状態で、再度発生した割り込み要求は無視されます。割り込み受付を可能にするには、割り込み発生元のフラグを“0”にしてください。対象となるステータスフラグの詳細は、各周辺モジュールの章を参照してください。

IRi.IR フラグが“0”になった後、割り込み要求が発生すると IRi.IR フラグは再セットされます。IRi.IR フラグの再セットのタイミングを図 11.3 に示します。

通信機能 (SCI/RIIC/RSPi) と DTC 機能との組み合わせでは、割り込み要求が無視されて転送要求を消失する場合があります。詳細は「11.7 使用上の注意事項」を参照してください。

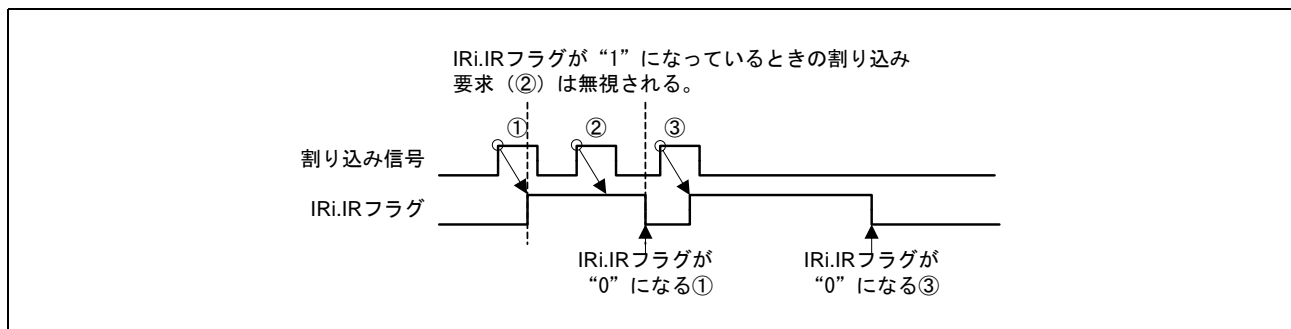


図 11.3 IRi.IR フラグの再セットのタイミング

IRi.IR フラグが“1”になった後、割り込みを禁止（周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止）としても、IRi.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 11.4 に示します。

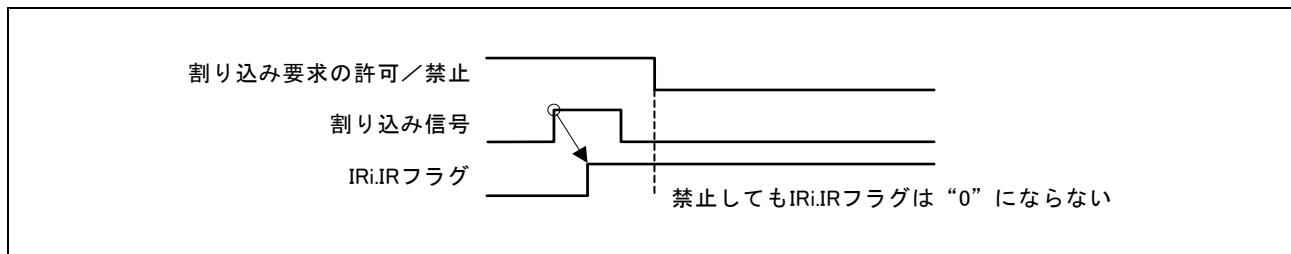


図 11.4 割り込み要求の禁止と IRi.IR フラグの関係

11.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の IRI.IR フラグの動作を図 11.5 に示します。

割り込み信号がアサートされている間、IRI.IR フラグを“1”にし続けます。IRI.IR フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。

割り込み発生元の割り込み要求フラグが“0”になったことを確認してから、割り込みルーチンを終了してください。図 11.6 にレベル検出割り込みの処理手順を示します。

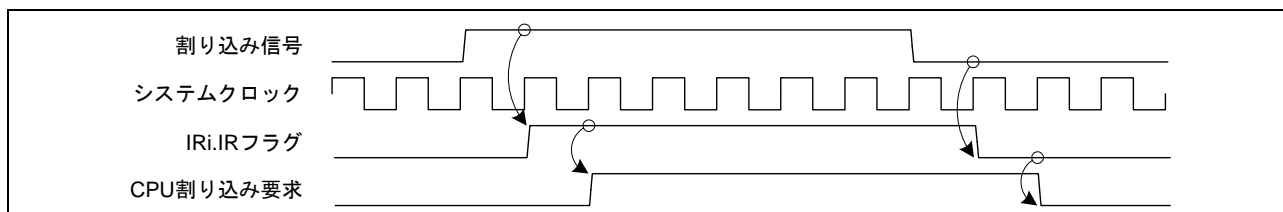


図 11.5 レベル検出時の IRI.IR フラグの動作

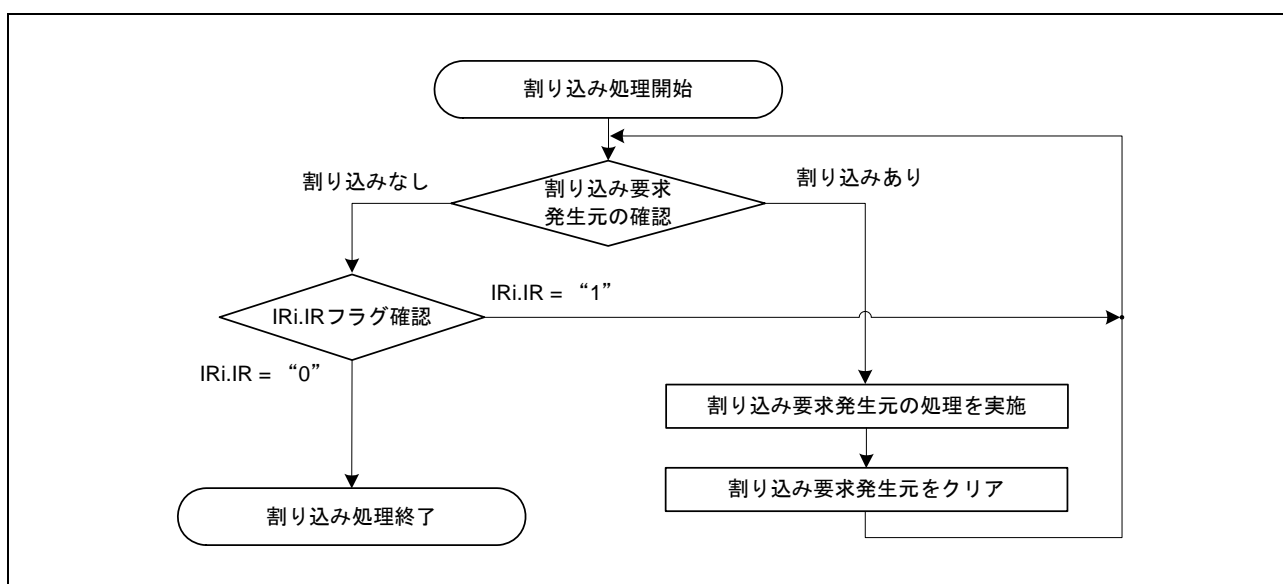


図 11.6 レベル検出割り込みの処理手順

11.4.2 割り込み要求の許可／禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビットによって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRI.IR フラグが“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRI.IR フラグが“1”になった割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRI.IR フラグが“1”になった割り込み要求は保留されます。

IRI.IR フラグは、IERm.IENj ビットの影響を受けません。

11.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 11.4 割り込みのベクタテーブル」に示された要求先が設定できます。表 11.4 で「○」の記載がない割り込み要求先を選択しないでください。

IRQ 端子で DTC を割り込み要求先に設定する場合は、必ず IRQCRI.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DTC 起動

次の設定を IERm.IENj ビットが“0”のときに行ってください。

1. 当該要因の DTC 起動許可レジスタの DTC 転送許可ビット (DTCERn.DTCE) を“1”にする
2. DTC モジュール起動ビット (DTCST.DTCST) が“1”にする
上記設定がされている状態で、IERm.IENj ビットを“1”にしてください。
DTC の設定手順は「14.5 DTC の設定手順」を参照してください。

(2) CPU 割り込み要求

割り込み要求先が DTC でない要因は、CPU 割り込み対象となります。

上記の DTC 起動の設定がされていない状態で、IERm.IENj ビットを“1”にしてください。

DTC を割り込み要求先に設定した場合の動作は、表 11.5 に示す通りになります。

表 11.5 DTC 起動時の動作

割り込み要求先	DTC. MRB. DISEL	残り 転送回数	1 要求毎の動作	IRi.IR (注1) (注3)	転送後の割り込み要求先
DTC (注2)	1	≠0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		=0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCERn.DTCE ビットがクリアされ CPU に切り替え
	0	≠0	DTC 転送	DTC 転送情報読み出し後の DTC データ転送開始時にクリア	DTC
		=0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCERn.DTCE ビットがクリアされ CPU に切り替え

注1. IRi.IR フラグが“1”の状態でも再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注2. チェーン転送の場合はチェーン最終転送まで DTC 転送を継続します。チェーン最終転送時の、CPU 割り込みの有/無、IR フラグのクリア、転送後の割り込み要求先、の各動作は、チェーン最終転送の DISEL、残り転送回数によって決まります。

注3. IRi.IR フラグがセットされた状態で再度発生した割り込み要求 (DTC 起動要求) が無視されると問題となる通信機能 (SCI/R1IC/RSPI) では、転送要求消失が発生しない状態でお使い頂くか、DTC のソフトウェア回避策を実施してください。詳細は、「11.7 使用上の注意事項」を参照ください。

割り込み要求先を変更する場合は IERm.IENj ビットが“0”のときに行ってください。

(1) の DTC 起動を設定してから転送が完了していない状態 (DTCERn.DTCE ビットがクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを“0”にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. (1) DTC 起動の設定を行う。

11.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下の通りです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に、割り込み優先レベル設定ビット (IPRm.IPR[3:0] ビット) の値が大きい要因が優先されます。IPRm.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRm.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

11.4.5 多重割り込み

多重割り込みを有効にするには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1” (割り込み許可) にしてください。

PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

11.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの1つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビットの設定にかかわらず、15 (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b” (優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1” (高速割り込みを許可) にしてください。

高速割り込みについては「2. CPU」や「10. 例外処理」も参照してください。

11.4.7 外部端子割り込み

外部端子割り込みを使用する手順は以下の通りです。

1. IERm.IENj ビットを“0”にする
2. I/O ポートの設定、および確認を行う
3. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する
4. IRi.IR フラグを“0”にする (エッジ検出の場合)
5. DTC 起動の場合 DTCEr.DTCE ビットを設定する (設定しない場合は CPU 割り込み)
6. IERm.IENj ビットを“1”にする

11.5 ノンマスクابل割り込みの動作説明

ノンマスクابل割り込みにはNMI端子割り込み、電圧監視割り込み、発振停止検出割り込みの3種類があります。ノンマスクابل割り込みはCPUへの割り込みのみであり、DTCの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスクابل割り込み要求は、CPUのPSW.Iビット（割り込み許可ビット）、PSW.IPL[3:0]ビット（プロセッサ割り込み優先レベル）の状態にかかわらず受け付けられます。ノンマスクابل割り込みの有無はノンマスクابل割り込みステータスレジスタ（NMISR）で確認できます。

ノンマスクابل割り込みルーチンでは、NMISRレジスタの全ビットが“0”になったことを確認してください。

初期状態では「ノンマスクابل割り込み禁止」となっています。ノンマスクابل割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスクابل割り込み使用手順

1. スタックポインタ（SP）を設定します。
2. NMI端子を使用する場合は、NMI端子の検出センス設定（NMICR.NMIMDビット）を行います。
3. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にします。
4. ノンマスクابل割り込み許可レジスタ（NMIER）の許可する割り込みに対応する箇所に“1”を書いて、ノンマスクابل割り込みの使用を許可します。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスクابل割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスクابل割り込みの処理の流れは、「10. 例外処理」を参照してください。

NMIステータスフラグ（NMISR.NMIST）は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ（NMISR.OSTST）はNMICLR.OSTCLRビットへの“1”書き込みでクリアされます。

電圧監視割り込みステータスフラグ（NMISR.LVDST）のクリアは「7. 電圧検出回路（LVD）」を参照してください。

NMISTレジスタのいずれかのステータスが“1”のときにWAIT命令を発行しないでください。

11.6 低消費電力状態からの復帰

スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード状態からの復帰割り込みとして使用可能な割り込み要因を「表 11.4 割り込みのベクタテーブル」に示します。詳細は「9. 消費電力低減機能」を参照してください。

各低消費電力モードにおける復帰対象割り込みの設定方法は以下の通りです。

11.6.1 スリープモードからの復帰

ノンマスカブル割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下の通りです。

- 割り込み
 - (1) 割り込み要求先が CPU であること
 - (2) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスカブル割り込み
NMIER レジスタによって該当する割り込み要求が許可されていること

11.6.2 全モジュールクロックストップモードからの復帰

ノンマスカブル割り込み、および全モジュールクロックストップモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下の通りです。

- 割り込み
 - (1) 全モジュールクロックストップモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスカブル割り込み
NMIER レジスタによって該当する割り込み要求が許可されていること

11.6.3 ソフトウェアスタンバイモードからの復帰

ノンマスカブル割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下の通りです。

- 割り込み
 - (1) ソフトウェアスタンバイモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビットによって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みに設定した要因には、高速割り込み設定レジスタ (FIR) だけでなく、対応する割り込み優先レベル (IPRm) も CPU.PSW.IPL[3:0] ビットより高い設定にしてください。)

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスカブル割り込み
NMIER レジスタによって該当する割り込み要求が許可されていること

11.7 使用上の注意事項

11.7.1 DTC 転送を使用した通信動作の注意事項

RX62Tグループ、RX62Gグループでは、DTC 転送を使用した通信機能の動作で、注意が必要な場合があります。割り込み要求が発生し IRI.R フラグが“1”の状態では、再度発生した割り込み要求は無視されません。割り込み要求先が DTC の IR フラグは、クリアタイミングが DTC の転送設定、転送回数によって異なるため、設定の組み合わせによっては、転送要求を消失する場合があります。

通信機能 (SCI/RIIC/RSPI) と、DTC 機能を組み合わせる場合、以下の注意事項に従ってご使用ください。

(1) DTC 転送を使用した通信動作の転送要求消失条件

表 11.6 に注意が必要な DTC 機能の組み合わせを示します。

表 11.6 注意が必要な DTC 機能の組み合わせ

	チェイン転送使用	転送ごとに CPU への通信割り込み有無 ^(注1) (DISEL 設定)	問題発生の可能性
DTC	チェイン転送を使用しない	DISEL = 0 【転送カウンタ > 0】	無
		DISEL = 0 【転送カウンタ = 0】 (最終転送時)	無 ^(注2)
		DISEL = 1	有
	チェイン転送を使用する	DISEL = 0 (転送カウンタ > 0 かつ、 チェインの最後が通信レジスタアクセス)	無
		DISEL = 0 (転送カウンタ = 0 (祭終転送時) かつ、 チェインの最後が通信レジスタアクセス)	無 ^(注2)
		DISEL = 1	有

注1. 通信割り込みとは SCI/RIIC/RSPI の送信データエンプティ、受信データフルの割り込みを表します。

注2. 次の通信パケットの転送要求に対して IRI.R フラグのクリアが間に合わない場合、問題が起こる可能性がありますのでご注意ください。

(2) DTC を DISEL=1 で使用する場合

データ転送 (DTC 動作) 後の CPU 割り込み受け付け時に IR フラグの自動クリアが行われます。IR フラグの自動クリアまでの間に、次の転送要求が発生すると、転送要求の消失が発生します。DISEL=1 の場合は CPU 割り込みが必ず発生しますので、下記のソフトウェア回避策 (3) を実施してください。

(3) ソフトウェア回避策 (SCI, RIIC, RSPI) のフローチャート

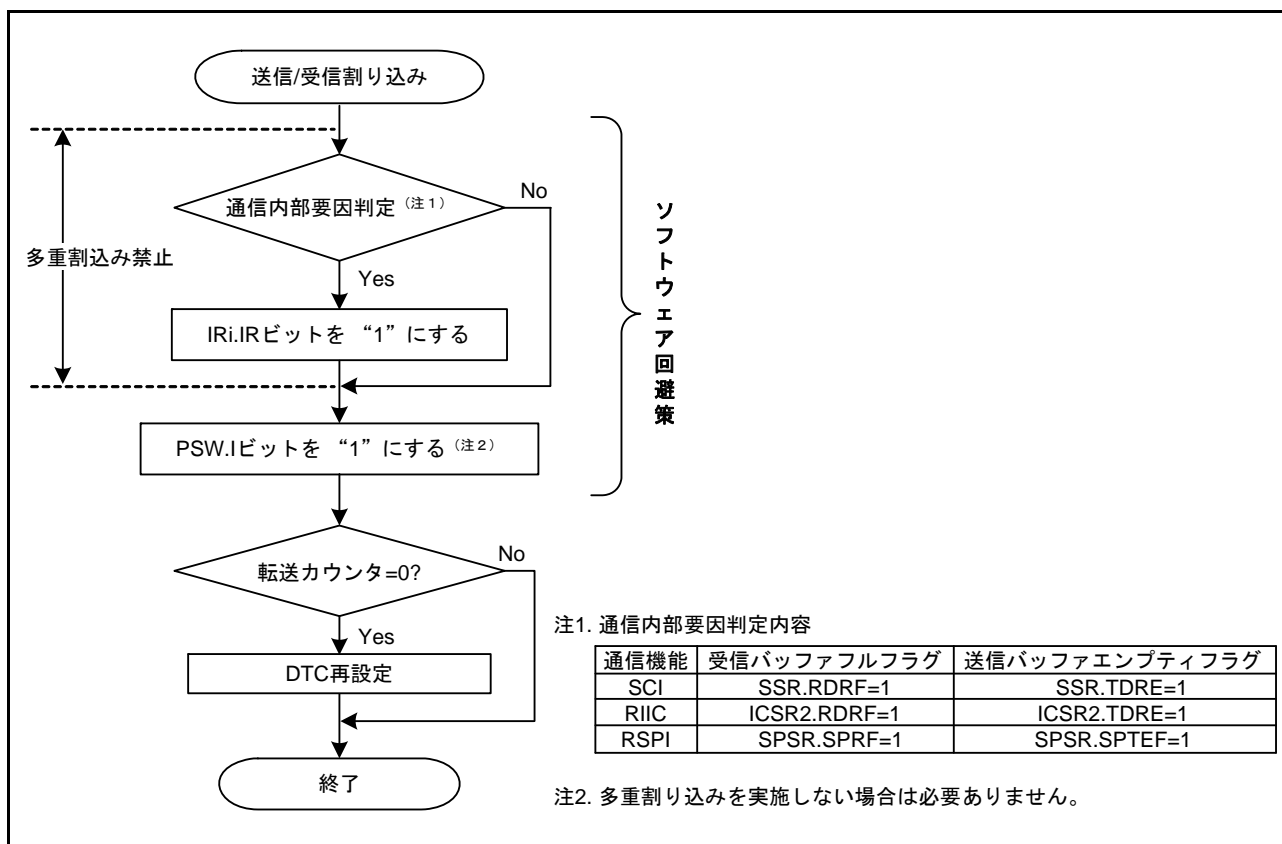


図 11.7 ソフトウェア回避策 (SCI, RIIC, RSPI) のフローチャート

11.7.2 MTU3 割り込みご使用時の注意事項

タイマステータスレジスタ (TSR) 内のステータスフラグにおいて、該当するフラグが“0”になる条件 (注1、注2、注3) に従いクリア処理を実施する際、“1”の状態の読み出しから“0”を書き込むまでの期間に同フラグが“1”になる条件 (注1、注2、注3) でのフラグセット要求が発生した場合、該当するフラグはクリアされず、“1”の状態を保持します。

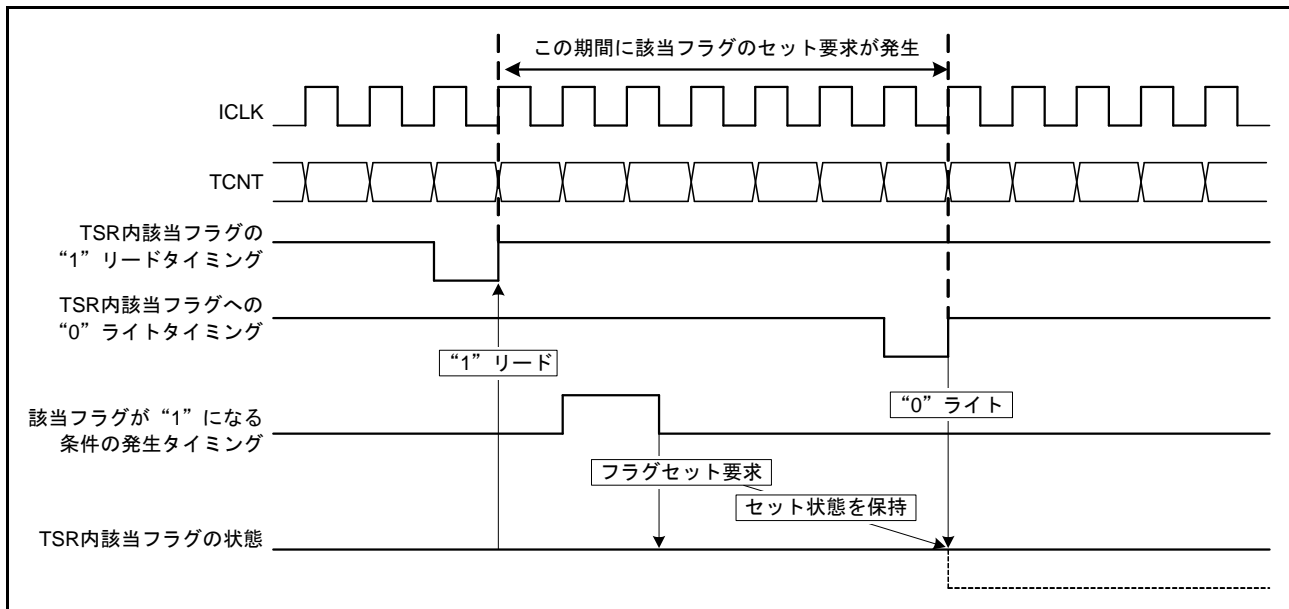


図 11.8 TSR 内ステータスフラグ状態

- 注1. TGFm フラグ (インプットキャプチャ/アウトプットコンペアフラグ m) (m = A ~ F)
- ["1"になる条件]
- ・ TGRm レジスタがアウトプットコンペアレジスタ / コンペアレジスタとして機能している場合、TCNT = TGRm になったとき
 - ・ TGRm レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRm レジスタに転送されたとき
- ["0"になる条件]
- ・ TGFm = 1 の状態で TGFm フラグを読んだ後、TGFm フラグに“0”を書いたとき
- 注2. TCFj フラグ (オーバーフロー/アンダーフローフラグ) (j = V, U)
- ["1"になる条件]
- ・ TCNT の値がオーバーフローしたとき (FFFFh → 0000h)
 - ・ TCNT の値がアンダフローしたとき (0000h → FFFFh)
- ["0"になる条件]
- ・ TCFj = 1 の状態で TCFj フラグを読んだ後、TCFj フラグに“0”を書いたとき
- 注3. CMFn5 コンペアマッチ/インプットキャプチャフラグ n) (n = U, V, W)
- ["1"になる条件]
- ・ MTU5.TGRn がコンペアマッチレジスタとして機能している場合、MTU5.TCNTn = MTU5.TGRn になったとき
 - ・ MTU5.TGRn がインプットキャプチャとして機能している場合、インプットキャプチャ信号により MTU5.TCNTn の値が MTU5.TGRn に転送されたとき
 - ・ MTU5.TGRn が外部入力信号のパルス幅測定として機能している場合、MTU5.TCNTn の値が MTU5.TGRn に転送されたとき
- ["0"になる条件]
- ・ CMFn5 = 1 の状態で CMFn5 フラグを読んだ後、CMFn5 フラグに“0”を書いたとき

TSR の該当フラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当フラグのクリア処理後、下記フローチャートのソフトウェア回避策の実施をお願い致します。

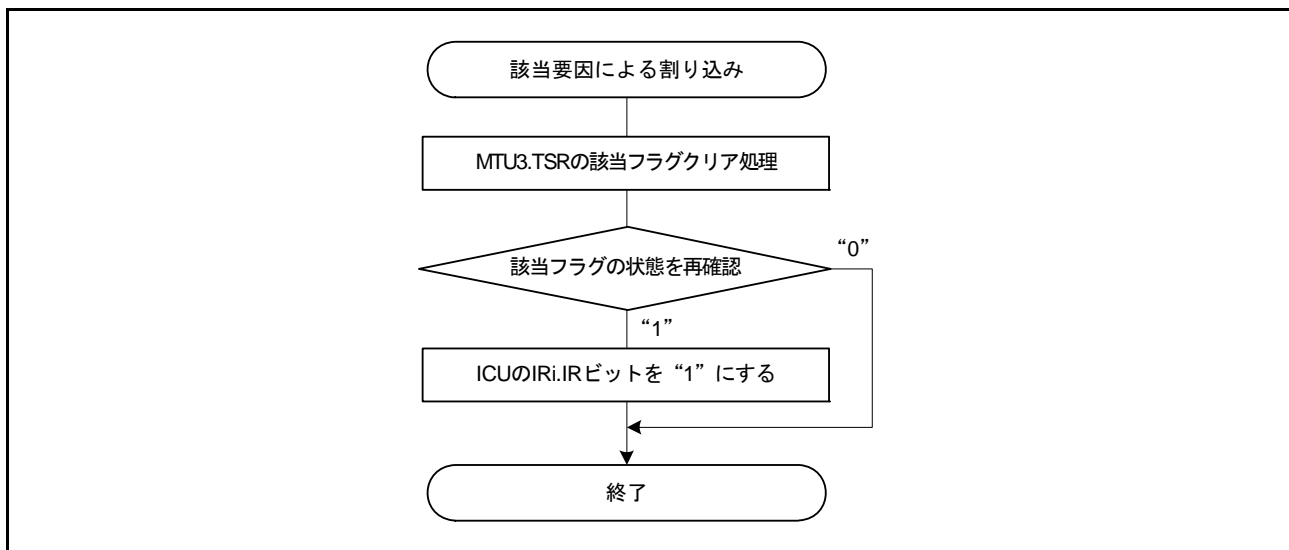


図 11.9 ソフトウェア回避策のフローチャート

12. バス

12.1 概要

表 12.1 に各バスの仕様を、図 12.1 にバス構成図を、表 12.2 にバス種類別アドレス対応表を示します。

表 12.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU（命令）を接続 • 内蔵メモリを接続（内蔵RAM、内蔵ROM） • システムクロック（ICLK）に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU（オペランド）を接続 • 内蔵メモリを接続（内蔵RAM、内蔵ROM） • システムクロック（ICLK）に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • 内蔵RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • 内蔵ROMを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック（ICLK）に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DTCを接続 • 内蔵メモリを接続（内蔵RAM、内蔵ROM） • システムクロック（ICLK）に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能（バスエラー監視部、割り込み等）を接続 • システムクロック（ICLK）に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能（WDT、CMT、CRC、SCI等）を接続 • 周辺モジュールクロック（PCLK）に同期して動作
	内部周辺バス4	<ul style="list-style-type: none"> • 周辺機能（MTU3、GPT）を接続 • システムクロック（ICLK）に同期して動作
	内部周辺バス6	<ul style="list-style-type: none"> • 内蔵ROM（P/E）／データフラッシュを接続 • 周辺モジュールクロック（PCLK）に同期して動作

【略語説明】 P/E：書き込み／消去

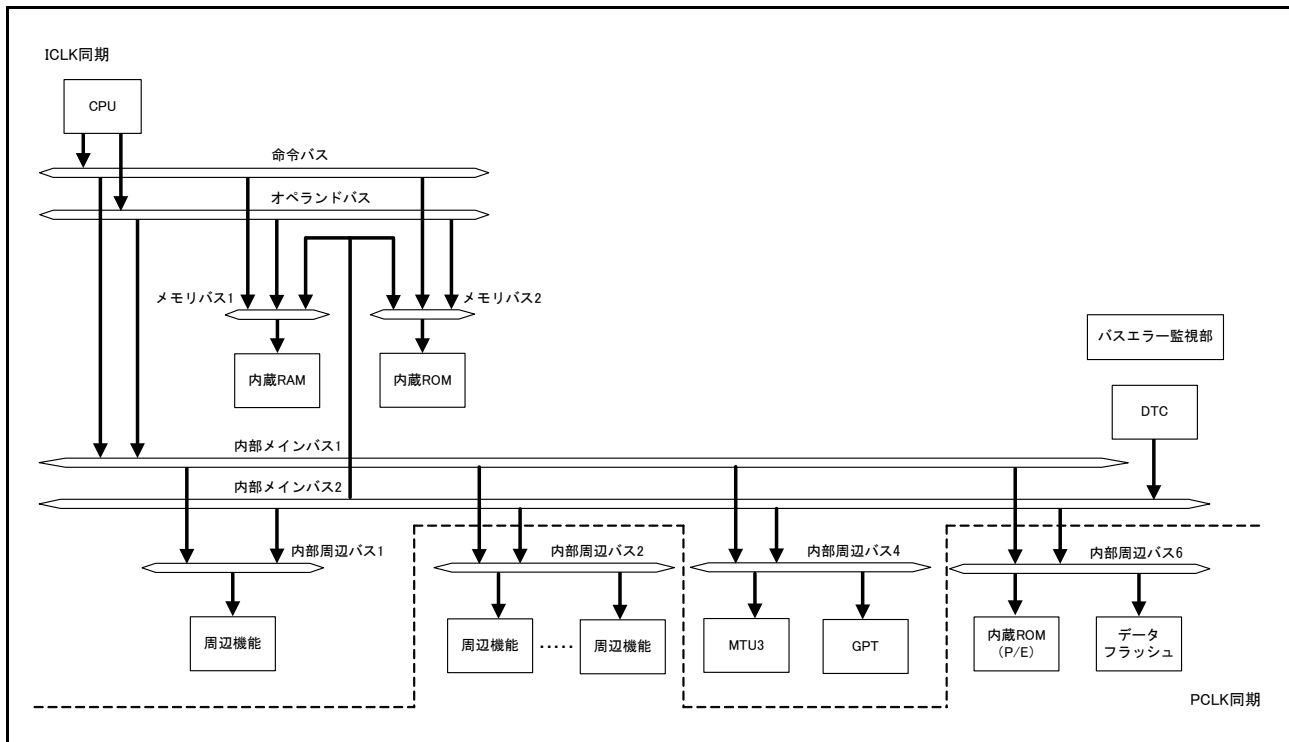


図 12.1 バスの構成図

表 12.2 バス種類別アドレス対応表

アドレス	種類	内容	
0000 0000h ~ 0000 3FFFh	メモリバス 1	内蔵RAM	
0000 4000h ~ 0007 FFFFh		予約領域	
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	周辺I/Oレジスタ	
0008 8000h ~ 0009 FFFFh	内部周辺バス 2		
000A 0000h ~ 000B FFFFh	予約領域	予約領域	
000C 0000h ~ 000D FFFFh	内部周辺バス 4	周辺I/Oレジスタ	
000E 0000h ~ 000F FFFFh	予約領域	予約領域	
0010 0000h ~ 0011 FFFFh	内部周辺バス 6	データフラッシュ	
0012 0000h ~ 007F 7FFFh		予約領域	
007F 8000h ~ 007F 9FFFh		FCU RAM	
007F A000h ~ 007F BFFFh		予約領域	
007F C000h ~ 007F C4FFh		周辺I/Oレジスタ	
007F C500h ~ 007F FBFFh		予約領域	
007F FC00h ~ 007F FFFFh		周辺I/Oレジスタ	
0080 0000h ~ 00DF FFFFh		予約領域	
00E0 0000h ~ 00FF FFFFh		内蔵ROM (書き換え専用)	
0100 0000h ~ 7FFF FFFFh		予約領域	予約領域
8000 0000h ~ FFFF FFFFh		メモリバス 2	内蔵ROM (読み出し専用)

12.2 バスの説明

12.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。

命令バスとオペランドバスは、内蔵 RAM、内蔵 ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、内蔵 ROM は読み出しのみ CPU からの直接アクセスが可能であり、書き込み/消去は内部周辺バスを介して行います。

内部メインバス 1 は、内蔵 ROM/内蔵 RAM 以外の命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド>命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部メインバス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、内蔵 ROM と内蔵 RAM の並列動作が可能となります。

12.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には内蔵 RAM、メモリバス 2 には内蔵 ROM が接続されています。メモリバス 1 とメモリバス 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、内部メインバス 2 > CPU バス（オペランド>命令フェッチ）の順となります。

12.2.3 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DTC）が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、内蔵 ROM /内蔵 RAM 以外の命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド>命令フェッチの順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1、内部周辺バス 2、内部周辺バス 4、内部周辺バス 6）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

2 本のバスの優先順位は、内部メインバス 2 > 内部メインバス 1 の順となります。ただし、CPU により XCHG 命令が実行された場合には、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 12.3 バスマスタ優先順位

優先度	バスマスタ
高	DTC
低	CPU

12.2.4 内部周辺バス

表 12.4 に内部周辺バスに接続される周辺機能を示します。

表 12.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス 1	<ul style="list-style-type: none"> • 割り込みコントローラ • バスエラー監視部
内部周辺バス 2	<ul style="list-style-type: none"> • 内部周辺バス 1、4以外の周辺機能 • データフラッシュ
内部周辺バス 4	<ul style="list-style-type: none"> • MTU3、GPT
内部周辺バス 6	<ul style="list-style-type: none"> • 内蔵ROM (P/E) / データフラッシュ

内部周辺バス 1、内部周辺バス 2、内部周辺バス 4、内部周辺バス 6 は、それぞれ、CPU（内部メインバス 1）と CPU 以外のバスマスタ（内部メインバス 2）からのバス権要求を調停します。

2本のバスの優先順位は、内部メインバス 2 > 内部メインバス 1 の順となります。

12.2.5 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列して動作することが可能です。たとえば、CPU が内蔵 ROM から命令フェッチしながら、内蔵 RAM をオペランドアクセスし、DTC は周辺バス間の転送を行うことができます。図 12.2 に並列動作の例を示します。この例の場合、CPU は命令バスとオペランドバスを使って、それぞれ内蔵 ROM と内蔵 RAM を同時にアクセスすることが可能です。また、CPU が内蔵 ROM と内蔵 RAM をアクセス中に、DTC は内部メインバス 2 を使って、周辺バスを同時にアクセスすることができます。

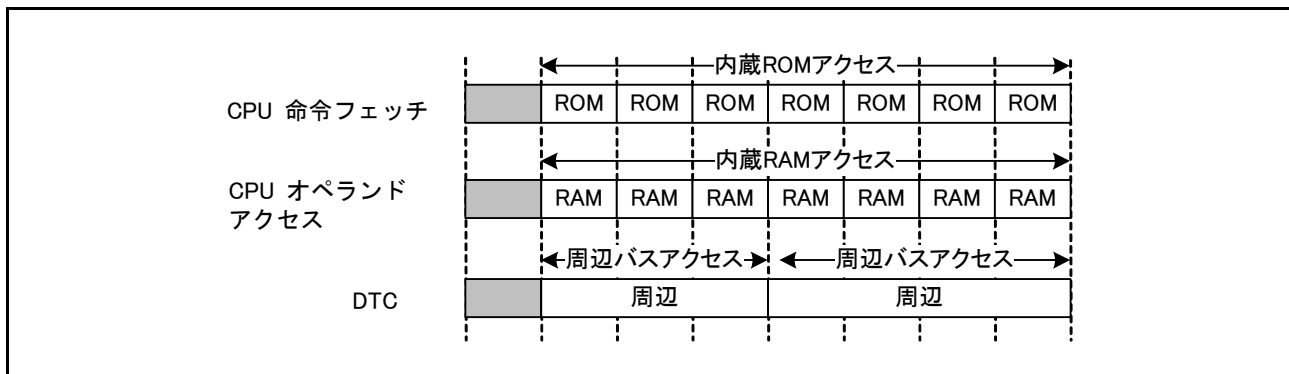


図 12.2 並列動作の例

12.2.6 制約事項

(1) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

12.3 レジスタの説明

表 12.5 にバスエラー監視部のレジスタを示します。

表 12.5 バスエラー監視部のレジスタ一覧表

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
バスエラーステータスクリアレジスタ	BERCLR	00h	0008 1300h	8
バスエラー監視許可レジスタ	BEREN	00h	0008 1304h	8
バスエラーステータスレジスタ1	BERSR1	00h	0008 1308h	8
バスエラーステータスレジスタ2	BERSR2	0000h	0008 130Ah	16

12.3.1 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書くと、バスエラーステータスレジスタ1 (BERSR1) とバスエラーステータスレジスタ2 (BERSR2) がクリアされます。

12.3.2 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IGAEN ビット (不正アドレスアクセス検出許可ビット)

不正アドレスアクセス検出の許可/禁止を設定します。

12.3.3 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0: 不正アドレスアクセスの発生なし 1: 不正アドレスアクセスの発生あり	R
b3-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 000: CPU 001: 設定しないでください 010: 設定しないでください 011: DTC 100: 設定しないでください 101: 設定しないでください 110: 設定しないでください 111: 設定しないでください	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

BERSR1 レジスタは、バスエラー発生状態を記録するレジスタです。

不正アドレスアクセスが発生したか (IA ビット)、どのバスマスタからアクセスされたか (MST[2:0] ビット) を記録します。

IA ビット (不正アドレスアクセスフラグビット)

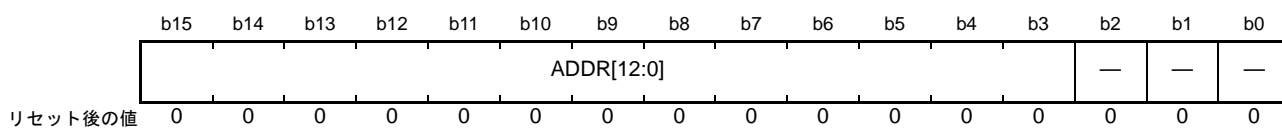
不正アドレスアクセスエラーが発生しているかどうかを示します。

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

12.3.4 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512KB単位)	R

BERSR2 レジスタは、バスエラーを起こしたアドレスの上位 13 ビットを記録するレジスタです。

ADDR[12:0] (バスエラー発生アドレスビット)

バスエラーを起こしたアドレスの上位 13 ビットを示します。

12.4 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合バスマスタへ通知します。バスエラーには、不正アドレスアクセスがあります。不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出します。

12.4.1 バスエラーの種類

バスエラーには、不正アドレスアクセスがあります。
不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出します。

12.4.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN ビット=“1”) で、以下のアクセスが起こった場合に発生します。

- 不正アドレス領域にアクセスした場合

どの領域で不正アドレスアクセスエラーが発生するかを表 12.6 に示します。

12.4.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IEN レジスタで制御できます。

12.4.3 バスエラーの発生条件

表 12.6 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態 (バスエラーステータスレジスタ n (BERSRn) (n=1, 2) がクリアされている場合) で、不正アドレスアクセスエラーが検出されると、BERSRn レジスタにその時点の状態が記憶されます。1 度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つのバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 12.6 発生するバスエラーの種類

アドレス	内容	種類	
		不正アドレスアクセス	
0000 0000h ~ 0000 3FFFh	内蔵RAM (注1)	—	
0000 4000h ~ 0007 FFFFh	予約領域		
0008 0000h ~ 0009 0FFFh	周辺I/Oレジスタ	—	
0009 1000h ~ 0009 3FFFh		○	
0009 4000h ~ 0009 41FFh		—	
0009 4200h ~ 0009 FFFFh		○	
000A 0000h ~ 000B FFFFh		○	
000C 0000h ~ 000C 0FFFh		○	
000C 1000h ~ 000C 27FFh		—	
000C 2800h ~ 000D FFFFh		○	
000E 0000h ~ 000F FFFFh		予約領域	○
0010 0000h ~ 0011 FFFFh		データフラッシュ (注1)	—
0012 0000h ~ 007F 7FFFh	予約領域	○	
007F 8000h ~ 007F 9FFFh	FCU RAM	—	
007F A000h ~ 007F BFFFh	予約領域	○	
007F C000h ~ 007F C4FFh	周辺I/Oレジスタ	—	
007F C500h ~ 007F FBFFh	予約領域	○	
007F FC00h ~ 007F FFFFh	周辺I/Oレジスタ	—	
0080 0000h ~ 00DF FFFFh	予約領域	—	
00E0 0000h ~ 00FF FFFFh	内蔵ROM (注1) (書き換え専用)	—	
0100 0000h ~ 7FFF FFFFh	予約領域	○	
8000 0000h ~ FFFF FFFFh	内蔵ROM (注1) (読み出し専用)	—	

【記号説明】 — : バスエラーは発生しません

○ : バスエラーが発生します

注1. 実装される内蔵RAM、データフラッシュ、内蔵ROMの容量は製品により異なります。製品ごとの仕様については、「30. RAM」、「31. ROM (コード格納用フラッシュメモリ)」、「32. データフラッシュ (データ格納用フラッシュメモリ)」を参照してください。

13. メモリプロテクションユニット (MPU)

13.1 概要

RX CPUにはメモリプロテクションユニットが内蔵されており、全アドレス空間(0000 0000h～FFFF FFFFh)を対象にCPUによるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPUのプロセッサモードがユーザモードのときに有効です。スーパーバイザモードのときは、メモリ保護を行いません。

表 13.1 にメモリプロテクションユニットの仕様を、図 13.1 にブロック図を示します。

表 13.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h～FFFF FFFFh (ユーザモード時) スーパーバイザモード時はメモリ保護なし
領域数	8
ページサイズ (最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n=0～7)
各領域のアクセス制御情報	命令実行：実行許可 オペランドアクセス：読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス：スタック領域にPCを退避 オペランドアクセスアドレス：データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域 (全アドレス空間) に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

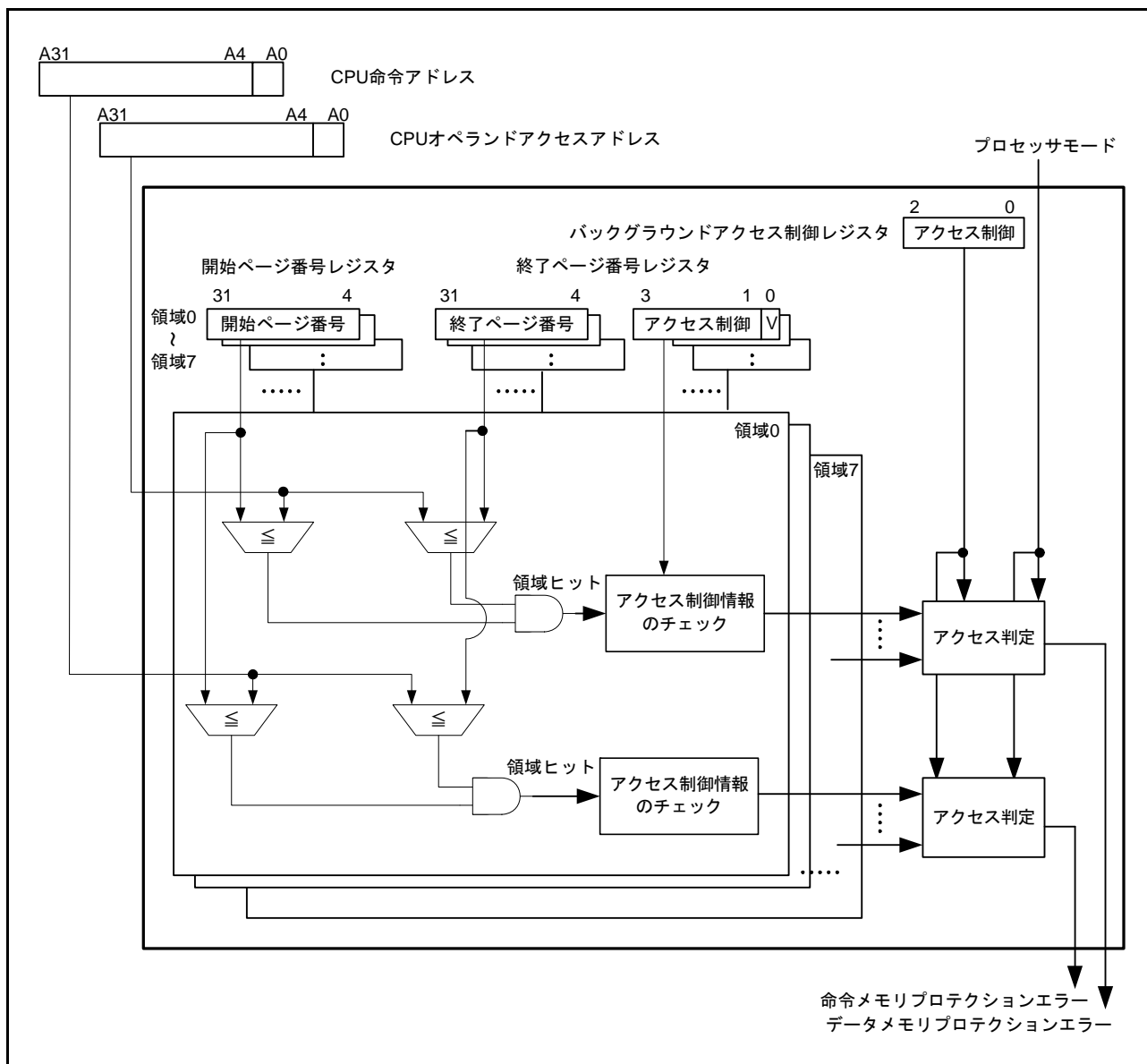


図 13.1 メモリプロテクションユニットブロック図

13.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の 3 種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

13.1.2 アクセス制御領域

アクセス制御領域は 8 つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います ($n=0 \sim 7$)。

ページは、アクセス制御の最小単位であり、アドレス空間を 16 バイト毎に区切ったものです。アドレス [31:0] の上位 28 ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

13.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8 つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

13.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

13.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

13.2 レジスタの説明

表 13.2 にメモリプロテクションユニットのレジスタ一覧を示します。

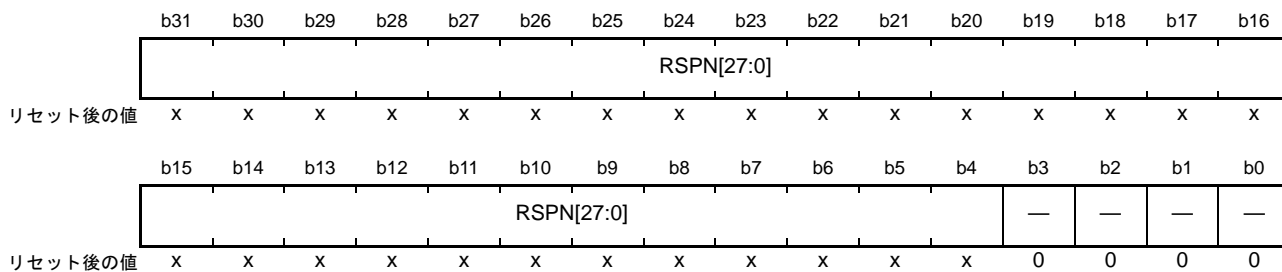
表 13.2 メモリプロテクションユニットのレジスタ一覧

レジスタ名	シンボル	リセット後の値 (注)	アドレス	アクセスサイズ
領域0開始ページ番号レジスタ	RSPAGE0	xxxx xxx0h	0008 6400h	32
領域0終了ページ番号レジスタ	REPAGE0	xxxx xxx0h	0008 6404h	32
領域1開始ページ番号レジスタ	RSPAGE1	xxxx xxx0h	0008 6408h	32
領域1終了ページ番号レジスタ	REPAGE1	xxxx xxx0h	0008 640Ch	32
領域2開始ページ番号レジスタ	RSPAGE2	xxxx xxx0h	0008 6410h	32
領域2終了ページ番号レジスタ	REPAGE2	xxxx xxx0h	0008 6414h	32
領域3開始ページ番号レジスタ	RSPAGE3	xxxx xxx0h	0008 6418h	32
領域3終了ページ番号レジスタ	REPAGE3	xxxx xxx0h	0008 641Ch	32
領域4開始ページ番号レジスタ	RSPAGE4	xxxx xxx0h	0008 6420h	32
領域4終了ページ番号レジスタ	REPAGE4	xxxx xxx0h	0008 6424h	32
領域5開始ページ番号レジスタ	RSPAGE5	xxxx xxx0h	0008 6428h	32
領域5終了ページ番号レジスタ	REPAGE5	xxxx xxx0h	0008 642Ch	32
領域6開始ページ番号レジスタ	RSPAGE6	xxxx xxx0h	0008 6430h	32
領域6終了ページ番号レジスタ	REPAGE6	xxxx xxx0h	0008 6434h	32
領域7開始ページ番号レジスタ	RSPAGE7	xxxx xxx0h	0008 6438h	32
領域7終了ページ番号レジスタ	REPAGE7	xxxx xxx0h	0008 643Ch	32
メモリプロテクション機能有効化レジスタ	MPEN	0000 0000h	0008 6500h	32
バググラウンドアクセス制御レジスタ	MPBAC	0000 0000h	0008 6504h	32
メモリプロテクションエラーステータスクリアレジスタ	MPECLR	0000 0000h	0008 6508h	32
メモリプロテクションエラーステータスレジスタ	MPESTS	0000 0000h	0008 650Ch	32
データメモリプロテクションエラーアドレスレジスタ	MPDEA	xxxx xxxh	0008 6514h	32
領域サーチアドレスレジスタ	MPSA	xxxx xxxh	0008 6520h	32
領域サーチオペレーションレジスタ	MPOPS	0000h	0008 6524h	16
領域インバリデートオペレーションレジスタ	MPOPI	0000h	0008 6526h	16
命令ヒット領域レジスタ	MHITI	0000 0000h	0008 6528h	32
データヒット領域レジスタ	MHITD	0000 0000h	0008 652Ch	32

注. x: 不定

13.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n=0 ~ 7)

アドレス RSPAGE0 0008 6400h、RSPAGE1 0008 6408h、RSPAGE2 0008 6410h、RSPAGE3 0008 6418h
 RSPAGE4 0008 6420h、RSPAGE5 0008 6428h、RSPAGE6 0008 6430h、RSPAGE7 0008 6438h



x : 不定

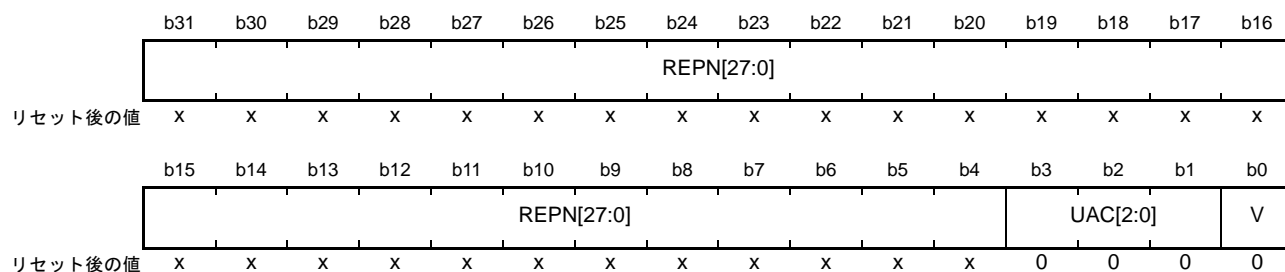
ビット	シンボル	ビット名	説明	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

13.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n=0 ~ 7)

アドレス REPAGE0 0008 6404h、REPAGE1 0008 640Ch、REPAGE2 0008 6414h、REPAGE3 0008 641Ch
REPAGE4 0008 6424h、REPAGE5 0008 642Ch、REPAGE6 0008 6434h、REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	説明	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPn[27:0]	領域終了ページ番号	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPn[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

13.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1: メモリプロテクション機能有効 0: メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

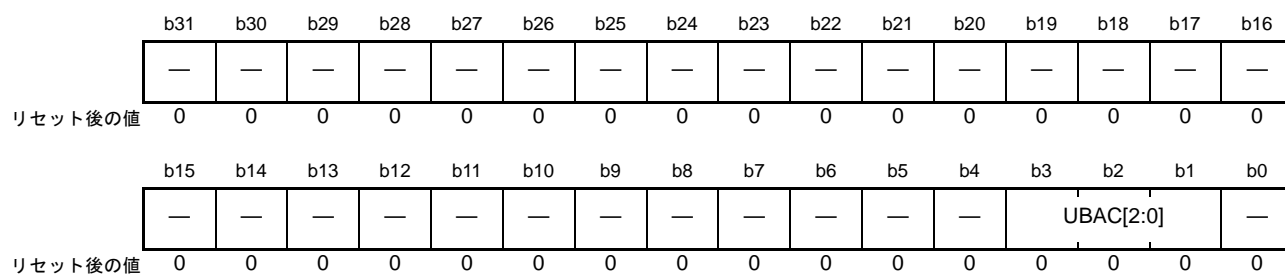
MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE、RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

13.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h



ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

13.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW, DA, IAビットを“0”にします。	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード/ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DA)、命令メモリプロテクションエラー発生ビット (IA) を“0”にします。

13.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DA	IA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
b0	IA	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DA	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

IA ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IA ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DA ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DA ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DA ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

13.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x : 不定

ビット	シンボル	ビット名	説明	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

13.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x: 不定

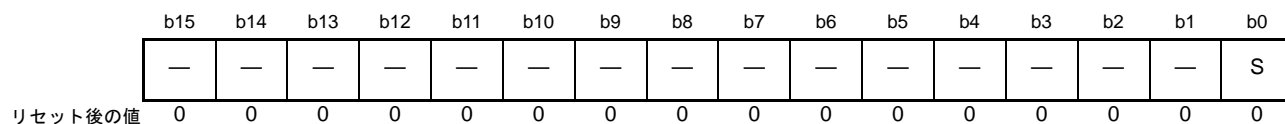
ビット	シンボル	ビット名	説明	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチ用アドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGEn) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGEn) の領域終了アドレスと比較するアドレスを設定します。

13.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h



ビット	シンボル	ビット名	説明	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

S ビット (領域サーチオペレーション起動ビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

13.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

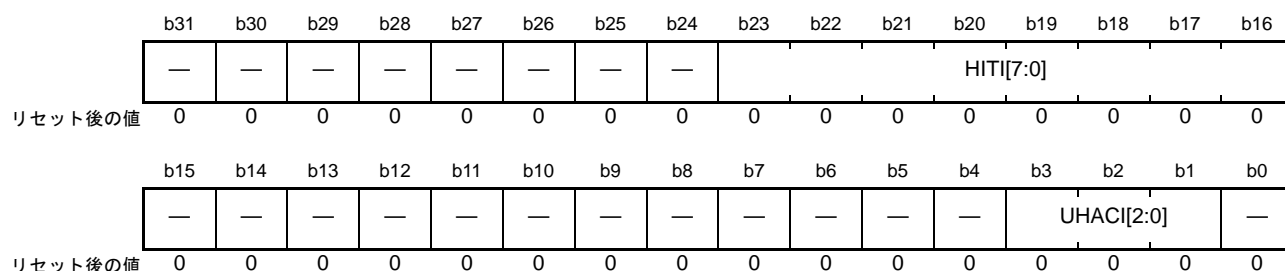
ビット	シンボル	ビット名	説明	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート (無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を“0”にします。REPAGEn.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

13.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h



ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACI[2:0]	ユーザーモード時命令ヒット領域アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット (MPESTS.IA) = “1”のとき、 [b23:b16] = 0000 0000b: バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0: 領域7で命令メモリプロテクションエラーなし 1: 領域7で命令メモリプロテクションエラーあり b22 0: 領域6で命令メモリプロテクションエラーなし 1: 領域6で命令メモリプロテクションエラーあり b21 0: 領域5で命令メモリプロテクションエラーなし 1: 領域5で命令メモリプロテクションエラーあり b20 0: 領域4で命令メモリプロテクションエラーなし 1: 領域4で命令メモリプロテクションエラーあり b19 0: 領域3で命令メモリプロテクションエラーなし 1: 領域3で命令メモリプロテクションエラーあり b18 0: 領域2で命令メモリプロテクションエラーなし 1: 領域2で命令メモリプロテクションエラーあり b17 0: 領域1で命令メモリプロテクションエラーなし 1: 領域1で命令メモリプロテクションエラーあり b16 0: 領域0で命令メモリプロテクションエラーなし 1: 領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

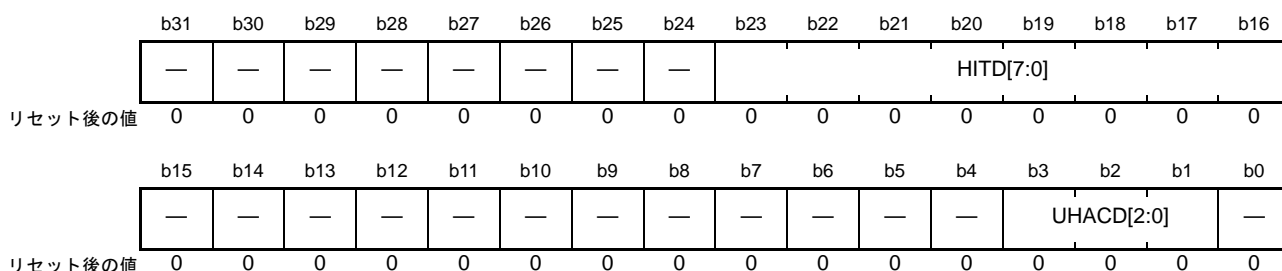
オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは“0000 0000b”にセットされます。

13.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch



ビット	シンボル	ビット名	説明	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b23-b16	HITD[7:0]	データヒット領域 ビット	データメモリプロテクションエラー発生ビット (DA)=1のとき、 [b23:b16]=0000 0000b：バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0：領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0：領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0：領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0：領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0：領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0：領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0：領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0：領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1：領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

UHACD[2:0] ビット (ユーザモード時データヒット領域アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

13.3 機能

13.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反（メモリプロテクションエラー）を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

13.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報（実行許可、読み出し許可、書き込み許可）がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ (MPOPS) の領域サーチオペレーションビット (S) を“1”にすることにより、領域サーチアドレスレジスタ (MPSA) で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ (MHITD) は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

13.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段（命令フェッチ、DMA）ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパーバイザモードのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

13.3.4 メモリプロテクション機能のアクセス判定フロー

図 13.2 にデータアクセス判定フローを、図 13.3 に命令アクセス判定フローを示します。

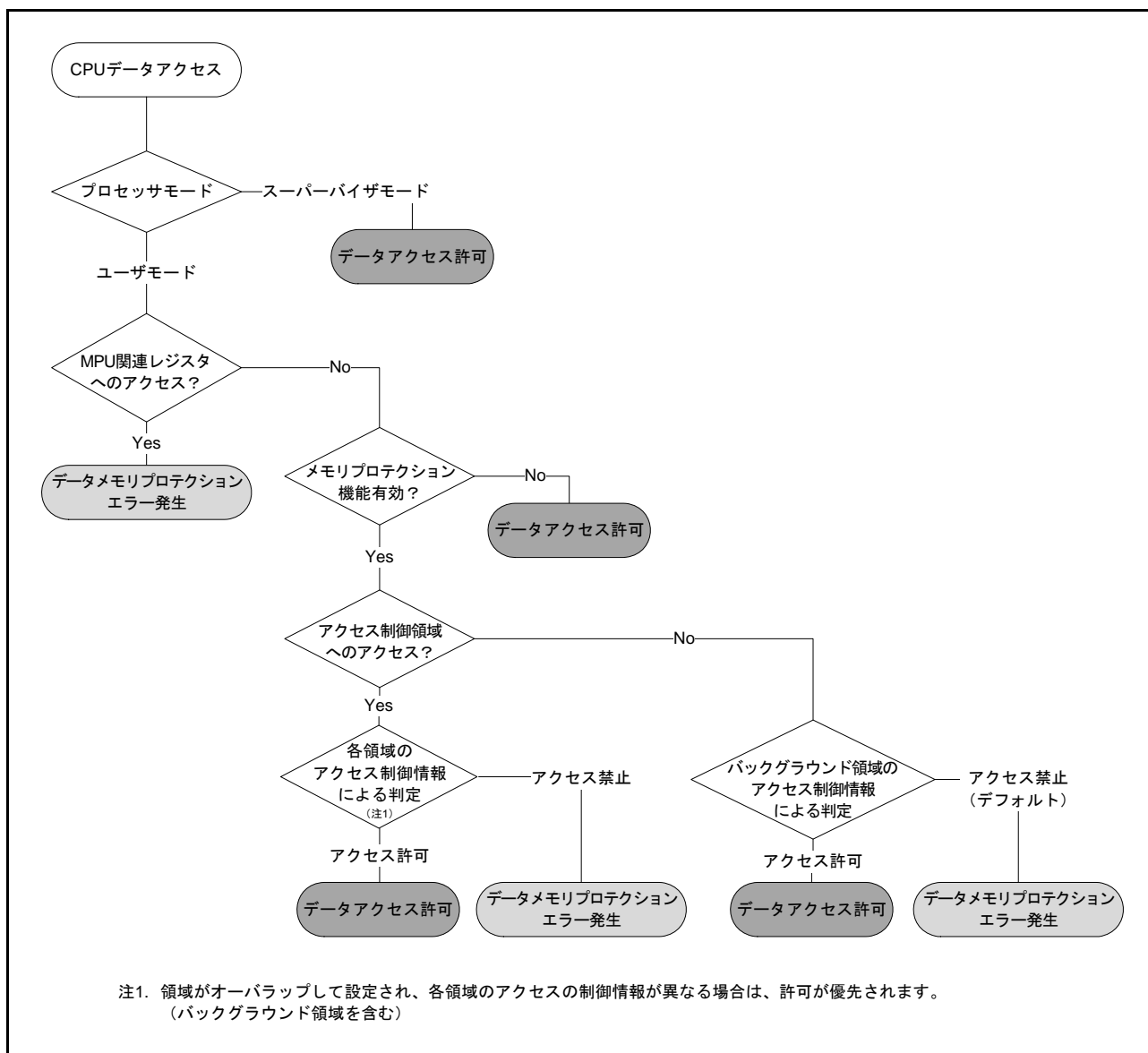


図 13.2 データアクセス判定フロー

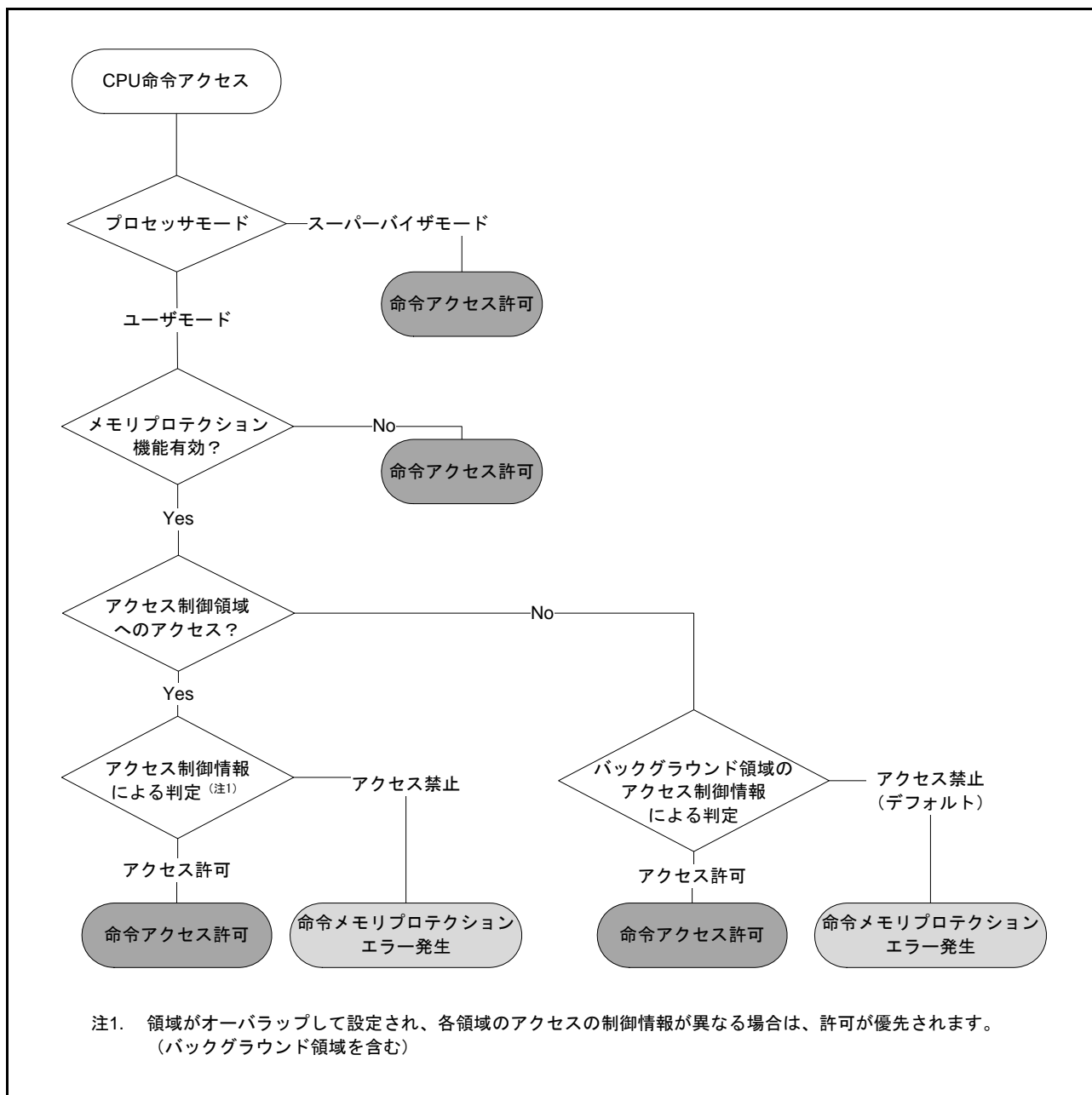


図 13.3 命令アクセス判定フロー

13.4 メモリプロテクション機能使用手順

13.4.1 アクセス制御情報の設定

スーパーバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n=0 ~ 7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

13.4.2 メモリプロテクション機能の有効化

スーパーバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

13.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、必ず最後に書き込みを行ったメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後にユーザモードへ移行してください。

スーパーバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1” (ユーザモードに設定) にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを“1”にした後、RTFI 命令を実行

注. MVTC、POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

13.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「10. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IA) およびデータメモリプロテクションエラー発生ビット (DA) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ (MHITD) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット (MHITD.HITD[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット (MHITD.HITD[7:0]) は、“0000 0000b”になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ (MHITI) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット (MHITL.HITI[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITL.UHACI[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット (MHITL.HITI[7:0]) は、“0000 0000b”になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITL.UHACI[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

14. データトランスファコントローラ (DTC)

RX62Tグループ、RX62Gグループは、データトランスファコントローラ (DTC) を内蔵しています。DTCは割り込み要求によって起動し、データ転送を行うことができます。

14.1 概要

表 14.1 に DTC の仕様を、図 14.1 に DTC のブロック図を示します。

表 14.1 DTCの仕様

項目	内容
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データ転送する リピート転送モード 1回の起動で1データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピートサイズは最大256データ設定可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは最大255データ設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネル転送が可能 (ICUからのDTC起動要求で転送) 1つの起動要因に対して複数のデータ転送が可能 (チェーン転送) チェーン転送は、カウンタ=0のとき実施する/毎回実施する、のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき、16Mバイト (0000 0000h~007F FFFFhとFF80 0000h~FFFF FFFFhのうち予約領域以外の領域) フルアドレスモードのとき、4Gバイト (0000 0000h~FFFF FFFFhのうち予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データのビット長: 8ビット、16ビット、32ビット ブロックサイズのデータ数: 1~255データ
CPU割り込み要因	<ul style="list-style-type: none"> DTCを起動した割り込みでCPUへの割り込み要求発生が可能 1回のデータ転送終了後にCPUへの割り込み要求発生が可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求発生が可能
リードスキップ	転送情報のリードスキップを指定可能
ライトバックスキップ	転送元アドレス固定の場合または転送先アドレス固定の場合はライトバックスキップを実行

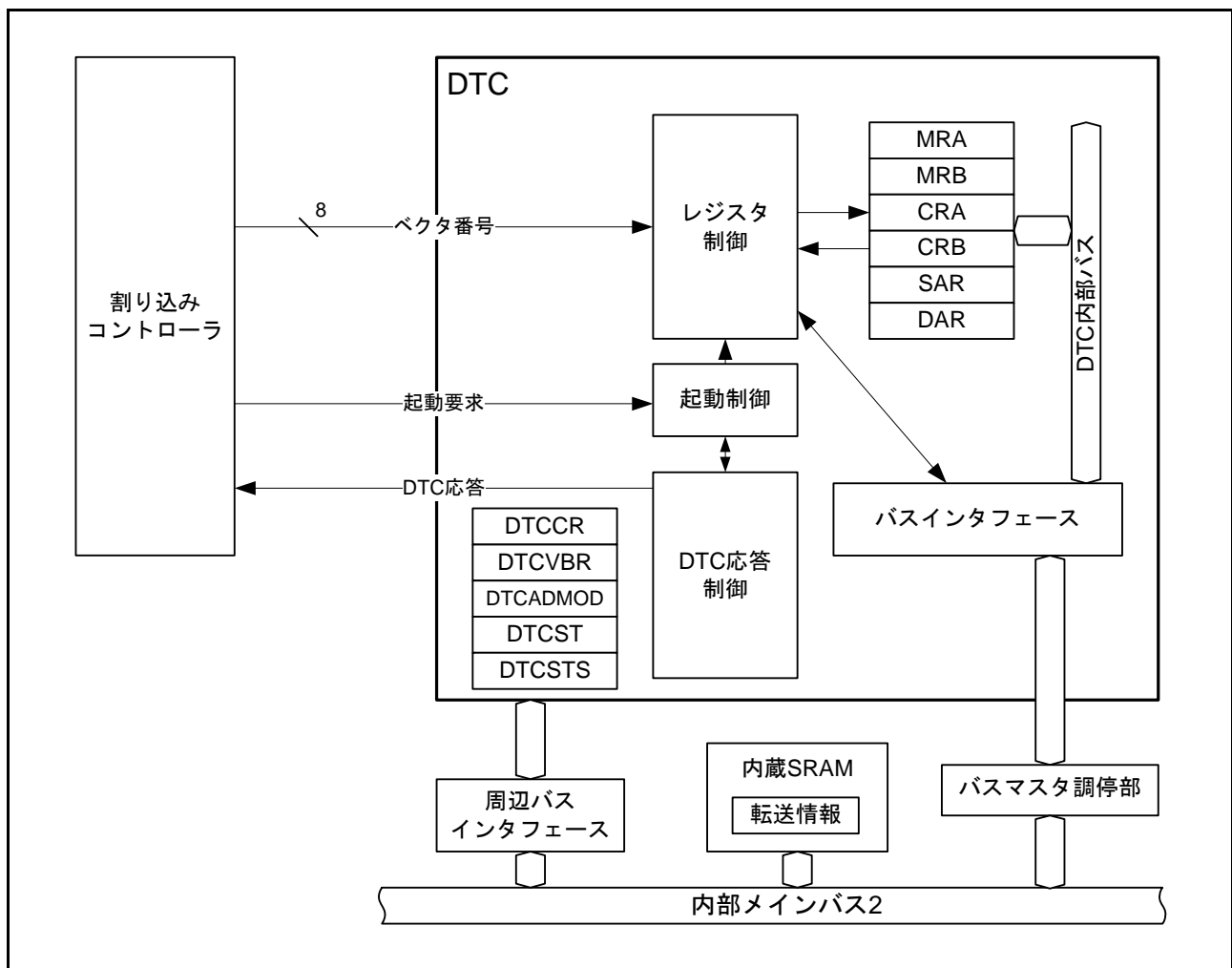


図 14.1 DTC のブロック図

14.2 レジスタの説明

表 14.2 に DTC のレジスタ一覧を示します。

MRA、MRB、SAR、DAR、CRA、CRB の 6 本のレジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は起動要求が発生すると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、DTC の内部レジスタは転送情報として RAM 領域にライトバックされます。

表 14.2 DTC のレジスタ一覧

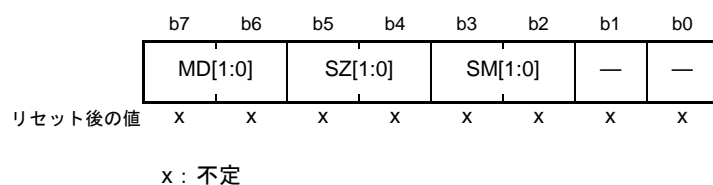
レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ (ビット)
DTC モードレジスタ A	MRA	xxh	—	—
DTC モードレジスタ B	MRB	xxh	—	—
DTC 転送元アドレスレジスタ	SAR	xxxxxxxh	—	—
DTC 転送先アドレスレジスタ	DAR	xxxxxxxh	—	—
DTC 転送カウントレジスタ A	CRA	xxxxh	—	—
DTC 転送カウントレジスタ B	CRB	xxxxh	—	—
DTC コントロールレジスタ	DTCCR	08h	0008 2400h	8
DTC ベクタベースレジスタ	DTCVBR	00000000h	0008 2404h	32
DTC アドレスモードレジスタ	DTCADMOD	00h	0008 2408h	8
DTC モジュール起動レジスタ	DTCST	00h	0008 240Ch	8
DTC ステータスレジスタ	DTCSTS	0000h	0008 240Eh	16

x: 不定値

注. DTC を起動するためには、割り込みコントローラ (ICU) の DTCERn.DTCE ビット (n=割り込みベクタ番号)、IERm.IENj ビット (m=02h~1Fh、j=7~0) を設定する必要があります。詳細は「11. 割り込みコントローラ (ICU)」を参照してください。

14.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可能)



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読む場合、その値は不定です。書く場合、“0”としてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 00 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 01 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 10 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 11 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 00 : バイトサイズ転送 01 : ワードサイズ転送 10 : ロングワード転送 11 : 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 00 : ノーマル転送モード 01 : リピート転送モード 10 : ブロック転送モード 11 : 設定しないでください	—

MRAレジスタは、DTCの動作モードの選択を行うレジスタです。

MRAレジスタは、CPUから直接アクセスすることはできません。

SM[1:0] ビット (転送元アドレスアドレッシングモードビット)

データ転送後のSARレジスタの動作を指定します。

SZ[1:0] ビット (DTCデータトランスファサイズビット)

転送データのサイズを指定します。

MD[1:0] ビット (DTC転送モード選択ビット)

DTCの転送モードを指定します。

14.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可能)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読む場合、その値は不定です。書く場合、“0”としてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 00: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 01: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 10: 転送後、DAR レジスタをインクリメント (MAR.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 11: 転送後 DAR レジスタをデクリメント (MAR.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0: 転送先がリピート領域またはブロック領域 1: 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0: 指定されたデータ転送終了時、CPU への割り込みが発生 1: DTC データ転送の度に、CPU への割り込みが発生	—
b6	CHNS	DTC チェーン転送選択ビット	0: 連続してチェーン転送を行う 1: 転送カウンタ=0のときのみチェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、DTC の動作モードの選択を行うレジスタです。

MRB レジスタは、CPU から直接アクセスすることはできません。

DM[1:0] ビット (転送先アドレスアドレッシングモードビット)

データ転送後の DAR レジスタの動作を指定します。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域とするかを指定します。

DISEL ビット (DTC 割り込み選択ビット)

DTC データ転送の度に CPU への割り込み要求を発生させるのか、データ転送を終了したときだけ CPU への割り込み要求を発生させるのかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送イネーブルビット)

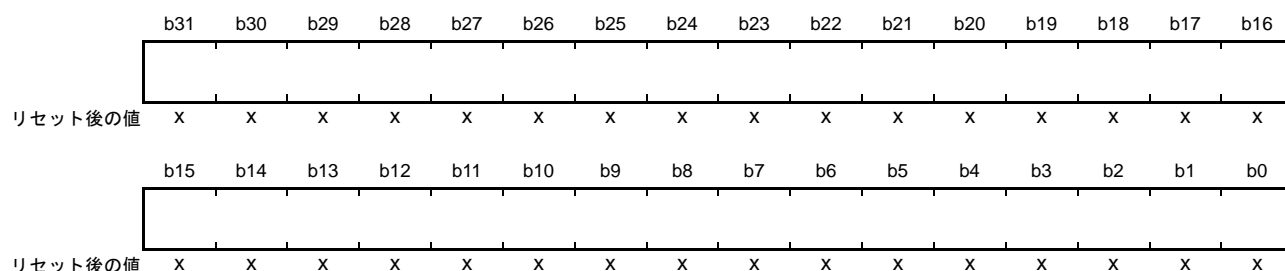
チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。

チェーン転送の詳細は、「14.4.6 チェーン転送」を参照してください。

14.2.3 DTC 転送元アドレスレジスタ (SAR)

アドレス (CPUから直接アクセス不可能)



x : 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

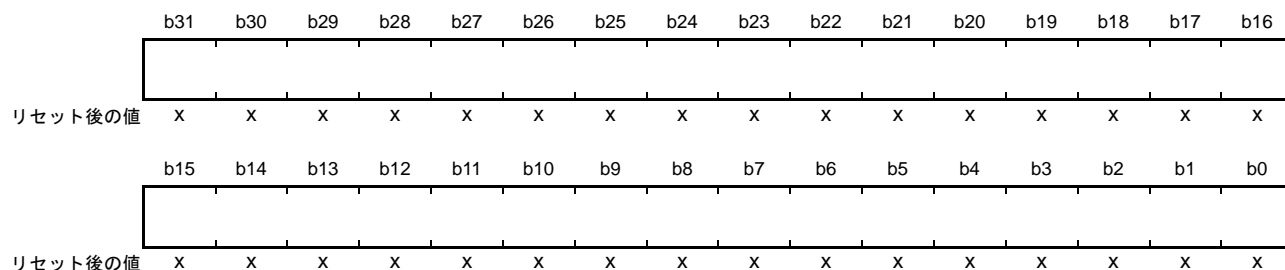
フルアドレスモードでは 32 ビット有効です。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

14.2.4 DTC 転送先アドレスレジスタ (DAR)

アドレス (CPUから直接アクセス不可能)



x : 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビット有効です。

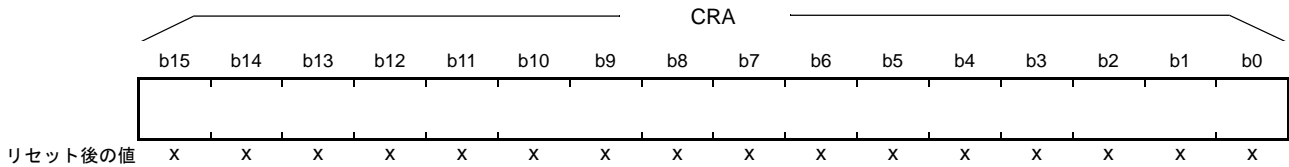
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

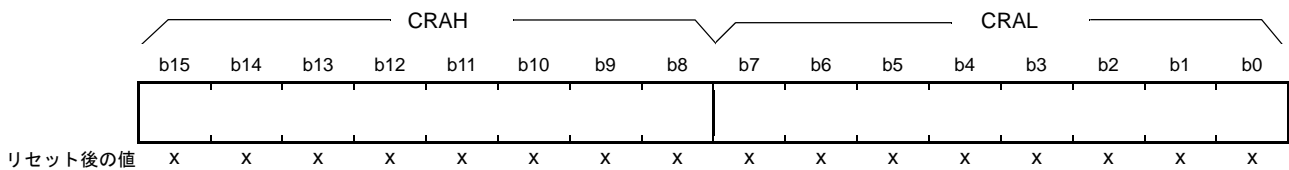
14.2.5 DTC 転送カウンタレジスタ A (CRA)

アドレス (CPUから直接アクセス不可能)

- ノーマル転送モード



- リピート転送モード、ブロック転送モード



x: 不定

注1. 転送モードによって機能が異なります。

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します	—
CRAH	転送カウンタA上位レジスタ		—

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタは DTC の転送回数を指定するレジスタです。

転送モードによって機能が異なります。

CRA レジスタは CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = "00b")

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が "0001h" のときは 1 回、"FFFFh" のときは 65535 回、"0000h" のときは 65536 回となります。

1 回のデータ転送を行う度にデクリメント (−1) します。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = "01b")

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が "01h" のときは 1 回、"FFh" のときは 255 回、"00h" のときは 256 回となります。

CRAL レジスタは 1 回のデータ転送を行う度にデクリメント (−1) され、"00h" になると CRAH レジスタの値が転送されます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = "10b")

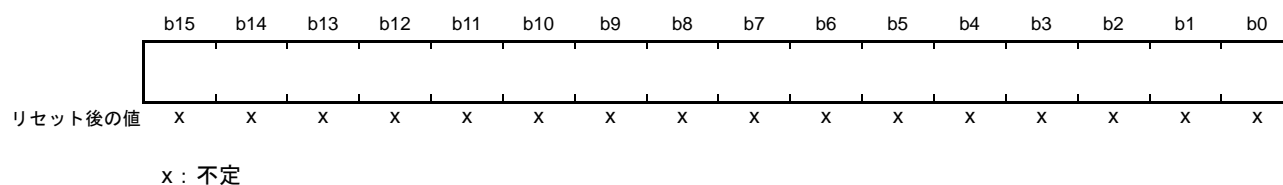
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が "01h" のときは 1 回、"FFh" のときは 255 回となります。"00h" を設定しないでください。

CRAL レジスタは 1 回のデータ転送を行う度にデクリメント (−1) され、"00h" になると CRAH レジスタの値が転送されます。

14.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可能)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。

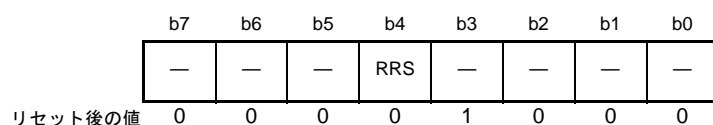
ブロック転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。1回のデータ転送を行う度にデクリメント（-1）します。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタに“FFFFh”を設定してください。

CRB レジスタは、CPU から直接アクセスすることはできません。

14.2.7 DTC コントロールレジスタ (DTCCR)

アドレス 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCCR レジスタは、DTC の制御の選択を行うレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず必ず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず必ず転送情報リードが行われます。

14.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス 0008 2404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTCVBR レジスタは、DTC ベクタテーブルアドレス算出時のベースアドレスを設定するレジスタです。下位 12 ビット (b11-b0) は“0”に固定されており、書き込みは無効です。上位 4 ビット (b31-b28) への書き込みは無視され、b27 で指定した値でビット拡張されます。

14.2.9 DTC アドレスモードレジスタ (DTCADMOD)

アドレス 0008 2408h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	SHORT
	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

フルアドレスモードでは、4G バイト空間 (00000000h ~ FFFFFFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (00000000h ~ 007FFFFFFh と FF800000h ~ FFFFFFFFh) のアクセスが可能です。

14.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST レジスタは、DTC モジュールの動作/停止を設定するレジスタです。

DTCST ビット (DTC モジュール起動ビット)

DTC を起動要求受け付け可能とするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな起動要求を受け付けません。

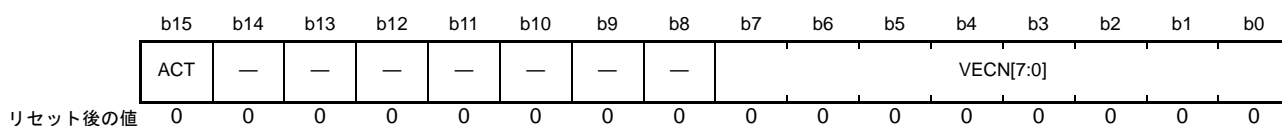
動作中に“0”に書き換えた場合、受け付け済みの起動要求は処理が終わるまで動作します。

モジュールストップ機能および全モジュールクロックストップモード、またはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ機能および全モジュールクロックストップモードとソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「14.8 消費電力低減機能」、および「9. 消費電力低減機能」を参照してください。

14.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号 モニタビット	DTC転送動作中にその起動要因をベクタ番号で示します。 DTC転送動作中 (ACTフラグが“1”のとき) にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ACT	DTCアクティブフラグ	0 : DTC転送動作なし 1 : DTC転送動作中	R

DTCSTS レジスタは、DTC の転送動作状態を示すレジスタです。

VECN[7:0] ビット (DTC アクティブベクタ番号モニタビット)

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (DTC 転送動作中) であれば、読み出された VECN[7:0] ビットは有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (DTC 転送動作なし) であれば、読み出された VECN[7:0] ビットは無効値です。

起動要因とベクタ番号の関係は表 14.3 を参照してください。

ACT フラグ (DTC アクティブフラグ)

DTC の転送動作状態を示します。

[“1” になる条件]

- 起動要求に対して DTC が起動したとき

[“0” になる条件]

- 1 回の起動要求に対する DTC 動作が終了したとき

14.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込みに対応する割り込みコントローラ (ICU) の DTCERn.DTCE ビット (n= 割り込みベクタ番号) を“1”にすると DTC 起動要因となります。

ソフトウェア起動 (SWINT) については、「11. 割り込みコントローラ (ICU)」を参照してください。

1 回のデータ転送 (チェーン転送の場合、連続した転送の最後) 終了時に DTC は以下の動作を行いません。

- 指定した総転送数の転送終了時は DTCERn.DTCE ビットを“0”にして CPU に割り込みを要求します。
- 上記以外の転送終了時の場合、MRB.DISEL ビットが“1”のときは CPU に割り込みを要求し、MRB.DISEL ビットが“0”のときは起動要因となった割り込みステータスフラグ (IRi.IR) を“0”にします。

14.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別にベクタテーブルから転送情報の先頭アドレスを読み、この先頭アドレスから転送情報を読みます。

ベクタテーブルはベースアドレス (先頭アドレス) の下位 12 ビットが“0”になるように配置してください。DTC ベクタベースレジスタ (DTCVBR) に DTC ベクタテーブルのベースアドレスを設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n の転送情報 (n) の先頭アドレスは、ベクタテーブルのベースアドレスに対し、+4n 番地としてください。

転送情報は、ショートアドレスモード (3 ロングワード)、フルアドレスモード (4 ロングワード) のいずれかで配置できます。DTCADM.DTSHORT ビットで、ショートアドレスモード (SHORT ビットが“1”)、フルアドレスモード (SHORT ビットが“0”) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 14.2 に示します。RAM 領域上の転送情報の配置を図 14.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は図 14.16 を参照してください。

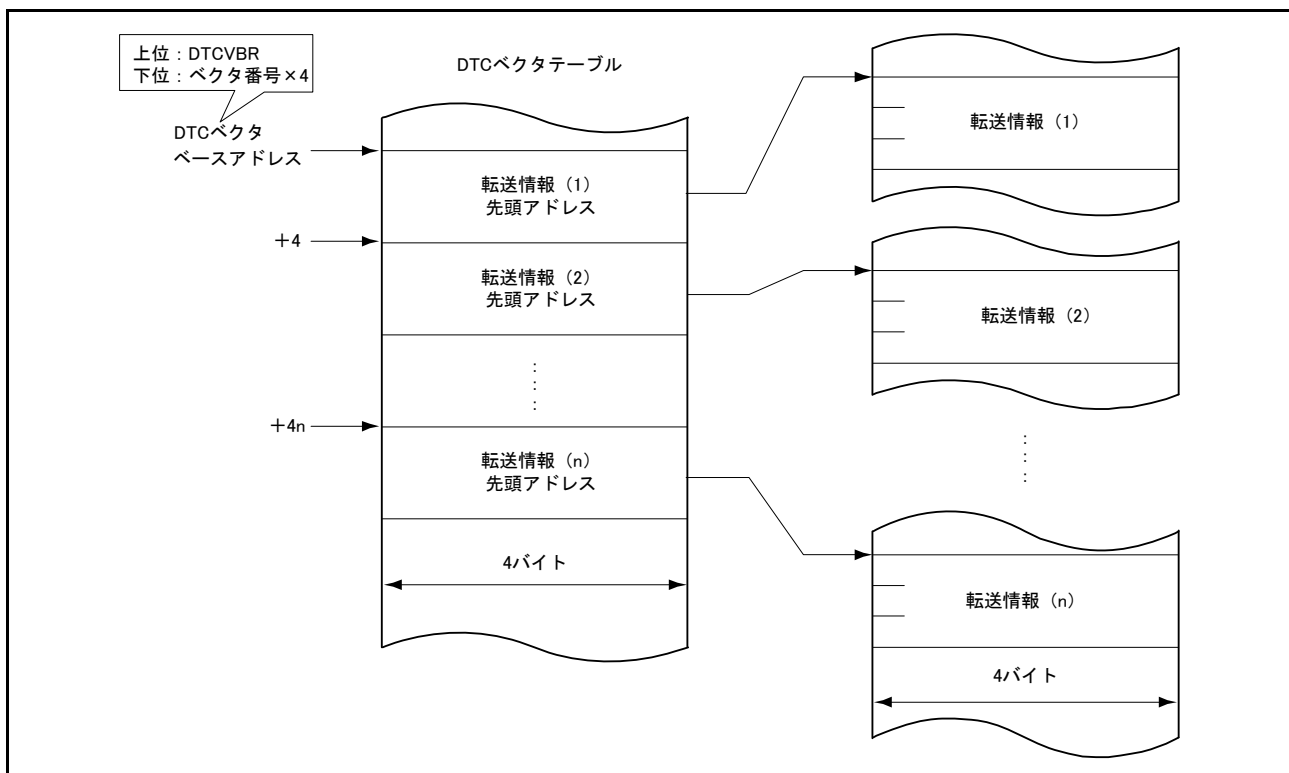


図 14.2 DTC ベクタテーブルと転送情報の対応

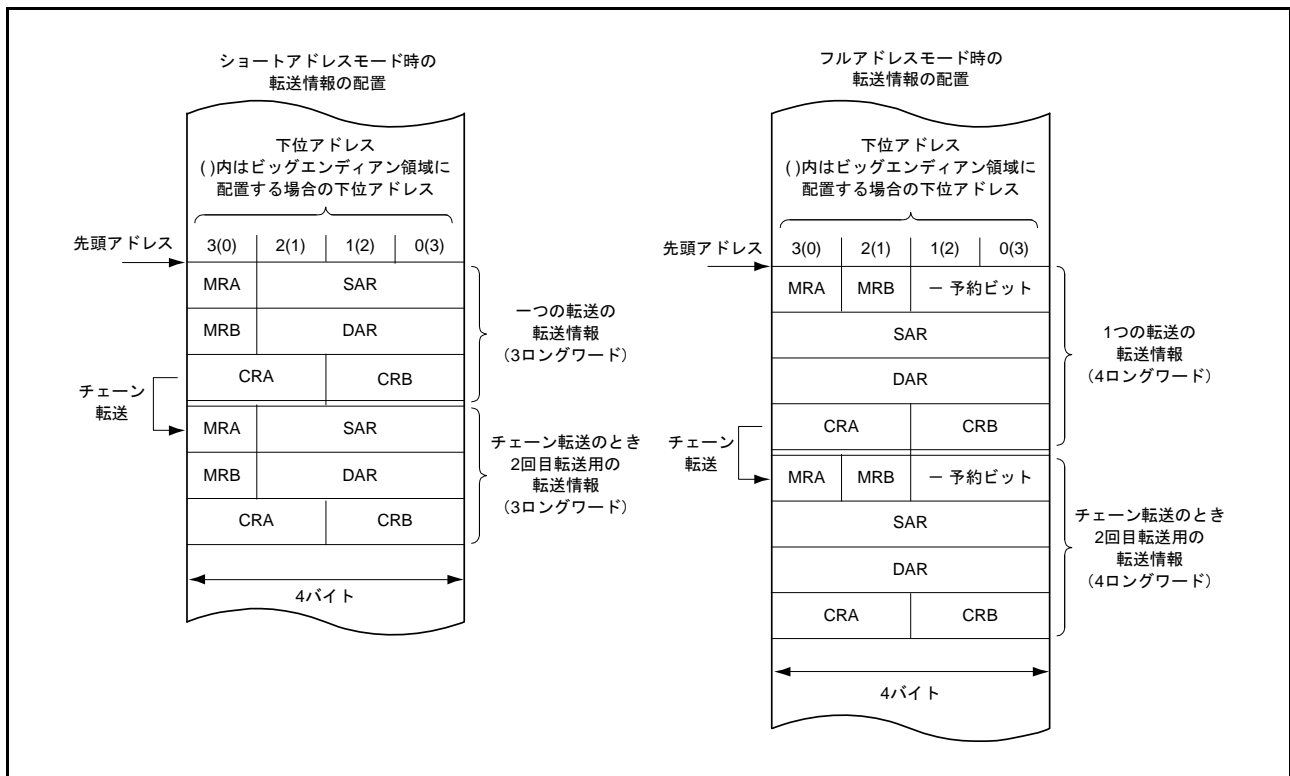


図 14.3 データ領域上の転送情報の配置

14.3.2 起動要因とベクタアドレス

DTC の起動要因とベクタアドレスの関係を表 14.3 に示します。

表 14.3 割り込み要因とDTCベクタアドレスおよびICU.DTCERnレジスタの対応 (1 / 2)

起動要求発生元	起動要因	ベクタ番号	DTCベクタアドレスオフセット	ICU.DTCERn	優先順位 (注1)
ICU	SWINT	27	006Ch	ICU.DTCER027	高 ↑ ↓ 低
CMT0	CMI0	28	0070h	ICU.DTCER028	
CMT1	CMI1	29	0074h	ICU.DTCER029	
CMT2	CMI2	30	0078h	ICU.DTCER030	
CMT3	CMI3	31	007Ch	ICU.DTCER031	
RSPI0	SPRI0	45	00B4h	ICU.DTCER045	
	SPTI0	46	00B8h	ICU.DTCER046	
外部端子	IRQ0	64	0100h	ICU.DTCER064	
	IRQ1	65	0104h	ICU.DTCER065	
	IRQ2	66	0108h	ICU.DTCER066	
	IRQ3	67	010Ch	ICU.DTCER067	
	IRQ4	68	0110h	ICU.DTCER068	
	IRQ5	69	0114h	ICU.DTCER069	
	IRQ6	70	0118h	ICU.DTCER070	
	IRQ7	71	011Ch	ICU.DTCER071	
AD0	ADI0	98	0188h	ICU.DTCER098	
S12AD0	S12ADI0	102	0198h	ICU.DTCER102	
S12AD1	S12ADI1	103	019Ch	ICU.DTCER103	
コンパレータ	CMPI	106	01A8h	ICU.DTCER106	
MTU0	TGIA0	114	01C8h	ICU.DTCER114	
	TGIB0	115	01CCh	ICU.DTCER115	
	TGIC0	116	01D0h	ICU.DTCER116	
	TGID0	117	01D4h	ICU.DTCER117	
MTU1	TGIA1	121	01E4h	ICU.DTCER121	
	TGIB1	122	01E8h	ICU.DTCER122	
MTU2	TGIA2	125	01F4h	ICU.DTCER125	
	TGIB2	126	01F8h	ICU.DTCER126	
MTU3	TGIA3	129	0204h	ICU.DTCER129	
	TGIB3	130	0208h	ICU.DTCER130	
	TGIC3	131	020Ch	ICU.DTCER131	
	TGID3	132	0210h	ICU.DTCER132	
MTU4	TGIA4	134	0218h	ICU.DTCER134	
	TGIB4	135	021Ch	ICU.DTCER135	
	TGIC4	136	0220h	ICU.DTCER136	
	TGID4	137	0224h	ICU.DTCER137	
	TCIV4	138	0228h	ICU.DTCER138	
MTU5	TGIU5	139	022Ch	ICU.DTCER139	
	TGIV5	140	0230h	ICU.DTCER140	
	TGIW5	141	0234h	ICU.DTCER141	

14.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読みます。次に DTC ベクタが示す転送情報格納アドレスから転送情報を読んでデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、転送後それぞれ個々にインクリメント、デクリメント、あるいはアドレス固定になります。

DTC の転送モードを表 14.4 に示します。

表 14.4 DTC の転送モード

転送モード	1回の起動要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/ワード/ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト/ワード/ロングワード	1、2または4増減あるいはアドレスは固定	1～256回 (注3)
ブロック転送モード (注2)	CRAHレジスタで指定したブロックサイズ (1～255バイト/ワード/ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先の何れかをリピート領域に設定

注2. 転送元または転送先の何れかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続 (リピート) する。

また、MRB.CHNE ビットを“1”にしておくことにより、一つの起動要因で複数の転送を行うことができます (チェーン転送)。MRB.CHNS ビットの設定で、転送カウンタ=0のときにチェーン転送を行うことも可能です。

DTC の動作フローチャートを図 14.4 に示します。チェーン転送の条件を表 14.5 に示します (第2の転送から第3の転送を行う組み合わせ、および第3の転送以降の組み合わせは省略してあります)。

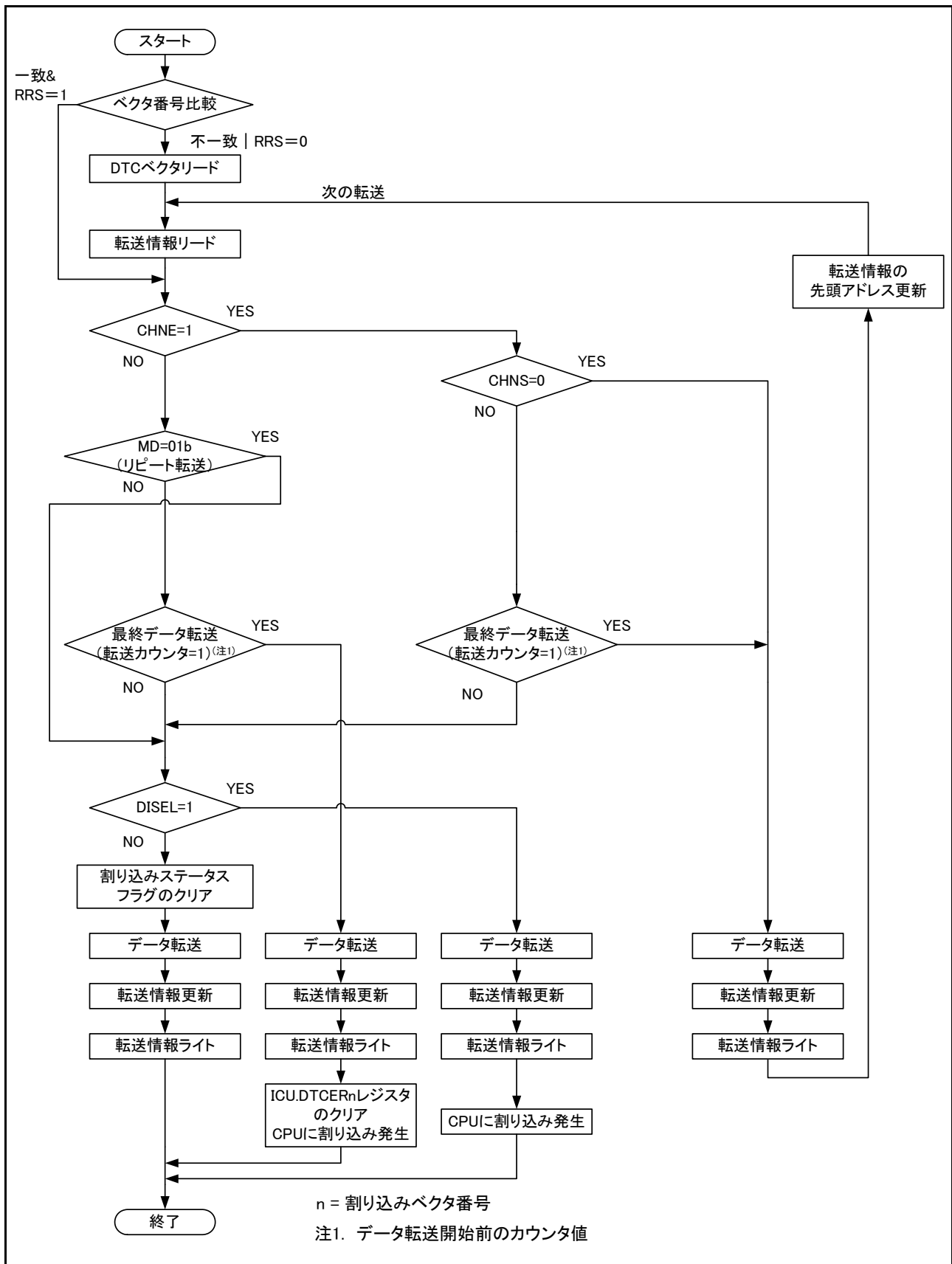


図 14.4 DTC 動作フローチャート

表 14.5 チェーン転送の条件

第1の転送				第2の転送 (注3)				DTC転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1) (注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1) (注2)	
0	—	0	(1→0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1→0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	—
1	0	—	—	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	—
1	1	0	(1→*) 以外	—	—	—	—	第1転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第2転送で終了
				0	—	0	(1→0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	—
1	1	1	(1→*) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

- 注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。
 ノーマル転送モード：CRAレジスタ、リピート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ
- 注2. 転送最終時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1→0)、リピート転送モードでは(1→CRAH)となります。表中の(1→*)はこの両方の動作を指しています。
- 注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが"1"の組み合わせを省略しています。

14.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。

DTC 起動要求時、今回起動の DTC ベクタ番号と前回起動の DTC ベクタ番号は常に比較されます。比較結果が一致し、RRS ビットが“1”のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が 0 になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になった場合も、RRS ビットの値に関わらず必ず転送情報リードが行われます。転送情報リードスキップの動作例を図 14.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、1 度 RRS ビットを“0”にし、DTC ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS ビットを“0”にすると、保持されていたベクタ番号は破棄され、次回の起動時に更新された DTC ベクタテーブルおよび転送情報が読めます。

14.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップの条件とライトバックスキップされるレジスタを表 14.6 に示します。

なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらず必ずライトバックされます。また、フルアドレスモードでは、MRA レジスタ、MRB レジスタは必ずライトバックスキップされます。

表 14.6 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

14.4.3 ノーマル転送モード

1つの起動要因で、1バイト、1ワード、1ロングワードの転送を行います。転送回数は1～65536です。転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表14.7に、ノーマル転送モードのメモリマップを図14.5に示します。

表14.7 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA-1
CRB	転送カウンタB	更新されません

注1. アドレス固定のときはライトバックはスキップされます。

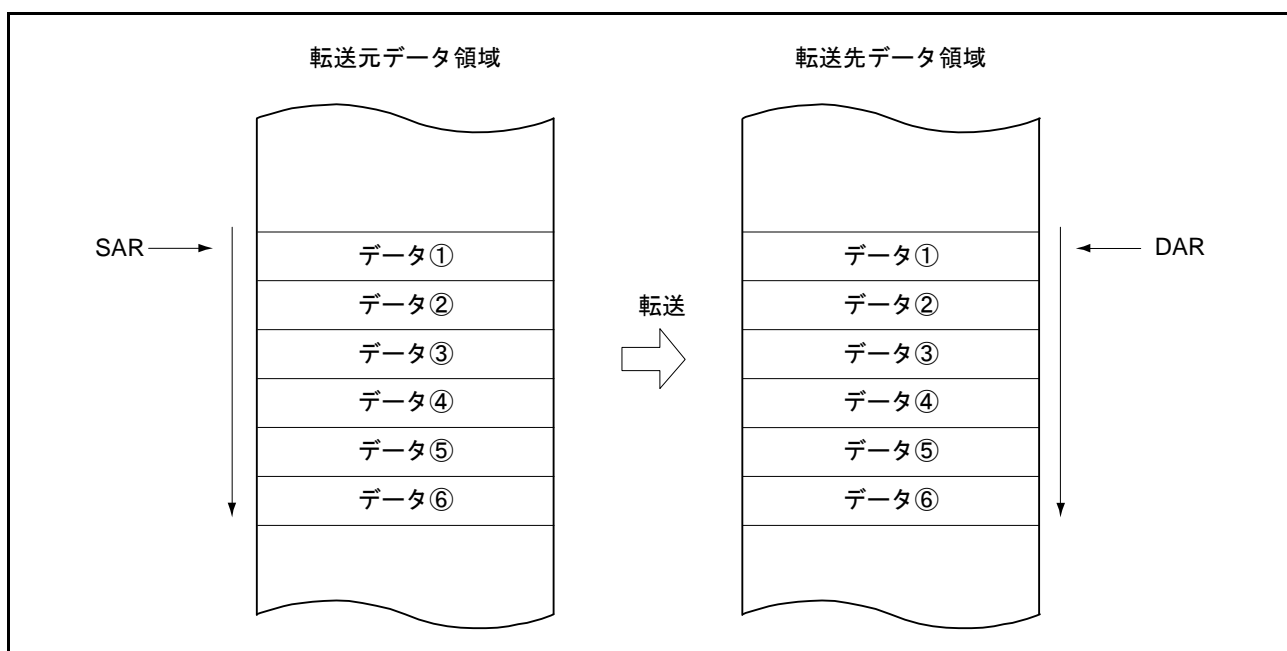


図14.5 ノーマル転送モードのメモリマップ

14.4.4 リピート転送モード

1つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”（指定されたデータ転送終了時、CPUに割り込み要求が発生）のときにCPUへの割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表14.8に、リピート転送モードのメモリマップを図14.6に示します。

表14.8 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値	
		CRALが1以外のとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=“0”のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTSビット=“1”のとき) SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=“0”のとき) DARレジスタの初期値 (MRB.DTSビット=“1”のとき) インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタA	CRAL - 1	CRAH
CRB	転送カウンタB	更新されません	更新されません

注1. アドレス固定のときは、ライトバックはスキップされます。

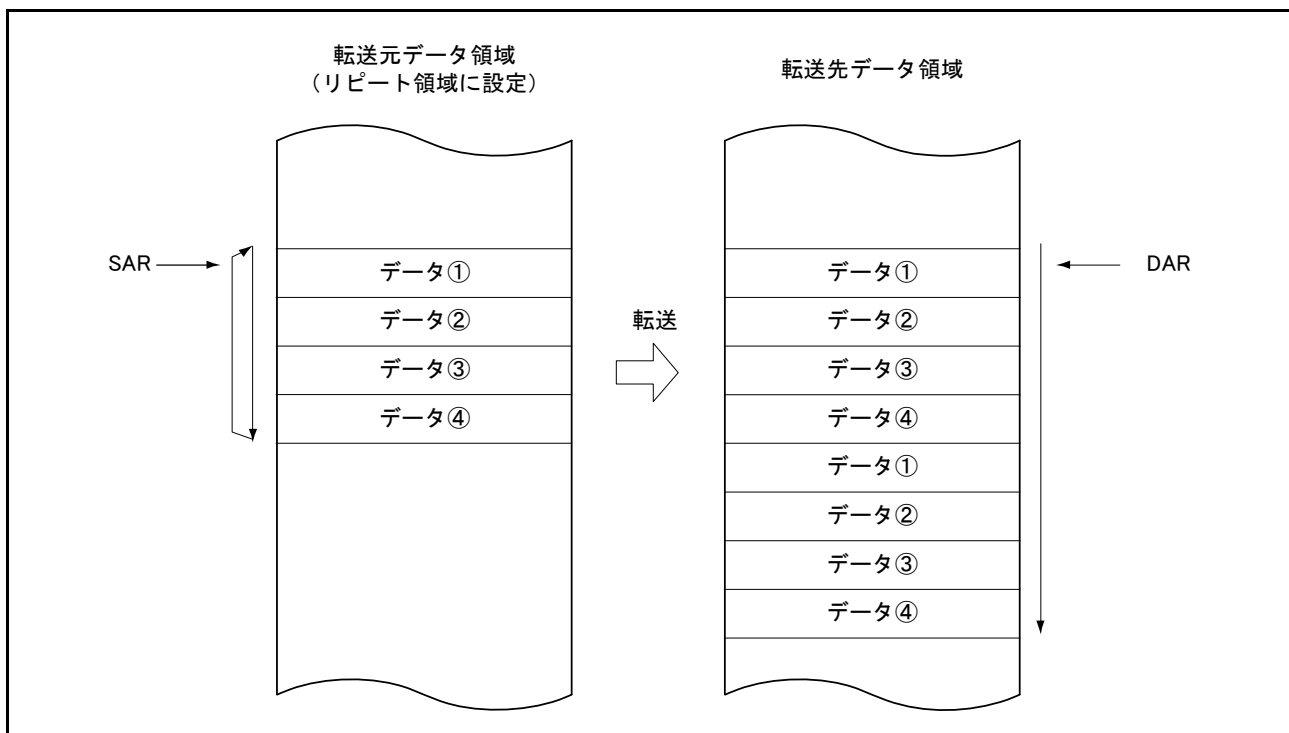


図14.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

14.4.5 ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～255バイト（または1～255ワード、1～255ロングワード）の指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ）の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

ブロック転送回数は、1～65536まで指定できます。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表14.9に、ブロック転送モードのメモリマップを図14.7に示します。

表14.9 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	(MRB.DTS ビット=“0”のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット=“1”のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS ビット=“0”のとき) DAR レジスタの初期値 (MRB.DTS ビット=“1”のとき) インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB-1

注1. アドレス固定モードのときは、ライトバックはスキップされます。

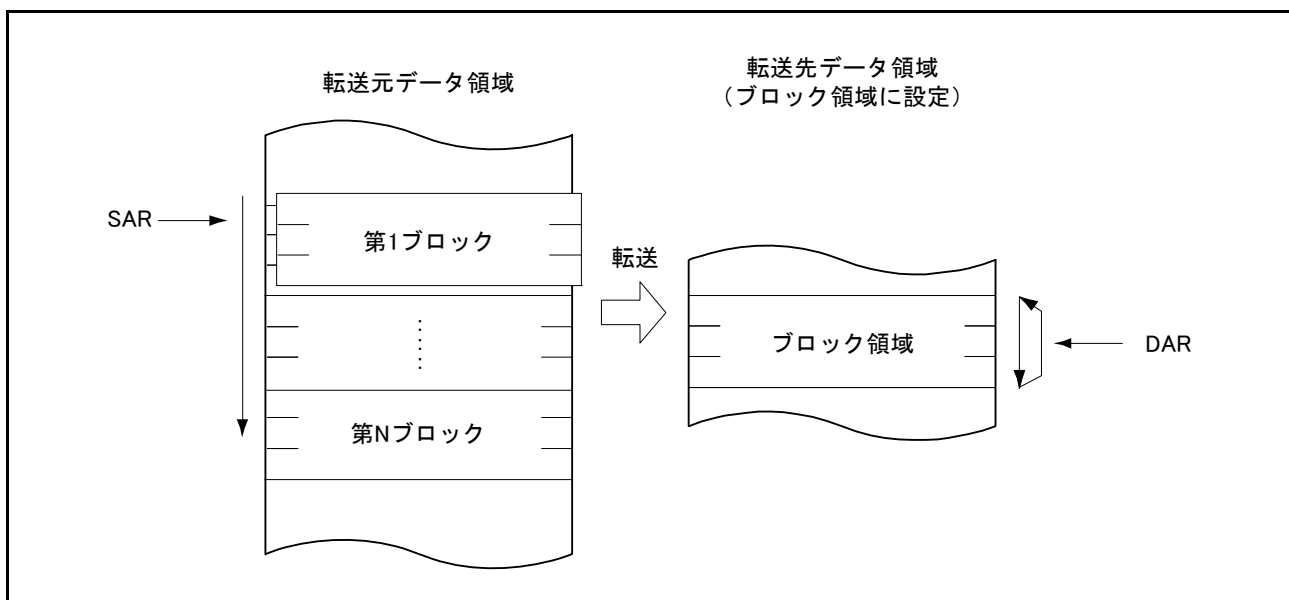


図14.7 ブロック転送モードのメモリマップ（転送先をブロック領域に指定した場合）

14.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送が可能です。チェーン転送では1つの起動要因に対して複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビット“0”に設定した場合、指定した転送回数の終了によるCPUへの割り込み要求や、MRB.DISEL ビット＝“1”（DTCデータ転送の度に、CPUに割り込み要求を発生）によるCPUへの割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグに影響を与えません。

データ転送を定義するSAR、DAR、CRA、CRB、およびMRA、MRBレジスタは個別に設定できます。チェーン転送の動作を図14.8に示します。

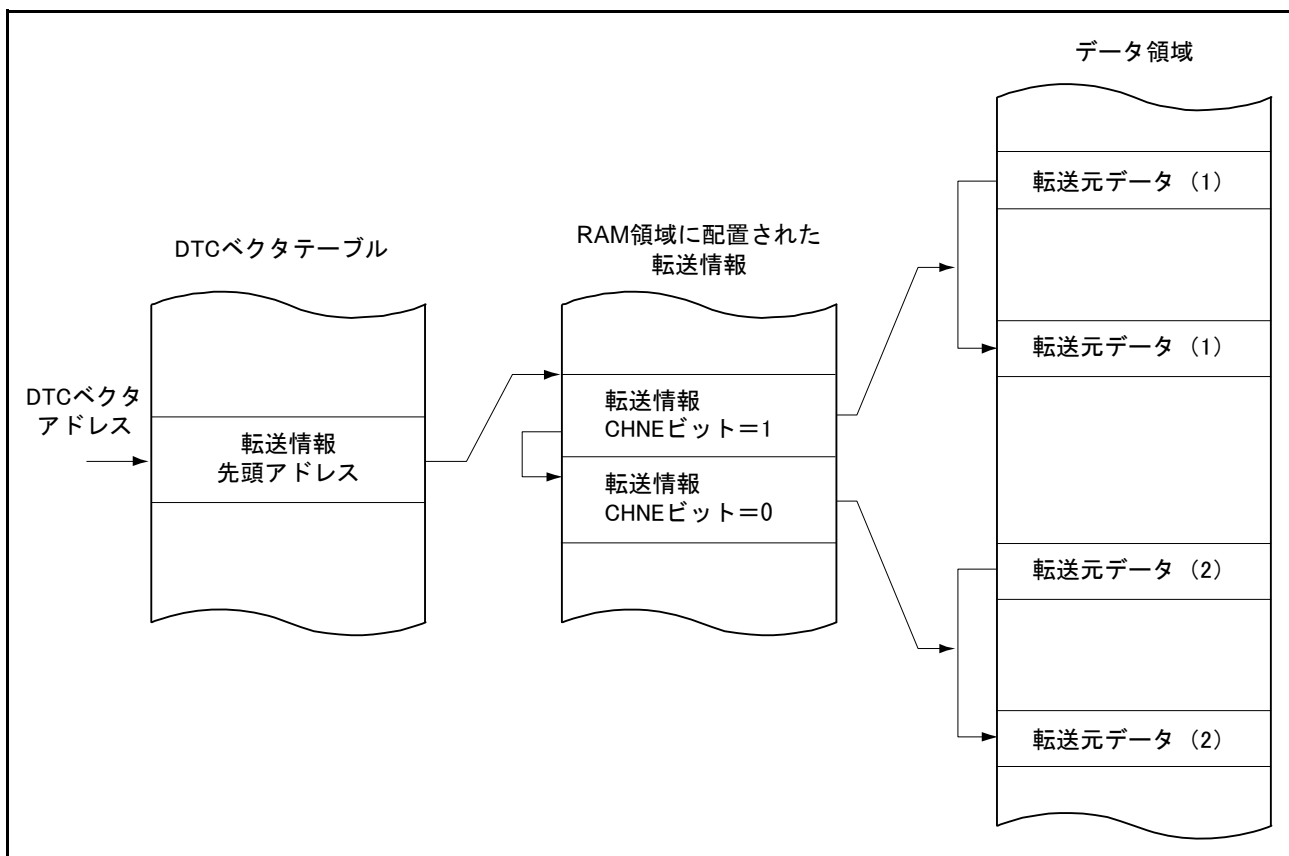


図 14.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定されたデータ転送終了時（転送カウンタが“0”になるとき）のみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送終了時にチェーン転送を行います。

チェーン転送の条件詳細は表 14.5 を参照してください。

14.4.7 動作タイミング

DTC の動作タイミングの例を図 14.9 ~ 図 14.12 に示します。

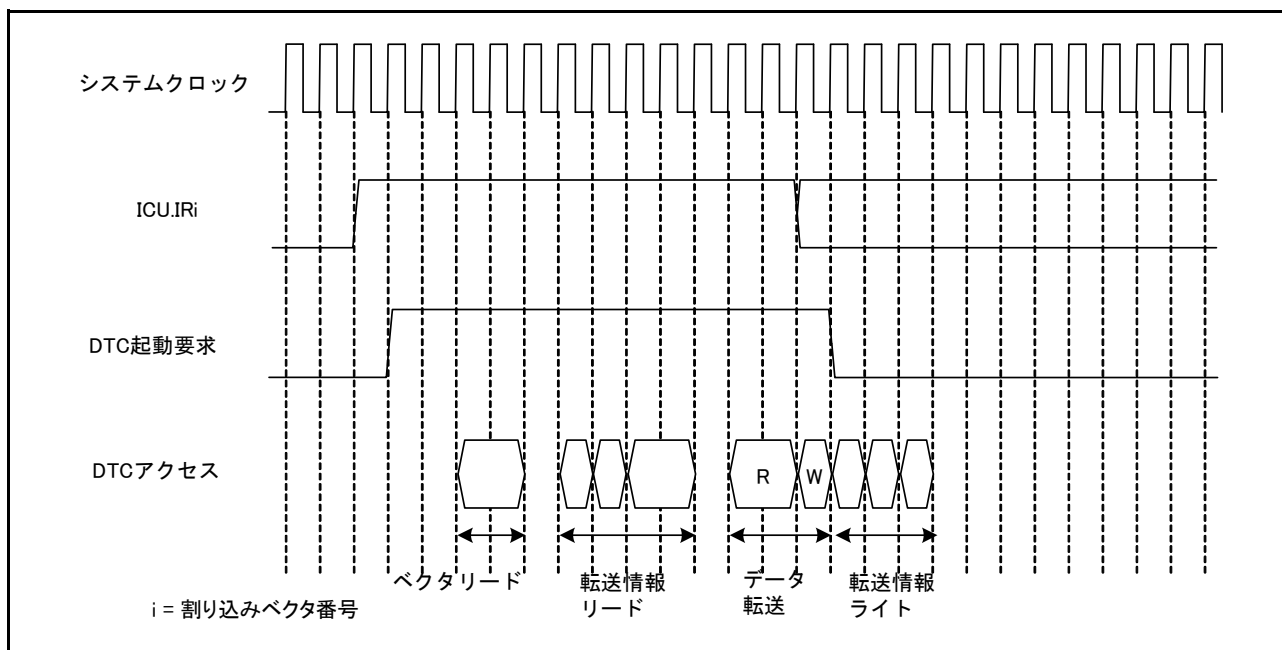


図 14.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

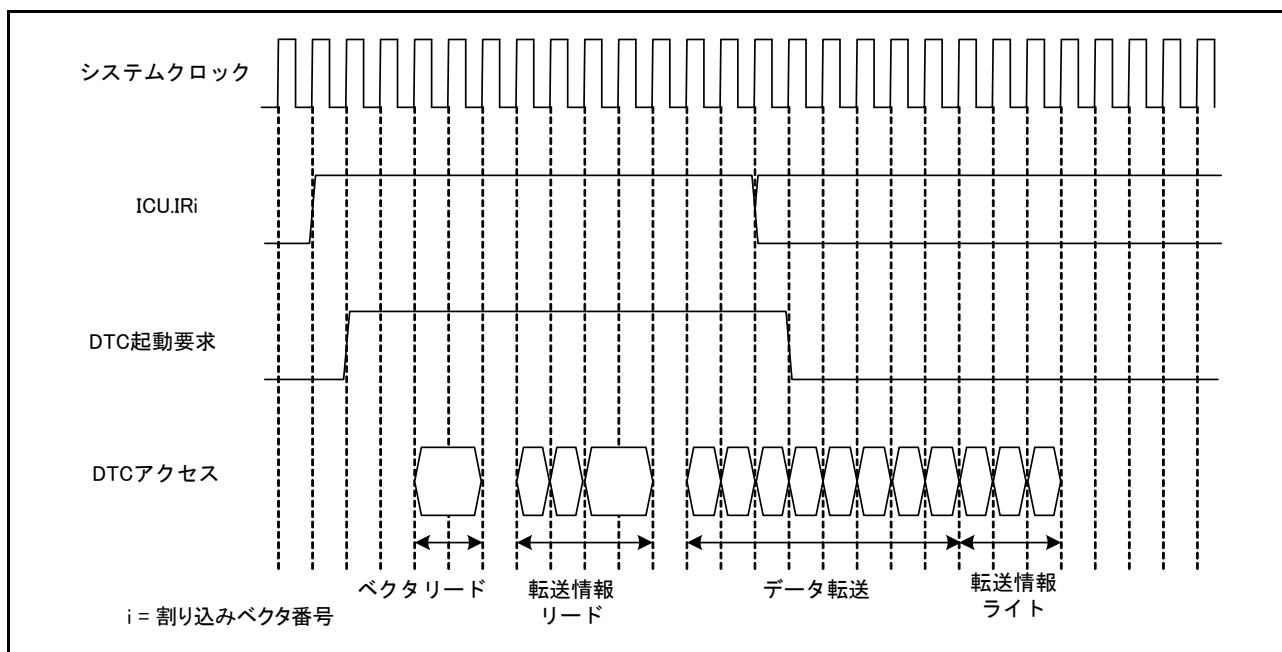


図 14.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ=4の場合)

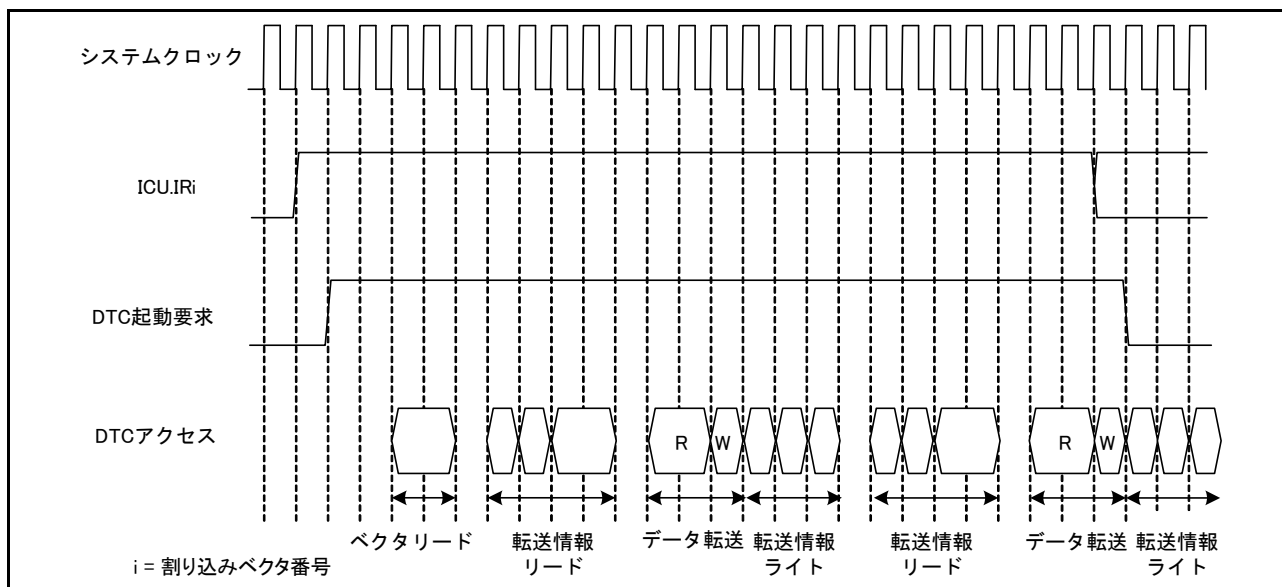


図 14.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

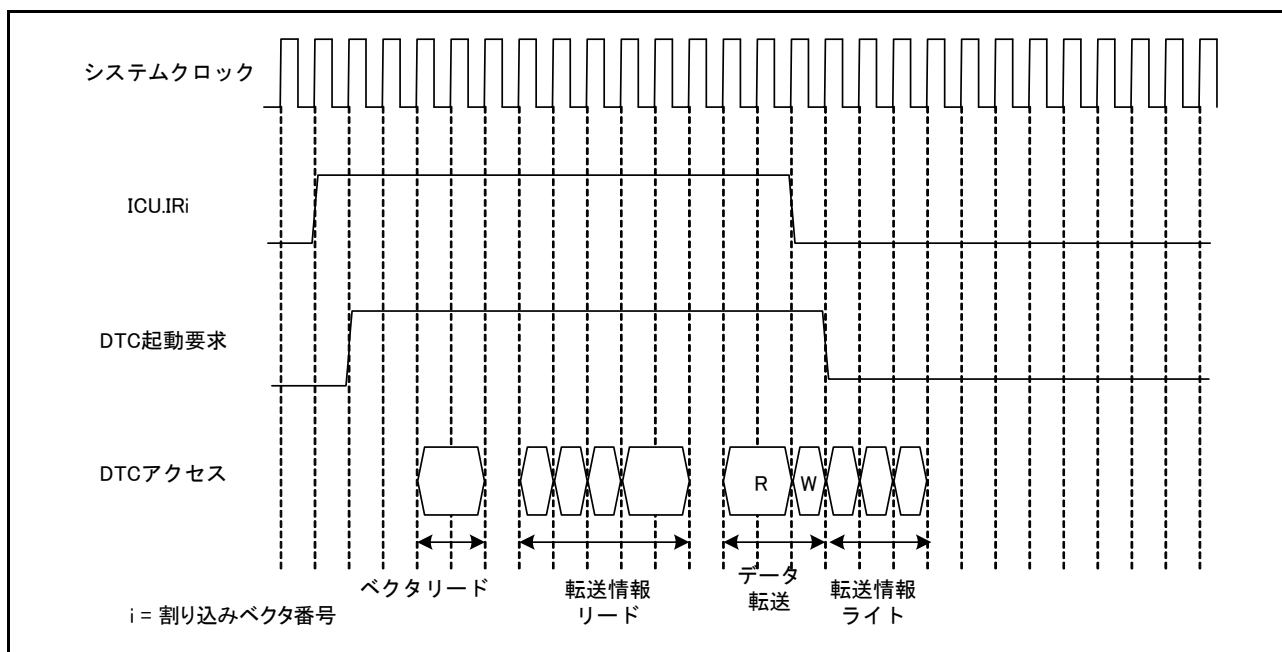


図 14.12 DTC 動作タイミング例 (4) (フルアドレスモード、ノーマル転送モード、リポート転送モードの場合)

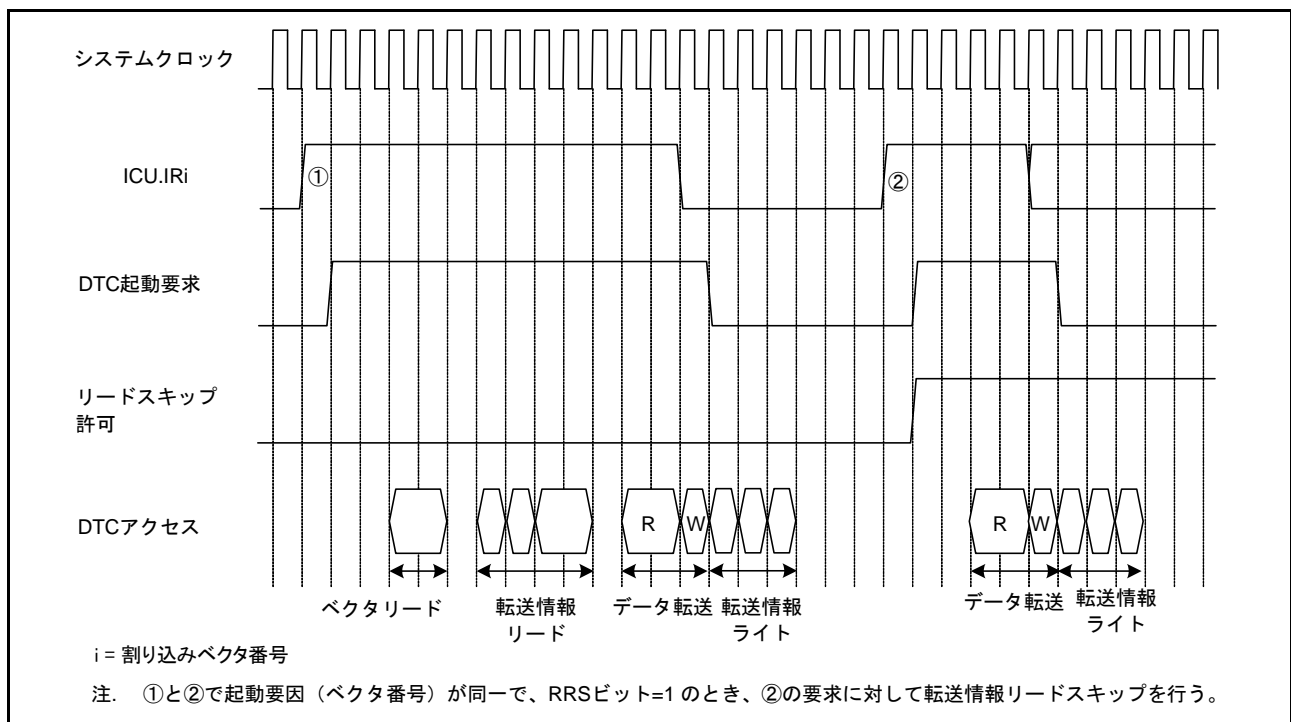


図 14.13 転送情報スキップ時の動作例

14.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行状態を表 14.10 に示します。

表 14.10 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データリード	データライト	内部動作	
	Cv+1	0 (注1)	4xCi+1 (注2)	3xCi+1 (注3)	0 (注1)	3xCi (注4)	2xCi (注5)	Ci (注6)	Cr+1	Cw	2	0 (注1)
ノーマル	Cv+1	0 (注1)	4xCi+1 (注2)	3xCi+1 (注3)	0 (注1)	3xCi (注4)	2xCi (注5)	Ci (注6)	Cr+1	Cw	2	0 (注1)
リピート	Cv+1	0 (注1)	4xCi+1 (注2)	3xCi+1 (注3)	0 (注1)	3xCi (注4)	2xCi (注5)	Ci (注6)	Cr+1	Cw	2	0 (注1)
ブロック (注7)	Cv+1	0 (注1)	4xCi+1 (注2)	3xCi+1 (注3)	0 (注1)	3xCi (注4)	2xCi (注5)	Ci (注6)	PxCr	PxCw	2	0 (注1)

P : ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv : ベクタ情報格納先アクセスサイクル

Ci : 転送情報格納先アクセスサイクル

Cr : データリード先アクセスサイクル

Cw : データライト先アクセスサイクル

- 注1. 転送情報スキップのとき
 注2. フルアドレスモード動作のとき
 注3. ショートアドレスモード動作のとき
 注4. SARレジスタ、DARレジスタがいずれもアドレス固定でないとき
 注5. SARレジスタもしくはDARレジスタがアドレス固定のとき
 注6. SARレジスタとDARレジスタがアドレス固定のとき
 注7. ブロックサイズが2以上の場合です。ブロックサイズが1の場合はノーマル転送のサイクル数となります。

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「30. RAM」、「31. ROM (コード格納用フラッシュメモリ)」、「5. I/O レジスタ」を参照してください。)

各処理状態の実行順序は、「14.4.7 動作タイミング」を参照してください。

14.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

14.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

DTC 各起動要因の設定手順を図 14.14 にしたがって行ってください。

また、DTC モジュール起動ビット (DTCST.DTCST ビット) を“1”にしてください。

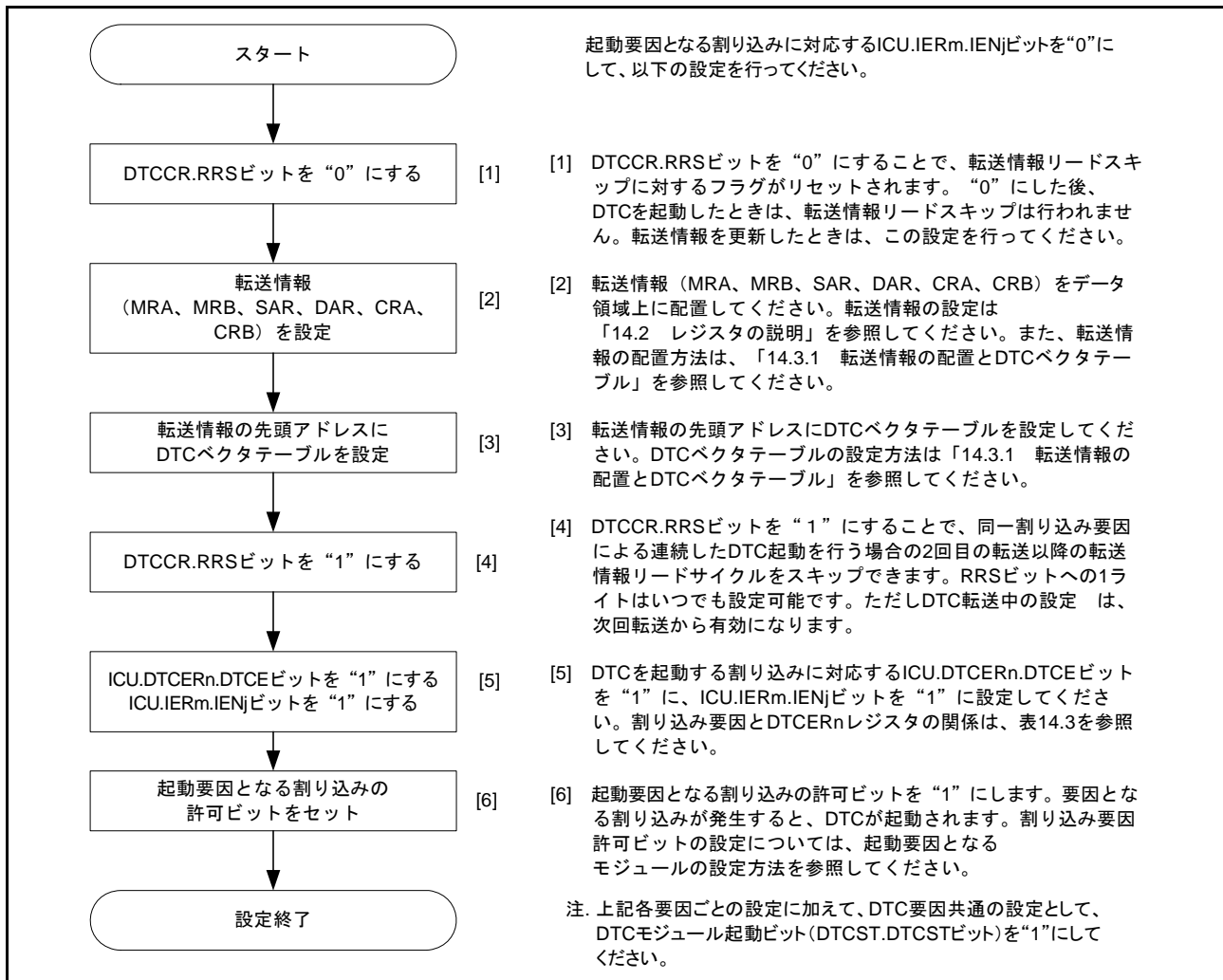


図 14.14 DTC 各起動要因の設定手順

14.6 DTC 使用例

14.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = “00b”)、ノーマル転送モード (MRA.MD[1:0] ビット = “00b”)、バイトサイズ (MRA.SZ[1:0] ビット = “00b”) を設定します。MRB レジスタは、転送先アドレスインクリメント (MRB.DM[1:0] ビット = “10b”)、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = “0”、MRB.DISEL ビット = “0”) を行います。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタには SCI_n.RDR レジスタ (n = 0 ~ 2) のアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタには、“FFFFh” を設定してください。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCER_n.DTCE ビットを “1” に、ICU.IER_m.IEN_j ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI_n.SCR.RIE ビットを “1” にし、受信完了 (RXI) 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI の 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI_n.RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送終了後、CRA レジスタが “0” になると、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

14.6.2 カウンタ = 0 のときのチェーン転送

カウンタが 0 になったときのみ第 2 のデータ転送を行い、第 1 のデータ転送の再設定を行うことによって、転送回数が 256 回以上のリピート転送を行うことができます。

128K バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス “0000h” から始まるように設定するものとします。カウンタ = 0 のときのチェーン転送を図 14.15 に示します。

1. 第 1 のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタ = “0000h” (65536 回)、MRB.CHNE ビット = “1” (チェーン転送許可)、MRB.CHNS ビット = “1” (転送カウンタ = 0 のときのみチェーン転送を行う)、MRB.DISEL ビット = “0” (指定されたデータ転送終了時、CPU に割り込み要求を発生) としてください。
2. 第 1 のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビットアドレスを別の領域 (ROM など) に用意してください。たとえば、入力バッファを “200000h” ~ “21FFFFh” とするときには、“21h”、“20h” を用意します。

3. 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード（転送元をリピート領域）とします。転送先は第1の転送情報領域のDARレジスタの上位8ビットとします。このときMRB.CHNEビット=“0”（チェーン転送禁止）、MRB.DISELビット=“0”（指定されたデータ転送終了時、CPUに割り込み要求を発生）としてください。上記入力バッファを“20000h”～“21FFFFh”とする場合には、転送カウンタ=2としてください。
4. 割り込みによって第1のデータ転送を65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットを“21h”に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、“0000h”になっています。
5. 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットを“20h”にします。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは“0000h”になっています。
6. 上記4、5を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

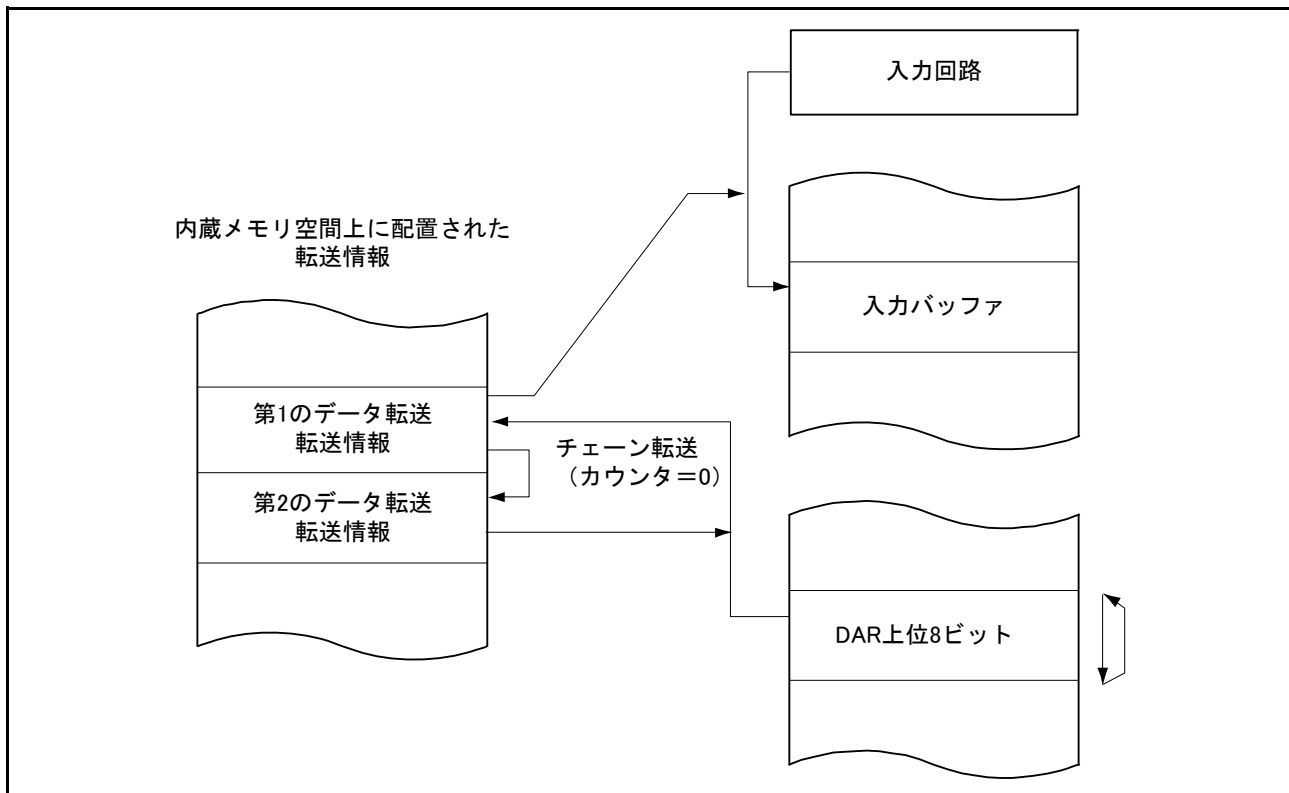


図 14.15 カウンタ=0のときのチェーン転送

14.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが“1” (DTC データ転送の度に、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みを発生します。これらの CPU に対する割り込みは CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル) および割り込みコントローラの優先順位の制御を受けます。

14.8 消費電力低減機能

モジュールストップ機能、および全モジュールクロックストップモード、またはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0” (DTC モジュール停止) にした後、それぞれ以下の設定を行ってください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (DTC モジュールストップ状態への遷移) を書くことによって DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1”を書いたときに DTC が転送動作中の場合は、DTC 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットを“0” (モジュールストップ状態の解除) にすることにより、DTC のモジュールストップが解除されます。

(2) 全モジュールクロックストップモード

MSTPCRA.ACSE ビットに“1” (全モジュールクロックストップモード許可) を書き、MSTPCRA.MSTPA28 ビット (DTC モジュールストップ状態への遷移設定ビット) を含め MSTPCRA.MSTPAn、MSTPCRB.MSTPBn の全ビットに“1”を書きます。その後、WAIT 命令を実行することで、全モジュールクロックストップモードに移行します。WAIT 命令を実行したとき、DTC が転送動作中の場合は DTC 転送終了後に全モジュールクロックストップモードに移行します。

全モジュールクロックストップモードから復帰後、MSTPCRA.MSTPA28 ビットに“0”を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

SBYCR.SSBY ビットに“1” (WAIT 命令実行後、ソフトウェアスタンバイモードに移行)、および、DPSBYCR.DPSBY ビットに“0” (WAIT 命令後、ソフトウェアスタンバイモードに移行) を書いた後、WAIT 命令を実行することでソフトウェアスタンバイモードに移行します。WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にソフトウェアスタンバイモードに移行します。

DPSBYCR.DPSBY ビットに“1” (WAIT 命令実行後、ディープソフトウェアスタンバイモードに移行) を書いた後に WAIT 命令を実行した場合は、ディープソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「9.6.7 WAIT 命令の実行タイミング」を参照してください。低消費電力モードから復帰後、DTC 転送を行うには、再度 DTCST.DTCST ビットを“1”にしてください。

14.9 使用上の注意事項

14.9.1 転送情報先頭アドレス

DTC ベクタテーブルに指定する転送情報の先頭アドレスは、必ず $4n$ 番地を指定してください。 $4n$ 番地以外を指定すると、アドレスの最下位 2 ビットは “00b” としてアクセスします。

14.9.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 14.16 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は下位アドレス 0 に CRA 設定データ、下位アドレス 2 に CRB 設定データを書いてください。リトルエンディアンの場合は下位アドレス 0 に CRB 設定データ、下位アドレス 2 に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンに関わらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して下位アドレス 0 に書いてください。

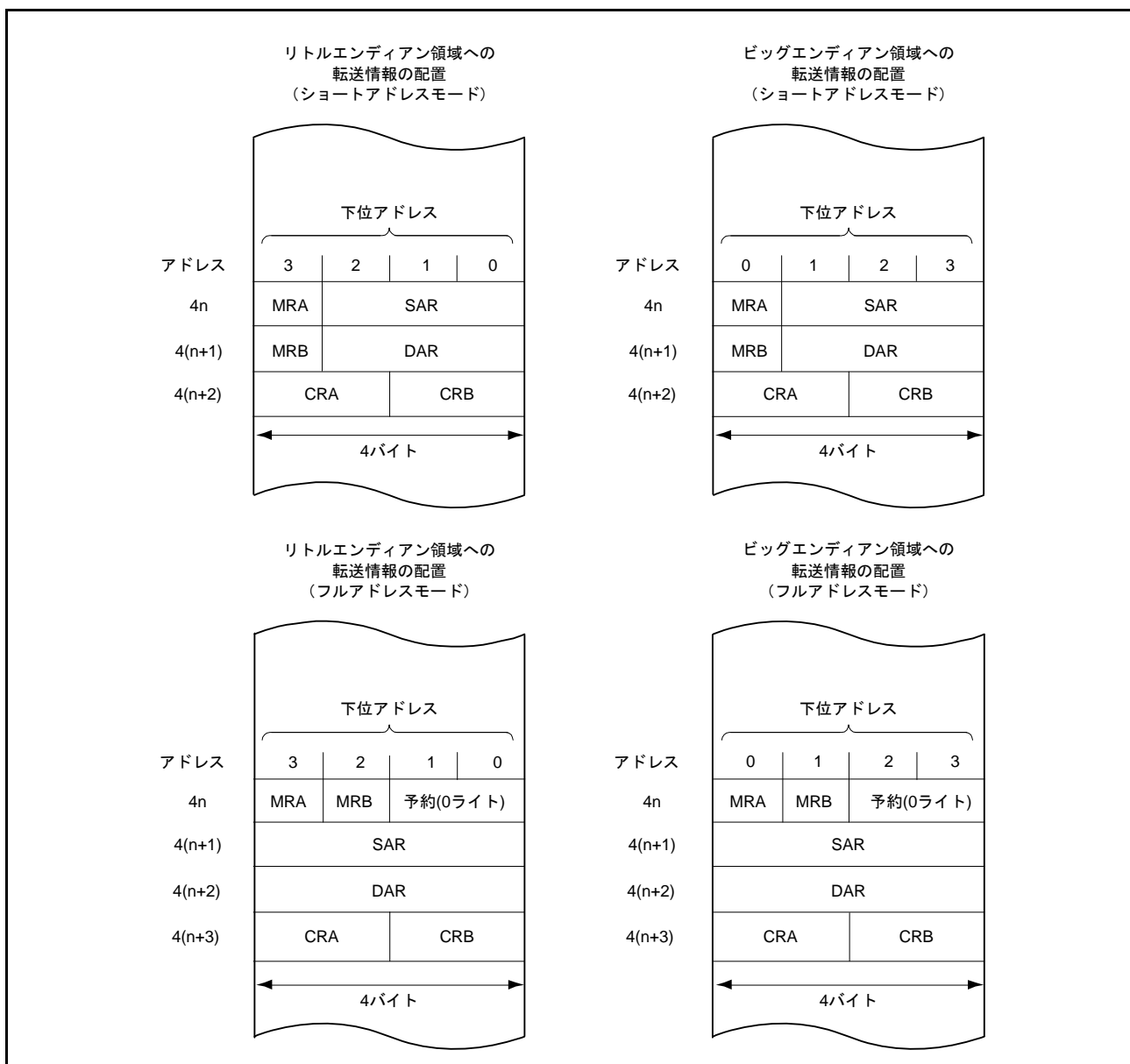


図 14.16 転送情報の配置

14.9.3 割り込みコントローラの DTC 起動許可レジスタ (ICU.DTCERn) の設定

DTC 起動許可レジスタ (ICU.DTCERn レジスタ) の設定は、DTCST.DTCST ビットが“0” (DTC モジュール停止) のときに行なってください。ICU.DTCERn レジスタの詳細は、「11. 割り込みコントローラ (ICU)」を参照してください。

14.9.4 DTC の起動要因に通信機能の割り込みを指定する場合

RX62T グループ、RX62G グループでは、通信機能 (SCI/RIIC/RSPI) と、DTC 機能を組み合わせて使用する場合、注意が必要な場合があります。詳細は、「11.7 使用上の注意事項」を参照ください。

15. I/Oポート

RX62Tグループ、RX62GグループのI/Oポートは、プログラマブル入出力ポートと周辺機能の入出力、割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR)、端子の状態を読むポートレジスタ (PORT)、入力バッファの有効/無効を制御する入力バッファコントロールレジスタ (ICR) があります。

パッケージによりI/Oポートの構成が異なります。詳細は各パッケージの節を参照してください。

112ピンLQFP版については「15.1 112ピンLQFP I/Oポート」を参照してください。

100ピンLQFP版については「15.2 100ピンLQFP I/Oポート」を参照してください。

80ピンLQFP版については「15.3 80ピンLQFP I/Oポート」を参照してください。

64ピンLQFP版については「15.5 64ピンLQFP I/Oポート」を参照してください。

15.1 112ピンLQFP I/Oポート

RX62Tグループ、RX62Gグループの112ピンLQFPのI/Oポートは、ポート1～9、A、B、D、E、Gの14ポートから構成され、入出力ポートを61本備えています。

15.1.1 概要

表 15.1 にI/Oポートの仕様を、表 15.2 にポート機能一覧を示します。

表 15.1 I/Oポートの仕様 (112ピンLQFP)

項目	内容
入出力端子	61本
入力端子	21本
ポート	14ポート (1～9、A、B、D、E、G)
オープンドレイン出力	2本 (RIIC端子)
大電流出力	12本 (MTU3端子、GPT端子)
シュミットトリガ入力端子	全ポート入力、CAN入力、IRQ入力、MTU3入力、POE3入力、RIIC入力、SCI入力、A/Dトリガ入力、NMI入力、GPT入力、LIN入力
その他	<ul style="list-style-type: none"> 1個のTTL負荷と30pFの容量負荷を駆動可能 出力時にダーリントントランジスタを駆動 常に端子の状態を読み出すことが可能

表 15.2 ポート機能一覧 (1 / 3) (112ピンLQFP)

ポート	概要	ビット	機 能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポート1	MTU3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	P10	MTCLKD-B/IRQ0-A		—	全入力機能	—	—
		1	P11	MTCLKC-B/IRQ1-A		—	全入力機能	—	—
ポート2	MTU3入力、 割り込み入力、 A/Dコンバータ入 力、RSPI入出力、 LIN入出力、 CAN入出力 と兼用の汎用入出力 ポート	0	P20	MTCLKB-B/IRQ7/ ADTRG0#-B		—	全入力機能	—	—
		1	P21	MTCLKA-B/IRQ6/ ADTRG1#-B		—	全入力機能	—	—
		2	P22/MISO-A	LRX/CRX-B/ ADTRG#		MISO-A	P22/LRX/CRX- B/ ADTRG#	—	—
		3	P23/MOSI-A		LTX/CTX-B	MOSI-A	P23	—	—
		4	P24/RSPCK-A			RSPCK-A	P24	—	—
ポート3	MTU3入出力、 RSPI入出力 と兼用の汎用入出力 ポート	0	P30/MTIOC0B-B/ SSL0-A	MTCLKD-A		SSL0-A	P30/MTIOC0B- B/ MTCLKD-A	—	—
		1	P31/MTIOC0A-B	MTCLKC-A	SSL1-A	—	全入力機能	—	—
		2	P32/MTIOC3C	MTCLKB-A	SSL2-A	—	全入力機能	—	—
		3	P33/MTIOC3A	MTCLKA-A	SSL3-A	—	全入力機能	—	—
ポート4	A/Dコンバータ入力 と兼用の汎用入力 ポート	0		P40/AN000		—	P40	—	—
		1		P41/AN001		—	P41	—	—
		2		P42/AN002		—	P42	—	—
		3		P43/AN003/ CVREFL		—	P43	—	—
		4		P44/AN100		—	P44	—	—
		5		P45/AN101		—	P45	—	—
		6		P46/AN102		—	P46	—	—
		7		P47/AN103/ CVREFH		—	P47	—	—
ポート5	A/Dコンバータ入力 と兼用の汎用入力 ポート	0		P50/AN6		—	P50	—	—
		1		P51/AN7		—	P51	—	—
		2		P52/AN8		—	P52	—	—
		3		P53/AN9		—	P53	—	—
		4		P54/AN10		—	P54	—	—
		5		P55/AN11		—	P55	—	—
ポート6	A/Dコンバータ入力 と兼用の汎用入力 ポート	0		P60/AN0		—	P60	—	—
		1		P61/AN1		—	P61	—	—
		2		P62/AN2		—	P62	—	—
		3		P63/AN3		—	P63	—	—
		4		P64/AN4		—	P64	—	—
		5		P65/AN5		—	P65	—	—

表 15.2 ポート機能一覧 (2 / 3) (112ピンLQFP)

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポート7	POE3入力、 割り込み入力、 MTU3入出力、 GPT入出力 と兼用の汎用入出力 ポート	0	P70	POE0#/IRQ5		—	全入力機能	—	—
		1	P71/MTIOC3B/ GTIOC0A-A				全入力機能		○
		2	P72/MTIOC4A/ GTIOC1A-A				全入力機能		○
		3	P73/MTIOC4B/ GTIOC2A-A				全入力機能		○
		4	P74/MTIOC3D/ GTIOC0B-A				全入力機能		○
		5	P75/MTIOC4C/ GTIOC1B-A				全入力機能		○
		6	P76/MTIOC4D/ GTIOC2B-A				全入力機能		○
ポート8	SCI入出力 MTU3入力 と兼用の汎用入出力 ポート	0	P80	RXD2-B/MTIC5W		—	全入力機能	—	—
		1	P81	MTIC5V	TXD2-B		全入力機能		
		2	P82/SCK2-B	MTIC5U			全入力機能		
ポート9	MTU3入出力、 POE3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	P90/MTIOC7D			—	全入力機能	—	○
		1	P91/MTIOC7C				全入力機能		○
		2	P92/MTIOC6D				全入力機能		○
		3	P93/MTIOC7B				全入力機能		○
		4	P94/MTIOC7A				全入力機能		○
		5	P95/MTIOC6B				全入力機能		○
		6	P96	POE4#/IRQ4			全入力機能		—
ポートA	MTU3入出力、 RSPI入出力、 A/Dコンバータ入 力、と兼用の汎用入 出力ポート	0	PA0/MTIOC6C		SSL3-B	—	全入力機能	—	—
		1	PA1/MTIOC6A		SSL2-B		全入力機能		
		2	PA2/MTIOC2B		SSL1-B		全入力機能		
		3	PA3/MTIOC2A/ SSL0-B			SSL0-B	PA3/MTIOC2A		
		4	PA4/MTIOC1B/ RSPCK-B	ADTRG0#-A		RSPCK-B	PA4/MTIOC1B/ ADTRG0#-A		
		5	PA5/MTIOC1A/ MISO-B	ADTRG1#-A		MISO-B	PA5/MTIOC1A/ ADTRG1#-A		
ポートB	MTU3入出力、 RSPI入出力、 RIIC入出力、 SCI入出力、 GPT入力、 POE3入力、 割り込み入力、 CAN入出力 と兼用の汎用入出力 ポート	0	PB0/MTIOC0D/ MOSI-B			MOSI-B	PB0/MTIOC0D	—	—
		1	PB1/MTIOC0C/ SCL	RXD0		—	全入力機能	○ (SCLのみ)	—
		2	PB2/MTIOC0B-A/ SDA		TXD0		全入力機能	○ (SDAのみ)	—
		3	PB3/MTIOC0A-A/ SCK0				全入力機能	—	—
		4	PB4	GTETRQ/ POE8#/IRQ3			全入力機能		
		5	PB5		TXD2-A/ CTX-A/		全入力機能		
		6	PB6	RXD2-A/CRX-A			全入力機能		
		7	PB7/SCK2-A				全入力機能		

表 15.2 ポート機能一覧 (3 / 3) (112ピンLQFP)

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポートD	GPT入出力、 RSPI入出力、 SCI入出力、 CAN出力、 と兼用の汎用入出力 ポート	0	PD0/GTIOC3B/ RSPCK-C			RSPCK-C	PD0/GTIOC3B	—	—
		1	PD1/GTIOC3A/ MISO-C			MISO-C	PD1/GTIOC3A		
		2	PD2/GTIOC2B-B/ MOSI-C			MOSI-C	PD2/GTIOC2B-B		
		3	PD3/GTIOC2A-B		TXD1	—	全入力機能		
		4	PD4/GTIOC1B-B/ SCK1				全入力機能		
		5	PD5/GTIOC1A-B	RXD1		—	全入力機能		
		6	PD6/GTIOC0B-B/ SSL0-C			SSL0-C	PD6/GTIOC0B-B		
		7	PD7/GTIOC0A-B		SSL1-C/CTX-C	—	全入力機能		
ポートE	CAN入力、 RSPI出力、 POE3入力、 MTU3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	PE0	CRX-C	SSL2-C	—	全入力機能	—	—
		1	PE1		SSL3-C		全入力機能		
		2		PE2/POE10#-A/ NMI			全入力機能		
		3	PE3	MTCLKD-C/ POE11#/IRQ2-A			全入力機能		
		4	PE4	MTCLKC-C/ POE10#-B/ IRQ1-B			全入力機能		
		5	PE5	IRQ0-B			全入力機能		
ポートG	割り込み入力、 トレース出力 と兼用の汎用入出力 ポート	0	PG0	IRQ0-C	TRSYNC	—	全入力機能	—	—
		1	PG1	IRQ1-C	TRDATA0		全入力機能		
		2	PG2	IRQ2-B	TRDATA1		全入力機能		
		3	PG3		TRDATA2		全入力機能		
		4	PG4		TRDATA3		全入力機能		
		5	PG5		TRCLK		全入力機能		

15.1.2 レジスタの説明

表 15.3 に I/O ポートのレジスタ一覧を示します。表 15.4 に各レジスタの有効ビット一覧を示します。

表 15.3 I/Oポートのレジスタ一覧 (1/2) (112ピンLQFP)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
PORT2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
PORT3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
PORT4	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
PORT5	ポートレジスタ	PORT	不定	0008 C045h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C065h	8
PORT6	ポートレジスタ	PORT	不定	0008 C046h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C066h	8
PORT7	データディレクションレジスタ	DDR	00h	0008 C007h	8
	データレジスタ	DR	00h	0008 C027h	8
	ポートレジスタ	PORT	不定	0008 C047h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C067h	8
PORT8	データディレクションレジスタ	DDR	00h	0008 C008h	8
	データレジスタ	DR	00h	0008 C028h	8
	ポートレジスタ	PORT	不定	0008 C048h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C068h	8
PORT9	データディレクションレジスタ	DDR	00h	0008 C009h	8
	データレジスタ	DR	00h	0008 C029h	8
	ポートレジスタ	PORT	不定	0008 C049h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C069h	8
PORTA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
PORTB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
PORTD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8

表 15.3 I/Oポートのレジスタ一覧 (2/2) (112ピンLQFP)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORTE	データディレクションレジスタ	DDR	00h	0008 C00Eh	8
	データレジスタ	DR	00h	0008 C02Eh	8
	ポートレジスタ	PORT	不定	0008 C04Eh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Eh	8
PORTG	データディレクションレジスタ	DDR	00h	0008 C010h	8
	データレジスタ	DR	00h	0008 C030h	8
	ポートレジスタ	PORT	不定	0008 C050h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C070h	8
IOPORT	ポートファンクションレジスタ 8	PF8IRQ	00h	0008 C108h	8
	ポートファンクションレジスタ 9	PF9IRQ	00h	0008 C109h	8
	ポートファンクションレジスタ A	PFAADC	00h	0008 C10Ah	8
	ポートファンクションレジスタ C	PFCMTU	00h	0008 C10Ch	8
	ポートファンクションレジスタ D	PFDGPT	00h	0008 C10Dh	8
	ポートファンクションレジスタ F	PFSCSI	00h	0008 C10Fh	8
	ポートファンクションレジスタ G	PFSGSPI	00h	0008 C110h	8
	ポートファンクションレジスタ H	PFHSPI	00h	0008 C111h	8
	ポートファンクションレジスタ J	PFJCAN	00h	0008 C113h	8
	ポートファンクションレジスタ K	PFKLIN	00h	0008 C114h	8
	ポートファンクションレジスタ M	PFMPOE	00h	0008 C116h	8
	ポートファンクションレジスタ N	PFNPOE	00h	0008 C117h	8

表 15.4 各レジスタの有効ビット一覧 (1/2) (112ピンLQFP)

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT1.DDR	x	x	x	x	x	x	○	○
PORT2.DDR	x	x	x	○	○	○	○	○
PORT3.DDR	x	x	x	x	○	○	○	○
PORT7.DDR	x	○	○	○	○	○	○	○
PORT8.DDR	x	x	x	x	x	○	○	○
PORT9.DDR	x	○	○	○	○	○	○	○
PORTA.DDR	x	x	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORTE.DDR	x	x	○	○	○	x	○	○
PORTG.DDR	x	x	○	○	○	○	○	○
PORT1.DR	x	x	x	x	x	x	○	○
PORT2.DR	x	x	x	○	○	○	○	○
PORT3.DR	x	x	x	x	○	○	○	○
PORT7.DR	x	○	○	○	○	○	○	○
PORT8.DR	x	x	x	x	x	○	○	○
PORT9.DR	x	○	○	○	○	○	○	○
PORTA.DR	x	x	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORTE.DR	x	x	○	○	○	x	○	○
PORTG.DR	x	x	○	○	○	○	○	○
PORT1.PORT	x	x	x	x	x	x	○	○
PORT2.PORT	x	x	x	○	○	○	○	○
PORT3.PORT	x	x	x	x	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	x	x	○	○	○	○	○	○
PORT6.PORT	x	x	○	○	○	○	○	○
PORT7.PORT	x	○	○	○	○	○	○	○
PORT8.PORT	x	x	x	x	x	○	○	○
PORT9.PORT	x	○	○	○	○	○	○	○
PORTA.PORT	x	x	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORTE.PORT	x	x	○	○	○	○	○	○
PORTG.PORT	x	x	○	○	○	○	○	○
PORT1.ICR	x	x	x	x	x	x	○	○
PORT2.ICR	x	x	x	○	○	○	○	○
PORT3.ICR	x	x	x	x	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○

表 15.4 各レジスタの有効ビット一覧 (2 / 2) (112ピンLQFP)

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT5.ICR	x	x	○	○	○	○	○	○
PORT6.ICR	x	x	○	○	○	○	○	○
PORT7.ICR	x	○	○	○	○	○	○	○
PORT8.ICR	x	x	x	x	x	○	○	○
PORT9.ICR	x	○	○	○	○	○	○	○
PORTA.ICR	x	x	○	○	○	○	○	○
PORTB.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○
PORTE.ICR	x	x	○	○	○	x	○	○
PORTG.ICR	x	x	○	○	○	○	○	○
IOPORT.PF8IRQ	x	x	x	x	○	○	○	○
IOPORT.PF9IRQ	x	x	x	x	x	○	x	x
IOPORT.PFAADC	x	x	x	x	x	x	○	○
IOPORT.PFCMTU	○	○	x	x	x	x	○	○
IOPORT.PFDGPT	x	x	x	x	x	x	x	○
IOPORT.PFFSCI	x	x	x	x	x	○	x	x
IOPORT.PFGSPI	○	○	○	○	○	○	○	x
IOPORT.PFHSPI	x	x	x	x	x	x	○	○
IOPORT.PFJCAN	○	○	x	x	x	x	x	○
IOPORT.PFKLIN	x	x	x	x	x	x	x	○
IOPORT.PFMPOE	x	x	x	○	○	○	○	○
IOPORT.PFNPOE	○	x	x	x	x	x	x	x

○：有効ビット、x：無効ビット（予約ビット）

15.1.2.1 データディレクションレジスタ (DDR)

アドレス PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h、PORT7.DDR 0008 C007h、
PORT8.DDR 0008 C008h、PORT9.DDR 0008 C009h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh、
PORTD.DDR 0008 C00Dh、PORTE.DDR 0008 C00Eh、PORTG.DDR 0008 C010h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DDRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.DDRは、下位5ビットが有効で、上位3ビットは予約ビットです。
PORT3.DDRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.DDRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT8.DDRは、下位3ビットが有効で、上位5ビットは予約ビットです。
PORT9.DDRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORTA.DDRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORTE.DDRは、b5～b3、b1、b0が有効で、b7、b6、b2は予約ビットです。
PORTG.DDRは、下位6ビットが有効で、上位2ビットは予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力/出力指定ビット	0: 入力ポート 1: 出力ポート	R/W
b1	B1	Pn1入力/出力指定ビット		R/W
b2	B2	Pn2入力/出力指定ビット		R/W
b3	B3	Pn3入力/出力指定ビット		R/W
b4	B4	Pn4入力/出力指定ビット		R/W
b5	B5	Pn5入力/出力指定ビット		R/W
b6	B6	Pn6入力/出力指定ビット		R/W
b7	B7	Pn7入力/出力指定ビット		R/W

n = 1 ~ 3、7 ~ 9、A、B、D、E、G

PORTn.DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTn.DDR レジスタ (n = 1 ~ 3、7 ~ 9、A、B、D、E、G) の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

15.1.2.2 データレジスタ (DR)

アドレス PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h、PORT7.DR 0008 C027h、
PORT8.DR 0008 C028h、PORT9.DR 0008 C029h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh、
PORTD.DR 0008 C02Dh、PORTE.DR 0008 C02Eh、PORTG.DR 0008 C030h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.DRは、下位5ビットが有効で、上位3ビットは予約ビットです。
PORT3.DRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.DRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT8.DRは、下位3ビットが有効で、上位5ビットは予約ビットです。
PORT9.DRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORTA.DRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORTE.DRは、b5～b3、b1、b0が有効で、b7、b6、b2は予約ビットです。
PORTG.DRは、下位6ビットが有効で、上位2ビットは予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pn1出力データ格納ビット		R/W
b2	B2	Pn2出力データ格納ビット		R/W
b3	B3	Pn3出力データ格納ビット		R/W
b4	B4	Pn4出力データ格納ビット		R/W
b5	B5	Pn5出力データ格納ビット		R/W
b6	B6	Pn6出力データ格納ビット		R/W
b7	B7	Pn7出力データ格納ビット		R/W

n = 1～3、7～9、A、B、D、E、G

PORTn.DR レジスタ (n = 1～3、7～9、A、B、D、E、G) は、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

15.1.2.3 ポートレジスタ (PORT)

アドレス PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0008 C043h、PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORT6.PORT 0008 C046h、PORT7.PORT 0008 C047h、PORT8.PORT 0008 C048h、PORT9.PORT 0008 C049h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh、PORTG.PORT 0008 C050h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

- 注1. PORT1.PORTは、下位2ビットが有効で、上位6ビットは予約ビットです。
 PORT2.PORTは、下位5ビットが有効で、上位3ビットは予約ビットです。
 PORT3.PORTは、下位4ビットが有効で、上位4ビットは予約ビットです。
 PORT5.PORTは、下位6ビットが有効で、上位2ビットは予約ビットです。
 PORT6.PORTは、下位6ビットが有効で、上位2ビットは予約ビットです。
 PORT7.PORTは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORT8.PORTは、下位3ビットが有効で、上位5ビットは予約ビットです。
 PORT9.PORTは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORTA.PORTは、下位6ビットが有効で、上位2ビットは予約ビットです。
 PORTE.PORTは、下位6ビットが有効で、上位2ビットは予約ビットです。
 PORTG.PORTは、下位6ビットが有効で、上位2ビットは予約ビットです。
- 注2. 予約ビットは、読むと“1”が読めます。書き込みは無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0ビット	ポートの端子状態を反映	R
b1	B1	Pn1ビット		R
b2	B2	Pn2ビット		R
b3	B3	Pn3ビット		R
b4	B4	Pn4ビット		R
b5	B5	Pn5ビット		R
b6	B6	Pn6ビット		R
b7	B7	Pn7ビット		R

n = 1 ~ 9、A、B、D、E、G

PORTレジスタは、ポートの端子の状態を反映するレジスタです。

PORTn.PORTレジスタ (n = 1 ~ 9、A、B、D、E、G) を読むと、端子の状態が読めます。

15.1.2.4 入力バッファコントロールレジスタ (ICR)

アドレス PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h、PORT4.ICR 0008 C064h、
PORT5.ICR 0008 C065h、PORT6.ICR 0008 C066h、PORT7.ICR 0008 C067h、PORT8.ICR 0008 C068h、
PORT9.ICR 0008 C069h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh、PORTD.ICR 0008 C06Dh、
PORTE.ICR 0008 C06Eh、PORTG.ICR 0008 C070h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.ICRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.ICRは、下位5ビットが有効で、上位3ビットは予約ビットです。
PORT3.ICRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT5.ICRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORT6.ICRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORT7.ICRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT8.ICRは、下位3ビットが有効で、上位5ビットは予約ビットです。
PORT9.ICRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORTA.ICRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORTE.ICRは、b5～b3、b1、b0が有効で、b7、b6、b2は予約ビットです。
PORTG.ICRは、下位6ビットが有効で、上位2ビットは予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0 (注1)	Pn0入力バッファ制御ビット	0: 対応する端子の入力バッファは無効 1: 対応する端子の入力バッファは有効	R/W
b1	B1 (注1)	Pn1入力バッファ制御ビット		R/W
b2	B2 (注1)	Pn2入力バッファ制御ビット		R/W
b3	B3 (注1)	Pn3入力バッファ制御ビット		R/W
b4	B4 (注1)	Pn4入力バッファ制御ビット		R/W
b5	B5 (注1)	Pn5入力バッファ制御ビット		R/W
b6	B6 (注1)	Pn6入力バッファ制御ビット		R/W
b7	B7 (注1)	Pn7入力バッファ制御ビット		R/W

n = 1 ~ 9、A、B、D、E、G

- 注1. 入力端子として使用する場合は、対応するビットを“1”にしてください。入力として使用しない端子、およびアナログ入力端子として使用するビットは、“0”にしてください。

PORTn.ICR レジスタは、ポートの入力バッファを制御するレジスタです。

PORTn.ICR レジスタ (n = 1 ~ 9、A、B、D、E、G) の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

周辺モジュールの入力端子として使用する場合は、あらかじめ対応する端子の入力バッファを有効にするために PORTn.ICR を“1”にする必要があります。PORTn.ICR を“0”にした状態のまま周辺モジュールの入力端子として使用した場合は、周辺モジュールへの入力信号は High に固定されます。

PORTn.ICR レジスタの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。PORTn.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQi(i=0~7) 入力の場合、当該割り込みを禁止した状態で PORTn.ICR レジスタの設定の変更を行い、割り込みコントローラの IRi.IR フラグ (i = 64 ~ 71 (IRQ の割り込みベクタ番号)) を“0”にし、その後当該割り込みを許可してください。PORTn.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

15.1.2.5 ポートファンクションレジスタ 8 (PF8IRQ)

アドレス 0008 C108h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ITS1[1:0]	ITS0[1:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ITS0[1:0]	IRQ0端子選択ビット	b1 b0 00 : P10をIRQ0-A入力端子として設定 01 : PE5をIRQ0-B入力端子として設定 10 : PG0をIRQ0-C入力端子として設定 11 : 設定しないでください	R/W
b3-b2	ITS1[1:0]	IRQ1端子選択ビット	b3 b2 00 : P11をIRQ1-A入力端子として設定 01 : PE4をIRQ1-B入力端子として設定 10 : PG1をIRQ1-C入力端子として設定 11 : 設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PF8IRQレジスタは、IRQ0、IRQ1入力端子を選択するレジスタです。

ITS_i ビット (IRQ_i 端子選択ビット) (i = 0, 1)

IRQ_iの入力端子を選択します。

15.1.2.6 ポートファンクションレジスタ 9 (PF9IRQ)

アドレス 0008 C109h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	ITS2	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	ITS2	IRQ2端子選択ビット	0 : PE3をIRQ2-A入力端子として設定 1 : PG2をIRQ2-B入力端子として設定	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PF9IRQレジスタは、IRQ2入力端子を選択します。

ITS2 ビット (IRQ2 端子選択ビット)

IRQ2の入力端子を選択します。

15.1.2.7 ポートファンクションレジスタ A (PFAADC)

アドレス 0008 C10Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ADTRG 1S	ADTRG 0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRG0S	ADTRG0#入力選択ビット	0 : PA4をADTRG0#-A入力端子として設定 1 : P20をADTRG0#-B入力端子として設定	R/W
b1	ADTRG1S	ADTRG1#入力選択ビット	0 : PA5をADTRG1#-A入力端子として設定 1 : P21をADTRG1#-B入力端子として設定	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

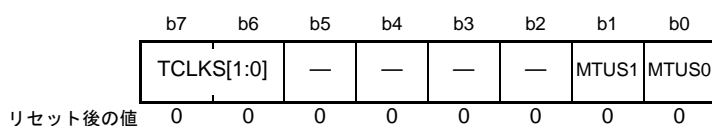
PFAADC レジスタは、ADTRG0#、ADTRG1# 端子を選択するレジスタです。

ADTRGnS ビット (ADTRGn# 入力選択ビット) (n=0、1)

ADTRGn# の入力端子を選択します。

15.1.2.8 ポートファンクションレジスタ C (PFCMTU)

アドレス 0008 C10Ch



ビット	シンボル	ビット名	機能	R/W
b0	MTUS0	MTU3 端子選択0ビット	0 : PB3をMTIOC0A-A端子として選択 1 : P31をMTIOC0A-B端子として選択	R/W
b1	MTUS1	MTU3 端子選択1ビット	0 : PB2をMTIOC0B-A端子として選択 1 : P30をMTIOC0B-B端子として選択	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b7-b6	TCLKS[1:0]	MTCLK 端子選択ビット	b7 b6 0 0 : P33をMTCLKA-A端子として選択 P32をMTCLKB-A端子として選択 P31をMTCLKC-A端子として選択 P30をMTCLKD-A端子として選択 0 1 : P21をMTCLKA-B端子として選択 P20をMTCLKB-B端子として選択 P11をMTCLKC-B端子として選択 P10をMTCLKD-B端子として選択 1 0 : PE4をMTCLKC-C端子として選択 PE3をMTCLKD-C端子として選択 (MTCLKA端子およびMTCLKB端子は選択できません) 1 1 : 設定しないでください	R/W

PFCMTU レジスタは、MTU3 の端子を選択するレジスタです。

MTUS_i ビット (MTU3 端子選択ビット) (i = 0、1)

MTU3 の入出力端子を選択します。

TCLKS[1:0] ビット (MTCLK 端子選択ビット)

MTU3 の MTCLK 入力端子を選択します。

15.1.2.9 ポートファンクションレジスタ D (PFDGPT)

アドレス 0008 C10Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	GPTS
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPTS	GPT 端子選択ビット	0 : P71 を GTIOC0A-A 端子として選択 P74 を GTIOC0B-A 端子として選択 P72 を GTIOC1A-A 端子として選択 P75 を GTIOC1B-A 端子として選択 P73 を GTIOC2A-A 端子として選択 P76 を GTIOC2B-A 端子として選択 1 : PD7 を GTIOC0A-B 端子として選択 PD6 を GTIOC0B-B 端子として選択 PD5 を GTIOC1A-B 端子として選択 PD4 を GTIOC1B-B 端子として選択 PD3 を GTIOC2A-B 端子として選択 PD2 を GTIOC2B-B 端子として選択	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFDGPT レジスタは、GPT の端子を選択するレジスタです。

GPTS ビット (GPT 入出力端子選択ビット)

GPT の入出力端子を選択します。

15.1.2.10 ポートファンクションレジスタ F (PFFSCI)

アドレス 0008 C10Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SCI2S	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SCI2S	SCI2 入出力選択ビット	0 : PB6 を RXD2-A 端子として設定 PB7 を SCK2-A 端子として設定 PB5 を TXD2-A 端子として設定 1 : P80 を RXD2-B 端子として設定 P82 を SCK2-B 端子として設定 P81 を TXD2-B 端子として設定	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFFSCI レジスタは、SCI の端子を選択するレジスタです。

SCI2S ビット (SCI2 入出力端子選択ビット)

SCI チャネル 2 の入出力端子を選択します。

15.1.2.11 ポートファンクションレジスタ G (PFGSPI)

アドレス 0008 C110h

b7	b6	b5	b4	b3	b2	b1	b0
SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めず。書く場合、“0”としてください	R/W
b1	RSPCKE	RSPCK出力許可ビット	0 : RSPCK端子無効 1 : RSPCK端子有効	R/W
b2	MOSIE	MOSI出力許可ビット	0 : MOSI端子無効 1 : MOSI端子有効	R/W
b3	MISOE	MISO出力許可ビット	0 : MISO端子無効 1 : MISO端子有効	R/W
b4	SSL0E	SSL0出力許可ビット	0 : SSL0端子無効 1 : SSL0端子有効	R/W
b5	SSL1E	SSL1出力許可ビット	0 : SSL1端子無効 1 : SSL1端子有効	R/W
b6	SSL2E	SSL2出力許可ビット	0 : SSL2端子無効 1 : SSL2端子有効	R/W
b7	SSL3E	SSL3出力許可ビット	0 : SSL3端子無効 1 : SSL3端子有効	R/W

PFGSPI レジスタは、RSPI に関する入出力端子を設定するレジスタです。

RSPCKE ビット (RSPCK 出力許可ビット)

RSPCK 端子の出力許可／禁止を選択します。RSPCK 端子を使用する場合は、“1”にしてください。

MOSIE ビット (MOSI 出力許可ビット)

MOSI 端子の出力許可／禁止を選択します。MOSI 端子を使用する場合は、“1”にしてください。

MISOE ビット (MISO 出力許可ビット)

MISO 端子の出力許可／禁止を選択します。MISO 端子を使用する場合は、“1”にしてください。

SSL0E ビット (SSL0 出力許可ビット)

SSL0 端子の出力許可／禁止を選択します。SSL0 端子を使用する場合は、“1”にしてください。

SSL1E ビット (SSL1 出力許可ビット)

SSL1 端子の出力許可／禁止を選択します。SSL1 端子を使用する場合は、“1”にしてください。

SSL2E ビット (SSL2 出力許可ビット)

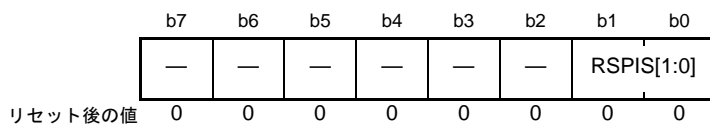
SSL2 端子の出力許可／禁止を選択します。SSL2 端子を使用する場合は、“1”にしてください。

SSL3E ビット (SSL3 出力許可ビット)

SSL3 端子の出力許可／禁止を選択します。SSL3 端子を使用する場合は、“1”にしてください。

15.1.2.12 ポートファンクションレジスタ H (PFHSPI)

アドレス 0008 C111h



ビット	シンボル	ビット名	機能	R/W
b1-b0	RSPIS[1:0]	RSPI端子選択ビット	b1 b0 0 0 : P22をMISO-A端子として設定 P23をMOSI-A端子として設定 P24をRSPCK-A端子として設定 P30をSSL0-A端子として設定 P31をSSL1-A端子として設定 P32をSSL2-A端子として設定 P33をSSL3-A端子として設定 0 1 : PA5をMISO-B端子として設定 PB0をMOSI-B端子として設定 PA4をRSPCK-B端子として設定 PA3をSSL0-B端子として設定 PA2をSSL1-B端子として設定 PA1をSSL2-B端子として設定 PA0をSSL3-B端子として設定 1 0 : PD1をMISO-C端子として設定 PD2をMOSI-C端子として設定 PD0をRSPCK-C端子として設定 PD6をSSL0-C端子として設定 PD7をSSL1-C端子として設定 PE0をSSL2-C端子として設定 PE1をSSL3-C端子として設定 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFHSPI レジスタは、RSPI に関する入出力端子を設定するレジスタです。

RSPIS[1:0] ビット (RSPI 端子選択ビット)

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを“1”にしている端子は選択されますが、許可ビットを“0”にしている端子は選択されません。

15.1.2.13 ポートファンクションレジスタ J (PFJCAN)

アドレス 0008 C113h

b7	b6	b5	b4	b3	b2	b1	b0
CANS[1:0]	—	—	—	—	—	—	CANE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CANE	CAN 端子許可ビット	0 : CTX端子およびCRX端子無効 1 : CTX端子およびCRX端子有効	R/W
b5-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CANS[1:0]	CAN 端子選択ビット	b7 b6 0 0 : PB5をCTX-A端子として設定 PB6をCRX-A端子として設定 0 1 : P23をCTX-B端子として設定 P22をCRX-B端子として設定 1 0 : PE0をCRX-C端子として設定 PD7をCTX-C端子として設定 1 1 : 設定しないでください	R/W

PFJCAN レジスタは、CAN に関する入出力端子を設定するレジスタです。

CANE ビット (CAN 端子許可ビット)

CAN 端子の許可/禁止を選択します。CAN を使用する場合は、“1”にしてください。

CANS[1:0] ビット (CAN 端子選択ビット)

CAN の入出力端子を選択します。

15.1.2.14 ポートファンクションレジスタ K (PFKLIN)

アドレス 0008 C114h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LINE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LINE	LIN 端子許可ビット	0 : LTX端子およびLRX端子無効 1 : LTX端子およびLRX端子有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFKLIN レジスタは、LIN に関する入出力端子を設定するレジスタです。

LINE ビット (LIN 端子許可ビット)

LIN 端子の許可/禁止を選択します。LIN を使用する場合は、“1”にしてください。

15.1.2.15 ポートファンクションレジスタ M (PFMPOE)

アドレス 0008 C116h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE11E	POE10E	POE8E	POE4E	POE0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE0E	POE0#入力許可ビット	0 : I/Oポートとして設定 1 : POEn#入力端子として設定 (n=0、4、8、10、11)	R/W (注1)
b1	POE4E	POE4#入力許可ビット		R/W (注1)
b2	POE8E	POE8#入力許可ビット		R/W (注1)
b3	POE10E	POE10#入力許可ビット		R/W (注1)
b4	POE11E	POE11#入力許可ビット		R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFMPOE レジスタは、POEn# 入力端子の許可/禁止を選択するレジスタです。

システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。書き込みはリセットスタート後の最初の1回目のみ有効です。

POEnE ビット (POEn# 入力許可ビット) (n = 0、4、8、10、11)

対応する POEn# 入力の許可/禁止を選択します。

POEn# を使用する場合には、対応する POEnE ビットを“1”にしてください。

15.1.2.16 ポートファンクションレジスタ N (PFNPOE)

アドレス 0008 C117h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE10 S	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	POE10S	POE10#入力選択ビット	0 : PE2 を POE10#-A入力端子として設定 1 : PE4 を POE10#-B入力端子として設定	R/W (注1)

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFNPOE レジスタは、POEn# 入力端子の許可/禁止を選択するレジスタです。

システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。書き込みはリセットスタート後の最初の1回目のみ有効です。

POE10S ビット (POE10# 入力選択ビット)

POE10# の入力端子を選択します。

15.1.3 ポートの設定

各周辺モジュールの端子を有効に設定すると、各ポートの設定が切り替わります。

入力として機能する端子は、各周辺モジュールの設定により独立して設定できます。ポートレジスタリード、NMI および POEn# 端子入力を除き、入力バッファコントロールレジスタ (PORTn.ICR) の対応するビットを“1”にして入力バッファを有効にする必要があります。

出力および入出力として機能する端子は、各周辺モジュールの端子ごとに出力信号を有効に設定する必要があります。同じポートにマルチプレクスされている各周辺モジュールの出力信号有効設定が競合すると周辺モジュールのポートマルチプレクス優先順位に従って、優先される周辺モジュールの機能が有効になります。

表 15.5 に周辺モジュールのポートマルチプレクス優先順位一覧を示します。

表 15.5 周辺モジュールのポートマルチプレクス優先順位一覧 (112ピンLQFP)

優先順位	モジュール名	出力端子名	
高 ↑ ↓ 低	1	RSPI	RSPCK、MOSI、MISO、SSL0～SSL3
	2	CAN	CTX
	3	LIN	LTX
	4	MTU0～MTU7	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、MTIOC2B、MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D
	5	GPT0～GPT3	GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B
	6	SCI0～SCI2	SCK0～SCK2、TXD0～TXD2
	7	RIIC	SCL、SDA
	8	IOPORT	P10～P11、P20～P24、P30～P33、P70～P76、P80～P82、P90～P96、PA0～PA5、PB0～PB7、PD0～PD7、PE0～PE1、PE3～PE5、PG0～PG5

15.1.4 出力許可設定一覧

表 15.6 に各ポートの出力許可設定一覧を示します。

当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

また、各周辺モジュールの端子名の末尾に A ~ C のいずれかが付いている端子は、ポートファンクションレジスタによって端子機能を変更できます。

表 15.6 各ポートの出力許可設定一覧 (112ピンLQFP) (1 / 4)

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P10	PORT1	P10		PORT1.DDR.B0=1
P11	PORT1	P11		PORT1.DDR.B1=1
P20	PORT2	P20		PORT2.DDR.B0=1
P21	PORT2	P21		PORT2.DDR.B1=1
P22	RSPI	MISO-A	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P22		PORT2.DDR.B2 = 1
P23	RSPI	MOSI-A	PFGSPI.MOSIE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	CAN	CTX-B	PFJCAN.CANE =1 PFJCAN.CANS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	LIN	LTX	PFKLIN.LINE=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT2	P23		PORT2.DDR.B3 =1
P24	RSPI	RSPCK-A	PFGSPI.RSPCKE =1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P24		PORT2.DDR.B4=1
P30	RSPI	SSL0-A	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0B-B	PFCMTU.MTUS1=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P30		PORT3.DDR.B0=1
P31	RSPI	SSL1-A	PFGSPI.SSL1E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0A-B	PFCMTU.MTUS0=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P31		PORT3.DDR.B1=1
P32	RSPI	SSL2-A	PFGSPI.SSL2E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3C		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P32		PORT3.DDR.B2=1
P33	RSPI	SSL3-A	PFGSPI.SSL3E =1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3A		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P33		PORT3.DDR.B3=1
P70	PORT7	P70		PORT7.DDR.B0=1
P71	MTU3	MTIOC3B		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P71		PORT7.DDR.B1=1
P72	MTU4	MTIOC4A		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P72		PORT7.DDR.B2=1

表 15.6 各ポートの出力許可設定一覧 (112ピンLQFP) (2 / 4)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P73	MTU4	MTIOC4B		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P73		PORT7.DDR.B3=1
P74	MTU3	MTIOC3D		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P74		PORT7.DDR.B4=1
P75	MTU4	MTIOC4C		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P75		PORT7.DDR.B5=1
P76	MTU4	MTIOC4D		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P76		PORT7.DDR.B6=1
P80	PORT8	P80		PORT8.DDR.B0=1
P81	SCI2	TXD2-B	PFFSCI.SCI2S=1	SCI2.SCR.TE=1
	PORT8	P81		PORT8.DDR.B1=1
P82	SCI2	SCK2-B	PFFSCI.SCI2S=1	SCI2.SCMR.SMIF=1のとき： SMR.GM=0, SCR.CKE[1:0]=01かSMR.GM=1 で、SCR.TE=1かSCR.RE=1 SCI2.SCMR.SMIF=0のとき： SMR.CM = 0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE =1かSCR.RE=1
	PORT8	P82		PORT8.DDR.B2=1
P90	MTU7	MTIOC7D		(信号出力状態は周辺モジュールの設定に従います)
	I/Oポート	P90		PORT9.DDR.B0=1
P91	MTU7	MTIOC7C		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P91		PORT9.DDR.B1=1
P92	MTU6	MTIOC6D		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P92		PORT9.DDR.B2=1
P93	MTU7	MTIOC7B		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P93		PORT9.DDR.B3=1
P94	MTU7	MTIOC7A		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P94		PORT9.DDR.B4=1
P95	MTU6	MTIOC6B		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P95		PORT9.DDR.B5=1
P96	PORT9	P96		PORT9.DDR.B6=1
PA0	RSPI	SSL3-B	PFGSPI.SSL3E=1 PFHSPI.RSPIS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6C		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA0		PORTA.DDR.B0=1
PA1	RSPI	SSL2-B	PFGSPI.SSL2E=1 PFHSPI.RSPIS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA1		PORTA.DDR.B1=1
PA2	RSPI	SSL1-B	PFGSPI.SSL1E=1 PFHSPI.RSPIS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	MTU2	MTIOC2B		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA2		PORTA.DDR.B2=1

表 15.6 各ポートの出力許可設定一覧 (112ピンLQFP) (3/4)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PA3	RSPI	SSL0-B	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU2	MTIOC2A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA3		PORTA.DDR.B3=1
PA4	RSPI	RSPCK-B	PFGSPI.RSPCKE=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU1	MTIOC1B		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA4		PORTA.DDR.B4=1
PA5	RSPI	MISO-B	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU1	MTIOC1A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA5		PORTA.DDR.B5=1
PB0	RSPI	MOSI-B	PFGSPI.MOSIE=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0D		(信号出力状態は周辺モジュールの設定に従います)
	PORTB	PB0		PORTB.DDR.B0=1
PB1	MTU0	MTIOC0C		(信号出力状態は周辺モジュールの設定に従います)
	RIIC	SCL		RIIC.ICCR1.ICE=1
	PORTB	PB1		PORTB.DDR.B1=1
PB2	MTU0	MTIOC0B-A	PFCMTU.MTUS1=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	TXD0		SCI0.SCR.TE=1
	RIIC	SDA		RIIC.ICCR1.ICE=1
	PORTB	PB2		PORTB.DDR.B2=1
PB3	MTU0	MTIOC0A-A	PFCMTU.MTUS0=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	SCK0		SCI0.SCMR.SMIF=1のとき： SMR.GM=0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI0.SCMR.SMIF=0のとき： SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB3		PORTB.DDR.B3=1
PB4	PORTB	PB4		PORTB.DDR.B4=1
PB5	CAN	CTX-A	PFJCAN.CANE = 1 PFJCAN.CANS[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	TXD2-A	PFSCI.SCI2S = 0	SCI2.SCR.TE=1
	PORTB	PB5		PORTB.DDR.B5=1
PB6	PORTB	PB6		PORTB.DDR.B6=1
PB7	SCI2	SCK2-A	PFSCI.SCI2S=0	SCI2.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI2.SCMR.SMIF=0のとき： SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB7		PORTB.DDR.B7=1
PD0	RSPI	RSPCK-C	PFGSPI.RSPCKE=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT3	GTIOC3B		(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD0		PORTD.DDR.B0=1

表 15.6 各ポートの出力許可設定一覧 (112ピンLQFP) (4/4)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PD1	RSPI	MISO-C	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT3	GTIOC3A		(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD1		PORTD.DDR.B1=1
PD2	RSPI	MOSI-C	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT2	GTIOC2B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD2		PORTD.DDR.B2=1
PD3	GPT2	GTIOC2A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	TXD1		SCI1.SCR.TE=1
	PORTD	PD3		PORTD.DDR.B3=1
PD4	GPT1	GTIOC1B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	SCK1		SCI1.SCMR.SMIF=1のとき： SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI1.SCMR.SMIF=0のとき： SMR.CM = 0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTD	PD4		PORTD.DDR.B4=1
PD5	GPT1	GTIOC1A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD5		PORTD.DDR.B5=1
PD6	RSPI	SSL0-C	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT0	GTIOC0B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD6		PORTD.DDR.B6=1
PD7	RSPI	SSL1-C	PFGSPI.SSL1E=1 PFHSPI.RSPIS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	CAN	CTX-C	PFJCAN.CANE=1 PFJCAN.CANS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD7		PORTD.DDR.B7=1
PE0	RSPI	SSL2-C	PFGSPI.SSL2E=1 PFHSPI.RSPIS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE0		PORTE.DDR.B0=1
PE1	RSPI	SSL3-C	PFGSPI.SSL3E=1 PFHSPI.RSPIS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE1		PORTE.DDR.B1=1
PE3	PORTE	PE3		PORTE.DDR.B3=1
PE4	PORTE	PE4		PORTE.DDR.B4=1
PE5	PORTE	PE5		PORTE.DDR.B5=1
PG0	PORTG	PG0		PORTG.DDR.B0=1
PG1	PORTG	PG1		PORTG.DDR.B1=1
PG2	PORTG	PG2		PORTG.DDR.B2=1
PG3	PORTG	PG3		PORTG.DDR.B3=1
PG4	PORTG	PG4		PORTG.DDR.B4=1
PG5	PORTG	PG5		PORTG.DDR.B5=1

15.1.5 未使用端子の処理

表 15.7 に未使用端子の処理内容を示します。

表 15.7 未使用端子の処理内容 (112ピンLQFP)

端子名	処理内容
EMLE	抵抗を介してVSSに接続 (プルダウン)
MD1、MD0	(モード端子として必ず使用)
MDE	(モード端子として必ず使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
PE2/NMI/POE10#-A	抵抗を介してVCCに接続 (プルアップ)
EXTAL	(クロック端子として必ず使用)
XTAL	端子を開放
WDTOVF#	端子を開放
ポート1~3、7~9、 A、B、D、E、G	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
ポート4	<ul style="list-style-type: none"> 端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または抵抗を介してAVSS0に接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
ポート5~6	<ul style="list-style-type: none"> 端子ごとに抵抗を介してAVCCに接続 (プルアップ)、または抵抗を介してAVSSに接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
VREF	AVCCに接続
TRST#、TMS、 TCK、TDI	端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン)
TDO	開放

注1. PORTn.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

15.2 100ピンLQFP I/Oポート

RX62Tグループ、RX62Gグループの100ピンLQFPのI/Oポートは、ポート1～9、A、B、D、Eの13ポートから構成され、入出力ポートを55本備えています。

15.2.1 概要

表 15.8 に I/O ポートの仕様を、表 15.9 にポート機能一覧を示します。

表 15.8 I/Oポートの仕様 (100ピンLQFP)

項目	内容
入出力端子	55本
入力端子	21本
ポート	13ポート (1～9、A、B、D、E)
オープンドレイン出力	2本 (RIIC端子)
大電流出力	12本 (MTU3端子、GPT端子)
シュミットトリガ入力端子	全ポート入力、CAN入力、IRQ入力、MTU3入力、POE3入力、RIIC入力、SCI入力、A/Dトリガ入力、NMI入力、GPT入力、LIN入力
その他	<ul style="list-style-type: none"> • 1個のTTL負荷と30pFの容量負荷を駆動可能 • 出力時にダーリントントランジスタを駆動 • 常に端子の状態を読み出すことが可能

表 15.9 ポート機能一覧 (1 / 3) (100ピンLQFP)

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポート1	MTU3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	P10	MTCLKD-B/IRQ0-A		—	全入力機能	—	—
		1	P11	MTCLKC-B/IRQ1-A			全入力機能		
ポート2	MTU3入力、 割り込み入力、 A/Dコンバータ入 力、 RSPI入出力、 LIN入出力、 CAN入出力 と兼用の汎用入出力 ポート	0	P20	MTCLKB-B/IRQ7/ ADTRG0#-B		—	全入力機能	—	—
		1	P21	MTCLKA-B/IRQ6/ ADTRG1#-B			全入力機能		
		2	P22/MISO-A	LRX/CRX-B/ ADTRG#		MISO-A	P22/LRX/CRX-B/ ADTRG#		
		3	P23/MOSI-A		LTX/CTX-B	MOSI-A	P23		
		4	P24/RSPCK-A			RSPCK-A	P24		
ポート3	MTU3入出力、 RSPI入出力 と兼用の汎用入出力 ポート	0	P30/MTIOC0B-B/ SSL0-A	MTCLKD-A		SSL0-A	P30/MTIOC0B- B/ MTCLKD-A	—	—
		1	P31/MTIOC0A-B	MTCLKC-A	SSL1-A	—	全入力機能		
		2	P32/MTIOC3C	MTCLKB-A	SSL2-A		全入力機能		
		3	P33/MTIOC3A	MTCLKA-A	SSL3-A		全入力機能		
ポート4	A/Dコンバータ入力 と兼用の汎用入力 ポート	0		P40/AN000		—	P40	—	—
		1		P41/AN001			P41		
		2		P42/AN002			P42		
		3		P43/AN003/ CVREFL			P43		
		4		P44/AN100			P44		
		5		P45/AN101			P45		
		6		P46/AN102			P46		
		7		P47/AN103/ CVREFH			P47		
ポート5	A/Dコンバータ入力 と兼用の汎用入力 ポート	0		P50/AN6		—	P50	—	—
		1		P51/AN7			P51		
		2		P52/AN8			P52		
		3		P53/AN9			P53		
		4		P54/AN10			P54		
		5		P55/AN11			P55		
ポート6	A/Dコンバータ入力 と兼用の汎用入力 ポート	0		P60/AN0		—	P60	—	—
		1		P61/AN1			P61		
		2		P62/AN2			P62		
		3		P63/AN3			P63		
		4		P64/AN4			P64		
		5		P65/AN5			P65		

表 15.9 ポート機能一覧 (2 / 3) (100ピンLQFP)

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポート7	POE3入力、 割り込み入力、 MTU3入出力、 GPT入出力 と兼用の汎用入出力 ポート	0	P70	POE0#/IRQ5		—	全入力機能	—	—
		1	P71/MTIOC3B/ GTIOC0A-A				全入力機能		○
		2	P72/MTIOC4A/ GTIOC1A-A				全入力機能		○
		3	P73/MTIOC4B/ GTIOC2A-A				全入力機能		○
		4	P74/MTIOC3D/ GTIOC0B-A				全入力機能		○
		5	P75/MTIOC4C/ GTIOC1B-A				全入力機能		○
		6	P76/MTIOC4D/ GTIOC2B-A				全入力機能		○
ポート8	SCI入出力 MTU3入力 と兼用の汎用入出力 ポート	0	P80	RXD2-B/MTIC5W		—	全入力機能	—	—
		1	P81	MTIC5V	TXD2-B		全入力機能		
		2	P82/SCK2-B	MTIC5U			全入力機能		
ポート9	MTU3入出力、 POE3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	P90/MTIOC7D			—	全入力機能	—	○
		1	P91/MTIOC7C				全入力機能		○
		2	P92/MTIOC6D				全入力機能		○
		3	P93/MTIOC7B				全入力機能		○
		4	P94/MTIOC7A				全入力機能		○
		5	P95/MTIOC6B				全入力機能		○
		6	P96	POE4#/IRQ4			全入力機能		—
ポートA	MTU3入出力、 RSPI入出力、 A/Dコンバータ入 力、 と兼用の汎用入出力 ポート	0	PA0/MTIOC6C		SSL3-B	—	全入力機能	—	—
		1	PA1/MTIOC6A		SSL2-B		全入力機能		
		2	PA2/MTIOC2B		SSL1-B		全入力機能		
		3	PA3/MTIOC2A/ SSL0-B			SSL0-B	PA3/MTIOC2A		
		4	PA4/MTIOC1B/ RSPCK-B	ADTRG0#-A		RSPCK-B	PA4/MTIOC1B/ ADTRG0#-A		
		5	PA5/MTIOC1A/ MISO-B	ADTRG1#-A		MISO-B	PA5/MTIOC1A/ ADTRG1#-A		
ポートB	MTU3入出力、 RSPI入出力、 RIIC入出力、 SCI入出力、 GPT入力、 POE3入力、 割り込み入力、 CAN入出力、 トレース出力 と兼用の汎用入出力 ポート	0	PB0/MTIOC0D/ MOSI-B			MOSI-B	PB0/MTIOC0D	—	—
		1	PB1/MTIOC0C/ SCL	RXD0		—	全入力機能	○ (SCLのみ)	—
		2	PB2/MTIOC0B-A/ SDA		TXD0		全入力機能	○ (SDAの み)	—
		3	PB3/MTIOC0A-A/ SCK0				全入力機能	—	—
		4	PB4	GTETRQ/ POE8#/IRQ3			全入力機能		
		5	PB5		TXD2-A/ CTX-A/ TRSYNC		全入力機能		
		6	PB6	RXD2-A/CRX-A	TRDATA0		全入力機能		
		7	PB7/SCK2-A		TRDATA1		全入力機能		

表 15.9 ポート機能一覧 (3 / 3) (100ピンLQFP)

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポートD	GPT入出力、 RSPI入出力、 SCI入出力、 CAN出力、 トレース出力、 オンチップエミュ レータ入出力 と兼用の汎用入出力 ポート	0	PD0/GTIOC3B/ RSPCK-C		TRDATA2	RSPCK-C	PD0/GTIOC3B	—	—
		1	PD1/GTIOC3A/ MISO-C		TRDATA3	MISO-C	PD1/GTIOC3A		
		2	PD2/GTIOC2B-B/ MOSI-C		TRCLK	MOSI-C	PD2/GTIOC2B-B		
		3	PD3/GTIOC2A-B		TXD1/TDO	—	全入力機能		
		4	PD4/GTIOC1B-B/ SCK1	TCK		—	全入力機能		
		5	PD5/GTIOC1A-B	RXD1/TDI		—	全入力機能		
		6	PD6/GTIOC0B-B/ SSL0-C	TMS		SSL0-C	PD6/GTIOC0B-B		
		7	PD7/GTIOC0A-B	TRST#	SSL1-C/CTX-C	—	全入力機能		
ポートE	CAN入力、 RSPI出力、 POE3入力、 MTU3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	PE0	CRX-C	SSL2-C	—	全入力機能	—	—
		1	PE1		SSL3-C		全入力機能		
		2		PE2/POE10#-A/ NMI			全入力機能		
		3	PE3	MTCLKD-C/ POE11#/IRQ2-A			全入力機能		
		4	PE4	MTCLKC-C/ POE10#-B/ IRQ1-B			全入力機能		
		5	PE5	IRQ0-B			全入力機能		

15.2.2 レジスタの説明

表 15.10 に I/O ポートのレジスタ一覧を示します。表 15.11 に各レジスタの有効ビット一覧を示します。

表 15.10 I/Oポートのレジスタ一覧 (1/2) (100ピンLQFP)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
PORT2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
PORT3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
PORT4	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
PORT5	ポートレジスタ	PORT	不定	0008 C045h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C065h	8
PORT6	ポートレジスタ	PORT	不定	0008 C046h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C066h	8
PORT7	データディレクションレジスタ	DDR	00h	0008 C007h	8
	データレジスタ	DR	00h	0008 C027h	8
	ポートレジスタ	PORT	不定	0008 C047h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C067h	8
PORT8	データディレクションレジスタ	DDR	00h	0008 C008h	8
	データレジスタ	DR	00h	0008 C028h	8
	ポートレジスタ	PORT	不定	0008 C048h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C068h	8
PORT9	データディレクションレジスタ	DDR	00h	0008 C009h	8
	データレジスタ	DR	00h	0008 C029h	8
	ポートレジスタ	PORT	不定	0008 C049h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C069h	8
PORTA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
PORTB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
PORTD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8

表 15.10 I/Oポートのレジスタ一覧 (2/2) (100ピンLQFP)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORTE	データディレクションレジスタ	DDR	00h	0008 C00Eh	8
	データレジスタ	DR	00h	0008 C02Eh	8
	ポートレジスタ	PORT	不定	0008 C04Eh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Eh	8
IOPORT	ポートファンクションレジスタ8	PF8IRQ	00h	0008 C108h	8
	ポートファンクションレジスタA	PFAADC	00h	0008 C10Ah	8
	ポートファンクションレジスタC	PFCMTU	00h	0008 C10Ch	8
	ポートファンクションレジスタD	PFDGPT	00h	0008 C10Dh	8
	ポートファンクションレジスタF	PFSCI	00h	0008 C10Fh	8
	ポートファンクションレジスタG	PFSGPI	00h	0008 C110h	8
	ポートファンクションレジスタH	PFHSPI	00h	0008 C111h	8
	ポートファンクションレジスタJ	PFJCAN	00h	0008 C113h	8
	ポートファンクションレジスタK	PFKLIN	00h	0008 C114h	8
	ポートファンクションレジスタM	PFMPOE	00h	0008 C116h	8
	ポートファンクションレジスタN	PFNPOE	00h	0008 C117h	8

表 15.11 各レジスタの有効ビット一覧 (1/2) (100ピンLQFP)

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT1.DDR	x	x	x	x	x	x	○	○
PORT2.DDR	x	x	x	○	○	○	○	○
PORT3.DDR	x	x	x	x	○	○	○	○
PORT7.DDR	x	○	○	○	○	○	○	○
PORT8.DDR	x	x	x	x	x	○	○	○
PORT9.DDR	x	○	○	○	○	○	○	○
PORTA.DDR	x	x	○	○	○	○	○	○
PORTB.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	○	○
PORTE.DDR	x	x	○	○	○	x	○	○
PORT1.DR	x	x	x	x	x	x	○	○
PORT2.DR	x	x	x	○	○	○	○	○
PORT3.DR	x	x	x	x	○	○	○	○
PORT7.DR	x	○	○	○	○	○	○	○
PORT8.DR	x	x	x	x	x	○	○	○
PORT9.DR	x	○	○	○	○	○	○	○
PORTA.DR	x	x	○	○	○	○	○	○
PORTB.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	○	○	○
PORTE.DR	x	x	○	○	○	x	○	○
PORT1.PORT	x	x	x	x	x	x	○	○
PORT2.PORT	x	x	x	○	○	○	○	○
PORT3.PORT	x	x	x	x	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT5.PORT	x	x	○	○	○	○	○	○
PORT6.PORT	x	x	○	○	○	○	○	○
PORT7.PORT	x	○	○	○	○	○	○	○
PORT8.PORT	x	x	x	x	x	○	○	○
PORT9.PORT	x	○	○	○	○	○	○	○
PORTA.PORT	x	x	○	○	○	○	○	○
PORTB.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	○	○
PORTE.PORT	x	x	○	○	○	○	○	○
PORT1.ICR	x	x	x	x	x	x	○	○
PORT2.ICR	x	x	x	○	○	○	○	○
PORT3.ICR	x	x	x	x	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT5.ICR	x	x	○	○	○	○	○	○
PORT6.ICR	x	x	○	○	○	○	○	○
PORT7.ICR	x	○	○	○	○	○	○	○
PORT8.ICR	x	x	x	x	x	○	○	○
PORT9.ICR	x	○	○	○	○	○	○	○
PORTA.ICR	x	x	○	○	○	○	○	○
PORTB.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	○	○
PORTE.ICR	x	x	○	○	○	x	○	○

表 15.11 各レジスタの有効ビット一覧 (2 / 2) (100ピンLQFP)

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
IOPORT.PF8IRQ	x	x	x	x	○	○	○	○
IOPORT.PFAADC	x	x	x	x	x	x	○	○
IOPORT.PFCMTU	○	○	x	x	x	x	○	○
IOPORT.PFDGPT	x	x	x	x	x	x	x	○
IOPORT.PFFSCI	x	x	x	x	x	○	x	x
IOPORT.PFGSPI	○	○	○	○	○	○	○	x
IOPORT.PFHSPI	x	x	x	x	x	x	○	○
IOPORT.PFJCAN	○	○	x	x	x	x	x	○
IOPORT.PFKLIN	x	x	x	x	x	x	x	○
IOPORT.PFMPOE	x	x	x	○	○	○	○	○
IOPORT.PFNPOE	○	x	x	x	x	x	x	x

○ : 有効ビット、x : 無効ビット (予約ビット)

15.2.2.1 データディレクションレジスタ (DDR)

アドレス PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h、PORT7.DDR 0008 C007h、
PORT8.DDR 0008 C008h、PORT9.DDR 0008 C009h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh、
PORTD.DDR 0008 C00Dh、PORTE.DDR 0008 C00Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DDRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.DDRは、下位5ビットが有効で、上位3ビットは予約ビットです。
PORT3.DDRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.DDRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT8.DDRは、下位3ビットが有効で、上位5ビットは予約ビットです。
PORT9.DDRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORTA.DDRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORTE.DDRは、b5～b3、b1、b0が有効で、b7、b6、b2は予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力/出力指定ビット	0: 入力ポート 1: 出力ポート	R/W
b1	B1	Pn1入力/出力指定ビット		R/W
b2	B2	Pn2入力/出力指定ビット		R/W
b3	B3	Pn3入力/出力指定ビット		R/W
b4	B4	Pn4入力/出力指定ビット		R/W
b5	B5	Pn5入力/出力指定ビット		R/W
b6	B6	Pn6入力/出力指定ビット		R/W
b7	B7	Pn7入力/出力指定ビット		R/W

n = 1 ~ 3, 7 ~ 9, A, B, D, E

PORTn.DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTn.DDR レジスタ (n = 1 ~ 3, 7 ~ 9, A, B, D, E) の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

15.2.2.2 データレジスタ (DR)

アドレス PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h、PORT7.DR 0008 C027h、
PORT8.DR 0008 C028h、PORT9.DR 0008 C029h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh、
PORTD.DR 0008 C02Dh、PORTE.DR 0008 C02Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.DRは、下位5ビットが有効で、上位3ビットは予約ビットです。
PORT3.DRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.DRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT8.DRは、下位3ビットが有効で、上位5ビットは予約ビットです。
PORT9.DRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORTA.DRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORTE.DRは、b5～b3、b1、b0が有効で、b7、b6、b2は予約ビットです。
- 注2. 予約ビットは、読むと"0"が読めます。書く場合、"0"としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pn1出力データ格納ビット		R/W
b2	B2	Pn2出力データ格納ビット		R/W
b3	B3	Pn3出力データ格納ビット		R/W
b4	B4	Pn4出力データ格納ビット		R/W
b5	B5	Pn5出力データ格納ビット		R/W
b6	B6	Pn6出力データ格納ビット		R/W
b7	B7	Pn7出力データ格納ビット		R/W

n = 1～3、7～9、A、B、D、E

PORTn.DR レジスタ (n = 1～3、7～9、A、B、D、E) は、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

15.2.2.3 ポートレジスタ (PORT)

アドレス PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0008 C043h、PORT4.PORT 0008 C044h、PORT5.PORT 0008 C045h、PORT6.PORT 0008 C046h、PORT7.PORT 0008 C047h、PORT8.PORT 0008 C048h、PORT9.PORT 0008 C049h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

- 注1. PORT1.PORTは、下位2ビットが有効で、上位6ビットは予約ビットです。
 PORT2.PORTは、下位5ビットが有効で、上位3ビットは予約ビットです。
 PORT3.PORTは、下位4ビットが有効で、上位4ビットは予約ビットです。
 PORT5.PORTは、下位6ビットが有効で、上位2ビットは予約ビットです。
 PORT6.PORTは、下位6ビットが有効で、上位2ビットは予約ビットです。
 PORT7.PORTは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORT8.PORTは、下位3ビットが有効で、上位5ビットは予約ビットです。
 PORT9.PORTは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORTA.PORTは、下位6ビットが有効で、上位2ビットは予約ビットです。
 PORTE.PORTは、下位6ビットが有効で、上位2ビットは予約ビットです。
- 注2. 予約ビットは、読むと“1”が読めます。書き込みは無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0ビット	ポートの端子状態を反映	R
b1	B1	Pn1ビット		R
b2	B2	Pn2ビット		R
b3	B3	Pn3ビット		R
b4	B4	Pn4ビット		R
b5	B5	Pn5ビット		R
b6	B6	Pn6ビット		R
b7	B7	Pn7ビット		R

n = 1 ~ 9、A、B、D、E

PORTレジスタは、ポートの端子の状態を反映するレジスタです。

PORTn.PORTレジスタ (n = 1 ~ 9、A、B、D、E) を読むと、端子の状態が読めます。

15.2.2.4 入力バッファコントロールレジスタ (ICR)

アドレス PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h、PORT4.ICR 0008 C064h、
PORT5.ICR 0008 C065h、PORT6.ICR 0008 C066h、PORT7.ICR 0008 C067h、PORT8.ICR 0008 C068h、
PORT9.ICR 0008 C069h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh、PORTD.ICR 0008 C06Dh、
PORTE.ICR 0008 C06Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.ICRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.ICRは、下位5ビットが有効で、上位3ビットは予約ビットです。
PORT3.ICRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT5.ICRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORT6.ICRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORT7.ICRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT8.ICRは、下位3ビットが有効で、上位5ビットは予約ビットです。
PORT9.ICRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORTA.ICRは、下位6ビットが有効で、上位2ビットは予約ビットです。
PORTE.ICRは、b5～b3、b1、b0が有効で、b7、b6、b2は予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0 (注1)	Pn0入力バッファ制御ビット	0: 対応する端子の入力バッファは無効 1: 対応する端子の入力バッファは有効	R/W
b1	B1 (注1)	Pn1入力バッファ制御ビット		R/W
b2	B2 (注1)	Pn2入力バッファ制御ビット		R/W
b3	B3 (注1)	Pn3入力バッファ制御ビット		R/W
b4	B4 (注1)	Pn4入力バッファ制御ビット		R/W
b5	B5 (注1)	Pn5入力バッファ制御ビット		R/W
b6	B6 (注1)	Pn6入力バッファ制御ビット		R/W
b7	B7 (注1)	Pn7入力バッファ制御ビット		R/W

n = 1 ~ 9、A、B、D、E

注1. 入力端子として使用する場合は、対応するビットを“1”にしてください。入力として使用しない端子、およびアナログ入力端子として使用するビットは、“0”にしてください。

PORTn.ICR レジスタは、ポートの入力バッファを制御するレジスタです。

PORTn.ICR レジスタ (n = 1 ~ 9、A、B、D、E) の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

周辺モジュールの入力端子として使用する場合は、あらかじめ対応する端子の入力バッファを有効にするために PORTn.ICR を“1”にする必要があります。PORTn.ICR を“0”にした状態のまま周辺モジュールの入力端子として使用した場合は、周辺モジュールへの入力信号は High に固定されます。

PORTn.ICR レジスタの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。PORTn.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQ_i(i=0~7) 入力の場合、当該割り込みを禁止した状態で PORTn.ICR レジスタの設定の変更を行い、割り込みコントローラの IR_i.IR フラグ (i = 64 ~ 71 (IRQ の割り込みベクタ番号)) を“0”にし、その後当該割り込みを許可してください。PORTn.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

15.2.2.5 ポートファンクションレジスタ 8 (PF8IRQ)

アドレス 0008 C108h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ITS1[1:0]	ITS0[1:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ITS0[1:0]	IRQ0端子選択ビット	b1 b0 0 0 : P10をIRQ0-A入力端子として設定 0 1 : PE5をIRQ0-B入力端子として設定 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b3-b2	ITS1[1:0]	IRQ1端子選択ビット	b3 b2 0 0 : P11をIRQ1-A入力端子として設定 0 1 : PE4をIRQ1-B入力端子として設定 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PF8IRQ レジスタは、IRQ0、IRQ1 入力端子を選択するレジスタです。

ITS_i ビット (IRQ_i 端子選択ビット) (i = 0, 1)

IRQ_i の入力端子を選択します。

15.2.2.6 ポートファンクションレジスタ A (PFAADC)

アドレス 0008 C10Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	ADTRG1S	ADTRG0S
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRG0S	ADTRG0#入力選択ビット	0 : PA4をADTRG0#-A入力端子として設定 1 : P20をADTRG0#-B入力端子として設定	R/W
b1	ADTRG1S	ADTRG1#入力選択ビット	0 : PA5をADTRG1#-A入力端子として設定 1 : P21をADTRG1#-B入力端子として設定	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

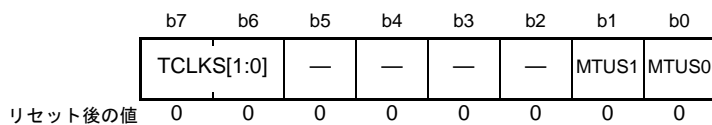
PFAADC レジスタは、ADTRG0#、ADTRG1# 端子を選択するレジスタです。

ADTRG_nS ビット (ADTRG_n# 入力選択ビット) (n=0, 1)

ADTRG_n# の入力端子を選択します。

15.2.2.7 ポートファンクションレジスタ C (PFCMTU)

アドレス 0008 C10Ch



ビット	シンボル	ビット名	機能	R/W
b0	MTUS0	MTU3 端子選択0ビット	0 : PB3をMTIOC0A-A端子として選択 1 : P31をMTIOC0A-B端子として選択	R/W
b1	MTUS1	MTU3 端子選択1ビット	0 : PB2をMTIOC0B-A端子として選択 1 : P30をMTIOC0B-B端子として選択	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b7-b6	TCLKS[1:0]	MTCLK 端子選択ビット	b7 b6 0 0 : P33をMTCLKA-A端子として選択 P32をMTCLKB-A端子として選択 P31をMTCLKC-A端子として選択 P30をMTCLKD-A端子として選択 0 1 : P21をMTCLKA-B端子として選択 P20をMTCLKB-B端子として選択 P11をMTCLKC-B端子として選択 P10をMTCLKD-B端子として選択 1 0 : PE4をMTCLKC-C端子として選択 PE3をMTCLKD-C端子として選択 (MTCLKA端子およびMTCLKB端子は選択 できません) 1 1 : 設定できません	R/W

PFCMTU レジスタは、MTU3 の端子を選択するレジスタです。

MTUS_i ビット (MTU3 端子選択ビット) (i = 0、1)

MTU3 の入出力端子を選択します。

TCLKS[1:0] ビット (MTCLK 端子選択ビット)

MTU3 の MTCLK 入力端子を選択します。

15.2.2.8 ポートファンクションレジスタ D (PFDGPT)

アドレス 0008 C10Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	GPTS

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	GPTS	GPT 端子選択ビット	0 : P71 を GTIOC0A-A 端子として選択 P74 を GTIOC0B-A 端子として選択 P72 を GTIOC1A-A 端子として選択 P75 を GTIOC1B-A 端子として選択 P73 を GTIOC2A-A 端子として選択 P76 を GTIOC2B-A 端子として選択 1 : PD7 を GTIOC0A-B 端子として選択 PD6 を GTIOC0B-B 端子として選択 PD5 を GTIOC1A-B 端子として選択 PD4 を GTIOC1B-B 端子として選択 PD3 を GTIOC2A-B 端子として選択 PD2 を GTIOC2B-B 端子として選択	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFDGPT レジスタは、GPT の端子を選択するレジスタです。

GPTS ビット (GPT 入出力端子選択ビット)

GPT の入出力端子を選択します。

15.2.2.9 ポートファンクションレジスタ F (PFFSCI)

アドレス 0008 C10Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SCI2S	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SCI2S	SCI2 入出力選択ビット	0 : PB6 を RXD2-A 端子として設定 PB7 を SCK2-A 端子として設定 PB5 を TXD2-A 端子として設定 1 : P80 を RXD2-B 端子として設定 P82 を SCK2-B 端子として設定 P81 を TXD2-B 端子として設定	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFFSCI レジスタは、SCI の端子を選択するレジスタです。

SCI2S ビット (SCI2 入出力端子選択ビット)

SCI チャネル 2 の入出力端子を選択します。

15.2.2.10 ポートファンクションレジスタ G (PFGSPI)

アドレス 0008 C110h

b7	b6	b5	b4	b3	b2	b1	b0
SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	RSPCKE	RSPCK出力許可ビット	0 : RSPCK 端子無効 1 : RSPCK 端子有効	R/W
b2	MOSIE	MOSI出力許可ビット	0 : MOSI 端子無効 1 : MOSI 端子有効	R/W
b3	MISOE	MISO出力許可ビット	0 : MISO 端子無効 1 : MISO 端子有効	R/W
b4	SSL0E	SSL0出力許可ビット	0 : SSL0 端子無効 1 : SSL0 端子有効	R/W
b5	SSL1E	SSL1出力許可ビット	0 : SSL1 端子無効 1 : SSL1 端子有効	R/W
b6	SSL2E	SSL2出力許可ビット	0 : SSL2 端子無効 1 : SSL2 端子有効	R/W
b7	SSL3E	SSL3出力許可ビット	0 : SSL3 端子無効 1 : SSL3 端子有効	R/W

PFGSPI レジスタは、RSPI に関する入出力端子を設定するレジスタです。

RSPCKE ビット (RSPCK 出力許可ビット)

RSPCK 端子の出力許可／禁止を選択します。RSPCK 端子を使用する場合は、“1”にしてください。

MOSIE ビット (MOSI 出力許可ビット)

MOSI 端子の出力許可／禁止を選択します。MOSI 端子を使用する場合は、“1”にしてください。

MISOE ビット (MISO 出力許可ビット)

MISO 端子の出力許可／禁止を選択します。MISO 端子を使用する場合は、“1”にしてください。

SSL0E ビット (SSL0 出力許可ビット)

SSL0 端子の出力許可／禁止を選択します。SSL0 端子を使用する場合は、“1”にしてください。

SSL1E ビット (SSL1 出力許可ビット)

SSL1 端子の出力許可／禁止を選択します。SSL1 端子を使用する場合は、“1”にしてください。

SSL2E ビット (SSL2 出力許可ビット)

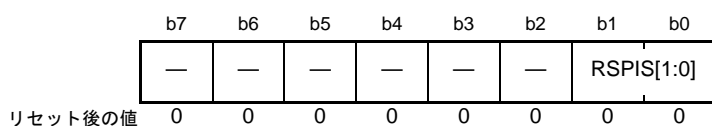
SSL2 端子の出力許可／禁止を選択します。SSL2 端子を使用する場合は、“1”にしてください。

SSL3E ビット (SSL3 出力許可ビット)

SSL3 端子の出力許可／禁止を選択します。SSL3 端子を使用する場合は、“1”にしてください。

15.2.2.11 ポートファンクションレジスタ H (PFHSPI)

アドレス 0008 C111h



ビット	シンボル	ビット名	機能	R/W
b1-b0	RSPIS[1:0]	RSPI端子選択ビット	b1 b0 0 0 : P22をMISO-A端子として設定 P23をMOSI-A端子として設定 P24をRSPCK-A端子として設定 P30をSSL0-A端子として設定 P31をSSL1-A端子として設定 P32をSSL2-A端子として設定 P33をSSL3-A端子として設定 0 1 : PA5をMISO-B端子として設定 PB0をMOSI-B端子として設定 PA4をRSPCK-B端子として設定 PA3をSSL0-B端子として設定 PA2をSSL1-B端子として設定 PA1をSSL2-B端子として設定 PA0をSSL3-B端子として設定 1 0 : PD1をMISO-C端子として設定 PD2をMOSI-C端子として設定 PD0をRSPCK-C端子として設定 PD6をSSL0-C端子として設定 PD7をSSL1-C端子として設定 PE0をSSL2-C端子として設定 PE1をSSL3-C端子として設定 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFHSPI レジスタは、RSPI に関する入出力端子の設定するレジスタです。

RSPIS[1:0] ビット (RSPI 端子選択ビット)

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを“1”にしている端子は選択されますが、許可ビットを“0”にしている端子は選択されません。

15.2.2.12 ポートファンクションレジスタ J (PFJCAN)

アドレス 0008 C113h

b7	b6	b5	b4	b3	b2	b1	b0
CANS[1:0]	—	—	—	—	—	—	CANE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CANE	CAN 端子許可ビット	0 : CTX端子およびCRX端子無効 1 : CTX端子およびCRX端子有効	R/W
b5-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CANS[1:0]	CAN 端子選択ビット	b7 b6 0 0 : PB5 を CTX-A 端子として設定 PB6 を CRX-A 端子として設定 0 1 : P23 を CTX-B 端子として設定 P22 を CRX-B 端子として設定 1 0 : PE0 を CRX-C 端子として設定 PD7 を CTX-C 端子として設定 1 1 : 設定しないでください	R/W

PFJCAN レジスタは、CAN に関する入出力端子を設定するレジスタです。

CANE ビット (CAN 端子許可ビット)

CAN 端子の許可/禁止を選択します。CAN を使用する場合は、“1”にしてください。

CANS[1:0] ビット (CAN 端子選択ビット)

CAN の入出力端子を選択します。

15.2.2.13 ポートファンクションレジスタ K (PFKLIN)

アドレス 0008 C114h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LINE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LINE	LIN端子許可ビット	0 : LTX端子およびLRX端子無効 1 : LTX端子およびLRX端子有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFKLINレジスタは、LINに関する入出力端子を設定するレジスタです。

LINE ビット (LIN 端子許可ビット)

LIN端子の許可/禁止を選択します。LINを使用する場合は、“1”にしてください。

15.2.2.14 ポートファンクションレジスタ M (PFMPOE)

アドレス 0008 C116h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE11E	POE10E	POE8E	POE4E	POE0E
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE0E	POE0#入力許可ビット	0 : I/Oポートとして設定 1 : POEn#入力端子として設定 (n=0、4、8、10、11)	R/W (注1)
b1	POE4E	POE4#入力許可ビット		R/W (注1)
b2	POE8E	POE8#入力許可ビット		R/W (注1)
b3	POE10E	POE10#入力許可ビット		R/W (注1)
b4	POE11E	POE11#入力許可ビット		R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFMPOEレジスタは、POEn#入力端子の許可/禁止を選択するレジスタです。

システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。書き込みはリセットスタート後の最初の1回目のみ有効です。

POEnE ビット (POEn# 入力許可ビット) (n = 0、4、8、10、11)

対応する POEn# 入力の許可/禁止を選択します。

POEn#を使用する場合には、対応する POEnE ビットを“1”にしてください。

15.2.2.15 ポートファンクションレジスタ N (PFNPOE)

アドレス 0008 C117h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE10 S	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	POE10S	POE10#入力選択ビット	0 : PE2 を POE10#-A入力端子として設定 1 : PE4 を POE10#-B入力端子として設定	R/W (注1)

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFNPOE レジスタは、POEn# 入力端子の許可/禁止を選択するレジスタです。

システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。書き込みはリセットスタート後の最初の1回目のみ有効です。

POE10S ビット (POE10# 入力選択ビット)

POE10# の入力端子を選択します。

15.2.3 ポートの設定

各周辺モジュールの端子を有効に設定すると、各ポートの設定が切り替わります。

入力として機能する端子は、各周辺モジュールの設定により独立して設定できます。ポートレジスタリード、NMI および POEn# 端子入力を除き、入力バッファコントロールレジスタ (PORTn.ICR) の対応するビットを“1”にして入力バッファを有効にする必要があります。

出力および入出力として機能する端子は、各周辺モジュールの端子ごとに出力信号を有効に設定する必要があります。同じポートにマルチプレクスされている各周辺モジュールの出力信号有効設定が競合すると周辺モジュールのポートマルチプレクス優先順位に従って、優先される周辺モジュールの機能が有効になります。

表 15.12 に周辺モジュールのポートマルチプレクス優先順位一覧を示します。

表 15.12 周辺モジュールのポートマルチプレクス優先順位一覧 (100ピンLQFP)

優先順位	モジュール名	出力端子名	
高 ↑ 低	1	RSPI	RSPCK、MOSI、MISO、SSL0～SSL3
	2	CAN	CTX
	3	LIN	LTX
	4	MTU0～MTU7	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、MTIOC2B、MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D
	5	GPT0～GPT3	GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B
	6	SCI0～SCI2	SCK0～SCK2、TXD0～TXD2
	7	RIIC	SCL、SDA
	8	IOPORT	P10～P11、P20～P24、P30～P33、P70～P76、P80～P82、P90～P96、PA0～PA5、PB0～PB7、PD0～PD7、PE0～PE1、PE3～PE5

15.2.4 出力許可設定一覧

表 15.13 に各ポートの出力許可設定一覧を示します。

当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

また、各周辺モジュールの端子名の末尾に A ~ C のいずれかが付いている端子は、ポートファンクションレジスタによって端子機能を変更できます。

表 15.13 各ポートの出力許可設定一覧 (100ピンLQFP) (1/4)

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P10	PORT1	P10		PORT1.DDR.B0=1
P11	PORT1	P11		PORT1.DDR.B1=1
P20	PORT2	P20		PORT2.DDR.B0=1
P21	PORT2	P21		PORT2.DDR.B1=1
P22	RSPI	MISO-A	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P22		PORT2.DDR.B2 = 1
P23	RSPI	MOSI-A	PFGSPI.MOSIE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	CAN	CTX-B	PFJCAN.CANE =1 PFJCAN.CANS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	LIN	LTX	PFKLIN.LINE=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT2	P23		PORT2.DDR.B3 =1
P24	RSPI	RSPCK-A	PFGSPI.RSPCKE =1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P24		PORT2.DDR.B4=1
P30	RSPI	SSL0-A	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0B-B	PFCMTU.MTUS1=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P30		PORT3.DDR.B0=1
P31	RSPI	SSL1-A	PFGSPI.SSL1E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0A-B	PFCMTU.MTUS0=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P31		PORT3.DDR.B1=1
P32	RSPI	SSL2-A	PFGSPI.SSL2E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3C		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P32		PORT3.DDR.B2=1
P33	RSPI	SSL3-A	PFGSPI.SSL3E =1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3A		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P33		PORT3.DDR.B3=1
P70	PORT7	P70		PORT7.DDR.B0=1
P71	MTU3	MTIOC3B		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P71		PORT7.DDR.B1=1
P72	MTU4	MTIOC4A		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P72		PORT7.DDR.B2=1

表 15.13 各ポートの出力許可設定一覧 (100ピンLQFP) (2 / 4)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P73	MTU4	MTIOC4B		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P73		PORT7.DDR.B3=1
P74	MTU3	MTIOC3D		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P74		PORT7.DDR.B4=1
P75	MTU4	MTIOC4C		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P75		PORT7.DDR.B5=1
P76	MTU4	MTIOC4D		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P76		PORT7.DDR.B6=1
P80	PORT8	P80		PORT8.DDR.B0=1
P81	SCI2	TXD2-B	PFFSCI.SCI2S=1	SCI2.SCR.TE=1
	PORT8	P81		PORT8.DDR.B1=1
P82	SCI2	SCK2-B	PFFSCI.SCI2S=1	SCI2.SCMR.SMIF=1のとき： SMR.GM=0, SCR.CKE[1:0]=01かSMR.GM=1 で、SCR.TE=1かSCR.RE=1 SCI2.SCMR.SMIF=0のとき： SMR.CM = 0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE =1かSCR.RE=1
	PORT8	P82		PORT8.DDR.B2=1
P90	MTU7	MTIOC7D		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P90		PORT9.DDR.B0=1
P91	MTU7	MTIOC7C		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P91		PORT9.DDR.B1=1
P92	MTU6	MTIOC6D		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P92		PORT9.DDR.B2=1
P93	MTU7	MTIOC7B		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P93		PORT9.DDR.B3=1
P94	MTU7	MTIOC7A		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P94		PORT9.DDR.B4=1
P95	MTU6	MTIOC6B		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P95		PORT9.DDR.B5=1
P96	PORT9	P96		PORT9.DDR.B6=1
PA0	RSPI	SSL3-B	PFGSPI.SSL3E=1 PFHSPi.RSPIS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6C		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA0		PORTA.DDR.B0=1
PA1	RSPI	SSL2-B	PFGSPI.SSL2E=1 PFHSPi.RSPIS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	MTU6	MTIOC6A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA1		PORTA.DDR.B1=1
PA2	RSPI	SSL1-B	PFGSPI.SSL1E=1 PFHSPi.RSPIS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	MTU2	MTIOC2B		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA2		PORTA.DDR.B2=1

表 15.13 各ポートの出力許可設定一覧 (100ピンLQFP) (3 / 4)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PA3	RSPI	SSL0-B	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU2	MTIOC2A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA3		PORTA.DDR.B3=1
PA4	RSPI	RSPCK-B	PFGSPI.RSPCKE=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU1	MTIOC1B		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA4		PORTA.DDR.B4=1
PA5	RSPI	MISO-B	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU1	MTIOC1A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA5		PORTA.DDR.B5=1
PB0	RSPI	MOSI-B	PFGSPI.MOSIE=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0D		(信号出力状態は周辺モジュールの設定に従います)
	PORTB	PB0		PORTB.DDR.B0=1
PB1	MTU0	MTIOC0C		(信号出力状態は周辺モジュールの設定に従います)
	RIIC	SCL		RIIC.ICCR1.ICE=1
	PORTB	PB1		PORTB.DDR.B1=1
PB2	MTU0	MTIOC0B-A	PFCMTU.MTUS1=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	TXD0		SCI0.SCR.TE=1
	RIIC	SDA		RIIC.ICCR1.ICE=1
	PORTB	PB2		PORTB.DDR.B2=1
PB3	MTU0	MTIOC0A-A	PFCMTU.MTUS0=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	SCK0		SCI0.SCMR.SMIF=1のとき： SMR.GM=0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI0.SCMR.SMIF=0のとき： SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB3		PORTB.DDR.B3=1
PB4	PORTB	PB4		PORTB.DDR.B4=1
PB5	CAN	CTX-A	PFJCAN.CANE = 1 PFJCAN.CANS[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	TXD2-A	PFFSCI.SCI2S = 0	SCI2.SCR.TE=1
	PORTB	PB5		PORTB.DDR.B5=1
PB6	PORTB	PB6		PORTB.DDR.B6=1
PB7	SCI2	SCK2-A	PFFSCI.SCI2S=0	SCI2.SCMR.SMIF =1のとき： SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI2.SCMR.SMIF=0のとき： SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB7		PORTB.DDR.B7=1
PD0	RSPI	RSPCK-C	PFGSPI.RSPCKE=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT3	GTIOC3B		(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD0		PORTD.DDR.B0=1

表 15.13 各ポートの出力許可設定一覧 (100ピンLQFP) (4 / 4)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PD1	RSPI	MISO-C	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT3	GTIOC3A		(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD1		PORTD.DDR.B1=1
PD2	RSPI	MOSI-C	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT2	GTIOC2B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD2		PORTD.DDR.B2=1
PD3	GPT2	GTIOC2A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	TXD1		SCI1.SCR.TE=1
	PORTD	PD3		PORTD.DDR.B3=1
PD4	GPT1	GTIOC1B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	SCK1		SCI1.SCMR.SMIF=1のとき： SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI1.SCMR.SMIF=0のとき： SMR.CM = 0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTD	PD4		PORTD.DDR.B4=1
PD5	GPT1	GTIOC1A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD5		PORTD.DDR.B5=1
PD6	RSPI	SSL0-C	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT0	GTIOC0B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD6		PORTD.DDR.B6=1
PD7	RSPI	SSL1-C	PFGSPI.SSL1E=1 PFHSPI.RSPIS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	CAN	CTX-C	PFJCAN.CANE=1 PFJCAN.CANS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD7		PORTD.DDR.B7=1
PE0	RSPI	SSL2-C	PFGSPI.SSL2E=1 PFHSPI.RSPIS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE0		PORTE.DDR.B0=1
PE1	RSPI	SSL3-C	PFGSPI.SSL3E=1 PFHSPI.RSPIS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	PORTE	PE1		PORTE.DDR.B1=1
PE3	PORTE	PE3		PORTE.DDR.B3=1
PE4	PORTE	PE4		PORTE.DDR.B4=1
PE5	PORTE	PE5		PORTE.DDR.B5=1

15.2.5 未使用端子の処理

表 15.14 に未使用端子の処理内容を示します。

表 15.14 未使用端子の処理内容 (100ピンLQFP)

端子名	処理内容
EMLE	抵抗を介してVSSに接続 (プルダウン)
MD1、MD0	(モード端子として必ず使用)
MDE	(モード端子として必ず使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
PE2/NMI/POE10#-A	抵抗を介してVCCに接続 (プルアップ)
EXTAL	(クロック端子として必ず使用)
XTAL	端子を開放
ポート1~3、7~9、 A、B、D、E	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
ポート4	<ul style="list-style-type: none"> 端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または抵抗を介してAVSS0に接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
ポート5~6	<ul style="list-style-type: none"> 端子ごとに抵抗を介してAVCCに接続 (プルアップ)、または抵抗を介してAVSSに接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
VREF	AVCCに接続

注1. PORTn.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

15.3 80ピンLQFP I/Oポート

RX62Tグループの80ピンLQFPのI/Oポートは、ポート1～4、6、7、9、A、B、D、Eの11ポートから構成され、入出力ポートを44本備えています。

15.3.1 概要

表 15.15 に I/O ポートの仕様を、表 15.16 にポート機能一覧を示します。

表 15.15 I/Oポートの仕様 (80ピンLQFP)

項目	内容
入出力端子	44本
入力端子	13本
ポート	11ポート (1～4、6、7、9、A、B、D、E)
オープンドレイン出力	2本 (RIIC端子)
大電流出力	6本 (MTU3端子、GPT端子)
シュミットトリガ入力端子	全ポート入力、CAN入力、IRQ入力、MTU3入力、POE3入力、RIIC入力、SCI入力、A/Dトリガ入力、NMI入力、GPT入力、LIN入力
その他	<ul style="list-style-type: none"> • 1個のTTL負荷と30pFの容量負荷を駆動可能 • 出力時にダーリントントランジスタを駆動 • 常に端子の状態を読み出すことが可能

表 15.16 ポート機能一覧 (1 / 2) (80ピンLQFP)

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポート1	MTU3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	P10	MTCLKD-B/IRQ0-A		—	全入力機能	—	—
		1	P11	MTCLKC-B/IRQ1-A			全入力機能		
ポート2	MTU3入力、 割り込み入力、 A/Dコンバータ入 力、RSPI入出力、 LIN入出力、 CAN入出力 と兼用の汎用入出力 ポート	0	P20	MTCLKB-B/IRQ7/ ADTRG0#-B		—	全入力機能	—	—
		1	P21	MTCLKA-B/IRQ6/ ADTRG1#-B			全入力機能		
		2	P22/MISO-A	LRX/CRX-B/ ADTRG#		MISO-A	P22/LRX/CRX-B/ ADTRG#		
		3	P23/MOSI-A		LTX/CTX-B	MOSI-A	P23		
		4	P24/RSPCK-A			RSPCK-A	P24		
ポート3	MTU3入出力、 RSPI入出力 と兼用の汎用入出力 ポート	0	P30/MTIOC0B-B/ SSL0-A	MTCLKD-A		SSL0-A	P30/MTIOC0B- B/ MTCLKD-A	—	—
		1	P31/MTIOC0A-B	MTCLKC-A	SSL1-A	—	全入力機能		
		2	P32/MTIOC3C	MTCLKB-A	SSL2-A		全入力機能		
		3	P33/MTIOC3A	MTCLKA-A	SSL3-A		全入力機能		
ポート4	A/Dコンバータ入力 と兼用の汎用入力 ポート	0		P40/AN000		—	P40	—	—
		1		P41/AN001			P41		
		2		P42/AN002			P42		
		3		P43/AN003/ CVREFL			P43		
		4		P44/AN100			P44		
		5		P45/AN101			P45		
		6		P46/AN102			P46		
		7		P47/AN103/ CVREFH			P47		
ポート6	A/Dコンバータ入力 と兼用の汎用入力 ポート	0		P60/AN0		—	P60	—	—
		1		P61/AN1			P61		
		2		P62/AN2			P62		
		3		P63/AN3			P63		
ポート7	POE3入力、 割り込み入力、 MTU3入出力、 GPT入出力 と兼用の汎用入出力 ポート	0	P70	POE0#/IRQ5		—	全入力機能	—	—
		1	P71/MTIOC3B/ GTIOC0A-A				全入力機能		○
		2	P72/MTIOC4A/ GTIOC1A-A				全入力機能		○
		3	P73/MTIOC4B/ GTIOC2A-A				全入力機能		○
		4	P74/MTIOC3D/ GTIOC0B-A				全入力機能		○
		5	P75/MTIOC4C/ GTIOC1B-A				全入力機能		○
		6	P76/MTIOC4D/ GTIOC2B-A				全入力機能		○

表 15.16 ポート機能一覧 (2 / 2) (80ピンLQFP)

ポート	概要	ピ ツ ト	機 能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポート9	MTU3入出力、 POE3入力、 割り込み入力 と兼用の汎用入出力 ポート	1	P91/MTIOC7C			—	全入力機能	—	—
		2	P92/MTIOC6D				全入力機能		
		3	P93/MTIOC7B				全入力機能		
		4	P94/MTIOC7A				全入力機能		
		5	P95/MTIOC6B				全入力機能		
		6	P96	POE4#/IRQ4			全入力機能		
ポートA	MTU3入出力、 RSPI入出力、 A/Dコンバータ入 力、 と兼用の汎用入出力 ポート	2	PA2/MTIOC2B		SSL1-B	—	全入力機能	—	—
		3	PA3/MTIOC2A/ SSL0-B			SSL0-B	PA3/MTIOC2A		
		4	PA4/MTIOC1B/ RSPCK-B	ADTRG0#-A		RSPCK-B	PA4/MTIOC1B/ ADTRG0#-A		
		5	PA5/MTIOC1A/ MISO-B	ADTRG1#-A		MISO-B	PA5/MTIOC1A/ ADTRG1#-A		
ポートB	MTU3入出力、 RSPI入出力、 RIIC入出力、 SCI入出力、 GPT入力、 POE3入力、 割り込み入力、 CAN入出力、 と兼用の汎用入出力 ポート	0	PB0/MTIOC0D/ MOSI-B			MOSI-B	PB0/MTIOC0D	—	—
		1	PB1/MTIOC0C/ SCL	RXD0		—	全入力機能	○ (SCLのみ)	—
		2	PB2/MTIOC0B-A/ SDA		TXD0		全入力機能	○ (SDAのみ)	—
		3	PB3/MTIOC0A-A/ SCK0				全入力機能	—	—
		4	PB4	GTETR/ POE8#/IRQ3			全入力機能		
		5	PB5		TXD2-A/ CTX-A/		全入力機能		
		6	PB6	RXD2-A/CRX-A			全入力機能		
		7	PB7/SCK2-A				全入力機能		
ポートD	GPT入出力、 SCI入出力、 CAN出力、 オンチップエミュ レータ入出力 と兼用の汎用入出力 ポート	3	PD3/GTIOC2A-B		TXD1/TDO	—	全入力機能	—	—
		4	PD4/GTIOC1B-B/ SCK1	TCK		—	全入力機能		
		5	PD5/GTIOC1A-B	RXD1/TDI		—	全入力機能		
		6	PD6/GTIOC0B-B	TMS			全入力機能		
		7	PD7/GTIOC0A-B	TRST#	CTX-C	—	全入力機能		
ポートE	CAN入力、 POE3入力、 MTU3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	PE0	CRX-C		—	全入力機能	—	—
		2		PE2/POE10#-A/ NMI			全入力機能		
		3	PE3	MTCLKD-C/ POE11#/IRQ2-A			全入力機能		
		4	PE4	MTCLKC-C/ POE10#-B/ IRQ1-B			全入力機能		

15.3.2 レジスタの説明

表 15.17 に I/O ポートのレジスタ一覧を示します。表 15.18 に各レジスタの有効ビット一覧を示します。

表 15.17 I/Oポートのレジスタ一覧 (1/2) (80ピンLQFP)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
PORT2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
PORT3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
PORT4	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
PORT6	ポートレジスタ	PORT	不定	0008 C046h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C066h	8
PORT7	データディレクションレジスタ	DDR	00h	0008 C007h	8
	データレジスタ	DR	00h	0008 C027h	8
	ポートレジスタ	PORT	不定	0008 C047h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C067h	8
PORT9	データディレクションレジスタ	DDR	00h	0008 C009h	8
	データレジスタ	DR	00h	0008 C029h	8
	ポートレジスタ	PORT	不定	0008 C049h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C069h	8
PORTA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
PORTB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
PORTD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8
PORTE	データディレクションレジスタ	DDR	00h	0008 C00Eh	8
	データレジスタ	DR	00h	0008 C02Eh	8
	ポートレジスタ	PORT	不定	0008 C04Eh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Eh	8

表 15.17 I/Oポートのレジスタ一覧 (2 / 2) (80ピンLQFP)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
IOPORT	ポートファンクションレジスタ 8	PF8IRQ	00h	0008 C108h	8
	ポートファンクションレジスタ A	PFAADC	00h	0008 C10Ah	8
	ポートファンクションレジスタ C	PFCMTU	00h	0008 C10Ch	8
	ポートファンクションレジスタ D	PFDGPT	00h	0008 C10Dh	8
	ポートファンクションレジスタ G	PFGSPI	00h	0008 C110h	8
	ポートファンクションレジスタ H	PFHSPI	00h	0008 C111h	8
	ポートファンクションレジスタ J	PFJCAN	00h	0008 C113h	8
	ポートファンクションレジスタ K	PFKLIN	00h	0008 C114h	8
	ポートファンクションレジスタ M	PFMPOE	00h	0008 C116h	8
	ポートファンクションレジスタ N	PFNPOE	00h	0008 C117h	8

表 15.18 各レジスタの有効ビット一覧 (1/2) (80ピンLQFP)

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT1.DDR	x	x	x	x	x	x	○	○
PORT2.DDR	x	x	x	○	○	○	○	○
PORT3.DDR	x	x	x	x	○	○	○	○
PORT7.DDR	x	○	○	○	○	○	○	○
PORT9.DDR	x	○	○	○	○	○	○	x
PORTA.DDR	x	x	○	○	○	○	x	x
PORTB.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	x	x	x
PORTE.DDR	x	x	x	○	○	x	x	○
PORT1.DR	x	x	x	x	x	x	○	○
PORT2.DR	x	x	x	○	○	○	○	○
PORT3.DR	x	x	x	x	○	○	○	○
PORT7.DR	x	○	○	○	○	○	○	○
PORT9.DR	x	○	○	○	○	○	○	x
PORTA.DR	x	x	○	○	○	○	x	x
PORTB.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	x	x	x
PORTE.DR	x	x	x	○	○	x	x	○
PORT1.PORT	x	x	x	x	x	x	○	○
PORT2.PORT	x	x	x	○	○	○	○	○
PORT3.PORT	x	x	x	x	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT6.PORT	x	x	x	x	○	○	○	○
PORT7.PORT	x	○	○	○	○	○	○	○
PORT9.PORT	x	○	○	○	○	○	○	x
PORTA.PORT	x	x	○	○	○	○	x	x
PORTB.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	x	x	x
PORTE.PORT	x	x	x	○	○	○	x	○
PORT1.ICR	x	x	x	x	x	x	○	○
PORT2.ICR	x	x	x	○	○	○	○	○
PORT3.ICR	x	x	x	x	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT6.ICR	x	x	x	x	○	○	○	○
PORT7.ICR	x	○	○	○	○	○	○	○
PORT9.ICR	x	○	○	○	○	○	○	x
PORTA.ICR	x	x	○	○	○	○	x	x
PORTB.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	x	x	x
PORTE.ICR	x	x	x	○	○	x	x	○
IOPORT.PF8IRQ	x	x	x	x	○	○	○	○
IOPORT.PFAADC	x	x	x	x	x	x	○	○
IOPORT.PFCMTU	○	○	x	x	x	x	○	○
IOPORT.PFDGPT	x	x	x	x	x	x	x	○

表 15.18 各レジスタの有効ビット一覧 (2 / 2) (80ピンLQFP)

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
IOPORT.PFGSPI	○	○	○	○	○	○	○	×
IOPORT.PFHSPI	×	×	×	×	×	×	○	○
IOPORT.PFJCAN	○	○	×	×	×	×	×	○
IOPORT.PFKLIN	×	×	×	×	×	×	×	○
IOPORT.PFMPOE	×	×	×	○	○	○	○	○
IOPORT.PFNPOE	○	×	×	×	×	×	×	×

○ : 有効ビット、× : 無効ビット (予約ビット)

15.3.2.1 データディレクションレジスタ (DDR)

アドレス PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h、PORT7.DDR 0008 C007h、
PORT9.DDR 0008 C009h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh、PORTD.DDR 0008 C00Dh、
PORTE.DDR 0008 C00Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DDRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.DDRは、下位5ビットが有効で、上位3ビットは予約ビットです。
PORT3.DDRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.DDRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT9.DDRは、b6～b1が有効で、b7、b0は予約ビットです。
PORTA.DDRは、b5～b2が有効で、b7、b6、b1、b0は予約ビットです。
PORTD.DDRは、上位5ビットが有効で、下位3ビットは予約ビットです。
PORTE.DDRは、b4、b3、b0が有効で、b7～b5、b2、b1は予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力/出力指定ビット	0: 入力ポート 1: 出力ポート	R/W
b1	B1	Pn1入力/出力指定ビット		R/W
b2	B2	Pn2入力/出力指定ビット		R/W
b3	B3	Pn3入力/出力指定ビット		R/W
b4	B4	Pn4入力/出力指定ビット		R/W
b5	B5	Pn5入力/出力指定ビット		R/W
b6	B6	Pn6入力/出力指定ビット		R/W
b7	B7	Pn7入力/出力指定ビット		R/W

n = 1～3、7、9、A、B、D、E

PORTn.DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTn.DDR レジスタ (n = 1～3、7、9、A、B、D、E) の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

15.3.2.2 データレジスタ (DR)

アドレス PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h、PORT7.DR 0008 C027h、
PORT9.DR 0008 C029h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh、PORTD.DR 0008 C02Dh、
PORTE.DR 0008 C02Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.DRは、下位5ビットが有効で、上位3ビットは予約ビットです。
PORT3.DRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.DRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT9.DRは、b6～b1が有効で、b7、b0は予約ビットです。
PORTA.DRは、b5～b2が有効で、b7、b6、b1、b0は予約ビットです。
PORTD.DRは、上位5ビットが有効で、下位3ビットは予約ビットです。
PORTE.DRは、b4、b3、b0が有効で、b7～b5、b2、b1は予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pn1出力データ格納ビット		R/W
b2	B2	Pn2出力データ格納ビット		R/W
b3	B3	Pn3出力データ格納ビット		R/W
b4	B4	Pn4出力データ格納ビット		R/W
b5	B5	Pn5出力データ格納ビット		R/W
b6	B6	Pn6出力データ格納ビット		R/W
b7	B7	Pn7出力データ格納ビット		R/W

n = 1～3、7、9、A、B、D、E

PORTn.DR レジスタ (n = 1～3、7、9、A、B、D、E) は、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

15.3.2.3 ポートレジスタ (PORT)

アドレス PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0008 C043h、PORT4.PORT 0008 C044h、PORT6.PORT 0008 C046h、PORT7.PORT 0008 C047h、PORT9.PORT 0008 C049h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 X X X X X X X X

- 注1. PORT1.PORTは、下位2ビットが有効で、上位6ビットは予約ビットです。
 PORT2.PORTは、下位5ビットが有効で、上位3ビットは予約ビットです。
 PORT3.PORTは、下位4ビットが有効で、上位4ビットは予約ビットです。
 PORT6.PORTは、下位4ビットが有効で、上位4ビットは予約ビットです。
 PORT7.PORTは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORT9.PORTは、b6～b1が有効で、b7、b0は予約ビットです。
 PORTA.PORTは、b5～b2が有効で、b7、b6、b1、b0は予約ビットです。
 PORTD.PORTは、上位5ビットが有効で、下位3ビットは予約ビットです。
 PORTE.PORTは、b4～b2、b0が有効で、b7～b5、b1は予約ビットです。
- 注2. 予約ビットは、読むと“1”が読めます。書き込みは無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0ビット	ポートの端子状態を反映	R
b1	B1	Pn1ビット		R
b2	B2	Pn2ビット		R
b3	B3	Pn3ビット		R
b4	B4	Pn4ビット		R
b5	B5	Pn5ビット		R
b6	B6	Pn6ビット		R
b7	B7	Pn7ビット		R

n = 1 ~ 4、6、7、9、A、B、D、E

PORT レジスタは、ポートの端子の状態を反映するレジスタです。

PORTn.PORT レジスタ (n = 1 ~ 4、6、7、9、A、B、D、E) を読むと、端子の状態が読み出されます。

15.3.2.4 入力バッファコントロールレジスタ (ICR)

アドレス PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h、PORT4.ICR 0008 C064h、
PORT6.ICR 0008 C066h、PORT7.ICR 0008 C067h、PORT9.ICR 0008 C069h、PORTA.ICR 0008 C06Ah、
PORTB.ICR 0008 C06Bh、PORTD.ICR 0008 C06Dh、PORTE.ICR 0008 C06Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.ICRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.ICRは、下位5ビットが有効で、上位3ビットは予約ビットです。
PORT3.ICRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT6.ICRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.ICRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT9.ICRは、b6～b1が有効で、b7、b0は予約ビットです。
PORTA.ICRは、b5～b2が有効で、b7、b6、b1、b0は予約ビットです。
PORTD.ICRは、上位5ビットが有効で、下位3ビットは予約ビットです。
PORTE.ICRは、b4、b3、b0が有効で、b7～b5、b2、b1は予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0 (注1)	Pn0入力バッファ制御ビット	0: 対応する端子の入力バッファは無効 1: 対応する端子の入力バッファは有効	R/W
b1	B1 (注1)	Pn1入力バッファ制御ビット		R/W
b2	B2 (注1)	Pn2入力バッファ制御ビット		R/W
b3	B3 (注1)	Pn3入力バッファ制御ビット		R/W
b4	B4 (注1)	Pn4入力バッファ制御ビット		R/W
b5	B5 (注1)	Pn5入力バッファ制御ビット		R/W
b6	B6 (注1)	Pn6入力バッファ制御ビット		R/W
b7	B7 (注1)	Pn7入力バッファ制御ビット		R/W

n = 1 ~ 4、6、7、9、A、B、D、E

- 注1. 入力端子として使用する場合は、対応するビットを“1”にしてください。入力として使用しない端子、およびアナログ入力端子として使用するビットは、“0”にしてください。

PORTn.ICR レジスタは、ポートの入力バッファを制御するレジスタです。

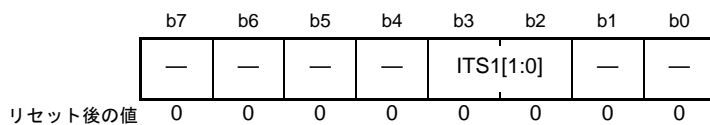
PORTn.ICR レジスタ (n = 1 ~ 4、6、7、9、A、B、D、E) の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

周辺モジュールの入力端子として使用する場合は、あらかじめ対応する端子の入力バッファを有効にするために PORTn.ICR を“1”にする必要があります。PORTn.ICR を“0”にした状態のまま周辺モジュールの入力端子として使用した場合は、周辺モジュールへの入力信号は High に固定されます。

PORTn.ICR レジスタの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。PORTn.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQi(i=0~7) 入力の場合、当該割り込みを禁止した状態で PORTn.ICR レジスタの設定の変更を行い、割り込みコントローラの IRi.IR フラグ (i = 64 ~ 71 (IRQ の割り込みベクタ番号)) を“0”にし、その後当該割り込みを許可してください。PORTn.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

15.3.2.5 ポートファンクションレジスタ 8 (PF8IRQ)

アドレス 0008 C108h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	ITS1[1:0]	IRQ1端子選択ビット	b3 b2 00 : P11をIRQ1-A入力端子として設定 01 : PE4をIRQ1-B入力端子として設定 10 : 予約 11 : 予約	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PF8IRQ レジスタは、IRQ1 入力端子を選択するレジスタです。

ITS1 ビット (IRQ1 端子選択ビット)

IRQ1 の入力端子を選択します。

15.3.2.6 ポートファンクションレジスタ A (PFAADC)

アドレス 0008 C10Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ADTRG 1S	ADTRG 0S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRG0S	ADTRG0#入力選択ビット	0 : PA4をADTRG0#-A入力端子として設定 1 : P20をADTRG0#-B入力端子として設定	R/W
b1	ADTRG1S	ADTRG1#入力選択ビット	0 : PA5をADTRG1#-A入力端子として設定 1 : P21をADTRG1#-B入力端子として設定	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

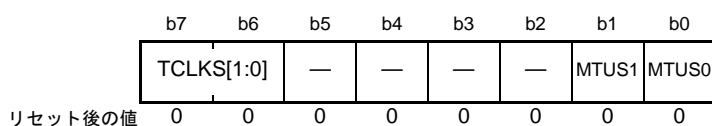
PFAADC レジスタは、ADTRG0#、ADTRG1# 端子を選択するレジスタです。

ADTRGnS ビット (ADTRGn# 入力選択ビット) (n=0、1)

ADTRGn# の入力端子を選択します。

15.3.2.7 ポートファンクションレジスタ C (PFCMTU)

アドレス 0008 C10Ch



ビット	シンボル	ビット名	機能	R/W
b0	MTUS0	MTU3端子選択0ビット	0 : PB3をMTIOC0A-A端子として選択 1 : P31をMTIOC0A-B端子として選択	R/W
b1	MTUS1	MTU3端子選択1ビット	0 : PB2をMTIOC0B-A端子として選択 1 : P30をMTIOC0B-B端子として選択	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b7-b6	TCLKS[1:0]	MTCLK端子選択ビット	b7 b6 0 0 : P33をMTCLKA-A端子として選択 P32をMTCLKB-A端子として選択 P31をMTCLKC-A端子として選択 P30をMTCLKD-A端子として選択 0 1 : P21をMTCLKA-B端子として選択 P20をMTCLKB-B端子として選択 P11をMTCLKC-B端子として選択 P10をMTCLKD-B端子として選択 1 0 : PE4をMTCLKC-C端子として選択 PE3をMTCLKD-C端子として選択 (MTCLKA端子およびMTCLKB端子は選択できません) 1 1 : 設定しないでください	R/W

PFCMTU レジスタは、MTU3 の端子を選択するレジスタです。

MTUS_i ビット (MTU3 端子選択ビット) (i = 0、1)

MTU3 の入出力端子を選択します。

TCLKS[1:0] ビット (MTCLK 端子選択ビット)

MTU3 の MTCLK 入力端子を選択します。

15.3.2.8 ポートファンクションレジスタ D (PFDGPT)

アドレス 0008 C10Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	GPTS
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPTS	GPT端子選択ビット	0 : P71 を GTIOC0A-A 端子として選択 P74 を GTIOC0B-A 端子として選択 P72 を GTIOC1A-A 端子として選択 P75 を GTIOC1B -A 端子として選択 P73 を GTIOC2A-A 端子として選択 P76 を GTIOC2B-A 端子として選択 1 : PD7 を GTIOC0A-B 端子として選択 PD6 を GTIOC0B-B 端子として選択 PD5 を GTIOC1A-B 端子として選択 PD4 を GTIOC1B-B 端子として選択 PD3 を GTIOC2A-B 端子として選択 (GTIOC2B-B 端子は選択できません)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFDGPT レジスタは、GPT の端子を選択するレジスタです。

GPTS ビット (GPT 入出力端子選択ビット)

GPT の入出力端子を選択します。

15.3.2.9 ポートファンクションレジスタ G (PFGSPI)

アドレス 0008 C110h

b7	b6	b5	b4	b3	b2	b1	b0
SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	RSPCKE	RSPCK出力許可ビット	0 : RSPCK 端子無効 1 : RSPCK 端子有効	R/W
b2	MOSIE	MOSI出力許可ビット	0 : MOSI 端子無効 1 : MOSI 端子有効	R/W
b3	MISOE	MISO出力許可ビット	0 : MISO 端子無効 1 : MISO 端子有効	R/W
b4	SSL0E	SSL0出力許可ビット	0 : SSL0 端子無効 1 : SSL0 端子有効	R/W
b5	SSL1E	SSL1出力許可ビット	0 : SSL1 端子無効 1 : SSL1 端子有効	R/W
b6	SSL2E	SSL2出力許可ビット	0 : SSL2 端子無効 1 : SSL2 端子有効	R/W
b7	SSL3E	SSL3出力許可ビット	0 : SSL3 端子無効 1 : SSL3 端子有効	R/W

PFGSPI レジスタは、RSPI に関する入出力端子を設定するレジスタです。

RSPCKE ビット (RSPCK 出力許可ビット)

RSPCK 端子の出力許可／禁止を選択します。RSPCK 端子を使用する場合は、“1”にしてください。

MOSIE ビット (MOSI 出力許可ビット)

MOSI 端子の出力許可／禁止を選択します。MOSI 端子を使用する場合は、“1”にしてください。

MISOE ビット (MISO 出力許可ビット)

MISO 端子の出力許可／禁止を選択します。MISO 端子を使用する場合は、“1”にしてください。

SSL0E ビット (SSL0 出力許可ビット)

SSL0 端子の出力許可／禁止を選択します。SSL0 端子を使用する場合は、“1”にしてください。

SSL1E ビット (SSL1 出力許可ビット)

SSL1 端子の出力許可／禁止を選択します。SSL1 端子を使用する場合は、“1”にしてください。

SSL2E ビット (SSL2 出力許可ビット)

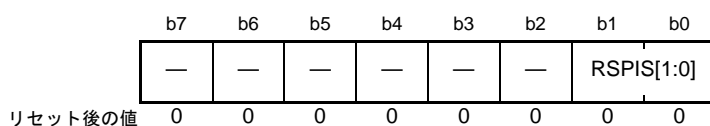
SSL2 端子の出力許可／禁止を選択します。SSL2 端子を使用する場合は、“1”にしてください。

SSL3E ビット (SSL3 出力許可ビット)

SSL3 端子の出力許可／禁止を選択します。SSL3 端子を使用する場合は、“1”にしてください。

15.3.2.10 ポートファンクションレジスタ H (PFHSPI)

アドレス 0008 C111h



ビット	シンボル	ビット名	機能	R/W
b1-b0	RSPIS[1:0]	RSPI端子選択ビット	b1 b0 0 0 : P22をMISO-A端子として設定 P23をMOSI-A端子として設定 P24をRSPCK-A端子として設定 P30をSSL0-A端子として設定 P31をSSL1-A端子として設定 P32をSSL2-A端子として設定 P33をSSL3-A端子として設定 0 1 : PA5をMISO-B端子として設定 PB0をMOSI-B端子として設定 PA4をRSPCK-B端子として設定 PA3をSSL0-B端子として設定 PA2をSSL1-B端子として設定 (SSL2端子およびSSL3端子は選択できません) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b2-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFHSPI レジスタは、RSPI に関する入出力端子を設定するレジスタです。

RSPIS[1:0] ビット (RSPI 端子選択ビット)

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを“1”にしている端子は選択されますが、許可ビットを“0”にしている端子は選択されません。

15.3.2.11 ポートファンクションレジスタ J (PFJCAN)

アドレス 0008 C113h

b7	b6	b5	b4	b3	b2	b1	b0
CANS[1:0]	—	—	—	—	—	—	CANE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CANE	CAN 端子許可ビット	0 : CTX 端子およびCRX 端子無効 1 : CTX 端子およびCRX 端子有効	R/W
b5-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CANS[1:0]	CAN 端子選択ビット	b7 b6 0 0 : PB5 を CTX-A 端子として設定 PB6 を CRX-A 端子として設定 0 1 : P23 を CTX-B 端子として設定 P22 を CRX-B 端子として設定 1 0 : PE0 を CRX-C 端子として設定 PD7 を CTX-C 端子として設定 1 1 : 設定しないでください	R/W

PFJCAN レジスタは、CAN に関する入出力端子を設定するレジスタです。

CANE ビット (CAN 端子許可ビット)

CAN 端子の許可/禁止を選択します。CAN を使用する場合は、“1”にしてください。

CANS[1:0] ビット (CAN 端子選択ビット)

CAN の入出力端子を選択します。

15.3.2.12 ポートファンクションレジスタ K (PFKLIN)

アドレス 0008 C114h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LINE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	LINE	LIN端子許可ビット	0 : LTX端子およびLRX端子無効 1 : LTX端子およびLRX端子有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFKLIN レジスタは、LIN に関する入出力端子を設定するレジスタです。

LINE ビット (LIN 端子許可ビット)

LIN 端子の許可/禁止を選択します。LIN を使用する場合は、“1”にしてください。

15.3.2.13 ポートファンクションレジスタ M (PFMPOE)

アドレス 0008 C116h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE11E	POE10E	POE8E	POE4E	POE0E

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	POE0E	POE0#入力許可ビット	0 : I/Oポートとして設定 1 : POEn#入力端子として設定 (n=0、4、8、10、11)	R/W (注1)
b1	POE4E	POE4#入力許可ビット		R/W (注1)
b2	POE8E	POE8#入力許可ビット		R/W (注1)
b3	POE10E	POE10#入力許可ビット		R/W (注1)
b4	POE11E	POE11#入力許可ビット		R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFMPOE レジスタは、POEn# 入力端子の許可/禁止を選択するレジスタです。

システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。書き込みはリセットスタート後の最初の1回目のみ有効です。

POEnE ビット (POEn# 入力許可ビット) (n = 0、4、8、10、11)

対応する POEn# 入力の許可/禁止を選択します。

POEn# を使用する場合には、対応する POEnE ビットを“1”にしてください。

15.3.2.14 ポートファンクションレジスタ N (PFNPOE)

アドレス 0008 C117h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE10 S	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	POE10S	POE10#入力選択ビット	0 : PE2 を POE10#-A入力端子として設定 1 : PE4 を POE10#-B入力端子として設定	R/W (注1)

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFNPOE レジスタは、POEn# 入力端子の許可／禁止を選択するレジスタです。

システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。書き込みはリセットスタート後の最初の1回目のみ有効です。

POE10S ビット (POE10# 入力選択ビット)

POE10# の入力端子を選択します。

15.3.3 ポートの設定

各周辺モジュールの端子を有効に設定すると、各ポートの設定が切り替わります。

入力として機能する端子は、各周辺モジュールの設定により独立して設定できます。ポートレジスタリード、NMI および POEn# 端子入力を除き、入力バッファコントロールレジスタ (PORTn.ICR) の対応するビットを“1”にして入力バッファを有効にする必要があります。

出力および入出力として機能する端子は、各周辺モジュールの端子ごとに出力信号を有効に設定する必要があります。同じポートにマルチプレクスされている各周辺モジュールの出力信号有効設定が競合すると周辺モジュールのポートマルチプレクス優先順位に従って、優先される周辺モジュールの機能が有効になります。

表 15.19 に周辺モジュールのポートマルチプレクス優先順位一覧を示します。

表 15.19 周辺モジュールのポートマルチプレクス優先順位一覧 (80ピンLQFP)

優先順位	モジュール名	出力端子名	
高 ↑ ↓ 低	1	RSPI	RSPCK、MOSI、MISO、SSL0～SSL3
	2	CAN	CTX
	3	LIN	LTX
	4	MTU0～MTU7	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、MTIOC2B、MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C
	5	GPT0～GPT3	GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B
	6	SCI0～SCI2	SCK0～SCK2、TXD0～TXD2
	7	RIIC	SCL、SDA
	8	IOPORT	P10～P11、P20～P24、P30～P33、P70～P76、P91～P96、PA2～PA5、PB0～PB7、PD3～PD7、PE0、PE3～PE4

15.3.4 出力許可設定一覧

表 15.20 に各ポートの出力許可設定一覧を示します。

当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

また、各周辺モジュールの端子名の末尾に A ~ C のいずれかが付いている端子は、ポートファンクションレジスタによって端子機能を変更できます。

表 15.20 各ポートの出力許可設定一覧 (80ピンLQFP) (1/3)

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P10	PORT1	P10		PORT1.DDR.B0=1
P11	PORT1	P11		PORT1.DDR.B1=1
P20	PORT2	P20		PORT2.DDR.B0=1
P21	PORT2	P21		PORT2.DDR.B1=1
P22	RSPI	MISO-A	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P22		PORT2.DDR.B2 = 1
P23	RSPI	MOSI-A	PFGSPI.MOSIE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	CAN	CTX-B	PFJCAN.CANE =1 PFJCAN.CANS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	LIN	LTX	PFKLIN.LINE=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT2	P23		PORT2.DDR.B3 =1
P24	RSPI	RSPCK-A	PFGSPI.RSPCKE =1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P24		PORT2.DDR.B4=1
P30	RSPI	SSL0-A	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0B-B	PFCMTU.MTUS1=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P30		PORT3.DDR.B0=1
P31	RSPI	SSL1-A	PFGSPI.SSL1E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0A-B	PFCMTU.MTUS0=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P31		PORT3.DDR.B1=1
P32	RSPI	SSL2-A	PFGSPI.SSL2E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3C		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P32		PORT3.DDR.B2=1
P33	RSPI	SSL3-A	PFGSPI.SSL3E =1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3A		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P33		PORT3.DDR.B3=1
P70	PORT7	P70		PORT7.DDR.B0=1
P71	MTU3	MTIOC3B		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P71		PORT7.DDR.B1=1
P72	MTU4	MTIOC4A		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P72		PORT7.DDR.B2=1

表 15.20 各ポートの出力許可設定一覧 (80ピンLQFP) (2 / 3)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P73	MTU4	MTIOC4B		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P73		PORT7.DDR.B3=1
P74	MTU3	MTIOC3D		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P74		PORT7.DDR.B4=1
P75	MTU4	MTIOC4C		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P75		PORT7.DDR.B5=1
P76	MTU4	MTIOC4D		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P76		PORT7.DDR.B6=1
P91	MTU7	MTIOC7C		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P91		PORT9.DDR.B1=1
P92	MTU6	MTIOC6D		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P92		PORT9.DDR.B2=1
P93	MTU7	MTIOC7B		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P93		PORT9.DDR.B3=1
P94	MTU7	MTIOC7A		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P94		PORT9.DDR.B4=1
P95	MTU6	MTIOC6B		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P95		PORT9.DDR.B5=1
P96	PORT9	P96		PORT9.DDR.B6=1
PA2	RSPI	SSL1-B	PFGSPI.SSL1E = 1 PFHSPI.RSPIS[1:0] = 01	(信号出力状態は周辺モジュールの設定に従います)
	MTU2	MTIOC2B		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA2		PORTA.DDR.B2=1
PA3	RSPI	SSL0-B	PFGSPI.SSL0E = 1 PFHSPI.RSPIS[1:0] = 01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU2	MTIOC2A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA3		PORTA.DDR.B3=1
PA4	RSPI	RSPCK-B	PFGSPI.RSPCKE = 1 PFHSPI.RSPIS[1:0] = 01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU1	MTIOC1B		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA4		PORTA.DDR.B4=1
PA5	RSPI	MISO-B	PFGSPI.MISOE = 1 PFHSPI.RSPIS[1:0] = 01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU1	MTIOC1A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA5		PORTA.DDR.B5=1
PB0	RSPI	MOSI-B	PFGSPI.MOSIE=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0D		(信号出力状態は周辺モジュールの設定に従います)
	PORTB	PB0		PORTB.DDR.B0=1
PB1	MTU0	MTIOC0C		(信号出力状態は周辺モジュールの設定に従います)
	RIIC	SCL		RIIC.ICCR1.ICE=1
	PORTB	PB1		PORTB.DDR.B1=1

表 15.20 各ポートの出力許可設定一覧 (80ピンLQFP) (3 / 3)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PB2	MTU0	MTIOC0B-A	PFCMTU.MTUS1=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	TXD0		SCI0.SCR.TE=1
	RIIC	SDA		RIIC.ICCR1.ICE=1
	PORTB	PB2		PORTB.DDR.B2=1
PB3	MTU0	MTIOC0A-A	PFCMTU.MTUS0=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	SCK0		SCI0.SCMR.SMIF=1のとき : SMR.GM=0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI0.SCMR.SMIF=0のとき : SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB3		PORTB.DDR.B3=1
PB4	PORTB	PB4		PORTB.DDR.B4=1
PB5	CAN	CTX-A	PFJCAN.CANE = 1 PFJCAN.CANS[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	TXD2-A	PFFSCI.SCI2S = 0	SCI2.SCR.TE=1
	PORTB	PB5		PORTB.DDR.B5=1
PB6	PORTB	PB6		PORTB.DDR.B6=1
PB7	SCI2	SCK2-A	PFFSCI.SCI2S=0	SCI2.SCMR.SMIF = 1 のとき : SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI2.SCMR.SMIF=0のとき : SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB7		PORTB.DDR.B7=1
PD3	GPT2	GTIOC2A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	TXD1		SCI1.SCR.TE=1
	PORTD	PD3		PORTD.DDR.B3=1
PD4	GPT1	GTIOC1B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	SCK1		SCI1.SCMR.SMIF=1のとき : SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI1.SCMR.SMIF=0のとき : SMR.CM = 0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTD	PD4		PORTD.DDR.B4=1
PD5	GPT1	GTIOC1A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD5		PORTD.DDR.B5=1
PD6	GPT0	GTIOC0B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD6		PORTD.DDR.B6=1
PD7	CAN	CTX-C	PFJCAN.CANE=1 PFJCAN.CANS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD7		PORTD.DDR.B7=1
PE0	PORTE	PE0		PORTE.DDR.B0=1
PE3	PORTE	PE3		PORTE.DDR.B3=1
PE4	PORTE	PE4		PORTE.DDR.B4=1

15.3.5 未使用端子の処理

表 15.21 に未使用端子の処理内容を示します。

表 15.21 未使用端子の処理内容 (80ピンLQFP)

端子名	処理内容
EMLE	抵抗を介してVSSに接続 (プルダウン)
MD1、MD0	(モード端子として必ず使用)
MDE	(モード端子として必ず使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
PE2/NMI/POE10#-A	抵抗を介してVCCに接続 (プルアップ)
EXTAL	(クロック端子として必ず使用)
XTAL	端子を開放
ポー1~3、7、9、A、 B、D、E	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
ポート4	<ul style="list-style-type: none"> 端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または抵抗を介してAVSS0に接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
ポート6	<ul style="list-style-type: none"> 端子ごとに抵抗を介してAVCCに接続 (プルアップ)、または抵抗を介してAVSSに接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続

注1. PORTn.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

15.4 80ピン(R5F562TxGDFF) I/Oポート

RX62Tグループの80ピン(R5F562TxGDFF) I/Oポートは、ポート1～4、7～9、A、B、D、Eの11ポートから構成され、入出力ポートを44本備えています。

15.4.1 概要

表 15.8 に I/Oポートの仕様を、表 15.9 にポート機能一覧を示します。

表 15.22 I/Oポートの仕様 (80ピン(R5F562TxGDFF))

項目	内容
入出力端子	44本
入力端子	9本
ポート	11ポート (1～4、7～9、A、B、D、E)
オープンドレイン出力	2本 (RIIC端子)
大電流出力	12本 (MTU3端子、GPT端子)
シュミットトリガ入力端子	全ポート入力、CAN入力、IRQ入力、MTU3入力、POE3入力、RIIC入力、SCI入力、A/Dトリガ入力、NMI入力、GPT入力、LIN入力
その他	<ul style="list-style-type: none"> • 1個のTTL負荷と30pFの容量負荷を駆動可能 • 出力時にダーリントントランジスタを駆動 • 常に端子の状態を読み出すことが可能

表 15.23 ポート機能一覧 (1 / 2) (80ピン(R5F562TxGDFF))

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポート1	MTU3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	P10	MTCLKD-B/IRQ0-A		—	全入力機能	—	—
ポート2	MTU3入力、 割り込み入力、 A/Dコンバータ入 力、 RSPI入出力、 LIN入出力、 CAN入出力 と兼用の汎用入出力 ポート	0	P20	MTCLKB-B/IRQ7/ ADTRG0#-B		—	全入力機能	—	—
		2	P22/MISO-A	LRX/CRX-B/ ADTRG#		MISO-A	P22/LRX/CRX-B/ ADTRG#		
		3	P23/MOSI-A		LTX/CTX-B	MOSI-A	P23		
		4	P24/RSPCK-A			RSPCK-A	P24		
ポート3	MTU3入出力、 RSPI入出力 と兼用の汎用入出力 ポート	0	P30/MTIOC0B-B/ SSL0-A	MTCLKD-A		SSL0-A	P30/MTIOC0B- B/ MTCLKD-A	—	—
		1	P31/MTIOC0A-B	MTCLKC-A	SSL1-A	—	全入力機能		
		2	P32/MTIOC3C	MTCLKB-A	SSL2-A		全入力機能		
		3	P33/MTIOC3A	MTCLKA-A	SSL3-A		全入力機能		
ポート4	A/Dコンバータ入力 と兼用の汎用入力 ポート	0		P40/AN000		—	P40	—	—
		1		P41/AN001			P41		
		2		P42/AN002			P42		
		3		P43/AN003/ CVREFL			P43		
		4		P44/AN100			P44		
		5		P45/AN101			P45		
		6		P46/AN102			P46		
		7		P47/AN103/ CVREFH			P47		
ポート7	POE3入力、 割り込み入力、 MTU3入出力、 GPT入出力 と兼用の汎用入出力 ポート	0	P70	POE0#/IRQ5		—	全入力機能	—	—
		1	P71/MTIOC3B/ GTIOC0A-A				全入力機能		○
		2	P72/MTIOC4A/ GTIOC1A-A				全入力機能		○
		3	P73/MTIOC4B/ GTIOC2A-A				全入力機能		○
		4	P74/MTIOC3D/ GTIOC0B-A				全入力機能		○
		5	P75/MTIOC4C/ GTIOC1B-A				全入力機能		○
		6	P76/MTIOC4D/ GTIOC2B-A				全入力機能		○
ポート8	SCI入出力 MTU3入力 と兼用の汎用入出力 ポート	0	P80	RXD2-B/MTIC5W		—	全入力機能	—	—
		1	P81	MTIC5V	TXD2-B		全入力機能		
		2	P82/SCK2-B	MTIC5U			全入力機能		

表 15.23 ポート機能一覧 (2 / 2) (80ピン(R5F562TxGDFF))

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子	
			入出力	入力	出力					
ポート9	MTU3入出力、 POE3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	P90/MTIOC7D			—	全入力機能	—	○	
		1	P91/MTIOC7C						全入力機能	○
		2	P92/MTIOC6D						全入力機能	○
		3	P93/MTIOC7B						全入力機能	○
		4	P94/MTIOC7A						全入力機能	○
		5	P95/MTIOC6B						全入力機能	○
		6	P96	POE4#/IRQ4						全入力機能
ポートA	MTU3入出力、 RSPI入出力、 A/Dコンバータ入 力、 と兼用の汎用入出力 ポート	3	PA3/MTIOC2A/ SSL0-B			SSL0-B	PA3/MTIOC2A	—	—	
		5	PA5/MTIOC1A/ MISO-B	ADTRG1#-A		MISO-B	PA5/MTIOC1A/ ADTRG1#-A	—	—	
ポートB	MTU3入出力、 RSPI入出力、 RIIC入出力、 SCI入出力、 GPT入力、 POE3入力、 割り込み入力、 CAN入出力、 トレース出力 と兼用の汎用入出力 ポート	0	PB0/MTIOC0D/ MOSI-B			MOSI-B	PB0/MTIOC0D	—	—	
		1	PB1/MTIOC0C/ SCL	RXD0		—	全入力機能	○ (SCLのみ)	—	
		2	PB2/MTIOC0B-A/ SDA		TXD0		—	全入力機能	○ (SDAのみ)	—
		3	PB3/MTIOC0A-A/ SCK0				—	全入力機能	—	—
		4	PB4	GTETR/ POE8#/IRQ3			—	全入力機能	—	—
		5	PB5		TXD2-A/ CTX-A/ TRSYNC		—	全入力機能	—	—
		6	PB6	RXD2-A/CRX-A	TRDATA0		—	全入力機能	—	—
		7	PB7/SCK2-A		TRDATA1		—	全入力機能	—	—
ポートD	GPT入出力、 RSPI入出力、 SCI入出力、 CAN出力、 トレース出力、 オンチップエミュ レータ入出力 と兼用の汎用入出力 ポート	2	PD2/GTIOC2B-B/ MOSI-C		TRCLK	MOSI-C	PD2/GTIOC2B-B	—	—	
		3	PD3/GTIOC2A-B		TXD1/TDO	—	全入力機能	—	—	
		4	PD4/GTIOC1B-B/ SCK1	TCK			—	全入力機能	—	
		5	PD5/GTIOC1A-B	RXD1/TDI			—	全入力機能	—	
		6	PD6/GTIOC0B-B/ SSL0-C	TMS			SSL0-C	PD6/GTIOC0B-B	—	—
		7	PD7/GTIOC0A-B	TRST#	SSL1-C/CTX-C		—	全入力機能	—	—
		ポートE	CAN入力、 RSPI出力、 POE3入力、 MTU3入力、 割り込み入力 と兼用の汎用入出力 ポート	0	PE0	CRX-C	SSL2-C	—	全入力機能	—
1	PE1				SSL3-C					
2				PE2/POE10#-A/ NMI						
3	PE3			MTCLKD-C/ POE11#/IRQ2-A						
4	PE4			MTCLKC-C/ POE10#-B/ IRQ1-B						
5	PE5			IRQ0-B						

15.4.2 レジスタの説明

表 15.10 に I/O ポートのレジスタ一覧を示します。表 15.11 に各レジスタの有効ビット一覧を示します。

表 15.24 I/Oポートのレジスタ一覧 (1/2) (80ピン(R5F562TxGDFF))

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
PORT2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
PORT3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
PORT4	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
PORT7	データディレクションレジスタ	DDR	00h	0008 C007h	8
	データレジスタ	DR	00h	0008 C027h	8
	ポートレジスタ	PORT	不定	0008 C047h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C067h	8
PORT8	データディレクションレジスタ	DDR	00h	0008 C008h	8
	データレジスタ	DR	00h	0008 C028h	8
	ポートレジスタ	PORT	不定	0008 C048h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C068h	8
PORT9	データディレクションレジスタ	DDR	00h	0008 C009h	8
	データレジスタ	DR	00h	0008 C029h	8
	ポートレジスタ	PORT	不定	0008 C049h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C069h	8
PORTA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
PORTB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
PORTD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8
PORTE	データディレクションレジスタ	DDR	00h	0008 C00Eh	8
	データレジスタ	DR	00h	0008 C02Eh	8
	ポートレジスタ	PORT	不定	0008 C04Eh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Eh	8

表 15.24 I/Oポートのレジスタ一覧 (2 / 2) (80ピン(R5F562TxGDFF))

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
IOPORT	ポートファンクションレジスタ 8	PF8IRQ	00h	0008 C108h	8
	ポートファンクションレジスタ A	PFAADC	00h	0008 C10Ah	8
	ポートファンクションレジスタ C	PFCMTU	00h	0008 C10Ch	8
	ポートファンクションレジスタ D	PFDGPT	00h	0008 C10Dh	8
	ポートファンクションレジスタ F	PFSCI	00h	0008 C10Fh	8
	ポートファンクションレジスタ G	PFGSPI	00h	0008 C110h	8
	ポートファンクションレジスタ H	PFHSPI	00h	0008 C111h	8
	ポートファンクションレジスタ J	PFJCAN	00h	0008 C113h	8
	ポートファンクションレジスタ K	PFKLIN	00h	0008 C114h	8
	ポートファンクションレジスタ M	PFMPOE	00h	0008 C116h	8
	ポートファンクションレジスタ N	PFNPOE	00h	0008 C117h	8

表 15.25 各レジスタの有効ビット一覧 (1 / 2) (80ピン(R5F562TxGDFF))

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT1.DDR	x	x	x	x	x	x	x	○
PORT2.DDR	x	x	x	○	○	○	x	○
PORT3.DDR	x	x	x	x	○	○	○	○
PORT7.DDR	x	○	○	○	○	○	○	○
PORT8.DDR	x	x	x	x	x	○	○	○
PORT9.DDR	x	○	○	○	○	○	○	○
PORTA.DDR	x	x	○	x	○	x	x	x
PORTB.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	○	x	x
PORTE.DDR	x	x	x	○	○	x	x	x
PORT1.DR	x	x	x	x	x	x	x	○
PORT2.DR	x	x	x	○	○	○	x	○
PORT3.DR	x	x	x	x	○	○	○	○
PORT7.DR	x	○	○	○	○	○	○	○
PORT8.DR	x	x	x	x	x	○	○	○
PORT9.DR	x	○	○	○	○	○	○	○
PORTA.DR	x	x	○	x	○	x	x	x
PORTB.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	○	x	x
PORTE.DR	x	x	x	○	○	x	x	x
PORT1.PORT	x	x	x	x	x	x	x	○
PORT2.PORT	x	x	x	○	○	○	x	○
PORT3.PORT	x	x	x	x	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT7.PORT	x	○	○	○	○	○	○	○
PORT8.PORT	x	x	x	x	x	○	○	○
PORT9.PORT	x	○	○	○	○	○	○	○
PORTA.PORT	x	x	○	x	○	x	x	x
PORTB.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	○	x	x
PORTE.PORT	x	x	x	○	○	○	x	x
PORT1.ICR	x	x	x	x	x	x	x	○
PORT2.ICR	x	x	x	○	○	○	x	○
PORT3.ICR	x	x	x	x	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT7.ICR	x	○	○	○	○	○	○	○
PORT8.ICR	x	x	x	x	x	○	○	○
PORT9.ICR	x	○	○	○	○	○	○	○
PORTA.ICR	x	x	○	x	○	x	x	x
PORTB.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	○	x	x
PORTE.ICR	x	x	x	○	○	x	x	x
IOPORT.PF8IRQ	x	x	x	x	○	○	○	○
IOPORT.PFAADC	x	x	x	x	x	x	x	○
IOPORT.PFCMTU	○	○	x	x	x	x	○	○
IOPORT.PFDGPT	x	x	x	x	x	x	x	○

表 15.25 各レジスタの有効ビット一覧 (2 / 2) (80ピン(R5F562TxGDFF))

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
IOPORT.PFFSCI	x	x	x	x	x	○	x	x
IOPORT.PFGSPI	○	○	○	○	○	○	○	x
IOPORT.PFHSPI	x	x	x	x	x	x	○	○
IOPORT.PFJCAN	○	○	x	x	x	x	x	○
IOPORT.PFKLIN	x	x	x	x	x	x	x	○
IOPORT.PFMPOE	x	x	x	○	○	○	○	○
IOPORT.PFNPOE	○	x	x	x	x	x	x	x

○ : 有効ビット、x : 無効ビット (予約ビット)

15.4.2.1 データディレクションレジスタ (DDR)

アドレス PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h、PORT7.DDR 0008 C007h、PORT8.DDR 0008 C008h、PORT9.DDR 0008 C009h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh、PORTD.DDR 0008 C00Dh、PORTE.DDR 0008 C00Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DDRは、下位1ビットが有効で、上位7ビットは予約ビットです。
 PORT2.DDRは、b4～b2、b0が有効で、b7～b5、b1は予約ビットです。
 PORT3.DDRは、下位4ビットが有効で、上位4ビットは予約ビットです。
 PORT7.DDRは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORT8.DDRは、下位3ビットが有効で、上位5ビットは予約ビットです。
 PORT9.DDRは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORTA.DDRは、b5、b3が有効で、b7、b6、b4、b2～b0は予約ビットです。
 PORTD.DDRは、b7～b2が有効で、b1、b0は予約ビットです。
 PORTE.DDRは、b4、b3が有効で、b7～b5、b2～b0は予約ビットです。
- 注2. 予約ビットには、“1”を書いてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力/出力指定ビット	0: 入力ポート 1: 出力ポート	R/W
b1	B1	Pn1入力/出力指定ビット		R/W
b2	B2	Pn2入力/出力指定ビット		R/W
b3	B3	Pn3入力/出力指定ビット		R/W
b4	B4	Pn4入力/出力指定ビット		R/W
b5	B5	Pn5入力/出力指定ビット		R/W
b6	B6	Pn6入力/出力指定ビット		R/W
b7	B7	Pn7入力/出力指定ビット		R/W

n = 1～3、7～9、A、B、D、E

PORTn.DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTn.DDR レジスタ (n = 1～3、7～9、A、B、D、E) の各ビットは、それぞれポート n の端子1本ずつに対応しており、1ビット単位で指定できます。

15.4.2.2 データレジスタ (DR)

アドレス PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h、PORT7.DR 0008 C027h、PORT8.DR 0008 C028h、PORT9.DR 0008 C029h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh、PORTD.DR 0008 C02Dh、PORTE.DR 0008 C02Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DRは、下位1ビットが有効で、上位7ビットは予約ビットです。
 PORT2.DRは、b4～b2、b0が有効で、b7～b5、b1は予約ビットです。
 PORT3.DRは、下位4ビットが有効で、上位4ビットは予約ビットです。
 PORT7.DRは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORT8.DRは、下位3ビットが有効で、上位5ビットは予約ビットです。
 PORT9.DRは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORTA.DRは、b5、b3が有効で、b7、b6、b4、b2～b0は予約ビットです。
 PORTD.DRは、b7～b2が有効で、b1、b0は予約ビットです。
 PORTE.DRは、b4、b3が有効で、b7～b5、b2～b0は予約ビットです。
- 注2. 予約ビットには、“1”を書いてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pn1出力データ格納ビット		R/W
b2	B2	Pn2出力データ格納ビット		R/W
b3	B3	Pn3出力データ格納ビット		R/W
b4	B4	Pn4出力データ格納ビット		R/W
b5	B5	Pn5出力データ格納ビット		R/W
b6	B6	Pn6出力データ格納ビット		R/W
b7	B7	Pn7出力データ格納ビット		R/W

n = 1～3、7～9、A、B、D、E

PORTn.DR レジスタ (n = 1～3、7～9、A、B、D、E) は、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

15.4.2.3 ポートレジスタ (PORT)

アドレス PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0008 C043h、PORT4.PORT 0008 C044h、PORT7.PORT 0008 C047h、PORT8.PORT 0008 C048h、PORT9.PORT 0008 C049h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 X X X X X X X X

- 注1. PORT1.PORTは、下位1ビットが有効で、上位7ビットは予約ビットです。
 PORT2.PORTは、b4～b2、b0が有効で、b7～b5、b1は予約ビットです。
 PORT3.PORTは、下位4ビットが有効で、上位4ビットは予約ビットです。
 PORT7.PORT、下位7ビットが有効で、上位1は予約ビットです。
 PORT8.PORTは、下位3ビットが有効で、上位5ビットは予約ビットです。
 PORT9.PORTは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORTA.PORTは、b5、b3が有効で、b7、b6、b2～b0は予約ビットです。
 PORTD.PORTは、b7～b2が有効で、b1、b0は予約ビットです。
 PORTE.PORT、b4～b2が有効で、b7～b5、b1、b0は予約ビットです。
- 注2. 予約ビットは、読むと“1”が読めます。書き込みは無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0ビット	ポートの端子状態を反映	R
b1	B1	Pn1ビット		R
b2	B2	Pn2ビット		R
b3	B3	Pn3ビット		R
b4	B4	Pn4ビット		R
b5	B5	Pn5ビット		R
b6	B6	Pn6ビット		R
b7	B7	Pn7ビット		R

n = 1～4、7～9、A、B、D、E

PORTレジスタは、ポートの端子の状態を反映するレジスタです。

PORTn.PORTレジスタ (n = 1～4、7～9、A、B、D、E) を読むと、端子の状態が読めます。

15.4.2.4 入力バッファコントロールレジスタ (ICR)

アドレス PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h、PORT4.ICR 0008 C064h、
PORT7.ICR 0008 C067h、PORT8.ICR 0008 C068h、PORT9.ICR 0008 C069h、PORTA.ICR 0008 C06Ah、
PORTB.ICR 0008 C06Bh、PORTD.ICR 0008 C06Dh、PORTE.ICR 0008 C06Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.ICRは、下位1ビットが有効で、上位7ビットは予約ビットです。
PORT2.ICRは、b4～b2、b0が有効で、b7～b5、b1は予約ビットです。
PORT3.ICRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.ICRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT8.ICRは、下位3ビットが有効で、上位5ビットは予約ビットです。
PORT9.ICRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORTA.ICRは、b5、b3が有効で、b7、b6、b4、b2～b0は予約ビットです。
PORTD.ICRは、b7～b2が有効で、b1、b0は予約ビットです。
PORTE.ICRは、b4、b3が有効で、b7～b5、b2～b0は予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0 (注1)	Pn0入力バッファ制御ビット	0: 対応する端子の入力バッファは無効 1: 対応する端子の入力バッファは有効	R/W
b1	B1 (注1)	Pn1入力バッファ制御ビット		R/W
b2	B2 (注1)	Pn2入力バッファ制御ビット		R/W
b3	B3 (注1)	Pn3入力バッファ制御ビット		R/W
b4	B4 (注1)	Pn4入力バッファ制御ビット		R/W
b5	B5 (注1)	Pn5入力バッファ制御ビット		R/W
b6	B6 (注1)	Pn6入力バッファ制御ビット		R/W
b7	B7 (注1)	Pn7入力バッファ制御ビット		R/W

n = 1～4、7～9、A、B、D、E

- 注1. 入力端子として使用する場合は、対応するビットを“1”にしてください。入力として使用しない端子、およびアナログ入力端子として使用するビットは、“0”にしてください。

PORTn.ICR レジスタは、ポートの入力バッファを制御するレジスタです。

PORTn.ICR レジスタ (n = 1～4、7～9、A、B、D、E) の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

周辺モジュールの入力端子として使用する場合は、あらかじめ対応する端子の入力バッファを有効にするために PORTn.ICR を“1”にする必要があります。PORTn.ICR を“0”にした状態のまま周辺モジュールの入力端子として使用した場合は、周辺モジュールへの入力信号は High に固定されます。

PORTn.ICR レジスタの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。PORTn.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQi(i=0～7) 入力の場合、当該割り込みを禁止した状態で PORTn.ICR レジスタの設定の変更を行い、割り込みコントローラの IRi.IR フラグ (i = 64～71 (IRQ の割り込みベクタ番号)) を“0”にし、その後当該割り込みを許可してください。PORTn.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

15.4.2.5 ポートファンクションレジスタ 8 (PF8IRQ)

アドレス 0008 C108h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	ITS1[1:0]	ITS0[1:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ITS0[1:0]	IRQ0端子選択ビット	b1 b0 0 0 : P10をIRQ0-A入力端子として設定 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b3-b2	ITS1[1:0]	IRQ1端子選択ビット	b3 b2 0 0 : P11をIRQ1-A入力端子として設定 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PF8IRQ レジスタは、IRQ0、IRQ1 入力端子を選択するレジスタです。

ITS_i ビット (IRQ_i 端子選択ビット) (i = 0, 1)

IRQ_i の入力端子を選択します。

15.4.2.6 ポートファンクションレジスタ A (PFAADC)

アドレス 0008 C10Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ADTRG0S
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRG0S	ADTRG0#入力選択ビット	0 : 設定しないでください 1 : P20をADTRG0#-B入力端子として設定	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

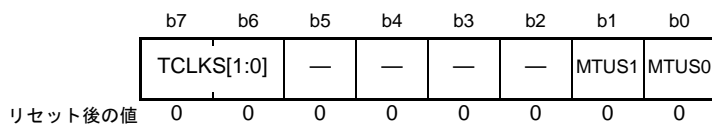
PFAADC レジスタは、ADTRG0# 端子を選択するレジスタです。

ADTRG_nS ビット (ADTRG_n# 入力選択ビット) (n=0)

ADTRG_n# の入力端子を選択します。

15.4.2.7 ポートファンクションレジスタ C (PFCMTU)

アドレス 0008 C10Ch



ビット	シンボル	ビット名	機能	R/W
b0	MTUS0	MTU3端子選択0ビット	0 : PB3をMTIOC0A-A端子として選択 1 : P31をMTIOC0A-B端子として選択	R/W
b1	MTUS1	MTU3端子選択1ビット	0 : PB2をMTIOC0B-A端子として選択 1 : P30をMTIOC0B-B端子として選択	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b7-b6	TCLKS[1:0]	MTCLK端子選択ビット	b7 b6 0 0 : P33をMTCLKA-A端子として選択 P32をMTCLKB-A端子として選択 P31をMTCLKC-A端子として選択 P30をMTCLKD-A端子として選択 0 1 : P20をMTCLKB-B端子として選択 P10をMTCLKD-B端子として選択 (MTCLKA端子およびMTCLKC端子は選択できません) 1 0 : PE4をMTCLKC-C端子として選択 PE3をMTCLKD-C端子として選択 (MTCLKA端子およびMTCLKB端子は選択できません) 1 1 : 設定できません	R/W

PFCMTU レジスタは、MTU3 の端子を選択するレジスタです。

MTUS_i ビット (MTU3 端子選択ビット) (i = 0、1)

MTU3 の入出力端子を選択します。

TCLKS[1:0] ビット (MTCLK 端子選択ビット)

MTU3 の MTCLK 入力端子を選択します。

15.4.2.8 ポートファンクションレジスタ D (PFDGPT)

アドレス 0008 C10Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	GPTS

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	GPTS	GPT 端子選択ビット	0 : P71 を GTIOC0A-A 端子として選択 P74 を GTIOC0B-A 端子として選択 P72 を GTIOC1A-A 端子として選択 P75 を GTIOC1B-A 端子として選択 P73 を GTIOC2A-A 端子として選択 P76 を GTIOC2B-A 端子として選択 1 : PD7 を GTIOC0A-B 端子として選択 PD6 を GTIOC0B-B 端子として選択 PD5 を GTIOC1A-B 端子として選択 PD4 を GTIOC1B-B 端子として選択 PD3 を GTIOC2A-B 端子として選択 PD2 を GTIOC2B-B 端子として選択	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFDGPT レジスタは、GPT の端子を選択するレジスタです。

GPTS ビット (GPT 入出力端子選択ビット)

GPT の入出力端子を選択します。

15.4.2.9 ポートファンクションレジスタ F (PFFSCI)

アドレス 0008 C10Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SCI2S	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SCI2S	SCI2 入出力選択ビット	0 : PB6 を RXD2-A 端子として設定 PB7 を SCK2-A 端子として設定 PB5 を TXD2-A 端子として設定 1 : P80 を RXD2-B 端子として設定 P82 を SCK2-B 端子として設定 P81 を TXD2-B 端子として設定	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFFSCI レジスタは、SCI の端子を選択するレジスタです。

SCI2S ビット (SCI2 入出力端子選択ビット)

SCI チャンネル 2 の入出力端子を選択します。

15.4.2.10 ポートファンクションレジスタ G (PFGSPI)

アドレス 0008 C110h

b7	b6	b5	b4	b3	b2	b1	b0
SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	RSPCKE	RSPCK出力許可ビット	0 : RSPCK 端子無効 1 : RSPCK 端子有効	R/W
b2	MOSIE	MOSI出力許可ビット	0 : MOSI 端子無効 1 : MOSI 端子有効	R/W
b3	MISOE	MISO出力許可ビット	0 : MISO 端子無効 1 : MISO 端子有効	R/W
b4	SSL0E	SSL0出力許可ビット	0 : SSL0 端子無効 1 : SSL0 端子有効	R/W
b5	SSL1E	SSL1出力許可ビット	0 : SSL1 端子無効 1 : SSL1 端子有効	R/W
b6	SSL2E	SSL2出力許可ビット	0 : SSL2 端子無効 1 : SSL2 端子有効	R/W
b7	SSL3E	SSL3出力許可ビット	0 : SSL3 端子無効 1 : SSL3 端子有効	R/W

PFGSPI レジスタは、RSPI に関する入出力端子を設定するレジスタです。

RSPCKE ビット (RSPCK 出力許可ビット)

RSPCK 端子の出力許可／禁止を選択します。RSPCK 端子を使用する場合は、“1”にしてください。

MOSIE ビット (MOSI 出力許可ビット)

MOSI 端子の出力許可／禁止を選択します。MOSI 端子を使用する場合は、“1”にしてください。

MISOE ビット (MISO 出力許可ビット)

MISO 端子の出力許可／禁止を選択します。MISO 端子を使用する場合は、“1”にしてください。

SSL0E ビット (SSL0 出力許可ビット)

SSL0 端子の出力許可／禁止を選択します。SSL0 端子を使用する場合は、“1”にしてください。

SSL1E ビット (SSL1 出力許可ビット)

SSL1 端子の出力許可／禁止を選択します。SSL1 端子を使用する場合は、“1”にしてください。

SSL2E ビット (SSL2 出力許可ビット)

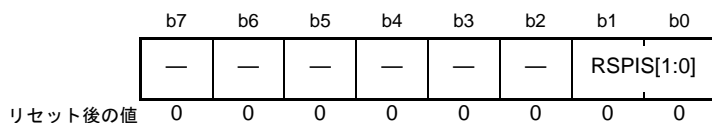
SSL2 端子の出力許可／禁止を選択します。SSL2 端子を使用する場合は、“1”にしてください。

SSL3E ビット (SSL3 出力許可ビット)

SSL3 端子の出力許可／禁止を選択します。SSL3 端子を使用する場合は、“1”にしてください。

15.4.2.11 ポートファンクションレジスタ H (PFHSPI)

アドレス 0008 C111h



ビット	シンボル	ビット名	機能	R/W
b1-b0	RSPIS[1:0]	RSPI端子選択ビット	b1 b0 0 0: P22をMISO-A端子として設定 P23をMOSI-A端子として設定 P24をRSPCK-A端子として設定 P30をSSL0-A端子として設定 P31をSSL1-A端子として設定 P32をSSL2-A端子として設定 P33をSSL3-A端子として設定 0 1: 設定しないでください 1 0: 設定しないでください 1 1: 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFHSPI レジスタは、RSPI に関する入出力端子の設定するレジスタです。

RSPIS[1:0] ビット (RSPI 端子選択ビット)

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを“1”にしている端子は選択されますが、許可ビットを“0”にしている端子は選択されません。

15.4.2.12 ポートファンクションレジスタ J (PFJCAN)

アドレス 0008 C113h

b7	b6	b5	b4	b3	b2	b1	b0
CANS[1:0]	—	—	—	—	—	—	CANE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CANE	CAN 端子許可ビット	0 : CTX端子およびCRX端子無効 1 : CTX端子およびCRX端子有効	R/W
b5-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CANS[1:0]	CAN 端子選択ビット	b7 b6 0 0 : PB5をCTX-A端子として設定 PB6をCRX-A端子として設定 0 1 : P23をCTX-B端子として設定 P22をCRX-B端子として設定 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W

PFJCAN レジスタは、CAN に関する入出力端子を設定するレジスタです。

CANE ビット (CAN 端子許可ビット)

CAN 端子の許可/禁止を選択します。CAN を使用する場合は、“1”にしてください。

CANS[1:0] ビット (CAN 端子選択ビット)

CAN の入出力端子を選択します。

15.4.2.13 ポートファンクションレジスタ K (PFKLIN)

アドレス 0008 C114h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	LINE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LINE	LIN端子許可ビット	0 : LTX端子およびLRX端子無効 1 : LTX端子およびLRX端子有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFKLINレジスタは、LINに関する入出力端子を設定するレジスタです。

LINE ビット (LIN 端子許可ビット)

LIN端子の許可/禁止を選択します。LINを使用する場合は、“1”にしてください。

15.4.2.14 ポートファンクションレジスタ M (PFMPOE)

アドレス 0008 C116h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE11E	POE10E	POE8E	POE4E	POE0E
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE0E	POE0#入力許可ビット	0 : I/Oポートとして設定 1 : POEn#入力端子として設定 (n=0、4、8、10、11)	R/W (注1)
b1	POE4E	POE4#入力許可ビット		R/W (注1)
b2	POE8E	POE8#入力許可ビット		R/W (注1)
b3	POE10E	POE10#入力許可ビット		R/W (注1)
b4	POE11E	POE11#入力許可ビット		R/W (注1)
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFMPOEレジスタは、POEn#入力端子の許可/禁止を選択するレジスタです。

システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。書き込みはリセットスタート後の最初の1回目のみ有効です。

POEnE ビット (POEn# 入力許可ビット) (n = 0、4、8、10、11)

対応するPOEn#入力の許可/禁止を選択します。

POEn#を使用する場合には、対応するPOEnEビットを“1”にしてください。

15.4.2.15 ポートファンクションレジスタ N (PFNPOE)

アドレス 0008 C117h

	b7	b6	b5	b4	b3	b2	b1	b0
	POE10 S	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	POE10S	POE10#入力選択ビット	0 : PE2 を POE10#-A入力端子として設定 1 : PE4 を POE10#-B入力端子として設定	R/W (注1)

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFNPOE レジスタは、POEn# 入力端子の許可/禁止を選択するレジスタです。

システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。書き込みはリセットスタート後の最初の1回目のみ有効です。

POE10S ビット (POE10# 入力選択ビット)

POE10# の入力端子を選択します。

15.4.3 ポートの設定

各周辺モジュールの端子を有効に設定すると、各ポートの設定が切り替わります。

入力として機能する端子は、各周辺モジュールの設定により独立して設定できます。ポートレジスタリード、NMI および POEn# 端子入力を除き、入力バッファコントロールレジスタ (PORTn.ICR) の対応するビットを“1”にして入力バッファを有効にする必要があります。

出力および入出力として機能する端子は、各周辺モジュールの端子ごとに出力信号を有効に設定する必要があります。同じポートにマルチプレクスされている各周辺モジュールの出力信号有効設定が競合すると周辺モジュールのポートマルチプレクス優先順位に従って、優先される周辺モジュールの機能が有効になります。

表 15.12 に周辺モジュールのポートマルチプレクス優先順位一覧を示します。

表 15.26 周辺モジュールのポートマルチプレクス優先順位一覧 (80ピン(R5F562TxGDFF))

優先順位	モジュール名	出力端子名	
高 ↑ ↓ 低	1	RSPI	RSPCK、MOSI、MISO、SSL0～SSL3
	2	CAN	CTX
	3	LIN	LTX
	4	MTU0～MTU7	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D
	5	GPT0～GPT2	GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B
	6	SCI0～SCI2	SCK0～SCK2、TXD0～TXD2
	7	RIIC	SCL、SDA
	8	IOPORT	P10、P20、P22～P24、P30～P33、P70～P76、P80～P82、P90～P96、PA3、PA5 PB0～PB7、PD2～PD7、PE0～PE1、PE3～PE5

15.4.4 出力許可設定一覧

表 15.13 に各ポートの出力許可設定一覧を示します。

当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

また、各周辺モジュールの端子名の末尾に A ~ C のいずれかが付いている端子は、ポートファンクションレジスタによって端子機能を変更できます。

表 15.27 各ポートの出力許可設定一覧 (80ピン(R5F562TxGDFF)) (1/4)

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P10	PORT1	P10		PORT1.DDR.B0=1
P20	PORT2	P20		PORT2.DDR.B0=1
P22	RSPI	MISO-A	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P22		PORT2.DDR.B2 = 1
P23	RSPI	MOSI-A	PFGSPI.MOSIE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	CAN	CTX-B	PFJCAN.CANE =1 PFJCAN.CANS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	LIN	LTX	PFKLIN.LINE=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT2	P23		PORT2.DDR.B3 =1
P24	RSPI	RSPCK-A	PFGSPI.RSPCKE =1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P24		PORT2.DDR.B4=1
P30	RSPI	SSL0-A	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0B-B	PFCMTU.MTUS1=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P30		PORT3.DDR.B0=1
P31	RSPI	SSL1-A	PFGSPI.SSL1E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0A-B	PFCMTU.MTUS0=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P31		PORT3.DDR.B1=1
P32	RSPI	SSL2-A	PFGSPI.SSL2E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3C		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P32		PORT3.DDR.B2=1
P33	RSPI	SSL3-A	PFGSPI.SSL3E =1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3A		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P33		PORT3.DDR.B3=1
P70	PORT7	P70		PORT7.DDR.B0=1
P71	MTU3	MTIOC3B		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P71		PORT7.DDR.B1=1
P72	MTU4	MTIOC4A		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P72		PORT7.DDR.B2=1
P73	MTU4	MTIOC4B		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P73		PORT7.DDR.B3=1

表 15.27 各ポートの出力許可設定一覧 (80ピン(R5F562TxGDFF)) (2 / 4)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P74	MTU3	MTIOC3D		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P74		PORT7.DDR.B4=1
P75	MTU4	MTIOC4C		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P75		PORT7.DDR.B5=1
P76	MTU4	MTIOC4D		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P76		PORT7.DDR.B6=1
P80	PORT8	P80		PORT8.DDR.B0=1
P81	SCI2	TXD2-B	PFFSCI.SCI2S=1	SCI2.SCR.TE=1
	PORT8	P81		PORT8.DDR.B1=1
P82	SCI2	SCK2-B	PFFSCI.SCI2S=1	SCI2.SCMR.SMIF=1のとき : SMR.GM=0, SCR.CKE[1:0]=01かSMR.GM=1 で、SCR.TE=1かSCR.RE=1 SCI2.SCMR.SMIF=0のとき : SMR.CM = 0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE =1かSCR.RE=1
	PORT8	P82		PORT8.DDR.B2=1
P90	MTU7	MTIOC7D		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P90		PORT9.DDR.B0=1
P91	MTU7	MTIOC7C		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P91		PORT9.DDR.B1=1
P92	MTU6	MTIOC6D		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P92		PORT9.DDR.B2=1
P93	MTU7	MTIOC7B		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P93		PORT9.DDR.B3=1
P94	MTU7	MTIOC7A		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P94		PORT9.DDR.B4=1
P95	MTU6	MTIOC6B		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P95		PORT9.DDR.B5=1
P96	PORT9	P96		PORT9.DDR.B6=1
PA3	RSPI	SSL0-B	PFGSPI.SSL0E=1 PFHSPi.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU2	MTIOC2A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA3		PORTA.DDR.B3=1
PA4	PORTA	PA4		PORTA.DDR.B4=1
PA5	RSPI	MISO-B	PFGSPI.MISOE=1 PFHSPi.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU1	MTIOC1A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA5		PORTA.DDR.B5=1
PB0	RSPI	MOSI-B	PFGSPI.MOSIE=1 PFHSPi.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0D		(信号出力状態は周辺モジュールの設定に従います)
	PORTB	PB0		PORTB.DDR.B0=1

表 15.27 各ポートの出力許可設定一覧 (80ピン(R5F562TxGDFF)) (3 / 4)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PB1	MTU0	MTIOC0C		(信号出力状態は周辺モジュールの設定に従います)
	RIIC	SCL		RIIC.ICCR1.ICE=1
	PORTB	PB1		PORTB.DDR.B1=1
PB2	MTU0	MTIOC0B-A	PFCMTU.MTUS1=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	TXD0		SCI0.SCR.TE=1
	RIIC	SDA		RIIC.ICCR1.ICE=1
	PORTB	PB2		PORTB.DDR.B2=1
PB3	MTU0	MTIOC0A-A	PFCMTU.MTUS0=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	SCK0		SCI0.SCMR.SMIF=1のとき： SMR.GM=0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI0.SCMR.SMIF=0のとき： SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB3		PORTB.DDR.B3=1
PB4	PORTB	PB4		PORTB.DDR.B4=1
PB5	CAN	CTX-A	PFJCAN.CANE = 1 PFJCAN.CANS[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	TXD2-A	PFJSCI.SCI2S = 0	SCI2.SCR.TE=1
	PORTB	PB5		PORTB.DDR.B5=1
PB6	PORTB	PB6		PORTB.DDR.B6=1
PB7	SCI2	SCK2-A	PFJSCI.SCI2S=0	SCI2.SCMR.SMIF =1のとき： SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI2.SCMR.SMIF=0のとき： SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB7		PORTB.DDR.B7=1
PD2	RSPI	MOSI-C	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT2	GTIOC2B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD2		PORTD.DDR.B2=1
PD3	GPT2	GTIOC2A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	TXD1		SCI1.SCR.TE=1
	PORTD	PD3		PORTD.DDR.B3=1
PD4	GPT1	GTIOC1B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	SCK1		SCI1.SCMR.SMIF=1のとき： SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI1.SCMR.SMIF=0のとき： SMR.CM = 0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTD	PD4		PORTD.DDR.B4=1
PD5	GPT1	GTIOC1A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD5		PORTD.DDR.B5=1
PD6	RSPI	SSL0-C	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=10	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	GPT0	GTIOC0B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD6		PORTD.DDR.B6=1

表 15.27 各ポートの出力許可設定一覧 (80ピン(R5F562TxGDFF)) (4 / 4)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PD7	RSPI	SSL1-C	PFGSPI.SSL1E=1 PFHSPI.RSPIS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	CAN	CTX-C	PFJCAN.CANE=1 PFJCAN.CANS[1:0]=10	(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD7		PORTD.DDR.B7=1
PE3	PORTE	PE3		PORTE.DDR.B3=1
PE4	PORTE	PE4		PORTE.DDR.B4=1

15.4.5 未使用端子の処理

表 15.14 に未使用端子の処理内容を示します。

表 15.28 未使用端子の処理内容 (80ピン(R5F562TxGDFF))

端子名	処理内容
EMLE	抵抗を介してVSSに接続 (プルダウン)
MD1、MD0	(モード端子として必ず使用)
MDE	(モード端子として必ず使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
PE2/NMI/POE10#-A	抵抗を介してVCCに接続 (プルアップ)
EXTAL	(クロック端子として必ず使用)
XTAL	端子を開放
ポート1~3、7~9、 A、B、D、E	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
ポート4	<ul style="list-style-type: none"> 端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または抵抗を介してAVSS0に接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続
VREF	AVCCに接続

注1. PORTn.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

15.5 64ピンLQFP I/Oポート

RX62Tグループの64ピンLQFPのI/Oポートは、ポート1～4、7、9、A、B、D、Eの10ポートから構成され、入出力ポートを37本備えています。

15.5.1 概要

表 15.29 に I/O ポートの仕様を、表 15.30 にポート機能一覧を示します。

表 15.29 I/Oポートの仕様 (64ピンLQFP)

項目	内容
入出力端子	37本
入力端子	9本
ポート	10ポート (1～4、7、9、A、B、D、E)
オープンドレイン出力	2本 (RIIC端子)
大電流出力	6本 (MTU3端子、GPT端子)
シュミットトリガ入力端子	全ポート入力、CAN入力、IRQ入力、MTU3入力、POE3入力、RIIC入力、SCI入力、A/Dトリガ入力、NMI入力、GPT入力、LIN入力
その他	<ul style="list-style-type: none"> • 1個のTTL負荷と30pFの容量負荷を駆動可能 • 出力時にダーリントントランジスタを駆動 • 常に端子の状態を読み出すことが可能

表 15.30 ポート機能一覧 (1 / 2) (64ピンLQFP)

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポート1	MTU3入力、 割り込み入力 と兼用の汎用入出 力ポート	0	P10	MTCLKD-B/IRQ0-A		—	全入力機能	—	—
		1	P11	MTCLKC-B/IRQ1-A			全入力機能		
ポート2	RSPI入出力、 LIN入出力、 CAN入出力 と兼用の汎用入出 力ポート	2	P22/MISO-A	LRX/CRX-B		MISO-A	P22/LRX/CRX-B	—	—
		3	P23/MOSI-A		LTX/CTX-B	MOSI-A	P23		
		4	P24/RSPCK-A			RSPCK-A	P24		
ポート3	MTU3入出力、 RSPI入出力 と兼用の汎用入出 力ポート	0	P30/MTIOC0B-B/ SSL0-A	MTCLKD-A		SSL0-A	P30/MTIOC0B- B/ MTCLKD-A	—	—
		1	P31/MTIOC0A-B	MTCLKC-A	SSL1-A	—	全入力機能		
		2	P32/MTIOC3C	MTCLKB-A	SSL2-A		全入力機能		
		3	P33/MTIOC3A	MTCLKA-A	SSL3-A		全入力機能		
ポート4	A/Dコンバータ入力 と兼用の汎用入出 力ポート	0	P40	P40/AN000		—	P40	—	—
		1	P41	P41/AN001			P41		
		2	P42	P42/AN002			P42		
		3	P43	P43/AN003/ CVREFL			P43		
		4	P44	P44/AN100			P44		
		5	P45	P45/AN101			P45		
		6	P46	P46/AN102			P46		
		7	P47	P47/AN103/ CVREFH			P47		
ポート7	POE3入力、 割り込み入力、 MTU3入出力、 GPT入出力 と兼用の汎用入出 力ポート	0	P70	POE0#/IRQ5		—	全入力機能	—	—
		1	P71/MTIOC3B/ GTIOC0A-A				全入力機能		○
		2	P72/MTIOC4A/ GTIOC1A-A				全入力機能		○
		3	P73/MTIOC4B/ GTIOC2A-A				全入力機能		○
		4	P74/MTIOC3D/ GTIOC0B-A				全入力機能		○
		5	P75/MTIOC4C/ GTIOC1B-A				全入力機能		○
		6	P76/MTIOC4D/ GTIOC2B-A				全入力機能		○
ポート9	MTU3入出力、 と兼用の汎用入出 力ポート	1	P91/MTIOC7C			—	全入力機能	—	—
		2	P92/MTIOC6D				全入力機能		
		3	P93/MTIOC7B				全入力機能		
		4	P94/MTIOC7A				全入力機能		
ポートA	MTU3入出力、 RSPI入出力、 A/Dコンバータ 入力、と兼用の汎 用入出力ポート	2	PA2/MTIOC2B		SSL1-B	—	全入力機能	—	—
		3	PA3/MTIOC2A/ SSL0-B			SSL0-B	PA3/MTIOC2A		
		4	PA4/MTIOC1B/ RSPCK-B	ADTRG0#-A		RSPCK-B	PA4/MTIOC1B/ ADTRG0#-A		
		5	PA5/MTIOC1A/ MISO-B	ADTRG1#-A		MISO-B	PA5/MTIOC1A/ ADTRG1#-A		

表 15.30 ポート機能一覧 (2 / 2) (64ピンLQFP)

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	オープン ドレイン 出力機能	大電流 出力端子
			入出力	入力	出力				
ポートB	MTU3入出力、 RSPI入出力、 RIIC入出力、 SCI入出力、 GPT入力、 POE3入力、 割り込み入力、 CAN入出力と兼用の汎用入出力ポート	0	PB0/MTIOC0D/ MOSI-B			MOSI-B	PB0/MTIOC0D	—	—
		1	PB1/MTIOC0C/ SCL	RXD0		—	全入力機能	○ (SCLのみ)	—
		2	PB2/MTIOC0B-A/ SDA		TXD0		全入力機能	○ (SDAのみ)	—
		3	PB3/MTIOC0A-A/ SCK0				全入力機能	—	—
		4	PB4	GTETRQ/ POE8#/IRQ3			全入力機能		
		5	PB5		TXD2-A/ CTX-A		全入力機能		
		6	PB6	RXD2-A/CRX-A			全入力機能		
		7	PB7/SCK2-A				全入力機能		
ポートD	GPT入出力、 SCI入出力、 オンチップエミュ レータ入出力と 兼用の汎用入出力 ポート	3	PD3/GTIOC2A-B		TXD1/TDO	—	全入力機能	—	—
		4	PD4/GTIOC1B-B/ SCK1	TCK		—	全入力機能		
		5	PD5/GTIOC1A-B	RXD1/TDI		—	全入力機能		
		6	PD6/GTIOC0B-B	TMS			全入力機能		
		7	PD7/GTIOC0A-B	TRST#			—	全入力機能	
ポートE	POE3入力、 割り込み入力 と兼用の汎用入出力 ポート	2		PE2/POE10#-A/ NMI			全入力機能	—	—

15.5.2 レジスタの説明

表 15.31 に I/O ポートのレジスタ一覧を示します。表 15.32 に各レジスタの有効ビット一覧を示します。

表 15.31 I/Oポートのレジスタ一覧 (64ピンLQFP)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PORT1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
PORT2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
PORT3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
PORT4	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
PORT7	データディレクションレジスタ	DDR	00h	0008 C007h	8
	データレジスタ	DR	00h	0008 C027h	8
	ポートレジスタ	PORT	不定	0008 C047h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C067h	8
PORT9	データディレクションレジスタ	DDR	00h	0008 C009h	8
	データレジスタ	DR	00h	0008 C029h	8
	ポートレジスタ	PORT	不定	0008 C049h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C069h	8
PORTA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
PORTB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
PORTD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8
PORTE	ポートレジスタ	PORT	不定	0008 C04Eh	8
IOPORT	ポートファンクションレジスタC	PFCMTU	00h	0008 C10Ch	8
	ポートファンクションレジスタD	PFDGPT	00h	0008 C10Dh	8
	ポートファンクションレジスタG	PFGSPI	00h	0008 C110h	8
	ポートファンクションレジスタH	PFHSPI	00h	0008 C111h	8
	ポートファンクションレジスタJ	PFJCAN	00h	0008 C113h	8
	ポートファンクションレジスタK	PFKLIN	00h	0008 C114h	8
	ポートファンクションレジスタM	PFMPOE	00h	0008 C116h	8

表 15.32 レジスタの有効ビット一覧 (64ピンLQFP)

レジスタシンボル	b7	b6	b5	b4	b3	b2	b1	b0
PORT1.DDR	x	x	x	x	x	x	○	○
PORT2.DDR	x	x	x	○	○	○	x	x
PORT3.DDR	x	x	x	x	○	○	○	○
PORT7.DDR	x	○	○	○	○	○	○	○
PORT9.DDR	x	x	x	○	○	○	○	x
PORTA.DDR	x	x	○	○	○	○	x	x
PORTB.DDR	○	○	○	○	○	○	○	○
PORTD.DDR	○	○	○	○	○	x	x	x
PORT1.DR	x	x	x	x	x	x	○	○
PORT2.DR	x	x	x	○	○	○	x	x
PORT3.DR	x	x	x	x	○	○	○	○
PORT7.DR	x	○	○	○	○	○	○	○
PORT9.DR	x	x	x	○	○	○	○	x
PORTA.DR	x	x	○	○	○	○	x	x
PORTB.DR	○	○	○	○	○	○	○	○
PORTD.DR	○	○	○	○	○	x	x	x
PORT1.PORT	x	x	x	x	x	x	○	○
PORT2.PORT	x	x	x	○	○	○	x	x
PORT3.PORT	x	x	x	x	○	○	○	○
PORT4.PORT	○	○	○	○	○	○	○	○
PORT7.PORT	x	○	○	○	○	○	○	○
PORT9.PORT	x	x	x	○	○	○	○	x
PORTA.PORT	x	x	○	○	○	○	x	x
PORTB.PORT	○	○	○	○	○	○	○	○
PORTD.PORT	○	○	○	○	○	x	x	x
PORTE.PORT	x	x	x	x	x	○	x	x
PORT1.ICR	x	x	x	x	x	x	○	○
PORT2.ICR	x	x	x	○	○	○	x	x
PORT3.ICR	x	x	x	x	○	○	○	○
PORT4.ICR	○	○	○	○	○	○	○	○
PORT7.ICR	x	○	○	○	○	○	○	○
PORT9.ICR	x	x	x	○	○	○	○	x
PORTA.ICR	x	x	○	○	○	○	x	x
PORTB.ICR	○	○	○	○	○	○	○	○
PORTD.ICR	○	○	○	○	○	x	x	x
IOPORT.PFCMTU	○	○	x	x	x	x	○	○
IOPORT.PFDGPT	x	x	x	x	x	x	x	○
IOPORT.PFGSPI	○	○	○	○	○	○	○	x
IOPORT.PFHSPI	x	x	x	x	x	x	○	○
IOPORT.PFJCAN	○	○	x	x	x	x	x	○
IOPORT.PFKLIN	x	x	x	x	x	x	x	○
IOPORT.PFMPOE	x	x	x	x	○	○	x	○

○：有効ビット、×：無効ビット（予約ビット）

15.5.2.1 データディレクションレジスタ (DDR)

アドレス PORT1.DDR 0008 C001h、PORT2.DDR 0008 C002h、PORT3.DDR 0008 C003h、PORT7.DDR 0008 C007h、
PORT9.DDR 0008 C009h、PORTA.DDR 0008 C00Ah、PORTB.DDR 0008 C00Bh、PORTD.DDR 0008 C00Dh、
PORTE.DDR 0008 C00Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DDRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.DDRは、b4～b2が有効で、b7～b5、b1、b0は予約ビットです。
PORT3.DDRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.DDRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT9.DDRは、b4～b1が有効で、b7～b5、b0は予約ビットです。
PORTA.DDRは、b5～b2が有効で、b7、b6、b1、b0は予約ビットです。
PORTD.DDRは、上位5ビットが有効で、下位3ビットは予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0入力/出力指定ビット	0 : 入力ポート 1 : 出力ポート	R/W
b1	B1	Pn1入力/出力指定ビット		R/W
b2	B2	Pn2入力/出力指定ビット		R/W
b3	B3	Pn3入力/出力指定ビット		R/W
b4	B4	Pn4入力/出力指定ビット		R/W
b5	B5	Pn5入力/出力指定ビット		R/W
b6	B6	Pn6入力/出力指定ビット		R/W
b7	B7	Pn7入力/出力指定ビット		R/W

n = 1～3、7、9、A、B、D、E

PORTn.DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTn.DDR レジスタ (n = 1～3、7、9、A、B、D、E) の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

15.5.2.2 データレジスタ (DR)

アドレス PORT1.DR 0008 C021h、PORT2.DR 0008 C022h、PORT3.DR 0008 C023h、PORT7.DR 0008 C027h、
PORT9.DR 0008 C029h、PORTA.DR 0008 C02Ah、PORTB.DR 0008 C02Bh、PORTD.DR 0008 C02Dh、
PORTE.DR 0008 C02Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.DRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.DRは、b4～b2が有効で、b7～b5、b1、b0は予約ビットです。
PORT3.DRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.DRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT9.DRは、b4～b1が有効で、b7～b5、b0は予約ビットです。
PORTA.DRは、b5～b2が有効で、b7、b6、b1、b0は予約ビットです。
PORTD.DRは、上位5ビットが有効で、下位3ビットは予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pn1出力データ格納ビット		R/W
b2	B2	Pn2出力データ格納ビット		R/W
b3	B3	Pn3出力データ格納ビット		R/W
b4	B4	Pn4出力データ格納ビット		R/W
b5	B5	Pn5出力データ格納ビット		R/W
b6	B6	Pn6出力データ格納ビット		R/W
b7	B7	Pn7出力データ格納ビット		R/W

n = 1～3、7、9、A、B、D、E

PORTn.DR レジスタ (n = 1～3、7、9、A、B、D、E) は、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

15.5.2.3 ポートレジスタ (PORT)

アドレス PORT1.PORT 0008 C041h、PORT2.PORT 0008 C042h、PORT3.PORT 0008 C043h、PORT4.PORT 0008 C044h、PORT7.PORT 0008 C047h、PORT9.PORT 0008 C049h、PORTA.PORT 0008 C04Ah、PORTB.PORT 0008 C04Bh、PORTD.PORT 0008 C04Dh、PORTE.PORT 0008 C04Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 X X X X X X X X

- 注1. PORT1.PORTは、下位2ビットが有効で、上位6ビットは予約ビットです。
 PORT2.PORTは、b4～b2が有効で、b7～b5、b1、b0は予約ビットです。
 PORT3.PORTは、下位4ビットが有効で、上位4ビットは予約ビットです。
 PORT7.PORTは、下位7ビットが有効で、上位1ビットは予約ビットです。
 PORT9.PORTは、b4～b1が有効で、b7～b5、b0は予約ビットです。
 PORTA.PORTは、b5～b2が有効で、b7、b6、b1、b0は予約ビットです。
 PORTD.PORTは、上位5ビットが有効で、下位3ビットは予約ビットです。
 PORTE.PORTは、b2が有効で、b7～b3、b1、b0は予約ビットです。
- 注2. 予約ビットは、読むと“1”が読めます。書き込みは無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pn0ビット	ポートの端子状態を反映	R
b1	B1	Pn1ビット		R
b2	B2	Pn2ビット		R
b3	B3	Pn3ビット		R
b4	B4	Pn4ビット		R
b5	B5	Pn5ビット		R
b6	B6	Pn6ビット		R
b7	B7	Pn7ビット		R

n = 1～4、7、9、A、B、D、E

PORTレジスタは、ポートの端子の状態を反映するレジスタです。

PORTn.PORTレジスタ (n = 1～4、7、9、A、B、D、E) を読むと、端子の状態が読めます。

15.5.2.4 入力バッファコントロールレジスタ (ICR)

アドレス PORT1.ICR 0008 C061h、PORT2.ICR 0008 C062h、PORT3.ICR 0008 C063h、PORT4.ICR 0008 C064h、
PORT7.ICR 0008 C067h、PORT9.ICR 0008 C069h、PORTA.ICR 0008 C06Ah、PORTB.ICR 0008 C06Bh、
PORTD.ICR 0008 C06Dh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. PORT1.ICRは、下位2ビットが有効で、上位6ビットは予約ビットです。
PORT2.ICRは、b4～b2が有効で、b7～b5、b1、b0は予約ビットです。
PORT3.ICRは、下位4ビットが有効で、上位4ビットは予約ビットです。
PORT7.ICRは、下位7ビットが有効で、上位1ビットは予約ビットです。
PORT9.ICRは、b4～b1が有効で、b7～b5、b0は予約ビットです。
PORTA.ICRは、b5～b2が有効で、b7、b6、b1、b0は予約ビットです。
PORTD.ICRは、上位5ビットが有効で、下位3ビットは予約ビットです。
- 注2. 予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0 (注1)	Pn0入力バッファ制御ビット	0: 対応する端子の入力バッファは無効 1: 対応する端子の入力バッファは有効	R/W
b1	B1 (注1)	Pn1入力バッファ制御ビット		R/W
b2	B2 (注1)	Pn2入力バッファ制御ビット		R/W
b3	B3 (注1)	Pn3入力バッファ制御ビット		R/W
b4	B4 (注1)	Pn4入力バッファ制御ビット		R/W
b5	B5 (注1)	Pn5入力バッファ制御ビット		R/W
b6	B6 (注1)	Pn6入力バッファ制御ビット		R/W
b7	B7 (注1)	Pn7入力バッファ制御ビット		R/W

n = 1～4、7、9、A、B、D

- 注1. 入力端子として使用する場合は、対応するビットを“1”にしてください。入力として使用しない端子、およびアナログ入力端子として使用するビットは、“0”にしてください。

PORTn.ICR レジスタは、ポートの入力バッファを制御するレジスタです。

PORTn.ICR レジスタ (n = 1～4、7、9、A、B、D) の各ビットは、それぞれポート n の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

周辺モジュールの入力端子として使用する場合は、あらかじめ対応する端子の入力バッファを有効にするために PORTn.ICR を“1”にする必要があります。PORTn.ICR を“0”にした状態のまま周辺モジュールの入力端子として使用した場合は、周辺モジュールへの入力信号は High に固定されます。

PORTn.ICR レジスタの設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。PORTn.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQi(i=0～7) 入力の場合、当該割り込みを禁止した状態で PORTn.ICR レジスタの設定の変更を行い、割り込みコントローラの IRi.IR フラグ (i = 64～71(IRQ の割り込みベクタ番号)) を“0”にし、その後当該割り込みを許可してください。PORTn.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

15.5.2.5 ポートファンクションレジスタ C (PFCMTU)

アドレス 0008 C10Ch

b7	b6	b5	b4	b3	b2	b1	b0
TCLKS[1:0]	—	—	—	—	—	MTUS1	MTUS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MTUS0	MTU3 端子選択0ビット	0 : PB3をMTIOC0A-A端子として選択 1 : P31をMTIOC0A-B端子として選択	R/W
b1	MTUS1	MTU3 端子選択1ビット	0 : PB2をMTIOC0B-A端子として選択 1 : P30をMTIOC0B-B端子として選択	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b7-b6	TCLKS[1:0]	MTCLK 端子選択ビット	b7 b6 0 0 : P33をMTCLKA-A端子として選択 P32をMTCLKB-A端子として選択 P31をMTCLKC-A端子として選択 P30をMTCLKD-A端子として選択 0 1 : P11をMTCLKC-B端子として選択 P10をMTCLKD-B端子として選択 (MTCLKA端子およびMTCLKB端子は選択できません) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W

PFCMTU レジスタは、MTU3 の端子を選択するレジスタです。

MTUS_i ビット (MTU3 端子選択ビット) (i = 0、1)

MTU3 の入出力端子を選択します。

TCLKS[1:0] ビット (MTCLK 端子選択ビット)

MTU3 の MTCLK 入力端子を選択します。

15.5.2.6 ポートファンクションレジスタ D (PFDGPT)

アドレス 0008 C10Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	GPTS
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPTS	GPT端子選択ビット	0 : P71 を GTIOC0A-A 端子として選択 P74 を GTIOC0B-A 端子として選択 P72 を GTIOC1A-A 端子として選択 P75 を GTIOC1B -A 端子として選択 P73 を GTIOC2A-A 端子として選択 P76 を GTIOC2B-A 端子として選択 1 : PD7 を GTIOC0A-B 端子として選択 PD6 を GTIOC0B-B 端子として選択 PD5 を GTIOC1A-B 端子として選択 PD4 を GTIOC1B-B 端子として選択 PD3 を GTIOC2A-B 端子として選択 (GTIOC2B-B 端子は選択できません)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFDGPT レジスタは、GPT の端子を選択するレジスタです。

GPTS ビット (GPT 入出力端子選択ビット)

GPT の入出力端子を選択します。

15.5.2.7 ポートファンクションレジスタ G (PFGSPI)

アドレス 0008 C110h

b7	b6	b5	b4	b3	b2	b1	b0
SSL3E	SSL2E	SSL1E	SSL0E	MISOE	MOSIE	RSPCKE	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	RSPCKE	RSPCK出力許可ビット	0 : RSPCK 端子無効 1 : RSPCK 端子有効	R/W
b2	MOSIE	MOSI出力許可ビット	0 : MOSI 端子無効 1 : MOSI 端子有効	R/W
b3	MISOE	MISO出力許可ビット	0 : MISO 端子無効 1 : MISO 端子有効	R/W
b4	SSL0E	SSL0出力許可ビット	0 : SSL0 端子無効 1 : SSL0 端子有効	R/W
b5	SSL1E	SSL1出力許可ビット	0 : SSL1 端子無効 1 : SSL1 端子有効	R/W
b6	SSL2E	SSL2出力許可ビット	0 : SSL2 端子無効 1 : SSL2 端子有効	R/W
b7	SSL3E	SSL3出力許可ビット	0 : SSL3 端子無効 1 : SSL3 端子有効	R/W

PFGSPI レジスタは、RSPI に関する入出力端子を設定するレジスタです。

RSPCKE ビット (RSPCK 出力許可ビット)

RSPCK 端子の出力許可／禁止を選択します。RSPCK 端子を使用する場合は、“1”にしてください。

MOSIE ビット (MOSI 出力許可ビット)

MOSI 端子の出力許可／禁止を選択します。MOSI 端子を使用する場合は、“1”にしてください。

MISOE ビット (MISO 出力許可ビット)

MISO 端子の出力許可／禁止を選択します。MISO 端子を使用する場合は、“1”にしてください。

SSL0E ビット (SSL0 出力許可ビット)

SSL0 端子の出力許可／禁止を選択します。SSL0 端子を使用する場合は、“1”にしてください。

SSL1E ビット (SSL1 出力許可ビット)

SSL1 端子の出力許可／禁止を選択します。SSL1 端子を使用する場合は、“1”にしてください。

SSL2E ビット (SSL2 出力許可ビット)

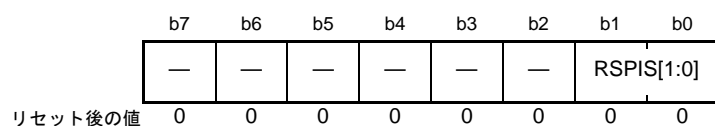
SSL2 端子の出力許可／禁止を選択します。SSL2 端子を使用する場合は、“1”にしてください。

SSL3E ビット (SSL3 出力許可ビット)

SSL3 端子の出力許可／禁止を選択します。SSL3 端子を使用する場合は、“1”にしてください。

15.5.2.8 ポートファンクションレジスタ H (PFHSPI)

アドレス 0008 C111h



ビット	シンボル	ビット名	機能	R/W
b1-b0	RSPIS[1:0]	RSPI端子選択ビット	b1 b0 0 0 : P22をMISO-A端子として設定 P23をMOSI-A端子として設定 P24をRSPCK-A端子として設定 P30をSSL0-A端子として設定 P31をSSL1-A端子として設定 P32をSSL2-A端子として設定 P33をSSL3-A端子として設定 0 1 : PA5をMISO-B端子として設定 PB0をMOSI-B端子として設定 PA4をRSPCK-B端子として設定 PA3をSSL0-B端子として設定 PA2をSSL1-B端子として設定 (SSL2端子およびSSL3端子は選択できません) 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFHSPI レジスタは、RSPI に関する入出力端子を設定するレジスタです。

RSPIS[1:0] ビット (RSPI 端子選択ビット)

RSPI の入出力端子を選択します。

RSPI の入出力端子は、端子ごとに許可ビットがあります。許可ビットを“1”にしている端子は選択されますが、許可ビットを“0”にしている端子は選択されません。

15.5.2.9 ポートファンクションレジスタ J (PFJCAN)

アドレス 0008 C113h

	b7	b6	b5	b4	b3	b2	b1	b0
	CANS[1:0]	—	—	—	—	—	—	CANE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CANE	CAN 端子許可ビット	0 : CTX 端子および CRX 端子無効 1 : CTX 端子および CRX 端子有効	R/W
b5-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	CANS[1:0]	CAN 端子選択ビット	b7 b6 0 0 : PB5 を CTX-A 端子として設定 PB6 を CRX-A 端子として設定 0 1 : P23 を CTX-B 端子として設定 P22 を CRX-B 端子として設定 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W

PFJCAN レジスタは、CAN に関する入出力端子を設定するレジスタです。

CANE ビット (CAN 端子許可ビット)

CAN 端子の許可/禁止を選択します。CAN を使用する場合は、“1”にしてください。

CANS[1:0] ビット (CAN 端子選択ビット)

CAN の入出力端子を選択します。

15.5.2.10 ポートファンクションレジスタ K (PFKLIN)

アドレス 0008 C114h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LINE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LINE	LIN 端子許可ビット	0 : LTX 端子および LRX 端子無効 1 : LTX 端子および LRX 端子有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFKLIN レジスタは、LIN に関する入出力端子を設定するレジスタです。

LINE ビット (LIN 端子許可ビット)

LIN 端子の許可/禁止を選択します。LIN を使用する場合は、“1”にしてください。

15.5.2.11 ポートファンクションレジスタ M (PFMPOE)

アドレス 0008 C116h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	POE10E	POE8E	—	POE0E
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POE0E	POE0#入力許可ビット	0 : I/Oポートとして設定 1 : POE0#入力端子として設定	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	POE8E	POE8#入力許可ビット	0 : I/Oポートとして設定 1 : POE8#入力端子として設定	R/W (注1)
b3	POE10E	POE10#入力許可ビット	0 : I/Oポートとして設定 1 : POE10#入力端子として設定	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 書き込みはリセットスタート後の最初の1回目のみ有効です。2回目以降の書き込みはできません。

PFMPOE レジスタは、POEn# 入力端子の許可/禁止を選択するレジスタです。

システムの誤動作を防ぐためにリセットスタート後に書き込みを行ってください。書き込みはリセットスタート後の最初の1回目のみ有効です。

POEnE ビット (POEn# 入力許可ビット) (n = 0、8、10)

対応する POEn# 入力の許可/禁止を選択します。

POEn# を使用する場合には、対応する POEnE ビットを“1”にしてください。

15.5.3 ポートの設定

各周辺モジュールの端子を有効に設定すると、各ポートの設定が切り替わります。

入力として機能する端子は、各周辺モジュールの設定により独立して設定できます。ポートレジスタリード、NMI および POEn# 端子入力を除き、入力バッファコントロールレジスタ (PORTn.ICR) の対応するビットを“1”にして入力バッファを有効にする必要があります。

出力および入出力として機能する端子は、各周辺モジュールの端子ごとに出力信号を有効に設定する必要があります。同じポートにマルチプレクスされている各周辺モジュールの出力信号有効設定が競合すると周辺モジュールのポートマルチプレクス優先順位に従って、優先される周辺モジュールの機能が有効になります。

表 15.33 に周辺モジュールのポートマルチプレクス優先順位一覧を示します。

表 15.33 周辺モジュールのポートマルチプレクス優先順位一覧 (64ピンLQFP)

優先順位	モジュール名	出力端子名	
高 ↑ ↓ 低	1	RSPI	RSPCK、MOSI、MISO、SSL0～SSL3
	2	CAN	CTX
	3	LIN	LTX
	4	MTU0～MTU7	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D、MTIOC1A、MTIOC1B、MTIOC2A、MTIOC2B、MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C
	5	GPT0～GPT3	GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B
	6	SCI0～SCI2	SCK0～SCK2、TXD0～TXD2
	7	RIIC	SCL、SDA
	8	IOPORT	P10～P11、P22～P24、P30～P33、P70～P76、P91～P94、PA2～PA5、PB0～PB7、PD3～PD7

15.5.4 出力許可設定一覧

表 15.34 に各ポートの出力許可設定一覧を示します。

該当する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

また、各周辺モジュールの端子名の末尾に A ~ B のいずれかが付いている端子は、ポートファンクションレジスタによって端子機能を変更できます。

表 15.34 各ポートの出力許可設定一覧 (64ピンLQFP) (1/3)

ポート	モジュール名	出力信号名	ポートファンクション レジスタの設定	各周辺モジュールの設定
P10	PORT1	P10		PORT1.DDR.B0=1
P11	PORT1	P11		PORT1.DDR.B1=1
P22	RSPI	MISO-A	PFGSPI.MISOE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P22		PORT2.DDR.B2 = 1
P23	RSPI	MOSI-A	PFGSPI.MOSIE=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	CAN	CTX-B	PFJCAN.CANE =1 PFJCAN.CANS[1:0]=01	(信号出力状態は周辺モジュールの設定に従います)
	LIN	LTX	PFKLIN.LINE=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT2	P23		PORT2.DDR.B3 =1
P24	RSPI	RSPCK-A	PFGSPI.RSPCKE =1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	PORT2	P24		PORT2.DDR.B4=1
P30	RSPI	SSL0-A	PFGSPI.SSL0E=1 PFHSPI.RSPIS[1:0]=00	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0B-B	PFCMTU.MTUS1=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P30		PORT3.DDR.B0=1
P31	RSPI	SSL1-A	PFGSPI.SSL1E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU0	MTIOC0A-B	PFCMTU.MTUS0=1	(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P31		PORT3.DDR.B1=1
P32	RSPI	SSL2-A	PFGSPI.SSL2E=1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3C		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P32		PORT3.DDR.B2=1
P33	RSPI	SSL3-A	PFGSPI.SSL3E =1 PFHSPI.RSPIS[1:0]=00	(信号出力状態は周辺モジュールの設定に従います)
	MTU3	MTIOC3A		(信号出力状態は周辺モジュールの設定に従います)
	PORT3	P33		PORT3.DDR.B3=1
P70	PORT7	P70		PORT7.DDR.B0=1
P71	MTU3	MTIOC3B		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P71		PORT7.DDR.B1=1
P72	MTU4	MTIOC4A		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P72		PORT7.DDR.B2=1
P73	MTU4	MTIOC4B		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2A-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P73		PORT7.DDR.B3=1

表 15.34 各ポートの出力許可設定一覧 (64ピンLQFP) (2 / 3)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
P74	MTU3	MTIOC3D		(信号出力状態は周辺モジュールの設定に従います)
	GPT0	GTIOC0B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P74		PORT7.DDR.B4=1
P75	MTU4	MTIOC4C		(信号出力状態は周辺モジュールの設定に従います)
	GPT1	GTIOC1B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P75		PORT7.DDR.B5=1
P76	MTU4	MTIOC4D		(信号出力状態は周辺モジュールの設定に従います)
	GPT2	GTIOC2B-A	PFDGPT.GPTS=0	(信号出力状態は周辺モジュールの設定に従います)
	PORT7	P76		PORT7.DDR.B6=1
P91	MTU7	MTIOC7C		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P91		PORT9.DDR.B1=1
P92	MTU6	MTIOC6D		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P92		PORT9.DDR.B2=1
P93	MTU7	MTIOC7B		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P93		PORT9.DDR.B3=1
P94	MTU7	MTIOC7A		(信号出力状態は周辺モジュールの設定に従います)
	PORT9	P94		PORT9.DDR.B4=1
PA2	RSPI	SSL1-B	PFGSPI.SSL1E = 1 PFHSPI.RSPIS[1:0] = 01	(信号出力状態は周辺モジュールの設定に従います)
	MTU2	MTIOC2B		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA2		PORTA.DDR.B2=1
PA3	RSPI	SSL0-B	PFGSPI.SSL0E = 1 PFHSPI.RSPIS[1:0] = 01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU2	MTIOC2A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA3		PORTA.DDR.B3=1
PA4	RSPI	RSPCK-B	PFGSPI.RSPCKE = 1 PFHSPI.RSPIS[1:0] = 01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU1	MTIOC1B		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA4		PORTA.DDR.B4=1
PA5	RSPI	MISO-B	PFGSPI.MISOE = 1 PFHSPI.RSPIS[1:0] = 01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU1	MTIOC1A		(信号出力状態は周辺モジュールの設定に従います)
	PORTA	PA5		PORTA.DDR.B5=1
PB0	RSPI	MOSI-B	PFGSPI.MOSIE=1 PFHSPI.RSPIS[1:0]=01	(端子許可とは別に、周辺モジュールの設定に 入力/出力の切り替え機能があります)
	MTU0	MTIOC0D		(信号出力状態は周辺モジュールの設定に従います)
	PORTB	PB0		PORTB.DDR.B0=1
PB1	MTU0	MTIOC0C		(信号出力状態は周辺モジュールの設定に従います)
	RIIC	SCL		RIIC.ICCR1.ICE=1
	PORTB	PB1		PORTB.DDR.B1=1
PB2	MTU0	MTIOC0B-A	PFCMTU.MTUS1=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	TXD0		SCI0.SCR.TE=1
	RIIC	SDA		RIIC.ICCR1.ICE=1
	PORTB	PB2		PORTB.DDR.B2=1

表 15.34 各ポートの出力許可設定一覧 (64ピンLQFP) (3 / 3)

ポート	モジュール名	出力信号名	ポートファンクションレジスタの設定	各周辺モジュールの設定
PB3	MTU0	MTIOC0A-A	PFCMTU.MTUS0=0	(信号出力状態は周辺モジュールの設定に従います)
	SCI0	SCK0		SCI0.SCMR.SMIF=1のとき： SMR.GM=0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI0.SCMR.SMIF=0のとき： SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB3		PORTB.DDR.B3=1
PB4	PORTB	PB4		PORTB.DDR.B4=1
PB5	CAN	CTX-A	PFJCAN.CANE = 1 PFJCAN.CANS[1:0] = 00	(信号出力状態は周辺モジュールの設定に従います)
	SCI2	TXD2-A	PFFSCI.SCI2S = 0	SCI2.SCR.TE=1
	PORTB	PB5		PORTB.DDR.B5=1
PB6	PORTB	PB6		PORTB.DDR.B6=1
PB7	SCI2	SCK2-A	PFFSCI.SCI2S=0	SCI2.SCMR.SMIF = 1のとき： SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI2.SCMR.SMIF=0のとき： SMR.CM=0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTB	PB7		PORTB.DDR.B7=1
PD3	GPT2	GTIOC2A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	TXD1		SCI1.SCR.TE=1
	PORTD	PD3		PORTD.DDR.B3=1
PD4	GPT1	GTIOC1B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	SCI1	SCK1		SCI1.SCMR.SMIF=1のとき： SMR.GM = 0, SCR.CKE[1:0]=01かSMR.GM=1で、 SCR.TE=1かSCR.RE=1 SCI1.SCMR.SMIF=0のとき： SMR.CM = 0, SCR.CKE[1:0]=01かSMR.CM=1, SCR.CKE[1]=0で、SCR.TE=1かSCR.RE=1
	PORTD	PD4		PORTD.DDR.B4=1
PD5	GPT1	GTIOC1A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD5		PORTD.DDR.B5=1
PD6	GPT0	GTIOC0B-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD6		PORTD.DDR.B6=1
PD7	GPT0	GTIOC0A-B	PFDGPT.GPTS=1	(信号出力状態は周辺モジュールの設定に従います)
	PORTD	PD7		PORTD.DDR.B7=1

15.5.5 未使用端子の処理

表 15.35 に未使用端子の処理内容を示します。

表 15.35 未使用端子の処理内容 (64ピンLQFP)

端子名	処理内容
EMLE	抵抗を介してVSSに接続 (プルダウン)
MD1、MD0	(モード端子として必ず使用)
MDE	(モード端子として必ず使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
PE2/NMI/POE10#-A	抵抗を介してVCCに接続 (プルアップ)
EXTAL	(クロック端子として必ず使用)
XTAL	端子を開放
ポート1~3、7、9、 A、B、D、E	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
ポート4	<ul style="list-style-type: none"> 端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または抵抗を介してAVSS0に接続 (プルダウン) PORTn.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1)
VREFH0	AVCC0に接続
VREFL0	AVSS0に接続

注1. PORTn.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

15.6 入出力ポートの構成

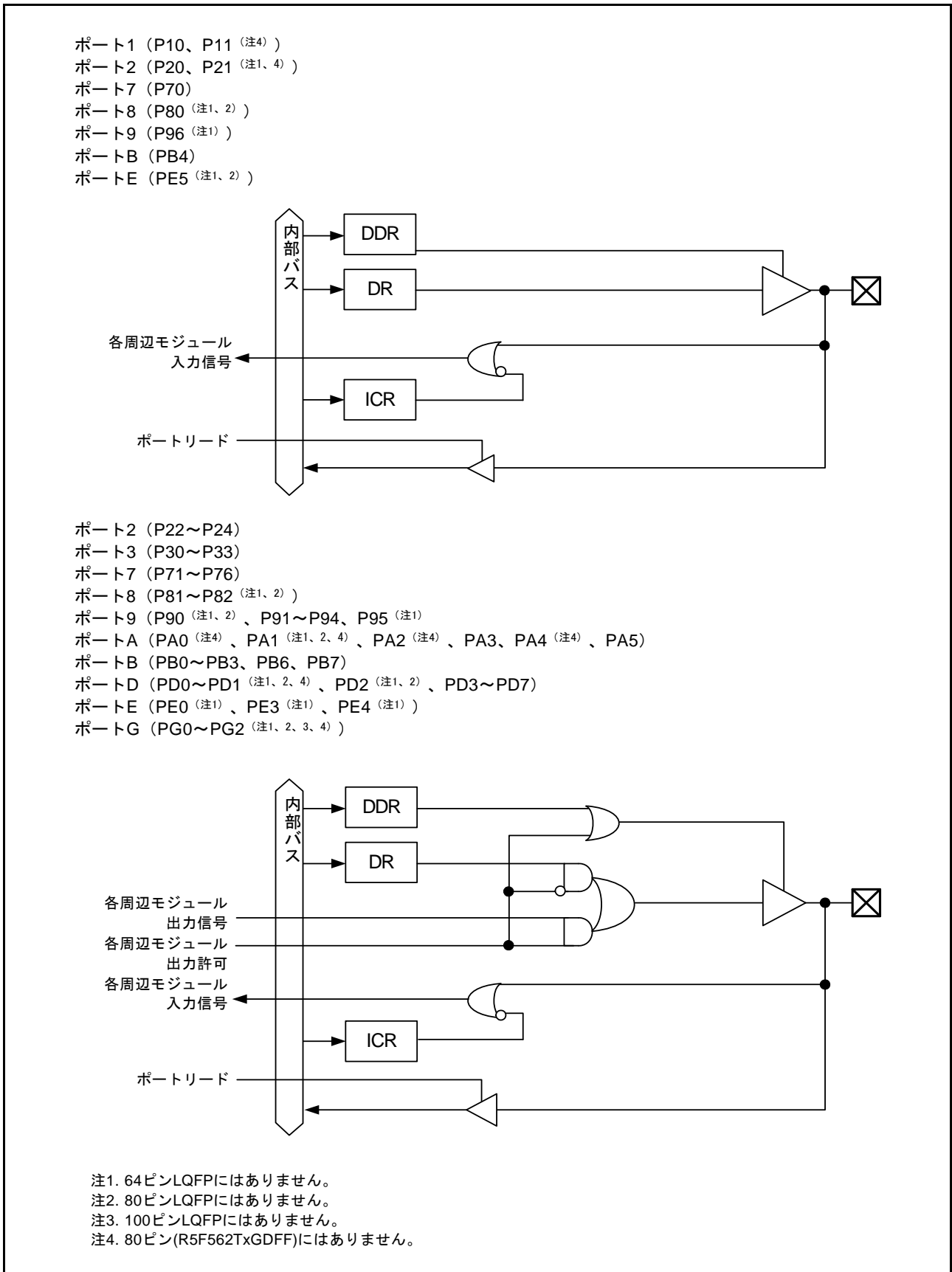


図 15.1 入出力ポートの構成 (1)

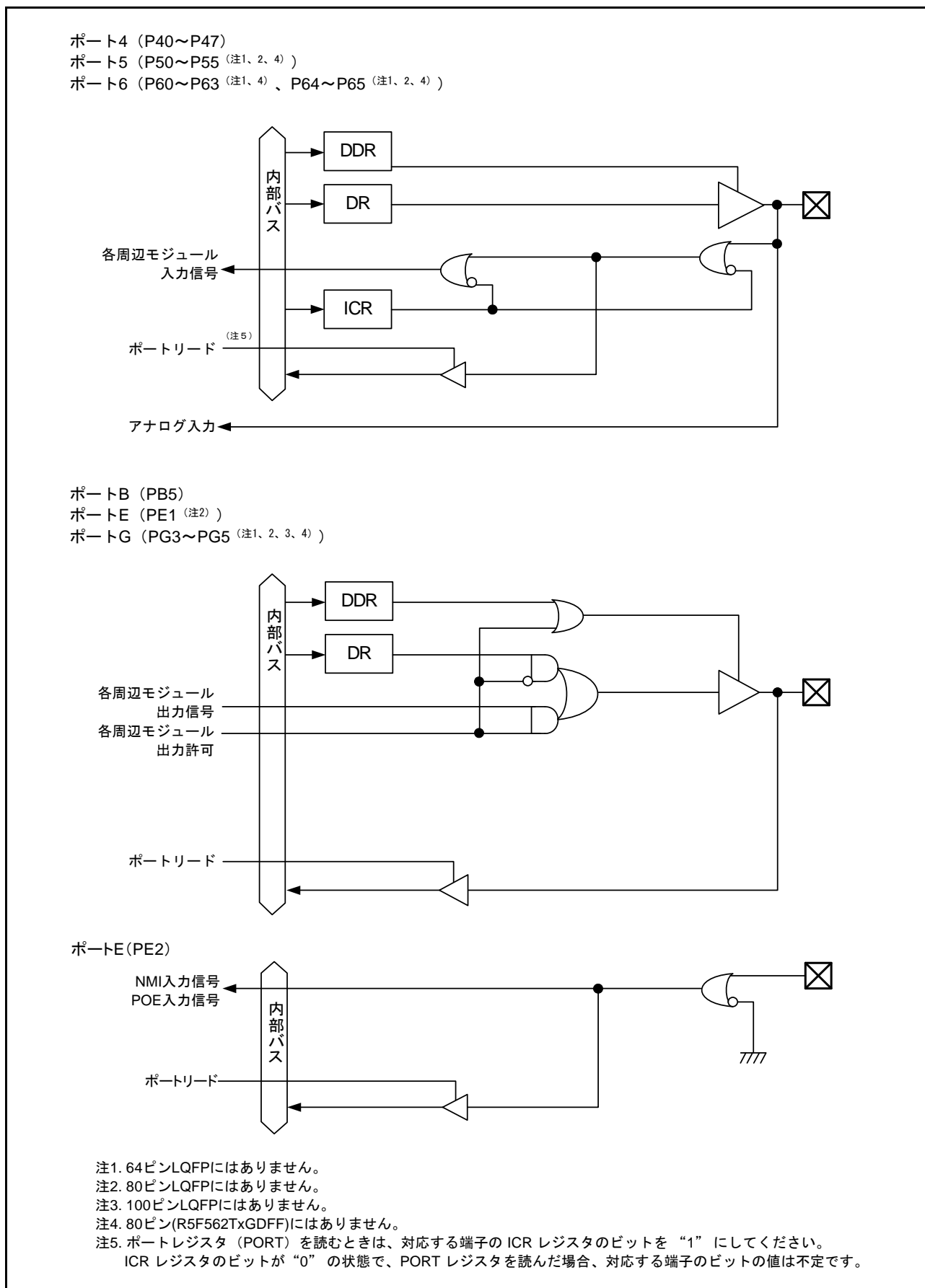


図 15.2 入出力ポートの構成 (2)

15.7 使用上の注意事項

15.7.1 入力バッファコントロールレジスタ (PORTn.ICR) の設定

PORTn.ICR レジスタの設定を変更する場合、端子の状態によっては内部にエッジが発生し、意図しない動作をすることがあります。PORTn.ICR レジスタの設定を変更する場合は、端子を High に固定した状態で行うか、当該端子に割り当てられている周辺モジュールの設定で、入力機能を無効にした状態で行ってください。

PORTn.ICR レジスタの設定で入力を有効にした場合、複数の入力機能が割り当てられている端子では、そのすべての入力機能に端子状態が反映されます。未使用の入力機能は各周辺モジュール側の設定に注意してください。

端子を出力端子として使用する場合、PORTn.ICR レジスタの設定で入力を有効にすると出力データが端子状態として取り込まれます。出力として使用する端子は、PORTn.ICR レジスタの設定で入力を無効にしてください。

15.7.2 ポートファンクションレジスタの設定

ポートファンクションレジスタは、I/O ポートの制御を行います。各端子の入出力の設定は、入出力先を選択後に入出力を有効にしてください。

入力端子を変更する場合、変更前の端子レベルと変更後の端子レベルが異なると内部にエッジが発生し、意図しない動作をすることがあります。入力端子を変更する場合は、以下の手順で行ってください。

1. 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を無効にする。
2. ポートファンクションレジスタの設定によって、入力端子を選択する。
3. 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を有効にする。

出力端子を変更する場合、変更前の端子設定と変更後の端子設定が異なると端子から内部エッジが出力されて、意図しない動作をすることがあります。出力端子を変更する場合は、以下の手順で行ってください。

1. 変更しようとする端子機能に該当する周辺モジュールの設定で、出力機能を無効にする。
2. ポートファンクションレジスタの設定により、出力端子を選択する。
3. 変更しようとする端子機能に該当する周辺モジュールの設定で、出力機能を有効にする。

1つの端子機能に対して、入出力先を変更する端子選択ビット、および端子機能を有効にする許可ビットの両方が存在する場合、端子選択ビットで端子の入出力先を設定した後に、許可ビットで端子機能を有効にしてください。

15.7.3 出力許可設定の切り替えについて

各ポートの出力許可設定の初期状態は禁止のため、端子は Hi-Z 状態になっています。出力許可設定の切り替えを行うと、各ポートは Hi-Z 状態から出力（High 出力または Low 出力）に切り替わりますが、このとき、LSI 内部の状態により、端子からエッジが出力される場合があります。

エッジを発生させないようにするためには、あらかじめポートデータレジスタ（DR）に値を設定する必要があります。

Hi-Z 状態から High 出力に切り替える場合は、以下の手順で行ってください。

1. 出力端子のポートデータレジスタ（DR）のビットを“1”（LSI 内部の状態を High 側にセット）にする。
2. ポートファンクションレジスタの設定により、出力端子を選択する。
3. 出力端子の機能を出力許可設定に切り替える。

Hi-Z 状態から Low 出力に切り替える場合は、以下の手順で行ってください。

- 1 出力端子のポートデータレジスタ（DR）のビットを“0”（LSI 内部の状態を Low 側にセット）にする。
2. ポートファンクションレジスタの設定により、出力端子を選択する。
3. 出力端子の機能を出力許可設定に切り替える。

15.7.4 ポートレジスタ（PORT）を読むときの注意事項

ポート 4、ポート 5、ポート 6 のポートレジスタ（PORT）を読むときは、あらかじめ対応する端子の入力バッファを有効にするために、PORTn.ICR レジスタの対応するビットを“1”にしてください。

PORTn.ICR レジスタのビットが“0”の状態、PORTn.PORT レジスタを読んだ場合、対応するビットの値は不定です。

16. マルチファンクションタイマパルスユニット3 (MTU3)

16.1 概要

RX62Tグループ、RX62Gグループは、8チャンネルの16ビットタイマにより構成されるマルチファンクションタイマパルスユニット3 (MTU3) を内蔵しています。

表 16.1 に MTU の仕様を、表 16.2 に MTU の機能一覧を示します。また、図 16.1、図 16.2 に MTU のブロック図を示します。

表 16.1 MTUの仕様

項目	内容
パルス入出力	最大24本
パルス入力	3本
カウントクロック	チャンネルごとに6~8種類 (チャンネル5は4種類)
動作周波数	8~100MHz
設定可能動作	<p>【MTU0~4、6、7】</p> <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大12相のPWM出力 <p>【MTU0、3、4、6、7】</p> <ul style="list-style-type: none"> バッファ動作を設定可能 <p>【MTU3、4、6、7】</p> <ul style="list-style-type: none"> MTU3/4、およびMTU6/7の連動動作による相補PWM、リセットPWM動作で、6相のポジ/ネガ計12相の出力が可能 相補PWMモード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD、MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補PWMモードでダブルバッファ機能を設定可能 <p>【MTU3、4】</p> <ul style="list-style-type: none"> MTU0と連動させて、相補PWM、リセットPWMを用いたAC同期モータ (ブラシレスDCモータ) 駆動モードが設定可能で、2種類 (チョッピング、レベル) の波形出力が選択可能 <p>【MTU1、2】</p> <ul style="list-style-type: none"> 個々に位相計数モードを設定可能 カスケード接続動作が可能 <p>【MTU5】</p> <ul style="list-style-type: none"> デッドタイム補償用カウンタとして使用することが可能
割り込み間引き機能	相補PWMモード時に、カウンタの山/谷での割り込み、およびA/Dコンバータの変換スタートトリガを間引くことが可能
割り込み要因	38種類
バッファ動作	レジスタデータの自動転送 (バッファレジスタからタイマレジスタへの転送)
トリガ生成	<p>A/Dコンバータの変換開始トリガを生成可能</p> <p>A/D変換開始要求のディレイド機能により、任意のタイミングでA/D変換開始が可能。またPWM出力との同期動作が可能</p>
消費電力低減機能	モジュールストップ状態への設定が可能

表 16.2 MTUの機能一覧 (1/2)

項 目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5	MTU6	MTU7
カウントクロック	ICLK/1 ICLK/4 ICLK/16 ICLK/64 MTCLKA MTCLKB MTCLKC MTCLKD	ICLK/1 ICLK/4 ICLK/16 ICLK/64 ICLK/256 MTCLKA MTCLKB	ICLK/1 ICLK/4 ICLK/16 ICLK/64 ICLK/1024 MTCLKA MTCLKB MTCLKC	ICLK/1 ICLK/4 ICLK/16 ICLK/64 ICLK/256 ICLK/1024 MTCLKA MTCLKB	ICLK/1 ICLK/4 ICLK/16 ICLK/64 ICLK/256 ICLK/1024 MTCLKA MTCLKB	ICLK/1 ICLK/4 ICLK/16 ICLK/64	ICLK/1 ICLK/4 ICLK/16 ICLK/64 ICLK/256 ICLK/1024	ICLK/1 ICLK/4 ICLK/16 ICLK/64 ICLK/256 ICLK/1024
ジェネラルレジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW	TGRA TGRB	TGRA TGRB
ジェネラルレジスタ/ バッファレジスタ	TGRC TGRD TGRF	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	入力端子 MTIC5U MTIC5V MTIC5W	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	MTIOC7A MTIOC7B MTIOC7C MTIOC7D
カウンタクリア機能	TGRのコン ペアマッチ または インプット キャプチャ	TGRのコン ペアマッチ または インプット キャプチャ	TGRのコン ペアマッチ または インプット キャプチャ	TGRのコン ペアマッチ または インプット キャプチャ	TGRのコン ペアマッチ または インプット キャプチャ	TGRのコン ペアマッチ または インプット キャプチャ	TGRのコン ペアマッチ または インプット キャプチャ	TGRのコン ペアマッチ または インプット キャプチャ
コンペア マッチ 出力	Low出力	○	○	○	○	○	—	○
	High出力	○	○	○	○	○	—	○
	トグル出力	○	○	○	○	○	—	○
インプット キャプチャ機能	○	○	○	○	○	○	○	○
同期動作	○	○	○	○	○	—	○	○
PWMモード1	○	○	○	○	○	—	○	○
PWMモード2	○	○	○	—	—	—	—	—
相補PWMモード	—	—	—	○	○	—	○	○
リセット同期PWM	—	—	—	○	○	—	○	○
AC同期モータ 駆動モード	○	—	—	○	○	—	—	—
位相計数モード	—	○	○	—	—	—	—	—
バッファ動作	○	—	—	○	○	—	○	○
デッドタイム補償用 カウンタ機能	—	—	—	—	—	○	—	—

表 16.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU3	MTU4	MTU5	MTU6	MTU7
割り込み要因	7要因 ●コンペアマッチ／インプットキャプチャA ●コンペアマッチ／インプットキャプチャB ●コンペアマッチ／インプットキャプチャC ●コンペアマッチ／インプットキャプチャD ●コンペアマッチE ●コンペアマッチF ●オーバフロー	4要因 ●コンペアマッチ／インプットキャプチャA ●コンペアマッチ／インプットキャプチャB ●オーバフロー ●アンダフロー	4要因 ●コンペアマッチ／インプットキャプチャA ●コンペアマッチ／インプットキャプチャB ●オーバフロー ●アンダフロー	5要因 ●コンペアマッチ／インプットキャプチャA ●コンペアマッチ／インプットキャプチャB ●コンペアマッチ／インプットキャプチャC ●コンペアマッチ／インプットキャプチャD ●オーバフロー	5要因 ●コンペアマッチ／インプットキャプチャA ●コンペアマッチ／インプットキャプチャB ●コンペアマッチ／インプットキャプチャC ●コンペアマッチ／インプットキャプチャD ●オーバフロー、アンダフロー (相補PWMモード時のみ)	3要因 ●コンペアマッチ／インプットキャプチャU ●コンペアマッチ／インプットキャプチャV ●コンペアマッチ／インプットキャプチャW	5要因 ●コンペアマッチ／インプットキャプチャA ●コンペアマッチ／インプットキャプチャB ●コンペアマッチ／インプットキャプチャC ●コンペアマッチ／インプットキャプチャD ●オーバフロー	5要因 ●コンペアマッチ／インプットキャプチャA ●コンペアマッチ／インプットキャプチャB ●コンペアマッチ／インプットキャプチャC ●コンペアマッチ／インプットキャプチャD ●オーバフロー、アンダフロー (相補PWMモード時のみ)
DTCの起動	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ、オーバフロー、アンダフロー (相補PWMモード時のみ)	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ、オーバフロー、アンダフロー (相補PWMモード時のみ)
A/D変換開始トリガ	TGRAのコンペアマッチまたはインプットキャプチャ、TGREのコンペアマッチ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、相補PWMモード時、TCNTのアンダフロー (谷)	—	TGRAのコンペアマッチまたはインプットキャプチャ	TGRAのコンペアマッチまたはインプットキャプチャ、相補PWMモード時、TCNTのアンダフロー (谷)
A/D変換開始要求ディレイド機能	—	—	—	—	●TADCORAとTCNTの一致で、A/D変換開始要求 ●TADCORBとTCNTの一致で、A/D変換開始要求	—	—	●TADCORAとTCNTの一致で、A/D変換開始要求 ●TADCORBとTCNTの一致で、A/D変換開始要求
割り込み間引き機能1	—	—	—	●TGRAのコンペアマッチ割り込みを間引き	●TCIV割り込みを間引き	—	●TGRAのコンペアマッチ割り込みを間引き	●TCIV割り込みを間引き
割り込み間引き機能2	—	—	—	—	●TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—	—	●TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き
モジュールストップ	MSTPCRA.MSTPA9 (注1)							

○：可能 —：不可能

注1. モジュールストップの詳細については、「9. 消費電力低減機能」を参照してください。

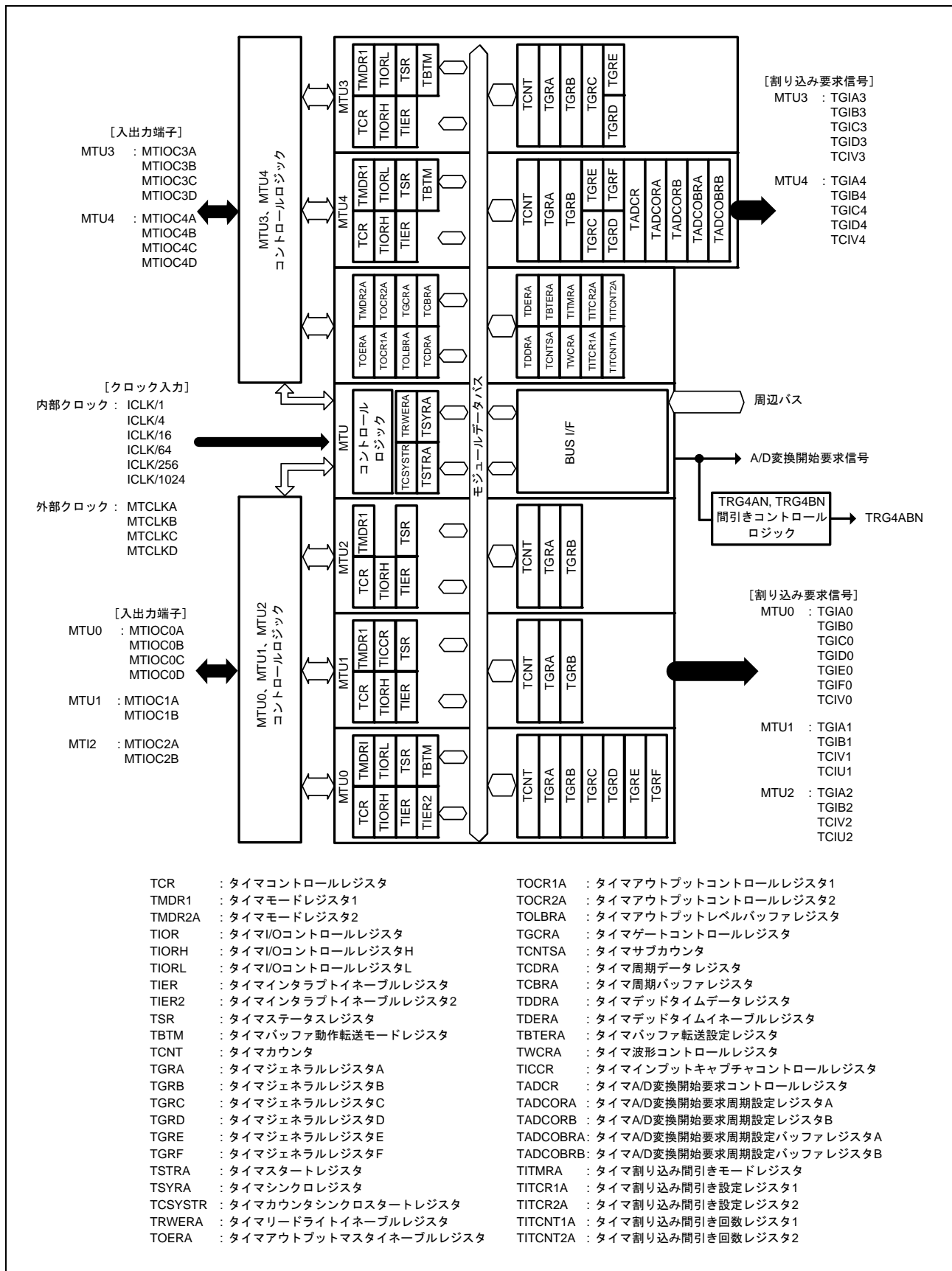


図 16.1 MTUのブロック図 (MTU0 ~ 4)

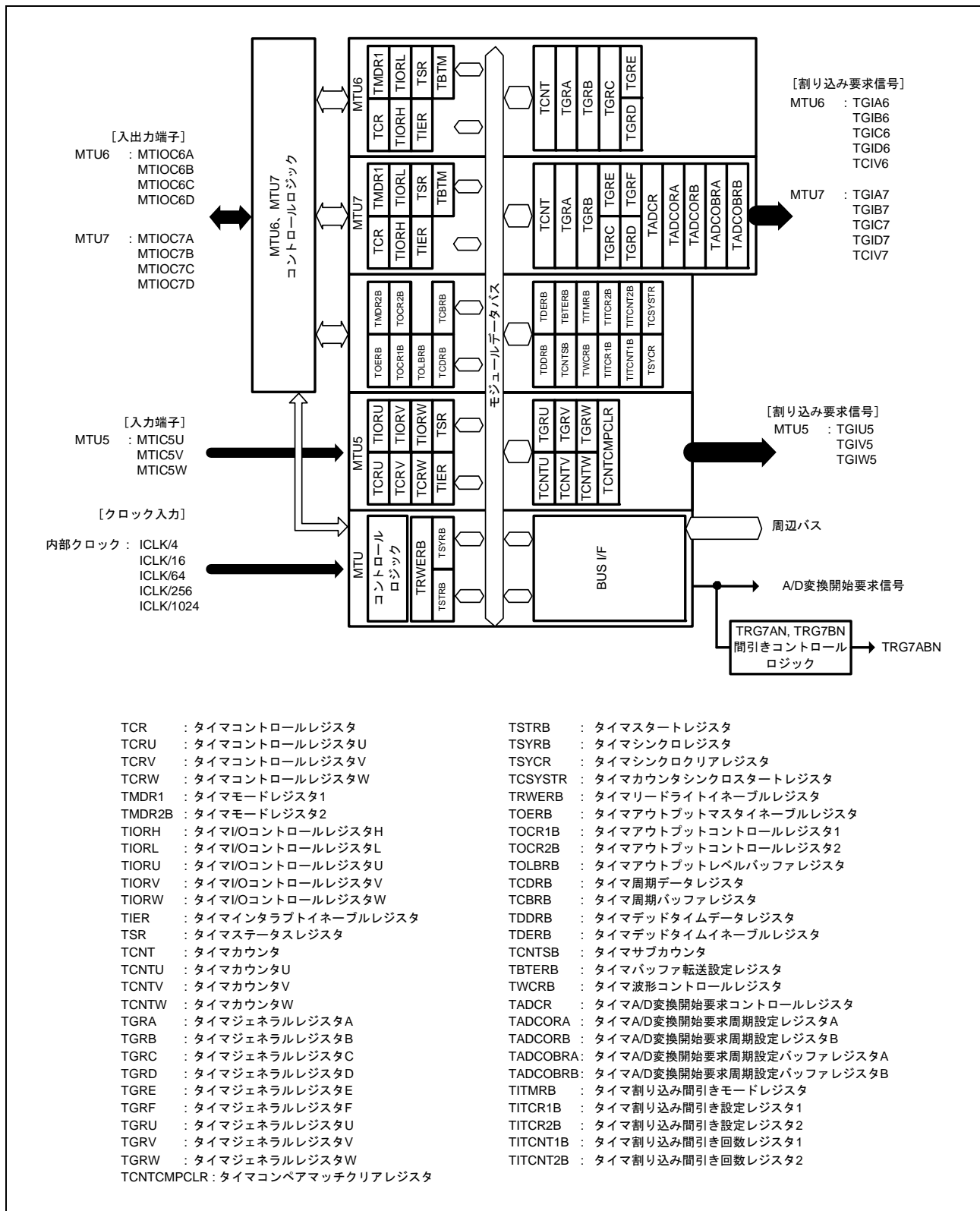


図 16.2 MTUのブロック図 (MTU5 ~ 7)

表 16.3 に MTU で使用する入出力端子を示します。

表 16.3 MTUの入出力端子

チャンネル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロック A 入力端子 (MTU1 の位相計数モード A 相入力)
	MTCLKB	入力	外部クロック B 入力端子 (MTU1 の位相計数モード B 相入力)
	MTCLKC	入力	外部クロック C 入力端子 (MTU2 の位相計数モード A 相入力)
	MTCLKD	入力	外部クロック D 入力端子 (MTU2 の位相計数モード B 相入力)
MTU0	MTIOC0A	入出力	MTU0.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC0B	入出力	MTU0.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC0C	入出力	MTU0.TGRC のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC0D	入出力	MTU0.TGRD のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC1B	入出力	MTU1.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC2B	入出力	MTU2.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC3B	入出力	MTU3.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC3C	入出力	MTU3.TGRC のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC3D	入出力	MTU3.TGRD のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC4B	入出力	MTU4.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC4C	入出力	MTU4.TGRC のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC4D	入出力	MTU4.TGRD のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
MTU5	MTIC5U	入力	MTU5.TGRU のインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRV のインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRW のインプットキャプチャ入力/外部パルス入力端子
MTU6	MTIOC6A	入出力	MTU6.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC6B	入出力	MTU6.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC6C	入出力	MTU6.TGRC のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC6D	入出力	MTU6.TGRD のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
MTU7	MTIOC7A	入出力	MTU7.TGRA のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC7B	入出力	MTU7.TGRB のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC7C	入出力	MTU7.TGRC のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	MTIOC7D	入出力	MTU7.TGRD のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

16.2 レジスタの説明

表 16.4 に MTU のレジスタ一覧を示します。

表 16.4 MTUのレジスタ一覧 (1 / 6)

チャンネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
MTU0	タイマコントロールレジスタ	TCR	00h	000C 1300h	8、16、32
	タイマモードレジスタ1	TMDR1	00h	000C 1301h	8
	タイマI/OコントロールレジスタH	TIORH	00h	000C 1302h	8、16
	タイマI/OコントロールレジスタL	TIORL	00h	000C 1303h	8
	タイマインタラプトイネーブルレジスタ	TIER	00h	000C 1304h	8、16、32
	タイマステータスレジスタ	TSR	C0h	000C 1305h	8
	タイマカウンタ	TCNT	0000h	000C 1306h	16
	タイマジェネラルレジスタA	TGRA	FFFFh	000C 1308h	16、32
	タイマジェネラルレジスタB	TGRB	FFFFh	000C 130Ah	16
	タイマジェネラルレジスタC	TGRC	FFFFh	000C 130Ch	16、32
	タイマジェネラルレジスタD	TGRD	FFFFh	000C 130Eh	16
	タイマジェネラルレジスタE	TGRE	FFFFh	000C 1320h	16、32
	タイマジェネラルレジスタF	TGRF	FFFFh	000C 1322h	16
	タイマインタラプトイネーブルレジスタ2	TIER2	00h	000C 1324h	8、16
	タイマステータスレジスタ2	TSR2	C0h	000C 1325h	8
	タイマバッファ動作転送モードレジスタ	TBTM	00h	000C 1326h	8
MTU1	タイマコントロールレジスタ	TCR	00h	000C 1380h	8、16
	タイマモードレジスタ1	TMDR1	00h	000C 1381h	8
	タイマI/Oコントロールレジスタ	TIOR	00h	000C 1382h	8
	タイマインタラプトイネーブルレジスタ	TIER	00h	000C 1384h	8、16、32
	タイマステータスレジスタ	TSR	C0h	000C 1385h	8
	タイマカウンタ	TCNT	0000h	000C 1386h	16
	タイマジェネラルレジスタA	TGRA	FFFFh	000C 1388h	16、32
	タイマジェネラルレジスタB	TGRB	FFFFh	000C 138Ah	16
タイマインプットキャプチャコントロールレジスタ	TICCR	00h	000C 1390h	8	
MTU2	タイマコントロールレジスタ	TCR	00h	000C 1400h	8、16
	タイマモードレジスタ1	TMDR1	00h	000C 1401h	8
	タイマI/Oコントロールレジスタ	TIOR	00h	000C 1402h	8
	タイマインタラプトイネーブルレジスタ	TIER	00h	000C 1404h	8、16、32
	タイマステータスレジスタ	TSR	C0h	000C 1405h	8
	タイマカウンタ	TCNT	0000h	000C 1406h	16
	タイマジェネラルレジスタA	TGRA	FFFFh	000C 1408h	16、32
タイマジェネラルレジスタB	TGRB	FFFFh	000C 140Ah	16	

表 16.4 MTUのレジスタ一覧 (2 / 6)

チャンネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
MTU3	タイマコントロールレジスタ	TCR	00h	000C 1200h	8、16、32
	タイマモードレジスタ1	TMDR1	00h	000C 1202h	8、16
	タイマI/OコントロールレジスタH	TIORH	00h	000C 1204h	8、16、32
	タイマI/OコントロールレジスタL	TIORL	00h	000C 1205h	8
	タイマインタラプトイネーブルレジスタ	TIER	00h	000C 1208h	8、16
	タイマカウンタ	TCNT	0000h	000C 1210h	16、32
	タイマジェネラルレジスタA	TGRA	FFFFh	000C 1218h	16、32
	タイマジェネラルレジスタB	TGRB	FFFFh	000C 121Ah	16
	タイマジェネラルレジスタC	TGRC	FFFFh	000C 1224h	16、32
	タイマジェネラルレジスタD	TGRD	FFFFh	000C 1226h	16
	タイマジェネラルレジスタE	TGRE	FFFFh	000C 1272h	16
	タイマステータスレジスタ	TSR	C0h	000C 122Ch	8、16
	タイマバッファ動作転送モードレジスタ	TBTM	00h	000C 1238h	8、16
MTU4	タイマコントロールレジスタ	TCR	00h	000C 1201h	8
	タイマモードレジスタ1	TMDR1	00h	000C 1203h	8
	タイマI/OコントロールレジスタH	TIORH	00h	000C 1206h	8、16
	タイマI/OコントロールレジスタL	TIORL	00h	000C 1207h	8
	タイマインタラプトイネーブルレジスタ	TIER	00h	000C 1209h	8
	タイマカウンタ	TCNT	0000h	000C 1212h	16
	タイマジェネラルレジスタA	TGRA	FFFFh	000C 121Ch	16、32
	タイマジェネラルレジスタB	TGRB	FFFFh	000C 121Eh	16
	タイマジェネラルレジスタC	TGRC	FFFFh	000C 1228h	16、32
	タイマジェネラルレジスタD	TGRD	FFFFh	000C 122Ah	16
	タイマジェネラルレジスタE	TGRE	FFFFh	000C 1274h	16
	タイマジェネラルレジスタF	TGRF	FFFFh	000C 1276h	16
	タイマステータスレジスタ	TSR	C0h	000C 122Dh	8
	タイマバッファ動作転送モードレジスタ	TBTM	00h	000C 1239h	8
	タイマA/D変換開始要求コントロールレジスタ	TADCR	0000h	000C 1240h	16
	タイマA/D変換開始要求周期設定レジスタA	TADCORA	FFFFh	000C 1244h	16、32
	タイマA/D変換開始要求周期設定レジスタB	TADCORB	FFFFh	000C 1246h	16
	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	FFFFh	000C 1248h	16、32
タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	FFFFh	000C 124Ah	16	

表 16.4 MTUのレジスタ一覧 (3 / 6)

チャンネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
MTU5	タイマカウンタU	TCNTU	0000h	000C 1C80h	16、32
	タイマジェネラルレジスタU	TGRU	FFFFh	000C 1C82h	16
	タイマコントロールレジスタU	TCRU	00h	000C 1C84h	8
	タイマI/OコントロールレジスタU	TIORU	00h	000C 1C86h	8
	タイマカウンタV	TCNTV	0000h	000C 1C90h	16、32
	タイマジェネラルレジスタV	TGRV	FFFFh	000C 1C92h	16
	タイマコントロールレジスタV	TCRV	00h	000C 1C94h	8
	タイマI/OコントロールレジスタV	TIORV	00h	000C 1C96h	8
	タイマカウンタW	TCNTW	0000h	000C 1CA0h	16、32
	タイマジェネラルレジスタW	TGRW	FFFFh	000C 1CA2h	16
	タイマコントロールレジスタW	TCRW	00h	000C 1CA4h	8
	タイマI/OコントロールレジスタW	TIORW	00h	000C 1CA6h	8
	タイマステータスレジスタ	TSR	00h	000C 1CB0h	8
	タイマインタラプトイネーブルレジスタ	TIER	00h	000C 1CB2h	8
	タイマスタートレジスタ	TSTR	00h	000C 1CB4h	8
タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	00h	000C 1CB6h	8	
MTU6	タイマコントロールレジスタ	TCR	00h	000C 1A00h	8、16、32
	タイマモードレジスタ1	TMDR1	00h	000C 1A02h	8、16
	タイマI/OコントロールレジスタH	TIORH	00h	000C 1A04h	8、16、32
	タイマI/OコントロールレジスタL	TIORL	00h	000C 1A05h	8
	タイマインタラプトイネーブルレジスタ	TIER	00h	000C 1A08h	8、16
	タイマカウンタ	TCNT	0000h	000C 1A10h	16、32
	タイマジェネラルレジスタA	TGRA	FFFFh	000C 1A18h	16、32
	タイマジェネラルレジスタB	TGRB	FFFFh	000C 1A1Ah	16
	タイマジェネラルレジスタC	TGRC	FFFFh	000C 1A24h	16、32
	タイマジェネラルレジスタD	TGRD	FFFFh	000C 1A26h	16
	タイマジェネラルレジスタE	TGRE	FFFFh	000C 1A72h	16
	タイマシンクロクリアレジスタ	TSYCR	00h	000C 1A50h	8
	タイマステータスレジスタ	TSR	C0h	000C 1A2Ch	8、16
タイマバッファ動作転送モードレジスタ	TBTM	00h	000C 1A38h	8、16	

表 16.4 MTUのレジスタ一覧 (4 / 6)

チャンネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
MTU7	タイマコントロールレジスタ	TCR	00h	000C 1A01h	8
	タイマモードレジスタ1	TMDR1	00h	000C 1A03h	8
	タイマI/OコントロールレジスタH	TIORH	00h	000C 1A06h	8、16
	タイマI/OコントロールレジスタL	TIORL	00h	000C 1A07h	8
	タイマインタラプトイネーブルレジスタ	TIER	00h	000C 1A09h	8
	タイマカウンタ	TCNT	0000h	000C 1A12h	16
	タイマジェネラルレジスタA	TGRA	FFFFh	000C 1A1Ch	16、32
	タイマジェネラルレジスタB	TGRB	FFFFh	000C 1A1Eh	16
	タイマジェネラルレジスタC	TGRC	FFFFh	000C 1A28h	16、32
	タイマジェネラルレジスタD	TGRD	FFFFh	000C 1A2Ah	16
	タイマジェネラルレジスタE	TGRE	FFFFh	000C 1A74h	16
	タイマジェネラルレジスタF	TGRF	FFFFh	000C 1A76h	16
	タイマステータスレジスタ	TSR	C0h	000C 1A2Dh	8
	タイマバッファ動作転送モードレジスタ	TBTM	00h	000C 1A39h	8
	タイマA/D変換開始要求コントロールレジスタ	TADCR	0000h	000C 1A40h	16
	タイマA/D変換開始要求周期設定レジスタA	TADCORA	FFFFh	000C 1A44h	16、32
	タイマA/D変換開始要求周期設定レジスタB	TADCORB	FFFFh	000C 1A46h	16
	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	FFFFh	000C 1A48h	16、32
タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	FFFFh	000C 1A4Ah	16	
MTU (MTU3、MTU4共通)	タイマアウトプットマスタイネーブルレジスタA	TOERA	C0h	000C 120Ah	8
MTU (MTU6、MTU7共通)	タイマアウトプットマスタイネーブルレジスタB	TOERB	C0h	000C 1A0Ah	8
MTU (MTU3、MTU4共通)	タイマゲートコントロールレジスタA	TGCRA	80h	000C 120Dh	8
MTU (MTU3、MTU4共通)	タイマアウトプットコントロールレジスタ1A	TOCR1A	00h	000C 120Eh	8、16
MTU (MTU6、MTU7共通)	タイマアウトプットコントロールレジスタ1B	TOCR1B	00h	000C 1A0Eh	8、16
MTU (MTU3、MTU4共通)	タイマアウトプットコントロールレジスタ2A	TOCR2A	00h	000C 120Fh	8
MTU (MTU6、MTU7共通)	タイマアウトプットコントロールレジスタ2B	TOCR2B	00h	000C 1A0Fh	8
MTU (MTU3、MTU4共通)	タイマ周期データレジスタA	TCDRA	FFFFh	000C 1214h	16、32
MTU (MTU6、MTU7共通)	タイマ周期データレジスタB	TCDRB	FFFFh	000C 1A14h	16、32
MTU (MTU3、MTU4共通)	タイマデッドタイムデータレジスタA	TDDRA	FFFFh	000C 1216h	16
MTU (MTU3、MTU4共通)	タイマデッドタイムイネーブルレジスタA	TDERA	01h	000C 1234h	8
MTU (MTU6、MTU7共通)	タイマデッドタイムデータレジスタB	TDDRb	FFFFh	000C 1A16h	16

表 16.4 MTUのレジスタ一覧 (5 / 6)

チャンネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
MTU (MTU6、 MTU7共通)	タイマデッドタイムイネーブルレジスタB	TDERB	01h	000C 1A34h	8
MTU (MTU3、 MTU4共通)	タイマサブカウンタA	TCNTSA	0000h	000C 1220h	16、32
MTU (MTU6、 MTU7共通)	タイマサブカウンタB	TCNTSB	0000h	000C 1A20h	16、32
MTU (MTU3、 MTU4共通)	タイマ周期バッファレジスタA	TCBRA	FFFFh	000C 1222h	16
MTU (MTU6、 MTU7共通)	タイマ周期バッファレジスタB	TCBRB	FFFFh	000C 1A22h	16
MTU (MTU3、 MTU4共通)	タイマ割り込み間引き設定レジスタ1A	TITCR1A	00h	000C 1230h	8、16
MTU (MTU6、 MTU7共通)	タイマ割り込み間引き設定レジスタ1B	TITCR1B	00h	000C 1A30h	8、16
MTU (MTU3、 MTU4共通)	タイマ割り込み間引き設定レジスタ2A	TITCR2A	00h	000C 123Bh	8
MTU (MTU6、 MTU7共通)	タイマ割り込み間引き設定レジスタ2B	TITCR2B	00h	000C 1A3Bh	8
MTU (MTU3、 MTU4共通)	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	00h	000C 1231h	8
MTU (MTU6、 MTU7共通)	タイマ割り込み間引き回数カウンタ1B	TITCNT1B	00h	000C 1A31h	8
MTU (MTU3、 MTU4共通)	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	00h	000C 123Ch	8
MTU (MTU6、 MTU7共通)	タイマ割り込み間引き回数カウンタ2B	TITCNT2B	00h	000C 1A3Ch	8
MTU (MTU3、 MTU4共通)	タイマバッファ転送設定レジスタA	TBTERA	00h	000C 1232h	8
MTU (MTU6、 MTU7共通)	タイマバッファ転送設定レジスタB	TBTERB	00h	000C 1A32h	8
MTU (MTU3、 MTU4共通)	タイマアウトプットレベルバッファレジスタA	TOLBRA	00h	000C 1236h	8
MTU (MTU6、 MTU7共通)	タイマアウトプットレベルバッファレジスタB	TOLBRB	00h	000C 1A36h	8
MTU (MTU3、 MTU4共通)	タイマモードレジスタ2A	TMDR2A	00h	000C 1270h	8
MTU (MTU6、 MTU7共通)	タイマモードレジスタ2B	TMDR2B	00h	000C 1A70h	8
MTU (MTU3、 MTU4共通)	タイマ間引きモードレジスタA	TITMRA	00h	000C 123Ah	8
MTU (MTU6、 MTU7共通)	タイマ間引きモードレジスタB	TITMRB	00h	000C 1A3Ah	8
MTU (MTU3、 MTU4共通)	タイマ波形コントロールレジスタA	TWCRA	00h	000C 1260h	8

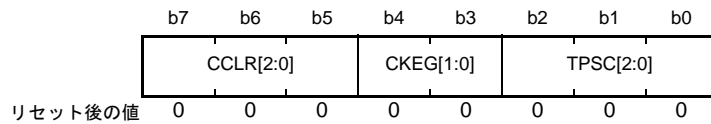
表 16.4 MTUのレジスタ一覧 (6 / 6)

チャンネル	レジスタ名	レジスタ シンボル	リセット後の値	アドレス	アクセス サイズ
MTU (MTU6、 MTU7共通)	タイマ波形コントロールレジスタB	TWCRB	00h	000C 1A60h	8
MTU (MTU0～ MTU4共通)	タイマスタートレジスタA	TSTRA	00h	000C 1280h	8、16
MTU (MTU6、 MTU7共通)	タイマスタートレジスタB	TSTRB	00h	000C 1A80h	8、16
MTU (MTU0～ MTU4共通)	タイマシンクロレジスタA	TSYRA	00h	000C 1281h	8
MTU (MTU6、 MTU7共通)	タイマシンクロレジスタB	TSYRB	00h	000C 1A81h	8
MTU (MTU0～ MTU7共通)	タイマカウンタシンクロスタートレジスタ	TCSYSTR	00h	000C 1282h	8
MTU (MTU3、 MTU4共通)	タイマリードライトイネーブルレジスタA	TRWERA	01h	000C 1284h	8
MTU (MTU6、 MTU7共通)	タイマリードライトイネーブルレジスタB	TRWERB	01h	000C 1A84h	8

16.2.1 タイマコントロールレジスタ (TCR)

- MTU0、MTU1、MTU2、MTU3、MTU4、MTU6、MTU7

アドレス MTU0.TCR 000C 1300h、MTU1.TCR 000C 1380h、MTU2.TCR 000C 1400h、
MTU3.TCR 000C 1200h、MTU4.TCR 000C 1201h、MTU6.TCR 000C 1A00h、
MTU7.TCR 000C 1A01h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 16.7～表 16.10を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表 16.5、表 16.6を参照してください	R/W

x : Don't care

TCR レジスタは、各チャネルの TCNT を制御します。MTU0～4、6、7に各1本、MTU5にはTCRU/V/Wの3本、計10本のTCRレジスタがあります。TCRレジスタの設定は、TCNTの動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNTのカウンタクロックを選択します。各チャネル独立にクロックソースを選択することができます。詳細は表 16.7～表 16.10を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

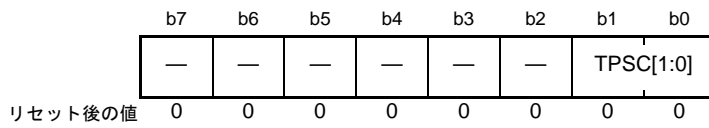
入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が $1/2$ になります (例: $ICLK/4$ の両エッジ = $ICLK/2$ の立ち上がりエッジ)。MTU1、2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $ICLK/4$ もしくはそれより遅い場合に有効です。入力クロックに $ICLK/1$ 、あるいは他のチャネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリア要因選択ビット)

TCNTのカウンタクリア要因を選択します。詳細は表 16.5、表 16.6を参照してください。

- MTU5

アドレス MTU5.TCRU 000C 1C84h、MTU5.TCRV 000C 1C94h、MTU5.TCRW 000C 1CA4h



ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケーラ選択ビット	表 16.11 を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TPSC[1:0] ビット (タイマプリスケーラ選択ビット)

TCNT のカウンタクロックを選択します。詳細は表 16.11 を参照してください。

表 16.5 CCLR[2:0] (MTU0、3、4、6、7)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
MTU0	0	0	0	TCNTのクリア禁止
MTU3	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU4	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU6	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア (注1)
MTU7	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表 16.6 CCLR[2:0] (MTU1、2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR1	CCLR0	
MTU1	0	0	0	TCNTのクリア禁止
MTU2	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYRA.SYNCビット、TSYRB.SYNCビットを“1”にすることにより行います。

注2. MTU1、2ではビット7は予約ビットです。読み出すと常に“0”が読めます。書き込みは無効となります。

表 16.7 TPSC[2:0] (MTU0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU0	0	0	0	内部クロック : ICLK / 1 でカウント
	0	0	1	内部クロック : ICLK / 4 でカウント
	0	1	0	内部クロック : ICLK / 16 でカウント
	0	1	1	内部クロック : ICLK / 64 でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	外部クロック : MTCLKC 端子入力でカウント
	1	1	1	外部クロック : MTCLKD 端子入力でカウント

表 16.8 TPSC[2:0] (MTU1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU1	0	0	0	内部クロック : ICLK / 1 でカウント
	0	0	1	内部クロック : ICLK / 4 でカウント
	0	1	0	内部クロック : ICLK / 16 でカウント
	0	1	1	内部クロック : ICLK / 64 でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	内部クロック : ICLK / 256 でカウント
	1	1	1	MTU2.TCNT のオーバフロー/アンダフローでカウント

注. MTU1が位相計数モード時、この設定は無効になります。

表 16.9 TPSC[2:0] (MTU2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU2	0	0	0	内部クロック : ICLK / 1 でカウント
	0	0	1	内部クロック : ICLK / 4 でカウント
	0	1	0	内部クロック : ICLK / 16 でカウント
	0	1	1	内部クロック : ICLK / 64 でカウント
	1	0	0	外部クロック : MTCLKA 端子入力でカウント
	1	0	1	外部クロック : MTCLKB 端子入力でカウント
	1	1	0	外部クロック : MTCLKC 端子入力でカウント
	1	1	1	内部クロック : ICLK / 1024 でカウント

注. MTU2が位相計数モード時、この設定は無効になります。

表 16.10 TPSC[2:0] (MTU3、4、6、7)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
MTU3	0	0	0	内部クロック : ICLK / 1 でカウント
MTU4	0	0	1	内部クロック : ICLK / 4 でカウント
MTU6	0	1	0	内部クロック : ICLK / 16 でカウント
MTU7	0	1	1	内部クロック : ICLK / 64 でカウント
	1	0	0	内部クロック : ICLK / 256 でカウント
	1	0	1	内部クロック : ICLK / 1024 でカウント
	1	1	0	外部クロック : MTCLKA 端子入力でカウント (注1)
	1	1	1	外部クロック : MTCLKB 端子入力でカウント (注1)

注1. MTU6、7では設定できません。

表 16.11 TPSC[1:0] (MTU5)

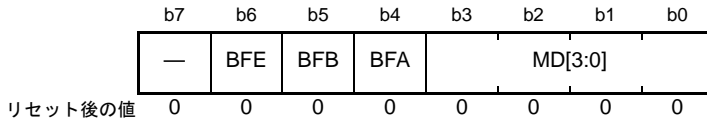
チャンネル	ビット1	ビット0	説明
	TPSC1	TPSC0	
MTU5	0	0	内部クロック : ICLK / 1 でカウント
	0	1	内部クロック : ICLK / 4 でカウント
	1	0	内部クロック : ICLK / 16 でカウント
	1	1	内部クロック : ICLK / 64 でカウント

注. MTU5では、ビット7～2は予約ビットです。読むと常に“0”が読めます。書く場合、“0”としてください。

16.2.2 タイマモードレジスタ 1 (TMDR1)

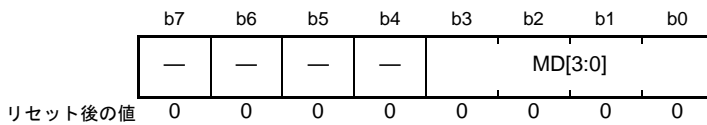
- MTU0.TMDR1

アドレス MTU0.TMDR1 000C 1301h



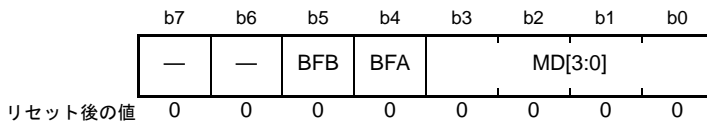
- MTU1.TMDR1、MTU2.TMDR1

アドレス MTU1.TMDR1 000C 1381h、MTU2.TMDR1 000C 1401h



- MTU3.TMDR1、MTU4.TMDR1、MTU6.TMDR1、MTU7.TMDR1

アドレス MTU3.TMDR1 000C 1202h、MTU4.TMDR1 000C 1203h、
MTU6.TMDR1 000C 1A02h、MTU7.TMDR1 000C 1A03h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表 16.12 を参照してください	R/W
b4	BFA	バッファ動作Aビット	0 : TGRA と TGRC レジスタは通常動作 1 : TGRA と TGRC レジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0 : TGRB と TGRD レジスタは通常動作 1 : TGRB と TGRD レジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0 : MTU0.TGRE と MTU0.TGRF は通常動作 1 : MTU0.TGRE と MTU0.TGRF はバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャネルの動作モードの設定を行うレジスタです。MTU0～4、6、7に各1本、計7本のTMDR1レジスタがあります。TMDR1レジスタの設定は、TCNTの動作が停止した状態で行ってください。

表 16.12 MD[3:0]ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定しないでください
0	0	1	0	PWMモード1
0	0	1	1	PWMモード2 (注1)
0	1	0	0	位相計数モード1 (注2)
0	1	0	1	位相計数モード2 (注2)
0	1	1	0	位相計数モード3 (注2)
0	1	1	1	位相計数モード4 (注2)
1	0	0	0	リセット同期PWMモード (注3)
1	0	0	1	設定しないでください
1	0	1	x	設定しないでください
1	1	0	0	設定しないでください
1	1	0	1	相補PWMモード1 (山で転送) (注3)
1	1	1	0	相補PWMモード2 (谷で転送) (注3)
1	1	1	1	相補PWMモード3 (山・谷で転送) (注3)

x : Don't care

注1. MTU3、4、6、7では、PWMモード2の設定はできません。

注2. MTU0、3、4、6、7では、位相計数モードの設定はできません。

注3. リセット同期PWMモード、相補PWMモードの設定は、MTU3、6のみ可能です。

MTU3、6をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4、7の設定は無効となり自動的にMTU3、6の設定に従います。MTU4、7には初期値（通常動作）を設定してください。

MTU0、1、2では、リセット同期PWMモード、相補PWMモードの設定はできません。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせでバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および 4 (MTU6 および 7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFA ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFA ビットを“0”にしてください。

TGRC レジスタを持たない MTU1、2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせてバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および 4 (MTU6 および 7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFB ビットの設定に従い動作します。MTU4.TMDR1 (MTU7.TMDR1) の BFB ビットを“0”にしてください。

TGRD レジスタを持たない MTU1、2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

BFE ビット (バッファ動作 E ビット)

MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。

MTU1～4、6、7 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

16.2.3 タイマモードレジスタ 2 (TMDR2A、TMDR2B)

アドレス MTU.TMDR2A 000C 1270h、MTU.TMDR2B 000C 1A70h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0 : ダブルバッファ機能は無効 1 : ダブルバッファ機能は有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR2 レジスタは、相補 PWM モード 3 (山・谷で転送) 時、ダブルバッファ機能の設定を行うレジスタです。MTU3 (TMDR2A)、MTU6 (TMDR2B) に各 1 本、計 2 本の TMDR2 レジスタがあります。TMDR2A、TMDR2B レジスタの設定は、TCNT の動作が停止した状態で行ってください。

DRS ビット (ダブルバッファ選択ビット)

相補 PWM モード時、ダブルバッファ機能を有効/無効を選択します。

16.2.4 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH、MTU1.TIOR、MTU2.TIOR、MTU3.TIORH、MTU4.TIORH、MTU6.TIORH、MTU7.TIORH

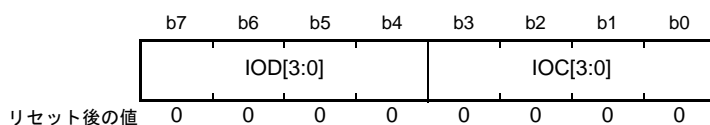
アドレス MTU0.TIORH 000C 1302h、MTU1.TIOR 000C 1382h、MTU2.TIOR 000C 1402h、MTU3.TIORH 000C 1204h、MTU4.TIORH 000C 1206h、MTU6.TIORH 000C 1A04h、MTU7.TIORH 000C 1A06h

	b7	b6	b5	b4	b3	b2	b1	b0
	IOB[3:0]				IOA[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット	下記の表を参照してください MTU0.TIORH、 : 表 16.25 MTU1.TIOR : 表 16.27 MTU2.TIOR : 表 16.28 MTU3.TIORH : 表 16.29 MTU4.TIORH : 表 16.31 MTU6.TIORH : 表 16.33 MTU7.TIORH : 表 16.35	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット	下記の表を参照してください MTU0.TIORH、 : 表 16.13 MTU1.TIOR : 表 16.15 MTU2.TIOR : 表 16.16 MTU3.TIORH : 表 16.17 MTU4.TIORH : 表 16.19 MTU6.TIORH : 表 16.21 MTU7.TIORH : 表 16.23	R/W

- MTU0.TIORL、MTU3.TIORL、MTU4.TIORL、MTU6.TIORL、MTU7.TIORL

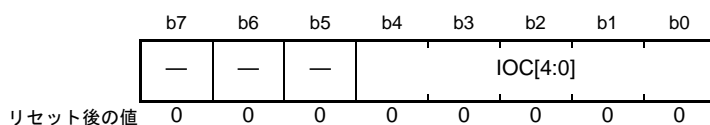
アドレス MTU0.TIORL 000C 1303h、MTU3.TIORL 000C 1205h、MTU4.TIORL 000C 1207h、
MTU6.TIORL 000C 1A05h、MTU7.TIORL 000C 1A07h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット	下記の表を参照してください MTU0.TIORL : 表 16.26 MTU3.TIORL : 表 16.30 MTU4.TIORL : 表 16.32 MTU6.TIORL : 表 16.34 MTU7.TIORL : 表 16.36	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット	下記の表を参照してください MTU0.TIORL : 表 16.14 MTU3.TIORL : 表 16.18 MTU4.TIORL : 表 16.20 MTU6.TIORL : 表 16.22 MTU7.TIORL : 表 16.24	R/W

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 000C 1C86h、MTU5.TIORV 000C 1C96h、MTU5.TIORW 000C 1CA6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU、MTU5.TIORV、MTU5.TIORW : 表 16.37	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIORレジスタは、TGRレジスタを制御します。MTU0、3、4、6、7に各2本、MTU1、2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計15本のTIORがあります。

TIORレジスタはTMDR1レジスタの設定により影響を受けますので注意してください。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTR.A.CSTおよびTSYRB.CSTビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0”になった時点での出力を指定します。

TGRCレジスタ、あるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表 16.13 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説 明	
I0B3	I0B2	I0B1	I0B0	MTU0.TGRBの機能	MTI0C0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

表 16.14 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペア レジスタ (注1)	出力禁止
0	0	0	1		初期出力は Low 出力 コンペアマッチで Low 出力
0	0	1	0		初期出力は Low 出力 コンペアマッチで High 出力
0	0	1	1		初期出力は Low 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は High 出力 コンペアマッチで Low 出力
0	1	1	0		初期出力は High 出力 コンペアマッチで High 出力
0	1	1	1		初期出力は High 出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャ レジスタ (注1)
1	0	0	1	立ち下がりエッジでインプットキャプチャ	
1	0	1	x	両エッジでインプットキャプチャ	
1	1	x	x	キャプチャ入力元は MTU1 / カウントクロック MTU1.TCNT のカウントアップ / カウントダウンでイ ンプットキャプチャ	

x : Don't care

注1. MTU0.TMDR1.BFBビットを“1”にしてMTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 16.15 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

表 16.16 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 16.17 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 16.18 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFBビットを“1”にしてMTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.19 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 16.20 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

表 16.21 TIORH (MTU6)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	MTU6.TGRBの機能	MTIOC6B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 16.22 TIORL (MTU6)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	MTU6.TGRDの機能	MTIOC6D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU6.TMDR1.BFBビットを“1”にしてMTU6.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.23 TIORH (MTU7)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	MTU7.TGRBの機能	MTIOC7B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表 16.24 TIORL (MTU7)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	MTU7.TGRDの機能	MTIOC7D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU7.TMDR1.BFBビットを“1”にしてMTU7.TGRDをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.25 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

表 16.26 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	MTU0.TGRCの機能	MTIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

注1. MTU0.TMDR1.BFAビットを“1”にしてMTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.27 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

x : Don't care

表 16.28 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 16.29 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 16.30 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU3.TMDR1.BFAビットを“1”にしてMTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.31 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表 16.32 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.33 TIORH (MTU6)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	MTU6.TGRAの機能	MTIOC6A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 16.34 TIORL (MTU6)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	MTU6.TGRCの機能	MTIOC6Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU6.TMDR1.BFAビットを“1”にしてMTU6.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 16.35 TIORH (MTU7)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	MTU7.TGRAの機能	MTIOC7A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 16.36 TIORL (MTU7)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	MTU7.TGRCの機能	MTIOC7C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ (注1)
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

注1. MTU7.TMDR1.BFAビットを“1”にしてMTU7.TGRCをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表16.37 TIORU、TIORV、TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説 明	
IOC4	IOC3	IOC2	IOC1	IOC0	MTU5.TGRU、 MTU5.TGRV、 MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W 端子の機能
0	0	0	0	0	コンペアマッチ レジスタ	コンペアマッチ
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャ レジスタ	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

16.2.5 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 000C 1CB6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを禁止 1 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを禁止 1 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを禁止 1 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

CMPCLR5n ビット (TCNT コンペアクリア 5n ビット) (n=U、V、W)

MTU5.TCNT_n と MTU5.TGR_n のコンペアマッチ/インプットキャプチャによる、MTU5.TCNT_n クリア要求を許可/禁止します。

16.2.6 タイマインタラプトイネーブルレジスタ (TIER)

- TIER (MTU1、MTU2)

アドレス MTU1.TIER 000C 1384h、MTU2.TIER 000C 1404h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA

リセット後の値 0 0 0 0 0 0 0 0

- TIER (MTU0、MTU3、MTU6)

アドレス MTU0.TIER 000C 1304h、MTU3.TIER 000C 1208h、MTU6.TIER 000C 1A08h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 0 0 0 0 0 0 0

- TIER (MTU4、MTU7)

アドレス MTU4.TIER 000C 1209h、MTU7.TIER 000C 1A09h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可Aビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可Bビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可Cビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可Dビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0: MTUn.TCNTのアンダフロー (谷) によるA/D変換要求を禁止 1: MTUn.TCNTのアンダフロー (谷) によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

n=4、7

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0 に 2 本、MTU1 ~ 7 に各 1 本、計 9 本の TIER レジスタがあります。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

TSR.TGF_n フラグが“1”になったとき、TSR.TGF_n フラグによる割り込み要求 (TGIn) を許可または禁止します。(n = A、B)

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

MTU0、3、4、6、7で TSR.TGF_n フラグが“1”になったとき、TSR.TGF_n フラグによる割り込み要求 (TGIn) を許可または禁止します。(n = C、D)

MTU1、2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

TSR.TCFV フラグが“1”になったとき、TSR.TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

MTU1、2で TSR.TCFU フラグが“1”になったとき、TSR.TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。

MTU0、3、4、6、7では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTUn.TCNT のアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。(n=4、7)

MTU0 ~ 3、6 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの開始要求の発生を許可または禁止します。

- TIER2 (MTU0)

アドレス MTU0.TIER2 000C 1324h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE2	—	—	—	—	—	TGIEF	TGIEE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可Eビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可Fビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を禁止 1 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT と MTU0.TGR_n のコンペアマッチによる割り込み要求の発生を許可または禁止します。
(n = E、F)

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

MTU0.TCNT と MTU0.TGRE のコンペアマッチによる割り込み要求の発生を許可または禁止します。

- TIER (MTU5)

アドレス MTU5.TIER 000C 1CB2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TGIE5 U	TGIE5V	TGIE5 W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可5Wビット	0 : TGIW5 割り込み要求を禁止 1 : TGIW5 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可5Vビット	0 : TGIV5 割り込み要求を禁止 1 : TGIV5 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可5Uビット	0 : TGIU5 割り込み要求を禁止 1 : TGIU5 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5n ビット (TGR 割り込み許可 5n ビット)

MTU5.TSR.CMFn5 フラグが“1”になったとき、MTU5.TSR.CMFn5 フラグによる割り込み要求 (TGIn5) を許可または禁止します。(n = U、V、W)

16.2.7 タイマステータスレジスタ (TSR)

• TSR (MTU0)

アドレス MTU0.TSR 000C 1305h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

• TSR (MTU1、MTU2)

アドレス MTU1.TSR 000C 1385h、MTU2.TSR 000C 1405h

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

• TSR (MTU3、MTU4、MTU6、MTU7)

アドレス MTU3.TSR 000C 122Ch、MTU4.TSR 000C 122Dh、MTU6.TSR 000C 1A2Ch、
MTU7.TSR 000C 1A2Dh

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	—	TCFV	TGFD	TGFC	TGFB	TGFA

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGFA	インพุットキャプチャ/アウト プットコンペアフラグA	0: TGRAレジスタのインพุットキャプチャまたはコンペア マッチが発生していない 1: TGRAレジスタのインพุットキャプチャまたはコンペア マッチが発生	R/(W) (注1)
b1	TGFB	インพุットキャプチャ/アウト プットコンペアフラグB	0: TGRBレジスタのインพุットキャプチャまたはコンペア マッチが発生していない 1: TGRBレジスタのインพุットキャプチャまたはコンペア マッチが発生	R/(W) (注1)
b2	TGFC	インพุットキャプチャ/アウト プットコンペアフラグC	0: TGRCレジスタのインพุットキャプチャまたはコンペア マッチが発生していない 1: TGRCレジスタのインพุットキャプチャまたはコンペア マッチが発生	R/(W) (注1)
b3	TGFD	インพุットキャプチャ/アウト プットコンペアフラグD	0: TGRDレジスタのインพุットキャプチャまたはコンペア マッチが発生していない 1: TGRDレジスタのインพุットキャプチャまたはコンペア マッチが発生	R/(W) (注1)
b4	TCFV	オーバフローフラグ	0: TCNTのオーバフローが発生していない 1: TCNTのオーバフローが発生	R/(W) (注1)
b5	TCFU	アンダフローフラグ	0: MTU1、2が位相計数モードのとき、TCNTのアンダフ ローが発生していない 1: MTU1、2が位相計数モードのとき、TCNTのアンダフ ローが発生	R/(W) (注1)
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0: TCNTはダウンカウント 1: TCNTはアップカウント	R

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書くことのみ可能です。

TSRレジスタは、各チャンネルのステータスの表示を行うレジスタです。MTU0に2本、MTU1～7に各1本、計9本のTSRレジスタがあります。

TGFA フラグ (インプットキャプチャ/アウトプットコンペアフラグ A)

TGRAレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。

["1"になる条件]

- TGRAレジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき
- TGRAレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAレジスタに転送されたとき

["0"になる条件]

- TGFA = 1の状態ではTGFAフラグを読んだ後、TGFAフラグに“0”を書いたとき

TGFB フラグ (インプットキャプチャ/アウトプットコンペアフラグ B)

TGRBレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための“0”書き込みのみ可能です。

["1"になる条件]

- TGRBレジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき
- TGRBレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBレジスタに転送されたとき

["0"になる条件]

- TGFB = 1の状態ではTGFBフラグを読んだ後、TGFBフラグに“0”を書いたとき

TGFC フラグ (インプットキャプチャ/アウトプットコンペアフラグ C)

MTU0、3、4、6、7のTGRCレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグを“0”にするための“0”書き込みのみ可能です。

["1"になる条件]

- TGRCレジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRCになったとき
- TGRCレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCレジスタに転送されたとき

["0"になる条件]

- TGFC = 1の状態ではTGFCフラグを読んだ後、TGFCフラグに“0”を書いたとき
MTU1、2では予約ビットです。読むと常に“0”が読めます。書く場合、常に“0”にしてください。

TGFD フラグ (インプットキャプチャ/アウトプットコンペアフラグ D)

MTU0、3、4、6、7のTGRDレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグを“0”にするための“0”書き込みのみ可能です。

["1"になる条件]

- TGRDレジスタがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRDになったとき
- TGRDレジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDレジスタに転送されたとき

["0"になる条件]

- TGFD = 1の状態ではTGFDフラグを読んだ後、TGFDフラグに“0”を書いたとき
MTU1、2では予約ビットです。読むと常に“0”が読めます。書く場合、常に“0”にしてください。

TCFV フラグ (オーバフローフラグ)

TCNT のオーバフローの発生を示すステータスフラグです。フラグを“0”にするための“0”書き込みのみ可能です。

[“1”になる条件]

- TCNT の値がオーバフローしたとき (FFFFh → 0000h)
MTU4、7では相補PWMモードでMTU4.TCNT、MTU7.TCNTの値がアンダフロー (0001h → 0000h) したときにもTCFVフラグが“1”になります。

[“0”になる条件]

- TCFV = 1 の状態でTCFVフラグを読んだ後、TCFVフラグに“0”を書いたとき

TCFU フラグ (アンダフローフラグ)

MTU1、2が位相計数モードのとき、TCNTのアンダフローの発生を示すステータスフラグです。フラグを“0”にするための“0”書き込みのみ可能です。

[“1”になる条件]

- TCNT の値がアンダフロー (0000h → FFFFh) したとき

[“0”になる条件]

- TCFU = 1 の状態でTCFUフラグを読んだ後、TCFUフラグに“0”を書いたとき
MTU0、3、4、6、7では予約ビットです。読むと常に“0”が読めます。書く場合、常に“0”にしてください。

TCFD フラグ (カウント方向フラグ)

MTU1～4、6、7のTCNTのカウント方向を示すステータスフラグです。

MTU0では予約ビットです。読むと“1”が読めます。書く場合、“1”としてください。

- TSR2 (MTU0)

アドレス MTU0.TSR2 000C 1325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TGFF	TGFE
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGFE	コンペアマッチフラグE	0 : MTU0.TCNTとMTU0.TGREのコンペアマッチが発生していない 1 : MTU0.TCNTとMTU0.TGREのコンペアマッチが発生	R/(W) (注1)
b1	TGFF	コンペアマッチフラグF	0 : MTU0.TCNTとMTU0.TGRFのコンペアマッチが発生していない 1 : MTU0.TCNTとMTU0.TGRFのコンペアマッチが発生	R/(W) (注1)
b5~b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書くことのみ可能です。

TGFE フラグ (コンペアマッチフラグE)

MTU0.TCNT と MTU0.TGRE のコンペアマッチの発生を示すステータスフラグです。

[“1”になる条件]

- TGRE レジスタをコンペアレジスタとして機能している場合、MTU0.TCNT = MTU0.TGRE になったとき

[“0”になる条件]

- TGFE = 1 の状態で TGFE フラグを読んだ後、TGFE フラグに “0” を書いたとき

TGFF フラグ (コンペアマッチフラグF)

MTU0.TCNT と MTU0.TGRF のコンペアマッチの発生を示すステータスフラグです。

[“1”になる条件]

- TGRF レジスタをコンペアレジスタとして機能している場合、MTU0.TCNT = MTU0.TGRF になったとき

[“0”になる条件]

- TGFF = 1 の状態で TGFF フラグを読んだ後、TGFF フラグに “0” を書いたとき

- TSR (MTU5)

アドレス MTU5.TSR 000C 1CB0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMFU5	CMFV5	CMFW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMFW5	コンペアマッチ/インプットキャプチャフラグW5	0 : MTU5.TGRWのインプットキャプチャまたはコンペアマッチが発生していない 1 : MTU5.TGRWのインプットキャプチャまたはコンペアマッチが発生	R/(W) (注1)
b1	CMFV5	コンペアマッチ/インプットキャプチャフラグV5	0 : MTU5.TGRVのインプットキャプチャまたはコンペアマッチが発生していない 1 : MTU5.TGRVのインプットキャプチャまたはコンペアマッチが発生	R/(W) (注1)
b2	CMFU5	コンペアマッチ/インプットキャプチャフラグU5	0 : MTU5.TGRUのインプットキャプチャまたはコンペアマッチが発生していない 1 : MTU5.TGRUのインプットキャプチャまたはコンペアマッチが発生	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書くことのみ可能です。

CMFn5 フラグ (コンペアマッチ/インプットキャプチャフラグ n5) (n = U、V、W)

MTU5.TGRn レジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグを“0”にするため、“0”書き込みのみ可能です。

[“1”になる条件]

- MTU5.TGRn がコンペアマッチレジスタとして機能している場合、MTU5.TCNTn = MTU5.TGRn になったとき
- MTU5.TGRn がインプットキャプチャとして機能している場合、インプットキャプチャ信号により MTU5.TCNTn の値が MTU5.TGRn に転送されたとき
- MTU5.TGRn が外部入力信号のパルス幅測定として機能している場合、MTU5.TCNTn の値が MTU5.TGRn に転送されたとき (注1)

[“0”になる条件]

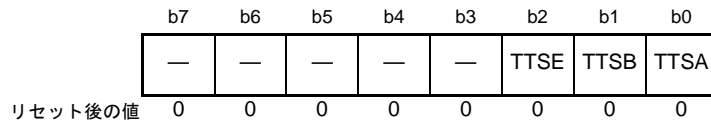
- CMFn5 = 1 の状態で CMFn5 フラグを読んだ後、CMFn5 フラグに“0”を書いたとき

注1. 転送するタイミングは、MTU5.TIORU、MTU5.TIORV、MTU5.TIORW レジスタの IOC[4:0] ビットで設定します。

16.2.8 タイマバッファ動作転送モードレジスタ (TBTM)

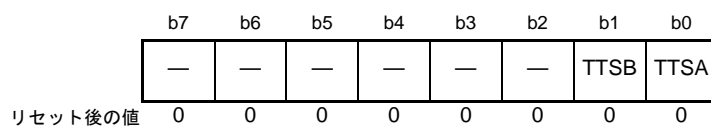
- MTU0.TBTM

アドレス MTU0.TBTM 000C 1326h



- MTU3.TBTM、MTU4.TBTM、MTU6.TBTM、MTU7.TBTM

アドレス MTU3.TBTM 000C 1238h、MTU4.TBTM 000C 1239h
MTU6.TBTM 000C 1A38h、MTU7.TBTM 000C 1A39h



ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0: TGRCからTGRAへの転送タイミングは各チャンネルのコンペアマッチA発生時 1: TGRCからTGRAへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0: TGRDからTGRBへの転送タイミングは各チャンネルのコンペアマッチB発生時 1: TGRDからTGRBへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0: MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0のコンペアマッチE発生時 1: MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、3、4、6、7に各1本、計5本のTBTM レジスタがあります。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時の TGRC レジスタから TGRA レジスタへの転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、TTSA ビットを“1”にしないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時の TGRD レジスタから TGRB レジスタへの転送タイミングを設定します。なお、PWM モード以外で使用するチャンネルでは、TTSB ビットを“1”にしないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時の MTU0.TGRF から MTU0.TGRE への転送タイミングを設定します。MTU3、4、6、7では予約ビットです。読むと常に“0”が読めます。書く場合、常に“0”にしてください。なお、PWM モード以外で使用するチャンネルでは、TTSE ビットを“1”にしないでください。

16.2.9 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 000C 1390h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0 : MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1 : MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0 : MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1 : MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0 : MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1 : MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0 : MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1 : MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

I1AE ビット (インプットキャプチャ許可ビット)

MTU2.TGRA のインプットキャプチャ条件に MTIOC1A 端子を追加する／しないを選択します。

I1BE ビット (インプットキャプチャ許可ビット)

MTU2.TGRB のインプットキャプチャ条件に MTIOC1B 端子を追加する／しないを選択します。

I2AE ビット (インプットキャプチャ許可ビット)

MTU1.TGRA のインプットキャプチャ条件に MTIOC2A 端子を追加する／しないを選択します。

I2BE ビット (インプットキャプチャ許可ビット)

MTU1.TGRB のインプットキャプチャ条件に MTIOC2B 端子を追加する／しないを選択します。

16.2.10 タイマシンクロクリアレジスタ (TSYCR)

アドレス MTU6.TSYCR 000C 1A50h

	b7	b6	b5	b4	b3	b2	b1	b0
	CE0A	CE0B	CE0C	CE0D	CE1A	CE1B	CE2A	CE2B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE2B	クリア許可2Bビット	0: MTU2.TSRのTGFBフラグセットでのクリア禁止 1: MTU2.TSRのTGFBフラグセットでのクリア許可	R/W
b1	CE2A	クリア許可2Aビット	0: MTU2.TSRのTGFAフラグセットでのクリア禁止 1: MTU2.TSRのTGFAフラグセットでのクリア許可	R/W
b2	CE1B	クリア許可1Bビット	0: MTU1.TSRのTGFBフラグセットでのクリア禁止 1: MTU1.TSRのTGFBフラグセットでのクリア許可	R/W
b3	CE1A	クリア許可1Aビット	0: MTU1.TSRのTGFAフラグセットでのクリア禁止 1: MTU1.TSRのTGFAフラグセットでのクリア許可	R/W
b4	CE0D	クリア許可0Dビット	0: MTU0.TSRのTGFDフラグセットでのクリア禁止 1: MTU0.TSRのTGFDフラグセットでのクリア許可	R/W
b5	CE0C	クリア許可0Cビット	0: MTU0.TSRのTGFCフラグセットでのクリア禁止 1: MTU0.TSRのTGFCフラグセットでのクリア許可	R/W
b6	CE0B	クリア許可0Bビット	0: MTU0.TSRのTGFBフラグセットでのクリア禁止 1: MTU0.TSRのTGFBフラグセットでのクリア許可	R/W
b7	CE0A	クリア許可0Aビット	0: MTU0.TSRのTGFAフラグセットでのクリア禁止 1: MTU0.TSRのTGFAフラグセットでのクリア許可	R/W

TSYCR レジスタは、MTU の MTU6.TCNT、MTU7.TCNT の同期クリア条件の設定を行うレジスタです。MTU6 に 1 本の TSYCR レジスタがあります。

CE_{nm} ビット (クリア許可 nm ビット) (n = 0、1、2、m = A、B、C、D)

MTU_n.TSR の TGF_m フラグセットでのクリア禁止/許可を設定します。

16.2.11 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 000C 1306h、MTU1.TCNT 000C 1386h、MTU2.TCNT 000C 1406h、
MTU3.TCNT 000C 1210h、MTU4.TCNT 000C 1212h、MTU5.TCNTU 000C 1C80h、
MTU5.TCNTV 000C 1C90h、MTU5.TCNTW 000C 1CA0h、MTU6.TCNT 000C 1A10h、
MTU7.TCNT 000C 1A12h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注. TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

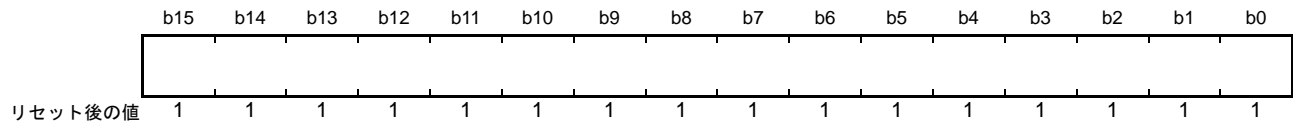
TCNT は、16 ビットの読み出し/書き込み可能なカウンタです。MTU0 ~ 4、6、7 に各 1 本、MTU5 に MTU5.TCNTU/V/W の 3 本、計 10 本の TCNT があります。

TCNT は、リセット時に 0000h に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

16.2.12 タイマジェネラルレジスタ (TGR)

アドレス MTU0.TGRA 000C 1308h、MTU0.TGRB 000C 130Ah、MTU0.TGRC 000C 130Ch、
 MTU0.TGRD 000C 130Eh、MTU0.TGRE 000C 1320h、MTU0.TGRF 000C 1322h、
 MTU1.TGRA 000C 1388h、MTU1.TGRB 000C 138Ah、MTU2.TGRA 000C 1408h、
 MTU2.TGRB 000C 140Ah、MTU3.TGRA 000C 1218h、MTU3.TGRB 000C 121Ah、
 MTU3.TGRC 000C 1224h、MTU3.TGRD 000C 1226h、MTU3.TGRE 000C 1272h
 MTU4.TGRA 000C 121Ch、MTU4.TGRB 000C 121Eh、MTU4.TGRC 000C 1228h、
 MTU4.TGRD 000C 122Ah、MTU4.TGRE 000C 1274h、MTU4.TGRF 000C 1276h、
 MTU5.TGRU 000C 1C82h、MTU5.TGRV 000C 1C92h、MTU5.TGRW 000C 1CA2h、
 MTU6.TGRA 000C 1A18h、MTU6.TGRB 000C 1A1Ah、MTU6.TGRC 000C 1A24h、
 MTU6.TGRD 000C 1A26h、MTU6.TGRE 000C 1A72h、MTU7.TGRA 000C 1A1Ch、
 MTU7.TGRB 000C 1A1Eh、MTU7.TGRC 000C 1A28h、MTU7.TGRD 000C 1A2Ah、
 MTU7.TGRE 000C 1A74h、MTU7.TGRF 000C 1A76h



注. TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、FFFFhです。

TGRレジスタは、16ビットの読み出し/書き込み可能なレジスタです。MTU0に6本、MTU1、2に各2本、MTU3、6に各5本、MTU4、7に各6本、MTU5に3本、計35本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRDレジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MTU0、3、4、6、7のTGRCとTGRDレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRA – TGRC、TGRB – TGRDになります。

MTU0.TGRE、MTU0.TGRFはコンペアレジスタとして機能し、MTU0.TCNTとMTU0.TGREが一致したとき、A/D変換開始要求を発生することができます。TGRFレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRE – TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRWはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

16.2.13 タイマスタートレジスタ (TSTR)

- TSTRA (MTU0、MTU1、MTU2、MTU3、MTU4)

アドレス MTU.TSTRA 000C 1280h

b7	b6	b5	b4	b3	b2	b1	b0
CST4	CST3	—	—	—	CST2	CST1	CST0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTのカウンタ動作は停止 1 : MTU0.TCNTはカウンタ動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTのカウンタ動作は停止 1 : MTU1.TCNTはカウンタ動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTのカウンタ動作は停止 1 : MTU2.TCNTはカウンタ動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTのカウンタ動作は停止 1 : MTU3.TCNTはカウンタ動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTのカウンタ動作は停止 1 : MTU4.TCNTはカウンタ動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタはMTU0～MTU4のTCNTの動作/停止を選択するレジスタです。

TSTRB レジスタはMTU6、MTU7のTCNTの動作/停止を選択するレジスタです。

TSTR レジスタはMTU5のTCNTの動作/停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合やTCR レジスタへTCNTのカウントクロックを設定する場合は、TCNTのカウンタ動作を停止してから行ってください。

CSTn ビット (カウンタスタートnビット) (n = 0、1、2、3、4)

各チャンネルのTCNTの動作または停止を選択します。

MTIOC端子を出力状態で動作中に、CSTnビットに“0”を書くとカウンタは停止しますが、MTIOC端子のアウトプットコンペア出力レベルは保持されます。CSTnビットが“0”の状態ではTIORレジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- TSTRB (MTU6、MTU7)

アドレス MTU.TSTRB 000C 1A80h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST7	CST6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST6	カウンタスタート6ビット	0 : MTU6.TCNTのカウンタ動作は停止 1 : MTU6.TCNTはカウンタ動作	R/W
b7	CST7	カウンタスタート7ビット	0 : MTU7.TCNTのカウンタ動作は停止 1 : MTU7.TCNTはカウンタ動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRBレジスタの対応するビットが自動的に“1”になります。

CSTn ビット (カウンタスタート n ビット) (n = 6、7)

各チャンネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- TSTR (MTU5)

アドレス MTU5.TSTR 000C 1CB4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CSTU5	CSTV5	CSTW5
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWのカウンタ動作は停止 1 : MTU5.TCNTWはカウンタ動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVのカウンタ動作は停止 1 : MTU5.TCNTVはカウンタ動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUのカウンタ動作は停止 1 : MTU5.TCNTUはカウンタ動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSTn5 ビット (カウンタスタート n5 ビット) (n = U、V、W)

各 TCNT の動作または停止を選択します。

16.2.14 タイマシンクロレジスタ (TSYR)

- TSYRA (MTU0、MTU1、MTU2、MTU3、MTU4)

アドレス MTU.TSYRA 000C 1281h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : MTU0.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1 : MTU0.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット	0 : MTU1.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1 : MTU1.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b2	SYNC2	タイマ同期2ビット	0 : MTU2.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1 : MTU2.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0 : MTU3.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1 : MTU3.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b7	SYNC4	タイマ同期4ビット	0 : MTU4.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1 : MTU4.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W

TSYRA レジスタは MTU0 ~ MTU4 の TCNT の独立動作または同期動作を選択するレジスタです。
 TSYRB レジスタは MTU6、MTU7 の TCNT の独立動作または同期動作を選択するレジスタです。
 対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n = 0、1、2、3、4)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

- TSYRB (MTU6、MTU7)

アドレス MTU.TSYRB 000C 1A81h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC7	SYNC6	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC6	タイマ同期6ビット	0 : MTU6.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1 : MTU6.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W
b7	SYNC7	タイマ同期7ビット	0 : MTU7.TCNTは独立して動作 (TCNTのプリセット/クリアは他のチャンネルと無関係) 1 : MTU7.TCNTは同期動作 (TCNTの同期プリセット/同期クリアが可能)	R/W

SYNCn ビット (タイマ同期 n ビット) (n = 6、7)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

16.2.15 タイマカウンタシンクスタートレジスタ (TCSYSTR)

アドレス MTU.TCSYSTR 000C 1282h

b7	b6	b5	b4	b3	b2	b1	b0
SCH0	SCH1	SCH2	SCH3	SCH4	—	SCH6	SCH7

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SCH7	シンクスタート7ビット	0 : MTU7.TCNTをシンクスタートしない 1 : MTU7.TCNTをシンクスタートする	R/(W) (注1)
b1	SCH6	シンクスタート6ビット	0 : MTU6.TCNTをシンクスタートしない 1 : MTU6.TCNTをシンクスタートする	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	SCH4	シンクスタート4ビット	0 : MTU4.TCNTをシンクスタートしない 1 : MTU4.TCNTをシンクスタートする	R/(W) (注1)
b4	SCH3	シンクスタート3ビット	0 : MTU3.TCNTをシンクスタートしない 1 : MTU3.TCNTをシンクスタートする	R/(W) (注1)
b5	SCH2	シンクスタート2ビット	0 : MTU2.TCNTをシンクスタートしない 1 : MTU2.TCNTをシンクスタートする	R/(W) (注1)
b6	SCH1	シンクスタート1ビット	0 : MTU1.TCNTをシンクスタートしない 1 : MTU1.TCNTをシンクスタートする	R/(W) (注1)
b7	SCH0	シンクスタート0ビット	0 : MTU0.TCNTをシンクスタートしない 1 : MTU0.TCNTをシンクスタートする	R/(W) (注1)

注1. フラグを“1”にするため、“1”を書くことのみ可能です。
TCSYSTRレジスタは、“1”を書き込み後、自動的に“0”になります。

TCSYSTR レジスタはカウンタの同期スタートを行うレジスタです。同期スタートさせたいタイマカウンタに対応するビットすべてを、同時に“1”にしてください。TCSYSTR レジスタで設定されると対象となるタイマカウンタの TSTRA、TSTRB レジスタが自動設定され、カウンタが同期スタートし、TCSYSTR レジスタは自動的に“0”になります。

SCH7 ビット (タイマスタート7ビット)

MTU7.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH7 ビットが“1”の状態ですべて TSTRA.CST7 ビットを“1”にしたとき

SCH6 ビット (タイマスタート6ビット)

MTU6.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH6 ビットが“1”の状態ですべて TSTRA.CST6 ビットを“1”にしたとき

SCH4 ビット (タイマスタート4ビット)

MTU4.TCNT のシンクスタートを制御します。

[“0”になる条件]

SCH4 ビットが“1”の状態ですべて TSTRA.CST4 ビットを“1”にしたとき

SCH3 ビット (タイマスタート3ビット)

MTU3.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH3 ビットが“1”の状態ですべて TSTRA.CST3 ビットを“1”にしたとき

SCH2 ビット (タイマスタート 2 ビット)

MTU2.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH2 ビットが“1”の状態ですべて TSTRA.CST2 ビットを“1”にしたとき

SCH1 ビット (タイマスタート 1 ビット)

MTU1.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH1 ビットが“1”の状態ですべて TSTRA.CST1 ビットを“1”にしたとき

SCH0 ビット (タイマスタート 0 ビット)

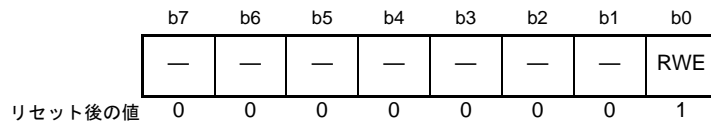
MTU0.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH0 ビットが“1”の状態ですべて TSTRA.CST0 ビットを“1”にしたとき

16.2.16 タイマリードライトイネーブルレジスタ (TRWERA、TRWERB)

アドレス MTU.TRWERA 000C 1284h、MTU.TRWERB 000C 1A84h



ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0: レジスタのリードライトを禁止する 1: レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、4 の誤書き込み防止の対象レジスタ/カウンタのアクセス許可/禁止を指定するレジスタです。

TRWERB レジスタは、MTU6、7 の誤書き込み防止の対象レジスタ/カウンタのアクセス許可/禁止を指定するレジスタです。

RWE ビット (リードライト許可ビット)

誤書き込み防止のレジスタへのリードライト許可/禁止を設定します。

[“0”になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERA)**

MTUn.TCR、MTUn.TMDR1、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOERA、MTU.TOCR1A、MTU.TOCR2A、MTU.TGCRA、MTU.TCDRA、MTU.TDDRA と MTUn.TCNT の計 22 レジスタです。

(n = 3、4)

- **誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERB)**

MTUn.TCR、MTUn.TMDR1、MTUn.TIORH、MTUn.TIORL、MTUn.TIER、MTUn.TGRA、MTUn.TGRB、MTU.TOERB、MTU.TOCR1B、MTU.TOCR2B、MTU.TCDRB、MTU.TDDRB と MTUn.TCNT の計 21 レジスタです。

(n = 6、7)

16.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER)

• TOERA

アドレス MTU.TOERA 000C 120Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子からノンアクティブレベルを出力する場合は、I/Oポートのデータディレクションレジスタ(DDR)、データレジスタ(DR)にあらかじめ汎用入出力ポートにノンアクティブレベルを出力する設定をしてください。詳細は、「15. I/Oポート」を参照してください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可/禁止を行うレジスタです。

TOERB レジスタは、出力端子の MTIOC7D、MTIOC7C、MTIOC6D、MTIOC7B、MTIOC7A、MTIOC6B の出力設定の許可/禁止を行うレジスタです。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。MTU3、4、6、7において、TOER レジスタは MTU3、4、6、7の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを“0”にした後で設定してください。

MTU.TOERB レジスタは、MTU.TSTRB レジスタの CST0、CST1 ビットを“0”にした後で設定してください (図 16.36、図 16.39 参照)。

OE_nm ビット (マスタ許可 MTIOC_nm ビット) (n = 3, 4, m = A ~ D)

MTU の MTIOC_nm 端子出力を許可/禁止します。

- TOERB

アドレス MTU.TOERB 000C 1A0Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE7D	OE7C	OE6D	OE7B	OE7A	OE6B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE6B	マスタ許可MTIOC6Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b1	OE7A	マスタ許可MTIOC7Aビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b2	OE7B	マスタ許可MTIOC7Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b3	OE6D	マスタ許可MTIOC6Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b4	OE7C	マスタ許可MTIOC7Cビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b5	OE7D	マスタ許可MTIOC7Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子からノンアクティブレベルを出力する場合は、I/Oポートのデータディレクションレジスタ(DDR)、データレジスタ(DR)にあらかじめ汎用入出力ポートにノンアクティブレベルを出力する設定をしてください。詳細は、「15. I/Oポート」を参照してください。

OE_nm ビット (マスタ許可 MTIOC_nm ビット) (n = 6、7、m = A ~ D)

MTU の MTIOC_nm 端子出力を許可/禁止します。

16.2.18 タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B)

アドレス MTU.TOCR1A 000C 120Eh、MTU.TOCR1B 000C 1A0Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0 (注4)	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット (注1) (注3)	表 16.38を参照してください	R/W
b1	OLSN	出力レベル選択Nビット (注1) (注3)	表 16.39を参照してください	R/W
b2	TOCS	TOC 選択ビット	0 : TOCR1jの設定を有効にする (j = A、B) 1 : TOCR2jの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット (注2) (注4)	0 : TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1 : TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0 : トグル出力を禁止 1 : トグル出力を許可	R/W
b7	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

- 注1. TOCR1j.TOCSビットを"0"にすることにより、本設定が有効になります。
 注2. TOCR1j.TOCLビットを"1"にすることにより、CPU暴走時の誤書き込みを防止することができます。
 注3. デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。
 注4. リセット後、1回のみ"1"を書けます。"1"を書いた後は、"0"を書くことはできません。

TOCR1A、TOCR1B レジスタは、相補 PWM モード／リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可／禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット (出力レベル選択 P ビット)

リセット同期 PWM モード／相補 PWM モード時に、正相の出力レベルを選択します。

OLSN ビット (出力レベル選択 N ビット)

リセット同期 PWM モード／相補 PWM モード時に、逆相の出力レベルを選択します。

TOCS ビット (TOC 選択ビット)

相補 PWM モード／リセット同期 PWM モードの出力レベルの設定を TOCR1j レジスタと TOCR2j レジスタ (j = A、B) のどちらの設定を有効にするか選択します。

TOCL ビット (TOC レジスタ書き込み禁止ビット)

TOCR1j レジスタ (j = A、B) の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止／許可の設定をします。

PSYE ビット (PWM 同期出力許可ビット)

PWM 周期に同期したトグル出力の許可／禁止を設定します。

表 16.38 出力レベル選択機能

ビット0	機 能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

表 16.39 出力レベル選択機能

ビット1	機 能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 16.3 に示します。

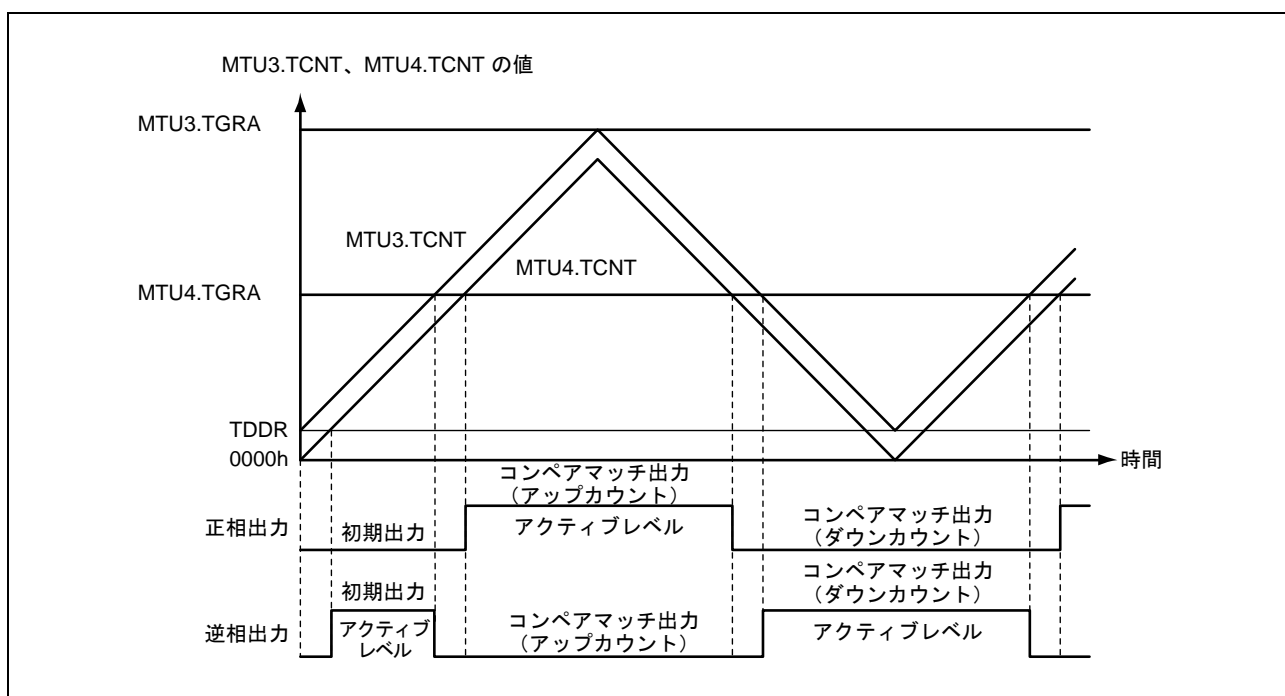
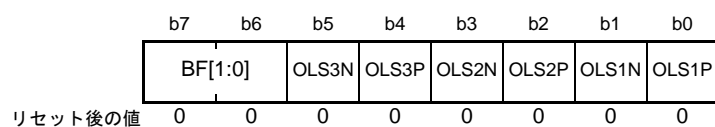


図 16.3 相補 PWM モードの出力レベルの例

16.2.19 タイマアウトプットコントロールレジスタ 2 (TOCR2A、TOCR2B)

アドレス MTU.TOCR2A 000C 120Fh、MTU.TOCR2B 000C 1A0Fh



ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3B/MTIOC6Bの出力レベルを選択します 表 16.40を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3D/MTIOC6Dの出力レベルを選択します 表 16.41を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4A/MTIOC7Aの出力レベルを選択します 表 16.42を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4C/MTIOC7Cの出力レベルを選択します 表 16.43を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4B/MTIOC7Bの出力レベルを選択します 表 16.44を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット (注1) (注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4D/MTIOC7Dの出力レベルを選択します 表 16.45を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング 選択ビット	TOLBR _j からTOCR2 _j へのバッファ転送タイミングを選択 します 詳細は表 16.46を参照してください	R/W

j=A、B

注1. TOCR1_j.TOCSビットを“1”にすることにより、本設定が有効になります。注2. デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLS1Pビットのみ有効となります。
(i=1,2,3)

TOCR2A、TOCR2B レジスタは、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行うレジスタです。

表 16.40 MTIOC_mB出力レベル選択機能

ビット0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

m = 3、6

表 16.41 MTIOCmD出力レベル選択機能

ビット1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

m = 3、6

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 16.42 MTIOCmA出力レベル選択機能

ビット2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

m = 4、7

表 16.43 MTIOCmC出力レベル選択機能

ビット3	機 能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

m = 4、7

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 16.44 MTIOCmB出力レベル選択機能

ビット4	機 能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	Low レベル	High レベル
1	Low レベル	High レベル	High レベル	Low レベル

m = 4、7

表 16.45 MTIOCmD出力レベル選択機能

ビット5	機 能			
OLS3N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High レベル	Low レベル	High レベル	Low レベル
1	Low レベル	High レベル	Low レベル	High レベル

m = 4、7

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

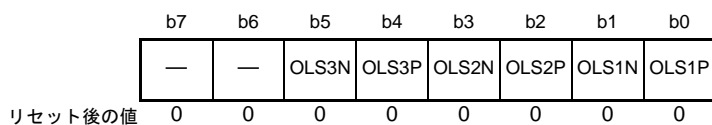
表 16.46 TOCR2j.BF[1:0] ビットの設定

ビット7 BF1	ビット6 BF0	説 明	
		相補PWMモード時	リセットPWMモード時
0	0	バッファレジスタ (TOLBRj) から TOCR2j へ転送しない	バッファレジスタ (TOLBRj) から TOCR2j へ転送しない
0	1	MTUn.TCNT の山でバッファレジスタ (TOLBRj) から TOCR2j へ転送する	MTUm.TCNT、MTUn.TCNT カウンタクリア時にバッファレジスタ (TOLBRj) から TOCR2j へ転送する
1	0	MTUn.TCNT の谷でバッファレジスタ (TOLBRj) から TOCR2j へ転送する	設定しないでください
1	1	MTUn.TCNT の山と谷でバッファレジスタ (TOLBRj) から TOCR2j へ転送する	設定しないでください

n = 4、7 m = 3、6 j = A、B

16.2.20 タイマアウトプットレベルバッファレジスタ (TOLBRA、TOLBRB)

アドレス MTU.TOLBRA 000C 1236h、MTU.TOLBRB 000C 1A36h



ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択 1P ビット	TOCR2jのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択 1N ビット	TOCR2jのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択 2P ビット	TOCR2jのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択 2N ビット	TOCR2jのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択 3P ビット	TOCR2jのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択 3N ビット	TOCR2jのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

j = A、B

TOLBRA、TOLBRB レジスタは TOCR2A、TOCR2B レジスタのバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 16.4 に示します。

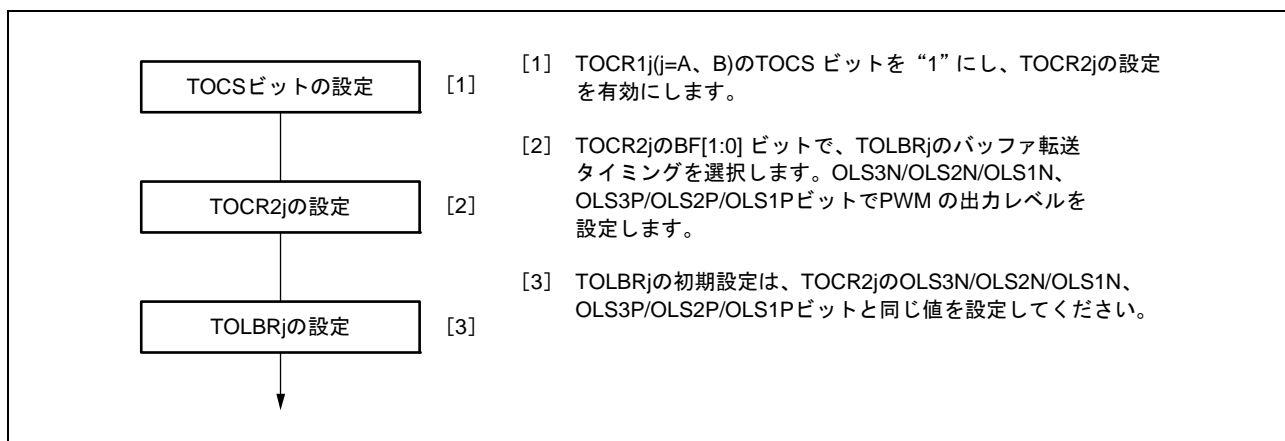


図 16.4 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

16.2.21 タイマゲートコントロールレジスタ A (TGCRA)

アドレス MTU.TGCRA 000C 120Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はTGCR.FBビットが1のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりにになります。表16.47を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り換えは、外部入力（入力元は、MTU0のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り換えはソフトウェアで行う（TGCRAのUF、VF、WFの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCRA レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCRA レジスタの設定は無効です。

UF、VF、WF ビット（出力切り替えビット）

正相/逆相の出力相の ON、OFF を設定します。

FB ビット（外部フィードバック信号許可）

正相/逆相の出力の切り替えを MTU0 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCRA レジスタのビット 2～0 に“0”または“1”を書き込むことによって行うかを選択します。

P ビット（正相出力（P）制御ビット）

正相端子の出力（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM /相補 PWM 出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM /相補 PWM 出力するかを選択します。

BDC ビット（ブラシレス DC モータビット）

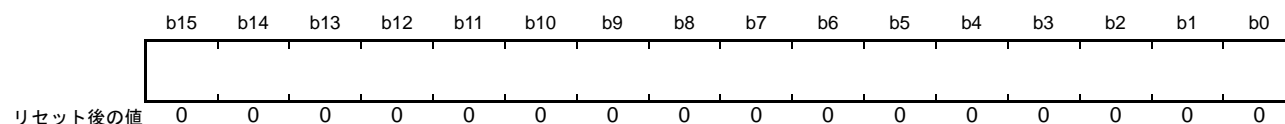
TGCRA レジスタの機能を有効にするか、無効にするかを選択します。

表 16.47 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機 能					
			MTIOC3B U相	MTIOC4A V相	MTIOC4B W相	MTIOC3D U相	MTIOC4C V相	MTIOC4D W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

16.2.22 タイマサブカウンタ (TCNTSA、TCNTSB)

アドレス MTU.TCNTSA 000C 1220h、MTU.TCNTSB 000C 1A20h

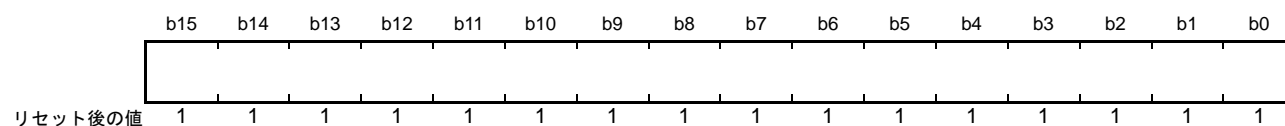


注. TCNTSA、TCNTSBレジスタの8ビット単位でアクセスは禁止です。
常に16ビット単位でアクセスしてください。

TCNTSA、TCNTSBレジスタは、相補PWMモードに設定したときのみ使用される16ビットの読み出し専用カウンタです。TCNTSA、TCNTSBレジスタのリセット後の値は0000hです。

16.2.23 タイマ周期データレジスタ (TCDRA、TCDRB)

アドレス MTU.TCDRA 000C 1214h、MTU.TCDRB 000C 1A14h



注. TCDRA、TCDRBレジスタの8ビット単位でのアクセスは禁止です。
常に16ビット単位でアクセスしてください。

TCDRA、TCDRBレジスタは、相補PWMモード時のみ使用される16ビットの読み出し/書き込み可能なレジスタです。TCDRA、TCDRBレジスタの値はPWMキャリア周期の1/2の値を設定してください。TCDRA、TCDRBレジスタのリセット後の値はFFFFhです。

16.2.24 タイマ周期バッファレジスタ (TCBRA、TCBRB)

アドレス MTU.TCBRA 000C 1222h、MTU.TCBRB 000C 1A22h

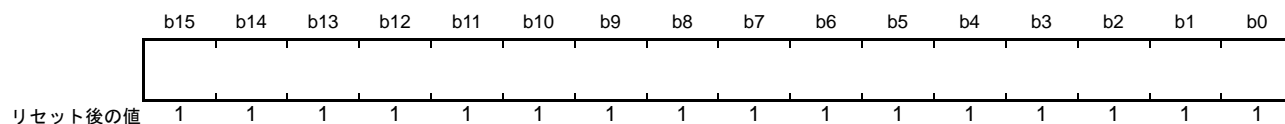


注. TCBRA、TCBRBレジスタの8ビット単位でのアクセスは禁止です。
常に16ビット単位でアクセスしてください。

TCBRA、TCBRB レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し/書き込み可能なレジスタで、TCDRA、TCDRB レジスタのバッファレジスタとして機能します。TMDR1 レジスタで設定した転送タイミングで TCBRA、TCBRB レジスタの値が TCDRA、TCDRB レジスタに転送されます。TCBRA、TCBRB レジスタのリセット後の値は FFFFh です。

16.2.25 タイマデッドタイムデータレジスタ (TDDRA、TDDRБ)

アドレス MTU.TDDRA 000C 1216h、MTU.TDDRБ 000C 1A16h

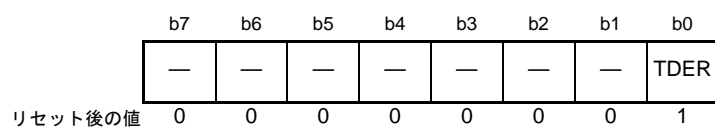


注. TDDRA、TDDRБレジスタの8ビット単位でのアクセスは禁止です。
常に16ビット単位でアクセスしてください。

TDDRA、TDDRБ レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し/書き込み可能なレジスタで、相補 PWM モード時 MTU3.TCNT (MTU6.TCNT) と MTU4.TCNT (MTU7.TCNT) カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) カウンタをクリアして再スタートするときは、TDDRA (TDDRБ) レジスタの値が MTU3.TCNT (MTU6.TCNT) カウンタにロードされカウント動作を開始します。TDDRA、TDDRБ レジスタのリセット後の値は FFFFh です。

16.2.26 タイマデッドタイムイネーブルレジスタ (TDERA、TDERB)

アドレス MTU3.TDERA 000C 1234h、MTU6.TDERB 000C 1A34h



ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0: デッドタイムを生成しない 1: デッドタイムを生成する (注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDRA ≥ 1、TDDRБ ≥ 1に設定してください。

TDERA、TDERB レジスタは、TDERA は MTU3、TDERB は MTU6 に各 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA、TDERB レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット (デッドタイムイネーブルビット)

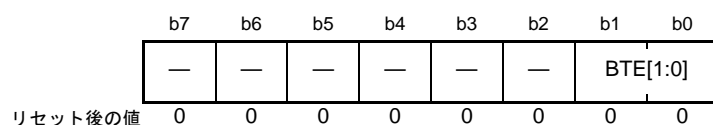
デッドタイムの生成をする／しないを設定します。

[“0”になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

16.2.27 タイマバッファ転送設定レジスタ (TBTERA、TBTERB)

アドレス MTU.TBTERA 000C 1232h、MTU.TBTERB 000C 1A32h



ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します 詳細は表16.48を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. 対象バッファレジスタ (TBTERA)
MTU3.TGRC、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD、MTU.TCBRA
対象バッファレジスタ (TBTERB)
MTU6.TGRC、MTU6.TGRD、MTU7.TGRC、MTU7.TGRD、MTU.TCBBR

TBTERA、TBTERB レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定するレジスタです。

表16.48 TBTER.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定しないでください

- 注1. TMDR1.MD[3:0]ビットの設定に従って転送します。詳細は「16.3.8 相補PWMモード」を参照してください。
注2. 割り込み間引きが禁止のとき(タイマ割り込み間引き設定レジスタ(TITCR1A(TITCR1B))のT3AEN、T4VEN(T6AEN、T7VEN)ビットを“0”にしたとき、またはTITCR1A(TITCR1B)の間引き回数設定ビット(T3ACOR、T4VCOR(T6ACOR、T7VCOR))を“0”にしたとき)は、必ずバッファ転送を割り込み間引きと連動しない設定(タイマバッファ転送レジスタ(TBTERA(TBTERB))のBTE1ビットを“0”にする)にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

16.2.28 タイマ波形コントロールレジスタ (TWCRA、TWCRB)

アドレス MTU.TWCRA 000C 1260h MTU.TWCRB 000C 1A60h

b7	b6	b5	b4	b3	b2	b1	b0
CCE	—	—	—	—	—	SCC	WRE

リセット後の値 0 (注2) 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0 : TOCR1A, TOCR2A (TOCR1B, TOCR2B) レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W)
b1	SCC (注1)	同期クリアコントロールビット	(TWCRB レジスタのみ有効) 0 : MTU0、1、2—MTU6、7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア有効 1 : MTU0、1、2—MTU6、7同期クリア機能によるMTU6.TCNT、MTU7.TCNTのクリア無効	R/(W)
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE (注2)	コンペアマッチクリア許可ビット	0 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする	R/(W)

注1. TWCRBレジスタのみ有効です、TWCRAレジスタでは予約ビットです。

注2. 相補PWMモード1のとき以外は、“1”を書かないでください。

TWCRA、TWCRB レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする／しないを設定します。

TWCRA、TWCRB レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット (波形保持許可ビット)

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の T_b 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A (TOCR1B、TOCR2B) レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) スタート直後の谷の T_b 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A (TOCR1B、TOCR2B) レジスタで設定した初期値を出力します。

相補 PWM モードの谷の T_b 区間については、[図 16.41](#) を参照してください。

[“1”になる条件]

- TWCR.WRE = 0 で TWCR.WRE を読んだ後、TWCR.WRE に“1”を書いたとき

SCC ビット (同期クリアコントロールビット) (TWCRB レジスタのみ)

相補 PWM モードで MTU0、1、2—MTU6、7 カウンタ同期クリアが発生したときに、MTU6.TCNT、MTU7.TCNT をクリアする／しないを設定します。

本機能を使用する際は、MTU6、7 を相補 PWM モードに設定してください。また、カウンタ動作中に SCC ビットを書き換える場合、CCE ビット、WRE ビットの値を変更しないようにしてください。

SCC ビットの設定により MTU からの同期クリアが無効になるのは、谷の T_b 区間以外で同期クリアが発生したときのみです。MTU6.TCNT、MTU7.TCNT スタート直後を含む谷の T_b 区間で同期クリアが発生した場合は、MTU6.TCNT、MTU7.TCNT がクリアされます。

相補 PWM モードの谷の T_b 区間については、図 16.41 を参照してください。

[“1” になる条件]

- SCC = 0 で SCC ビットを読んだ後、SCC ビットに“1”を書いたとき

TWCRA レジスタでは予約ビットです。読むと常に“0”が読めます。書く場合、“0”としてください。

CCE ビット (コンペアマッチクリア許可ビット)

相補 PWM モードで、MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリアをする／しないを設定します。

[“1” になる条件]

- CCE = 0 で CCE を読んだ後、CCE に“1”を書いたとき

16.2.29 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

- TADCR (MTU4)

アドレス MTU4.TADCR 000C 1240h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]		—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0 (注4)	0	0 (注4)	0 (注4)	0 (注4)	0 (注4)	0 (注4)

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE (注4)	TCIV4 割り込み間引き連動許可ビット	0: A/D 変換の開始要求 (TRG4BN) を TCI4V 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TCI4V 割り込み間引き機能1と連動する	R/W
b1	ITB3AE (注4)	TGIA3 割り込み間引き連動許可ビット	0: A/D 変換の開始要求 (TRG4BN) を TGI3A 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TGI3A 割り込み間引き機能1と連動する	R/W
b2	ITA4VE (注4)	TCIV4 割り込み間引き連動許可ビット	0: A/D 変換の開始要求 (TRG4AN) を TCI4V 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TCI4V 割り込み間引き機能1と連動する	R/W
b3	ITA3AE (注4)	TGIA3 割り込み間引き連動許可ビット	0: A/D 変換の開始要求 (TRG4AN) を TGI3A 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TGI3A 割り込み間引き機能1と連動する	R/W
b4	DT4BE (注4)	ダウンカウンTRG4BN許可ビット	0: MTU4.TCNTのダウンカウント時にA/D変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNTのダウンカウント時にA/D変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウンTRG4BN許可ビット	0: MTU4.TCNTのアップカウント時にA/D変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNTのアップカウント時にA/D変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE (注4)	ダウンカウンTRG4AN許可ビット	0: MTU4.TCNTのダウンカウント時にA/D変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNTのダウンカウント時にA/D変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウンTRG4AN許可ビット	0: MTU4.TCNTのアップカウント時にA/D変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNTのアップカウント時にA/D変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRB から MTU4.TADCORA、MTU4.TADCORB への転送タイミングを選択します。詳細は表 16.49 を参照してください	R/W

- 注1. MTU4.TADCR レジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
- 注2. 割り込み間引きが禁止のときTITCR1A.T3AEN,T4VENビットを“0”にしたとき、またはTITCR1A.T3ACOR,T4VCORビットを“0”にしたときは、必ず割り込み間引き機能1と連動しない (MTU4.TADCR.ITA3AE,ITA4VE,ITB3AE,ITB4VE ビットを“0”) にしてください。
- 注3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- 注4. 相補PWMモードのとき以外は、“1”を書かないでください。

TADCR レジスタは、A/D 変換開始要求の許可／禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する／しないを設定します。MTU には、MTU4、7 に各 1 本の TADCR レジスタがあります。

表 16.49 TADCR.BF[1:0] ビットによる転送タイミングの設定 (MTU4)

ビット15 BF1	ビット14 BF0	説明
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタから周期設定レジスタへ転送する (注1)
1	0	MTU4.TCNTの谷で周期設定バッファレジスタから周期設定レジスタへ転送する (注2)
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する (注2)

注1. 相補PWMモードではMTU4.TCNTの山およびMTU4.TGRDレジスタの書き込み時、リセット同期PWMモードではMTU3.TCNTがMTU3.TGRAレジスタとコンペアマッチしたとき、PWMモード1／通常動作モードではMTU4.TCNTがMTU4.TGRAレジスタとコンペアマッチしたときに、周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) へ転送します。

注2. 相補PWMモード以外では設定禁止です。

- TADCR (MTU7)

アドレス 000C 1A40h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT7AE	DT7AE	UT7BE	DT7BE	ITA6AE	ITA7VE	ITB6AE	ITB7VE
リセット後の値	0	0	0	0	0	0	0	0	0 (注4)	0	0 (注4)	0 (注4)	0 (注4)	0 (注4)	0 (注4)

ビット	シンボル	ビット名	機能	R/W
b0	ITB7VE (注4)	TCIV7割り込み間引き連動許可ビット	0: A/D変換の開始要求 (TRG7BN) をTCIV7割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) をTCIV7割り込み間引き機能1と連動する	R/W
b1	ITB6AE (注4)	TGIA6割り込み間引き連動許可ビット	0: A/D変換の開始要求 (TRG7BN) をTGIA6割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7BN) をTGIA6割り込み間引き機能1と連動する	R/W
b2	ITA7VE (注4)	TCIV7割り込み間引き連動許可ビット	0: A/D変換の開始要求 (TRG7AN) をTCIV7割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) をTCIV7割り込み間引き機能1と連動する	R/W
b3	ITA6AE (注4)	TGIA6割り込み間引き連動許可ビット	0: A/D変換の開始要求 (TRG7AN) をTGIA6割り込み間引き機能1と連動しない 1: A/D変換の開始要求 (TRG7AN) をTGIA6割り込み間引き機能1と連動する	R/W
b4	DT7BE (注4)	ダウンカウントTRG7BN許可ビット	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b5	UT7BE	アップカウントTRG7BN許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7BN) を許可	R/W
b6	DT7AE	ダウンカウントTRG7AN許可ビット	0: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのダウンカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b7	UT7AE (注4)	アップカウントTRG7AN許可ビット	0: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を禁止 1: MTU7.TCNTのアップカウント時にA/D変換の開始要求 (TRG7AN) を許可	R/W
b13-b8	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b15-b14	BF[1:0]	MTU7.TADCOBRA/B転送タイミング選択ビット	MTU7.TADCOBRA、MTU7.TADCOBRBからMTU7.TADCORA、MTU7.TADCORBへの転送タイミングを選択します。詳細は表16.50を参照してください	R/W

注1. MTU7.TADCRレジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

注2. 割り込み間引きが禁止のときTITCR1B.T6AEN、T7VENビットを"0"に設定したとき、またはTITCR1B.T6ACOR、T7VCORビットを"0"にしたときは、必ず割り込み間引き機能1と連動しない (MTU7.TADCR.ITA6AE、ITA7VE、ITB6AE、ITB7VEビットを"0") にしてください。

注3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D変換の開始要求が行われません。

注4. 相補PWMモードのとき以外は、"1"を書かないでください。

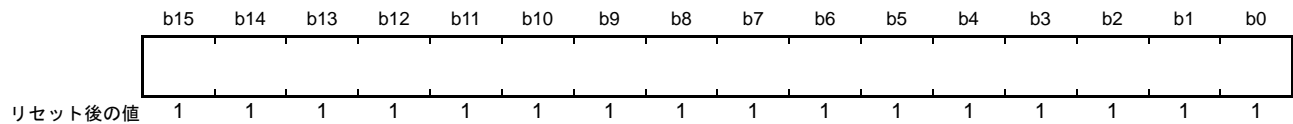
表 16.50 TADCR.BF[1:0]ビットによる転送タイミングの設定 (MTU7)

ビット15 BF1	ビット14 BF0	説明
0	0	周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送しない
0	1	MTU7.TCNTの山で周期設定バッファレジスタから周期設定レジスタへ転送する (注1)
1	0	MTU7.TCNTの谷で周期設定バッファレジスタから周期設定レジスタへ転送する (注2)
1	1	MTU7.TCNTの山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する (注2)

- 注1. 相補PWMモードではMTU7.TCNTの山およびMTU7.TGRDレジスタの書き込み時、リセット同期PWMモードではMTU6.TCNTがMTU6.TGRAレジスタとコンペアマッチしたとき、PWMモード1/通常動作モードではMTU7.TCNTがMTU7.TGRAレジスタとコンペアマッチしたときに、周期設定バッファレジスタ (MTU7.TADCOBRA、MTU7.TADCOBRB) から周期設定レジスタ (MTU7.TADCORA、MTU7.TADCORB) へ転送します。
- 注2. 相補PWMモード以外では設定禁止です。

16.2.30 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA、TADCORB)

アドレス MTU4.TADCORA 000C 1244h, MTU4.TADCORB 000C 1246h
 MTU7.TADCORA 000C 1A44h, MTU7.TADCORB 000C 1A46h



- 注1. MTUn.TADCORA、MTUn.TADCORB (n=4,7) は8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
- 注2. 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「16.3.9 (4) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は0002h～MTU4: TCDRAの設定値-2、MTU7: TCDRBの設定値-2の値を設定してください。
- 注3. 割り込み間引き機能2を使用し、かつMTUn.TADCORAレジスタ値とMTUn.TADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能2、間引き回数が0の場合

- MTUn.TADCORA レジスタ値と MTUn.TADCORB レジスタ値との間隔が「4」以上
- MTUn.TADCORA のコンペア間隔が 4 ICLK 以上（MTUn.TADCORA レジスタの更新値を「前値+4以上」、「前値-4以下」に設定）
- MTUn.TADCORB のコンペア間隔が 4 ICLK 以上（MTUn.TADCORB レジスタの更新値を「前値+4以上」、「前値-4以下」に設定）

(2) 間引き機能2、間引き回数が1以上の場合

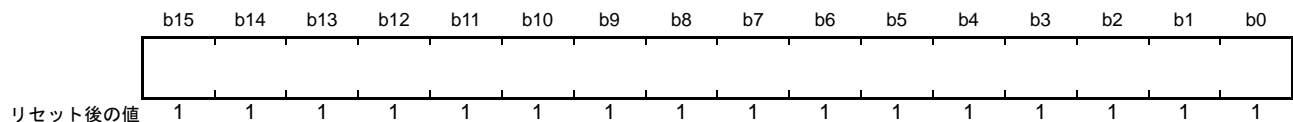
- MTUn.TADCORA レジスタ値と MTUn.TADCORB レジスタ値との間隔が「2」以上
- MTUn.TADCORB のコンペア間隔が 2 ICLK 以上（MTUn.TADCORB レジスタの更新値を「前値+2以上」、「前値-2以下」に設定）

TADCORA、TADCORB レジスタは 16 ビットの読み出し/書き込み可能なレジスタで、MTUn.TCNT (n=4, 7) と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA、TADCORB レジスタのリセット後の値は FFFFh です。

16.2.31 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA、TADCOBRB)

アドレス MTU4.TADCORA 000C 1248h, MTU4.TADCORB 000C 124Ah
 MTU7.TADCORA 000C 1A48h, MTU7.TADCORB 000C 1A4Ah



- 注. TADCOBRA、TADCOBRB レジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRB レジスタは 16 ビットの読み出し/書き込み可能なレジスタで、TADCORA、TADCORB のバッファレジスタです。TADCOBRA、TADCOBRB から山か谷で TADCORA、TADCORB に転送します。

TADCOBRA、TADCOBRB レジスタのリセット後の値は FFFFh です。

16.2.32 タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB)

アドレス MTU.TITMRA 000C 123Ah、MTU.TITMRB 000C 1A3Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 詳細は表 16.51 を参照してください	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITMRA、TITMRB レジスタは、2 種類の間引き機能を選択するレジスタです。

表 16.51 TITMビットによる割り込み間引き機能の設定

ビット 0	説明
TITM	
0	割り込み間引き機能1 (注1)
1	割り込み間引き機能2 (注2)

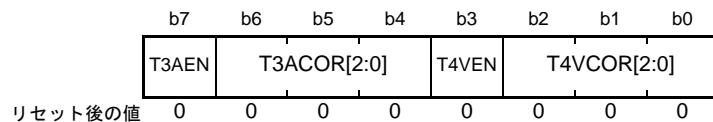
注1. TITCR1A、TITCR1B レジスタを設定することにより割り込み間引き機能1が有効になります。

注2. TITCR2A、TITCR2B レジスタを設定することにより割り込み間引き機能2が有効になります。

16.2.33 タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B)

• TITCR1A

アドレス MTU.TITCR1A 000C 1230h



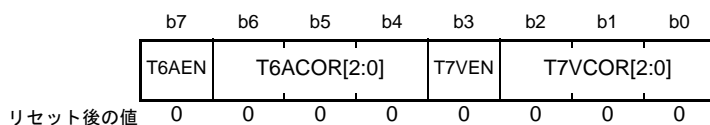
ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0~7回で設定します 詳細は表 16.52 を参照してください	R/W
b3	T4VEN	T4VEN ビット	0 : TCIV4割り込みの間引きを禁止する 1 : TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0~7回で設定します(注1) 詳細は表 16.53 を参照してください	R/W
b7	T3AEN	T3AEN ビット	0 : TGIA3割り込みの間引きを禁止する 1 : TGIA3割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VENビットを“0”にして間引き回数カウンタ (TITCNT1A) をクリアしてください。

TITCR1A、TITCR1B レジスタは、割り込み間引きの禁止/許可、割り込み間引き回数の設定を制御します。この設定は TITMRA、TITMRB レジスタを“0”としたときのみ有効になります。また、TITMRA、TITMRB レジスタを“1”とした場合、このレジスタの値はクリアされます。

- TITCR1B

アドレス MTU.TITCR1B 000C 1A30h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCOR[2:0]	TCIV7割り込み間引き回数設定ビット	TCIV7割り込みの間引き回数を0～7回で設定します。 詳細は表 16.54を参照してください	R/W
b3	T7VEN	T7VENビット	0 : TCIV7割り込みの間引きを禁止する 1 : TCIV7割り込みの間引きを許可する	R/W
b6-b4	T6ACOR[2:0]	TGIA6割り込み間引き回数設定ビット	TGIA6割り込みの間引き回数を0～7回で設定します。(注1) 詳細は表 16.55を参照してください	R/W
b7	T6AEN	T6AENビット	0 : TGIA6割り込みの間引きを禁止する 1 : TGIA6割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1B.T6AEN、TITCR1B.T7VENビットを“0”にして間引き回数カウンタ (TITCNT1B) をクリアしてください。

表 16.52 T4VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
T4VCOR2	T4VCOR1	T4VCOR0	
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表 16.53 T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T3ACOR2	ビット5 T3ACOR1	ビット4 T3ACOR0	説 明
0	0	0	TGIA3 の割り込み間引きを行わない
0	0	1	TGIA3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA3 の割り込み間引き回数を 7 回に設定

表 16.54 T7VCOR[2:0]ビットによる割り込み間引き回数の設定

ビット2 T7VCOR2	ビット1 T7VCOR1	ビット0 T7VCOR0	説 明
0	0	0	TCIV7 の割り込み間引きを行わない
0	0	1	TCIV7 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV7 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV7 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV7 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV7 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV7 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV7 の割り込み間引き回数を 7 回に設定

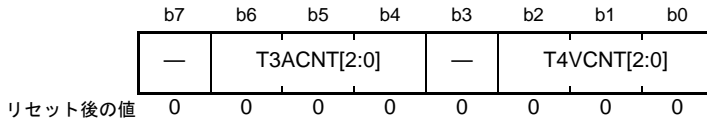
表 16.55 T6ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6 T6ACOR2	ビット5 T6ACOR1	ビット4 T6ACOR0	説 明
0	0	0	TGIA6 の割り込み間引きを行わない
0	0	1	TGIA6 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA6 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA6 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA6 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA6 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA6 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA6 の割り込み間引き回数を 7 回に設定

16.2.34 タイマ割り込み間引き回数カウンタ 1 (TITCNT1A、TITCNT1B)

• TITCNT1A

アドレス MTU.TITCNT1A 000C 1231h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4 割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4 割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b6-b4	T3ACNT[2:0]	TGIA3 割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3 割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

TITCNT1A、TITCNT1B レジスタは、8 ビットの読み出し可能なカウンタです。TITCNT1A、TITCNT1B は、MTU3.TCNT および MTU4.TCNT (MTU6.TCNT および MTU7.TCNT) のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

TITCR1A.T4VEN ビットが“1”の場合、TCIV4 割り込み要因が発生したときに1カウントアップします。
[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T4VEN ビットが“0”のとき
- TITCR1A.T4VCOR[2:0] ビットが“000b”のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

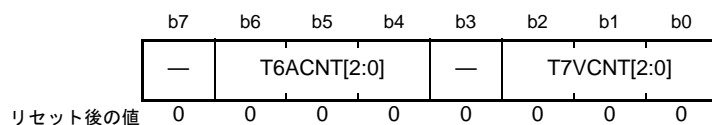
T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

TITCR1A.T3AEN ビットが“1”の場合、TGIA3 割り込み要因が発生したときに1カウントアップします。
[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T3AEN ビットが“0”のとき
- TITCR1A.T3ACOR[2:0] ビットが“000b”のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

- TITCNT1B

アドレス MTU.TITCNT1B 000C 1A31h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T7VCNT[2:0]	TCIV7 割り込みカウンタビット	TITCR1BのT7VENビットを“1”にしたとき、TCIV7 割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	T6ACNT[2:0]	TGIA6 割り込みカウンタビット	TITCR1BのT6AENビットを“1”にしたとき、TGIA6 割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. TITCNT1Bの値をクリアするには、TITCR1B.T6AENビットとTITCR1B.T7VENビットを“0”にしてください。

T7VCNT[2:0] ビット (TCIV7 割り込みカウンタビット)

TITCR1B.T7VEN ビットが“1”の場合、TCIV7 割り込み要因が発生したときに1カウントアップします。

[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T7VEN ビットが“0”のとき
- TITCR1B.T7VCOR[2:0] ビットが“000b”のとき
- TITCR1B.T7VCOR[2:0] ビットと TITCNT1B.T7VCNT[2:0] ビットが一致したとき

T6ACNT[2:0] ビット (TGIA6 割り込みカウンタビット)

TITCR1B.T6AEN ビットが“1”の場合、TGIA6 割り込み要因が発生したときに1カウントアップします。

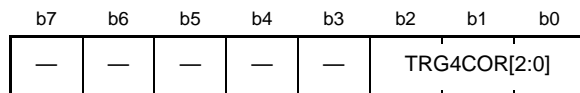
[“0”になる条件]

- TITMRB.TITM ビットが“1”のとき
- TITCR1B.T6AEN ビットが“0”のとき
- TITCR1B.T6ACOR[2:0] ビットが“000b”のとき
- TITCR1B.T6ACOR[2:0] ビットと TITCNT1B.T6ACNT[2:0] ビットが一致したとき

16.2.35 タイマ割り込み間引き設定レジスタ 2 (TITCR2A、TITCR2B)

• TITCR2A

アドレス MTU.TITCR2A 000C 123Bh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN/TRG4BN割り込み間引き回数設定ビット	TRG4AN/TRG4BN割り込みの間引き回数を0~7回で設定します。詳細は表 16.56 を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITCR2A、TITCR2B レジスタは、TRG4AN と TRG4BN (TRG7AN と TRG7BN) の割り込み間引き回数を設定するレジスタです。

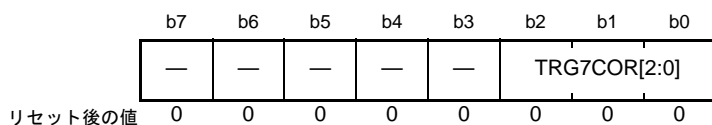
この設定は TITMRA、TITMRB レジスタを“1”にしたときのみ有効になります。

表 16.56 TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG4COR2	TRG4COR1	TRG4COR0	
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

• TITCR2B

アドレス MTU.TITCR2B 000C 1A3Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7COR[2:0]	TRG7AN/TRG7BN割り込み間引き回数設定ビット	TRG7AN/TRG7BN割り込みの間引き回数を0~7回で設定します。詳細は表 16.57を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

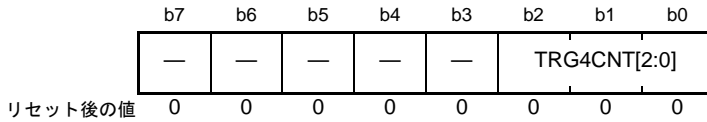
表 16.57 TRG7COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG7COR2	TRG7COR1	TRG7COR0	
0	0	0	TRG7ANとTRG7BNの割り込み回数間引きを行わない
0	0	1	TRG7ANとTRG7BNの割り込み回数を1回に設定
0	1	0	TRG7ANとTRG7BNの割り込み回数を2回に設定
0	1	1	TRG7ANとTRG7BNの割り込み回数を3回に設定
1	0	0	TRG7ANとTRG7BNの割り込み回数を4回に設定
1	0	1	TRG7ANとTRG7BNの割り込み回数を5回に設定
1	1	0	TRG7ANとTRG7BNの割り込み回数を6回に設定
1	1	1	TRG7ANとTRG7BNの割り込み回数を7回に設定

16.2.36 タイマ割り込み間引き回数カウンタ 2 (TITCNT2A、TITCNT2B)

• TITCNT2A

アドレス MTU.TITCNT2A 000C 123Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN/TRG4BN 割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

TITCNT2A、TITCNT2B レジスタは、TRG4COR[2:0] ビット、TRG7COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN (TITCNT2A) および TRG7AN、TRG7BN (TITCNT2B) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になります。

TRG4CNT[2:0] ビット (TRG4AN/TRG4BN 割り込みカウンタビット)

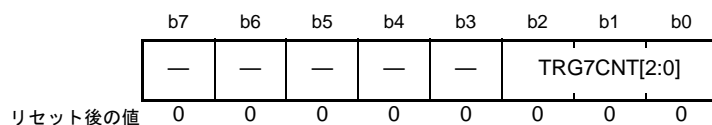
TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0”になる条件]

- TITMRA.TITM ビットが“0”のとき
- TITCR2A.TRG4COR[2:0] ビットが“000b”のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

- TITCNT2B

アドレス MTU.TITCNT2B 000C 1A3Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG7CNT[2:0]	TRG7AN/TRG7BN割り込みカウンタビット	TRG7COR[2:0]ビットで設定した値から、TRG7AN、TRG7BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

TRG7CNT[2:0] ビット (TRG7AN/TRG7BN 割り込みカウンタビット)

TRG7COR[2:0] ビットで設定した値から、TRG7AN および TRG7BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG7AN、TRG7BN 割り込みが有効になります。

[“0”になる条件]

- TITMRB.TITM ビットが“0”のとき
- TITCR2B.TRG7COR[2:0] ビットが“000b”のとき
- TITCR2B.TRG7COR[2:0] ビットと TRG7AN および TRG7BN の発生回数が一致したとき

16.2.37 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTSA、TCNTSB)、タイマ周期バッファレジスタ (TCBRA、TCBRB)、タイマデッドタイムデータレジスタ (TDDRA、TDDR B)、タイマ周期データレジスタ (TCDRA、TCDRB)、タイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。また、8 ビット単位での読み出し/書き込みもできます。

16.3 動作説明

16.3.1 基本動作

各チャンネルには、TCNTとTGRレジスタがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGRレジスタは、それぞれ入力キャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRAレジスタのCST0～CST4ビット、TSTRBレジスタのCST6,CST7ビット、MTU5.TSTRレジスタのCSTU5、CSTV5、CSTW5ビットを“1”にすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図16.5に示します。

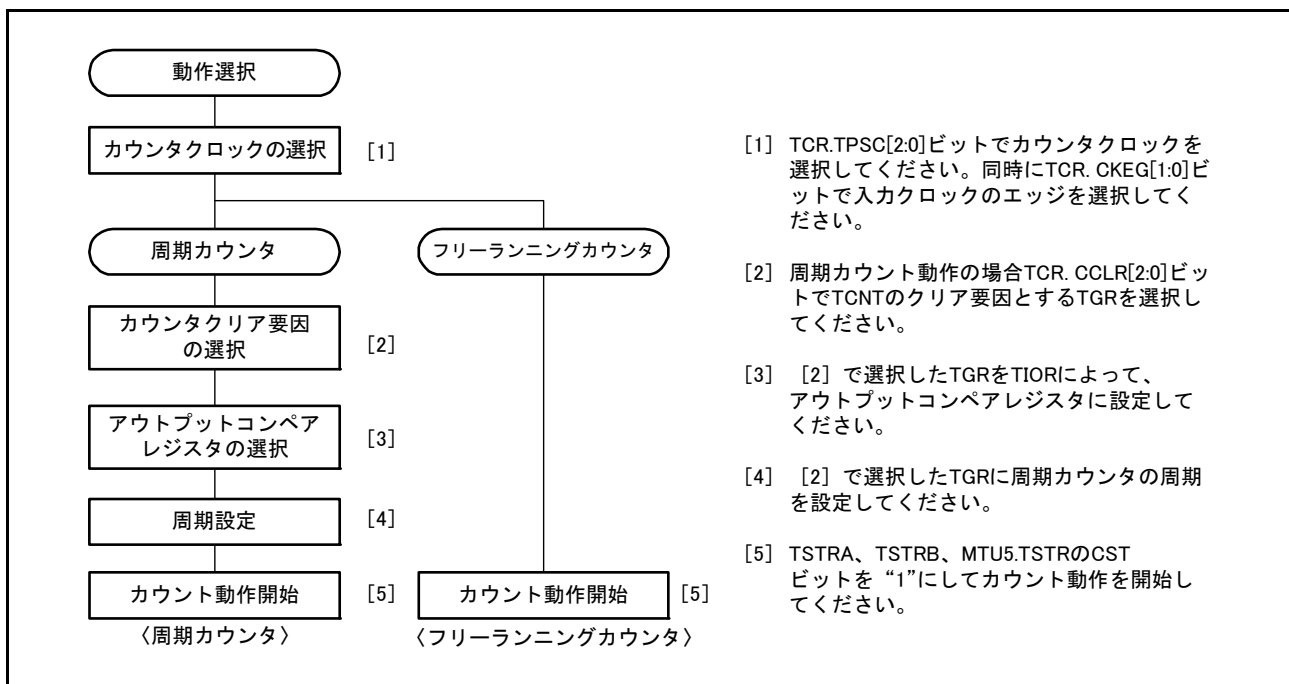


図 16.5 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTUのTCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、TSTRB、MTU5.TSTRレジスタの対応するビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー（FFFFh → 0000h）すると、TSR.TCFVフラグが“1”になります。このとき、対応するTIER.TCIEVビットが“1”ならば、MTUは割り込みを要求します。TCNTはオーバーフロー後、0000hからアップカウント動作を継続します。

フリーランニングカウンタの動作を図16.6に示します。

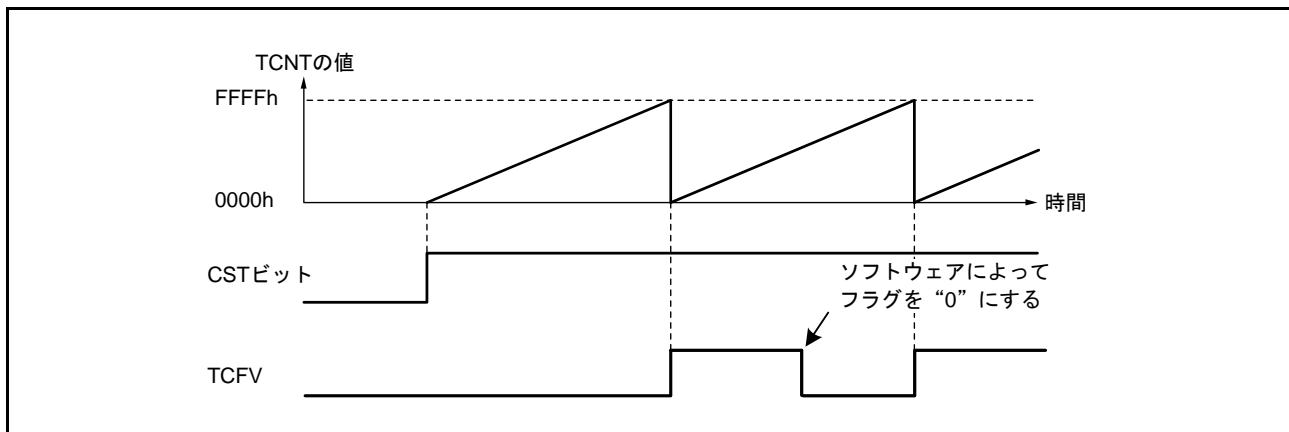


図 16.6 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、TSTRB、MTU5.TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSR.TGFフラグが“1”になり、TCNTは0000hになります。

このとき対応するTIER.TGIEビットが“1”ならば、MTUは割り込みを要求します。TCNTはコンペアマッチ後、0000hからアップカウント動作を継続します。

周期カウンタの動作を図16.7に示します。

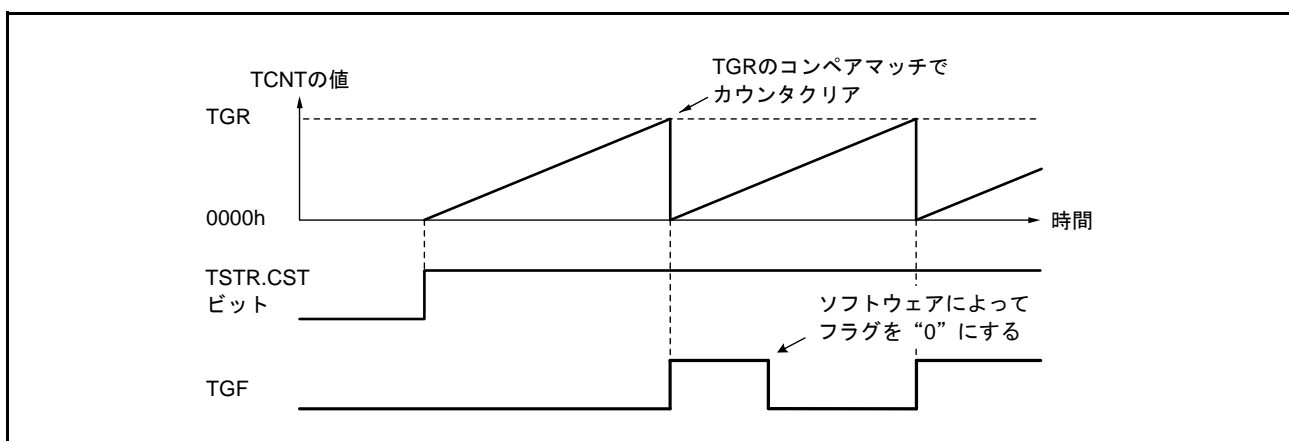


図 16.7 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子からLow出力/High出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図16.8に示します。

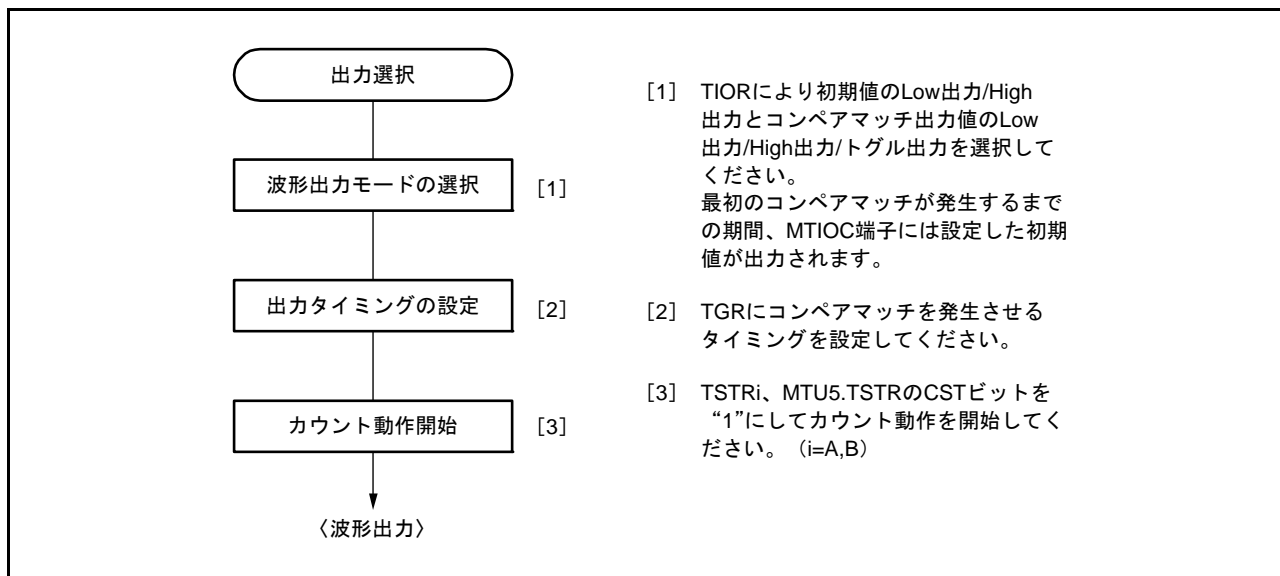


図 16.8 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力 / High 出力例を図 16.9 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

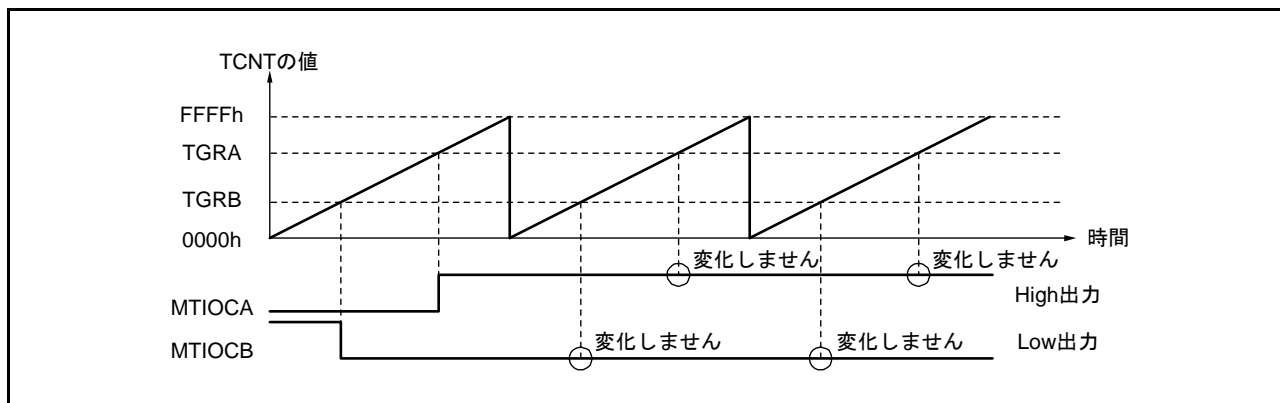


図 16.9 Low 出力 / High 出力の動作例

トグル出力の例を図 16.10 に示します。

TCNT を周期カウンタ動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

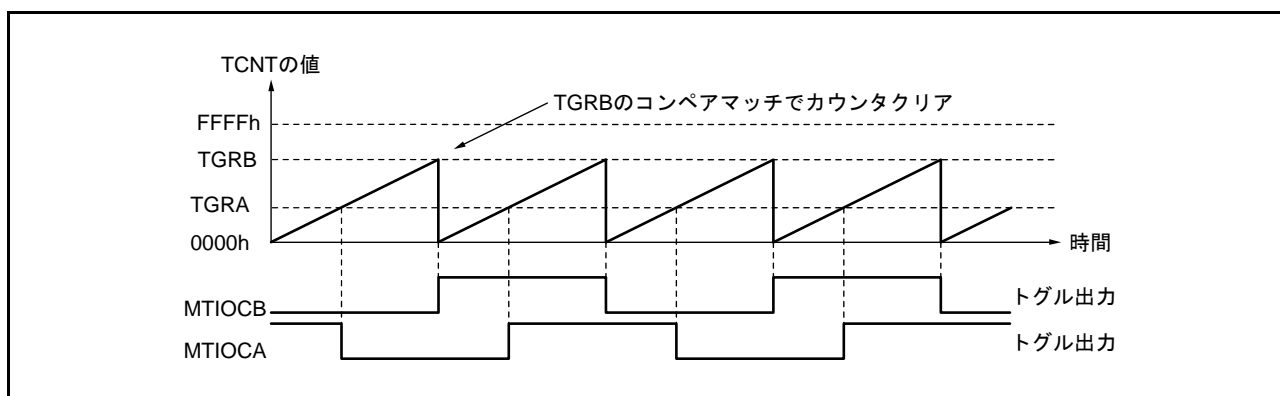


図 16.10 トグル出力の動作例

(3) インพุットキャプチャ機能

MTIOC 端子の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに ICLK/1 を選択しないでください。ICLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 16.11 に示します。

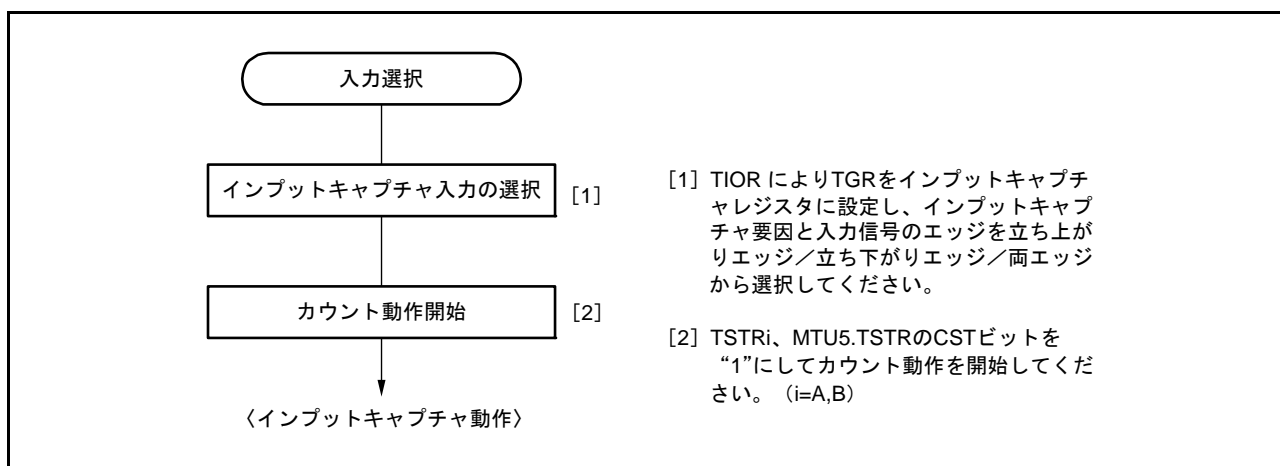


図 16.11 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 16.12 に示します。

MTIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり／立ち下がり両エッジ、また MTIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

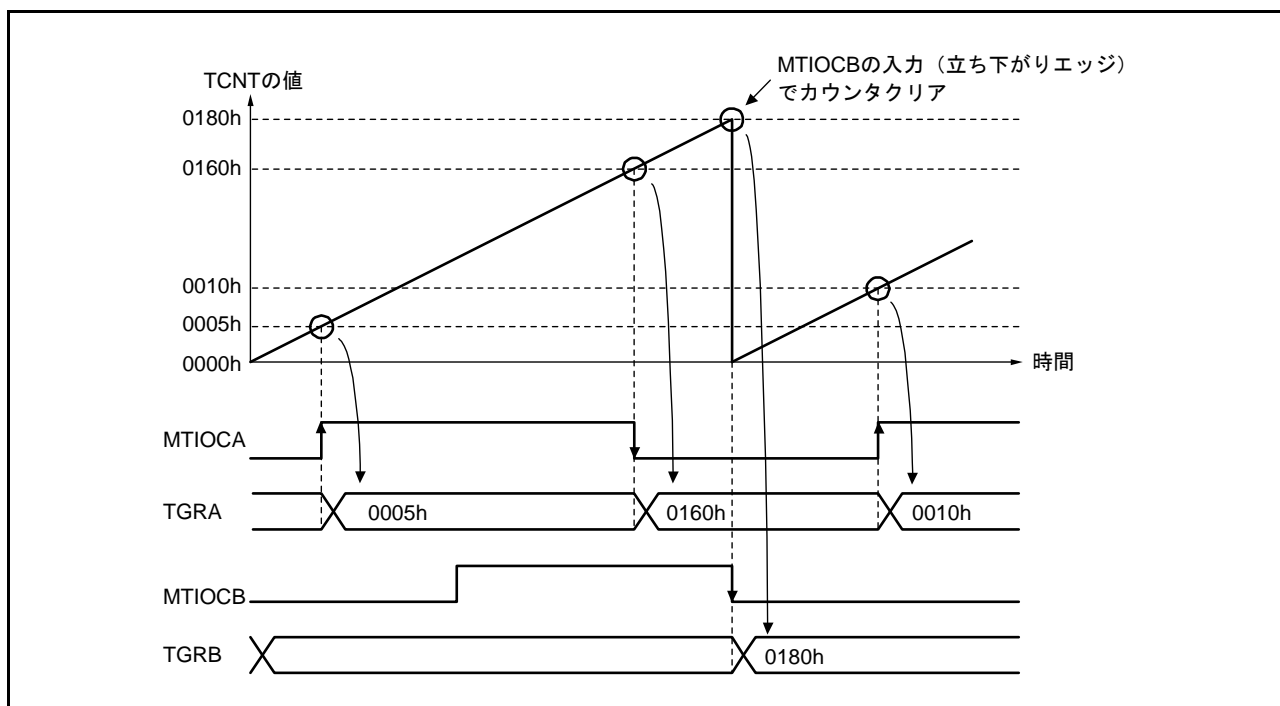


図 16.12 インพุットキャプチャ動作例

16.3.2 同期動作

同期動作を使って、複数の TCNT の値を同時に書き替えることができます (同期プリセット)。また、TCR レジスタの設定によって複数の TCNT を同時に“0”にすることができます (同期クリア)。

同期動作によって、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ~ 4、6、7 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 16.13 に示します。

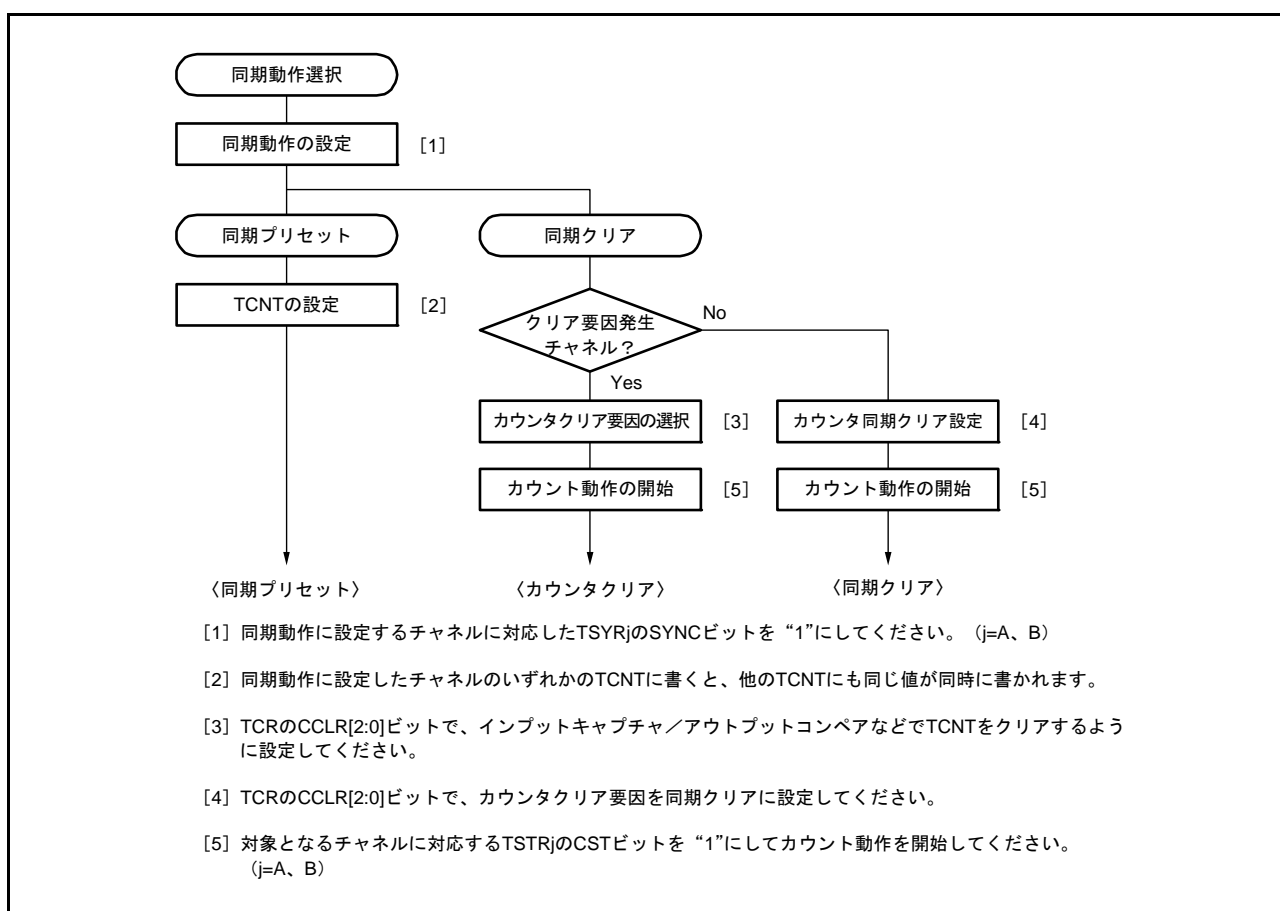


図 16.13 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 16.14 に示します。

MTU0 ~ 2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ 2 の TCNT は同期プリセット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「16.3.5 PWM モード」を参照してください。

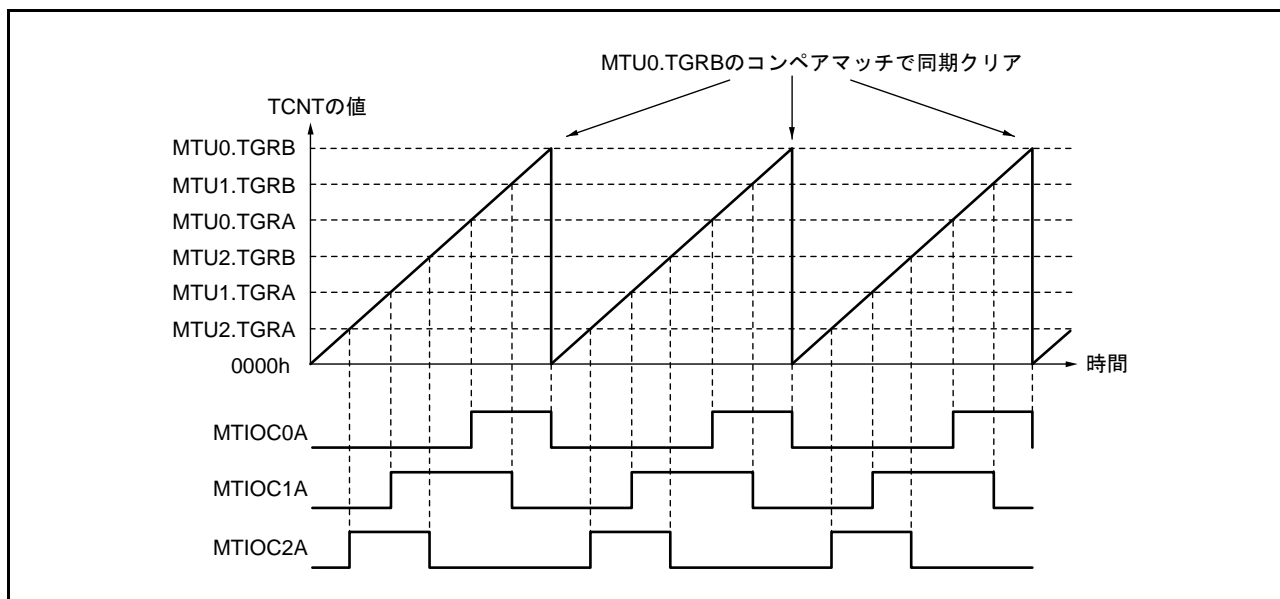


図 16.14 同期動作の動作例

16.3.3 バッファ動作

バッファ動作は、MTU0、3、4、6、7が持つ機能です。TGRCとTGRDレジスタをバッファレジスタとして使用することができます。また、MTU0はTGRFもバッファレジスタとして使用することができます。

バッファ動作は、TGRレジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGREはインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 16.58 にバッファ動作時のレジスタの組み合わせを示します。

表 16.58 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD
MTU6	TGRA	TGRC
	TGRB	TGRD
MTU7	TGRA	TGRC
	TGRB	TGRD

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 16.15 に示します。

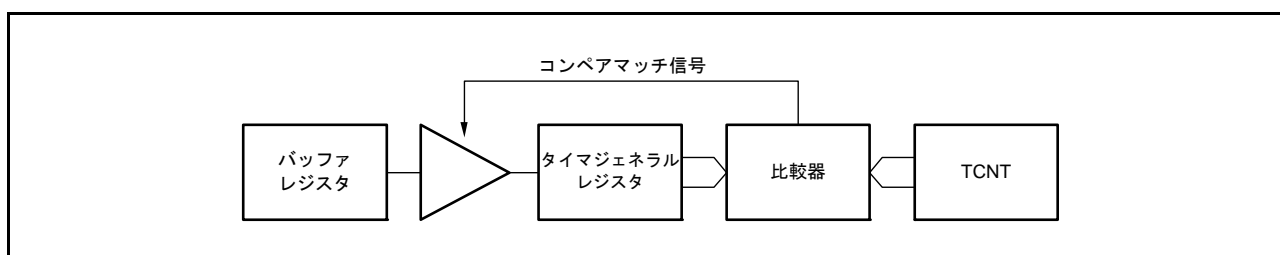


図 16.15 コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 16.16 に示します。

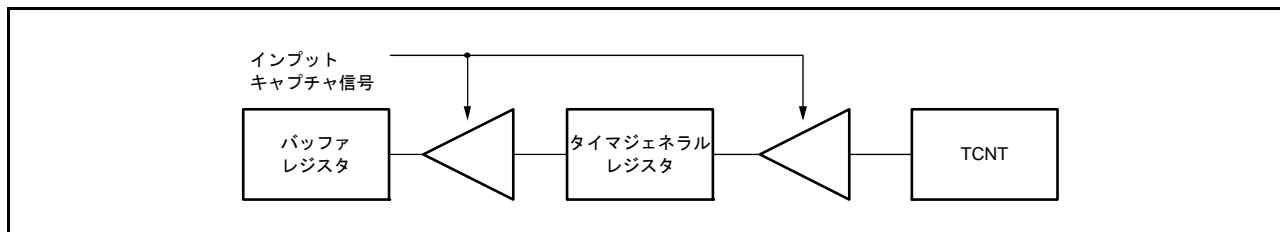


図 16.16 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 16.17 に示します。

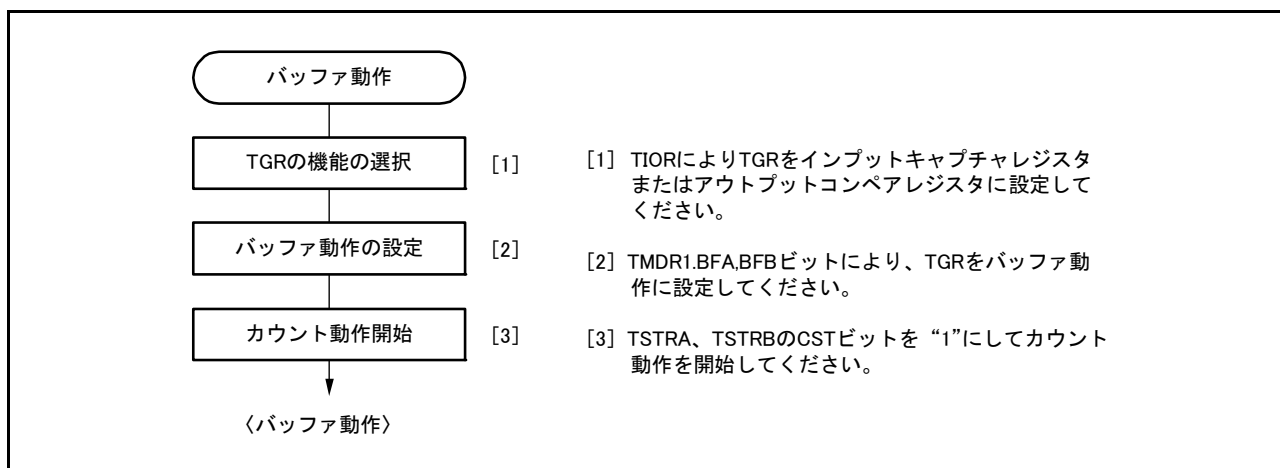


図 16.17 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGRがアウトプットコンペアレジスタの場合

MTU0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図16.18に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAでHigh出力、コンペアマッチBでLow出力に設定した例です。この例では、TBTM.TTSAビットは“0”にしています。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「16.3.5 PWMモード」を参照してください。

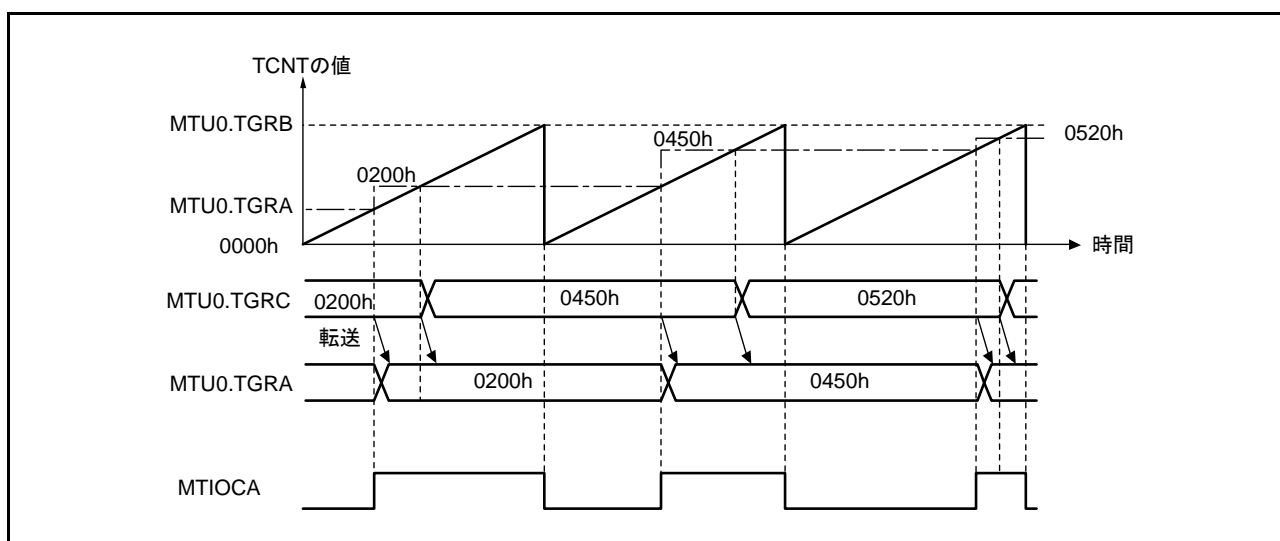


図 16.18 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 16.19 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、MTIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

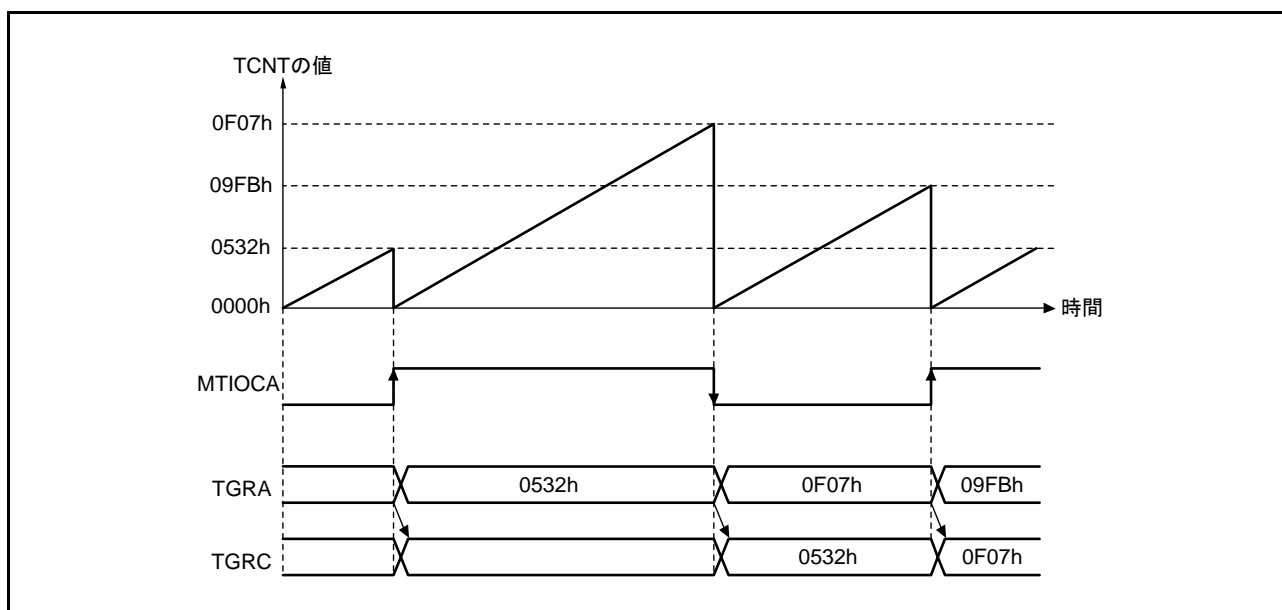


図 16.19 バッファ動作例 (2)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (MTUn.TBTM) (n=0, 3, 4, 6, 7) を設定することで、MTU0 では PWM モード 1、2 時の、MTU3、4、6、7 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (リセット後の値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (FFFFh → 0000h)
- カウンタ動作中、TCNT に 0000h が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が “0000h” になったとき

注. TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 16.20 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” にしています。

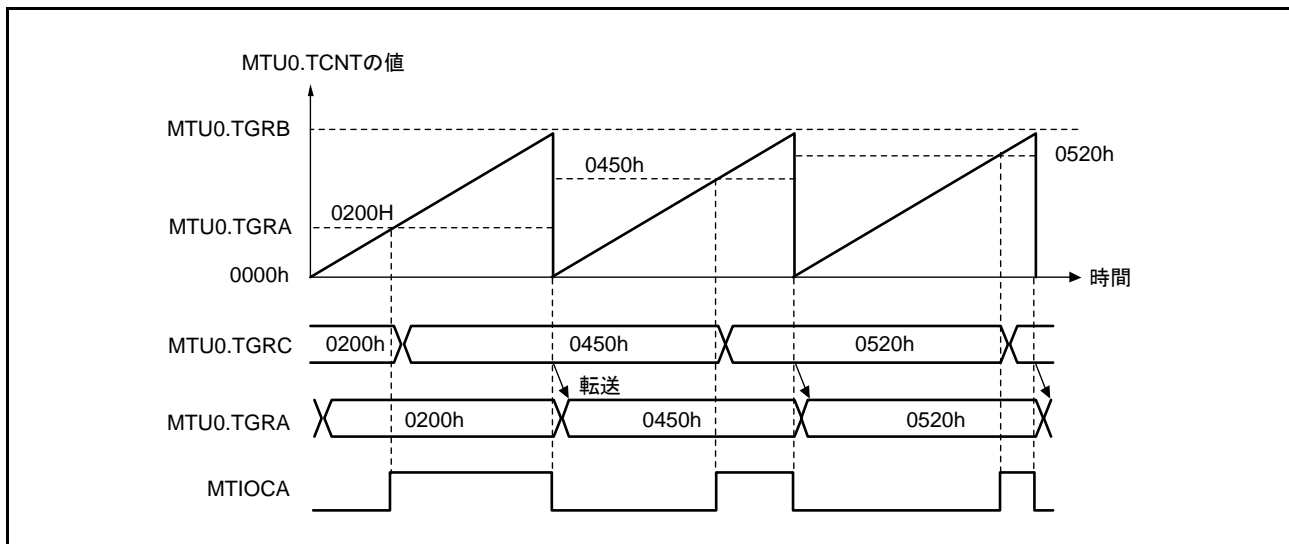


図 16.20 MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

16.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、MTU1のカウントクロックをTCRのTPSC[2:0]ビットでMTU2.TCNTのオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表16.59にカスケード接続の組み合わせを示します。

注. MTU1を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表16.59 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTとMTU2.TCNTの同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「16.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ」を参照してください。

TICCRレジスタの設定値とインプットキャプチャ入力端子の対応を表16.60に示します。

表16.60 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット=0(リセット後の値)	MTIOC1A
	I2AEビット=1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット=0(リセット後の値)	MTIOC1B
	I2BEビット=1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット=0(リセット後の値)	MTIOC2A
	I1AEビット=1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット=0(リセット後の値)	MTIOC2B
	I1BEビット=1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 16.21 に示します。

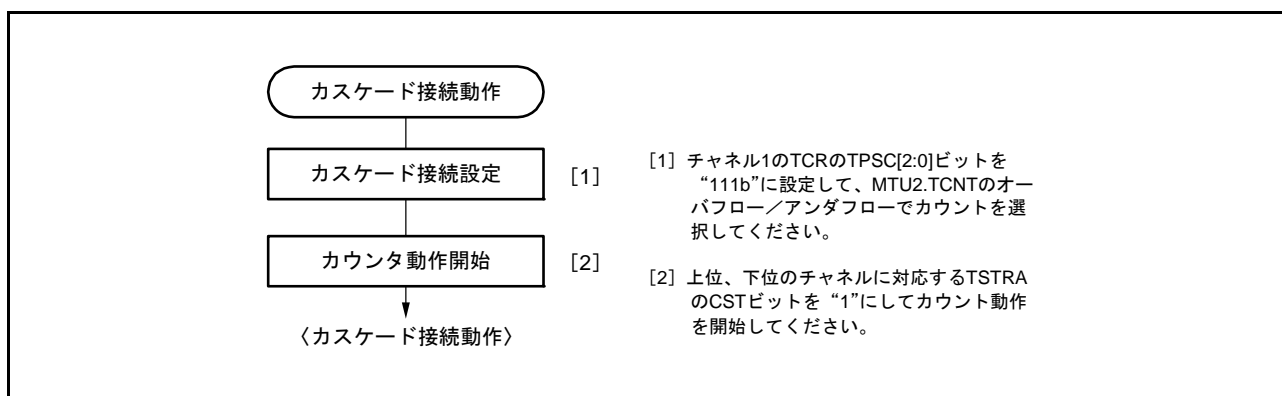


図 16.21 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT は MTU2.TCNT のオーバフロー／アンダフローでカウント、MTU2 を位相計数モードに設定したときの動作を図 16.22 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

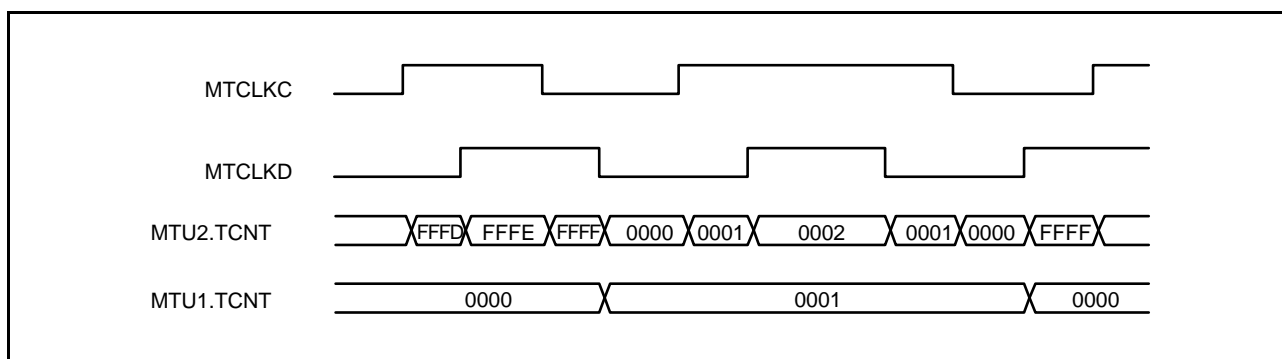


図 16.22 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 16.23 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、(MTIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA の入力キャプチャ条件に設定されます。また、MTU2.TGRA の入力キャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

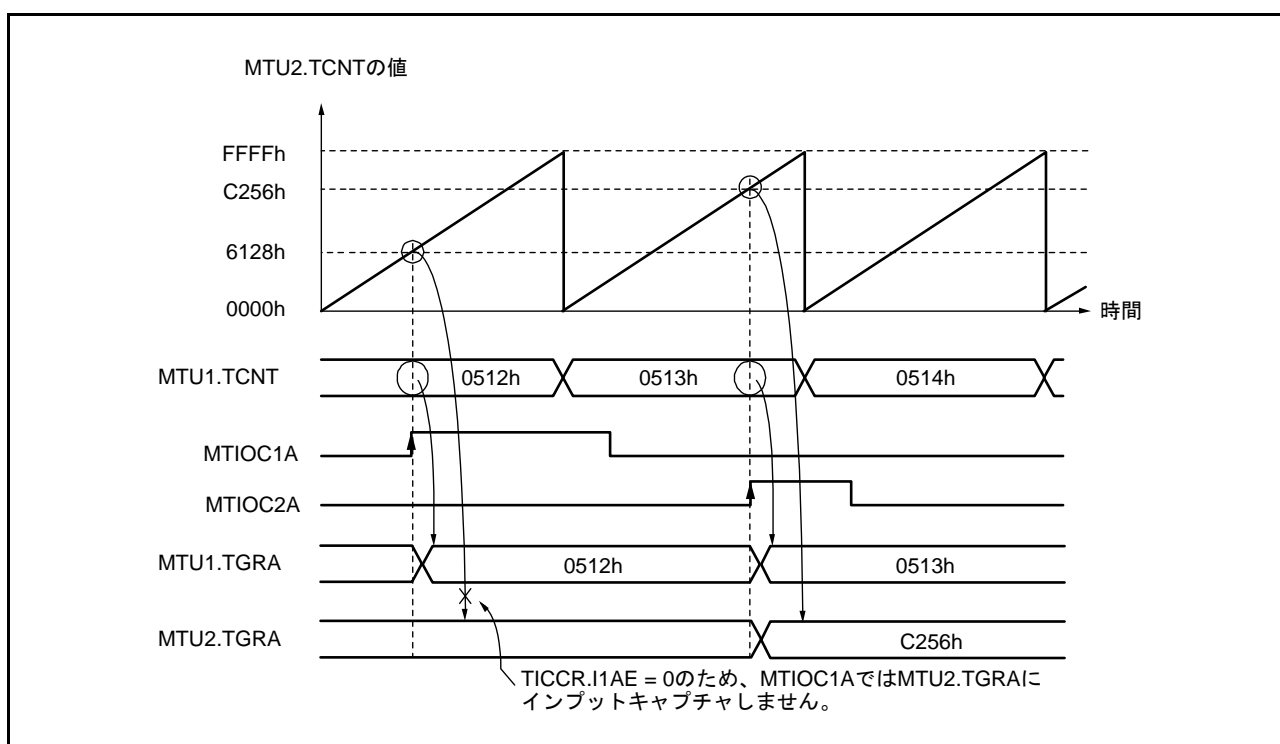


図 16.23 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE,I1AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA の入力キャプチャ条件に追加した場合の動作を図 16.24 に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA の入力キャプチャ条件となります。

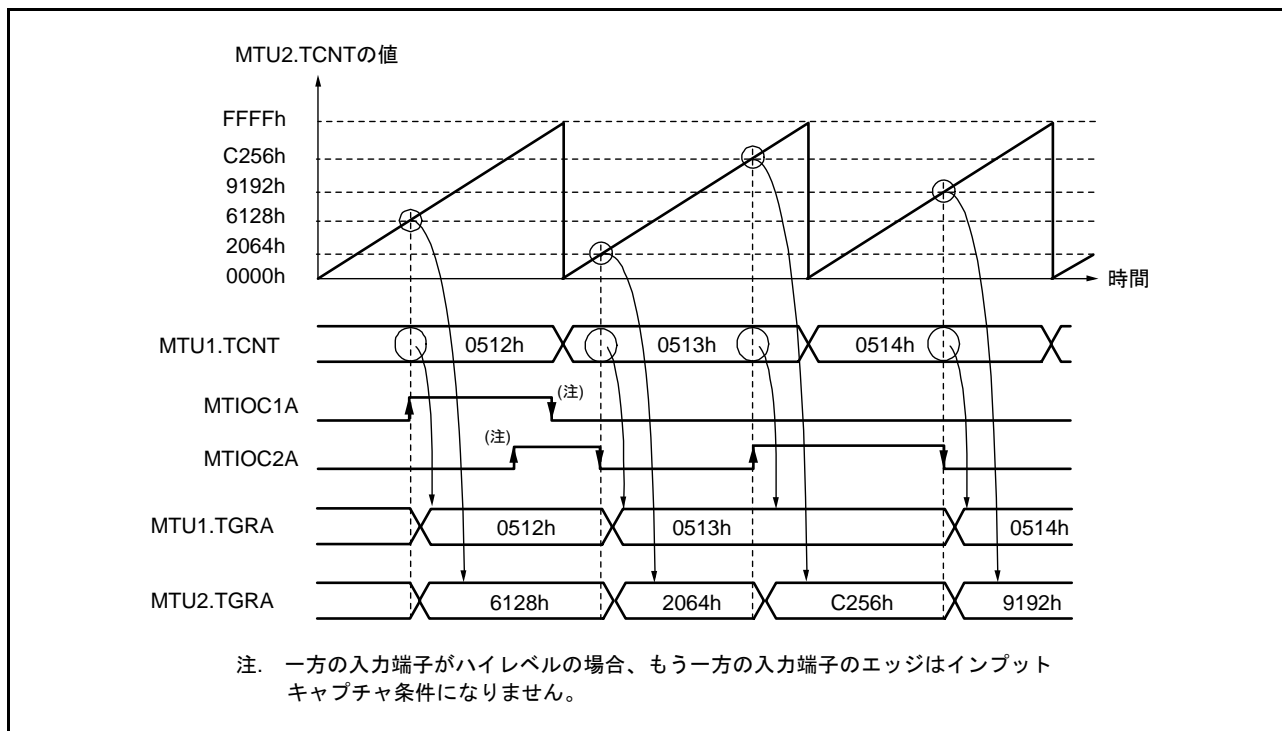


図 16.24 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 16.25 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA の入力キャプチャ条件になることはありません。

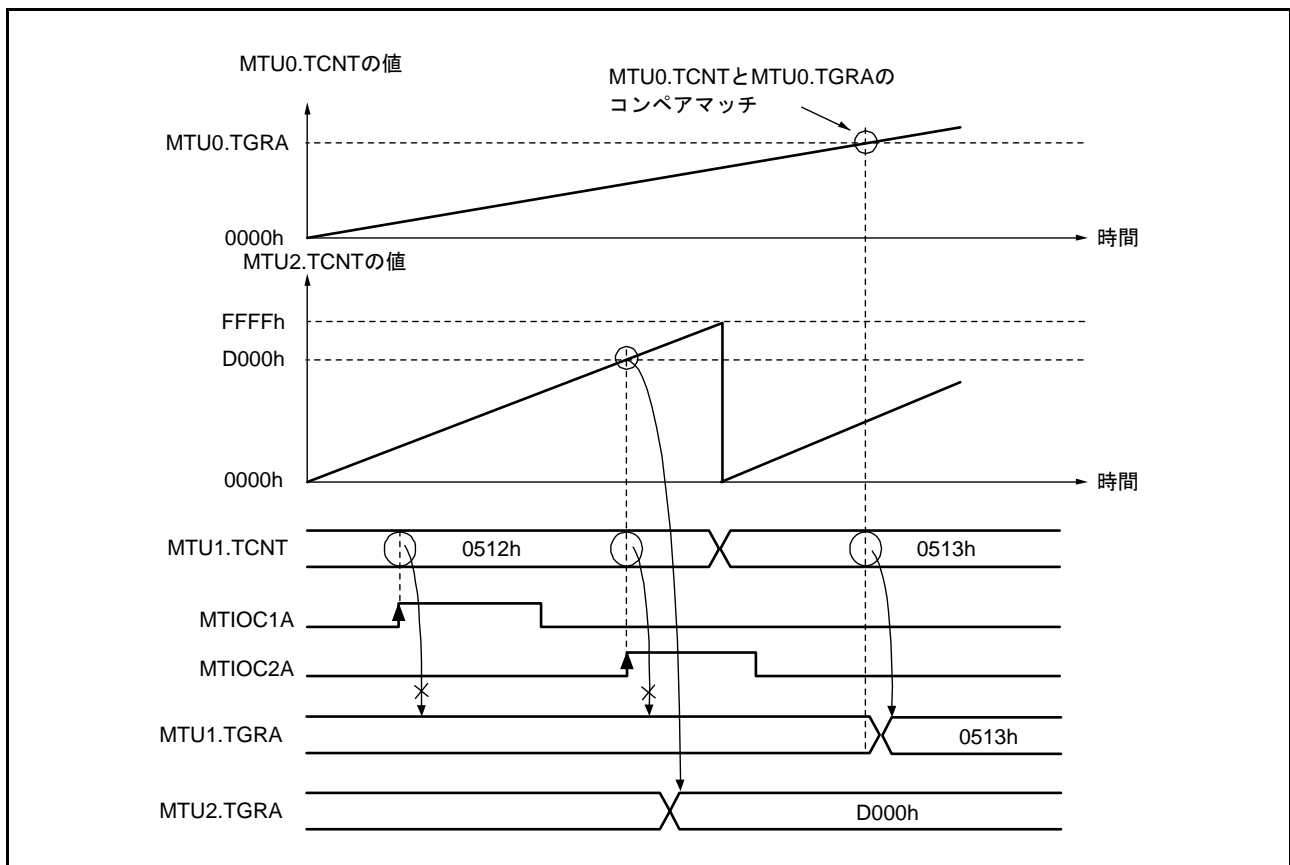


図 16.25 カスケード接続動作例 (d)

16.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA と TGRB レジスタ、TGRC と TGRD レジスタをペアで使用して、MTIOCA、MTIOCC 端子から PWM 波形を出力します。MTIOCA、MTIOCC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 12 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 16.61 に示します。

表 16.61 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		
MTU4	TGRA	MTIOC4A	
	TGRB		
	TGRC	MTIOC4C	
	TGRD		
MTU6	TGRA	MTIOC6A	
	TGRB		
	TGRC	MTIOC6C	
	TGRD		
MTU7	TGRA	MTIOC7A	
	TGRB		
	TGRC	MTIOC7C	
	TGRD		

注. PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 16.26 に示します。

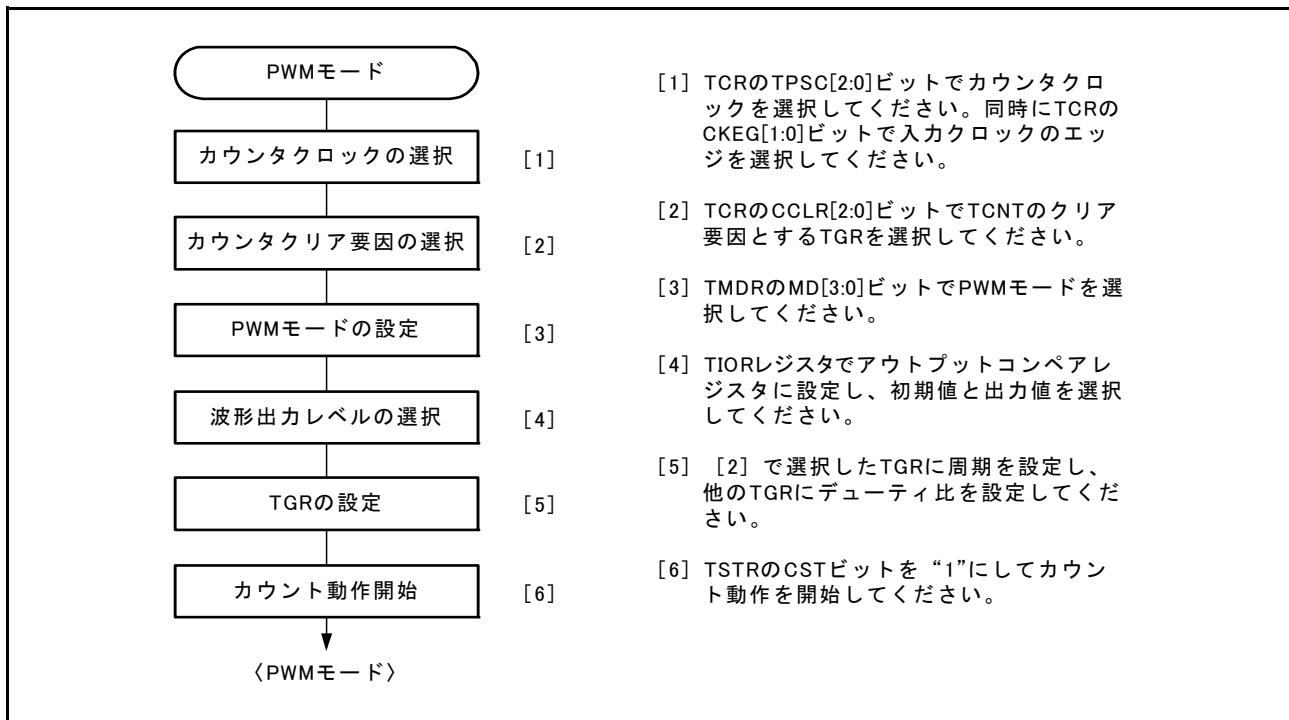


図 16.26 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 16.27 に示します。

この図は、TCNTのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値を“0”、TGRBレジスタの出力値を“1”にした場合の例です。

この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティ比になります。

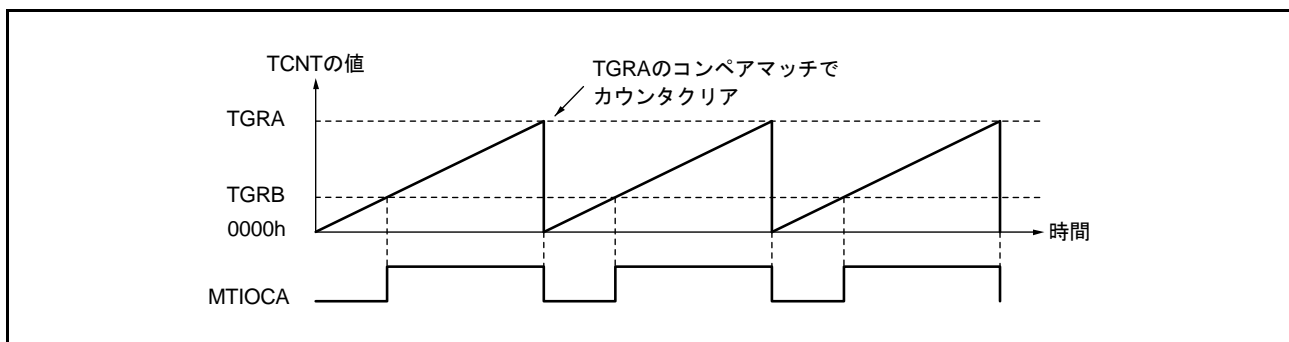


図 16.27 PWM モード1の動作例

PWM モード2の動作例を図 16.28 に示します。

この図は、MTU0 と 1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) の初期出力値を“0”、出力値を“1”にして5相のPWM波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) に設定した値がデューティ比になります。

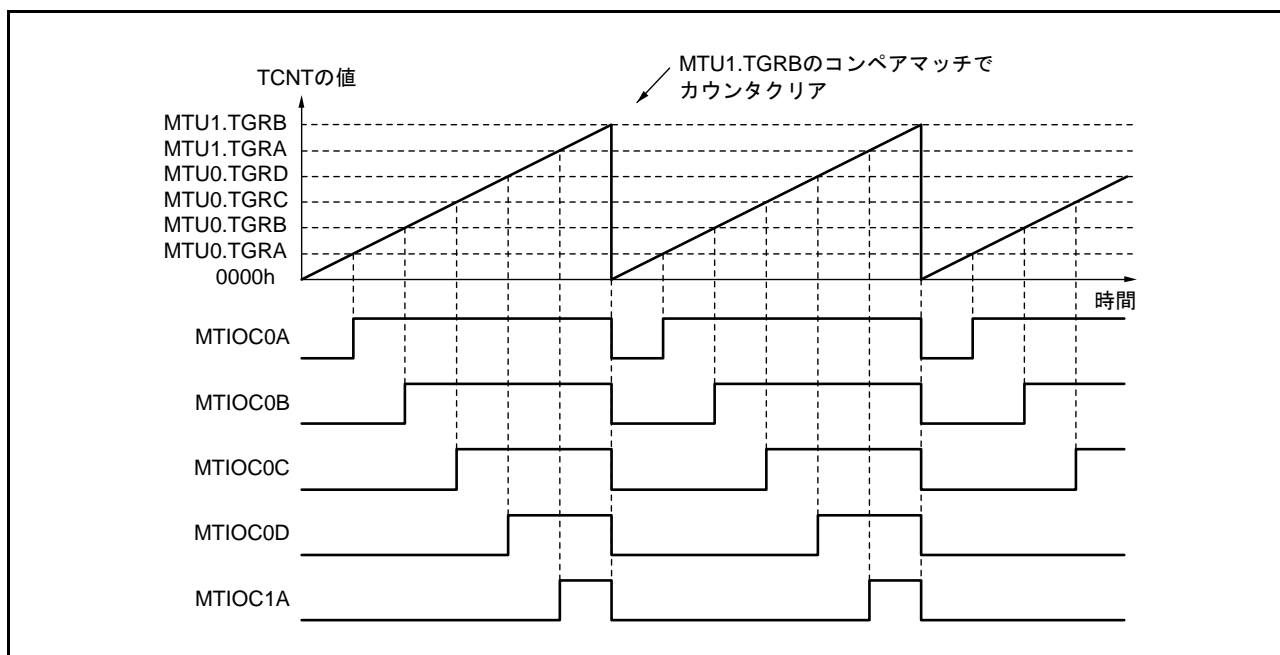


図 16.28 PWM モード2の動作例

PWM モードで、デューティ比 0%、デューティ比 100%の PWM 波形を出力する例を図 16.29 に示します。

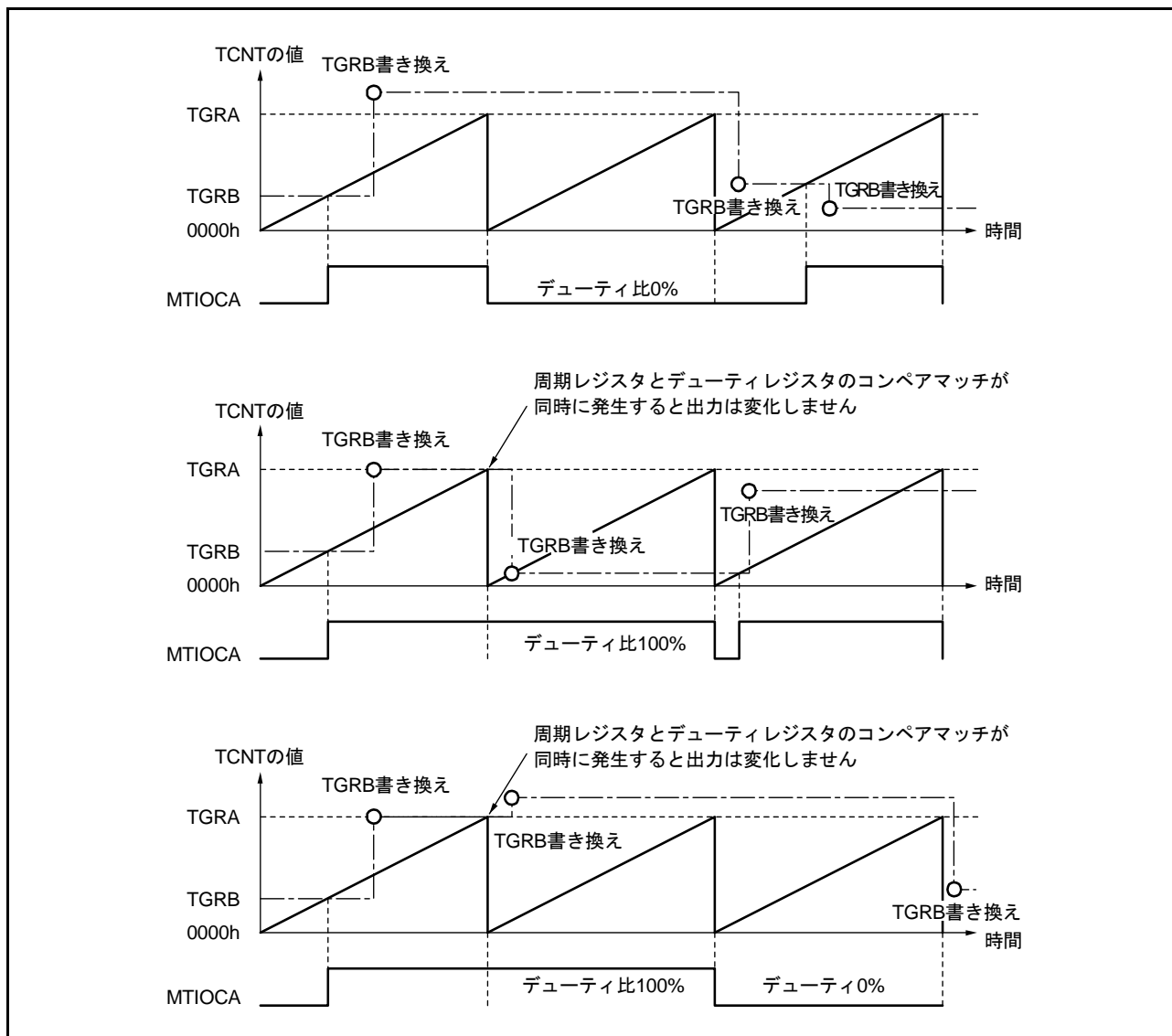


図 16.29 PWM モード動作例 (デューティ 0%、デューティ 100%の PWM 波形を出力する例)

16.3.6 位相計数モード

位相計数モードでは、MTU1、2の設定によって、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。

位相計数モードに設定すると、TCR.TPSC[2:0]ビット、CKEG[1:0]ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCR.CCLR[1:0]ビット、TIORレジスタ、TIERレジスタ、TGRレジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスの入力として使用できます。

TCNTがアップカウント時、オーバフローが発生すると、TSRレジスタのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TSRレジスタのTCFUフラグがセットされます。

TSRレジスタのTCFDフラグはカウント方向フラグです。TCFDフラグを読むことにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表 16.62 に外部クロック端子とチャンネルの対応を示します。

表 16.62 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
MTU1を位相計数モードとするとき	MTCLKA	MTCLKB
MTU2を位相計数モードとするとき	MTCLKC	MTCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 16.30 に示します。

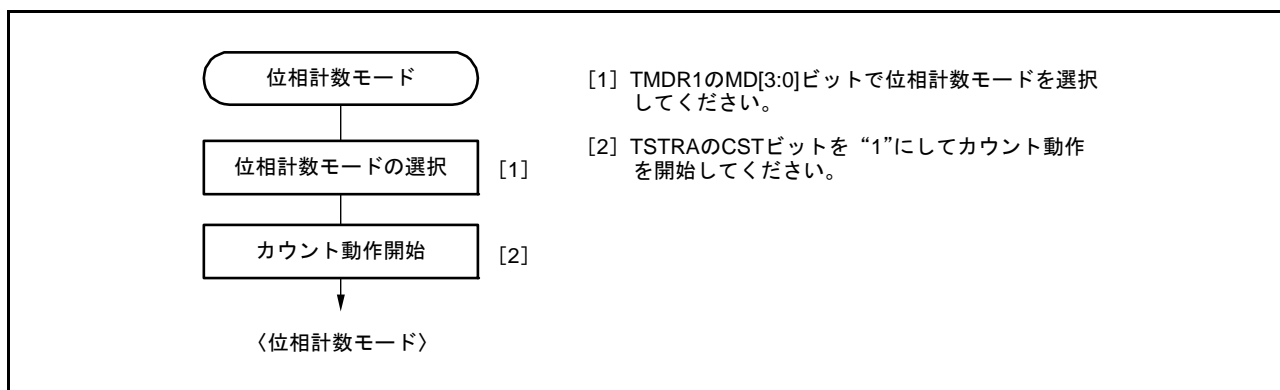


図 16.30 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。なお、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図16.31に、TCNTのアップ/ダウンカウント条件を表16.63に示します。

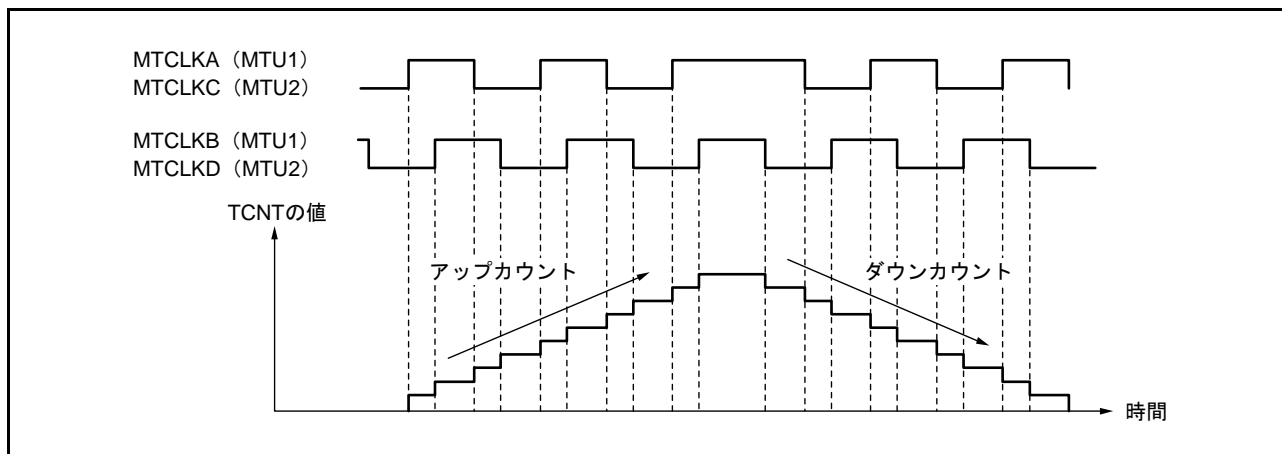


図 16.31 位相計数モード1の動作例

表 16.63 位相計数モード1のアップ/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図16.32に、TCNTのアップ/ダウンカウント条件を表16.64に示します。

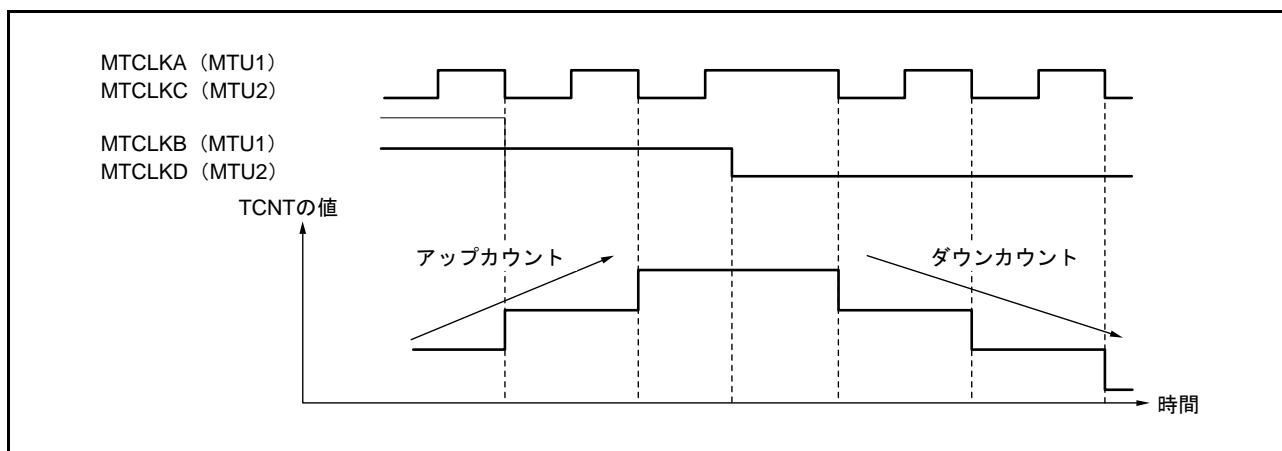


図 16.32 位相計数モード2の動作例

表 16.64 位相計数モード2のアップ/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		カウントしない (Don't care)
Low		
	Low	アップカウント
	High	
High		カウントしない (Don't care)
Low		
	High	ダウンカウント
	Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図16.33に、TCNTのアップ/ダウンカウント条件を表16.65に示します。

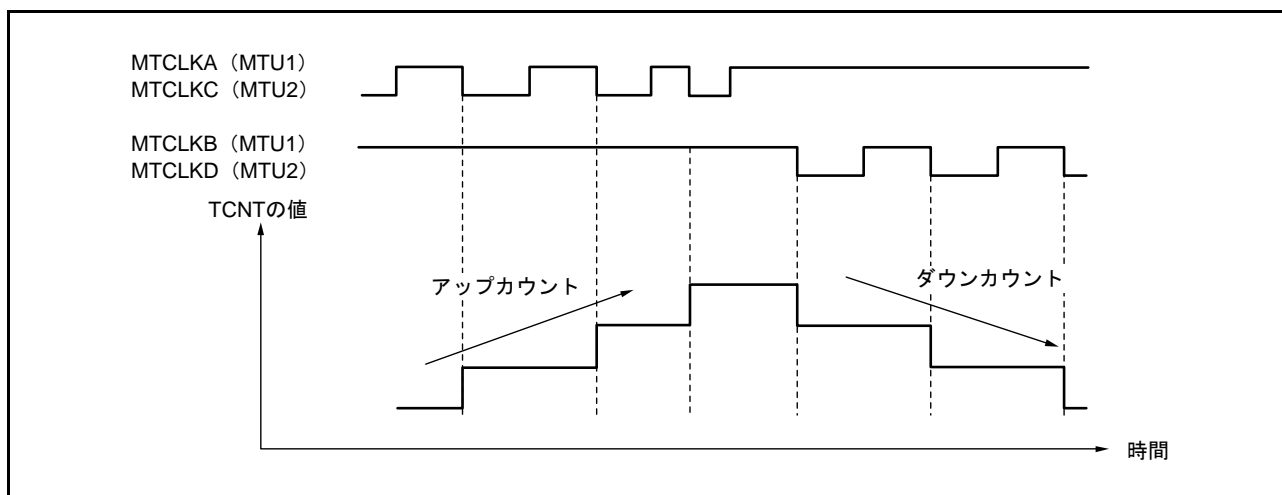


図 16.33 位相計数モード3の動作例

表 16.65 位相計数モード3のアップ/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	カウントしない (Don't care)
Low	↓	
↑	Low	アップカウント
↓	High	
High	↓	ダウンカウント
Low	↑	カウントしない (Don't care)
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図16.34に、TCNTのアップ/ダウンカウント条件を表16.66に示します。

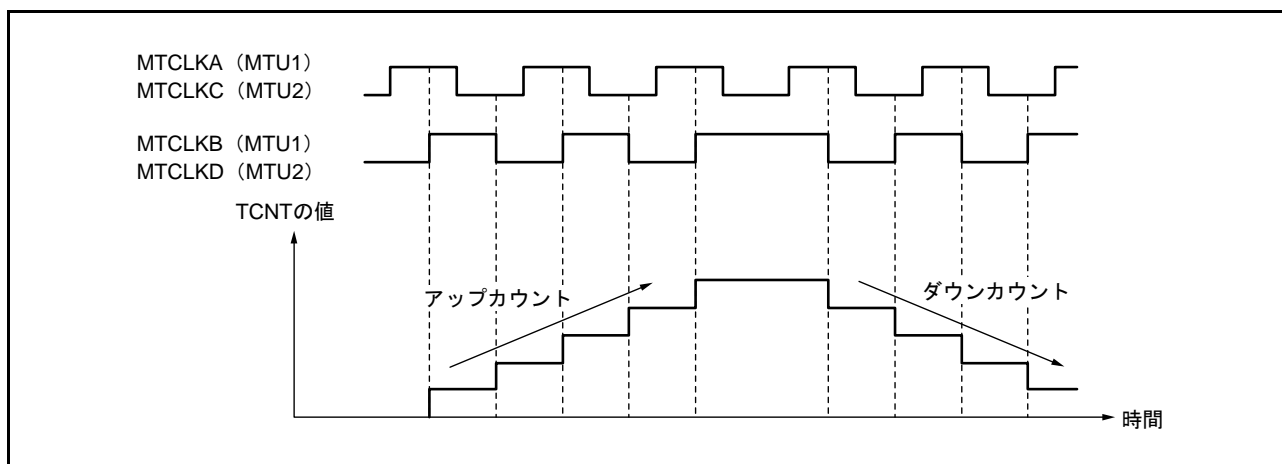


図 16.34 位相計モード4の動作例

表 16.66 位相計数モード4のアップ/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(3) 位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図 16.35 に示します。

MTU1 は位相計数モード1に設定し、MTCLKA と MTCLKB にエンコーダパルスのA相、B相を入力します。

MTU0 は TCNT を MTU0.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA と MTU0.TGRC はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRB は入力キャプチャ機能で使用し、MTU0.TGRB と MTU0.TGRD をバッファ動作させます。MTU0.TGRB の入力キャプチャ要因は、MTU1 のカウンタ入力クロックとし、2相エンコーダの4進倍パルスのパルス幅を検出します。

MTU1 の MTU1.TGRA と MTU1.TGRB は、入力キャプチャ機能に設定し、入力キャプチャ要因は MTU0 の MTU0.TGRA と MTU0.TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

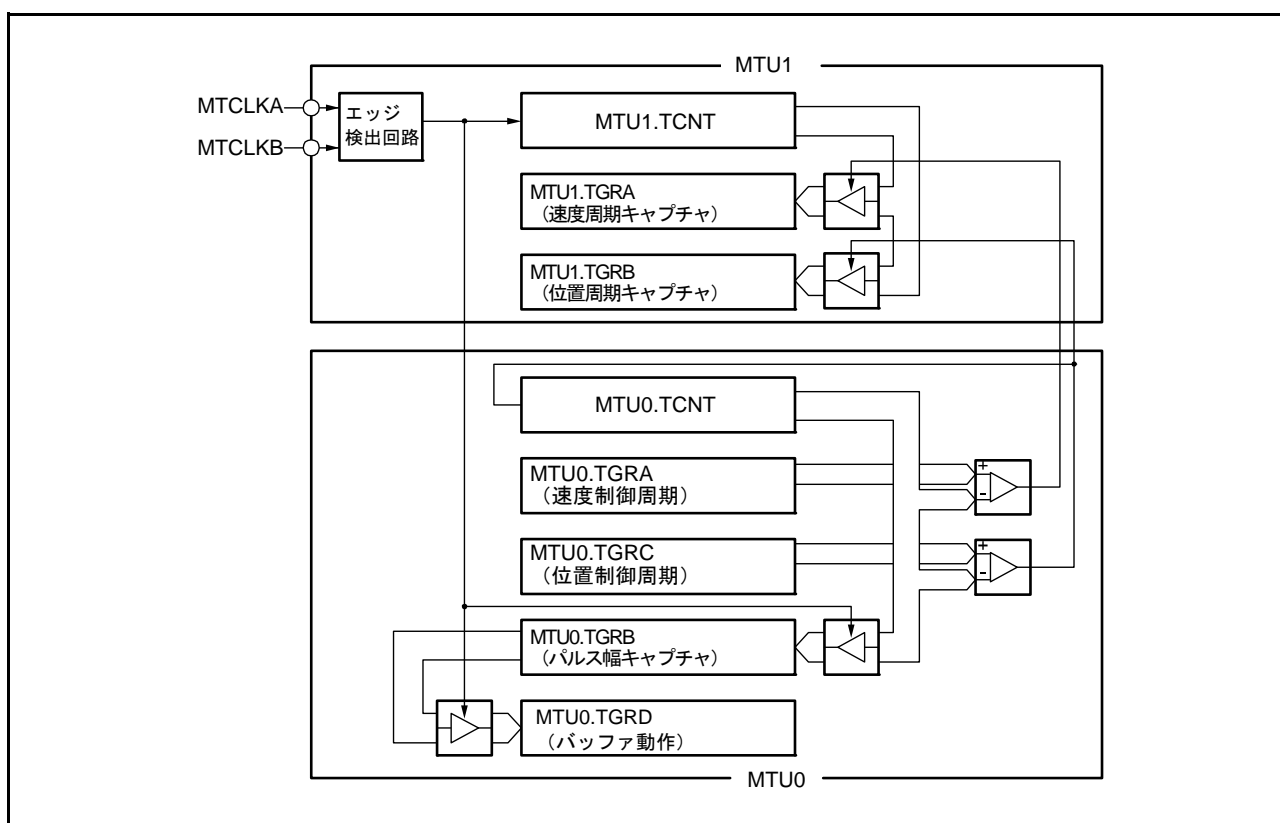


図 16.35 位相計数モードの応用例

16.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、4 および MTU6、7 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 3 相、合計 6 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D 端子は PWM 出力端子となり、タイマカウンタ 3、6 (MTU3.TCNT、MTU6.TCNT) はアップカウンタとして機能します。

使用される PWM 出力端子を表 16.67 に、使用するレジスタの設定を表 16.68 に示します。

表 16.67 リセット同期PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1' (PWM出力1の逆相波形)
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2' (PWM出力2の逆相波形)
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3' (PWM出力3の逆相波形)
MTU6	MTIOC6B	PWM出力端子4
	MTIOC6D	PWM出力端子4' (PWM出力4の逆相波形)
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5' (PWM出力5の逆相波形)
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6' (PWM出力6の逆相波形)

表 16.68 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	0000hを初期設定
MTU4.TCNT	0000hを初期設定
MTU3.TGRA	MTU3.TCNTのカウンタ周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定
MTU6.TCNT	0000hを初期設定
MTU7.TCNT	0000hを初期設定
MTU6.TGRA	MTU6.TCNTのカウンタ周期を設定
MTU6.TGRB	MTIOC6B、MTIOC6D端子より出力されるPWM波形の変化点を設定
MTU7.TGRA	MTIOC7A、MTIOC7C端子より出力されるPWM波形の変化点を設定
MTU7.TGRB	MTIOC7B、MTIOC7D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 16.36 に示します。

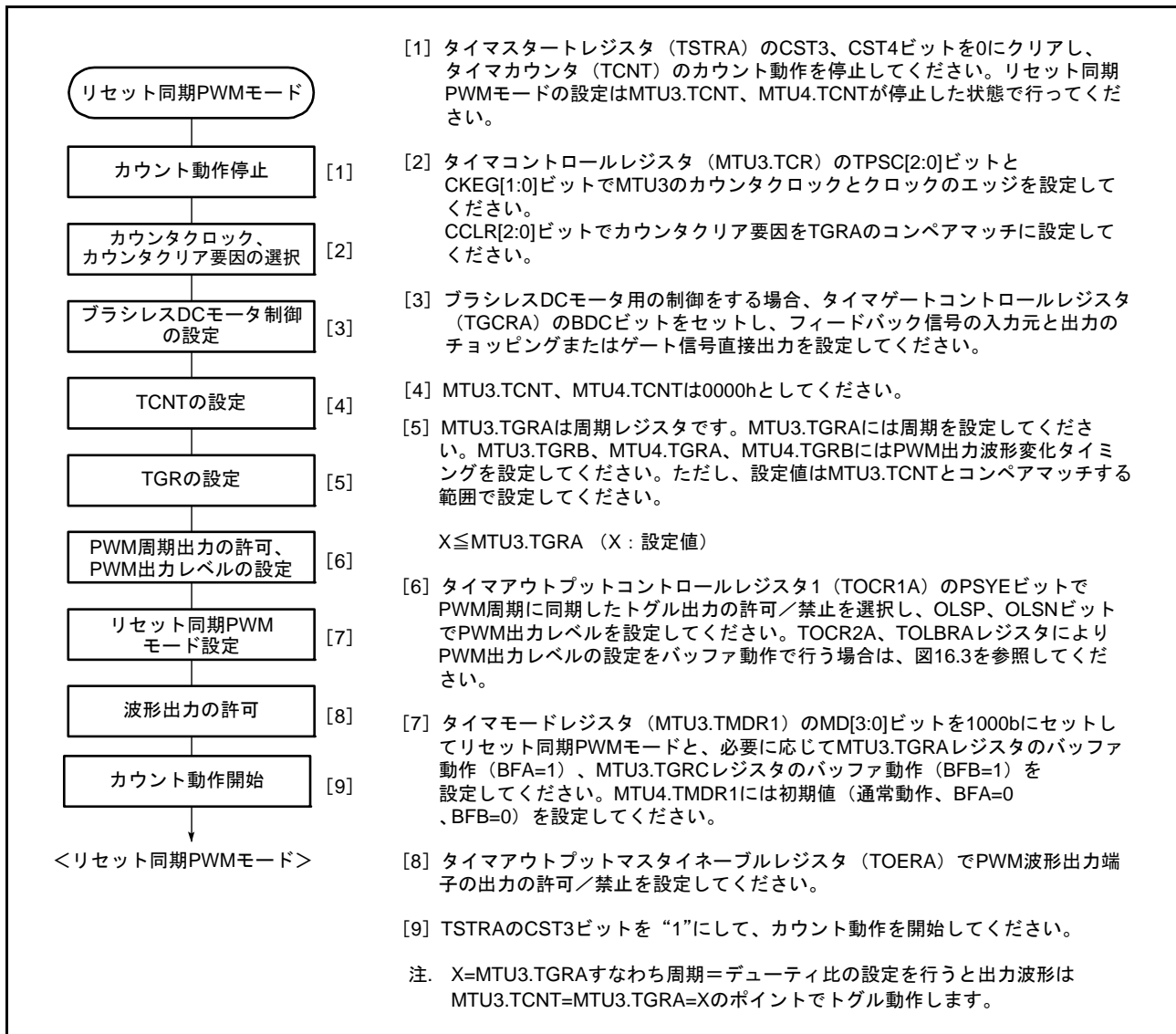


図 16.36 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 16.37 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) はアップカウンタとして動作します。MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) とコンペアマッチするとカウンタはクリアされ 0000h からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB (MTU6.TGRB)、MTU4.TGRA (MTU7.TGRA)、MTU4.TGRB (MTU7.TGRB) のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

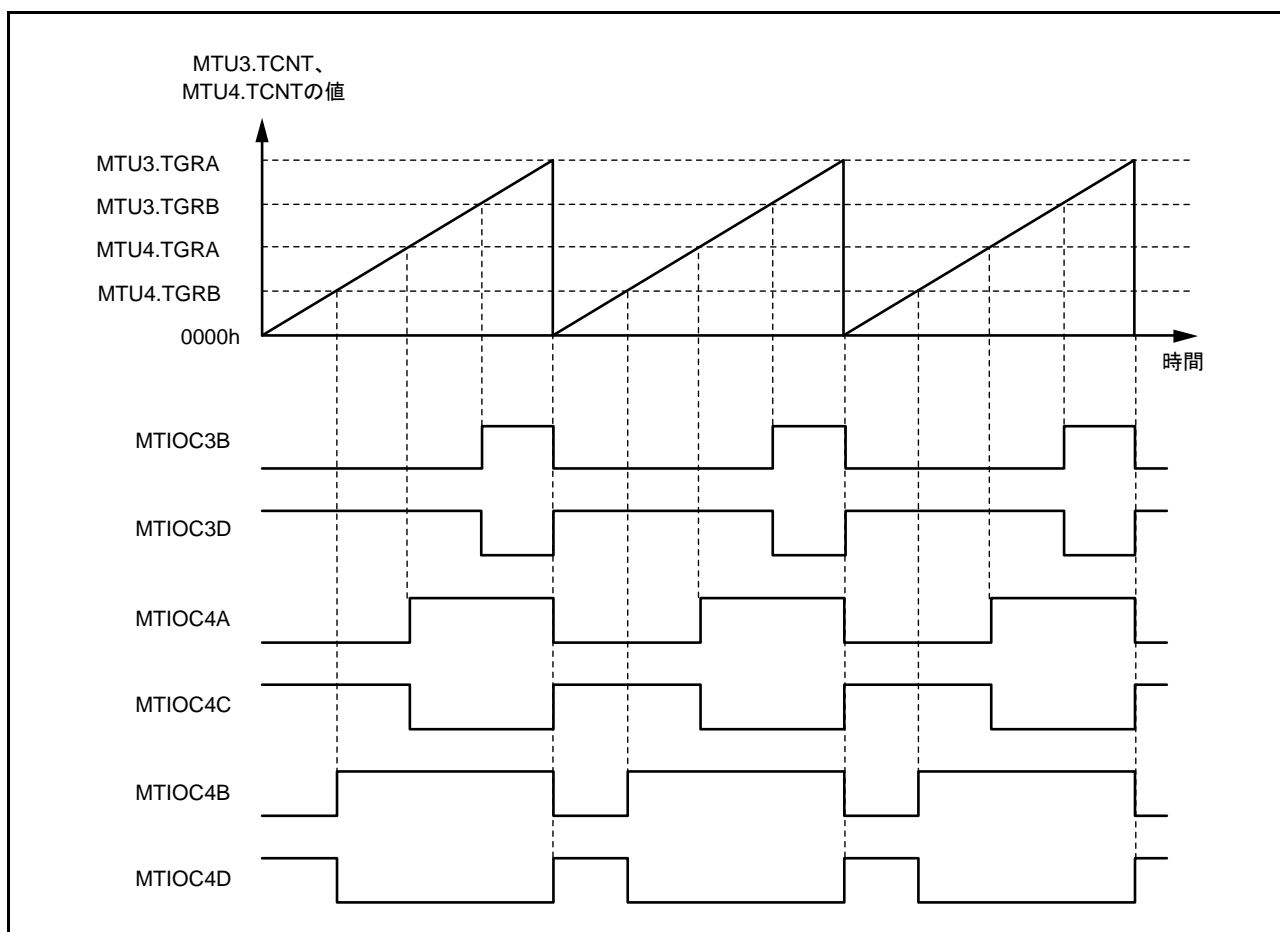


図 16.37 リセット同期 PWM モードの動作例 (MTU3、4、TOCR1A の OLSN = 1、OLSP = 1 にした場合)

16.3.8 相補 PWM モード

相補 PWM モードは、MTU3、4 および MTU6、7 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を各 3 相、合計 6 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D 端子は PWM 出力端子となり、MTIOC3A、MTIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT、MTU6.TCNT、MTU7.TCNT はアップカウンタ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 16.69 に、使用するレジスタの設定を表 16.70 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 16.69 相補PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3C	入出力ポート（注1）
	MTIOC3D	PWM出力端子1'（PWM出力1とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）
MTU6	MTIOC6A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC6B	PWM出力端子4
	MTIOC6C	入出力ポート（注1）
	MTIOC6D	PWM出力端子4'（PWM出力4とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）
MTU7	MTIOC7A	PWM出力端子5
	MTIOC7C	PWM出力端子5'（PWM出力5とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）
	MTIOC7B	PWM出力端子6
	MTIOC7D	PWM出力端子6'（PWM出力6とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能）

注1. MTIOC3C、MTIOC6C端子は相補PWMモード時、タイマ入出力端子に設定しないでください。

表 16.70 相補PWMモード時のレジスタ設定 (1/2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRA	MTU3.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRB	PWM出力1のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRC	MTU3.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	TGRD	PWM出力1/MTU3.TGRBのバッファレジスタ	常に読み出し/書き込み可能
	TGRE	MTU3.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能
MTU4	TCNT	0000hを初期設定しカウントアップスタート	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRA	PWM出力2のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRB	PWM出力3のコンペアレジスタ	TRWERAレジスタの設定によりマスク可能 (注1)
	TGRC	PWM出力2/MTU4.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	TGRD	PWM出力3/MTU4.TGRBのバッファレジスタ	常に読み出し/書き込み可能
	TGRE	MTU4.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能
MTU6	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRA	MTU6.TCNTの上限値を設定 (キャリア周期の1/2 + デッドタイム)	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRB	PWM出力4のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRC	MTU6.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	TGRD	PWM出力4/MTU6.TGRBのバッファレジスタ	常に読み出し/書き込み可能
	TGRE	MTU6.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能
MTU7	TCNT	0000hを初期設定しカウントアップスタート	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRA	PWM出力5のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRB	PWM出力6のコンペアレジスタ	TRWERBレジスタの設定によりマスク可能 (注2)
	TGRC	PWM出力5/MTU7.TGRAのバッファレジスタ	常に読み出し/書き込み可能
	TGRD	PWM出力6/MTU7.TGRBのバッファレジスタ	常に読み出し/書き込み可能
	TGRE	MTU7.TGRAのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能
	TGRF	MTU7.TGRBのバッファレジスタB (ダブルバッファ機能使用時)	常に読み出し/書き込み可能

- 注1. TRWERAレジスタ (タイマリードライトイネーブルレジスタA) の設定によりアクセスの許可/禁止が可能です。
注2. TRWERBレジスタ (タイマリードライトイネーブルレジスタB) の設定によりアクセスの許可/禁止が可能です。

表 16.71 相補PWMモード時のレジスタ設定 (2/2)

チャンネル	カウンタ／レジスタ	説明	CPUからの読み出し／書き込み
	タイマデッドタイムデータレジスタA (TDDRA)	MTU4.TCNTとMTU3.TCNTのオフセット値 (デッドタイムの値) を設定	TRWERAの設定によりマスク可能 (注1)
	タイマデッドタイムデータレジスタB (TDDRB)	MTU7.TCNTとMTU6.TCNTのオフセット値 (デッドタイムの値) を設定	TRWERBの設定によりマスク可能 (注2)
	タイマ周期データレジスタA (TCDRA)	MTU4.TCNTの上限値の値を設定 (キャリア周期の1/2)	TRWERAの設定によりマスク可能 (注1)
	タイマ周期データレジスタB (TCDRB)	MTU7.TCNTの上限値の値を設定 (キャリア周期の1/2)	TRWERBの設定によりマスク可能 (注2)
	タイマ周期バッファレジスタA (TCBRA)	TCDRAのバッファレジスタ	常に読み出し／書き込み可能
	タイマ周期バッファレジスタB (TCBRB)	TCDRBのバッファレジスタ	常に読み出し／書き込み可能
	サブカウンタA (TCNTSA)	デッドタイム生成のためのサブカウンタA	読み出しのみ可能
	サブカウンタB (TCNTSB)	デッドタイム生成のためのサブカウンタB	読み出しのみ可能
	テンポラリレジスタ1A (TEMP1A)	PWM出力1／MTU3.TGRBのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ1B (TEMP1B)	PWM出力1／MTU3.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ2A (TEMP2A)	PWM出力2／MTU4.TGRAのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ2B (TEMP2B)	PWM出力2／MTU4.TGRAのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ3A (TEMP3A)	PWM出力3／MTU4.TGRBのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ3B (TEMP3B)	PWM出力3／MTU4.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ4A (TEMP4A)	PWM出力4／MTU6.TGRBのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ4B (TEMP4B)	PWM出力4／MTU6.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ5A (TEMP5A)	PWM出力5／MTU7.TGRAのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ5B (TEMP5B)	PWM出力5／MTU7.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可
	テンポラリレジスタ6A (TEMP6A)	PWM出力6／MTU7.TGRBのテンポラリレジスタA	読み出し／書き込み不可
	テンポラリレジスタ6B (TEMP6B)	PWM出力6／MTU7.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し／書き込み不可

注1. TRWERAレジスタ (タイマリードライトイネーブルレジスタA) の設定によりアクセスの許可／禁止が可能です。

注2. TRWERBレジスタ (タイマリードライトイネーブルレジスタB) の設定によりアクセスの許可／禁止が可能です。

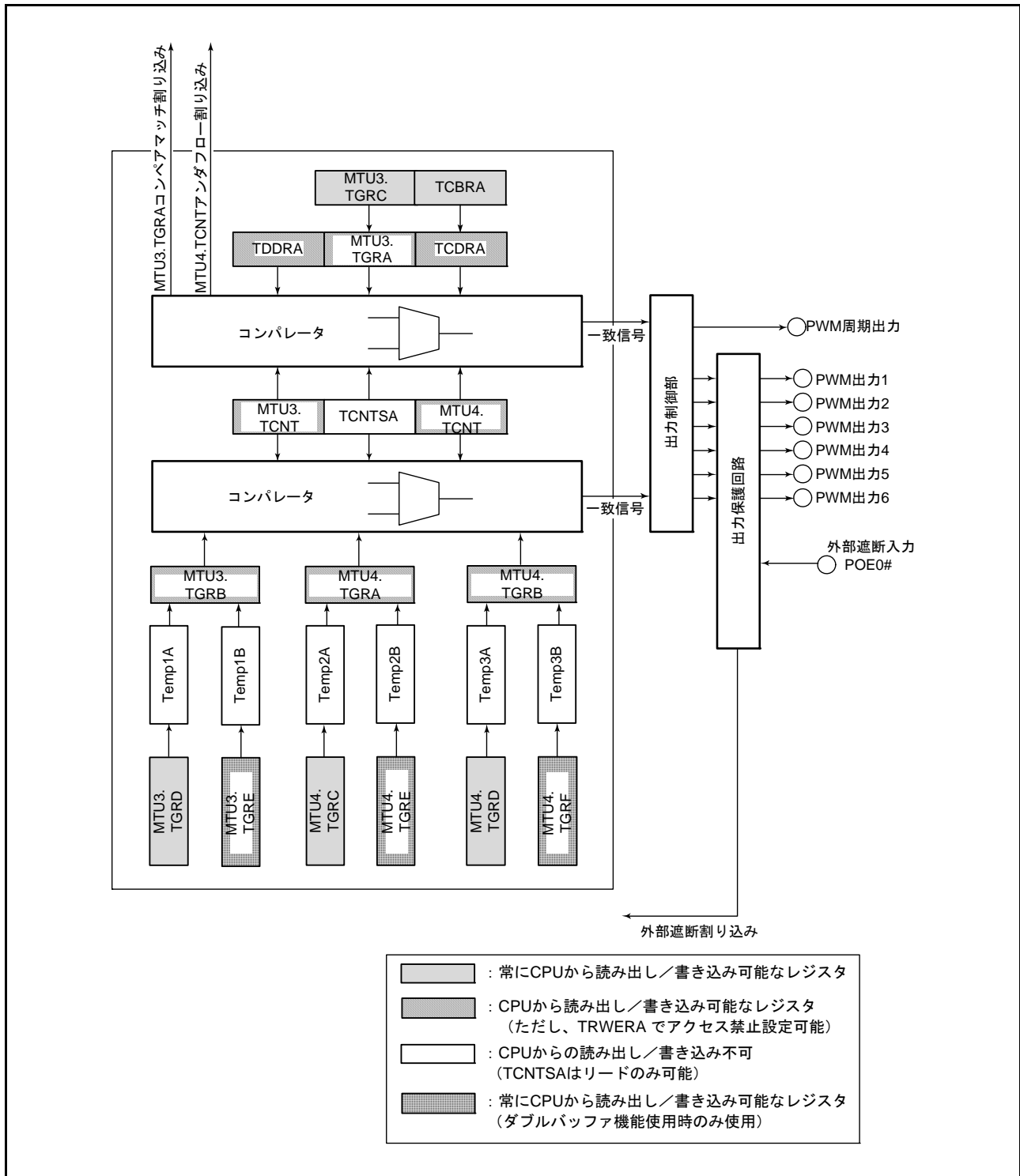


図 16.38 相補 PWM モード時の MTU3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 16.39 に示します。



図 16.39 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相の PWM 出力が可能です。図 16.40 に相補 PWM モードのカウンタの動作 (MTU3、4) を示します。図 16.41 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) レジスタの 3 本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT (MTU6.TCNT) は、相補 PWM モードに設定され TSTRA (TSTRB) の CST ビットが“0”のとき、TDDRA (TDDRb) に設定された値が自動的に初期値として設定されます。CST ビットが“1”になると、MTU3.TGRA (MTU6.TGRA) に設定された値までアップカウント動作を行い、MTU3.TGRA (MTU6.TGRA) と一致するとダウンカウントに切り換わります。その後、MTU4.TCNT (MTU7.TCNT) が 0000h と一致するとアップカウントに切り換わり、この動作を繰り返します。

また、MTU4.TCNT (MTU7.TCNT) は、初期値として 0000h を設定します。CST ビットが“1”に設定されると、MTU3.TCNT (MTU6.TCNT) に同期して動作しアップカウントを行い、MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) と一致するとダウンカウントに切り換わります。この後、0000h と一致するとアップカウントに切り換わり、この動作を繰り返します。

TCNTSA (TCNTSB) は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) がアップカウント時、MTU3.TCNT (MTU6.TCNT) が TCDRA (TCDRb) と一致するとダウンカウントを開始し、MTU3.TCNT (MTU6.TCNT) が MTU3.TGRA (MTU6.TGRA) と一致するとアップカウントに切り替わります。

また、MTU4.TCNT (MTU7.TCNT) と TDDRA (TDDRb) が一致すると TCNTSA (TCNTSB) は MTU3.TGRA (MTU6.TGRA) の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) がダウンカウント時、MTU4.TCNT (MTU7.TCNT) が TDDRA (TDDRb) と一致するとアップカウントを開始し、MTU4.TCNT (MTU7.TCNT) が 0000h と一致するとダウンカウントに切り替わります。また、MTU3.TCNT (MTU6.TCNT) と TCDRA (TCDRb) が一致すると TCNTSA (TCNTSB) は 0000h にクリアされ、カウントを停止します。

TCNTSA (TCNTSB) は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

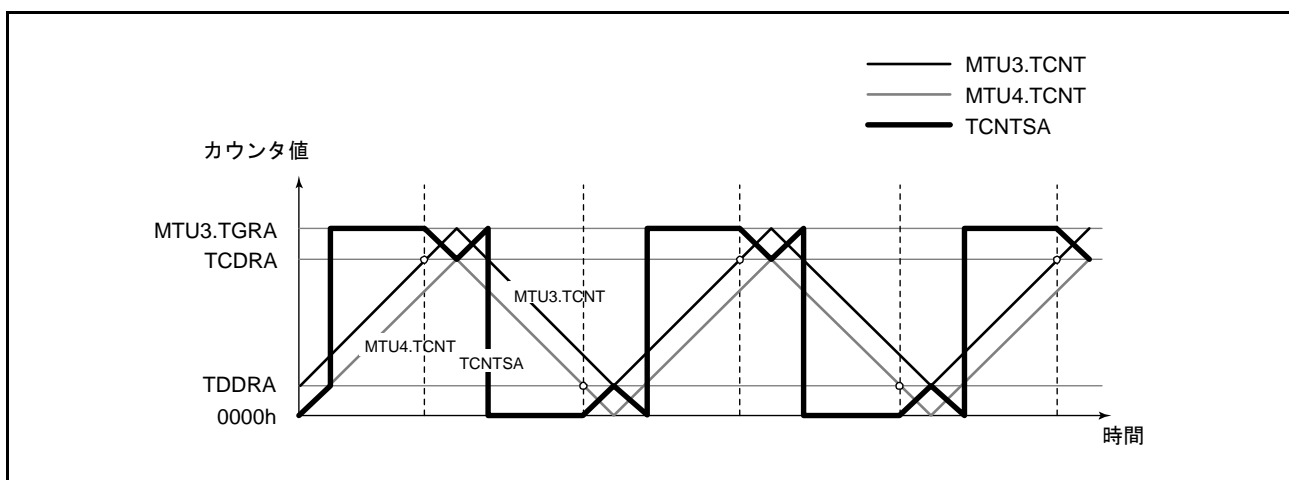


図 16.40 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用します。図 16.41 に相補 PWM モードの動作例 (MTU3、4) を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB (MTU6.TGRB、MTU7.TGRA、MTU7.TGRB) です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR1A、TOCR1B) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD、MTU7.TGRC、MTU7.TGRD) です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE、MTU7.TGRE、MTU7.TGRF) も使用されます。動作の詳細は「16.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し/書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTSA (TCNTSB) がアップカウント時に MTU3.TGRA (MTU6.TGRA) が一致したとき、またはダウンカウント時に 0000h と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで選択できます。図 16.41 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 16.41 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) の3本のカウンタとコンペアレジスタ、テンポラリレジスタの2本のレジスタが比較され、PWM 出力を制御します。

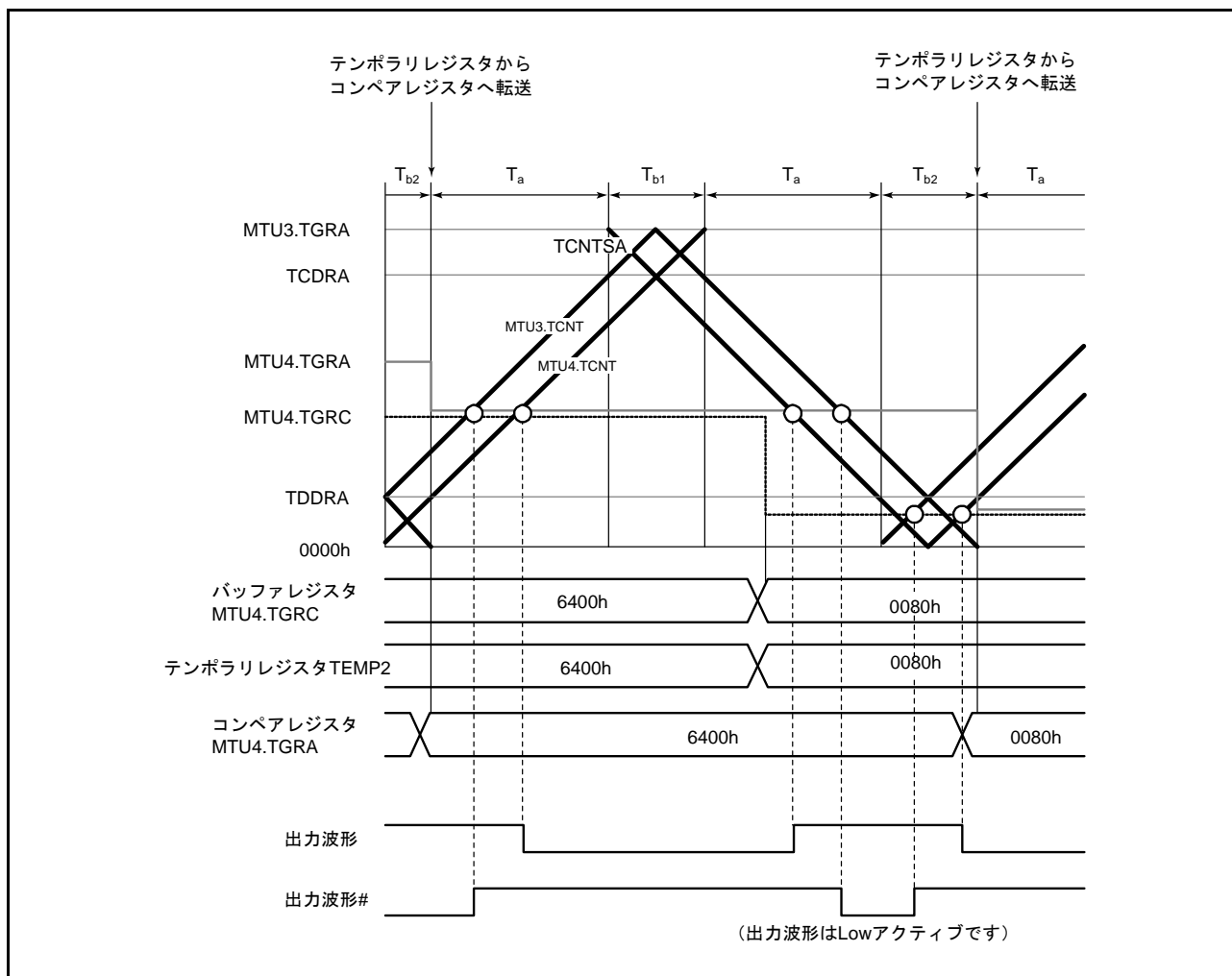


図 16.41 相補 PWM モード動作例 (MTU3、4)

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが6本あります。また、デッドタイム生成の有無を設定するレジスタが1本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ1 (TMDR1) の MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBRA、TCBRB) は、タイマ周期データレジスタ (TCDRA、TCDRB) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDRA、TDDRB) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDERA、TDERB) の TDER ビットを“0”にし、MTU3.TGRC、MTU3.TGRA (MTU6.TGRC、MTU6.TGRA) には、PWM キャリア周期の $1/2+1$ を、TDDRA (TDDRB) を“1”にします。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD (MTU6.TGRD、MTU7.TGRC、MTU7.TGRD)) の3本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF (MTU6.TGRE、MTU7.TGRE、MTU7.TGRF)) の3本には、ダブルバッファ機能使用時のみ、それぞれ PWM デューティの初期値-1 を設定します。

TDDRA (TDDRB) を除く5本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT (MTU7.TCNT) は、相補 PWM モードに設定する前に 0000h にしてください。

表 16.72 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
MTU3.TGRC MTU6.TGRC	PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ TDERA/B でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$)
TDDRA、TDDRB	デッドタイム T_d (TDERA/B でデッドタイム生成をなしに設定した場合“1”)
TCBRA、TCBRB	PWM キャリア周期の $1/2$
MTU3.TGRD、MTU4.TGRC、 MTU4.TGRD MTU6.TGRD、MTU7.TGRC、 MTU7.TGRD	各相の PWM デューティ比の初期値
MTU3.TGRE、MTU4.TGRE、 MTU4.TGRF MTU6.TGRE、MTU7.TGRE、 MTU7.TGRF	各相の PWM デューティ比の初期値-1 (ダブルバッファ機能使用時のみ)
MTU4.TCNT MTU7.TCNT	0000h

注. MTU3.TGRC (MTU6.TGRC) の設定値は、TCBRA (TCBRB) に設定する PWM キャリア周期の $1/2$ の値と TDDRA (TDDRB) に設定するデッドタイム T_d の値の和としてください。ただし、TDERA (TDERB) レジスタでデッドタイム生成をなしに設定した場合は、PWM キャリア周期の $1/2+1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2A、TOCR2B) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定/変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDRA、TDDR B) に設定します。

TDDRA (TDDR B) に設定した値が、MTU3.TCNT (MTU6.TCNT) のカウンタスタート値となり、MTU3.TCNT (MTU6.TCNT) と MTU4.TCNT (MTU7.TCNT) のノンオーバーラップを生成します。TDDRA (TDDR B) の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDERA、TDERB) の TDER ビットを“0”にします。TDERA (TDERB) は、TDER ビット=1 の状態で TDER ビットを読んだ後、TDER ビットに“0”を書いたときのみ、“0”にできます。

MTU3.TGRA、MTU3.TGRC (MTU6.TGRA、MTU6.TGRC) には PWM キャリア周期の 1/2+1 を設定し、タイマデッドタイムデータレジスタ (TDDRA、TDDRБ) を“1”にします。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 16.42 にデッドタイムを生成しない場合の動作例 (MTU3、4) を示します。

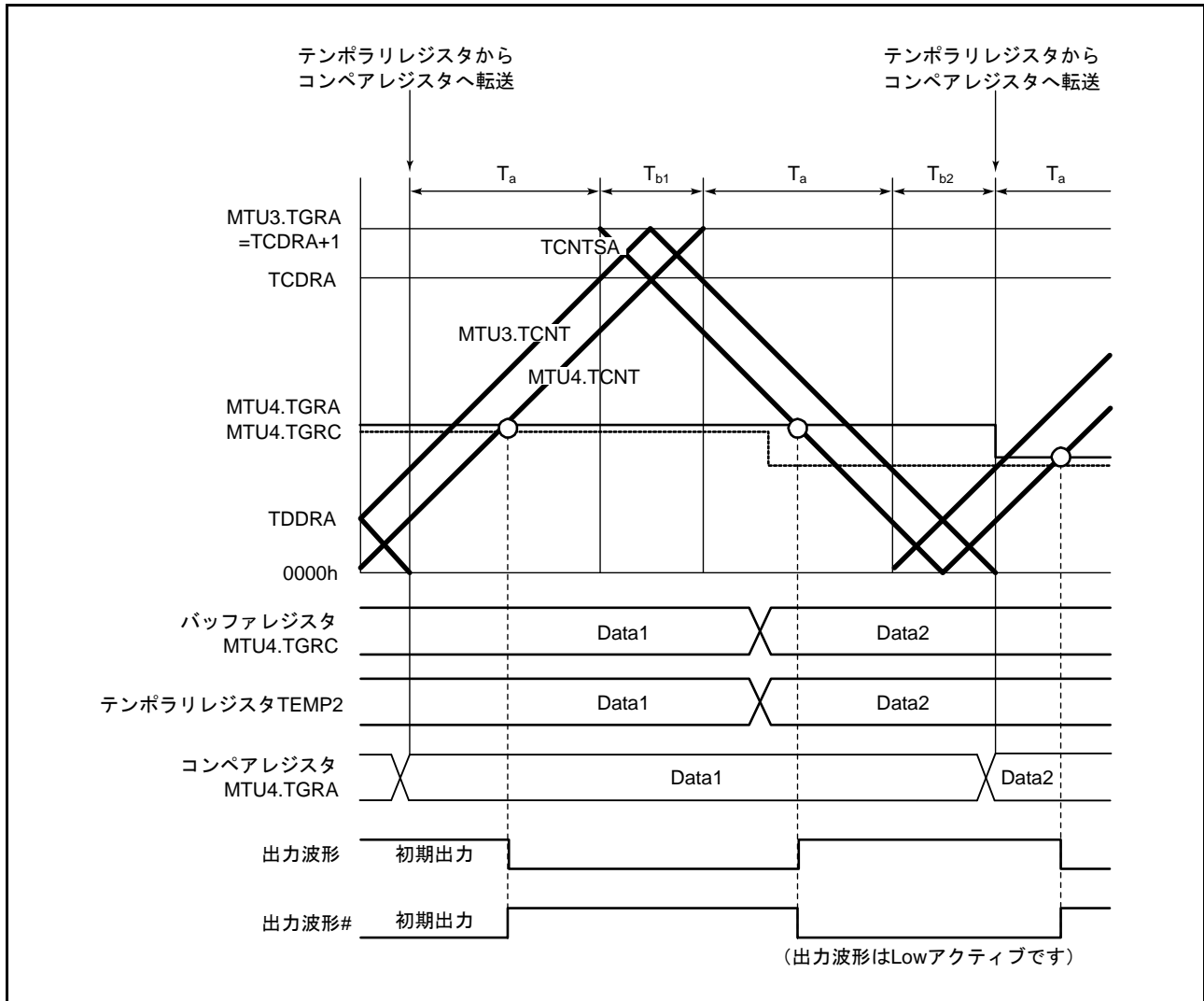


図 16.42 デッドタイムを生成しない場合の動作例 (MTU3、4)

(g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を MTU3.TCNT (MTU6.TCNT) の上限値を設定する MTU3.TGRA (MTU6.TGRA) と MTU4.TCNT (MTU7.TCNT) の上限値を設定する TCDRA (TCDRB) の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + TDDRA (TDDRB) の設定値

デッドタイム生成なし : MTU3.TGRA (MTU6.TGRA) の設定値 = TCDRA (TCDRB) の設定値 + 1

デッドタイム生成ありの場合は、TCDR レジスタと TDDR レジスタの関係が、次の関係になるように設定してください。

TCDR の設定値 > TDDR の設定値 × 2 + 2

また、MTU3.TGRA、TCDRA (MTU6.TGRA、TCDRB) の設定は、バッファレジスタの MTU3.TGRC、TCBRA (MTU6.TGRC、TCBRB) に値を設定することで行ってください。MTU3.TGRC、TCBRA (MTU6.TGRC、TCBRB) に設定した値は、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで選択した転送タイミングで MTU3.TGRA、TCDRA (MTU6.TGRA、TCDRB) に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 16.43 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次項の「(h) レジスタデータの更新」を参照してください。

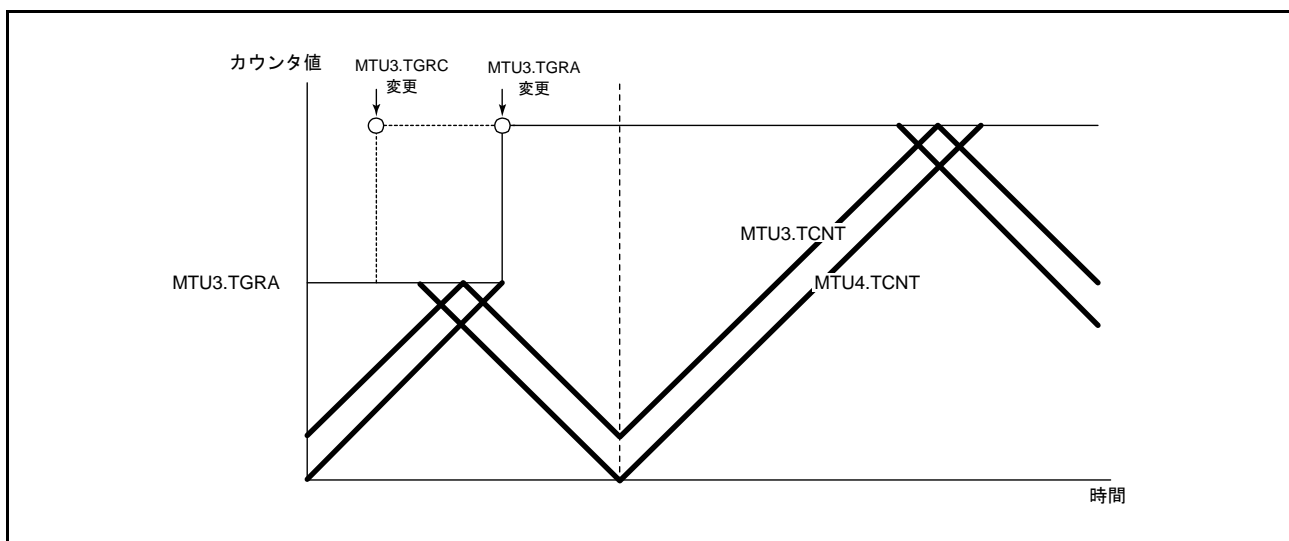


図 16.43 PWM 周期の変更例 (MTU3、4)

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA (TCNTSB) がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き替わります。TCNTSA (TCNTSB) がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA (TCNTSB) が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 16.44 に相補 PWM モード時のデータ更新例 (MTU3、4) を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き替える場合は、最後に MTU4.TGRD (MTU7.TGRD) への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD (MTU7.TGRD) に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD (MTU7.TGRD) のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD (MTU7.TGRD) に書き込み動作を行ってください。またこのとき、MTU4.TGRD (MTU7.TGRD) に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「16.3.8 (2) (s) 相補 PWM モードのダブルバッファ機能」を参照してください。

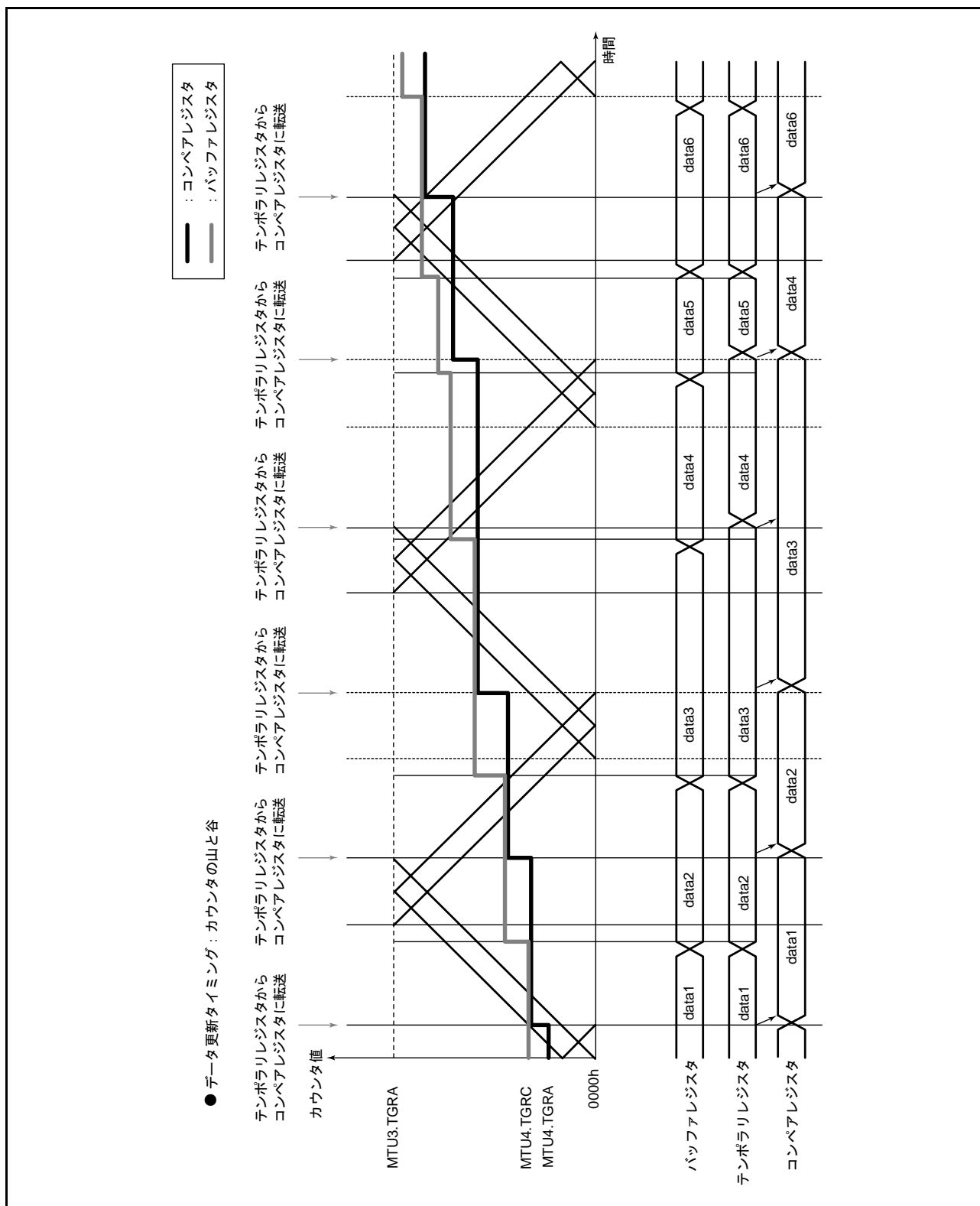


図 16.44 相補 PWM モードのデータ更新例 (MTU3、4)

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2A、TOCR2B) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ 1 (TMDR1) で相補 PWM モードを設定してから MTU4.TCNT (MTU7.TCNT) がデッドタイムレジスタ (TDDRA、TDDRБ) に設定された値より大きくなるまで出力されます。図 16.45 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA (TDDRБ) の値より小さい場合の波形例を図 16.46 に示します。

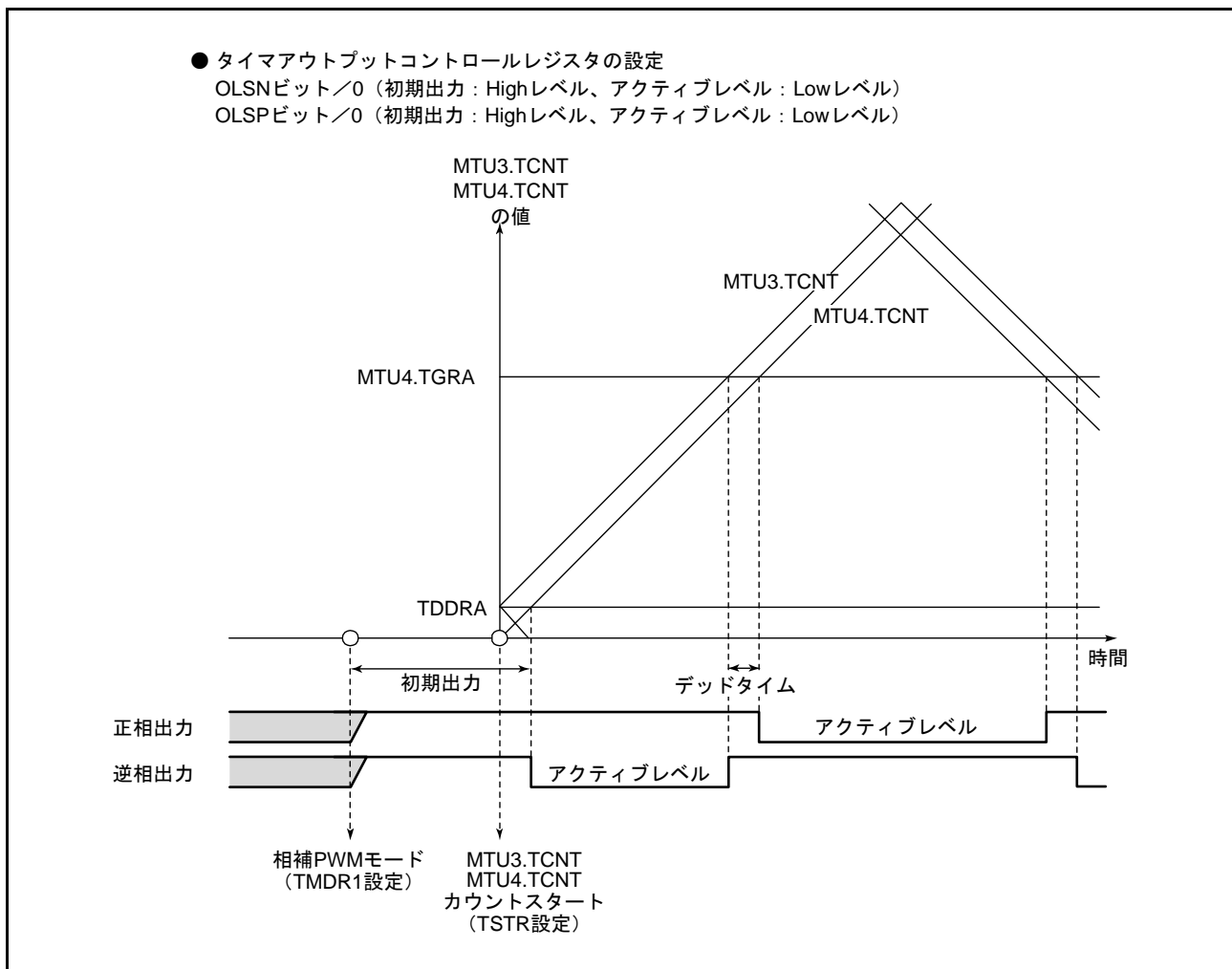


図 16.45 相補 PWM モードの初期出力例 (MTU3、4) (1)

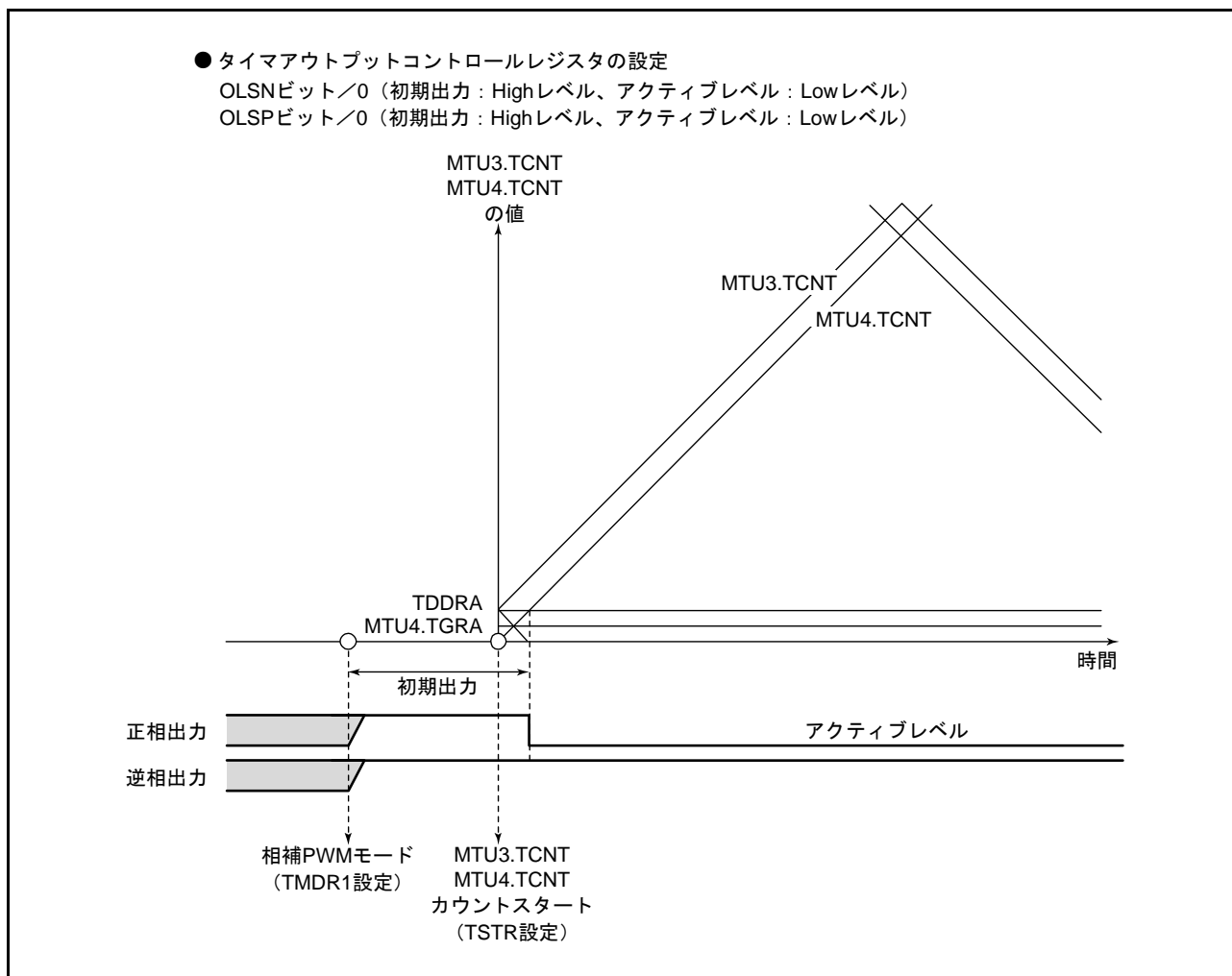


図 16.46 相補 PWM モードの初期出力例 (MTU3、4) (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA (TCNTSB) がカウント動作する期間では、0 ~ 100% まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相/逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 16.47 ~ 図 16.49 に相補 PWM モードの波形生成例を示します。

正相/逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 16.47 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ (または $c \rightarrow d \rightarrow a' \rightarrow b'$) の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 16.48 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 16.49 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

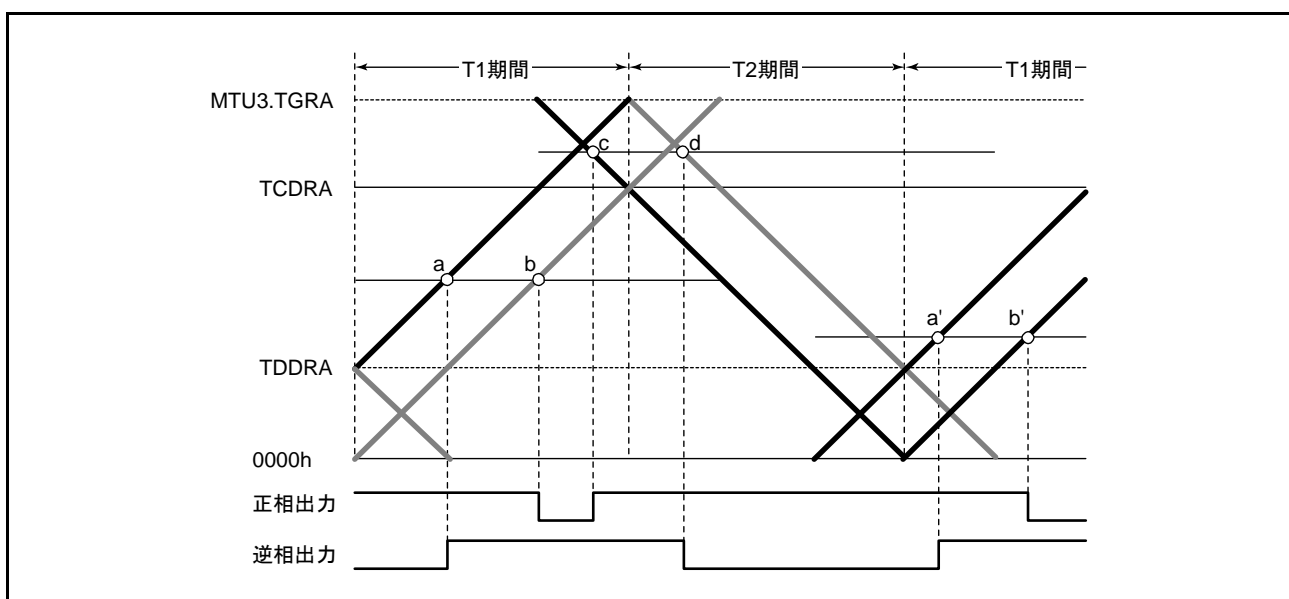


図 16.47 相補 PWM モード波形出力例 (MTU3、4) (1)

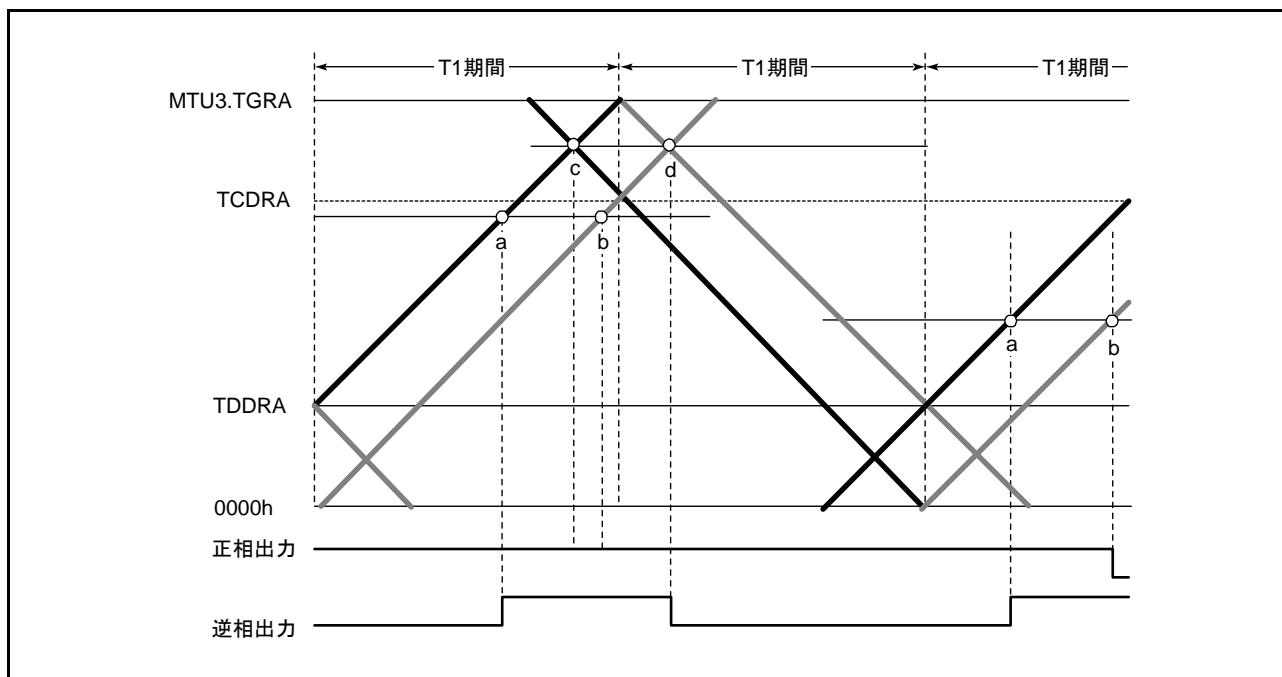


図 16.48 相補 PWM モード波形出力例 (MTU3、4) (2)

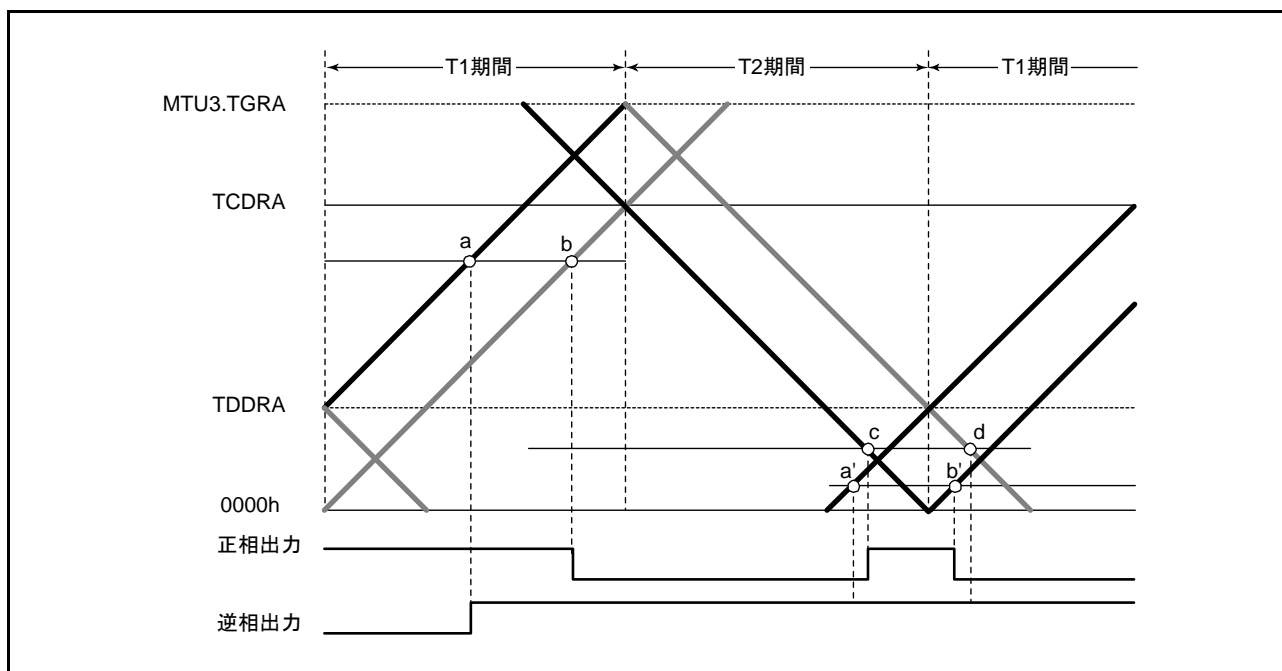


図 16.49 相補 PWM モード波形出力例 (MTU3、4) (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% を任意に出力可能です。図 16.50 ~ 図 16.54 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を 0000h にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA (MTU6.TGRA) の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

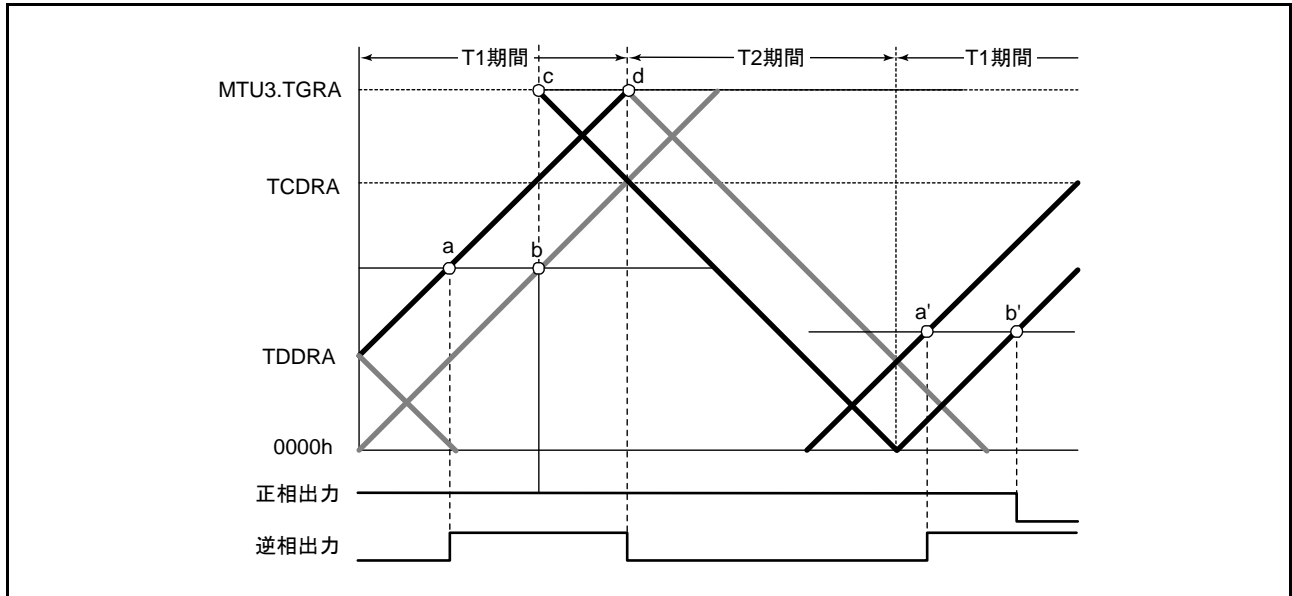


図 16.50 相補 PWM モード 0%、100% 波形出力例 (MTU3、4) (1)

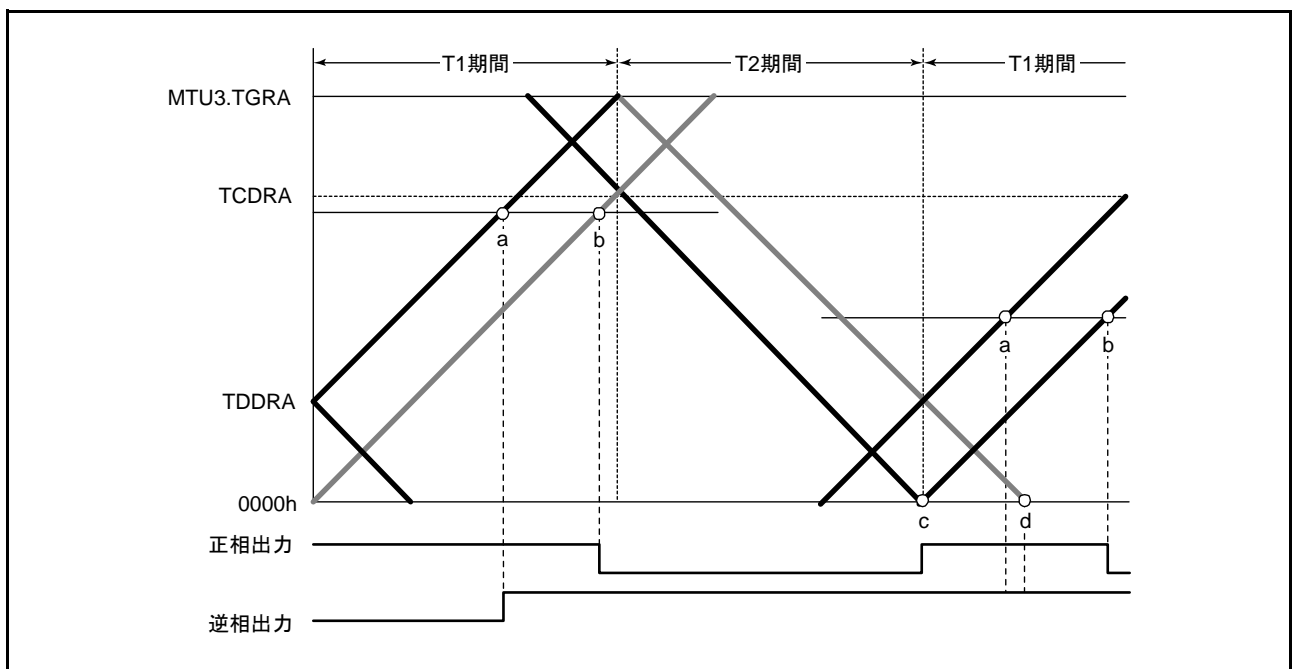


図 16.51 相補 PWM モード 0%、100% 波形出力例 (MTU3、4) (2)

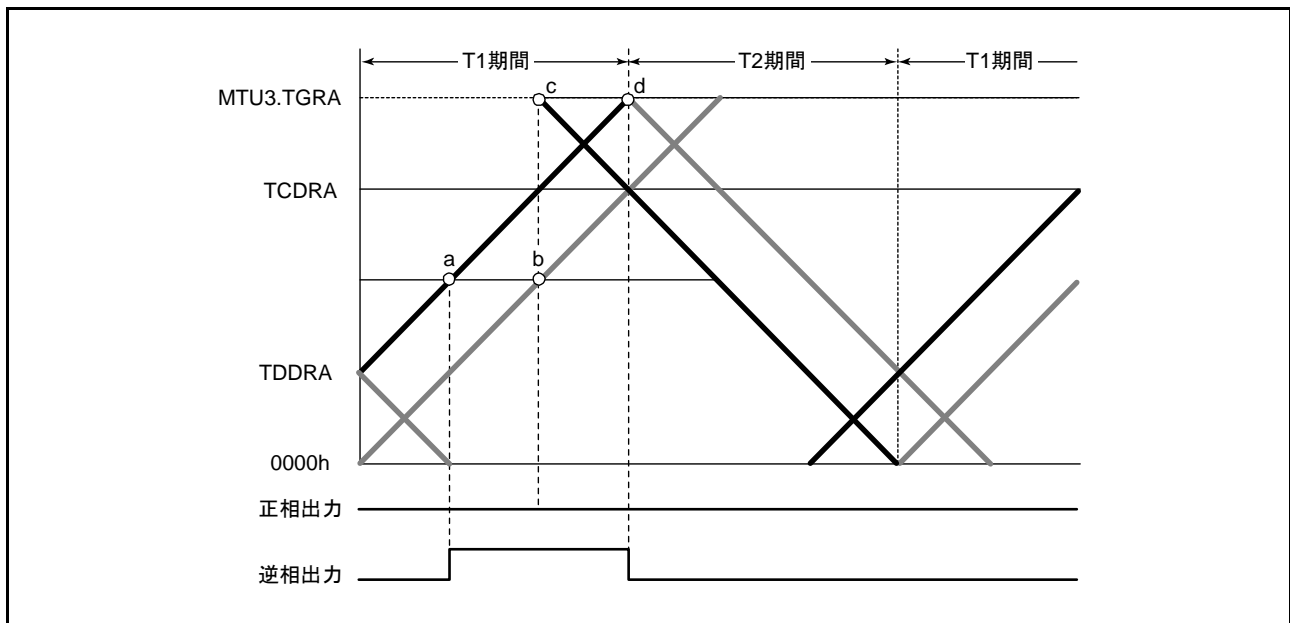


図 16.52 相補 PWM モード 0%、100% 波形出力例 (MTU3、4) (3)

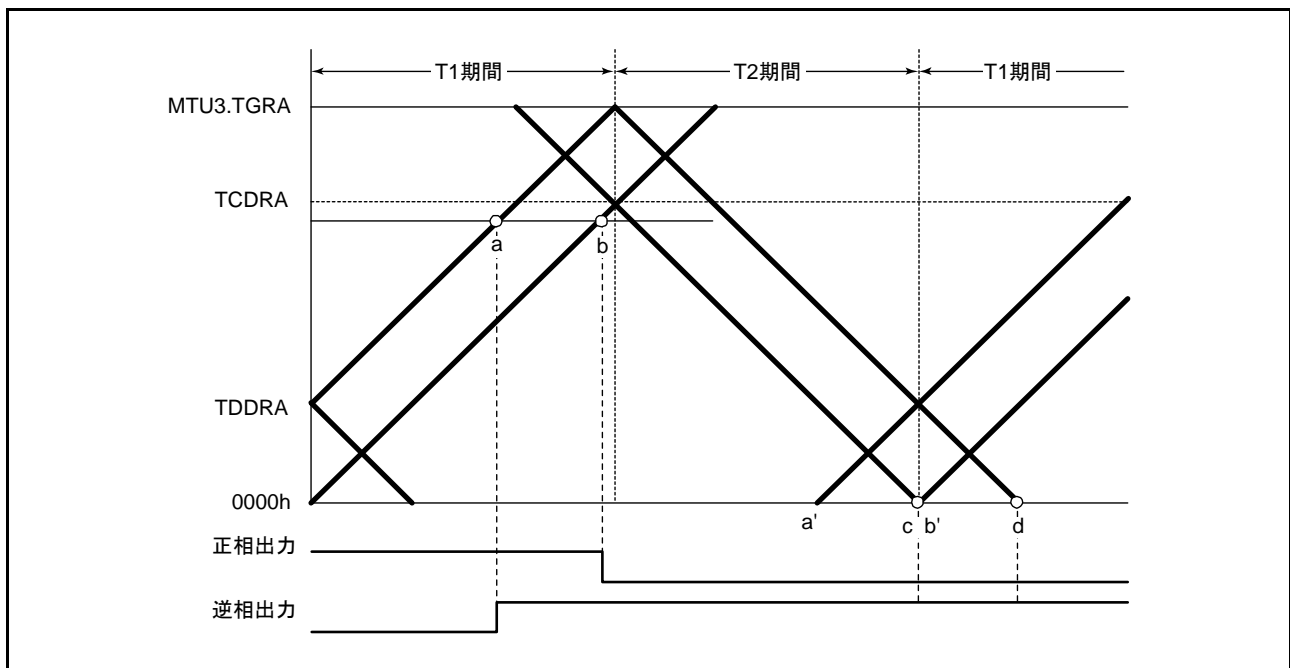


図 16.53 相補 PWM モード 0%、100% 波形出力例 (MTU3、4) (4)

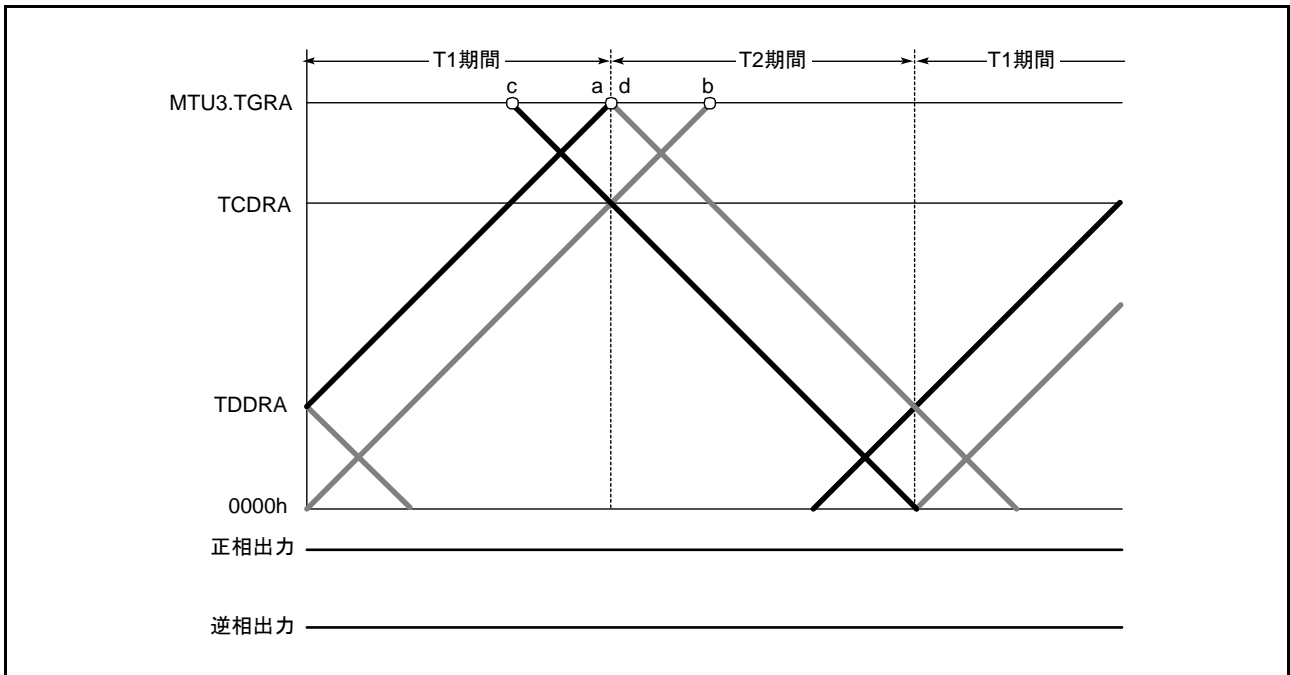


図 16.54 相補 PWM モード 0%、100% 波形出力例 (MTU3、4) (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の PSYE ビットを“1”にすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 16.55 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA (MTU6.TCNT と MTU6.TGRA) のコンペアマッチと MTU4.TCNT (MTU7.TCNT) と 0000h のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A (MTIOC6A) 端子です。また、初期出力は“High”出力です。

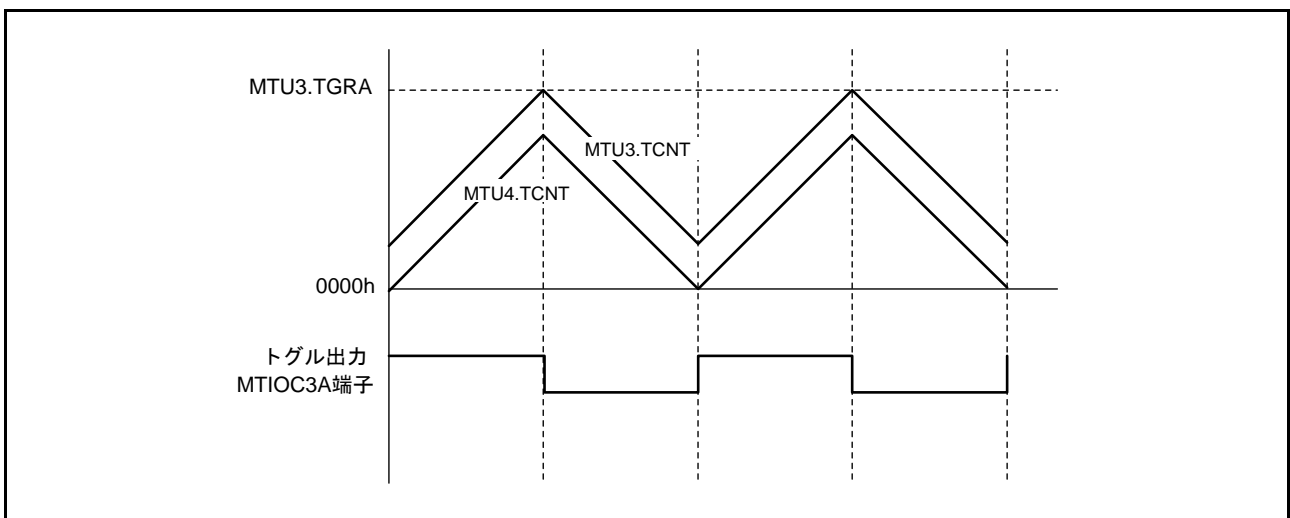


図 16.55 PWM 出力に同期したトグル出力波形例 (MTU3、4)

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYRA、TSYRB) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR[2:0] ビットにより同期クリアを選択することにより他のチャネルによる MTU3.TCNT、MTU4.TCNT および TCNTSA (MTU6.TCNT、MTU7.TCNT および TCNTSB) のクリアをすることが可能です。

図 16.56 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

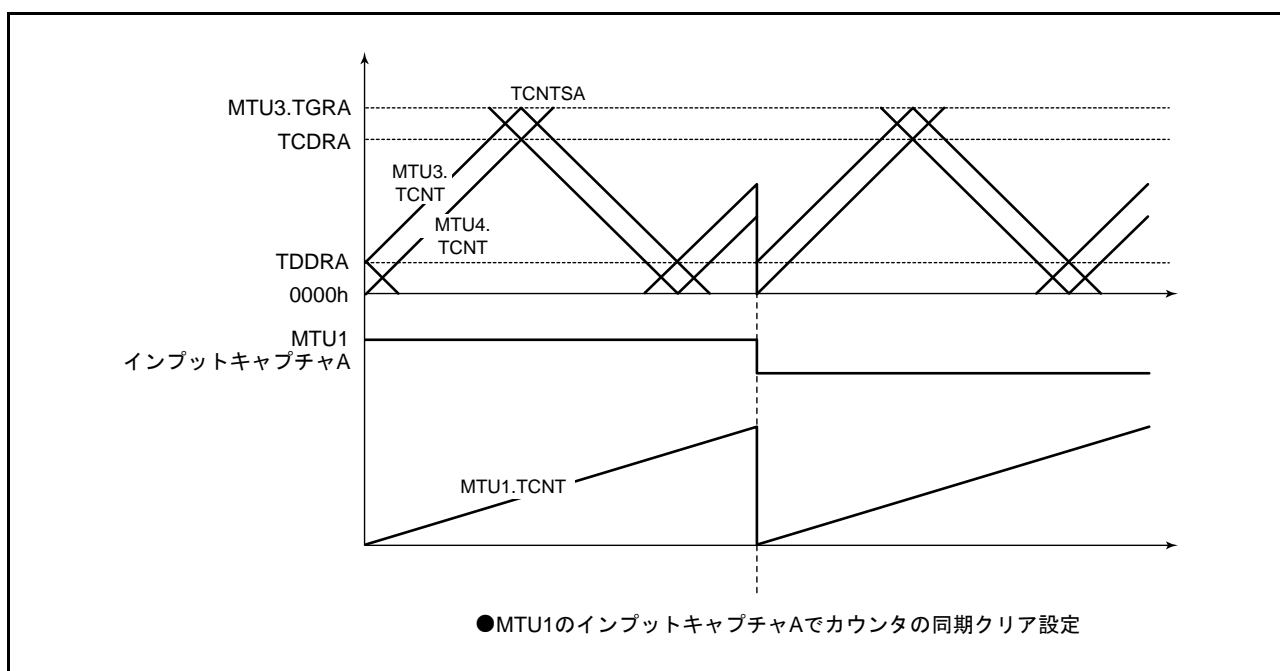


図 16.56 他のチャネルに同期したカウンタクリア (MTU3、4)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA (TWCRB) レジスタの WRE ビットを“1”にすることにより、相補 PWM モードの谷の Tb 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを“1”にすることで初期出力を抑止することができるのは、同期クリアが図 16.57 の⑩、⑪のような谷の Tb 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A (TOCR1B) レジスタの OLS ビットで設定した初期値が出力されます。また、谷の Tb 区間であっても、図 16.57 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、4 - MTU6、7 のどちらでも使用することができます。MTU3、4 - MTU6、7 のカウンタクリア要因はそれぞれ、MTU3、4 では MTU0 ~ 2 からの同期クリア、MTU6、7 では MTU0 ~ 2 のフラグセット (コンペアマッチ/インプットキャプチャ) です。

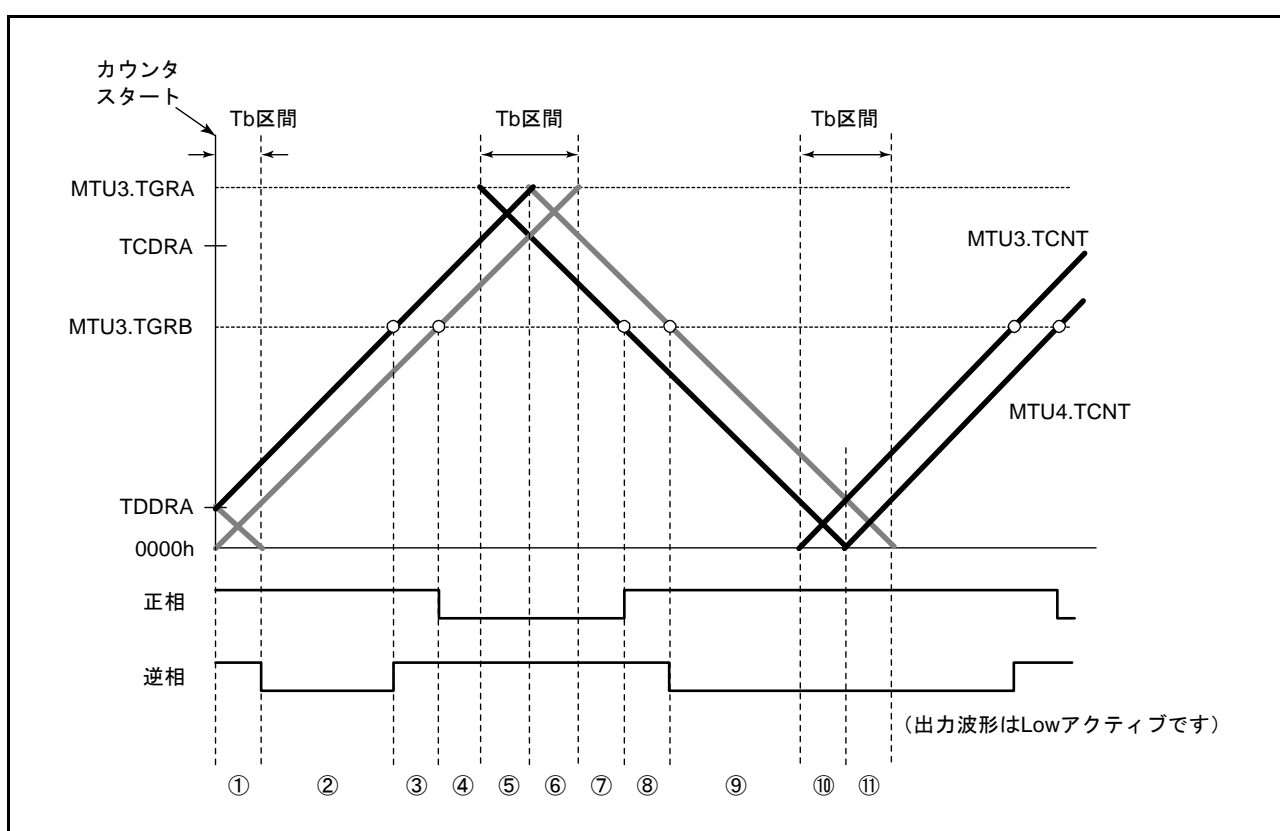


図 16.57 同期カウンタクリアタイミング (MTU3、4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例
相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 16.58 に示します。

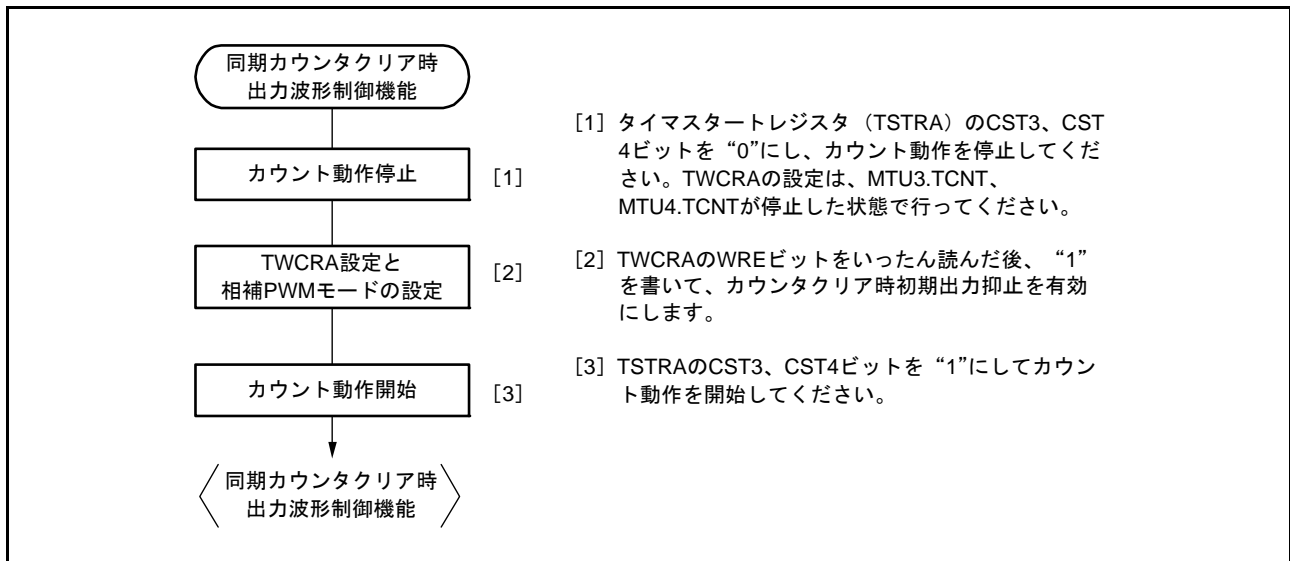


図 16.58 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (MTU3、4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 16.59 ~ 図 16.62 に、TWCRA.WRE ビットを“1”にした状態で MTU3、4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 16.59 ~ 図 16.62 の同期カウンタクリアのタイミングは、それぞれ図 16.57 の③、⑥、⑧、⑪で示したタイミングです。

この例は、MTU6、7 では TWCRB.SCC ビットを“0”、WRE ビットを“1”にした状態で MTU6、7 を相補 PWM 動作させ、同期カウンタクリアをした場合に相当します。

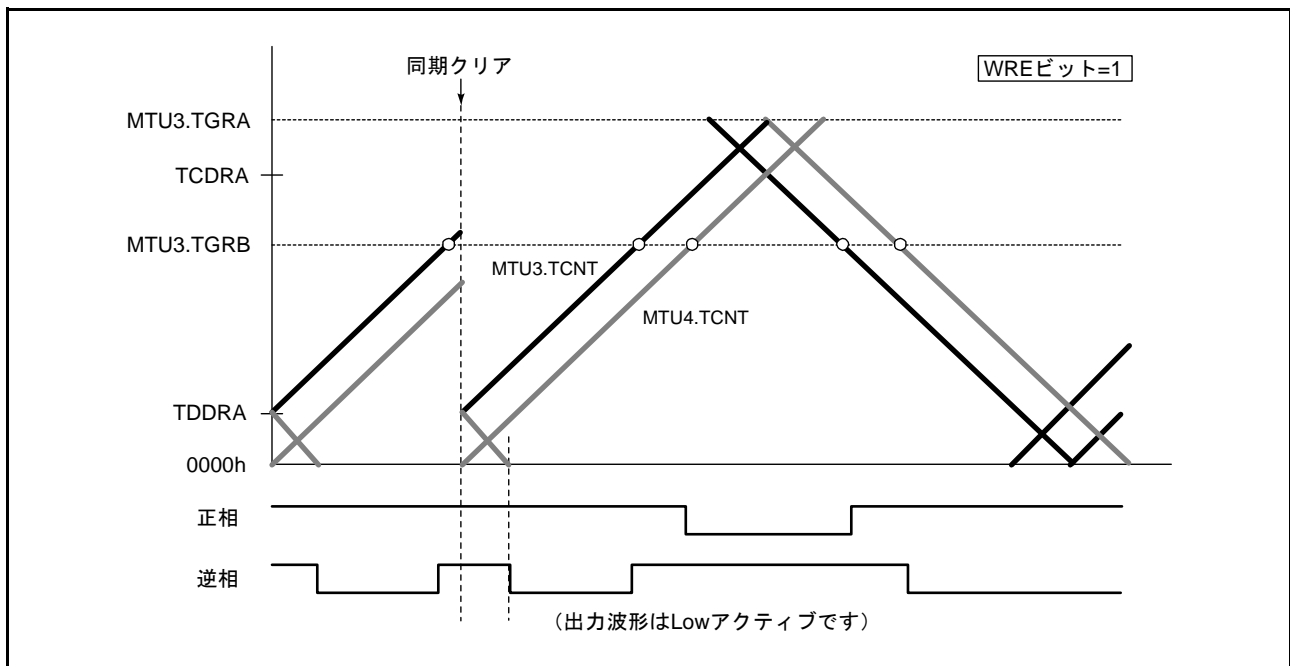


図 16.59 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 16.57 のタイミング③、TWCRA レジスタの WRE ビット= 1)

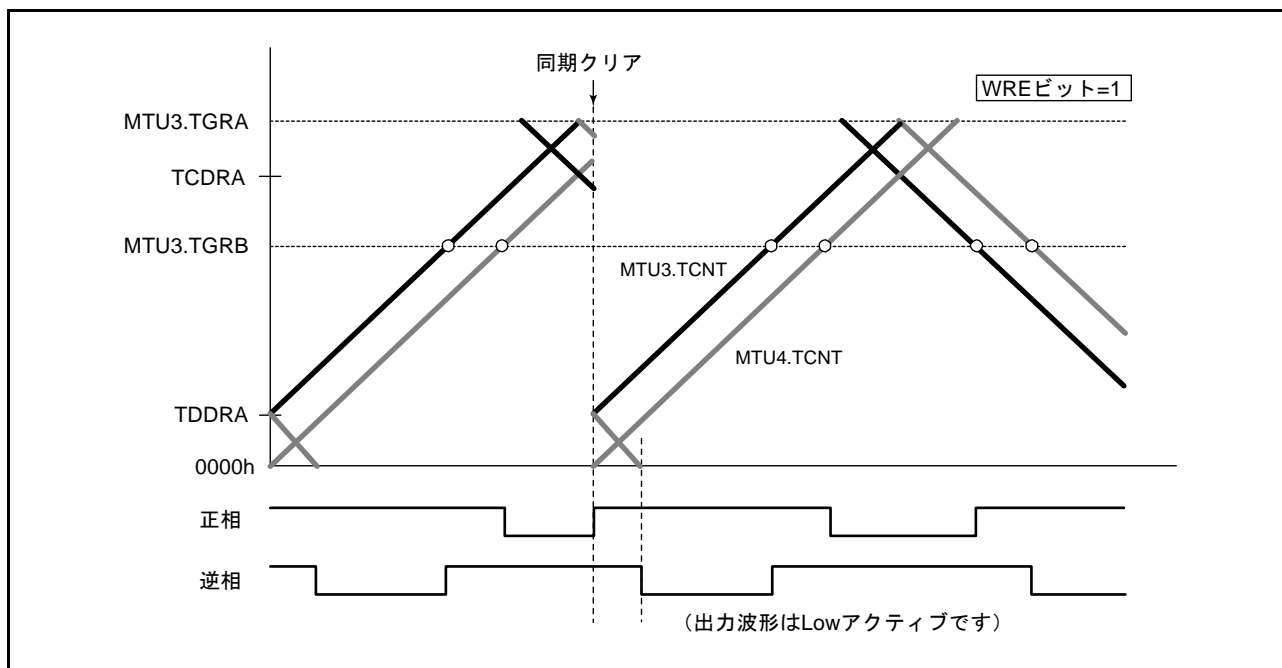


図 16.60 山の Tb 区間で同期クリアが発生した場合
 (図 16.57 のタイミング⑥、TWCRA レジスタの WRE ビット= 1)

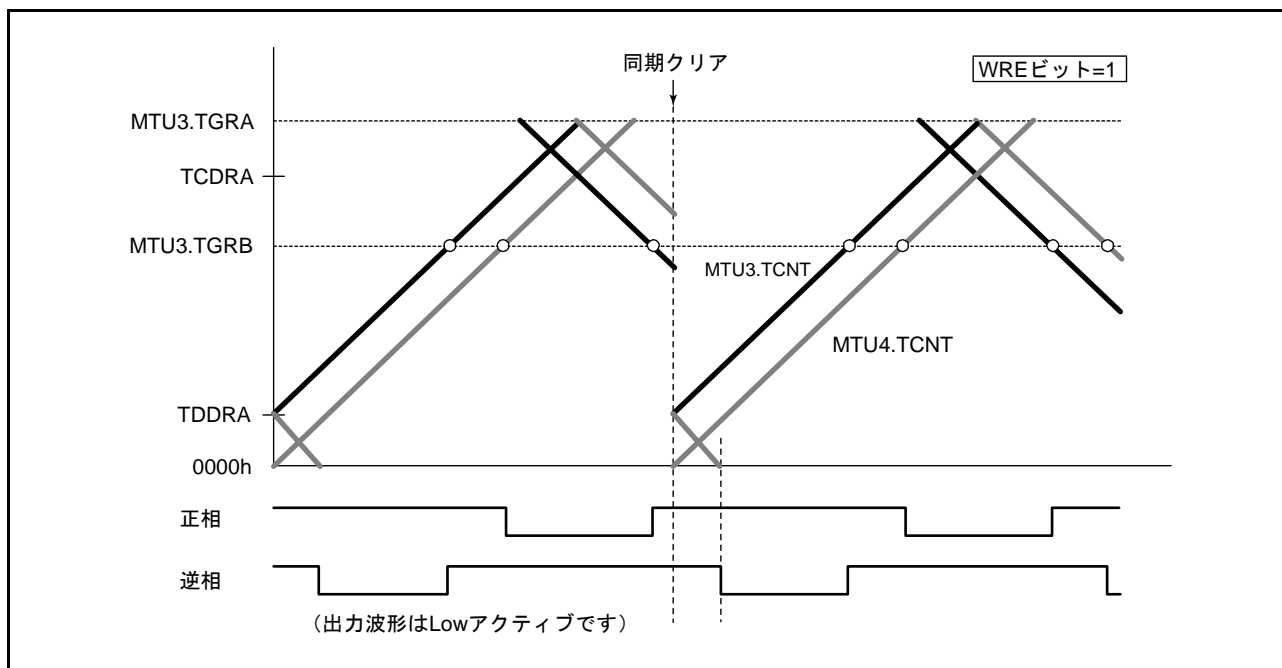


図 16.61 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 16.57 のタイミング⑧、TWCRA レジスタの WRE ビット= 1)

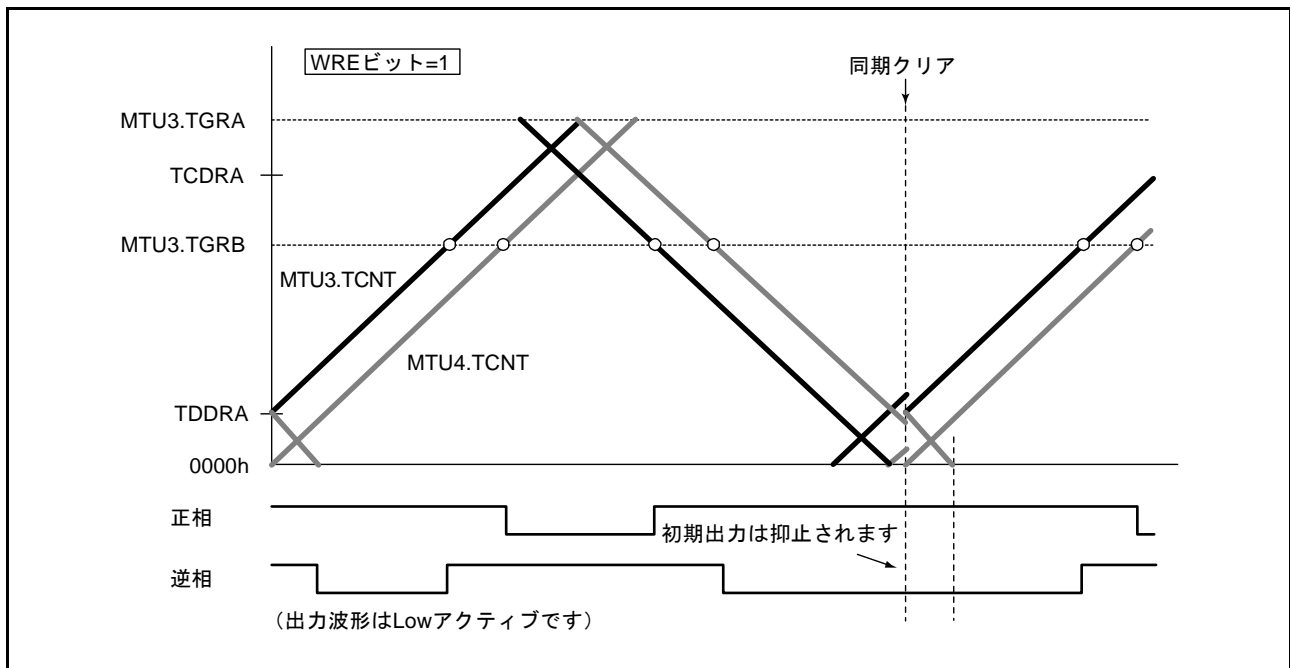


図 16.62 谷の Tb 区間で同期クリアが発生した場合
 (図 16.57 のタイミング①、TWCRA レジスタの WRE ビット= 1)

(o) MTU0、1、2 – MTU6、7 カウンタ同期クリアの抑止機能

MTU6、7では、TWCRB.SCCビットを“1”にすることにより、MTU0、1、2からの同期クリアを抑止することができます。

SCCビットの設定によってMTU0、1、2からの同期クリアが抑止できるのは、図 16.63 で示す区間です。

また、本機能を使用する際は、MTU6、7を相補PWMモードに設定してください。

MTU0、1、2からの同期クリアについての詳細は、「16.3.10 (2) フラグセット要因を利用したMTU6、7カウンタクリア (MTU6、7カウンタ同期クリア)」を参照してください。

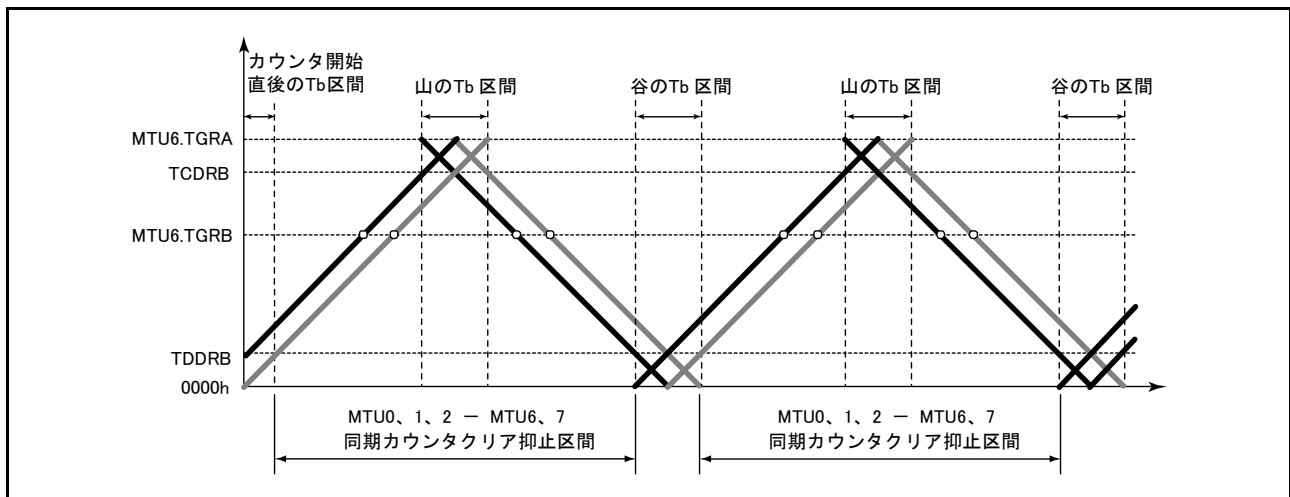


図 16.63 TWCRB.SCCビットセットによる、MTU0、1、2 – MTU6、7同期クリア抑止区間

• MTU0、1、2 – MTU6、7同期カウンタクリア抑止機能の設定手順例

MTU0、1、2 – MTU6、7同期カウンタクリア抑止機能の設定手順例を図 16.64 に示します。

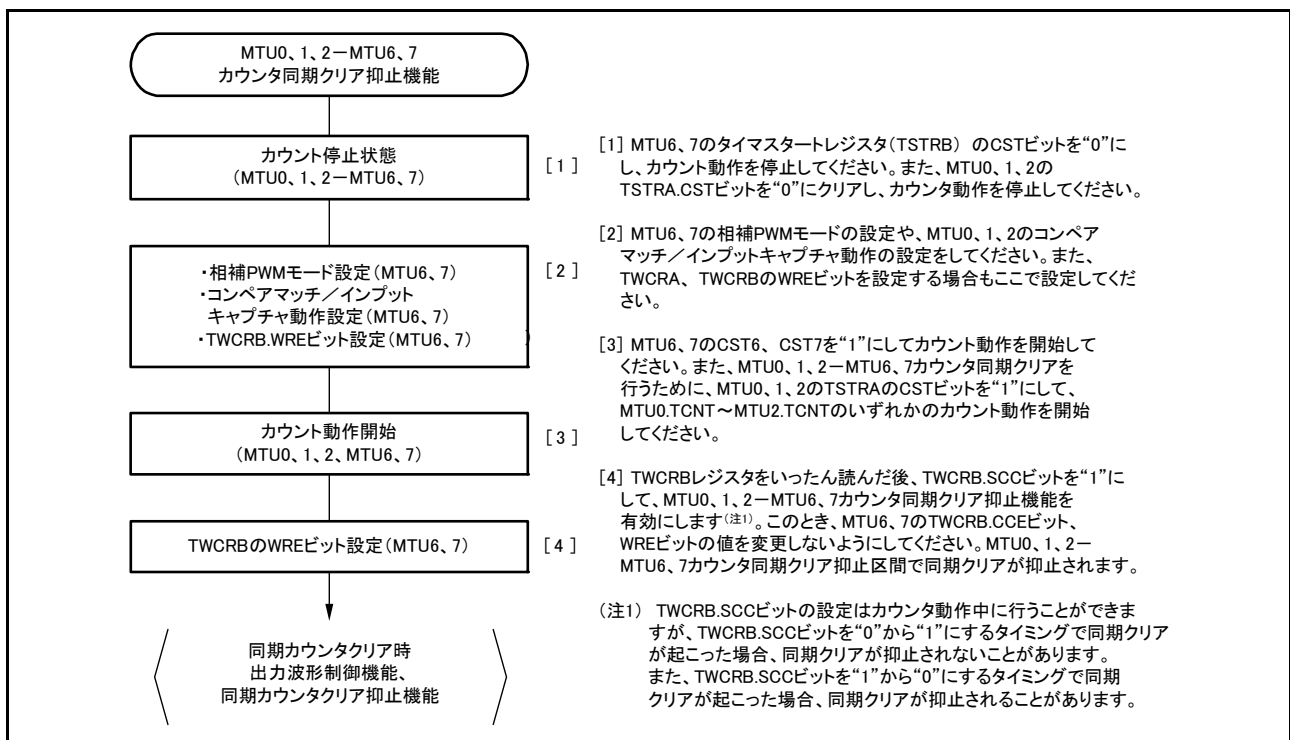


図 16.64 MTU0、1、2 – MTU6、7同期カウンタクリア抑止機能の設定手順例

• MTU0、1、2 – MTU6、7同期カウンタクリア抑止機能の動作例

図 16.65 ~ 図 16.68 に、MTU6、7のTWCRBのSCCビットを“1”にしてMTU6、7を相補PWM動作をさせ、MTU0、1、2 – MTU6、7カウンタ同期クリア抑止機能を有効にした場合の動作例を示します。ここで、図 16.65 ~ 図 16.68の同期カウンタクリアのタイミングは、それぞれ図 16.57の③、⑥、⑧、⑪で示したタイミングです。また、この例ではMTU6、7のTWCRB.WREビットは“1”にしています。

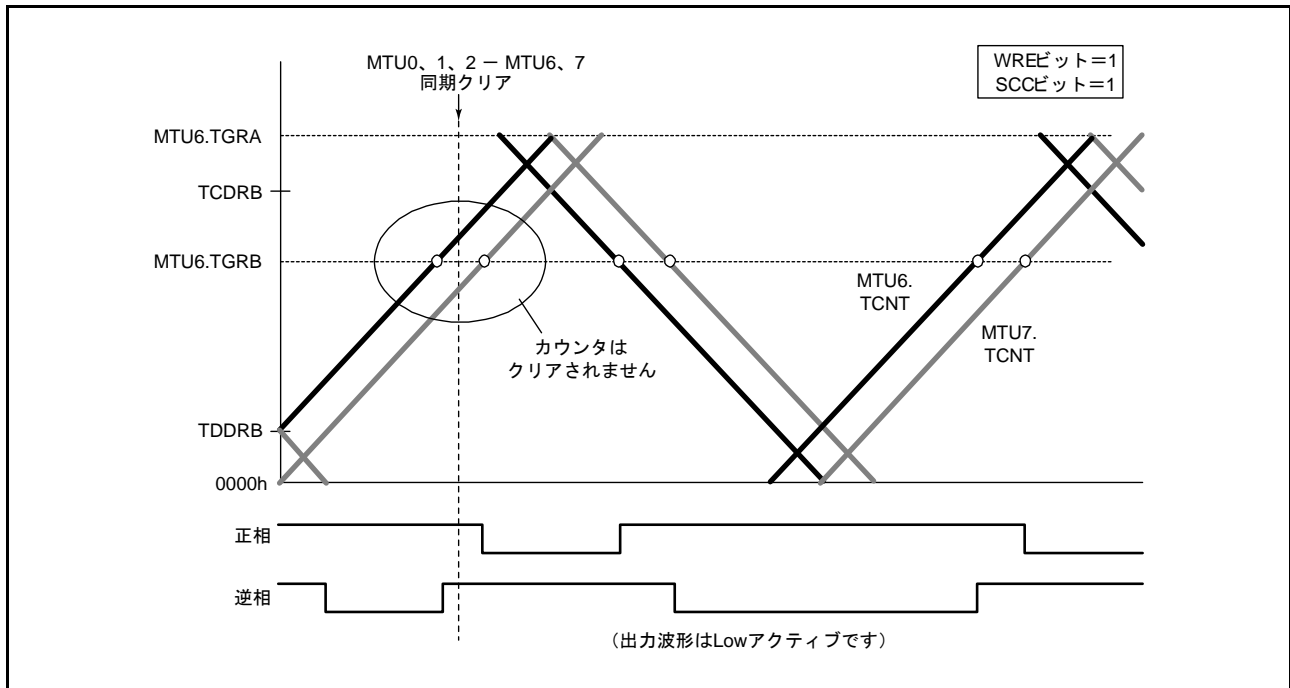


図 16.65 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 16.57のタイミング③、MTU6、7のTWCRBレジスタのWREビット = 1、SCCビット = 1)

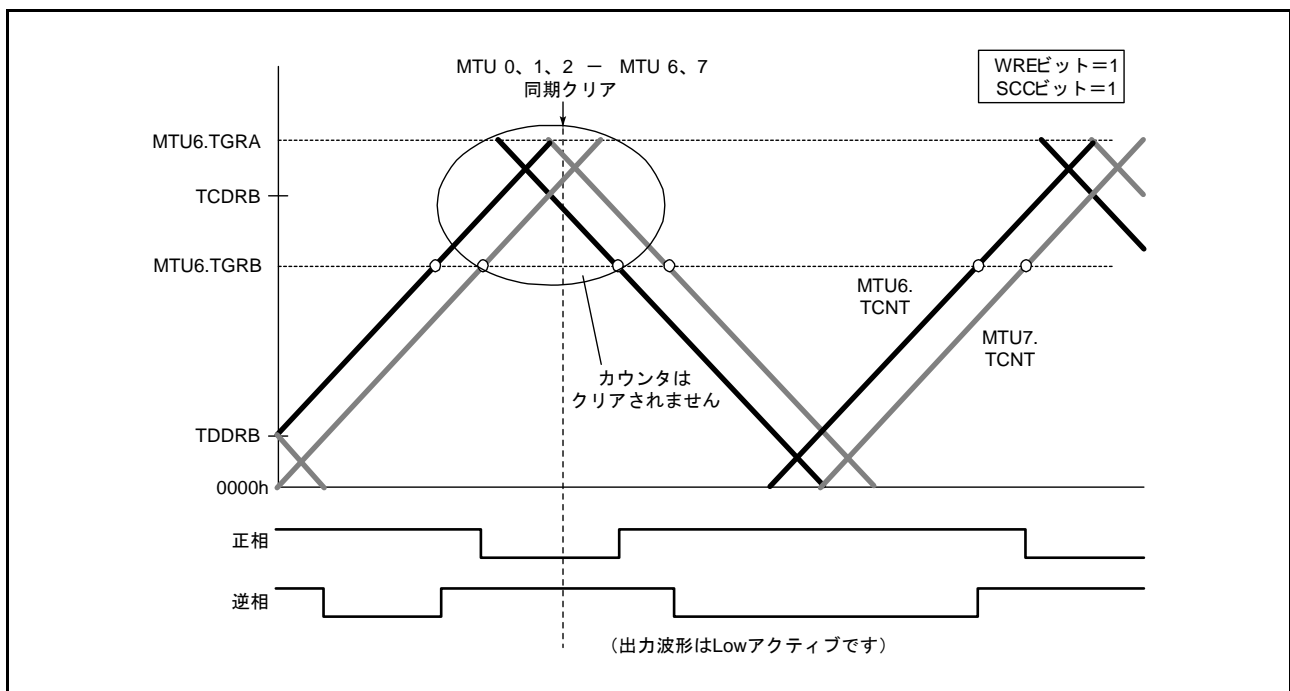


図 16.66 山のTb区間で同期クリアが発生した場合 (図 16.57のタイミング⑥、MTU6、7のTWCRBレジスタのWREビット = 1、SCCビット = 1)

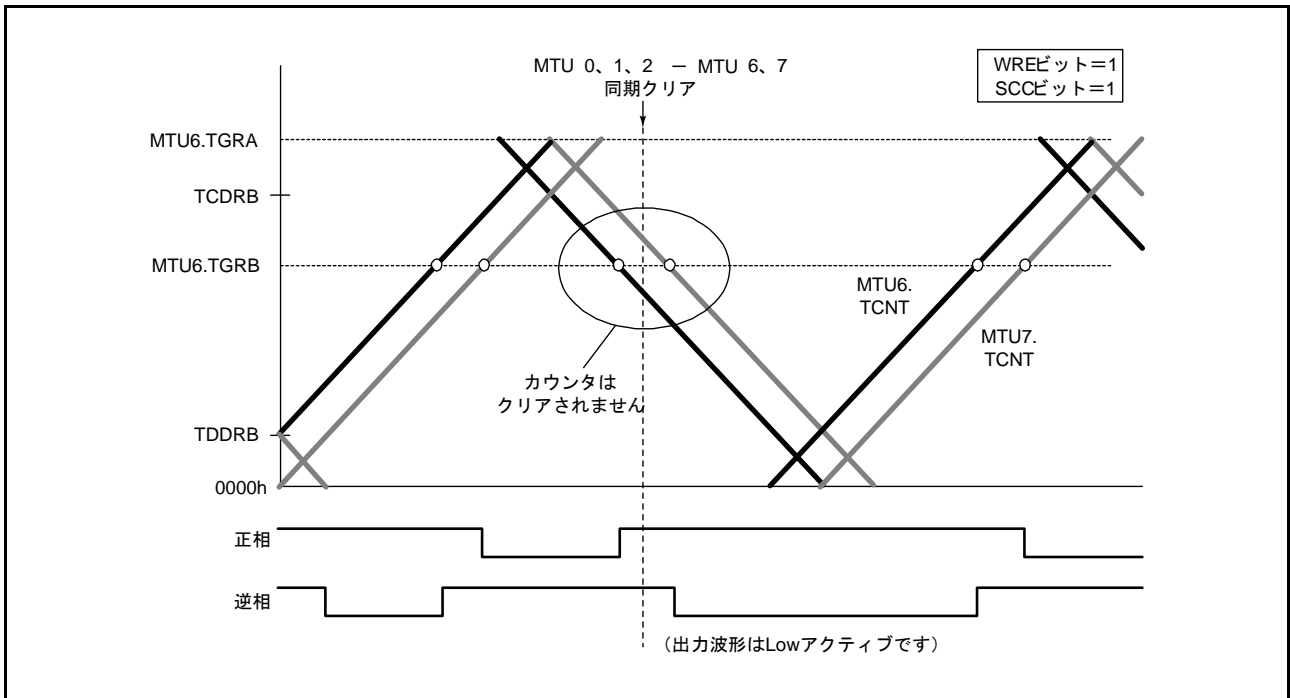


図 16.67 ダウンカウント中のデッドタイム時に同期クリアが発生した場合 (図 16.57 のタイミング⑧、MTU6、7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

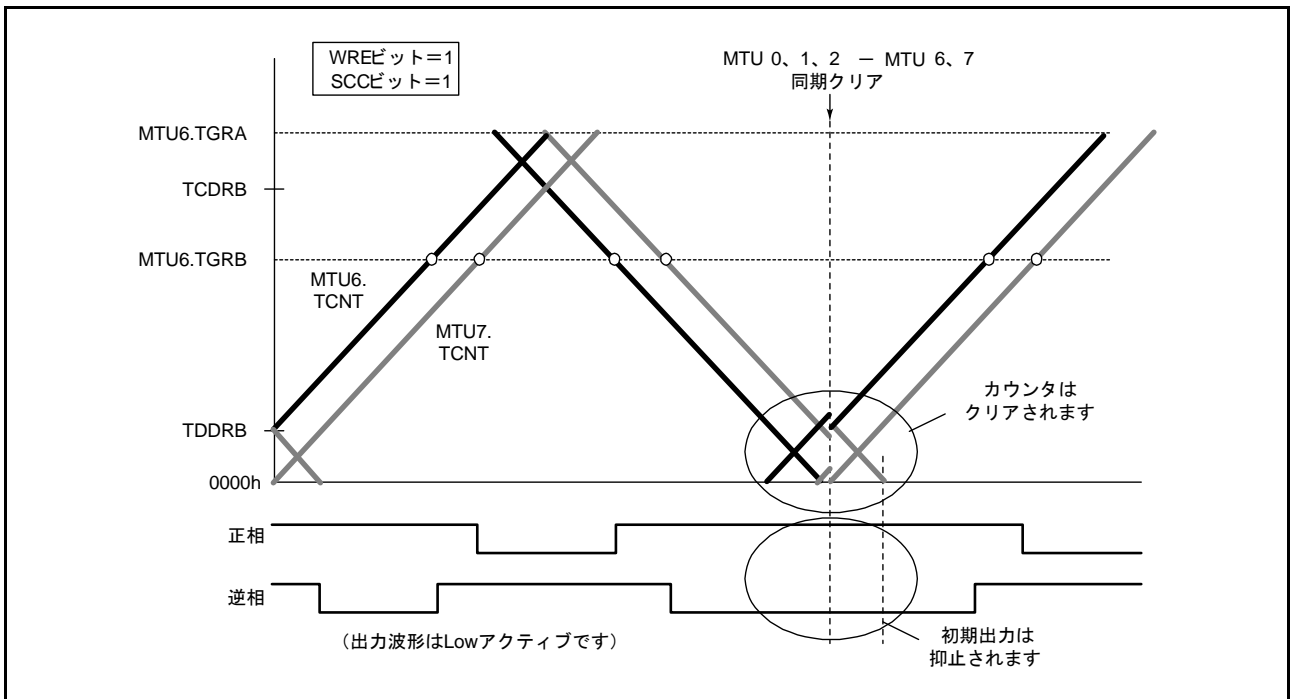


図 16.68 谷の Tb 区間で同期クリアが発生した場合 (図 16.57 のタイミング⑩、MTU6、7 の TWCRB レジスタの WRE ビット = 1、SCC ビット = 1)

(p) MTU3.TGRA (MTU6.TGRA) のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCRA、TWCRB) の CCE ビットを設定することにより、MTU3.TGRA (MTU6.TGRA) のコンペアマッチで MTU3.TCNT (MTU6.TCNT)、MTU4.TCNT (MTU7.TCNT) および TCNTSA (TCNTSB) をクリアすることが可能です。

図 16.69 に動作例を示します。

- 注 1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注 2. 他のチャネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYRA、TSYRB) の SYNC0 ~ SYNC4 ビット、SYNC6 ~ SYNC7 ビットを "1"、タイマシンクロクリアレジスタ (TSYCRA、TSYCRB) の CE0A/B/C/D、CE1A/B/C/D ビットを "1" に設定しないでください)
- 注 3. PWM デューティは、0000h を設定しないでください。
- 注 4. タイマアウトプットコントロールレジスタ 1 (TOCR1A、TOCR1B) の PSYE ビットを "1" に設定しないでください。

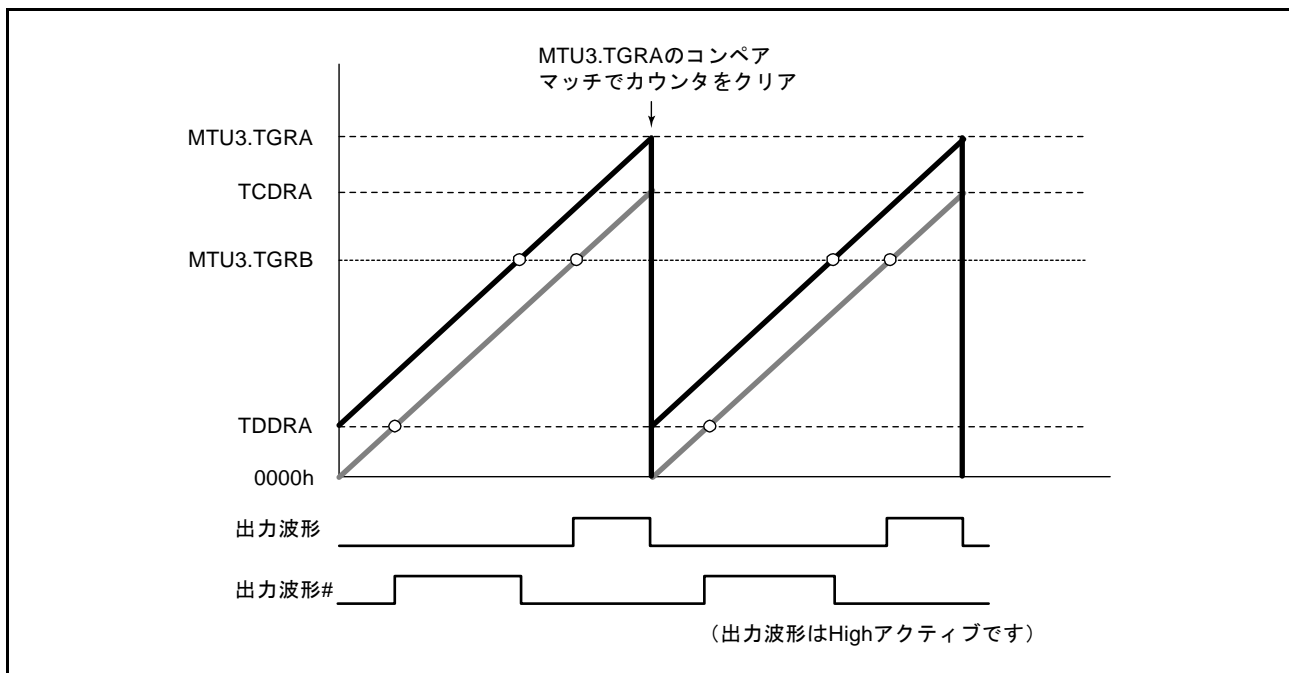


図 16.69 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(q) AC同期モータ（ブラシレスDCモータ）の駆動波形出力例

相補PWMモードでは、タイマゲートコントロールレジスタ (TGCRA) を使ってブラシレスDCモータを簡単に制御することができます。図 16.70 ~ 図 16.73 に TGCRA レジスタを使用したブラシレスDCモータの駆動波形例を示します。

3相ブラシレスDCモータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB ビットを“0”にします。この場合、磁極位置を示す外部信号を MTU0 のタイマ入力端子 MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します (I/O ポートの ICR レジスタを設定してください)。MTIOC0A、MTIOC0B、MTIOC0C 端子の3つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCRA.FB ビットが“1”の場合は、TGCRA の UF、VF、WF ビットの各ビットを“0”または“1”にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補PWMモードの6相出力端子から出力されます。

この6相出力は TGCRA レジスタの N ビットまたは P ビットを“1”にすることにより、ON出力時、相補PWMモードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル (ON出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ 1A (TOCR1A) の OLSN ビット、OLSP ビットで設定できます。

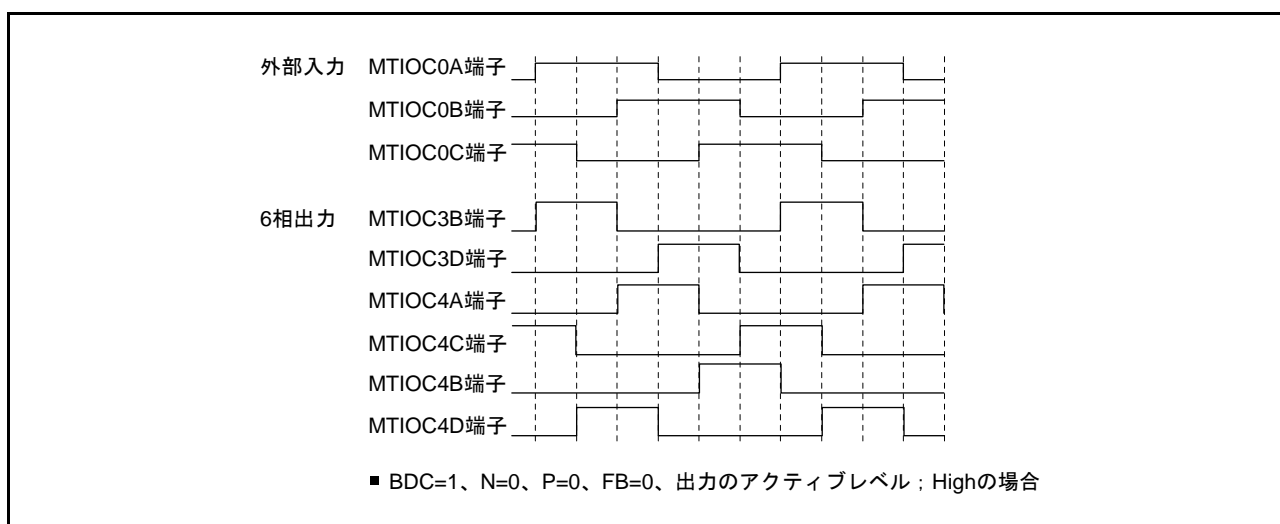


図 16.70 外部入力による出力相の切り替え動作例 (1)

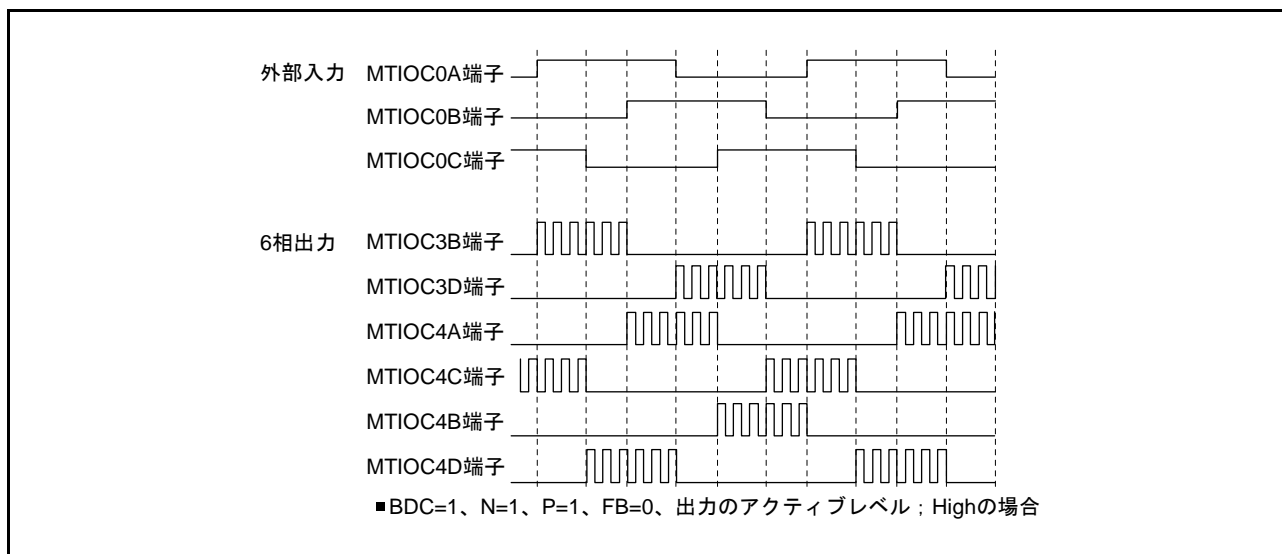


図 16.71 外部入力による出力相の切り替え動作例 (2)

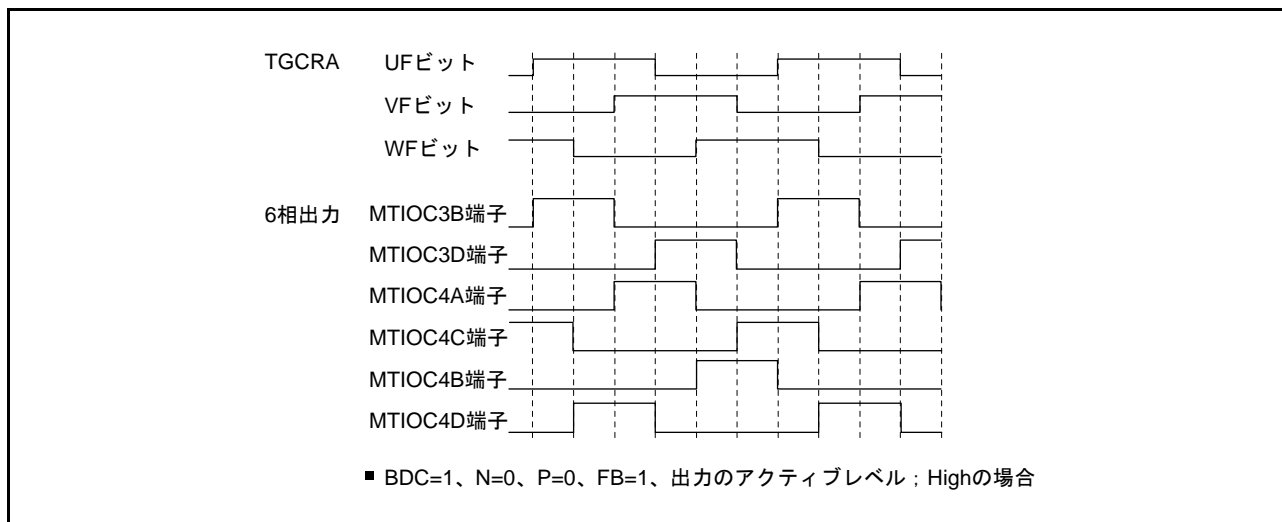


図 16.72 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

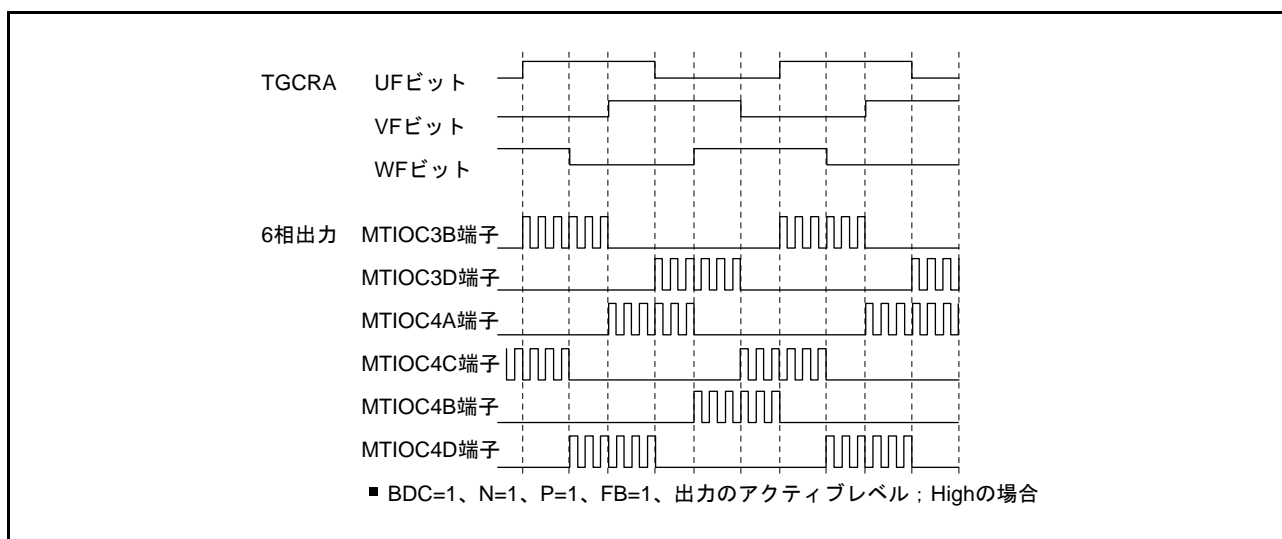


図 16.73 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(r) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA (MTU6.TGRA) のコンペアマッチ、MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷)、MTU3、4 (MTU6、7) 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA (MTU6.TGRA) のコンペアッチを使用して開始要求を設定すると、MTU3.TCNT (MTU6.TCNT) の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットを“1”にすることで設定できます。MTU4.TCNT (MTU7.TCNT) のアンダフロー (谷) の A/D 変換の開始要求は、MTU4.TIER (MTU7.TIER) の TTGE2 ビットを“1”にすることで設定できます。

(s) 相補 PWM モードのダブルバッファ機能

相補 PWM モード3 (山・谷で転送) 時、タイマモードレジスタ 2 (TMDR2A、TMDR2B) の DRS ビットを“1”にすることにより、PWM 変更時の PWM 出力の最小分解能を ± 2 から ± 1 にすることが可能です。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD) を設定する際は、バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF) も同時に設定してください。また、バッファレジスタ B の値はバッファレジスタ A の値、またはバッファレジスタ A の値 - 1 を設定してください。設定手順の詳細は「16.3.8 (1) 相補 PWM モードの設定手順例」を参照してください。

注. バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値 - 1 を設定した場合、PWM 出力が非対称になります。

図 16.74 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD (バッファ A) 書き込み時に MTU4.TGRD (バッファ A) → Temp3A (テンポラリ A)、および MTU4.TGRF (バッファ B) → Temp3B (テンポラリ B) へのデータ転送
 - ①のタイミングで Temp3A (テンポラリ A) → MTU4.TGRB (コンペア) へのデータ転送
 - ②のタイミングで Temp3B (テンポラリ B) → MTU4.TGRB (コンペア) へのデータ転送
- 山区間 (山の T_b 区間) ではコンペアレジスタとテンポラリレジスタ A、谷区間 (谷の T_b 区間) ではコンペアレジスタとテンポラリレジスタ B が有効

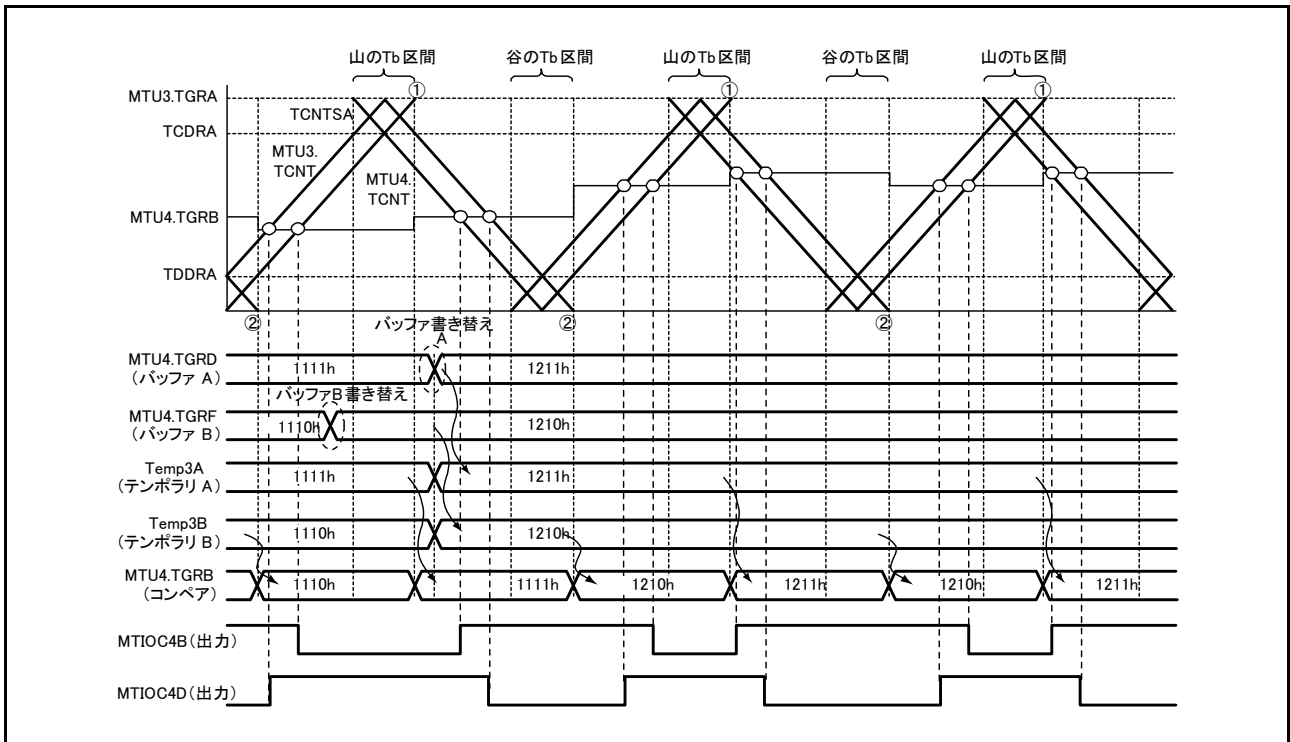


図 16.74 ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA レジスタより小さい場合を図 16.75 に、TCDRA レジスタより大きい場合を図 16.76 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

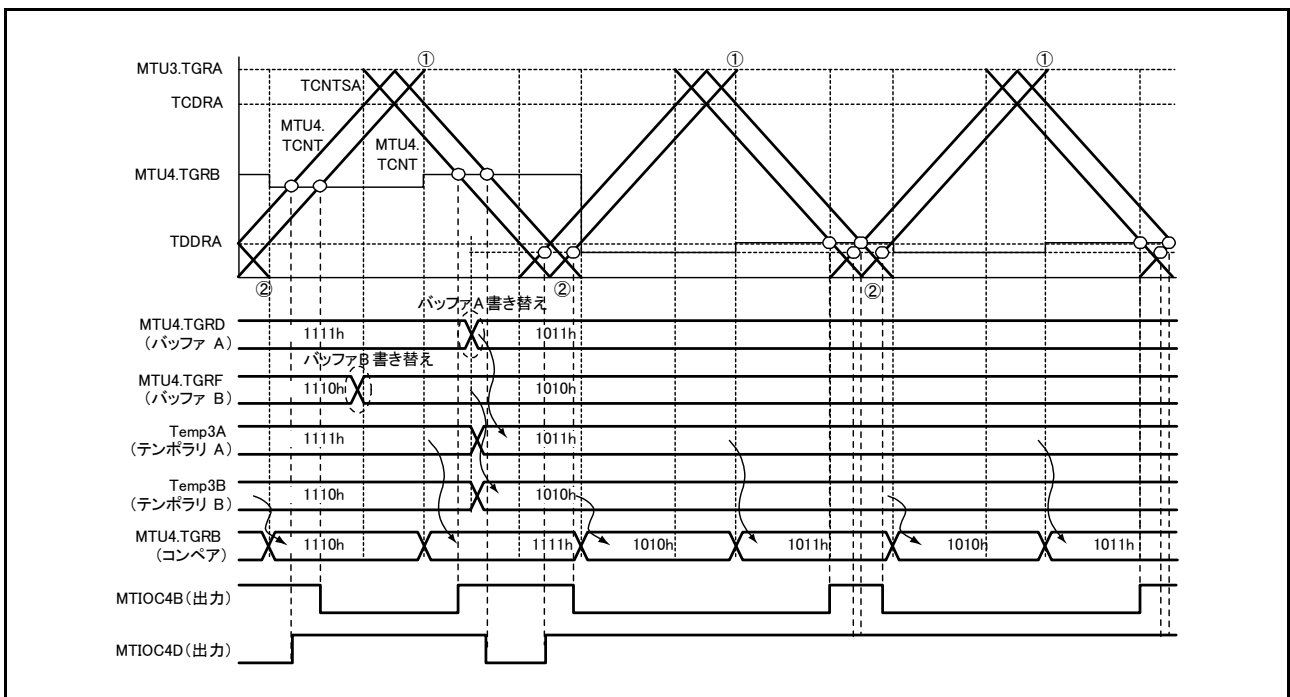


図 16.75 ダブルバッファ機能の動作例 (バッファへの書き込み値が TDDRA より小さい場合)

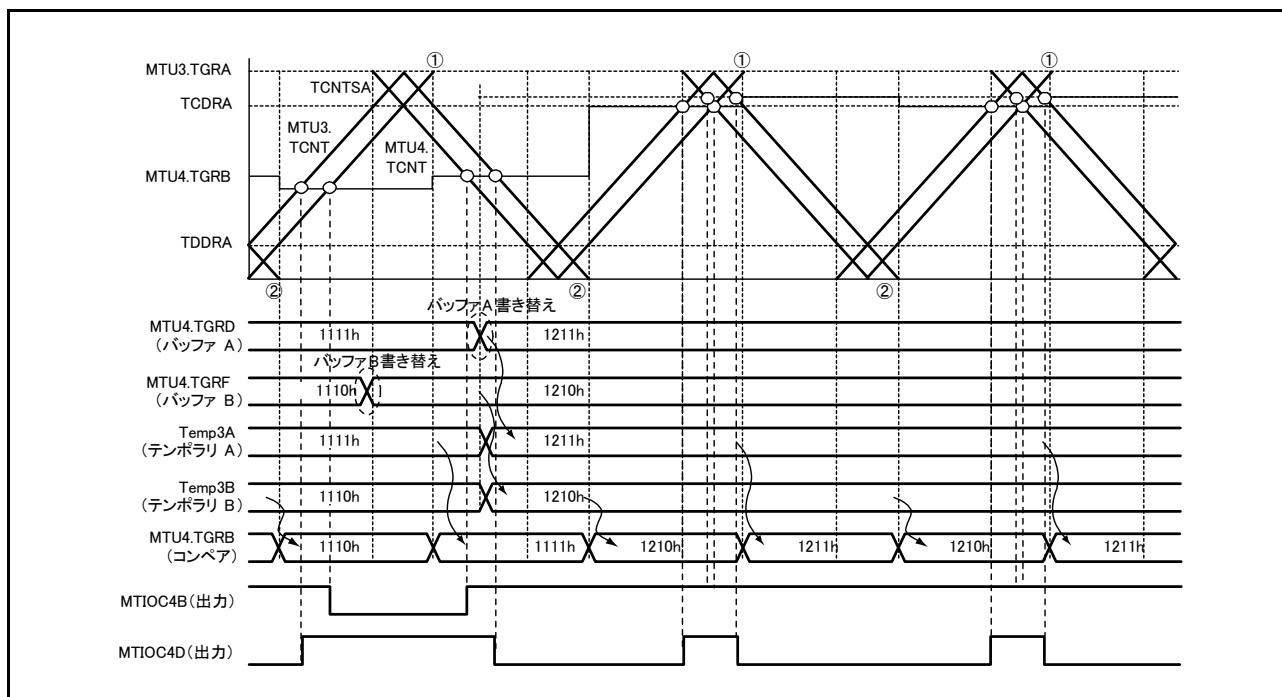


図 16.76 ダブルバッファ機能の動作例 (バッファへの書き込み値が TCDRA より大きい場合)

(3) 相補 PWM モードの割り込み間引き機能 1

MTU3、4 (MTU6、7) の TGIA3 (TGIA6) (山の割り込み)、および TCIV4 (TCIV7) (谷の割り込み) は、タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) を設定することにより、最大で7回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTERA、TBTERB) を設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「16.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) の設定は、タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB) の TITM ビットを“0”にし、割り込み間引き機能 1 を選択し、かつ MTU3.TIER、MTU4.TIER (MTU6.TIER、MTU7.TIER) レジスタの設定で TGIA3 (TGIA6) と TCIV4 (TCIV7) 割り込み要求を禁止した状態、かつコンペアマッチによる TITCR1A (TITCR1B) レジスタの TGFA3 (TGFA6)、TCFV4 (TCFV7) フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、T3AEN (T6AEN)、T4VEN (T7VEN) ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能 1 の設定手順例

割り込み間引き機能 1 の設定手順例を図 16.77 に示します。また、割り込み間引き回数の変更可能期間を図 16.78 に示します。

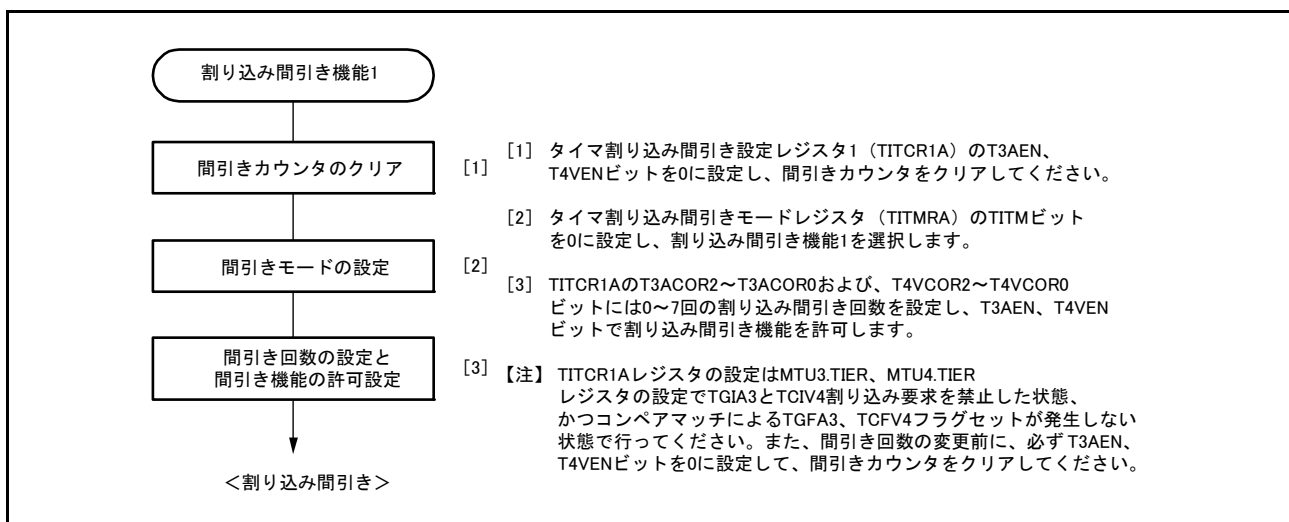


図 16.77 割り込み間引き機能 1 の設定手順例

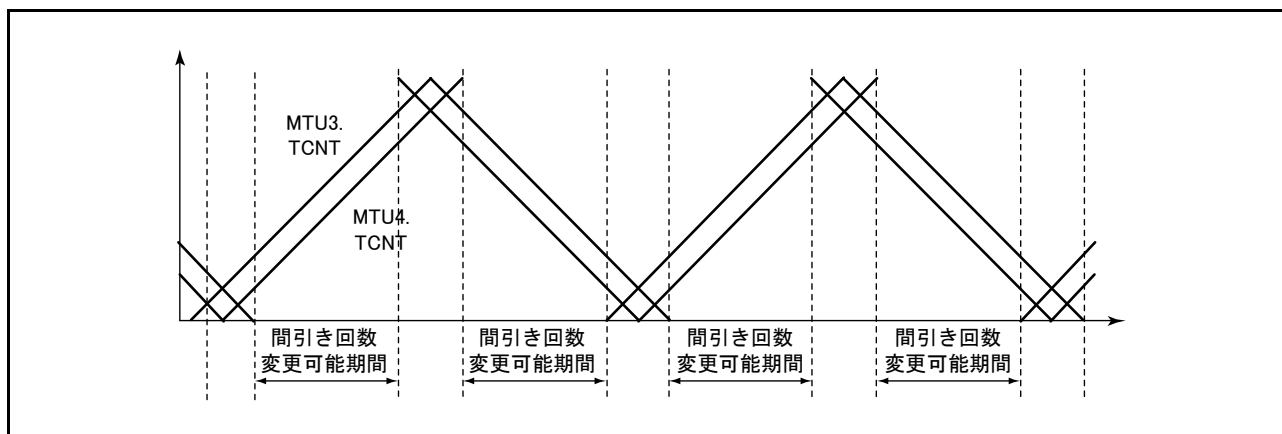


図 16.78 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能 1 の動作例

タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) の T3ACOR (T6ACOR) ビットで割り込みの間引き回数を 3 回に設定し、T3AEN (T6AEN) ビットを “1” にした場合の、TGIA3 (TGIA6) 割り込み間引きの動作例を図 16.79 に示します。

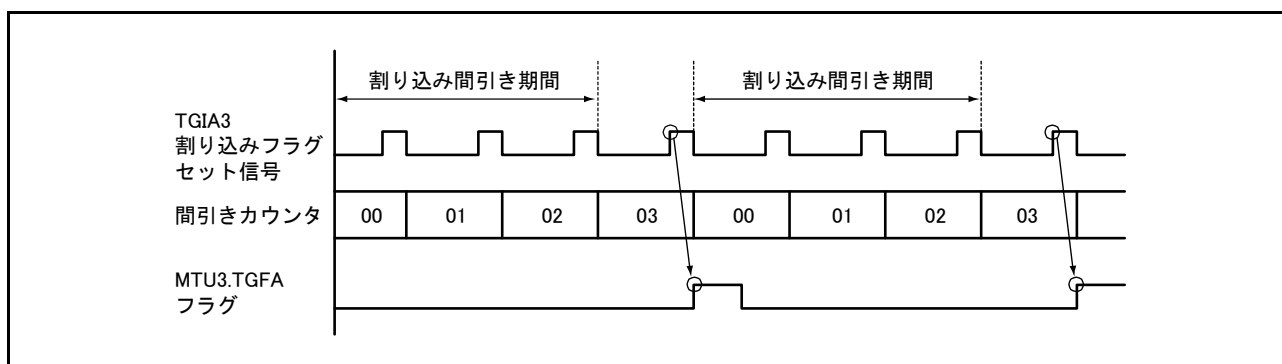


図 16.79 割り込み間引き機能 1 の動作例

(c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTERA、TBTERB) レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする／しない、または割り込み間引きと連動する／しないを選択することが可能です。

バッファ転送を抑止する設定 (BTE[1:0] = 01b) にした場合の動作例を図 16.80 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例を図 16.81 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) の T3AEN (T6AEN) ビットを“1”にした場合、T4VEN (T7VEN) ビットを“1”にした場合、TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビットを“1”にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A (TITCR1B) レジスタの T3AEN、T4VEN (T6AEN、T7VEN) ビットの設定とバッファ転送許可期間の関係を図 16.82 に示します。

注 . 本機能は、割り込み間引き機能 1 と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ 1 (TITCR1A、TITCR1B) の T3AEN、T4VEN (T6AEN、T7VEN) ビットを“0”に設定したとき、または TITCR1A (TITCR1B) の間引き回数設定ビット (T3ACOR、T4COR (T6ACOR、T7VCOR)) を“0”に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (TBTERA、TBTERB の BTE1 ビットを“0”に設定) してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

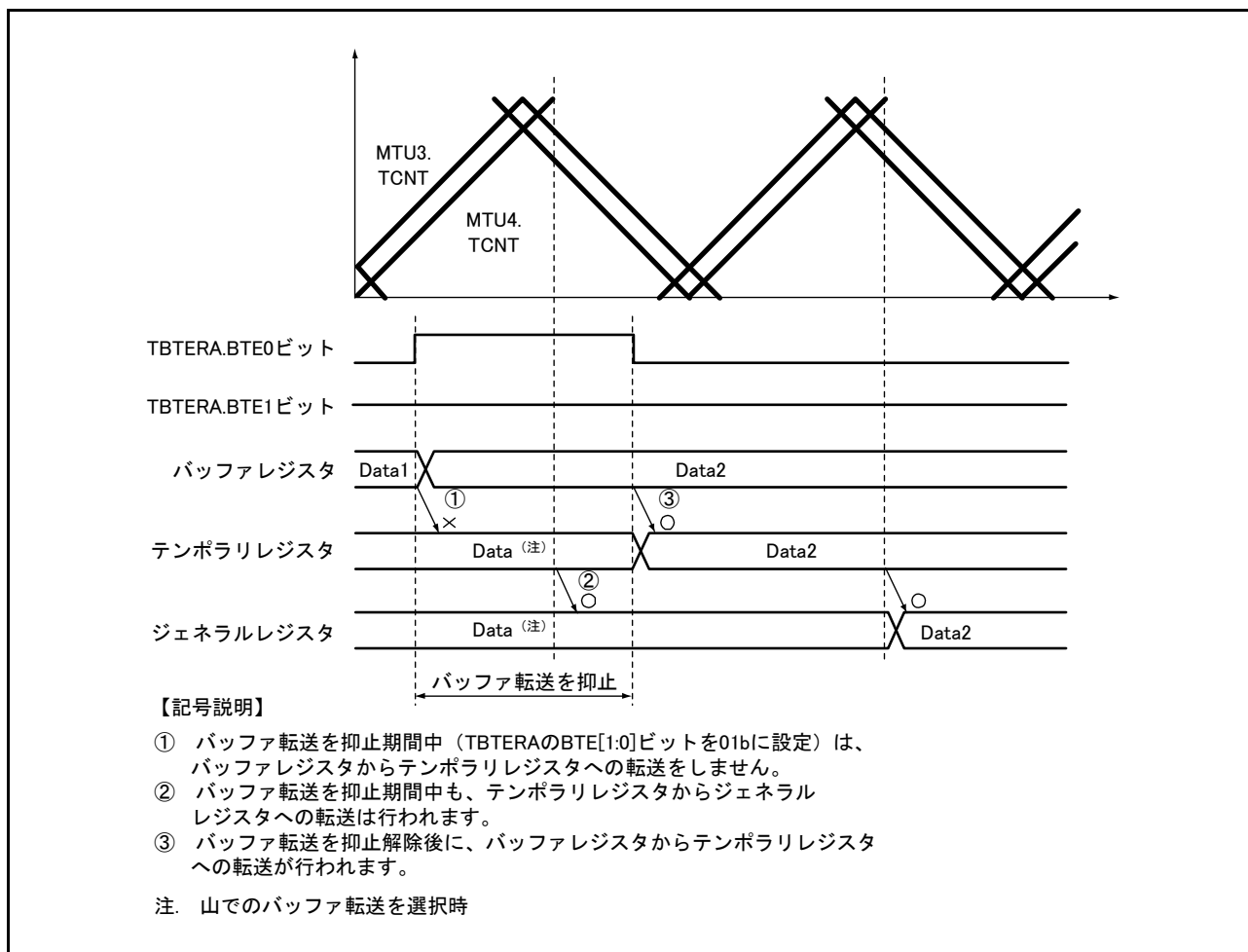


図 16.80 バッファ転送を抑制する設定 (BTE[1:0] = 01b) にした場合の動作例

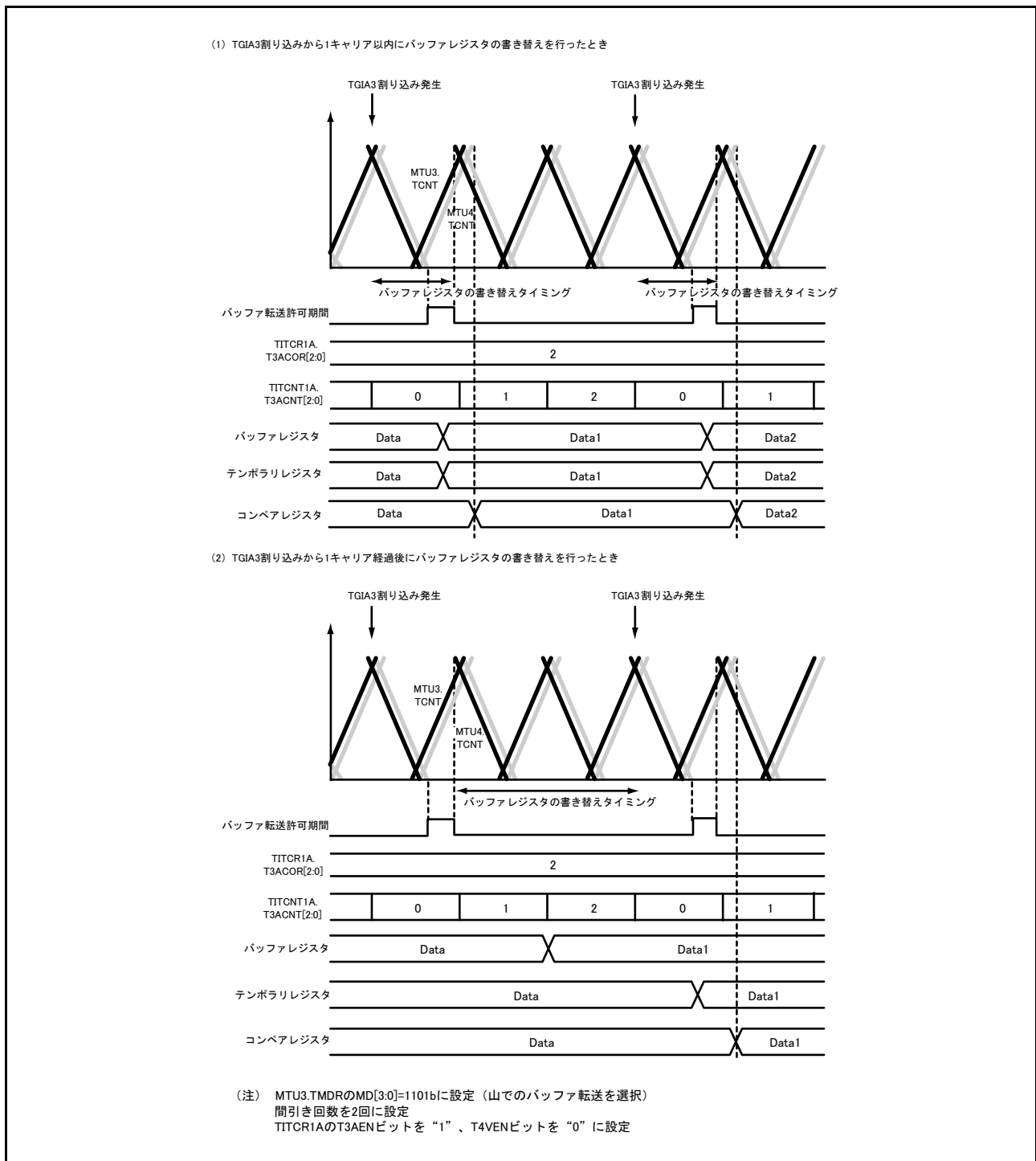


図 16.81 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例

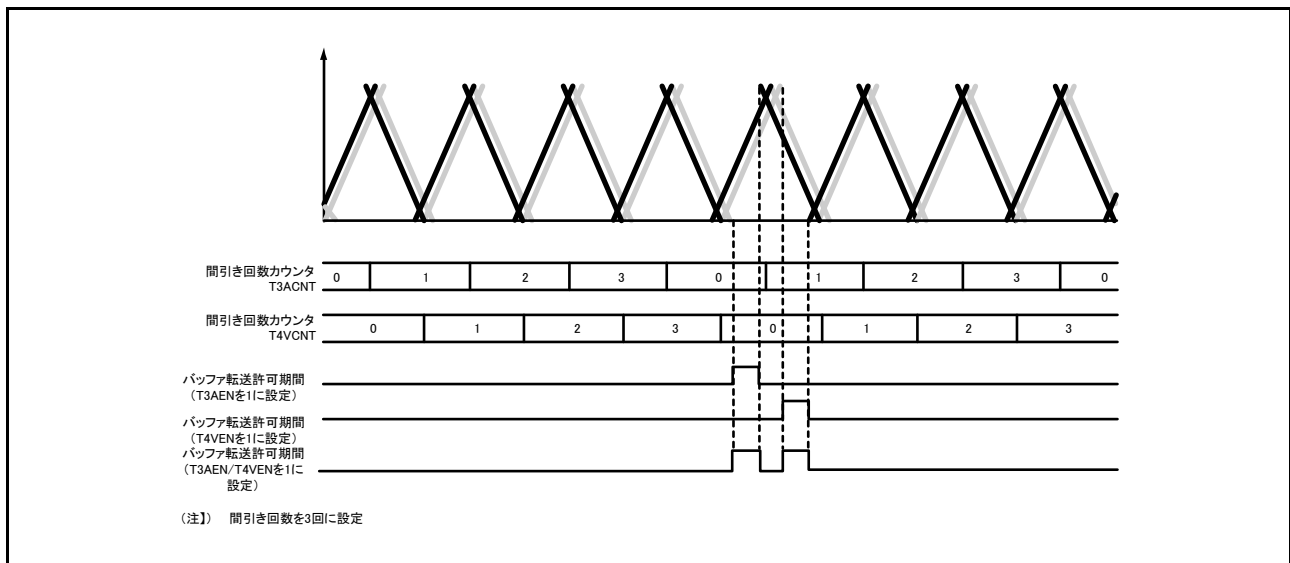


図 16.82 TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き替えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWERA、TRWERB) の RWE ビットの設定により CPU からのアクセスの許可/禁止を選択することが可能です。対象となるレジスタは MTU3、4、6、7 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR、MTU4.TCR、MTU3.TMDR1、MTU4.TMDR1、MTU3.TIORH、
MTU4.TIORH、MTU3.TIORL、MTU4.TIORL、MTU3.TIER、MTU4.TIER、
MTU3.TCNT、MTU4.TCNT、MTU3.TGRA、MTU4.TGRA、MTU3.TGRB、MTU4.TGRB、
TOERA、TOCR1A、TOCR2A、TGCRA、TCDRA、TDDRA
MTU6.TCR、MTU7.TCR、MTU6.TMDR1、MTU7.TMDR1、MTU6.TIORH、MTU7.TIORH、
MTU6.TIORL、MTU7.TIORL、MTU6.TIER、MTU7.TIER、MTU6.TCNT、MTU7.TCNT、
MTU6.TGRA、MTU7.TGRA、MTU6.TGRB、MTU7.TGRB、
TOERB、TOCR1B、TOCR2B、TCDRB、TDDRB
計 43 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。

詳細は、「17. ポートアウトプットイネーブル 3 (POE3)」を参照してください。

(c) 発振停止時の PWM 出力の停止機能

6 相 PWM 出力端子は、RX62T に入力されているクロックが停止したことを検出して出力端子を自動的にハイインピーダンス状態になります。ただし、クロックが再発振を開始すると端子の状態は、保証されません。

詳細は、「8.10 発振停止検出機能」を参照してください。

16.3.9 A/D 変換開始要求ディレイド機能

MTU4 または MTU7 のタイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB)、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB (MTU7.TCNT と MTU7.TADCORA、MTU7.TADCORB) が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN (TRG7AN、TRG7BN)) を行います。

また、MTU4.TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE (MTU7.TADCR の ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN (TRG7AN、TRG7BN)) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 16.83 に示します。

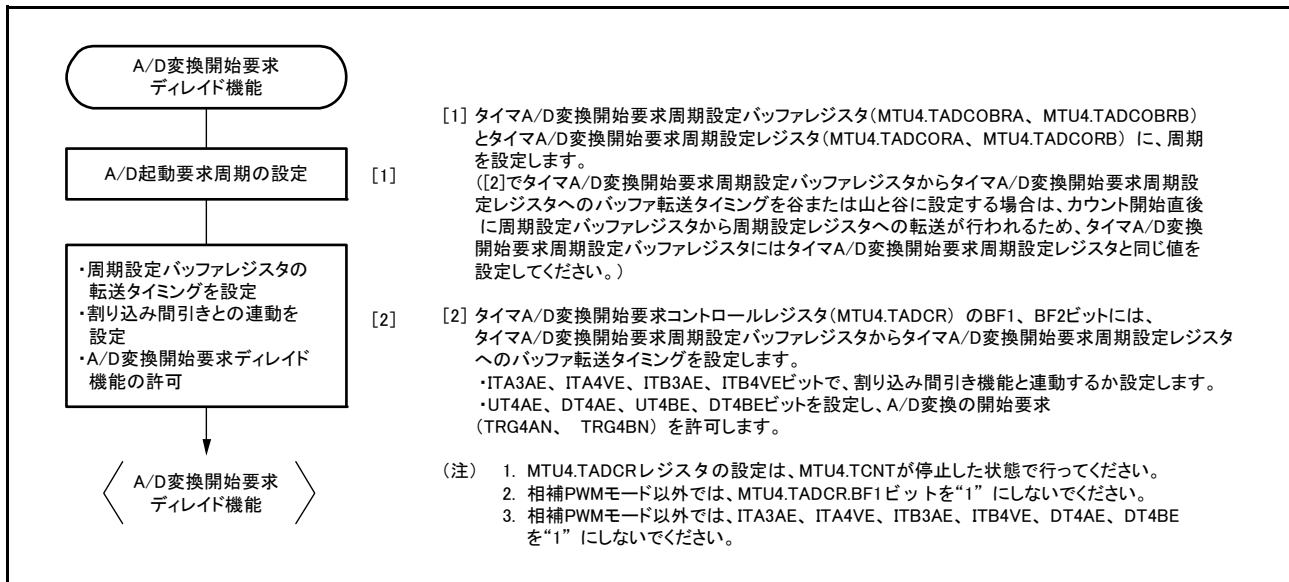


図 16.83 A/D 変換開始要求ディレイド機能の設定手順例

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT (MTU7.TCNT) の谷に設定し、MTU4.TCNT (MTU7.TCNT) のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN (TRG7AN)) の基本動作例を図 16.84 に示します。

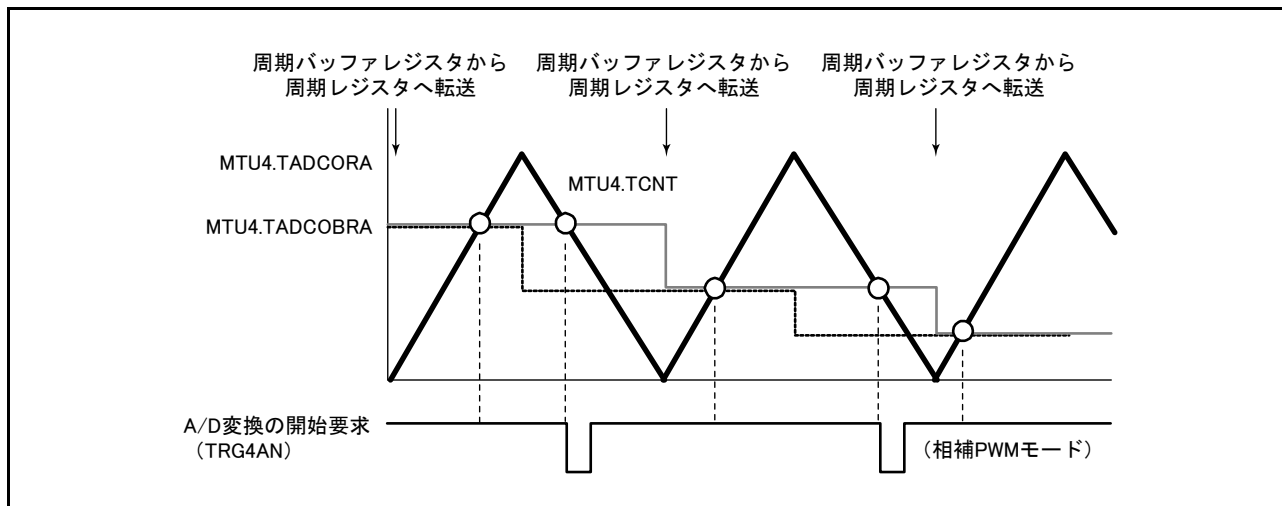


図 16.84 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB、MTU7.TADCORA、MTU7.TADCORB) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB、MTU7.TADCOBRA、MTU7.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR) の BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時はタイマジェネラルレジスタ D (MTU4.TGRD、MTU7.TGRD) の書き替えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

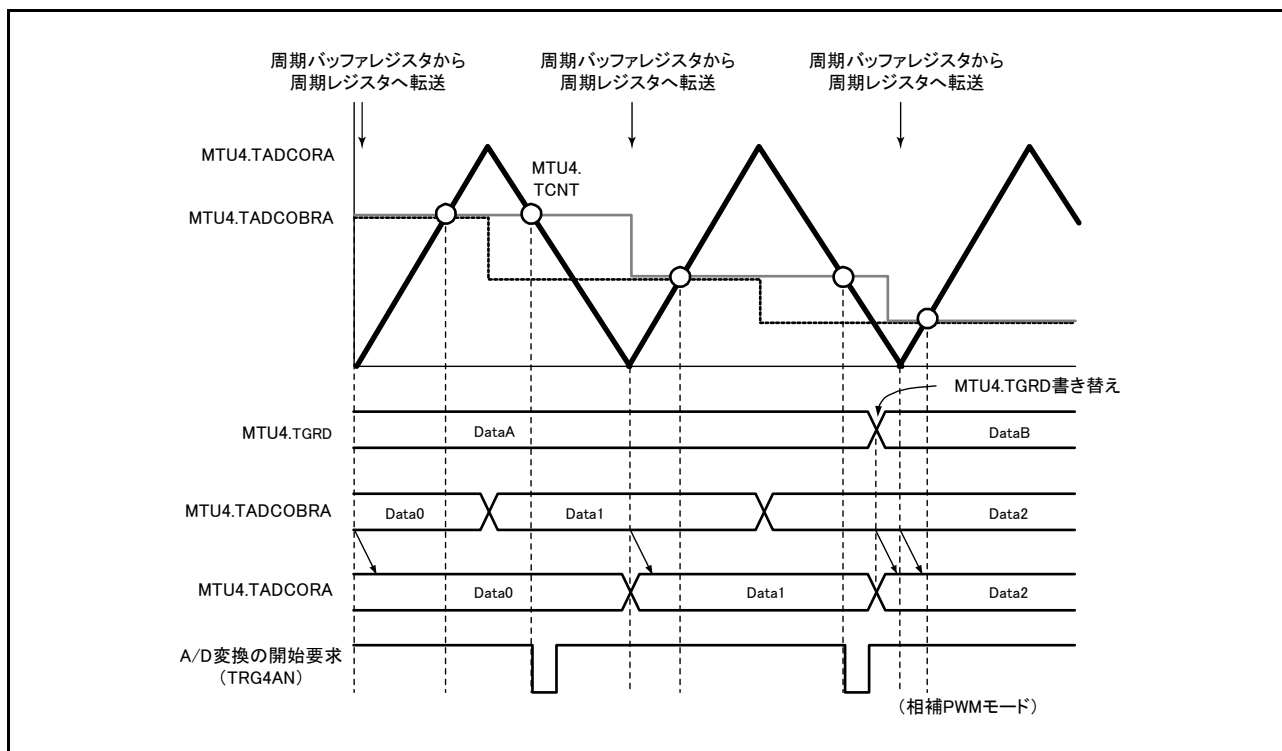


図 16.85 A/D 変換の開始要求信号 (TRG4AN) とバッファ転送動作例

(4) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能

タイマA/D変換開始要求コントロールレジスタ (MTU4.TADCR、MTU7.TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットの設定により、割り込み間引き機能1と連動してA/D変換の開始要求 (TRG4AN、TRG4BN (TRG7AN、TRG7BN)) を行うことが可能です。

MTU4.TCNT (MTU7.TCNT) のアップカウント時、およびダウンカウント時にTRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図16.86に示します。

また、MTU4.TCNT (MTU7.TCNT) のアップカウント時にTRG4AN (TRG7AN) 出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN (TRG7AN)) の動作例を図16.87に示します。

注. 本機能は割り込み間引き機能1と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR1A (TITCR1B)) のT3AEN、T4VEN (T6AEN、T7VEN) ビットを“0”にしたとき、またはTITCR1A (TITCR1B) レジスタの間引き回数設定ビット (T3ACOR、T4VCOR (T6ACOR、T7VCOR)) を“0”にしたとき) は、割り込み間引き機能1と連動しない (MTU4.TADCR (MTU7.TADCR)) レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットを“0”にする) 設定にしてください。

また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA、MTU7.TADCORB) には0002h ~ TCDRA の設定値-2 (TCDRB の設定値-2) の値にしてください。

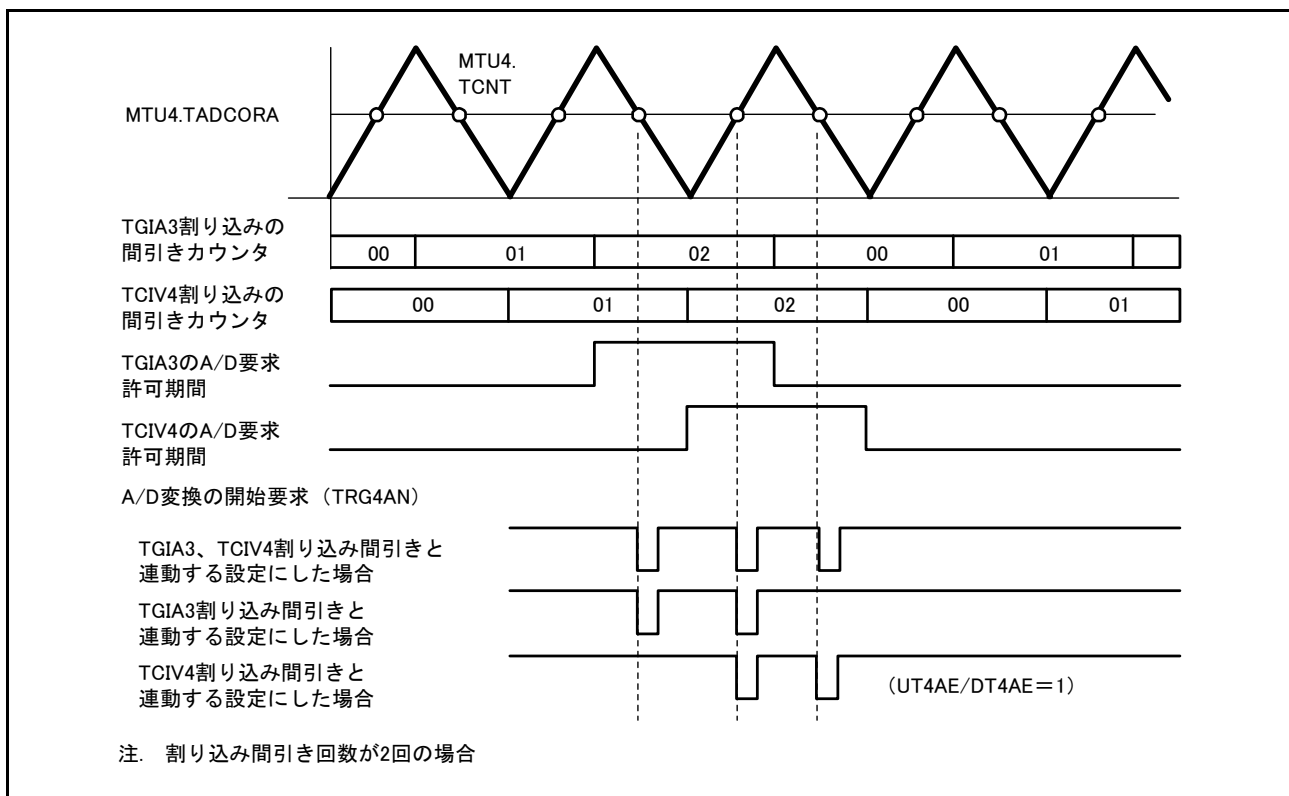


図 16.86 割り込み間引き機能1と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例 (UT4AE、DT4AE = 1)

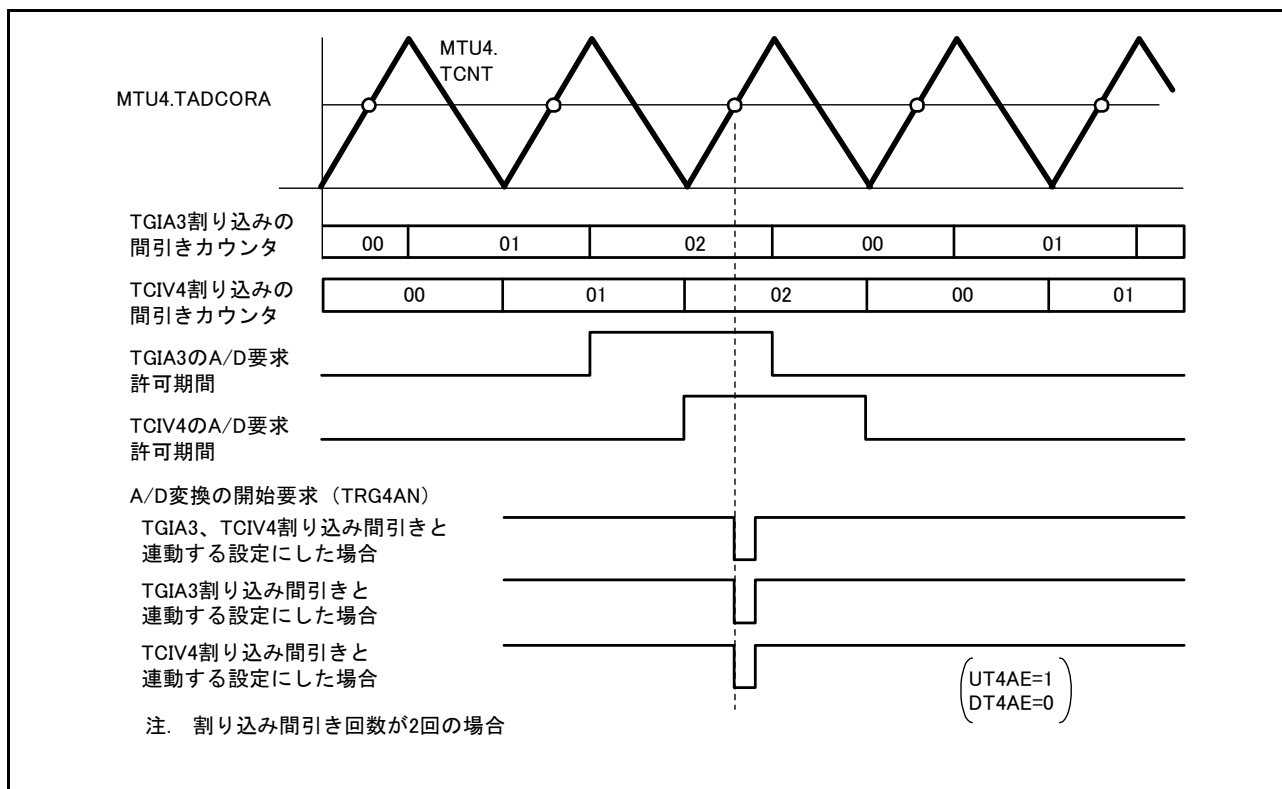


図 16.87 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE = 1、DT4AE = 0)

(5) 割り込み間引き機能 2 と連動した A/D 変換開始要求ディレイド機能

タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB) において TITM ビットを“1”にし、タイマ割り込み間引き設定レジスタ 2 (TITCR2A (TITCR2B)) において TRG4COR[2:0] (TRG7COR[2:0]) ビットで設定した値 (0 ~ 7) から、既存の A/D 変換開始トリガ (TGR4AN および TRG4BN (TGR7AN および TRG7BN)) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN および TRG4BN (TRG7AN および TRG7BN) の割り込みが有効になり、AD 変換開始要求信号 (TRG4ABN (TRG7ABN)) が出力されます。

この機能は AD 変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能 2 の設定手順例

図 16.88 に割り込み間引き機能 2 の設定手順例を示します。

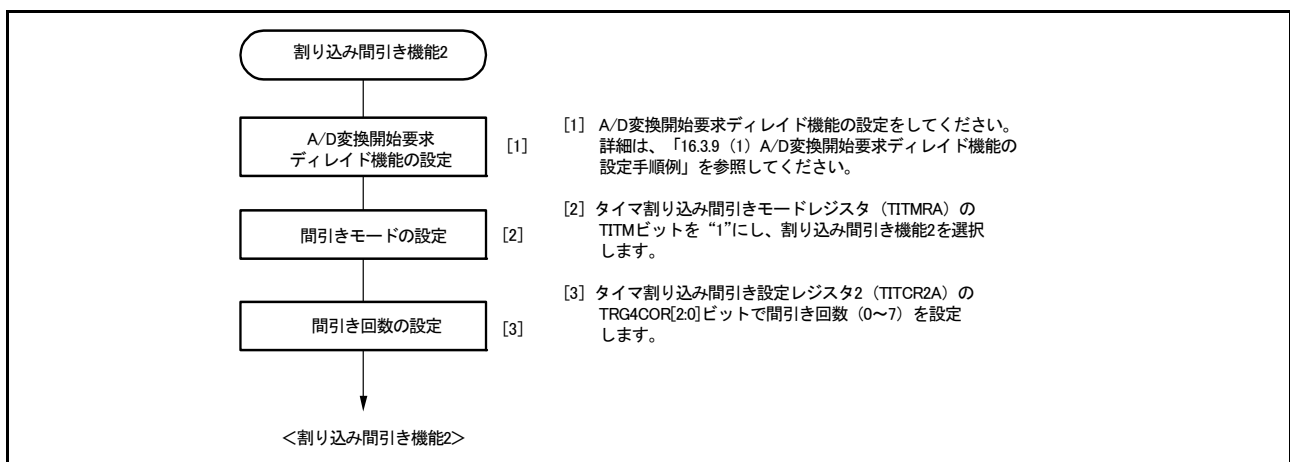


図 16.88 割り込み間引き機能 2 の設定手順例

(b) 割り込み間引き機能 2 の動作例

図 16.89 に割り込み間引き機能 2 の動作例を示します。

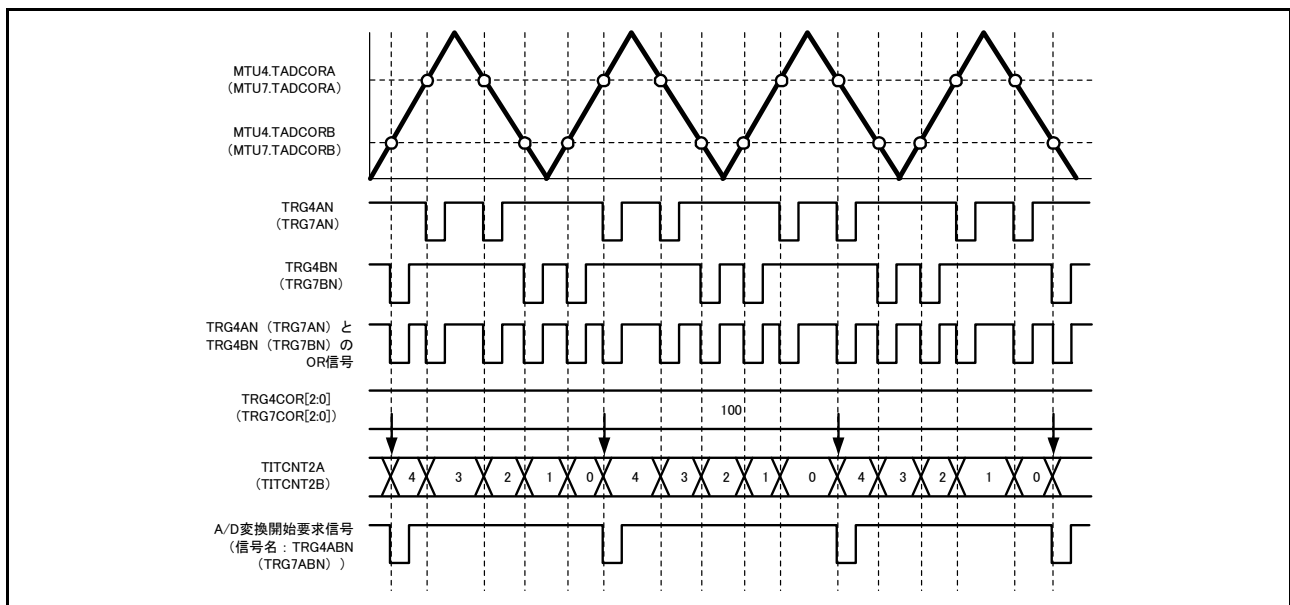


図 16.89 割り込み間引き機能 2 の動作例 (間引き回数を 4 回とした場合)

16.3.10 MTU0 ~ 4 - MTU6、7の同期動作

(1) MTU0 ~ 4 - MTU6、7カウンタ同期スタート

TCSYSTRレジスタを設定することにより、MTU0 ~ 4とMTU6、7のカウンタを同期スタートすることができます。

(a) MTU0 ~ 4 - MTU6、7カウンタ同期スタートの設定手順例

カウンタ同期スタートの設定手順例を図 16.90 に示します。

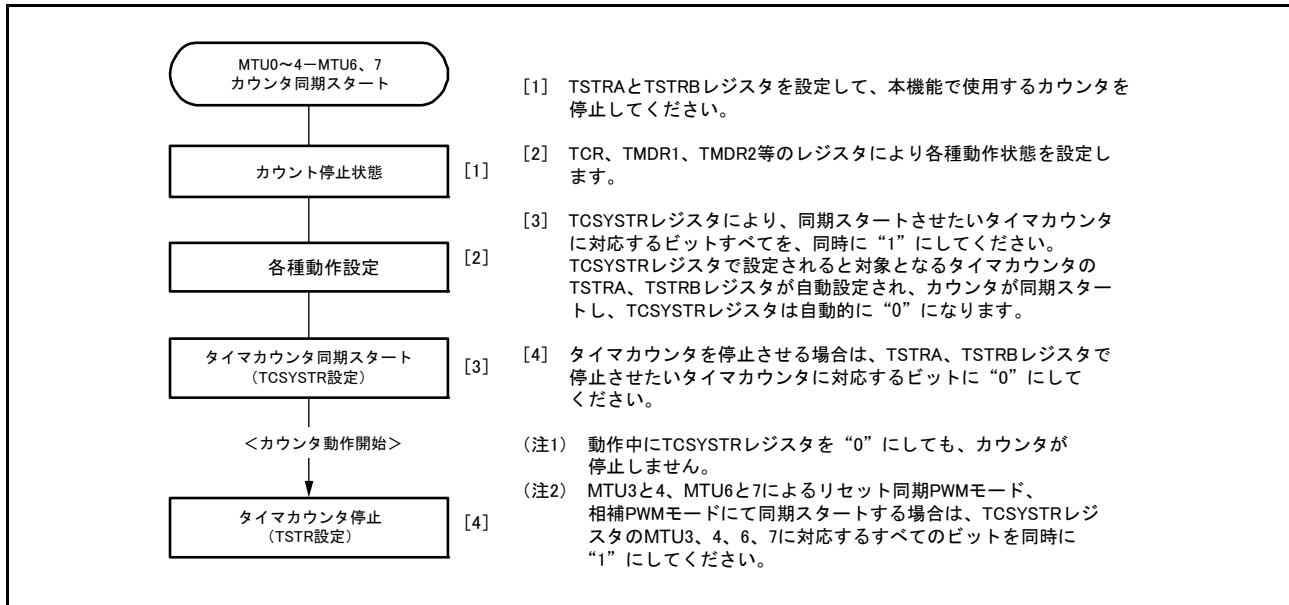


図 16.90 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 16.91 に、MTU0 ~ 4とMTU6、7のカウンタ同期スタート動作例を示します。

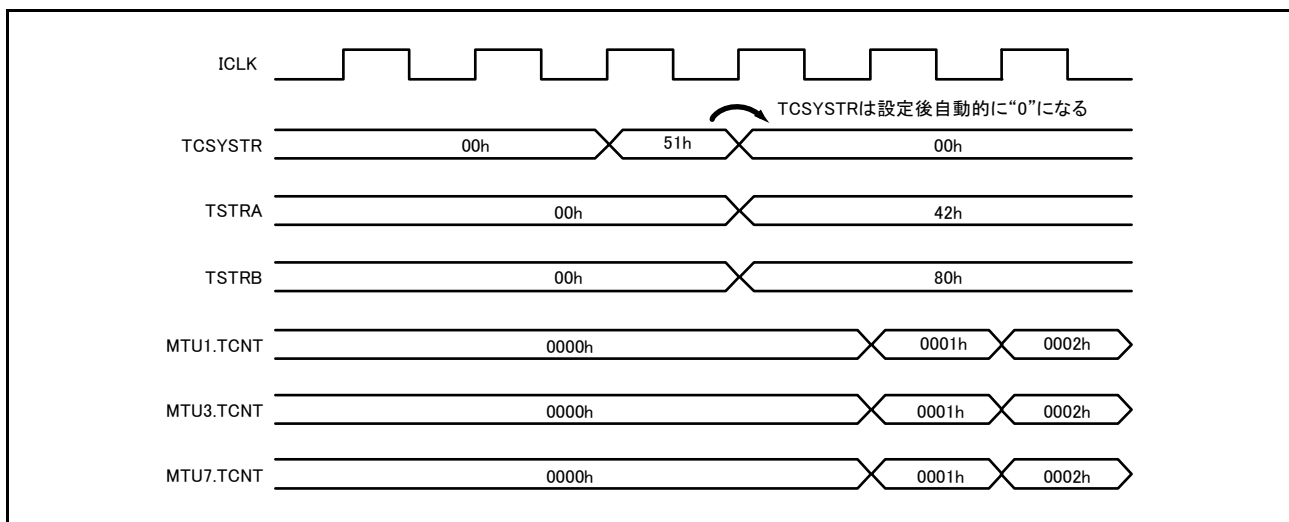


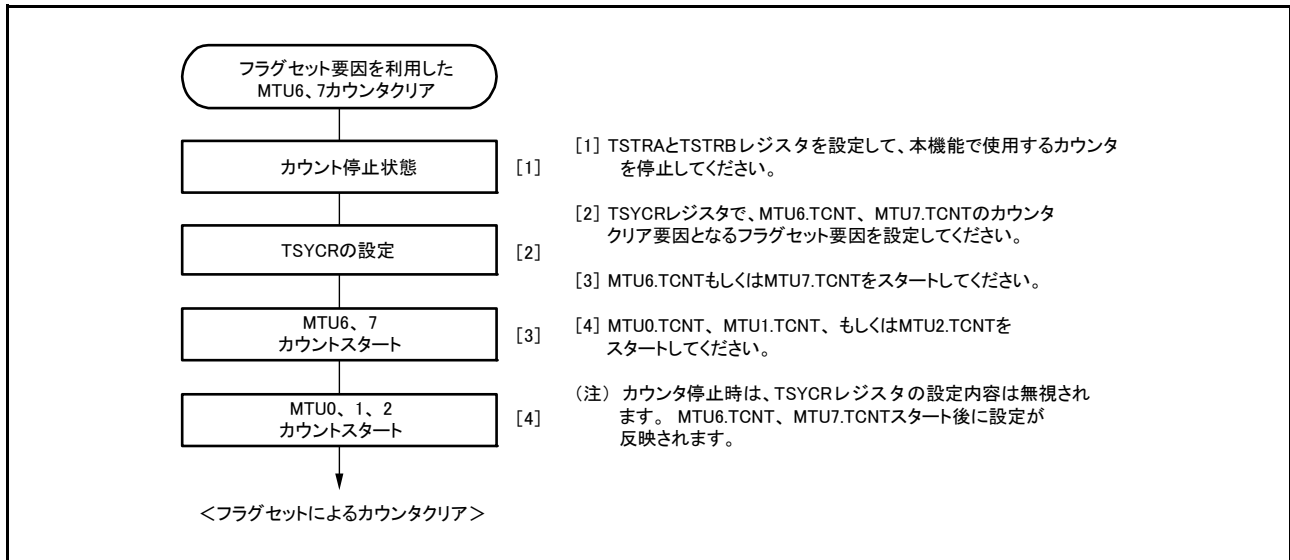
図 16.91 カウンタ同期スタート動作例

(2) フラグセット要因を利用した MTU6、7 カウンタクリア (MTU6、7 カウンタ同期クリア)

MTU6、7は TSYCR レジスタを設定することにより、MTU0.TSR ~ MTU2.TSR のフラグセット要因を利用して、カウンタクリアすることができます。

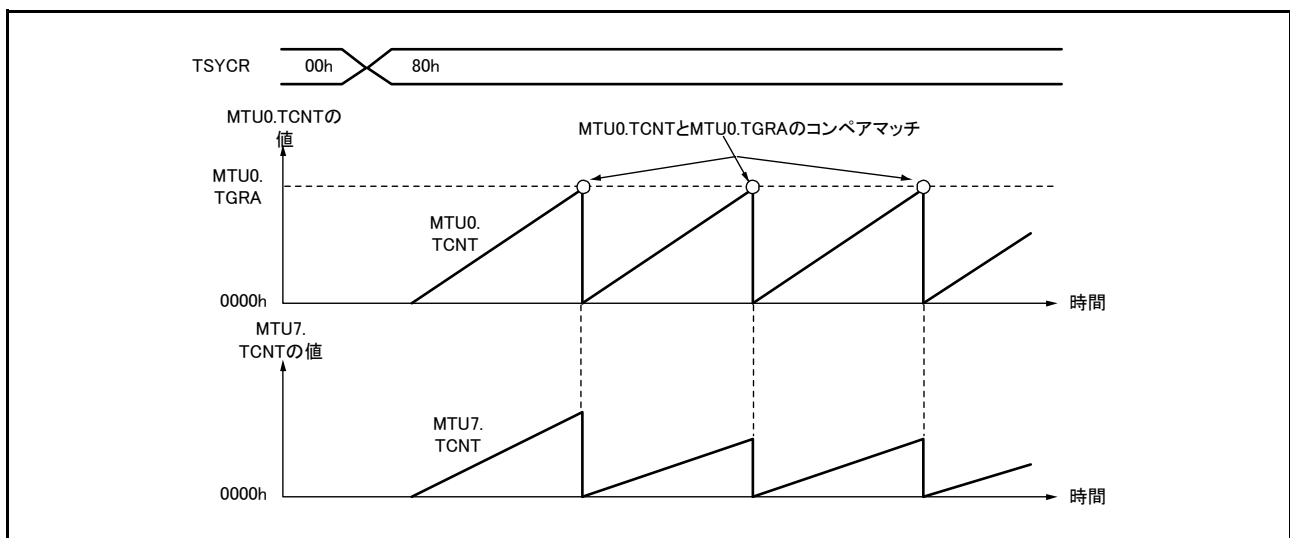
(a) フラグセット要因を利用した MTU6、7 カウンタクリアの設定手順例

フラグセット要因を利用した MTU6、7 カウンタクリアの設定手順例を図 16.92 に示します。



(b) フラグセット要因を利用した MTU6、7 カウンタクリアの動作例

フラグセット要因を利用した MTU6、7 カウンタクリアの動作例を図 16.93、図 16.94 に示します。



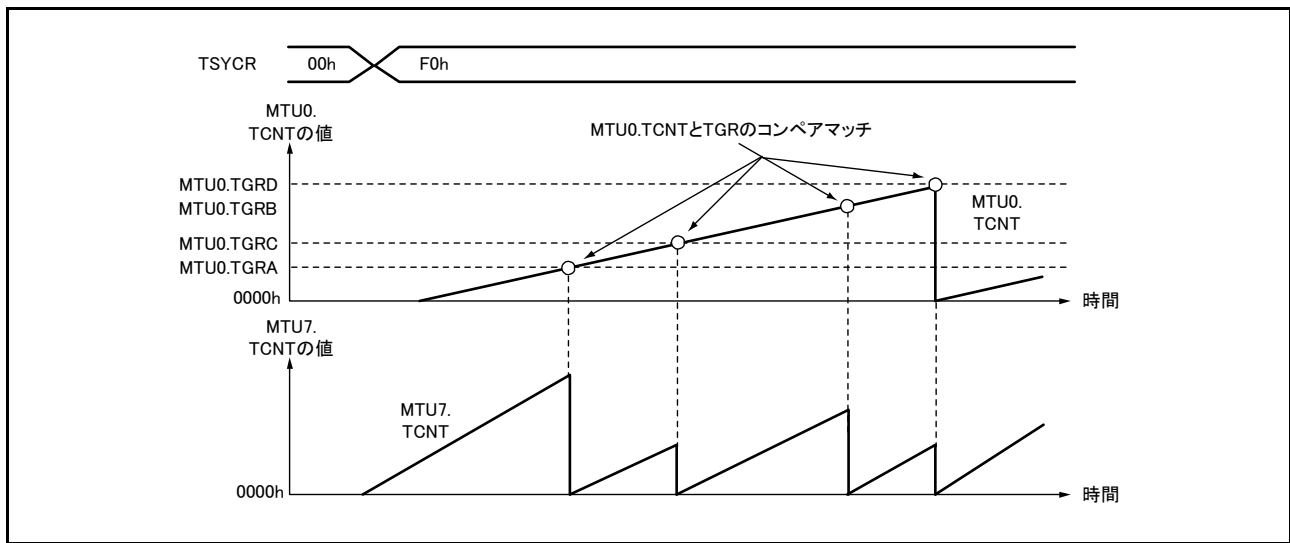


図 16.94 フラグセット要因を利用した MTU6、7 カウンタクリアの動作例 (2)

16.3.11 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

(1) 外部パルス幅測定の設定手順例

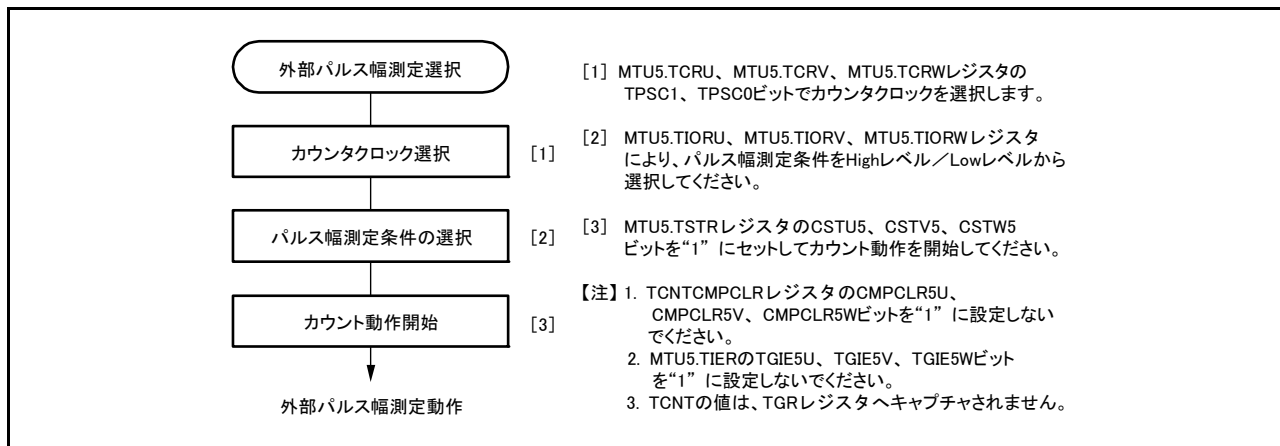


図 16.95 外部パルス幅測定の設定手順例

(2) 外部パルス幅測定動作例

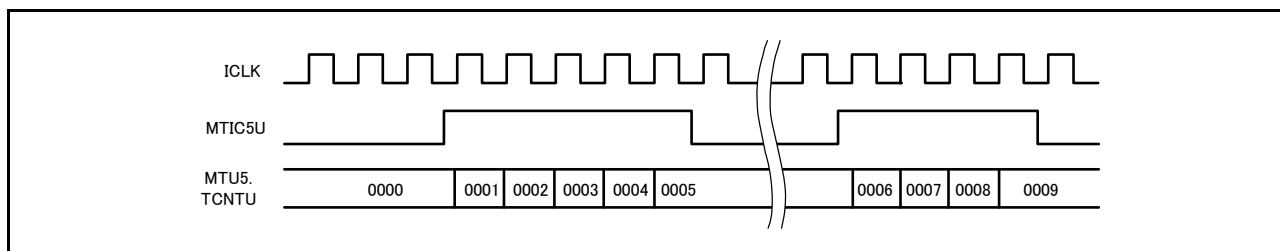


図 16.96 外部パルス幅測定動作例 (High パルス幅測定)

16.3.12 デッドタイム補償機能

出力波形の遅れを測定してデューティ比に反映することで、外部パルス幅測定機能を相補 PWM 動作時の PWM 出力波形に対するデッドタイム補償機能として使用することができます。

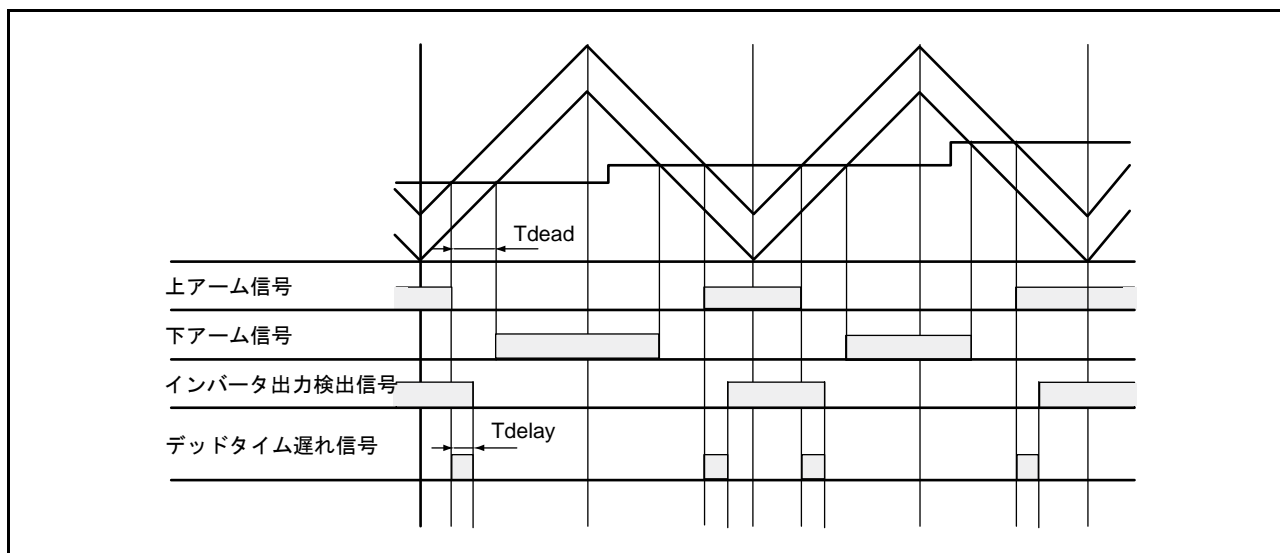


図 16.97 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償機能の設定手順例

MTU5 の 3 本のカウンタを使用したデッドタイム補償機能の設定手順例を図 16.98 に示します。

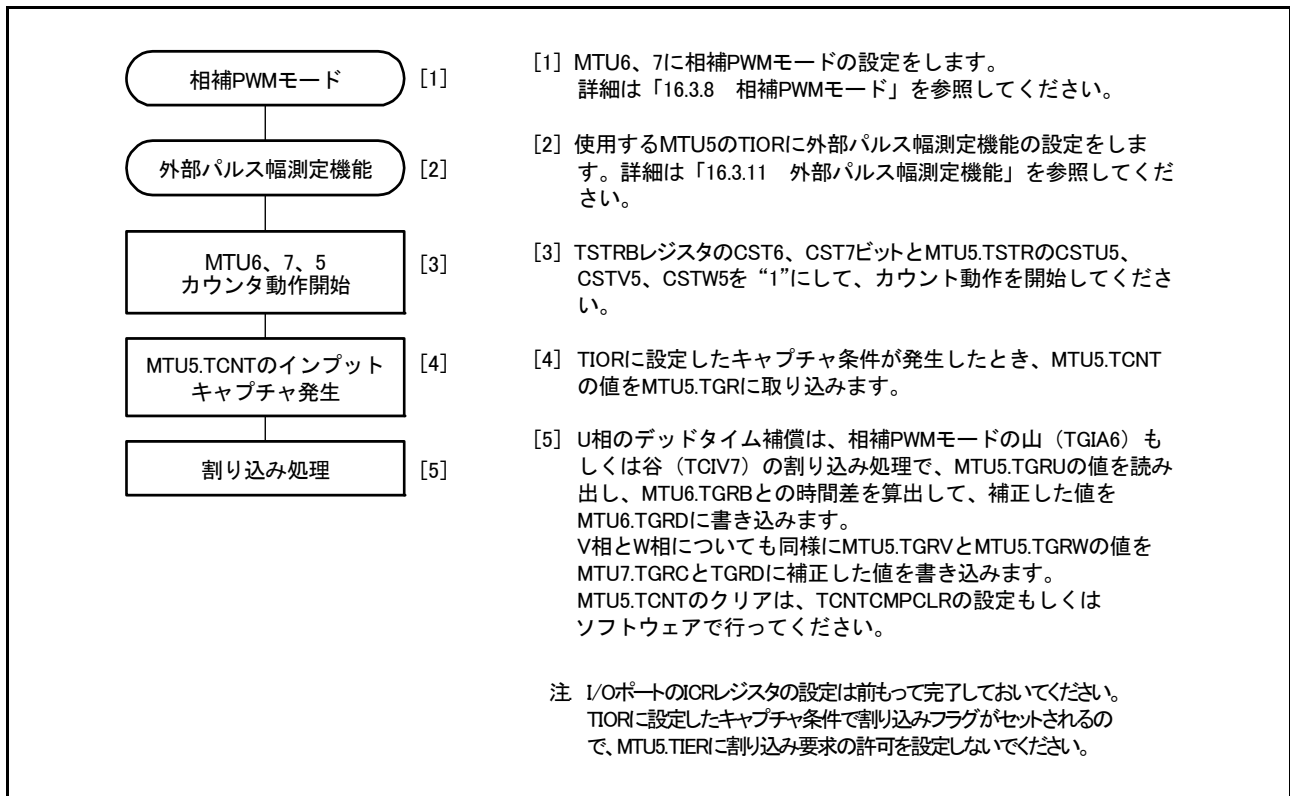


図 16.98 デッドタイム補償機能の設定手順例

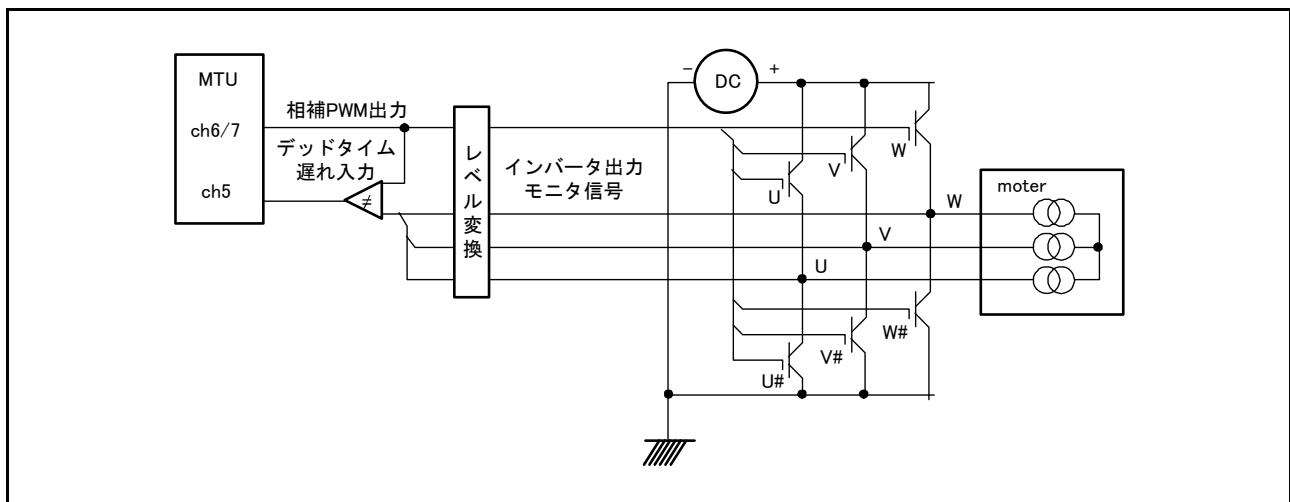


図 16.99 モータ制御回路構成例

16.3.13 相補PWMの「山／谷」でのTCNTキャプチャ動作

相補PWM動作時、TCNTの値を「山、谷、山谷」でTGRへ保存します。TGRに取り込むタイミングの切り替えは、TIORで選択します。

図16.100はTCNTがフリーランでクリアせずに使用し、設定した「山、谷」でTGRにキャプチャを行った動作例です。

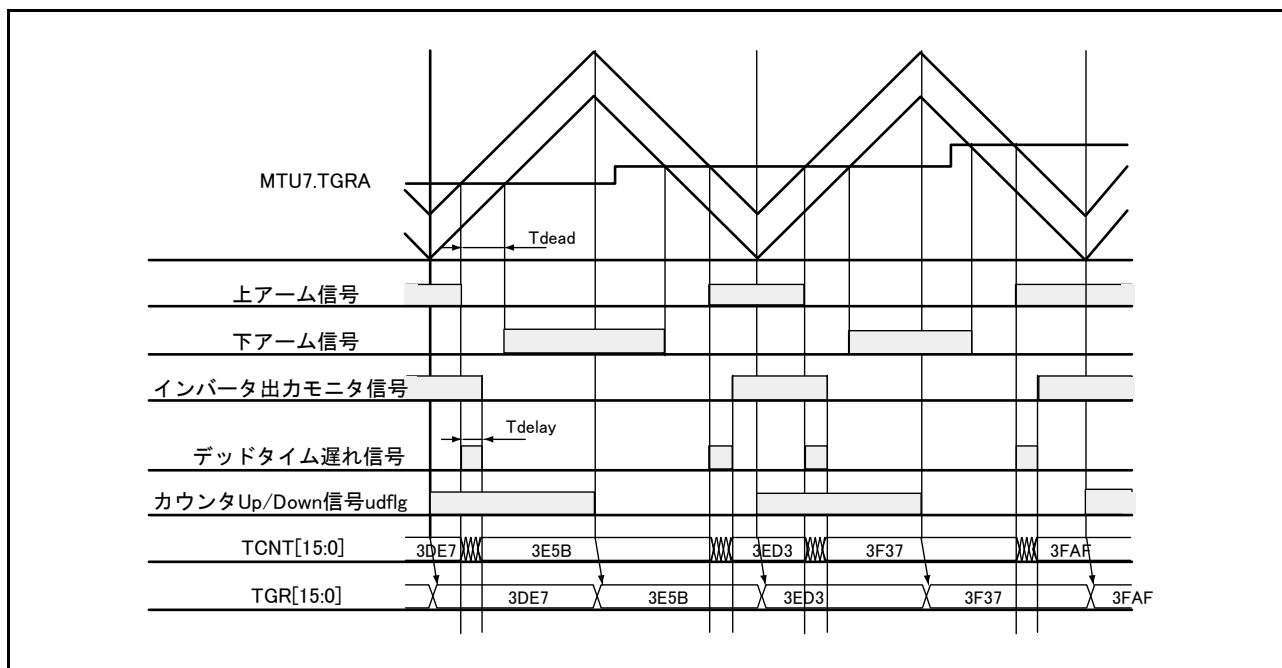


図 16.100 相補PWMの「山／谷」でのTCNTキャプチャ動作

16.4 割り込み要因

16.4.1 割り込み要因と優先順位

MTUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRレジスタの対応するステータスフラグが“1”になります。このときTIERレジスタの対応する許可/禁止ビットが“1”ならば、割り込みを要求します。ただし、当該ステータスフラグが“1”の状態での、割り込み要求は無視されますので、再度割り込みを可能にするには、当該ステータスフラグを“0”にしてください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「11. 割り込みコントローラ (ICU)」を参照してください。表 16.73 に MTU の割り込み要因の一覧を示します。

表 16.73 MTU割り込み要因

チャンネル	名称	割り込み要因	DTCの起動	優先順位		
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	高 ↑		
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能			
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能			
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能			
	TCIV0	MTU0.TCNTのオーバフロー	不可能			
	TGIE0	MTU0.TGREのコンペアマッチ	不可能			
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能			
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	↑		
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能			
	TCIV1	MTU1.TCNTのオーバフロー	不可能			
	TCIU1	MTU1.TCNTのアンダフロー	不可能			
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能		↑	
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能			
	TCIV2	MTU2.TCNTのオーバフロー	不可能			
	TCIU2	MTU2.TCNTのアンダフロー	不可能			
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能			↑
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	可能			
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	可能			
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	可能			
	TCIV3	MTU3.TCNTのオーバフロー	不可能			
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	↑		
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	可能			
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	可能			
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	可能			
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー (相補PWMモード時のみ)	可能			
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能		↑	
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能			
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能			
MTU6	TGIA6	MTU6.TGRAのインプットキャプチャ/コンペアマッチ	可能			↑
	TGIB6	MTU6.TGRBのインプットキャプチャ/コンペアマッチ	可能			
	TGIC6	MTU6.TGRCのインプットキャプチャ/コンペアマッチ	可能			
	TGID6	MTU6.TGRDのインプットキャプチャ/コンペアマッチ	可能			
	TCIV6	MTU6.TCNTのオーバフロー	不可能			
MTU7	TGIA7	MTU7.TGRAのインプットキャプチャ/コンペアマッチ	可能	↑		
	TGIB7	MTU7.TGRBのインプットキャプチャ/コンペアマッチ	可能			
	TGIC7	MTU7.TGRCのインプットキャプチャ/コンペアマッチ	可能			
	TGID7	MTU7.TGRDのインプットキャプチャ/コンペアマッチ	可能			
	TCIV7	MTU7.TCNTのオーバフロー/アンダフロー (相補PWMモード時のみ)	可能			
					低	

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチの発生により、TSR.TGFフラグが“1”のとき、TIER.TGIEビットが“1”であれば、割り込みを要求します。TGFフラグを“0”にすることで割り込み要求は解除されます。MTUには、MTU0に6本、MTU3、4、6、7に各4本、MTU1、2に各2本、MTU5に各3本、計29本のインพุットキャプチャ/コンペアマッチ割り込みがあります。MTU0のMTU0.TGFE、MTU0.TGFFフラグは、インพุットキャプチャでは“1”になりません。

(2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSR.TCFVフラグが“1”のとき、TIER.TCIEVビットが“1”であれば、割り込みを要求します。TCFVフラグを“0”することで割り込み要求は解除されます。MTUには、各チャンネルに1本、計7本のオーバフロー割り込みがあります。

なお、相補PWMモードで動作時は、MTU4.TCNT、MTU7.TCNTのアンダフロー発生時もTCFVフラグが“1”になります。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSR.TCFUフラグが“1”のとき、TIER.TCIEUビットが“1”であれば、割り込みを要求します。TCFUフラグを“0”にすることで割り込み要求は解除されます。MTUには、MTU1、2に各1本、計2本のアンダフロー割り込みがあります。

16.4.2 DTCの起動

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチ割り込み、MTU4、7のオーバフロー割り込みによって、DTCを起動することができます。詳細は「14. データトランスファコントローラ (DTC)」を参照してください。

MTUでは、MTU0、3、6が各4本、MTU1、2が各2本、MTU4、7が5本、MTU5が3本、計29本のインพุットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みをDTCの起動要因とすることができます。

ただし、割り込み処理同様に、当該ステータスフラグが“1”の状態での、DTC要求は無視されますので、再度DTC起動を可能にするには、当該ステータスフラグを“0”にしてください。

16.4.3 A/D コンバータの起動

MTUでは、次の3種類の方法でA/Dコンバータを起動することができます。
各割り込み要因とA/D変換開始要求の対応を、表16.74に示します。

(1) TGRAのインプットキャプチャ/コンペアマッチと、相補PWMモード時のMTU4.TCNT (MTU7.TCNT)の谷でのA/D起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。また、MTU4.TIER (MTU7.TIER)のTTGE2ビットを“1”にした状態で、相補PWM動作をさせた場合は、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になったときもA/Dコンバータを起動することができます。

次に示す条件で、A/Dコンバータに対してA/D変換開始要求TRGAnN (n: MTU0 ~ 4, 6, 7)を発生します。

- 各チャンネルのTGRAのインプットキャプチャ/コンペアマッチの発生により、TSR.TGFAフラグが“1”になったとき、TIER.TTGEビットが“1”になっていた場合
- MTU4.TIER (MTU7.TIER)のTTGE2ビットが“1”の状態で、相補PWM動作をさせ、MTU4.TCNT (MTU7.TCNT)が谷 (MTU4.TCNT (MTU7.TCNT) = 0000h) になった場合

これらのときA/Dコンバータ側でMTUの変換開始トリガTRGAnNが選択されていれば、A/D変換が開始されます。

(2) MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D起動

MTU0のMTU0.TCNTとMTU0.TGREのコンペアマッチによって、A/D変換開始要求TRG0Nを発生し、A/Dコンバータを起動することができます。

MTU0のMTU0.TCNTとMTU0.TGREのコンペアマッチの発生により、MTU0.TSR2のTGFEフラグが“1”になったとき、MTU0.TIER2のTTGE2ビットが“1”になっていれば、A/Dコンバータに対してA/D変換開始要求TRG0Nを発生します。このとき、A/Dコンバータ側でMTUの変換開始トリガTRG0Nが選択されていれば、A/D変換が開始されます。

(3) A/D変換開始要求ディレイド機能によるA/D起動

A/D変換開始要求コントロールレジスタ (MTU4.TADCR (MTU7.TADCR))のUT4AE、DT4AE、UT4BE、DT4BE (UT7AE、DT7AE、UT7BE、DT7BE)ビットを“1”にした場合、MTU4.TADCORA、MTU4.TADCORBとMTU4.TCNT (MTU7.TADCORA、MTU7.TADCORBとMTU7.TCNT)の一致によって、TRG4AN、TRG4BN (TRG7AN、TRG7BN)を発生し、A/Dコンバータを起動することができます。また、TRG4AN (TRG7AN)の発生またはTRG4BN (TRG7BN)の発生にてTRG4ABN (TRG7ABN)を出力し、A/Dコンバータを起動することができます。詳細は「16.3.9 A/D変換開始要求ディレイド機能」を参照してください。

TRG4AN (TRG7AN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4AN (TRG7AN)が選択されているとき、TRG4BN (TRG7BN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4BN (TRG7BN)が選択されているとき、TRG4ABN (TRG7ABN)が発生しA/Dコンバータ側でMTUの変換開始トリガTRG4ABN (TRG7ABN)が選択されているとき、おのおのA/D変換が開始されます。

表 16.74 各割り込み要因とA/D変換開始要求の対応

対象	割り込み要因	A/D変換開始要求
MTU0.TGRAとMTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGA0N
MTU1.TGRAとMTU1.TCNT		TRGA1N
MTU2.TGRAとMTU2.TCNT		TRGA2N
MTU3.TGRAとMTU3.TCNT		TRGA3N
MTU4.TGRAとMTU4.TCNT (注1)		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU6.TGRAとMTU6.TCNT	インプットキャプチャ/コンペアマッチ	TRGA6N
MTU7.TGRAとMTU7.TCNT (注1)		TRGA7N
MTU7.TCNT	相補PWMモード時のMTU7.TCNTの谷	
MTU0.TGREとMTU0.TCNT	コンペアマッチ	TRG0N
MTU4.TADCORAとMTU4.TCNT	コンペアマッチ	TRG4AN
MTU4.TADCORBとMTU4.TCNT		TRG4BN
MTU7.TADCORAとMTU7.TCNT		TRG7AN
MTU7.TADCORBとMTU7.TCNT		TRG7BN
MTU4.TADCORAとMTU4.TCNT、 MTU4.TADCORBとMTU4.TCNT	コンペアマッチ (割り込み間引き機能2)	TRG4ABN
MTU7.TADCORAとMTU7.TCNT、 MTU7.TADCORBとMTU7.TCNT		TRG7ABN

注1. 相補PWMモード時はPWM波形を生成するため、MTU4.TGRA (MTU7.TGRA) はMTU4.TCNT (MTU7.TCNT) だけではなく、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチの検出を行っています。そのため、MTU3.TCNT (MTU6.TCNT) やTCNTSA (TCNTSB) とコンペアマッチが起こった際もTRGA4N (TRGA7N) を発生しません。

MTU3、4 (MTU6、7) を相補PWMモードで動作させて、A/D変換開始要求を発生させる場合はMTU4.TCNT (MTU7.TCNT) とMTU4.TADCORA/B (MTU7.TADCORA/B) とのコンペアマッチによるA/D変換開始要求を使用してください。

16.5 動作タイミング

16.5.1 入出力タイミング

(1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図16.101、図16.102に示します。また、外部クロック動作（ノーマルモード）の場合のTCNTのカウンタタイミングを図16.103に、外部クロック動作（位相計数モード）の場合のTCNTのカウンタタイミングを図16.104に示します。

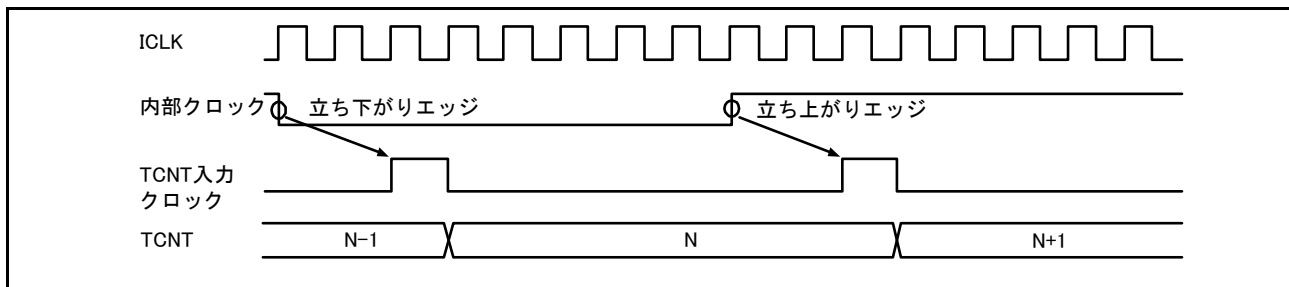


図 16.101 内部クロック動作時のカウンタタイミング (MTU0 ~ 4、6、7)

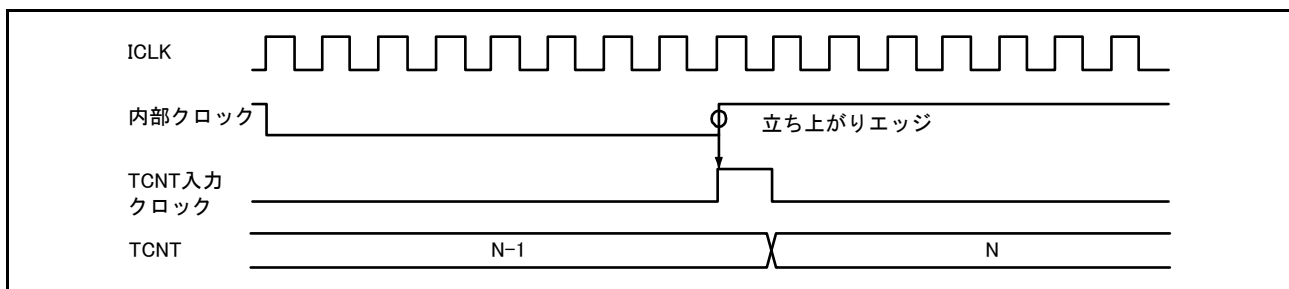


図 16.102 内部クロック動作時のカウンタタイミング (MTU5)

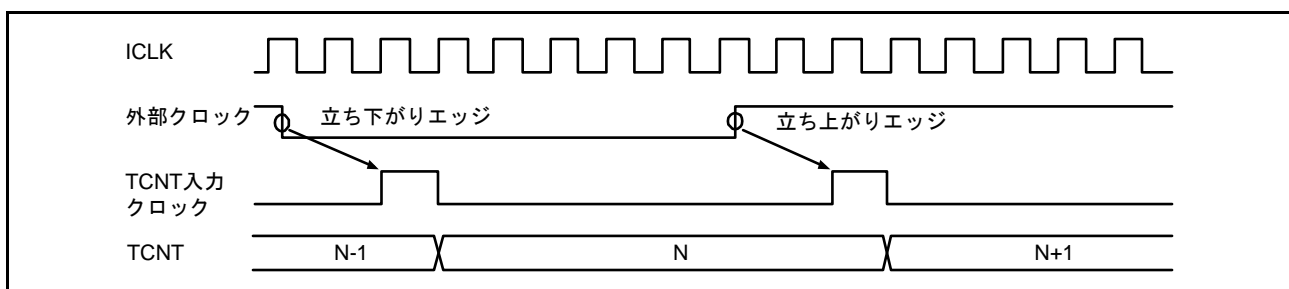


図 16.103 外部クロック動作時のカウンタタイミング (MTU0 ~ 4)

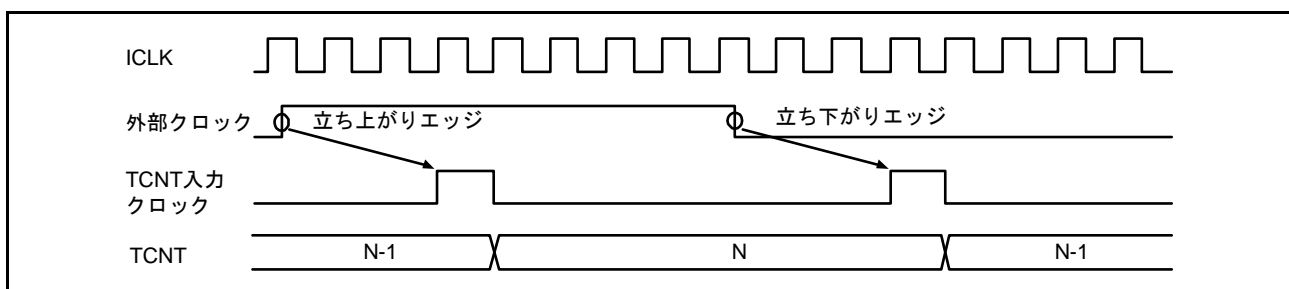


図 16.104 外部クロック動作時のカウンタタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOCRレジスタで設定した出力値がアウトプットコンペア出力端子（MTIOC端子）に出力されます。TCNTとTGRが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWMモード）を図16.105に、アウトプットコンペア出力タイミング（相補PWMモード、リセット同期PWMモード）を図16.106に示します。

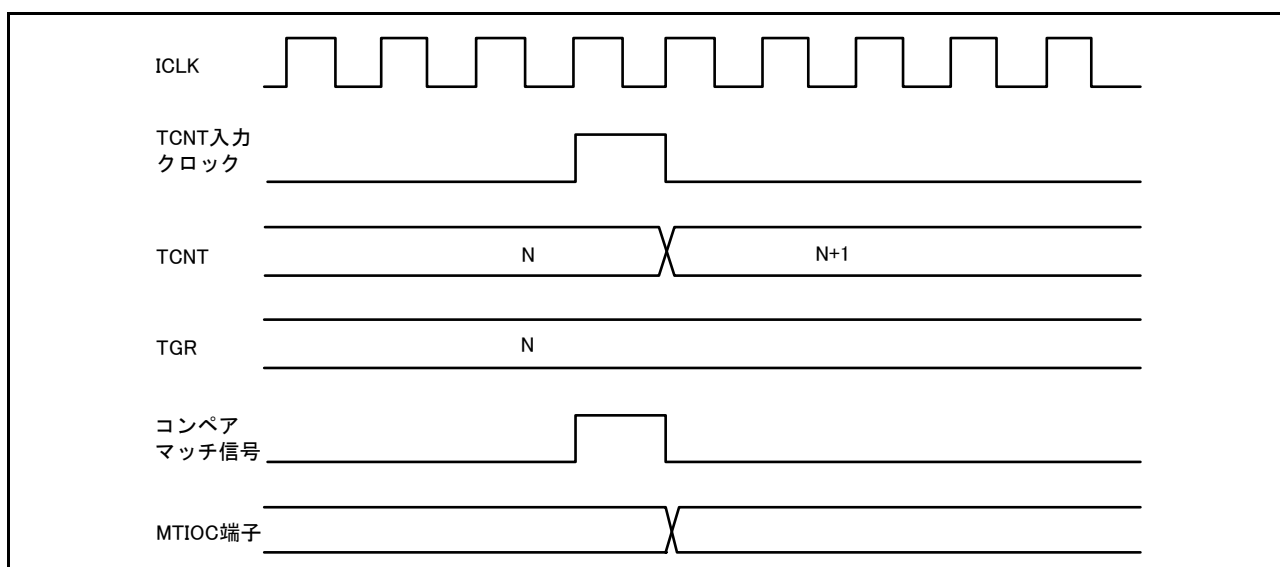


図 16.105 アウトプットコンペア出力タイミング（ノーマルモード、PWMモード）

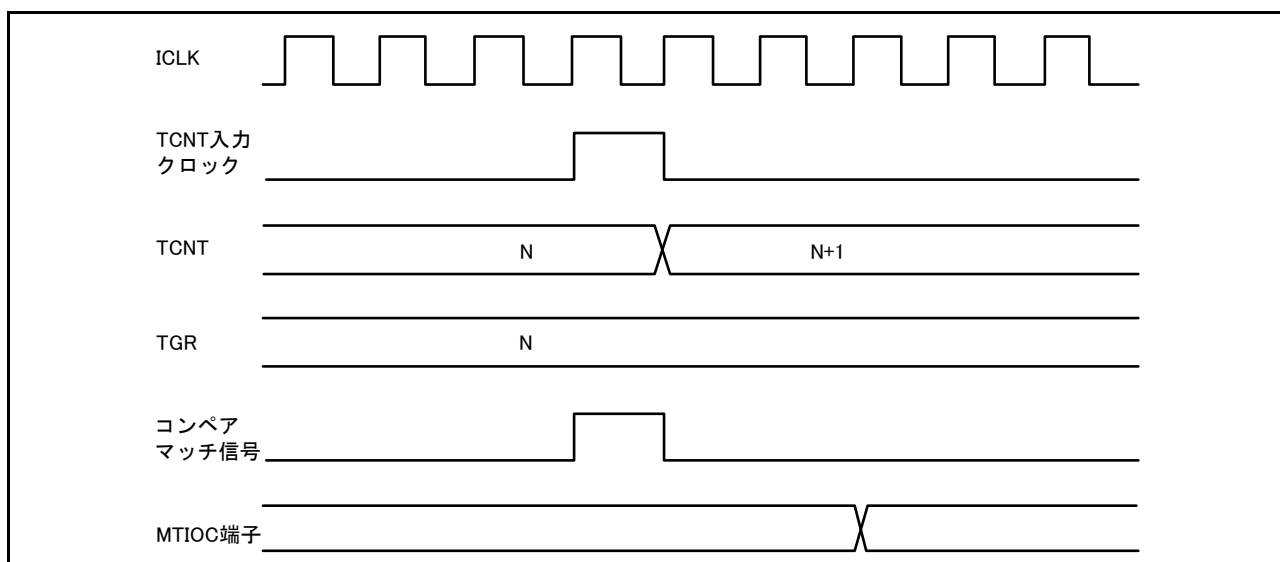


図 16.106 アウトプットコンペア出力タイミング（相補PWMモード、リセット同期PWMモード）

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 16.107 に示します。

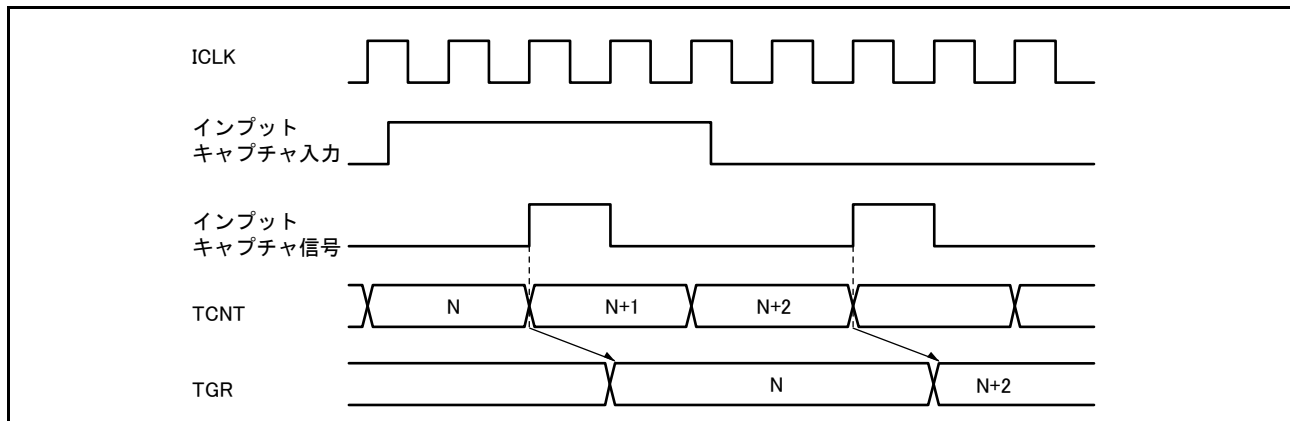


図 16.107 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 16.108、図 16.109 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 16.110 に示します。

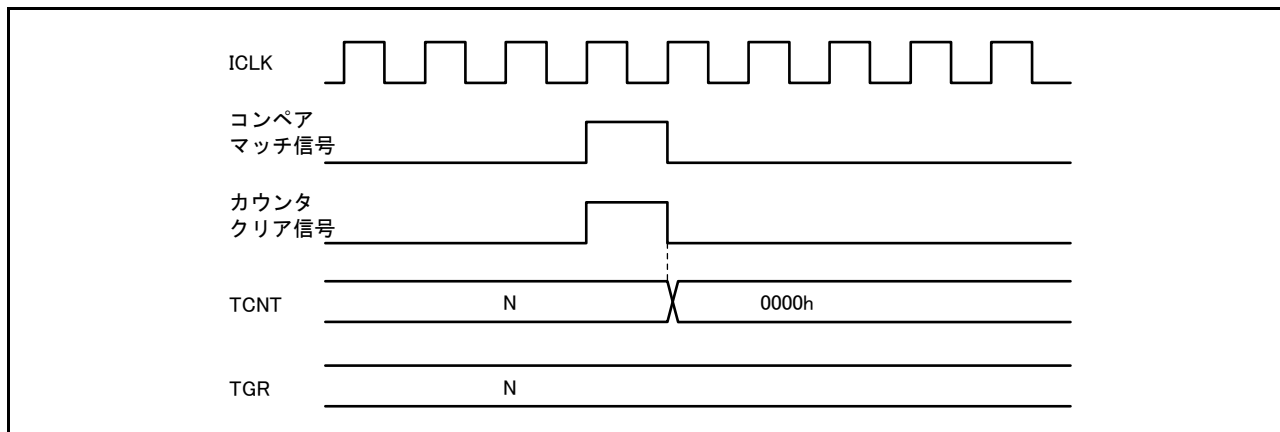


図 16.108 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ 4、6、7)

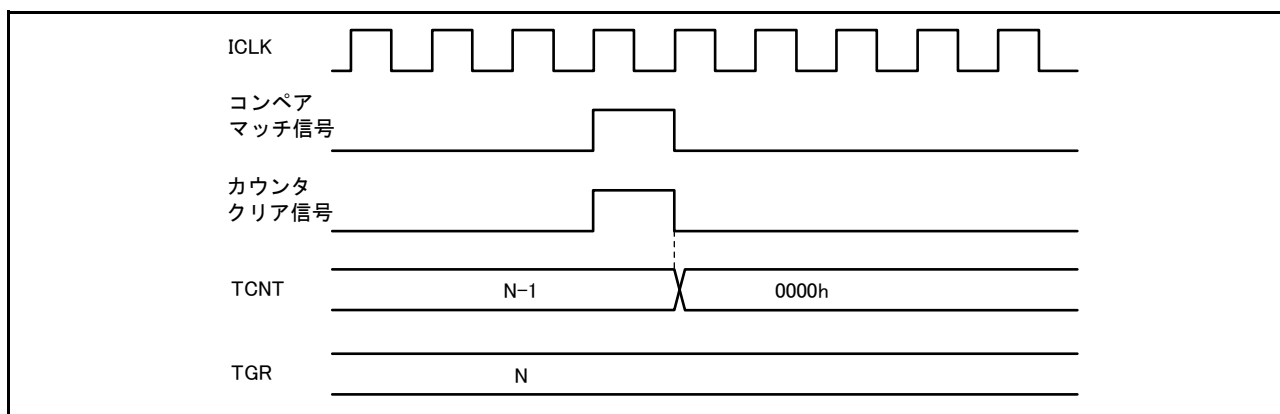


図 16.109 カウンタクリアタイミング (コンペアマッチ) (MTU5)

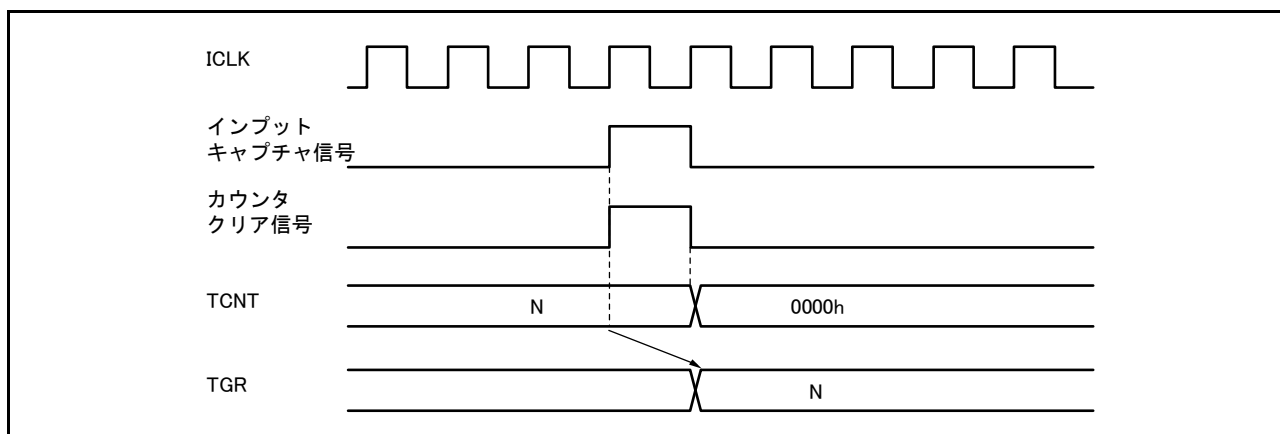


図 16.110 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ 7)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 16.111 ~ 図 16.113 に示します。

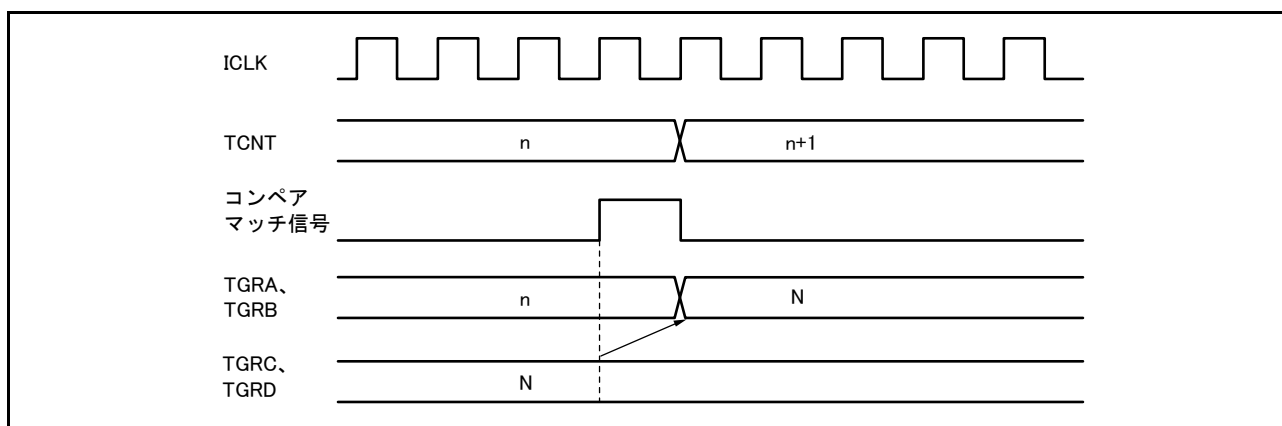


図 16.111 バッファ動作タイミング (コンペアマッチ)

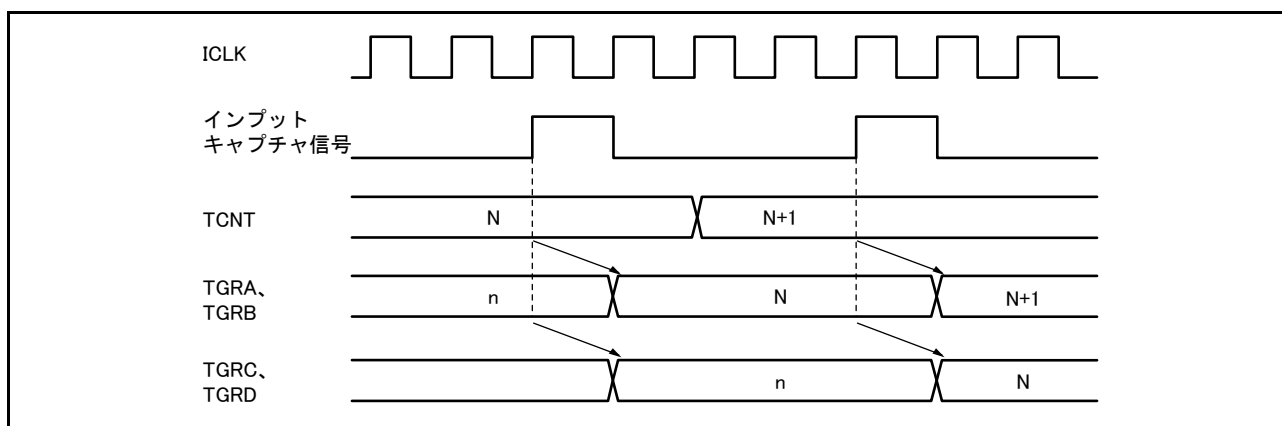


図 16.112 バッファ動作タイミング (インプットキャプチャ)

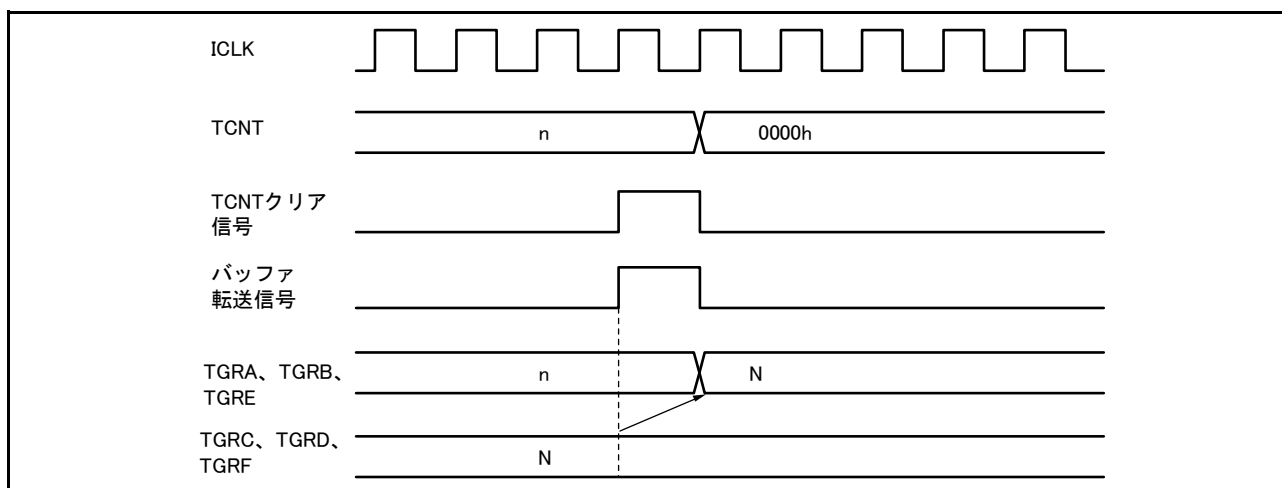


図 16.113 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 16.114 ~ 図 16.116 に示します。

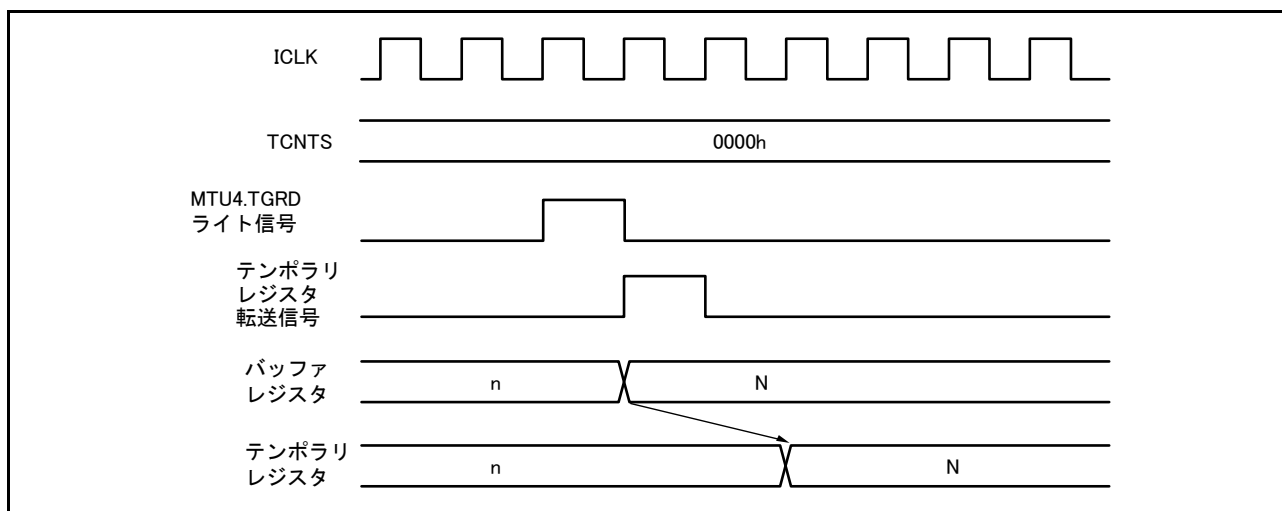


図 16.114 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 停止中)

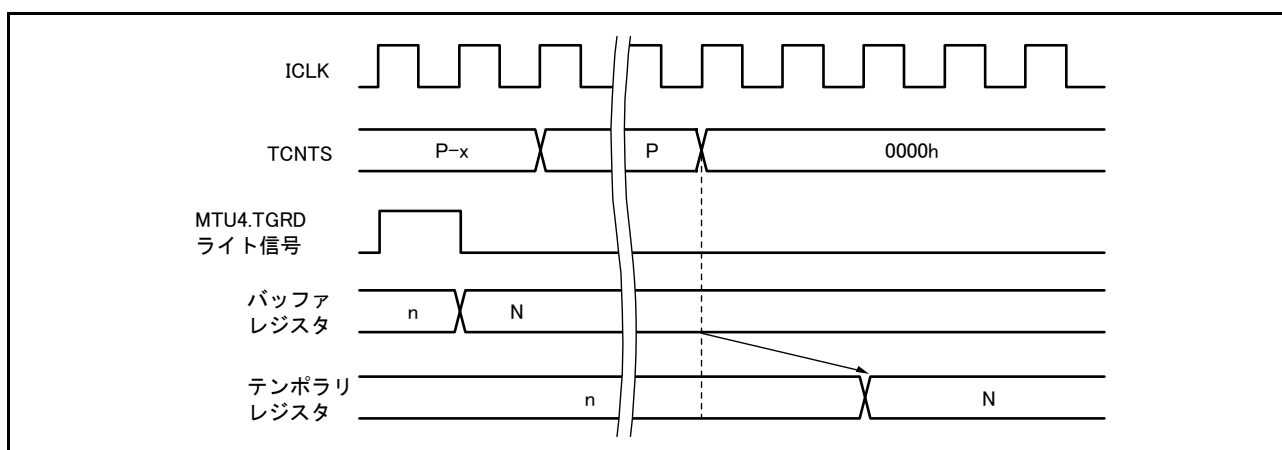


図 16.115 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 動作中)

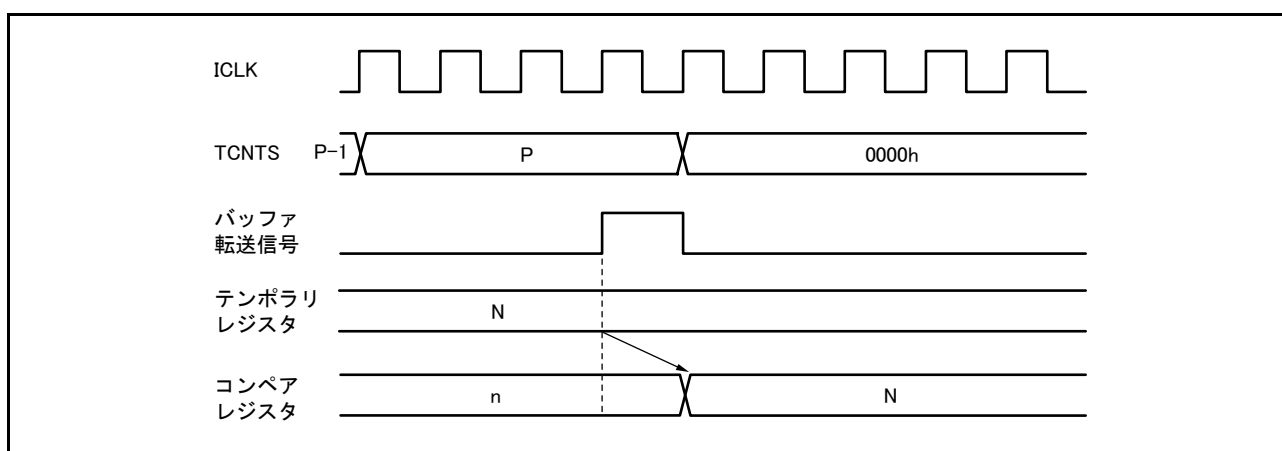


図 16.116 テンポラリレジスタからコンペアレジスタへの転送タイミング

16.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR レジスタの TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングをを図 16.117、図 16.118 に示します。

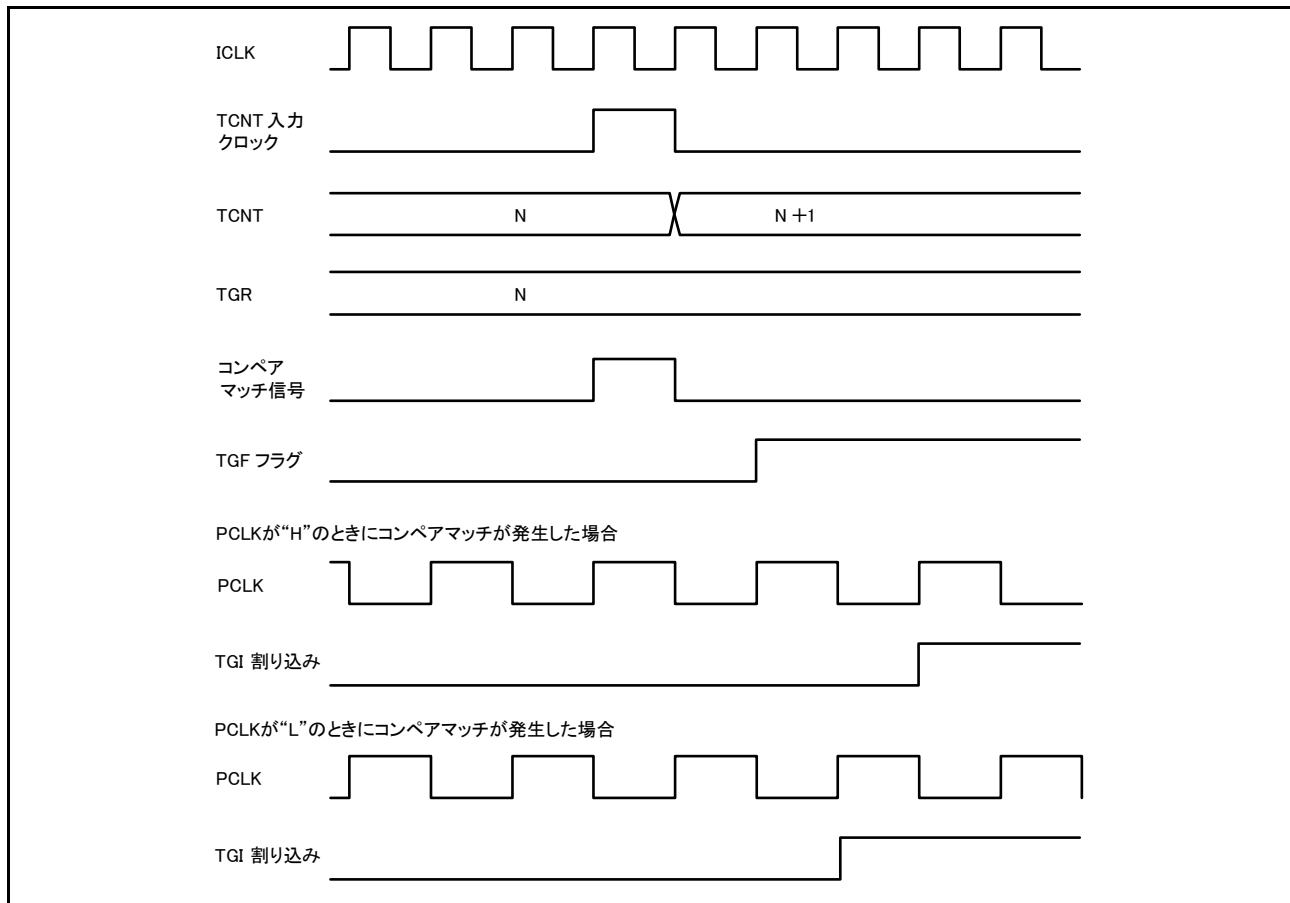


図 16.117 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ 4、6、7)

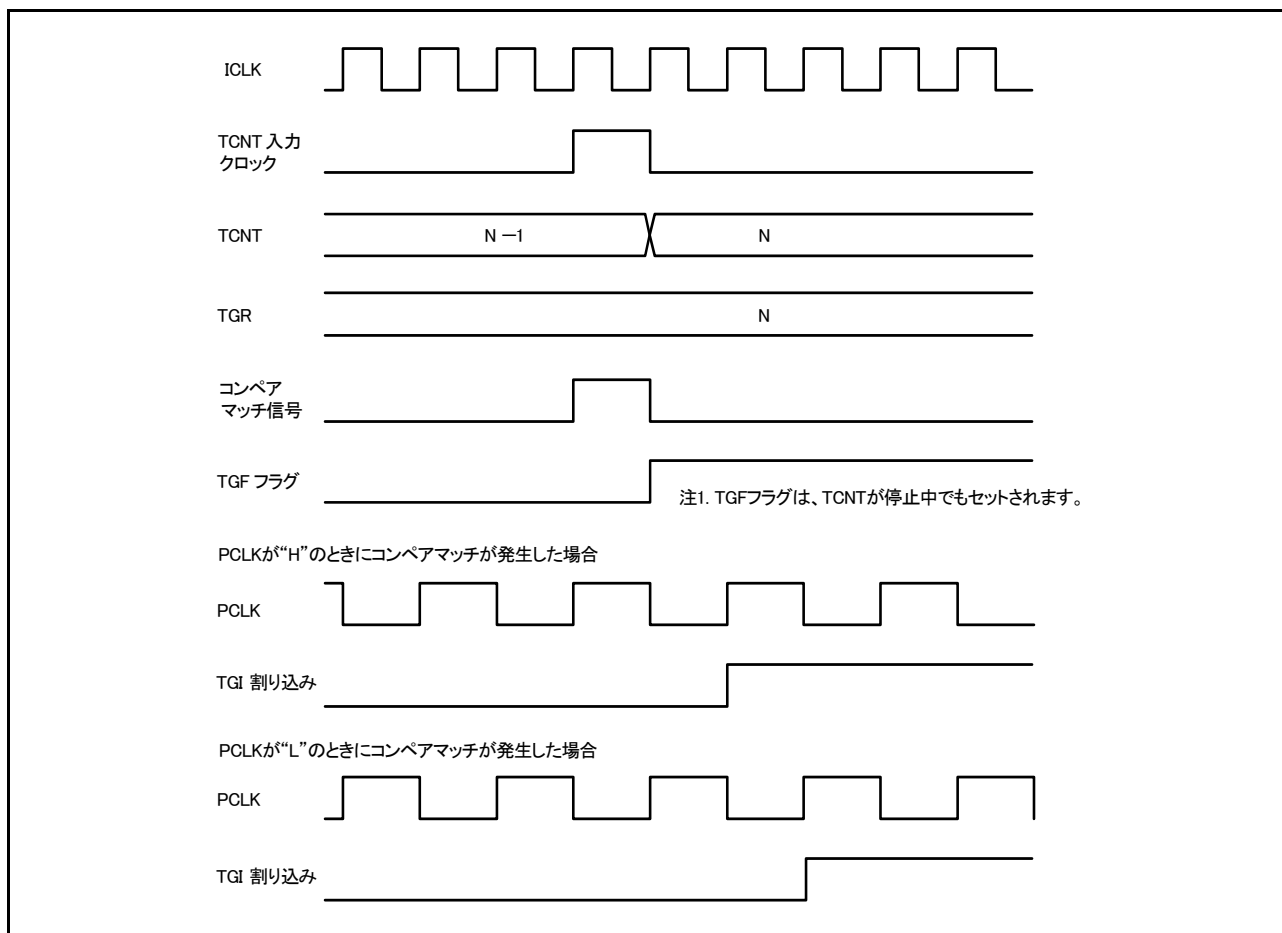


図 16.118 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR レジスタの TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 16.119、図 16.120 に示します。

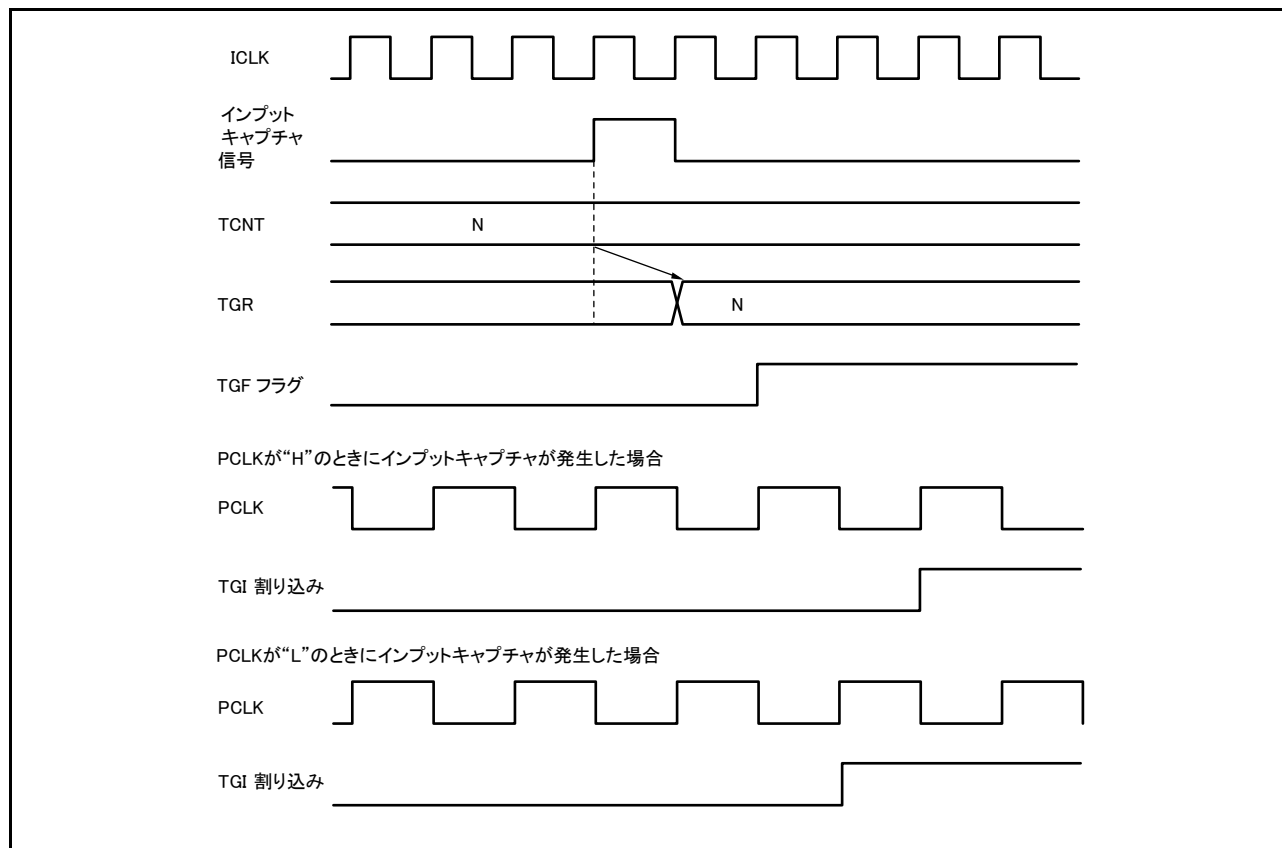


図 16.119 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ 4、6、7)

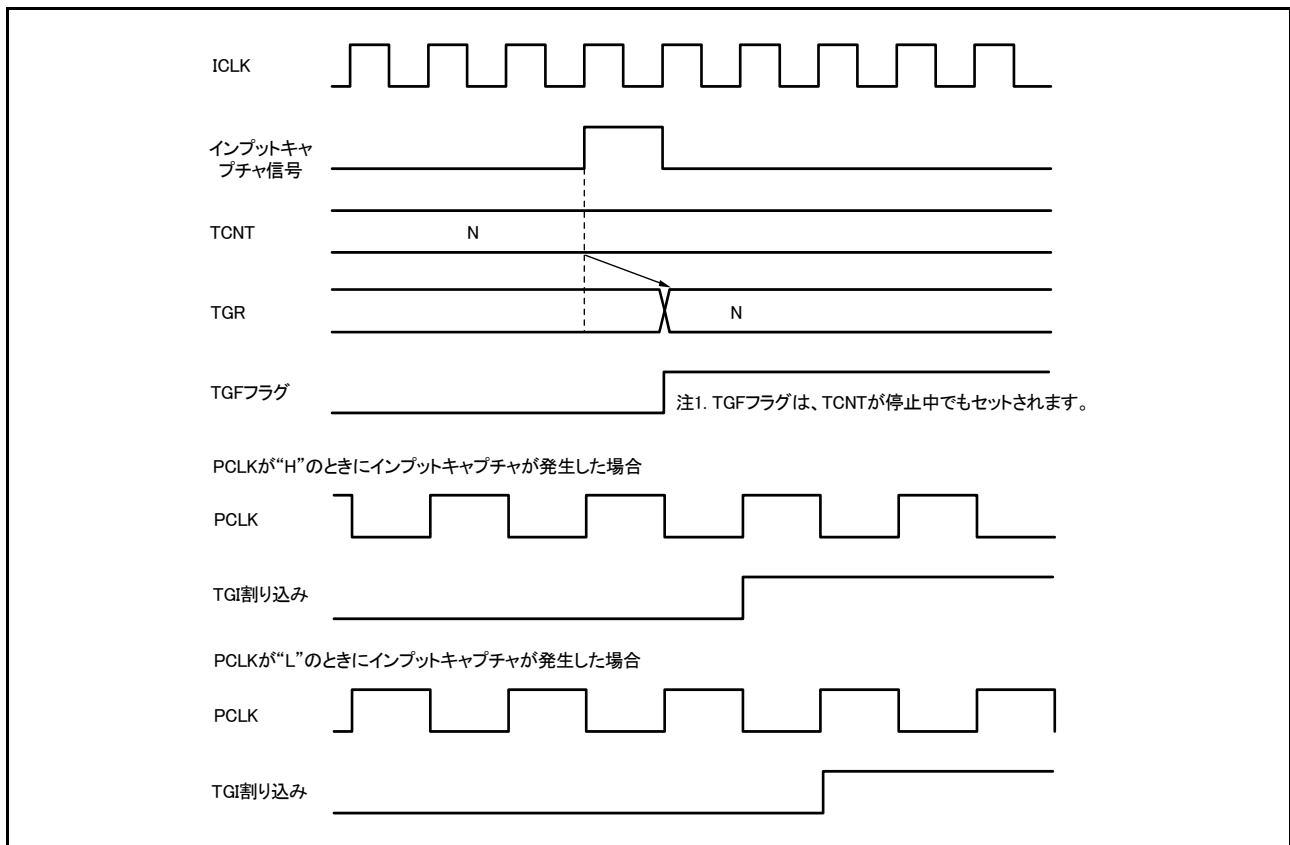


図 16.120 TGI 割り込みタイミング (インプットキャプチャ) (MTU5)

(3) TCFV / TCFU フラグのセットタイミング

オーバーフローの発生による TSR レジスタの TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 16.121 に示します。

アンダフローの発生による TSR レジスタの TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 16.122 に示します。

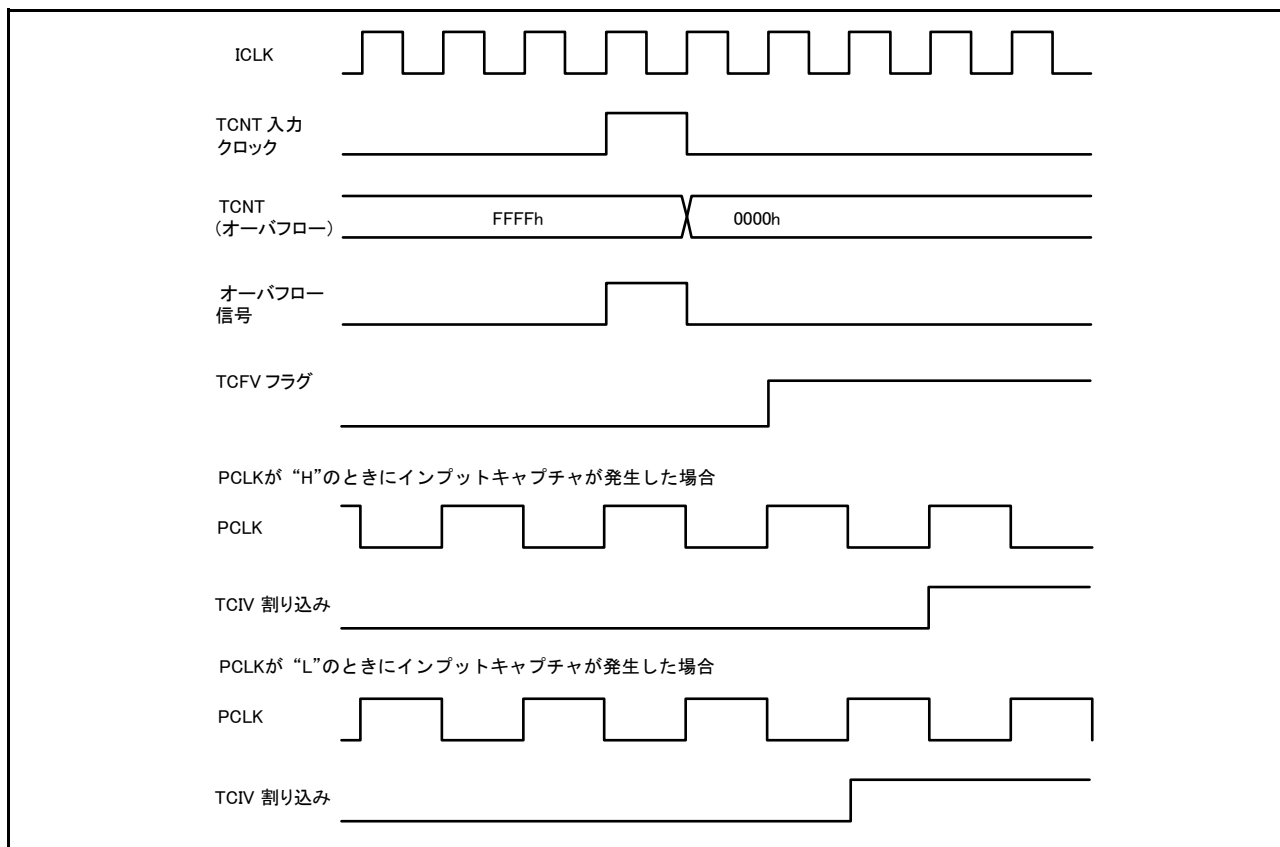


図 16.121 TCIV 割り込みのセットタイミング

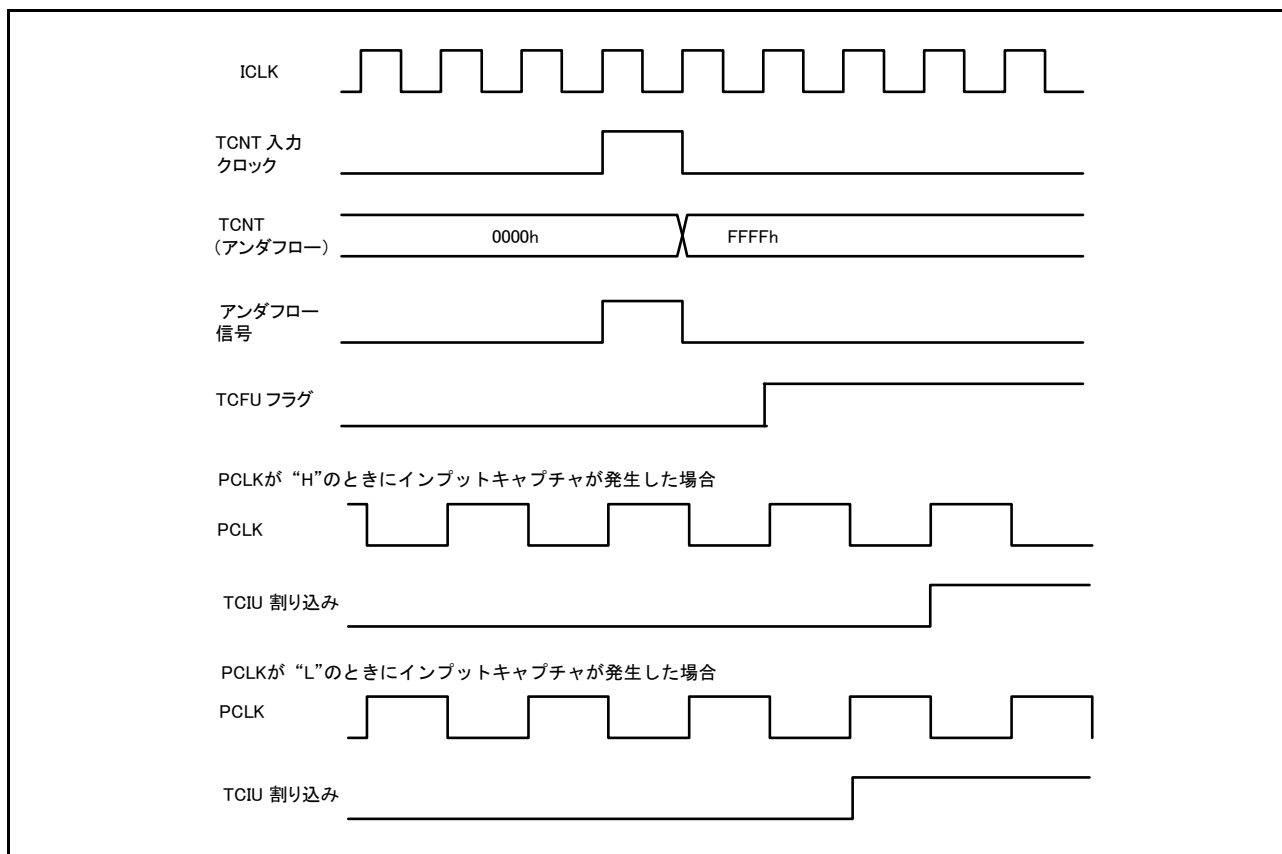


図 16.122 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が “1” の状態を読んだ後、“0” を書くと “0” になります。CPU によるステータスフラグのクリアタイミングを図 16.123 に示します。

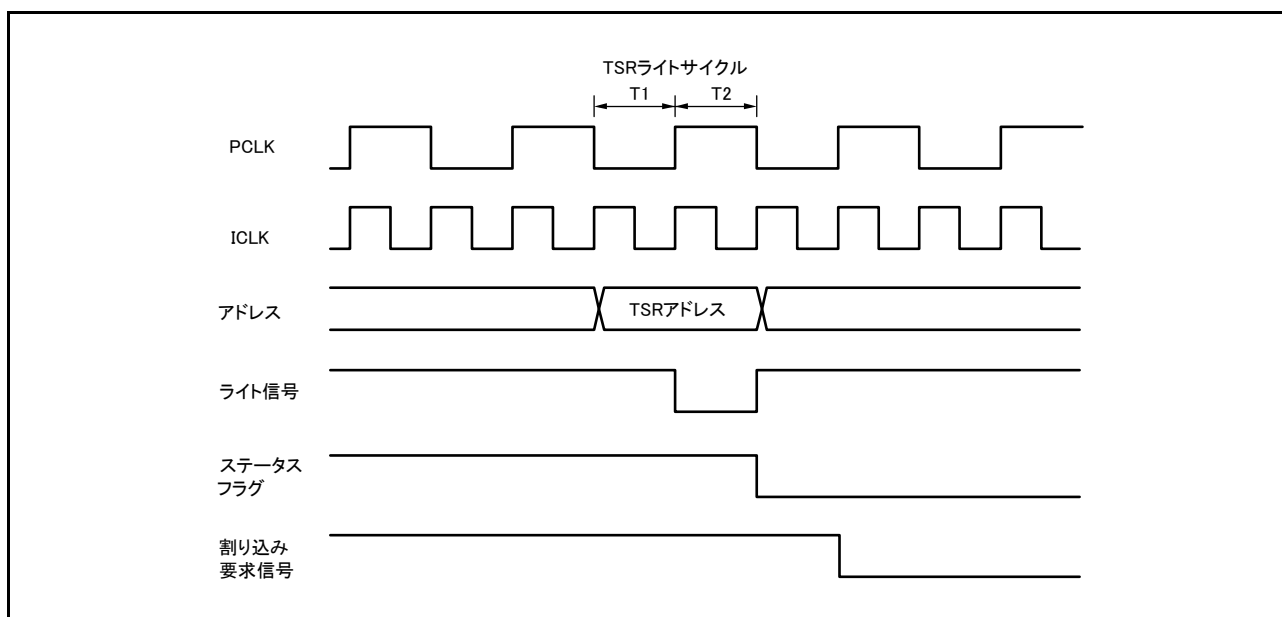


図 16.123 CPU によるステータスフラグのクリアタイミング (MTU0 ~ 7)

16.6 使用上の注意事項

16.6.1 モジュールストップ機能の設定

MTUは、モジュールストップコントロールレジスタにより、MTUの動作禁止/許可を設定することが可能です。初期値では、MTUの動作は停止します。モジュールクロックストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「9. 消費電力低減機能」を参照してください。

16.6.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は3ステートクロック以上、両エッジの場合は5ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ3ステート以上、パルス幅は5ステート以上必要です。位相計数モードの入力クロックの条件を図16.124に示します。

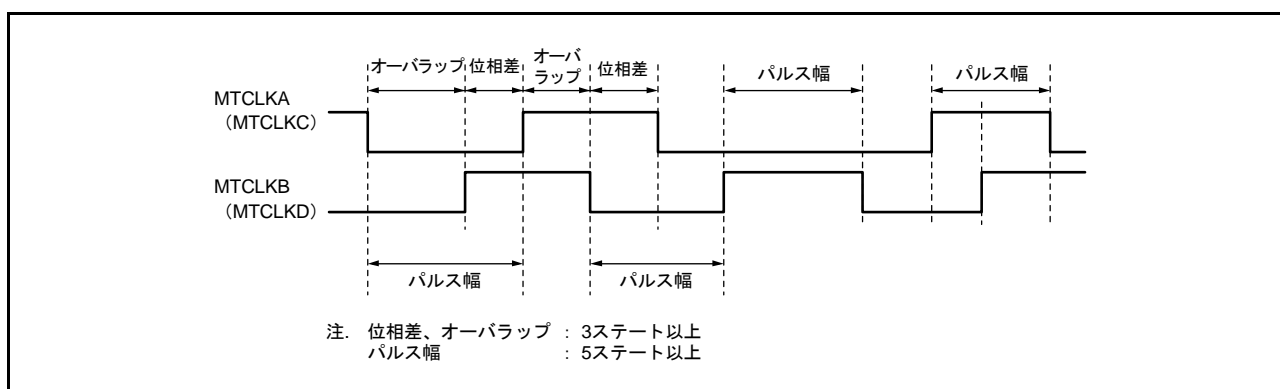


図 16.124 位相計数モード時の位相差、オーバーラップ、およびパルス幅

16.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステート (TCNTが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

- MTU0 ~ 4、6、7の場合

$$f = \frac{ICLK}{(N+1)}$$

- MTU5の場合

$$f = \frac{ICLK}{N}$$

f : カウンタ周波数

ICLK : MTUクロック動作周波数

N : TGRの設定値

16.6.4 TCNT への書き込みとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 16.125 に示します。

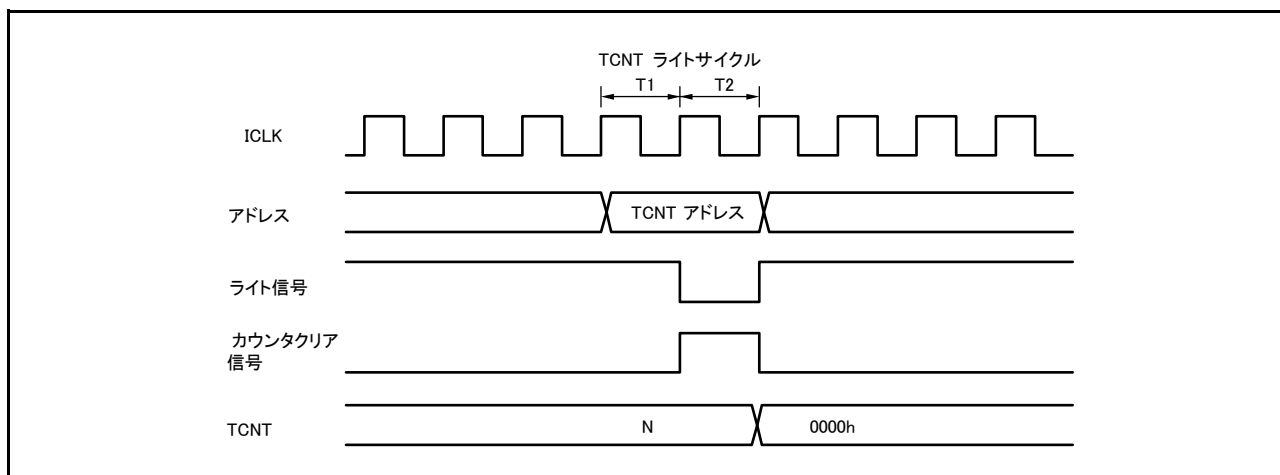


図 16.125 TCNT への書き込みとクリアの競合

16.6.5 TCNT への書き込みとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 16.126 に示します。

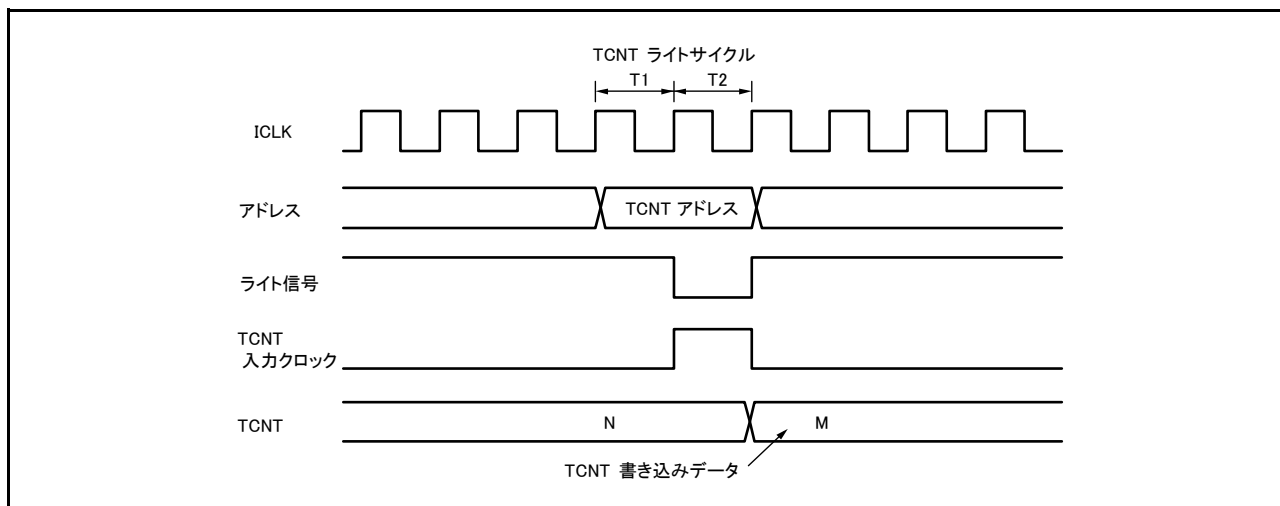


図 16.126 TCNT への書き込みとカウントアップの競合

16.6.6 TGR への書き込みとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR への書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 16.127 に示します。

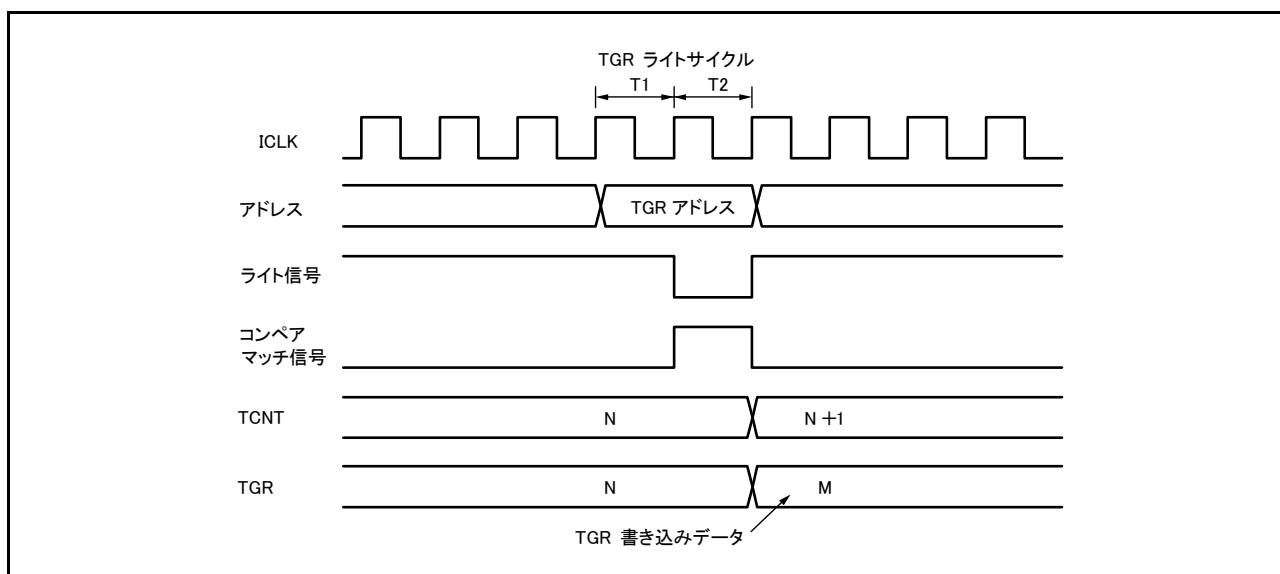


図 16.127 TGR のライトとコンペアマッチの競合

16.6.7 バッファレジスタへの書き込みとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 16.128 に示します。

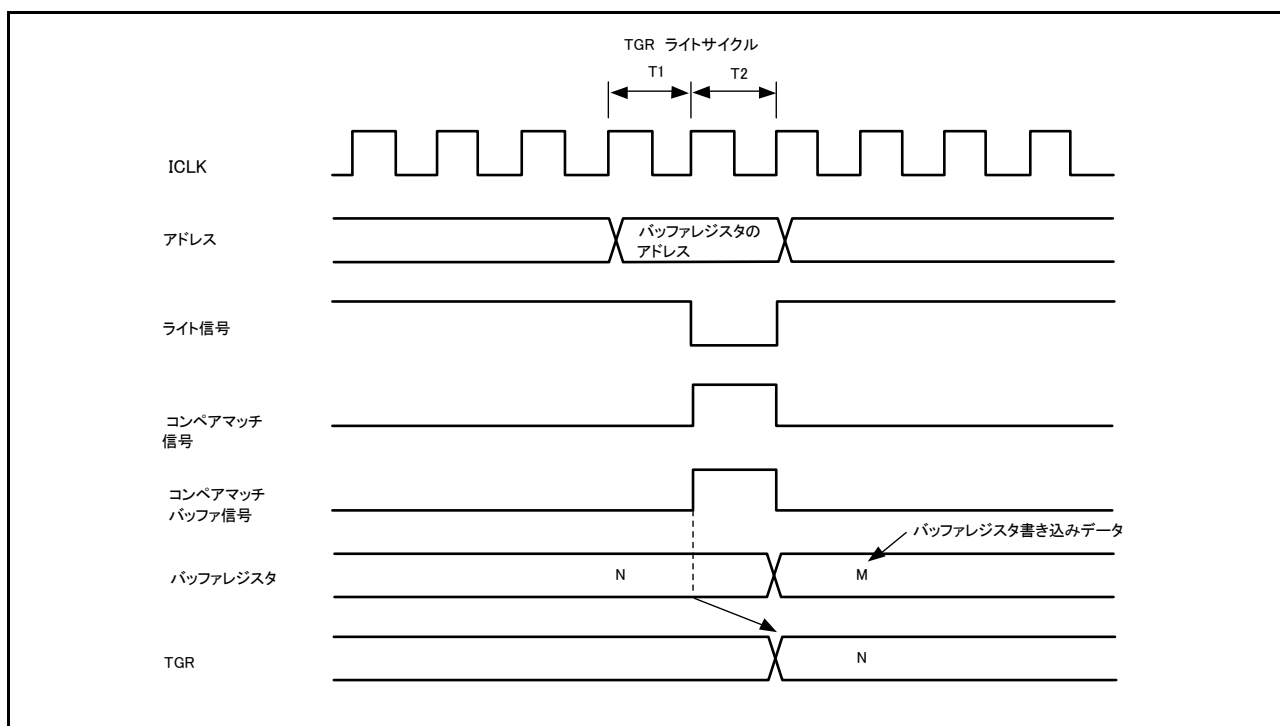


図 16.128 バッファレジスタへの書き込みとコンペアマッチの競合

16.6.8 バッファレジスタへの書き込みと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 16.129 に示します。

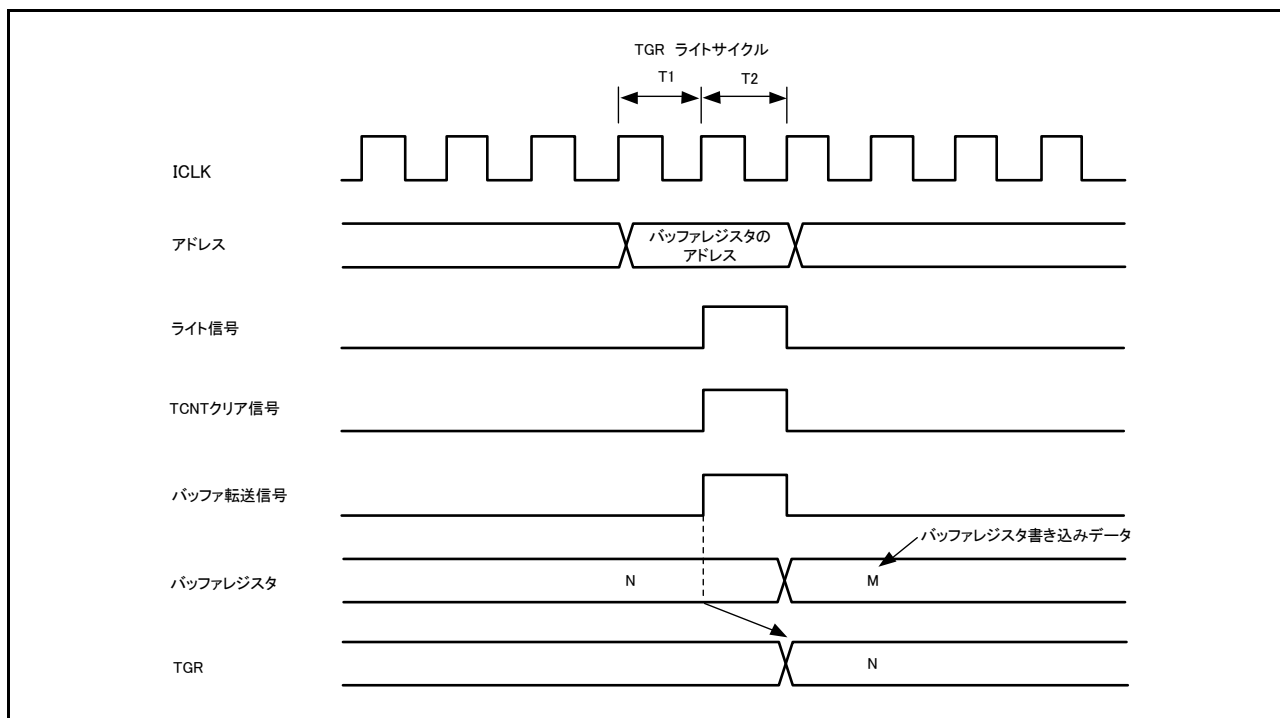


図 16.129 バッファレジスタへの書き込みと TCNT クリアの競合

16.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタのリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 16.130 に示します。

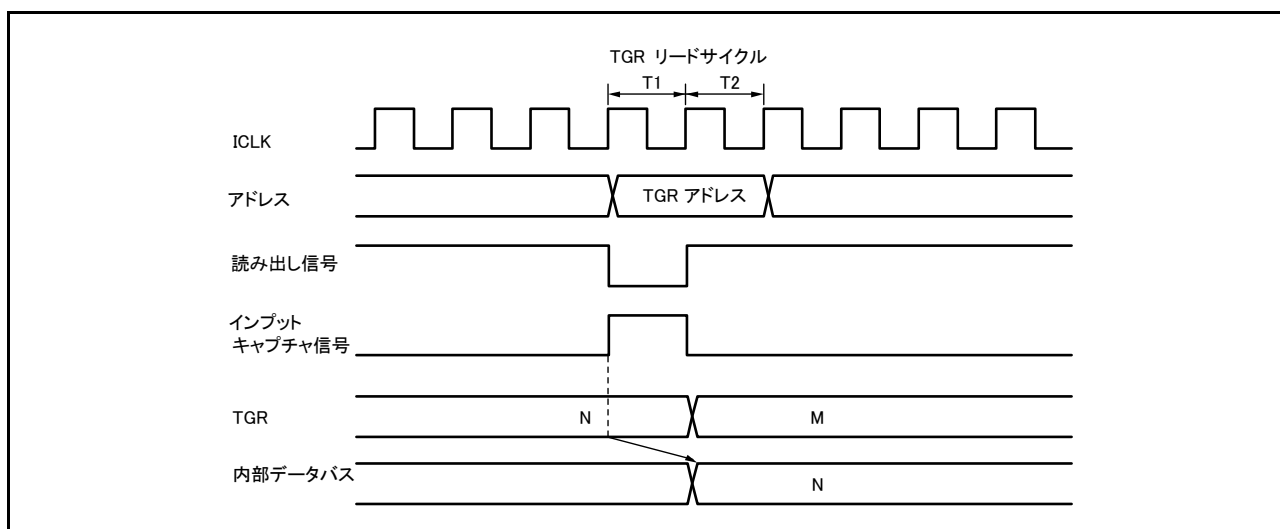


図 16.130 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ~ 7)

16.6.10 TGR レジスタへの書き込みと入力キャプチャの競合

TGR レジスタのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、MTU0 ~ 4、6、7 では TGR レジスタへの書き込みは行われず、入力キャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、入力キャプチャ信号も発生します。

このタイミングを図 16.131、図 16.132 に示します。

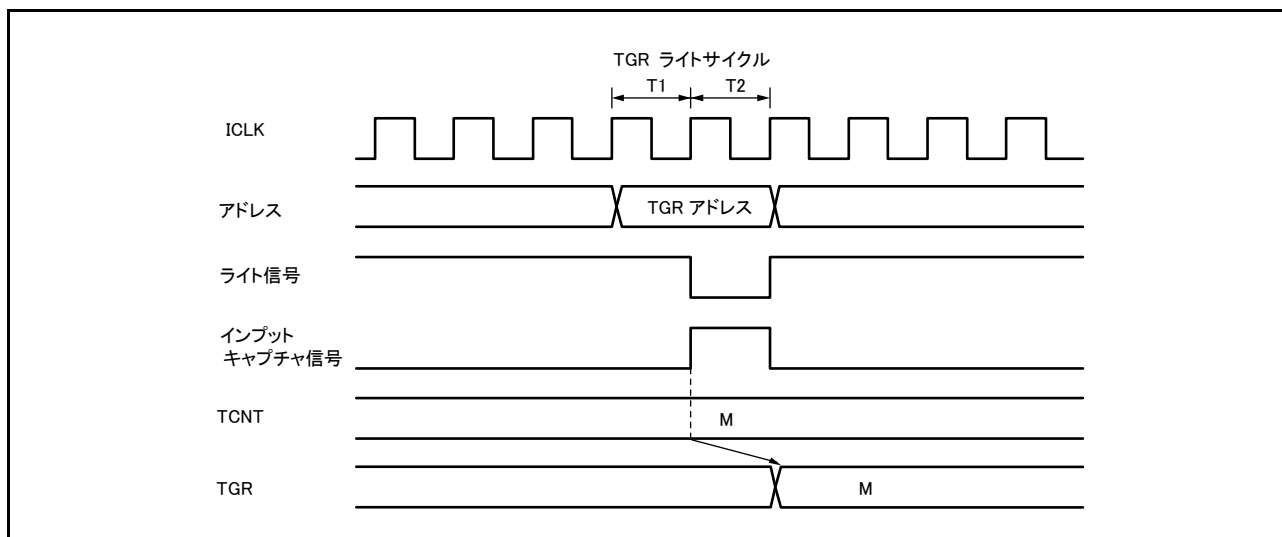


図 16.131 TGR レジスタへの書き込みと入力キャプチャの競合 (MTU0 ~ 4、6、7)

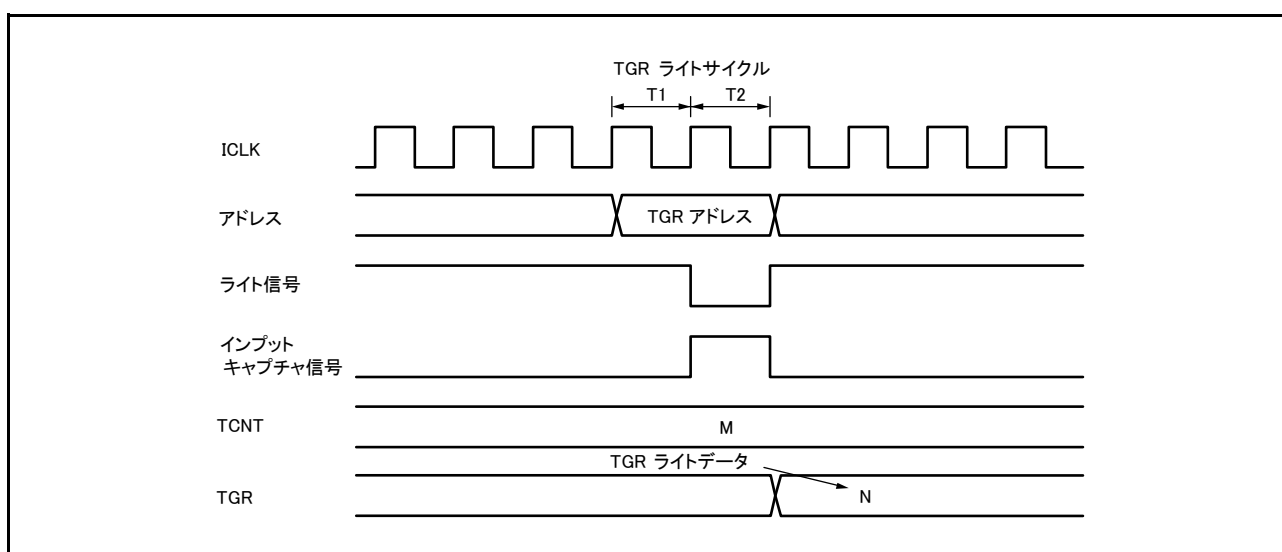


図 16.132 TGR レジスタの書き込みと入力キャプチャの競合 (MTU5)

16.6.11 バッファレジスタへの書き込みと入力キャプチャの競合

バッファレジスタのライトサイクル中のT2ステートで入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 16.133 に示します。

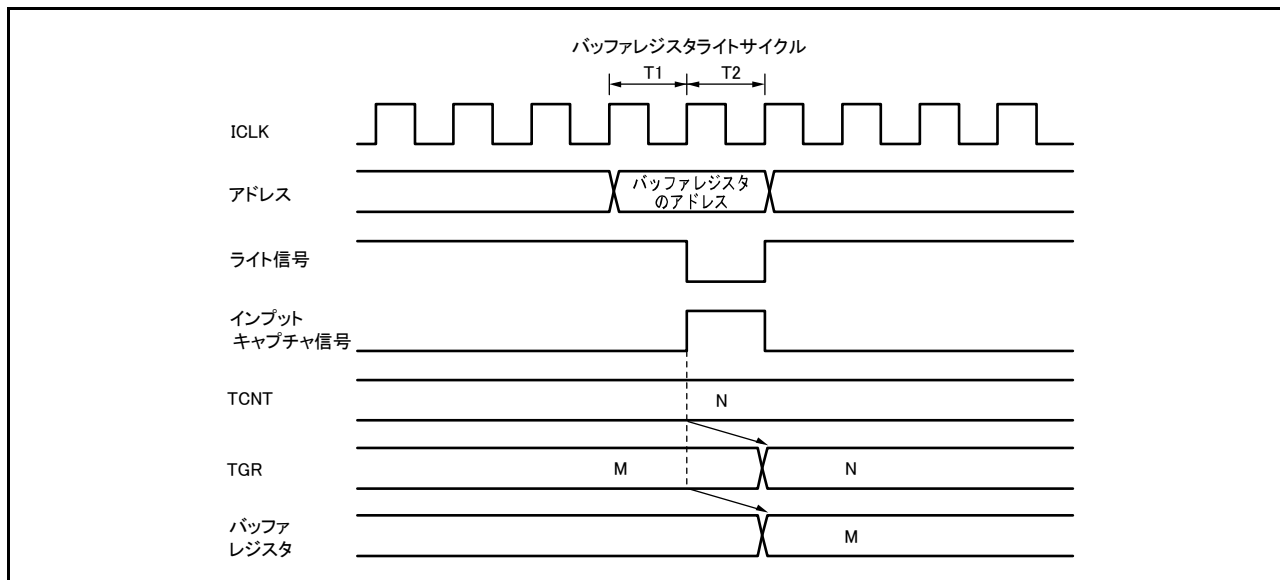


図 16.133 バッファレジスタへの書き込みと入力キャプチャの競合

16.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバーフロー／アンダフローの競合

タイマカウンタ (MTU1.TCNT と MTU2.TCNT) をカスケード接続し、MTU1.TCNT がカウントする瞬間 (MTU2.TCNT がオーバーフロー／アンダフローする瞬間) と MTU2.TCNT の書き込みサイクル中の T2 ステータスが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 の入力キャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD は入力キャプチャ動作します。さらに MTU1.TGRB の入力キャプチャ要因に MTU0.TGRC のコンペアマッチ／入力キャプチャを選択した場合には、MTU1.TGRB は入力キャプチャ動作します。

このタイミングを図 16.134 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

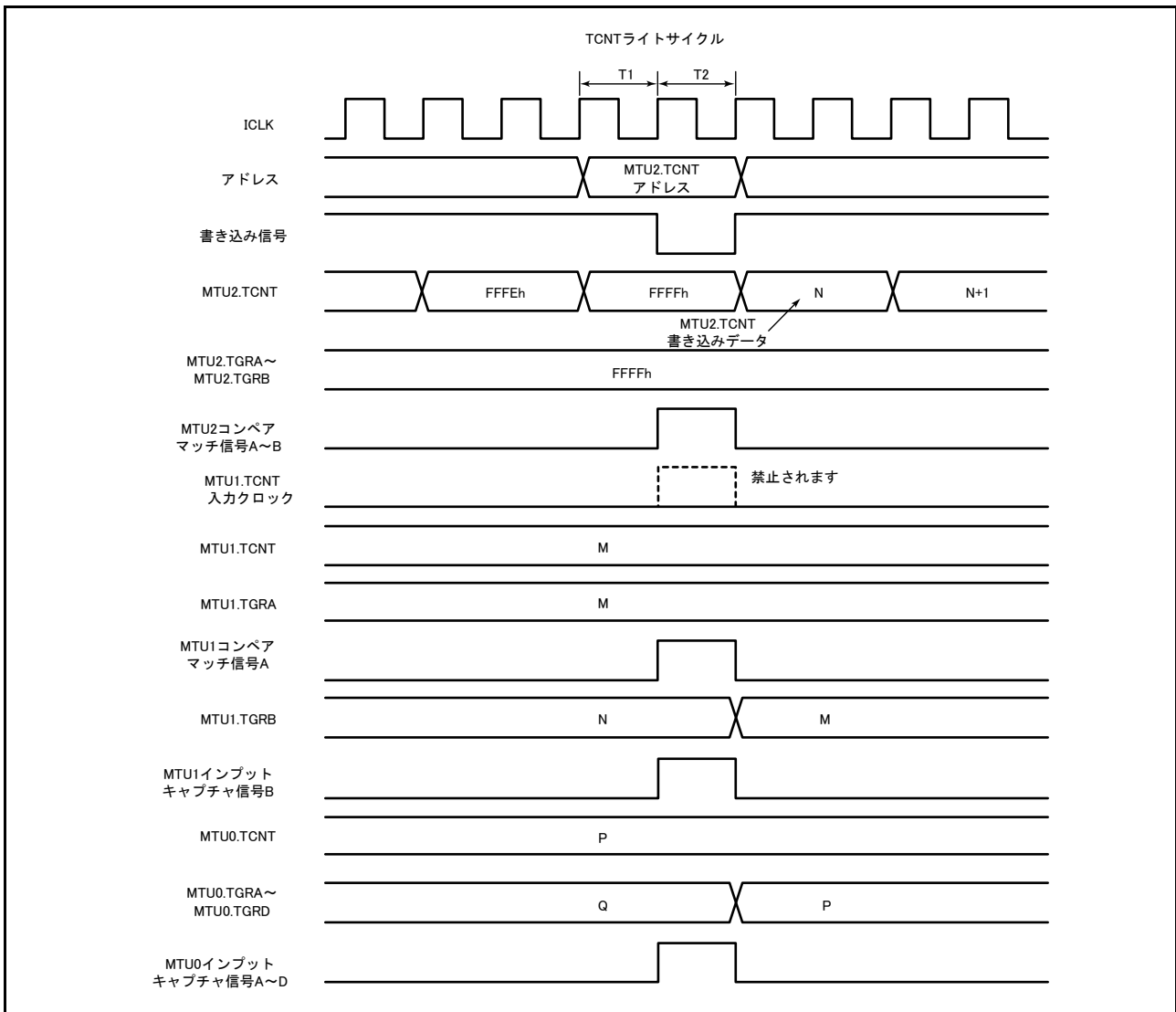


図 16.134 カスケード接続における MTU2.TCNT の書き込みとオーバーフロー／アンダフローの競合

16.6.13 相補 PWM モード停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT (MTU6.TCNT) はタイマデッドタイムレジスタ (TDDRA (TDDRB)) の値、MTU4.TCNT (MTU7.TCNT) は 0000h になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 16.135 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) にカウント初期値の設定を行ってください。

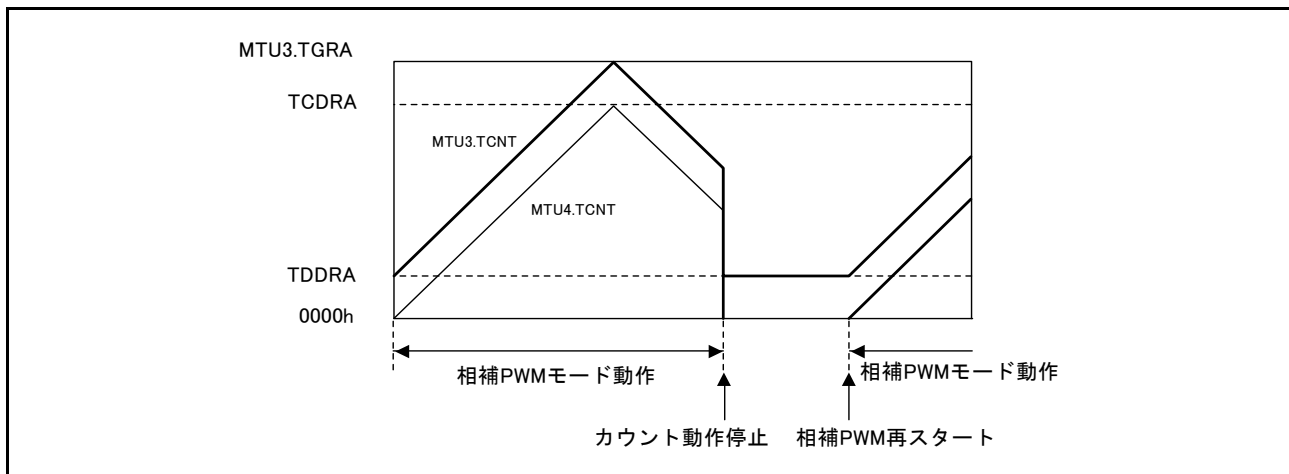


図 16.135 相補 PWM モード停止時のカウンタ値

16.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA、MTU6.TGRA)、タイマ周期データレジスタ (TCDRA、TCDRB)、デューティ設定レジスタ (MTU3.TGRB、MTU3.TGRA、MTU4.TGRB、MTU6.TGRB、MTU7.TGRA、MTU7.TGRB) の書き替えは、バッファ動作で行ってください。

また、MTU4.TMDR1 (MTU7.TMDR1) の BFA、BFB ビットを“0”にしてください。MTU4.TMDR1 (MTU7.TMDR1) の BFA ビットを“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。同様に、MTU4.TMDR1 (MTU7.TMDR1) の BFB ビットを“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および 4 (MTU6 および 7) のバッファ動作は、MTU3.TMDR1 (MTU6.TMDR1) の BFA、BFB ビットの設定にしたがい動作します。MTU3.TMDR1 (MTU6.TMDR1) の BFA ビットを“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能し、さらに TCBRA (TCBRB) は TCDRA (TCDRB) のバッファレジスタとして機能します。

16.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1 (MTU7.TMDR1) の BFA、BFB ビットを“0”にしてください。MTU4.TMDR1 (MTU7.TMDR1) の BFA ビットを“1”にすると、MTIOC4C (MTIOC7C) 端子の波形出力ができなくなります。

同様に、MTU4.TMDR1 (MTU7.TMDR1) の BFB ビットを“1”にすると、MTIOC4D (MTIOC7D) 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および 4 (MTU6 および 7) のバッファ動作は MTU3.TMDR1 (MTU6.TMDR1) の BFA、BFB ビットの設定にしたがい動作します。たとえば、MTU3.TMDR1 (MTU6.TMDR1) の BFA ビットを“1”にした場合、MTU3.TGRC (MTU6.TGRC) は MTU3.TGRA (MTU6.TGRA) のバッファレジスタとして機能します。同時に MTU4.TGRC (MTU7.TGRC) は MTU4.TGRA (MTU7.TGRA) のバッファレジスタとして機能します。

MTU3.TSR および MTU4.TSR (MTU6.TSR および MTU7.TSR) の TGFC ビットと TGFD ビットは MTU3.TGRC (MTU6.TGRC)、MTU3.TGRD (MTU6.TGRD) がバッファレジスタとして動作している場合、セットされることはありません。

MTU3.TMDR1 (MTU6.TMDR1) の BFA、BFB ビットを“1”にし、MTU4.TMDR1 (MTU7.TMDR1) の BFA、BFB ビットを“0”にした場合の MTU3.TGR (MTU6.TGR)、MTU4.TGR (MTU7.TGR)、MTIOC3 (MTIOC6)、MTIOC4 (MTIOC7) の動作例を図 16.136 に示します。

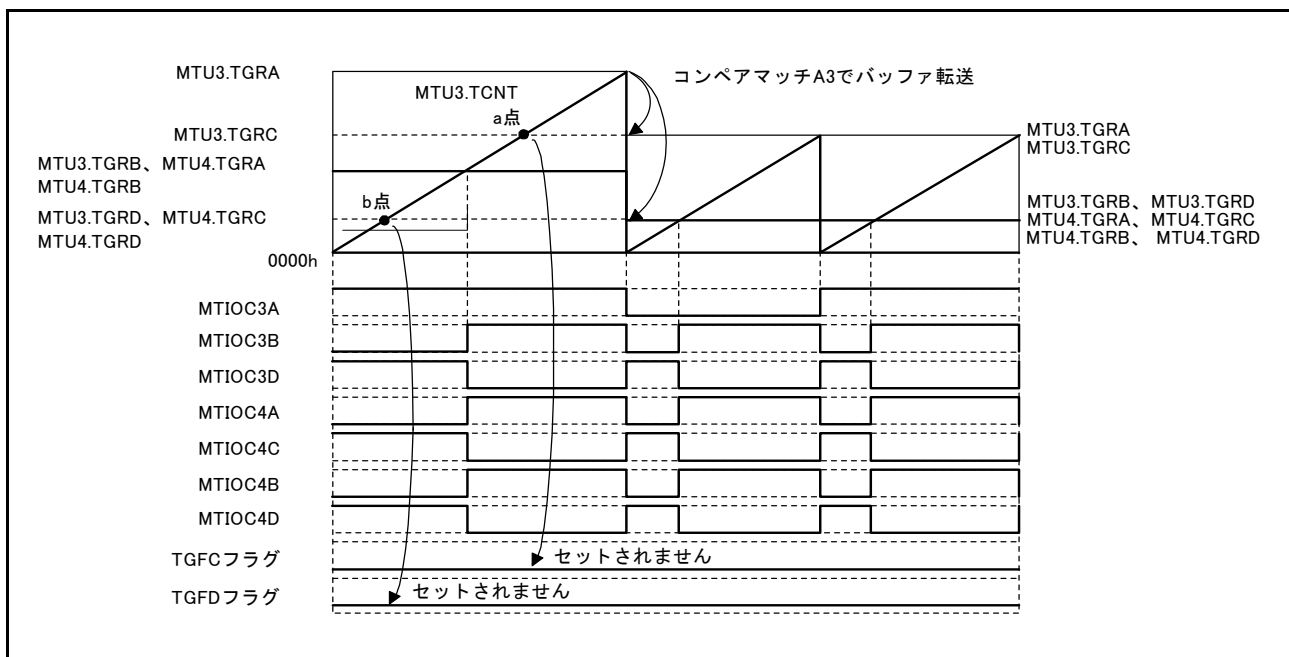


図 16.136 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

16.6.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTRA (TSTRB) の CST3 (CST6) ビットを“1”にすると、MTU3.TCNT と MTU4.TCNT (MTU6.TCNT と MTU7.TCNT) のカウント動作が開始します。このとき、MTU4.TCNT (MTU7.TCNT) のカウントクロックソースとカウントエッジは MTU3.TCR (MTU6.TCR) の設定にしたがいます。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) がアップカウントし FFFFh になると、MTU3.TGRA (MTU6.TGRA) とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT (MTU6.TCNT、MTU7.TCNT) ともにカウンタクリアされます。このとき、TSR レジスタのオーバーフローフラグ TCFV フラグは“1”になりません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA (MTU6.TGRA) の設定値を FFFFh とし、カウンタクリア要因に MTU3.TGRA (MTU6.TGRA) のコンペアマッチを指定し、同期設定していない場合の TCFV フラグの動作例を図 16.137 に示します。

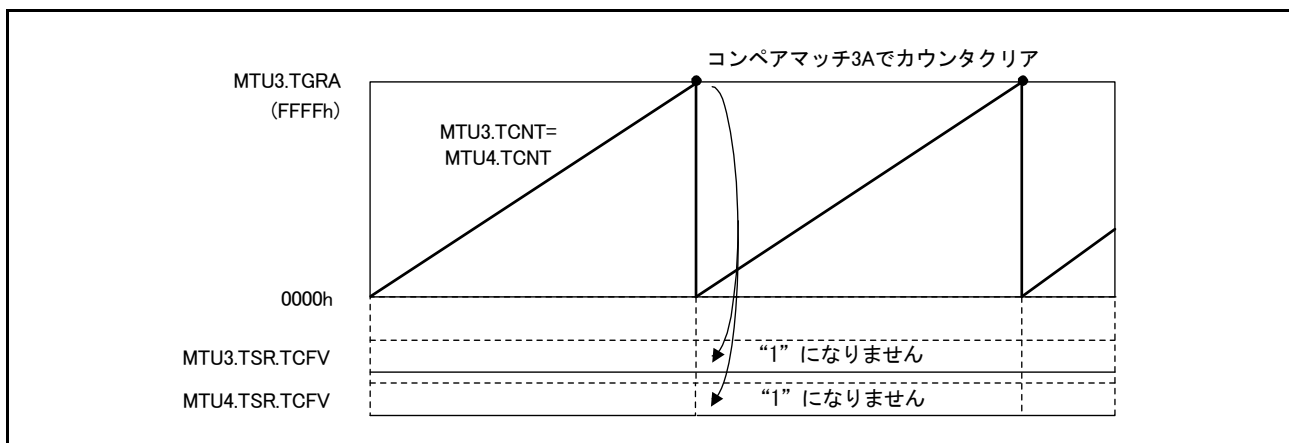


図 16.137 リセット同期 PWM モードのオーバーフローフラグ

16.6.17 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSRレジスタのTCFV/TCFUフラグは“1”にならず、TCNTのクリアが優先されます。

TGRレジスタのコンペアマッチをクリア要因とし、TGRレジスタをFFFFhにした場合の動作タイミングを図16.138に示します。

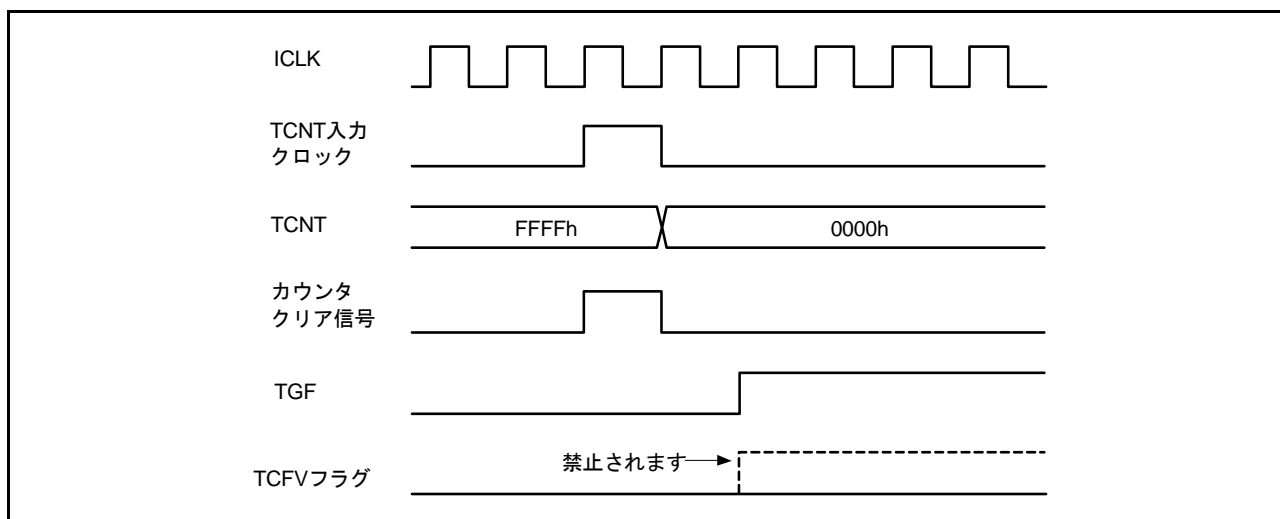


図 16.138 オーバフローとカウンタクリアの競合

16.6.18 TCNT への書き込みとオーバフロー／アンダフローの競合

TCNTのライトサイクル中のT2ステートで、カウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても、TCNTへの書き込みが優先されます。TSRレジスタのTCFV/TCFUフラグは“1”になりません。

TCNTへの書き込みとオーバフロー競合時の動作タイミングを図16.139に示します。

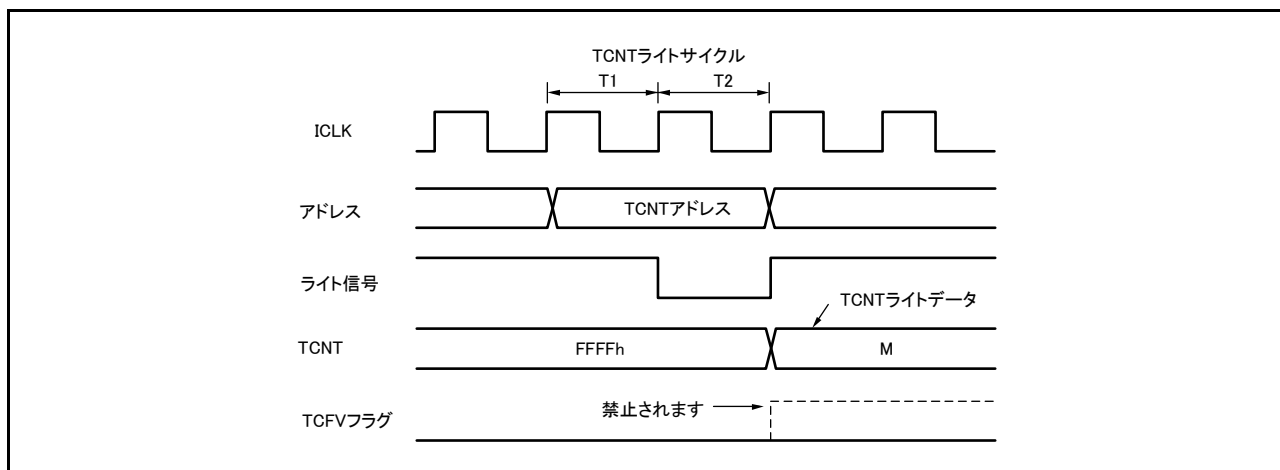


図 16.139 TCNT への書き込みとオーバフローの競合

16.6.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ移行する場合の注意事項

MTU3、4 (MTU6、7) の通常動作または PWM モード 1 からリセット同期 PWM モードへ移行する場合、出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7C、MTIOC7B、MTIOC7D) を High の状態にしたままカウンタを止め、リセット同期 PWM モードに移行して動作させると、端子の初期出力が正しく出力されませんので注意してください。

通常動作からリセット同期 PWM モードに移行する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL (MTU6.TIORH、MTU6.TIORL、MTU7.TIORH、MTU7.TIORL) レジスタに“11h”を書いて出力端子を Low に初期化した後、レジスタの初期値“00h”を書いてからモードへの移行を行ってください。

PWM モード 1 からリセット同期 PWM モードに移行する場合には、いったん通常動作に移行してから出力端子を Low へ初期化した後、レジスタの初期値“00h”を書いてからリセット同期 PWM モードに移行してください。

16.6.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

MTU3、4 (MTU6、7) が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ (TOCR1A、TOCR1B) の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR レジスタは“00h”としてください。

相補 PWM モードで TDER.TDER ビットを“0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1.OLSN ビットの設定によらず、TOCR1.OLSP ビットの設定による正相出力の反転レベルとなります。

16.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ

タイマカウンタ 1、2 (MTU1.TCNT と MTU2.TCNT) をカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A、または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT (上位 16 ビットのカウンタ) が MTU2.TCNT (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT=FFF1h、MTU2.TCNT=0000h の値を MTU1.TGRA と MTU2.TGRA、もしくは MTU1.TGRB と MTU2.TGRB に転送すべきところを誤って MTU1.TCNT=FFF0h、MTU2.TCNT=0000h の値を転送します。

MTU では 1 本のインプットキャプチャ入力に MTU1.TCNT と MTU2.TCNT を同時にキャプチャできる機能を追加しており、本機能を使用すれば、MTU1.TCNT と MTU2.TCNT のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は「16.2.9 タイマインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

16.6.22 割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

MTU6、7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

(1) 間引き機能 2、間引き回数が“0”の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4ICLK 以上 (MTU4.TADCORA レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)
- MTU4.TADCORB のコンペア間隔が 4ICLK 以上 (MTU4.TADCORB レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)

(2) 間引き機能 2、間引き回数が“1”以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2ICLK 以上 (MTU4.TADCORB レジスタの更新値を「前値+2 以上」、「前値-2 以下」に設定)

16.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態では有効になっています。本機能を使用しない場合、POE.POECR2 レジスタに 00h を書いてください。

16.6.24 相補 PWM モード同期クリアするときの異常動作防止について

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCR.WRE ビット = 1) である状態で、条件 1、条件 2 のいずれかを満たすと、以下の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1：初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に同期クリアした場合 (図 16.140 参照)。

条件 2：初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB (MTU6.TGRB) \leq TDDRA (TDDRB)$ 、 $MTU4.TGRA (MTU7.TGRA) \leq TDDRA (TDDRB)$ 、 $MTU4.TGRB (MTU7.TGRB) \leq TDDRA (TDDRB)$ のいずれかが成立する状態で、同期クリアした場合 (図 16.141 参照)。

本現象は以下の方法により、回避することができます。

- コンペアレジスタ $MTU3.TGRB (MTU6.TGRB)$ 、 $MTU4.TGRA (MTU7.TGRA)$ 、 $MTU4.TGRB (MTU7.TGRB) \leq TDDRA (TDDRB)$ のすべてが、 $TDDRA (TDDRB)$ の 2 倍以上になるように設定した状態で、同期クリアする

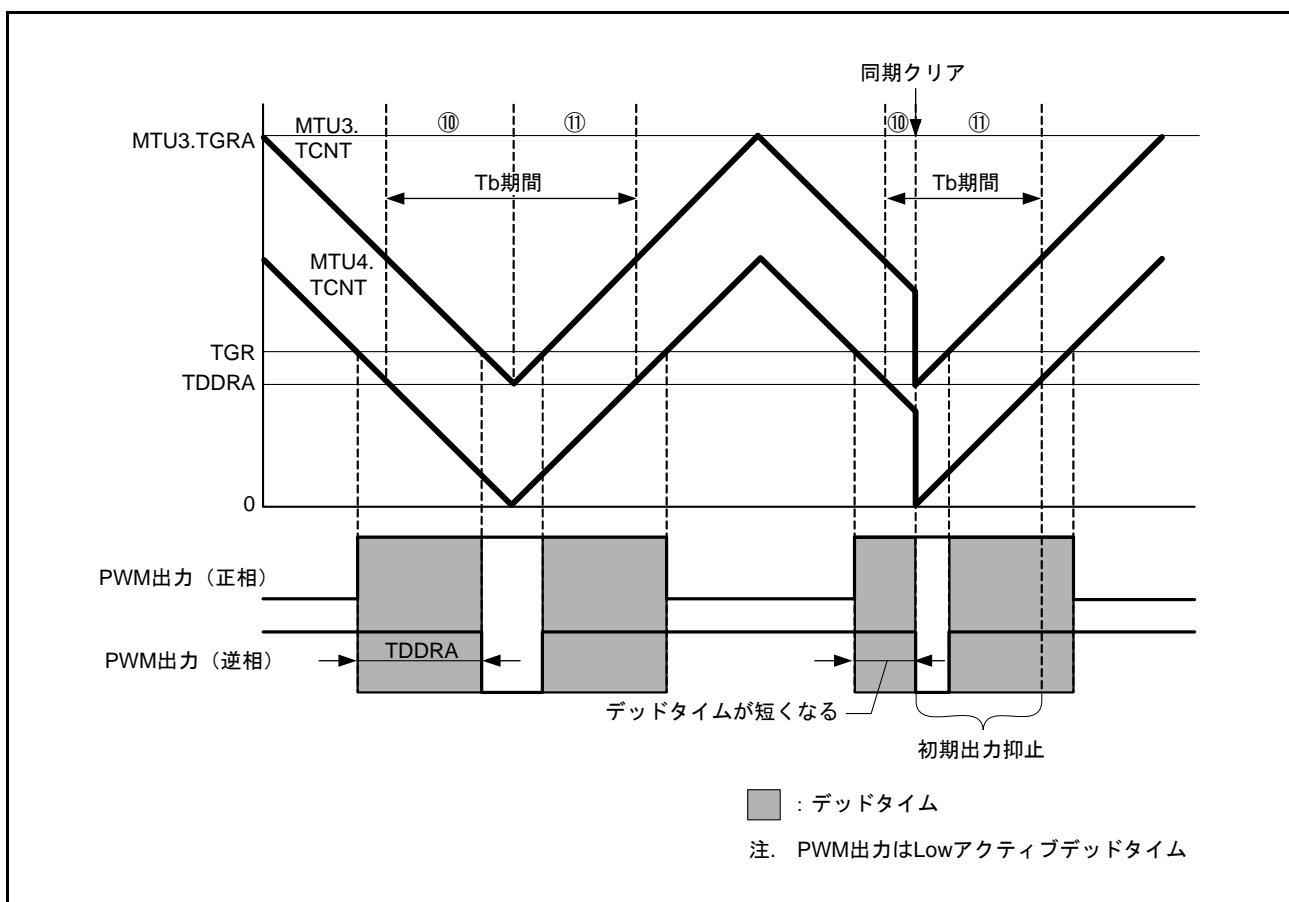


図 16.140 同期クリア例 (条件 1 の場合)

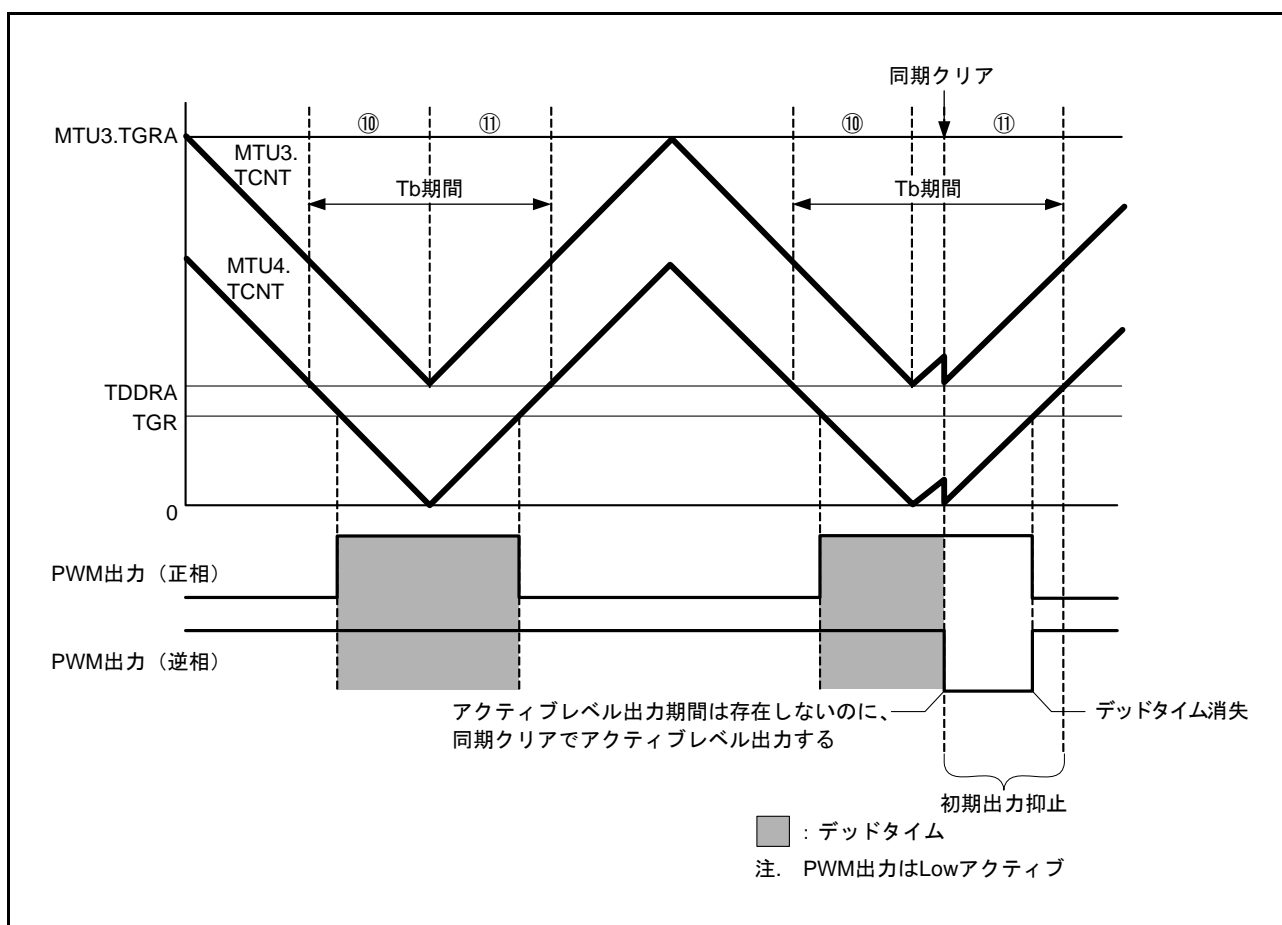


図 16.141 同期クリア例 (条件 2 の場合)

16.6.25 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウンタクロックを ICLK/1 クロック、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

図 16.142 にコンペアマッチによる割り込み信号の連続出力タイミングを示します。

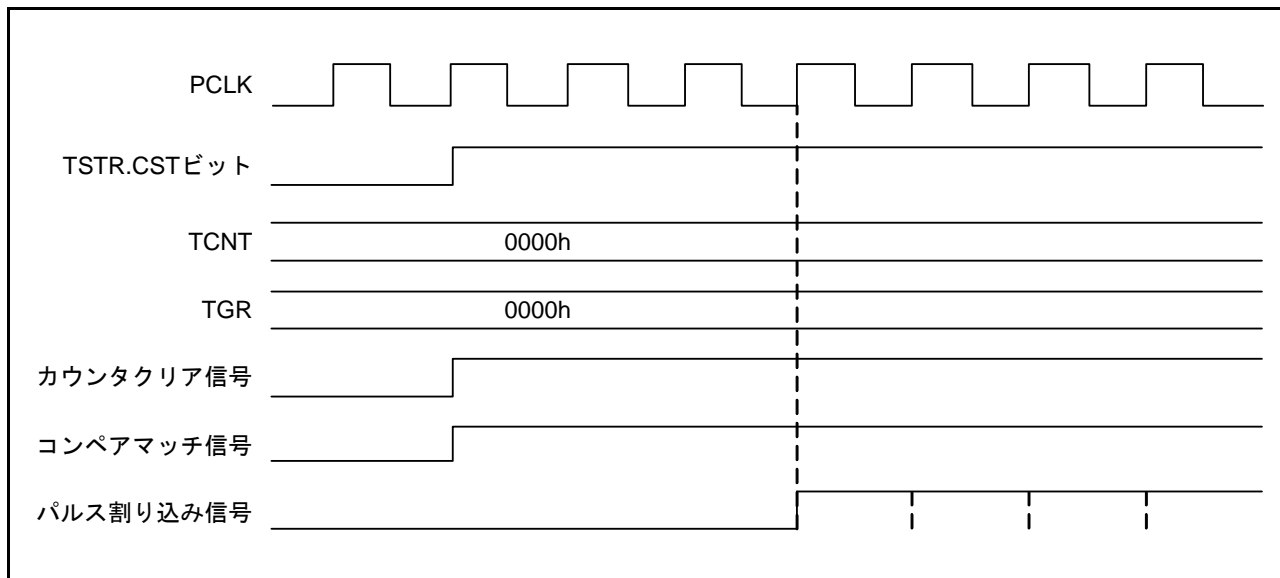


図 16.142 コンペアマッチによる割り込み信号の連続出力

16.7 MTU 出力端子の初期化方法

16.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ 4、6、7)
- PWM モード 1 (MTU0 ~ 4、6、7)
- PWM モード 2 (MTU0 ~ 2)
- 位相計数モード 1 ~ 4 (MTU1、2)
- 相補 PWM モード (MTU3、4、6、7)
- リセット同期 PWM モード (MTU3、4、6、7)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

16.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は、あらかじめ I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートにノンアクティブレベルを出力する設定をしておき、MTU 端子を出力禁止として汎用出力ポートとすることで、端子にノンアクティブレベルを出力してください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D) は、TOERA、TOERB レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3 (POE3) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を表 16.75 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 16.75 モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

16.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCNB/MTIOCND (n=3、4、6、7) 端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください。
- PWM モード 2 では周期レジスタの端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください。
- タイマアウトプットコントロールレジスタ (TOCR1A、TOCR2A、TOCR1B、TOCR2B) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に移行する場合は、タイマアウトプットマスタインエーブルレジスタ (TOERA、TOERB) で MTU3、4 (MTU6、7) を 1 度出力禁止にしてください。このとき、該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定 (TOCR1B 設定、TOCR2B 設定、TMDR1 設定、TOERB 設定)) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 16.75 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 16.143 に示します。

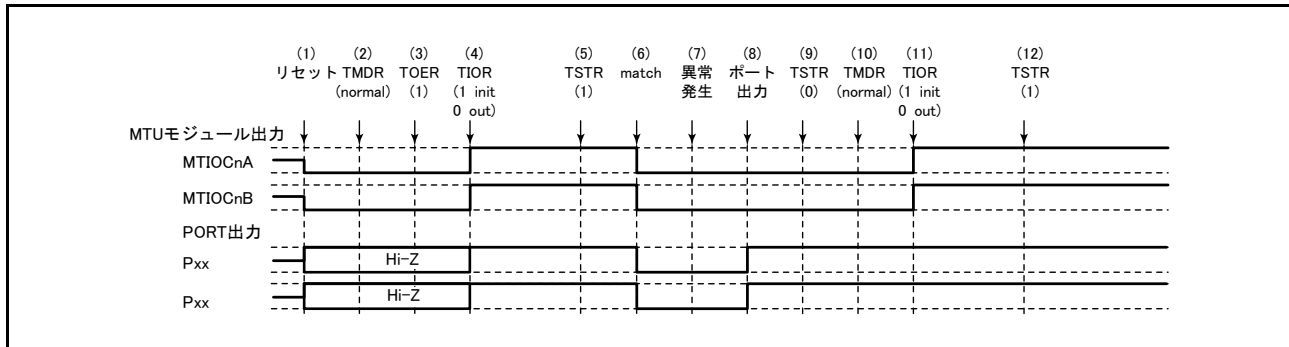


図 16.143 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
- (3) MTU3、4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。また、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で、汎用出力ポートにノンアクティブレベルを出力する設定をしてください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です)。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) TIOR レジスタで MTU 端子を出力禁止として汎用出力ポートとすることで、端子にアクティブレベルの反転を出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで再スタートする場合は必要ありません。
- (11) TIOR レジスタで端子を初期化してください。
- (12) TSTR レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 16.144 に示します。

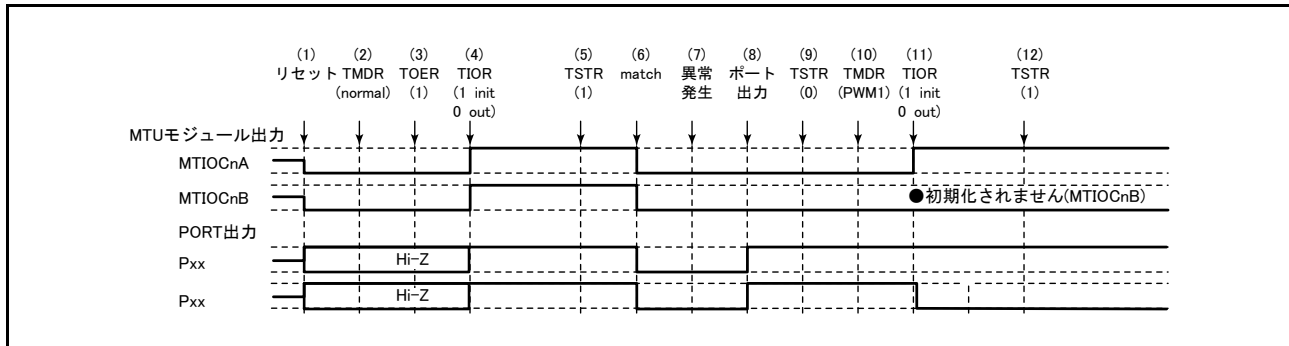


図 16.144 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 16.143 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。

(12) TSTR レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 16.145 に示します。

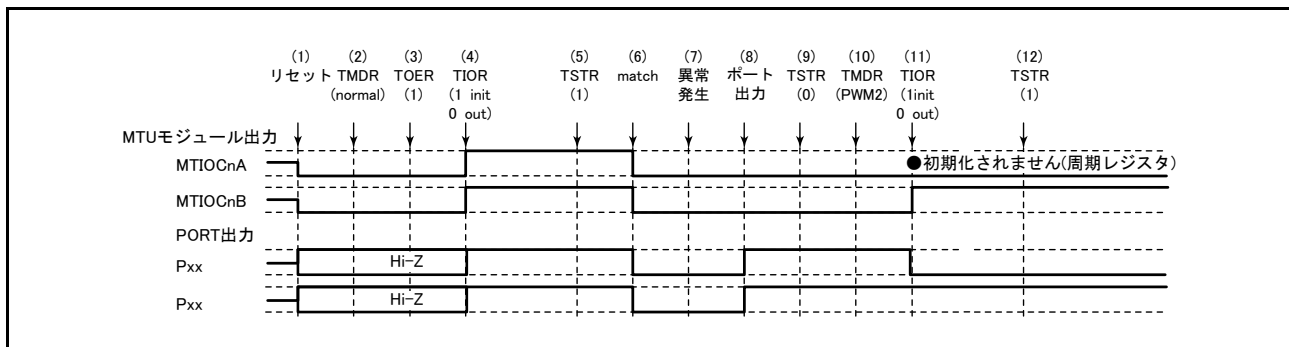


図 16.145 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 16.143 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。

(12) TSTR レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ 2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 16.146 に示します。

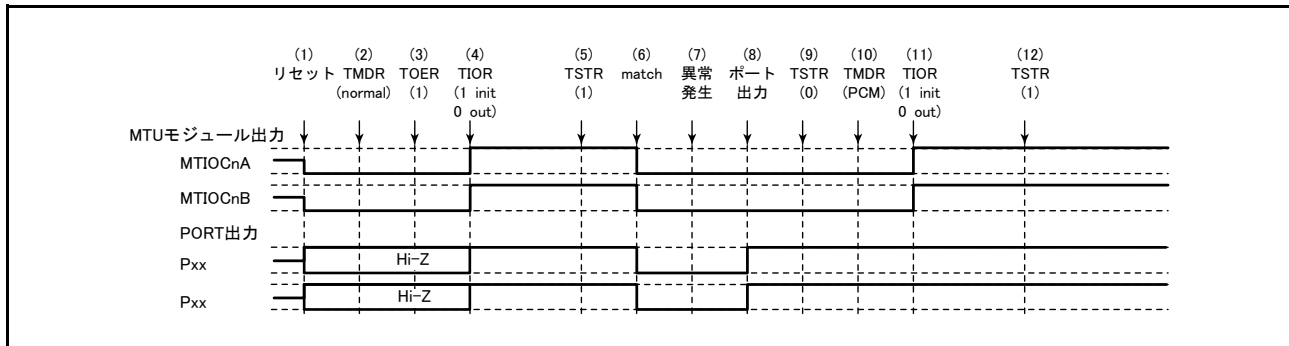


図 16.146 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 16.143 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR レジスタで端子を初期化してください。
- (12) TSTR レジスタで再スタートします。

注． 位相計数モードは MTU1、2 でのみ設定可能です。したがって TOER レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 16.147 に示します。

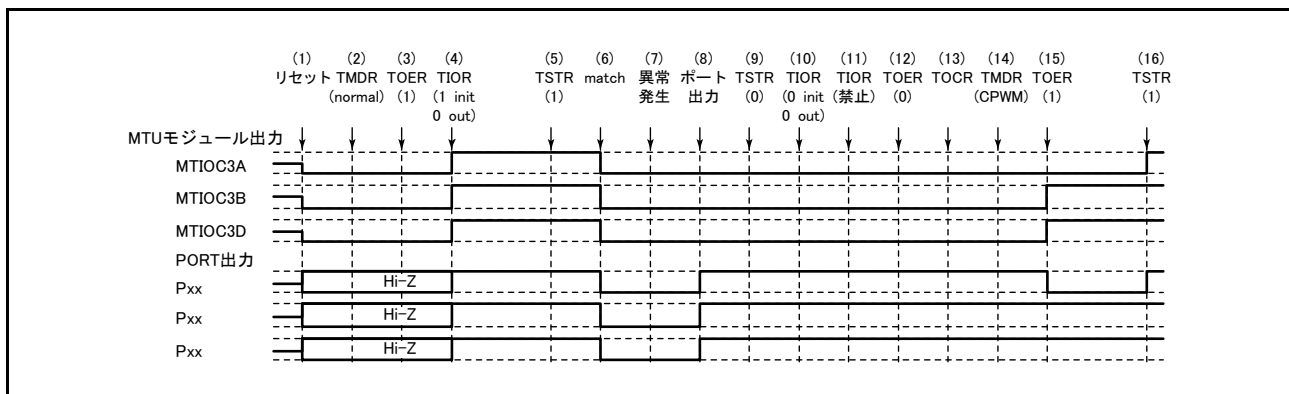


図 16.147 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (9) は図 16.143 と共通です。
- (10) TIOR レジスタでノーマルモードの波形生成部を初期化してください。
- (11) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。
- (12) TOERA レジスタで MTU3、4 の出力を禁止してください。
- (13) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOERA レジスタで MTU3、4 の出力を許可してください。
- (16) TSTR レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 16.148 に示します。

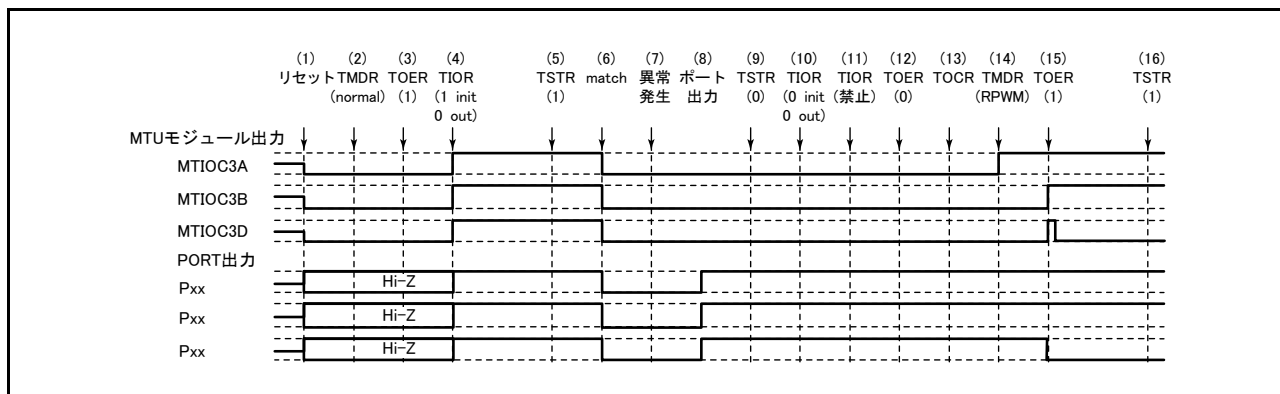


図 16.148 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (12) は図 16.143 と共通です。

(13) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA レジスタで MTU3、4 の出力を許可してください。

(16) TSTRA レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 16.149 に示します。

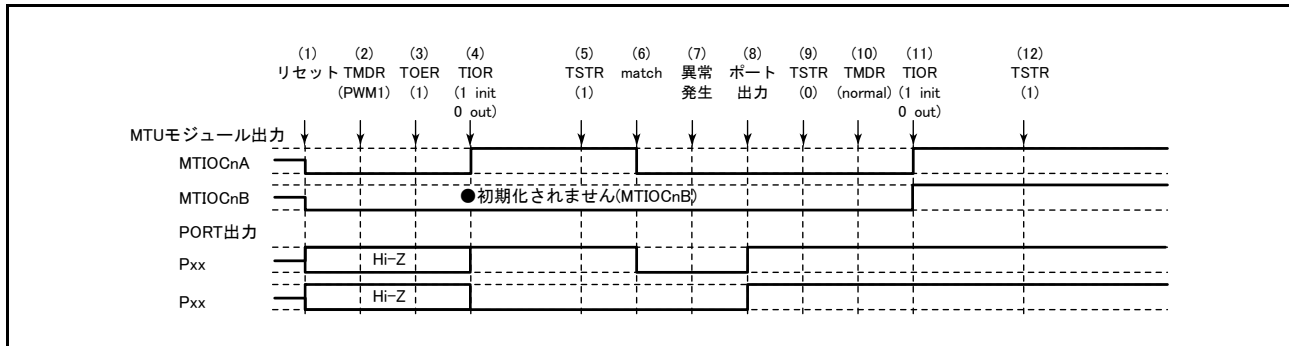


図 16.149 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) MTU3、4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。
また、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で、汎用出力ポートにノンアクティブレベルを出力する設定をしてください。
- (4) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です。
PWM モード 1 では MTIOCnB 側は初期化されません)。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) TIOR レジスタで MTU 端子を出力禁止として汎用出力ポートとすることで、端子にアクティブレベルの反転を出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) TSTR レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 16.150 に示します。

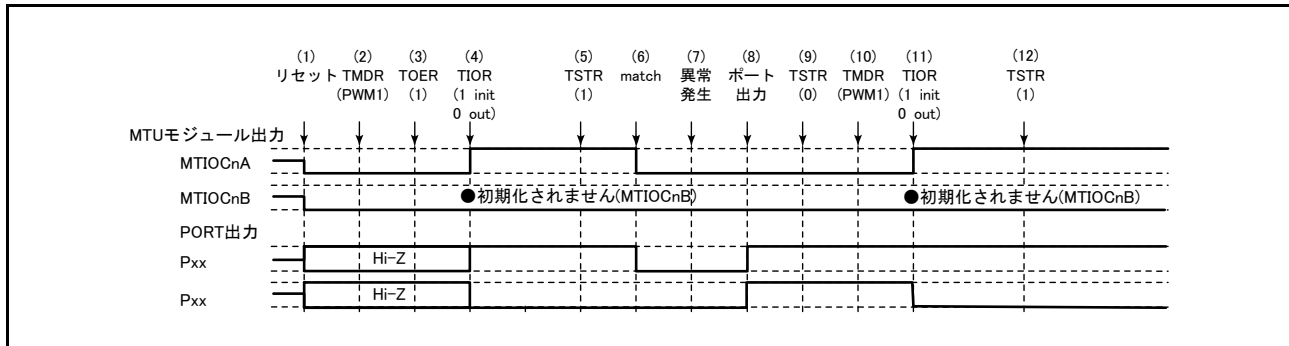


図 16.150 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 16.149 と共通です。

(10) PWM モード 1 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。

(12) TSTRA レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 16.151 に示します。

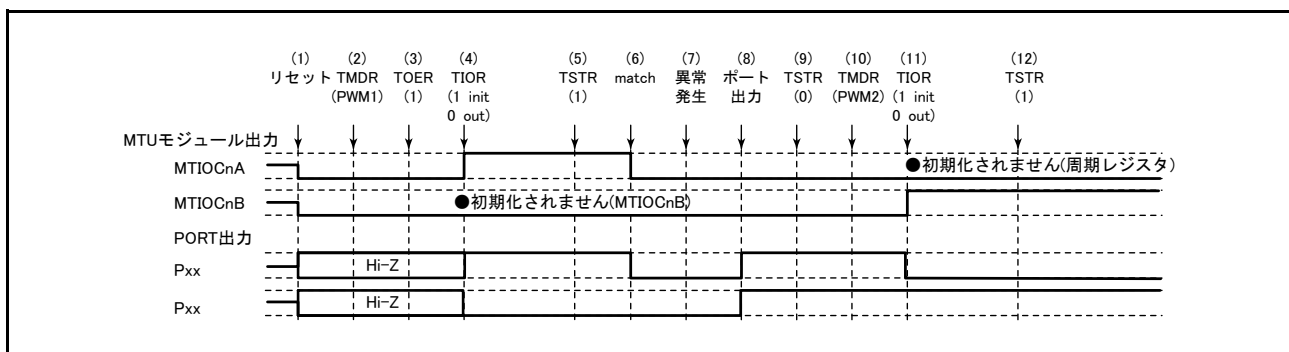


図 16.151 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 16.149 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。

(12) TSTRA レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ 2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 16.152 に示します。

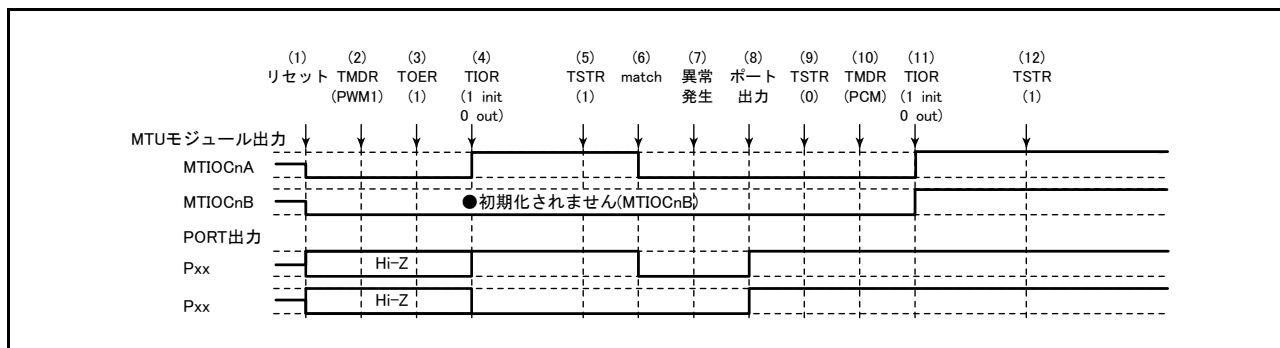


図 16.152 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 16.149 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR レジスタで端子を初期化してください。
- (12) TSTR レジスタで再スタートします。

注． 位相計数モードは MTU1、2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 16.153 に示します。

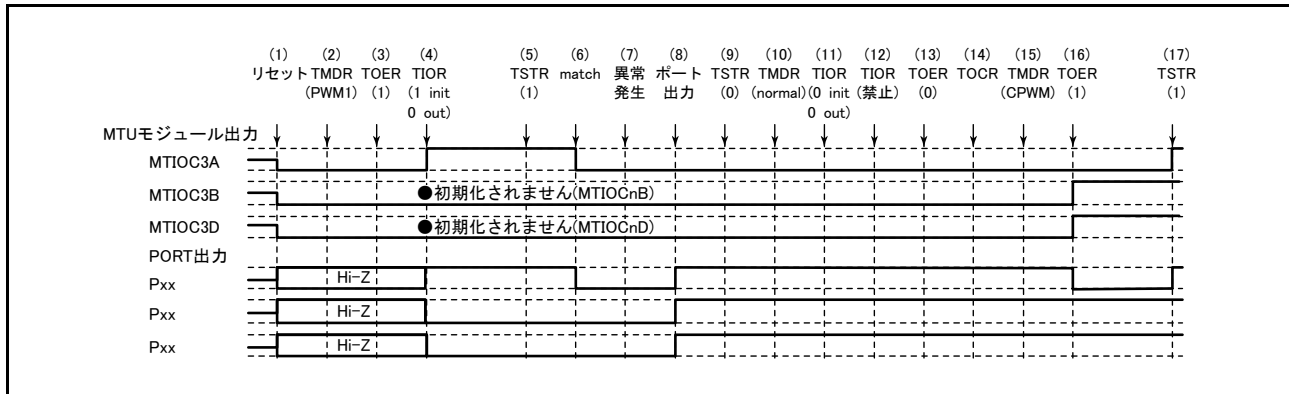


図 16.153 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (9) は図 16.149 と共通です。

- (10) 波形生成部の初期化のためノーマルモードを設定してください。
- (11) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください。
- (13) TOERA レジスタで MTU3、4 の出力を禁止してください。
- (14) TOCR1A、TOCR2 レジスタ A で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) 相補 PWM を設定します。
- (16) TOERA レジスタで MTU3、4 の出力を許可してください。
- (17) TSTRA レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 16.154 に示します。

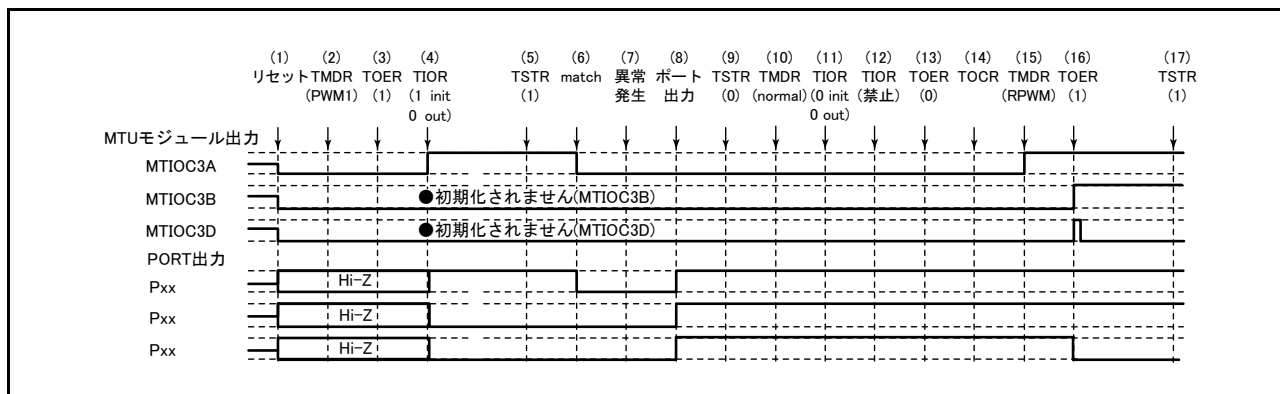


図 16.154 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 16.153 と共通です。

(14) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) リセット同期 PWM を設定します。

(16) TOERA レジスタで MTU3、4 の出力を許可してください。

(17) TSTRA レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 16.155 に示します。

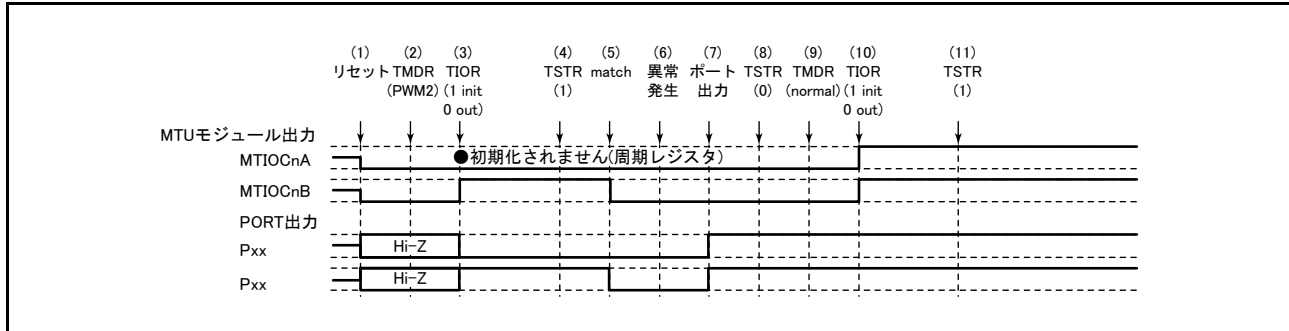


図 16.155 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
また、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で、汎用出力ポートにノンアクティブレベルを出力する設定をしてください。
- (3) TIOR レジスタで端子を初期化してください (例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOcNA が周期レジスタの場合です)。
- (4) TSTR レジスタでカウント動作を開始します。
- (5) コンペアマッチの発生により Low を出力します。
- (6) 異常が発生しました。
- (7) TIOR レジスタで MTU 端子を出力禁止として汎用出力ポートとすることで、端子にノンアクティブレベルを出力してください。
- (8) TSTR レジスタでカウント動作を停止します。
- (9) ノーマルモードを設定してください。
- (10) TIOR レジスタで端子を初期化してください。
- (11) TSTR レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 16.156 に示します。

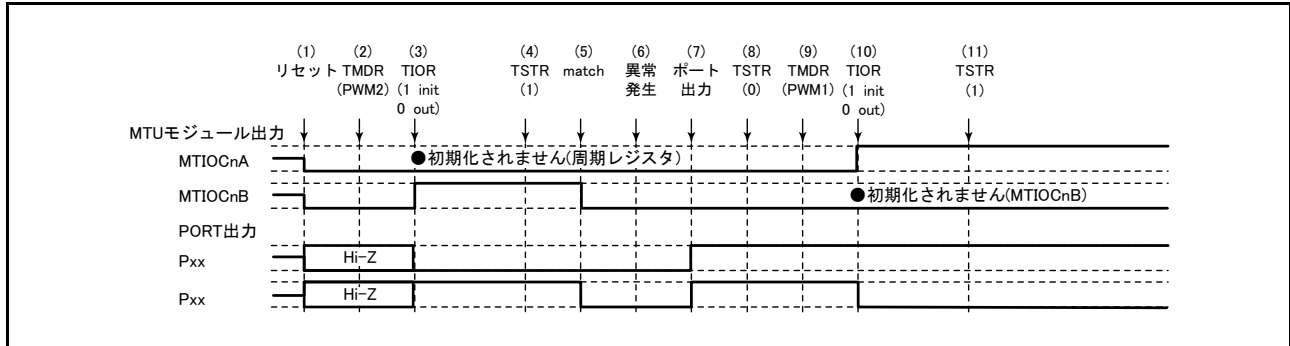


図 16.156 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (8) は図 16.155 と共通です。

(9) PWM モード 1 を設定します。

(10) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。

(11) TSTR レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 16.157 に示します。

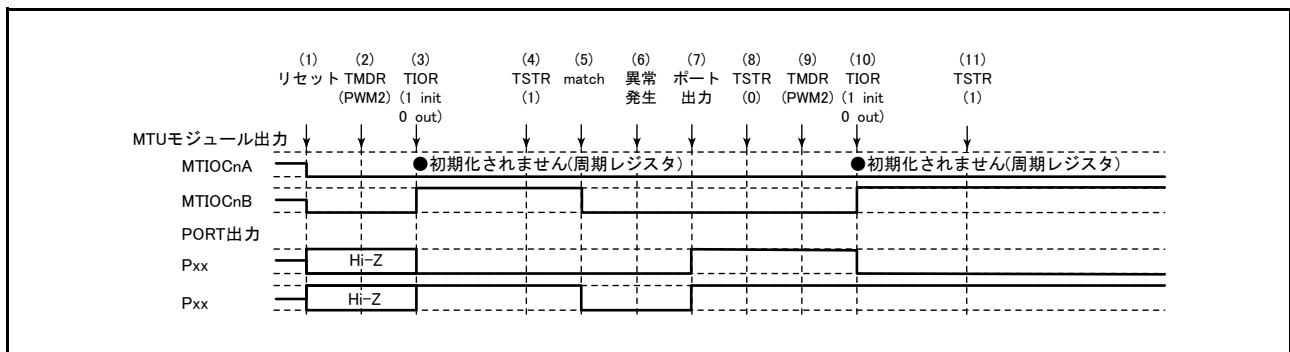


図 16.157 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (8) は図 16.155 と共通です。

(9) PWM モード 2 で再スタートする場合には必要ありません。

(10) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。

(11) TSTR レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 16.158 に示します。

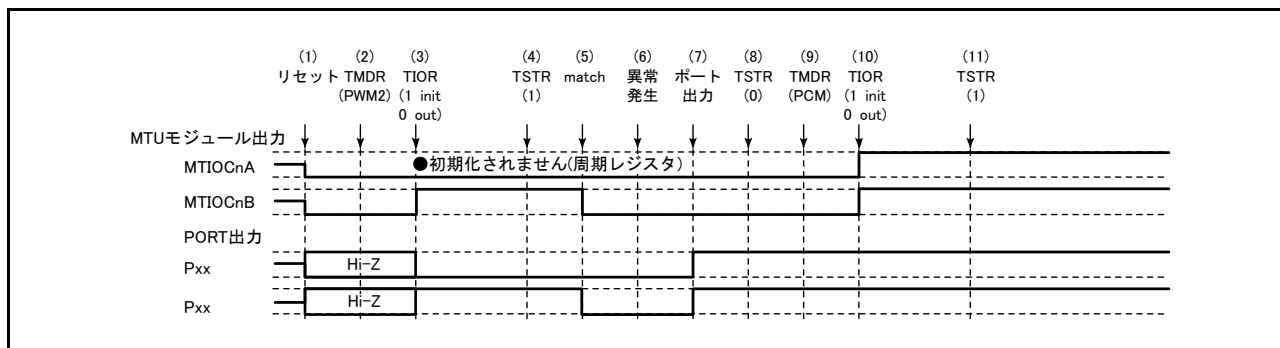


図 16.158 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (8) は図 16.155 と共通です。
 (9) 位相計数モードを設定します。
 (10) TIOR レジスタで端子を初期化してください。
 (11) TSTRA レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 16.159 に示します。

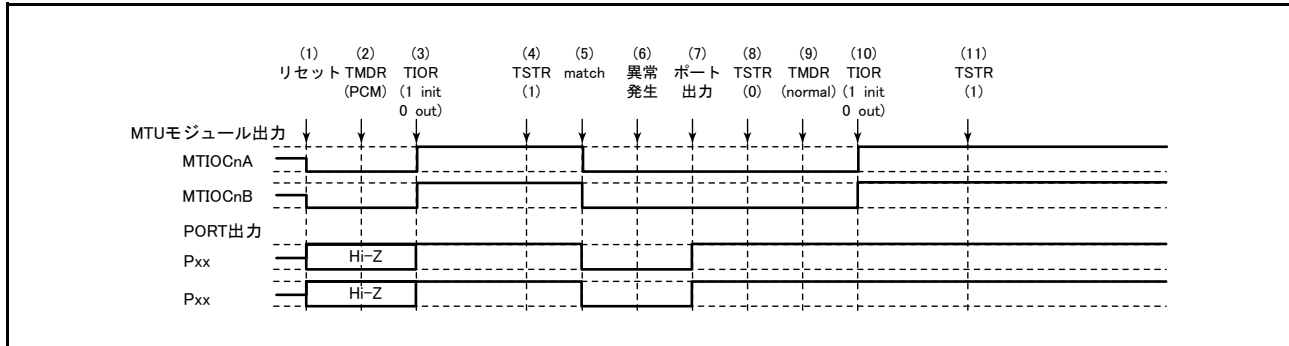


図 16.159 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
また、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で、汎用出力ポートにノンアクティブレベルを出力する設定をしてください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) TSTR レジスタでカウント動作を開始します。
- (5) コンペアマッチの発生により Low を出力します。
- (6) 異常が発生しました。
- (7) TIOR レジスタで MTU 端子を出力禁止として汎用出力ポートとすることで、端子にノンアクティブレベルを出力してください。
- (8) TSTR レジスタでカウント動作を停止します。
- (9) ノーマルモードで設定してください。
- (10) TIOR レジスタで端子を初期化してください。
- (11) TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 16.160 に示します。

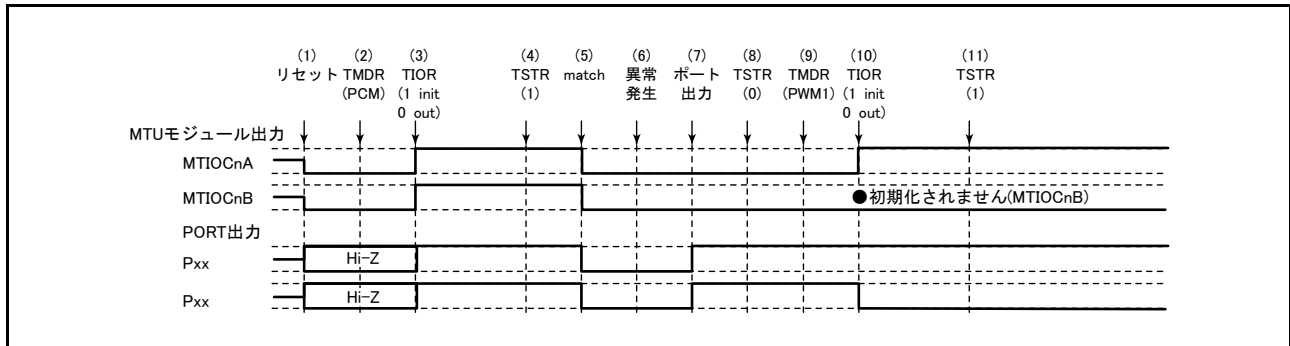


図 16.160 位相計数モードで異常が発生し、PWM モード1で復帰する場合

- (1) ~ (8) は図 16.159 と共通です。
- (9) PWM モード1を設定します。
- (10) TIOR レジスタで端子を初期化してください (PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。
- (11) TSTR レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 16.161 に示します。

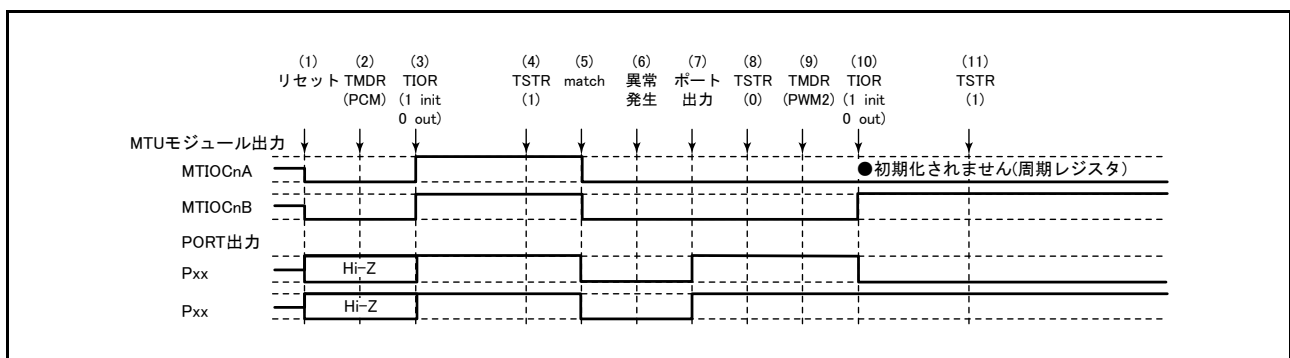


図 16.161 位相計数モードで異常が発生し、PWM モード2で復帰する場合

- (1) ~ (8) は図 16.159 と共通です。
- (9) PWM モード2を設定します。
- (10) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。
- (11) TSTR レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 16.162 に示します。

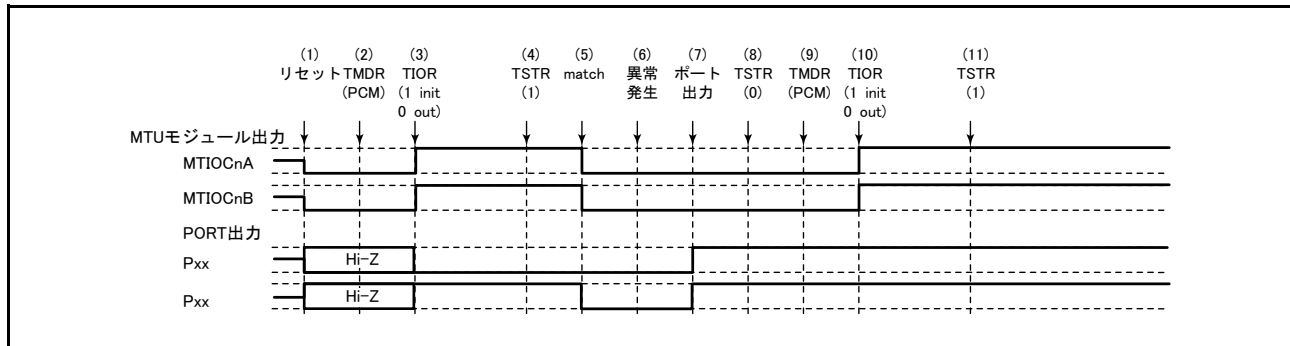


図 16.162 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (8) は図 16.159 と共通です。

(9) 位相計数モードで再スタートする場合には必要ありません。

(10) TIOR レジスタで端子を初期化してください。

(11) TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 16.163 に示します。

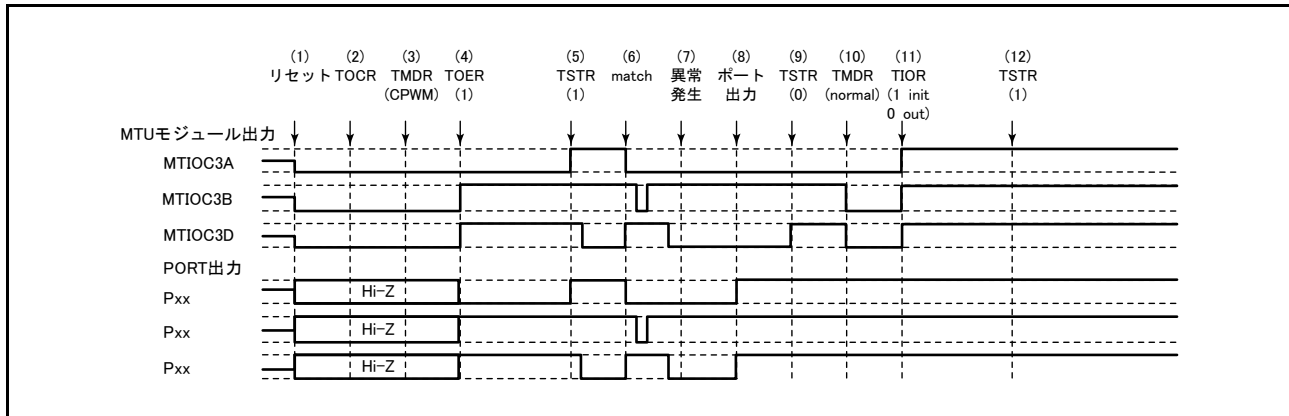


図 16.163 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
また、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で、汎用出力ポートにノンアクティブレベルを出力する設定をしてください。
- (4) TOERA レジスタで MTU3、4 の出力を許可してください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により相補 PWM 波形を出力します。
- (7) 異常が発生しました。
- (8) TIOR レジスタで MTU 端子を出力禁止として汎用出力ポートとすることで、端子にノンアクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (10) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (11) TIOR レジスタで端子を初期化してください。
- (12) TSTR レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 16.164 に示します。

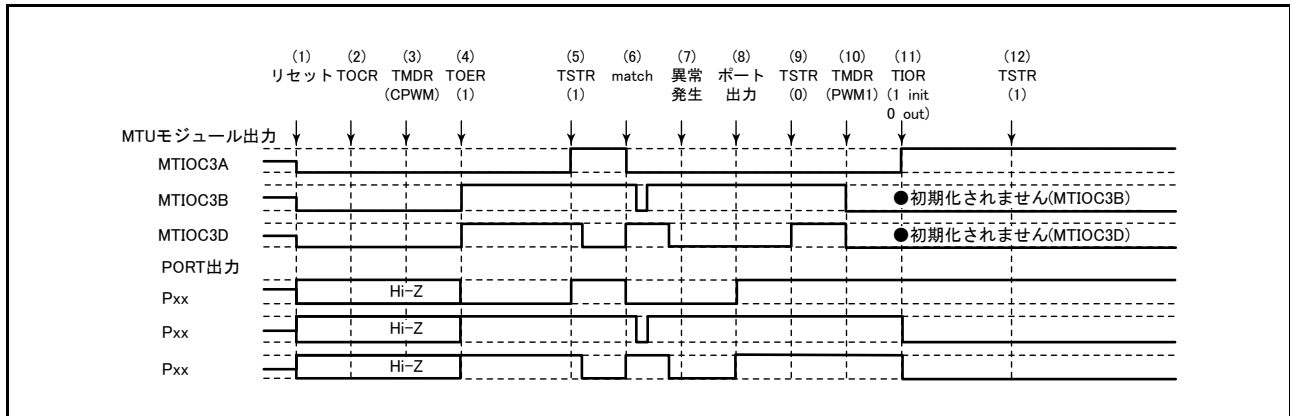


図 16.164 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 16.163 と共通です。

(10) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。

(12) TSTRA レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 16.165 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

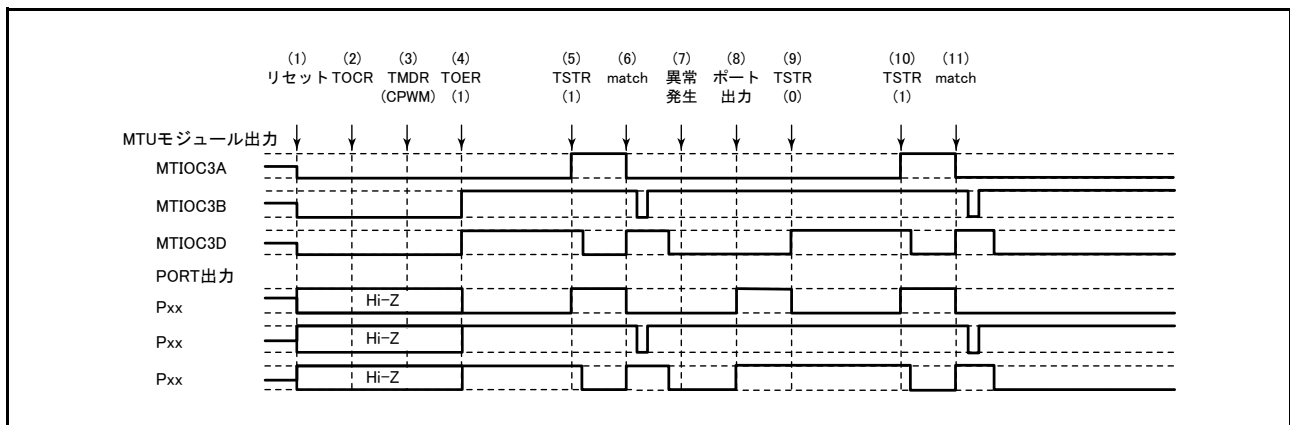


図 16.165 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (1)

(1) ~ (9) は図 16.163 と共通です。

(10) TSTRA レジスタで再スタートします。

(11) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 16.166 に示します (周期、デューティ比設定を全く新しい設定値で再スタートする場合)。

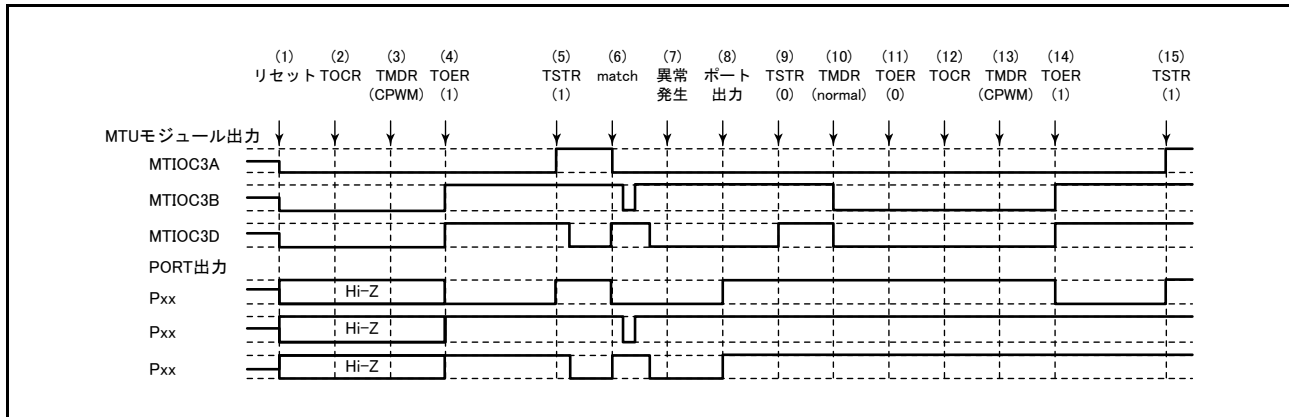


図 16.166 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (2)

(1) ~ (9) は図 16.163 と共通です。

(10) ノーマルモードを設定し新しい設定値を設定してください (MTU 出力は Low となります)。

(11) TOERA レジスタで MTU3、4 の出力を禁止してください。

(12) TOCR1A、TOCR2A レジスタで相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(13) 相補 PWM を設定します。

(14) TOERA レジスタで MTU3、4 の出力を許可してください。

(15) TSTR レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 16.167 に示します。

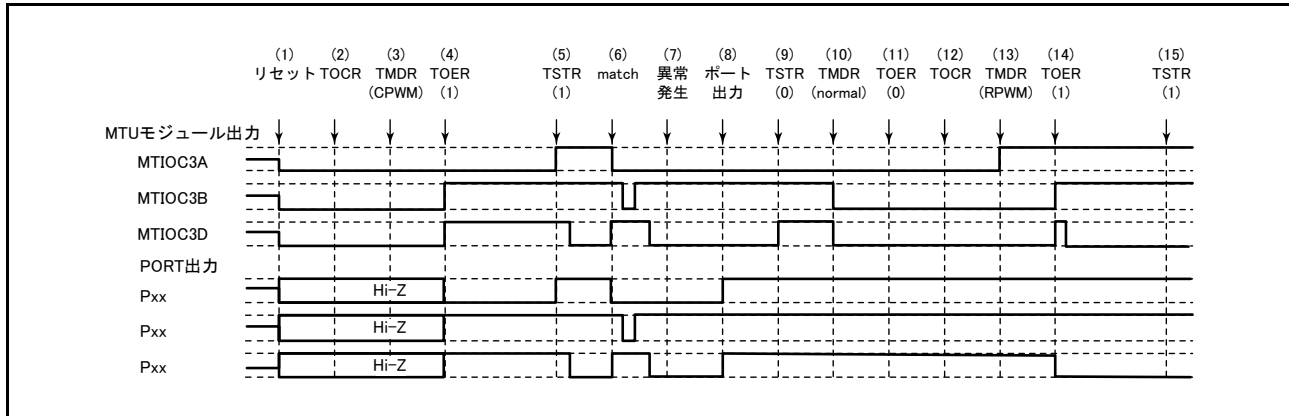


図 16.167 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (9) は図 16.163 と共通です。

(10) ノーマルモードを設定してください (MTU 出力は Low となります)。

(11) TOERA レジスタで MTU3、4 の出力を禁止してください。

(12) TOCR1A、TOCR2A レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(13) リセット同期 PWM を設定します。

(14) TOERA レジスタで MTU3、4 の出力を許可してください。

(15) TSTR レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 16.168 に示します。

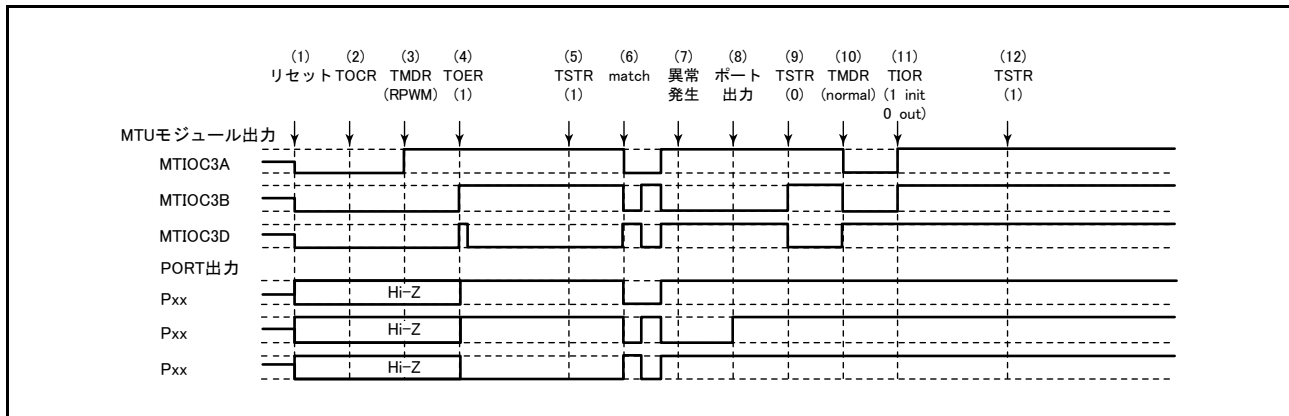


図 16.168 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
また、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で、汎用出力ポートにノンアクティブレベルを出力する設定をしてください。
- (4) TOERA レジスタで MTU3、4 の出力を許可してください。
- (5) TSTRA レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (7) 異常が発生しました。
- (8) TIOR レジスタで MTU 端子を出力禁止として汎用出力ポートとすることで、端子にノンアクティブレベルを出力してください。
- (9) TSTRA レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (10) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (11) TIOR レジスタで端子を初期化してください。
- (12) TSTRA レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 16.169 に示します。

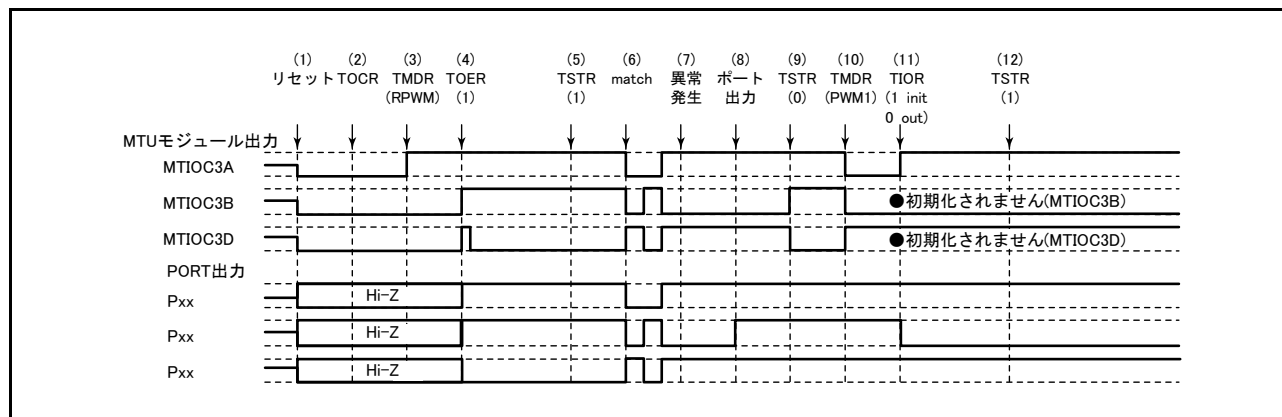


図 16.169 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 16.168 と共通です。

(10) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのデータディレクションレジスタ (DDR)、データレジスタ (DR) で汎用出力ポートの設定をしてください)。

(12) TSTR レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 16.170 に示します。

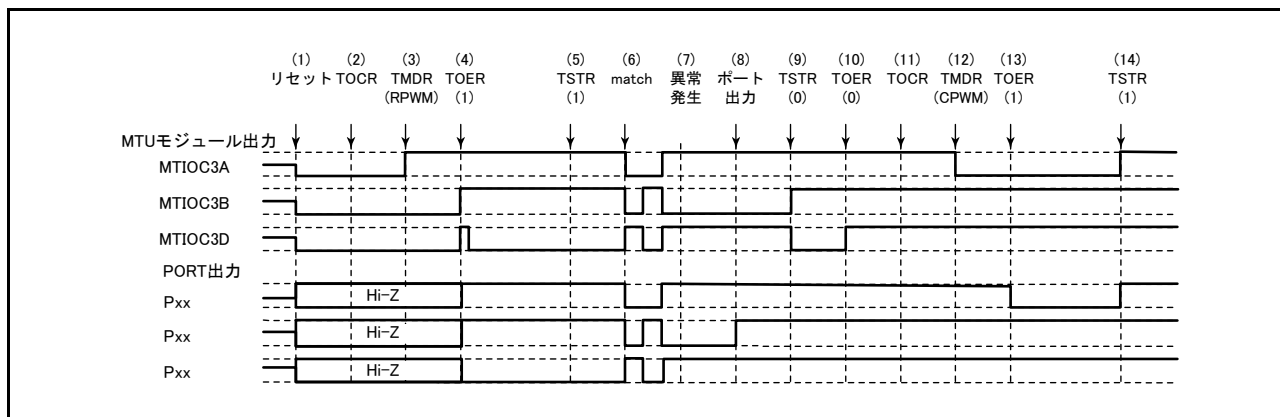


図 16.170 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (9) は図 16.168 と共通です。

(10) TOERA レジスタで MTU3、4 の出力を禁止してください。

(11) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(12) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。

(13) TOERA レジスタで MTU3、4 の出力を許可してください。

(14) TSTRA レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 16.171 に示します。

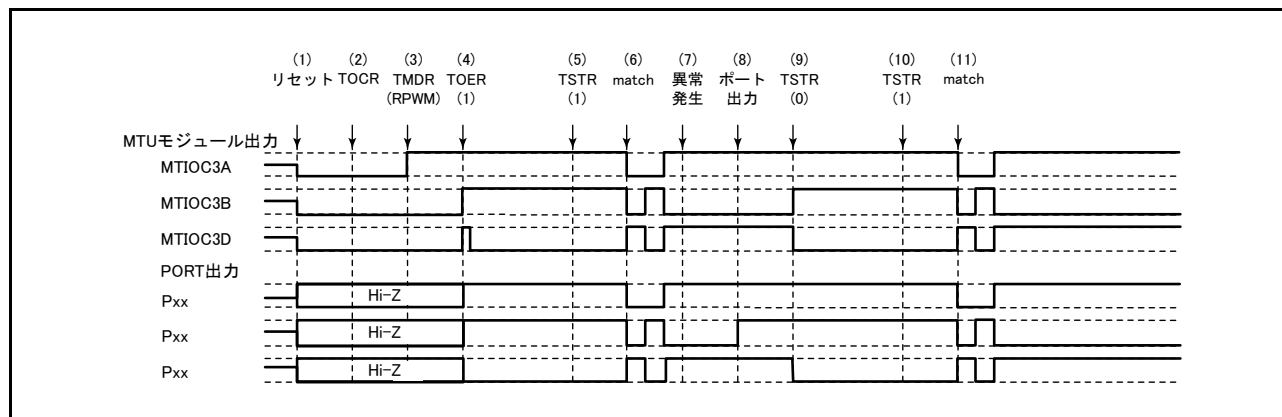


図 16.171 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (9) は図 16.168 と共通です。

(10) TSTRA レジスタで再スタートします。

(11) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

17. ポートアウトプットイネーブル3 (POE3)

ポートアウトプットイネーブル3 (POE3) は、POE0#、POE4#、POE8#、POE10#、POE11# 端子の入力変化、MTU 相補 PWM 出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D、および MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D) の出力状態、GPT 大電流出力端子 (GTIOC0A-A、GTIOC0B-A、GTIOC1A-A、GTIOC1B-A、GTIOC2A-A、GTIOC2B-A) の出力状態またはレジスタ設定によって MTU 相補 PWM 出力端子および MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D)、GPT 端子 (GTIOC0A、GTIOC0B、GTIOC1A、GTIOC1B、GTIOC2A、GTIOC2B、GTIOC3A、GTIOC3B) がマルチプレクスされている端子をハイインピーダンス状態にすることができ、同時に割り込み要求を発行することができます。また、クロック発生回路の発振停止を検出したときも、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子がマルチプレクスされている端子をハイインピーダンス状態にすることができます。

17.1 概要

表 17.1 に POE3 の仕様を、図 17.1 に POE3 のブロック図を示します。

表 17.1 POE3の仕様

項目	内容
機能	<ul style="list-style-type: none"> POE0#、POE4#、POE8#、POE10#、POE11#の各入力端子に立ち下がりエッジ、PCLK/8x16回、PCLK/16x16回、PCLK/128x16回のLowレベルサンプリングの設定が可能です。 POE0#、POE4#、POE8#、POE10#、POE11#端子の立ち下がりエッジ、またはLowレベルサンプリングによって、MTU相補PWM出力端子およびMTU0端子、GPT端子をハイインピーダンス状態にできます。 クロック発生回路の発振停止を検出した場合、MTU相補PWM出力端子およびMTU0端子、GPT端子をハイインピーダンス状態にできます。 MTU相補PWM出力端子またはGPT大電流出力端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU相補PWM出力端子またはGPT大電流出力端子をハイインピーダンス状態にできます。 12ビットA/Dコンバータ (S12ADA) のコンパレータ検出によって、MTU相補PWM出力端子およびMTU0端子、GPT端子をハイインピーダンス状態にできます。 POE3のレジスタの設定により、MTU相補PWM出力端子およびMTU0端子、GPT端子をハイインピーダンス状態にできます。 入力レベルのサンプリング、または出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE3 は図 17.1 のブロック図に示すように、入力レベル検出回路、出力レベル比較回路、およびハイインピーダンス要求/割り込み要求生成回路から構成されます。

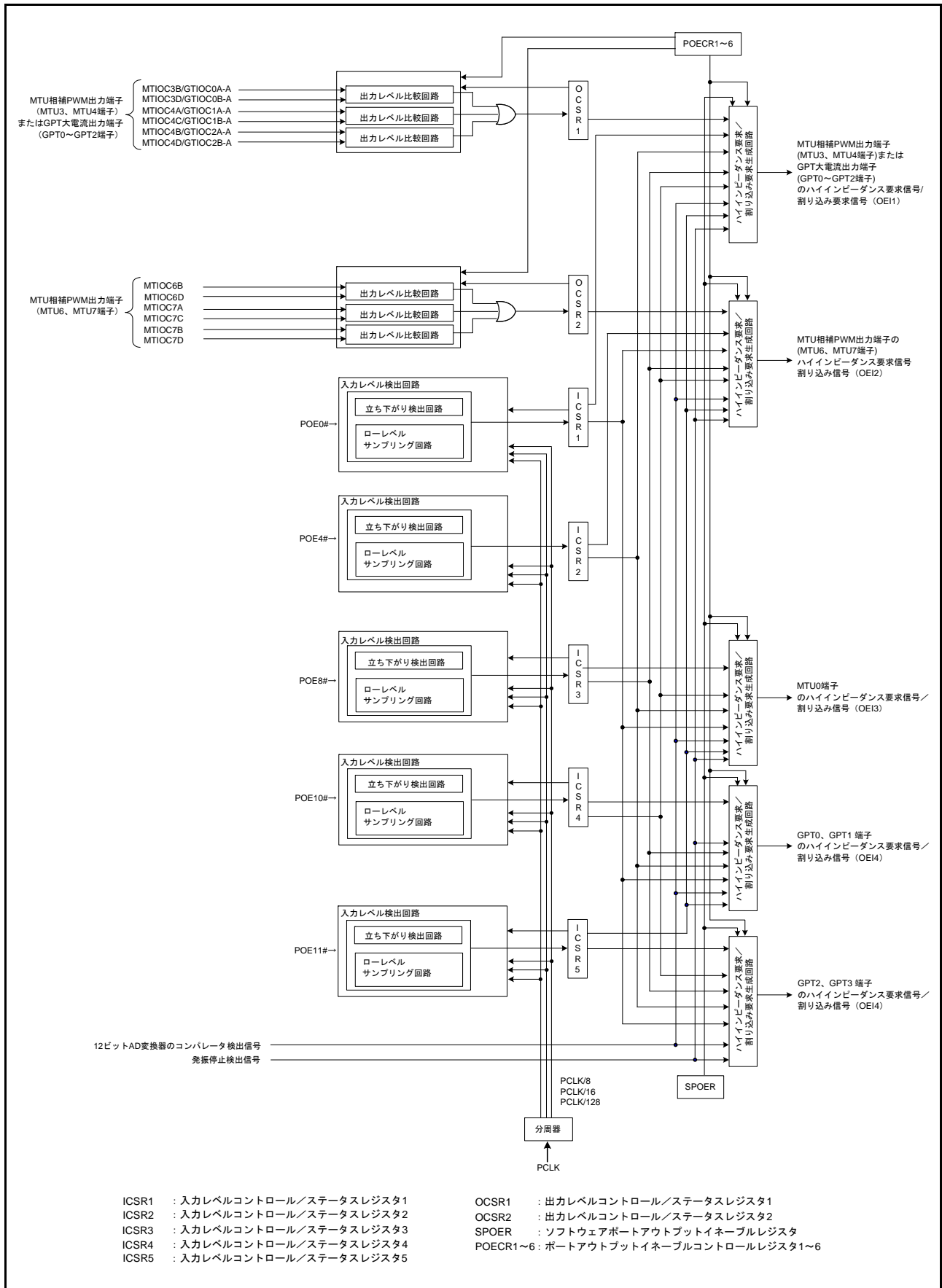


図 17.1 POE3 のブロック図

表 17.2 に POE3 で使用する入出力端子を示します。

表 17.2 POE3の入出力端子

端子名	入出力	機能
POE0#	入力	MTU相補PWM出力端子 (MTU3、MTU4端子) をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU6、MTU7端子)、MTU0端子、GPT端子もハイインピーダンス状態にできます
POE4#	入力	MTU相補PWM出力端子 (MTU6、MTU7端子) をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子)、MTU0端子、GPT端子もハイインピーダンス状態にできます
POE8#	入力	MTU0の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子およびMTU6、MTU7端子)、GPT端子もハイインピーダンス状態にできます
POE10#	入力	GPT0、GPT1の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子およびMTU6、MTU7端子)、MTU0端子、GPT2端子、GPT3端子もハイインピーダンス状態にできます
POE11#	入力	GPT2、GPT3の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3、MTU4端子およびMTU6、MTU7端子)、MTU0端子、GPT0端子、GPT1端子もハイインピーダンス状態にできます

表 17.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 17.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺クロック (PCLK) 1サイクル以上同時にアクティブレベル出力 (MTUn.TOCR1A.TOCSビットが“0”のときに、MTUn.TOCR1A.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTUn.TOCR1A.TOCSビットが“1”のときに、MTUn.TOCR2A.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力) が続いた場合、MTU相補PWM出力端子 (MTU3、MTU4端子) をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	
MTIOC6BとMTIOC6D	出力	周辺クロック (PCLK) 1サイクル以上同時にアクティブレベル出力 (MTUn.TOCR1B.TOCSビットが“0”のときに、MTUn.TOCR1B.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTUn.TOCR1B.TOCSビットが“1”のときに、MTUn.TOCR2B.OLS3N、OLS3P、OLS2N、OLS2P、OLS1N、OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力) が続いた場合、MTU相補PWM出力端子 (MTU6、MTU7端子) をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます
MTIOC7AとMTIOC7C	出力	
MTIOC7BとMTIOC7D	出力	
GTIOC0A-AとGTIOC0B-A	出力	周辺クロック (PCLK) 1サイクル以上同時にアクティブレベル出力 (ALR1.OLSG2B、OLSG2A、OLSG1B、OLSG1A、OLSG0B、OLSG0Aビットが“0”の場合はLow出力、“1”の場合はHigh出力) が続いた場合、GPT大電流出力端子 (GPT0～GPT2端子) をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POE3のレジスタで設定できます
GTIOC1A-AとGTIOC1B-A	出力	
GTIOC2A-AとGTIOC2B-A	出力	

17.2 レジスタの説明

表 17.4 に POE3 のレジスタ一覧を示します。

POE3 のレジスタは、リセットで初期化されます。

表 17.4 POE3のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
入力レベルコントロール/ステータスレジスタ 1	ICSR1	0000h	0008 C4C0h	8、16
出力レベルコントロール/ステータスレジスタ 1	OCSR1	0000h	0008 C4C2h	8、16
入力レベルコントロール/ステータスレジスタ 2	ICSR2	0000h	0008 C4C4h	8、16
出力レベルコントロール/ステータスレジスタ 2	OCSR2	0000h	0008 C4C6h	8、16
入力レベルコントロール/ステータスレジスタ 3	ICSR3	0000h	0008 C4C8h	8、16
入力レベルコントロール/ステータスレジスタ 4	ICSR4	0000h	0008 C4D6h	8、16
入力レベルコントロール/ステータスレジスタ 5	ICSR5	0000h	0008 C4D8h	8、16
ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	00h	0008 C4CAh	8
ポートアウトプットイネーブルコントロールレジスタ 1	POECR1	00h	0008 C4CBh	8
ポートアウトプットイネーブルコントロールレジスタ 2	POECR2	0707h	0008 C4CCh	16
ポートアウトプットイネーブルコントロールレジスタ 3	POECR3	0303h	0008 C4CEh	16
ポートアウトプットイネーブルコントロールレジスタ 4	POECR4	0402h	0008 C4D0h	16
ポートアウトプットイネーブルコントロールレジスタ 5	POECR5	0008h	0008 C4D2h	16
ポートアウトプットイネーブルコントロールレジスタ 6	POECR6	2010h	0008 C4D4h	16
アクティブレベルレジスタ 1	ALR1	0000h	0008 C4DAh	8、16

17.2.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

アドレス 0008 C4C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE0 F	—	—	—	PIE1	—	—	—	—	—	—	POE0M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 00: POE0#入力の立ち下がリエッジで要求を受け付け 01: POE0#入力のローをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 10: POE0#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 11: POE0#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE1	ポート割り込み許可1ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0: POE0#端子にハイインピーダンス要求なし 1: POE0#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE0M[1:0] ビット (POE0 モード選択ビット)

POE0# 端子の入力モードを選択します。

PIE1 ビット (ポート割り込み許可1ビット)

POE0F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

[“1”になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

17.2.2 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

アドレス 0008 C4C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可1ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

OCSR1 レジスタは、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

OIE1 ビット (出力短絡割り込み許可 1 ビット)

OSF1 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡ハイインピーダンス許可 1 ビット)

OSF1 フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ (出力短絡フラグ 1)

MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) または GPT 大電流出力端子 (GPT0 ~ GPT2 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

17.2.3 アクティブレベルレジスタ 1 (ALR1)

アドレス 0008 C4DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSE N	—	OLSG 2B	OLSG 2A	OLSG 1B	OLSG 1A	OLSG 0B	OLSG 0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B/GTIOC0A-A アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b1	OLSG0B	MTIOC3D/GTIOC0B-A アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b2	OLSG1A	MTIOC4A/GTIOC1A-A アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b3	OLSG1B	MTIOC4C/GTIOC1B-A アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b4	OLSG2A	MTIOC4B/GTIOC2A-A アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b5	OLSG2B	MTIOC4D/GTIOC2B-A アクティブレベル設定ビット	0 : Lowアクティブ 1 : Highアクティブ	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR1 レジスタは、OCSR1 レジスタにて MTU 出力および GPT 出力の出力短絡を検出する場合の、MTU 出力および GPT 出力のアクティブレベルを設定するレジスタです。

OLSG0A ビット (MTIOC3B/GTIOC0A-A アクティブレベル設定ビット)

MTIOC3B 出力および GTIOC0A-A 出力のアクティブレベルを設定します。OLSG0A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG0B ビット (MTIOC3D/GTIOC0B-A アクティブレベル設定ビット)

MTIOC3D 出力および GTIOC0B-A 出力のアクティブレベルを設定します。OLSG0B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG1A ビット (MTIOC4A/GTIOC1A-A アクティブレベル設定ビット)

MTIOC4A 出力および GTIOC1A-A 出力のアクティブレベルを設定します。OLSG1A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG1B ビット (MTIOC4C/GTIOC1B-A アクティブレベル設定ビット)

MTIOC4C 出力および GTIOC1B-A 出力のアクティブレベルを設定します。OLSG1B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG2A ビット (MTIOC4B/GTIOC2A-A アクティブレベル設定ビット)

MTIOC4B 出力および GTIOC2A-A 出力のアクティブレベルを設定します。OLSG2A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSG2B ビット (MTIOC4D/GTIOC2B-A アクティブレベル設定ビット)

MTIOC4D 出力および GTIOC2B-A 出力のアクティブレベルを設定します。OLSG2B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行いません。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n=0 ~ 2、m=A、B) によるアクティブレベル設定の有効/無効を設定します。OLSEN ビットが“0”の場合は OLSGnm ビットの設定は無効となり、MTU 出力のアクティブレベルは MTU.TOCR1 レジスタおよび MTU.TOCR2 レジスタの設定となります。OLSEN ビットが“1”の場合は、MTU 出力のアクティブレベルは OLSGnm ビットの設定となります。

GPT 出力のアクティブレベルは、OLSEN ビットが“1”のときのみ設定可能です。GPT 出力の出力短絡検出を行なう場合は OLSSEN ビットを“1”にし、OLSGnm ビットで GPT 出力のアクティブレベルを設定してください。

17.2.4 入力レベルコントロール/ステータスレジスタ 2 (ICSR2)

アドレス 0008 C4C4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE4 F	—	—	—	PIE2	—	—	—	—	—	—	—	POE4M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE4M[1:0]	POE4モード選択ビット	b1 b0 00: POE4# 入力の立ち下がリエッジで要求を受け付け 01: POE4# 入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 10: POE4# 入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 11: POE4# 入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE2	ポート割り込み許可2ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE4F	POE4フラグ	0: POE4# 端子にハイインピーダンス要求なし 1: POE4# 端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR2 レジスタは、POE4# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE4M[1:0] ビット (POE4 モード選択ビット)

POE4# 端子の入力モードを選択します。

PIE2 ビット (ポート割り込み許可2ビット)

POE4F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE4F フラグ (POE4 フラグ)

POE4# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

[“1”になる条件]

- POE4# 端子に POE4M[1:0] ビットで設定した入力が発生したとき

17.2.5 出力レベルコントロール/ステータスレジスタ 2 (OCSR2)

アドレス 0008 C4C6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF2	—	—	—	—	—	OCE2	OIE2	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE2	出力短絡割り込み許可2ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	OCE2	出力短絡ハイインピーダンス許可2ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF2	出力短絡フラグ2	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

OCSR2 レジスタは、出力レベルの比較許可/禁止、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

OIE2 ビット (出力短絡割り込み許可 2 ビット)

OSF2 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE2 ビット (出力短絡ハイインピーダンス許可 2 ビット)

OSF2 フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

OSF2 フラグ (出力短絡フラグ 2)

MTU 相補 PWM 出力端子 (MTU6、MTU7 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

17.2.6 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

アドレス 0008 C4C8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE8 F	—	—	POE8 E	PIE3	—	—	—	—	—	—	—	POE8M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 00: POE8#入力の立ち下がりエッジで要求を受け付け 01: POE8#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 10: POE8#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 11: POE8#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE3	ポート割り込み許可3ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0: POE8#端子にハイインピーダンス要求なし 1: POE8#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE8M[1:0] ビット (POE8 モード選択ビット)

POE8# 端子の入力モードを選択します。

PIE3 ビット (ポート割り込み許可3ビット)

POE8F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 ハイインピーダンスイネーブルビット)

POE8F フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

17.2.7 入力レベルコントロール/ステータスレジスタ 4 (ICSR4)

アドレス 0008 C4D6h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE10F	—	—	POE10E	PIE4	—	—	—	—	—	—	—	POE10M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE10M[1:0]	POE10モード選択ビット	b1 b0 00: POE10#入力の立ち下がりエッジで要求を受け付け 01: POE10#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 10: POE10#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 11: POE10#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE4	ポート割り込み許可4ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE10E	POE10ハイインピーダンス許可ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE10F	POE10フラグ	0: POE10#端子にハイインピーダンス要求なし 1: POE10#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE10M[1:0] ビット (POE10 モード選択ビット)

POE10# 端子の入力モードを選択します。

PIE4 ビット (ポート割り込み許可4ビット)

POE10F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット (POE10 ハイインピーダンス許可ビット)

POE10F フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE10F フラグ (POE10 フラグ)

POE10# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

[“1”になる条件]

- POE10# 端子に POE10M[1:0] ビットで設定した入力が発生したとき

17.2.8 入力レベルコントロール/ステータスレジスタ 5 (ICSR5)

アドレス 0008 C4D8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE11F	—	—	POE11E	PIE5	—	—	—	—	—	—	POE11M[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE11M[1:0]	POE11モード選択ビット	b1 b0 00: POE11#入力の立ち下がりエッジで要求を受け付け 01: POE11#入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 10: POE11#入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 11: POE11#入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE5	ポート割り込み許可5ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE11E	POE11ハイインピーダンス許可ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE11F	POE11フラグ	0: POE11#端子にハイインピーダンス要求なし 1: POE11#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

ICSR5 レジスタは、POE11# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示します。

POE11M[1:0] ビット (POE11 モード選択ビット)

POE11# 端子の入力モードを選択します。

PIE5 ビット (ポート割り込み許可5ビット)

POE11F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE11E ビット (POE11 ハイインピーダンス許可ビット)

POE11F フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE11F フラグ (POE11 フラグ)

POE11# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

[“1”になる条件]

- POE11# 端子に POE11M[1:0] ビットで設定した入力が発生したとき

17.2.9 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス 0008 C4CAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	GPT2 3HIZ	GPT0 1HIZ	MTUC HOHIZ	MTUC H67HIZ	MTUC H34HIZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3、MTU4出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b1	MTUCH67HIZ	MTU6、MTU7出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b2	MTUCH0HIZ	MTU0出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b3	GPT01HIZ	GPT0、GPT1出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b4	GPT23HIZ	GPT2、GPT3出力ハイインピーダンス許可ビット	0：ハイインピーダンス状態にしない 1：ハイインピーダンス状態にする	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPOER レジスタは、端子のハイインピーダンスを制御するレジスタです。

MTUCH34HIZ ビット (MTU3、MTU4 出力ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D) または GPT 大電流出力端子 (GTIOC0A-A、GTIOC0B-A、GTIOC1A-A、GTIOC1B-A、GTIOC2A-A、GTIOC2B-A) をハイインピーダンス状態にする制御を行います。

["0"になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

["1"になる条件]

- “1”を書いたとき

MTUCH67HIZ ビット (MTU6、MTU7 出力ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC6B、MTIOC6D、MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D) をハイインピーダンス状態にする制御を行います。

["0"になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

["1"になる条件]

- “1”を書いたとき

MTUCH0HIZ ビット (MTU0 出力ハイインピーダンス許可ビット)

MTU0 の端子をハイインピーダンス状態にする制御を行います。

["0" になる条件]

- リセット
- "1" の状態を読んだ後、"0" を書いたとき

["1" になる条件]

- "1" を書いたとき

GPT01HIZ ビット (GPT0、GPT1 出力ハイインピーダンス許可ビット)

GPT0、GPT1 端子 (GTIOC0A-B、GTIOC0B-B、GTIOC1A-B、GTIOC1B-B) をハイインピーダンス状態にする制御を行います。

["0" になる条件]

- リセット
- "1" の状態を読んだ後、"0" を書いたとき

["1" になる条件]

- "1" を書いたとき

GPT23HIZ ビット (GPT2、GPT3 出力ハイインピーダンス許可ビット)

GPT2、GPT3 端子 (GTIOC2A-B、GTIOC2B-B、GTIOC3A-B、GTIOC3B-B) をハイインピーダンス状態にする制御を行います。

["0" になる条件]

- リセット
- "1" の状態を読んだ後、"0" を書いたとき

["1" になる条件]

- "1" を書いたとき

17.2.10 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス 0008 C4CBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MTU0 DZE	MTU0 CZE	MTU0 BZE	MTU0 AZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTU CH0Aハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	MTU0BZE	MTU CH0Bハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	MTU0CZE	MTU CH0Cハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b3	MTU0DZE	MTU CH0Dハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR1 レジスタは、MTU0 端子のハイインピーダンスを制御するレジスタです。

MTU0AZE ビット (MTU CH0A ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICU.NMISR.OSTST ビット、POECR5 レジスタで追加選択した ICSRn.POEmF (n=1,2,4,5、m=0,4,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、MTU0 端子の MTIOC0A-A 出力と MTIOC0A-B 出力をハイインピーダンス状態にするかどうか設定します。

MTU0BZE ビット (MTU CH0B ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICU.NMISR.OSTST ビット、POECR5 レジスタで追加選択した ICSRn.POEmF (n=1,2,4,5、m=0,4,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、MTU0 端子の MTIOC0B-A 出力と MTIOC0B-B 出力をハイインピーダンス状態にするかどうか設定します。

MTU0CZE ビット (MTU CH0C ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICU.NMISR.OSTST ビット、POECR5 レジスタで追加選択した ICSRn.POEmF (n=1,2,4,5、m=0,4,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、MTU0 端子の MTIOC0C 出力をハイインピーダンス状態にするかどうか設定します。

MTU0DZE ビット (MTU CH0D ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICU.NMISR.OSTST ビット、POECR5 レジスタで追加選択した ICSRn.POEmF (n=1,2,4,5、m=0,4,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、MTU0 端子の MTIOC0D 出力をハイインピーダンス状態にするかどうか設定します。

17.2.11 ポートアウトプットイネーブルコントロールレジスタ 2 (POE2R2)

アドレス 0008 C4CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3 BDZE	MTU4 ACZE	MTU4 BDZE	—	—	—	—	—	MTU6 BDZE	MTU7 ACZE	MTU7 BDZE
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MTU7BDZE	MTU CH7BDハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b1	MTU7ACZE	MTU CH7ACハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b2	MTU6BDZE	MTU CH6BDハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTU CH4BDハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b9	MTU4ACZE	MTU CH4ACハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b10	MTU3BDZE	MTU CH3BDハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POE2R2 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4、MTU6、MTU7 端子) および GPT 大電流出力端子 (GPT0 ~ GPT2 端子) のハイインピーダンスを制御するレジスタです。

MTU7BDZE ビット (MTU CH7BD ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICU.NMISR.OSTST ビット、POE2R4 レジスタで追加選択した ICSRn.POE_mF (n=1,3 ~ 5、m=0,8,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、MTU7 端子の MTIOC7B 出力と MTIOC7D 出力をハイインピーダンス状態にするかどうかを設定します。

MTU7ACZE ビット (MTU CH7AC ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICU.NMISR.OSTST ビット、POE2R4 レジスタで追加選択した ICSRn.POE_mF (n=1,3 ~ 5、m=0,8,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、MTU7 端子の MTIOC7A 出力と MTIOC7C 出力をハイインピーダンス状態にするかどうかを設定します。

MTU6BDZE ビット (MTU CH6BD ハイインピーダンス許可ビット)

OCSR2.OSF2 フラグ、ICSR2.POE4F フラグ、SPOER.MTUCH67HIZ ビット、ICU.NMISR.OSTST ビット、POE2R4 レジスタで追加選択した ICSRn.POE_mF (n=1,3 ~ 5、m=0,8,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、MTU6 端子の MTIOC6B 出力と MTIOC6D 出力をハイインピーダンス状態にするかどうかを設定します。

MTU4BDZE ビット (MTU CH4BD ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICU.NMISR.OSTST ビット、POECR4 レジスタで追加選択した ICSRn.POE_mF (n=2 ~ 5、m=4,8,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) のうち、どれか1つでも“1”になったときに、MTU4 / GPT2 端子の MTIOC4B 出力 /GTIOC2A-A 出力と MTIOC4D 出力 /GTIOC2B-A 出力をハイインピーダンス状態にするかどうか設定します。

MTU4ACZE ビット (MTU CH4AC ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICU.NMISR.OSTST ビット、POECR4 レジスタで追加選択した ICSRn.POE_mF (n=2 ~ 5、m=4,8,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) のうち、どれか1つでも“1”になったときに、MTU4 / GPT1 端子の MTIOC4A 出力 /GTIOC1A-A 出力と MTIOC4C 出力 /GTIOC1B-A 出力をハイインピーダンス状態にするかどうか設定します。

MTU3BDZE ビット (MTU CH3BD ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICU.NMISR.OSTST ビット、POECR4 レジスタで追加選択した ICSRn.POE_mF (n=2 ~ 5、m=4,8,10,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、MTU3 / GPT0 端子の MTIOC3B 出力 /GTIOC0A-A 出力と MTIOC3D 出力 /GTIOC0B-A 出力をハイインピーダンス状態にするかどうか設定します。

17.2.12 ポートアウトプットイネーブルコントロールレジスタ 3 (POE3)

アドレス 0008 C4CEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	GPT3 ABZE	GPT2 ABZE	—	—	—	—	—	—	GPT1 ABZE	GPT0 ABZE
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	GPT0ABZE	GPT CH0ABハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	GPT1ABZE	GPT CH1ABハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	GPT2ABZE	GPT CH2ABハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b9	GPT3ABZE	GPT CH3ABハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POE3 レジスタは、GPT 端子のハイインピーダンスを制御するレジスタです。

GPT0ABZE ビット (GPT CH0AB ハイインピーダンス許可ビット)

ICSR4.POE10F フラグ、SPOER.GPT01HIZ ビット、ICU.NMISR.OSTST ビット、POE3 レジスタで追加選択した ICSRn.POEmF (n=1 ~ 3,5, m=0,4,8,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2, 4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、GPT0 端子の GTIOC0A-B 出力と GTIOC0B-B 出力をハイインピーダンス状態にするかどうか設定します。

GPT1ABZE ビット (GPT CH1AB ハイインピーダンス許可ビット)

ICSR4.POE10F フラグ、SPOER.GPT01HIZ ビットと、ICU.NMISR.OSTST ビット、POE3 レジスタで追加選択した ICSRn.POEmF (n=1 ~ 3,5, m=0,4,8,11) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2, 4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、GPT1 端子の GTIOC1A-B 出力と GTIOC1B-B 出力をハイインピーダンス状態にするかどうか設定します。

GPT2ABZE ビット (GPT CH2AB ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT23HIZ ビット、ICU.NMISR.OSTST ビット、POE3 レジスタで追加選択した ICSRn.POEmF (n=1 ~ 4, m=0,4,8,10) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2, 4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、GPT2 端子の GTIOC2A-B 出力と GTIOC2B-B 出力をハイインピーダンス状態にするかどうか設定します。

GPT3ABZE ビット (GPT CH3AB ハイインピーダンス許可ビット)

ICSR5.POE11F フラグ、SPOER.GPT23HIZ ビット、ICU.NMISR.OSTST ビット、POE3 レジスタで追加選択した ICSRn.POEmF (n=1 ~ 4, m=0,4,8,10) フラグおよび S12AD.ADCMPFR.CjFLAG (j=0 ~ 2, 4 ~ 6) フラグのうち、どれか1つでも“1”になったときに、GPT3 端子の GTIOC3A 出力と GTIOC3B 出力をハイインピーダンス状態にするかどうか設定します。

17.2.13 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)

アドレス 0008 C4D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IC5ADD MT67ZE	IC4ADD MT67ZE	IC3ADD MT67ZE	—	IC1ADD MT67ZE	CMADD MT67ZE	—	—	IC5ADD MT34ZE	IC4ADD MT34ZE	IC3ADD MT34ZE	IC2ADD MT34ZE	—	CMADD MT34ZE
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT34ZE	MTU CH34ハイインピーダンス CFLAG追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	IC2ADDMT34ZE	MTU CH34ハイインピーダンス POE4F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b3	IC3ADDMT34ZE	MTU CH34ハイインピーダンス POE8F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b4	IC4ADDMT34ZE	MTU CH34ハイインピーダンス POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b5	IC5ADDMT34ZE	MTU CH34ハイインピーダンス POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CMADDMT67ZE	MTU CH67ハイインピーダンス CFLAG追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b9	IC1ADDMT67ZE	MTU CH67ハイインピーダンス POE0F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11	IC3ADDMT67ZE	MTU CH67ハイインピーダンス POE8F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b12	IC4ADDMT67ZE	MTU CH67ハイインピーダンス POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b13	IC5ADDMT67ZE	MTU CH67ハイインピーダンス POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR4 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4、MTU6、MTU7 端子) および GPT 大電流出力端子 (GPT0 ~ GPT2 端子) のハイインピーダンス制御条件を拡張するレジスタです。

CMADDMT34ZE ビット (MTU CH34 ハイインピーダンス CFLAG 追加ビット)

S12AD.ADCMPFR.CjFLAG (j=0 ~ 2, 4 ~ 6) フラグを、MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A-A/GTIOC0B-A/MTIOC4A/MTIOC4C/GTIOC1A-A/GTIOC1B-A/MTIOC4B/MTIOC4D/GTIOC2A-A/GTIOC2B-A) のハイインピーダンス制御条件に追加します。ただし、S12AD.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 4) 割り込みは発生しません。

IC2ADDMT34ZE ビット (MTU CH34 ハイインピーダンス POE4F 追加ビット)

ICSR2.POE4F フラグを MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A-A/GTIOC0B-A/MTIOC4A/MTIOC4C/GTIOC1A-A/GTIOC1B-A/MTIOC4B/MTIOC4D/GTIOC2A-A/GTIOC2B-A) のハイインピーダンス制御条件に追加します。

IC3ADDMT34ZE ビット (MTU CH34 ハイインピーダンス POE8F 追加ビット)

ICSR3.POE8F フラグを MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A-A/GTIOC0B-A/MTIOC4A/MTIOC4C/GTIOC1A-A/GTIOC1B-A/MTIOC4B/MTIOC4D/GTIOC2A-A/GTIOC2B-A) のハイインピーダンス制御条件に追加します。

IC4ADDMT34ZE ビット (MTU CH34 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A-A/GTIOC0B-A/MTIOC4A/MTIOC4C/GTIOC1A-A/GTIOC1B-A/MTIOC4B/MTIOC4D/GTIOC2A-A/GTIOC2B-A) のハイインピーダンス制御条件に追加します。

IC5ADDMT34ZE ビット (MTU CH34 ハイインピーダンス POE11F 追加ビット)

ICSR5.POE11F フラグを MTU3、MTU4、GPT0 ~ GPT2 端子 (MTIOC3B/MTIOC3D/GTIOC0A-A/GTIOC0B-A/MTIOC4A/MTIOC4C/GTIOC1A-A/GTIOC1B-A/MTIOC4B/MTIOC4D/GTIOC2A-A/GTIOC2B-A) のハイインピーダンス制御条件に追加します。

CMADDMT67ZE ビット (MTU CH67 ハイインピーダンス CFLAG 追加ビット)

S12AD.ADCMPFR.CjFLAG (j=0 ~ 2, 4 ~ 6) フラグを、MTU6、MTU7 端子 (MTIOC6B/MTIOC6D/MTIOC7A/MTIOC7C/MTIOC7B/MTIOC7D) のハイインピーダンス制御条件に追加します。ただし、S12AD.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 4) 割り込みは発生しません。

IC1ADDMT67ZE ビット (MTU CH67 ハイインピーダンス POE0F 追加ビット)

ICSR1.POE0F フラグを MTU6、MTU7 端子 (MTIOC6B/MTIOC6D/MTIOC7A/MTIOC7C/MTIOC7B/MTIOC7D) のハイインピーダンス制御条件に追加します。

IC3ADDMT67ZE ビット (MTU CH67 ハイインピーダンス POE8F 追加ビット)

ICSR3.POE8F フラグを MTU6、MTU7 端子 (MTIOC6B/MTIOC6D/MTIOC7A/MTIOC7C/MTIOC7B/MTIOC7D) のハイインピーダンス制御条件に追加します。

IC4ADDMT67ZE ビット (MTU CH67 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを MTU6、MTU7 端子 (MTIOC6B/MTIOC6D/MTIOC7A/MTIOC7C/MTIOC7B/MTIOC7D) のハイインピーダンス制御条件に追加します。

IC5ADDMT67ZE ビット (MTU CH67 ハイインピーダンス POE11F 追加ビット)

ICSR5.POE11F フラグを MTU6、MTU7 端子 (MTIOC6B/MTIOC6D/MTIOC7A/MTIOC7C/MTIOC7B/MTIOC7D) のハイインピーダンス制御条件に追加します。

17.2.14 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)

アドレス 0008 C4D2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	IC5ADD MT0ZE	IC4ADD MT0ZE	—	IC2ADD MT0ZE	IC1ADD MT0ZE	CMADD MT0ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT0ZE	MTU CH0ハイインピーダンス CFLAG追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b1	IC1ADDMT0ZE	MTU CH0ハイインピーダンス POE0F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b2	IC2ADDMT0ZE	MTU CH0ハイインピーダンス POE4F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	IC4ADDMT0ZE	MTU CH0ハイインピーダンス POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b5	IC5ADDMT0ZE	MTU CH0ハイインピーダンス POE11F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR5 レジスタは、MTU0 端子のハイインピーダンス制御条件を拡張するレジスタです。

CMADDMT0ZE ビット (MTU CH0 ハイインピーダンス CFLAG 追加ビット)

S12AD.ADCMPFR.CjFLAG (j=0 ~ 2, 4 ~ 6) フラグを、MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。ただし、S12AD.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 4) 割り込みは発生しません。

IC1ADDMT0ZE ビット (MTU CH0 ハイインピーダンス POE0F 追加ビット)

ICSR1.POE0F フラグを MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。

IC2ADDMT0ZE ビット (MTU CH0 ハイインピーダンス POE4F 追加ビット)

ICSR2.POE4F フラグを MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。

IC4ADDMT0ZE ビット (MTU CH0 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。

IC5ADDMT0ZE ビット (MTU CH0 ハイインピーダンス POE11F 追加ビット)

ICSR5.POE11F フラグを MTU0 端子 (MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D) のハイインピーダンス制御条件に追加します。

17.2.15 ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)

アドレス 0008 C4D4h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	IC4ADDG PT23ZE	IC3ADDG PT23ZE	IC2ADDG PT23ZE	IC1ADDG PT23ZE	CMADDG PT23ZE	—	—	IC5ADDG PT01ZE	—	IC3ADDG PT01ZE	IC2ADDG PT01ZE	IC1ADDG PT01ZE	CMADDG PT01ZE
リセット後の値	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT01ZE	GPT CH01ハイインピーダンス CFLAG追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b1	IC1ADDGPT01ZE	GPT CH01ハイインピーダンス POE0F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b2	IC2ADDGPT01ZE	GPT CH01ハイインピーダンス POE4F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b3	IC3ADDGPT01ZE	GPT CH01ハイインピーダンス POE8F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	IC5ADDGPT01ZE	GPT CH01ハイインピーダンス POE11F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CMADDGPT23ZE	GPT CH23ハイインピーダンス CFLAG追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b9	IC1ADDGPT23ZE	GPT CH23ハイインピーダンス POE0F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b10	IC2ADDGPT23ZE	GPT CH23ハイインピーダンス POE4F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b11	IC3ADDGPT23ZE	GPT CH23ハイインピーダンス POE8F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b12	IC4ADDGPT23ZE	GPT CH23ハイインピーダンス POE10F追加ビット	0 : ハイインピーダンス制御条件に追加しない 1 : ハイインピーダンス制御条件に追加する	R/W (注1)
b13	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR6 レジスタは、GPT0～GPT3 端子のハイインピーダンス制御条件を拡張するレジスタです。

CMADDGPT01ZE ビット (GPT CH01 ハイインピーダンス CFLAG 追加ビット)

S12AD.ADCMPFR.CjFLAG (j=0～2, 4～6) フラグを、GPT0、GPT1 端子 (GTIOC0A-B、GTIOC0B-B、GTIOC1A-B、GTIOC1B-B) のハイインピーダンス制御条件に追加します。ただし、S12AD.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1～4) 割り込みは発生しません。

IC1ADDGPT01ZE ビット (GPT CH01 ハイインピーダンス POE0F 追加ビット)

ICSR1.POE0F フラグを GPT0、GPT1 端子 (GTIOC0A-B、GTIOC0B-B、GTIOC1A-B、GTIOC1B-B) のハイインピーダンス制御条件に追加します。

IC2ADDGPT01ZE ビット (GPT CH01 ハイインピーダンス POE4F 追加ビット)

ICSR2.POE4F フラグを GPT0、GPT1 端子 (GTIOC0A-B、GTIOC0B-B、GTIOC1A-B、GTIOC1B-B) のハイインピーダンス制御条件に追加します。

IC3ADDGPT01ZE ビット (GPT CH01 ハイインピーダンス POE8F 追加ビット)

ICSR3.POE8F フラグを GPT0、GPT1 端子 (GTIOC0A-B、GTIOC0B-B、GTIOC1A-B、GTIOC1B-B) のハイインピーダンス制御条件に追加します。

IC5ADDGPT01ZE ビット (GPT CH01 ハイインピーダンス POE11F 追加ビット)

ICSR5.POE11F フラグを GPT0、GPT1 端子 (GTIOC0A-B、GTIOC0B-B、GTIOC1A-B、GTIOC1B-B) のハイインピーダンス制御条件に追加します。

CMADDGPT23ZE ビット (GPT CH23 ハイインピーダンス CFLAG 追加ビット)

S12AD.ADCMPFR.CjFLAG (j=0 ~ 2、4 ~ 6) フラグを、GPT2、GPT3 端子 (GTIOC2A-B、GTIOC2B-B、GTIOC3A-B、GTIOC3B-B) のハイインピーダンス制御条件に追加します。ただし、S12AD.ADCMPFR.CjFLAG フラグにより端子がハイインピーダンスとなった場合、OEIn (n=1 ~ 4) 割り込みは発生しません。

IC1ADDGPT23ZE ビット (GPT CH23 ハイインピーダンス POE0F 追加ビット)

ICSR1.POE0F フラグを GPT2、GPT3 端子 (GTIOC2A-B、GTIOC2B-B、GTIOC3A-B、GTIOC3B-B) のハイインピーダンス制御条件に追加します。

IC2ADDGPT23ZE ビット (GPT CH23 ハイインピーダンス POE4F 追加ビット)

ICSR2.POE4F フラグを GPT2、GPT3 端子 (GTIOC2A-B、GTIOC2B-B、GTIOC3A-B、GTIOC3B-B) のハイインピーダンス制御条件に追加します。

IC3ADDGPT23ZE ビット (GPT CH23 ハイインピーダンス POE8F 追加ビット)

ICSR3.POE8F フラグを GPT2、GPT3 端子 (GTIOC2A-B、GTIOC2B-B、GTIOC3A-B、GTIOC3B-B) のハイインピーダンス制御条件に追加します。

IC4ADDGPT23ZE ビット (GPT CH23 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを GPT2、GPT3 端子 (GTIOC2A-B、GTIOC2B-B、GTIOC3A-B、GTIOC3B-B) のハイインピーダンス制御条件に追加します。

17.3 動作説明

表 17.5 にハイインピーダンス制御の対象となる端子と、ハイインピーダンスになる条件を示します。

表 17.5 ハイインピーダンス制御の対象と条件 (1 / 4)

端子	条件	条件詳細
MTU3B/MTU3D 端子 (MTIOC3B、MTIOC3D)	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 MTIOC3B出力とMTIOC3D出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> - 12ビットA/D変換器のコンパレータ検出 - POE4#端子、POE8#端子、POE10#端子、POE11#端子の入力レベル検出 	MTU3BDZE・ ((POE0F) + (OSF1•OCE1) + (MTUCH34HIZ) + (ICU.NMISR.OSTST) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC2ADDMT34ZE•POE4F) + (IC3ADDMT34ZE•POE8E•POE8F) + (IC4ADDMT34ZE•POE10E•POE10F) + (IC5ADDMT34ZE•POE11E•POE11F)) (n=0~2、4~6)
MTU4A/MTU4C 端子 (MTIOC4A、MTIOC4C)	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 MTIOC4A出力とMTIOC4C出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> - 12ビットA/D変換器のコンパレータ検出 - POE4#端子、POE8#端子、POE10#端子、POE11#端子の入力レベル検出 	MTU4ACZE・ ((POE0F) + (OSF1•OCE1) + (MTUCH34HIZ) + (ICU.NMISR.OSTST) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC2ADDMT34ZE•POE4F) + (IC3ADDMT34ZE•POE8E•POE8F) + (IC4ADDMT34ZE•POE10E•POE10F) + (IC5ADDMT34ZE•POE11E•POE11F)) (n=0~2、4~6)
MTU4B/MTU4D 端子 (MTIOC4B、MTIOC4D)	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 MTIOC4B出力とMTIOC4D出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> - 12ビットA/D変換器のコンパレータ検出 - POE4#端子、POE8#端子、POE10#端子、POE11#端子の入力レベル検出 	MTU4BDZE・ ((POE0F) + (OSF1•OCE1) + (MTUCH34HIZ) + (ICU.NMISR.OSTST) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC2ADDMT34ZE•POE4F) + (IC3ADDMT34ZE•POE8E•POE8F) + (IC4ADDMT34ZE•POE10E•POE10F) + (IC5ADDMT34ZE•POE11E•POE11F)) (n=0~2、4~6)
MTU6B/MTU6D 端子 (MTIOC6B、MTIOC6D)	<ul style="list-style-type: none"> POE4#端子の入力レベル検出 MTIOC6B出力とMTIOC6D出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE8#端子、POE10#端子、POE11#端子の入力レベル検出 	MTU6BDZE・ ((POE4F + (OSF2•OCE2) + (MTUCH67HIZ) + (ICU.NMISR.OSTST) + (CMADDMT67ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT67ZE•POE0F) + (IC3ADDMT67ZE•POE8E•POE8F) + (IC4ADDMT67ZE•POE10E•POE10F) + (IC5ADDMT67ZE•POE11E•POE11F)) (n=0~2、4~6)

表 17.5 ハイインピーダンス制御の対象と条件 (2 / 4)

端子	条件	条件詳細
MTU7A/MTU7C 端子 (MTIOC7A、MTIOC7C)	<ul style="list-style-type: none"> POE4#端子の入力レベル検出 MTIOC7A出力とMTIOC7C出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE8#端子、POE10#端子、POE11#端子の入力レベル検出 	MTU7ACZE・ ((POE4F) + (OSF2•OCE2) + (MTUCH67HIZ) + (ICU.NMISR.OSTST) + (CMADDMT67ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT67ZE•POE0F) + (IC3ADDMT67ZE•POE8E•POE8F) + (IC4ADDMT67ZE•POE10E•POE10F) + (IC5ADDMT67ZE•POE11E•POE11F)) (n=0~2、4~6)
MTU7B/MTU7D 端子 (MTIOC7B、MTIOC7D)	<ul style="list-style-type: none"> POE4#端子の入力レベル検出 MTIOC7B出力とMTIOC7D出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE8#端子、POE10#端子、POE11#端子の入力レベル検出 	MTU7BDZE・ ((POE4F) + (OSF2•OCE2) + (MTUCH67HIZ) + (ICU.NMISR.OSTST) + (CMADDMT67ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT67ZE•POE0F) + (IC3ADDMT67ZE•POE8E•POE8F) + (IC4ADDMT67ZE•POE10E•POE10F) + (IC5ADDMT67ZE•POE11E•POE11F)) (n=0~2、4~6)
GPT0 端子 (GTIOC0A-A、GTIOC0B-A)	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 GTIOC0A-A出力とGTIOC0B-A出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> - 12ビットA/D変換器のコンパレータ検出 - POE4#端子、POE8#端子、POE10#端子、POE11#端子の入力レベル検出 	MTU3BDZE・ ((POE0F) + (OSF1•OCE1) + (MTUCH34HIZ) + (ICU.NMISR.OSTST) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC2ADDMT34ZE•POE4F) + (IC3ADDMT34ZE•POE8E•POE8F) + (IC4ADDMT34ZE•POE10E•POE10F) + (IC5ADDMT34ZE•POE11E•POE11F)) (n=0~2、4~6)
GPT1 端子 (GTIOC1A-A、GTIOC1B-A)	<ul style="list-style-type: none"> POE0#端子の入力レベル検出 GTIOC1A-A出力とGTIOC1B-A出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 <ul style="list-style-type: none"> - 12ビットA/D変換器のコンパレータ検出 - POE4#端子、POE8#端子、POE10#端子、POE11#端子の入力レベル検出 	MTU4ACZE・ ((POE0F) + (OSF1•OCE1) + (MTUCH34HIZ) + (ICU.NMISR.OSTST) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC2ADDMT34ZE•POE4F) + (IC3ADDMT34ZE•POE8E•POE8F) + (IC4ADDMT34ZE•POE10E•POE10F) + (IC5ADDMT34ZE•POE11E•POE11F)) (n=0~2、4~6)

表 17.5 ハイインピーダンス制御の対象と条件 (3 / 4)

端子	条件	条件詳細
GPT2 端子 (GTIOC2A-A、GTIOC2B-A)	<ul style="list-style-type: none"> POE0# 端子の入カレベル検出 GTIOC2A-A出力とGTIOC2B-A出力の出力レベル比較 SPOERレジスタ設定 発振停止検出 POECR4レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE4# 端子、POE8# 端子、POE10# 端子、POE11# 端子の入カレベル検出 	MTU4BDZE・ ((POE0F) + (OSF1・OCE1) + (MTUCH34HIZ) + (ICU.NMISR.OSTST) + (CMADDMT34ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC2ADDMT34ZE・POE4F) + (IC3ADDMT34ZE・POE8E・POE8F) + (IC4ADDMT34ZE・POE10E・POE10F) + (IC5ADDMT34ZE・POE11E・POE11F)) (n=0~2、4~6)
MTU0A 端子 (MTIOC0A-A、MTIOC0A-B)	<ul style="list-style-type: none"> POE8# 端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR5レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0# 端子、POE4# 端子、POE10# 端子、POE11# 端子の入カレベル検出 	MTU0AZE・ ((POE8F・POE8E) + (MTUCH0HIZ) + (ICU.NMISR.OSTST) + (CMADDMT0ZE・ S12AD.ADCMPSEL.POE・+ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT0ZE・POE0F) + (IC2ADDMT0ZE・POE4F) + (IC4ADDMT0ZE・POE10E・POE10F) + (IC5ADDMT0ZE・POE11E・POE11F)) (n=0~2、4~6)
MTU0B 端子 (MTIOC0B-A、MTIOC0B-B)	<ul style="list-style-type: none"> POE8# 端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR5レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0# 端子、POE4# 端子、POE10# 端子、POE11# 端子の入カレベル検出 	MTU0BZE・ ((POE8F・POE8E) + (MTUCH0HIZ) + (ICU.NMISR.OSTST) + (CMADDMT0ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT0ZE・POE0F) + (IC2ADDMT0ZE・POE4F) + (IC4ADDMT0ZE・POE10E・POE10F) + (IC5ADDMT0ZE・POE11E・POE11F)) (n=0~2、4~6)
MTU0C 端子 (MTIOC0C)	<ul style="list-style-type: none"> POE8# 端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR5レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0# 端子、POE4# 端子、POE10# 端子、POE11# 端子の入カレベル検出 	MTU0CZE・ ((POE8F・POE8E) + (MTUCH0HIZ) + (ICU.NMISR.OSTST) + (CMADDMT0ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT0ZE・POE0F) + (IC2ADDMT0ZE・POE4F) + (IC4ADDMT0ZE・POE10E・POE10F) + (IC5ADDMT0ZE・POE11E・POE11F)) (n=0~2、4~6)
MTU0D 端子 (MTIOC0D)	<ul style="list-style-type: none"> POE8# 端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR5レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0# 端子、POE4# 端子、POE10# 端子、POE11# 端子の入カレベル検出 	MTU0DZE・ ((POE8F・POE8E) + (MTUCH0HIZ) + (ICU.NMISR.OSTST) + (CMADDMT0ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDMT0ZE・POE0F) + (IC2ADDMT0ZE・POE4F) + (IC4ADDMT0ZE・POE10E・POE10F) + (IC5ADDMT0ZE・POE11E・POE11F)) (n=0~2、4~6)

表 17.5 ハイインピーダンス制御の対象と条件 (4 / 4)

端子	条件	条件詳細
GPT0 端子 (GTIOC0A-B、GTIOC0B-B)	<ul style="list-style-type: none"> POE10#端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE4#端子、POE8#端子、 POE11#端子の入カレベル検出 	GPT0ABZE・ ((POE10F・POE10E) + (GPT01HIZ) + (ICU.NMISR.OSTST) + (CMADDGPT01ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDGPT01ZE・POE0F) + (IC2ADDGPT01ZE・POE4F) + (IC3ADDGPT01ZE・POE8E・POE8F) + (IC5ADDGPT01ZE・POE11E・POE11F)) (n=0~2、4~6)
GPT1 端子 (GTIOC1A-B、GTIOC1B-B)	<ul style="list-style-type: none"> POE10#端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE4#端子、POE8#端子、 POE11#端子の入カレベル検出 	GPT1ABZE・ ((POE10F・POE10E) + (GPT01HIZ) + (ICU.NMISR.OSTST) + (CMADDGPT01ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDGPT01ZE・POE0F) + (IC2ADDGPT01ZE・POE4F) + (IC3ADDGPT01ZE・POE8E・POE8F) + (IC5ADDGPT01ZE・POE11E・POE11F)) (n=0~2、4~6)
GPT2 端子 (GTIOC2A-B、GTIOC2B-B)	<ul style="list-style-type: none"> POE11#端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE4#端子、POE8#端子、 POE10#端子の入カレベル検出 	GPT2ABZE・ ((POE11F・POE11E) + (GPT23HIZ) + (ICU.NMISR.OSTST) + (CMADDGPT23ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDGPT23ZE・POE0F) + (IC2ADDGPT23ZE・POE4F) + (IC3ADDGPT23ZE・POE8E・POE8F) + (IC4DDGPT23ZE・POE10E・POE10F)) (n=0~2、4~6)
GPT3 端子 (GTIOC3A、GTIOC3B)	<ul style="list-style-type: none"> POE11#端子の入カレベル検出 SPOERレジスタ設定 発振停止検出 POECR6レジスタで追加された条件 - 12ビットA/D変換器のコンパレータ検出 - POE0#端子、POE4#端子、POE8#端子、 POE10#端子の入カレベル検出 	GPT3ABZE・ ((POE11F・POE11E) + (GPT23HIZ) + (ICU.NMISR.OSTST) + (CMADDGPT23ZE・ S12AD.ADCMPSEL.POE・ (S12AD.ADCMPFR.CnFLAG)) + (IC1ADDGPT23ZE・POE0F) + (IC2ADDGPT23ZE・POE4F) + (IC3ADDGPT23ZE・POE8E・POE8F) + (IC4ADDGPT23ZE・POE10E・POE10F)) (n=0~2、4~6)

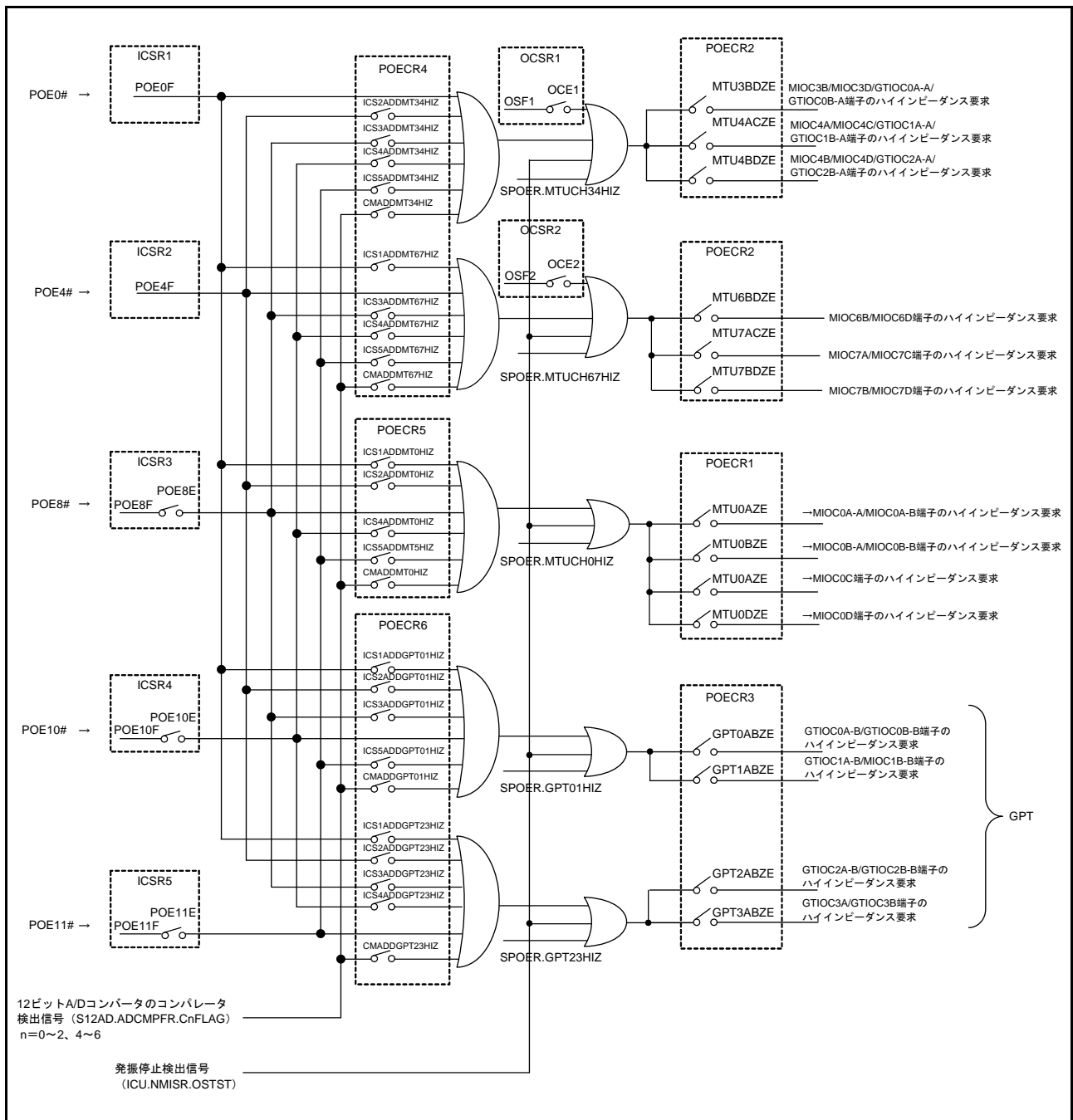


図 17.2 ハイインピーダンス制御の対象と条件

17.3.1 入力レベル検出動作

ICSR1 ~ ICSR5 レジスタで設定した入力条件が POE0#、POE4#、POE8#、POE10#、POE11# 端子に発生した場合、MTU 相補 PWM 出力端子 (MTU3、MTU4 端子および MTU6、MTU7 端子) および MTU0 端子、GPT 端子をハイインピーダンス状態にします。ただし、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をマルチプレクスしている端子が、MTU、GPT 機能を選択していない場合でもハイインピーダンスになります。

(1) 立ち下がリエッジ検出

POE0#、POE4#、POE8#、POE10#、POE11# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子がマルチプレクスされている端子をハイインピーダンス状態にします。

POE0#、POE4#、POE8#、POE10#、POE11# 端子入力から端子のハイインピーダンスまでのタイミング例を図 17.3 に示します。

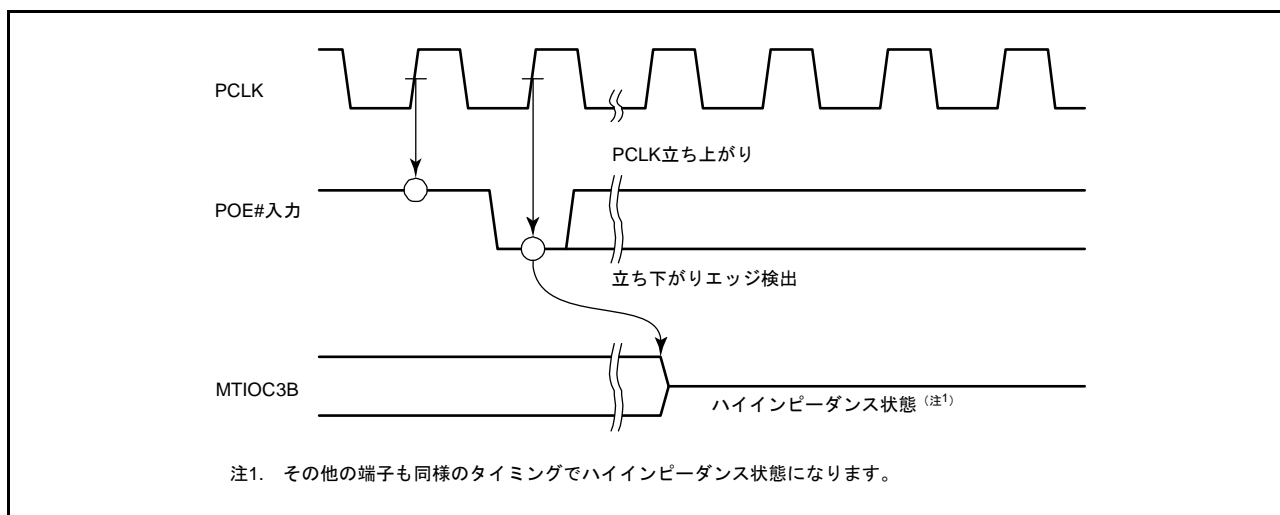


図 17.3 立ち下がリエッジ検出動作

(2) Low レベル検出

図 17.4 に Low レベル検出動作を示します。ICSR1 ~ ICSR5 レジスタで設定したサンプリングクロックで、16回連続したLowをサンプリングします。このとき、1度でもHighを検出した場合は受け付けられません。

また、サンプリングクロックからMTU相補PWM出力端子およびMTU0端子、GPT端子がハイインピーダンス状態になるタイミングは、立ち下がりエッジ検出、Lowレベル検出ともに同じです。

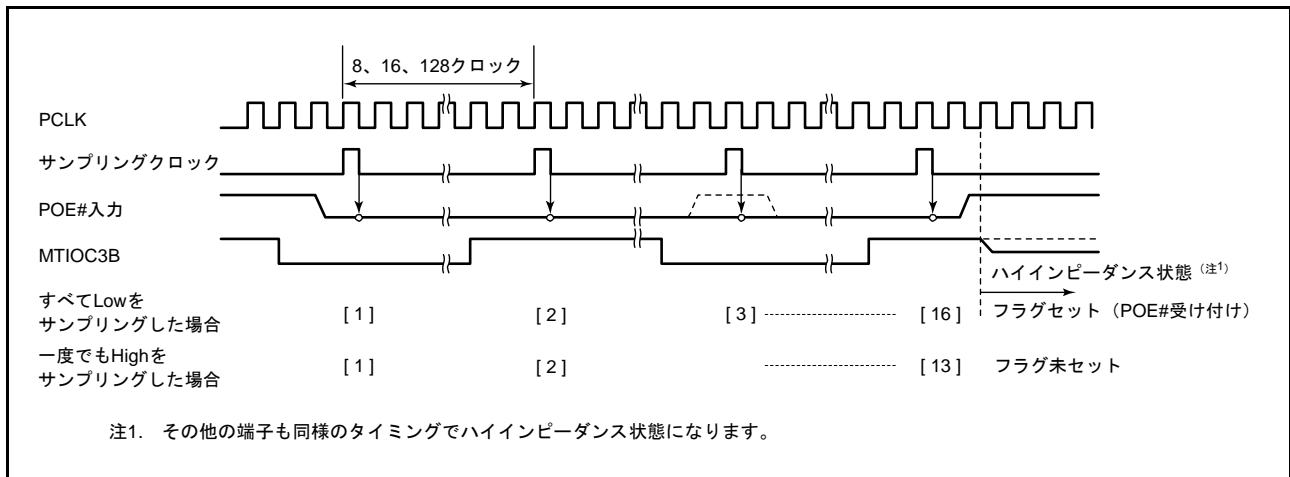


図 17.4 Low レベル検出動作

17.3.2 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 17.5 に示します。他の端子の組み合わせについても同様です。

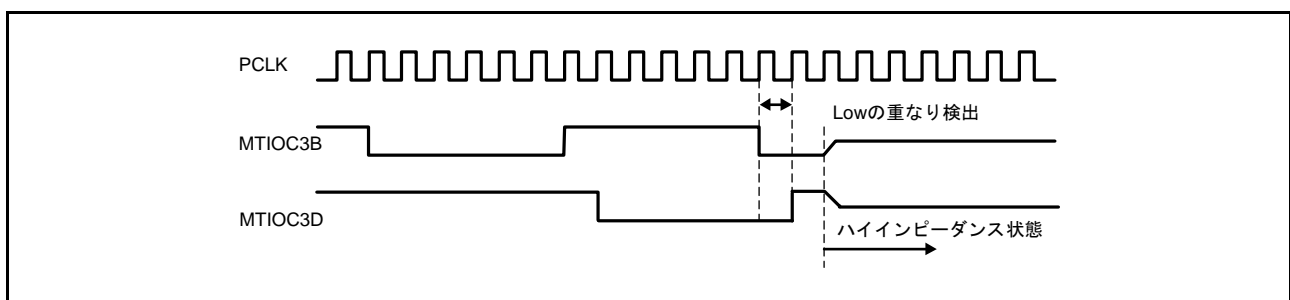


図 17.5 出力レベル検出動作

17.3.3 レジスタによるハイインピーダンス制御

ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) により、直接、MTU 端子 (MTU0、MTU3、MTU4、MTU6、MTU7) および GPT 端子のハイインピーダンス制御をします。

たとえば SPOER.CH34HIZ ビットを“1”にすることで、ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) で設定した MTU3、MTU4 の端子をハイインピーダンス状態にします。

他の端子についても、SPOER レジスタ内のビット設定により同様にハイインピーダンス制御が行えます。

17.3.4 発振停止検出検知によるハイインピーダンス制御

クロック発生回路の発振停止検出回路により、発振停止が検出されると、ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) で設定した MTU3、MTU4、MTU6、MTU7 の端子、ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1) で設定した MTU0 の端子、および、ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3) で設定した GPT の端子をハイインピーダンス状態にします。

17.3.5 コンパレータ検出によるハイインピーダンス制御

12 ビット A/D 変換器に内蔵しているコンパレータの検出により、MTU 相補 PWM 出力端子、MTU0 端子、および GPT 端子をハイインピーダンス状態にすることができます。

たとえば、POECR4.CMADDMT34ZE ビットを“1”にして MTU3、MTU4 の端子のハイインピーダンス制御条件に S12AD.ADCMPFR.CjFLAG (j=0 ~ 2, 4 ~ 6) フラグを追加することで、コンパレータ検出時にポートアウトプットイネーブルコントロールレジスタ 2 (POECR2) で設定した MTU3、MTU4 の端子をハイインピーダンス状態にします。

他の端子についても、POECR1 ~ POECR6 レジスタの設定により同様にハイインピーダンス制御が行えます。

17.3.6 ハイインピーダンス制御条件の追加機能

ポートアウトプットイネーブルコントロールレジスタ 4 ~ 6 (POECR4 ~ 6) の設定により、MTU 相補 PWM 出力端子、MTU0 端子、および GPT 端子のハイインピーダンス制御条件を追加することができます。

たとえば、MTU3、MTU4 の端子のハイインピーダンス制御条件に、下記を追加することができます。

- POECR4.CMADDMT34ZE ビットを“1”にして、コンパレータ検出を追加
- POECR4.IC2ADDMT34ZE ビットを“1”にして、POE4# 端子による入力レベル検出を追加
- POECR4.IC3ADDMT34ZE ビットを“1”にして、POE8# 端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZE ビットを“1”にして、POE10# 端子による入力レベル検出を追加
- POECR4.IC5ADDMT34ZE ビットを“1”にして、POE11# 端子による入力レベル検出を追加

他の端子についても、POECR4 ~ POECR6 レジスタの設定により同様にハイインピーダンス制御条件の追加が行えます。

17.3.7 ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、ICSR1.POE0F フラグ、ICSR2.POE4F フラグ、ICSR3.POE8F フラグ、ICSR4.POE10F フラグ、ICSR5.POE11F フラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[1:0] ビット、ICSR2.POE4M[1:0] ビット、ICSR3.POE8M[1:0] ビット、ICSR4.POE10M[1:0] ビット、ICSR5.POE11M[1:0] ビットで Low レベルサンプリングに設定している場合には、POE0#、POE4#、POE8#、POE10#、POE11# 端子から High を入力して High レベルをサンプリングした後でない、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを“0”にすることによって解除されます。OCSR1.OSF1 フラグ、OCSR2.OSF2 フラグを“0”にする場合は、端子から非アクティブレベルを出力するようにした後に行ってください。

非アクティブレベル出力は、MTU 内のレジスタ、GPT 内のレジスタ、および ALR1 レジスタを設定することで行うことができます。

コンパレータ検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、S12AD.ADCMPFR.CnFLAG (n=0～2、4～6) フラグを“0”にすることによって解除されます。コンパレータ検出フラグ S12AD.ADCMPFR.CnFLAG (n=0～2、4～6) に“0”にする際にはコンパレータ検出を行ったアナログ入力信号が適正值に戻ったことを AD 変換実施等で確認した後に実施してください。アナログ入力信号が適正值に戻ったことを確認しないで当該ビットをクリアした時で、かつアナログ入力信号が Low 側基準電圧よりも低い、または High 側基準電圧よりも高いままだった場合、前述のコンパレータ検出フラグ S12AD.ADCMPFR.CnFLAG は再び“1”にはなりませんのでご注意ください。

17.4 割り込み

POE3 は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 17.6 に割り込みの種類と割り込み要求を出す条件を示します。

表 17.6 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F、OSF1	PIE1•POE0F + OIE1•OSF1
OEI2	アウトプットイネーブル割り込み2	POE4F、OSF2	PIE2•POE4F+OIE2•OSF2
OEI3	アウトプットイネーブル割り込み3	POE8F	PIE3•POE8F
OEI4	アウトプットイネーブル割り込み4	POE10F、POE11F	PIE4•POE10F + PIE5•POE11F

17.5 使用上の注意事項

POE3 を使用する場合は、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、POE3 の動作が停止するため、端子のハイインピーダンス制御はできません。

18. 汎用 PWM タイマ (GPT/GPTa)

RX62Tグループ、RX62Gグループは、4チャンネルの16ビットタイマにより構成される汎用PWMタイマ (GPT/GPTa) を内蔵しています。GPTは、100MHzまで動作可能です。

18.1 概要

表 18.1 に GPT の仕様を、表 18.2 に GPT の機能一覧を示します。図 18.1 に GPT のブロック図を示します。

表 18.1 GPTの仕様

項目	内容
機能	<ul style="list-style-type: none"> • 16ビット×4チャンネル • 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、アップダウンカウント (三角波) • チャンネルごとに独立したクロックソースを選択可能 • チャンネルごとに2本の入出力端子 • チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャンネルごとにフレーム周期用レジスタを搭載 (オーバフロー/アンダフローで割り込み可能) • それぞれのカウンタを同期動作可能 • 同期動作のモード (同時または任意のタイミングでずらす位相シフトに対応) • PWM動作の際にデッドタイム生成が可能 • 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 • 外部/内部トリガによりカウントスタート/クリア/ストップ可能 • 内部トリガ要因として、コンパレータ検出、ソフトウェア、コンペアマッチ • 分周されたIWDI専用の低速オンチップオシレータクロックのエッジを、システムクロック (ICLK) を分周したカウントクロックで計測することが可能 (発振異常検出) • 各チャンネル2本のPWM出力端子に対し、システムクロック (ICLK) の1/32の分解能で立ち上がり/立ち下がりタイミングの制御が可能 (PWM遅延生成機能) (RX62Gグループのみ)

表 18.2 GPTの機能一覧 (1/2)

項目	GPT0	GPT1	GPT2	GPT3	
カウントクロック	ICLK ICLK/2 ICLK/4 ICLK/8	ICLK ICLK/2 ICLK/4 ICLK/8	ICLK ICLK/2 ICLK/4 ICLK/8	ICLK ICLK/2 ICLK/4 ICLK/8	
アウトプットコンペア/ インプットキャプチャ レジスタ (GTCCR)	GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRA GTCCRB	GTCCRA GTCCRB	
コンペア/ バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF	
周期設定レジスタ	GTPR	GTPR	GTPR	GTPR	
周期設定バッファレジスタ	GTPBR GTPDBR	GTPBR GTPDBR	GTPBR GTPDBR	GTPBR GTPDBR	
入出力端子	GTIOC0A GTIOC0B	GTIOC1A GTIOC1B	GTIOC2A GTIOC2B	GTIOC3A GTIOC3B	
外部トリガ入力端子	GTETRG				
カウンタクリア要因	GTPRのコンペアマッチ、インプットキャプチャ、コンパレータ検出、GTETRG端子入力、GTIOC3A/B端子入力、GTIOC3A/Bの内部出力 (アウトプットコンペア)				
コンペア マッチ出力	Low出力	○	○	○	○
	High出力	○	○	○	○
	トグル出力	○	○	○	○
インプットキャプチャ機能	○	○	○	○	
同期動作	○	○	○	○	
位相シフトスタート	○	○	○	○	
デッドタイム自動付加機能	○	○	○	○	
PWMモード	○	○	○	○	
バッファ動作	○	○	○	○	
ワンショット動作	○	○	○	○	
DTCの起動	すべての割り込み要因				
A/D変換開始トリガ	GTADTRA、GTADTRBの コンペアマッチ	GTADTRA、GTADTRBの コンペアマッチ	GTADTRA、GTADTRBの コンペアマッチ	GTADTRA、GTADTRBの コンペアマッチ	

表 18.2 GPTの機能一覧 (2/2)

項目	GPT0	GPT1	GPT2	GPT3
割り込み要因	5要因 ● GTCCRAコンペアマッチ / インพุットキャプチャ (GTCIA0) ● GTCCRBコンペアマッチ / インพุットキャプチャ (GTCIB0) ● GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC0) ● GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE0) ● GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV0)	5要因 ● GTCCRAコンペアマッチ / インพุットキャプチャ (GTCIA1) ● GTCCRBコンペアマッチ / インพุットキャプチャ (GTCIB1) ● GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC1) ● GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE1) ● GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV1)	5要因 ● GTCCRAコンペアマッチ / インพุットキャプチャ (GTCIA2) ● GTCCRBコンペアマッチ / インพุットキャプチャ (GTCIB2) ● GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC2) ● GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE2) ● GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV2)	5要因 ● GTCCRAコンペアマッチ / インพุットキャプチャ (GTCIA3) ● GTCCRBコンペアマッチ / インพุットキャプチャ (GTCIB3) ● GTCCRCコンペアマッチ / GTCCRDコンペアマッチ / デッドタイムエラー (GTCIC3) ● GTCCREコンペアマッチ / GTCCRFコンペアマッチ (GTCIE3) ● GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV3)
共通割り込み要因	外部トリガ/LOCOカウンタ機能割り込み (LOCOI)			
割り込み間引き機能	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV0) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV1) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV2) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)	GTCNTオーバフロー (GTPRコンペアマッチ) / GTCNTアンダフロー (GTCIV3) 割り込みを間引き (他の割り込み、およびA/D変換要求との連動機能あり)

○ : 可能、— : 不可能

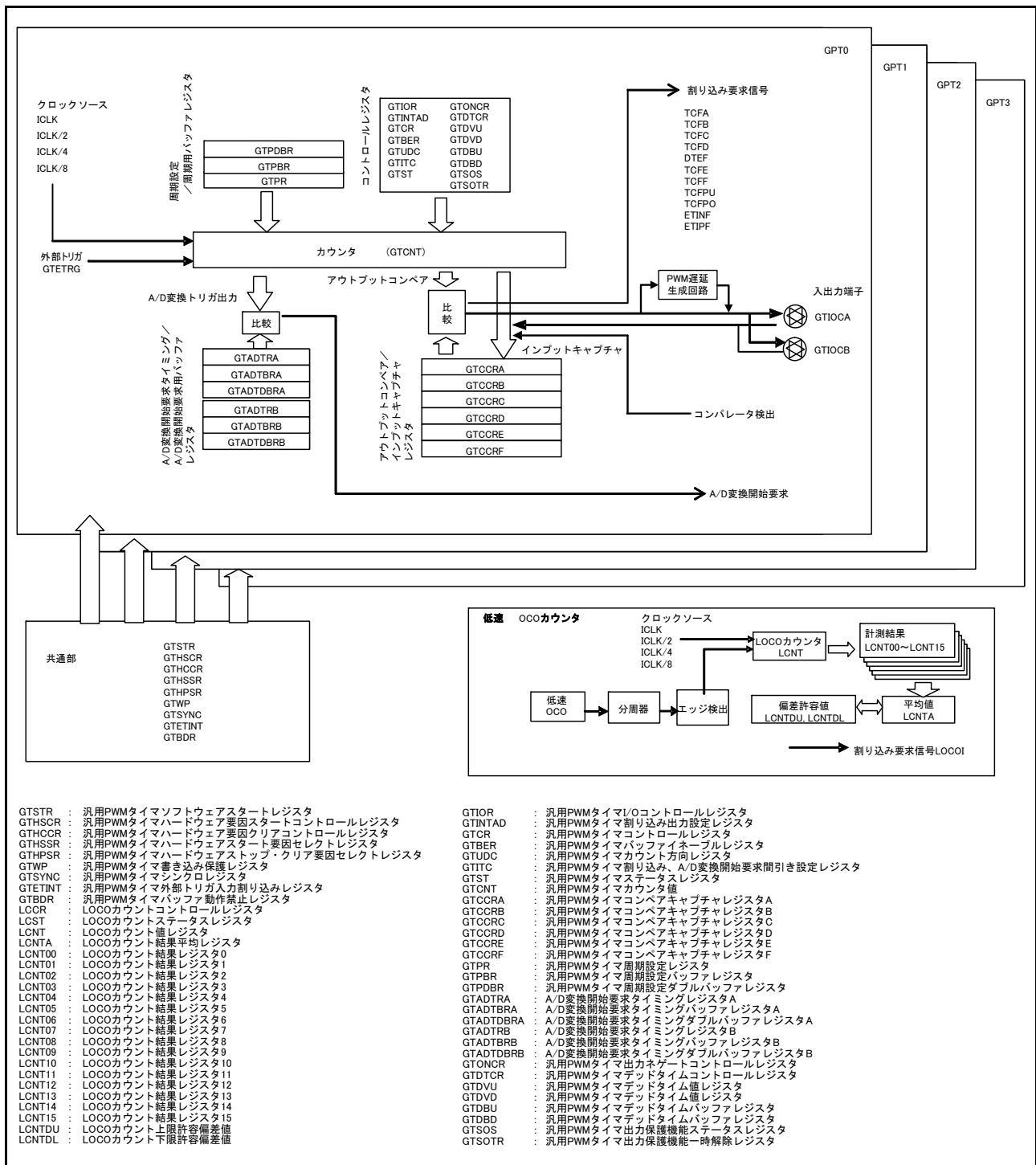


図 18.1 GPTのブロック図

表 18.3 に GPT で使用する入出力端子を示します。

表 18.3 GPTの入出力端子

チャンネル	端子名	入出力	機能
GPT	GTETRG	入力	外部トリガ入力端子
GPT0	GTIOC0A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT1	GTIOC1A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT2	GTIOC2A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
GPT3	GTIOC3A	入出力	GTCCRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3B	入出力	GTCCRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

18.2 レジスタの説明

表 18.4 に GPT レジスタ一覧を示します。

表 18.4 GPTレジスタ一覧 (1 / 4)

チャンネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
GPT	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	0000h	000C 2000h	8,16,32
	汎用PWMタイマハードウェア要因スタートコントロールレジスタ	GTHSCR	0000h	000C 2004h	8,16,32
	汎用PWMタイマハードウェア要因クリアコントロールレジスタ	GTHCCR	0000h	000C 2006h	8,16,32
	汎用PWMタイマハードウェアスタート要因セレクトレジスタ	GTHSSR	0000h	000C 2008h	8,16,32
	汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ	GTHPSR	0000h	000C 200Ah	8,16,32
	汎用PWMタイマ書き込み保護レジスタ	GTWP	0000h	000C 200Ch	8,16,32
	汎用PWMタイマシンクロレジスタ	GTSYNC	0000h	000C 200Eh	8,16,32
	汎用PWMタイマ外部トリガ入力割り込みレジスタ	GTETINT	0000h	000C 2010h	8,16,32
	汎用PWMタイマバッファ動作禁止レジスタ	GTBDR	0000h	000C 2014h	8,16,32
	汎用PWMタイマスタート書き込み保護レジスタ	GTSWP	0000h	000C 2018h	16,32
	LOCOカウンタコントロールレジスタ	LCCR	0000h	000C 2080h	8,16,32
	LOCOカウンタステータスレジスタ	LCST	0000h	000C 2082h	8,16,32
	LOCOカウンタ値レジスタ	LCNT	0000h	000C 2084h	8,16,32
	LOCOカウンタ結果平均レジスタ	LCNTA	0000h	000C 2086h	8,16,32
	LOCOカウンタ結果レジスタ0	LCNT00	0000h	000C 2088h	8,16,32
	LOCOカウンタ結果レジスタ1	LCNT01	0000h	000C 208Ah	8,16,32
	LOCOカウンタ結果レジスタ2	LCNT02	0000h	000C 208Ch	8,16,32
	LOCOカウンタ結果レジスタ3	LCNT03	0000h	000C 208Eh	8,16,32
	LOCOカウンタ結果レジスタ4	LCNT04	0000h	000C 2090h	8,16,32
	LOCOカウンタ結果レジスタ5	LCNT05	0000h	000C 2092h	8,16,32
	LOCOカウンタ結果レジスタ6	LCNT06	0000h	000C 2094h	8,16,32
	LOCOカウンタ結果レジスタ7	LCNT07	0000h	000C 2096h	8,16,32
	LOCOカウンタ結果レジスタ8	LCNT08	0000h	'000C 2098h	8,16,32
	LOCOカウンタ結果レジスタ9	LCNT09	0000h	000C 209Ah	8,16,32
	LOCOカウンタ結果レジスタ10	LCNT10	0000h	000C 209Ch	8,16,32
	LOCOカウンタ結果レジスタ11	LCNT11	0000h	000C 209Eh	8,16,32
	LOCOカウンタ結果レジスタ12	LCNT12	0000h	000C 20A0h	8,16,32
	LOCOカウンタ結果レジスタ13	LCNT13	0000h	000C 20A2h	8,16,32
	LOCOカウンタ結果レジスタ14	LCNT14	0000h	000C 20A4h	8,16,32
	LOCOカウンタ結果レジスタ15	LCNT15	0000h	000C 20A6h	8,16,32
	LOCOカウンタ上限許容偏差値レジスタ	LCNTDU	FFFFh	000C 20A8h	8,16,32
	LOCOカウンタ下限許容偏差値レジスタ	LCNTDL	FFFFh	000C 20AAh	8,16,32
GPT0	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	0000h	000C 2100h	8,16,32
	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	0000h	000C 2102h	8,16,32
	汎用PWMタイマコントロールレジスタ	GTCR	0000h	000C 2104h	8,16,32
	汎用PWMタイマバッファファイナブルレジスタ	GTBER	0000h	000C 2106h	8,16,32
	汎用PWMタイマカウンタ方向レジスタ	GTUDC	0001h	000C 2108h	8,16,32
	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	0000h	000C 210Ah	8,16,32
	汎用PWMタイマステータスレジスタ	GTST	8000h	000C 210Ch	8,16,32
	汎用PWMタイマカウンタ	GTCNT	0000h	000C 210Eh	16
	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	FFFFh	000C 2110h	16,32
	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	FFFFh	000C 2112h	16,32
	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	FFFFh	000C 2114h	16,32
	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	FFFFh	000C 2116h	16,32
	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	FFFFh	000C 2118h	16,32

表 18.4 GPTレジスタ一覧 (2 / 4)

チャンネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
GPT0	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	FFFFh	000C 211Ah	16,32
	汎用PWMタイマ周期設定レジスタ	GTPR	FFFFh	000C 211Ch	16,32
	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	FFFFh	000C 211Eh	16,32
	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	FFFFh	000C 2120h	16,32
	A/D変換開始要求タイミングレジスタA	GTADTRA	FFFFh	000C 2124h	16,32
	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	FFFFh	000C 2126h	16,32
	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	FFFFh	000C 2128h	16,32
	A/D変換開始要求タイミングレジスタB	GTADTRB	FFFFh	000C 212Ch	16,32
	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	FFFFh	000C 212Eh	16,32
	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	FFFFh	000C 2130h	16,32
	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	0100h	000C 2134h	16,32
	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	0000h	000C 2136h	16,32
	汎用PWMタイマデッドタイム値レジスタU	GTDVU	FFFFh	000C 2138h	16,32
	汎用PWMタイマデッドタイム値レジスタD	GTDVD	FFFFh	000C 213Ah	16,32
	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	FFFFh	000C 213Ch	16,32
	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	FFFFh	000C 213Eh	16,32
	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	0x00h	000C 2140h	16,32
	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	0000h	000C 2142h	16,32
	PWM出力遅延制御レジスタ	GTDLYCR	0000h	000C 2300h	16,32
	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	0000h	000C 2318h	16,32
	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	0000h	000C 231Ah	16,32
	GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	0000h	000C 2328h	16,32
	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	0000h	000C 232Ah	16,32
	GPT1	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	0000h	000C 2180h
汎用PWMタイマ割り込み出力設定レジスタ		GTINTAD	0000h	000C 2182h	8,16,32
汎用PWMタイマコントロールレジスタ		GTCR	0000h	000C 2184h	8,16,32
汎用PWMタイマバッファイネーブルレジスタ		GTBER	0000h	000C 2186h	8,16,32
汎用PWMタイマカウンタ方向レジスタ		GTUDC	0001h	000C 2188h	8,16,32
汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ		GTITC	0000h	000C 218Ah	8,16,32
汎用PWMタイマステータスレジスタ		GTST	8000h	000C 218Ch	8,16,32
汎用PWMタイマカウンタ		GTCNT	0000h	000C 218Eh	16
汎用PWMタイマコンペアキャプチャレジスタA		GTCCRA	FFFFh	000C 2190h	16,32
汎用PWMタイマコンペアキャプチャレジスタB		GTCCRB	FFFFh	000C 2192h	16,32
汎用PWMタイマコンペアキャプチャレジスタC		GTCCRC	FFFFh	000C 2194h	16,32
汎用PWMタイマコンペアキャプチャレジスタD		GTCCRD	FFFFh	000C 2196h	16,32
汎用PWMタイマコンペアキャプチャレジスタE		GTCCRE	FFFFh	000C 2198h	16,32
汎用PWMタイマコンペアキャプチャレジスタF		GTCCRF	FFFFh	000C 219Ah	16,32
汎用PWMタイマ周期設定レジスタ		GTPR	FFFFh	000C 219Ch	16,32
汎用PWMタイマ周期設定バッファレジスタ		GTPBR	FFFFh	000C 219Eh	16,32
汎用PWMタイマ周期設定ダブルバッファレジスタ		GTPDBR	FFFFh	000C 21A0h	16,32
A/D変換開始要求タイミングレジスタA		GTADTRA	FFFFh	000C 21A4h	16,32
A/D変換開始要求タイミングバッファレジスタA		GTADTBRA	FFFFh	000C 21A6h	16,32
A/D変換開始要求タイミングダブルバッファレジスタA		GTADTBRA	FFFFh	000C 21A8h	16,32
A/D変換開始要求タイミングレジスタB		GTADTRB	FFFFh	000C 21ACh	16,32
A/D変換開始要求タイミングバッファレジスタB		GTADTRB	FFFFh	000C 21AEh	16,32
A/D変換開始要求タイミングダブルバッファレジスタB		GTADTRB	FFFFh	000C 21B0h	16,32
汎用PWMタイマ出力ネゲートコントロールレジスタ		GTONCR	0100h	000C 21B4h	16,32
汎用PWMタイマデッドタイムコントロールレジスタ		GTDTCR	0000h	000C 21B6h	16,32

表 18.4 GPTレジスタ一覧 (3 / 4)

チャンネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
GPT1	汎用PWMタイマデッドタイム値レジスタU	GTDVU	FFFFh	000C 21B8h	16,32
	汎用PWMタイマデッドタイム値レジスタD	GTDVD	FFFFh	000C 21BAh	16,32
	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	FFFFh	000C 21BCh	16,32
	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	FFFFh	000C 21BEh	16,32
	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	0x00h	000C 21C0h	16,32
	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	0000h	000C 21C2h	16,32
	PWM出力遅延制御レジスタ	GTDLYCR	0000h	000C 2302h	16,32
	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	0000h	000C 231Ch	16,32
	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	0000h	000C 231Eh	16,32
	GTIOCA立ち上がり出力遅延レジスタ	GTDLYFA	0000h	000C 232Ch	16,32
	GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	0000h	000C 232Eh	16,32
	GPT2	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	0000h	000C 2200h
汎用PWMタイマ割り込み出力設定レジスタ		GTINTAD	0000h	000C 2202h	8,16,32
汎用PWMタイマコントロールレジスタ		GTCR	0000h	000C 2204h	8,16,32
汎用PWMタイマバッファイネーブルレジスタ		GTBER	0000h	000C 2206h	8,16,32
汎用PWMタイマカウンタ方向レジスタ		GTUDC	0001h	000C 2208h	8,16,32
汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ		GTITC	0000h	000C 220Ah	8,16,32
汎用PWMタイマステータスレジスタ		GTST	8000h	000C 220Ch	8,16,32
汎用PWMタイマカウンタ		GTCNT	0000h	000C 220Eh	16
汎用PWMタイマコンペアキャプチャレジスタA		GTCCRA	FFFFh	000C 2210h	16,32
汎用PWMタイマコンペアキャプチャレジスタB		GTCCRB	FFFFh	000C 2212h	16,32
汎用PWMタイマコンペアキャプチャレジスタC		GTCCRC	FFFFh	000C 2214h	16,32
汎用PWMタイマコンペアキャプチャレジスタD		GTCCRD	FFFFh	000C 2216h	16,32
汎用PWMタイマコンペアキャプチャレジスタE		GTCCRE	FFFFh	000C 2218h	16,32
汎用PWMタイマコンペアキャプチャレジスタF		GTCCRF	FFFFh	000C 221Ah	16,32
汎用PWMタイマ周期設定レジスタ		GTPR	FFFFh	000C 221Ch	16,32
汎用PWMタイマ周期設定バッファレジスタ		GTPBR	FFFFh	000C 221Eh	16,32
汎用PWMタイマ周期設定ダブルバッファレジスタ		GTPDBR	FFFFh	000C 2220h	16,32
A/D変換開始要求タイミングレジスタA		GTADTRA	FFFFh	000C 2224h	16,32
A/D変換開始要求タイミングバッファレジスタA		GTADTBRA	FFFFh	000C 2226h	16,32
A/D変換開始要求タイミングダブルバッファレジスタA		GTADTBRA	FFFFh	000C 2228h	16,32
A/D変換開始要求タイミングレジスタB		GTADTRB	FFFFh	000C 222Ch	16,32
A/D変換開始要求タイミングバッファレジスタB		GTADTBRA	FFFFh	000C 222Eh	16,32
A/D変換開始要求タイミングダブルバッファレジスタB		GTADTBRA	FFFFh	000C 2230h	16,32
汎用PWMタイマ出力ネゲートコントロールレジスタ		GTONCR	0100h	000C 2234h	16,32
汎用PWMタイマデッドタイムコントロールレジスタ		GTDCR	0000h	000C 2236h	16,32
汎用PWMタイマデッドタイム値レジスタU		GTDVU	FFFFh	000C 2238h	16,32
汎用PWMタイマデッドタイム値レジスタD		GTDVD	FFFFh	000C 223Ah	16,32
汎用PWMタイマデッドタイムバッファレジスタU		GTDBU	FFFFh	000C 223Ch	16,32
汎用PWMタイマデッドタイムバッファレジスタD		GTDBD	FFFFh	000C 223Eh	16,32
汎用PWMタイマ出力保護機能ステータスレジスタ		GTSOS	0x00h	000C 2240h	16,32
汎用PWMタイマ出力保護一時解除レジスタ		GTSOTR	0000h	000C 2242h	16,32
PWM出力遅延制御レジスタ		GTDLYCR	0000h	000C 2304h	16,32
GTIOCA立ち上がり出力遅延レジスタ		GTDLYRA	0000h	000C 2320h	16,32
GTIOCB立ち上がり出力遅延レジスタ		GTDLYRB	0000h	000C 2322h	16,32
GTIOCA立ち上がり出力遅延レジスタ		GTDLYFA	0000h	000C 2330h	16,32
GTIOCB立ち下がり出力遅延レジスタ		GTDLYFB	0000h	000C 2332h	16,32

表 18.4 GPTレジスタ一覧 (4 / 4)

チャンネル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
GPT3	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	0000h	000C 2280h	8,16,32
	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	0000h	000C 2282h	8,16,32
	汎用PWMタイマコントロールレジスタ	GTCR	0000h	000C 2284h	8,16,32
	汎用PWMタイマバッファインプットレジスタ	GTBER	0000h	000C 2286h	8,16,32
	汎用PWMタイマカウンタ方向レジスタ	GTUDC	0001h	000C 2288h	8,16,32
	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	0000h	000C 228Ah	8,16,32
	汎用PWMタイマステータスレジスタ	GTST	8000h	000C 228Ch	8,16,32
	汎用PWMタイマカウンタ	GTCNT	0000h	000C 228Eh	16
	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	FFFFh	000C 2290h	16,32
	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	FFFFh	000C 2292h	16,32
	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	FFFFh	000C 2294h	16,32
	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	FFFFh	000C 2296h	16,32
	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	FFFFh	000C 2298h	16,32
GPT3	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	FFFFh	000C 229Ah	16,32
	汎用PWMタイマ周期設定レジスタ	GTPR	FFFFh	000C 229Ch	16,32
	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	FFFFh	000C 229Eh	16,32
	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	FFFFh	000C 22A0h	16,32
	A/D変換開始要求タイミングレジスタA	GTADTRA	FFFFh	000C 22A4h	16,32
	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	FFFFh	000C 22A6h	16,32
	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	FFFFh	000C 22A8h	16,32
	A/D変換開始要求タイミングレジスタB	GTADTRB	FFFFh	000C 22ACh	16,32
	A/D変換開始要求タイミングバッファレジスタB	GTADTRB	FFFFh	000C 22AEh	16,32
	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTRB	FFFFh	000C 22B0h	16,32
	汎用PWMタイマ出力ネゲートコントロールレジスタ	GTONCR	0100h	000C 22B4h	16,32
	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	0000h	000C 22B6h	16,32
	汎用PWMタイマデッドタイム値レジスタU	GTDVU	FFFFh	000C 22B8h	16,32
	汎用PWMタイマデッドタイム値レジスタD	GTDVD	FFFFh	000C 22BAh	16,32
	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	FFFFh	000C 22BCh	16,32
	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	FFFFh	000C 22BEh	16,32
	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	0x00h	000C 22C0h	16,32
	汎用PWMタイマ出力保護一時解除レジスタ	GTSOTR	0000h	000C 22C2h	16,32
	PWM出力遅延制御レジスタ	GTDLYCR	0000h	000C 2306h	16,32
	GTIOCA立ち上がり出力遅延レジスタ	GTDLYRA	0000h	000C 2324h	16,32
	GTIOCB立ち上がり出力遅延レジスタ	GTDLYRB	0000h	000C 2326h	16,32
GTIOCA立ち下がり出力遅延レジスタ	GTDLYFA	0000h	000C 2334h	16,32	
GTIOCB立ち下がり出力遅延レジスタ	GTDLYFB	0000h	000C 2336h	16,32	

18.2.1 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス 000C 2000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CST3	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	GPT0.GTCNT カウントスタートビット	0 : カウント停止 1 : カウント動作	R/W
b1	CST1	GPT1.GTCNT カウントスタートビット		R/W
b2	CST2	GPT2.GTCNT カウントスタートビット		R/W
b3	CST3	GPT3.GTCNT カウントスタートビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTR レジスタは、GPTn.GTCNT カウンタの動作/停止を設定するレジスタです。(n=0 ~ 3)

CSTn ビット (GPTn.GTCNT カウントスタートビット) (n=0 ~ 3)

GPTn.GTCNT カウンタの動作/停止を選択します。

GTHSCR レジスタで、ハードウェア要因によるカウンタの動作/停止に設定することもできます。ハードウェア要因によるスタートが実行された場合は自動的に“1”に、ハードウェア要因によるストップが実行された場合は自動的に“0”になります。

18.2.2 汎用 PWM タイマハードウェア要因スタートコントロールレジスタ (GTHSCR)

アドレス 000C 2004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CPHW3[1:0]		CPHW2[1:0]		CPHW1[1:0]		CPHW0[1:0]		CSHW3[1:0]		CSHW2[1:0]		CSHW1[1:0]		CSHW0[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CSHW0[1:0]	GPT0.GTCNTハードウェア要因カウントスタートビット	00: ハードウェア要因でカウントスタートしない 01: ハードウェア要因の立ち上がりエッジでカウントスタートする 10: ハードウェア要因の立ち下がりエッジでカウントスタートする 11: ハードウェア要因の両エッジでカウントスタートする	R/W
b3-b2	CSHW1[1:0]	GPT1.GTCNTハードウェア要因カウントスタートビット		R/W
b5-b4	CSHW2[1:0]	GPT2.GTCNTハードウェア要因カウントスタートビット		R/W
b7-b6	CSHW3[1:0]	GPT3.GTCNTハードウェア要因カウントスタートビット		R/W
b9-b8	CPHW0[1:0]	GPT0.GTCNTハードウェア要因カウントストップビット	00: ハードウェア要因でカウントストップしない 01: ハードウェア要因の立ち上がりエッジでカウントストップする 10: ハードウェア要因の立ち下がりエッジでカウントストップする 11: ハードウェア要因の両エッジでカウントストップする	R/W
b11-b10	CPHW1[1:0]	GPT1.GTCNTハードウェア要因カウントストップビット		R/W
b13-b12	CPHW2[1:0]	GPT2.GTCNTハードウェア要因カウントストップビット		R/W
b15-b14	CPHW3[1:0]	GPT3.GTCNTハードウェア要因カウントストップビット		R/W

GTHSCR レジスタは、ハードウェア要因による GPTn.GTCNT カウントの動作/停止を設定するレジスタです。(n=0 ~ 3)

ハードウェア要因による GPTn.GTCNT カウントのスタートとストップが同時に起きた場合、スタートが優先されます。

CSHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウントスタートビット) (n=0 ~ 3)

ハードウェア要因で GPTn.GTCNT カウントをカウントスタートします。

ハードウェア要因でスタートした場合、GTSTR レジスタの対応するビットが自動的に“1”になります。

ハードウェア要因は、GTHSSR レジスタで選択します。

CPHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウントストップビット) (n=0 ~ 3)

ハードウェア要因で GPTn.GTCNT カウントをカウントストップします。

ハードウェア要因でストップした場合、GTSTR レジスタの対応するビットが自動的に“0”になります。

ハードウェア要因は、GTHPSR レジスタで選択します。

18.2.3 汎用 PWM タイマハードウェア要因クリアコントロールレジスタ (GTHCCR)

アドレス 000C 2006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CCSW ₃	CCSW ₂	CCSW ₁	CCSW ₀	CCHW3[1:0]	CCHW2[1:0]	CCHW1[1:0]	CCHW0[1:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CCHW0[1:0]	GPT0.GTCNTハードウェア要因カウンタクリアビット	00: ハードウェア要因でカウンタクリアしない 01: ハードウェア要因の立ち上がりエッジでカウンタクリアする 10: ハードウェア要因の立ち下がりエッジでカウンタクリアする 11: ハードウェア要因の両エッジでカウンタクリアする	R/W
b3-b2	CCHW1[1:0]	GPT1.GTCNTハードウェア要因カウンタクリアビット		R/W
b5-b4	CCHW2[1:0]	GPT2.GTCNTハードウェア要因カウンタクリアビット		R/W
b7-b6	CCHW3[1:0]	GPT3.GTCNTハードウェア要因カウンタクリアビット		R/W
b8	CCSW0	GPT0.GTCNTカウンタクリアビット	"1"を書くとカウンタをクリアします。"1"を書き込み後、自動的に"0"に戻ります。読むと"0"が読めます。	R/W
b9	CCSW1	GPT1.GTCNTカウンタクリアビット		R/W
b10	CCSW2	GPT2.GTCNTカウンタクリアビット		R/W
b11	CCSW3	GPT3.GTCNTカウンタクリアビット		R/W
b15-b12	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

GTHCCR レジスタは、ハードウェア要因による GPTn.GTCNT カウンタのクリアを設定するレジスタです。(n=0 ~ 3)

ハードウェア要因による GPTn.GTCNT カウンタのクリアを設定した場合、GPTn.GTCNT カウンタが動作中 (GTSTR.CSTn=1) の場合でも、停止中 (GTSTR.CSTn=0) の場合でも、ハードウェア要因によるカウンタクリアは実行されます。(n=0 ~ 3)

CCHWn[1:0] ビット (GPTn.GTCNT ハードウェア要因カウンタクリアビット) (n=0 ~ 3)

ハードウェア要因で GPTn.GTCNT カウンタをカウンタクリアします。

ハードウェア要因は GTHPSR レジスタで選択します。

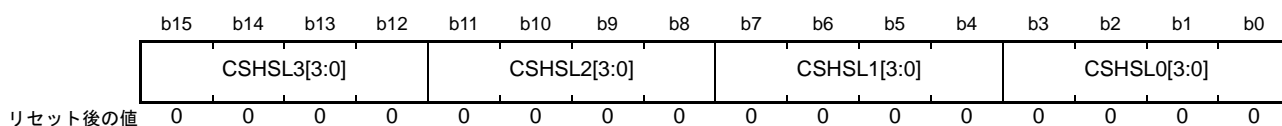
CCHWn[1:0] ビットを "01b"、"10b"、"11b" にしている間は、繰り返しハードウェア要因を受け付けます。

CCSWn ビット (GPTn.GTCNT カウンタクリアビット) (n=0 ~ 3)

"1" を書くと、GPTn.GTCNT カウンタが "0" になります。"1" を書いた後、自動的に "0" に戻ります。読むと "0" が読めます。

18.2.4 汎用 PWM タイマハードウェアスタート要因セレクトレジスタ (GTHSSR)

アドレス 000C 2008h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHSL0[3:0]	GPT0.GTCNTハードウェアカウンタスタート要因選択ビット	b3 b0 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC3A 端子入力 1001: GTIOC3B 端子入力 1010: GTIOC3A 内部出力 (アウトプットコンペア) 1011: GTIOC3B 内部出力 (アウトプットコンペア) 1100: GTETRG 端子入力 上記以外は設定しないでください	R/W
b7-b4	CSHSL1[3:0]	GPT1.GTCNTハードウェアカウンタスタート要因選択ビット	b7 b4 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC3A 端子入力 1001: GTIOC3B 端子入力 1010: GTIOC3A 内部出力 (アウトプットコンペア) 1011: GTIOC3B 内部出力 (アウトプットコンペア) 1100: GTETRG 端子入力 上記以外は設定しないでください	R/W
b11-b8	CSHSL2[3:0]	GPT2.GTCNTハードウェアカウンタスタート要因選択ビット	b11 b8 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC3A 端子入力 1001: GTIOC3B 端子入力 1010: GTIOC3A 内部出力 (アウトプットコンペア) 1011: GTIOC3B 内部出力 (アウトプットコンペア) 1100: GTETRG 端子入力 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b15-b12	CSHSL3[3:0]	GPT3.GTCNTハードウェアカウンタスタート要因選択ビット	b15 b12 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC3A 端子入力 1001: GTIOC3B 端子入力 1010: 設定しないでください 1011: 設定しないでください 1100: GTETRG 端子入力 上記以外は設定しないでください	R/W

GTSSR レジスタは、GPTn.GTCNT カウンタのカウンタスタートのハードウェア要因を設定するレジスタです。(n=0 ~ 3)

要因の変更は GTHSCR.CSHWn[1:0] ビットを“0”にしてから行ってください。

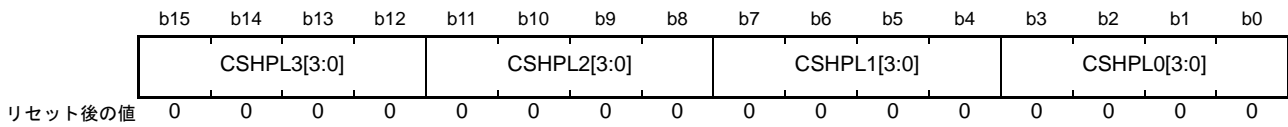
CSHSLn[3:0] ビット (GPTn.GTCNT ハードウェアカウンタスタート要因選択ビット) (n=0 ~ 3)

GPTn.GTCNT カウンタのカウンタスタートのハードウェア要因を選択します。

ハードウェア要因として“1000b”を選択した場合、GPT3.GTIOR.GTIOA[5:0] ビットの b5 = “0”、GPT3.GTONCR.OAE = “0” と設定してください。ハードウェア要因として“1001b”を選択した場合、GPT3.GTIOR.GTIOB[5:0] ビットの b5 = “0”、GPT3.GTONCR.OBE = “0” と設定してください。

18.2.5 汎用PWMタイマハードウェアストップ・クリア要因セレクトレジスタ (GTHPSR)

アドレス 000C 200Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	CSHPL0[3:0]	GPT0.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b3 b0 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: GTIOC3A内部出力 (アウトプットコンペア) 1011: GTIOC3B内部出力 (アウトプットコンペア) 1100: GTETRГ端子入力 上記以外は設定しないでください	R/W
b7-b4	CSHPL1[3:0]	GPT1.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b7 b4 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: GTIOC3A内部出力 (アウトプットコンペア) 1011: GTIOC3B内部出力 (アウトプットコンペア) 1100: GTETRГ端子入力 上記以外は設定しないでください	R/W
b11-b8	CSHPL2[3:0]	GPT2.GTCNTハードウェアカウンタ ストップ・クリア要因選択ビット	b11 b8 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: GTIOC3A内部出力 (アウトプットコンペア) 1011: GTIOC3B内部出力 (アウトプットコンペア) 1100: GTETRГ端子入力 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b15-b12	CSHPL3[3:0]	GPT3.GTCNTハードウェアカウンタストップ・クリア要因選択ビット	b15 b12 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください。 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: 設定しないでください 1000: GTIOC3A端子入力 1001: GTIOC3B端子入力 1010: 設定しないでください 1011: 設定しないでください 1100: GTETRG端子入力 上記以外は設定しないでください	R/W

GTHPSR レジスタは、GPTn.GTCNT カウンタのカウンタストップ・クリアのハードウェア要因を設定するレジスタです。(n=0 ~ 3)

要因の変更は GTHSCR.CPHWn[1:0] ビット、GTHCCR.CCHWn[1:0] ビットを“0”にしてから行ってください。

CSHPLn[3:0] ビット (GPTn.GTCNT ハードウェアカウンタストップ・クリア要因選択ビット) (n=0 ~ 3)

GPTn.GTCNT カウンタのカウンタストップ・クリアのハードウェア要因を選択します。

18.2.6 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス 000C 200Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	WP3	WP2	WP1	WP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP0	GPT0レジスタ書き込み許可ビット	0: レジスタの書き込みを許可 1: レジスタの書き込みを禁止	R/W
b1	WP1	GPT1レジスタ書き込み許可ビット		R/W
b2	WP2	GPT2レジスタ書き込み許可ビット		R/W
b3	WP3	GPT3レジスタ書き込み許可ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可/禁止するレジスタです。

GTWP レジスタの設定で、書き込み許可/禁止が反映されるレジスタは、「18.7.1 レジスタの書き込み保護」を参照してください。

WPn ビット (GPTn レジスタ書き込み許可ビット) (n=0 ~ 3)

GPTn のレジスタへの書き込みの許可/禁止を選択します。

18.2.7 汎用 PWM タイマシンクロレジスタ (GTSYNC)

アドレス 000C 200Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	SYNC3[1:0]	—	—	SYNC2[1:0]	—	—	SYNC1[1:0]	—	—	SYNC0[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SYNC0[1:0]	GPT0.GTCNTカウンタ同期クリア要因選択ビット	b1 b0 0 0 : GPT0のクリア要因でGPT0.GTCNTをクリア (同期クリアしない) 0 1 : GPT1のクリア要因でGPT0.GTCNTを同期クリア 1 0 : GPT2のクリア要因でGPT0.GTCNTを同期クリア 1 1 : GPT3のクリア要因でGPT0.GTCNTを同期クリア	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	SYNC1[1:0]	GPT1.GTCNTカウンタ同期クリア要因選択ビット	b5 b4 0 0 : GPT0のクリア要因でGPT1.GTCNTを同期クリア 0 1 : GPT1のクリア要因でGPT1.GTCNTをクリア (同期クリアしない) 1 0 : GPT2のクリア要因でGPT1.GTCNTを同期クリア 1 1 : GPT3のクリア要因でGPT1.GTCNTを同期クリア	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	SYNC2[1:0]	GPT2.GTCNTカウンタ同期クリア要因選択ビット	b9 b8 0 0 : GPT0のクリア要因でGPT2.GTCNTを同期クリア 0 1 : GPT1のクリア要因でGPT2.GTCNTを同期クリア 1 0 : GPT2のクリア要因でGPT2.GTCNTをクリア (同期クリアしない) 1 1 : GPT3のクリア要因でGPT2.GTCNTを同期クリア	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SYNC3[1:0]	GPT3.GTCNTカウンタ同期クリア要因選択ビット	b13 b12 0 0 : GPT0のクリア要因でGPT3.GTCNTを同期クリア 0 1 : GPT1のクリア要因でGPT3.GTCNTを同期クリア 1 0 : GPT2のクリア要因でGPT3.GTCNTを同期クリア 1 1 : GPT3のクリア要因でGPT3.GTCNTをクリア (同期クリアしない)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSYNC レジスタは、同期クリア/同期動作による GPTn.GTCNT カウンタのクリア要因を設定するレジスタです。書き込みは GPTn.GTCNT カウンタのカウンタ動作が停止した状態で行ってください。(n=0 ~ 3)

SYNCn[1:0] ビット (GPTn.GTCNT カウンタ同期クリア要因選択ビット) (n=0 ~ 3)

GPTn.GTCNT カウンタをどのチャンネルのカウンタのクリア要因でクリアするかを選択します。SYNCn[1:0] ビットを設定する場合は、先に GPTn.GTCR.CCLR[1:0] ビットを“11b” (同期クリア/同期動作をしている他のカウンタのクリア要因でクリア) にしてください。

18.2.8 汎用 PWM タイマ外部トリガ入力割り込みレジスタ (GTETINT)

アドレス 000C 2010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	ETINF	ETIPF	—	—	—	—	—	—	ETINEN	ETIPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ETIPEN	外部トリガ立ち上がり入力 割り込み要求許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b1	ETINEN	外部トリガ立ち下がり入力 割り込み要求許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ETIPF	外部トリガ立ち上がり入力 割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b9	ETINF	外部トリガ立ち下がり入力 割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグを“0”にするための“0”書き込みのみ可能です。ETIPFフラグまたはETINFフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。

GTETINT レジスタは、外部トリガ入力端子 (GTETRIG) による割り込みの許可/禁止を設定するレジスタです。また、割り込み要求は、LOCOI 割り込み要求として発生します。

ETIPEN ビット (外部トリガ立ち上がり入力割り込み要求許可ビット)

外部トリガ入力の立ち上がりエッジによる割り込み要求の許可/禁止を選択します。

ETINEN ビット (外部トリガ立ち下がり入力割り込み要求許可ビット)

外部トリガ入力の立ち下がりエッジによる割り込み要求の許可/禁止を選択します。

ETIPF フラグ (外部トリガ立ち上がり入力割り込み要求フラグ)

外部トリガ入力の立ち上がりエッジによる割り込み要求のフラグです。

["1"になる条件]

- 外部トリガ入力の立ち上がりエッジを検出したとき

["0"になる条件]

- ETIPF フラグに“0”を書いたとき

ETINF フラグ (外部トリガ立ち下がり入力割り込み要求フラグ)

外部トリガ入力の立ち下がりエッジによる割り込み要求のフラグです。

["1"になる条件]

- 外部トリガ入力の立ち下がりエッジを検出したとき

["0"になる条件]

- ETINF フラグに“0”を書いたとき

18.2.9 汎用 PWM タイマバッファ動作禁止レジスタ (GTBDR)

アドレス 000C 2014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BD3[3]	BD3[2]	BD3[1]	BD3[0]	BD2[3]	BD2[2]	BD2[1]	BD2[0]	BD1[3]	BD1[2]	BD1[1]	BD1[0]	BD0[3]	BD0[2]	BD0[1]	BD0[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD0[0]	GPT0.GTCCRバッファ動作禁止ビット	0: バッファ動作許可 1: バッファ動作禁止	R/W
b1	BD0[1]	GPT0.GTPRバッファ動作禁止ビット		R/W
b2	BD0[2]	GPT0.GTADTRバッファ動作禁止ビット		R/W
b3	BD0[3]	GPT0.GTDVバッファ動作禁止ビット		R/W
b4	BD1[0]	GPT1.GTCCRバッファ動作禁止ビット		R/W
b5	BD1[1]	GPT1.GTPRバッファ動作禁止ビット		R/W
b6	BD1[2]	GPT1.GTADTRバッファ動作禁止ビット		R/W
b7	BD1[3]	GPT1.GTDVバッファ動作禁止ビット		R/W
b8	BD2[0]	GPT2.GTCCRバッファ動作禁止ビット		R/W
b9	BD2[1]	GPT2.GTPRバッファ動作禁止ビット		R/W
b10	BD2[2]	GPT2.GTADTRバッファ動作禁止ビット		R/W
b11	BD2[3]	GPT2.GTDVバッファ動作禁止ビット		R/W
b12	BD3[0]	GPT3.GTCCRバッファ動作禁止ビット		R/W
b13	BD3[1]	GPT3.GTPRバッファ動作禁止ビット		R/W
b14	BD3[2]	GPT3.GTADTRバッファ動作禁止ビット		R/W
b15	BD3[3]	GPT3.GTDVバッファ動作禁止ビット		R/W

GTBDR レジスタは、各チャネルのバッファ動作の許可/禁止を一括して設定するレジスタです。GTBDR レジスタの各ビットを“0”（バッファ動作許可）にしても、GTBER レジスタでバッファ動作を有効にしなければバッファ動作は行いません。

BDn[0] ビット (GPTn.GTCCR バッファ動作禁止ビット) (n=0 ~ 3)

GPTn の GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GPTn の GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。GTIOCnA 端子または GTIOCnB 端子をインプットキャプチャとして使用している場合 (GPTn.GTIOR.GTIOA[5]=1 または GPTn.GTIOR.GTIOB[5]=1 の場合) は“0”にしてください。

BDn[1] ビット (GPTn.GTPR バッファ動作禁止ビット) (n=0 ~ 3)

GPTn の GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

BDn[2] ビット (GPTn.GTADTR バッファ動作禁止ビット) (n=0 ~ 3)

GPTn の GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GPTn の GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。

BDn[3] ビット (GPTn.GTDV バッファ動作禁止ビット) (n=0 ~ 3)

GPTn の GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GPTn の GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を禁止します。

18.2.10 汎用 PWM タイマスタート書き込み保護レジスタ (GTSWP)

アドレス 000C 2018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SWP3	SWP2	SWP1	SWP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWP0	GTSTR.CST0ビット書き込み禁止ビット	0: レジスタへの書き込み許可 1: レジスタへの書き込み禁止	R/W
b1	SWP1	GTSTR.CST1ビット書き込み禁止ビット		R/W
b2	SWP2	GTSTR.CST2ビット書き込み禁止ビット		R/W
b3	SWP3	GTSTR.CST3ビット書き込み禁止ビット		R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSWP レジスタは、誤書き込みを防ぐため GTSTR レジスタへの書き込み許可 / 禁止するレジスタです。

SWPn ビット (GTSTR.CSTn ビット書き込み禁止ビット) (n=0 ~ 3)

GTSTR.CSTn ビットへの書き込みを許可 / 禁止します。

禁止に設定した場合、GTSTR.CSTn ビットへの書き込みは無視されます。

ただし、GTHSCR レジスタでハードウェア要因によるカウンタの動作 / 停止を設定している場合、SWPn ビットの設定により GTSTR.CSTn ビットへの書き込みが禁止されていても、ハードウェア要因によるカウンタの動作 / 停止の状態は GTSTR.CSTn ビットに書き込まれます。

18.2.11 LOCO カウントコントロールレジスタ (LCCR)

アドレス 000C 2080h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
LPSC[1:0]	TPSC[1:0]	LCNTA T	LCTO[2:0]	—	LCINT O	LCINT D	LCINT C	—	LCNTS	LCNTC R	LCNTE				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCNTE	LOCO カウント機能許可ビット	0 : LOCO カウント機能停止 1 : LOCO カウント機能動作	R/W
b1	LCNTCR	LOCO カウント値クリアビット	“1”を書くと LCNT レジスタを“0”にします。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b2	LCNTS	LOCO カウント値セットビット	“1”を書くと LCNT01～LCNT15 レジスタに LCNT00 レジスタの値をセットします。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LCINTC	LOCO 分周クロック立ち上がり 割り込み許可ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b5	LCINTD	LOCO カウント値偏差越え割り込み 許可ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b6	LCINTO	LCNT オーバフロー割り込み許可 ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	LCTO[2:0]	LOCO 分周クロック立ち上がり 割り込み間引き回数設定ビット	b10 b8 0 0 0 : 間引かない 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 間引き回数 7 (8回に1回カウント) 1 0 1 : 間引き回数 15 (16回に1回カウント) 1 1 0 : 間引き回数 127 (128回に1回カウント) 1 1 1 : 間引き回数 255 (256回に1回カウント)	R/W
b11	LCNTAT	LOCO カウント結果間引き設定ビ ット	0 : 間引かない 1 : 間引く	R/W
b13-b12	TPSC[1:0]	LOCO カウントクロック選択ビット	b13 b12 0 0 : ICLK (システムクロック) 0 1 : ICLK/2 (システムクロック/2) 1 0 : ICLK/4 (システムクロック/4) 1 1 : ICLK/8 (システムクロック/8)	R/W
b15-b14	LPSC[1:0]	LOCO 分周クロック選択ビット	b15 b14 0 0 : 1 0 1 : 1/16 1 0 : 1/128 1 1 : 1/256	R/W

LCCR レジスタは、IWDT 専用低速オンチップオシレータ (LOCO) のカウント機能を設定するレジスタです。LOCO のカウント機能を使用する場合は、独立ウォッチドッグタイマ (IWDT) も動作させてください。

LCNTE ビット (LOCO カウント機能許可ビット)

LOCO のカウント機能を動作/停止します。

LCNCTCR ビット (LOCO カウント値クリアビット)

LCNT レジスタを“0”にします。

“1”を書くとカウント値を“0”にします。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。

LCNTS ビット (LOCO カウント値セットビット)

LCNT01 ~ LCNT15 レジスタに LCNT00 レジスタの値をセットします。“1”を書くと LCNT01 ~ LCNT15 レジスタに LCNT00 レジスタの値をセットします。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。

LCINTC ビット (LOCO 分周クロック立ち上がり割り込み許可ビット)

LOCO 分周クロックの立ち上がりによる割り込みを許可/禁止します。割り込み要求は、LOCOI 割り込み要求として発生します。

LCINTD ビット (LOCO カウント値偏差越え割り込み許可ビット)

LOCO カウント値の偏差越えによる割り込みを許可/禁止します。割り込み要求は、LOCOI 割り込み要求として発生します。

LCINTO ビット (LCNT オーバフロー割り込み許可ビット)

LCNT カウンタのオーバフローによる割り込みを許可/禁止します。割り込み要求は、LOCOI 割り込み要求として発生します。

LCTO[2:0] ビット (LOCO 分周クロック立ち上がり割り込み間引き回数設定ビット)

LOCO 分周クロック立ち上がり割り込みの間引き回数を設定します。

LCNTAT ビット (LOCO カウント結果間引き設定ビット)

LOCO カウント結果の LCNTn (n=00 ~ 15) への転送タイミングを、LCTO[2:0] ビットで設定された回数分、間引くかどうかを設定します。

TPSC[1:0] ビット (LOCO カウントクロック選択ビット)

LOCO 分周クロックをカウントするクロック (LCNT 動作クロック) を選択します。

LPSC[1:0] ビット (LOCO 分周クロック選択ビット)

LOCO 分周クロックの分周率を選択します。

LCCR.LPSC[1:0] ビットで選択する LOCO 分周クロックの分周比と、独立ウォッチドッグタイマ (IWDT) の IWDTCR レジスタの CKS[3:0] ビットで選択する IWDTCCLK の分周比の関係が以下となるようにしてください。

LCCR.LPSC.LPSC[1:0] ビットで選択した分周比 \leq IWDTCR.CKS[3:0] ビットで選択した分周比

LCCR.LPSC[1:0] ビットで選択する LOCO 分周クロックの分周比が IWDTCR.CKS[3:0] ビットで選択する IWDTCCLK の分周比より小さい場合は、LOCO カウント動作が正常に動作しませんのでご注意ください。

18.2.12 LOCO カウントステータスレジスタ (LCST)

アドレス 000C 2082h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LISO	LISD	LISC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LISC	LOCO分周クロック立ち上がり割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b1	LISD	LOCOカウント値偏差超え割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b2	LISO	LCNTオーバフロー割り込み要求フラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。LISCフラグ、LISDフラグまたはLISOフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。

LOCO 分周クロックのカウント状態を示すレジスタです。

LISC フラグ (LOCO 分周クロック立ち上がり割り込み要求フラグ)

LOCO 分周クロックの立ち上がりによる割り込み要求のフラグです。フラグをクリアするまでは LOCO 分周クロックの立ち上がりによる次の割り込み要求は発生しません。

["1"になる条件]

- LCCR.LCINTC=1 の状態で、LOCO 分周クロックが立ち上がったとき

["0"になる条件]

- LISC フラグに“0”を書いたとき

LISD フラグ (LOCO カウント値偏差超え割り込み要求フラグ)

LOCO カウント値の偏差超えによる割り込み要求のフラグです。フラグを“0”にするまでは LOCO カウント値の偏差超えによる次の割り込み要求は発生しません。

["1"になる条件]

- LCCR.LCINTD=1 の状態で、LOCO カウント値に偏差超えが発生したとき

["0"になる条件]

- LISD フラグに“0”を書いたとき

LISO フラグ (LCNT オーバフロー割り込み要求フラグ)

LCNT カウンタのオーバフローによる割り込み要求のフラグです。フラグを“0”にするまでは LCNT カウンタのオーバフローによる次の割り込み要求は発生しません。

["1"になる条件]

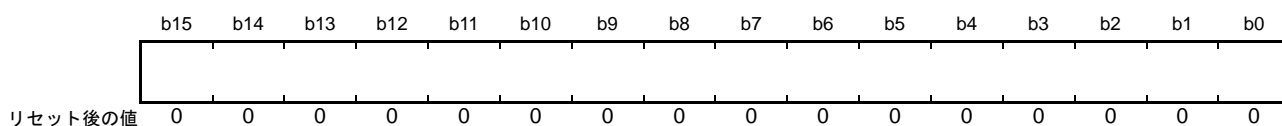
- LCCR.LCINTO=1 の状態で、LCNT カウンタがオーバフローしたとき

["0"になる条件]

- LISO フラグに“0”を書いたとき

18.2.13 LOCO カウント値レジスタ (LCNT)

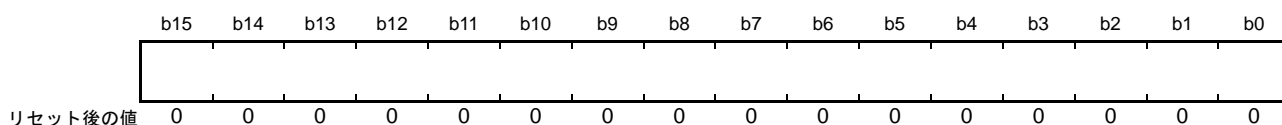
アドレス 000C 2084h



LCNT カウンタは、LOCO 分周クロックをカウントするカウンタです。LCNT カウンタは、読み出しのみ可能です。

18.2.14 LOCO カウント結果平均レジスタ (LCNTA)

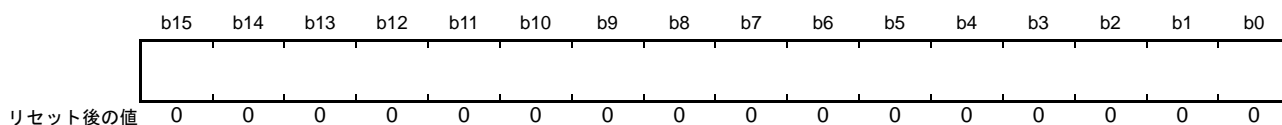
アドレス 000C 2086h



LCNTA レジスタは、LOCO 分周クロックをカウントした結果 (LCNT00 ~ LCNT15) の平均値を示します。LCNTA レジスタは、読み出しのみ可能です。

18.2.15 LOCO カウント結果レジスタ n (LCNTn) (n=00 ~ 15)

アドレス LCNT00 000C 2088h、LCNT01 000C 208Ah、LCNT02 000C 208Ch、LCNT03 000C 208Eh
 LCNT04 000C 2090h、LCNT05 000C 2092h、LCNT06 000C 2094h、LCNT07 000C 2096h
 LCNT08 000C 2098h、LCNT09 000C 209Ah、LCNT10 000C 209Ch、LCNT11 000C 209Eh
 LCNT12 000C 20A0h、LCNT13 000C 20A2h、LCNT14 000C 20A4h、LCNT15 000C 20A6h



LCNTn レジスタは、LOCO 分周クロックをカウントした結果を示すレジスタです。カウント停止 (LCCR.LCNTE ビット = "0") のときのみ書き込み可能です。

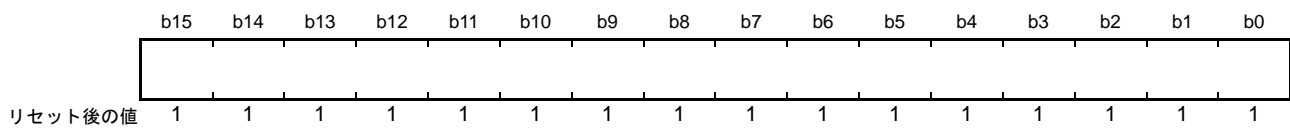
LCNT00 レジスタのカウント値が最新結果です。

18.2.16 LOCO カウント上限/下限許容偏差値レジスタ (LCNTDU、LCNTDL)

アドレス LCNTDU 000C 20A8h



アドレス LCNTDL 000C 20AAh

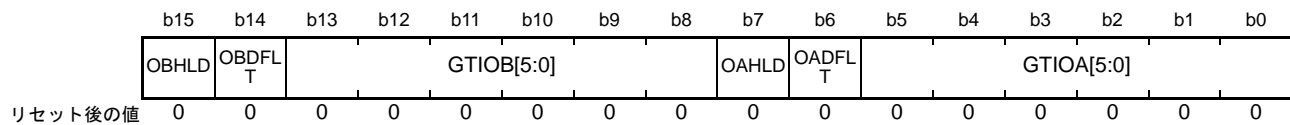


LCNTDU レジスタ、LCNTDL レジスタは、LOCO 分周クロックをカウントした値の許容偏差を設定するレジスタです。

LCNT00 レジスタの値が、許容値の上限 (LCNTA + LCNTDU) を上回った場合、または許容値の下限 (LCNTA - LCNTDL) を下回った場合に、LOCO カウント値偏差超え割り込み要求が発生します。

18.2.17 汎用 PWM タイマ I/O コントロールレジスタ (GTIOR)

アドレス GPT0.GTIOR 000C 2100h、GPT1.GTIOR 000C 2180h、GPT2.GTIOR 000C 2200h、GPT3.GTIOR 000C 2280h



ビット	シンボル	ビット名	機能	R/W
b5-b0	GTIOA[5:0]	GTIOCnA 端子機能選択ビット	表 18.5 を参照してください。	R/W
b6	OADFLT	GTIOCnA 端子カウント停止時の出力値ビット	0 : カウント停止時に GTIOCnA 端子から Low を出力 1 : カウント停止時に GTIOCnA 端子から High を出力	R/W
b7	OAHL	GTIOCnA 端子カウント開始停止時の出力保持ビット	0 : カウント開始/停止時の GTIOCnA 端子の出力レベルは、レジスタ設定値に従う 1 : カウント開始/停止時に GTIOCnA 端子の出力レベルを保持する	R/W
b13-b8	GTIOB[5:0]	GTIOCnB 端子機能選択ビット	表 18.5 を参照してください。	R/W
b14	OBDFLT	GTIOCnB 端子カウント停止時の出力値ビット	0 : カウント停止時に GTIOCnB 端子から Low を出力 1 : カウント停止時に GTIOCnB 端子から High を出力	R/W
b15	OBHLD	GTIOCnB 端子カウント開始停止時の出力保持ビット	0 : カウント開始/停止時の GTIOCnB 端子の出力レベルは、レジスタ設定値に従う 1 : カウント開始/停止時に GTIOCnB 端子の出力レベルを保持する	R/W

注1. (n=0~3)

GPTn.GTIOR レジスタは、GTIOCnA、GTIOCnB 端子の機能を設定するレジスタです (n=0~3)。GPTn.GTIOR レジスタは、各チャンネルに 1 本あります。

GTIOA[5:0] ビット (GTIOCnA 端子機能選択ビット)

GTIOCnA 端子の機能を選択します。詳細は、表 18.5 を参照してください。

OADFLT ビット (GTIOCnA 端子カウント停止時の出力値ビット)

カウント停止時に、GTIOCnA 端子から Low を出力するか、High を出力するかを設定します。

OAHL ビット (GTIOCnA 端子カウント開始停止時の出力保持ビット)

カウント開始/停止時に、GTIOCnA 端子の出力レベルを保持するか、レジスタ設定値に従うかを設定します。

[OAHL ビットを“0”にした場合]

- カウント開始時に、GTIOR レジスタのビット 4 で指定した値を出力します
- カウント停止時に、OADFLT ビットで指定した値を出力します
- カウント停止中に OADFLT ビットの値を変更した場合は、ただちに出力に反映されます

[OAHL ビットを“1”にした場合]

- カウント開始/停止時に出力を保持します

GTIOB[5:0] ビット (GTIOCnB 端子機能選択ビット)

GTIOCnB 端子の機能を選択します。詳細は、表 18.5 を参照してください。

OBDFLT ビット (GTIOCNB 端子カウント停止時の出力値ビット)

カウント停止時に、GTIOCNB 端子から Low を出力するか、High を出力するかを設定します。

OBHLD ビット (GTIOCNB 端子カウント開始停止時の出力保持ビット)

カウント開始/停止時に、GTIOCNB 端子の出力レベルを保持するか、レジスタ設定値に従うかを設定します。

[OBHLD ビットを“0”にした場合]

- カウント開始時に、GTIOR レジスタのビット 4 で指定した値を出力します
- カウント停止時に、OBDFLT ビットで指定した値を出力します
- カウント停止中に OBDFLT ビットの値を変更した場合は、ただちに出力に反映されます

[OBHLD ビットを“1”にした場合]

- カウント開始/停止時に出力を保持します

表 18.5 GTIOA[5:0]ビット (GTIOB[5:0]ビット) の設定 (1 / 2)

GTIOA/B[5:0]ビット						機能			
b5	b4	b3	b2	b1	b0	b5	b4	b3-b2	b1-b0
0	0	0	0	0	0	コンペアマッチ	初期出力"Low"	周期の終わりで出力保持	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	0	0	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力
0	0	0	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力
0	0	0	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	0	0	1	0	0			周期の終わりで"Low"出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	0	0	1	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力
0	0	0	1	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力
0	0	0	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	0	1	0	0	0			周期の終わりで"High"出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	0	1	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力
0	0	1	0	1	0		GPTn.GTCCRA/Bのコンペアマッチで"High"出力		
0	0	1	0	1	1		GPTn.GTCCRA/Bのコンペアマッチでトグル出力		
0	0	1	1	0	0		周期の終わりでトグル出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持	
0	0	1	1	0	1			GPTn.GTCCRA/Bのコンペアマッチで"Low"出力	
0	0	1	1	1	0			GPTn.GTCCRA/Bのコンペアマッチで"High"出力	
0	0	1	1	1	1			GPTn.GTCCRA/Bのコンペアマッチでトグル出力	
0	1	0	0	0	0		初期出力"High"	周期の終わりで出力保持	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	1	0	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力
0	1	0	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力
0	1	0	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	1	0	1	0	0	周期の終わりで"Low"出力		GPTn.GTCCRA/Bのコンペアマッチで出力保持	
0	1	0	1	0	1			GPTn.GTCCRA/Bのコンペアマッチで"Low"出力	

表 18.5 GTIOA[5:0]ビット (GTIOB[5:0]ビット) の設定 (2 / 2)

GTIOA/B[5:0]ビット						機能			
b5	b4	b3	b2	b1	b0	b5	b4	b3-b2	b1-b0
0	1	0	1	1	0	コンペアマッチ	初期出力"High"	周期の終わりで"Low"出力	GPTn.GTCCRA/Bのコンペアマッチで"High"出力
0	1	0	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	1	1	0	0	0			周期の終わりで"High"出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	1	1	0	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力
0	1	1	0	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力
0	1	1	0	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
0	1	1	1	0	0			周期の終わりでトグル出力	GPTn.GTCCRA/Bのコンペアマッチで出力保持
0	1	1	1	0	1				GPTn.GTCCRA/Bのコンペアマッチで"Low"出力
0	1	1	1	1	0				GPTn.GTCCRA/Bのコンペアマッチで"High"出力
0	1	1	1	1	1				GPTn.GTCCRA/Bのコンペアマッチでトグル出力
1	x	x	x	0	0	インプットキャプチャ	don't care		立ち上がりエッジでインプットキャプチャ
1	x	x	x	0	1				立ち下がりエッジでインプットキャプチャ
1	x	x	x	1	0				両エッジでインプットキャプチャ
1	x	x	x	1	1				

注. x : don't care

注1. 周期の終わりとは、のこぎり波のときはオーバフロー（アップカウント動作時のGTCNT=GTPR）またはアンダフロー（ダウンカウント動作時のGTCNT=0）、三角波のときは谷（GTCNT=0）を示します。

注2. コンペアマッチ動作時、周期の終わりとGTCCRA/Bレジスタのコンペアマッチのタイミングが一致する場合、のこぎり波PWMモードではb3-b2の設定が優先され、それ以外のモードではb1-b0の設定が優先されます。

注3. GTIORレジスタでコンペアマッチに設定しただけでは、端子には出力されません。別途、GTONCRレジスタの設定が必要です。

18.2.18 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPT0.GTINTAD 000C 2102h、GPT1.GTINTAD 000C 2182h、GPT2.GTINTAD 000C 2202h、
GPT3.GTINTAD 000C 2282h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADTRB DEN	ADTRB UEN	ADTRA DEN	ADTRA UEN	EINT	—	—	—	GTINTPR[1:0]	GTINT F	GTINT E	GTINT D	GTINT C	GTINT B	GTINT A	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GTINTA	GTCCRAコンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b1	GTINTB	GTCCRBコンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b2	GTINTC	GTCCRCコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b3	GTINTD	GTCCRDコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b4	GTINTE	GTCCREコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b5	GTINTF	GTCCRFコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b7-b6	GTINTPR[1:0]	GTPRコンペアマッチ割り込み許可ビット	b7 b6 0 0: 割り込み要求を禁止 0 1: のこぎり波のときにオーバフロー、三角波のときに(山)で割り込み要求を許可 1 0: のこぎり波のときにアンダフロー、三角波のときに(谷)で割り込み要求を許可 1 1: のこぎり波のときにオーバフロー/アンダフロー両方、三角波のときに(山/谷)両方で割り込み要求を許可	R/W
b10-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11	EINT	デッドタイムエラー割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b12	ADTRAUEN	GTADTRAコンペアマッチ (アップカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b13	ADTRADEN	GTADTRAコンペアマッチ (ダウンカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b14	ADTRBUEN	GTADTRBコンペアマッチ (アップカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W
b15	ADTRBDEN	GTADTRBコンペアマッチ (ダウンカウント) A/D変換開始要求許可ビット	0: A/D変換開始要求を禁止 1: A/D変換開始要求を許可	R/W

GTINTAD レジスタは、割り込み要求、および A/D 変換開始要求の許可/禁止を設定するレジスタです。

GTINTA ビット (GTCCRA コンペアマッチ/インプットキャプチャ割り込み許可ビット)

GTCCRA レジスタのコンペアマッチ/インプットキャプチャによる割り込み要求 (GTCIA) を許可/禁止します。

GTINTB ビット (GTCCRB コンペアマッチ/インプットキャプチャ割り込み許可ビット)

GTCCRB レジスタのコンペアマッチ/インプットキャプチャによる割り込み要求 (GTCIB) を許可/禁止します。

GTINTC ビット (GTCCRC コンペアマッチ割り込み許可ビット)

GTCCRC レジスタのコンペアマッチによる割り込み要求 (GTCIC) を許可/禁止します。

GTINTD ビット (GTCCRD コンペアマッチ割り込み許可ビット)

GTCCRD レジスタのコンペアマッチによる割り込み要求 (GTCID) を許可/禁止します。割り込み要求は GTCIC 割り込みとして発生します。

GTINTE ビット (GTCCRE コンペアマッチ割り込み許可ビット)

GTCCRE レジスタのコンペアマッチによる割り込み要求 (GTCIE) を許可/禁止します。

GTINTF ビット (GTCCRF コンペアマッチ割り込み許可ビット)

GTCCRF レジスタのコンペアマッチによる割り込み要求 (GTCIF) を許可/禁止します。割り込み要求は GTCIE 割り込みとして発生します。

GTINTPR[1:0] ビット (GTPR コンペアマッチ割り込み許可ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー) / GTCNT カウンタのアンダフローによる割り込み要求 (GTCIV) を許可/禁止します。

EINT ビット (デッドタイムエラー割り込み許可ビット)

デッドタイムエラー発生による割り込み要求 (GTCIC) を許可/禁止します。割り込み要求は GTCIC 割り込みとして発生します。

ADTRAUEN (GTADTRA コンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可/禁止します。

ADTRADEN (GTADTRA コンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可/禁止します。

ADTRBUEN (GTADTRB コンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可/禁止します。

ADTRBDEN (GTADTRB コンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可/禁止します。

18.2.19 汎用 PWM タイマコントロールレジスタ (GTCR)

アドレス GPT0.GTCR 000C 2104h、GPT1.GTCR 000C 2184h、GPT2.GTCR 000C 2204h、GPT3.GTCR 000C 2284h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CCLR[1:0]	—	—	TPCS[1:0]	—	—	—	—	—	—	—	MD[2:0]	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	MD[2:0]	モード選択ビット	b2 b0 000: のこぎり波PWMモード (シングル/ダブルバッファ可) 001: のこぎり波ワンショットパルスモード (バッファ動作固定) 010: 設定しないでください 011: 設定しないでください 100: 三角波PWM モード1 (谷 16ビット転送) (シングル/ダブルバッファ可) 101: 三角波PWM モード2 (山/谷 16ビット転送) (シングル/ダブルバッファ可) 110: 三角波PWM モード3 (谷 32ビット転送) (バッファ動作固定) 111: 設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	TPCS[1:0]	タイマプリスケーラ選択ビット	b9 b8 00: ICLK (システムクロック) 01: ICLK/2 (システムクロック/2) 10: ICLK/4 (システムクロック/4) 11: ICLK/8 (システムクロック/8)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	CCLR[1:0]	カウンタクリア要因選択ビット	b13 b12 00: 下記要因を設定しない 01: GTCCRAレジスタのインプットキャプチャでクリア 10: GTCCRBレジスタのインプットキャプチャでクリア 11: 同期クリア/同期動作をしている他のカウンタクリア要因でクリア	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

GTCR レジスタの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

MD[2:0] ビット (モード選択ビット)

GPT の動作モードを選択します。

TPCS[1:0] ビット (タイマプリスケーラ選択ビット)

GTCNT カウンタのクロックを選択します。各チャンネル独立にクロックソースを選択することができます。

CCLR[1:0] ビット (カウンタクリア要因選択ビット)

GTCNT カウンタのクリア要因を選択します。

同期クリアを選択すると、のこぎり波の場合は、同期クリアを自身のオーバフロー/アンダフローによるクリアと同等として扱い、端子出力/バッファ転送を行います。オーバフローフラグ/アンダフローフラグはセットされません。三角波の場合は、カウンタのクリアのみ行い、カウンタ値は“0”となりますが、“谷”として扱いません。

カウンタクリア要因で“01b”または“10b”または“11b”を選択した場合、GPTn.GTCNT カウンタが動作中 (GTSTR.CSTn=1) の場合でも、停止中 (GTSTR.CSTn=0) の場合でも、要因によるカウンタクリアは実行されます。

(n=0 ~ 3)

18.2.20 汎用 PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス GPT0.GTBER 000C 2106h、GPT1.GTBER 000C 2186h、GPT2.GTBER 000C 2206h、GPT3.GTBER 000C 2286h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	ADTDB	ADTTB[1:0]	—	ADTDA	ADTTA[1:0]	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CCRA[1:0]	GTCCRAバッファ動作ビット	b1 b0 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRA ⇄ GTCCRC) 1 x : ダブルバッファとして動作する (GTCCRA ⇄ GTCCRC ⇄ GTCCRD)	R/W
b3-b2	CCRB[1:0]	GTCCRBバッファ動作ビット	b3 b2 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRB ⇄ GTCCRE) 1 x : ダブルバッファとして動作する (GTCCRB ⇄ GTCCRE ⇄ GTCCRF)	R/W
b5-b4	PR[1:0]	GTPRバッファ動作ビット	b5 b4 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTPBR ⇄ GTPR) 1 x : ダブルバッファとして動作する (GTPDBR ⇄ GTPBR ⇄ GTPR)	R/W
b6	CCRSWT	GTCCRA・GTCCRB強制バッファ動作ビット	“1”を書くとGTCCRA、GTCCRBのバッファ転送を強制的に行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	ADTTA[1:0]	GTADTRAバッファ転送タイミング選択ビット	<ul style="list-style-type: none"> 三角波の場合 b9 b8 0 0 : 転送しない 0 1 : (山) で転送 1 0 : (谷) で転送 1 1 : (谷/山) 両方で転送 <ul style="list-style-type: none"> のこぎり波の場合 b9 b8 0 0 : 転送しない 0 0以外 : アンダフロー (ダウンカウント時)、オーバフロー (アップカウント時) で転送	R/W
b10	ADTDA	GTADTRAダブルバッファ動作ビット	0 : シングルバッファとして動作する (GTADTBRA ⇄ GTADTRA) 1 : ダブルバッファとして動作する (GTADTDBRA ⇄ GTADTBRA ⇄ GTADTRA)	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	ADTTB[1:0]	GTADTRBバッファ転送タイミング選択ビット	<ul style="list-style-type: none"> 三角波の場合 b13 b12 0 0 : 転送しない 0 1 : (山) で転送 1 0 : (谷) で転送 1 1 : (谷/山) 両方で転送 <ul style="list-style-type: none"> のこぎり波の場合 b13 b12 0 0 : 転送しない 0 0以外 : アンダフロー (ダウンカウント時)、オーバフロー (アップカウント時) で転送	R/W
b14	ADTDB	GTADTRBダブルバッファ動作ビット	0 : シングルバッファとして動作する (GTADTBRB ⇄ GTADTRB) 1 : ダブルバッファとして動作する (GTADTDBRB ⇄ GTADTBRB ⇄ GTADTRB)	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTBER レジスタは、バッファ動作の設定を行うレジスタです。

GTBER レジスタの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

CCRA[1:0] ビット (GTCCRA バッファ動作ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCCRA レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCCRA レジスタの設定が優先されます。(注1)

CCRB[1:0] ビット (GTCCRB バッファ動作ビット)

GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCCRB レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCCRB レジスタの設定が優先されます。(注1)

PR[1:0] ビット (GTPR バッファ動作ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット (GTCCRA・GTCCRB 強制バッファ動作ビット)

CCRSWT ビットに“1”を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。

カウント停止中かつコンペマッパ動作設定時のみ有効です。

ADTTA[1:0] ビット (GTADTRA バッファ転送タイミング選択ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

ADTDA ビット (GTADTRA ダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

ADTTB[1:0] ビット (GTADTRB バッファ転送タイミング選択ビット)

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

ADTDB ビット (GTADTRB ダブルバッファ動作ビット)

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。

注1. のこぎり波ワンショットパルスモード、または三角波 PWM モード3 (谷 32 ビット転送) の場合、バッファ動作は固定となります。

18.2.21 汎用 PWM タイマカウンタ方向レジスタ (GTUDC)

アドレス GPT0.GTUDC 000C 2108h、GPT1.GTUDC 000C 2188h、GPT2.GTUDC 000C 2208h、GPT3.GTUDC 000C 2288h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウンタ方向設定ビット	0 : GTCNTカウンタはダウンカウント 1 : GTCNTカウンタはアップカウント	R/W
b1	UDF	カウンタ方向強制設定ビット	0 : 強制設定しない 1 : 強制設定する	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTUDC レジスタは、GTCNT カウンタのカウンタ方向 (アップ/ダウン) を設定するレジスタです。

- のこぎり波の場合

アップカウント動作中に UD ビットを“0”にした場合、オーバフロー (GTCNT=GTPR) 時にカウンタ方向が切り替わります。

ダウンカウント動作中に UD ビットを“1”にした場合、アンダフロー (GTCNT=0) 時にカウンタ方向が切り替わります。

カウンタ動作停止中に UDF ビットが“0”の状態では UD ビットを“1”から“0”に変更した場合、最初のカウンタ動作はアップカウントとなり、オーバフロー (GTCNT=GTPR) 時にカウンタ方向が切り替わります。

カウンタ動作停止中に UDF ビットが“0”の状態では UD ビットを“0”から“1”に変更した場合、最初のカウンタ動作はダウンカウントとなり、アンダフロー (GTCNT=0) 時にカウンタ方向が切り替わります。

カウンタ動作停止中に UDF ビットを“1”にすると、そのときの UD ビットの値がカウンタ開始時のカウンタ方向に反映されます。

- 三角波の場合

カウンタ動作中に UD ビット値を変化させてもカウンタ方向には反映されません。

カウンタ動作停止中に UDF ビットが“0”の状態では UD 値を変化させても、カウンタ開始後のカウンタ方向には反映されません。

カウンタ動作停止中に UDF ビットを“1”にすると、そのときの UD ビットの値がカウンタ開始時のカウンタ方向に反映されます。

UD ビット (カウンタ方向設定ビット)

GTCNT カウンタのカウンタ方向 (アップ/ダウン) を設定します。

UDF ビット (カウンタ方向強制設定ビット)

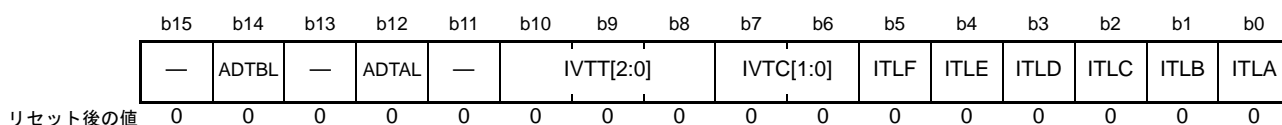
GTCNT カウンタ動作開始時のカウンタ方向を強制的に UD の値に設定します。

カウンタ動作中の書き込みは常に“0”としてください。

カウンタ動作停止中に“1”を書いた場合、カウンタ動作開始までに“0”に戻してください。

18.2.22 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)

アドレス GPT0.GTITC 000C 210Ah、GPT1.GTITC 000C 218Ah、GPT2.GTITC 000C 220Ah、GPT3.GTITC 000C 228Ah



ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRA コンペアマッチ / インプットキャプチャ割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRB コンペアマッチ / インプットキャプチャ割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRC コンペアマッチ 割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRD コンペアマッチ 割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCRE コンペアマッチ 割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRF コンペアマッチ 割り込み連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GTCIV 割り込み間引き機能選択ビット	b7 b6 0 0 : 間引きしない 0 1 : のこぎり波のときにオーバフロー / アンダフロー両方を、三角波のときに (山) をカウントして間引く 1 0 : のこぎり波のときにオーバフロー / アンダフロー両方を、三角波のときに (谷) をカウントして間引く 1 1 : のこぎり波のときにオーバフロー / アンダフロー両方を、三角波のときに (谷 / 山) 両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GTCIV 割り込み間引き回数選択ビット	b10 b8 0 0 0 : 間引きしない 0 0 1 : 間引き回数 : 1回 0 1 0 : 間引き回数 : 2回 0 1 1 : 間引き回数 : 3回 1 0 0 : 間引き回数 : 4回 1 0 1 : 間引き回数 : 5回 1 1 0 : 間引き回数 : 6回 1 1 1 : 間引き回数 : 7回	R/W
b11	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R/W
b12	ADTAL	GTADTRA A/D 変換開始要求連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R/W
b14	ADTBL	GTADTRB A/D 変換開始要求連動ビット	0 : GTCIV 割り込み間引き機能と連動しない 1 : GTCIV 割り込み間引き機能と連動する	R/W
b15	—	予約ビット	読むと "0" が読めます。書く場合、"0" としてください	R/W

GTITC レジスタは、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ) / アンダフロー割り込み (GTCIV) の間引き機能の設定と他の割り込み、および A/D 変換開始要求を GTCIV 割り込み間引き機能と連動するかどうかを設定するレジスタです。ただし、デッドタイムエラー割り込みは GTCIV 割り込み間引き機能と連動することはできません。なお、割り込み間引き機能を設定した場合、ステータスフラグの変化も間引かれます。

ITLA ビット (GTCCRA コンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRA レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIA) を、GTCIV 割り込み間引き機能と連動する/しないを設定します。

ITLB ビット (GTCCRB コンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRB レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIB) を、GTCIV 割り込み間引き機能と連動する/しないを設定します。

ITLC ビット (GTCCRC コンペアマッチ割り込み連動ビット)

GTCCRC レジスタのコンペアマッチ割り込み (GTCIC) を、GTCIV 割り込み間引き機能と連動する/しないを設定します。

ITLD ビット (GTCCRD コンペアマッチ割り込み連動ビット)

GTCCRD レジスタのコンペアマッチ割り込み (GTCID) を、GTCIV 割り込み間引き機能と連動する/しないを設定します。

ITLE ビット (GTCCRE コンペアマッチ割り込み連動ビット)

GTCCRE レジスタのコンペアマッチ割り込みを (GTCIE) を、GTCIV 割り込み間引き機能と連動/しないを設定します。

ITLF ビット (GTCCRF コンペアマッチ割り込み連動ビット)

GTCCRF レジスタのコンペアマッチ割り込みを (GTCIF) を、GTCIV 割り込み間引き機能と連動/しないを設定します。

IVTC[1:0] ビット (GTCIV 割り込み間引き機能選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT オーバフロー) / GTCNT アンダフロー割り込み (GTCIV) の間引き機能を選択します。

IVTT[2:0] ビット (GTCIV 割り込み間引き回数選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT オーバフロー) / GTCNT アンダフロー割り込み (GTCIV) の間引き回数を選択します。

IVTT[2:0] ビットを変更する場合は、IVTC[1:0] ビットを“00b”にしてから行ってください。

ADTAL ビット (GTADTRA A/D 変換開始要求連動ビット)

GTADTRA レジスタのコンペアマッチでの A/D 変換開始要求を、GTCIV_n 割り込み間引き機能と連動する/しないを設定します。

ADTBL ビット (GTADTRB A/D 変換開始要求連動ビット)

GTADTRB レジスタのコンペアマッチでの A/D 変換開始要求を、GTCIV_n 割り込み間引き機能と連動する/しないを設定します。

18.2.23 汎用 PWM タイマステータスレジスタ (GTST)

アドレス GPT0.GTST 000C 210Ch、GPT1.GTST 000C 218Ch、GPT2.GTST 000C 220Ch、GPT3.GTST 000C 228Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	DTEF	ITCNT[2:0]		TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インプットキャプチャ/ コンペアマッチフラグA	0 : GTCCRA レジスタ のインプットキャプチャ/コンペアマッチの発生なし 1 : GTCCRA レジスタ のインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b1	TCFB	インプットキャプチャ/ コンペアマッチフラグB	0 : GTCCRB レジスタ のインプットキャプチャ/コンペアマッチの発生なし 1 : GTCCRB レジスタ のインプットキャプチャ/コンペアマッチの発生あり	R/(W) (注1)
b2	TCFC	コンペアマッチフラグC	0 : GTCCRC レジスタ のコンペアマッチの発生なし 1 : GTCCRC レジスタ のコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	コンペアマッチフラグD	0 : GTCCRD レジスタ のコンペアマッチの発生なし 1 : GTCCRD レジスタ のコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	コンペアマッチフラグE	0 : GTCCRE レジスタ のコンペアマッチの発生なし 1 : GTCCRE レジスタ のコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	コンペアマッチフラグF	0 : GTCCRF レジスタ のコンペアマッチの発生なし 1 : GTCCRF レジスタ のコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバフローフラグ	0 : オーバフロー、または (山) の発生なし 1 : オーバフロー、または (山) の発生あり	R/(W) (注1)
b7	TCFPU	アンダフローフラグ	0 : アンダフロー、または (谷) の発生なし 1 : アンダフロー、または (谷) の発生あり	R/(W) (注1)
b10-b8	ITCNT[2:0]	GTCIV 割り込み間引き回数カウンタ	タイマ割り込み間引き回数カウンタ	R
b11	DTEF	デッドタイムエラーフラグ	0 : デッドタイムエラーの発生なし 1 : デッドタイムエラーの発生あり	R
b14-b12	—	予約ビット	読むと“0”が読めます。書き込みは“0”としてください	R/W
b15	TUCF	カウント方向フラグ	0 : GPTn.GTCNT カウンタはダウンカウント 1 : GPTn.GTCNT カウンタはアップカウント	R

注1. フラグをクリアするための“0”書き込みのみ可能です。TCFAフラグ、TCFBフラグ、TCFCフラグ、TCFDフラグ、TCFEフラグ、TCFFフラグ、TCFPOフラグまたはTCFPUフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、その他のフラグには“1”を書き込んでください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ (インプットキャプチャ/コンペアマッチフラグ A)

GTCCRA レジスタのインプットキャプチャ/コンペアマッチの発生を示すステータスフラグです。

["1"になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT=GTCCRA になったとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき

["0"になる条件]

- TCFA フラグに“0”を書いたとき

TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

GTCCRB レジスタのインプットキャプチャ/コンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT=GTCCRB になったとき
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

["0" になる条件]

- TCFB フラグに "0" を書いたとき

TCFC フラグ (コンペアマッチフラグ C)

GTCCRC レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRC レジスタがバッファ動作のときは、コンペアマッチを行いません。

["1" になる条件]

- GTCNT=GTCCRC になったとき

["0" になる条件]

- TCFC フラグに "0" を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0]="001b" (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0]="110b" (三角波 PWM モード3)
- GTBER.CCRA[1:0] = "01b"、"10b"、"11b" (GTCCRC レジスタがバッファ動作)

TCFD フラグ (コンペアマッチフラグ D)

GTCCRD レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRD レジスタがバッファ動作のときは、コンペアマッチを行いません。

["1" になる条件]

- GTCNT=GTCCRD になったとき

["0" になる条件]

- TCFD フラグに "0" を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = "001b" (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = "110b" (三角波 PWM モード3)
- GTBER.CCRA[1:0] = "10b"、"11b" (GTCCRD レジスタがバッファ動作)

TCFE フラグ (コンペアマッチフラグ E)

GTCCRE レジスタのコンペアマッチの発生を示すステータスフラグです。
GTCCRE レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1”になる条件]

- GTCNT=GTCCRE になったとき

[“0”になる条件]

- TCFE フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0]=“001b” (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0]=“110b” (三角波 PWM モード 3)
- GTBER.CCRB[1:0]=“01b”、“10b”、“11b” (GTCCRE レジスタがバッファ動作)

TCFF フラグ (コンペアマッチフラグ F)

GTCCRF レジスタのコンペアマッチの発生を示すステータスフラグです。
GTCCRF レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1”になる条件]

- GTCNT=GTCCRF になったとき

[“0”になる条件]

- TCFF フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0]=“001b” (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0]=“110b” (三角波 PWM モード 3)
- GTBER.CCRB[1:0]=“10b”、“11b” (GTCCRF レジスタがバッファ動作)

TCFPO フラグ (オーバフローフラグ)

オーバフロー、または山の発生を示すフラグです。

[“1”になる条件]

- のこぎり波の場合、オーバフロー (アップカウント動作中に GTCNT=GTPR) が発生)
- 三角波の場合、山 (GTCNT=GTPR) が発生

[“0”になる条件]

- TCFPO フラグに “0” を書いたとき

TCFPU フラグ (アンダフローフラグ)

アンダフロー、または谷の発生を示すフラグです。

[“1”になる条件]

- のこぎり波の場合、アンダフロー (ダウンカウント動作中に GTCNT=0) が発生)
- 三角波の場合、谷 (GTCNT=0) が発生

[“0”になる条件]

- TCFPU フラグに “0” を書いたとき

ITCNT[2:0] ビット (GTCIV 割り込み間引き回数カウンタ)

GTCIV 割り込み間引き機能を使用時 (GTITC.IVTC[1:0] ビットを “00b” 以外に設定時)、GTCIV 割り込み要因が発生するごとに 1 カウントアップします。

[“0” になる条件]

- GTCIV 割り込み間引き機能を未使用時 (GTITC.IVTC[1:0] ビットが “00b” のとき、GTITC.IVTT[2:0] ビットが “000b” のとき)
- GTCIV 割り込み間引き回数が一致したとき (GTITC.IVTT[2:0] ビットで設定した間引き回数と ITCNT[2:0] ビット値が一致したとき)

DTEF フラグ (デッドタイムエラーフラグ)

デッドタイム自動付加後のタイマ出力グルポイントが、タイマ周期を超えたことを示すフラグです。

デッドタイム自動付加後のタイマ出力グルポイントが、タイマ周期内に戻ると “0” に戻ります。DTEF フラグは読み出しのみ可能です。(“0” 書き込みよって “0” にすることはできません)

DTEF フラグによる割り込みを許可している (GTINTAD.EINT = 1) 場合、DTEF フラグが 0 → 1 に変化するたびに GTCIC 割り込みが発生します。

[“1” になる条件]

- デッドタイム自動付加後のタイマ出力グルポイントが、タイマ周期を超えたとき

[“0” になる条件]

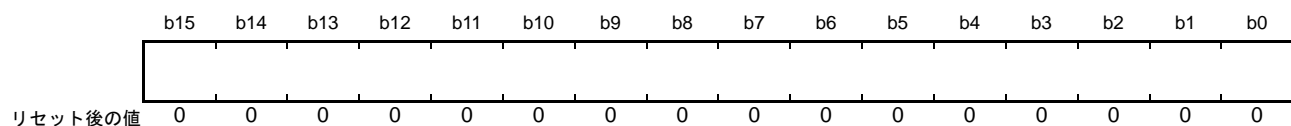
- デッドタイム自動付加後のタイマ出力グルポイントが、タイマ周期内にあるとき

TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示すフラグです。

18.2.24 汎用 PWM タイマカウンタ (GTCNT)

アドレス GPT0.GTCNT 000C 210Eh、GPT1.GTCNT 000C 218Eh、GPT2.GTCNT 000C 220Eh、GPT3.GTCNT 000C 228Eh



GTCNT カウンタは、16 ビットの読み出し／書き込み可能なカウンタで、各チャンネルに 1 本ずつ計 4 本の GTCNT カウンタがあります。カウント停止時のみ書き込み可能で、カウント動作中は書き込むことはできません。GTCNT カウンタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

18.2.25 汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m=A ~ F)

アドレス GPT0.GTCCRA 000C 2110h, GPT1.GTCCRA 000C 2190h, GPT2.GTCCRA 000C 2210h, GPT3.GTCCRA 000C 2290h
 GPT0.GTCCRB 000C 2112h, GPT1.GTCCRB 000C 2192h, GPT2.GTCCRB 000C 2212h, GPT3.GTCCRB 000C 2292h
 GPT0.GTCCRC 000C 2114h, GPT1.GTCCRC 000C 2194h, GPT2.GTCCRC 000C 2214h, GPT3.GTCCRC 000C 2294h
 GPT0.GTCCRD 000C 2116h, GPT1.GTCCRD 000C 2196h, GPT2.GTCCRD 000C 2216h, GPT3.GTCCRD 000C 2296h
 GPT0.GTCCRE 000C 2118h, GPT1.GTCCRE 000C 2198h, GPT2.GTCCRE 000C 2218h, GPT3.GTCCRE 000C 2298h
 GPT0.GTCCRF 000C 211Ah, GPT1.GTCCRF 000C 219Ah, GPT2.GTCCRF 000C 221Ah, GPT3.GTCCRF 000C 229Ah



GTCCRm レジスタは、16ビットの読み出し/書き込み可能なレジスタで、各チャンネルに6本ずつ計24本のGTCCRm レジスタがあります。

GTCCRA レジスタ、GTCCRB レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

GTCCRC レジスタ、GTCCRE レジスタはコンペアマッチレジスタですが、GTCCRA レジスタ、GTCCRB レジスタのバッファレジスタとして動作することもできます。

GTCCRD レジスタ、GTCCRF レジスタはコンペアマッチレジスタですが、GTCCRC レジスタ、GTCCRE レジスタのバッファレジスタ (GTCCRA レジスタ、GTCCRB レジスタのダブルバッファレジスタ) として動作することもできます。

18.2.26 汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス GPT0.GTPR 000C 211Ch, GPT1.GTPR 000C 219Ch, GPT2.GTPR 000C 221Ch, GPT3.GTPR 000C 229Ch

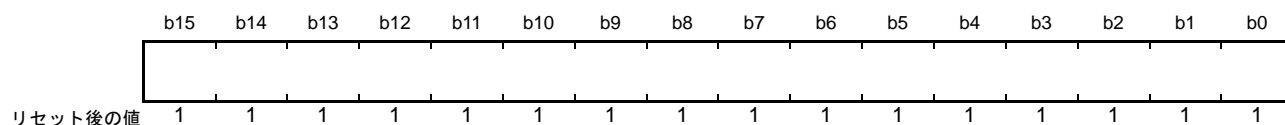


GTPR レジスタは、16ビットの読み出し/書き込み可能なレジスタで、GTCNT カウンタのカウンタ最大値を設定するレジスタです。各チャンネルに1本ずつ計4本のGTPR レジスタがあります。

のこぎり波の場合は、GTPR 値+1がカウンタ周期になります。三角波の場合は、GTPR 値×2がカウンタ周期になります。

18.2.27 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

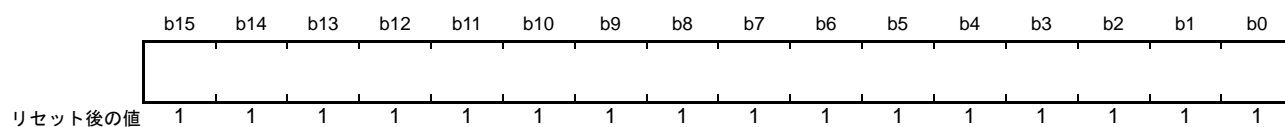
アドレス GPT0.GTPBR 000C 211Eh, GPT1.GTPBR 000C 219Eh, GPT2.GTPBR 000C 221Eh, GPT3.GTPBR 000C 229Eh



GTPBR レジスタは、16ビットの読み出し/書き込み可能なレジスタで、GTPR レジスタのバッファレジスタとして動作します。各チャンネルに1本ずつ計4本のGTPBR レジスタがあります。

18.2.28 汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)

アドレス GPT0.GTPDBR 000C 2120h、GPT1.GTPDBR 000C 21A0h、GPT2.GTPDBR 000C 2220h、GPT3.GTPDBR 000C 22A0h



GTPDBR レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、GTPBR レジスタのバッファレジスタ (GTPR のダブルバッファレジスタ) として動作します。各チャンネルに 1 本ずつ計 4 本の GTPDBR レジスタがあります。

18.2.29 A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m=A、B)

アドレス GPT0.GTADTRA 000C 2124h、GPT1.GTADTRA 000C 21A4h、GPT2.GTADTRA 000C 2224h、
GPT3.GTADTRA 000C 22A4h
GPT0.GTADTRB 000C 212Ch、GPT1.GTADTRB 000C 21ACh、GPT2.GTADTRB 000C 222Ch、
GPT3.GTADTRB 000C 22ACh



GTADTRm レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、A/D 変換開始要求のタイミングを設定します。GTADTRm レジスタの値が GTCNT カウンタと一致したとき、A/D 変換開始要求を発生します。各チャンネルに 2 本ずつ計 8 本の GTADTRm レジスタがあります。GTADTRm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

18.2.30 A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A,B)

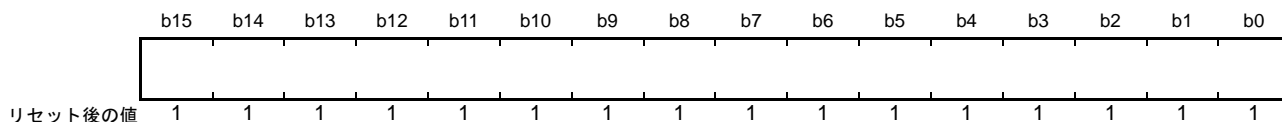
アドレス GPT0.GTADTBRA 000C 2126h、GPT1.GTADTBRA 000C 21A6h、GPT2.GTADTBRA 000C 2226h、
GPT3.GTADTBRA 000C 22A6h
GPT0.GTADTBRB 000C 212Eh、GPT1.GTADTBRB 000C 21AEh、GPT2.GTADTBRB 000C 222Eh、
GPT3.GTADTBRB 000C 22AEh



GTADTBRm レジスタは、16 ビットの読み出し/書き込み可能なレジスタで、GTADTRm レジスタのバッファレジスタとして動作します。各チャンネルに 2 本ずつ計 8 本の GTADTBRm レジスタがあります。GTADTBRm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

18.2.31 A/D変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A,B)

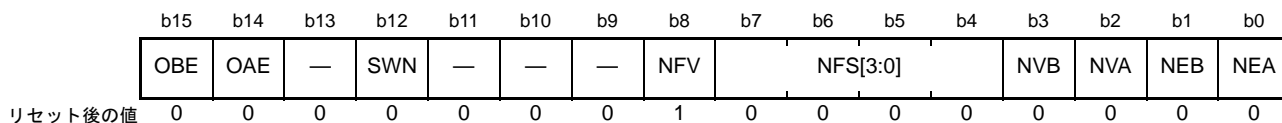
アドレス GPT0.GTADTDBRA 000C 2128h、GPT1.GTADTDBRA 000C 21A8h、GPT2.GTADTDBRA 000C 2228h、
GPT3.GTADTDBRA 000C 22A8h
GPT0.GTADTDBRB 000C 2130h、GPT1.GTADTDBRB 000C 21B0h、GPT2.GTADTDBRB 000C 2230h、
GPT3.GTADTDBRB 000C 22B0h



GTADTDBRm レジスタは、16ビットの読み出し/書き込み可能なレジスタで、GTADTBR レジスタのバッファレジスタ (GTADTR のダブルバッファレジスタ) として動作します。各チャンネルに2本ずつ計8本のGTADTDBRm レジスタがあります。GTADTDBRm レジスタの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

18.2.32 汎用PWMタイマ出力ネゲートコントロールレジスタ (GTONCR)

アドレス GPT0.GTONCR 000C 2134h、GPT1.GTONCR 000C 21B4h、GPT2.GTONCR 000C 2234h、GPT3.GTONCR 000C 22B4h



ビット	シンボル	ビット名	機能	R/W
b0	NEA	GTIOcNA端子ネゲート制御許可ビット	0: 許可しない 1: 許可する	R/W
b1	NEB	GTIOcNB端子ネゲート制御許可ビット	0: 許可しない 1: 許可する	R/W
b2	NVA	GTIOcNA端子ネゲート値設定ビット	0: ネゲート制御時にGTIOcNA端子を“0”にする 1: ネゲート制御時にGTIOcNA端子を“1”にする	R/W
b3	NVB	GTIOcNB端子ネゲート値設定ビット	0: ネゲート制御時にGTIOcNB端子を“0”にする 1: ネゲート制御時にGTIOcNB端子を“1”にする	R/W
b7-b4	NFS[3:0]	GTIOC出力ネゲート要因選択ビット	b7 b4 0000: AN000用コンパレータ検出 0001: AN001用コンパレータ検出 0010: AN002用コンパレータ検出 0011: 設定しないでください 0100: AN100用コンパレータ検出 0101: AN101用コンパレータ検出 0110: AN102用コンパレータ検出 0111: GTETRG端子入力 1xxx: ソフトウェア制御 (SWNビットによる制御)	R/W
b8	NFB	ネゲート要因極性選択ビット	0: ネゲート要因が“0”になったときにネゲート制御する 1: ネゲート要因が“1”になったときにネゲート制御する	R/W
b11-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b12	SWN	ソフトウェアネゲート制御ビット	<ul style="list-style-type: none"> • NFVビットが“0”の場合 0: ネゲート制御する 1: ネゲート制御しない • NFVビットが“1”の場合 0: ネゲート制御しない 1: ネゲート制御する 	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OAE	GTIOCnA端子出カインネーブルビット	<ul style="list-style-type: none"> 0: 端子出力しない 1: 端子出力する 	R/W
b15	OBE	GTIOCnB端子出カインネーブルビット	<ul style="list-style-type: none"> 0: 端子出力しない 1: 端子出力する 	R/W

注1. n=0~3

GTONCR レジスタは、GTIOCnA 端子出力、および GTIOCnB 端子出力のネゲート制御を設定するレジスタです。

NEA ビット (GTIOCnA 端子ネゲート制御許可ビット)

GTIOCnA 端子出力のネゲート制御を許可します。

NEB ビット (GTIOCnB 端子ネゲート制御許可ビット)

GTIOCnB 端子出力のネゲート制御を許可します。

NVA ビット (GTIOCnA 端子ネゲート値設定ビット)

GTIOCnA 端子出力のネゲート制御時の出力値を設定します。

NVB ビット (GTIOCnB 端子ネゲート値設定ビット)

GTIOCnB 端子出力のネゲート制御時の出力値を設定します。

NFS[3:0] ビット (GTIOC 出力ネゲート要因選択ビット)

GTIOCnA 端子出力、および GTIOCnB 端子出力のネゲート要因を選択します。

NFV ビット (ネゲート要因極性選択ビット)

GTIOCnA 端子出力、および GTIOCnB 端子出力のネゲート要因の極性を選択します。

SWN ビット (ソフトウェアネゲート制御ビット)

GTIOCnA 端子出力、および GTIOCnB 端子出力をネゲート制御する／しないを設定します。
ネゲート要因としてソフトウェア制御を選択 (NFS[3] ビットが“1”) した場合に有効になります。

OAE ビット (GTIOCnA 端子出カインネーブルビット)

GTIOCnA 端子出力をする／しないを選択します。コンペアマッチ設定時 (GTIOR レジスタのビット 5 = “0”) のときのみ設定が有効になります。

OBE ビット (GTIOCnB 端子出カインネーブルビット)

GTIOCnB 端子出力をする／しないを選択します。コンペアマッチ設定時 (GTIOR レジスタのビット 13 = “0”) のときのみ設定が有効になります。

18.2.33 デッドタイムコントロールレジスタ (GTDTCCR)

アドレス GPT0.GTDTCCR 000C 2136h、GPT1.GTDTCCR 000C 21B6h、GPT2.GTDTCCR 000C 2236h、GPT3.GTDTCCR 000C 22B6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定ビット	0 : GTDVUレジスタ、GTDVDレジスタを使用しないで、GTCCRBレジスタを個別に設定する 1 : GTDVUレジスタ、GTDVDレジスタを使用して、デッドタイム付き逆相波形用のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TDBUE	GTDVUバッファ動作許可ビット	0 : GTDVUレジスタのバッファ動作を禁止 1 : GTDVUレジスタのバッファ動作を許可	R/W
b5	TDBDE	GTDVDバッファ動作許可ビット	0 : GTDVDレジスタのバッファ動作を禁止 1 : GTDVDレジスタのバッファ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TDFER	GTDVD設定ビット	0 : GTDVUレジスタ、GTDVDレジスタを個別に設定する 1 : GTDVUレジスタに書き込んだ値を、GTDVDレジスタにも自動設定する	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDTCCR レジスタは、デッドタイム付き逆相波形用のコンペアマッチ値の自動設定の許可を設定するレジスタです。

TDE ビット (逆相波形設定ビット)

GTDVU レジスタ、GTDVD レジスタを使用する／しないを設定します。GTDVU レジスタ、GTDVD レジスタを使用する場合、正相波形用のコンペアマッチ値 (GTCCRA レジスタ) とデッドタイム値 (GTDVU レジスタ、GTDVD レジスタ) から算出したデッドタイム付き逆相波形用のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

のこぎり波 PWM モードの場合は TDE ビットの設定は無視され、自動設定されません。

自動設定される GTCCRB レジスタの上限値／下限値は以下となります。算出された GTCCRB レジスタ値が上限値／下限値の範囲外となる場合は、GTCCRB レジスタには上限値／下限値が設定され、GPTn.GTST.DTEF フラグが“1”になります。

- 三角波の場合
上限値：“GTPR—1”
下限値：アップカウント時“1”、ダウンカウント時“0”
- のこぎり波ワンショットパルスモードの場合
上限値：“GTPR”
下限値：“0”

TDBUE ビット (GTDVU バッファ動作許可ビット)

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。

バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

TDBDE ビット (GTDVD バッファ動作許可ビット)

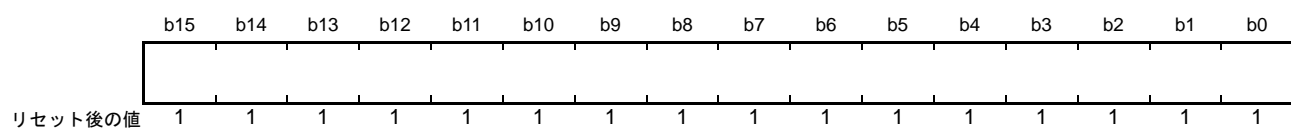
GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。
 バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。
 TDFER ビットを同時に“1”にした場合、TDFER ビットの設定が優先されます。

TDFER ビット (GTDVD 設定ビット)

GTDTVU レジスタに書き込んだ値を GTDVD レジスタにも自動設定するかどうかを設定します。

18.2.34 汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U、D)

アドレス GPT0.GTDVU 000C 2138h、GPT1.GTDVU 000C 21B8h、GPT2.GTDVU 000C 2238h、GPT3.GTDVU 000C 22B8h
 GPT0.GTDVD 000C 213Ah、GPT1.GTDVD 000C 21BAh、GPT2.GTDVD 000C 223Ah、GPT3.GTDVD 000C 22BAh



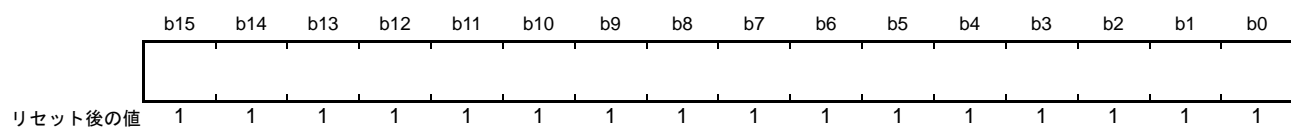
GTDVm レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定するレジスタです。各チャンネルにアップカウント時用の GTDVU レジスタと、ダウンカウント時用の GTDVD レジスタの 2 本ずつ計 8 本の GTDm レジスタがあります。

周期を超えるデッドタイム値の設定は禁止です。GTCCRB レジスタを読むことで設定された値を読めます。GTDVm レジスタを使用する場合は GTCCRB レジスタへの書き込みは禁止です。値を“0”にすれば、デッドタイムなしの波形が出力されます。

GTDVm レジスタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

18.2.35 汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m =U、D)

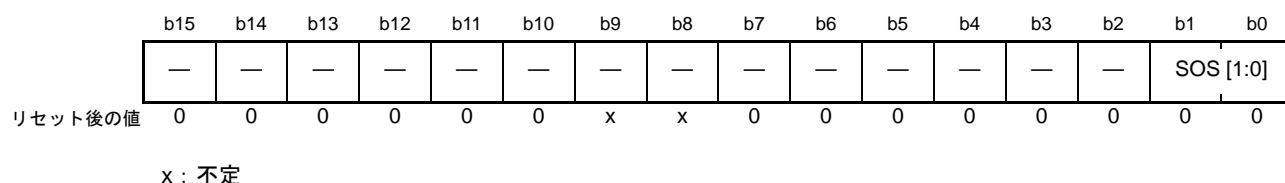
アドレス GPT0.GTDBU 000C 213Ch、GPT1.GTDBU 000C 21BCh、GPT2.GTDBU 000C 223Ch、GPT3.GTDBU 000C 22BCh
 GPT0.GTDBD 000C 213Eh、GPT1.GTDBD 000C 21BEh、GPT2.GTDBD 000C 223Eh、GPT3.GTDBD 000C 22BEh



GTDBm レジスタは、16 ビットの読み出し／書き込み可能なレジスタで、GTDVm レジスタのバッファレジスタとして動作します。各チャンネルに 2 本ずつ計 8 本の GTDBm レジスタがあります。

18.2.36 汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)

アドレス GPT0.GTSOS 000C 2140h, GPT1.GTSOS 000C 21C0h, GPT2.GTSOS 000C 2240h, GPT3.GTSOS 000C 22C0h



ビット	シンボル	ビット名	機能	R/W
b1-b0	SOS [1:0]	出力保護機能ステータスビット	b1 b0 0 0 : 通常動作 0 1 : 保護状態 (谷もしくは山の転送でGTCCRA=0が設定された) 1 0 : 保護状態 (谷の転送でGTCCRA ≥ GTPRが設定された) 1 1 : 保護状態 (山の転送でGTCCRA ≥ GTPRが設定された)	R
b7-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b8-b9	—	予約ビット	読む場合、その値は不定です。書き込みは無効になります	R
b15-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

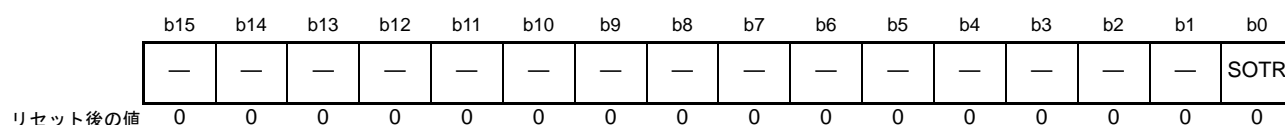
GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイム自動設定されている (GTDTCR.TDE ビット = 1) 場合のみ有効になります。

SOS ビット (出力保護機能ステータスビット)

三角波 PWM モードでの出力保護機能のステータスを示します。出力保護機能の詳細については、「18.7.4 GTIOC 端子出力の出力保護機能」を参照してください。

18.2.37 汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)

アドレス GPT0.GTSOTR 000C 2142h, GPT1.GTSOTR 000C 21C2h, GPT2.GTSOTR 000C 2242h, GPT3.GTSOTR 000C 22C2h



ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除ビット	0 : 保護状態を解除しない 1 : 保護状態を解除する	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSOTR レジスタは、出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除します。

GTSOS.SOS[1:0] ビット = “10b” (谷の転送で GTCCRA ≥ GTPR となったことを示す保護状態) の場合のみ、解除することができます。他の保護状態の場合には解除されません。

SOTR ビット (出力保護機能一時解除ビット)

出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除するか／しないかを設定します。

SOTR ビットを“1”にすると、最初に現れる“谷”以降の出力保護機能を解除します。また、SOTR ビットを“0”にすると、最初に現れる“谷”以降の出力保護を再開します。

18.2.38 PWM 出力遅延制御レジスタ (GTDLYCR)

アドレス GPT0.GTDLYCR 000C 2300h、GPT1.GTDLYCR 000C 2302h、GPT2.GTDLYCR 000C 2304h、
GPT3.GTDLYCR 000C 2306h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DLYEN	DLYRST	DLLLEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLLLEN	DLL動作イネーブルビット	0 : DLL動作停止 1 : DLL動作許可	R/W
b1	DLYRST	PWM遅延生成回路リセットビット	0 : 通常動作 1 : リセット	R/W
b2	DLYEN	PWM遅延生成回路イネーブルビット	0 : 遅延生成回路動作禁止(バイパス動作) 1 : 遅延生成回路動作許可	R/W
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLYCR レジスタは、PWM 出力に遅延を付加する PWM 遅延生成回路の制御を行います。

DLLLEN ビット (DLL 動作イネーブルビット)

PWM 遅延生成回路に内蔵の DLL を起動するかしないかを選択します。

DLYRST ビット (PWM 遅延生成回路リセットビット)

PWM 遅延生成回路の内部状態をリセットします。

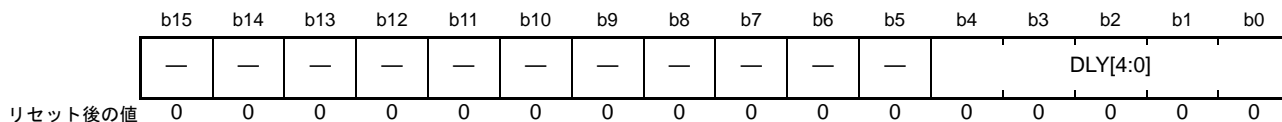
DLYEN ビット (PWM 遅延生成回路イネーブルビット)

GTIOChA、GTIOChB 端子から出力する PWM 出力が、PWM 遅延生成回路で遅延させた信号か、PWM 遅延生成回路をバイパスした信号かを選択します。(n = 0 ~ 3)。

PWM 遅延生成回路で遅延させた信号は、PWM 遅延生成回路をバイパスした信号に対して ICLK3 クロックの遅延後に出力されます。

18.2.39 GTIOCA 立ち上がり出力遅延レジスタ (GTDLYRA)

アドレス GPT0.GTDLYRA 000C 2318h、GPT1.GTDLYRA 000C 231Ch、GPT2.GTDLYRA 000C 2320h、GPT3.GTDLYRA 000C 2324h

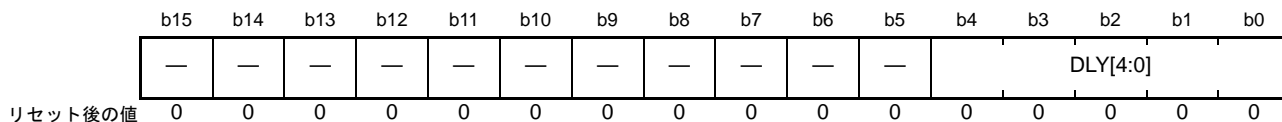


ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCA出力立ち上がり遅延値設定ビット	b4 b0 00000: 立ち上がり遅延無し 00001: ICLK 1/ 32 の遅延付加 00010: ICLK 2/ 32 の遅延付加 00011: ICLK 3/ 32 の遅延付加 00100: ICLK 4/ 32 の遅延付加 00101: ICLK 5/ 32 の遅延付加 00110: ICLK 6/ 32 の遅延付加 00111: ICLK 7/ 32 の遅延付加 01000: ICLK 8/ 32 の遅延付加 01001: ICLK 9/ 32 の遅延付加 01010: ICLK 10/ 32 の遅延付加 01011: ICLK 11/ 32 の遅延付加 01100: ICLK 12/ 32 の遅延付加 01101: ICLK 13/ 32 の遅延付加 01110: ICLK 14/ 32 の遅延付加 01111: ICLK 15/ 32 の遅延付加 10000: ICLK 16/ 32 の遅延付加 10001: ICLK 17/ 32 の遅延付加 10010: ICLK 18/ 32 の遅延付加 10011: ICLK 19/ 32 の遅延付加 10100: ICLK 20/ 32 の遅延付加 10101: ICLK 21/ 32 の遅延付加 10110: ICLK 22/ 32 の遅延付加 10111: ICLK 23/ 32 の遅延付加 11000: ICLK 24/ 32 の遅延付加 11001: ICLK 25/ 32 の遅延付加 11010: ICLK 26/ 32 の遅延付加 11011: ICLK 27/ 32 の遅延付加 11100: ICLK 28/ 32 の遅延付加 11101: ICLK 29/ 32 の遅延付加 11110: ICLK 30/ 32 の遅延付加 11111: ICLK 31/ 32 の遅延付加	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLRYA レジスタは、GTIOCA 出力立ち上がりに付加する遅延値を設定するレジスタです。設定値の転送タイミングは「18.3.10 GTDLRYA レジスタ、GTDLRYB レジスタ、GTDLRYFA レジスタ、GTDLRYFB レジスタの設定値転送タイミング」を参照ください。

18.2.40 GTIOCA 立ち下がり出力遅延レジスタ (GTDLYFA)

アドレス GPT0.GTDLYFA 000C 2328h、GPT1.GTDLYFA 000C 232Ch、GPT2.GTDLYFA 000C 2330h、GPT3.GTDLYFA 000C 2334h

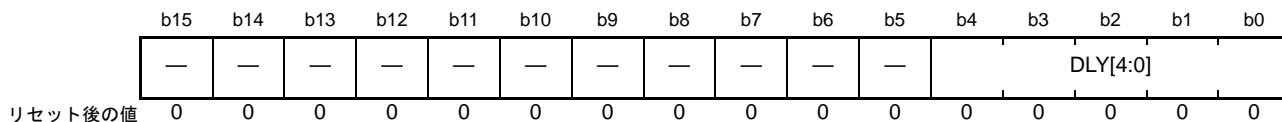


ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCA出力立ち下がり遅延値設定ビット	b4 b0 00000: 立ち上がり遅延無し 00001: ICLK 1/ 32 の遅延付加 00010: ICLK 2/ 32 の遅延付加 00011: ICLK 3/ 32 の遅延付加 00100: ICLK 4/ 32 の遅延付加 00101: ICLK 5/ 32 の遅延付加 00110: ICLK 6/ 32 の遅延付加 00111: ICLK 7/ 32 の遅延付加 01000: ICLK 8/ 32 の遅延付加 01001: ICLK 9/ 32 の遅延付加 01010: ICLK 10/ 32 の遅延付加 01011: ICLK 11/ 32 の遅延付加 01100: ICLK 12/ 32 の遅延付加 01101: ICLK 13/ 32 の遅延付加 01110: ICLK 14/ 32 の遅延付加 01111: ICLK 15/ 32 の遅延付加 10000: ICLK 16/ 32 の遅延付加 10001: ICLK 17/ 32 の遅延付加 10010: ICLK 18/ 32 の遅延付加 10011: ICLK 19/ 32 の遅延付加 10100: ICLK 20/ 32 の遅延付加 10101: ICLK 21/ 32 の遅延付加 10110: ICLK 22/ 32 の遅延付加 10111: ICLK 23/ 32 の遅延付加 11000: ICLK 24/ 32 の遅延付加 11001: ICLK 25/ 32 の遅延付加 11010: ICLK 26/ 32 の遅延付加 11011: ICLK 27/ 32 の遅延付加 11100: ICLK 28/ 32 の遅延付加 11101: ICLK 29/ 32 の遅延付加 11110: ICLK 30/ 32 の遅延付加 11111: ICLK 31/ 32 の遅延付加	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLFYFA レジスタは、GTIOCA 出力立ち下がり付加する遅延値を設定するレジスタです。設定値の転送タイミングは「18.3.10 GTDLFYRA レジスタ、GTDLFYRB レジスタ、GTDLFYFA レジスタ、GTDLFYFB レジスタの設定値転送タイミング」を参照ください。

18.2.41 GTIOCB 立ち上がり出力遅延レジスタ (GTDLYRB)

アドレス GPT0.GTDLYRB 000C 231Ah、GPT1.GTDLYRB 000C 231Eh、GPT2.GTDLYRB 000C 2322h、GPT3.GTDLYRB 000C 2326h

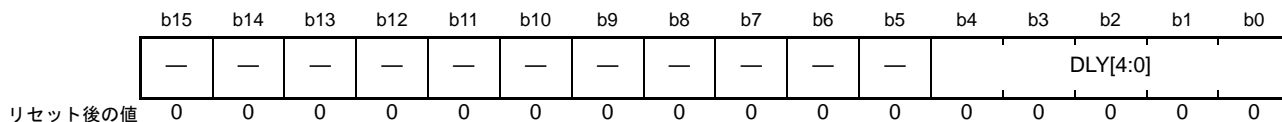


ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCB出力立ち上がり遅延値設定ビット	b4 b0 00000 : 立ち上がり遅延無し 00001 : ICLK 1/ 32 の遅延付加 00010 : ICLK 2/ 32 の遅延付加 00011 : ICLK 3/ 32 の遅延付加 00100 : ICLK 4/ 32 の遅延付加 00101 : ICLK 5/ 32 の遅延付加 00110 : ICLK 6/ 32 の遅延付加 00111 : ICLK 7/ 32 の遅延付加 01000 : ICLK 8/ 32 の遅延付加 01001 : ICLK 9/ 32 の遅延付加 01010 : ICLK 10/ 32 の遅延付加 01011 : ICLK 11/ 32 の遅延付加 01100 : ICLK 12/ 32 の遅延付加 01101 : ICLK 13/ 32 の遅延付加 01110 : ICLK 14/ 32 の遅延付加 01111 : ICLK 15/ 32 の遅延付加 10000 : ICLK 16/ 32 の遅延付加 10001 : ICLK 17/ 32 の遅延付加 10010 : ICLK 18/ 32 の遅延付加 10011 : ICLK 19/ 32 の遅延付加 10100 : ICLK 20/ 32 の遅延付加 10101 : ICLK 21/ 32 の遅延付加 10110 : ICLK 22/ 32 の遅延付加 10111 : ICLK 23/ 32 の遅延付加 11000 : ICLK 24/ 32 の遅延付加 11001 : ICLK 25/ 32 の遅延付加 11010 : ICLK 26/ 32 の遅延付加 11011 : ICLK 27/ 32 の遅延付加 11100 : ICLK 28/ 32 の遅延付加 11101 : ICLK 29/ 32 の遅延付加 11110 : ICLK 30/ 32 の遅延付加 11111 : ICLK 31/ 32 の遅延付加	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLYRB レジスタは、GTIOCB 出力立ち上がりに付加する遅延値を設定するレジスタです。設定値の転送タイミングは「18.3.10 GTDLYRA レジスタ、GTDLYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタの設定値転送タイミング」を参照ください。

18.2.42 GTIOCB 立ち下がり出力遅延レジスタ (GTDLYFB)

アドレス GPT0.GTDLYFB 000C 232Ah、GPT1.GTDLYFB 000C 232Eh、GPT2.GTDLYFB 000C 2332h、GPT3.GTDLYFB 000C 2336h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCB出力立ち下がり遅延値設定ビット	b4 b0 00000: 立ち上がり遅延無し 00001: ICLK 1/ 32 の遅延付加 00010: ICLK 2/ 32 の遅延付加 00011: ICLK 3/ 32 の遅延付加 00100: ICLK 4/ 32 の遅延付加 00101: ICLK 5/ 32 の遅延付加 00110: ICLK 6/ 32 の遅延付加 00111: ICLK 7/ 32 の遅延付加 01000: ICLK 8/ 32 の遅延付加 01001: ICLK 9/ 32 の遅延付加 01010: ICLK 10/ 32 の遅延付加 01011: ICLK 11/ 32 の遅延付加 01100: ICLK 12/ 32 の遅延付加 01101: ICLK 13/ 32 の遅延付加 01110: ICLK 14/ 32 の遅延付加 01111: ICLK 15/ 32 の遅延付加 10000: ICLK 16/ 32 の遅延付加 10001: ICLK 17/ 32 の遅延付加 10010: ICLK 18/ 32 の遅延付加 10011: ICLK 19/ 32 の遅延付加 10100: ICLK 20/ 32 の遅延付加 10101: ICLK 21/ 32 の遅延付加 10110: ICLK 22/ 32 の遅延付加 10111: ICLK 23/ 32 の遅延付加 11000: ICLK 24/ 32 の遅延付加 11001: ICLK 25/ 32 の遅延付加 11010: ICLK 26/ 32 の遅延付加 11011: ICLK 27/ 32 の遅延付加 11100: ICLK 28/ 32 の遅延付加 11101: ICLK 29/ 32 の遅延付加 11110: ICLK 30/ 32 の遅延付加 11111: ICLK 31/ 32 の遅延付加	R/W
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDLYFB レジスタは、GTIOCB 出力立ち下がり付加する遅延値を設定するレジスタです。設定値の転送タイミングは「18.3.10 GTDLYRA レジスタ、GTDLYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタの設定値転送タイミング」を参照ください。

18.3 動作説明

18.3.1 基本動作

各チャンネルの16ビットタイマは、アップカウント動作、ダウンカウント動作、またはアップ/ダウンカウント動作を行います。タイマ周期はGTPRレジスタによって制御されます。

GTCNTカウンタ値がGTCCRAレジスタ、GTCCRBレジスタの値と一致すると、それぞれGTIOCnA出力端子、GTIOCnB出力端子を変化させることができます (n=0~3)。また、GTIOCnA端子、GTIOCnB端子を入力としてGTCCRAレジスタ、GTCCRBレジスタをインプットキャプチャレジスタとして使用することができます。

GTCCRCレジスタ、GTCCRDレジスタはGTCCRAレジスタのバッファレジスタ、GTCCREレジスタ、GTCCRFレジスタはGTCCRBレジスタのバッファレジスタとして動作させることができます。

18.3.1.1 カウンタの動作

(1) 周期カウント動作 (アップカウント時)

各チャンネルのカウンタは、GTSTRレジスタの対応するCSTビットを“1”にするとアップカウント動作を開始します。GTCNTカウンタ値がGTPRレジスタ値と一致 (オーバーフロー) すると、GTST.TCFPOフラグを“1”にします。このとき、GTINTAD.GTINTPR[0]ビットが“1”ならば、GTCIV割り込みを要求します。GTCNTカウンタはオーバーフロー後、“0000h”からアップカウント動作を継続します。

アップカウント時の周期カウント動作例を図18.2に示します。

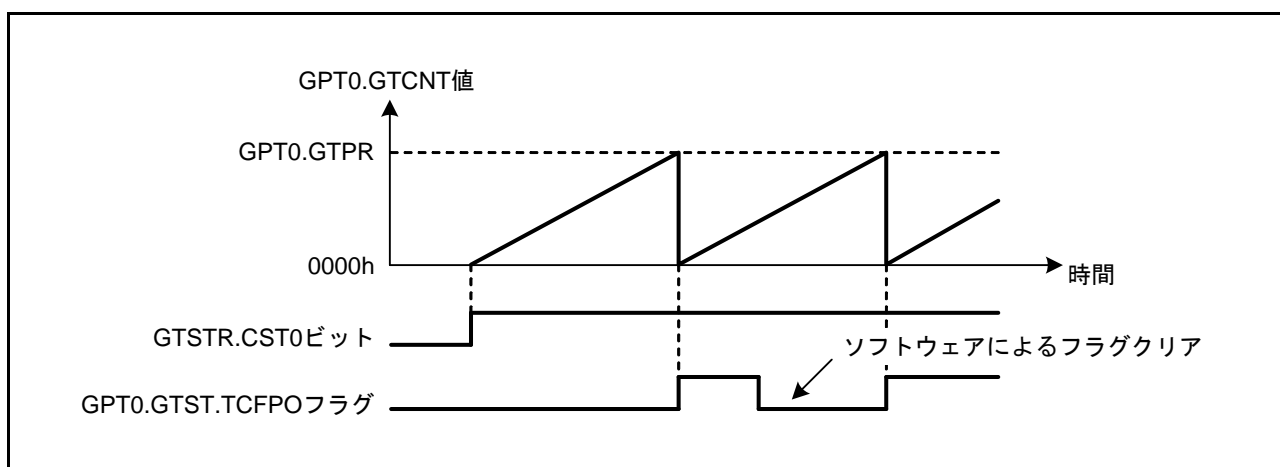


図 18.2 周期カウント動作例 (アップカウント時)

アップカウント時の周期カウント動作設定例 (アップカウント時) を図 18.3 に示します。

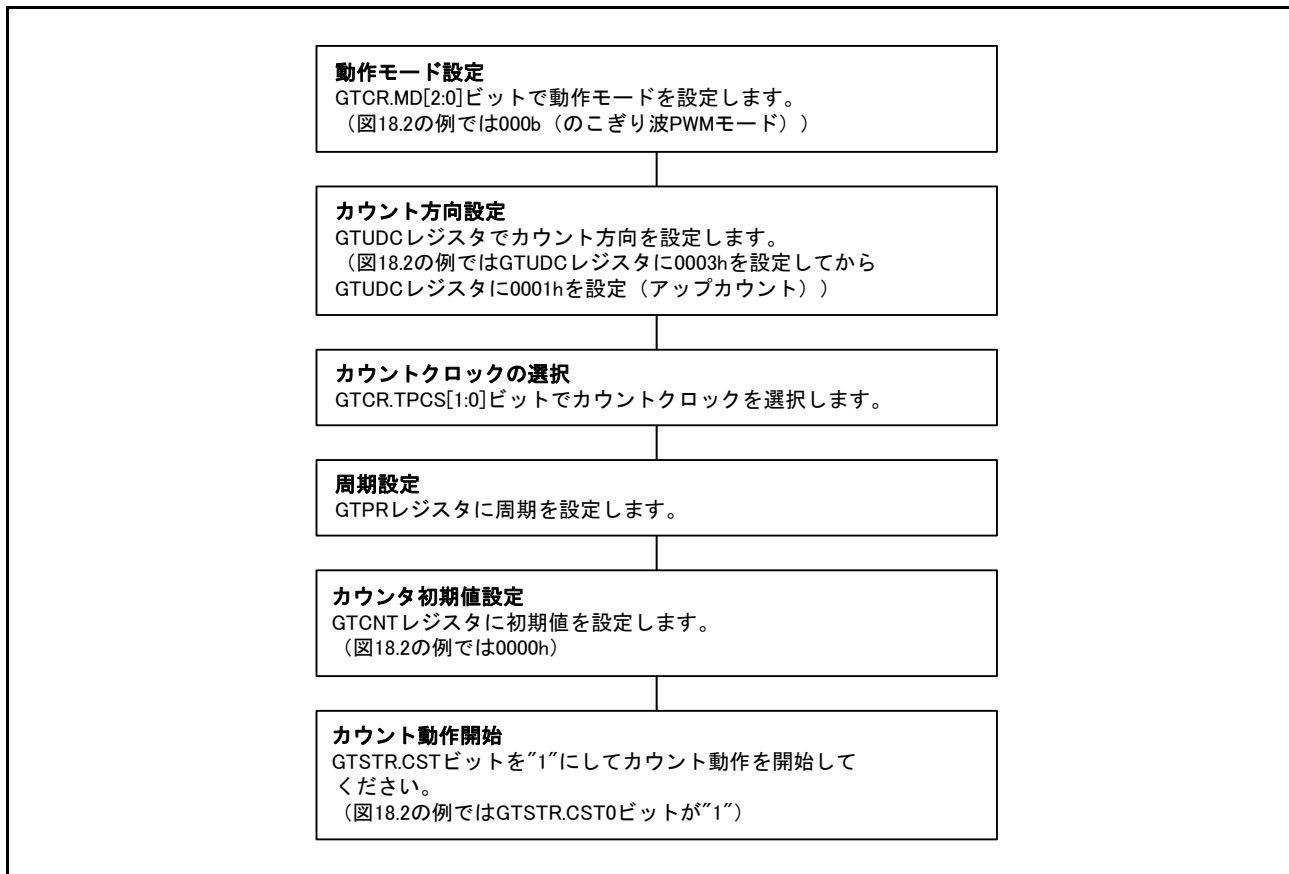


図 18.3 周期カウント動作設定例 (アップカウント時)

(2) 周期カウント動作 (ダウンカウント時)

各チャネルのカウンタは、GTUDCレジスタを設定することで、ダウンカウント動作を行うことが可能です。GTCNTカウンタ値が“0” (アンダフロー) になると、GTST.TCFPUフラグが“1”になります。このとき、GTINTAD.GTINTPR[1]ビットが“1”ならば、GTCIV割り込みを要求します。GTCNTカウンタはアンダフロー後、GTPRレジスタ値からダウンカウント動作を継続します。

ダウンカウント時の周期カウント動作例を図18.4に示します。

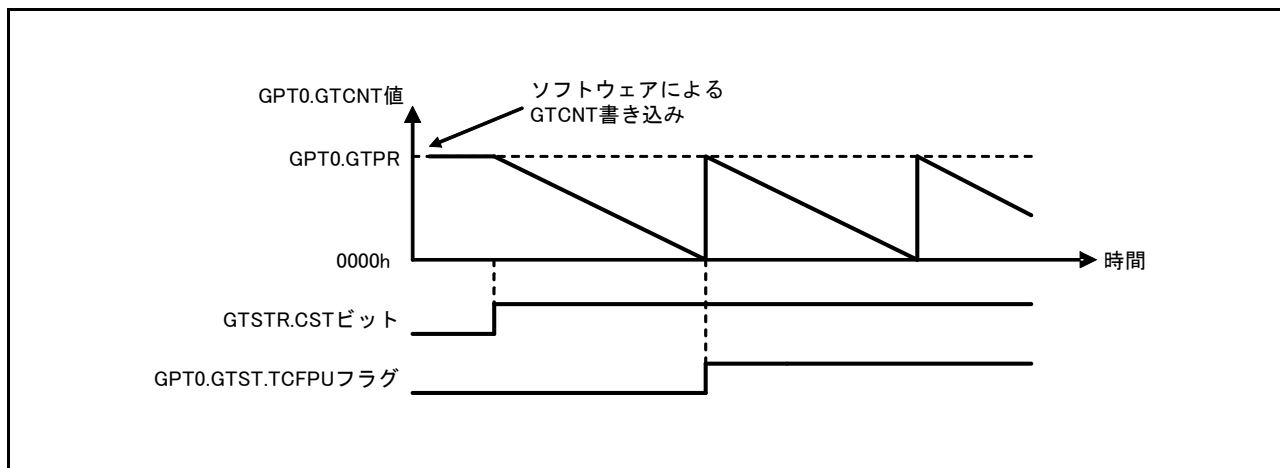


図 18.4 周期カウント動作例 (ダウンカウント時)

ダウンカウント時の周期カウント動作設定例を図18.5に示します。

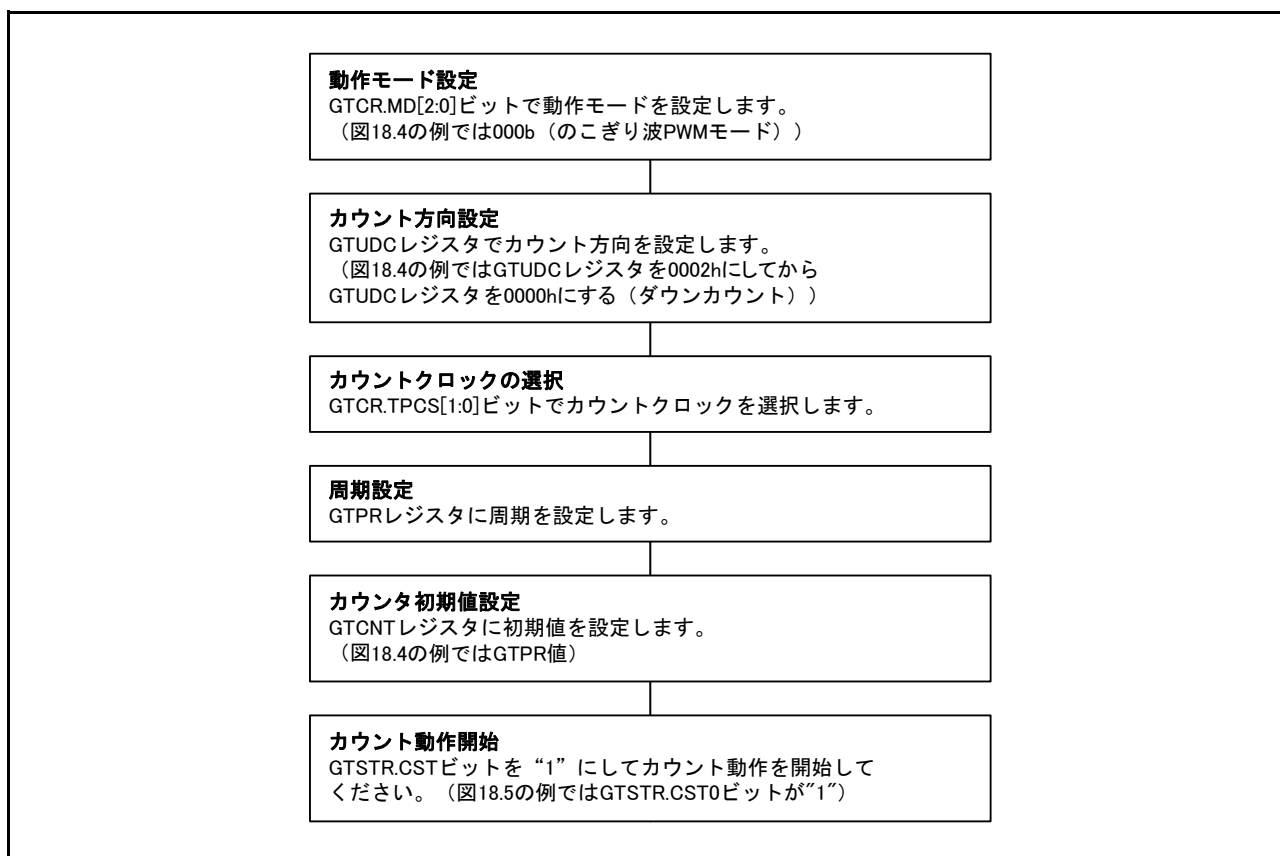


図 18.5 周期カウント動作設定例 (ダウンカウント時)

18.3.1.2 コンペアマッチによる波形出力機能

GPTn.GTCNT カウンタ値が GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタの値と一致すると、それぞれ GTIOCnA 出力端子、GTIOCnB 出力端子を Low 出力 / High 出力 / トグル出力することができます (n : チャネル番号)。

また、GPTn.GTPR により決まる “周期の終わり” でも、GTIOCnA 出力端子、GTIOCnB 出力端子を Low 出力 / High 出力 / トグル出力することができます。“周期の終わり” とは、以下を示します。

- のこぎり波でアップカウントの場合 : GPTn.GTCNT=GPTn.GTPR となったとき (オーバフロー)
- のこぎり波でダウンカウントの場合 : GPTn.GTCNT=0 となったとき (アンダフロー)
- 三角波の場合 : GPTn.GTCNT = 0 となったとき (谷)

(1) Low 出力 / High 出力

GTCCRA レジスタ、GTCCRB レジスタとのコンペアマッチによる Low 出力 / High 出力動作例を図 18.6 に示します。

GPT0 をアップカウント動作し、GPT0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子を High 出力、GPT0.GTCCRB レジスタとのコンペアマッチにより GTIOC0B 端子を Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

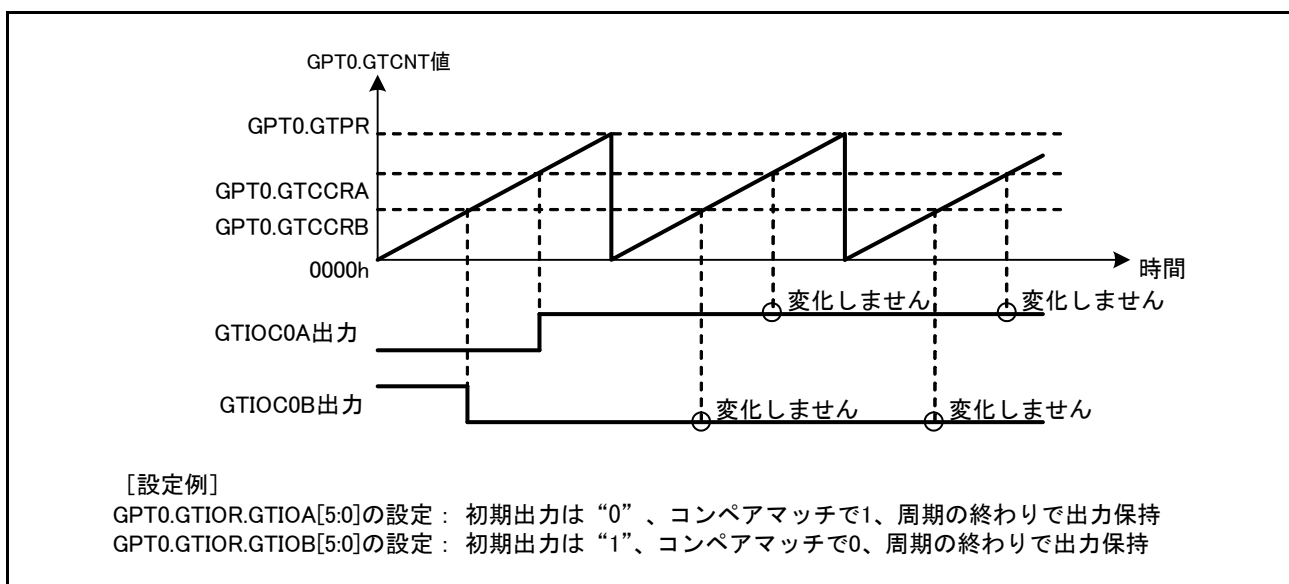


図 18.6 Low 出力 / High 出力動作例

Low 出力 / High 出力動作設定例を図 18.7 に示します。

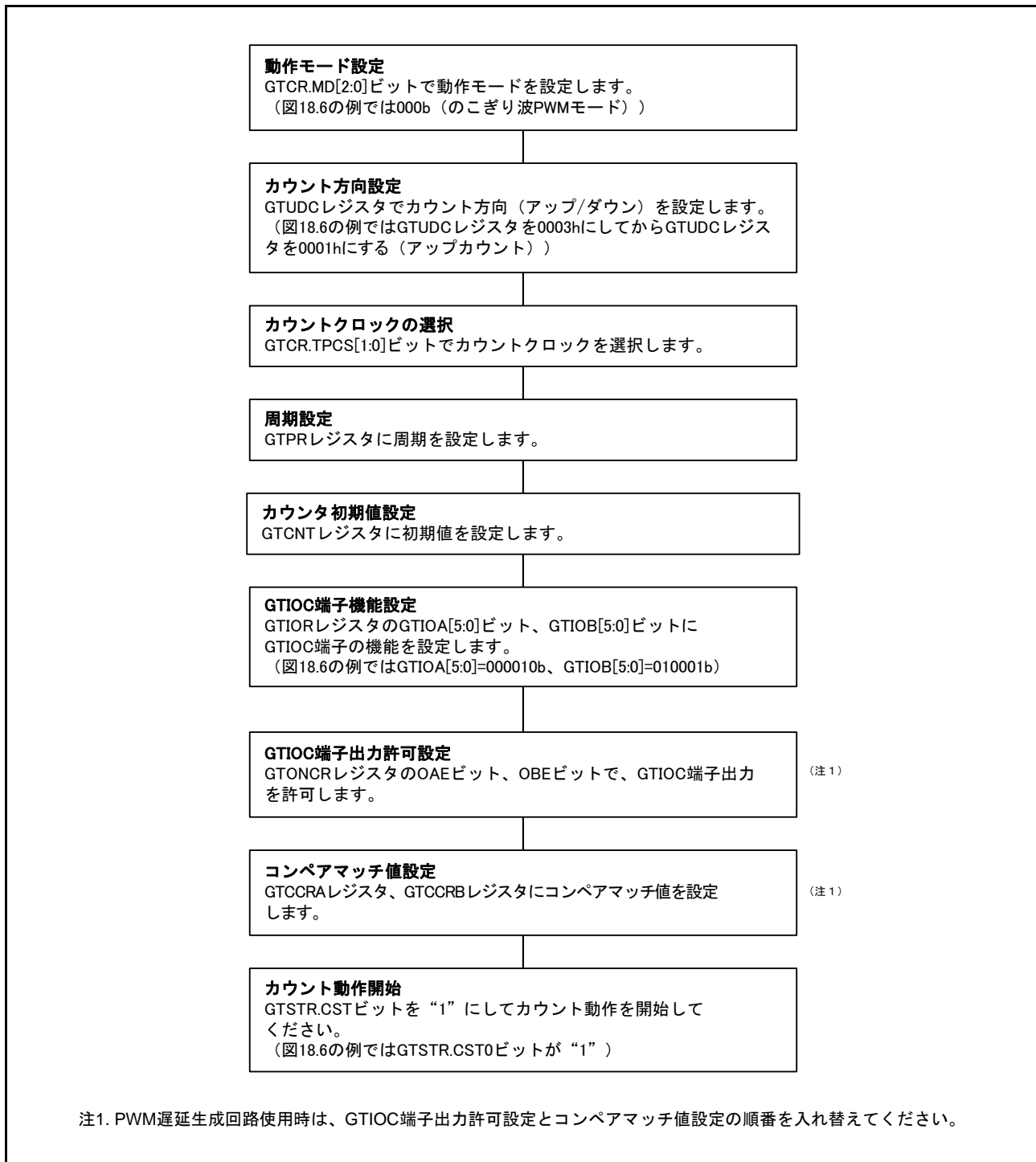


図 18.7 Low 出力 / High 出力動作設定例

(2) トグル出力

GTCRA レジスタ、GTCRB レジスタとのコンペアマッチによるトグル出力動作例を図 18.8、図 18.9 に示します。

図 18.8 は、GPT0 をアップカウント動作し、GPT0.GTCCRA レジスタ、GPT0.GTCCRB レジスタとのコンペアマッチによりそれぞれ GTIOC0A 端子、GTIOC0B 端子をトグル出力となるように設定した場合の例です。

図 18.9 は、GPT0 をアップカウント動作し、GPT0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。

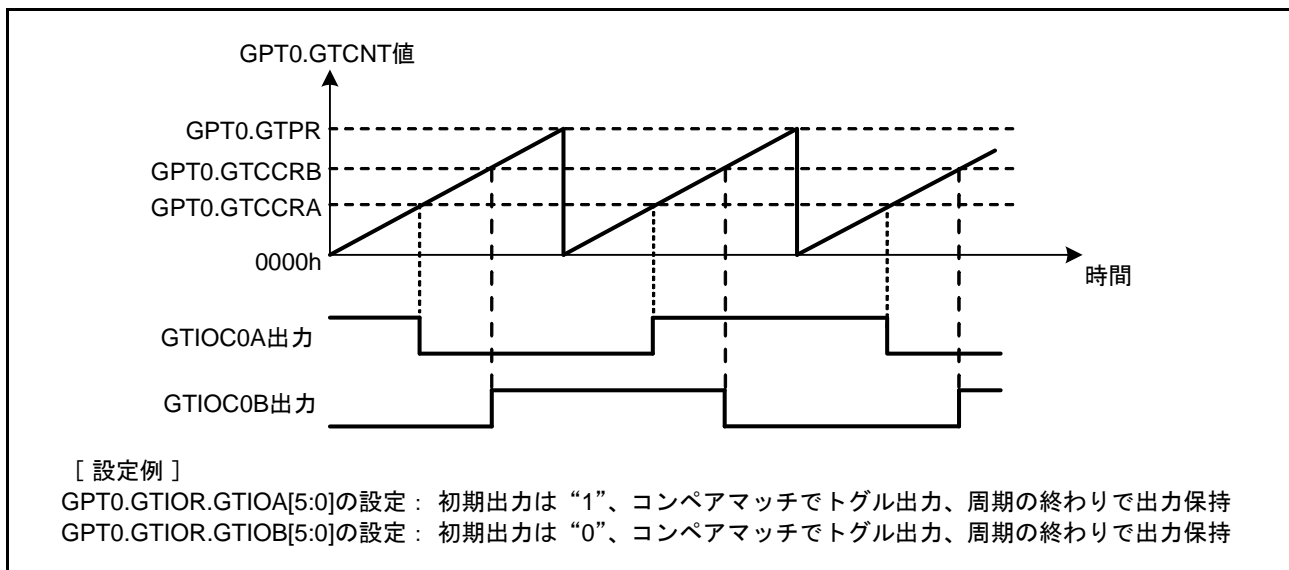


図 18.8 トグル出力動作例 (1)

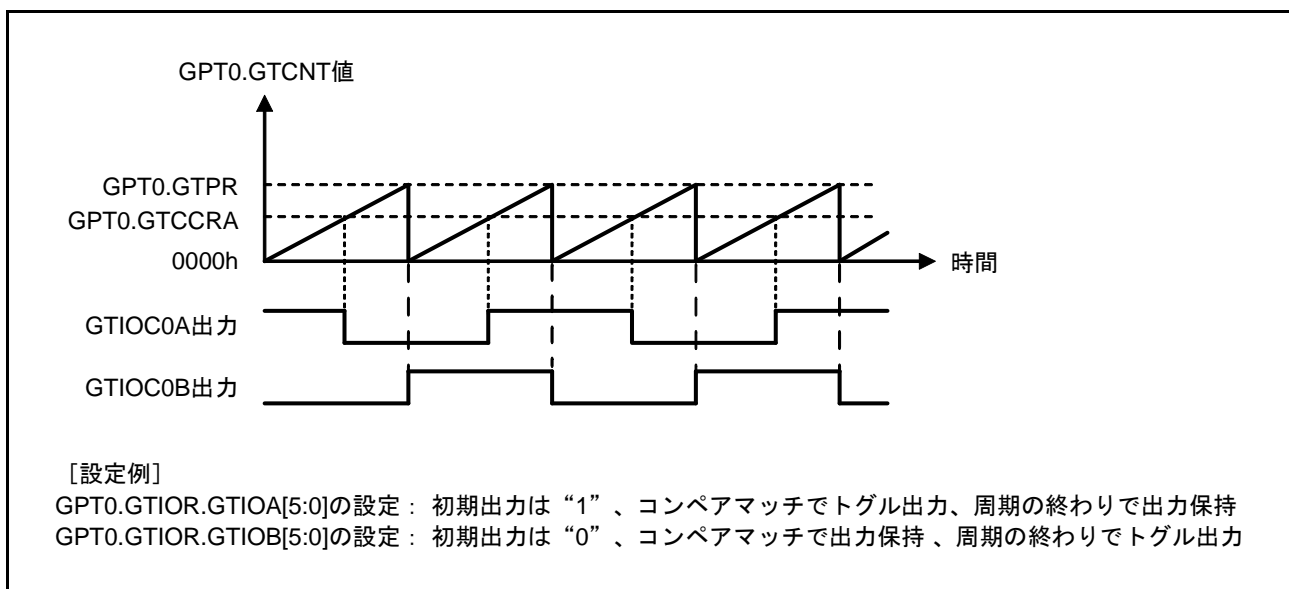


図 18.9 トグル出力動作例 (2)

トグル出力動作設定例を図 18.10 に示します。

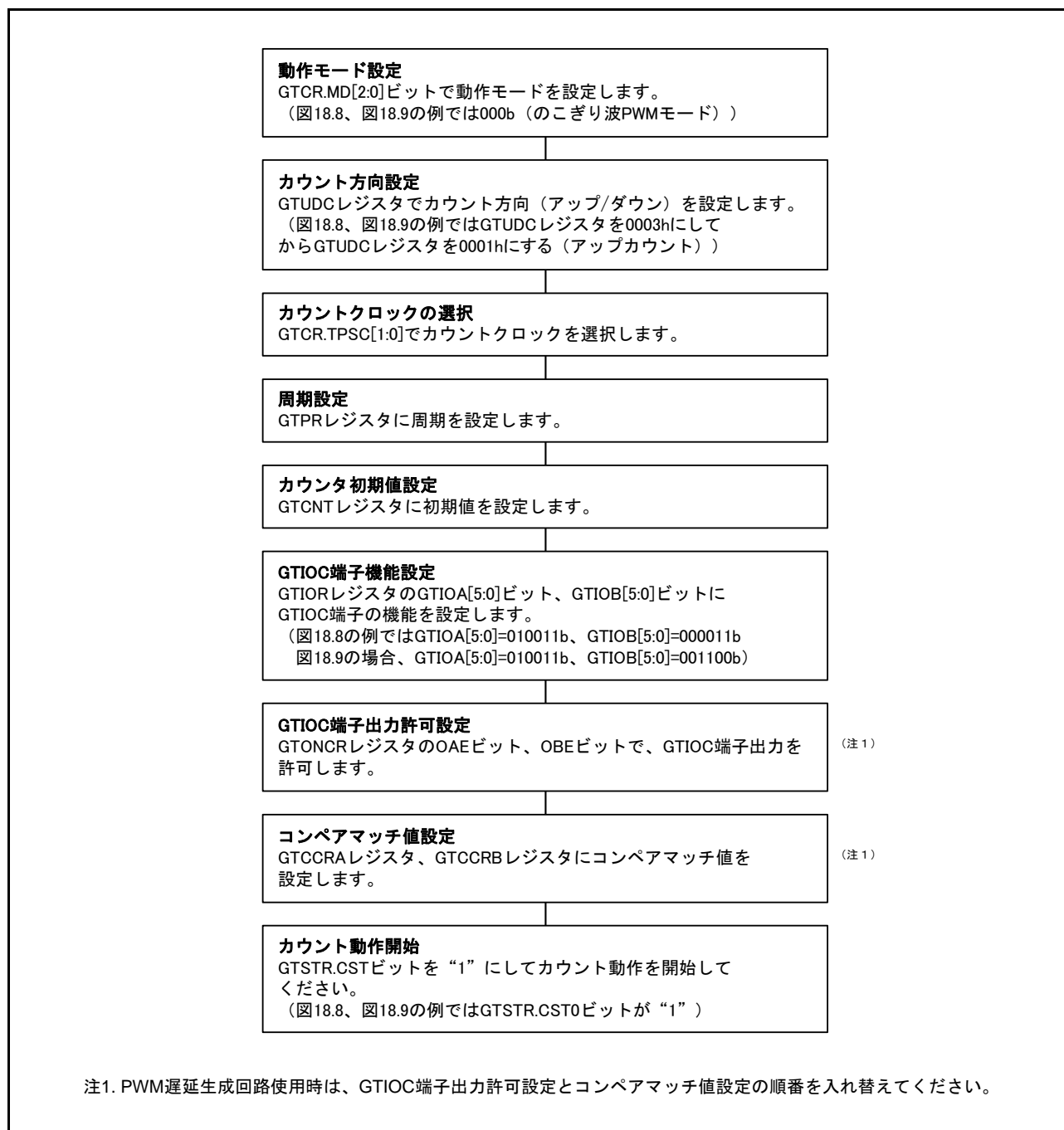


図 18.10 トグル出力動作設定例

18.3.1.3 インพุットキャプチャ機能

GTIOCnA 入力端子、GTIOCnB 入力端子のエッジを検出して、GPTn.GTCNT カウンタの値をそれぞれ GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタに転送することができます (n: チャンネル番号)。検出エッジは、立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インพุットキャプチャ機能の動作例を図 18.11 に示します。

GPT0 をアップカウント動作し、GTIOC0A 入力端子の両エッジでインพุットキャプチャ、GTIOC0B 入力端子の立ち上がりエッジでインพุットキャプチャとなるように設定した場合の例です。

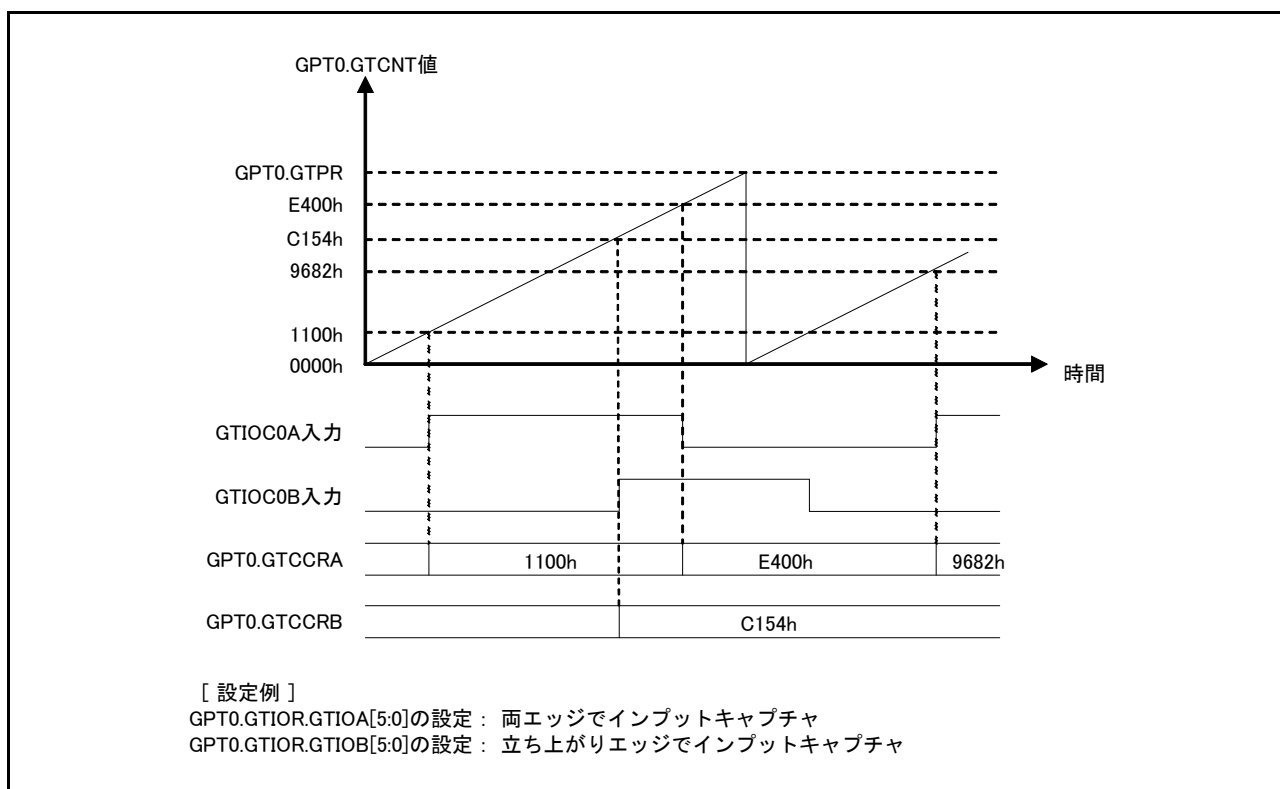


図 18.11 インพุットキャプチャ動作例

入力キャプチャ動作設定例を図 18.12 に示します。

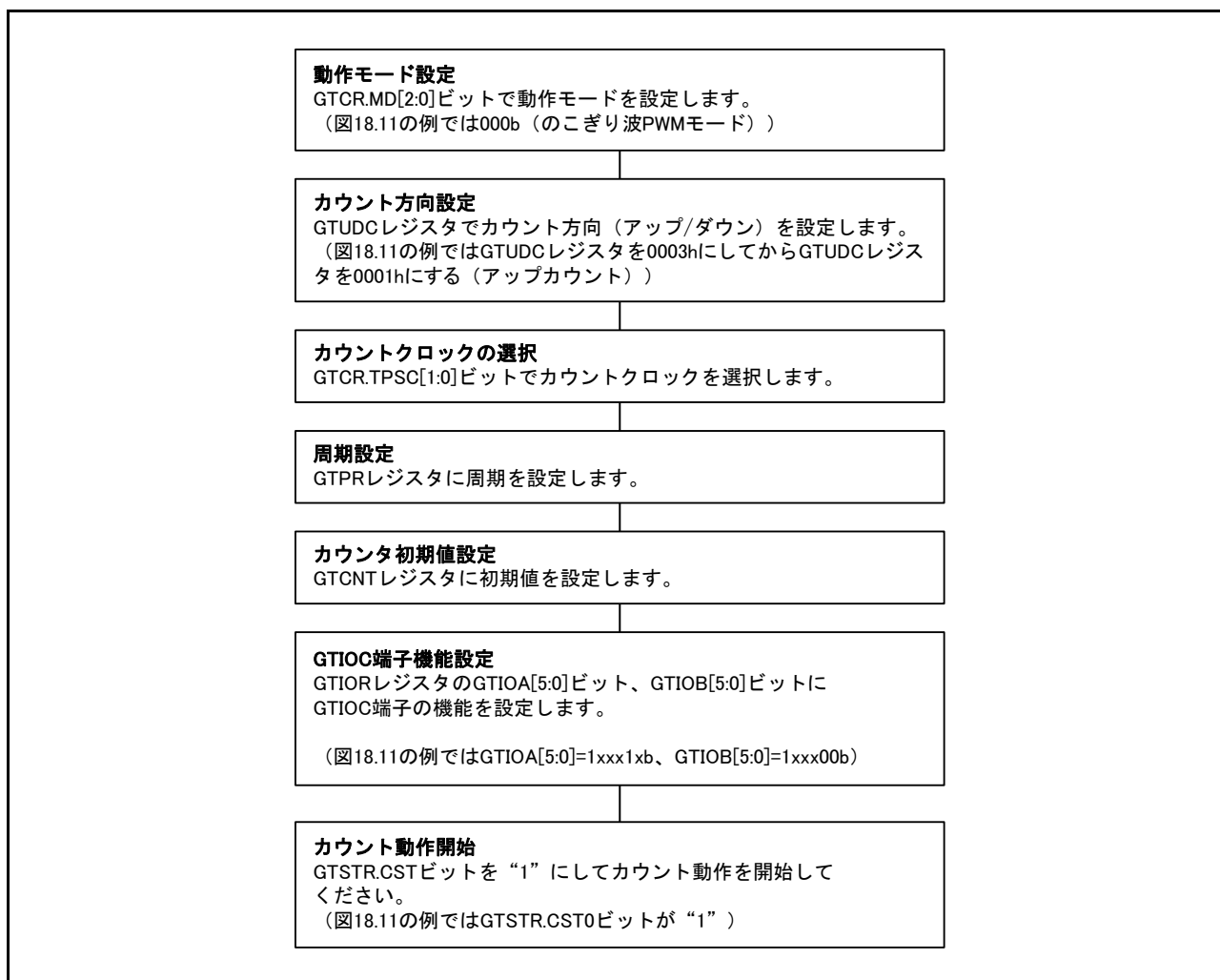


図 18.12 入力キャプチャ動作設定例

18.3.2 バッファ動作

GTBER レジスタを設定することにより、以下のバッファ動作が可能です。

- GTCCRA レジスタと GTCCRC レジスタ、GTCCRD レジスタを組み合わせたバッファ動作
 - GTCCRB レジスタと GTCCRE レジスタ、GTCCRF レジスタを組み合わせたバッファ動作
 - GTPR レジスタと GTPBR レジスタ、GTPDBR レジスタを組み合わせたバッファ動作
 - GTADTRA レジスタと GTADTBRA レジスタ、GTADTDBRA レジスタを組み合わせたバッファ動作
 - GTADTRB レジスタと GTADTBRB レジスタ、GTADTDBRB レジスタを組み合わせたバッファ動作
- また、GTDTCR レジスタを設定することにより、以下のバッファ動作が可能です。
- GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作
 - GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作

18.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは GTPR レジスタのバッファレジスタ、GTPDBR レジスタは GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。

バッファ転送のタイミングは、のこぎり波の場合はオーバーフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は谷となります。

GTPR レジスタをダブルバッファ動作させる場合には GTBER.PR[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

GTPR レジスタのバッファ動作例を図 18.13 ~ 図 18.15 に、GTPR レジスタのバッファ動作設定例を図 18.16 に示します。

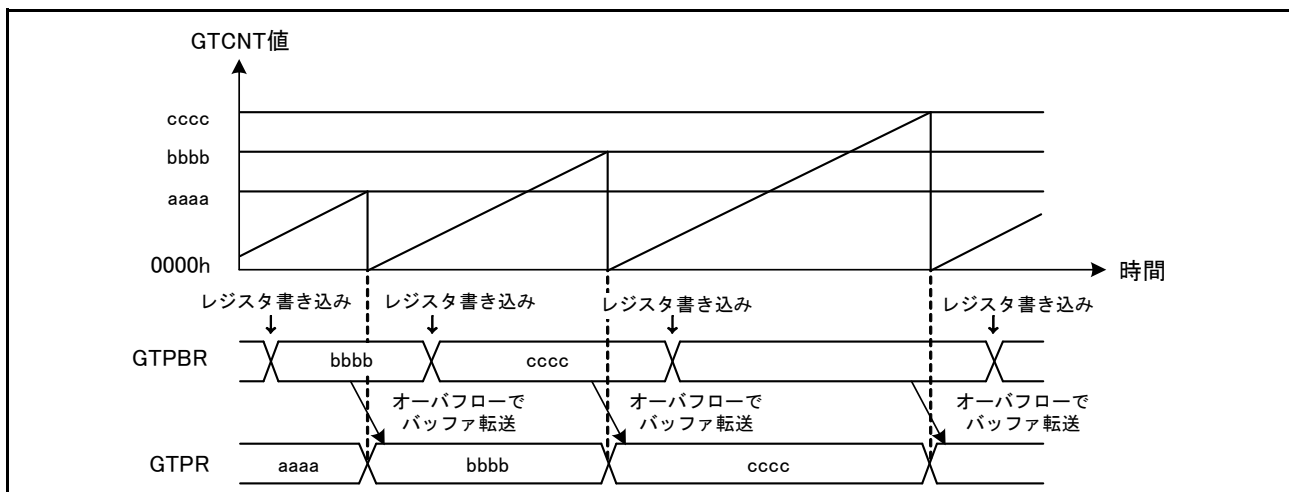


図 18.13 GTPR レジスタのバッファ動作例 (のこぎり波でアップカウントの場合)

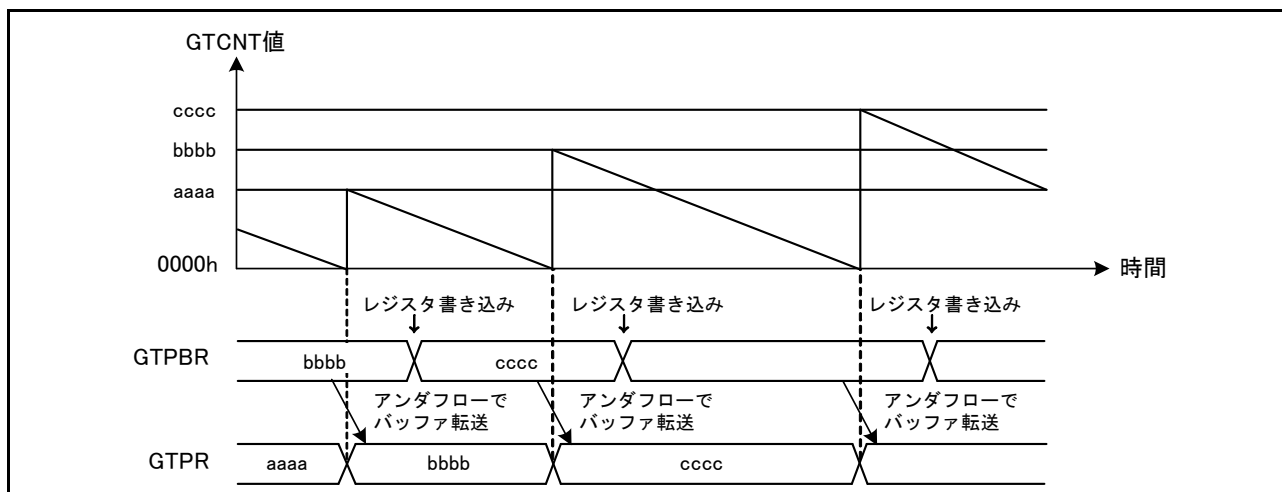


図 18.14 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

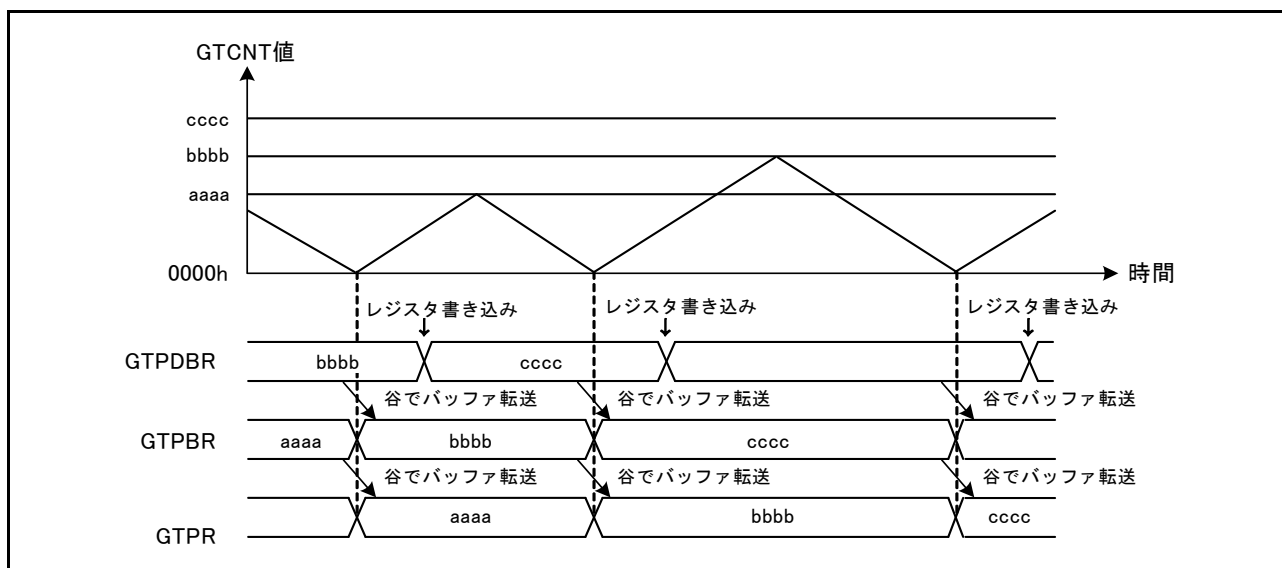


図 18.15 GTPR レジスタのダブルバッファ動作例 (三角波の場合)

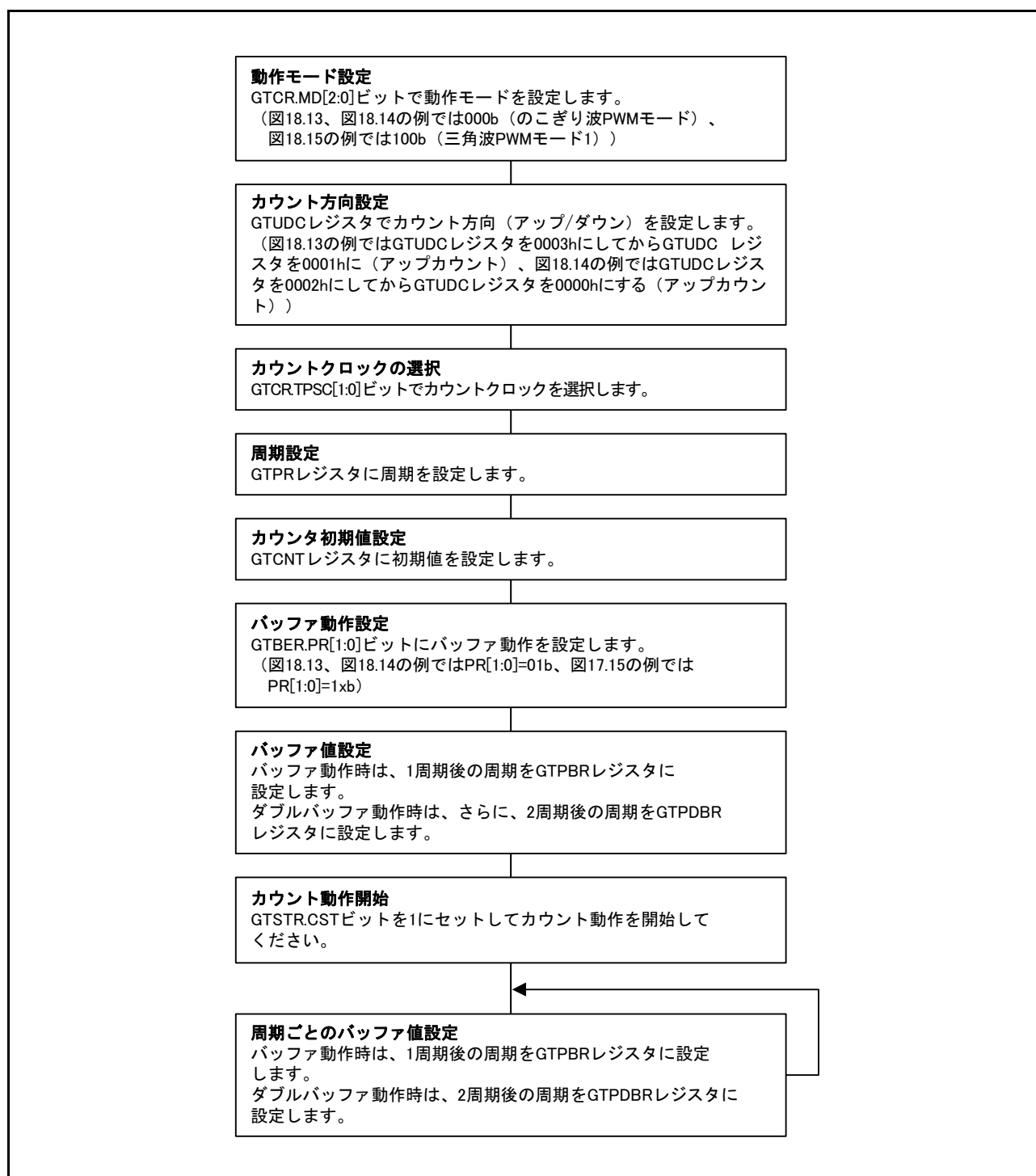


図 18.16 GTPR レジスタのバッファ動作設定例

18.3.2.2 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ (GTCCRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ (GTCCRB レジスタのダブルバッファレジスタ) として動作します。

GTCCRA レジスタ、GTCCRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.CCRA[1:0] ビット、GTBER.CCRB[1:0] ビットに“10b”または“11b”、シングルバッファ動作させる場合には“01b”、バッファ動作させない場合には“00b”にします。

(1) GTCCRA レジスタ、GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送のタイミングは、のこぎり波の場合はオーバーフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は谷となります。

GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例を図 18.17 ~ 図 18.19 に、GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例を図 18.20 に示します。

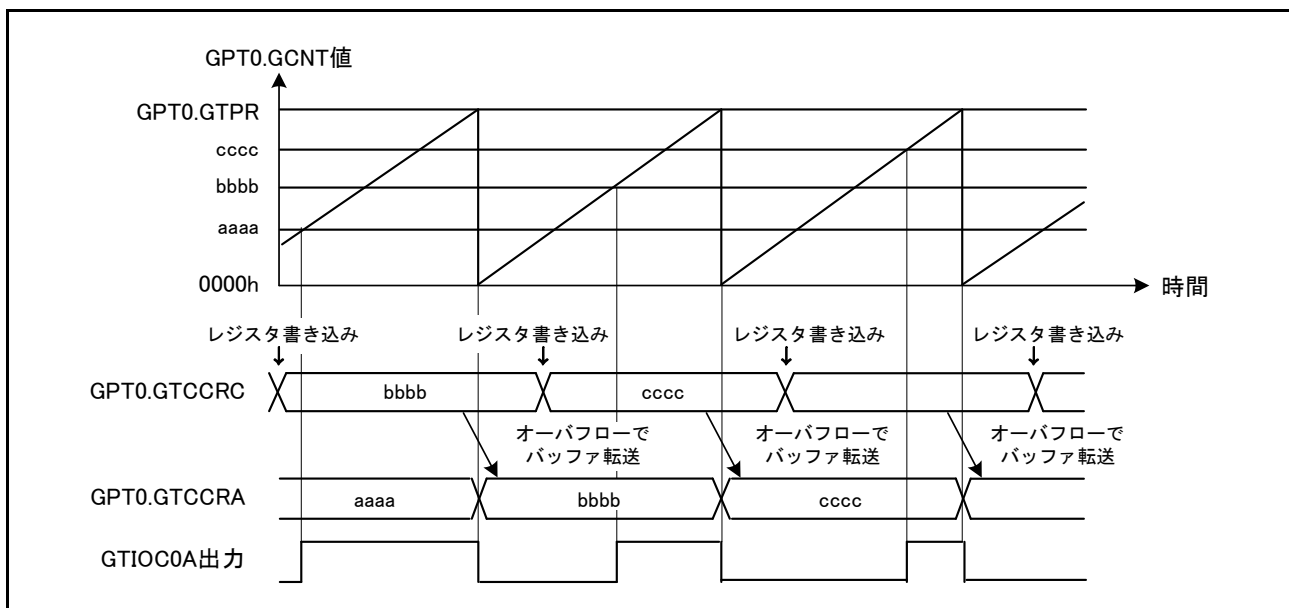


図 18.17 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例

(アウトプットコンペア、のこぎり波でアップカウント、GTCCRA コンペアマッチで High 出力、周期の終わりで Low 出力の場合)

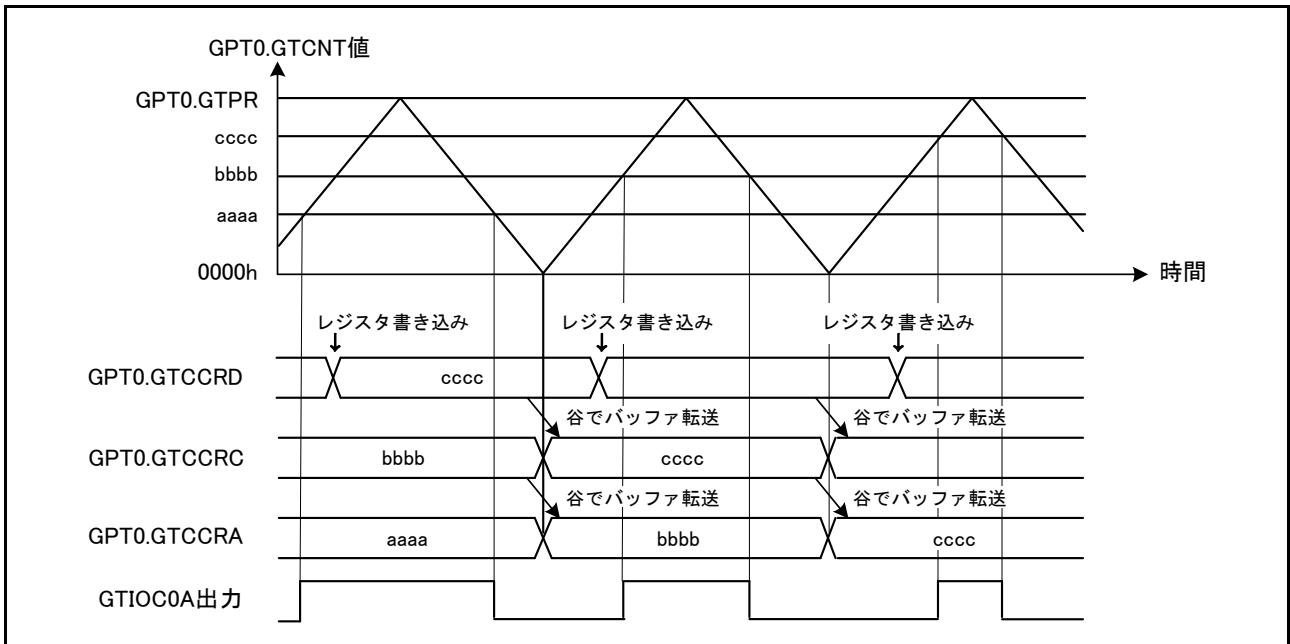


図 18.18 GTCCRA レジスタ、GTCCRB レジスタのダブルバッファ動作例
 (アウトプットコンペア、三角波、谷でバッファ転送、GTCCRA コンペアマッチでトグル出力、
 周期の終わりで出力保持の場合)

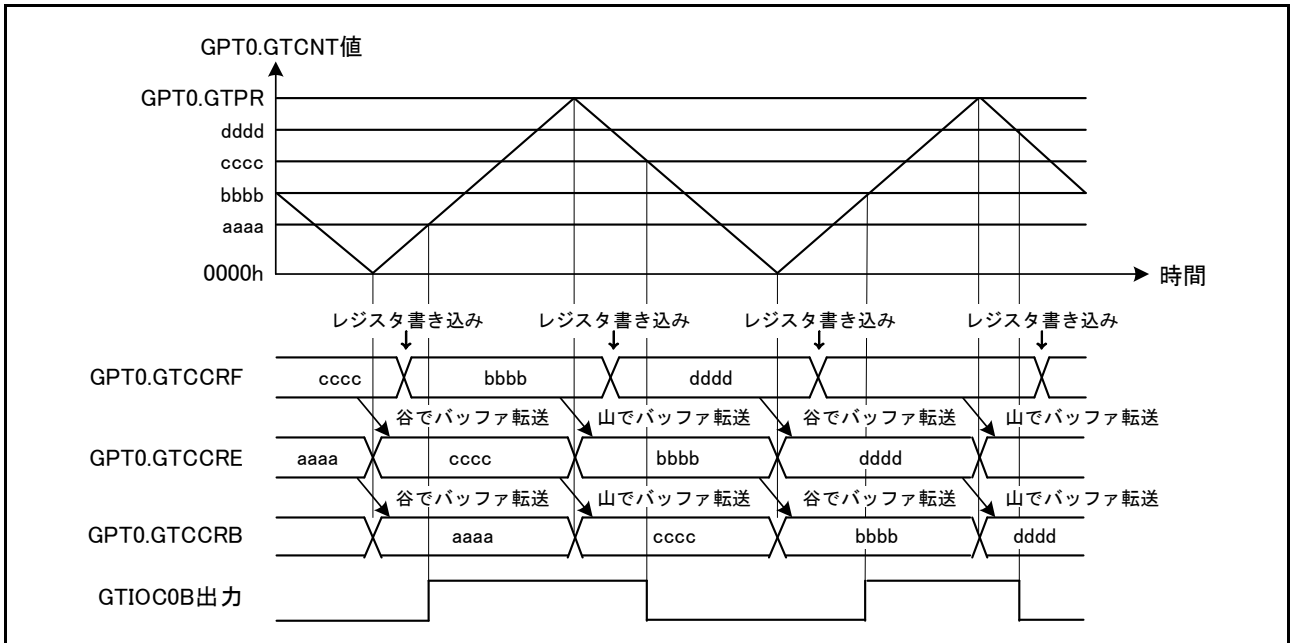


図 18.19 GTCCRA レジスタ、GTCCRB レジスタのダブルバッファ動作例
 (アウトプットコンペア、三角波、谷/山両方でバッファ転送、GTCCRB コンペアマッチでトグル出力、
 周期の終わりで出力保持の場合)

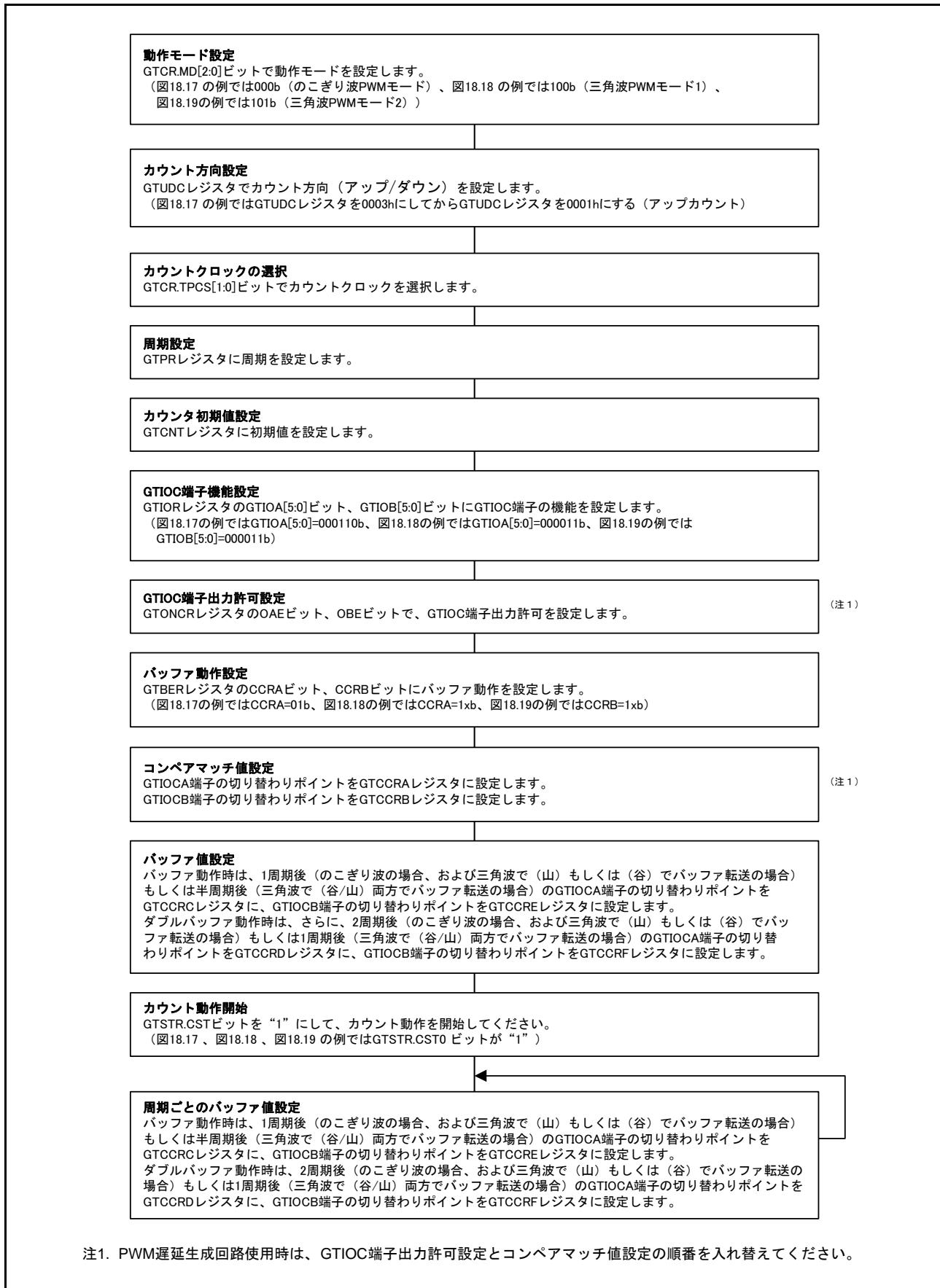


図 18.20 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA レジスタ、GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

バッファ転送のタイミングは、インプットキャプチャが発生したポイントとなります。インプットキャプチャが発生すると、GTCNT カウンタの値を GTCCRA レジスタ、GTCCRB レジスタに転送すると同時に、それまで格納されていた GTCCRA レジスタ、GTCCRB レジスタの値をバッファレジスタに転送します。

GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例を図 18.21、図 18.22 に、GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例を図 18.23 に示します。

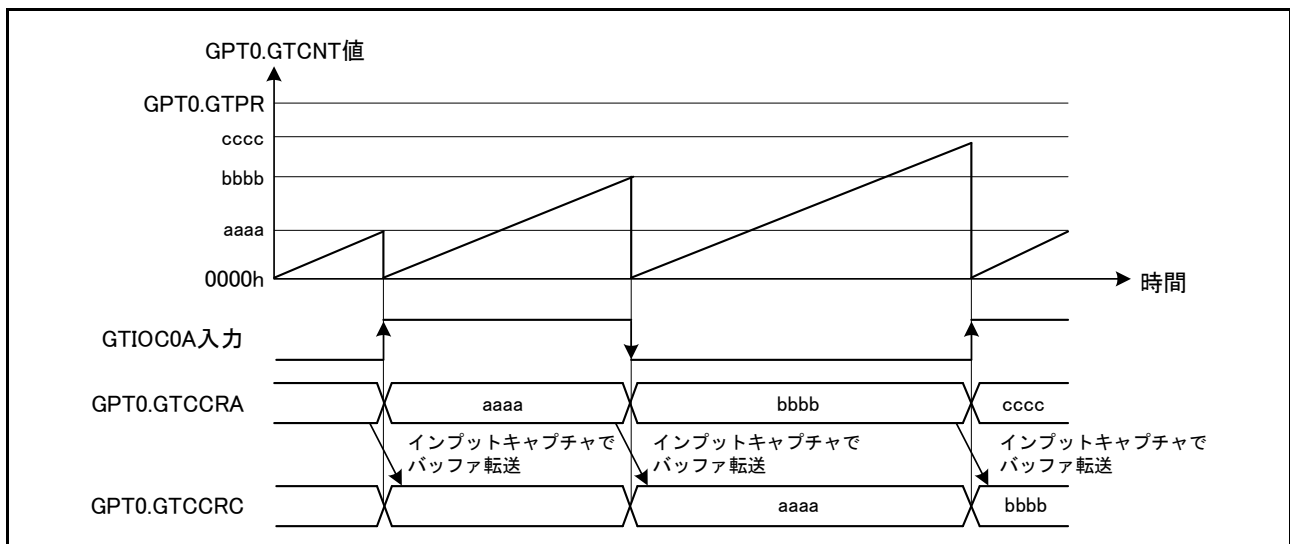


図 18.21 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作例
(GTIOC0A 入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTCCRA レジスタのインプットキャプチャで GTCNT カウンタクリアの場合)

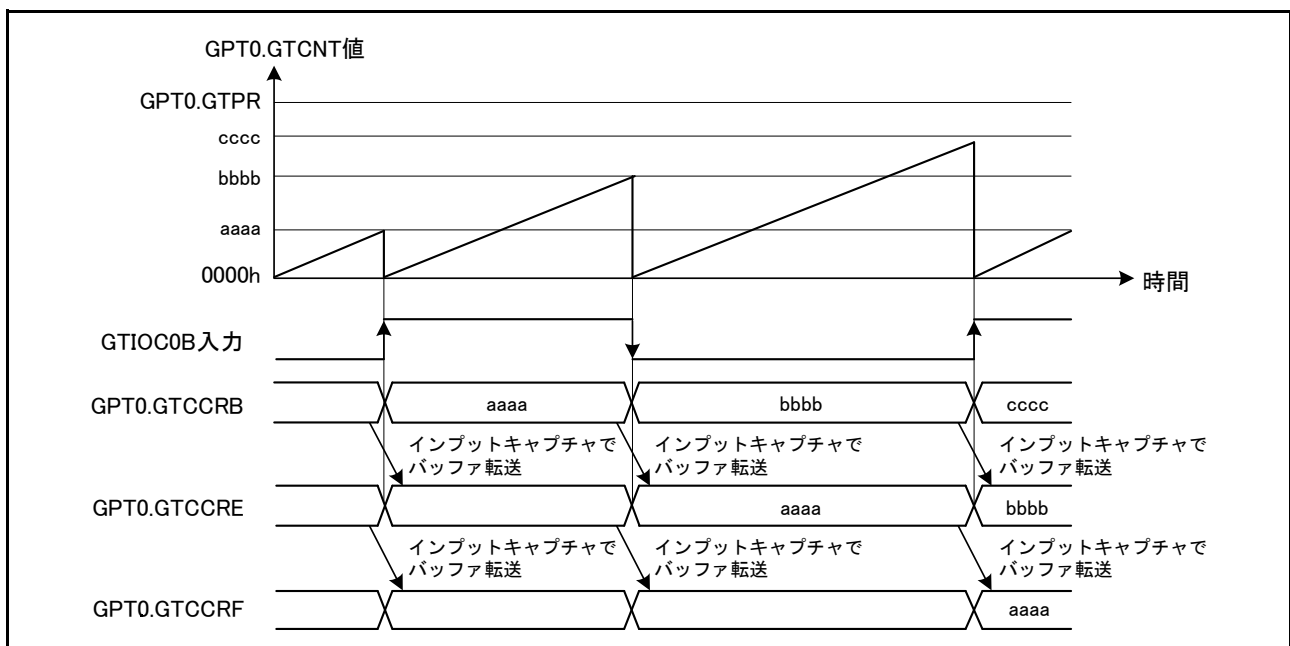


図 18.22 GTCCRA レジスタ、GTCCRB レジスタのダブルバッファ動作例
(GTIOC0B 入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTCCRB レジスタのインプットキャプチャで GTCNT カウンタクリアの場合)

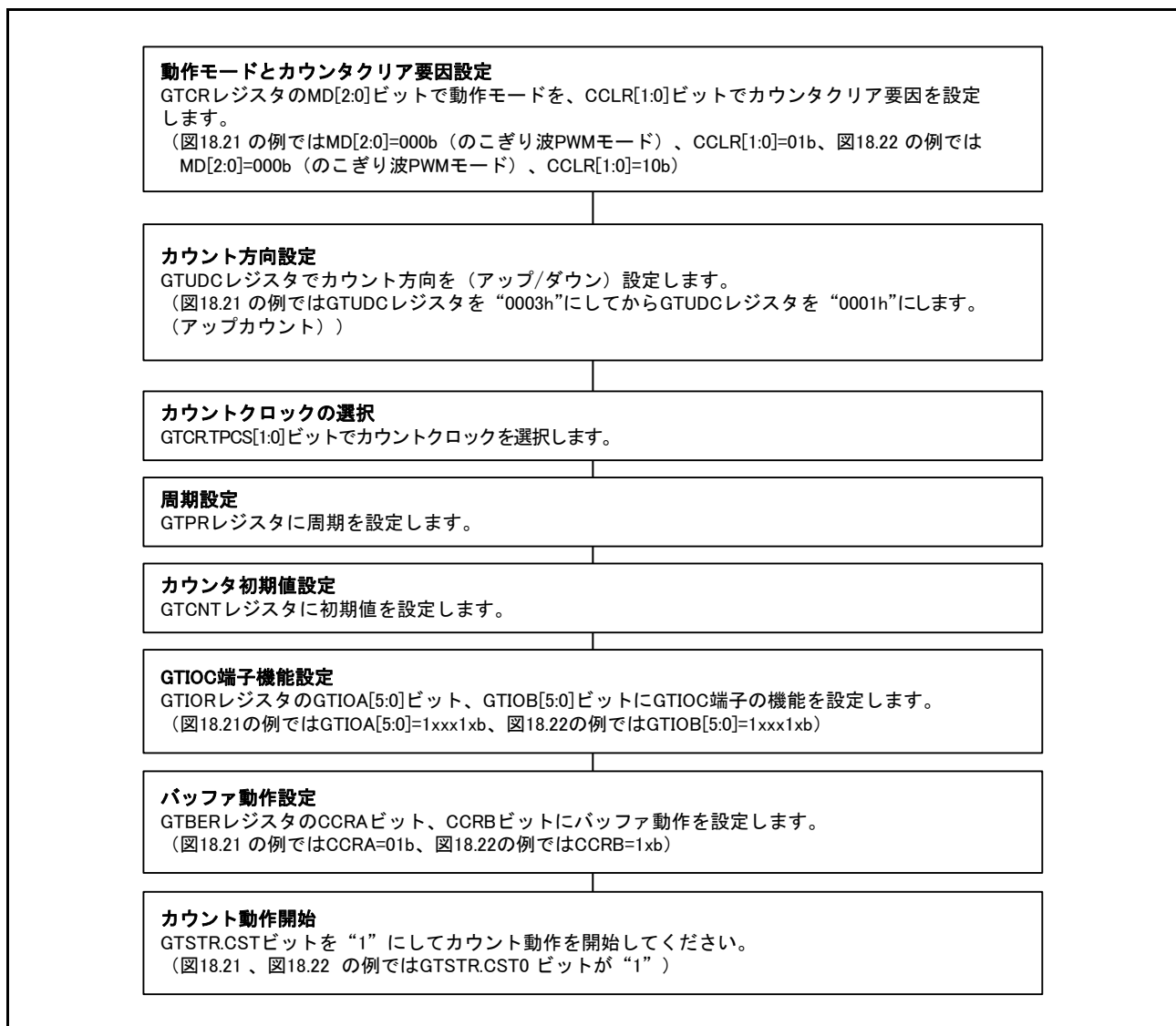


図 18.23 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

18.3.2.3 GTADTRA レジスタ、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ (GTADTRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ (GTADTRB レジスタのダブルバッファレジスタ) として動作します。

GTADTRA レジスタ、GTADTRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.ADTDA ビット、GTBER.ADTDB ビットを“1”に、シングルバッファ動作させる場合には“0”にします。GTADTRA レジスタ、GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0] ビット、GTBER.ADTTB[1:0] ビットを“00b”にします。

バッファ転送のタイミングは GTBER.ADTTA[1:0] ビットで設定でき、のこぎり波の場合はオーバーフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は GTBER.ADTTA[1:0] ビットが“01b”のときは山、“10b”のときは谷、“11b”のときは谷/山の両方となります。

GTADTRA レジスタ、GTADTRB レジスタのバッファ動作例を図 18.24 ~ 図 18.26 に、GTADTRA レジスタ、GTADTRB レジスタのバッファ動作設定例をに図 18.27 示します。

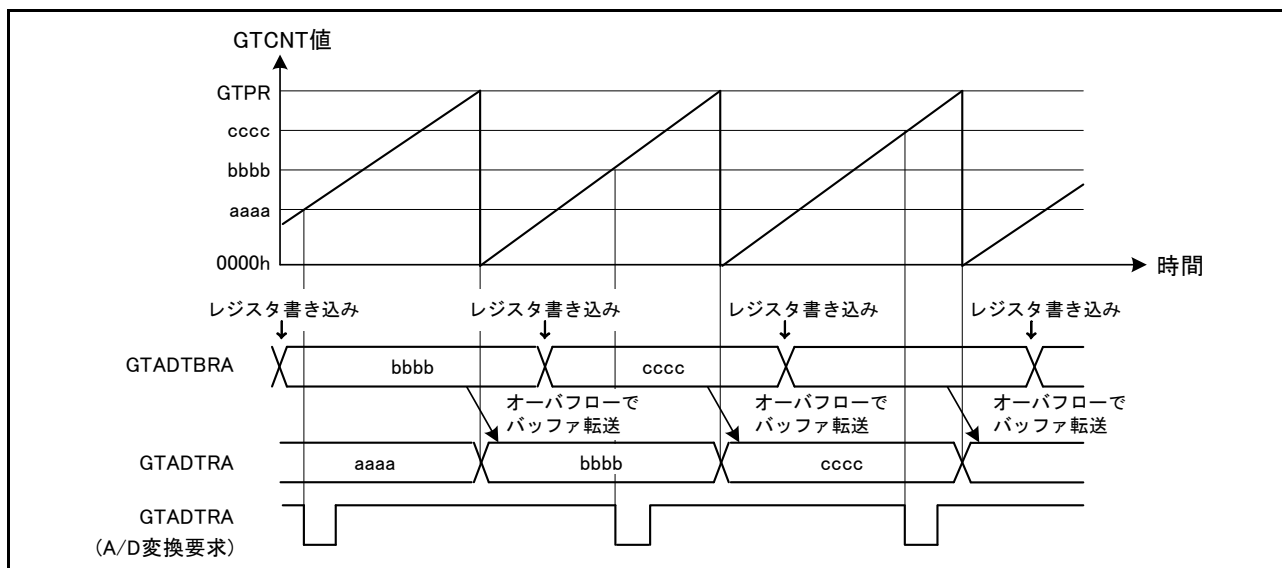


図 18.24 GTADTRA レジスタ、GTADTRB レジスタのバッファ動作例
(のこぎり波でアップカウント、アップカウントで A/D 変換要求発生の場合)

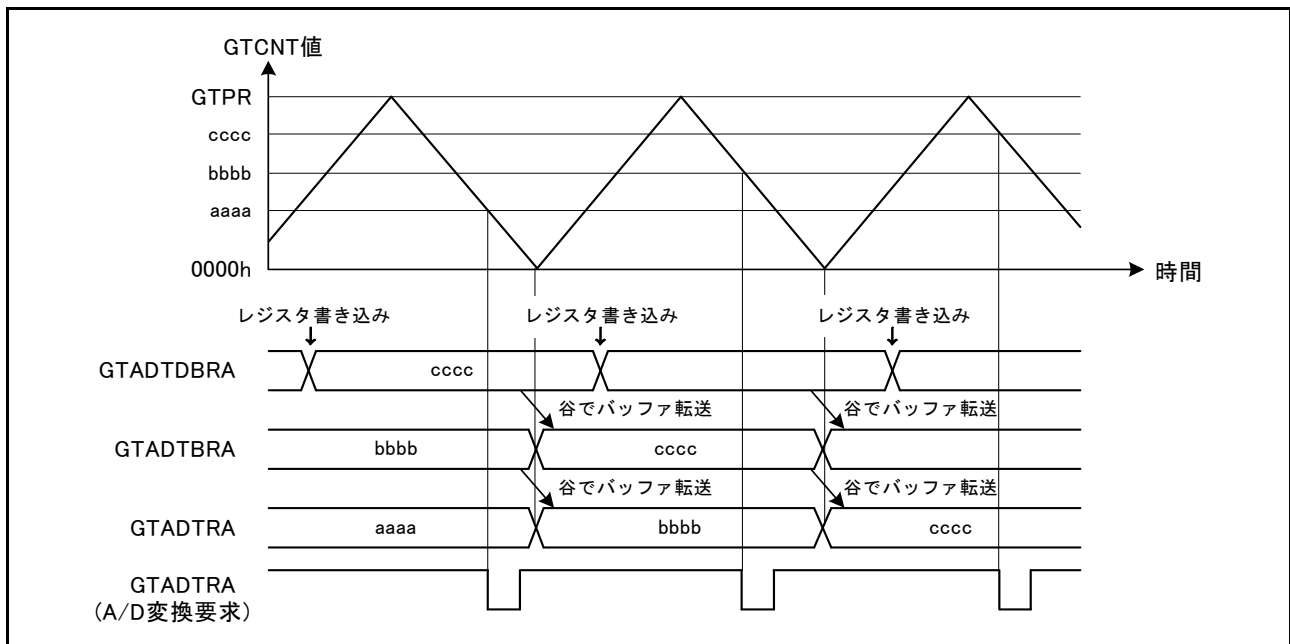


図 18.25 GTADTRA レジスタ、GTADTRB レジスタのダブルバッファ動作例
(三角波、谷でバッファ転送、ダウンカウントで A/D 変換要求発生の場合)

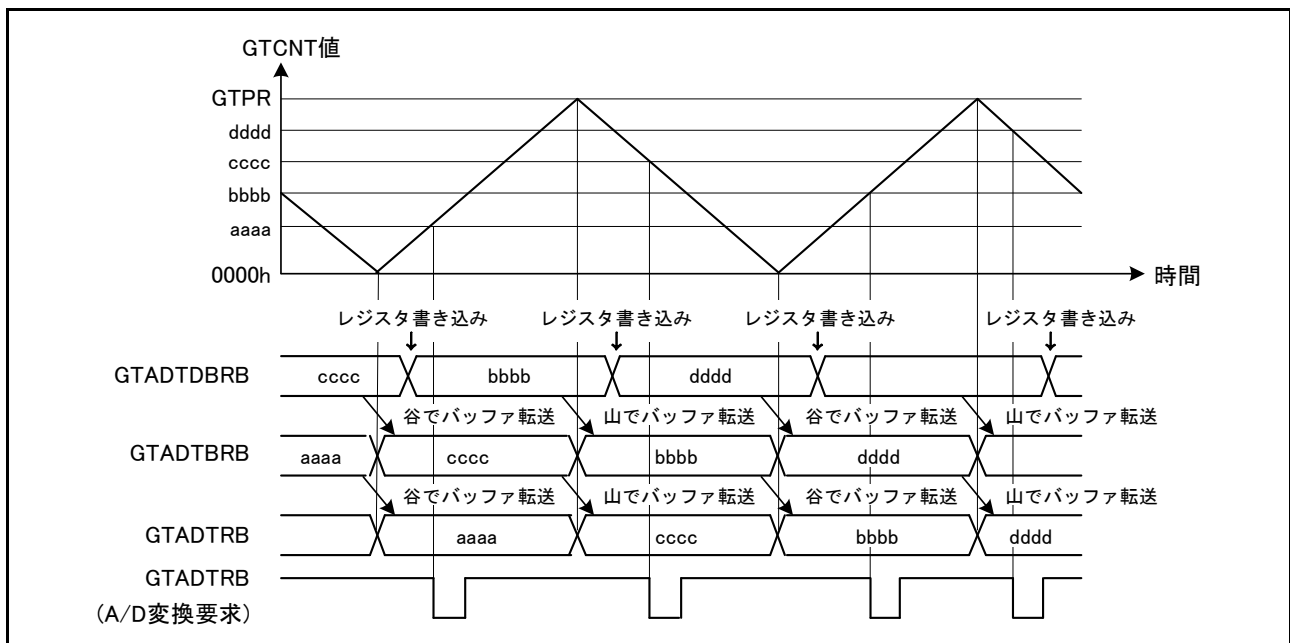


図 18.26 GTADTRA レジスタ、GTADTRB レジスタのダブルバッファ動作例
(三角波、谷/山両方でバッファ転送、アップカウント/ダウンカウント両方で A/D 変換開始要求発生の場合)

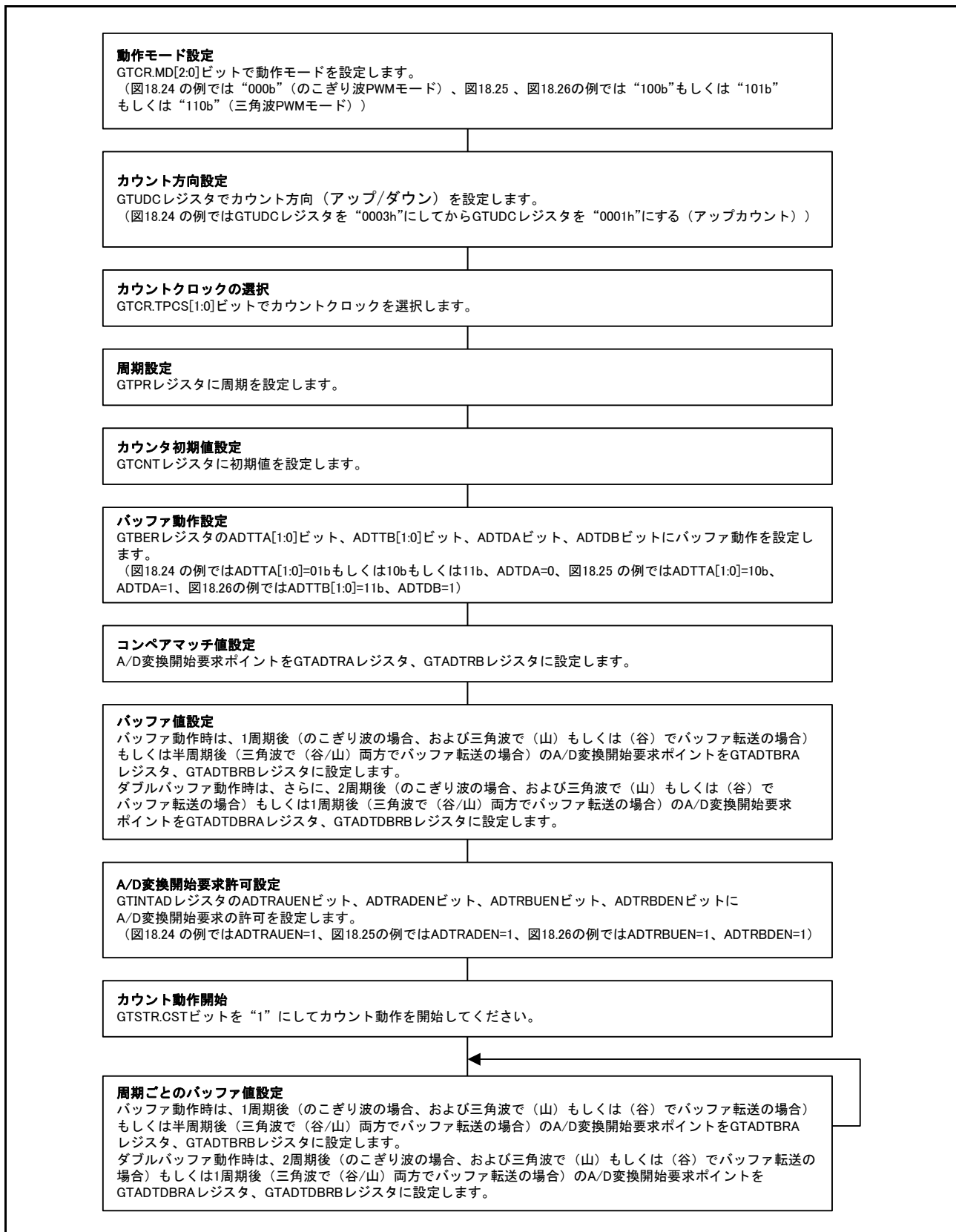


図 18.27 GTADTRA レジスタ、GTADTRB レジスタのバッファ動作設定例

18.3.3 PWM 出力動作モード

GPTn.GTCNT カウンタと GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力することができます (n : チャネル番号)。全チャンネル独立に動作モードが設定でき、チャンネル間の同期動作も可能です。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

(1) のこぎり波 PWM モード

のこぎり波 PWM モードは、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタをのこぎり波 (半波) 動作させ、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです (n : チャネル番号)。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

図 18.28 にのこぎり波 PWM モードの動作例を、図 18.29 にのこぎり波 PWM モードの設定例を示します。

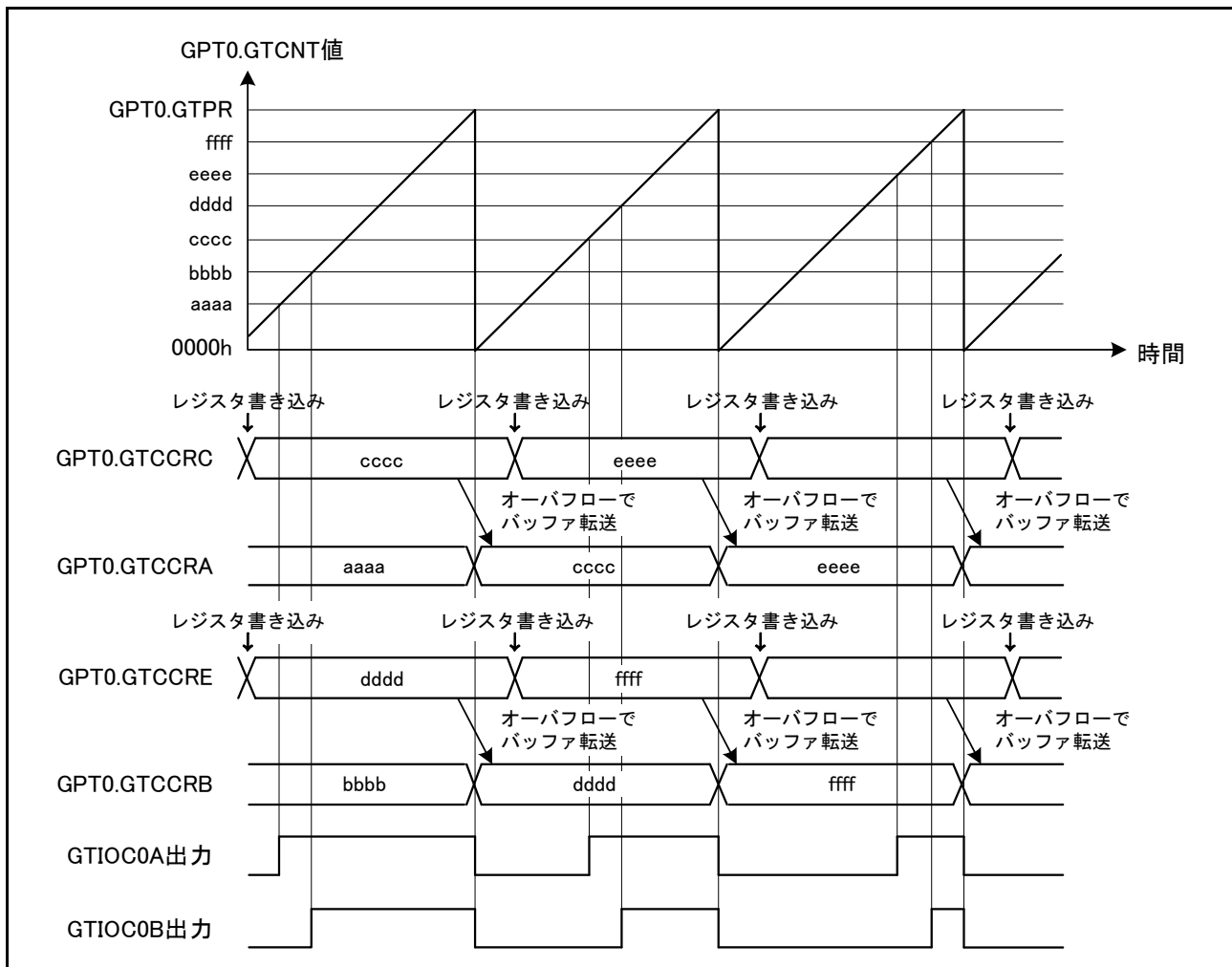


図 18.28 のこぎり波 PWM モード動作例
(アップカウント、バッファ動作、GTCCRA/B コンペアマッチで High 出力、周期の終わりで Low 出力の場合)

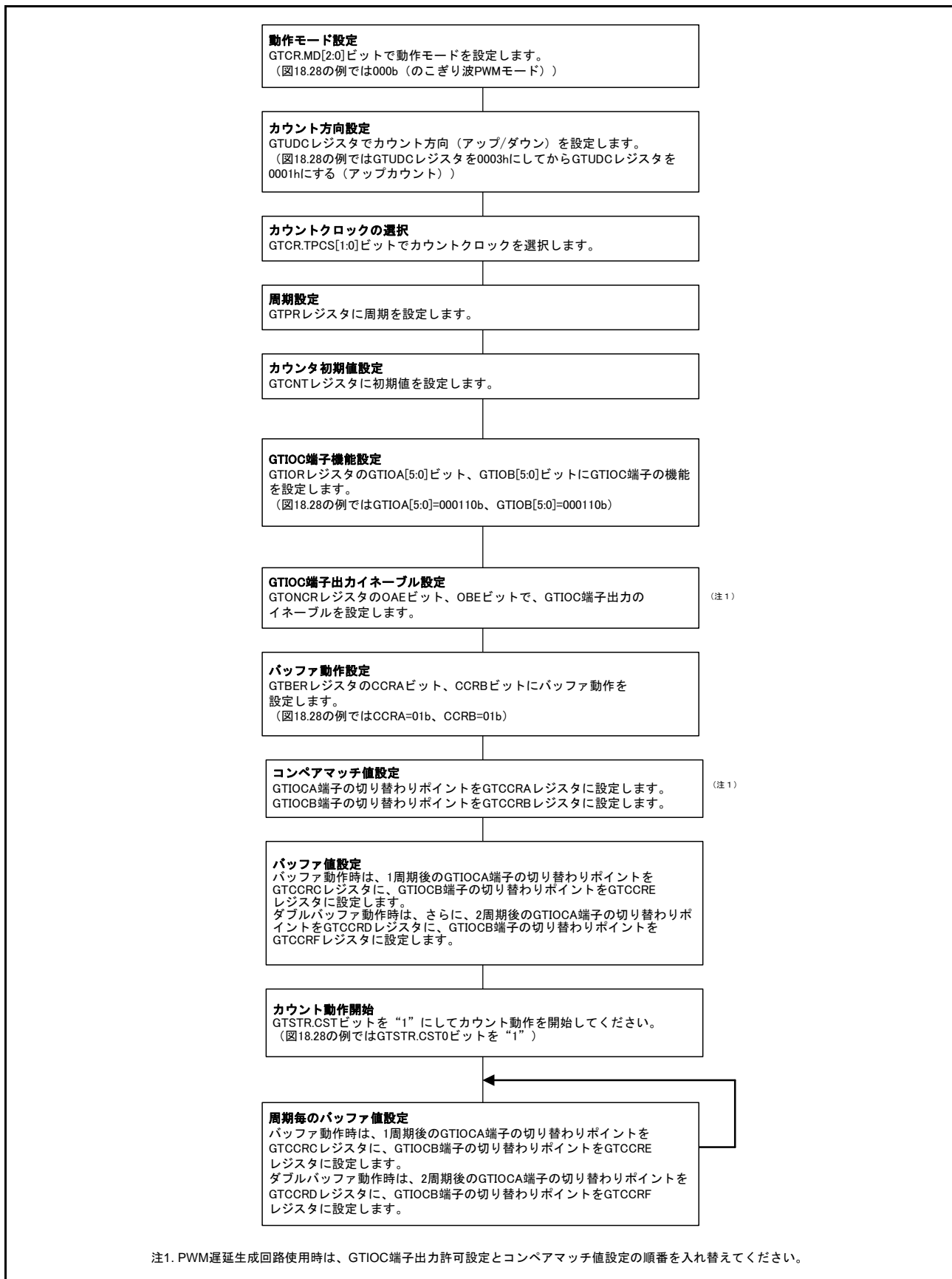


図 18.29 のこぎり波 PWM モード設定例

(2) のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタをのこぎり波 (半波) 動作させ、バッファ動作固定で、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOcnA 端子、GTIOcnB 端子に PWM 波形を出力するモードです (n : チャネル番号)。のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なり、周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ、GTCCRE レジスタから GTCCRB レジスタ、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B、にバッファ転送され、さらに、GTCCRA レジスタのコンペアマッチでテンポラリレジスタ A から GTCCRA レジスタ、GTCCRB レジスタのコンペアマッチでテンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 18.30 にのこぎり波ワンショットパルスモードの動作例を、図 18.31 にのこぎり波ワンショットパルスモードの設定例を示します。

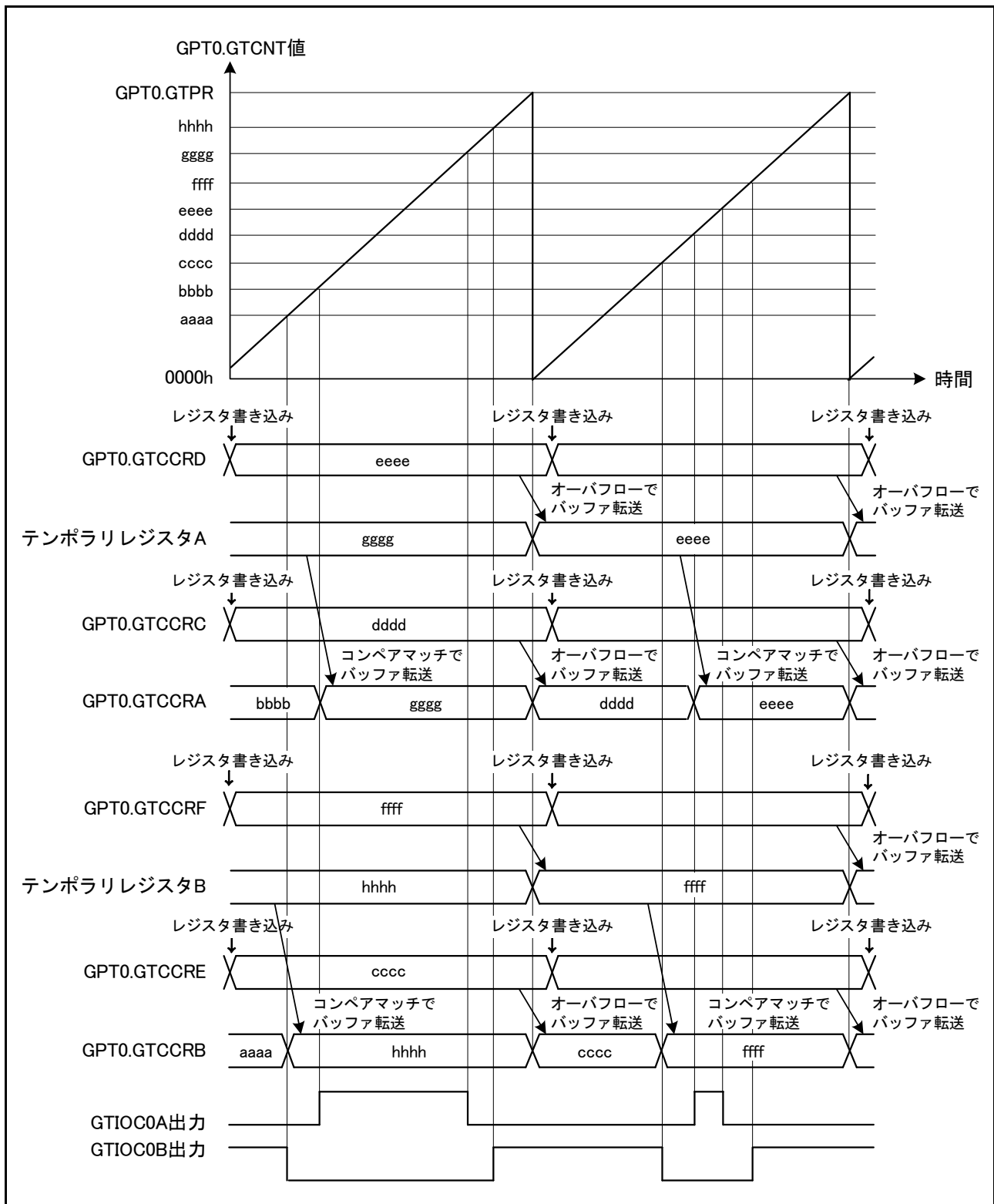


図 18.30 のこぎり波ワンショットパルスモード動作例
 (アップカウント、カウント開始時に GTIOC0A=Low 出力 /GTIOC0B=High 出力、
 GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合)

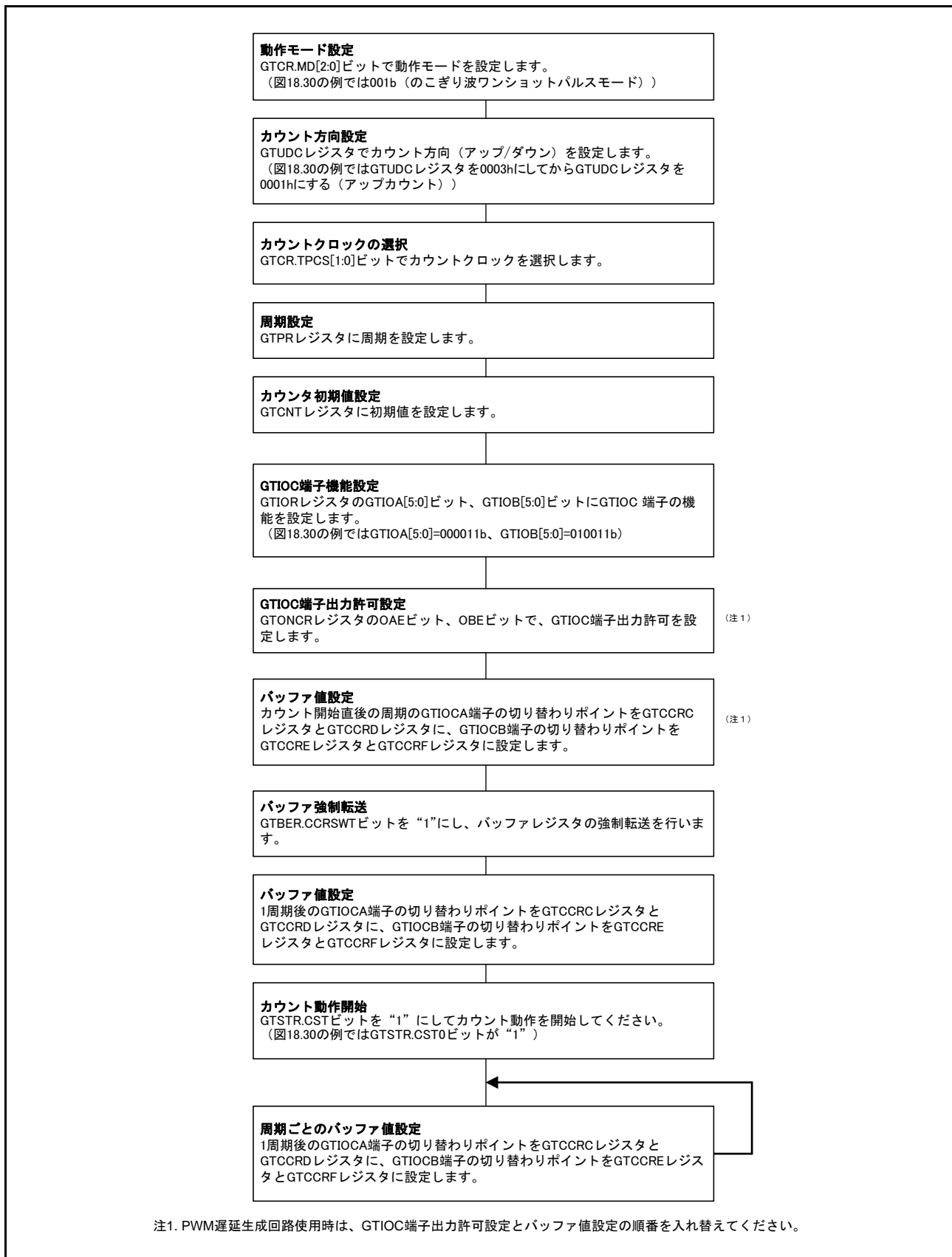


図 18.31 のこぎり波ワンショットパルスモード設定例

(3) 三角波 PWM モード 1 (谷 16 ビット転送)

三角波 PWM モード 1 は、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタを三角波 (全波) 動作させ、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです (n : チャネル番号)。バッファ動作のタイミングは、谷となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することによって、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 18.32 に三角波 PWM モード 1 の動作例を、図 18.33 に三角波 PWM モード 1 の設定例を示します。

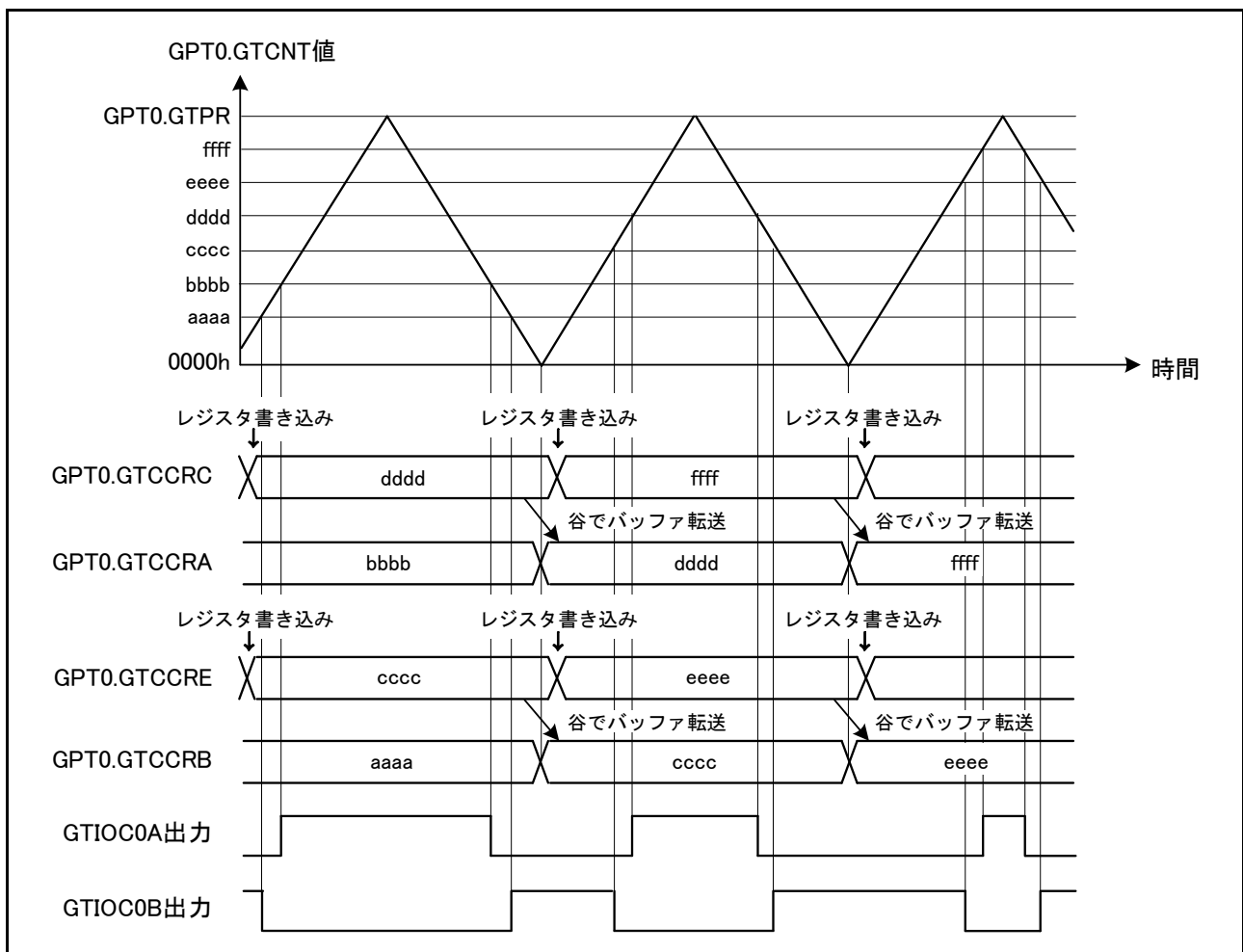


図 18.32 三角波 PWM モード 1 動作例
 (バッファ動作、カウント開始時に GTIOC0A=Low 出力 / GTIOC0B=High 出力、
 GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合)

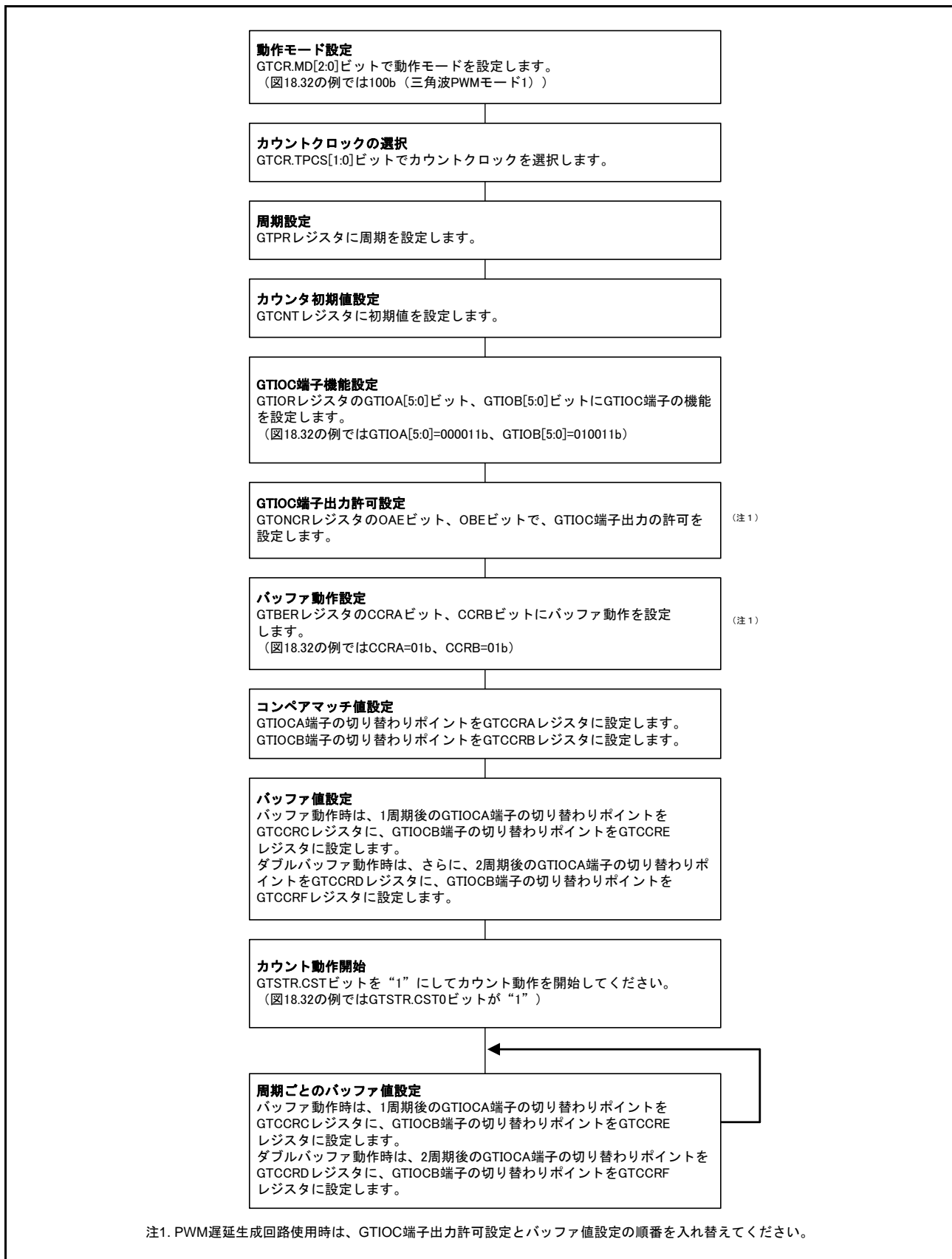


図 18.33 三角波 PWM モード 1 設定例

(4) 三角波 PWM モード 2 (山/谷 16 ビット転送)

三角波 PWM モード 2 は、三角波 PWM モード 1 と同様に GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタを三角波 (全波) 動作させ、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードですが、バッファ動作のタイミングは山/谷の両方となります (n: チャンネル番号)。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GDTDCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 18.34 に三角波 PWM モード 2 の動作例を、図 18.35 に三角波 PWM モード 2 の設定例を示します。

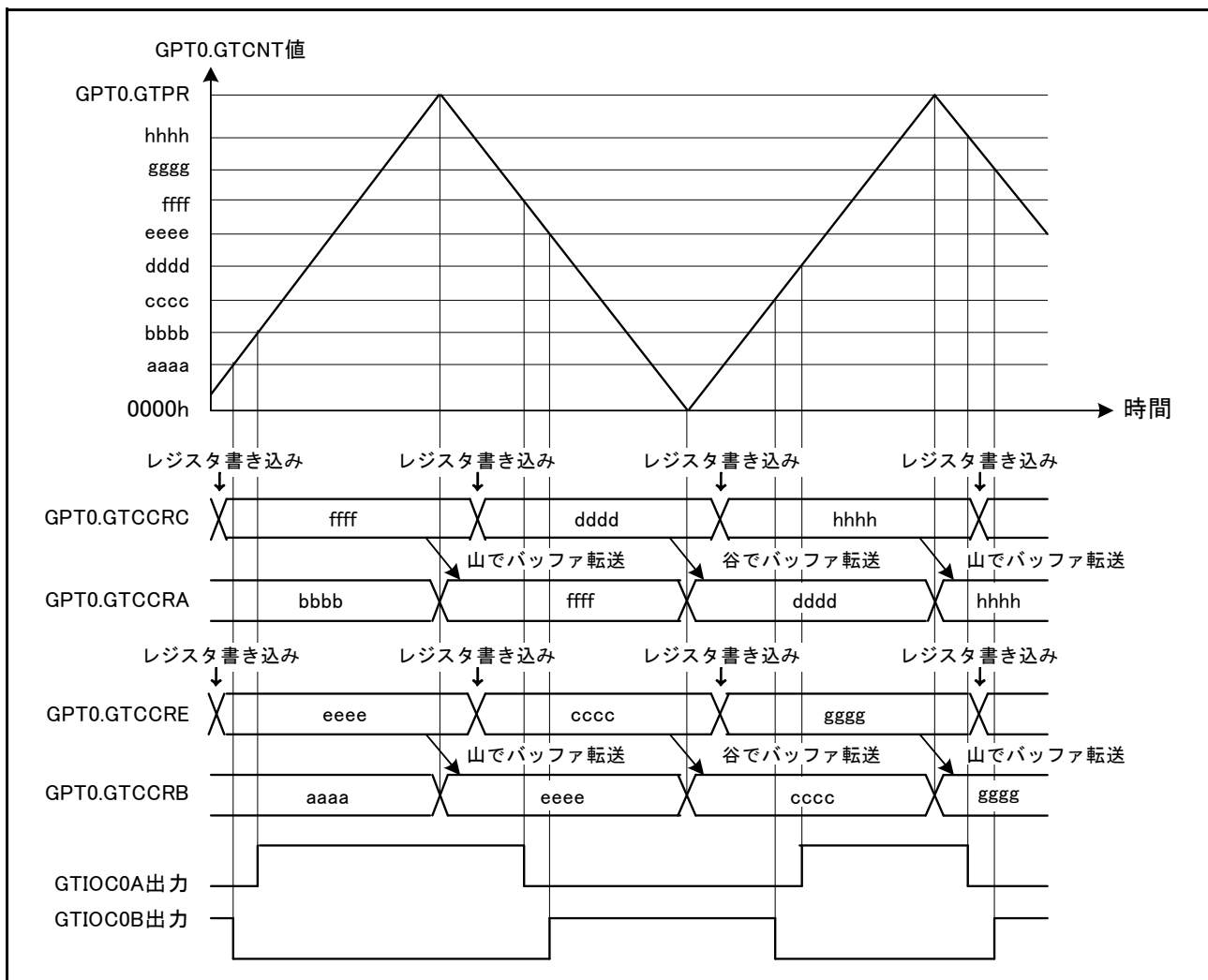


図 18.34 三角波 PWM モード 2 動作例
 (バッファ動作、カウント開始時に GTIOC0A=Low 出力 /GTIOC0B=High 出力、GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合)



図 18.35 三角波 PWM モード 2 設定例

(5) 三角波 PWM モード 3 (谷 32 ビット転送)

三角波 PWM モード 3 は、GPTn.GTPR レジスタに周期を設定して GPTn.GTCNT カウンタを三角波 (全波) 動作させ、バッファ動作固定で、GPTn.GTCCRA レジスタ、GPTn.GTCCRB レジスタのコンペアマッチにより、GTIOChA 端子、GTIOChB 端子に PWM 波形を出力するモードです (n : チャネル番号)。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なり、谷で、GTCCRC レジスタから GTCCRA レジスタ、GTCCRE レジスタから GTCCRB レジスタ、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B、にバッファ転送され、さらに、山で、テンポラリレジスタ A から GTCCRA レジスタ、テンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタ、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 18.36 に三角波 PWM モード 3 の動作例を、図 18.37 に三角波 PWM モード 3 の設定例を示します。

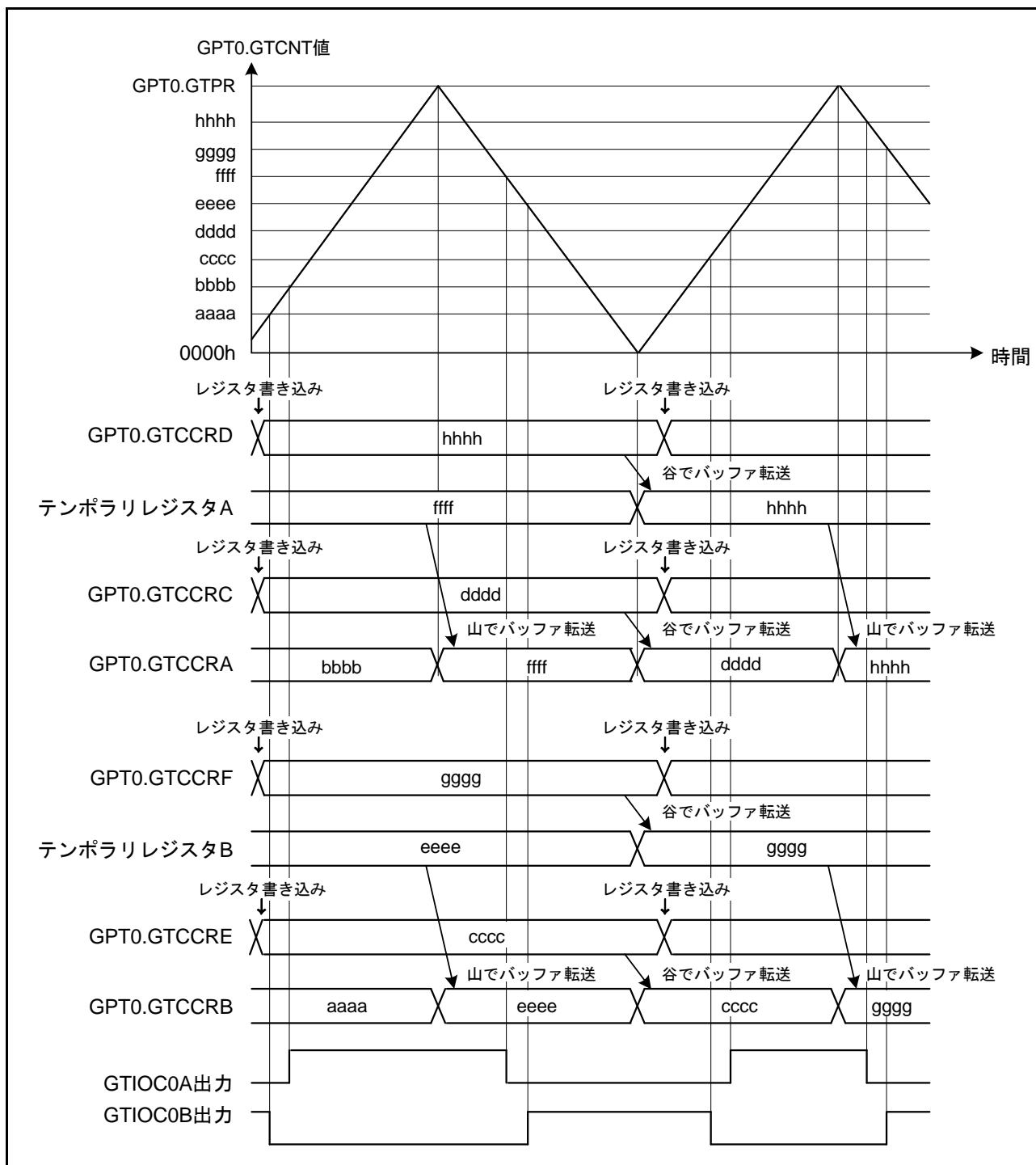


図 18.36 三角波 PWM モード 3 動作例 (カウント開始時に GTIOC0A=Low 出力 / GTIOC0B=High 出力、GTCCRA/B コンペアマッチでトグル出力、周期の終わりで出力保持の場合)

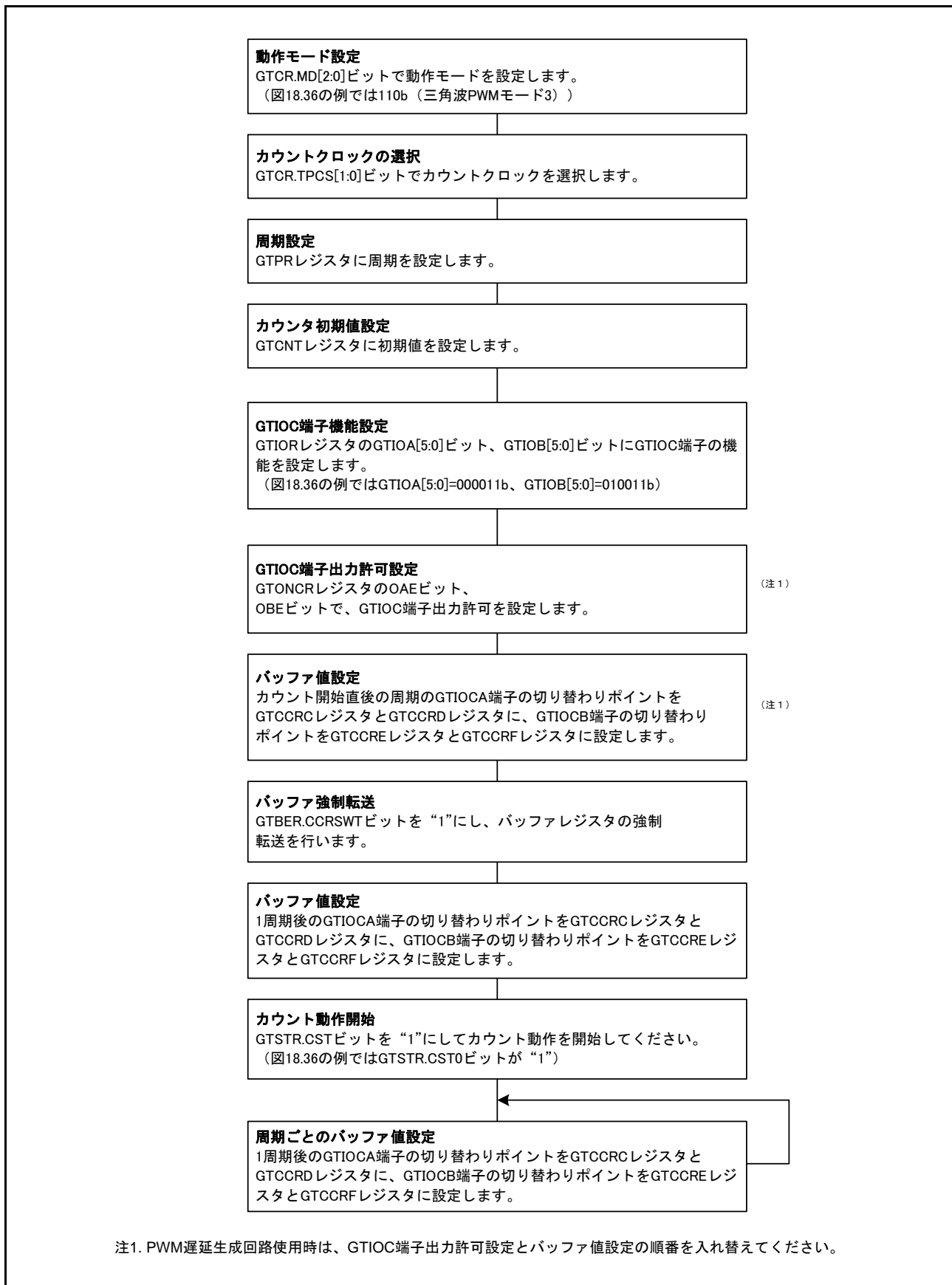


図 18.37 三角波 PWM モード 3 設定例

18.3.4 デッドタイム自動設定機能

GTDTCCRレジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRAレジスタ値) とデッドタイム値 (GTDVUレジスタ値、GTDVDレジスタ値) からデッドタイム付き逆相波形用のコンペアマッチ値を生成し、GTCCRBレジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、全ての三角波PWMモードで使用できます。

デッドタイムは前側/後側で独立に設定でき、逆相波形の前側の切り替わりポイントに対するデッドタイムをGTDVUレジスタで設定し、後側の切り替わりポイントに対するデッドタイムをGTDVDレジスタで設定します。デッドタイムは前側/後側で共通にすることもできます。

また、GTDBUレジスタをGTDVUレジスタのバッファレジスタとして使用することができ、同様に、GTDBDレジスタをGTDVDレジスタのバッファレジスタとして使用することができます。バッファ転送タイミングは周期の終わり (のこぎり波の場合はGTCNTのオーバーフロー (アップカウント時) もしくはアンダフロー (ダウンカウント時)、三角波の場合は谷) です。

なお、デッドタイム自動設定機能を使用時は、GTCCRBレジスタへの書き込みは禁止です。また、周期を超えるデッドタイム設定も禁止です。デッドタイム自動設定値は、GTCCRBレジスタ値を読むことで確認できます。

図18.38～図18.40にデッドタイム自動設定機能の動作例を、図18.41、図18.42に設定例を示します。

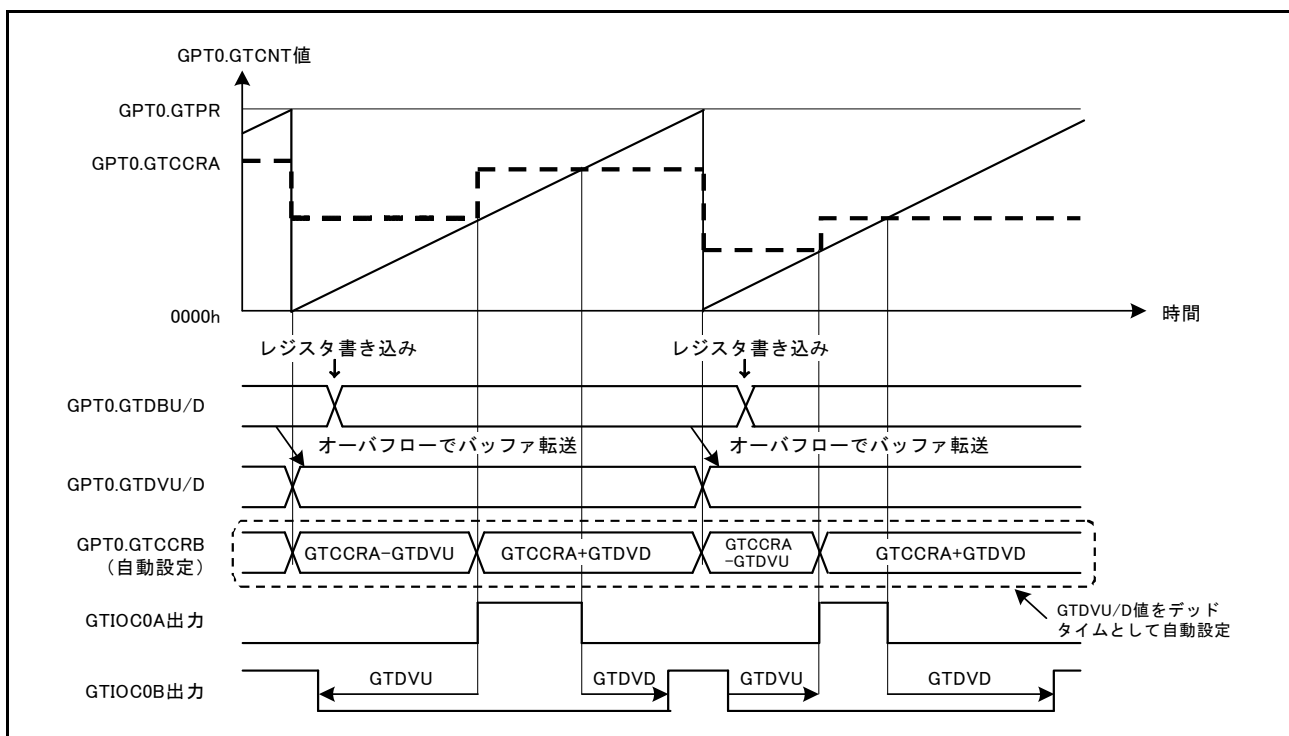


図 18.38 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、GTDVU/Dレジスタはバッファ動作、アクティブレベルは“High”の場合)

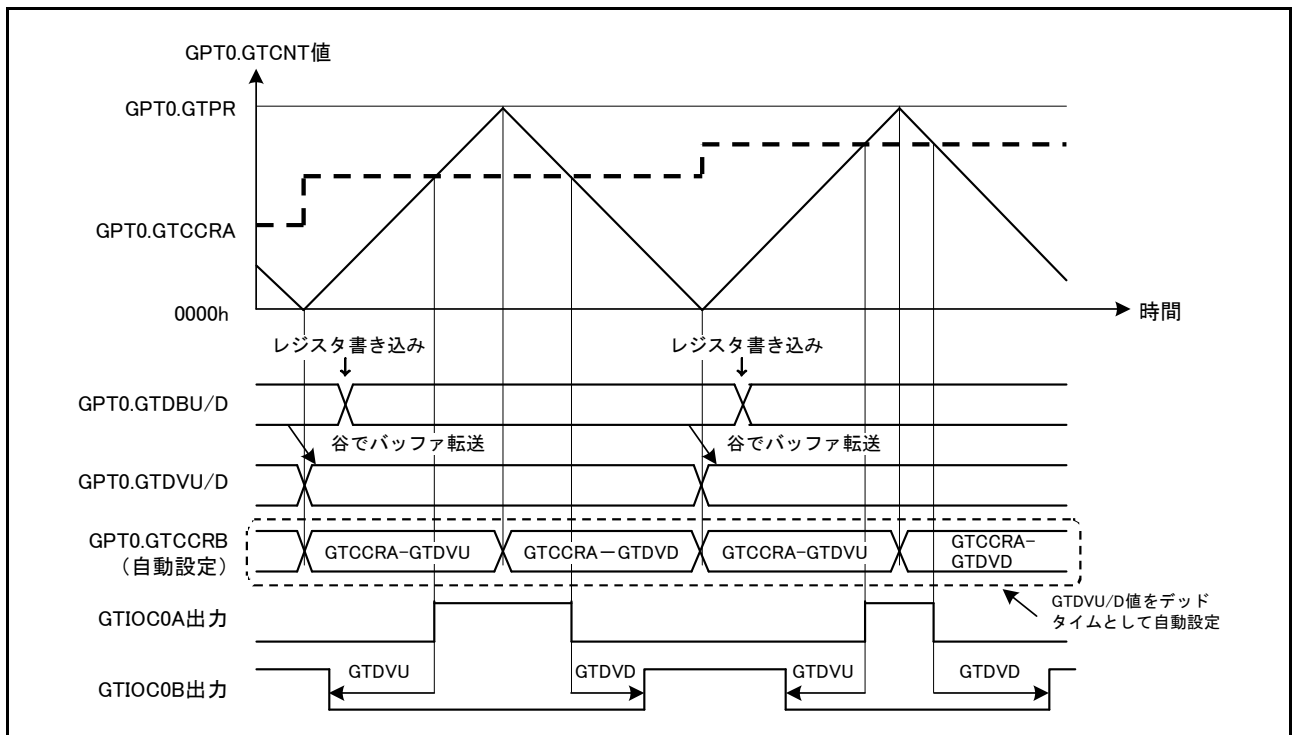


図 18.39 デッドタイム付きコンペアマッチ値の自動設定機能の動作例
 (三角波 PWM モード 1、GTDVU/D レジスタはバッファ動作、アクティブレベルは "High" の場合)

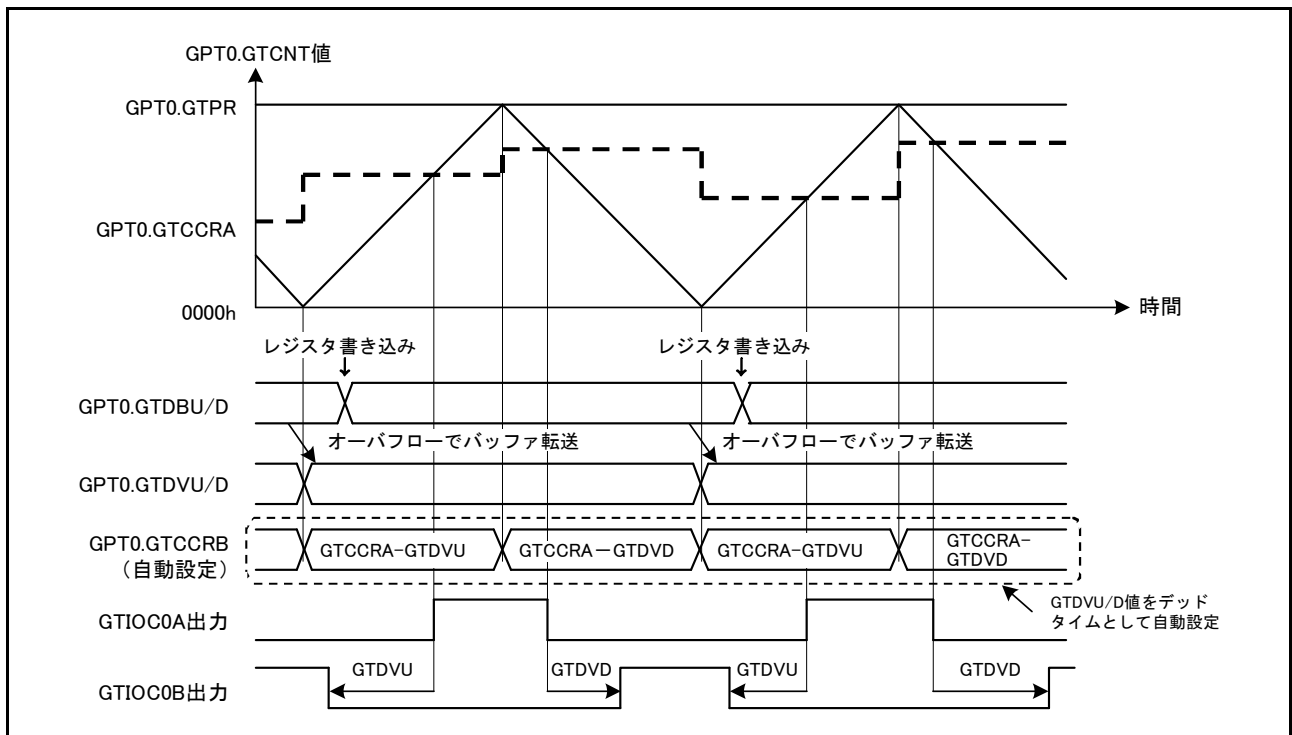


図 18.40 デッドタイム付きコンペアマッチ値の自動設定機能の動作例
 (三角波 PWM モード 2/3、GTDVU/D レジスタはバッファ動作、アクティブレベルは "High" の場合)

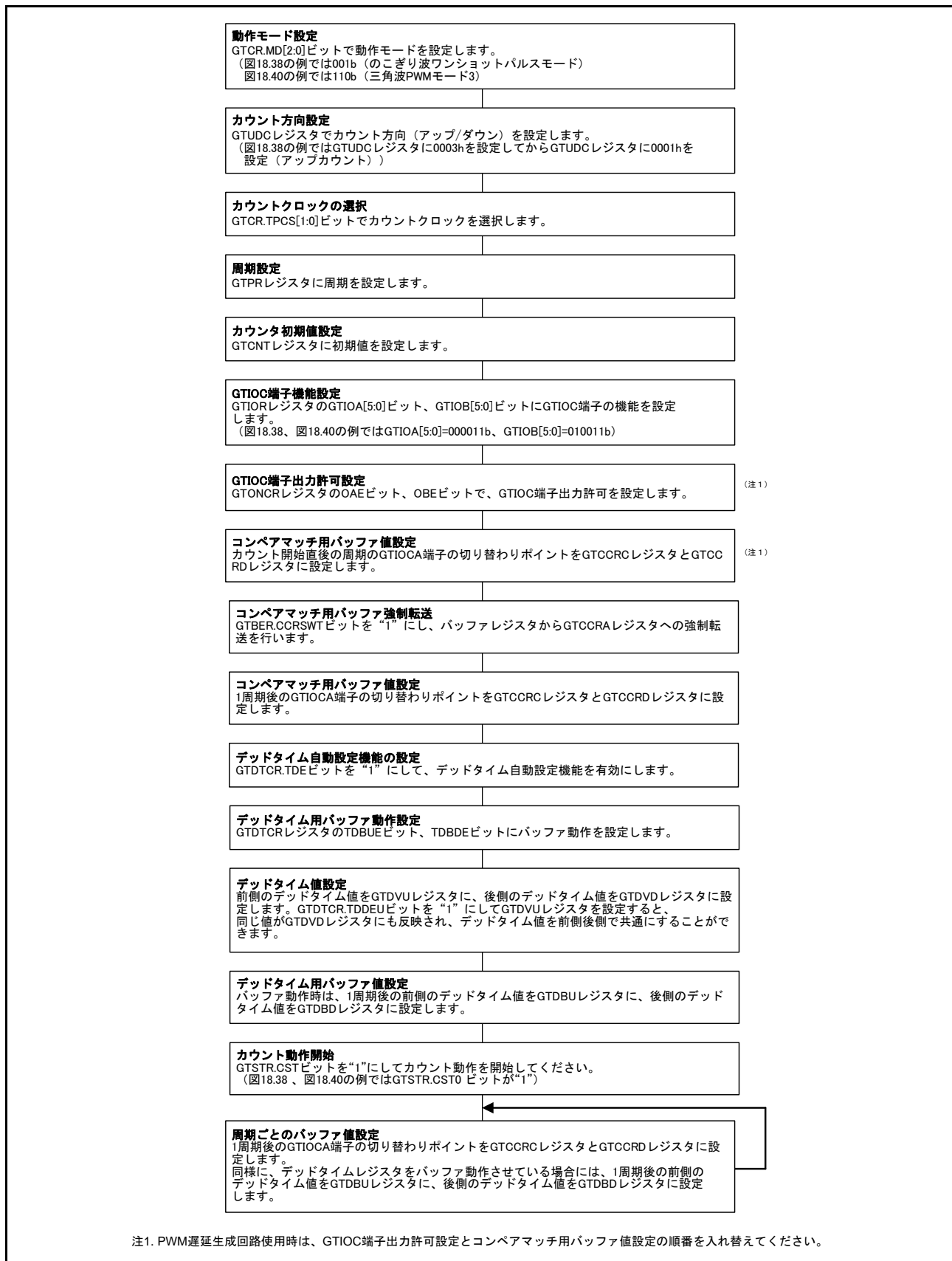


図 18.41 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 時)

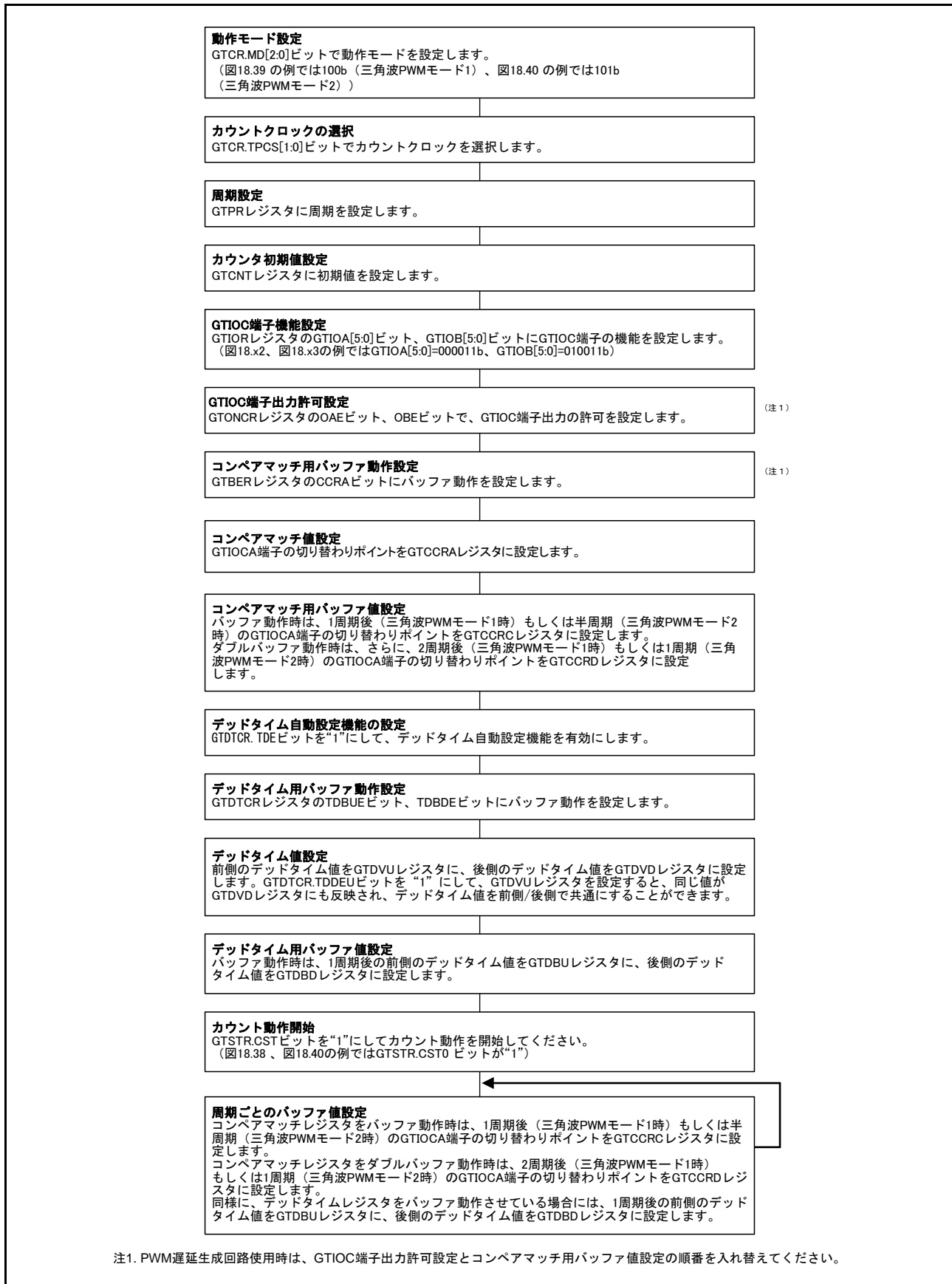


図 18.42 デッドタイム自動設定機能の設定例 (三角波 PWM モード 1/2 時)

18.3.5 カウント方向切り替え機能

GTUDC.UD ビットの値を変更することにより、GTCNT カウンタのカウント方向を切り替えることができます。

のこぎり波の場合、カウント動作中に GTUDC.UD ビット値を変更すると、オーバフロー（アップカウント動作中に変更した場合）もしくはアンダフロー（ダウンカウント動作中に変更した場合）発生時にカウント方向が切り替わります。カウント停止中に GTUDC.UDF ビットが“0”の状態では GTUDC.UD ビット値を変更すると、カウント開始時には反映されず、オーバフローもしくはアンダフロー発生時にカウント方向が切り替わります。カウント停止中に GTUDC.UDF ビットを“1”にすると、そのときの GTUDC.UD ビット値がカウント開始時から反映されます。

三角波の場合、カウント動作中に GTUDC.UD ビット値を変更してもカウント方向は切り替わりません。同様に、カウント停止中に GTUDC.UDF ビットが“0”の状態では GTUDC.UD ビット値を変更しても反映されません。カウント停止中に GTUDC.UDF ビットを“1”にすると、そのときの GTUDC.UD ビット値がカウント開始時から反映されます。

のこぎり波でカウンタ動作中にカウント方向を切り替えた場合、アップカウント時はアップカウント開始後の GTPR レジスタ値がカウント周期に反映され、ダウンカウント時はダウンカウント開始前の GTPR レジスタ値がカウント周期に反映されます。

図 18.43 にカウント方向切り替え機能の動作例を示します。

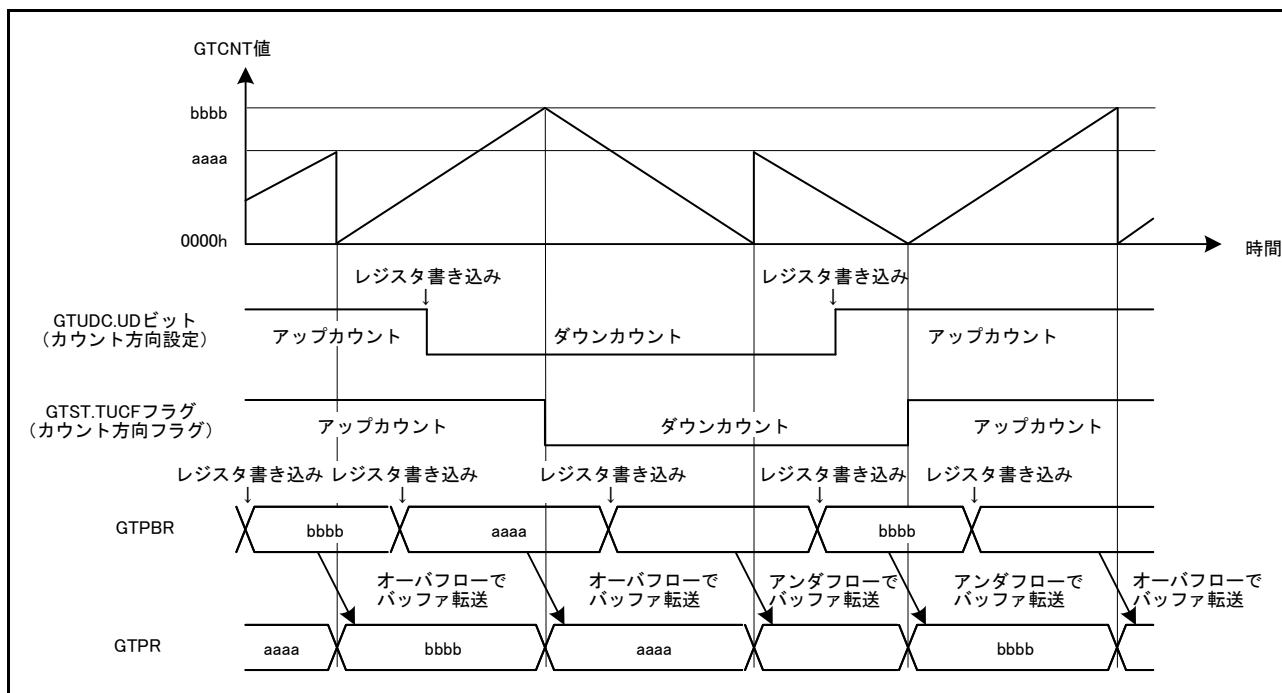


図 18.43 カウント方向切り替え機能の動作例（バッファ動作時）

18.3.6 ハードウェア スタート/ストップ、クリア動作

RX62G 内蔵のハードウェア要因により、GTCNT カウンタのスタート、ストップ、クリア制御が可能です。

ハードウェア要因には、GTETRG 端子入力、コンパレータ検出、GTIOC3A および GTIOC3B 端子入力、GTIOC3A および GTIOC3B 内部出力 (アウトプットコンペア) の4種類の要因があります。また、GTCCRA レジスタおよび GTCCRB レジスタのインプットキャプチャによるカウンタクリアも可能です。

18.3.6.1 ハードウェア スタート動作

ハードウェア要因により、GTCNT カウンタのスタート制御が可能です。GTHSSR.CSHSL ビットでカウントをスタートさせるハードウェア要因を選択し、GTHSCR.CSHW ビットでハードウェア要因の切り替わりエッジを指定してカウントスタートを許可します。

図 18.44 にハードウェア要因によるカウントスタートの動作例を、図 18.45 に設定例を示します。

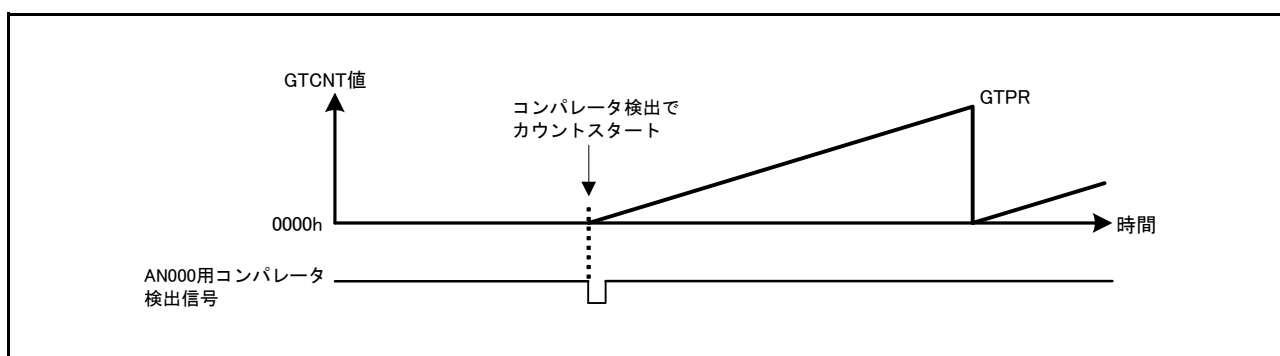


図 18.44 ハードウェア要因によるカウントスタート動作例 (AN000 用コンパレータ検出によるスタート時)

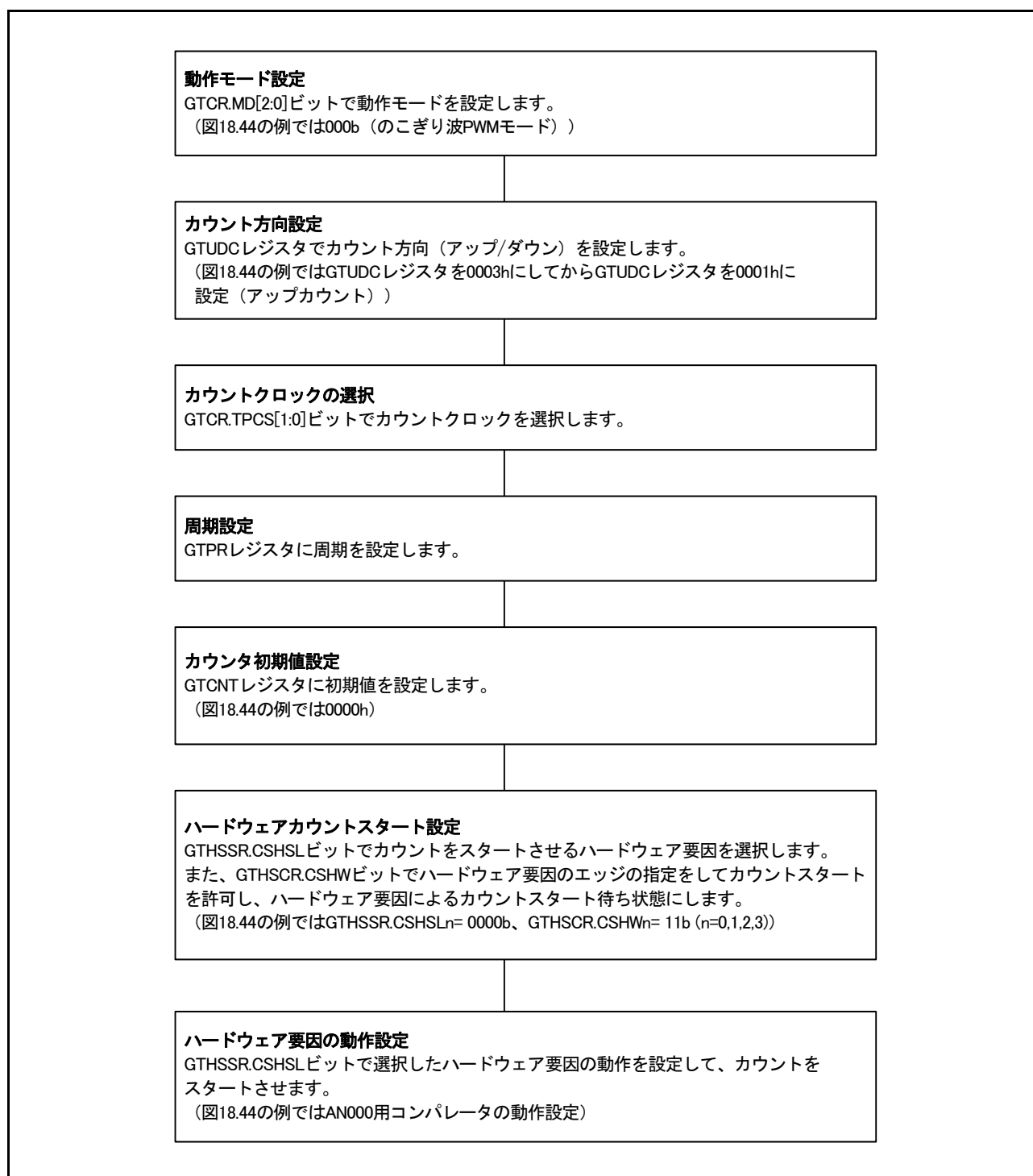


図 18.45 ハードウェア要因によるカウントスタート動作設定例

18.3.6.2 ハードウェアストップ動作

ハードウェア要因により、GTCNTカウンタのストップ制御が可能です。GTHPSR.CSHPLビットでカウンタをストップさせるハードウェア要因を選択し、GTHSCR.CPHWビットでハードウェア要因の切り替わりエッジを指定してカウンタストップを許可します。

図 18.46 にハードウェア要因によるカウンタストップの動作例を、図 18.47 に設定例を示します。

GTIOC3A 内部出力 (アウトプットコンペア) の両エッジによりストップ、GTIOC3B 内部出力 (アウトプットコンペア) の両エッジにより再スタートする例です。

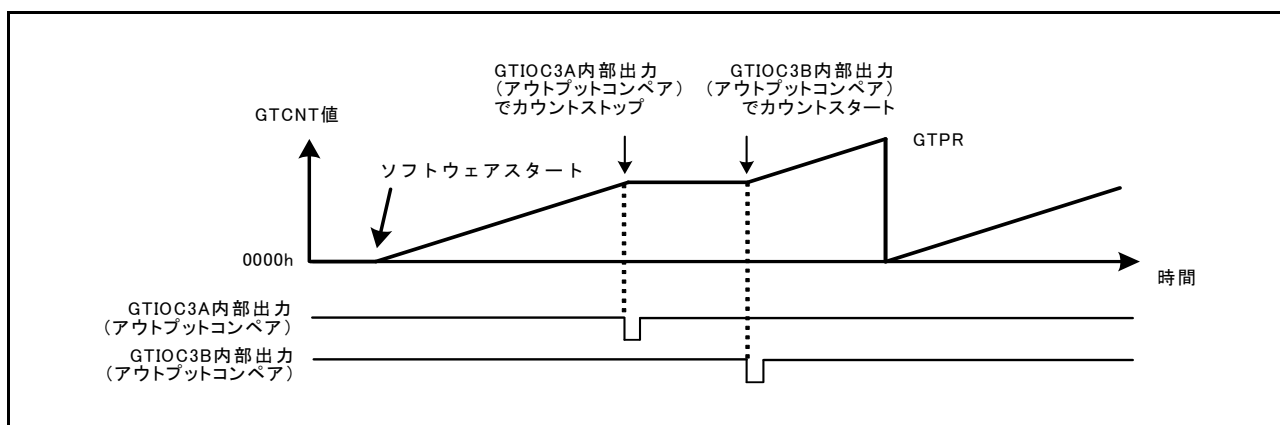


図 18.46 ハードウェア要因によるカウンタストップ動作例
(ソフトウェアでスタート、GTIOC3A 内部出力 (アウトプットコンペア) でストップ、GTIOC3B 内部出力 (アウトプットコンペア) で再スタート時)

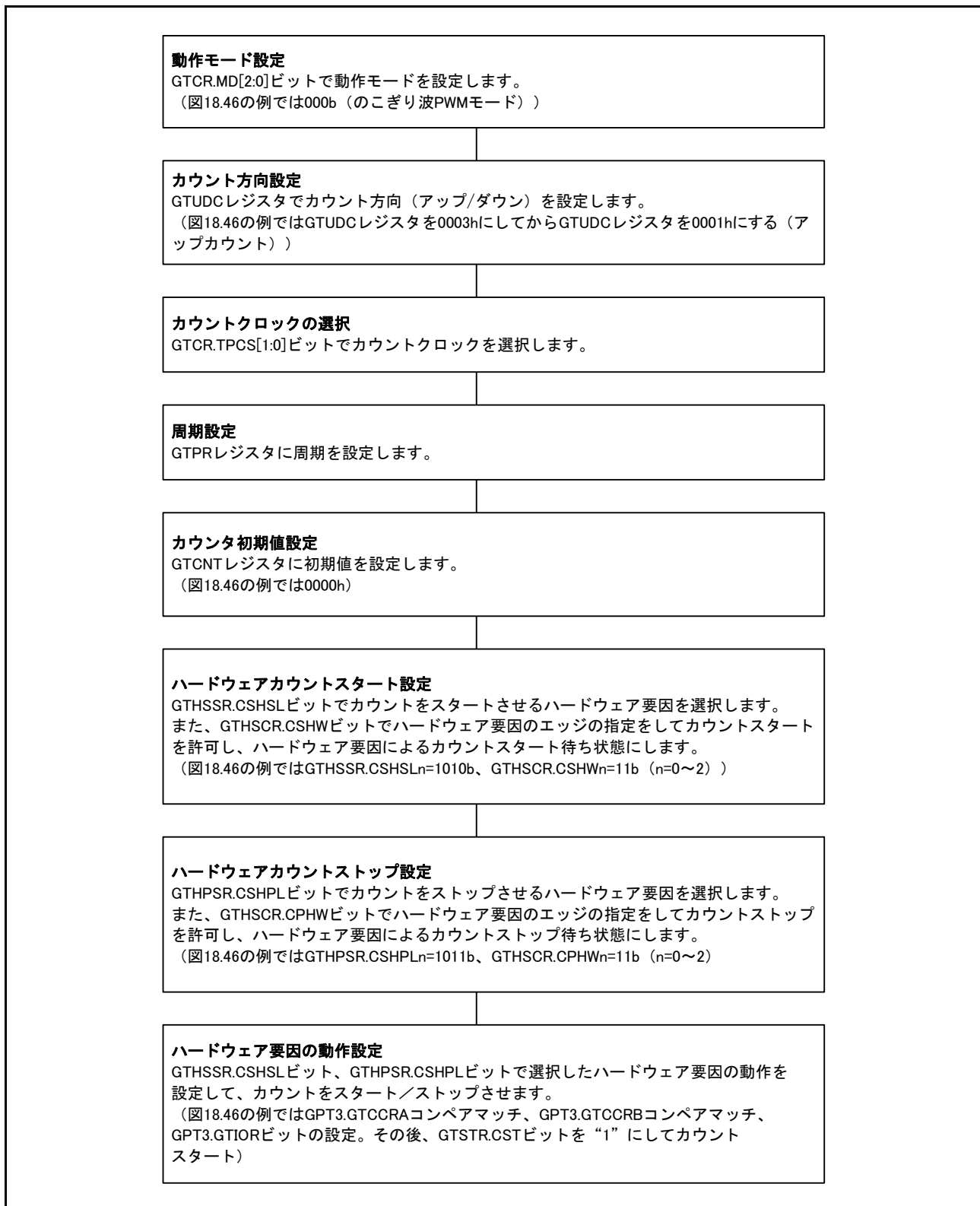


図 18.47 ハードウェア要因によるカウントストップ動作設定例

図 18.48 にハードウェア要因によるカウンタスタート/ストップの動作例を、図 18.49 に設定例を示します。外部入力トリガ GTETRG が High の区間でカウント動作する例です。

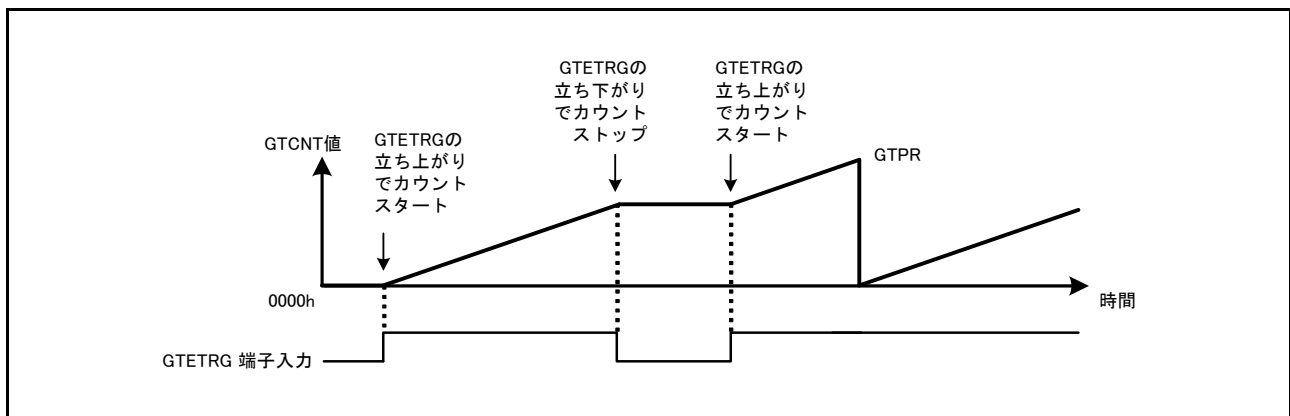


図 18.48 ハードウェア要因によるカウンタスタート/ストップ動作例 (GTETRG 端子入力の立ち上がりでスタート、GTETRG 端子入力の立ち下がりでストップ時)

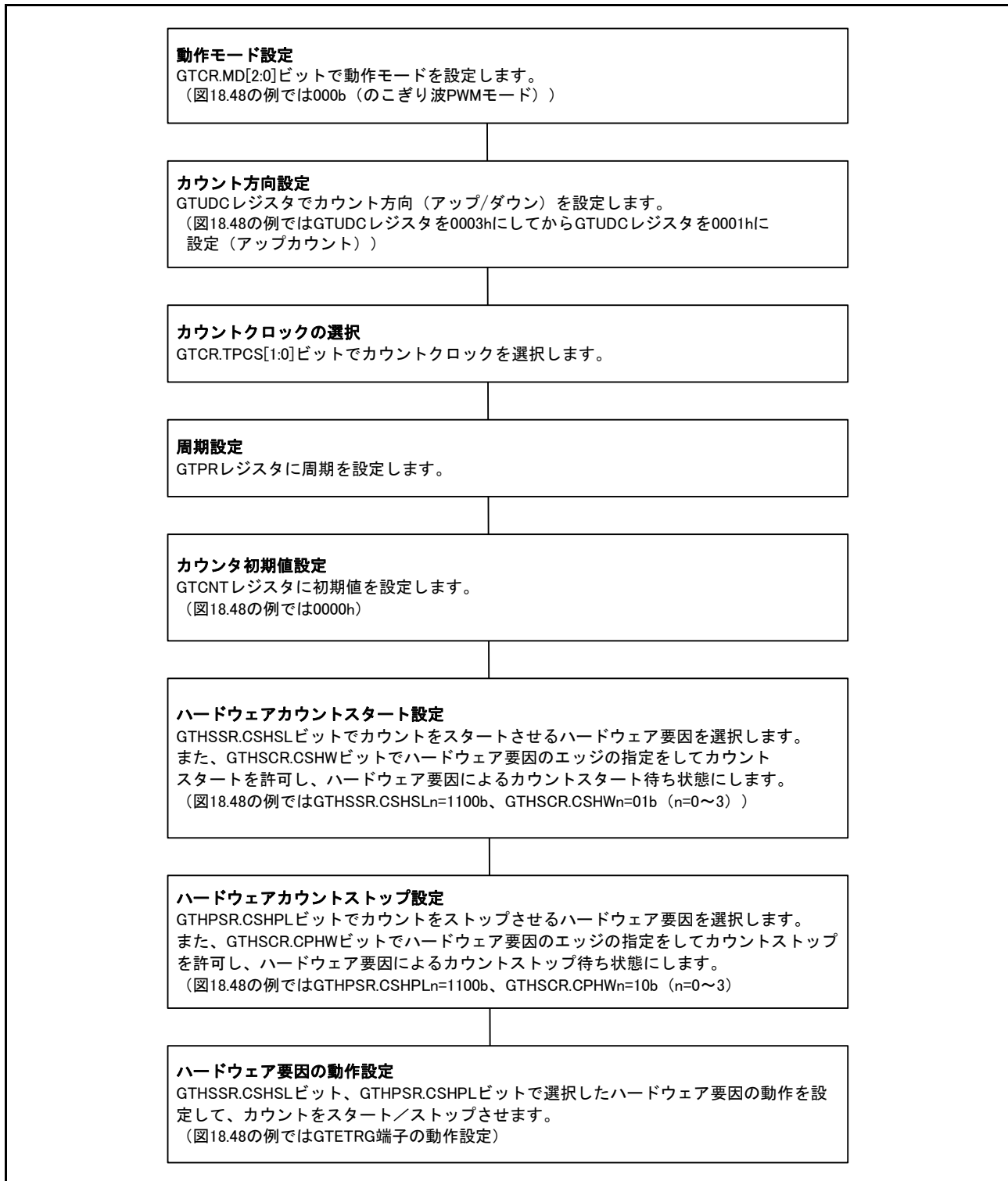


図 18.49 ハードウェア要因によるカウントスタート/ストップ動作設定例

18.3.6.3 ハードウェア クリア動作

ハードウェア要因によって、GTCNTカウンタのクリア制御が可能です。GTHPSR.CSHPLビットでカウンタをクリアさせるハードウェア要因を選択し、GTHCCR.CCHWビットでハードウェア要因の切り替わりエッジを指定してカウンタクリアを許可します。

また、GTCR.CCLR[1:0]ビットの設定によって、GTCCRAレジスタおよびGTCCRBレジスタのインプットキャプチャによるカウンタクリアも可能です。

なお、ハードウェア要因によるカウンタクリアおよびソフトウェアによるカウンタクリアが発生しても、GTCIV割り込み（オーバフロー／アンダフロー割り込み）は発生しません。

図 18.50、図 18.51 にハードウェア要因によるカウンタクリアの動作例を、図 18.52 に設定例を示します。GTIOC3A端子入力の両エッジによりスタート、GTIOC3B端子入力の両エッジによりストップ／クリアする例です。

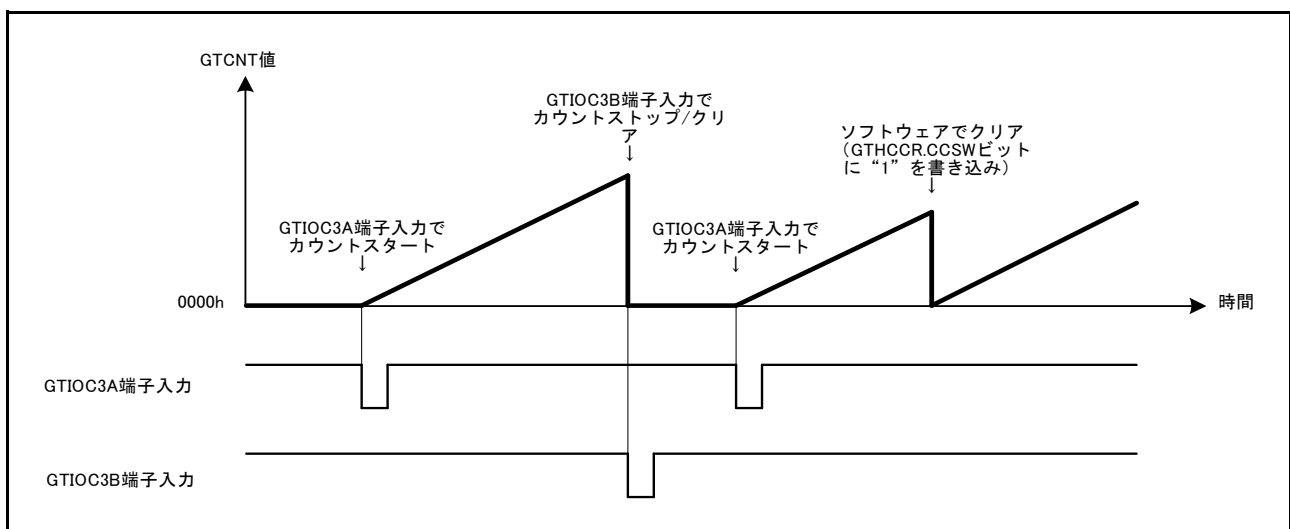


図 18.50 ハードウェア要因によるカウンタクリア動作例（のこぎり波でアップカウント、GTIOC3A端子入力でスタート、GTIOC3B端子入力でストップ／クリア時）

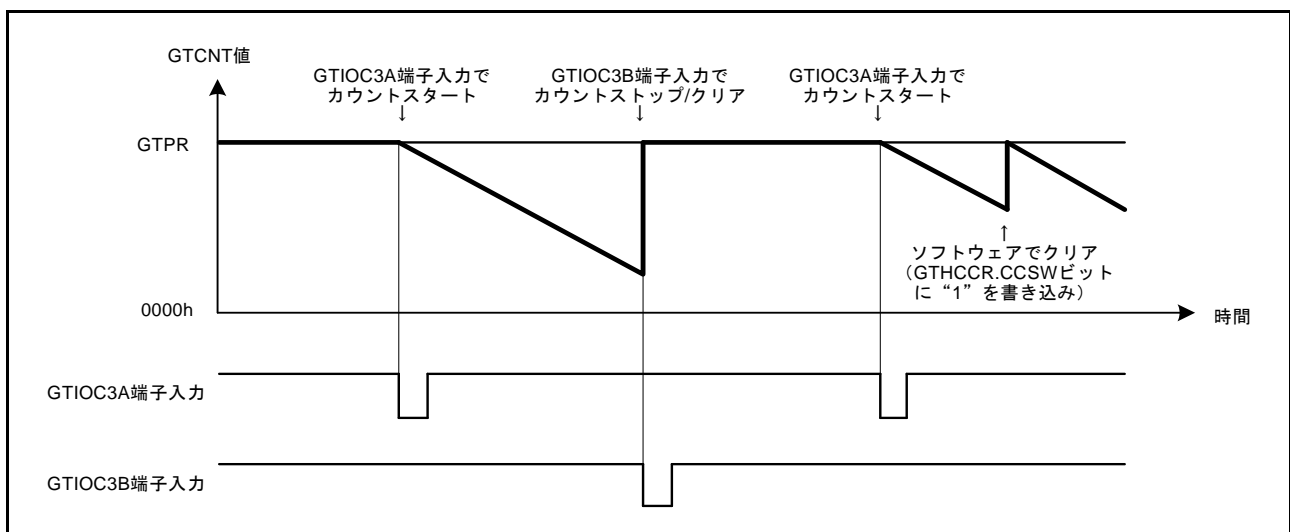


図 18.51 ハードウェア要因によるカウンタクリア動作例（のこぎり波でダウンカウント、GTIOC3A端子入力でスタート、GTIOC3B端子入力でストップ／クリア時）

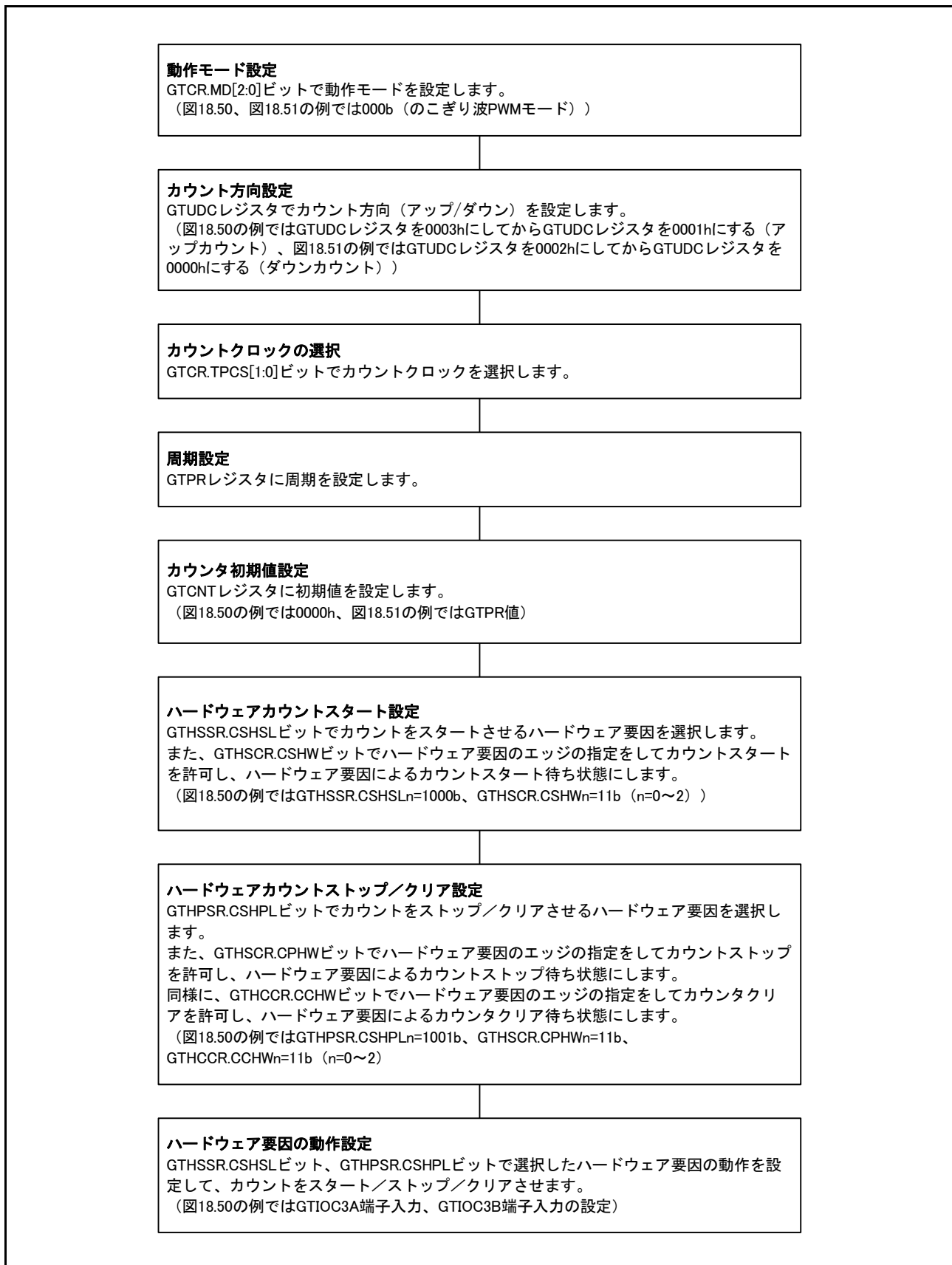


図 18.52 ハードウェア要因によるカウントクリア動作設定例

ハードウェア要因によるカウンタクリアを行っても、GTCIV 割り込み (オーバーフロー/アンダフロー割り込み) は発生しません。同様に、ソフトウェアでのカウンタクリアを行った場合も、GTCIV 割り込みは発生しません。

図 18.53 にハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係を示します。

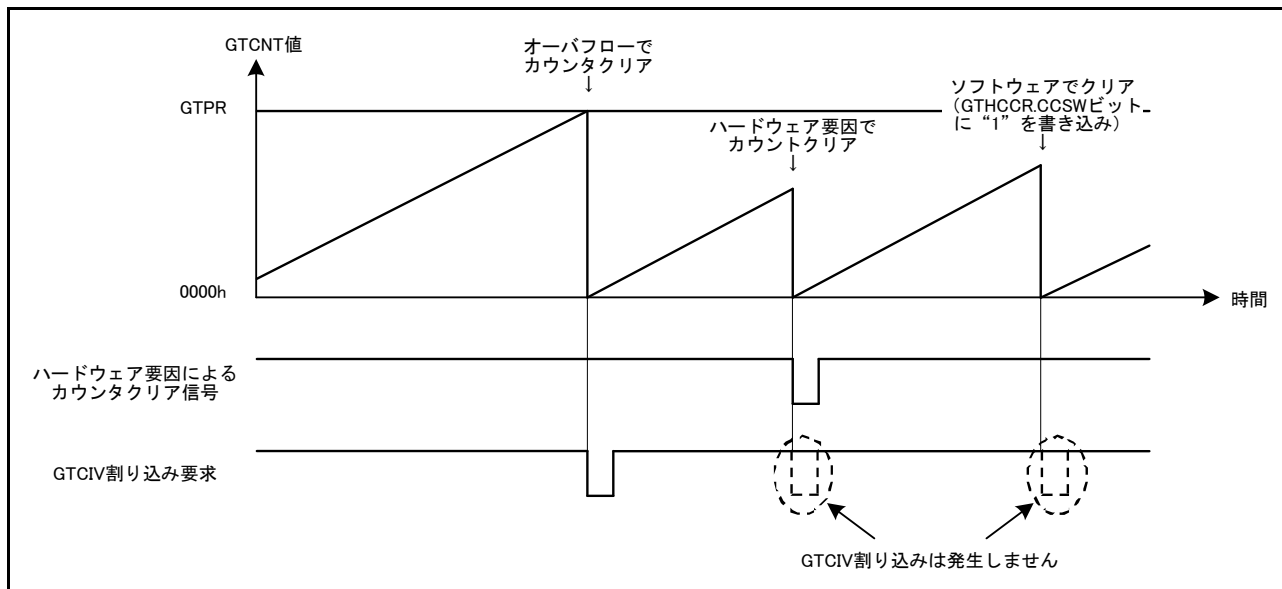


図 18.53 ハードウェア 要因によるカウンタクリアと GTCIV 割り込みの関係

18.3.7 同期動作

チャンネル間の同期動作（同期クリア、同期スタート）が可能です。

18.3.7.1 同期クリア動作

チャンネル間の同期クリア制御が可能です。同期クリアさせるチャンネルの GTCR.CCLR[1:0] ビットを“11b”にし、GTSYNC.SYNCn[1:0] ビットでどのチャンネルのクリア要因で同期クリアするかを設定します n= (0 ~ 3)。

図 18.54 に同期クリアの動作例を、図 18.56 に設定例を示します。GPT0.GTCNT のクリア要因（オーバーフロー）により GPT1.GTCNT と GPT2.GTCNT を同期クリアする例です。

なお、同期クリアされたチャンネルからの同期クリアは発生しません（同期クリアは伝播しません）。

図 18.55 に同期クリアされたチャンネルからの同期クリアの動作例を、図 18.56 に設定例を示します。GPT0.GTCNT のクリア要因（オーバーフロー）により GPT1.GTCNT を同期クリア、GPT1.GTCNT のクリア要因（オーバーフロー）により GPT2.GTCNT を同期クリアする例です。GPT0.GTCNT のクリア要因（オーバーフロー）により同期クリアされた GPT1.GTCNT からの同期クリアは、GPT2.GTCNT には伝播しません。

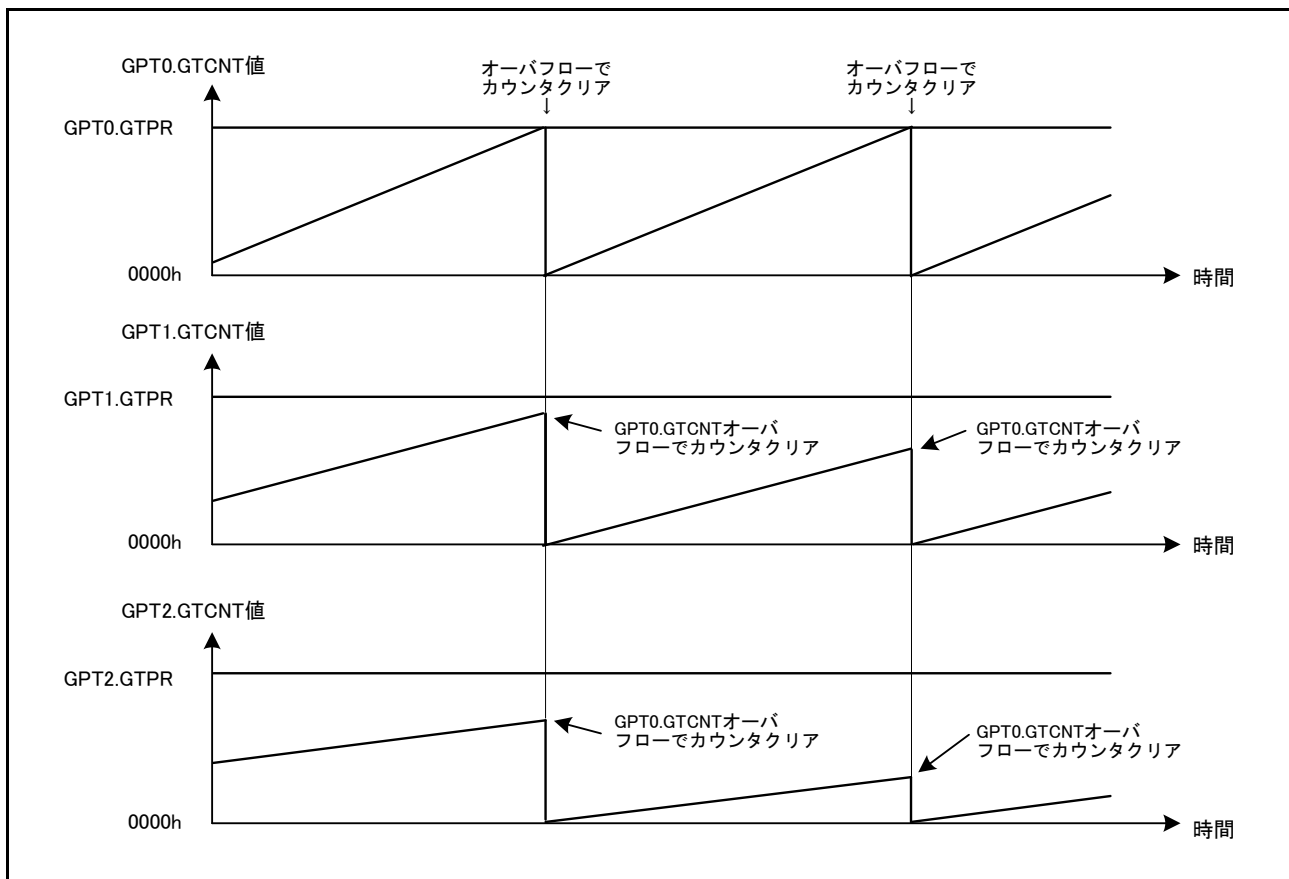


図 18.54 同期クリア動作例
(GPT0.GTCNT のクリア要因で GPT1.GTCNT と GPT2.GTCNT を同期クリア時)

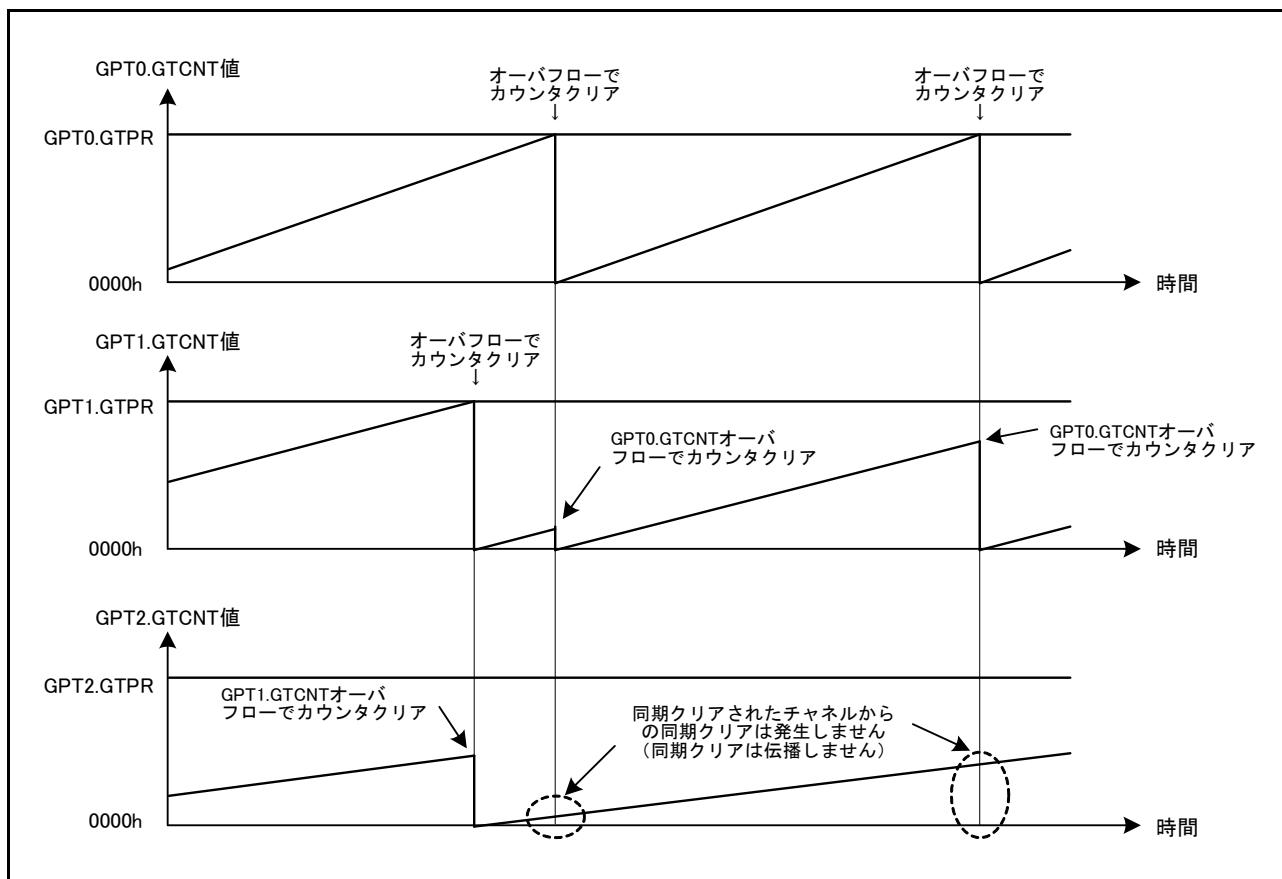


図 18.55 同期クリア動作例 (GPT0.GTCNT のクリア要因で GPT1.GTCNT を同期クリア、GPT1.GTCNT のクリア要因で GPT2.GTCNT を同期クリア時)

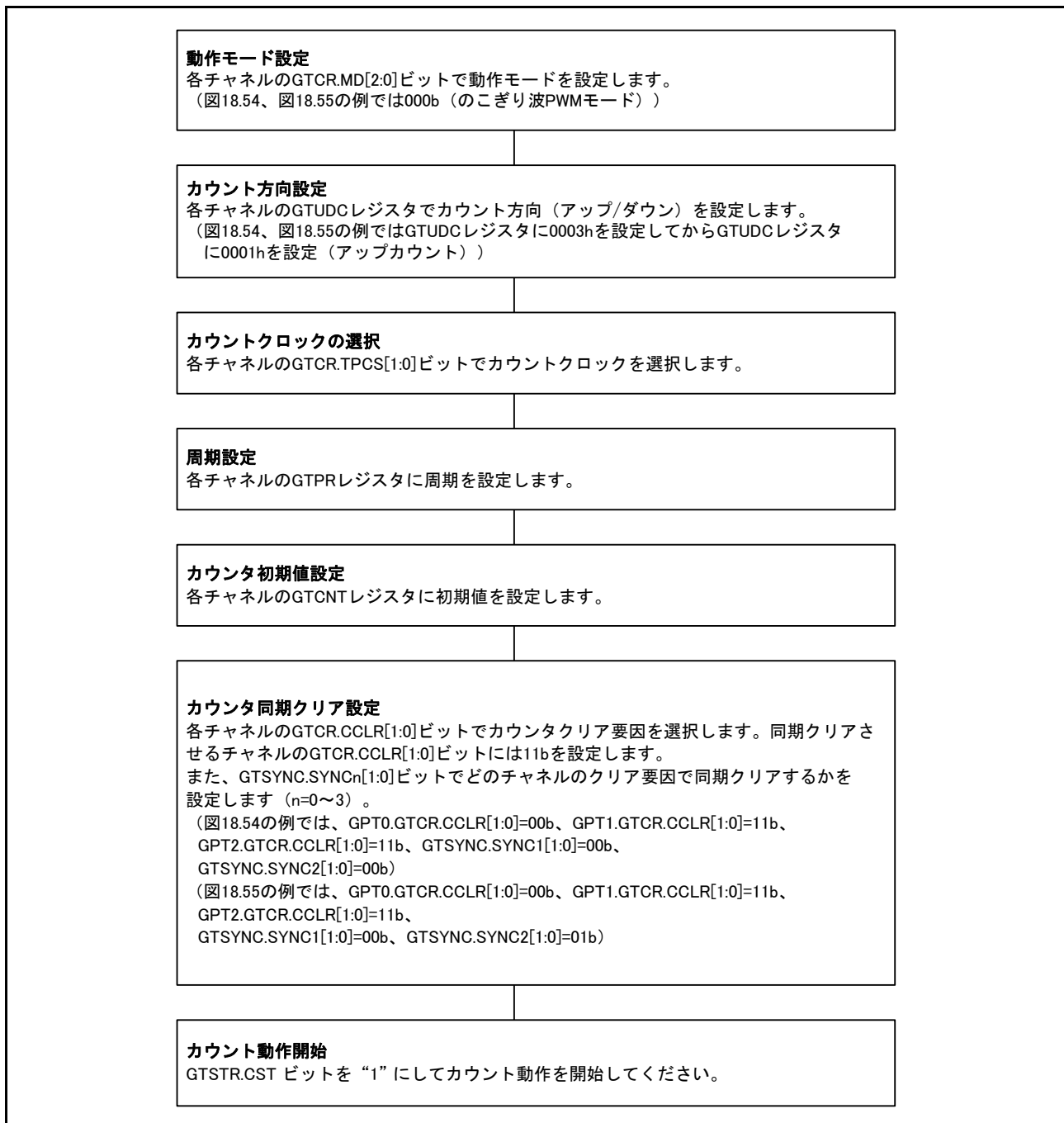


図 18.56 同期クリア動作設定例

18.3.7.2 同期スタート動作

(1) ソフトウェアによる同時スタート

GTSTR.CSTn ビットを同時に“1”にすることによって、各チャンネルのカウンタ動作を同時に開始することができます (n=0~3)。

図 18.57 にソフトウェアによる同時スタート動作例を示します。

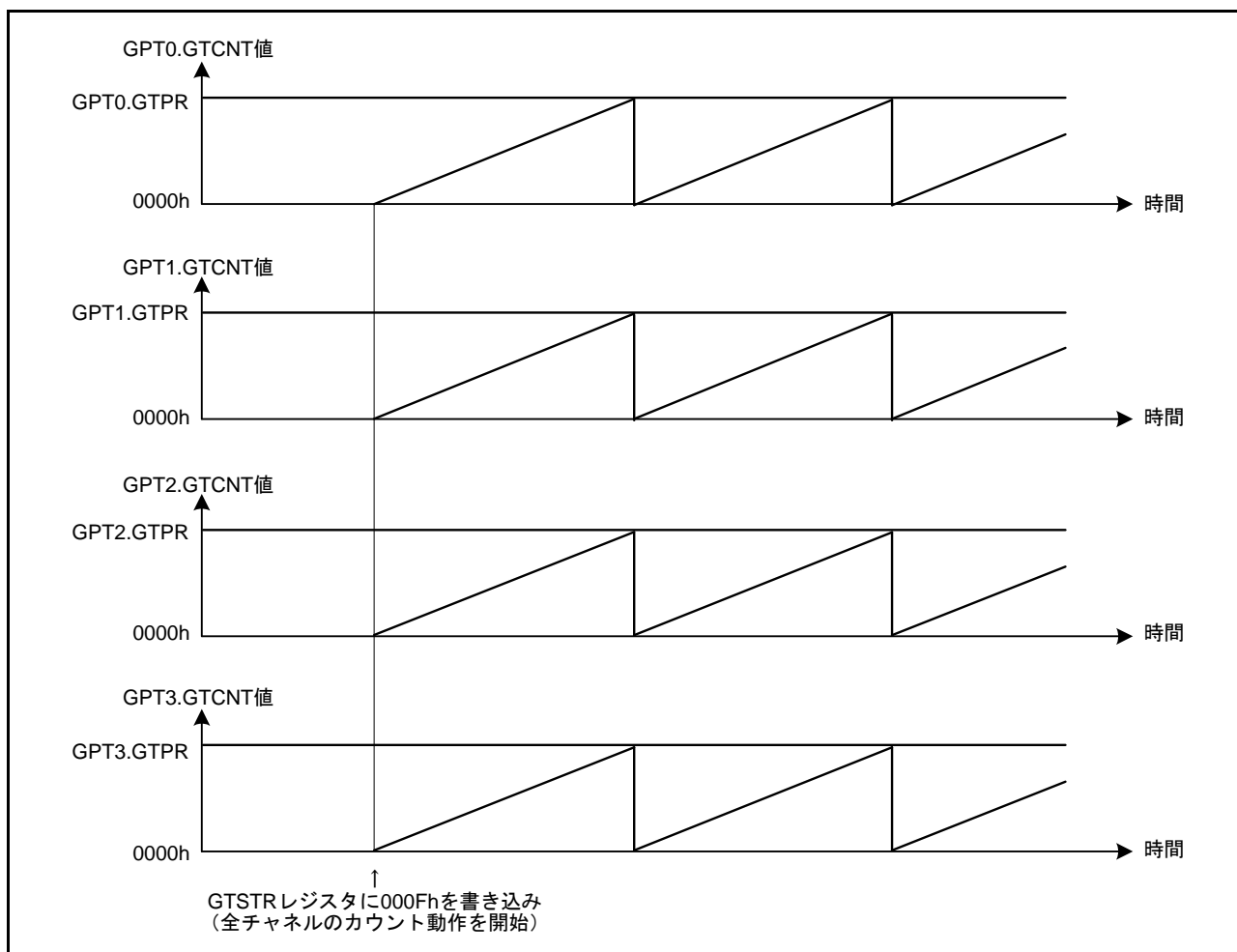


図 18.57 ソフトウェアによる同時スタート動作例 (カウンタ周期 (GTPR 値) が同一のとき)

(2) ソフトウェアによる位相スタート

カウント動作開始前に各チャンネルの GTCNT 値を設定しておき、GTSTR.CSTn ビットを同時に“1”にすることにより、各チャンネル間に位相差をつけたカウント動作を開始することができます (n=0 ~ 3)。

図 18.58 にソフトウェアによる位相スタート動作例を示します。

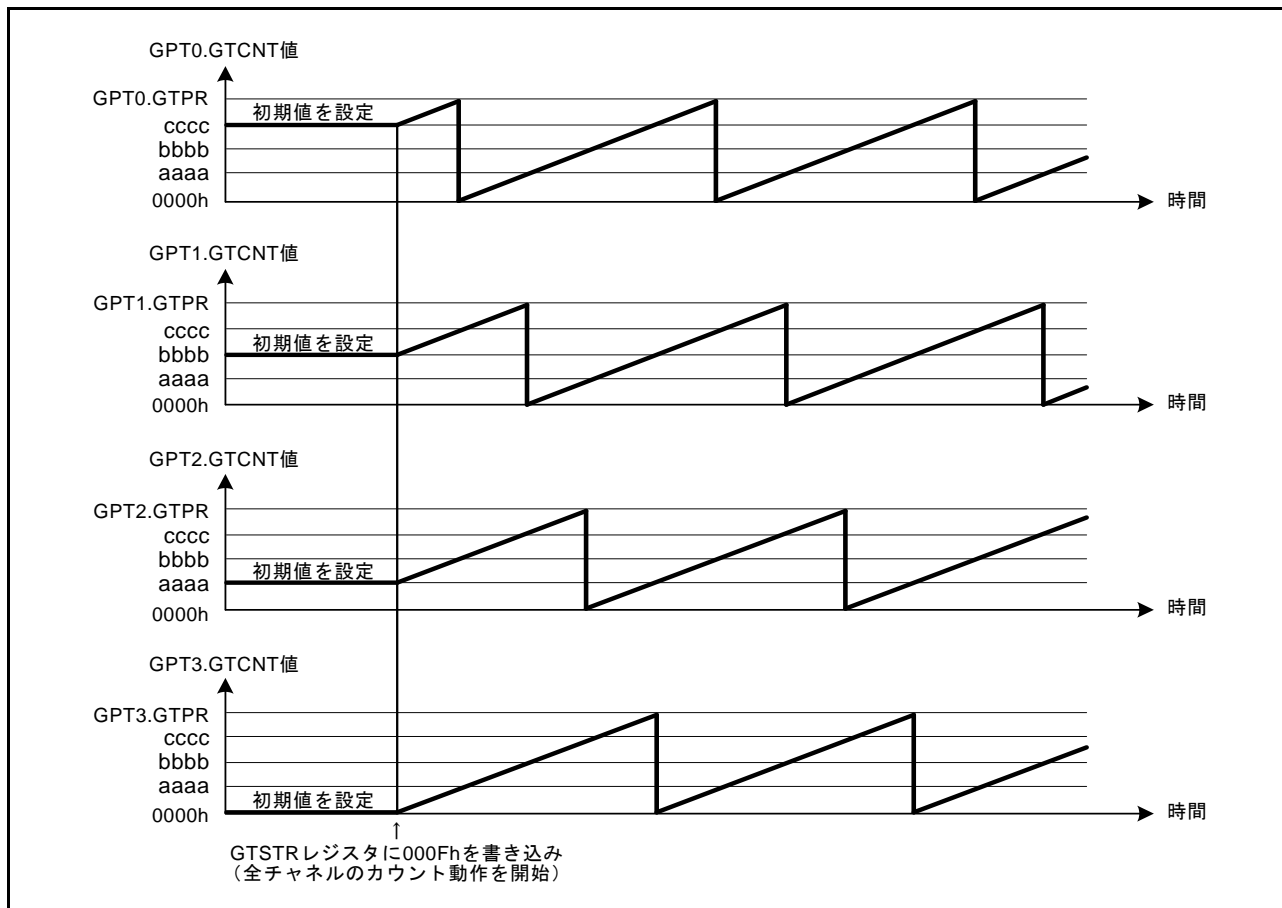


図 18.58 ソフトウェアによる位相スタート動作例 (カウント周期 (GTPR 値) が同一のとき)

(3) ハードウェア要因による同時スタート

RX62G 内蔵のハードウェア要因により、各チャンネルのカウンタ動作を同時に開始することができます。

ハードウェア要因には、GTETRG 端子入力、コンパレータ検出、GTIOC3A および GTIOC3B 端子入力、GTIOC3A および GTIOC3B 内部出力 (アウトプットコンペア) の4種類の要因があります。

図 18.59 にハードウェア要因による同時スタート動作例を、図 18.60 に設定例を示します。AN000 用コンパレータ検出により全チャンネルのカウンタ動作を開始する例です。

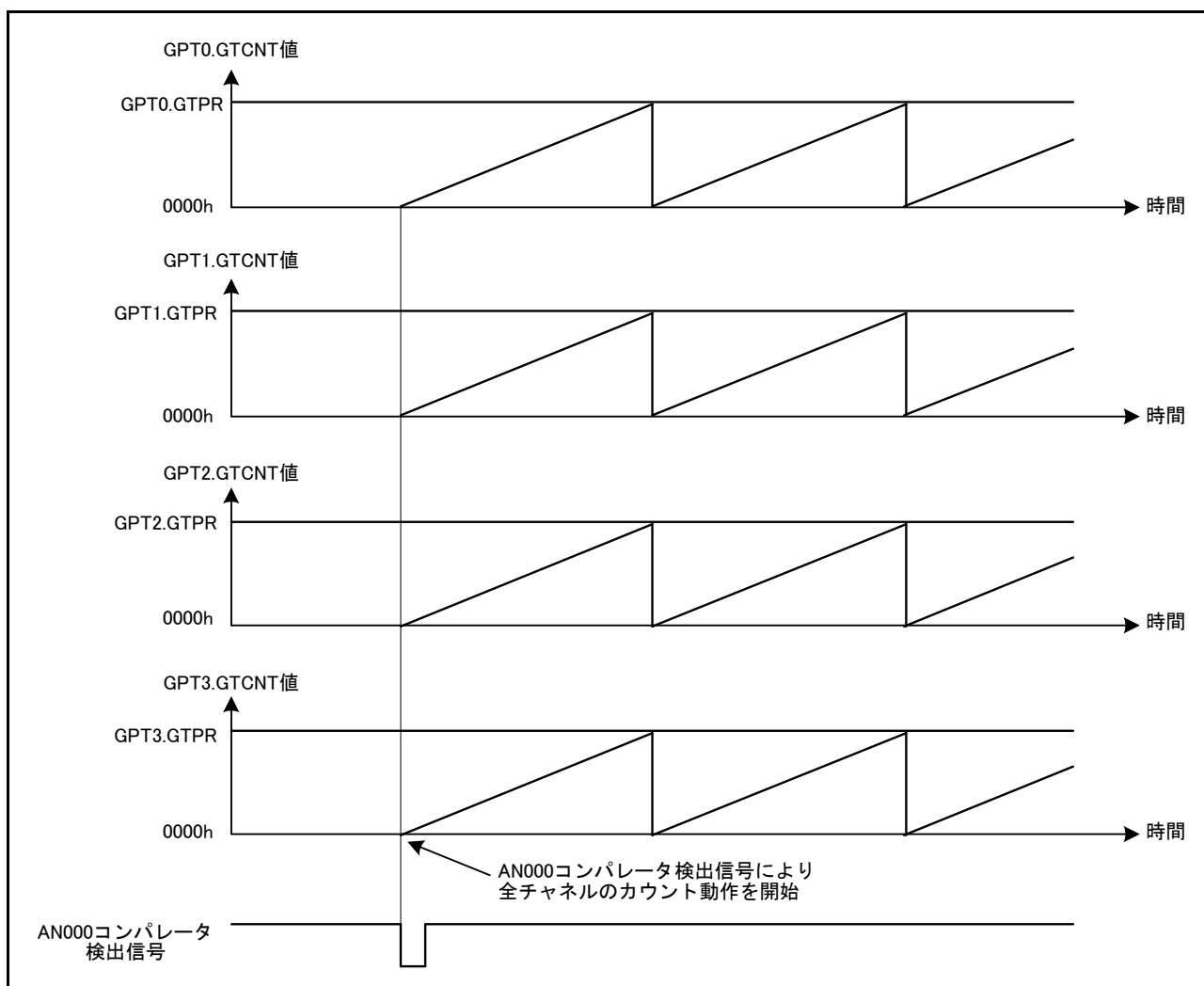


図 18.59 ハードウェア要因による同時スタート動作例 (カウンタ周期 (GTPR 値) が同一のとき)

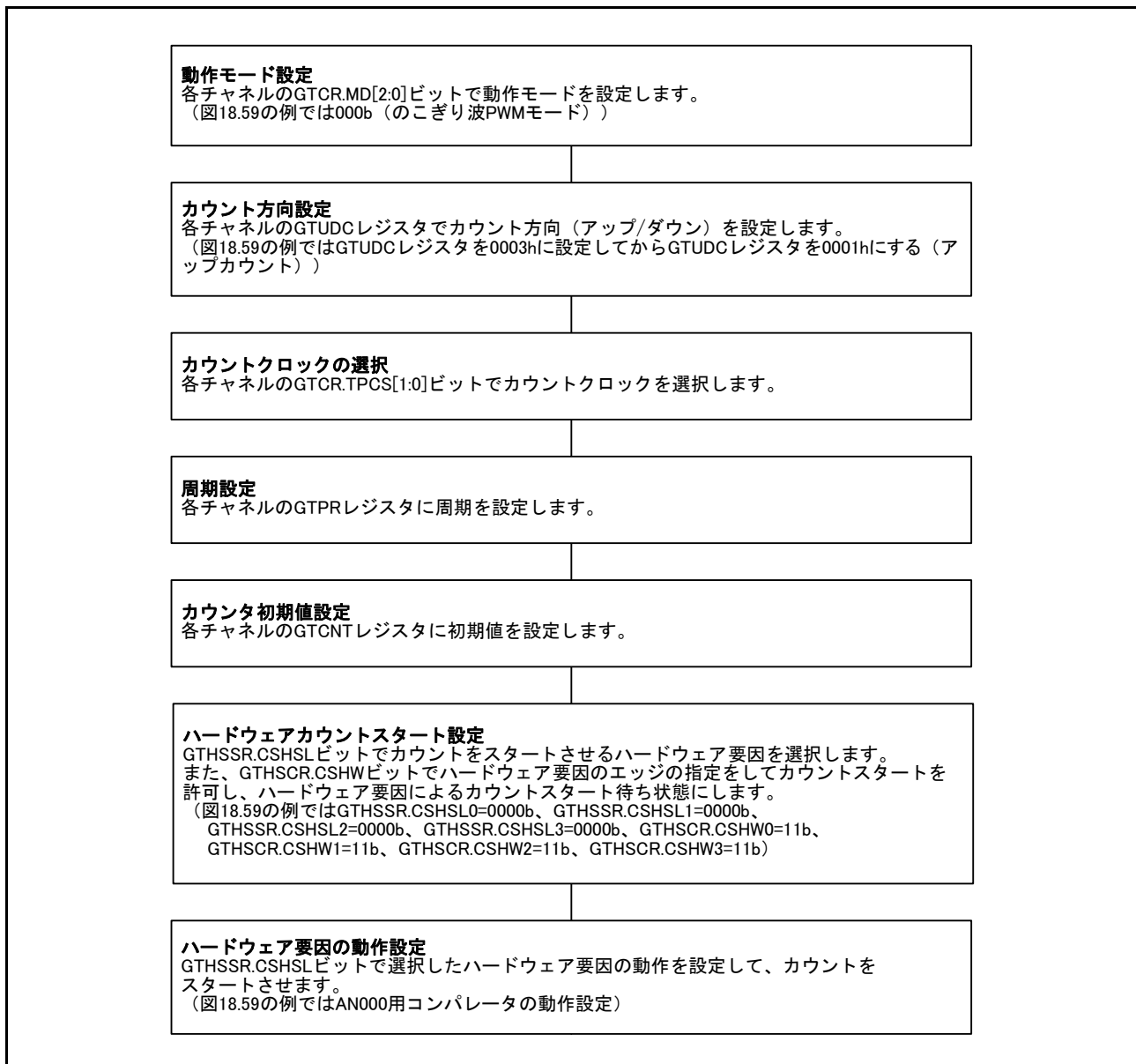


図 18.60 ハードウェア要因による同時スタート設定例

(4) ハードウェア要因による位相スタート

RX62G 内蔵のハードウェア要因により、各チャンネル間に位相差をつけたカウント動作を開始することができます。

ハードウェア要因には、GTETRG 端子入力、コンパレータ検出、GTIOC3A および GTIOC3B 端子入力、GTIOC3A および GTIOC3B 内部出力 (アウトプットコンペア) の4種類の要因があります。

図 18.61 にハードウェア要因による位相スタート動作例を、図 18.62 に設定例を示します。GPT3.GTCNT と GPT0.GTCNT はソフトウェアにより同時にカウント動作を開始、GPT1.GTCNT と GPT2.GTCNT は GTIOC3A および GTIOC3B 内部出力 (アウトプットコンペア) によりカウント動作を開始する例です。

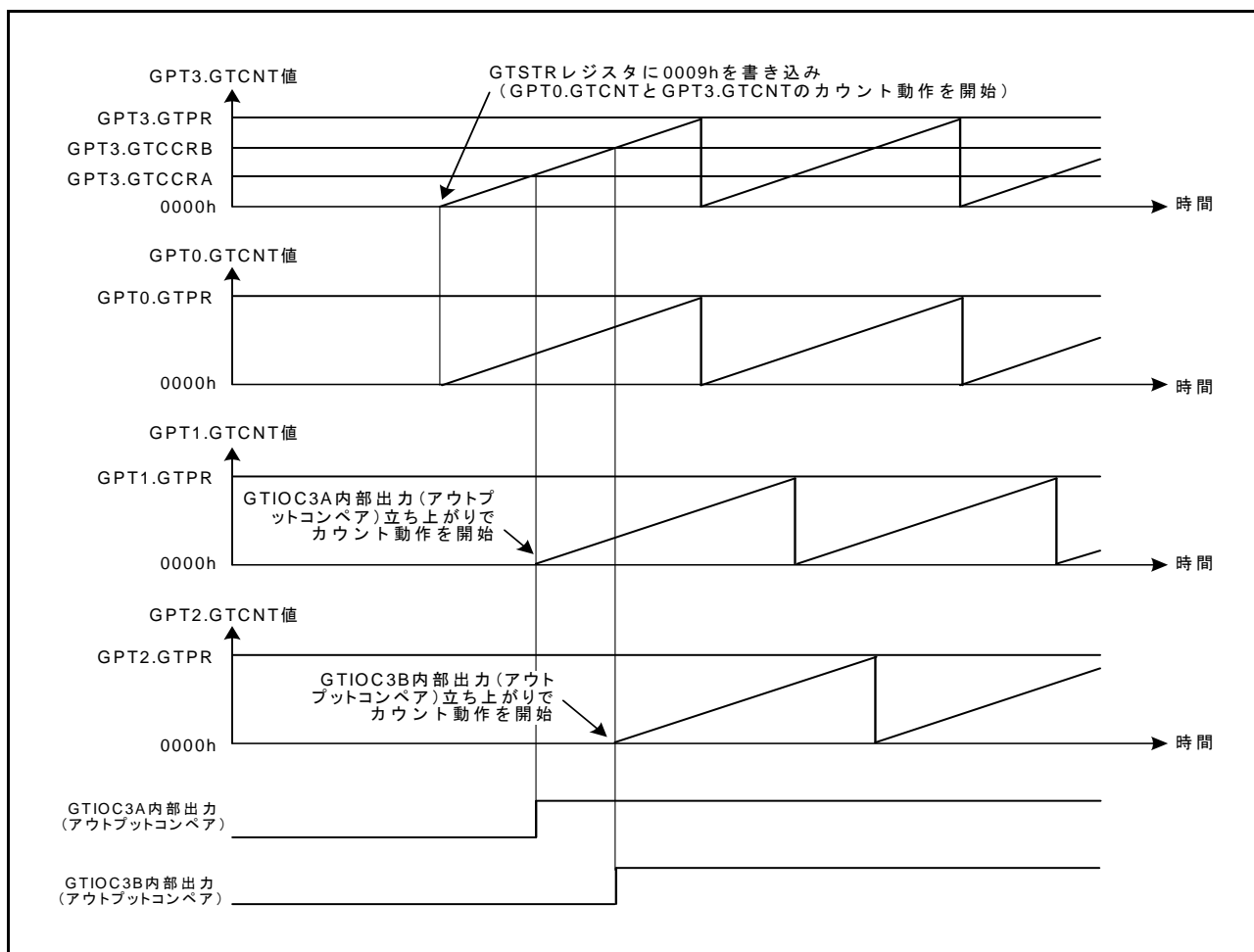


図 18.61 ハードウェア要因による位相スタート動作例 (カウント周期 (GTPR 値) が同一のとき)

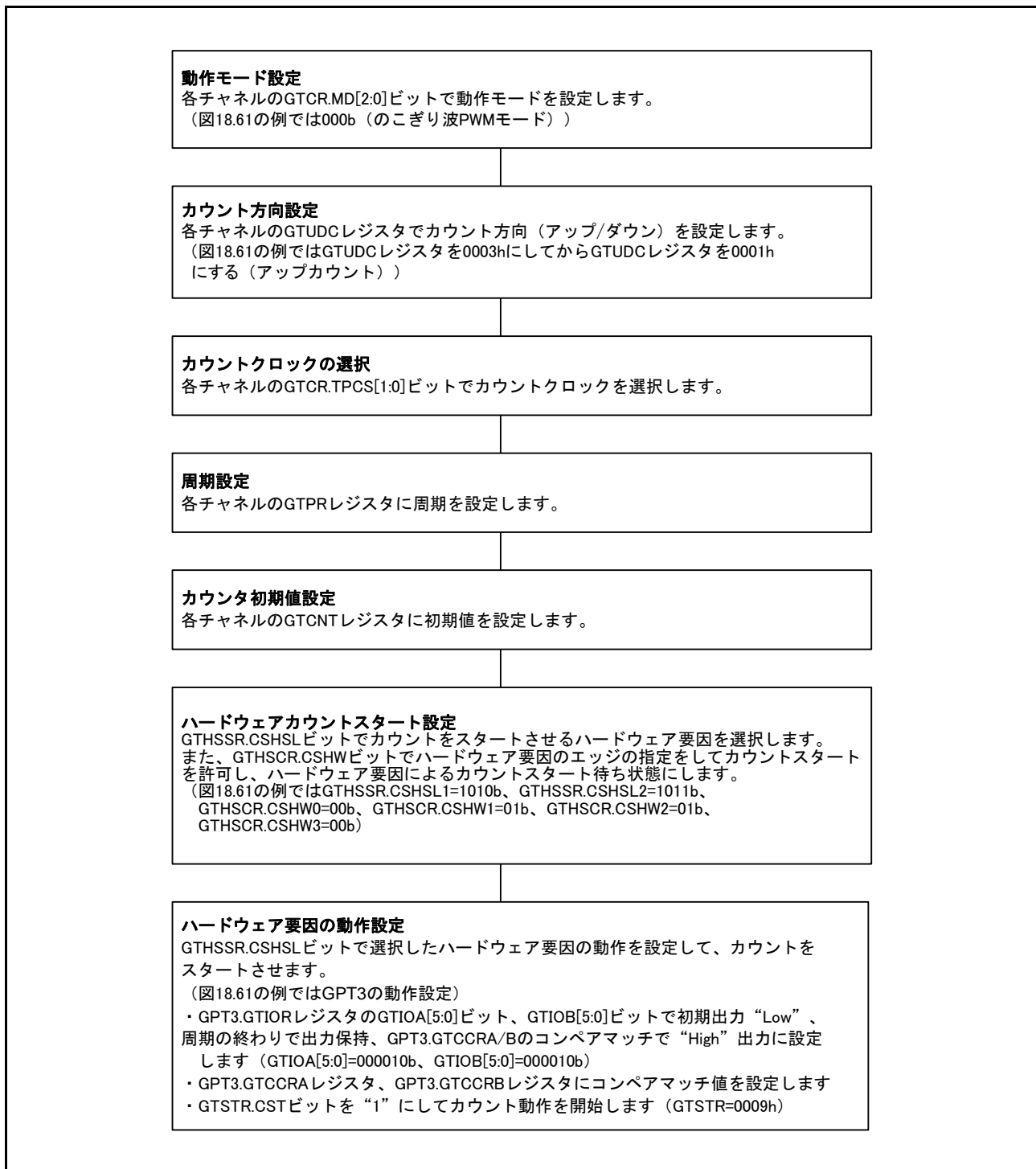


図 18.62 ハードウェア要因による位相スタート設定例

18.3.8 PWM 出力動作例

(1) 同期 PWM 出力

チャンネル間の同期動作をすることにより、最大4チャンネル8相の連動したPWM波形を出力できます。

図 18.63 は、すべてのチャンネルを、のこぎり波PWMモードで同期動作させ、8相のPWM波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 出力の設定は、初期出力は Low、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とした例です。

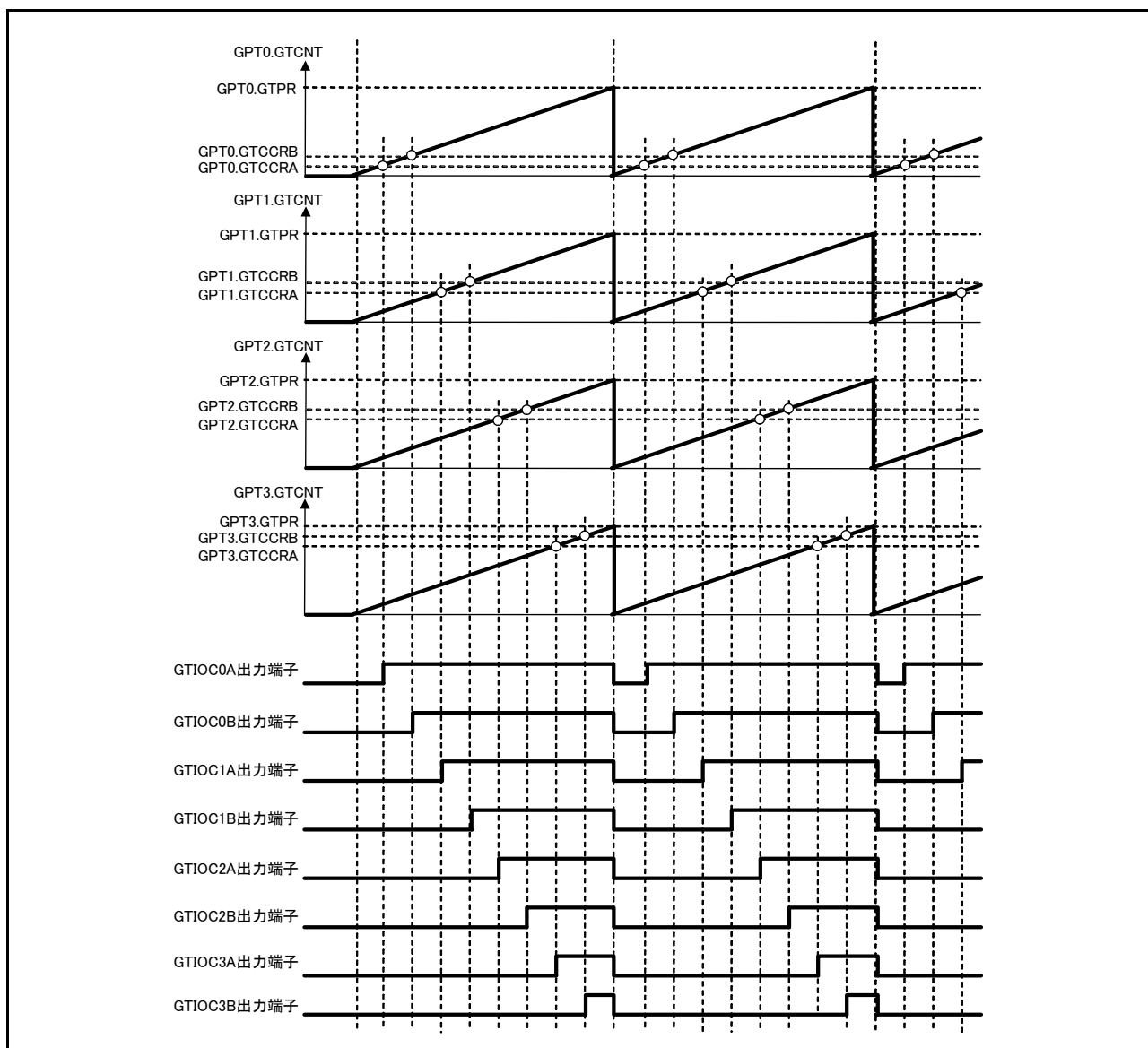


図 18.63 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 18.64 は、3つのチャンネルをのこぎり波 PWM モードで同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力とした例です。

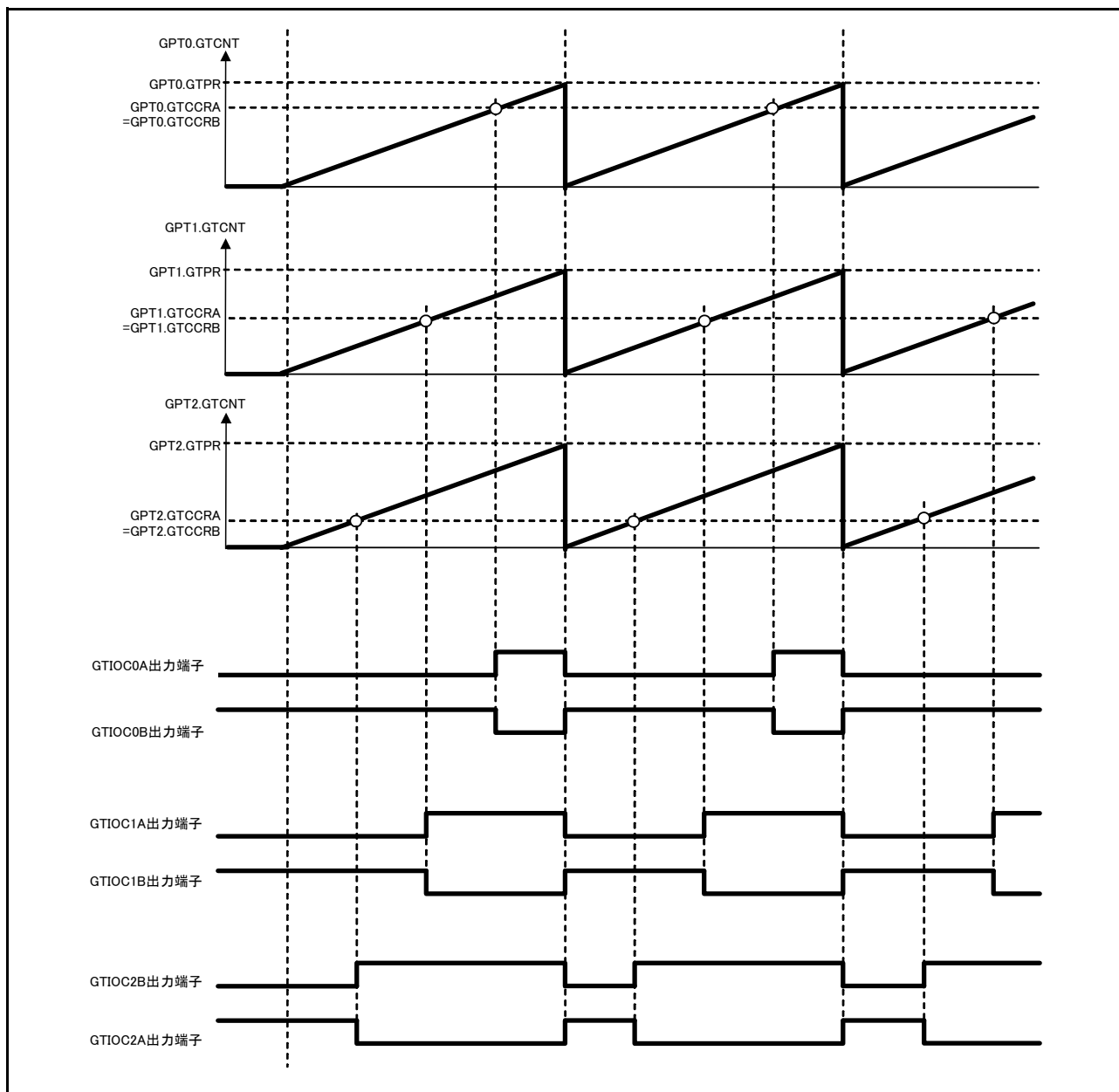


図 18.64 のこぎり波 3 相相補 PWM 出力

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 18.65 は、3つのチャネルを、デッドタイムを自動設定したのこぎり波ワンショットパルスモードで同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCN_A 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCN_B 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

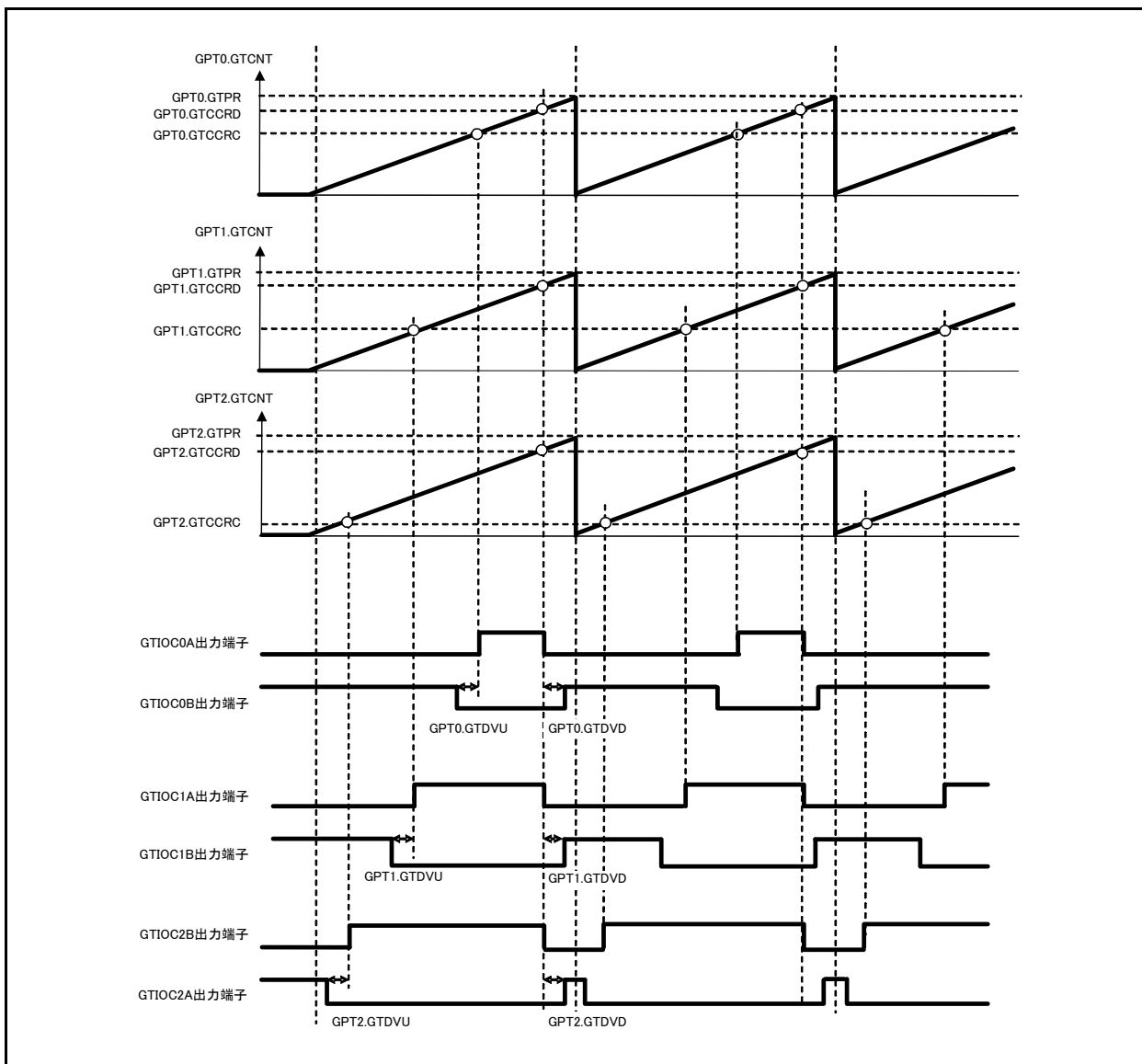


図 18.65 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 18.66 は、3 つのチャネルを三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

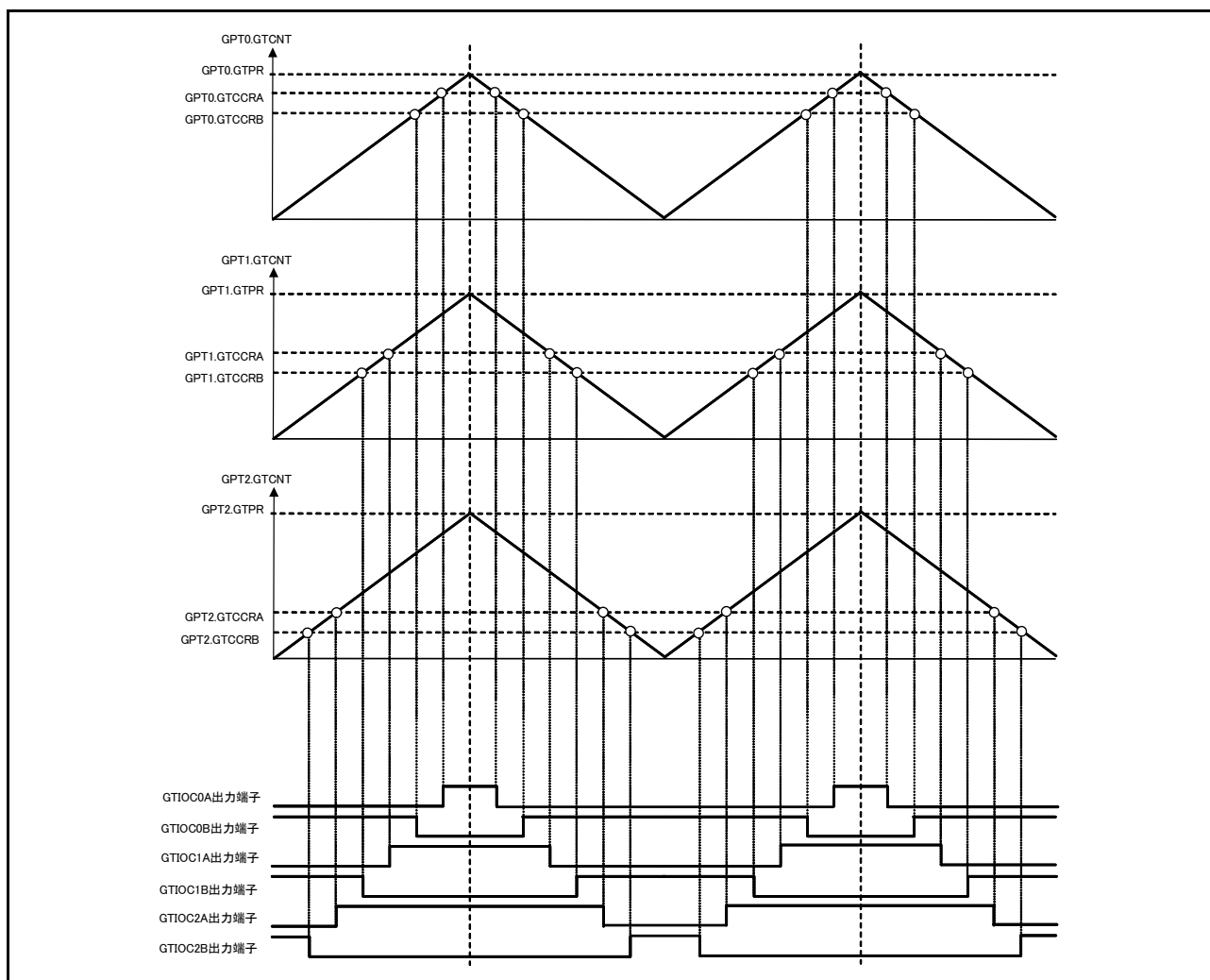


図 18.66 三角波 3 相相補 PWM 出力

(5) 三角波3相相補PWM出力 (デッドタイム自動設定)

図 18.67 は、3つのチャネルを、デッドタイムを自動設定した三角波PWMモード1で同期動作させ、3相相補PWM波形を出力させた例です。GTIOCnA 出力の設定は、初期出力はLow、GTCCRAレジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力はHigh、GTCCRBレジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

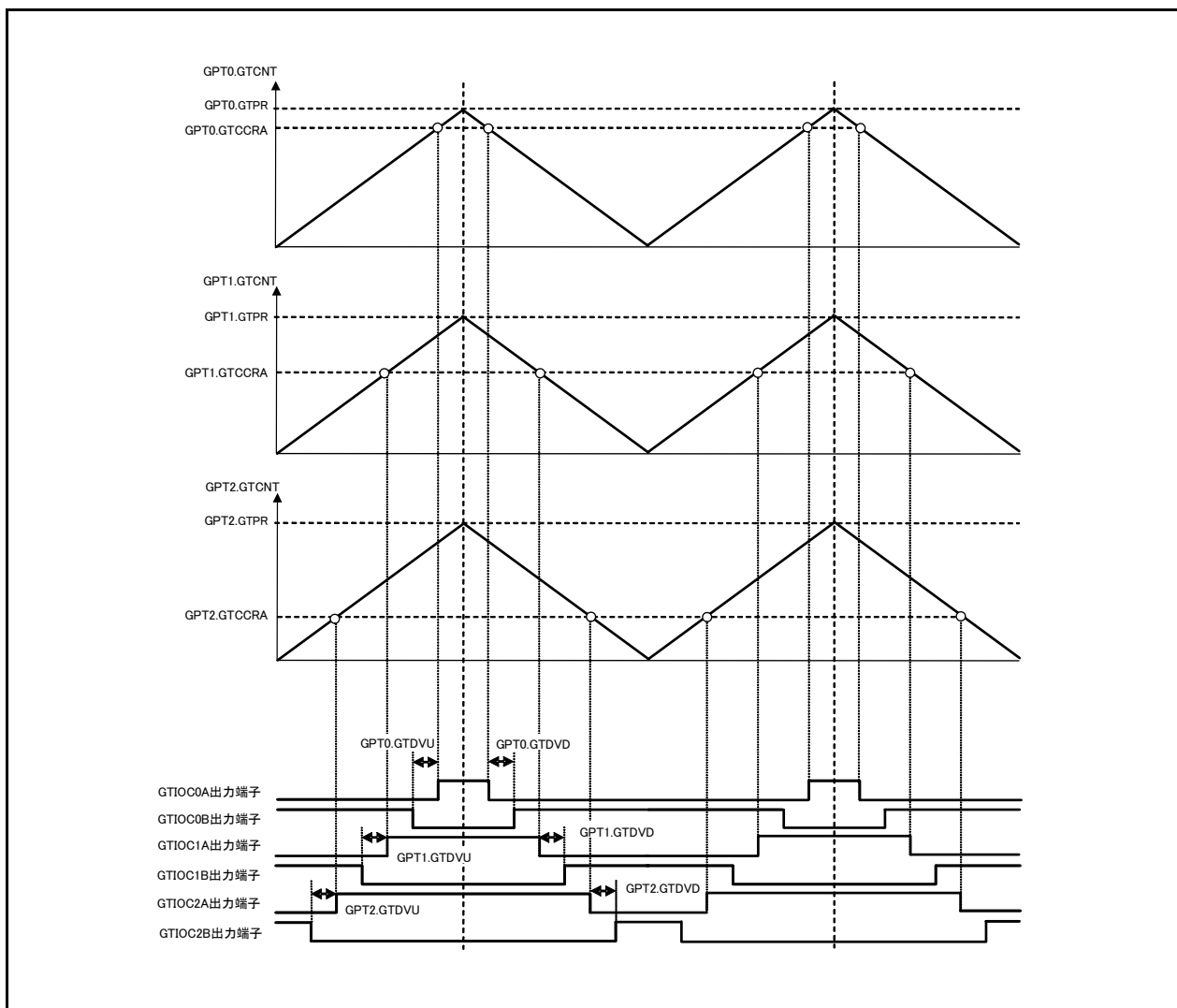


図 18.67 三角波3相相補PWM出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 18.68 は、3つのチャンネルを、デッドタイムを自動設定した三角波 PWM モード3で同期動作させ、3相相補 PWM 波形を出力させた例です。GTIOCnA 出力の設定は、初期出力は Low、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 出力の設定は、初期出力は High、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

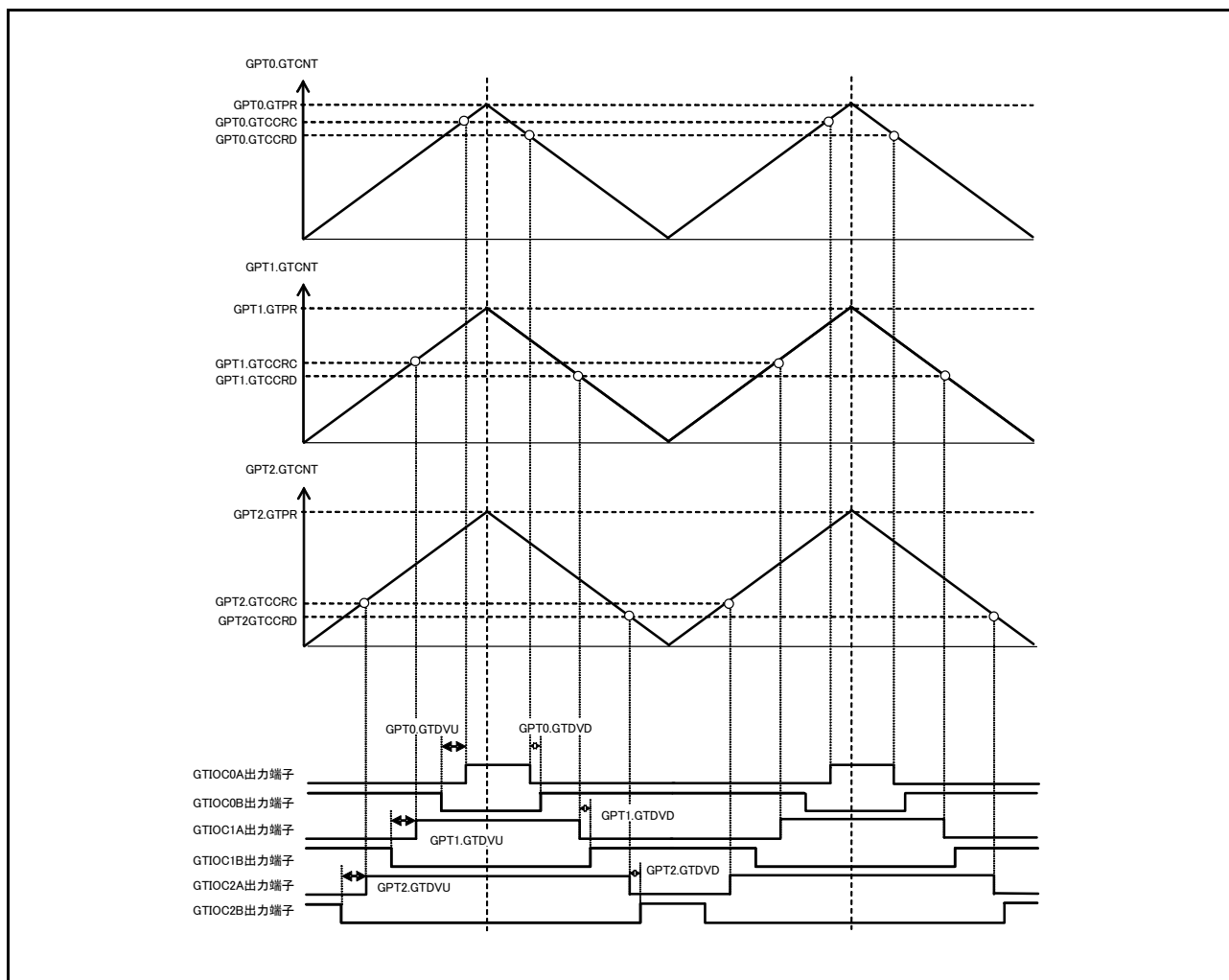


図 18.68 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

18.3.9 PWM 立ち上がり / 立ち下がりタイミング調整動作

GTIOc_nA 端子、GTIOc_nB 端子から出力する PWM 波形の立ち上がり / 立ち下がりタイミングをシステムクロック (ICLK) の 32 分割の解像度で遅延させることができます (n : チャネル番号)。このときシステムクロックは、80MHz 以上の設定としてください。

GTIOc_nA 端子、GTIOc_nB 端子から出力する PWM 波形の立ち上がり / 立ち下がりタイミングを変更する場合、図 18.69 に示す手順に従って PWM 遅延生成回路を初期化してください。

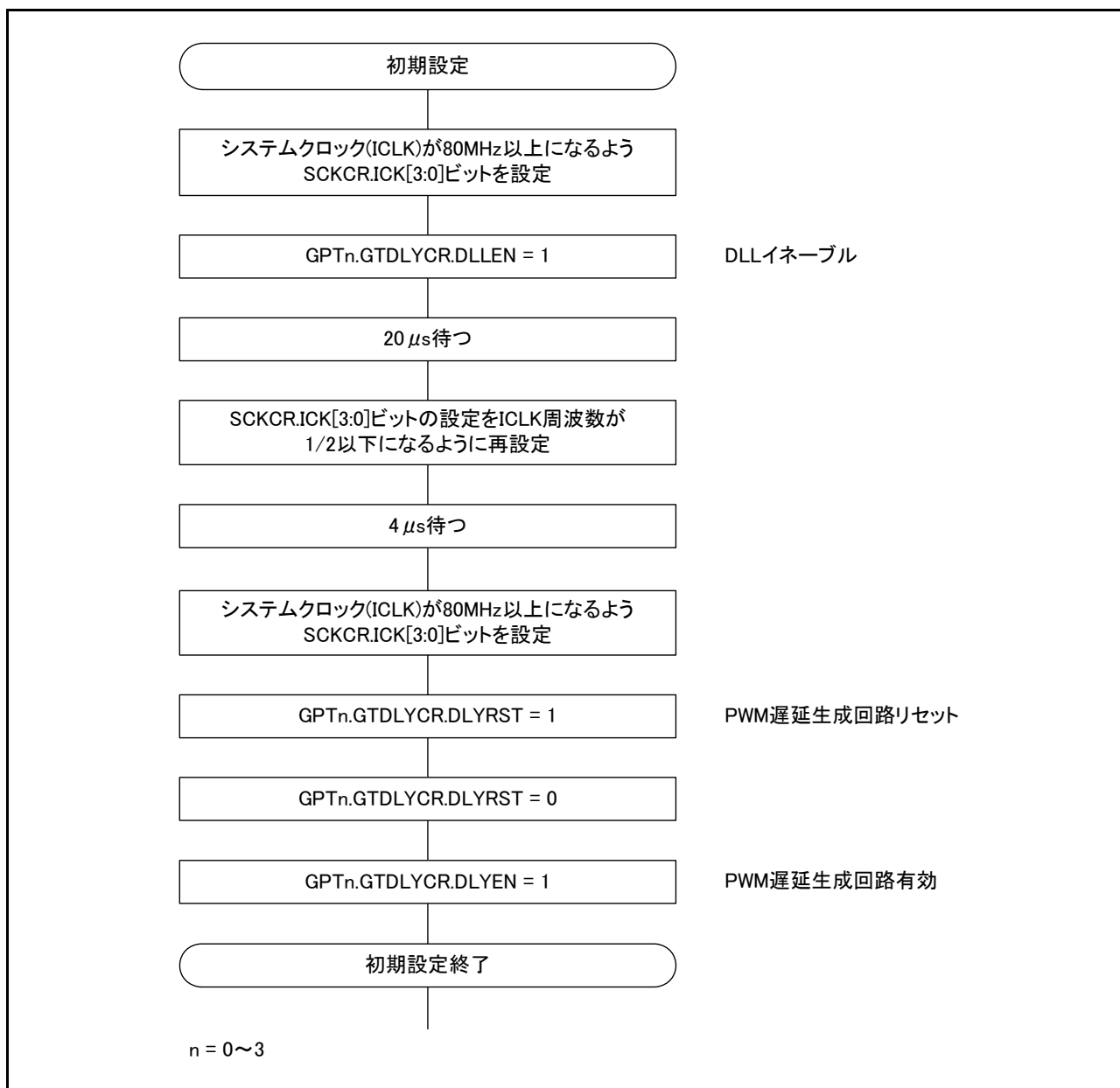


図 18.69 PWM 遅延生成回路の初期化フローチャート例

PWM 遅延生成回路は「18.3.3 PWM 出力動作モード」記載の PWM 出力に対して立ち上がり / 立ち下がりタイミングにシステムクロック (ICLK) の 32 分割の解像度で遅延を付加することができます。GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタに遅延値を設定します。設定した遅延値は「18.3.10 GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタの設定値転送タイミング」記載のタイミングで PWM 出力に反映されます。GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタと対応する PWM 出力関係を表 18.6 に示します。

表 18.6 PWM出力端子と遅延設定対象レジスタ一覧

PWM出力端子名	立ち上がり遅延設定レジスタ名	立ち下がり遅延設定レジスタ名
GTIOC0A	GPT0.GTDLYRA	GPT0.GTDLYFA
GTIOC0B	GPT0.GTDLYRB	GPT0.GTDLYFB
GTIOC1A	GPT1.GTDLYRA	GPT1.GTDLYFA
GTIOC1B	GPT1.GTDLYRB	GPT1.GTDLYFB
GTIOC2A	GPT2.GTDLYRA	GPT2.GTDLYFA
GTIOC2B	GPT2.GTDLYRB	GPT2.GTDLYFB
GTIOC3A	GPT3.GTDLYRA	GPT3.GTDLYFA
GTIOC3B	GPT3.GTDLYRB	GPT3.GTDLYFB

PWM 遅延生成回路を使用することで PWM 出力の立ち上がり / 立ち下がりタイミングをシステムクロック (ICLK) の 32 分割の解像度で制御することができます。PWM 遅延生成回路を使用しない場合、PWM 出力波形周期はタイマカウンタの解像度 (=ICLK) での制御ですが、PWM 遅延生成回路を使用することで 32 倍の解像度で制御することができます。また PWM 波形の High/Low 出力期間もシステムクロック (ICLK) の 32 倍の解像度で制御することができます。

PWM 遅延生成回路は、4 チャンネルすべてに搭載しており、チャンネル毎に有効 / 無効の設定が可能です。

18.3.10 GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタの設定値転送タイミング

GTDLYRA レジスタ、GTL DYRB レジスタ、GTDLYFA レジスタ、GTDLYFB レジスタの設定値はテンポラリレジスタに転送されてから GTIOCnA、GTIOCnB 出力の遅延量に反映されます (n=0 ~ 3)。設定値の転送タイミングはのこぎり波の場合はオーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は谷となります。

GTDLYRA レジスタの動作例を図 18.70 に、GTDLYFA レジスタの動作例を図 18.71 に示します。

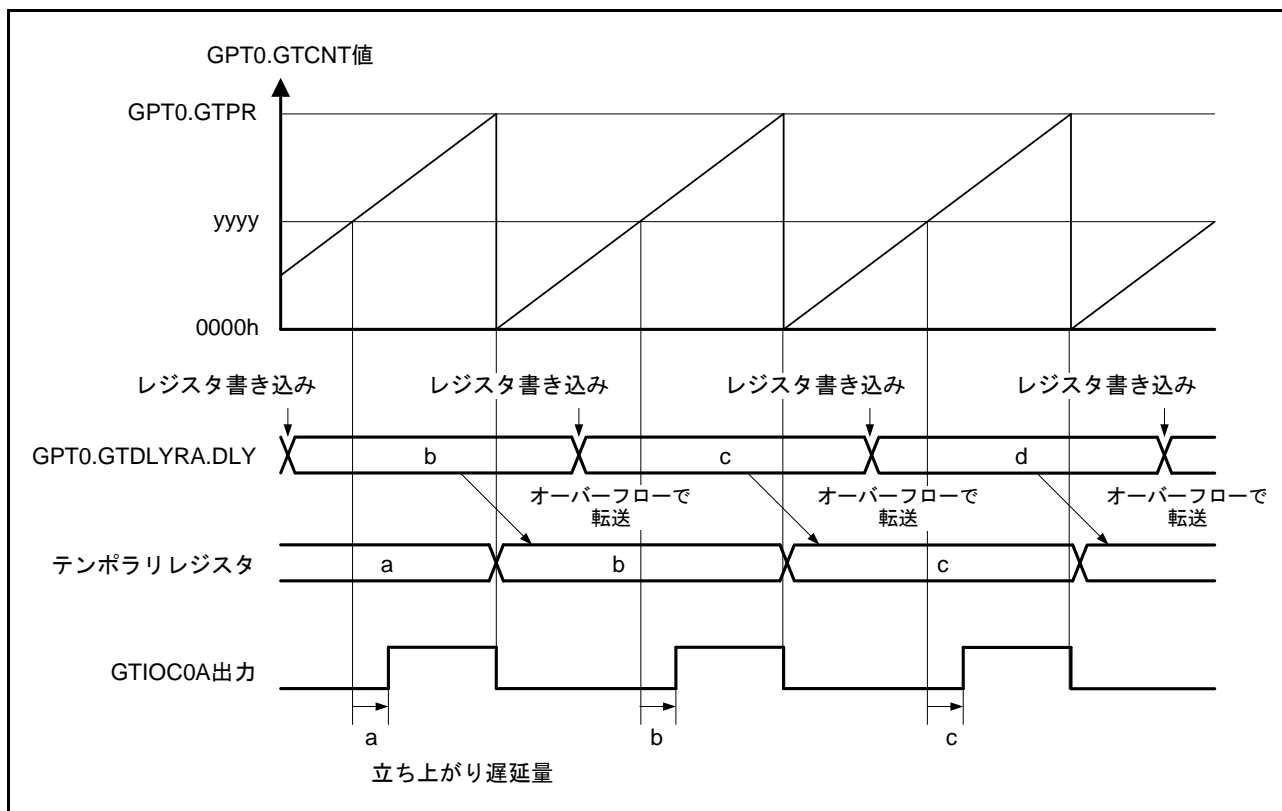


図 18.70 GTLDYRA レジスタの動作例 (のこぎり波 PWM の場合)

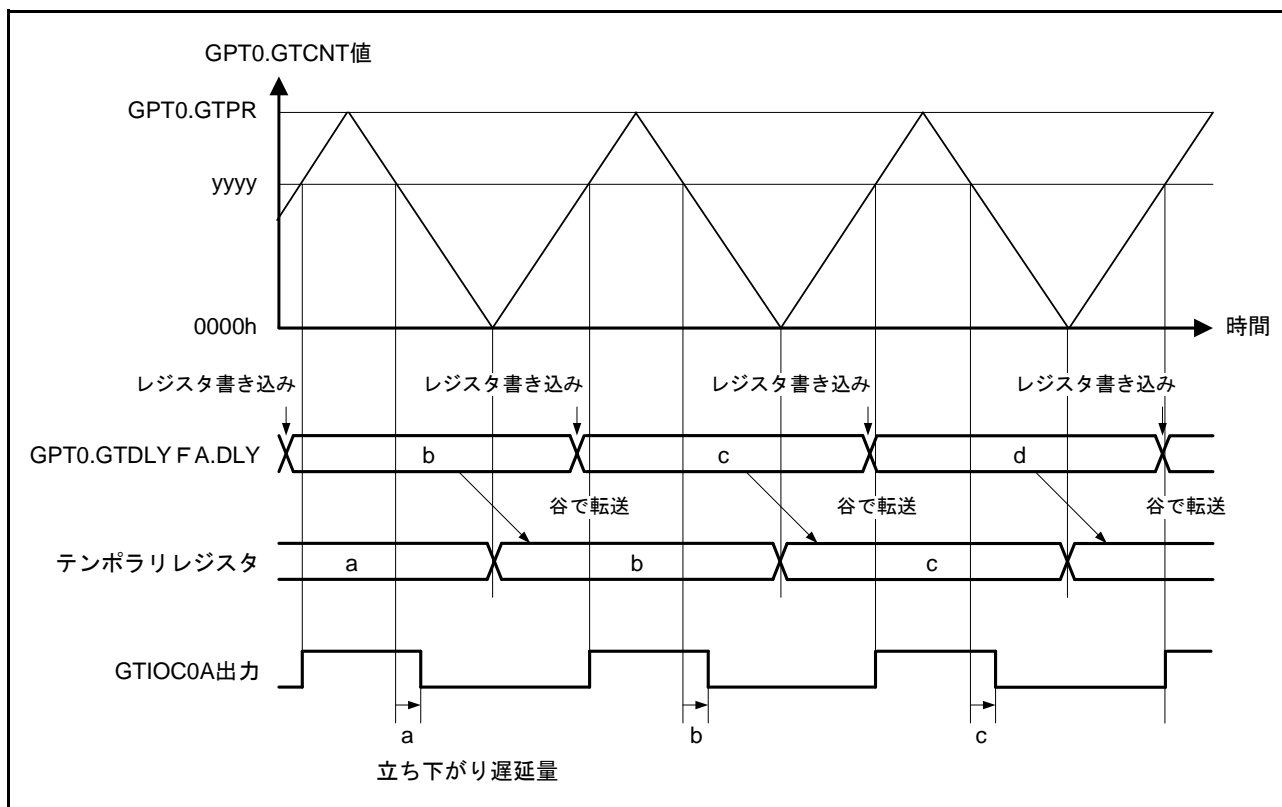


図 18.71 GTLDYFA レジスタの動作例 (三角波 PWM の場合)

18.4 割り込み要因

18.4.1 割り込み要因と優先順位

GPTの割り込み要因には、GTCCRレジスタのインプットキャプチャ/コンペアマッチ、GTCNTカウンタのオーバフロー (GTPRレジスタのコンペアマッチ) /アンダフロー、デッドタイムエラー、LOCOカウンタ機能割り込みの4種類があります。各割り込み要因は、それぞれ専用のステータスフラグと割り込み要求発生の制御ビットがあり、割り込み要求の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、GTSTレジスタの対応するステータスフラグが“1”になります。このときGTINTADレジスタの対応する割り込み要求許可/禁止ビットが“1”であれば、割り込みを要求します。

ただし、当該ステータスフラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには該当するステータスフラグを“0”にしてください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「11. 割り込みコントローラ (ICU)」を参照してください。表 18.7 に GPT の割り込み要因の一覧を示します。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのGTCCRレジスタのインพุットキャプチャ/コンペアマッチの発生によりGTSTレジスタの対応するステータスフラグが“1”になります。このとき、GTINTADレジスタの対応する割り込み許可ビットが“1”であれば、割り込みを要求します。

(2) オーバフロー/アンダフロー (周期) 割り込み

各チャンネルのGTPRレジスタの設定によって割り込みの間隔が決まる周期割り込みを発生させることができます。

のこぎり波でアップカウント動作の場合は、GTCNTカウンタ値がGTPRレジスタと一致したとき（オーバフロー）にGTST.TCFPOフラグが“1”の状態、のこぎり波でダウンカウント動作の場合は、GTCNTカウンタ値が“0”となったとき（アンダフロー）にGTST.TCFPUフラグが“1”になります。このとき、GTINTAD.GTINTPR[1:0]ビットの対応するビットが“01b”か“10b”か“11b”に設定されていれば、GTCIV割り込みを要求します。

三角波の場合、GTCNTカウンタ値がGTPRレジスタと一致したとき（山）にGTST.TCFPOフラグが“1”になり、GTCNTカウンタ値が“0”となったとき（谷）にGTST.TCFPUフラグが“1”になります。このとき、GTINTAD.GTINTPR[1:0]ビットの対応するビットが“01b”か“10b”か“11b”に設定されていれば、GTCIV割り込みを要求します。

(3) LOCO カウント機能割り込み

LCCRレジスタの対応する割り込み許可ビットが“1”であれば、LOCO分周クロックの立ち上がり検出、LOCOカウント値偏差超え、LCNTカウンタのオーバフローの発生により、LCSTレジスタの対応するステータスフラグが“1”になり、LOCOI割り込みを要求します。

同様に、GTETRIG外部トリガ入力の立ち上がり検出、立ち下がり検出の発生により、GTETINTレジスタの対応するステータスフラグが“1”になります。このとき、GTETINTレジスタの対応する割り込み許可ビットが“1”であれば、LOCOI割り込みを要求します。

(4) デッドタイムエラー割り込み

デッドタイムの自動設定がなされているとき、自動付加後のタイマ出力トグルポイントがタイマ周期を超えると GTST.DTEF フラグが“1”になります。このとき、GTINTAD.EINT ビットが“1”であれば、LOCOI 割り込みを要求します。

表 18.8 割り込み信号、割り込み許可ビット、ステータスフラグ

割り込み信号	割り込み許可	ステータス
GTCIV	GTINTAD[7:6](GTINTPR[1:0])	GTST[7] (TCFPU)
		GTST[6] (TCFPO)
GTCIE	GTINTAD[5] (GTINTF)	GTST[5] (TCFF)
	GTINTAD[4] (GTINTE)	GTST[4] (TCFE)
GTCIC	GTINTAD[11](EINT)	GTST[11] (DTEF)
	GTINTAD[3] (GTINTD)	GTST[3] (TCFD)
	GTINTAD[2] (GTINTC)	GTST[2] (TCFC)
GTCIB	GTINTAD[1] (GTINTB)	GTST[1] (TCFB)
GTCIA	GTINTAD[0] (GTINTA)	GTST[0] (TCFA)
LOCOI	LCCR[6] (LCINTO)	LCST[2] (LISO)
	LCCR[5] (LCINTD)	LCST[1] (LISD)
	LCCR[4] (LCINTC)	LCST[0] (LISC)
	GTETINT[1] (ETINEN)	GTETINT[9] (ETINF)
	GTETINT[0] (ETIPEN)	GTETINT[8] (ETIPF)

(5) 割り込み要因を同時使用する場合の注意事項

複数の割り込み要因を多重している割り込み GTCIC_n、GTCIE_n、GTCIV_n、LOCOI (n=0, 1, 2, 3) において、ある要因 (例えば、GTCIC_n の TCFC フラグ) により、ICUA の割り込み要求フラグ (IR フラグ) が“1”になっている間に、ある要因 (GTCIC_n の TCFC フラグ) と多重している別の要因 (GTCIC_n の TCFD フラグ) の割り込み要求が発生しても、別の要因 (GTCIC_n.TCFD フラグ) の割り込み要求は無視されます。

そのため、多重している複数の割り込み要因を同時に使用する場合は、割り込み処理ルーチンにおいて、使用する割り込み要因のフラグをすべて確認し、アサートされている要因のフラグそれぞれに応じた処理を行ってください。

18.4.2 DTC の起動

各チャンネルの割り込みによって、DTC を起動することができます。詳細は「11. 割り込みコントローラ (ICU)」、「14. データトランスファコントローラ (DTC)」を参照してください。

ただし、割り込み処理同様に、該当するスタートスフラグが“1”の状態での DTC 起動要求は無視されますので、再度 DTC 起動要求を可能にするには、該当するステータスフラグを“0”にしてください。

18.4.3 割り込み、A/D 変換要求の間引き機能

GTITC レジスタの設定により、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ) / アンダフロー割り込み (GTCIV) を間引くことができます。また、他の割り込み、および A/D 変換要求を GTCIV 割り込み間引き機能と連動して間引くことができます。ただし、デッドタイムエラー割り込みは GTCIV 割り込み間引き機能と連動することはできません。なお、割り込みを間引いた場合は対応するステータスフラグの変化も間引かれ、ステータスフラグが“1”になっている間も間引き機能は動作を続けます。

また、三角波で谷/山両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GTCIV 割り込み要求が発生しません。三角波で谷/山両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GTCIV 割り込みを使用する場合は、間引き回数を偶数に設定してください。

同様に、のこぎり波でカウント方向を変えながらオーバフロー/アンダフロー両方をカウントして間引く場合、オーバフローのみ、もしくはアンダフローのみでの GTCIV 割り込み要求が発生しない場合があります。のこぎり波でカウント方向を変えながらオーバフロー/アンダフロー両方をカウントして間引き、かつ、オーバフローのみ、もしくはアンダフローのみでの GTCIV 割り込みを使用する場合は、間引き状態を十分検討の上、使用してください。

なお、間引き回数を変更する場合は、間引き機能を一旦解除 (GTITC.IVTC[1:0]=00b) してから行ってください。

間引き機能の動作例を図 18.72 ~ 図 18.77 に示します。

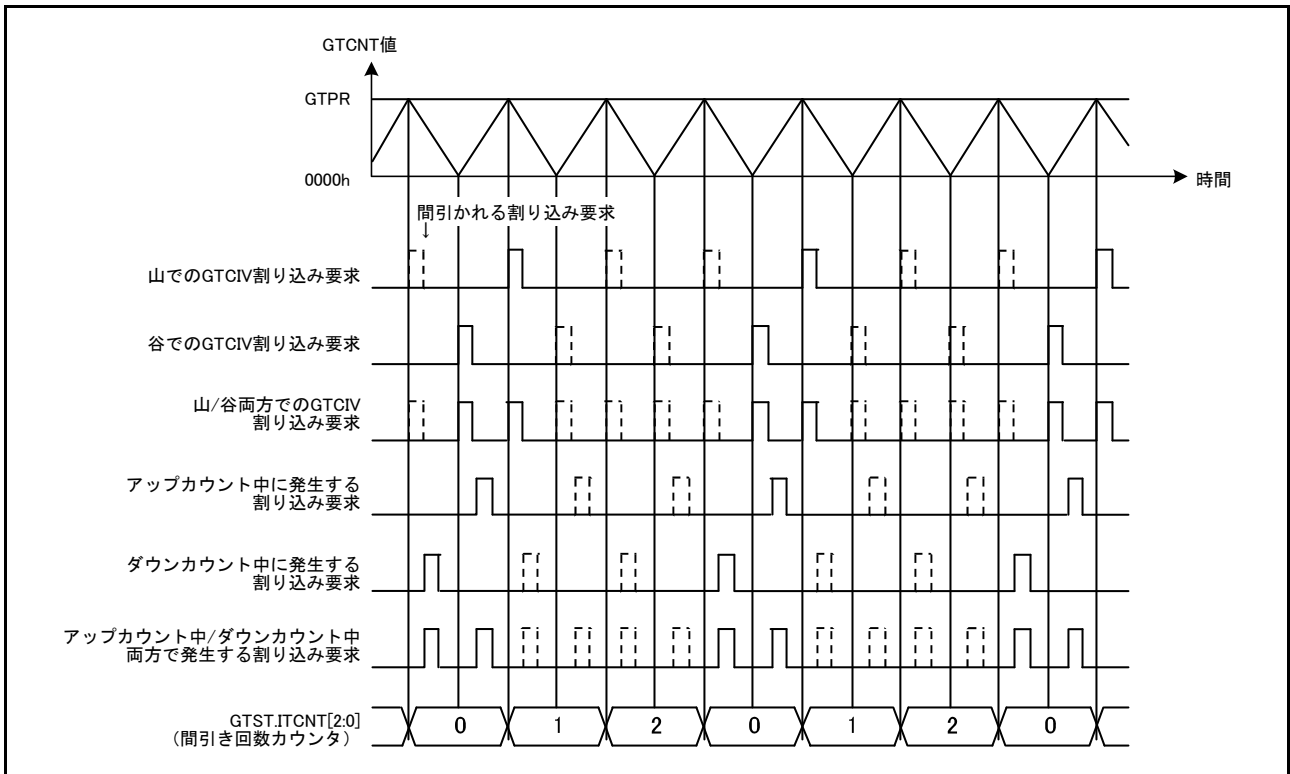


図 18.72 割り込み間引き機能の動作例 (三角波、山をカウントして間引き、間引き回数 2 の場合)

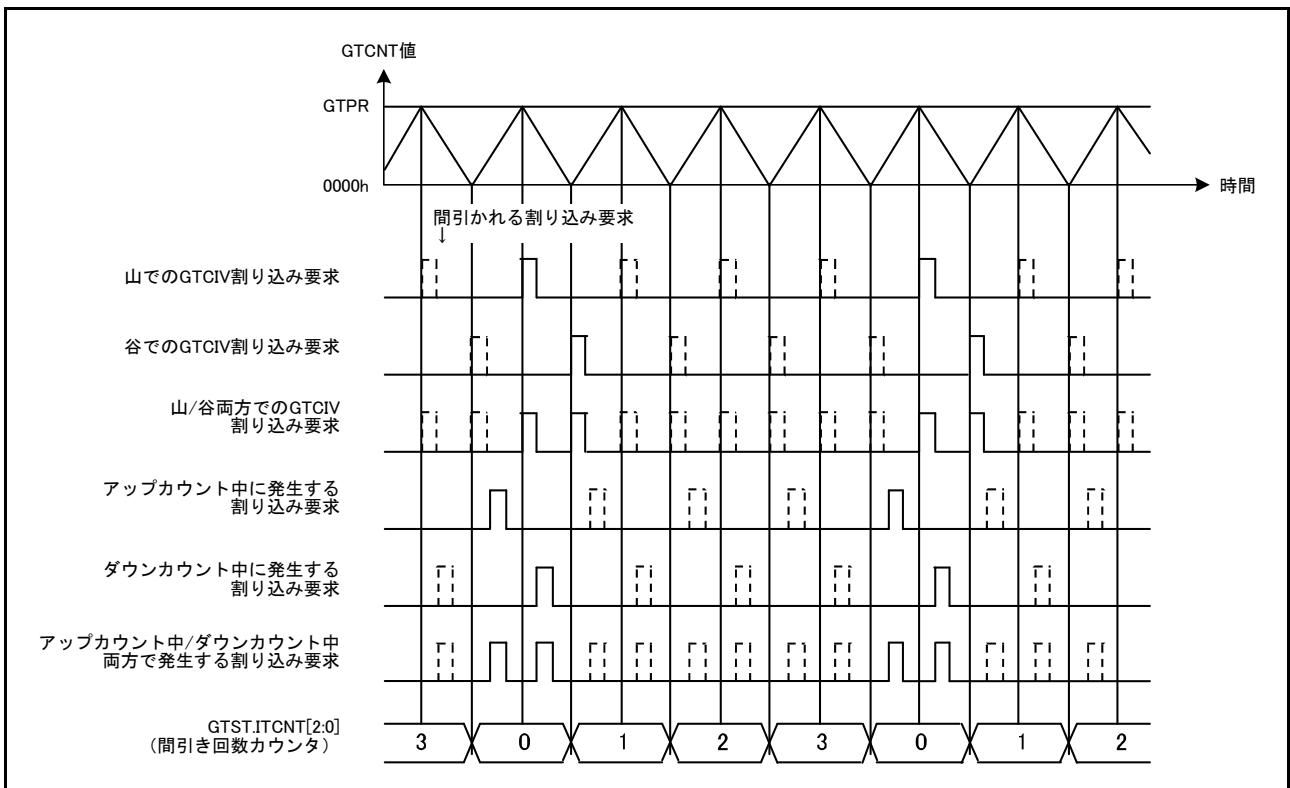


図 18.73 割り込み間引き機能の動作例 (三角波、谷をカウントして間引き、間引き回数 3 の場合)

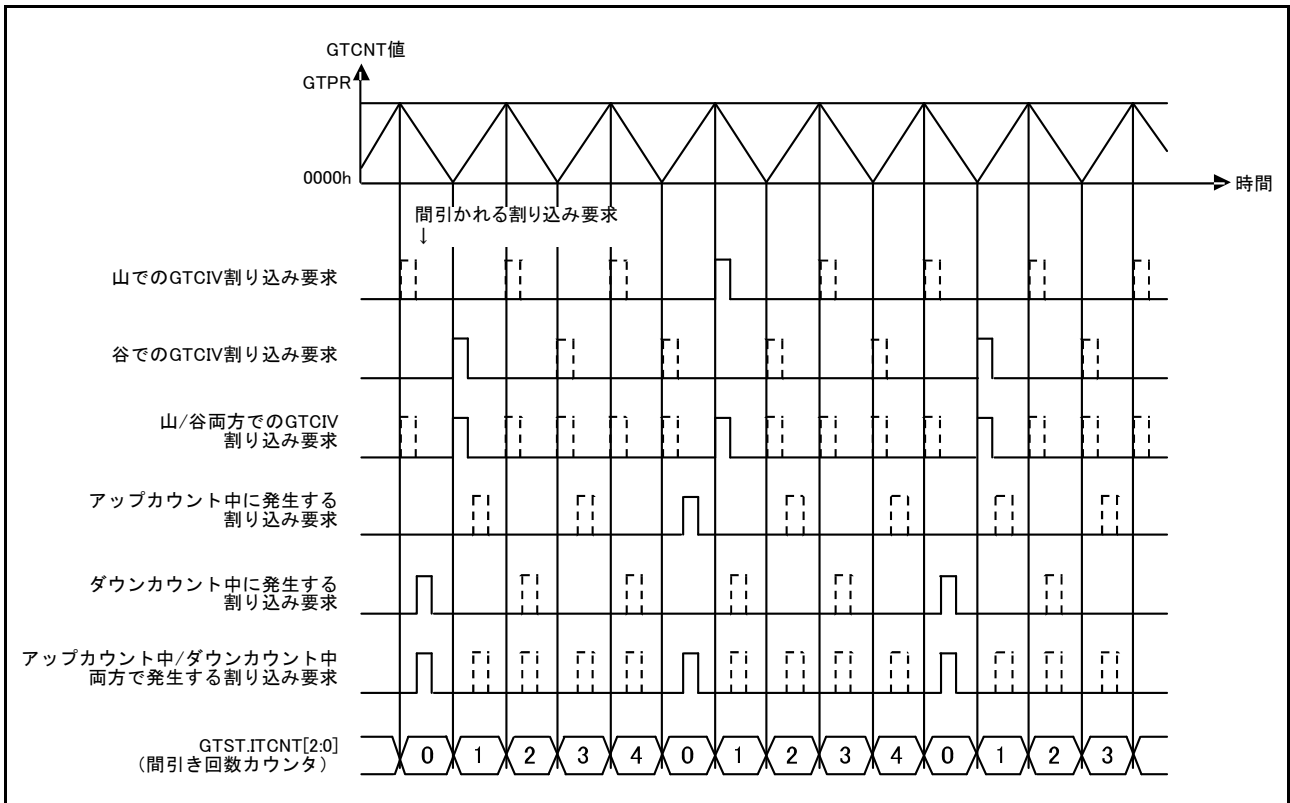


図 18.74 割り込み間引き機能の動作例 (三角波、谷/山両方をカウントして間引き、間引き回数 4 の場合)

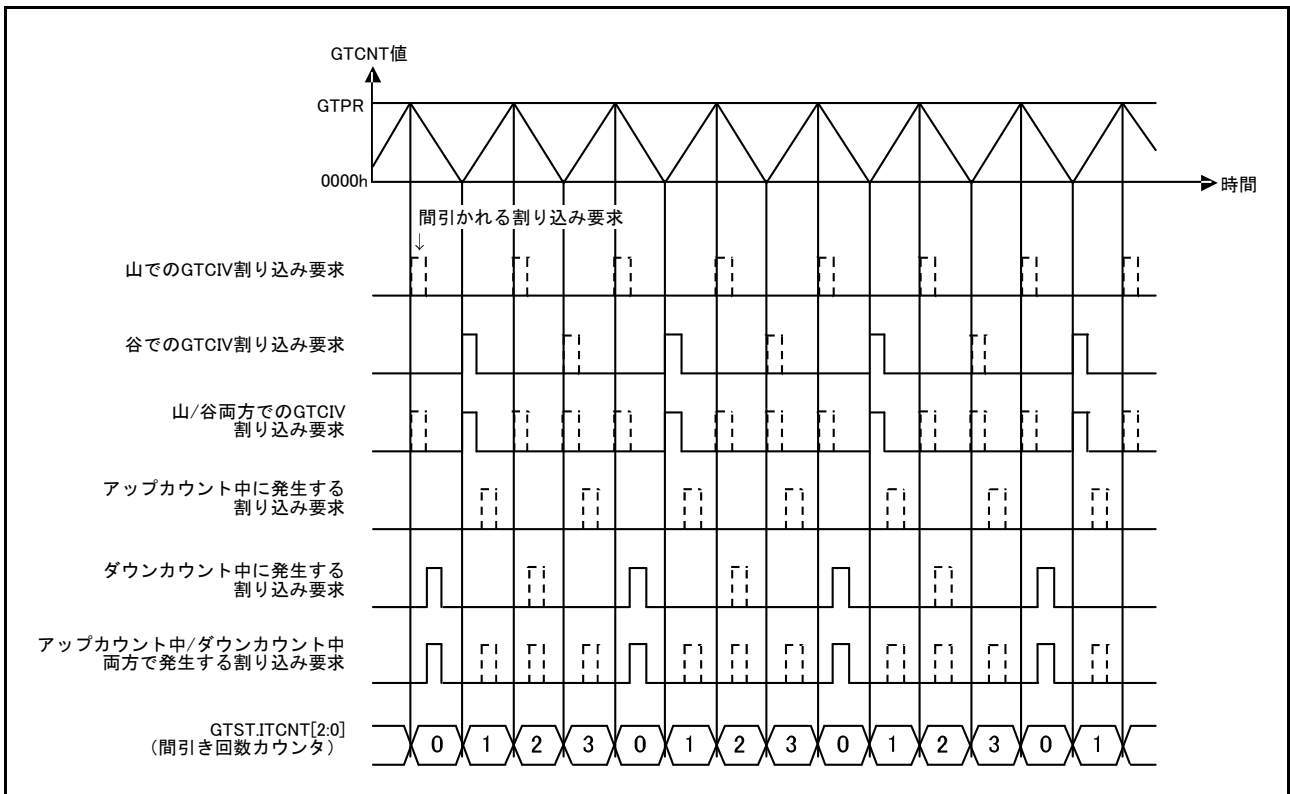


図 18.75 割り込み間引き機能の動作例 (三角波、谷/山両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合)

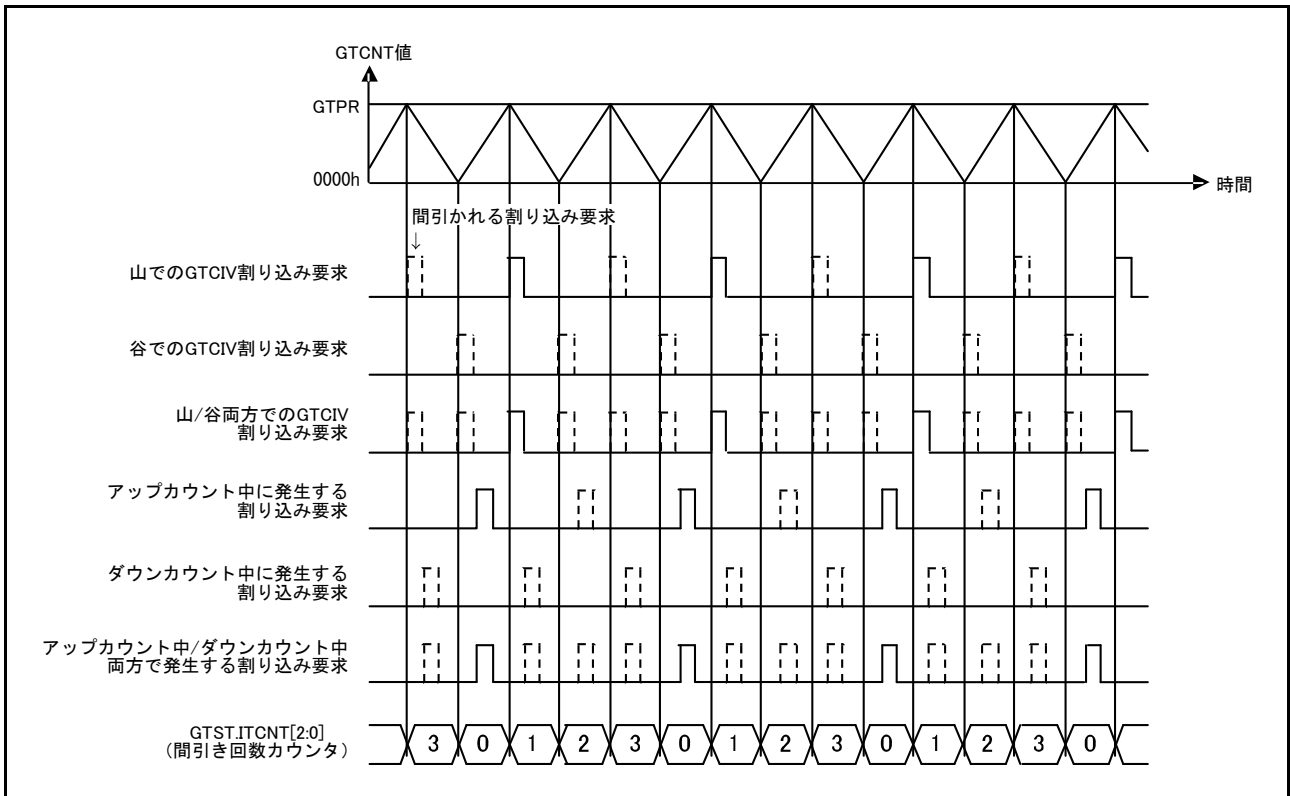


図 18.76 割り込み間引き機能の動作例
 (三角波、谷 / 山両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合)

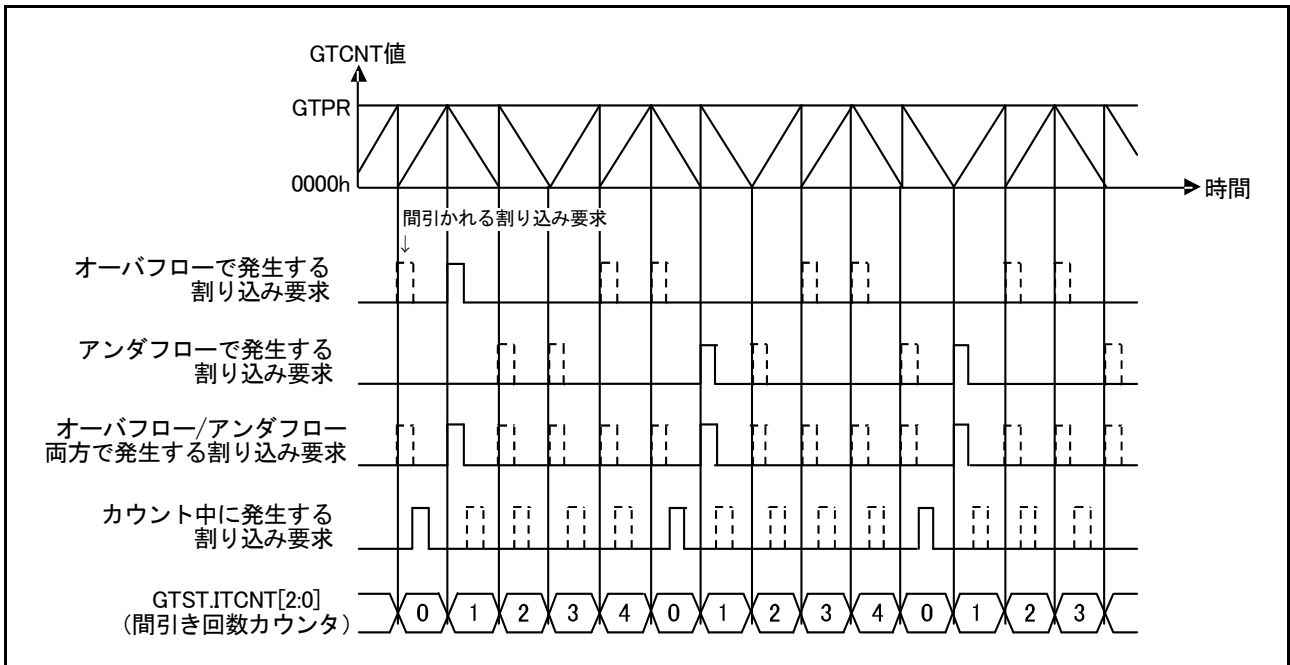


図 18.77 割り込み間引き機能の動作例
 (のこぎり波でカウント方向を切替えながら動作、オーバーフロー/アンダフロー両方をカウントして間引き、間引き回数 4 の場合)

18.5 A/D 変換開始要求

GTCNTカウンタとGTADTRAレジスタ、GTADTRBレジスタのコンペアマッチで、A/D変換開始要求を発生させることができます。それぞれアップカウント時のみ、ダウンカウント時のみ、またはアップカウント/ダウンカウント両方でA/D変換開始要求を発生させることができます。

GTADTRAレジスタ、GTADTRBレジスタにはバッファレジスタがそれぞれ2本ずつあり、GTADTRAレジスタとGTADTBRAレジスタ、GTADTDBRAレジスタを組み合わせたバッファ動作、GTADTRBレジスタとGTADTBRBレジスタ、GTADTDBRBレジスタを組み合わせたバッファ動作が可能です。

図 18.78 に A/D 変換開始要求の動作例を、図 18.79 に A/D 変換開始要求の動作設定例を示します。

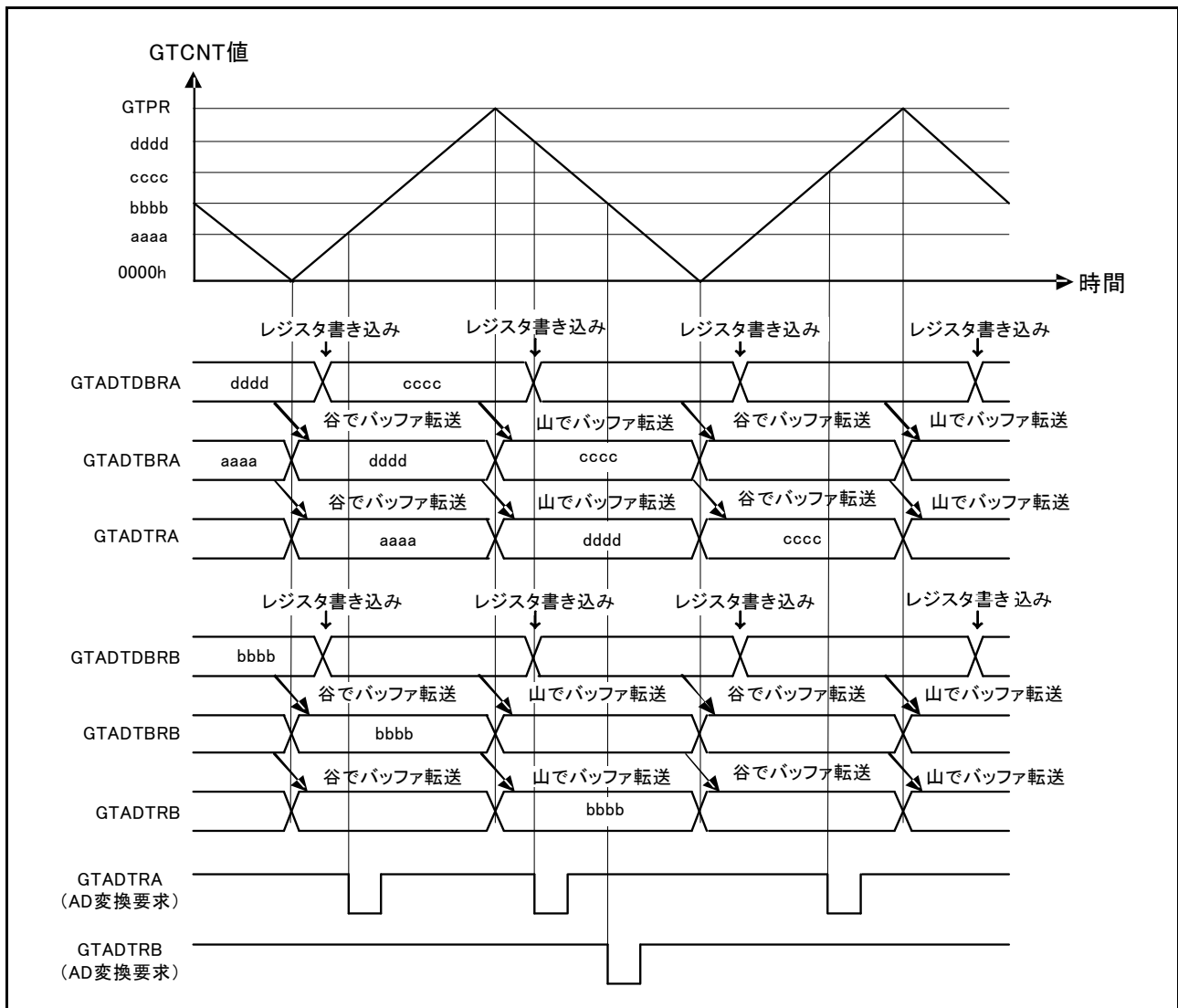


図 18.78 A/D 変換開始要求の動作例
 (三角波、ダブルバッファ動作、谷/山両方でバッファ転送、GTADTRA0 はアップカウント/
 ダウンカウント両方で A/D 変換開始要求、GTADTRB0 はダウンカウントで A/D 変換開始要求
 を発生の場合)

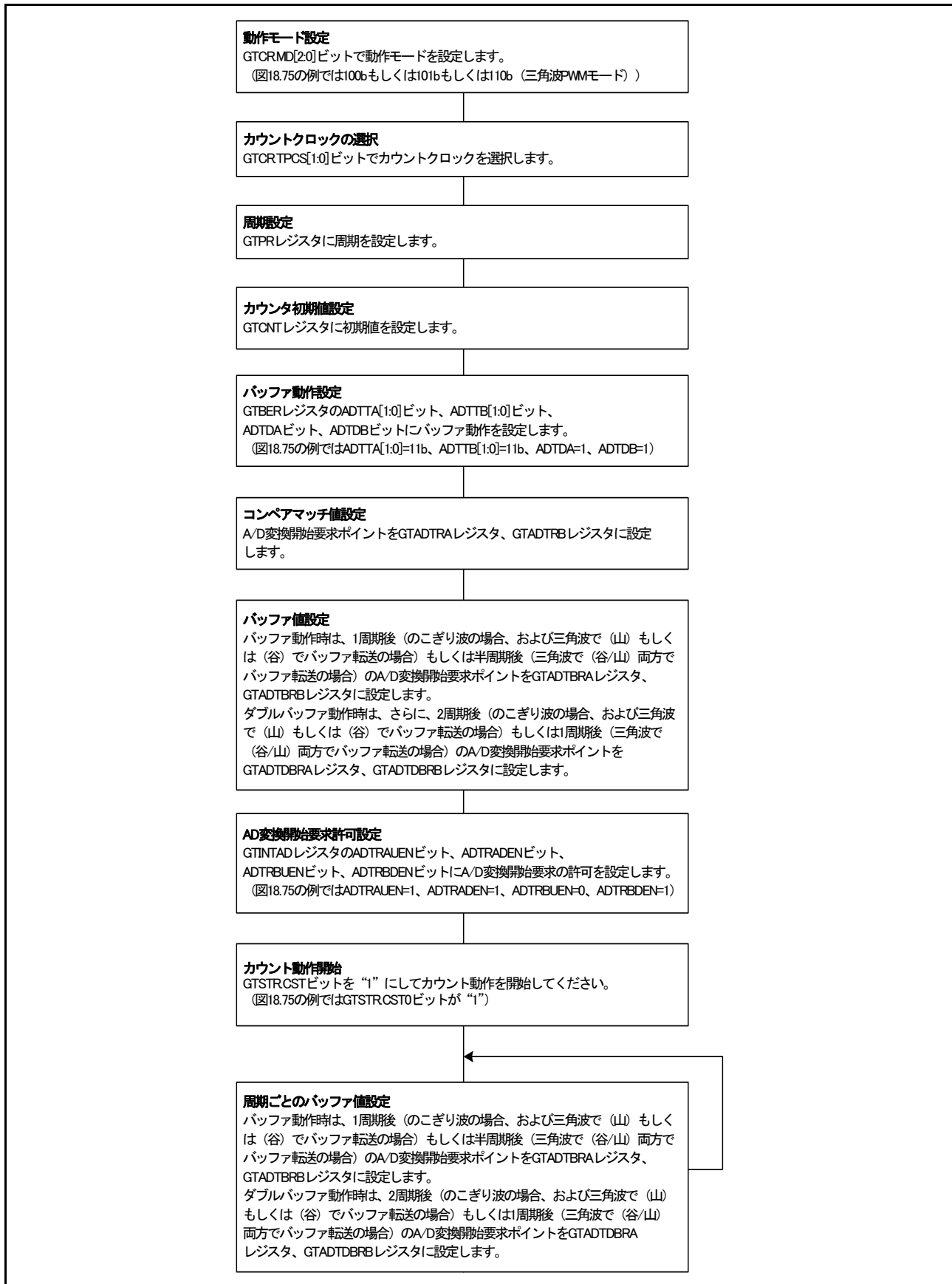


図 18.79 A/D 変換開始要求タイミング動作設定例

18.6 LOCO カウント機能

RX62TRX62Gに内蔵されている独立ウォッチドッグタイマ (IWDT) 専用低速オンチップオシレータ (LOCO) の周期を計測することができます。この機能により、メインクロック発振周波数の異常検出が可能です。

計測対象とする LOCO クロック (LOCO 分周クロック) は、LOCO クロックを 1 分周、16 分周、128 分周、256 分周したクロックから選択でき、LOCO 分周クロックを計測するカウントクロックは、ICLK を 1 分周、2 分周、4 分周、8 分周したクロックから選択できます。

LOCO 分周クロックをカウントクロックで LCNT カウンタがカウントします。過去 16 回のカウント結果が LCNT00 ~ LCNT15 レジスタに格納 (最新のカウント結果は LCNT00 に格納) されます。過去 16 回のカウント結果の平均値を自動計算して LCNTA レジスタに格納します。

LOCO 分周クロックの立ち上がりを検出した場合、LOCO 分周クロック立ち上がり割り込み要求を発生することができます。LOCO 分周クロック立ち上がり割り込み要求は間引くことができ、このとき、カウント結果も間引くことができます。カウント結果 (LCNT00 レジスタ値) が上限値/下限値を超えた場合、LOCO 偏差超え割り込み要求を発生することができます。上限値/下限値は LCNTDU レジスタ/LCNTDL レジスタで設定でき、上限値は (LCNTA レジスタ値 + LCNTDU レジスタ値)、下限値は (LCNTA レジスタ値 - LCNTDL レジスタ値) となります。LOCO 分周クロックが遅くて LCNT カウンタがオーバフローした場合、LCNT オーバフロー割り込み要求を発生することができます。なお、割り込みはすべて LOCOI 割り込みとして出力されますので、割り込み発生後に各ステータスフラグを読み出して割り込み要因を判定してください。

LOCO カウント機能を使用する場合は、必ず独立ウォッチドッグタイマ (IWDT) を動作させてください。

表 18.9 に LOCO カウント機能の周期設定例を示します。

図 18.80 に LOCO カウント機能の動作例を、図 18.81 に設定例を示します。

表 18.9 LOCO カウント機能の周期設定例

LOCO分周クロック		カウントクロック		カウント結果の理想値
LCCR.LPSC[1:0] ビットの設定	周波数	LCCR.TPSC[1:0] ビットの設定	周波数 (ICLK=100MHz時)	
00 (1分周)	125KHz	00 (1分周)	100MHz	320h
01 (16分周)	7.81KHz	00 (1分周)	100MHz	3200h
10 (128分周)	976Hz	10 (4分周)	25MHz	6400h
11 (256分周)	488Hz	11 (8分周)	12.5MHz	6400h

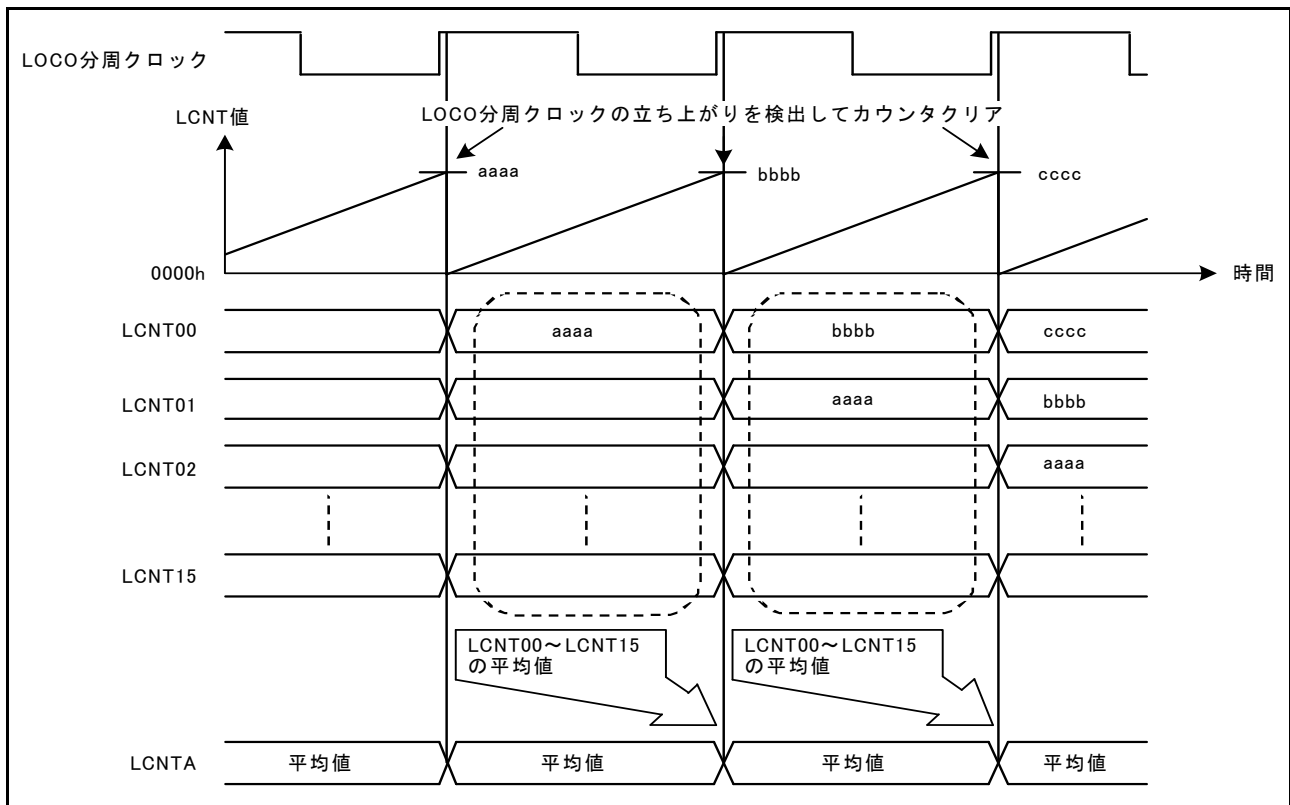


図 18.80 LOCO カウント機能の動作例

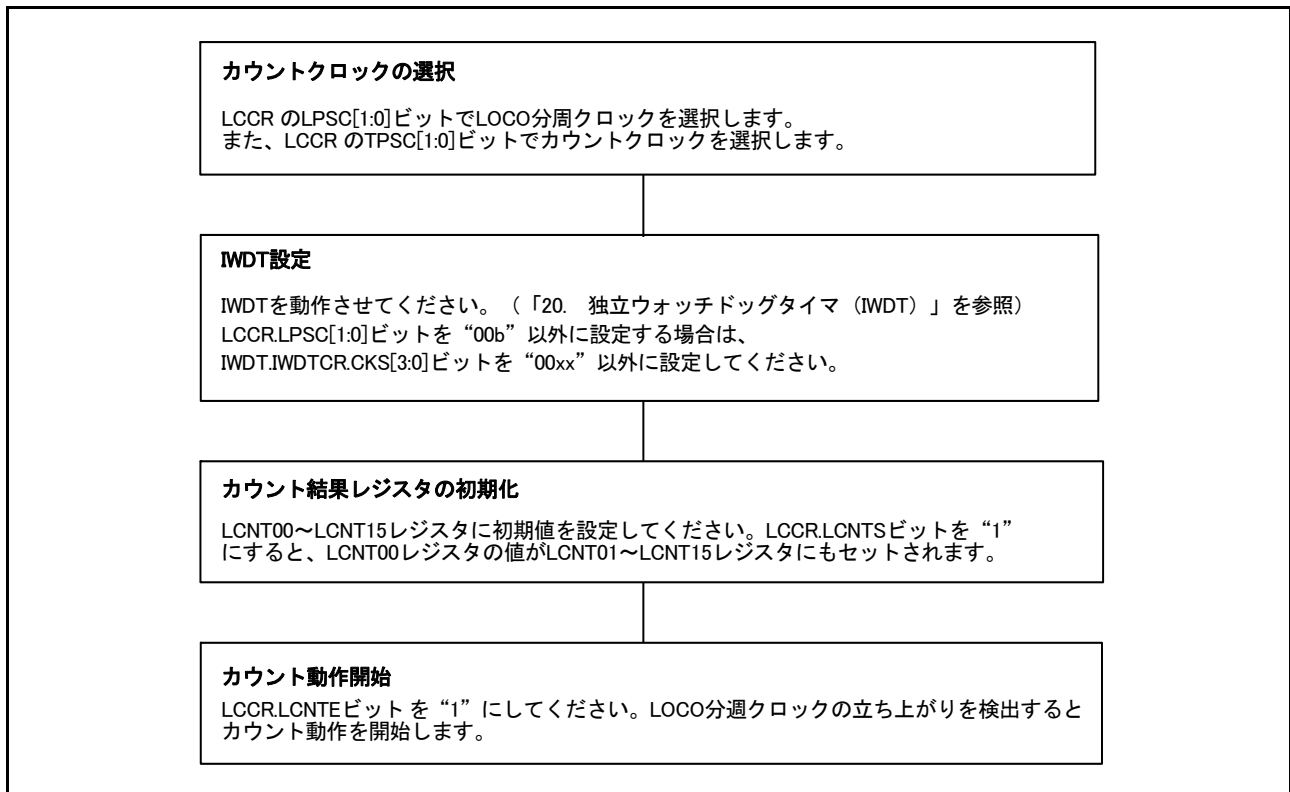


図 18.81 LOCO カウント機能の設定例

LOCO 分周クロックは立ち上がり割り込み要求は間引くことができ、このときカウント結果も間引くことができます。間引き回数は LCCR.LCCTO[2:0] ビットで 7 回、15 回、127 回、255 回から選択できます。また、カウント結果を間引くかどうかは LCCR.LCNTAT ビットで選択します。

図 18.82 にカウント結果は間引かない場合の動作例を、図 18.83 にカウント結果も間引く場合の動作例を示します。

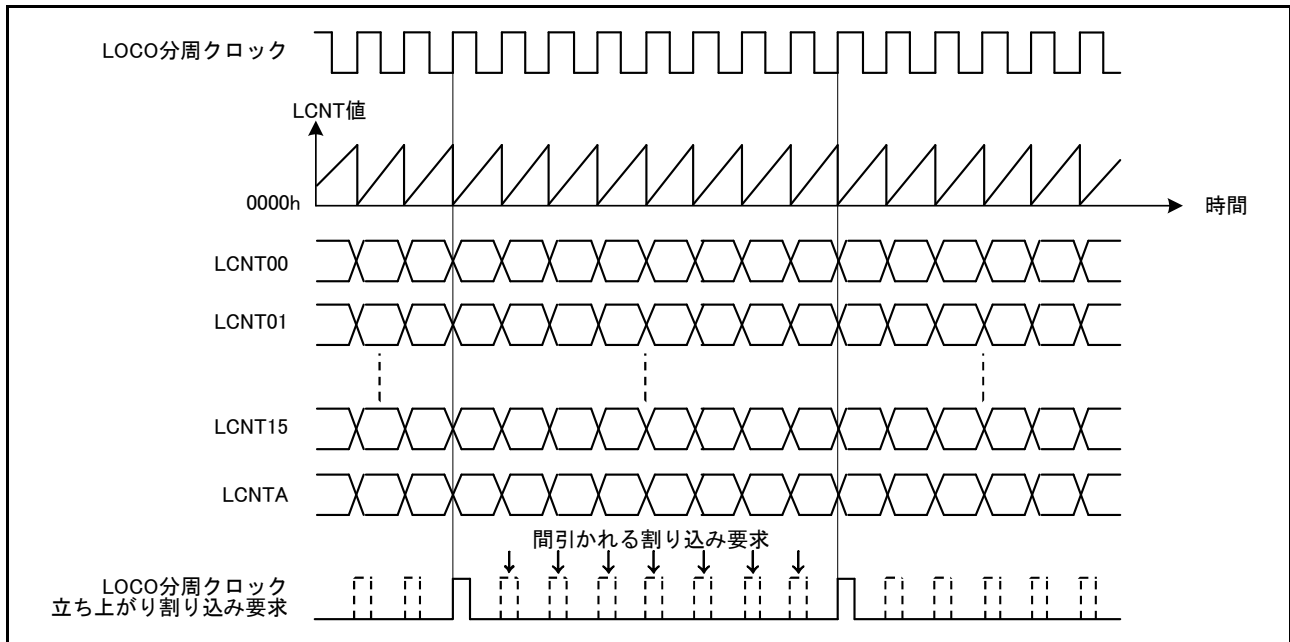


図 18.82 LOCO カウント間引き機能の動作例 (間引き回数 7、カウント結果は間引かない場合)

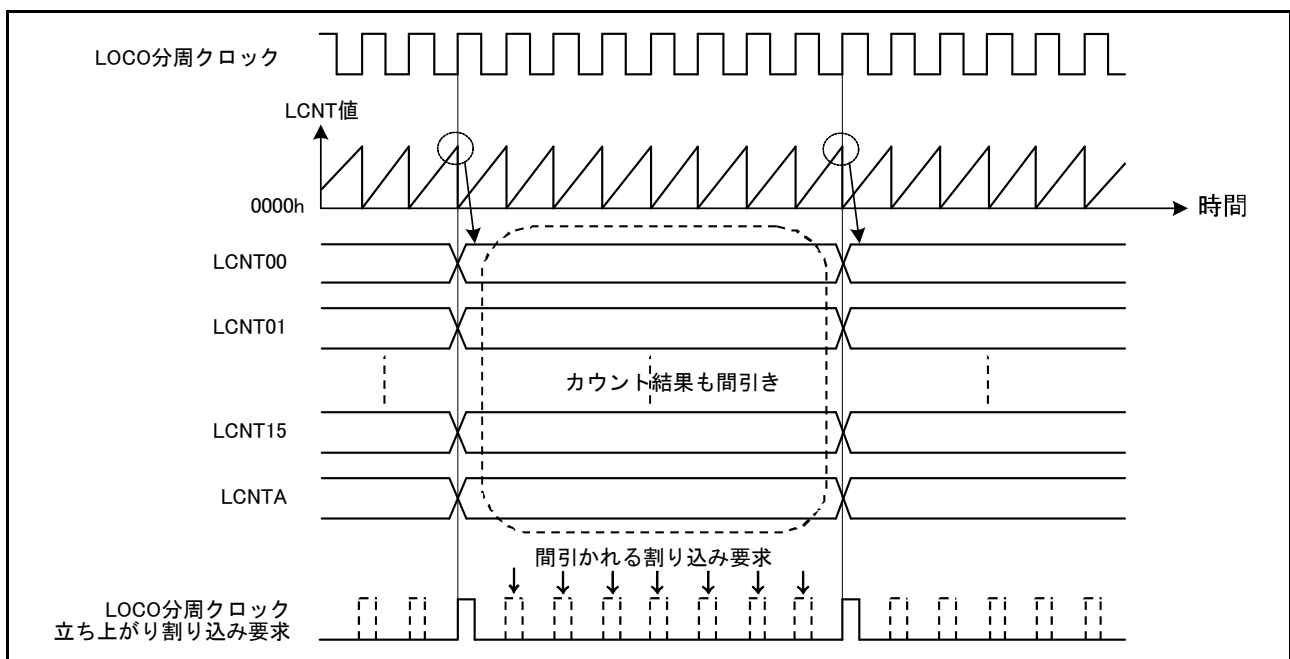


図 18.83 LOCO カウント間引き機能の動作例 (間引き回数 7、カウント結果も間引く場合)

18.7 保護機能

18.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防ぐために、GTWP.WPn ビットの設定でレジスタへの書き込みをチャンネルごとに禁止することができます (n=0 ~ 3)。

書き込み禁止が可能なレジスタは、下記のとおりです。

GPTn.GTIOR、GPTn.GTINTAD、GPTn.GTCR、GPTn.GTBER、GPTn.GTUDC、GPTn.GTITC、GPTn.GTST、GPTn.GTCNT、GPTn.GTCCRA、GPTn.GTCCRB、GPTn.GTCCRC、GPTn.GTCCRD、GPTn.GTCCRE、GPTn.GTCCRF、GPTn.GTPR、GPTn.GTPBR、GPTn.GTPDBR、GPTn.GTADTRA、GPTn.GTADTBRA、GPTn.GTADTDBRA、GPTn.GTADTRB、GPTn.GTADTBRB、GPTn.GTADTDBRB、GPTn.GTONCR、GPTn.GTDTCR、GPTn.GTDVU、GPTn.GTDVD、GPTn.GTDBU、GPTn.GTDBD、GPTn.GTSOS、GPTn.GTSOS、GPTn.GTSOTR

18.7.2 バッファ動作の抑止

バッファレジスタの書き込みがバッファ転送タイミングに間に合わない場合、GTBDR レジスタの設定でバッファ動作を禁止することができます。バッファレジスタの書き込み前に GTBDR レジスタの対応するビットを“1” (バッファ動作禁止) にしておき、すべてのバッファレジスタの書き込み終了後に“0” (バッファ動作許可) にすることで、バッファレジスタ書き込み中にバッファ転送条件が発生してもバッファ転送を一時的に禁止することができます。

図 18.84 にバッファ動作の抑止動作例を示します。

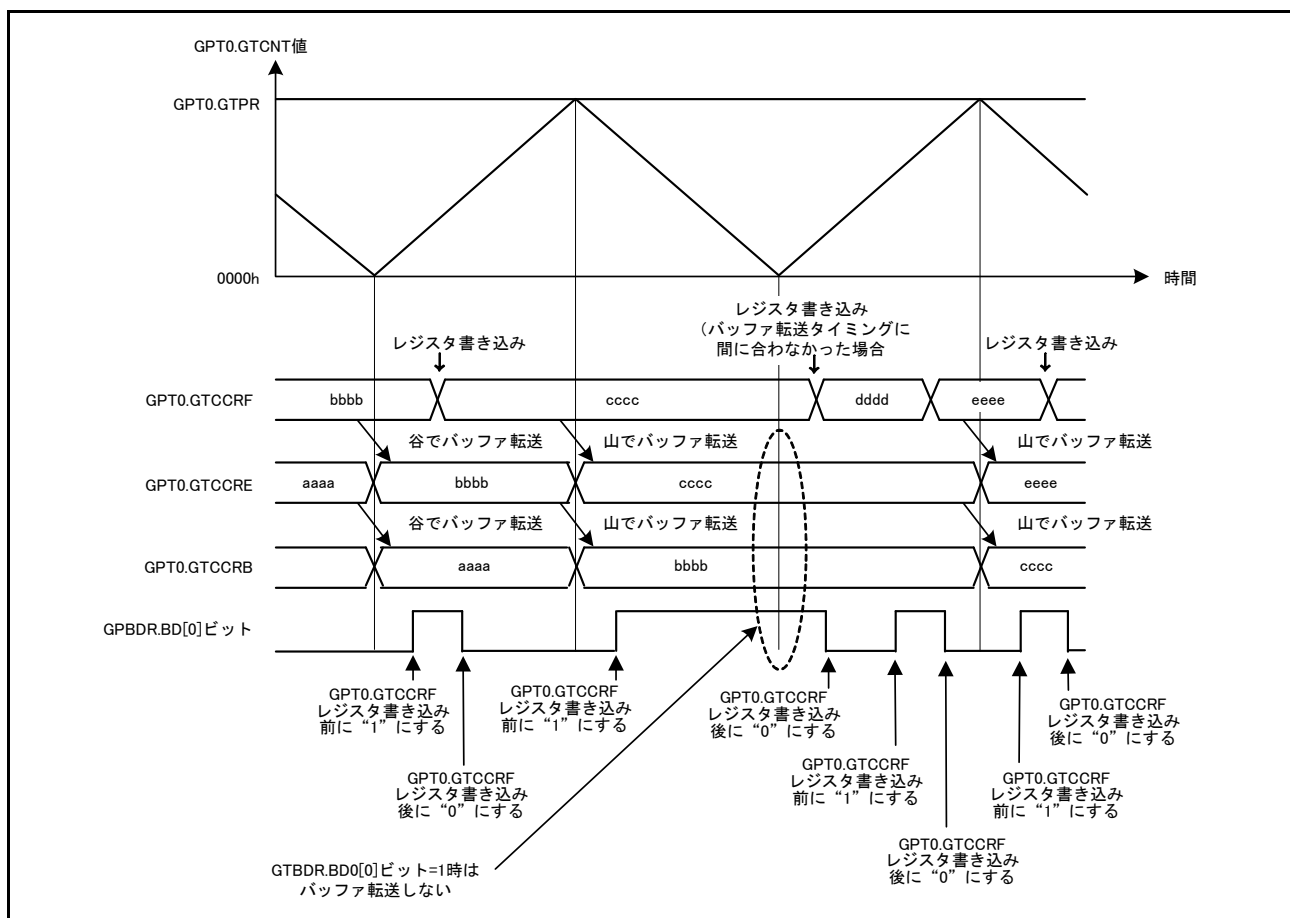


図 18.84 バッファ動作の抑止動作例 (三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送の場合)

18.7.3 GTIOC 端子出力のネゲート制御

システム異常時の保護のため、GTONCR レジスタの設定で GTIOC 端子出力をネゲート制御（非アクティブレベル化）することができます。ネゲート制御要因としては、コンパレータ検出、GTETRГ 端子入力、GTONCR.SWN ビットへの書き込みの3種類があります。

図 18.85 に GTIOC 端子出力のネゲート制御動作例を示します。

なお、ネゲート制御が行われた場合、ネゲート制御要因が消滅しても同一周期内ではネゲート制御は解除されず、次の周期で解除されます。

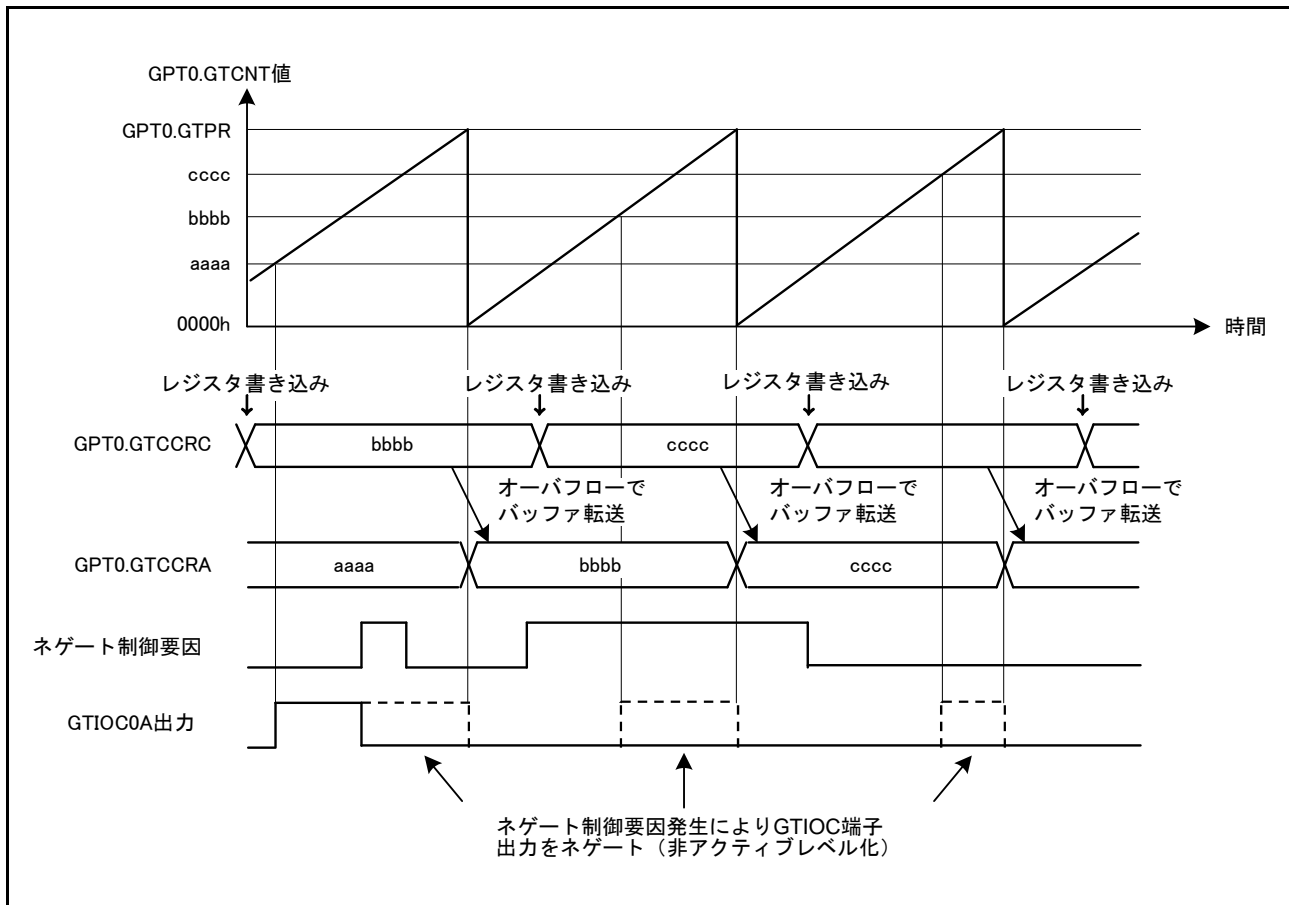


図 18.85 GTIOC 端子出力のネゲート制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベルは "High" (GTCCRА コンペアマッチで High 出力、周期の終わりで Low 出力))

18.7.4 GTIOC 端子出力の出力保護機能

GTCCRA レジスタに異常値が設定 ($0 < GTCCRA < GTPR$ の範囲外に設定) された場合に備え、三角波 PWM モードでデッドタイム自動設定 (GTDTCR.TDE ビットが“1”) をしている場合、GTIOC 端子出力の出力保護機能 (抑止機能) が動作します。

出力保護機能の動作状態は、GTSOS.SOS[1:0] ビットを読むことにより確認することができます。

図 18.86 に出力保護機能の状態遷移を示します。

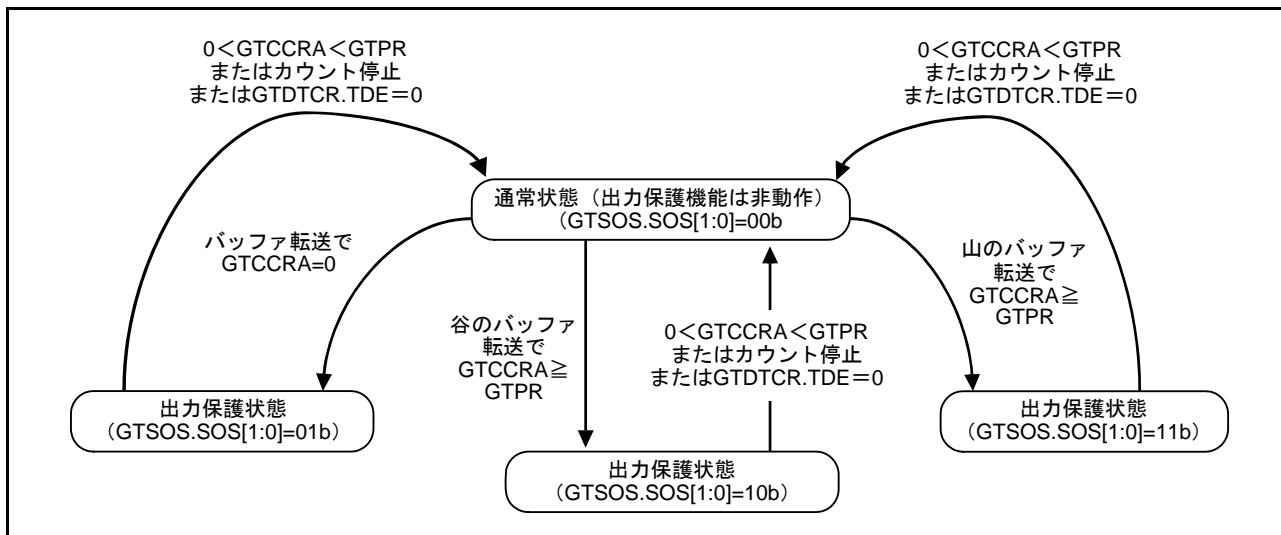


図 18.86 出力保護機能

(1) バッファ転送で GTCCRA が“0”である場合の出力保護機能

図 18.87、図 18.88 に谷のバッファ転送で GTCCRA が“0”である場合、図 18.89、図 18.90 に山のバッファ転送で GTCCRA が“0”である場合の出力保護機能の動作例を示します。

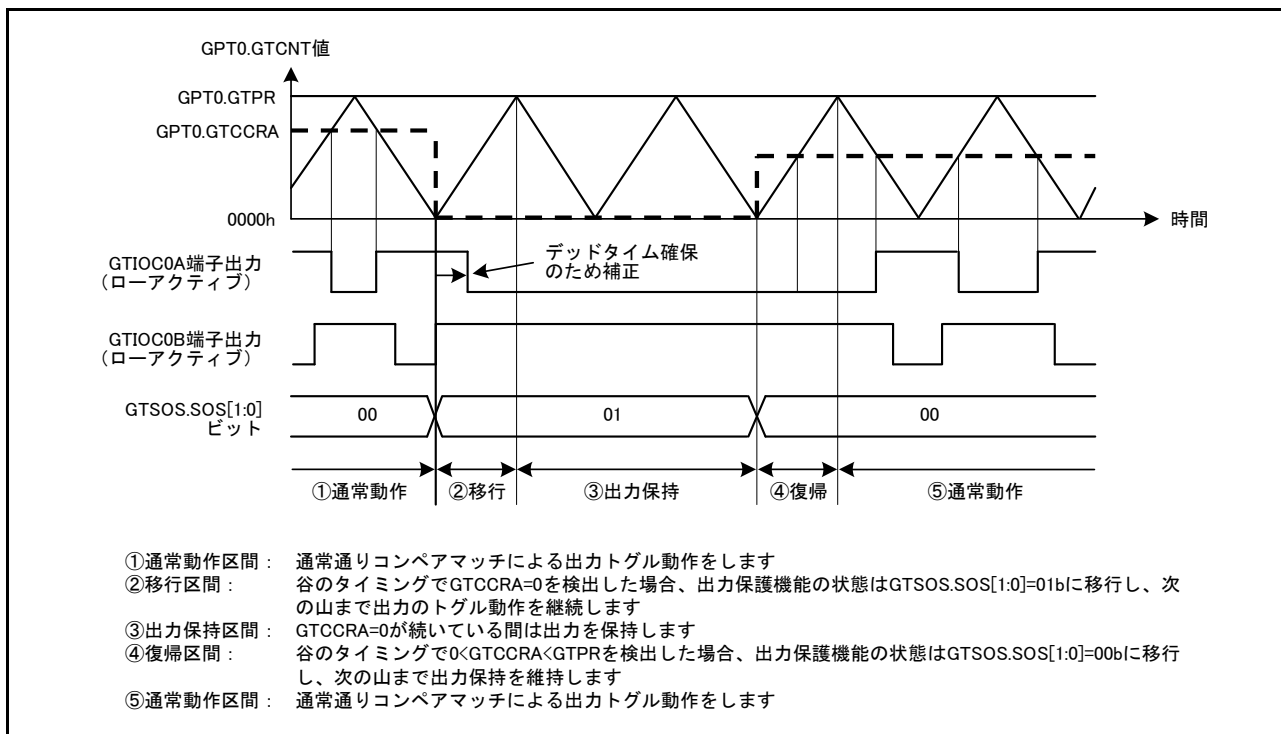


図 18.87 谷のバッファ転送で GTCCRA が“0”である場合の出力保護機能の動作例 (谷のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは“Low”の場合)

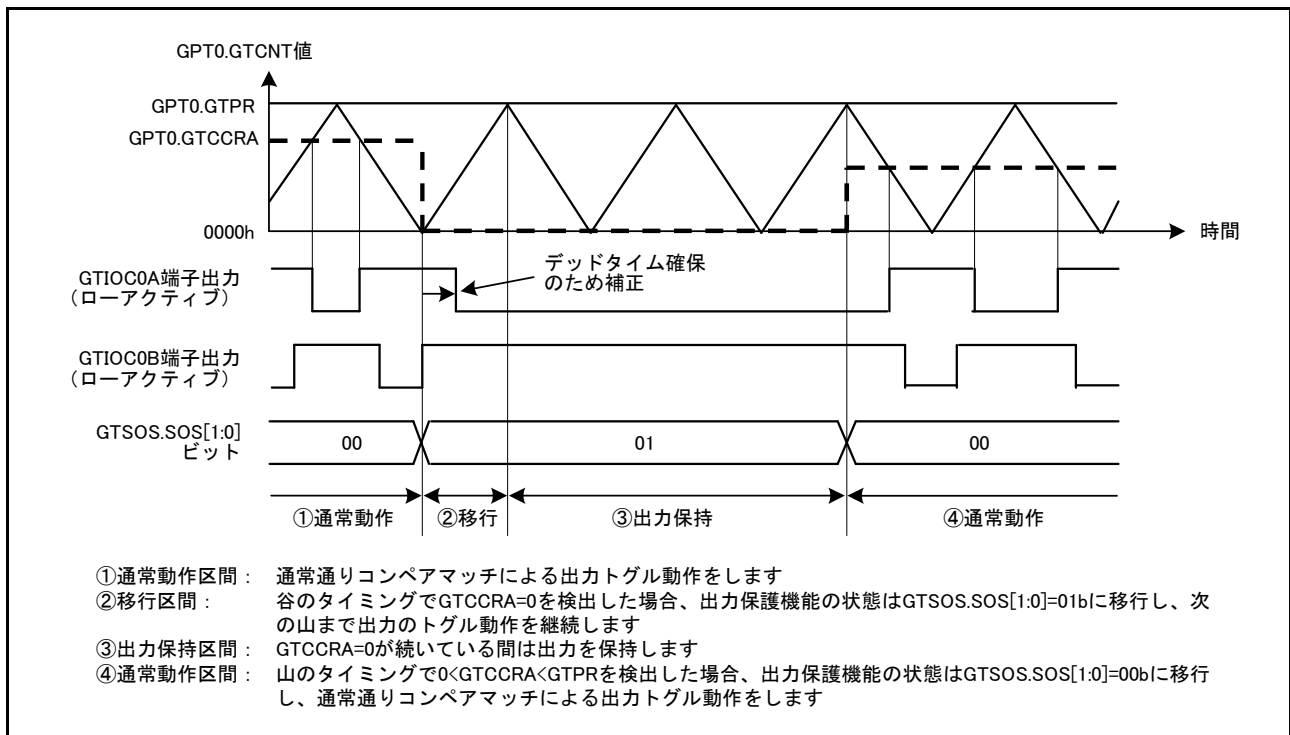


図 18.88 谷のバッファ転送で GTCRA が “0” である場合の出力保護機能の動作例
 (山のバッファ転送で $0 < GTCRA < GTPR$ に復帰、アクティブレベルは “Low” の場合)

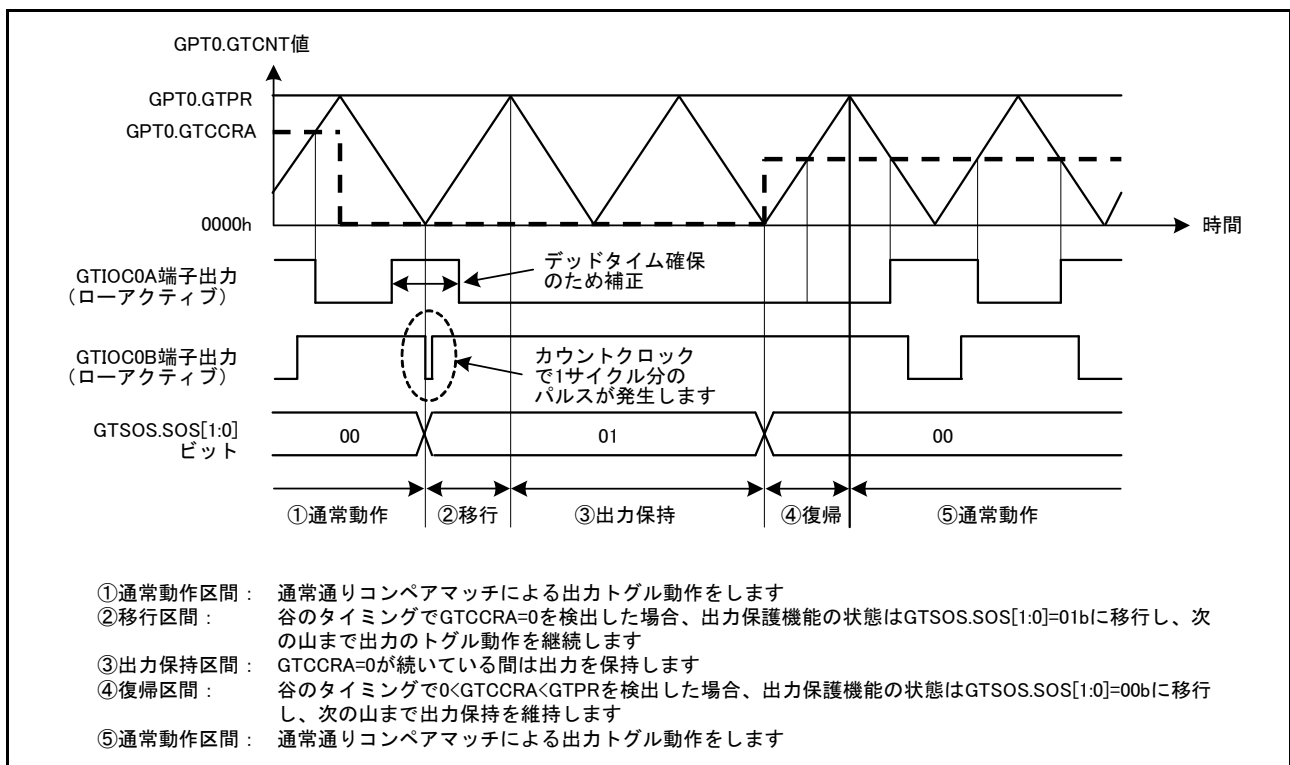


図 18.89 山のバッファ転送で GTCRA が “0” である場合の出力保護機能の動作例
 (谷のバッファ転送で $0 < GTCRA < GTPR$ に復帰、アクティブレベルは “Low” の場合)

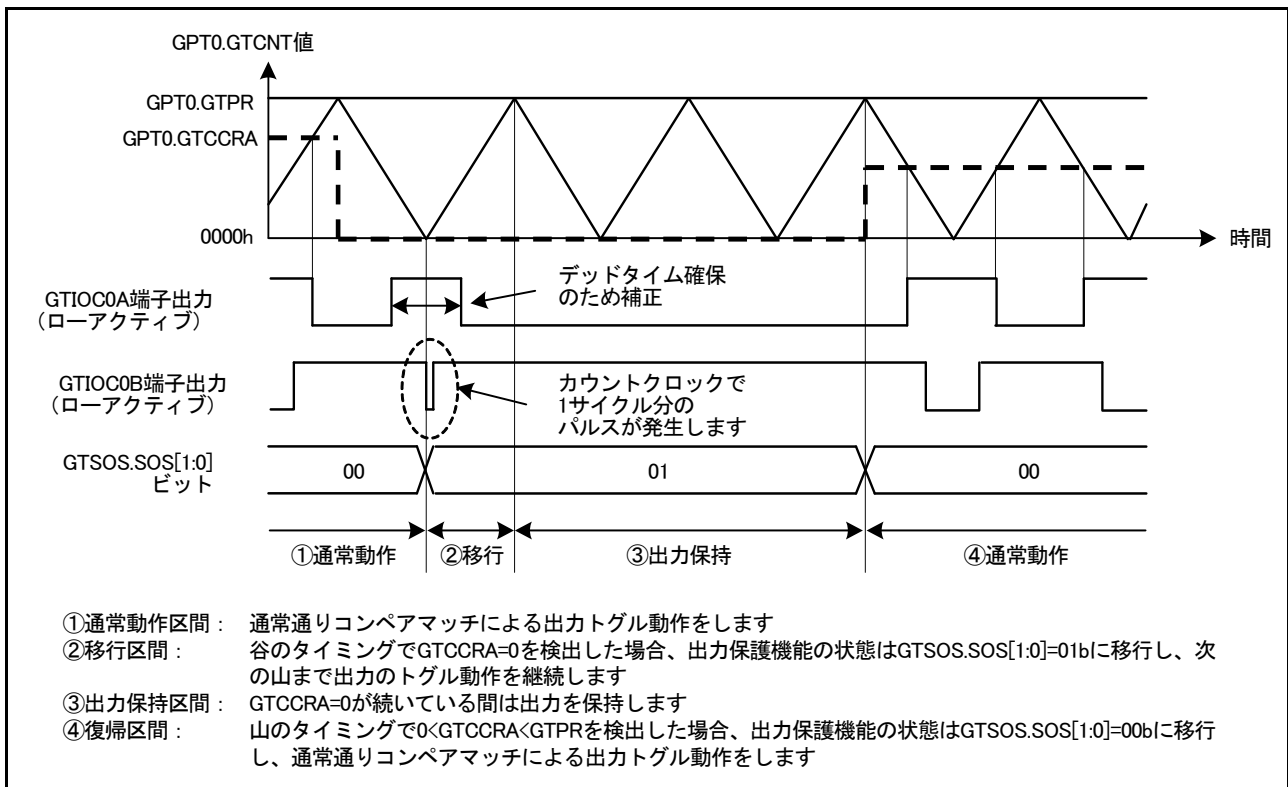


図 18.90 山のバッファ転送で GTCCRA が “0” である場合の出力保護機能の動作例
 (山のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは “Low” の場合)

(2) 谷のバッファ転送で $GTCCRA \geq GTPR$ が設定された場合の出力保護機能

図 18.91、図 18.92 に谷のバッファ転送で $GTCCRA \geq GTPR$ が設定された場合の出力保護機能の動作例を示します。

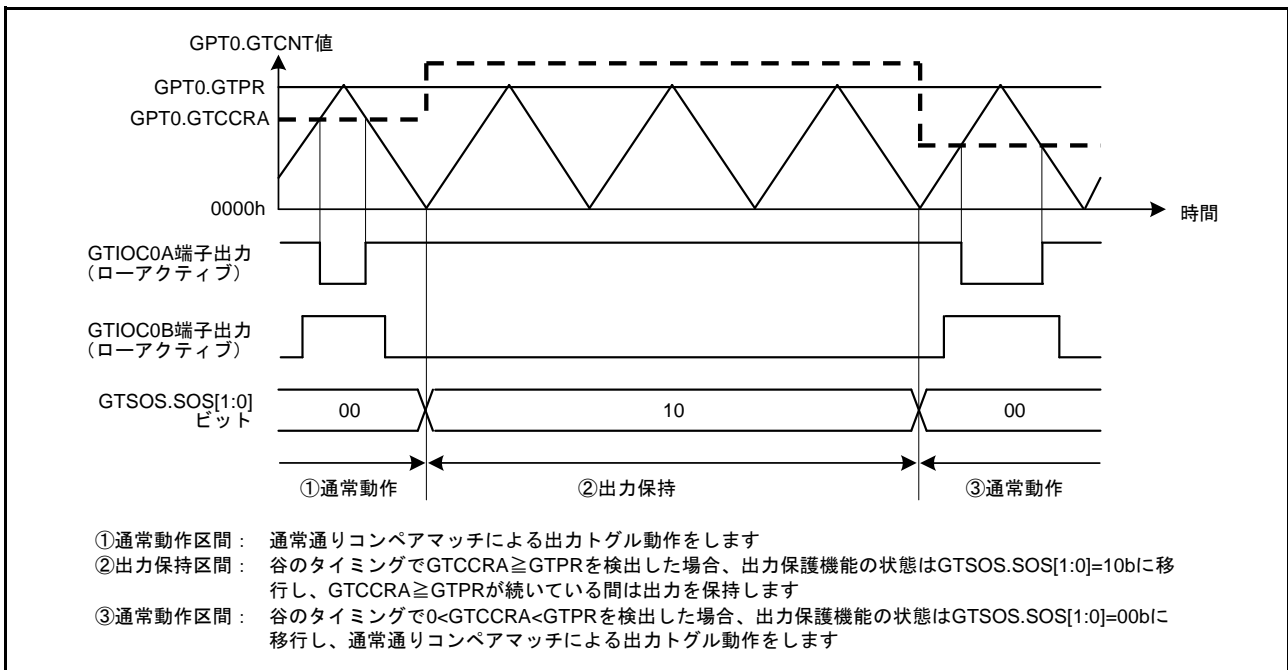


図 18.91 谷のバッファ転送で $GTCCRA \geq GTPR$ が設定された場合の出力保護機能の動作例
 (谷のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは “Low” の場合)

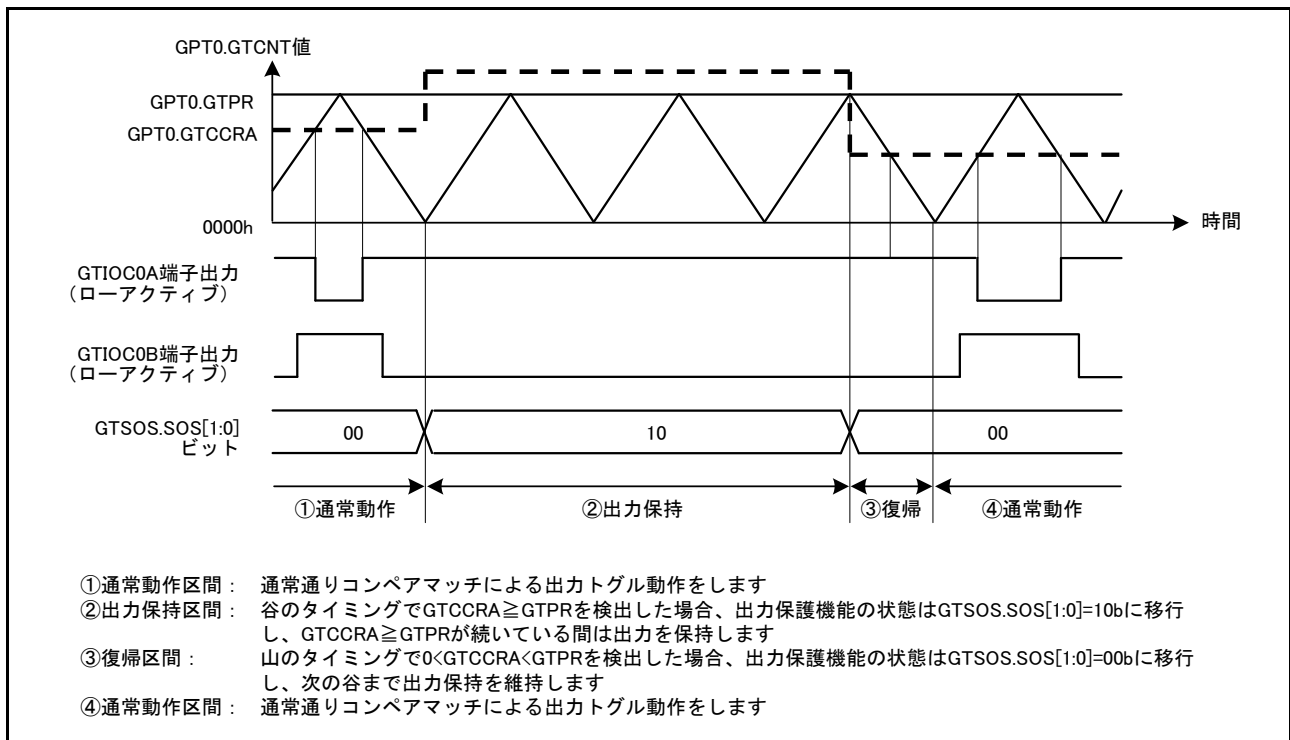


図 18.92 谷のバッファ転送で GTCCRA \geq GTPR が設定された場合の出力保護機能の動作例 (山のバッファ転送で 0<GTCCRA<GTPR に復帰、アクティブレベルは “Low” の場合)

(3) 山のバッファ転送で GTCCRA \geq GTPR が設定された場合の出力保護機能

図 18.93、図 18.94 に山のバッファ転送で GTCCRA \geq GTPR が設定された場合の出力保護機能の動作例を示します。

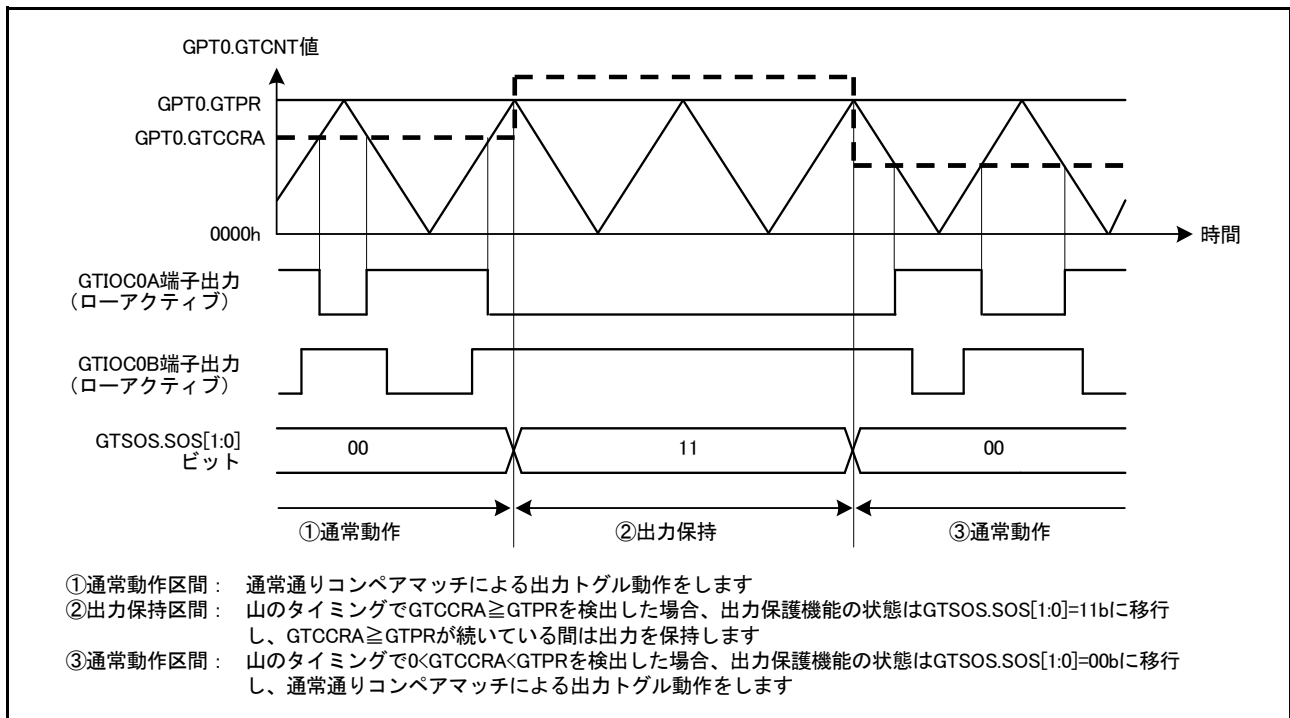


図 18.93 山のバッファ転送で GTCCRA \geq GTPR が設定された場合の出力保護機能の動作例 (山のバッファ転送で 0<GTCCRA<GTPR に復帰、アクティブレベルは “Low” の場合)

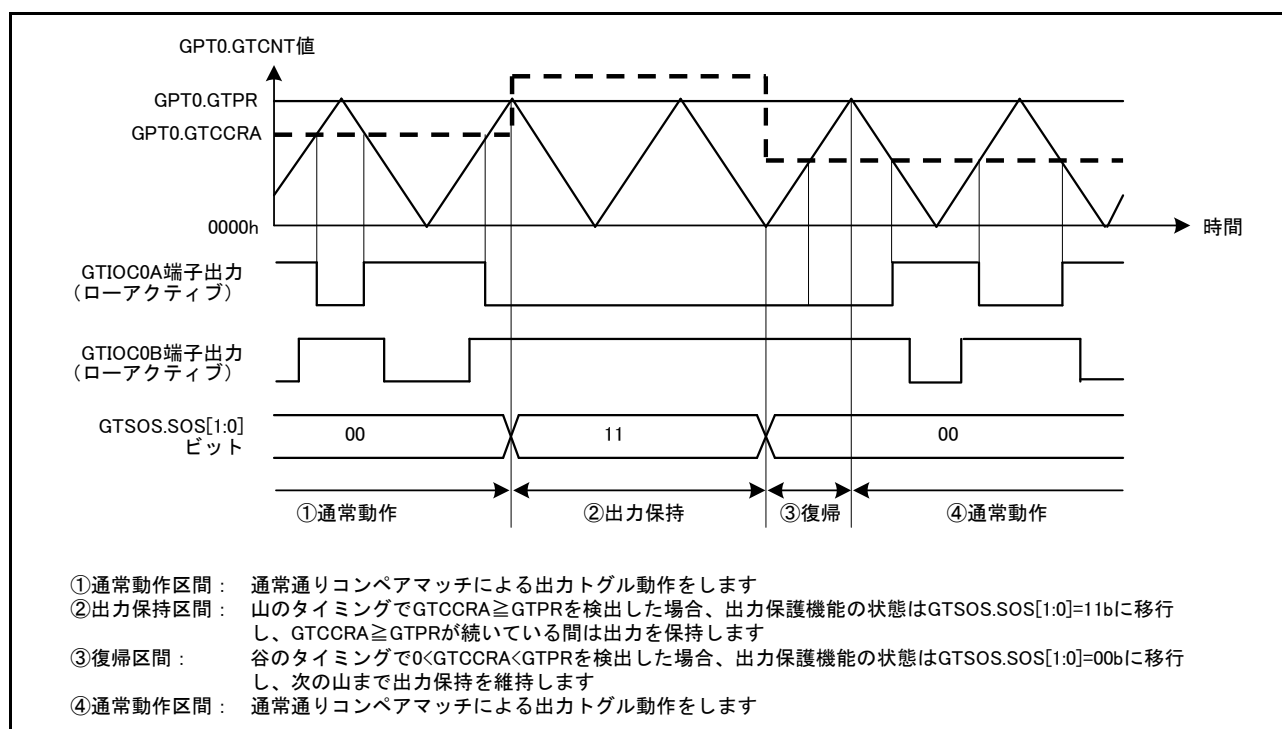


図 18.94 山のバッファ転送で $GTCCRA \geq GTPR$ が設定された場合の出力保護機能の動作例
 (谷のバッファ転送で $0 < GTCCRA < GTPR$ に復帰、アクティブレベルは“Low”の場合)

(4) 出力保護機能の注意事項

GTCCRA レジスタは $0 < GTCCRA < GTPR$ の範囲内に設定された状態で、カウント動作を開始してください。

出力保護機能は、カウント動作中に GTCCRA レジスタに異常値が設定 ($0 < GTCCRA < GTPR$ の範囲外に設定) された場合にも正相/逆相出力のうちどちらかが非アクティブ出力となるように機能しますが、GTCCRA レジスタに異常値が設定された状態でカウント動作が開始された場合には正常に機能しません。

18.7.5 POE 機能による GTIOC 端子出力のハイインピーダンス制御

システム異常時の保護のため、ポートアウトプットイネーブル (POE) 機能により、GTIOC 端子出力のハイインピーダンス制御が可能です。

詳細は、「17. ポートアウトプットイネーブル 3 (POE3)」を参照してください。

18.8 出力端子の初期化方法

18.8.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。GTIOR レジスタと GTONCR.OAE, OBE ビットの設定を行い GPT 機能を外部端子に出力した後、カウント動作を開始してください。

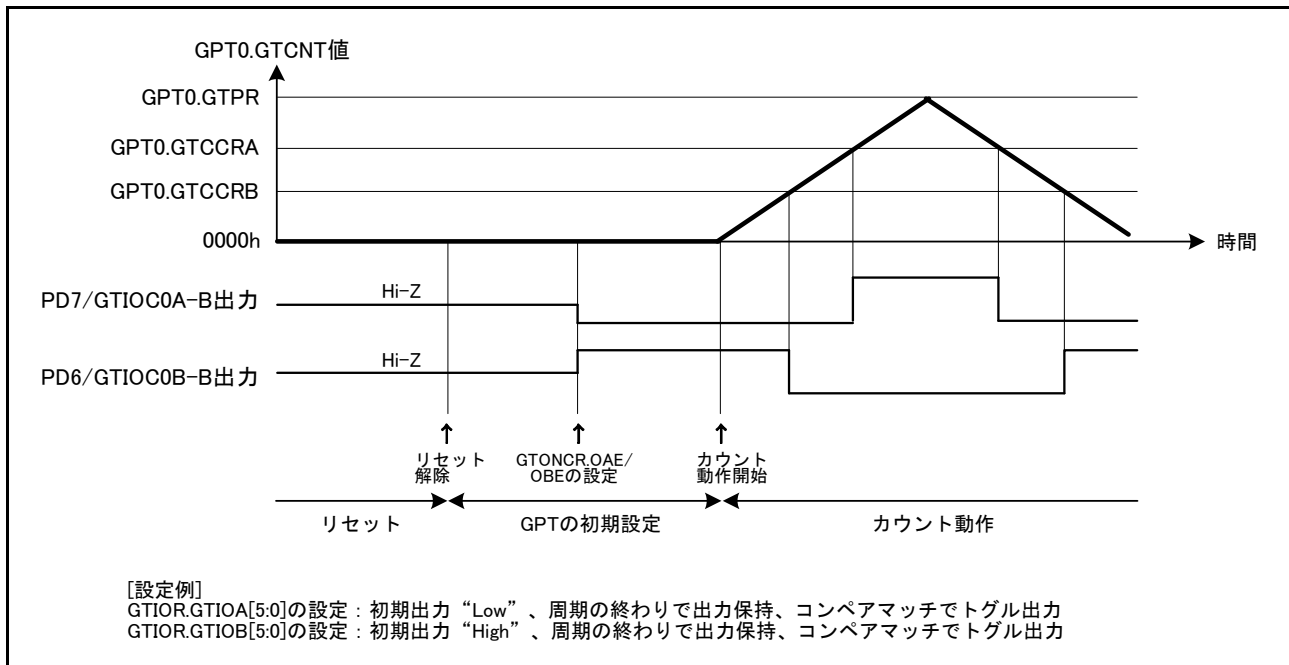


図 18.95 リセット後の端子設定例

18.8.2 動作中の異常などによる端子の初期化

GPT の動作中に異常などが発生して端子を初期化するまでの端子処理として、下記の方法があります。

- (1) GTIOR レジスタの OAHLD ビット、OBHLD ビットを“1”にしておき、カウント動作停止時に出力を保持
- (2) GTIOR レジスタの OAHLD ビット、OBHLD ビットを“0”にし、GTIOR レジスタの OADFLT ビット、OBDFLT ビットに任意の出力値を設定しておき、カウント動作停止時に任意の値を出力
- (3) MTU3 と同様に、あらかじめ I/O ポートの DDR レジスタと DR レジスタで汎用出力ポート時に任意の値を出力する設定をしておき、異常発生時に GTONCR レジスタの OAE ビット、OBE ビットを“0”にして端子を汎用出力ポートとして任意の値を出力
- (4) ポートアウトプットイネーブル3 (POE3) の POE 機能を使用し、出力をハイインピーダンス化

デッドタイムの自動設定を行っている場合は、カウント停止後に GTDTCR.TDE ビットをいったん“0”にしてください。

カウント動作停止時、GPT 以外の外部要因によって変化するレジスタ以外は変化しません。カウント動作を再開すれば継続して動作します。

カウント動作を停止した場合は、各レジスタを初期化してからカウント動作を再開してください。

18.9 使用上の注意事項

18.9.1 モジュールストップ機能の設定

GPTは、モジュールストップコントロールレジスタにより、GPTの動作禁止/許可を設定することが可能です。初期値では、GPTの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「9. 消費電力低減機能」を参照してください。

18.9.2 コンペアマッチ動作時のGTCCRnレジスタの設定 (n = A、B、C、D、E、F)

(1) 三角波PWMモードでデッドタイムの自動設定を行っている場合

GTCCRAレジスタは、 $GTDVU < GTCCRA$ 、 $GTDVD < GTCCRA$ 、 $GTCCRA < GTPR$ の範囲内に設定してください。

カウント動作中に $GTCCRA = 0$ もしくは $GTCCRA \geq GTPR$ が設定されると出力保護機能が動作します。

カウント動作開始時は、GTCCRAレジスタを $0 < GTCCRA < GTPR$ の範囲内に設定した状態でカウント動作を開始してください。 $0 < GTCCRA < GTPR$ の範囲外に設定された状態でカウント動作が開始された場合には出力保護機能は正常に機能しません。

詳細は、「18.7.4 GTIOC端子出力の出力保護機能」を参照してください。

(2) 三角波PWMモードでデッドタイムの自動設定を行っていない場合

GTCCRAレジスタは、 $0 < GTCCRA < GTPR$ の範囲内に設定してください。 $GTCCRA = 0$ もしくは $GTCCRA =$

$GTPR$ が設定されると、周期内で発生するコンペアマッチは、 $GTCCRA = 0$ もしくは $GTCCRA = GTPR$ が成立したときのみとなります。また、 $GTCCRA > GTPR$ が設定されると、コンペアマッチは発生しません。

同様に、GTCCRBレジスタは、 $0 < GTCCRB < GTPR$ の範囲内に設定してください。 $GTCCRB = 0$ もしくは

$GTCCRB = GTPR$ が設定されると、周期内で発生するコンペアマッチは、 $GTCCRB = 0$ もしくは $GTCCRB = GTPR$ が成立したときのみとなります。また、 $GTCCRB > GTPR$ が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合

GTCCRCレジスタ、GTCCRDレジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はデッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時： $GTCCRC < GTCCRD$ 、 $GTCCRC > GTDVU$ 、 $GTCCRD < GTPR - GTDVD$
- ダウンカウント時： $GTCCRC > GTCCRD$ 、 $GTCCRC < GTPR - GTDVU$ 、 $GTCCRD > GTDVD$

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っていない場合

GTCCRC レジスタ、GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合は、コンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時： $GTPR > GTCCRC > GTCCRD > 0$

同様に、GTCCRE レジスタ、GTCCRF レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はコンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時： $GTPR > GTCCRE > GTCCRF > 0$

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$ の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA > GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$ の範囲内に設定してください。GTCCRB = 0 もしくは

GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB > GTPR が設定されると、コンペアマッチは発生しません。

18.9.3 タイマの安全な停止方法

GTSTR レジスタの書き込みによるタイマの停止と GPT のコンペアマッチ割り込みのタイミングが競合した場合、GTSTR レジスタの書き込み後に割り込みが発生する場合があります。

以下の手順でタイマの停止を行うと、停止後にコンペアマッチ割り込みが発生することがなく、安全にタイマを停止させることができます。

- (1) ICU の割り込み要求許可レジスタ (IER15 ~ IER18) で割り込み要求を禁止にする
- (2) GPT の割り込み出力設定レジスタ (GTINTAD) で割り込み要求を禁止にする
- (3) GTSTR レジスタの CSTn ビットを“0”にする

18.9.4 LOCO カウント機能使用時の消費電力低減機能の設定

LOCO カウント動作中に、モジュールストップコントロールレジスタまたはスタンバイコントロールレジスタにより GPT の動作を停止してから再開する場合、GPT の動作を停止する前に LCCR.LCNTE=0 を設定して LOCO カウントを停止し、GPT の動作を再開した後で LCCR.LCNTE=1 を設定して LOCO カウントを再開してください。モジュールストップコントロールレジスタとスタンバイコントロールレジスタの詳細は、「9. 消費電力低減機能」を参照してください。

18.9.5 PWM 遅延生成回路の遅延値設定に関する注意事項

コンペアマッチにより PWM 出力波形をトグルさせて PWM 遅延生成回路で PWM 出力波形を遅延させる場合、コンペアマッチ値が下表に示す範囲にあるときは遅延設定値を変更しないでください。設定値変更のタイミング制約は生じる対象レジスタは GTDLYFA レジスタ、GTDLYRA レジスタ、GTDLFB レジスタ、GTDLYRB レジスタです。

モード	カウント方向	コンペアマッチ値
のこぎり波	アップカウント	"GTPR-2" 以上
	ダウンカウント	"2" 以下
三角波	ダウンカウント	"2" 以下

例として、図 18.94 にのこぎり波ワンショットパルスモード (アップカウント) 時の GTDLYFA レジスタ設定タイミング制約を示します。GTCCRD \geq GTPR-2 の場合は、GTDLYFA レジスタの設定値変更をしないでください。

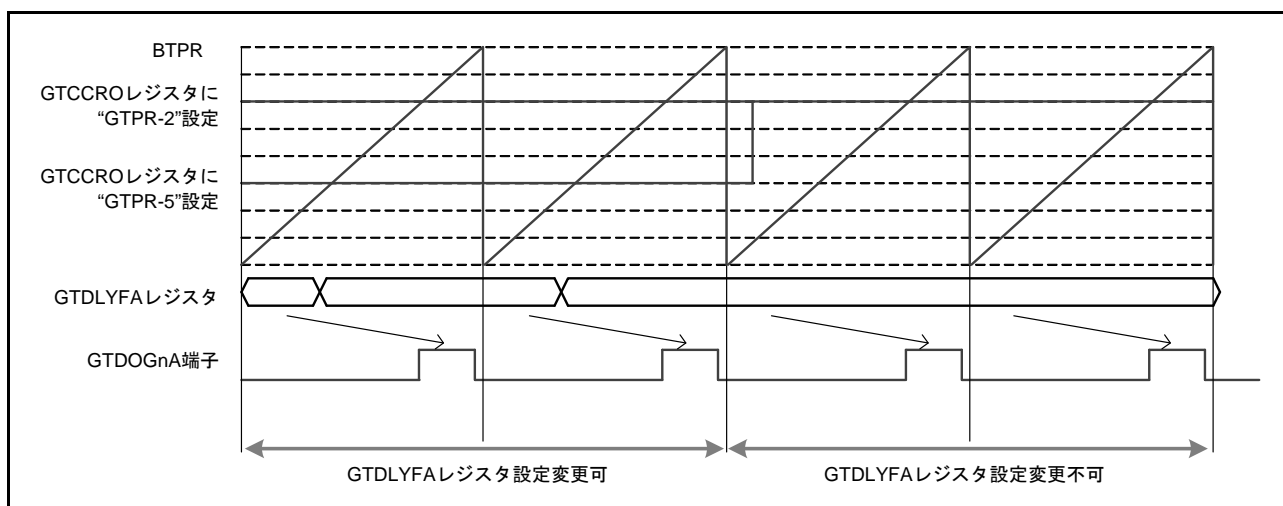


図 18.96 GTDLYFA レジスタ設定タイミング制約

レジスタ設定変更不可のタイミングで GTDLYFA レジスタ、GTDLYRA レジスタ、GTDLFB レジスタ、GTDLYRB レジスタの設定値を変更した場合は、出力波形の変化タイミングが所定のタイミングからずれる等、出力波形異常となる可能性はあるので、設定変更しないでください。

19. コンペアマッチタイマ (CMT)

RX62Tグループ、RX62Gグループは、2チャンネルの16ビットタイマにより構成されるコンペアマッチタイマ (CMT) を2ユニット (ユニット0、ユニット1)、合計4チャンネル内蔵しています。CMTは、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

19.1 概要

表 19.1 に CMT の仕様を示します。

図 19.1 に CMT (ユニット0) のブロック図を示します。2チャンネルのCMTで1ユニットを構成し、ユニット0とユニット1は同じ仕様です。

表 19.1 CMTの仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の内部クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中から各チャンネル個々に選択可能
割り込み	コンペアマッチ割り込みを各チャンネル個々に要求することが可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

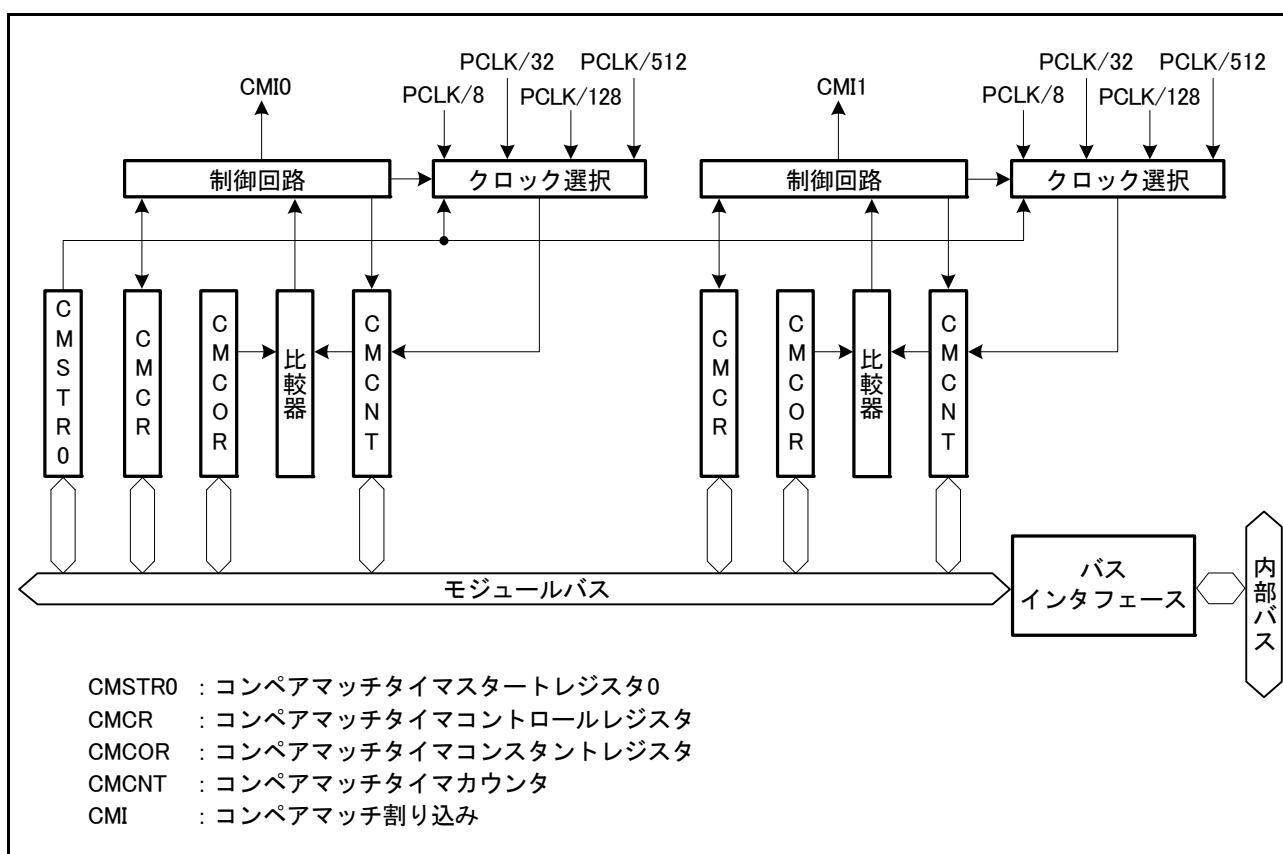


図 19.1 CMT (ユニット0) のブロック図

19.2 レジスタの説明

表 19.2 に CMT のレジスタ一覧を示します。

表 19.2 CMTのレジスタ一覧

ユニット	チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット0	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	0000h	0008 8000h	16
	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8002h	16
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 8004h	16
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 8006h	16
	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8008h	16
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 800Ah	16
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 800Ch	16
ユニット1	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	0000h	0008 8010h	16
	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8012h	16
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 8014h	16
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 8016h	16
	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8018h	16
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 801Ah	16
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 801Ch	16

19.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0	0 : CMT0.CMCNTカウンタのカウント動作停止 1 : CMT0.CMCNTカウンタのカウント動作開始	R/W
b1	STR1	カウントスタート1	0 : CMT1.CMCNTカウンタのカウント動作停止 1 : CMT1.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMSTR0 レジスタは、CMT0.CMCNT カウンタ、CMT1.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

STR0 ビット (カウントスタート0 ビット)

CMT0.CMCNT カウンタを動作させるか、停止させるかを選択します。

STR1 ビット (カウントスタート1 ビット)

CMT1.CMCNT カウンタを動作させるか、停止させるかを選択します。

19.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2	0 : CMT2.CMCNTカウンタのカウント動作停止 1 : CMT2.CMCNTカウンタのカウント動作開始	R/W
b1	STR3	カウントスタート3	0 : CMT3.CMCNTカウンタのカウント動作停止 1 : CMT3.CMCNTカウンタのカウント動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMSTR1 レジスタは、CMT2.CMCNT カウンタ、CMT3.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

STR2 ビット (カウントスタート2 ビット)

CMT2.CMCNT カウンタを動作させるか、停止させるかを選択します。

STR3 ビット (カウントスタート3 ビット)

CMT3.CMCNT カウンタを動作させるか、停止させるかを選択します。

19.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h、CMT1.CMCR 0008 8008h、CMT2.CMCR 0008 8012h、CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 00 : PCLK /8 01 : PCLK /32 10 : PCLK /128 11 : PCLK /512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIIn) を禁止 1 : コンペアマッチ割り込み (CMIIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定です。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMCR レジスタは、カウントアップに用いられるクロックの設定を行うレジスタです。

CMCR レジスタの書き換えがコンペアマッチの発生と競合した場合、CMCR レジスタへの書き込みが無視されます。詳細は「19.5.4 コンペアマッチタイマコントロールレジスタ (CMCR) 書き替え時の注意事項」を参照してください。

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる4種類の内部クロックから CMCNT カウンタに入力するカウントクロックを選択します。

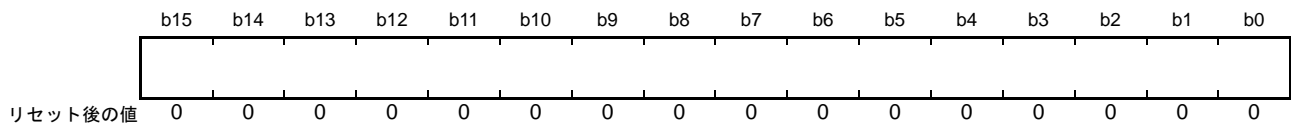
CMSTRm.STRn ビット (m=0,1、n=0~3) を“1”にすると、CKS[1:0] ビットで選択されたカウントクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIIn) (n=0~3) の発生を許可するか禁止するかを選択します。

19.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h、CMT1.CMCNT 0008 800Ah、CMT2.CMCNT 0008 8014h、CMT3.CMCNT 0008 801Ah



CMCNT カウンタは、読み出し／書き込み可能な割り込み要求を発生させるためのアップカウンタです。

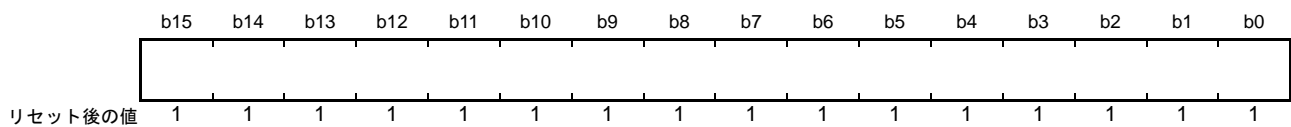
CMCR.CKS[1:0] ビットでカウントクロックを選択して、CMSTRm.STRn ビット (m=0,1, n=0 ~ 3) を“1”にすると、カウントクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMI_n) (n=0 ~ 3) が発生します。

CMCNT カウンタのカウント動作を停止した状態で、CMCNT カウンタと CMCOR レジスタを同じ値に設定しないでください。詳細は「19.5.5 コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチコンスタントレジスタ (CMCOR) の注意事項」を参照してください。

19.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h、CMT1.CMCOR 0008 800Ch、CMT2.CMCOR 0008 8016h、CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチ周期を設定するレジスタです。

CMCNT カウンタのカウント動作を停止した状態で、CMCNT カウンタと CMCOR レジスタを同じ値に設定しないでください。詳細は「19.5.5 コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチコンスタントレジスタ (CMCOR) の注意事項」を参照してください。

19.3 動作説明

19.3.1 周期カウント動作

CMCR.CKS[1:0] ビットでカウントクロックを選択し、CMSTRm.STRn ビット (m=0,1、n=0~3) を“1”にすると、選択したカウントクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMI_n) (n=0~3) が発生します。CMCNT カウンタは“0000h”から再びカウントアップを再開します。CMCNT カウンタの動作を図 19.2 に示します。

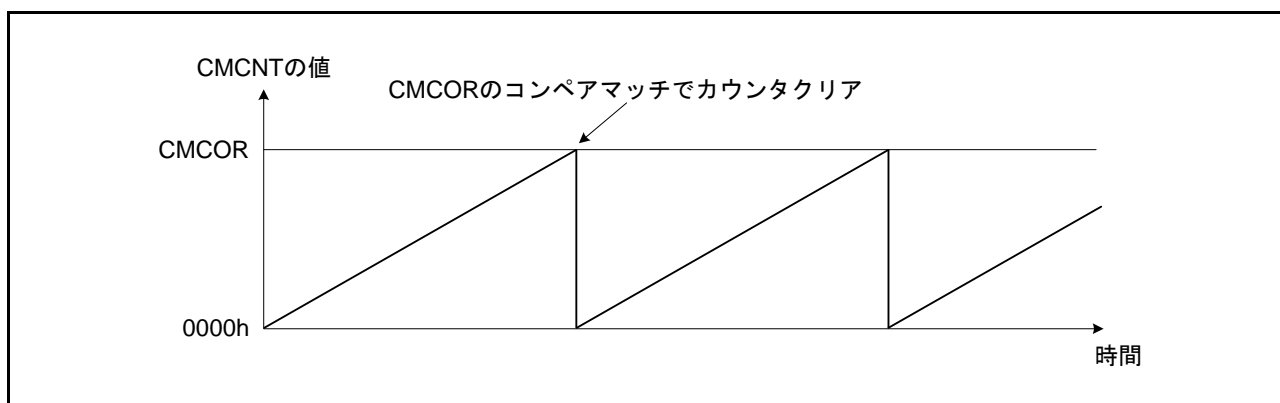


図 19.2 CMCNT カウンタの動作

19.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の内部クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) からカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 19.3 に示します。

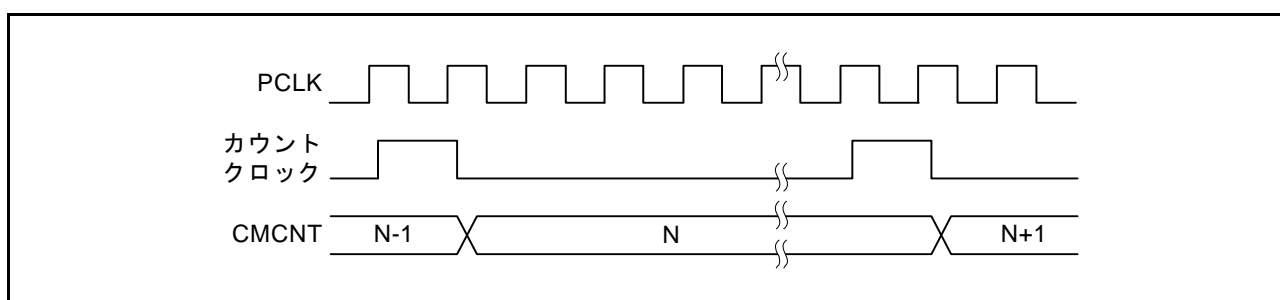


図 19.3 CMCNT カウンタのカウントタイミング

19.4 割り込み

19.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み (CMI_n) (n=0～3)を持ち、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求によりCPU割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「11. 割り込みコントローラ (ICU)」を参照してください。

表 19.3 CMTの割り込み要因

名称	割り込み要因	割り込みステータスフラグ	DTCの起動
CMI0	CMT0.CMCNTとCMT0.CMCORのコンペアマッチ	ICU.IR028.IR	可能
CMI1	CMT1.CMCNTとCMT1.CMCORのコンペアマッチ	ICU.IR029.IR	可能
CMI2	CMT2.CMCNTとCMT2.CMCORのコンペアマッチ	ICU.IR030.IR	可能
CMI3	CMT3.CMCNTとCMT3.CMCORのコンペアマッチ	ICU.IR031.IR	可能

19.4.2 コンペアマッチ割り込みの発生タイミング

CMCNTカウンタの値とCMCORレジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) (n=0～3)が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNTカウンタが一致したカウント値を更新するタイミング)で発生します。したがって、CMCNTカウンタの値とCMCORレジスタの値とが一致した後、カウントクロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みの発生タイミングを図 19.4 に示します。

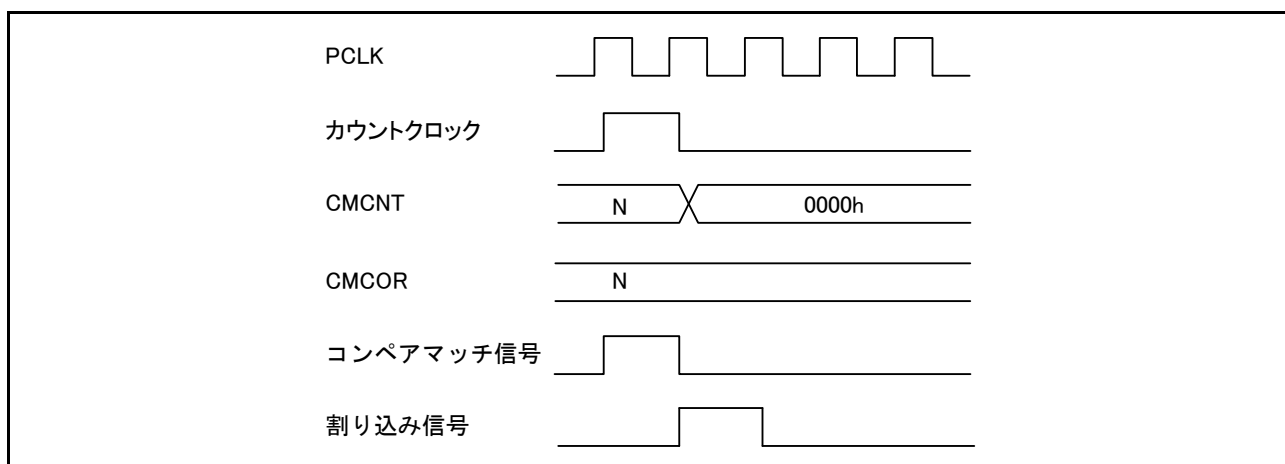


図 19.4 コンペアマッチ割り込みの発生タイミング

19.5 使用上の注意事項

19.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作禁止/許可を設定することが可能です。初期値では、CMTの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

19.5.2 コンペアマッチタイマカウンタ (CMCNT) への書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図19.5に示します。

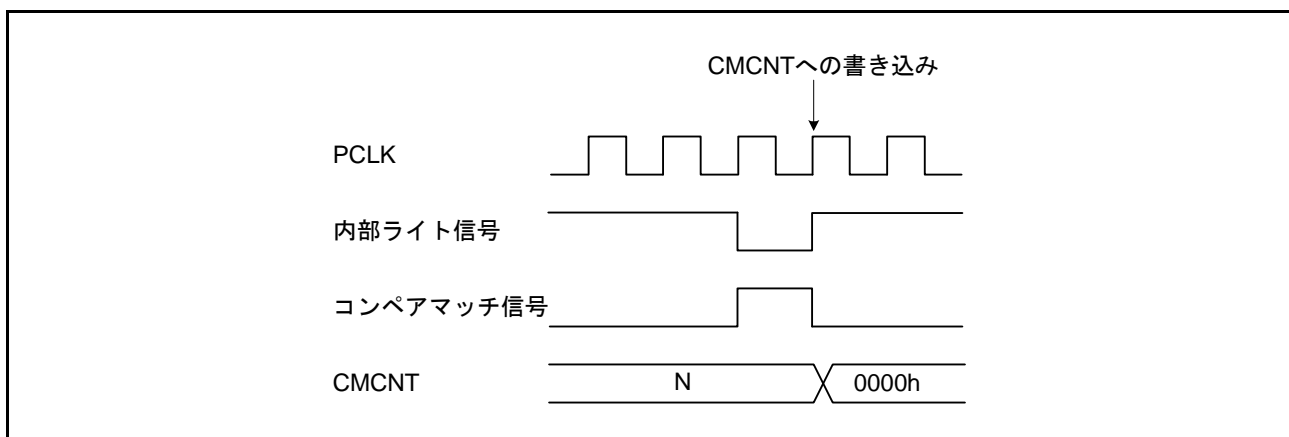


図 19.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

19.5.3 コンペアマッチタイマカウンタ (CMCNT) への書き込みとカウントアップの競合

CMCNTカウンタへの書き込み中にカウントアップが発生しても、CMCNTカウンタはカウントアップされずにCMCNTカウンタへの書き込みが優先されます。このタイミングを図19.6に示します。

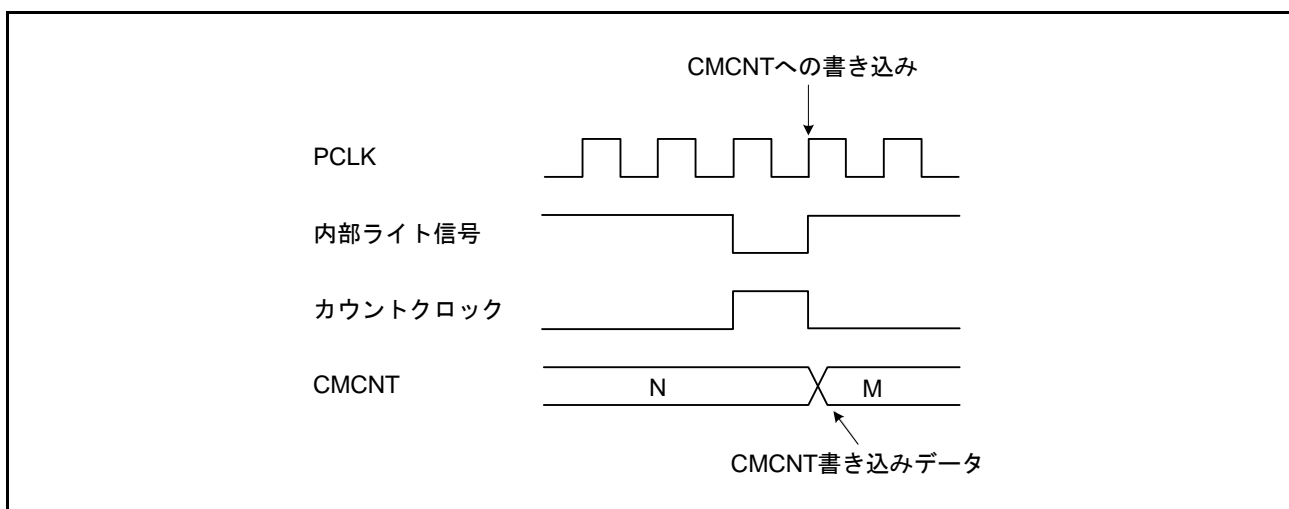


図 19.6 CMCNTカウンタへの書き込みとカウントアップの競合

19.5.4 コンペアマッチタイマコントロールレジスタ (CMCR) 書き替え時の注意事項

CMCR レジスタの書き換えがコンペアマッチの発生と競合した場合、CMCR レジスタへの書き込みが無視されます。そのため CMCR レジスタへの書き込み後、CMCR レジスタを読み出して、書き込みデータが正しく書き込まれていることを確認してください。書き込みデータが正しく書き込まれていない場合、再度 CMCR レジスタへの書き込みを実施してください。

なお、CMCR レジスタのビット 7 は読み出し値が不定のため、書き込みデータと比較する際には注意してください。

19.5.5 コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチコンスタントレジスタ (CMCOR) の注意事項

CMCNT カウンタのカウント動作を停止した状態で、CMCNT カウンタと CMCOR レジスタを同じ値に設定しないでください。

CMCNT カウンタのカウント動作を停止した状態で CMCNT カウンタと CMCOR レジスタを同じ値にした場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。このとき、コンペアマッチ割り込み許可ビット (CMCR.CMIE ビット) が“1” (許可) になっていると、コンペアマッチ割り込みが発生します。

なお、CMCNT カウンタはコンペアマッチ割り込みの禁止 / 許可にかかわらず、CMCOR レジスタの値との一致によるコンペアマッチが発生すると“0000h”に自動クリアされます。

20. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は8ビットタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると外部にオーバーフロー信号 (WDTOVF#) を出力します。同時に、LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして動作しているときは、カウンタがオーバーフローするごとにインターバルタイマ割り込みが発生します。

20.1 概要

表 20.1 にウォッチドッグタイマの仕様を示します。

図 20.1 にウォッチドッグタイマのブロック図を示します。

表 20.1 WDTの仕様

項目	内容
カウントクロック	PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072
チャンネル数	8ビットx1チャンネル
カウントクリア	TCNTへの書き込み
動作モード	ウォッチドッグタイマモード、インターバルタイマモードの切り替え
ウォッチドッグタイマモード	カウンタがオーバーフローすると、外部にWDTOVF#信号を出力、同時にLSI内部をリセットするかどうかを選択可能
インターバルタイマモード	カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) が発生

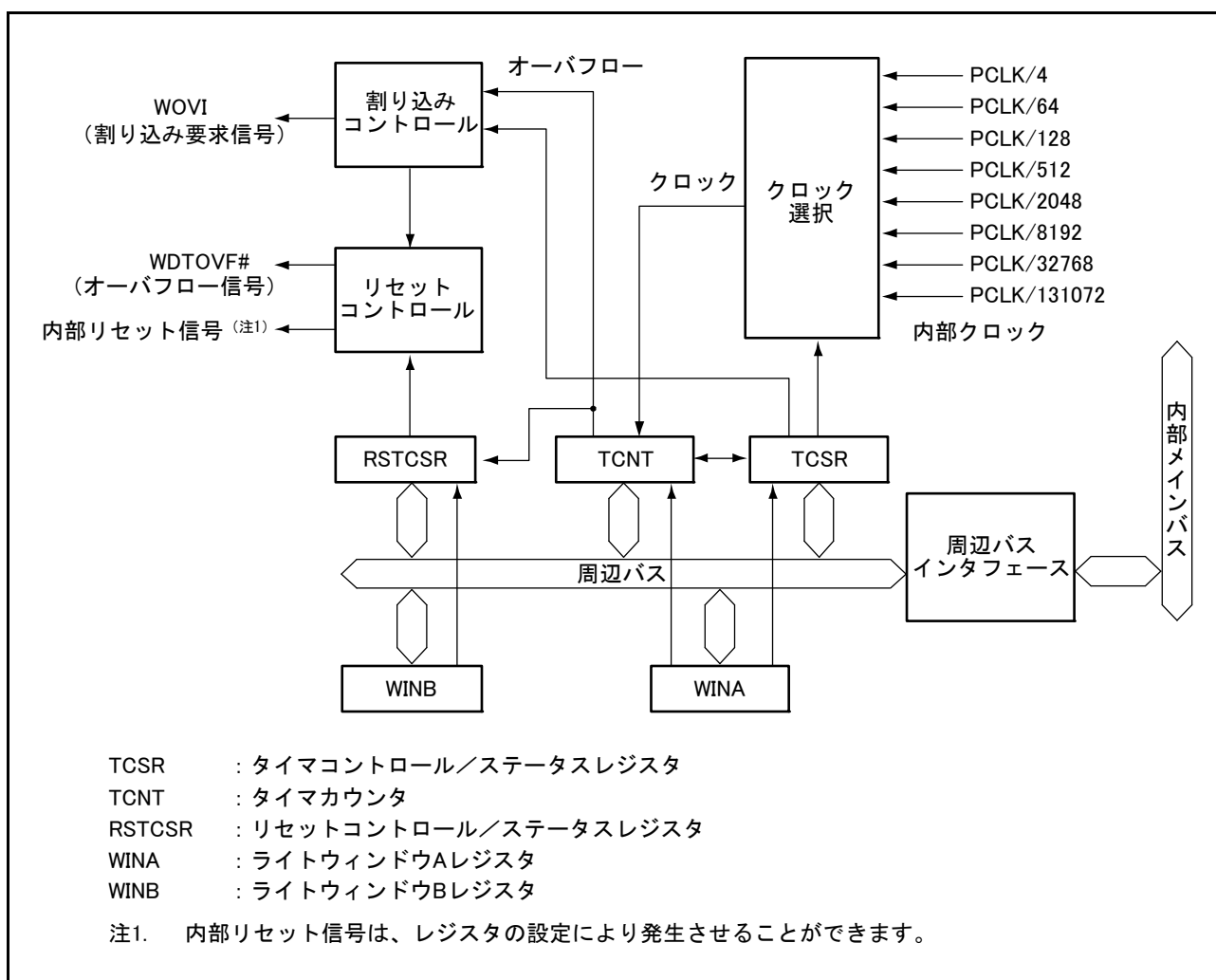


図 20.1 WDT のブロック図

表 20.2 に WDT で使用する入出力端子を示します。

表 20.2 入出力端子

端子名	入出力	機能
WDTOVF#	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

20.2 レジスタの説明

表 20.3 に WDT のレジスタ一覧を示します。

表 20.3 WDT のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマコントロール/ステータスレジスタ	TCSR	x8h	0008 8028h (注1)	8
タイマカウンタ	TCNT	00h	0008 8029h (注1)	8
リセットコントロール/ステータスレジスタ	RSTCSR	1Fh	0008 802Bh (注1)	8
ライトウィンドウAレジスタ	WINA	—	0008 8028h (注2)	16
ライトウィンドウBレジスタ	WINB	—	0008 802Ah (注2)	16

注1. 読み出し専用のレジスタです。

注2. 書き込み専用のレジスタです。

20.2.1 タイマカウンタ (TCNT)

アドレス 0008 8029h



TCNT カウンタは、内部クロックをカウントする 8 ビットのアップカウンタです。

TCNT カウンタは、TCSR.TME ビットを“0”にすると、“00h”に初期化されます。

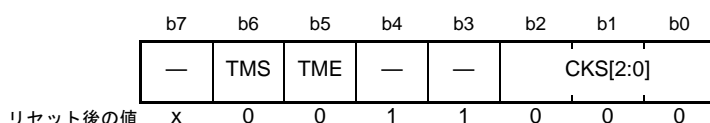
読む場合には、8 ビット単位で読んでください。

ライトする場合には、WINA レジスタに対して 16 ビット単位で書いてください。

詳細は、「20.5.1 レジスタアクセス時の注意」を参照してください。

20.2.2 タイマコントロール/ステータスレジスタ (TCSR)

アドレス 0008 8028h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット	b2 b0 0 0 0 : PCLK/4 (周期20.4μs) 0 0 1 : PCLK /64 (周期326.4μs) 0 1 0 : PCLK /128 (周期652.8μs) 0 1 1 : PCLK /512 (周期2.6ms) 1 0 0 : PCLK /2048 (周期10.4ms) 1 0 1 : PCLK /8192 (周期41.8ms) 1 1 0 : PCLK /32768 (周期167.1ms) 1 1 1 : PCLK /131072 (周期668.5ms) 注. () 内は、PCLK = 50MHzのときのオーバフロー周期を表します	R/W
b4-b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	TME	タイマ許可ビット	0 : TCNTカウンタはカウントを停止し、“00h”に初期化する 1 : TCNTカウンタはカウントを開始	R/W
b6	TMS	タイマモード選択ビット	0 : インターバルタイマモード TCNTカウンタがオーバフローしたとき、インターバルタイマ割り込み(WOVI)を要求 1 : ウォッチドッグタイマモード TCNTカウンタがオーバフローしたとき、外部へWDTOVF#を出力	R/W
b7	—	予約ビット	読んだ場合、その値は不定です。書く場合、“1”としてください	R/W

TCSR レジスタは、TCNT カウンタに入力するクロック、モードの選択などを行うレジスタです。

読む場合には、8ビット単位で読んでください。

書く場合には、WINA レジスタに対して16ビット単位で書いてください。

詳細は、「20.5.1 レジスタアクセス時の注意」を参照してください。

CKS[2:0] ビット (クロック選択ビット)

TCNT カウンタに入力するクロックを選択します。

TME ビット (タイマ許可ビット)

TCNT カウンタのカウントの開始、または停止を選択します。

“1”にすると TCNT カウンタがカウントを開始します。“0”にすると TCNT カウンタはカウント動作を停止し、“00h”に初期化されます。

TMS ビット (タイマモード選択ビット)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。

20.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

アドレス 0008 802Bh

b7	b6	b5	b4	b3	b2	b1	b0
WOVF	RSTE	—	—	—	—	—	—

リセット後の値 0 0 0 1 1 1 1 1

ビット	ビット名	R/W	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	RSTE	リセット許可ビット	0：ウォッチドッグタイマモードで、TCNTカウンタがオーバフローしても、LSI内部はリセットされない (WDTのTCNTカウンタ、TCSRレジスタはリセットされる) 1：ウォッチドッグタイマモードで、TCNTカウンタがオーバフローすると、LSI内部がリセットされる	R/W
b7	WOVF	ウォッチドッグタイマ オーバフローフラグ	0：ウォッチドッグタイマモードで、TCNTカウンタのオーバフローの発生なし 1：ウォッチドッグタイマモードで、TCNTカウンタのオーバフローの発生あり	R/(W) (注1)

注1. フラグをクリアするため、“0”のみ書けます。

RSTCSR レジスタは、TCNT カウンタのオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択するレジスタです。

RSTCSR レジスタは、RES# 端子からのリセット信号およびディープソフトウェアスタンバイリセットで“1Fh”に初期化されます。ウォッチドッグタイマのオーバフローによる内部リセット信号では初期化されません。

読む場合には、8 ビット単位で読んでください。

書く場合には、WINB レジスタに対して 16 ビット単位で書いてください。

詳細は、「20.5.1 レジスタアクセス時の注意」を参照してください。

RSTE ビット (リセット許可ビット)

ウォッチドッグタイマモードで、TCNT カウンタのオーバフローにより LSI 内部をリセットするかどうかを選択します。

WOVF フラグ (ウォッチドッグタイマオーバフローフラグ)

ウォッチドッグタイマモードで、TCNT カウンタがオーバフローしたことを示します。インターバルタイマモードでは“1”になりません。

["1"になる条件]

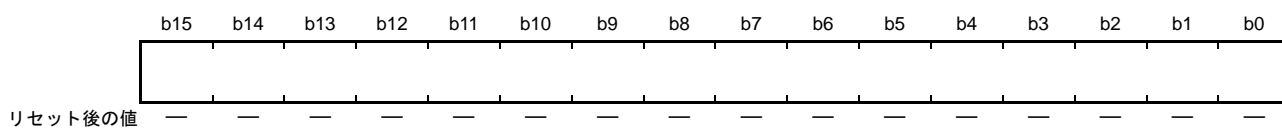
- ウォッチドッグタイマモードで、TCNT カウンタがオーバフロー (“FFh” → “00h”) したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき

20.2.4 ライトウィンドウ A レジスタ (WINA)

アドレス 0008 8028h



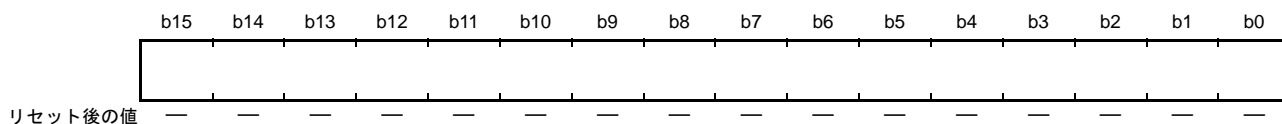
WINA レジスタは、TCNT カウンタ、TCSR レジスタの値を書き換えるレジスタで、書き込み専用レジスタです。

TCNT カウンタに書く場合と、TCSR レジスタに書く場合では、書き込み方法が異なります。詳細は、「20.5.1 レジスタアクセス時の注意」を参照してください。

書く場合には、16 ビット単位で書いてください。

20.2.5 ライトウィンドウ B レジスタ (WINB)

アドレス 0008 802Ah



WINB レジスタは、RSTCSR レジスタの値を書き換えるレジスタで、書き込み専用レジスタです。

RSTCSR.WOVF フラグに“0”を書く場合と、RSTCSR.RSTE ビットに書く場合では、書き込み方法が異なります。詳細は、「20.5.1 レジスタアクセス時の注意」を参照してください。

書く場合には、16 ビット単位で書いてください。

20.3 動作説明

20.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR.TMS ビットを“1”（ウォッチドッグタイマモード）、および TCSR.TME ビットを“1”（TCNT カウンタはカウントを開始）にしてください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT カウンタの値が書き換えられずオーバーフローすると、WDTOVF# 信号が出力されます。システムが正常に動作している間は、TCNT カウンタのオーバーフローは発生しません。TCNT カウンタがオーバーフローする前に必ず TCNT カウンタの値を書き換えて（通常は“00h”を書く）、オーバーフローが発生しないようにプログラムしてください。更に、ウォッチドッグタイマモード時には、WDTOVF# 信号を用いて LSI 内部をリセットすることができます。

ウォッチドッグタイマモードで TCNT カウンタがオーバーフローすると、RSTCSR.WOVF フラグが“1”になります。また、RSTCSR.RSTE ビットを“1”にしておくと、TCNT カウンタがオーバーフローしたときに、WDTOVF# 信号の出力と同時に、LSI 内部をリセットする信号が発生します。RES# 端子からの入力信号によるリセットとウォッチドッグタイマのオーバーフローによるリセットが同時に発生したときは、RES# 端子によるリセットが優先され、RSTCSR.WOVF フラグは“0”になります。

WDTOVF# 信号は、RSTE ビットが“1”のとき PCLK で 257 ステート、RSTE ビットが“0”のとき PCLK で 256 ステートの間出力されます。内部リセット信号は、PCLK で 1027 ステートの間出力されます。

RSTE ビットが“1”のときは内部をリセットする信号が発生し、システムクロックコントロールレジスタ (SCKCR) がリセットされるため、PCLK の入力クロックに対する倍率は初期値になります。

RSTE ビットが“0”のときは内部をリセットする信号が発生せず、SCKCR レジスタの設定が保持されるため、PCLK の入力クロックに対する倍率は変化しません。

ウォッチドッグタイマモードで TCNT カウンタがオーバーフローすると、WOVF フラグが“1”にセットされます。また、RSTE ビットを“1”にしておくと、TCNT カウンタがオーバーフローしたとき、LSI 全体に対して内部リセット信号が発生します。

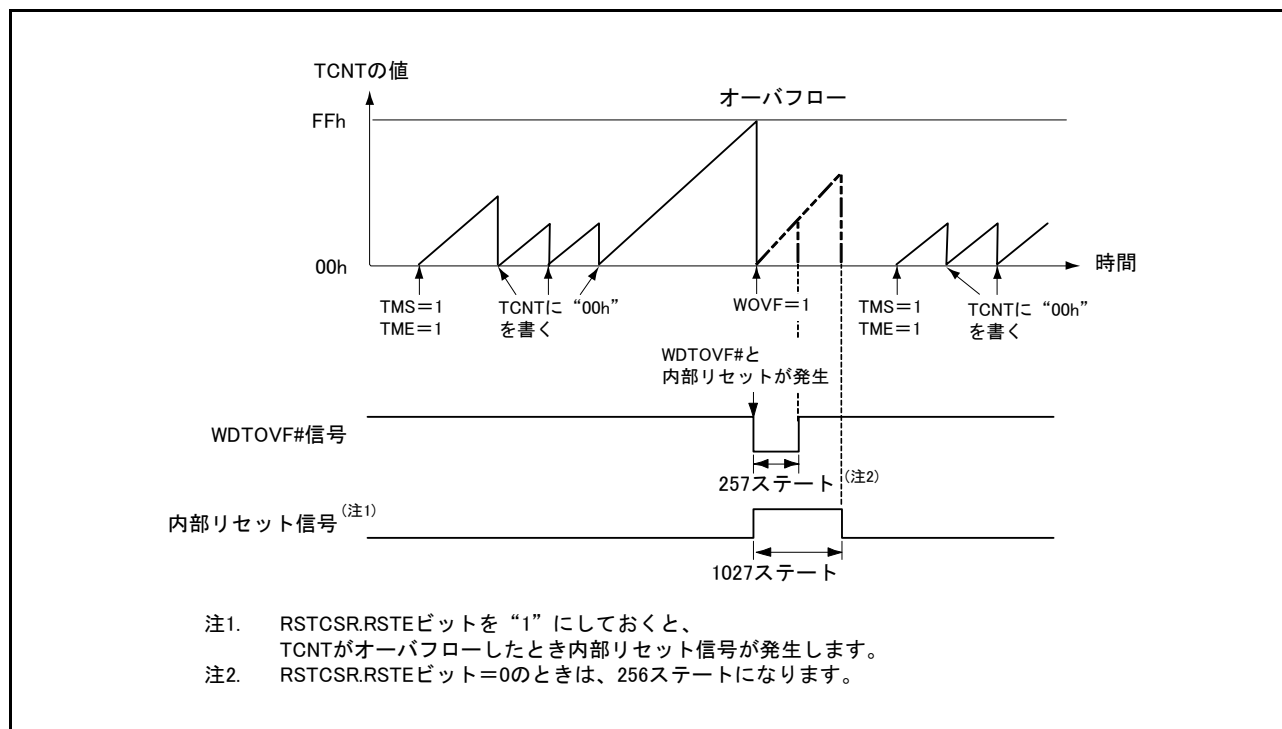


図 20.2 ウォッチドッグタイマモード時の動作

20.3.2 インターバルタイマモード

インターバルタイマとして使用するときは、TCSR.TMS ビットを“0”（インターバルタイマモード）に、TCSR.TME ビットを“1”（TCNT カウンタはカウントを開始）にしてください。

インターバルタイマとして動作しているときは、TCNT カウンタがオーバーフローするごとにインターバルタイマ割り込み（WOVI）が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

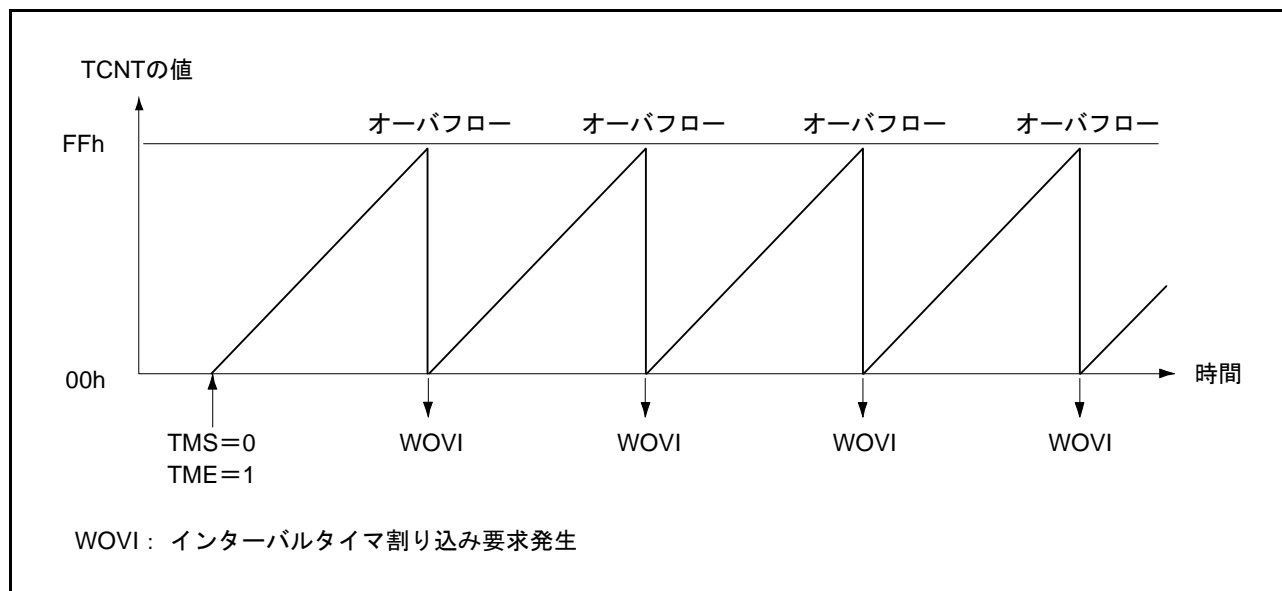


図 20.3 インターバルタイマモード時の動作

20.4 割り込み要因

インターバルタイマモード時、TCNT カウンタのオーバーフローによってインターバルタイマ割り込み (WOVI) が発生します。詳細は、「11. 割り込みコントローラ (ICU)」を参照してください。

表 20.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	割り込みステータスフラグ
WOVI	TCNTのオーバーフロー	不可能	ICU.IR096.IR

20.5 使用上の注意事項

20.5.1 レジスタアクセス時の注意

TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタは、容易に書き換えられないように、書き込み方法が一般のレジスタとは異なっています。

(1) TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタへの書き込み

TCNT カウンタ、TCSR レジスタに書く場合は、ライトウィンドウ A レジスタ (WINA) (0008 8028h) に対して必ずワード転送命令を使用してください。TCNT カウンタへの書き込みと TCSR レジスタへの書き込みは同一アドレスに割り当てられています。このため、図 20.4 に示すように設定してください。

TCNT カウンタに書く場合は、上位バイトに“5Ah”を、下位バイトに TCNT カウンタに対する書き込みデータを設定して転送してください。

TCSR レジスタに書く場合は、上位バイトに“A5h”を、下位バイトに TCSR レジスタに対する書き込みデータを設定して転送してください。

RSTCSR レジスタに書く場合は、ライトウィンドウ B レジスタ (WINB) (0008 802Ah) に対してワード転送命令を使用してください。

RSTCSR.WOVF フラグに“0”を書く場合と、RSTCSR.RSTE ビットに書く場合では、書き込み方法が異なります。このため、図 20.4 に示すようにしてデータを転送してください。

WOVF フラグに“0”を書く場合は、図 20.4 に示すようにして上位バイトを“A5h”、下位バイト“00h”にして 16 ビット単位でデータを書き込んでください。このとき、RSTE ビットは影響を受けません。

RSTE ビットに書く場合は、図 20.4 に示す上位バイトを“5Ah”、下位バイトを RSTCSR レジスタ書き込みデータにして、16 ビット単位でデータを書き込んでください。このとき、WOVF フラグは影響を受けません。

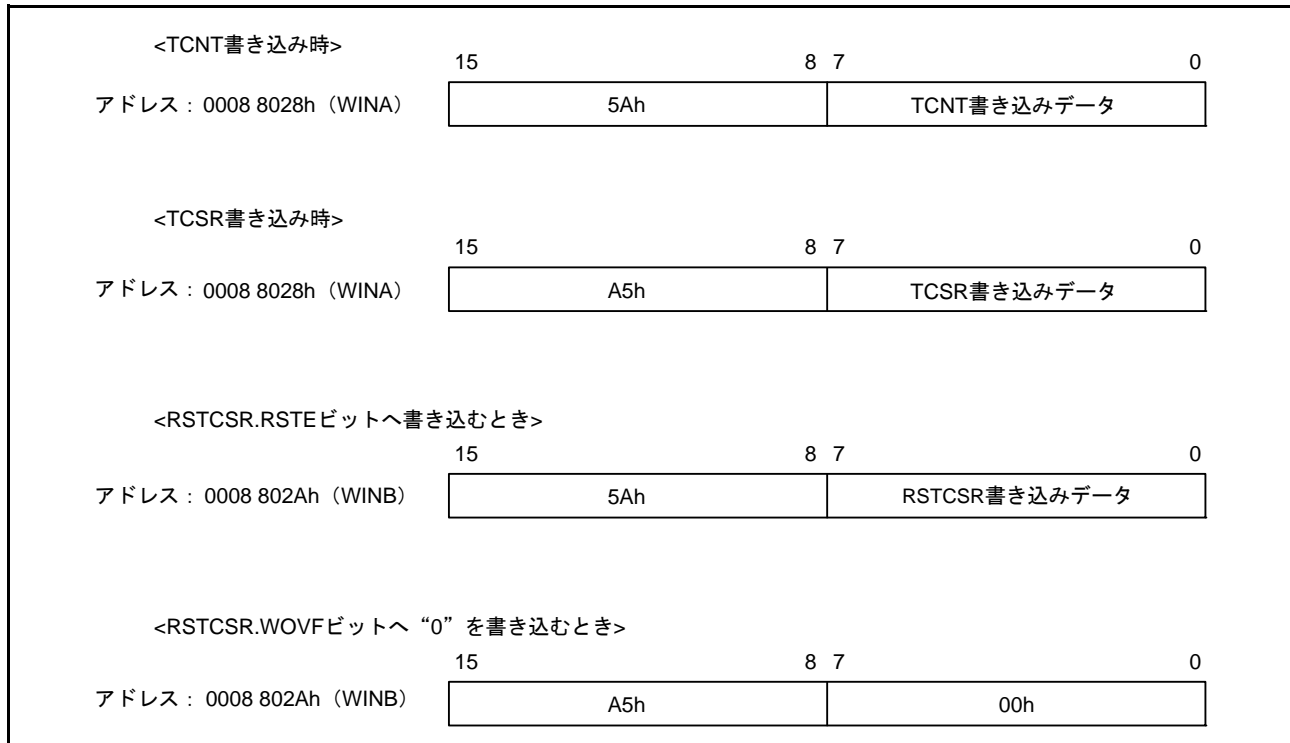


図 20.4 TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタへの書き込み

(2) TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタからの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。

TCSR レジスタはアドレス (0008 8028h) に、TCNT カウンタはアドレス (0008 8029h) に、RSTCSR レジスタはアドレス (0008 802Bh) に対して 8 ビット単位でアクセスをしてください。

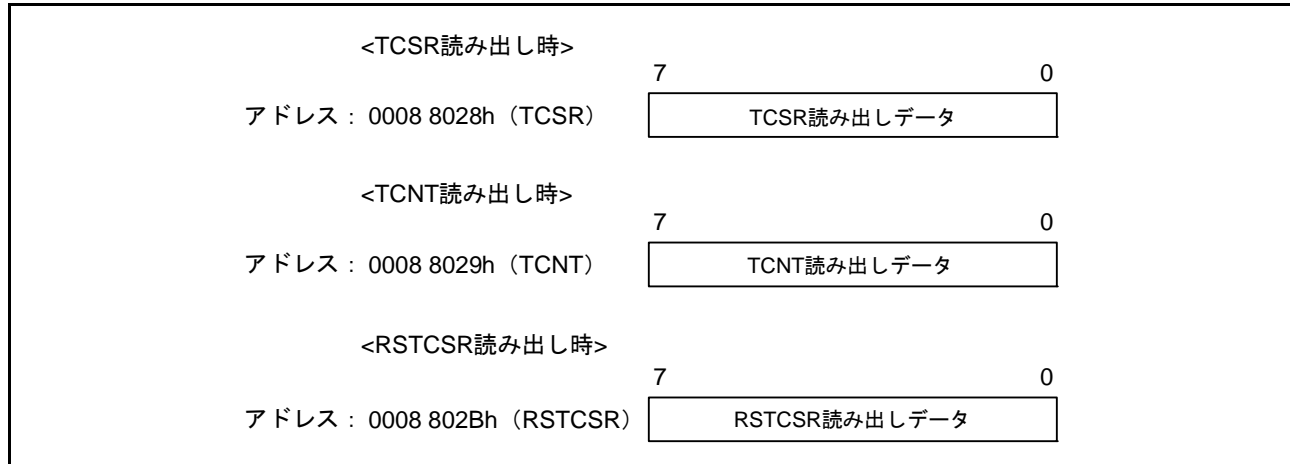


図 20.5 TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタからの読み出し

20.5.2 タイマカウンタ (TCNT) への書き込みとカウントアップの競合

TCNT カウンタへの書き込み中にカウントアップのためのクロックが入力されても、カウントアップされずに TCNT カウンタへの書き込みが優先されます。これを図 20.6 に示します。

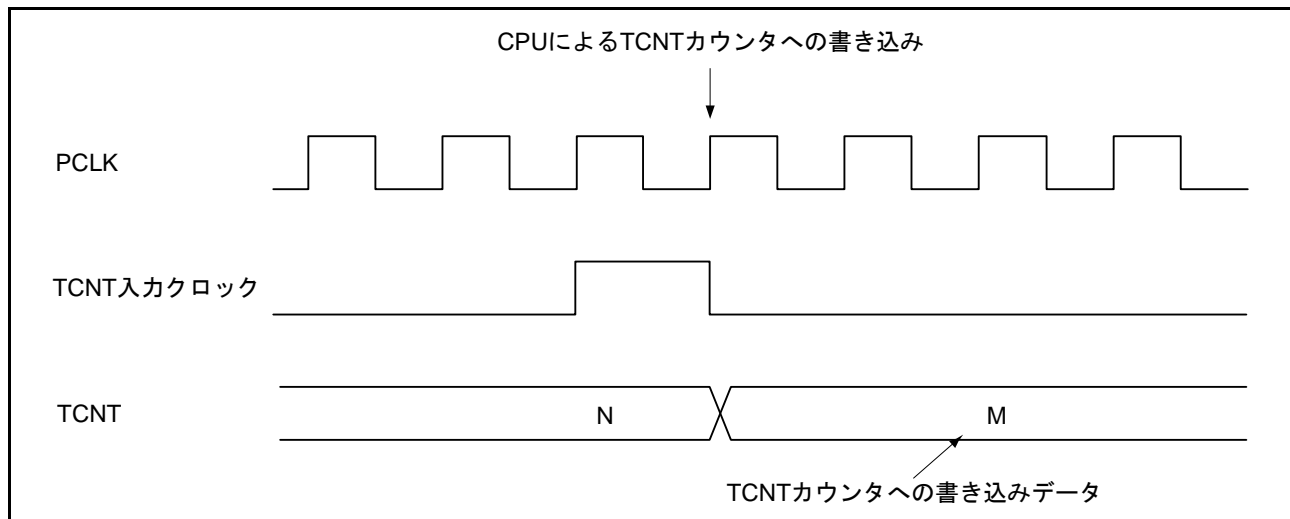


図 20.6 TCNT カウンタへの書き込みとカウントアップの競合

20.5.3 CKS[2:0] ビットの書き換え

ウォッチドッグタイマの動作中に TCSR.CKS[2:0] ビットを書き替えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き替えるときは、必ずウォッチドッグタイマを停止させてから (TCSR.TME ビットを“0”にしてから) 行ってください。

20.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

ウォッチドッグタイマの動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ずウォッチドッグタイマを停止させてから (TCSR.TME ビットを“0”にしてから) 行ってください。

20.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTCSR.RSTE ビットを“0”にしておくと、TCNT カウンタがオーバーフローしても LSI 内部をリセットしませんが、ウォッチドッグタイマの TCNT カウンタ、TCSR レジスタはリセットされます。

WDTOVF# 信号が Low を出力している期間は、TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタへの書き込みはできません。また、この期間は RSTCSR.WOVF フラグの読み出しも認識されません。そのため、WOVF フラグのクリアは、WDTOVF# 信号が High になってから、RSTCSR レジスタを読み出し後、WOVF フラグに“0”を書いてください。

20.5.6 WDTOVF# 信号によるシステムのリセット

WDTOVF# 信号を RES# 端子に入力すると、LSI を正しく初期化できません。WDTOVF# 信号は、RES# 端子に論理的に入力しないでください。WDTOVF# 信号でシステム全体をリセットするときは、図 20.7 の示すような回路で行ってください。

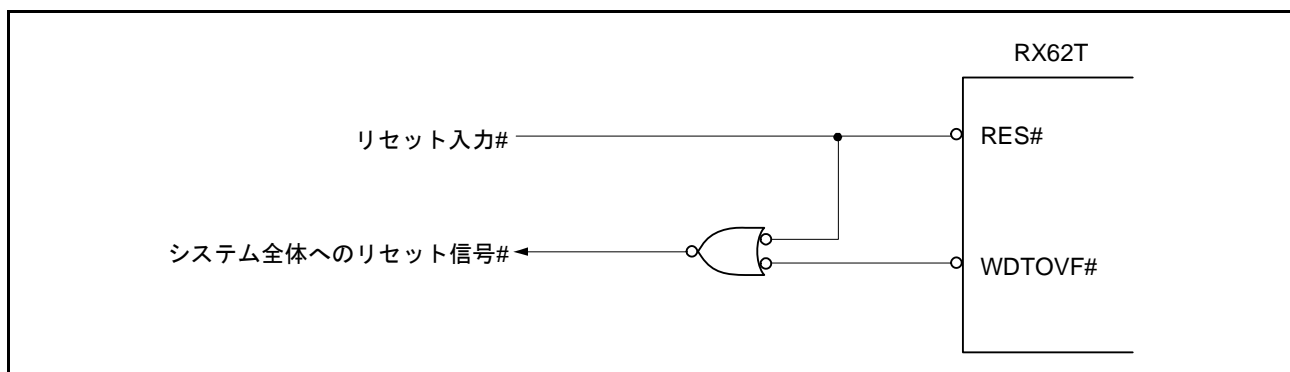


図 20.7 WDTOVF# 信号によるシステムのリセット回路例

20.5.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの移行

ウォッチドッグタイマモードとして動作しているときは、スタンバイコントロールレジスタのソフトウェアスタンバイビット (SBYCR.SSBY) を“1” (WAIT 命令実行後、ソフトウェアスタンバイモードに移行) にした状態で WAIT 命令を実行してもソフトウェアスタンバイモードには移行せず、スリープモードまたは全モジュールクロックストップモードに移行します。

ソフトウェアスタンバイモードに移行させる場合は、ウォッチドッグタイマを停止させてから (TCSR.TME ビットを“0”にしてから)、WAIT 命令を実行してください。

インターバルタイマモードとして動作している場合は、SSBY ビットを“1”にした状態で、WAIT 命令を実行するとソフトウェアスタンバイモードに移行します。

詳細は「9. 消費電力低減機能」を参照してください。

21. 独立ウォッチドッグタイマ (IWDT)

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために従来のウォッチドッグタイマ (WDT) とは独立して使用するウォッチドッグタイマです。

IWDT は 14 ビットのダウンカウンタを内蔵しており、ダウンカウンタのカウンタ値がアンダフローするとシステムをリセットします。また、IWDT はリフレッシュ機能を有しています。

注. IWDT を使用する場合は、アンダフローする前にリフレッシュしてください。詳細は「21.3.3 リフレッシュ動作」を参照してください。

21.1 概要

表 21.1 に IWDT の仕様を、図 21.1 に IWDT のブロック図を示します。

表 21.1 IWDT の仕様

項目	内容
カウントクロック	IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	ダウンカウンタのリフレッシュ (IWDTRRレジスタに00hを書いた後、FFhを書く) によりカウント開始
カウント停止条件	リセット (ダウンカウンタ、レジスタは初期値に戻ります。) アンダフロー発生時
IWDTリセット出力要因	ダウンカウンタがアンダフローしたとき
IWDTカウンタの読み出し	IWDTSRレジスタを読むことで、ダウンカウンタのカウンタ値が読めます

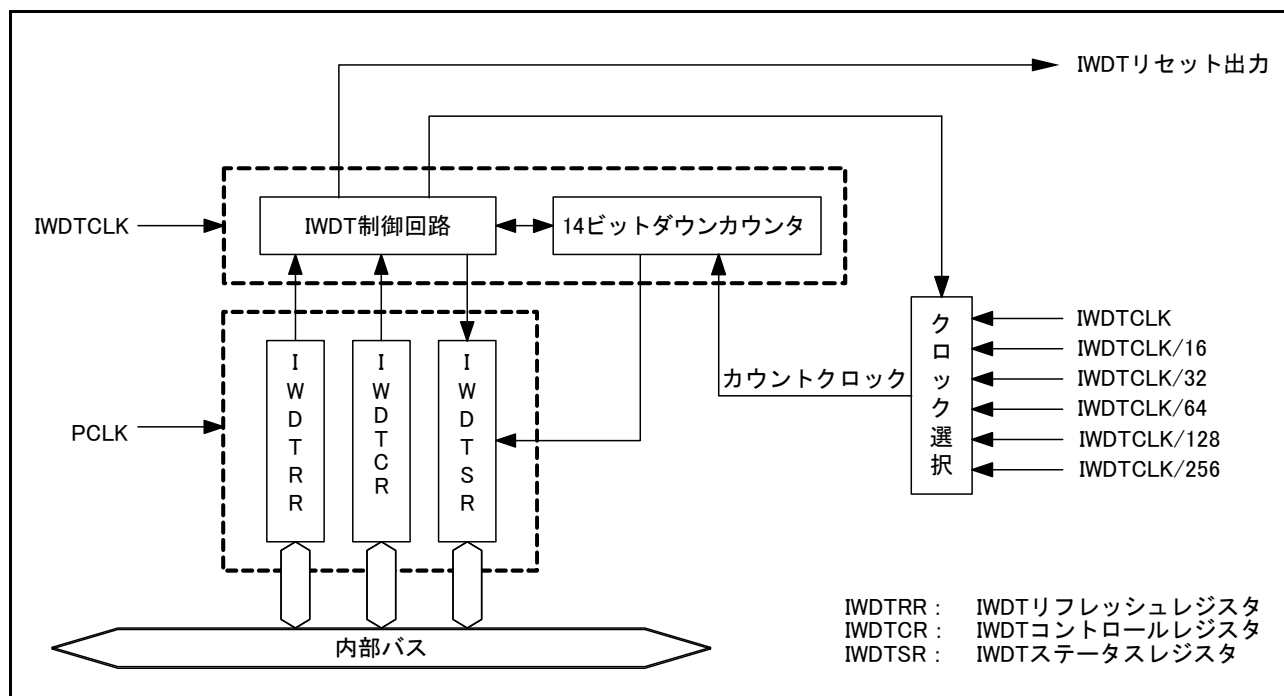


図 21.1 IWDT のブロック図

21.2 レジスタの説明

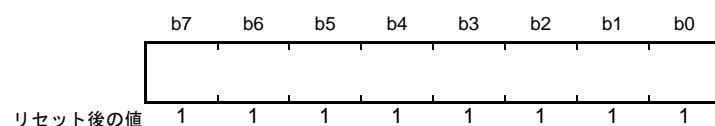
表 21.2 に IWDT のレジスタ一覧を示します。

表21.2 IWDTのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
IWDTリフレッシュレジスタ	IWDTRR	FFh	0008 8030h	8
IWDTコントロールレジスタ	IWDTCR	3303h	0008 8032h	16
IWDTステータスレジスタ	IWDTSR	0000h	0008 8034h	16

21.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス 0008 8030h



IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするレジスタです。

IWDTRR レジスタに 00h を書いた後、FFh を書き込み (リフレッシュ動作) をすることにより、IWDT のダウンカウンタをリフレッシュします。ダウンカウンタはリフレッシュされると、IWDT コントロールレジスタ (IWDTCR) の TOPS[1:0] ビットで設定した値からダウンカウントを行います。

また、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

00h を書いた後に FFh 以外を書いた場合、00h の書き込みは無効です。リフレッシュ動作を有効にするには、再度 00h を書いた後に FFh を書いてください。

読み出される値は 00h を書いた場合は 00h が、00h 以外の値を書いた場合は常に FFh となります。

21.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	—	—	—	CKS[3:0]			—	—	TOPS[1:0]			
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト選択ビット	b1 b0 0 0 : 1024サイクル (03FFh) 0 1 : 4096サイクル (0FFFh) 1 0 : 8192サイクル (1FFFh) 1 1 : 16384サイクル (3FFFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	CKS[3:0]	クロック選択ビット	b7 b4 0 0 — — : IWDTCLK 0 1 0 0 : IWDTCLK/16 0 1 0 1 : IWDTCLK/32 0 1 1 0 : IWDTCLK/64 0 1 1 1 : IWDTCLK/128 1 — — — : IWDTCLK/256	R/W
b9-b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b14	—	予約ビット	読むと“0”読めます。書く場合、“0”としてください	R/W

IWDTCR レジスタは、ダウンカウンタがアンダフローするまでのタイムアウト、およびカウントクロックを設定するレジスタです。

IWDTCR レジスタへの書き込みは、リセット解除後から最初のリフレッシュ動作までの間に1回のみ可能です。リフレッシュ動作（カウントスタート）後、またはIWDTCR レジスタへの2回目以降の書き込みは、IWDTCR レジスタへの書き込みがロックされるため書けません。

IWDTCR レジスタのロックは、IWDT へのリセット要因により解除されます。それ以外のリセット要因では解除されません。詳細は、「6. リセット」を参照してください。

TOPS[1:0] ビット (タイムアウト選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウトを CKS[3:0] ビットで設定したカウントクロックを1サイクルとして、1024 サイクル / 4096 サイクル / 8192 サイクル / 16384 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 21.3 に CKS[3:0]、TOPS[1:0] ビットの設定とタイムアウト、および IWDTCLK 数の関係を示します。

表21.3 タイムアウト設定表

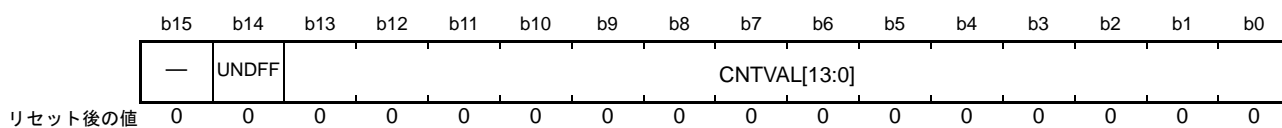
CKS[3:0]				TOPS[1:0]		カウントクロック	タイムアウト (サイクル数)	IWDTCLK数
0	0	—	—	0	0	IWDTCLK	1024	1024
				0	1		4096	4096
				1	0		8192	8192
				1	1		16384	16384
0	1	0	0	0	0	IWDTCLK/16	1024	16384
				0	1		4096	65536
				1	0		8192	131072
				1	1		16384	262144
0	1	0	1	0	0	IWDTCLK/32	1024	32768
				0	1		4096	131072
				1	0		8192	262144
				1	1		16384	524288
0	1	1	0	0	0	IWDTCLK/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
0	1	1	1	0	0	IWDTCLK/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
1	—	—	—	0	0	IWDTCLK256	1024	262144
				0	1		4096	1048576
				1	0		8192	2097152
				1	1		16384	4194304

CKS[3:0] ビット (クロック選択ビット)

ダウンカウンタのカウントクロックを IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256 から選択します。TOPS[1:0] ビットの設定と合わせて、IWDT のカウント期間を IWDTCLK の 1024 ~ 4194304 クロックの間で設定できます。

21.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタビット	ダウンカウンタのカウント値	R
b14	UNDF	アンダフローフラグ	1: アンダフロー 0: アンダフローなし	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IWDTSR レジスタは、ダウンカウンタのカウント値およびアンダフローの発生状態の確認を行うレジスタです。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。詳細は、「6. リセット」を参照してください。

CNTVAL[13:0] ビット (ダウンカウンタビット)

ダウンカウンタのカウント値を確認することができます。

UNDF フラグ (アンダフローフラグ)

ダウンカウンタのアンダフローの発生状態を確認することができます。

読んだ値が“1”のとき、ダウンカウンタはアンダフローが発生した状態です。読んだ値が“0”のとき、アンダフローは発生していません。

値をクリアするには、UNDF フラグに“0”を書いてください。“1”書き込みは無効です。

21.3 動作説明

21.3.1 ダウンカウンタのカウンタ動作

リセット解除後、IWDTCR レジスタにカウントクロックの設定、タイムアウトの設定を行います。その後、リフレッシュ動作でダウンカウンタに IWDTCR.TOPS[1:0] ビットで設定された値がセットされダウンカウンタを開始します。

以後、プログラムが正常に動作していてリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウンタを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりダウンカウンタのリフレッシュが行えず、ダウンカウンタのアンダフローが発生した場合、IWDT はリセットを出力します。

リセット出力後、ダウンカウンタは初期状態 (ALL“0”) で保持されます。リセットから復帰した後は、リフレッシュ動作を行なうことによりダウンカウンタを開始します。

図 21.2 にダウンカウンタのカウンタ動作例を示します。

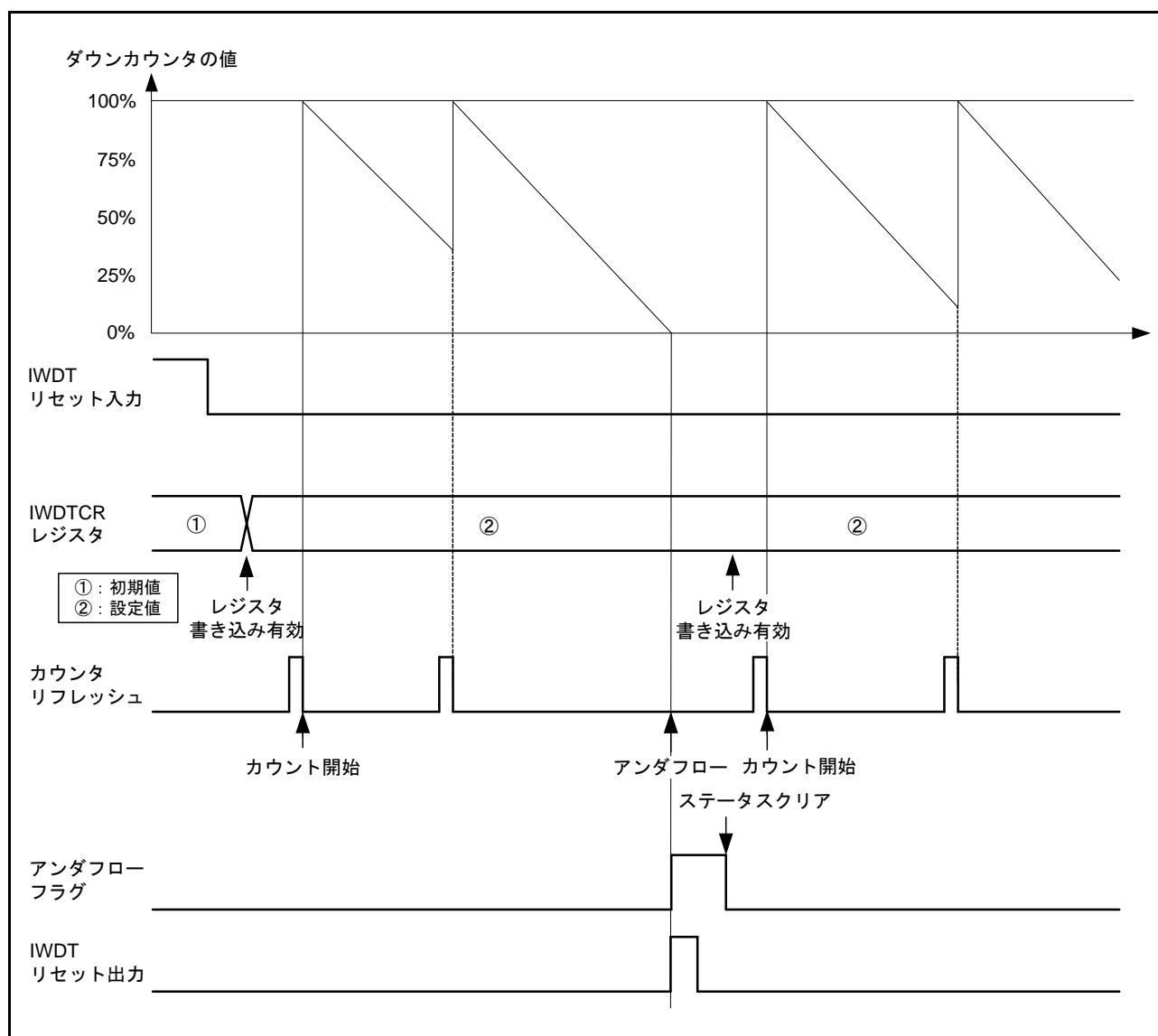


図 21.2 ダウンカウンタのカウンタ動作例

21.3.2 IWDT コントロールレジスタ書き込み制御

IWDT コントロールレジスタ (IWDTCR) への書き込みは、リセット解除後 1 回のみ可能です。

IWDTCR レジスタへ書き込みを行なうと、IWDT 内部のレジスタロック信号が“1”となり、以後 IWDTCR レジスタへの書き込みをロックします。IWDT へのリセット要因により、ロックは解除されます。それ以外のリセット要因では解除されません。詳細は、「6. リセット」を参照してください。

図 21.3 に IWDTCR レジスタ書き込み制御波形を示します。

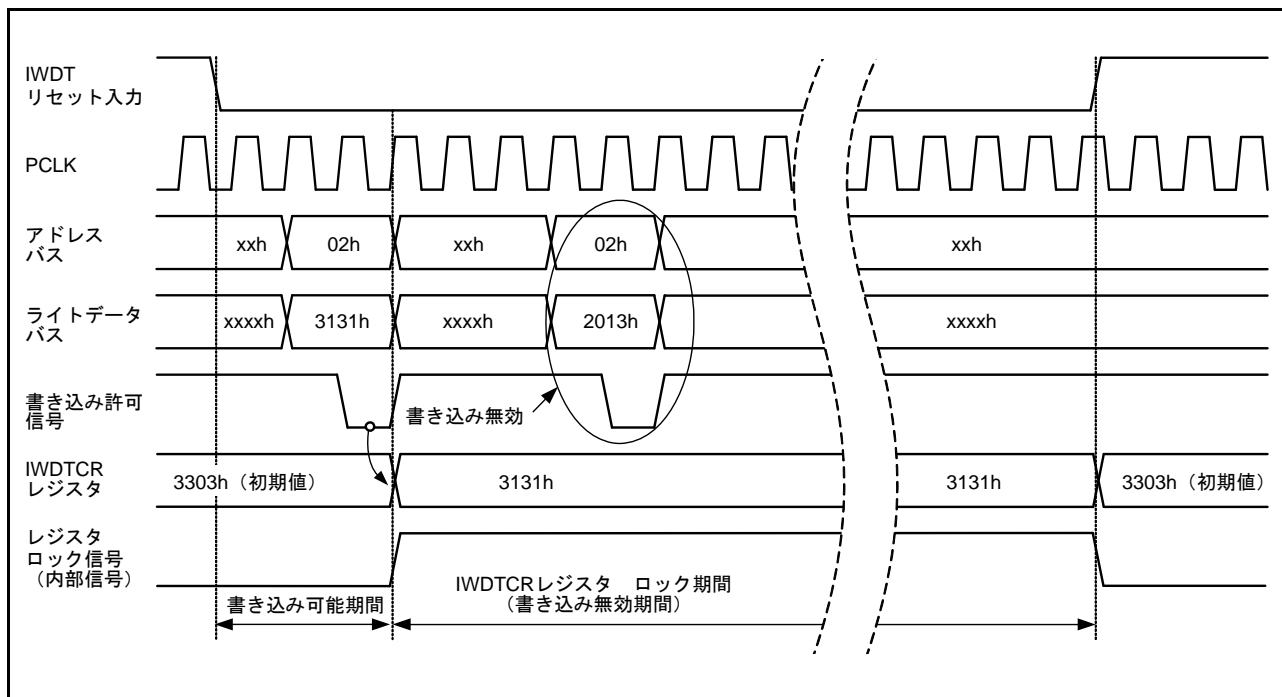


図 21.3 IWDTCR レジスタ書き込み制御波形

21.3.3 リフレッシュ動作

IWDT の動作開始 (ダウンカウント開始)、およびダウンカウンタのリフレッシュを行うためには、IWDT リフレッシュレジスタ (IWDTRR) に対して 00h → FFh の順で書き込みを行います。それ以外の書き込み動作は無効になります。したがって、リフレッシュ動作を正常に行うためには、再度 IWDTRR レジスタへ 00h → FFh の順で書いてください。

00h → 00h の書き込み動作は無効ですが、その後 FFh を書くことにより 00h → FFh 順の書き込み動作が有効となるので、00h → 00h → FFh の書き込み動作も有効になります。また、最初の書き込みが 00h 以外でも同様に、その後 00h → FFh 順の書き込み動作で有効となります。

【リフレッシュ無効書き込み例】

- 23h (00h 以外) → FFh
- 00h → 54h (FFh 以外)
- 00h → AAh (FFh 以外) → FFh

ダウンカウンタがリフレッシュされるタイミングは、IWDTRR レジスタに FFh を書き込み後、カウントサイクル数で最大 4 サイクル必要となります (1 サイクル間の IWDTCLK 数は、クロック選択ビット (IWDTCR.CKS[3:0]) の設定値により異なります)。そのため、カウンタがアンダフローする 4 カウント前までに、IWDTRR レジスタへの FFh 書き込みを完了してください。カウンタの値はダウンカウンタビット (IWDTSR.CNTVAL[13:0]) で確認できます。

図 21.4 にカウントクロック : IWDTCLK の場合のリフレッシュ動作波形を示します。

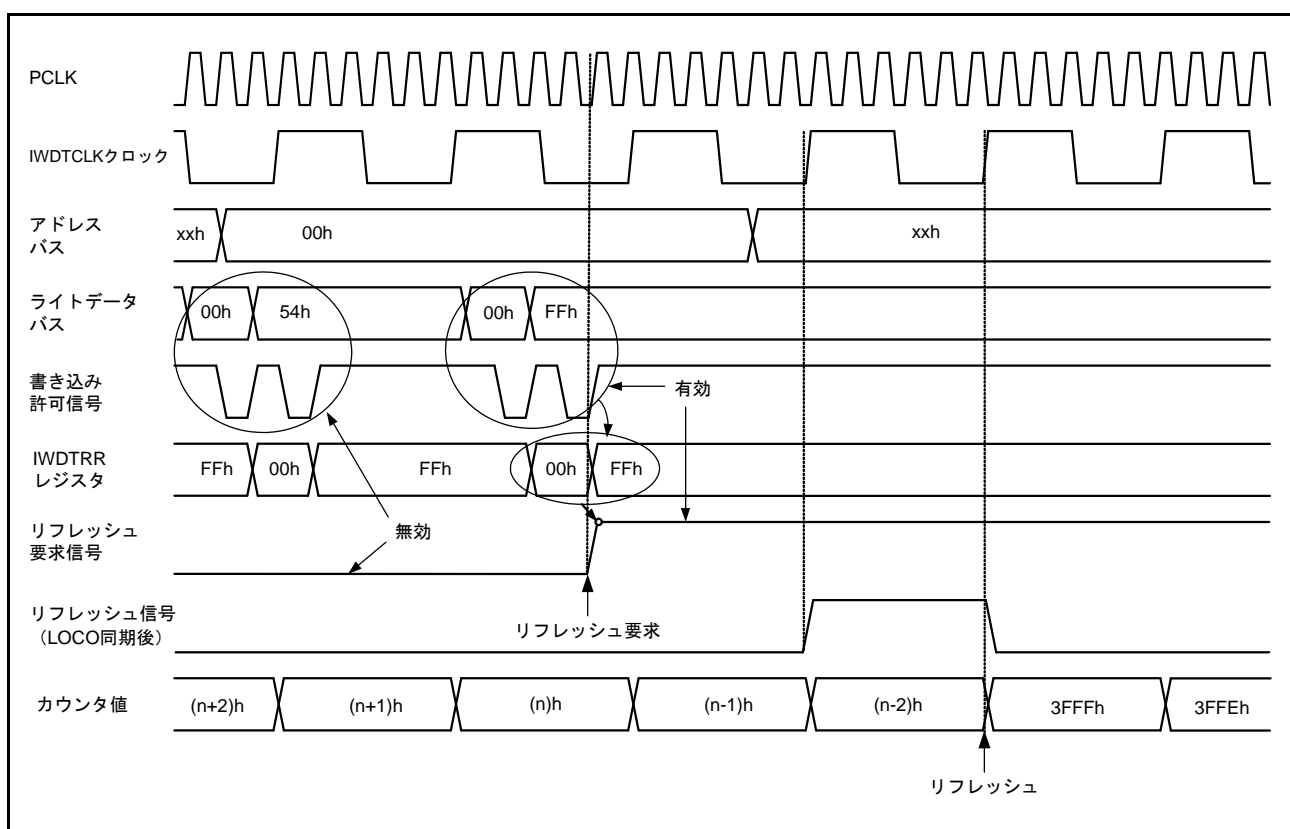


図 21.4 リフレッシュ動作波形 (IWDTCR.CKS[3:0]="0000b"、IWDTCR.TOPS[1:0]="11b")

21.3.4 ステータスフラグ

アンダフローフラグ (IWDTSR.UNDFE) は、IWDT がリセットを出力した場合のリセット要因を保持します。

リセット解除後に IWDTSR.UNDFE フラグを読むことで、リセット要因の発生状態を確認することができます。

UNDFE フラグの値をクリアするには“0”を書いてください。“1”を書くことは無効です。

UNDFE フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。

21.4 使用上の注意事項

21.4.1 消費電力低減機能への遷移における制限事項

IWDTCR レジスタへの書き込み、またはリフレッシュ動作により IWDT は使用状態になります。

IWDT が使用状態にあるとき、SBYCR.SSBY ビットを“1”にして WAIT 命令を実行してもソフトウェアスタンバイモードには移行せず、スリープモードあるいは全モジュールクロックストップモードに移行します。

なお、IWDT の使用状態は、IWDT へのリセット要因により解除されます。それ以外のリセット要因では解除されません。詳細は、「6. リセット」を参照してください。

22. シリアルコミュニケーションインタフェース (SCIb)

RX62Tグループ、RX62Gグループは独立した3チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を内蔵しています。

SCIは、調歩同期式とクロック同期式のシリアル通信が可能です。

調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。

この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェース (SMCI) に対応しています。

22.1 概要

表 22.1 に SCI の仕様を示します。

図 22.1 に SCI0 ~ SCI2 のブロック図を示します。

表 22.1 SCI の仕様

項目		内容
シリアル通信方式		<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 22.2 参照
データ転送		LSB ファースト / MSB ファースト 選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7ビット / 8ビット
	送信ストップビット	1ビット / 2ビット
	パリティ機能	偶数パリティ / 奇数パリティ / パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ブレーク検出	フレーミングエラー発生時、RXDn (n=0~2) 端子のレベルを直接読むことでブレークを検出可能
	クロックソース	内部クロック / 外部クロックの選択が可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去機能	RXDn (n=0~2) 端子入力のノイズ除去が可能
		スタートビット検出 RxD 端子の Low レベル / 立ち下がりエッジ検出を選択可能
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション / インバースコンベンションをサポート

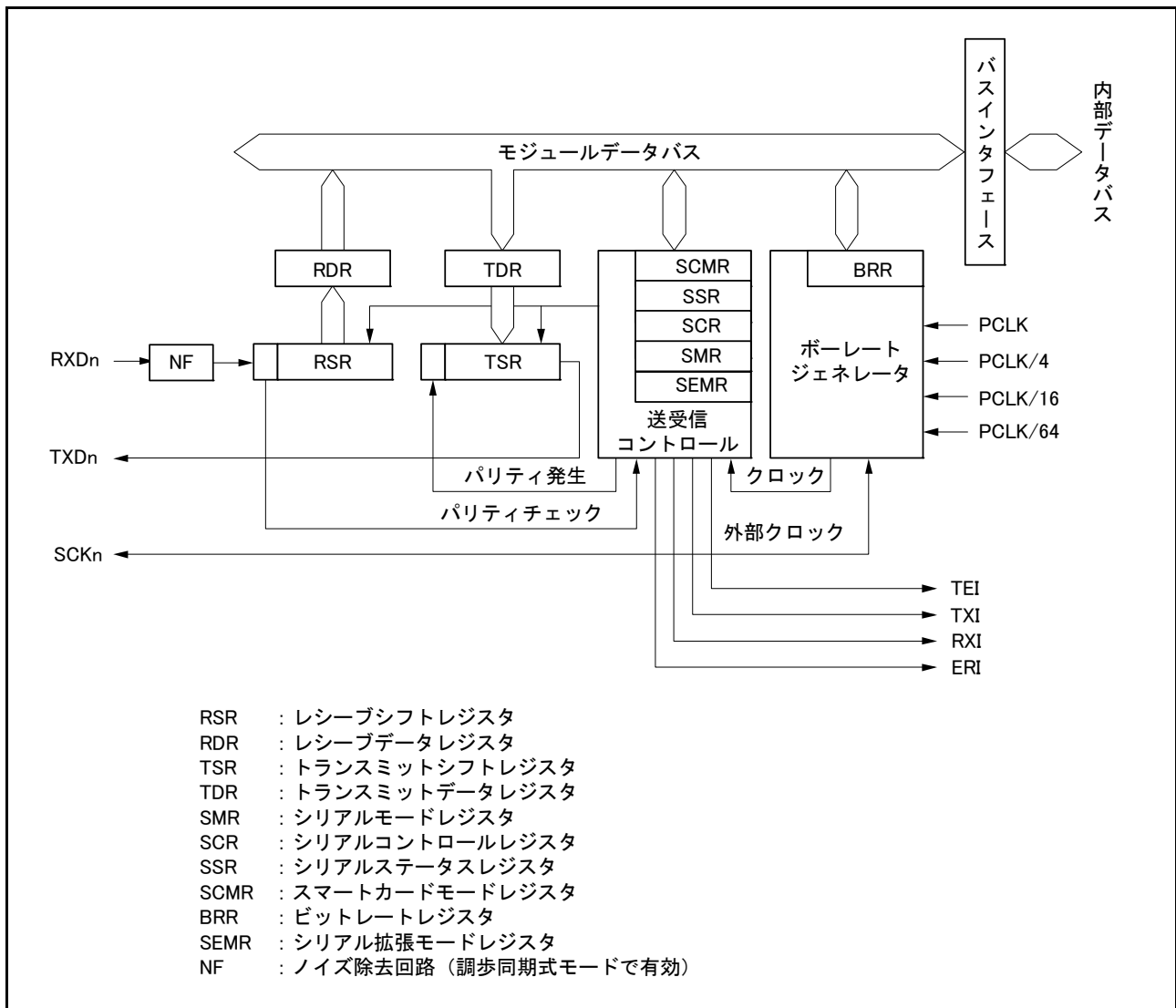


図 22.1 SCI0 ~ SCI2 のブロック図

表 22.2 に SCI/SMCI で使用する入出力端子を示します。

表 22.2 SCI/SMCI の入出力端子

チャンネル	端子名	入出力	機能
SCI0/SMCI0	SCK0	入出力	SCI0/SMCI0のクロック入出力端子
	RXD0	入力	SCI0/SMCI0の受信データ入力端子
	TXD0	出力	SCI0/SMCI0の送信データ出力端子
SCI1/SMCI1	SCK1	入出力	SCI1/SMCI1のクロック入出力端子
	RXD1	入力	SCI1/SMCI1の受信データ入力端子
	TXD1	出力	SCI1/SMCI1の送信データ出力端子
SCI2/SMCI2	SCK2	入出力	SCI2/SMCI2のクロック入出力端子
	RXD2	入力	SCI2/SMCI2の受信データ入力端子
	TXD2	出力	SCI2/SMCI2の送信データ出力端子

22.2 シリアルコミュニケーションインタフェースモード

22.2.1 レジスタの説明

表 22.3 に SCI のレジスタ一覧を示します。

表 22.3 SCI のレジスタ一覧

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SCI0	シリアルモードレジスタ	SMR	00h	0008 8240h	8
	ビットレートレジスタ	BRR	FFh	0008 8241h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8242h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8243h	8
	シリアルステータスレジスタ	SSR	84h	0008 8244h	8
	レシーブデータレジスタ	RDR	00h	0008 8245h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8246h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8247h	8
SCI1	シリアルモードレジスタ	SMR	00h	0008 8248h	8
	ビットレートレジスタ	BRR	FFh	0008 8249h	8
	シリアルコントロールレジスタ	SCR	00h	0008 824Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 824Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 824Ch	8
	レシーブデータレジスタ	RDR	00h	0008 824Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 824Eh	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 824Fh	8
SCI2	シリアルモードレジスタ	SMR	00h	0008 8250h	8
	ビットレートレジスタ	BRR	FFh	0008 8251h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8252h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8253h	8
	シリアルステータスレジスタ	SSR	84h	0008 8254h	8
	レシーブデータレジスタ	RDR	00h	0008 8255h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8256h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8257h	8

22.2.1.1 レシーブシフトレジスタ (RSR)

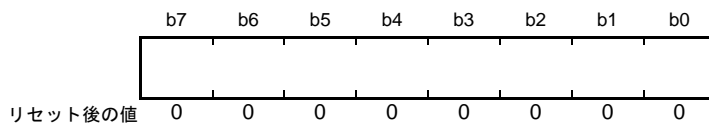
RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

22.2.1.2 レシーブデータレジスタ (RDR)

アドレス SCI0.RDR 0008 8245h、SCI1.RDR 0008 824Dh、SCI2.RDR 0008 8255h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

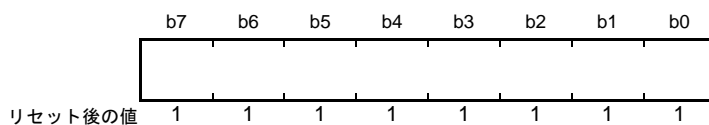
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR から読まずに次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

CPU から RDR レジスタへは書き込みはできません。

22.2.1.3 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 0008 8243h、SCI1.TDR 0008 824Bh、SCI2.TDR 0008 8253h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書かれた送信データを、TSR レジスタに転送して送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書かれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU から常に読み出し/書き込み可能です。TDR レジスタへの送信データの書き込みは、送信データエンpty割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

22.2.1.4 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書かれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

22.2.1.5 シリアルモードレジスタ (SMR)

アドレス SCI0.SMR 0008 8240h、SCI1.SMR 0008 8248h、SCI2.SMR 0008 8250h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 00 : PCLKクロック (n=0) (注1) 01 : PCLK/4クロック (n=1) (注1) 10 : PCLK/16クロック (n=2) (注1) 11 : PCLK/64クロック (n=3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビット長選択ビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(調歩同期式モードで、PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティ許可ビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタ長ビット	(調歩同期式モードのみ有効) 0 : データ長8ビットで送受信 (注2) 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モードで動作 1 : クロック同期式モードで動作	R/W (注4)

注1. nは設定値の10進表示で、「22.2.1.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. クロック同期式モードでは、設定値にかかわらず、データ長は8ビットになります。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SMR レジスタは、通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

CKS[1:0] ビット (クロック選択ビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「22.2.1.9 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の禁止/許可を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビット長選択ビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットとみなします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティ許可ビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタ長ビット)

送受信データのデータ長を選択します。

クロック同期式モードでは、データ長は8ビットになります。

CM ビット (コミュニケーションモードビット)

調歩同期式モード/クロック同期式モードを選択します。

22.2.1.6 シリアルコントロールレジスタ (SCR)

アドレス SCI0.SCR 0008 8242h、SCI1.SCR 0008 824Ah、SCI2.SCR 0008 8252h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	<ul style="list-style-type: none"> 調歩同期式の場合 b1 b0 00: 内蔵ポーレートジェネレータ SCKn端子は入出力ポートとして使用可能 01: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力 10: 外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください 11: 外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください <ul style="list-style-type: none"> クロック同期式の場合 b1 b0 00: 内部クロック SCKn端子はクロック出力端子 01: 内部クロック SCKn端子はクロック出力端子 10: 外部クロック SCKn端子はクロック入力端子 11: 外部クロック SCKn端子はクロック入力端子	R/W (注1)
b2	TEIE	送信完了割り込み許可ビット	0: TEI割り込み要求を禁止 1: TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサ割り込み許可ビット	(調歩同期式モードで、SMR.MPビット=“1”のとき有効) 0: 通常の受信動作 1: マルチプロセッサ受信動作	R/W
b4	RE	受信許可ビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可ビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可ビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可ビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

注1. TEビット=0、REビット=0の場合のみ書き込みできます。

注2. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書けます。いったん、TE、REビットのいずれかを“1”にすると、TEビット=0、REビット=0のみ書けます。
SMR.CMビットが“0”のときは、任意のタイミングで書き込みが可能です。

SCR レジスタは、送受信制御と送受信クロックソースの選択を行うためのレジスタです。

CKE[1:0] ビット (クロック許可ビット)

クロックソースおよび SCK_n 端子の機能を選択します。

TEIE ビット (送信完了割り込み許可ビット)

TEI 割り込みを許可、または禁止します。

TEI 割り込みを禁止するには、TEIE ビットを“0”にします。

MPIE (マルチプロセッサ割り込み許可ビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0” (SSR.MPB ビット = 0) の受信データは RSR レジスタから RDR レジスタへ転送せず、受信エラーの検出と、SSR.ORER, FER の各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、SSR.MPB ビットを“1”になり、MPIE ビットは自動的に“0”になり、通常の実動作に戻ります。RXI、ERI 割り込み要求 (SCR.RIE ビットが“1”になっている場合) と、SSR.ORER, FER フラグのセット (“1”) が許可されます。詳細は「22.2.3 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書いてください。

RE ビット (受信許可ビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にした場合、調歩同期式モードのときにスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に必ず SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止させても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット (送信許可ビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書くことでシリアル送信を開始します。なお、TE ビットを“1”にする前に必ず SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (受信割り込み許可ビット)

RXI および ERI 割り込みを許可、または禁止します。

RXI 割り込みを禁止するには、RIE ビットを“0”にします。

ERI 割り込み要求信号は、SSR.ORER, FER, PER の各フラグから“1”を読んだ後、“0”にするか、RIE ビットを“0”にすると消えます。

TIE ビット (送信割り込み許可ビット)

TXI 割り込みの通知を許可、または禁止します。

TXI 割り込みを禁止するには、TIE ビットを“0”にします。

22.2.1.7 シリアルステータスレジスタ (SSR)

アドレス SCI0.SSR 0008 8244h、SCI1.SSR 0008 824Ch、SCI2.SSR 0008 8254h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット 転送ビット	送信フレームに付加するマルチプロセッサビットの設定	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値	R
b2	TEND	送信完了フラグ	0 : キャラクタを送信中 1 : キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0 : パリティエラーの発生なし 1 : パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0 : フレーミングエラーの発生なし 1 : フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0 : オーバランエラーの発生なし 1 : オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0 : RDRレジスタからデータを転送したとき 1 : 受信が正常終了し、RSRレジスタからRDRレジスタヘデータが 転送されたとき	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0 : TDRレジスタヘデータを転送したとき 1 : TDRレジスタからTSRレジスタにデータが転送されたとき	R/(W) (注2)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. 書く場合“1”を書いてください。

SSRレジスタは、SCIのステータスフラグおよび送受信マルチプロセッサビットで構成されます。

MPBT ビット (マルチプロセッサビット転送ビット)

送信フレームに付加するマルチプロセッサビットの値を設定します。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (送信完了フラグ)

送信が終了したことを示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- TDR レジスタへ送信データを書いたとき

TDR レジスタへの送信データの書き込みにより TEND フラグをクリアしたときは、以下の順序で SSR レジスタをダミーリードしてください。

- (1) TDR レジスタに送信データを書く
- (2) SSR レジスタを汎用レジスタに読み出す
- (3) 読み出した値を使って何らかの演算を実行する

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信したデータにパリティエラーが発生したことを示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき

パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”の状態では、以降の受信データは RDR レジスタに転送しません。

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき (“0”を書いた後に PER フラグが“0”になったことを確認してください。)

SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信したデータにフレーミングエラーが発生して異常終了したことを示します。

["1"になる条件]

- ストップビットが“0”のとき

2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが“1”の状態では、以降の受信データは RDR レジスタに転送しません。

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき (“0”を書いた後に FER フラグが“0”になったことを確認してください。)

SCR.RE ビットを“0”にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信したデータにオーバランエラーが発生して異常終了したことを示します。

[“1”になる条件]

- RDR レジスタの受信データを読まずに次のデータを受信したとき

RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”の状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき (“0”を書いた後に ORER フラグが“0”になったことを確認してください。)
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへデータが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを転送したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへデータを転送したとき

22.2.1.8 スマートカードモードレジスタ (SCMR)

アドレス SC10.SCMR 0008 8246h、SC11.SCMR 0008 824Eh、SC12.SCMR 0008 8256h

	b7	b6	b5	b4	b3	b2	b1	b0
	BGP2	—	—	—	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード 選択ビット	0: シリアルコミュニケーションインタフェースモード 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	スマートカードデータ反転ビット	0: TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W (注1)
b3	SDIR	ビットオーダー選択ビット	0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BGP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 BCP1 BCP0 0 0 0: 93クロック (S=93) (注2) 0 0 1: 128クロック (S=128) (注2) 0 1 0: 186クロック (S=186) (注2) 0 1 1: 512クロック (S=512) (注2) 1 0 0: 32クロック (S=32) (注2) (初期値) 1 0 1: 64クロック (S=64) (注2) 1 1 0: 372クロック (S=372) (注2) 1 1 1: 256クロック (S=256) (注2)	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書けます。

注2. Sは「22.2.1.9 ビットレートレジスタ (BRR)」中のSの値を表します。

SCMRレジスタは、スマートカードインタフェースモード、およびそのフォーマットを選択するためのレジスタです。

SMIF ビット (スマートカードインタフェースモード選択ビット)

スマートカードインタフェースモードで動作させるときは、“1”にします。

調歩同期式またはクロック同期式モードで動作させるときは、“0”にします。

SINV ビット (スマートカードデータ反転ビット)

送受信データのロジックレベルを反転させます。SINVビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR.PMビットを反転させてください。

SDIR ビット (ビットオーダー選択ビット)

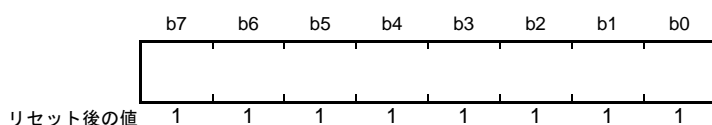
シリアル/パラレル変換の方向を選択します。

BGP2 ビット (基本クロックパルスビット2)

スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を、SMR.BCP[1:0]ビットと組み合わせて選択します。

22.2.1.9 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 0008 8241h、SCI1.BRR 0008 8249h、SCI2.BRR 0008 8251h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI ではチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR レジスタの設定値 **N** とビットレート **B** の関係を表 22.4 に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU からの読み出しは常に可能ですが、書き込みは SCR.TE ビット =0、SCR.RE ビット =0 の場合のみ可能です。

調歩同期式モードにおける BRR レジスタの値 **N** の設定例を表 22.5 に、各動作周波数における設定可能な最大ビットレートを表 22.6 に示します。また、クロック同期式モードにおける BRR レジスタの値 **N** の設定例を表 22.8 に示します。

表 22.7、表 22.9 に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) を “1” にしたときのビットレートは表 22.5 の 2 倍になります。

表22.4 BRRレジスタの設定値NとビットレートBの関係

モード	SEMR.ABCSビット	BRRレジスタの設定値	誤差
調歩同期式	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	

B : ビットレート (bps)
N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)
PCLK : 動作周波数 (MHz)
n と S : 下表のとおり SMR の設定値に依存します。

SMRレジスタの設定値 CKS[1:0]ビット	クロックソース	n
0 0	PCLKクロック	0
0 1	PCLK/4クロック	1
1 0	PCLK/16クロック	2
1 1	PCLK/64クロック	3

SCMRレジスタの設定値 BCP2ビット	SMRレジスタの設定値 BCP[1:0]ビット	基本クロック	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

表22.5 ビットレートに対するBRRの設定例 (調歩同期式モード) (1)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート (bps)	動作周波数PCLK (MHz)								
	12.288			14			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	70	0.03
150	2	159	0.00	2	181	0.16	2	207	0.16
300	2	79	0.00	2	90	0.16	2	103	0.16
600	1	159	0.00	1	181	0.16	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	15	0.00
38400	0	9	0.00	—	—	—	0	12	0.16

注. SEMR.ABCSビット=0のときの例です。
 ABCSビット=1にしたときは、ビットレートが2倍になります。

表22.5 ビットレートに対するBRRの設定例 (調歩同期式モード) (2)

ビットレート (bps)	動作周波数PCLK (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

ビットレート (bps)	動作周波数PCLK (MHz)											
	25			30			33			50		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	110	-0.02	3	132	0.13	3	145	0.33	3	221	-0.02
150	3	80	0.47	3	97	-0.35	3	106	0.39	3	162	-0.15
300	2	162	-0.15	2	194	0.16	2	214	-0.07	3	80	0.47
600	2	80	0.47	2	97	-0.35	2	106	0.39	2	162	-0.15
1200	1	162	-0.15	1	194	0.16	1	214	-0.07	2	80	0.47
2400	1	80	0.47	1	97	-0.35	1	106	0.39	1	162	-0.15
4800	0	162	-0.15	0	194	0.16	0	214	-0.07	1	80	0.47
9600	0	80	0.47	0	97	-0.35	0	106	0.39	1	40	-0.77
19200	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	80	0.47
31250	0	24	0.00	0	29	0	0	32	0	0	49	0.00
38400	0	19	1.73	0	23	1.73	0	26	-0.54	0	40	-0.77

注. SEMR.ABCSビット=0のときの例です。
 ABCSビット=1にしたときは、ビットレートが2倍になります。

表22.6 各動作周波数における最大ビットレート (調歩同期式モード)

PCLK (MHz)	最大ビットレート (bps)	n	N	PCLK (MHz)	最大ビットレート (bps)	n	N
8	250000	0	0	18	562500	0	0
9.8304	307200	0	0	19.6608	614400	0	0
10	312500	0	0	20	625000	0	0
12	375000	0	0	25	781250	0	0
12.288	384000	0	0	30	937500	0	0
14	437500	0	0	33	1031250	0	0
16	500000	0	0	50	1562500	0	0
17.2032	537600	0	0				

注. SEMR.ABCSビット=1にしたときは、ビットレートが2倍になります。

表22.7 外部クロック入力時の最大ビットレート (調歩同期式モード) (1)

PCLK (MHz)	外部入カクロック (MHz)	最大ビットレート (bps)	PCLK (MHz)	外部入カクロック (MHz)	最大ビットレート (bps)
8	2.0000	125000	18	4.5000	281250
9.8304	2.4576	153600	19.6608	4.9152	307200
10	2.5000	156250	20	5.0000	312500
12	3.0000	187500	25	6.2500	390625
12.288	3.0720	192000	30	7.5000	468750
14	3.5000	218750	33	8.2500	515625
16	4.0000	250000	50	12.5000	781250
17.2032	4.3008	268800			

注. SEMR.ABCSビット=0のときの例です。

表22.7 外部クロック入力時の最大ビットレート (調歩同期式モード) (2)

PCLK (MHz)	外部入カクロック (MHz)	最大ビットレート (bps)	PCLK (MHz)	外部入カクロック (MHz)	最大ビットレート (bps)
8	2.0000	250000	18	4.5000	562500
9.8304	2.4576	307200	19.6608	4.9152	614400
10	2.5000	312500	20	5.0000	625000
12	3.0000	375000	25	6.2500	781250
12.288	3.0720	384000	30	7.5000	937500
14	3.5000	437500	33	8.2500	1031250
16	4.0000	500000	50	12.5000	1562500
17.2032	4.3008	537600			

注. SEMR.ABCSビット=1のときの例です。

表22.8 ビットレートに対するBRRの設定例 (クロック同期式モード)

ビットレート (bps)	動作周波数PCLK (MHz)															
	8		10		16		20		25		30		33		50	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	194
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	3	77
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	155
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	2	77
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	124
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	61
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	124
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	49
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	24
1M	0	1			0	3	0	4	—	—	—	—	—	—	—	—
2.5M			0	0 (注1)			0	1	—	—	0	2	—	—	0	4
5M							0	0 (注1)	—	—	—	—	—	—	—	—

空欄：設定できません。

—：設定可能ですが誤差が生じます。

注1. 連続送信／連続受信はできません。

表22.9 外部クロック入力時の最大ビットレート (クロック同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	50	8.3333	8333333.3
18	3.0000	3000000.0			

表22.10 ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	動作周波数PCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bps)	動作周波数PCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

ビットレート (bps)	動作周波数PCLK (MHz)											
	25.00			30.00			33.00			50.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	6	0.01

表22.11 各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=372のとき)

PCLK (MHz)	最大ビットレート (bps)	n	N	PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
16.00	21505	0	0	33.00	44355	0	0
18.00	24194	0	0	50.00	67205	0	0

22.2.1.10 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 0008 8247h、SCI1.SEMR 0008 824Fh、SCI2.SEMR 0008 8257h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	—	NFEN	ABCS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロック 選択ビット	(調歩同期式モードのみ有効) 0: 基本クロック16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	ノイズ除去機能選択 ビット	(調歩同期式モードのみ有効) 0: RXDn端子入力のノイズ除去機能無効 1: RXDn端子入力のノイズ除去機能有効	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	RXDESEL	調歩同期スタートビット エッジ検出選択ビット	(調歩同期式モードのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロック、およびRXDn端子入力のノイズ除去機能の有効/無効を選択するためのレジスタです。

ABCS ビット (調歩同期基本クロック選択ビット)

1ビット期間の基本クロックのパルス数を選択します。

NFEN ビット (ノイズ除去機能選択ビット)

ノイズ除去機能の有効/無効を選択します。有効にすると、受信RXDn入力端子のノイズ除去を行います。

詳細は「22.4 ノイズ除去機能」を参照ください。

RXDESEL ビット (調歩同期スタートビットエッジ検出選択ビット)

調歩同期式モード受信動作における、スタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後にRxD端子入力を1フレーム期間以上Highに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

22.2.2 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 22.2 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、SEMR.RXDESEL ビットが “0” のときはスペース (Low) を、SEMR.RXDESEL ビットが “1” のときはスペース (Low) への立ち下がりエッジを検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータの読み出し/書き込みができ、連続送受信が可能です。

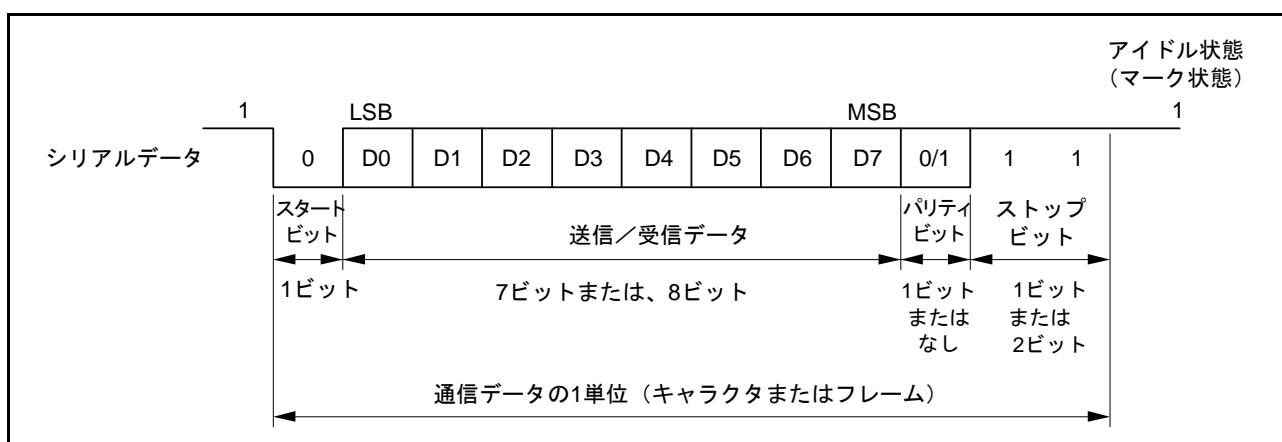


図 22.2 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ/パリティあり/2 ストップビットの例)

22.2.2.1 シリアル送信／受信フォーマット

調歩同期式モードで設定できるシリアル送信／受信フォーマットを表 22.12 に示します。

フォーマットは12種類あり、SMRレジスタの設定により選択できます。マルチプロセッサ機能の詳細については、「22.2.3 マルチプロセッサ通信機能」を参照してください。

表22.12 シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

22.2.2.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍^(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、**図 22.3**に示すように受信データを8クロック目^(注1)の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5)F - \frac{|D-0.5|}{N} (1+F) \right| \times 100 \quad [\%] \quad \cdots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比

(SEMR.ABCSビット=0のときN=16、ABCSビット=1のときN=8)

D : クロックのデューティ比 (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ比)=0.5とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100[\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

注1. SEMR.ABCSビット=0のときの例です。ABCSビット=1のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

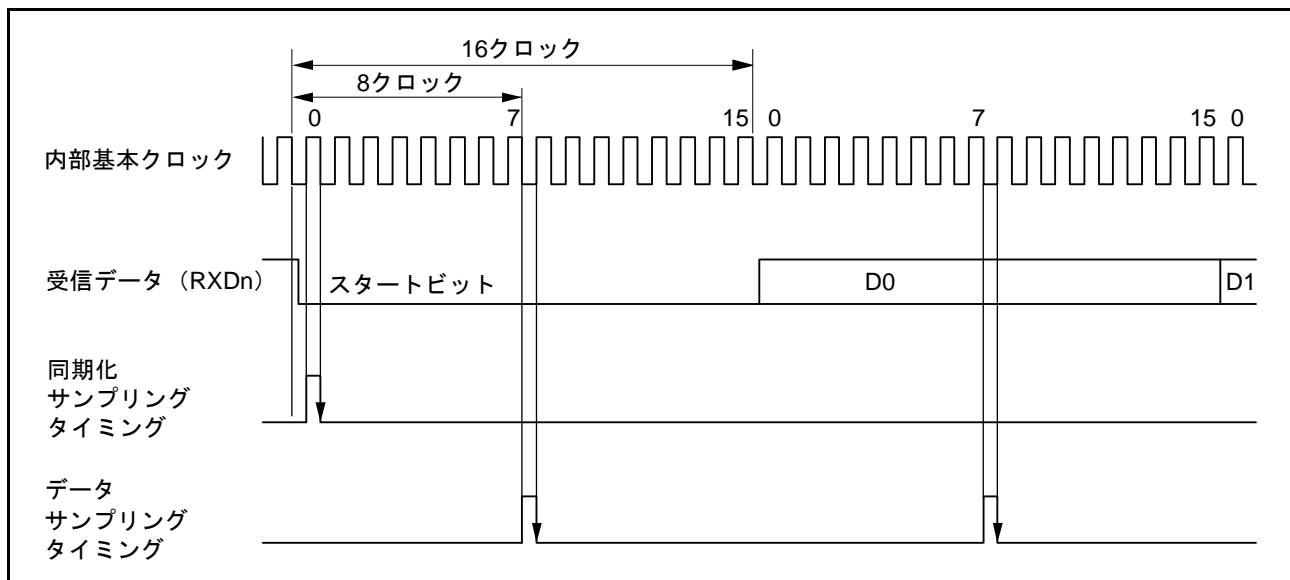


図 22.3 調歩同期式モードの受信データサンプリングタイミング

22.2.2.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図22.4に示すように送信データの中央でクロックが立ち上がります。

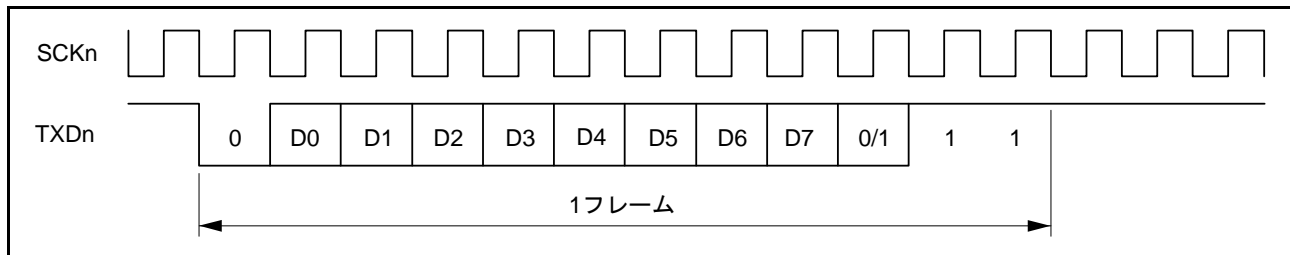


図 22.4 出カクロックと送信データの位相関係（調歩同期式モード）

22.2.2.4 SCIの初期化（調歩同期式モード）

データの送受信前にSCRレジスタに初期値00hを書き込み、図22.5のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、必ずSCRレジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.REビットを“0”にしても、SSR.ORER, FER, PERの各フラグおよびRDRレジスタは初期化されませんので注意してください。

SCR.TEビットを“1”から“0”、または“0”から“1”にすると、SCR.TIEビットが“1”の場合、TXI割り込み要求が発生しますので注意してください。

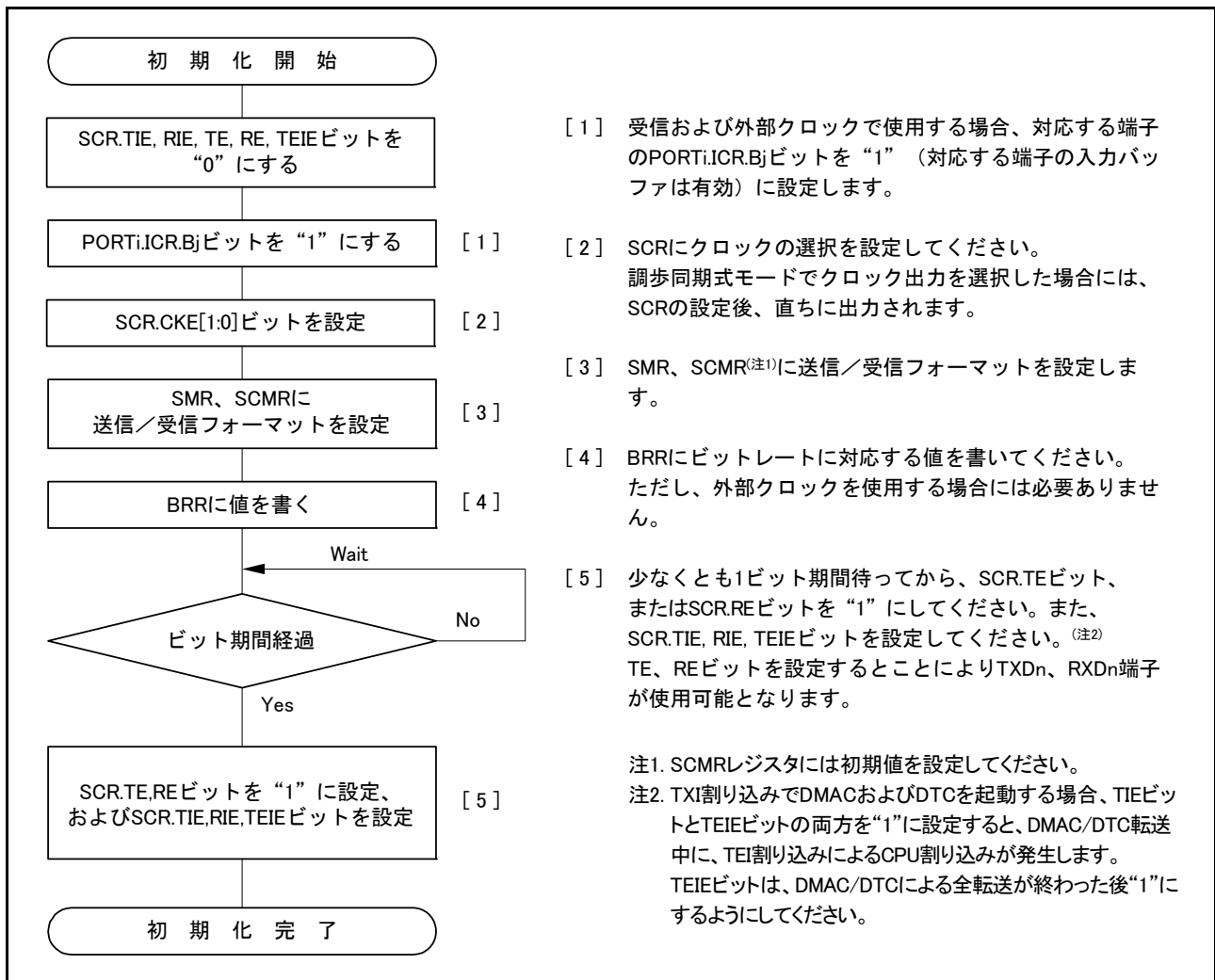


図 22.5 SCI の初期化フローチャートの例（調歩同期式モード）

22.2.2.5 シリアルデータの送信（調歩同期式モード）

図 22.6 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”なら、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていると、次の送信データを TDR レジスタから TSR レジスタにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていないければ、SSR.TEND フラグを“1”にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”になっていると、SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。

図 22.7 にシリアル送信のフローチャートの例を示します。

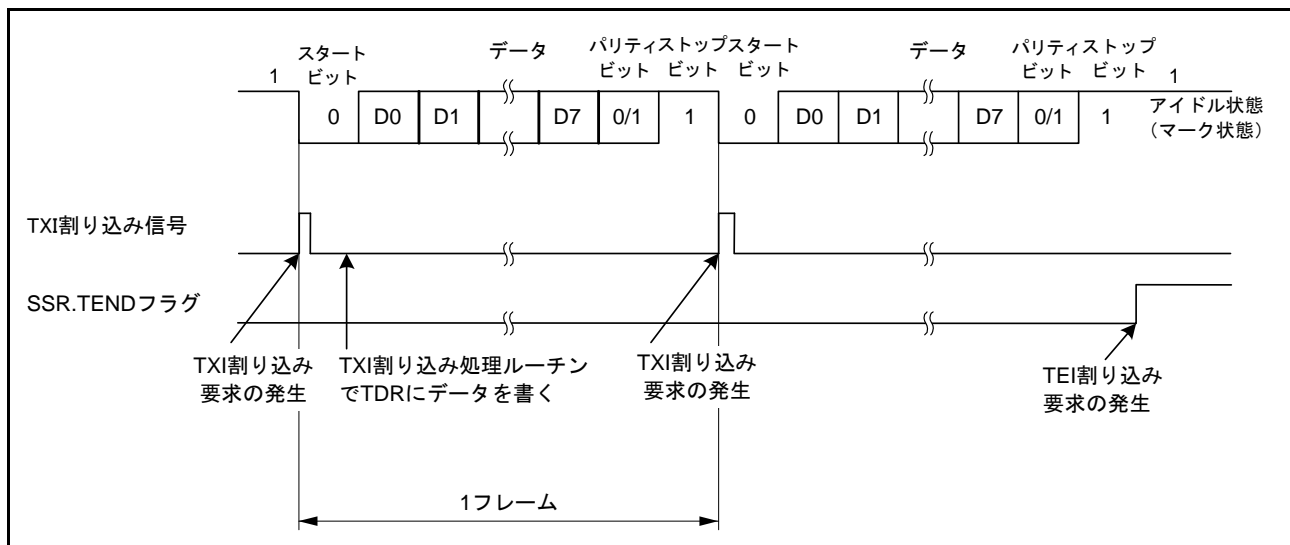


図 22.6 調歩同期式モードのシリアル送信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

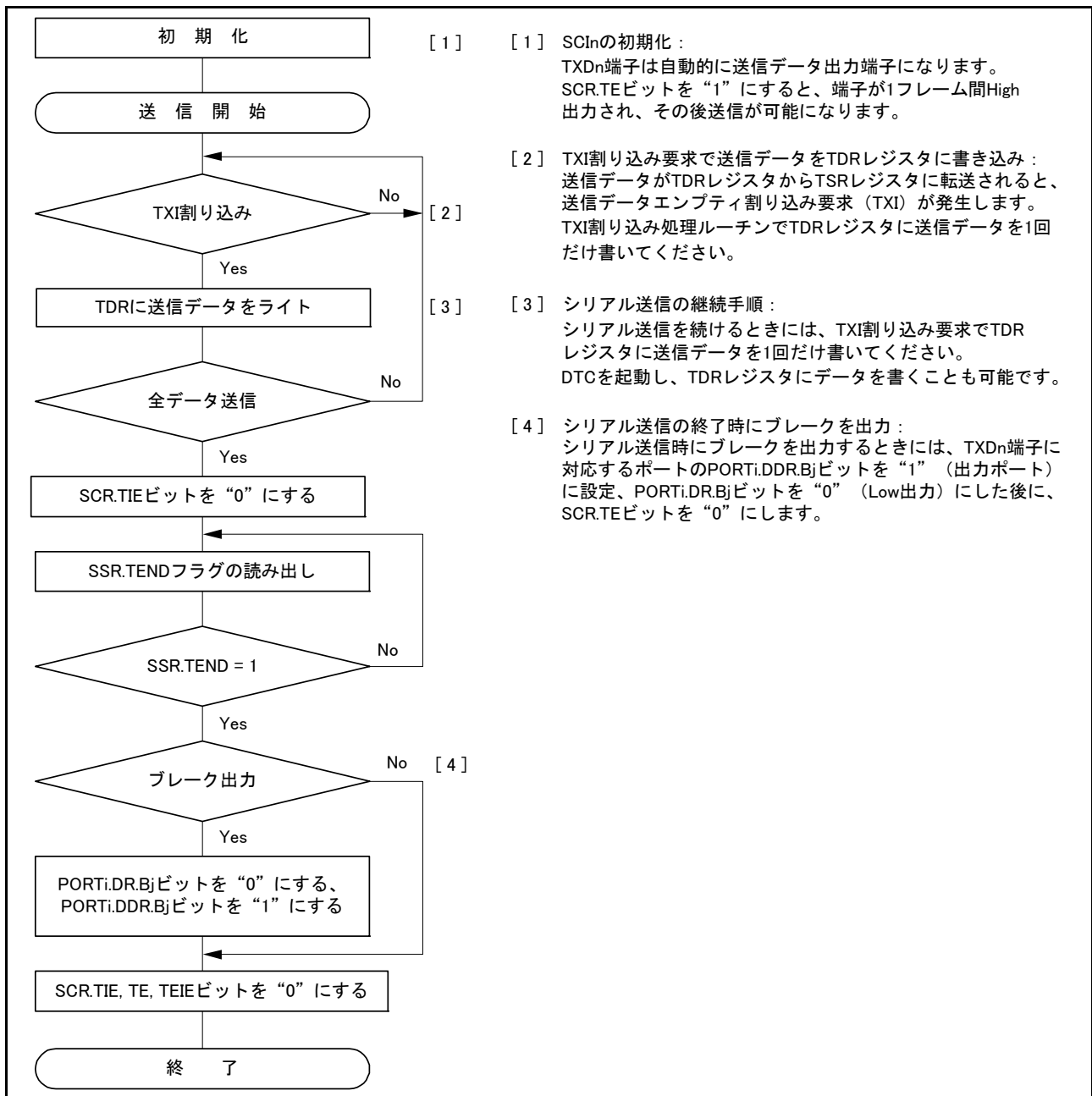


図 22.7 調歩同期式モードのシリアル送信のフローチャート例

22.2.2.6 シリアルデータの受信 (調歩同期式モード)

図 22.8 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したときは、SSR. ORER フラグが“1”になります。このとき、SCR. RIE ビットが“1”なら、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送されません。
3. パリティエラーを検出した場合は SSR. PER フラグが“1”になり、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”なら、ERI 割り込み要求が発生します。
4. フレーミングエラー (ストップビットが 0 のとき) を検出した場合は SSR. FER フラグが“1”になり、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”なら、ERI 割り込み要求が発生します。
5. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”なら、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までに読むことで連続受信が可能です。

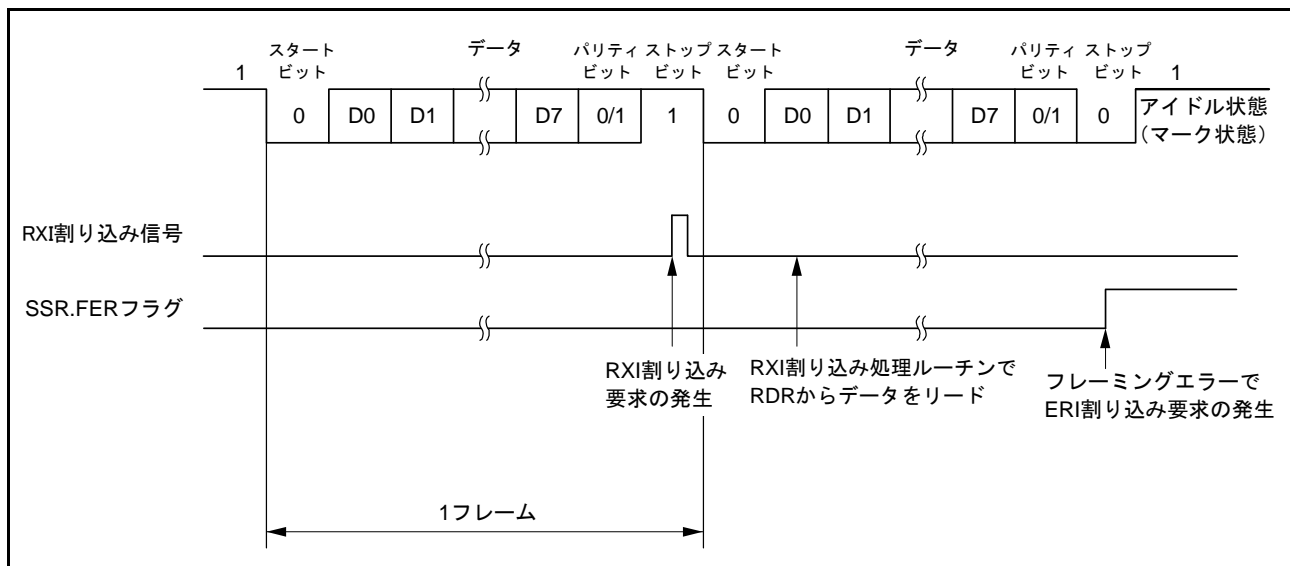


図 22.8 調歩同期式モードのシリアル受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 22.13 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグが“1”の状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では必ず RDR レジスタを読んでください。

図 22.9 にシリアル受信のフローチャートの例を示します。

表22.13 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDRへ転送	フレーミングエラー
0	0	1	RDRへ転送	パリティエラー
1	1	0	消失	オーバランエラー+フレーミングエラー
1	0	1	消失	オーバランエラー+パリティエラー
0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

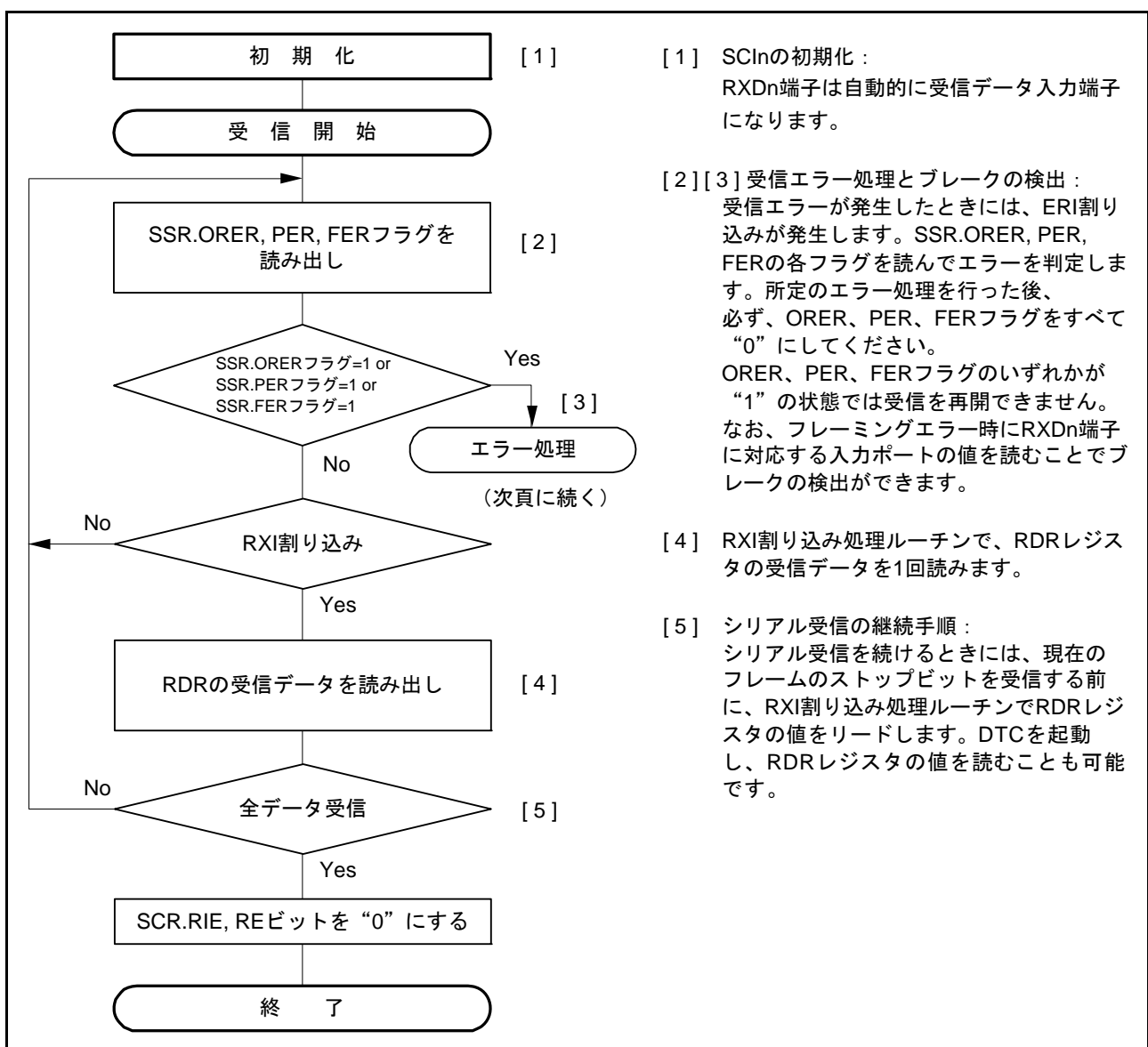


図 22.9 調歩同期式モードのシリアル受信のフローチャート例 (1)

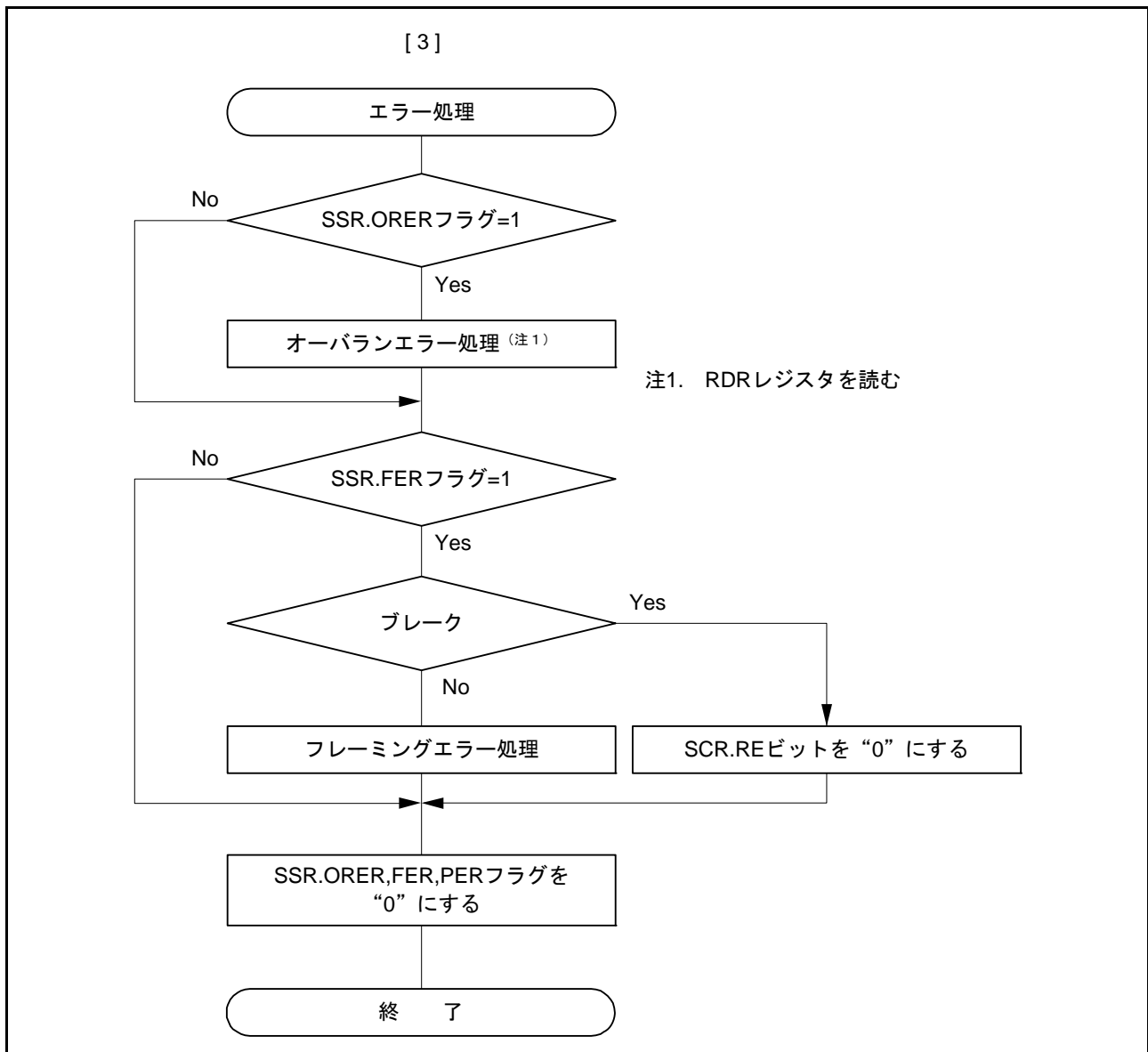


図 22.10 調歩同期式モードのシリアル受信のフローチャート例 (2)

22.2.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 22.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが 1 の通信データを受信するまで通常の受信動作を行いません。

SCIはこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.ORER、FER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR.MPB ビットが“1”になるとともに SCR.MPIE ビットが自動的にクリアされて通常の受信動作に戻ります。このとき SCR.RIE ビットがセットされていると RXI 割り込みを発生します。

マルチプロセッサモードでの送信は、ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信し、データ送信サイクルでは SSR.MPBT ビットを“0”にして送信します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

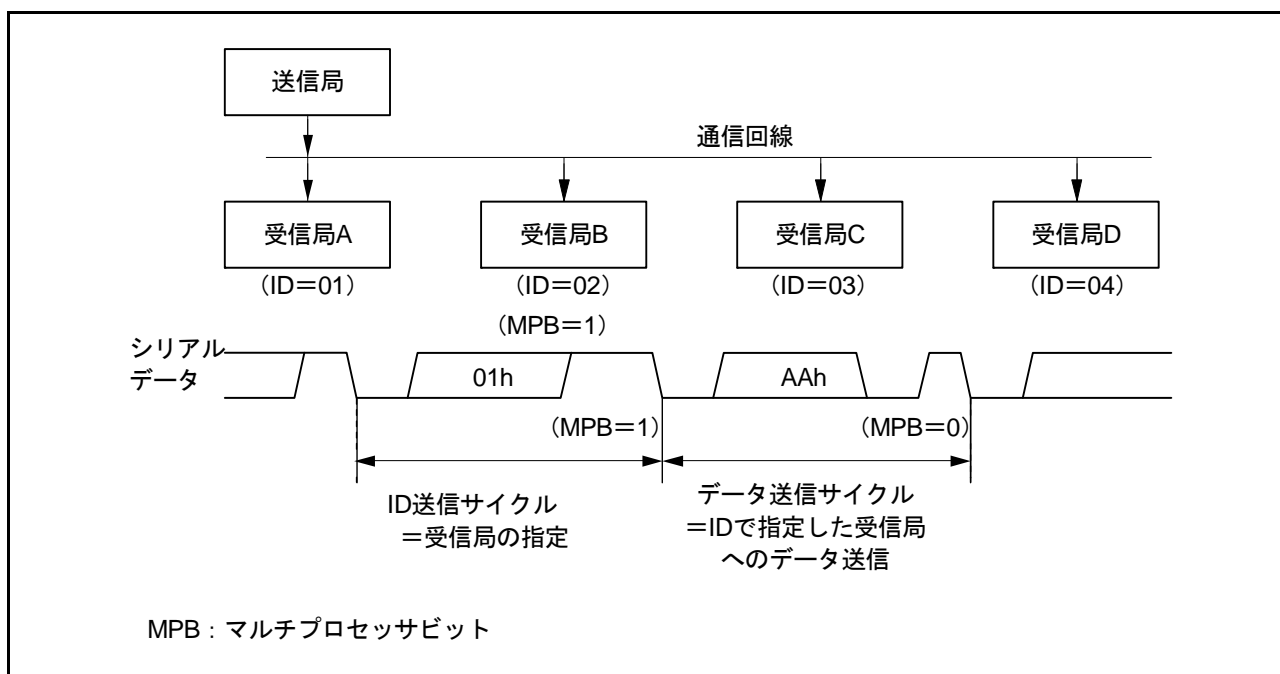


図 22.11 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AAh の送信の例）

22.2.3.1 マルチプロセッサシリアルデータ送信

図 22.12 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

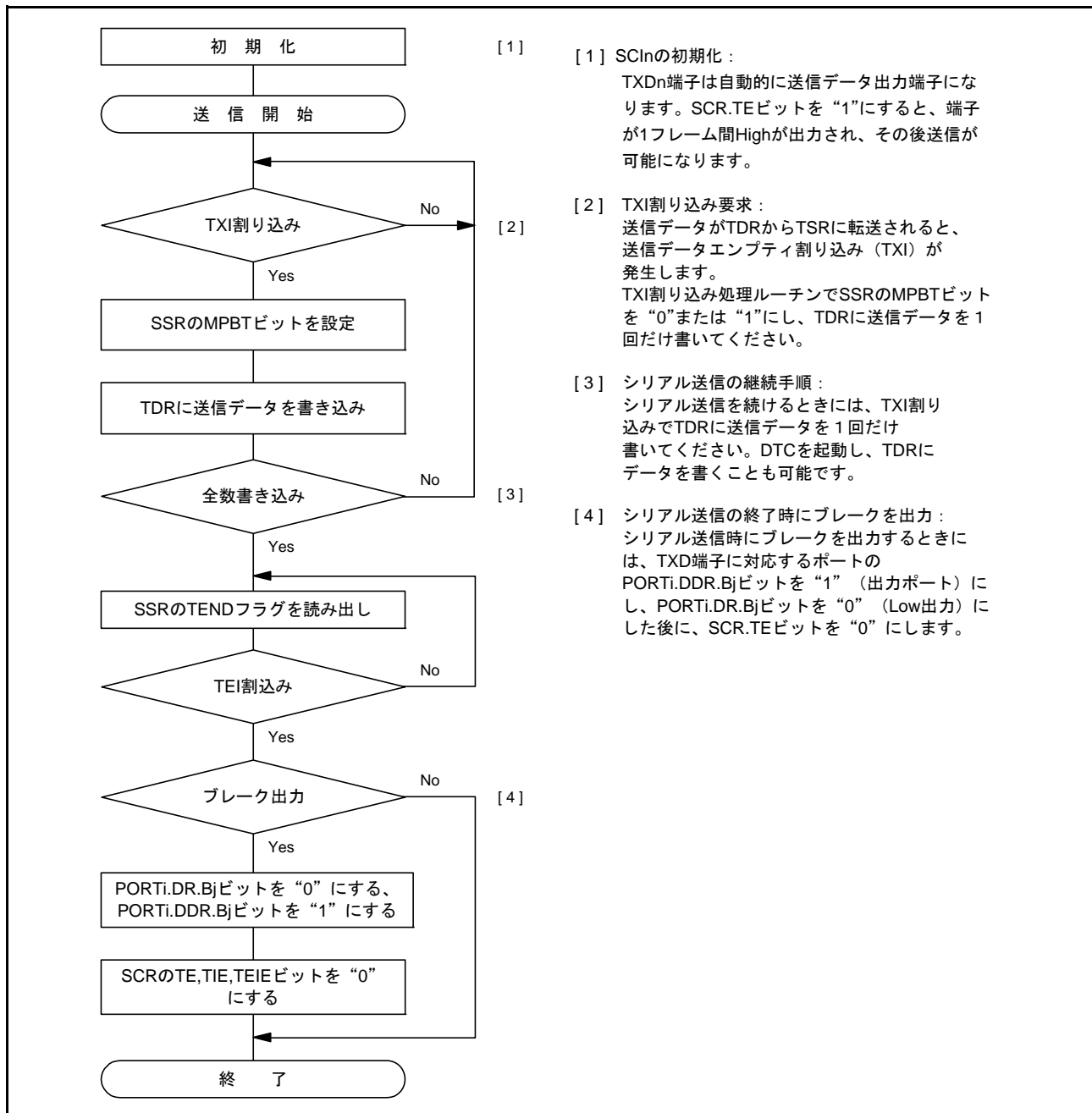


図 22.12 マルチプロセッサシリアル送信のフローチャートの例

22.2.3.2 マルチプロセッサシリアルデータ受信

図 22.14、図 22.15 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが1の通信データを受信するまで RSR レジスタから RDR レジスタへの受信データの転送を行いません。マルチプロセッサビットが1の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。

図 22.13 に受信時の動作例を示します。

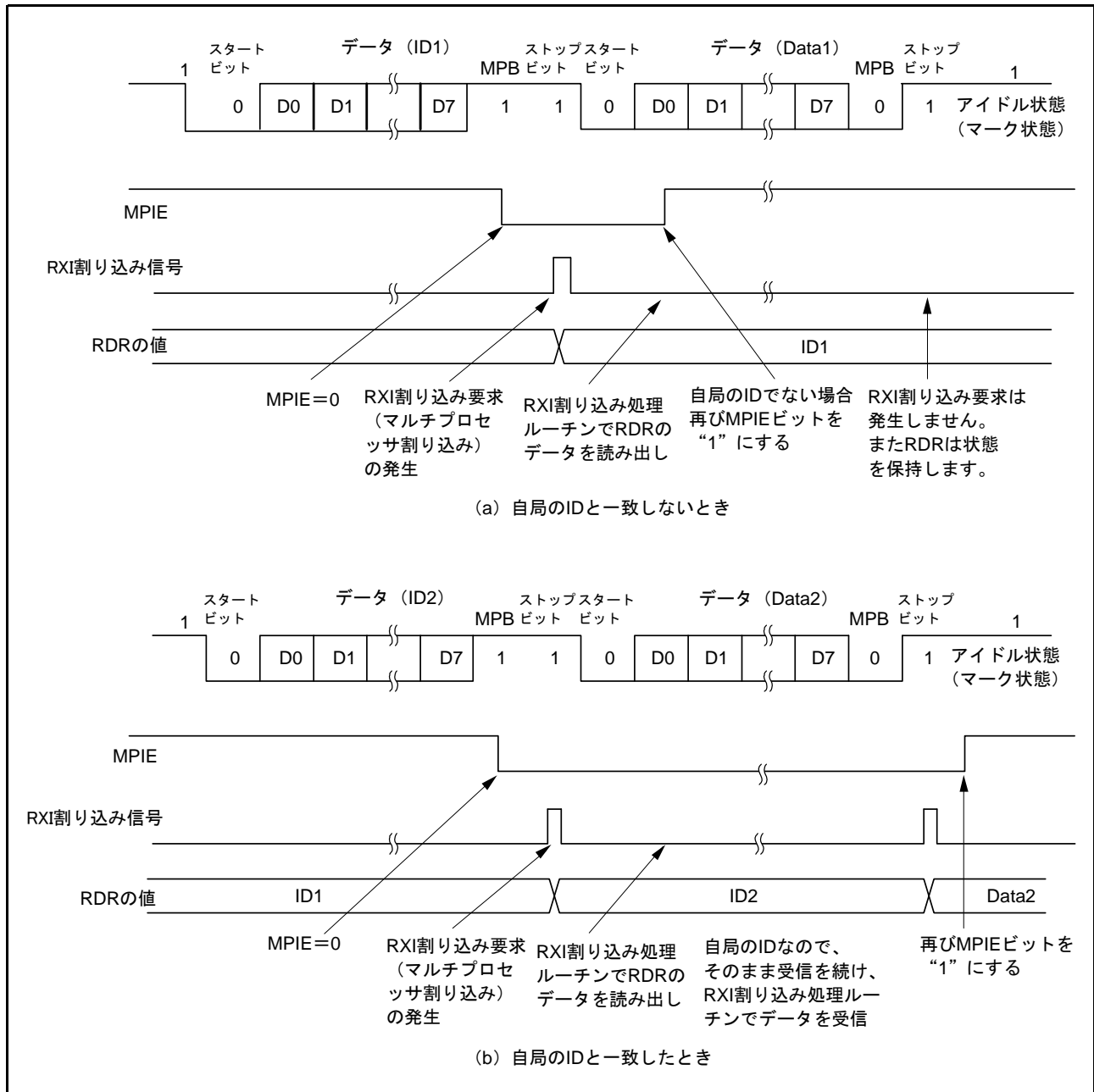


図 22.13 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

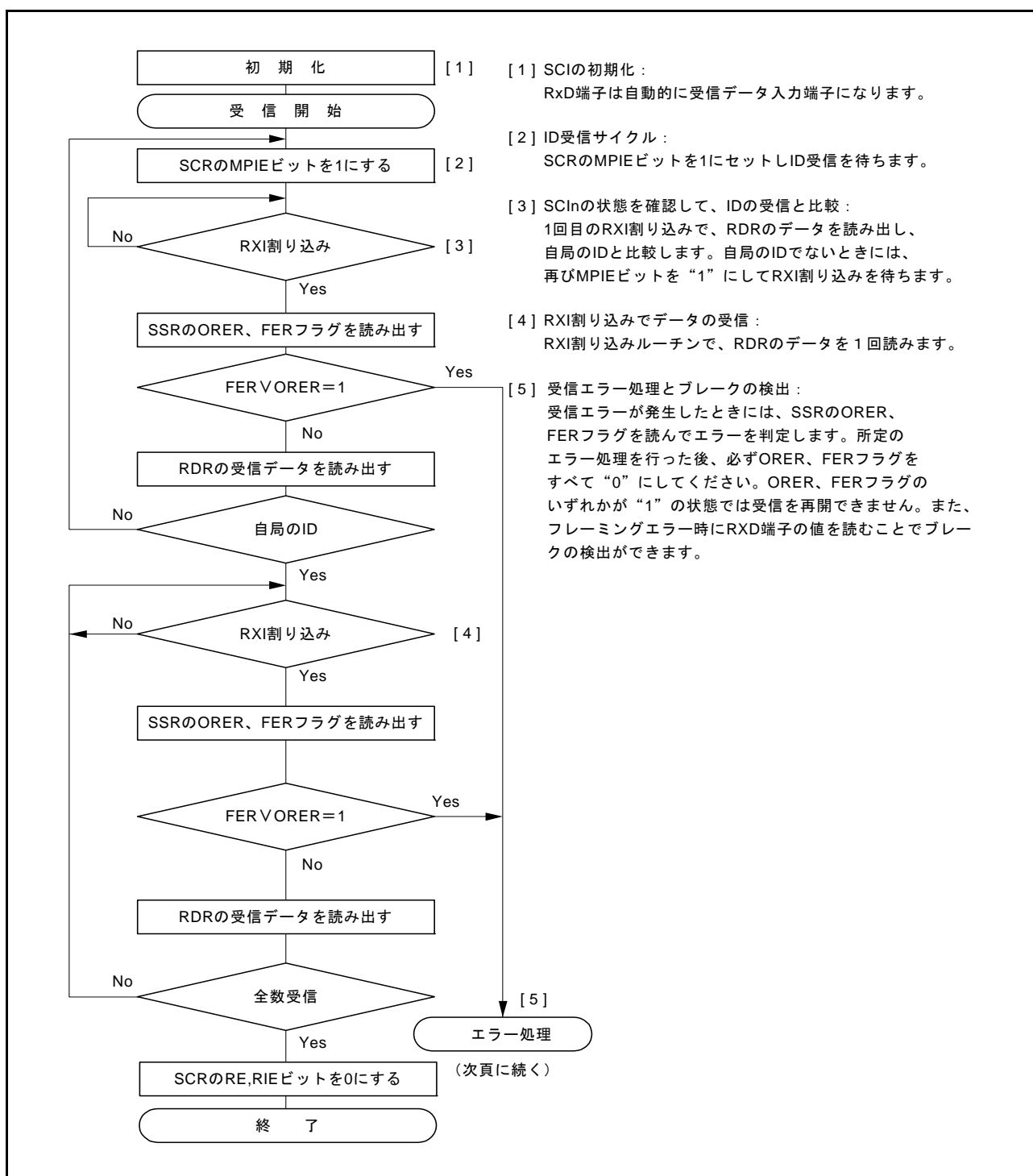


図 22.14 マルチプロセッサシリアル受信のフローチャートの例 (1)

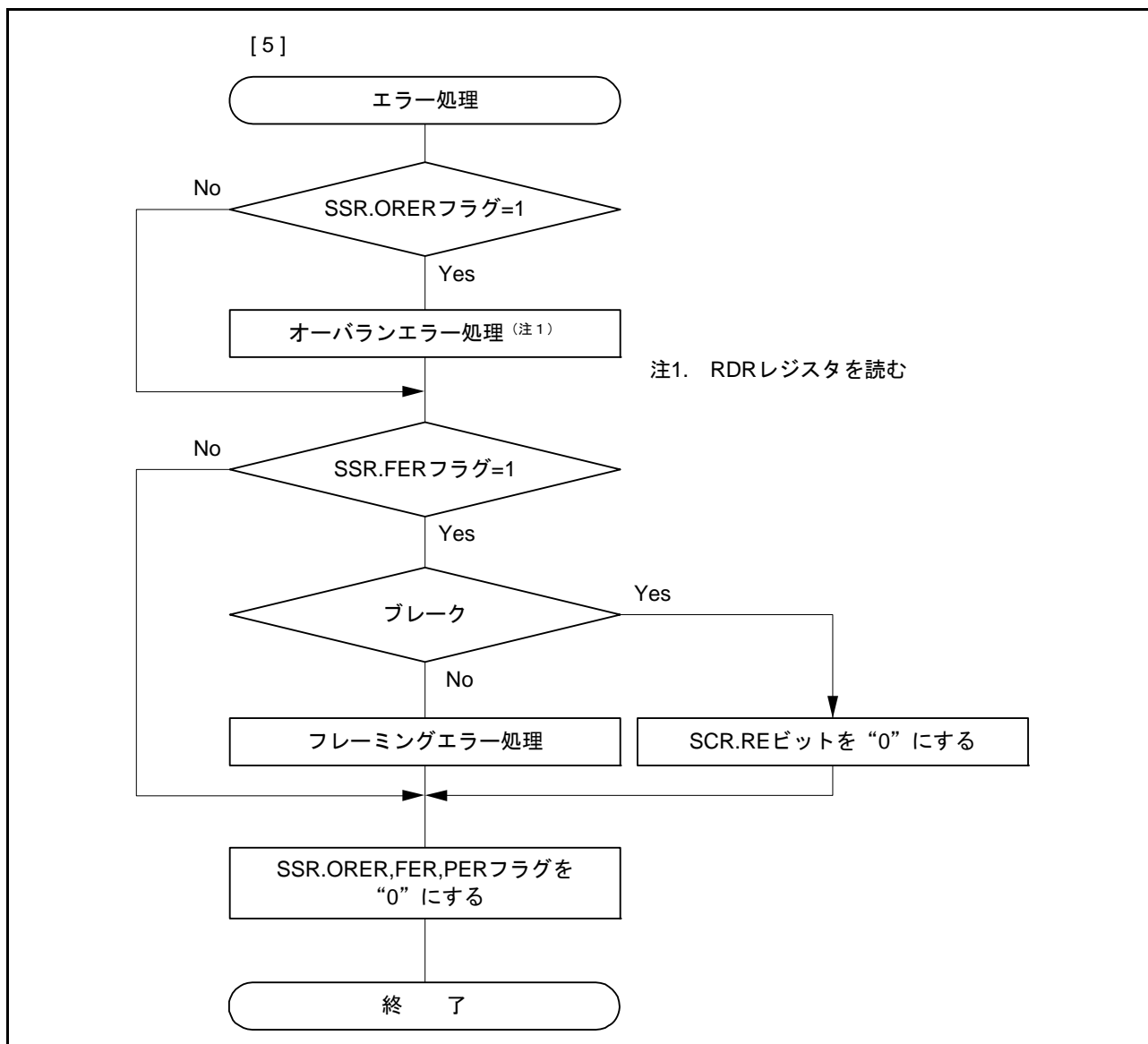


図 22.15 マルチプロセッサシリアル受信のフローチャートの例 (2)

22.2.4 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 22.16 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビットの出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しを行うことで連続送受信が可能です。

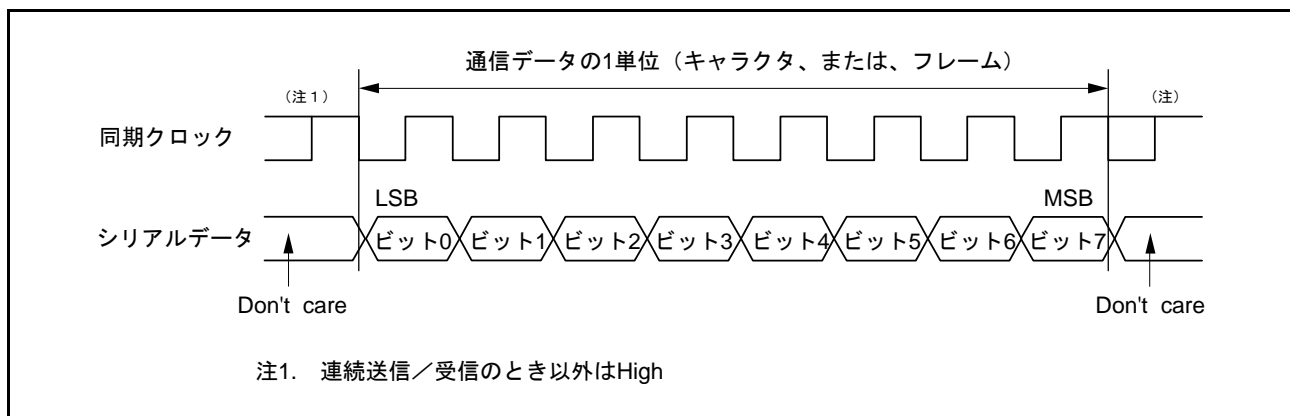


図 22.16 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

22.2.4.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときはオーバランエラーが発生するか、SCR.RE ビットを“0”にするまで同期クロックは出力されます。

22.2.4.2 SCIの初期化 (クロック同期式モード)

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 22.17 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、必ず SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを“0”にしても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを“1”から“0”、または“0”から“1”にすると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

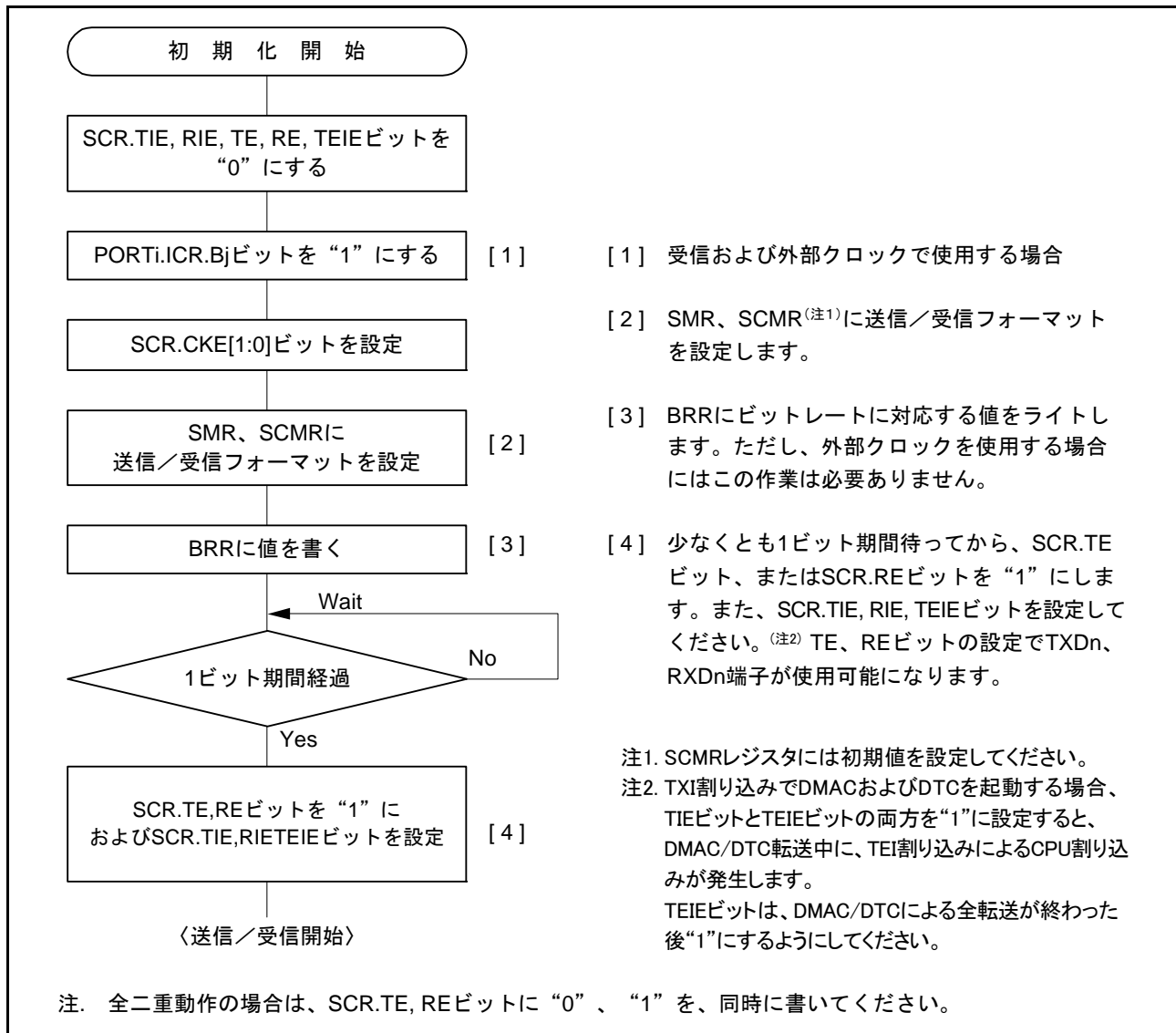


図 22.17 SCIの初期化フローチャートの例 (クロック同期式モード)

22.2.4.3 シリアルデータの送信（クロック同期式モード）

図 22.18 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、TIE ビットが“1”なら、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書くことで連続送信が可能です。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが“1”になる、最終ビットの出力状態を保持します。このとき SCR.TEIE ビットが“1”なら、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 22.19 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ（SSR.ORER, FER, PER）が“1”の状態では送信を開始しません。送信開始の前に、必ず受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にただけでは“0”になりませんので注意してください。

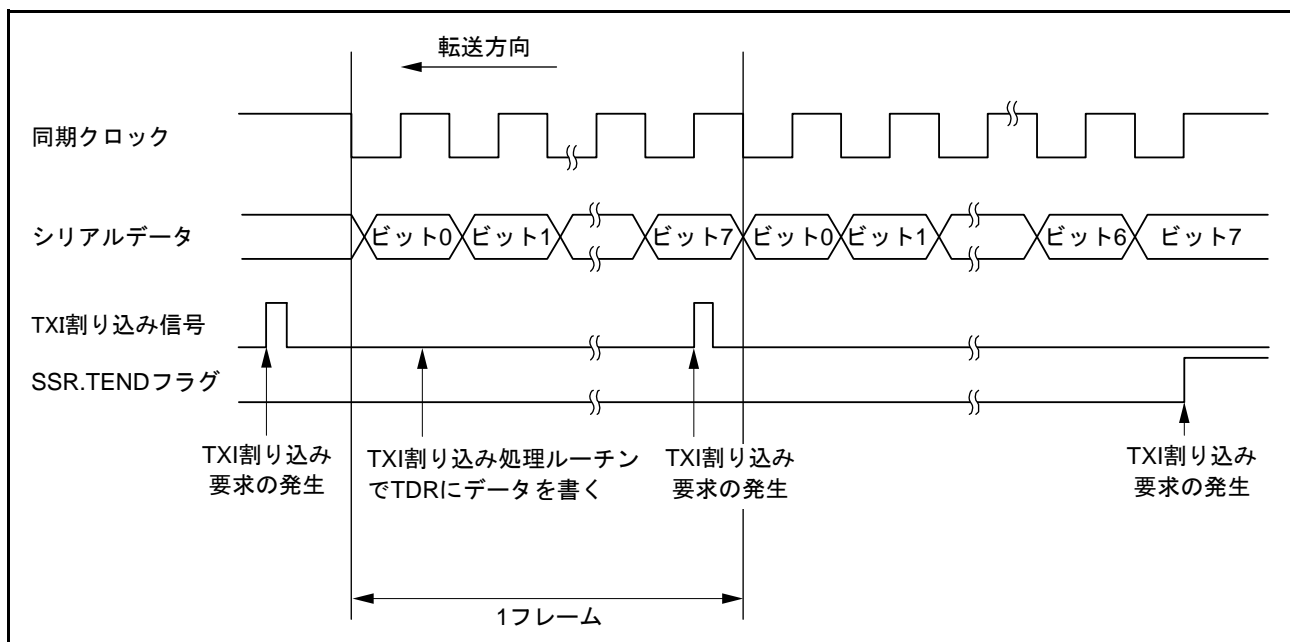


図 22.18 クロック同期式モードのシリアル送信時の動作例

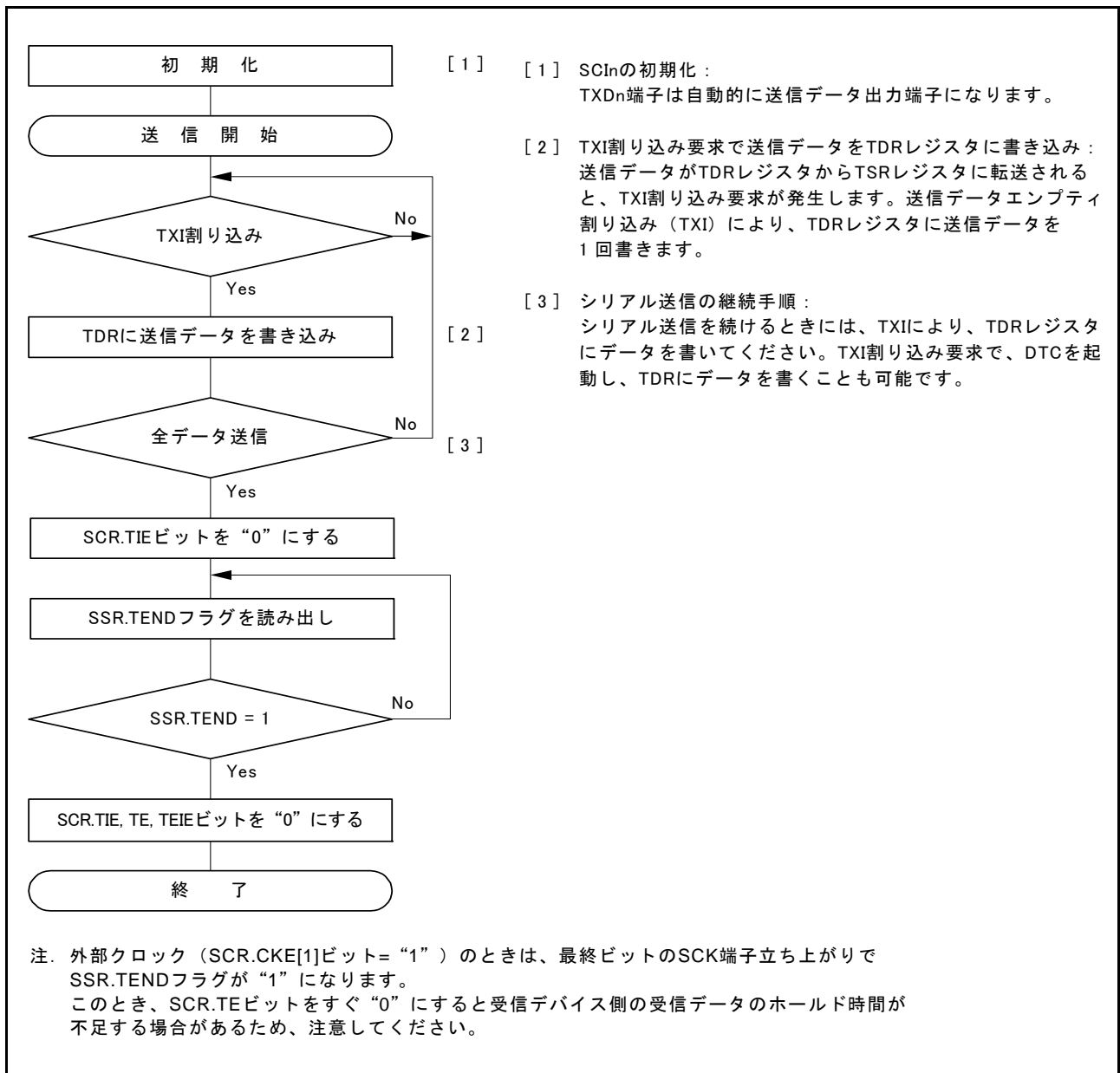


図 22.19 クロック同期式モードのシリアル送信のフローチャート例

22.2.4.4 シリアルデータの受信 (クロック同期式モード)

図 22.20 にクロック同期式モードのシリアル受信時の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
2. オーバランエラーが発生したときは、SSR.ORER フラグが“1”になります。このとき SCR.RIE ビットが“1”なら、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送されません。
3. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”なら、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までに読むことで連続受信が可能です。

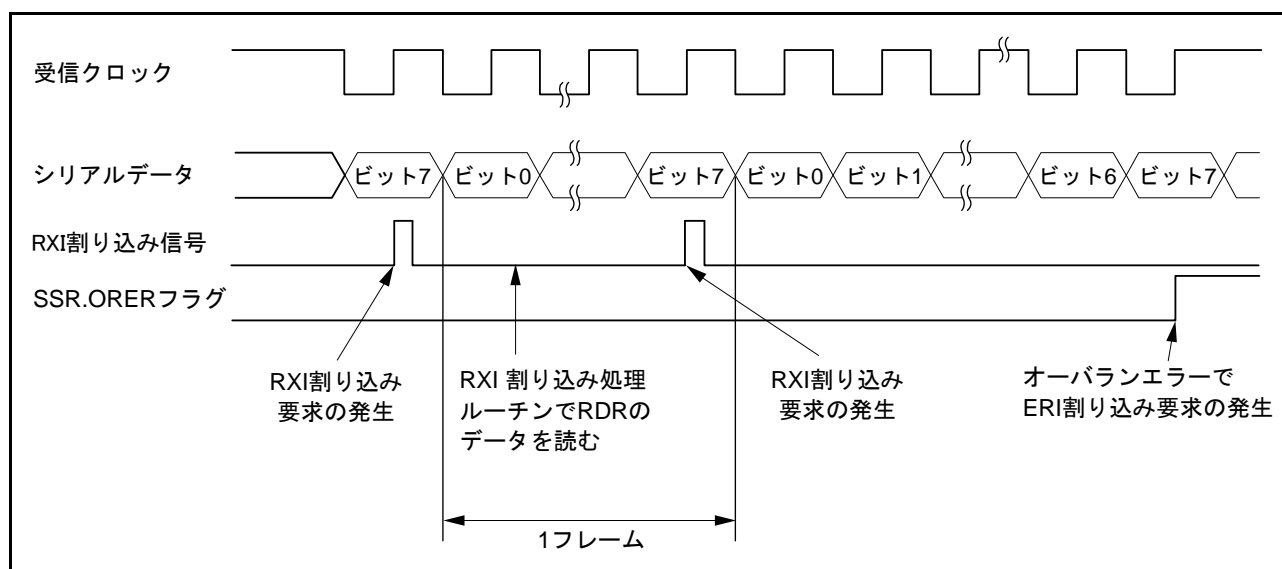


図 22.20 クロック同期式モードのシリアル受信時の動作例

受信エラーフラグが“1”の状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず SSR.ORER, FER, PER フラグを“0”にしてください。また、オーバランエラー処理では必ず RDR レジスタを読んでください。

図 22.21 にシリアル受信のフローチャートの例を示します。

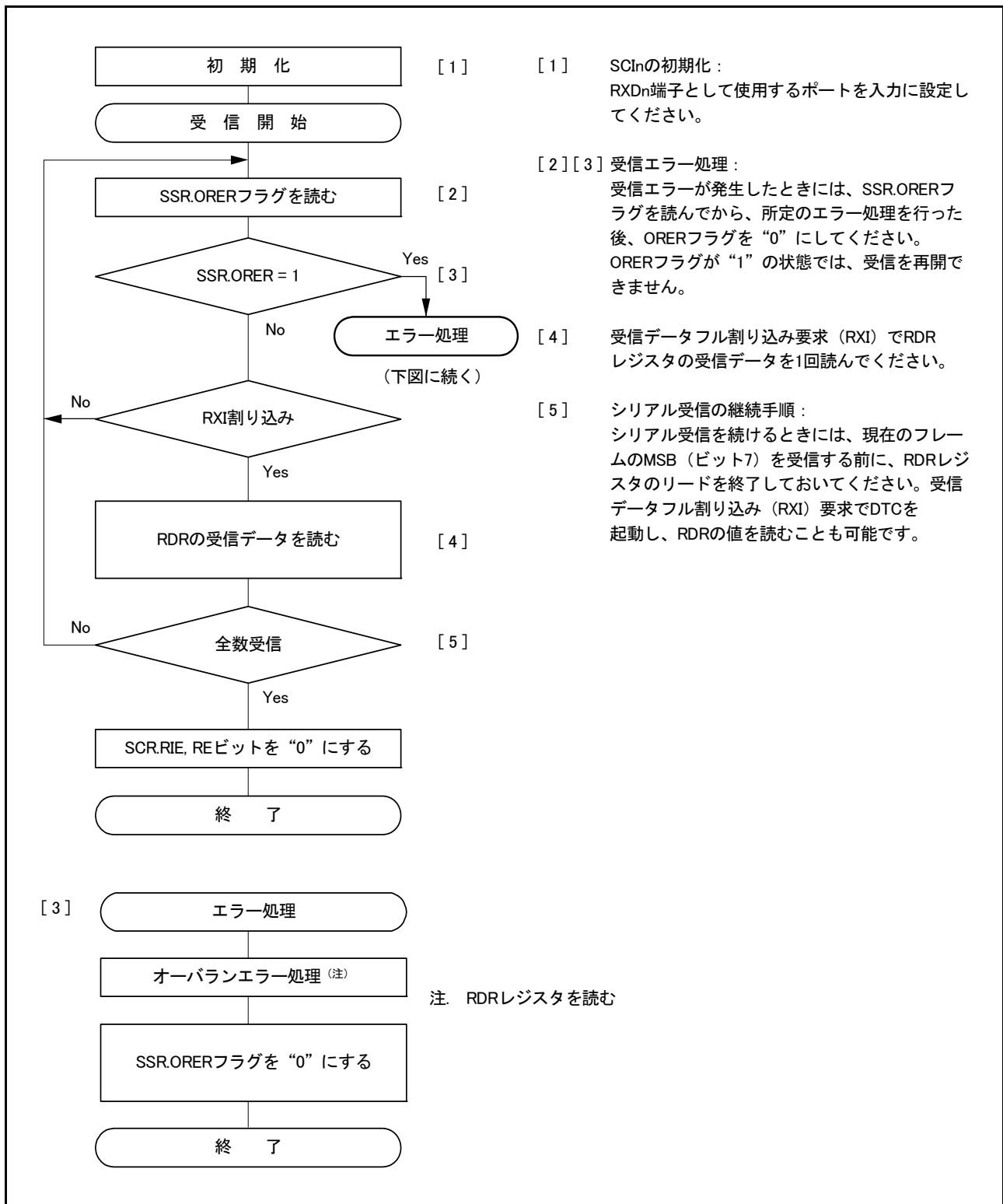


図 22.21 クロック同期モードのシリアル受信のフローチャート例

22.2.4.5 シリアルデータの全二重動作 (クロック同期式モード)

図 22.22 にクロック同期式モードのシリアル全二重動作のフローチャートの例を示します。

シリアル全二重動作は、SCIの初期化後、以下の手順に従って行ってください。

送信から全二重に切り替えるときには、SCIが送信終了状態であることを、SSR.TEND フラグが“1”になっていることで確認してください。その後、SCRレジスタを初期化してから SCR.TIE, RIE, TE, RE, TEIE ビットを1命令で同時に“1”にしてください。

受信から全二重に切り替えるときには、SCIが受信完了状態であることを確認した後、SCR.RIE, RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, FER, PER) が“0”であることを確認した後、SCR.TIE, RIE, TE, RE, TEIE ビットを1命令で同時に“1”にしてください。

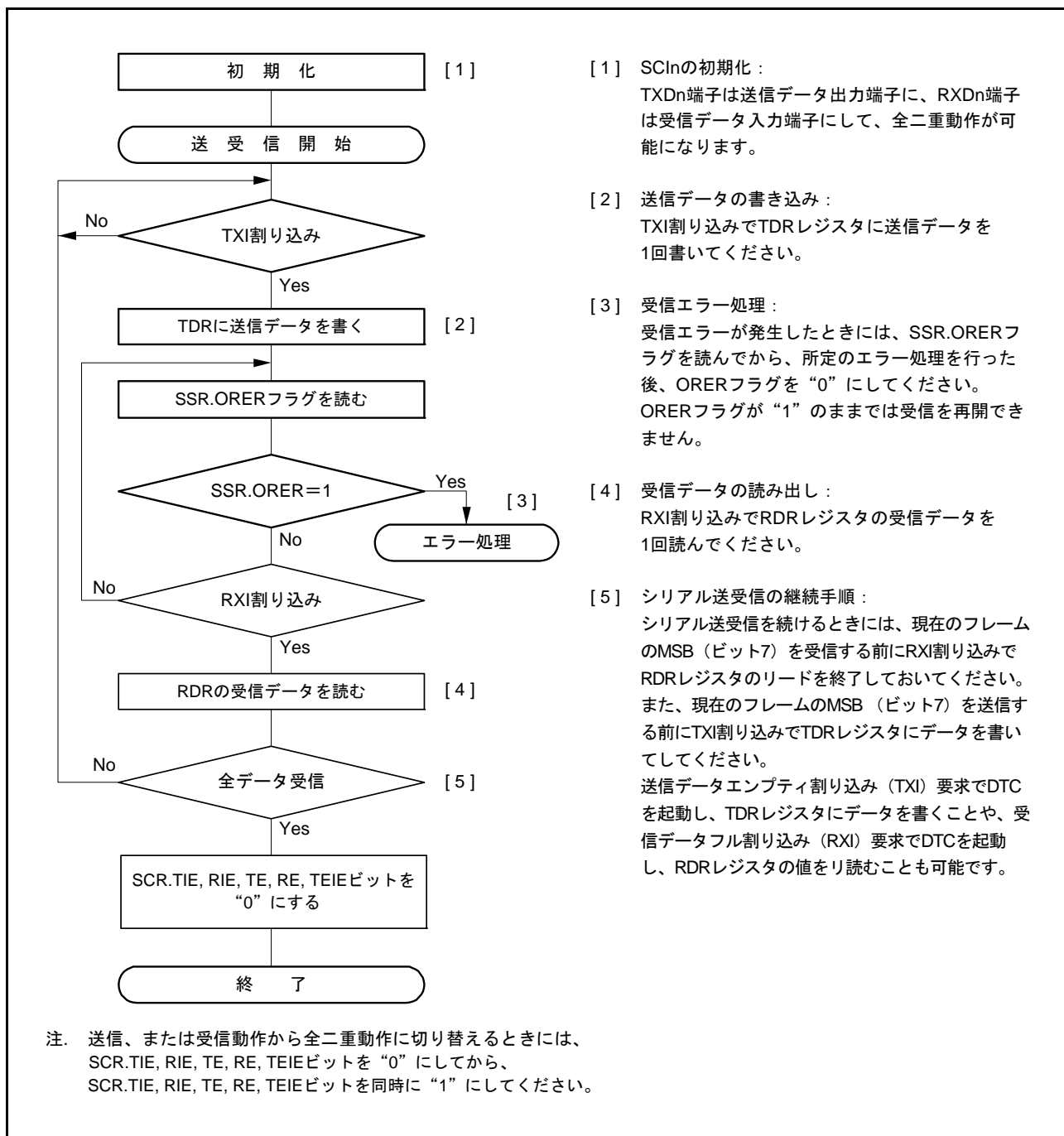


図 22.22 クロック同期式モードのシリアル送受信同時動作のフローチャート例

22.3 スマートカードインタフェースモード

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (ICカード) インタフェース (SMCI) に対応しています。

SCMR.SMIF ビット=1 のとき、SCIはスマートカードインタフェースモードになります。

22.3.1 レジスタの説明

表 22.14 に SMCI のレジスタのレジスタ一覧を示します。一部のレジスタ (TDR、RDR、SCMR レジスタ) の機能はシリアルコミュニケーションインタフェースモードと同様です。TDR、RDR、SCMR レジスタの詳細については「22.2.1 レジスタの説明」を参照してください。

表22.14 SMCIのレジスタ一覧

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SMCI0	シリアルモードレジスタ	SMR	00h	0008 8240h	8
	ビットレートレジスタ	BRR	FFh	0008 8241h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8242h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8243h	8
	シリアルステータスレジスタ	SSR	84h	0008 8244h	8
	レシーブデータレジスタ	RDR	00h	0008 8245h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8246h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8247h	8
SMCI1	シリアルモードレジスタ	SMR	00h	0008 8248h	8
	ビットレートレジスタ	BRR	FFh	0008 8249h	8
	シリアルコントロールレジスタ	SCR	00h	0008 824Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 824Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 824Ch	8
	レシーブデータレジスタ	RDR	00h	0008 824Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 824Eh	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 824Fh	8
SMCI2	シリアルモードレジスタ	SMR	00h	0008 8250h	8
	ビットレートレジスタ	BRR	FFh	0008 8251h	8
	シリアルコントロールレジスタ	SCR	00h	0008 8252h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8253h	8
	シリアルステータスレジスタ	SSR	84h	0008 8254h	8
	レシーブデータレジスタ	RDR	00h	0008 8255h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8256h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8257h	8

22.3.1.1 シリアルモードレジスタ (SMR)

アドレス SMC10.SMR 0008 8240h、SMC11.SMR 0008 8248h、SMC12.SMR 0008 8250h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]	BCP[1:0]	CKS[1:0]	CKS[1:0]
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 00 : PCLKクロック (n=0) (注1) 01 : PCLK/4クロック (n=1) (注1) 10 : PCLK/16クロック (n=2) (注1) 11 : PCLK/64クロック (n=3) (注1)	R/W (注3)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 b3 b2 0 0 0 : 93クロック (S=93) (注2) 0 0 1 : 128クロック (S=128) (注2) 0 1 0 : 186クロック (S=186) (注2) 0 1 1 : 512クロック (S=512) (注2) 1 0 0 : 32クロック (S=32) (注2) (初期値) 1 0 1 : 64クロック (S=64) (注2) 1 1 0 : 372クロック (S=372) (注2) 1 1 1 : 256クロック (S=256) (注2)	R/W (注3)
b4	PM	パリティモードビット	(調歩同期式モードで、PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注3)
b5	PE	パリティ許可ビット	(調歩同期式モードのみ有効) PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注3)
b6	BLK	ブロック転送モードビット	0 : 通常モードで動作 1 : ブロック転送モードで動作	R/W (注3)
b7	GM	GSMモードビット	0 : 通常モードで動作 1 : GSMモードで動作	R/W (注3)

注1. nは設定値の10進表示で、「22.2.1.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. Sは「22.3.1.4 ビットレートレジスタ (BRR)」中のSの値を表します。

注3. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SMR レジスタは、通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

CKS[1:0] ビット (クロック選択ビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「22.3.1.4 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「22.3.3.2 受信データサンプリングタイミングと受信マージン」を参照してください。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「22.3.3 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティ許可ビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「22.3.3.1 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグが“1”になるタイミングが先頭から 11.0etu (etu : Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「22.3.3.4 シリアルデータの送信 (ブロック転送モードを除く)」、「22.3.3.6 クロック出力制御」を参照してください。

22.3.1.2 シリアルコントロールレジスタ (SCR)

アドレス SMCI0.SCR 0008 8242h、SMCI1.SCR 0008 824Ah、SMCI2.SCR 0008 8252h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 00: 出力禁止 (SCKn端子は入出力ポートとして使用可) 01: クロック出力 10: 設定しないでください 11: 設定しないでください SMR.GMビット=1の場合 00: Low出力固定 01: クロック出力 10: High出力固定 11: クロック出力 	R/W (注1)
b2	TEIE	送信完了割り込み許可ビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサ割り込み許可ビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	受信許可ビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可ビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可ビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可ビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

注1. TEビット=0、REビット=0の場合のみ書き込みができます。

注2. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書けます。いったん、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能です。

SCRレジスタは、送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要因については、「22.5 割り込み要因」を参照してください。

CKE[1:0] ビット (クロック許可ビット)

SCKn端子からのクロック出力を制御します。

GSMモードではクロックの出力をダイナミックに切り替えることができます。詳細は、「22.3.3.6 クロック出力制御」を参照してください。

TEIE ビット (送信完了割り込み許可ビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサ割り込み許可ビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (受信許可ビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にした場合、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に必ず SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止させても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット (送信許可ビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書くことでシリアル送信を開始します。なお、TE ビットを“1”にする前に必ず SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (受信割り込み許可ビット)

RXI および ERI 割り込みを許可、または禁止します。

RXI 割り込みを禁止するには、RIE ビットを“0”にします。

ERI 割り込み要求信号は、SSR.ORER, FER, PER の各フラグから“1”を読んだ後、“0”にするか、RIE ビットを“0”にすると消えます。

TIE ビット (送信割り込み許可ビット)

TXI 割り込みの通知を許可、または禁止します。

TXI 割り込みを禁止するには、TIE ビットを“0”にします。

22.3.1.3 シリアルステータスレジスタ (SSR)

アドレス SMCIO.SSR 0008 8244h、SMCI1.SSR 0008 824Ch、SMCI2.SSR 0008 8254h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット 転送ビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。 "0"としてください	R
b2	TEND	送信完了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタからデータを転送したとき 1: 受信が正常終了し、RSRレジスタからRDRレジスタヘ データが転送されたとき	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタヘデータを転送したとき 1: TDRレジスタからTSRレジスタにデータが転送されたとき	R/(W) (注2)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. 書く場合“1”を書いてください。

SSRレジスタは、SCIのステータスフラグで構成されます。

MPBT ビット (マルチプロセッサビット転送ビット)

スマートカードインタフェースモードでは“0”としてください。

MPB ビット (マルチプロセッサビット)

スマートカードインタフェースモードでは使用しません。“0”としてください。

TEND ビット (送信完了フラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"になる条件]

- SCR.TE ビット =0 (シリアル送信動作を禁止) のとき
- 1 バイトのデータを送信して一定期間後、ERS フラグ =0 かつ TDR レジスタが更新されていないとき
“1”になるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット =0、SMR.BLK ビット =0 のとき、送信開始から 12.5etu 後
SMR.GM ビット =0、SMR.BLK ビット =1 のとき、送信開始から 11.5etu 後
SMR.GM ビット =1、SMR.BLK ビット =0 のとき、送信開始から 11.0etu 後
SMR.GM ビット =1、SMR.BLK ビット =1 のとき、送信開始から 11.0etu 後

["0"になる条件]

- TDR レジスタへ送信データを書いたとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信したデータにパリティエラーが発生したことを示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”の状態では、以降の受信データは RDR レジスタに転送しません。

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき (“0”を書いた後に PER フラグが“0”になったことを確認してください。)
- SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータス)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき

ORER フラグ (オーバランエラーフラグ)

受信したデータにオーバランエラーが発生したことを示します。

["1"になる条件]

- RDR レジスタの受信データを読まずに次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”の状態では、以降のシリアル受信を続けることはできません。

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき (“0”を書いた後に ORER フラグが“0”になったことを確認してください。)
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへデータが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを転送したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

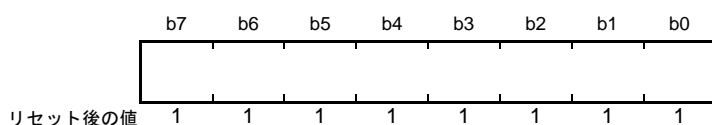
- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへデータを転送したとき

22.3.1.4 ビットレートレジスタ (BRR)

アドレス SMCIO.BRR 0008 8241h、SMCI1.BRR 0008 8249h、SMCI2.BRR 0008 8251h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI ではチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU からの読み出しは常に可能ですが、書き込みは SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 22.15 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「22.3.3.2 受信データサンプリングタイミングと受信マージン」を参照してください。

表 22.15 BRR レジスタの設定値 N とビットレート B の関係

モード	BRRレジスタの設定値	誤差
スマートカード インタフェース	$N = \frac{\text{PCLK} \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{\text{PCLK} \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

B : ビットレート (bps)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値に依存します。

表22.16 ビットレートに対するBRRの設定例
(スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	動作周波数PCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bps)	動作周波数PCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

ビットレート (bps)	動作周波数PCLK (MHz)											
	25.00			30.00			33.00			50.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	27	0.00

表22.17 各動作周波数における最大ビットレート
(スマートカードインタフェースモードでS=372のとき)

PCLK (MHz)	最大ビットレート (bps)	n	N	PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
16.00	21505	0	0	33.00	44355	0	0
18.00	24194	0	0	50.00	67205	0	0

22.3.2 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (ICカード) とのインタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

22.3.2.1 接続例

図 22.23 にスマートカード (ICカード) との接続例を示します。

ICカードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 Vcc 側にプルアップしてください。

ICカードを接続しない状態で SCR.TE ビットを“1”、SCR.RE ビットを“1”にすると、自分の出したデータを自分で受信できる、自己診断をすることができます。

SCIで生成するクロックを ICカードに供給する場合は、SCKn 端子出力を ICカードの CLK 端子に入力してください。

リセット信号の出力には LSI の出力ポートを使用できます。

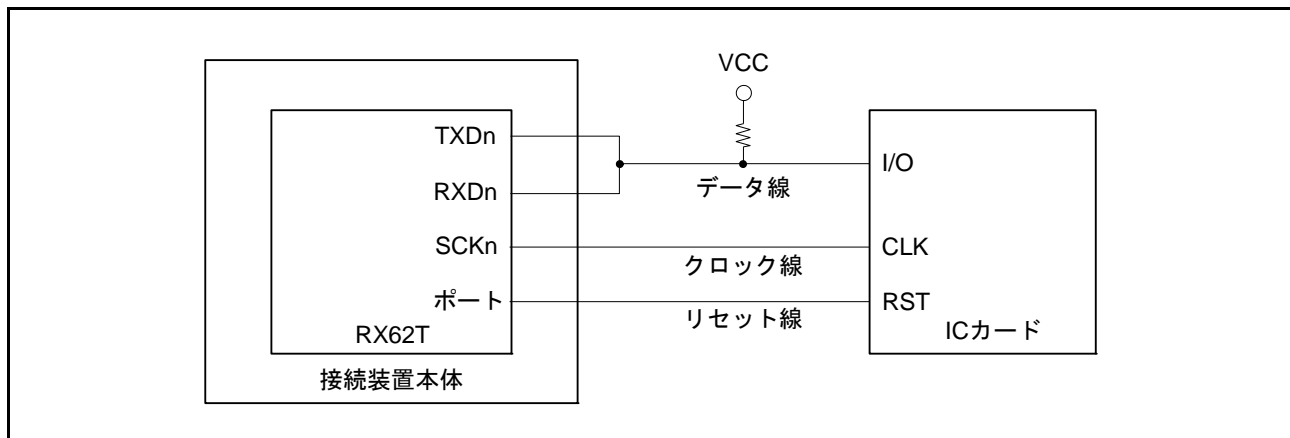


図 22.23 スマートカード (ICカード) との接続例

22.3.3 データフォーマット (ブロック転送モード時を除く)

図 22.24 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル (Low) を 1etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを再送信します。

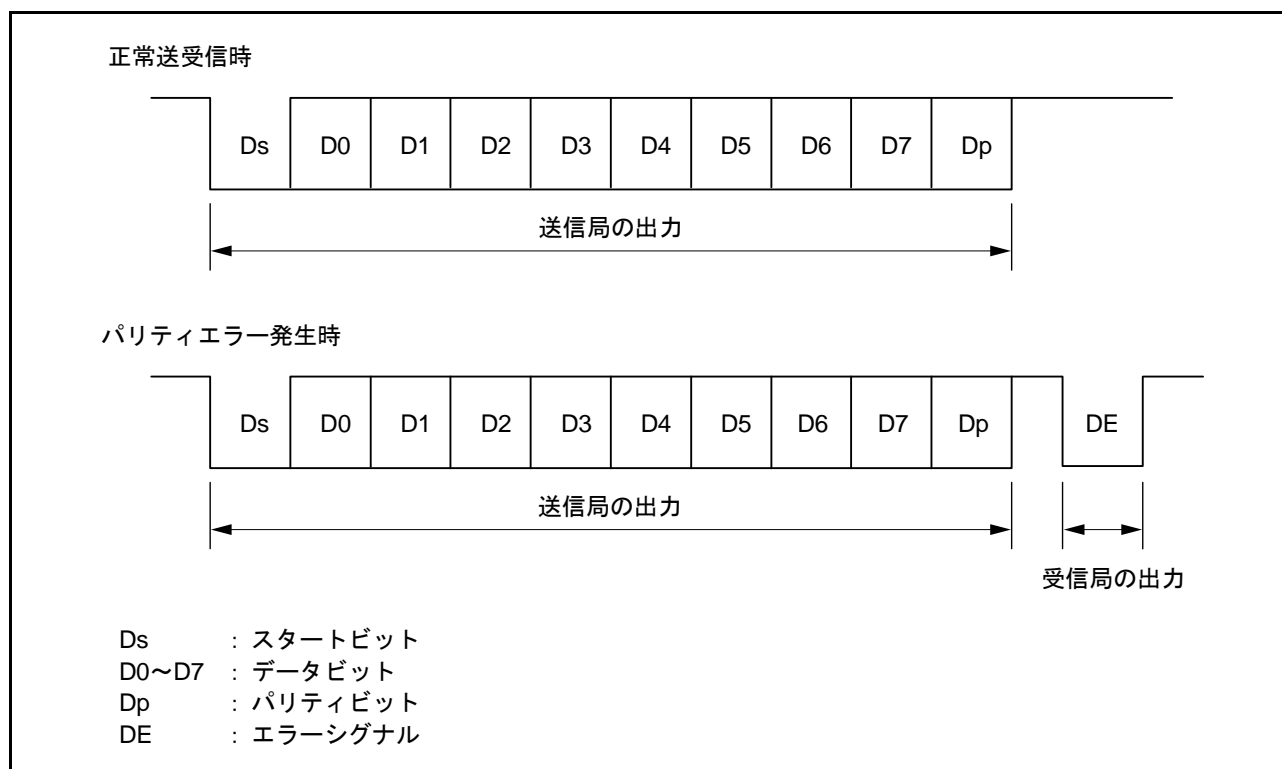


図 22.24 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 22.25** に示す開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応させ、LSBファーストで送受信します。**図 22.26** の開始キャラクタでは、データは3Bhとなります。

ダイレクトコンベンションタイプでは、SCMR.SDIR、SINVビットをともに“0”にしてください。また、スマートカードの規程により偶数パリティとなるようSMR.PMビットを“0”にしてください。

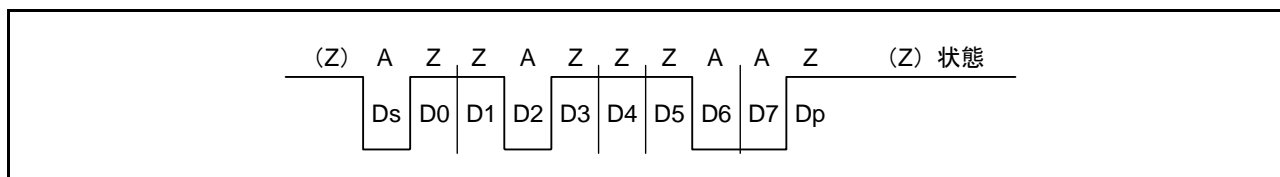


図 22.25 ダイレクトコンベンション
(SCMR.SDIR ビット=0、SCMR.SINV ビット=0、SMR.PM ビット=0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応させ、MSBファーストで送受信します。**図 22.26** の開始キャラクタでは、データは3Fhとなります。

インバースコンベンションタイプでは、SCMR.SDIR、SINVビットをともに“1”にしてください。パリティビットはスマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。RX62Tでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMR.PMビットを“1”にしてパリティビットを反転させてください。

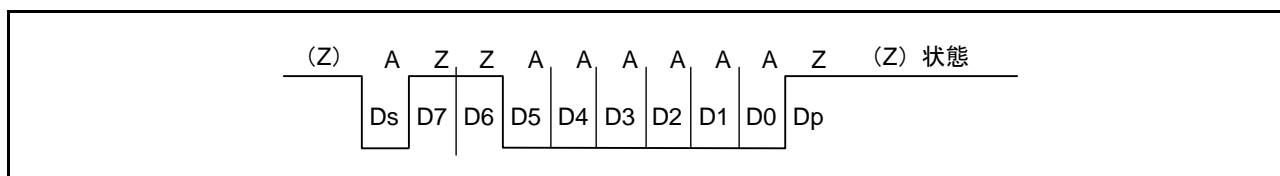


図 22.26 インバースコンベンション
(SCMR.SDIR ビット=1、SCMR.SINV ビット=1、SMR.PM ビット=1)

22.3.3.1 ブロック転送モード


ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。
SSR.PER フラグは“1”になりますので、次のフレームのパリティビットを受信する前に“0”にしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは 1etu 以上必要です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5etu 後に“1”になります。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に“0”になります。

22.3.3.2 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCI は SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍（通常の調歩同期式モードでは 16 倍に固定）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、 22.27 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロックの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%]$$

M : 受信マージン(%)

N : クロックに対するビットレートの比(N=32, 64, 372, 256)

D : クロックデューティ比(D=0~1.0)

L : フレーム長(L=10)

F : クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは以下のようにになります。

$$M = (0.5 - 1/2 \times 372) \times 100\% = 49.866\%$$

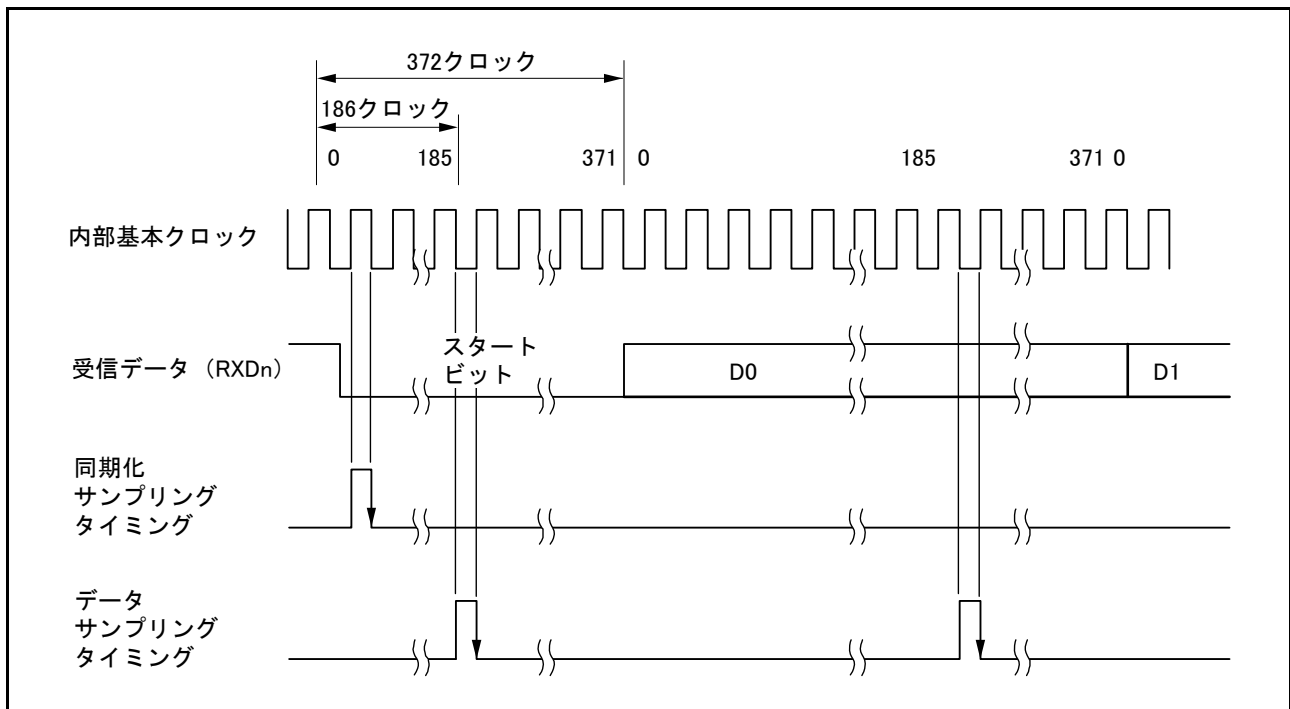


図 22.27 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

22.3.3.3 スマートカードインタフェースの初期化

データの送受信の前に、以下の手順でSCIを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRレジスタに初期値00hを書き込みます。
2. 当該端子のPORTi.ICR.Bjビット (n=1~9, A~G, j=0~7)を“1”にしてください。
3. SSRレジスタのエラーフラグ (ORER、ERS、PER)を“0”にしてください。
4. SMR.GM, BLK, PM, BCP[1:0], CKS[1:0]ビット、およびSCMR.BCP2ビットを設定してください。このとき、SMR.PEビットは“1”にしてください。
5. SCMR.SDIR, SINV, SMIFビットを設定してください。また、TXDn端子に該当するPORTi.DDR.Bjビットを“0”にします。これにより、TXDn端子およびRXDn端子はともにポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
6. ビットレートに対応する値をBRRレジスタに設定します。
7. SCR.CKE[1:0]ビットを設定してください。このとき、SCR.TIE, RIE, TE, RE, TEIEビットは“0”にしてください。
CKE0ビットを“1”にした場合は、SCKn端子からクロックを出力します。
8. 少なくとも、1ビット期間待ってから、SCR.TIE, RIE, TE, REビットを設定してください。自己診断するとき以外はTEビットとREビットを同時に“1”にしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TEビット=1、REビット=0にしてください。受信動作の完了は、RXI割り込み要求、SSR.ORERフラグ、あるいはSSR.PERフラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TEビット=0、REビット=1にしてください。送信動作の完了はSSR.TENDフラグで確認できません。

22.3.3.4 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 22.28 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると **SSR.ERS** フラグが“1”になります。このとき **SCR.RIE** ビットが“1”なら、**ERI** 割り込み要求を発生します。次のパリティビットのサンプリングまでに **ERS** フラグを“0”にしてください。
- 2 エラーシグナルを受信したフレームでは、**SSR.TEND** フラグは“1”になりません。**TDR** レジスタから **TSR** レジスタに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、**ERS** フラグは“1”になりません。
- 4 再転送を含む 1 フレームの送信が完了したと判断して、**SSR.TEND** フラグがセットされます。このとき、**SCR.TIE** ビットが“1”なら、**TXI** 割り込み要求を発生します。送信データを **TDR** レジスタに書くことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 22.30 に示します。これらの一連の処理は、**TXI** 割り込み要因によって **DTC** を起動することで自動的に行うことができます。

送信動作では、**SCR.TIE** ビットが“1”の場合、**SSR.TEND** フラグが“1”になると、**TXI** 割り込み要求が発生します。あらかじめ **DTC** の起動要因に **TXI** 割り込み要求を設定しておけば、**TXI** 割り込み要求により **DTC** が起動されて送信データの転送を行います。**TEND** フラグは、**DTC** によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は **SCI** が自動的に同じデータを再送信します。この間、**TEND** フラグは“0”を保持し、**DTC** は起動しません。したがって、エラー発生時の再送信を含め、**SCI** と **DTC** が指定されたバイト数を自動的に送信します。ただし、エラー発生時、**ERS** フラグは自動的に“0”になりませんので、**RIE** ビットを“1”にしておき、エラー発生時に **ERI** 割り込み要求を発生させ、**ERS** フラグを“0”にしてください。

なお、**DTC** を使って送受信を行う場合は、必ず先に **DTC** を設定し、許可状態にしてから **SCI** の設定を行ってください。

DTC の設定方法は、「14. データトランスファコントローラ (DTC)」を参照してください。

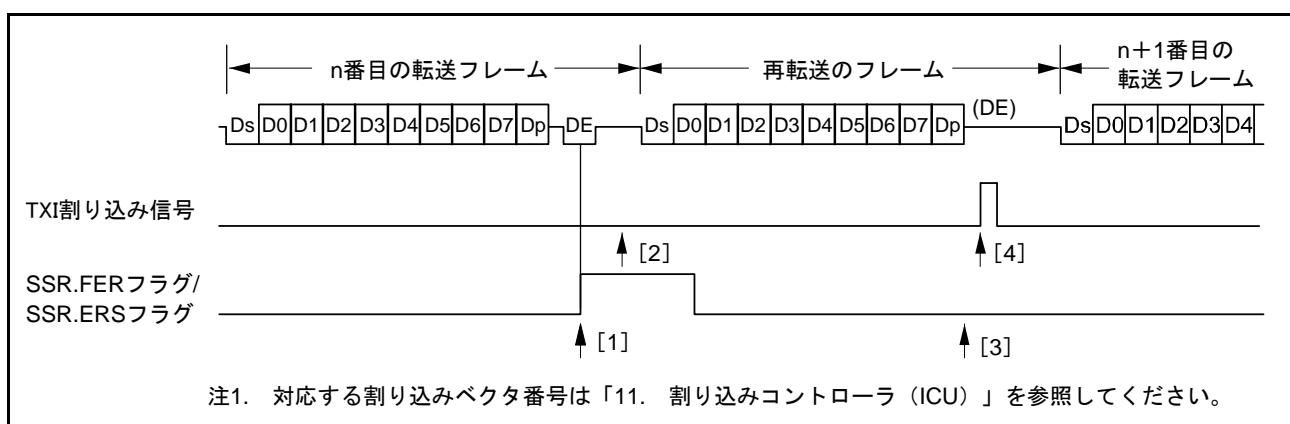


図 22.28 SMCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、**SMR.GM** ビットの設定により、**SSR.TEND** フラグが“1”になるタイミングが異なります。図 22.29 に **TEND** フラグ発生タイミングを示します。

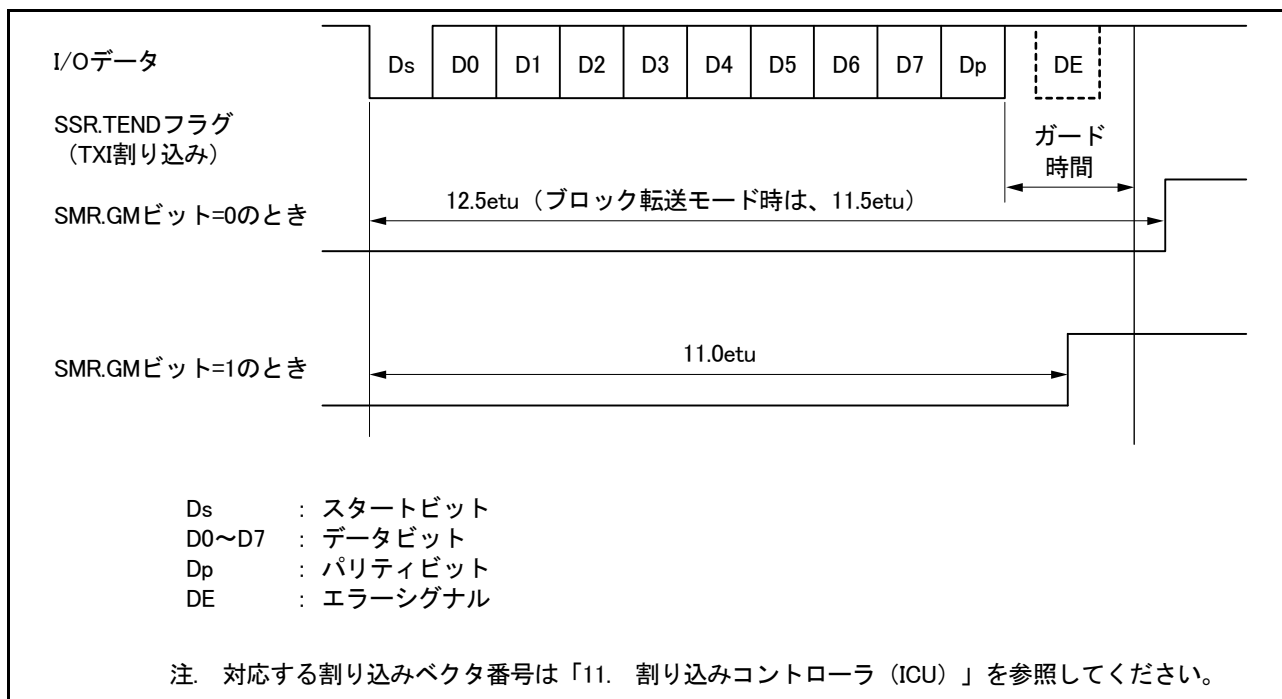


図 22.29 送信時の SSR.TEND フラグの発生タイミング

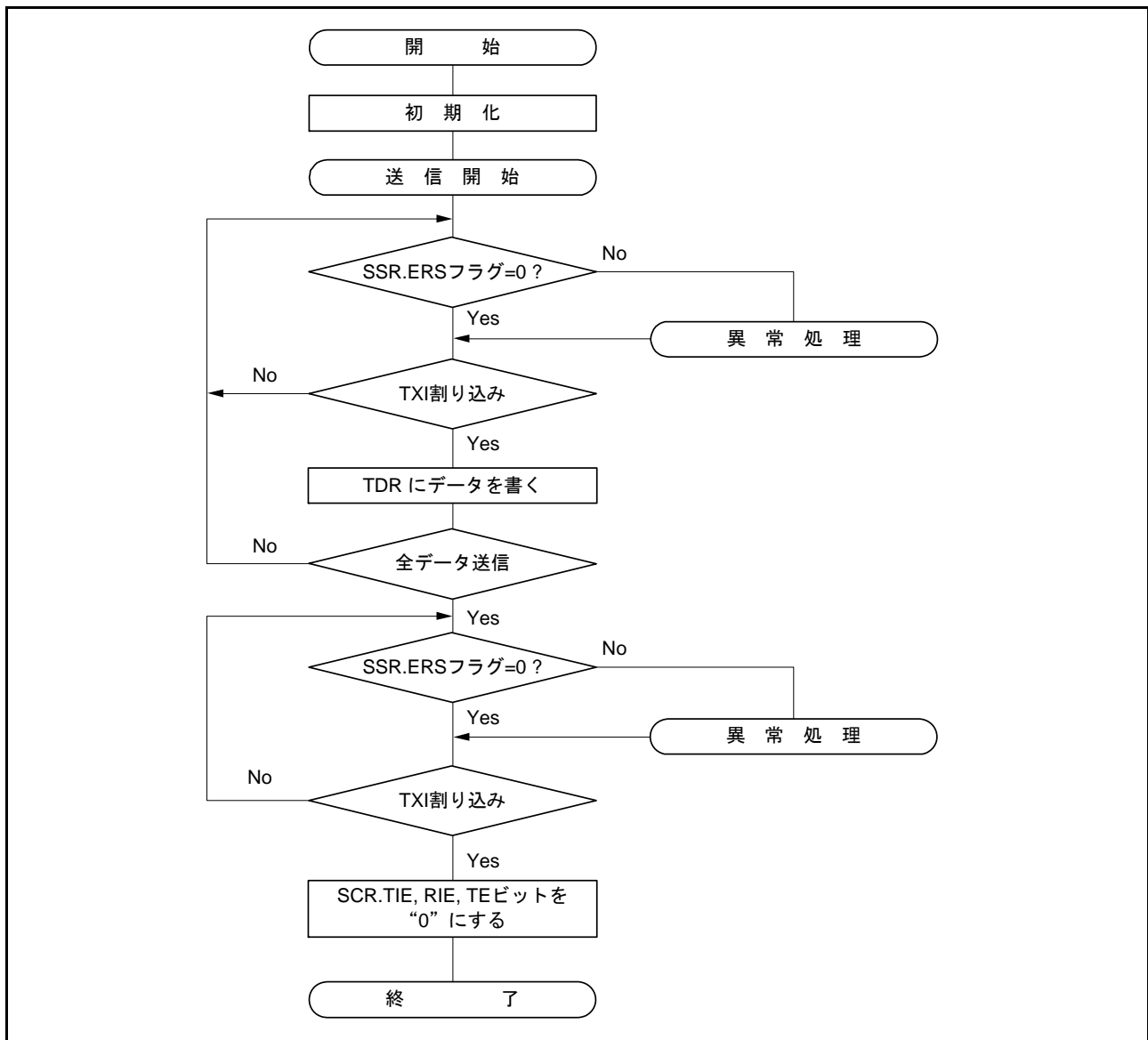


図 22.30 シリアル送信のフローチャート例

22.3.3.5 シリアル受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、シリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 22.31 に示します。

1. 受信データにパリティエラーを検出すると **SSR.PER** フラグが“1”になります。このとき、**SCR.RIE** ビットが“1”なら、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに **PER** フラグを“0”にしてください。
2. パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
3. パリティエラーが検出されない場合は、**SSR.PER** フラグはなりません。
4. 正常に受信を完了したと判断して、**RIE** ビットが“1”になっていれば、**RXI** 割り込み要求が発生します。

シリアル受信のフローチャートの例を図 22.31 に示します。これらの一連の処理は、**RXI** 割り込み要求によって **DTC** を起動することで自動的に行うことができます。

受信動作では、**RIE** ビットを“1”にしておく、**RXI** 割り込み要求が発生します。あらかじめ **DTC** の起動要因に **RXI** 割り込み要求を設定しておく、**RXI** 割り込み要求によって **DTC** が起動して受信データの転送を行います。

なお、受信時にエラーが発生し **SSR.ORER**, **PER** フラグのいずれかが“1”になると、受信エラー割り込み (**ERI**) 要求が発生しますのでエラーフラグを“0”にしてください。エラーが発生した場合は **DTC** は起動せず、受信データはスキップされるため **DTC** に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し **PER** フラグを“1”にした場合でも、受信したデータは **RDR** レジスタに転送されるのでこのデータを読むことは可能です。

注． ブロック転送モードの場合は、「22.2.2 調歩同期式モードの動作」を参照してください。

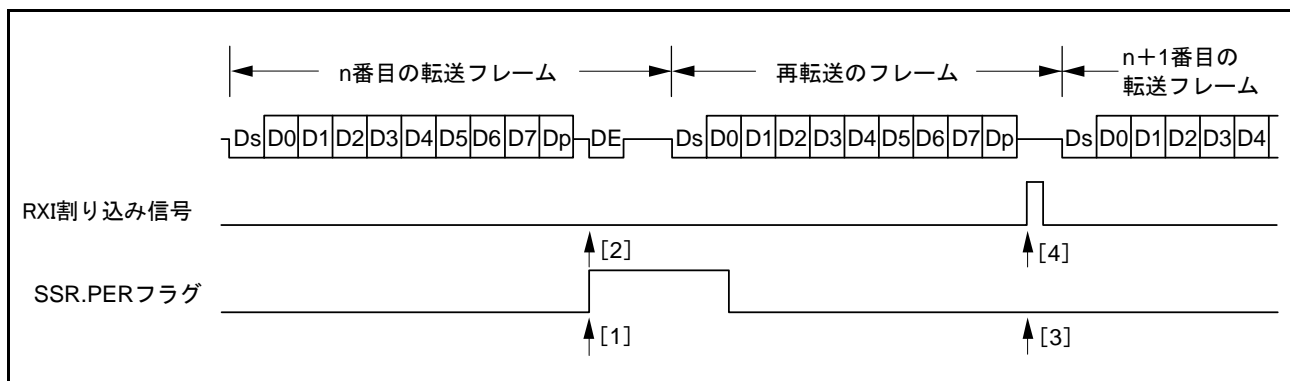


図 22.31 SMCI 受信モードの場合の再転送動作（受信時の再転送動作）

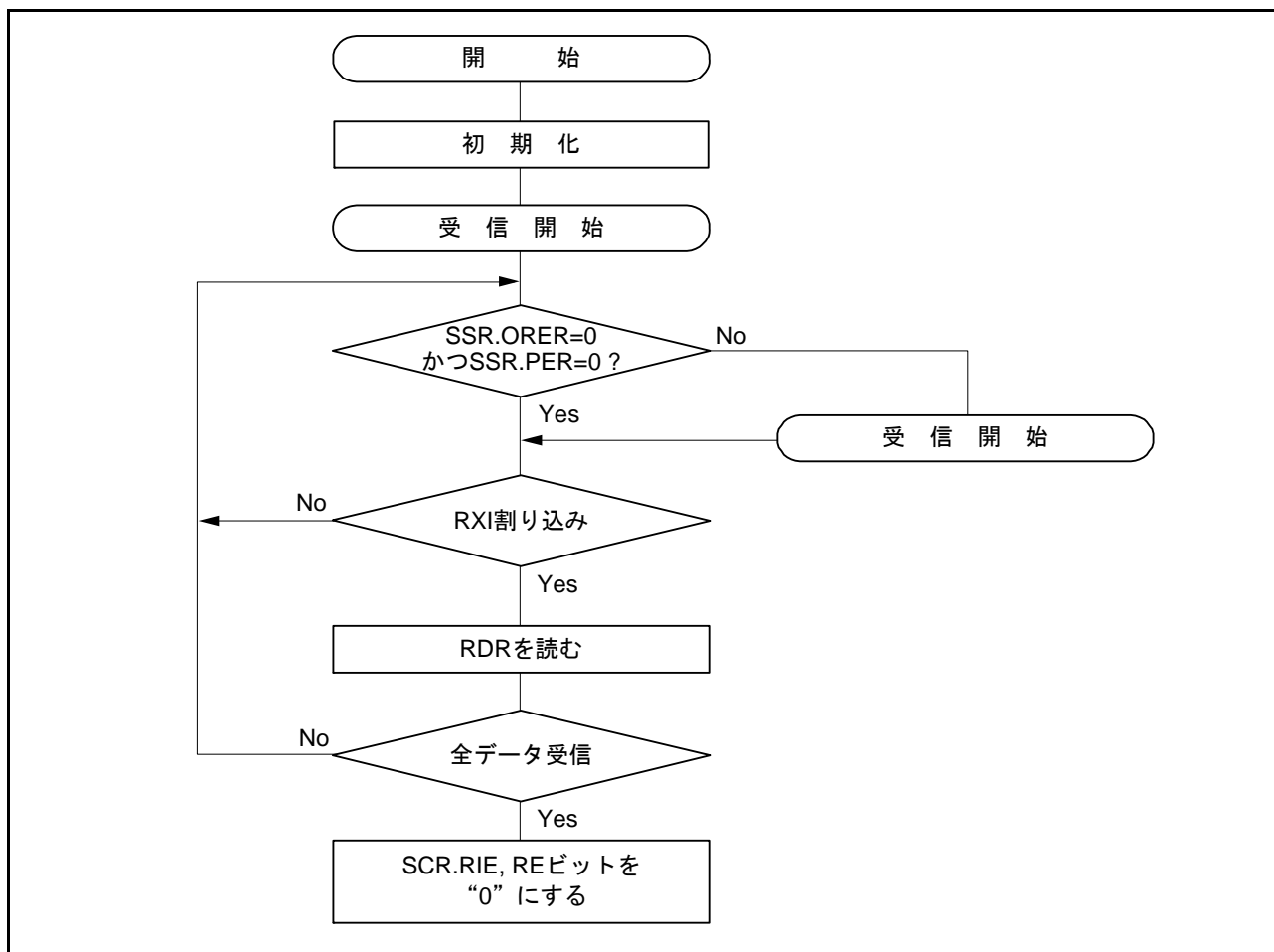


図 22.32 シリアル受信のフローチャート例

22.3.3.6 クロック出力制御

SMR.GM ビットが“1”のとき、SCR.CKE[1:0] ビットによってクロック出力を停止することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 22.33 にクロック出力の停止タイミングを示します。GM ビットを“1”、CKE1 ビットを“0”とし、CKE0 ビットを制御した場合の例です。

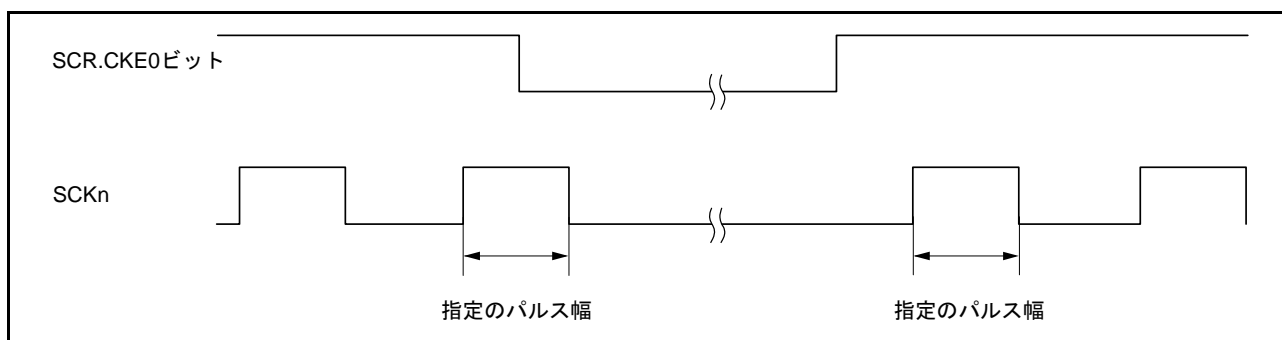


図 22.33 クロック出力停止タイミング

電源投入時およびソフトウェアスタンバイモードへの移行、またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティ比を確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックのデューティ比を確保するための切り替え手順を以下に示します。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCR.CKE1 ビットで SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタをセットし、スマートカードインタフェースモードの動作に切り替えてください。SCR.CKE0 ビットを“1”にして、クロック出力を開始させてください。

(2) モード切り替え時

(a)スマートカードインタフェースモードからソフトウェアスタンバイモードに移行するとき

1. SCKn 端子に対応するデータレジスタ (PORTi.DR) とデータディレクションレジスタ (PORTi.DDR) にソフトウェアスタンバイモード時の出力固定状態の値を設定してください。
2. SCR.TE, RE ビットに“0”を書き、送信/受信動作を停止させてください。
同時に、SCR.CKE1 ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCR.CKE0 ビットに“0”を書き、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。この間に、指定の High 幅を出力した後、クロック出力が Low のまま停止します。
5. ソフトウェアスタンバイ状態に遷移させてください。

(b)ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCR.CKE0 ビットを“1”にしてください。指定の周波数でクロック出力が再開されます。

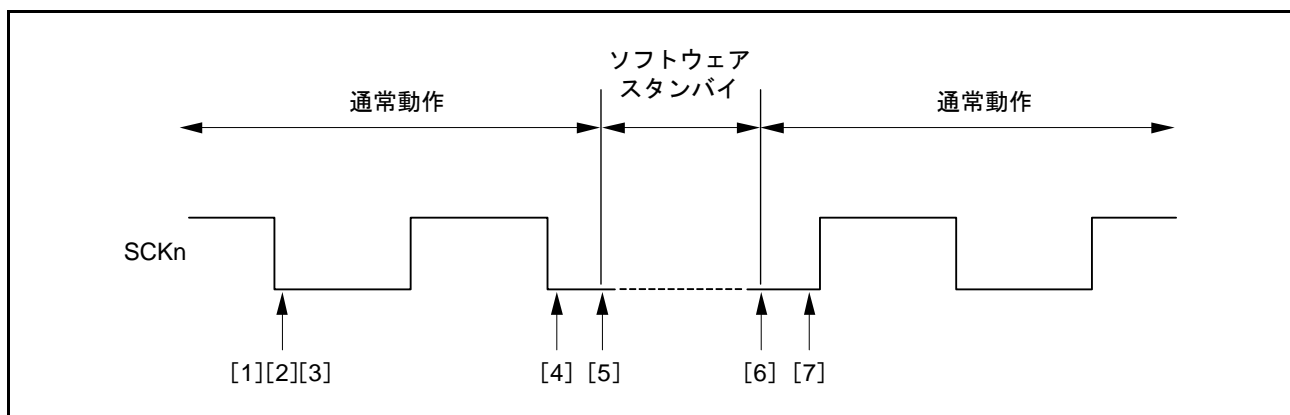


図 22.34 クロック停止・再起動手順

22.4 ノイズ除去機能

ノイズ除去機能の構成を図 22.35 に示します。調歩同期式モード時は、RXD の入力信号にノイズ除去機能を使用できます。受信信号 RXD は、ノイズ除去機能有効時にノイズ除去回路を経由して内部に取り込まれます。ノイズ除去機能は、3 段のラッチ回路と一致検出回路で構成されます。RXD の受信レベルは SEMR.ABCS=0 のとき、転送レートの 16 倍の周波数のクロックで 3 段のラッチ回路に取り込まれ、3 つのラッチ結果が一致すると、後段へそのレベルを伝えます。一致しないときは、前回一致したレベルを保持します。

3 クロック以上同一のレベルを保持した場合、ノイズ除去機能は、RXD を有効な受信信号として認識しますが、3 クロック未満のパルス状の変化はノイズとして判断し、受信信号として認識しません。

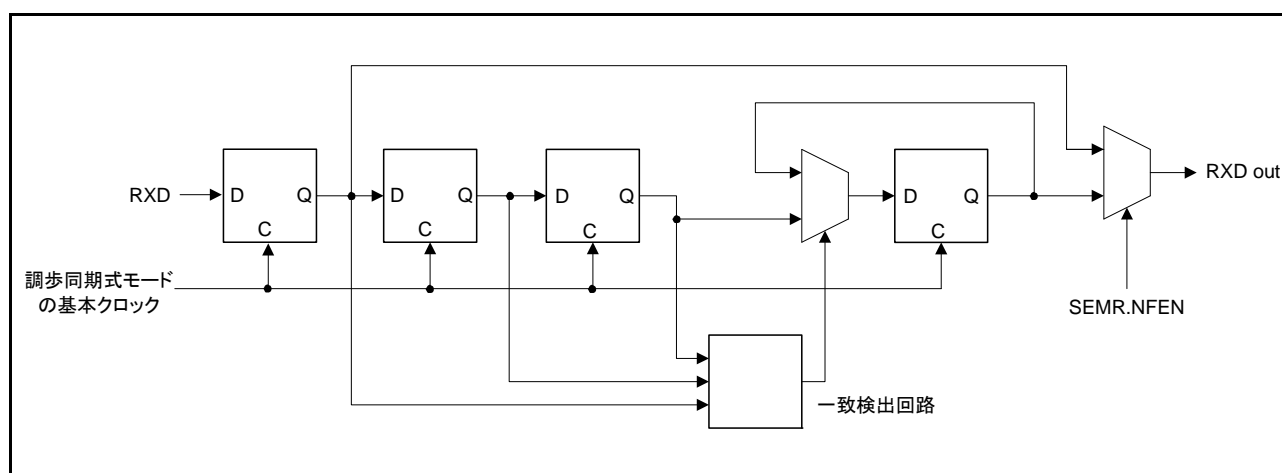


図 22.35 ノイズ除去機能の構成

22.5 割り込み要因

22.5.1 シリアルコミュニケーションインタフェースモードにおける割り込み

表 22.18 にシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタの許可ビットで個別に許可することができます。

送信データレジスタ TDR レジスタから TSR レジスタに送信データが転送されると、SCR.TIE ビットが“1”のとき TXI 割り込み要求が発生します。また、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることで TXI 割り込み要求が発生します。TXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

受信データが RDR レジスタにセットされると、SCR.RIE ビットが“1”のとき RXI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。

SSR.ORER, FER, PER フラグのいずれかが“1”になり、SCR.RIE ビットが“1”のとき ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。

送信データの最終ビットを送り出すタイミングで TDR レジスタが更新されていないと SSR.TEND フラグが“1”になり、SCR.TEIE ビットが“1”のとき TEI 割り込み要求が発生します。TXI 割り込み処理で TDR レジスタにデータを書くと、SSR.TEND フラグが“0”になって TEI 割り込み要求は取り消されます。TDR レジスタへの送信データの書き込みにより SSR.TEND フラグを“0”にしたときは、SSR.TEND フラグを読んで“0”になったことを確認してください。

TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE

ビットと SCR.TE ビットを 1 命令で同時に“1”にすることで発生します。SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にしても、またその状態で SCR.TIE ビットを“1”にしても TXI 割り込み要求は発生しません。そのため、最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込

みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する ICU.IERm.IENj ビットで割り込みの禁止/許可を制御してください。

表 22.18 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可	高 ↑ 低
RXI	受信データフル	—	可	
TXI	送信データエンプティ	—	可	
TEI	送信終了	TEND	不可	

22.5.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 22.19 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 22.19 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	高
RXI	受信データフル	—	可	↑
TXI	送信データエンプティ	TEND	可	低

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておくと、TXI 割り込み要求により DTC が起動して送信データの転送を行います。TEND フラグは、DTC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC は起動しません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的に“0”になりませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求が発生させ ERS フラグを“0”にしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は、「14. データトランスファコントローラ (DTC)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておくと、RXI 割り込み要求で DTC が起動して受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC は起動せず、代わりに CPU に対し ERI 割り込み要求が発生しますのでエラーフラグを“0”にしてください。

22.6 使用上の注意事項

22.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作を禁止/許可することができます。初期値では、SCI の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「9. 消費電力低減機能」を参照してください。

22.6.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接読むことでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて 0 になりますので、SSR.FER フラグが“1” (フレーミングエラーの発生あり) になり、また SSR.PER フラグも“1” (パリティエラーの発生あり) になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER フラグを“0” (フレーミングエラーの発生なし) にしても、再び FER フラグが“1” になりますので注意してください。

22.6.3 マーク状態とブレークの送付

SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき、TXDn 端子は PORTi.DR.Bj ビットと PORTi.DDR.Bj ビットにより入出力方向とレベルが決まる I/O ポートになります。これを利用して TXDn 端子をマーク状態にしたり、データ送信時にブレークを送付することができます。

TE ビットを“1” (シリアル送信動作を許可) に設定するまで通信回線をマーク状態 (1 の状態) にするためには、PORTi.DDR.Bj ビットを“1”、PORTi.DR.Bj ビットを“1” にします。このとき、TE ビットが“0” のときは、TXDn 端子は I/O ポートとなっていますので、“1” が出力されます。

一方、データ送信時にブレークを送付したいときは、PORTi.DDR.Bj ビットを“1”、PORTi.DR.Bj ビットを“0” にした後、TE ビットを“0” にします。TE ビットを“0” にすると、現在の送信状態とは無関係に送信部は初期化され、TXDn 端子は I/O ポートになり、TXDn 端子から“0” が出力されます。

22.6.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (SSR.ORER, FER, PER) が“1” の状態では、TDR レジスタにデータを書いても送信を開始できません。送信開始時には、受信エラーフラグを“0” にしておいてください。また、SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても受信エラーフラグは“0” にできませんので注意してください。

22.6.5 TDR への書き込みについて

TDR レジスタへのデータの書き込みは、常に行うことができます。ただし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタに書くと、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって TDR レジスタへの送信データの書き込みは、必ず TXI 割り込み要求によって行ってください。

22.6.6 クロック同期送信時の制約事項

同期クロックに外部クロックソースを使用する場合、DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください。TDR レジスタの更新後、4 クロック以内に送信クロックを入力すると誤動作することがあります。

22.6.7 DTC 使用上の制約事項

DTC により、RDR レジスタの読み出しを行うときは必ず起動要因を当該 SCI の受信完了割り込み (RXI) に設定してください。

22.6.8 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態の設定、またはソフトウェアスタンバイモードへの移行は、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) させてから行ってください。TE ビットを“0”にすることにより、TSR レジスタおよび SSR.TEND フラグは“0”になります。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中にこれらのモードに移行すると、送信が中断します。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビットを“1”にし、SSR レジスタ読み出し→TDR レジスタ書き込みで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 22.36 に送信時のモード移行フローチャートの例を示します。図 22.37、図 22.38 にモード移行時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への設定、または、ソフトウェアスタンバイモード移行は、動作を停止してから行ってください。解除後 DTC による送信をする場合は、TE ビット=1 にすると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態の設定または、ソフトウェアスタンバイモードへの移行は、受信動作を停止 (SCR.RE ビット=0) させてから行ってください。受信中に移行すると、受信中のデータは無効になります。

低消費電力状態を解除した後、受信モードを変えないで受信する場合は、RE ビットを“1”にして受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 22.39 に受信時のモード移行フローチャートの例を示します。

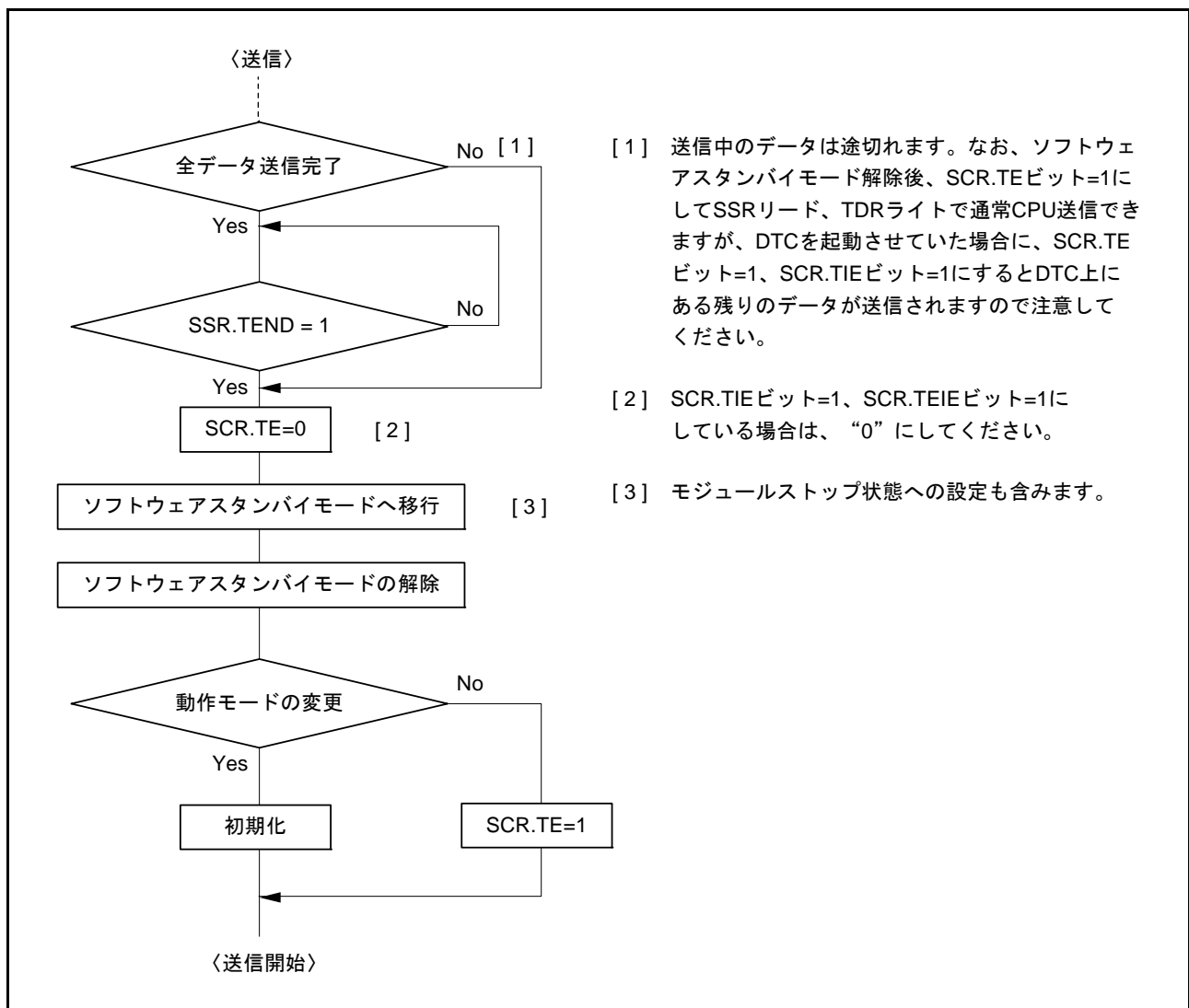


図 22.36 送信時のソフトウェアスタンバイモード移行フローチャートの例

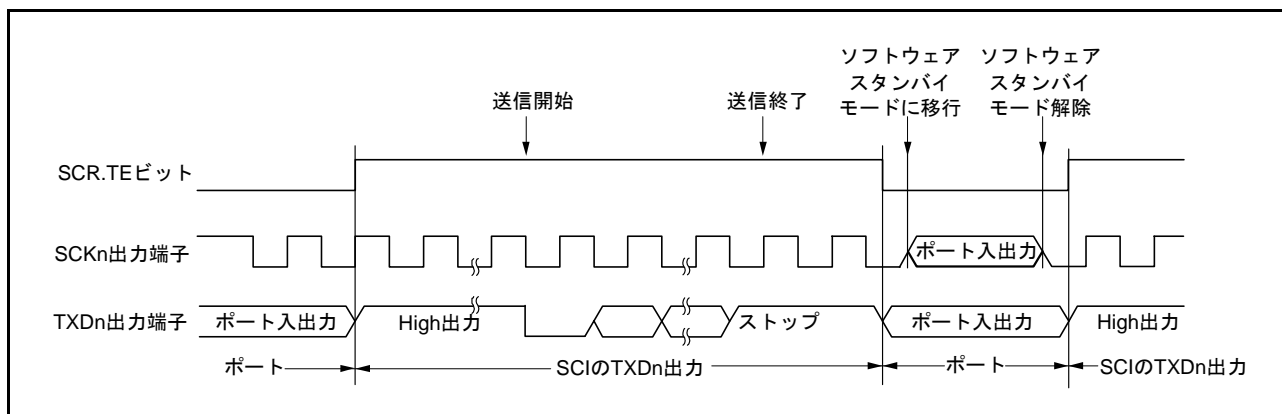


図 22.37 ソフトウェアスタンバイモード移行時のポートの端子状態 (内部クロック、調歩同期送信)

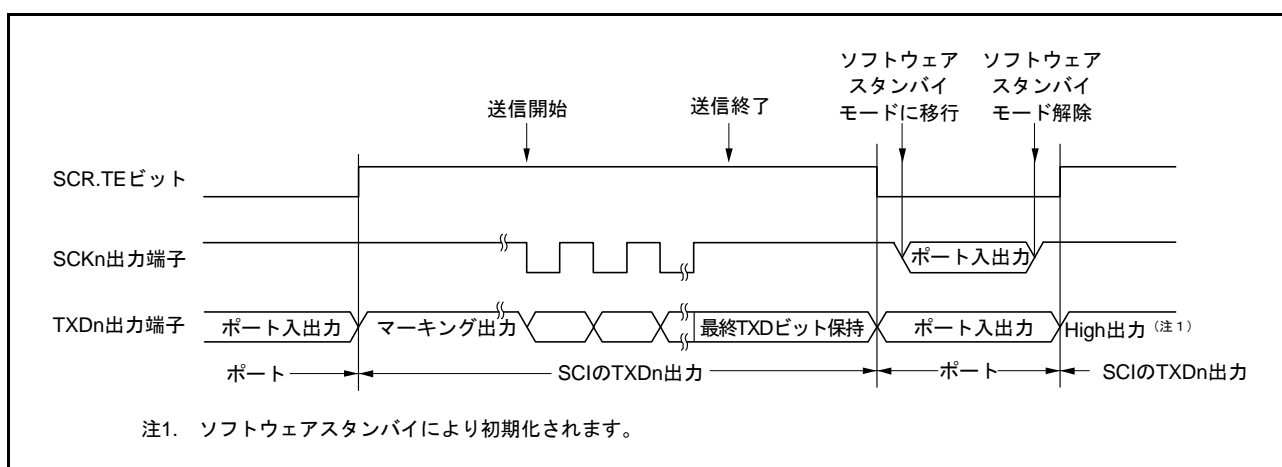


図 22.38 ソフトウェアスタンバイモード移行時のポートの端子状態 (内部クロック、クロック同期送信)

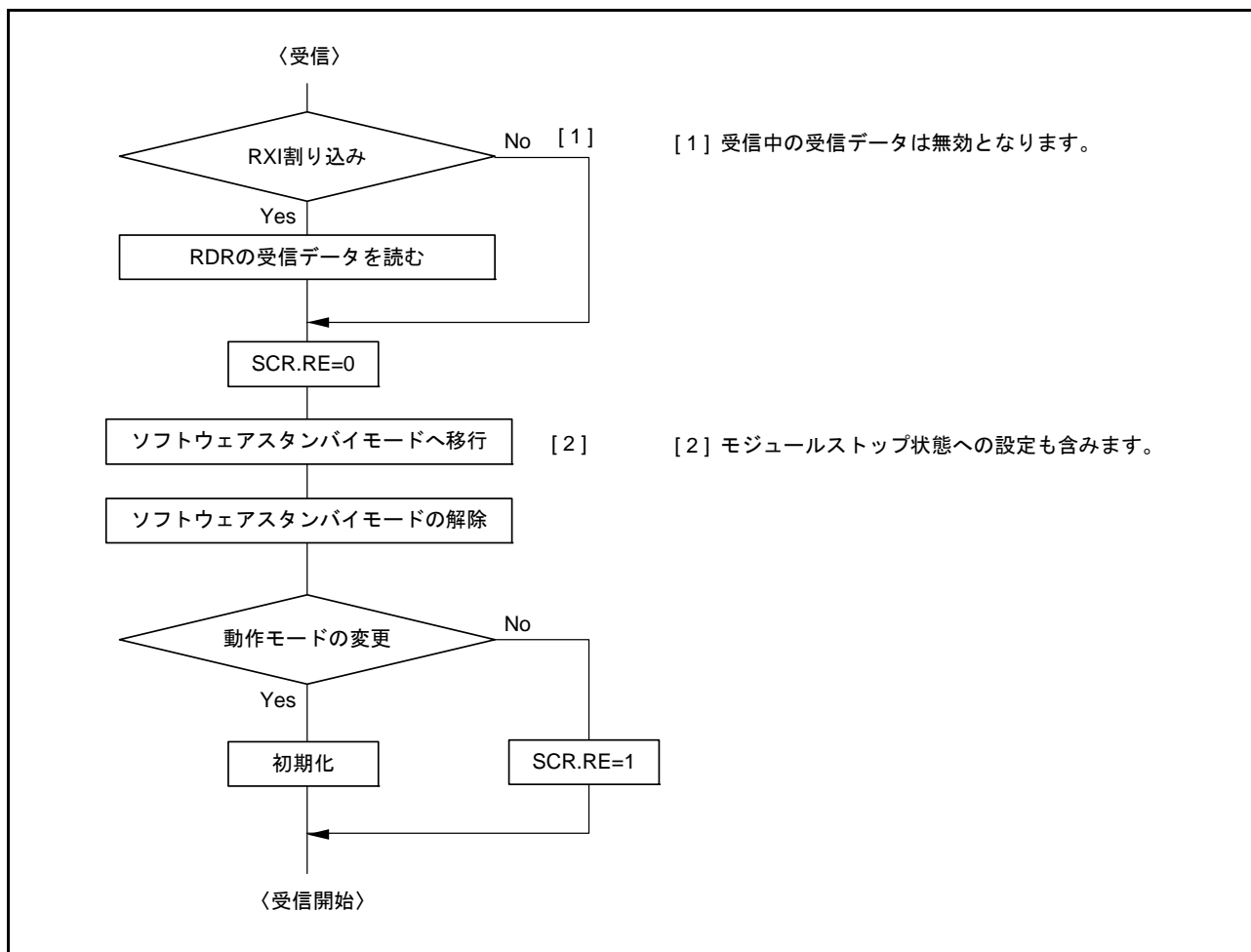


図 22.39 受信時のソフトウェアスタンバイモード移行フローチャートの例

22.6.9 クロック同期式モード外部クロック入力

クロック同期式モード時、外部クロック SCKn 入力は、High パルス期間および Low パルス期間を 2PCLK 以上、周期を 6PCLK 以上としてください。

23. CRC演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、データブロックのCRCコード生成を行います。

23.1 概要

表 23.1 に CRC 演算器の仕様を示します。図 23.1 に CRC 演算器のブロック図を示します。

表 23.1 CRC演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコード生成 (n = 自然数)
データブロックサイズ	8ビット
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファースト/MSBファースト通信用CRCコード生成から選択可能
消費電力低減機能	モジュールストップ状態への設定可能

注1. 演算対象データをデータブロックに分割する機能はありません。8ビット単位で書いてください。

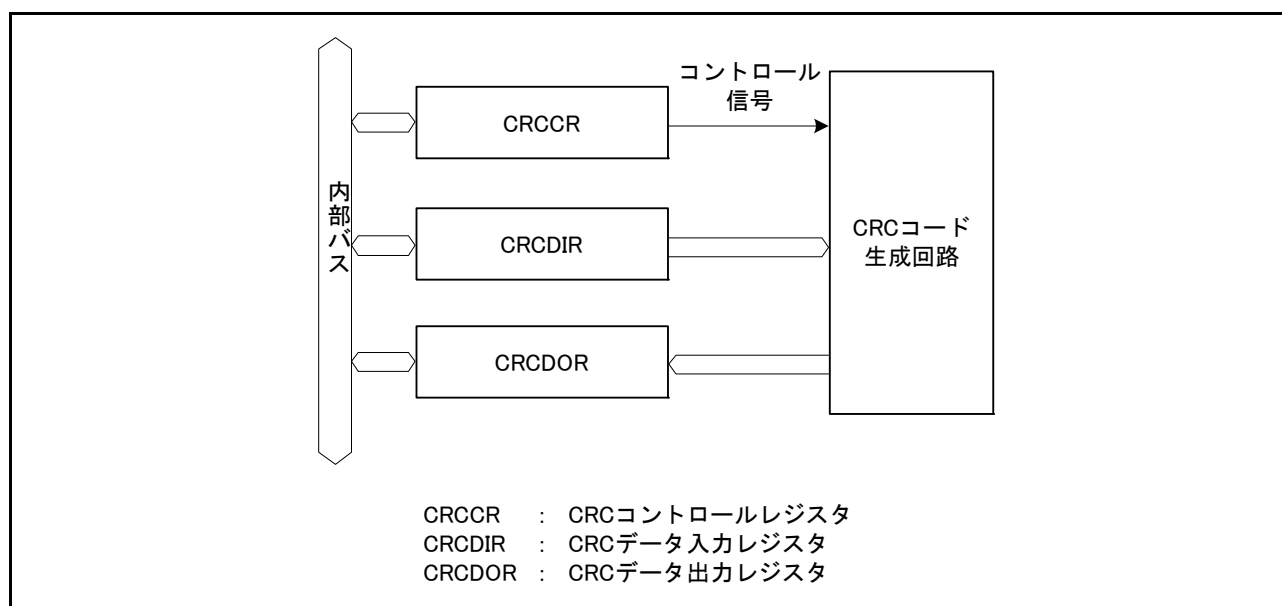


図 23.1 CRC演算器のブロック図

23.2 レジスタの説明

表 23.2 に CRC 演算器のレジスタ一覧を示します。

表 23.2 CRC演算器のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CRCコントロールレジスタ	CRCCR	00h	0008 8280h	8
CRCデータ入力レジスタ	CRCDIR	00h	0008 8281h	8
CRCデータ出力レジスタ	CRCDOR	0000h	0008 8282h	16

23.2.1 CRCコントロールレジスタ (CRCCR)

アドレス 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	—	—	—	—	LMS	GPS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 00: 演算しません (注1) 01: $X^8 + X^2 + X + 1$ 10: $X^{16} + X^{15} + X^2 + 1$ 11: $X^{16} + X^{12} + X^5 + 1$	R/W
b2	LMS	CRC演算切り替えビット	0: LSBファーストで通信する場合のCRC演算を行う CRCDORレジスタの値 (CRCコード) をバイト単位に分けて送信する場合、下位バイト (b7~b0) を先に送信してください 1: MSBファーストで通信する場合のCRC演算を行う CRCDORレジスタの値 (CRCコード) をバイト単位に分けて送信する場合、上位バイト (b15~b8) を先に送信してください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	0: 動作に影響を与えない 1: CRCDORレジスタをクリア 読むと“0”が読めます	R/W

注1. CRCデータ出力レジスタ (CRCDOR) は、“0000h”になります。

CRCCRレジスタは、CRC演算器の初期化、演算切り替え、生成多項式を選択するレジスタです。

GPS[1:0] ビット (CRC生成多項式切り替えビット)

CRCコード生成多項式を選択します。

LMS ビット (CRC演算切り替えビット)

LSBファースト通信用CRCコード生成か、MSBファースト通信用CRCコード生成かを選択します。

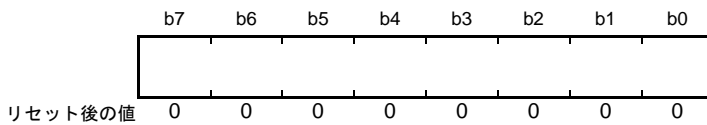
DORCLR ビット (CRCDORレジスタクリアビット)

DORCLRビットを“1”にすると、CRCDORレジスタが“0000h”になります。

読むと、“0”が読めます。

23.2.2 CRC データ入力レジスタ (CRCDIR)

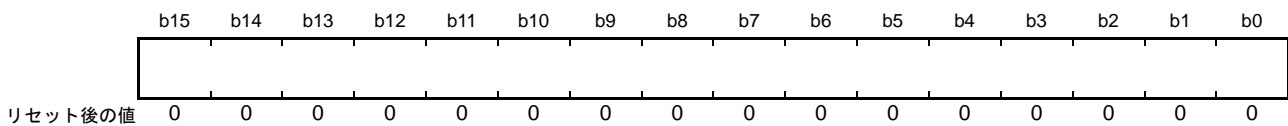
アドレス 0008 8281h



CRCDIR レジスタは、CRC 演算対象となるデータブロックを設定するための 8 ビットの読み出し／書き込み可能なレジスタです。

23.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、演算結果を格納するための 16 ビットの読み出し／書き込み可能なレジスタです。一般に、通信データの検査のために通信データに続いて CRC コードを演算するとエラーがない場合には“0”となります。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。

23.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト／MSB ファースト通信用 CRC コードを生成します。

以下に CRCCR.GPS[1:0] ビットを“11b”として、16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$ の多項式) を使用し、データ“F0h”について CRC コードを生成する場合の使用例を示します。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、CRCDOR レジスタの下位バイトに有効な CRC コードが得られます。

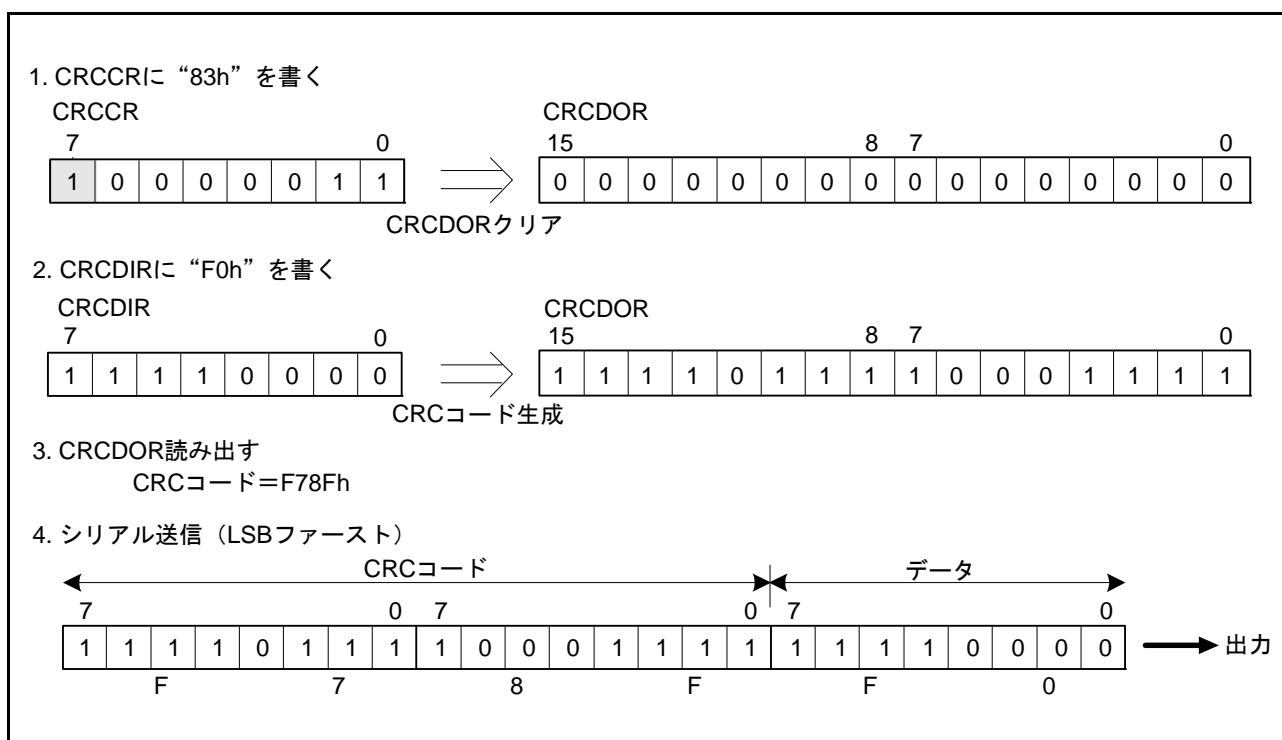


図 23.2 LSB ファーストでのデータ送信

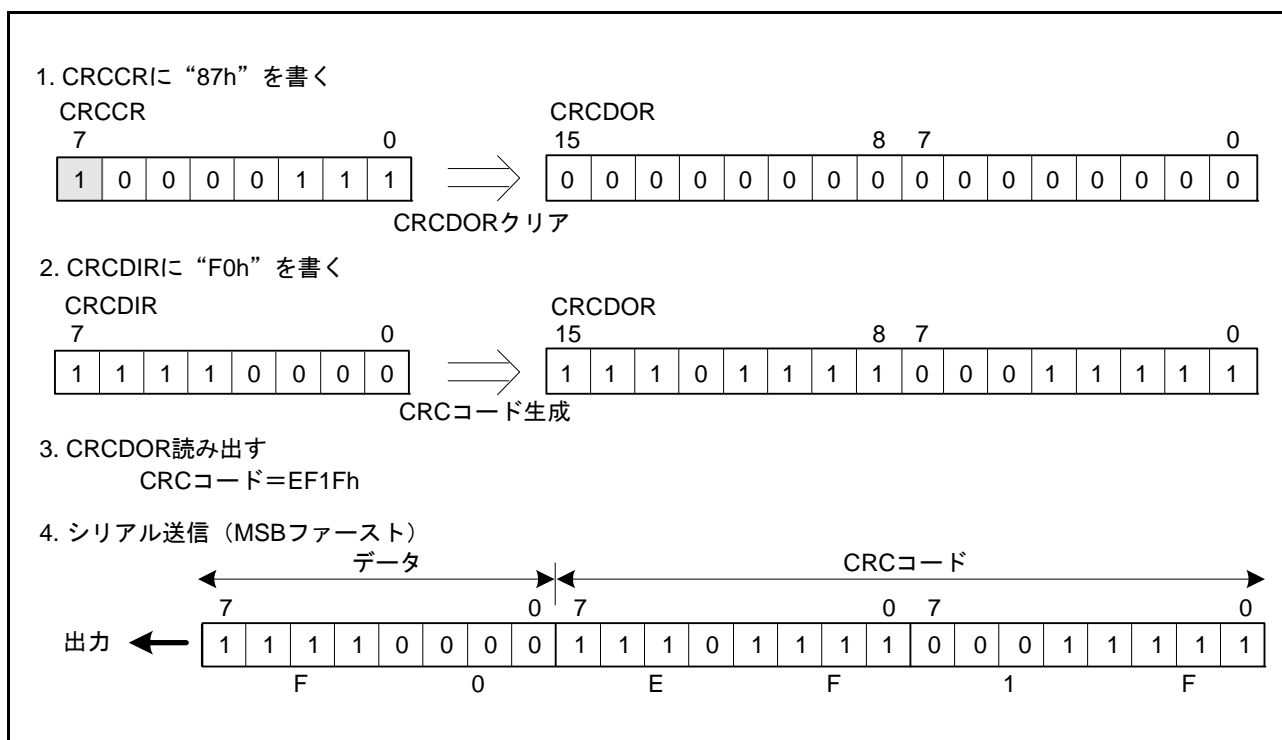


図 23.3 MSB ファーストでのデータ送信

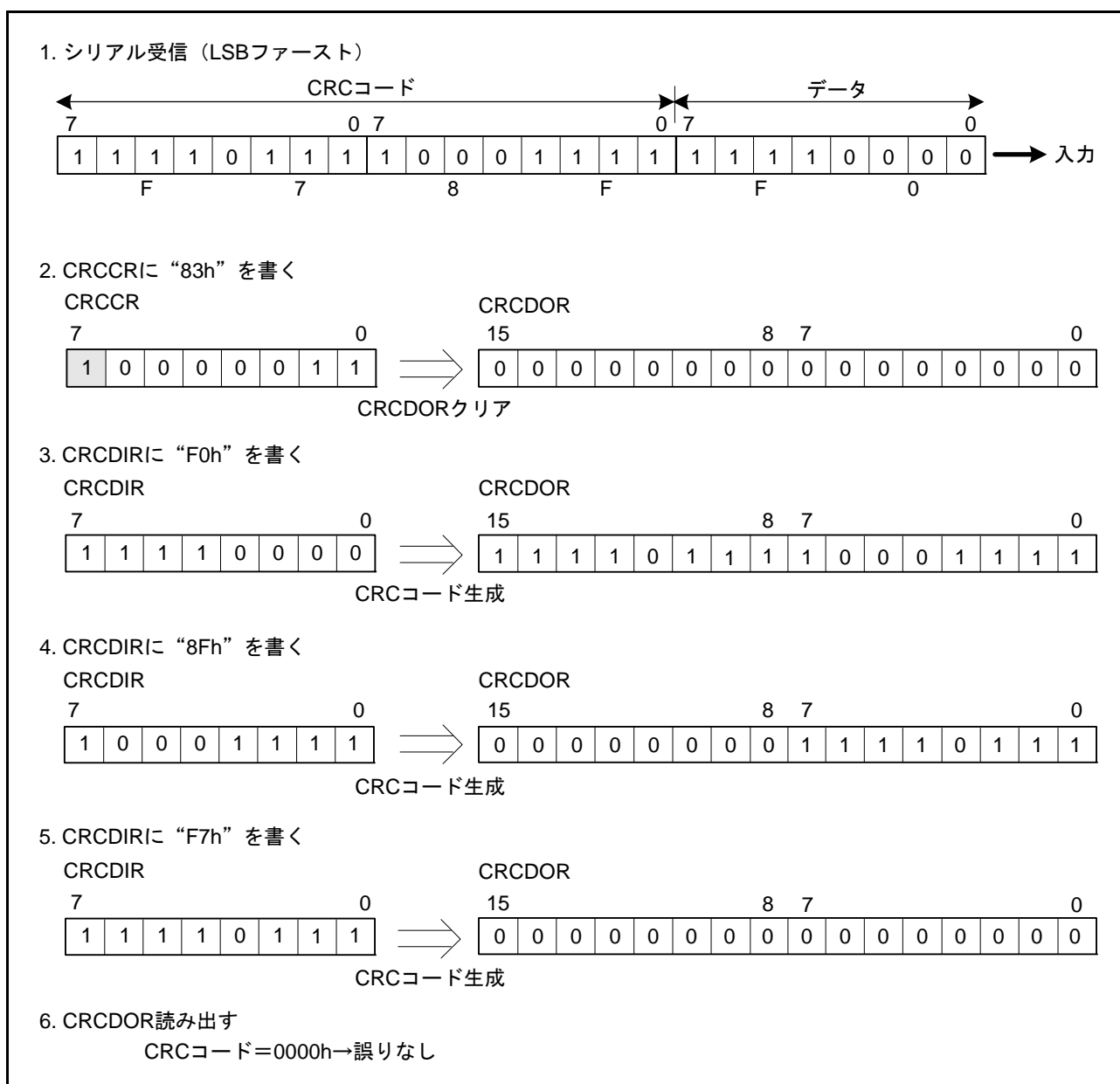


図 23.4 LSBファーストでのデータ受信

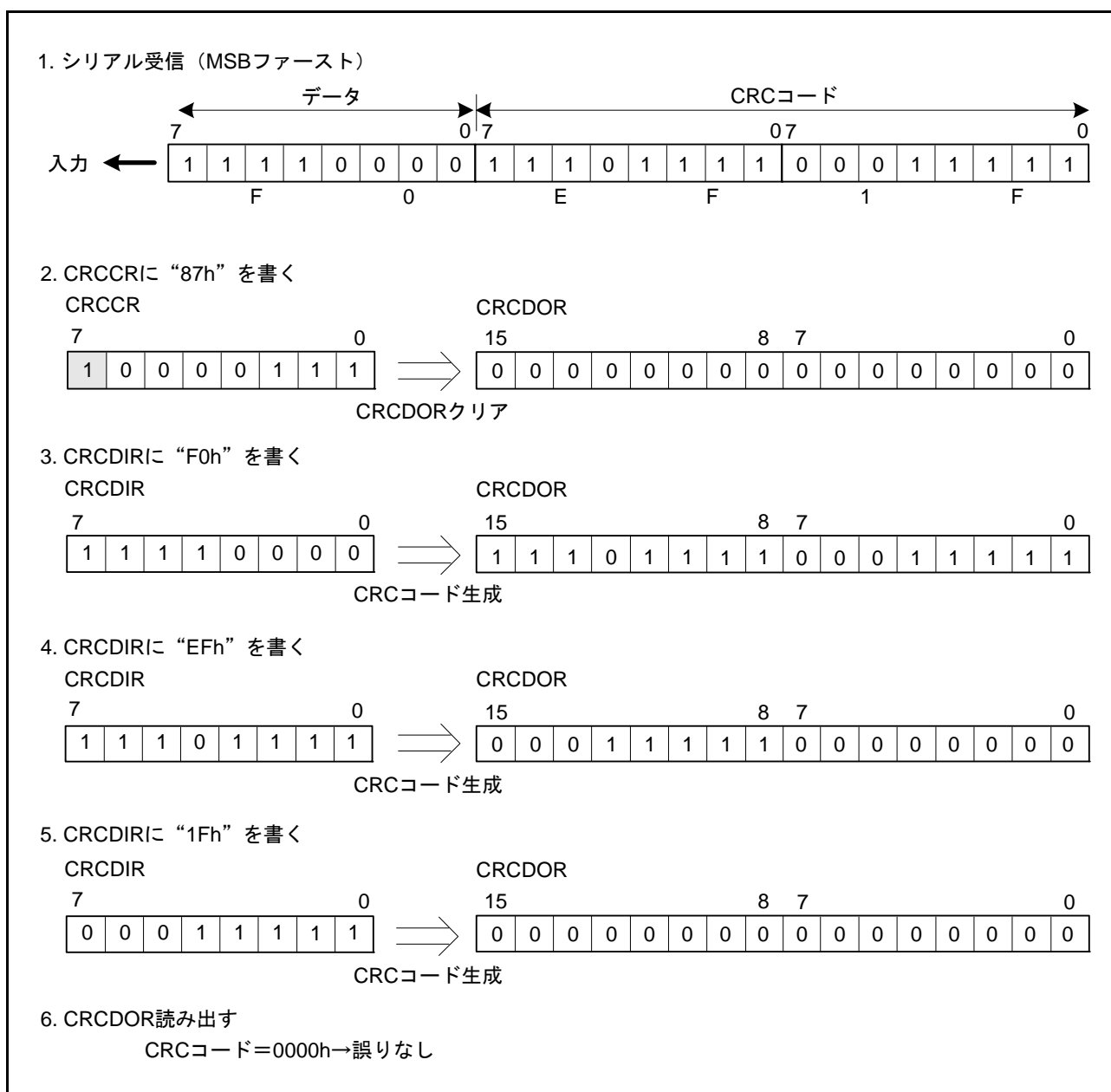


図 23.5 MSBファーストでのデータ受信

23.4 使用上の注意事項

23.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作禁止/許可を設定することが可能です。初期値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

23.5 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードを送る順序が異なりますので注意してください。

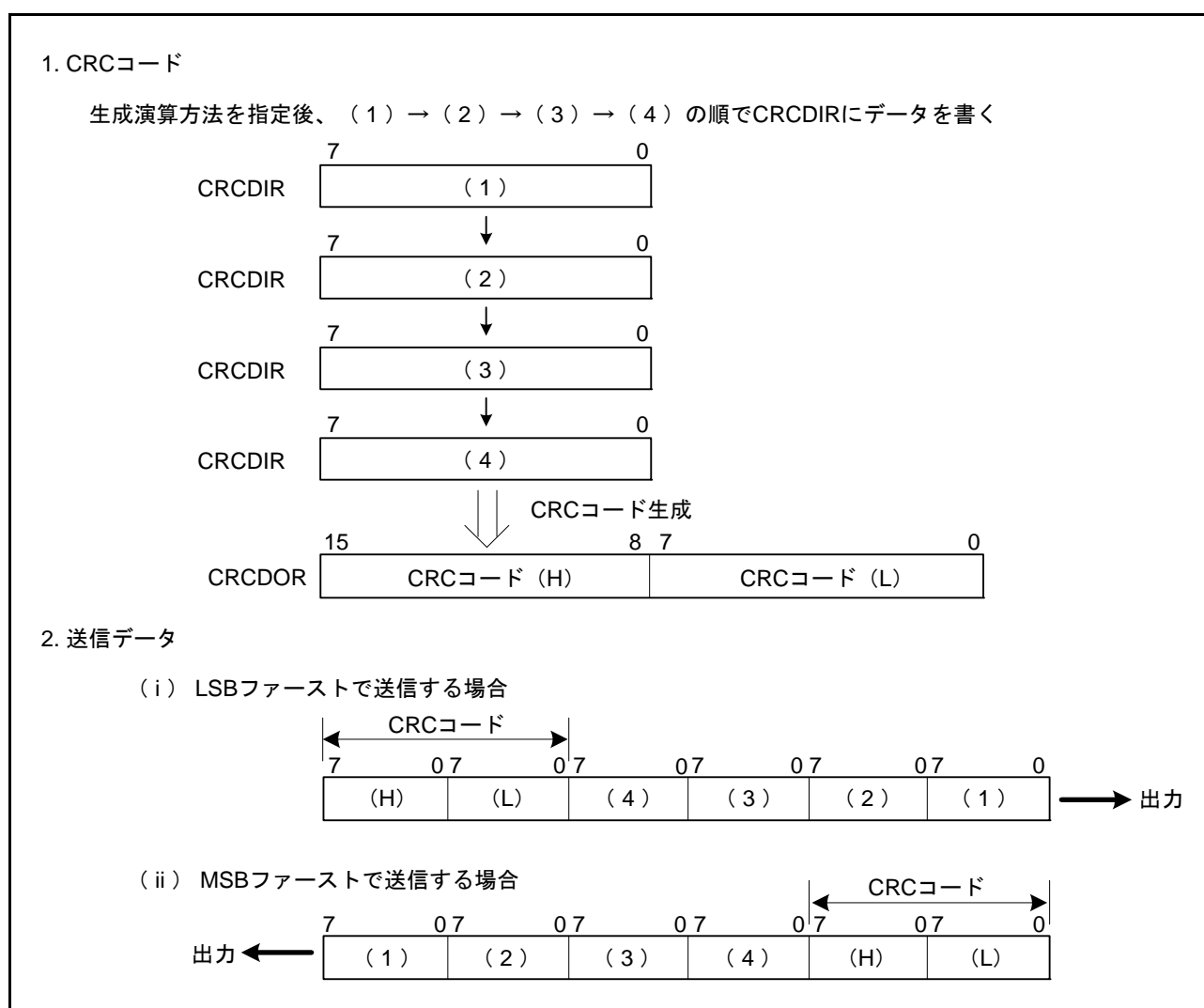


図 23.6 LSBファーストとMSBファーストの送信データ

24. I²Cバスインタフェース (RIIC)

RX62Tグループ、RX62Gグループは、1チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。RIICは、NXP社が提唱するI²Cバス (Inter-IC-Bus) インタフェース方式に準拠しており、そのサブセット機能を搭載しています。

24.1 概要

表 24.1 に RIIC の仕様を、図 24.1 に RIIC のブロック図を、図 24.2 に入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表 24.2 に RIIC で使用する入出力端子を示します。

表 24.1 RIICの仕様

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	~400k bps
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
条件発行・条件検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> スレーブアドレスを3セット設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノーアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送付 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト (WAIT機能)
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) ノーアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	<ul style="list-style-type: none"> 4種類 通信エラー/イベント発生 (AL検出、NACK検出、タイムアウト検出、スタートコンディション検出 (リスタートコンディション含む)、ストップコンディション検出) 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了

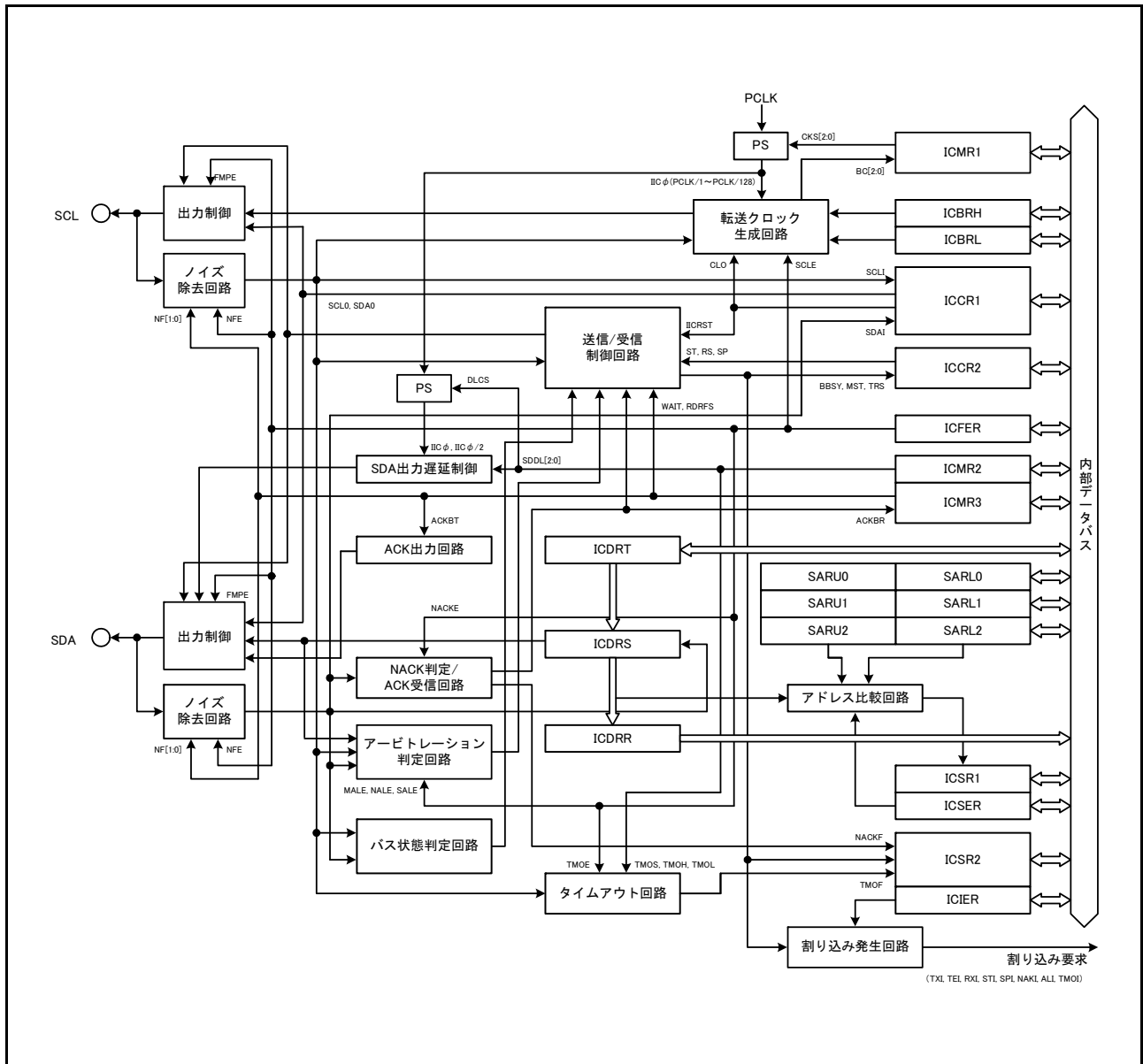


図 24.1 RIIC のブロック図

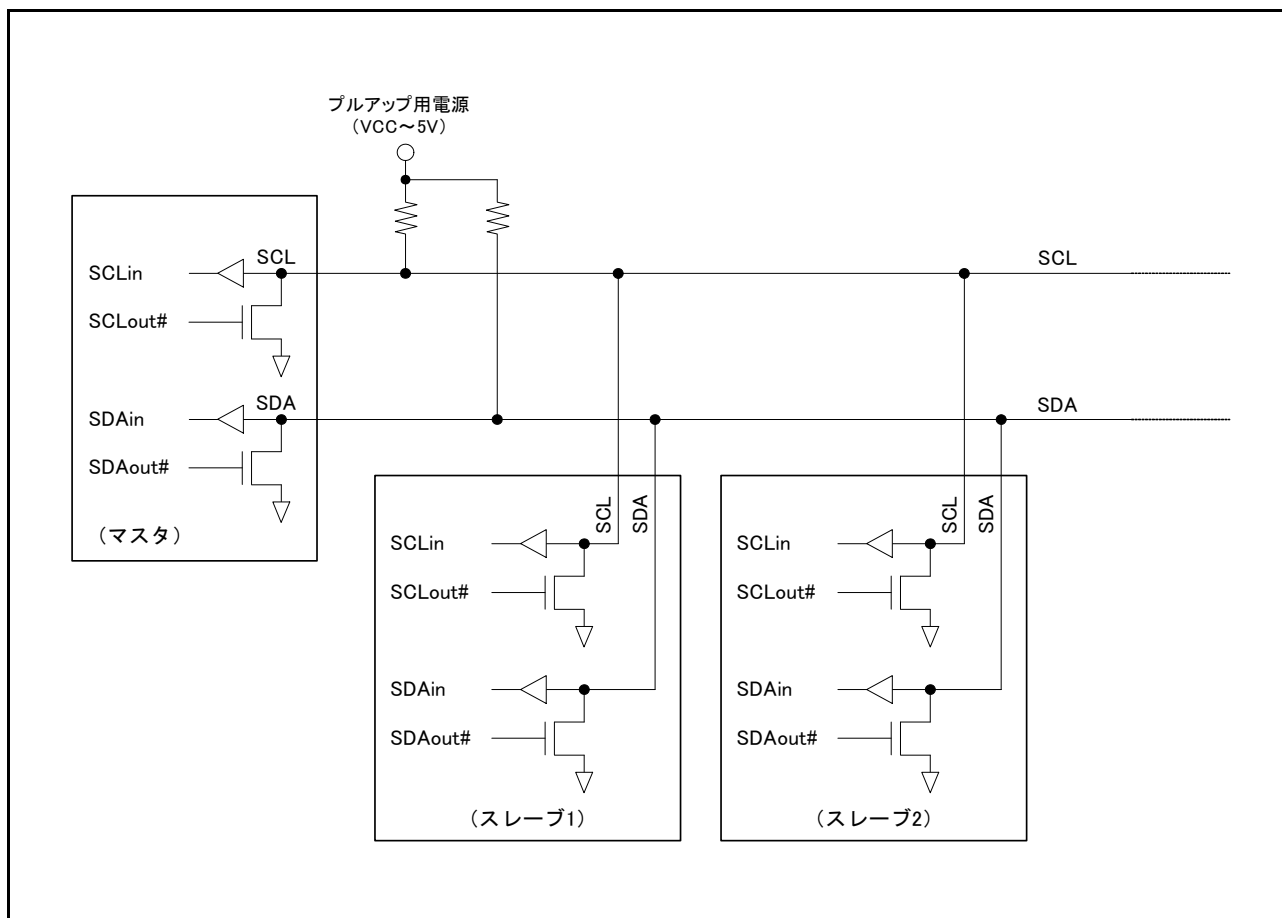


図 24.2 入出力端子の外部回路接続例 (I²C バス構成例)

表 24.2 RIICの入出力端子

端子名	入出力	機能
SCL	入出力	シリアルクロック入出力端子
SDA	入出力	シリアルデータ入出力端子

24.2 レジスタの説明

表 24.3 に RIIC のレジスタ一覧を示します。

表 24.3 RIICのレジスタ一覧

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	1Fh	0008 8300h	8
	I ² Cバスコントロールレジスタ2	ICCR2	00h	0008 8301h	8
	I ² Cバスモードレジスタ1	ICMR1	08h	0008 8302h	8
	I ² Cバスモードレジスタ2	ICMR2	06h	0008 8303h	8
	I ² Cバスモードレジスタ3	ICMR3	00h	0008 8304h	8
	I ² Cバスファンクションイネーブルレジスタ	ICFER	72h	0008 8305h	8
	I ² Cバスステータスイネーブルレジスタ	ICSER	09h	0008 8306h	8
	I ² Cバスインタラプトイネーブルレジスタ	ICIER	00h	0008 8307h	8
	I ² Cバスステータスレジスタ1	ICSR1	00h	0008 8308h	8
	I ² Cバスステータスレジスタ2	ICSR2	00h	0008 8309h	8
	スレーブアドレスレジスタL0	SARL0	00h	0008 830Ah	8
	タイムアウト内部レジスタL	TMOCNTL	0000h	0008 830Ah	16
	スレーブアドレスレジスタU0	SARU0	00h	0008 830Bh	8
	タイムアウト内部レジスタU	TMOCNTU	0000h	0008 830Bh	16
	スレーブアドレスレジスタL1	SARL1	00h	0008 830Ch	8
	スレーブアドレスレジスタU1	SARU1	00h	0008 830Dh	8
	スレーブアドレスレジスタL2	SARL2	00h	0008 830Eh	8
	スレーブアドレスレジスタU2	SARU2	00h	0008 830Fh	8
	I ² Cバスビットレートローレベルレジスタ	ICBRL	FFh	0008 8310h	8
	I ² Cバスビットレートハイレベルレジスタ	ICBRH	FFh	0008 8311h	8
	I ² Cバス送信データレジスタ	ICDRT	FFh	0008 8312h	8
	I ² Cバス受信データレジスタ	ICDRR	00h	0008 8313h	8
	I ² Cバスシフトレジスタ	ICDRS	—	—	8

24.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDAラインはLow 1 : SDAラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCLラインはLow 1 : SCLラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SDA端子をLowにしている 1 : SDA端子を解放している ライト時 0 : SDA端子をLowにする 1 : SDA端子を解放する 	R/W (注1、注2)
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SCL端子をLowにしている 1 : SCL端子を解放している ライト時 0 : SCL端子をLowにする 1 : SCL端子を解放する 	R/W (注1、注2)
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます。)	R/W (注2)
b5	CLO	SCLクロック追加出力ビット	0 : SCLクロックを追加で出力しない (通常状態) 1 : SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIIC/内部リセット解除 1 : RIIC/内部リセット状態 (ビットカウンタのクリア、SCL/SDA出カラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : RIICは機能停止 (SCL端子/SDA端子はポート機能) 1 : RIICは転送動作可能 (SCL端子/SDA端子はバス駆動)	R/W

注1. 通信中に書き込みをしないでください。通信中に値を変更すると、送信/受信動作の異常動作やALエラーが発生する場合があります。

注2. SDAOビットおよびSCLOビットを書き換える場合は、SOWPビットを“0”にするのと同時に書き換えてください。

ICCR1レジスタは、RIICの動作/停止、RIICの内部状態のリセット、SCLクロックの追加出力、SCL端子/SDA端子の操作、SCL端子/SDA端子のモニタなどを行うレジスタです。

SDAOビット (SDA出力制御/モニタビット)、SCLOビット (SCL出力制御/モニタビット)

RIICが出力するSDA_n信号、SCL_n信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時にSOWPビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介してRIICに入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのときRIICが出力している信号の状態が読めます。

SOWP ビット (SCLO/ SDAO ライトプロテクトビット)

SCLO、SDAO ビットへの書き込みを制御します。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを1クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。本機能の詳細については、「24.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バス内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットはICE ビットとの組み合わせによって決定します。表 24.4 に RIIC のリセットの種類を示します。

RIIC リセットでは ICCR2.BBSY フラグを含めた全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1、ICSR2) および内部状態をリセットします。各レジスタのリセット状況については、「24.14 リセット状況」を参照してください。

動作中 (ICE ビット =1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL 端子 /SDA 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 24.4 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

RIIC の転送動作可能 / 機能停止を選択します。

ICE ビットを“0”（機能停止）にすると SCL 端子 /SDA 端子はポート機能になります。また、ICE ビットが“0”のとき IICRST ビットを“1”にすると RIIC リセット、ICE ビットが“1”のとき IICRST ビットを“1”にすると内部リセットになります。

なお、予期せぬ通信開始を防止するため RIIC のレジスタの設定を行う際には、ICE ビットを“0”（機能停止）にし、すべてのレジスタ設定が完了した後 ICE ビットを“1”（転送動作可能状態）にしてください。

- 注. RX62Tグループ、RX62Gグループの端子機能は、I²Cバス端子以外の他の機能にも割り当てられています。端子をI²Cバス端子（SCL端子/SDA端子）として使用する場合には、割り当てられている機能の出力を禁止してください。またI²Cバス端子のSCL端子/SDA端子はともに入出力端子ですので、該当するI/OポートのPORTn.DDRレジスタは“0”（入力）に設定し、PORTn.ICRレジスタは“1”（入力バッファ有効）に設定してください。

24.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態 (バスフリー状態) 1: I ² Cバスが占有状態 (バスビジー状態またはバスフリーの期間中)	R

注1. ICCR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

ICCR2 レジスタは、I²Cバスインタフェースの制御を行うレジスタで、I²Cバスの占有/解放を持ちます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「24.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき
- ICSR2.ALフラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。

BBSYフラグが“1” (バスビジー) のとき、STビットを“1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「24.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注1. BBSY フラグ=0 (バスフリー) 状態では書き込みできません。

注2. ストップコンディション発行中に RS ビットを“1”にしないでください。

注3. マスタモード以外で RS ビットに“1” (リスタートコンディション発行要求) を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは“1”のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「24.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注1. BBSY フラグ=0 (バスフリー) のとき書き込みはできません。

注2. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットなどで“1”/“0”になり、動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY=1、ICCR2.MST=0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”/“0”になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCL ラインが High の状態で SDA ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して“1”になります。

SCL ラインが High の状態で SDA ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき“0”になります。

[“1”になる条件]

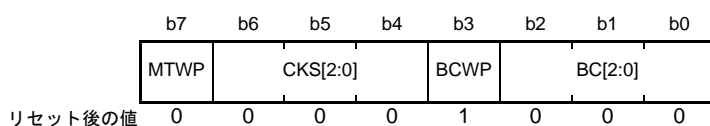
- スタートコンディションを検出したとき

[“0”になる条件]

- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき
- ICCR1.ICE ビットが“0”の状態 ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

24.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス 0008 8302h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	b6 b4 0 0 0 : PCLK/1クロック 0 0 1 : PCLK/2クロック 0 1 0 : PCLK/4クロック 0 1 1 : PCLK/8クロック 1 0 0 : PCLK/16クロック 1 0 1 : PCLK/32クロック 1 1 0 : PCLK/64クロック 1 1 1 : PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にして、BC[2:0]ビットを書き換えてください。ビットの書き換えは、MOV命令で行います。

ICMR1レジスタは、RIICの内部基準クロックソースを選択したり、転送ビット数情報を得たり、ICCR2.MST, TRSビットのライトプロテクトを制御したりするレジスタです。

BC[2:0]ビット (ビットカウンタ)

SCLラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできませんが、通常ではアクセスする必要はありません。

なお、書き込みを行う場合には転送するデータのビット数+1を指定し(データにアクノリッジ1ビットが付加されて転送される)、転送フレーム間にかつSCLラインがLowの状態で行ってください。

BC[2:0]ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出(リスタートコンディション含む)で自動的に“000b”に戻ります。

BCWPビット (BCライトプロテクトビット)

BC[2:0]ビットへの書き込みを制御します。

CKS[2:0]ビット (内部基準クロック選択ビット)

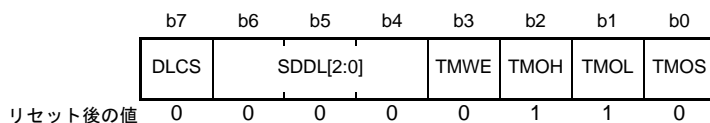
RIICの内部基準クロックソース(IICφ)を選択します。

MTWPビット (MST/TRSライトプロテクトビット)

ICCR2.MST, TRSビットへの書き込みを制御します。

24.2.4 I²C バスモードレジスタ 2 (ICMR2)

アドレス 0008 8303h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0: ロングモードを選択 1: ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0: SCLラインがLowでカウント禁止 1: SCLラインがLowでカウント有効	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0: SCLラインがHighでカウント禁止 1: SCLラインがHighでカウント有効	R/W
b3	TMWE	タイムアウト内部カウンタ書き込み許可ビット	0: タイムアウト機能の内部カウンタへの書き込み禁止 1: タイムアウト機能の内部カウンタへの書き込み許可	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCS=0 (IICφ) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1サイクル 0 1 0: IICφ2サイクル 0 1 1: IICφ3サイクル 1 0 0: IICφ4サイクル 1 0 1: IICφ5サイクル 1 1 0: IICφ6サイクル 1 1 1: IICφ7サイクル ICMR2.DLCS=1 (IICφ/2) のとき b6 b4 0 0 0: 出力遅延なし 0 0 1: IICφの1~2サイクル 0 1 0: IICφの3~4サイクル 0 1 1: IICφの5~6サイクル 1 0 0: IICφの7~8サイクル 1 0 1: IICφの9~10サイクル 1 1 0: IICφの11~12サイクル 1 1 1: IICφの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0: SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1: SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. SCL=LowのときのみDLCS=1 (IICφ/2) の選択が有効になります。SCL=HighのときDLCS=1の設定は無効となり内部基準クロック (IICφ) となります。

ICMR2 レジスタは、タイムアウト検出機能、SDA 出力遅延機能を持つレジスタです。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCLラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「24.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMWE ビット (タイムアウト内部カウンタ書き込み許可ビット)

スレーブアドレスレジスタ (SARL0/SARU0) のアドレスにタイムアウト内部カウンタ (TMOCNT_L/TMOCNT_U) を割り当ててかどうかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、「24.5 SDA 出力遅延機能」を参照してください。

- 注 1. SDA 出力遅延の設定は、I²C バス規格 (データ有効時間 / アクノリッジ有効時間 (注2) 内) または SMBus 規格 (データホールド時間 : 300ns 以上、かつ SCL クロックの Low 幅—データセットアップ時間 : 250ns の範囲内) に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。
- 注 2. データ有効時間 / アクノリッジ有効時間
3,450ns (~100kbps : スタンダードモード [Sm])
900ns (~400kbp : ファストモード [fm])

DLCS ビット (SDA 出力遅延クロックソース選択ビット)

SDA 出力遅延時間のクロックソースに内部基準クロック (IICφ) か、内部基準クロックの 2 分周 (IICφ/2) かを選択するビットです。

SCL=Low のときのみ DLCS=1 (IICφ/2) の選択が有効になります。

SCL=High のとき DLCS=1 の設定は無効となり内部基準クロック (IICφ) となります。

24.2.5 I²Cバスモードレジスタ 3 (ICMR3)

アドレス 0008 8304h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1IICφ以下のノイズを除去 (フィルタは1段) 0 1 : 2IICφ以下のノイズを除去 (フィルタは2段) 1 0 : 3IICφ以下のノイズを除去 (フィルタは3段) 1 1 : 4IICφ以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクリッジビット	0 : アクリッジビットに“0”を受信 (ACK受信) 1 : アクリッジビットに“1”を受信 (NACK受信)	R
b3	ACKBT	送信アクリッジビット	0 : アクリッジビットに“0”を送出 (ACK送信) 1 : アクリッジビットに“1”を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) • LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKWPビットは、ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

ICMR3レジスタは、アクリッジ送受信機能、RIIC受信動作におけるRDRFフラグ、WAIT動作などを制御するレジスタです。

NF[1:0]ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

注. ノイズフィルタで除去するノイズ幅の設定は、SCLラインのHigh/Low幅よりも狭くしてください。
(SCLクロックの幅: High幅またはLow幅のいずれか短い方) - {1.5内部基準クロック同期 (IICφ) + アナログノイズフィルタ: 120 ns (参考値)} と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりSCLクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態ではアクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態ではアクノリッジビットに“0”を受信したとき
- ICCR1.ICE ビットが“0”の状態ではICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

["1"になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

["0"になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態ではストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態ではICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

注. ACKBT ビットに書き込みを行う場合には、ACKWP ビットが“1”の状態で行ってください。ACKWP ビットが“0”の状態では書き込みを行った場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセットタイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりで SCL ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりで“1”にし、8 クロック目の立ち下がりで SCL ラインを Low にホールドします。この SCL ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて1バイト受信ごとに受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの9クロック目と1クロック目の間をLowにホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの9クロック目と1クロック目の間のLowホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1バイト受信ごとに9クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCL ラインをLowにホールドします。これにより1バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR を先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され ICSEH.HOAE ビットが有効になります。

24.2.6 I²C バスファンクションイネーブルレジスタ (ICFER)

アドレス 0008 8305h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスタアービトレーションロスト検出許可ビット	0: マスタのアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、 アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、 アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ICFER レジスタは、タイムアウト検出機能、アービトレーションロスト、NACK 受信時の受信動作、SCL 同期回路、デジタルノイズフィルタ回路の使用 / 不使用などを制御するレジスタです。

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効 / 無効を選択します。

タイムアウト検出機能の詳細については、「24.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスタアービトレーションロスト検出許可ビット)

マスタモード時にアービトレーションロスト検出機能の有効 / 無効を決定します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「24.8.2 NACK 受信転送中断機能」を参照してください。

NFE ビット (デジタルノイズフィルタ回路有効ビット)

デジタルノイズフィルタ回路の使用 / 不使用を選択します。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

24.2.7 I²Cバスステータスイネーブルレジスタ (ICSER)

アドレス 0008 8306h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

ICSERレジスタは、スレーブアドレス比較、ジェネラルコールアドレス検出、デバイスIDコマンド検出、ホストアドレス検出の有効/無効を選択するレジスタです。

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y=0~2)

SARLy、SARUyレジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyEビットを“1”にすると、SARLy、SARUyレジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyEビットを“0”にすると、SARLy、SARUyレジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0[W] : All“0”)を受信した場合、無視するかどうかを選択します。

GCAEビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIICはSARLy、SARUyレジスタ (y=0~2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAEビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第1フレームにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第1フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0”[W] のとき第2フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第1フレームがデバイス ID アドレスと一致しても無視され、第1フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「24.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつ HOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0～2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”または HOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

24.2.8 I²Cバスインタラプトイネーブルレジスタ (ICIER)

アドレス 0008 8307h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み許可ビット	0: タイムアウト割り込み (TMOI) の禁止 1: タイムアウト割り込み (TMOI) の許可	R/W
b1	ALIE	アービトレーションロスト割り込み許可ビット	0: アービトレーションロスト割り込み (ALI) の禁止 1: アービトレーションロスト割り込み (ALI) の許可	R/W
b2	STIE	スタートコンディション検出割り込み許可ビット	0: スタートコンディション検出割り込み (STI) の禁止 1: スタートコンディション検出割り込み (STI) の許可	R/W
b3	SPIE	ストップコンディション検出割り込み許可ビット	0: ストップコンディション検出割り込み (SPI) の禁止 1: ストップコンディション検出割り込み (SPI) の許可	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み (NAKI) の禁止 1: NACK受信割り込み (NAKI) の許可	R/W
b5	RIE	受信データフル割り込み許可ビット	0: 受信データフル割り込み (ICRXI) の禁止 1: 受信データフル割り込み (ICRXI) の許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み (ICTEI) の禁止 1: 送信終了割り込み (ICTEI) の許可	R/W
b7	TIE	送信データエンプティ割り込み許可ビット	0: 送信データエンプティ割り込み (ICTXI) の禁止 1: 送信データエンプティ割り込み (ICTXI) の許可	R/W

ICIER レジスタは、各種割り込み要因の使用 / 不使用を選択します。

TMOIE ビット (タイムアウト割り込み許可ビット)

ICSR2.TMOF フラグが“1”のとき、タイムアウト割り込み (TMOI) の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

ICSR2.AL フラグが“1”のとき、アービトレーションロスト割り込み (ALI) の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み許可ビット)

ICSR2.START フラグが“1”のとき、スタートコンディション検出割り込み (STI) の許可 / 禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み許可ビット)

ICSR2.STOP フラグが“1”のとき、ストップコンディション検出割り込み (SPI) の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み許可ビット)

ICSR2.NACKF フラグが“1”のとき、NACK 受信割り込み (NAKI) の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み許可ビット)

ICSR2.RDRF フラグが“1”のとき、受信データフル割り込み (ICRXI) の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み許可ビット)

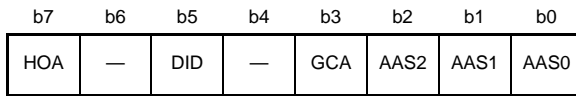
ICSR2.TEND フラグが“1”のとき、送信終了割り込み (ICTEI) の許可 / 禁止を選択します。ICTEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み許可ビット)

ICSR2.TDRE フラグが“1”のとき、送信データエンプティ割り込み (ICTXI) の許可 / 禁止を選択します。

24.2.9 I²Cバスステータスレジスタ 1 (ICSR1)

アドレス 0008 8308h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出 • SARU0.FSビット=0 (7ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスがSARL0.SVA[6:0]と一致したとき • SARU0.FSビット=1 (10ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスが1111 0b + SARU0.SVA[1:0]に一致し、それに続くアドレスがSARL0レジスタと一致したとき (“1”になるタイミングは、SARL0一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出 • SARU1.FSビット=0 (7ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスがSARL1.SVA[6:0]と一致したとき • SARU1.FSビット=1 (10ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスが1111 0b + SARU1.SVA[1:0]に一致し、それに続くアドレスがSARL1レジスタと一致したとき (“1”になるタイミングは、SARL1一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出 • SARU2.FSビット=0 (7ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスがSARL2.SVA[6:0]と一致したとき • SARU2.FSビット=1 (10ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスが1111 0b + SARU2.SVA[1:0]に一致し、それに続くアドレスがSARL2レジスタと一致したとき (“1”になるタイミングは、SARL2一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出 • 受信したスレーブアドレスがジェネラルコールアドレス (“All”0”) と一致した場合	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスID アドレス検出フラグ	0 : デバイスID アドレス未検出 1 : デバイスID アドレス検出 • スタートコンディション直後の第1フレームがデバイスID アドレス (1111 100b) + 0[W]と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス (0001 000b) と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

ICSR1 レジスタは、各種アドレス検出のステータスの確認を行うレジスタです。

AASy フラグ (スレーブアドレス y 検出フラグ) (y= 0 ~ 2)

["1" になる条件]

【7 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] と一致し、それに続くアドレスが SARLy レジスタと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- ICSER.GCAE ビットが "1" (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ストップコンディションを検出したとき
- ICSER.GCAE ビットが "1" (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

[“1”になる条件]

- ICSE.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICSE.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSE.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

[“1”になる条件]

- ICSE.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICMR3.SMBS ビットに“0”または ICSE.HOAE ビットに“0”を書いたとき
- ICSE.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

24.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

アドレス 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0 : タイムアウト未検出 1 : タイムアウト検出	R(W) (注1)
b1	AL	アービトレーションロストフラグ	0 : アービトレーションロストの発生なし 1 : アービトレーションロストの発生あり	R(W) (注1)
b2	START	スタートコンディション検出フラグ	0 : スタートコンディション未検出 1 : スタートコンディション検出	R(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0 : ストップコンディション未検出 1 : ストップコンディション検出	R(W) (注1)
b4	NACKF	NACK検出フラグ	0 : NACK未検出 1 : NACK検出	R(W) (注1)
b5	RDRF	受信データフルフラグ	0 : ICDRRレジスタに受信データなし 1 : ICDRRレジスタに受信データあり	R(W) (注1)
b6	TEND	送信終了フラグ	0 : データ送信中 1 : データ送信終了	R(W) (注1)
b7	TDRE	送信データエンプティフラグ	0 : ICDRTレジスタに送信データあり 1 : ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

ICSR2 レジスタは、各種割り込み要求フラグおよびステータスの確認を行うレジスタです。

TMOF フラグ (タイムアウト検出フラグ)

SCL ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOE ビットが“1” (タイムアウト検出機能有効) で、かつマスターモードまたはスレーブ指定された状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA ラインのレベルを監視し、出力データと SDA ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスターモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

["1"になる条件]

【マスタアービトレーションロスト検出有効時：ICFER.MALE ビット= 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（= SDA 端子はハイインピーダンス状態）で、SDA ラインに Low を検出）したとき
- ICCR2.ST ビットが“1”（スタートコンディション発行要求）の状態ですタートコンディションを検出したとき、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求に設定したとき

【NACK アービトレーションロスト検出有効時：ICFER.NALE ビット= 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER.SALE ビット= 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 24.5 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	*	*	1	スタートコンディション発行エラー	ICCR2.ST=1の状態ですタートコンディション検出時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき ICCR2.BBSY=1の状態ですタートコンディションに設定したとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
*	1	*	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
*	*	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

* : Don't care

START フラグ（スタートコンディション検出フラグ）

["1"になる条件]

- スタートコンディション（リスタートコンディション含む）を検出したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

[“1”になる条件]

- ストップコンディションを検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

[“1”になる条件]

- ICFER.NACKF ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態でも送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

[“1”になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

- TDRE フラグが“1”の状態でも、SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
 - a. スタートコンディション (リスタートコンディション含む) 検出後、ICCR2.MST ビットが“1”のとき
 - b. 受信モードから送信モードになったとき
 - c. ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

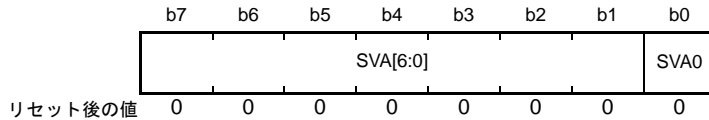
[“0”になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
 - a. ストップコンディションを検出したとき
 - b. 送信モードから受信モードになったとき
 - c. ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態 (次の送信データが既に書き込まれている状態) の場合、9クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空状態になりますが、TDRE フラグは“1”になりません。

24.2.11 スレーブアドレスレジスタ Ly (SARLy) (y= 0 ~ 2)

アドレス SARL0 0008 830Ah
SARL1 0008 830Ch
SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA0ビットは無効になる SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA0ビットが有効になり、SVA[6:0]ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる 	R/W
b7-b1	SVA[6:0]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA[6:0]ビットは7ビットスレーブアドレスになる SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA[6:0]ビットはSVA0ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる 	R/W

SARLy レジスタは、スレーブアドレス y (7ビットアドレスまたは10ビットアドレス下位8ビット) を設定するレジスタです。

SVA0 ビット (10ビットアドレス最下位ビット)

10ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、10ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて10ビットアドレス下位8ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

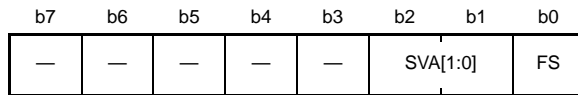
SVA[6:0] ビット (7ビットアドレス/10ビットアドレス下位ビット)

7ビットアドレスフォーマット選択時 (SARUy.FS ビット=0)、7ビットアドレスとして機能し、10ビットアドレスフォーマット選択時 (SARUy.FS ビット=1)、SVA0 ビットと合わせて10ビットアドレス下位8ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

24.2.12 スレーブアドレスレジスタ Uy (SARUy) (y= 0 ~ 2)

アドレス SARU0 0008 830Bh
SARU1 0008 830Dh
SARU2 0008 830Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA[1:0]ビットは無効になる SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA[1:0]ビットが有効になり、10ビットスレーブアドレスの上位2ビットアドレスになる 	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SARUy レジスタは、7ビット/10ビットアドレスフォーマットの選択と10ビットスレーブアドレス上位ビットのを設定を行うレジスタです。

FS ビット (7ビット/10ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy、SARUy レジスタ) を7ビットアドレスにするか、10ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“0”のとき、スレーブアドレス y は7ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき、スレーブアドレス m は10ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy、SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

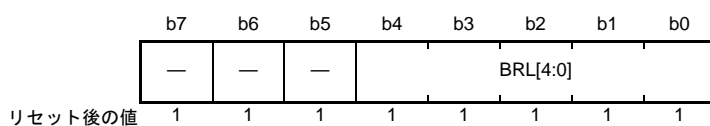
SVA[1:0] ビット (10ビットアドレス上位ビット)

10ビットアドレスフォーマット選択時 (FS ビット=1)、10ビットアドレスの上位2ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1”のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0”のとき設定値は無視されます。

24.2.13 I²Cバスビットレートローレベルレジスタ (ICBRL)

アドレス 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時（「24.8 SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注1）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICφ）で Low 幅をカウントします。

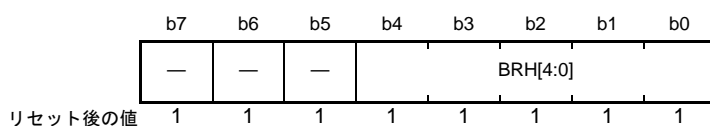
注1. データセットアップ時間 (tSU:DAT)

250ns (～ 100kbps : スタンダードモード [Sm])

100ns (～ 400kbps : ファストモード [fm])

24.2.14 I²Cバスビットレートハイレベルレジスタ (ICBRH)

アドレス 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRHレジスタはSCLクロックのHigh幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIICを常にスレーブモードで使用する場合には、High幅を設定する必要はありません。

ICBRHレジスタはICMR1.CKS[2:0]ビットで選択された内部基準クロックソース(IICφ)でHigh幅をカウントします。

I²C転送速度およびSCLクロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ [(ICBRH+1) + (ICBRL+1)] / IIC\phi \text{ (注1)} + \text{SCLライン立ち上がり時間 [tr]} + \text{SCLライン立ち下がり時間 [tf]} \}$$

$$\text{デューティ比} = \{ \text{SCLライン立ち上がり時間 [tr]} \text{ (注2)} + (ICBRH+1) / IIC\phi \} / \{ \text{SCLライン立ち下がり時間 [tf]} \text{ (注2)} + (ICBRL+1) / IIC\phi \}$$

注1. $IIC\phi = PCLK \times 10^6 \times \text{分周比}$

注2. SCLライン立ち上がり時間[tr]、SCLライン立ち下がり時間[tf]は、バスライン総容量[Cb]とプルアップ抵抗[Rp]に依存します。詳細についてはNXP社のI²Cバス規格書を参照してください。

ICBRH、ICBRLレジスタの値の設定例を表24.6に示します。

表 24.6 転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度 (kbps)	動作周波数PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

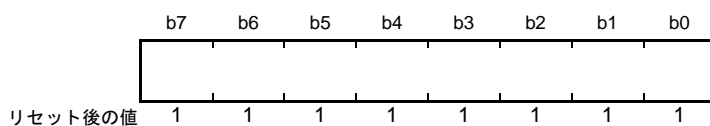
転送速度 (kbps)	動作周波数PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	30			33			50		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	26 (FAh)	111b	16 (F0h)	20 (F4h)
50	100b	15 (EFh)	18 (F2h)	100b	17 (F1h)	20 (F4h)	100b	26 (FAh)	31 (FFh)
100	010b	2 (E2h)	3 (E3h)	011b	16 (F0h)	19 (F3h)	011b	24 (F8h)	29 (FDh)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	21 (F5h)	010b	7 (E7h)	16 (F0h)

注. SCLラインの立ち上がり時間 (tr) を~100kbps以下[S_m]は1000ns、~400kbps[F_m]は300ns、
SCLラインの立ち下がり時間 (tf) を~400kbps以下[S_m/F_m]は300nsとして計算した場合の設定例です。
SCLライン立ち上がり時間 (tr)、SCLライン立ち下がり時間 (tf) の規格値についてはNXP社のI²Cバス規格書を参照してください。

24.2.15 I²Cバス送信データレジスタ (ICDRT)

アドレス 0008 8312h



ICDRT レジスタは、送信データを格納する 8 ビットのレジスタです。

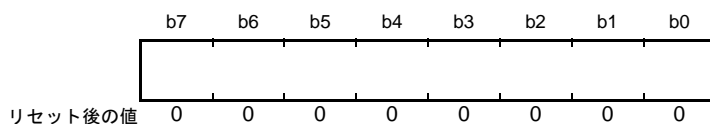
I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (ICTXI) 要求が発生したときに 1 回だけ行ってください。

24.2.16 I²Cバス受信データレジスタ (ICDRR)

アドレス 0008 8313h



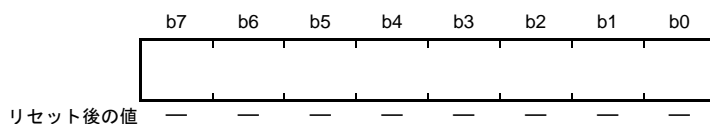
ICDRR レジスタは、受信データを格納する 8 ビットのレジスタです。

1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (ICRXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグを次に“1”になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

24.2.17 I²Cバスシフトレジスタ (ICDRS)

ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

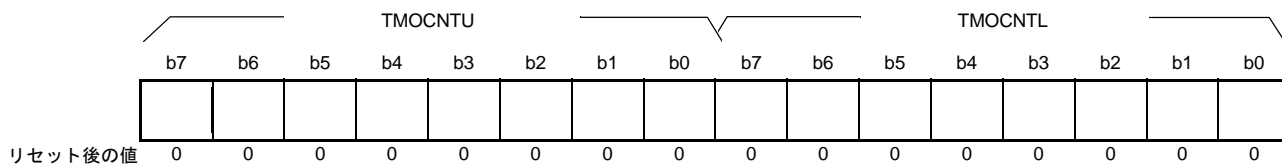
送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

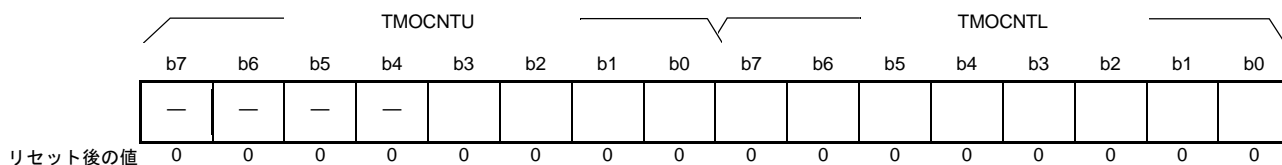
24.2.18 タイムアウト内部カウンタ (TMOCNT)

アドレス TMOCNTL 0008 830Ah、TMOCNTU 0008 830Bh

・ICMR2.TMOS=0 (ロングモード) 時



・ICMR2.TMOS=1 (ショートモード) 時



注1. 本レジスタはSARL0、SARU0レジスタと同一です。ご注意ください。。

• TMOCNTL レジスタ

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTL	タイムアウト内部カウンタ	タイムアウト内部カウンタ下位	W (注1)

注1. タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読み出されます。

• TMOCNTU レジスタ

ビット	シンボル	ビット名	機能	R/W
b7-b0	TMOCNTU	タイムアウト内部カウンタ	タイムアウト内部カウンタ上位 (注1)	W (注2)

注1. TMOS=1 (ショートモード) 時、b7-b4は予約ビットになります。書き込み可能ですが、書き込み値は無効です。

注2. タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFhが読み出されます。

タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) は、リセット時、ICCR1.IICRST=1 にしたとき、もしくは ICFER.TMOE=1 でかつ、ICMR1.CKS[2:0]=000b の PCLK/1 で使用し、ICMR2 の TMOH/TMOL ビットで設定したカウンタクリア条件 (SCL 立ち上がり / 立ち下がりエッジ検出) が成立したとき、初期化 (00h) されます。

TMOCNTL レジスタと TMOCNTU レジスタは、16 ビットレジスタとして 16 ビットアクセスすることも可能です。

24.3 動作説明

24.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 24.3 に I²C バスフォーマットを、図 24.4 に I²C バスタイミングを示します。

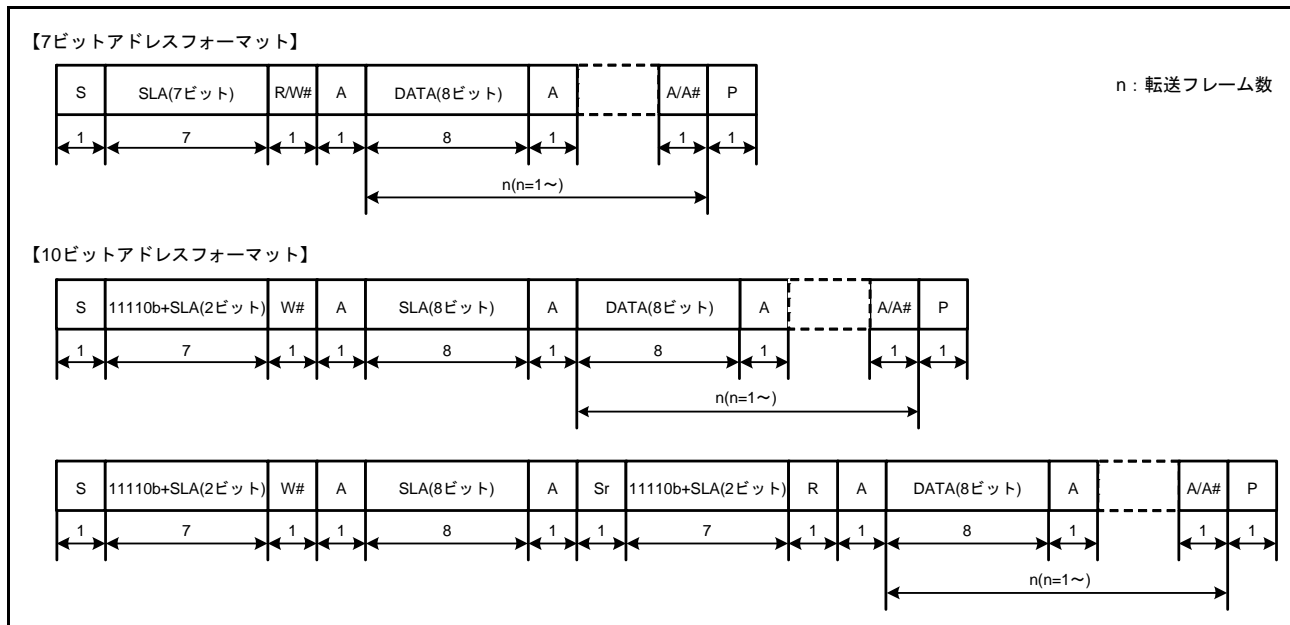


図 24.3 I²C バスフォーマット

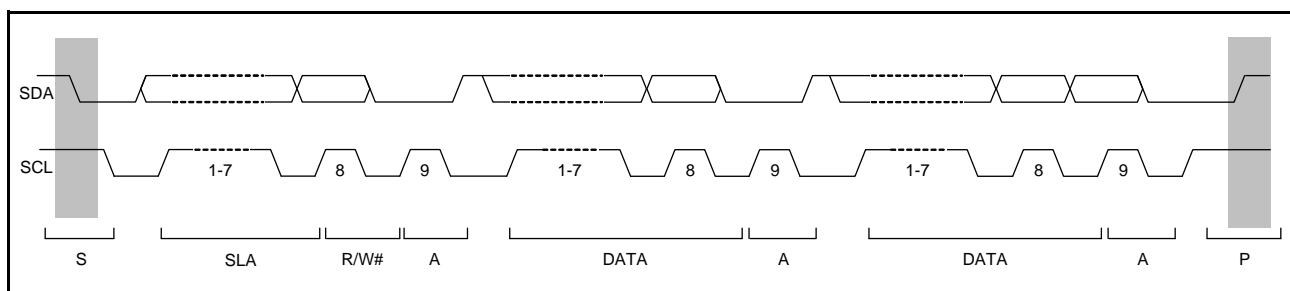


図 24.4 I²C バスタイミング (SLA=7 ビットの場合)

【記号説明】

- S : スタートコンディションを示します。マスタデバイスが、SCLラインがHighの状態ですDAラインがHighからLowに変化します。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスがSDAラインをLowにします (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- Sr : リスタートコンディションを示します。マスタデバイスが、SCLラインがHighの状態ですットアップ時間経過後にSDAラインがHighからLowに変化します。
- DATA : 送受信データを示します。
- P : ストップコンディションを示します。マスタデバイスが、SCLラインがHighの状態ですDAラインがLowからHighに変化します。

24.3.2 初期設定

データの送信/受信を開始する場合、図 24.5 に示す手順に従って RIIC を初期化してください。

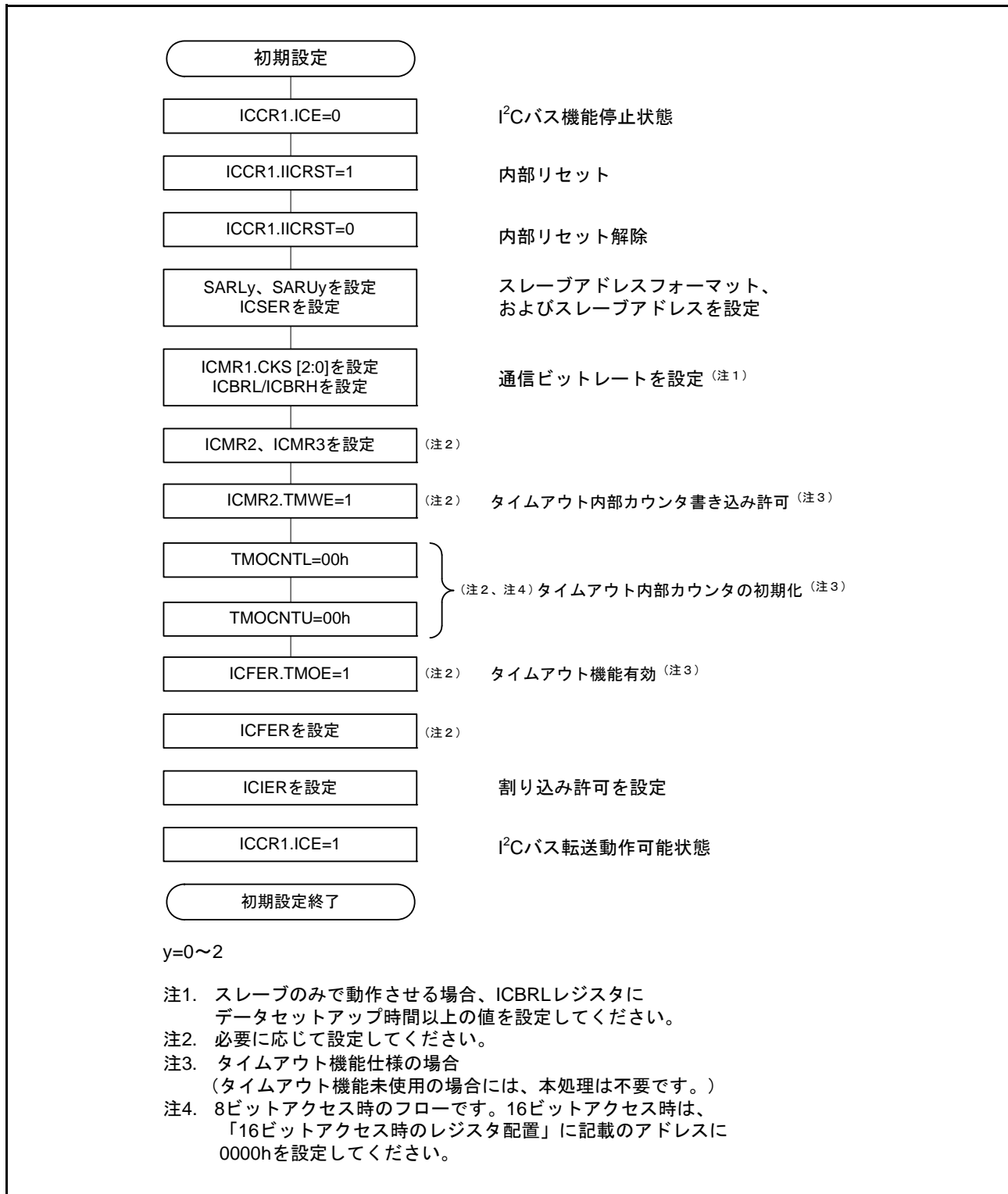


図 24.5 RIIC の初期化フローチャート例

24.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 24.6 にマスタ送信の使用例を、図 24.7 ~ 図 24.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) ICCR1.ICE ビットを“0” (機能停止状態) にしたまま ICCR1.IICRST ビットを“1” (内部リセット) にした後、“0” (リセット解除) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 24.5 参照)。必要なレジスタの設定が終了したら、ICE ビットを“1” (転送可能状態) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビット=1 により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット=0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット+W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つから ICCR2.SP ビットに“1”を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST、TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE、TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF、STOP フラグを“0”にしてください。

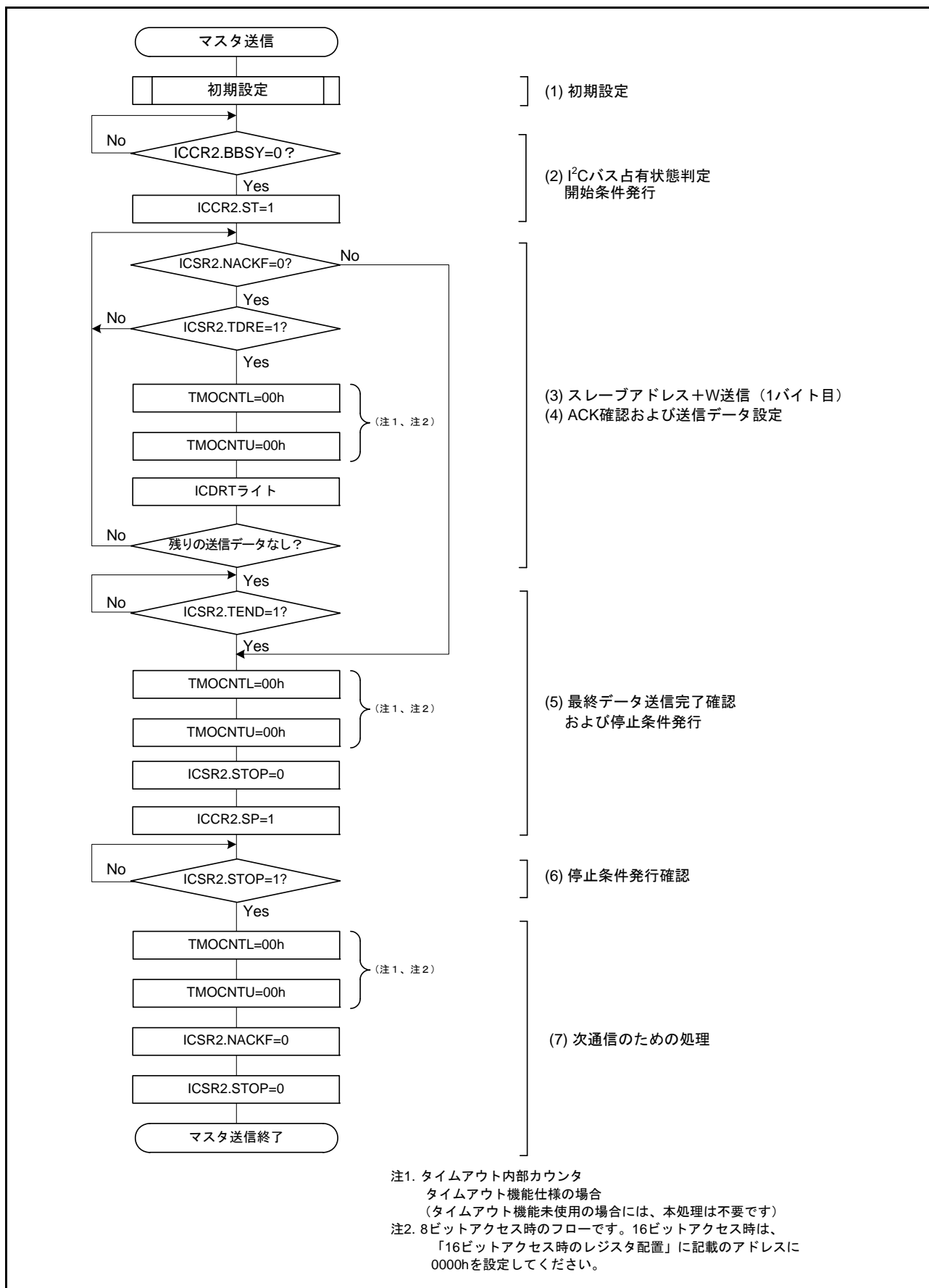


図 24.6 マスタ送信のフローチャート例

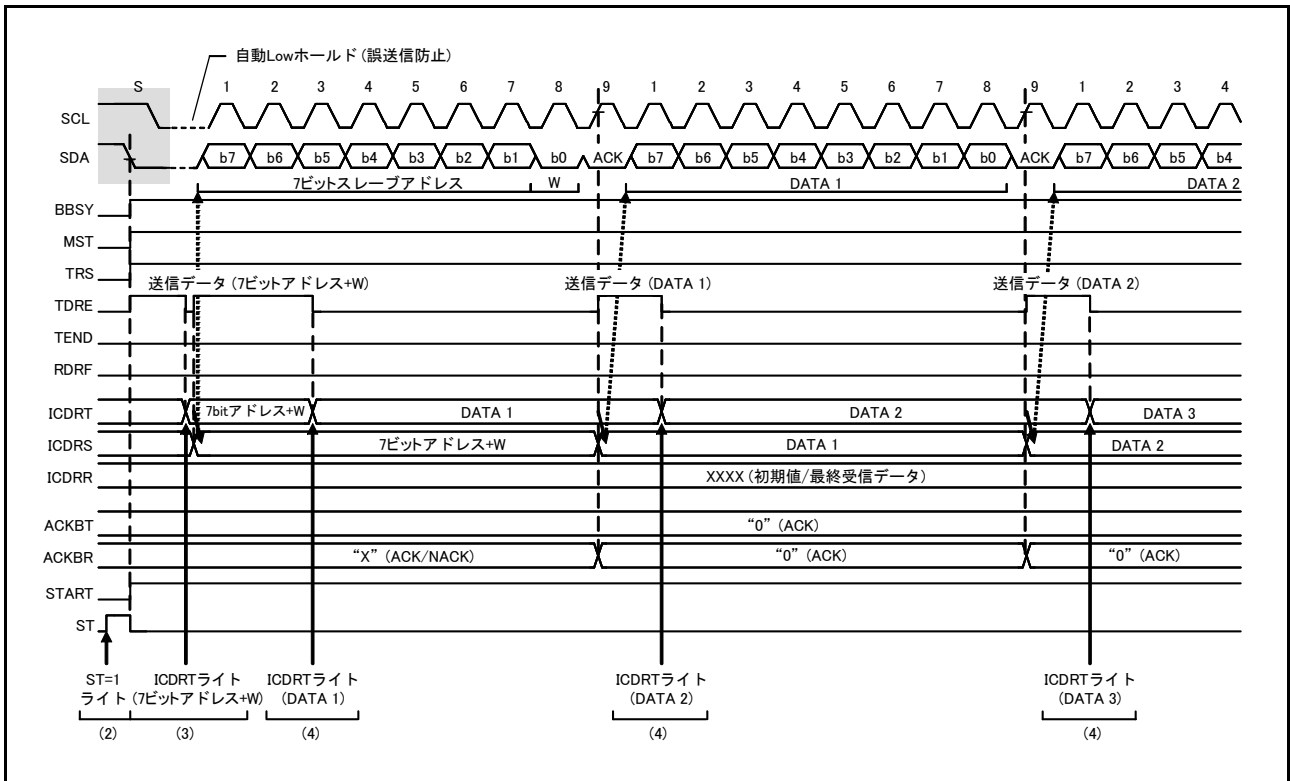


図 24.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットの場合)

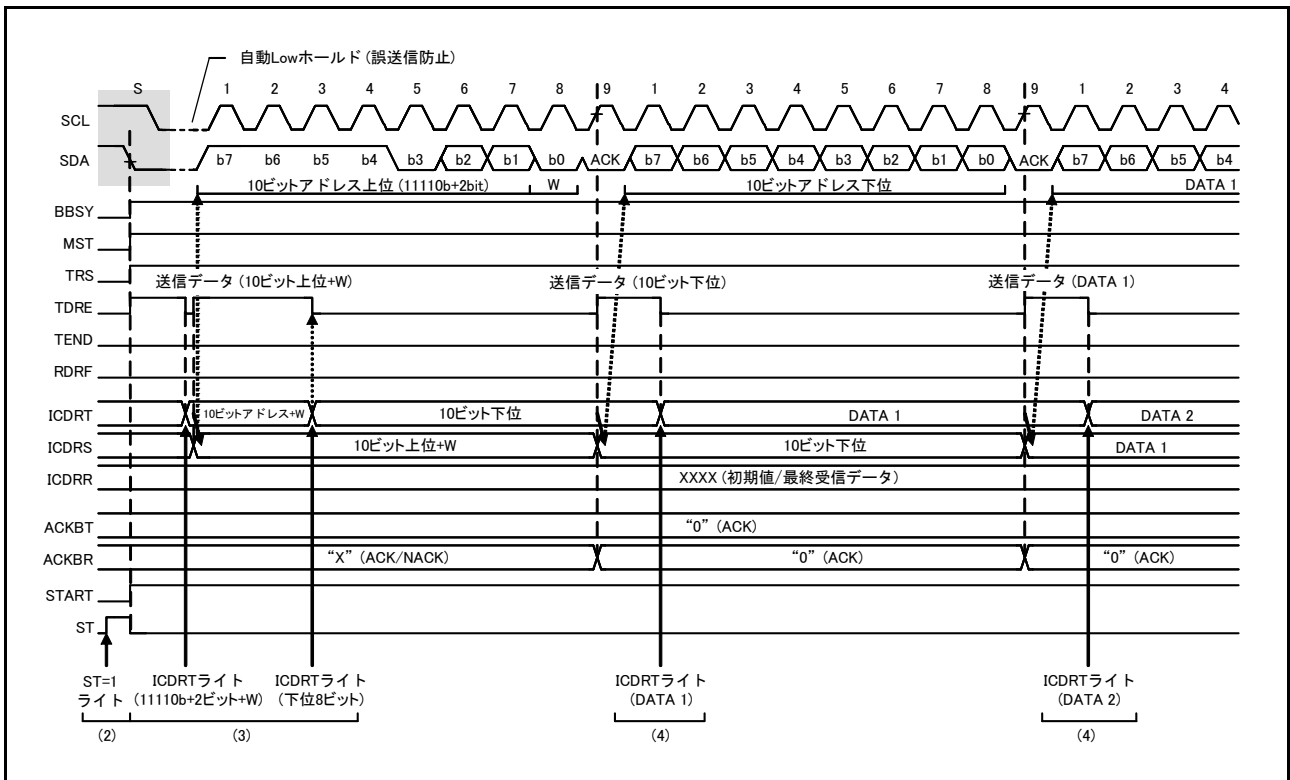


図 24.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットの場合)

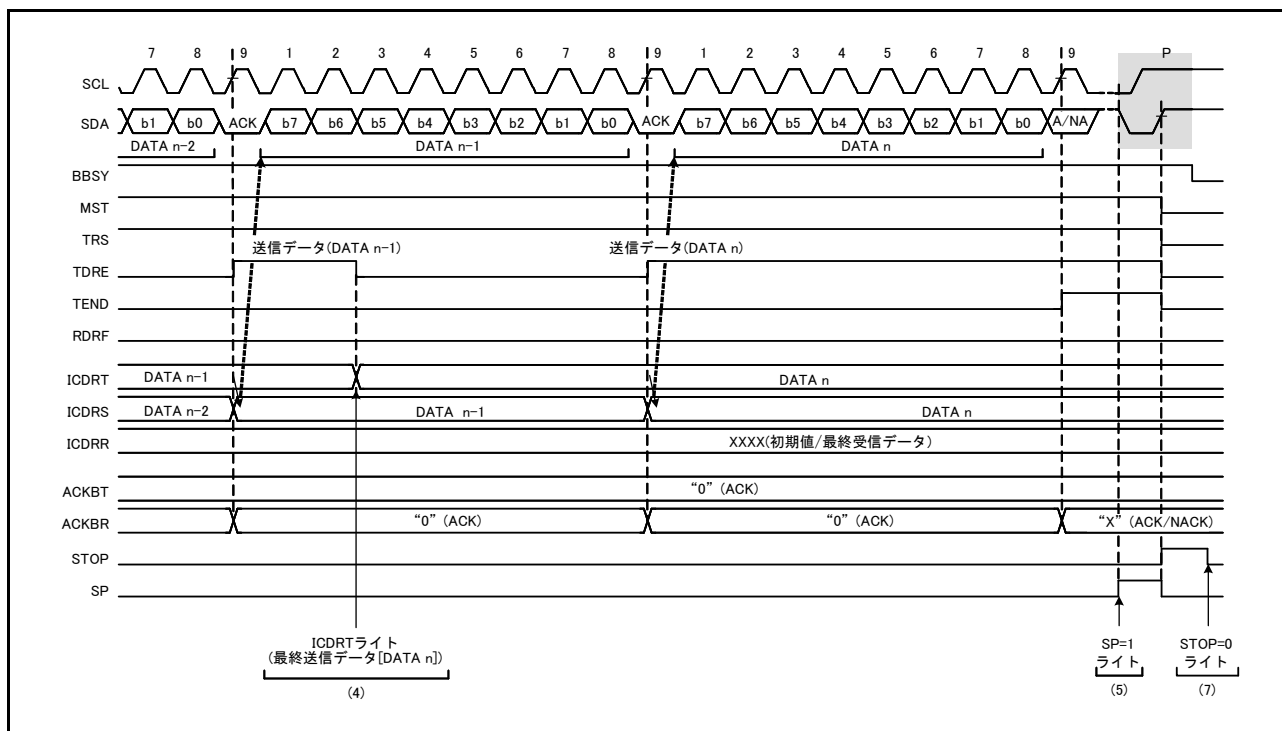


図 24.9 マスタ送信の動作タイミング (3)

24.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 24.11 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 24.12 ~ 図 24.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) ICCR1.ICE ビットを“0” (機能停止状態) にしたまま ICCR1.IICRST ビットを“1” (内部リセット) にした後、“0” (リセット解除) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 24.5 参照)。必要なレジスタの設定が終了した後、ICE ビットを“1” (転送可能状態) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット = 1 により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット = 1 を受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。
- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がり SCLn ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト-1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

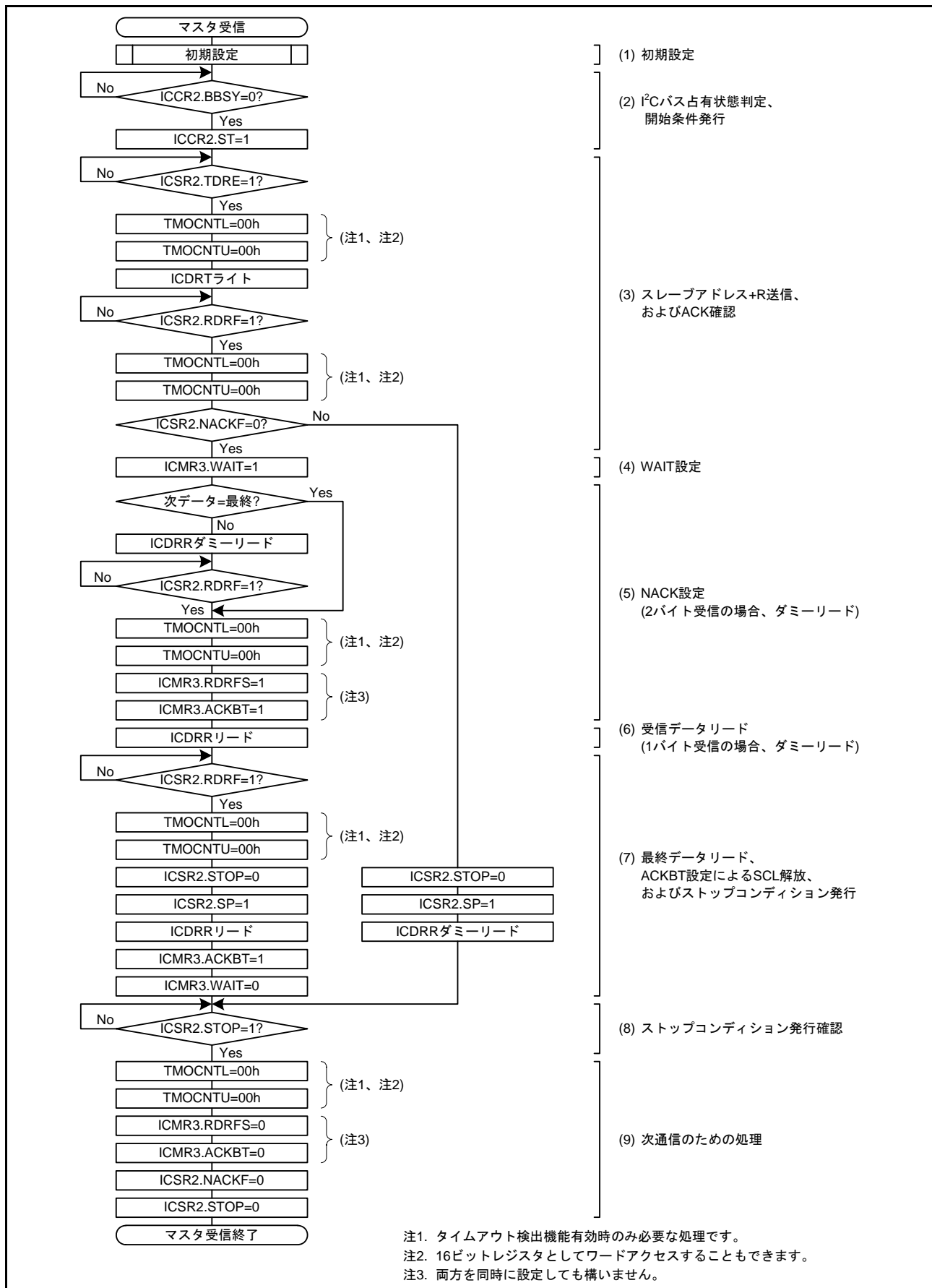


図 24.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、2バイト以下の場合)

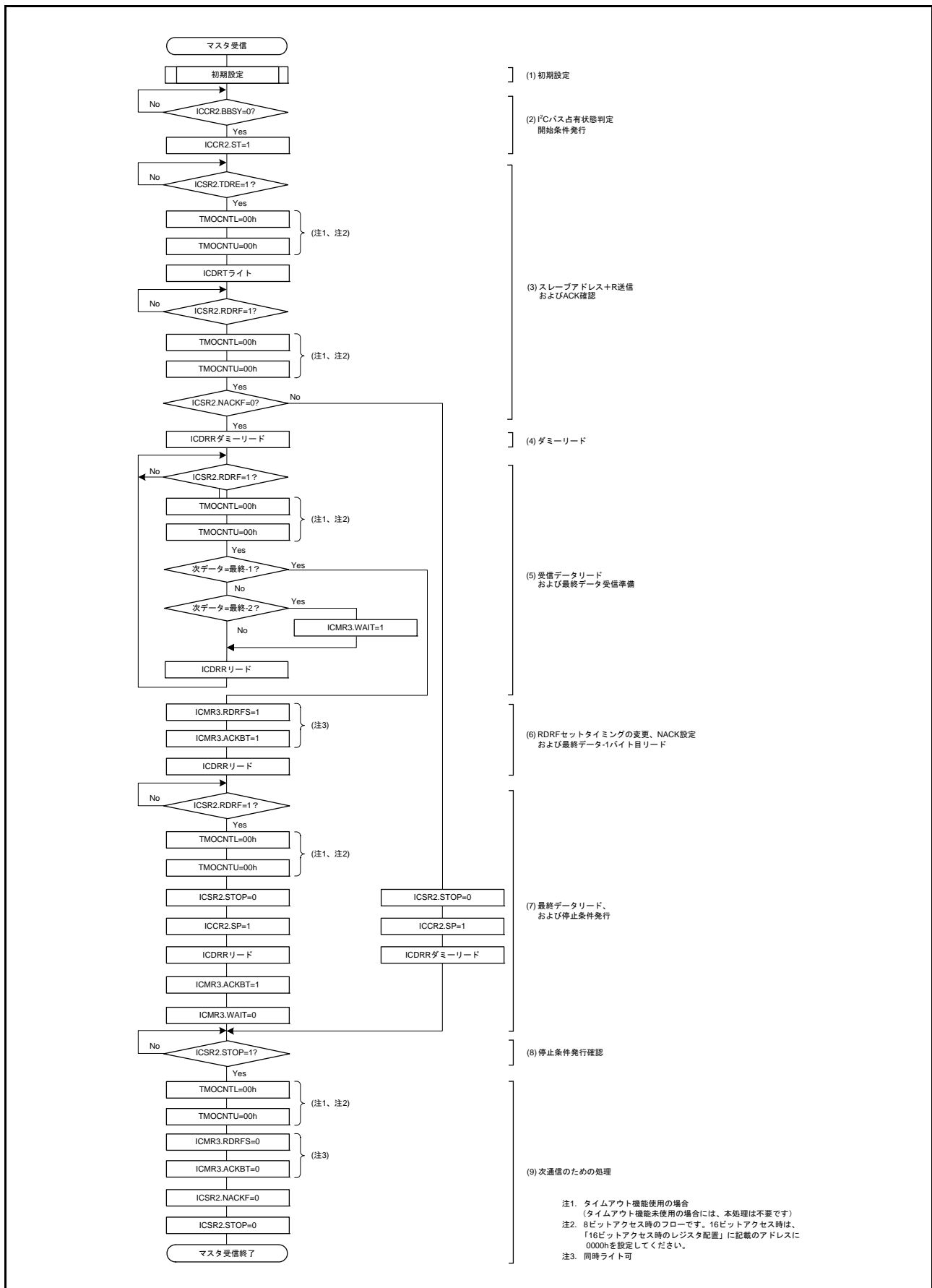


図 24.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

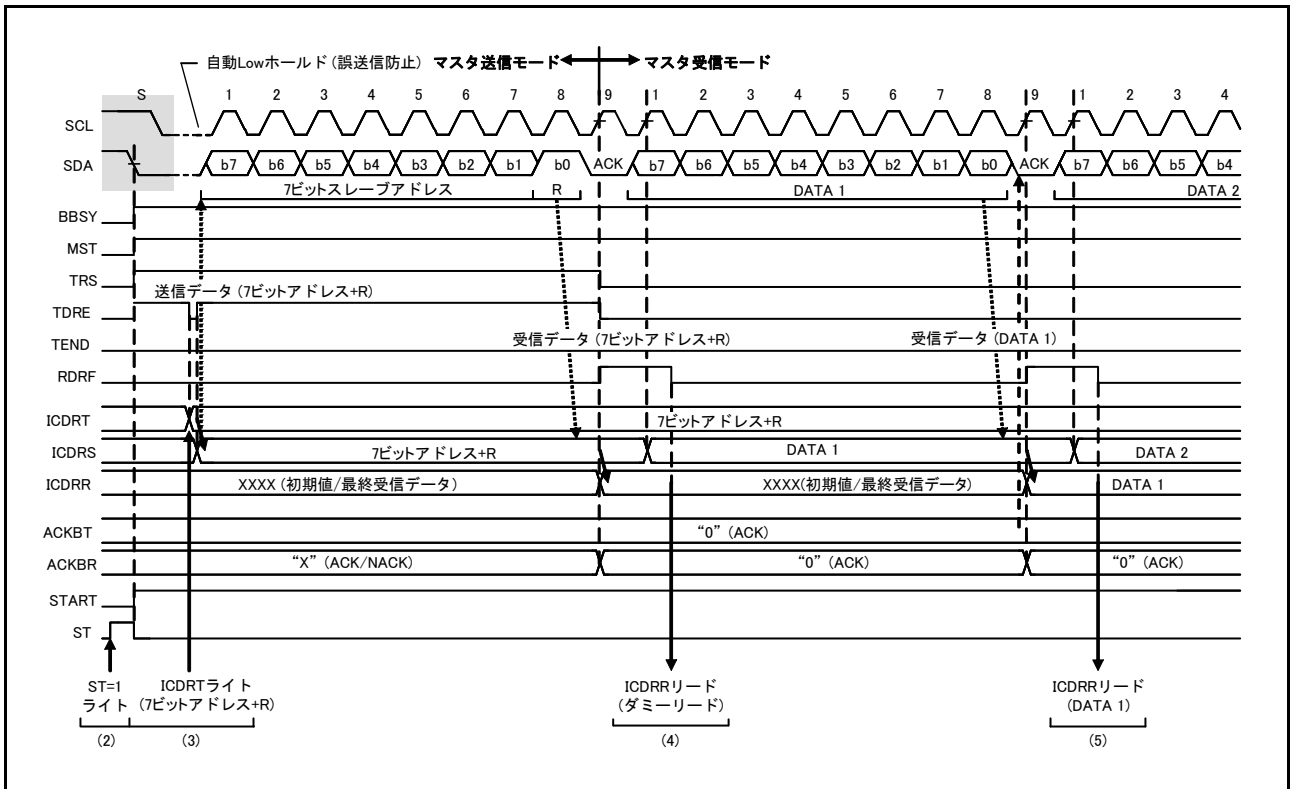


図 24.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0 のとき)

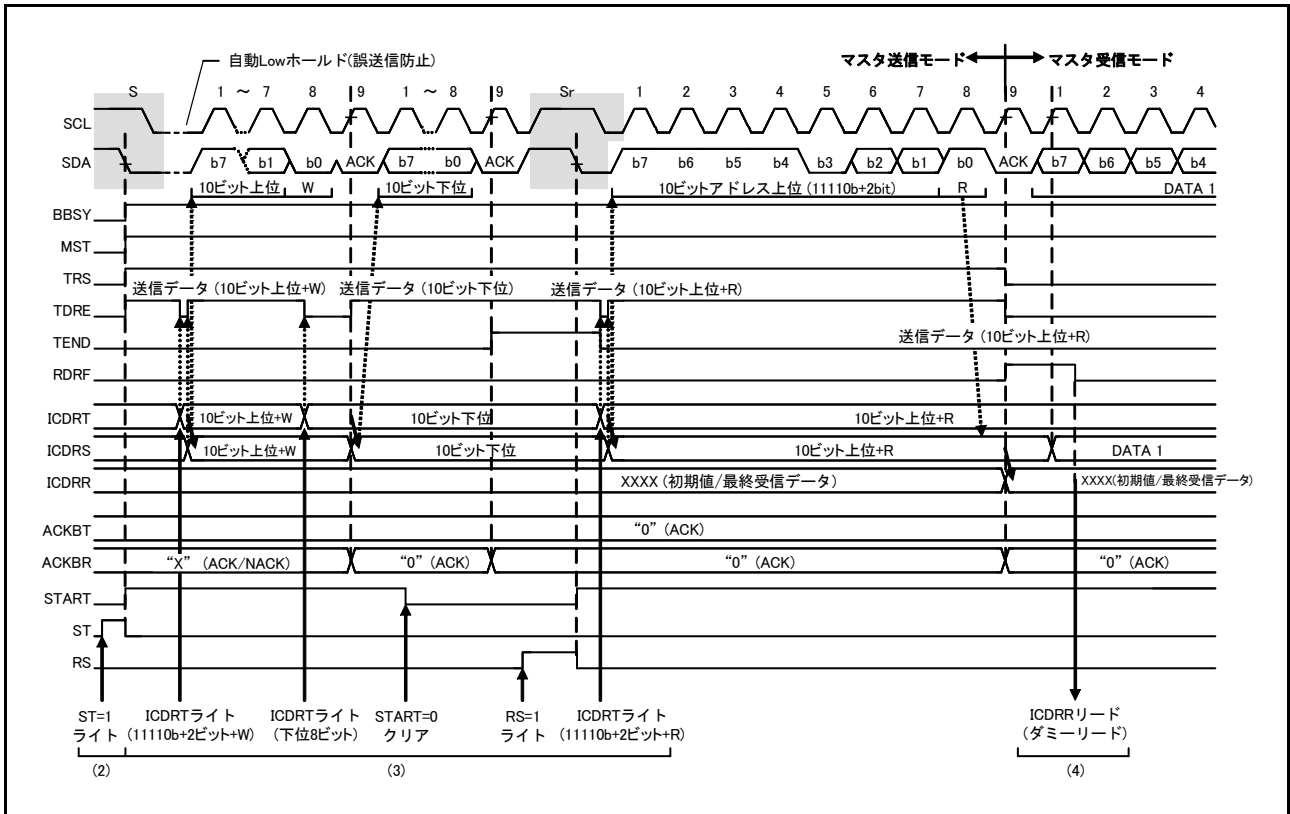


図 24.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS=0 のとき)

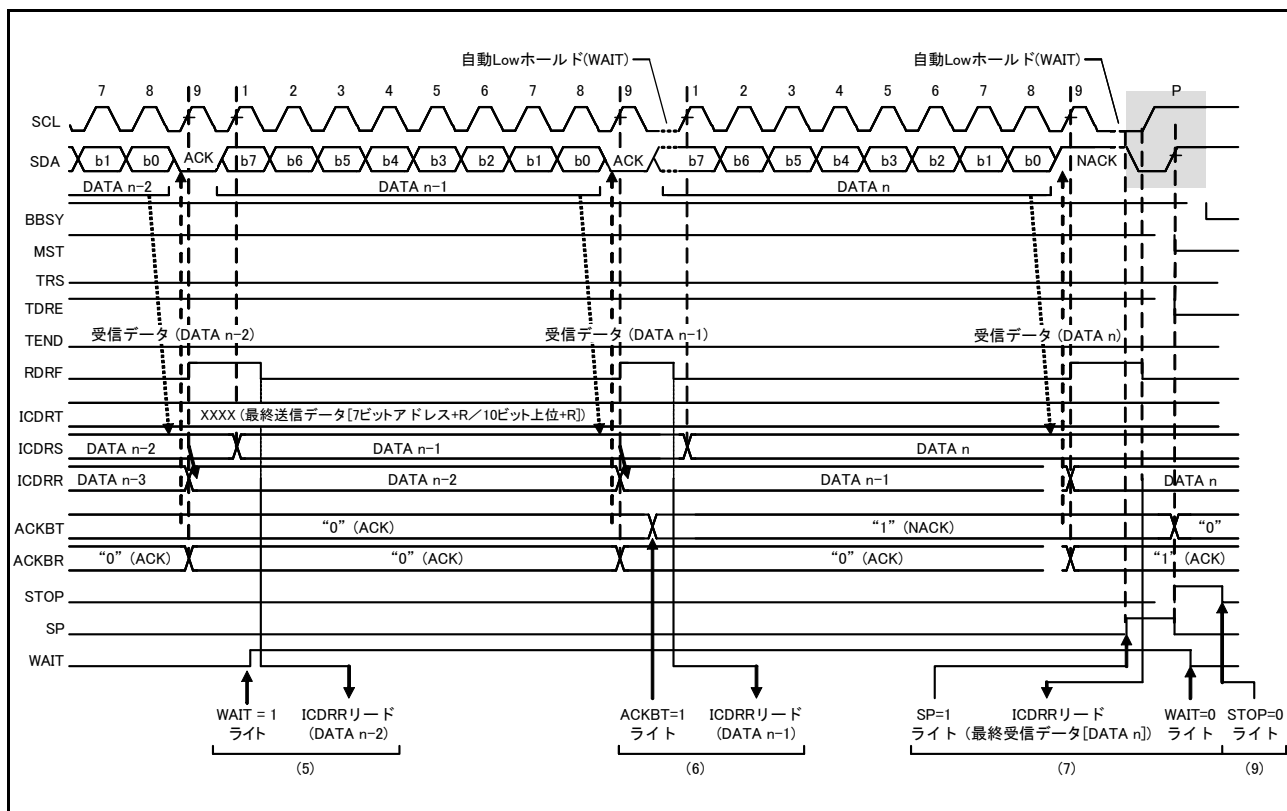


図 24.14 マスタ受信の動作タイミング (3) (RDRFS=0 のとき)

24.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 24.15 にスレーブ送信の使用例を示します。図 24.16、図 24.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 図 24.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが “1” の状態でマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCL ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

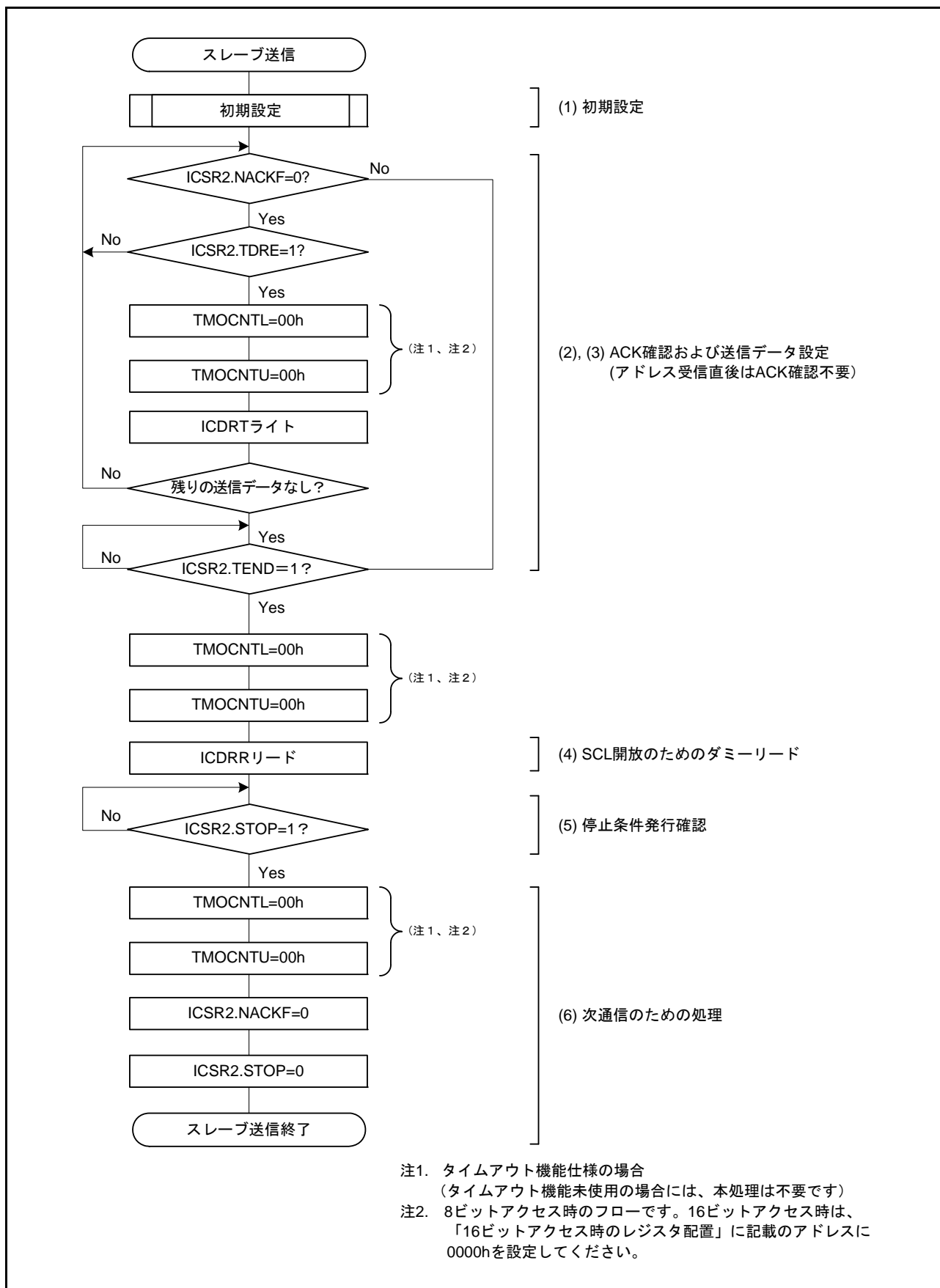


図 24.15 スレーブ送信のフローチャート例

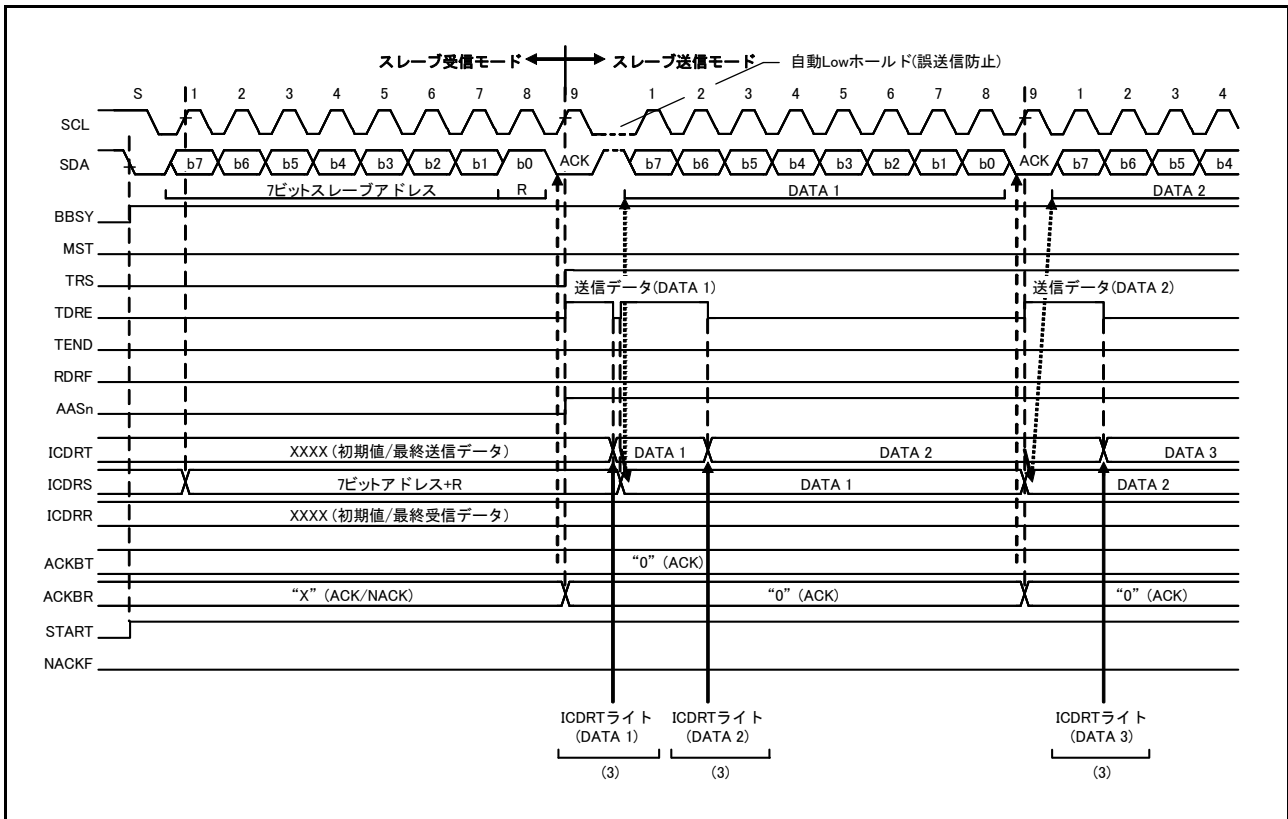


図 24.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

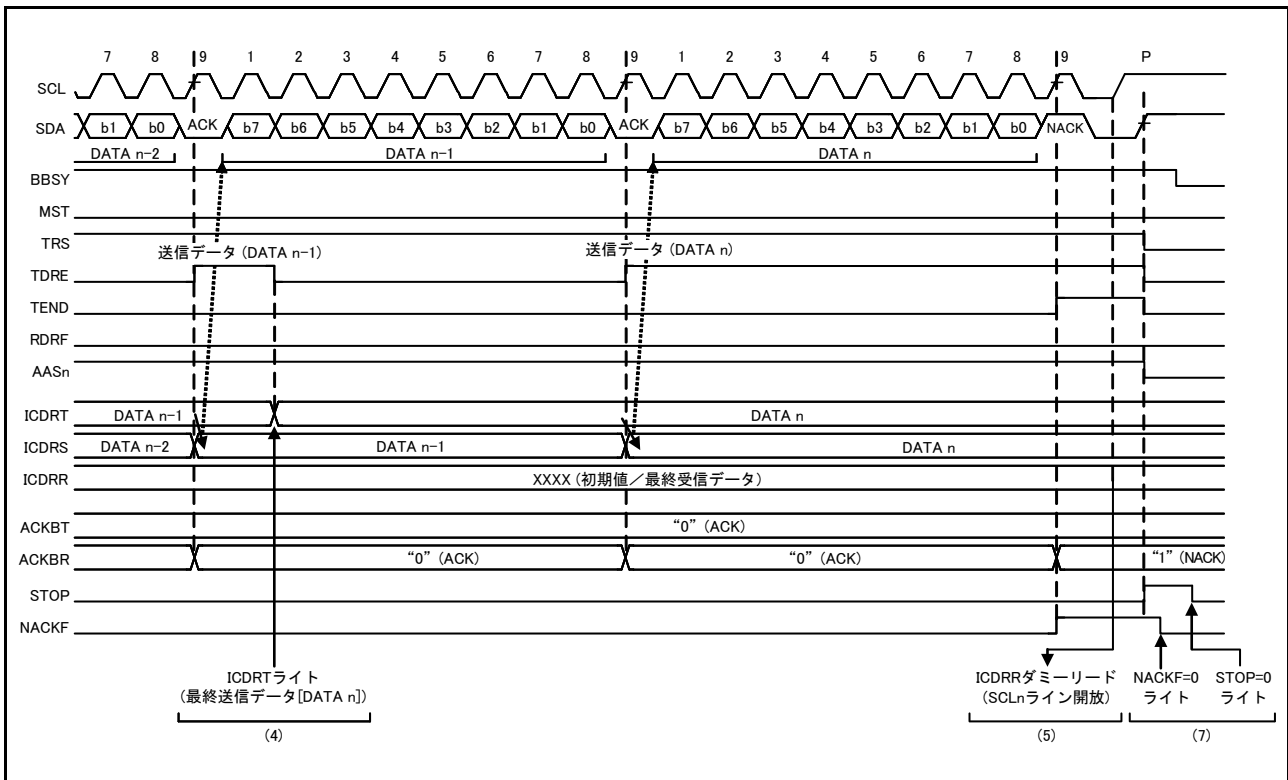


図 24.17 スレーブ送信の動作タイミング (2)

24.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 24.18 にスレーブ受信の使用例を図 24.19、図 24.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 図 24.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり SCL ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

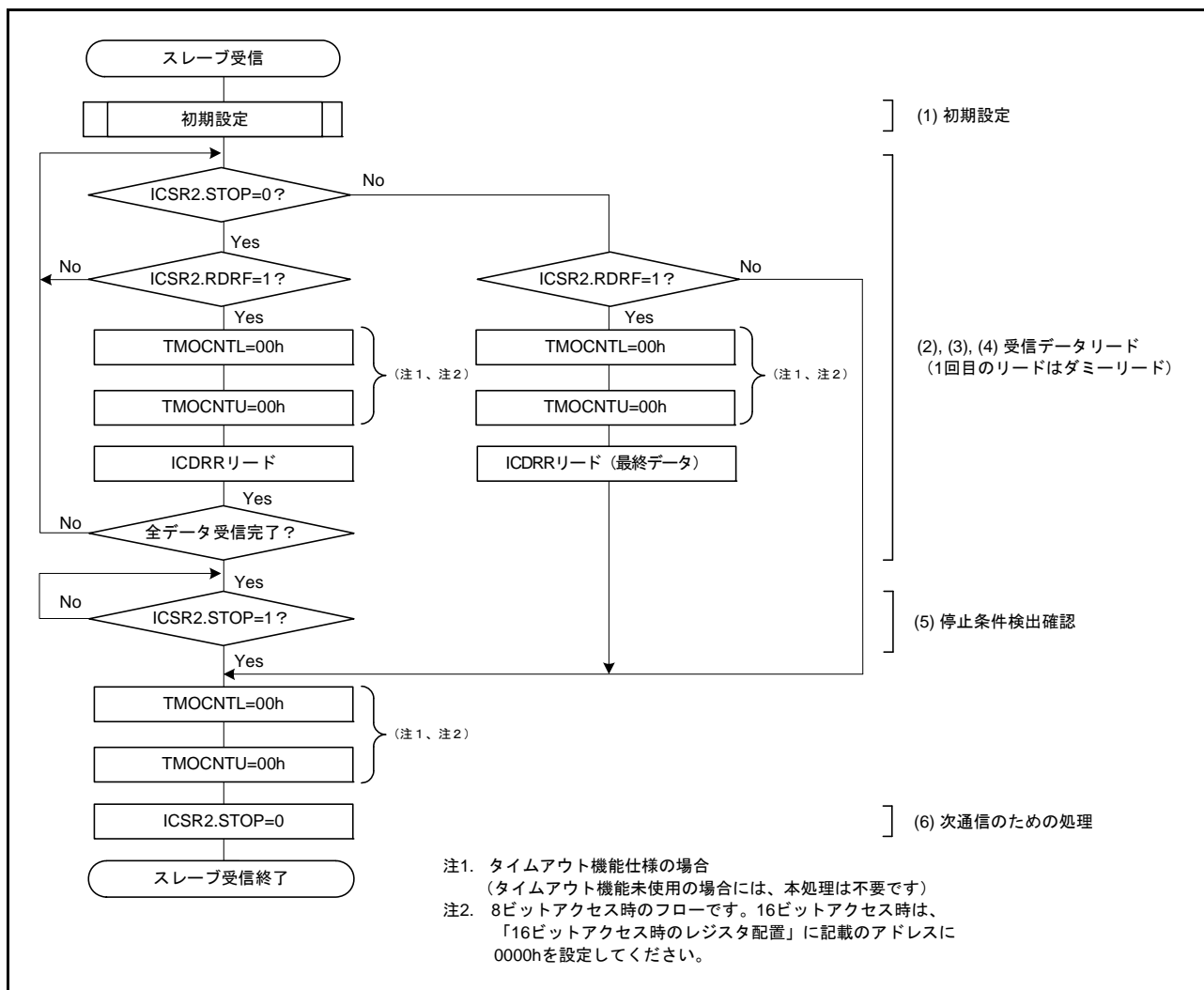


図 24.18 スレーブ受信のフローチャート例

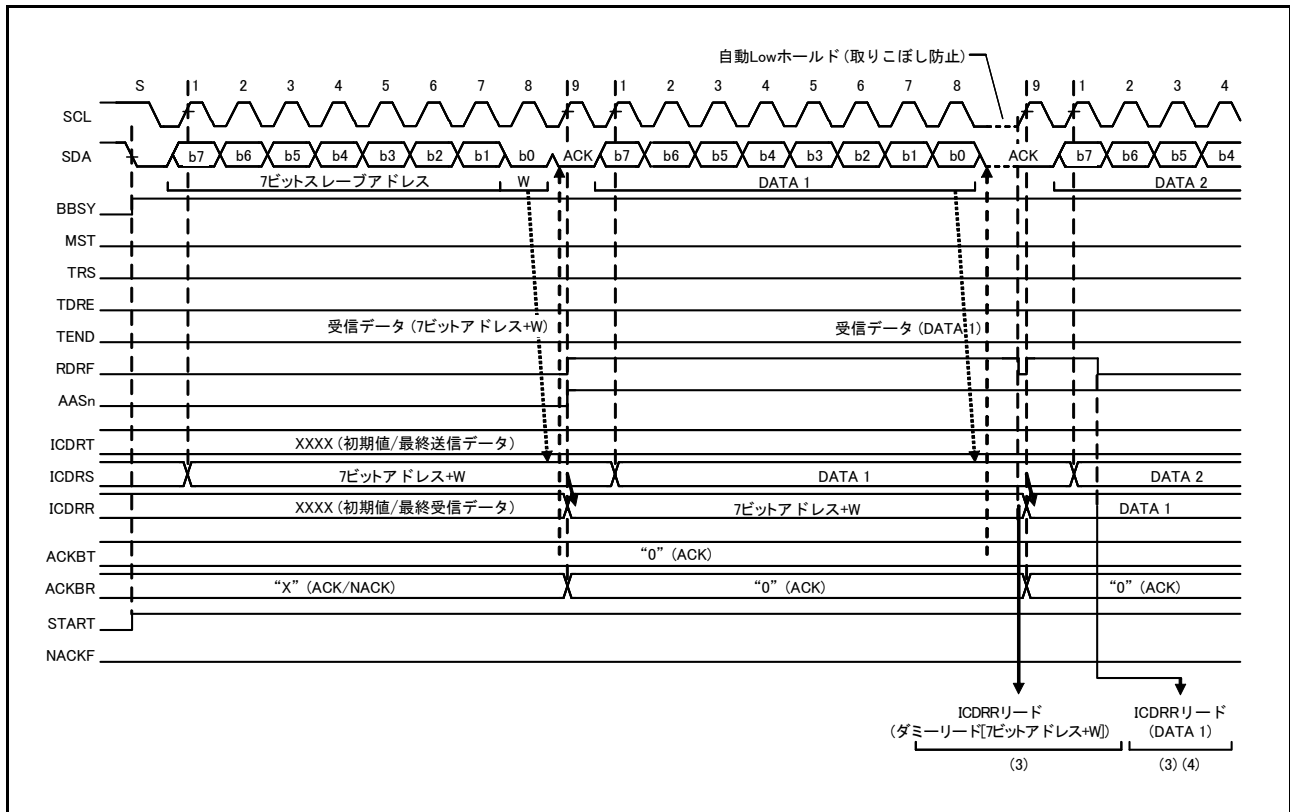


図 24.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0 のとき)

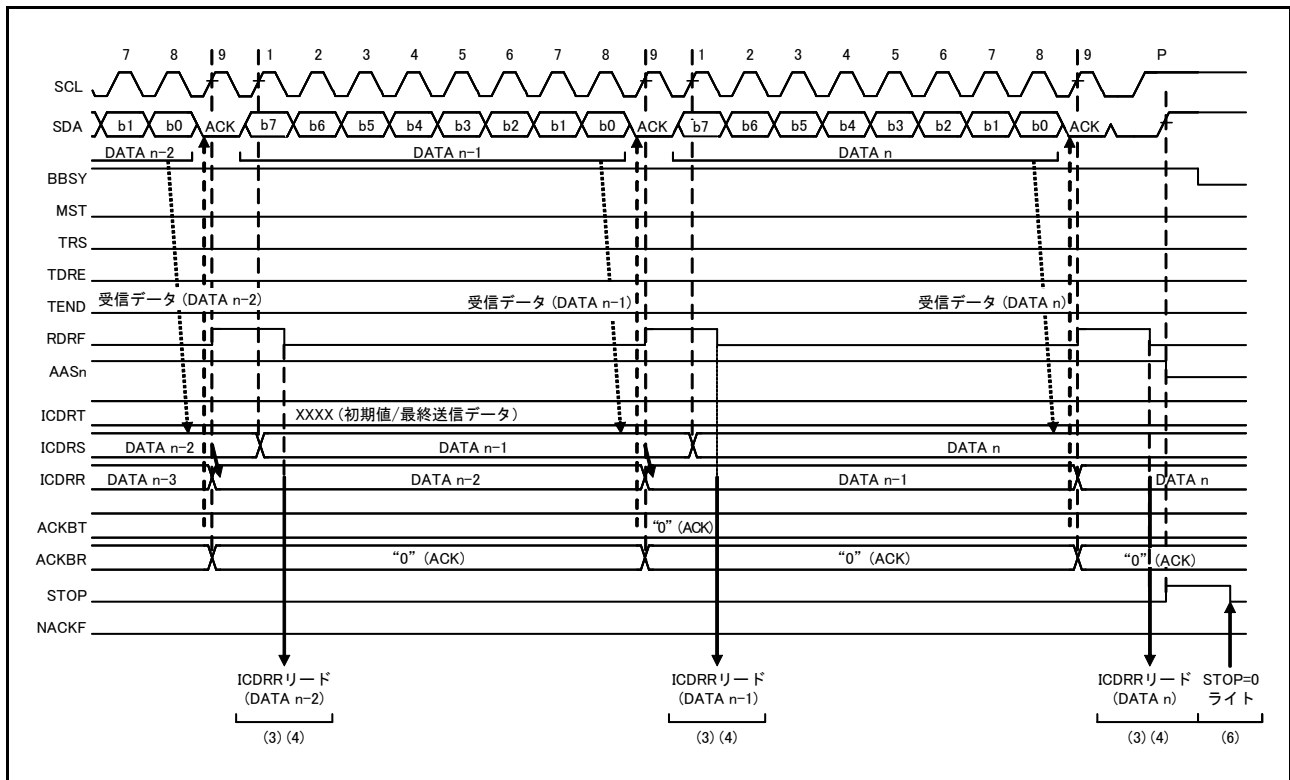


図 24.20 スレーブ受信の動作タイミング (2) (RDRFS=0 のとき)

24.4 SCL 同期回路

RIIC の SCL クロック生成は SCL ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCL ラインを Low にドライブして立ち下げます。また SCL ラインの立ち下がり検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があります。RIIC はマスタモード時に SCL ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCL ラインが立ち下げられた場合、RIIC は SCL ラインの立ち下げを検出すると High 幅のカウンタアップ動作を中断し、SCL ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

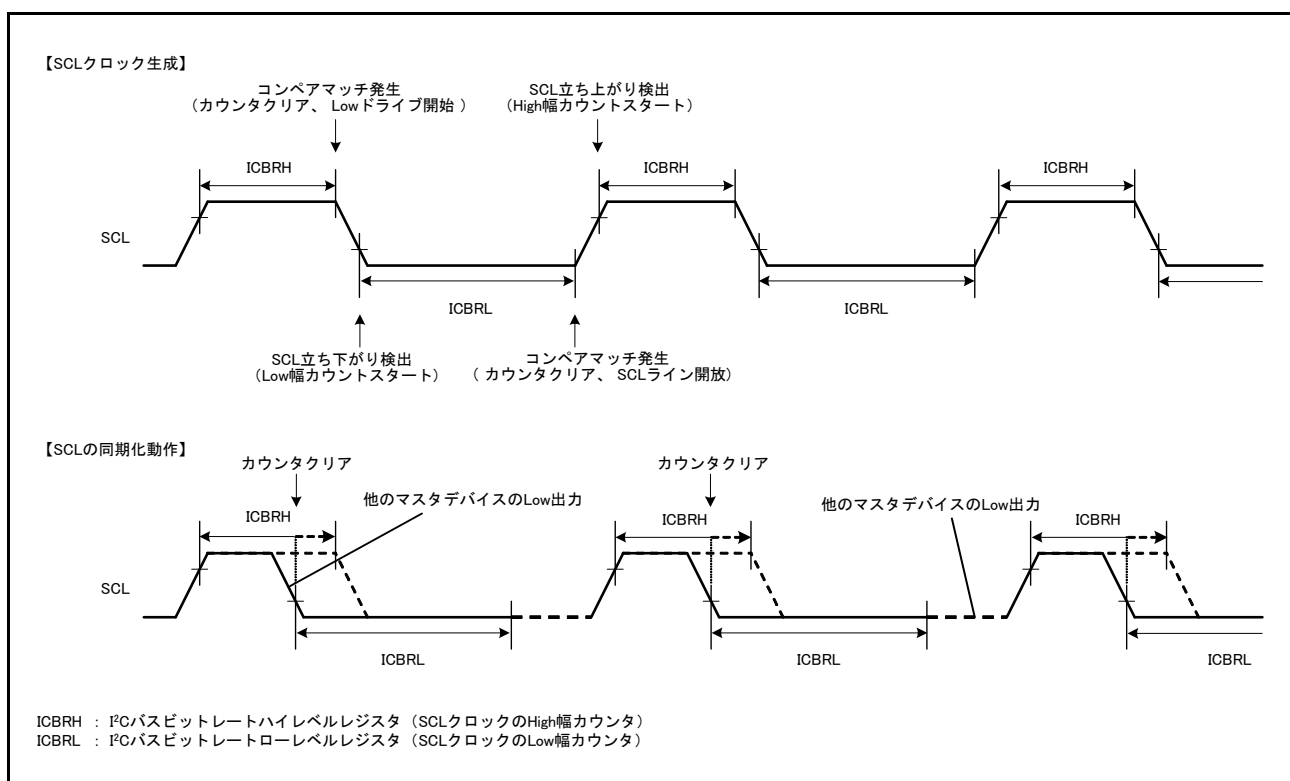


図 24.21 RIIC の SCL クロック生成および SCL 同期化動作

24.5 SDA出力遅延機能

RIICにはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング（発行動作（開始/再開/停止）、データ出力、ACK/NACK出力）を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBusのデータホールド時間:300ns (min)の規格を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効（SDDL[2:0]ビットが“000b”以外）のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック（IICφ）またはその2分周クロック（IICφ/2）をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点でRIICはSDA出力（発行動作（開始/再開/停止）、データ出力、ACK/NACK出力）を行います。

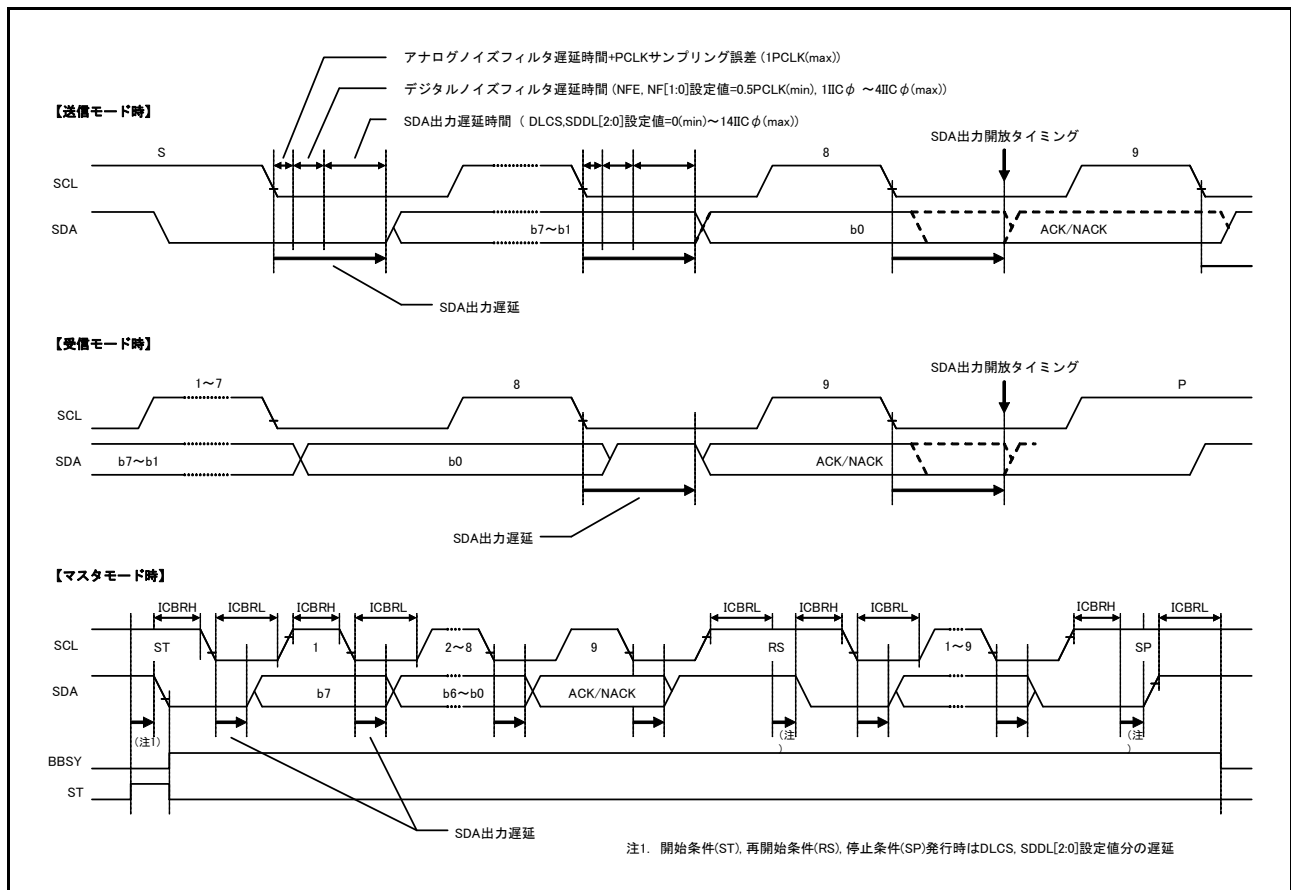


図 24.22 SDA出力遅延タイミング

24.6 デジタルノイズフィルタ回路

SCL 端子および SDA 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 24.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IICφ ~ 4IICφ サイクル分となります。

SCL 端子入力信号（または SDA 端子入力信号）は PCLK の立ち下がりでサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4MHz 時の 400kbps 通信のような内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

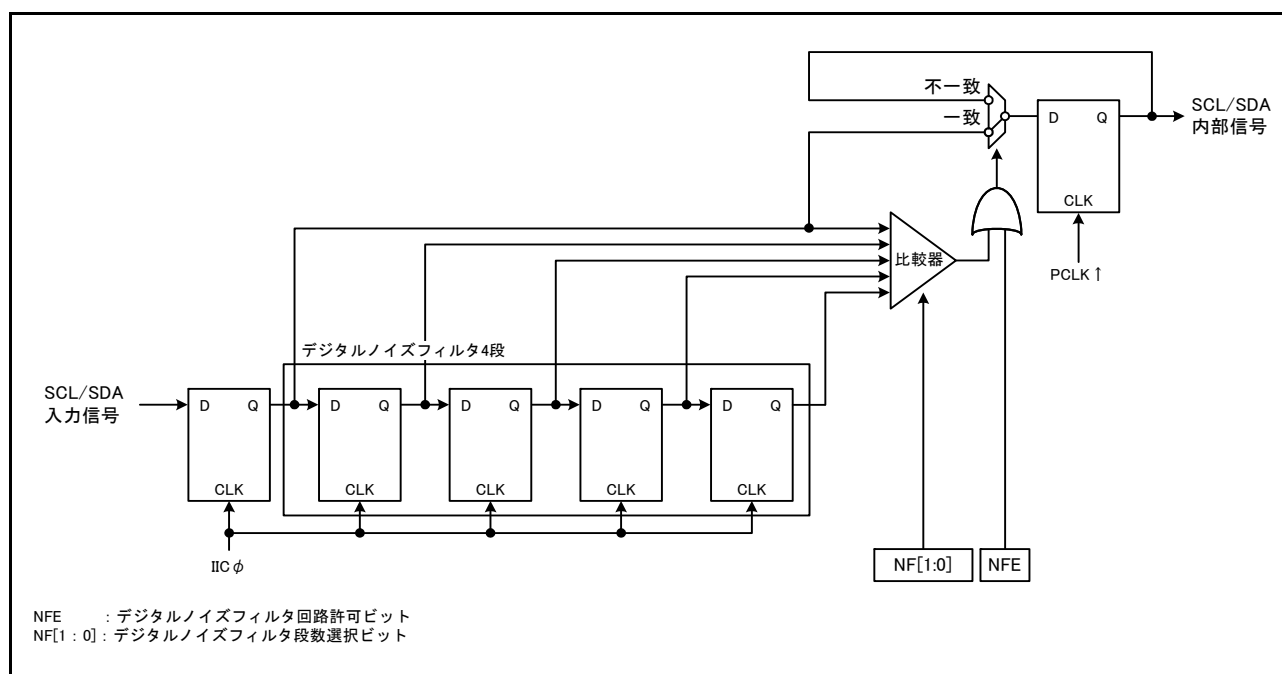


図 24.23 デジタルノイズフィルタ回路のブロック図

24.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

24.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(ICRXI)または送信データエンプティ割り込み(ICTXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図24.24~図24.26にAASy(y=0~2)フラグが“1”になるタイミングを示します。

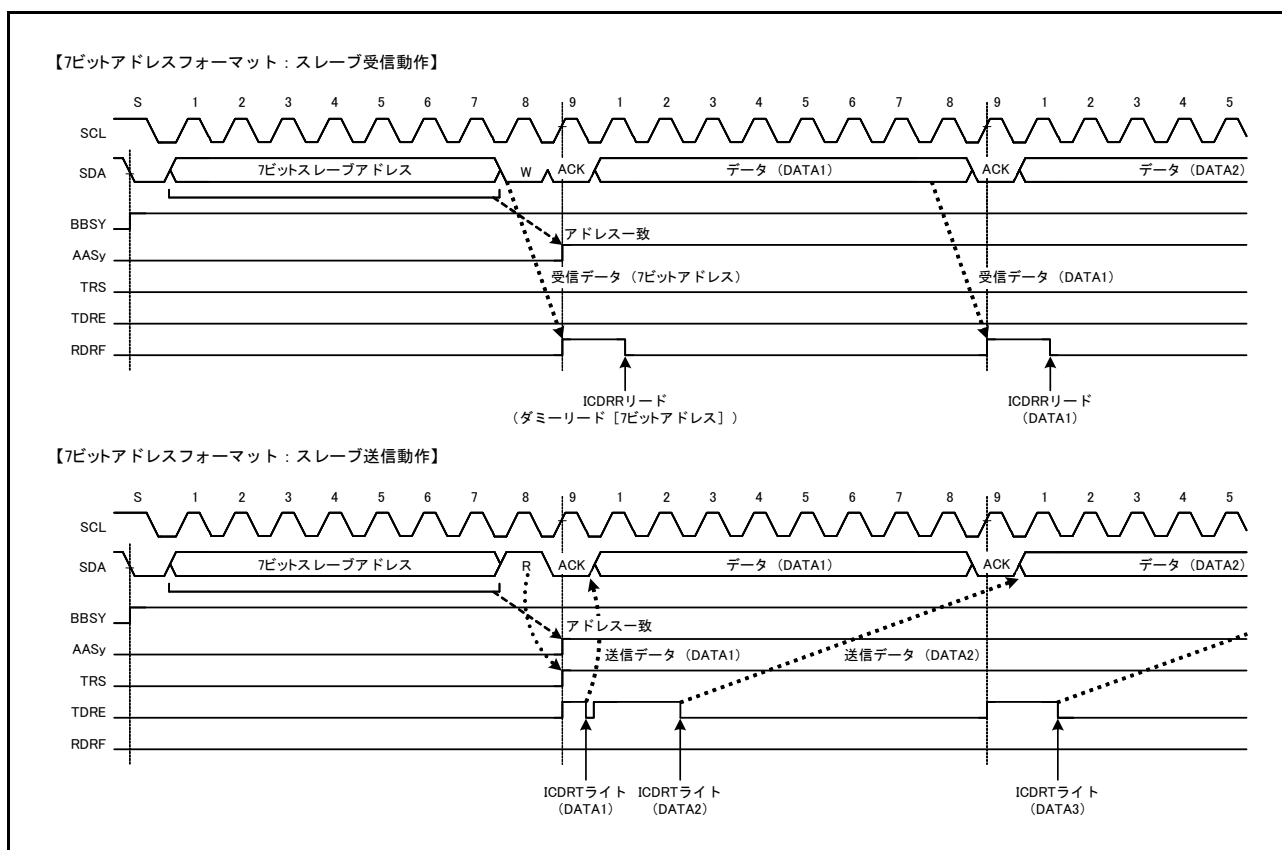


図 24.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

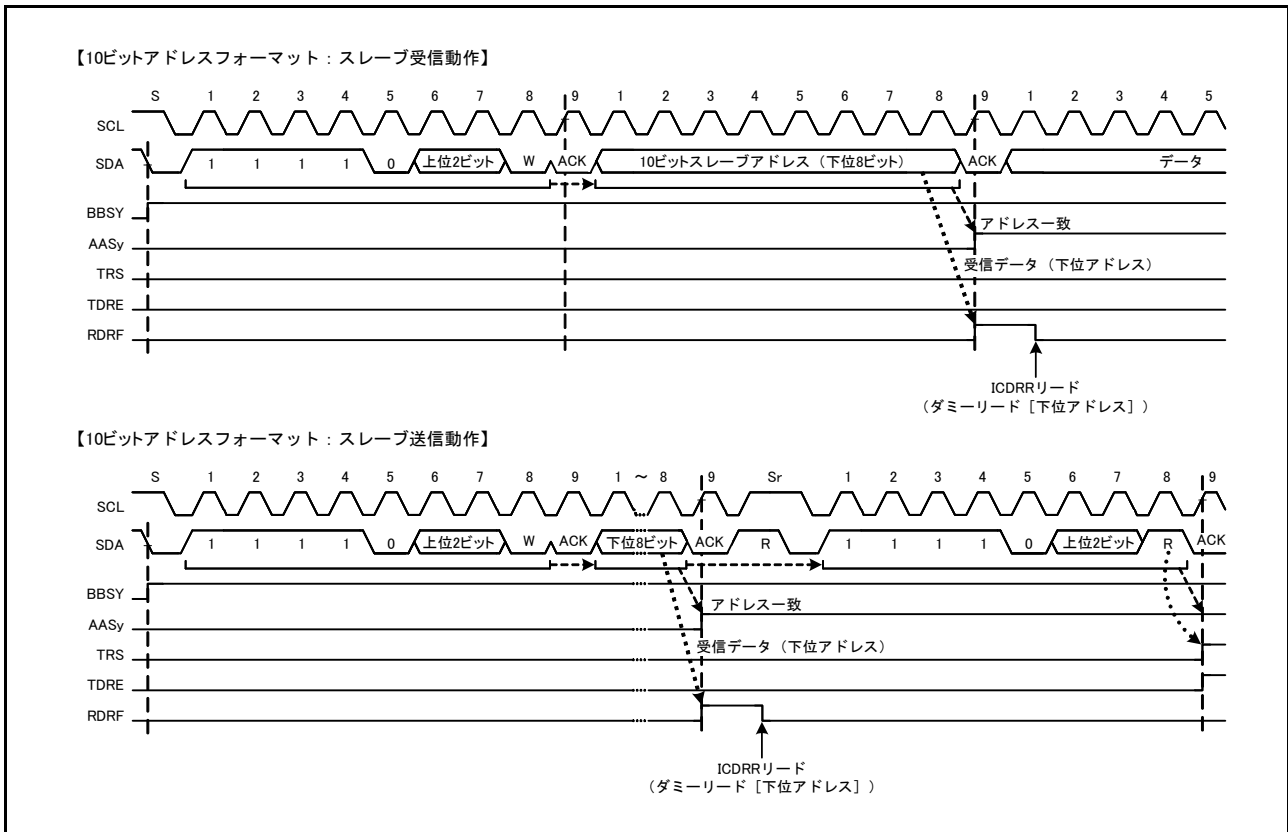


図 24.25 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

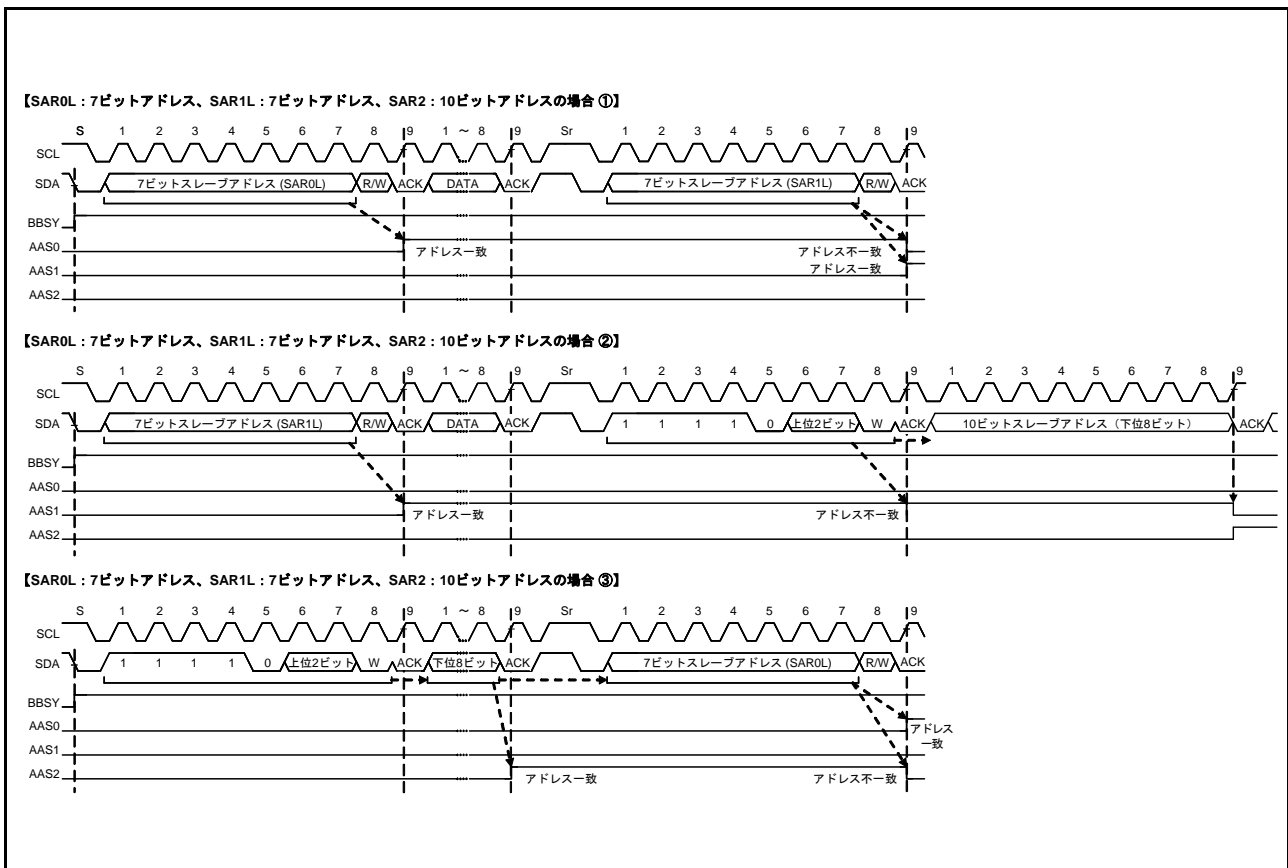


図 24.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”/“0”になるタイミング

24.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。ICSER.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1[R] (スタートバイト) だった場合、RIICはこのアドレスを All“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (ICRXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

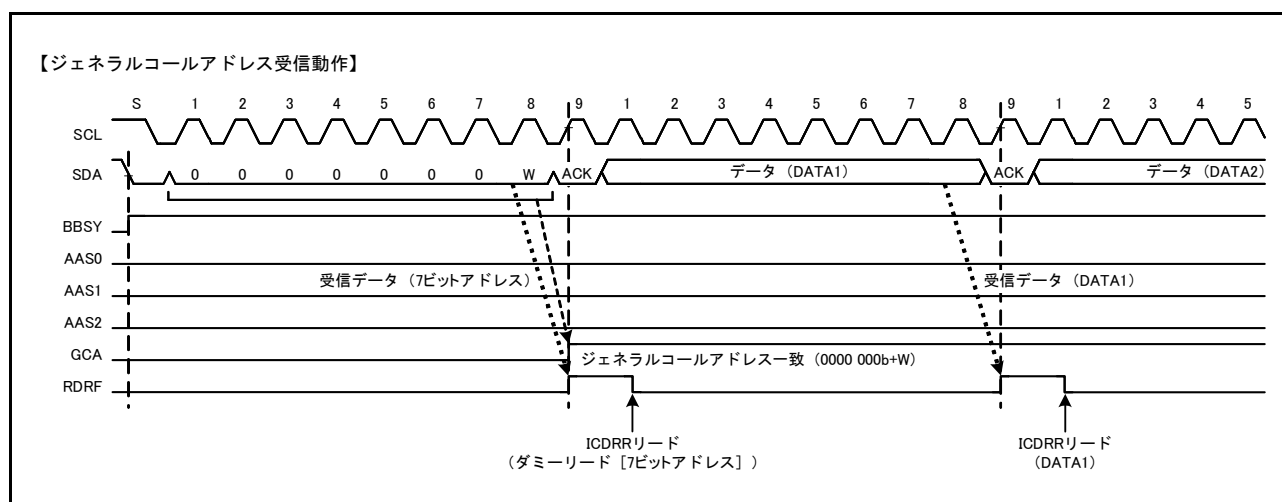


図 24.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

24.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス規格(Rev.03)に準拠したデバイスIDアドレスの検出機能を備えています。ICSR.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のときSCLクロックの9クロック目の立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AAS_yフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE=1確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

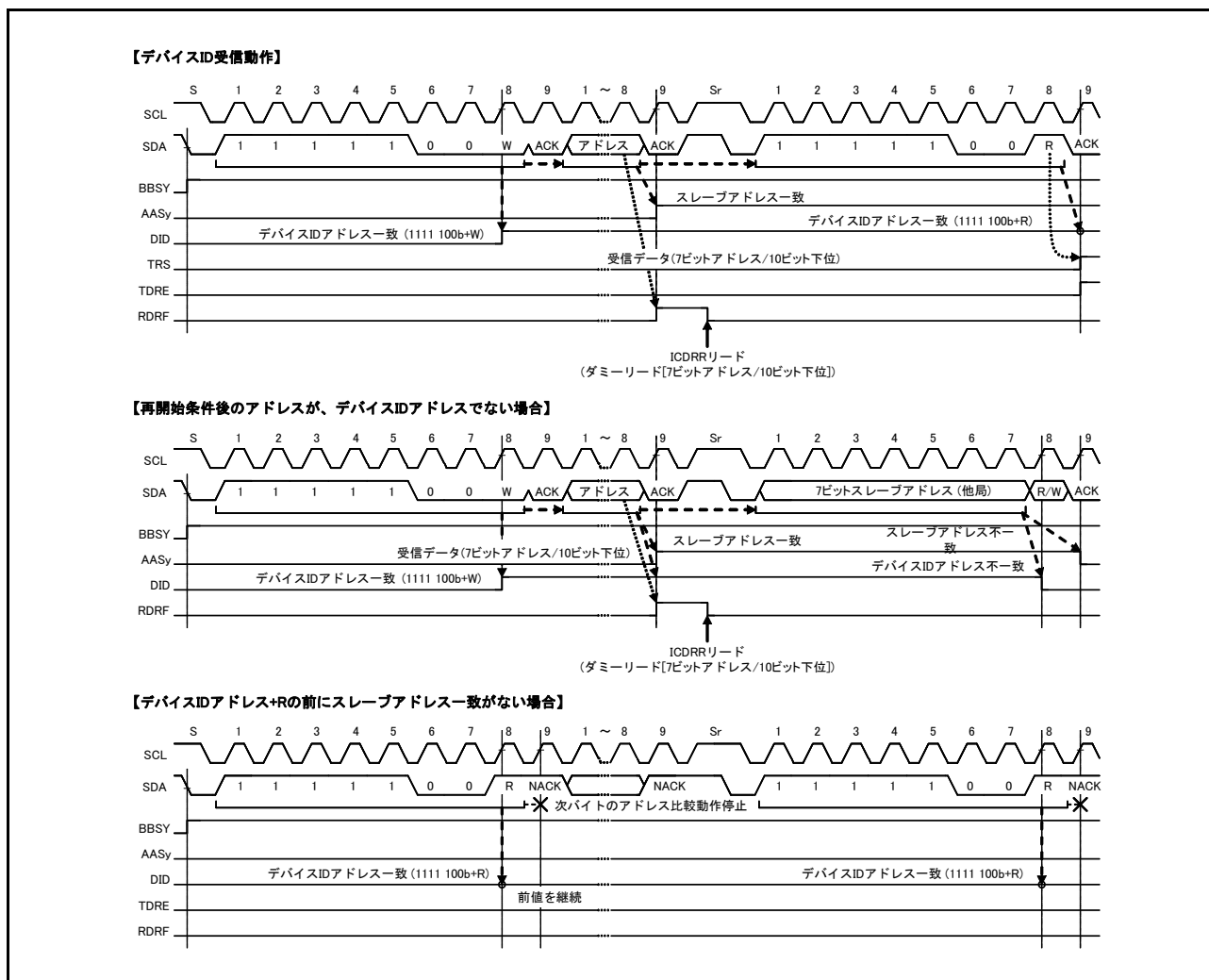


図 24.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

24.7.4 ホストアドレス検出機能

RIICにはSMBus動作時にホストアドレス検出機能を備えています。ICMR3.SMBSビットが“1”のときICSER.HOAEビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRSビット=00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、SCLクロックの9クロック目の立ち上がりでICSR1.HOAフラグを“1”にし、Wrビット (R/W#ビットに“0”を受信) のときICSR2.TDREフラグを“1”にします。これにより送信データエンピティ割り込み (ICTXI) を発生させることができ、HOAフラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットがRdビット (R/W#ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

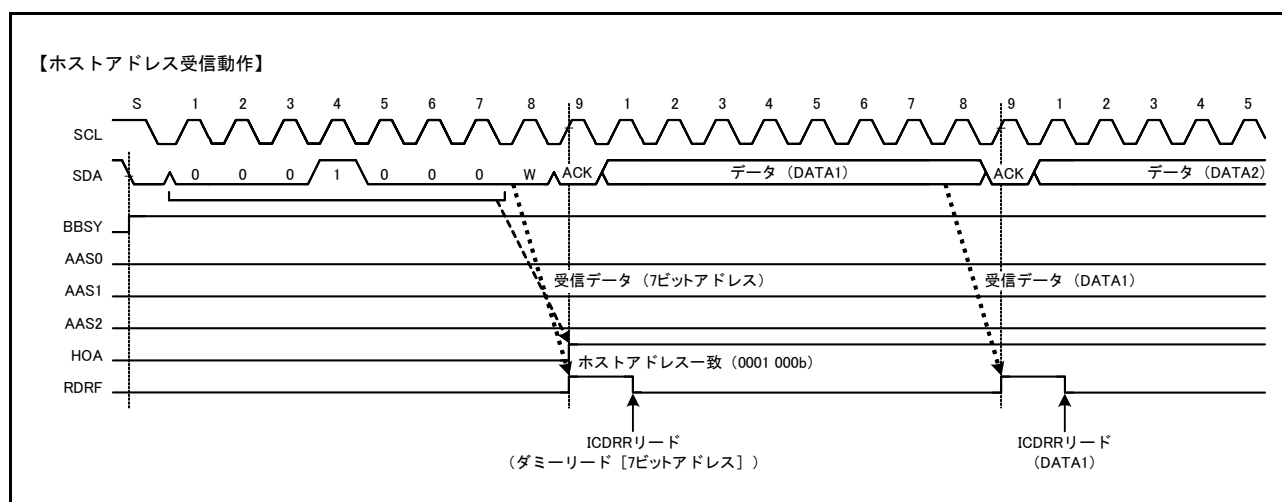


図 24.29 ホストアドレス受信時に HOA フラグが“1”になるタイミング

24.8 SCLの自動Lowホールド機能

24.8.1 送信データ誤送信防止機能

RIICは送信モード時 (ICCR2.TRS ビット=1)、シフトレジスタ (ICDRS レジスタ) が空の状態であつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の Low 区間

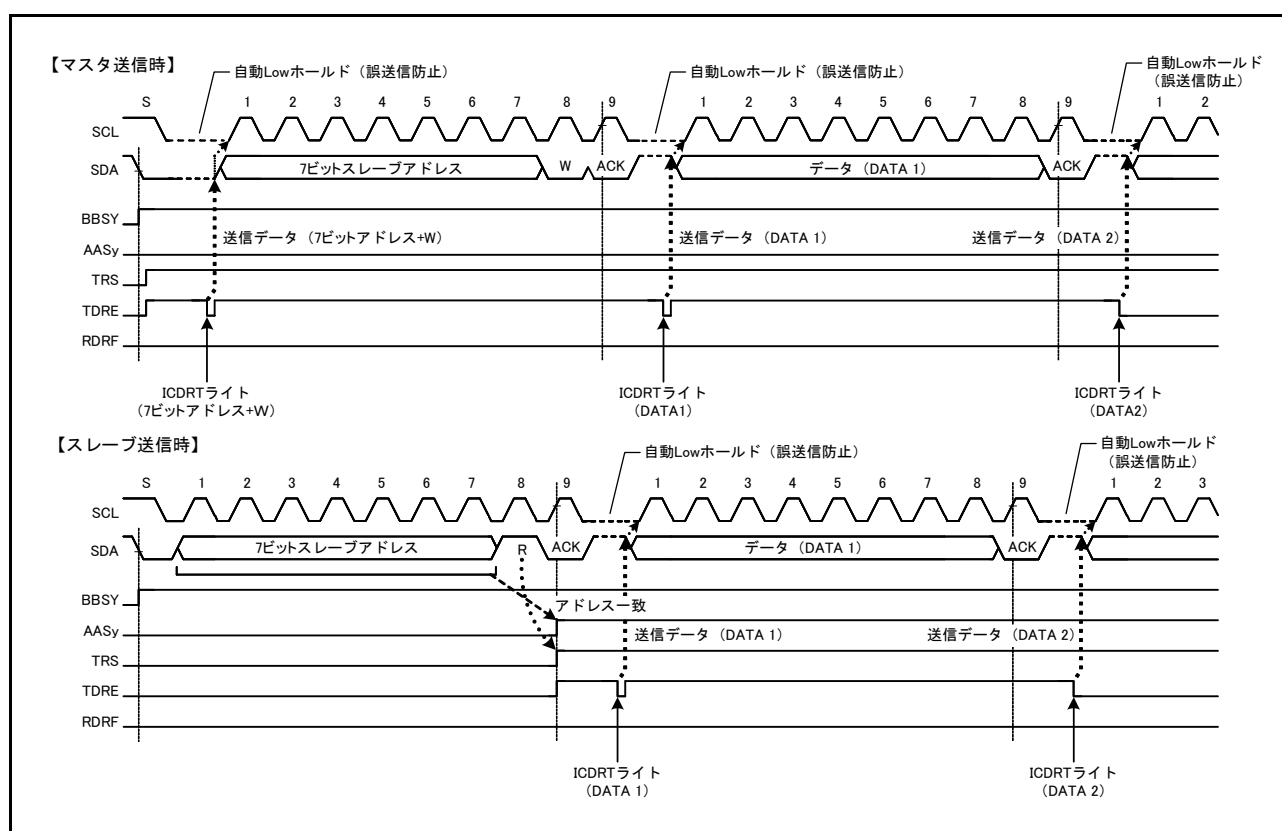


図 24.30 送信モードの自動 Low ホールド動作

24.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット=1) にNACKを受信した場合、転送動作を中断する機能を備えています。この機能はICFER.NACKC ビットが“1” (転送中断許可) のとき有効で、NACK受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ=0の状態)、SCLクロックの9クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データのMSBが“0”のときのSDAラインLow出力固定を防止することができます。

なおNACK受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ=1)、以後の送信動作および受信動作は行いません。動作を再開するにはNACKFフラグを“0”にしてください。またマスタ送信モードの場合にはNACKFフラグを“0”にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

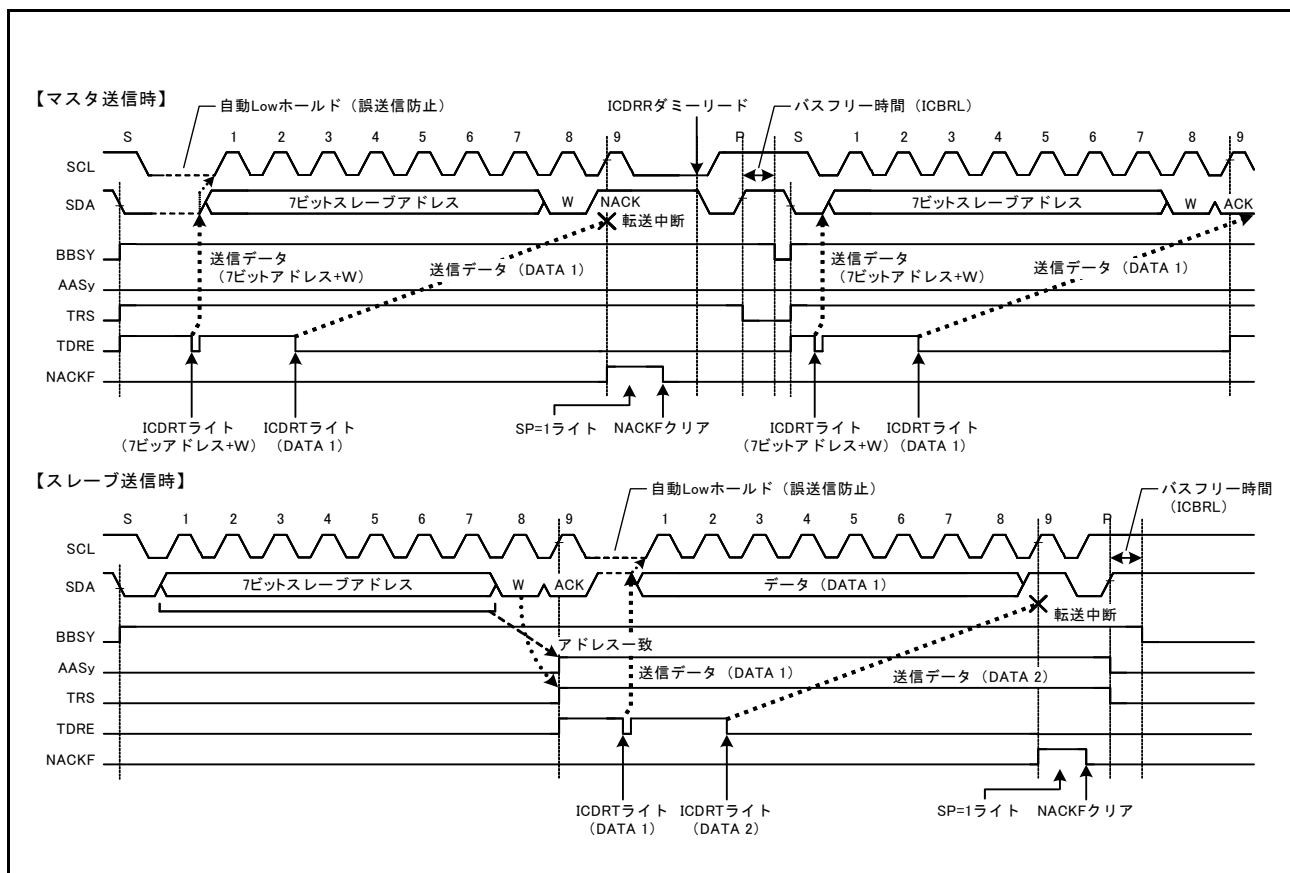


図 24.31 NACK 受信時の転送中断動作 (NACKC=1 のとき)

24.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット=0)、受信データフル (ICSR2.RDRF フラグ=1) の状態で受信データ (ICDRR レジスタ) の読み出しが1転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の1つ手前で自動的にSCLラインのLowホールドを行い、受信データの取りこぼしを未然に防止します。

この自動Lowホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこのLowホールドは行わないため、他の通信を阻害しません。

また、RIICではICMR3.WAIT, RDRFSビットの組み合わせによりLowホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICはWAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICはSCLクロックの8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的にICMR3.ACKBT ビットの内容が送出され、9クロック目立ち下がりを検出するとWAIT ビット機能により自動的にSCLラインをLowにホールドします。このLowホールドはICDRRレジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なおWAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス(ジェネラルコールアドレス、ホストアドレス含む)と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICはRDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ(ICSR2.RDRF フラグ)が“1”になるタイミングがSCLクロックの8クロック目の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的にSCLラインをLowにホールドします。このLowホールドはICMR3.ACKBT ビットへの書き込みによって解除され、ICDRRレジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じたACK/NACK 送出の受信動作が可能となります。

なおRDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス(ジェネラルコールアドレス、ホストアドレス含む)と一致した以降の受信フレームから有効になります。

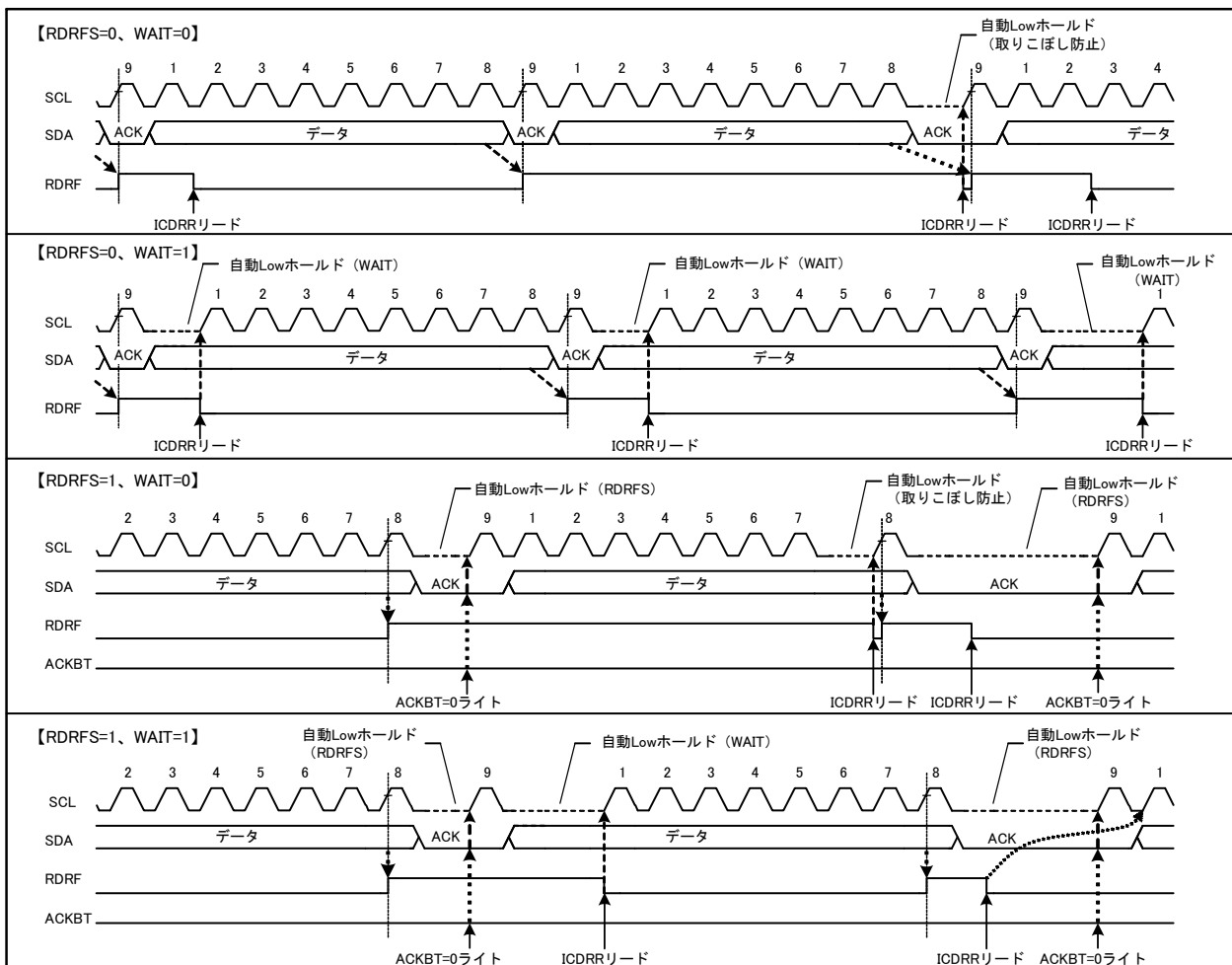


図 24.32 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

24.9 アービトレーションロスト検出機能

RIICにはI²Cバス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

24.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDAラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1” (バスビジー中) のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ (SDA信号) とSDAラインに不一致が生じた場合 (自分が出したSDA出力がHigh出力 (= SDA端子はハイインピーダンス状態) で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICは直ちにスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1” (マスタアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグ=0の状態(ICCR2.STビット=1によるスタートコンディション発行時にSDA信号とSDAライン上の信号の状態が不一致のとき (スタートコンディション発行エラー))
- ICCR2.BBSYフラグ=1でICCR2.STビットを“1”にしたとき (スタートコンディション二重発行エラー)
- マスタ送信モード時 (ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ (SDA信号) とSDAライン上の信号の状態が不一致のとき

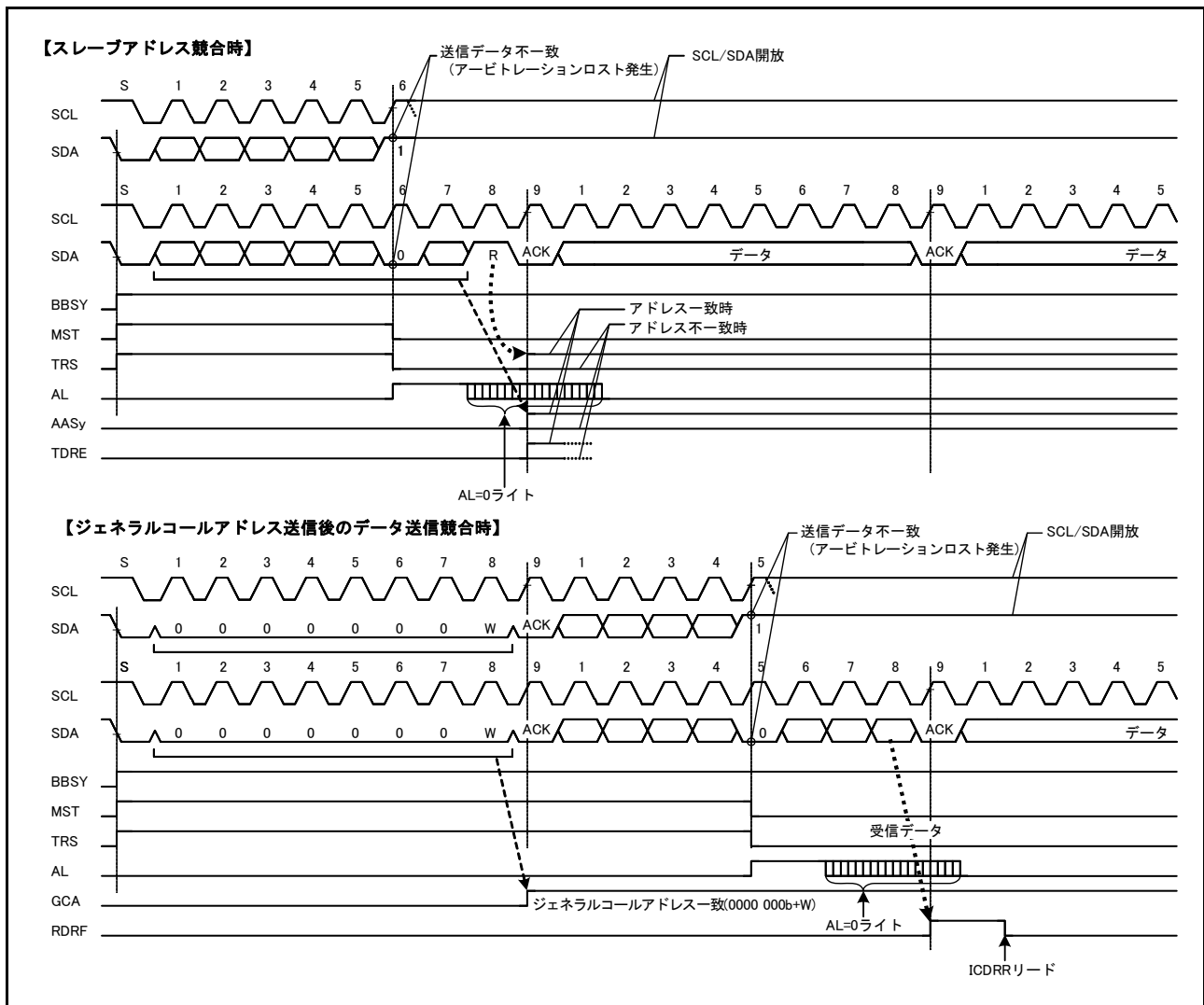


図 24.33 マスタアービトレーションロスト検出動作例 (MALE=1 のとき)

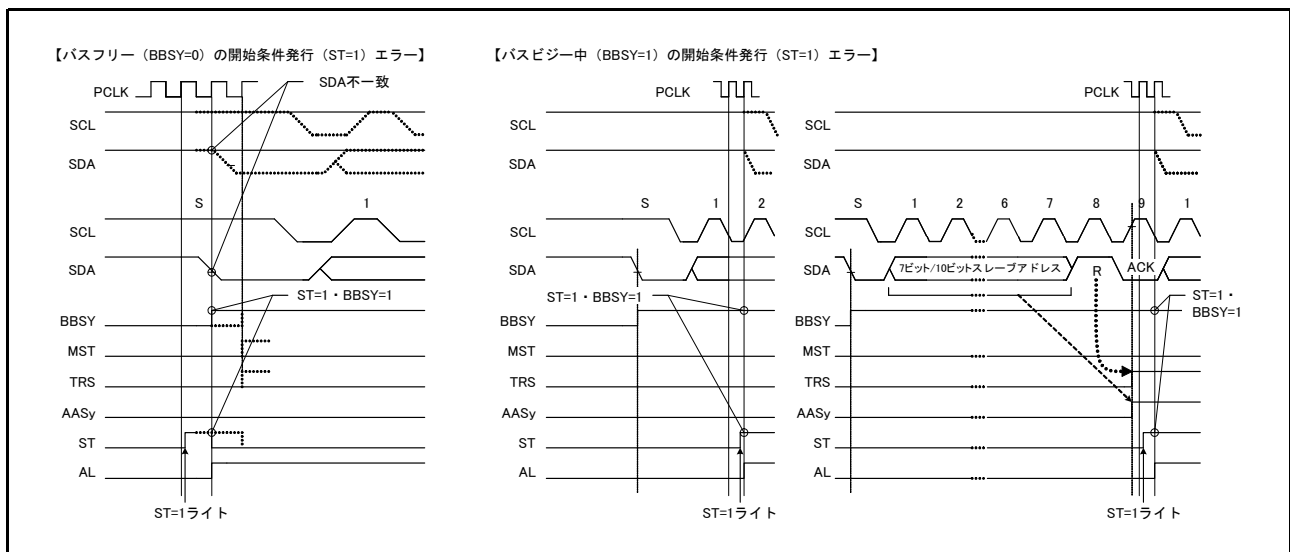


図 24.34 スタートコンディション発行時のアービトレーションロスト (MALE=1 のとき)

24.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIIC は受信モード時で NACK 送信時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致の場合 (自分が出した SDA 出力が High 出力 (= SDA 端子はハイインピーダンス状態) で、SDA ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図 24.35 に NACK 送信アービトレーションロスト検出動作例を示します。

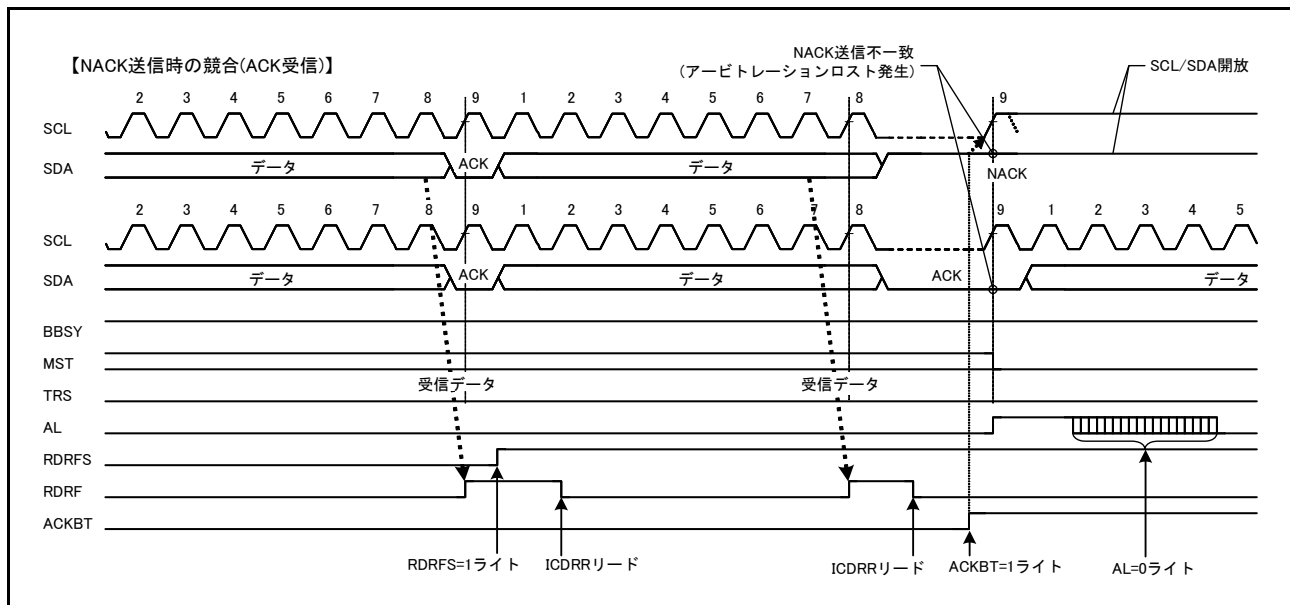


図 24.35 NACK 送信アービトレーションロスト検出動作例 (NALE=1 のとき)

2 つのマスタデバイス (マスタ A、マスタ B) と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B とともにスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B とともにどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC は直ちにスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、アサインアドレスの UDID (ユニークデバイスアイデンティファイ) 不一致時の NACK 送信以降、およびアサインアドレス確定後の Get UDID (汎用) の NACK 送信以降の余剰処理 (FFh 送信処理) を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット=1)、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき (ACK を受信したとき)

24.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (自分が出した SDA 信号) と SDA ライン上の信号の状態に不一致が生じた場合 (自分が出した SDA 出力が High 出力 (= SDA 端子はハイインピーダンス状態) で、SDA ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC は直ちにスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (FFh 送信処理) を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS ビット =01b)、アクノリッジを除く送信データ (自分が出した SDA 信号) と SDA ライン上の信号の状態が不一致のとき

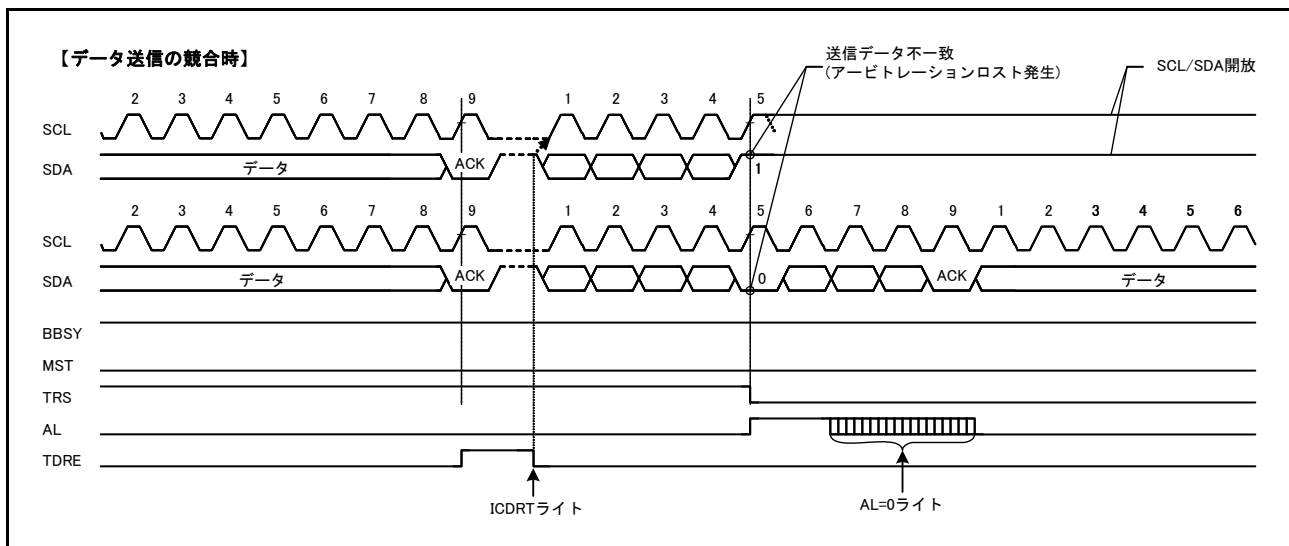


図 24.36 スレーブアービトレーションロスト検出動作例 (SALE=1 のとき)

24.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

24.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- (1) SDAラインを立ち下げ（HighからLowに遷移）
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCLラインを立ち下げ（HighからLowに遷移）
- (4) SCLラインのLowを検出後、ICBRLレジスタで設定した時間SCLラインのLow幅を確保

24.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態かつICCR2.MSTビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

- (1) SDAラインを開放
- (2) ICBRLレジスタで設定した時間SCLラインのLow幅を確保
- (3) SCLラインを開放（LowからHighに遷移）
- (4) SCLラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDAラインを立ち下げ（HighからLowに遷移）
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCLラインを立ち下げ（HighからLowに遷移）
- (8) SCLラインのLowを検出後、ICBRLレジスタで設定した時間SCLラインのLow幅を確保

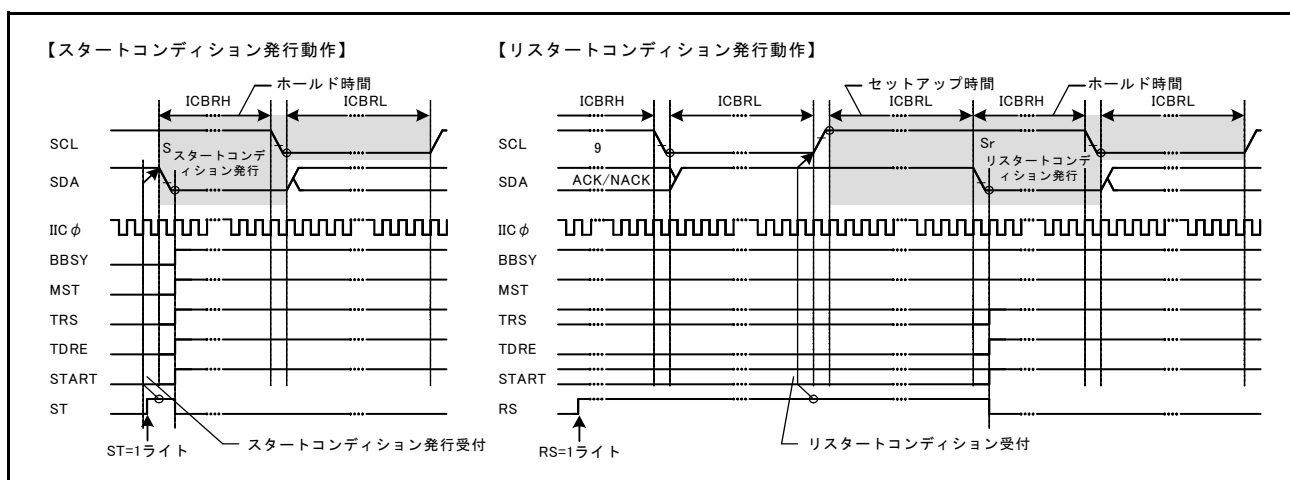


図 24.37 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

24.10.3 ストップコンディション発行動作

RIICはICCR2.SPビットによりストップコンディションの発行を行います。

SPビットを“1”にするとストップコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態であつICCR2.MSTビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDAラインを立ち下げ（HighからLowに遷移）
- ICBRLレジスタで設定した時間SCLラインのLow幅を確保
- SCLラインを開放（LowからHighに遷移）
- SCLラインのHigh検出後、ICBRHレジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDAラインを開放（LowからHighに遷移）
- ICBRLレジスタで設定した時間バスフリー時間を確保
- BBSYフラグクリア（バス権解放）

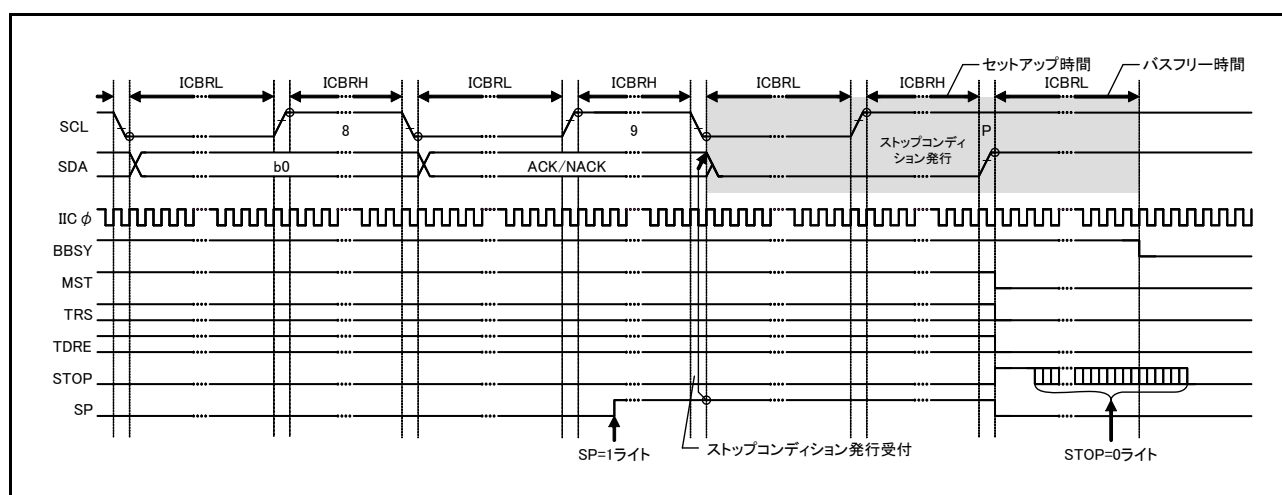


図 24.38 ストップコンディション発行動作タイミング (SP ビット)

24.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLラインやSDAラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCLラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するためのSCLクロック追加出力機能およびRIIC/内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCLライン/SDAラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

24.11.1 タイムアウト検出機能

RIICにはSCLラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICはSCLラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCLラインに変化（立ち上がり/立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバス異常状態を知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCnラインのLow固定またはHigh固定のバス異常状態を検出します。

- マスタモード (ICCR2.MST ビット =1) で、バスビジー (ICCR2.BBSY フラグ =1)
- スレーブモード (ICCR2.MST ビット =0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ =1)
- スタートコンディション発行要求中 (ICCR2.ST ビット =1) で、バスフリー (ICCR2.BBSY フラグ =0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (ICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット =0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット =1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLラインがLow状態のときカウントさせるか、High状態のときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

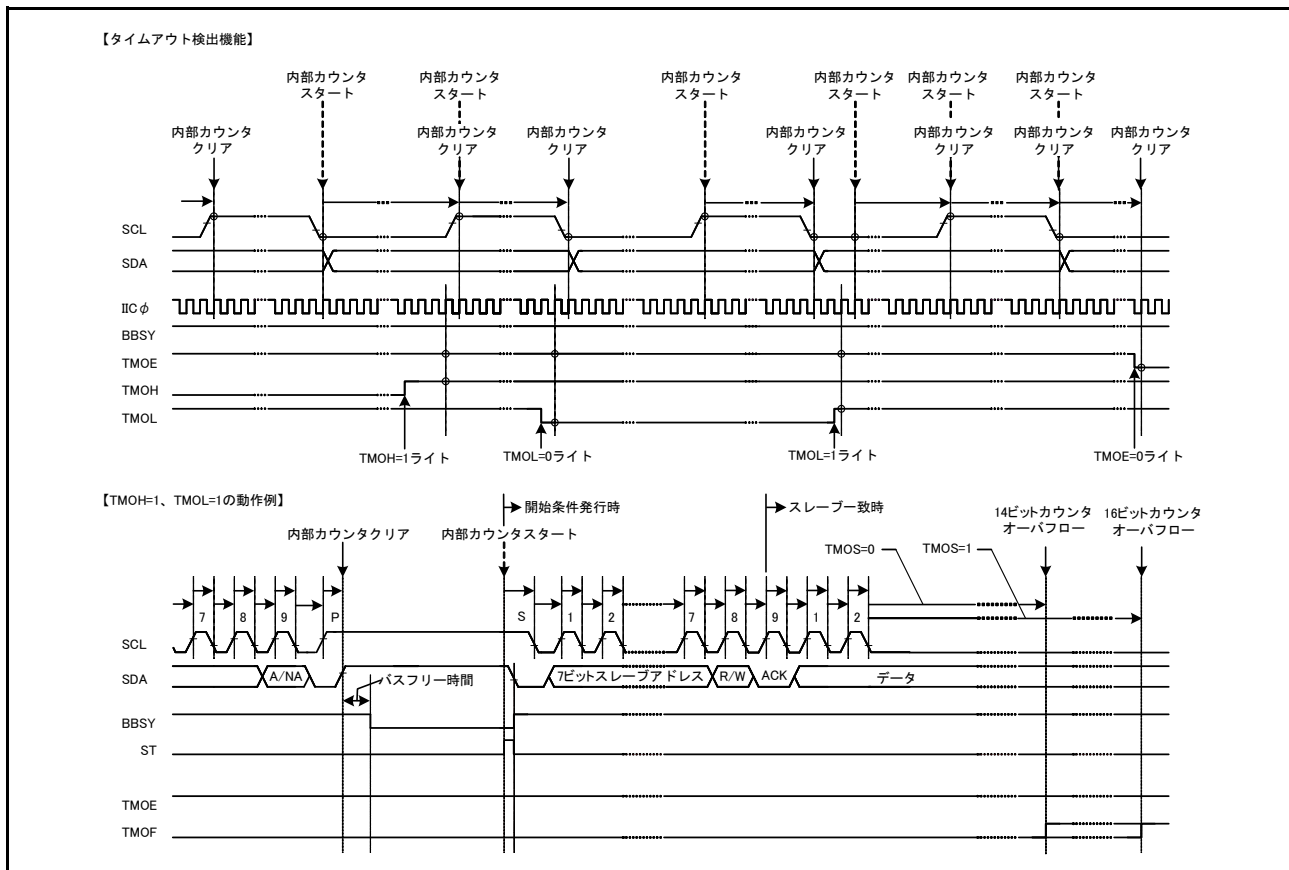


図 24.39 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット)

24.11.2 SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。そのためソフトウェアで CLO ビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できないバス異常状態になることがあります。このとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを“0” (マスタアービトレーションロスト検出禁

止) にして使用してください。MALE ビットが“1” (マスターアービトレーションロスト検出許可) の場合、ICCR1.SDAO ビットの値と SDA ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[ICCR1.CLO ビットの実出力条件]

- バスフリー状態 (ICCR2.BBSY フラグ =0) またはマスターモード (ICCR2.MST ビット =1、BBSY フラグ =1 の状態) のとき
- 通信デバイスが SCL ラインを Low ホールドにしていない状態のとき

図 24.40 に SCL クロック追加出力機能 (CLO ビット) を示します。

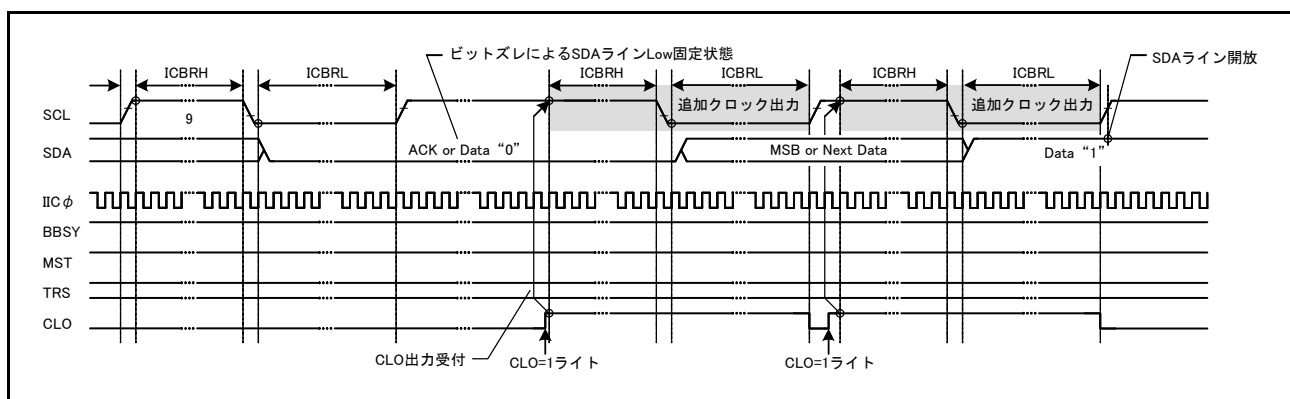


図 24.40 SCL クロック追加出力機能 (CLO ビット)

24.11.3 RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを“0” にしてください。

いずれのリセットも SCL 端子 /SDA 端子の出力状態を解除しハイインピーダンス状態に戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスターデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット =01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC/ 内部リセットの詳細については、「24.14 リセット状況」を参照してください。

24.12 SMBus 動作

RIIC は SMBus 規格 (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 規格の 10kbps ~ 100kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間 :300ns (min) の規格を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARUy.FS ビット (y=0 ~ 2) (7 ビット/10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトレーションロスト検出機能を有効にしてください。

24.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔 : $T_{LOW : SEXT}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を RX62T グループ、RX62G グループの内蔵タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間 [スレーブデバイス] $T_{LOW : SEXT} : 25ms$ (max) 以内である必要があります。

RX62T グループ、RX62G グループの内蔵タイマで計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT} : 25ms$ (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL 端子 /SDA 端子のバス駆動を中止し、端子をハイインピーダンス状態にすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔 : $T_{LOW : MEXT}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (ICTEI) または受信データフル割り込み (ICRXI) を利用して、それぞれの区間を RX62T グループ、RX62G グループの内蔵タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間 [マスタデバイス] $T_{LOW : MEXT} : 10ms$ (max) 以内である必要があります。スタートコンディションからストップコンディションまでのすべての $T_{LOW : MEXT}$ を加算した結果が $T_{LOW : SEXT} : 25ms$ (max) 以内である必要があります。

ACK 受信タイミング (SMBCLK の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見する必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SMBCLK の 9 クロック目の立ち上がりで “1” になります。

RX62T グループ、RX62G グループの内蔵タイマで計測した時間が、SMBus 規格のクロック Low の累積時間 [マスタデバイス] T_{LOW : MEXT} : 10ms (max) または各計測時間の加算した結果が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25ms (min) を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

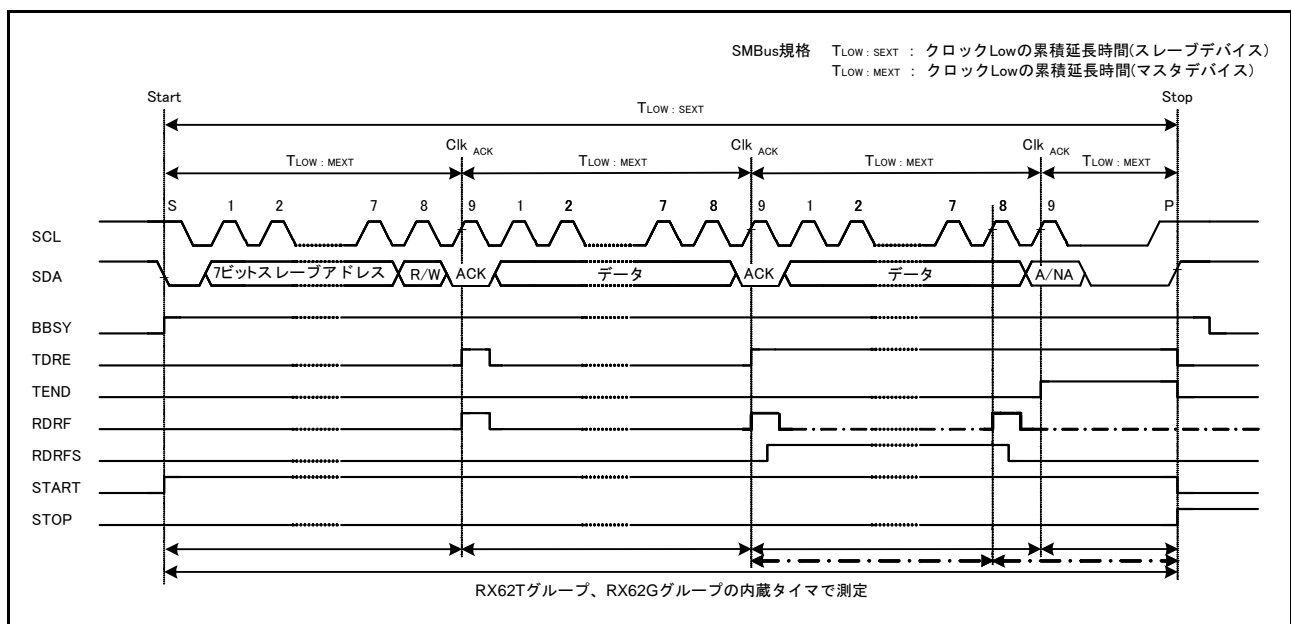


図 24.41 SMBus タイムアウト測定

24.12.2 パケットエラーコード (PEC)

RX62Tグループ、RX62GグループはCRC演算器を内蔵しています。RIICの通信動作にCRC演算器を利用することでSMBusのパケットエラーコード(PEC)の送信または受信データチェックを行うことができます。CRC演算器の多項式については「23. CRC演算器(CRC)」を参照してください。

マスタ送信(マスタトランスミッタ)のPECデータ生成は、全送信データをCRC演算器のCRCデータ入力レジスタ(CRCDIR)に書くことで生成することができます。

マスタ受信(マスタレシーブ)のPECデータチェックは、全受信データをCRC演算器のCRCDIRレジスタに書き、そこで得られたCRCデータ出力レジスタ(CRCDO)の値と受信したPECデータを比較することで行います。

なおPECコードチェックにおいて最終バイト受信時に一致/不一致に応じてACK/NACK送出を行う場合には、最終バイト受信のSMBCLKの8クロック目の立ち上がりまでにICMR3.RDRFSビットを“1”にし、8クロック目の立ち下がりまでSCLラインをLowにホールドしてください。

24.12.3 SMBus ホスト通知プロトコル /Notify ARP master

SMBusではスレーブデバイスがSMBusホスト(またはARPマスタ)に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知(または要求)することができます。

RX62Tグループ、RX62GグループをSMBusホスト(またはARPマスタ)として動作させる場合、スレーブデバイスからのホストアドレス(0001 000b)送信をスレーブアドレスとして検出する必要があり、RIICではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBSビットを“1”、ICSER.HOAEビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

24.13 割り込み要因

RIICの割り込み要因には、通信エラー/イベント発生（アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の4種類があります。

表24.7に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTCを起動してデータ転送を行うことができます。

表24.7 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位	割り込み条件
ICEEI 通信エラー/ イベント発生		AL	不可能	高 ↑	AL=1 かつ ALIE=1
		NACKF			NACKF=1 かつ NAKIE=1
		TMOF			TMOF=1 かつ TMOIE=1
		START			START=1 かつ STIE=1
		STOP			STOP=1 かつ SPIE=1
ICRXI	受信データフル	—	可能	↑	RDRF=1 かつ RIE=1
ICTXI	送信データ エンプティ	—	可能		TDRE=1 かつ TIE=1
ICTEI	送信終了	TEND	不可能		低

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

【割り込み処理上の注意】

1. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。
2. ICTXI割り込みはエッジ割り込みのためクリアの必要はありません。またICTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ=1）で自動的に“0”になります。
3. ICRXI割り込みはエッジ割り込みのためクリアの必要はありません。またICRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。
4. ICTEI割り込みを使用する場合、ICTEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。
なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOPフラグ=1）で自動的に“0”になります。

24.14 リセット状況

RIICはチップリセット、RIICリセットおよび内部リセットのリセット機能を持っています。表24.8に各リセットのリセット範囲およびリセット状況を示します。

表24.8 リセット状況

		チップリセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディショ ン条件検出	
ICCR1	ICE、 IICRST	リセット	保持	保持	動作 (保持)	動作 (保持)	
	SCLO、 SDAO		リセット	リセット			
	それ以外			保持			
ICCR2	BBSY	リセット	リセット	動作	動作	動作	
	ST			リセット	リセット	動作 (保持)	
	それ以外					リセット	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	動作 (保持)	
	それ以外			保持	動作 (保持)		
ICMR2		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICMR3		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICFER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICSER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICIER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICSR1		リセット	リセット	リセット	動作 (保持)	リセット	
ICSR2	TDRE、 TEND	リセット	リセット	リセット	動作 (保持)	リセット	
	START				動作		
	STOP				動作 (保持)		動作
	それ以外						動作 (保持)
SARL0、1、2 SARU0、1、2		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICBRH、ICBRL		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRT		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRR		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRS		リセット	リセット	リセット	動作 (保持)	動作 (保持)	
タイムアウト検出機 能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

24.15 使用上の注意事項

24.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移 / 解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「9. 消費電力低減機能」を参照してください。

24.15.2 入力バッファコントロールレジスタの設定

入力バッファコントロールレジスタ (PORTn.ICR) により、周辺モジュールへの入力を有効 / 無効にすることができます。初期値では RIIC への入力は無効状態です。

I²C バスの SCL ライン、SDA ラインは双方向のため、RIIC の SCL 端子、SDA 端子は入出力端子です。RIIC の SCL 端子、SDA 端子に該当する PORTn.ICR レジスタの入力バッファ制御ビットを設定し、RIIC への入力を有効にしてください。該当する端子の入力が無効状態の場合、スタートコンディション検出 (リスタートコンディション検出含む) やストップコンディション検出、SCL クロックのカウント動作等を行うことができません。

入力バッファコントロールレジスタの詳細は「15. I/O ポート」を参照してください。

25. CANモジュール (CAN)

25.1 概要

ISO11898-1仕様に準拠したCAN (Controller Area Network) モジュールを1チャンネル内蔵しています。CANモジュールは標準 (11ビット) Identifier (以下、IDと略す) と拡張 (29ビット) IDの両フォーマットのメッセージを送受信できます。

表 25.1 に CAN モジュールの仕様、図 25.1 に CAN モジュールブロック図を示します。
なお、CAN バストランシーバは外付けしてください。

注. CANモジュールはオプションです。詳細は表 1.3 を参照してください。

表 25.1 CANモジュールの仕様

項目	概要
プロトコル	<ul style="list-style-type: none"> ISO11898-1仕様準拠 (標準フレーム/拡張フレーム)
ビットレート	<ul style="list-style-type: none"> 1Mbps以下のビットレートをプログラム可能 (fCAN ≥ 8MHz) fCAN: CANクロックソース
メッセージボックス	<ul style="list-style-type: none"> 32メールボックス: 2種類のメールボックスモードを選択可能 通常メールボックスモード: 32メールボックスを送信または受信用に設定可能 FIFOメールボックスモード: 24メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOを設定可能
受信	<ul style="list-style-type: none"> データフレームとリモートフレームを受信可能 受信するIDフォーマット (標準IDのみ、拡張IDのみ、標準と拡張両方のID) を選択可能 ワンショット受信機能を選択可能 オーバーライトモード (メッセージ上書き) かオーバーランモード (メッセージ破棄) を選択可能 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	<ul style="list-style-type: none"> 8つのアクセプタンスマスク (4メールボックスごとに個別のマスク) メールボックスはマスクの有効/無効を個別に設定可能
送信	<ul style="list-style-type: none"> データフレームとリモートフレームを送信可能 送信するIDフォーマット (標準IDのみ、拡張IDのみ、標準と拡張両方のID) を選択可能 ワンショット送信機能を選択可能 ID優先送信モードかメールボックス番号優先送信モードを選択可能 送信要求をアボート可能 (フラグでアボート完了を確認可能) 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
バスオフ復帰方法	<ul style="list-style-type: none"> バスオフ状態からの復帰方法を選択可能 ISO11898-1仕様準拠 バスオフ開始で自動的にCAN Haltモードへ移行 バスオフ終了で自動的にCAN Haltモードへ移行 プログラムによりCAN Haltモードへ移行 プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	<ul style="list-style-type: none"> CANバスエラー (スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー) を監視可能 エラー状態の遷移を検出可能 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) エラーカウンタを読み出し可能
タイムスタンプ機能	<ul style="list-style-type: none"> 16ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み機能	<ul style="list-style-type: none"> 5種類の割り込み要因 (受信完了割り込み、送信完了割り込み、受信FIFO割り込み、送信FIFO割り込み、エラー割り込み)
CANスリープモード	<ul style="list-style-type: none"> CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	<ul style="list-style-type: none"> 3つのソフトウェアサポートユニット アクセプタンスフィルタサポート メールボックス検索サポート (受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) チャンネル検索サポート
CANクロックソース	周辺モジュールクロック (PCLK)
テストモード	<ul style="list-style-type: none"> ユーザ評価用に3つのテストモードを用意 リッスンオンリモード セルフテストモード0 (外部ループバック) セルフテストモード1 (内部ループバック)

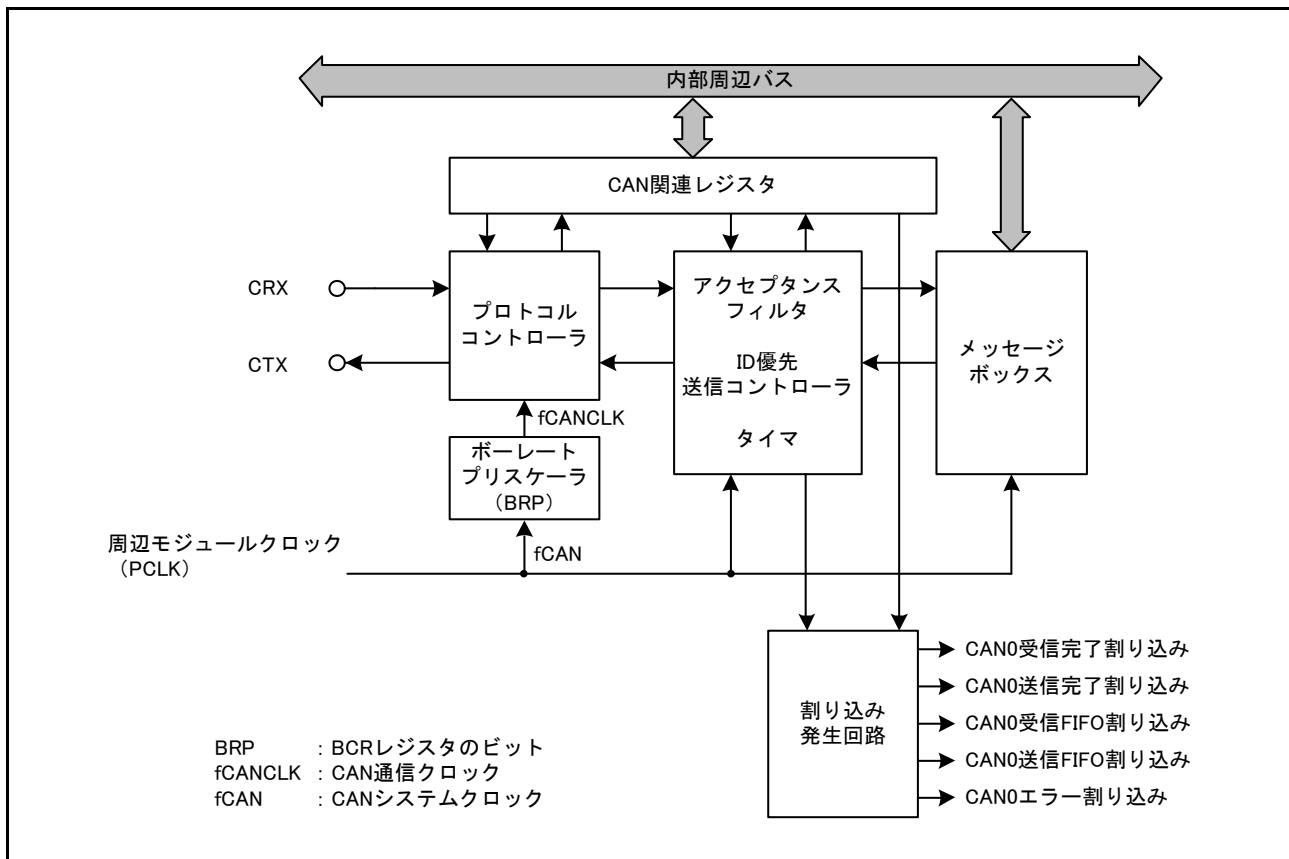


図 25.1 CAN モジュールブロック図

- CRX、CTX
CAN の入出力端子です。
- プロトコルコントローラ
バスアービトラージョンや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- メッセージボックス
送信または受信メールボックスとして使用可能な 32 個のメールボックスで構成されています。固有の ID、データ長コード、8 バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ
受信メッセージのフィルタ処理を行います。このフィルタ処理には、MKR0 ~ MKR7 レジスタを使用します。
- タイマ
タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。

- 割り込み発生回路

次の5種類の割り込み要求を発生させることができます。

CAN0 受信完了割り込み

CAN0 送信完了割り込み

CAN0 受信 FIFO 割り込み

CAN0 送信 FIFO 割り込み

CAN0 エラー割り込み

表 25.2 に CAN モジュールで使用する端子を示します。

他の機能とマルチプレクスになっている端子は、端子の切り替えが必要です。詳細は、「15. I/O ポート」を参照してください。

表 25.2 CANモジュールの端子構成

モジュールシンボル	端子名	入出力	機能
CAN0	CRX	入力	データ受信用端子です
	CTX	出力	データ送信用端子です

25.2 レジスタの説明

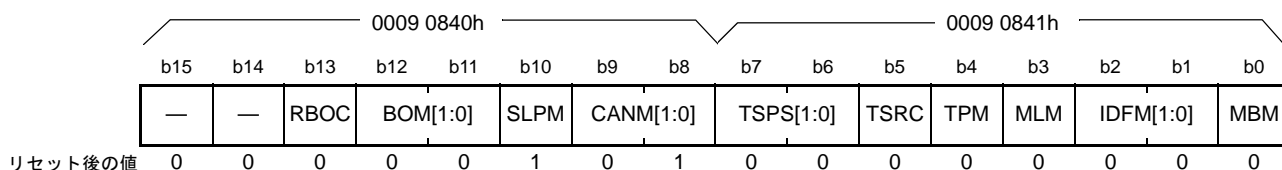
表 25.3 に CAN モジュールレジスタ構成を示します。

表 25.3 CANモジュールレジスタ構成

モジュール シンボル	レジスタ名	レジスタ シンボル	リセット後の値	アドレス	アクセス サイズ
CAN0	制御レジスタ	CTRL	0500h	0009 0840h	8、16
	ビットコンフィグレーションレジスタ	BCR	0000 0000h	0009 0844h	8、16、32
	マスクレジスタ 0	MKR0	不定	0009 0400h	8、16、32
	マスクレジスタ 1	MKR1	不定	0009 0404h	8、16、32
	マスクレジスタ 2	MKR2	不定	0009 0408h	8、16、32
	マスクレジスタ 3	MKR3	不定	0009 040Ch	8、16、32
	マスクレジスタ 4	MKR4	不定	0009 0410h	8、16、32
	マスクレジスタ 5	MKR5	不定	0009 0414h	8、16、32
	マスクレジスタ 6	MKR6	不定	0009 0418h	8、16、32
	マスクレジスタ 7	MKR7	不定	0009 041Ch	8、16、32
	FIFO受信ID比較レジスタ 0	FIDCR0	不定	0009 0420h	8、16、32
	FIFO受信ID比較レジスタ 1	FIDCR1	不定	0009 0424h	8、16、32
	マスク無効レジスタ	MKIVLR	不定	0009 0428h	8、16、32
	メールボックスレジスタ 0~31	MB0~31	不定	0009 0200h~ 0009 03FFh	8、16、32
	メールボックス割り込み許可レジスタ	MIER	不定	0009 042Ch	8、16、32
	メッセージ制御レジスタ 0~31	MCTL0~31	00h	0009 0820h~ 0009 083Fh	8
	受信FIFO制御レジスタ	RFCR	80h	0009 0848h	8
	受信FIFOポインタ制御レジスタ	RFPCR	不定	0009 0849h	8
	送信FIFO制御レジスタ	TFCR	80h	0009 084Ah	8
	送信FIFOポインタ制御レジスタ	TFPCR	不定	0009 084Bh	8
	ステータスレジスタ	STR	0500h	0009 0842h	8、16
	メールボックスサーチモードレジスタ	MSMR	00h	0009 0853h	8
	メールボックスサーチステータスレジスタ	MSSR	80h	0009 0852h	8
	チャンネルサーチサポートレジスタ	CSSR	不定	0009 0851h	8
	アクセプタンスフィルタサポートレジスタ	AFSR	不定	0009 0856h	8、16
	エラー割り込み許可レジスタ	EIER	00h	0009 084Ch	8
	エラー割り込み要因判定レジスタ	EIFR	00h	0009 084Dh	8
	受信エラーカウントレジスタ	RECR	00h	0009 084Eh	8
	送信エラーカウントレジスタ	TECR	00h	0009 084Fh	8
	エラーコード格納レジスタ	ECSR	00h	0009 0850h	8
	タイムスタンプレジスタ	TSR	0000h	0009 0854h	8、16
テスト制御レジスタ	TCR	00h	0009 0858h	8	

25.2.1 制御レジスタ (CTRL)

アドレス 0009 0840h



ビット	シンボル	ビット名	機能	R/W
b0	MBM	送受信メールボックスモード 選択ビット (注1)	0 : 通常メールボックスモード 1 : FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモード ビット (注1)	b2 b1 0 0 : 標準IDモード すべてのメールボックス (FIFOメールボックスを含む) は 標準IDのみに対応 0 1 : 拡張IDモード すべてのメールボックス (FIFOメールボックスを含む) は 拡張IDのみに対応 1 0 : ミックスIDモード すべてのメールボックス (FIFOメールボックスを含む) は、標準IDと拡張IDの両方に対応します。標準IDと拡張ID の選択は、通常メールボックスモードの場合、対応する メールボックスのIDEビットで指定します。FIFOメール ボックスモードの場合、メールボックス[0]~[23]は対応す るメールボックスのIDEビット、受信FIFOはFIDCR0、 FIDCR1レジスタのIDEビット、送信FIFOはメールボック ス[24]のIDEビットで指定 1 1 : 設定しないでください	R/W
b3	MLM	メッセージロストモード選択 ビット (注2)	0 : オーバライトモード 1 : オーバランモード	R/W
b4	TPM	送信優先順位モード選択 ビット (注2)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリ セットビット (注4)	0 : リセットしない 1 : リセットする (注3)	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケアラ 選択ビット (注1)	b7 b6 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CAN動作モード選択ビット (注5)	b9 b8 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN Haltモード 1 1 : CANリセットモード (強制移行)	R/W
b10	SLPM	CANスリープモードビット (注5、注6)	0 : CANスリープモードではない 1 : CANスリープモード	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード選択 ビット (注1)	b12 b11 0 0 : ノーマルモード (ISO11898-1仕様準拠) 0 1 : バスオフ開始で自動的にCAN Haltモードへ移行 1 0 : バスオフ終了で自動的にCAN Haltモードへ移行 1 1 : プログラムによる要求でCAN Haltモードへ移行 (バスオフ復帰期間中)	R/W
b13	RBOC	バスオフ強制復帰ビット (注2)	0 : 何もしない 1 : バスオフからの強制復帰 (注3)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、MBMビットは、CANリセットモード時に変更してください。
 注2. RBOCビットはバスオフ状態時に“1”にしてください。
 注3. “1”にした後自動的に“0”になります。読んだ場合“0”が読めます。
 注4. TSRCビットはCANオペレーションモード時に“1”にしてください。

- 注5. CANM[1:0]、SLPMビットを変更した場合は、STRレジスタでモードが切り替わることを確認してください。モードが切り替わるまで、CANM[1:0]、SLPMビットは変更しないでください。
- 注6. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。SLPMビットを“0”または“1”にする場合は、論理演算命令を使用してビットクリアまたはビットセットしてください。

MBM ビット (送受信メールボックスモード選択ビット)

MBM ビットが“0” (通常メールボックスモード) の場合、メールボックス [0] ~ [31] は送信または受信メールボックスに設定されます。

MBM ビットが“1” (FIFO メールボックスモード) の場合、メールボックス [0] ~ [23] は送信または受信メールボックスに設定され、メールボックス [24] ~ [27] は送信 FIFO に、メールボックス [28] ~ [31] は受信 FIFO に設定されます。

送信データはメールボックス [24] に書き込み (メールボックス [24] は送信 FIFO のウィンドウメールボックスです)、受信データはメールボックス [28] から読み出します (メールボックス [28] は受信 FIFO のウィンドウメールボックスです)。

表 25.4 にメールボックスの設定を示します。

IDFM[1:0] ビット (ID フォーマットモードビット)

IDFM[1:0] ビットは、ID フォーマットを決定します。

MLM ビット (メッセージロストモード選択ビット)

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス (受信 FIFO を含む) は、オーバーライトモードかオーバーランモードのどちらかになります。

MLM ビットが“0” の場合、すべてのメールボックスはオーバーライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

MLM ビットが“1” の場合、すべてのメールボックスはオーバーランモードになり、新しいメッセージは破棄されます。

TPM ビット (送信優先順位モード選択ビット)

メッセージを送信する場合の優先順のモードを指定します。

TPM ビットは、ID 優先モードまたはメールボックス番号優先モードを選択します。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信どちらかになります。

TPM ビットが“0” の場合、ID 優先送信モードとなり、送信優先順位は CAN バスアービトレーションルール (ISO11898-1 仕様) に準拠します。ID 優先送信モードは、通常メールボックスモードのときメールボックス [0] ~ [31]、FIFO メールボックスモードのときメールボックス [0] ~ [23] と送信 FIFO の送信に設定されたメールボックスの ID を比較します。2 つ以上のメールボックスの ID が同じ場合、小さい番号のメールボックスが優先されます。

次に送信 FIFO から送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信 FIFO のメッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

TPM ビットが“1” の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (メールボックス [0]~[23]) よりも優先順位が低くなります。

TSRC ビット (タイムスタンプカウンタリセットビット)

TSRC ビットを“1”にすると TSR レジスタは 0000h になります。その後、このビットは自動的に“0”になります。

TSPS[1:0] ビット (タイムスタンププリスケアラ選択ビット)

タイムスタンプ用のプリスケアラを選択します。タイムスタンプの基準クロックは、1、2、4、または 8 ビットタイムから選択できます。

CANM[1:0] ビット (CAN 動作モード選択ビット)

CANM[1:0] ビットは、CAN モジュールのモード (CAN オペレーションモード、CAN リセットモード、CAN Halt モード) を選択するビットです。CAN スリープモードは SLPM ビットで設定します。詳細は「25.3 動作モード」を参照してください。

BOM[1:0] ビットの設定によって CAN Halt モードへ移行した場合は、CANM[1:0] ビットは自動的に“10b”になります。

SLPM ビット (CAN スリープモードビット)

SLPM ビットを“1”にすると CAN モジュールは CAN スリープモードになります。SLPM ビットを“0”にすると、CAN スリープモードは解除されます。詳細は、「25.3 動作モード」を参照してください。

BOM[1:0] ビット (バスオフ復帰モード選択ビット)

BOM[1:0] ビットは CAN モジュールのバスオフ復帰モードの選択に使用します。

BOM[1:0] ビットが“00b”の場合、バスオフからの復帰は ISO11898-1 仕様に準拠します。すなわち、CAN モジュールは、11 の連続するレセシブビットを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが“01b”の場合、CAN モジュールがバスオフ状態に達すると、CAN Halt モードに移行し、CANM[1:0] ビットが“10b” (CAN Halt モード) になります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは“00h”になります。

BOM[1:0] ビットが“10b”の場合、CAN モジュールがバスオフ状態に達すると、CANM[1:0] ビットが“10b”になり、バスオフ状態から復帰した (11 の連続するレセシブビットを 128 回検出) 後に、CAN Halt モードに移行します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは“00h”になります。

BOM[1:0] ビットが“11b”の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを“10b”にすると、CAN Halt モードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは“00h”になります。しかし、CANM[1:0] ビットを“10b”にする前に 11 の連続するレセシブビットを 128 回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールが CAN Halt モードに移行するのと同様 (BOM[1:0] ビット=“01b”のときバスオフ開始、または BOM[1:0] ビット=“10b”のときバスオフ終了) に、CPU が CAN リセットモードへの移行を要求した場合は、CPU の要求が優先されます。

RBOC ビット (バスオフ強制復帰ビット)

バスオフ状態時に RBOC ビットを“1” (バスオフからの強制復帰) にするとバスオフ状態から強制的に復帰します。その後、このビットは自動的に“0”になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。RBOC ビットを“1”にすると、RECR レジスタと TECR レジスタは“00h”になり、STR.BOST ビットは“0” (CAN モジュールはバスオフ状態ではない) になります。他のレジスタは RBOC ビットを“1”にしても変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが“00b” (ノーマルモード) のときのみ使用してください。

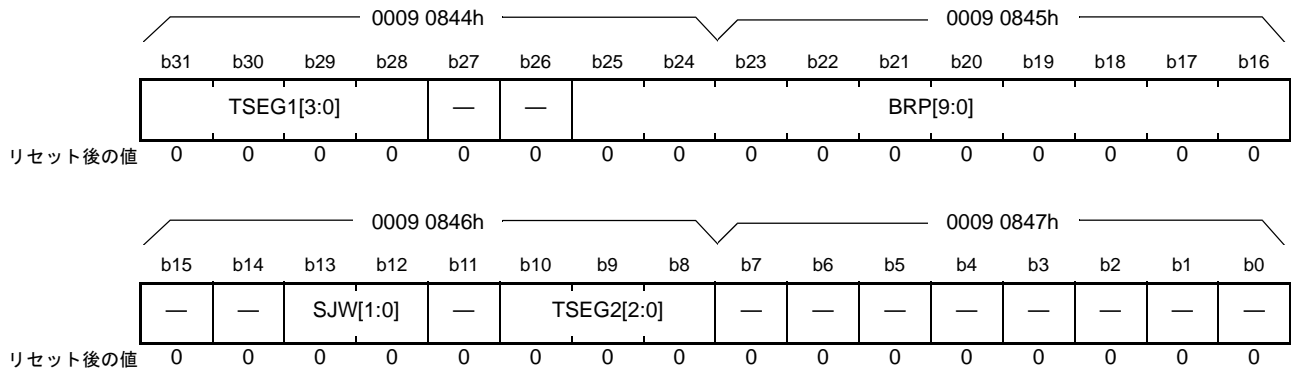
表 25.4 メールボックスの設定

メールボックス	MBMビット="0" (通常メールボックスモード)	MBMビット="1" (FIFOメールボックスモード)
メールボックス [0]~[23]	通常メールボックス	通常メールボックス
メールボックス [24]~[27]		送信 FIFO
メールボックス [28]~[31]		受信 FIFO

- 注. CTLR.MBMビットが"1"のときは以下の1.~5.の点に注意してください。
- 送信 FIFO は TFCR レジスタで制御します。メールボックス [24] ~ [27] の MCTLj (j = 0 ~ 31) レジスタは無効です。
MCTL24 ~ MCTL27 レジスタは送信 FIFO では使用できません。
 - 受信 FIFO は RFCR レジスタで制御します。メールボックス [28] ~ [31] の MCTLj (j = 0 ~ 31) レジスタは無効です。
MCTL28 ~ MCTL31 レジスタは受信 FIFO では使用できません。
 - FIFO 割り込みについては MIER レジスタを参照してください。
 - MKIVLR レジスタのメールボックス [24] ~ [31] に対応するビットは無効です。これらのビットは"0"にしてください。
 - 送信 / 受信 FIFO はデータフレーム / リモートフレームを使用可能です。

25.2.2 ビットコンフィグレーションレジスタ (BCR)

アドレス 0009 0844h



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御ビット	b10 b8 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	SJW[1:0]	再同期ジャンプ幅制御ビット	b13 b12 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b16	BRP[9:0]	プリスケアラ分周比選択ビット	CAN通信クロック (fCANCLK) の周波数を設定します	R/W
b27-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-28	TSEG1[3:0]	タイムセグメント1制御ビット	b31 b28 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W

Tq : Time Quantum

BCR レジスタは、セグメントの長さを Tq 値で指定するレジスタです。

ビットタイミングの設定については、「25.4 CAN 通信速度の設定」を参照してください。

BCR レジスタは、CAN リセットモードから CAN Halt モードまたは CAN オペレーションモードへ移行する前に設定してください。1 度設定すると CAN リセットモードまたは CAN Halt モードで変更できます。

BCR レジスタは 24 ビットです。32 ビットでアクセスする場合は、b0 ~ b7 を書き替えないように注意してください。

TSEG2[2:0] ビット (タイムセグメント 2 制御ビット)

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。2 ~ $8Tq$ の値が設定可能です。TSEG1[3:0] ビットより小さな値を設定してください。

SJW[1:0] ビット (再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization Jump Width) を Tq 値で指定します。1 ~ $4Tq$ の値が設定可能です。TSEG2[2:0] ビット以下の値を設定してください。

BRP[9:0] ビット (プリスケアラ分周比選択ビット)

CAN 通信クロック (fCANCLK) の周波数設定に使用します。fCANCLK の周期が $1Tq$ となります。設定値 P (0 ~ 1023) とすると、ポーレートプリスケアラは fCAN を P+1 で分周します。

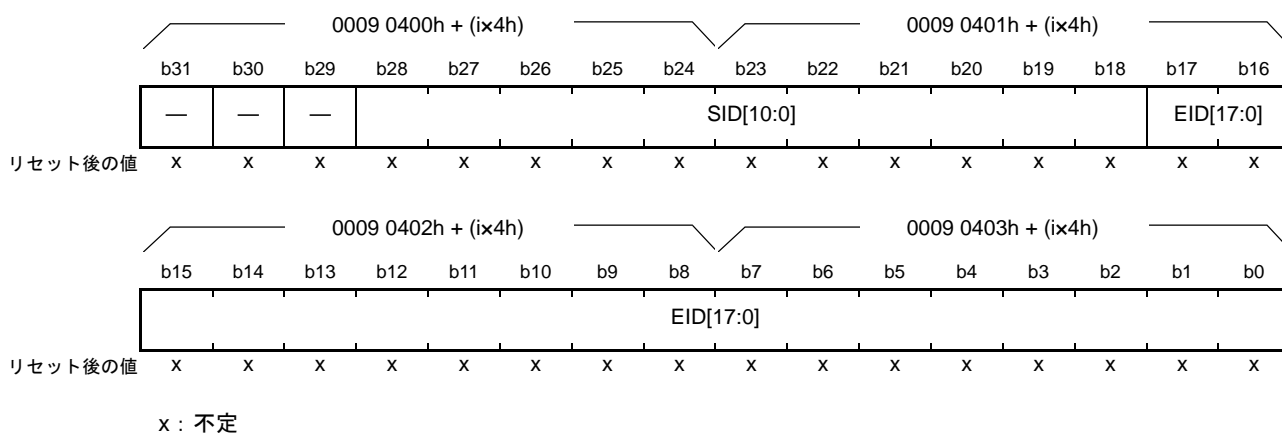
TSEG1[3:0] ビット (タイムセグメント 1 制御ビット)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Time Quantum (Tq) 値で指定します。

4 ~ $16Tq$ の値が設定可能です。

25.2.3 マスクレジスタ i (MKRi) (i = 0 ~ 7)

アドレス 0009 0400h ~ 0009 041Ch



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0 : 対応するEID[17:0]ビットは比較されない 1 : 対応するEID[17:0]ビットは比較される	R/W
b28-b18	SID[10:0]	標準IDビット	0 : 対応するSID[10:0]ビットは比較されない 1 : 対応するSID[10:0]ビットは比較される	R/W
b31-b29	—	予約ビット	読んだ場合、その値は不定です。書く場合、“0”としてください	R/W

FIFO メールボックスモードでのマスク機能については、「25.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

なお、MKRi レジスタ (i=0 ~ 7) は、CAN リセットモードまたは CAN Halt モード時に変更してください。

EID ビット (拡張 ID ビット)

EID[17:0] ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。

拡張 ID のメッセージを受信する場合に使用します。

EID[17:0] ビットが“0”の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較しません。

EID[17:0] ビットが“1”の場合、対応する EID[17:0] ビットは、受信した ID とメールボックスの ID を比較します。

SID ビット (標準 ID ビット)

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。

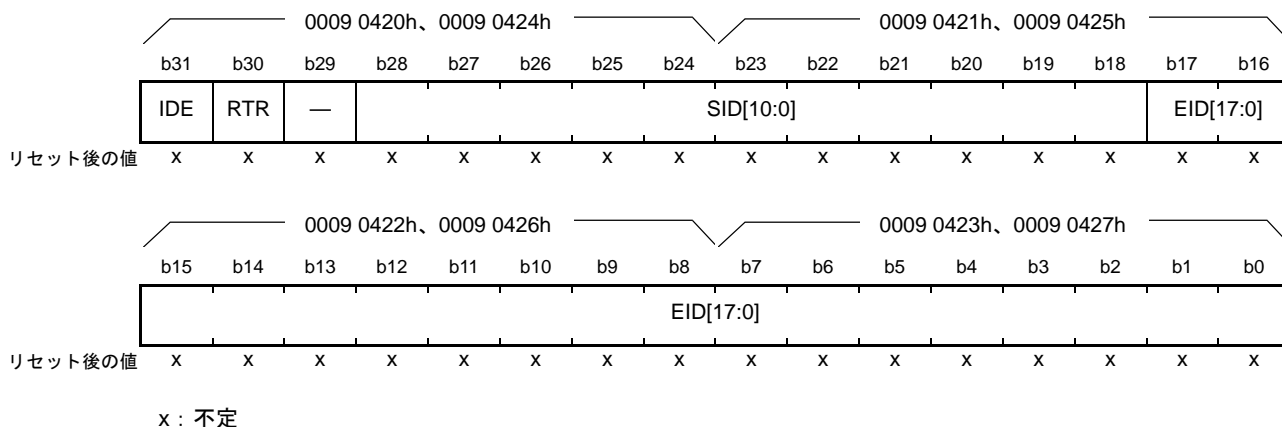
標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

SID[10:0] ビットが“0”の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較しません。

SID[10:0] ビットが“1”の場合、対応する SID[10:0] ビットは、受信した ID とメールボックスの ID を比較します。

25.2.4 FIFO 受信 ID 比較レジスタ 0、1 (FIDCR0、FIDCR1)

アドレス FIDCR0 0009 0420h
FIDCR1 0009 0424h



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット	0 : 対応するEID[17:0]ビットは“0” 1 : 対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0 : 対応するSID[10:0]ビットは“0” 1 : 対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0 : データフレーム 1 : リモートフレーム	R/W
b31	IDE	ID拡張ビット (注1)	0 : 標準ID 1 : 拡張ID	R/W

注1. CTLR.IDFM[1:0]ビットが“10b”以外の場合は、IDEビットには“0”を書いてください。また、読んだ場合、その値は“0”です。

FIDCR0、FIDCR1 レジスタは、CTLR.MBM ビットが“1” (FIFO メールボックスモード) のとき有効です。MB28 ~ MB31 レジスタのEID[17:0]、SID[10:0]、RTR、IDE ビットは無効です。

FIDCR0、FIDCR1 レジスタの使用方法については、「25.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

FIDCR0、FIDCR1 レジスタは、CAN リセットモードまたはCAN Halt モード時に変更してください。

EID ビット (拡張 ID ビット)

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信する場合に使用します。

SID ビット (標準 ID ビット)

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID のメッセージを受信する場合の両方で使用します。

RTR ビット (リモート送信要求ビット)

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが“0”の場合、データフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の RTR ビットが“1”の場合、リモートフレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの RTR ビットが“0”と“1”のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

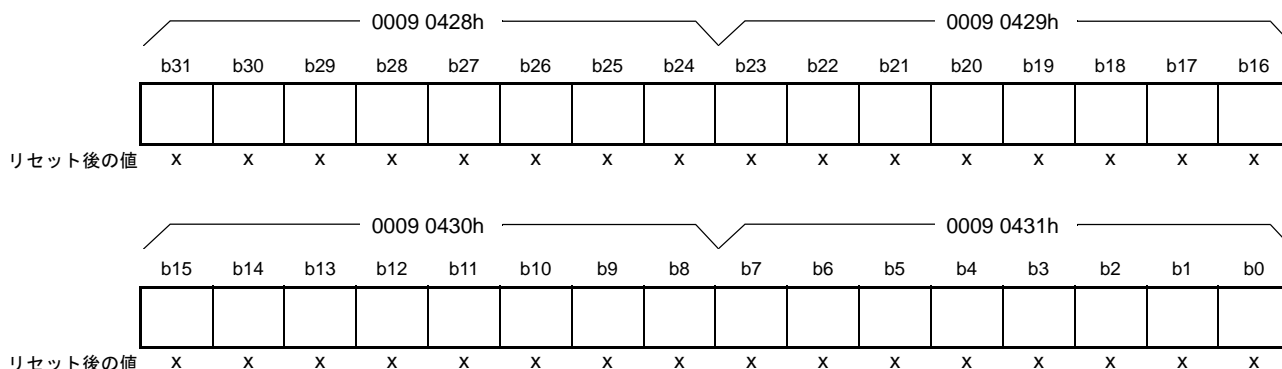
IDE ビット (ID 拡張ビット)

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTRL.IDFM[1:0] ビットが“10b” (ミックス ID モード) のとき有効です。

- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが“0”の場合、標準 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの両方の IDE ビットが“1”の場合、拡張 ID フレームのみ受信できます。
- FIDCR0、FIDCR1 レジスタの IDE ビットが“0”と“1”のそれぞれ異なる設定の場合、標準 ID と拡張 ID のフレームの両方を受信できます。

25.2.5 マスク無効レジスタ (MKIVLR)

アドレス 0009 0428h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	0 : マスク有効 1 : マスク無効	R/W

MKIVLR レジスタには、各メールボックスに対応するビットが含まれます。

各ビットの対応を以下に示します。

MKIVLR レジスタのビット 0 はメールボックス 0 に対応し、ビット 31 はメールボックス 31 にそれぞれ対応しています。(注1)

該当するビットが“1”になると、該当するアクセプタンスマスクレジスタが対応するメールボックスに対して無効になります。マスク無効ビットを“1”にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合のみ対応するメールボックスが受信します。

なお、MKIVLR レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

注1. FIFO メールボックスモード時はビット 31 ~ 24 を“0”にしてください。

25.2.6 メールボックスレジスタ j (MBj) (j = 0 ~ 31)

表 25.5 にメールボックスのメモリ配置、表 25.6 に CAN データフレームの構成を示します。

CAN0 メールボックスのリセット後の値は不定です。

MBj レジスタは、関連する MCTLj レジスタ (j = 0 ~ 31) が “00h” で、かつアボート処理中でないときのみ MBj レジスタの設定を変更してください。

レジスタアドレスの詳細については表 25.5 を参照してください。

表 25.5 メールボックスのメモリ配置

アドレス	レジスタシンボル	メッセージ内容
CAN0	CAN0	メモリ配置
0009 0200h + 16xj + 0	MB.ID	IDE、RTR、SID10~SID6
0009 0200h + 16xj + 1		SID5~SID0、EID17、EID16
0009 0200h + 16xj + 2		EID15~EID8
0009 0200h + 16xj + 3		EID7~EID0
0009 0200h + 16xj + 4	MB.DLC	—
0009 0200h + 16xj + 5		データ長コード (DLC[3:0])
0009 0200h + 16xj + 6	MB.DATA0~7	データバイト0
0009 0200h + 16xj + 7		データバイト1
⋮		⋮
0009 0200h + 16xj + 13		データバイト7
0009 0200h + 16xj + 14	MB.TS	タイムスタンプ上位バイト
0009 0200h + 16xj + 15		タイムスタンプ下位バイト

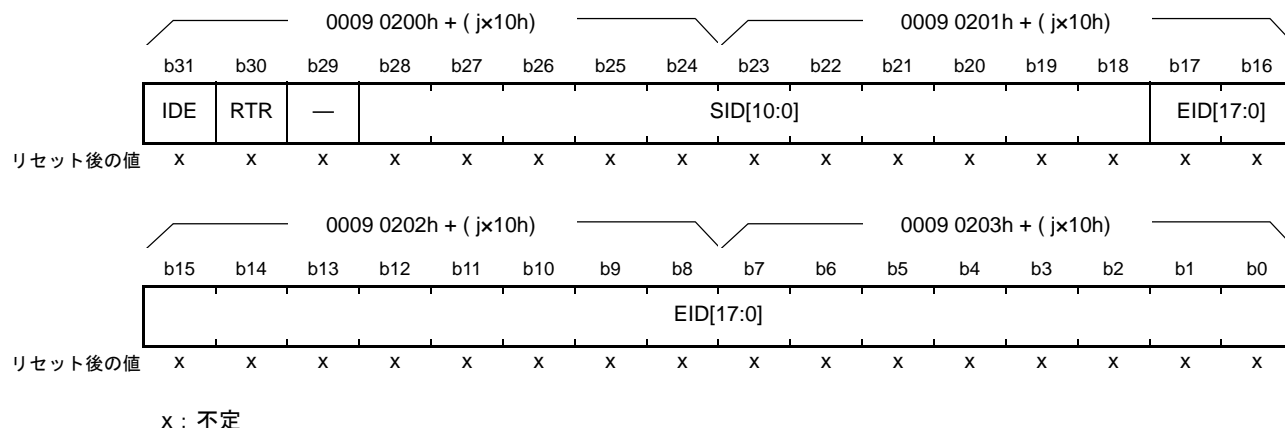
表 25.6 CAN データフレームの構成

SID10~SID6	SID5~SID0	EID17~EID16	EID15~EID8	EID7~EID0	DLC3~DLC0	DATA0	DATA1	...	DATA7
------------	-----------	-------------	------------	-----------	-----------	-------	-------	-----	-------

各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

(a) MB.ID

アドレス 0009 0200h~0009 03FFh



ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張IDビット (注1)	0 : 対応するEID[17:0]ビットは“0” 1 : 対応するEID[17:0]ビットは“1”	R/W
b28-b18	SID[10:0]	標準IDビット	0 : 対応するSID[10:0]ビットは“0” 1 : 対応するSID[10:0]ビットは“1”	R/W
b29	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b30	RTR	リモート送信要求ビット	0 : データフレーム 1 : リモートフレーム	R/W
b31	IDE	ID拡張ビット (注2)	0 : 標準ID 1 : 拡張ID	R/W

注1. メールボックスが標準IDのメッセージを受信すると、メールボックスのEID[17:0]ビットの値は不定になります。

注2. IDEビットは、CTRL.IDFM[1:0]ビットが“10b” (ミックスIDモード) のときに有効です。CTRL.IDFM[1:0]ビットが“10b”以外の際にはIDEビットに“0”を書いてください。また、読んだ場合、その値は“0”です。

EIDビット (拡張IDビット)

EID[17:0] ビットはデータフレームとリモートフレームの拡張IDを設定します。
拡張IDのメッセージを受信する場合に使用します。

SIDビット (標準IDビット)

SID[10:0] ビットはデータフレームとリモートフレームの標準IDを設定します。
標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

RTR ビット (リモート送信要求ビット)

RTR ビットは、データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。

- 受信メールボックスは、RTR ビットが指定するフォーマットのフレームのみ受信する
- 送信メールボックスは、RTR ビットが指定するフレームフォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの RTR ビットが指定するデータフレームとリモートフレームを受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの RTR ビットで選択したデータフレームまたはリモートフレームを送信する

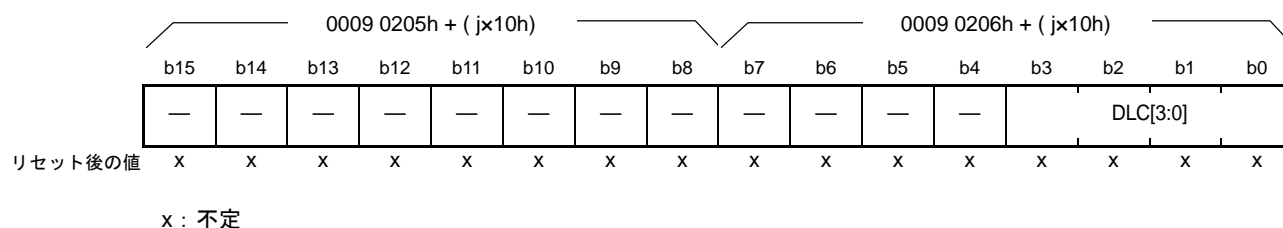
IDE ビット (ID 拡張ビット)

IDE ビットは、標準 ID または拡張 ID の指定された ID フォーマットを設定します。IDE ビットは、CTRL.IDFM[1:0] ビットが“10b” (ミックス ID モード) のとき有効です。

- 受信メールボックスは、IDE ビットが指定する ID フォーマットのみ受信する
- 送信メールボックスは、IDE ビットが指定する ID フォーマットに応じて送信を行う
- 受信 FIFO メールボックスは、FIDCR0、FIDCR1 レジスタの IDE ビットが指定する標準 ID と拡張 ID を受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの IDE ビットで選択した標準 ID または拡張 ID のメッセージを送信する

(b) MB.DLC

アドレス 0009 0205h~0009 03F5h



ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コードビット (注1)	b3 b0 0000: データ長0バイト 0001: データ長1バイト 0010: データ長2バイト 0011: データ長3バイト 0100: データ長4バイト 0101: データ長5バイト 0110: データ長6バイト 0111: データ長7バイト 1xxx: データ長8バイト 注. x: 任意の値です。	R/W
b15-b4	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1. メールボックスが8より小さいDLC[3:0]のメッセージを受信すると、メールボックスのDLC[3:0]より大きいDATAは不定になります。

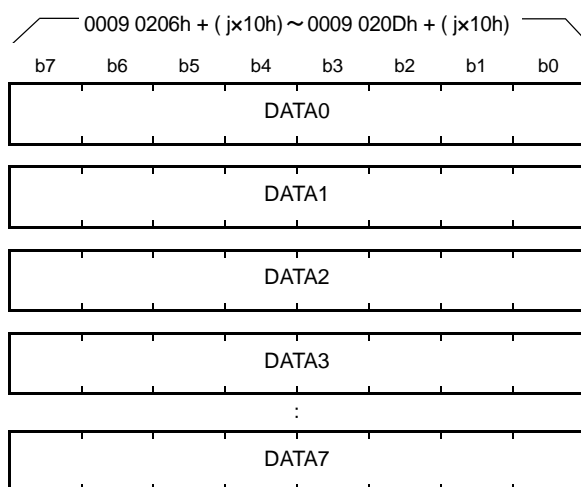
DLC[3:0] ビット (データ長コードビット)

DLC[3:0] ビットはデータフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

(c) MB.DATA0 ~ 7

アドレス 0009 0206h ~ 0009 03FDh



リセット後の値 x x x x x x x x

x : 不定

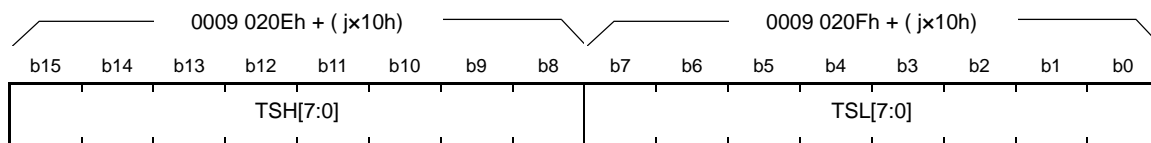
ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0- DATA7	データ長コードビット (注1、注2)	DATA0~7は送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます	R/W

注1. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA0~DATA7の値は不定になります。

注2. メールボックスがリモートフレームを受信した場合、メールボックスのDATA0~DATA7は以前の値が保持されます。

(d) MB.TS

アドレス 0009 020Eh ~ 0009 03FFh



リセット後の値 x x x x x x x x x x x x x x x x

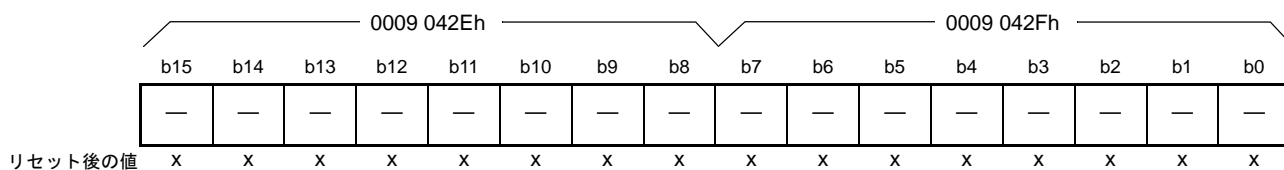
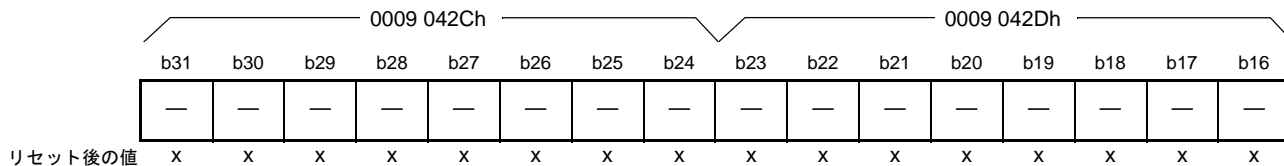
x : 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]とTSL[7:0]は受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

25.2.7 メールボックス割り込み許可レジスタ (MIER)

- 通常メールボックスモード

アドレス 0009 042Ch

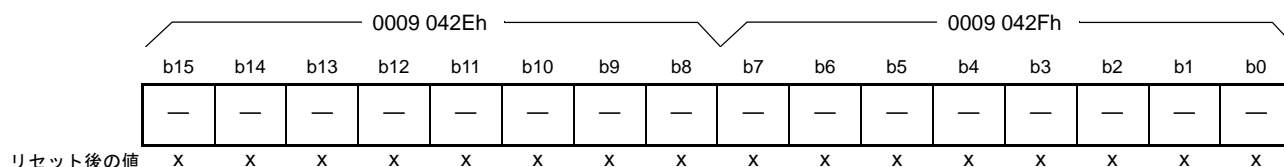
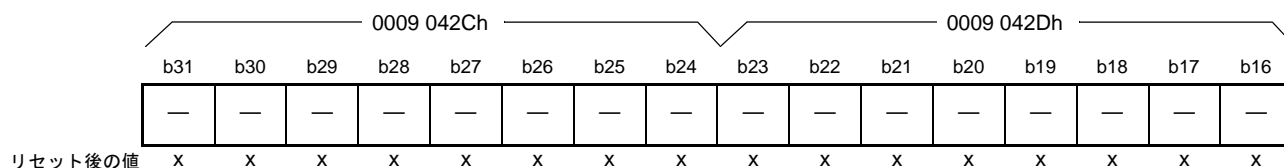


x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可 ビット31はメールボックス31、ビット0はメールボックス0にそれぞれ対応しています	R/W

- FIFO メールボックスモード

アドレス 0009 042Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可 ビット23はメールボックス23、ビット0はメールボックス0にそれぞれ対応しています	R/W
b24	—	送信FIFO割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W
b25	—	送信FIFO割り込み発生タイミング制御ビット	0 : 送信FIFO割り込み要求は、毎回の送信完了後発生 1 : 送信FIFO割り込み要求は、送信完了により送信FIFOが空き状態になったとき発生	R/W
b27-b26	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください。	R/W
b28	—	受信FIFO割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W
b29	—	受信FIFO割り込み発生タイミング制御ビット ^(注1)	0 : 受信FIFO割り込み要求は、毎回の受信完了後発生 1 : 受信FIFO割り込み要求は、受信完了により受信FIFOがバッファワーニングになったとき発生	R/W
b31-b30	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W

注1. 受信FIFOがフルからバッファワーニングとなった場合、割り込み要求は発生しません。なお、バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

MIERレジスタによって、メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード（すべてのビット）とFIFOメールボックスモード（MIERレジスタのビット23～0）では、それぞれのビットは各メールボックスに対応します。これらのビットは、対応するメールボックスの送信完了／受信完了割り込みを許可／禁止します。

- MIERレジスタのビット0はメールボックス0に対応
- MIERレジスタのビット31はメールボックス31に対応

FIFOメールボックスモードのMIERレジスタのビット29、28、25、24は送信／受信FIFO割り込みの許可／禁止と割り込み要求が発生するタイミングを指定します。

MIERレジスタは、関連するMCTLjレジスタ（j=0～31）が“00h”で、対応するメールボックスが送受信アポートの処理をしていないときのみ変更してください。また、FIFO動作モード時は、TFCR.TFEビットが“0”でTFCR.TFESTビットが“1”、RFCR.RFEビットが“0”でRFCR.RFESTビットが“1”のときのみ、関連するFIFOのMIERレジスタのビットを変更してください。

25.2.8 メッセージ制御レジスタ j (MCTLj) (j = 0 ~ 31)

アドレス 0009 0820h ~ 0009 083F

・ MCTL.TX

送信モード (TRMREQビットが"1"、RECREQビットが"0"の場合)

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMR EQ	RECR EQ	—	ONES HOT	—	TRMA BT	TRMA CTIVE	SENT DATA

リセット後の値 0 0 0 0 0 0 0 0

・ MCTL.RX

受信モード (TRMREQビットが"0"、RECREQビットが"1"の場合)

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMR EQ	RECR EQ	—	ONES HOT	—	MSGL OST	INVAL DATA	NEWD ATA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ (注1、注2)	0: 送信が終了していない 1: 送信完了	R/(W)
	NEWDATA	受信完了フラグ (注1、注2)	0: データが受信されていない、またはNEWDATAビットに"0"を書いた場合 1: 新しいメッセージをメールボックスに格納中または格納された場合	R/(W)
b1	TRMACTIVE	送信中ステータスビット	(送信メールボックス設定時有効) 0: 送信待機中または送信要求なし 1: 送信要求の取り込みから、送信完了、エラー発生、またはアービトレーションロスト発生まで	R
	INVALDATA	受信中ステータスビット	(受信メールボックス設定時有効) 0: メッセージは有効 1: メッセージを更新中	R
b2	TRMABT	送信アボート完了フラグ (注1、注2)	(送信メールボックス設定時有効) 0: 送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない 1: 送信アボート完了	R/(W)
	MSGLOST	メッセージロストフラグ (注1、注2)	(受信メールボックス設定時有効) 0: メッセージはオーバライトまたはオーバランされていない 1: メッセージはオーバライトまたはオーバランされた	R/(W)
b3	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b4	ONESHOT	ワンショット許可ビット (注3)	0: ワンショット受信またはワンショット送信禁止 1: ワンショット受信またはワンショット送信許可	R/W
b5	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b6	RECREQ	受信メールボックス設定ビット (注2、注3、注4、注5)	0: 受信メールボックスに設定しない 1: 受信メールボックスに設定する	R/W
b7	TRMREQ	送信メールボックス設定ビット (注2、注4)	0: 送信メールボックスに設定しない 1: 送信メールボックスに設定する	R/W

注1. 0を書き込むことのみ可能です。("1"を書いても変化しません。)

注2. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで"0"を書く場合は、論理演算 (AND.B) 命令は使用しないでください。"0"にしたいビットを"0"、そうでないビットを"1"にして、転送 (MOV) 命令を使用してください。"1"を書いてもこれらのビットの値は変化しません。

注3. ワンショット受信モードに移行するときは、RECREQビットを"1"にするのと同時に、ONESHOTビットに"1"を書いてください。ワンショット受信モードを解除するときは、RECREQビットに"0"を書いた後、RECREQビットが"0"になったのを確認してからONESHOTビットに"0"を書いてください。ワンショット送信モードに移行するときは、TRMREQビットを"1"にするのと同時に、ONESHOTビットに"1"を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後にONESHOTビットに"0"を書いてください。

注4. RECREQビットとTRMREQビットの両方を"1"にしないでください。

注5. RECREQビットを"0"にするときには、NEWDATA、MSGLOSTフラグとRECREQビットは同時に"0"にしてください。

MCTLjレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

FIFO メールボックスモードでは、MCTL24 ~ MCTL31 レジスタは使用しないでください。

SENTDATA フラグ (送信完了フラグ)

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると“1”になります。

SENTDATA フラグは、プログラムで“0”を書くと“0”になります。

SENTDATA フラグを“0”にする場合は、TRMREQ ビットを“0”にしてから SENTDATA フラグを“0”にしてください。SENTDATA フラグと TRMREQ ビットは同時に“0”になりません。メールボックスから新しいメッセージを転送するには、SENTDATA フラグを“0”にしてください。

NEWDATA フラグ (受信完了フラグ)

NEWDATA フラグは、メールボックスに新しいメッセージを格納中または格納が完了したときに“1”になります。“1”になるタイミングは、INVALIDDATA ビットと同時です。NEWDATA フラグは、プログラムで“0”を書くと“0”になります。関連する INVALIDDATA ビットが“1”の間は、NEWDATA フラグはプログラムで“0”を書いても“0”にできません。

TRMACTIVE ビット (送信中ステータスビット)

TRMACTIVE ビットは、CAN モジュールから対応するメールボックスのメッセージ送信を開始すると“1”になります。TRMACTIVE ビットは、CAN モジュールが CAN バスアービトレーションに負けるか、CAN バスエラーが起こるか、あるいはデータ送信が完了すると“0”になります。

INVALIDDATA ビット (受信ステータスビット)

INVALIDDATA ビットは、メッセージの受信完了後、受信したメッセージをメールボックスに更新中に“1”になります。INVALIDDATA ビットは、メッセージの格納完了時点で“0”になります。INVALIDDATA ビットが“1”の間にメールボックスを読んだ場合、データは不定値になります。

TRMABT フラグ (送信アボート完了フラグ)

TRMABT フラグは、次の場合、“1” (送信アボート完了) になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーション負けまたは CAN バスエラーを検出した場合
- ワンショット送信モード (RECREQ ビットが“0”、TRMREQ ビットが“1”、ONESHOT ビットが“1”) で、CAN モジュールが CAN バスアービトレーション負けまたは CAN バスエラーを検出した場合

TRMABT フラグは、データ送信が完了しても“1”にはなりません。データ送信が完了した場合は SENTDATA フラグが“1”になります。TRMABT フラグは、“0”を書くと“0”になります。

MSGLOST フラグ (メッセージロストフラグ)

MSGLOST フラグは、NEWDATA フラグが“1”の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり、破棄されたりした場合、“1”になります。EOF の 6 番目のビットの終わりで“1”になります。MSGLOST フラグは、プログラムで“0”を書くと“0”になります。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 番目のビットに続く周辺モジュールクロック (PCLK) の 5 サイクルの間は、MSGLOST フラグはプログラムで“0”を書いても“0”にできません。

ONESHOT ビット (ワンショット許可ビット)

ONESHOT ビットは受信モードと送信モードの2つの使い方があります。

- ワンショット受信モード

受信モード (RECREQ ビットが“1”、TRMREQ ビットが“0”) のとき ONESHOT ビットを“1”にすると、メールボックスはメッセージを1回のみ受信します (メッセージを1回受信完了した後は受信メールボックスとして動作しません)。NEWDATA フラグおよび INVALIDDATA ビットの動作は、通常の実受信モードと同じです。このモードでは、MSGLOST フラグは“1”にはなりません。ONESHOT ビットを“0”にする場合、RECREQ ビットへ“0”を書いた後、RECREQ ビットが“0”になることを確認してから行ってください。

- ワンショット送信モード

送信モード (RECREQ ビットが“0”、TRMREQ ビットが“1”) のとき ONESHOT ビットを“1”にすると、CAN モジュールはメッセージを1回のみ送信しようとし (CAN バスエラーまたは CAN バスアービトレーション負けの場合でも、メッセージの再送信を行いません)。送信が完了した場合、SENTDATA フラグが“1”になります。CAN バスエラーまたは CAN バスアービトレーション負けによって送信が完了しない場合は、TRMABT フラグが“1”になります。ONESHOT ビットを“0”にする場合は、SENTDATA フラグが“1”または TRMABT フラグが“1”になった後に行ってください。

RECREQ ビット (受信メールボックス設定ビット)

RECREQ ビットは表 25.11 に示す受信モードを選択します。

RECREQ ビットを“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

RECREQ ビットを“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、RECREQ ビットはプログラムで“0”を書いても“0”になりません。

- ハードウェアプロテクトの開始

アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)

- ハードウェアプロテクトの解除

— メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の7番目のビットの終わりまで)

— その他のメールボックスは、アクセプタンスフィルタ処理後

— 受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQ ビットを“1”にする場合は、TRMREQ ビットを“1”にしないでください。メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA フラグと TRMABT フラグを“0”にしてください。

TRMREQ ビット (送信メールボックス設定ビット)

TRMREQ ビットは表 25.11 に示す送信モードを選択します。

TRMREQ ビットを“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

TRMREQ ビットを“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQ ビットを“1”から“0”に変更すると、送信アボート要求が完了したかしていないかを確認するために、最大1フレームの遅延で、TRMABT フラグまたは SENTDATA フラグが“1”になります。TRMREQ ビットを“1”にする場合は、RECREQ ビットを“1”にしないでください。メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、そして NEWDATA フラグと MSGLOST フラグを“0”にしてください。

25.2.9 受信 FIFO 制御レジスタ (RFCR)

アドレス 0009 0848h

	b7	b6	b5	b4	b3	b2	b1	b0
	RFES	RFWS	RFFS	RFML	RFUST[2:0]			RFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可ビット	0: 受信 FIFO 禁止 1: 受信 FIFO 許可	R/W
b3-b1	RFUST[2:0]	受信 FIFO 未読メッセージ数ステータスビット	b3 b1 0 0 0: 未読メッセージなし 0 0 1: 未読メッセージ1件あり 0 1 0: 未読メッセージ2件あり 0 1 1: 未読メッセージ3件あり 1 0 0: 未読メッセージ4件あり 1 0 1: 予約 1 1 0: 予約 1 1 1: 予約	R
b4	RFMLF	受信 FIFO メッセージロストフラグ	0: 受信 FIFO メッセージロスト未発生 1: 受信 FIFO メッセージロスト発生	R/W
b5	RFFST	受信 FIFO フルステータスビット	0: 受信 FIFO はフルではない 1: 受信 FIFO はフル (未読メッセージ4件)	R
b6	RFWST	受信 FIFO バッファワーニングステータスフラグ	0: 受信 FIFO はバッファワーニングではない 1: 受信 FIFO はバッファワーニング (未読メッセージ3件)	R
b7	RFEST	受信 FIFO 空ステータスフラグ	0: 受信 FIFO に未読メッセージあり 1: 受信 FIFO に未読メッセージなし	R

RFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

RFE ビット (受信 FIFO 許可ビット)

RFE ビットを“1”にすると、受信 FIFO が受信許可になります。

RFE ビットを“0”にすると、受信 FIFO は受信禁止になり、空状態 (RFEST ビットが“1”) になります。RFMLF ビットと同時に RFE ビットに“0”を書いてください。

通常メールボックスモード (CTRL レジスタの MBM ビットが“0”) では RFE ビットを“1”にしないでください。以下の期間はハードウェアプロテクトがかかり、RFE ビットはプログラムで“0”を書いても“0”にできません。

- ハードウェアプロテクトの開始
 - アクセプタンスフィルタ処理の開始 (CRC フィールドの始まり)
- ハードウェアプロテクトの解除
 - メッセージの受信に受信 FIFO が指定された場合は、受信メッセージが受信 FIFO に格納された後、または CAN バスエラーが発生した後 (すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の 7 番目のビットの終わりまで)
 - 受信 FIFO が指定されない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] ビット (受信 FIFO 未読メッセージ数ステータスビット)

RFUST[2:0] ビットは、受信 FIFO 内の未読メッセージの数を示します。

RFE ビットを“0”にすると、RFUST[2:0] ビットの値は“000b”になります。

RFMLF フラグ (受信 FIFO メッセージロストフラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF ビットは“1” (受信 FIFO メッセージロスト発生) になります。“1”になるタイミングは、EOF の 6 番目のビットの終わりです。

RFMLF ビットはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアのプロテクトにより EOF の 6 番目のビットに続く周辺モジュールクロック (PCLK) の 5 サイクルの間は、RFMLF ビットは“0” (受信 FIFO メッセージロスト未発生) になりません。

RFFST ビット (受信 FIFO フルステータスビット)

受信 FIFO 内の未読メッセージが 4 件になると、RFFST ビットは“1” (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージが 4 件未満になると、RFFST ビットは“0” (受信 FIFO はフルではない) になります。RFE ビットを“0”にすると、RFFST ビットは“0”になります。

RFWST フラグ (受信 FIFO バッファワーニングステータスフラグ)

受信 FIFO 内の未読メッセージが 3 件になると、RFWST ビットは“1” (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージの数が 3 未満または 4 件になると、RFWST ビットは“0” (受信 FIFO はバッファワーニングではない) になります。RFE ビットを“0”にすると、RFWST ビットは“0”になります。

RFEST フラグ (受信 FIFO 空ステータスフラグ)

受信 FIFO 内の未読メッセージがなくなると、RFEST ビットは“1” (受信 FIFO に未読メッセージなし) になります。RFE ビットを“0”にすると、RFEST ビットは“1”になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、RFEST ビットは“0” (受信 FIFO に未読メッセージあり) になります。

図 25.2 に受信 FIFO メールボックスの動作を示します。

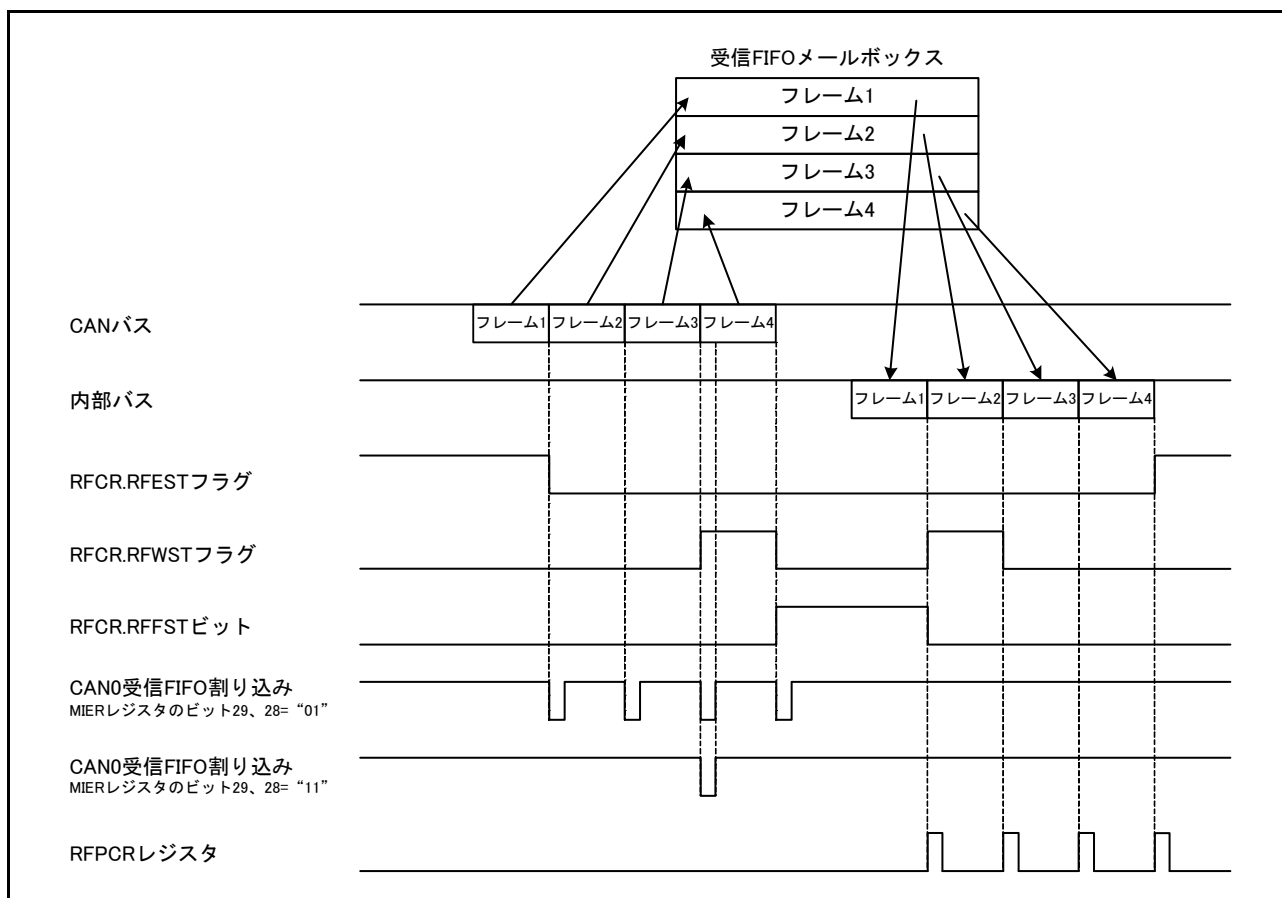


図 25.2 受信 FIFO メールボックスの動作 (MIER レジスタのビット 29、28 が “01” または “11”)

25.2.10 受信 FIFO ポインタ制御レジスタ (RFPCR)

アドレス 0009 0849h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—

リセット後の値 x x x x x x x x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	RFPCRレジスタに“FFh”を書き込むと、受信FIFOのCPU側ポインタが移動	W

受信 FIFO が空状態でないとき、受信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、RFPCR レジスタにプログラムで“FFh”を書いてください。

RFPCR.RFE ビットが“0”（受信 FIFO 禁止）のときは、RFPCR レジスタに書かないでください。受信オーバーライトモードで RFPCR.RFFST ビットが“1”（受信 FIFO はフル）のときに新しいメッセージが受信されると、CAN 側ポインタと CPU 側ポインタの両方が移動します。この状態で、RFPCR.RFMLF フラグが“1”のとき、プログラムで RFPCR レジスタに書き込んでも CPU 側ポインタは移動しません。

25.2.11 送信 FIFO 制御レジスタ (TFCR)

アドレス 0009 084Ah

b7	b6	b5	b4	b3	b2	b1	b0
TFEST	TFFST	—	—	TFUST[2:0]		TFE	—

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信 FIFO 許可ビット	0: 送信 FIFO 禁止 1: 送信 FIFO 許可	R/W
b3-b1	TFUST[2:0]	送信 FIFO 未送信メッセージ数ステータスビット	b3 b1 0 0 0: 未送信メッセージなし 0 0 1: 未送信メッセージ1件 0 1 0: 未送信メッセージ2件 0 1 1: 未送信メッセージ3件 1 0 0: 未送信メッセージ4件 1 0 1: 予約 1 1 0: 予約 1 1 1: 予約	R
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	TFFST	送信 FIFO フルスステータスビット	0: 送信 FIFO はフルではない 1: 送信 FIFO はフル（未送信4件）	R
b7	TFEST	受信 FIFO 空ステータスビット	0: 送信 FIFO に未送信メッセージあり 1: 送信 FIFO に未送信メッセージなし	R

TFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

TFE ビット (送信 FIFO 許可ビット)

TFE ビットを“1”にすると、送信 FIFO が送信許可になります。

TFE ビットを“0”にすると、送信 FIFO は空状態 (TFEST ビットが“1”) になり、次のように送信 FIFO からの未送信メッセージが失われます。

- 送信 FIFO からの次の送信予定がなく、また送信中でもないとき、直ちに空状態になります。
- 送信 FIFO からの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、アービトラージ負け、または CAN Halt モードへの移行に続いて空状態になります。

TFE ビットを再度“1”にする前に、TFEST ビットが“1”になっているか確認してください。TFE ビットを“1”にした後、送信データを MB24 レジスタに書いてください。

通常メールアドレスモード (CTRL.MBM ビットが“0”) では、TFE ビットを“1”にしないでください。

TFUST[2:0] ビット (送信 FIFO 未送信メッセージ数ステータスビット)

TFUST[2:0] ビットは、送信 FIFO 内の未送信メッセージの数を表示します。

送信 FIFO の送信アボートが完了すると、TFUST[2:0] ビットの値は“000b”になります。

TFFST ビット (送信 FIFO フルステータスビット)

送信 FIFO 内の未送信メッセージの数が 4 件になると、TFFST ビットは“1” (送信 FIFO はフル) になります。送信 FIFO 内の未送信メッセージの数が 4 未満になると、TFFST ビットは“0” (送信 FIFO はフルではない) になります。送信 FIFO の送信アボートが完了すると、TFFST ビットは“0”になります。

TFEST ビット (受信 FIFO 空ステータスビット)

送信 FIFO 内の未送信メッセージがなくなると、TFEST ビットは“1” (送信 FIFO にメッセージなし) になります。送信 FIFO の送信アボートが完了すると、TFEST ビットは“1”になります。送信 FIFO 内の未送信メッセージの数が 1 件以上になると、TFEST ビットは“0” (送信 FIFO にメッセージあり) になります。

図 25.3 に送信 FIFO メールボックスの動作を示します。

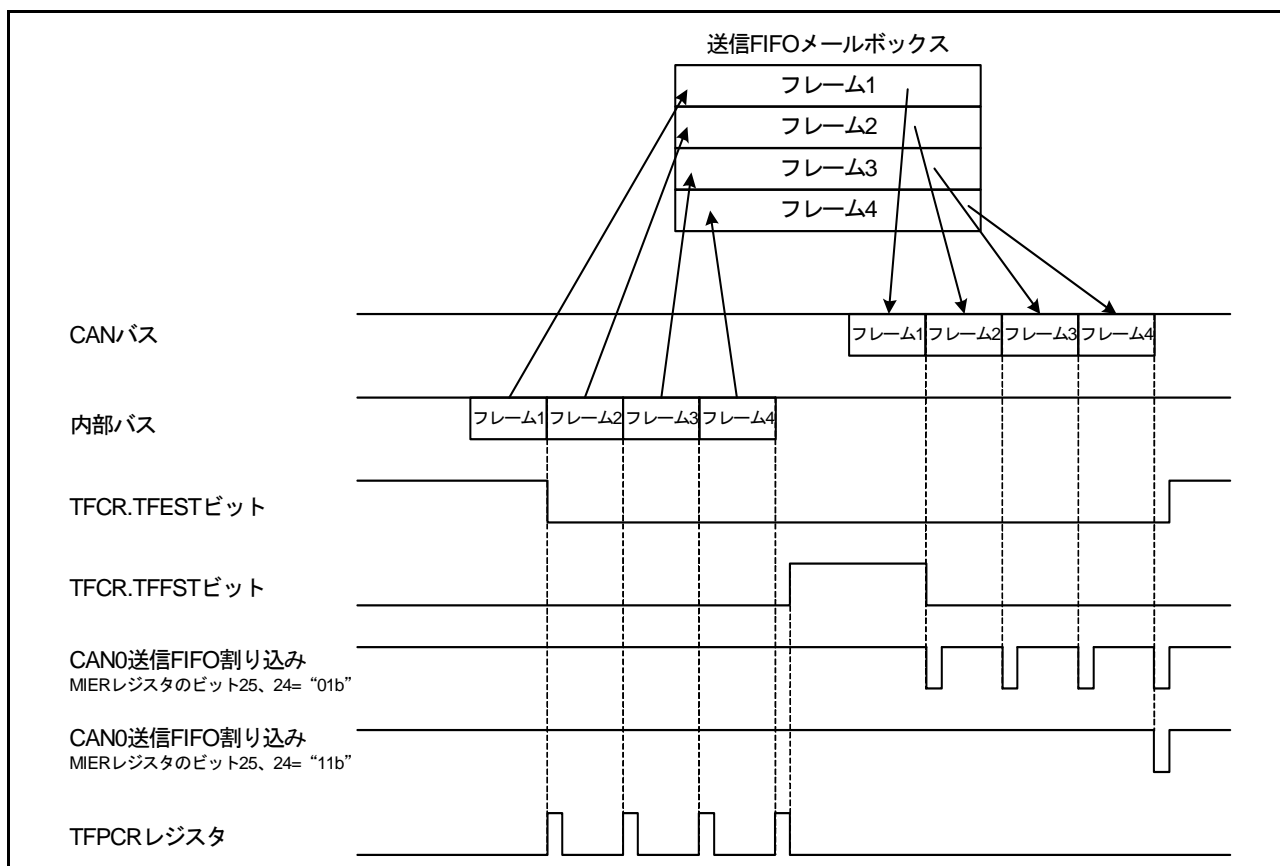
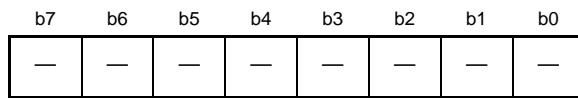


図 25.3 送信 FIFO メールボックスの動作 (MIER レジスタのビット 25、24 が “01b” または “11b”)

25.2.12 送信 FIFO ポインタ制御レジスタ (TFPCR)

アドレス 0009 084Bh



リセット後の値 x x x x x x x x

x: 不定

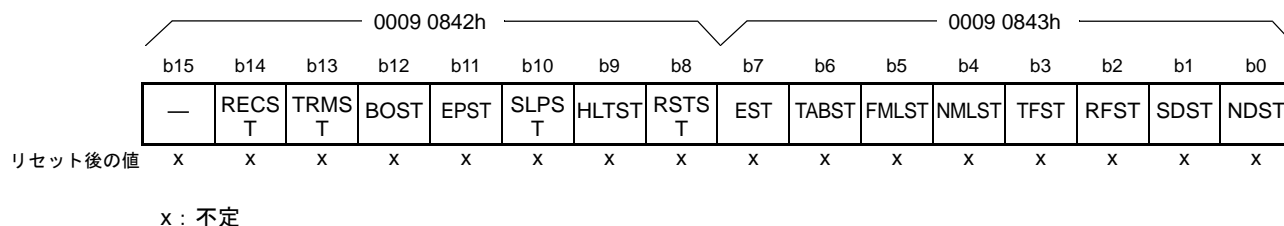
ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	TFPCR レジスタに“FFh”を書き込むと、CPU側の送信FIFOポインタが移動	W

送信 FIFO がフルでないとき、送信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、TFPCR レジスタにプログラムで“FFh”を書いてください。

TFPCR.TFE ビットが“0”（送信 FIFO 禁止）のときは、TFPCR レジスタに書かないでください。

25.2.13 ステータスレジスタ (STR)

アドレス 0009 0842h



ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0: NEWDATAフラグが“1”のメールボックスなし 1: NEWDATAフラグが“1”のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0: SENTDATAフラグが“1”のメールボックスなし 1: SENTDATAフラグが“1”のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0: 受信FIFOにメッセージなし (空) 1: 受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0: 送信FIFOはフル 1: 送信FIFOはフルではない	R
b4	NMLST	通常メッセージロストステータスフラグ	0: MSGLOSTフラグが“1”のメールボックスなし 1: MSGLOSTフラグが“1”のメールボックスあり	R
b5	FMLST	FIFOメッセージロストステータスフラグ	0: RFMLFビットが“0” 1: RFMLFビットが“1”	R
b6	TABST	送信アボートステータスフラグ	0: TRMABTビットが“1”のメールボックスなし 1: TRMABTビットが“1”のメールボックスあり	R
b7	EST	エラーステータスフラグ	0: エラーなし 1: エラー発生	R
b8	RSTST	CANリセットステータスフラグ	0: CANリセットモードではない 1: CANリセットモード	R
b9	HLTST	CAN Haltステータスフラグ	0: CAN Haltモードではない 1: CAN Haltモード	R
b10	SLPST	CANスリープステータスフラグ	0: CANスリープモードではない 1: CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0: エラーパッシブ状態ではない 1: エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0: バスオフ状態ではない 1: バスオフ状態	R
b13	TRMST	送信ステータスフラグ (transmitter)	0: バスアイドルまたは受信 1: 送信中またはバスオフ状態	R
b14	RECST	受信ステータスフラグ (receiver)	0: バスアイドルまたは送信 1: 受信	R
b15	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R

NDST フラグ (NEWDATA ステータスフラグ)

MCTLj.NEWDATA フラグ (j=0 ~ 31) が1つでも“1”になると、MIERレジスタの値とは無関係にNDSTフラグは“1”になります。MCTLj.NEWDATAフラグがすべて“0”になると、NDSTフラグは“0”になります。

SDST フラグ (SENTDATA ステータスフラグ)

MCTLj.SENTDATA フラグ (j=0 ~ 31) が1つでも“1”になると、MIER レジスタの値とは無関係に SDST フラグは“1”になります。MCTLj.SENTDATA フラグがすべて“0”になると、SDST フラグは“0”になります。

RFST フラグ (受信 FIFO ステータスフラグ)

RFST フラグは、受信 FIFO が空状態以外になると“1”になります。受信 FIFO が空状態か通常メールボックスモードになると“0”になります。

TFST フラグ (送信 FIFO ステータスビット)

TFST フラグは、送信 FIFO がフル以外になると“1”になります。送信 FIFO がフルか通常メールボックスモードになると“0”になります。

NMLST フラグ (通常メッセージロストステータスフラグ)

MCTLj.MSGLOST フラグ (j=0 ~ 31) が1つでも“1”になると、MIER レジスタの値とは無関係に NMLST フラグは“1”になります。MCTLj.MSGLOST フラグがすべて“0”になると、NMLST フラグは“0”になります。

FMLST フラグ (FIFO メッセージロストステータスフラグ)

RFCCR.RFMLF フラグが“1”になると、MIER レジスタの値とは無関係に FMLST フラグは“1”になります。RFCCR.RFMLF フラグが“0”のとき、FMLST フラグは“0”になります。

TABST フラグ (送信アポートステータスフラグ)

MCTLj.TRMABT フラグ (j=0 ~ 31) が1つでも“1”になると、MIER レジスタの値とは無関係に TABST ビットは“1”になります。MCTLj.TRMABT フラグがすべて“1”でないとき、TABST フラグは“0”になります。

EST フラグ (エラーステータスフラグ)

EIFR レジスタで一つでもエラーが検出されると、EIER レジスタの値とは無関係に EST フラグは“1”になります。EIFR レジスタで1つエラーが検出されない場合は、EST フラグは“0”になります。

RSTST フラグ (CAN リセットステータスフラグ)

RSTST フラグは、CAN リセットモードになると“1”になります。CAN リセットモードまたは CAN リセットモードから移行した CAN スリープモード以外になると“0”になります。CAN リセットモードから CAN スリープモードに移行しても、RSTST フラグは“1”のままです。

HLTST フラグ (CAN Halt ステータスフラグ)

HLTST フラグは、CAN Halt モードになると“1”になります。CAN Halt モードまたは CAN Halt モードから移行した CAN スリープモード以外になると“0”になります。CAN Halt モードから CAN スリープモードに移行しても、HLTST フラグは“1”のままです。

SLPST フラグ (CAN スリープステータスフラグ)

SLPST フラグは、CAN スリープモードになると“1”になります。CAN スリープモード以外になると“0”になります。

EPST フラグ (エラーパッシブステータスフラグ)

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ($128 \leq \text{TEC} < 256$ または $128 \leq \text{REC} < 256$) になると、EPST フラグは“1”になります。エラーパッシブ状態以外になると、EPST フラグは“0”になります。

BOST フラグ (バスオフステータスフラグ)

TECR レジスタの値が 255 を超えて CAN モジュールがバスオフ状態 ($\text{TEC} \geq 256$) になると、BOST フラグは“1”になります。バスオフ状態以外になると、BOST フラグは“0”になります。

TRMST フラグ (送信ステータスフラグ) (transmitter)

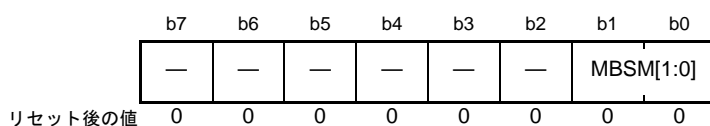
CAN モジュールが送信ノードかバスオフ状態になると TRMST フラグは“1”になります。受信ノードかバスアイドル状態になると TRMST フラグは“0”になります。

RECST フラグ (受信ステータスフラグ) (receiver)

CAN モジュールが受信ノードになると RECST フラグは“1”になります。送信ノードかバスアイドル状態になると RECST フラグは“0”になります。

25.2.14 メールボックスサーチモードレジスタ (MSMR)

アドレス 0009 0853h



ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択ビット	b1 b0 0 0: 受信メールボックス検索モード 0 1: 送信メールボックス検索モード 1 0: メッセージロスト検索モード 1 1: チャンネル検索モード	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

MSMR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

MBSM[1:0] ビット (メールボックス検索モード選択ビット)

MBSM[1:0] ビットはメールボックス検索機能のための検索モードを選択します。

MBSM[1:0] ビットが“00b”の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタ (j=0 ~ 31) の通常メールボックスでの MCTLj.NEWDATA フラグと RFCR.RFEST フラグです。

MBSM[1:0] ビットが“01b”の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、MCTLj.SENTDATA フラグです。

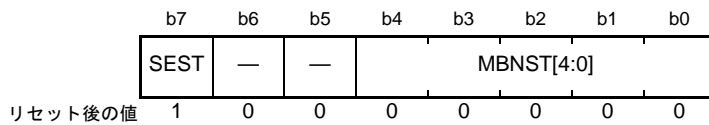
MBSM[1:0] ビットが“10”の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、MCTLj レジスタの通常メールボックスでの MCTLj.MSGLOST フラグと RFCR.RFMLF フラグです。

MBSM[1:0] ビットが“11b”の場合、チャンネル検索モードになります。

このモードで検索対象となるレジスタは CSSR レジスタです。「25.2.16 チャンネルサーチサポートレジスタ (CSSR)」を参照してください。

25.2.15 メールボックスサーチステータスレジスタ (MSSR)

アドレス 0009 0852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータスビット	MSMRレジスタの各モードで検索された、最小のメールボックス番号を表示	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	SEST	検索結果空ステータスビット	0：検索結果あり 1：検索結果なし	R

MBNST[4:0] ビット (検索結果メールボックス番号ステータスビット)

MBNST[4:0] ビットは、MSMR レジスタの各モードで検索された、最小のメールボックス番号が表示されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- 出力されたメールボックスの MCTj.NEWDATA、MCTj.SENTDATA、または MCTj.MSGLOST フラグ (j=0 ~ 31) が“0”になる
- より優先順位の高いメールボックスの MCTj.NEWDATA、MCTj.SENTDATA、または MCTj.MSGLOST フラグが“1”になる

MSMR.MBSM[1:0] ビットが“00b” (受信メールボックス検索モード) および“10b” (メッセージロスト検索モード) のとき、受信 FIFO が空状態でなく、すべての通常メールボックス (メールボックス [0] ~ [23]) に未読の受信メッセージもロストメッセージもない場合、受信 FIFO (メールボックス [28]) が出力されます。MSMR.MBSM[1:0] ビットが“01b” (送信メールボックス検索モード) のとき、送信 FIFO (メールボックス [24]) は出力されません。表 25.7 に FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャンネル検索モードでは、MBNST[4:0] ビットはメールボックス番号が出力されます。MBNST[4:0] ビットは MSSR レジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

SEST ビット (検索結果空ステータスビット)

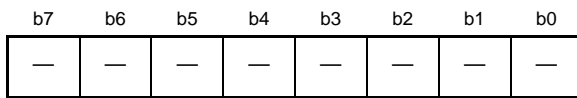
すべてのメールボックスの検索で該当するメールボックスがない場合、SEST ビットは“1” (検索結果なし) になります。たとえば、送信メールボックス検索モードで、MCTj.SENTDATA フラグが“1”のメールボックスがひとつもない場合、SEST ビットは“1”になり、1つでもある場合、“0”になります。SEST ビットが“1”の場合、MBNST[4:0] ビットの値は不定です。

表 25.7 FIFOメールボックスモードでのMBNST[4:0]ビットの動作

MSMR. MBSM[1:0]ビット	メールボックス[24] (送信FIFO)	メールボックス[28] (受信FIFO)
00b	メールボックス[24]は 表示されない	通常メールボックスのどのMCTLj.NEWDATAフラグも“1”（新しいメッセージがメールボックスに格納中または格納された）にならず、また受信FIFOが空でない場合はメールボックス[28]が表示される（j = 0～23）
01b		メールボックス[28]は表示されない
10b		通常メールボックスのどのMCTLj.MSGLOSTフラグも“1”（メッセージはオーバライトまたはオーバーランされた）にならず、受信FIFO内のRFCR.RFMLFフラグが“1”（受信FIFOメッセージロスト発生）になるとメールボックス[28]が表示される。（j = 0～23）
11b		メールボックス[28]は表示されない

25.2.16 チャンネルサーチサポートレジスタ (CSSR)

アドレス 0009 0851h



リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	—	チャンネル検索の値が入力された場合、チャンネル番号をMSSRレジスタに出力	R/W

“1”になった CSSR レジスタのビットは、8/3 エンコーダ (最小ビット位置がより高い優先順位) によってエンコードされ、MSSR.MBNST[4:0] ビットに出力されます。

MSSR レジスタは、MSSR レジスタをプログラムで読み出すたびに更新された値が表示されます。

なお、CSSR レジスタは、MSMR.MBSM[1:0] ビットが“11b” (チャンネル検索モード) のときのみ変更してください。CSSR レジスタは、CAN リセットモードでは設定できません。

図 25.4 に CSSR、MSSR レジスタの書き込みと読み出しを示します。

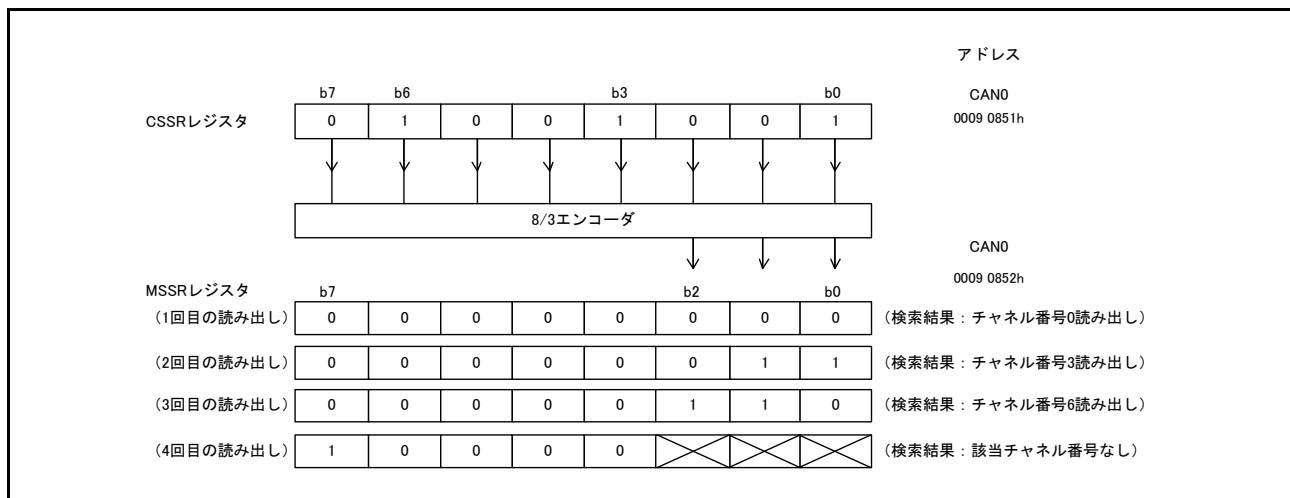
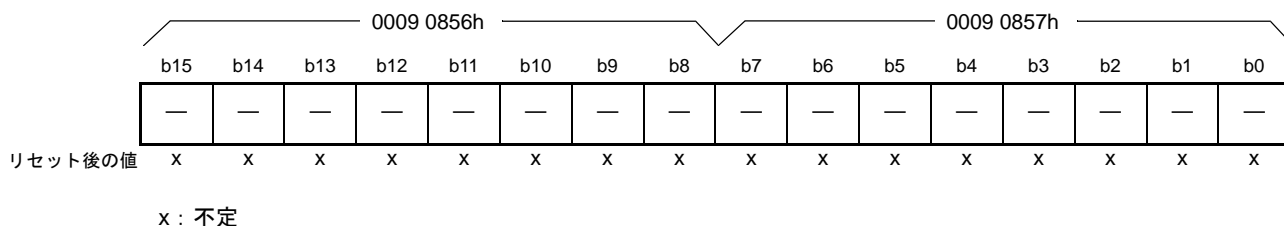


図 25.4 CSSR、MSSR レジスタの書き込みと読み出し

CSSR レジスタの値も MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

25.2.17 アクセプタンスフィルタサポートレジスタ (AFSR)

アドレス 0009 0856h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値を読めます	R/W

アクセプタンスフィルタサポートユニット (ASU) は、あらかじめユーザにより作成された全標準IDが有効か無効かを1ビット単位で設定したデータテーブル (8ビット×256) の検索に使用できます。受信した標準IDが格納されたMBj.SIDビット (j=0~31) を含む16ビット単位のデータをAFSRレジスタへ書くと、デコードされたデータテーブル検索用の行 (バイトオフセット) 位置と列 (ビット) 位置が読み出せます。ASUは、標準 (11ビット) IDのみに使用できます。

ASUは、次の場合に有効です。

- 受信するIDがアクセプタンスフィルタでマスクできない場合
(例) 受信するID: 078h、087h、111h
- 受信するIDが多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合
なお、AFSRレジスタは、CANリセットモードでは設定できません。

図25.5にAFSRレジスタの書き込み、読み出しを示します。

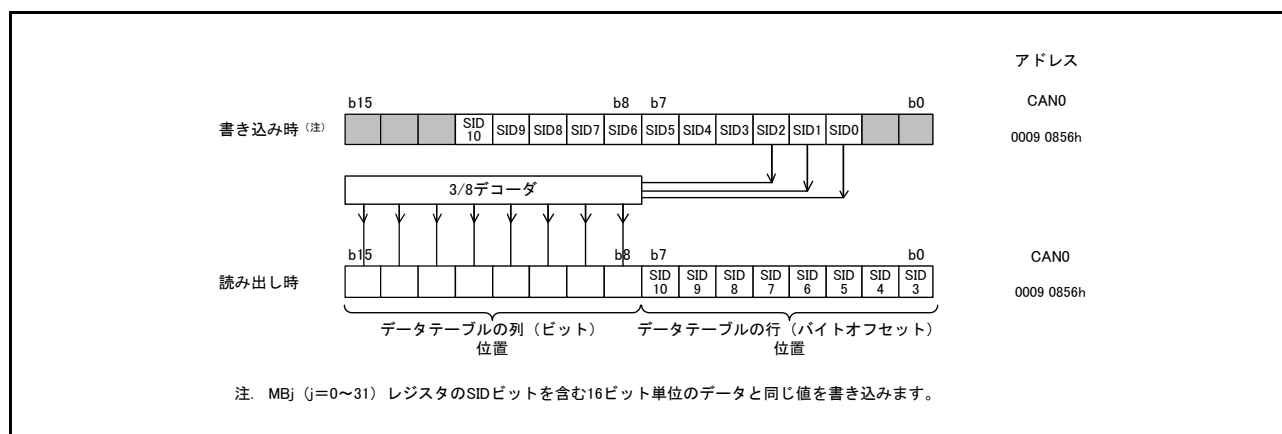


図 25.5 AFSR レジスタの書き込み、読み出し

25.2.18 エラー割り込み許可レジスタ (EIER)

アドレス 0009 084Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可ビット	0 : バスエラー割り込み禁止 1 : バスエラー割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可ビット	0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可	R/W
b2	EPIE	エラーパッシブエントリ割り込み許可ビット	0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可ビット	0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可ビット	0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可	R/W
b5	ORIE	オーバラン割り込み許可ビット	0 : 受信オーバラン割り込み禁止 1 : 受信オーバラン割り込み許可	R/W
b6	OLIE	オーバロードフレーム送信割り込み許可ビット	0 : オーバロードフレーム送信割り込み禁止 1 : オーバロードフレーム送信割り込み許可	R/W
b7	BLIE	バスロック割り込み許可ビット	0 : バスロック割り込み禁止 1 : バスロック割り込み許可	R/W

EIER レジスタは、EIFR レジスタの個々のエラー割り込み要因に対して個別にエラー割り込みを許可/禁止するレジスタです。

EIER レジスタは、CAN リセットモード時のみ変更してください。

BEIE ビット (バスエラー割り込み許可ビット)

BEIE ビットを“0”にすると、EIFR.BEIF フラグが“1”になっても、エラー割り込み要求は発生しません。BEIE ビットを“1”にすると、EIFR.BEIF フラグが“1”になった場合、エラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み許可ビット)

EWIE ビットを“0”にすると、EIFR.EWIF フラグが“1”になっても、エラー割り込み要求は発生しません。EWIE ビットを“1”にすると、EIFR.EWIF フラグが“1”になった場合、エラー割り込み要求が発生します。

EPIE ビット (エラーパッシブエントリ割り込み許可ビット)

EPIE ビットを“0”にすると、EIFR.EPIF フラグが“1”になっても、エラー割り込み要求は発生しません。EPIE ビットを“1”にすると、EIFR.EPIF フラグが“1”になった場合、エラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可ビット)

BOEIE ビットを“0”にすると、EIFR.BOEIF フラグが“1”になっても、エラー割り込み要求は発生しません。BOEIE ビットを“1”にすると、EIFR.BOEIF フラグが“1”になった場合、エラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可ビット)

BORIE ビットを“0”にすると、EIFR.BORIF フラグが“1”になっても、エラー割り込み要求は発生しません。BORIE ビットを“1”にすると、EIFR.BORIF フラグが“1”になった場合、エラー割り込み要求が発生します。

ORIE ビット (オーバラン割り込み許可ビット)

ORIE ビットを“0”にすると、EIFR.ORIF フラグが“1”になっても、エラー割り込み要求は発生しません。ORIE ビットを“1”にすると、EIFR.ORIF フラグが“1”になった場合、エラー割り込み要求が発生します。

OLIE ビット (オーバロードフレーム送信割り込み許可ビット)

OLIE ビットを“0”にすると、EIFR.OLIF フラグが“1”になっても、エラー割り込み要求は発生しません。OLIE ビットを“1”にすると、EIFR.OLIF フラグの設定条件が“1”になった場合、エラー割り込み要求が発生します。

BLIE ビット (バスロック割り込み許可ビット)

BLIE ビットを“0”にすると、EIFR.BLIF フラグが“1”になっても、エラー割り込み要求は発生しません。BLIE ビットを“1”にすると、EIFR.BLIF フラグが“1”になった場合、エラー割り込み要求が発生します。

25.2.19 エラー割り込み要因判定レジスタ (EIFR)

アドレス 0009 084Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバラン検出フラグ	0: 受信オーバラン未検出 1: 受信オーバラン検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0: オーバーロードフレーム送信未検出 1: オーバーロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

EIFR レジスタは、各フラグに対応する現象が発生すると、EIER レジスタの設定にかかわらず対応するフラグが“1”になります。

各フラグを“0”にする場合は、プログラムで“0”を書いてください。“1”になるタイミングとプログラムで“0”にするタイミングが同時の場合、そのフラグは“1”になります。

また、各フラグを“0”にする場合、論理演算 (AND.B) 命令は使用しないでください。フラグを“0”にする場合は転送 (MOV) 命令を使用し、該当するフラグに“0”、その他のフラグに“1”を書いてください。“1”を書いてもこれらのビットの値は変化しません。

BEIF フラグ (バスエラー検出フラグ)

バスエラーが検出されると、BEIF フラグは“1”になります。

EWIF フラグ (エラーワーニング検出フラグ)

REC または TEC の値が 95 を超えると、EWIF フラグは“1”になります。

EWIF フラグは、REC または TEC が最初に 95 を超えたときのみ“1”になります。したがって、REC または TEC が 95 を超えたままで、EWIF フラグにプログラムで“0”を書いた場合、一度 REC または TEC が 95 以下になり、95 を超えるまでは“1”にはなりません。

EPIF フラグ (エラーパッシブ検出フラグ)

CAN エラーステートがエラーパッシブ状態 (REC (受信エラーカウンタ) または TEC の値が 127 を超える) になると、EPIF フラグは“1”になります。

EPIF フラグは、REC または TEC が最初に 127 を超えたときのみ“1”になります。したがって、REC または TEC が 127 を超えたままで、EPIF フラグにプログラムで“0”を書いた場合、一度 REC または TEC が 127 以下になり、再び REC または TEC が 127 を超えるまでは“1”にはなりません。

BOEIF フラグ (バスオフ開始検出フラグ)

CAN エラーステートがバスオフ状態 (TEC (送信エラーカウンタ) の値が 255 を超える) になると、BOEIF フラグは“1”になります。CTRL.BOM[1:0] ビットが“01b” (バスオフ開始で自動的に CAN Halt モードへ移行) で、CAN モジュールがバスオフ状態になった場合も、BOEIF フラグは“1”になります。

BORIF フラグ (バスオフ復帰検出フラグ)

CAN モジュールが次の条件でバスオフ状態から通常復帰 (11 の連続するレセシブビットを 128 回検出した場合、BORIF フラグは“1”になります。

- CTRL.BOM[1:0] ビットが“00b”
- CTRL.BOM[1:0] ビットが“10b”
- CTRL.BOM[1:0] ビットが“11b”

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、BORIF フラグは“1”にはなりません。

- CTRL.CANM[1:0] ビットを“01b”または“11b” (CAN リセットモード) にしたとき
- CTRL.RBOC ビットを“1” (バスオフからの強制復帰) にしたとき
- CTRL.BOM[1:0] ビットが“01b”のとき
- CTRL.BOM[1:0] ビットが“11b”で、通常復帰が発生する前に、CTRL.CANM[1:0] ビットを“10b” (CAN Halt モード) にしたとき

ORIF フラグ (受信オーバラン検出フラグ)

受信オーバランが発生すると、ORIF フラグは“1”になります。ORIF フラグはオーバーライトモードでは“1”にはなりません。

オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、ORIF フラグは“1”にはなりません。

通常メールボックスモードの場合、オーバランモードで、メールボックス [0] ~ [31] のいずれかでオーバランが発生すると、ORIF フラグは“1”になります。FIFO メールボックスモードでは、オーバランモードで、メールボックス [0] ~ [23] のいずれかまたは受信 FIFO でオーバランが発生すると、ORIF フラグは“1”になります。

OLIF フラグ (オーバロードフレーム送信検出フラグ)

CAN モジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、OLIF フラグは“1”になります。

BLIF フラグ (バスロック検出フラグ)

CAN モジュールが CAN オペレーションモードの間、CAN バス上に 32 の連続するドミナントビットを検出すると、BLIF フラグは“1”になります。

“1”になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- このフラグを“1”から“0”にした後、レセシブビットを検出(バスロック解消)。
- このフラグを“1”から“0”にした後、CAN リセットモードに移行し、再度 CAN オペレーションモードに移行(内部リセット)。

表 25.8 に CTLR.BOM[1:0] ビットの設定による BOEIF フラグ、BORIF フラグの動作を示します。

表 25.8 CTLR.BOM[1:0] ビットの設定による BOEIF、BORIF フラグの動作

CTLR. BOM[1:0]ビット	BOEIFフラグ	BORIFフラグ
00b	バスオフ状態への遷移時“1”になる	バスオフ状態からの復帰時“1”になる
01b		“1”にはならない
10b		バスオフ状態からの復帰時“1”になる
11b		CTLR.CANM[1:0]ビットが“10b”(CAN Haltモード)になる前に、通常のバスオフ状態からの復帰が発生した場合“1”になる

25.2.20 受信エラーカウントレジスタ (RECR)

アドレス 0009 084Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	受信エラーカウント機能	受信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

RECR レジスタは、受信エラーカウンタの値を示すレジスタです。
 受信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。
 RECR レジスタは、バスオフ状態時の値は不定になります。

25.2.21 送信エラーカウントレジスタ (TECR)

アドレス 0009 084Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	送信エラーカウント機能	送信中のCANモジュールのエラー状態によってカウンタ値を増減させます	R

TECR レジスタは、送信エラーカウンタの値を示すレジスタです。
 送信エラーカウンタの増減条件については、CAN仕様 (ISO11898-1) を参照してください。
 TECR レジスタは、バスオフ状態時の値は不定になります。

25.2.22 エラーコード格納レジスタ (ECSR)

アドレス 0000 0850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ (注1、注2)	0 : スタッフエラー未検出 1 : スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ (注1、注2)	0 : フォームエラー未検出 1 : フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ (注1、注2)	0 : ACKエラー未検出 1 : ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ (注1、注2)	0 : CRCエラー未検出 1 : CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ (注1、注2)	0 : ビットエラー未検出 1 : ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ (注1、注2)	0 : ビットエラー未検出 1 : ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ (注1、注2)	0 : ACKデリミタエラー未検出 1 : ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択ビット (注3、注4)	0 : 最初に検出されたエラーコードを出力 1 : 蓄積したエラーコードを出力	R/W

注1. “1”を書いてもこれらのビットの値は変化しません。

注2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEFフラグに対して“0”を書く場合は、論理演算 (AND,B) 命令は使用しないでください。フラグを“0”にする場合は転送 (MOV) 命令を使用し、該当するフラグに“0”、その他のフラグに“1”を書いてください。

注3. EDPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。

注4. 同時に1つ以上のエラー条件が検出された場合は、関係するすべてのフラグが“1”になります。

ECSR レジスタは、CAN バス上のエラーの発生をモニタリングする場合に使用するレジスタです。

各エラーの発生条件を確認するには、CAN仕様 (ISO11898-1) を参照してください。

EDPM ビット以外の各フラグを“0”にする場合は、プログラムで“0”を書いてください。各フラグが“1”になるタイミングと“0”を書くタイミングが同じ場合、そのフラグは“1”になります。

SEF フラグ (スタッフエラーフラグ)

スタッフエラーを検出すると、SEF フラグは“1”になります。

FEF フラグ (フォームエラーフラグ)

フォームエラーを検出すると、FEF フラグは“1”になります。

AEF フラグ (ACK エラーフラグ)

ACK エラーを検出すると、AEF フラグは“1”になります。

CEF フラグ (CRC エラーフラグ)

CRC エラーを検出すると、CEF フラグは“1”になります。

BE1F フラグ (ビットエラー (レセシブ) フラグ)

レセシブビットエラーを検出すると、BE1F フラグは“1”になります。

BE0F フラグ (ビットエラー (ドミナント) フラグ)

ドミナントビットエラーを検出すると、BE0F フラグは“1”になります。

ADEF フラグ (ACK デリミタエラーフラグ)

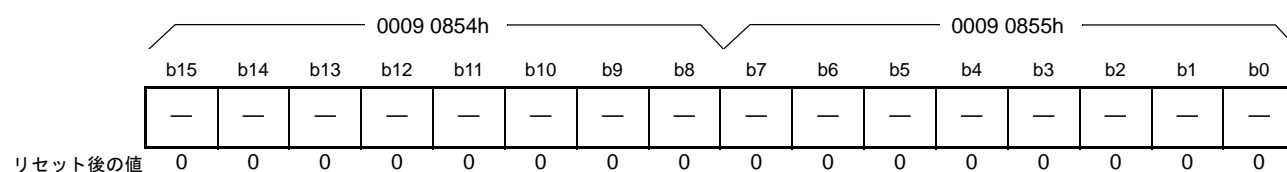
送信中の ACK デリミタでフォームエラーを検出すると、ADEF フラグは“1”になります。

EDPM ビット (エラー表示モード選択ビット)

EDPM ビットは、ECSR レジスタの出力モードを設定します。EDPM ビットを“0”にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを“1”にすると、ECSR レジスタは蓄積したエラーコードを出力します。

25.2.23 タイムスタンプレジスタ (TSR)

アドレス 0009 0854h



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	タイムスタンプレジスタ	タイムスタンプ機能のためのフリーランカウンタ値です	R

注. TSRレジスタの読み出しは16ビット単位で実行してください。

TSR レジスタを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読み出せます。

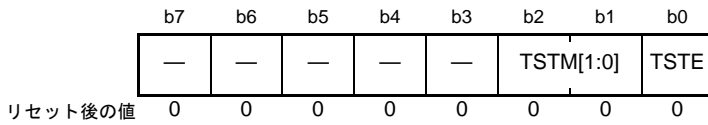
タイムスタンプカウンタの基準クロックの値は1ビットタイムを逡倍したもので、CTL.R.TSPS[1:0] ビットで設定します。

タイムスタンプカウンタは、CAN スリープモードおよび CAN Halt モードで停止し、CAN リセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときタイムスタンプカウンタの値が MBj.TSL[7:0], TSH[7:0] へ格納されます。

25.2.24 テスト制御レジスタ (TCR)

アドレス 0009 0858h



ビット	シンボル	ビット名	機能	R/W
b0	TSTE	テストモード許可ビット	0 : CANテストモード禁止 1 : CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択ビット	b2 b1 0 0 : CANテストモードではない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR レジスタは、CAN テストモードの制御を行うレジスタです。TCR レジスタは、CAN Halt モード時のみ変更してください。

(1) リッスンオンリモード

CAN 仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 25.6 にリッスンオンリモード選択時の接続を示します。

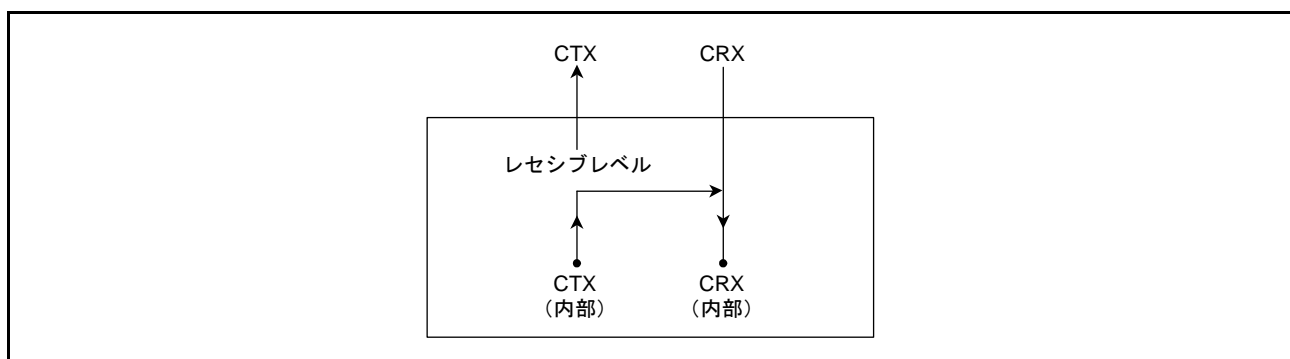


図 25.6 リッスンオンリモード選択時の接続

(2) セルフテストモード0 (外部ループバック)

セルフテストモード0はCANトランシーバテスト用 (自ノードの自己診断機能) です。CTX/CRX 端子はCANトランシーバに接続してください。

セルフテストモード0では、ネットワーク上の他のノードが繋がっていない場合にも自己診断テストができるように自ノードからACKビットを送信することでCANの正常通信を確認します。

図 25.7 にセルフテストモード0選択時の接続を示します。

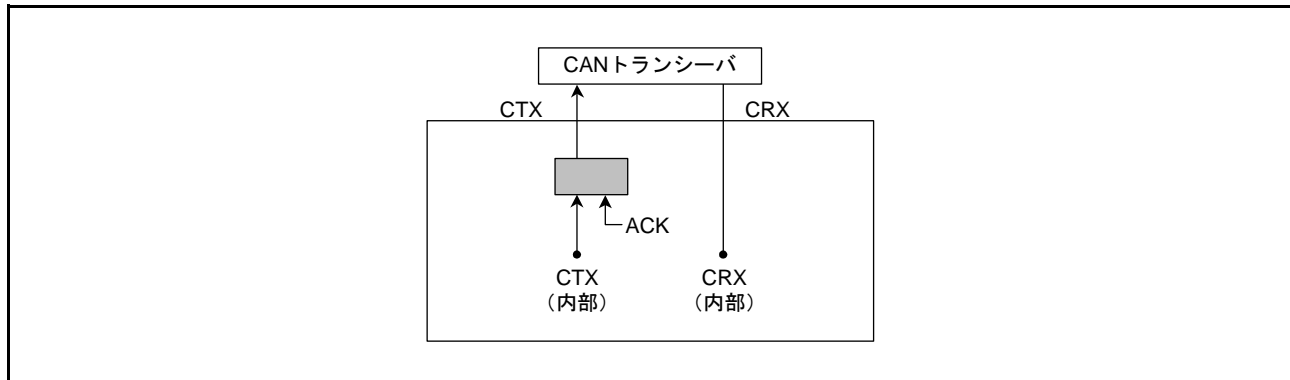


図 25.7 セルフテストモード0選択時の接続

(3) セルフテストモード1 (内部ループバック)

セルフテストモード1は、セルフテスト機能用です。

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信バッファに格納します。外部から独立して行う機能のため、ACKビットを生成します。

セルフテストモード1では内部CTX端子から内部CRX端子への内部フィードバックを行います。外部CRX端子の入力の値は無視されます。外部CTX端子はレセシブビットのみ出力します。CTX/CRX端子はCANバスや他のどの外部デバイスにも接続する必要がありません。

図 25.8 にセルフテストモード1選択時の接続を示します。

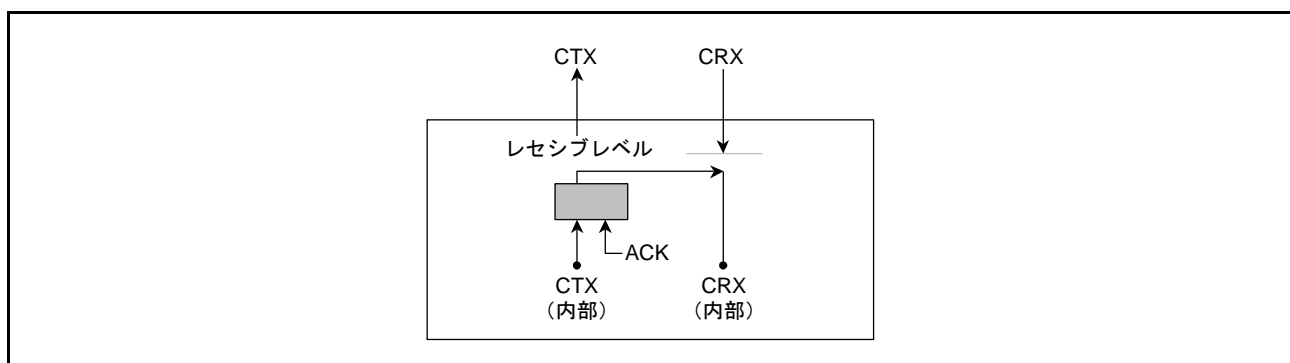


図 25.8 セルフテストモード1選択時の接続

25.3 動作モード

CAN モジュールには、以下 4 つの動作モードがあります。

- CAN リセットモード
- CAN Halt モード
- CAN オペレーションモード
- CAN スリープモード

図 25.9 に CAN 動作モード間の移行を示します。

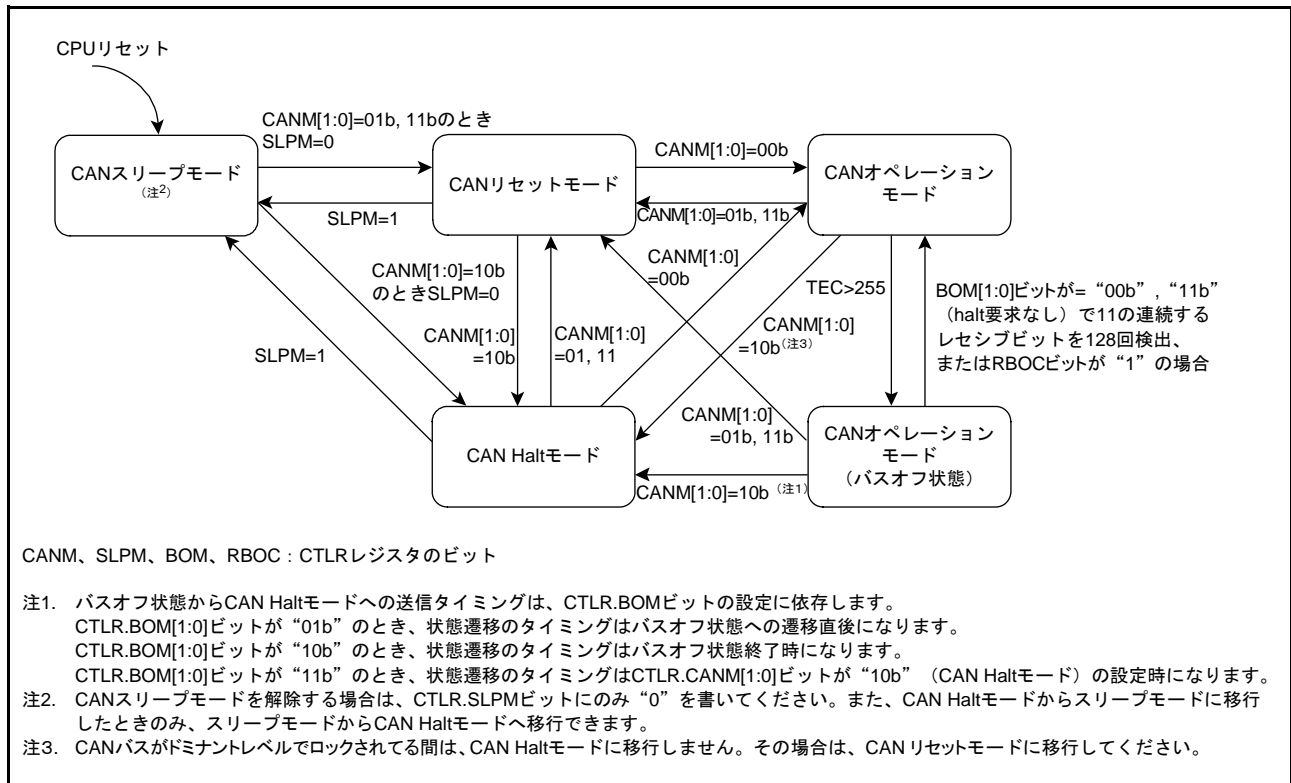


図 25.9 CAN 動作モード間の移行

25.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するモードです。

CTLR.CANM[1:0] ビットを“01b”または“11b”にすると、CAN モジュールはCAN リセットモードになります。そのとき、STR.RSTST ビットが“1”になります。RSTST ビットが“1”になるまで、CTLR.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ移行する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードに移行した後、それぞれのリセット後の値に初期化され、CAN リセットモード中は初期値を維持します。

- MCTLj レジスタ (j = 0 ~ 31)
- STR レジスタ (SLPST ビットと TFST ビットを除く)
- EIFR レジスタ
- RECR レジスタ
- TECR レジスタ
- TSR レジスタ
- MSSR レジスタ
- MSMR レジスタ
- RFCR レジスタ
- TFCR レジスタ
- TCR レジスタ
- ECSR レジスタ (EDPM ビットを除く)

以下のレジスタは、CAN リセットモードに移行した後も以前の値を保持します。

- CTLR レジスタ
- STR レジスタ (SLPST ビットと TFST ビット)
- MIER レジスタ
- EIER レジスタ
- BCR レジスタ
- CSSR レジスタ
- ECSR レジスタ (EDPM ビットのみ)
- MBj レジスタ (j = 0 ~ 31)
- MKRi レジスタ (i = 0 ~ 7)
- FIDCR0、FIDCR1 レジスタ
- MKIVLR レジスタ
- AFSR レジスタ
- RFPCR レジスタ
- TFPCR レジスタ

25.3.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードを設定するモードです。

CTLR.CANM[1:0] ビットを“10b”にすると、CAN Halt モードになります。そのとき、STR.HLTST フラグが“1”になります。STR.HLTST フラグが“1”になるまでCTLR.CANM[1:0] ビットを変更しないでください。送信または受信時の状態移行の条件は、表 25.9 を参照してください。

CAN Halt モードへの移行では、STR.SLPST, HLTST, RSTST フラグ以外のフラグと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CTLR レジスタ (CANM[1:0] ビットおよびSLPM ビットを除く) およびEIER レジスタは変更しないでください。CAN テストモードで、自動ボーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN Halt モードでBCR レジスタを変更できます。

表 25.9 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード (強制移行) CANM[1:0] = “11b”	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待たずにCANリセットモードに移行	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CANリセットモード CANM[1:0] = “01b”	CANモジュールは受信メッセージの終了を待たずにCANリセットモードに移行	CANモジュールはメッセージ送信の終了を待ってCANリセットモードに移行 (注1、注4)	CANモジュールはバスオフ復帰の終了を待たずにCANリセットモードに移行
CAN Halt モード	CANモジュールは受信メッセージの終了を待ってCAN Halt モードに移行 (注2、注3)	CANモジュールはメッセージ送信の終了を待ってCAN Halt モードに移行 (注1、注2、注4)	[CTLR.BOM[1:0]ビットが“00b”の場合] CANモジュールはバスオフ復帰のみ、プログラムのHalt要求を受け付ける [CTLR.BOM[1:0]ビットが“01b”の場合] CANモジュールはバスオフ復帰の終了を待たずに自動的にCAN Haltモードに移行 (プログラムのHalt要求とは無関係に) [CTLR.BOM[1:0]ビットが“10b”の場合] CANモジュールはバスオフ復帰の終了を待って自動的にCAN Haltモードに移行 (プログラムのHalt要求とは無関係に) [CTLR.BOM[1:0]ビットが“11b”の場合] CANモジュールはバスオフ中にプログラムによるHalt要求があると、すぐにCAN Haltモードに移行 (バスオフ復帰の終了を待たずに)

- 注1. いくつかのメッセージ送信が要求されている場合、最初のメッセージ送信が完了した後にモードを移行します。サスペンドトランSMission中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを移行します。
- 注2. CANバスがドミナントレベルでロックされた場合、EIFR.BLIFフラグをモニタすると、プログラムはバスロック状態を検出できます。CANバスがドミナントレベルでロックされている間は、CAN Haltモードに移行しません。この場合は、CANリセットモードに移行してください。
- 注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、ただちにCAN Haltモードに移行します (ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに移行しません)。
- 注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、CANモジュールの動作モードはただちに要求された動作モードに移行します (ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに移行しません)。

25.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCU の端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTLR.SLPM ビットを“1”にすると、CAN スリープモードになります。そのとき、STR.SLPST フラグが“1”になります。STR.SLPST フラグが“1”になるまで、CTLR.SLPM ビットの値を変更しないでください。CAN スリープモードへの移行時は、他のレジスタは変化しません。

CTLR.SLPM ビットは、CAN リセットモードと CAN Halt モードで変更してください。CTLR.SLPM ビットを除く他のレジスタは、CAN スリープモード中は変更しないでください。読み出し動作は許可されます。

CTLR.SLPM ビットを“0”にすると、CAN スリープモードから解除されます。CAN スリープモードからの復帰時、他のレジスタは変化しません。

25.3.4 CAN オペレーションモード (バスオフ状態以外)

CAN オペレーションモードは CAN 通信をするモードです。

CTLR.CANM[1:0] ビットを“00b”にすると、CAN モジュールは CAN オペレーションモードになります。

そのとき、STR.RSTST フラグと STR.HLTST フラグが“0”になります。STR.RSTST フラグと STR.HLTST フラグが“0”になるまで、CTLR.CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードに移行した後、11 の連続するレセプティブビットを検出すると、CAN モジュールは次の状態になります。

- CAN モジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN モジュールは、CAN バスの状態によって、CAN オペレーションモード中に、次の3つのいずれかのサブモードになっています。

- アイドルモード: CAN モジュールは、送受信を行っていない状態です。
- 受信モード: CAN モジュールは、他のノードが送信した CAN メッセージを受信しています。
- 送信モード: CAN モジュールは、CAN メッセージを送信しています。セルフテストモード 0 (TCR.TSTM[1:0] ビットが“10b”) またはセルフテストモード 1 (TCR.TSTM[1:0] ビットが“11b”) が選択されている場合、同時に自身が送信したメッセージを受信します。

図 25.10 に CAN オペレーションモードのサブモードを示します。

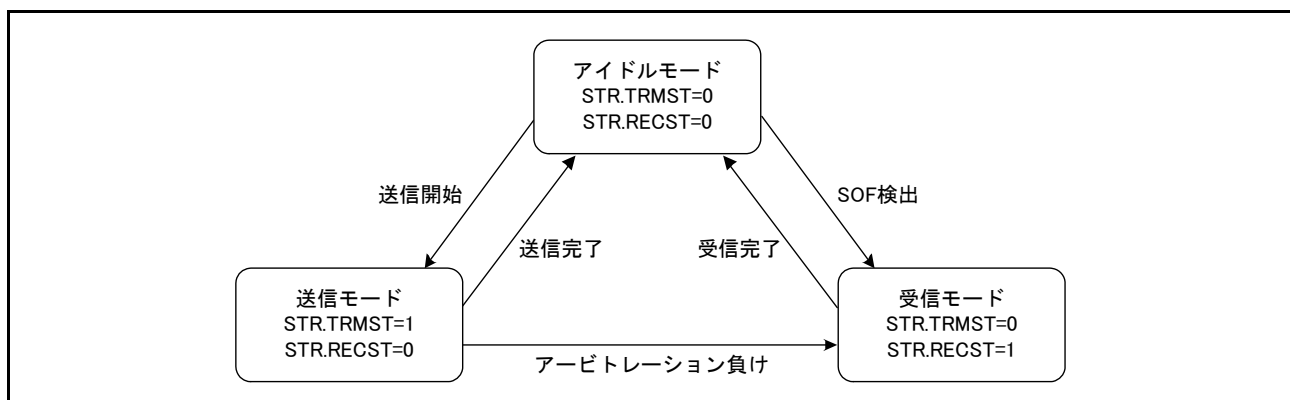


図 25.10 CAN オペレーションモードのサブモード

25.3.5 CAN オペレーションモード (バスオフ状態)

CAN 仕様の送信、受信エラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態に遷移します。

CAN モジュールがバスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、STR、EIFR、RECR、TECR および TSR レジスタを除く CAN モジュール関連レジスタの値は変化しません。

(1) CTLR.BOM[1:0] ビットが “00b” の場合 (ノーマルモード)

バスオフ状態からの復帰完了後、ただちにエラーアクティブ状態に遷移し、CAN 通信ができるようになります。このとき、EIFR.BORIF フラグが “1” (バスオフ復帰検出) になります。

(2) CTLR.RBOC ビットを “1” にしたとき (バスオフからの強制復帰)

バスオフ状態になり、CTLR.RBOC ビットが “1” になると、CAN モジュールはただちにエラーアクティブ状態に遷移し、11 の連続するレセシブビットを検出した後、再び CAN 通信ができるようになります。このとき、EIFR.BORIF フラグは “1” になりません。

(3) CTLR.BOM[1:0] ビットが “01b” の場合 (バスオフ開始で自動的に CAN Halt モードへ移行)

バスオフ状態に達するとただちに CAN Halt モードになります。このとき EIFR.BORIF フラグは “1” になりません。

(4) CTLR.BOM[1:0] ビットが “10b” の場合 (バスオフ終了で自動的に CAN Halt モードへ移行)

バスオフからの復帰が完了すると、CAN Halt モードになります。このとき EIFR.BORIF フラグは “1” になります。

(5) CTLR.BOM[1:0] ビットが “11b” の場合 (プログラムにより CAN Halt モードへ移行) にバスオフ状態で CTLR.CANM[1:0] ビットを “10b” にしたとき (CAN Halt モード)

バスオフ状態時に CTLR.CANM[1:0] ビットを “10b” (CAN Halt モード) にすると、ただちに CAN Halt モードになります。このとき、EIFR.BORIF フラグは “1” になりません。

バスオフ中に CTLR.CANM[1:0] ビットを “10b” にしないときは、(1) と同じ動作になります。

25.4 CAN 通信速度の設定

CAN 通信速度の設定について以下に説明します。

25.4.1 CAN クロックの設定

CAN モジュールは CAN クロック 選択回路を内蔵しています。

CAN クロックは、BCR.BRP[9:0] ビットで設定できます。

図 25.11 に CAN クロック発生回路のブロック図を示します。

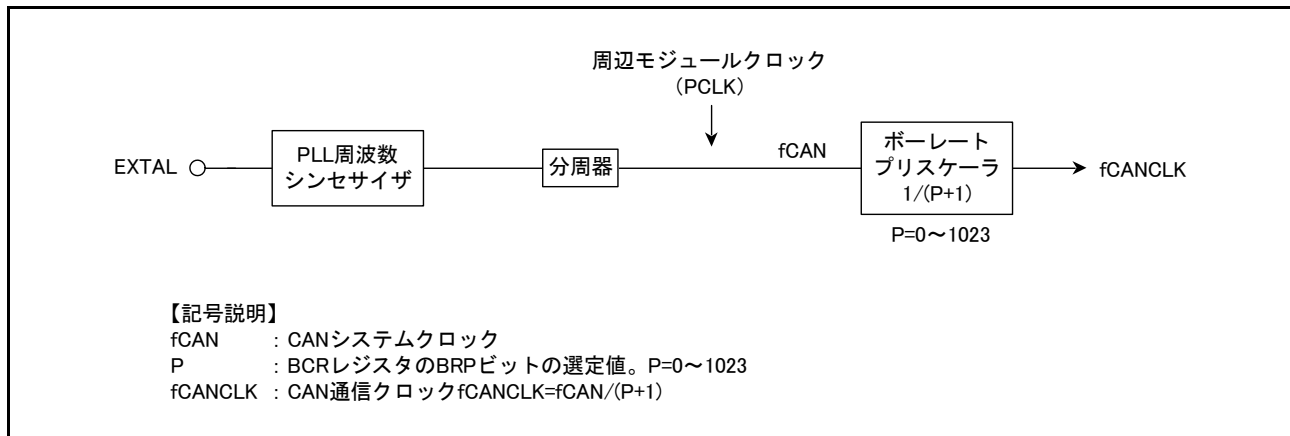


図 25.11 CAN クロック発生回路のブロック図

25.4.2 ビットタイミングの設定

ビットタイムは、次の3つのセグメントからなります。

図 25.12 にビットタイミング図を示します。

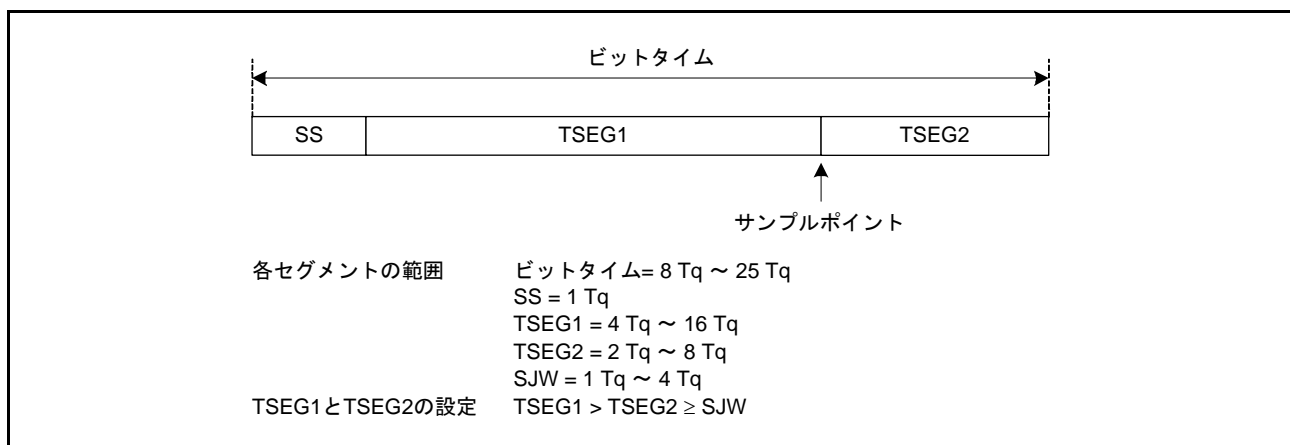


図 25.12 ビットタイミング図

25.4.3 ビットレート

ビットレートは、fCAN (CAN システムクロック) 分周値、ボーレートプリスケアラ分周値、および 1 ビットの Tq の数に依存します。

$$\text{ビットレート [bps]} = \frac{f_{\text{CAN}}}{\text{ボーレートプリスケアラ分周値 (注5)} \times 1 \text{ ビットタイムの Tq 数}} = \frac{f_{\text{CANCLK}}}{1 \text{ ビットタイムの Tq 数}}$$

注5. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1023)
P : BCR.BRP[9:0] ビットの設定値

表 25.10 にビットレートの例を示します。

表 25.10 ビットレートの例

fCAN ビットレート	50MHz		48MHz		40MHz		32MHz	
	Tq 数	P + 1	Tq 数	P + 1	Tq 数	P + 1	Tq 数	P + 1
1 Mbps	10Tq	5	8Tq	6	10Tq	4	8Tq	4
	25Tq	2	12Tq	4	20Tq	2	16Tq	2
			16Tq	3				
500 kbps	10Tq	10	8Tq	12	10Tq	8	8Tq	8
	25Tq	4	12Tq	8	20Tq	4	16Tq	4
			16Tq	6				
250 kbps	10Tq	20	8Tq	24	10Tq	16	8Tq	16
	25Tq	8	12Tq	16	20Tq	8	16Tq	8
			16Tq	12				
125 kbps	10Tq	40	8Tq	48	10Tq	32	8Tq	32
	25Tq	16	12Tq	32	20Tq	16	16Tq	16
			16Tq	24				
83.3 kbps	10Tq	60	8Tq	72	8Tq	60	8Tq	48
	25Tq	24	12Tq	48	10Tq	48	16Tq	24
			16Tq	36	16Tq	30		
					20Tq	24		
33.3 kbps	10Tq	150	8Tq	180	8Tq	150	8Tq	120
	25Tq	60	12Tq	120	10Tq	120	10Tq	96
			16Tq	90	20Tq	60	16Tq	60
							20Tq	48

25.5 メールボックスとマスクレジスタの構成

図 25.13 に MBj レジスタの構成を示します。
 同じ構成の 32 のメールボックスがあります。

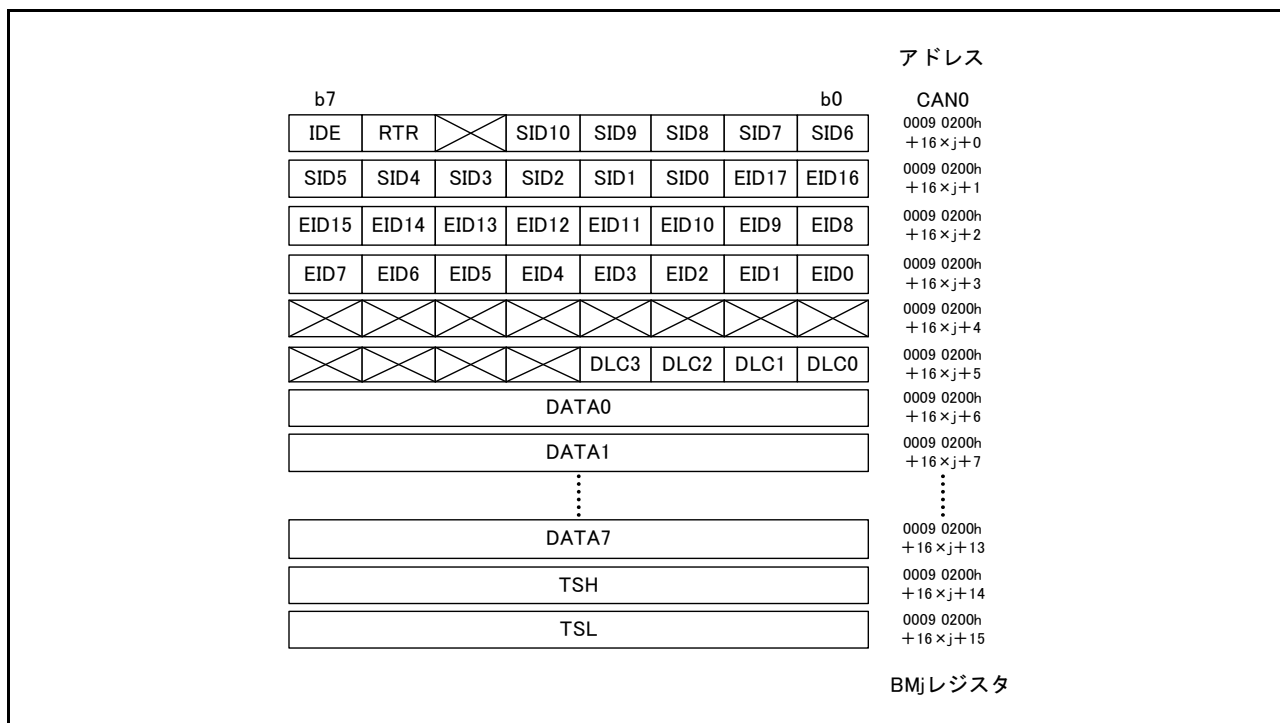


図 25.13 MBj レジスタの構成 (j = 0 ~ 31)

図 25.14 に MKRi レジスタの構成を示します。
 同じ構成の 8 つのマスクレジスタがあります。

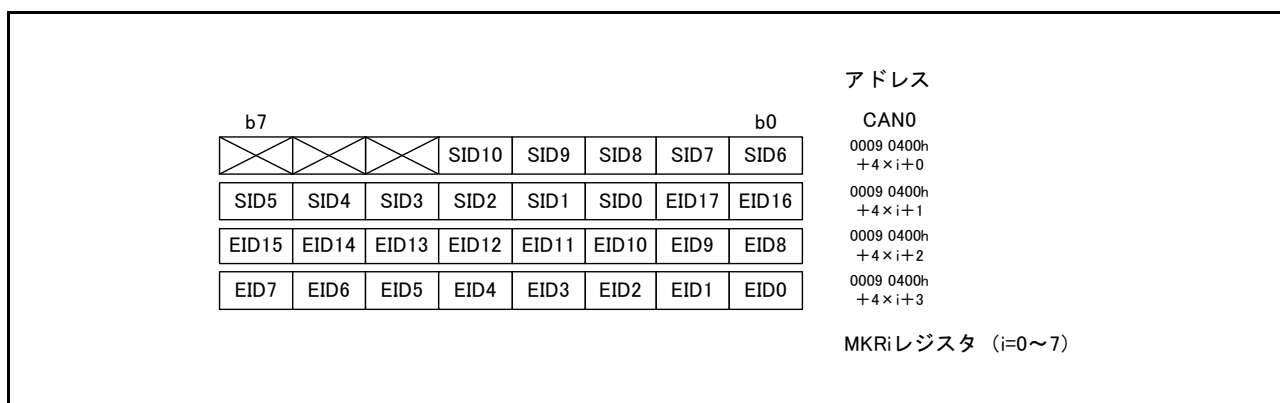


図 25.14 MKRi レジスタの構成 (i = 0 ~ 7)

図 25.15 に FIDCR0、FIDCR1 レジスタの構成を示します。
同じ構成の 2 つの FIFO 受信 ID 比較レジスタがあります。

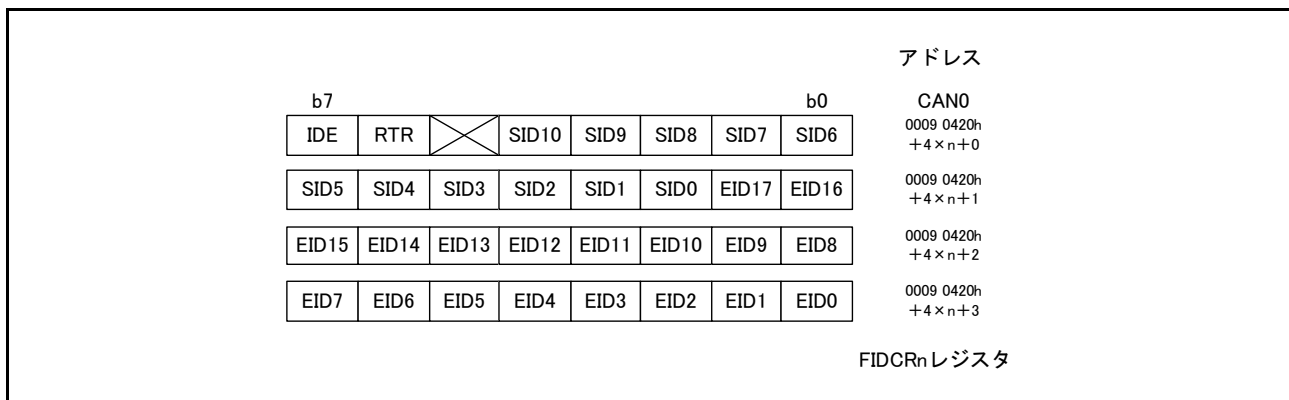


図 25.15 FIDCRn レジスタの構成 (n = 0, 1)

25.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能は、一定範囲の ID の選択と受信を許可します。

MKR0 ~ MKR7 レジスタは標準 ID と 29 ビットの拡張 ID のマスクができます。

- MKR0 レジスタは、メールボックス [0] ~ [3] に対応
- MKR1 レジスタは、メールボックス [4] ~ [7] に対応
- MKR2 レジスタは、メールボックス [8] ~ [11] に対応
- MKR3 レジスタは、メールボックス [12] ~ [15] に対応
- MKR4 レジスタは、メールボックス [16] ~ [19] に対応
- MKR5 レジスタは、メールボックス [20] ~ [23] に対応
- MKR6 レジスタは、通常メールボックスモードの場合はメールボックス [24] ~ [27]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ~ [31] に対応
- MKR7 レジスタは、通常メールボックスモードの場合はメールボックス [28] ~ [31]、FIFO メールボックスモードの場合は受信 FIFO メールボックス [28] ~ [31] に対応

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。

MBj レジスタの IDE ビットは、CTRL.IDFM[1:0] ビットが“10b” (ミックス ID モード) のとき有効です。

MBj レジスタの RTR ビットはデータフレームとリモートフレームを選択します。

FIFO メールボックスモードでは、通常メールボックス (メールボックス [0] ~ [23]) は、MKR0 ~ MKR5 レジスタの中から対応する 1 つを使用してアクセプタンスフィルタ処理しますが、受信 FIFO メールボックス (メールボックス [28] ~ [31]) は、MKR6、MKR7 レジスタの 2 つを使用してアクセプタンスフィルタ処理を行います。

また、受信 FIFO は FIDCR0、FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO の MB28 ~ MB31 レジスタの EID、SID、RTR、IDE ビットは無効になります。それぞれ 2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO では 2 つの範囲の ID を受信することができます。

MKIVLR レジスタは、受信 FIFO に対しては無効です。

標準 ID と拡張 ID の両方がそれぞれ FIDCR0.IDE ビット、FIDCR1.IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれ FIDCR0.RTR ビット、FIDCR1.RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 25.16 にマスクレジスタとメールボックスの対応、図 25.17 にアクセプタンスフィルタ処理を示します。

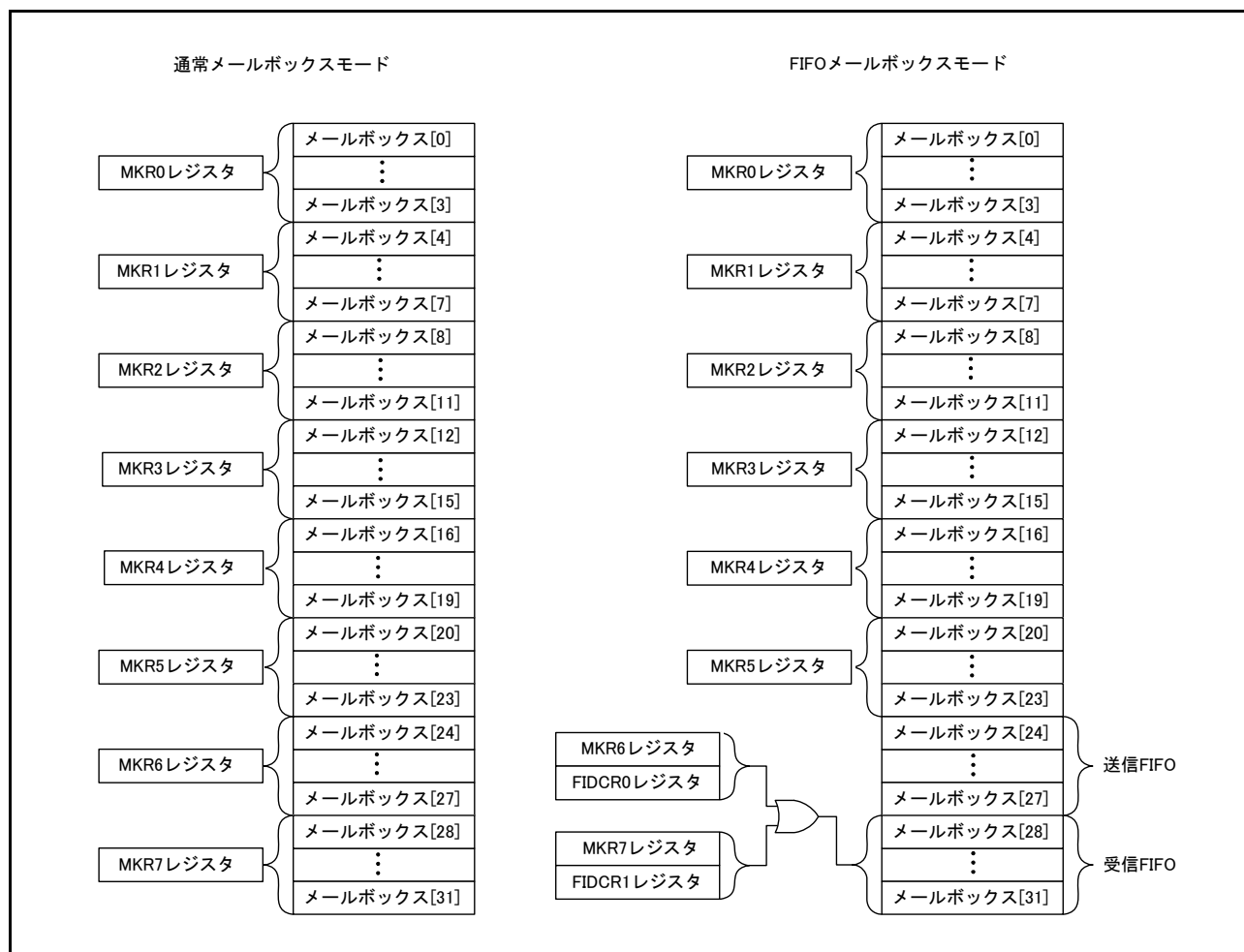


図 25.16 マスクレジスタとメールボックスの対応

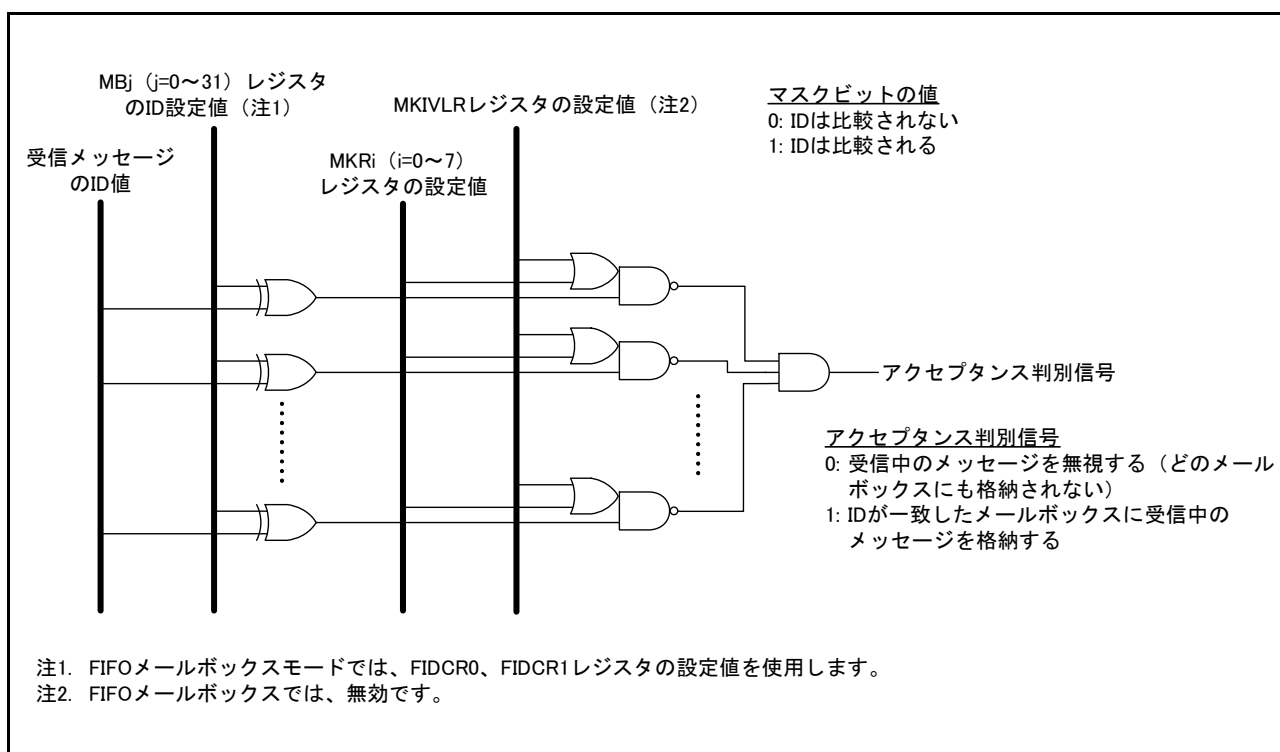


図 25.17 アクセプタンスフィルタ処理

25.7 受信／送信

表 25.11 に CAN 通信モードの設定方法を示します。

表 25.11 CAN受信モードとCAN送信モードの設定方法

MCTLj. TRMREQ	MCTLj. RECREQ	MCTLj. ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

j = 0 ~ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、MCTLj レジスタを“00h”にしてください。
2. 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうの優先順位がより高くなります。
3. CAN オペレーションモードで、受信メッセージに設定したメールボックスの ID/ マスクセットに一致するメッセージを送信した場合、CAN モジュールは送信データを受信しません。しかしセルフテストモードでは、CAN モジュールは送信データを受信します。この場合、CAN モジュールは ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

1. メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、MCTLj レジスタを確実に“00h”にして、さらに、アボート処理中でないことを確認してください。

25.7.1 受信

図 25.18 にデータフレーム受信時の動作例（オーバーライトモードの場合）を示します。

この例は、示された MCTLj レジスタ ($j=0\sim 31$) のメールボックスの条件に一致する 2 つの連続した CAN メッセージを受信したときに、最初のメッセージを上書きする場合の動作です。

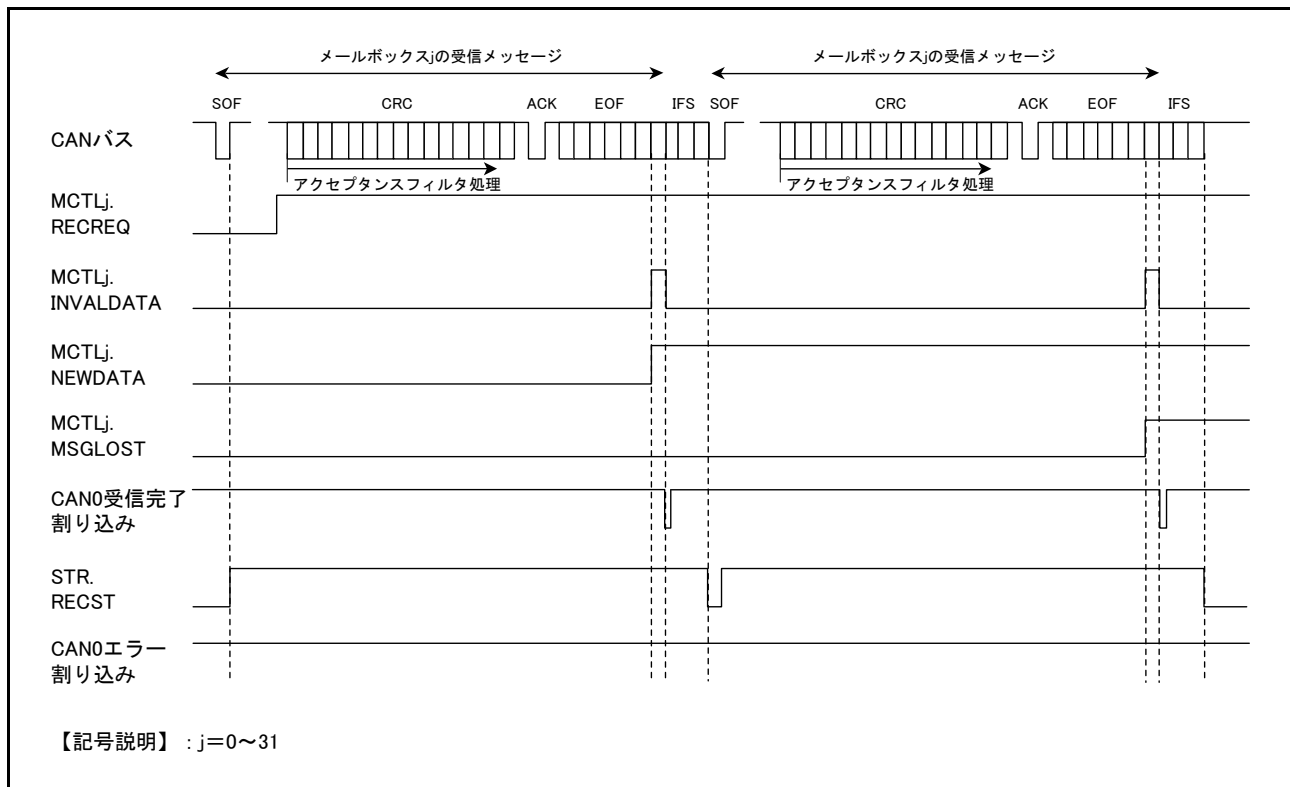


図 25.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットがただちに“1”（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTLj.NEWDATA ビットが“1”（新しいメッセージを更新中、またはメールボックスに格納された）になります。同時に MCTLj.INVALIDATA ビットが“1”（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、MCTLj.INVALIDATA ビットは“0”（メッセージは有効）に戻ります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが“1”（割り込み許可）の場合、CAN0 受信完了割り込み要求が発生します。MCTLj.INVALIDATA ビットが“0”になると、この割り込み（CAN0 受信完了割り込み）が発生します。
5. メールボックスからメッセージを読み出した後、MCTLj.NEWDATA フラグをプログラムで“0”にする必要があります。
6. オーバライトモードでは、MCTLj.NEWDATA フラグがまだ“1”になっているメールボックスに次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが“1”（メッセージはオーバーライトされた）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求は、4. と同様に発生します。

図 25.19 にデータフレーム受信時の動作例（オーバーランモードの場合）を示します。

この例は、示された MCTLj レジスタ（j=0～31）のメールボックスの条件に一致する2つの連続した CAN メッセージを受信したときに、2つ目のメッセージを破棄する場合の動作です。

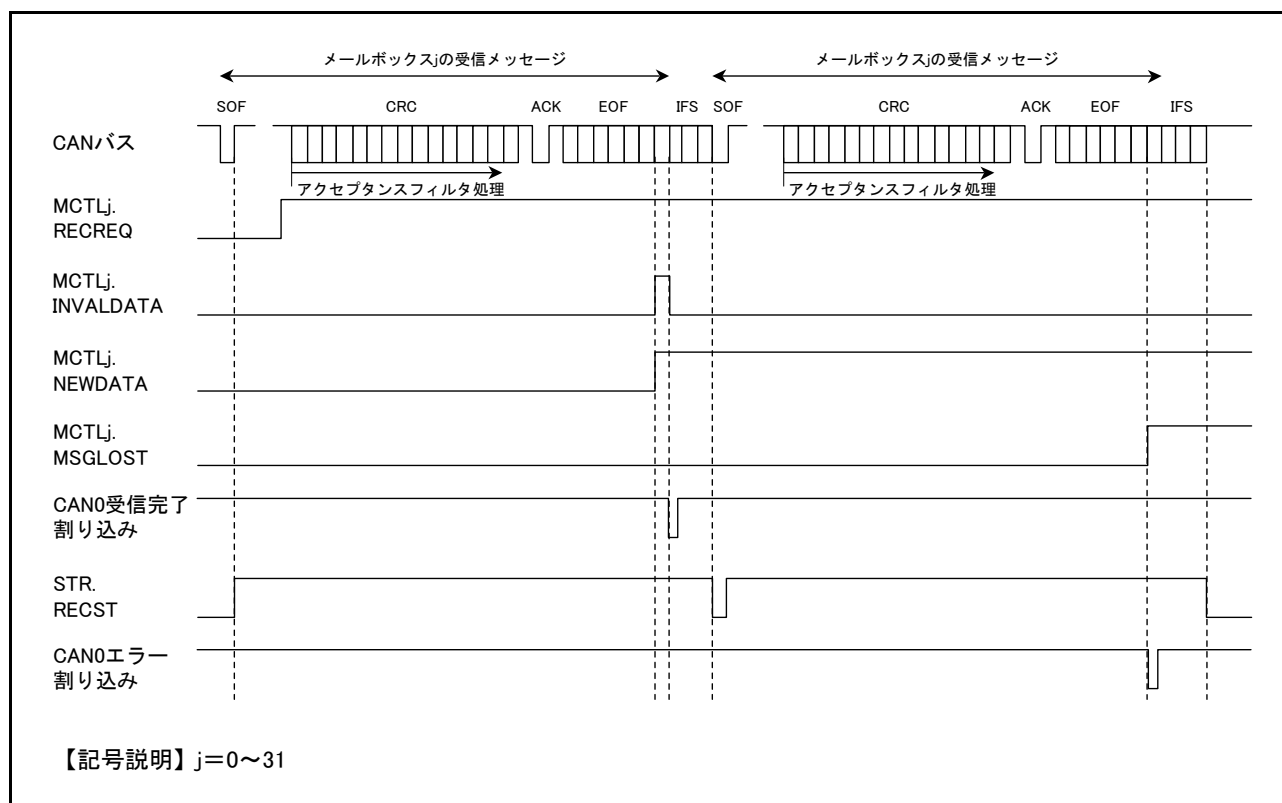


図 25.19 データフレーム受信時の動作例（オーバーランモードの場合）

1. ～ 5. はオーバーライトモードと同じです。
6. オーバランモードでは、MCTLj.NEWDATA フラグが“0”になる前に、次の CAN メッセージの受信が完了すると、MCTLj.MSGLOST フラグが“1”（メッセージはオーバーランされた）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが“1”（割り込み許可）の場合、CAN0 エラー割り込み要求が発生します。

25.7.2 送信

図 25.20 にデータフレーム送信時の動作例を示します。

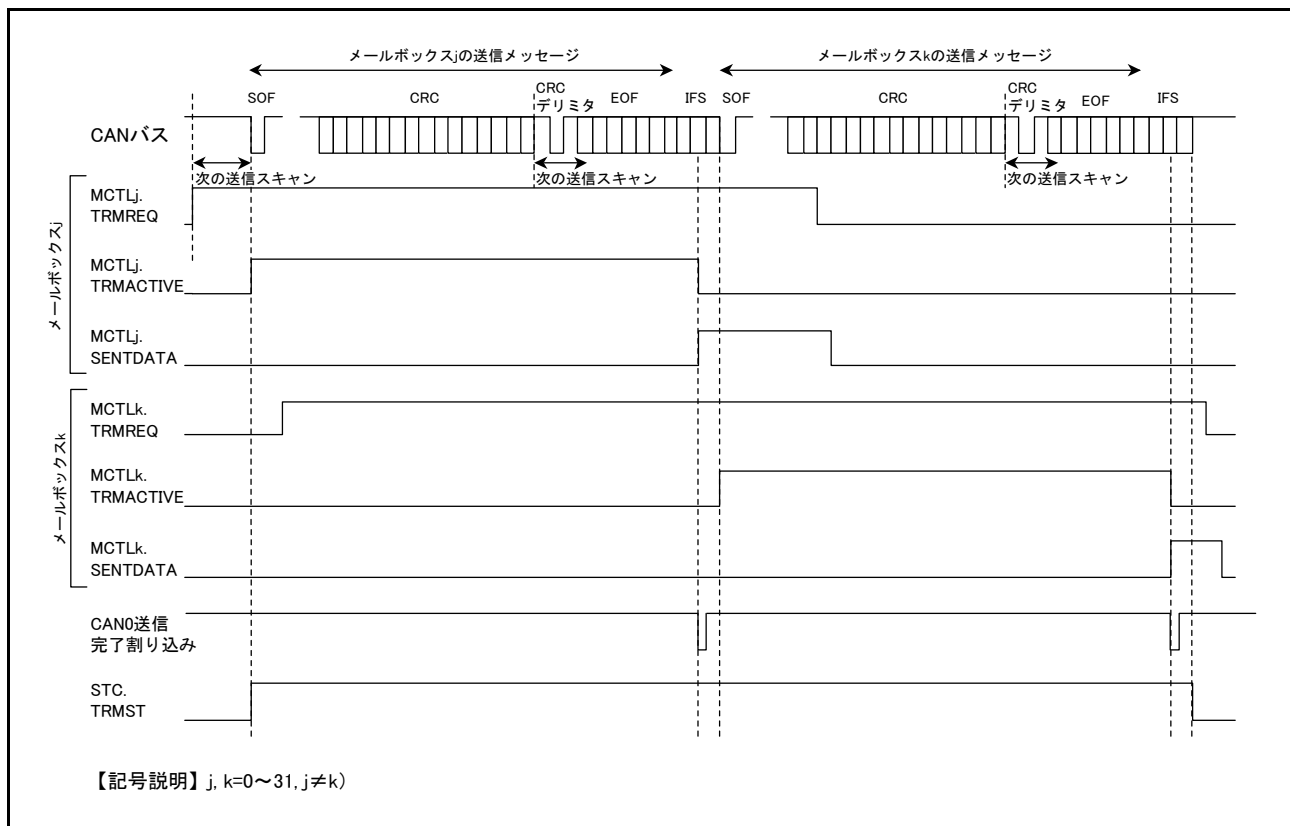


図 25.20 データフレーム送信時の動作例

1. バスアイドル状態で、MCTLj.TRMREQ ビット (j=0 ~ 31) を“1” (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、MCTLj.TRMACTIVE ビットが“1” (送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、STR.TRMST フラグが“1” (送信中) になり、CAN モジュールは送信を開始します (注 1)。
2. 他の MCTLj.TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
3. アービトレーション負けが発生せずに送信が完了すると、MCTLj.SENTDATA フラグが“1” (送信完了) に、MCTLj.TRMACTIVE ビットが“0” (送信待機中または送信要求なし) になります。そして、MIER レジスタの割り込み許可ビットが“1” (割り込み許可) の場合は CAN0 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、MCTLj.SENTDATA フラグと MCTLj.TRMREQ ビットを“0”にして、MCTLj.SENTDATA フラグと MCTLj.TRMREQ ビットが“0”になるのを確認した後、MCTLj.TRMREQ ビットを“1”にしてください。

注 1. CAN モジュールが送信開始した後でアービトレーション負けをした場合、MCTLj.TRMACTIVE ビットは“0”になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーション負けに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

25.8 CAN 割り込み

CAN モジュールには、チャンネルごとに以下のCAN 割り込みがあります。表 25.12 に CAN 割り込み一覧表を示します。

- CAN0 受信完了割り込み (メールボックス 0 ~ 31) [RXM0]
- CAN0 送信完了割り込み (メールボックス 0 ~ 31) [TXM0]
- CAN0 受信 FIFO 割り込み [RXF0]
- CAN0 送信 FIFO 割り込み [TXF0]
- CAN0 エラー割り込み [ERS0]

CAN0 エラー割り込みには、8つの要因があります。これらの要因は、EIFR レジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバーラン
- オーバロードフレーム送信
- バスロック

表 25.12 CAN 割り込み一覧表

モジュール	割り込みシンボル	割り込み要因	要因フラグ
CAN0	ERS0	バスロック検出	EIFR.BLIF
		オーバロードフレーム送信検出	EIFR.OLIF
		オーバーラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	RXF0	受信FIFOメッセージ受信 (MIER[29] = 0)	—
		受信FIFOワーニング (MIER[29] = 1)	—
	TXF0	送信FIFOメッセージ送信完了 (MIER[25] = 0)	—
		FIFOラストメッセージ送信完了 (MIER[25] = 1)	—
	RXM0	メールボックス0~31メッセージ受信	MCTL0.NEWDATA ~ MCTL31.NEWDATA
	TXM0	メールボックス0~31メッセージ送信完了	MCTL0.SENTDATA ~ MCTL31.SENTDATA

26. シリアルペリフェラルインタフェース (RSPI)

26.1 概要

RX62Tグループ、RX62Gグループは、独立した1チャンネルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPIは、全二重同期式のシリアル通信が可能です。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 26.1 に RSPI の仕様を、図 26.1 に RSPI のブロック図を示します。

表 26.1 RSPIの仕様

項目	内容
チャンネル数	1チャンネル
RSPI転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 • 送信のみの動作が可能 • マスタ/スレーブモードでのシリアル通信が可能 • シリアル転送クロックの極性を変更可能 • シリアル転送クロックの位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSBファースト/LSBファーストの切り替え可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットに変更可能 • 送信/受信バッファは128ビット • 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)
バッファ構成	送信/受信バッファ構成はダブルバッファ
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出
SSL制御機能	<ul style="list-style-type: none"> • 1チャンネルあたり4本のSSL信号 (SSL0~SSL3) • シングルマスタ設定時には、SSL0~SSL3信号を出力 • マルチマスタ設定時：SSL0信号は入力、SSL1~SSL3信号は出力またはハイインピーダンス • スレーブ設定時：SSL0信号は入力、SSL1~SSL3信号はハイインピーダンス • SSL出力のアサートからRSPCK動作までの遅延 (RSPCK遅延) を設定可能 設定範囲：1~8 RSPCK 設定単位：1 RSPCK • RSPCK停止からSSL出力のネゲートまでの遅延 (SSLネゲート遅延) を設定可能 設定範囲：1~8 RSPCK 設定単位：1 RSPCK • 次アクセスのSSL出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲：1~8 RSPCK 設定単位：1 RSPCK • SSL極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大8コマンドで構成された転送をシーケンシャルにループ実行可能 • 各コマンドに以下の項目を設定可能 SSL信号値、ビットレート、RSPCK極性/位相、転送データ長、LSB/MSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能
割り込み要因	<ul style="list-style-type: none"> • マスカブルな割り込み要因 RSPI受信割り込み (受信バッファフル) RSPI送信割り込み (送信バッファエンプティ) RSPIエラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPIアイドル割り込み (RSPIアイドル)
その他の機能	<ul style="list-style-type: none"> • RSPIディスエーブル (初期化) 機能 • ループバックモード機能

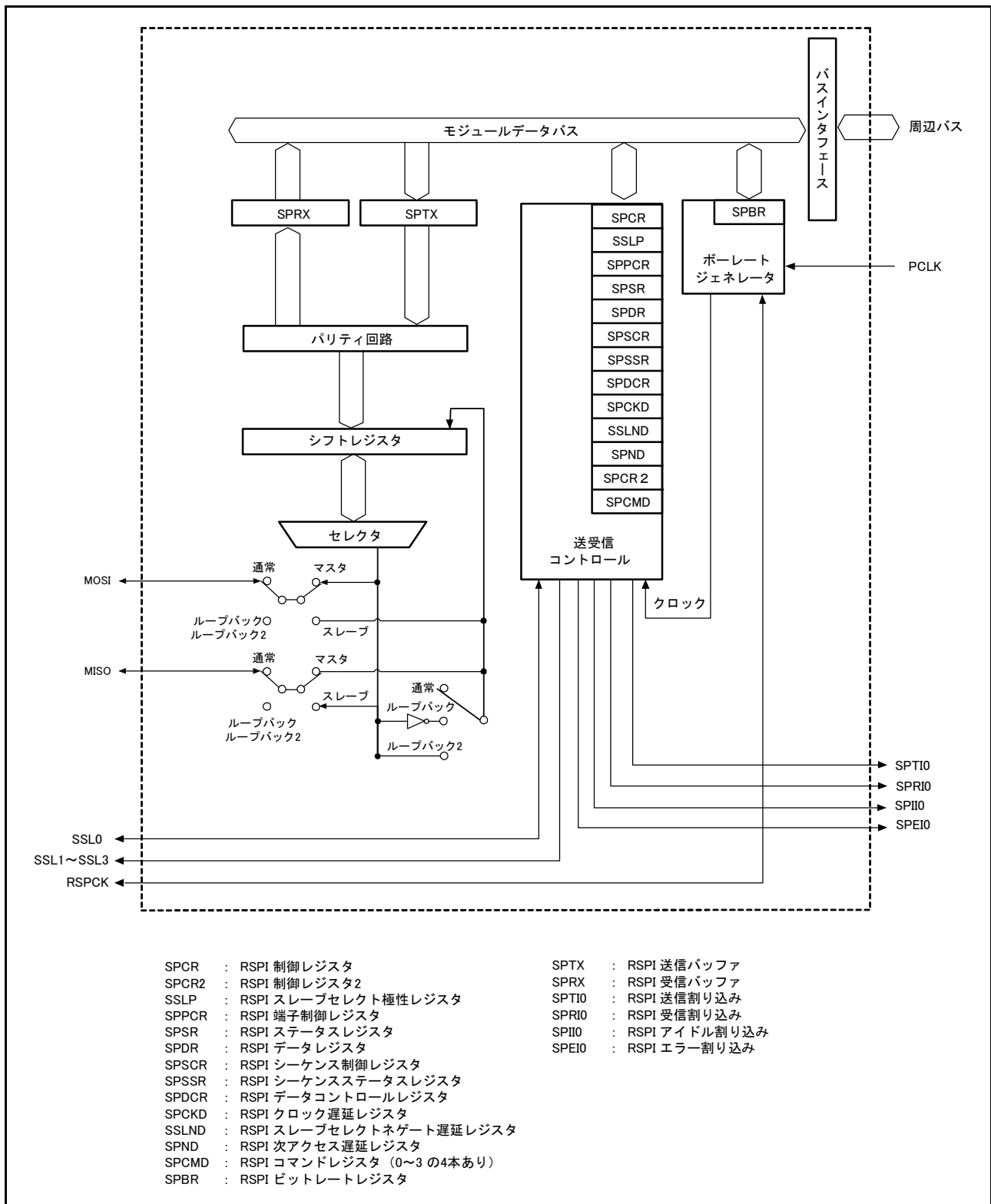


図 26.1 RSPI のブロック図

表 26.2 に RSPI で使用する入出力端子を示します。

SSL0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCK、MOSI、MISO 端子の入出力方向は、マスタ/スレーブ設定と SSL0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「26.3.2 RSPI 端子の制御」を参照してください。

表 26.2 RSPIの入出力端子

モジュールシンボル	端子名	入出力	機能
RSPI0	RSPCK	入出力	クロック入出力端子
	MOSI	入出力	マスタ送出データ入出力端子
	MISO	入出力	スレーブ送出データ入出力端子
	SSL0	入出力	スレーブセレクト入出力端子
	SSL1	出力	スレーブセレクト出力端子
	SSL2	出力	スレーブセレクト出力端子
	SSL3	出力	スレーブセレクト出力端子

26.2 レジスタの説明

表 26.3 に RSPI のレジスタ一覧を示します。これらのレジスタにより、マスタ/スレーブモードの指定、転送フォーマットの指定、および送信部/受信部の制御を行うことができます。

表 26.3 RSPIのレジスタ一覧

モジュール シンボル	レジスタ名	レジスタ シンボル	リセット後の値	アドレス	アクセスサ イズ
RSPI0	RSPI制御レジスタ	SPCR	00h	0008 8380h	8
	RSPIスレーブセレクト極性レジスタ	SSLP	00h	0008 8381h	8
	RSPI端子制御レジスタ	SPPCR	00h	0008 8382h	8
	RSPIステータスレジスタ	SPSR	20h	0008 8383h	8
	RSPIデータレジスタ	SPDR	00000000h	0008 8384h	16、32
	RSPIシーケンス制御レジスタ	SPSCR	00h	0008 8388h	8
	RSPIシーケンスステータスレジスタ	SPSSR	00h	0008 8389h	8
	RSPIビットレートレジスタ	SPBR	FFh	0008 838Ah	8
	RSPIデータコントロールレジスタ	SPDCR	00h	0008 838Bh	8
	RSPIクロック遅延レジスタ	SPCKD	00h	0008 838Ch	8
	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	00h	0008 838Dh	8
	RSPI次アクセス遅延レジスタ	SPND	00h	0008 838Eh	8
	RSPI制御レジスタ2	SPCR2	00h	0008 838Fh	8
	RSPIコマンドレジスタ0	SPCMD0	070Dh	0008 8390h	16
	RSPIコマンドレジスタ1	SPCMD1	070Dh	0008 8392h	16
	RSPIコマンドレジスタ2	SPCMD2	070Dh	0008 8394h	16
	RSPIコマンドレジスタ3	SPCMD3	070Dh	0008 8396h	16
	RSPIコマンドレジスタ4	SPCMD4	070Dh	0008 8398h	16
	RSPIコマンドレジスタ5	SPCMD5	070Dh	0008 839Ah	16
	RSPIコマンドレジスタ6	SPCMD6	070Dh	0008 839Ch	16
RSPIコマンドレジスタ7	SPCMD7	070Dh	0008 839Eh	16	

26.2.1 RSPI 制御レジスタ (SPCR)

アドレス 0008 8380h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0: RSPIエラー割り込み要求の発生を禁止 1: RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	RSPI送信割り込み許可ビット	0: RSPI送信割り込み要求の発生を禁止 1: RSPI送信割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能有効ビット	0: RSPI機能は無効 1: RSPI機能が有効	R/W
b7	SPRIE	RSPI受信割り込み許可ビット	0: RSPI受信割り込み要求の発生を禁止 1: RSPI受信割り込み要求の発生を許可	R/W

SPCR レジスタは、RSPI の動作モードを設定するためのレジスタです。RSPI 機能が有効な状態 (SPCR.SPE ビット =1) において、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定値を変更した場合は、以降の動作は保証されません。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSL0 ~ 3 端子を使用せず、RSPCK 端子、MOSI 端子、MISO 端子の 3 端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR=1) でクロック同期式動作を行う場合は RSPI コマンドレジスタ m (SPCMDm) (m=0 ~ 7) の CPHA ビットを“0”、“1” どちらにも設定可能です。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合は SPCMDm.CPHA ビットを“1” にしてください。スレーブモード時 (SPCR.MSTR=0) でクロック同期式動作を行う場合に、SPCMDm.CPHA ビットを“0”にした場合の動作は保証されません。

TXMD ビット (送信動作モード選択ビット)

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「26.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”にした場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです (「26.3.8 エラー検出」を参照)。また、RSPIはMODFENビットとMSTRビットとの組み合わせに従って、SSL0～3端子の入出力方向を決定します (「26.3.2 RSPI端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPIのマスタ/スレーブモードを選択するためのビットです。また、RSPIはMSTRビットの設定に従って、RSPCK、MOSI、MISO端子の方向を決定します。

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPIがモードフォルトエラーを検出してSPSR.MODFビットを“1”にした場合、またはRSPIがオーバーランエラーを検出してSPSR.OVRFフラグを“1”にした場合、RSPIエラー割り込み要求の発生を許可/禁止します。詳細は「26.3.8 エラー検出」を参照してください。

SPTIE ビット (RSPI 送信割り込み許可ビット)

RSPIが送信バッファエンプティを検出し、RSPI送信割り込み要求の発生を許可/禁止します。

送信開始時の送信割り込み要求は、SPTIEビットと同時または後に、SPEビットを“1”にすることで発生します。

RSPIディスエーブル (SPEビットが“0”)に遷移しても、SPTIEビットを“1”にしていると、RSPI送信割り込みが発生することに注意してください。

SPE ビット (RSPI 機能有効ビット)

RSPI機能の有効/無効を選択します。

SPSR.MODFフラグが“1”の場合には、SPEビットを“1”にすることはできません。詳細は「26.3.8 エラー検出」を参照してください。

SPEビットを“0”にすると、RSPI機能が無効化され、モジュール機能の一部が初期化されます。詳細は「26.3.9 RSPIの初期化」を参照してください。

SPRIE ビット (RSPI 受信割り込み許可ビット)

RSPIがシリアル転送完了後の受信バッファ書き込みを検出し、RSPI受信割り込み要求の発生を許可/禁止します。

26.2.2 RSPI スレーブセレクト極性レジスタ (SSLP)

アドレス 0008 8381h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号は0アクティブ 1 : SSL0信号は1アクティブ	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号は0アクティブ 1 : SSL1信号は1アクティブ	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号は0アクティブ 1 : SSL2信号は1アクティブ	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号は0アクティブ 1 : SSL3信号は1アクティブ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLP レジスタは、RSPI の SSL0 ~ SSL3 信号の極性を設定するためのレジスタです。

RSPI 機能が有効 (SPCR.SPE ビットが“1”) の状態において、CPU が SSLP レジスタを書き換えた場合には、以降の動作は保証されません。

SSLiP ビット (SSL 信号極性設定ビット) (i=0 ~ 3)

SSLi 信号の極性を設定します。

SSLiP の設定値が、SSLi 信号のアクティブ極性を示します。

26.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス 0008 8382h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0: 通常モード 1: ループバックモード (送信データの反転=受信データ)	R/W
b1	SPLP2	RSPIループバック2ビット	0: 通常モード 1: ループバックモード (送信データ=受信データ)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0: MOSIアイドル固定値は0 1: MOSIアイドル固定値は1	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0: MOSI出力値は前回転送の最終データ 1: MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPPCR レジスタは、RSPI の端子モードを設定するレジスタです。RSPI 機能が有効 (SPCR.SPE ビットが“1”)である状態において、SPPCR レジスタを書き替えた場合には、以降の動作は保証されません。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISO 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します (ループバックモード)。詳細は「26.3.13 ループバックモード」を参照してください。

SPLP2 ビット (RSPI ループバック2ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISO 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します (ループバックモード2)。詳細は「26.3.13 ループバックモード」を参照してください。

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSI 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSI 出力値を固定するために使用するビットです。MOIFE ビットが“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI に出力します。MOIFE ビットが“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSI に出力します。

26.2.4 RSPI ステータスレジスタ (SPSR)

アドレス 0008 8383h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF

リセット後の値 0 0 1 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0 : オーバランエラーなし 1 : オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0 : RSPIがアイドル状態 1 : RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0 : パリティエラーなし 1 : パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	SPTEF	送信バッファエンプティフラグ	0 : SPDRヘデータを転送したとき (送信バッファにデータあり) 1 : SPDRからシフトレジスタにデータが転送されたとき (送信バッファにデータなし)	R/(W) (注2)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0 : SPDRからデータを転送したとき (SPDRに有効な受信データなし) 1 : 受信が正常終了し、シフトレジスタからSPDRヘデータが転送されたとき (SPDRに有効な受信データあり)	R/(W) (注2)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. 書く場合“1”を書いてください。

SPSR レジスタは、RSPI の動作状態を示すフラグを格納したレジスタです。SPSR レジスタは、常に CPU による読み出しが可能です。CPU から SPSR レジスタへの書き込みは、一定条件下においてのみ有効です。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、かつ受信用バッファに未リードのデータがある状態でシリアル転送が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを CPU が読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記「“0” になる条件」のマスタモード時の条件がいずれか 1 つでも満たされなかったとき

【スレーブモード】

- SPCR.SPE ビットが“1” (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

1. SPCR.SPE ビットが“0” (RSPI 初期化) のとき
2. 送信用バッファ (SPTX) が空 (次転送データがセットされていない) のとき
3. SPSSR.SPCCP[2:0] ビットが“000b” (シーケンス制御の先頭) であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき (次アクセス遅延までが動作完了された状態)
上記 1. が満たされたとき、または上記 2. ~ 4. がすべて満たされたとき

【スレーブモード】

- SPCR.SPE ビットが“0” (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーの発生を示します。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが“1” (マスタモード)、SPCR.MODFEN ビットが“1” (モードフォルトエラー検出を許可) の状態で、SSL 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが“0” (スレーブモード)、SPCR.MODFEN ビットが“1” (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSL 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSL 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。(i=0 ~ 3)

["0" になる条件]

- MODF フラグが“1” の状態の SPSR レジスタを CPU が読んだ後、MODF フラグに“0” を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1" になる条件]

- SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1” の状態でシリアル転送が終了し、パリティエラーが検出されたとき

["0" になる条件]

- PERF フラグが“1” の状態の SPSR レジスタを CPU が読んだ後、PERF フラグに“0” を書いたとき

SPTEF フラグ (送信バッファEMPTYフラグ)

SPDR レジスタの送信バッファの有無を表示します。

["1" になる条件]

- SPDR からシフトレジスタにデータが転送されたとき

["0" になる条件]

- SPDR へデータを転送したとき

SPRF フラグ (受信バッファフルフラグ)

SPDR レジスタの受信バッファの有無を表示します。

["1" になる条件]

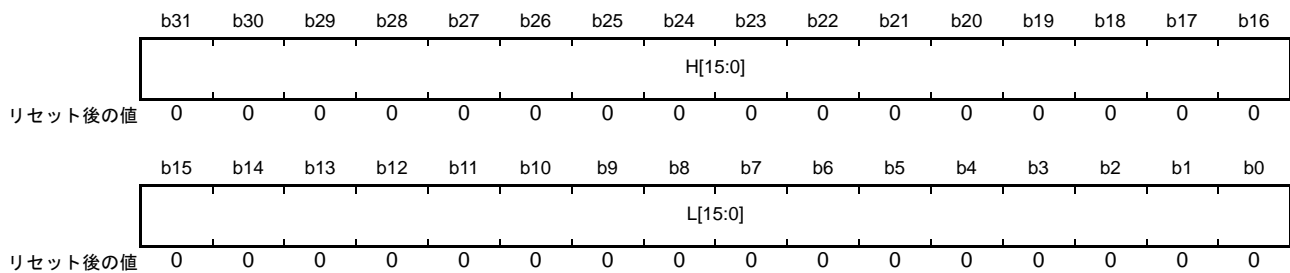
- 受信が正常終了し、シフトレジスタから SPDR へデータが転送されたとき

["0" になる条件]

- SPDR からデータを転送したとき

26.2.5 RSPI データレジスタ (SPDR)

アドレス 0008 8384h



SPDR レジスタは、常に CPU による書き込み/読み出し可能なレジスタで、RSPI 送受信のデータを格納するバッファです。

送信用バッファ (SPTX) と受信用バッファ (SPRX) は独立したバッファで、これらのバッファが SPDR レジスタにマッピングされています。

SPDR レジスタへの読み出し/書き込みは、SPDCR.SPLW ビットの設定によって、ワード/ロングワードで行ってください。SPLW ビットが“0”のとき、SPDR レジスタは、64 ビットのバッファで最大 16 ビットの 4 フレームから構成され、SPLW ビットが“1”のとき、SPDR レジスタは、128 ビットのバッファで最大 32 ビットの 4 フレームから構成されます。

SPDR レジスタの使用するフレーム長は、フレーム数設定ビット SPDCR.SPFC[1:0] ビットによって決定され、使用するビット長は SPCMDm.SPB[3:0] ビットによって決定されます。

SPDR レジスタへの書き込みを行う場合には、送信バッファ (SPTX) が空 (次転送のデータがセットされていない) のとき、RSPI が SPDR レジスタの送信バッファにデータを書き込みます。送信バッファに未送信データがある状態では、RSPI は SPDR レジスタの送信バッファを更新しません。

SPDR レジスタからの読み出しを行う場合には、SPDCR.SPRDTD ビットが“0”であれば受信バッファを読み出し、“1”であれば送信バッファを読み出します。

送信バッファを読み出す場合には、直前に書き込んだ値が読み出されます。また、送信バッファに未送信のデータがある状態では、読み出し値がすべて“0”になります。

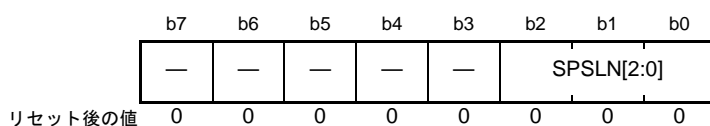
通常の使用方法では、SPRDTD ビットを“0”とし、受信バッファフル割り込みで、受信バッファの読み出しを実行します。受信バッファに未リードのデータがある状態、または SPSR.OVRF フラグが“1”の状態では、RSPI はシリアル転送終了時に、SPDR レジスタの受信バッファを更新しません。

SPDR レジスタにワード/ロングワードのアクセス幅で読み出し/書き込みを行う場合、下記のアドレスにアクセスしてください。下記以外の読み出し/書き込みを行った場合のデータは保証できません。

- ロングワード : RSPI.SPDR 0008 8384h
- ワード : RSPI.SPDR 0008 8384h

26.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス 0008 8388h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	b2 b0 シーケンス長 参照するSPCMD0～7レジスタ (番号) 000: 1 0→0→... 001: 2 0→1→0→... 010: 3 0→1→2→0→... 011: 4 0→1→2→3→0→... 100: 5 0→1→2→3→4→0→... 101: 6 0→1→2→3→4→5→0→... 110: 7 0→1→2→3→4→5→6→0→... 111: 8 0→1→2→3→4→5→6→7→0→... 設定されたシーケンス長に応じて、参照するSPCMD0～7レジスタと参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0～7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、常にSPCMD0レジスタが参照されます	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。SPCR.MSTR, SPE ビットがともに "1" で、マスターモードの RSPI 機能が有効な状態において、SPSCR.SPSLN[2:0] ビットを書き替える場合、SPSR.IDLNF フラグが "0" の状態で書き替えてください。

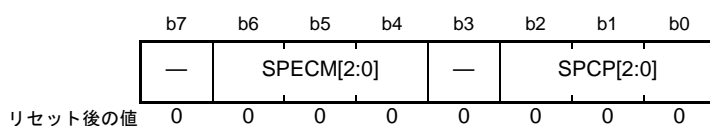
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスターモードの RSPI がシーケンス動作する場合のシーケンス長を設定します。マスターモードの RSPI は SPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照する RSPI コマンドレジスタ 0～7 (SPCMD0～SPCMD7) と参照順を変更します。

スレーブモードの RSPI では、常に SPCMD0 レジスタが参照されます。

26.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス 0008 8389h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R/W
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R/W

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示すレジスタです。

SPSSR レジスタは、CPU から SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD0 ~ 7 レジスタを示します。

なお、RSPI のシーケンス制御については、「26.3.10.1 マスタモード動作」を参照してください。

SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD0 ~ 7 レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF、PERF フラグとともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「26.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「26.3.10.1 マスタモード動作」を参照してください。

26.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス 0008 838Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
リセット後の値	1	1	1	1	1	1	1	1

SPBR レジスタは、CPU による書き込み/読み出し可能なレジスタで、マスタモード時のビットレート設定に使用します。SPCR.MSTR、SPE ビットがともに“1”で、マスタモードの RSPI 動作が有効な状態において、CPU が SPBR レジスタを書き替えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット (ビットレート分周設定ビット) (m=0～7) の設定に関係なく、入力クロックのビットレートに依存します (電気的特性を満足するビットレートを使用してください)。

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値 (0、1、2、……、255)、N は BRDV[1:0] ビットの設定値 (0、1、2、3) です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n+1) 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 26.4 に示します。

表 26.4 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの 設定値 (n)	BRDV[1:0] ビット の設定値 (N)	分周比	ビットレート			
			PCLK = 32MHz	PCLK = 36MHz	PCLK = 40MHz	PCLK = 50MHz
0	0	2	16.0 Mbps(注1)	18.0 Mbps(注1)	20.0 Mbps(注1)	25.0 Mbps(注1)
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps	12.5 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps	8.33 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps	6.25 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps	5.00 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps	4.16 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps	2.08 Mbps
5	2	48	667 kbps	750 kbps	833 kbps	1.04 Mbps
5	3	96	333 kbps	375 kbps	417 kbps	521 kbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps	12.2 kbps

注1. 設定できますが、電気的特性を満たすように使用してください。

26.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス 0008 838Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	SLSEL[1:0]	SPFC[1:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W																						
b1-b0	SPFC[1:0]	フレーム数設定ビット	SPDRレジスタに格納できるフレーム数を設定します。 表26.5および図26.2に、SPDRレジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。 組み合わせ例に示した以外の設定を行った場合、以後の動作は保証されません	R/W																						
b3-b2	SLSEL[1:0]	SSL端子出力選択ビット	<table border="1"> <thead> <tr> <th></th> <th>SLSEL [1:0]="00b"</th> <th>SLSEL [1:0]="01b"</th> <th>SLSEL [1:0]="10b"</th> <th>SLSEL [1:0]="11b"</th> </tr> </thead> <tbody> <tr> <td>SSL3</td> <td>出力</td> <td>IO</td> <td>IO</td> <td rowspan="4">設定禁止</td> </tr> <tr> <td>SSL2</td> <td>出力</td> <td>IO</td> <td>IO</td> </tr> <tr> <td>SSL1</td> <td>出力</td> <td>IO</td> <td>出力</td> </tr> <tr> <td>SSL0</td> <td>出力</td> <td>出力</td> <td>出力</td> </tr> </tbody> </table> SLSEL[1:0]="11b"と設定した場合、以後の動作は保証されません		SLSEL [1:0]="00b"	SLSEL [1:0]="01b"	SLSEL [1:0]="10b"	SLSEL [1:0]="11b"	SSL3	出力	IO	IO	設定禁止	SSL2	出力	IO	IO	SSL1	出力	IO	出力	SSL0	出力	出力	出力	R/W
	SLSEL [1:0]="00b"	SLSEL [1:0]="01b"	SLSEL [1:0]="10b"	SLSEL [1:0]="11b"																						
SSL3	出力	IO	IO	設定禁止																						
SSL2	出力	IO	IO																							
SSL1	出力	IO	出力																							
SSL0	出力	出力	出力																							
b4	SPRDTD	RSPI受信/送信データ選択ビット	0: SPDRは受信バッファを読み出す 1: SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W																						
b5	SPLW	RSPIロングワードアクセス/ワードアクセス設定ビット	0: SPDRレジスタへはワードアクセス 1: SPDRレジスタへはロングワードアクセス	R/W																						
b7-b6	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W																						

SPDCRレジスタは、SPDRレジスタに格納できるフレーム数、SSL端子出力制御、SPDRレジスタの読み出し、SPDRレジスタへのアクセス幅をロングワードアクセス/ワードアクセスに設定するためのレジスタです。

SPCMDm.SPB[3:0]ビット(m=0~7)、SPSCR.SPSSLN[2:0]ビット、SPDCR.SPFC[1:0]ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPEビットが"1"でRSPI動作が有効な状態において、CPUがSPDCR.SPFC[1:0]ビットを書き替える場合は、SPSR.IDLNFフラグが"0"のときに書き替えてください。

SPFC[1:0]ビット (フレーム数設定ビット)

SPDRレジスタに格納できるフレーム数を設定します。SPCMDm.SPB[3:0]ビット、SPSCR.SPSSLN[2:0]ビット、SPDCR.SPFC[1:0]ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0]ビットは、RSPI受信バッファフル割り込みが発生する受信データ数の設定を行います。表26.5および図26.2に、SPDRレジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作は保証されません。

SLSEL[1:0] ビット (SSL 端子出力選択ビット)

SLSEL[1:0] ビットは、マスタモード時に SSL 端子の出力制御を行います。

SPRDTD ビット (RSPI 受信/送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合、SPDR レジスタへ直前に書いた値が読めます。

SPLW ビット (RSPI ロングワードアクセス/ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作は保証されません。

表 26.5 SPCMDm.SPB[3:0] ビットで設定可能なデータ長

設定	SPB[3:0]	SPSLN[2:0]	SPFC[1:0]	転送する フレーム数	受信バッファフル割り込み発生、 送信バッファにデータありになる フレーム数
1-1	N	000b	00b	1	1
1-2	N	000b	01b	2	2
1-3	N	000b	10b	3	3
1-4	N	000b	11b	4	4
2-1	N、M	001b	01b	2	2
2-2	N、M	001b	11b	4	4
3	N、M、O	010b	10b	3	3
4	N、M、O、P	011b	11b	4	4
5	N、M、O、P、Q	100b	00b	5	1
6	N、M、O、P、Q、R	101b	00b	6	1
7	N、M、O、P、Q、R、S	110b	00b	7	1
8	N、M、O、P、Q、R、S、T	111b	00b	8	1

N、M、O、P、Q、R、S、T : SPCMDm.SPB[3:0] ビットで設定できるデータ長

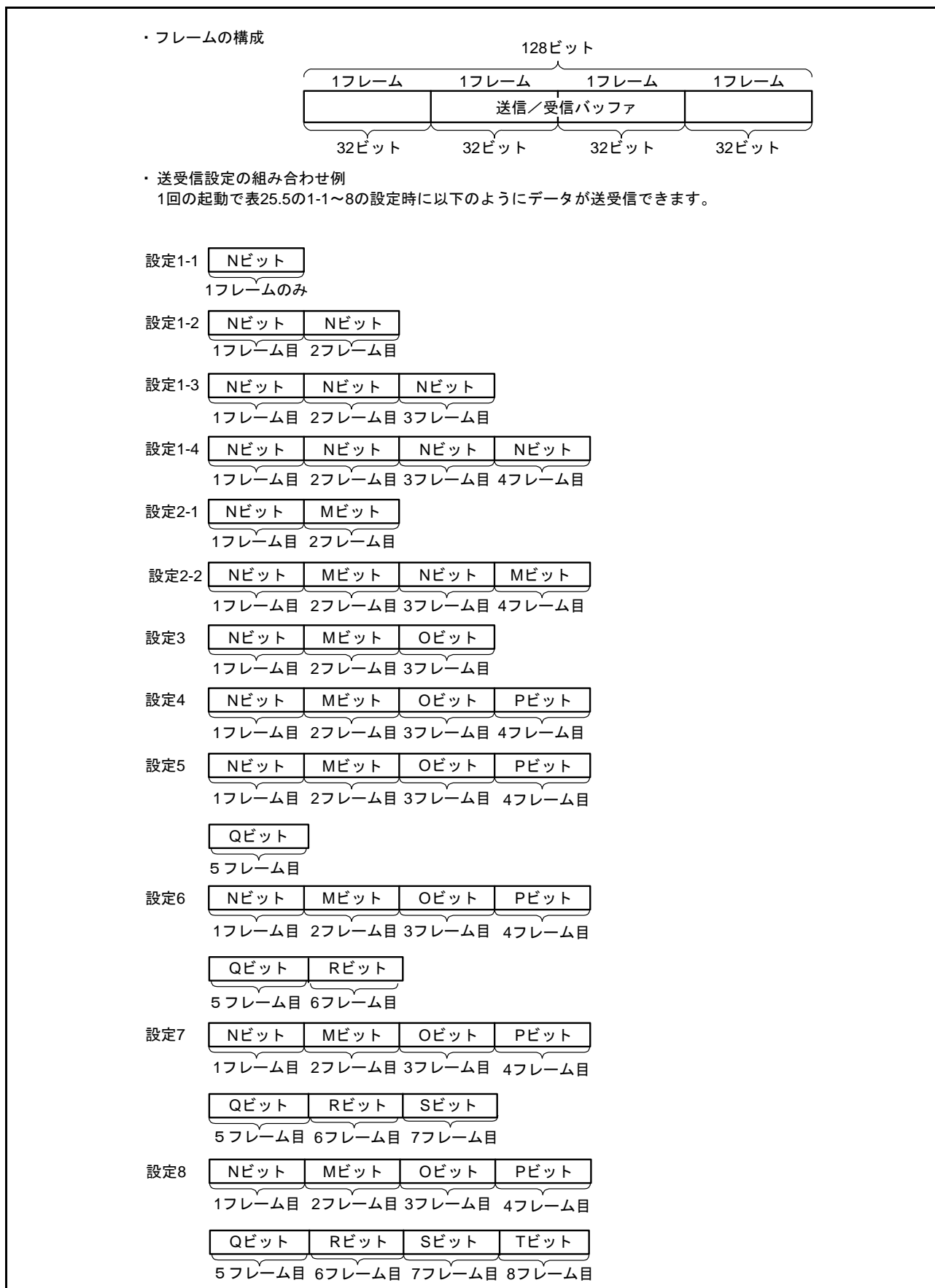
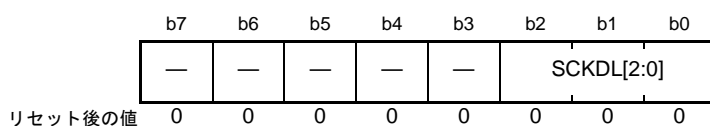


図 26.2 フレームの構成と送受信設定の組み合わせ例

26.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス 0008 838Ch



ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSL 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR, SPE ビットがともに“1”で、マスターモードの RSPI の動作が有効な状態において、SPCKD レジスタを書き換えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

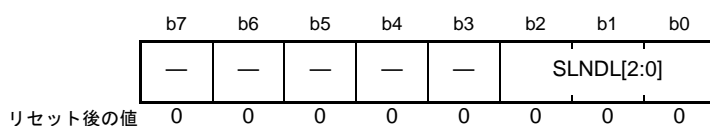
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

26.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス 0008 838Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 000 : 1RSPCK 001 : 2RSPCK 010 : 3RSPCK 011 : 4RSPCK 100 : 5RSPCK 101 : 6RSPCK 110 : 7RSPCK 111 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPIがシリアル転送の最終RSPCKエッジを送出してからSSL信号をネゲートするまでの期間（SSLネゲート遅延）を設定するためのレジスタです。SPCR.MSTR, SPEビットがともに“1”で、マスタモードのRSPIの動作が有効な状態において、SSLNDレジスタを書き替えた場合には、以降の動作は保証されません。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

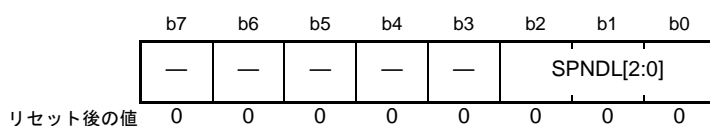
SLNDL[2:0]ビット (SSLネゲート遅延設定ビット)

マスタモードのRSPIのSSLネゲート遅延値を設定します。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

26.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス 0008 838Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1RSPCK + 2PCLK 0 0 1 : 2RSPCK + 2PCLK 0 1 0 : 3RSPCK + 2PCLK 0 1 1 : 4RSPCK + 2PCLK 1 0 0 : 5RSPCK + 2PCLK 1 0 1 : 6RSPCK + 2PCLK 1 1 0 : 7RSPCK + 2PCLK 1 1 1 : 8RSPCK + 2PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”状態で、シリアル転送終了後の SSL 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR, SPE ビットがともに“1”で、マスターモードの RSPI 動作が有効な状態において、SPND レジスタを書き替えた場合には、以降の動作は保証されません。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

26.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス 0008 838Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ有効ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データのパリティ チェックを行う (SPCR.TXMD=0のとき) 送信データにパリティビットを付加するが、受信データのパ リティチェックは行わない (SPCR.TXMD=1のとき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可 ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己判断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR2 レジスタは、RSPI の動作モードを設定するためのレジスタです。SPCR.SPE ビットが“1”で RSPI 動作が有効な状態において、SPCR2.SPPE, SPOE ビットの設定値を変更した場合には、以降の動作は保証されません。

SPPE ビット (パリティ有効ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティでは、パリティビットと送受信キャラクタをあわせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、“1”の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI 割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可/禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

26.2.14 RSPI コマンドレジスタ m (SPCMDm) (m=0 ~ 7)

アドレス SPCMD0 0008 8390h、SPCMD1 0008 8392h、SPCMD2 0008 8394h、SPCMD3 0008 8396h
SPCMD4 0008 8398h、SPCMD5 0008 839Ah、SPCMD6 0008 839Ch、SPCMD7 0008 839Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKが“0” 1: アイドル時のRSPCKが“1”	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 00: ベースのビットレートを選択 01: ベースのビットレートの2分周を選択 10: ベースのビットレートの4分周を選択 11: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 000: SSL0 001: SSL1 010: SSL2 011: SSL3 上記以外は設定しないでください。	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネグート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100: 8ビット 0101: 8ビット 0110: 8ビット 0111: 8ビット 1000: 9ビット 1001: 10ビット 1010: 11ビット 1011: 12ビット 1100: 13ビット 1101: 14ビット 1110: 15ビット 1111: 16ビット 0000: 20ビット 0001: 24ビット 0010: 32ビット 0011: 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延設定許可ビット	0: 次アクセス遅延は1RSPCK+2PCLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネグート遅延設定許可ビット	0: SSLネグート遅延は1RSPCK 1: SSLネグート遅延はRSPIスレーブセレクトネグート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMDm レジスタは、マスタモードのRSPIの転送フォーマットを設定します。また、SPCMD0 レジスタの一部のビットは、スレーブモードのRSPIの転送フォーマットを設定するためにも使用されます。マスタモードのRSPIはSPSCR.SPSSLN[2:0]ビットの設定に従ってシーケンシャルにSPCMDmレジスタを参照し、

参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は送信バッファが空の（次転送のデータがセットされていない）状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、スレーブモードの RSPI 動作が有効な状態において、SPCMDm レジスタを書き替えた場合、以降の動作は保証されません。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します（「26.2.8 RSPI ビットレートレジスタ (SPBR)」を参照）。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSL 信号のアサートを制御するためのビットです。

SSLA[2:0] ビットの設定値が、SSL_i 信号 (i=0~3) のアサートを制御します。SSL 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL_i 信号がネゲート状態でシリアル転送が実行されます (SSL₀ 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSL 信号レベルを保持するか、ネゲートするかを設定するビットです。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードの RSPI の転送データ長を設定します。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードの RSPI のデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延設定許可ビット)

マスタモードのRSPIがシリアル転送を終了してSSL信号を非アクティブにしてから、次アクセスのSSL信号アサートを可能にするまでの期間(次アクセス遅延)を設定します。SPNDENビットが“0”のとき、RSPIは次アクセス遅延を $1RSPCK+2PCLK$ にします。SPNDENビットが“1”のとき、RSPIはSPNDレジスタの設定に従った次アクセス遅延を挿入します。

RSPIをスレーブモードで使用する場合には、SPNDENビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードのRSPIが、RSPCKを発振停止してからSSL信号を非アクティブにするまでの期間(SSLネゲート遅延)を設定します。SLNDENビットが“0”のとき、RSPIはSSLネゲート遅延を $1RSPCK$ にします。SLNDENビットが“1”のとき、RSPIはSSLNDレジスタの設定に従ったRSPCK遅延でSSLiをネゲートします。

RSPIをスレーブモードで使用する場合には、SLNDENビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードのRSPIが、SSL信号をアクティブにしてからRSPCKを発振するまでの期間(RSPCK遅延)を設定します。SCKDENビットが“0”のとき、RSPIはRSPCK遅延を $1RSPCK$ にします。SCKDENビットが“1”のとき、RSPIはSPCKDレジスタの設定に従ったRSPCK遅延でRSPCKの発振を開始します。

RSPIをスレーブモードで使用する場合には、SCKDENビットを“0”にしてください。

26.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

26.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送が可能です。RSPI のモードは、SPCR.MSTR、MODFEN、SPMS ビットによって設定できます。表 26.6 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 26.6 RSPIのモードと SPCR レジスタの設定の関係および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCK信号	入力	出力	出力/Hi-Z	入力	出力
MOSI信号	入力	出力	出力/Hi-Z	入力	出力
MISO信号	出力/Hi-Z	入力	入力	出力	入力
SSL0信号	入力	出力	入力	Hi-Z	Hi-Z
SSL1~SSL3信号	Hi-Z	出力/Hi-Z	出力/Hi-Z	Hi-Z	Hi-Z
SSL極性変更機能	あり	あり	あり	—	—
転送レート	~PCLK/8	~PCLK/2	~PCLK/2	~PCLK/8	~PCLK/2
クロックソース	RSPCK入力	内蔵ポーレート ジェネレータ	内蔵ポーレート ジェネレータ	RSPCK入力	内蔵ポーレート ジェネレータ
クロック極性	2種	2種	2種	2種	2種
クロック位相	2種	2種	2種	1種 (CPHA=1)	2種
先頭転送ビット	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB	MSB/LSB
転送データ長	8~32ビット	8~32ビット	8~32ビット	8~32ビット	8~32ビット
バースト転送	可能 (CPHA=1)	可能 (CPHA=0,1)	可能 (CPHA=0,1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力アクティブまたはRSPCK発振	送信バッファエンブティ割り込み要求で送信バッファ書き込み	送信バッファエンブティ割り込み要求で送信バッファ書き込み	RSPCK発振	送信バッファエンブティ割り込み要求で送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブティ検出	あり	あり	あり	あり	あり
受信バッファフル検出	あり (注1)	あり (注1)	あり (注1)	あり (注1)	あり (注1)
オーバランエラー検出	あり (注1)	あり (注1)	あり (注1)	あり (注1)	あり (注1)
パリティエラー検出	あり (注1、注2)	あり (注1、注2)	あり (注1、注2)	あり (注1、注2)	あり (注1、注2)
モードフォルトエラー検出	あり (MODFEN=1)	なし	あり	なし	なし

注1. SPCR.TXMD ビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注2. SPCR2.SPPE ビットが“0”のときは、パリティエラー検出を行いません。

26.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を表 26.7 に示します。

表 26.7 RSPI端子の状態と制御ビット設定値の関係

モード	端子	端子状態 (注1)
シングルマスタ (SPI動作) (MSTR=1, MODFEN=0, SPMS=0)	RSPCK	出力
	SSL0~3	出力
	MOSI	出力
	MISO	入力
マルチマスタ (SPI動作) (MSTR=1, MODFEN=1, SPMS=0)	RSPCK (注2)	出力/Hi-Z
	SSL0	入力
	SSL1~3 (注2)	出力/Hi-Z
	MOSI (注2)	出力/Hi-Z
スレーブ (SPI動作) (MSTR=0, SPMS=0)	RSPCK	入力
	SSL0	入力
	SSL1~3	Hi-Z
	MOSI	入力
	MISO (注3)	出力/Hi-Z
マスタ (クロック同期式動作) (MSTR=1, MODFEN=0, SPMS=1)	RSPCK	出力
	SSL0~3 (注4)	Hi-Z
	MOSI	出力
	MISO	入力
スレーブ (クロック同期式動作) (MSTR=0, SPMS=1)	RSPCK	入力
	SSL0~3 (注4)	Hi-Z
	MOSI	入力
	MISO	出力

注1. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注2. SSL0がアクティブレベルの場合、端子状態がHi-Zになります。

注3. SSL0が非アクティブレベルまたはSPCR.SPEビットが"0"の場合、端子状態がHi-Zになります。

注4. クロック同期式動作時は、SSL0~3をI/Oポートとして使用可能です。

シングルマスタモード (SPI動作)、マルチマスタモード (SPI動作) のRSPIは、SPPCR.MOIFEビットとSPPCR.MOIFE, MOIFVビットの設定に従って、SSLネゲート期間 (バースト転送におけるSSL保持期間を含む) のMOSI信号値を表 26.8 のように決定します。

表 26.8 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSI信号値
0	0	前回転送の最終データ
	1	
1	0	常に"0"
1	1	常に"1"

26.3.3 RSPI システム構成例

26.3.3.1 シングルマスタ/シングルスレーブ (本 LSI = マスタ)

図 26.3 に、本 LSI をマスタとして使用した場合のシングルマスタ/シングルスレーブの RSPI システムの構成例を示します。シングルマスタ/シングルスレーブの構成では、本 LSI (マスタ) の SSL0 ~ SSL3 出力は使用しません。RSPI スレーブの SSL 入力は“Low”に固定して、RSPI スレーブを常に選択できる状態にします。(注1)

本 LSI (マスタ) は、RSPCK と MOSI を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

- 注1. SPCMDm.CPHA ビット (m = 0 ~ 7) が“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

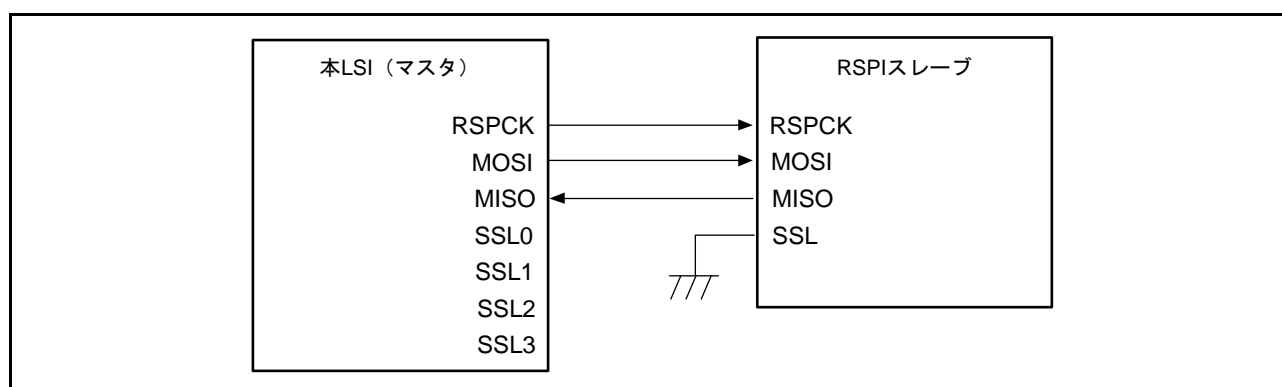


図 26.3 シングルマスタ/シングルスレーブの構成例 (本 LSI = マスタ)

26.3.3.2 シングルマスタ/シングルスレーブ (本 LSI = スレーブ)

図 26.4 に、本 LSI をスレーブとして使用した場合のシングルマスタ/シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL0 端子を SSL 入力として使用します。RSPI マスタは、RSPCK と MOSI を常にドライブします。本 LSI (スレーブ) は、MISO を常にドライブします。(注 1)

SPCMD0.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 LSI (スレーブ) の SSL0 入力を“0”レベルに固定して本 LSI (スレーブ) を常に選択できる状態とし、シリアル転送を実行することも可能です(図 26.5)。

注 1. SSL0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

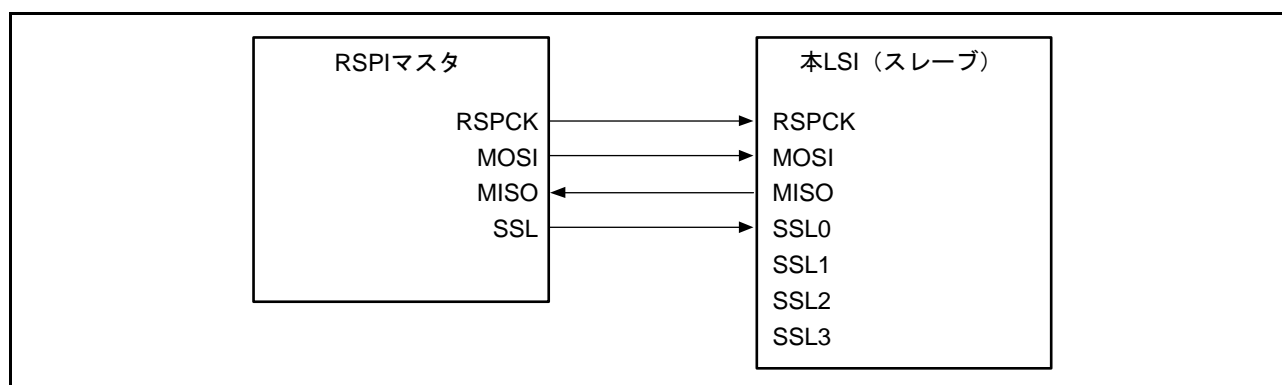


図 26.4 シングルマスタ/シングルスレーブの構成例 (本 LSI = スレーブ)

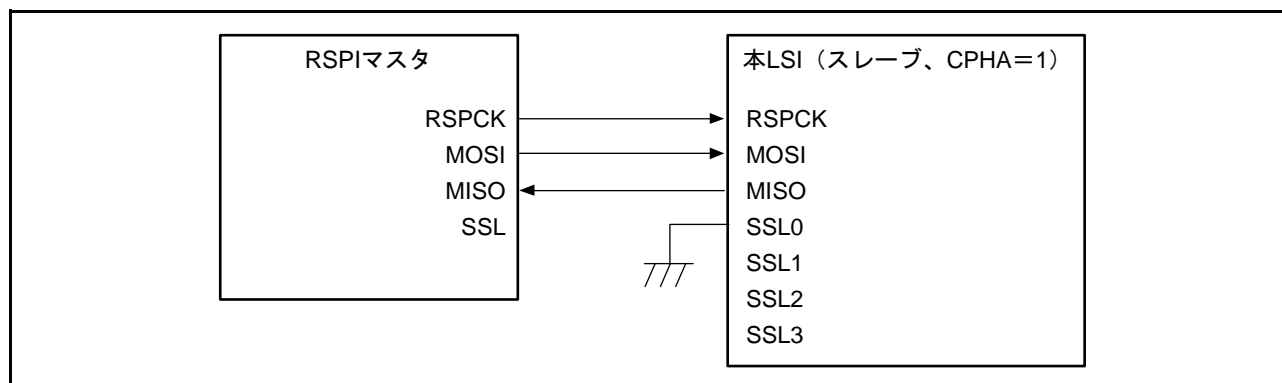


図 26.5 シングルマスタ/シングルスレーブの構成例 (本 LSI = スレーブ、SPCMD0.CPHA = 1)

26.3.3.3 シングルマスタ/マルチスレーブ (本 LSI = マスタ)

図 26.6 に、本 LSI をマスタとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 26.6 の例では、本 LSI (マスタ) と 4 つのスレーブ (RSPI スレーブ 0 ~ RSPI スレーブ 3) から RSPI システムを構成しています。

本 LSI (マスタ) の RSPCK 出力と MOSI 出力は、RSPI スレーブ 0 ~ RSPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 0 ~ RSPI スレーブ 3 の MISO 出力は、すべて本 LSI (マスタ) の MISO 入力に接続します。本 LSI (マスタ) の SSL0 ~ SSL3 出力は、それぞれ RSPI スレーブ 0 ~ RSPI スレーブ 3 の SSL 入力に接続します。

本 LSI (マスタ) は、RSPCK、MOSI、SSL0 ~ SSL3 を常にドライブします。RSPI スレーブ 0 ~ RSPI スレーブ 3 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

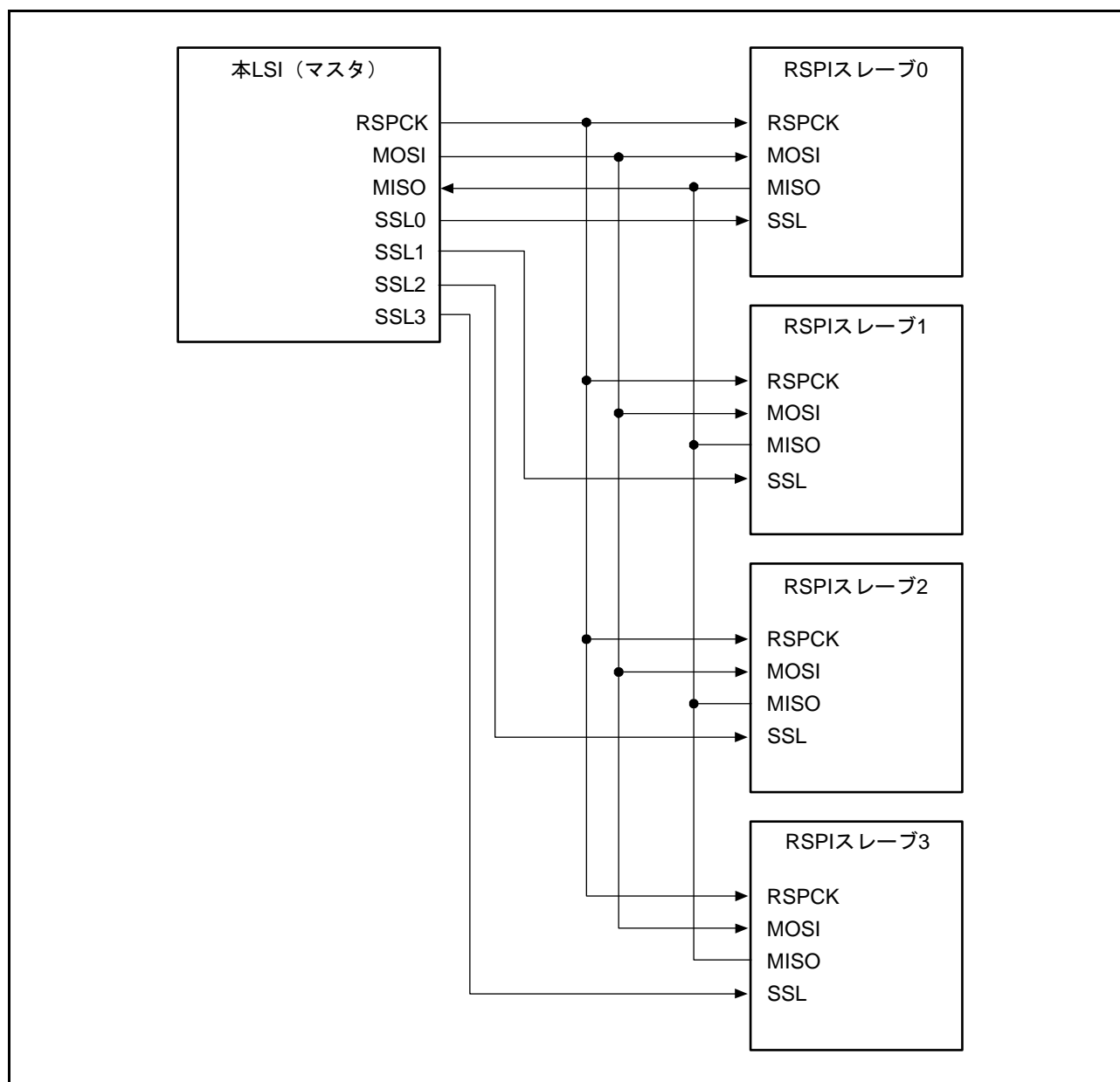


図 26.6 シングルマスタ/マルチスレーブの構成例 (本 LSI = マスタ)

26.3.3.4 シングルマスタ/マルチスレーブ (本 LSI = スレーブ)

図 26.7 に、本 LSI をスレーブとして使用した場合のシングルマスタ/マルチスレーブの RSPI システム構成例を示します。図 26.7 の例では、RSPI マスタと 2 つの本 LSI (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

RSPI マスタの RSPCK 出力と MOSI 出力は、本 LSI (スレーブ X、スレーブ Y) の RSPCK 入力と MOSI 入力に接続します。本 LSI (スレーブ X、スレーブ Y) の MISO 出力は、RSPI マスタの MISO 入力に接続します。RSPI マスタの SSLX 出力、SSLY 出力は、本 LSI (スレーブ X、スレーブ Y) の SSL0 入力に接続します。

RSPI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI (スレーブ X、スレーブ Y) のうち、SSL0 入力に“0”レベルを入力されているスレーブが、MISO をドライブします。

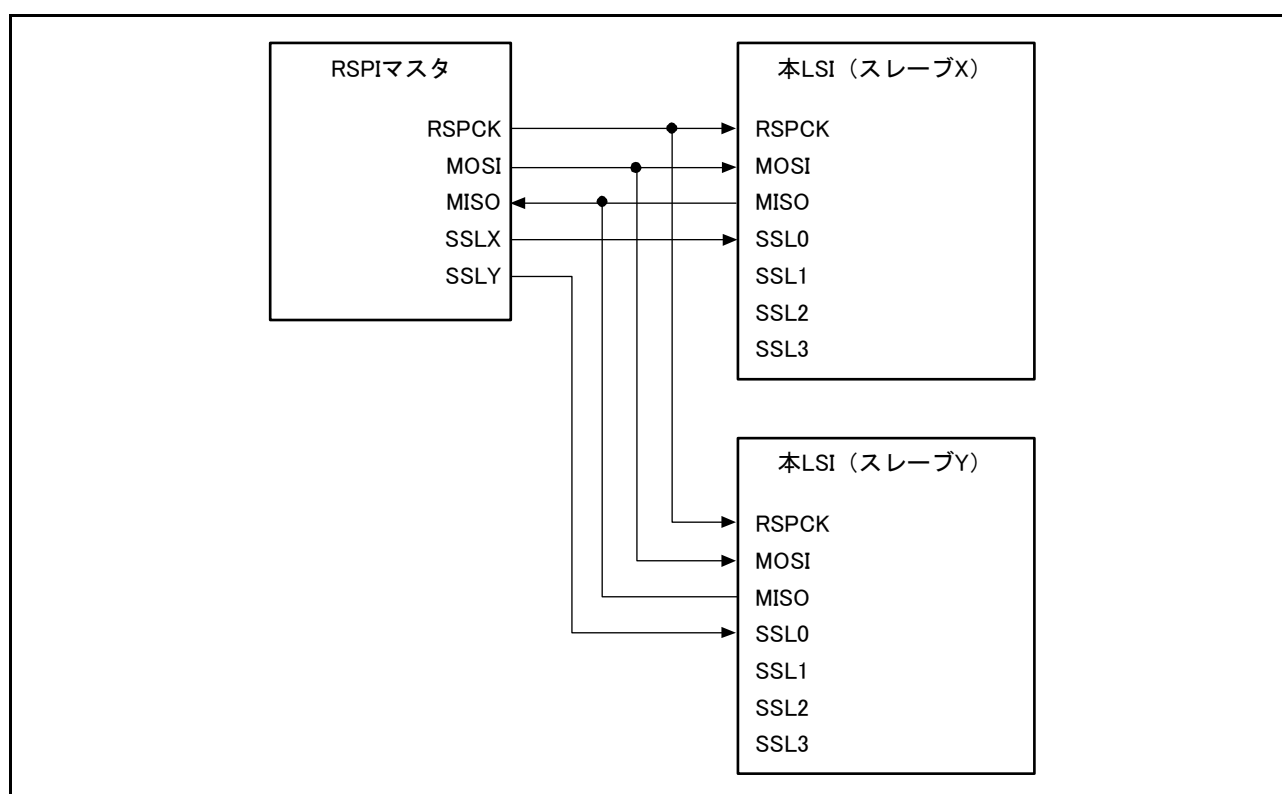


図 26.7 シングルマスタ/マルチスレーブの構成例 (本 LSI = スレーブ)

26.3.3.5 マルチマスタ/マルチスレーブ (本 LSI = マスタ)

図 26.8 に、本 LSI をマスタとして使用した場合のマルチマスタ/マルチスレーブの RSPI システム構成例を示します。図 26.8 の例では、2つの本 LSI (マスタ X、マスタ Y) と2つの RSPI スレーブ (RSPI スレーブ 1、RSPI スレーブ 2) から RSPI システムを構成しています。

本 LSI (マスタ X、マスタ Y) の RSPCK 出力と MOSI 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 1、RSPI スレーブ 2 の MISO 出力は、本 LSI (マスタ X、マスタ Y) の MISO 入力に接続します。本 LSI (マスタ X) の任意の汎用ポート Y 出力は、本 LSI (マスタ Y) の SSL0 入力に接続します。本 LSI (マスタ Y) の任意の汎用ポート X 出力は、本 LSI (マスタ X) の SSL0 入力に接続します。本 LSI (マスタ X、マスタ Y) の SSL1 出力と SSL2 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL0 入力、スレーブ接続用の SSL1 出力、SSL2 出力のみでシステムを構成できるので、本 LSI の SSL3 出力を使用していません。

本 LSI は、SSL0 入力レベルが“1”の場合には、RSPCK、MOSI、SSL1、SSL2 をドライブします。SSL0 入力レベルが“0”の場合には、モードフォルトエラーを検出し、RSPCK、MOSI、SSL1、SSL2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。RSPI スレーブ 1、RSPI スレーブ 2 のうち、SSL 入力に“Low”を入力されているスレーブが、MISO をドライブします。

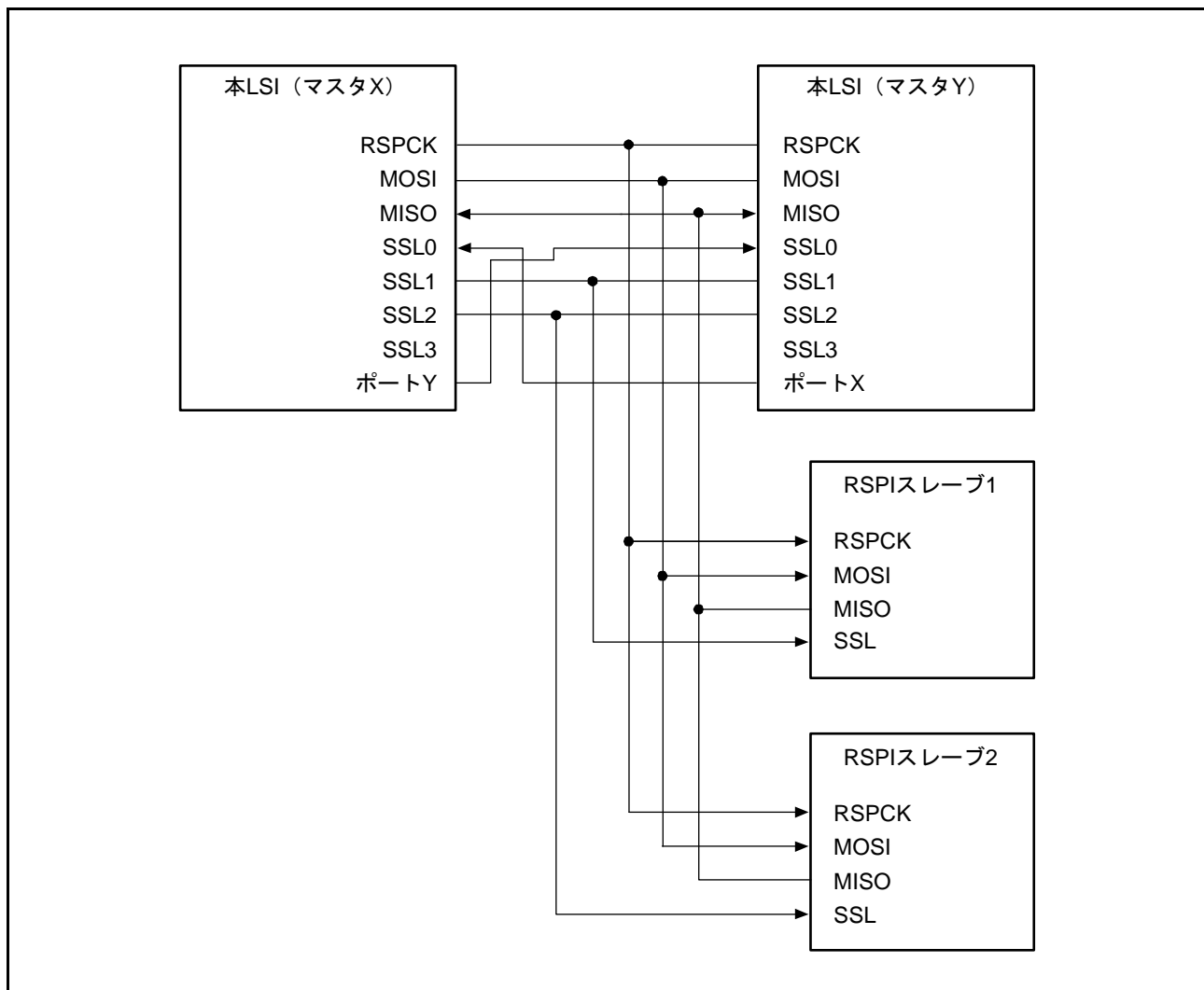


図 26.8 マルチマスタ/マルチスレーブの構成例 (本 LSI = マスタ)

26.3.3.6 マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) (本 LSI = マスタ)

図 26.9 に、本 LSI をマスタとして使用した場合のマスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の構成では、本 LSI (マスタ) の SSL0 ~ SSL3 は使用しません。

本 LSI (マスタ) は、RSPCK と MOSI を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

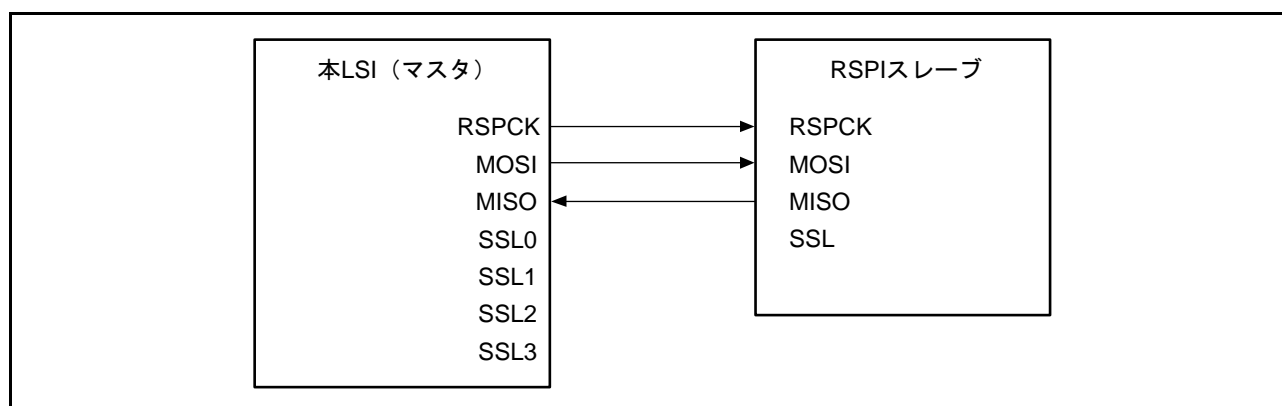


図 26.9 マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の構成例 (本 LSI = マスタ)

26.3.3.7 マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) (本 LSI = スレーブ)

図 26.10 に、本 LSI をスレーブとして使用した場合のマスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 LSI をスレーブ (クロック同期式動作) として使用する場合には、本 LSI (スレーブ) は、MISO を常にドライブし、RSPI マスタは、RSPCK と MOSI を常にドライブします。また、本 LSI (スレーブ) の SSL0 ~ SSL3 は使用しません。

SPCMD0.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 LSI (スレーブ) はシリアル転送を実行することが可能です。

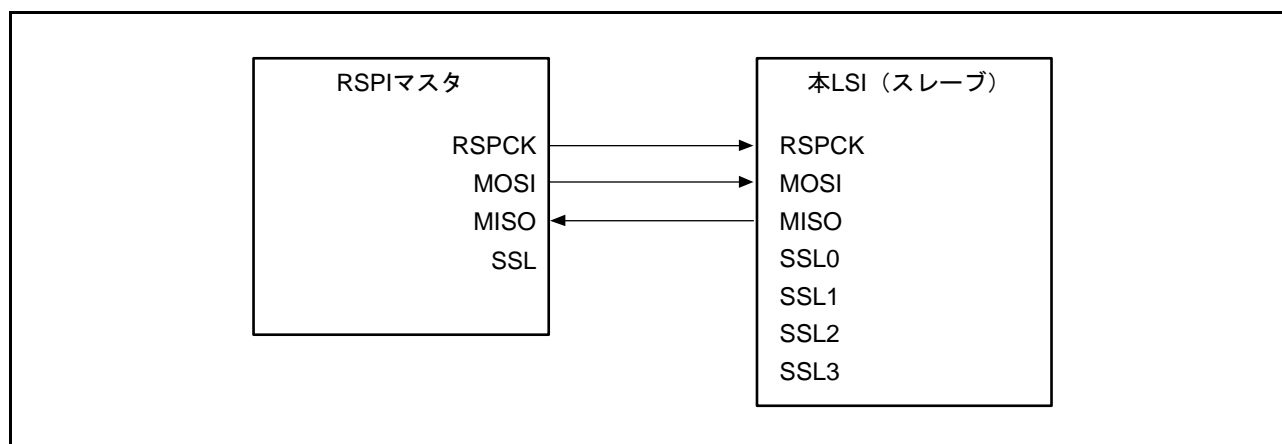


図 26.10 マスタ (クロック同期式動作) /スレーブ (クロック同期式動作) の構成例
(本 LSI = スレーブ、SPCMD0.CPHA = 1)

26.3.4 転送フォーマット

26.3.4.1 SPCMDm.CPHA ビット = 0 の場合

図 26.11 に SPCMDm.CPHA ビット ($m=0 \sim 7$) が “0” の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR=0) で SPCMDm.CPHA ビットが “0” の場合のクロック同期式動作 (SPCR.SPMS ビットが “1” の場合) は保証しません。図 26.11 において、RSPCK (CPOL = 0) は SPCMDm.CPOL ビットが “0” の場合、RSPCK (CPOL = 1) は SPCMDm.CPOL ビットが “1” の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「26.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが “0” の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t_1 は、SSL 信号のアサートから RSPCK 発振までの期間 (RSPCK 遅延) です。 t_2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間 (SSL ネゲート遅延) です。 t_3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間 (次アクセス遅延) です。 t_1 、 t_2 、 t_3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t_1 、 t_2 、 t_3 については、「26.3.10.1 マスタモード動作」を参照してください。

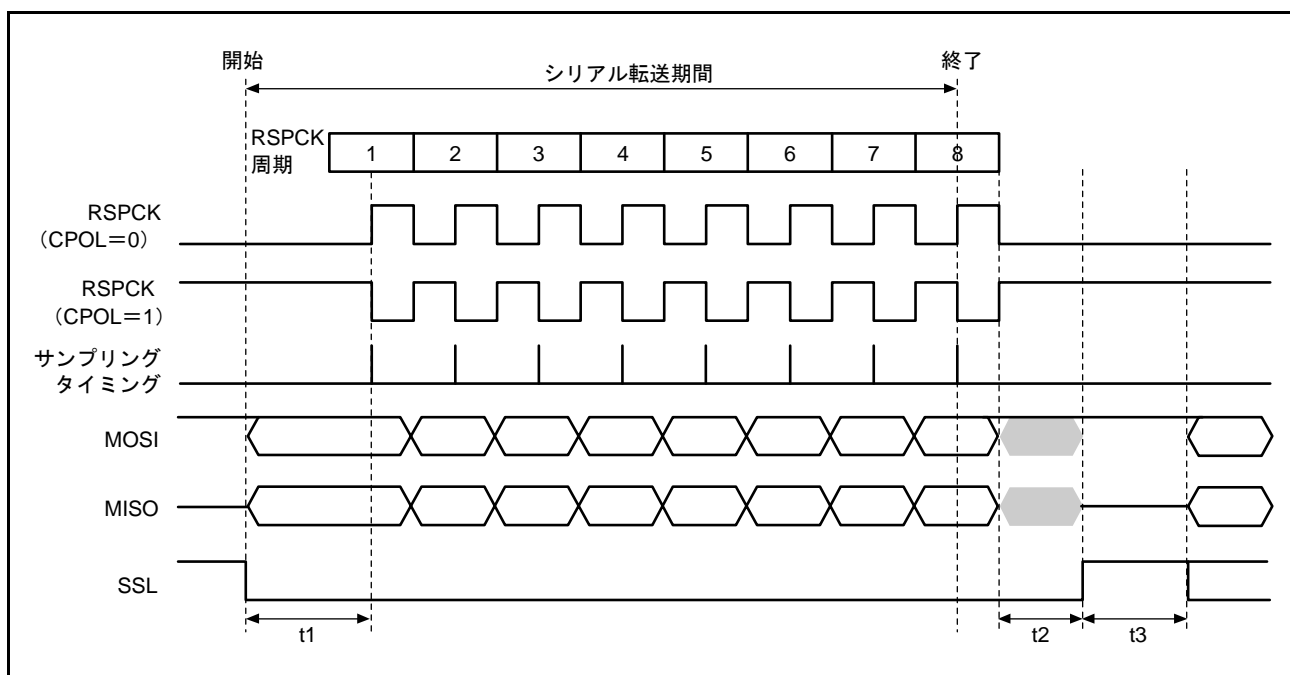


図 26.11 RSPI 転送フォーマット (SPCMDm.CPHA ビット = 0)

26.3.4.2 SPCMDm.CPHA ビット = 1 の場合 (m = 0 ~ 7)

図 26.12 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSL 信号を用いず、RSPCK 信号、MOSI 信号、MISO 信号のみで通信を行います。図 26.12 において、RSPCK (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCK (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「26.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSL 信号のアサートタイミングで、MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データへの出力が開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、SPCMDm.CPHA ビット = 0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「26.3.10.1 マスタモード動作」を参照してください。

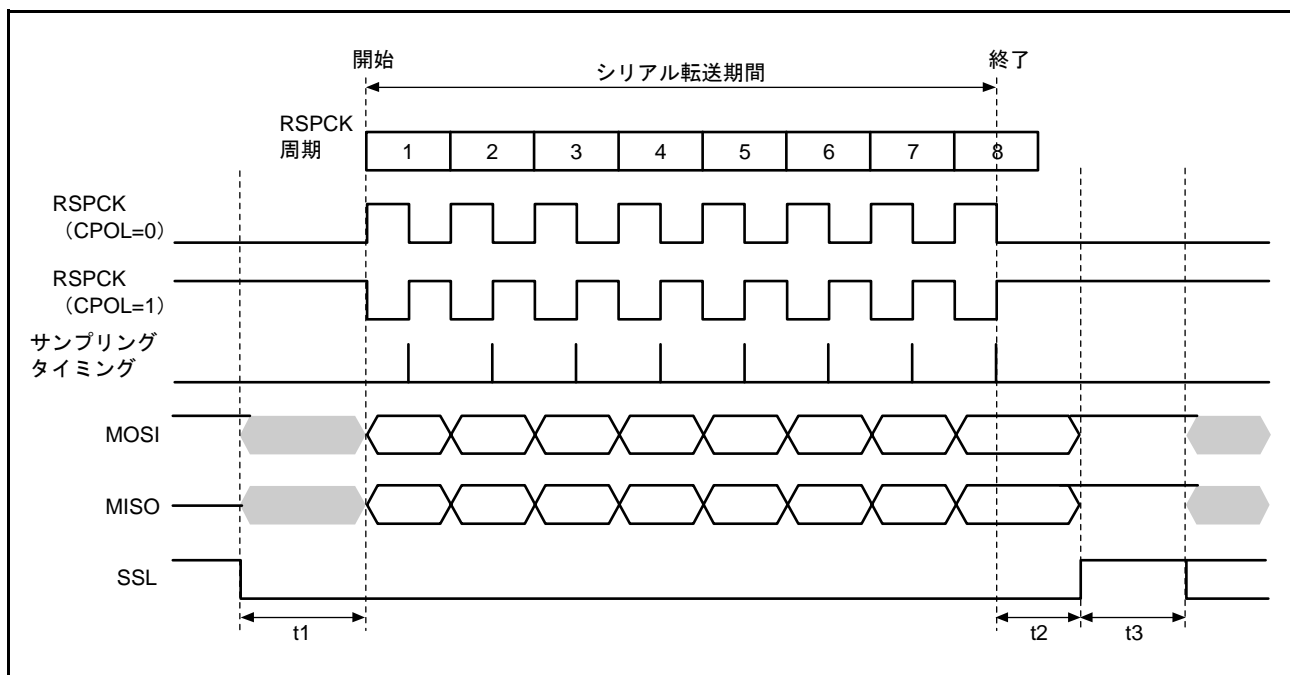


図 26.12 RSPI 転送フォーマット (SPCMDm.CPHA ビット = 1)

26.3.5 データフォーマット

RSPI のデータフォーマットは、SPCMDm レジスタ (m=0~7) および SPCR2.SPPE ビットの設定値に依存します。MSB / LSB ファーストにかかわらず、RSPI は SPDR.LSB ビットから設定データ長分の範囲を転送データとして扱います。

26.3.5.1 MSB ファースト転送 (32 ビットデータ)

(1) パリティ機能無効時 (SPCR2.SPPE = 0)

図 26.13 に、パリティ機能無効時で RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ~ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ~ R00 が格納されます。この状態で、全二重同期式のシリアル通信動作 (SPCR.TXMD = 0) であれば、RSPI はシフトレジスタから SPDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ~ R00 がシフトレジスタからシフトアウトされます。

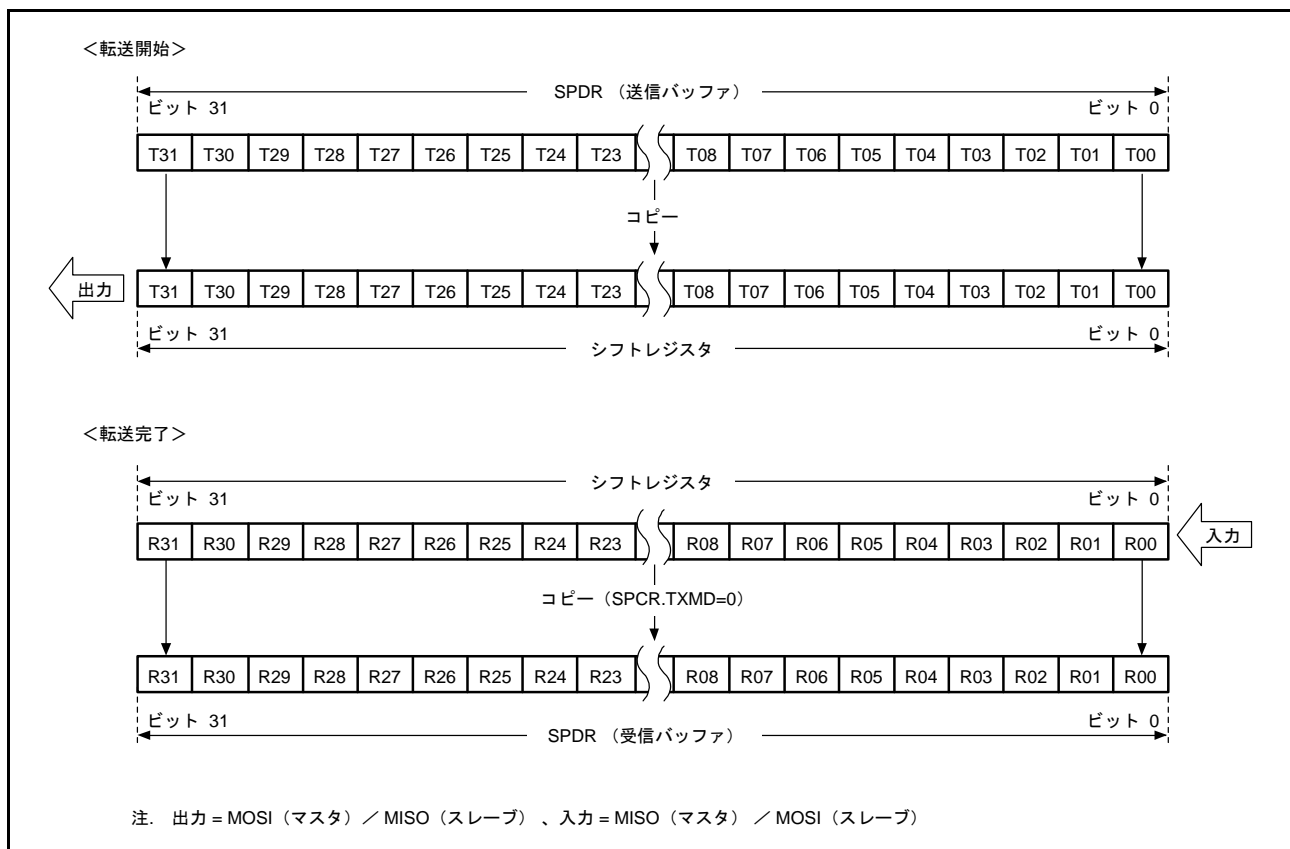


図 26.13 MSB ファースト転送 (1) (32 ビットデータ / パリティ機能無効)

(2) パリティ機能有効時 (SPCR2.SPPE = 1)

図 26.14 に、パリティ機能有効時に RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ~ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファに格納されたデータの T00 をパリティビット (P) に変換します。パリティビット (P) を付加したデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。

32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ~ P が格納されます。この状態で、全二重同期式のシリアル通信動作 (SPCR.TXMD = 0) であれば、RSPI はシフトレジスタから SPDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ~ P がシフトレジスタからシフトアウトされます。

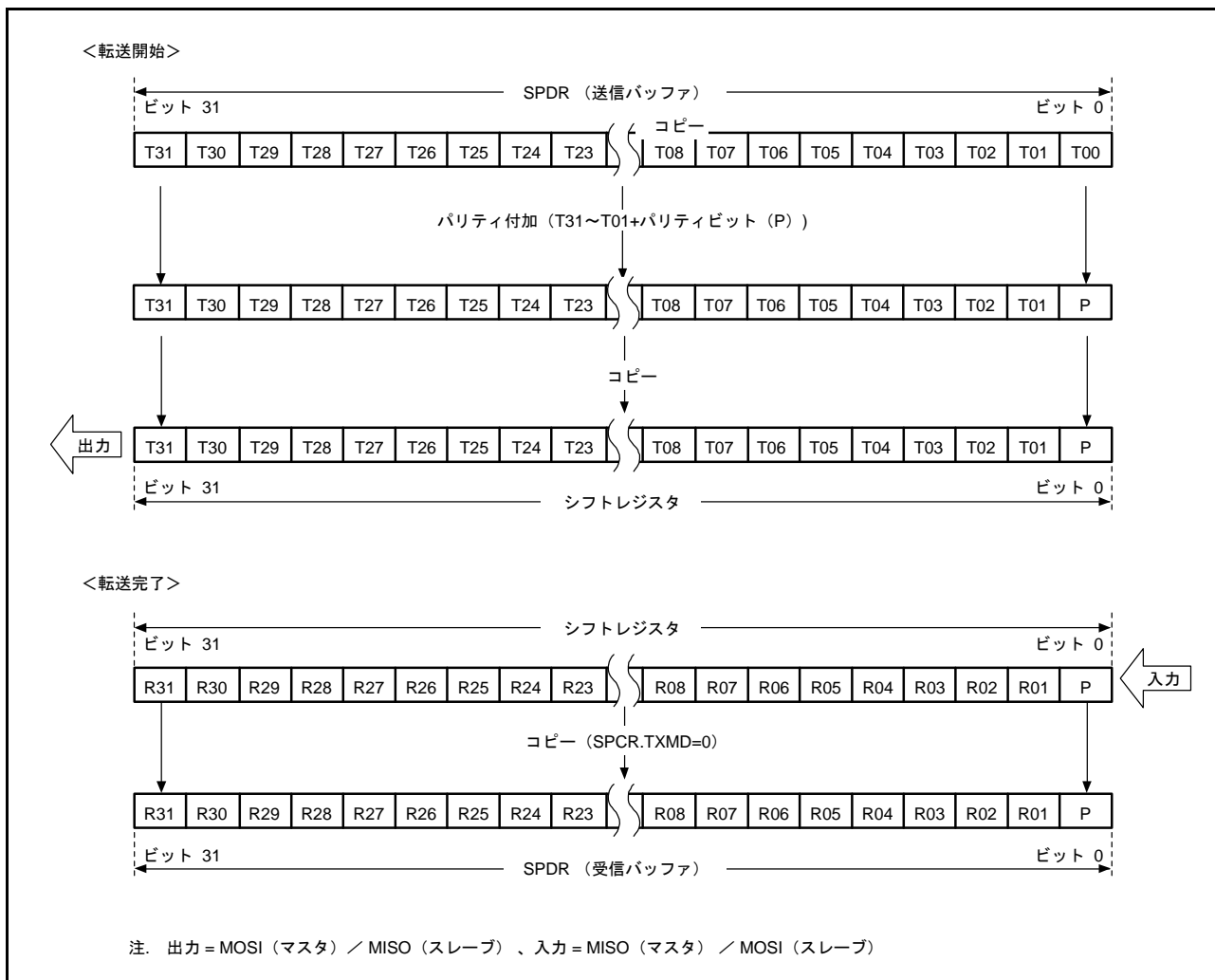


図 26.14 MSB ファースト転送 (2) (32 ビットデータ / パリティ機能有効)

26.3.5.2 MSB ファースト転送 (24 ビットデータ)

(1) パリティ機能無効時 (SPCR2.SPPE = 0)

図 26.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ~ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファに格納されたデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのビット 23 からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 23 ~ 0 には受信データ R23 ~ R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ~ 24 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作 (SPCR.TXMD=0) であれば、RSPI がシフトレジスタから SPDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R23 ~ R00 がシフトレジスタからシフトアウトされます。

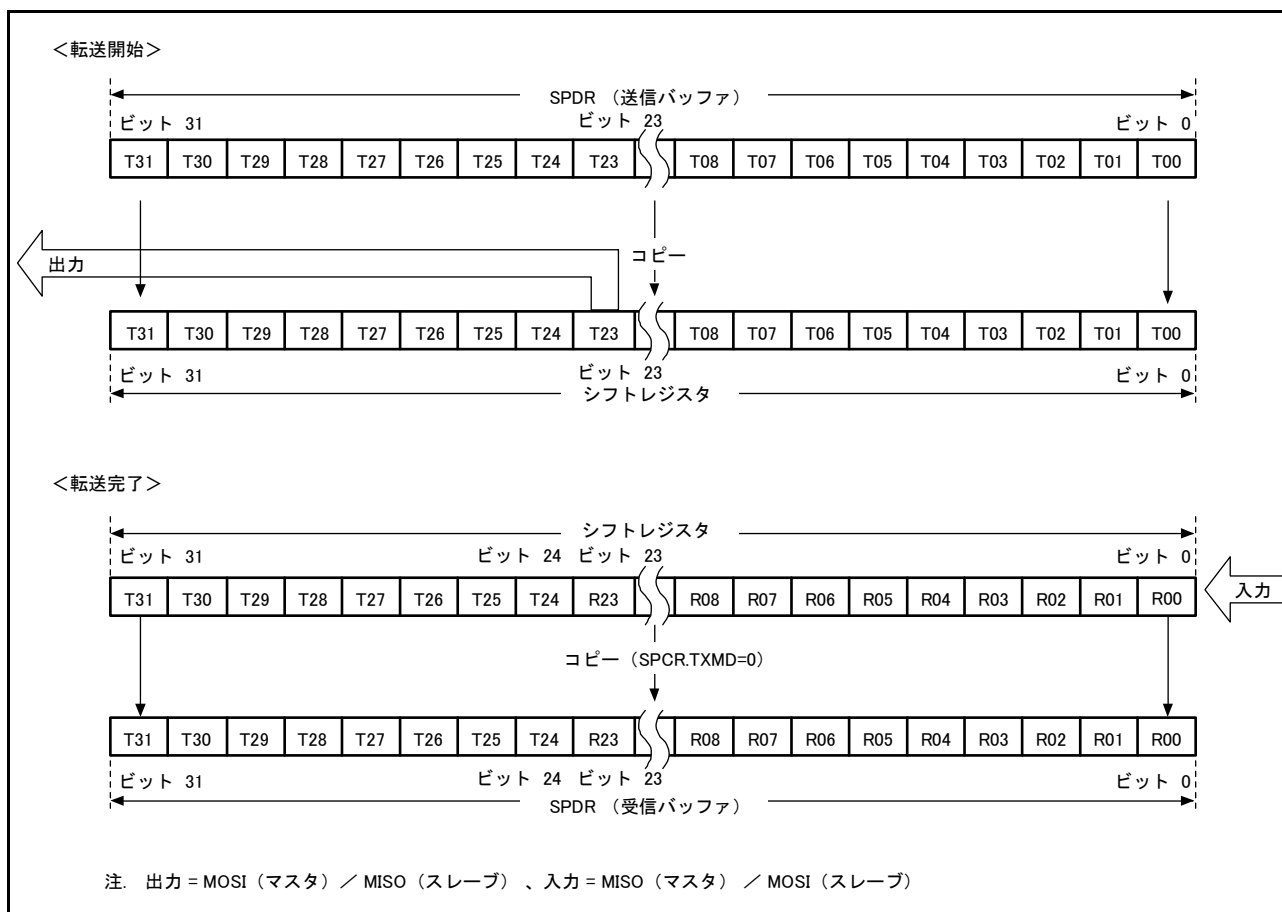


図 26.15 MSB ファースト転送 (1) (24 ビットデータ / パリティ機能無効)

(2) パリティ機能有効時 (SPCR2.SPPE = 1)

図 26.16 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ~ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファに格納されたデータの T00 をパリティビット (P) に変換します。パリティビット (P) を付加したデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのビット 23 からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 23 ~ 0 には受信データ R23 ~ P が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ~ 24 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作 (SPCR.TXMD=0) であれば、RSPI がシフトレジスタから SPDR レジスタの受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R23 ~ P がシフトレジスタからシフトアウトされます。

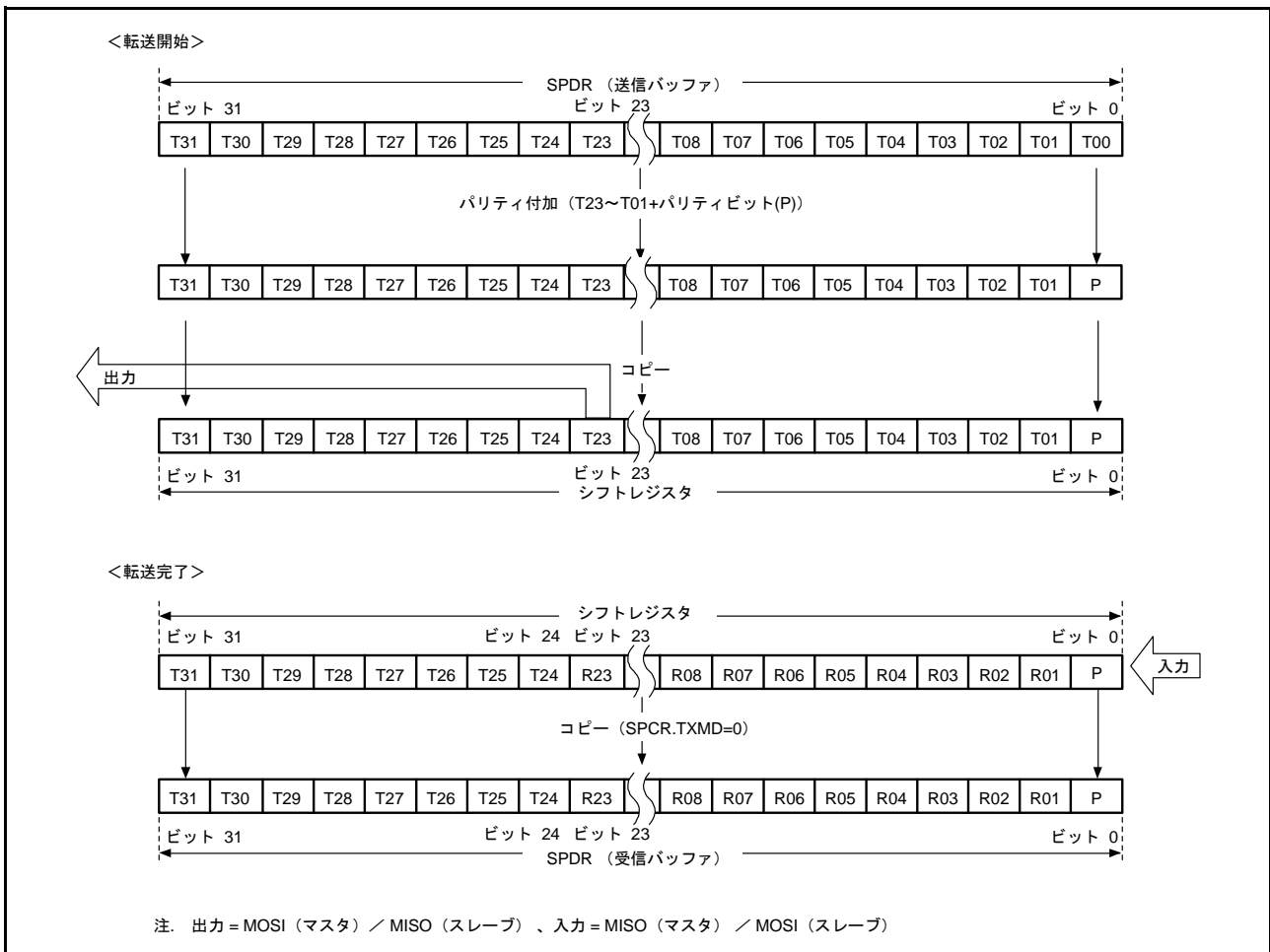


図 26.16 MSB ファースト転送 (2) (24 ビットデータ / パリティ機能有効)

26.3.5.3 LSB ファースト転送 (32 ビットデータ)

(1) パリティ機能無効時 (SPCR2.SPPE = 0)

図 26.17 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR の送信バッファに T31 ~ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00 ~ R31 が格納されます。この状態で、全二重同期式のシリアル通信動作 (SPCR.TXMD=0) であれば、RSPI はシフトレジスタから SPDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R31 がシフトレジスタからシフトアウトされます。

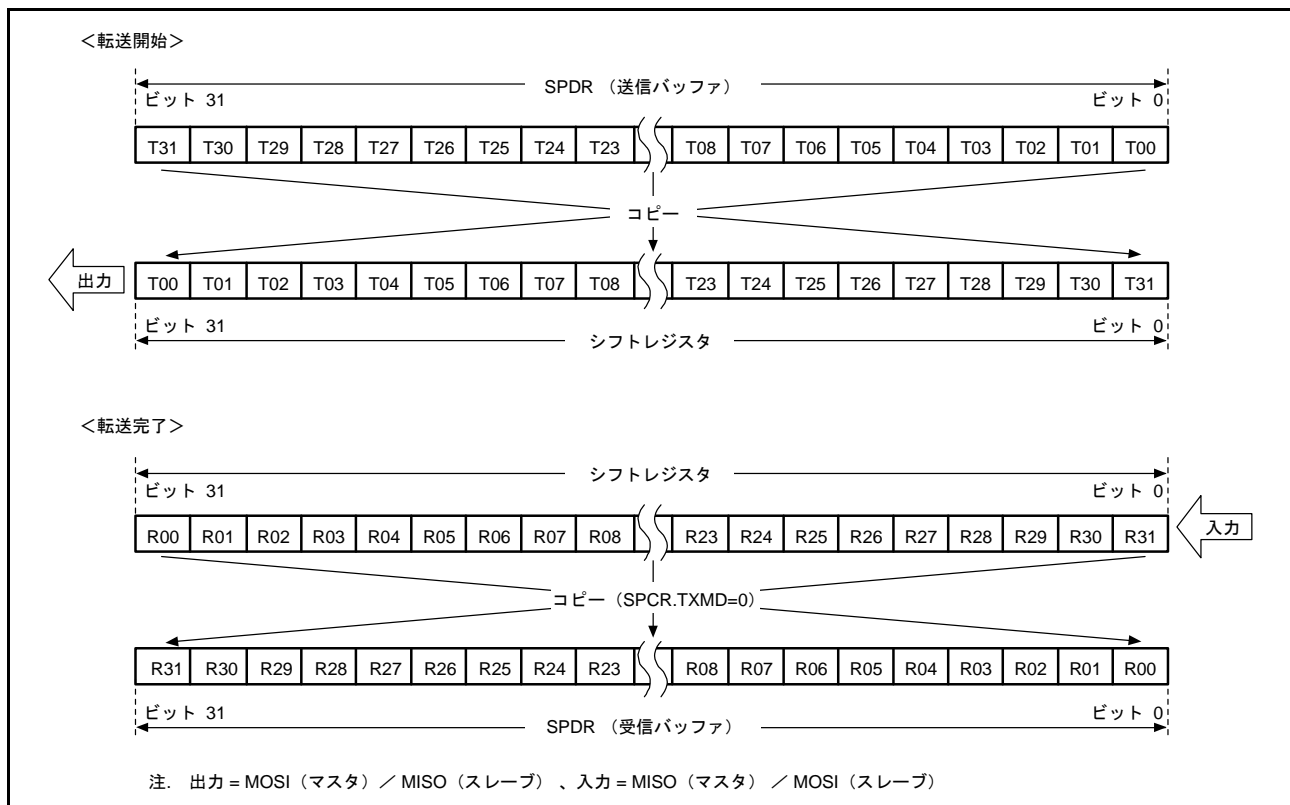


図 26.17 LSB ファースト転送 (1) (32 ビットデータ / パリティ機能無効)

(2) パリティ機能有効時 (SPCR2.SPPE = 1)

図 26.18 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR の送信バッファに T31 ~ T00 を書き込みます。RSPI が SPDR の送信バッファに格納されたデータの T31 をパリティビット (P) に変換します。送信バッファにデータがあり、かつシフトレジスタが空であれば、パリティビット (P) を付加したデータは、シフトレジスタへビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタの LSB (ビット 0) からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00 ~ P が格納されます。この状態で、全二重同期式のシリアル通信動作 (SPCR.TXMD=0) であれば、RSPI はシフトレジスタから SPDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ P がシフトレジスタからシフトアウトされます。

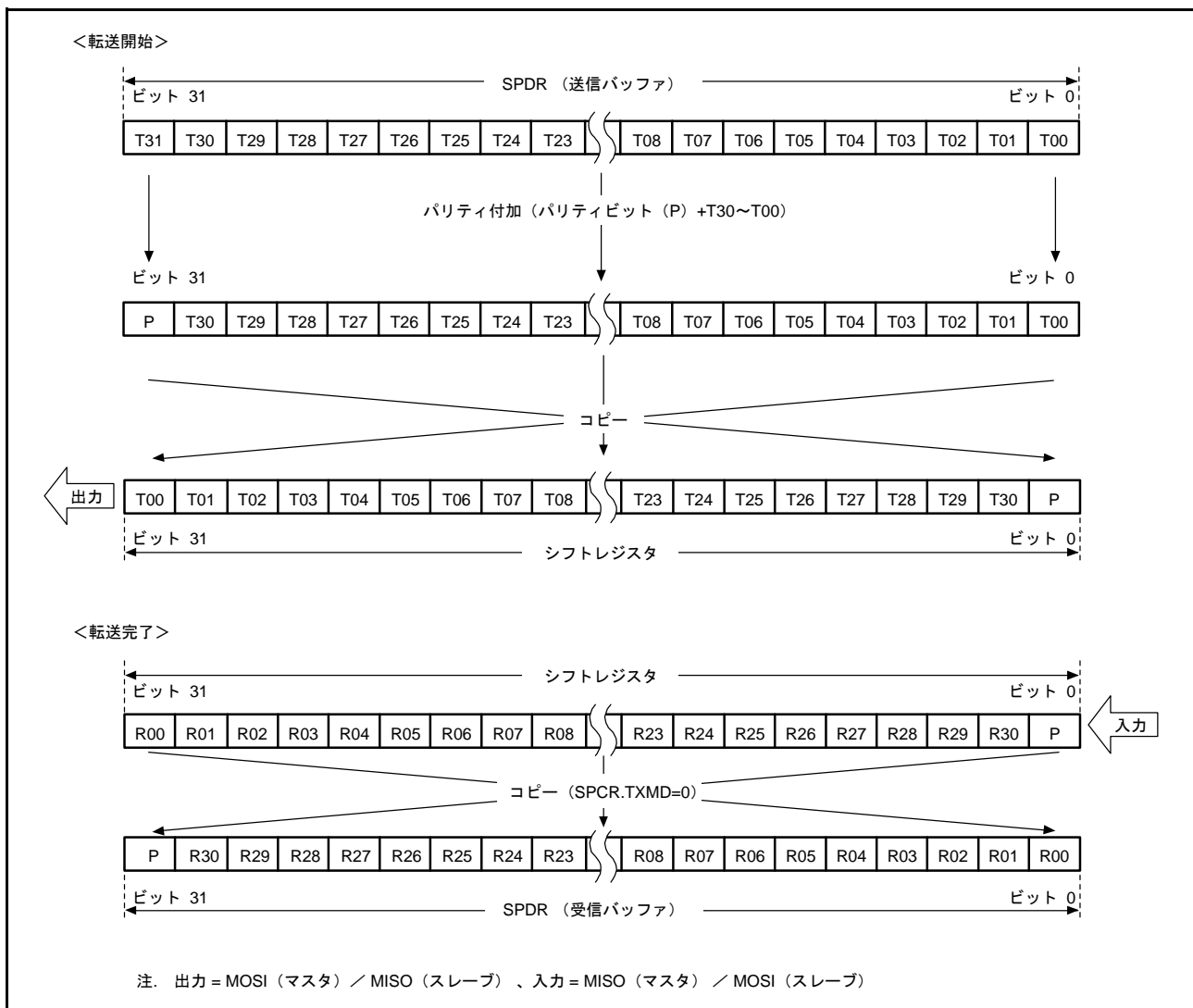


図 26.18 LSB ファースト転送 (2) (32 ビットデータ / パリティ機能有効)

26.3.5.4 LSB ファースト転送 (24 ビットデータ)

(1) パリティ機能無効時 (SPCR2.SPPE = 0)

図 26.19 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ~ T00 を書き込みます。送信バッファにデータがあり、かつシフトレジスタが空であれば、RSPI が SPDR レジスタの送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 8 からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ~ 8 には受信データ R00 ~ R23 が格納されます。シリアル転送完了後のシフトレジスタのビット 7 ~ 0 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作 (SPCR.TXMD=0) であれば、RSPI がシフトレジスタから SPDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ R23 がシフトレジスタからシフトアウトされます。

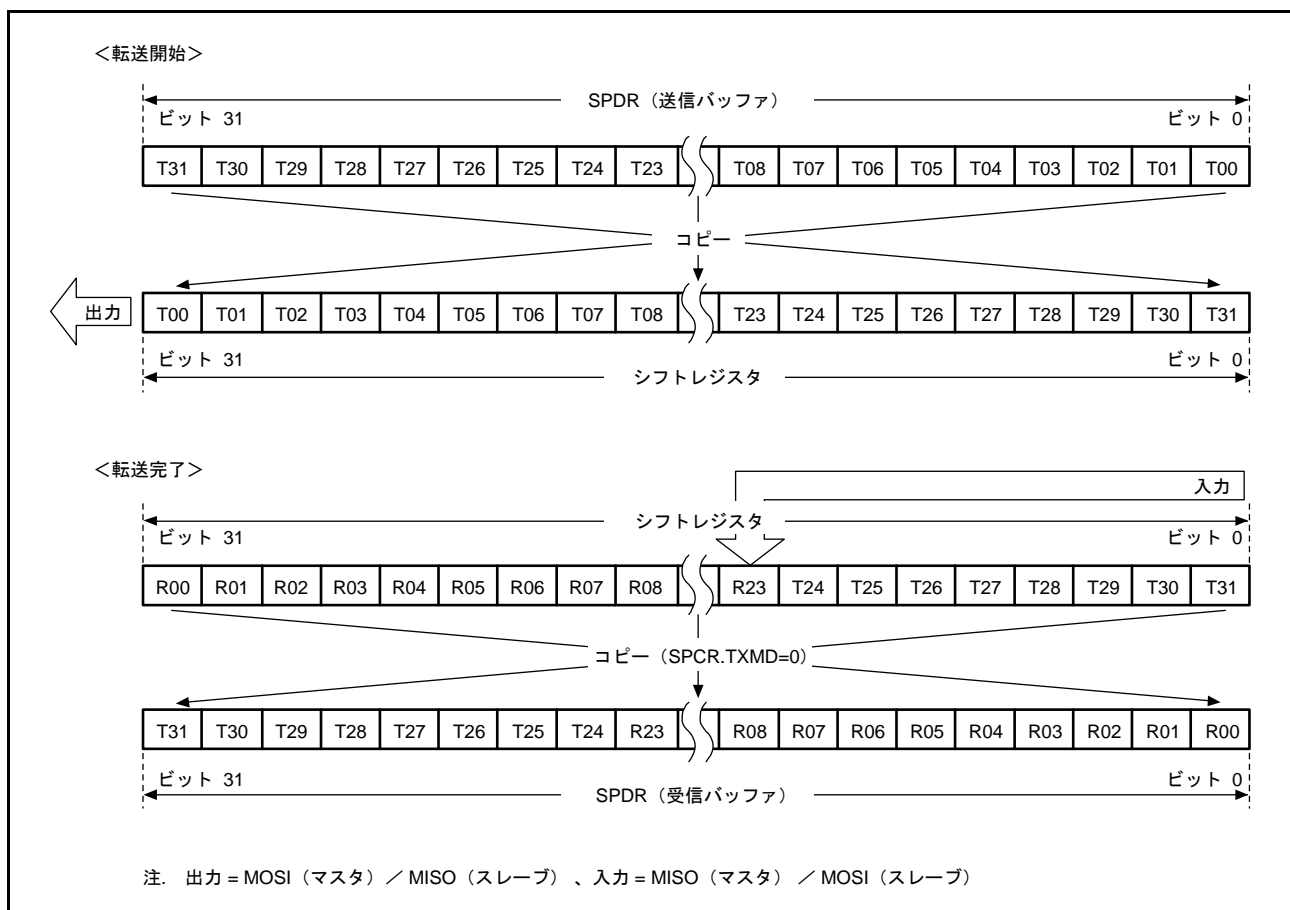


図 26.19 LSB ファースト (1) (24 ビットデータ / パリティ機能無効)

(2) パリティ機能有効時 (SPCR2.SPPE = 1)

図 26.20 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

SPDR レジスタの送信バッファに T31 ~ T00 を書き込みます。RSPI が SPDR の送信バッファに格納されたデータの T23 をパリティビット (P) に変換します。送信バッファにデータがあり、かつシフトレジスタが空であれば、パリティビット (P) を付加したデータは、シフトレジスタへビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB (ビット 31) からデータを出力し、シフトレジスタのビット 8 からデータをシフトインします。24 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ~ 8 には受信データ R00 ~ P が格納されます。シリアル転送完了後のシフトレジスタのビット 7 ~ 0 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信動作 (SPCR.TXMD=0) であれば、RSPI がシフトレジスタから SPDR レジスタの受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、SPDR レジスタの送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ~ P がシフトレジスタからシフトアウトされます。

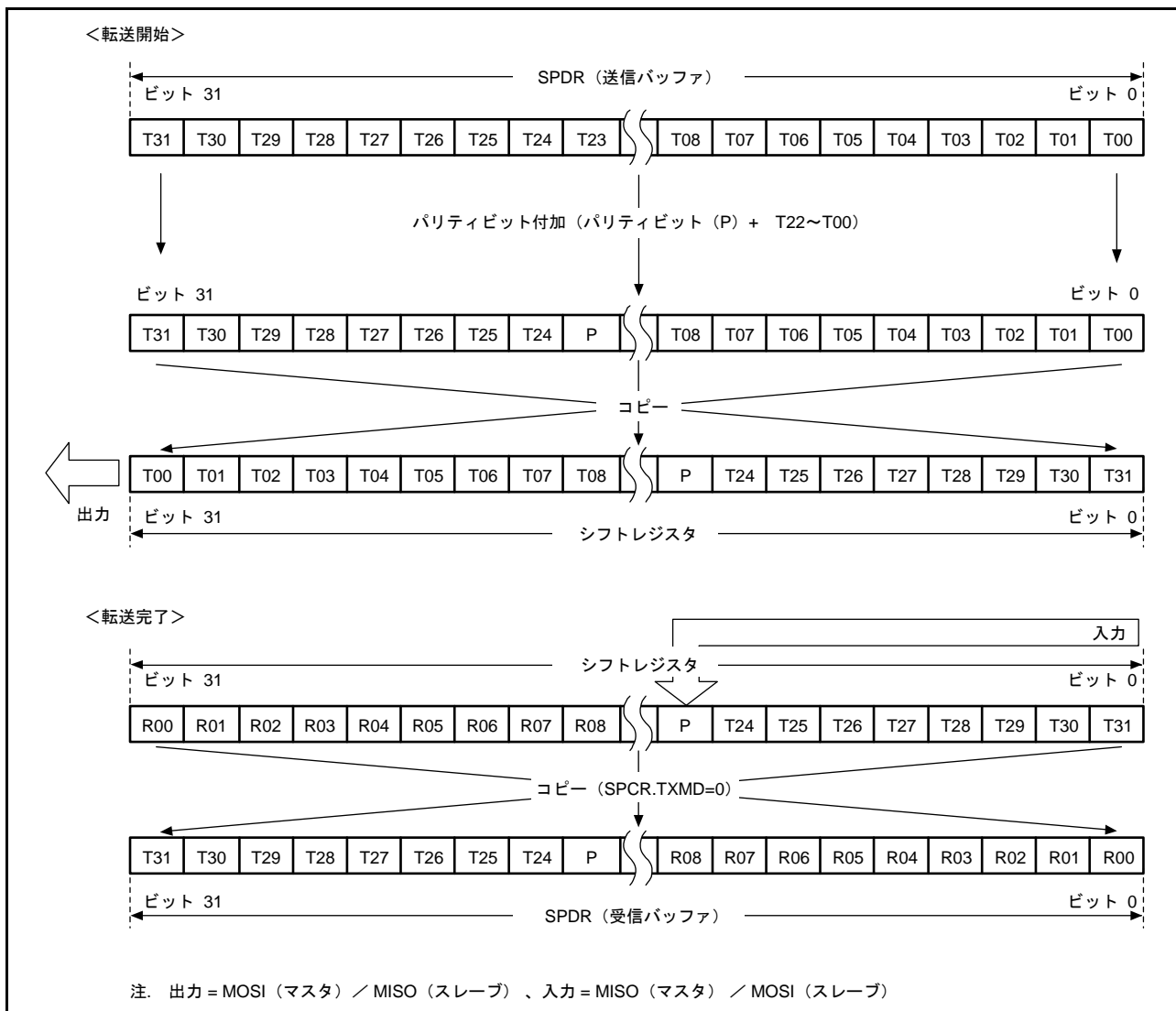


図 26.20 LSB ファースト (2) (24 ビットデータ / パリティ機能有効)

26.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 26.21、図 26.22 に記載した“SPDR アクセス”は、RSPI データレジスタ (SPDR) へのアクセス状況を示しています。“I”はアイドルサイクル、“W”は書き込みサイクルを示しています。

26.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD=0)

図 26.21 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 26.21 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL が“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。(m = 0 ~ 7)

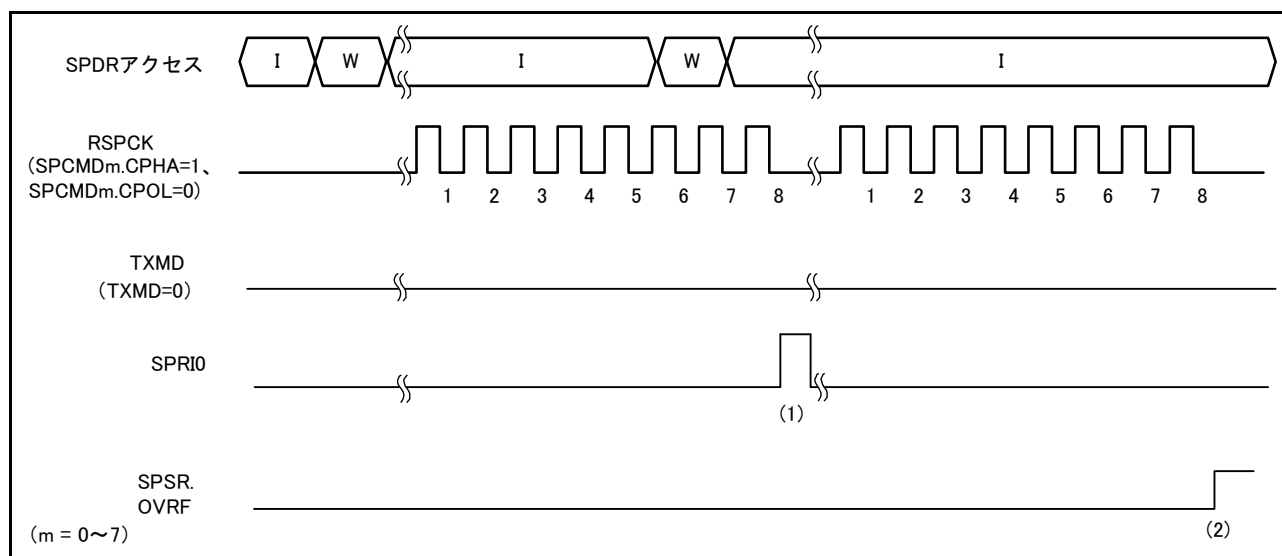


図 26.21 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI0) を発生してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重同期式シリアル通信時 (SPCR.TXMD=0) は、送信データを送信し、受信データを受信します。そのため、SPSR.OVRF フラグは (1)、(2) それぞれのタイミングで“1”になります。

26.3.6.2 送信のみ動作 (SPCR.TXMD=1)

図 26.22 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 26.22 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。(m = 0 ~ 7)

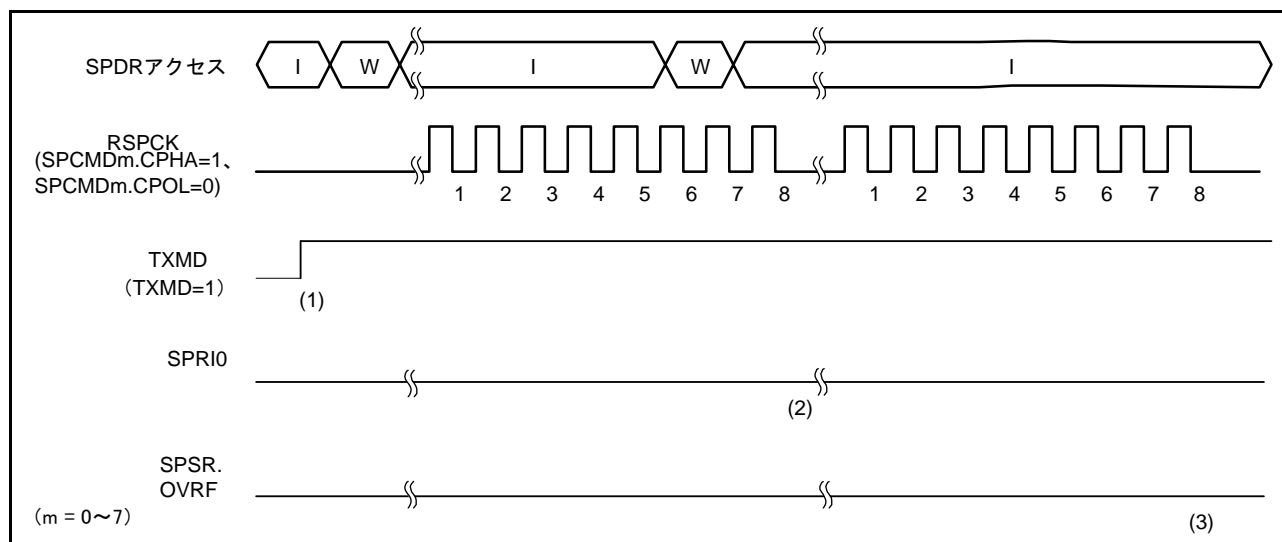


図 26.22 SPCR.TXMD = 1 の動作例

以下に、図中の (1) (2) (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD=1) への遷移は、受信バッファにデータが残っていないこと、SPSR.OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD=1) のときは、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD=1) は、送信データを送信し、受信データを受信しません。そのため、SPSR.OVRF フラグは (1)、(2)、(3) それぞれのタイミングで“0”を保持します。

26.3.7 送信バッファエンプティ／受信バッファフル割り込み

図 26.23 に RSPI 送信バッファエンプティ割り込み (SPTI0) と RSPI 受信バッファフル割り込み (SPRI0) の動作例を示します。図 26.23 に記載した“SPDR アクセス”は、RSPI データレジスタ (SPDR) へのアクセス状況を示しています。“I”はアイドルサイクル、“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 26.23 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。(m = 0 ~ 7)

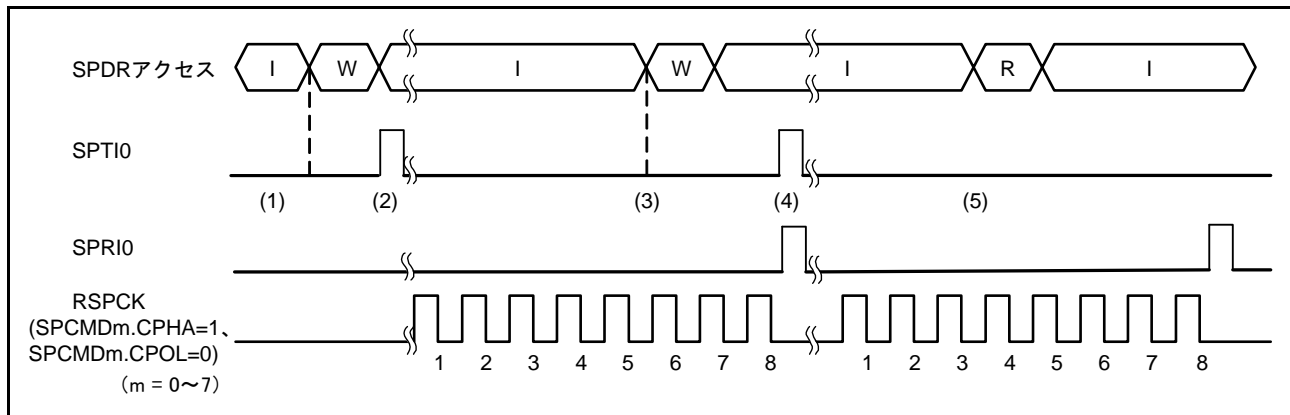


図 26.23 SPTI0、SPRI0 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み (SPTI0) を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「26.3.10 SPI 動作」、 「26.3.11 クロック同期式動作」参照)
- (3) 送信バッファエンプティ割り込みルーチンで、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI0) を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。尚、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (5) 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信バッファのデータをチップ内部バスに送出します。

送信バッファに未送信のデータがある状態で、SPDR レジスタを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタを書き込む場合には、必ず送信バッファエンプティ割り込み要求で行ってください。また、RSPI 送信割り込みを利用する場合には、SPCR.SPTIE ビットを“1”にしてください。

RSPI 動作が無効 (SPCR の SPE ビットが“0”) の場合には、SPCR.SPTIE ビットを“0”にしてください。

受信バッファフルの状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「26.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または対応する ICU の IRi.IR フラグによって確認することができます。

26.3.8 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表26.9に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表26.9 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
A	送信バッファフルの状態ですPDRレジスタを書き込み	送信バッファ内容を保持 書き込みデータ欠落	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データをシリアル送信	なし
C	受信バッファエンプティの状態ですPDRレジスタを読み出し	前回シリアル受信データを出力	なし
D	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 シリアル受信データ欠落	オーバランエラー検出
E	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
F	マルチマスタモードでシリアル転送アイドル時にSSL0入力信号アサート	RSPICK、MOSI、SSL1～3出力信号のドライブ停止 RSPI動作が無効	モードフォルトエラー検出
G	マルチマスタモードでシリアル転送中にSSL0入力信号アサート	シリアル転送を中断 送受信データ欠落 RSPCK、MOSI、SSL1～3出力信号のドライブ停止 RSPI動作が無効	モードフォルトエラー検出
H	スレーブモードでシリアル転送中にSSL0入力信号がネゲート	シリアル転送中断 送受信データ欠落 MISO出力信号のドライブ停止 RSPI動作が無効	モードフォルトエラー検出

表26.9のAに示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、必ず送信割り込み要求でSPDRレジスタへの書き込みを実施してください。

RSPIでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、Bに示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データはSPDRレジスタの受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前にSPDRレジスタを読み出さないと、オーバランエラーが発生します）。

Cに示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、受信割り込みでSPDRレジスタの読み出しを実行するようにしてください。

Dに示したオーバランエラーについては、「26.3.8.1 オーバランエラー」で、Eに示したパリティエラーについては、「26.3.8.2 パリティエラー」で説明します。また、F～Hのに示したモードフォルトエラーについては「26.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「26.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

26.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR.OVRF フラグを“0”にするためには、SPSR.OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、SPSR.OVRF フラグに“0”を書き込む必要があります。

図 26.24 に、SPSR.OVRF フラグの動作を示します。図 26.24 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“I”はアイドル状態、“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 26.24 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。(m = 0 ~ 7)

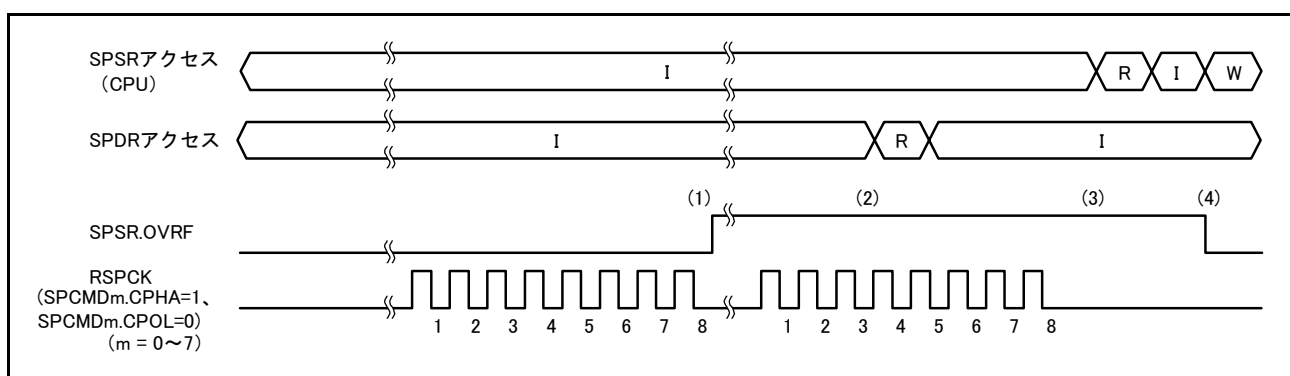


図 26.24 SPSR.OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、SPSR.OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPCR2.SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。(m = 0 ~ 7)
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータを内部バスに出力します。受信バッファが空になっても、SPSR.OVRF フラグは“0”になりません。
- (3) SPSR.OVRF フラグが“1”の状態（オーバランエラー）でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPCR2.SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPSSR.SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) SPSR.OVRF フラグが“1”の状態 CPU が SPSR レジスタを読んだ後、CPU が SPSR.OVRF フラグに“0”を書き込むと、RSPI は SPSR.OVRF フラグを“0”にします。

オーバーランの発生は、SPSRレジスタの読み出しあるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用する場合には、SPCR.SPEIEビットを“1”にしてください。RSPIエラー割り込みを利用せずにシリアル転送を実行する場合には、SPDRレジスタの読み出し直後にSPSRレジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

オーバーランエラーが発生してSPSR.OVRFフラグが“1”になると、SPSR.OVRFフラグが“0”になるまで正常な受信動作ができなくなります。SPSR.OVRFフラグを“0”にする条件は以下のとおりです。

【“0”になる条件】

- SPSR.OVRFフラグが“1”の状態のSPSRレジスタをCPUが読み出した後、CPUがSPSR.OVRFフラグに“0”を書いたとき

26.3.8.2 パリティエラー

SPCR.TXMD ビットが "0"、SPCR2.SPPE ビットが "1" の状態で全二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを "1" にします。SPSR.OVRF フラグが "1" の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。SPSR.PERF フラグを "0" にするためには、SPSR.PERF フラグが "1" の状態の SPSR レジスタを CPU が読み出した後に、SPSR.PERF フラグに "0" を書く必要があります。

図 26.25 に、SPSR.OVRF フラグ、PERF フラグの動作を示します。図 26.25 に記載した "SPSR アクセス" は、SPSR レジスタへのアクセス状況を示しています。"I" はアイドル状態、"W" は書き込みサイクル、"R" は読み出しサイクルを示しています。図 26.25 の例では、SPCR.TXMD ビットが "0"、SPCR2.SPPE ビットが "1" の状態で全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが "1"、SPCMDm.CPOL が "0" の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数 (=転送ビット数) を示しています。(m = 0 ~ 7)

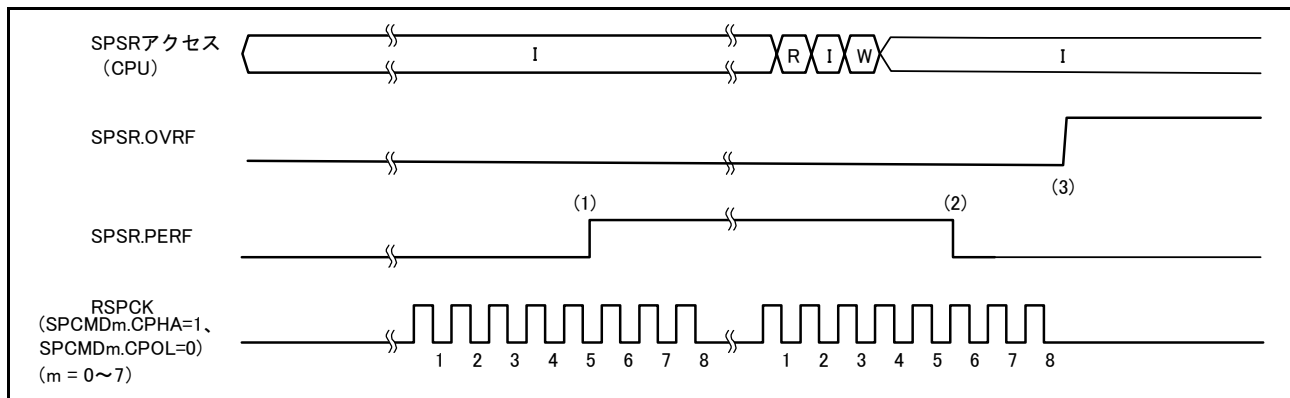


図 26.25 SPSR.PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると SPSR.PERF フラグを "1" にします。マスタモードの場合には、RSPI は SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。(m = 0 ~ 7)
- (2) SPSR.PERF フラグが "1" の状態で CPU が SPSR レジスタを読んだ後、CPU が SPSR.PERF フラグに "0" を書くと、RSPI は SPSR.OVRF フラグを "0" にします。
- (3) RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。この時、RSPI はパリティエラーの検出を行いません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、SPCR.SPEIE ビットを "1" にしてください。RSPI エラー割り込みを利用せずにシリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

SPSR.PERF フラグを "0" にする条件は、以下の通りです。

["0" になる条件]

- SPSR.PERF が "1" の状態の SPSR レジスタを CPU が読んだ後、SPSR.PERF フラグに "0" を書いたとき

26.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSL0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmに対するポインタの値をコピーします。なお、SSL0信号のアクティブレベルは、SSLP.SSLOPビットによって決定されます。(m = 0 ~ 7)

SPCR.MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのSPCR.MODFEN ビットが“1”、SPCR.SPMS ビットが“0”の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）にSSL0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します（「26.3.9 RSPIの初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現することが可能です。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用する場合には、SPCR.SPEIEビットを“1”にしてください。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

SPSR.MODFフラグが“1”の状態では、RSPIはCPUによるSPCR.SPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、必ずSPSR.MODFフラグを“0”にしてください。SPSR.MODFフラグを“0”にクリアする条件は以下のとおりです。

["0"になる条件]

- SPSR.MODFフラグが“1”の状態のSPSRレジスタをCPUが読んだ後、SPSR.MODFフラグに“0”を書いたとき

26.3.9 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出によりRSPIがSPCR.SPE ビットを“0”にした場合には、RSPIはRSPI機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPIはモジュール機能をすべて初期化します。以下に、SPCR.SPE ビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

26.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPIは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステートの初期化
- RSPI 送信バッファを空にする

SPCR.SPE ビットを“0”にすることによる初期化では、RSPIの制御ビットは初期化されません。このため、CPUが再度SPCR.SPE ビットを“1”にすれば初期化前と同じ転送モードでRSPIを起動できます。

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPIの初期化後も受信バッファのデータの読み出し、RSPI転送時のエラー発生状況の確認が可能です。

送信バッファは空の状態に初期化されます。このため、RSPI初期化後にSPCR.SPTIE ビットを“1”にしていると、RSPI送信割り込みが発生します。CPUでRSPIを初期化する場合に、RSPI送信割り込みを禁止するためには、SPCR.SPE ビットへの“0”書き込みと同時にSPCR.SPTIE ビットにも“0”を書いてください。モードフォルトエラー検出後のRSPI送信割り込みを禁止するためには、エラー処理ルーチンでSPCR.SPTIE ビットに“0”を書いてください。

26.3.9.2 システムリセット

システムリセットによる初期化では、「26.3.9.1 SPE ビットのクリアによる初期化」に記載の事項に加え、RSPI制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPIが完全に初期化されます。

26.3.10 SPI 動作

26.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「26.3.8 エラー検出」を参照）のみです。シングルマスタモードのRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI 送信バッファが空きの（次転送のデータがセットされていない）状態で、SPDR レジスタへデータを書き込むと、RSPIはSPDRレジスタの送信バッファのデータを更新します。SPDRレジスタへの書き込みによって、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスをCPUから参照することはできません。

なお、RSPIの転送フォーマットの詳細については「26.3.4 転送フォーマット」を参照してください。SSL出力端子の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに対応するRSPCKエッジを送出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。SSL出力端子の極性は、SSLPレジスタの設定値に依存します。RSPIの転送フォーマットの詳細については「26.3.4 転送フォーマット」を参照してください。(m = 0 ~ 7)

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSL 端子の出力信号値、MSB / LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタにはRSPI次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによってCPUから確認可能です。SPCR.SPE ビットを“1”にしてRSPI機能を有効にすると、RSPIはコマンドに対するポインタをSPCMD0 レジスタにセットし、シリアル転送の開始時にSPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタをSPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。(m = 0 ~ 7)

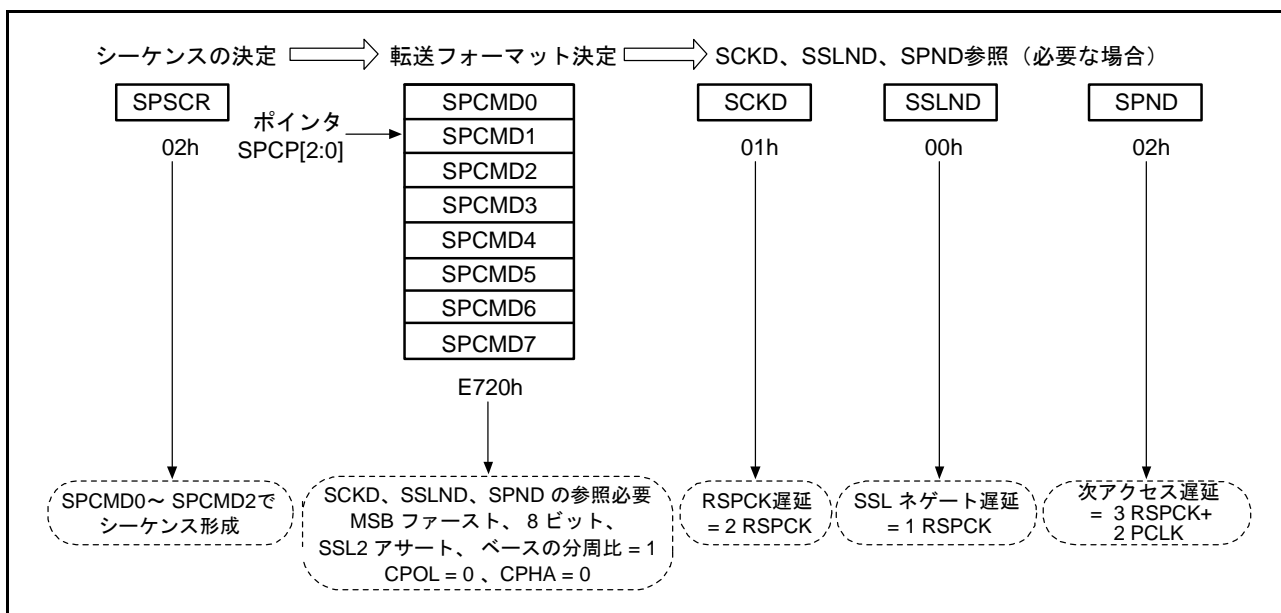


図 26.26 マスタモードでのシリアル転送方式の決定方法 (SPI 動作)

(4) バースト転送

RSPIが現在のシリアル転送で参照しているSPCMDm.SSLKPビット ($m = 0 \sim 7$) が“1”の場合には、RSPIはシリアル転送中のSSL信号レベルを次のシリアル転送のSSL信号アサート開始まで保持します。次のシリアル転送でのSSL信号レベルが、現在のシリアル転送でのSSL信号レベルと同じであれば、RSPIはSSL信号アサート状態を保持したまま連続的にシリアル転送を実行することができます(バースト転送)。

図26.27に、SPCMD0、SPCMD1レジスタの設定を使用してバースト転送を実現した場合のSSL信号動作例を示します。図26.27に記載した(1)～(7)のRSPI動作内容について、以下に説明します。なお、SSL出力信号の極性は、SSLPレジスタの設定値に依存します。

- (1) SPCMD0レジスタに従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。
- (2) SPCMD0レジスタに従ったシリアル転送を実行します。
- (3) SSLネゲート遅延を挿入します。
- (4) SPCMD0.SSLKPビットが“1”であるため、SPCMD0レジスタでのSSL信号値を保持します。この期間は、最短の場合にはSPCMD0レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1レジスタに従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。
- (6) SPCMD1レジスタに従ったシリアル転送を実行します。
- (7) SPCMD1.SSLKPビットが“0”であるため、SSL信号をネゲートします。また、SPCMD1レジスタに従った次アクセス遅延が挿入されます。

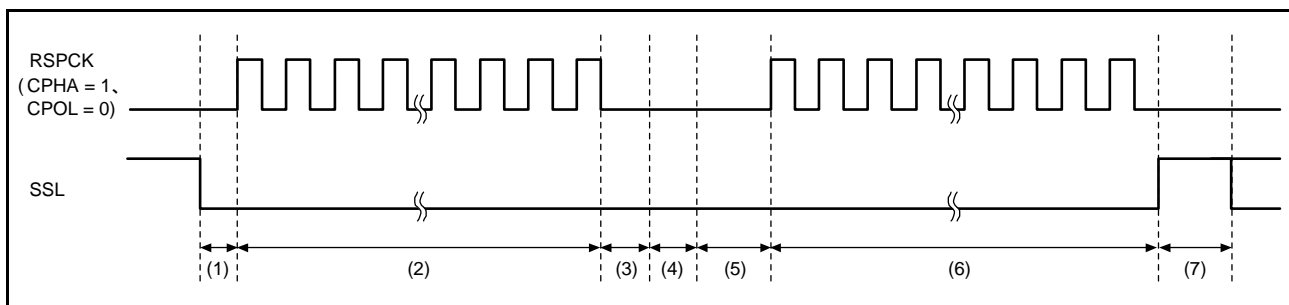


図 26.27 SPCMDm.SSLKP ビットを利用したバースト転送動作の例 ($m = 0 \sim 7$)

SPCMDm.SSLKPビットを“1”にしたSPCMDmレジスタでのSSL信号出力設定と、次転送で使用するSPCMDmレジスタでのSSL信号出力設定が異なる場合、RSPIは次転送のコマンドに対応したSSL信号のアサート時(図26.27の(5))にSSL信号状態を切り替えます。このようなSSL信号の切り替えが発生した場合、MISOをドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードのRSPIは、SPCMDm.SSLKPビットを使用しない場合のSSL信号動作をモジュール内部で参照しています。SPCMDm.CPHAビットが“0”の場合でも、RSPIは内部で検出した次転送のSSL信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、SPCMDm.CPHAビットの設定値にかかわらず実行できます(「26.3.10.2 スレーブモード動作」を参照)。

(5) RSPCK 遅延 (t1)

マスタモードのRSPIのRSPCK遅延値は、SPCMDm.SCKDENビット (m=0~7) の設定とSPCKDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SCKDENビットとSPCKDレジスタを使用して、表26.10のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「26.3.4 転送フォーマット」を参照してください。

表26.10 SPCMDm.SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延値
0	000b~111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

【記号説明】 m = 0 ~ 7

(6) SSL ネゲート遅延 (t2)

マスタモードのRSPIのSSLネゲート遅延値は、SPCMDm.SLN DENビット (m=0~7) の設定とSSLNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SLN DENビットとSSLNDレジスタを使用して、表26.11のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「26.3.4 転送フォーマット」を参照してください。

表26.11 SPCMDm.SCKDENビット、SSLNDレジスタとSSLネゲート遅延値の関係

SPCMDm.SLN DENビット	SSLND.SLN DL[2:0]ビット	SSLネゲート遅延値
0	000b~111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

【記号説明】 m = 0 ~ 7

(7) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビット (m=0~7) の設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表26.12のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「26.3.4 転送フォーマット」を参照してください。

表26.12 SPCMDm.SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b~111b	1RSPCK + 2PCLK
1	000b	1RSPCK + 2PCLK
	001b	2RSPCK + 2PCLK
	010b	3RSPCK + 2PCLK
	011b	4RSPCK + 2PCLK
	100b	5RSPCK + 2PCLK
	101b	6RSPCK + 2PCLK
	110b	7RSPCK + 2PCLK
	111b	8RSPCK + 2PCLK

【記号説明】 m = 0 ~ 7

(8) 初期化フロー

図 26.28 に、SPI 動作時、RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC、入出力ポートの設定方法については各ブロックの説明を参照してください。

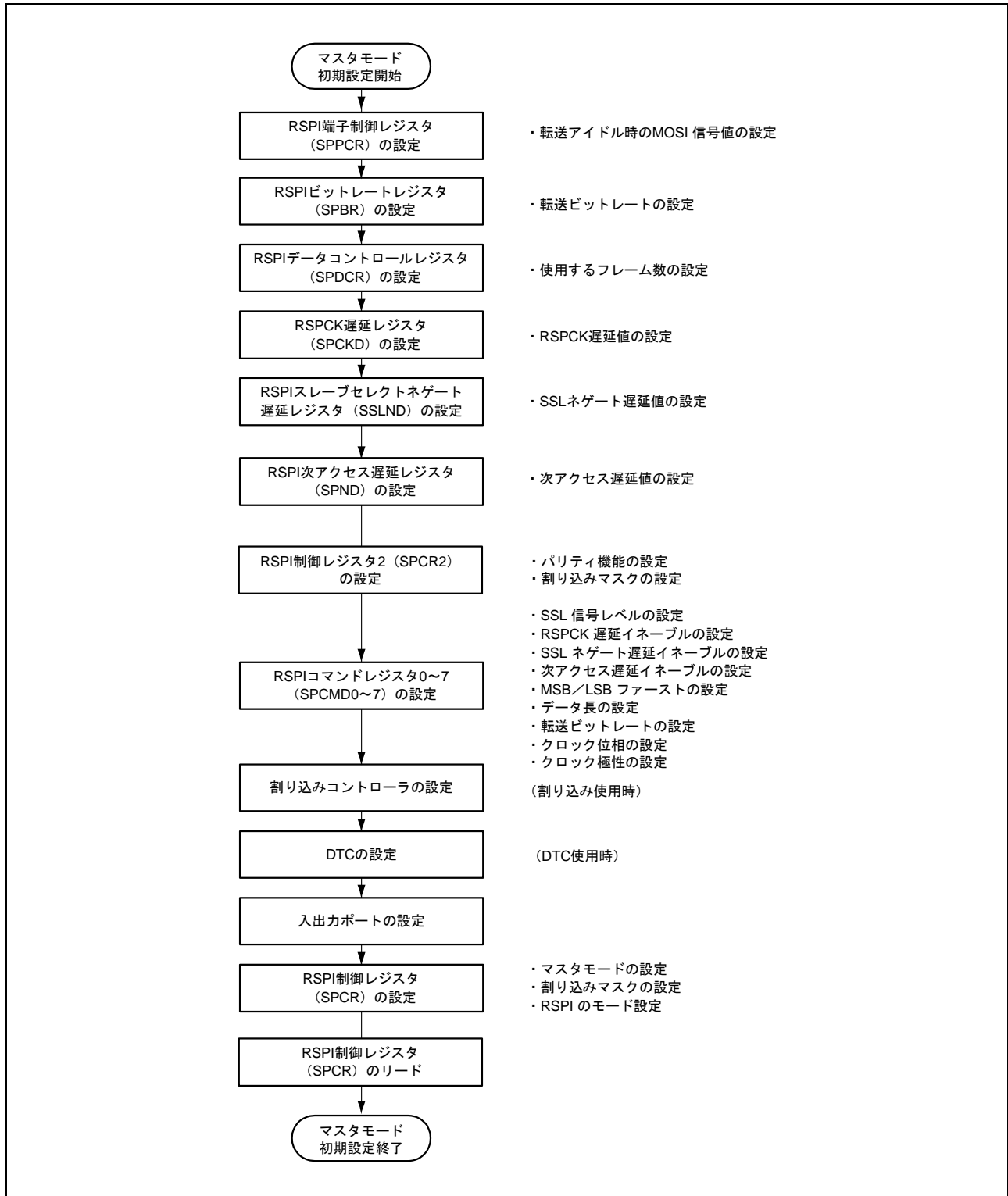


図 26.28 マスターモード時の初期化フロー例 (SPI 動作)

(9) 転送動作フロー

図 26.29 に、SPI 動作時、マスタモードの RSPI の転送動作フローを示します。

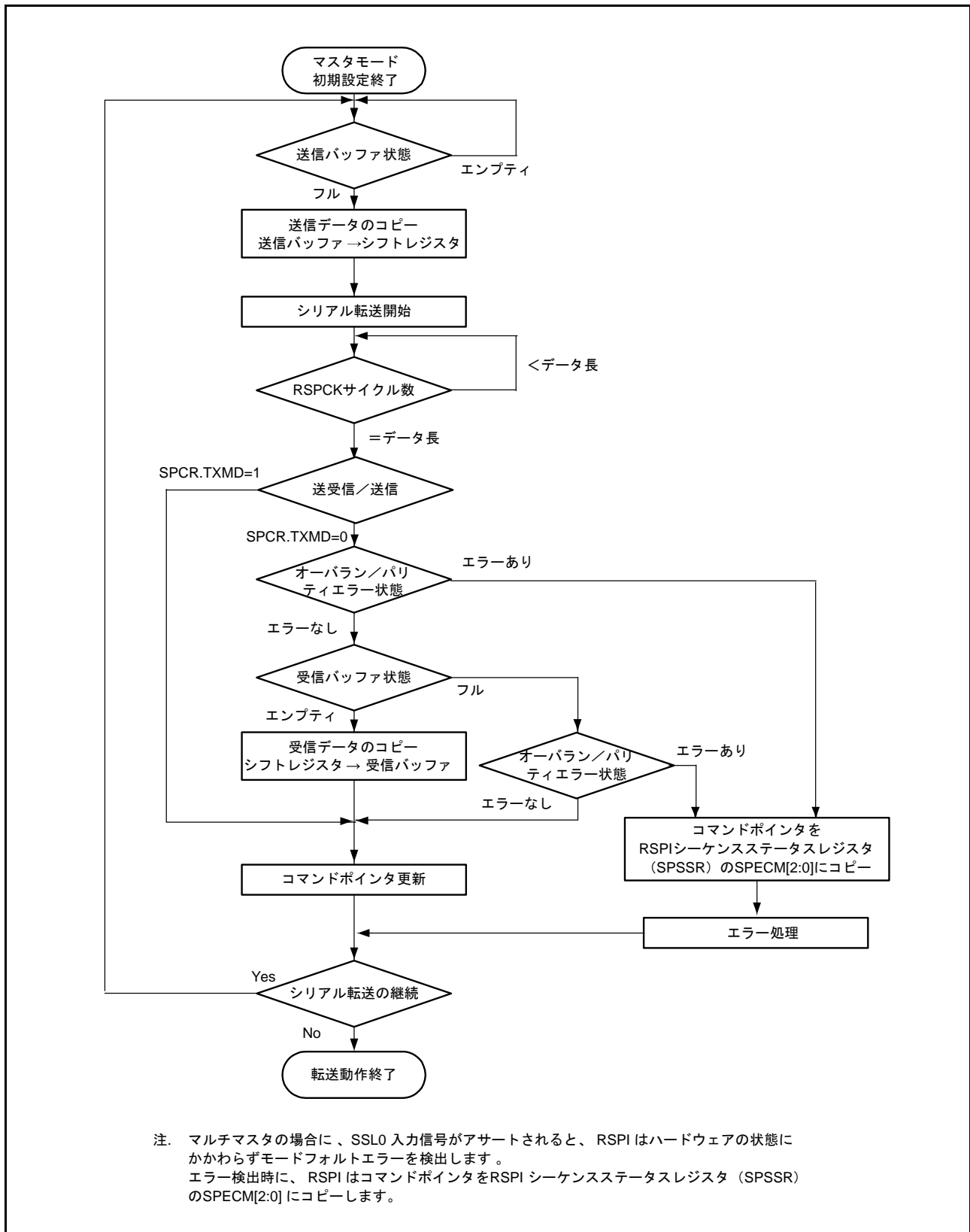


図 26.29 マスタモード時の転送動作フロー (SPI 動作)

26.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSL0入力信号のアサートを検出すると、MISO出力信号への有効データのドライブを開始する必要があります。このため、SPCMD0.CPHA ビットが“0”の場合には、SSL0入力信号のアサートがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットが“1”の場合には、RSPIはSSL0入力信号のアサート状態で最初のRSPCKエッジを検出すると、MISO出力信号への有効データのドライブを開始する必要があります。このため、SPCMD0.CPHA ビットが“1”の場合には、SSL0信号アサート状態における最初のRSPCKエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPCMD0.CPHA ビットの設定に依存せず、RSPIがMISO出力信号のドライブを開始するタイミングは、SSL0信号アサートタイミングです。SPCMD0.CPHA ビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「26.3.4 転送フォーマット」を参照してください。SSL0入力信号の極性は、SSLP.SSLOP ビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSL0入力信号のネゲートを検出するとモードフォルトエラーが発生します（「26.3.8 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0] ビットの設定値に依存します。SSL0入力信号の極性は、SSLP.SSLOP ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「26.3.4 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHA ビットが“0”の場合には、RSPIはSSL0入力信号のアサートエッジを検出するとシリアル転送を開始します。図26.5の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSL0入力信号が常にアクティブ状態に固定されるため、SPCMD0.CPHA ビットを“0”にしたRSPIではシリアル転送を正しく開始できません。SSL0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、SPCMD0.CPHA ビットを“1”にしてください。SPCMD0.CPHA ビットを“0”にする必要がある場合には、SSL0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSL0入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行することが可能です。SPCMD0.CPHA ビットが“1”の場合には、SSL0入力信号アクティブ状態における最初のRSPCKエッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL0入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

SPCMD0.CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 26.30 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC、入出力ポートの設定方法については各ブロックの説明を参照してください。

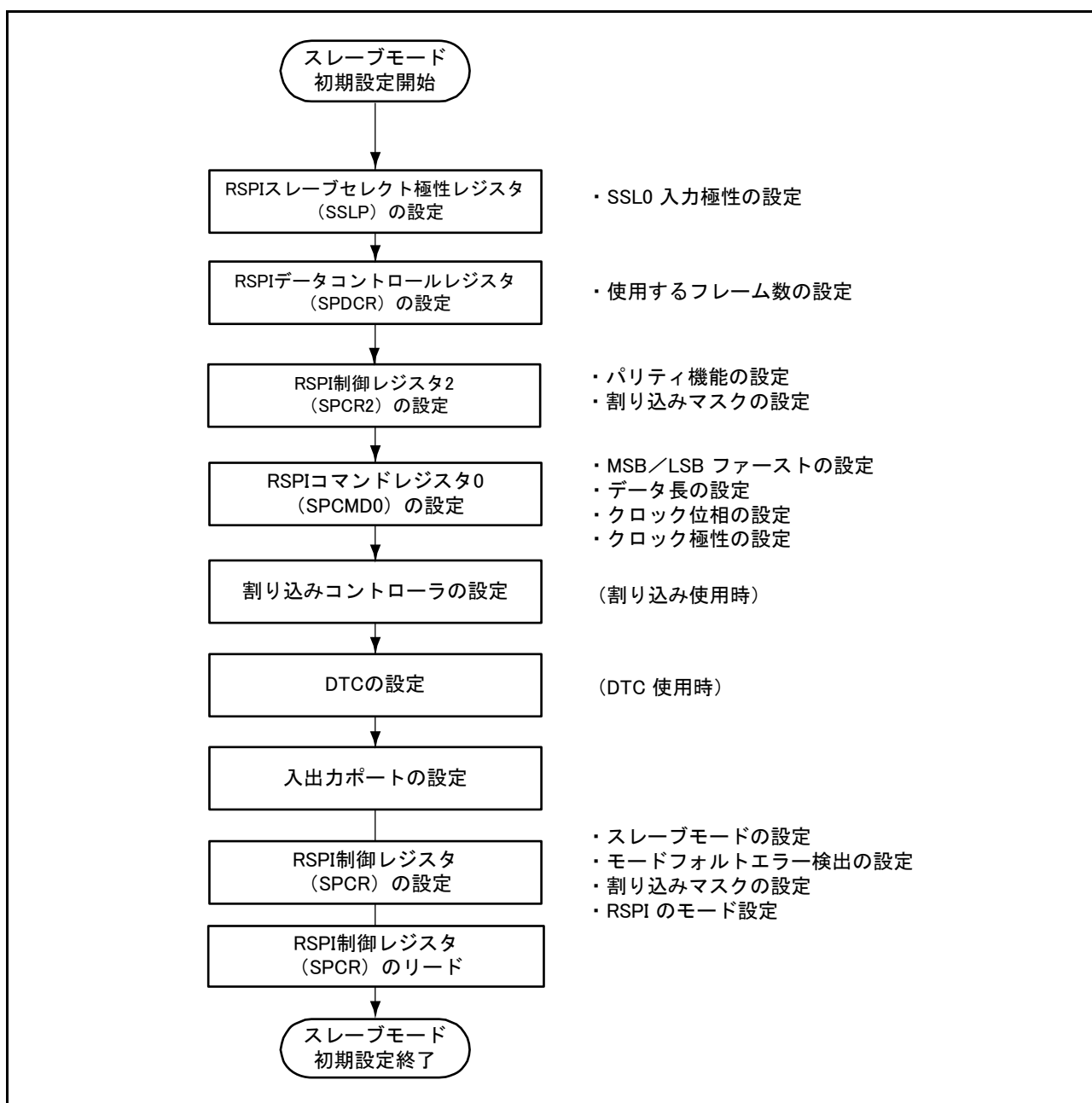


図 26.30 スレーブモード時の初期化フロー例 (SPI 動作)

(6) 転送動作フロー (SPCMD0.CPHA ビット = 0)

図 26.31 に、SPI 動作時の SPCMD0.CPHA ビットを“0”にしたスレーブモードの RSPI の転送動作フローを示します。

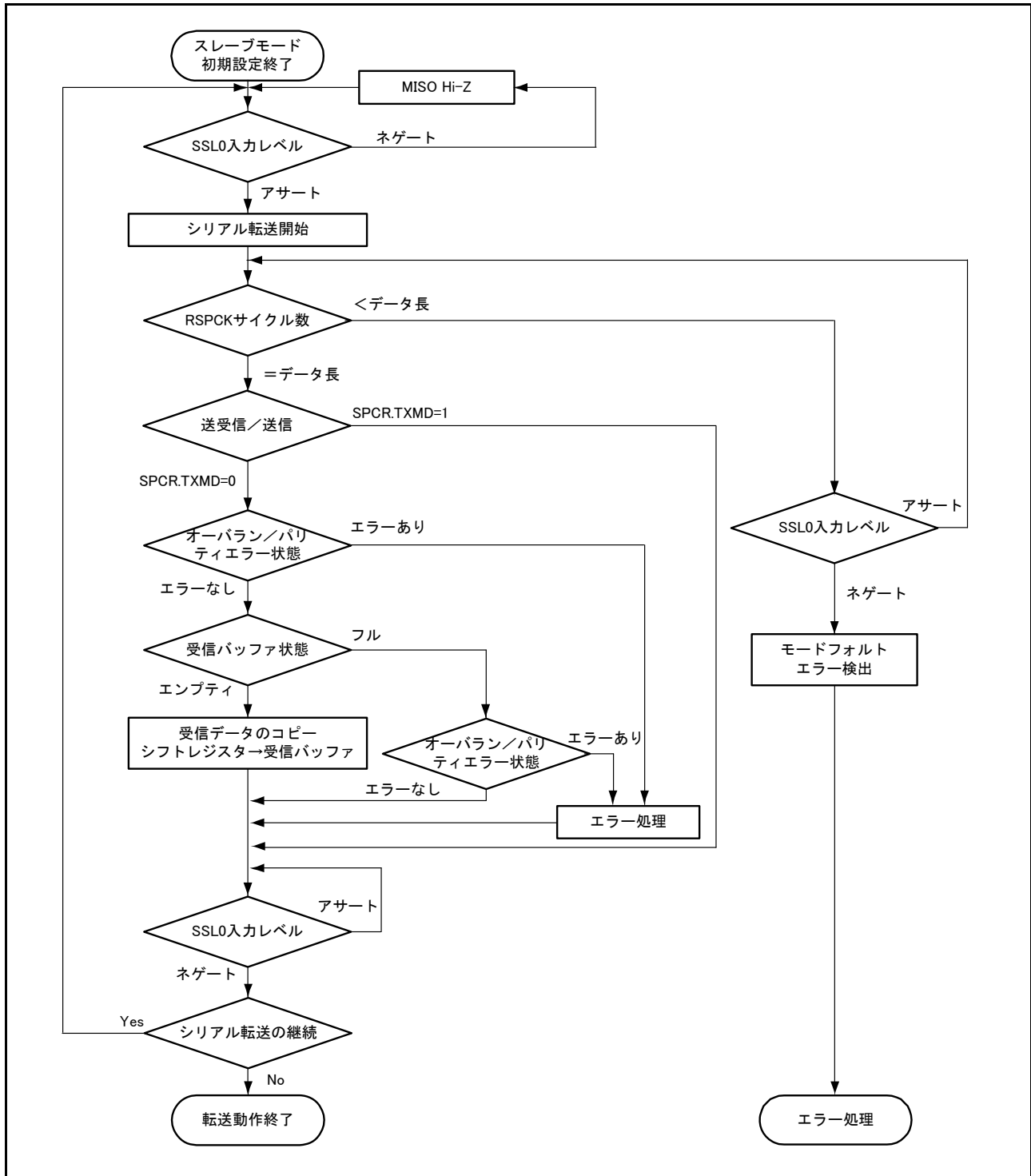


図 26.31 スレーブモード時の転送動作フロー (SPCMD0.CPHA ビット = 0) (SPI 動作)

(7) 転送動作フロー (SPCMD0.CPHA ビット = 1)

図 26.32 に、SPI 動作時、SPCMD0.CPHA ビットを“1”、SPCR.MODFEN ビットを 1 にしたスレーブモードの RSPI の転送動作フローを示します。MODFEN ビットを“0”にした状態でシリアル転送を開始し、RSPCK サイクル数がデータ長より短い状態で SSL0 入力レベルがネゲートされた場合、以降の動作は保証されません。

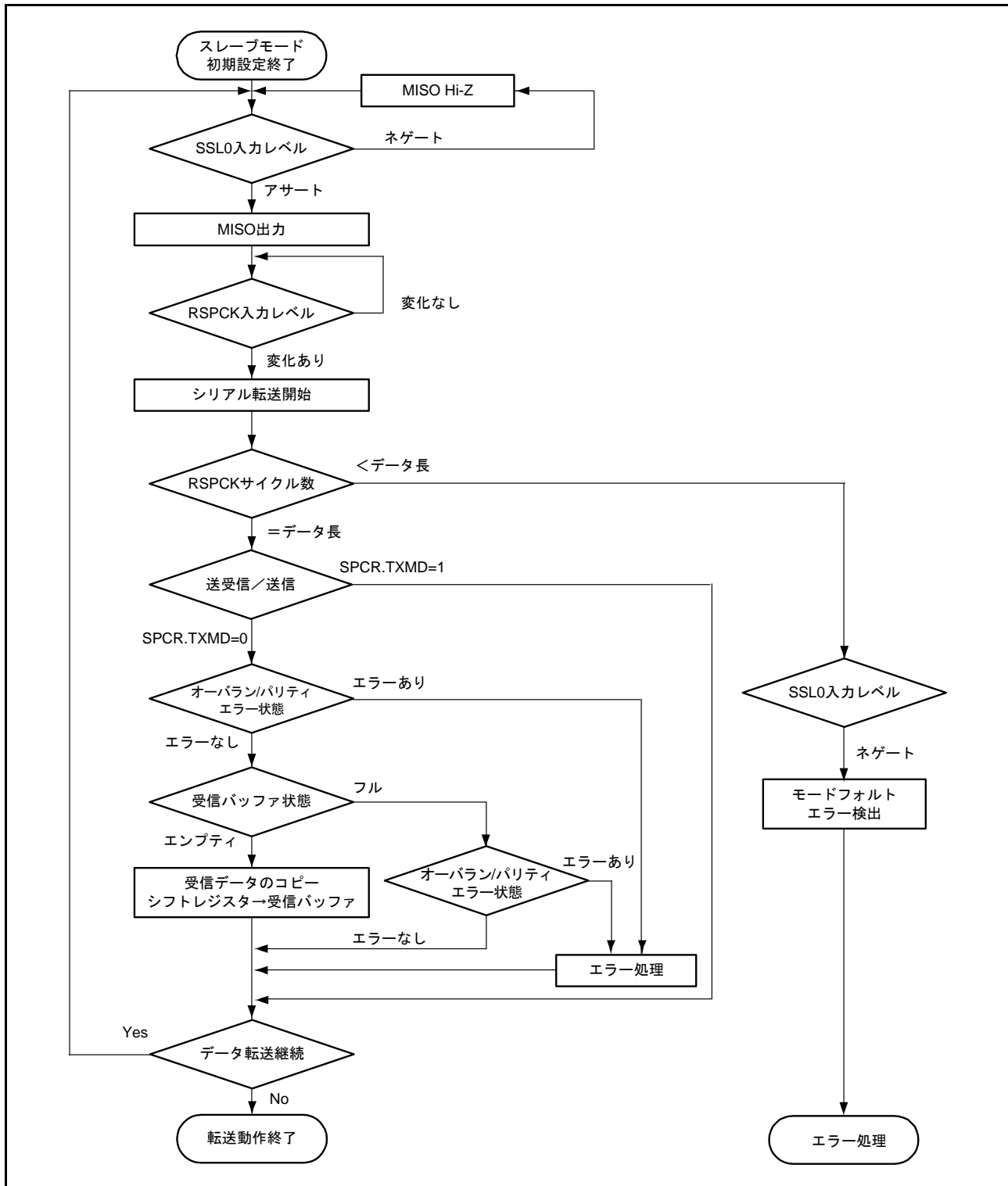


図 26.32 スレーブモード時の転送動作フロー (SPCMD0.CPHA = 1) (SPI 動作)

26.3.11 クロック同期式動作

RSPIは、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSL 端子を使用せず、RSPCK、MOSI、MISO の3本の端子を用いて通信を行い、SSL 端子は I/O ポートとして使用することができます。

クロック同期式動作は、SSL 端子を使用せず通信を行います。モジュール内部の動作は SPI 動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSL 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR=0) に SPCMDm.CPHA ビット (m=0~7) を“0”にした場合の動作について保証していません。

26.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空の (次転送のデータがセットされていない) 状態で SPDR レジスタへデータを書くと、RSPIは SPDR レジスタの送信バッファのデータを更新します。SPDR レジスタへの書き込みによってシフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPIの転送フォーマットの詳細については、「26.3.4 転送フォーマット」を参照してください。

(2) シリアル転送の終了

RSPIはサンプリングタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、SPCMDm.SPB[3:0] ビット (m=0~7) の設定値に依存します。

RSPIの転送フォーマットの詳細については、「26.3.4 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSL 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSL 出力信号値、MSB / LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性 / 位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタには RSPI クロック遅延値、SSLND レジスタには SSL ネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部 / 全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって CPU から確認可能です。SPCR.SPE ビットを“1”にして RSPI 機能を有効にすると、RSPI はコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

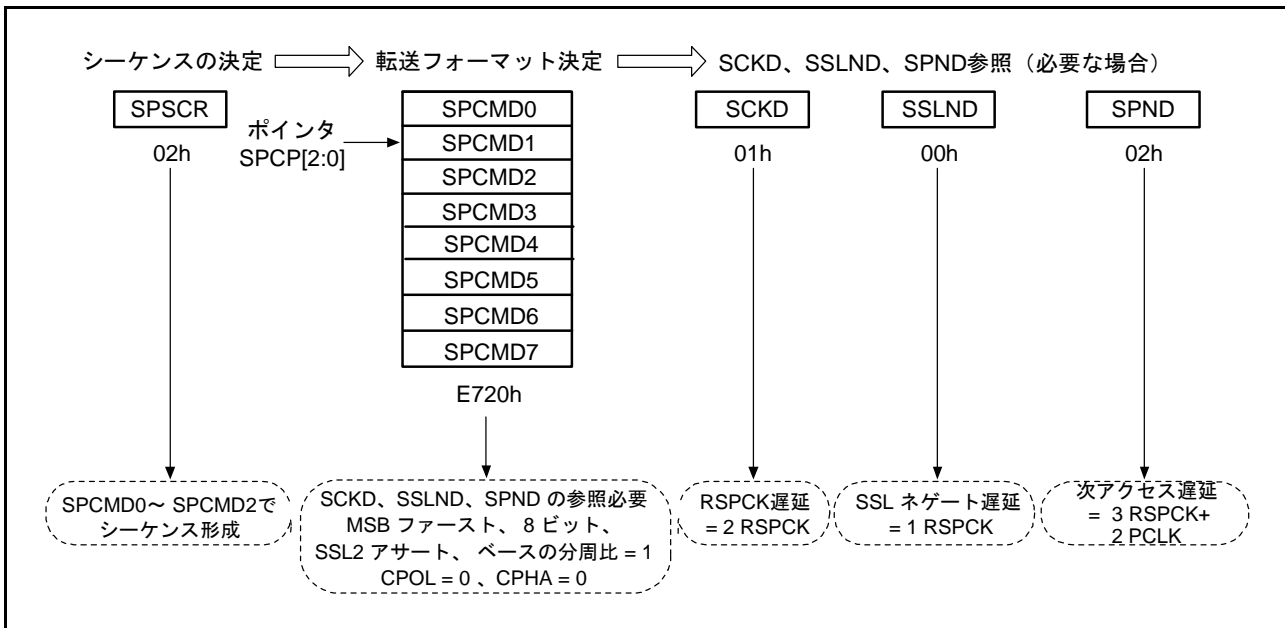


図 26.33 マスタモードでのシリアル転送方式の決定方法 (クロック同期式動作)

(4) 初期化フロー

図 26.34 に、クロック同期式動作時の RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

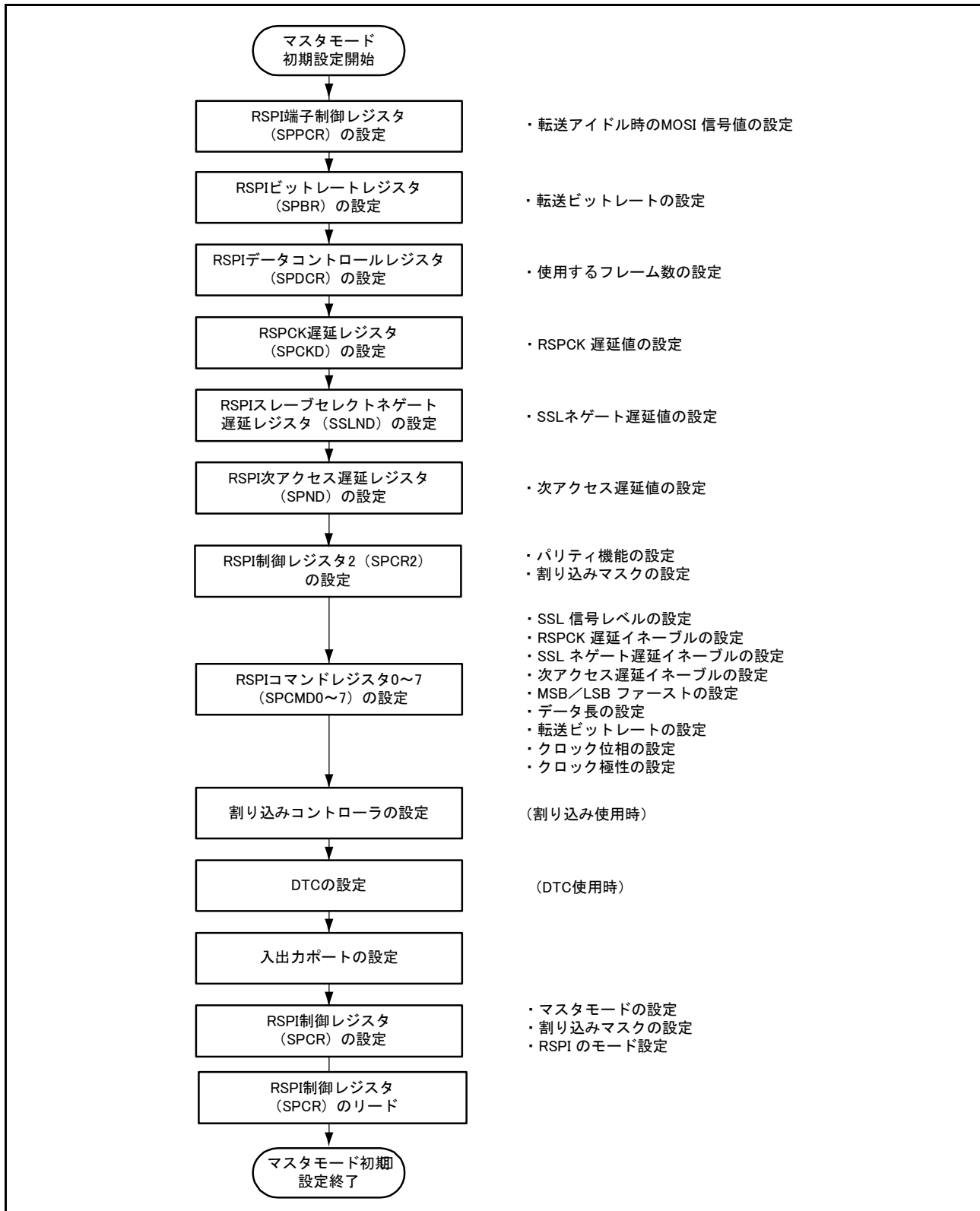


図 26.34 マスターモード時の初期化フロー例 (クロック同期式動作)

(5) 転送動作フロー

図 26.35 に、クロック同期式動作時、マスタモードの転送動作フローを示します。

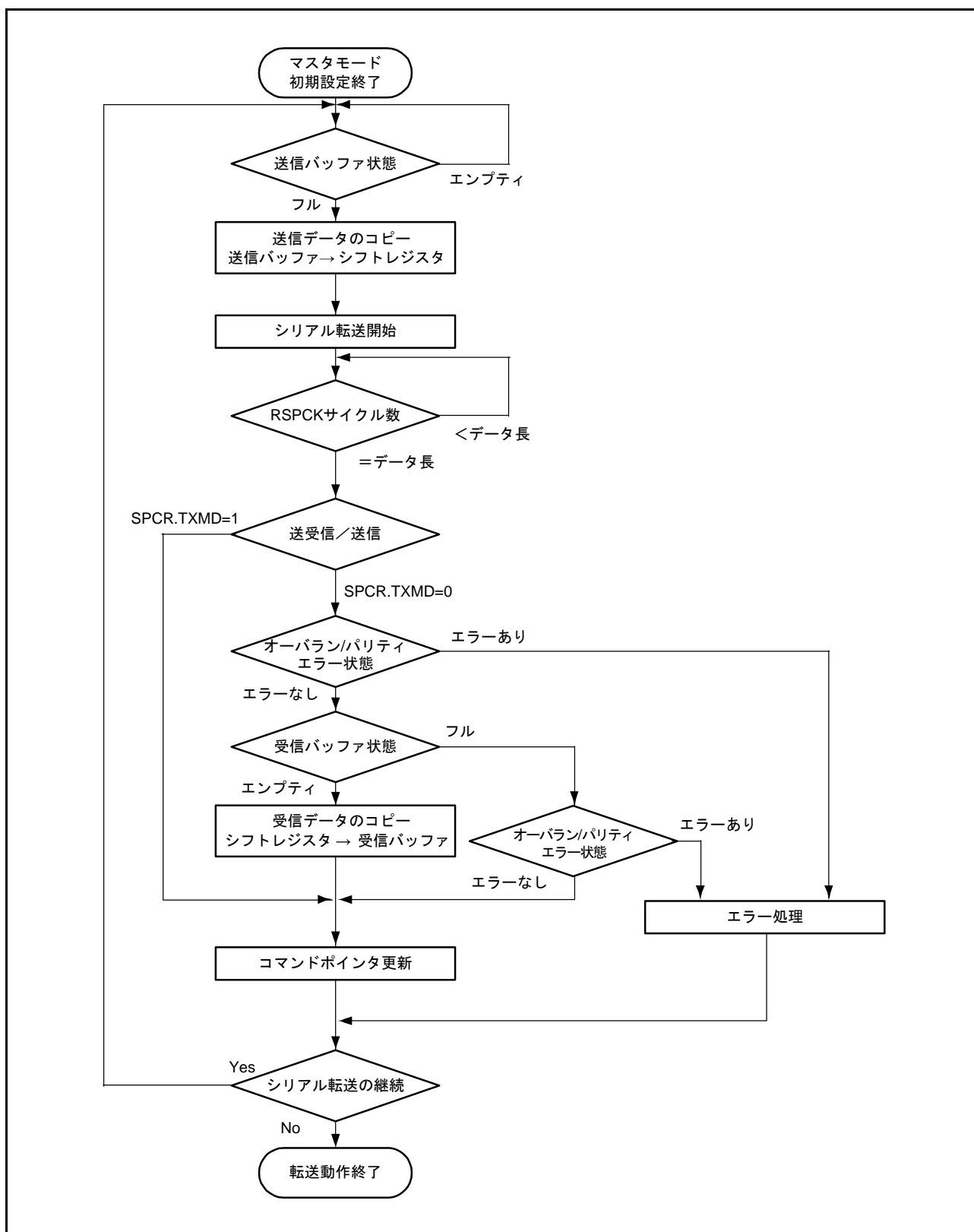


図 26.35 マスタモード時の転送動作フロー (クロック同期式動作)

26.3.11.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMS ビットが“1”であるとき、最初の RSPCK エッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPCR.SPMS ビットが“1”であるときは、RSPIはMISO出力信号を常にドライブします。

なお、RSPIの転送フォーマットの詳細については「26.3.4 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSL0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「26.3.4 転送フォーマット」を参照してください。

(3) 初期化フロー

図 26.36 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DTC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

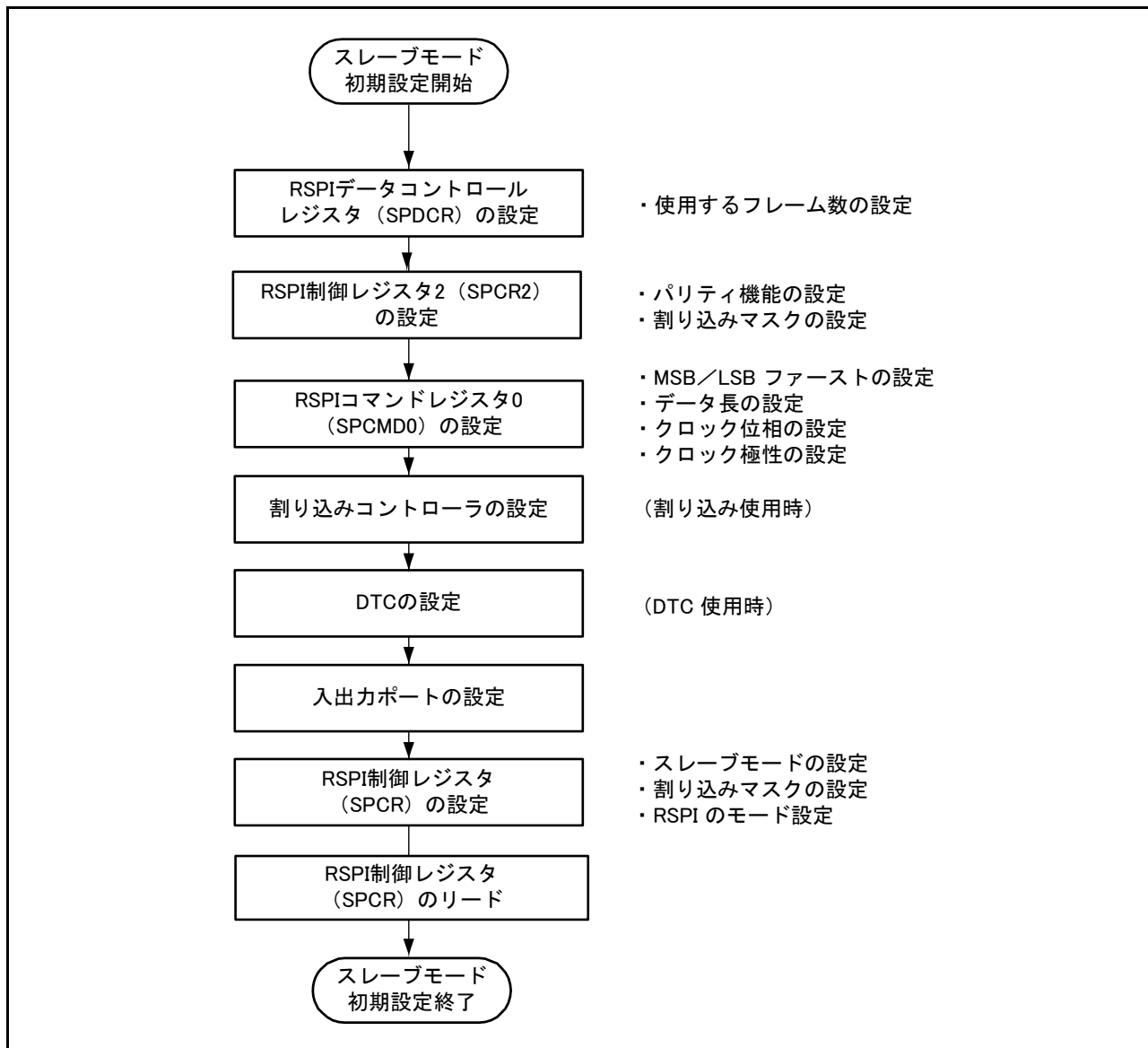


図 26.36 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) 転送動作フロー

図 26.37 に、クロック同期式動作時の RSPI の転送動作フローを示します。

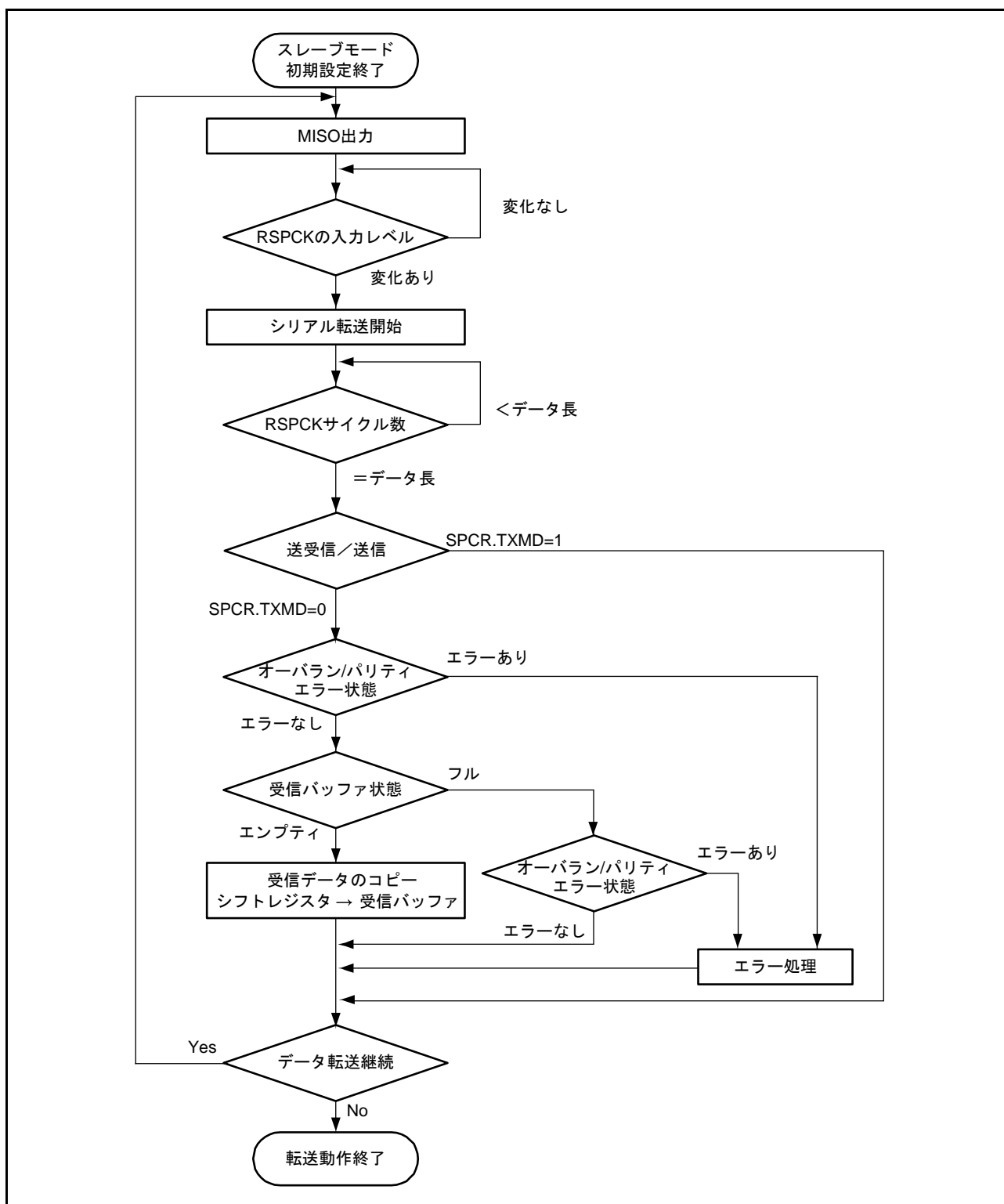


図 26.37 スレーブモード時の転送動作フロー (SPCMDm.CPHA = 1) (クロック同期式動作)

26.3.12 エラー処理

図 26.38 ～図 26.40 に、RSPI のエラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

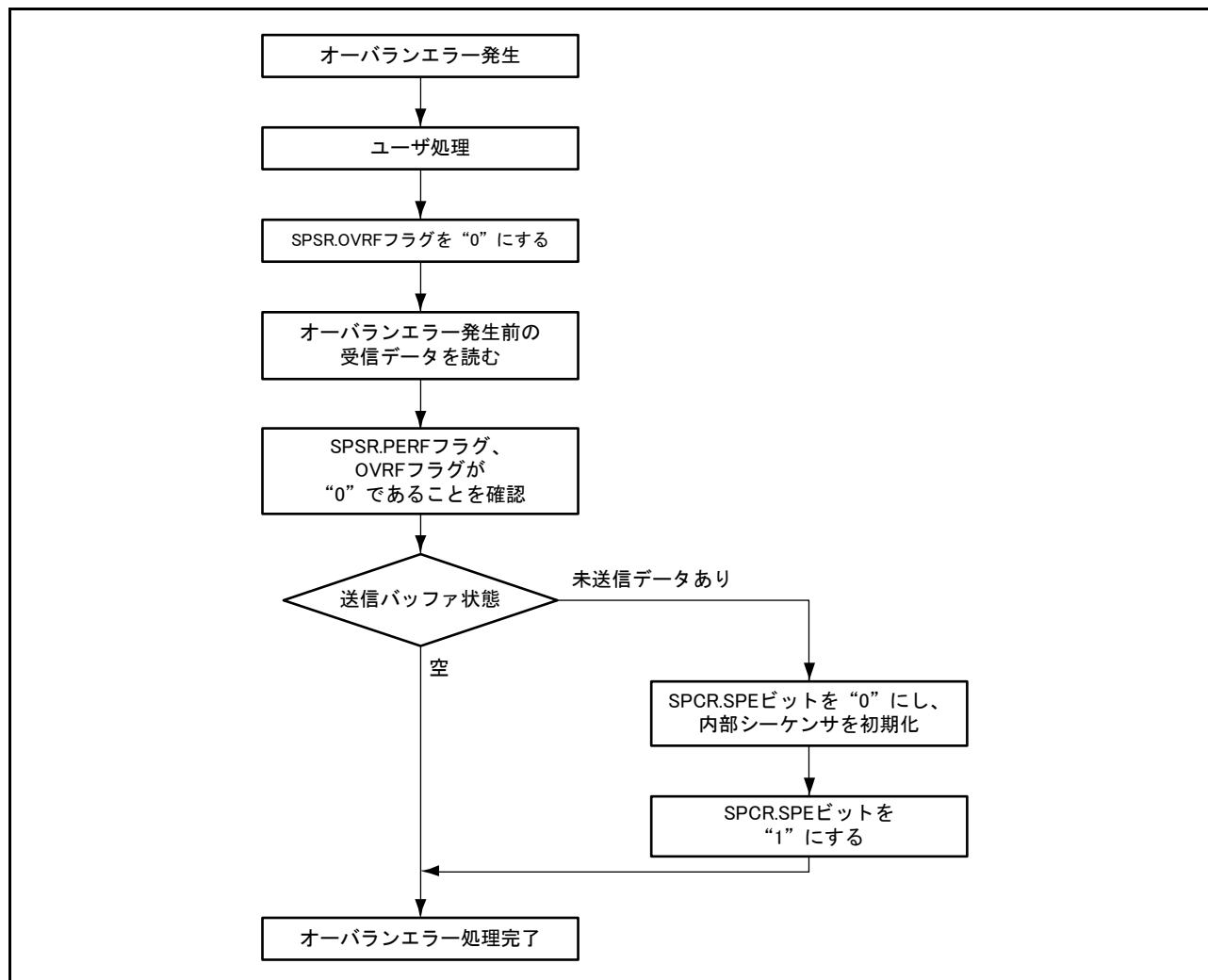


図 26.38 エラー処理 (オーバランエラー)

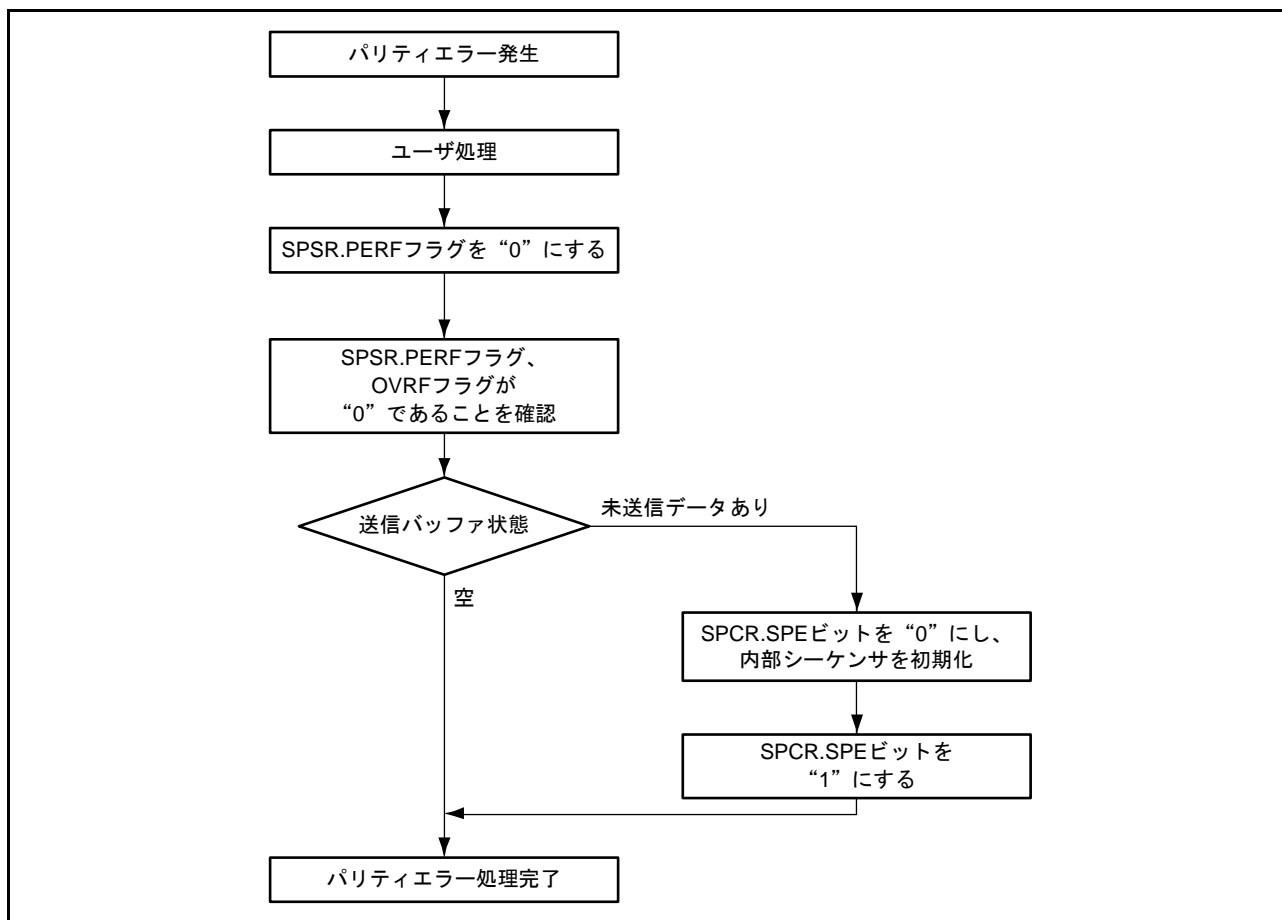


図 26.39 エラー処理 (パリティエラー)

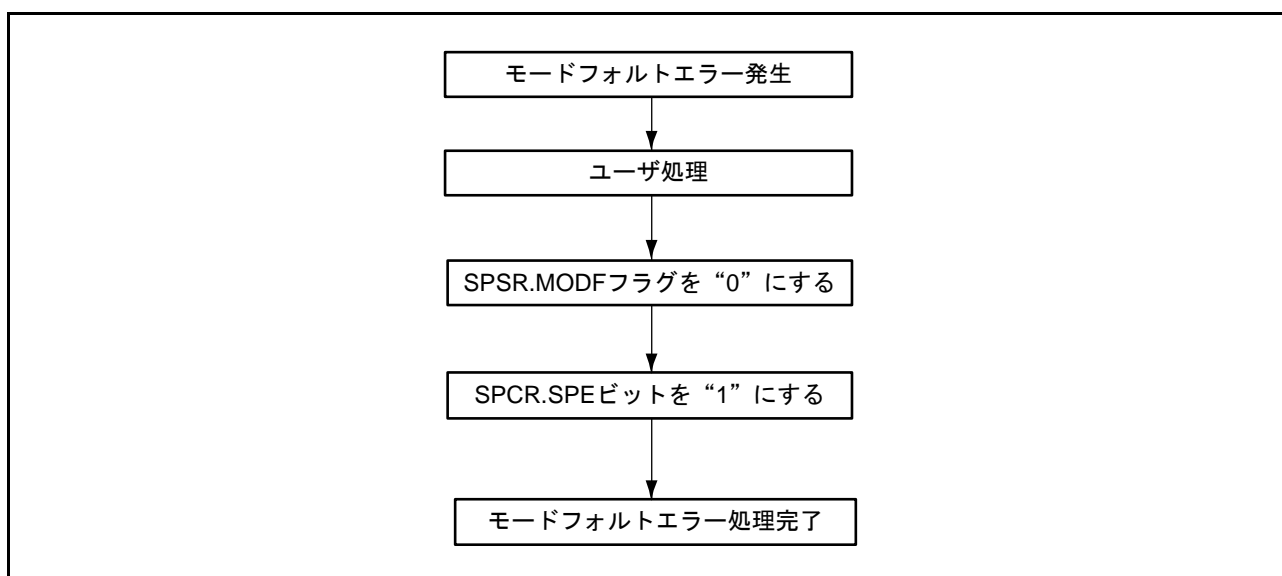


図 26.40 エラー処理 (モードフォルトエラー)

26.3.13 ループバックモード

ループバックモードはCPUがSPPCR.SPLP2ビットまたはSPLPビットに“1”を書くと、RSPIはSPCR.MSTRビットが“1”ならば、MISO端子とシフトレジスタ間を、SPCR.MSTRビットが“0”ならば、MOSI端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTRビットが“1”ならば、MOSI端子とシフトレジスタ間を、SPCR.MSTRビットが“0”ならば、MISO端子とシフトレジスタ間の経路を遮断しません。

ループバックモードでシリアル転送を実行すると、RSPIの送信データまたは送信データの反転がRSPIの受信データになります。

表 26.13 に SPPCR.SPLP2,SPLP ビットの設定と受信データの関係を示します。また、図 26.41 に、マスタモードのRSPIをループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) にした場合のシフトレジスタ入出力経路の構成を示します。

表 26.13 SPPCR.SPLP2ビット、SPLPビットの設定と受信データ

SPPCR.SPLP2ビット	SPPCR.SPLPビット	受信データ
0	0	MOSI端子またはMISO端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

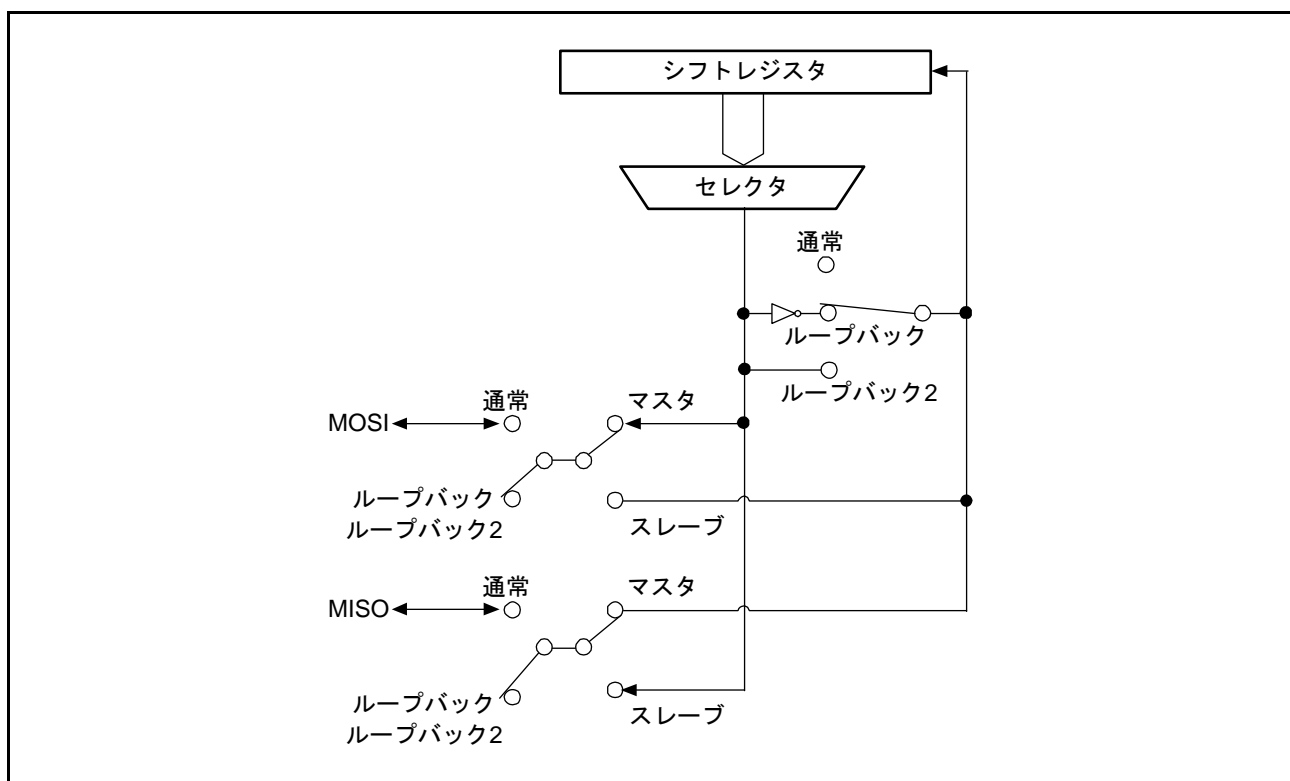


図 26.41 ループバックモード時のシフトレジスタ入出力構成 (マスタモード)

26.3.14 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 26.42 に示すフローに従い、パリティ回路の自己診断を行います。

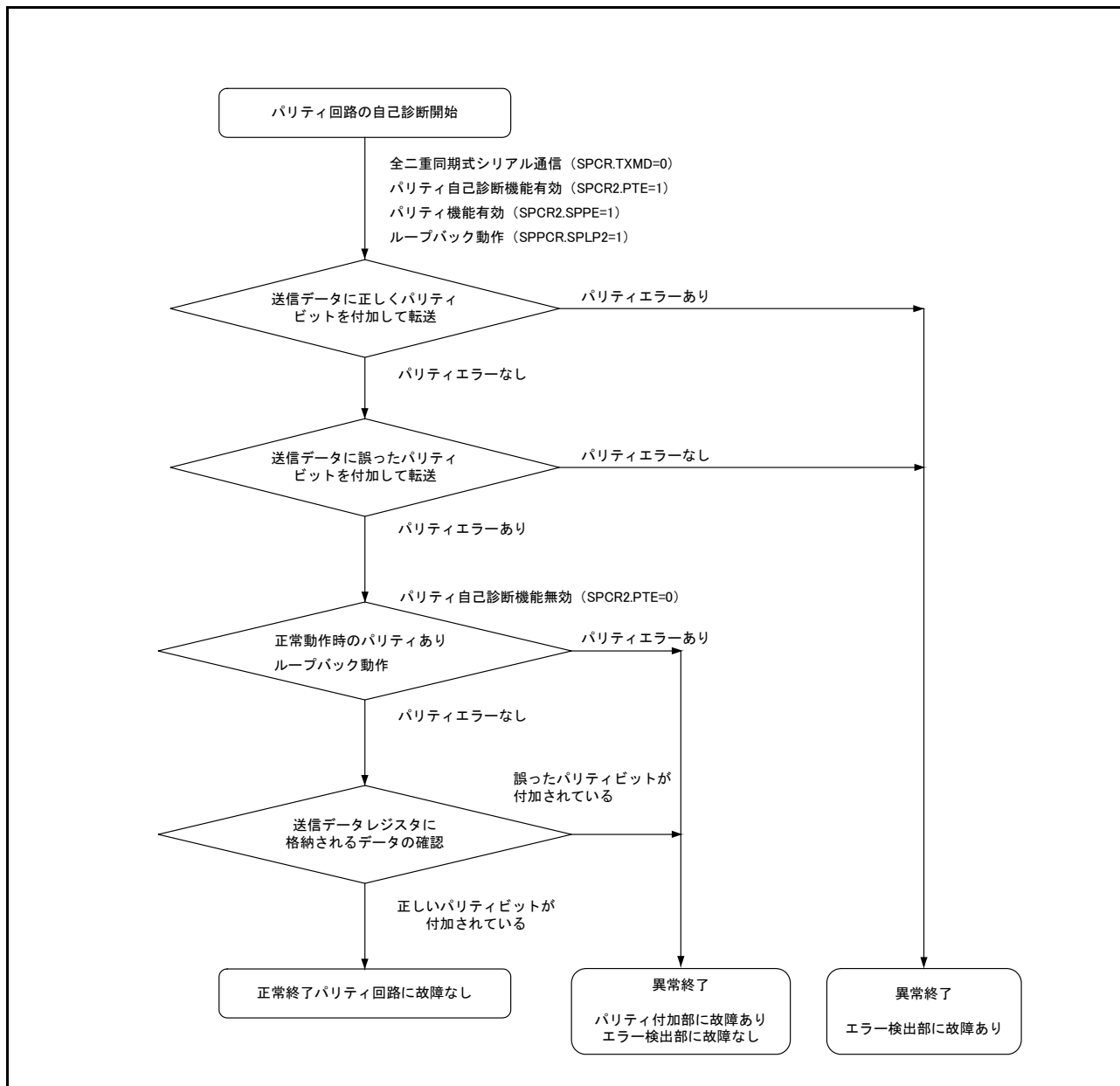


図 26.42 パリティ回路の自己判断フロー

26.3.15 割り込み要因

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、RSPI アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC を起動し、データ転送を行うことができます。

表 26.14 に、RSPI の割り込み要因を示します。表 26.14 に示す割り込み条件が成立すると、割り込みが発生します。データ転送で割り込み要因をクリアしてください。

DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから RSPI の設定を行ってください。DTC の設定方法は「14. データトランスファコントローラ (DTC)」を参照してください。

表 26.14 RSPI の割り込み要因

割り込み要因	略称	割り込み条件	DTC 起動
受信バッファフル	SPRI0	(sprie=1)・(受信バッファフル)	○
送信バッファエンプティ	SPTI0	(sptie=1)・(送信バッファエンプティ)	○
モードフォルト オーバーラン パリティエラー	SPEI0	(speie=1)・{(modf=1) (ovrf=1) (perf=1)}	—
RSPI アイドル	SPII0	(spiie=1)・(idlnf=0)	—

26.4 使用上の注意事項

26.4.1 マスタモードにおけるパリティ機能有効時の送信動作

マスタモードでパリティ機能が有効であるときに付加した送信動作を行う場合、各コマンドレジスタの下記設定をすべて同じ値にしてください。

- コマンドレジスタの転送ビット長の設定
- コマンドレジスタの MSB ファースト / LSB ファーストの設定

27. LINモジュール (LIN)

27.1 概要

LINモジュールはLIN Specification Package Revision 1.3、2.0、2.1に対応したハードウェアLIN通信コントローラで、フレーム通信とエラー判定を自動で行います。1チャンネルのマスタコントローラが内蔵されています。

表 27.1 に LIN モジュールの仕様、図 27.1 に LIN モジュールのブロック図を示します。

表 27.1 LINモジュールの仕様

項目	仕様
プロトコル	LIN Specification Package Revision 1.3、2.0、2.1
チャンネル数	1チャンネル (LINマスタ)
フレーム構成可変	<ul style="list-style-type: none"> 送信ブレイク幅：13～28 Tbit 送信ブレイクデリミタ幅：1～4 Tbit インタバイトスペース (ヘッダ)：0～7 Tbit (SyncフィールドとIDフィールド間のスペース) (注1) レスポンススペース：0～7 Tbit (注1) インタバイトスペース：0～3 Tbit (レスポンス領域内のデータバイト間のスペース) ウェイクアップ：1～16 Tbit
チェックサム	<ul style="list-style-type: none"> 送受信ともに自動演算 クラシックまたはエンハンス選択可能 (フレームごとに変更可能)
レスポンスフィールドデータバイト数	0～8バイト可変
フレーム送信方法	<ul style="list-style-type: none"> ヘッダとレスポンスを1つの送信開始要求により送信するモード ヘッダとレスポンスを別々の送信開始要求により送信するモード (フレームセパレートモード)
ウェイクアップ送受信	LINウェイクアップモードで使用可能 <ul style="list-style-type: none"> ウェイクアップ送信機能 (1～16 Tbit) ウェイクアップ受信 入力信号Low幅カウント機能
ステータス	<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了 ヘッダ送信完了 フレーム/ウェイクアップ受信完了 (注2) データ1受信完了 エラー検出 動作モード (LINリセットモード、LINウェイクアップモード、LIN動作モード、LINセルフテストモード)
エラーステータス	<ul style="list-style-type: none"> ビットエラー チェックサムエラー フレームタイムアウトエラー フィジカルバスエラー フレーミングエラー
ポーレート選択	ポーレートジェネレータでLIN仕様のポーレートを生成可能
テストモード	ユーザ評価用セルフテストモード
割り込み機能	<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了 フレーム/ウェイクアップ受信完了 (注2) エラー検出

注1. 同一レジスタで設定するため、インタバイトスペース (ヘッダ) = レスポンススペースとなります。

注2. ウェイクアップ受信は、入力信号Low幅カウントを示します。

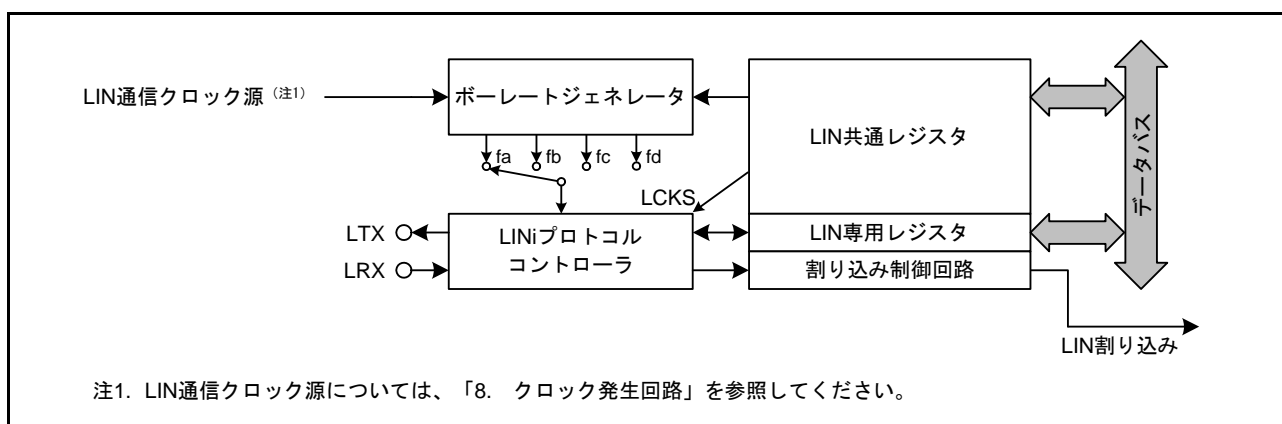


図 27.1 LIN モジュールブロック図

- LTX、LRX : LIN モジュールの入出力端子です。
- ボーレートジェネレータ : LIN の通信クロックを生成します。
- LIN 共通レジスタ : LIN モジュール共通のレジスタです。
- 割り込み制御回路 : LIN モジュールによって生成される割り込み要求を制御します。
LIN 割り込みがあります。

表 27.2 に LIN モジュールで使用する入出力端子を示します。

表 27.2 LINモジュールの入出力端子

モジュールシンボル	端子名	入出力	機能
LIN0	LRX	入力	LIN通信機能の入力端子
	LTX	出力	LIN通信機能の出力端子

27.2 レジスタの説明

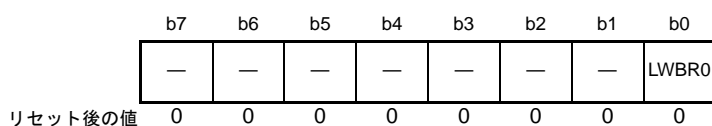
表 27.3 に LIN モジュールのレジスタ一覧を示します。

表 27.3 LINモジュールのレジスタ一覧

モジュール シンボル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN0	LINウェイクアップポーレート選択レジスタ	LWBR	00h	0009 4001h	8
	LINポーレートプリスケアラ0レジスタ	LBRP0	00h	0009 4002h	8、16
	LINポーレートプリスケアラ1レジスタ	LBRP1	00h	0009 4003h	8、16
	LINセルフテスト制御レジスタ	LSTC	00h	0009 4004h	8
	モードレジスタ	L0MD	00h	0009 4008h	8、16、32
	ブレークフィールド設定レジスタ	L0BRK	00h	0009 4009h	8、16、32
	スペース設定レジスタ	L0SPC	00h	0009 400Ah	8、16、32
	ウェイクアップ設定レジスタ	L0WUP	00h	0009 400Bh	8、16、32
	割り込み許可レジスタ	L0IE	00h	0009 400Ch	8、16
	エラー検出許可レジスタ	L0EDE	00h	0009 400Dh	8、16
	制御レジスタ	L0C	00h	0009 400Eh	8
	送信制御レジスタ	L0TC	00h	0009 4010h	8、16、32
	モードステータスレジスタ	L0MST	00h	0009 4011h	8、16、32
	ステータスレジスタ	L0ST	00h	0009 4012h	8、16、32
	エラーステータスレジスタ	L0EST	00h	0009 4013h	8、16、32
	レスポンスフィールド設定レジスタ	L0RFC	00h	0009 4014h	8、16
	IDバッファレジスタ	L0IDB	不定	0009 4015h	8、16
	チェックサムバッファレジスタ	L0CBR	不定	0009 4016h	8
	データ1バッファレジスタ	L0DB1	不定	0009 4018h	8、16、32
	データ2バッファレジスタ	L0DB2	不定	0009 4019h	8、16、32
	データ3バッファレジスタ	L0DB3	不定	0009 401Ah	8、16、32
	データ4バッファレジスタ	L0DB4	不定	0009 401Bh	8、16、32
	データ5バッファレジスタ	L0DB5	不定	0009 401Ch	8、16、32
	データ6バッファレジスタ	L0DB6	不定	0009 401Dh	8、16、32
	データ7バッファレジスタ	L0DB7	不定	0009 401Eh	8、16、32
	データ8バッファレジスタ	L0DB8	不定	0009 401Fh	8、16、32

27.2.1 LIN ウェイクアップポーレート選択レジスタ (LWBR)

アドレス 0009 4001h



ビット	シンボル	ビット名	機能	R/W
b0	LWBR0	ウェイクアップポーレート選択モードビット	0 : LIN1.3使用時 1 : LIN2.0、2.1使用時	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

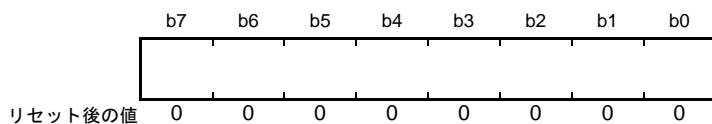
LWBR レジスタは LIN リセットモードのときに設定してください。

LWBR0 ビット (ウェイクアップポーレート選択モードビット)

LIN Specification Package Revision 1.3 使用時は、LWBR レジスタの LWBR0 ビットを“0”にしてください。これにより入力信号 Low 幅を f_{LIN} の 2.5 Tbit 以上で計測することができます。LIN Specification Package Revision 2.0、2.1 使用時は“1”にしてください。これにより入力信号 Low 幅を 130 μ s 以上で計測することができます。

27.2.2 LIN ポーレートプリスケアラ 0 レジスタ (LBRP0)

アドレス 0009 4002h

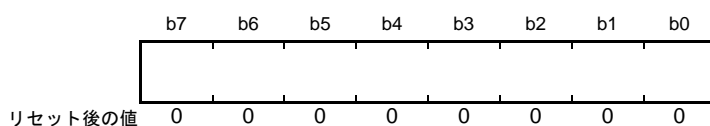


ビット	機能	設定範囲	R/W
b7-b0	設定値をN (0~255) とすると、ポーレートプリスケアラは周辺機能クロックをN+1分周する	00h~FFh	R/W

LBRP0 レジスタは LIN リセットモードのときに設定してください。

27.2.3 LIN ボーレートプリスケアラ 1 レジスタ (LBRP1)

アドレス 0009 4003h

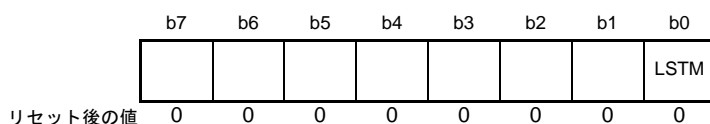


ビット	機能	設定範囲	R/W
b7-b0	設定値をM (0~255) とすると、ボーレートプリスケアラは周辺機能クロックをM+1分周する	00h~FFh	R/W

LBRP1 レジスタはLIN リセットモードのときに設定してください。

27.2.4 LIN セルフテスト制御レジスタ (LSTC)

アドレス 0009 4004h



ビット	シンボル	ビット名	機能	R/W
b7-b1			“A7h”→“58h”→“01h”の連続書き込みにより、LINセルフテストモードにエントリします	R/W
b0	LSTM	セルフテストモードビット	0 : LINセルフテストモードではない 1 : LINセルフテストモード	R/W

LSTC レジスタはLIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

LSTC レジスタはLIN リセットモードのときに設定してください。

“A7h”→“58h”→“01h”の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが“1”になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、「27.12 LIN セルフテストモード」を参照してください。

LSTM ビット (セルフテストモードビット)

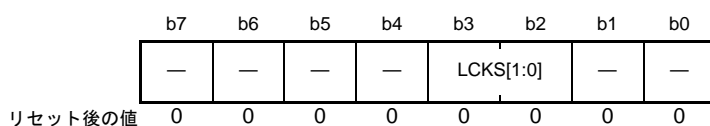
LIN セルフテストモードに移行したとき、このビットは“1”になります。

LIN セルフテストモードからの終了方法は、「27.12 LIN セルフテストモード」を参照してください。

LSTC レジスタへの“A7h”→“58h”→“01h”の連続書き込み以外で、このビットに“1”を書いても値は変化しません。

27.2.5 モードレジスタ (LOMD)

アドレス 0009 4008h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	LCKS[1:0]	LINシステムクロック選択ビット	b3 b2 0 0 : fa (ボーレートプリスケアラ0生成クロック) 0 1 : fb (ボーレートプリスケアラ0生成クロック/2) 1 0 : fc (ボーレートプリスケアラ0生成クロック/8) 1 1 : fd (ボーレートプリスケアラ1生成クロック/2)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LOMD レジスタはLIN リセットモードのときに設定してください。

LCKS[1:0] ビット (LIN システムクロック選択ビット)

プロトコルコントローラに入力するクロックを選択するビットです。

“00b”の場合、プロトコルコントローラにはfa (ボーレートプリスケアラ0生成クロック) が入力されます。

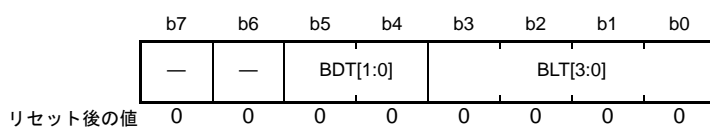
“01b”の場合、プロトコルコントローラにはfb (ボーレートプリスケアラ0生成クロック/2) が入力されます。

“10b”の場合、プロトコルコントローラにはfc (ボーレートプリスケアラ0生成クロック/8) が入力されます。

“11b”の場合、プロトコルコントローラにはfd (ボーレートプリスケアラ1生成クロック/2) が入力されます。

27.2.6 ブレークフィールド設定レジスタ (LOBRK)

アドレス 0009 4009h



ビット	シンボル	ビット名	機能	R/W
b3-b0	BLT[3:0]	送信ブレーク (Low) 幅設定ビット	b3 b0 0 0 0 0 : 13 Tbits 0 0 0 1 : 14 Tbits 0 0 1 0 : 15 Tbits : 1 1 1 0 : 27 Tbits 1 1 1 1 : 28 Tbits	R/W
b5-b4	BDT[1:0]	送信ブレークデリミタ (High) 幅設定ビット	b5 b4 0 0 : 1 Tbit 0 1 : 2 Tbits 1 0 : 3 Tbits 1 1 : 4 Tbits	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LOBRK レジスタはLIN リセットモードのときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合がありますので、適切な値になるように設定をしてください。

BLT[3:0] ビット (送信ブレーク (Low) 幅設定ビット)

送信フレーム ヘッダ部のブレーク (Low) 幅の設定をします。

13 Tbits ~ 28 Tbits を設定できます。

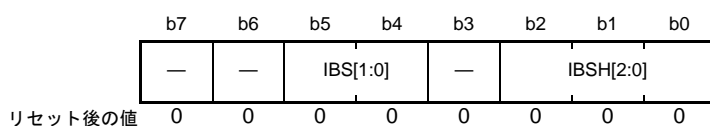
BDT[1:0] ビット (送信ブレークデリミタ (High) 幅設定ビット)

送信フレーム ヘッダ部のブレークデリミタ (High) 幅の設定をします。

1 Tbit ~ 4 Tbits を設定できます。

27.2.7 スペース設定レジスタ (L0SPC)

アドレス 0009 400Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	IBSH[2:0]	インタバイトスペース (ヘッダ) / レスポンススペース設定ビット	b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	IBS[1:0]	インタバイトスペース設定ビット	b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 1 : 2 Tbits 1 1 : 3 Tbits	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

L0SPC レジスタは LIN リセットモードのときに設定してください。

送信 (ヘッダ、レスポンス) 時のみ有効です。レスポンス受信時は、無効になります。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合がありますので、適切な値になるように設定をしてください。

IBSH[2:0] ビット (インタバイトスペース (ヘッダ) / レスポンススペース設定ビット)

送信フレームヘッダ部のインタバイトスペース (ヘッダ) とレスポンススペースの幅の設定をします。

0 Tbit ~ 7 Tbits を設定できます。

インタバイトスペース (ヘッダ) とレスポンススペースの値は、同じになります。

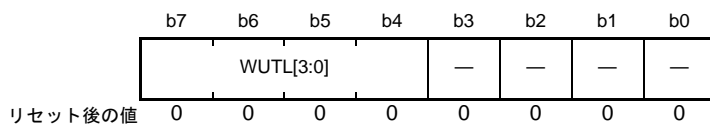
IBS[1:0] ビット (インタバイトスペース設定ビット)

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ~ 3 Tbits を設定できます。

27.2.8 ウェイクアップ設定レジスタ (LOWUP)

アドレス 0009 400Bh



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	WUTL[3:0]	ウェイクアップ送信Low幅設定ビット	b7 b4 0 0 0 0 : 1 Tbit 0 0 0 1 : 2 Tbits 0 0 1 0 : 3 Tbits 0 0 1 1 : 4 Tbits : 1 1 0 0 : 13 Tbits 1 1 0 1 : 14 Tbits 1 1 1 0 : 15 Tbits 1 1 1 1 : 16 Tbits	R/W

LOWUP レジスタはLIN リセットモードのときに設定してください。

WUTL[3:0] ビット (ウェイクアップ送信 Low 幅設定ビット)

ウェイクアップフレーム送信時の Low 幅の設定をします。

1 Tbit ~ 16 Tbits を設定できます。

27.2.9 割り込み許可レジスタ (LOIE)

アドレス 0009 400Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FTCIE	フレーム/ウェイクアップ送信完了割り込み許可ビット	0: フレーム/ウェイクアップ送信完了割り込み禁止 1: フレーム/ウェイクアップ送信完了割り込み許可	R/W
b1	FRCIE	フレーム/ウェイクアップ受信完了割り込み許可ビット	0: フレーム/ウェイクアップ受信完了割り込み禁止 1: フレーム/ウェイクアップ受信完了割り込み許可	R/W
b2	ERRIE	エラー検出割り込み許可ビット	0: エラー検出割り込み禁止 1: エラー検出割り込み許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LOIE レジスタは LIN リセットモードのときに設定してください。

FTCIE ビット (フレーム/ウェイクアップ送信完了割り込み許可ビット)

フレーム送信完了、または ウェイクアップフレーム送信完了時の割り込み許可/禁止を設定します。

“0”の場合、LOST.FTC フラグが“1”になった際に LIN 割り込みが発生しません。

“1”の場合、LOST.FTC フラグが“1”になった際に LIN 割り込みが発生します。

FRCIE ビット (フレーム/ウェイクアップ受信完了割り込み許可ビット)

フレーム受信完了、または ウェイクアップフレーム受信 (入力信号 Low 幅カウント) 完了時の割り込み許可/禁止を設定します。

“0”の場合、LOST.FRC フラグが“1”になった際に LIN 割り込みが発生しません。

“1”の場合、LOST.FRC フラグが“1”になった際に LIN 割り込みが発生します。

ERRIE ビット (エラー検出割り込み許可ビット)

エラーを検出したときの割り込み許可/禁止を設定します。

“0”の場合、LOST.ERR フラグが“1”になった際に LIN 割り込みが発生しません。

“1”の場合、LOST.ERR フラグが“1”になった際に LIN 割り込みが発生します。

発生要因となる割り込みは、ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラー、チェックサムエラーです。

ビットエラー、フィジカルバスエラー、フレームタイムアウトエラー、フレーミングエラーは、LOEDE レジスタで検出許可/禁止の設定ができます。

27.2.10 エラー検出許可レジスタ (LOEDE)

アドレス 0009 400Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BERE	ビットエラー検出許可ビット	0: ビットエラー検出禁止 1: ビットエラー検出許可	R/W
b1	PBERE	フィジカルバスエラー検出許可ビット	0: フィジカルバスエラー検出禁止 1: フィジカルバスエラー検出許可	R/W
b2	FTERE	フレームタイムアウトエラー検出許可ビット	0: フレームタイムアウトエラー検出禁止 1: フレームタイムアウトエラー検出許可	R/W
b3	FERE	フレーミングエラー検出許可ビット	0: フレーミングエラー検出禁止 1: フレーミングエラー検出許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LOEDE レジスタはLIN リセットモードのときに設定してください。

BERE ビット (ビットエラー検出許可ビット)

ビットエラー検出の許可/禁止を設定します。

“0”の場合、ビットエラーを検出しません。

“1”の場合、ビットエラーを検出します。

このビットが“1”の場合の検出結果は、LOEST.BER フラグに反映されます。

ビットエラーの詳細は、「27.10 エラーステータス」を参照ください。

PBERE ビット (フィジカルバスエラー検出許可ビット)

フィジカルバスエラー検出の許可/禁止を設定します。

“0”の場合、フィジカルバスエラーを検出しません。

“1”の場合、フィジカルバスエラーを検出します。

このビットが“1”の場合の検出結果は、LOEST.PBER フラグに反映されます。

フィジカルバスエラーの詳細は、「27.10 エラーステータス」を参照ください。

FTERE ビット (フレームタイムアウトエラー検出許可ビット)

フレームタイムアウトエラー検出許可/禁止を設定します。

“0”の場合、フレームタイムアウトエラーを検出しません。

“1”の場合、フレームタイムアウトエラーを検出します。

このビットが“1”の場合の検出結果は、LOEST.FTER フラグに反映されます。

フレームタイムアウトエラーの詳細は、「27.10 エラーステータス」を参照ください。

FERE ビット (フレーミングエラー検出許可ビット)

フレーミングエラー検出許可/禁止を設定します。

“0”の場合、フレーミングエラーを検出しません。

“1”の場合、フレーミングエラーを検出します。

このビットが“1”の場合の検出結果は、LOEST.FER フラグに反映されます。

フレーミングエラーの詳細は、「27.10 エラーステータス」を参照ください。

27.2.11 制御レジスタ (LOC)

アドレス 0009 400Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OM0	LINリセットビット	0 : LINリセットモード 1 : LINリセットモードでない	R/W
b1	OM1	LINモード選択ビット	0 : LINウェイクアップモード 1 : LIN動作モード	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

LINリセットモードを解除するときに、LINウェイクアップモードに移行させる場合はLOCレジスタに“01h”を、LIN動作モードに移行させる場合はLOCレジスタに“03h”を設定してください。

LINセルフテストモードでは、LINセルフテストモード移行後にLOCレジスタを“03h”にしてください。

OM0 ビット (LINリセットビット)

LINリセットモードへの移行/LINリセットモードの解除を選択するビットです。

“0”にすると、LINリセットモードになります。

“1”にすると、LINリセットモードは解除されます。

OM1 ビット (LINモード選択ビット)

LINリセットモード解除時のLIN動作モード (LINウェイクアップモード、LIN動作モード) 選択をするビットです。

“0”にすると、LINウェイクアップモードになります。

“1”にすると、LIN動作モードになります。

このレジスタは、L0MST.OMM0ビットが“1”のときのみ有効です。

このビットは、L0TC.FTSビットが“1”の間は書けません。

27.2.12 送信制御レジスタ (L0TC)

アドレス 0009 4010h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FTS	フレーム送信/ウェイクアップ送受信開始ビット	0: フレーム送信/ウェイクアップ送受信停止 1: フレーム送信/ウェイクアップ送受信開始	R/W
b1	RTS	レスポンス送信開始ビット	0: フレームセパレートモードにおいてレスポンス送信停止 1: フレームセパレートモードにおいてレスポンス送信開始	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FTS ビット (フレーム送信/ウェイクアップ送受信開始ビット)

フレーム/ウェイクアップ送信開始時、“1”にしてください。

また、ウェイクアップ受信 (入力信号 Low 幅カウント) を行う場合にも、このビットを“1”にしてください。

通信中は“1”になります。通信していない場合、および LIN リセットモード移行時には“0”になります。

このビットは“1”のみ書けます。“0”は書けません。送信が完了すると自動的に“0”になります。

RTS ビット (レスポンス送信開始ビット)

レスポンス送信開始時、“1”にしてください。

通信中は“1”になります。通信していない場合、および LIN リセットモード移行時には“0”になります。

このビットは“1”のみ書けます。“0”は書けません。送信が完了すると自動的に“0”になります。RTS ビットに“1”を書く場合は、MOV 命令で“02h”を書き込んでください。

このビットは L0RFC.FSM ビットが“1” (フレームセパレートモード) で、FTS ビットが“1” (フレーム送信/ウェイクアップ送受信開始) のときに設定してください。

27.2.13 モードステータスレジスタ (LOMST)

アドレス 0009 4011h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OMM0	LIN0リセットステータスマニタ	0: LIN0リセットモード 1: LIN0リセットモードでない	R
b1	OMM1	LIN0モードステータスマニタ	0: LIN0ウェイクアップモード 1: LIN0動作モード	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

OMM0 ビット (LIN0 リセットステータスマニタ)**OMM1 ビット (LIN0 モードステータスマニタ)**

現在の動作モードが確認できます。

27.2.14 ステータスレジスタ (LOST)

アドレス 0009 4012h

	b7	b6	b5	b4	b3	b2	b1	b0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FTC	フレーム/ウェイクアップ送信完了フラグ	0: 送信未完了 1: フレームまたはウェイクアップ送信完了	R/W
b1	FRC	フレーム/ウェイクアップ受信完了フラグ	0: 受信未完了 1: フレームまたはウェイクアップ受信完了	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	ERR	エラー検出フラグ	0: エラー未検出 1: エラー検出	R
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	D1RC	データ1受信完了フラグ	0: 受信未完了 1: データ1受信完了	R/W
b7	HTRC	ヘッダ送信完了フラグ	0: 送信未完了 1: ヘッダ送信完了	R/W

LOSTレジスタはLINリセットモード移行時および次の通信開始時、自動的に“00h”になります。

LINリセットモード中は“00h”を保持します。

LOTC.FTSフラグが“1”（フレーム送信／ウェイクアップ送受信開始）の間は、LOSTレジスタに書かないでください。

FTCフラグ（フレーム／ウェイクアップ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーム送信完了またはウェイクアップ送信完了時、“1”となります。このときLOIE.FTCIEビットが“1”（割り込み許可）の場合、割り込みが発生します。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

FRCフラグ（フレーム／ウェイクアップ受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーム受信完了またはウェイクアップ受信完了時、“1”となります。このときLOIE.FRCIEビットが“1”（割り込み許可）の場合、割り込みが発生します。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

ERRフラグ（エラー検出フラグ）

エラー検出時、“1”となります。このときLOIE.ERRIEビットが“1”（割り込み許可）の場合、割り込みが発生します。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内でLOEST.CSER, FER, FTER, PBER, BERフラグに“0”を書いてください。ERRフラグが“0”となります。

D1RCフラグ（データ1受信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

データ1受信完了時、“1”となりますが割り込みが発生しません。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

HTRCフラグ（ヘッダ送信完了フラグ）

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ヘッダ受信完了時、“1”となりますが割り込みが発生しません。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

27.2.15 エラーステータスレジスタ (LOEST)

アドレス 0009 4013h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	CSER	—	FER	FTER	PBER	BER

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	BER	ビットエラーフラグ	0: ビットエラー未検出 1: ビットエラー検出	R/W
b1	PBER	フィジカルバスエラーフラグ	0: フィジカルバスエラー未検出 1: フィジカルバスエラー検出	R/W
b2	FTER	フレームタイムアウトエラーフラグ	0: フレームタイムアウトエラー未検出 1: フレームタイムアウトエラー検出	R/W
b3	FER	フレーミングエラーフラグ	0: フレーミングエラー未検出 1: フレーミングエラー検出	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	CSER	チェックサムエラーフラグ	0: チェックサムエラー未検出 1: チェックサムエラー検出	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

LOEST レジスタは LIN リセットモード移行時および次の通信開始時、自動的に“00h”になります。

LIN リセットモード中は“00h”を保持します。

LOT.CFTS フラグが“1”（フレーム送信／ウェイクアップ送受信開始）の間は、LOEST レジスタに書かないでください。

BER フラグ (ビットエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

ビットエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

PBER フラグ (フィジカルバスエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フィジカルバスエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FTER フラグ (フレームタイムアウトエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレームタイムアウトエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN 動作モード内で“0”を書いてください。

FER フラグ (フレーミングエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

フレーミングエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

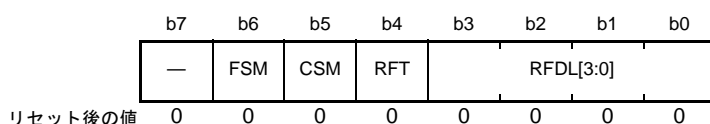
CSER フラグ (チェックサムエラーフラグ)

“0”のみ書けます。“1”を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、“1”となります。次の通信が始まる前に“0”にしたい場合は、LIN動作モード内で“0”を書いてください。

27.2.16 レスポンスフィールド設定レジスタ (L0RFC)

アドレス 0009 4014h



ビット	シンボル	ビット名	機能	R/W
b3-b0	RFDL[3:0]	レスポンスフィールド長設定ビット	b3 b0 0000: 0バイト+チェックサム 0001: 1バイト+チェックサム 0010: 2バイト+チェックサム : 0111: 7バイト+チェックサム 1000: 8バイト+チェックサム 上記以外は設定しないでください。	R/W
b4	RFT	レスポンスフィールド送受信方向設定ビット	0: 受信 1: 送信	R/W
b5	CSM	チェックサム選択ビット	0: クラシック 1: エンハンス	R/W
b6	FSM	フレームセパレートモード選択ビット	0: フレームセパレートモードではない 1: フレームセパレートモード	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

L0RFC レジスタは L0TC.FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止) のときに設定してください。

RFDL[3:0] ビット (レスポンスフィールド長設定ビット)

レスポンスフィールドのデータ長を設定します。

データ長は0～8バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

RFT ビット (レスポンスフィールド送受信方向設定ビット)

“0”の場合、レスポンスフィールドで受信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ受信 (入力信号 Low 幅カウント) を行います。

“1”の場合、レスポンスフィールドで送信を行います。また、LIN ウェイクアップモードでは、ウェイクアップ送信を行います。

CSM ビット (チェックサム選択ビット)

チェックサムの方式の設定をします。

“0”の場合、チェックサムの方式はクラシックとなります。

“1”の場合、チェックサムの方式はエンハンスとなります。

フレームタイムアウトエラーを使用する (LOEDE.FTERE ビットが“1”) 場合は、CSM ビットの設定によりフレームタイムアウト時間が異なります。詳細は「27.10 エラーステータス」を参照してください。

FSM ビット (フレームセパレートモード選択ビット)

“0”の場合、フレームセパレートモードになりません。

“1”の場合、フレームセパレートモードになります。

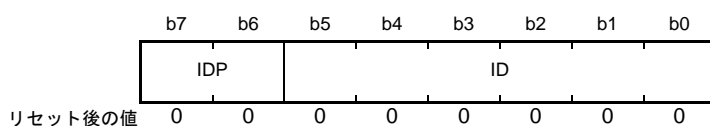
レスポンス受信 (RFT ビットが“0”) 時は、FSM ビットの設定の影響を受けません。

LIN セルフテストモードに移行する場合は、移行前に“0”に設定してください。

フレームセパレートモードの詳細は「27.7.1.1 フレームセパレートモード」を参照してください。

27.2.17 ID バッファレジスタ (L0IDB)

アドレス 0009 4015h



ビット	シンボル	ビット名	機能	R/W
b5-b0	ID	ID設定ビット	IDフィールドで送信する6ビットのID値を設定	R/W
b7-b6	IDP	パリティ設定ビット	IDで送信するパリティ (P) ビットを設定	R/W

L0IDB レジスタは L0TC.FTS ビットが“0” (フレーム送信 / ウェイクアップ送受信停止) のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

- RFT ビットが“1” (送信) の場合 :
送信した値の反転値を読むことができます。通信前に送信する値を書くことができます。
- RFT ビットが“0” (受信) の場合 :
受信した値の反転値を読むことができます。通信前に受信する値を書くことができます。

ID ビット (ID 設定ビット)

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

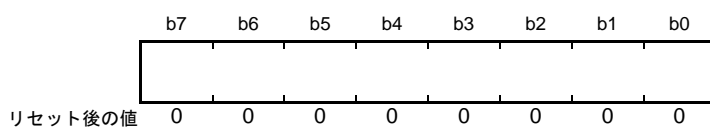
IDP ビット (パリティ設定ビット)

LIN フレームの ID フィールドで送信するパリティ (P0、P1) ビットを設定します。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

27.2.18 チェックサムバッファレジスタ (L0CBR)

アドレス 0009 4016h



ビット	機能	R/W
b7-b0	チェックサムの送受信データを格納します	R/W

L0CBR レジスタはL0TC.FTS ビットが“0”（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

LIN 動作モード時は、以下の通りとなります。

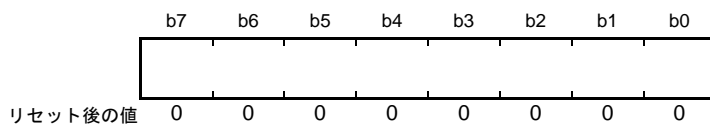
- L0RFC.RFT ビットが“1”（送信）の場合：
送信した値を読むことができます。書き込みは無効になります。
- L0RFC.RFT ビットが“0”（受信）の場合：
受信した値を読むことができます。書き込みは無効になります。

LIN セルフテストモード時は、以下の通りとなります。

- L0RFC.RFT ビットが“1”（送信）の場合：
送信した値の反転値を読むことができます。書き込みは無効になります。
- L0RFC.RFT ビットが“0”（受信）の場合：
受信した値の反転値を読むことができます。通信前に受信する値を書くことができます。

27.2.19 データ n バッファレジスタ (L0DBn) (n=1 ~ 8)

アドレス L0DB1 0009 4018h、L0DB2 0009 4019h、L0DB3 0009 401Ah、L0DB4 0009 401Bh、
L0DB5 0009 401Ch、L0DB6 0009 401Dh、L0DB7 0009 401Eh、L0DB8 0009 401Fh



ビット	機能	設定範囲	R/W
b7-b0	送信データを設定、または受信データを読み出し	00h~FFh	R/W

L0DBn レジスタは以下の状態で設定してください

レスポンス送信の場合：

- L0RFC.RFT ビットが“1” (送信)
- L0RFC.FSM ビットが“0” (フレームセパレートモードではない)
- L0TC.FTS ビットが“0” (フレーム送信/ウェイクアップ送受信停止)

または

- L0RFC.RFT ビットが“1” (送信)
- L0RFC.FSM ビットが“1” (フレームセパレートモード)
- L0TC.RTS ビットが“0” (レスポンス送信停止)

レスポンス受信の場合：

受信データは上書きされます。また、エラー検出時、受信が中断される前までのデータは格納されます。

LIN セルフテストモード時は、以下の通りとなります。

- L0RFC.RFT ビットが“1” (送信) の場合：
送信した値の反転値を読むことができます。通信前に送信する値を書くことができます。
- L0RFC.RFT ビットが“0” (受信) の場合：
受信した値の反転値を読むことができます。通信前に受信する値を書くことができます。

27.3 動作モード

LINモジュールには、次の4つの動作モードがあります。

- LINリセットモード
- LIN動作モード
- LINウェイクアップモード
- LINセルフテストモード

LINリセットモードの場合、LINモジュールへのクロック供給が停止されるため、消費電力を低減することができます。

図 27.2 に動作モードの移行、表 27.4 に各動作モードで可能な動作を示します。

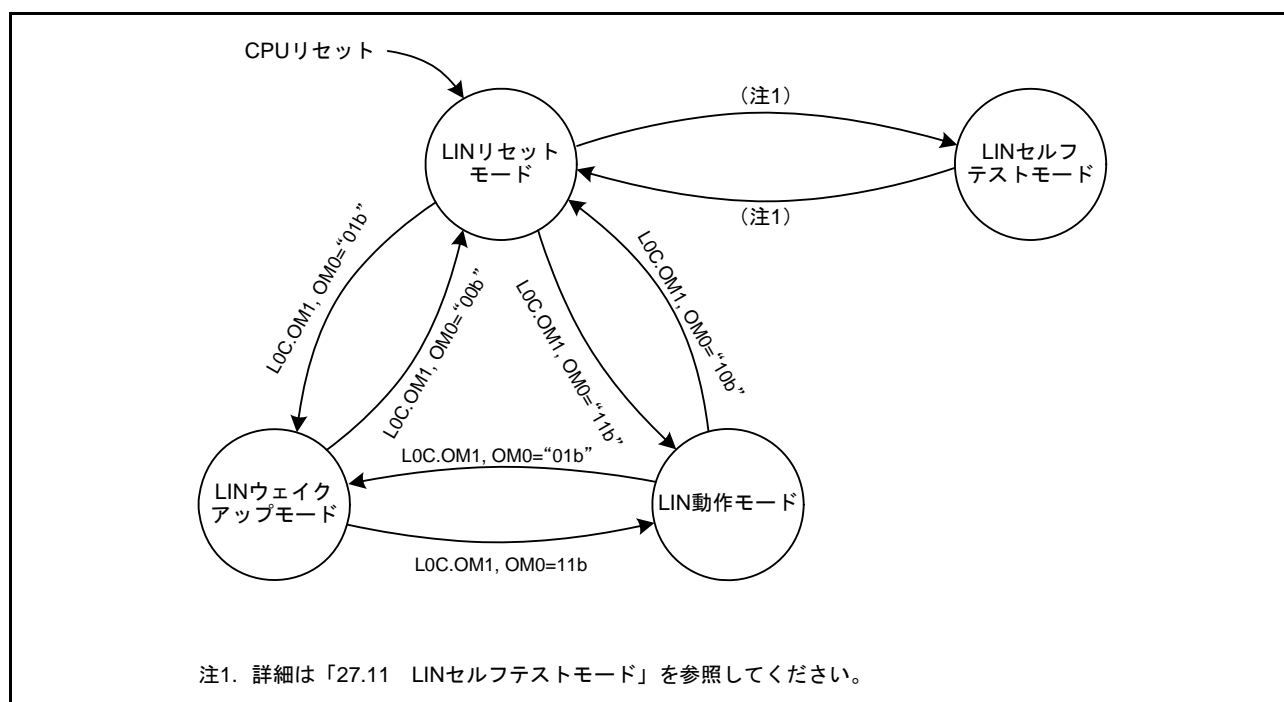


図 27.2 動作モードの移行

表 27.4 各動作モードで可能な動作

LIN動作モード	LINウェイクアップモード	LINセルフテストモード
ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出	ウェイクアップ送信 ウェイクアップ受信 エラー検出	セルフテスト

LOMST.OMM1, OMM0 ビットを読むことで、LINリセットモード、LIN動作モード、LINウェイクアップモードへ移行したことを確認できます。

LINセルフテストモードについては、「27.12 LINセルフテストモード」を参照してください。

27.3.1 LIN リセットモード

L0C.OM1, OM0 ビットを“00b”または“10b” (LIN リセットモード) にすると、LIN リセットモードに移行します。L0MST.OMM1, OMM0 ビットが“00b”または“10b” (LIN リセットモード) になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能はすべて停止しており、fLIN も停止しています。

LIN リセットモードからは、LIN 動作モード、LIN ウェイクアップモード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- L0TC レジスタ
- L0ST レジスタ
- L0EST レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- LWBR レジスタ
- LBRP0 レジスタ
- LBRP1 レジスタ
- LSTC レジスタ (LSTC.LSTM ビットのみ)
- L0MD レジスタ
- L0BRK レジスタ
- L0SPC レジスタ
- L0WUP レジスタ
- L0IE レジスタ
- L0EDE レジスタ
- L0RFC レジスタ
- L0IDB レジスタ
- L0DBn レジスタ (n=1 ~ 8)

27.3.2 LIN 動作モード

L0C.OM1, OM0 ビットを“11b”にすると LIN 動作モードになり、L0MST.OMM1, OMM0 ビットが“11b”になります。L0MST が“11b”になるのを待ってから、送信データ設定を行ってください。

27.3.3 LIN ウェイクアップモード

L0C.OM1, OM0 ビットを“01b”にすると LIN ウェイクアップモードになり、L0MST.OMM1, OMM0 ビットが“01b”になります。

27.3.4 LIN セルフテストモード

LSTC レジスタへの書き込みにより、LIN セルフテストモードになります。LSTC.LSTM ビットが“1”になると、LIN セルフテストモードに移行したことが確認できます。

27.4 動作概要

27.4.1 ヘッダ送信

図 27.3 に LIN モジュールのヘッダ送信時の動作、表 27.5 にヘッダ送信時の処理を示します。

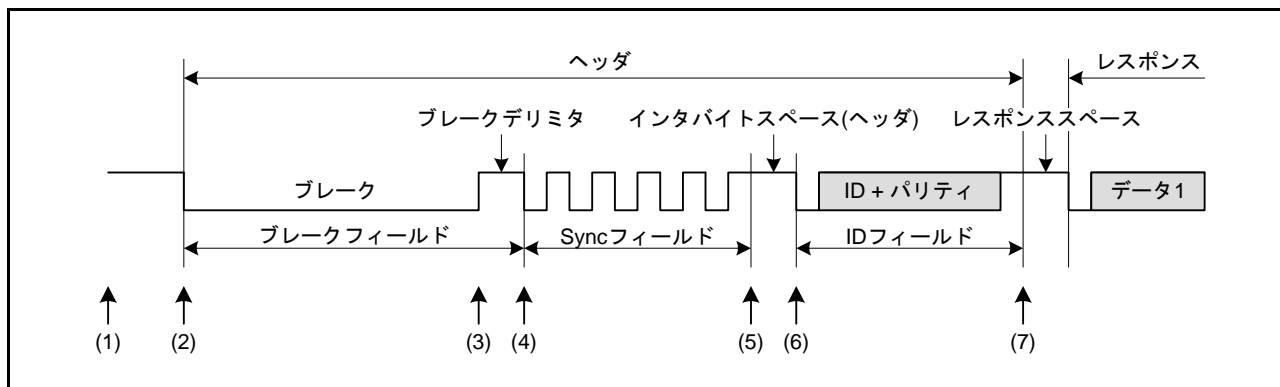


図 27.3 ヘッダ送信時の動作

表 27.5 ヘッダ送信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	<ul style="list-style-type: none"> • ボーレートを設定（「27.5 ボーレートジェネレータ」を参照してください。） • L0IE.FTCIEビットを“1”（フレーム／ウェイクアップ送信完了割り込み許可）、L0IE.FRCIEビットを“1”（フレーム／ウェイクアップ受信完了割り込み許可）、L0IE.ERRIEビットを“1”（エラー検出割り込み許可）に設定 • L0C.OM1, OM0ビットでLINモジュールの動作モードを変更 • L0BRK.BLT[3:0]ビットでブレーク幅（13～28 Tbit）、L0BRK.BDT[1:0]ビットでブレークデリミタ幅（1～4 Tbit）を設定 • L0SPC.IBSH[2:0]ビットでインタバイトスペース（ヘッダ）／レスポンススペース幅（0～7 Tbit）、L0SPC.IBS[1:0]ビットでインタバイトスペース幅（0～3 Tbit）を設定 • L0IDBレジスタにIDとそのパリティ値を設定 • L0RFC.RFDL[3:0]ビットでデータ長、L0RFC.RFTビットでレスポンスの送受信方向、L0RFC.CSMビットでチェックサム方式を設定 • 送信データを設定 	ソフトウェアによるフレーム／ウェイクアップ送信開始待ち（アイドル）
(2)	L0TC.FTSビットを“1”（フレーム送信／ウェイクアップ送受信開始）にする	ブレークLow送信
(3)		ブレークデリミタ送信
(4)		Syncフィールド（55h）送信
(5)		インタバイトスペース（ヘッダ）送信
(6)		IDフィールド送信
(7)		ヘッダ送信完了フラグ設定、またはエラーフラグの設定レスポンススペース送信

27.4.2 レスポンス送信

図 27.4 に LIN モジュールのレスポンス送信時の動作、表 27.6 にレスポンス送信時の処理を示します。

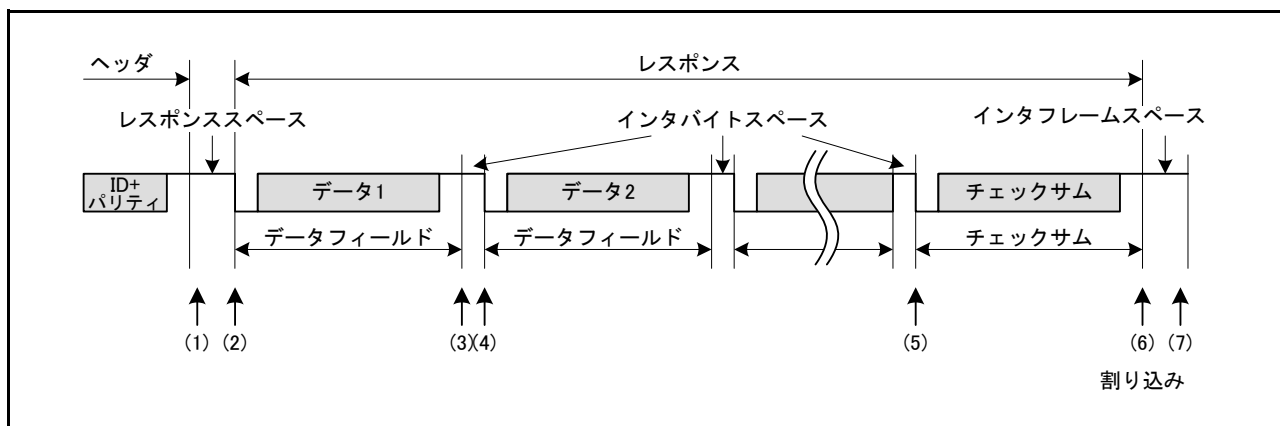


図 27.4 レスポンス送信時の動作

表 27.6 レスポンス送信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	(フレームセパレートモード時) L0TC.RTSビット=1 (レスポンス送信開始) (フレームセパレートモードでないとき) 割り込み要求発生待ち	(フレームセパレートモード時) レスポンス送信開始待ちの間、レスポンススペース送信 (フレームセパレートモードでないとき) レスポンススペース送信完了なら(2)へ
(2)	割り込み要求発生待ち	データ1送信
(3)		インタバイトスペース送信
(4)		データ2送信 インタバイトスペース送信 データ3送信 インタバイトスペース送信 (L0RFC.RFDL[3:0]ビットで指定したデータ長分繰り返す。L0EST.BERフラグ=1 (ビットエラー検出) なら中断。エラー発生時には、(5)のチェックサム送信は実行しません。) : :
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了フラグ設定、またはエラーフラグ設定 L0TC.FTSビットを"0" (フレーム送信/ウェイクアップ送受信停止)、L0TC.RTSビットを"0" (レスポンス送信停止) にする
(7)	通信後の処理 LOSTレジスタのチェック、フラグのクリア	アイドル

27.4.3 レスポンス受信

図 27.5 に LIN モジュールのレスポンス受信時の動作、表 27.7 にレスポンス受信時の処理を示します。

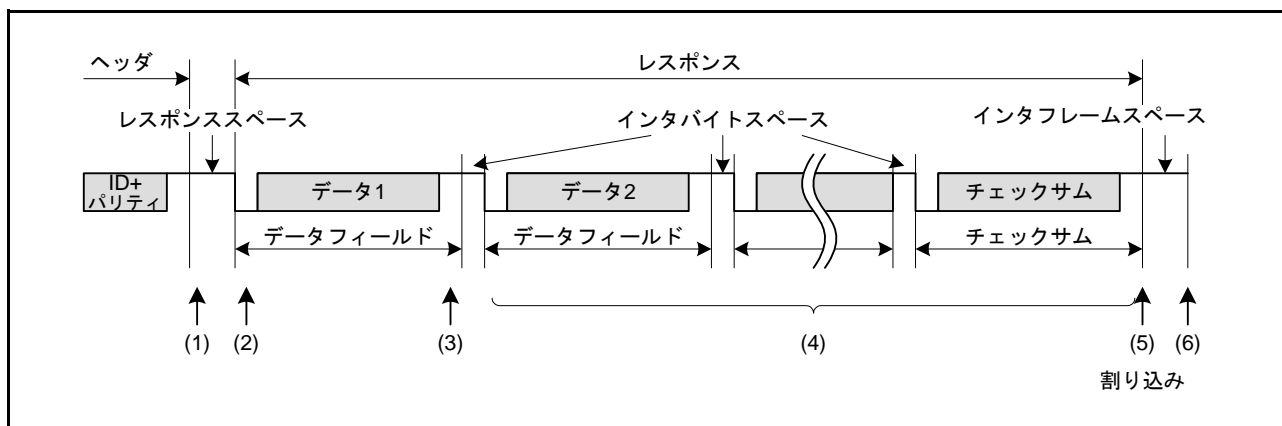


図 27.5 レスポンス受信時の動作

表 27.7 レスポンス受信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	割り込み要求発生待ち (処理はなし)	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ1受信
(3)		データ1受信完了フラグ設定
(4)		スタートビット検出によりデータ2受信 スタートビット検出によりデータ3受信 (LORFC.RFDL[3:0]ビットで指定したデータ長分繰り返し。LOESTレジスタのいずれかのビットが“1” (何らかのエラー検出) なら中断。エラー発生時には、(5)のチェックサム判定は実施しません。) : : スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> • チェックサム判定 • フレーム/ウェイクアップ受信完了フラグ設定、またはエラーフラグ設定 • LOTC.FTSビットを“0” (フレーム送信/ウェイクアップ送受信停止) にする
(6)	通信後の処理 受信データの読み出し LOSTレジスタのチェック、フラグのクリア	アイドル

27.5 ボーレートジェネレータ

LIN 通信クロックソースをボーレートジェネレータで分周したクロックが LIN システムクロック (fLIN) となり、これを 16 分周したクロックがビットレートになります。このビットレートの逆数をビットタイム (Tbit) といいます。

fa が 307200Hz (=19200×16) となるように LBRP0 レジスタを設定すれば、fa=19200×16、fb=9600×16、fc=2400×16 となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、10417bps は LBRP1 レジスタによって生成します。

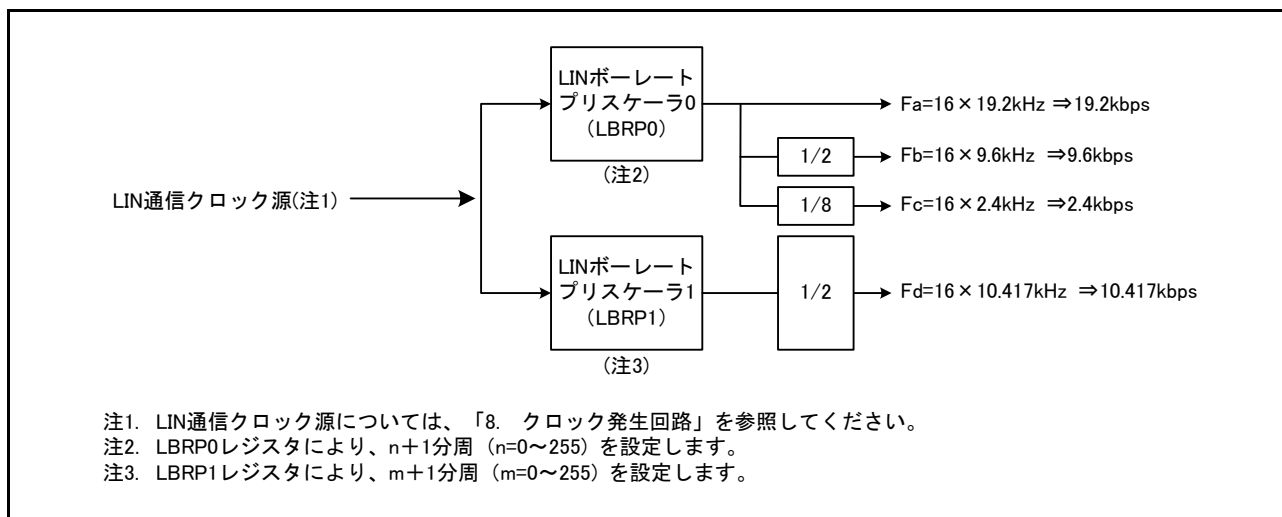


図 27.6 ボーレート生成ブロック図

表 27.8、表 27.9 に周辺機能クロック周波数ごとのボーレート (19200、9600、2400、10417bps) 生成例とその誤差を示します。

表 27.8 ボーレート生成例 (19200bps、9600bps、2400bps)

LIN通信 クロック源	ボーレートジェネレータ0 N+1分周	生成ボーレート						誤差
		fa選択		fb選択		fc選択		
50MHz	162	19290.12	(19200bps)	9645.06	(9600bps)	2411.27	(2400bps)	+0.47%
40MHz	130	19230.77	(19200bps)	9615.38	(9600bps)	2403.85	(2400bps)	+0.16%
25MHz	81	19290.12	(19200bps)	9645.06	(9600bps)	2411.27	(2400bps)	+0.47%
24MHz	78	19230.77	(19200bps)	9615.38	(9600bps)	2403.85	(2400bps)	+0.16%
20MHz	65	19230.77	(19200bps)	9615.38	(9600bps)	2403.85	(2400bps)	+0.16%
16MHz	52	19230.77	(19200bps)	9615.38	(9600bps)	2403.85	(2400bps)	+0.16%
12MHz	39	19230.77	(19200bps)	9615.38	(9600bps)	2403.85	(2400bps)	+0.16%
10MHz	65	9615.38	(9600bps)	—		—		+0.16%
8MHz	26	19230.77	(19200bps)	9615.38	(9600bps)	2403.85	(2400bps)	+0.16%
6MHz	39	9615.38	(9600bps)	—		—		+0.16%
	156	2403.85	(2400bps)	—		—		+0.16%
5MHz	130	2403.85	(2400bps)	—		—		+0.16%
4MHz	13	19230.77	(19200bps)	9615.38	(9600bps)	2403.85	(2400bps)	+0.16%
2MHz	13	9615.38	(9600bps)	—		—		+0.16%
	52	2403.85	(2400bps)	—		—		+0.16%

— : 該当ボーレート生成不可

表27.9 ボーレート生成例(10417bps)

LIN通信クロック源	ボーレートジェネレータ1 M + 1分周	生成ボーレート fd選択	誤差
50MHz			
40MHz	120	10416.67	-0.003%
25MHz	75	10416.67	-0.003%
24MHz	72	10416.67	-0.003%
20MHz	60	10416.67	-0.003%
16MHz	48	10416.67	-0.003%
12MHz	36	10416.67	-0.003%
10MHz	30	10416.67	-0.003%
8MHz	24	10416.67	-0.003%
6MHz	18	10416.67	-0.003%
5MHz	15	10416.67	-0.003%
4MHz	12	10416.67	-0.003%
2MHz	6	10416.67	-0.003%

27.6 データ送信／受信

27.6.1 データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は LOEST.BER フラグに格納されます（「27.10 エラーステータス」参照）。受信データのサンプリングポイントは 1 Tbit = 16fLIN で生成され、13 クロック目（81.25% 位置）になります。

図 27.7 にデータ送信タイミングを示します。

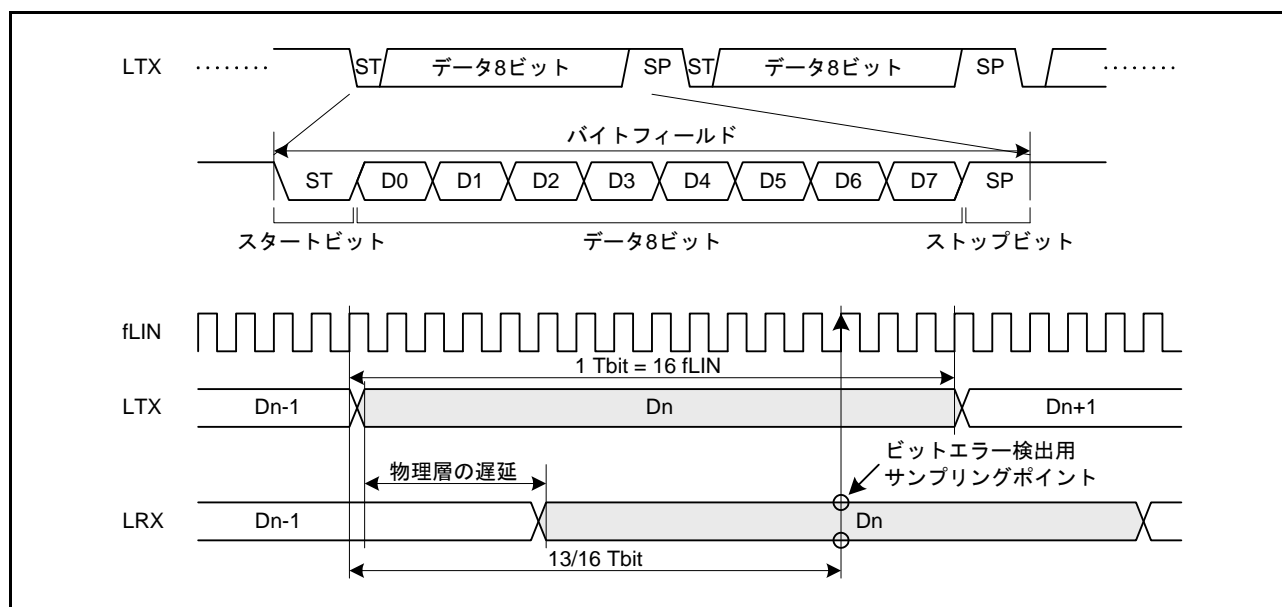


図 27.7 データ送信タイミング

27.6.2 データ受信

データ受信は、LRX 端子からの入力を fLIN に同期させた同期化 LRX (内部信号) を使用して行います。

この同期化 LRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit 後に再度サンプリングを行い、同期化 LRX 信号が Low であった場合にスタートビットと認識します。リセット解除後から LRX 信号がずっと Low の場合や、再サンプリング時に High を検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

図 27.8 にデータ受信タイミングを示します。

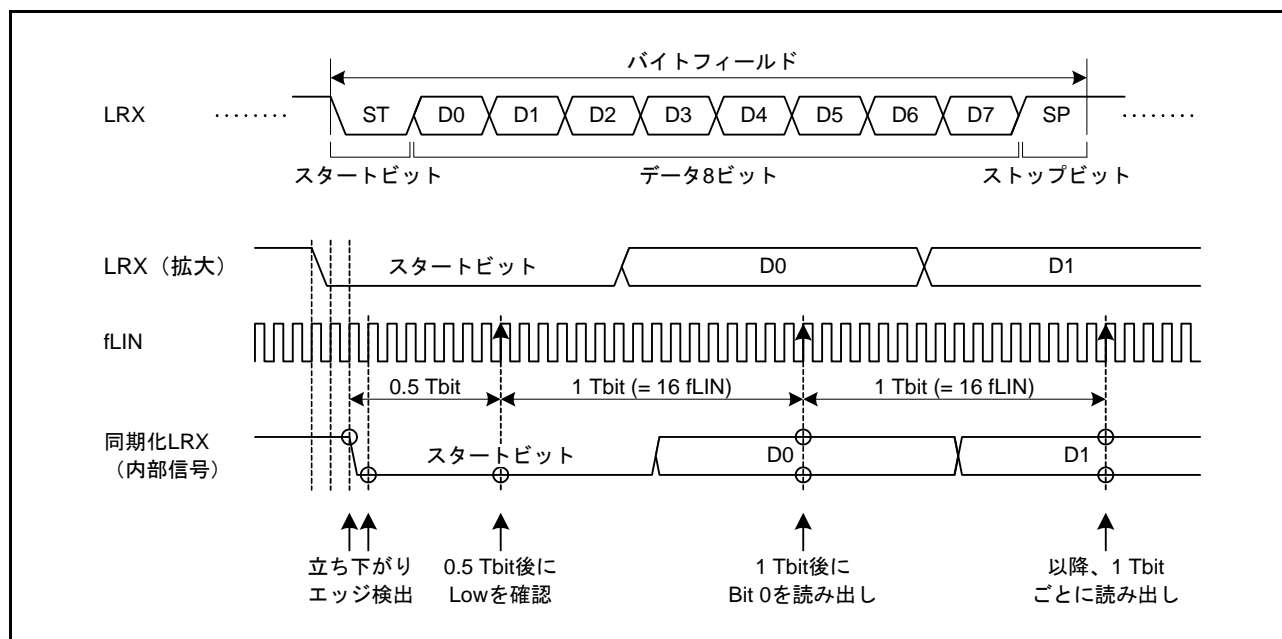


図 27.8 データ受信タイミング

27.7 送信／受信データのバッファ処理

LINモジュールの連続データ送受信時のバッファ処理について説明します。

27.7.1 LIN フレームの送信

8バイト送信の場合、L0DB1～L0DB8レジスタに格納されている内容が、順番にLINフレームのデータ1～8領域に送信されます。4バイト送信の場合は、L0DB1～L0DB4レジスタに格納されている内容がLINフレームのデータ1～4領域に送信され、L0DB5～L0DB8レジスタの内容は送信されません。また、L0CBRレジスタには送信したチェックサムデータが格納されます。

図 27.9 に LIN 送信処理とバッファを示します。

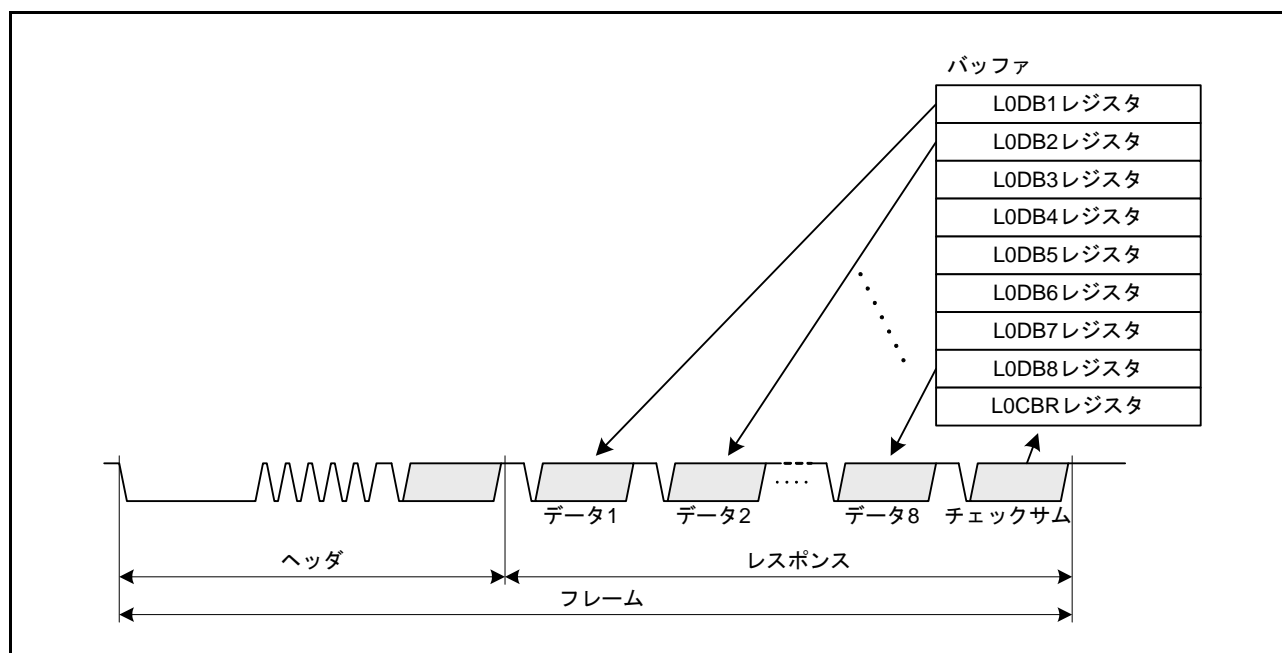


図 27.9 LIN 送信処理とバッファ

27.7.1.1 フレームセパレートモード

L0RFC.FSM ビットを“1”にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると L0ST.HTRC フラグが“1”（ヘッダ送信完了）になります。

27.7.2 LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1～8 領域の内容が、ストップビットを受信するごとにそれぞれの L0DB1～L0DB8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1～4 領域の内容が、それぞれ L0DB1～L0DB4 レジスタに格納され、L0DB5～L0DB8 レジスタには何も格納されません。また、L0CBR レジスタには受信したチェックサムデータが格納されます。

図 27.10 に LIN 受信処理とバッファを示します。

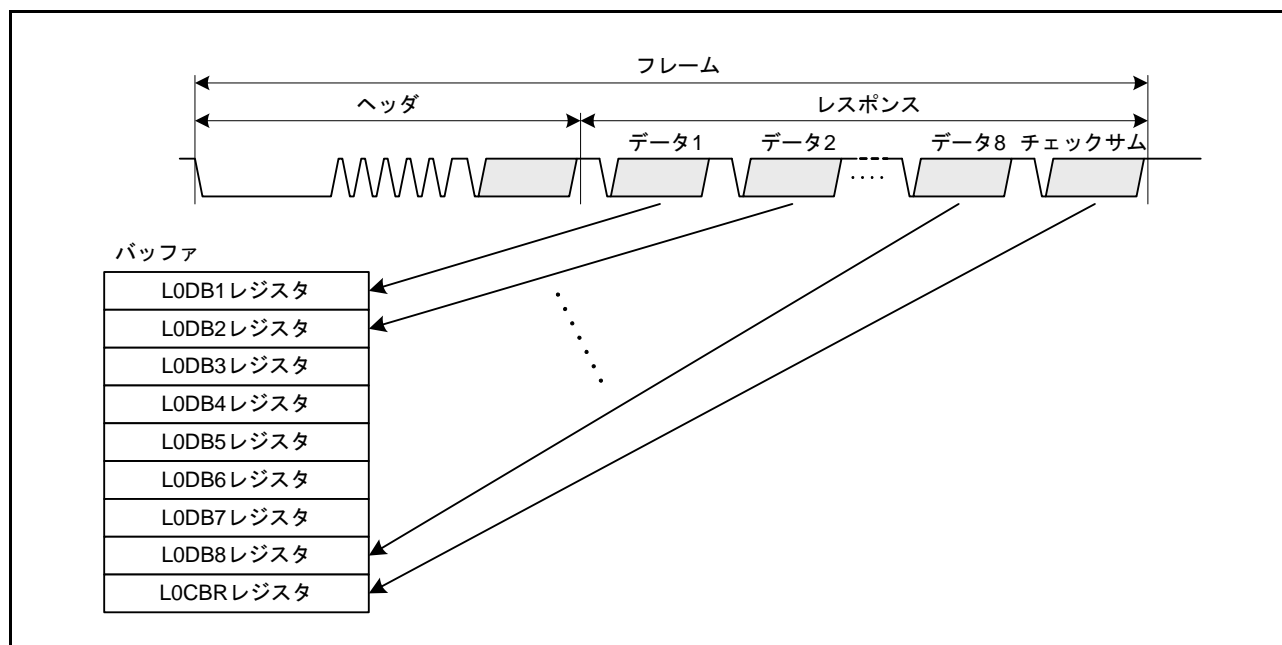


図 27.10 LIN 受信処理とバッファ

27.7.2.1 データ 1 受信

1 バイト目のデータ受信が完了すると、LOST.D1RC フラグが“1” (データ 1 受信完了) になります。

27.8 ウェイクアップ送信／受信

ウェイクアップの送受信はLIN ウェイクアップモードで使用できます。

27.8.1 ウェイクアップ送信動作

LIN ウェイクアップモード時、L0RFC.RFT ビットを“1” (送信)、L0TC.FTS ビットを“1” (フレーム送信／ウェイクアップ送受信開始) にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号の Low 幅は LOWUP.WUTL[3:0] ビットで設定します。

ビットエラーなくウェイクアップの Low が出力された場合、L0ST.FTC フラグが“1” (フレームまたはウェイクアップ送信完了) になり、L0IE.FTCIE ビットが“1” (フレーム／ウェイクアップ送信完了割り込み許可) のとき割り込み要求が発生します。

ビットエラーを検出した場合は、ウェイクアップ送信を中断し L0EST.BER フラグを“1” (ビットエラー検出) にします。

図 27.11 にウェイクアップ送信タイミングを示します。

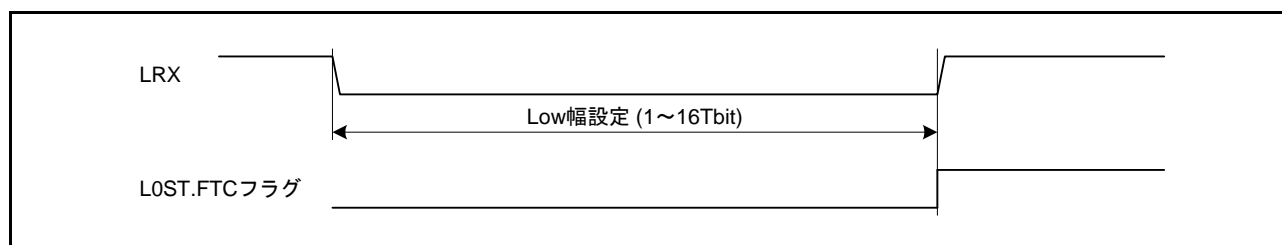


図 27.11 ウェイクアップ送信タイミング

27.8.2 ウェイクアップ受信動作

ウェイクアップを検出するには、入力信号 Low 幅カウント機能を使用します。

入力信号 Low 幅カウント機能は、データ受信と同じサンプリングポイントで LRX 端子への入力信号の Low 幅を計測する機能です。LWBR.LWBR0 ビットの設定により、計測する Low 幅が異なります。LIN Specification Package Revision 1.3 使用時は、LWBR.LWBR0 ビットを“0” にしてください。これにより入力信号 Low 幅を fLIN の 2.5 Tbit 以上で計測することができます。LIN Specification Package Revision 2.0、2.1 使用時は“1” にしてください。これにより入力信号 Low 幅を 130µs 以上で計測することができます。

この機能を使用する場合、LIN ウェイクアップモードにて、L0RFC.RFT ビットを“0” (受信)、L0TC.FTS ビットを“1” (フレーム送信／ウェイクアップ送受信開始) にしてください。

計測する Low 幅に達すると L0ST.FRC フラグが“1” (フレームまたはウェイクアップ受信完了) になり、L0IE.FRCIE ビットが“1” (フレーム／ウェイクアップ受信完了割り込み許可) の場合、割り込み要求が発生します。

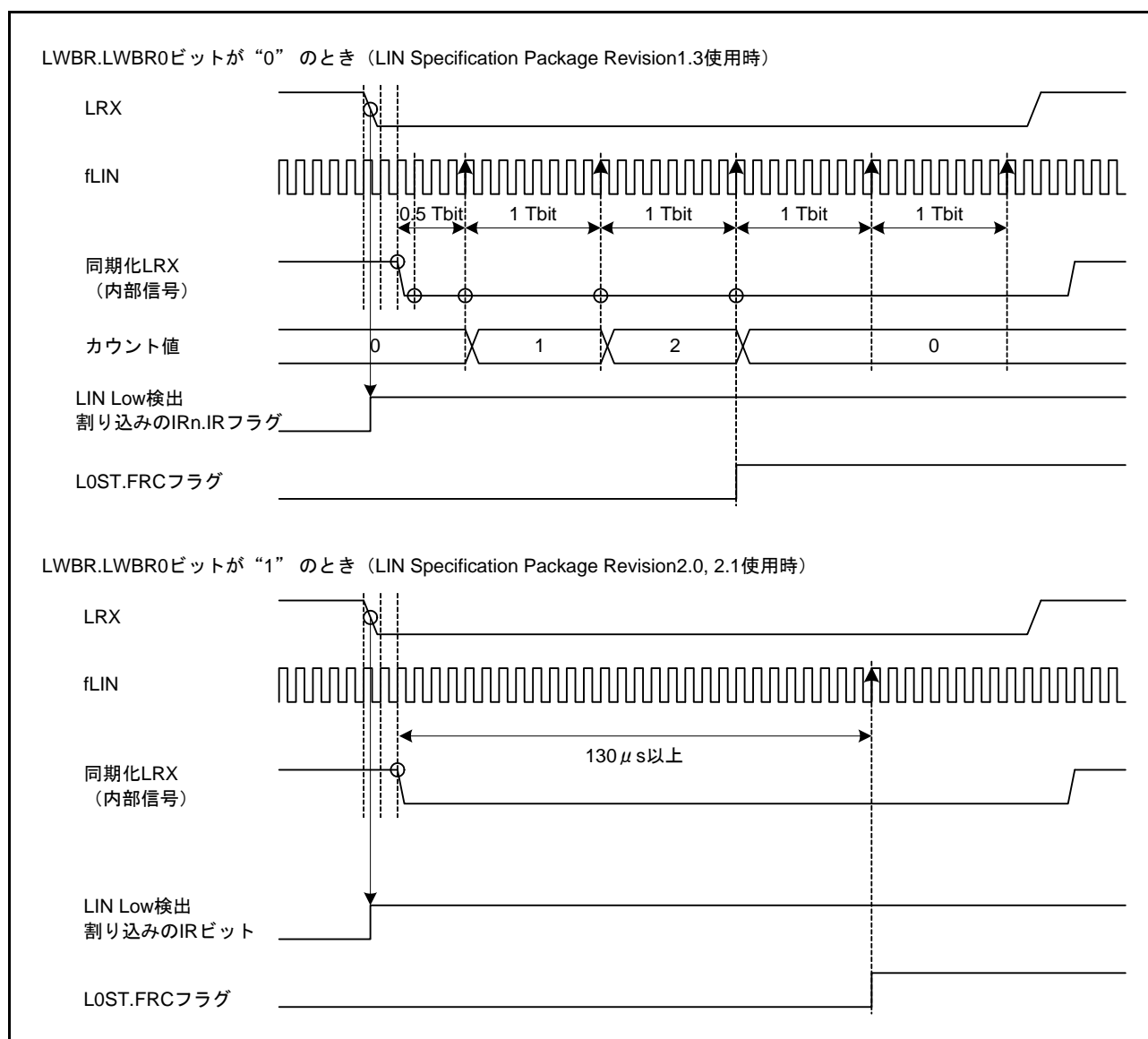


図 27.12 入力信号 Low カウント機能

ウェイクアップ送信中、入力信号 Low 幅カウント機能は動作しません。

27.8.3 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN モジュールではウェイクアップ信号の衝突は検知しません。

27.9 ステータス

LINモジュールは7種類のステータスを検出します。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスは割り込み要求を発生することができます。

表 27.10 にステータスの種類を示します。

表 27.10 ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット
LINモード	L0C.OM1ビットをLIN動作モードに設定後、実際にLINモジュールがLIN動作モードになったとき	L0C.OM1ビットをLINウェイクアップモードに設定後、実際にLINモジュールがLINウェイクアップモードになったとき	<ul style="list-style-type: none"> LIN動作モード LINウェイクアップモード 	L0MST.OMM1ビット
リセット	L0C.OM0ビットをLINリセットモードでないに設定後、実際にLINモジュールがLINリセットモード解除になったとき	L0C.OM0ビットをLINリセットモードに設定後、実際にLINモジュールがLINリセットモードになったとき	すべてのモード	L0MST.OMM0ビット
フレーム/ウェイクアップ送信完了	レスポンスフィールドまたはウェイクアップ信号を正常に送信完了したとき	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LINリセットモード移行時 	<ul style="list-style-type: none"> LIN動作モード LINウェイクアップモード 	L0ST.FTCフラグ
フレーム/ウェイクアップ受信完了	レスポンスフィールドまたはウェイクアップ信号を正常に受信完了したとき	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LINリセットモード移行時 	<ul style="list-style-type: none"> LIN動作モード LINウェイクアップモード 	L0ST.FRCフラグ
エラー検出	L0EST.CSER, FER, FTER, PBER, BERフラグのいずれかが“1” (エラー検出) になったとき	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア (注1) LINリセットモード移行時 	<ul style="list-style-type: none"> LIN動作モード LINウェイクアップモード 	L0ST.ERRフラグ
データ1受信完了	L0RFC.RFTビットが“0” (受信) で、レスポンスフレームの最初の1バイトを受信完了したとき (注2)	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LINリセットモード移行時 	LIN動作モード	L0ST.D1RCフラグ
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	<ul style="list-style-type: none"> 次の通信開始時 ソフトウェアによるクリア LINリセットモード移行時 	LIN動作モード	L0ST.HTRCフラグ

注1. LIN動作モード内でL0EST.CSER, FER, FTER, PBER, BERフラグに“0”を書くことにより、L0ST.ERRフラグは“0”になります。

注2. L0RFC.RFDL[3:0]ビットが“0000b” (0バイト+チェックサム) のときは検出されません。

27.10 エラーステータス

27.10.1 エラーステータスの種類

LINモジュールは5種類のエラーステータスを検出します。これらのエラーの状態はLESTレジスタの各ビットで確認できます。

表 27.11 にエラーステータスの種類を示します。

表 27.11 エラーステータスの種類

ステータス	エラー検出条件 (ソフトウェアで“0”にする)	エラーを検出できる 動作モード	通信 処理	検出許可/ 禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているLINバス上のデータが一致しなかったとき (注1)	<ul style="list-style-type: none"> LIN動作モード LINウェイクアップモード 	中断	○	LOEST.BER フラグ
フィジカルバスエラー	<ul style="list-style-type: none"> ブレークフィールド送信時にLINバスがHighを検出した場合 ブレークデリミタ送信時にLINバスがLowを検出した場合 ウェイクアップ送信時にLINバスがHighを検出した場合 	<ul style="list-style-type: none"> LIN動作モード LINウェイクアップモード 	中断	○	LOEST.PBER フラグ
フレームタイムアウトエラー	フレームの送受信がある一定の時間内に終了しなかったとき (注2)	LIN動作モード	中断	○	LOEST.FTER フラグ
フレーミングエラー	レスポンスフレーム受信処理において、各データバイトのストップビットがLowであったとき	LIN動作モード	中断	○	LOEST.FER フラグ
チェックサムエラー	レスポンスフレーム受信処理において、チェックサム判定の結果がエラーのとき	LIN動作モード	—	×	LOEST.CSER フラグ

注1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、その領域の直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注2. タイムアウト時間は、レスポンスフィールドデータ長 (L0RFC.RFDL[3:0]ビット)、およびチェックサム選択(L0RFC.CSMビット)に依存し、下記の式により計算できます。

クラシック選択時 (L0RFC.CSMビットが“0”の場合)

タイムアウト時間=49+(データバイト数+1)×14 [Tbit]

エンハンス選択時 (L0RFC.CSMビットが“1”の場合)

タイムアウト時間=48+(データバイト数+1)×14 [Tbit]

上記タイムアウト時間は、クラシック選択時にLIN Specification Package Revision 1.3のTFRAME_MAXを、エンハンス選択時にLIN Specification Package Revision 2.0、2.1のTFRAME_MAXを超える時間となります。

27.10.2 LIN エラー検出の対象時間領域

図 27.13 にエラーを検出するために LIN モジュールが監視する時間領域を示します。

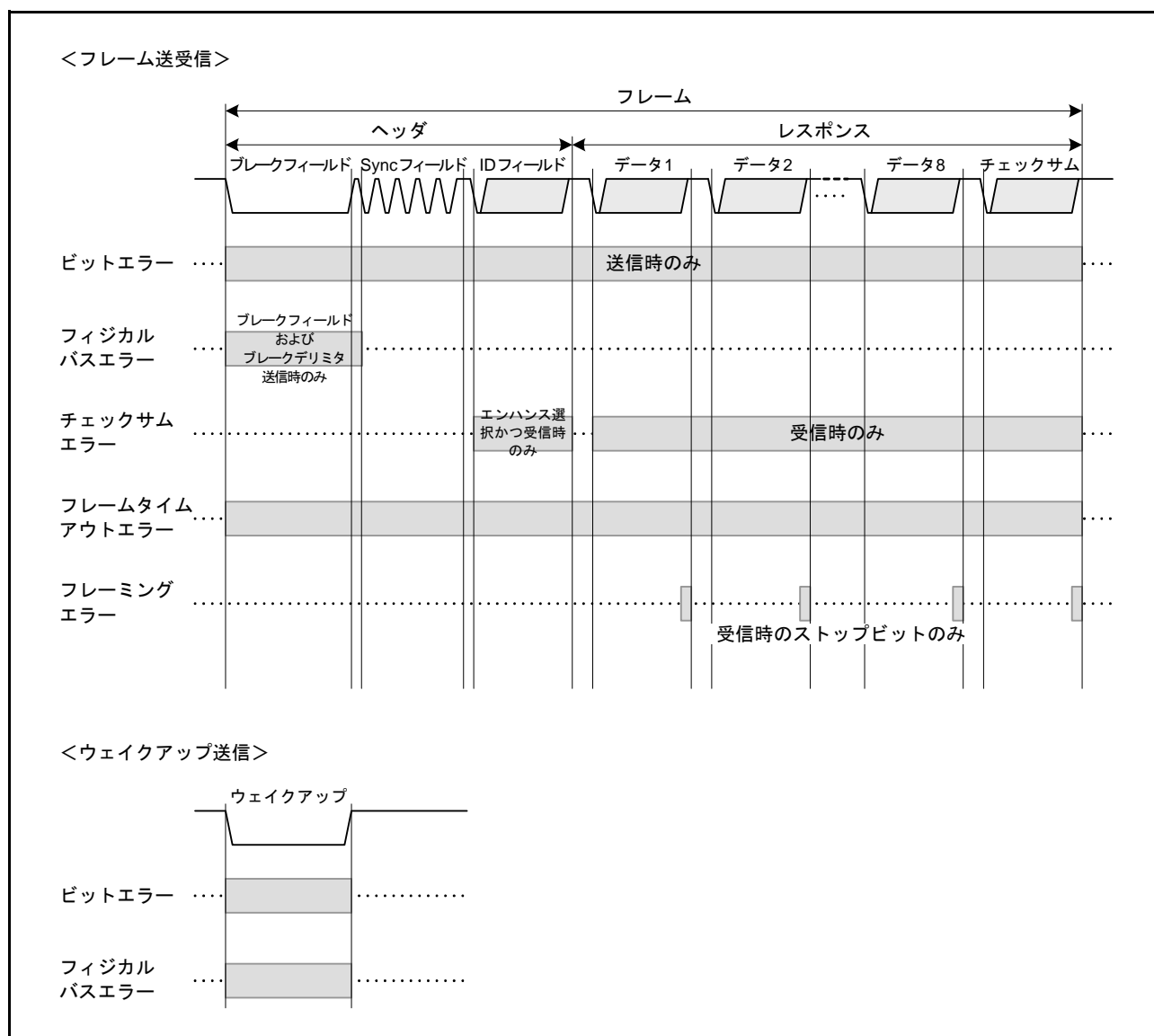


図 27.13 LIN エラー検出の対象時間領域

27.11 割り込み

LINモジュールが生成する割り込み要求には、LIN割り込みがあります。

割り込み要因には、フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つがあります。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスによる割り込み要求は、論理和をとって1つの割り込み要求「LIN割り込み」にまとめられます。

それぞれの割り込み要求は、LOIEレジスタの対応するビットが“1”（割り込み許可）のときに、LOSTレジスタの対応するフラグが“1”になると出力されます。ただし、LOSTレジスタの対応するフラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当するフラグを“0”にしてください。

図 27.14 に LIN 割り込みブロック図を示します。

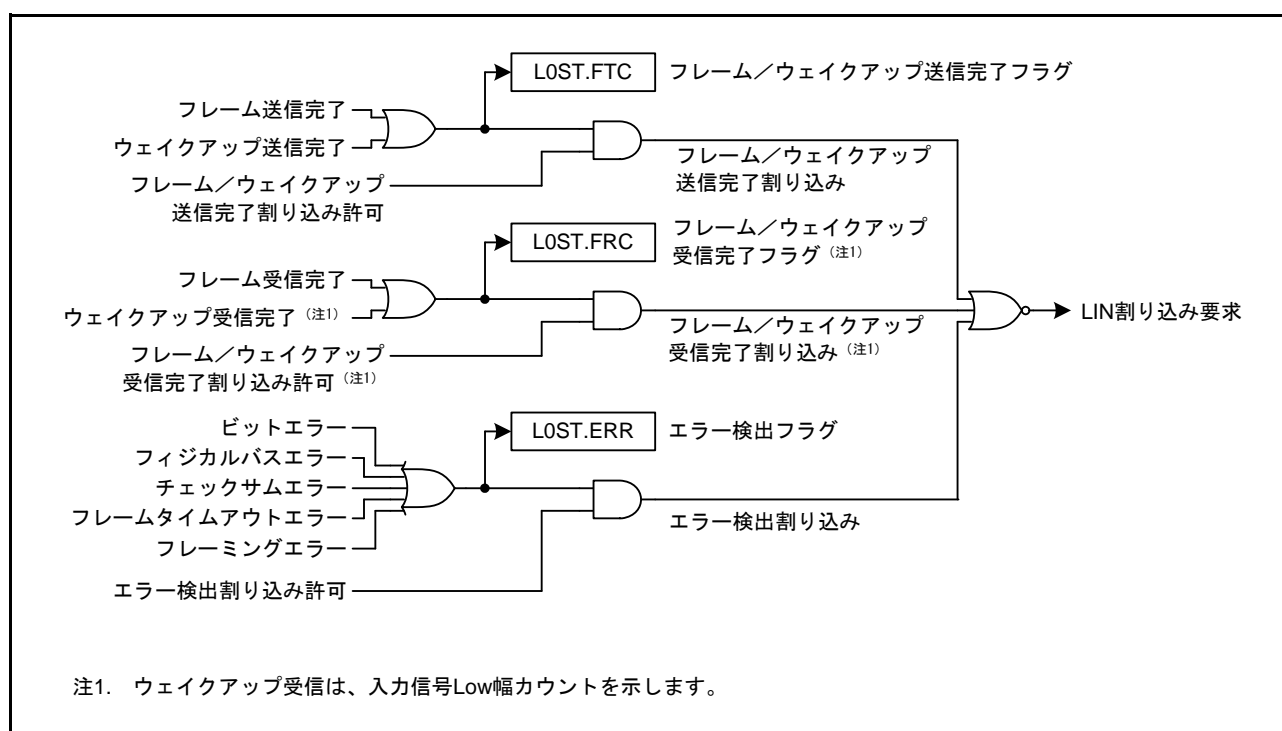


図 27.14 LIN 割り込みブロック図

27.12 LINセルフテストモード

LINモジュールは、LINセルフテストモードを持ちます。1度LINモジュールがLINセルフテストモードになると、LINバスから切断され、内部LTXは内部LRXにループして戻ります（ループバック）。

LINセルフテストモードは以下の状態で動作します。

- LINセルフテストモード
- ウェイクアップ機能未対応
- フレームセパレートモード未対応
- ボーレートジェネレータは最速設定（LBRP0レジスタが“00h”、LBRP1レジスタが“00h”、LOMD.LCKS[1:0]ビットが“00b”）

LINウェイクアップモードには移行しないでください。

LINセルフテストモードに移行する前に、LORFC.FSMビットを“0”（フレームセパレートモードではない）にしてください。

ボーレート設定は、LINセルフテストモードでは自動設定されます。また、LINセルフテストモードからLINリセットモードに移行したとき、自動設定からLINセルフテストモード以前の設定に戻ります。

その他の設定は、LINセルフテストモードに移行したとき、およびLINセルフテストモードからLINリセットモードに移行したときに保持され有効です。

LOSTレジスタ、LOESTレジスタはそのまま機能しますが、LOEST.FER、PBER、BERフラグはループバック時検出できず、“1”になりません。

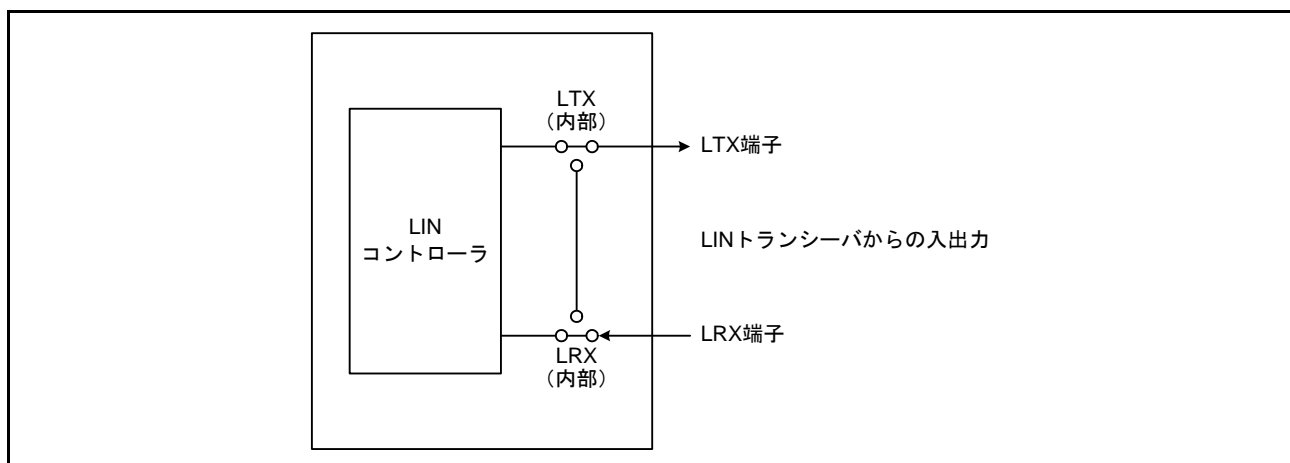


図 27.15 LIN 動作モード接続

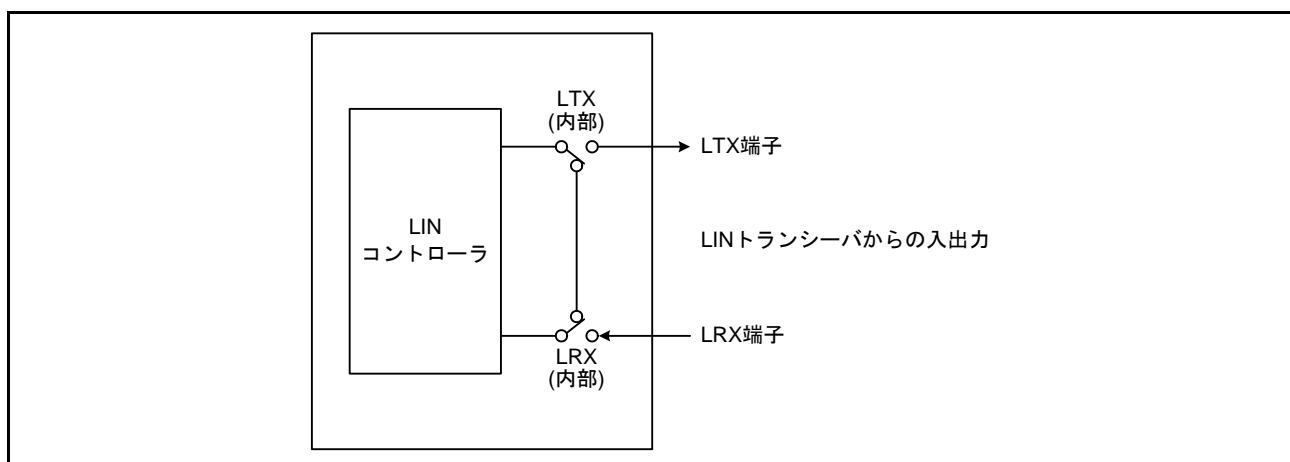


図 27.16 LIN セルフテストモード接続

27.12.1 LINセルフテストモードへの移行

LINセルフテストモードに移行するには、特定のキーシーケンスを必ず使用してください。このキーシーケンスでは、次の通りLINセルフテスト制御レジスタに3回連続書き込みを行う必要があります。

- LINリセットモードへ移行
- 1回目書き込み：LSTCレジスタ = “1010 0111” (A7h)
- 2回目書き込み：LSTCレジスタ = “0101 1000” (58h)
- 3回目書き込み：LSTCレジスタ = “0000 0001” (01h)

1回目のキーが2回書き込まれた場合、シーケンスは中断されるので必ず再スタートしてください。

他のLIN関連レジスタへの書き込みアクセスによりこのシーケンスが中断した場合も、必ず再スタートさせてください。

LINセルフテストモードはフレームセパレートモードに対応していません。テストは2種類行うことができます。

- LINセルフテストモード (送信)：ヘッダ送信およびレスポンス送信
- LINセルフテストモード (受信)：ヘッダ送信およびレスポンス受信

27.12.2 LINセルフテストモードにおける送信

LINセルフテストを実行するには、次の手順を行ってください。

- L0C.OM1, OM0ビットに“11b”を書き込み、L0MST.OMM1, OMM0ビットが“11b”になることを確認してください。
- L0RFC.RFTビットを“1” (送信) にする
- 送信するフレーム構成を設定する
- L0TC.FTSビットを“1” (フレーム送信/ウェイクアップ送受信開始) にする
- LINセルフテストモード (送信) が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムはLINが自動演算する
- 送信完了の場合、ループバックしたフレームデータの反転値がL0IDBレジスタ、L0CBRレジスタ、L0DBnレジスタに格納される (送信した値とループバックした値を比較するため、反転値として格納されます。) (n = 1 ~ 8)
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定される

27.12.3 LINセルフテストモードにおける受信

LINセルフテストを実行するには、次の手順を行ってください。

- LINセルフテストモードへ移行する
- LORFC.RFT ビットを“0” (受信) にする
- 受信するフレーム構成を設定する。チェックサムは自動演算されないため、演算値を格納する。このときチェックサムに誤った演算結果を設定すると、チェックサムエラーをテストできる
- L0TC.FTS ビットを“1” (フレーム送信/ウェイクアップ送受信開始) にする
- LINセルフテストモード (受信) が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される
- 受信完了の場合、ループバックしたフレームデータの反転値が L0IDB レジスタ、L0CBR レジスタ、L0DBn レジスタに格納される (設定した値とループバックして受信した値を比較するため、反転値として格納されます。) (n=1 ~ 8)
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定される

27.12.4 LINセルフテストモード終了

LINセルフテストモードを終了するには、次の手順を行ってください。

- LINリセットモードへ移行する
(L0MST.OMM1, OMM0 ビットが“11b”でない場合は、L0C.OM1, OM0 ビットに“11b”を書き、L0MST.OMM1, OMM0 ビットが“11b”になることを確認した後に、LINリセットモードに移行してください。)

28. 12ビットA/Dコンバータ (S12ADA)

28.1 概要

RX62Tグループ、RX62Gグループは、逐次比較方式の12ビットのA/Dコンバータを2ユニット内蔵しています。各ユニットは、最大4チャンネルのアナログ入力を選択することができます。

A/Dコンバータの動作モードには、1チャンネルのアナログ入力を1回のみ変換するシングルモードと、最大4チャンネルのアナログ入力を順次連続して変換するスキャンモードがあります。

表 28.1 に A/D コンバータの仕様を、表 28.2 に A/D コンバータの機能概要を示します。図 28.1 に A/D コンバータのブロック図を示します。

表 28.1 A/Dコンバータの仕様

項目	内容
ユニット数	2ユニット (S12AD0、S12AD1)
入力チャンネル	8チャンネル (4チャンネル×2ユニット)
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり1.0 μ s (A/D変換クロック ADCLK = 50MHz、AVCC0 = 4.0~5.5V時) 1チャンネル当たり2.0 μ s (A/D変換クロック ADCLK = 25MHz、AVCC0 = 3.0~3.6V時)
A/D変換クロック	4種類: PCLK、PCLK/2、PCLK/4、PCLK/8
データレジスタ	10本 A/D変換結果を12ビットA/Dデータレジスタに保持 AN000、AN100入力は2つのADデータレジスタがあり、トリガ種別で変換結果格納先を切り替え
動作モード	<ul style="list-style-type: none"> シングルモード: 1チャンネルのアナログ入力を1回のみ変換 スキャンモード <ul style="list-style-type: none"> 1サイクルスキャンモード: 最大4チャンネルのアナログ入力を1回のみ変換 連続スキャンモード: 最大4チャンネルのアナログ入力を繰り返し変換 2チャンネルスキャンモード: ユニット内チャンネルを2グループ化し、2システムの開始要因を設定可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ マルチファンクションタイムパルスユニット3 (MTU3)、または汎用PWMタイマ (GPT) からのトリガ 外部トリガ ADTRG0#端子によってS12AD0のA/D変換を、ADTRG1#端子によってS12AD1のA/D変換を開始することが可能
機能	<ul style="list-style-type: none"> サンプル&ホールド機能 (3チャンネル/1ユニット) S12AD0のチャンネル0~2 (AN000~002)、および、S12AD1のチャンネル0~2 (AN100~102) には、専用に独立したサンプルホールド回路を内蔵。これにより、ユニット毎に複数チャンネル (最大3チャンネル) の同時サンプリングが可能。 A/Dコンバータの自己診断機能 プログラマブルゲインアンプによる入力信号増幅機能 (3チャンネル/1ユニット) ウィンドウコンパレータ機能 (3チャンネル/1ユニット)
割り込み要因	<ul style="list-style-type: none"> ユニットごとにA/D変換終了で割り込み要求 (S12ADI) を発生 S12ADI割り込みでデータトランスファコントローラ (DTC) を起動可能 コンパレータ検出で割り込み要求 (CMPI) を発生 (POE要因としても使用可能)
消費電力低減機能	<ul style="list-style-type: none"> ユニットごとにモジュールストップ状態への設定可能

表28.2 A/Dコンバータの機能概要 (1/2)

項目			ユニット0 (S12AD0)	ユニット1 (S12AD1)	
アナログ入力チャネル			AN000～AN003	AN100～AN103	
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能	可能	
	外部トリガ	トリガ入力端子	ADTRG0#	ADTRG1#	
	MTU3からのトリガ		MTU0.TGRAのコンペアマッチ/ インプットキャプチャ	TRGA0N	TRGA0N
			MTU1.TGRAのコンペアマッチ/ インプットキャプチャ	TRGA1N	TRGA1N
			MTU2.TGRAのコンペアマッチ/ インプットキャプチャ	TRGA2N	TRGA2N
			MTU3.TGRAのコンペアマッチ/ インプットキャプチャ	TRGA3N	TRGA3N
			MTU4.TGRAのコンペアマッチ/ インプットキャプチャ、 または相補PWMモード時MTU4.TCNTの アンダフロー (谷)	TRGA4N	TRGA4N
			MTU6.TGRAのコンペアマッチ/ インプットキャプチャ	TRGA6N	TRGA6N
			MTU7.TGRAのコンペアマッチ/ インプットキャプチャ、 または相補PWMモード時MTU7.TCNTの アンダフロー (谷)	TRGA7N	TRGA7N
			MTU0.TGREのコンペアマッチ	TRG0N	TRG0N
			MTU4.TADCORAとMTU4.TCNTの コンペアマッチ	TRG4AN	TRG4AN
			MTU4.TADCORBとMTU4.TCNTの コンペアマッチ	TRG4BN	TRG4BN
			MTU4.TADCORAとMTU4.TCNTの コンペアマッチ、または、 MTU4.TADCORBとMTU4.TCNTの コンペアマッチ	TRG4AN またはTRG4BN	TRG4AN またはTRG4BN
			MTU4.TADCORAとMTU4.TCNTの コンペアマッチと、 MTU4.TADCORBとMTU4.TCNTの コンペアマッチ (割り込み間引き機能2を使用時)	TRG4ABN	TRG4ABN
			MTU7.TADCORAとMTU7.TCNTの コンペアマッチ	TRG7AN	TRG7AN
			MTU7.TADCORBとMTU7.TCNTの コンペアマッチ	TRG7BN	TRG7BN
			MTU7.TADCORAとMTU7.TCNTの コンペアマッチ、または、 MTU7.TADCORBとMTU7.TCNTの コンペアマッチ	TRG7AN またはTRG7BN	TRG7AN またはTRG7BN
			MTU7.TADCORAとMTU7.TCNTの コンペアマッチと、 MTU7.TADCORBとMTU7.TCNTの コンペアマッチ (割り込み間引き機能2を使用時)	TRG7ABN	TRG7ABN

表 28.2 A/Dコンバータの機能概要 (2 / 2)

項目		ユニット0 (S12AD0)	ユニット1 (S12AD1)	
A/D変換開始条件	GPTからのトリガ	GPT0.GTADTRAのコンペアマッチ	GTADTRA0N	GTADTRA0N
		GPT0.GTADTRBのコンペアマッチ	GTADTRB0N	GTADTRB0N
		GPT1.GTADTRAのコンペアマッチ	GTADTRA1N	GTADTRA1N
		GPT1.GTADTRBのコンペアマッチ	GTADTRB1N	GTADTRB1N
		GPT2.GTADTRAのコンペアマッチ	GTADTRA2N	GTADTRA2N
		GPT2.GTADTRBのコンペアマッチ	GTADTRB2N	GTADTRB2N
		GPT3.GTADTRAのコンペアマッチ	GTADTRA3N	GTADTRA3N
		GPT3.GTADTRBのコンペアマッチ	GTADTRB3N	GTADTRB3N
		GPT0.GTADTRAのコンペアマッチ、または、 GPT0.GTADTRBのコンペアマッチ	GTADTRA0N またはGTADTRB0N	GTADTRA0N またはGTADTRB0N
		GPT1.GTADTRAのコンペアマッチ、または、 GPT1.GTADTRBのコンペアマッチ	GTADTRA1N またはGTADTRB1N	GTADTRA1N またはGTADTRB1N
GPT2.GTADTRAのコンペアマッチ、または、 GPT2.GTADTRBのコンペアマッチ	GTADTRA2N またはGTADTRB2N	GTADTRA2N またはGTADTRB2N		
GPT3.GTADTRAのコンペアマッチ、または、 GPT3.GTADTRBのコンペアマッチ	GTADTRA3N またはGTADTRB3N	GTADTRA3N またはGTADTRB3N		
チャンネル専用独立サンプル&ホールド機能	対象チャンネル	AN000～AN002	AN100～AN102	
プログラマブルゲインアンプ	対象チャンネル	AN000～AN002	AN100～AN102	
	ゲイン設定	2.0倍、2.5倍、3.077倍、3.636倍、4.0倍、 4.444倍、5.0倍、5.714倍、6.667倍、10.0倍、 13.333倍 (計11ステップ)		
ウィンドウコンパレータ	対象チャンネル	AN000～AN002	AN100～AN102	
	基準電圧設定基準	外部端子から指定	CVREFL : AN003、CVREFH : AN103	
		内部生成	1/8AVCC0、2/8AVCC0、3/8AVCC0、 4/8AVCC0、5/8AVCC0、6/8AVCC0、 7/8AVCC0	
ノイズキャンセル機能	コンパレータ検出結果をPCLK、PCLK/2、 PCLK/4、PCLK/8、PCLK/16、PCLK/128で 16回サンプリング			
割り込み	S12ADI0 CMP1		S12ADI1 CMP1	
モジュールストップの設定	MSTPCRA.MSTPA17 ビット		MSTPCRA.MSTPA1 6ビット	

注. 詳細は「9. 消費電力低減機能」を参照してください

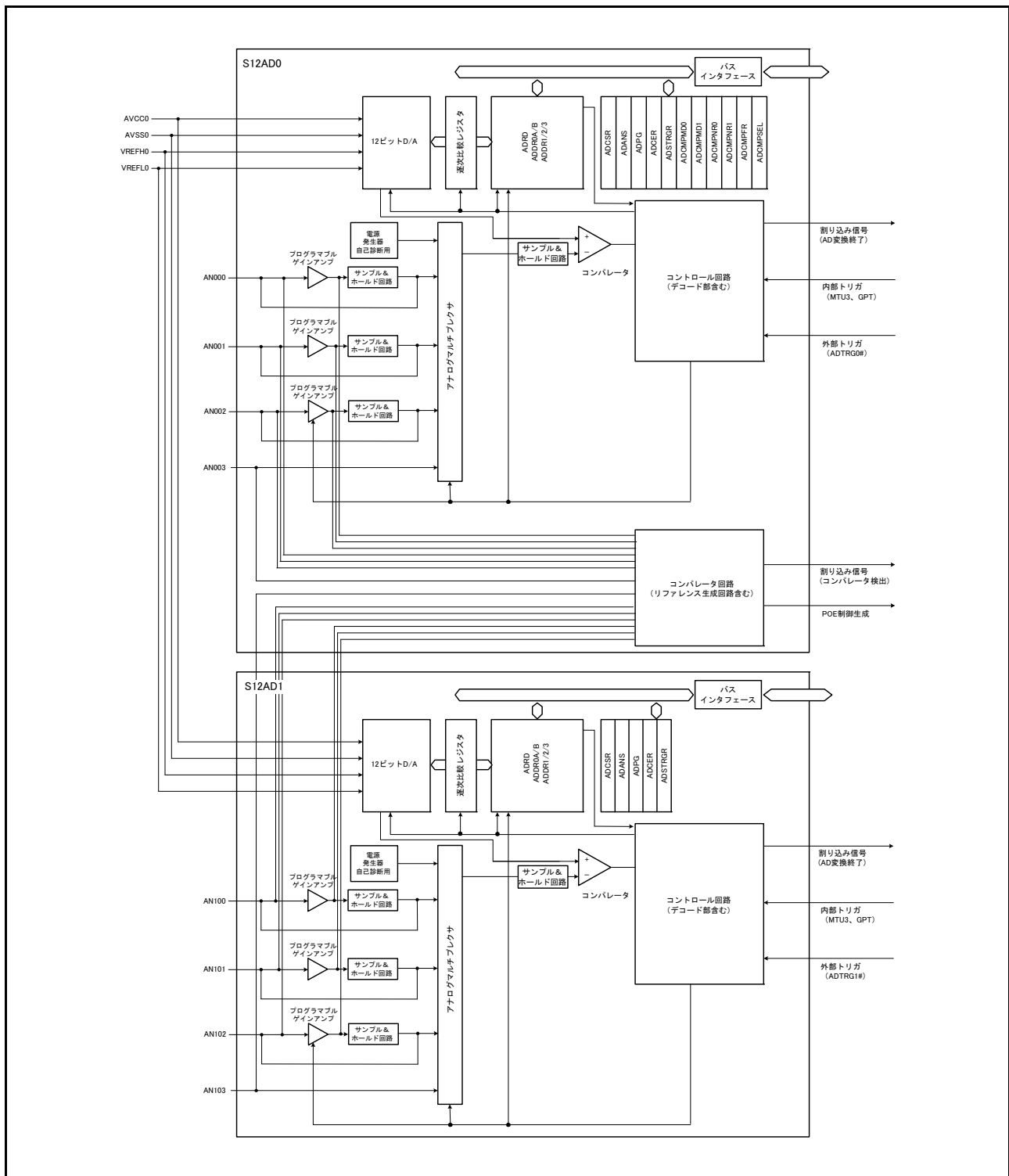


図 28.1 A/D コンバータのブロック図

表 28.3 に 12 ビット A/D コンバータで使用する入力端子を示します。

12 ビット A/D コンバータは 2 ユニットで構成され、ユニット 0 (S12AD0)、ユニット 1 (S12AD1) は独立に動作させることができます。S12AD0、S12AD1 の入力チャネルは、2 つのグループに分割して動作させることもできます。プログラマブルゲインアンプ (PGA) およびコンパレータが AN000 ~ AN002、AN100 ~ AN102 に内蔵されています。

表 28.3 A/Dコンバータの入力端子

ユニット	端子名	入出力	機能	内蔵 PGA	内蔵 コンパレータ
ユニット0 (S12AD0)	AN000	入力	アナログ入力端子0	内蔵	内蔵
	AN001	入力	アナログ入力端子1	内蔵	内蔵
	AN002	入力	アナログ入力端子2	内蔵	内蔵
	AN003/ CVREFL	入力	アナログ入力端子3/コンパレータLow側基準電圧端子 (コンパレータ動作時、かつ外部端子での基準電圧印加を 選択した場合は、コンパレータLow側基準電圧端子となり ます。)	—	—
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子	—	—
ユニット1 (S12AD1)	AN100	入力	アナログ入力端子4	内蔵	内蔵
	AN101	入力	アナログ入力端子5	内蔵	内蔵
	AN102	入力	アナログ入力端子6	内蔵	内蔵
	AN103/ CVREFH	入力	アナログ入力端子7/コンパレータHigh側基準電圧端子 (コンパレータ動作時、かつ外部端子での基準電圧印加を 選択した場合は、コンパレータHigh側基準電圧端子となり ます。)	—	—
	ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子	—	—
共通	AVCC0	入力	アナログ回路の電源端子	—	—
	AVSS0	入力	アナログ回路のグランド端子	—	—
	VREFH0	入力	A/Dコンバータのアナログ基準電源端子	—	—
	VREFL0	入力	A/Dコンバータのアナログ基準電源グランド端子	—	—

注. 端子ごとに、接続されるユニットが異なります。ユニットごとに制御レジスタを持つため、それぞれ設定をしてください。
内蔵PGA起動時は、「33.4 A/D変換特性」の表33.17プログラマブルゲインアンプ特性に記載のアナログ入力電圧範囲内で
使用してください。

28.2 レジスタの説明

表 28.4 に 12 ビット A/D コンバータのレジスタ一覧を示します。

表28.4 12ビットA/Dコンバータのレジスタ一覧

ユニット	モジュール シンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセス サイズ
0	S12AD0	A/Dコントロールレジスタ	ADCSR	00h	0008 9000h	8
		A/Dチャンネル選択レジスタ	ADANS	0000h	0008 9004h	16
		A/Dプログラマブルゲインアンブレジスタ	ADPG	0000h	0008 900Ah	16
		A/Dコントロール拡張レジスタ	ADCER	0000h	0008 900Eh	16
		A/D開始トリガ選択レジスタ	ADSTRGR	0000h	0008 9010h	16
		A/Dデータレジスタ Diag	ADRD	0000h	0008 901Eh	16
		A/Dデータレジスタ 0A	ADDR0A	0000h	0008 9020h	16
		A/Dデータレジスタ 1	ADDR1	0000h	0008 9022h	16
		A/Dデータレジスタ 2	ADDR2	0000h	0008 9024h	16
		A/Dデータレジスタ 3	ADDR3	0000h	0008 9026h	16
		A/Dデータレジスタ 0B	ADDR0B	0000h	0008 9030h	16
A/Dサンプリングステートレジスタ	ADSSTR	14h	0008 9060h	8		
1	S12AD1	A/Dコントロールレジスタ	ADCSR	00h	0008 9080h	8
		A/Dチャンネル選択レジスタ	ADANS	0000h	0008 9084h	16
		A/Dプログラマブルゲインアンブレジスタ	ADPG	0000h	0008 908Ah	16
		A/Dコントロール拡張レジスタ	ADCER	0000h	0008 908Eh	16
		A/D開始トリガ選択レジスタ	ADSTRGR	0000h	0008 9090h	16
		A/Dデータレジスタ Diag	ADRD	0000h	0008 909Eh	16
		A/Dデータレジスタ 0A	ADDR0A	0000h	0008 90A0h	16
		A/Dデータレジスタ 1	ADDR1	0000h	0008 90A2h	16
		A/Dデータレジスタ 2	ADDR2	0000h	0008 90A4h	16
		A/Dデータレジスタ 3	ADDR3	0000h	0008 90A6h	16
		A/Dデータレジスタ 0B	ADDR0B	0000h	0008 90B0h	16
A/Dサンプリングステートレジスタ	ADSSTR	14h	0008 90E0h	8		
共通	S12AD	コンパレータ動作モード選択レジスタ 0	ADCMPMD0	0000h	0008 9012h	16
		コンパレータ動作モード選択レジスタ 1	ADCMPMD1	0000h	0008 9014h	16
		コンパレータフィルタモードレジスタ 0	ADCMPNR0	0000h	0008 9016h	16
		コンパレータフィルタモードレジスタ 1	ADCMPNR1	0000h	0008 9018h	16
		コンパレータ検出フラグレジスタ	ADCMPFR	00h	0008 901Ah	8
		コンパレータ割り込み選択レジスタ	ADCMPSEL	0000h	0008 901Ch	16

28.2.1 A/D データレジスタ n (ADDRn) (n=0A、0B、1～3)、A/D データレジスタ Diag (ADRD)

ADDRn レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。AN000 と AN100 用のデータレジスタは 2 組あり (ダブルデータレジスタ)、A/D 変換開始要因が “MTU3 の TRGnAN または TRGnBN (n=4、7) ” “GPT の GTADTRAnN または GTADTRBnN (n=0～3) ” の場合に、それぞれの変換結果を保持することができます。アナログ入力チャネルと ADDRn レジスタの対応を表 28.5 に示します。

また、A/D データレジスタ Diag (ADRD) は、自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

ADDRn、ADRD の両レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰または左詰)
- A/D データレジスタビット精度指定ビットの設定値 (12 ビット、10 ビット、または 8 ビット)

(1) ADDRn レジスタ (n=0A、0B、1～3)

ADCER.ADRFMT ビットの設定により、右詰めまたは左詰めのフォーマットのどちらかを設定できます。また、ADCER.ADPRC[1:0] ビットの設定により格納時のビット精度を設定できます。このとき、ADDRn.AD11～0 ビットは、12 ビットの A/D 変換値を示します。それ以外のビットはリザーブビットです。読むと “0” が読めます。書く場合、“0” としてください。

- 右詰めのフォーマット、12 ビット精度に設定した場合

アドレス S12AD0.ADDR0A 0008 9020h、S12AD0.ADDR1 0008 9022h、S12AD0.ADDR2 0008 9024h、
S12AD0.ADDR3 0008 9026h、S12AD0.ADDR0B 0008 9030h
S12AD1.ADDR0A 0008 90A0h、S12AD1.ADDR1 0008 90A2h、S12AD1.ADDR2 0008 90A4h、
S12AD1.ADDR3 0008 90A6h、S12AD1.ADDR0B 0008 90B0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	AD11～AD0	変換値 11～0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

- 右詰めのフォーマット、10 ビット精度に設定した場合

アドレス S12AD0.ADDR0A 0008 9020h、S12AD0.ADDR1 0008 9022h、S12AD0.ADDR2 0008 9024h、
S12AD0.ADDR3 0008 9026h、S12AD0.ADDR0B 0008 9030h
S12AD1.ADDR0A 0008 90A0h、S12AD1.ADDR1 0008 90A2h、S12AD1.ADDR2 0008 90A4h、
S12AD1.ADDR3 0008 90A6h、S12AD1.ADDR0B 0008 90B0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	AD11～AD2	変換値 11～2	12ビットA/D変換値の上位10ビット	R
b15-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

- 右詰めフォーマット、8ビット精度に設定した場合

アドレス S12AD0.ADDR0A 0008 9020h、S12AD0.ADDR1 0008 9022h、S12AD0.ADDR2 0008 9024h、
 S12AD0.ADDR3 0008 9026h、S12AD0.ADDR0B 0008 9030h
 S12AD1.ADDR0A 0008 90A0h、S12AD1.ADDR1 0008 90A2h、S12AD1.ADDR2 0008 90A4h、
 S12AD1.ADDR3 0008 90A6h、S12AD1.ADDR0B 0008 90B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4

リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b0	AD11~AD4	変換値11~4	12ビットA/D変換値の上位8ビット	R
b15-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効です	R

- 左詰めフォーマット、12ビット精度に設定した場合

アドレス S12AD0.ADDR0A 0008 9020h、S12AD0.ADDR1 0008 9022h、S12AD0.ADDR2 0008 9024h、
 S12AD0.ADDR3 0008 9026h、S12AD0.ADDR0B 0008 9030h
 S12AD1.ADDR0A 0008 90A0h、S12AD1.ADDR1 0008 90A2h、S12AD1.ADDR2 0008 90A4h、
 S12AD1.ADDR3 0008 90A6h、S12AD1.ADDR0B 0008 90B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b4	AD11~AD0	変換値11~0	12ビットA/D変換値	R

- 左詰めフォーマット、10ビット精度に設定した場合

アドレス S12AD0.ADDR0A 0008 9020h、S12AD0.ADDR1 0008 9022h、S12AD0.ADDR2 0008 9024h、
 S12AD0.ADDR3 0008 9026h、S12AD0.ADDR0B 0008 9030h
 S12AD1.ADDR0A 0008 90A0h、S12AD1.ADDR1 0008 90A2h、S12AD1.ADDR2 0008 90A4h、
 S12AD1.ADDR3 0008 90A6h、S12AD1.ADDR0B 0008 90B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b6	AD11~AD2	変換値11~2	12ビットA/D変換値の上位10ビット	R

- 左詰めフォーマット、8ビット精度に設定した場合

アドレス S12AD0.ADDR0A 0008 9020h、S12AD0.ADDR1 0008 9022h、S12AD0.ADDR2 0008 9024h、
 S12AD0.ADDR3 0008 9026h、S12AD0.ADDR0B 0008 9030h
 S12AD1.ADDR0A 0008 90A0h、S12AD1.ADDR1 0008 90A2h、S12AD1.ADDR2 0008 90A4h、
 S12AD1.ADDR3 0008 90A6h、S12AD1.ADDR0B 0008 90B0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	—	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b8	AD11～AD4	変換値 11～4	12ビットA/D変換値の上位8ビット	R

(2) ADRD レジスタ

ADCER.ADRFMT ビットの設定により、右詰めまたは左詰めのフォーマットのどちらかを設定できます。このとき、AD11 ~ AD0 ビットは、12 ビットの A/D 変換値を示します。また、自己診断のステータスビット (ADRD.DIAGST[1:0]) が付加されます。それ以外のビットは予約ビットです。読むと“0”が読めます。書き込みは無効になります。

• 右詰めのフォーマットに設定した場合

アドレス S12AD0.ADRD 0008 901Eh、S12AD1.ADRA 0008 909Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DIAGST[1:0]	—	—	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	AD11 ~ AD0	変換値 11 ~ 0	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b14	DIAGST[1:0]	自己診断ステータスビット	b15 b14 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : VREFH0x0の電圧値の自己診断を実施したことを示す 1 0 : VREFH0x1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0x1の電圧値の自己診断を実施したことを示す 注. 自己診断の詳細は「28.2.4 A/Dコントロール拡張レジスタ (ADCER)」を参照	R

• 左詰めのフォーマットに設定した場合

アドレス S12AD0.ADRD 0008 901Eh、S12AD1.ADRA 0008 909Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	DIAGST[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータスビット	b1 b0 0 0 : パワーオンから一度も自己診断を実施していないことを示す 0 1 : VREFH0x0の電圧値の自己診断を実施したことを示す 1 0 : VREFH0x1/2の電圧値の自己診断を実施したことを示す 1 1 : VREFH0x1の電圧値の自己診断を実施したことを示す 注. 自己診断の詳細は「28.2.4 A/Dコントロール拡張レジスタ (ADCER)」を参照	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b4	AD11 ~ AD0	変換値 11 ~ 0	12ビットA/D変換値	R

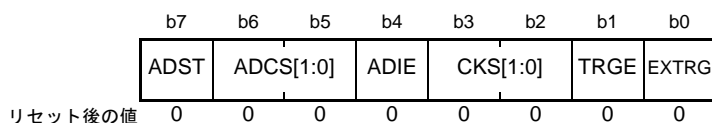
表28.5 アナログ入力チャンネルとADDRnレジスタの対応

アナログ入力チャンネル	ADDRnレジスタ
AN000	S12AD0.ADDR0A/S12AD0.ADDR0B (注1)
AN001	S12AD0.ADDR1
AN002	S12AD0.ADDR2
AN003	S12AD0.ADDR3
AN100	S12AD1.ADDR0A/S12AD1.ADDR0B (注1)
AN101	S12AD1.ADDR1
AN102	S12AD1.ADDR2
AN103	S12AD1.ADDR3

- 注1.
- ・A/D変換開始要因が“MTU3のTRGnANまたはTRGnBN (n=4、7)”“GPTのGTADTRAnNまたはGTADTRBnN (n=0～3)” (ADSTRGR.ADSTRSn[4:0]ビットが“01011b”“01111b”“11001b～11100b”) 以外の場合は、変換結果はADDR0Aレジスタに格納されます。
 - ・A/D変換開始要因が“MTU3のTRGnANまたはTRGnBN (n=4、7)” (ADSTRGR.ADSTRSn[4:0]ビットが“01011b”“01111b”) の場合、TRGnANで開始された変換結果はADDR0Aレジスタに、TRGnBNで開始された変換結果はADDR0Bレジスタに格納されます。
 - ・A/D変換開始要因が“GPTのGTADTRAnNまたはGTADTRBnN (n=0～3)” (ADSTRGR.ADSTRSn[4:0]ビットが“11001b～11100b”) の場合、GTADTRAnNで開始された変換結果はADDR0Aレジスタに、GTADTRBnNで開始された変換結果はADDR0Bレジスタに格納されます。

28.2.2 A/D コントロールレジスタ (ADCSR)

アドレス S12AD0.ADCSR 0008 9000h、S12AD1.ADCSR 0008 9080h



ビット	シンボル	ビット名	機能	R/W
b0	EXTRG	トリガ選択ビット	0 : A/D開始トリガ選択レジスタ (ADSTRGR) で選択されたタイム要因によるA/D変換の開始を選択 1 : 外部トリガ (ADTRGn#) によるA/D変換の開始を選択 (n=0、1)	R/W
b1	TRGE	トリガ許可ビット	0 : 外部トリガ (ADTRGn#)、またはMTU3、GPTトリガによるA/D変換を禁止 1 : 外部トリガ (ADTRGn#)、またはMTU3、GPTトリガによるA/D変換を許可 (n=0、1)	R/W
b3-b2	CKS[1:0]	クロック選択ビット	b3 b2 0 0 : PCLK/8 0 1 : PCLK/4 1 0 : PCLK/2 1 1 : PCLK	R/W
b4	ADIE	A/D変換終了割り込み許可ビット	0 : A/D変換終了後のS12ADI割り込み発生を禁止 1 : A/D変換終了後のS12ADI割り込み発生を許可	R/W
b6-b5	ADCS[1:0]	A/D変換モード選択ビット	b6 b5 0 0 : シングルモード 0 1 : 1サイクルスキャンモード 1 0 : 連続スキャンモード 1 1 : 2チャンネルスキャンモード	R/W
b7	ADST	A/Dスタートビット	0 : A/D変換停止 1 : A/D変換開始	R/W

注. 外部トリガでA/D変換を開始する方法
外部トリガ端子 (ADTRGn#) にHighを入力した状態で、TRGEビットを“1”、EXTRGビットを“1”にします。その後、ADTRGn#の信号をLowに変化させると、ADTRGn#の立ち下がりがエッジを検出し、A/D変換を開始します。このときのLow入力のパルス幅は、1.5 PCLK以上であることが必要です。(n=0、1)

ADCSRレジスタは、クロック選択、A/D変換の開始/停止、A/D変換モード、A/D変換トリガの設定を行うレジスタです。ADCS[1:0]、CKS[1:0]ビットの設定は、ADSTビットが“0”のときに行ってください。

CKS[1:0] ビット (クロック選択ビット)

A/D変換時間を決めるA/D変換クロック (ADCLK) の周波数を設定するレジスタです。

ADCLKの周波数は、4MHz以上になるように設定してください。またAVCC0 = 3.0 ~ 3.6Vで使用する場合は、ADCLKの周波数は25MHz以下になるように設定してください。

詳細は、「28.3.3 アナログ入力のサンプリングとA/D変換時間」を参照してください。

ADIE ビット (A/D変換終了割り込み許可ビット)

A/D変換終了割り込み (S12ADI) の発生を許可/禁止します。

対象となるチャンネルのA/D変換が終了して、ADIEビットが“1”の場合、A/D変換終了割り込み (S12ADI) が発生します。

ADCS[1:0] ビット (A/D 変換モード選択ビット)

A/D 変換モードを選択します。

シングルモードは、ADANS.CH[1:0] ビットで選択した 1 チャンネルのアナログ入力を 1 回 A/D 変換します。

1 サイクルスキャンモードは、ADANS.CH[1:0] ビットで選択した最大 4 チャンネルのアナログ入力を若いチャンネル番号順に 1 回のみ A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると A/D 変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANS.CH[1:0] ビットで選択した最大 4 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り、A/D 変換を継続します。ADCSR.ADST ビットを“0”にすると A/D 変換を停止します。

2 チャンネルスキャンモードは、4 チャンネルのアナログ入力を 2 つのグループに分け、それぞれ個別のトリガによる開始要因を選択できます。ADANS.CH[1:0] ビットで選択した最大 3 チャンネルのアナログ入力を若いチャンネル番号順に 1 回のみ A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると A/D 変換を停止します。

ADST ビット (A/D スタートビット)

A/D 変換の開始/停止を制御します。ADST ビットを“1”にする前に A/D 変換クロックや動作モードの設定を行ってください。

[“1”になる条件]

- ソフトウェアで“1”を書いたとき
- TRGE ビットに“1”、EXTRG ビットを“0”にし、ADSTRGR.ADSTRSn[4:0] ビットで選択した MTU3 または GPT トリガを検出したとき
- TRGE ビットと EXTRG ビットを“1”、ADSTRGR.ADSTRSn[4:0] ビットを“00000b”にし、外部トリガを検出したとき

[“0”になる条件]

- ソフトウェアで“0”を書いたとき
- シングルモードで A/D 変換が終了したとき
- 1 サイクルスキャンモードで選択したすべてのチャンネルの A/D 変換が終了したとき
- 2 チャンネルスキャンモードでグループ毎に選択したすべてのチャンネルの A/D 変換が終了したとき

28.2.3 A/D チャネル選択レジスタ (ADANS)

(1) S12AD0.ADANS

アドレス 0008 9004h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CH[1:0]	—	PG002SEL	PG001SEL	PG000SEL	—	—	—	—	—	—	PG0022EN	PG001EN	PG000EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PG000EN	AN000用プログラマブルゲインアン プ許可ビット	0: プログラマブルゲインアンプの動作を禁止 1: プログラマブルゲインアンプの動作を許可	R/W
b1	PG001EN	AN0001用プログラマブルゲインアン プ許可ビット	0: プログラマブルゲインアンプの動作を禁止 1: プログラマブルゲインアンプの動作を許可	R/W
b2	PG002EN	AN002用プログラマブルゲインアン プ許可ビット	0: プログラマブルゲインアンプの動作を禁止 1: プログラマブルゲインアンプの動作を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PG000SEL	AN000用プログラマブルゲインアン プ選択ビット	0: プログラマブルゲインアンプを使用しない (バイパス) 1: プログラマブルゲインアンプを使用する	R/W
b9	PG001SEL	AN001用プログラマブルゲインアン プ選択ビット	0: プログラマブルゲインアンプを使用しない (バイパス) 1: プログラマブルゲインアンプを使用する	R/W
b10	PG002SEL	AN002用プログラマブルゲインアン プ選択ビット	0: プログラマブルゲインアンプを使用しない (バイパス) 1: プログラマブルゲインアンプを使用する	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	CH[1:0]	チャネル設定ビット	S12AD0でA/D変換するアナログ入力チャネルを選択しま す。詳細は表28.6を参照してください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

(2) S12AD1.ADANS

アドレス 0008 9084h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CH[1:0]	—	PG102 SEL	PG101 SEL	PG100 SEL	—	—	—	—	—	PG102 EN	PG101 EN	PG100 EN	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PG100EN	AN100用プログラマブルゲインアンプ許可ビット	0: プログラマブルゲインアンプの動作を禁止 1: プログラマブルゲインアンプの動作を許可	R/W
b1	PG101EN	AN101用プログラマブルゲインアンプ許可ビット	0: プログラマブルゲインアンプの動作を禁止 1: プログラマブルゲインアンプの動作を許可	R/W
b2	PG102EN	AN102用プログラマブルゲインアンプ許可ビット	0: プログラマブルゲインアンプの動作を禁止 1: プログラマブルゲインアンプの動作を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PG100SEL	AN100用プログラマブルゲインアンプ選択ビット	0: プログラマブルゲインアンプを使用しない (バイパス) 1: プログラマブルゲインアンプを使用する	R/W
b9	PG101SEL	AN101用プログラマブルゲインアンプ選択ビット	0: プログラマブルゲインアンプを使用しない (バイパス) 1: プログラマブルゲインアンプを使用する	R/W
b10	PG102SEL	AN102用プログラマブルゲインアンプ選択ビット	0: プログラマブルゲインアンプを使用しない (バイパス) 1: プログラマブルゲインアンプを使用する	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b12	CH[1:0]	チャンネル設定ビット	S12AD0でA/D変換するアナログ入力チャンネルを選択します。詳細は表28.6を参照してください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANS レジスタは、変換対象チャンネルの設定と、AN000～AN002/AN100～AN102用プログラマブルゲインアンプの使用 / 未使用および動作の禁止 / 許可を設定するレジスタです。

ADANS レジスタの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

PGnEN ビット (ANn 用プログラマブルゲインアンプ許可ビット) (n=000～002、100～102)

プログラマブルゲインアンプの動作の禁止 / 許可を設定します。

PGnSEL ビット (ANn 用プログラマブルゲインアンプ選択ビット) (n=000～002、100～102)

プログラマブルゲインアンプの使用 / 未使用を設定します。

CH[1:0] ビット (チャンネル設定ビット)

変換対象チャンネルを設定します。ADCSR.ADCS[1:0] ビットの設定で内容が変わります。詳細は、表 28.6 を参照してください。

表 28.6 変換対象チャンネルの設定

ADANS.CH[1:0]		アナログ入力チャンネル			
b1	b0	シングルモード		1サイクルスキャンモード/連続スキャンモード	
		S12AD0	S12AD1	S12AD0	S12AD1
0	0	AN000	AN100	AN000	AN100
0	1	AN001	AN101	AN000、AN001	AN100、AN101
1	0	AN002	AN102	AN000～AN002	AN100～AN102
1	1	AN003	AN103	AN000～AN003	AN100～AN103

ADANS.CH[1:0]		アナログ入力チャンネル	
b1	b0	2チャンネルスキャンモード (タイマトリガ/外部トリガによる開始)	
		S12AD0	S12AD1
0	0	グループ0 : AN000 グループ1 : AN001～AN003	グループ0 : AN100 グループ1 : AN101～AN103
0	1	グループ0 : AN000、AN001 グループ1 : AN002、AN003	グループ0 : AN100、AN101 グループ1 : AN102、AN103
1	0	グループ0 : AN000～AN002 グループ1 : AN003	グループ0 : AN100～AN102 グループ1 : AN103
1	1	設定しないでください (00bの設定と同じ)	設定しないでください (00bの設定と同じ)

ADANS.CH[1:0]		アナログ入力チャンネル	
b1	b0	2チャンネルスキャンモード (ソフトウェアによる開始)	
		S12AD0	S12AD1
0	0	AN000	AN100
0	1	AN000、AN001	AN100、AN101
1	0	AN000～AN002	AN100～AN102
1	1	AN000～AN003	AN100～AN103

28.2.4 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD0.ADCER 0008 900Eh、S12AD1.ADCER 0008 908Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	ADIEW	ADIE2	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	ADPRC[1:0]	SHBYP		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHBYP	チャンネル専用サンプル&ホールド回路選択ビット	0 : サンプル&ホールド回路を使用 1 : サンプル&ホールド回路を使用しない	R/W
b2-b1	ADPRC[1:0]	A/Dデータレジスタビット 精度指定ビット	0 0 : A/Dデータレジスタに12ビット精度で格納する 0 1 : A/Dデータレジスタに10ビット精度で格納する 1 0 : A/Dデータレジスタに8ビット精度で格納する 1 1 : 設定しないでください (12ビット精度で格納する)	R/W
b4-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	自動クリア許可ビット	0 : ADDRnおよびADRDの読み出しによるADDRnおよびADRDの自動クリアを禁止 1 : ADDRnおよびADRDの読み出しによるADDRnおよびADRDの自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 設定しないでください。 0 1 : VREFH0x0の電圧を使って自己診断を行う 1 0 : VREFH0x1/2の電圧を使って自己診断を行う 1 1 : VREFH0x1の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧は自動的にローテーションして変換する 1 : 自己診断電圧はDIAGVAL[1:0]ビットの設定に固定して変換する	R/W
b11	DIAGM	自己診断許可ビット	0 : A/Dコンバータの自己診断を実施しない 1 : A/Dコンバータの自己診断を実施する	R/W
b12	ADIE2	2チャンネルスキャン割り込み選択ビット	0 : グループ0トリガ、グループ1トリガそれぞれの変換終了時にS12ADI割り込みを発生 1 : グループ0トリガ、グループ1トリガ両方の変換終了時にS12ADI割り込みを発生	R/W
b13	ADIEW	ダブルトリガ割り込み選択ビット	0 : ダブルトリガそれぞれの変換終了時にS12ADI割り込みを発生 1 : ダブルトリガ両方の変換終了時にS12ADI割り込みを発生	R/W
b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタ フォーマット選択ビット	0 : A/Dデータレジスタのフォーマットを右詰めにする 1 : A/Dデータレジスタのフォーマットを左詰めにする	R/W

ADCER レジスタは、A/D データレジスタのフォーマット、自己診断モードと自動クリアの設定、チャンネル専用サンプル&ホールド回路の選択、および割り込みの設定を行うレジスタです。ADCER レジスタの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

SHBYP ビット (チャンネル専用サンプル&ホールド回路選択ビット)

チャンネル専用サンプル&ホールド回路の使用 / 未使用を選択します。

プログラマブルゲインアンプを使用するには、SHBYP ビットを“0” (サンプル&ホールド回路を使用) に設定する必要があります。

ADPRC ビット (A/D データレジスタビット精度指定ビット)

A/D 変換結果を、A/D データレジスタに 8 ビット精度で格納するか、10 ビット精度で格納するか、12 ビット精度で格納するかを選択します。

ACE ビット (自動クリア許可ビット)

CPU および DTC によって ADDRn および ADRD レジスタを読み出した後、当該レジスタの自動クリアを行うか行わないかを選択します。自動クリアにより ADDRn および ADRD レジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

詳細は DIAGLD ビットの説明を参照してください。また、DIAGVAL[1:0] ビットが初期値の“00b” (設定禁止) の状態で、DIAGLD ビットを“1”にして、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。

DIAGLD ビットを“0”にすると VREFH0×0 → VREFH0×1/2 → VREFH0×1 の順番にローテーションして変換していきます。パワーオンリセットで VREFH0×0 から自己診断を行い、スキャン変換が終了しても VREFH0×0 に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。

DIAGLD ビットを“1”にすると DIAGVAL[1:0] ビットで選択した電圧に固定して変換します (自動ローテーションを行いません)。また、再度 DIAGLD ビットを“0”にすると、固定した電圧値からローテーションを開始します (ロード機能)。

DIAGM ビット (自己診断許可ビット)

自己診断は、A/D コンバータの故障を検出するための機能です。内部で生成する VREFH0×0、VREFH0×1/2、VREFH0×1 の 3 つの電圧値のいずれかを変換します。変換が終了すると A/D データレジスタ Diag (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD を読み、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャン変換にて最も若いチャンネルを変換する前に実施されます。

1 度の自己診断の実行で、3 つの電圧値のうち 1 つが変換され、3 つの電圧値は自己診断が実行されるたびに自動的にローテーションしていきます。自己診断の実行時間は、1 チャンネルの A/D 変換時間と同じです。

ADIE2 ビット (2 チャンネルスキャン割り込み選択ビット)

2 チャンネルスキャンモード選択時の S12ADI 割り込みの発生タイミングを選択します。ADIE2 ビットは 2 チャンネルスキャンモード時かつトリガによる A/D 変換開始の設定 (ADCSR.TRGE=1) 時のみ有効です。

ADIEW ビット (ダブルトリガ割り込み選択ビット)

ダブルトリガ選択時の S12ADI 割り込み発生タイミングを選択します。ADIEW ビットはトリガによる A/D 変換開始 (ADCSR.TRGE=1) の設定時、かつトリガ要因に“TRG4AN または TRG4BN”、“TRG7AN または TRG7BN”、“GTADTRA0N または GTADTRB0N”、“GTADTRA1N または GTADTRB1N”、“GTADTRA2N または GTADTRB2N”、“GTADTRA3N または GTADTRB3N”を選択したときのみ有効になります。

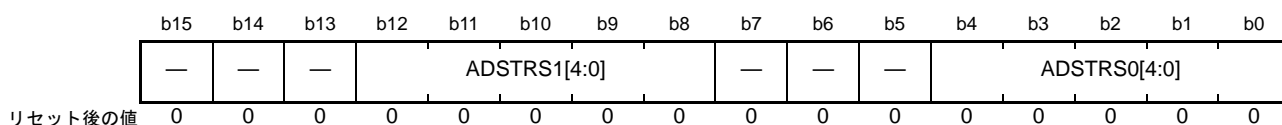
ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

A/D データレジスタに格納するデータの右詰め/左詰めを選択します。

A/D データレジスタのフォーマットの詳細は、「28.2.1 A/D データレジスタ n (ADDRn) (n=0A、0B、1～3)、A/D データレジスタ Diag (ADRD)」を参照してください。

28.2.5 A/D 開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD0.ADSTRGR 0008 9010h、S12AD1.ADSTRGR 0008 9090h



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADSTRS0[4:0]	A/D開始トリガグループ0選択ビット	ビット4～0の組み合わせで内蔵周辺I/OからのA/D変換開始要因を選択します。シングルモード、1サイクルスキャンモード、連続スキャンモード時の開始要因、または2チャンネルスキャンモード時におけるグループ0の開始要因を指定してください。開始要因と設定値の関係は表28.7を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b8	ADSTRS1[4:0]	A/D開始トリガグループ1選択ビット	2チャンネルスキャンモード時にもみ使用するビットです。ビット4～0の組み合わせで内蔵周辺I/OからのA/D変換開始要因を選択します。2チャンネルスキャンモード時におけるグループ1の開始要因を指定してください。開始要因と設定値の関係は表28.7を参照してください。 2チャンネルスキャンモード時において、グループ0とグループ1の変換要求が同時に発生しないように、グループ0とグループ1の変換要求はそれぞれ違う要因を指定してください	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

ADSTRGR レジスタの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

- ソフトウェアトリガ (ADCSR.ADST ビット) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、ADSTRGR レジスタの設定値にかかわらず常に有効です。
- 外部入力の AD 変換開始要因 (ADTRGn#) を使用する場合は、ADCSR.TRGE ビットを“1”にし、かつ ADCSR.EXTRG ビットを“1”にしてください。(n=0, 1)
- MTU3、GPT の A/D 変換開始要因を使用する場合は、ADCSR.TRGE ビットを“1”にし、かつ ADCSR.EXTRG ビットを“0”にしてください。

表 28.7 A/D変換開始要因選択一覧

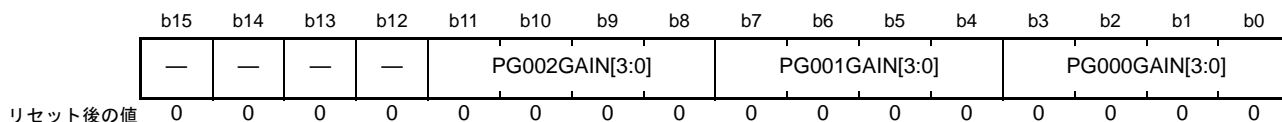
発生元	A/D変換 開始要因	開始条件	ADSTRSn [4]	ADSTRSn [3]	ADSTRSn [2]	ADSTRSn [1]	ADSTRSn [0]
ソフトウェア	ADST	ADCSR.ADSTビットをセット	—	—	—	—	—
外部端子	ADTRGn#	トリガ入力端子	0	0	0	0	0
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、 または、MTU4.TADCORBとMTU4.TCNTの コンペアマッチ	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、 または、MTU7.TADCORBとMTU7.TCNTの コンペアマッチ	0	1	1	1	1
	TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	1	0	0	0	0
GPT	GTADTRA0N	GPT0.GTADTRAのコンペアマッチ	1	0	0	0	1
	GTADTRB0N	GPT0.GTADTRBのコンペアマッチ	1	0	0	1	0
	GTADTRA1N	GPT1.GTADTRAのコンペアマッチ	1	0	0	1	1
	GTADTRB1N	GPT1.GTADTRBのコンペアマッチ	1	0	1	0	0
	GTADTRA2N	GPT2.GTADTRAのコンペアマッチ	1	0	1	0	1
	GTADTRB2N	GPT2.GTADTRBのコンペアマッチ	1	0	1	1	0
	GTADTRA3N	GPT3.GTADTRAのコンペアマッチ	1	0	1	1	1
	GTADTRB3N	GPT3.GTADTRBのコンペアマッチ	1	1	0	0	0
	GTADTRA0N または GTADTRB0N	GPT0.GTADTRAのコンペアマッチ、または、 GPT0.GTADTRBのコンペアマッチ	1	1	0	0	1
	GTADTRA1N または GTADTRB1N	GPT1.GTADTRAのコンペアマッチ、または、 GPT1.GTADTRBのコンペアマッチ	1	1	0	1	0
	GTADTRA2N または GTADTRB2N	GPT2.GTADTRAのコンペアマッチ、または、 GPT2.GTADTRBのコンペアマッチ	1	1	0	1	1
	GTADTRA3N または GTADTRB3N	GPT3.GTADTRAのコンペアマッチ、または、 GPT3.GTADTRBのコンペアマッチ	1	1	1	0	0

注. A/D変換を開始するトリガをADTRGn#に設定する場合は、該当する端子のPORTm.DDR.Bjビットを“0”（入力ポート）に、PORTm.ICR.Bjビットを“1”（対応する端子の入力バッファは有効）にしてください。詳細は「15. I/Oポート」を参照してください。（n = 0,1、m = A,2、j = 0,1,4,5）

28.2.6 A/D プログラマブルゲインアンプレジスタ (ADPG)

(1) S12AD0.ADPG

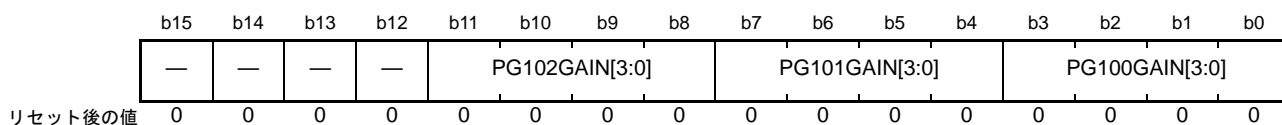
アドレス 0008 900Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	PG000GAIN[3:0]	AN000用プログラマブルゲイン アンプゲイン選択ビット	b3 b0 0 0 0 0 : x2.0 0 0 0 1 : x2.5 0 0 1 0 : 設定しないでください 0 0 1 1 : 設定しないでください 0 1 0 0 : x3.077 0 1 0 1 : 設定しないでください 0 1 1 0 : x3.636 0 1 1 1 : x4.0 1 0 0 0 : x4.444 1 0 0 1 : x5.0 1 0 1 0 : x5.714 1 0 1 1 : x6.667 1 1 0 0 : 設定しないでください 1 1 0 1 : x10.0 1 1 1 0 : x13.333 1 1 1 1 : 設定しないでください	R/W
b7-b4	PG001GAIN[3:0]	AN001用プログラマブルゲイン アンプゲイン選択ビット	b7 b4 0 0 0 0 : x2.0 0 0 0 1 : x2.5 0 0 1 0 : 設定しないでください 0 0 1 1 : 設定しないでください 0 1 0 0 : x3.077 0 1 0 1 : 設定しないでください 0 1 1 0 : x3.636 0 1 1 1 : x4.0 1 0 0 0 : x4.444 1 0 0 1 : x5.0 1 0 1 0 : x5.714 1 0 1 1 : x6.667 1 1 0 0 : 設定しないでください 1 1 0 1 : x10.0 1 1 1 0 : x13.333 1 1 1 1 : 設定しないでください	R/W
b11-b8	PG002GAIN[3:0]	AN002用プログラマブルゲイン アンプゲイン選択ビット	b11 b8 0 0 0 0 : x2.0 0 0 0 1 : x2.5 0 0 1 0 : 設定しないでください 0 0 1 1 : 設定しないでください 0 1 0 0 : x3.077 0 1 0 1 : 設定しないでください 0 1 1 0 : x3.636 0 1 1 1 : x4.0 1 0 0 0 : x4.444 1 0 0 1 : x5.0 1 0 1 0 : x5.714 1 0 1 1 : x6.667 1 1 0 0 : 設定しないでください 1 1 0 1 : x10.0 1 1 1 0 : x13.333 1 1 1 1 : 設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

(2) S12AD1.ADPG

アドレス 0008 908Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	PG100GAIN[3:0]	AN100用プログラマブルゲイン アンプゲイン選択ビット	b3 b0 0 0 0 0 : x2.0 0 0 0 1 : x2.5 0 0 1 0 : 設定しないでください 0 0 1 1 : 設定しないでください 0 1 0 0 : x3.077 0 1 0 1 : 設定しないでください 0 1 1 0 : x3.636 0 1 1 1 : x4.0 1 0 0 0 : x4.444 1 0 0 1 : x5.0 1 0 1 0 : x5.714 1 0 1 1 : x6.667 1 1 0 0 : 設定しないでください 1 1 0 1 : x10.0 1 1 1 0 : x13.333 1 1 1 1 : 設定しないでください	R/W
b7-b4	PG101GAIN[3:0]	AN101用プログラマブルゲイン アンプゲイン選択ビット	b7 b4 0 0 0 0 : x2.0 0 0 0 1 : x2.5 0 0 1 0 : 設定しないでください 0 0 1 1 : 設定しないでください 0 1 0 0 : x3.077 0 1 0 1 : 設定しないでください 0 1 1 0 : x3.636 0 1 1 1 : x4.0 1 0 0 0 : x4.444 1 0 0 1 : x5.0 1 0 1 0 : x5.714 1 0 1 1 : x6.667 1 1 0 0 : 設定しないでください 1 1 0 1 : x10.0 1 1 1 0 : x13.333 1 1 1 1 : 設定しないでください	R/W
b11-b8	PG102GAIN[3:0]	AN102用プログラマブルゲイン アンプゲイン選択ビット	b11 b8 0 0 0 0 : x2.0 0 0 0 1 : x2.5 0 0 1 0 : 設定しないでください 0 0 1 1 : 設定しないでください 0 1 0 0 : x3.077 0 1 0 1 : 設定しないでください 0 1 1 0 : x3.636 0 1 1 1 : x4.0 1 0 0 0 : x4.444 1 0 0 1 : x5.0 1 0 1 0 : x5.714 1 0 1 1 : x6.667 1 1 0 0 : 設定しないでください 1 1 0 1 : x10.0 1 1 1 0 : x13.333 1 1 1 1 : 設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADPG レジスタは、AN000 ~ AN002、AN100 ~ AN102 に搭載しているプログラマブルゲインアンプのゲインを設定するレジスタです。

ADPG レジスタの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

PGnGAIN[3:0] ビット (ANn 用プログラマブルゲインアンプゲイン設定ビット) (n=000 ~ 002、100 ~ 102)

プログラマブルゲインアンプのゲインを設定します。

28.2.7 コンパレータ動作モード選択レジスタ 0 (ADCMPMD0)

アドレス 0008 9012h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	CEN102[1:0]	CEN101[1:0]	CEN100[1:0]	—	—	CEN002[1:0]	CEN001[1:0]	CEN000[1:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CEN000[1:0]	AN000用コンパレータ選択ビット	b1 b0 0 0: コンパレータを使用しない 0 1: Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 1 0: Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 1 1: ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b3-b2	CEN001[1:0]	AN001用コンパレータ選択ビット	b3 b2 0 0: コンパレータを使用しない 0 1: Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 1 0: Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 1 1: ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b5-b4	CEN002[1:0]	AN002用コンパレータ選択ビット	b5 b4 0 0: コンパレータを使用しない 0 1: Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 1 0: Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 1 1: ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	CEN100[1:0]	AN100用コンパレータ選択ビット	b9 b8 0 0: コンパレータを使用しない 0 1: Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 1 0: Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 1 1: ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b11-b10	CEN101[1:0]	AN101用コンパレータ選択ビット	b11 b10 0 0: コンパレータを使用しない 0 1: Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 1 0: Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 1 1: ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b13-b12	CEN102[1:0]	AN102用コンパレータ選択ビット	b13 b12 0 0: コンパレータを使用しない 0 1: Lowレベルコンパレータとして使用 (Low側基準電圧よりも低い入力電圧を検出) 1 0: Highレベルコンパレータとして使用 (High側基準電圧よりも高い入力電圧を検出) 1 1: ウィンドウコンパレータとして使用 (Low側基準電圧～High側基準電圧の範囲外の入力電圧を検出)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPPMD0 レジスタは、コンパレータの使用 / 未使用を設定するレジスタです。

CENn[1:0] ビット (ANn 用コンパレータ選択ビット) (n=000 ~ 002、100 ~ 102)

各コンパレータの使用 / 未使用、および動作モードを設定します。

28.2.8 コンパレータ動作モード選択レジスタ 1 (ADCMPPMD1)

アドレス 0008 9014h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	VSELL ₁	VSELH ₁	CSEL1	—	VSELL ₀	VSELH ₀	CSEL0	—	REFH[2:0]			—	REFL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	REFL[2:0]	コンパレータ Low 側基準電圧用内部電圧選択ビット	b2 b1 b0 0 0 0 : 無効 0 0 1 : AVCC0x1/8 0 1 0 : AVCC0x2/8 0 1 1 : AVCC0x3/8 1 0 0 : AVCC0x4/8 1 0 1 : AVCC0x5/8 1 1 0 : AVCC0x6/8 1 1 1 : AVCC0x7/8	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	REFH[2:0]	コンパレータ High 側基準電圧用内部電圧選択ビット	b6 b5 b4 0 0 0 : 無効 0 0 1 : AVCC0x1/8 0 1 0 : AVCC0x2/8 0 1 1 : AVCC0x3/8 1 0 0 : AVCC0x4/8 1 0 1 : AVCC0x5/8 1 1 0 : AVCC0x6/8 1 1 1 : AVCC0x7/8	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CSEL0	AN000 ~ AN002 用コンパレータ入力選択ビット	0 : プログラマブルゲインアンプ増幅前の信号をコンパレータ入力として使用 1 : プログラマブルゲインアンプ増幅後の信号をコンパレータ入力として使用	R/W
b9	VSELH0	AN000 ~ AN002 用コンパレータ High 側基準電圧選択ビット	0 : AN103 端子から High 側基準電圧を入力 1 : REFH[2:0] ビットで選択された内部電圧を High 側基準電圧に入力	R/W
b10	VSELL0	AN000 ~ AN002 用コンパレータ Low 側基準電圧選択ビット	0 : AN003 端子から Low 側基準電圧を入力 1 : REFL[2:0] ビットで選択された内部電圧を Low 側基準電圧に入力	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	CSEL1	AN100 ~ AN102 用コンパレータ入力選択ビット	0 : プログラマブルゲインアンプ増幅前の信号をコンパレータ入力として使用 1 : プログラマブルゲインアンプ増幅後の信号をコンパレータ入力として使用	R/W
b13	VSELH1	AN100 ~ AN102 用コンパレータ High 側基準電圧選択ビット	0 : AN103 端子から High 側基準電圧を入力 1 : REFH[2:0] ビットで選択された内部電圧を High 側基準電圧に入力	R/W
b14	VSELL1	AN100 ~ AN102 用コンパレータ Low 側基準電圧選択ビット	0 : AN003 端子から Low 側基準電圧を入力 1 : REFL[2:0] ビットで選択された内部電圧を Low 側基準電圧に入力	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPPMD1 レジスタは、コンパレータの入力および基準電圧を設定するレジスタです。

REFL[2:0] ビット (コンパレータ Low 側基準電圧用内部電圧選択ビット)

コンパレータ Low 側基準電圧に内部電圧を使用する場合の電圧値を設定します。
電圧値の設定可能範囲は、使用条件で異なりますので、
「表 32.16 コンパレータ特性」の REFL 電圧範囲を参照してください。

REFH[2:0] ビット (コンパレータ High 側基準電圧用内部電圧選択ビット)

コンパレータ High 側基準電圧に内部電圧を使用する場合の電圧値を設定します。
電圧値の設定可能範囲は、使用条件で異なりますので、
「表 32.16 コンパレータ特性」の REFH 電圧範囲を参照してください。

CSEL0 ビット (AN000 ~ AN002 用コンパレータ入力選択ビット)

AN000 ~ AN002 用コンパレータの入力を設定します。

VSELH0 ビット (AN000 ~ AN002 用コンパレータ High 側基準電圧選択ビット)

AN000 ~ AN002 用コンパレータの High 側基準電圧の入力方法を設定します。

VSELL0 ビット (AN000 ~ AN002 用コンパレータ Low 側基準電圧選択ビット)

AN000 ~ AN002 用コンパレータの Low 側基準電圧の入力方法を設定します。

CSEL1 ビット (AN100 ~ AN102 用コンパレータ入力選択ビット)

AN100 ~ AN102 用コンパレータの入力を設定します。

VSELH1 ビット (AN100 ~ AN102 用コンパレータ High 側基準電圧選択ビット)

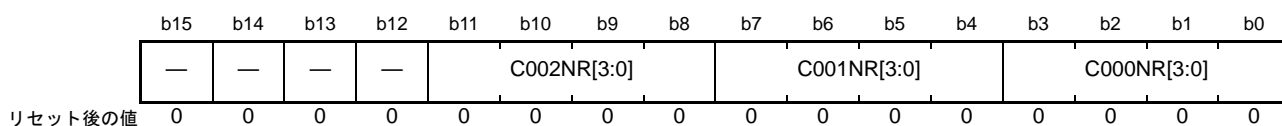
AN100 ~ AN102 用コンパレータの High 側基準電圧の入力方法を設定します。

VSELL1 ビット (AN100 ~ AN102 用コンパレータ Low 側基準電圧選択ビット)

AN100 ~ AN102 用コンパレータ Low 側基準電圧の入力方法を設定します。

28.2.9 コンパレータフィルタモードレジスタ 0 (ADCMPNR0)

アドレス 0008 9016h



ビット	シンボル	ビット名	機能	R/W
b3-b0	C000NR[3:0]	AN000用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b3 b0 0 0 0 0 : コンパレータ検出結果をサンプリングしない 1 0 0 0 : コンパレータ検出結果をPCLKで16回サンプリング 1 0 0 1 : コンパレータ検出結果をPCLK/2で16回サンプリング 1 0 1 0 : コンパレータ検出結果をPCLK/4で16回サンプリング 1 0 1 1 : コンパレータ検出結果をPCLK/8で16回サンプリング 1 1 0 0 : コンパレータ検出結果をPCLK/16で16回サンプリング 1 1 0 1 : コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b7-b4	C001NR[3:0]	AN001用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b7 b4 0 0 0 0 : コンパレータ検出結果をサンプリングしない 1 0 0 0 : コンパレータ検出結果をPCLKで16回サンプリング 1 0 0 1 : コンパレータ検出結果をPCLK/2で16回サンプリング 1 0 1 0 : コンパレータ検出結果をPCLK/4で16回サンプリング 1 0 1 1 : コンパレータ検出結果をPCLK/8で16回サンプリング 1 1 0 0 : コンパレータ検出結果をPCLK/16で16回サンプリング 1 1 0 1 : コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b11-b8	C002NR[3:0]	AN002用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b11 b8 0 0 0 0 : コンパレータ検出結果をサンプリングしない 1 0 0 0 : コンパレータ検出結果をPCLKで16回サンプリング 1 0 0 1 : コンパレータ検出結果をPCLK/2で16回サンプリング 1 0 1 0 : コンパレータ検出結果をPCLK/4で16回サンプリング 1 0 1 1 : コンパレータ検出結果をPCLK/8で16回サンプリング 1 1 0 0 : コンパレータ検出結果をPCLK/16で16回サンプリング 1 1 0 1 : コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

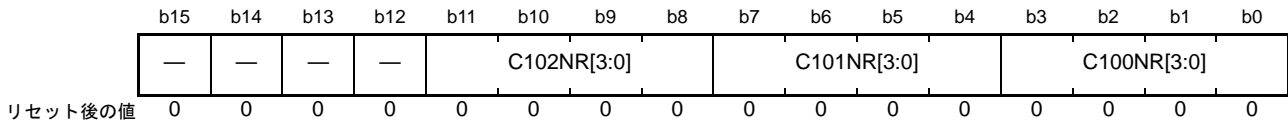
ADCMPNR0 レジスタは、AN000 ~ AN002 用コンパレータの検出結果用ノイズフィルタの動作を設定するレジスタです。

CnNR[3:0] ビット (ANn 用コンパレータノイズキャンセルフィルタモード選択ビット) (n=000 ~ 002)

ANn 用コンパレータの検出結果用ノイズフィルタの動作を設定します。コンパレータ検出結果を設定された条件でサンプリングし、全て検出だった場合、ADCMPFR.CnFLAG フラグをセットします。このとき、ADCMPSEL レジスタの設定により、コンパレータ割り込み (CMPI)、および、ポートアウトプットイネーブル 3 (POE3) の起動を要求することができます。

28.2.10 コンパレータフィルタモードレジスタ 1 (ADCMPNR1)

アドレス 0008 9018h



ビット	シンボル	ビット名	機能	R/W
b3-b0	C100NR[3:0]	AN100用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b3 b0 0 0 0 0: コンパレータ検出結果をサンプリングしない 1 0 0 0: コンパレータ検出結果をPCLKで16回サンプリング 1 0 0 1: コンパレータ検出結果をPCLK/2で16回サンプリング 1 0 1 0: コンパレータ検出結果をPCLK/4で16回サンプリング 1 0 1 1: コンパレータ検出結果をPCLK/8で16回サンプリング 1 1 0 0: コンパレータ検出結果をPCLK/16で16回サンプリング 1 1 0 1: コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b7-b4	C101NR[3:0]	AN101用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b7 b4 0 0 0 0: コンパレータ検出結果をサンプリングしない 1 0 0 0: コンパレータ検出結果をPCLKで16回サンプリング 1 0 0 1: コンパレータ検出結果をPCLK/2で16回サンプリング 1 0 1 0: コンパレータ検出結果をPCLK/4で16回サンプリング 1 0 1 1: コンパレータ検出結果をPCLK/8で16回サンプリング 1 1 0 0: コンパレータ検出結果をPCLK/16で16回サンプリング 1 1 0 1: コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b11-b8	C102NR[3:0]	AN102用コンパレータ ノイズキャンセルフィルタ モード選択ビット	b11 b8 0 0 0 0: コンパレータ検出結果をサンプリングしない 1 0 0 0: コンパレータ検出結果をPCLKで16回サンプリング 1 0 0 1: コンパレータ検出結果をPCLK/2で16回サンプリング 1 0 1 0: コンパレータ検出結果をPCLK/4で16回サンプリング 1 0 1 1: コンパレータ検出結果をPCLK/8で16回サンプリング 1 1 0 0: コンパレータ検出結果をPCLK/16で16回サンプリング 1 1 0 1: コンパレータ検出結果をPCLK/128で16回サンプリング 上記以外は設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPNR1 レジスタは、AN100～AN102用コンパレータの検出結果用ノイズフィルタの動作を設定するレジスタです。

CnNR[3:0] ビット (ANn 用コンパレータノイズキャンセルフィルタモード選択ビット) (n=100～102)

ANn 用コンパレータの検出結果用ノイズフィルタの動作を設定します。コンパレータ検出結果を設定された条件でサンプリングし、全て検出だった場合、ADCMPFR.CnFLAG フラグをセットします。このとき、ADCMPSEL レジスタの設定により、コンパレータ割り込み (CMPI)、および、ポートアウトプットイネーブル 3 (POE3) の起動を要求することができます。

28.2.11 コンパレータ検出フラグレジスタ (ADCMPFR)

アドレス 0008 901Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	C102FL AG	C101FL AG	C100FL AG	C002FL AG	C001FL AG	C000FL AG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C000FLAG	AN000用コンパレータ検出フラグ	0: コンパレータ未検出 1: コンパレータ検出	R/(W) (注1)
b1	C001FLAG	AN001用コンパレータ検出フラグ	0: コンパレータ未検出 1: コンパレータ検出	R/(W) (注1)
b2	C002FLAG	AN002用コンパレータ検出フラグ	0: コンパレータ未検出 1: コンパレータ検出	R/(W) (注1)
b3	C100FLAG	AN100用コンパレータ検出フラグ	0: コンパレータ未検出 1: コンパレータ検出	R/(W) (注1)
b4	C101FLAG	AN101用コンパレータ検出フラグ	0: コンパレータ未検出 1: コンパレータ検出	R/(W) (注1)
b5	C102FLAG	AN102用コンパレータ検出フラグ	0: コンパレータ未検出 1: コンパレータ検出	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

ADCMPFR レジスタは、各コンパレータの検出/未検出状態を示すフラグレジスタです。

CnFLAG フラグ (ANn 用コンパレータ検出フラグ) (n=000 ~ 002、100 ~ 102)

各コンパレータの検出/未検出状態を示すフラグレジスタです。

〔“1”になる条件〕

- コンパレータ検出結果を、ADCMPNRn.CmNR[3:0] (n=0、1、m=000 ~ 002、100 ~ 102) ビットで選択されたクロックで16回サンプリングし、すべて検出だった場合

〔“0”になる条件〕

- ソフトウェアで“0”を書いたとき

28.2.12 コンパレータ割り込み選択レジスタ (ADCMPSEL)

アドレス 0008 901Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	POERQ	IE	—	—	SEL102	SEL101	SEL100	SEL002	SEL001	SEL000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEL000	AN000用コンパレータ検出選択ビット	0: コンパレータ検出を割り込み、またはPOE要求として使用しない 1: コンパレータ検出を割り込み、またはPOE要求として使用	R/W
b1	SEL001	AN001用コンパレータ検出選択ビット	0: コンパレータ検出を割り込み、またはPOE要求として使用しない 1: コンパレータ検出を割り込み、またはPOE要求として使用	R/W
b2	SEL002	AN002用コンパレータ検出選択ビット	0: コンパレータ検出を割り込み、またはPOE要求として使用しない 1: コンパレータ検出を割り込み、またはPOE要求として使用	R/W
b3	SEL100	AN100用コンパレータ検出選択ビット	0: コンパレータ検出を割り込み、またはPOE要求として使用しない 1: コンパレータ検出を割り込み、またはPOE要求として使用	R/W
b4	SEL101	AN101用コンパレータ検出選択ビット	0: コンパレータ検出を割り込み、またはPOE要求として使用しない 1: コンパレータ検出を割り込み、またはPOE要求として使用	R/W
b5	SEL102	AN102用コンパレータ検出選択ビット	0: コンパレータ検出を割り込み、またはPOE要求として使用しない 1: コンパレータ検出を割り込み、またはPOE要求として使用	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	IE	割り込み許可設定ビット	0: コンパレータ検出時のCMPI割り込み発生を禁止 1: コンパレータ検出時のCMPI割り込み発生を許可	R/W
b9	POERQ	POE要求設定ビット	0: コンパレータ検出時のPOE要求発生を禁止 1: コンパレータ検出時のPOE要求発生を許可	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCMPSEL レジスタは、コンパレータ検出を割り込み、またはPOE要求として使用するために設定するレジスタです。

SELn ビット (ANn 用コンパレータ検出選択ビット) (n=000 ~ 002、100 ~ 102)

各コンパレータ検出を割り込み、またはPOE要求として使用するか使用しないかを設定します。

IE ビット (割り込み許可設定ビット)

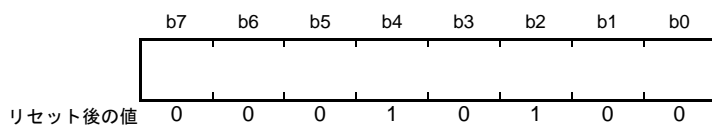
コンパレータ検出割り込み (CMPI) の発生を禁止 / 許可します。CMPI 割り込みは SELn ビットで選択されたコンパレータ検出の論理和となります。

POE ビット (POE 要求設定ビット)

コンパレータ検出による POE 要求の発生を禁止 / 許可します。POE 要求は SELn ビットで選択されたコンパレータ検出の論理和となります。

28.2.13 A/D サンプリングステートレジスタ (ADSSTR)

アドレス S12AD0.ADSSTR 0008 9060h、S12AD1.ADSSTR 0008 90E0h



ADSSTR レジスタは、アナログ入力のサンプリング時間を設定するための8ビットのリード/ライト可能なレジスタです。

アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D変換クロック(ADCLK)が低速な場合に、サンプリング時間を調整することができます。

設定値は、“0Dh”以上の値を設定してください。

誤作動を避けるため、A/D変換停止(ADCSR.ADSTビット=“0”)の状態書き替えてください。

詳細は、「28.3.3 アナログ入力のサンプリングとA/D変換時間」を参照してください。

28.3 動作説明

28.3.1 シングルモード

シングルモードは、指定された1チャンネルのアナログ入力を以下のように1回のみA/D変換します。

- (1) ソフトウェア、MTU3、GPTまたは外部トリガ入力によってADCSR.ADSTビットを“1”（A/D変換開始）にすると、選択されたチャンネルのA/D変換を開始します。
- (2) A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタn（ADDRn）に格納されます。（n = 0A、0B、1～3）
- (3) A/D変換終了後、ADCSR.ADIEビットが“1”（A/D変換終了によるS12ADI割り込み許可）であれば、S12ADI割り込み要求を発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1”を保持し、変換が終了すると自動的に“0”になり、A/Dコンバータは待機状態になります。
- (5) A/D変換中にADCSR.ADSTビットを“0”（A/D変換停止）にすると、変換を中止してA/Dコンバータは待機状態になります。

アナログ入力にAN001を選択した場合の動作例を図28.2に示します。

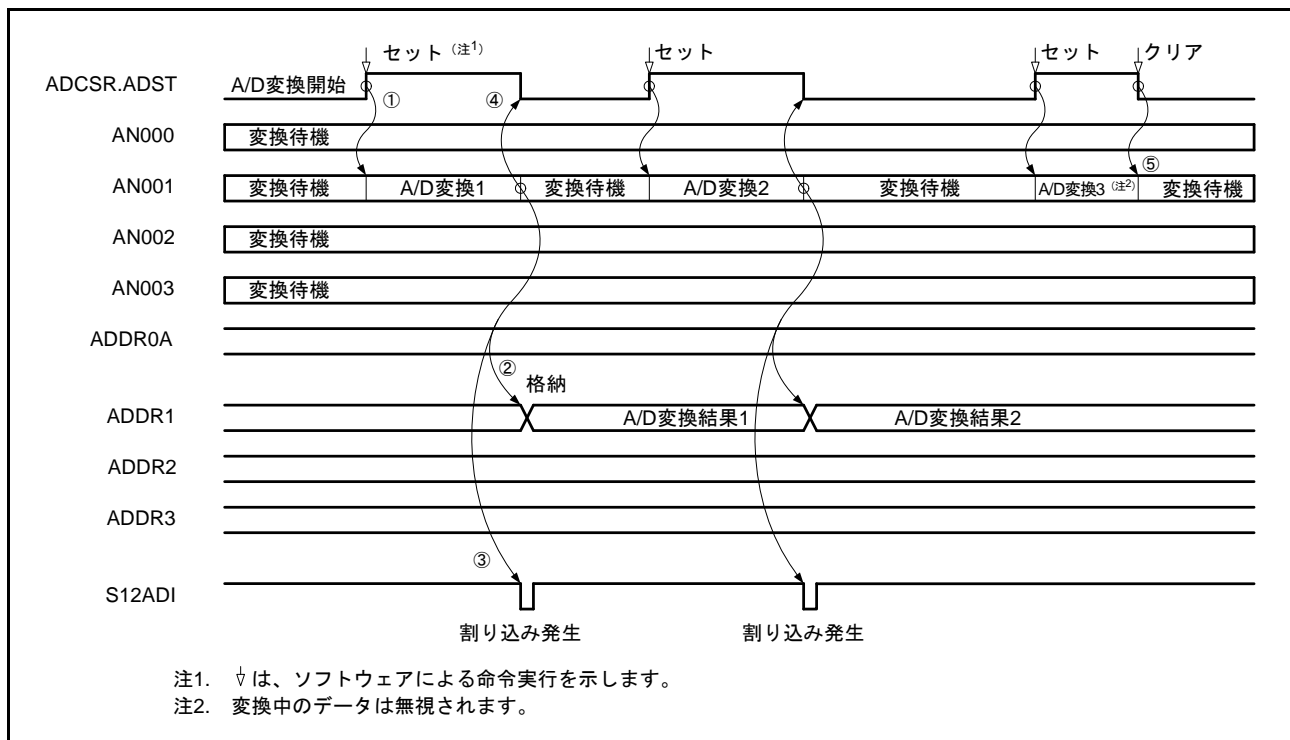


図 28.2 A/Dコンバータの動作例（シングルモード）

28.3.2 スキャン変換動作の説明

スキャン変換の動作モードには、1サイクルスキャンモード、連続スキャンモードおよび2チャンネルスキャンモードの3種類の動作モードがあります。

1サイクルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアでADCSR.ADSTビットを“0” (“1”の状態から“0”)にするまで無制限に繰り返し実施するモードです。2チャンネルスキャンモードは4チャンネルのアナログ入力をグループ0とグループ1に分け、それぞれのグループに個別のトリガによる開始要因を選択できるモードで、グループ0とグループ1それぞれの変換動作としては1サイクルスキャンと同じです(1チャンネル以上のスキャンを1回実施して終了)。

28.3.2.1 1サイクルスキャンモード

1サイクルスキャンモードは、選択されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、MTU3、GPTまたは外部トリガ入力によってADCSR.ADSTビットを“1”(A/D変換開始)にすると、ADANSレジスタのCH[1:0]ビットで設定した順序でA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタn(ADDRn)に格納されます。(n=0A、0B、1~3)
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(A/D変換終了によるS12ADI割り込み許可)であれば、S12ADI割り込み要求を発生します。
- (4) ADSTビットはA/D変換中は“1”を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、A/Dコンバータは待機状態になります。

なお、ADCER.SHBYPビットの設定によりサンプリング動作が異なります。ADCER.SHBYP=0時の動作を図28.3に、ADCER.SHBYP=1時の動作を図28.4に示します。

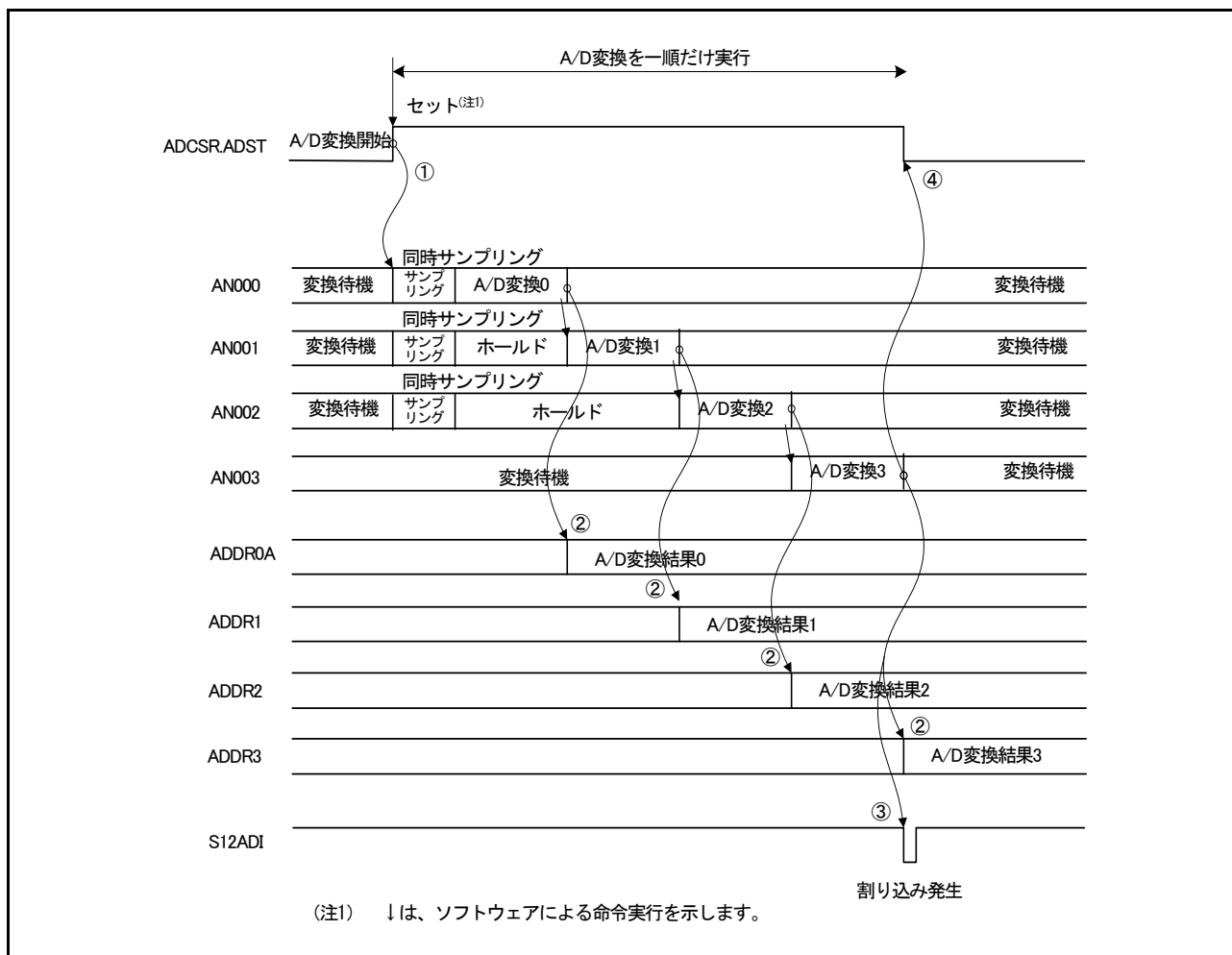


図 28.3 1 サイクルスキャンモードの動作例 (ADCER.SHBY=0 : チャネル専用サンプル&ホールド回路使用時)

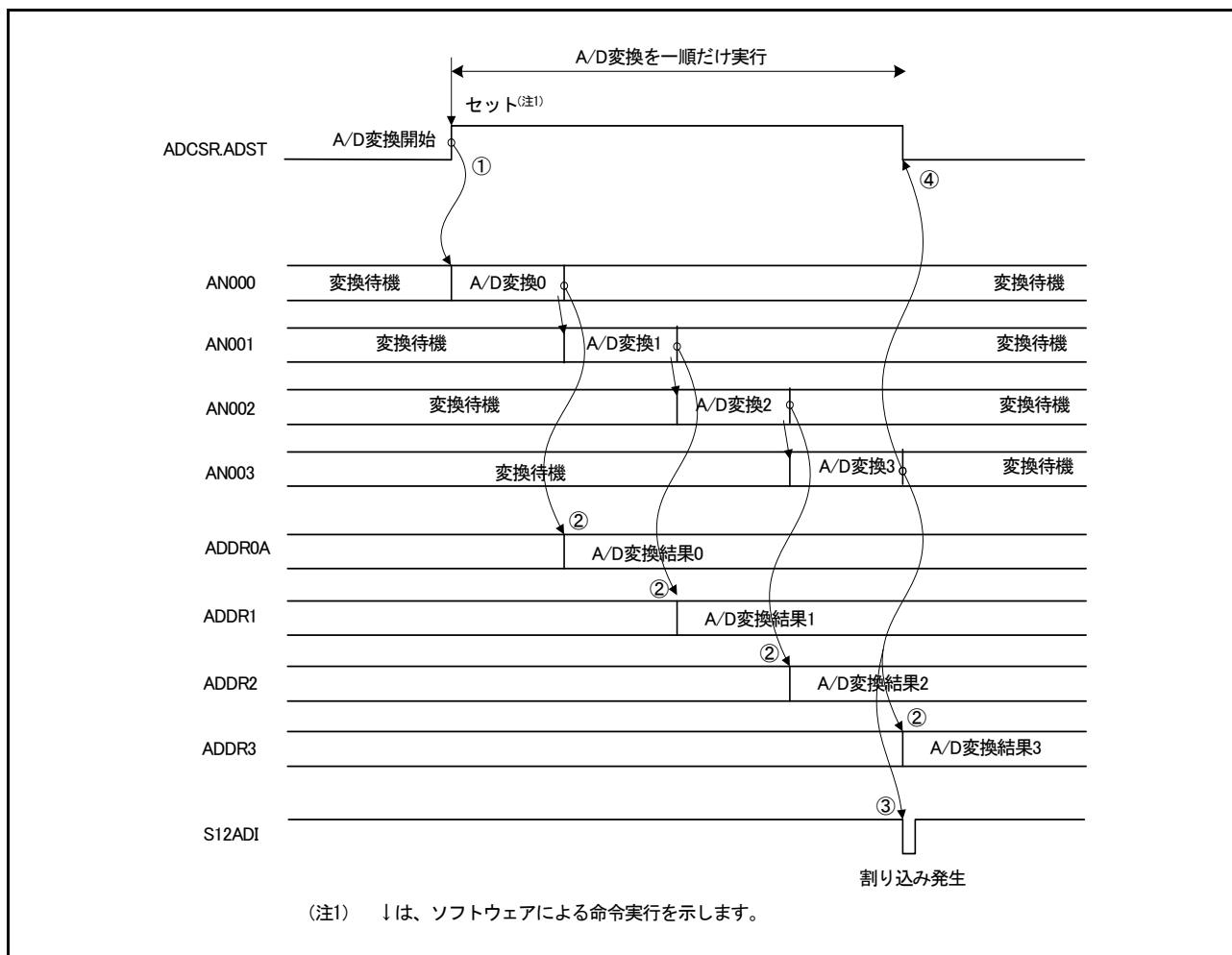


図 28.4 1 サイクルスキャンモードの動作例 (ADCER.SHBY=1 : チャネル専用サンプル&ホールド回路未使用時)

28.3.2.2 連続スキャンモード

連続スキャンモードは、選択されたチャンネルのアナログ入力を以下のように繰り返し A/D 変換します。

- (1) ソフトウェア、MTU3、GPTまたは外部トリガ入力によって ADCSR.ADST ビットを“1” (A/D 変換開始) にすると、ADANS レジスタの CH[1:0] ビットで設定した順序で A/D 変換を開始します。
- (2) 1チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) に格納されます。(n=0A、0B、1~3)
- (3) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (A/D 変換終了による S12ADI 割り込み許可) であれば、S12ADI 割り込み要求を発生します。A/D コンバータは ADANS レジスタの CH[1:0] ビットで設定した順序で A/D 変換を開始します。
- (4) ADST ビットは自動的にクリアされず、“1”の間は (2) ~ (3) を繰り返します。ADST ビットを“0” (A/D 変換停止) にすると A/D 変換を中止し、A/D コンバータは待機状態になります。
- (5) その後、ADST ビットを“1”にすると再び ADANS レジスタの CH[1:0] ビットで設定した順序で A/D 変換を開始します。

なお、ADCER.SHBYP ビットの設定によりサンプリング動作が異なります。ADCER.SHBYP=0 時の動作を図 28.5 に、ADCER.SHBYP=1 時の動作を図 28.6 に示します。

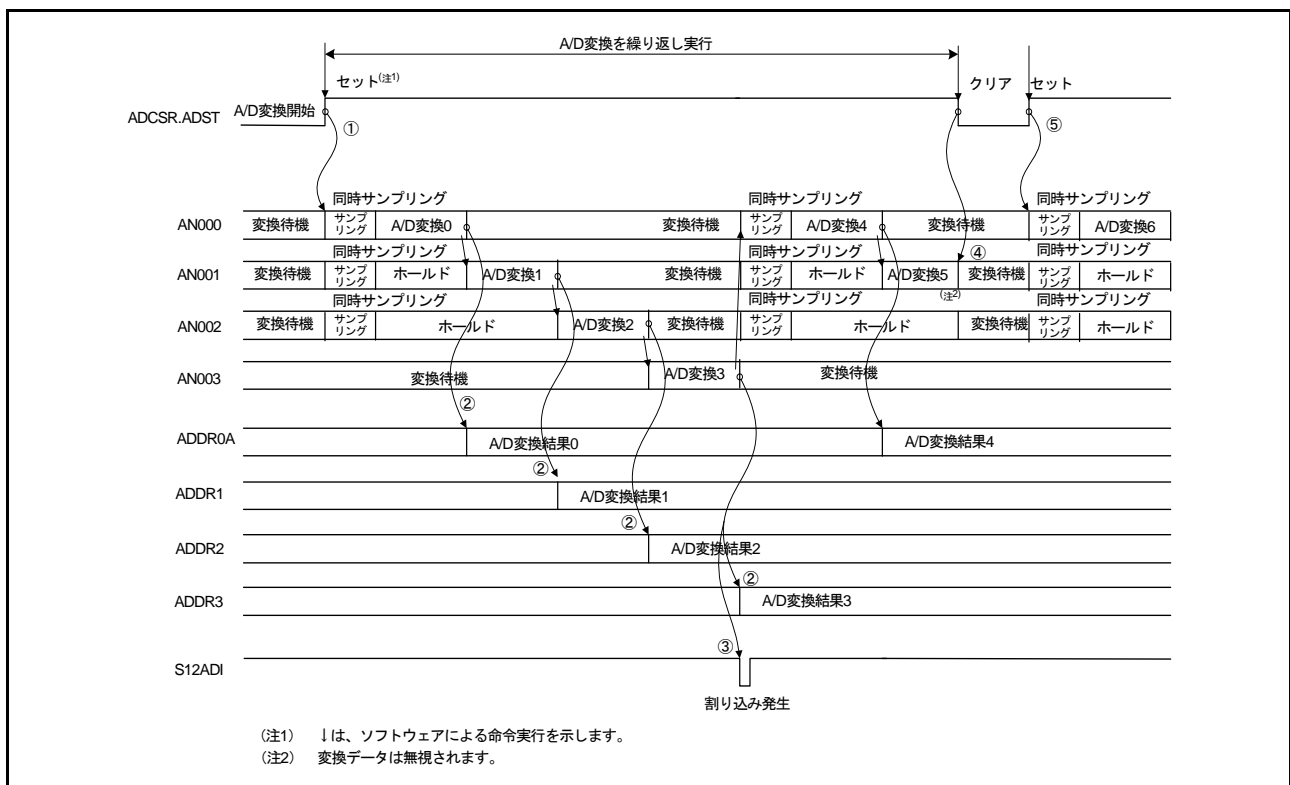


図 28.5 連続スキャンモードの動作例 (ADCER.SHBYP=0: チャンネル専用サンプル&ホールド回路使用時)

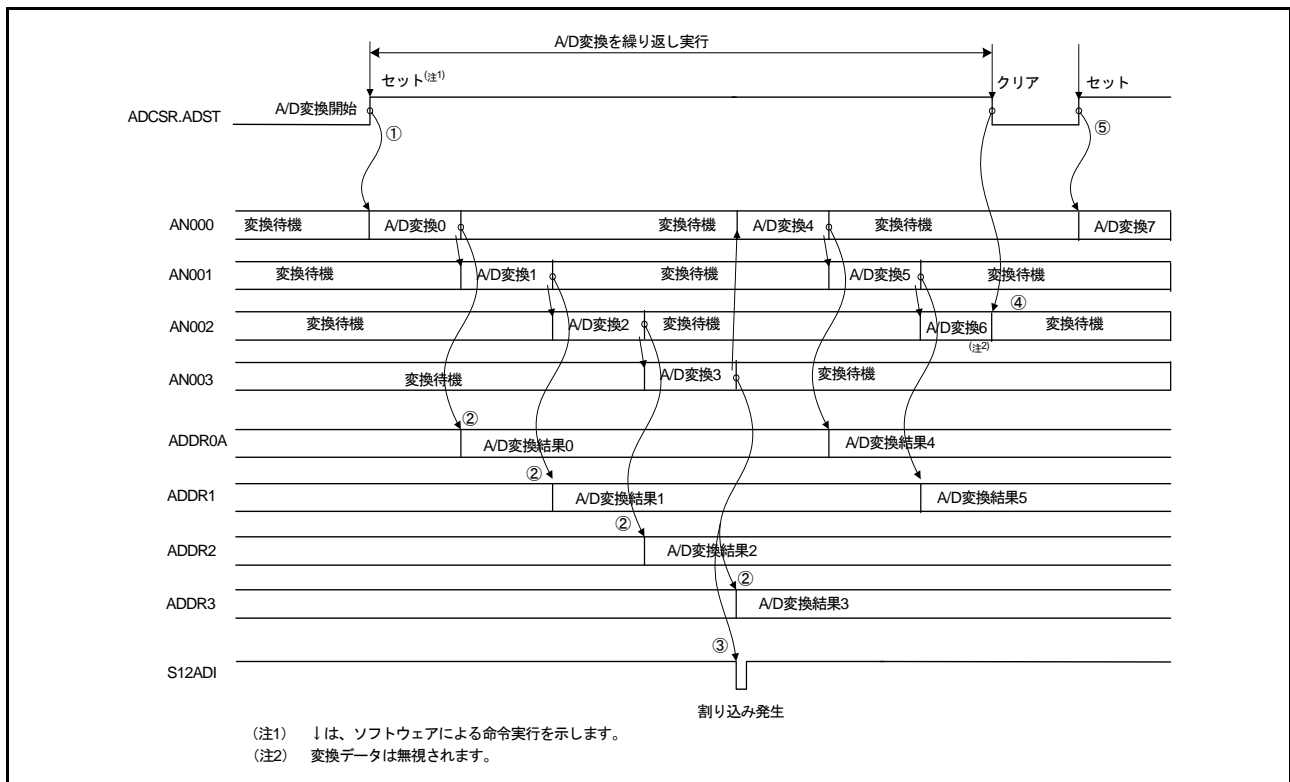


図 28.6 連続スキャンモードの動作例 (ADCER.SHBY=1 : チャンネル専用サンプル&ホールド回路未使用時)

28.3.2.3 2チャンネルスキャンモード

2チャンネルスキャンモードは、4チャンネルのアナログ入力をグループ0とグループ1に分けており、グループごとに個別のトリガによる開始要因を選択できます。

2チャンネルスキャンモードの変換終了割り込みは、ADCER.ADIE2への設定によりグループ0もしくはグループ1の終了と、グループ0とグループ1の終了後を選択できます。

トリガによる変換開始を行う場合、ADSTRGRレジスタの設定により、グループ0とグループ1に別々の要因を設定してください。

なお、グループ0の変換中にグループ1の変換要求が発生した場合、グループ1の変換要求は無視されます。

グループ0のA/D変換開始要求にMTU4のTRG4AN、グループ1のA/D変換開始要求にMTU4のTRG4BNを設定し、ADANS.CH[1:0]ビットを“01b”にした場合の動作例を図28.7に示します。

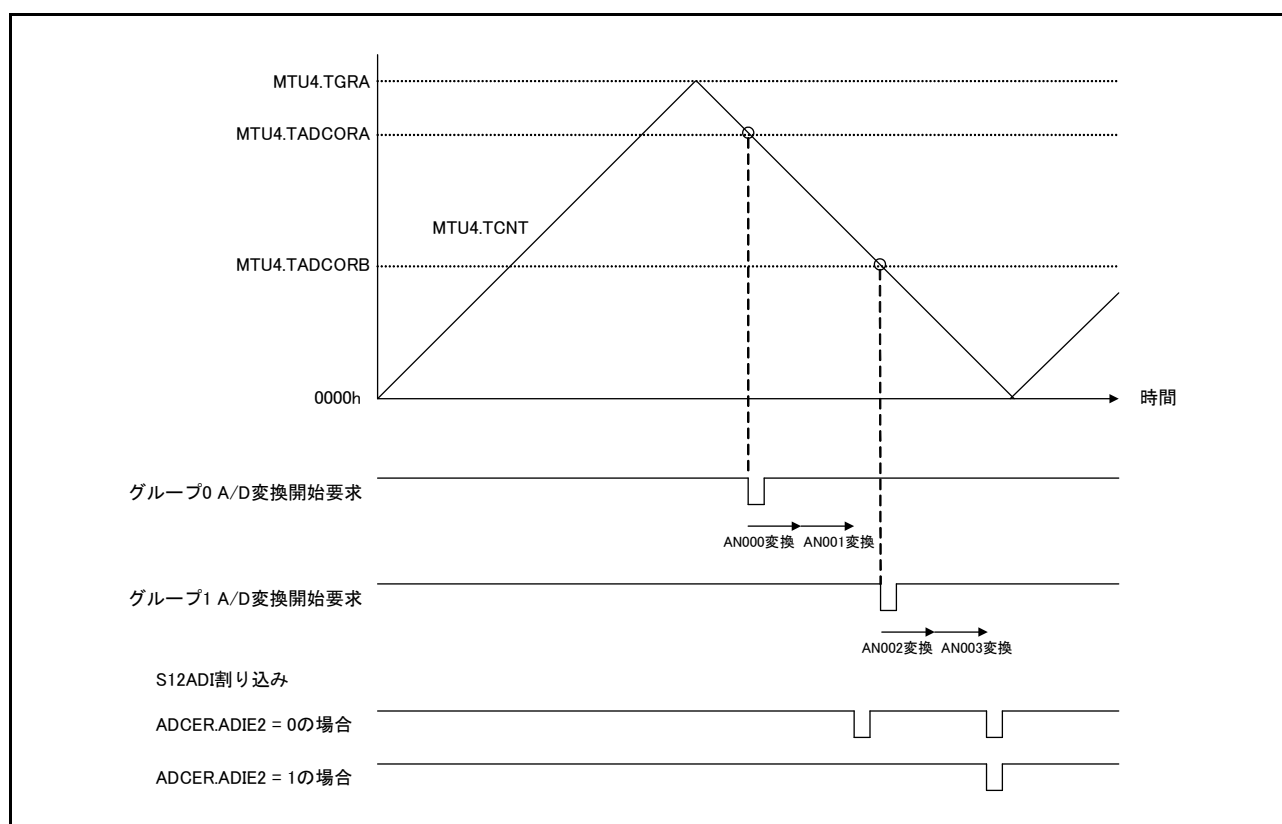


図 28.7 2チャンネルスキャンモードの動作例

28.3.3 アナログ入力のサンプリングと A/D 変換時間

A/D コンバータは、ソフトウェアによる開始、MTU3、GPT トリガによる開始および ADTRGn# (外部トリガ) による変換開始が選択できます。A/D 変換開始遅延時間 (tD) の後に、アナログ入力のサンプリング、自己診断変換処理を行い、この後に A/D 変換処理が開始されます。

A/D 変換時間 (tSCAN) は A/D 変換開始遅延時間 (tD)、チャンネル専用サンプル&ホールド回路サンプリング時間 (tSPLSH)、自己診断変換時間 (tDIAG)、A/D 変換処理時間 (tCONV)、A/D 変換終了遅延時間 (tED) を含めた時間となります。

A/D 変換処理時間 (tCONV) は、入力サンプリング時間 (tSPL)、逐次変換時間 (tSAM) を合わせた時間となります。

サンプリング時間 (tSPL) は、A/D コンバータのサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間 (tSAM) は、ADCLK の 30 ステート固定です。ADSSTR レジスタの設定例を表 28.8 に、A/D 変換時間を表 28.9 に示します。

選択チャンネル数が n の 1 サイクルスキャンの A/D 変換時間 (tSCAN) は、次のように表されます。

(1) AN000 ~ AN002、AN100 ~ AN102 の場合

- チャンネル専用サンプルホールド回路未使用、自己診断未使用時

$$tSCAN = tD + (tCONV \times n) + tED$$
- チャンネル専用サンプルホールド回路未使用、自己診断使用時

$$tSCAN = tD + tDIAG + (tCONV \times n) + tED$$
- チャンネル専用サンプルホールド回路使用、自己診断未使用時

$$tSCAN = tD + tSPLSH + (tCONV \times n) + tED$$
- チャンネル専用サンプルホールド回路使用、自己診断使用時

$$tSCAN = tD + tSPLSH + tDIAG + (tCONV \times n) + tED$$

(2) AN003、AN103 の場合

- 自己診断未使用時

$$tSCAN = tD + (tCONV \times n) + tED$$
- 自己診断使用時

$$tSCAN = tD + tDIAG + (tCONV \times n) + tED$$

シングルモード、および連続スキャンの 1 サイクル目は、1 サイクルスキャンと同じです。

連続スキャンの 2 サイクル目以降は、1 サイクルスキャンの tSCAN から tD を省いた時間です。

表 28.8 ADSSTRレジスタの設定例

使用例	設定範囲	サンプリング時間 (注1)
標準 (初期値)	"14h"	0.4 μ s (PCLK = ADCLK = 50MHz時)
アナログ入力の信号源インピーダンスが高く、サンプリング時間が不足する場合に設定	"15h" ~ "FF"	例: "FFh" 5.1 μ s (PCLK = ADCLK = 50MHz時)
ADCLKが50MHzに満たない場合に、サンプリング時間を初期値より短くする場合に設定	"0Dh" ~ "13"	例: "10h" 0.4 μ s (PCLK = ADCLK = 40MHz時)

注1. サンプリング時間 $\geq 0.4\mu$ sとなるように設定してください。サンプリング時間は、以下の式で表されます。

$$\text{サンプリング時間} (\mu\text{s}) = \frac{\text{ADSSTRレジスタ設定値}}{\text{ADCLK (MHz)}}$$

表 28.9 AD変換時間

項目		記号		ADTRGn# (外部トリガ)	MTU3、GPT	ソフトウェアによる開始	単位
スキャン変換開始遅延時間 (注2)		tD		4PCLK+3ADCLK (注1)	3PCLK+3ADCLK	2PCLK+3ADCLK	サイクル
チャンネル専用独立 サンプル&ホールド 回路処理時間	サンプリング時間	tSPLSH	tSH	20ADCLK			
	サンプリング-A/D変換 ウェイト時間		tW	10ADCLK			
自己診断変換処理時間	サンプリング時間	tDIAG	tSPL	ADSSTRレジスタ設定値 (初期値20) xADCLK			
	逐次変換時間		tSAM	30ADCLK			
A/D変換処理時間	サンプリング時間	tCONV	tSPL	ADSSTRレジスタ設定値 (初期値20) xADCLK			
	逐次変換時間		tSAM	30ADCLK			
スキャン変換終了遅延時間 (注3)		tED		1PCLK+5ADCLK			

PCLK: モジュールクロック、ADCLK: A/D変換クロック

注1. 外部トリガ入力タイミングについては「33.3.3 内蔵周辺モジュールタイミング」を参照してください。

注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。

注3. A/D変換終了からA/D変換終了割り込みの発生までの時間です。

28.3.4 ADDRn、ADDRD レジスタの自動クリア機能の使用例 (n = 0A、0B、1 ~ 3)

ADCER.ACE ビットを“1”にすることにより、CPU および DTC によって A/D データレジスタ n (ADDRn および ADDRD) を読む際、自動的に ADDRn および ADDRD レジスタを 0000h にすることができます。

自動クリア機能を使うことで、ADDRn および ADDRD レジスタの未更新故障を検出することができます。以下に ADDRn レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRn レジスタに書かれなかったとき、古いデータ (0111h) が ADDRn レジスタの値となります。さらに A/D 変換変換終了割り込みを利用して、この ADDRn レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタなどに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDRn = 0111h を CPU および DTC により読む際、ADDRn レジスタは自動的に 0000h になります。その後、A/D 変換結果の 0222h が ADDRn レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRn レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRn レジスタの値を汎用レジスタなどに読み出した場合、0000h が汎用レジスタなどに保持されます。読み出されたデータ値が 0000h であることをチェックするだけで、ADDRn レジスタの未更新故障があったことを判断できます。

ADDRn レジスタの自動リクエストを選択した場合は、読み出し時に変換データをクリアします。

28.3.5 ダブルデータレジスタの動作 (ADDR0 レジスタのみ)

AN000/AN100 を選択し、ADSTRGR.ADSTRSn[4:0] ビットで開始要因を“MTU3 の TRGnAN または TRGnBN (n=4, 7)” (ADSTRGR.ADSTRSn[4:0] ビットを“01011b”“01111b”)、および“GPT の GTADTRAnN または GTADTRBnN (n=0 ~ 3)” (ADSTRGR.ADSTRSn[4:0] ビットを“11001b ~ 11100b”) にして A/D コンバータを開始した場合、AN000/AN100 の変換結果は開始トリガにより異なる変換結果レジスタに格納されます。MTU3 の TRGnAN および GPT の GTADTRAnN で変換開始されたときは、AN000/AN100 変換結果は ADDR0A レジスタに格納されます。一方、MTU3 の TRGnBN および GPT の GTADTRBnN で変換開始されたときは、AN000/AN100 変換結果は ADDR0B レジスタに格納されます。変換終了割り込みは、ADCER.ADIEW への設定により、後発トリガによる変換終了後と、それぞれのトリガによる変換終了後を選択できます。AN000 を選択し、MTU3 のタイマトリガで TRG4AN または TRG4BN を設定し、シングルモード動作させた場合の動作例を図 28.8 に示します。

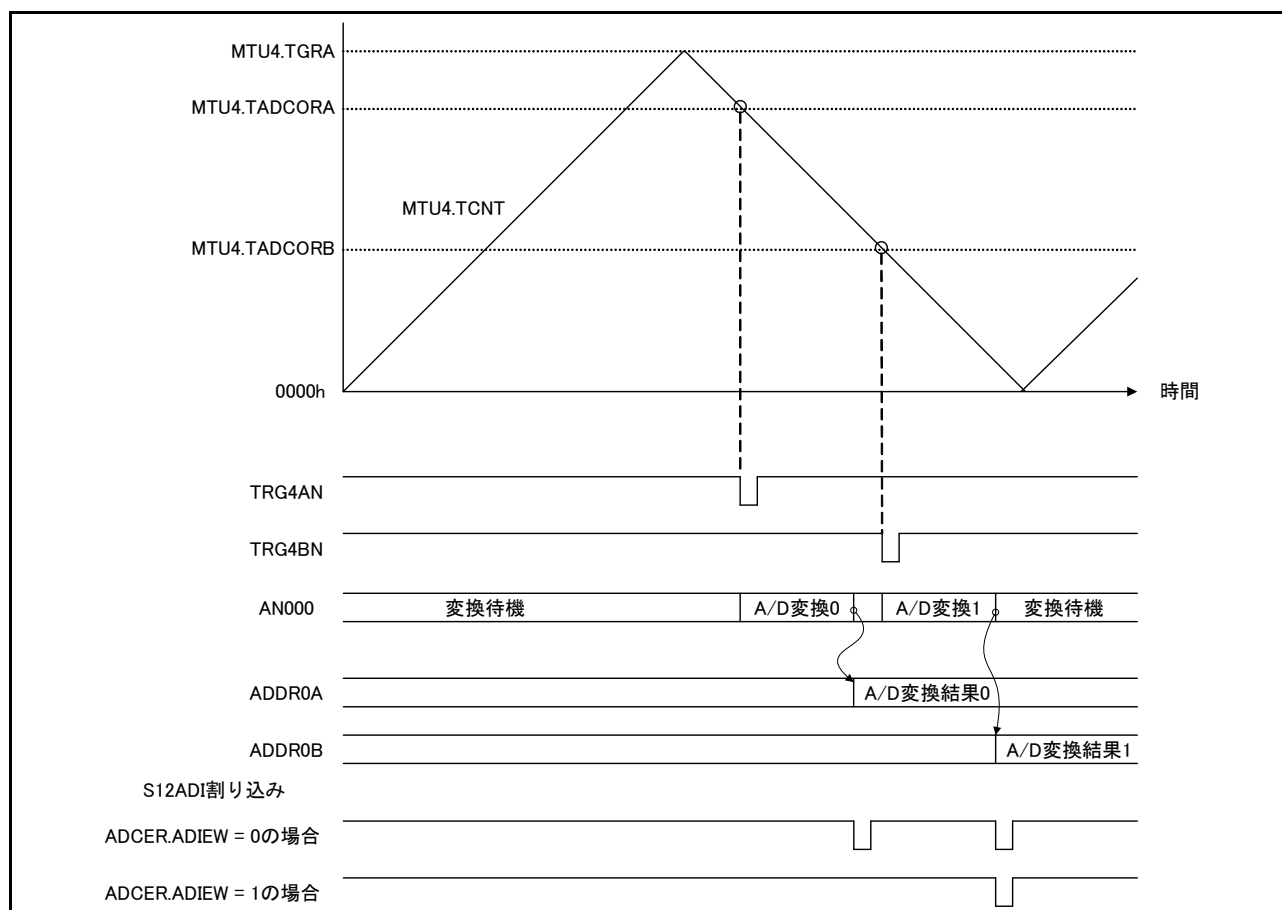


図 28.8 ダブルデータレジスタの動作例

28.3.6 プログラマブルゲインアンプ

プログラマブルゲインアンプは、AN000～AN002端子とAN100～AN102端子に搭載されています。ADPG.PGnGAIN[3:0]ビット (n=000～002、100～102) でゲインを選択し、ADANS.PGnENビットとADANS.PGnSELビットで使用するオペアンプを選択します。

プログラマブルゲインアンプを使用するには、ADCER.SHBYYPビットを“0” (サンプル&ホールド回路を使用) に設定する必要があります。

28.3.7 コンパレータ

コンパレータは、AN000～AN002端子とAN100～AN102端子に搭載されています。コンパレータの動作モードとして、Low側基準電圧よりも低い電圧が入力に印加されていることを検出するLowレベルコンパレータ、High側基準電圧よりも高い電圧が入力に印加されていることを検出するHighレベルコンパレータ、Low側基準電圧～High側基準電圧の範囲外の電圧が入力に印加されていることを検出するウィンドウコンパレータのいずれかを選択できます。検出する入力電圧は、プログラマブルゲインアンプの増幅前か増幅後かを選択できます。基準電圧については、端子から入力 (Low側: AN003/CVREFL、High側: AN103/CVREFH) するか、内部電圧を使用 ($1/8 \times AVCC0 \sim 7/8 \times AVCC0$) するかを選択できます。また、コンパレータ検出信号にはノイズキャンセル回路を内蔵しており、 $1/PCLK \sim 128/PCLK$ で16回サンプリングし、全て検出だった場合のみフラグをセットし、割り込み要求 (CMPI)、またはPOE要求 (MTU3の相補PWM出力端子およびGPT出力端子のハイインピーダンス要求) を発生することができます。

コンパレータの設定手順を以下に示します。

- (1) ADCMPMD1.CSELnビット (n=0、1) で、プログラマブルゲインアンプの増幅前の電圧を検出するか、プログラマブルゲインアンプ増幅後の電圧を検出するかを設定します
- (2) ADCMPMD1.VSELLnビット (n=0、1) およびADCMPMD1.VSELHn (n=0、1) ビットで、基準電圧を端子から入力するか、内部電圧を使用するかを設定します。内部電圧を選択した場合は、ADCMPMD1.REFL[2:0]ビットでLow側基準電圧を、ADCMPMD1.REFH[2:0]ビットでHigh側基準電圧を設定します。
- (3) ADCMPNRn.CmNR[3:0]ビット (n=0、1、m=000～002、100～102) で、コンパレータ検出結果用ノイズキャンセル回路をコンパレータ毎に設定します。
- (4) ADCMPSEL.SELmビット (m=000～002、100～102) で、コンパレータ検出により割り込み要求 (CMPI) またはPOE要求を発生するかをコンパレータ毎に設定します。割り込み要求 (CMPI) またはPOE要求を発生する場合は、ADCMPSEL.IEビットで割り込み要求 (CMPI) を許可し、ADCMPSEL.POEビットでPOE要求を許可します。
- (5) ADCMPMD0.CENm[1:0]ビット (m=000～002、100～102) で、使用するコンパレータおよび動作モードを設定します。

コンパレータの動作例を図28.9に示します。

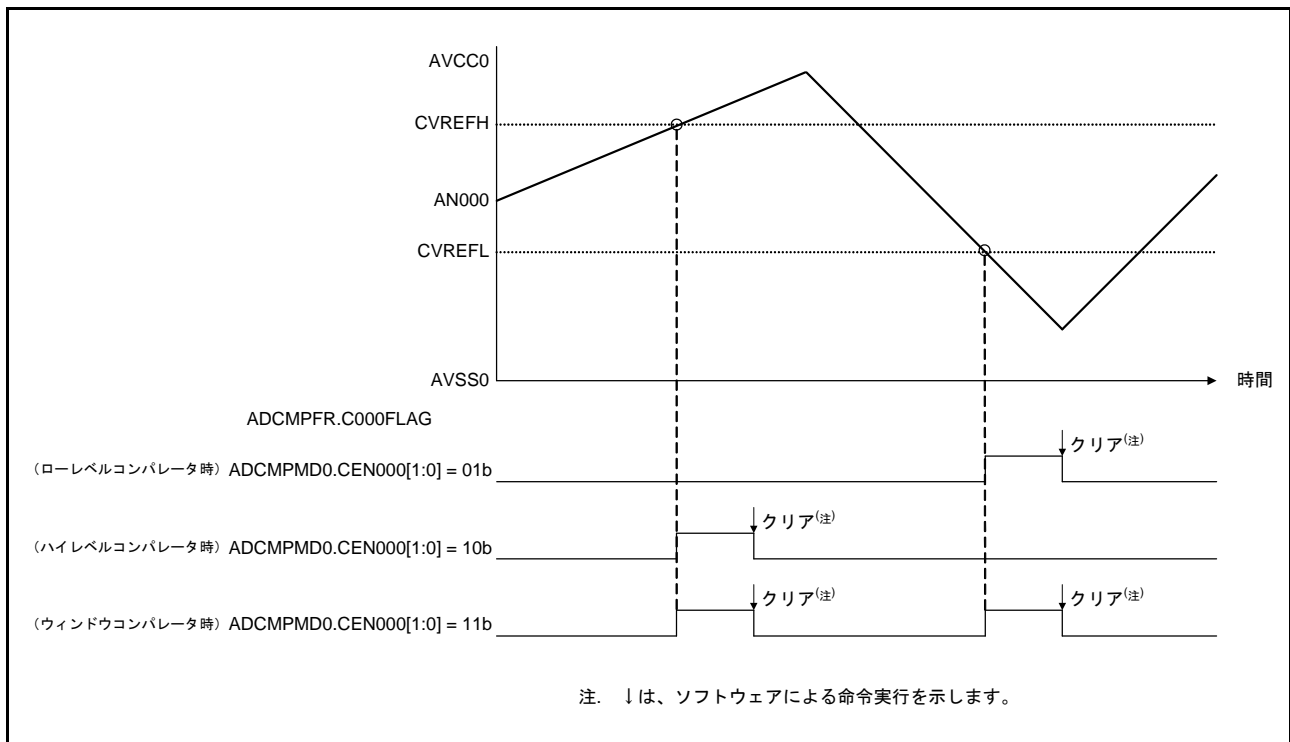


図 28.9 コンパレータの動作例 (基準電圧を端子から入力時)

28.3.8 外部トリガによる A/D 変換の開始

外部トリガの入力により A/D 変換を開始することができます。外部トリガを使用して A/D 変換を開始する場合、PFAADC レジスタによって端子機能を設定し、A/D 開始トリガ選択レジスタ (ADSTRGR) を“00h”にし、ADTRGn# 端子に High を入力した後、ADCSR.TRGE ビットを“1”、ADCSR.EXTRG ビットを“1”にします。

図 28.10 に外部トリガ入力タイミングを示します。

端子機能の設定は、「15. I/O ポート」を参照してください。

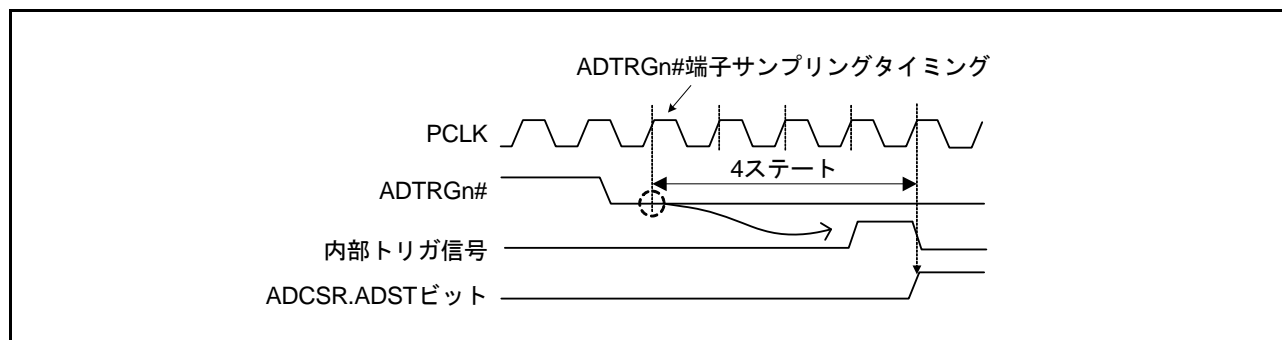


図 28.10 外部トリガ入力タイミング

28.3.9 周辺モジュールからのトリガによる A/D 変換の開始

MTU3 または GPT のタイマトリガによって、A/D 変換を開始することができます。タイマトリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを“1”、ADCSR.EXTRG ビットを“0”、ADSTRGR.ADSTRS[4:0] ビットで該当の A/D 変換開始要因を設定します。

28.4 割り込み要因と DTC 転送要求

28.4.1 A/D 変換の各 A/D 変換終了時の割り込み要求

A/D コンバータは、CPU への A/D 変換終了割り込み要求 (S12ADI) を発生することができます。

ADCSR.ADIE ビットを“1”にすると S12ADI 割り込みを許可し、“0”にすると S12ADI 割り込みを禁止することができます。

A/D コンバータを使用する際に 2 チャンルスキャンモードとダブルデータレジスタを併用した場合、A/D コントロール拡張レジスタの 2 チャンルスキャン割り込み選択ビット (ADCER.ADIE2)、およびダブルトリガ割り込み選択ビット (ADCER.ADIEW) の設定に係わらず、それぞれの変換終了時に毎回 S12ADI 割り込み要求が発生します。

また、S12ADI 割り込み発生時に DTC を起動させることができます。S12ADI 割り込みで変換されたデータの読み出しを DTC で行くと、連続変換がソフトウェアの負担なく実現できます。

DTC の設定は「14. データトランスファコントローラ (DTC)」を参照してください。

28.4.2 コンパレータ検出時の割り込み要求

コンパレータは、CPU へのコンパレータ検出割り込み要求 (CMPI) を発生させることができます。

ADCMPSSEL.SEL000 ~ 002, 100 ~ 102 ビットのいずれかを“1”にした後に、ADCMPSSEL.IE ビットを“1”にすると CMPI 割り込みを許可し、“0”にすると CMPI 割り込みを禁止することができます。ただし、コンパレータ検出フラグレジスタ (ADCMPSFR) のコンパレータ検出フラグが“1”の状態での割り込み要求は無視されますので、再度割り込みを可能にするには、該当するステータスフラグを“0”にしてください。

28.5 使用上の注意事項

28.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、A/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、A/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

28.5.2 A/D変換再開時の注意事項

ADCSR.ADSTビットを“0”にしてA/D変換を停止させると、A/Dコンバータのアナログ回路が停止するのに、ADCLK 2クロックの時間を必要とします。また、ADCSR.ADSTビットを“1”にしてA/D変換を開始させるのにADCLK 3クロックの時間を必要とします。

再開時には、自己診断を実施後に使用するようしてください。

28.5.3 A/D変換停止時の注意事項

A/D変換開始条件に外部トリガ、またはタイマを選択している場合、A/D変換を停止させるためには、ADCSR.TRGEビットを“0”にし、A/D変換開始条件をソフトウェアトリガにした後、ADCSR.ADSTビットを“0” (A/D変換停止) にしてください。

28.5.4 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、必ずA/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”にした後、A/Dコンバータのアナログ回路が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCSR.TRGEビットを“0” (ソフトウェアトリガ) にし、ADCSR.ADSTビットを“0”にした後、ADCSR.CKS[1:0]ビットを“11b” (PCLK) にしてください。その後、A/D変換が停止していることを確認した後 (停止までは6 PCLK以上の時間が必要です)、モジュールストップやソフトウェアスタンバイモードへ移行させてください。

またモジュールストップモードやソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ移行時は、A/Dコンバータの一部が動作待機状態となっています。A/Dコンバータを完全にスタンバイ状態とする場合は、MSTPCRA.MSTPA24を“1”にしてください。この場合、モジュールストップモードやソフトウェアスタンバイモードやディープソフトウェアスタンバイモード解除後にMSTPCRA.MSTPA24を“0”にし、さらに10ms待ってからA/D変換を開始してください。

28.5.5 許容信号源インピーダンスについて

RX62Tグループ、RX62Gグループのアナログ入力、高速変換1.0 μ sを実現するために、信号源インピーダンスが3.0k以下の入力信号に対し、変換精度が保証される設計となっています。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の10k Ω だけになりますので、信号源インピーダンスは不要となります。ただし、ローパスフィルタになっていますので、変化の急峻なアナログ信号 (たとえば5mV/ μ s以上) には追従できないことがあります (図28.11)。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、出力インピーダンスの低いバッファアンプを挿入してください。

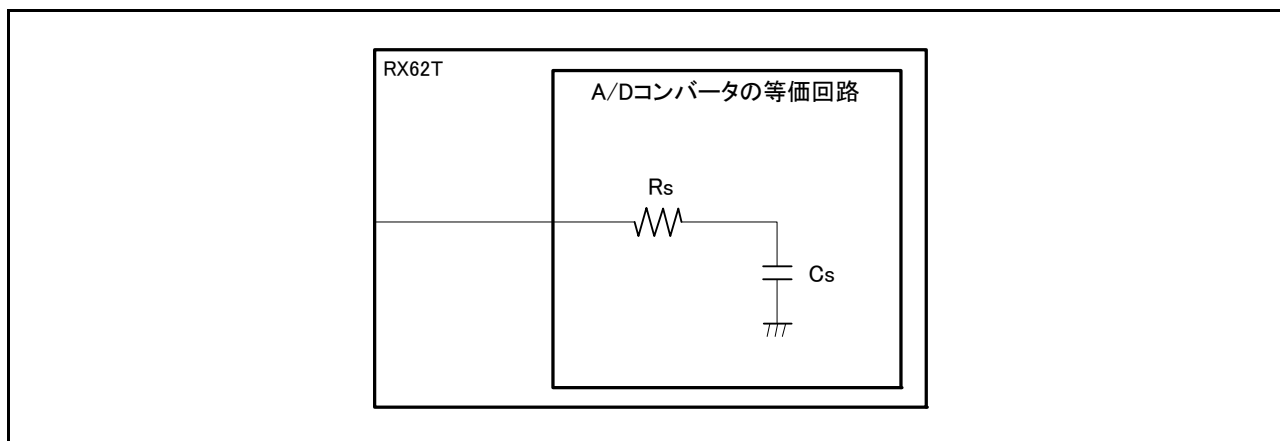


図 28.11 アナログ入力端子の内部等価回路

表 28.10 アナログ端子の規格

項目	min	max	単位	
許容信号源インピーダンス	—	3.0	kΩ	
端子の内部等価回路	Rs	—	10.0	kΩ
	Cs	—	8.0	pF

28.5.6 絶対精度への影響

容量を付加することにより GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、必ず AVSS0 等の電氣的に安定な GND に接続してください。

また、フィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

28.5.7 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてLSIを使用した場合、LSIの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲
アナログ入力端子AN_nに印加する電圧は $VREFL0 \leq VAN \leq VREFH0$ の範囲としてください。
- 各電源端子 (AVCC0 – AVSS0、AVCC – AVSS、VCC – VSS) の関係
各電源端子 (AVCC0 – AVSS0、AVCC – AVSS、VCC – VSS) の関係は $VCC \leq AVCC0=AVCC$ かつ $AVSS0=AVSS=VSS$ としてください。12ビットA/Dコンバータを使用しない場合は $VCC=AVCC0=AVCC$ 、 $AVSS0=AVSS=VSS$ としてください。
- VREFH0、VREFL0の設定範囲
VREFH0、VREFL0端子の設定範囲は、 $VREFH0 \leq AVCC0$ かつ $VREFL0=AVSS0$ としてください。A/Dコンバータを使用しない場合は $VREFH0=AVCC0$ 、 $VREFL0=AVSS0$ としてください。

28.5.8 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させないでください。アナログ信号にノイズが乗って、A/D変換値に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN003、AN100 ~ AN103)、アナログ基準電源 (VREFH0、VREFL0)、アナログ電源電圧 (AVCC0) は、アナロググランド (AVSS0) でデジタル回路と分離してください。さらに、アナロググランド (AVSS0) は、ボード上の安定したグランド (VSS) に一点接続してください。また、図 28.12 に示すように各々の電源間に最短で閉ループが形成できるように0.1μFのコンデンサを接続してください。

28.5.9 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN003、AN100 ~ AN103) の破壊を防ぐために、図 28.12 に示すように AVCC0-AVSS0 間、VREFH0-VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN003、AN100 ~ AN103) を基準に保護回路を接続してください。

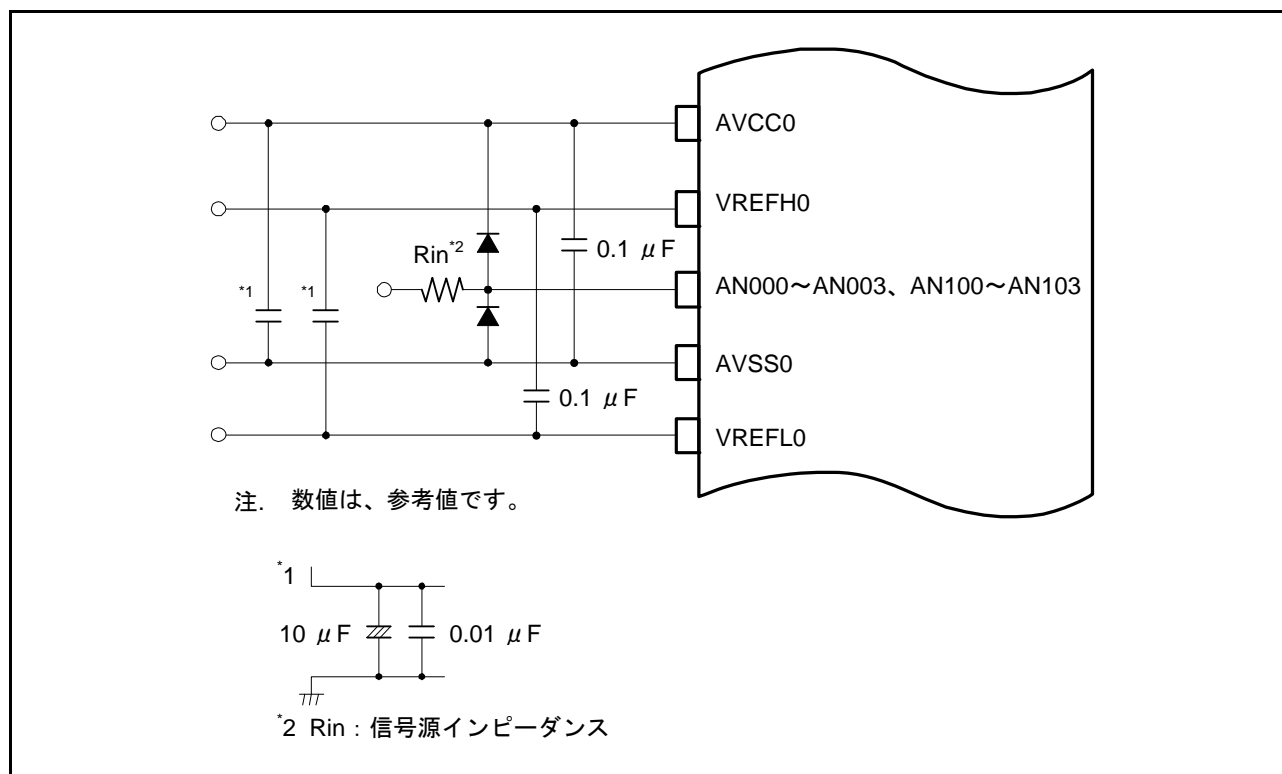


図 28.12 アナログ入力保護回路の例

28.5.10 2チャンネルスキャンモードとダブルデータレジスタ機能併用時の注意事項

2チャンネルスキャンモードとダブルデータレジスタを併用した場合、A/Dコントロール拡張レジスタの2チャンネルスキャン割り込み選択ビット (ADCER.ADIE2)、およびダブルトリガ割り込み選択ビット (ADCER.ADIEW) の設定にかかわらず、それぞれの変換終了時に毎回 S12ADI 割り込み要求が発生します。

29. 10ビットA/Dコンバータ (ADA)

29.1 概要

RX62Tグループ、RX62Gグループは、逐次比較方式の10ビットのA/Dコンバータを1ユニット内蔵しています。最大12チャンネルのアナログ入力を選択することができます。

A/Dコンバータの動作モードには、1チャンネルのアナログ入力を1回のみ変換するシングルモードと、最大12チャンネルのアナログ入力を順次連続して変換するスキャンモードがあります。

表29.1にA/Dコンバータの仕様を、表29.2に機能一覧を示します。図29.1にブロック図を示します。

表29.1 A/Dコンバータの仕様

項目	仕様
ユニット数	1ユニット
入力チャンネル	12チャンネル
A/D変換方式	逐次比較方式
分解能	10ビット
変換時間	1チャンネル当たり1.0 μ s (A/D変換クロック ADCLK = 50MHz、AVCC = 4.0~5.5V時) 1チャンネル当たり2.0 μ s (A/D変換クロック ADCLK = 25MHz、AVCC = 3.0~3.6V時)
A/D変換クロック	4種類：PCLK、PCLK/2、PCLK/4、PCLK/8
動作モード	<ul style="list-style-type: none"> シングルモード：1チャンネルのアナログ入力を1回のみ変換 スキャンモード 連続スキャンモード：最大12チャンネルのアナログ入力を繰り返し変換 1サイクルスキャンモード：最大12チャンネルのアナログ入力を1サイクルのみ変換
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ マルチファンクションタイムパルスユニット3 (MTU3)、または汎用PWMタイマ (GPT) からのトリガ 外部トリガ ADTRG#端子によってA/D変換を開始することが可能
機能	<ul style="list-style-type: none"> サンプル&ホールド機能 サンプリングステート数可変機能 A/Dコンバータの自己診断機能
割り込み要因	<ul style="list-style-type: none"> A/D変換終了でADC割り込み要求 (ADI0) を発生 ADI割り込みでデータトランスファコントローラ (DTC) を起動可能
消費電力低減機能	モジュールストップ状態への設定可能

表29.2 ADコンバータの機能一覧

項目			機能
アナログ入力チャネル			AN0 ~ AN11
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	可能
	外部トリガ	トリガ入力端子	ADTRG#
	MTU3からのトリガ	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	TRGA0N
		MTU1.TGRAのコンペアマッチ/インプットキャプチャ	TRGA1N
		MTU2.TGRAのコンペアマッチ/インプットキャプチャ	TRGA2N
		MTU3.TGRAのコンペアマッチ/インプットキャプチャ	TRGA3N
		MTU4.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	TRGA4N
		MTU6.TGRAのコンペアマッチ/インプットキャプチャ	TRGA6N
		MTU7.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	TRGA7N
		MTU0.TGREのコンペアマッチ	TRG0N
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	TRG4AN
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4BN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、 またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4AN または TRG4BN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	TRG4ABN
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	TRG7AN
		MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7BN
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、 またはMTU7.TADCORBとMTU7.TCNTのコンペアマッチ	TRG7AN または TRG7BN
		MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	TRG7ABN
		GPTからのトリガ	GPT0.GTADTRAのコンペアマッチ
	GPT0.GTADTRBのコンペアマッチ		GTADTRB0
	GPT1.GTADTRAのコンペアマッチ		GTADTRA1
	GPT1.GTADTRBのコンペアマッチ		GTADTRB1
	GPT2.GTADTRAのコンペアマッチ		GTADTRA2
	GPT2.GTADTRBのコンペアマッチ		GTADTRB2
	GPT3.GTADTRAのコンペアマッチ		GTADTRA3
	GPT3.GTADTRBのコンペアマッチ		GTADTRB3
	GPT0.GTADTRAのコンペアマッチ、またはGPT0.GTADTRBのコンペアマッチ		GTADTRA0 または GTADTRB0
	GPT1.GTADTRAのコンペアマッチ、またはGPT1.GTADTRBのコンペアマッチ		GTADTRA1 または GTADTRB1
	GPT2.GTADTRAのコンペアマッチ、またはGPT2.GTADTRBのコンペアマッチ		GTADTRA2 または GTADTRB2
GPT3.GTADTRAのコンペアマッチ、またはGPT3.GTADTRBのコンペアマッチ	GTADTRA3 または GTADTRB3		
割り込み			ADI 割り込み
モジュールストップ機能の設定 (注1)			MSTPCRA. MSTPA23ビット

注1. 詳細は「9. 消費電力低減機能」を参照してください。

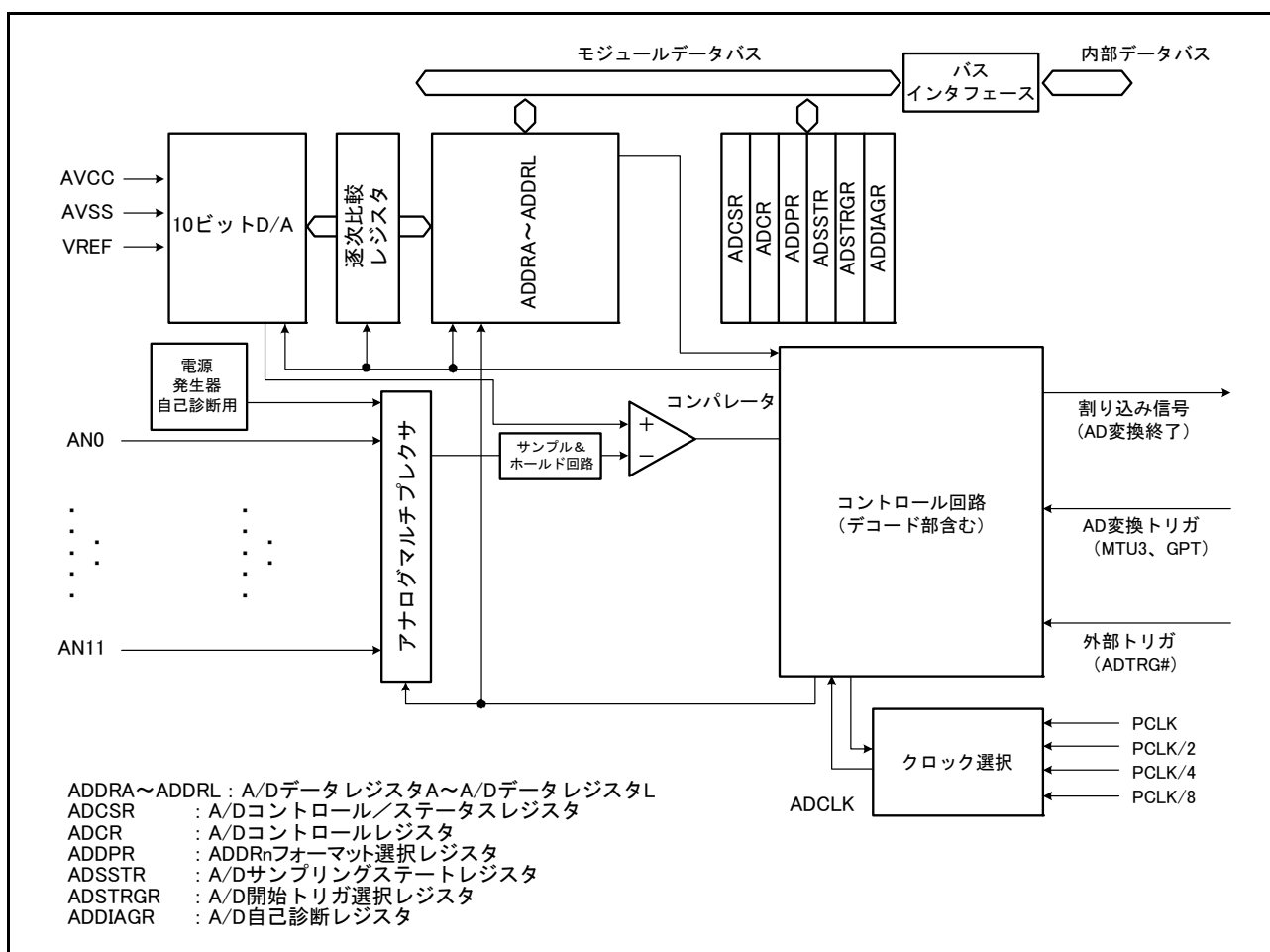


図 29.1 A/Dコンバータのブロック図

表 29.3 に A/D コンバータで使用する入力端子を示します。

表 29.3 A/Dコンバータの入力端子

モジュールシンボル	端子名	入力	機能
AD0	AN0 ~ AN11	入力	アナログ入力端子
	ADTRG#	入力	A/D変換開始のための外部トリガ入力端子
	AVCC	入力	アナログ回路の電源端子
	AVSS	入力	アナログ回路のグランド端子
	VREF	入力	A/Dコンバータの基準電源端子

29.2 レジスタの説明

表 29.4 に A/D コンバータのレジスタ一覧を示します。

表 29.4 A/Dコンバータのレジスタ一覧

モジュールシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
AD0	A/D データレジスタ A	ADDRA	0000h	0008 8040h	16
	A/D データレジスタ B	ADDRB	0000h	0008 8042h	16
	A/D データレジスタ C	ADDRC	0000h	0008 8044h	16
	A/D データレジスタ D	ADDRD	0000h	0008 8046h	16
	A/D データレジスタ E	ADDRE	0000h	0008 8048h	16
	A/D データレジスタ F	ADDRF	0000h	0008 804Ah	16
	A/D データレジスタ G	ADDRG	0000h	0008 804Ch	16
	A/D データレジスタ H	ADDRH	0000h	0008 804Eh	16
	A/D データレジスタ I	ADDRI	0000h	0008 8060h	16
	A/D データレジスタ J	ADDRJ	0000h	0008 8062h	16
	A/D データレジスタ K	ADDRK	0000h	0008 8064h	16
	A/D データレジスタ L	ADDRL	0000h	0008 8066h	16
	A/D コントロール/ステータスレジスタ	ADCSR	x0h	0008 8050h	8
	A/D コントロールレジスタ	ADCR	00h	0008 8051h	8
	AD サンプリングステートレジスタ	ADSSTR	19h	0008 805Bh	8
	A/D 自己診断レジスタ	ADDIAGR	00h	0008 805Dh	8
	A/D 開始トリガ選択レジスタ	ADSTRGR	00h	0008 8070h	8
	ADDR _n フォーマット選択レジスタ	ADDPR	00h	0008 8072h	8

29.2.1 A/D データレジスタ n (ADDRn) (n=A ~ L)

アドレス ADDR A 0008 8040h, ADDR B 0008 8042h, ADDR C 0008 8044h, ADDR D 0008 8046h
 ADDR E 0008 8048h, ADDR F 0008 804Ah, ADDR G 0008 804Ch, ADDR H 0008 804Eh
 ADDR I 0008 8060h, ADDR J 0008 8062h, ADDR K 0008 8064h, ADDR L 0008 8066h

・ ADDPR.DPSELビット=1, ADDPR.DPPRCビット=0 (データは10ビット精度、MSB詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b6	AD9~AD0	変換値[9:0]	10ビットA/D変換値	R

・ ADDPR.DPSELビット=1, ADDPR.DPPRCビット=1 (データは8ビット精度、MSB詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b8	AD9~AD2	変換値[9:2]	10ビットA/D変換値の上位8ビット	R

・ ADDPR.DPSELビット=0、ADDPR.DPPRCビット=0 (データは10ビット精度、LSB詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	AD9~AD0	変換値[9:0]	10ビットA/D変換値	R
b15-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

・ ADDPR.DPSELビット=0、ADDPR.DPPRCビット=1 (データは8ビット精度、LSB詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	AD9~AD2	変換値[9:2]	10ビットA/D変換値の上位8ビット	R
b15-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

ADDRn レジスタは、A/D 変換結果を格納する 16 ビットのリードのみ可能なレジスタです。

アナログ入力チャンネルと ADDRn レジスタの対応を、表 29.5 に示します。

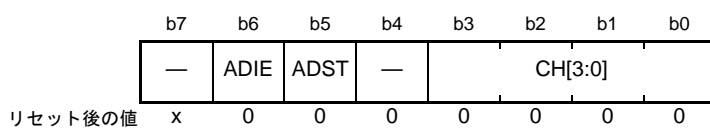
ADDPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。また、ADDPR.DPPRC ビットの設定により、格納データのビット精度を設定できます。

表 29.5 アナログ入力チャンネルと ADDRn レジスタの対応

アナログ入力チャンネル	ADDRn レジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH
AN8	ADDRI
AN9	ADDRJ
AN10	ADDRK
AN11	ADDRL

29.2.2 A/Dコントロール/ステータスレジスタ (ADCSR)

アドレス 0008 8050h



x : 不定

ビット	シンボル	ビット名	機能		R/W																																										
b3-b0	CH[3:0]	チャンネル選択ビット (注1)	シングルモード (ADCR.MODE[1:0]="00b")	スキャンモード (ADCR.MODE[1:0]="10b"または"11b")	R/W																																										
			<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>:</td> <td>AN0</td> </tr> <tr> <td>0 0 0 1</td> <td>:</td> <td>AN1</td> </tr> <tr> <td>0 0 1 0</td> <td>:</td> <td>AN2</td> </tr> <tr> <td>0 0 1 1</td> <td>:</td> <td>AN3</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td>1 0 1 1</td> <td>:</td> <td>AN11</td> </tr> </table> 上記以外は設定しないでください	b3	b0		0 0 0 0	:	AN0	0 0 0 1	:	AN1	0 0 1 0	:	AN2	0 0 1 1	:	AN3	:	:	:	1 0 1 1	:	AN11	<table border="0"> <tr> <td>b3</td> <td>b0</td> <td></td> </tr> <tr> <td>0 0 0 0</td> <td>:</td> <td>AN0</td> </tr> <tr> <td>0 0 0 1</td> <td>:</td> <td>AN0、AN1</td> </tr> <tr> <td>0 0 1 0</td> <td>:</td> <td>AN0~AN2</td> </tr> <tr> <td>0 0 1 1</td> <td>:</td> <td>AN0~AN3</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td>1 0 1 1</td> <td>:</td> <td>AN0~AN11</td> </tr> </table> 上記以外は設定しないでください	b3	b0		0 0 0 0	:	AN0	0 0 0 1	:	AN0、AN1	0 0 1 0	:	AN0~AN2	0 0 1 1	:	AN0~AN3	:	:	:	1 0 1 1	:	AN0~AN11	
b3	b0																																														
0 0 0 0	:	AN0																																													
0 0 0 1	:	AN1																																													
0 0 1 0	:	AN2																																													
0 0 1 1	:	AN3																																													
:	:	:																																													
1 0 1 1	:	AN11																																													
b3	b0																																														
0 0 0 0	:	AN0																																													
0 0 0 1	:	AN0、AN1																																													
0 0 1 0	:	AN0~AN2																																													
0 0 1 1	:	AN0~AN3																																													
:	:	:																																													
1 0 1 1	:	AN0~AN11																																													
b4	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください		R/W																																										
b5	ADST	A/Dスタートビット	0 : A/D変換停止 1 : A/D変換開始		R/W																																										
b6	ADIE	A/D割り込み許可ビット	0 : A/D変換終了によるADI割り込み禁止 1 : A/D変換終了によるADI割り込み許可		R/W																																										
b7	—	予約ビット	読む場合、その値は不定です。書く場合、"0"としてください		R/W																																										

注1. アナログ入力として使用する端子のPORTn.DDR.Biビットを"0" (入力ポート) に、PORTn.ICR.Biビットを"0" (対応する端子の入力バッファは無効となり、入力信号はHighに固定) にしてください。詳細は、「15. I/Oポート」を参照してください (n=6,5、i=5~0)。

ADCSR レジスタは、A/D変換動作を制御するレジスタです。

CH[3:0]、ADIE ビットの設定変更は、ADST ビットが"0"のときに行ってください。

CH[3:0] ビット (チャンネル選択ビット)

A/D変換を行うアナログ入力チャンネルを選択します。

- シングルモード (ADCR.MODE[1:0] ビットが"00b")
A/D変換を行うアナログ入力チャンネルを1チャンネル選択します。
- スキャンモード (ADCR.MODE[1:0] ビットが"10b"または"11b")
A/D変換を行うアナログ入力チャンネルを最大12チャンネル選択します。

ADST ビット (A/D スタートビット)

A/D 変換の開始/停止を制御します。

ADST ビットを“1”にする前に A/D 変換クロックや動作モードの設定を行ってください。

[“1”になる条件]

- ソフトウェアで“1”を書いたとき
- ADSTRGR.ADSTRS[4:0] ビットで選択したトリガを検出したとき

[“0”になる条件]

- ソフトウェアで“0”を書いたとき
- シングルモードで A/D 変換が終了したとき
- 1 サイクルスキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき

ADIE ビット (A/D 割り込み許可ビット)

A/D 変換終了による ADI 割り込み許可/禁止を選択します。

29.2.3 A/D コントロールレジスタ (ADCR)

アドレス 0008 8051h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	CKS[1:0]	MODE[1:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MODE[1:0]	動作モード選択ビット	b1 b0 0 0 : シングルモード 0 1 : 設定しないでください 1 0 : 連続スキャンモード 1 1 : 1サイクルスキャンモード	R/W
b3-b2	CKS[1:0]	クロック選択ビット	b3 b2 0 0 : PCLK/8 0 1 : PCLK/4 1 0 : PCLK/2 1 1 : PCLK	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADCR レジスタは、A/D 変換の動作モード、A/D 変換クロックの設定を行うレジスタです。

ADCR レジスタの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

MODE[1:0] ビット (動作モード選択ビット)

A/D 変換の動作モードを選択します。

CKS[1:0] ビット (クロック選択ビット)

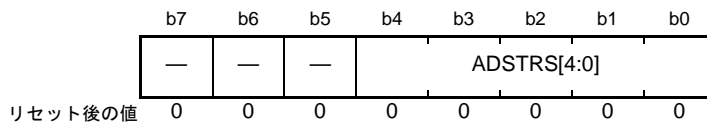
A/D 変換時間を決める A/D 変換クロック (ADCLK) の周波数を設定するレジスタです。

ADCLK の周波数は、4MHz 以上になるように設定してください。また AVCC = 3.0 ~ 3.6V で使用する場合は、ADCLK の周波数は 25MHz 以下になるように設定してください。

詳細は、「29.3.3 入力サンプリングと A/D 変換時間」を参照してください。

29.2.4 A/D開始トリガ選択レジスタ (ADSTRGR)

アドレス 0008 8070h



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADSTRS[4:0]	A/D開始トリガ選択ビット	ビット4~0の組み合わせで周辺モジュールからのA/D変換起動要因を選択します。起動要因と設定値の関係は表29.6を参照してください。	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 29.6 A/D起動要因選択一覧

起動要因	要因名	開始条件	ADSTRS [4]	ADSTRS [3]	ADSTRS [2]	ADSTRS [1]	ADSTRS [0]
ソフトウェア	ADST	ADCSR.ADSTビットをセット	—	—	—	—	—
外部端子	ADTRG# (注1)	外部トリガ	0	0	0	0	0
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	1	0	1
	TRGA6N	MTU6.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	1	0
	TRGA7N	MTU7.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU7.TCNTのアンダフロー (谷)	0	0	1	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、または MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	1	0	0
	TRG7AN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ	0	1	1	0	1
	TRG7BN	MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	1	1	1	0
	TRG7AN または TRG7BN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチ、または MTU7.TADCORBとMTU7.TCNTのコンペアマッチ	0	1	1	1	1
TRG7ABN	MTU7.TADCORAとMTU7.TCNTのコンペアマッチと、 MTU7.TADCORBとMTU7.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	1	0	0	0	0	
GPT	GTADTRA0	GPT0.GTADTRAのコンペアマッチ	1	0	0	0	1
	GTADTRB0	GPT0.GTADTRBのコンペアマッチ	1	0	0	1	0
	GTADTRA1	GPT1.GTADTRAのコンペアマッチ	1	0	0	1	1
	GTADTRB1	GPT1.GTADTRBのコンペアマッチ	1	0	1	0	0
	GTADTRA2	GPT2.GTADTRAのコンペアマッチ	1	0	1	0	1
	GTADTRB2	GPT2.GTADTRBのコンペアマッチ	1	0	1	1	0
	GTADTRA3	GPT3.GTADTRAのコンペアマッチ	1	0	1	1	1
	GTADTRB3	GPT3.GTADTRBのコンペアマッチ	1	1	0	0	0
	GTADTRA0 または GTADTRB0	GPT0.GTADTRAのコンペアマッチ、または GPT0.GTADTRBのコンペアマッチ	1	1	0	0	1
	GTADTRA1 または GTADTRB1	GPT1.GTADTRAのコンペアマッチ、または GPT1.GTADTRBのコンペアマッチ	1	1	0	1	0
	GTADTRA2 または GTADTRB2	GPT2.GTADTRAのコンペアマッチ、または GPT2.GTADTRBのコンペアマッチ	1	1	0	1	1
	GTADTRA3 または GTADTRB3	GPT3.GTADTRAのコンペアマッチ、または GPT3.GTADTRBのコンペアマッチ	1	1	1	0	0

注1. A/D変換を開始するトリガをADTRG#に設定する場合は、該当する端子のPORTn.DDR.Biビットを“0” (入力ポート)に、PORTn.ICR.Biビットを“1” (対応する端子の入力バッファは有効)に設定してください。詳細は「15. I/Oポート」を参照してください。
(n=2、i=2)

29.2.5 ADDRn フォーマット選択レジスタ (ADDPR) (n = A ~ L)

アドレス 0008 8072h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	DPPRC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DPPRC	ビット精度指定ビット	0 : A/D データレジスタに10ビット精度で格納 1 : A/D データレジスタに8ビット精度で格納	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	ADDRn フォーマット選択ビット	0 : データはLSB 詰め 1 : データはMSB 詰め	R/W

ADDPR レジスタは、A/D データレジスタのデータ配置を選択するレジスタです。

DPPRC ビット (ビット精度指定ビット)

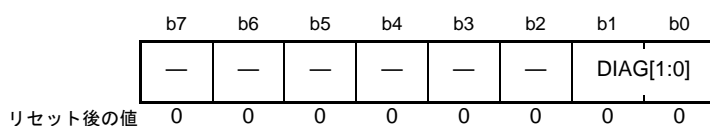
A/D 変換結果を、A/D データレジスタに8ビット精度で格納するか、10ビット精度で格納するかを選択します。

DPSEL ビット (ADDRn フォーマット選択ビット)

A/D データレジスタ n (ADDRn) のデータを LSB 詰めか、MSB 詰めかを選択します。

29.2.6 A/D 自己診断レジスタ (ADDIAGR)

アドレス 0008 805Dh



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAG[1:0]	自己診断指示ビット	b1 b0 0 0 : 通常動作 0 1 : VREF×0の電圧を使用し、自己診断を行う 1 0 : VREF×1/2電圧を使用し、自己診断を行う 1 1 : VREF×1の電圧を使用し、自己診断を行う	R/W
b7-2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDIAGR レジスタは、自己診断機能の設定および自己診断機能使用時の電圧を設定するレジスタです。ADDIAGR レジスタの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

DIAG[1:0] ビット (自己診断ビット)

自己診断は、A/D コンバータの故障を検出するための機能です。内部で生成する VREF×0、VREF×1/2、VREF×1 の3つの電圧値のいずれかを変換します。

自己診断を行うには、ADDIAGR.DIAG[1:0] ビットで電圧値を選択し、以下の設定で A/D 変換を行ってください。

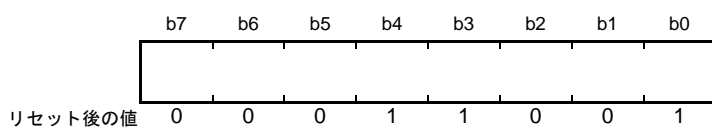
- シングルモード (ADCR.MODE[1:0] ビット =“00b”)
- アナログ入力 AN0 のみを有効 (ADCSR.CH[3:0] ビット =“0000b”) (注1)
- ソフトウェアによる A/D 変換開始 (ADCR.TRGS[2:0]=“000b”)

変換が終了すると A/D データレジスタ A (ADDRA) に変換結果を格納します。その後、ソフトウェアで ADDRA を読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断の実行時間は、1 チャンネルの A/D 変換時間と同じです。

注1. A/D コンバータを自己診断する場合には AN0 を入力チャンネルに設定してください。この設定は変換結果を格納するデータレジスタを選択するために必要ですが、AN0 端子は無効となります。

29.2.7 A/D サンプリングステートレジスタ (ADSSTR)

アドレス 0008 805Bh



ADSSTR レジスタは、アナログ入力のサンプリング時間を設定するための 8 ビットのリード/ライト可能なレジスタです。

アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速な場合に、サンプリング時間を調整することができます。

設定値は、“02h” 以上の値を設定してください。

誤動作を避けるため、A/D 変換停止 (ADCSR.ADST ビットが “0”) の状態で書き替えてください。

詳細は、「29.3.3 入力サンプリングと A/D 変換時間」を参照してください。

29.3 動作説明

A/Dコンバータの動作モードには、シングルモードとスキャンモードがあります。

シングルモードは、指定された1チャンネルのアナログ入力を1回のみ変換します。

スキャンモードは、最大12チャンネルのアナログ入力を順次連続して変換します。

スキャンモードには、A/D変換を繰り返し行う連続スキャンと、設定されたチャンネルを1サイクルのみ行う1サイクルスキャンがあります。

29.3.1 シングルモード

シングルモードでは、指定された1チャンネルのアナログ入力を以下のように1回のみA/D変換を行います。

1. ソフトウェア、MTU3、GPTまたは外部トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、選択されたチャンネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタn（ADDRn）に格納されます。
3. A/D変換終了後、ADCSR.ADIEビットが“1”（A/D変換終了によるADI割り込み許可）であれば、ADI割り込み要求が発生します。
4. ADCSR.ADSTビットはA/D変換中は“1”を保持し、変換が終了すると自動的に“0”になり、A/Dコンバータは待機状態になります。
5. A/D変換中にADCSR.ADSTビットを“0”（A/D変換停止）にするとA/D変換を中止し、A/Dコンバータは待機状態になります。

アナログ入力にAN1を選択した場合の動作例を図29.2に示します。

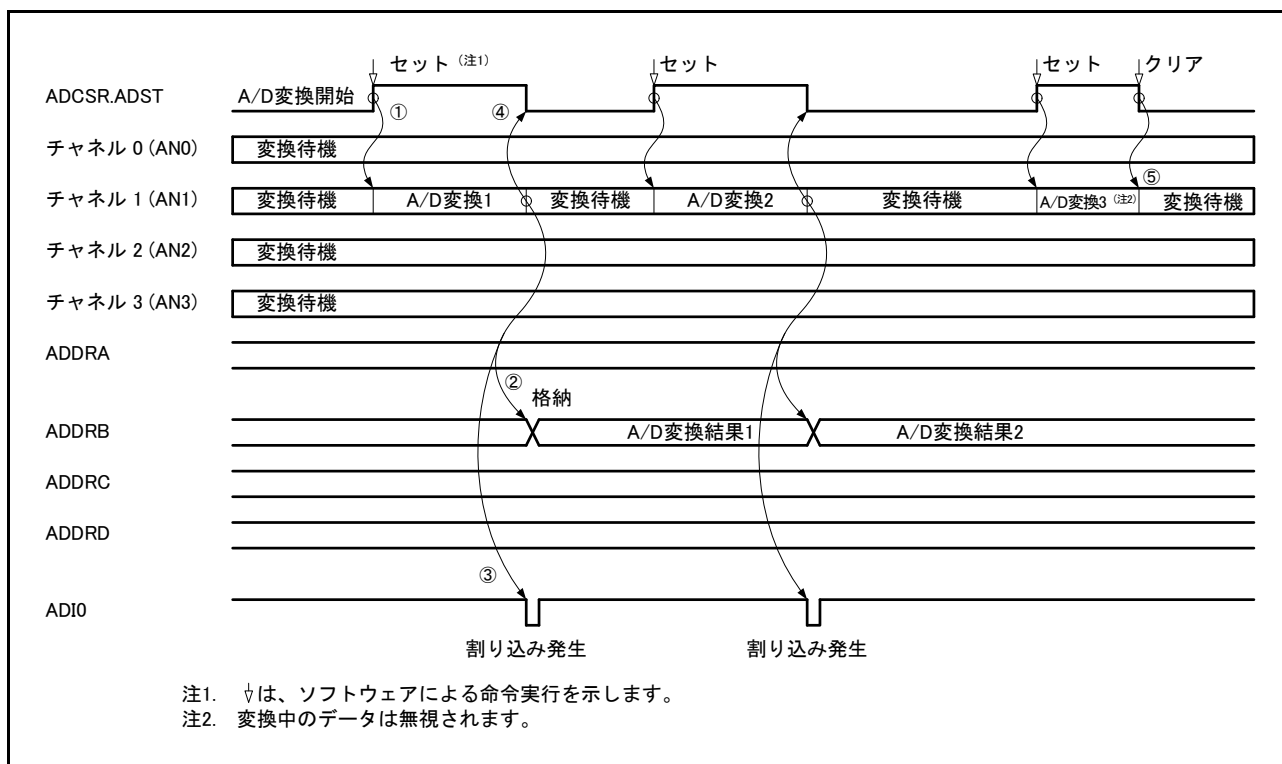


図 29.2 A/Dコンバータの動作例（シングルモード）

29.3.2 スキャンモード

スキャンモードでは、最大 12 チャンネルのアナログ入力を以下のように順次連続して A/D 変換を行います。

スキャンモードには、A/D 変換を繰り返し行う連続スキャンと、設定されたチャンネルを 1 サイクルのみ変換する 1 サイクルスキャンがあります。

29.3.2.1 連続スキャンモード

連続スキャンモードは、設定されたチャンネルのアナログ入力を以下のように繰り返し A/D 変換を行います。

1. ソフトウェア、MTU3、GPT または外部トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、選択されたチャンネルのうち、チャンネル番号の若いほうから A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ n (ADDRn) (n = A ~ L) に格納されます。
3. 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (A/D 変換終了による ADI 割り込み許可) であれば、ADI 割り込み要求が発生します。A/D コンバータはチャンネル番号の若いほうから A/D 変換を開始します。
4. ADCSR.ADST ビットは自動的に“0”にならず、“1”の間は 2. ~ 3. を繰り返します。ADCSR.ADST ビットを“0” (A/D 変換停止) にすると A/D 変換を中止し、A/D コンバータは待機状態になります。
5. その後、ADCSR.ADST ビットを“1” (A/D 変換開始) にすると再びチャンネルの若いほうから A/D 変換を開始します。

アナログ入力に AN0 ~ AN2 の 3 チャンネルを選択した場合の動作例を図 29.3 に示します。

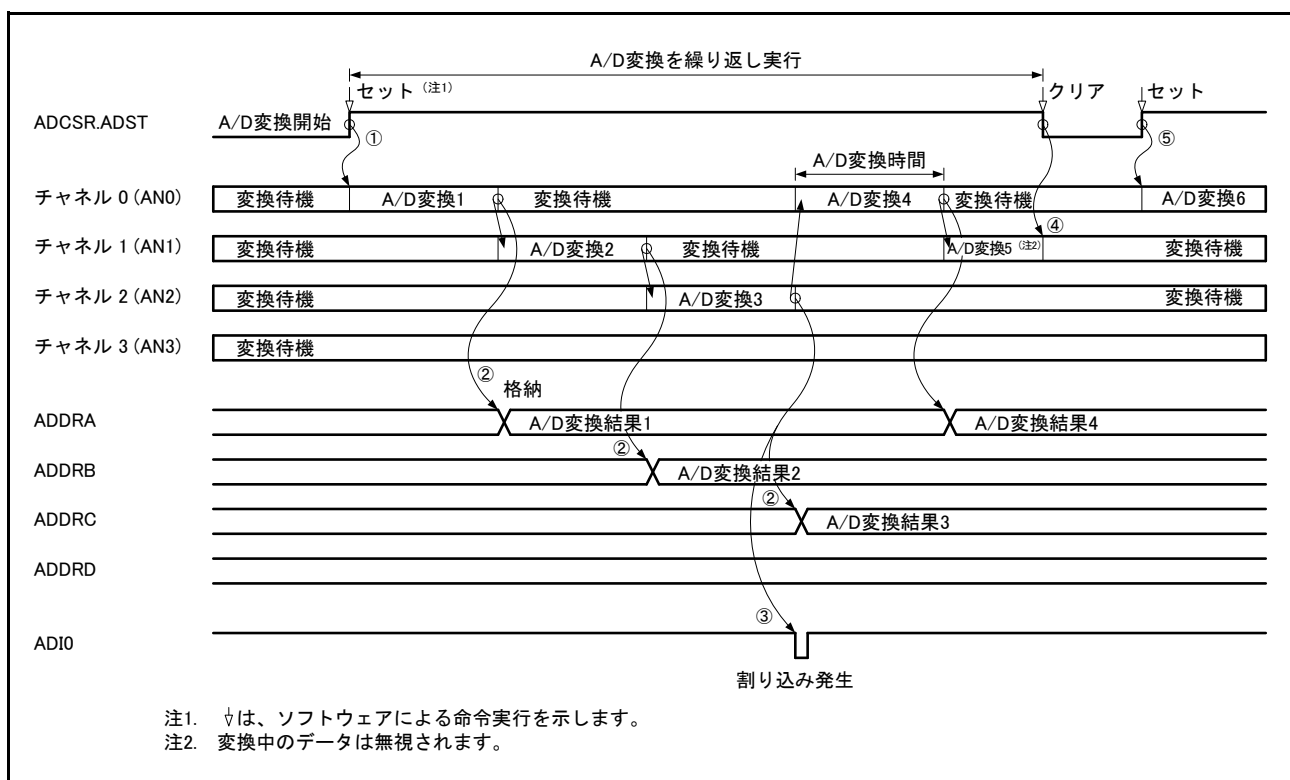


図 29.3 A/D コンバータの動作例 (連続スキャンモード)

29.3.2.2 1 サイクルスキャンモード

1 サイクルスキャンモードは、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換を行います。

1. ソフトウェア、MTU3、GPTまたは外部トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、選択されたチャンネルのうち、チャンネル番号の若いほうからA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタn（ADDRn）（n = A ~ L）に格納されます。
3. 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（A/D変換終了によるADI割り込み許可）に設定されていると、ADI割り込み要求が発生します。
4. ADCSR.ADSTビットはA/D変換中は“1”を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的に“0”になり、A/Dコンバータは待機状態になります。

アナログ入力にAN0 ~ AN2の3チャンネルを選択した場合の動作例を図29.4に示します。

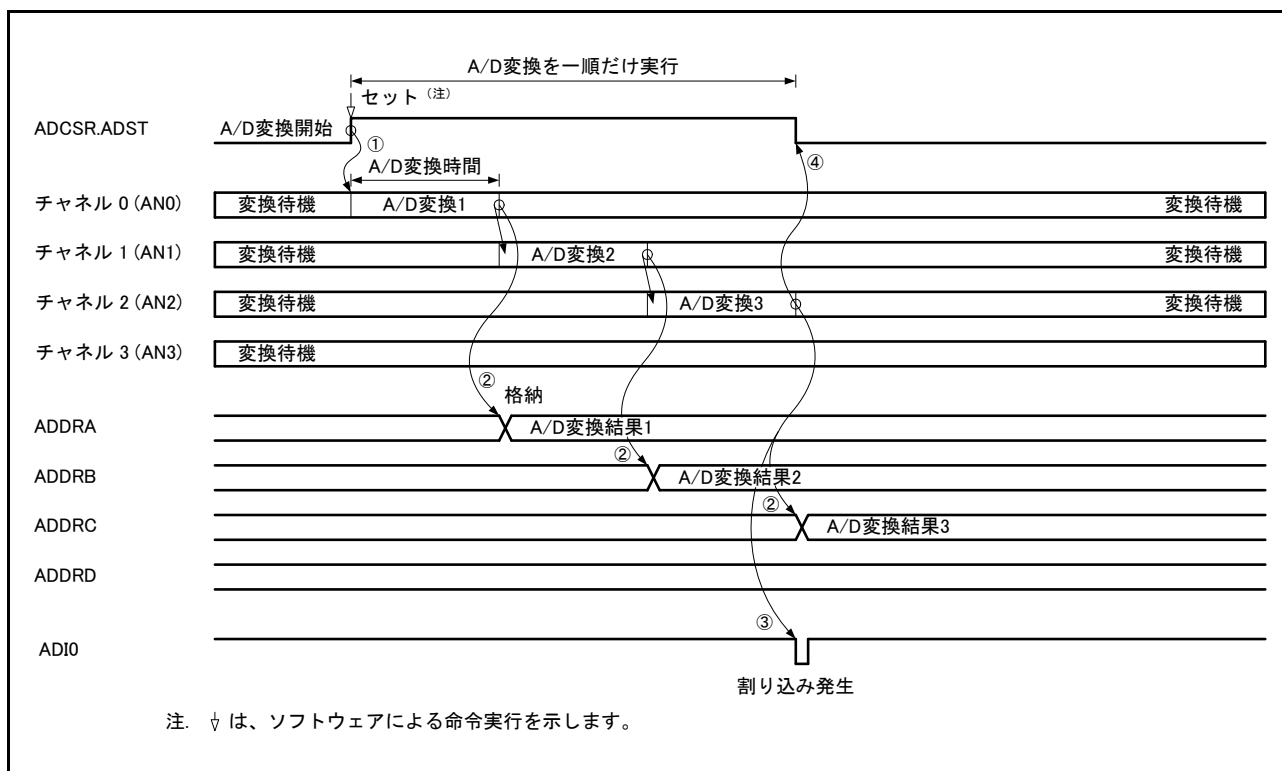


図 29.4 A/Dコンバータの動作例 (1 サイクルスキャンモード)

29.3.3 入力サンプリングと A/D 変換時間

A/Dコンバータは、ソフトウェア、MTU3、GPTまたは、外部トリガによるA/D変換開始条件が発生してからA/D変換開始遅延時間 (t_D) 経過後、アナログ入力のスAMPLINGを行い、その後A/D変換を開始します。

A/D変換のタイミングを図29.5に示します。

A/D変換開始条件発生直後のA/D変換時間 (t_{CONV}) は、 t_D と入力サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。それ以降のA/D変換時間 (t_{CONV}) は、 t_{SPL} と t_{SAM} を含めた時間となります。

サンプリング時間 (t_{SPL}) は、A/Dコンバータのサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D変換クロック (ADCLK) が低速な場合にはADSSTRレジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、常にADCLKの25サイクル固定です。

ADSSTRレジスタの設定例を表29.7に、A/D変換時間を表29.8に示します。

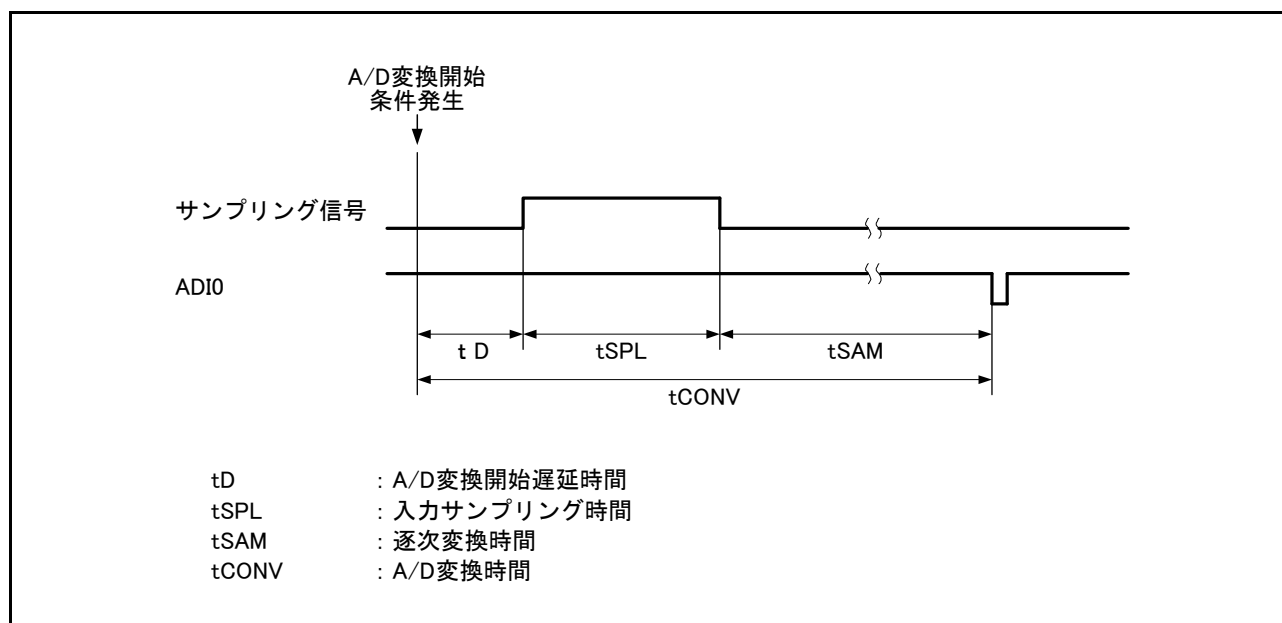


図 29.5 A/D 変換タイミング

表 29.7 ADSSTR レジスタの設定例

使用例	設定範囲	サンプリング時間 (注1)
標準 (初期値)	"19h"	0.5 μ s (PCLK=ADCLK=50MHz時)
アナログ入力の信号源インピーダンスが高く、サンプリング時間が不足する場合に設定	"1Ah" ~ "FFh"	例: "FFh" 5.1 μ s (PCLK=ADCLK=50MHz時)
ADCLKが50MHzに満たない場合に、サンプリング時間を初期値より短くする場合に設定	"02h" ~ "18h"	例: "14h" 0.5 μ s (PCLK=ADCLK=40MHz時)

注1. サンプリング時間 $\geq 0.5\mu$ s となるように設定してください。サンプリング時間は、以下の式で計算します。

$$\text{サンプリング時間 } (\mu\text{s}) = \frac{\text{ADSSTRレジスタ設定値}}{\text{ADCLK (MHz)}}$$

表 29.8 A/D変換時間

項目	記号	計算式	
		min	max
A/D変換開始遅延時間 (①)	tD	$\frac{3}{\text{PCLK (MHz)}}$	$\frac{1}{\text{ADCLK (MHz)}} + \frac{4}{\text{PCLK (MHz)}}$
入力サンプリング時間 (②)	tSPL	$\frac{\text{ADSSTRレジスタ設定値}}{\text{ADCLK (MHz)}}$	
逐次変換時間 (③)	tSAM	$\frac{25}{\text{ADCLK (MHz)}}$	
A/D変換時間 (注1)	tCONV	①+②+③	
A/D変換時間 (注2)	tCONV	②+③	

注1. シングルモード、スキャンモード (1回目) のA/D変換時間

注2. スキャンモード (2回目以降) のA/D変換時間

A/D変換時間の計算例を示します。

PCLK=ADCLK=50MHz、ADSSTR=19h、スキャンモード (2回目) の場合、

$$\begin{aligned} \text{A/D変換時間 (tCONV)} &= \text{ADSSTR/ADCLK} + 25/\text{ADCLK} \\ &= 25/50\text{MHz} + 25/50\text{MHz} \\ &= 0.5\mu\text{s} + 0.5\mu\text{s} \\ &= 1.0\mu\text{s} \end{aligned}$$

PCLK=ADCLK=40MHz、ADSSTR=14h、スキャンモード (1回目: min) の場合

$$\begin{aligned} \text{A/D変換時間 (tCONV)} &= 3/\text{PCLK} + \text{ADSSTR/ADCLK} + 25/\text{ADCLK} \\ &= 3/40\text{MHz} + 20/40\text{MHz} + 25/40\text{MHz} \\ &= 0.075\mu\text{s} + 0.5\mu\text{s} + 0.625\mu\text{s} \\ &= 1.2\mu\text{s} \end{aligned}$$

29.3.4 外部トリガによる A/D 変換の開始

外部トリガ入力 (ADTRG#) により、A/D 変換を開始することができます。

ADSTRGR.ADSTRS[4:0] ビットを“00000b” (ADTRG# からのトリガ) にすると、ADTRG# の立ち下がりエッジで、ADCSR.ADST ビットが“1” (A/D 変換開始) になり、A/D 変換が開始されます。このタイミングを図 29.6 に示します。

外部トリガ使用時、外部トリガ入力が入力レベルがすでに Low だった場合、内部信号に立ち下がりエッジが発生し、A/D 変換が開始される場合がありますので注意してください。

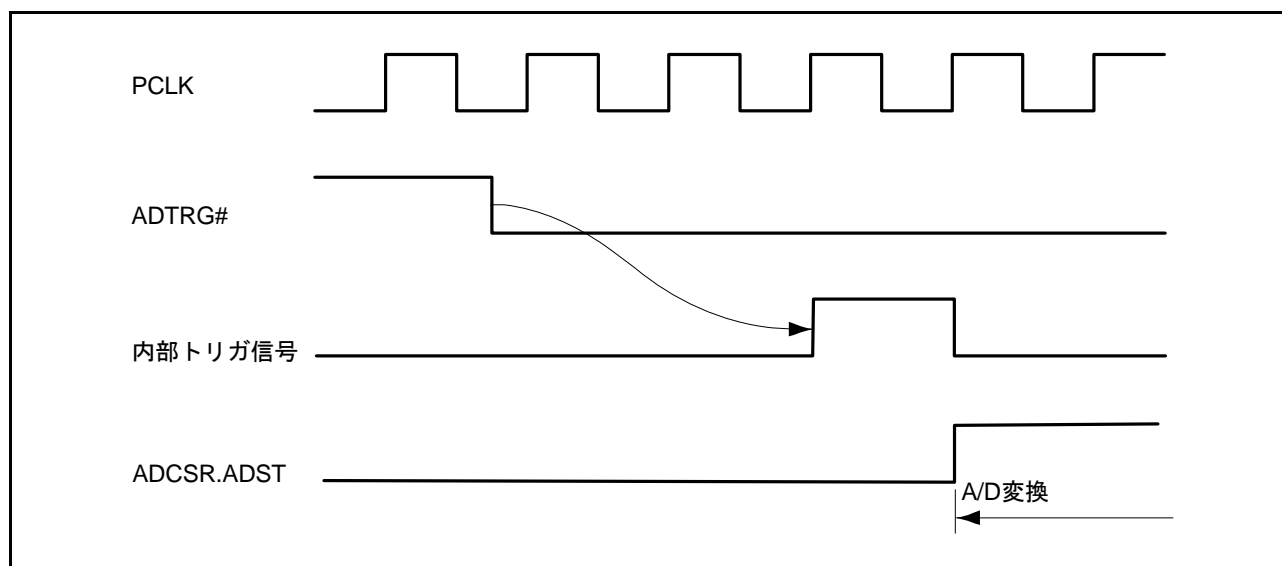


図 29.6 外部トリガ入力タイミング

29.3.5 MTU3、GPT による起動

MTU3、GPT のインターバルタイマの A/D 変換要求によって、A/D 変換を開始することができます。

MTU3、GPT から A/D コンバータを起動するときには、ADSTRGR.ADSTRS[4:0] ビットで A/D 変換起動要因の設定を行います。この状態で MTU3、GPT のインターバルタイマの A/D 変換要求が発生すると、ADCSR.ADST ビットが“1” (A/D 変換開始) になり、A/D 変換が開始されます。ADCSR.ADST ビットが“1” になってから A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADCSR.ADST ビットに“1” を書いた場合と同じです。

29.4 割り込み要因

A/Dコンバータは、ADCSR.ADIEビットが“1”（A/D変換終了によるADI割り込み許可）の状態ではA/D変換が終了すると割り込み（ADI0）が発生します。

ADI割り込みはデータトランスファコントローラ（DTC）の起動もできます。ADI割り込みでDTCを起動し、変換されたデータのリードを行うと、連続変換がCPUを介さずに実現できます。

表 29.9 A/Dコンバータの割り込み要因

名称	割り込み要因	割り込みステータスフラグ	DTCの起動
ADI0	A/D変換終了	ICU.IR98.IR	可能

29.5 A/D変換精度の定義

RX62Tグループ、RX62GグループのA/D変換精度の定義は以下のとおりです。

- 分解能
A/Dコンバータのデジタル出力コード数
- 量子化誤差
A/Dコンバータが本質的に有する偏差であり、1/2LSBで与えられる（図 29.7）
- オフセット誤差
デジタル出力が最小電圧値“000000000b（000h）”から“0000000001b（001h）”に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図 29.8）
- フルスケール誤差
デジタル出力が“111111110b（3FEh）”から“111111111b（3FFh）”に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図 29.8）
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図 29.8）
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

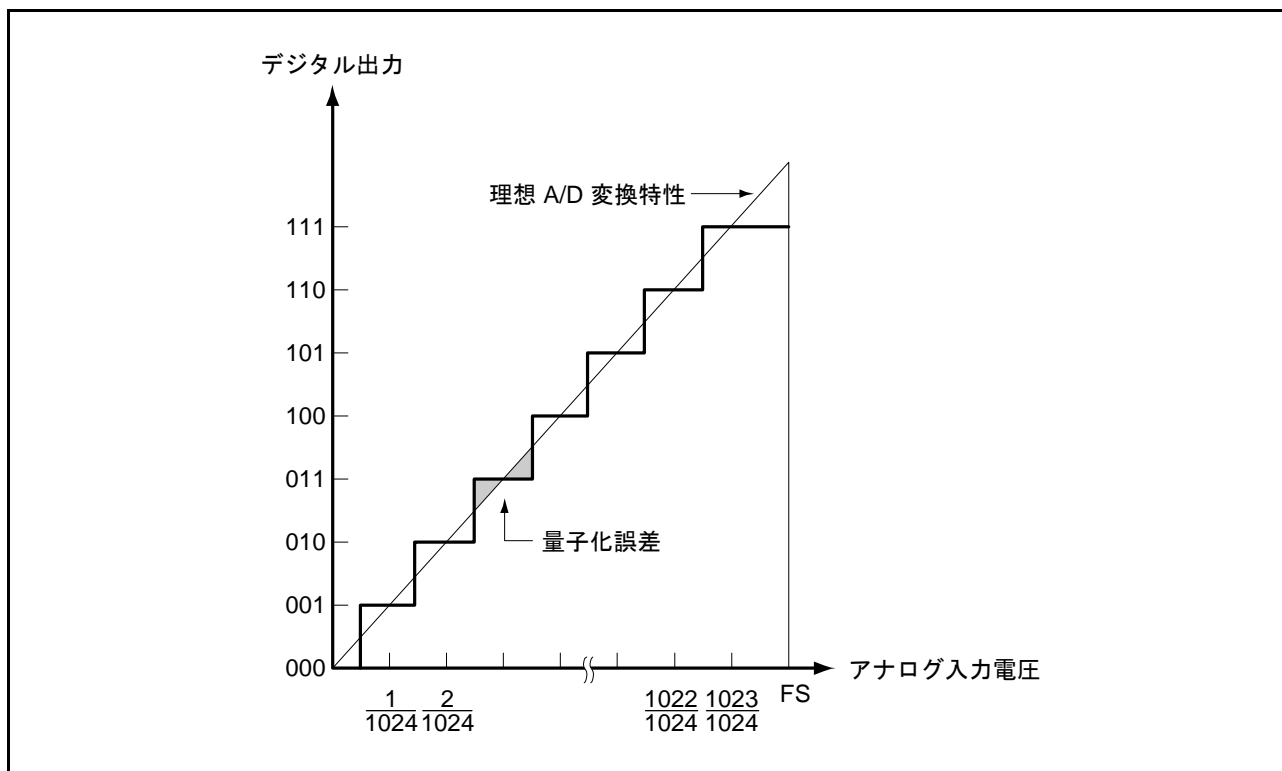


図 29.7 A/D 変換精度の定義 (1)

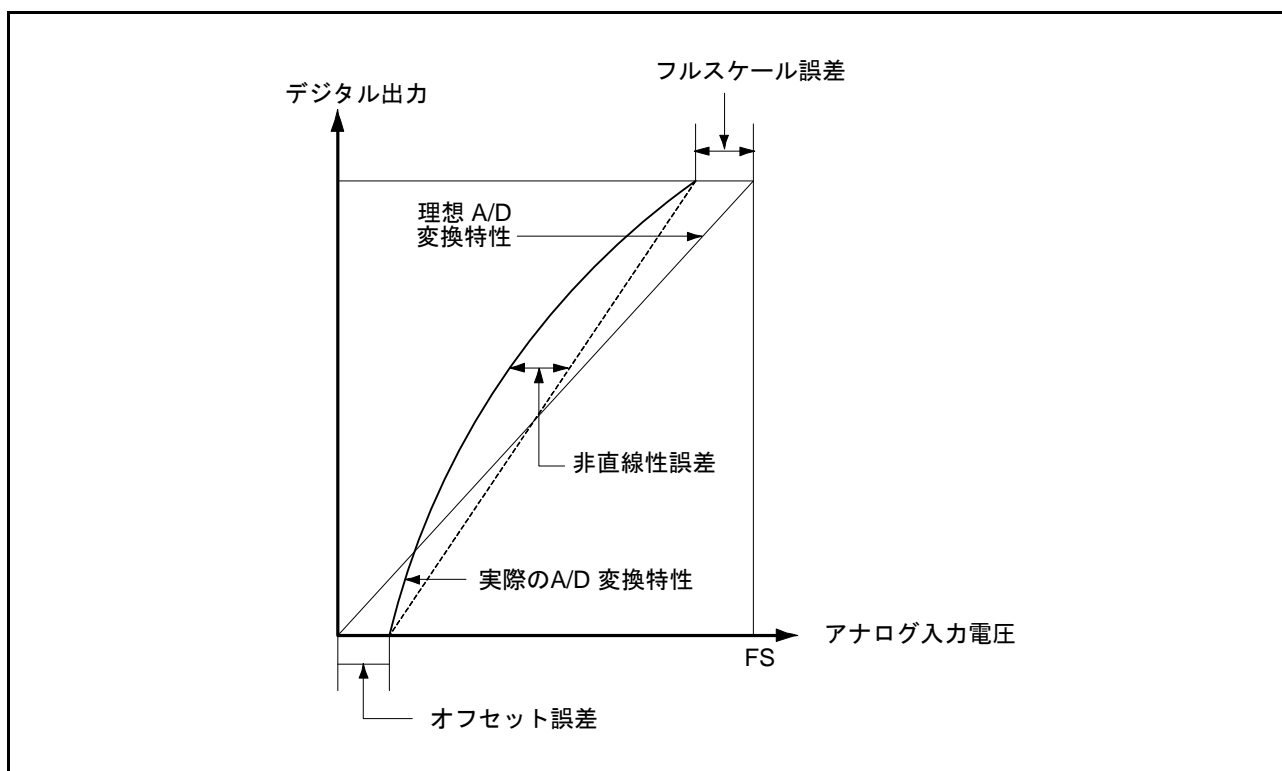


図 29.8 A/D 変換精度の定義 (2)

29.6 使用上の注意事項

29.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、ユニットごとにA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、A/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「9. 消費電力低減機能」を参照してください。

29.6.2 A/D変換停止時の注意事項

A/D変換開始条件に外部トリガ、またはタイマを選択している場合、A/D変換を停止させるためには、ADCSR.ADSTビットを“0”（A/D変換停止）にしてください。

29.6.3 A/D変換再開時の注意事項

ADCSR.ADSTビットを“0”にしてA/D変換を停止させると、A/Dコンバータのアナログ回路が停止するに、ADCLK 1クロックの時間を必要とします。

ADCSR.ADSTビットを“0”にしてA/D変換を停止させた後にA/D変換を再開する場合は、ADCLK 1クロックの時間が経過した後に、ADCSR.ADSTビットを“1”にしてください。

29.6.4 低消費電力状態への遷移時の注意

A/D変換を許可した状態でRX62Tグループ、RX62Gグループがモジュールストップやソフトウェアスタンバイモードへ移行すると、アナログ電源電流はA/D変換中と同等になります。モジュールストップやソフトウェアスタンバイモードでアナログ電源電流を低減させる必要がある場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”にした後、A/Dコンバータのアナログ回路が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCSR.ADSTビットを“0”にした後、ADCR.CKS[1:0]ビットを“11b”（PCLK）にしてください。その後、A/D変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ移行させてください。

29.6.5 許容信号源インピーダンスについて

RX62Tグループ、RX62Gグループのアナログ入力は、高速変換 $1.0\mu\text{s}$ を実現するために、信号源インピーダンスが $1.0\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $8\text{k}\Omega$ だけになりますので、信号源インピーダンスは不要となります。ただし、ローパスフィルタになっていますので、変化の急峻なアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 29.9）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、出力インピーダンスの低いバッファアンプを挿入してください。

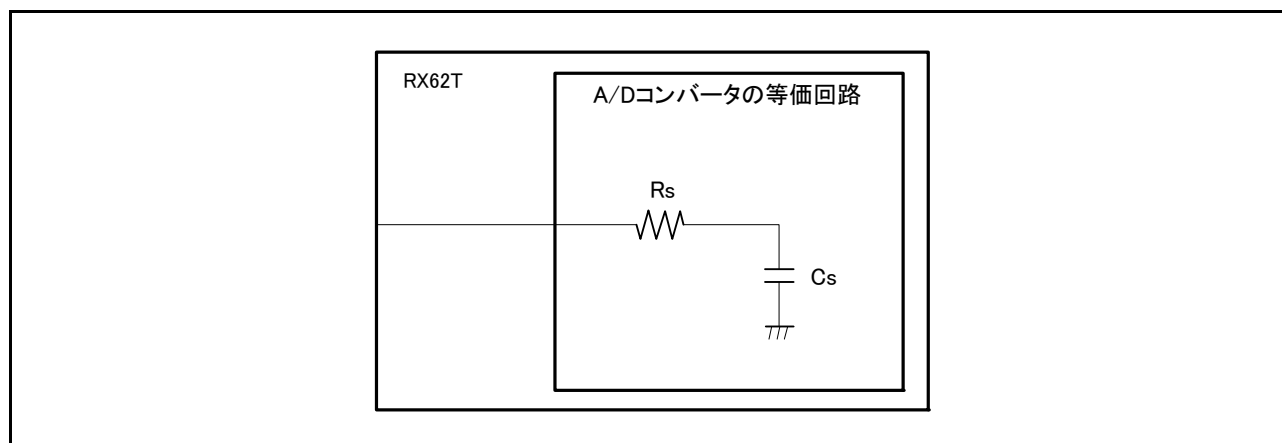


図 29.9 アナログ入力端子の内部等価回路

表 29.10 アナログ端子の規格

項目		min	max	単位
許容信号源インピーダンス		—	1.0	$\text{k}\Omega$
端子の内部等価回路	Rs	—	8.0	$\text{k}\Omega$
	Cs	—	7.0	pF

29.6.6 絶対精度への影響

容量を付加することにより GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、必ず AVSS 等の電氣的に安定した GND に接続してください。

また、フィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

29.6.7 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてLSIを使用した場合、LSIの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲
アナログ入力端子 AN_n に印加する電圧は $AVSS \leq VAN \leq VREF$ の範囲としてください。
- 各電源端子 ($AVCC0 - AVSS0$ 、 $AVCC - AVSS$ 、 $VCC - VSS$) の関係
各電源端子 ($AVCC0 - AVSS0$ 、 $AVCC - AVSS$ 、 $VCC - VSS$) の関係は $VCC \leq AVCC0 = AVCC$ かつ $AVSS0 = AVSS = VSS$ としてください。10ビットA/Dコンバータを使用しない場合は $VCC = AVCC0 = AVCC$ 、 $AVSS0 = AVSS = VSS$ としてください。
- $VREF$ の設定範囲
 $VREF$ 端子の設定範囲は、 $VREF \leq AVCC$ にしてください。A/Dコンバータを使用しない場合は、 $VREF = AVCC$ としてください。

29.6.8 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させないでください。アナログ信号にノイズが乗って、A/D変換値に悪影響を及ぼします。アナログ入力端子 ($AN0 \sim AN11$)、アナログ基準電源 ($VREF$)、アナログ電源電圧 ($AVCC$) は、アナロググランド ($AVSS$) でデジタル回路と分離してください。さらに、アナロググランド ($AVSS$) は、ボード上の安定したグランド (VSS) に一点接続してください。

29.6.9 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 ($AN0 \sim AN11$) の破壊を防ぐために、**図 29.10** に示すように $AVCC$ と $AVSS$ 間、 $VREF$ と $AVSS$ 間に容量を、またアナログ入力端子 ($AN0 \sim AN11$) を基準に保護回路を接続してください。

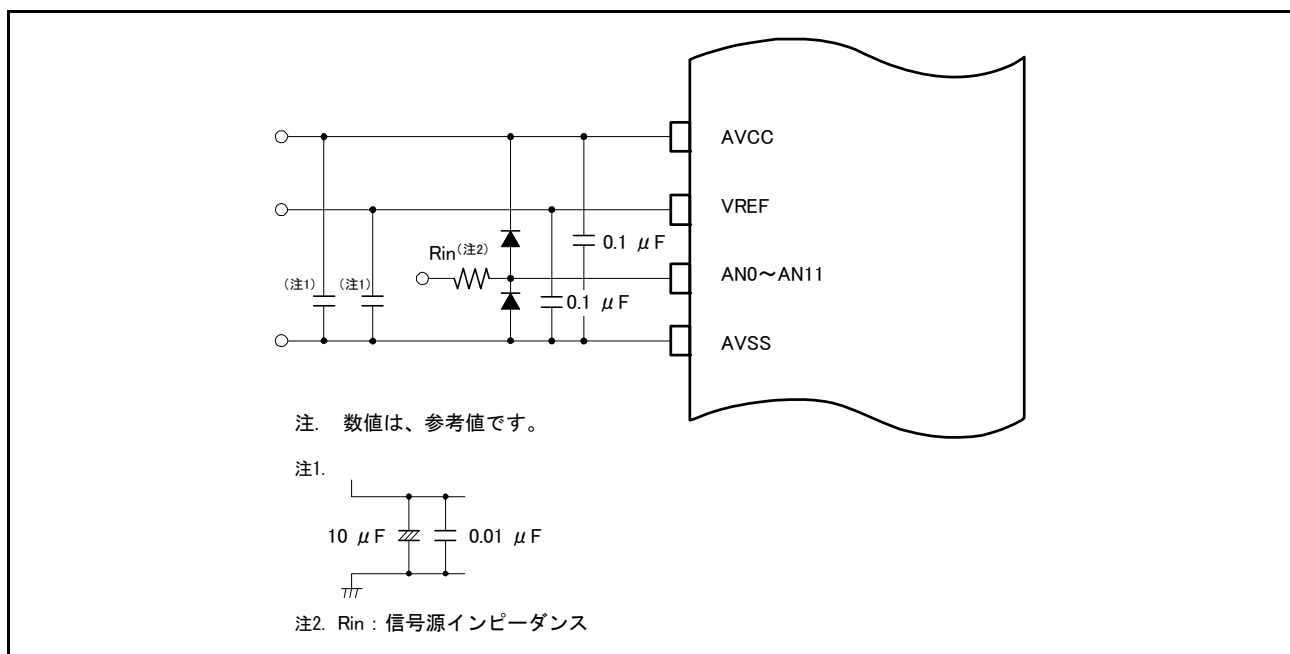


図 29.10 アナログ入力保護回路の例

30. RAM

RX62Tグループ、RX62Gグループは、高速スタティックRAMを内蔵しています。

30.1 概要

表 30.1 に RAM の仕様を示します。

表 30.1 RAMの仕様

項目	内容
RAM容量	16Kバイト/8Kバイト (注1)
RAMアドレス	0000 0000h～0000 3FFFh (16Kバイト) 0000 0000h～0000 1FFFh (8Kバイト) (注1)
アクセス	<ul style="list-style-type: none"> 読み出し、書き込みともに1サイクルで動作 内蔵RAM有効/無効選択可能 (注2)
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 製品によりRAM容量が異なります。

製品型名	RAM容量	RAMアドレス
R5F562TAxxxx	16Kバイト	0000 0000h～0000 3FFFh
R5F562T7xxxx	8Kバイト	0000 0000h～0000 1FFFh
R5F562T6xxxx		

注2. SYSCR1.RAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.4 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

30.2 動作説明

30.2.1 消費電力低減機能

モジュールストップコントロールレジスタC (MSTPCRC) の設定により、RAMへのクロック供給を停止させることで、消費電力を低減することが可能です。

MSTPCRC.MSTPC0ビットを“1”にするとRAMに供給されるクロックが停止します。

クロック供給の停止により、RAMはモジュールストップ状態になります。リセット後は、RAMは動作しています。

モジュールストップ状態になると、RAMへのアクセスができなくなります。RAMのアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRCレジスタの詳細については、「9. 消費電力低減機能」を参照してください。

31. ROM（コード格納用フラッシュメモリ）

RX62Tグループ、RX62Gグループは、最大256Kバイトのコード格納用フラッシュメモリ（ROM）と、最大32Kバイトのデータ格納用フラッシュメモリ（データフラッシュ）を内蔵しています。

本章では、コード格納用フラッシュメモリについて説明します。データフラッシュについては、「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

31.1 概要

表31.1にROMの仕様を、図31.1にROMおよびデータフラッシュ周りのブロック図を示します。

表31.1 ROMの仕様

項目	内容	
メモリ空間	<ul style="list-style-type: none"> ユーザ領域：256Kバイト/128Kバイト/64Kバイト（注1） 	
高速読み出し可能	ICLK 1サイクルの高速読み出しが可能	
書き込み/消去方式	<ul style="list-style-type: none"> ROMの書き換えを行う専用のシーケンサ（FCU）を内蔵 FCUにコマンドを発行することにより、ROMへの書き込み/消去を実行可能 消去状態のROMを読むと、32ビットでFFFFFFhが読み出し可能 	
BGO（バックグラウンドオペレーション）機能	<ul style="list-style-type: none"> ROMへの書き込み/消去を実行している期間、CPUはROM/データフラッシュ以外の領域に配置したプログラムを実行可能 データフラッシュへの書き込み/消去を実行している期間、ROM領域に配置したプログラムを実行可能 	
サスペンド/レジューム機能	<ul style="list-style-type: none"> ROMへの書き込み/消去動作を中断し、CPUはROM領域のプログラムを実行可能（サスペンド） 中断した後、ROMへの書き込み/消去を再開可能（レジューム） 	
書き込み/消去単位	<ul style="list-style-type: none"> ユーザ領域の書き込み単位：256バイト ユーザ領域の消去単位：4Kバイト（8ブロック）、16Kバイト（ROM容量が256Kバイトの場合：14ブロック、ROM容量が128Kバイトの場合：6ブロック、ROM容量が64Kバイトの場合：2ブロック） 	
オンボードプログラミング (2種類)	ブートモードによる書き換え <ul style="list-style-type: none"> 調歩同期式シリアルインターフェイス（SCI1）を使用 通信速度は自動調整 ユーザプログラム中のROM書き換えルーチンによる書き換え <ul style="list-style-type: none"> システムをリセットすることなくROMの書き換えが可能 	
オフボードプログラミング	PROMライターを使用して、ユーザ領域の書き換えが可能	
プロテクト機能	ソフトウェアプロテクト機能	FENTRYR.FENTRY0ビット、FWEPROR.FLWE[1:0]ビット、ロックビットにより意図しない書き換えを防ぐことが可能
	エラープロテクト機能	書き込み/消去中に異常動作を検出した場合、以後の書き込み/消去処理を禁止
書き込み時間/消去時間/書き換え回数	「33. 電気的特性」を参照	

注1. 製品によりROM容量が異なります。

製品型名	ROM容量	ROMアドレス	
		読み出し用	書き込み/消去用
R5F562TAxxxx	256Kバイト	FFFC 0000h～FFFF FFFFh	00FC 0000h～00FF FFFFh
R5F562T7xxxx	128Kバイト	FFFE 0000h～FFFF FFFFh	00FE 0000h～00FF FFFFh
R5F562T6xxxx	64Kバイト	FFFF 0000h～FFFF FFFFh	00FF 0000h～00FF FFFFh

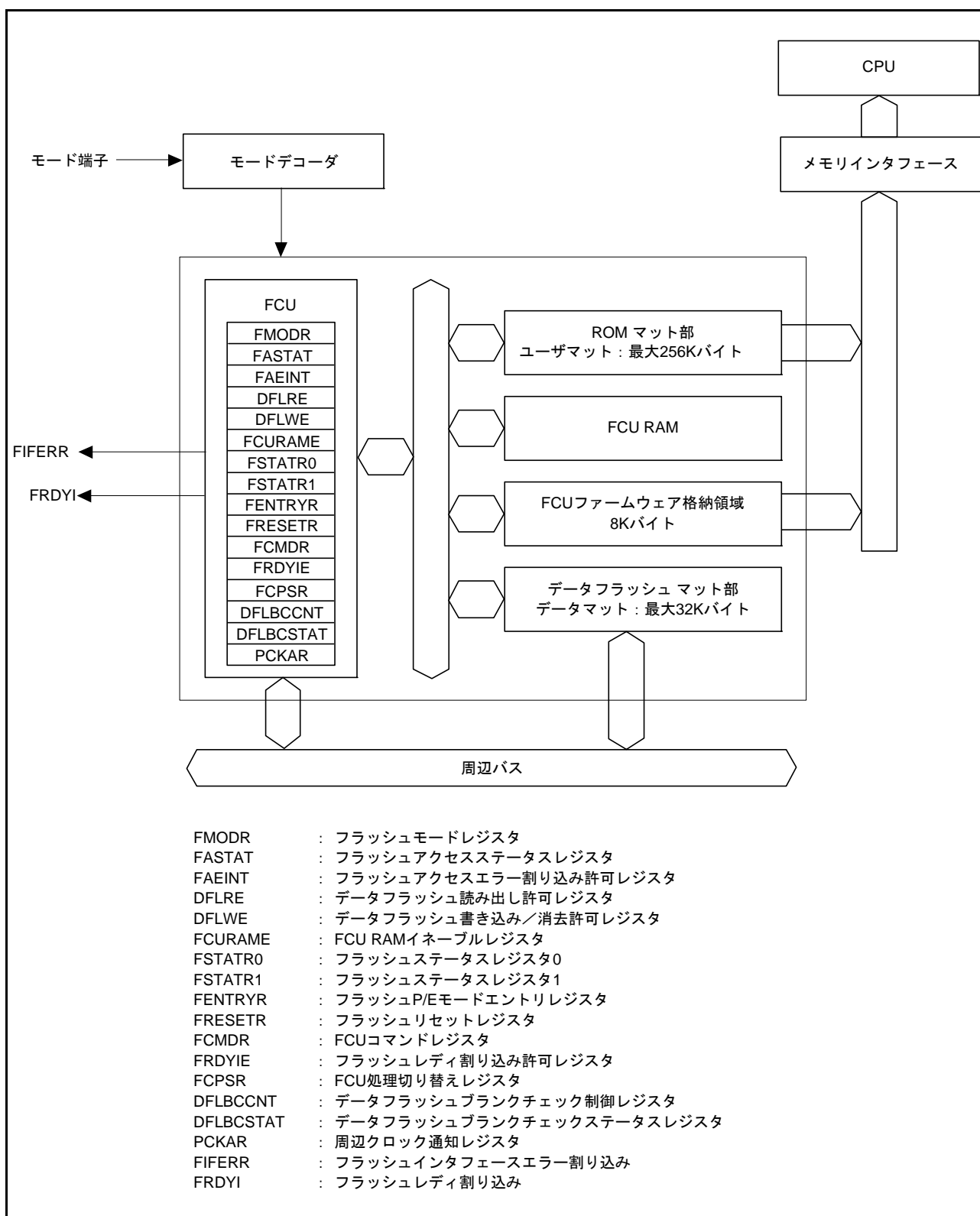


図 31.1 ROM のブロック図

表 31.2 に ROM 関連の入出力端子を示します。

表31.2 ROM関連の入出力端子

端子名	入出力	機能
PD5/RxD1	入力	ブートモード時に使用。SCI1の受信データ（ホスト通信用）
PD3/TxD1	出力	ブートモード時に使用。SCI1の送信データ（ホスト通信用）
MD1、MD0	入力	RX62Tグループ、RX62Gグループの動作モードを設定

31.2 レジスタの説明

表 31.3 に ROM 関連のレジスタ一覧を示します。一部のレジスタはデータフラッシュ関連のビットも持ちますが、本章では ROM 関連のビット機能のみ説明します。データフラッシュ関連のビット機能の詳細は、「32. データフラッシュ（データ格納用フラッシュメモリ）」の「32.2 レジスタの説明」を参照してください。

ROM 関連のレジスタは、リセットによって初期化されます。

表31.3 ROM関連のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	00h	007F C402h	8
フラッシュアクセスステータスレジスタ	FASTAT	00h	007F C410h	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	9Bh	007F C411h	8
フラッシュレディ割り込み許可レジスタ	FRDYIE	00h	007F C412h	8
FCU RAMイネーブルレジスタ	FCURAME	0000h	007F C454h	16
フラッシュステータスレジスタ0	FSTATR0	80h	007F FFB0h	8
フラッシュステータスレジスタ1	FSTATR1	0xh	007F FFB1h	8
フラッシュ P/E モードエントリレジスタ	FENTRYR	0000h	007F FFB2h	16
フラッシュプロテクトレジスタ	FPROTR	0000h	007F FFB4h	16
フラッシュリセットレジスタ	FRESETR	0000h	007F FFB6h	16
FCU コマンドレジスタ	FCMDR	FFFFh	007F FFBAh	16
FCU 処理切り替えレジスタ	FCPSR	0000h	007F FFC8h	16
フラッシュ P/E ステータスレジスタ	FPSTAT	0000h	007F FFCCh	16
周辺クロック通知レジスタ	PCKAR	0000h	007F FFE8h	16
フラッシュライトイレースプロテクトレジスタ	FWEPROR	02h	0008 C289h	8

31.2.1 フラッシュモードレジスタ（FMODR）

アドレス 007F C402h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	FRDM D	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	FRDMD	FCUリードモード選択ビット	0：メモリ領域リード方式 ROMロックビットリードモードでROMのロックビットを読む場合に設定します。 1：レジスタリード方式 ロックビットリード2コマンドを使用してROMのロックビットを読む場合に設定します。	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

FMODR レジスタは、ロックビットの読み出し方法を指定するレジスタです。

内蔵 ROM が無効なモードでは FMODR レジスタの読み出しデータは 00h になり、書き込みはできません。

FMODR レジスタは、リセットによって初期化されます。

FRDMD ビット（FCU リードモード選択ビット）

ロックビットの読み出し方法を指定するビットです。

データフラッシュのブランクチェックコマンド使用時は、レジスタリード方式に設定する必要があります。詳細は「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

31.2.2 フラッシュアクセスステータスレジスタ（FASTAT）

アドレス 007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	データフラッシュプログラム/イレースプロテクト違反ビット	「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/(W) (注1)
b1	DFLRPE	データフラッシュリードプロテクト違反ビット	「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	DFLAE	データフラッシュアクセス違反ビット	「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/(W) (注1)
b4	CMDLK	FCUコマンドロックビット	0：FCUはコマンドロック状態ではない 1：FCUはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	ROMAE	ROMアクセス違反ビット	0：ROMアクセスエラーなし 1：ROMアクセスエラーあり	R/(W) (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTAT レジスタは、ROM / データフラッシュに対するアクセス違反の有無を確認するためのレジスタです。

内蔵 ROM が無効なモードでは FASTAT レジスタの読み出しデータは 00h になり、書き込みはできません。FASTAT レジスタのいずれかのビットが“1”になると、FCU はコマンドロック状態になります（「31.8.2 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTAT レジスタを 10h に設定した後、FCU にステータスレジスタクリアコマンドを発行する必要があります。

FASTAT レジスタは、リセットによって初期化されます。

CMDLK ビット（FCU コマンドロックビット）

FCU がコマンドロック状態であることを示すビットです（「31.8.2 エラープロテクト」を参照）。

["1" になる条件]

- FCU がエラーを検出してコマンドロック状態に遷移した後

["0" になる条件]

- FASTAT レジスタが 10h の状態で、FCU がステータスレジスタクリアコマンドを発行した後

ROMAE ビット（ROM アクセス違反ビット）

ROM に対するアクセス違反の有無を示すビットです。

ROMAE ビットが“1”になると、FSTATR0.ILGLERR ビットが“1”になり、FCU はコマンドロック状態になります。

["1" になる条件]

- FENTRYR.FENTRY0 ビットが“1”かつROM P/E ノーマルモードの状態、ROM 書き込み／消去用アドレス 00FC 0000h ～ 00FF FFFFh に対してリードアクセスを発行
- FENTRY0 ビットが“0”の状態、ROM 書き込み／消去用アドレス 00FC 0000h ～ 00FF FFFFh に対するアクセスを発行
- FENTRYR レジスタが 0000 h 以外の状態で、ROM 読み出し用アドレス FFFC 0000h ～ FFFF FFFFh に対してリードアクセスを発行

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき

31.2.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

アドレス 007F C411h

b7	b6	b5	b4	b3	b2	b1	b0
ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE

リセット後の値 1 0 0 1 1 0 1 1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	データフラッシュプログラム/イレースプロテクト違反割り込み許可ビット	「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/W
b1	DFLRPEIE	データフラッシュリードプロテクト違反割り込み許可ビット	「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	DFLAEIE	データフラッシュアクセス違反割り込み許可ビット	「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	0：FASTAT.CMDLKビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.CMDLKビット=1で、FIFERR割り込み要求が発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	0：FASTAT.ROMAEビット=1で、FIFERR割り込み要求が発生しない 1：FASTAT.ROMAEビット=1で、FIFERR割り込み要求が発生する	R/W

FAEINTレジスタは、フラッシュインタフェースエラー割り込み（FIFERR）の出力許可／禁止を設定するためのレジスタです。

内蔵ROMが無効なモードではFAEINTレジスタの読み出しデータは00hになり、書き込みはできません。

FAEINTレジスタは、リセットによって初期化されます。

CMDLKIE ビット（FCU コマンドロック割り込み許可ビット）

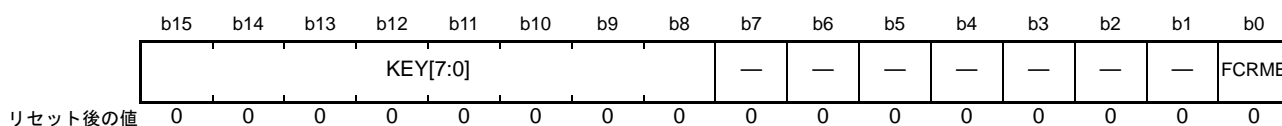
FCU コマンドロックが発生し、FASTAT.CMDLK ビットが“1”になった場合のFIFERR割り込み要求の発生を許可／禁止するためのビットです。

ROMAEIE ビット（ROM アクセス違反割り込み許可ビット）

ROM アクセス違反が発生し、FASTAT.ROMAE ビットが“1”になった場合のFIFERR割り込み要求の発生を許可／禁止するためのビットです。

31.2.4 FCU RAM イネーブルレジスタ（FCURAME）

アドレス 007F C454h



ビット	シンボル	ビット名	機能	R/W
b0	FCRME	FCU RAM許可ビット	0 : FCU RAMへのアクセス禁止 1 : FCU RAMへのアクセス許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b8	KEY[7:0]	キーコード	FCRME ビットの書き換えの可否を制御します。	R/(W) (注1)

注1. 書き込みデータは保持されません。

FCURAME レジスタは、FCU RAM 領域へのアクセスを許可／禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは FCURAME レジスタの読み出しデータは 00h になり、書き込みはできません。

FCURAME レジスタは、リセットによって初期化されます。

FCRME ビット（FCU RAM 許可ビット）

FCU RAM へのアクセスを許可／禁止するためのビットです。

FCRME ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが C4h の場合のみ有効です。FCU RAM に書く場合は、FENTRYR レジスタを 0000h に設定して FCU を停止させてください。

KEY[7:0] ビット（キーコード）

FCRME ビットの書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

31.2.5 フラッシュステータスレジスタ 0（FSTATR0）

アドレス 007F FFB0h

b7	b6	b5	b4	b3	b2	b1	b0
FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD

リセット後の値 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	PRGSPD	書き込みサスペンドステータスビット	0: 下記以外の状態 1: 書き込みの中断処理中、または書き込みサスペンド中	R
b1	ERSSPD	消去サスペンドステータスビット	0: 下記以外の状態 1: 消去の中断処理中、または消去サスペンド中	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b3	SUSRDY	サスペンドレディビット	0: P/Eサスペンドコマンド受け付け不可能 1: P/Eサスペンドコマンド受け付け可能	R
b4	PRGERR	書き込みエラービット	0: 書き込み処理は正常終了 1: 書き込み処理中にエラー発生	R
b5	ERSERR	消去エラービット	0: 消去処理は正常終了 1: 消去処理中にエラー発生	R
b6	ILGLERR	イリーガルコマンドエラービット	0: FCUは不正なコマンドやROM/データフラッシュアクセスを検出していない 1: FCUは不正なコマンドやROM/データフラッシュアクセスを検出	R
b7	FRDY	フラッシュレディビット	0: 書き込み/消去処理中、 書き込み/消去の中断処理中、 ロックビットリード2コマンド処理中、 周辺クロック通知コマンド処理中 データフラッシュのブランクチェック処理中 (「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照) 1: 上記の処理を実行していない	R

FSTATR0 レジスタは、FCU の状態を確認するためのレジスタです。

内蔵 ROM が無効なモードでは、FSTATR0 レジスタの読み出しデータは 00h になります。

FSTATR0 レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

PRGSPD ビット（書き込みサスペンドステータスビット）

FCU が書き込みの中断処理中、または書き込みサスペンド状態に遷移したことを示すビットです。詳細は「31.7 サスペンド動作」を参照してください。

["1"になる条件]

- 書き込みの中断処理を開始した

["0"になる条件]

- レジュームコマンドを受け付けた

ERSSPD ビット（消去サスペンドステータスビット）

FCU が消去の中断処理中または消去サスペンド状態に遷移したことを示すビットです。詳細は「31.7 サスペンド動作」を参照してください。

["1" になる条件]

- 消去の中断処理を開始した

["0" になる条件]

- レジュームコマンドを受け付けた

SUSRDY ビット（サスペンドレディビット）

FCU が P/E サスペンドコマンドを受け付け可能であるかどうかを示すビットです。

["1" になる条件]

- 書き込み/消去処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した

["0" になる条件]

- P/E サスペンドコマンドを受け付けた
- 書き込み/消去処理中に、コマンドロック状態に遷移した

PRGERR ビット（書き込みエラービット）

FCU による ROM/ データフラッシュ書き込み処理の結果を示すビットです。

PRGERR ビットが "1" の場合には、FCU はコマンドロック状態になります。詳細は「31.8.2 エラープロテクト」を参照してください。

["1" になる条件]

- 書き込み中にエラーが発生した
- ロックビットでプロテクトされた領域に対する書き込みコマンドを発行した

["0" になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

ERSERR ビット（消去エラービット）

FCU による ROM/ データフラッシュ消去処理の結果を示すビットです。

ERSERR ビットが "1" の場合には、FCU はコマンドロック状態になります。詳細は「31.8.2 エラープロテクト」を参照してください。

["1" になる条件]

- 消去中にエラーが発生した
- ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行した

["0" になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

ILGLERR ビット（イリーガルコマンドエラービット）

FCU が不正なコマンドや、不正な ROM/ データフラッシュアクセスなどを検出したことを示すビットです。

ILGLERR ビットが“1”の場合には、FCU はコマンドロック状態になります。詳細は「31.8.2 エラープロテクト」を参照してください。

["1" になる条件]

- FCU が不正なコマンドを検出した
- FCU が不正な ROM/ データフラッシュアクセスを検出した
(FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットのいずれかが“1”)
- FENTRYR レジスタの設定が不正

["0" になる条件]

- FASTAT レジスタが 10h の状態で、FCU がステータスレジスタクリアコマンドを発行した後

FRDY ビット（フラッシュレディビット）

FCU の処理状態を確認するためのビットです。

31.2.6 フラッシュステータスレジスタ 1（FSTATR1）

アドレス 007F FFB1h

	b7	b6	b5	b4	b3	b2	b1	b0
	FCUER R	—	—	FLOCK ST	—	—	—	—
リセット後の値	0	0	0	0	0	0	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定です。書き込みは無効になります。	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b4	FLOCKST	ロックビットステータスビット	0：プロテクト状態 1：非プロテクト状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b7	FCUERR	FCUエラービット	0：FCUの処理でエラー未発生 1：FCUの処理でエラー発生	R

FSTATR1 レジスタは、FCU の状態を確認するためのレジスタです。

内蔵 ROM が無効なモードでは、FSTATR1 レジスタの読み出しデータは 00h になります。

FSTATR1 レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FLOCKST ビット（ロックビットステータスビット）

ロックビットリード2 コマンドを使用した場合に、ロックビットの読み出したデータが反映されるビットです。

ロックビットリード2 コマンド発行後に、FSTATR0.FRDY ビットが“1”になった時点で、FLOCKST ビットに有効なデータが格納されます。FLOCKST ビットの値は、次のロックビットリード2 コマンドの終了まで保持されます。

FCUERR ビット（FCU エラービット）

FCU 内部の処理においてエラーが発生したことを示すビットです。

FCUERR ビットが“1”の場合には、FRESETR.FRESET ビットを“1”にして、FCU を初期化してください。また、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。

31.2.7 フラッシュレディ割り込み許可レジスタ（FRDYIE）

アドレス 007F C412h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0 : FRDYI割り込み要求の発生を禁止 1 : FRDYI割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

FRDYIE レジスタは、フラッシュレディ割り込み（FRDYI）の出力許可／禁止を設定するためのレジスタです。

内蔵 ROM が無効なモードでは、FRDYIE レジスタの読み出しデータは 00h になり、書き込みはできません。

FRDYIE レジスタは、リセットによって初期化されます。

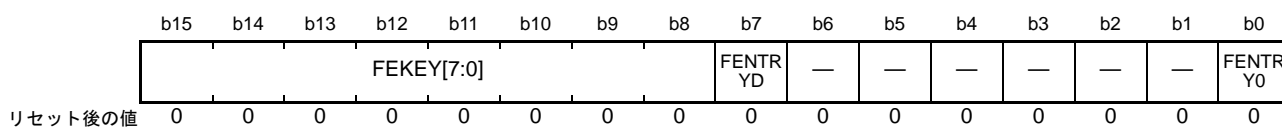
FRDYIE ビット（フラッシュレディ割り込み許可ビット）

書き込み／消去処理が終了した場合の FRDYI 割り込み要求の発生を許可／禁止するためのビットです。

FRDYIE ビットが“1”の設定で、FCU コマンドの実行が完了した場合（FSTATR0.FRDY ビットが“0”から“1”に遷移した場合）、フラッシュレディ割り込み要求（FRDYI）が発生します。

31.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR）

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0：ROMはROMリードモード 1：ROMはROM P/Eモード	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	FENTRYD	データフラッシュ P/Eモードエントリビット	「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYD、FENTRY0ビットの書き換えの可否を制御します。	R/(W) (注1)

注1. 書き込みデータは保持されません。

FENTRYR レジスタは、ROM / データフラッシュを P/E モードに設定するために使用するレジスタです。ROM / データフラッシュを P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 ビットのいずれかのビットを“1”にする必要があります。ただし、これらのビットを複数“1”にした場合、FSTAT0.ILGLERR ビットが“1”になり、FCU はコマンドロック状態になります。

FENTRYR レジスタ をアクセスして、ROM リードモードに遷移させる際には、FENTRYR レジスタ を書き込み後、当該レジスタを読み出して設定値になっていることを確認後、ROM リード動作を行ってください。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込みが有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、FENTRYR レジスタの読み出しデータは 0000h になり、書き込みはできません。

FENTRYR レジスタは、リセット、FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FENTRY0 ビット（ROM P/E モードエントリビット0）

ROM を P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM が有効なモード
- FSTATR0.FRDY ビットが“1”
- ワードアクセスで FEKEY[7:0] ビットに AAh を書き込み
[“1”になる条件]
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが 0000h の状態で、FENTRY0 ビットに“1”を書いた場合
[“0”になる条件]
- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが AAh 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRY0 ビットに“0”を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが 0000h 以外の状態で、FENTRYR レジスタを書いた場合

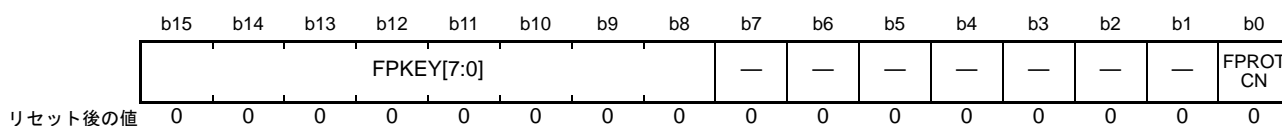
FEKEY[7:0] ビット（キーコード）

FENTRYD、FENTRY0 ビットの書き換えの可否を制御します。

FEKEY[7:0] ビットへの書き込みデータは保持されません。

31.2.9 フラッシュプロテクトレジスタ（FPROTR）

アドレス 007F FFB4h



ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0：ロックビットによるプロテクト有効 1：ロックビットによるプロテクト無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b8	FPKEY[7:0]	キーコード	FPROTCNビットの書き換えの可否を制御します。	R/(W) (注1)

注1. 書き込みデータは保持されません。

FPROTR レジスタは、ロックビットによる書き込み／消去プロテクト機能の有効／無効を設定するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

内蔵ROMが無効なモードでは、FPROTR レジスタの読み出しデータは0000hになり、書き込みはできません。

FPROTR レジスタは、リセットもしくはFRESETR.FRESET ビットを“1”にすることによって初期化されます。

FPROTCN ビット（ロックビットプロテクトキャンセルビット）

ロックビットによる書き込み／消去プロテクトを有効／無効化にするためのビットです。

["1"になる条件]

- FENTRYR レジスタの値が0000h以外の状態で、ワードアクセスでFPKEY[7:0] ビットに55h、FPROTCN ビットに“1”を書いた場合

["0"になる条件]

- バイトアクセスで書いた場合
- ワードアクセスでFPKEY[7:0] ビットが55h以外の状態で書いた場合
- ワードアクセスでFPKEY[7:0] ビットに55h、FPROTCN ビットに“0”を書いた場合
- FENTRYR レジスタの値が0000hの場合

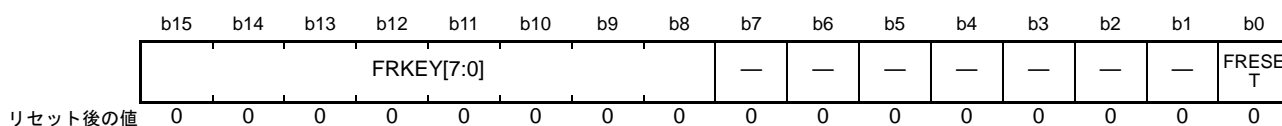
FPKEY[7:0] ビット（キーコード）

FPROTCN ビットの書き換えの可否を制御します。

FPKEY[7:0] ビットへの書き込みデータは保持されません。

31.2.10 フラッシュリセットレジスタ（FRESETR）

アドレス 007F FFB6h



ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0：FCUはリセットされない 1：FCUはリセットされる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b15-b8	FRKEY[7:0]	キーコード	FRESETビットの書き換えの可否を制御します。	R/(W) (注1)

注1. 書き込みデータは保持されません。

FRESETR レジスタは、FCU の初期化のために使用するレジスタです。

ワードアクセスで上位バイトに特定の値を書いた場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵ROMが無効なモードでは、FRESETR レジスタの読み出しデータは0000hになり、書き込みはできません。

FRESETR レジスタは、リセットによって初期化されます。

FRESET ビット（フラッシュリセットビット）

FRESET ビットを“1”にすると、ROM/データフラッシュの書き込み/消去動作が強制終了され、FCUが初期化されます。

書き込み/消去中のROM/データフラッシュのメモリには、高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCUを初期化する場合には、FRESET ビットを“1”にした状態をtRESW2（「33. 電気的特性」を参照）保持してください。FRESET ビットを“1”にしている期間中は、ROM/データフラッシュへの読み出しを禁止してください。また、FRESET ビットが“1”の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。

FRESET ビットへの書き込みは、ワードアクセスでFRKEY[7:0] ビットがCChの場合のみ有効です。

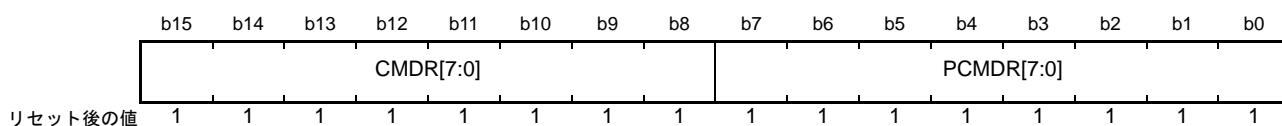
FRKEY[7:0] ビット（キーコード）

FRESET ビットへの書き換えの可否を制御します。

FRKEY[7:0] ビットへの書き込みデータは保持されません。

31.2.11 FCU コマンドレジスタ（FCMDR）

アドレス 007F FFBAh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンド	FCUが受け付けた1つ前のコマンドを格納します。	R
b15-b8	CMDR[7:0]	コマンド	FCUが受け付けた最新のコマンドを格納します。	R

FCMDR レジスタは、FCU が受け付けたコマンドを格納するレジスタです。

内蔵 ROM が無効なモードでは、FCMDR レジスタの読み出しデータは 0000h になり、書き込みは無効化されます。

FCMDR は、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

表 31.4 に各コマンド受け付け後の FCMDR レジスタの状態を示します。ブランクチェックの内容は、「32. データフラッシュ（データ格納用フラッシュメモリ）」の「32.6 データフラッシュへの書き込み／消去」を参照してください。

表31.4 各コマンド受け付け後のFCMDRレジスタの状態

コマンド	CMDR	PCMDR
P/E ノーマルモード移行	FFh	前回コマンド
ステータスリードモード移行	70h	前回コマンド
ロックビットリードモード移行（ロックビットリード1）	71h	前回コマンド
周辺クロック通知コマンド	E9h	前回コマンド
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/E サスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスレジスタクリア	50h	前回コマンド
ロックビットリード2／ブランクチェック	D0h	71h
ロックビットプログラム	D0h	77h

31.2.12 FCU 処理切り替えレジスタ（FCPSR）

アドレス 007F FFC8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSP MD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	消去サスペンドモードビット	0：サスペンド優先モード 1：消去優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

FCPSR レジスタは、FCU の消去処理のサスペンド方法を選択するためのレジスタです。

内蔵 ROM が無効なモードでは、FCPSR レジスタの読み出しデータは 0000h になり、書き込みはできません。

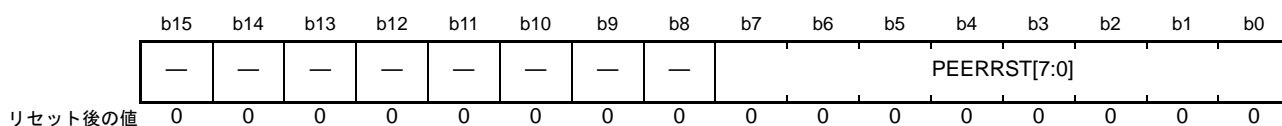
FCPSR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

ESUSPMD ビット（消去サスペンドモードビット）

FCU が ROM/ データフラッシュの消去処理を実行中に、P/E サスペンドコマンドが発行された場合の消去中断処理モードを選択するためのビットです。詳細は「31.7 サスペンド動作」を参照してください。

31.2.13 フラッシュ P/E ステータスレジスタ（FPESTAT）

アドレス 007F FFCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST[7:0]	P/Eエラー ステータスビット	01h：ロックビットでプロテクトされた領域に対する書き込みエラー 02h：ロックビットプロテクト以外の要因による書き込みエラー 11h：ロックビットでプロテクトされた領域に対する消去によるエラー 12h：ロックビットプロテクト以外の要因による消去エラー (上記以外は予約)	R
b15-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R

FPESTAT レジスタは、ROM / データフラッシュの書き込み / 消去処理結果を示すレジスタです。

内蔵 ROM が無効なモードでは、FPESTAT レジスタの読み出しデータは 0000h になり、書き込みはできません。

FPESTAT レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

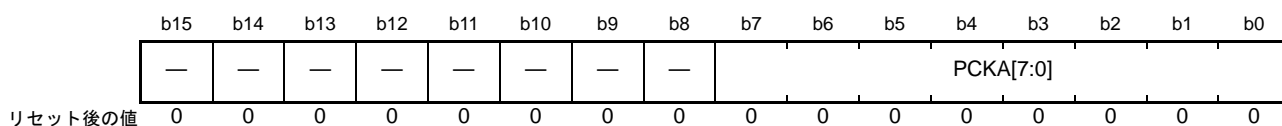
PEERRST[7:0] ビット (P/E エラーステータスビット)

ROM / データフラッシュの書き込み / 消去処理中にエラーが発生した場合のエラー原因を示すビットです。

PEERRST[7:0] ビットの値は、FSTATR0.ERSERR ビット、または FSTATR0.PRGERR ビットが“1”の状態でのみ有効です。ERSERR ビットと PRGERR ビットが“0”の場合の PEERRST[7:0] ビットには、過去に発生したエラー原因の値が保持されます。

31.2.14 周辺クロック通知レジスタ（PCKAR）

アドレス 007F FFE8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	周辺クロック通知ビット	ROM/データフラッシュへの書き込み/消去時に周辺クロック（PCLK）を設定するためのビットです。	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

PCKAR レジスタは、ROM / データフラッシュの書き込み/消去時に周辺クロック（PCLK）の周波数設定情報をシーケンサに通知するためのレジスタです。この設定は、書き込み/消去時間の制御に使用しません。

内蔵 ROM が無効なモードでは、PCKAR レジスタの読み出しデータは 0000h になり、書き込みはできません。

PCKAR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されません。

PCKA[7:0] ビット（周辺クロック通知ビット）

ROM / データフラッシュの書き込み/消去時に、周辺クロック（PCLK）を設定するためのビットです。

書き込み/消去を行う前に PCKA[7:0] ビットに PCLK の周波数を設定して、周辺クロック通知コマンドを発行してください。ROM/データフラッシュの書き込み/消去中は、周波数を変更しないでください。

設定値の算出は以下のようにしてください。

- MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0] ビットに書く。
具体例として周辺クロックの動作周波数が 35.9MHz の場合には以下のようになります。
- 35.9 を切り上げ
- 36 を 2 進数変換し、上位は 00h で、下位は 24h（0010 0100b）を PCKA[7:0] ビットに設定する。

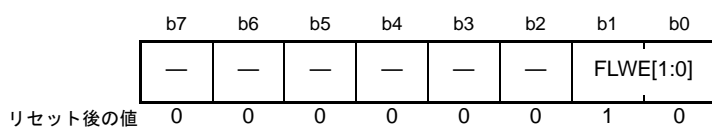
注 1. PCKA[7:0] ビットを 8MHz ~ 50MHz の範囲外に設定した場合は、ROM/データフラッシュに対する書き換えコマンドを発行しないでください。

注 2. 実周波数と異なる周波数を PCKA[7:0] ビットに設定した場合、ROM/データフラッシュのデータが破壊される可能性があります。

注 3. PCKA[7:0] ビットを活用しても、書き換え時間はある程度周波数に依存することをご了承ください。

31.2.15 フラッシュライトイレースプロテクトレジスタ（FWEPROR）

アドレス 0008 C289h



ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュ書き込み/消去ビット	b1 b0 00 : 書き込み/消去不可能 01 : 書き込み/消去可能 10 : 書き込み/消去不可能（初期値） 11 : 書き込み/消去不可能	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

FWEPROR レジスタは、フラッシュライトイレース実行をソフト的にプロテクトするための読み出し/書き込み可能なレジスタです。

FWEPROR レジスタは、ソフトウェアスタンドモード、ディープソフトウェアスタンバイモード時にも初期化されます。

FLWE[1:0] ビット（フラッシュ書き込み/消去ビット）

フラッシュ書き込み/消去実行をソフトウェアによってプロテクトします。

31.3 ROMのメモリマップ構成

RX62Tグループ、RX62GグループのROMは、最大256Kバイトのユーザマットから構成されています。これらのマットのアドレスを図31.2に示します。

ユーザマットのアドレスは、読み出し時と書き込み/消去時で異なりますので注意してください。

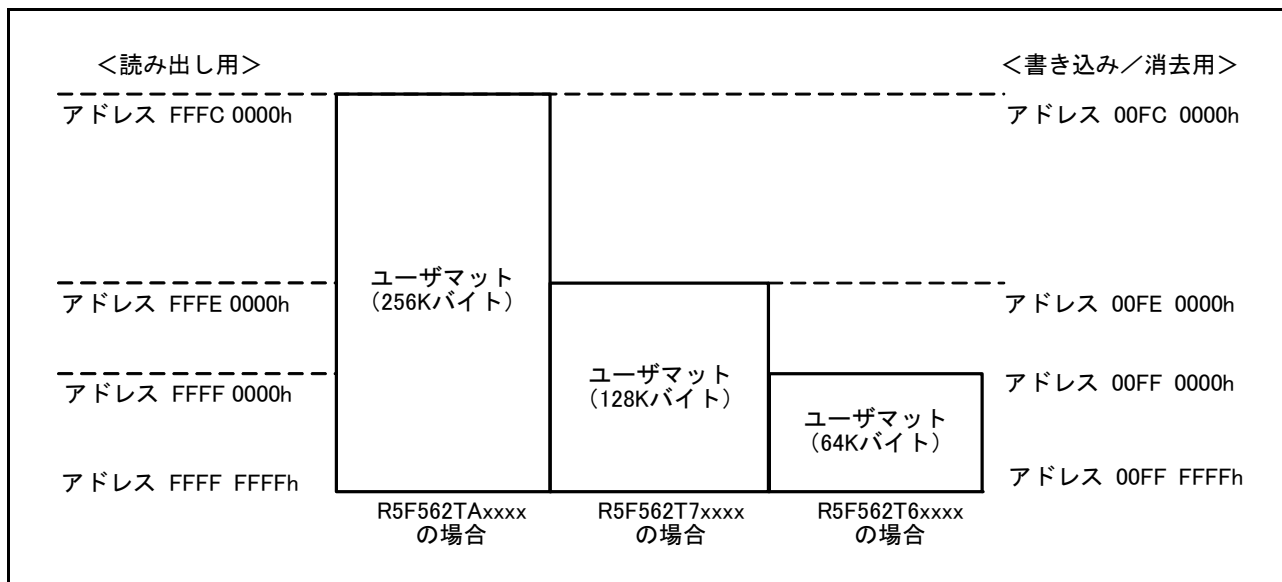


図 31.2 ROMのメモリマップ構成

31.4 ブロック構成

ユーザマットの消去ブロックの構成を図31.3に示します。ユーザマットは4Kバイト（8ブロック）、16Kバイト（14ブロック）に分割されていて、消去はこのブロック単位で行います。書き込みは、下位アドレスが00hで始まる256バイト単位で行います。

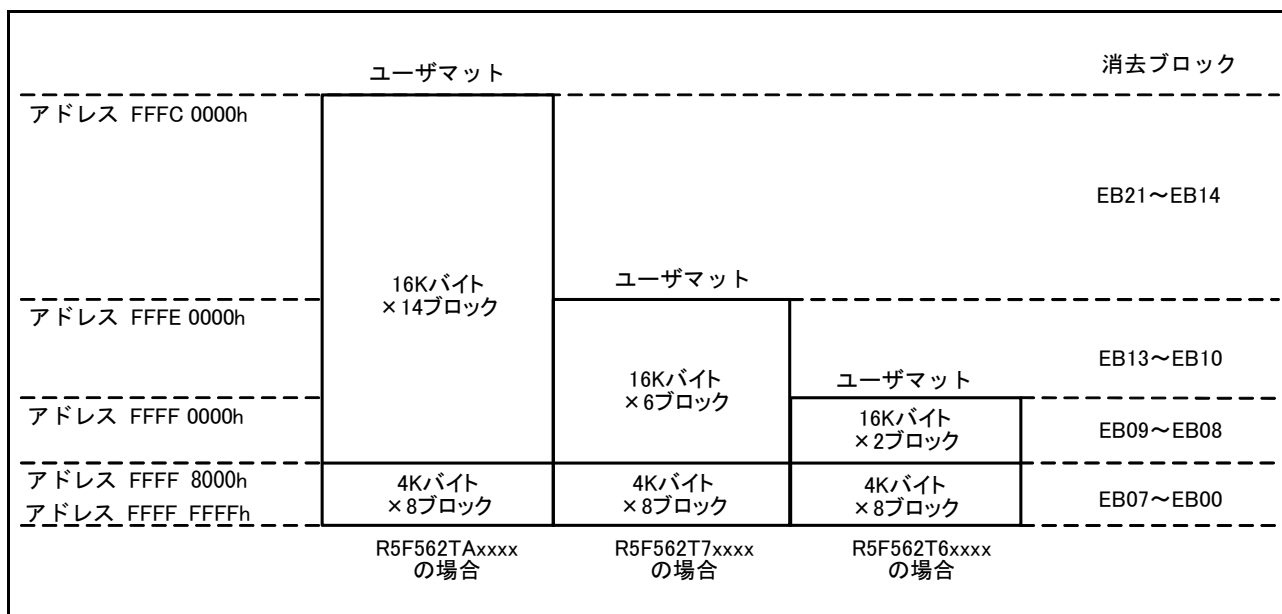


図 31.3 ユーザマットの消去ブロックの構成

31.5 ROM 関連の動作モード

図 31.4 に RX62T グループ、RX62G グループの動作モード移行図を示します。

MD1、MD0 端子を設定し、リセット解除を行うと図 31.4 のように移行します。

MD1、MD0 端子の設定値と RX62T グループ、RX62G グループの動作モードの関係については、「3. 動作モード」を参照してください。

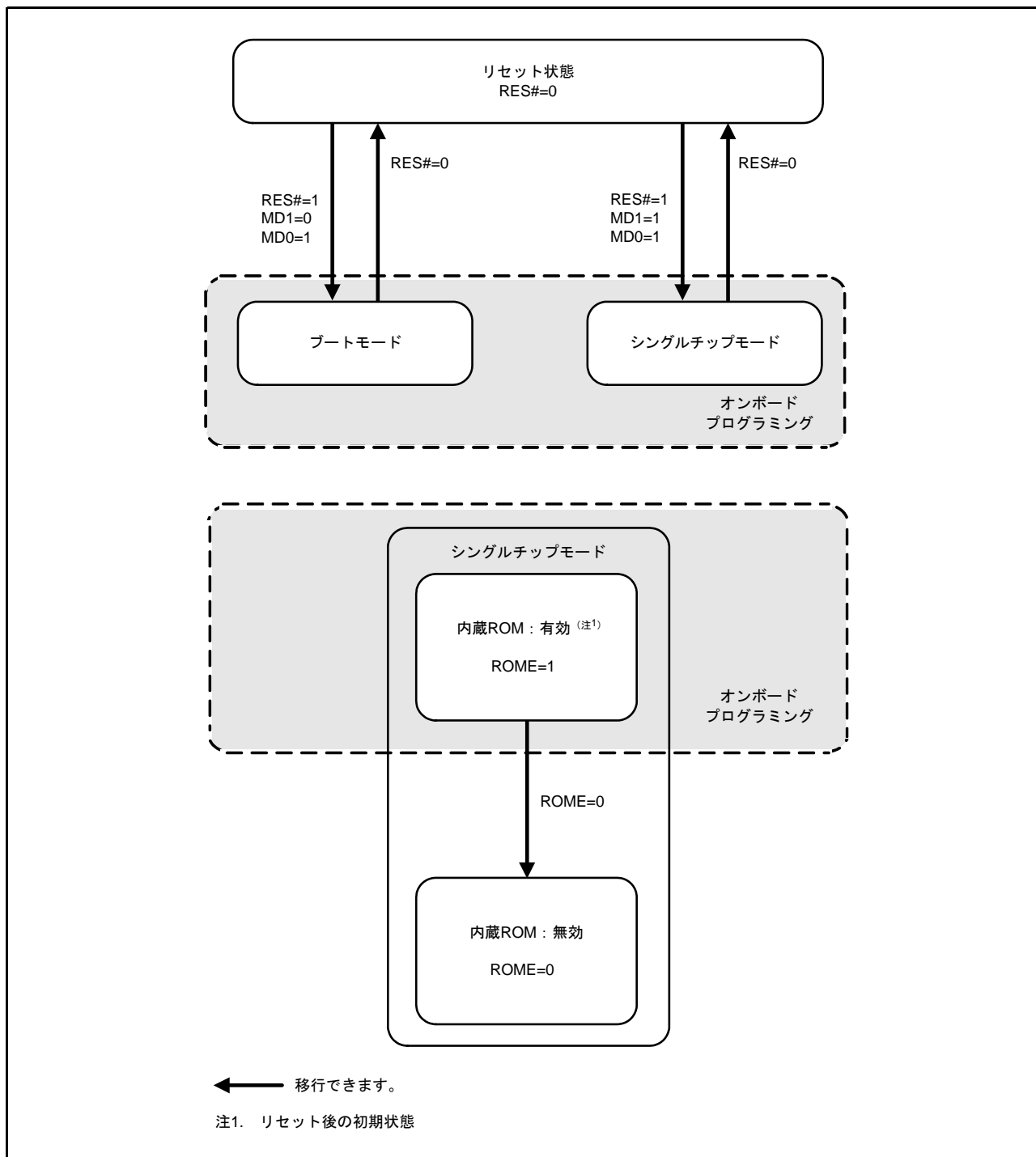


図 31.4 ROM に関する動作モード移行図

ブートモード/シングルチップモード（内蔵ROM有効）では、オンボードでROMの読み出し/書き込み/消去を実施できます。

各モードで、書き込み/消去可能マット、リセット時の起動マット等が異なります。モードの相違点を表31.5に示します。

表31.5 各モードの相違点

項目	ブートモード	シングルチップモード（内蔵ROM有効）
書き込み/消去環境	オンボードプログラミング	
書き込み/消去可能マット	ユーザマット	ユーザマット
ブロック分割消去	○（注1）	○
リセット時の起動マット	組み込みプログラム格納マット（注2）	ユーザマット

注1. 起動時に全面消去される場合があります。その後、特定ブロックの消去ができます。詳細は「31.9.2 IDコードプロテクト」を参照してください。

注2. ユーザは使用できません。

- ブートモードでは、ホストからSCI経由でのユーザマット/データマットへの書き込み/読み出しが可能です。
- ブートモードではブートモード用組み込みプログラムで内蔵RAMを使用します。このため、内蔵RAMのデータは保持されません。

31.6 ROM への書き込み／消去

ROM への書き込み／消去は、書き込み／消去用の専用シーケンサ（FCU）にコマンド（FCU コマンド）を発行することで行います。FCU には、5 種類のモードがあります。書き込み／消去を行うためには、モードを移行させ、その後、書き込み／消去用のコマンドを発行することで行います。

ROM の書き込み／消去に必要なモード移行とコマンド体系について以下に説明します。これらはブートモード、シングルチップモード（内蔵 ROM 有効）で共通です。

31.6.1 FCU のモード

FCU には、5 種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FCU コマンドで行います。図 31.5 に FCU のモード移行図を示します。

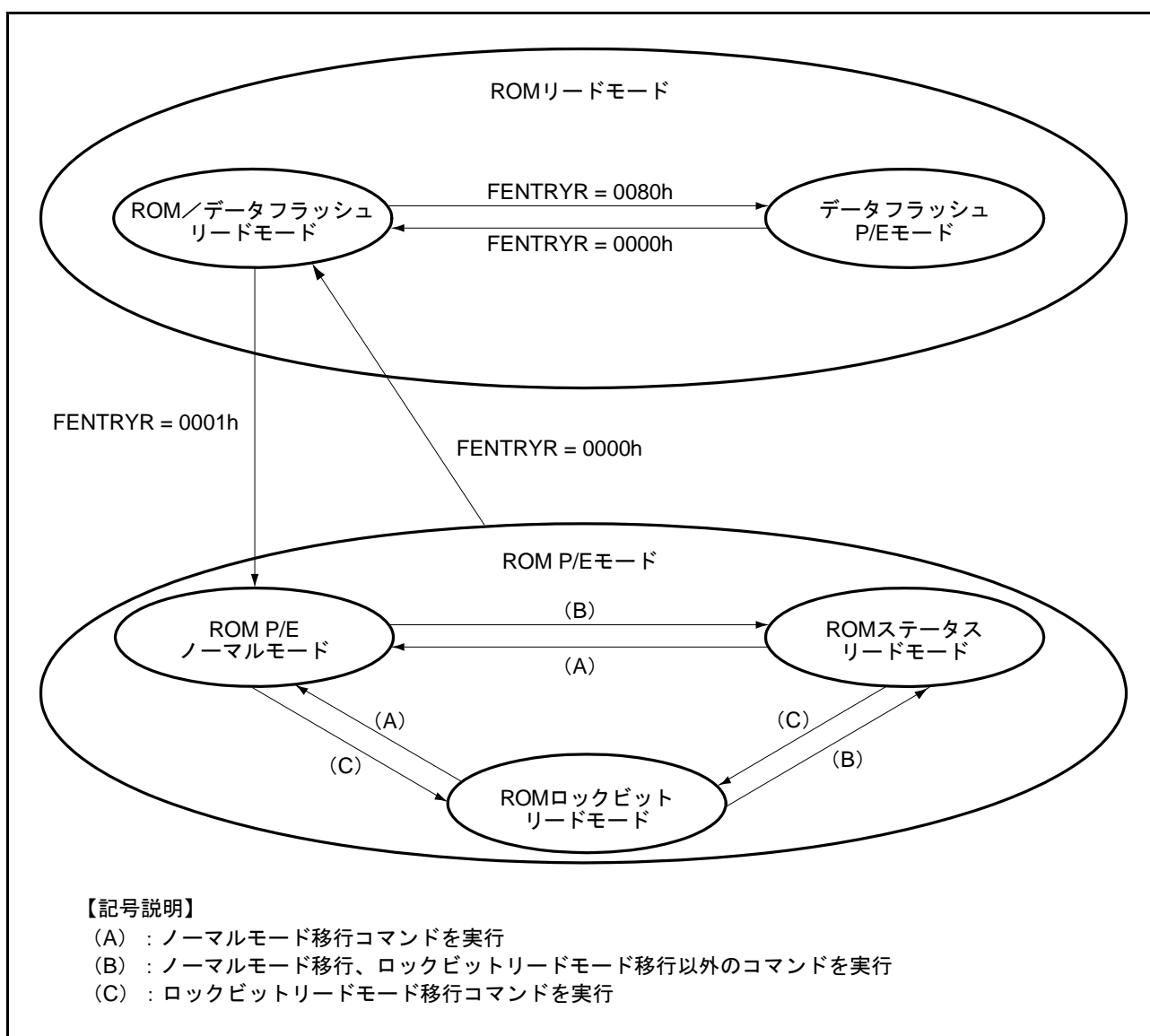


図 31.5 FCU のモード移行図（ROM 関連）

31.6.1.1 ROM リードモード

ROM リードモードは、ROM の高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、ICLK 1 サイクルの高速読み出しが可能です。

ROM リードモードには、ROM / データフラッシュリードモードと、データフラッシュ P/E モードの 2 種類があります。

(1) ROM / データフラッシュリードモード

ROM / データフラッシュリードモードは、ROM およびデータフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRY0 ビットを“0”、かつ FENTRYR.FENTRYD ビットを“0”にした場合にこのモードに移行します。

(2) データフラッシュ P/E モード

データフラッシュ P/E モードは、データフラッシュに対する書き込み/消去を行うモードです。ROM の高速読み出しは可能です。このモードはデータフラッシュに対する FCU コマンドは受け付けますが、ROM に対する FCU コマンドは受け付けません。FENTRYR.FENTRY0 ビットを“0”、かつ FENTRYR.FENTRYD ビットを“1”にした場合にこのモードに移行します。

データフラッシュ P/E モードの詳細は、「32. データフラッシュ（データ格納用フラッシュメモリ）」の「32.6.1 FCU のモード」を参照してください。

31.6.1.2 ROM P/E モード

ROM P/E モードは、ROM に対する書き込み/消去を行うモードです。ROM の高速読み出しはできません。読み出し用アドレスに対してリードアクセスを実行した場合、ROM アクセス違反が発生して FCU はコマンドロック状態になります(「31.8.2 エラープロテクト」を参照)。

ROM P/E モードには、ROM P/E ノーマルモード、ROM ステータスリードモード、ROM ロックビットリードモードの3種類のモードがあります。

(1) ROM P/E ノーマルモード

ROM P/E ノーマルモードは、ROM への書き込み/消去をする上で最初に移行するモードです。ROM リードモード時に FENTRYR.FENTRYD ビットを“0”、かつ FENTRYR.FENTRY 0 ビットを“1”にした場合、または ROM P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 31.9 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY0 ビットが“1”の状態で行き込み/消去用のアドレスに対してリードアクセスを実行した場合は、ROM アクセス違反が発生して FCU はコマンドロック状態になります(「31.8.2 エラープロテクト」を参照)。

(2) ROM ステータスリードモード

ROM ステータスリードモードは、ROM のステータスが読めるモードです。ROM P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。

FSTATR0.FRDY ビットが“0”の状態やエラー発生後のコマンドロック状態も、ROM ステータスリードモード中の状態です。表 31.9 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY 0 ビットが“1”の状態、対応する書き込み/消去用のアドレスに対してリードアクセスを実行した場合は、FSTATR0 レジスタの値が読めます。

(3) ROM ロックビットリードモード

ROM ロックビットリードモードは、ROM への読み出しでロックビットが読めるモードです。ROM P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 31.9 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY 0 ビットが“1”の状態、対応する書き込み/消去用のアドレスに対してリードアクセスを実行した場合は、読み出しデータの全ビットがアクセス先の消去ブロックのロックビット値になります。

31.6.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、書き込み/消去を行うためのコマンドがあります。表 31.6 に ROM で使用可能な FCU コマンドの一覧を示します。

表31.6 FCUコマンド一覧（ROM関連）

コマンド	機能
P/E ノーマルモード移行	ノーマルモードに移行（「31.6.3 FCUのモードとコマンドの関係」を参照）
ステータスリードモード移行	ステータスリードモードに移行（「31.6.3 FCUのモードとコマンドの関係」を参照）
ロックビットリードモード移行 （ロックビットリード1）	ロックビットリードモードに移行（「31.6.3 FCUのモードとコマンドの関係」を参照）
周辺クロック通知	周辺クロックの周波数を設定
プログラム	ROMの書き込み（256バイト単位）
ブロックイレーズ	ROMの消去（ブロック単位、ロックビットも同時に消去）
P/E サスペンド	書き込み/消去の中断
P/E レジューム	書き込み/消去の再開
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード2/ ブランクチェック	指定した消去ブロックのロックビット読み出し（FSTATR1.FLOCKST ビットにロックビットを反映）/データフラッシュのブランクチェック
ロックビットプログラム	指定した消去ブロックのロックビットを書き込み

ロックビットリード2 コマンドは、データフラッシュのブランクチェックコマンドを兼ねています。データフラッシュに対してロックビットリード2 コマンドを発行した場合は、データフラッシュのブランクチェックが実行されます（「32. データフラッシュ（データ格納用フラッシュメモリ）」を参照）。

FCU コマンドの発行は、ROM 書き込み/消去用のアドレスに対しライトアクセスを行うことで実現されます。表 31.7 に FCU コマンドのフォーマットを示します。表 31.7 に示したライトアクセスを FCU の特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。

FCU の特定条件下については「31.6.3 FCU のモードとコマンドの関係」を、各 FCU コマンドの使用方法については「31.6.4 FCU コマンド使用方法」を参照してください。

表31.7 FCUコマンドのフォーマット

コマンド	バス サイ クル 数	1 サイクル目		2 サイクル目		3 サイクル目		4~5 サイクル目		6 サイクル目		7~130 サイクル目		131 サイクル目	
		ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ
P/Eノーマルモード移行	1	RA	FFh	—	—	—	—	—	—	—	—	—	—	—	—
ステータスリードモード移行	1	RA	70h	—	—	—	—	—	—	—	—	—	—	—	—
ロックビットリードモード移行 (ロックビットリード1)	1	RA	71h	—	—	—	—	—	—	—	—	—	—	—	—
周辺クロック通知	6	RA	E9h	RA	03h	RA	0F0 Fh	RA	0F0 Fh	RA	D0h	—	—	—	—
プログラム	131	RA	E8h	RA	80h	WA	WD n	RA	WD n	RA	WD n	RA	WD n	RA	D0h
ブロックイレーズ	2	RA	20h	BA	D0h	—	—	—	—	—	—	—	—	—	—
P/Eサスペンド	1	RA	B0h	—	—	—	—	—	—	—	—	—	—	—	—
P/Eレジューム	1	RA	D0h	—	—	—	—	—	—	—	—	—	—	—	—
ステータスレジスタクリア	1	RA	50h	—	—	—	—	—	—	—	—	—	—	—	—
ロックビットリード2	2	RA	71h	BA	D0h	—	—	—	—	—	—	—	—	—	—
ロックビットプログラム	2	RA	77h	BA	D0h	—	—	—	—	—	—	—	—	—	—

アドレスの列 RA : ROM 書き込み/消去用のアドレス
 FENTRYR.FENTRY0 ビットが“1”の場合 : 00FC 0000h ~ 00FF FFFFh の任意アドレス
 WA : ROM 書き込み先アドレス
 書き込みデータ 256 バイトの先頭アドレス
 BA : ROM 消去ブロックアドレス
 対象消去ブロック内の任意アドレス (書き込み/消去用アドレスで指定)
 データの列 WDn : 書き込みデータ n ワード目 (n=1 ~ 128)

31.6.3 FCU のモードとコマンドの関係

FCU の各モードは、モードごとに受け付け可能な FCU コマンドが決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。

表 31.8 に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「31.8.2 エラープロテクト」を参照）。

FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTATR0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値の論理和です。

表 31.8 FCU のモード/状態と受け付け可能なコマンドの関係（ROM P/Eモード）

コマンド	P/E ノーマルモード			ステータスリードモード							ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み/消去の処理中	書き込み/消去の中断処理中	ロックビットリード2処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0.FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0.SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD ビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0.PRGSPD ビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	1	0	0	0	0
P/E ノーマルモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード1)	○	○	○	×	×	×	○	○	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	○	○	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	○	○	○	○	○	○	○
ロックビットリード2	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットプログラム	×	△	○	×	×	×	×	△	×	○	×	△	○

○：受け付け可能、△：消去中断したブロック以外への書き込みのみ受け付け可能、×：受け付け不可能

31.6.4 FCU コマンド使用方法

FCU コマンドには、FCU のモードを移行するコマンド、実際に ROM に書き込み／消去を行うコマンド、エラー処理のコマンド、サスペンド／レジュームのコマンドがあります。以下に各コマンドの説明をします。それぞれのコマンドの受け付け可能モードおよび状態については、「31.6.3 FCU のモードとコマンドの関係」を参照してください。

31.6.4.1 モード移行

ここではモード移行に関するコマンドを説明します。各モード移行の関係は、図 31.5 を参照してください。

(1) ROM P/E モード移行方法

ROM 関連の FCU コマンドを実行するためには、ROM P/E モードに移行する必要があります。

ROM P/E モードに移行するためには、書き込み / 消去を行う ROM のアドレスに対応した FENTRYR.FENTRY 0 ビットを“1”にします。

書き込み／消去を行う場合は、FWEPROR レジスタにバイトで 01h を書き込み、書き込み／消去可能状態にしてください（「31.2.15 フラッシュライトイレースプロテクトレジスタ（FWEPROR）」を参照）。

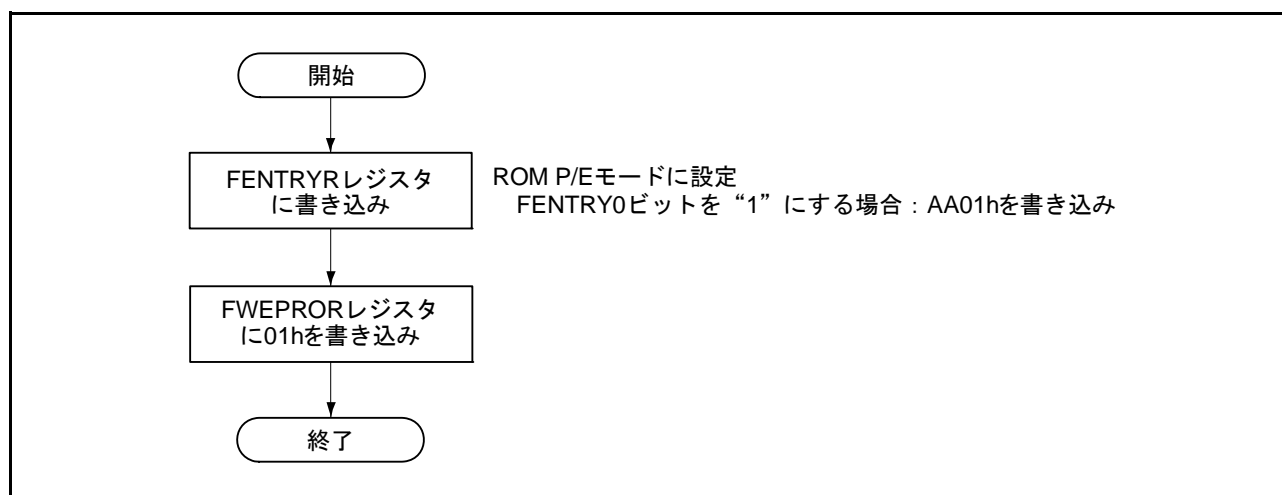


図 31.6 ROM P/E モード移行フロー

(2) ROM リードモード移行方法

ROM の高速読み出しを行うためには、FENTRYR.FENTRY 0 ビットを“0”にして、FCU を ROM リードモードに設定する必要があります。

また、FWEPROR レジスタにバイトで 02h を書き込み、書き込み／消去不可能状態にする必要があります（「31.2.15 フラッシュライトイレースプロテクトレジスタ（FWEPROR）」を参照）。

ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。

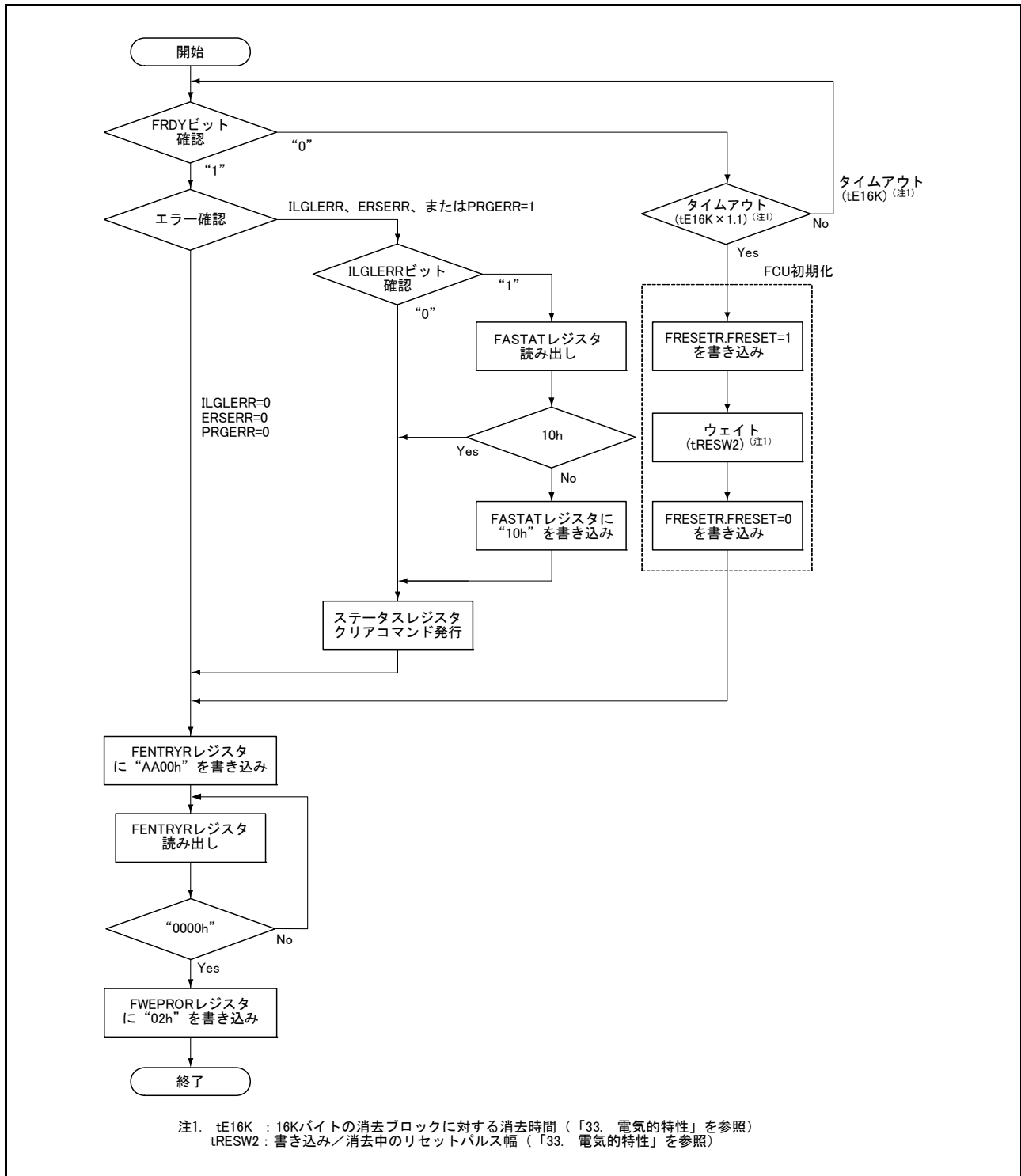


図 31.7 ROM リードモード移行フロー

(3) ROM P/E ノーマルモード移行方法

ROM P/E ノーマルモードへの移行方法には、ROM リードモード時に FENTRYR レジスタを設定する方法（「31.6.1 FCU のモード」を参照）と、ROM P/E モード時にノーマルモード移行コマンドを発行する方法（図 31.8）があります。ノーマルモード移行コマンドは、FFh を ROM 書き込み/消去用のアドレスにバイト書き込みを行なうことで実施されます。

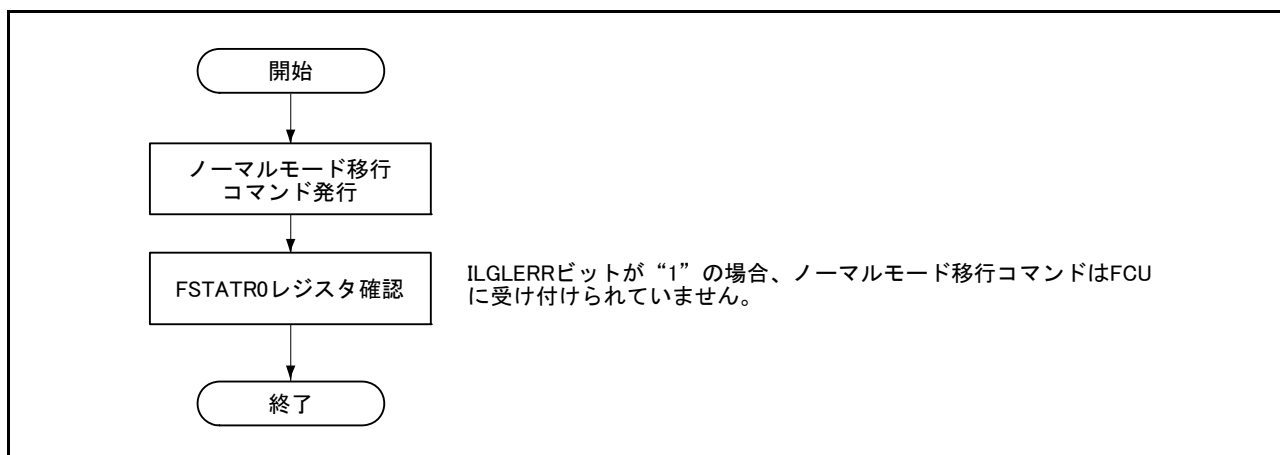


図 31.8 ROM P/E ノーマルモード移行フロー

(4) ROM ステータスリードモード移行方法

ノーマルモード移行、ロックビットリードモード移行以外の FCU コマンドを発行すると、FCU は ROM ステータスリードモードに移行します。また、ステータスリードモード移行コマンドを発行することでも移行できます。図 31.9 に FSTATR0 レジスタの確認の例を示します。この例はステータスリードモード移行コマンドを発行して ROM ステータスリードモードに移行した後で、ROM 書き込み/消去用アドレスに対してリードアクセスを実行して、FSTATR0 の内容を確認しています。

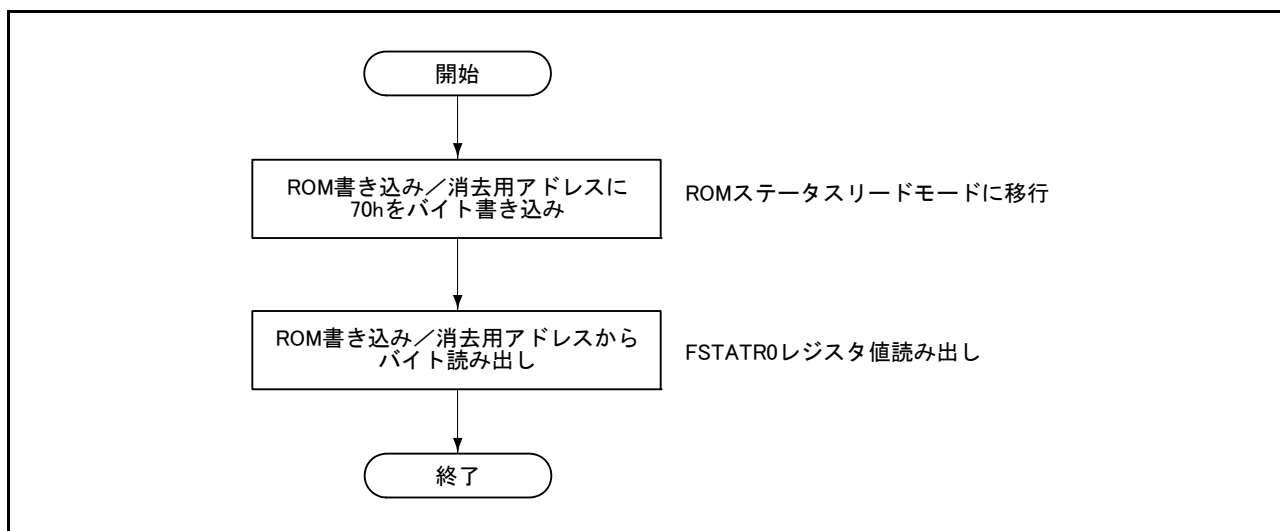


図 31.9 ROM ステータスリードモード移行フローおよびステータスの確認方法

(5) ROM ロックビットリードモード移行方法

FMODR.FRDMMD ビットが“0”（メモリ領域リード方式）で、ロックビットリードモード移行コマンド（ロックビットリード1）を発行することで移行します。ROM ロックビットリードモードに移行後に ROM 書き込み／消去用のアドレスに対してリードアクセスを実行すると、アクセス先に対応する消去ブロックのロックビットが読み出され、読み出しデータの全ビットにコピーされます（図 31.10）。

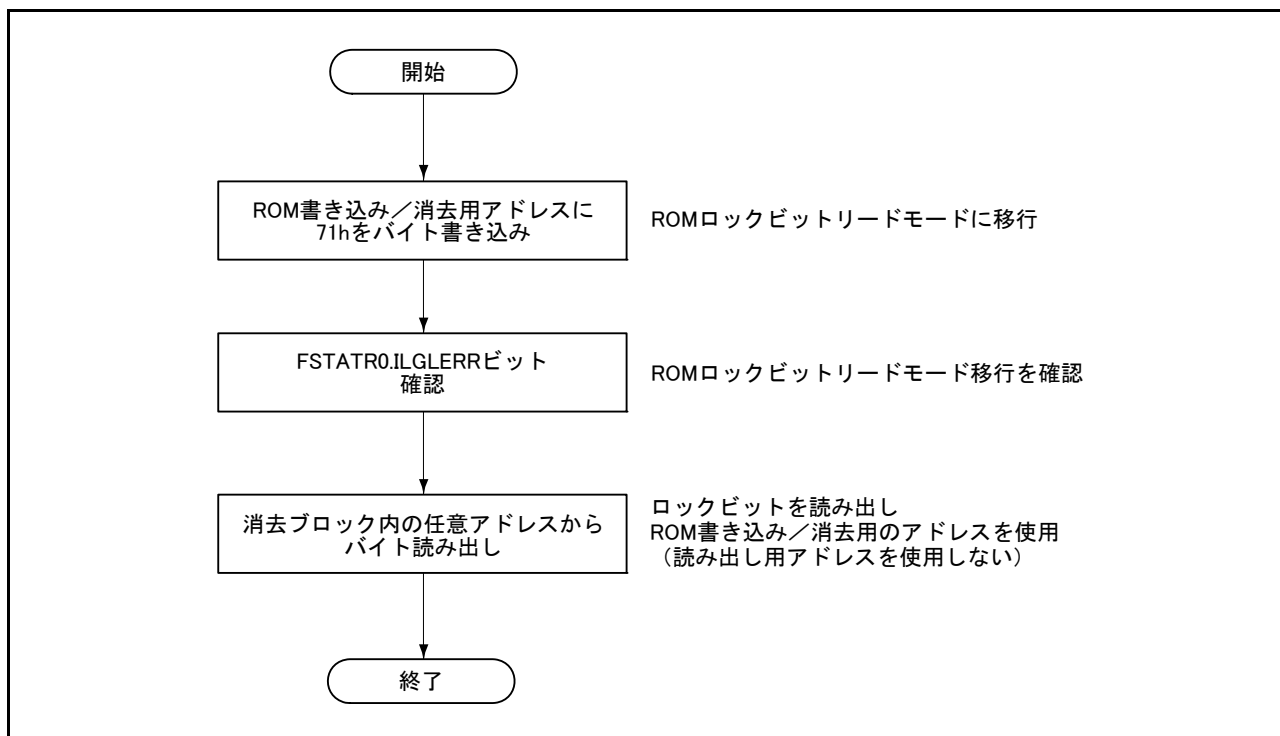


図 31.10 ROM ロックビットリードモード移行フローおよびロックビットを読む方法

31.6.4.2 書き込み/消去手順

ここではROMの書き込み/消去のフローについて説明します。FCUのコマンド受け付け条件については、「31.6.3 FCUのモードとコマンドの関係」を参照してください。

図 31.11 に FCU コマンドの概略フローを示します。

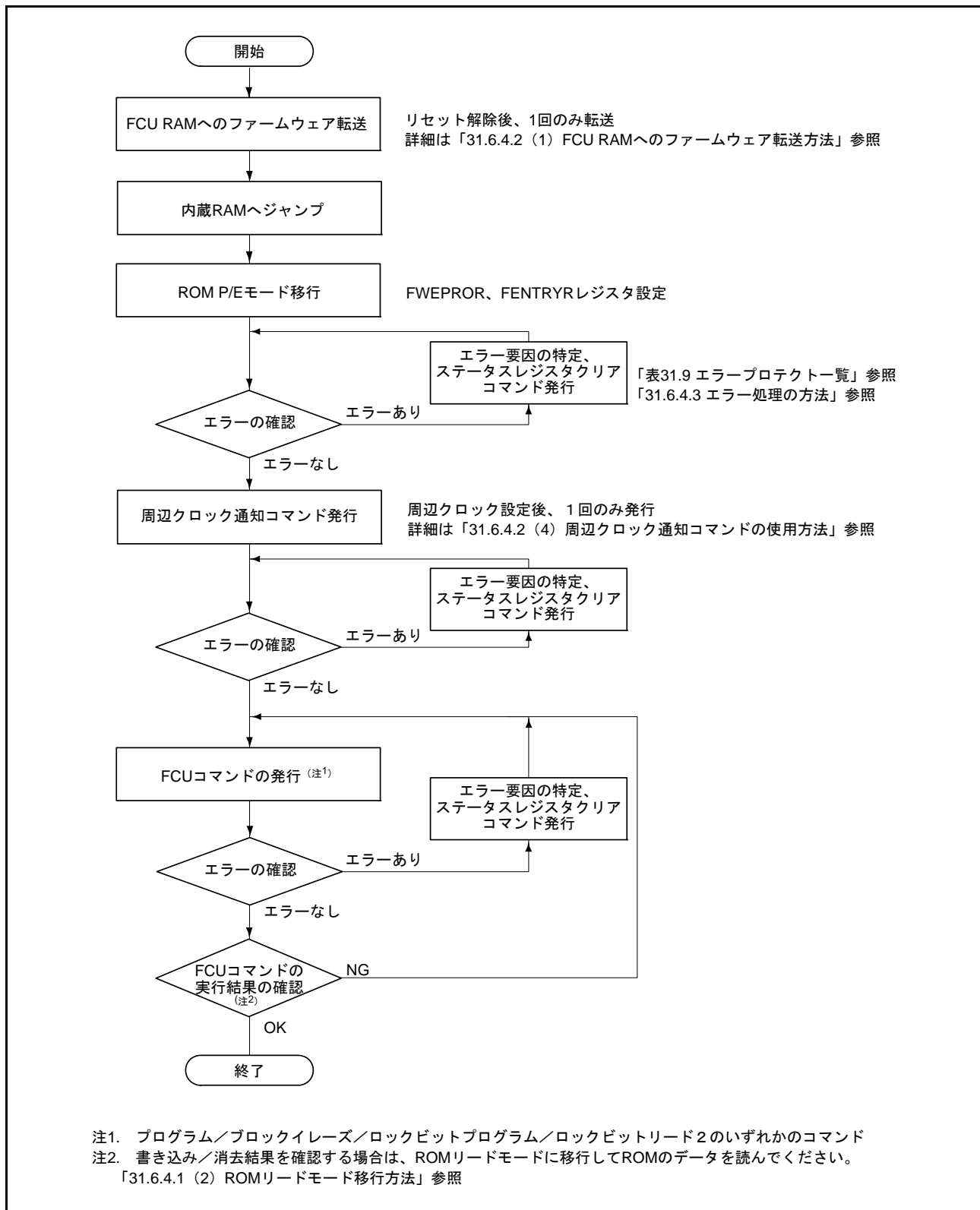


図 31.11 書き込み/消去処理の概略フロー

(1) FCU RAM へのファームウェア転送方法

FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要があります。チップ起動時には FCU RAM に FCU のファームウェアが格納されていないため、FCU ファーム領域に格納された FCU ファームウェアを FCU RAM にコピーする必要があります。また、FSTATR1.FCUERR ビットが“1”の場合には、FCU RAM に格納されたファームウェアが破壊されている可能性があるため、FCU をリセットし FCU ファームを再コピーする必要があります。

図 31.12 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書く場合には、FENTRYR レジスタを 0000h にして FCU を停止させてください。

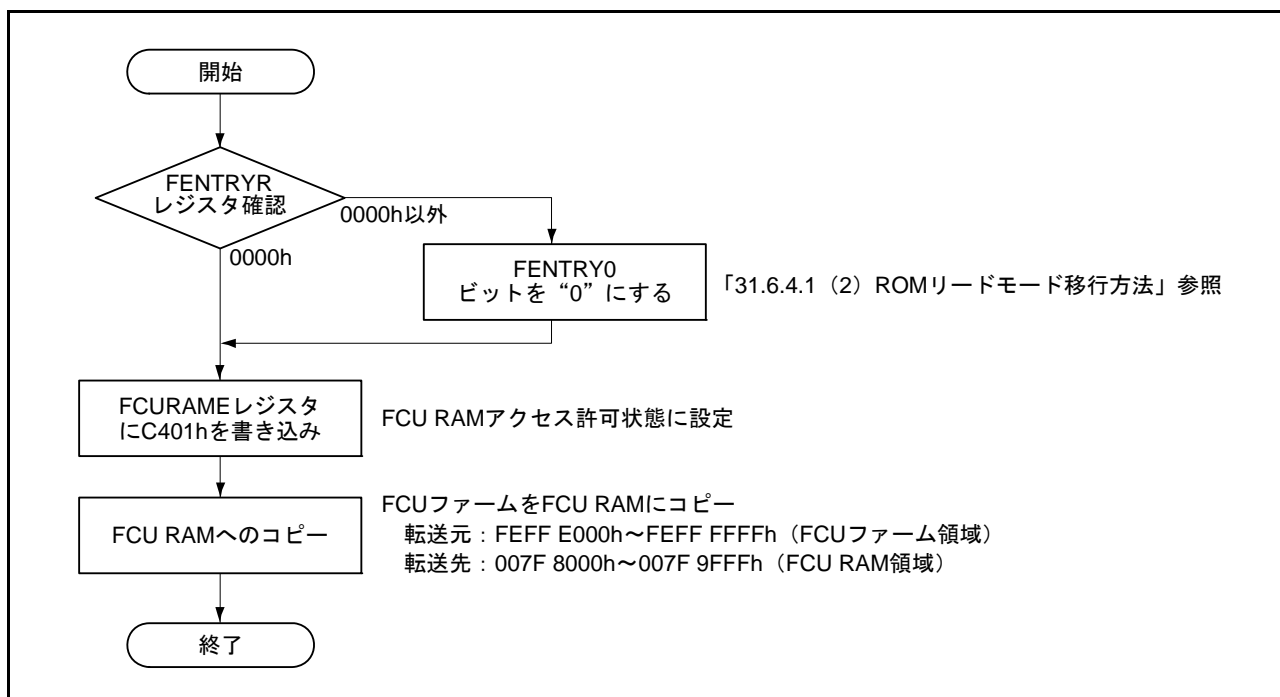


図 31.12 FCU RAM へのファームウェア転送フロー

(2) 内蔵 RAM へのジャンプ

ROM への書き込み／消去を行う場合、ROM に対する命令フェッチを実行させないため、ROM 以外の領域に移る必要があります。必要な命令コードを内蔵 RAM へコピーして内蔵 RAM へジャンプしてください。

(3) ROM P/E モード移行

FENTRYR.FENTRY0 ビット、FWEPROR レジスタを設定して、FCU を ROM P/E モードに設定する必要があります。詳細は「31.6.4.1(1) ROM P/E モード移行方法」を参照してください。

(4) 周辺クロック通知コマンドの使用方法

ROM への書き込み／消去前に使用している周辺クロックの周波数を PCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は 8 ～ 50MHz です。この範囲以外には設定しないでください。

PCKAR レジスタの設定後に周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第 1 サイクルでは E9h を、第 2 サイクルでは 03h を ROM 書き込み／消去用のアドレスにバイト書き込みします。コマンドの第 3 サイクル～第 5 サイクルでは、ワードサイズで書き込みを実行します。この際、先頭アドレスは 4 バイト境界にアラインしたアドレスを使用してください。ROM 書き込み／消去用のアドレスに対して 0F0Fh データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM 書き込み／消去用のアドレスに対して D0h をバイト書き込みすると、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTATR0.FRDY ビットで確認可能です。

第 1 サイクル～第 6 サイクルで指定可能なアドレスは、FENTRYR.FENTRY 0 ビットの設定によって異なります。FENTRYR.FENTRY 0 ビットに対応したアドレスを指定してください。誤った FENTRYR., FENTRY 0 ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCU はエラーを検出しコマンドロック状態になります（「31.8.2 エラープロテクト」を参照）。

なお、この設定はリセット後、使用している周辺クロックの設定を変更しなければ、1 回の実行で後続の FCU コマンドで有効になります。

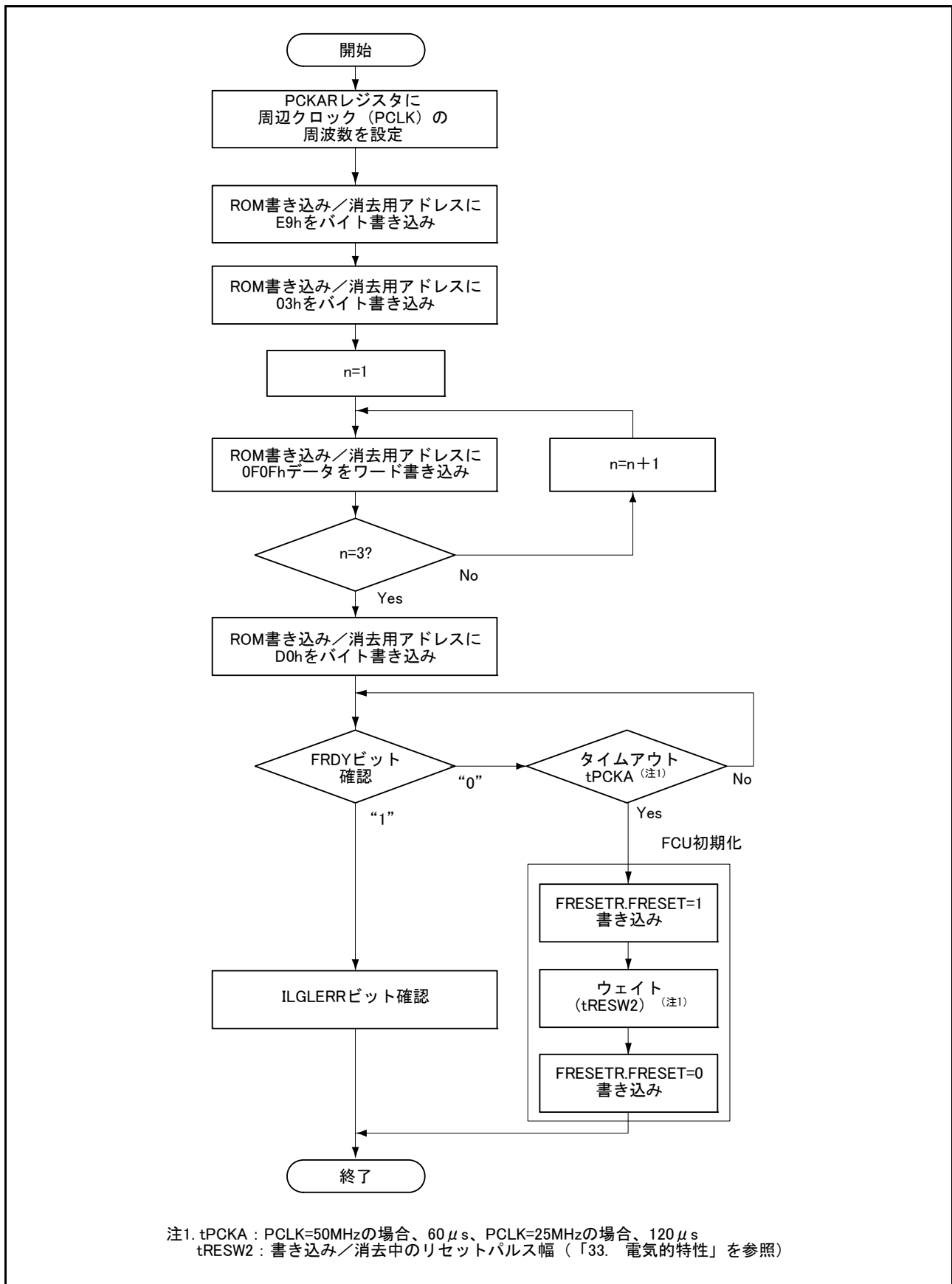


図 31.13 周辺クロック通知コマンドの使用法

(5) 書き込み方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。

プログラムコマンドの第1サイクルではE8hを、第2サイクルでは80hをROM書き込み/消去用のアドレスにバイト書き込みします。第3サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータをワードサイズで書いてください。この際、先頭アドレスは256バイト境界にアラインしたアドレスを使用してください。第4サイクル～第130サイクルでは、ROM書き込み/消去用のアドレスに対して書き込みデータをワードサイズで127回書いてください。第131サイクルでROM書き込み/消去用のアドレスに対してD0hをバイト書き込みすると、FCUがROMの書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDYビットで確認可能です。

第1サイクル～第131サイクルで指定可能なアドレスは、FENTRYR.FENTRY0ビットの設定によって異なります。FENTRYR.FENTRY0ビットに対応したアドレスを指定してください。誤ったFENTRYR.FENTRY0ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCUはエラーを検出しコマンドロック状態になります（「31.8.2 エラープロテクト」を参照）。

第3サイクル～第130サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータをFFFFhにしてください。ロックビットによるプロテクトを無効化にして書き込みを実施したい場合には、FPROTR.FPROTCNビットを“1”にしてから書き込みを行ってください。

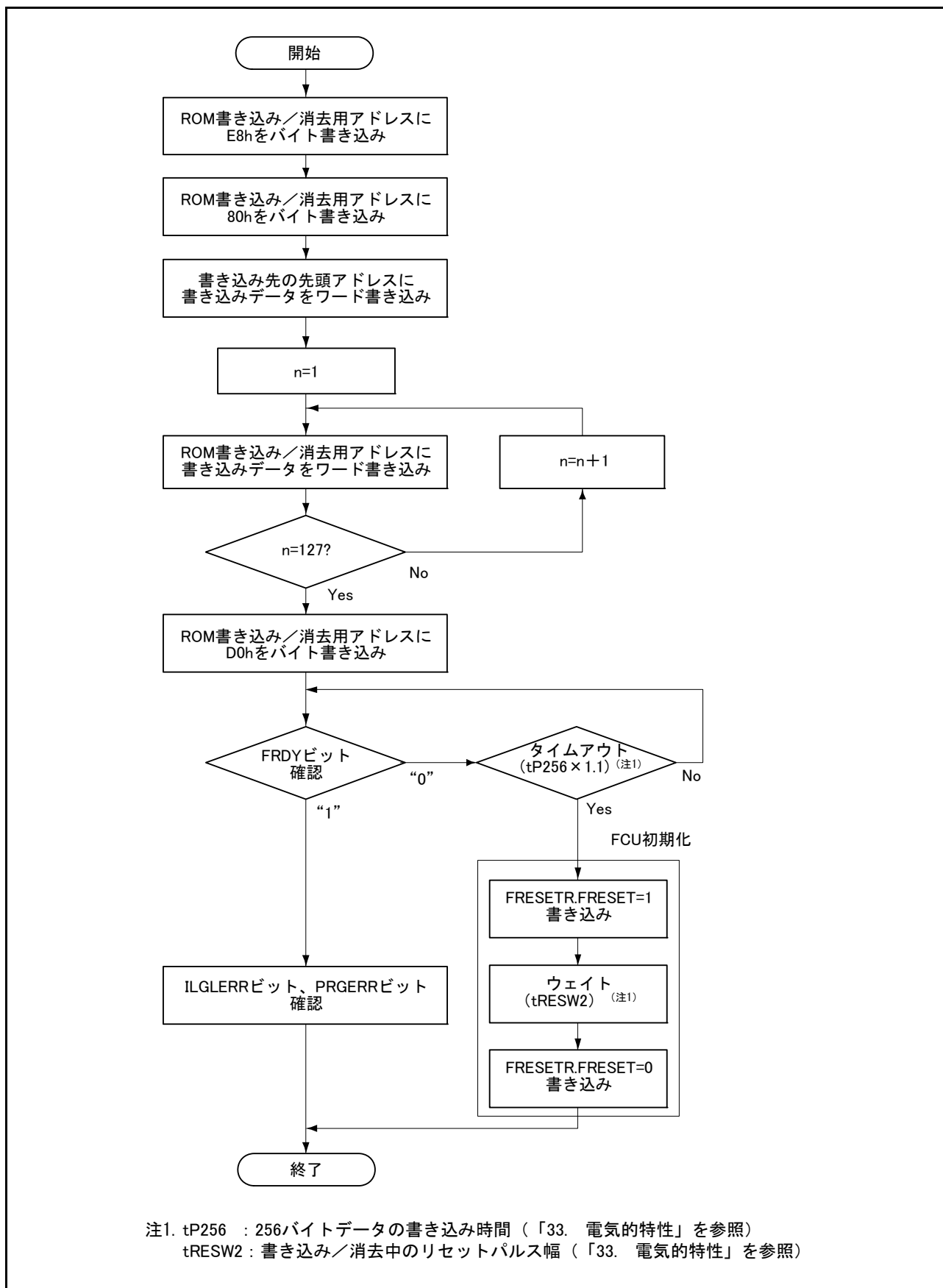


図 31.14 ROM 書き込み方法

(6) 消去方法

ROMの消去には、ブロックイレーズコマンドを使用します。

ブロックイレーズコマンドの第1サイクルでは、20hをROM書き込み/消去用アドレスにバイト書き込みします。第2サイクルでD0hを消去対象ブロック内の任意アドレスにバイト書き込みすると、FCUがROMの消去処理を開始します。消去の完了は、FSTATR0.FRDYビットで確認可能です。CPUで消去状態のROMを読み出すと、32ビットでFFFF FFFFhが読めます。

ロックビットによるプロテクトを無効にして消去を実施したい場合には、FPROTR.FPROTCNビットを“1”にしてから消去を行ってください。

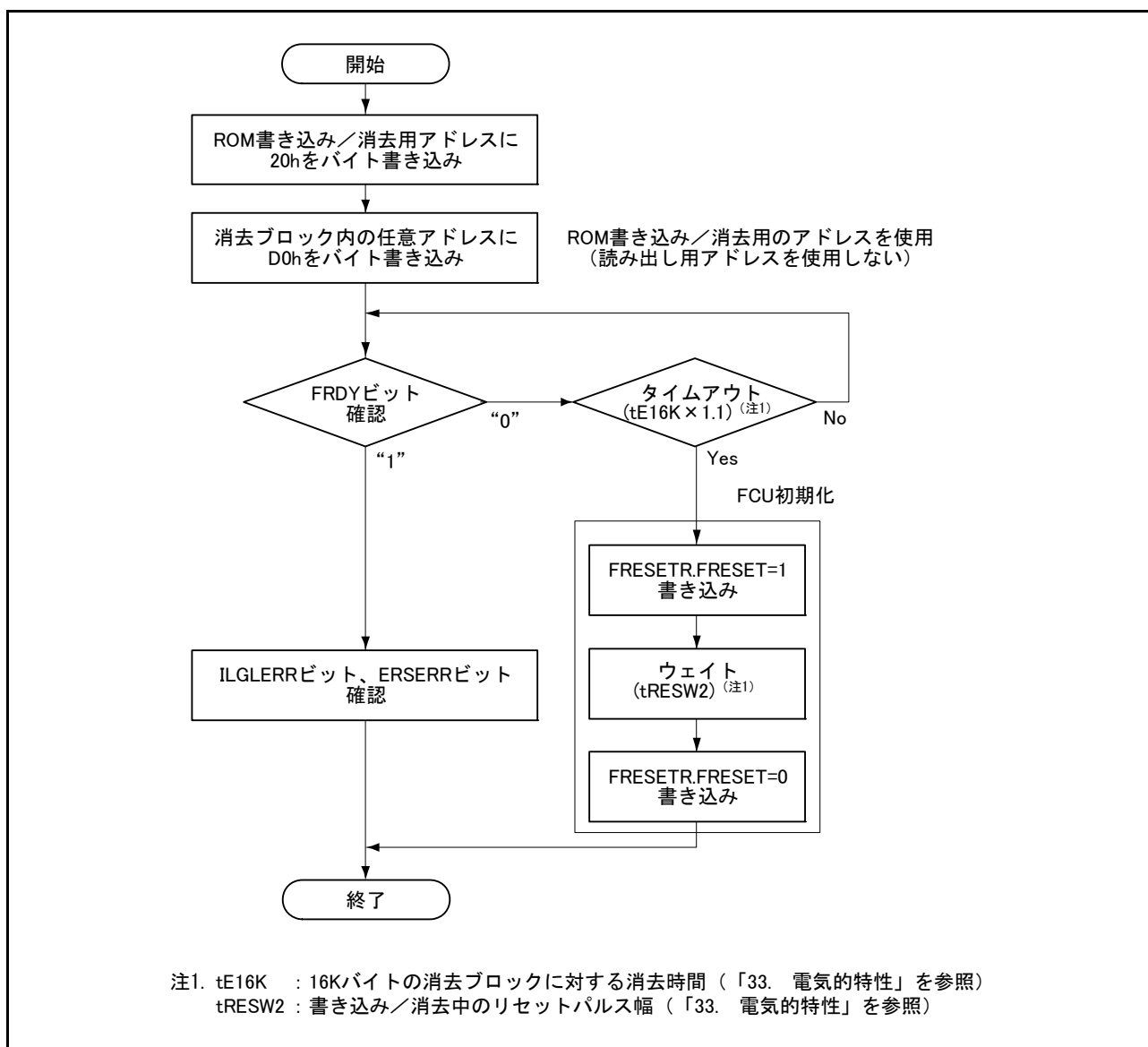


図 31.15 ROM 消去方法

(7) ロックビットの書き込み / 消去方法

ユーザマットの各消去ブロックにはロックビットが内蔵されています。ロックビットに書き込みを行いたい場合には、ロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルでは、77hをROM書き込み／消去用アドレスにバイト書き込みします。第2サイクルでロックビットを書き込みたい消去ブロック内の任意アドレスに対してD0hをバイト書き込みすると、FCUがロックビットの書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDYビットで確認可能です。

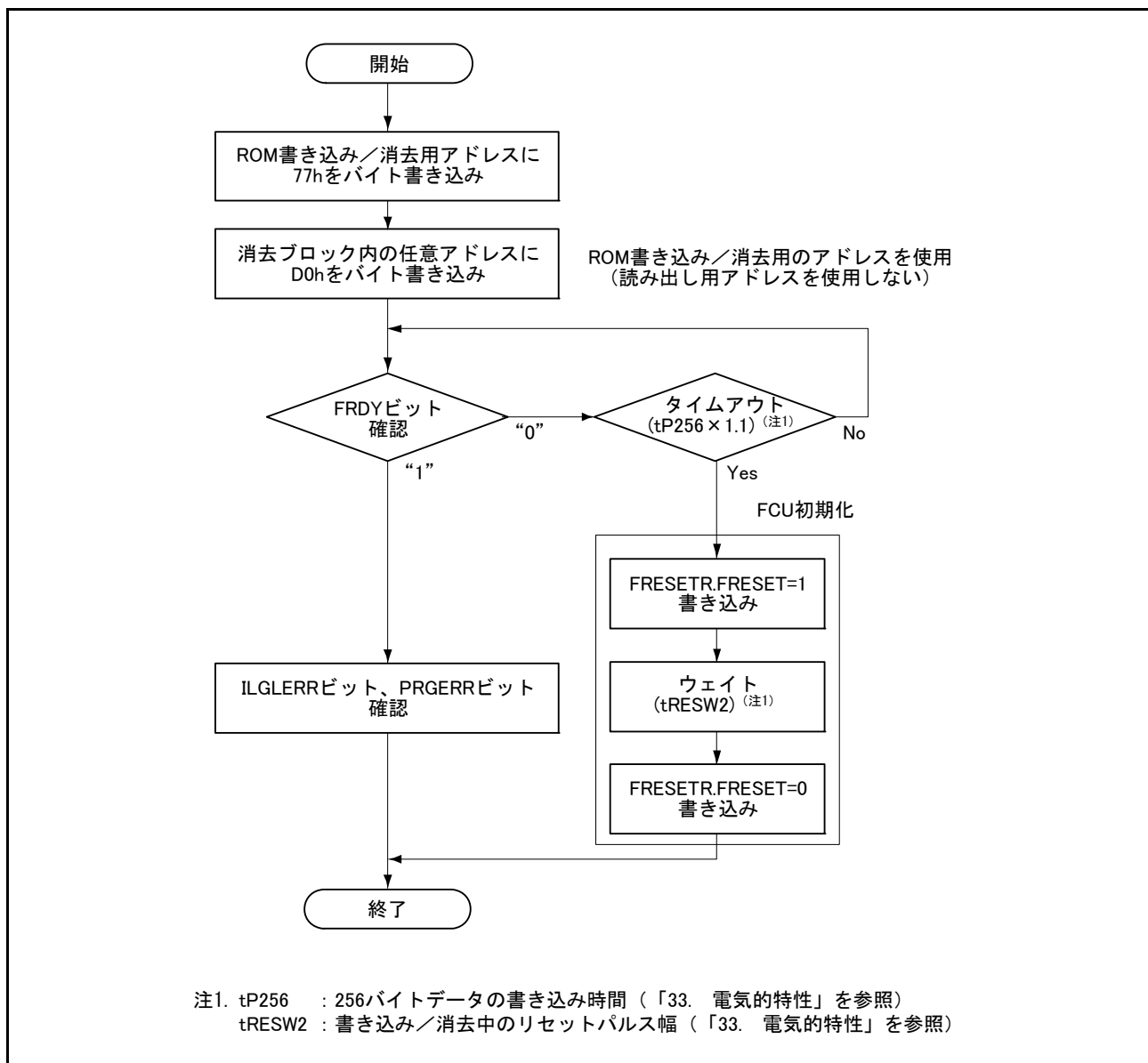


図 31.16 ロックビットのプログラムの設定方法

ロックビットの消去には、ブロックイレーズコマンドを使用します。

FPROTR.FPROTCNビットが“0”の状態では、ロックビットが“0”になった消去ブロックを消去することができません。ロックビットを消去する場合には、FPROTCNビットを“1”にした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用すると消去ブロック内の全データが消去されます。ロックビットのみを消去することはできません。

(8) ロックビットの読み出し方法

ロックビットの読み出し方法には、メモリ領域リード方式とレジスタリード方式があります。

レジスタリード方式（FMODR.FRDMMD ビットが“1”）の場合には、ロックビットリード2コマンドを使用します。ロックビットリード2コマンドは、ロックビットを読み出したい消去ブロックの書き込み/消去用アドレスに発行します。ロックビットリード2コマンドの第1サイクルでは71hを、第2サイクルではD0hをそれぞれバイト書き込みすると、対応する消去ブロックのロックビットがFSTATR1.FLOCKSTビットにコピーされます。

メモリ領域リード方式（FMODR.FRDMMD ビットが“0”）の場合には、ロックビットリードモードに移行し、ROMの書き込み/消去用アドレスを読むことを行います。詳細については、「31.6.4.1(5) ROM ロックビットリードモード移行方法」を参照してください。

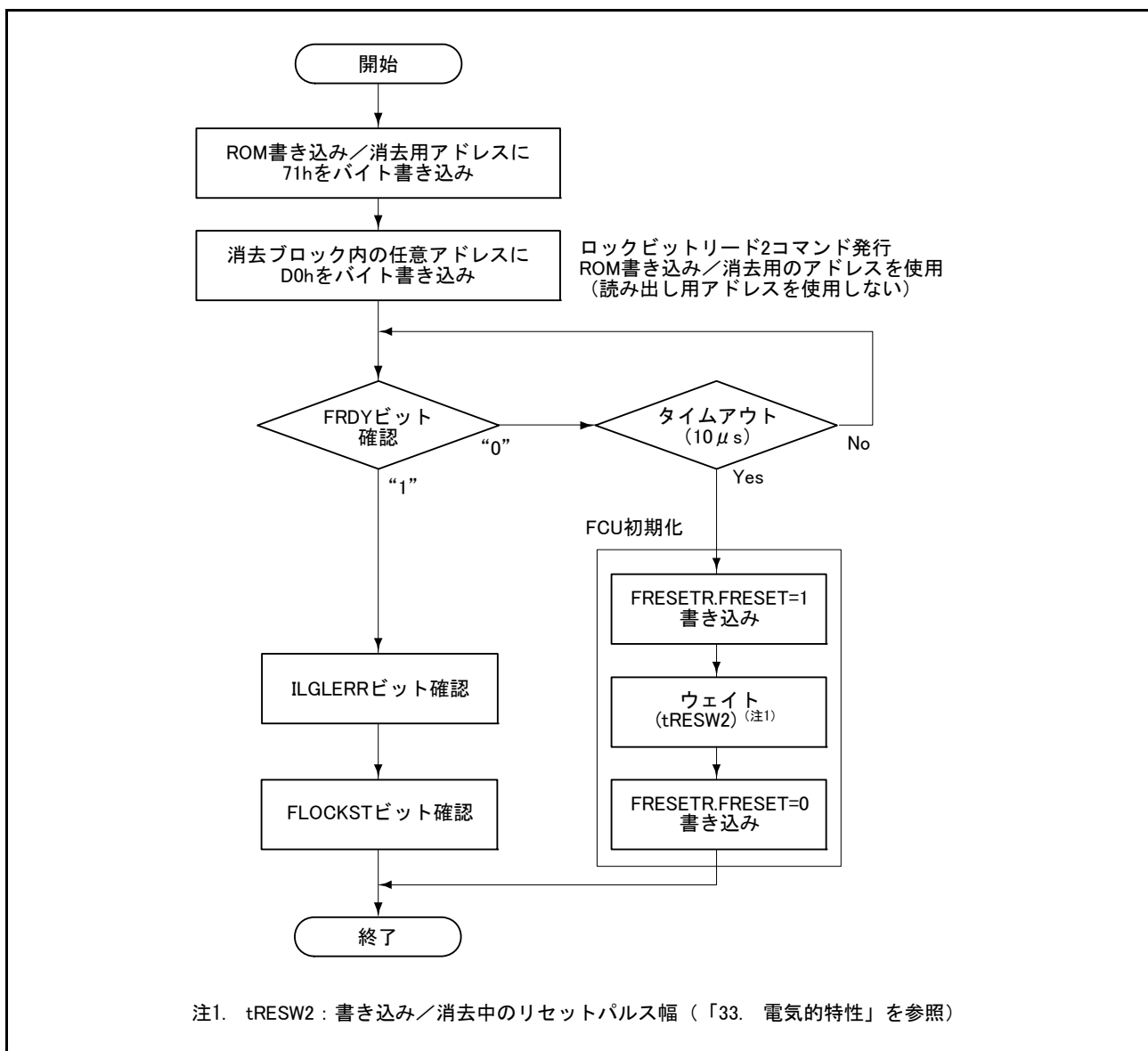


図 31.17 レジスタリード方式でロックビットを読み出す方法

31.6.4.3 エラー処理の方法

エラー発生時の処理方法を説明します。各種エラーの内容は「31.8 プロテクト」を参照してください。

(1) フラッシュステータスレジスタ 0 (FSTATR0) の確認方法

FSTATR0 レジスタの確認方法には、FSTATR0 レジスタを直接読み出す方法と、ROM ステータスリードモードでROM 書き込み/消去用アドレスを読み出す方法があります。

ROM ステータスリードモードで読み出す方法は、「31.6.4.1 (4) ROM ステータスリードモード移行方法」を参照してください。

(2) フラッシュステータスレジスタ 0 (FSTATR0) のクリア方法

FSTATR0.ILGLERR, ERSERR, PRGERR ビットを“0”にしたい場合には、ステータスレジスタクリアコマンドを使用します。

FSTATR0.ILGLERR, ERSERR, PRGERR ビットのいずれかが“1”の場合には、FCU はコマンドロック状態になり、ステータスレジスタクリアコマンド以外のFCU コマンドを受け付けません。ILGLERR ビットが“1”の場合には、FSTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットは“0”になりません。

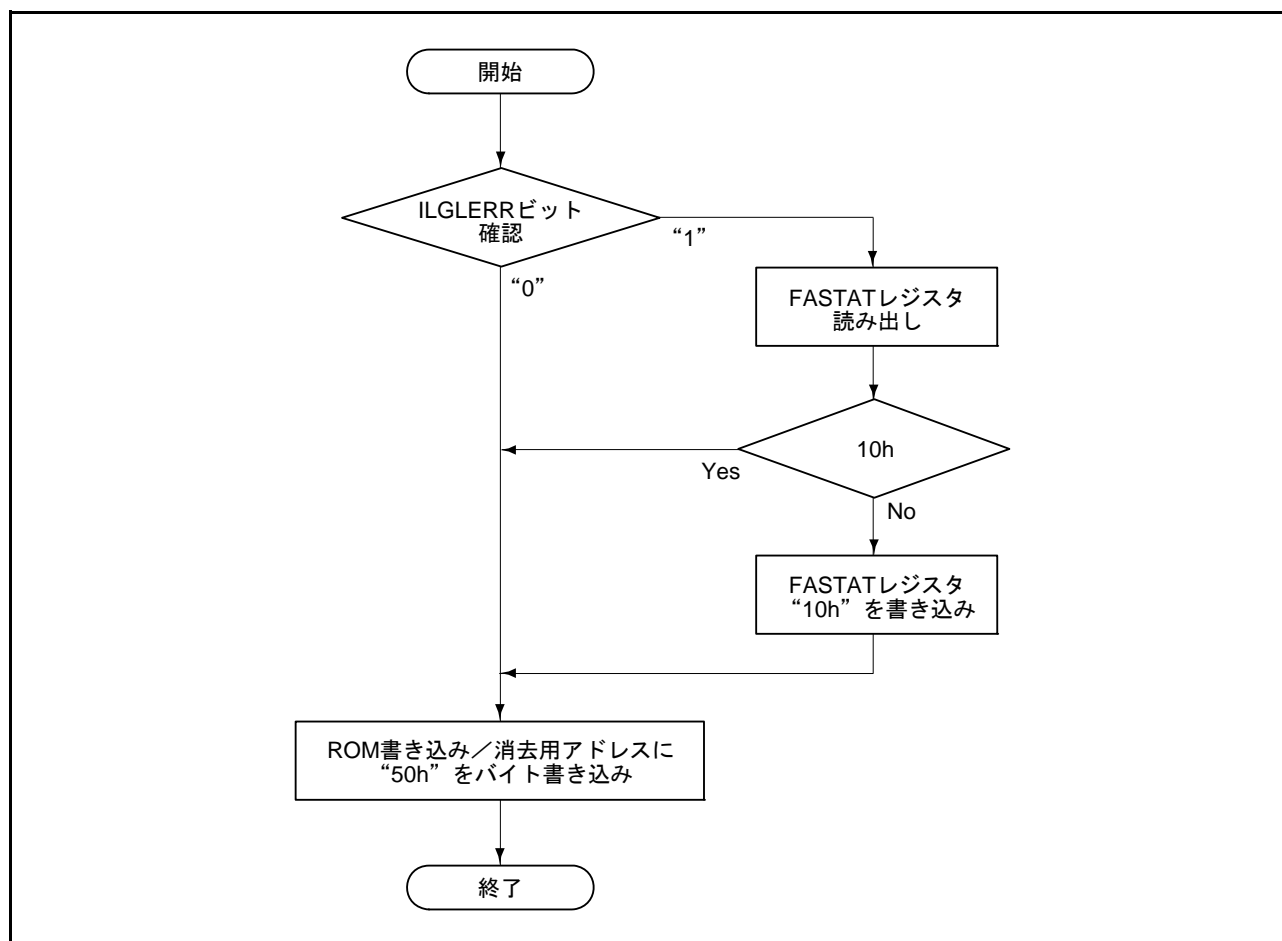


図 31.18 FSTATR0 レジスタのクリア方法

(3) FCUの初期化の方法

FCU コマンド発行後、タイムアウトにより FSTATR0.FRDY ビットが“1”にならない場合、FRESETR レジスタによる FCU の初期化が必要です。また、FSTATR1.FCUERR ビットが“1”の場合も、FRESETR レジスタによる FCU 初期化が必要です。いずれの場合も FRESETR.FRESET ビットが“1”の状態を tRESW2 期間（「33. 電気的特性」を参照）保持してください。FRESET ビットを“1”に保持している期間は、ROM / データフラッシュへの読み出しを禁止してください。また、FRESET ビットが“1”の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。図 31.11 の処理を先頭からやり直してください。

31.6.4.4 サスペンド/レジューム

(1) 書き込み/消去のサスペンド方法

ROM への書き込み/消去の中断には、P/E サスペンドコマンドを使用します。

P/E サスペンドコマンドを発行する場合には、事前に FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットが“0”で書き込み/消去処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR0.SUSRDY ビットが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読んでエラーが発生していないことを確認してください。

書き込み/消去処理中に異常が発生した場合には、ILGLERR、PRGERR、ERSERR、FCUERR ビットのうち少なくとも1つのビットが“1”になります。また、SUSRDY ビットが“1”であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に書き込み/消去処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが“1”になります。

P/E サスペンドコマンドの受け付けと書き込み/消去処理の完了が同時であった場合にはエラーは発生せず、サスペンド状態にも遷移しません（FSTATR0.FRDY ビットが“1”、かつ FSTATR0.ERSSPD, PRGSPD ビットが“0”）。P/E サスペンドコマンドが受け付けられて、書き込み/消去の中断処理が正常に終了した場合には、FCU がサスペンド状態に遷移して FRDY ビットが“1”、かつ ERSSPD ビットまたは PRGSPD ビットが“1”になります。P/E サスペンドコマンド発行後には、ERSSPD ビットまたは PRGSPD ビットが“1”で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し FCU がコマンドロック状態に遷移します（「31.8.2 エラープロテクト」を参照）。

消去サスペンド状態に遷移した場合には、消去対象外のブロックに対する書き込みを実行することができません。また、書き込み/消去サスペンド状態ともに、FENTRYR レジスタをクリアすることにより、ROM リードモードに移行することも可能です。

P/E サスペンドコマンド受け付け時の FCU 動作の内容については、「31.7 サスペンド動作」を参照してください。

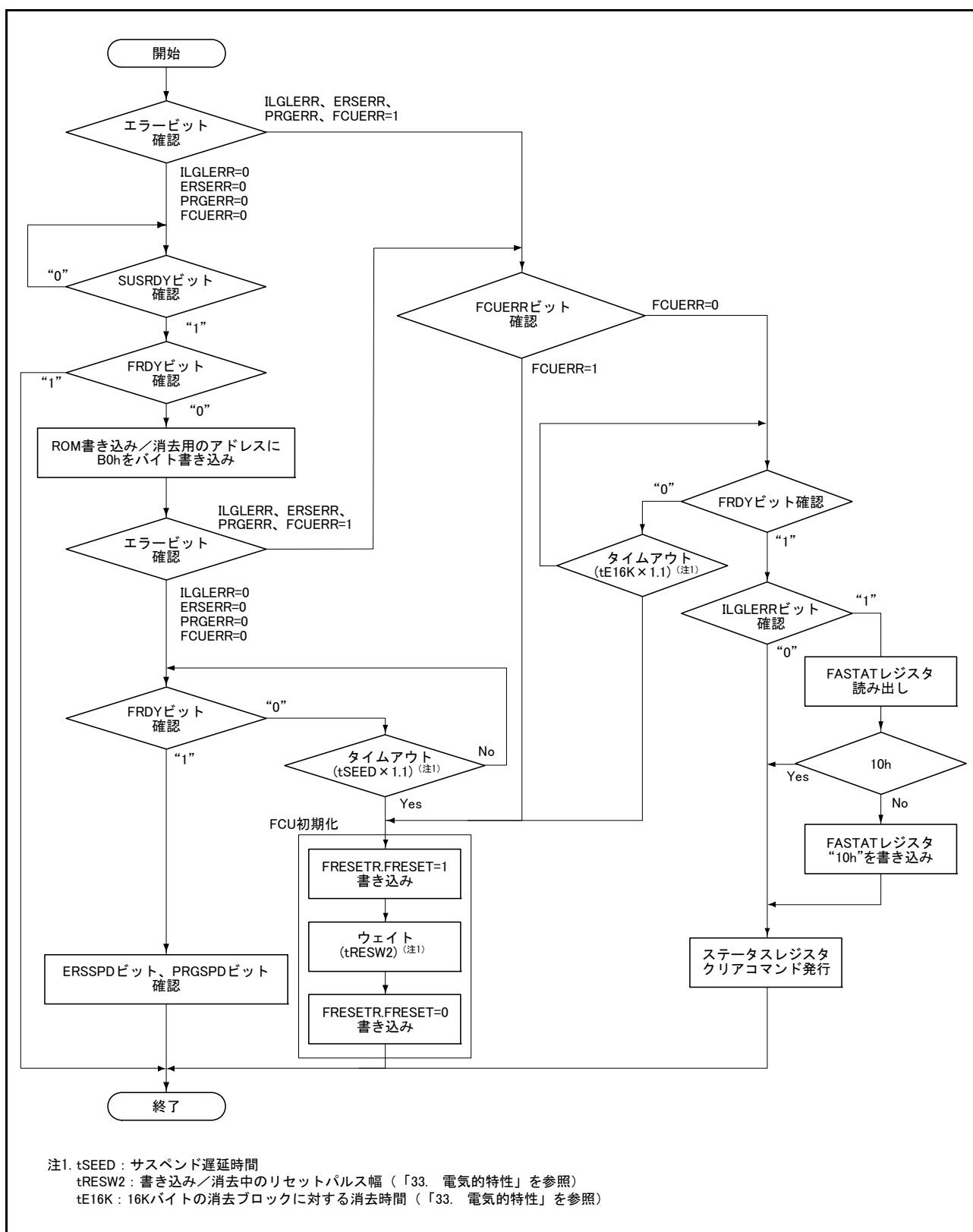


図 31.19 書き込み/消去のサスペンド方法

(2) 書き込み／消去のレジューム方法

サスペンドした書き込み／消去処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR レジスタを P/E サスペンドコマンド発行直前の値に再設定してください。

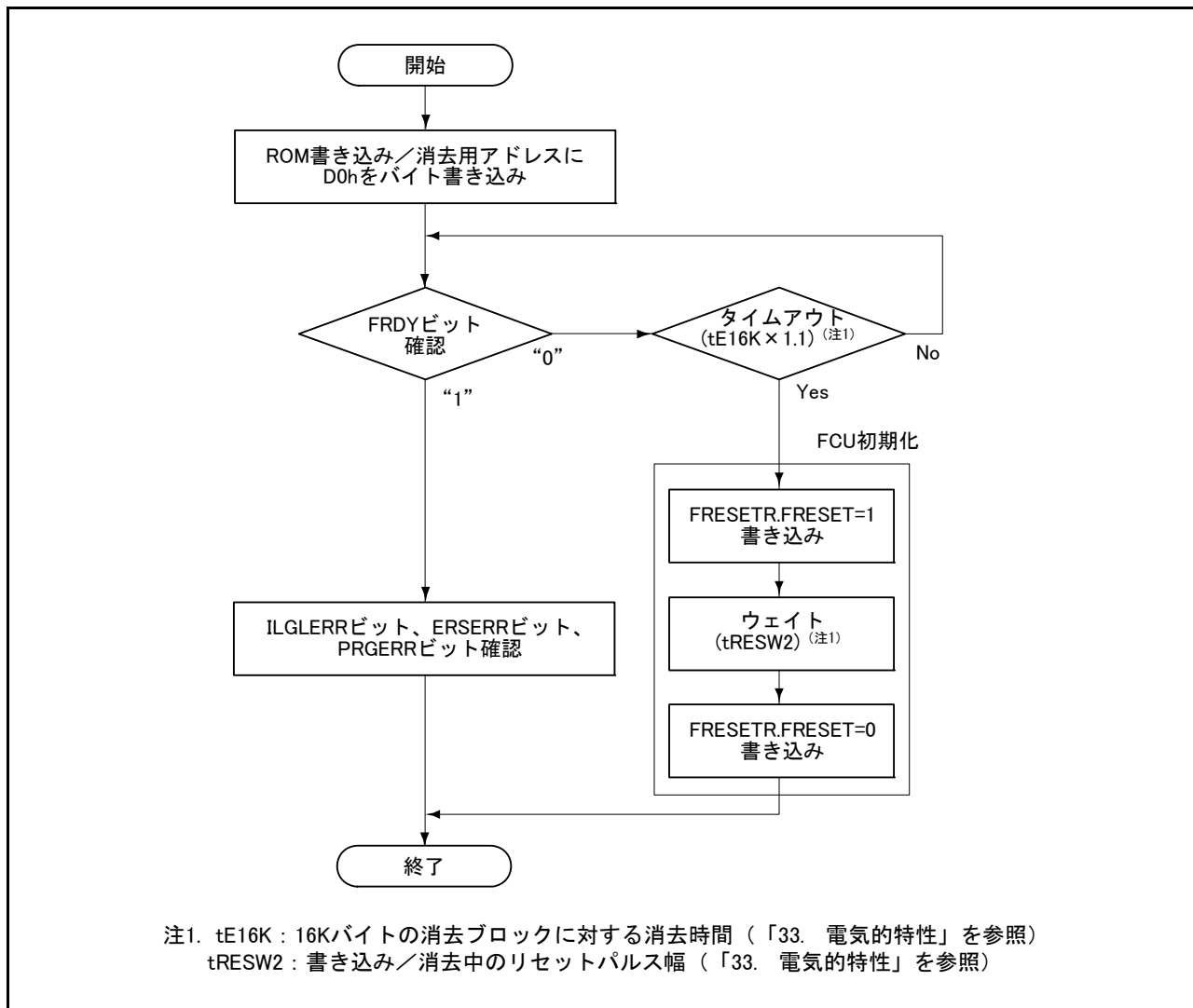


図 31.20 書き込み／消去のレジューム方法

31.7 サスペンド動作

書き込み／消去処理中はROMの読み出しはできません。P/E サスペンドコマンドを発行し、ROMの書き込み／消去処理を中断させることによって、ROMの読み出しができるようになります。P/E サスペンドコマンドには、書き込み1種類と消去2種類（サスペンド優先モード、消去優先モード）のモードを用意しています。また、中断した書き込み／消去処理を再開するP/E レジュームコマンドも用意しています。

31.7.1 書き込み中のサスペンド

ROMの書き込み／消去中にP/E サスペンドコマンドを発行すると、FCUは書き込み処理を中断します。図31.21に書き込み処理の中断動作を示します。

FCUは書き込み系のコマンドを受け付けると、FSTATR0.FRDYビットを“0”にして書き込み処理を開始します。書き込み処理の開始後にFCUがP/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR0.SUSRDYビットが“1”になります。P/E サスペンドコマンドが発行されると、FCUはサスペンドコマンドを受け付けてSUSRDYビットを“0”にします。書き込みパルス印加中にFCUがP/E サスペンドコマンドを受け付けた場合には、FCUはパルスの印加を継続します。所定のパルス印加時間を経過するとFCUはパルスの印加を完了し、書き込みの中断処理を開始してFSTATR0.PRGSPDビットを“1”にします。中断処理が完了すると、FCUはFRDYビットを“1”にして書き込みサスペンド状態に遷移します。書き込みサスペンド状態でFCUがP/E レジュームコマンドを受け付けた場合には、FCUはFRDYビットとPRGSPDビットを“0”にして書き込み処理を再開します。

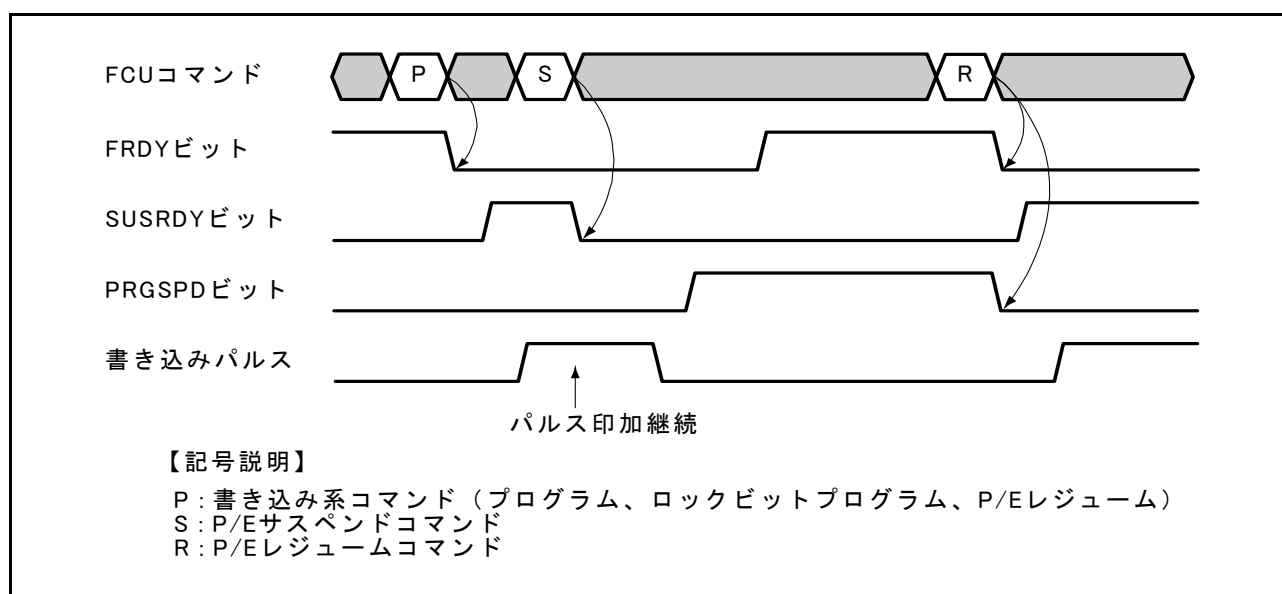


図 31.21 書き込み処理の中断動作

31.7.2 消去中のサスペンド（サスペンド優先モード）

図 31.22 に消去サスペンドモードがサスペンド優先モード（FCPSR.ESUSPMD ビットが“0”）の場合の消去処理の中断動作を示します。

FCU は消去系のコマンドを受け付けると、FSTATR0.FRDY ビットを“0”にクリアして消去処理を開始します。消去処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に移行すると、FSTATR0.SUSRDY ビットが“1”になります。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを“0”にします。消去処理中にサスペンドコマンドを受け付けた場合には、FCU は消去パルス印加中でも中断処理を開始して FSTATR0.ERSSPD ビットを“1”にします。中断処理が完了すると、FCU は FRDY ビットを“1”にして、消去サスペンド状態に移行します。消去サスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを“0”にして、消去処理を再開します。消去処理の中断／再開時の FRDY、SUSRDY、ERSSPD ビット動作は、消去サスペンドモードに依存せず同様です。

消去サスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を中断して消去サスペンド状態に移行します。P/E レジュームコマンドにより消去が再開され、消去パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU は消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU は消去パルスの印加を完了して消去サスペンド状態に移行します。次に FCU が P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

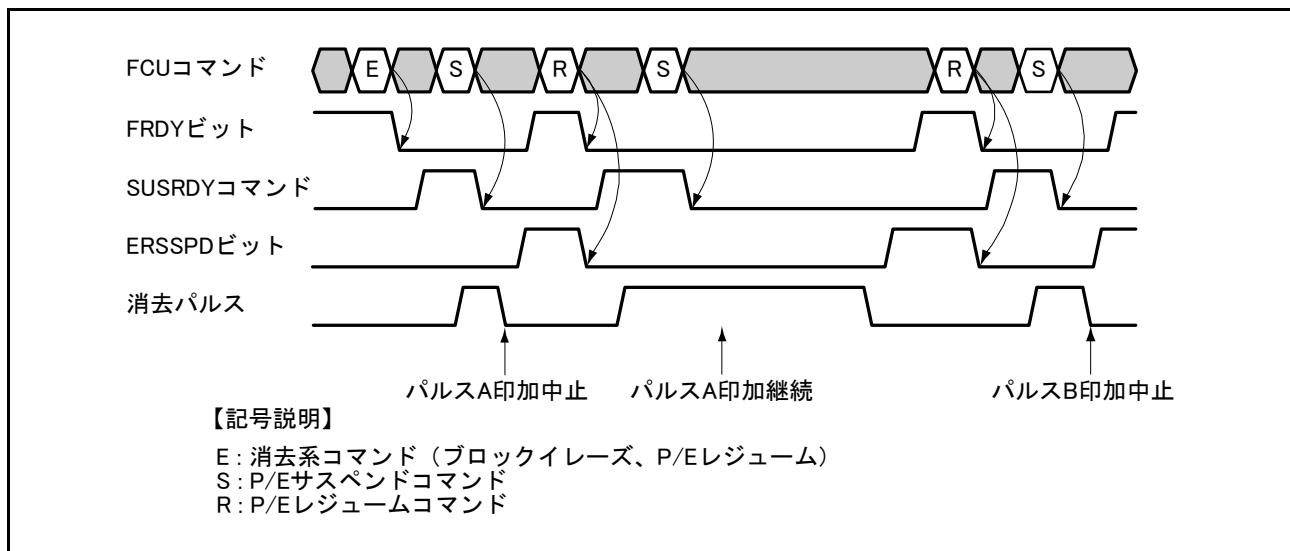


図 31.22 消去処理の中断動作（サスペンド優先モード）

31.7.3 消去中のサスペンド（消去優先モード）

図 31.23 に消去優先モード（FCPSR.ESUSPMD ビットが“1”）の場合の消去処理の中断動作を示します。消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

FCU が消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、必ず消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較して消去処理全体に必要な時間を短縮可能です。

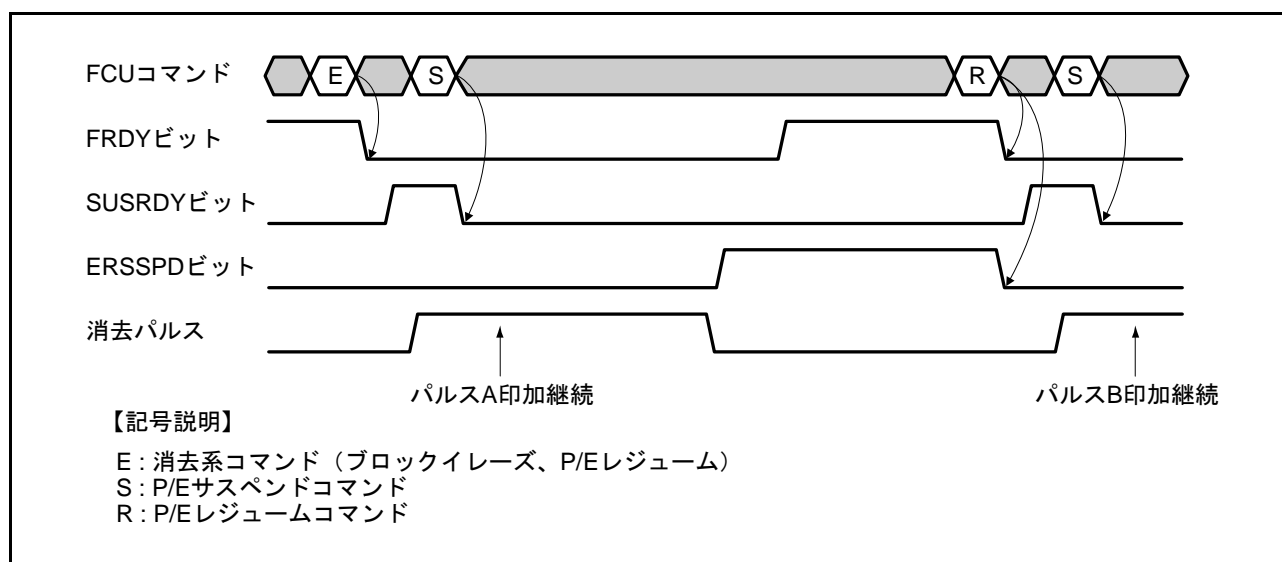


図 31.23 消去処理の中断動作（消去優先モード）

31.8 プロテクト

ROMに対する書き込み/消去のプロテクトには、ソフトウェアプロテクト、エラープロテクトの2種類があります。

31.8.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザマットのロックビット設定によってROMに対する書き込み/消去が禁止された状態です。ソフトウェアプロテクトに違反して、ROMに対する書き込み/消去系コマンドを発行した場合には、FCUがエラーを検出してコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRY0 ビットが“0”の場合には、ROMリードモードになります。ROMリードモードではFCUコマンドが受け付けられないため、ROMへの書き込み/消去は禁止状態になります。ROMリードモードでFCUコマンドを発行すると、FCUは不正コマンドエラーを検出してコマンドロック状態になります（「31.8.2 エラープロテクト」を参照）。

(3) ロックビットによるプロテクト

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが“0”の場合には、ロックビットが“0”の消去ブロックに対する書き込み/消去は禁止状態になります。ロックビットが“0”の消去ブロックを書き込み/消去したい場合には、FPROTCN ビットを“1”にしてください。ロックビットによるプロテクトに違反してROMに対する書き込み/消去系コマンドを発行すると、FCUは書き込み/消去エラーを検出してコマンドロック状態になります（「31.8.2 エラープロテクト」を参照）。

31.8.2 エラープロテクト

エラープロテクトは、FCUコマンドの誤発行、禁止アクセスの発生により、FCUが誤動作を検知してFCUコマンドの受け付けを禁止する状態（コマンドロック状態）です。

FCUがコマンドロック状態（FASTAT.CMDLK ビットが“1”）になると、ステータスビット

（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE ビット）の何れか、もしくはこれらのビットに複数の“1”がセットされ、ROMへの書き込み/消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが10hの状態ですてータスレジスタクリアコマンドを発行する必要があります。

FAEINT.CMDLKIE ビットが“1”の場合には、FCUがコマンドロック状態（FASTAT.CMDLK ビットが“1”）になるとフラッシュインタフェースエラー（FIFERR）割り込みが発生します。また、FAEINT.ROMAEIE ビットが“1”の場合には、FASTAT.ROMAE ビットが“1”になった場合もFIFERR割り込みが発生します。

表 31.9 に ROM 関連のエラープロテクト内容とエラー検出時のステータスビット値（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE ビット）の関係を示します。書き込み/消去処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCUは書き込み/消去処理を継続します。この状態でP/Eサスペンドコマンドを発行して書き込み/消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが“1”になります。

表31.9 エラープロテクト一覧（ROM専用+ROM/データフラッシュ共通）

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE	CMDLK
FENTRYR設定エラー	FENTRYR.FENTRYD, FENTRY0ビットのうち複数の“1”を設定	1	0	0	0	0	1
	サスペンド時とレジューム時でFENTRYRレジスタ設定が不一致	1	0	0	0	0	1
不正コマンドエラー	FCUコマンドの1サイクル目で未定義コードを指定	1	0	0	0	0	1
	複数サイクルのFCUコマンドの最終サイクルでD0h以外を指定	1	0	0	0	0	1
	書き込み/消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0	1
	書き込み/消去以外の処理中にサスペンドコマンドを発行	1	0	0	0	0	1
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0	1
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0	1
	書き込みサスペンド状態で書き込み/消去系（プログラム/ロックビットプログラム/ブロックイレーズ）コマンドを発行	1	0	0	0	0	1
	消去サスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0	1
	消去サスペンド状態で消去サスペンド対象領域へのプログラム/ロックビットプログラムコマンドを発行	1	0	0	0	0	1
	プログラムコマンドの2サイクル目で80h以外を指定	1	0	0	0	0	1
コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1	1	
消去エラー	消去処理中のエラー発生	0	1	0	0	0	1
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”の消去ブロックにブロックイレーズコマンドを発行	0	1	0	0	0	1
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0	1
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”の消去ブロックに対してプログラム/ロックビットプログラムコマンドを発行	0	0	1	0	0	1
FCUエラー	FCU内部の処理でエラー発生	0	0	0	1	0	1
ROMアクセス違反	FENTRYR.FENTRY0ビット=“1”、かつROM P/Eノーマルモードの場合に、書き込み/消去用アドレスに対するリードアクセスを発行	1	0	0	0	1	1
	FENTRYR.FENTRY0ビット=“0”で、書き込み/消去用アドレスに対するアクセスを発行	1	0	0	0	1	1
	FENTRYRレジスタが0000h以外の状態で、読み出し用アドレスに対してリードアクセスを発行	1	0	0	0	1	1

31.9 ブートモード

31.9.1 システム構成

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザマット／データマットへの書き込み／消去を実行可能です。ホストとRX62T間の通信には、内蔵のSCIを調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。

RX62Tをブートモードで起動すると、組み込みプログラム格納マット上のプログラムが実行されます。組み込みプログラム格納マット上のプログラムは、SCIのビットレートの自動調整とホストからの制御コマンドを受けて、書き込み／消去の制御をします。

図 31.24 にブートモード時のシステム構成を示します。

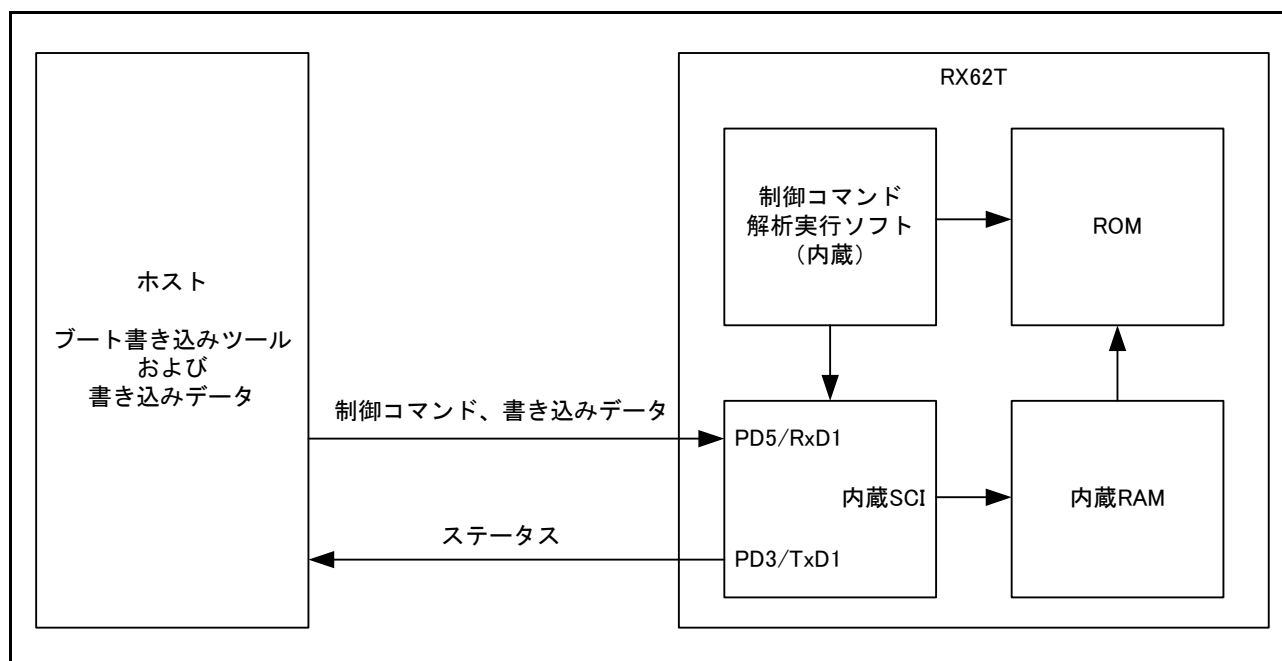


図 31.24 ブートモード時のシステム構成

31.9.2 IDコードプロテクト

ホストからの読み出し／書き込み／消去を禁止するための機能です。

ROM上に書かれている制御コードおよびIDコードを使い、IDコードプロテクトの有効／無効と、IDコードプロテクトの判定を行います。IDコードプロテクトが有効の場合、ホストから送られてくるコードとROM上の制御コードおよびIDコードの一致を判定し、一致した場合のみ読み出し／書き込み／消去を許可します。

ROM上の制御コードおよびIDコードは、32ビット長4ワードのデータです。図 31.25 に制御コードおよびIDコードの構成を示します。IDコードは32ビット単位で設定してください。

	31	24	23	16	15	8	7	0
FFFF FFA0h	制御コード		IDコード1		IDコード2		IDコード3	
FFFF FFA4h		IDコード4		IDコード5		IDコード6		IDコード7
FFFF FFA8h		IDコード8		IDコード9		IDコード10		IDコード11
FFFF FFACH		IDコード12		IDコード13		IDコード14		IDコード15

図 31.25 ROM上の制御コードおよびIDコードの構成

(1) 制御コード

制御コードは、IDコードプロテクトの有効/無効と、ホストとの認証方法を決定します。表 31.10 に制御コードと認証方法を示します。

表 31.10 IDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	SCI接続時の動作
45h	任意	プロテクト有効 (認証方法1)	IDコード一致 : IDコードプロテクトを完了し、ホストコマンド待ち状態へ遷移 IDコード不一致 : 再度IDコード待ち状態へ遷移。ただし、連続3回IDコード不一致の場合、全面消去を行う。
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFh以外	プロテクト有効 (認証方法2)	IDコード一致 : IDコードプロテクトを完了し、ホストコマンド待ち状態へ遷移 IDコード不一致 : 再度IDコード待ち状態へ遷移
	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFh	プロテクト有効 (認証方法3)	常にIDコード不一致として判定する。
上記以外	—	プロテクト無効	全ブロック消去

(2) IDコード

IDコードは任意の値が設定できます。ただし、制御コードが52h、IDコード1から順に50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFhを設定した場合は、IDコード一致判定をせず、常に不一致とし、ホストからの読み出し/書き込み/消去を禁止します。

(3) IDコードを設定するプログラム例

制御コードが45h、IDコードがIDコード1から順に01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fhを設定する場合のプログラム例を示します。

```
.SECTION ID_CODE, CODE
.ORG 0FFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

31.9.3 ブートモードの状態遷移

図 31.26 にブートモードの状態遷移図を示します。

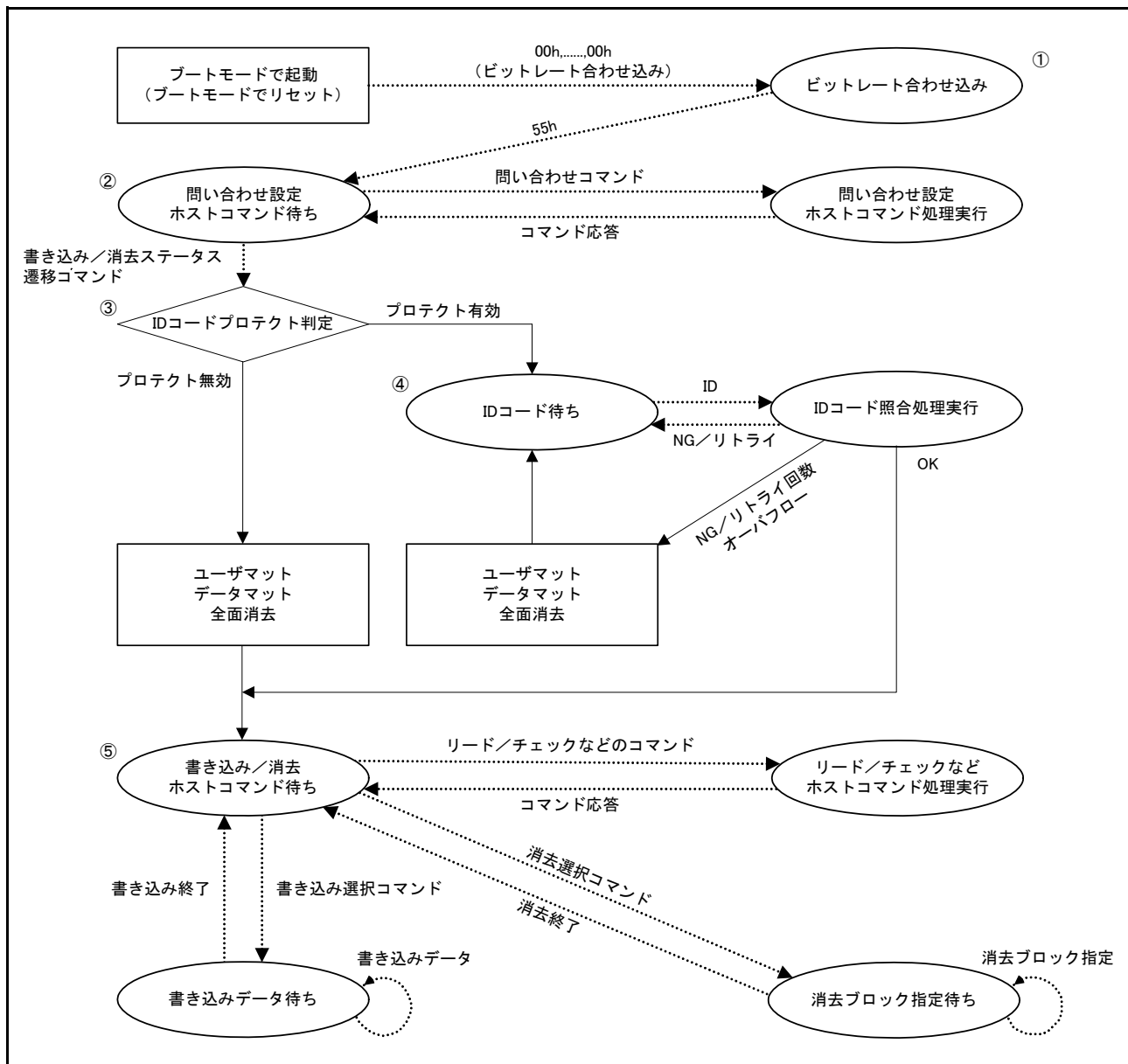


図 31.26 ブートモードの状態遷移図

① ビットレート合わせ込み

RX62T をブートモードで起動すると、ホストと SCI の自動調整を実行します。ビットレートの自動調整が終了すると、RX62T からホストへ 00h を送信します。その後、ホストから送信された 55h を RX62T が正しく受信すると問い合わせ設定ホストコマンド待ち状態に遷移します。ビットレート合わせ込みの詳細は「31.9.4 ビットレートの自動調整」を参照してください。

② 問い合わせ設定ホストコマンド待ち

マットサイズ、マット構成、マット先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストから書き込み消去ステータス遷移コマンドを発行すると、IDコードプロテクトの有効/無効判定に遷移します。問い合わせ設定ホストコマンドの詳細は「31.9.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

③ IDコードプロテクト判定

IDコードプロテクトの有効/無効を判定します。ROM上に書かれている制御コードおよびIDコードからIDコードプロテクトの有効/無効を判定し、有効時はIDコード待ち状態へ、無効時はユーザマット/データマットの全面消去を実行し、書き込み/消去ホストコマンド待ち状態に遷移します。制御コードおよびIDコードの詳細は「31.9.2 IDコードプロテクト」を参照してください。

④ IDコード待ち

ホストから制御コードおよびIDコードが送られてくるのを待ちます。ホストから送られてくる制御コードおよびIDコードとROM上のコードを比較し、一致していれば書き込み/消去ホストコマンド待ちに遷移します。一致しなければIDコード待ちに戻りますが、3回数不一致が続いた場合かつプロテクト状態が認証方法1の場合、全面消去し、再びIDコード待ち状態に戻ります。この不一致状態を解除するには、リセットを入れる必要があります。制御コードおよびIDコードの詳細は「31.9.2 IDコードプロテクト」を参照してください。

⑤ 書き込み/消去ホストコマンド待ち

ホストからのコマンドにしたがって、書き込み/消去を実行する状態です。RX62Tが受信したコマンドに応じて、書き込みデータ待ち状態、消去ブロック指定待ち状態、リード/チェックなどコマンド処理実行状態に遷移します。

RX62Tが書き込み選択コマンドを受信した場合には、書き込みデータ待ち状態に遷移します。ホストから書き込み選択コマンドに続けて、書き込み先頭アドレス、書き込みデータを送信してください。書き込み先頭アドレスをFFFF FFFFhと設定すると、書き込みが終了して書き込みデータ待ち状態から書き込み/消去コマンド待ち状態に遷移します。

RX62Tが消去選択コマンドを受信すると、消去ブロック指定待ち状態に遷移します。ホストから消去選択コマンドに続けて、消去ブロック番号を送信してください。消去ブロック番号をFFhと設定すると、消去が終了して消去ブロック指定待ち状態から書き込み/消去コマンド待ち状態に遷移します。ブートモードで起動してから書き込み/消去ホストコマンド状態に遷移する間にユーザマット/データマットの全面が消去されていますので、ブートモードで新たに書き込んだデータをリセットせずに消去したい場合以外には消去を実行する必要はありません。

書き込み/消去以外に、ユーザマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、ステータス情報取得のためのホストコマンドもあります。

31.9.4 ビットレートの自動調整

RX62T をブートモードで起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ 00h の Low 期間を測定します。Low 期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps または 19,200bps に設定してください。RX62T は測定した Low 期間からホストの SCI のビットレートを計算し、ビットレート調整が終了すると 00h をホストへ送信します。ホストが 00h を正常に受信した場合には、ホストから RX62T に 55h を送信してください。00h を正常に受信できなかった場合には、RX62T をブートモードで再起動し、ビットレートの自動調整を再実行してください。RX62T は 55h を正常に受信すると E6h を送信し、55h を正常に受信できなかった場合には FFh を送信します。

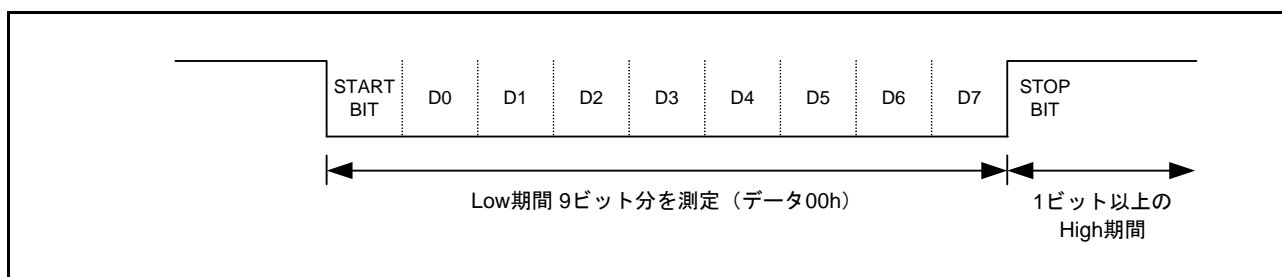


図 31.27 ビットレート自動調整時の SCI 送受信フォーマット

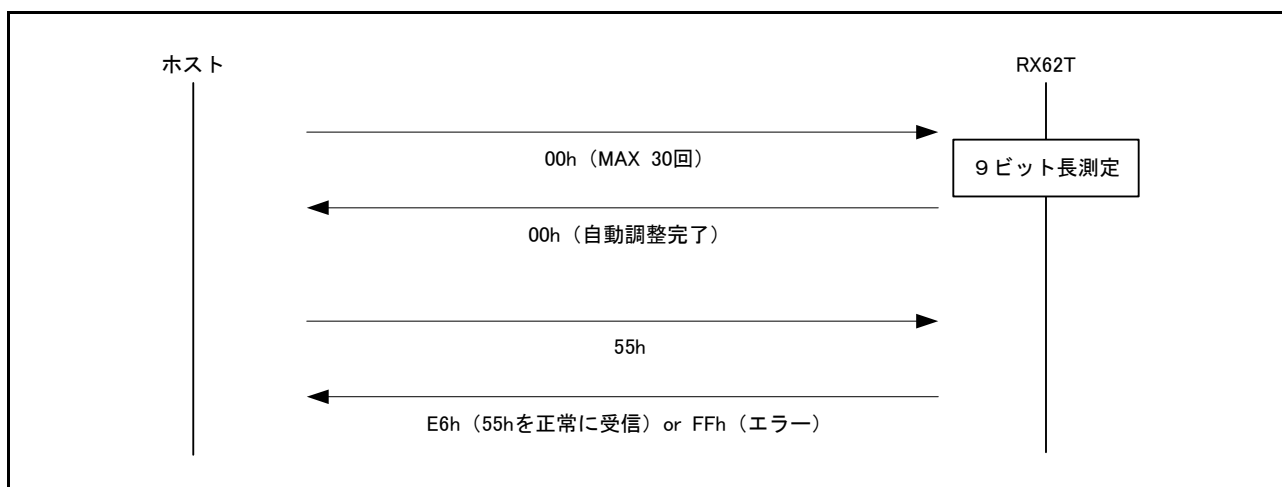


図 31.28 ホストと RX62T 間の通信シーケンス

ホストの SCI のビットレートや RX62T の周辺クロックの周波数に依存してビットレートを正常に調整できない場合がありますので、表 31.11 に示した条件で SCI の通信を行うようにしてください。

表 31.11 ビットレート自動調整が可能な条件

ホストの SCI のビットレート	EXTAL の周波数範囲
9,600bps	8 ~ 14 MHz
19,200bps	8 ~ 14 MHz

31.9.5 問い合わせ設定ホストコマンド待ち状態

表 31.12 に問い合わせ設定ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。組み込みプログラムステータス問い合わせコマンドは、書き込み/消去ホストコマンド待ち状態でも使用可能です。その他のコマンドは、問い合わせ設定ホストコマンド待ち状態でのみ使用可能です。

表31.12 問い合わせ設定ホストコマンド

ホストコマンド名	機能
サポートデバイス問い合わせ	デバイスコードと組み込みプログラム型名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
クロックモード選択	選択されているクロックモードの通知
逡倍比問い合わせ	クロック種類、逡倍比/分周比の種類、逡倍比/分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大/最低動作周波数の問い合わせ
ユーザマット情報問い合わせ	ユーザマットの個数、先頭/最終アドレスの問い合わせ
消去ブロック情報問い合わせ	ブロック数、先頭/最終アドレスの問い合わせ
書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
新ビットレート選択	ホスト⇄RX62T間のSCI通信のビットレートを変更
書き込み消去ステータス遷移	IDコードプロテクト判定に遷移
組み込みプログラムステータス問い合わせ	処理状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、RX62T がコマンドエラーのレスポンスを送信します。コマンドエラーのレスポンスの内容は以下の通りです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス	80h	コマンド
----------	-----	------

問い合わせ設定ホストコマンド待ち状態では、問い合わせコマンドのレスポンスを参考にして、デバイス選択→クロックモード選択→新ビットレート選択の順にホストから選択コマンドを送信し、RX62T の設定を行ってください。また、サポートデバイス問い合わせ/クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、RX62T がコマンドエラーのレスポンスを送信します。図 31.29 に問い合わせ設定ホストコマンド待ち状態でのホストコマンド使用例を示します。

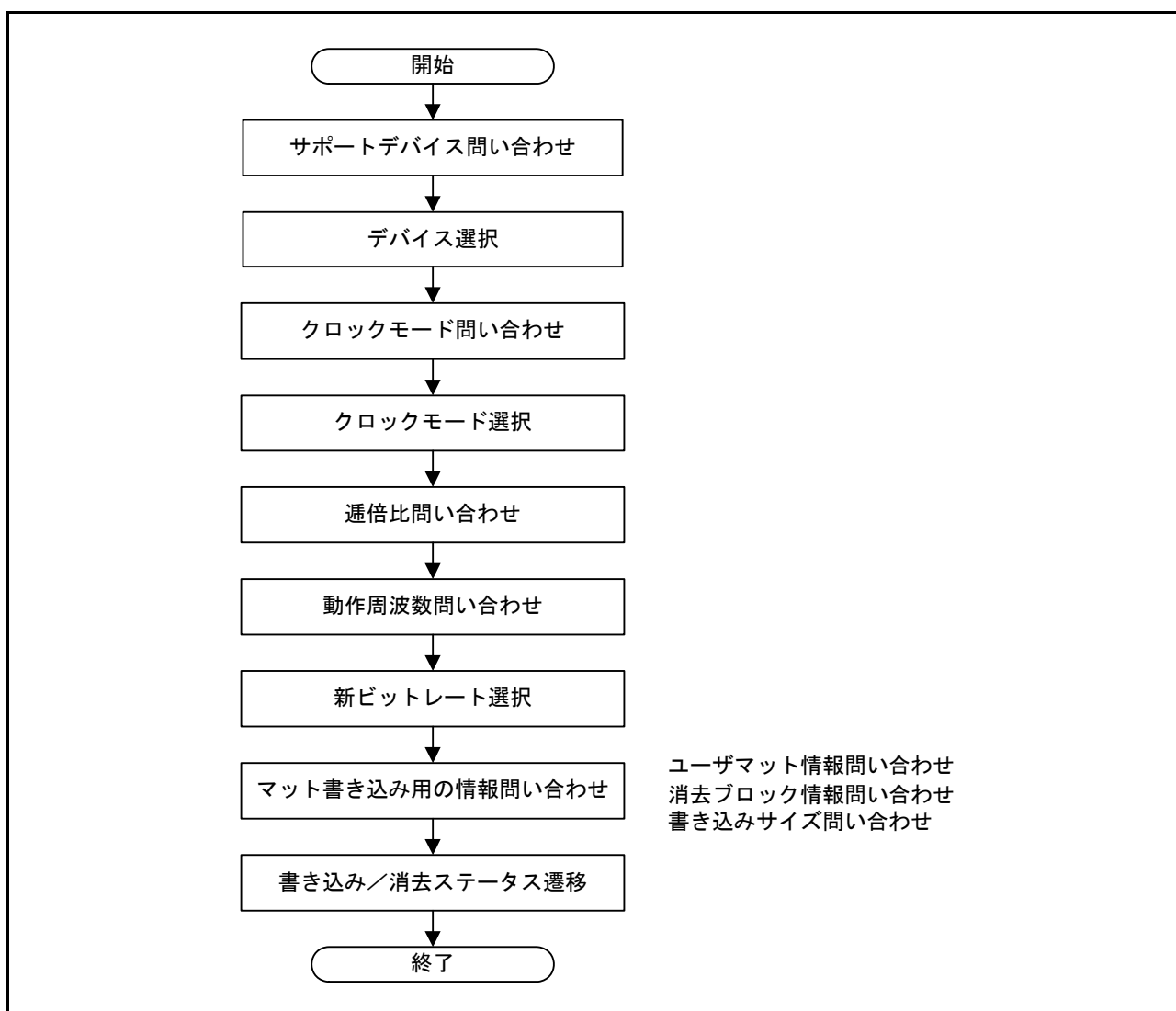


図 31.29 ユーザマットの問い合わせ設定ホストコマンドの使用例

各ホストコマンドの詳細を以下に説明します。説明文中の“コマンド”はホストからRX62Tに送信するコマンド、“レスポンス”はRX62Tからホストに送信する応答です。“サムチェック”はRX62Tが送信した各バイトを合計した場合に、00hになるように計算されたバイトデータを指します。

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートモード用の組み込みプログラムでサポート可能なデバイス情報をRX62Tが送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、RX62Tは選択したデバイスの情報のみ送信します。

コマンド	20h		
レスポンス	30h	サイズ	デバイス数
	文字数	デバイスコード	
	文字数	デバイスコード	
	
	文字数	デバイスコード	
	SUM		
	品名		
	品名		

	品名		

【記号説明】	サイズ（1バイト）	: デバイス数、文字数、デバイスコード、品名のデータの総バイト数
	デバイス数（1バイト）	: ブートモード用の組み込みプログラムがサポートする品種数
	文字数（1バイト）	: デバイスコードと品名の文字数
	デバイスコード（4バイト）	: チップ品名のASCIIコード
	品名（nバイト）	: サポートデバイス名のASCIIコード
	SUM（1バイト）	: サムチェック（レスポンスで）

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、RX62Tは指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、RX62Tはサポートデバイスを指定したデバイスに変更し、レスポンス（06h）を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、RX62Tはエラーレスポンス（90h）を送信します。

サポートデバイス問い合わせの結果、デバイス数が01hであった場合も、デバイス選択コマンドで、問い合わせ結果のデバイスコードの値を設定してください。

コマンド	10h	サイズ	デバイスコード	SUM
------	-----	-----	---------	-----

レスポンス	06h
-------	-----

エラー レスポンス	90h	エラー
--------------	-----	-----

【記号説明】	サイズ（1バイト）	: デバイスコードの文字数（固定値で4）
	デバイスコード（4バイト）	: チップ品名のASCIIコード （サポートデバイス問い合わせコマンドの応答と同一のコード）
	SUM（1バイト）	: サムチェック
	エラー（1バイト）	: エラーコード 11h: サムチェックエラー（コマンドが不正） 21h: デバイスコード不一致

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードをRX62Tが送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、RX62Tは選択したクロックモードの情報のみ送信します。

コマンド	21h
------	-----

レスポンス	31h	サイズ		
	モード	モード	...	モード
	SUM			

【記号説明】	サイズ（1バイト）	: モード数、モードのデータの総バイト数
	モード（1バイト）	: 選択可能なクロックモード（例：01h クロックモード1）
	SUM（1バイト）	: サムチェック

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、RX62Tは指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、RX62Tはクロックモードを指定したモードに変更し、レスポンス（06h）を送信します。サポート可能なモードでなかった場合や、送信されたコマンドが不正であった場合には、RX62Tはエラーレスポンス（91h）を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が00hまたは01hであった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	11h	サイズ	モード	SUM
------	-----	-----	-----	-----

レスポンス	06h
-------	-----

エラー レスポンス	91h	エラー
--------------	-----	-----

- 【記号説明】
- サイズ（1バイト）：モードの文字数（固定値で1）
 - モード（1バイト）：クロックモード（クロックモード問い合わせコマンドの応答と同一のモード）
 - SUM（1バイト）：サムチェック
 - エラー（1バイト）：エラーコード
 - 11h：サムチェックエラー（コマンドが不正）
 - 22h：クロックモード不一致

(5) 逡倍比問い合わせ

ホストが逡倍比問い合わせコマンドを送信すると、クロック種類、逡倍比／分周比の種類、逡倍比／分周比の情報をRX62Tが送信します。

コマンド	22h
------	-----

レスポンス	32h	サイズ	クロック数		
	逡倍比種類	逡倍比	逡倍比	...	逡倍比
	逡倍比種類	逡倍比	逡倍比	...	逡倍比

	逡倍比種類	逡倍比	逡倍比	...	逡倍比
	SUM				

- 【記号説明】
- サイズ（1バイト）：クロック数、逡倍比種類、逡倍比のデータの総バイト数
 - クロック数（1バイト）：クロックの種類（例：02h システムクロックと周辺クロックの2種類）
 - 逡倍比種類（1バイト）：選択可能な逡倍比／分周比の種類
（例：04h システムクロックは1逡倍、2逡倍、4逡倍、8逡倍の3種類）
 - 逡倍比（1バイト）：逡倍比（例：04h = 4 4逡倍）← 正の数で指定
分周比（例：FEh = -2 2分周）← 負の数で指定
 - SUM（1バイト）：サムチェック

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報をRX62Tが送信します。

コマンド	23h		
レスポンス	33h	サイズ	クロック数
	最小周波数		最大周波数
	最小周波数		最大周波数

	最小周波数		最大周波数
	SUM		

- 【記号説明】
- サイズ（1バイト）：クロック数、最小周波数、最大周波数のデータの総バイト数
 - クロック数（1バイト）：クロックの種類（例：02h システムクロックと周辺クロックの2種類）
 - 最小周波数（2バイト）：動作周波数の最小値（例：07D0h 20.00MHz）
周波数（MHz）の小数点第2位までの値を100倍した値
 - 最大周波数（2バイト）：動作周波数の最大値
書式は最小周波数と同様
 - SUM（1バイト）：サムチェック

(7) ユーザマット情報問い合わせ

ホストがユーザマット情報を問い合わせると、ユーザマットのエリア数とアドレスの情報をRX62Tが送信します。

コマンド	25h		
レスポンス	35h	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
SUM			

- 【記号説明】
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
 - エリア数（1バイト）：ユーザマットのエリア数（連続したエリアは1エリアと数えます。）
 - エリア先頭アドレス（4バイト）：ユーザマットエリアの先頭アドレス
 - エリア最終アドレス（4バイト）：ユーザマットエリアの最終アドレス
 - SUM（1バイト）：サムチェック

(8) 消去ブロック情報問い合わせ

ホストが消去ブロック情報を問い合わせると、ユーザマットの消去ブロック数とアドレスの情報をRX62Tが送信します。

コマンド	26h		
レスポンス	36h	サイズ	ブロック数
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	...		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	SUM		

- 【記号説明】
- サイズ (2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数
 - ブロック数 (1バイト) : ユーザマットの消去ブロック数
 - エリア先頭アドレス (4バイト) : 消去ブロックの先頭アドレス
 - エリア最終アドレス (4バイト) : 消去ブロックの最終アドレス
 - SUM (1バイト) : サムチェック

(9) 書き込みサイズ問い合わせ

ホストが書き込みサイズを問い合わせると、RX62Tが書き込みサイズの情報を送信します。

コマンド	27h			
レスポンス	37h	サイズ	書き込みサイズ	SUM

- 【記号説明】
- サイズ (1バイト) : 書き込みサイズの文字数 (固定値で2)
 - 書き込みサイズ (2バイト) : 書き込み単位 (バイト数単位)
 - SUM (1バイト) : サムチェック

(10) 新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、RX62Tは内蔵SCIを指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、RX62Tはレスポンス(06h)を送信し、SCIを新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、RX62Tはエラーレスポンス(BFh)を送信します。ホストはレスポンス(06h)を受信すると、新ビットレート選択コマンド送信時のビットレートで1ビット期間ウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ(06h)を送信し、RX62Tは確認データのレスポンス(06h)を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

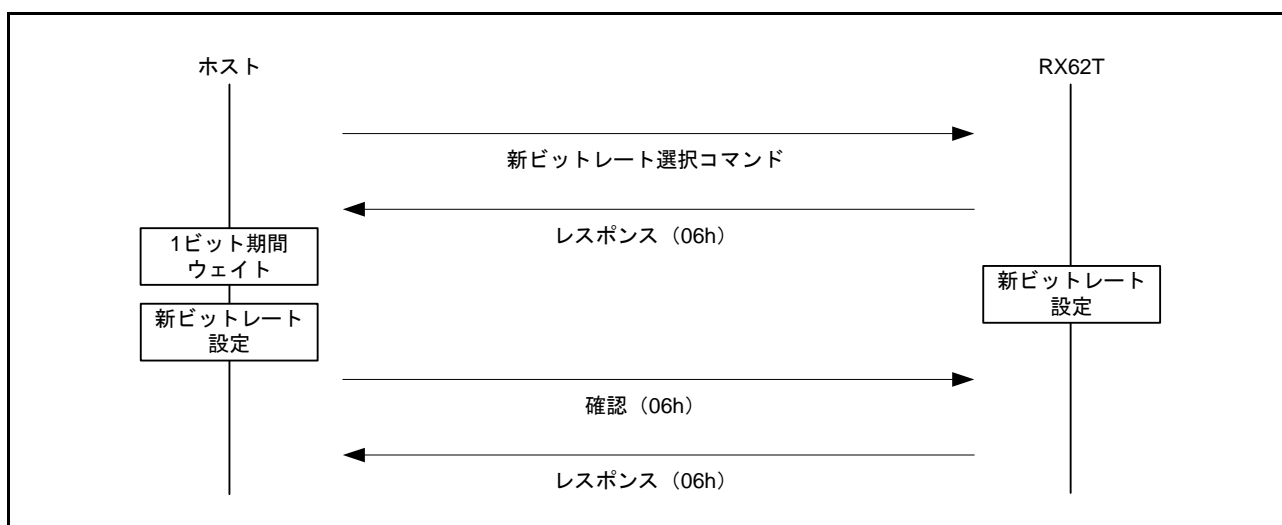


図 31.30 新ビットレート選択のシーケンス

コマンド	3Fh	サイズ	ビットレート		入力周波数
	クロック数	通倍比 1	通倍比 2		
	SUM				
レスポンス	06h				
エラー					
レスポンス	BFh	エラー			
確認	06h				
レスポンス	06h				

- 【記号説明】
- サイズ (1バイト) : ビットレート、入力周波数、クロック数、通倍比のデータの総バイト数
 - ビットレート (2バイト) : 新ビットレート (例: 00C0h 19200bps)
ビットレート値を1/100した値を設定
 - 入力周波数 (2バイト) : RX62Tの入力周波数 (例: 04E2h 12.50MHz)
入力周波数の小数点第2位までを100倍した値を設定
 - クロック数 (1バイト) : クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)
 - 通倍比1 (1バイト) : 入力周波数に対するシステムクロック (ICLK) の通倍比/分周比
通倍比 (例: 04h = 4 4通倍) ← 正の数で指定
分周比 (例: FEh = -2 2分周) ← 負の数で指定
 - 通倍比2 (1バイト) : 入力周波数に対する周辺クロック (PCLK) の通倍比/分周比
通倍比1と同じフォーマット
 - SUM (1バイト) : サムチェック
 - エラー : エラーコード
11h : サムチェックエラー
24h : ビットレート選択不可エラー
25h : 入力周波数エラー
26h : 通倍比エラー
27h : 動作周波数エラー

- ビットレート選択不可エラー

新ビットレート選択コマンドで指定したビットレートを、RX62TのSCIが誤差4%未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートをB、入力周波数を f_{EX} 、通倍比2を $M_{P\phi}$ 、SCIのビットレートレジスタ（BRR）の設定値をN、シリアルモードレジスタ（SMR）のCKS[1:0]ビットの設定値をnとした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{f_{EX} \times M_{P\phi} \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

- 入力周波数エラー

新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値と最大値の範囲外であった場合に入力周波数エラーが発生します。

- 通倍比エラー

新ビットレート選択コマンドで指定した通倍比が、クロックモード選択コマンドで指定したクロックモードに対応する通倍比でなかった場合に通倍比エラーが発生します。選択可能な通倍比を確認するためには通倍比問い合わせコマンドを使用してください。

- 動作周波数エラー

新ビットレート選択コマンドで指定した動作周波数でRX62Tが動作できない場合に動作周波数エラーが発生します。RX62Tは、新ビットレート選択コマンドで指定された入力周波数、通倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であるかをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

(11) 書き込み消去ステータス遷移

ホストが書き込み消去ステータス遷移コマンドを送信すると、RX62TはROM上に書かれている制御コードおよびIDコードにより、IDコードプロテクトの有効/無効を判定します。IDコードプロテクト有効時は、レスポンス（16h）を送信し、IDコード待ち状態へ遷移し、IDコードプロテクト無効時はユーザマット/データマットを全面消去します。全面消去が完了すると、RX62Tはレスポンス（16h）を送信し、書き込み消去ホストコマンド待ち状態に遷移します。エラーが発生して消去が完了しなかった場合には、RX62Tはエラーレスポンス（C0h → 51h）を送信します。

デバイス選択、クロックモード選択、新ビットレート選択を実行する前に、書き込み消去ステータス遷移コマンドを発行しないでください。

コマンド	40h
レスポンス	ACK
エラー レスポンス	C0h 51h

【記号説明】 ACK（1バイト） : ACKコード
 26h : IDコードプロテクト無効の場合
 16h : IDコードプロテクト有効の場合

(12) 組み込みプログラムステータス問い合わせ

ホストが組み込みプログラムステータス問い合わせコマンドを送信すると、RX62Tは現在のステータスを送信します。組み込みプログラムステータス問い合わせコマンドは、問い合わせ設定ホストコマンド待ち状態と書き込み消去ホストコマンド待ち状態で使用可能です。

コマンド	4Fh			
レスポンス	5Fh	サイズ	ステータス	エラー

- 【記号説明】
- サイズ（1バイト） : ステータス、エラーのデータの総バイト数（固定値で2）
 - ステータス（1バイト） : RX62Tの状態（表31.13を参照）
 - エラー（1バイト） : RX62Tのエラー発生状況（表31.14を参照）

表31.13 ステータスの内容

コード	内容
11h	デバイス選択待ち
12h	クロックモード選択待ち
13h	ビットレート選択待ち
1Fh	書き込み消去ホストコマンド待ち状態への遷移待ち（ビットレート選択完了）
31h	ユーザマットの消去中
3Fh	書き込み消去ホストコマンド待ち
4Fh	書き込みデータ受信待ち
5Fh	消去ブロック指定待ち

表31.14 エラーの内容

コード	内容
00h	エラーなし
11h	サムチェックエラー
21h	デバイスコード不一致エラー
22h	クロックモード不一致エラー
24h	ビットレート選択不可エラー
25h	入力周波数エラー
26h	通倍比エラー
27h	動作周波数エラー
29h	ブロック番号エラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	消去エラー
52h	未消去エラー
53h	書き込みエラー
54h	選択処理エラー
80h	コマンドエラー
FFh	ビットレート合わせ込み確認エラー

31.9.6 IDコード待ち状態

表 31.15 に ID コード待ち状態で使用可能なホストコマンドの一覧を示します。

表31.15 IDコードチェックホストコマンド

ホストコマンド名	機能
IDコードチェック	IDコードチェックを実施

ホストが未定義のコマンドを送信した場合は、RX62T がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「31.9.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

(1) IDコードチェック

ホストが ID コードチェックコマンドを送信すると、RX62T は ROM 上の制御コードおよび ID コードとホストから送られてきたコードを比較し、結果を返信します。

コマンド	60h	サイズ
	制御コード+ ID コード	
	SUM	
レスポンス	ACK	
	E0h	エラー

【記号説明】	サイズ（1バイト）	: IDコードのバイト数（固定値で16）
	IDコード（16バイト）	: 制御コード（1バイト）+ IDコード（15バイト）
	SUM（1バイト）	: サムチェック
	ACK（1バイト）	: ACKコード 26h : 書き込み消去ステータス遷移に対する応答
	エラー（1バイト）	: エラーコード 11h : チェックサムエラー 61h : IDコード不一致 63h : IDコード不一致[消去エラー] IDコード不一致で消去実行の結果、エラーとなった場合

31.9.7 書き込み／消去ホストコマンド待ち状態

表 31.16 に書き込み／消去ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。

表31.16 書き込み／消去ホストコマンド

ホストコマンド名	機能
ユーザマット書き込み選択	ユーザマット書き込みを選択
256バイト書き込み	256バイト書き込み
消去選択	消去を選択
ブロック消去	ブロックデータの消去
メモリリード	メモリの読み出し
ユーザマットサムチェック	ユーザマットのサムチェック
ユーザマットブランクチェック	ユーザマットのブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットの書き込み
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
組み込みプログラムステータス問い合わせ	RX62Tの状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、RX62T がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「31.9.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

ROM の書き込みを実行する場合には、ホストから書き込み選択コマンド（ユーザマット書き込み選択）を送信後、256 バイト書き込みコマンドを送信します。ホストが書き込み選択コマンドを送信すると、RX62T は書き込みデータ待ち状態になります（「31.9.3 ブートモードの状態遷移」を参照）。書き込みデータ待ちの状態では、ホストが 256 バイト書き込みコマンドを送信すると、RX62T は ROM にデータを書き込みます。ホストが書き込み先のアドレスを FFFF FFFFh に設定して 256 バイト書き込みコマンドを送信すると、RX62T は書き込み終了と判定し、書き込み／消去ホストコマンド待ち状態に遷移します。

ROM の消去を実行する場合には、ホストから消去選択コマンドを送信後、ブロック消去コマンドを送信します。ホストが消去選択コマンドを送信すると、RX62T は消去ブロック指定待ち状態になります（「31.9.3 ブートモードの状態遷移」を参照）。消去ブロック指定待ちの状態では、ホストがブロック消去コマンドを送信すると、RX62T は ROM をブロック消去します。ホストがブロック番号に FFh を設定してブロック消去コマンドを送信すると、RX62T は消去終了と判定し、書き込み／消去ホストコマンド待ち状態に遷移します。

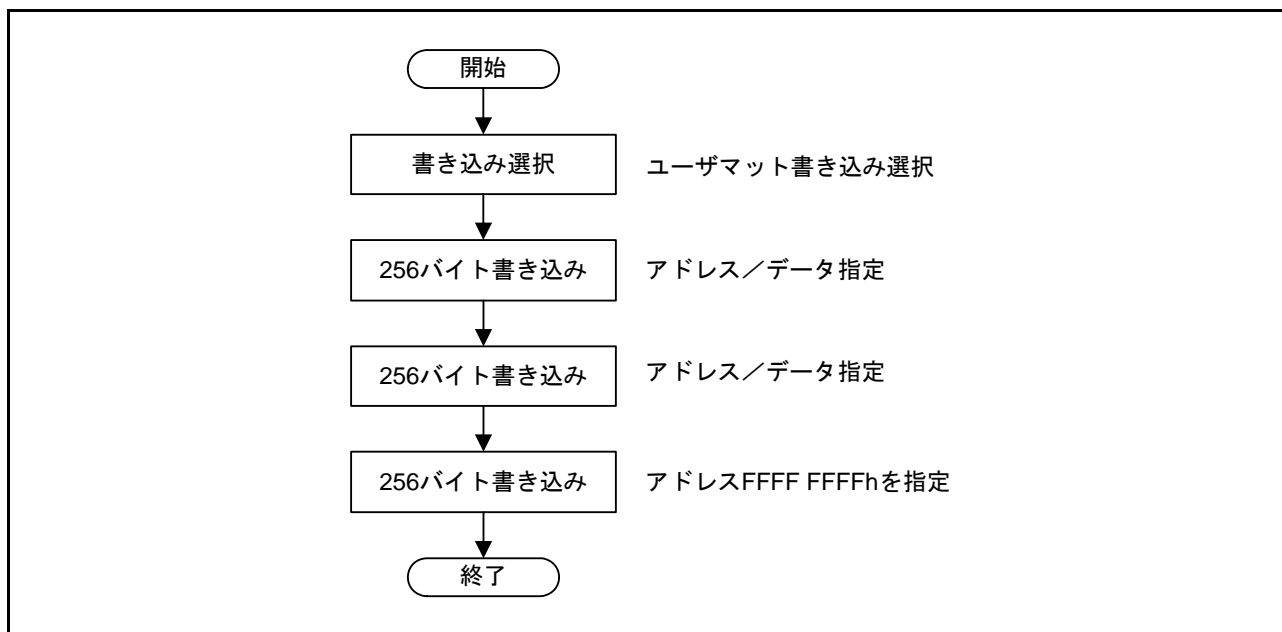


図 31.31 ブートモードでのROM 書き込み方法

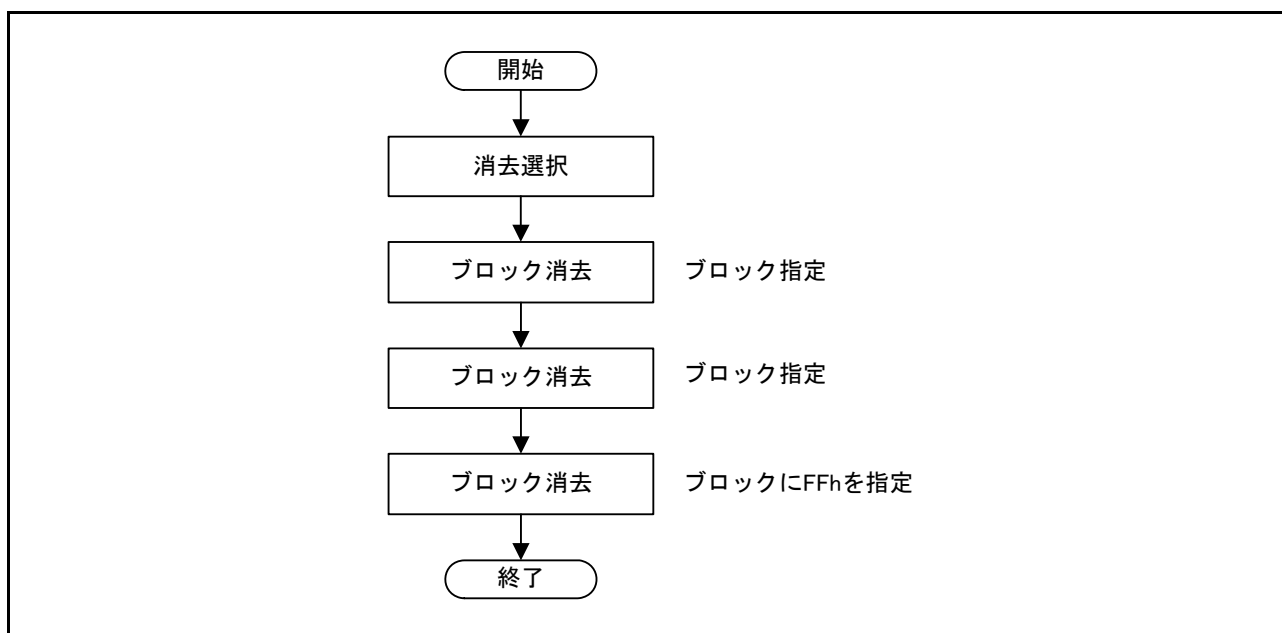


図 31.32 ブートモードでのROM 消去方法

各ホストコマンドの詳細を以下に説明します。説明文中の“コマンド”はホストからRX62Tに送信するコマンド、“レスポンス”はRX62Tからホストに送信する応答です。“サムチェック”は、送信した各バイトを合計した場合に、00hになるように計算されたバイトデータを指します。

(1) ユーザマット書き込み選択

ホストがユーザマット書き込み選択コマンドを送信すると、RX62Tはユーザマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド

43h

レスポンス

06h

(2) 256 バイト書き込み

ホストが256バイト書き込みコマンドを送信すると、RX62TはROMの書き込みを実行します。ROMの書き込みが正常に終了すると、RX62Tはレスポンス（06h）を送信します。書き込み処理中にエラーが発生すると、RX62Tはエラーレスポンス（D0h）を送信します。

コマンド	50h	書き込みアドレス		
	データ	データ	...	データ
	SUM			

レスポンス

06h

エラー
レスポンス

D0h	エラー
-----	-----

【記号説明】	書き込みアドレス（4バイト）	: 書き込み先のアドレス 書き込み実行時には256バイト境界にアラインしたアドレス 書き込み終了を指定する場合にはFFFF FFFFhを送信
	データ（256バイト）	: 書き込みデータ 書き込み不要なバイトにはFFhを指定 書き込み終了を指定する場合にはデータの送信は不要 （書き込みアドレスSUMの順で送信する）
	SUM（1バイト）	: サムチェック
	エラー（1バイト）	: エラーコード 11h : サムチェックエラー 2Ah : アドレスエラー（アドレスが指定のマット内でない） 53h : 書き込みエラーが発生し書き込めない

(3) 消去選択

ホストが消去選択コマンドを送信すると、RX62Tは消去プログラムを選択し、消去ブロック指定待ち状態になります。

コマンド

48h

レスポンス

06h

(4) ブロック消去

ホストがブロック消去コマンドを送信すると、RX62TはROMの消去を実行します。ROMの消去が正常に終了すると、RX62Tはレスポンス（06h）を送信します。消去処理中にエラーが発生すると、RX62Tはエラーレスポンス（D8h）を送信します。

コマンド	58h	サイズ	ブロック	SUM
------	-----	-----	------	-----

レスポンス	06h
-------	-----

エラー レスポンス	D8h	エラー
--------------	-----	-----

- 【記号説明】
- サイズ（1バイト） : ブロックのデータのバイト数（固定値で1）
 - ブロック（1バイト） : 消去する消去ブロックの番号
消去終了を指定する場合にはFFhを送信
 - SUM（1バイト） : サムチェック
 - エラー（1バイト） : エラーコード
11h : サムチェックエラー
29h : ブロック番号エラー（ブロック番号が正しくない）
51h : 消去エラーが発生し消去できない

(5) メモリリード

ホストがメモリリードコマンドを送信すると、RX62TはROMに対するリードを実行します。正常にリードが実行された場合には、RX62Tはメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX62Tはエラーレスポンス（D2h）を送信します。

コマンド	52h	サイズ	エリア	読み出し先頭アドレス	
	読み出しサイズ			SUM	
レスポンス	52h	読み出しサイズ			
	データ	データ	...	データ	
	SUM				
エラー レスポンス	D2h	エラー			

【記号説明】	サイズ（1バイト）	: エリア、読み出しアドレス、読み出しサイズのデータの総バイト数
	エリア（1バイト）	: 読み出し対象のマット 01h: ユーザマット
	読み出し先頭アドレス（4バイト）	: 読み出し対象領域の先頭アドレス
	読み出しサイズ（4バイト）	: 読み出すデータのサイズ（バイト単位）
	SUM（1バイト）	: サムチェック
	データ（1バイト）	: ROMから読み出したデータ
	エラー（1バイト）	: エラーコード 11h: サムチェックエラー 2Ah: アドレスエラー ・ エリアの選択で00h、01h以外を指定 ・ 読み出し先頭アドレスが指定したマットの領域外 2Bh: サイズエラー ・ 読み出しサイズの選択で00hを指定 ・ 読み出しサイズがマットのサイズを超えている ・ 読み出し先頭アドレスと読み出しサイズから計算されたアドレスが マットの領域外

(6) ユーザマットサムチェック

ホストがユーザマットサムチェックコマンドを送信すると、RX62Tはユーザマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	4Bh			
レスポンス	5Bh	サイズ	マットのサムチェック	SUM

【記号説明】	サイズ（1バイト）	: マットのサムチェックのバイト数（固定値で4）
	マットのサムチェック（4バイト）	: ユーザマットのサムチェック結果 ユーザマットにはデバッグ機能認証用のキーコードも含まれています。 加算結果にキーコード値が含まれることに注意してください。
	SUM（1バイト）	: サムチェック（レスポンスデータのサムチェック）

(7) ユーザマットブランクチェック

ホストがユーザマットブランクチェックコマンドを送信すると、RX62Tはユーザマットがすべて消去状態であるかをチェックします。ユーザマットがすべて消去状態であった場合には、RX62Tはレスポンス（06h）を送信します。ユーザマットに未消去領域が存在した場合には、RX62Tはエラーレスポンス（CDh → 52h）を送信します。

コマンド	4Dh
レスポンス	06h
エラー レスポンス	CDh 52h

(8) リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、RX62Tはロックビットに対するリードを実行します。正常にリードが実行された場合には、RX62Tはリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX62Tはエラーレスポンス（F1h）を送信します。

コマンド	71h	サイズ	エリア	中位アドレス	上位アドレス	最上位アドレス	SUM
レスポンス	ステータス						
エラー レスポンス	F1h	エラー					

【記号説明】	サイズ（1バイト）	: エリア、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数（RX62Tでは固定値で4）
	エリア（1バイト）	: 読み出し対象のマット 01h : ユーザマット
	中位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの中位アドレス（8～15ビット）
	上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの上位アドレス（16～23ビット）
	最上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの最上位アドレス（24～31ビット）
	SUM（1バイト）	: サムチェック
	ステータス（1バイト）	: ビット6が“0”でロック状態 ビット6が“1”でアンロック状態
	エラー（1バイト）	: エラーコード 11h : サムチェックエラー 2Ah : アドレスエラー（アドレスが指定のマット内がない）

(9) ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、RX62Tはロックビットの書き込みを行い、指定ブロックをロック状態にします。正常にロックされた場合には、RX62Tはレスポンス（06h）を送信します。ロックされなかった場合には、RX62Tはエラーレスポンス（F7h）を送信します。

コマンド	77h	サイズ	エリア	中位アドレス	上位アドレス	最上位アドレス	SUM
------	-----	-----	-----	--------	--------	---------	-----

レスポンス	06h
-------	-----

エラー レスポンス	F7h	エラー
--------------	-----	-----

【記号説明】	サイズ（1バイト）	: エリア、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数（RX62Tでは固定値で4）
	エリア（1バイト）	: ロック対象のマット 01h: ユーザマット
	中位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの中位アドレス（8～15ビット）
	上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの上位アドレス（16～23ビット）
	最上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの最上位アドレス（24～31ビット）
	SUM（1バイト）	: サムチェック
	エラー（1バイト）	: エラーコード 11h: サムチェックエラー 2Ah: アドレスエラー（アドレスが指定のマット内がない） 53h: 書き込みエラーが発生しロック状態にできない

(10) ロックビット有効

ホストがロックビット有効コマンドを送信すると、RX62Tはロックビットを有効にします。

コマンド	7Ah
------	-----

レスポンス	06h
-------	-----

(11) ロックビット無効

ホストがロックビット無効コマンドを送信すると、RX62Tはロックビットを無効にします。

コマンド	75h
------	-----

レスポンス	06h
-------	-----

(12) 組み込みプログラムステータス問い合わせ

「31.9.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

31.10 オンチップデバッグ ID コードプロテクト

オンチップデバッグとの接続を禁止するための機能です。オンチップデバッグを接続する場合、ROM 上に書かれている制御コードおよび ID コードを使い、オンチップデバッグ ID コードプロテクトの有効/無効と、オンチップデバッグ ID コードプロテクトの判定を行います。ID コードプロテクトが有効の場合、オンチップデバッグから送られてくるコードと、ROM 上の制御コードおよび ID コードの一致を判定し、一致した場合、オンチップデバッグとの接続を許可します。一致しない場合、オンチップデバッグとの接続はできません。ただし、制御コードが 52h、ID コード 1 から順に 50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh を設定した場合、ID コード判定をせずに常に不一致とし、オンチップデバッグとの接続を禁止します。また、制御コードおよび ID コードがすべて FFh の場合、ID コード判定をせずに常に一致とし、オンチップデバッグとの接続を許可します。フラッシュメモリ上の ID コードの構成は、図 31.25 と同じです。

表31.17 オンチップデバッグIDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	オンチップデバッグ接続時の動作
FFh	FFh,...,FFh（すべてFFh）	プロテクト無効	制御コードおよびIDコードの判定をせず、常にIDコード一致とし、オンチップデバッグとの接続を許可する。
52h	50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh	プロテクト有効	制御コードおよびIDコードの判定をせず、常にIDコード不一致とし、オンチップデバッグと接続を禁止する。
上記以外	上記以外	プロテクト有効	IDコード一致：オンチップデバッグ認証を完了し、オンチップデバッグとの接続を許可する。 IDコード不一致：再度、IDコード待ちに遷移する。

31.11 ROM コードプロテクト

ROM コードプロテクトは、PROM ライタを使用する場合にフラッシュメモリの読み出し、書き換えを禁止する機能です。フラッシュメモリ上の ROM コードは、32 ビット長のデータです。図 31.33 に ROM コードの構成を示します。ROM コードは 32 ビット単位で設定してください。

ROM コードプロテクトを解除する場合、ブートモードもしくはユーザプログラミングで ROM コードを含むユーザマットの EB00 ブロックを消去してください。

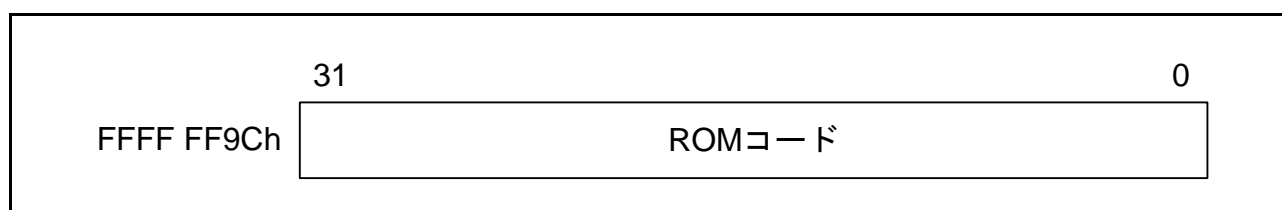


図 31.33 ROM コードの構成

表31.18 ROMコードプロテクト仕様

ROMコード	プロテクト状態	PROMライタ接続時の動作
0000 0000h	ROMコードプロテクト有効 (ROMコードプロテクト1)	ユーザマットの読み出し、書き換えを禁止する
0000 0001h	ROMコードプロテクト有効 (ROMコードプロテクト2)	ユーザマットの読み出しを禁止する
上記以外	ROMコードプロテクト無効	ユーザマットの読み出し、書き換えを許可する

31.12 使用上の注意事項

(1) 書き込み／消去サスペンド対象領域

書き込み／消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

(2) 書き込み／消去サスペンドによる中断

書き込み／消去サスペンドコマンドによって書き込み／消去処理を中断した場合は、必ずレジュームコマンドにより動作を完了させてください。レジュームコマンド発行後 20 μ s 以内（PCLK = 50MHz 時）に、再び書き込み／消去サスペンドコマンドを発行しないでください。

(3) 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず当該領域を消去してください。

(4) 書き込み／消去中のリセット

書き込み／消去中に RES# 端子によるリセットを発生させた場合には、電気的特性に定める動作電圧範囲内で、100 μ s 以上のリセット入力期間の後にリセット解除してください。

書き込み／消去中に FRESETR.FRESET ビットにより FCU をリセットする場合は、リセット状態を tRESW2（「33. 電気的特性」を参照）の時間保持してください。FCU をリセットしている期間は、書き込み／消去対象の ROM の読み出しを行わないでください。

書き込み／消去中の WDT リセット、IWDT リセットについては、上記の時間保持に関係なく使用できます。

(5) 書き込み／消去中のノンマスクブル割り込み禁止

書き込み／消去中にノンマスクブル割り込み（NMI 端子割り込み、発振停止検出割り込み、電圧監視 1 割り込み、電圧監視 2 割り込み）が発生すると、ROM からのベクタのフェッチが発生し、不定データが読み出されます。このため、ROM への書き込み／消去中にノンマスクブル割り込みが発生しないようにしてください。（本禁止事項は ROM にのみ適用されます）

(6) 書き込み／消去中の割り込みベクタの配置

書き込み／消去中に割り込みが発生すると ROM からのベクタのフェッチが発生する場合があります。ROM からのベクタのフェッチを回避するには、CPU の割り込みテーブルレジスタ（INTB）により割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。

(7) 書き込み／消去の異常終了

書き込み／消去中の、動作電圧範囲を超える電圧変動、リセット、FRESETR.FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、および次項 (8) の禁止事項により、書き込み／消去が正常に終了しなかった場合、ロックビットが“0”（プロテクト状態）になっている場合があります。この場合 FPROTR.FPROTCN ビットに“1”をセットした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。その後、正常終了しなかった書き込みを再度やり直してください。

(8) 書き込み／消去中の禁止事項

書き込み／消去中はフラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- RX62T の電源を動作電圧範囲外にする。
- FWEPROR.FLWE[1:0] ビットの値を更新する。
- SYSCR0.ROME ビットの設定により、動作モードを変更する。
- SCKCR レジスタにより、PCLK の逡倍比を変更する。
- PCLK と異なる周波数を PCKAR レジスタに設定する。

- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する。

32. データフラッシュ（データ格納用フラッシュメモリ）

RX62Tグループ、RX62Gグループは、最大256Kバイトのコード格納用フラッシュメモリ（ROM）と、最大32Kバイトのデータ格納用フラッシュメモリ（データフラッシュ）を内蔵しています。

本章では、データフラッシュについて説明します。ROMについては、「31. ROM（コード格納用フラッシュメモリ）」を参照してください。

32.1 概要

表32.1にデータフラッシュの仕様を、図32.1にROMおよびデータフラッシュ周りのブロック図を示します。

表32.1 データフラッシュの仕様

項目	内容	
メモリ空間	データ領域：32Kバイト/8Kバイト（注1）	
周辺バス経由での読み出し	ワード、バイトアクセス時にはPCLK 3サイクルでの読み出し	
書き込み/消去方式	<ul style="list-style-type: none"> データフラッシュへの書き換えを行う専用のシーケンサ（FCU）を内蔵 FCUにコマンドを発行することにより、データフラッシュへの書き込み/消去を実行可能 	
BGO（バックグラウンドオペレーション）機能	<ul style="list-style-type: none"> ROMへの書き込み/消去を実行している期間、CPUはROM/データフラッシュ以外の領域に配置したプログラムを実行可能 データフラッシュの書き込み/消去を実行している期間、ROM領域に配置したプログラムを実行可能 	
サスペンド/レジューム機能	<ul style="list-style-type: none"> データフラッシュへの書き込み/消去動作を中断し、CPUはデータフラッシュ領域の読み出しを実行可能（サスペンド） 中断した後、ROMの書き込み/消去を再開可能（レジューム） 	
書き込み/消去単位	<ul style="list-style-type: none"> データ領域の書き込み単位：8バイトまたは128バイト データ領域の消去単位：2Kバイト（データフラッシュ容量が32Kバイトの場合：16ブロック、データフラッシュ容量が8Kバイトの場合：4ブロック） 	
ブランクチェック機能	<ul style="list-style-type: none"> データフラッシュの消去状態を確認するブランクチェックコマンドが実行可能 ブランクチェックできる領域は8バイトまたは2Kバイト 	
オンボードプログラミング (2種類)	ブートモードによる書き換え <ul style="list-style-type: none"> 調歩同期式シリアルインターフェイス（SCI1）を使用 通信速度は自動調整 ユーザプログラム中のデータフラッシュ書き換えルーチンによる書き換え <ul style="list-style-type: none"> システムをリセットすることなくデータフラッシュの書き換えが可能 	
プロテクト機能	ソフトウェアプロテクト機能	FENTRYR.FENTRYDビット、FWEPROR.FLWE[1:0]ビット、DFLREkレジスタ、DFLWEkレジスタにより意図しない書き換えを防ぐことが可能(k=0,1)
	エラープロテクト機能	書き込み/消去中に異常動作を検出した場合、以後の書き込み/消去処理を禁止
書き込み時間/消去時間/書き換え回数	「33. 電気的特性」を参照	

注1. 製品によりデータフラッシュ容量が異なります。

製品型名	データフラッシュ容量	データフラッシュアドレス
R5F562TAxxxx	32Kバイト	0010 0000h ~ 0010 7FFFh
R5F562T7xxxx、R5F562T6xxxx	8Kバイト	0010 0000h ~ 0010 1FFFh

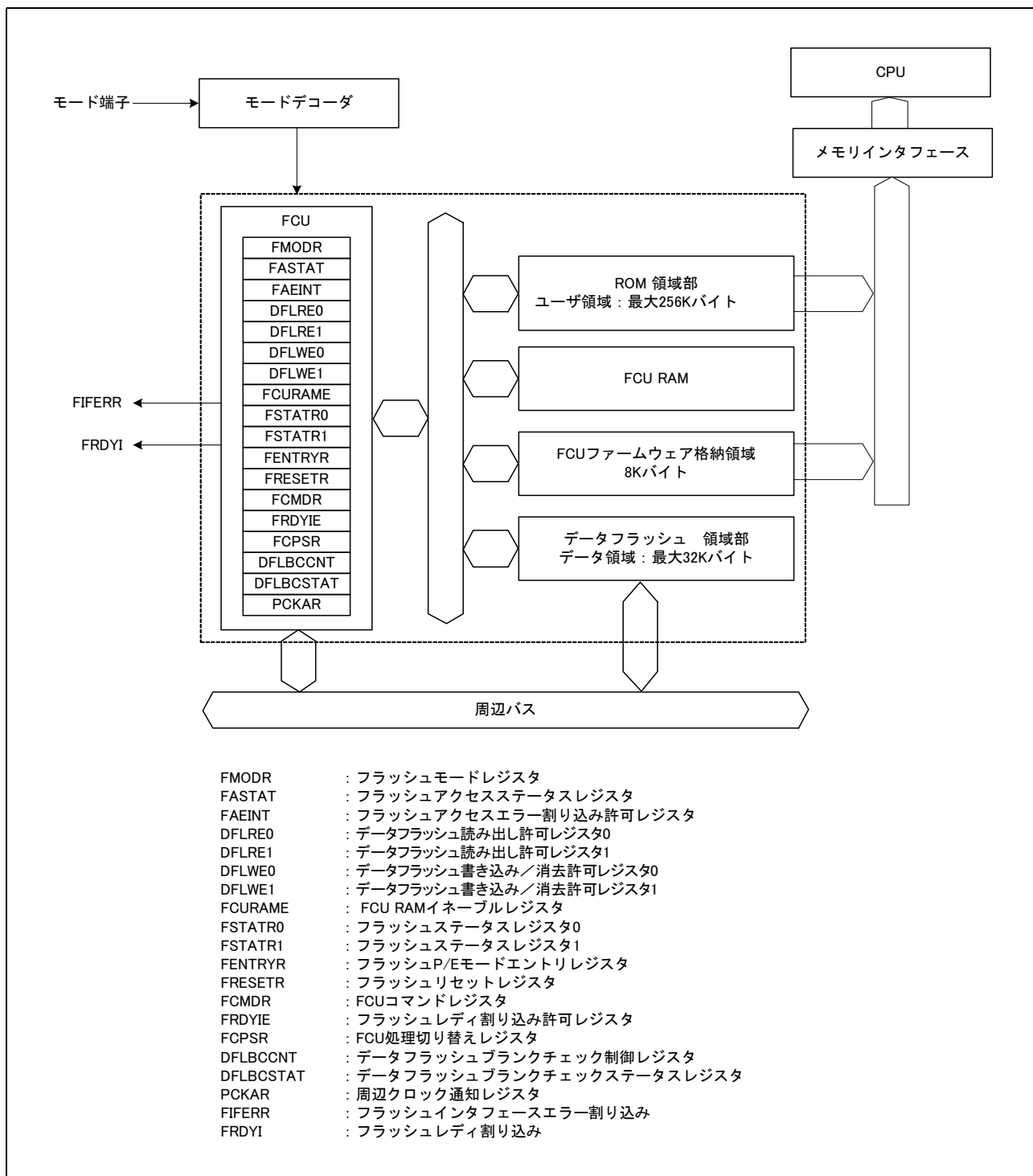


図 32.1 データフラッシュのブロック図

表 32.2 にデータフラッシュ関連の入出力端子を示します。

表 32.2 データフラッシュ関連の入出力端子

端子名	入出力	機能
PD5/RxD1	入力	ブートモード時に使用。SCIの受信データ（ホスト通信用）
PD3/TxD1	出力	ブートモード時に使用。SCIの送信データ（ホスト通信用）
MD1、MD0	入力	RX62Tグループ、RX62Gグループの動作モードを設定

32.2 レジスタの説明

表 32.3 にデータフラッシュ関連のレジスタ一覧を示します。一部のレジスタは ROM 関連のビットも持ちますが、本章ではデータフラッシュ関連のビット機能のみ説明します。ROM / データフラッシュ共用ビットで構成されるレジスタ（FRDYIE、FCURAME、FSTATR0、FSTATR1、FRESETR、FCMDR、FCPSR、PCKAR、FWEPROR）と、ROM 専用のビット機能の詳細は、「31. ROM（コード格納用フラッシュメモリ）」の「31.2 レジスタの説明」を参照してください。

データフラッシュ関連のレジスタは、リセットによって初期化されます。

表32.3 データフラッシュ関連のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	00h	007F C402h	8
フラッシュアクセスステータスレジスタ	FASTAT	00h	007F C410h	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	9Bh	007F C411h	8
フラッシュレディ割り込み許可レジスタ	FRDYIE	00h	007F C412h	8
データフラッシュ読み出し許可レジスタ0	DFLRE0	0000h	007F C440h	16
データフラッシュ読み出し許可レジスタ1	DFLRE1	0000h	007F C442h	16
データフラッシュ書き込み/消去許可レジスタ0	DFLWE0	0000h	007F C450h	16
データフラッシュ書き込み/消去許可レジスタ1	DFLWE1	0000h	007F C452h	16
FCU RAM イネーブルレジスタ	FCURAME	0000h	007F C454h	16
フラッシュステータスレジスタ0	FSTATR0	80h	007F FFB0h	8
フラッシュステータスレジスタ1	FSTATR1	0xh	007F FFB1h	8
フラッシュ P/E モードエントリレジスタ	FENTRYR	0000h	007F FFB2h	16
フラッシュリセットレジスタ	FRESETR	0000h	007F FFB6h	16
FCU コマンドレジスタ	FCMDR	FFFFh	007F FFBAh	16
FCU 処理切り替えレジスタ	FCPSR	0000h	007F FFC8h	16
データフラッシュブランクチェック制御レジスタ	DFLBCCNT	0000h	007F FFCAh	16
データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	0000h	007F FFCEh	16
周辺クロック通知レジスタ	PCKAR	0000h	007F FFE8h	16
フラッシュライトイレースプロテクトレジスタ	FWEPROR	02h	0008 C289h	8

32.2.1 フラッシュモードレジスタ（FMODR）

アドレス 007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDMD	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b4	FRDMD	FCUリードモード選択ビット	0：メモリ領域リード方式 データフラッシュロックビットリードモードに移行する場合に設定します。データフラッシュにはロックビットが存在しないため、ロックビットリードモードに移行してデータフラッシュ領域から読み出しを実行した場合、不定データが読めます 1：レジスタリード方式 ブランクチェックコマンドを使用する場合に設定します	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

FMODR レジスタは、ロックビットの読み出し方法を指定するレジスタです。ブランクチェックコマンドを使用する場合、FRDMD ビットを“1”にしてください。

内蔵 ROM が無効なモードでは FMODR レジスタの読み出しデータは 00h になり、書き込みはできません。

FMODR レジスタは、リセットによって初期化されます。

FRDMD ビット（FCU リードモード選択ビット）

データフラッシュロックビットリードモード移行処理かブランクチェック処理を選択するために使用します。

ROM のロックビット読み出し時には、ロックビット読み出し方法を選択するために FRDMD ビットを使用します（「31. ROM（コード格納用フラッシュメモリ）」を参照）。

32.2.2 フラッシュアクセスステータスレジスタ（FASTAT）

アドレス 007F C410h

b7	b6	b5	b4	b3	b2	b1	b0
ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	データフラッシュ書き込み/消去プロテクト違反ビット	0: DFLWEkレジスタの設定に違反したデータフラッシュ書き込み/消去系コマンドの発行なし 1: DFLWEkレジスタの設定に違反したデータフラッシュ書き込み/消去系コマンドの発行あり (k=0,1)	R/(W) (注1)
b1	DFLRPE	データフラッシュリードプロテクト違反ビット	0: DFLREkレジスタの設定に違反したデータフラッシュ読み出しなし 1: DFLREkレジスタの設定に違反したデータフラッシュ読み出しあり (k=0,1)	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	DFLAE	データフラッシュアクセス違反ビット	0: データフラッシュアクセス違反なし 1: データフラッシュアクセス違反あり	R/(W) (注1)
b4	CMDLK	FCUコマンドロックビット	0: FCUはコマンドロック状態ではない 1: FCUはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	ROMAE	ROMアクセス違反ビット	「31. ROM（コード格納用フラッシュメモリ）」を参照してください。	R/(W) (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTAT レジスタは、ROM / データフラッシュに対するアクセス違反の有無を確認するためのレジスタです。

内蔵ROMが無効なモードではFASTATレジスタの読み出しデータは00hになり、書き込みはできません。FASTATレジスタのいずれかのビットが“1”になると、FCUはコマンドロック状態になります（「32.7.2 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTATレジスタを10hにした後、FCUにステータスレジスタクリアコマンドを発行する必要があります。

FASTATレジスタは、リセットによって初期化されます。

DFLWPE ビット（データフラッシュ書き込み/消去プロテクト違反ビット）

DFLWEk (k = 0, 1) レジスタで設定した書き込み/消去プロテクトに対する違反の有無を示すビットです。

【“1”になる条件】

- DFLWEk (k = 0, 1) レジスタで書き込み/消去禁止に設定したデータフラッシュ領域に対して、書き込み/消去系コマンドを発行

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき

DFLRPE ビット（データフラッシュリードプロテクト違反ビット）

DFLREk (k=0,1) レジスタで設定した読み出しプロテクトに対する違反の有無を示すビットです。

["1" になる条件]

- DFLREk (k=0,1) レジスタで読み出し禁止に設定したデータフラッシュ領域に対して、リードアクセスを発行

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

DFLAE ビット（データフラッシュアクセス違反ビット）

データフラッシュに対するアクセス違反の有無を示すビットです。

DFLAE ビットが "1" になると FSTATR0.ILGLERR ビットが "1" になり、FCU はコマンドロック状態になります。

FSTATR0 レジスタについては、「31.2.5 フラッシュステータスレジスタ 0 (FSTATR0)」を参照してください。

["1" になる条件]

- FENTRYR.FENTRYD ビットが "1"、かつデータフラッシュ P/E ノーマルモードで、データフラッシュ領域に対してリードアクセスを発行
- FENTRYD ビットが "0" の状態で、データフラッシュ領域に対してライトアクセスを発行
- FENTRYR.FENTRY 0 ビットが "1" の状態で、データフラッシュ領域に対するアクセスを発行

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき

CMDLK ビット（FCU コマンドロックビット）

FCU がコマンドロック状態であることを示すビットです（「32.7.2 エラープロテクト」を参照）。

["1" になる条件]

- FCU がエラーを検出してコマンドロック状態に遷移後

["0" になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

32.2.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

アドレス 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
リセット後の値	1	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	データフラッシュ書き込み/消去プロテクト違反割り込み許可ビット	0 : FASTAT.DFLWPE ビット=1で、FIFERR 割り込み要求が発生しない 1 : FASTAT.DFLWPE ビット=1で、FIFERR 割り込み要求が発生する	R/W
b1	DFLRPEIE	データフラッシュリードプロテクト違反割り込み許可ビット	0 : FASTAT.DFLRPE ビット=1で、FIFERR 割り込み要求が発生しない 1 : FASTAT.DFLRPE ビット=1で、FIFERR 割り込み要求が発生する	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b3	DFLAEIE	データフラッシュアクセス違反割り込み許可ビット	0 : FASTAT.DFLAE ビット=1で、FIFERR 割り込み要求が発生しない 1 : FASTAT.DFLAE ビット=1で、FIFERR 割り込み要求が発生する	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	0 : FASTAT.CMDLK ビット=1で、FIFERR 割り込み要求が発生しない 1 : FASTAT.CMDLK ビット=1で、FIFERR 割り込み要求が発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	「31. ROM（コード格納用フラッシュメモリ）」を参照してください。	R/W

FAEINT レジスタは、フラッシュインタフェースエラー割り込み（FIFERR）の出力許可/禁止を設定するためのレジスタです。

内蔵ROMが無効なモードではFAEINTレジスタの読み出しデータは00hになり、書き込みは無効化されます。

FAEINTレジスタは、リセットによって初期化されます。

DFLWPEIE ビット（データフラッシュ書き込み/消去プロテクト違反割り込み許可ビット）

データフラッシュ書き込み/消去プロテクト違反が発生し、FASTAT.DFLWPE ビットが“1”になった場合のFIFERR 割り込み要求の発生を許可/禁止するためのビットです。

DFLRPEIE ビット（データフラッシュリードプロテクト違反割り込み許可ビット）

データフラッシュリードプロテクト違反が発生し、FASTAT.DFLRPE ビットが“1”になった場合のFIFERR 割り込み要求の発生を許可/禁止するためのビットです。

DFLAEIE ビット（データフラッシュアクセス違反割り込み許可ビット）

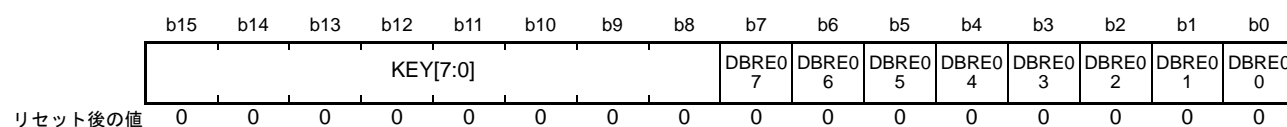
データフラッシュアクセス違反が発生し、FASTAT.DFLAE ビットが“1”になった場合のFIFERR 割り込み要求の発生を許可/禁止するためのビットです。

CMDLKIE ビット（FCU コマンドロック割り込み許可ビット）

FCU コマンドロックが発生し、FASTAT.CMDLK ビットが“1”になった場合の FIFERR 割り込み要求の発生を許可／禁止するためのビットです。

32.2.4 データフラッシュ読み出し許可レジスタ 0（DFLRE0）

アドレス 007F C440h



ビット	シンボル	ビット名	機能	R/W
b0	DBRE00	DB00 ブロック読み出し許可ビット	0：読み出し禁止 1：読み出し許可	R/W
b1	DBRE01	DB01 ブロック読み出し許可ビット		R/W
b2	DBRE02	DB02 ブロック読み出し許可ビット		R/W
b3	DBRE03	DB03 ブロック読み出し許可ビット		R/W
b4	DBRE04 (注1)	DB04 ブロック読み出し許可ビット		R/W
b5	DBRE05 (注1)	DB05 ブロック読み出し許可ビット		R/W
b6	DBRE06 (注1)	DB06 ブロック読み出し許可ビット		R/W
b7	DBRE07 (注1)	DB07 ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DBREi ビット (i=07～00) の書き換えの可否を制御します。	R/(W) (注2)

注1. R5F562T7xxxx、R5F562T6xxxx では、予約ビットとなります。読むと“0”が読み出されます。書き込みは“0”としてください。

注2. 書き込みデータは保持されません。

DFLRE0 レジスタは、データマットの DB07～DB00 ブロック（図 32.3 を参照）の読み出しを許可／禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、DFLRE0 レジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLRE0 レジスタは、リセットによって初期化されます。

DBREi ビット（DBi ブロック読み出し許可ビット） (i=07～00)

データマットの DB07～DB00 ブロックに対する読み出しの許可／禁止を設定するビットです。

DBREi ビットを DBi ブロックの読み出し制御に使用します。

DBREi ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが“2Dh”の場合のみ有効です。

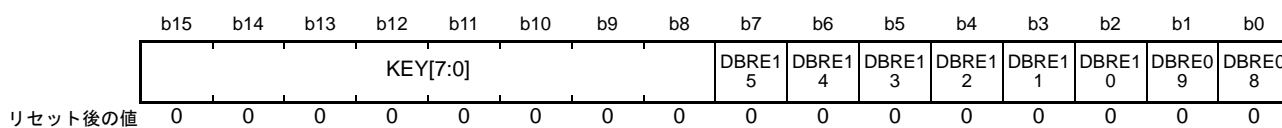
KEY[7:0] ビット（キーコード）

DBREi ビット の書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

32.2.5 データフラッシュ読み出し許可レジスタ 1（DFLRE1）

アドレス 007F C442h



ビット	シンボル	ビット名	機能	R/W
b0	DBRE08 (注1)	DB08ブロック読み出し許可ビット	0: 読み出し禁止 1: 読み出し許可	R/W
b1	DBRE09 (注1)	DB09ブロック読み出し許可ビット		R/W
b2	DBRE10 (注1)	DB10ブロック読み出し許可ビット		R/W
b3	DBRE11 (注1)	DB11ブロック読み出し許可ビット		R/W
b4	DBRE12 (注1)	DB12ブロック読み出し許可ビット		R/W
b5	DBRE13 (注1)	DB13ブロック読み出し許可ビット		R/W
b6	DBRE14 (注1)	DB14ブロック読み出し許可ビット		R/W
b7	DBRE15 (注1)	DB15ブロック読み出し許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DBREi ビット (i=15~08) の書き換えの可否を制御します。	R/(W) (注2)

注1. R5F562T7xxxx、R5F562T6xxxxでは、予約ビットとなります。読むと“0”が読み出されます。書き込みは“0”としてください。

注2. 書き込みデータは保持されません。

DFLRE1 レジスタは、データマットの DB15 ~ DB08 ブロック（図 32.3 を参照）の読み出しを許可/禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、DFLRE1 レジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLRE1 レジスタは、リセットによって初期化されます。

DBREi ビット (DBi ブロック読み出し許可ビット) (i=15 ~ 8)

データマットの DB15 ~ DB08 ブロックに対する読み出しの許可/禁止を設定するビットです。

DBREi ビットを DBi ブロックの読み出し制御に使用します。

DBREi ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが“D2h”の場合のみ有効です。

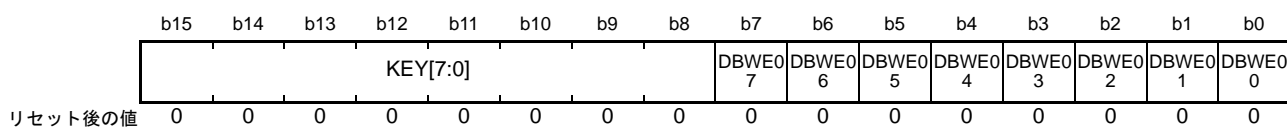
KEY[7:0] ビット (キーコード)

DBREi ビットの書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

32.2.6 データフラッシュ書き込み／消去許可レジスタ 0（DFLWE0）

アドレス 007F C450h



ビット	シンボル	ビット名	機能	R/W
b0	DBWE00	DB00ブロック書き込み／消去許可ビット	0：書き込み／消去禁止 1：書き込み／消去許可	R/W
b1	DBWE01	DB01ブロック書き込み／消去許可ビット		R/W
b2	DBWE02	DB02ブロック書き込み／消去許可ビット		R/W
b3	DBWE03	DB03ブロック書き込み／消去許可ビット		R/W
b4	DBWE04 (注1)	DB04ブロック書き込み／消去許可ビット		R/W
b5	DBWE05 (注1)	DB05ブロック書き込み／消去許可ビット		R/W
b6	DBWE06 (注1)	DB06ブロック書き込み／消去許可ビット		R/W
b7	DBWE07 (注1)	DB07ブロック書き込み／消去許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DBWEiビット(i=07～00)の書き換えの可否を制御します。	R/(W) (注2)

注1. R5F562T7xxxx、R5F562T6xxxxでは、予約ビットとなります。読むと“0”が読み出されます。書き込みは“0”としてください。

注2. 書き込みデータは保持されません。

DFLWE0レジスタは、データマットのDB07～DB00ブロック（図32.3を参照）の書き込み／消去を許可／禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵ROMが無効なモードでは、DFLWE0レジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLWE0レジスタは、リセットによって初期化されます。

DBWEiビット（DBiブロック書き込み／消去許可ビット）（i=07～00）

データマットのDB07～DB00ブロックに対する書き込み／消去の許可／禁止を設定するビットです。

DBWEiビットをDBiブロックの書き込み／消去制御に使用します。

DBWEiビットへの書き込みは、ワードアクセスでKEY[7:0]ビットが“1Eh”の場合のみ有効です。

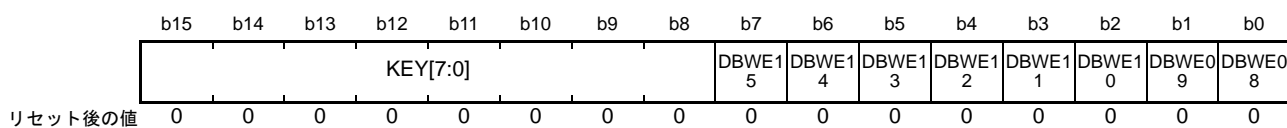
KEY[7:0]ビット（キーコード）

DBWEiビットの書き換えの可否を制御します。

KEY[7:0]ビットへの書き込みデータは保持されません。

32.2.7 データフラッシュ書き込み／消去許可レジスタ 1（DFLWE1）

アドレス 007F C452h



ビット	シンボル	ビット名	機能	R/W
b0	DBWE08 (注1)	DB08ブロック書き込み／消去許可ビット	0：書き込み／消去禁止 1：書き込み／消去許可	R/W
b1	DBWE09 (注1)	DB09ブロック書き込み／消去許可ビット		R/W
b2	DBWE10 (注1)	DB10ブロック書き込み／消去許可ビット		R/W
b3	DBWE11 (注1)	DB11ブロック書き込み／消去許可ビット		R/W
b4	DBWE12 (注1)	DB12ブロック書き込み／消去許可ビット		R/W
b5	DBWE13 (注1)	DB13ブロック書き込み／消去許可ビット		R/W
b6	DBWE14 (注1)	DB14ブロック書き込み／消去許可ビット		R/W
b7	DBWE15 (注1)	DB15ブロック書き込み／消去許可ビット		R/W
b15-b8	KEY[7:0]	キーコード	DBWE _i ビット (i=15～08)の書き換えの可否を制御します。	R/(W) (注2)

注1. R5F562T7xxxx、R5F562T6xxxxでは、予約ビットとなります。読むと“0”が読み出されます。書き込みは“0”としてください。

注2. 書き込みデータは保持されません。

DFLWE1レジスタは、データマットのDB15～DB08ブロック（図32.3を参照）の書き込み／消去を許可／禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵ROMが無効なモードでは、DFLWE1レジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLWE1レジスタは、リセットによって初期化されます。

DBWE_iビット（DB_iブロック書き込み／消去許可ビット）（i=15～8）

データマットのDB15～DB08ブロックに対する書き込み／消去の許可／禁止を設定するビットです。

DBWE_iビットをDB_iブロックの書き込み／消去制御に使用します。

DBWE_iビットへの書き込みは、ワードアクセスでKEY[7:0]ビットが“E1h”の場合のみ有効です。

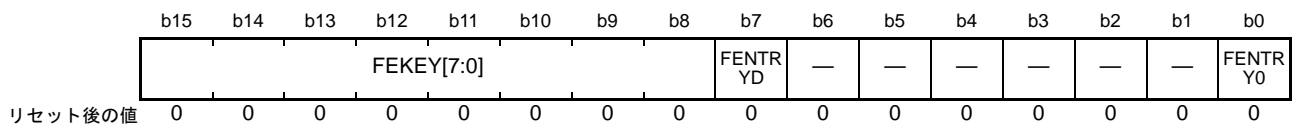
KEY[7:0]ビット（キーコード）

DBWE_iビットの書き換えの可否を制御します。

KEY[7:0]ビットへの書き込みデータは保持されません。

32.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR）

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/E モードエントリビット0	「31. ROM（コード格納用フラッシュメモリ）」を参照してください。	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、は“0”としてください。	R/W
b7	FENTRYD	データフラッシュ P/E モードエントリビット	0：データフラッシュはリードモード 1：データフラッシュはP/Eモード	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYD、FENTRY0ビットの書き換えの可否を制御します。	R/(W) (注1)

注1. 書き込みデータは保持されません。

FENTRYR レジスタは、ROM/ データフラッシュを P/E モードに設定するために使用するレジスタです。

ROM / データフラッシュを P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY0 ビットのいずれかのビットを“1”にする必要があります。ただし、複数のビットを“1”にした場合、FSTAT0.ILGLERR ビットが“1”になって、FCU はコマンドロック状態になります。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、FENTRYR レジスタの読み出しデータは“0000h”になり、書き込みはできません。

FENTRYR レジスタは、リセットもしくは FRESETR.FRESETR ビットを“1”にすることによって初期化されます。

FSTAT0 レジスタについては、「31.2.5 フラッシュステータスレジスタ 0 (FSTAT0)」3 を参照してください。FRESETR レジスタについては、「31.2.10 フラッシュリセットレジスタ (FRESETR)」を参照してください。

FENTRYD ビット（データフラッシュ P/E モードエントリビット）

FENTRYD ビットは、データフラッシュを P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM が有効なモード
- FSTAT0.FRDIY ビットが“1”
- ワードアクセスで FEKEY[7:0] ビットに“AAh”を書き込み

[“1” になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”の状態、FENTRYD ビットに“1”を書いた場合

[“0” になる条件]

- バイトアクセスで書き込んだ場合
- ワードアクセスで FEKEY[7:0] ビットが“AAh”以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRYD ビットに“0”を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”以外の状態で、FENTRYR レジスタを書いた場合

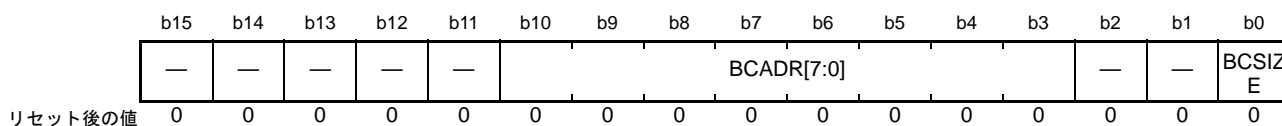
FEKEY[7:0] ビット（キーコード）

FENTRYD、FENTRY0 ビットの書き換えの可否を制御します。

FEKEY[7:0] ビットへの書き込みデータは保持されません。

32.2.9 データフラッシュブランクチェック制御レジスタ（DFLBCCNT）

アドレス 007F FFCAh



ビット	シンボル	ビット名	機能	R/W
b0	BCSIZE	ブランクチェックサイズ設定ビット	0：ブランクチェック対象領域は8バイト 1：ブランクチェック対象領域は2Kバイト	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b10-b3	BCADR[7:0]	ブランクチェックアドレス設定ビット	チェック対象領域のアドレスを設定	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

DFLBCCNT レジスタは、ブランクチェックコマンドのチェック対象領域のアドレスとサイズを指定するためのレジスタです。

内蔵 ROM が無効なモードでは、DFLBCCNT レジスタの読み出しデータは 0000h になり、書き込みはできません。

DFLBCCNT レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR レジスタについては、「31.2.10 フラッシュリセットレジスタ（FRESETR）」を参照してください。

BCSIZE ビット（ブランクチェックサイズ設定ビット）

ブランクチェックコマンドのチェック対象領域のサイズを設定するためのビットです。

BCADR[7:0] ビット（ブランクチェックアドレス設定ビット）

ブランクチェックコマンドのチェック対象領域のサイズが 8 バイト（BCSIZE ビットが“0”）の場合に、チェック対象領域のアドレスを設定するためのビットです。

BCSIZE ビットが“0”の場合には、DFLBCCNT レジスタの設定値（BCADR[7:0] ビットの設定値を MSB 側に 3 ビットシフトした値）と、ブランクチェックコマンド発行時に指定した消去ブロック先頭アドレスを加算した値がチェック対象領域の先頭アドレスになります。

32.2.10 データフラッシュブランクチェックステータスレジスタ（DFLBCSTAT）

アドレス 007F FFCEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスビット	0：ブランクチェック対象領域は消去状態（ブランク） 1：ブランクチェック対象領域は“0”データか“1”データが書き込まれた状態	R
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

DFLBCSTAT レジスタは、ブランクチェックコマンドの処理結果が格納されるレジスタです。

内蔵 ROM が無効なモードでは、DFLBCSTAT レジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLBCSTAT レジスタは、リセットもしくは FRESETR.FRESETR ビットを“1”にすることによって初期化されます。

FRESETR レジスタについては「31.2.10 フラッシュリセットレジスタ（FRESETR）」を参照してください。

BCST ビット（ブランクチェックステータスビット）

ブランクチェックの結果を示します。

32.3 データフラッシュのメモリマップ構成

RX62Tグループ、RX62Gグループのデータフラッシュは、最大32Kバイトのデータマットで構成されています。このマットのアドレスを図32.2に示します。

データマットのアドレスは読み出し時と書き込み/消去時で同一です。

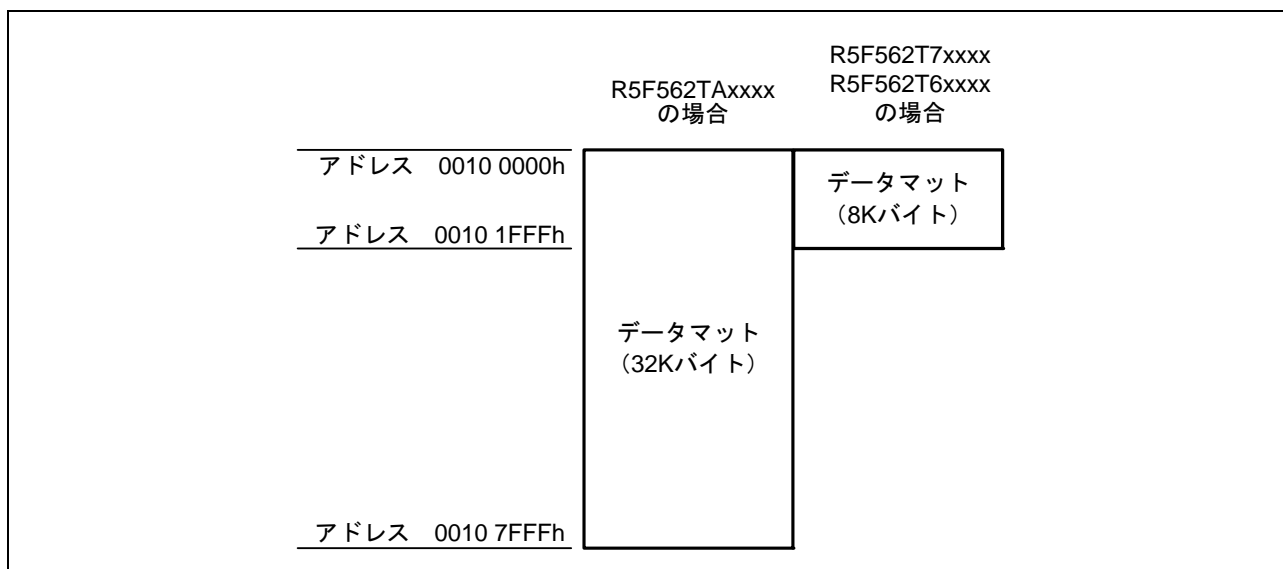


図 32.2 データフラッシュのデータマトリクス構成

32.4 ブロック構成

データマットの消去ブロックの構成を図32.3に示します。データマットは2Kバイト（16ブロック）に分割されていて、消去はこのブロック単位で行います。書き込みは8バイトまたは128バイト単位で行います。8バイト書き込みでは、下位アドレスの3ビットがすべて0である8バイト単位で書き込みを行います。128バイト書き込みでは、下位アドレスが00hか80hで始まる128バイト単位で書き込みを行います。

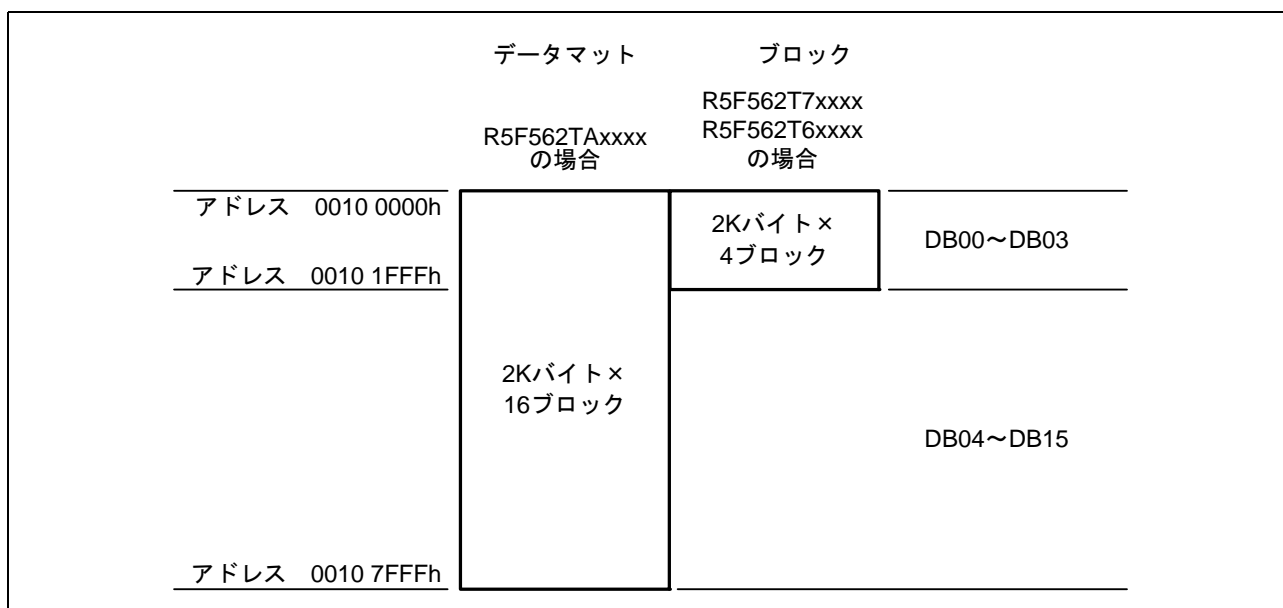


図 32.3 データマトリクスのブロック分割

32.5 データフラッシュ関連の動作モード

動作モードの移行については、「31.5 ROM 関連の動作モード」を参照してください。

ブートモード/シングルチップモード（内蔵ROM有効）では、オンボードでデータマットの読み出し/書き込み/消去を実施できます。

各モードの相違点を表 32.4 に示します。

表32.4 各モードの相違点

項目	ブートモード	シングルチップモード (内蔵ROM有効)
書き込み/消去環境	オンボードプログラミング	
書き込み/消去可能マット	データマット	データマット
ブロック分割消去	○ (注1)	○
リセット時の起動マット	組み込みプログラム格納マット (注2)	ユーザマット

注1. 起動時に全面消去される場合があります。その後、特定ブロックの消去を実施可能です。詳細は「31.9.2 IDコードプロテクト」を参照してください。

注2. ユーザは使用できません。

- ブートモードでは、ホストから SCI 経由でのデータマットへの書き込み、読み出しが可能になります。
- ブートモードでは、ブートモード用組み込みプログラムで内蔵 RAM を使用します。このため、内蔵 RAM のデータは保持されません。

32.6 データフラッシュへの書き込み／消去

データフラッシュへの書き込み／消去は、書き込み／消去用の専用シーケンサ（FCU）にコマンド（FCU コマンド）を発行することで行ないます。FCU には、5 種類のモードがあります。書き込み／消去を行なうためには、モードを移行させ、その後、書き込み／消去用のコマンドを発行することで行ないます。

データフラッシュの書き込み／消去に必要なモードの移行とコマンド体系について説明します。これらはブートモード、シングルチップモード（内蔵 ROM 有効）で共通です。

32.6.1 FCU のモード

FCU には、5 種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FCU コマンドで行います。図 32.4 に FCU のモード移行図を示します。

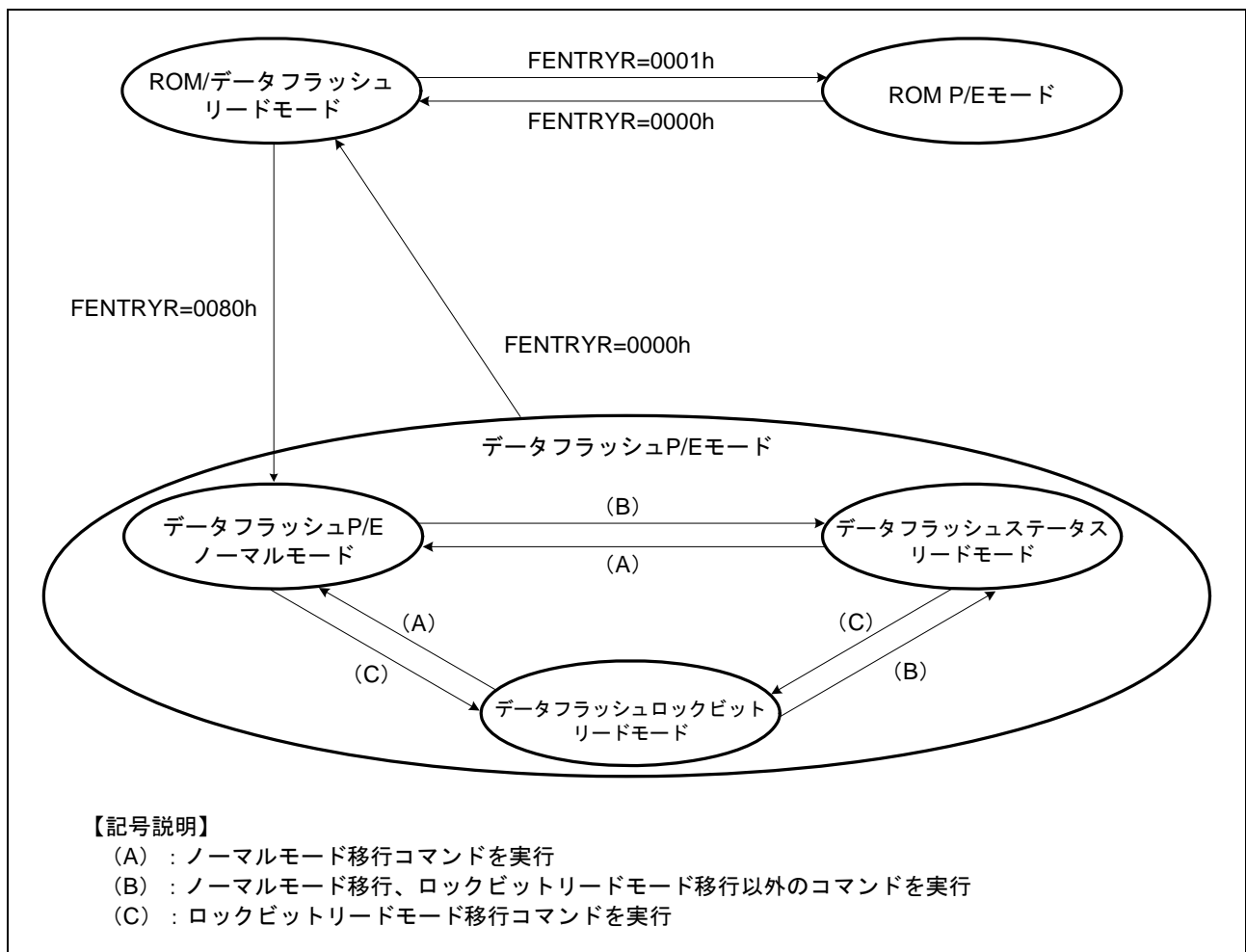


図 32.4 FCU のモード移行図（データフラッシュ関連）

32.6.1.1 ROM P/E モード

ROM P/E モードは、ROM に対する書き込み／消去を行うモードです。

ROM P/E モードの詳細は、「31.6.1.2 ROM P/E モード」を参照してください。

32.6.1.2 ROM／データフラッシュリードモード

ROM およびデータフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRYD ビットを“0”、かつ FENTRYR.FENTRY0 ビットを“0”にした場合にこのモードに移行します。

32.6.1.3 データフラッシュ P/E モード

データフラッシュ P/E モードは、データフラッシュに対する書き込み／消去を行うモードです。データフラッシュの読み出しは実行できません。

データフラッシュ P/E モードには、データフラッシュ P/E ノーマルモード、データフラッシュステータスリードモード、データフラッシュロックビットリードモードの3種類のモードがあります。

(1) データフラッシュ P/E ノーマルモード

データフラッシュ P/E ノーマルモードは、データフラッシュへの書き込み／消去の際、最初に移行するモードです。

ROM／データフラッシュリードモード時に FENTRYR.FENTRYD ビットを“1”、かつ FENTRYR.FENTRY0 ビットを“0”にした場合、またはデータフラッシュ P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 32.7 に受け付け可能なコマンドを示します。

データフラッシュ領域に対してリードアクセスを実行した場合には、データフラッシュアクセス違反が発生して、FCU はコマンドロック状態になります。ROM に対する高速読み出しは可能です。

(2) データフラッシュステータスリードモード

データフラッシュステータスリードモードは、データフラッシュのステータスが読み出せるモードです。

データフラッシュ P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。FSTATR0.FRDY ビットが“0”の状態やエラー発生後のコマンドロック状態も、データフラッシュステータスリードモード中の状態です。表 32.7 に受け付け可能なコマンドを示します。

データフラッシュ領域に対してリードアクセスを発行した場合には、FSTATR0 レジスタの値が読み出されます。ROM に対する高速読み出しは可能です。

(3) データフラッシュロックビットリードモード

データフラッシュロックビットリードモードは、データフラッシュのロックビットが読み出せるモードです。

しかし、データフラッシュにはロックビットが存在しないため、ロックビットの読み出しはできません。

データフラッシュロックビットリードモードへは、データフラッシュ P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 32.7 に受け付け可能なコマンドを示します。

データフラッシュにはロックビットが存在しないため、データフラッシュ領域に対してリードアクセスを発行した場合には、読み出しデータは不定値になりますが、データフラッシュアクセス違反は発生しません。ROM に対する高速読み出しは可能です。

32.6.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、書き込み/消去を行うためのコマンドがあります。表 32.5 にデータフラッシュへの書き込み/消去で使用可能な FCU コマンドの一覧を示します。

表32.5 FCUコマンド一覧（データフラッシュ関連）

コマンド	機能
P/Eノーマルモード移行	ノーマルモードに移行（「32.6.3 FCUのモードとコマンドの関係」を参照）
ステータスリードモード移行	ステータスリードモードに移行（「32.6.3 FCUのモードとコマンドの関係」を参照）
ロックビットリードモード移行 (ロックビットリード1)	ロックビットリードモードに移行（「32.6.3 FCUのモードとコマンドの関係」を参照）
周辺クロック通知	周辺クロックの周波数を設定
プログラム	データフラッシュ書き込み（8バイトまたは128バイト単位）
ブロックイレース	データフラッシュ消去（ブロック単位）
P/Eサスペンド	書き込み/消去の中断
P/Eレジューム	書き込み/消去の再開
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERRビットのクリアとコマンドロック状態の解除
ロックビットリード2/ブランクチェック	指定した領域が消去状態（ブランク）であるかを確認

ブランクチェックコマンド以外の FCU コマンドは、ROM でも使用します。ロックビットリード2 コマンドは、データフラッシュのブランクチェックコマンドを兼ねています。ROM に対してブランクチェックコマンドを発行した場合には、ROM のロックビット読み出しが実行されます。

FCU へのコマンド発行は、データフラッシュ領域に対するライトアクセスで実現されます。

表 32.6 にプログラムコマンドとブランクチェックコマンドのフォーマットを示します。プログラムコマンドとブランクチェックコマンド以外の FCU コマンドのフォーマットは、「31. ROM（コード格納用フラッシュメモリ）」の「31.6.2 FCU コマンド一覧」を参照してください。

表 32.6 に示したライトアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU の特定条件下については、「32.6.3 FCU のモードとコマンドの関係」を参照してください。また、コマンドの使用方法については、「32.6.4 FCU コマンド使用方法」を参照してください。

表32.6 FCUコマンドのフォーマット（データフラッシュ専用コマンド）

コマンド	バス サイ クル 数	1サイクル目		2サイクル目		3サイクル目		4~N+2 サイクル目		N+3 サイクル目	
		ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ
プログラム (8バイト書き込み：N=4)	7	EA	E8h	EA	04h	WA	WDn	EA	WDn	EA	D0h
プログラム (128バイト書き込み：N=64)	67	EA	E8h	EA	40h	WA	WDn	EA	WDn	EA	D0h
ブランクチェック	2	EA	71h	BA	D0h	—	—	—	—	—	—

アドレスの列 EA：データフラッシュ領域のアドレス

0010 0000h ~ 0010 1FFFh の任意アドレス

WA：8 バイトまたは 128 バイトの先頭アドレス

BA：データフラッシュ消去ブロックアドレス

対象消去ブロック内の任意アドレス

データの列 WDn：書き込みデータ n ワード目 (n=1 ~ N)

32.6.3 FCU のモードとコマンドの関係

FCU の各モードは、モードごとに受け付け可能な FCU コマンドが決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。

表 32.7 に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「32.7.2 エラープロテクト」を参照）。

FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTAT0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTAT1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTAT0.ILGLERR, ERSERR, PRGERR ビットと FSTAT1.FCUERR ビットの値の論理和です。

表 32.7 FCU のモード/状態と受け付け可能なコマンドの関係（データフラッシュ P/E モード）

	P/E ノーマルモード			ステータスリードモード								ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み/消去の処理中	書き込み/消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態	
FSTAT0.FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1	
FSTAT0.SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	
FSTAT0.ERSSPD ビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0	
FSTAT0.PRGSPD ビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0	
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	1	0	0	0	0	
P/E ノーマルモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○	
ステータスリードモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○	
ロックビットリードモード移行 (ロックビットリード1)	○	○	○	×	×	×	○	○	×	○	○	○	○	
周辺クロック通知	×	×	○	×	×	×	×	×	×	○	×	×	○	
プログラム	×	△	○	×	×	×	×	△	×	○	×	△	○	
ブロックイレーズ	×	×	○	×	×	×	×	×	×	○	×	×	○	
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	
P/E レジューム	○	○	×	×	×	×	○	○	×	×	○	○	×	
ステータスレジスタクリア	○	○	○	×	×	×	○	○	○	○	○	○	○	
ブランクチェック	○	○	○	×	×	×	○	○	×	○	○	○	○	

○：受け付け可能、△：消去中断したブロック以外への書き込みのみ受け付け可能、×：受け付け不可能

32.6.4 FCU コマンド使用方法

プログラムコマンドとブロックイレーズコマンドを使用してデータフラッシュを書き込み／消去する方法と、ブランクチェックコマンドを使用してデータフラッシュの消去状態を確認する方法を示します。FCU RAM へのファームウェア転送方法やその他の FCU コマンド使用方法については、「31. ROM（コード格納用フラッシュメモリ）」の「31.6.4 FCU コマンド使用方法」を参照してください。

(1) 周辺クロック通知コマンドの使用方法

周辺クロックの周波数を通知します。詳細は「31. ROM（コード格納用フラッシュメモリ）」の「31.6.4 FCU コマンド使用方法」を参照してください。FENTRYR.FENTRYD ビットを“1”にして、アドレスはデータフラッシュ領域内のアドレスを指すように設定を行ってください。

(2) 書き込み方法

データフラッシュへのデータ書き込みには、プログラムコマンドを使用します。

プログラムコマンドの第 1 サイクルでは E8h を、第 2 サイクルでは書き込みワード数 (N) (注 1) をデータフラッシュ領域のアドレスにバイト書き込みします。コマンドの第 3 ～第 N+2 サイクルでは、ワードサイズで書いてください。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書いてください。先頭アドレスは、8 バイト書き込みの場合には 8 バイト境界、128 バイト書き込みの場合には 128 バイト境界にアラインしてください。データフラッシュ領域のアドレスに対して N 回のワード書き込みを実行後、第 N+3 サイクルでデータフラッシュ領域のアドレスに対して D0h をバイト書き込みすると、FCU がデータフラッシュの書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDY ビットで確認可能です。

第 3 サイクル～第 N+2 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、当該アドレスに対する書き込みデータを FFFFh にしてください。DFLWEk レジスタ (k=0,1) による書き込み／消去プロテクトを無効化にして書き込みを実施したい場合には、書き込み対象ブロック用の書き込み／消去許可ビットを“1”にしてから書き込みを行ってください。

図 32.5 にデータフラッシュへの書き込み方法を示します。

注 1. 8 バイト書き込みの場合は N=04h、128 バイト書き込みの場合は N=40h です。

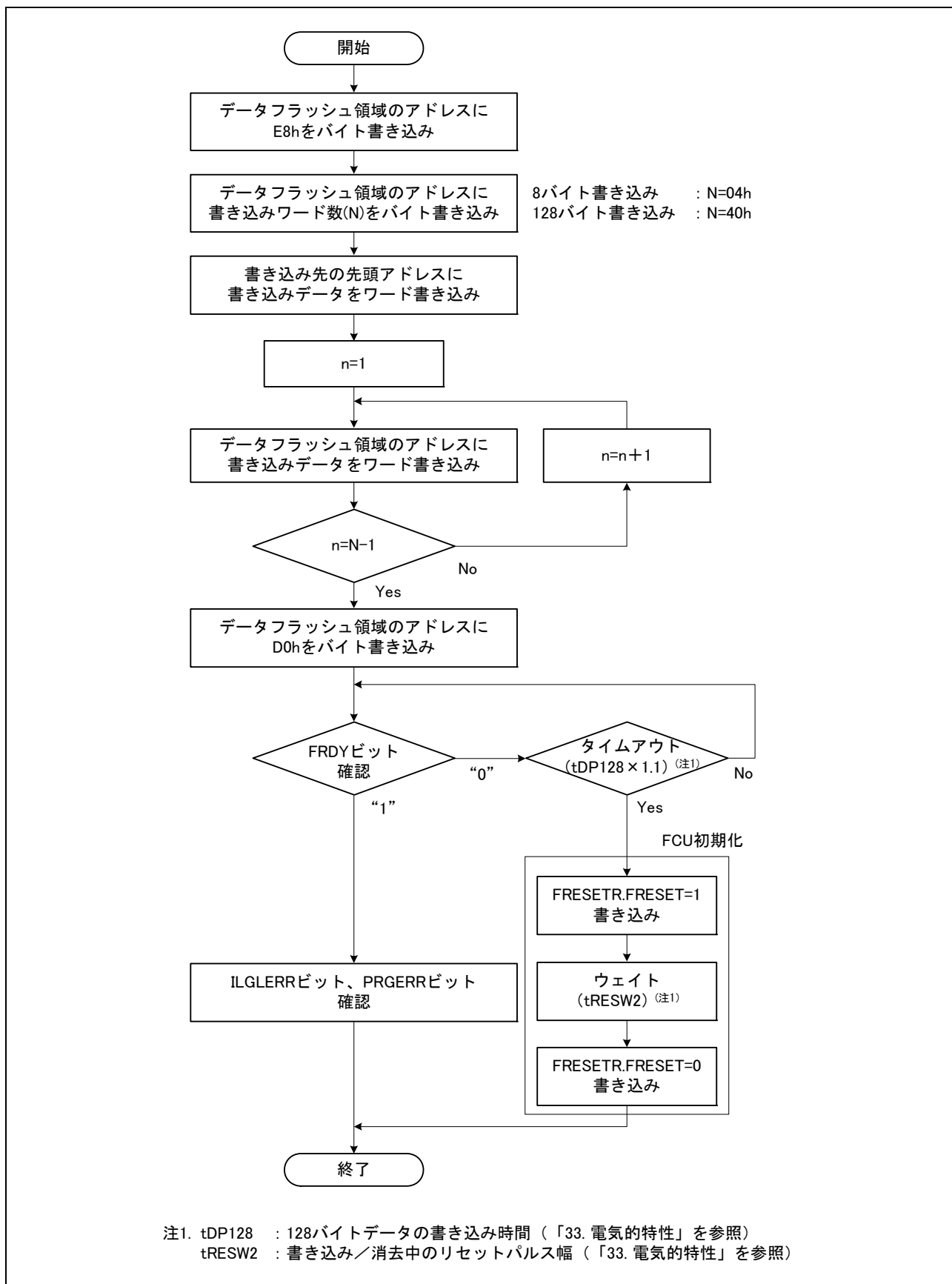


図 32.5 データフラッシュの書き込み

(3) 消去方法

データフラッシュの消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドを使用した消去方法は、ROMの消去方法と同様です（「31. ROM（コード格納用フラッシュメモリ）」を参照）。

データフラッシュには、DFLWE k レジスタ ($k=0,1$) による書き込み／消去プロテクト機能があることに注意してください。DFLWE k レジスタによるプロテクトを無効化にして消去を実施したい場合には、消去対象ブロック用の書き込み／消去許可ビットを“1”にしてから消去を行ってください。

(4) ブランクチェック

CPUで消去状態のデータフラッシュを読んでも、その値は不定ですので、消去状態の確認にはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前にFMODR.FRDMDBITを“1”にしてブランクチェックコマンドが使用可能な状態にし、DFLBCCNTレジスタにチェック対象領域のサイズとアドレスを設定してください。DFLBCCNT.BCSIZEビットが“1”の場合には、ブランクチェックコマンドの第2サイクルで指定した消去ブロック全体（2Kバイト）のブランクチェックを実行可能です。BCSIZEビットが“0”の場合には、ブランクチェックコマンドの第2サイクルで指定した消去ブロックの先頭アドレスと、DFLBCCNTレジスタの値を加算したアドレスから8バイト分の領域のブランクチェックを実行可能です。ブランクチェックコマンドの第1サイクルでは、71hをデータフラッシュ領域のアドレスにバイト書き込みします。コマンドの第2サイクルでブランクチェック対象領域を含む消去ブロック内の任意アドレスにD0hをバイト書き込みすると、FCUがデータフラッシュのブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0.FRDBITで確認可能です。ブランクチェックの完了後にDFLBCSTAT.BCSTビットの値を確認すると、チェック対象領域が消去状態であるか0データか1データを書いた状態であるかを確認することができます。

図 32.6 にデータフラッシュのブランクチェック方法を示します。

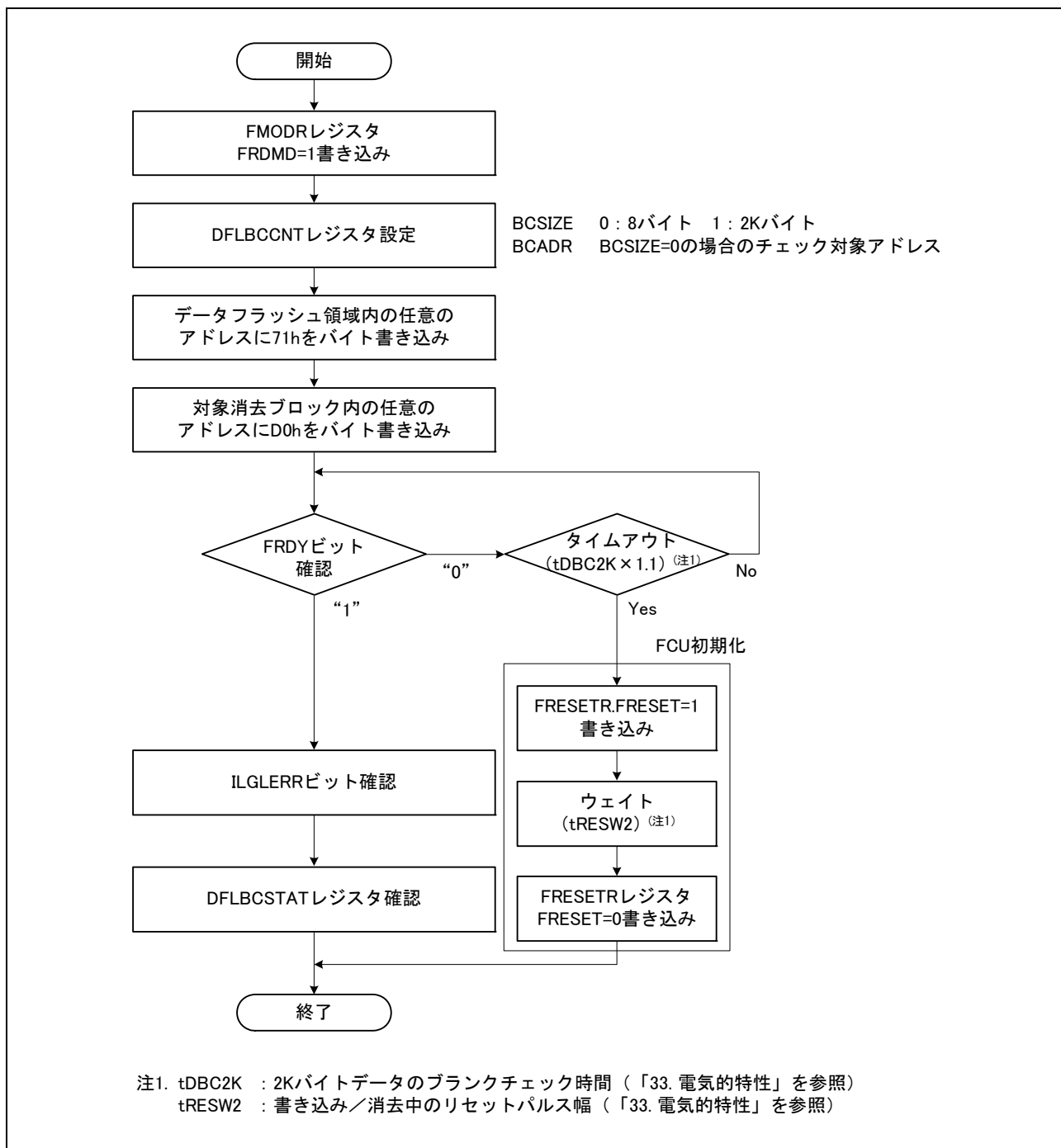


図 32.6 データフラッシュのブランクチェック

32.7 プロテクト

データフラッシュに対する書き込み/消去のプロテクトには、ソフトウェアプロテクト、エラープロテクトの2種類があります。

32.7.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定によってデータフラッシュに対する書き込み/消去/読み出しが禁止された状態です。ソフトウェアプロテクトに違反してデータフラッシュに対する書き込み/消去系コマンドを発行した場合、読み出しを行った場合には、FCUがエラーを検出してコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”に設定しないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRYD ビットが“0”の場合には、ROM/データフラッシュリードモードになります。ROM/データフラッシュリードモードではFCUコマンドが受け付けられないため、データフラッシュの書き込み/消去は禁止状態になります。ROM/データフラッシュリードモードでデータフラッシュに対するFCUコマンドを発行すると、FCUは不正コマンドエラーを検出してコマンドロック状態になります（「32.7.2 エラープロテクト」を参照）。

(3) DFLWEk レジスタによるプロテクト

DFLWEk.DBWEi (k=0,1, i=15~00) ビットが“0”の場合には、データマットのDBiブロックへの書き込み/消去が禁止状態になります。DBWEi ビットが“0”の状態ではDBiブロックに対する書き込み/消去を実行すると、FCUはライトプロテクト違反を検出してコマンドロック状態になります（「32.7.2 エラープロテクト」を参照）。

(4) DFLREk レジスタによるプロテクト

DFLREk.DBREi (k=0,1, i=15~00) ビットが“0”の場合には、データマットのDBiブロックの読み出しが禁止状態になります。DBREi ビットが“0”の状態ではDBiブロックに対する読み出しを実行すると、FCUはリードプロテクト違反を検出してコマンドロック状態になります（「32.7.2 エラープロテクト」を参照）。

32.7.2 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行、禁止アクセスの発生により、FCU が誤動作を検知して FCU コマンドの受け付けを禁止する状態（コマンドロック状態）です。

FCU がコマンドロック状態（FASTAT.CMDLK ビットが“1”）になると、ステータスビット

（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.DFLAE, DFLRPE, DFLWPE ビット）の何れかもしくは複数ビットが“1”になり、データフラッシュの書き込み／消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが 10h の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT.CMDLKIE ビットが“1”の場合には、FCU がコマンドロック状態（FASTAT.CMDLK ビットが“1”）になると、フラッシュインタフェースエラー（FIFERR）割り込みが発生します。また、FAEINT レジスタのデータフラッシュ関連の割り込み許可ビット（DFLAEIE, DFLRPEIE, DFLWPEIE ビット）が“1”の場合には、FASTAT レジスタの対応するビット（DFLAE, DFLRPE, DFLWPE ビット）が“1”になったときも FIFERR 割り込みが発生します。

表 32.8 にデータフラッシュ関連のエラープロテクト内容とエラー検出後のステータスビット値（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FASTAT.DFLAE, DFLRPE, DFLWPE ビット）の関係を示します。ROM / データフラッシュ共通のエラープロテクト内容（FENTRYR 設定エラー、不正コマンドの大半、消去エラー、書き込みエラー、FCU エラー）については、「31. ROM（コード格納用フラッシュメモリ）」の「31.8.2 エラープロテクト」を参照してください。

書き込み／消去処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCU は書き込み／消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み／消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが“1”になります。

表 32.8 エラープロテクト一覧（データフラッシュ専用）

分類	内容	ILGLERR	ERSERR	PRGERR	DFLAE	DFLRPE	DFLWPE	CMDLK
不正コマンド	プログラムコマンドの2サイクル目で04h、40h以外を指定	1	0	0	0	0	0	1
	FENTRYR.FENTRYD ビットが“1”の状態で、データフラッシュ領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	0	1
データフラッシュアクセス違反	FENTRYD ビットが“1”、かつデータフラッシュ P/E ノーマルモードで、データフラッシュ領域に対してリードアクセスを発行	1	0	0	1	0	0	1
	FENTRYD ビットが“0”の状態で、データフラッシュ領域に対してライトアクセスを発行	1	0	0	1	0	0	1
	FENTRYR.FENTRY0 ビットが“1”の状態で、データフラッシュ領域に対するアクセスを発行	1	0	0	1	0	0	1
データフラッシュリードプロテクト違反	DFLREk レジスタ (k=0, 1) で読み出し禁止に設定したデータフラッシュ領域に対してリードアクセスを発行	1	0	0	0	1	0	1
データフラッシュライトプロテクト違反	DFLWEk レジスタ (k=0, 1) で書き込み／消去禁止に設定したデータフラッシュ領域に対して、プログラム／ブロックイレースコマンドを発行	1	0	0	0	0	1	1

32.8 ブートモード

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してデータマットの書き込み/消去を実行可能です。ブートモードのシステム構成や使用方法の詳細は、「31.9 ブートモード」を参照してください。以下にデータフラッシュ固有のコマンドについて説明します。

32.8.1 問い合わせ設定ホストコマンド

表 32.9 にデータフラッシュ固有の問い合わせ設定ホストコマンド一覧を示します。データマット有無問い合わせ/データマット情報問い合わせコマンドは、「31.9.5 問い合わせ設定ホストコマンド待ち状態」の「図 31.29 ユーザマットの問い合わせ設定ホストコマンドの使用例」に示したフロー中の“マット書き込み用の情報問い合わせ”を実施する箇所で使用します。

表32.9 問い合わせ設定ホストコマンド（データフラッシュ固有）

ホストコマンド名	機能
データマット有無問い合わせ	データマット有無の問い合わせ
データマット情報問い合わせ	データマットの個数、先頭/最終アドレスの問い合わせ

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストからRX62Tに送信するコマンド、“レスポンス”はRX62Tからホストに送信する応答です。“サムチェック”はRX62Tが送信した各バイトを合計した場合に、00hになるように計算されたバイトデータを指します。

(1) データマット有無問い合わせ

ホストがデータマット有無問い合わせコマンドを送信すると、データマットが有ることを示す情報をRX62Tが送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	マット有無	SUM
【記号説明】	サイズ (1バイト)	: マット有無の文字数 (固定値で1)		
	マット有無 (1バイト)	: データマットの有無 (固定値で21h) 21h: データマットあり		
	SUM (1バイト)	: サムチェック		

(2) データマット情報問い合わせ

ホストがデータマット情報問い合わせコマンドを送信すると、データマットのエリア数とアドレスの情報をRX62Tが送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】	サイズ (1バイト)	: エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
	エリア数 (1バイト)	: データマットのエリア数 (連続したエリアは1エリアと数えます。)
	エリア先頭アドレス (4バイト)	: データマットエリアの先頭アドレス
	エリア最終アドレス (4バイト)	: データマットエリアの最終アドレス
	SUM (1バイト)	: サムチェック

データマットのブロック構成の情報は、消去ブロック情報問い合わせコマンド（「31.9.5 問い合わせ設定ホストコマンド待ち状態」を参照）のレスポンスに含まれます。

32.8.2 書き込み／消去ホストコマンド

表 32.10 にデータフラッシュ固有の書き込み／消去ホストコマンド一覧を示します。データフラッシュ固有のホストコマンドはデータマットのサムチェック／ブランクチェック用のコマンドのみで、書き込み／消去／読み出し用のコマンドはROMと共用です。

データマットの書き込みを行う場合は、ユーザマット書き込み選択コマンドを発行後、256バイト書き込みコマンドで書き込みアドレスにデータマットのアドレスを指定します。データマットの消去を行う場合は、消去選択コマンド発行後、ブロック消去コマンドでデータマットの消去ブロックを指定します。データマットの消去ブロック情報は、消去ブロック問い合わせコマンドのレスポンスに含まれます。データマットの読み出しを行う場合は、メモリーリードコマンドでユーザマットを選択し、読み出し対象アドレスにデータマットのアドレスを指定します。

ユーザマット書き込み選択コマンド／256バイト書き込みコマンド／消去選択コマンド／ブロック消去コマンド／メモリーリードコマンドの詳細は、「31.9.7 書き込み／消去ホストコマンド待ち状態」を参照してください。消去ブロック情報問い合わせコマンドの詳細は、「31.9.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

表32.10 書き込み／消去ホストコマンド（データフラッシュ固有）

ホストコマンド名	機能
データマットサムチェック	データマットのサムチェック
データマットブランクチェック	データマットのブランクチェック

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストからRX62Tに送信するコマンド、“レスポンス”はRX62Tからホストに送信する応答です。“サムチェック”は、RX62Tが送信した各バイトを合計した場合に、00hになるように計算されたバイトデータを指します。

(1) データマットサムチェック

ホストがデータマットサムチェックコマンドを送信すると、RX62T はデータマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	61h			
レスポンス	71h	サイズ	マットのサムチェック	SUM
【記号説明】	サイズ (1バイト)	: マットのサムチェックのバイト数 (固定値で4)		
	マットのサムチェック (4バイト)	: データマットのサムチェック結果		
	SUM (4バイト)	: サムチェック (レスポンスデータのサムチェック)		

(2) データマットブランクチェック

ホストがデータマットブランクチェックコマンドを送信すると、RX62T はデータマットがすべて消去状態であるかをチェックします。データマットがすべて消去状態であった場合には、RX62T はレスポンス (06h) を送信します。データマットに未消去領域が存在した場合には、RX62T はエラーレスポンス (E2h → 52h) を送信します。

コマンド	62h	
レスポンス	06h	
エラー レスポンス	E2h	52h

32.9 使用上の注意事項

(1) リセット起動直後のデータマットプロテクト状態

DFLREk、DFLWEk レジスタ (k=0,1) の初期値が 0000h であるため、リセット起動直後のデータマットの読み出し／書き込み／消去は禁止状態です。データマットへの読み出しが必要な場合には DFLREk レジスタを設定してからデータマットにアクセスしてください。また、データマットの書き込み／消去が必要な場合には、DFLWEk レジスタを設定してから書き込み／消去用の FCU コマンドを発行してください。レジスタを設定せずに読み出し／書き込み／消去を実行しようとする、FCU がエラーを検出してコマンドロック状態になります。

(2) その他の注意事項

その他の注意事項については ROM と同じです。「31. ROM（コード格納用フラッシュメモリ）」の「31.12 使用上の注意事項」を参照してください。ただし、データフラッシュの場合は「ブランクチェック」が追加されます。

「書き込み／消去」を「書き込み／消去／ブランクチェック」と読み替えてください。

33. 電気的特性

33.1 絶対最大定格

表 33.1 絶対最大定格

項目	記号	定格値	単位	
電源電圧	VCC、PLLVCC	-0.3~+6.5	V	
入力電圧 (ポート4~6以外)	Vin	-0.3~VCC+0.3	V	
入力電圧 (ポート4)	Vin	-0.3~AVCC0+0.3	V	
入力電圧 (ポート5、6)	Vin	-0.3~AVCC+0.3	V	
アナログ電源電圧	AVCC0、AVCC (注1)	-0.3~+6.5	V	
リファレンス電源電圧	VREFH0 (注1)	-0.3~AVCC0+0.3	V	
	VREF (注1)	-0.3~AVCC+0.3	V	
アナログ入力電圧 (ポート4)	V _{AN}	-0.3~AVCC0+0.3	V	
アナログ入力電圧 (ポート5、6)	V _{AN}	-0.3~AVCC+0.3	V	
動作温度	Dバージョン	Topr	-40~+85	°C
	Gバージョン	Topr	-40~+105	°C
保存温度	Tstg	-55~+125	°C	

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

- 注1. A/Dコンバータ未使用時にAVCC0、VREFH0、VREFL0、AVSS0、AVCC、VREF、AVSS端子を開放しないでください。
- ・12ビットA/Dコンバータ未使用時
AVCC0端子はAVCC (64ピン版はVCC) に、VREFH0端子はVREF (80ピン版はAVCC、64ピン版はVCC) に、AVSS0、VREFL0端子はVSSにそれぞれ接続してください。
 - ・10ビットA/Dコンバータ未使用時
AVCC端子はAVCC0に、VREF端子はVREFH0に、AVSS端子はAVSS0にそれぞれ接続してください。
 - ・12ビットA/Dコンバータおよび10ビットA/Dコンバータ未使用時
AVCC0、VREFH0、AVCC、VREF端子はVCCに、AVSS0、VREFL0、AVSS端子はVSSにそれぞれ接続してください。

33.2 DC 特性

表33.2 DC特性(1)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件			
シュミットトリガ 入力電圧	CAN 入力端子 IRQ 入力端子 MTU3 入力端子 POE3 入力端子 SCI 入力端子 A/D トリガ入力端子 NMI 入力端子 GPT 入力端子 LIN 入力端子 RES#	V _{IH}	VCC×0.8	—	VCC + 0.3	V				
		V _{IL}	-0.3	—	VCC×0.2					
		ΔV _T	VCC×0.06	—	—					
	RIIC 入力端子 (IICBus 動作時)	V _{IH}	VCC×0.7	—	VCC + 0.3					
		V _{IL}	-0.3	—	VCC×0.3					
		ΔV _T	VCC×0.05	—	—					
	ポート4 (注1) (アナログ兼用ポート)	V _{IH}	AVCC0×0.8	—	AVCC0 + 0.3					
		V _{IL}	-0.3	—	AVCC0×0.2					
		ΔV _T	AVCC0×0.06	—	—					
	ポート5、6 (注1) (アナログ兼用ポート)	V _{IH}	AVCC×0.8	—	AVCC + 0.3					
		V _{IL}	-0.3	—	AVCC×0.2					
		ΔV _T	AVCC×0.06	—	—					
	ポート1~3 (注1) ポート7~B (注1) ポートD、E、G (注1)	V _{IH}	VCC×0.8	—	VCC + 0.3					
		V _{IL}	-0.3	—	VCC×0.2					
		ΔV _T	VCC×0.06	—	—					
	入力Highレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V _{IH}	VCC×0.9	—			VCC + 0.3	V	条件1、2のとき
		EXTAL RSPI入力端子		VCC×0.8	—			VCC + 0.3		
		RIIC入力端子 (SMBus動作時)		2.1	—			VCC + 0.3		
入力Lowレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V _{IL}	-0.3	—	VCC×0.1	V	条件1、2のとき			
	EXTAL RSPI入力端子		-0.3	—	VCC×0.2					
	RIIC入力端子 (SMBus動作時)		-0.3	—	0.8					

表 33.2 DC特性(1)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_aは条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件	
出力Highレベル電圧	全出力端子 (P71～P76、P90～P95を除く)	V _{OH}	VCC - 0.5	—	—	V	I _{OH} = -1mA
	P71～P76		VCC - 0.5	—	—		I _{OH} = -1mA 64ピンLQFP版 条件3のとき
			VCC - 1.0	—	—		I _{OH} = -5mA 64ピンLQFP版 条件3以外のとき
	P90～P95		VCC - 0.5	—	—		I _{OH} = -1mA 80ピンLQFP版、及び 64ピンLQFP版の とき
			VCC - 1.0	—	—		I _{OH} = -5mA 112ピンLQFP版、及び 100ピンLQFP版 のとき
出力Lowレベル電圧	全出力端子 (P71～P76、P90～P95とRIIC端子を除く)	V _{OL}	—	—	0.5	V	I _{OL} = 1.0mA
	P71～P76		—	—	0.5		I _{OL} = 1.0mA 64ピンLQFP版 条件3のとき
			—	—	1.1		I _{OL} = 15mA 条件1、2のとき
			—	—	1.4		I _{OL} = 15mA 64ピンLQFP版 以外の条件3のとき
	P90～P95		—	—	0.5		I _{OL} = 1.0mA 80ピンLQFP版、及び 64ピンLQFP版の とき
			—	—	1.1		I _{OL} = 15mA 112ピンLQFP版、及び 100ピンLQFP版 の条件1、2のとき
			—	—	1.4		I _{OL} = 15mA 112ピンLQFP版、及び 100ピンLQFP版 の条件3のとき
	RIIC端子		—	—	0.4		I _{OL} = 3mA
			—	—	0.6		I _{OL} = 6mA
	入力リーク電流	RES#, MD端子, EMLE	I _{in}	—	—	1.0	μA
スリープステート リーク電流 (オフ状態)	ポート1～A ポートPB0, PB3～PB7 ポートD, E, G	I _{TSI}	—	—	1.0	μA	V _{in} = 0V, V _{in} = VCC
	ポートPB1, PB2		—	—	5.0		

表 33.2 DC特性(1)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ T_a は条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件
入力容量	全入力端子 (ポートPB1、PB2以外)	C_{in}	—	—	15	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25^\circ C$
	ポートPB1、PB2		—	—	30		

注1. 兼用入力端子を含みます。ただし、ポートPB1、PB2をRIIC入力端子として使用した場合とポートP22～P24、P30、PA3～PA5、PB0、PD0～PD2、PD6をRSPI入力端子として使用した場合は除きます。

表 33.3 DC特性(2)

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件 1 ~ 3 で共通です。

項目		記号	min	typ	max	単位	測定条件	
消費電流 (注1)	動作時	最大動作時 (注2)	I _{CC} (注3)	—	—	70	mA	ICLK = 100MHz PCLK = 50MHz
		通常動作時 (注4)		—	35	—		
		BGO 動作 (注5) による 増加分		—	15	—		
	スリープ時	—		22	60			
	全モジュールクロックストップ時 (注6)	—		14	28			
	スタンバイ時	ソフトウェアスタンバイ時		—	0.10	3		
	ディープソフトウェア スタンバイ時	—	20	60	μA			
アナログ 電源電流	12ビットA/D変換中 (サンプルホールド回 路使用時、1ユニット当り)	AI _{CC0}	—	3	5	mA		
	12ビットA/D変換中 (サンプルホールド 回路未使用時、1ユニット当り)		—	3	5	mA		
	プログラマブルゲインアンプ (1ch 当り)		—	1	2	mA		
	ウィンドウコンパレータ (1ch 動作時)		—	0.5	1	mA		
	ウィンドウコンパレータ (6ch 動作時)		—	1	2	mA		
	12ビットA/D変換待機時 (全ユニット)		—	60	90	μA		
	10ビットA/D変換中 (1ユニット当り)	AI _{CC}	—	0.9	2	mA		
10ビットA/D変換待機時 (全ユニット)	—		0.3	3	μA			
リファレンス 電源電流	12ビットA/D変換中 (1ユニット当り)	AI _{REFH0}	—	1.6	3	mA		
	12ビットA/D変換待機時 (全ユニット)		—	1.6	3	mA		
	10ビットA/D変換中 (1ユニット当り)	AI _{REF}	—	0.1	1	mA		
	10ビットA/D変換待機時 (全ユニット)		—	0.1	3	μA		
VCC立ち上がり勾配		SV _{CC}	—	—	20	ms/V		

注1. 消費電流値はすべての出力端子を無負荷状態にした場合の値です。

注2. 周辺機能はクロック供給状態。BGO 動作は除きます。

注3. I_{CC}は下記の式にしたがってf (ICLK) に依存します。(ICLK : PCLK = 8 : 4)

I_{CC} max = 0.54 x f + 16 (最大動作時)

I_{CC} max = 0.3 x f + 5 (通常動作時)

I_{CC} max = 0.44 x f + 16 (スリープ時)

注4. 周辺機能はクロック供給停止状態。BGO 動作は除きます。

注5. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。

注6. 参考値です。

表 33.4 出力許容電流

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件 1 ~ 3 で共通です。

項目	記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	I _{OL}	—	—	2.0 (注1)	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	I _{OL}	—	—	4.0 (注1)	mA
出力Lowレベル許容電流 (総和)	ΣI _{OL}	—	—	110	mA
出力Highレベル許容電流 (1端子あたりの平均値)	-I _{OH}	—	—	2.0 (注1)	mA
出力Highレベル許容電流 (1端子あたりの最大値)	-I _{OH}	—	—	4.0 (注1)	mA
出力Highレベル許容電流 (総和)	Σ-I _{OH}	—	—	35	mA

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表 33.4 の値を超えないようにしてください。

注1. P71~76、P90~95はI_{OL}=15mA (Max.) / -I_{OH}=5mA (Max.)。ただし、これらの端子のうち同時に2.0mAを超えてI_{OL}/-I_{OH}を流すものは112ピンLQFP版/100ピンLQFP版では6本以内、80ピンLQFP版/64ピンLQFP版では3本以内にしてください。

表 33.5 許容消費電力 (Gバージョンのみ)

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件 1 ~ 3 で共通です。

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	325	mW	85 °C < T _a ≤ 105 °C

注. T_a = +85°C ~ +105°Cで使用する場合のデレーティングについては、当社営業および販売店営業へお問い合わせください。なお、デレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注1. チップ全体 (出力電流を含む) の総電力です。

33.3 AC 特性

表 33.6 動作周波数値

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	8	—	100	MHz
	周辺モジュールクロック (PCLK)		8	—	50	

33.3.1 クロックタイミング

表 33.7 クロックタイミング

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ T_a は条件 1 ~ 3 で共通です。

項目	記号	min	max	単位	測定条件
リセット発振安定時間 (水晶)	t_{OSC1}	10	—	ms	図 33.1
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	10	—	ms	図 33.2
ディープソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC3}	10	—	ms	図 33.3
EXTAL外部クロック出力遅延安定時間	t_{DEXT}	1	—	ms	図 33.1
EXTAL外部クロック入力パルス幅Lowレベル	t_{EXL}	35	—	ns	図 33.4
EXTAL外部クロック入力パルス幅Highレベル	t_{EXH}	35	—	ns	
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	5	ns	
オンチップオシレータ (IWDTCLK) 発振周波数	$f_{IWDTCLK}$	62.5	187.5	kHz	

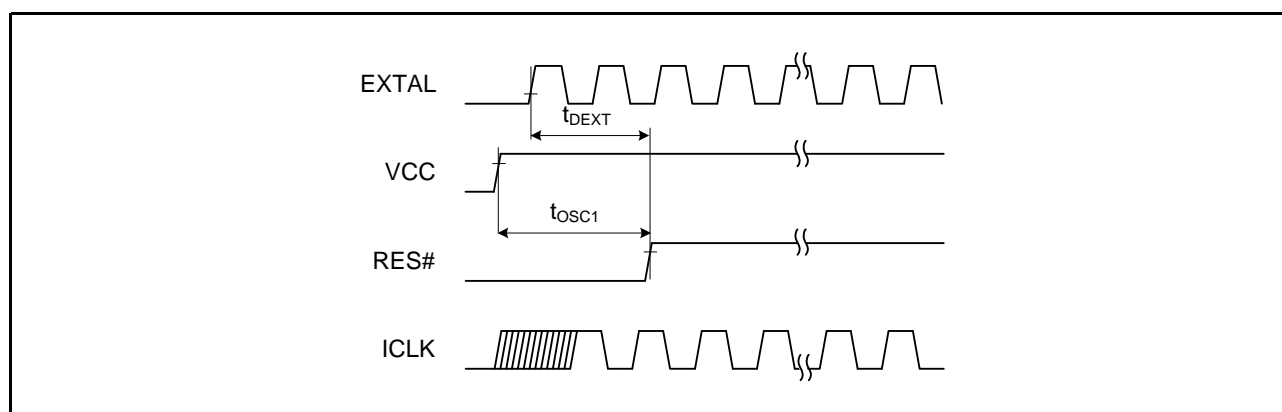


図 33.1 発振安定時間タイミング

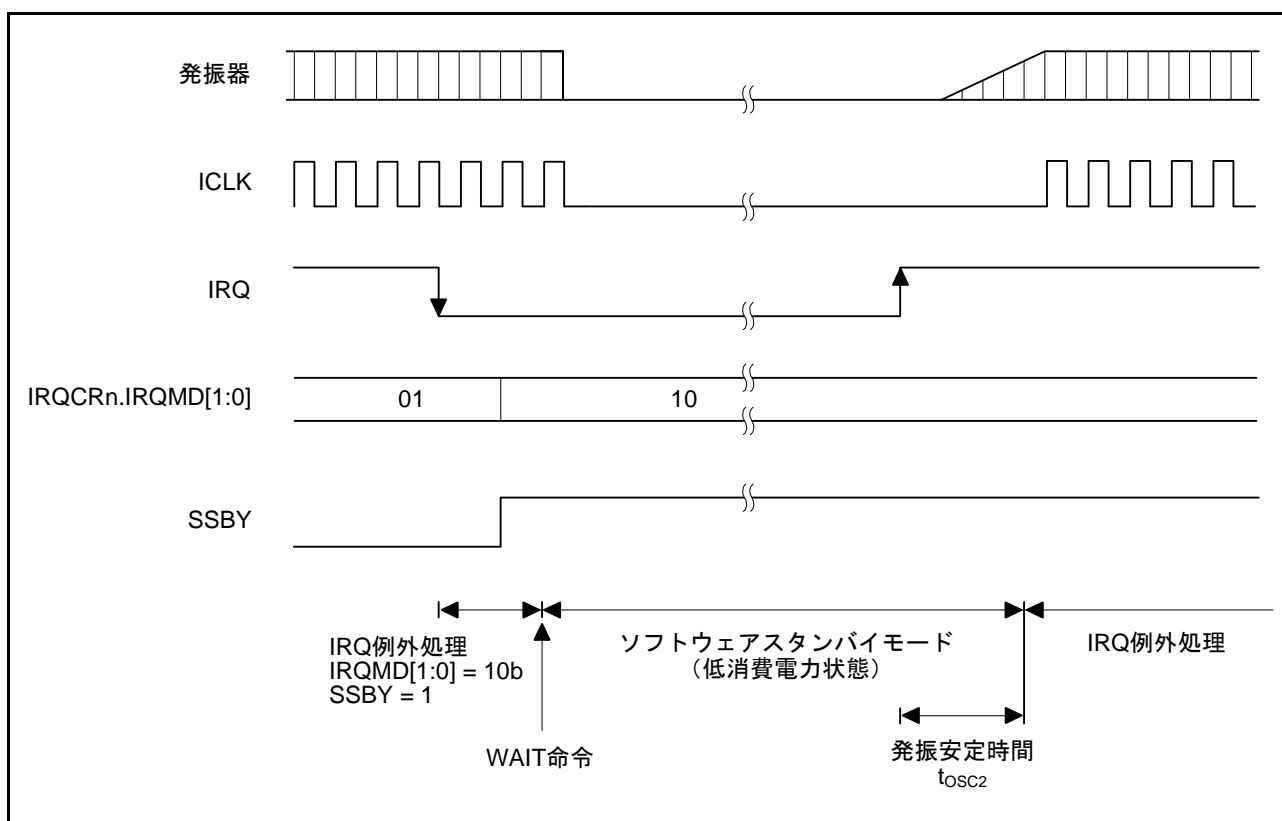


図 33.2 ソフトウェアスタンバイ発振安定時間タイミング

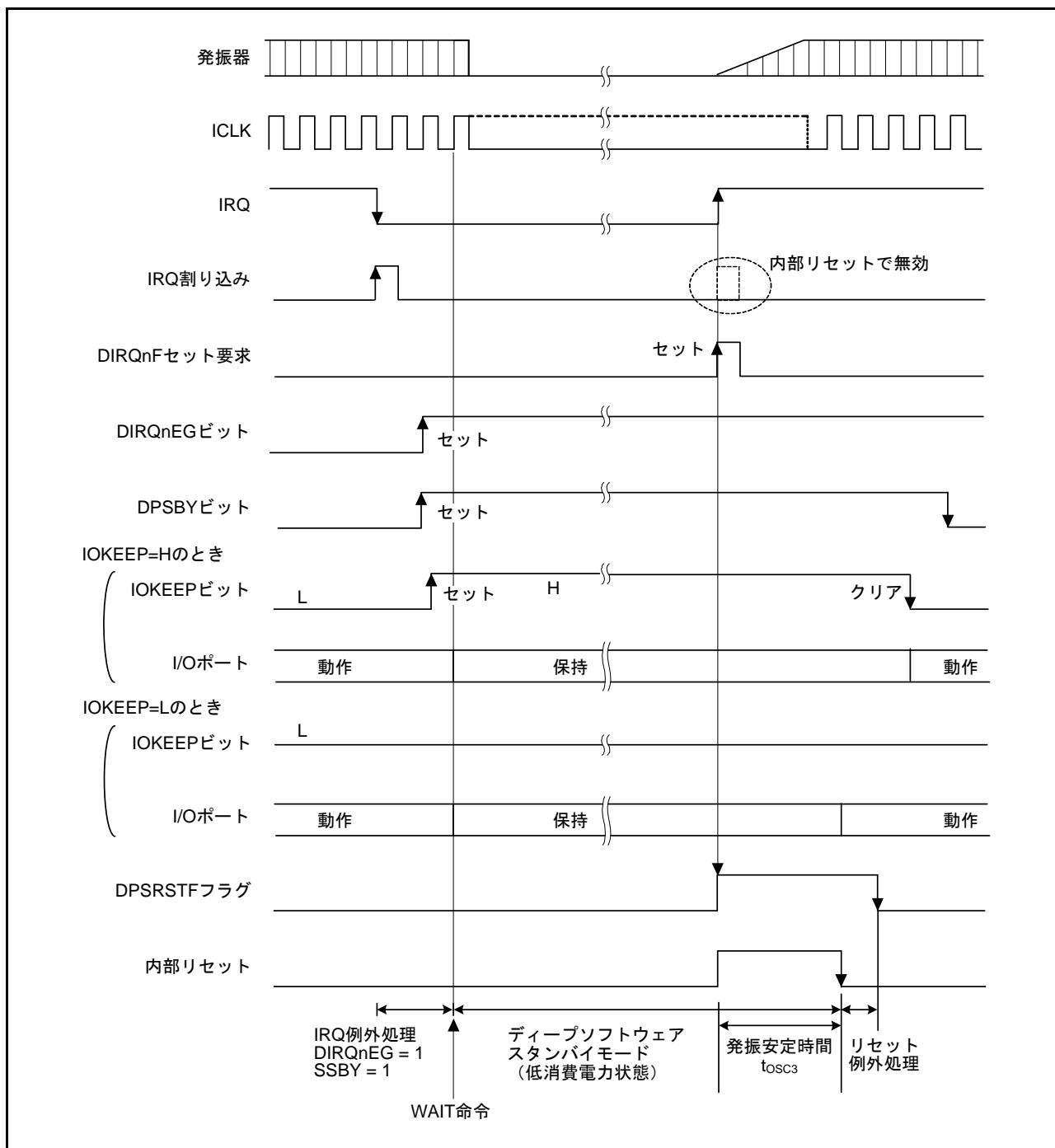


図 33.3 ディープソフトウェアスタンバイ発振安定時間タイミング

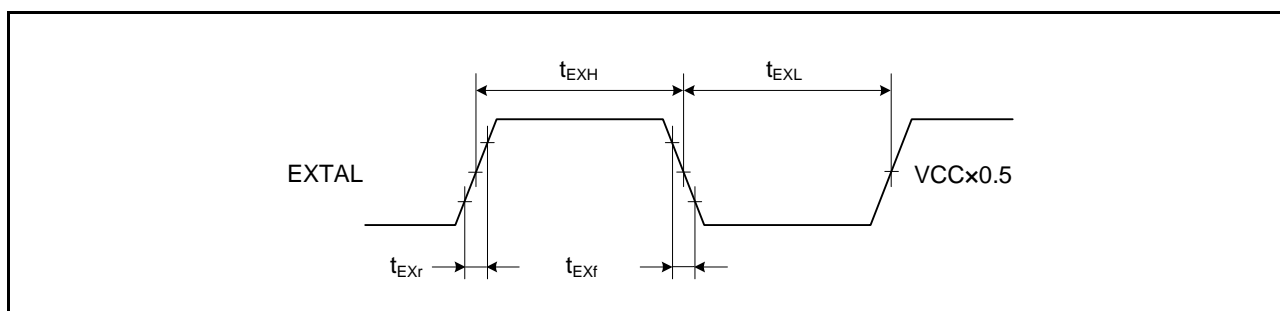


図 33.4 EXTAL 外部入カクロックタイミング

33.3.2 制御信号タイミング

表33.8 制御信号タイミング

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V, AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V, AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V, AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

$T_a = T_{opr}$ T_a は条件1～3で共通です。

項目	記号	min	max	単位	測定条件
RES#パルス幅 (ROM書き込み/消去、データフラッシュ書き込み/消去、 データフラッシュブランクチェックを除く(注1))	t_{RESW} (注2)	20	—	t_{lcyc} (注4)	図33.5
		1.5	—	μs	
内部リセット時間(注3)	t_{RESW2}	35	—	μs	
NMIパルス幅	t_{NMIW}	200	—	ns	図33.6
IRQパルス幅	t_{IRQW}	200	—	ns	図33.7

注1. ROM書き込み/消去、データフラッシュ書き込み/消去およびデータフラッシュブランクチェック中のRES#端子によるリセットを行なう場合は「31. ROM (コード格納用フラッシュメモリ)」の「31.12 使用上の注意事項」を参照してください。

注2. 時間とサイクル数の両規定を同時に満たす必要があります。

注3. 本項目は、FCUリセットに対する規定となります。

注4. ICLKの周期

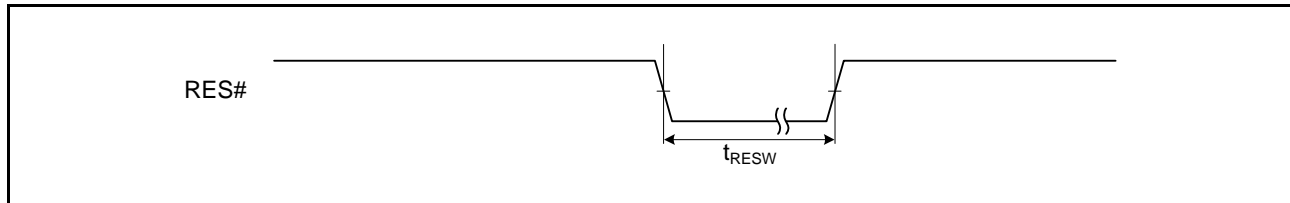


図33.5 リセット入力タイミング

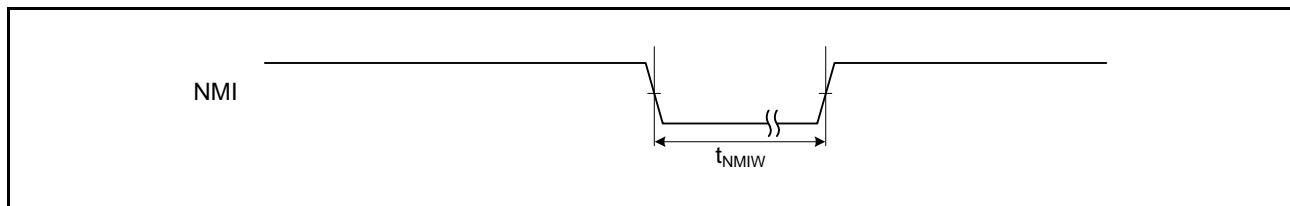


図33.6 NMI 割り込み入力タイミング

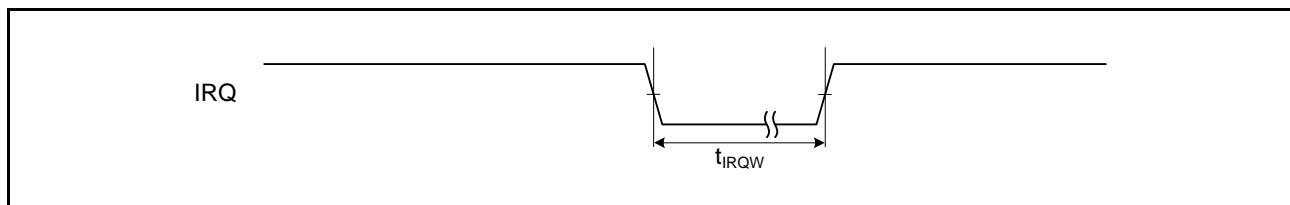


図33.7 IRQ 割り込み入力タイミング

33.3.3 内蔵周辺モジュールタイミング

表 33.9 内蔵周辺モジュールタイミング (1)

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC
T_a = Topr T_a は条件 1 ~ 3 で共通です。

項目		記号	min	max	単位	測定条件	
SCI	入力クロックサイクル	調歩同期	t _{Scyc}	4xt _{Pcyc}	—	ns	図 33.8
		クロック同期		6xt _{Pcyc}	—		
	入力クロックパルス幅		t _{SCKW}	0.4xt _{Scyc}	0.6xt _{Scyc}	ns	
	入力クロック立ち上がり時間		t _{SCKr}	—	20	ns	
	入力クロック立ち下がり時間		t _{SCKf}	—	20	ns	
	出力クロックサイクル	調歩同期	t _{Scyc}	16xt _{Pcyc}	—	ns	
		クロック同期		6xt _{Pcyc}	—	ns	
	出力クロックパルス幅		t _{SCKW}	0.4xt _{Scyc}	0.6xt _{Scyc}	ns	
	出力クロック立ち上がり時間		t _{SCKr}	—	20	ns	
	出力クロック立ち下がり時間		t _{SCKf}	—	20	ns	
送信データ遅延時間(クロック同期)		t _{TXD}	—	40	ns	図 33.9	
受信データセットアップ時間 (クロック同期)		t _{RXS}	40	—	ns		
受信データホールド時間 (クロック同期)		t _{RXH}	40	—	ns		

t_{Pcyc}: PCLK の周期

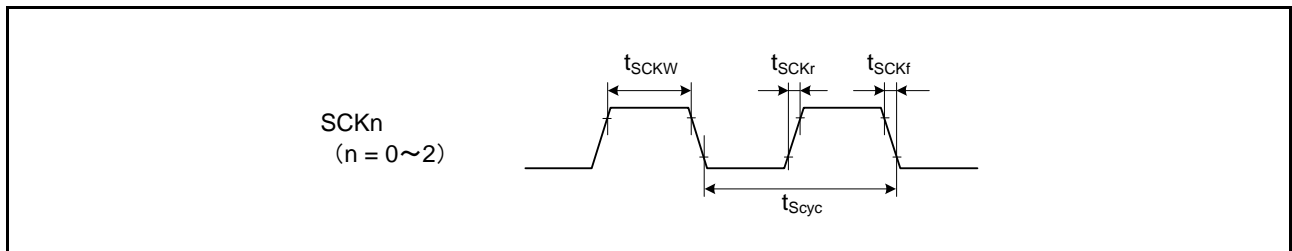


図 33.8 SCK クロック入力タイミング

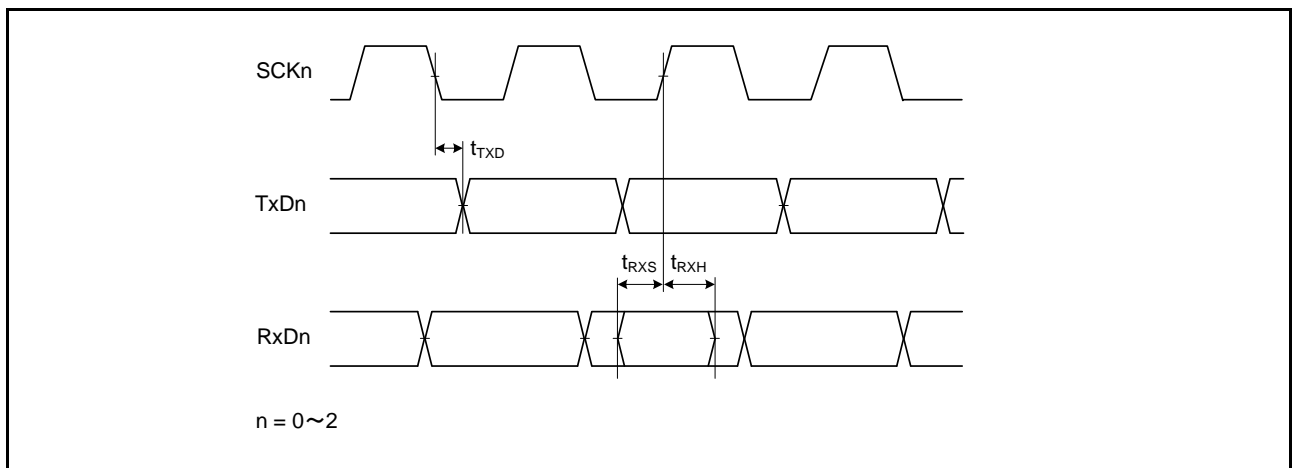


図 33.9 SCI 入出力タイミング/クロック同期式モード

表 33.10 内蔵周辺モジュールタイミング (2)

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件 1 ~ 3 で共通です。

項目		記号	min (注1) (注2)	max	単位	測定条件
RIIC (Standard-mode)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 1300	—	ns	図 33.10
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	ns	
	SDA入力バスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 600	—	ns	
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t _{Sr}	20 + 0.1C _b	300	ns	
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 + 0.1C _b	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	ns	
	SDA入力バスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—	ns	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t _{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t _{STOS}	300	—	ns	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データ入力ホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注. t_{IIcCyc} : RIIC の内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注2. C_b はバスラインの容量総計です。

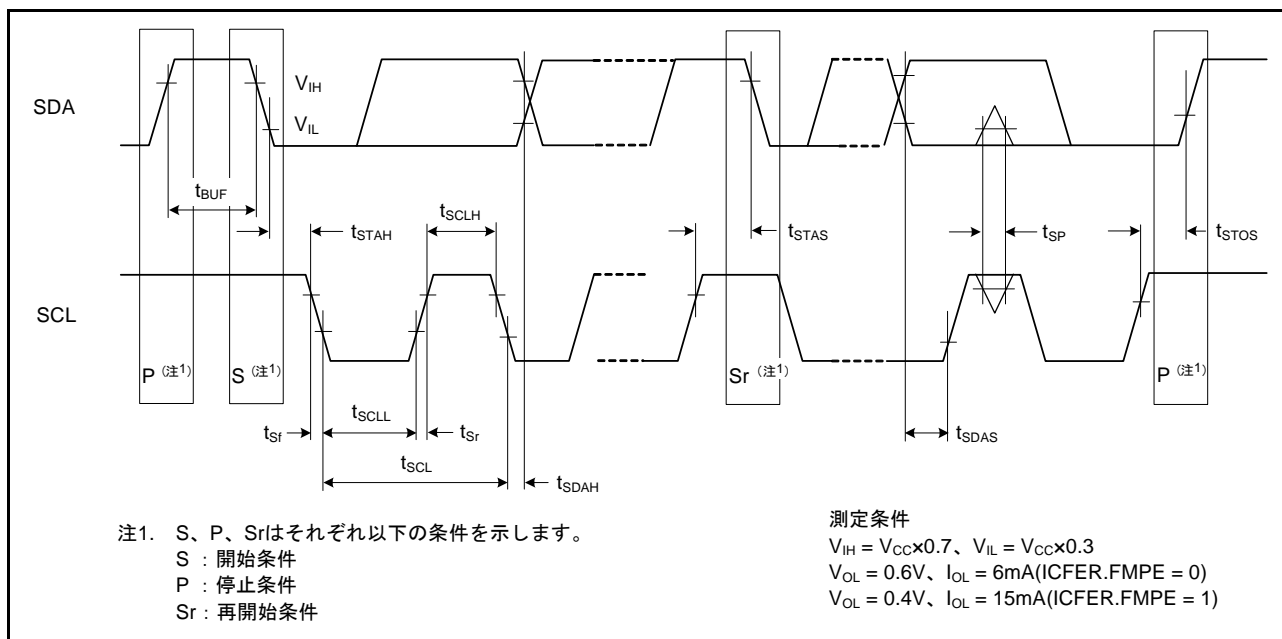


図 33.10 I²C バスインタフェース入出力タイミング

表33.11 内蔵周辺モジュールタイミング (3)

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_aは条件1～3で共通です。

項目		記号	min	max	単位	測定条件		
RSPI	RSPCK クロックサイクル	マスタ	t _{SPCyc}	4	4096	t _{Pcyc}	図33.11	
		スレーブ		8	4096			
	RSPCK クロックハイレベルパルス幅	マスタ	t _{SPCKWH}	$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		
		スレーブ		$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—			
	RSPCK クロックローレベルパルス幅	マスタ	t _{SPCKWL}	$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns		
		スレーブ		$(t_{SPCyc} - t_{SPCKR} - t_{SPCKF}) / 2$	—			
	RSPCK クロック立ち上がり/立ち下がり時間	出力	t _{SPCKR}	—	5	ns		
		入力	t _{SPCKF}	—	1	μs		
	データ入力セットアップ時間	マスタ	t _{SU}	25	—	ns		図33.12 ~ 図33.15
		スレーブ		0	—			
	データ入力ホールド時間	マスタ	t _H	0	—	ns		
		スレーブ		20 + 2 × t _{Pcyc}	—			
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}		
		スレーブ		4	—	t _{Pcyc}		
SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}			
	スレーブ		4	—	t _{Pcyc}			
データ出力遅延時間	マスタ	t _{OD}	—	20	ns			
	スレーブ		—	3 × t _{Pcyc} + 40				
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{Pcyc}	8 × t _{SPcyc} + 2 × t _{Pcyc}	ns			
	スレーブ		4 × t _{Pcyc}	—				
MOSI, MISO 立ち上がり/立ち下がり時間	出力	t _{DR}	—	15	ns	図33.12 ~ 図33.15		
	入力	t _{DF}	—	1	μs			
SSL 立ち上がり/立ち下がり時間	出力	t _{SSLR}	—	15	ns			
	入力	t _{SSLF}	—	1	μs			
スレーブアクセス時間		t _{SA}	—	4	t _{Pcyc}	図33.14		
スレーブ出力開放時間		t _{REL}	—	3	t _{Pcyc}	図33.15		

t_{Pcyc}: PCLK の周期

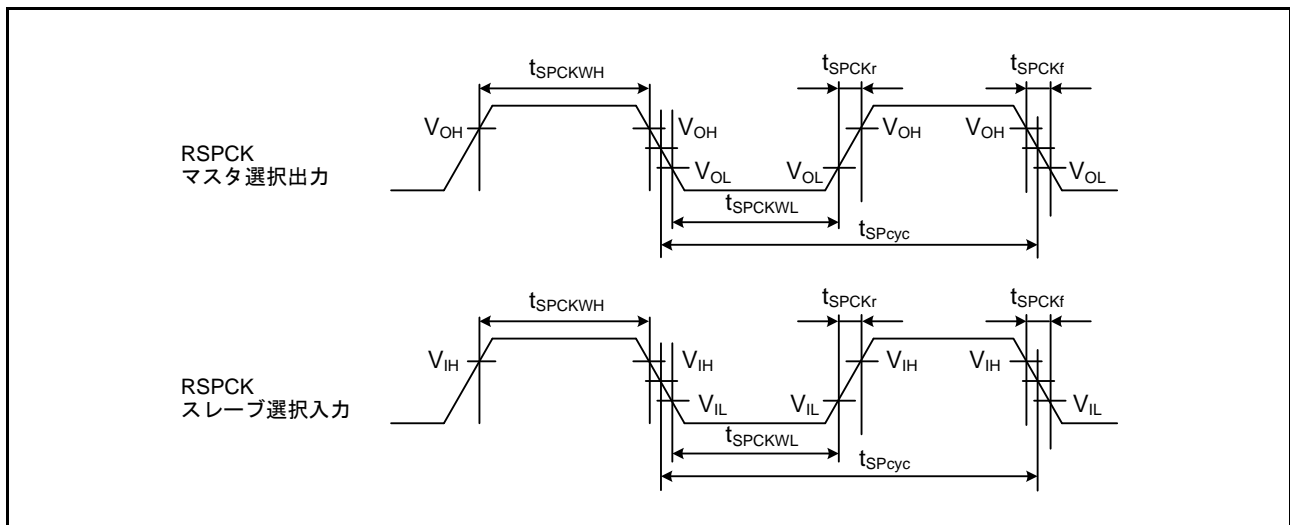


図 33.11 RSPCK クロックタイミング

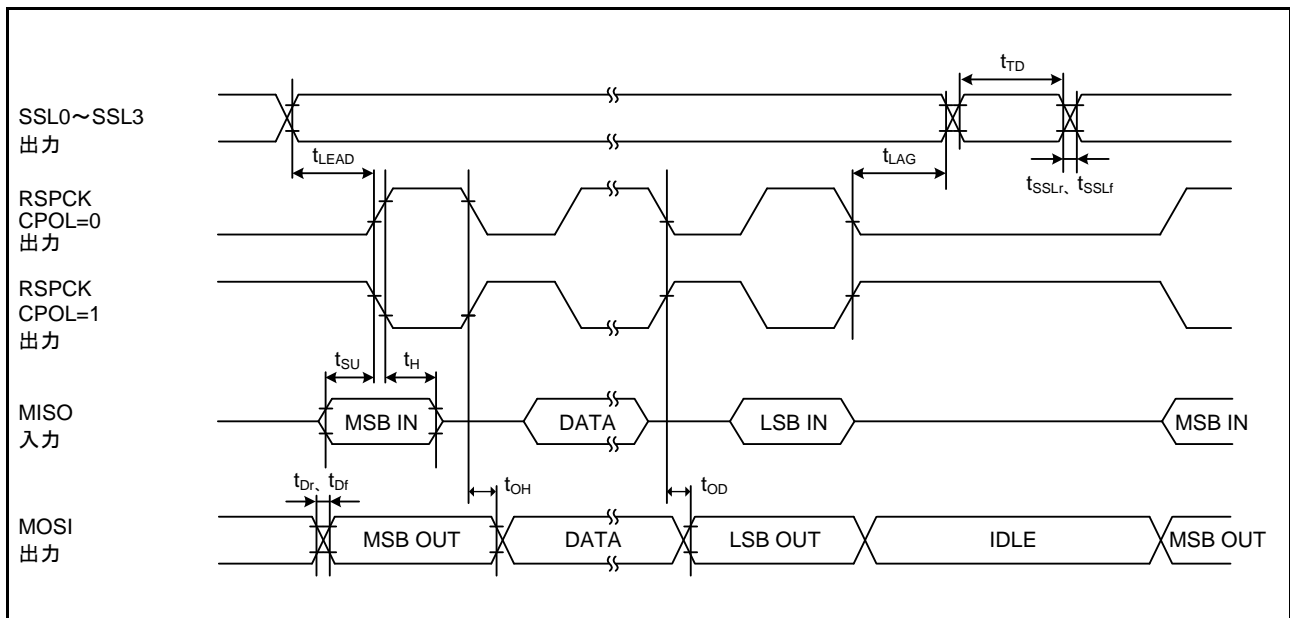


図 33.12 RSPCK タイミング (マスタ、CPHA = 0)

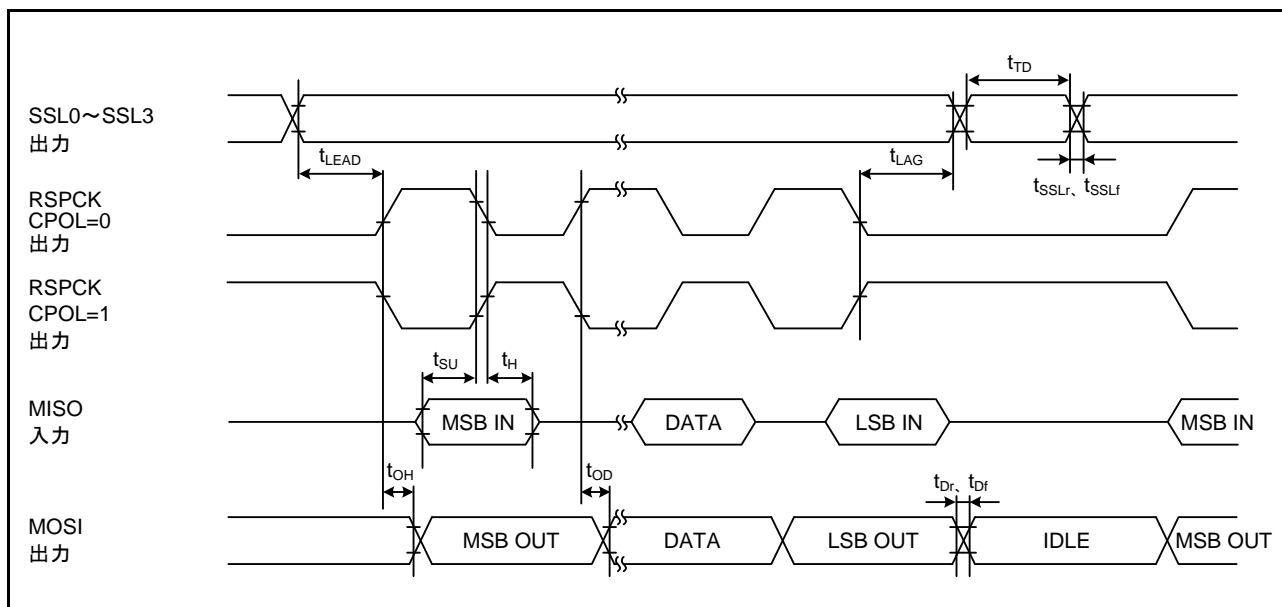


図 33.13 RSPI タイミング (マスタ、CPHA = 1)

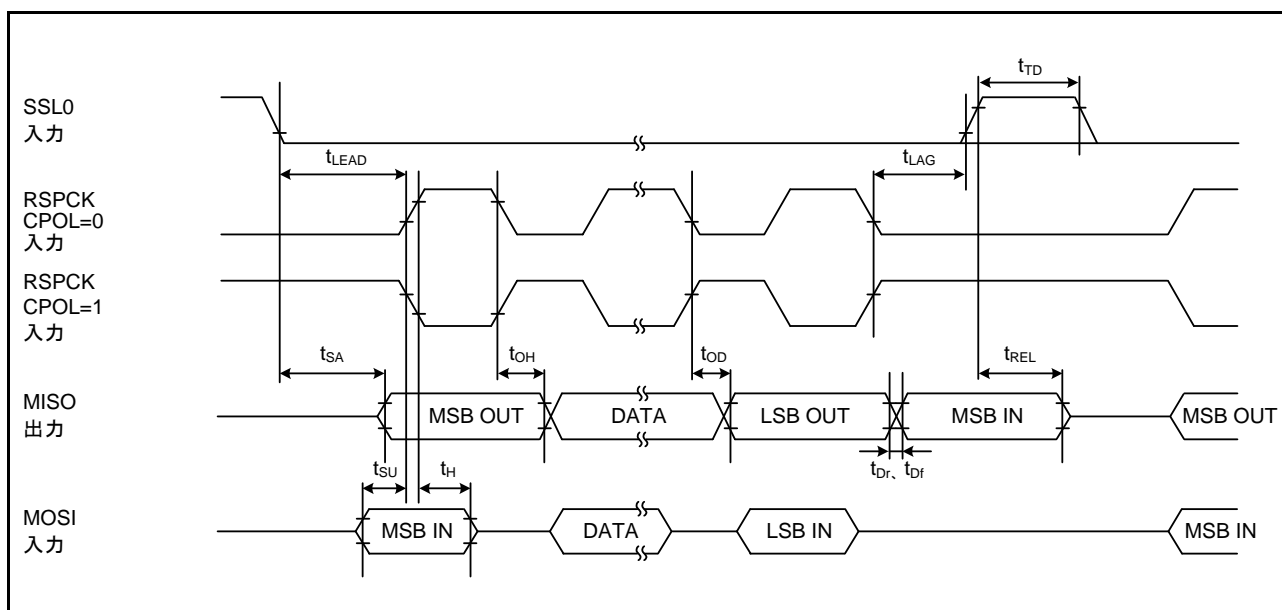


図 33.14 RSPI タイミング (スレーブ、CPHA = 0)

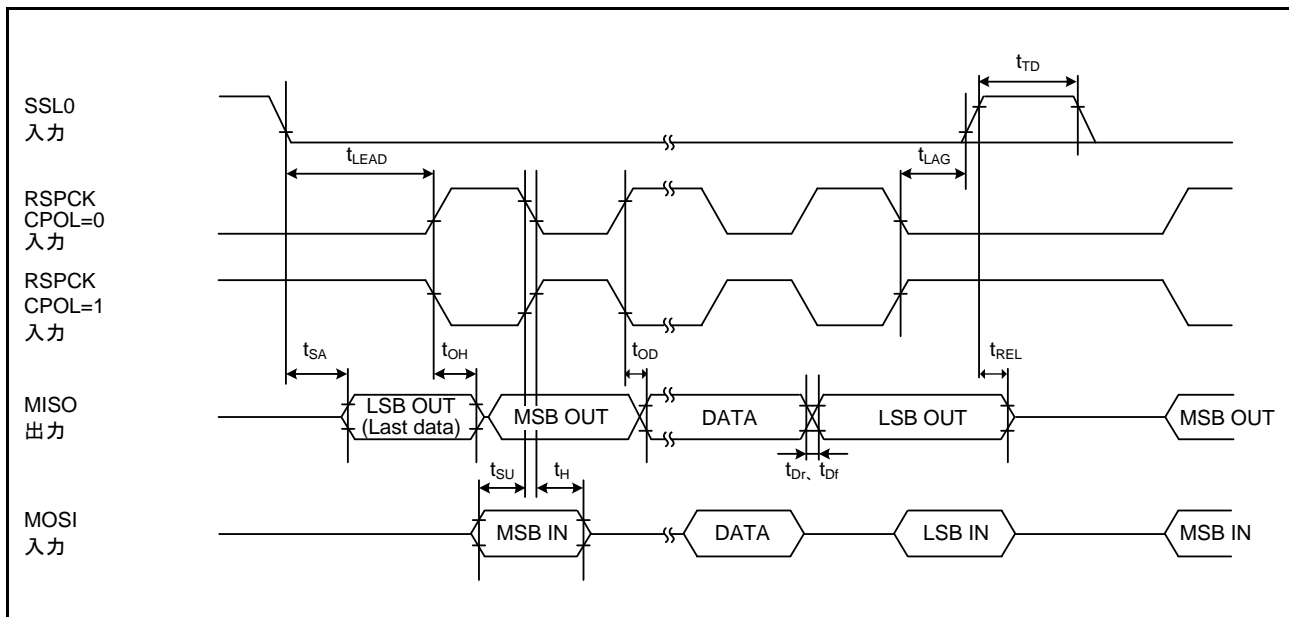


図 33.15 RSPI タイミング (スレーブ、CPHA = 1)

表 33.12 内蔵周辺モジュールタイミング (4)

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件 1 ~ 3 で共通です。

項目		記号	min	max	単位	測定条件
MTU3	インプットキャプチャ入力パルス幅 (単エッジ指定)	t _{TICW}	3.0	—	t _{icyc}	図 33.16
	インプットキャプチャ入力パルス幅 (両エッジ指定)	t _{TICW}	5.0	—	t _{icyc}	
	タイマクロックパルス幅 (単エッジ指定)	t _{TCKWH/L}	3.0	—	t _{icyc}	図 33.17
	タイマクロックパルス幅 (両エッジ推定)	t _{TCKWH/L}	5.0	—	t _{icyc}	
	タイマクロックパルス幅 (位相係数モード)	t _{TCKWH/L}	5.0	—	t _{icyc}	
GPT	インプットキャプチャ入力パルス幅 (単エッジ指定)	t _{GTICW}	3.0	—	t _{icyc}	図 33.18
	インプットキャプチャ入力パルス幅 (両エッジ指定)	t _{GTICW}	5.0	—	t _{icyc}	

t_{icyc}: ICLK の周期

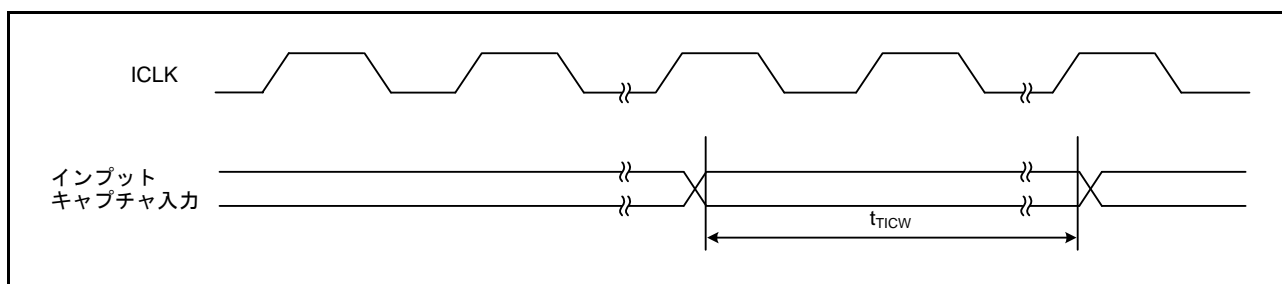


図 33.16 MTU3 入出力タイミング

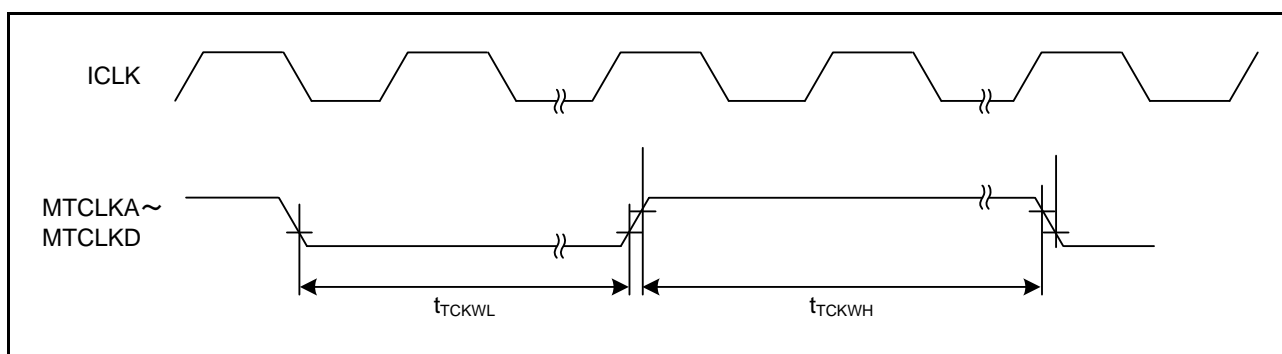


図 33.17 MTU3 クロック入力タイミング

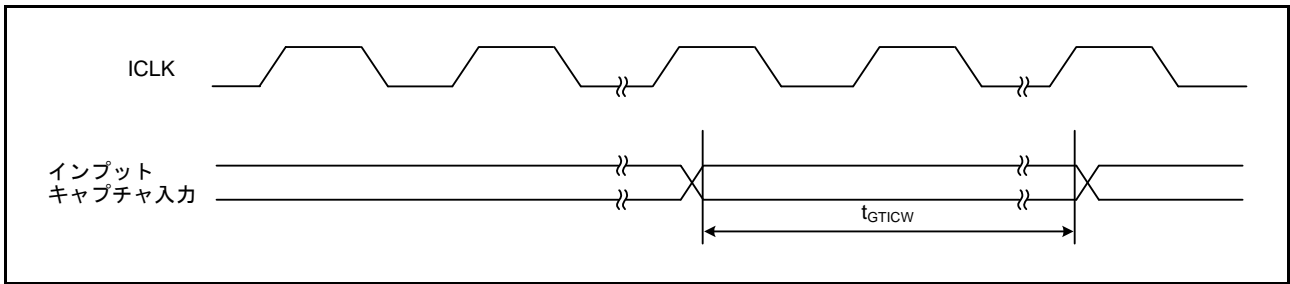


図 33.18 GPT 入出力タイミング

表 33.13 内蔵周辺モジュールタイミング (5)

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件 1 ~ 3 で共通です。

項目		記号	min	max	単位	測定条件
POE3	POE# 入力パルス幅	t _{POEW}	1.5	—	t _{Pcyc}	図 33.19

t_{Pcyc}: PCLK の周期

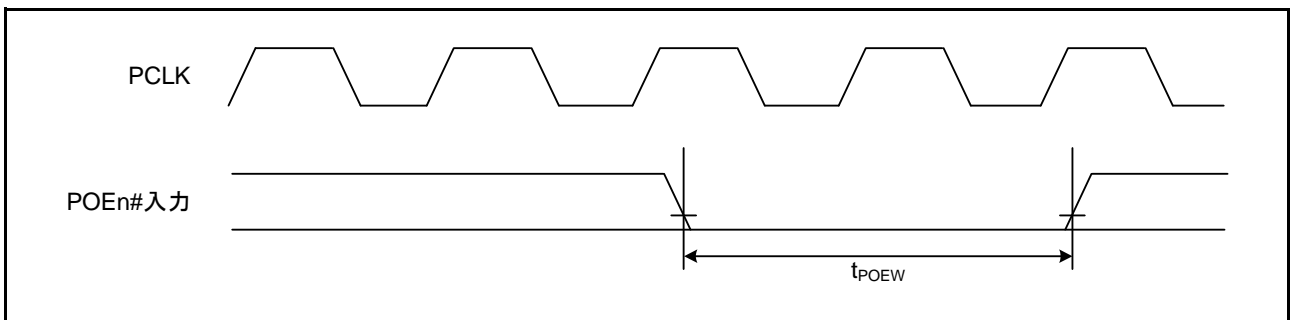


図 33.19 POE3# 入力タイミング

33.3.4 PWM 遅延生成回路タイミング

表 33.14 PWM 遅延生成回路タイミング

(注) 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS = VREL0 = 0V

AVCC = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr

項目	min	typ	max	単位	測定条件
分解能	—	312.5	—	ps	ICLK = 100MHz 時
DNL (注1)	—	±2.0	—	LSB	

注1. 各コード毎の差分を分解能(1LSB)で正規化した値です。

33.4 A/D 変換特性

表 33.15 10ビット A/D 変換特性

注. 表中に条件の記載がない項目の規格値は条件 1 ~ 3 で共通です。

条件 1 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

T_a = Topr

項目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間 (注1) (ADクロック=25MHz時)	2.0	—	—	μs	サンプリング25ステート
アナログ入力容量	—	—	4	pF	
積分非直線性誤差	—	—	±3.0	LSB	
オフセット誤差	—	—	±3.0	LSB	
フルスケール誤差	—	—	±3.0	LSB	
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	—	±4.0	LSB	
許容信号源インピーダンス	—	—	1.0	kΩ	

条件 2 : VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件 3 : VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件 2、3 で共通です。

項目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間 (注1) (ADクロック=50MHz時)	1.0	—	—	μs	サンプリング25ステート
アナログ入力容量	—	—	4	pF	
積分非直線性誤差	—	—	±3.0	LSB	
オフセット誤差	—	—	±3.0	LSB	
フルスケール誤差	—	—	±3.0	LSB	
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	—	±4.0	LSB	
許容信号源インピーダンス	—	—	1.0	kΩ	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 33.16 12ビット A/D変換特性

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: $VCC = PLLVCC = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = 3.0 \sim 3.6V$ 、 $VREFH0 = 3.0V \sim AVCC0$ 、 $VREF = 3.0V \sim AVCC$
 $T_a = Topr$ $ICLK = 8 \sim 100MHz$ 、 $PCLK = 8 \sim 50MHz$

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
変換時間 (注1) (ADクロック=25MHz時)		2.0	—	—	μs	サンプリング20ステート
アナログ入力容量		—	—	6	pF	
積分非直線性誤差		—	—	±4.0	LSB	
オフセット誤差		—	—	±7.5	LSB	
フルスケール誤差		—	—	±7.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度	サンプル&ホールド回路使用	—	—	±8.0	LSB	$AVin = 0.25 \sim AV_{REFH} - 0.25$
	サンプル&ホールド回路未使用	—	—	±8.0	LSB	$AVin = AV_{REFL} \sim AV_{REFH}$
許容信号源インピーダンス		—	—	3.0	kΩ	

条件2: $VCC = PLLVCC = 2.7 \sim 3.6V$ 、 $VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$ 、 $VREF = 4.0V \sim AVCC$

条件3: $VCC = PLLVCC = 4.0 \sim 5.5V$ 、 $VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V$
 $AVCC0 = AVCC = 4.0 \sim 5.5V$ 、 $VREFH0 = 4.0V \sim AVCC0$ 、 $VREF = 4.0V \sim AVCC$
 $T_a = Topr$ T_a は条件2、3で共通です。 $ICLK = 8 \sim 100MHz$ 、 $PCLK = 8 \sim 50MHz$

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
変換時間 (注1) (ADクロック=50MHz時)		1.0	—	—	μs	サンプリング20ステート
アナログ入力容量		—	—	6	pF	
積分非直線性誤差		—	—	±4.0	LSB	
オフセット誤差		—	—	±7.5	LSB	
フルスケール誤差		—	—	±7.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度	サンプル&ホールド回路使用	—	—	±8.0	LSB	$AVin = 0.25 \sim AV_{REFH} - 0.25$
	サンプル&ホールド回路未使用	—	—	±8.0	LSB	$AVin = AV_{REFL} \sim AV_{REFH}$
許容信号源インピーダンス		—	—	3.0	kΩ	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表33.17 プログラマブルゲインアンプ特性

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件	
アナログ入力容量	Cin	—	—	6	pF		
入力オフセット電圧	Voff	—	—	8	mV		
入力電圧範囲 (Vin)	Vin	ゲイン × 2.000	0.050 x AVcc	—	0.450 x AVcc	V	
		ゲイン × 2.500	0.047 x AVcc	—	0.360 x AVcc		
		ゲイン × 3.077	0.045 x AVcc	—	0.292 x AVcc		
		ゲイン × 3.636	0.042 x AVcc	—	0.247 x AVcc		
		ゲイン × 4.000	0.040 x AVcc	—	0.212 x AVcc		
		ゲイン × 4.444	0.036 x AVcc	—	0.191 x AVcc		
		ゲイン × 5.000	0.033 x AVcc	—	0.170 x AVcc		
		ゲイン × 5.714	0.031 x AVcc	—	0.148 x AVcc		
		ゲイン × 6.667	0.029 x AVcc	—	0.127 x AVcc		
		ゲイン × 10.000	0.025 x AVcc	—	0.08 x AVcc		
		ゲイン × 13.333	0.023 x AVcc	—	0.06 x AVcc		
スルーレート	SR	10	—	—	V/μs		
ゲイン誤差	—	ゲイン × 2.000	—	—	1	%	
		ゲイン × 2.500	—	—	1		
		ゲイン × 3.077	—	—	1		
		ゲイン × 3.636	—	—	1.5		
		ゲイン × 4.000	—	—	1.5		
		ゲイン × 4.444	—	—	2		
		ゲイン × 5.000	—	—	2		
		ゲイン × 5.714	—	—	2		
		ゲイン × 6.667	—	—	3		
		ゲイン × 10.000	—	—	4		
		ゲイン × 13.333	—	—	4		

表33.18 コンパレータ特性

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
アナログ入力容量	Cin	—	—	6	pF	
REFH端子オフセット電圧	Voff	—	—	5	mV	
REFL端子オフセット電圧		—	—	5	mV	
REFH入力電圧範囲	Vin	1.7	—	AVcc - 0.3	V	
REFL入力電圧範囲		0.3	—	AVcc - 1.7	V	
REFH応答時間	tCR	—	—	1	μs	
REFL応答時間	tCF	—	—	1	μs	

33.5 パワーオンリセット回路・電圧検出回路特性

表33.19 パワーオンリセット回路・電圧検出回路特性

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V, VREFH0 = 3.0V ~ AVCC0, VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr T_a は条件1、2で共通です。

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット(POR)	V _{POR}	2.48	2.60	2.72	V	図33.20
	電圧検出回路(LVD)	V _{det1}	2.68	2.80	2.92		図33.21
		V _{det2}	2.98	3.10	3.22		図33.22
内部リセット時間	t _{POR}	20	35	50	ms	図33.21、図33.22	
最小VCC低下時間(注1)	t _{VOFF}	200	—	—	us	図33.20～図33.22	
応答遅延時間	t _{det}	—	—	200	us		

条件3: VCC = PLLVCC = 4.0 ~ 5.5V, VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V, VREFH0 = 4.0V ~ AVCC0, VREF = 4.0V ~ AVCC

T_a = Topr

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット(POR)	V _{POR}	3.70	3.90	4.10	V	図33.20
	電圧検出回路(LVD)	V _{det1}	3.95	4.15	4.35		図33.21
		V _{det2}	4.40	4.60	4.80		図33.22
内部リセット時間	t _{POR}	20	35	50	ms	図33.21、図33.22	
最小VCC低下時間(注1)	t _{VOFF}	200	—	—	us	図33.20～図33.22	
応答遅延時間	t _{det}	—	—	200	us		

注1. V_{cc}がPOR/LVDの電圧検出レベルV_{POR}, V_{DET1}, V_{DET2}のmin値を下回っている時間です。

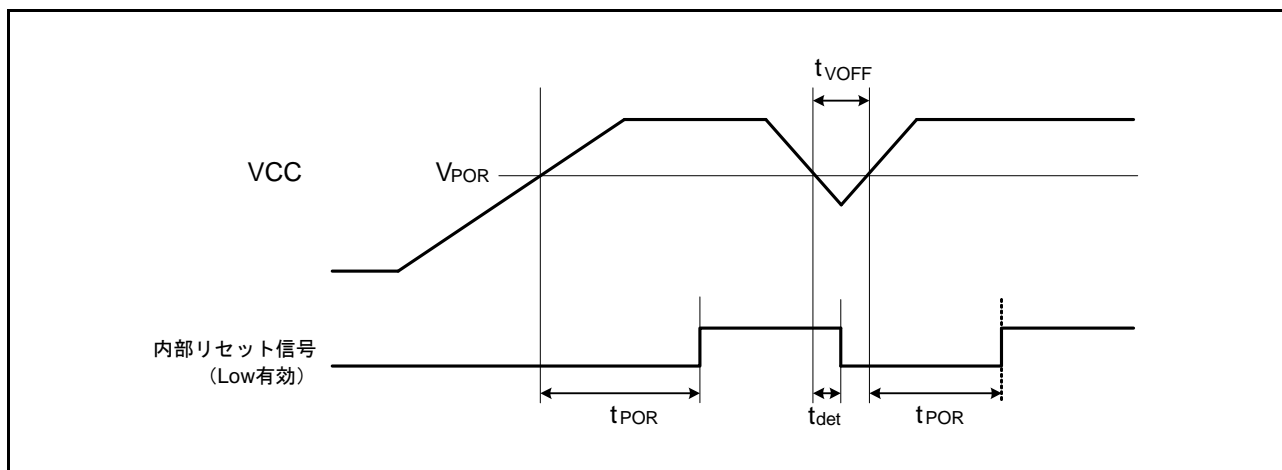


図 33.20 パワーオンリセットタイミング

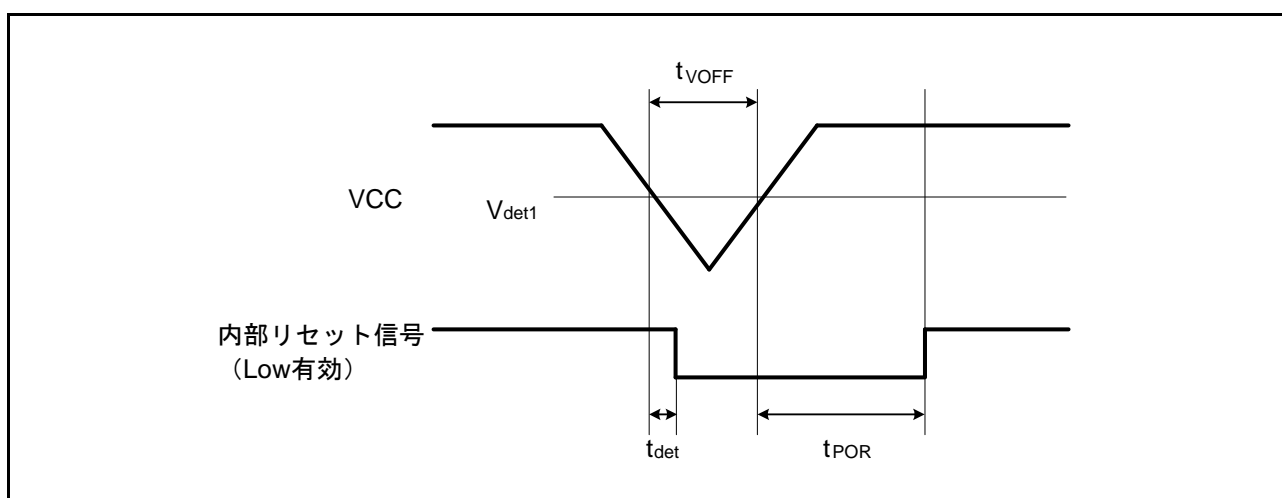


図 33.21 電圧検出回路タイミング (V_{det1})

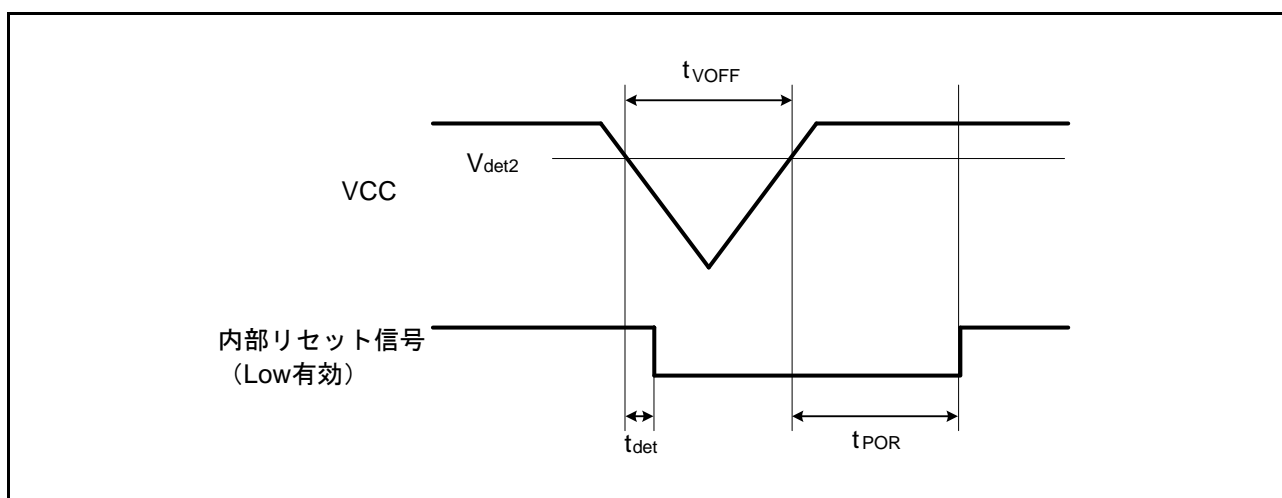


図 33.22 電圧検出回路タイミング (V_{det2})

33.6 発振停止検出タイミング

表33.20 発振停止検出タイミング

注. 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2: VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3: VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

$T_a = T_{op}$ T_a は条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
検出時間	tdr	—	—	1.0	ms	図33.23
発振停止検出時内部発振周波数	f_{MAIN}	0.5	—	7.0	MHz	

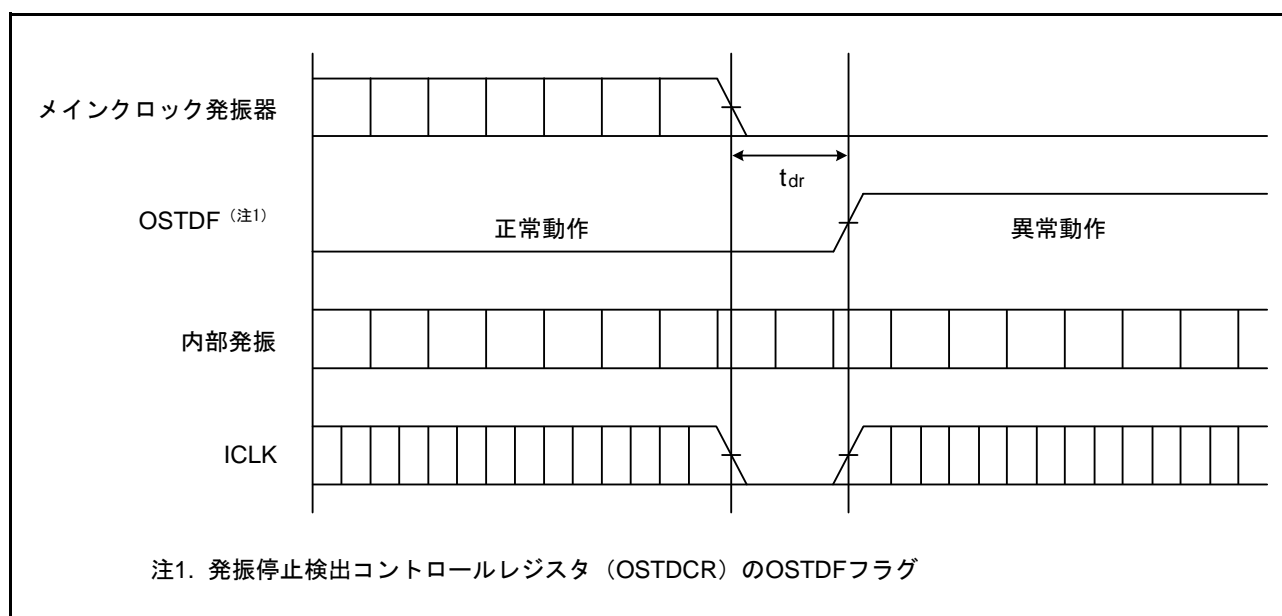


図 33.23 発振停止検出タイミング

33.7 ROM（コード格納用フラッシュメモリ）特性

表33.21 ROM（コード格納用フラッシュメモリ）特性（1）

注． 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

書き込み / 消去時の動作温度範囲：T_a = Topr T_aは条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
再書き込み/消去サイクル (注1)	N _{PEC}	1000	—	—	回	
データ保持時間	t _{DRP}	30 (注2)	—	—	年	T _a = +85C°

注1. 再書き込み/消去サイクルの定義：

再書き込み/消去サイクルは、ブロックごとの消去回数です。

再書き込み/消去サイクルがn回(n = 1000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。

例えば、4Kバイトのブロックについて、それぞれ異なる番地に256バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です。

表33.22 ROM（コード格納用フラッシュメモリ）特性（2）

注． 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V
AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

書き込み / 消去時の動作温度範囲：T_a = Topr T_aは条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件	
書き込み時間	256バイト	t _{P256}	—	2	12	ms	PCLK=50MHz N _{PEC} ≤ 100時	
	4Kバイト	t _{P4K}	—	23	50	ms		
	16Kバイト	t _{P16K}	—	90	200	ms		
	消去時間	256バイト	t _{P256}	—	2.4	14.4	ms	PCLK=50MHz N _{PEC} > 100時
		4Kバイト	t _{P4K}	—	27.6	60	ms	
		16Kバイト	t _{P16K}	—	108	240	ms	
消去時間	4Kバイト	t _{E4K}	—	25	60	ms	PCLK=50MHz N _{PEC} ≤ 100時	
	16Kバイト	t _{E16K}	—	100	240	ms		
	4Kバイト	t _{E4K}	—	30	72	ms	PCLK=50MHz N _{PEC} > 100時	
	16Kバイト	t _{E16K}	—	120	288	ms		
書き込み中のサスペンド遅延時間		t _{SPD}	—	—	120	μs	図33.24 PCLK=50MHz時	
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t _{SESD1}	—	—	120	μs		
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t _{SESD2}	—	—	1.7	ms		
消去中のサスペンド遅延時間 (消去優先モード時)		t _{SEED}	—	—	1.7	ms		

33.8 データフラッシュ（データ格納用フラッシュメモリ）特性

表33.23 データフラッシュ（データ格納用フラッシュメモリ）特性（1）

注． 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

書き込み / 消去時の動作温度範囲：T_a = Topr T_aは条件1～3で共通です。

項目	記号	min	typ	max	単位	測定条件
再書き込み/消去サイクル (注1)	N _{DPEC}	30000	—	—	回	
データ保持時間	t _{DDRP}	30 (注2)	—	—	年	T _a = +85°C

注1. 再書き込み/消去サイクルの定義：

再書き込み/消去サイクルは、ブロックごとの消回数です。

再書き込み/消去サイクルがn回(n=30000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。

例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 信頼性試験から得られた結果です

表33.24 データフラッシュ（データ格納用フラッシュメモリ）特性（2）

注． 表中に条件の記載がない項目の規格値は条件1～3で共通です。

条件1：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 3.0 ~ 3.6V、VREFH0 = 3.0V ~ AVCC0、VREF = 3.0V ~ AVCC

条件2：VCC = PLLVCC = 2.7 ~ 3.6V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

条件3：VCC = PLLVCC = 4.0 ~ 5.5V、VSS = PLLVSS = AVSS0 = AVSS = VREFL0 = 0V

AVCC0 = AVCC = 4.0 ~ 5.5V、VREFH0 = 4.0V ~ AVCC0、VREF = 4.0V ~ AVCC

書き込み / 消去時の動作温度範囲：T_a = Topr T_aは条件1～3で共通です。

項目		記号	min	typ	max	単位	測定条件
書き込み時間	8バイト	t _{DP8}	—	0.4	2	ms	PCLK=50MHz時
	128バイト	t _{DP128}	—	1	5	ms	
消去時間	2Kバイト	t _{DE2K}	—	70	250	ms	PCLK=50MHz時
ブランクチェック時間	8バイト	t _{DBC8}	—	—	30	μs	PCLK=50MHz時
	2Kバイト	t _{DBC2K}	—	—	0.7	ms	
書き込み中のサスペンド遅延時間		t _{DSPD}	—	—	120	μs	図33.24 PCLK=50MHz時
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t _{DSESD1}	—	—	120	μs	
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t _{DSESD2}	—	—	1.7	ms	
消去中のサスペンド遅延時間 (消去優先モード時)		t _{DSEED}	—	—	1.7	ms	

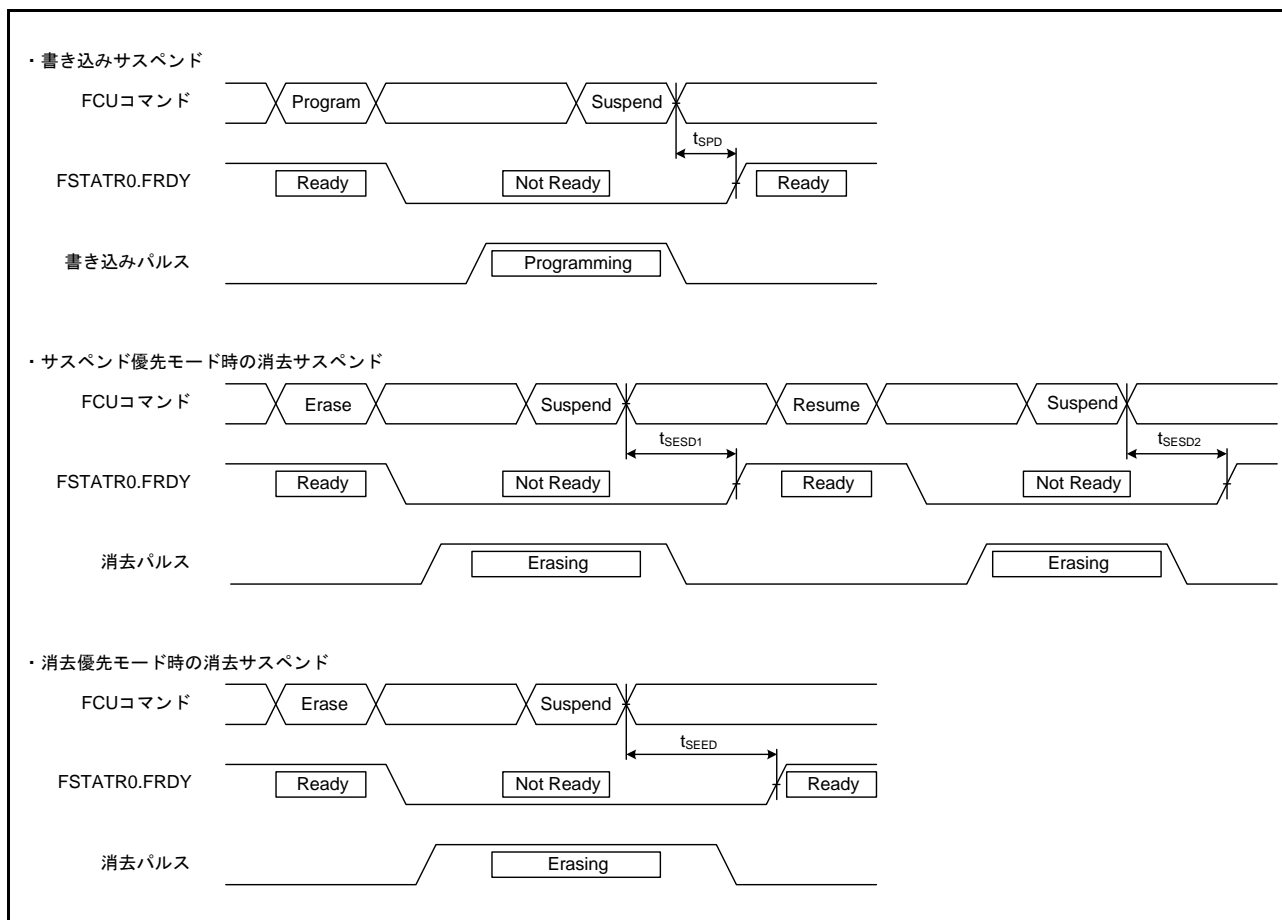


図 33.24 フラッシュメモリ書き込み / 消去サスペンドタイミング

付録1. 各動作モードにおけるポートの状態

表1.1 各動作モードにおけるポートの状態

ポート名 端子名	リセット	ソフトウェア スタンバイモード	ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
				IOKEEP = 1 *	IOKEEP = 0
ポート1	Hi-Z	Keep-O (注1)	Keep-O (注2)	Keep	Hi-Z
P20、P21	Hi-Z	Keep-O (注1)	Keep	Keep	Hi-Z
P22～P24	Hi-Z	Keep-O	Keep	Keep	Hi-Z
ポート3	Hi-Z	Keep-O	Keep	Keep	Hi-Z
ポート4	Hi-Z	Keep-O	Keep	Keep	Hi-Z
ポート5	Hi-Z	Keep-O	Keep	Keep	Hi-Z
ポート6	Hi-Z	Keep-O	Keep	Keep	Hi-Z
P70	Hi-Z	Keep-O (注1)	Keep	Keep	Hi-Z
P71～P76	Hi-Z	Hi-Z	Keep	Keep	Hi-Z
ポート8	Hi-Z	Keep-O	Keep	Keep	Hi-Z
P90～P95	Hi-Z	Hi-Z	Keep	Keep	Hi-Z
P96	Hi-Z	Keep-O (注1)	Keep	Keep	Hi-Z
ポートA	Hi-Z	Keep-O	Keep	Keep	Hi-Z
PB0～PB3	Hi-Z	Keep-O	Keep	Keep	Hi-Z
PB4	Hi-Z	Keep-O (注1)	Keep	Keep	Hi-Z
PB5～PB7	Hi-Z	Keep-O	Keep	Keep	Hi-Z
ポートD	Hi-Z	Keep-O	Keep	Keep	Hi-Z
PE0～PE1	Hi-Z	Keep-O	Keep	Keep	Hi-Z
PE2	Hi-Z	[NMIを解除要因として 設定時] NMI [上記以外] Keep-O	[NMIを解除要因として 設定時] NMI [上記以外] Keep	[NMIを解除要因として 設定時] NMI [上記以外] Keep	[NMIを解除要因として 設定時] NMI [上記以外] Hi-Z
PE3～PE5	Hi-Z	Keep-O (注1)	Keep	Keep	Hi-Z
PG0～PG2	Hi-Z	Keep-O (注1)	Keep	Keep	Hi-Z
PG3～PG5	Hi-Z	Keep-O	Keep	Keep	Hi-Z
WDTOVF#	WDTOVF出力	H	H	H	

【記号説明】

H : High

L : Low

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイでの端子状態を保持

Hi-Z : ハイインピーダンス

IOKEEP=1 * : DPSBYCR.IOKEEP ビットを“0”にクリアするまで、I/Oポートの状態を保持します。

注. パッケージによりI/Oポートの構成が異なります。パッケージ別I/Oポートについては、「15. I/Oポート」を参照してください。

注1. IRQ端子として使用時は、ソフトウェアスタンバイ解除要因として設定されている場合入力可能

注2. IRQ端子として使用時は、ディープソフトウェアスタンバイ解除要因として設定されている場合入力可能

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

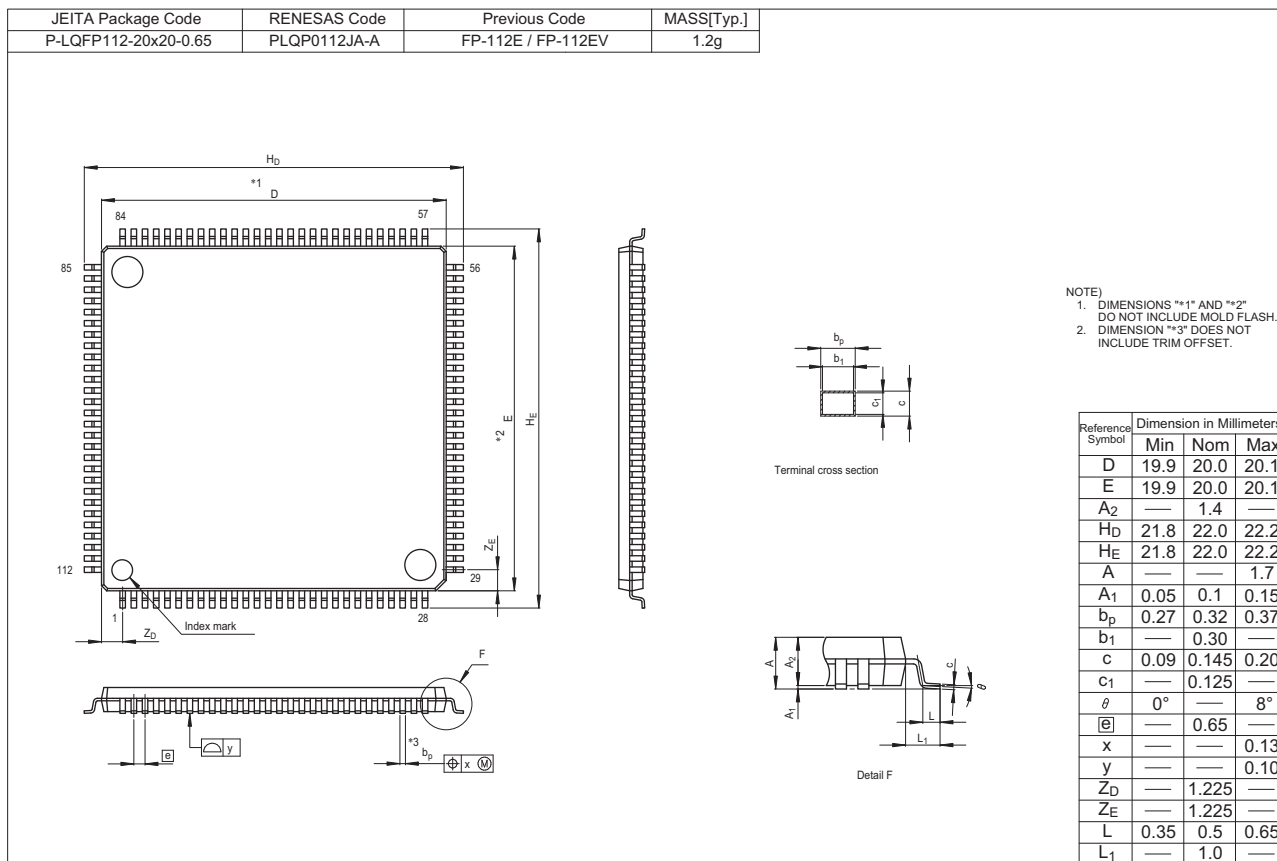


図 A 112ピン LQFP (PLQP0112JA-A) 外形寸法図

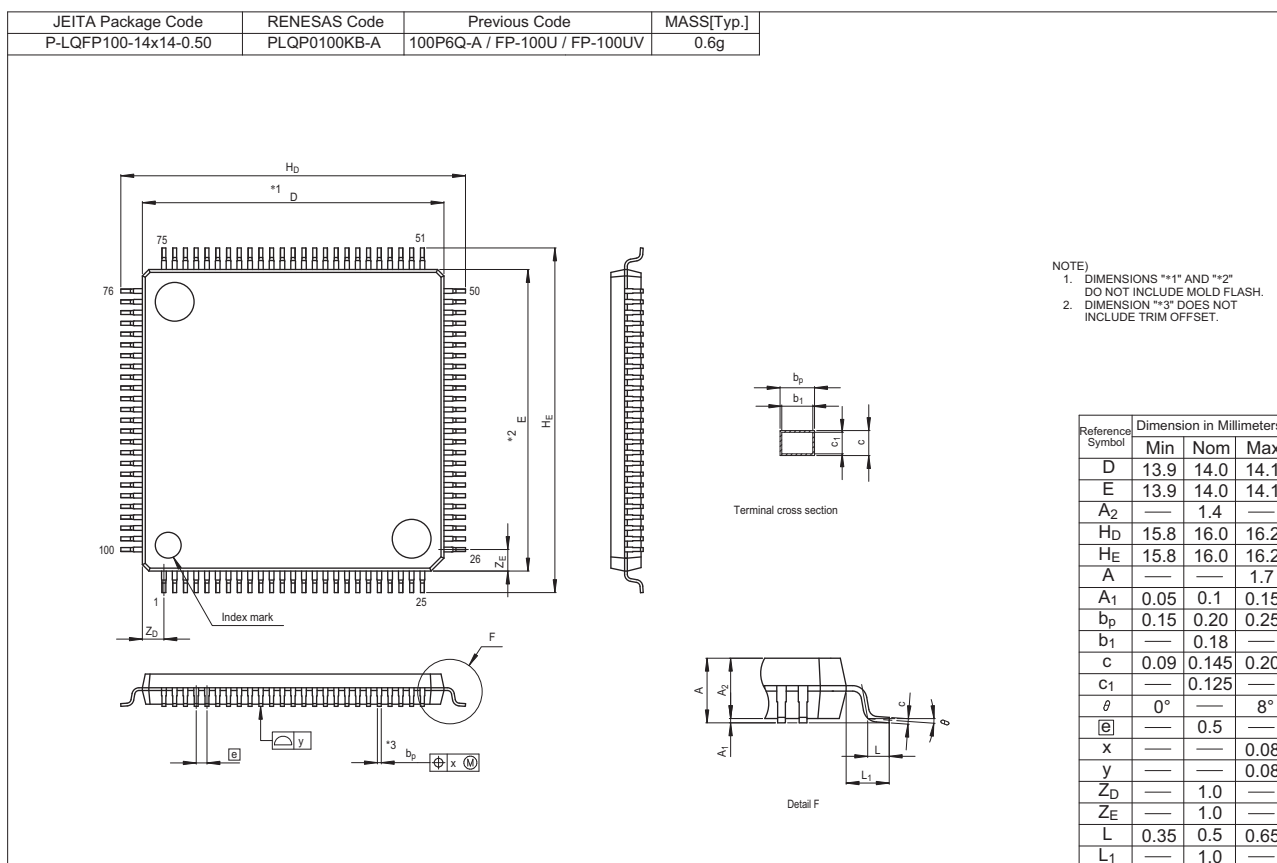
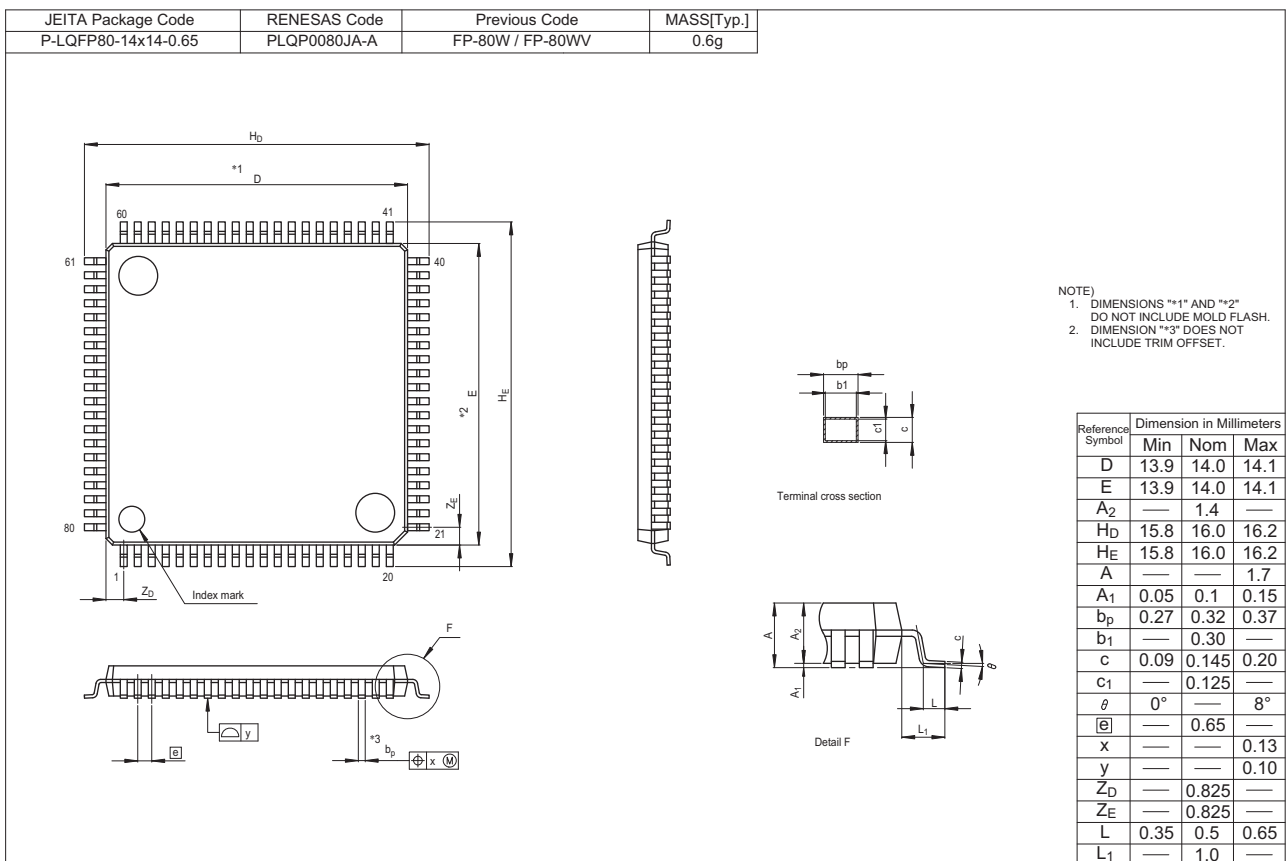


図 B 100ピン LQFP (PLQP0100KB-A) 外形寸法図



☒ C 80ピンLQFP (PLQP0080JA-A)

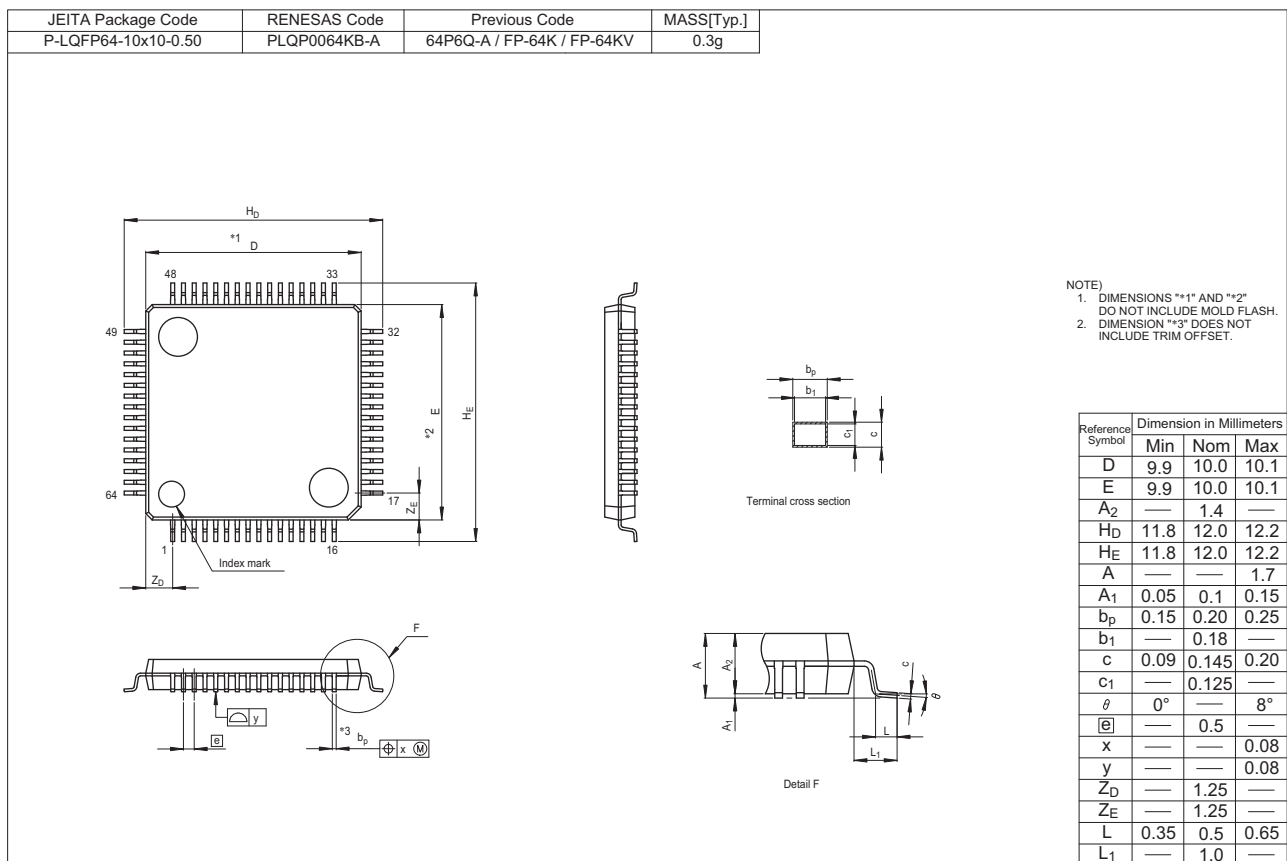
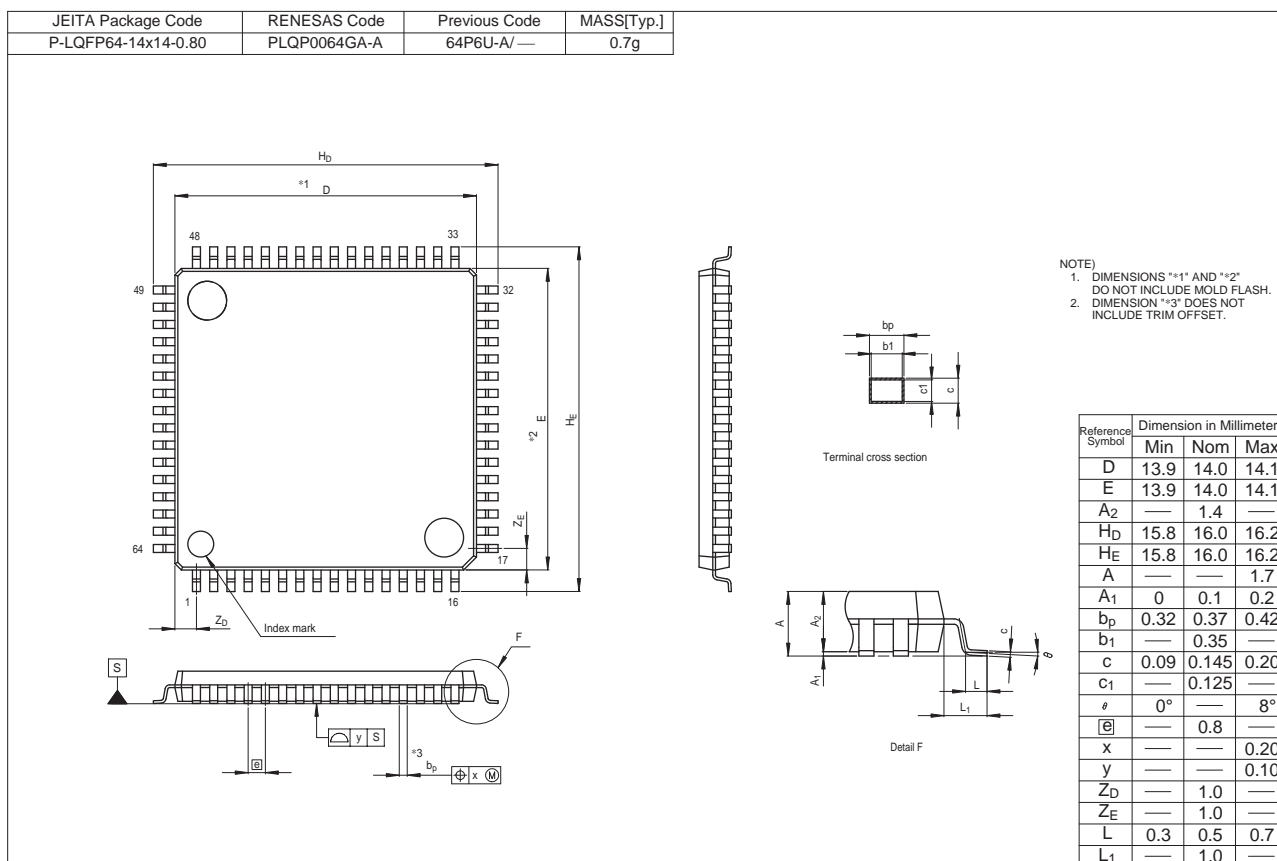


図 D 64ピン LQFP (PLQP0064KB-A)



Ⓢ E 64ピンLQFP (PLQP0064GA-A)

改訂記録	RX62Tグループ、RX62Gグループ ユーザーズマニュアル
------	--------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2010.2.8	—	初版発行
0.02	2010.2.9	1170～1218	27. 12ビットA/D変換器 (S12ADA) 差し替え
0.10	2010.3.3	40	1. 概要 図1.1 型名とメモリサイズ・パッケージ 型名「B」の説明変更
		92	2. CPU 2.8.4 割り込み応答サイクル数 変更
		94	3. 動作モード 3.1 動作モードの種類と選択 説明変更 (誤) RX62Tグループには、5種類の動作モードがあります。 (正) RX62Tグループには、2種類の動作モードがあります。
		114	5.I/Oレジスタ ポートファンクションレジスタCおよびDのアクセスステート数の誤記削除
		114	LVDKEYRレジスタ (0008 C28Ch) のレジスタ名変更 (誤) 低電圧検出コントロール用キーコードレジスタ (正) 低電圧検出コントロールレジスタ用キーコードレジスタ
		115～116	CAN0のレジスタ名およびレジスタシンボルにチャンネル0表記を追加
		117	TGCRA、TDERA、TITMRAレジスタのモジュールシンボル変更 (誤) MTU3共通 (正) MTU3_3/4共通
		119	TDERB、TITMRB、TMDR2Bレジスタのモジュールシンボル変更 (誤) MTU3_6共通またはMTU3共通 (正) MTU3_6/7共通
		121	GPT0.GTSOTRレジスタのレジスタ名変更 (誤) 汎用PWMタイマ出力保護一時解除 (正) 汎用PWMタイマ出力保護機能一時解除レジスタ
		131	SCI0.SSRレジスタのビット名変更
		137～138	CAN0のレジスタ名およびレジスタシンボルにチャンネル0表記を追加
		139	TIERレジスタのビット名変更
		139、140	各レジスタのモジュールシンボル変更
		140	TITCR2Aレジスタのビット名変更
		141	TIERレジスタのビット名変更
		142、143	各レジスタのモジュールシンボル変更
		148	GPT3.GTCRのビット名変更
		150	FRESETRレジスタのビット名変更
		150	注1.の説明変更
		156	6. リセット 6.3.3 電圧監視リセット
161	7. 電圧検出回路 (LVD) 7.3.1 電圧監視リセット 説明変更		
163	図7.3 電圧監視リセットのタイミング (2) LVD2設定のタイミング変更 LVD2EとLVD2RIのタイミングをVdet1からLowに変更		
164	7.3.2 電圧監視割り込み 説明変更		
0.10	2010.3.3	166	7.3.3 電圧検出回路によるディープソフトウェアスタンバイモードの解除 説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2010.3.3		9. 消費電力低減機能
		183	表9.3消費電力低減機能関連のレジスタ一覧 MSTPCRAレジスタのリセット後の値を変更
		186	9.2.2 モジュールストップコントロールレジスタA (MSTPCRA) のb29、b27のリセット後の値を変更
		230	11. 割り込みコントローラ (ICU)
		237	11.2.1 割り込み要求レジスタ n (IRn) の注記変更
		241	11.2.7 IRQコントロールレジスタ i (IRQCRI) レジスタ説明を追加
		245	11.2.10 ノンマスクブル割り込みクリアレジスタ (NMICLR) b2の機能説明変更
		253	表 11.4 割り込みベクタテーブル 割り込み要因発生元と割り込み名称を変更
		253	表 11.5 DTC 起動時の動作 注記を追加
		254	11.4.3 (2) CPUの割り込み要求説明の1. 説明追加
254	11.4.4 (1) 割り込み要求先がCPUの場合の優先順位判定 説明変更		
254	11.4.6 外部端子割り込み 2. 説明変追加		
		266	12. バス 表 12.6 発生するバスエラーの種類 注記追加
		280、281	13. データトランスファコントローラ (DTC) 表 13.3 割り込み要因とDTCベクタアドレスおよびICU.DTCERnレジスタの対応起動要因発生元および起動要因の名称変更
		304	14. I/Oポート 表 14.2 ポート機能一覧 (112ピンLQFP) ポートB2のオープンドレイン出力機能修正
		332	表 14.9 ポート機能一覧 (100ピンLQFP) ポートB2のオープンドレイン出力機能修正
		359	表 14.12 ポート機能一覧 (80ピンLQFP) ポートB2のオープンドレイン出力機能修正
		384	表 14.23 ポート機能一覧 (64ピンLQFP) ポートB2のオープンドレイン出力機能修正
		400	表 14.27 各ポートの出力イネーブル設定端子一覧 (64ピンLQFP) P75変更
		403	15. マルチファンクションタイムパルスユニット3 (MTU3) 表 15.1 MTU3の仕様 設定可能動作を変更
		405	表 15.2 MTU3の機能一覧 MTU3_4とMTU3_7の割り込み要因変更
		406	図 15.1 MTU3のブロック図 (チャンネル0~4) 変更
		412	表 15.4 MTU3のレジスタ一覧 MTU3_7.TMDR1のアドレス変更
		416	15.2.1 タイマコントロールレジスタ (TCR) のMTU3_5.TCRアドレス変更
		448	15.2.5 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR) ビット説明変更
		454、455	15.2.7 タイマステータスレジスタ (TSR) b2説明修正、TGFA~TGFDフラグ、TCFVフラグ説明変更
		457	MTU3_5.TSRのCMFn5フラグの説明変更
		459	15.2.9 タイマインプットキャプチャコントロールレジスタ (TICCR) ビット説明追加
		460	15.2.10 タイマシンクロクリアレジスタ (TSYCR) ビット説明変更、追加
		468、469	15.2.17 タイマインプットマスタイネーブルレジスタ (TOER) ビット説明追加
		476	15.2.21 タイマゲートコントロールレジスタA (TGCRA) UF/VF/WFビットの説明変更
		480	15.2.27 タイマバッファ転送設定レジスタ (TBTERA、TBTERB) BTE[1:0]ビット説明変更 (誤)・・または割り込み間引き機能と連動する/しないを設定します。 (正)・・または割り込み間引き機能1と連動する/しないを設定します。
		483	15.2.29 タイマA/D変換開始要求コントロールレジスタ (TADCR) MTU3_4.TADCR b0~b3、b15~b14の説明変更
		485	MTU3_7.TADCR b0~b3、b15~b14の説明変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2010.3.3	487	15.2.31 タイマA/D変換開始要求周期設定バッファレジスタ (TADCORBRA、TADCORBRB) レジスタ説明変更
		492	15.2.34 タイマ割り込み間引き回数カウンタ1 (TITCNT1A、TITCNT1B) b2~b0、b6~b4のビット説明変更
		500	図 15.7 周期カウンタの動作 TGFフラグの説明変更
		529	図 15.36 リセット同期PWMモードの設定手順例 設定値の説明変更
		534	図 15.38 相補PWMモード時のチャンネル3、4ブロック図 図差し替え
		536	15.8.8 相補PWMモード (2) (a) カウンタの動作 アップカウント時の動作説明追加
		541	図 15.42 デッドタイムを生成しない場合の動作例 (チャンネル3、4) 変更
		559	図 15.65 タイトル変更 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 15.57のタイミング③、チャンネル6、7のTWCRBレジスタのWREビット=1、SCCビット=1)
		567	タイトル変更 (3) 相補PWMモードの割り込み間引き機能1の設定手順
		572	図 15.82 タイトル変更 TITCR1AレジスタのT3AEN、T4VENビットの設定とバッファ転送許可期間の関係
		588	表 15.73 MTU割り込み要因 TCIV4およびTCIV7割り込みの要因説明変更
		589	(2) オーバフロー割り込み 説明追加
		592	図 15.103 外部クロック動作時のカウントタイミング (チャンネル0~4) クロック変更
		592	図 15.104 外部クロック動作時のカウントタイミング (位相計数モード) クロック変更
		602	タイトル変更 15.5.2 (3) TCFV/TCFUフラグのセットタイミング
		618	15.6.22 割り込み間引き機能2 追加
		645	16. ポートアウトブッティネーブル3 (POE3) 図 16.1 POE3のブロック図 入力レベル検出回路構成変更
		648	16.2.1 入力レベルコントロール/ステータスレジスタ1 (ICSR1) b12説明変更
		649	16.2.2 出力レベルコントロール/ステータスレジスタ1 (OCSR1) b15説明変更
		652	16.2.4 入力レベルコントロール/ステータスレジスタ2 (ICSR2) b12説明変更
		653	16.2.5 出力レベルコントロール/ステータスレジスタ2 (OCSR2) b15説明変更
		654	16.2.6 入力レベルコントロール/ステータスレジスタ3 (ICSR3) b12説明変更
		656	16.2.7 入力レベルコントロール/ステータスレジスタ4 (ICSR4) b12説明変更
		658	16.2.8 入力レベルコントロール/ステータスレジスタ5 (ICSR5) b12説明変更
		703	17.2.14 LOCOカウント結果レジスタn (LCNTn) レジスタ名変更
		778	図 17.55 ハードウェア位相スタート設定例 GPT3.GTIORの設定値変更
		834	20. 独立ウォッチドッグタイマ (IWDT) 20.4.1 低消費電力モード遷移における制限事項 説明差し替え
		全体	24. CANモジュール (CAN) CANモジュール名、CAN割り込み名に「チャンネル0」の表記を追加 表 24.3 CANモジュールレジスタ構成 アクセスサイズ変更
		991	
		1112	25. シリアルペリフェラルインタフェース (RSPI) 図 25.28 マスタモード時の初期化フロー例 (SPI動作) 変更
		1135	26. LINモジュール (LIN) 26.2.5 LIN0モードレジスタ (L0MD) ビット図変更
		1159	図 26.8 データ受信タイミング LRX変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2010.3.3	1199	27. 12ビットA/D変換器 (S12ADA) 27.2.11 コンパレータ検出フラグレジスタ (ADCMFPR) タイトル変更
		1220	28. 10ビットA/D変換器 (ADA) 表28.1 A/D変換器の仕様 変換時間の説明変更
		1249	30. ROM (コード格納用フラッシュメモリ) 表30.2 ROM関連の入出力端子 モード端子の説明追加
		1280	図30.7 ROMリードモード移行フロー FRDYビット確認のフロー説明変更
		1286	図30.13 周辺クロック通知コマンドの使用法 タイムアウトおよび注記変更
		1325 1325	30.12 (4) 書き込み/消去中のリセット 説明追加 30.12 (5) 書き込み/消去中のノンマスカブル割り込み禁止 タイトルおよび説明変更
0.20	2010.4.26	1327	31. データフラッシュ (データ格納用フラッシュメモリ) 図31.1 データフラッシュのブロック図 FCUファームウェア格納領域からアクセスに変更
		1328 1350	表31.2 データフラッシュ関連の入出力端子 モード端子の説明追加 表31.8 エラープロテクト一覧 (データフラッシュ専用) データフラッシュライトプロテクト違反の内容説明変更
0.20	2010.4.26	1	1. 概要
		34	表1.1 仕様概要 (1/5) データフラッシュのデータROM容量 記載変更
		36	表1.1 仕様概要 (3/5) 汎用PWMタイマ (GPT) 説明変更
		36	表1.1 仕様概要 (3/5) シリアルコミュニケーションインタフェース (SCIb) 略称変更
		38	表1.1 仕様概要 (5/5) 動作周囲温度 -20~+85°C削除
		-	表1.3 製品一覧表 (民生用途向け) 削除
		40	表1.4 製品一覧表 用途説明およびPOR/LVD機能の説明削除
		41	図1.1 型名とメモリサイズ・パッケージ 用途説明およびPOR/LVD機能の説明削除
		103	4. アドレス空間 図4.1 メモリマップ (RX62Tグループ) アドレス値変更 (誤) 0010 2000h (正) 0010 8000h
		114	5. I/Oレジスタ 表5.1 I/Oレジスタアドレス一覧 (9/19) A/Dサンプリングステートレジスタ追加
		124	表5.1 I/Oレジスタアドレス一覧 (19/19) DFLREレジスタ名称変更、DFLRE1レジスタ追加 DFLWEレジスタ名称変更、DFLWE1レジスタ追加
		135	表5.2 I/Oレジスタビット一覧 (11/27) S12ADA0/1のADSSTRレジスタのビット構成追加
		151	表5.2 I/Oレジスタビット一覧 (27/27) DFLRE1レジスタのビット構成追加
151	表5.2 I/Oレジスタビット一覧 (27/27) DFLWE1レジスタのビット構成追加		
168	8. クロック発生回路 図8.1 クロック発生回路のブロック図 EXTALx8の周辺モジュールクロックへの接続削除		
170	8.2.1 システムクロックコントロールレジスタ (SCKCR) b11-b8のPCK[3:0]ビット0000b 設定削除		
177	図8.6 PLL回路の外付け推奨回路 Rpの抵抗値削除		
185	9. 消費電力低減機能 9.2.2 モジュールストップコントロールレジスタA (MSTPCRA) b27、b29予約ビットの説明 説明変更		
678	17. 汎用PWMタイマ (GPT) 表17.1 GPTの仕様 変更		
680	表17.2 GPTの機能一覧 変更		
681	17.1 GPTのブロック図 変更		
682	表17.3 GPTの入出力端子 GTETRIG端子を入力に変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2010.4.26	683-723	17.2 レジスタの説明 ビット名およびビット説明を追加、変更、削除
		703-704	表 17.5 GTIOA[5:0]ビット（GTIOB[5:0]ビット）の設定 差し替え 図 17.2 SOS[1:0]ビットの状態遷移 削除
		724-785	17.3 動作説明から図 17.68 非対称三角波3相相補PWM出力例 追加、変更、削除
		786	17.4.1 割り込み要因と優先順位 差し替え
		787	表 17.6 GPTの割り込み要因 差し替え
		790	17.4.3 割り込み、A/D変換要求の間引き機能 差し替え、図追加
		794	17.5 A/D変換開始要求 説明差し替え
		795	図 17.76 A/D変換開始要求タイミング動作設定例 差し替え
		796-798	17.6 LOCOカウンタ機能 説明および図の差し替え
		799	17.7.1 レジスタの書き込み保護 説明差し替え
		799	17.7.2 パッファ動作の抑止 説明および図の差し替え
		—	17.7.4 デッドタイムの確保
		801-805	17.7.4 GTIOC端子出力の出力保護機能 説明および図の差し替え
		806	17.8.2 動作中の異常などによる端子の初期化 説明差し替え
		807	17.9 使用上の注意事項 差し替え
		1181	27. 12ビットA/D変換器 (S12ADA) 表 27.4 12ビットA/D変換器のレジスタ一覧 ユニット0、1にADSSTRレジスタ追加
		1206	27.2.13 A/Dサンプリングステータレジスタ (ADSSTR) 追加
		1214	27.3.3 アナログ入力のサンプリングとA/D変換時間 説明変更
		1215	表 27.8 ADSSTRレジスタの設定例 追加
		1215	表 27.9 A/D変換時間 変更
1253	30. ROM (コード格納用フラッシュメモリ) 概要説明変更 (誤) 8Kバイト (正) 最大32Kバイト		
1254	図 30.1 ROMのブロック図 データマットの説明変更		
1312	表 30.12 問い合わせ設定ホストコマンド ステータス問い合わせのホストコマンド名変更		
1328	30.9.7 (7) ユーザマットブランクチェックエラーレスポンスの説明変更		
1332	31. データフラッシュ (データ格納用フラッシュメモリ) 概要説明変更 (誤) 8Kバイト (正) 最大32Kバイト		
1332	表 31.1 データフラッシュの仕様 メモリ空間、書き込み/消去単位、プロテクト機能の説明 変更 注記追加		
1333	図 31.1 データフラッシュのブロック図 データマット、レジスタの説明変更		
1334	表 31.3 データフラッシュ関連のレジスタ一覧 変更		
1339	31.2.4 データフラッシュ読み出し許可レジスタ0 (DFLRE0) 変更		
1340	31.2.5 データフラッシュ読み出し許可レジスタ1 (DFLRE1) 追加		
1341	31.2.6 データフラッシュ書き込み/消去許可レジスタ0 (DFLWE0) 変更		
1342	31.2.7 データフラッシュ書き込み/消去許可レジスタ1 (DFLWE1) 追加		
1344	31.2.9 データフラッシュブランクチェック制御レジスタ (DFLBCCNT) ビット変更		
1346	図 31.2 データフラッシュのデータマット構成 変更		
1346	図 31.3 データマットのブロック分割		
1361	31.9 (2) その他の注意事項 説明追記		

下線部の改定内容は、追加の使用上の注意事項です。

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2010.9.7	全頁	モジュール名変更 A/D変換器、D/A変換器 ⇒ A/Dコンバータ、D/Aコンバータ
		全頁	予約ビットの記述変更 詳細は「このマニュアルの使い方」の「2. レジスタの表記」を参照してください
		全頁	オンチップエミュレータ端子名変更 TRSYNC# ⇒ TRSYNC
		全頁	内部発振の名称変更 低速オンチップオシレータ ⇒ IWDT専用低速オンチップオシレータ
			1. 概要
		34	表1.1 仕様概要 (1/5) ROM、リセット 説明変更
		35	表1.1 仕様概要 (2/5) MTU3 説明変更
		36	表1.1 仕様概要 (3/5) GPT、IWDT、CAN、LIN 説明変更
		37	表1.1 仕様概要 (4/5) S12ADA 説明変更
		39	表1.2 RX62Tグループ機能比較表 注記変更
		58～61	表1.8 端子機能一覧 機能説明にピン数別の注記を追加
	2. CPU		
62	冒頭説明変更		
62	2.1 特長 説明変更		
63	図2.1 CPUレジスタセットの注1 変更		
65	2.2.2.2 割り込みテーブルレジスタ (INTB) 説明追記		
65	2.2.2.3 プログラムカウンタ (PC) リセット後の値 変更		
68	2.2.2.5 バックアップPC (BPC) 説明変更		
68	2.2.2.6 バックアップPSW (BPSW) 説明変更		
69～71	2.2.2.8 浮動小数点ステータスワード (FPSW) ビット表、注1、ビット説明の変更		
73	2.3 プロセッサモード 説明変更		
73	2.3.4 プロセッサモード間の移行 説明変更		
74	2.4.2 浮動小数点数 説明変更		
76	2.5.1 エンディアンの切り替え 説明変更		
79	2.5.3 I/Oレジスタアクセスの注意事項 説明変更		
82	2.6.2 可変ベクタテーブル 説明変更		
83	2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ 説明変更		
86	表2.13 単一マイクロオペレーションに変換される命令 変更		
88	2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理 説明削除		
88	表2.14 複数マイクロオペレーションに変換される命令 (1/2) 変更		
91	2.8.2.3 パイプラインの基本動作 説明削除		
93	2.8.4 割り込み応答サイクル数 説明変更		
93	表2.15 割り込み応答サイクル数 変更		
	3. MCU動作モード		
94	3.1 動作モードの種類と選択 説明変更		
96	3.2.2 モードステータスレジスタ (MDSR) ビット表、説明 変更		
98	3.2.4 システムコントロールレジスタ1 (SYSCR1) ビット表、説明 変更		
99	図3.1 MD1、MD0 端子の設定と動作モード 変更		
100	図3.2 ROMEビット、EXBEビットの設定と動作モード 変更		
	4. アドレス空間		
101	図4.1 各動作モードのメモリマップ 変更		
	5. I/Oレジスタ		
103	(4) I/Oレジスタアクセスサイクル数 追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2010.9.7	104~132	表5.1 I/Oレジスタアドレス一覧 変更、アクセスステート数一部追記
		132	注記追加
		133~159	表5.2 レジスタビット一覧 変更
		159	注記追加
		160	6. リセット
		161	表6.1 リセットの名称と要因 変更
		164	図6.1 リセット回路のブロック図 説明変更
		164	6.3.1 端子リセット 説明変更
		165	6.3.4 ディープソフトウェアスタンバイリセット 説明変更
		165	6.3.6 ウォッチドッグタイマリセット 説明変更
		166	図6.3 リセット発生要因判定フロー例 変更
		166	6.5 使用上の注意事項 追加
		168	7. 電圧検出回路 (LVD)
		169	7.2.2 低電圧検出コントロールレジスタ用キーコードレジスタ (LVDKEYR) 変更
		170	7.2.3 低電圧検出コントロールレジスタ (LVDCR) 変更
170	表7.3 LVDCR レジスタの設定と電圧検出回路の状態 追加		
173	7.3.2 電圧監視割り込み 説明変更		
174	図7.4 電圧監視割り込みのタイミング図 (LVD2割り込み選択/LVD1リセット選択) 変更		
175	図7.5 電圧監視割り込みの設定手順例 変更		
175	7.3.3 電圧検出回路によるディープソフトウェアスタンバイモードの解除 説明変更		
176	8. クロック発生回路		
176	表8.1 クロック発生回路の仕様 変更、注記追加		
176	図8.1 クロック発生回路のブロック図 変更		
176	表8.2 クロック発生回路の入出力端子 変更		
181	図8.4 外部クロックの接続例 変更		
181	8.4 IWDTP専用低速オンチップオシレータ タイトルおよび説明変更		
181	8.8 分周器 説明変更		
182	8.9.1 システムクロック (ICLK) 説明変更		
182	8.9.2 周辺モジュールクロック (PCLK) 説明変更		
182	8.9.3 オンチップオシレータクロック (OCOCLK) 説明変更		
183	8.10.1 発振停止検出と検出後の動作 説明変更		
184	8.11.1 クロック発生回路に関する注意事項 説明変更		
185	8.11.3 ボード設計上の注意 説明変更		
186	9. 消費電力低減機能		
187	表9.1 消費電力低減機能の仕様 変更		
187	表9.2 各モードにおける移行および解除方法と動作状態 変更		
188	図9.1 モード遷移 説明変更		
189	表9.3 消費電力低減機能関連のレジスタ一覧 モジュールストップコントロールレジスタA 変更		
190,191	9.2.1 スタンバイコントロールレジスタ (SBYCR) ビット表および説明の変更		
192,193	9.2.2 モジュールストップコントロールレジスタA (MSTPCRA) 変更		
194	9.2.3 モジュールストップコントロールレジスタB (MSTPCRB) 変更		
196	9.2.5 ディープスタンバイコントロールレジスタ (DPSBYCR) 変更		
198	9.2.7 ディープスタンバイインタラプトイネーブルレジスタ (DPSIER) 変更		
200	9.2.9 ディープスタンバイインタラプトエッジレジスタ (DPSIEGR) 説明変更		
201	9.2.10 リセットステータスレジスタ (RSTSR) 説明変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2010.9.7	203	9.2.11 ディープスタンバイバックアップレジスタ (DPSBKRY) (y = 0 ~ 31) ビット図および説明変更		
		204	9.4 モジュールストップ機能 説明変更		
		205	9.5.1.2 スリープモードの解除 説明変更		
		206	9.5.2.1 全モジュールクロックストップモードへの移行 タイトルおよび説明変更		
		207	9.5.3.2 ソフトウェアスタンバイモードの解除 変更		
		209	9.5.3.4 ソフトウェアスタンバイモードの応用例 変更		
		211	9.5.4.2 ディープソフトウェアスタンバイモードの解除 変更		
		212	9.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態 変更		
		215	図9.4 ディープソフトウェアスタンバイモードのフローチャート例 変更		
		216	9.6.1 I/O ポートの状態 変更		
		216	9.6.3 内蔵周辺モジュールの割り込み 変更		
		216	9.6.7 WAIT 命令の実行タイミング 変更		
					10. 例外処理
				217	10.1 例外事象 変更
				217	図10.1 例外事象の種類 タイトル変更
				218	10.1.1 未定義命令例外 変更
				218	10.1.2 特権命令例外 変更
				218	10.1.4 リセット 変更
				218	10.1.5 ノンマスカブル割り込み 変更
				218	10.1.6 割り込み 変更
				219,220	10.2 例外の処理手順 説明変更
				219	図10.2 例外処理手順の概要 変更
				221	10.3 例外事象の受け付け 説明変更
				221	表10.1 受け付けタイミングと保存されるPC値 変更
				221	10.3.2 ベクタとPC、PSW の退避場 説明変更
				221	表10.2 ベクタとPC、PSWの退避場所 タイトルおよび表変更
				222	10.4 例外の受け付け／復帰時のハードウェア処理 説明変更
				223	10.5 ハードウェア前処理 変更
				223	10.5.1 未定義命令例外(2)、(5) 変更
				223	10.5.2 特権命令例外(2)、(5) 変更
				224	10.5.5 ノンマスカブル割り込み(2)、(3)、(4)、(6) 変更
				224	10.5.6 割り込み(2)~(6) 変更
				224	10.5.7 無条件トラップ(5) 変更
				225	10.6 例外処理ルーチンからの復帰 変更
					11. 割り込みコントローラ (ICUa)
				226	表11.1 割り込みコントローラの仕様 変更
				234	11.2.1 割り込み要求レジスタi (IRi) (i = 割り込みベクタ番号) ビット表、注記変更
				235	(1)エッジ検出の場合【“1”になる条件】 説明追加
				237	11.2.3 割り込み要因プライオリティレジスタm (IPRm) (m= 00h~90h) ビット表および説明変更
				238	11.2.4 高速割り込み設定レジスタ (FIR) 説明変更
				239	11.2.5 ソフトウェア割り込み起動レジスタ (SWINTR) ビット表および説明変更
				242	11.2.8 IRQ コントロールレジスタn (IRQCRn) (n=0 ~ 15) 変更
				244	11.2.10 ノンマスカブル割り込みクリアレジスタ (NMICLR) 変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2010.9.7	246	11.3.1 割り込みのベクタテーブル 変更		
		246,250	表 11.4 割り込みのベクタテーブル CMT、POE3の名称変更		
		252	11.3.2 高速割り込みのベクタテーブル 変更		
		253,254	11.4.1.1 エッジ検出の割り込みステータスフラグ 変更		
		253	図 11.2 エッジ検出のIRi.IRフラグの動作 変更		
		254	図 11.3 IRi.IRフラグの再セットのタイミング 変更		
		254	図 11.4 割り込み要求の禁止とIRi.IRフラグの関係 変更		
		255	11.4.1.2 レベル検出の割り込みステータスフラグ 変更		
		255	図 11.5 レベル検出時のIRi.IRフラグの動作 変更		
		255	図 11.6 レベル検出時割り込みの処理手順 追加		
		256	11.4.3 割り込み要求先の選択 (1) DTC起動 変更		
		256	表 11.5 DTC起動時の動作 内容変更、注記追加		
		257	11.4.5 高速割り込み 説明変更		
		258	11.5 ノンマスカブル割り込みの動作説明 説明変更		
		260	11.7 使用上の注意事項 項目追加		
		260	11.7.1 DTC転送を使用した通信動作の注意事項 追加		
		260	(1) DTC転送を使用した通信動作の転送要求消失条件 追加		
		260	表 11.6 注意が必要なDTC機能の組み合わせ 追加		
		260	(2) DTCをDISEL=1で使用する場合 追加		
		261	(3) ソフトウェア回避策 (SCI、RIIC、RSPI) のフローチャート 追加		
				12. バス	
				264	12.2.1 CPUバス 説明変更
				264	12.2.3 内部メインバス 説明変更
				265	表 12.4 内部周辺バスに接続される周辺機能 変更
				265	12.2.5 並列動作 変更
				265	図 12.2 並列動作の例 変更
				270	表 12.6 発生するバスエラーの種類 内容変更、注記追加
					13. データトランスファコントローラ (DTC)
				271	表 13.1 DTCの仕様 変更
				273	13.2 レジスタの説明 説明変更
				273	表 13.2 DTCのレジスタ一覧 変更
				274	13.2.1 DTCモードレジスタA (MRA) ビット表、説明変更
				275	13.2.2 DTCモードレジスタB (MRB) ビット表、説明変更
				277	13.2.3 DTC転送元アドレスレジスタ (SAR) レジスタ名および説明変更
				277	13.2.4 DTC転送先アドレスレジスタ (DAR) レジスタ名および説明変更
				278	13.2.5 DTC転送カウントレジスタA (CRA) 説明変更
				279	13.2.6 DTC転送カウントレジスタB (CRB) 説明変更
				280	13.2.8 DTCベクタベースレジスタ (DTCVBR) 説明変更
				281	13.2.10 DTCモジュール起動レジスタ (DTCST) 説明変更
				282	13.2.11 DTCステータスレジスタ (DTCSTS) 説明変更
				283	13.3 起動要因 説明変更
				283	13.3.1 転送情報の配置とDTCベクタテーブル 変更
				283	図 13.2 DTCベクタテーブルと転送情報の対応 変更
				286	表 13.3 割り込み要因とDTCベクタアドレスおよびICU.DTCERnレジスタの対応 注記変更
				287	13.4 動作説明 説明変更
				287	表 13.4 DTCの転送モード 内容および注記変更

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2010.9.7	288	図 13.4 DTC 動作フローチャート 変更		
		289	表 13.5 チェーン転送の条件 内容および注記変更		
		292	表 13.7 ノーマル転送モードのレジスタ機能 表および注記変更		
		293	表 13.8 リピート転送モードのレジスタ機能 表および注記変更		
		294	13.4.5 ブロック転送モード 説明変更		
		294	表 13.9 ブロック転送モードのレジスタ機能 変更		
		295	13.4.6 チェーン転送 変更		
		295	図 13.8 チェーン転送の動作 変更		
		296	図 13.9 DTC 動作タイミング例 (1) (ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合) 変更		
		296	図 13.10 DTC 動作タイミング例 (2) (ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合) タイトルおよび図変更		
		297	図 13.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合) タイトルおよび図変更		
		297	図 13.12 DTC 動作タイミング例 (4) (フルアドレスモード、ノーマル転送モード、リピート転送モードの場合) タイトルおよび図変更		
		298	図 13.13 転送情報スキップ時の動作例 移動		
		299	13.4.8 DTC の実行サイクル 説明変更		
		299	表 13.10 DTC の実行サイクル 変更		
		299	13.4.9 DTC のバス権解放タイミング 説明変更		
		300	13.5 DTC の設定手順 説明変更		
		300	図 13.14 DTC の設定手順 変更		
		301	13.6.1 ノーマル転送 (1) 転送情報の設定 説明変更		
		303	13.7 割り込み要因 説明変更		
		303	13.8 消費電力低減機能 変更		
		303	(1) モジュールストップ機能～(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード タイトルおよび説明変更		
		303	(4) 低消費電力低減機能における注意事項 追加		
		304	13.9.1 転送情報先頭アドレス タイトルおよび説明変更		
		305	13.9.4 DTC の起動要因に通信機能の割り込みを指定する場合 追加		
				309	14. I/O ポート
				322	表 14.2 ポート機能一覧 (112ピンLQFP) (3/3) PG0出力端子名変更
				335	14.1.2.11 ポートファンクションレジスタ G (PFGSPI) ビット表および説明修正
				348	表 14.9 ポート機能一覧 (2/3) (100ピンLQFP) PB5出力端子名変更
				374	14.2.2.10 ポートファンクションレジスタ G (PFGSPI) ビット表および説明の変更
				395	14.3.2.9 ポートファンクションレジスタ G (PFGSPI) ビット説明変更
				405	14.4.2.7 ポートファンクションレジスタ G (PFGSPI) ビット表の変更
					14.5.3 出力許可設定の切り替えについて 追加
				406～636	15. マルチファンクションタイマパルスユニット 3 (MTU3)
				406	0出力 ⇒ Low出力、1出力 ⇒ High出力に変更
				407	表 15.1 MTU3 の仕様 変更
				423	表 15.2 MTU3 の機能一覧 (ユニット 1) (1/2) コンペアマッチ出力変更
				460,461	15.2.2 タイマモードレジスタ 1 (TMDR1) ビット説明変更
				463,464	15.2.15 タイマカウンタシンクスタートレジスタ (TCSYSTR) 注記およびビット説明変更
				476	15.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER) ビット説明変更
					15.2.28 タイマ波形コントロールレジスタ (TWCRA、TWCRB) b1 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2010.9.7	512	表 15.61 各PWM出力のレジスタと出力端子 タイトル変更
		515	図 15.29 PWMモード動作例（デューティ 0%、デューティ 100%のPWM波形を出力する例） 説明変更
		543	15.3.8 (k) 相補PWMモードのデューティ 0%、100%出力 説明変更
		581	15.4.1 割り込み要因と優先順位 説明変更
		583	15.4.2 DTCの起動 説明変更
		641	16. ポートアウトプットイネーブル3 (POE3) 16.2.1 入力レベルコントロール/ステータスレジスタ1 (ICSR1) ビット表および説明の変更
		651	16.2.9 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER) ビット説明変更
		656,657	16.2.13 ポートアウトプットイネーブルコントロールレジスタ4 (POECR4) ビット説明変更
		658	16.2.14 ポートアウトプットイネーブルコントロールレジスタ5 (POECR5) ビット説明変更
		659,660	16.2.15 ポートアウトプットイネーブルコントロールレジスタ6 (POECR6) ビット説明変更
		670	17. 汎用PWMタイマ (GPT) 表 17.1 GPTの仕様 変更
		681,682	17.2.4 汎用PWMタイマハードウェアスタート要因セレクトレジスタ (GTHSSR) 注記追加
		686	17.2.8 汎用PWMタイマ外部トリガ入力割り込みレジスタ (GTETINT) ビット表変更
		688	17.2.10 LOCOカウントコントロールレジスタ (LCCR) ビット表変更
		708	17.2.22 汎用PWMタイマステータスレジスタ (GTST) DTEFフラグの説明変更
		716	17.3.1.1 (1) 周期カウント動作（アップカウント時） タイトル変更
		716	図 17.2 周期カウント動作例（アップカウント時） タイトル変更
		717	図 17.3 周期カウント動作設定例（アップカウント時） タイトル変更
		718	(2) 周期カウント動作（ダウンカウント時） タイトルおよび説明変更
		718	図 17.4 周期カウント動作例（ダウンカウント時） タイトル変更
		719	図 17.5 周期カウント動作設定例（ダウンカウント時） タイトル変更
		721~771	各設定例の図 「カウント方向」⇒「カウント方向（アップダウン）」に変更
		751	図 17.41 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波PWMモード3時） 内容変更
		778	17.4.1 割り込み要因と優先順位 説明変更
		782	17.4.2 DTCの起動 説明変更
		800	17.9.3 タイマの安全な停止方法 追加
		801	18. コンペアマッチタイマ (CMT) 表 18.1 CMTの仕様 変更
		801	図 18.1 CMT (ユニット0) のブロック図 変更
		805	18.2.3 コンペアマッチタイマコントロールレジスタ (CMCR) ビット表および説明変更
		806	18.2.4 コンペアマッチタイマカウンタ (CMCNT) 説明変更
		806	18.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR) 説明変更
		807	18.3.1 周期カウント動作 説明変更
		807	18.3.2 CMCNTカウンタのカウントタイミング 説明変更
807	図 18.3 CMCNTカウンタのカウントタイミング 変更		
808	18.4.1 割り込み要因 説明変更		

Rev.	発行日	改訂内容		
		ページ	ポイント	
0.50	2010.9.7	808	18.4.2 コンペアマッチ割り込みの発生タイミング 説明変更	
		808	図 18.4 コンペアマッチ割り込みのフラグが“1”になるタイミング 図の変更	
		809	18.5.2 コンペアマッチタイマカウンタ (CMCNT) への書き込みとコンペアマッチの競合変更	
		809	18.5.3 コンペアマッチタイマカウンタ (CMCNT) への書き込みとカウントアップの競合変更	
		809	図 18.6 CMCNT カウンタへの書き込みとカウントアップの競合 変更	
		810	18.5.4 コンペアマッチタイマコントロールレジスタ (CMCR) 書き替え時の注意事項 追加	
		810	18.5.5 コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチコンスタントレジスタ (CMCOR) の注意事項 追加	
				19. ウォッチドッグタイマ (WDT)
		811	冒頭説明 変更	
		811	表 19.1 WDTの仕様 変更	
		813	19.2.1 タイマカウンタ (TCNT) 説明変更	
		815	19.2.3 リセットコントロール/ステータスレジスタ (RSTCSR) 説明変更	
		816	19.2.4 ライトウィンドウA レジスタ (WINA) 説明変更	
		816	19.2.5 ライトウィンドウB レジスタ (WINB) 説明変更	
		817	19.3.1 ウォッチドッグタイマモード 説明変更	
		817	図 19.2 ウォッチドッグタイマモード時の動作 変更	
		818	19.3.2 インターバルタイマモード 説明変更	
		819	19.4 割り込み要因 説明変更	
		820	19.5.1 レジスタアクセス時の注意 説明変更	
		821	19.5.2 タイマカウンタ (TCNT) への書き込みとカウントアップの競合 説明変更	
		821	19.5.3 CKS[2:0] ビットの書き換え 説明変更	
		822	19.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え 説明変更	
		822	19.5.5 ウォッチドッグタイマモードでの内部リセット 説明変更	
		822	19.5.6 WDTOVF# 信号によるシステムのリセット 説明変更	
		822	19.5.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの移行 タイトルおよび説明の変更	
				20. 独立ウォッチドッグタイマ (IWDT)
		823	冒頭説明 注記変更	
		824	20.2.1 IWDT リフレッシュレジスタ (IWDTRR) ビット図および説明変更	
		825,826	20.2.2 IWDT コントロールレジスタ (IWDTCR) ビット図および説明の変更	
		831	20.4.1 消費電力低減機能への遷移における制限事項 説明変更	
				21. シリアルコミュニケーションインタフェース (SC1a)
		832	表 21.1 SCIの仕様 変更	
		834	表 21.3 SCIのレジスタ一覧 SSRのリセット後の値を変更	
		835	21.2.2 レシーブデータレジスタ (RDR) 説明変更	
		835	21.2.3 トランスミットデータレジスタ (TDR) 説明変更	
		835	21.2.4 トランスミットシフトレジスタ (TSR) 説明変更	
		836~839	21.2.5 シリアルモードレジスタ (SMR) 説明、ビット表、注記の変更	
		840~843	21.2.6 シリアルコントロールレジスタ (SCR) 説明、ビット表、注記の変更	
		844~849	21.2.7 シリアルステータスレジスタ (SSR) ビット図および説明変更	
		850	21.2.8 スマートカードモードレジスタ (SCMR) ビット表および説明の変更	
		857	21.2.10 シリアル拡張モードレジスタ (SEMR) ビット表および説明の変更	
		860	21.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 説明変更	
		862	図 21.5 SCIの初期化フローチャートの例 (調歩同期式モード) 変更	

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.50	2010.9.7	863	21.3.5 シリアルデータの送信（調歩同期式モード） 説明変更		
		863	図21.6 調歩同期式モードのシリアル送信時の動作例（8ビットデータ／パリティあり／1ストップビットの例） 変更		
		864	図21.7 調歩同期式モードのシリアル送信のフローチャート例 変更		
		865	図21.8 調歩同期式モードのシリアル受信時の動作例（8ビットデータ／パリティあり／1ストップビット） 変更		
		866	図21.9 調歩同期式モードのシリアル受信のフローチャート例（1） 変更		
		867	図21.10 調歩同期式モードのシリアル受信のフローチャート例（2） 変更		
		868	21.4 マルチプロセッサ通信機能 説明変更		
		869	図21.12 マルチプロセッサシリアル送信のフローチャートの例 変更		
		870	21.4.2 マルチプロセッサシリアルデータ受信 説明変更		
		870	図21.13 SCI の受信時の動作例（8ビットデータ／マルチプロセッサビットあり／1ストップビットの例） 変更		
		871	図21.14 マルチプロセッサシリアル受信のフローチャートの例（1） 変更		
		872	図21.15 マルチプロセッサシリアル受信のフローチャートの例（2） 変更		
		875	21.5.3 シリアルデータの送信（クロック同期式モード） 説明変更		
		877	図21.20 クロック同期式モードのシリアル受信時の動作例 変更		
		879	21.5.5 シリアルデータの全二重動作（クロック同期式モード） 説明変更		
		879	図21.22 クロック同期式モードのシリアル送受信同時動作のフローチャート例 変更		
		880	21.6.1 接続例 説明変更		
		882	21.6.2 データフォーマット（ブロック転送モード時を除く） 説明変更		
		883	21.6.3 ブロック転送モード 説明変更		
		883	21.6.4 受信データサンプリングタイミングと受信マージン 説明変更		
		886	21.6.6 シリアルデータの送信（ブロック転送モードを除く） 説明変更		
		889	21.6.7 シリアル受信（ブロック転送モードを除く） 説明変更		
		890	21.6.8 クロック出力制御 説明変更		
		890	図21.33 クロック出力停止タイミング タイトル変更		
		893	21.8.1 シリアルコミュニケーションインタフェースモードにおける割り込み 説明変更		
		894	21.8.2 スマートカードインタフェースモードにおける割り込み 説明変更		
		895	21.9.2 ブレークの検出と処理について 説明変更		
		895	21.9.3 マーク状態とブレークの送付 説明変更		
		895	21.9.5 TDRへの書き込みについて タイトルおよび説明の変更		
		895	21.9.6 クロック同期送信時の制約事項 変更		
		896	21.9.8 低消費電力状態時の動作について(1) 送信、(2) 受信 説明変更		
		897	図21.36 送信時のソフトウェアスタンバイモード移行フローチャートの例 変更		
		898	図21.37 ソフトウェアスタンバイモード移行時のポートの端子状態（内部クロック、調歩同期送信） 変更		
		898	図21.38 ソフトウェアスタンバイモード移行時のポートの端子状態（内部クロック、クロック同期送信） 変更		
		899	図21.39 受信時のソフトウェアスタンバイモード移行フローチャートの例 変更		
		899	21.9.9 クロック同期式モード外部クロック入力 説明変更		
					22. CRC演算器（CRC）
				901	22.2.1 CRCコントロールレジスタ（CRCCR） ビット表および説明の変更
				907～985	23. I ² Cバスインタフェース（RIIC） 用語の変更 開始条件⇒スタートコンディション、再開条件⇒リスタートコンディション、 停止条件⇒ストップコンディション

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2010.9.7	907	表 23.1 RIICの仕様 変更
		911~913	23.2.1 I ² Cバスコントロールレジスタ1 (ICCR1) ビット表、説明、注記の変更
		914~917	23.2.2 I ² Cバスコントロールレジスタ2 (ICCR2) ビット表、説明、注記の変更
		919,920	23.2.4 I ² Cバスモードレジスタ2 (ICMR2) ビット表、説明、注記の変更
		921	23.2.5 I ² Cバスモードレジスタ3 (ICMR3) ビット表、説明、注記の変更
		923,924	23.2.6 I ² Cバスファンクションイネーブルレジスタ (ICFER) ビット表および説明の変更
		926,927	23.2.7 I ² Cバスステータスイネーブルレジスタ (ICSER) ビット表および説明の変更
		928,929	23.2.8 I ² Cバスインタラプトイネーブルレジスタ (ICIER) ビット表および説明の変更
		930~932	23.2.9 I ² Cバスステータスレジスタ1 (ICSR1) ビット表、説明、注記の変更
		933~936	23.2.10 I ² Cバスステータスレジスタ2 (ICSR2) ビット表、説明、注記の変更
		937	23.2.11 スレーブアドレスレジスタLm (SARLy) (m=0~2) ビット表および説明の変更
		938	23.2.12 スレーブアドレスレジスタUy (SARUy) (y=0~2) ビット表および説明の変更
		939	23.2.13 I ² Cバスビットレートローレベルレジスタ (ICBRL) ビット表および説明の変更
		940	23.2.14 I ² Cバスビットレートハイレベルレジスタ (ICBRH) ビット表、説明、注記の変更
		945	23.3.3 マスタ送信動作 説明変更
		949,950	23.3.4 マスタ受信動作 説明変更
		951	図 23.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合) 変更
		954	23.3.5 スレーブ送信動作 説明変更
		955	図 23.14 スレーブ送信のフローチャート例 変更
		957	23.3.6 スレーブ受信動作 説明変更
		959	23.4 SCL 同期回路 説明変更
		961	23.6 デジタルノイズフィルタ回路 説明変更
		961	図 23.22 デジタルノイズフィルタ回路のブロック図 変更
		962	23.7 アドレス一致検出機能 説明変更
		962	23.7.1 スレーブアドレス一致検出機能 説明変更
		964	23.7.2 ジェネラルコールアドレス検出機能 タイトルおよび説明変更
		965	23.7.3 デバイスIDアドレス検出機能 説明変更
		967	23.7.4 ホストアドレス検出機能 説明変更
		968	23.8.1 送信データ誤送信防止機能 説明変更
		969	23.8.2 NACK 受信転送中断機能 説明変更
		970	図 23.31 受信モードの自動Low ホールド動作 (RDRFS、WAIT ビット) 変更
		971	23.9.1 マスタアービトレーションロスト検出機能 (MALE ビット) 説明変更
		972	図 23.33 スタートコンディション発行時のアービトレーションロスト (MALE=1 のとき) 変更
		973,974	23.9.2 NACK送信アービトレーションロスト検出機能 (NALE ビット) 説明変更
		974	23.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット) 説明変更
		975	図 23.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット) 変更
		976	図 23.37 ストップコンディション発行動作タイミング (SP ビット) 変更
		977	23.11 バスハンガアップ 説明変更
		977	23.11.1 タイムアウト検出機能 説明変更
		978	図 23.38 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット) 変更
		978,979	23.11.2 SCL クロック追加出力機能 説明変更
979	図 23.39 SCL クロック追加出力機能 (CLO ビット) 変更		
979	23.11.3 RIIC/内部リセット 説明変更		
980	23.12 SMBus動作 説明変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2010.9.7	980	23.12.1 SMBusタイムアウト測定 変更
		982	23.12.3 SMBusホスト通知プロトコル/Notify ARP master 説明変更
		983	23.13 割り込み要因 説明変更
		983	表23.7 割り込み要因 変更
		—	23.15.3 送信アクノリッジビットへの書き込みと出力タイミングについて 削除
		—	23.15.4 マスタ送信時のストップコンディション発行要求と送信データ書き込みタイミングの制約事項 削除
		990～1032	24. CANモジュール (CAN)
		986	CANのレジスタに8ビット単位でアドレスを記載 表24.1 CANモジュールの仕様 変更
		990～993	24.2.1 CAN0 制御レジスタ (COCTRL) ビット図、ビット表、注3、説明の変更
		996	24.2.3 CAN0 マスクレジスタi (COMKRI) (i = 0 ~ 7) ビット図およびビット表の変更
		997	24.2.4 CAN0 FIFO 受信ID 比較レジスタ0、1 (COFIDCR0、COFIDCR1) ビット図、ビット表、注1の変更
		1001～1003	24.2.6 CAN0 メールボックスレジスタj (COMBj) (j = 0 ~ 31) ビット図の変更
		1004,1005	24.2.7 CAN0 メールボックス割り込み許可レジスタ (COMIER) ビット図、ビット表、説明の変更
		1006	24.2.8 CAN0 メッセージ制御レジスタj (COMCTLj) (j = 0 ~ 31) ビット表変更
		1029	表24.8 COCTRL.BOM[1:0]ビットの設定によるBOEIF、BORIFフラグの動作 変更
		1035	図24.9 CAN動作モード間の移行 変更
		1036	24.3.1 CANリセットモード 説明変更
		1037	24.3.2 CAN Halt モード 説明変更
		1037	表24.9 CANリセットモードとCAN Haltモードでの動作 表および注の変更
		1038	24.3.3 CANスリープモード 説明変更
		1038	24.3.4 CANオペレーションモード (バスオフ状態以外) 説明変更
		1039	24.3.5 CANオペレーションモード (バスオフ状態) 説明変更
		1054	25. ルネサスペリフェラルインタフェース (RSPI) 表25.3 RSPIのレジスタ一覧 SPSRのリセット後の値変更
		1058	25.2.3 RSPI端子制御レジスタ (SPPCR) 説明の変更
		1059～1061	25.2.4 RSPI ステータスレジスタ (SPSR) ビット図、ビット表および説明の変更
		1062	25.2.5 RSPI データレジスタ (SPDR) ビット図およびビット説明変更
		1065	表25.4 SPBRレジスタ、BRDV[1:0]ビットの設定値とビットレート 注1変更
		1066,1067	25.2.9 RSPI データコントロールレジスタ (SPDCR) 説明の変更
		1069	25.2.10 RSPI クロック遅延レジスタ (SPCKD) 説明の変更
		1073～1075	25.2.14 RSPI コマンドレジスタ0～7 (SPCMD0～SPCMD7) 説明の変更
		1078	25.3.3.1 シングルマスタ/シングルスレーブ (本LSI = マスタ) 説明変更
		1079	25.3.3.2 シングルマスタ/シングルスレーブ (本LSI = スレーブ) 説明変更
		1082	25.3.3.5 マルチマスタ/マルチスレーブ (本LSI = マスタ) 説明変更
		1103	25.3.9.1 SPE ビットのクリアによる初期化 説明変更
		1122	図25.38 エラー処理 (オーバランエラー) 変更
		1123	図25.39 エラー処理 (パリティエラー) 変更
		1123	図25.40 エラー処理 (モードフォルトエラー) 変更
		1124	25.3.13 ループバックモード 説明変更
		1126	25.4 使用上の注意事項 追加

Rev.	発行日	改訂内容		
		ページ	ポイント	
0.50	2010.9.7		26. LINモジュール (LIN)	
		1148	26.3 動作モード 説明変更	
		1149	26.3.1 LINリセットモード 説明変更	
		1161	表26.10 ステータスの種類 説明変更	
		1162	表26.11 エラーステータスの種類 説明変更	
		1164	26.11 割り込み 説明変更	
		1165	26.11 LINセルフテストモード 説明変更	
		1166	26.12.1 LINセルフテストモードへの移行	
				27. 12ビットA/Dコンバータ (S12AD)
		1168	表27.1 A/Dコンバータの仕様 変更	
		1171	図27.1 A/Dコンバータのブロック図 変更	
		1174~1177	27.2.1 A/Dデータレジスタn (ADDRn) (n=0A, 0B, 1~3)、A/Dデータレジスタ Diag (ADRD) 説明変更	
		1178	表27.5 アナログ入力チャンネルとADDRnレジスタの対応 注記変更	
		1179,1180	27.2.2 A/Dコントロールレジスタ (ADCSR) ビット表および説明の変更	
		1184	27.2.4 A/Dコントロール拡張レジスタ (ADCER) 説明変更	
		1186	27.2.5 A/D開始トリガ選択レジスタ (ADSTRGR) 説明変更	
		1200	27.3.2 11サイクルスキャンモード 説明変更	
		1202	図27.4 1サイクルスキャンモードの動作例 (ADCER.SHBY=1: チャンネル専用サンプル&ホールド回路未使用時) タイトル変更	
		1203	27.3.2.2 連続スキャンモード 説明変更	
		1204	図27.6 連続スキャンモードの動作例 (ADCER.SHBY=1: チャンネル専用サンプル&ホールド回路未使用時) タイトル変更	
		1206	27.3.3 アナログ入力のサンプリングとA/D変換時間 説明変更	
		1207	表27.9 スキャン変換時間 変更	
		1208	27.3.4 ADDRn、ADRDレジスタの自動クリア機能の使用例 説明変更	
		1209	27.3.5 ダブルデータレジスタの動作 (ADDR0レジスタのみ) タイトルおよび説明の変更	
		1209	図27.8 ダブルデータレジスタの動作例 タイトル変更	
		1212	27.3.8 外部トリガによるA/D変換の開始 説明変更	
		1212	27.3.9 周辺モジュールからのトリガによるA/D変換の開始 説明変更	
		1212	27.4.2 コンパレータ検出時の割り込み要求 追加	
		1214	27.5.4 ボード設計上の注意 説明変更	
		1217	27.5.10 低消費電力状態への遷移時の注意 説明変更	
				28. 10ビットA/Dコンバータ (ADa)
		1218	表28.1 A/Dコンバータの仕様 変更	
		1220	図28.1 A/Dコンバータのブロック図 変更	
		1221	表28.4 A/Dコンバータのレジスタ一覧 ADDPRレジスタ名称の変更	
		1229	28.2.5 ADDRnフォーマット選択レジスタ (ADDPR) 説明変更	
		1230	28.2.6 A/D自己診断レジスタ (ADDIAGR) 説明変更	
		1232	28.3.1 シングルモード 説明変更	
		1233	28.3.2.1 連続スキャンモード 説明変更	
		1234	28.3.2.2 11サイクルスキャンモード 説明変更	
		1235	28.3.3 入力サンプリングとA/D変換時間 説明変更	
		1235	図28.6 A/D変換タイミング 変更	
		1237	28.3.4 外部トリガによるA/D変換の開始 タイトルおよび説明変更	
1240	28.6.3 A/D変換再開時の注意事項 説明変更			

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2010.9.7	1240	28.6.4 低消費電力状態への遷移時の注意 説明変更
		1241	28.6.5 許容信号源インピーダンスについて 説明変更
		1242	28.6.7 アナログ電源端子他の設定範囲 説明変更
		1245	30. ROM (コード格納用フラッシュメモリ) 表30.1 ROMの仕様 変更
		1250	30.2.2 フラッシュアクセスステータスレジスタ (FASTAT) 説明変更
		1253~1255	30.2.5 フラッシュステータスレジスタ0 (FSTATRO) ビット表および説明変更
		1257	30.2.7 フラッシュレディ割り込み許可レジスタ (FRDYIE) ビット説明変更
		1258	30.2.8 フラッシュ P/Eモードエン트리レジスタ (FENTRYR) 説明変更
		1265	30.2.14 周辺クロック通知レジスタ (PCKAR) 説明および注記の変更
		1268	30.5 ROM関連の動作モード 説明変更
		1270	30.6 ROMへの書き込み/消去 説明変更
		1270	30.6.1 FCUのモード 説明変更
		1271	30.6.1.1 (2) データフラッシュ P/Eモード 説明変更
		1272	30.6.1.2 ROM P/Eモード 説明変更
		1274	表30.7 FCUコマンドのフォーマット 表および注記の変更
		1275	30.6.3 FCUのモードとコマンドの関係 説明変更
		1276	FCUコマンド使用方法 説明変更
		1277	図30.7 ROMリードモード移行フロー 変更
		1280	図30.11 書き込み/消去処理の概略フロー 変更
		1282	(4) 周辺クロック通知コマンドの使用法 説明変更
		1286	30.6.4.2 (6) 消去方法 説明変更
		1290	30.6.4.3 (3) FCUの初期化の方法 説明変更
		1291	図30.19 書き込み/消去のサスペンド方法 変更
		1293	30.7 サスペンド動作 説明変更
		1296	30.8.2 エラープロテクト 説明変更
		1298	図30.24 ブートモード時のシステム構成 変更
		1302	表30.11 ビットレート自動調整が可能な条件 変更
		1319	30.9.7 (8) リードロックビットステータス 記号説明変更
		1322	30.12 使用上の注意事項(2) 書き込み/消去サスペンドによる中断、(8) 書き込み/消去中の禁止事項 変更
		1322	(7) 書き込み/消去の異常終了 追加
		1323	31. データフラッシュ (データ格納用フラッシュメモリ) 表31.1 データフラッシュの仕様 変更
		1334	31.2.8 フラッシュ P/Eモードエン트리レジスタ (FENTRYR) 説明変更
		1339	31.6 データフラッシュへの書き込み/消去 タイトルおよび説明変更
		1341	表31.5 FCUコマンド一覧 (データフラッシュ関連) 変更
		1342	31.6.3 FCUのモードとコマンドの関係 説明変更
		1344	図31.5 データフラッシュの書き込み 変更
		1346	図31.6 データフラッシュのブランクチェック 変更
		1347	31.7.1 ソフトウェアプロテクト(3) DFLWEkレジスタによるプロテクト~(4) DFLREkレジスタによるプロテクト 説明変更
		1348	31.7.2 エラープロテクト 説明変更
		1352	31.9 使用上の注意事項 (2) その他の注意事項 変更
1354	付録1. 各動作モードにおけるポートの状態 表1.1 各動作モードにおけるポートの状態 タイトル変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.00	2010.10.1		1. 概要		
		36、38 39	表 1.1 仕様概要 I/Oポート、A/D変換器、動作周波数 説明変更 消費電流 削除		
		120～134	5. I/Oレジスタ 表 5.1 I/Oレジスタアドレス一覧 アクセスステート数変更、追記 注7.追加		
		187	8. クロック発生回路 図 8.6 PLL 回路の外付け推奨回路 変更		
		276 286	13. データトランスファコントローラ (DTC) 13.2.1 DTC モードレジスタ A (MRA) ビット表の説明変更 図 13.3 データ領域上の転送情報の配置 変更		
		407	14. I/Oポート 14.5.4 ポートレジスタ (PORT) を読むときの注意事項 項目追加		
		411 434～437	15. マルチファンクションタイマパルスユニット3 (MTU3) 図 15.1 MTU3のブロック図 (チャンネル0～4) 変更 表 15.21 TIORH (MTU3_6) ～表 15.27 TIOR (MTU3_1) 変更		
		1164	26. LIN モジュール (LIN) 図 26.13 LIN エラー検出の対象時間領域 変更		
		1856 1169 1180 1199 1207 1208 1213	27. 12 ビット A/D コンバータ (S12ADA) 表 27.1 A/D コンバータの仕様 説明変更 27.2.2 A/D コントロールレジスタ (ADCSR) CKS[1:0] ビットの説明追加 27.2.13 A/D サンプリングステートレジスタ (ADSSTR) 説明変更 27.3.3 アナログ入力のサンプリングと A/D 変換時間 説明変更 表 27.9 AD 変換時間 変更 27.3.8 外部トリガによる A/D 変換の開始 説明変更		
		1219 1227 1232	28. 10 ビット A/D コンバータ (ADA) 表 28.1 A/D コンバータの仕様 説明変更 28.2.3 A/D コントロールレジスタ (ADCR) CKS[1:0] ビットの説明変更 28.2.7 A/D サンプリングステートレジスタ (ADSSTR) 説明変更		
		1251 1275 1354～1386	30. ROM (コード格納用フラッシュメモリ) 30.2.2 フラッシュアクセスステータスレジスタ (FASTAT) ROMAE ビットの説明変更 表 30.7 FCU コマンドのフォーマット 記号説明変更 32. 電気的特性 追加		
		1.10	2011.03.28	全体	レジスタシンボル表記の変更
				全体	オンチップオシレータクロックの名称変更
				全体	1 ページサマリ 追加
41	1. 概要 表 1.3 製品一覧表 動作周波数変更				
103 106～136 137～163	5. I/Oレジスタ 冒頭説明 (1) I/Oレジスタアドレス一覧 (アドレス順) 説明変更 表 5.1 I/Oレジスタアドレス一覧 レジスタシンボルの変更 表 5.2 I/Oレジスタビット一覧 変更				
180 186	8. クロック発振機器 表 8.1 クロック発生回路の仕様 変更 8.9.3 オンチップオシレータクロック (IWDTCCLK) 説明変更				
		9. 消費電力低減機能			

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.03.28	192	図9.1 モード遷移 注記7.変更
		214	9.5.4.1 ディープソフトウェアスタンバイモードへの移行 注記変更
		246	11. 割り込みコントローラ (ICU)
		250~256	11.2.8 ノンマスカブル割り込みステータスレジスタ (NMISR) 説明変更
		257	表11.4 割り込みベクタテーブル 変更
		257	11.4.1.1 エッジ検出の割り込みステータスフラグ 説明変更
		257	図11.2 エッジ検出のIRi.IR フラグの動作 変更
		259	図11.5 レベル検出のIRi.IR フラグの動作 変更
		269	12. バス
		269	12.2.6 制約事項 追加
		299	13. データトランスファコントローラ (DTC)
		299	13.4.6 チェーン転送 説明変更
		全体	14. I/Oポート
		326	ポートのレジスタシンボル変更
		329	14.1.2.11 ポートファンクションレジスタG (PFGSPI) ビット名変更
		352	14.1.2.15 ポートファンクションレジスタM (PFMPOE) ビット名変更
		355	14.2.2.10 ポートファンクションレジスタG (PFGSPI) ビット名変更
		378	14.2.2.14 ポートファンクションレジスタM (PFMPOE) ビット名変更
		381	14.3.2.9 ポートファンクションレジスタG (PFGSPI) ビット名変更
		399	14.3.2.13 ポートファンクションレジスタM (PFMPOE) ビット名変更
402	14.4.2.7 ポートファンクションレジスタG (PFGSPI) ビット名変更		
402	14.4.2.11 ポートファンクションレジスタM (PFMPOE) ビット名変更		
全体	15. マルチファンクションタイマパルスユニット3 (MTU3)		
456	MTU3のレジスタシンボル表記変更		
480、481	15.2.8 タイマバッファ動作転送モードレジスタ (TBTM) ビット説明変更		
518	15.2.28 タイマ波形コントロールレジスタ (TWCRA、TWCRB) ビット説明変更		
572	図15.26 PWMモードの設定手順例 変更		
572	図15.83 A/D変換開始要求ディレイド機能の設定手順例 タイトル変更		
全体	16. ポートアウトブットイネーブル3 (POE3)		
全体	MTU3のレジスタシンボル表記変更		
683	17. 汎用PWMタイマ (GPT)		
684	17.2.2 汎用PWMタイマハードウェア要因スタートコントロールレジスタ (GTHSCR) ビット名変更		
685、686	17.2.3 汎用PWMタイマハードウェア要因クリアコントロールレジスタ (GTHCCR) 説明追加		
703	17.2.4 汎用PWMタイマハードウェアスタート要因セレクトレジスタ (GTHSSR) 説明追加		
703	17.2.18 汎用PWMタイマコントロールレジスタ (GTCR) アドレス変更、説明追加		
824	19. ウォッチドッグタイマ (WDT)		
825	19.5.1(1) TCNTカウンタ、TCSRレジスタ、RSTCSRレジスタへの書き込み 変更		
825	19.5.1(2) TCNTカウンタ、TCSRレジスタ、RSTCSRレジスタからの読み出し 変更		
全体	20. 独立ウォッチドッグタイマ (IWDT)		
全体	オンチップオシレータクロック (OCOCLK) を (IWDTCLK) に変更		
全体	21. シリアルコミュニケーションインタフェース (SC1b)		
全体	スマートカードインタフェースモード時のレジスタシンボルをSMCIに変更		
全体	章構成をモード別に分離		

Rev.	発行日	改訂内容			
		ページ	ポイント		
1.10	2011.03.28	836	表 21.1 SCI の仕様 注記追加		
		837	表 21.2 SCI/SMCI の入出力端子 タイトルおよび内容変更		
		860	図 21.5 SCI の初期化フローチャートの例 (調歩同期式モード) 変更		
		861	図 21.6 調歩同期式モードのシリアル送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例) 変更		
		863	図 21.8 調歩同期式モードのシリアル受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例) 変更		
		868	図 21.13 SCI の受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例) 変更		
		872	図 21.17 SCI の初期化フローチャートの例 (クロック同期式モード) 注記追加		
		873	図 21.18 クロック同期式モードのシリアル送信時の動作例 変更		
		874	図 21.19 クロック同期式モードのシリアル送信のフローチャート例 注記追加		
		875	図 21.20 クロック同期式モードのシリアル受信時動作例 変更		
		878	21.3 スマートカードインタフェースモード 分離および追加		
		894	図 21.28 SMCI 送信モードの場合の再転送動作 (送信時の再転送動作) 変更		
		897	図 21.31 SMCI 受信モードの場合の再転送動作 (受信時の再転送動作) 変更		
		900	21.4 ノイズ除去機能 説明変更		
					23. I ² C バスインタフェース (RIIC)
				917	図 23.2 入出力端子の外部回路接続例 (I ² C バス構成例) 変更
				945	23.2.11 スレーブアドレスレジスタ Ly (SARLy) ビット名変更
				946	23.2.12 スレーブアドレスレジスタ Uy (SARUy) ビット名変更
				948	23.2.14 I ² C バスビットレートハイレベルレジスタ (ICBRH) デューティ比説明変更
				957、958	23.3.4 マスタ受信動作 (5) (6) 説明変更
				959	図 23.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合) 変更
				961	図 23.13 マスタ受信の動作タイミング (3) (RDRFS=0 のとき) 変更
				986	23.11.2 SCL クロック追加出力機能 説明変更
				993	23.15.2 入力バッファコントロールレジスタの設定 説明変更
					24. CAN モジュール (CAN)
				全体	CAN レジスタのレジスタシンボル変更
				997	表 24.3 CAN モジュールレジスタ構成 変更
				1004	24.2.3 マスクレジスタ i (MKRi) ビット名変更
				1008	表 24.5 メールボックスのメモリ配置 変更
				1019、1020	24.2.9 受信 FIFO 制御レジスタ (RFCR) ビット名変更
				1043	24.2.24 (2) セルフテストモード 0 (外部ループバック) 説明変更
				1055	24.7 受信/送信 説明変更
					25. シリアルペリフェラルインタフェース (RSPI)
				1071	25.2.5 RSPI データレジスタ (SPDR) ビット名変更
				1072	25.2.6 RSPI シーケンス制御レジスタ (SPSCR) 説明変更
				1107	表 25.9 通常以外の転送の発生条件と RSPI エラー検出機能
				1129	図 25.36 スレーブモード時の初期化フロー例 (クロック同期式動作) 変更
					26. LIN モジュール (LIN)
				全体	LIN のレジスタ名変更
				1158	26.3.2 LIN 動作モード 説明変更
					27. 12 ビット A/D コンバータ (S12ADA)
				全体	S12ADA のレジスタシンボル変更
				1181	表 27.3 A/D コンバータの入力端子 注記変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.03.28	1195	27.2.5 A/D開始トリガ選択 (ADSTRGR) ビット説明変更
		1206	27.2.12 コンパレータ割り込み選択レジスタ (ADCMPSSEL) b9 シンボル変更
		1222	27.5.1 モジュールストップ機能の設定～27.5.9 ノイズ対策上の注意 順番入れ替え
		1222	27.5.5 許容信号源インピーダンスについて 説明変更
		-	27.5.6 高速変換を実現するためには 削除
		1223	表27.10 アナログ端子の規格 変更
		1224	27.5.8 ボード設計上の注意 説明追加
		1228	28. 10ビットA/Dコンバータ (ADA)
		1229	表28.3 A/Dコンバータの入力端子 シンボル変更
		1232、1233	表28.4 A/Dコンバータのレジスタ一覧 シンボル変更
		-	28.2.2 A/Dコントロール/ステータスレジスタ (ADCSR) 説明変更
		-	28.6.10 高速変換を実現するためには 削除
		1269	30. ROM (コード格納用フラッシュメモリ)
		1304	表30.4 各コマンド受け付け後のFCMDRレジスタの状態 変更
		1329	表30.9 エラープロテクト一覧 (ROM専用+ROM/データフラッシュ共通) 変更
		1342	30.12 (4)書き込み/消去中のリセット 説明追加
		1348	31. データフラッシュ (データ格納用フラッシュメモリ)
		1348	31.2.9 データフラッシュブランクチェック制御レジスタ (DFLBCCNT) ビット表変更
		1348	表31.5 FCUコマンド一覧 (データフラッシュ関連) 変更
		1364	32. 電気的特性
1369	表32.3 DC特性(2) 注記3変更		
1371	表32.7 制御信号タイミング 変更		
1377	表32.9 内蔵周辺モジュールタイミング(2) 変更		
1379	図32.17 MTU3クロック入力タイミング 変更		
1380	表32.13 10ビットA/D変換特性 変更		
1380	表32.14 12ビットA/D変換特性 変更		
1.20	2011.09.27	184	8. クロック発生回路
		184	8.3.1 水晶発振子を接続する方法 変更
		184	図8.3 水晶発振子の等価回路 変更
		220	9. 消費電力低減機能
		220	9.6.6 ディープソフトウェアスタンバイモードの移行と割り込みの競合 変更
		230	11. 割り込みコントローラ (ICU)
		231	表11.1 割り込みコントローラの仕様 変更
		245	図11.1 割り込みコントローラのブロック図 図中の信号名 変更
		246	11.2.7 IRQコントロールレジスタn (IRQCRn) 説明変更
		247	11.2.8 ノンマスカブル割り込みステータスレジスタ (NMISR) 説明変更
		262	11.2.9 ノンマスカブル割り込み許可レジスタ (NMIER) 説明変更
		262	11.5 ノンマスカブル割り込みの動作説明 説明変更
		303	13. データトランスファコントローラ (DTC)
303	表13.10 DTCの実行サイクル 変更、注7追加		
334	14. I/Oポート		
360	表14.6 各ポートの出力許可設定一覧 (112ピンLQFP) PB0のRSPI設定変更		
377	表14.13 各ポートの出力許可設定一覧 (100ピンLQFP) PB0のRSPI設定変更		
385	14.3.2.8 ポートファンクションレジスタD (PFDGPT) 変更		
398	表14.20 各ポートの出力許可設定一覧 (80ピンLQFP) PB0のRSPI設定変更		
398	14.4.2.6 ポートファンクションレジスタD (PFDGPT) 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2011.09.27	405	表 14.27 各ポートの出力許可設定一覧 (64ピンLQFP) PB0のRSPI設定変更
		408、409	14.5 入出力ポートの構成 追加
		464、465	15. マルチファンクションタイムパルスユニット3 (MTU3)
		536	15.2.14 タイマシンクロレジスタ (TSYR) TSYRAおよびTSYRBのシンボル変更
		571	図 15.39 相補PWMモードの設定手順例 変更
		616	図 15.81 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例 変更
		616	15.6.20 相補PWMモード、リセット同期PWMモードの出力レベル 説明追記
		616	15.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ 説明追記
		682～684	17. 汎用PWMタイマ (GPT)
		708	表 17.4 GPTレジスタ一覧 GTSOSのリセット後の値、初期値を変更
		715	15.2.14 タイマシンクロレジスタ (TSYR) アドレス変更
		717	17.2.24 汎用PWM タイマコンペアキャプチャレジスタm (GTCCRm) アドレス変更
		725	17.2.31 汎用PWM タイマ出力ネゲートコントロールレジスタ (GTONCR) 初期値変更
		775	図 17.5 周期カウント動作設定例 (ダウンカウント時) 変更
778	図 17.60 ハードウェア要因による同時スタート設定例 変更		
779	図 17.63 同期PWM出力例 変更		
780	図 17.64 のこぎり波3相相補PWM出力 変更		
781	図 17.65 のこぎり波3相相補PWM出力例 (デッドタイム自動設定) 変更		
782	図 17.66 三角波3相相補PWM出力 変更		
783	図 17.67 三角波3相相補PWM出力例 (デッドタイム自動設定) 変更		
787	図 17.68 非対象三角波3相相補PWM出力例 (デッドタイム自動設定) 変更		
790	17.4.1 割り込み要因と優先順位 (5) 割り込み要因を同時使用する場合の注意事項 追加		
791	図 17.71 割り込み間引き機能の動作例 (三角波、谷/山両方をカウントして間引き、間引き回数4の場合) 変更		
844	図 17.73 割り込み間引き機能の動作例 (三角波、谷/山両方をカウントして間引き、間引き回数3、ダウンカウントで間引き開始の場合) 変更		
844	21. シリアルコミュニケーションインタフェース (SCIb)		
862	21.2.1.6 シリアルコントロールレジスタ (SCR) CKE[1:0]ビット説明変更		
874	図 21.5 SCIの初期化フローチャートの例 (調歩同期式モード) 注記追加		
874	図 21.17 SCIの初期化フローチャートの例 (クロック同期式モード) 注記追加		
929、930	23. I ² Cバスインタフェース (RIIC)		
962	23.2.4 I ² Cバスモードレジスタ2 (ICMR2) 注記追加、ビット説明変更		
962	図 23.11 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0のとき) 変更		
963	図 23.12 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS=0のとき) 変更		
973	図 23.13 マスタ受信の動作タイミング (3) (RDRFS=0のとき) 変更		
973	図 23.25 7ビット/10ビットアドレスフォーマット混在時にAASyフラグが“1”/“0”になるタイミング 変更		
1061	24. CANモジュール (CAN)		
1061	表 24.12 CAN 割り込み一覧表 変更		
1063	25. シリアルペリフェラルインタフェース (RSPI)		
1092	図 25.1 RSPIのブロック図 変更		
1099	図 25.7 シングルマスタ/マルチスレーブの構成表 (本LSI=スレーブ) 変更		
1099	図 25.15 MSB ファースト転送 (1) (24ビットデータ/パリティ機能無効) 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2011.09.27		27. 12ビットA/Dコンバータ (S12ADA)
		1195	27.2.4 A/Dコントロール拡張レジスタ (ADCER) ビット説明追加
		1222	27.3.6 プログラマブルゲインアンプ 説明追加
		1227	27.5.7 アナログ電源端子他の設定範囲 変更
		1253	28. 10ビットA/Dコンバータ (ADA) 28.6.7 アナログ電源端子他の設定範囲
1.30	2012.01.30	35	特長 パッケージラインナップ追加
		36	1. 概要 表1.1 仕様概要 (1/5) CPUの中央演算処理装置の説明文 追加
		40	表1.1 仕様概要 (5/5) 64ピンパッケージ追加
		41	表1.2 RX62Tグループ機能比較表 64ピンパッケージ追加
		43	表1.3 製品一覧表 64ピン型名変更
		44	図1.1 型名とメモリサイズ・パッケージ 64ピン型名変更
		45	図1.2 ブロック図 変更
		49	図1.6 64ピンLQFPピン配置図 PLQP0064GA-A追記
		65	2. CPU 2.1 特長 文章追加
		84	2.6.1 固定ベクタテーブル 文章追加
		84	図2.8 固定ベクタテーブル 変更8
		108、109	5. I/Oレジスタ 表5.1 I/Oレジスタアドレス一覧 (1/31) MPU追加
		132	表5.1 I/Oレジスタアドレス一覧 (25/31) GTSWPレジスタ追加
		139～141	表5.2 I/Oレジスタビット一覧 (1/27) MPU追加
		161	表5.2 I/Oレジスタビット一覧 (23/27) GTSWPレジスタ追加
		206	9. 消費電力低減機能 9.2.7 ディープスタンバイインタラプトイネーブルレジスタ (DPSIER) 説明変更
		213	9.5.1.1 スリープモードへの移行 説明追加
		225	10. 例外処理 図10.1 例外事象の種類 変更
		226	10.1.3 アクセス例外 追加
		229	表10.1 受け付けタイミングと保存されるPC値 行追加
		229	表10.2 ベクタとPC、PSWの退避場所 行追加
		231	10.5.3 アクセス例外 追加
		233	表10.3 例外処理ルーチンからの復帰命令 行追加
		233	表10.4 例外事象の優先順位 表タイトル変更
		233	表10.4 例外事象の優先順位 行追加
		279～300	13. メモリプロテクションユニット (MPU) 追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2012.01.30		15. I/Oポート
		435	図15.2 入出力ポートの構成 (2) 変更
		492	16. マルチファンクションタイマパルスユニット3 (MTU3)
		495	16.2.15 タイマカウンタシンクスタートレジスタ (TCSYSTR) 注1.変更
		497	16.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER) 説明追加
		499	16.2.18 タイマアウトプットコントロールレジスタ1 (TOCR1A、TOCR1B) 注記変更
		508	16.2.19 タイマアウトプットコントロールレジスタ2 (TOCR2A、TOCR2B) 注記変更
		510	16.2.28 タイマ波形コントロールレジスタ (TWCRA、TWCRB) 注記変更
		539	16.2.29 タイマA/D変換開始要求コントロールレジスタ (TADCR) 注記変更
		542	16.3.4 カスケード接続動作 説明追加
		574	図16.24 カスケード接続動作例 (c) 注記追加
		625	16.3.8 相補PWMモード (j) 相補PWM モードのPWM 出力生成方法 文章変更
		673~701	図16.118 TGI割り込みタイミング (コンペアマッチ) (MTU5) 注記追加
		673~701	17. ポートアウトプットイネーブル3 (POE3) 注記および説明中、パワーオンリセット⇒リセットに変更
707	18. 汎用PWMタイマ (GPT)		
720	表18.4 GPT レジスタ一覧 GTSWPレジスタ追加 18.2.10 汎用PWMタイマスタート書き込み保護レジスタ 追加		
865	22. シリアルコミュニケーションインタフェース (SCIb) 表22.1 SCIの仕様 注記削除		
939	23. CRC演算器 (CRC) 23.2.3 CRCデータ出力レジスタ (CRCDOR) 説明文変更		
1177	27. LINモジュール (LIN) 27.2.12 送信制御レジスタ (L0TC) RTSビットの説明変更		
1359	31. ROM (コード格納用フラッシュメモリ)		
1359	31.12 (2) 書き込み/消去サスペンドによる中断 変更		
1359	31.12 (4) 書き込み/消去中のリセット 変更		
1359	31.12 (5) 書き込み/消去中のノンマスクブル割り込み禁止 変更		
1359	31.12 (7) 書き込み/消去の異常終了 変更		
1359、1360	31.12 (8) 書き込み/消去中の禁止事項 変更		
1390	32. データフラッシュ (データ格納用フラッシュメモリ) 32.9 (2) その他の注意事項 変更		
1400	33. 電気的特性 表33.7 制御信号タイミング 注1、注3の注記変更		
1401	表33.8 内蔵周辺モジュールタイミング (1) 入力および出力クロックサイクルmin値変更		
1424	付録2. 外形寸法図 図E 64ピンLQFP (PLQP0064GA-A) 追加		
1.31	2012.03.08		5. I/Oレジスタ
		119	表5.1 I/Oレジスタアドレス一覧 (12/31) タイムアウト内部カウンタL、タイムアウト内部カウンタU追加
		149	表5.2 I/Oレジスタビット一覧 (11/29) TMWEビット、レジスタシンボルのTMOCNTLとTMOCNTU 追加
		223	9. 消費電力低減機能 図9.4 ディープソフトウェアスタンバイモードのフローチャート例 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.31	2012.03.08		16. マルチファンクションタイマパルスユニット3 (MTU3)
		510	16.2.29 タイマA/D変換開始要求コントロールレジスタ (TADCR) TADCR (MTU7)の注記変更
		546	16.3.5 PWM モード (2) PWM モード2 同期レジスタ⇒周期レジスタに変更
		562	図16.39 相補PWM モードの設定手順例 キャリア⇒タイマに変更
		574	16.3.8 相補PWM モード (j) 相補PWM モードのPWM 出力生成方法 データレジスタ⇒コンペアレジスタに変更
		576	16.3.8 相補PWM モード (k) 相補PWM モードのデューティ比0%、100% 出力 データレジスタ⇒コンペアレジスタに変更
		627	図16.120 TGI 割り込みタイミング (インプットキャプチャ) (MTU5) 注記追加
			24. I ² Cバスインタフェース (RIIC)
		947	表24.3 RIICのレジスタ一覧 タイムアウト内部カウンタL、タイムアウト内部カウンタU追加
		980	24.2.18 タイムアウト内部カウンタ (TMOCNT) 追加
		982	図24.5 RIIC の初期化フローチャート例 変更
		984	図24.6 マスタ送信のフローチャート例 変更
		989	図24.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合) 変更
		993	図24.14 スレーブ送信のフローチャート例 変更
995	図24.17 スレーブ受信のフローチャート例 変更		
	31. ROM (コード格納用フラッシュメモリ)		
1283	表31.1 ROMの仕様 変更		
	32. データフラッシュ (データ格納用フラッシュメモリ)		
1362	表32.1 データフラッシュの仕様 変更		
1363	図32.1 データフラッシュのブロック図 変更		
2.00	2013.12.27	35	特長 変更
			1. 概要
		37~40	表1.1 仕様概要 変更 注1. 追加
		41、42	表1.2 RX62Tグループ、RX62Gグループ機能比較表 変更
		43~45	表1.3 製品一覧表 変更 注1. 追加
		45	図1.1 型名とメモリサイズ・パッケージ 変更
		50	図1.6 80ピンLQFPピン配置図 (2モータ制御対応版) 追加
		61~63	表1.7 機能別端子一覧 (80ピンLQFP : R5F562TxGDFF) 追加
			2. CPU
		83	2.4 データタイプ 変更
		—	2.4.1 整数~2.4.4 スtring 削除
		—	図2.2 整数、図2.3 浮動小数点数、図2.4 ビット、図2.5 String 削除
			5. I/O レジスタ
		112~139	表5.1 I/Oレジスタアドレス一覧 変更
140~169	表5.2 I/Oレジスタビット一覧 変更		
	8. クロック発生回路		
186	表8.1 クロック発生回路の仕様 変更		
189	8.2.2 発振停止検出コントロールレジスタ (OSTDCR) OSTDF フラグ (発振停止検出フラグ) 変更		
190	8.3 メインクロック発振器 変更		
190	8.3.1 発振子を接続する方法 変更		
	9. 消費電力低減機能		
197	表9.2 各モードにおける移行および解除方法と動作状態 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2013.12.27	215	9.5.1.1 スリープモードへの移行 変更
		216	9.5.2.1 全モジュールクロックストップモードへの移行 変更 注4.追加
		267	11. 割り込みコントローラ (ICU)
		267	11.4.5 多重割り込み 追加
		267	11.4.6 高速割り込み 変更
		272	11.7.2 MTU3 割り込みご使用時の注意事項 追加
		272	図 11.8 TSR 内ステータスフラグ状態 追加
		273	図 11.9 ソフトウェア回避策のフローチャート 追加
		393	15. I/O ポート
		418～442	15.3 80 ピンLQFP I/O ポート 変更
		443	15.4 80 ピン(R5F562TxGDFF) I/O ポート 追加
		463	15.5 64 ピンLQFP I/O ポート 変更
		464	図 15.1 入出力ポートの構成(1) 変更
		464	図 15.2 入出力ポートの構成(2) 変更
		471	16. マルチファンクションタイマパルスユニット3 (MTU3)
		521	図 16.2 MTU のブロック図 (MTU5～7) 変更
		598	16.2.15 タイマカウンタシンクスタートレジスタ (TCSYSTR) 変更
		655	16.3.8 相補PWM モード (2) 相補PWM モードの動作概要 (g) PWM 周期の設定 変更
		659	図 16.119 TGI 割り込みタイミング (インプットキャプチャ) (MTU0～4、6、7) 変更
		659	16.6.2 入力クロックの制限事項 変更
		659	図 16.124 位相計数モード時の位相差、オーバーラップ、およびパルス幅 変更
		663	16.6.9 TGR レジスタの読み出しとインプットキャプチャの競合 変更
		663	図 16.130 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0～7) タイトル変更
		—	図 16.131 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU5) 削除
		672	16.6.23 相補PWM モードの出力保護機能未使用時の注意事項 追加
		673、674	16.6.24 相補PWM モード同期クリアするときの異常動作防止について 追加
		673	図 16.140 同期クリア例 (条件1の場合) 追加
674	図 16.141 同期クリア例 (条件2の場合) 追加		
675	16.6.25 コンペアマッチによる割り込み信号の連続出力 追加		
675	図 16.142 コンペアマッチによる割り込み信号の連続出力 追加		
734	18. 汎用PWM タイマ (GPT/GPTa)		
749	表 18.1 GPTの仕様 変更		
751	18.2.6 汎用PWM タイマ書き込み保護レジスタ (GTWP) 変更		
755	18.2.8 汎用PWM タイマ外部トリガ入力割り込みレジスタ (GTETINT) 注1. 変更		
756	18.2.11 LOCO カウントコントロールレジスタ (LCCR) LPSC[1:0] ビット (LOCO 分周クロック選択ビット) 変更		
756	18.2.12 LOCO カウントステータスレジスタ (LCST) 注1. 変更		
769	18.2.22 汎用PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC) 変更		
771	18.2.23 汎用PWM タイマステータスレジスタ (GTST) 注1. 変更		
775	18.2.26 汎用PWM タイマ周期設定レジスタ (GTPR) 説明変更		
791	図 18.7 Low 出力 / High 出力動作設定例 変更		
793	図 18.10 トグル出力動作設定例 変更		
801	図 18.20 GTCCRA レジスタ、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時) 変更		
808	図 18.29 のこぎり波PWM モード設定例 変更		
811	図 18.31 のこぎり波ワンショットパルスモード設定例 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2013.12.27	813	図 18.33 三角波PWM モード1 設定例 変更
		815	図 18.35 三角波PWM モード2 設定例 変更
		818	図 18.37 三角波PWM モード3 設定例 変更
		820	図 18.39 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波PWM モード1、GTDVU/D レジスタはバッファ動作、アクティブレベルは“High”の場合) 変更
		820	図 18.40 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波PWM モード2/3、GTDVU/D レジスタはバッファ動作、アクティブレベルは“High”の場合) 変更
		821	図 18.41 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波PWM モード3時) 変更
		822	図 18.42 デッドタイム自動設定機能の設定例 (三角波PWM モード1/2時) 変更
		869	図 18.93 山のバッファ転送でGTCCRA ≥ GTPR が設定された場合の出力保護機能の動作例 (山のバッファ転送で0 < GTCCRA < GTPR に復帰、アクティブレベルは“Low”の場合) 変更
		872	18.9.2 コンペアマッチ動作時のGTCCRn レジスタの設定 (n = A、B、C、D、E、F) (3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合 変更
		874	18.9.5 PWM 遅延生成回路の遅延値設定に関する注意事項 追加
		874	図 18.96 GTDLYFA レジスタ設定タイミング制約 追加
			22. シリアルコミュニケーションインタフェース (SCIb)
		906	表 22.1 SCI の仕様 変更
		915	22.2.1.7 シリアルステータスレジスタ (SSR) TEND フラグ (送信完了フラグ) 変更
		925	22.2.1.10 シリアル拡張モードレジスタ (SEMR) 変更
		926	22.2.2 調歩同期式モードの動作 変更
		931	図 22.6 調歩同期式モードのシリアル送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例) 変更
			24. I ² C バスインタフェース (RIIC)
		989、990	24.2.1 I ² C バスコントロールレジスタ1 (ICCR1) 変更
		1021	24.2.18 タイムアウト内部カウンタ (TMOCNT) 変更
		1023	図 24.5 RIIC の初期化フローチャート例 変更
		1025	図 24.6 マスタ送信のフローチャート例 変更
		1030	図 24.10 マスタ受信のフローチャート例 (7 ビットアドレスフォーマット、2 バイト以下の場合) 追加
		1031	図 24.11 マスタ受信のフローチャート例 (7 ビットアドレスフォーマット、3 バイト以上の場合) 変更
		1033	図 24.14 マスタ受信の動作タイミング (3) (RDRFS=0 のとき) 変更
		1035	図 24.15 スレーブ送信のフローチャート例 変更
		1038	図 24.18 スレーブ受信のフローチャート例 変更
		1056	図 24.37 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット) 変更
		1058	24.11.1 タイムアウト検出機能 変更
			25. CAN モジュール (CAN)
		1111	25.2.19 エラー割り込み要因判定レジスタ (EIFR) BLIF フラグ (バスロック検出フラグ) 変更
		1117	図 25.9 CAN 動作モード間の移行 変更
		1119	表 25.9 CAN リセットモードとCAN Haltモードでの動作 変更
	28. 12ビットA/Dコンバータ (S12ADA)		
1296	28.4.1 A/D 変換の各A/D変換終了時の割り込み要求 変更		
1300	28.5.10 2チャンネルスキャンモードとダブルデータレジスタ機能併用時の注意事項 追加		
	31. ROM (コード格納用フラッシュメモリ)		
1340	31.2.8 フラッシュ P/E モードエントリレジスタ (FENTRYR) 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2013.12.27	1359	図31.7 ROM リードモード移行フロー 変更
		1391	31.9.5 問い合わせ設定ホストコマンド待ち状態 (10) 新ビットレート選択 変更
		1393	31.9.5 問い合わせ設定ホストコマンド待ち状態 (11) 書き込み消去ステータス遷移 変更
			32. データフラッシュ (データ格納用フラッシュメモリ)
		1406	表32.1 データフラッシュの仕様 変更
			33. 電气的特性
		—	表の中の条件、Ta = -40 to +105°C → Ta = Tpor 変更
		1436	表33.1 絶対最大定格 変更
		1440	表33.3 DC特性(2) 注3. 変更
		1441	表33.5 許容消費電力 追加
		1454	33.3.4 PWM 遅延生成回路タイミング 追加
		1454	表33.14 PWM遅延生成回路タイミング 追加
		1457	表33.17 プログラマブルゲインアンプ特性 変更
1461	表33.21 ROM (コード格納用フラッシュメモリ) 特性 (1) 変更		
1461	表33.22 ROM (コード格納用フラッシュメモリ) 特性 (2) 追加		
1462	表33.23 データフラッシュ (データ格納用フラッシュメモリ) 特性 (1) 変更		
1462	表33.24 データフラッシュ (データ格納用フラッシュメモリ) 特性 (2) 追加		

RX62Tグループ、RX62Gグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2010年2月8日 Rev.0.01
2013年12月27日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/contact/>

RX62Tグループ、RX62Gグループ